

RX260グループ、RX261グループ ルネサスマイクロコンピュータ

R01DS0430JJ0100
Rev.1.00
2024.07.31

64MHz、32ビットRX MCU、FPU内蔵、355 Coremark、最大512Kバイトフラッシュメモリ、最大36端子の静電容量式タッチセンサ、最大11本の通信機能、12ビットA/D、D/A、RTC、IEC60730対応機能、1.6~5.5V動作、暗号機能(オプション)

特長

■ 32ビットRXv3 CPUコア内蔵

- 最高動作周波数 64MHz
355 Coremark の性能 (64MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット (MPU) 対応

■ 消費電力低減機能

- 1.6V ~ 5.5V 単一電源動作
- 4種類の低消費電力モード
- ソフトウェアスタンバイ中も動作可能なローパワータイマを搭載
- 消費電流
高速動作モード: 84 μ A/MHz
ソフトウェアスタンバイモード: 1.01 μ A (typ.) ($T_a = 25^\circ\text{C}$)
- ソフトウェアスタンバイからの復帰時間: 6.3 μ s (typ.)
(クロックソース: HOCO 64MHz 選択時、 $T_a = 25^\circ\text{C}$)

■ 内蔵コードフラッシュメモリ

- 256K/384K/512K バイトの容量
- オンボードによるユーザ書き込み
- 1.6V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 128K バイトの容量

■ データ転送機能

- DMAC: 4チャンネル内蔵
- DTC: 5種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など8種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部メインクロック入力周波数: ~ 20MHz
- 外部サブクロック入力周波数: 32.768kHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL/PLL2 回路入力: 4MHz ~ 12.5MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 24/32/48/64MHz $\pm 1\%$
- IWDT 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

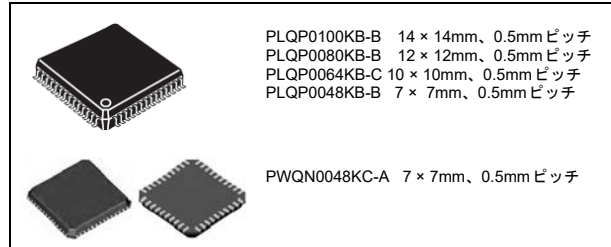
- 補正機能 (30秒、うるうる年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能
- 時間キャプチャ機能
- 外部端子のイベント入力で時間をキャプチャ

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など



PLQP0100KB-B 14 × 14mm、0.5mm ピッチ
PLQP0080KB-B 12 × 12mm、0.5mm ピッチ
PLQP0064KB-C 10 × 10mm、0.5mm ピッチ
PLQP0048KB-B 7 × 7mm、0.5mm ピッチ

PWQN0048KC-A 7 × 7mm、0.5mm ピッチ

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■ 最大11本の通信機能を内蔵

- USB2.0 フルスピードホスト / ファンクション / OTG (ON-The-Go) (1チャンネル)、フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ)、アイソクロナス転送
- CAN FD (ISO11898-1:2015 準拠) (標準フレーム/拡張フレーム) (1チャンネル)
- 多彩な機能に対応したSCI (最大4チャンネル) 調歩同期モード/クロック同期モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- マンチエスタコード機能、HBS 機能をサポートした RSCI (最大3チャンネル)
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1チャンネル)
- RSPI (1チャンネル) 最大 16Mbps 転送

■ リモコン信号受信機能

■ 最大16本の拡張タイマ機能

- 32ビット (2チャンネル) と 16ビット (6チャンネル) の GPTW: 64MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 単相相補 10ch 出力 / 3 相相補 3ch 出力 / 5 相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネゲート制御)
- 8ビット TMR (4チャンネル)
- 16ビット CMT (4チャンネル)

■ 12ビットA/Dコンバータ内蔵

- 最小 0.5 μ s 変換が可能
- 24 (外部端子入力) + 1チャンネル (内部入力)
- チャンネルごとにサンプリング時間を設定可能
- 変換結果コンペア機能内蔵
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵
- モータ制御に適したダブルトリガ (データ二重化) 機能

■ D/Aコンバータ内蔵

- 2チャンネル

■ 静電容量式タッチセンサ

- 自己容量方式: 1端子1キー構成で最大36キーに対応
- 相互容量方式: 8 × 8 のマトリクス構成により最大64キーに対応

■ コンパレータ B

- 2チャンネル

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■ Renesas Secure IP (RSIP-E11A) (オプション)

- AES128/256、ECC、真性乱数生成回路 (TRNG)、SHA224、SHA256

■ 温度センサ内蔵

■ ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■ 動作周囲温度

- -40 ~ +85 $^\circ\text{C}$
- -40 ~ +105 $^\circ\text{C}$

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールの機能やチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 6)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：64MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 111命令 <ul style="list-style-type: none"> 標準搭載命令：111命令 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット(MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：512Kバイト/384Kバイト/256Kバイト 32MHz以下：ウェイトなし 32MHz～64MHz：ウェイトあり 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信/USB通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：128Kバイト 64MHz、ノーウェイトアクセス パリティエラー検出
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、PLL2周波数シンセサイザ、IWDTP専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路(CAC)：あり システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKD)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 64MHz GPTW/CANFD内ECCレジスタの周辺モジュールはPCLKA同期：Max 64MHz S12ADのADCLKはPCLKD同期：Max 64MHz 上記以外の周辺モジュールはPCLKB同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 64MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出回路(LVDAb)		<p>VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出0は検出電圧を5レベルから選択可能 電圧検出1は検出電圧を16レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2 / 6)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、ディープスリープモード、ソフトウェアスタンバイモード、スヌーズモード
	動作電力低減機能	動作電力制御モード <ul style="list-style-type: none"> 高速動作モード、 中速動作モード (デフォルト) 中速動作モード2 低速動作モード
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスクブル割り込み：要因数7 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み、RAMエラー割り込み) 16レベルの割り込み優先順位を設定可能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> 4チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データトランスファコントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み シーケンス転送が可能
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 100ピンLFQFP 入出力：89 (RX260グループ)、87 (RX261グループ) 入力：3 プルアップ抵抗：89 (RX260グループ)、87 (RX261グループ) オープンドレイン出力：63 5Vトレラント：4 80ピンLFQFP 入出力：69 (RX260グループ)、67 (RX261グループ) 入力：3 プルアップ抵抗：69 (RX260グループ)、67 (RX261グループ) オープンドレイン出力：47 5Vトレラント：4 64ピンLFQFP 入出力：53 (RX260グループ)、51 (RX261グループ) 入力：3 プルアップ抵抗：53 (RX260グループ)、51 (RX261グループ) オープンドレイン出力：35 5Vトレラント：2 48ピンLFQFP、48ピンHWQFN 入出力：39 (RX260グループ)、37 (RX261グループ) 入力：1 プルアップ抵抗：39 (RX260グループ)、37 (RX261グループ) オープンドレイン出力：27 5Vトレラント：2
	イベントリンクコントローラ (ELC)	<ul style="list-style-type: none"> 116種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートB、ポートEのイベントリンク動作が可能
	マルチファンクションピンコントローラ (MPC)	入出力機能を複数の端子から選択可能

表 1.1 仕様概要 (3 / 6)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTWa)	<ul style="list-style-type: none"> • (32ビット×2チャンネル 16ビット×6チャンネル)×1ユニット • 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) • チャンネルごとに独立したクロックソースを選択可能 • チャンネルごとに2本の入出力端子 • チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 • 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右対称なPWM波形を生成 • チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) • PWM動作の際にデットタイム生成が可能 • 任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能 • 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 • 出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能 • コンペアマッチA~Fイベント、オーバフローイベント/アンダフローイベントをELCに出力可能 • インプットキャプチャのノイズフィルタを使用可能
	GPTW用ポートアウトプットイネーブル (POEGc)	<ul style="list-style-type: none"> • GPTW波形出力の出力禁止制御 • GTETRG 端子の入力レベル検出による起動 • GPTWからの出力禁止要求による起動 • コンパレータ検出による起動 • 発振停止検出/ソフトウェアによる起動
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル)×2ユニット • 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512)を選択可能
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4, PCLK/64, PCLK/128, PCLK/512, PCLK/2048, PCLK/8192)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック: IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCBa)	<ul style="list-style-type: none"> • クロックソース: サブクロックにて動作 • 時計/カレンダー機能 • 割り込み: アラーム割り込み、周期割り込み、桁上げ割り込み • 時間キャプチャ機能(最大3端子)
	ローパワータイマ (LPTa)	<ul style="list-style-type: none"> • 16ビット×1チャンネル • クロックソース: サブクロック、LOCOの4分周クロック、IWDT専用低速クロックから選択可能 • クロック分周比: 分周なし、2分周、4分周、8分周、16分周、32分周から選択可能 • PWM出力モード
	8ビットタイマ (TMRa)	<ul style="list-style-type: none"> • (8ビット×2チャンネル)×2ユニット • 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能

表 1.1 仕様概要 (4 / 6)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインターフェース (SCIk, SCIlh)	<ul style="list-style-type: none"> 4チャンネル SCIk : SCI1, SCI5, SCI6 SCIlh : SCI12 SCIk, SCIlh シリアル通信方式：調歩同期式/クロック同期式/スマートカードインターフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データ一致検出をサポート(SCI12以外) ELCによるイベントリンク機能をサポート(SCI5のみ) SCIkのみ データ一致検出をサポート RXDサンプリング調整機能 SCIlhのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	シリアルコミュニケーションインターフェース (RSCI)	<ul style="list-style-type: none"> 3チャンネル(RSCIO, RSCI8, RSCI9) シリアル通信方式：調歩同期式/クロック同期式/スマートカードインターフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート(RSCI9) 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 マンチェスタコード機能をサポート(RSCI9) HBS機能をサポート データ一致検出をサポート RXDサンプリング調整機能
	I ² Cバス インターフェース (RlICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアル ペリフェラル インターフェース (RSPIC)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIC Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長(8~16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能

表 1.1 仕様概要 (5 / 6)

分類	モジュール/機能	説明
通信機能	CAN FDモジュール (CANFD)	<ul style="list-style-type: none"> 1チャンネル ISO 11898-1:2015仕様に準拠(標準フレーム/拡張フレーム)
	USB2.0 FS ホスト/ファンクション モジュール(USBc)	<ul style="list-style-type: none"> USB2.0 FSに対応したUDC (USB Device Controller)およびトランシーバを内蔵 1ポート USBバージョン2.0準拠 転送スピード: フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) セルフパワーモードおよびバスパワーモードの両方に対応 OTG (On-The-Go)に対応 (ロースピードは未対応) 通信バッファとして2KバイトのRAMを内蔵 外付けPull-Up抵抗、Pull-Down抵抗が不要
	リモコン信号受信機能 (REMCA)	<ul style="list-style-type: none"> 1チャンネル 4パターン波形マッチング(ヘッダ、データ0、データ1、特殊データ判別) 受信バッファ 8バイト(1ユニットあたり) 動作クロックを、PCLKB、サブクロック、IWDTCLK、TMRから選択可能
12ビットA/Dコンバータ (S12ADE)	<ul style="list-style-type: none"> 12ビット(1ユニット×25チャンネル(注1)) 分解能: 12ビット 最小変換時間: 1チャンネル当たり0.50μs (ADCLK = 64MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作(グループスキャンモードのみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 変換結果コンペア機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(GPTW)のトリガ、外部トリガ、ELC ELCによるイベントリンク機能をサポート 	
温度センサ (TEMPSA)	<ul style="list-style-type: none"> 1チャンネル 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	
D/Aコンバータ (DAa)	<ul style="list-style-type: none"> 2チャンネル 分解能: 8ビット 出力電圧: 0V~AVCC0 	
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能 	
コンパレータ B (CMPBa)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 ウィンドウコンパレータ動作/基本コンパレータ動作の選択 	
静電容量式タッチセンサ (CTS02SLa)	<ul style="list-style-type: none"> 自己容量方式: 1端子1キー構成で最大36キーに対応 相互容量方式: 8×8のマトリクス構成により最大64キーに対応 自動補正機能 自動判定機能 	
暗号機能	ユニークID	マイコン個体ごとの32バイト長のIDコード
	Renesas Secure IP (RSIP-E11A)	<ul style="list-style-type: none"> 共通鍵暗号方式: AES 公開鍵暗号方式: ECC ハッシュ値生成: SHA224, SHA256 真性乱数生成回路
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能	
電源電圧/動作周波数	VCC = 1.6 ~ 1.8V : 4MHz、VCC = 1.8 ~ 2.4V : 48MHz、VCC = 2.4 ~ 5.5V : 64MHz	
動作周囲温度	Dバージョン: -40 ~ +85°C、Gバージョン: -40 ~ +105°C	
パッケージ	100ピンLFQFP (PLQP0100KB-B) 14 × 14mm、0.5mmピッチ 80ピンLFQFP (PLQP0080KB-B) 12 × 12mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10 × 10mm、0.5mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7 × 7mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KC-A) 7 × 7mm、0.5mmピッチ	

表 1.1 仕様概要 (6 / 6)

分類	モジュール/機能	説明
デバッグインタフェース		• FINE インタフェース

注1. 25チャンネルは24チャンネルの外部端子入力と1チャンネルのCTSU専用内部入力を含みます。

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX260グループ				RX261グループ			
		100ピン	80ピン	64ピン	48ピン	100ピン	80ピン	64ピン	48ピン
割り込み	外部割り込み	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ IRQ7
DMA	DMAコントローラ	4チャンネル (DMAC0 ~ DMAC3)				4チャンネル (DMAC0 ~ DMAC3)			
	データ転送ファコン トローラ	あり				あり			
タイマ	汎用PWMタイマ	8チャンネル				8チャンネル			
	GPTW用ポートアウト プットイネーブル	あり				あり			
	8ビットタイマ	2チャンネル×2ユニット				2チャンネル×2ユニット			
	コンペアマッチタイマ	2チャンネル×2ユニット				2チャンネル×2ユニット			
	ローパワータイマ	1チャンネル				1チャンネル			
	リアルタイムクロック	あり		なし		あり		なし	
	ウォッチドックタイマ	あり				あり			
	独立ウォッチドックタイマ	あり				あり			
通信機能	シリアルコミュニケーション インタフェース (SCIk)	ch1, 5, 6				ch1, 5, 6			
	シリアルコミュニケーション インタフェース (SCIh)	ch12				ch12			
	シリアルコミュニケーション インタフェース (RSCI)	ch0, 8, 9		ch0, 8		ch0, 8, 9		ch0, 8	
	I ² Cバスインタフェース (RIIC)	1チャンネル				1チャンネル			
	シリアルペリフェラル インタフェース (RSPI)	1チャンネル				1チャンネル			
	CAN FDモジュール (CANFD)	なし				1チャンネル			
	USB2.0FSホスト/ファン クションモジュール	なし				1チャンネル			
	REMCモジュール	1チャンネル				1チャンネル			
静電容量式タッチセンサ	36チャンネル		32チャ ネル	24チャ ネル	34チャンネル		30チャ ネル	22チャ ネル	
12ビットA/Dコンバータ	25チャ ネル	18チャ ネル	15チャ ネル	11チャ ネル	25チャ ネル	18チャ ネル	15チャ ネル	11チャ ネル	
温度センサ	あり				あり				
D/Aコンバータ	2チャンネル			なし	2チャンネル			なし	
CRC演算器 (CRC)	あり				あり				
イベントリンクコントローラ (ELC)	あり				あり				
コンパレータB	2チャンネル				2チャンネル				
Renesas Secure IP (RSIP-E11A)	なし				あり/なし				
パッケージ	100ピン LFQFP	80ピン LFQFP	64ピン LFQFP	48ピン LFQFP 48ピン HWQFN	100ピン LFQFP	80ピン LFQFP	64ピン LFQFP	48ピン LFQFP 48ピン HWQFN	

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	CANFD	USB	動作周囲温度											
RX261 (Dバージョン)	R5F52618ADFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり	-40~+85°C											
	R5F52618BDFP	PLQP0100KB-B					あり	あり	あり												
	R5F52618ADFN	PLQP0080KB-B					なし	あり(注1)	あり												
	R5F52618BDFN	PLQP0080KB-B					あり	あり	あり												
	R5F52618ADFM	PLQP0064KB-C					なし	あり(注1)	あり												
	R5F52618BDFM	PLQP0064KB-C					あり	あり	あり												
	R5F52618ADFL	PLQP0048KB-B					なし	あり(注1)	あり												
	R5F52618BDFL	PLQP0048KB-B					あり	あり	あり												
	R5F52618ADNE	PWQN0048KC-A					なし	あり(注1)	あり												
	R5F52618BDNE	PWQN0048KC-A					あり	あり	あり												
	R5F52617ADFP	PLQP0100KB-B	384Kバイト				128Kバイト	8Kバイト	64MHz		なし	あり(注1)	あり								
	R5F52617BDFP	PLQP0100KB-B									あり	あり	あり								
	R5F52617ADFN	PLQP0080KB-B									なし	あり(注1)	あり								
	R5F52617BDFN	PLQP0080KB-B									あり	あり	あり								
	R5F52617ADFM	PLQP0064KB-C									なし	あり(注1)	あり								
	R5F52617BDFM	PLQP0064KB-C									あり	あり	あり								
	R5F52617ADFL	PLQP0048KB-B									なし	あり(注1)	あり								
	R5F52617BDFL	PLQP0048KB-B									あり	あり	あり								
	R5F52617ADNE	PWQN0048KC-A									なし	あり(注1)	あり								
	R5F52617BDNE	PWQN0048KC-A									あり	あり	あり								
	R5F52616ADFP	PLQP0100KB-B	256Kバイト								128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり					
	R5F52616BDFP	PLQP0100KB-B												あり	あり	あり					
	R5F52616ADFN	PLQP0080KB-B												なし	あり(注1)	あり					
	R5F52616BDFN	PLQP0080KB-B												あり	あり	あり					
	R5F52616ADFM	PLQP0064KB-C												なし	あり(注1)	あり					
	R5F52616BDFM	PLQP0064KB-C												あり	あり	あり					
	R5F52616ADFL	PLQP0048KB-B												なし	あり(注1)	あり					
	R5F52616BDFL	PLQP0048KB-B												あり	あり	あり					
	R5F52616ADNE	PWQN0048KC-A												なし	あり(注1)	あり					
	R5F52616BDNE	PWQN0048KC-A												あり	あり	あり					
	RX261 (Gバージョン)	R5F52618AGFP	PLQP0100KB-B											512Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり	-40~+105°C
		R5F52618BGFP	PLQP0100KB-B															あり	あり	あり	
R5F52618AGFN		PLQP0080KB-B	なし	あり(注1)	あり																
R5F52618BGFN		PLQP0080KB-B	あり	あり	あり																
R5F52618AGFM		PLQP0064KB-C	なし	あり(注1)	あり																
R5F52618BGFM		PLQP0064KB-C	あり	あり	あり																
R5F52618AGFL		PLQP0048KB-B	なし	あり(注1)	あり																
R5F52618BGFL		PLQP0048KB-B	あり	あり	あり																
R5F52618AGNE		PWQN0048KC-A	なし	あり(注1)	あり																
R5F52618BGNE		PWQN0048KC-A	あり	あり	あり																

表 1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データフラッシュ	動作周波数	暗号	CANFD	USB	動作周囲温度
RX261 (Gバージョン)	R5F52617AGFP	PLQP0100KB-B	384Kバイト	128Kバイト	8Kバイト	64MHz	なし	あり(注1)	あり	-40~+105°C
	R5F52617BGFP	PLQP0100KB-B					あり	あり	あり	
	R5F52617AGFN	PLQP0080KB-B					なし	あり(注1)	あり	
	R5F52617BGFN	PLQP0080KB-B					あり	あり	あり	
	R5F52617AGFM	PLQP0064KB-C					なし	あり(注1)	あり	
	R5F52617BGFM	PLQP0064KB-C					あり	あり	あり	
	R5F52617AGFL	PLQP0048KB-B					なし	あり(注1)	あり	
	R5F52617BGFL	PLQP0048KB-B					あり	あり	あり	
	R5F52617AGNE	PWQN0048KC-A					なし	あり(注1)	あり	
	R5F52617BGNE	PWQN0048KC-A	あり				あり	あり		
	R5F52616AGFP	PLQP0100KB-B	256Kバイト				なし	あり(注1)	あり	
	R5F52616BGFP	PLQP0100KB-B					あり	あり	あり	
	R5F52616AGFN	PLQP0080KB-B					なし	あり(注1)	あり	
	R5F52616BGFN	PLQP0080KB-B					あり	あり	あり	
	R5F52616AGFM	PLQP0064KB-C					なし	あり(注1)	あり	
	R5F52616BGFM	PLQP0064KB-C					あり	あり	あり	
	R5F52616AGFL	PLQP0048KB-B					なし	あり(注1)	あり	
	R5F52616BGFL	PLQP0048KB-B					あり	あり	あり	
R5F52616AGNE	PWQN0048KC-A	なし		あり(注1)	あり					
R5F52616BGNE	PWQN0048KC-A	あり	あり	あり						
RX260 (Dバージョン)	R5F52608ADFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	なし	なし	-40~+85°C
	R5F52608ADFN	PLQP0080KB-B					なし	なし	なし	
	R5F52608ADFM	PLQP0064KB-C					なし	なし	なし	
	R5F52608ADFL	PLQP0048KB-B					なし	なし	なし	
	R5F52608ADNE	PWQN0048KC-A					なし	なし	なし	
	R5F52607ADFP	PLQP0100KB-B	384Kバイト				なし	なし	なし	
	R5F52607ADFN	PLQP0080KB-B					なし	なし	なし	
	R5F52607ADFM	PLQP0064KB-C					なし	なし	なし	
	R5F52607ADFL	PLQP0048KB-B					なし	なし	なし	
	R5F52607ADNE	PWQN0048KC-A					なし	なし	なし	
	R5F52606ADFP	PLQP0100KB-B	256Kバイト				なし	なし	なし	
	R5F52606ADFN	PLQP0080KB-B					なし	なし	なし	
	R5F52606ADFM	PLQP0064KB-C					なし	なし	なし	
	R5F52606ADFL	PLQP0048KB-B					なし	なし	なし	
	R5F52606ADNE	PWQN0048KC-A					なし	なし	なし	

表 1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作周波数	暗号	CANFD	USB	動作周囲温度
RX260 (Gバージョン)	R5F52608AGFP	PLQP0100KB-B	512Kバイト	128Kバイト	8Kバイト	64MHz	なし	なし	なし	-40~+105°C
	R5F52608AGFN	PLQP0080KB-B					なし	なし	なし	
	R5F52608AGFM	PLQP0064KB-C					なし	なし	なし	
	R5F52608AGFL	PLQP0048KB-B					なし	なし	なし	
	R5F52608AGNE	PWQN0048KC-A					なし	なし	なし	
	R5F52607AGFP	PLQP0100KB-B	384Kバイト				なし	なし	なし	
	R5F52607AGFN	PLQP0080KB-B					なし	なし	なし	
	R5F52607AGFM	PLQP0064KB-C					なし	なし	なし	
	R5F52607AGFL	PLQP0048KB-B					なし	なし	なし	
	R5F52607AGNE	PWQN0048KC-A					なし	なし	なし	
	R5F52606AGFP	PLQP0100KB-B	256Kバイト				なし	なし	なし	
	R5F52606AGFN	PLQP0080KB-B					なし	なし	なし	
	R5F52606AGFM	PLQP0064KB-C					なし	なし	なし	
	R5F52606AGFL	PLQP0048KB-B					なし	なし	なし	
	R5F52606AGNE	PWQN0048KC-A					なし	なし	なし	

注1. CAN 2.0 プロトコルのみ対応

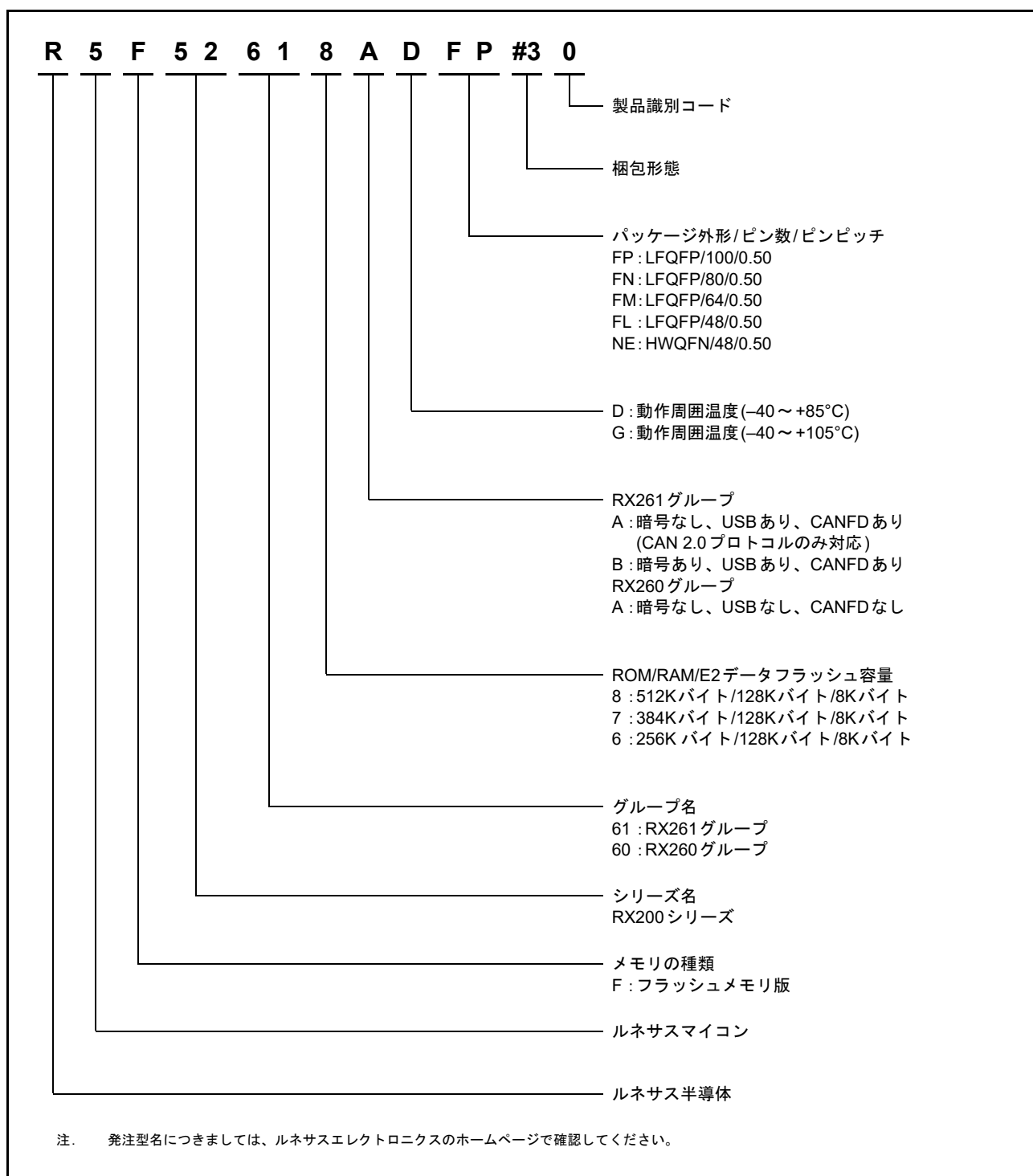


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

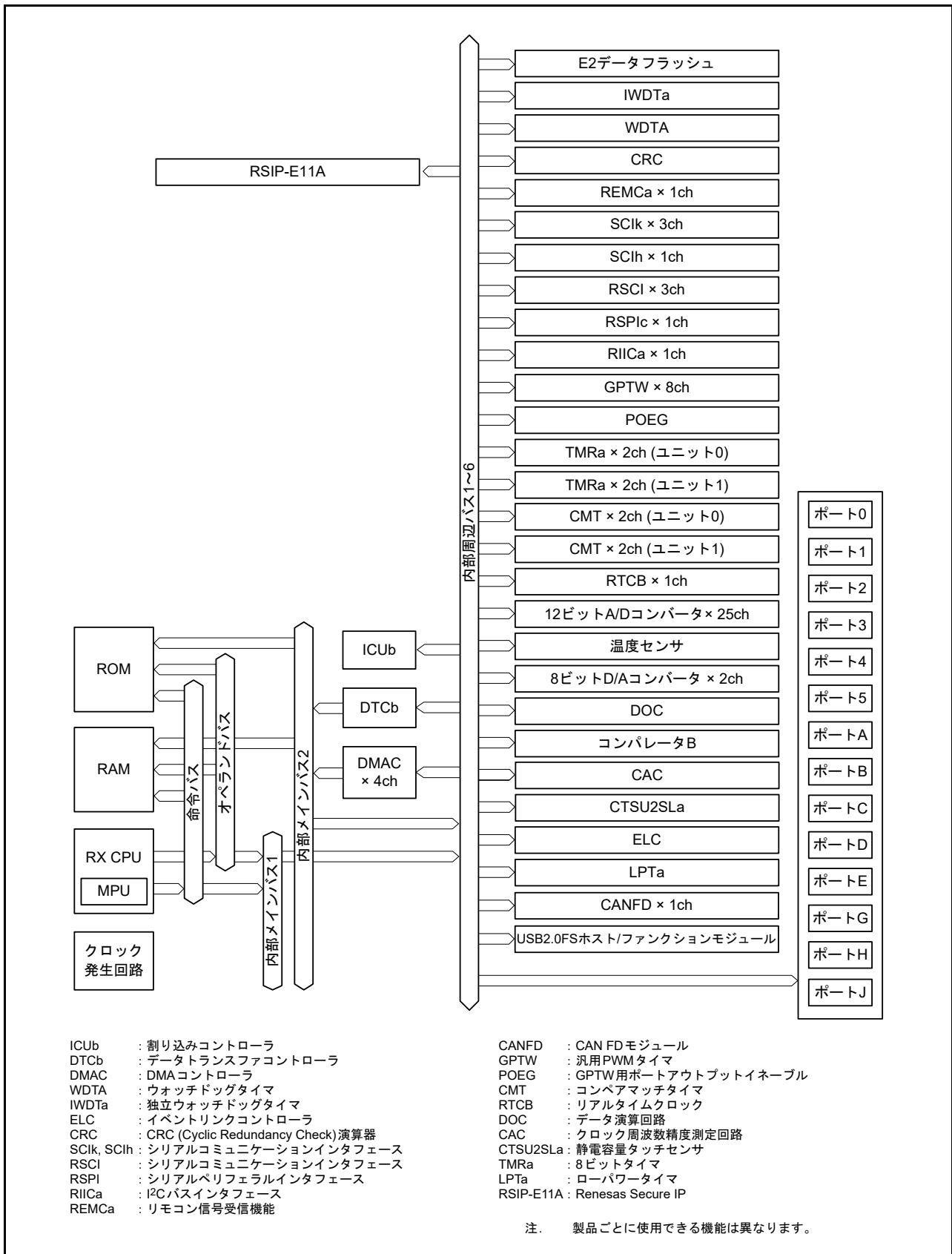


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。
	VCL	入力	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
	EXCIN	入力	サブクロック用の外部クロック入力端子
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
	UB	入力	ブートモード(USBインタフェース)で使用する端子
	UPSEL	入力	ブートモード(USBインタフェース)で使用する端子
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
電圧検出回路	CMPA2	入力	電圧検出2用検出対象電圧端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
汎用PWMタイマ	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A~GTIOC7A, GTIOC0B~GTIOC7B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#~GTIOC7A#, GTIOC0B#~GTIOC7B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	GTCPP00	出力	PWM周期同期出力
	GTIU, GTIV, GTIW	入力	ホール素子入力端子
	GTOUUP	出力	BLDCモータ制御3相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御3相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御3相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御3相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御3相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御3相PWM出力(逆相W相)
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
ローパワータイマ	LPTO	出力	PWMの出力端子

表 1.4 端子機能一覧 (2 / 4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIk)	・ 調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御出力端子
	・ 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5, SSDA6	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	チップセレクト入力端子
	シリアル コミュニケーション インタフェース (SCIh)	・ 調歩同期式モード/クロック同期式モード	
SCK12		入出力	クロック入出力端子
RXD12		入力	受信データ入力端子
TXD12		出力	送信データ出力端子
CTS12#		入力	送受信開始制御入力端子
RTS12#		出力	送受信開始制御出力端子
・ 簡易I ² Cモード			
SSCL12		入出力	I ² Cクロック入出力端子
SSDA12		入出力	I ² Cデータ入出力端子
・ 簡易SPIモード			
SCK12		入出力	クロック入出力端子
SMISO12		入出力	スレーブ送出データ入出力端子
SMOSI12		入出力	マスタ送出データ入出力端子
SS12#		入力	チップセレクト入力端子
・ 拡張シリアルモード			
RDX12		入力	受信データ入力端子
TXDX12		出力	送信データ出力端子
SIOX12		入出力	送受信データ入出力端子

表 1.4 端子機能一覧 (3 / 4)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (RSCI)	・ 調歩同期式モード/クロック同期式モード		
	SCK000, SCK008, SCK009	入出力	クロック入出力端子
	RXD000, RXD008, RXD009	入力	受信データ入力端子
	TXD000, TXD008, TXD009	出力	送信データ出力端子
	CTS000#, CTS008#, CTS009#	入力	送受信開始制御用入力端子
	RTS000#, RTS008#, RTS009#	出力	送受信開始制御用出力端子
	DE000, DE008, DE009	出力	DriveEnable出力端子
	・ 簡易I ² Cモード		
	SSCL000, SSCL008, SSCL009	入出力	I ² Cクロック入出力端子
	SSDA000, SSDA008, SSDA009	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK000, SCK008, SCK009	入出力	クロック入出力端子
	SMISO000, SMISO008, SMISO009	入出力	スレーブ送出データ入出力端子
	SMOSI000, SMOSI008, SMOSI009	入出力	マスタ送出データ入出力端子
	SS000#, SS008#, SS009#	入力	チップセレクト入力端子
	・ HBSサポートモード		
	RXD000, RXD008, RXD009	入力	受信データ入力端子
TXDA000, TXDA008, TXDA009	出力	送信データ出力端子	
TXDB000, TXDB008, TXDB009	出力	送信データ出力端子	
リモコン信号受信機能 (REMC)	PMC0	入力	外部パルス信号入力端子
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1~SSLA3	出力	RSPIのスレーブセレクト出力端子
USB2.0FSホスト/ファン クションモジュール	USB0_DP	入出力	USB内蔵トランシーバD+入出力端子
	USB0_DM	入出力	USB内蔵トランシーバD-入出力端子
	USB0_VBUS	入力	USBケーブル接続モニタ端子
	USB0_EXICEN	出力	OTGチップのローパワー制御信号
	USB0_VBUSEN	出力	OTGチップへのVBUS (5V)の供給許可信号
	USB0_OVRCURA, USB0_OVRCURB	入力	外部オーバカレント検出端子
	USB0_ID	入力	OTG動作時miniABコネクタのID入力端子
CAN FDモジュール	CRX0	入力	データ受信用端子
	CTX0	出力	データ送信用端子
12ビットA/Dコンバータ	AN000~AN007, AN016~AN031	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
8ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子

表 1.4 端子機能一覧 (4 / 4)

分類	端子名	入出力	機能
コンパレータB	CMPB0, CMPB1	入力	コンパレータB用のアナログ端子
	CVREFB0, CVREFB1	入力	コンパレータB用のリファレンス電圧端子
	CMPOB0, CMPOB1	出力	コンパレータB用出力端子
CTSU	TS0 ~ TS35	入出力	静電容量計測端子(タッチ端子)
	TSCAP	—	内部電源安定用の平滑コンデンサ(0.01 μ F)を介してVSSに接続してください。コンデンサは端子近くに配置してください
アナログ電源	AVCC0	入力	12ビットA/DコンバータとD/Aコンバータのアナログ電源端子。12ビットA/DコンバータとD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/DコンバータとD/Aコンバータのアナロググランド端子。12ビットA/DコンバータとD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P03 ~ P07	入出力	5ビット汎用入出力端子
	P12 ~ P17	入出力	6ビット汎用入出力端子
	P20 ~ P27	入出力	8ビット汎用入出力端子
	P30 ~ P37	入出力	8ビット汎用入出力端子(P35は入力端子)
	P40 ~ P47	入出力	8ビット汎用入出力端子
	P50 ~ P55	入出力	6ビット汎用入出力端子
	PA0 ~ PA7	入出力	8ビット汎用入出力端子
	PB0 ~ PB7	入出力	8ビット汎用入出力端子
	PC0 ~ PC7	入出力	8ビット汎用入出力端子
	PD0 ~ PD7	入出力	8ビット汎用入出力端子
	PE0 ~ PE7	入出力	8ビット汎用入出力端子
	PG7	入出力	1ビット汎用入出力端子
	PH0 ~ PH3, PH6, PH7	入出力	6ビット汎用入出力端子(PH6、PH7は入力端子)
	PJ1, PJ3, PJ6, PJ7	入出力	4ビット汎用入出力端子

1.5 ピン配置図

1.5.1 100ピン LQFP

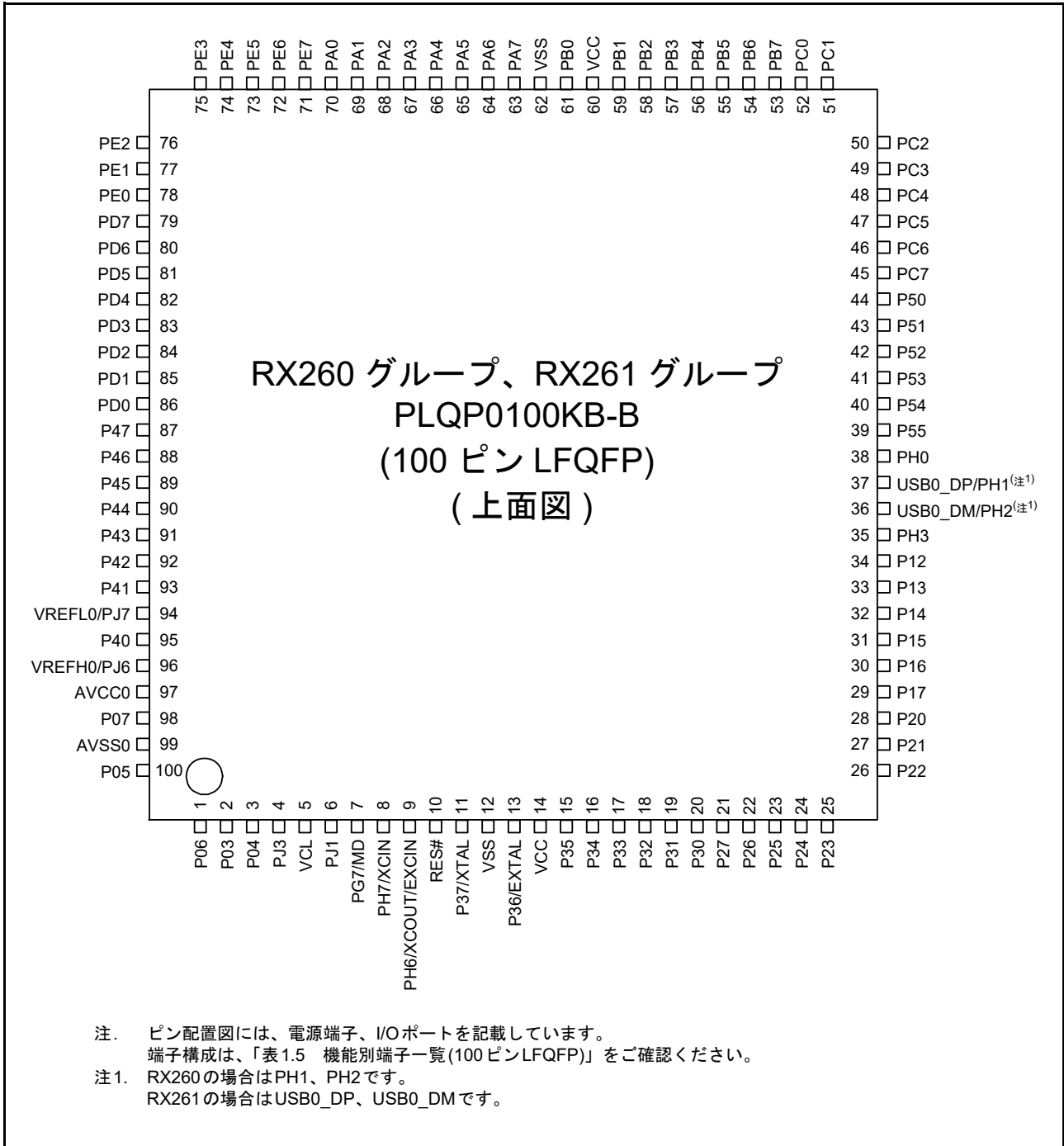


図 1.3 100ピン (LQFP) ピン配置図

1.5.2 80ピンLFQFP

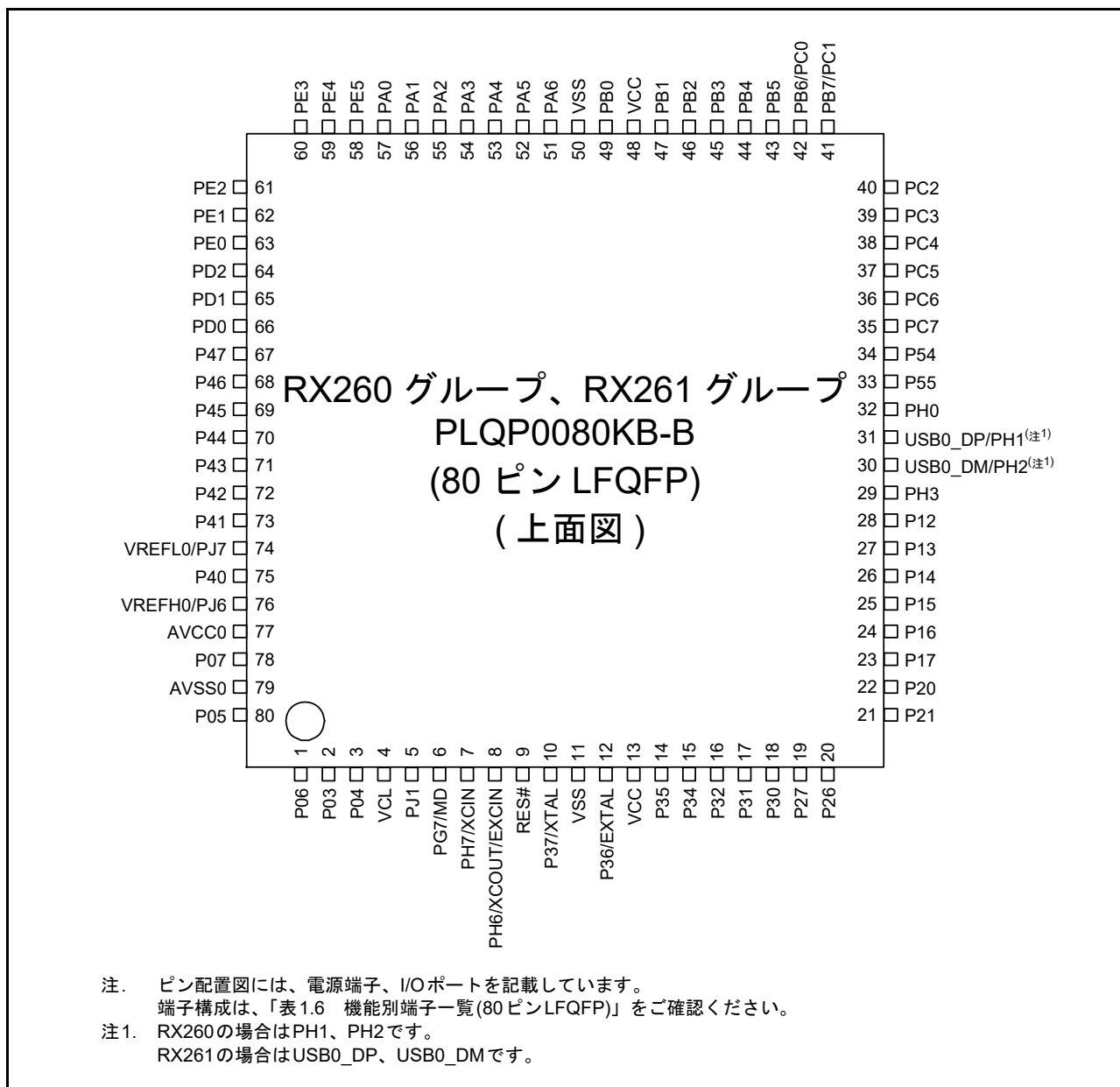


図 1.4 80ピン(LFQFP)ピン配置図

1.5.3 64ピンLFQFP

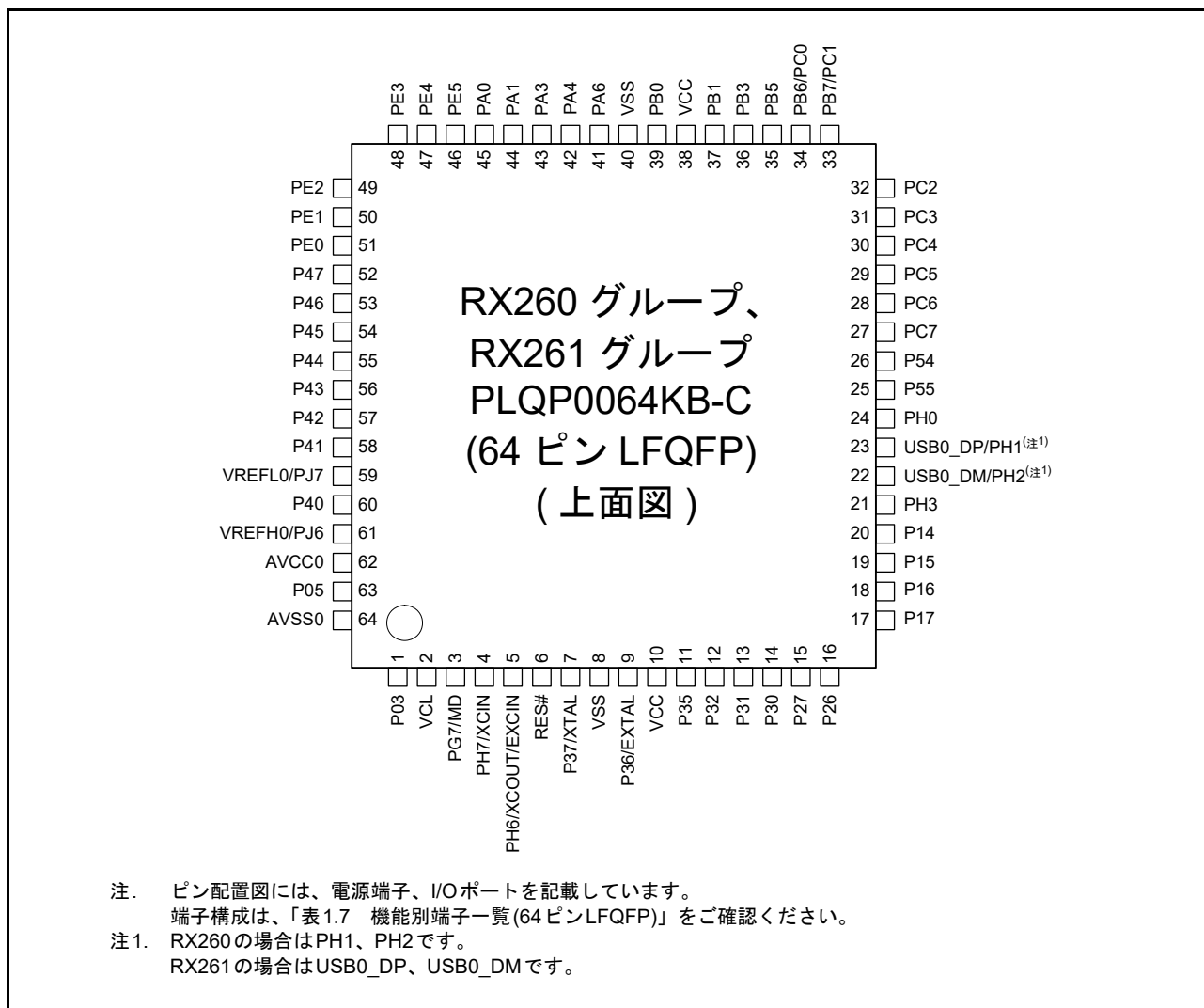


図 1.5 64ピン(LFQFP)ピン配置図

1.5.4 48ピンLFQFP、48ピンHWQFN

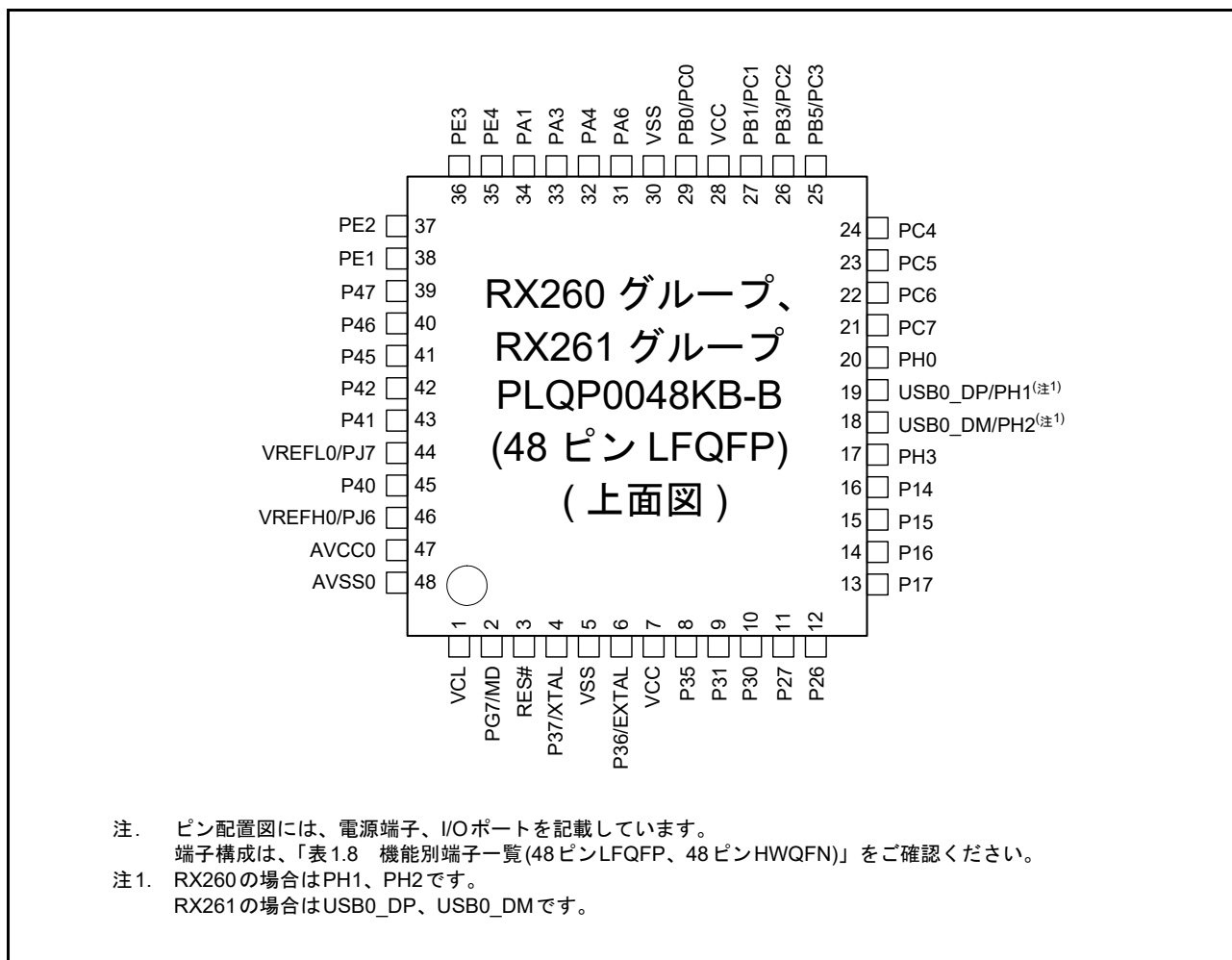


図 1.6 48ピン(LFQFP)ピン配置図

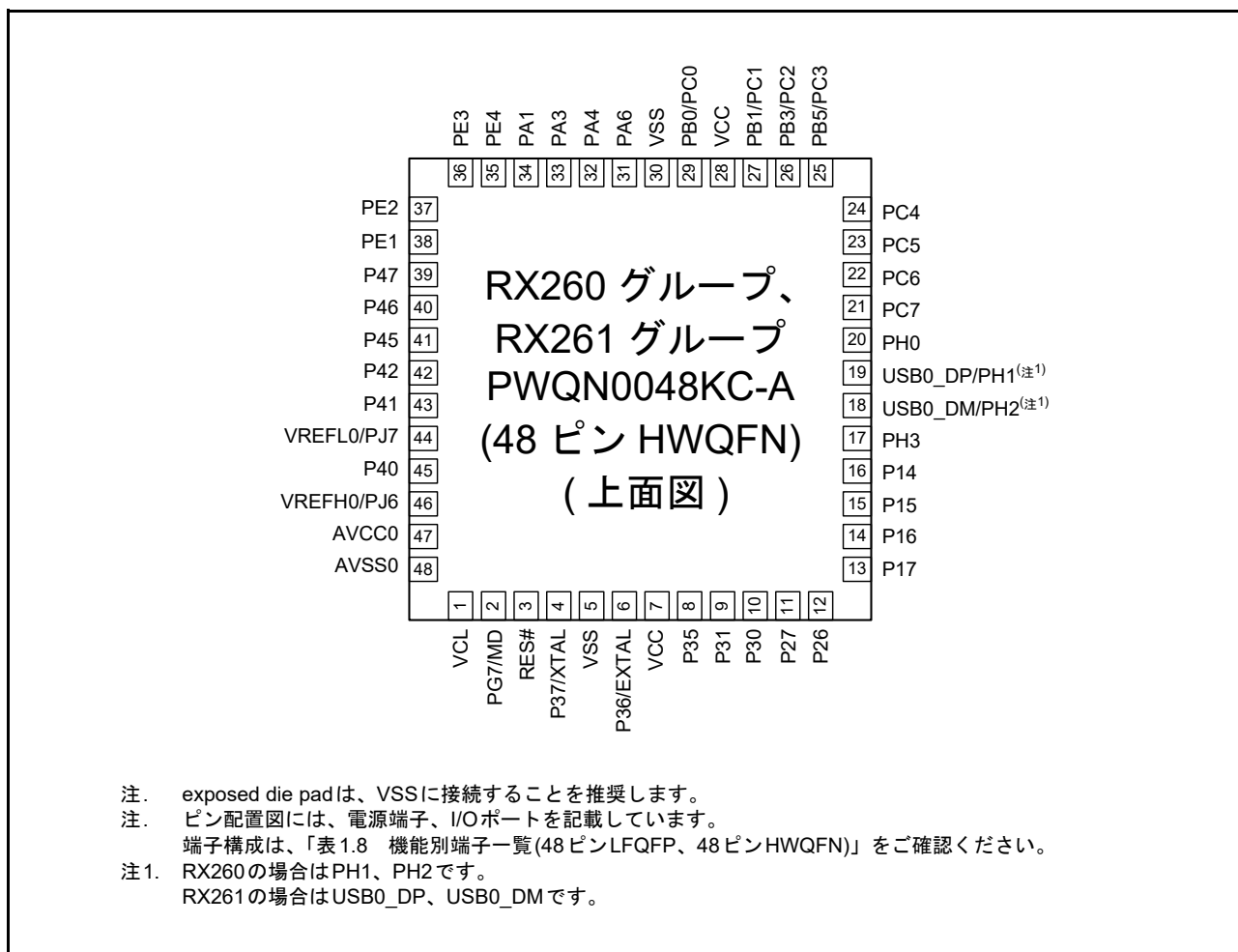


図 1.7 48ピン(HWQFN)ピン配置図

1.6 機能別端子一覧

1.6.1 100ピンLFQFP

表 1.5 機能別端子一覧(100ピンLFQFP) (1 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1		P06 (注1)					
2		P03 (注1)					DA0
3		P04 (注1)					
4		PJ3	GTIOC6B/GTIOC6B#	CTS6#/RTS6#/SS6#			
5	VCL						
6		PJ1	GTIOC6A/GTIOC6A#/ GTCPP00				
7	MD/FINED	PG7					
8	XCIN	PH7					
9	XCOUT/ EXCIN	PH6					
10	RES#						
11	XTAL	P37				IRQ4	
12	VSS						
13	EXTAL	P36				IRQ2	
14	VCC						
15	UPSEL	P35				NMI	
16		P34	GTIOC3A/GTIOC3A#/ GTIU/TMCI3	SCK6		IRQ4	
17		P33	GTIOC1B/GTIOC7B/ GTIOC1B#/GTIOC7B#/ TMRI3	RXD6/SMISO6/SSCL6/ CRX0 (注2)		IRQ3	
18		P32	GTIOC1A/GTIOC7A/ GTIOC1A#/GTIOC7A#/ GTIW/TMO3/RTCOUT/ RTCIC2	TXD6/SMOSI6/SSDA6/ CTX0 (注2)/ USB0_VBUSEN (注2)	TS0	IRQ2	
19		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2/ RTCIC1	CTS1#/RTS1#/SS1#	TS1	IRQ1	
20		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3/ RTCIC0	RXD1/SMISO1/SSCL1	TS2	IRQ0	
21		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
22		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN (注2)	TS4		
23		P25	GTIOC1B/GTIOC6A/ GTIOC1B#/GTIOC6A#/ GTETRGB				ADTRG0#
24		P24	GTIOC1A/GTIOC6B/ GTIOC1A#/GTIOC6B#/ GTETRGA/TMRI1	USB0_VBUSEN (注2)			
25		P23	GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTETRGD	CTS000#/RTS000#/ SS000#/DE000			

表 1.5 機能別端子一覧(100ピンLFQFP) (2 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
26		P22	GTIOC0A/GTIOC3A/ GTIOC0A#/GTIOC3A#/ GTETRGC/TMO0	SCK000/TXDB000/ USB0_OVRCURB (注2)			
27		P21	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ TMC10	RXD000/SMISO000/ SSCL000/ USB0_EXICEN (注2)			
28		P20	GTIOC2B/GTIOC4A/ GTIOC2B#/GTIOC4A#/ TMR10	TXD000/TXDA000/ SMOSI000/SSDA000/ USB0_ID (注2)			
29		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
30		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2/RTCOU	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS (注2)/ USB0_VBUSEN (注2)/ USB0_OVRCURB (注2)		IRQ6	ADTRG0#
31		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGB/GTIV/TMC12	RXD1/SMISO1/SSCL1/ CRX0 (注2)	TS5	IRQ5	
32		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMR12	CTS1#/RTS1#/SS1#/ CTX0 (注2)/ USB0_OVRCURA (注2)	TS6	IRQ4	
33		P13	GTIOC3B/GTIOC7A/ GTIOC3B#/GTIOC7A#/ GTIV/TMO3	SDA0		IRQ3	
34		P12	TMC11	SCL0		IRQ2	
35		PH3	GTIOC2B/GTIOC2B#/ TMC10		TS7		
36		PH2 (注3)	GTIOC1B (注3)/ GTIOC1B# (注3)/ TMR10 (注3)	USB0_DM (注2)	TS8 (注3)	IRQ1 (注3)	
37		PH1 (注3)	GTIOC0B (注3)/ GTIOC0B# (注3)/ GTOULO (注3)/ TMO0 (注3)	USB0_DP (注2)	TS9 (注3)	IRQ0 (注3)	
38		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
39		P55	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ TMO3	CRX0 (注2)	TS11		
40		P54	GTIOC2A/GTIOC2A#/ TMC11	CTX0 (注2)	TS12		
41		P53		PMC0			
42		P52					
43		P51		PMC0			
44		P50					
45	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGB/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		

表 1.5 機能別端子一覧(100ピンLFQFP)(3 / 5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
46		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMCI2	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注2)	TS14		
47		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGD/GTOUUP/ GTIW/TMRI2	SCK008/TXDB008/ RSPCKA/USB0_ID (注2)/ PMC0	TS15		
48		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGC/GTIU/ GTOULO/TMCI1	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
49		PC3	GTIOC2B/GTIOC2B#/ GTETRGB	TXD5/SMOSI5/SSDA5/ PMC0	TS16		
50		PC2	GTIOC2A/GTIOC2A#/ GTETRGA/GTOWUP	RXD5/SMISO5/SSCL5/ SSLA3	TS17		
51		PC1	GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0	SCK5/SSLA2			
52		PC0	GTIOC6B/GTIOC6B#/ GTETRGC	CTS5#/RTS5#/SS5#/ SSLA1			
53		PB7	GTIOC0A/GTIOC7B/ GTIOC0A#/GTIOC7B#	TXD009/TXDA009/ SMOSI009/SSDA009	TS18		
54		PB6	GTIOC0B/GTIOC7A/ GTIOC0B#/GTIOC7A#	RXD009/SMISO009/ SSCL009	TS19		
55		PB5	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMRI1	SCK009/TXDB009/ USB0_VBUS (注2)	TS20		
56		PB4	GTIOC6A/GTIOC6A#	CTS009#/RTS009#/ SS009#/DE009	TS21		
57		PB3	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
58		PB2	GTIOC3A/GTIOC3A#/ GTETRGC	CTS6#/RTS6#/SS6#	TS23		
59		PB1	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
60	VCC						
61		PB0	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
62	VSS						
63		PA7	GTIOC5B/GTIOC5B#	MISOA			
64		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMCI3	CTS5#/RTS5#/SS5#/ MOSIA	TS26		
65		PA5	GTIOC4B/GTIOC4B#	RSPCKA	TS27		

表 1.5 機能別端子一覧(100ピンLFQFP)(4/5)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
66		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRIO	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
67		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGA/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
68		PA2		RXD5/SMISO5/SSCL5/ SSLA3	TS30		
69		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
70		PA0	GTIOC0A/GTIOC1A/ GTIOC0A#/GTIOC1A#/ GTOVUP/CACREF	SSLA1	TS32		
71		PE7				IRQ7	AN023
72		PE6				IRQ6	AN022
73		PE5	GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#			IRQ5	AN021/ CMPOB0
74	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
75	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOVUP	CTS12#/RTS12#/SS12#	TS34		AN019
76		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SMISO12/ SSCL12/RXDX12	TS35	IRQ7	AN018/ CVREFB0
77		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12			AN017/ CMPB0
78		PE0		SCK12			AN016
79		PD7				IRQ7	AN031
80		PD6				IRQ6	AN030
81		PD5				IRQ5	AN029
82		PD4				IRQ4	AN028
83		PD3				IRQ3	AN027
84		PD2	GTIOC2B/GTIOC2B#	SCK6/CRX0 (注2)		IRQ2	AN026
85		PD1	GTIOC2A/GTIOC2A#	RXD6/SMISO6/SSCL6/ CTX0 (注2)		IRQ1	AN025
86		PD0		TXD6/SMOSI6/SSDA6		IRQ0	AN024
87		P47 (注1)					AN007
88		P46 (注1)					AN006
89		P45 (注1)					AN005
90		P44 (注1)					AN004
91		P43 (注1)					AN003
92		P42 (注1)					AN002

表 1.5 機能別端子一覧(100ピンLQFP)(5 / 5)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
93		P41(注1)					AN001
94	VREFL0	PJ7(注1)					
95		P40(注1)					AN000
96	VREFH0	PJ6(注1)					
97	AVCC0						
98		P07(注1)					ADTRG0#
99	AVSS0						
100		P05(注1)					DA1

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. RX260にはありません。

注3. RX261にはありません。

1.6.2 80ピンLFQFP

表 1.6 機能別端子一覧(80ピンLFQFP) (1 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1		P06 (注1)					
2		P03 (注1)					DA0
3		P04 (注1)					
4	VCL						
5		PJ1	GTIOC6A/GTIOC6A#/ GTCPP00				
6	MD/FINED	PG7					
7	XCIN	PH7					
8	XCOUT/ EXCIN	PH6					
9	RES#						
10	XTAL	P37				IRQ4	
11	VSS						
12	EXTAL	P36				IRQ2	
13	VCC						
14	UPSEL	P35				NMI	
15		P34	GTIOC3A/GTIOC3A#/ GTIU/TMCI3	SCK6		IRQ4	
16		P32	GTIOC1A/GTIOC7A/ GTIOC1A#/GTIOC7A#/ GTIW/TMO3/RTCOUT/ RTCIC2	TXD6/SMOSI6/SSDA6/ CTX0 (注2)/ USB0_VBUS (注2)	TS0	IRQ2	
17		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2/ RTCIC1	CTS1#/RTS1#/SS1#	TS1	IRQ1	
18		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3/ RTCIC0	RXD1/SMISO1/SSCL1	TS2	IRQ0	
19		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
20		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUS (注2)	TS4		
21		P21	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ TMCI0	RXD000/SMISO000/ SSCL000/ USB0_EXICEN (注2)			
22		P20	GTIOC2B/GTIOC4A/ GTIOC2B#/GTIOC4A#/ TMRI0	TXD000/SMOSI000/ SSDA000/USB0_ID (注2)			
23		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPP00/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
24		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2/RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS (注2)/ USB0_VBUS (注2)/ USB0_OVRCURB (注2)		IRQ6	ADTRG0#

表 1.6 機能別端子一覧(80ピンLFQFP) (2 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
25		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGA/GTIV/TMC12	RXD1/SMISO1/SSCL1/ CRX0 (注2)	TS5	IRQ5	
26		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0 (注2)/ USB0_OVRCURA (注2)	TS6	IRQ4	
27		P13	GTIOC3B/GTIOC7A/ GTIOC3B#/GTIOC7A#/ GTIV/TMO3	SDA0		IRQ3	
28		P12	TMCI1	SCL0		IRQ2	
29		PH3	GTIOC2B/GTIOC2B#/ TMC10		TS7		
30		PH2 (注3)	GTIOC1B (注3)/ GTIOC1B# (注3)/ TMRI0 (注3)	USB0_DM (注2)	TS8 (注3)	IRQ1 (注3)	
31		PH1 (注3)	GTIOC0B (注3)/ GTIOC0B# (注3)/ GTOULO (注3)/ TMO0 (注3)	USB0_DP (注2)	TS9 (注3)	IRQ0 (注3)	
32		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
33		P55	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ TMO3	CRX0 (注2)	TS11		
34		P54	GTIOC2A/GTIOC2A#/ TMC11	CTX0 (注2)	TS12		
35	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGA/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		
36		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMC12	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注2)	TS14		
37		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGA/GTOUUP/ GTIV/TMR12	SCK008/TXDB008/ RSPCKA/USB0_ID (注2)/ PMC0	TS15		
38		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGA/GTIU/ GTOULO/TMC11	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
39		PC3	GTIOC2B/GTIOC2B#/ GTETRGA	TXD5/SMOSI5/SSDA5/ PMC0	TS16		
40		PC2	GTIOC2A/GTIOC2A#/ GTETRGA/GTOUUP	RXD5/SMISO5/SSCL5/ SSLA3	TS17		
41		PB7/PC1 (注4)	GTIOC0A/GTIOC7B/ GTIOC0A#/GTIOC7B#	TXD009/TXDA009/ SMOSI009/SSDA009	TS18		
42		PB6/PC0 (注4)	GTIOC0B/GTIOC7A/ GTIOC0B#/GTIOC7A#	RXD009/SMISO009/ SSCL009	TS19		
43		PB5	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMRI1	SCK009/TXDB009/ USB0_VBUS (注2)	TS20		
44		PB4	GTIOC6A/GTIOC6A#	CTS009#/RTS009#/ SS009#/DE009	TS21		

表 1.6 機能別端子一覧(80ピンLQFP) (3 / 4)

ピン番号 80ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
45		PB3	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
46		PB2	GTIOC3A/GTIOC3A#/ GTETRGC	CTS6#/RTS6#/SS6#	TS23		
47		PB1	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
48	VCC						
49		PB0	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
50	VSS						
51		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMCI3	CTS5#/RTS5#/SS5#/ MOSIA	TS26		
52		PA5	GTIOC4B/GTIOC4B#	RSPCKA	TS27		
53		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRI0	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
54		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGB/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
55		PA2		RXD5/SMISO5/SSCL5/ SSLA3	TS30		
56		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
57		PA0	GTIOC0A/GTIOC1A/ GTIOC0A#/GTIOC1A#/ GTOVUP/CACREF	SSLA1	TS32		
58		PE5	GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#			IRQ5	AN021/ CMPOB0
59	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
60	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOWUP	CTS12#/RTS12#/SS12#	TS34		AN019
61		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SMISO12/ SSCL12/RXDX12	TS35	IRQ7	AN018/ CVREFB0
62		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12			AN017/ CMPB0
63		PE0		SCK12			AN016

表 1.6 機能別端子一覧(80ピンLFQFP) (4 / 4)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
64		PD2	GTIOC2B/GTIOC2B#	SCK6/CRX0 (注2)		IRQ2	AN026
65		PD1	GTIOC2A/GTIOC2A#	RXD6/SMISO6/SSCL6/ CTX0 (注2)		IRQ1	AN025
66		PD0		TXD6/SMOSI6/SSDA6		IRQ0	AN024
67		P47 (注1)					AN007
68		P46 (注1)					AN006
69		P45 (注1)					AN005
70		P44 (注1)					AN004
71		P43 (注1)					AN003
72		P42 (注1)					AN002
73		P41 (注1)					AN001
74	VREFL0	PJ7 (注1)					
75		P40 (注1)					AN000
76	VREFH0	PJ6 (注1)					
77	AVCC0						
78		P07 (注1)					ADTRG0#
79	AVSS0						
80		P05 (注1)					DA1

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. RX260にはありません。

注3. RX261にはありません。

注4. PC0、PC1は、ポート切り替え機能選択時のみ有効です

1.6.3 64ピンLFQFP

表 1.7 機能別端子一覧(64ピンLFQFP) (1 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1		P03(注1)					DA0
2	VCL						
3	MD/FINED	PG7					
4	XCIN	PH7					
5	XCOUT/ EXCIN	PH6					
6	RES#						
7	XTAL	P37				IRQ4	
8	VSS						
9	EXTAL	P36				IRQ2	
10	VCC						
11	UPSEL	P35				NMI	
12		P32	GTIOC1A/GTIOC7A/ GTIOC1A#/GTIOC7A#/ GTIW/TMO3/RTCOUT/ RTCIC2	TXD6/SMOSI6/SSDA6/ CTX0(注2)/ USB0_VBUS(注2)	TS0	IRQ2	
13		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2/ RTCIC1	CTS1#/RTS1#/SS1#	TS1	IRQ1	
14		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3/ RTCIC0	RXD1/SMISO1/SSCL1	TS2	IRQ0	
15		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
16		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUS(注2)	TS4		
17		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
18		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2/RTCOUT	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS(注2)/ USB0_VBUS(注2)/ USB0_OVRCURB(注2)		IRQ6	ADTRG0#
19		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGA/GTIV/TMCI2	RXD1/SMISO1/SSCL1/ CRX0(注2)	TS5	IRQ5	
20		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0(注2)/ USB0_OVRCURA(注2)	TS6	IRQ4	
21		PH3	GTIOC2B/GTIOC2B#/ TMCI0		TS7		
22		PH2(注3)	GTIOC1B(注3)/ GTIOC1B(注3)/ TMRI0(注3)	USB0_DM(注2)	TS8(注3)	IRQ1(注3)	

表 1.7 機能別端子一覧(64ピンLFQFP) (2 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
23		PH1 (注3)	GTIOC0B (注3)/ GTIOC0B# (注3)/ GTOULO (注3)/ TMO0 (注3)	USB0_DP (注2)	TS9 (注3)	IRQ0 (注3)	
24		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
25		P55	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ TMO3	CRX0 (注2)	TS11		
26		P54	GTIOC2A/GTIOC2A#/ TMC11	CTX0 (注2)	TS12		
27	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGB/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		
28		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMC12	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注2)	TS14		
29		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGD/GTOUUP/ GTIW/TMRI2	SCK008/TXDB008/ RSPCKA/USB0_ID (注2)/ PMC0	TS15		
30		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGC/GTIU/ GTOULO/TMC11	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
31		PC3	GTIOC2B/GTIOC2B#/ GTETRGB	TXD5/SMOSI5/SSDA5/ PMC0	TS16		
32		PC2	GTIOC2A/GTIOC2A#/ GTETRGA/GTOWUP	RXD5/SMISO5/SSCL5/ SSLA3	TS17		
33		PB7/PC1 (注4)	GTIOC0A/GTIOC7B/ GTIOC0A#/GTIOC7B#	TXD009/TXDA009/ SMOSI009/SSDA009	TS18		
34		PB6/PC0 (注4)	GTIOC0B/GTIOC7A/ GTIOC0B#/GTIOC7A#	RXD009/SMISO009/ SSCL009	TS19		
35		PB5	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMR11	SCK009/TXDB009/ USB0_VBUS (注2)	TS20		
36		PB3	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
37		PB1	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMC10	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
38	VCC						
39		PB0	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOWUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
40	VSS						
41		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMC13	CTS5#/RTS5#/SS5#/ MOSIA	TS26		

表 1.7 機能別端子一覧(64ピンLFQFP) (3 / 3)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
42		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRIO	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
43		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGA/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
44		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
45		PA0	GTIOC0A/GTIOC1A/ GTIOC0A#/GTIOC1A#/ GTOVUP/CACREF	SSLA1	TS32		
46		PE5	GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#			IRQ5	AN021/ CMPOB0
47	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
48	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOWUP	CTS12#/RTS12#/SS12#	TS34		AN019
49		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SMISO12/ SSCL12/RXDX12	TS35	IRQ7	AN018/ CVREFB0
50		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12			AN017/ CMPB0
51		PE0		SCK12			AN016
52		P47 (注1)					AN007
53		P46 (注1)					AN006
54		P45 (注1)					AN005
55		P44 (注1)					AN004
56		P43 (注1)					AN003
57		P42 (注1)					AN002
58		P41 (注1)					AN001
59	VREFL0	PJ7 (注1)					
60		P40 (注1)					AN000
61	VREFH0	PJ6 (注1)					
62	AVCC0						
63		P05 (注1)					DA1
64	AVSS0						

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. RX260にはありません。

注3. RX261にはありません。

注4. PC0、PC1は、ポート切り替え機能選択時のみ有効です

1.6.4 48ピンLFQFP、48ピンHWQFN

表 1.8 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (1 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
1	VCL						
2	MD/FINED	PG7					
3	RES#						
4	XTAL	P37				IRQ4	
5	VSS						
6	EXTAL	P36				IRQ2	
7	VCC						
8	UPSEL	P35				NMI	
9		P31	GTIOC2B/GTIOC2B#/ GTOWLO/TMCI2	CTS1#/RTS1#/SS1#	TS1	IRQ1	
10		P30	GTIOC2A/GTIOC2A#/ GTOWUP/TMRI3	RXD1/SMISO1/SSCL1	TS2	IRQ0	
11		P27	GTIOC5B/GTIOC5B#/ TMCI3	SCK1	TS3		
12		P26	GTIOC5A/GTIOC5A#/ TMO1/LPTO	TXD1/SMOSI1/SSDA1/ USB0_VBUSEN (注1)	TS4		
13		P17	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC6A/GTIOC6A#/ GTETRGD/GTCPPO0/ GTOUUP/TMO1	SCK1/MISOA/SDA0		IRQ7	
14		P16	GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTIOC6B/GTIOC6B#/ GTETRGC/GTOULO/ TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/ USB0_VBUS (注1)/ USB0_VBUSEN (注1)/ USB0_OVRCURB (注1)		IRQ6	ADTRG0#
15		P15	GTIOC3B/GTIOC5B/ GTIOC3B#/GTIOC5B#/ GTETRGB/GTIV/TMCI2	RXD1/SMISO1/SSCL1/ CRX0 (注1)	TS5	IRQ5	
16		P14	GTIOC6A/GTIOC7B/ GTIOC6A#/GTIOC7B#/ GTETRGA/GTCPPO0/ TMRI2	CTS1#/RTS1#/SS1#/ CTX0 (注1)/ USB0_OVRCURA (注1)	TS6	IRQ4	
17		PH3	GTIOC2B/GTIOC2B#/ TMCI0		TS7		
18		PH2 (注2)	GTIOC1B (注2)/ GTIOC1B# (注2)/ TMRI0 (注2)	USB0_DM (注1)	TS8 (注2)	IRQ1 (注2)	
19		PH1 (注2)	GTIOC0B (注2)/ GTIOC0B# (注2)/ GTOULO (注2)/ TMO0 (注2)	USB0_DP (注1)	TS9 (注2)	IRQ0 (注2)	
20		PH0	GTIOC0A/GTIOC0A#/ GTOUUP/CACREF		TS10		
21	UB	PC7	GTIOC6A/GTIOC6A#/ GTETRGB/GTCPPO0/ TMO2/LPTO/CACREF	TXD008/TXDA008/ SMOSI008/SSDA008/ MISOA	TS13		
22		PC6	GTIOC6B/GTIOC6B#/ GTETRGA/TMCI2	RXD008/SMISO008/ SSCL008/MOSIA/ USB0_EXICEN (注1)	TS14		

表 1.8 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (2 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
23		PC5	GTIOC0A/GTIOC7A/ GTIOC0A#/GTIOC7A#/ GTETRGD/GTOUUP/ GTIW/TMRI2	SCK008/TXDB008/ RSPCKA/USB0_ID(注1)/ PMC0	TS15		
24		PC4	GTIOC0B/GTIOC3A/ GTIOC0B#/GTIOC3A#/ GTETRGC/GTIU/ GTOULO/TMCI1	SCK5/CTS008#/ RTS008#/SS008#/ DE008/SSLA0/PMC0	TSCAP		
25		PB5/PC3 (注3)	GTIOC4B/GTIOC5A/ GTIOC4B#/GTIOC5A#/ GTIOC6B/GTIOC6B#/ TMRI1	USB0_VBUS(注1)	TS20		
26		PB3/PC2 (注3)	GTIOC1A/GTIOC3A/ GTIOC1A#/GTIOC3A#/ GTIOC3B/GTIOC3B#/ GTETRGD/GTIU/ GTOVUP/TMO0/LPTO	SCK6/PMC0	TS22		
27		PB1/PC1 (注3)	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7A/GTIOC7A#/ GTOVLO/GTIW/ GTOWLO/TMCI0	TXD6/SMOSI6/SSDA6	TS24	IRQ4	CMPOB1
28	VCC						
29		PB0/PC0 (注3)	GTIOC0B/GTIOC2A/ GTIOC0B#/GTIOC2A#/ GTOVUP	RXD6/SMISO6/SSCL6/ RSPCKA	TS25		
30	VSS						
31		PA6	GTIOC0B/GTIOC5A/ GTIOC0B#/GTIOC5A#/ GTETRGB/GTOULO/ TMCI3	CTS5#/RTS5#/SS5#/ MOSIA	TS26		
32		PA4	GTIOC1B/GTIOC4A/ GTIOC1B#/GTIOC4A#/ GTETRGA/GTOVLO/ TMRI0	TXD5/SMOSI5/SSDA5/ SSLA0	TS28	IRQ5	CVREFB1
33		PA3	GTIOC1B/GTIOC2B/ GTIOC1B#/GTIOC2B#/ GTIOC7B/GTIOC7B#/ GTETRGB/GTETRGD/ GTOVLO/GTOWLO	RXD5/SMISO5/SSCL5	TS29	IRQ6	CMPB1
34		PA1	GTIOC0A/GTIOC0B/ GTIOC0A#/GTIOC0B#/ GTIOC3B/GTIOC3B#/ GTETRGC/GTIV/ GTOUUP	SCK5/SSLA2	TS31		
35	CLKOUT	PE4	GTIOC1A/GTIOC2B/ GTIOC1A#/GTIOC2B#/ GTIOC4A/GTIOC4A#/ GTOVUP/GTOWLO		TS33		AN020/ CMPA2
36	CLKOUT	PE3	GTIOC2A/GTIOC4B/ GTIOC2A#/GTIOC4B#/ GTOVUP	CTS12#/RTS12#	TS34		AN019
37		PE2	GTIOC1A/GTIOC1A#/ GTOVUP	RXD12/SSCL12/ RXDX12	TS35	IRQ7	AN018/ CVREFB0
38		PE1	GTIOC1B/GTIOC1B#/ GTOVLO	TXD12/SSDA12/ TXDX12/SIOX12			AN017/ CMPB0

表 1.8 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (3 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (GPTW, POEG, TMR, LPT, CAC)	通信 (SCI, RSCI, RSPI, RIIC, CANFD, USB, REMC)	タッチ	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPB)
39		P47 (注4)					AN007
40		P46 (注4)					AN006
41		P45 (注4)					AN005
42		P42 (注4)					AN002
43		P41 (注4)					AN001
44	VREFL0	PJ7 (注4)					
45		P40 (注4)					AN000
46	VREFH0	PJ6 (注4)					
47	AVCC0						
48	AVSS0						

注1. RX260にはありません。

注2. RX261にはありません。

注3. PC0～PC3は、ポート切り替え機能選択時のみ有効です

注4. これら端子の入出力バッファの電源はAVCC0です。

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格

条件：VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート(注1)	V_{in}	-0.3 ~ +6.5	V
	P03 ~ P07, P40 ~ P47, PJ6, PJ7		-0.3 ~ AVCC0 + 0.3	V
	上記以外のポート		-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007使用時	V_{AN}	-0.3 ~ AVCC0 + 0.3	V
	AN016 ~ AN031使用時		-0.3 ~ VCC + 0.3	
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C
	Gバージョン		-40 ~ +112	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

詳細は、「2.16.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. P12、P13、P16、P17は、5Vトレラント対応です。

2.2 推奨動作条件

表 2.2 推奨動作条件(1)

項目		記号	条件	min	typ	max	単位
電源電圧		VCC (注1、注2)	USB使用時	3.0	—	3.6	V
			PLL、PLL2、RSIP、CTSUS、内部基準電圧、温度センサ使用時	1.8	—	5.5	
			上記以外	1.6	—	5.5	
		VSS		—	0	—	
アナログ電源電圧		AVCC0 (注1)		1.6	—	5.5	V
		AVSS0		—	0	—	
		VREFH0		1.6	—	AVCC0	
		VREFL0		—	0	—	
入力電圧	5Vトレラント対応ポート： P12, P13, P16, P17	V_{in}		-0.3	—	5.8	V
	P03～P07, P40～P47, PJ6, PJ7			-0.3	—	AVCC0 + 0.3	
	上記以外			-0.3	—	VCC + 0.3	
動作温度 (注3)	Dバージョン	T_{opr}		-40	—	85	°C
	Gバージョン			-40	—	105	

注1. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

注2. VCC < 2.4Vの場合、CTSUSの通常動作モード機能が制限されます。詳細は「ユーザーズマニュアルハードウェア編」の「39. 静電容量式タッチセンサ(CTSUS2SLa)」を参照してください。

注3. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表 2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	4.7 μ F \pm 30% (注1)

注1. 静電容量の公称値が4.7 μ F、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が \pm 30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表2.4 DC 特性(1)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—	V		
		V _{IL}	—	—	0.3 × VCC			
		ΔV _T	0.05 × VCC	—	—			
	IRQ入力端子、GPTW入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、RSCI入力端子、 RSPI入力端子、CAC入力端子、 CANFD入力端子、RTC入力端子、 USB端子、REMC入力端子、 ADTRG0#入力端子(注1)、 RES#、NMI、MD	V _{IH}	0.8 × VCC	—	—			
		V _{IL}	—	—	0.2 × VCC			
		ΔV _T	0.1 × VCC	—	—			
		ADTRG0#入力端子(注2)	V _{IH}	0.8 × AVCC0	—			—
			V _{IL}	—	—			0.2 × AVCC0
			ΔV _T	0.1 × AVCC0	—			—
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—	V		
		V _{IL}	—	—	0.2 × VCC			
	RIIC入力端子(SMBus)	V _{IH}	2.2	—	—			VCC = 3.6 ~ 5.5V
			2.0	—	—			VCC = 2.7 ~ 3.6V
		V _{IL}	—	—	0.8			VCC = 3.6 ~ 5.5V
			—	—	0.5			VCC = 2.7 ~ 3.6V
	P12 ~ P17, P20 ~ P27, P30 ~ P37, P50 ~ P55, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PH0 ~ PH3, PH6, PH7, PJ1, PJ3, PG7	V _{IH}	0.8 × VCC	—	—			
		V _{IL}	—	—	0.2 × VCC			
		P03 ~ P07, P40 ~ P47, PJ6, PJ7	V _{IH}	0.8 × AVCC0	—			—
			V _{IL}	—	—			0.2 × AVCC0

注1. P16、P25に割り付けられているADTRG0#入力端子です。

注2. P07に割り付けられているADTRG0#入力端子です。

表2.5 DC特性(2)

条件：1.6V ≤ VCC < 2.7V, 1.6V ≤ AVCC0 < 2.7V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	IRQ入力端子、GPTW入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、RSCI入力端子、 RSPI入力端子、CAC入力端子、 CANFD入力端子、RTC入力端子、 USB端子、REMC入力端子、 ADTRG0#入力端子(注1)、 RES#、NMI、MD	V _{IH}	0.8 × VCC	—	—	V	
		V _{IL}	—	—	0.2 × VCC		
		ΔV _T	0.01 × VCC	—	—		
	ADTRG0#入力端子(注2)	V _{IH}	0.8 × AVCC0	—	—		
		V _{IL}	—	—	0.2 × AVCC0		
		ΔV _T	0.01 × AVCC0	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—	V	
		V _{IL}	—	—	0.2 × VCC		
	P12 ~ P17, P20 ~ P27, P30 ~ P37, P50 ~ P55, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PH0 ~ PH3, PH6, PH7, PJ1, PJ3, PG7	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
	P03 ~ P07, P40 ~ P47, PJ6, PJ7	V _{IH}	0.8 × AVCC0	—	—		
		V _{IL}	—	—	0.2 × AVCC0		

注1. P16、P25に割り付けられているADTRG0#入力端子です。

注2. P07に割り付けられているADTRG0#入力端子です。

表2.6 DC特性(3)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, P35, PH6, PH7	I _{in}	—	—	1.0	μA, V _{in} = 0V, VCC
スリーステートリーク 電流(オフ状態)	5Vトレラント対応ポート	I _{TSL}	—	—	1.0	V _{in} = 0V, 5.8V
	PJ6, PJ7, USB0_DM, USB0_DP		—	—	1.0	V _{in} = 0V, VCC
	5Vトレラント対応ポート、 PJ6、PJ7以外		—	—	0.2	V _{in} = 0V, VCC
入力容量	全入力端子 (P35、USB0_DM、USB0_DP以 外)	C _{in}	—	—	15	pF, V _{in} = 0mV, f = 1MHz, Ta = 25°C
	P35, USB0_DM, USB0_DP		—	—	30	

表2.7 DC特性(4)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (P35、PH6、PH7以外)	R _U	10	20	50	kΩ, V _{in} = 0V

表 2.8 DC特性(5) (1/3)

条件 : 1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目				記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 64MHz	I _{CC}	4.4	—	mA	
				ICLK = 48MHz		3.4	—		
				ICLK = 32MHz		2.7	—		
				ICLK = 16MHz		1.8	—		
				ICLK = 8MHz		1.4	—		
				ICLK = 4MHz		1.2	—		
			全周辺動作 通常動作(注3)	ICLK = 64MHz		19.5	—		
				ICLK = 48MHz		14.8	—		
				ICLK = 32MHz		12.3	—		
				ICLK = 16MHz		6.8	—		
				ICLK = 8MHz		4.1	—		
				ICLK = 4MHz		2.7	—		
		全周辺動作 最大動作(注3)	ICLK = 64MHz	—	34.5				
			ICLK = 32MHz	—	21.7				
		スリープモード	周辺動作なし(注2)	ICLK = 64MHz	2.4	—			
				ICLK = 48MHz	1.9	—			
				ICLK = 32MHz	1.6	—			
				ICLK = 16MHz	1.3	—			
				ICLK = 8MHz	1.1	—			
				ICLK = 4MHz	1.0	—			
	全周辺動作 通常動作(注3)		ICLK = 64MHz	11.0	—				
			ICLK = 48MHz	8.4	—				
			ICLK = 32MHz	7.8	—				
			ICLK = 16MHz	4.5	—				
			ICLK = 8MHz	2.8	—				
			ICLK = 4MHz	2.0	—				
	ディープ スリープモード	周辺動作なし(注2)	ICLK = 64MHz	1.6	—				
			ICLK = 48MHz	1.3	—				
			ICLK = 32MHz	1.2	—				
			ICLK = 16MHz	1.0	—				
			ICLK = 8MHz	0.9	—				
			ICLK = 4MHz	0.9	—				
全周辺動作 通常動作(注3)		ICLK = 64MHz	9.2	—					
		ICLK = 48MHz	7.0	—					
		ICLK = 32MHz	6.6	—					
		ICLK = 16MHz	3.9	—					
		ICLK = 8MHz	2.5	—					
		ICLK = 4MHz	1.8	—					
フラッシュメモリ書き換え時の増加分(注5)					2.6	—			

表 2.8 DC特性(5) (2/3)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件		
消費電流 (注1)	中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 24MHz	I _{CC}	1.8	—	mA		
				ICLK = 12MHz		1.2	—			
				ICLK = 8MHz		1.0	—			
				ICLK = 4MHz		0.4	—			
				ICLK = 1MHz		0.2	—			
			全周辺動作 通常動作(注7)	ICLK = 24MHz		9.1	—			
				ICLK = 12MHz		5.0	—			
				ICLK = 8MHz		3.7	—			
				ICLK = 4MHz		2.2	—			
				ICLK = 1MHz		1.2	—			
		全周辺動作 最大動作(注7)	ICLK = 24MHz	—	18.1					
		スリープモード	周辺動作なし(注6)	ICLK = 24MHz	1.1	—				
				ICLK = 12MHz	0.8	—				
				ICLK = 8MHz	0.7	—				
				ICLK = 4MHz	0.2	—				
				ICLK = 1MHz	0.2	—				
			全周辺動作 通常動作(注7)	ICLK = 24MHz	5.8	—				
				ICLK = 12MHz	3.3	—				
				ICLK = 8MHz	2.7	—				
				ICLK = 4MHz	1.7	—				
	ICLK = 1MHz			1.1	—					
	ディープ スリープモード	周辺動作なし(注6)	ICLK = 24MHz	0.8	—					
			ICLK = 12MHz	0.6	—					
			ICLK = 8MHz	0.6	—					
			ICLK = 4MHz	0.1	—					
			ICLK = 1MHz	0.1	—					
		全周辺動作 通常動作(注7)	ICLK = 24MHz	4.9	—					
			ICLK = 12MHz	2.8	—					
			ICLK = 8MHz	2.3	—					
			ICLK = 4MHz	1.5	—					
			ICLK = 1MHz	1.0	—					
	フラッシュメモリ書き換え時の増加分(注5)					2.1	—			
中速動作モード 2	通常動作モード	周辺動作なし(注8)	ICLK = 1MHz	160	—	μA				
		全周辺動作 通常動作(注9)	ICLK = 1MHz	1170	—					
			全周辺動作 最大動作(注9)	—	4520					
	スリープモード	周辺動作なし(注8)	ICLK = 1MHz	120	—					
		全周辺動作 通常動作(注9)	ICLK = 1MHz	1030	—					
	ディープ スリープモード	周辺動作なし(注8)	ICLK = 1MHz	110	—					
		全周辺動作 通常動作(注9)	ICLK = 1MHz	990	—					
	フラッシュメモリ書き換え時の増加分(注5)							1420	—	

表 2.8 DC特性(5) (3/3)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目				記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	低速動作モード	通常動作モード	周辺動作なし(注10)	I _{CC}	4.3	—	μA		
			全周辺動作 通常動作(注11、注12)		ICLK = 32.768kHz	13.9			—
			全周辺動作 最大動作(注11、注12)		ICLK = 32.768kHz	—			1500
	スリープモード	周辺動作なし(注10)	ICLK = 32.768kHz	2.9	—				
		全周辺動作 通常動作(注11)	ICLK = 32.768kHz	9.0	—				
	ディープ スリープモード	周辺動作なし(注10)	ICLK = 32.768kHz	2.5	—				
		全周辺動作 通常動作(注11)	ICLK = 32.768kHz	7.8	—				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。ICLK = 64、48MHzの場合、FCLK、PCLKA、PCLKDはICLKと同じ周波数です。PCLKBは2分周設定です。ICLK = 32MHz以下の場合、FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注10. 周辺機能はクロック停止状態。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。
- 注11. 周辺機能はクロック供給状態。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。
- 注12. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

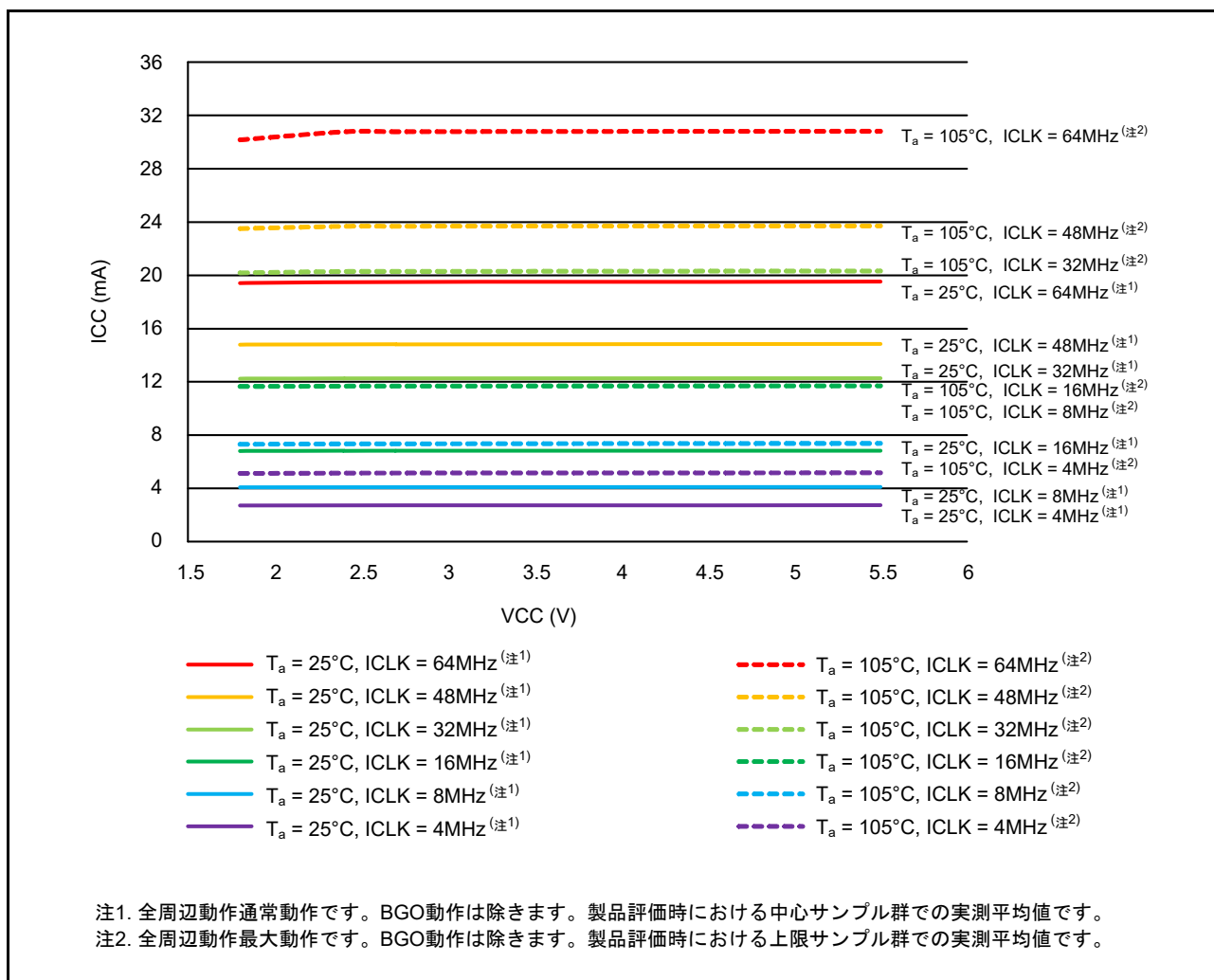


図 2.1 高速動作モードの電圧依存性

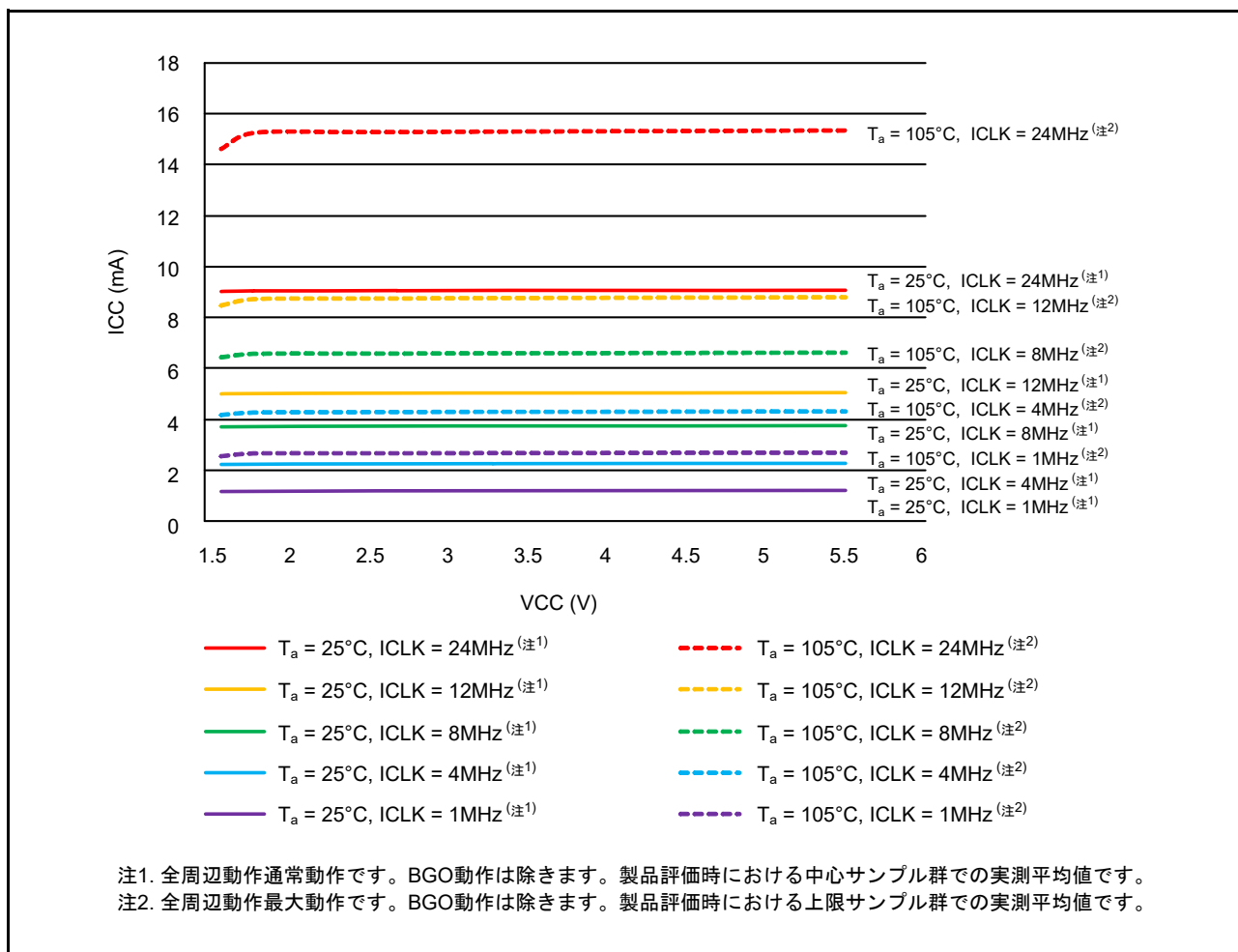


図 2.2 中速動作モードの電圧依存性

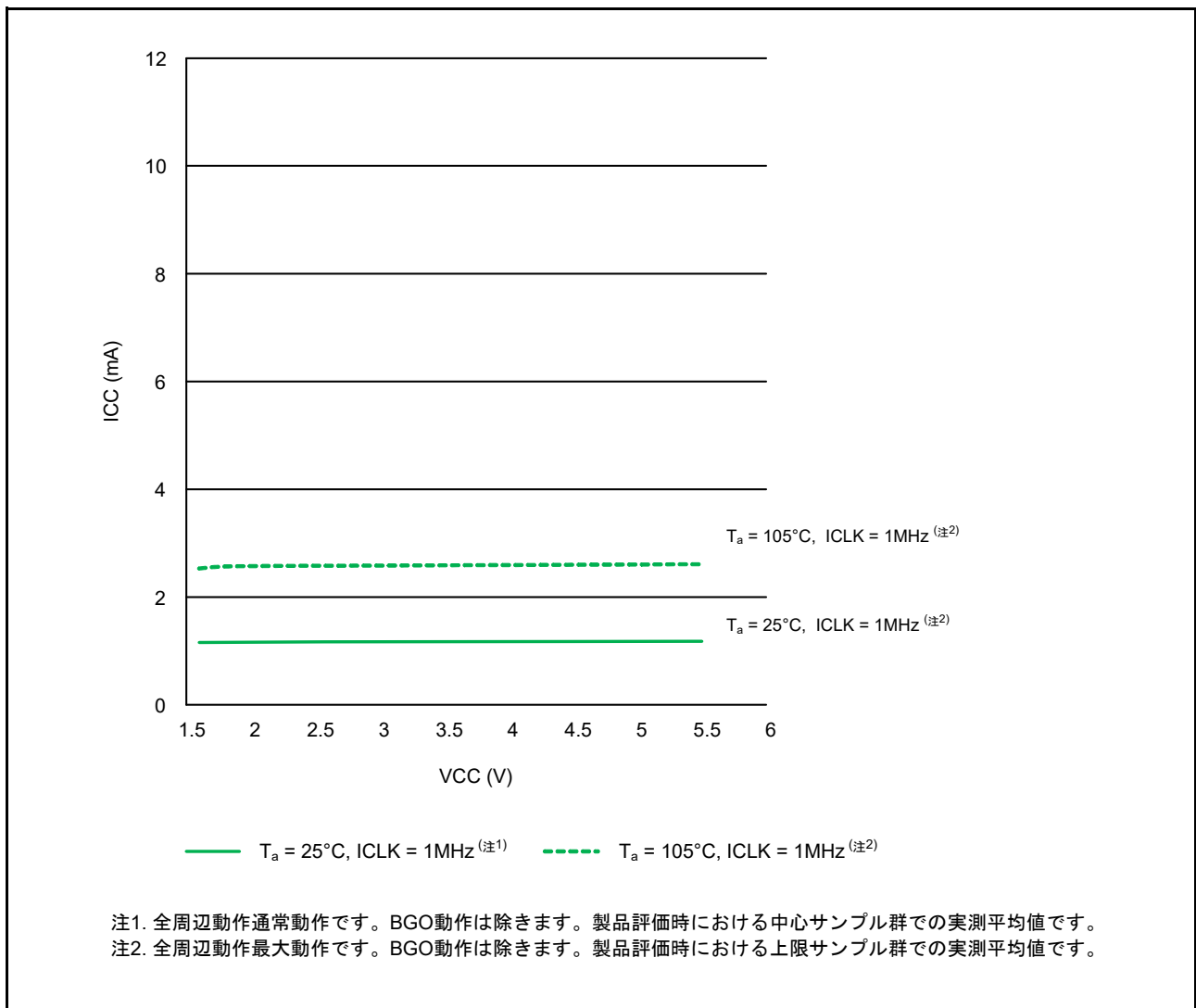


図 2.3 中速動作モード2の電圧依存性

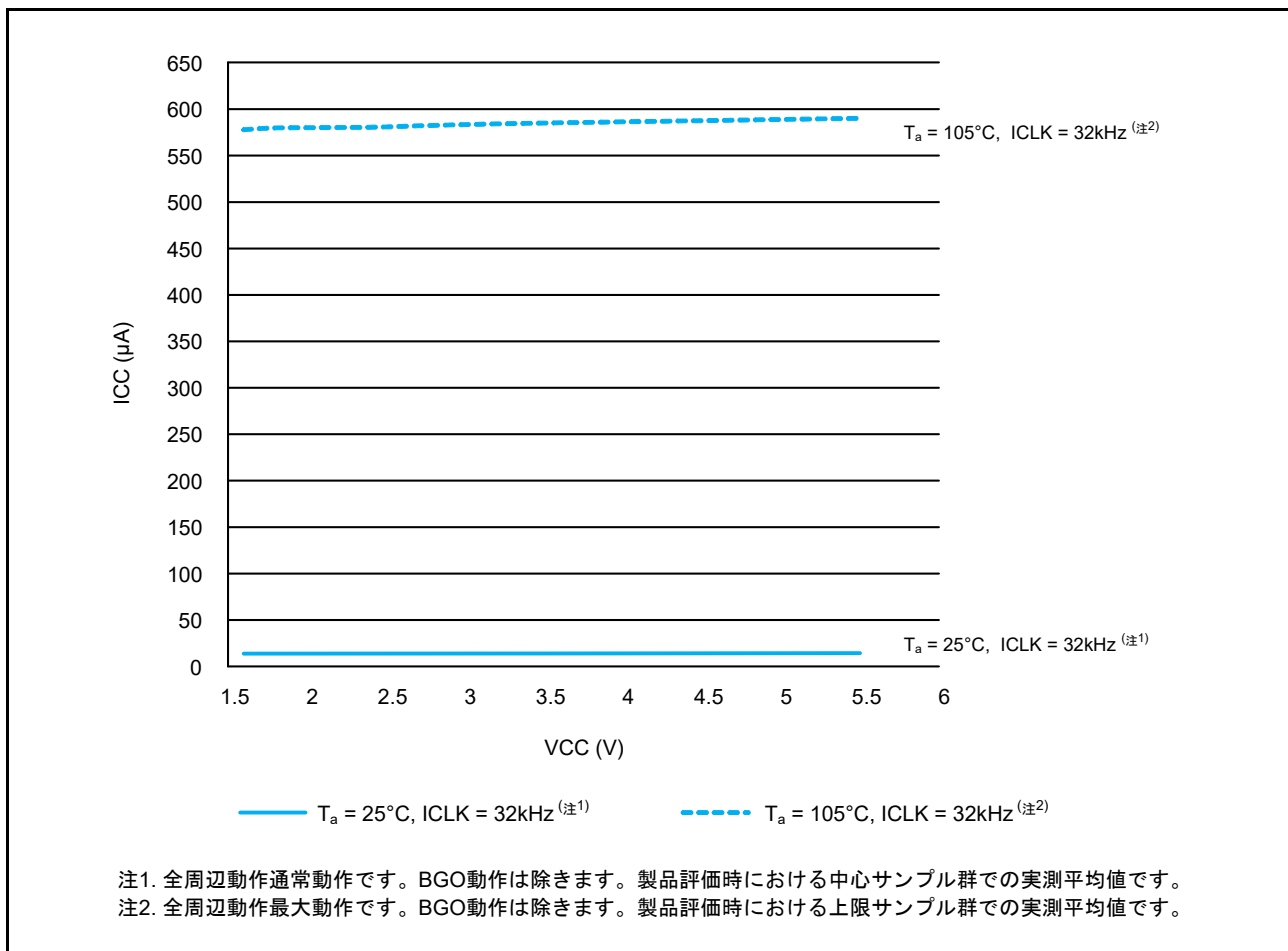


図 2.4 低速動作モードの電圧依存性

表2.9 DC特性(6)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイ モード (注2)	RAM電源 遮断なし	I _{CC}	T _a = 25°C	1.01	19.54	μA	
				T _a = 55°C	3.71	73.97		
				T _a = 85°C	14.44	229.58		
				T _a = 105°C	33.81	470.46		
	RTC動作の増加分(注4)			0.99	—	SOMCR.SODRV[1:0]は標準CL用ドライブ能力 設定		
				0.55	—	SOMCR.SODRV[1:0]は低CL用ドライブ能力高 設定		
				0.32	—	SOMCR.SODRV[1:0]は低CL用ドライブ能力中 設定		
				0.22	—	SOMCR.SODRV[1:0]は低CL用ドライブ能力低 設定		
	ローパワータイム動作の増加分			0.33	—	LPTCR1.LPCNTCKSELは、IWDT専用オン チップオシレータ選択時		
				16.00	—	LPTCR1.LPCNTCKSEL2は、低速オンチップオ シレータ選択時		
	独立ウォッチドックタイム動作の 増加分			0.32	—			
	REMC動作の増加分(注4)			0.98	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は標準CL用ドライブ能力 設定		
				0.60	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は低CL用ドライブ能力高 設定		
				0.42	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は低CL用ドライブ能力中 設定		
				0.31	—	REMCN1.CSRC[3:0]は、サブクロック選択時 SOMCR.SODRV[1:0]は低CL用ドライブ能力低 設定		
				0.29	—	REMCN1.CSRC[3:0]は、IWDTCLK選択時		

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVD、CMPBは動作停止です。

注3. VCC = 3.3Vの場合です。

注4. 発振回路を含みます。

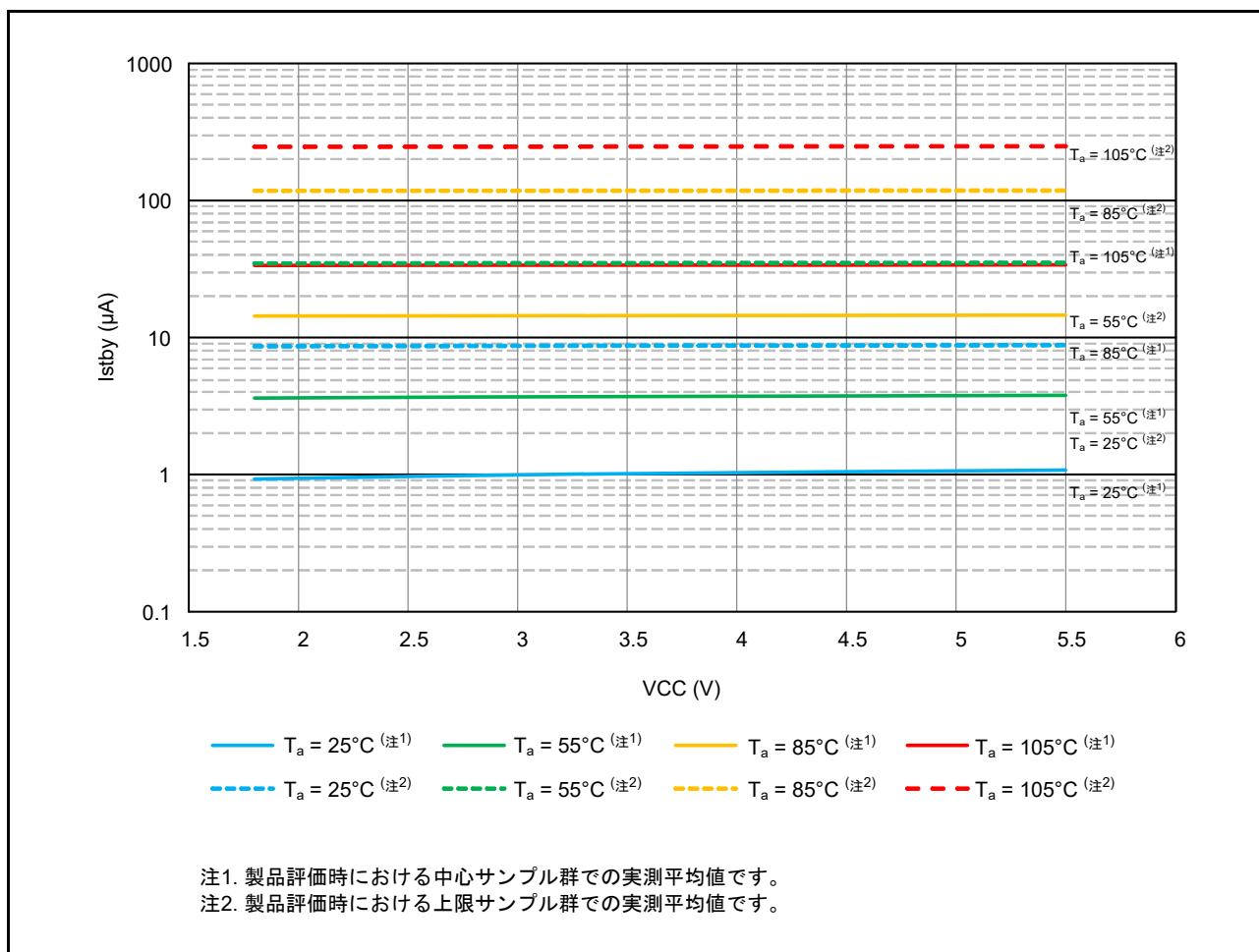


図 2.5 ソフトウェアスタンバイモード時の電圧依存性 (RAM 電源遮断無効の場合の参考データ)

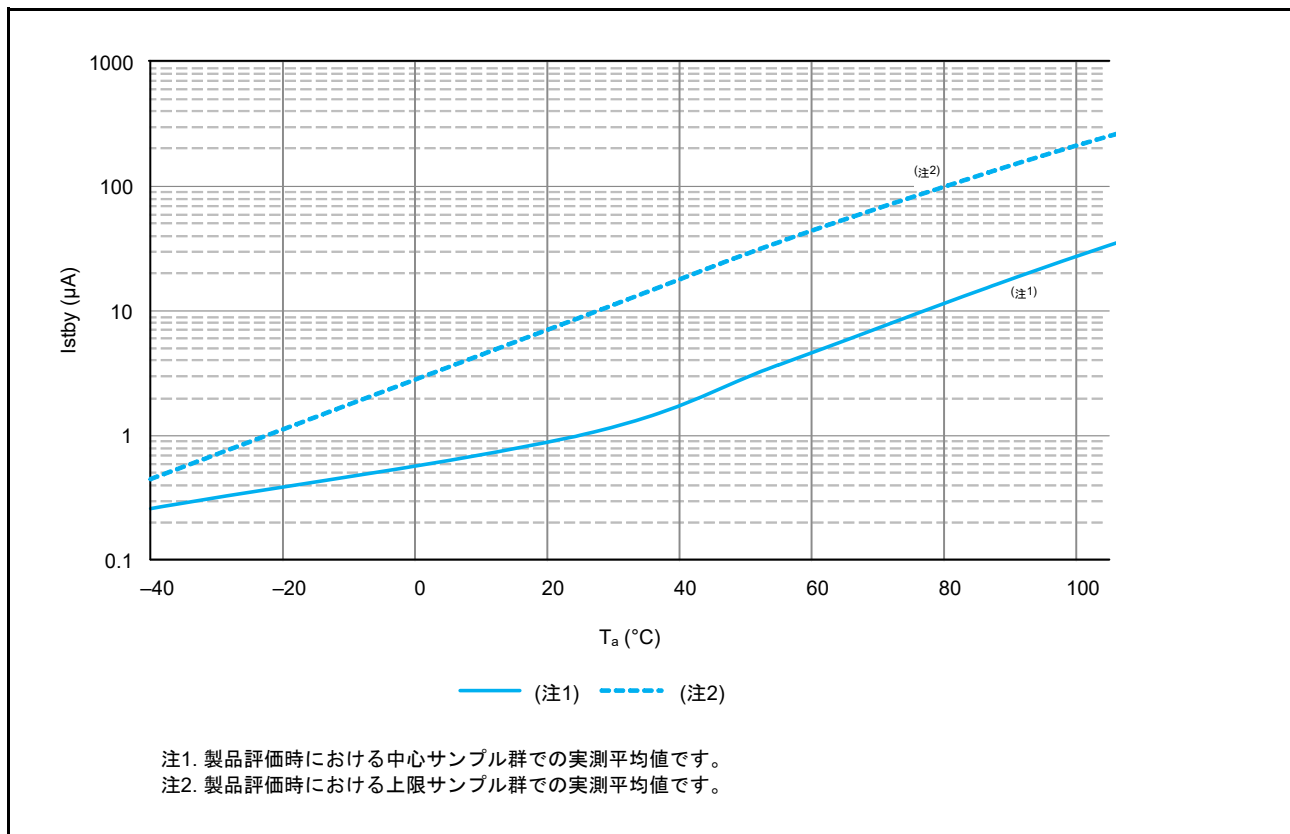


図 2.6 ソフトウェアスタンバイモード時の温度依存性 (RAM 電源遮断無効の場合の参考データ)

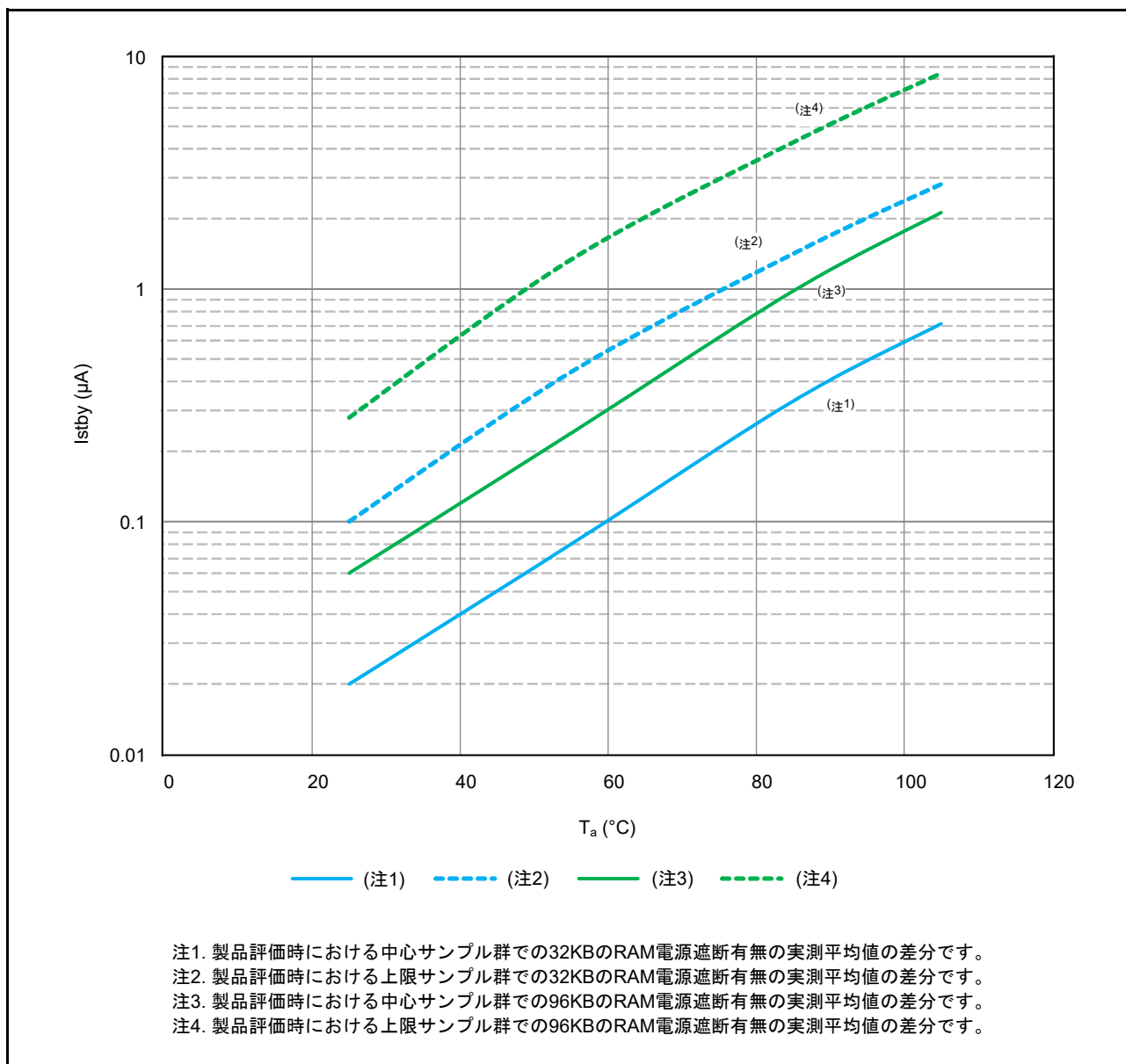


図 2.7 ソフトウェアスタンバイモード時の温度依存性 (RAM 電源遮断有効の場合の参考データ)

表2.10 DC特性(7)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ (注4)	max	単位	測定条件
アナログ電源電流	A/D変換中(高速変換時)	I _{AVCC}	—	0.7	1.4	mA	
	A/D変換中(低電流モード)		—	0.3	0.7		
	D/A変換中(1チャンネル当り)(注1)		—	—	0.5		
	A/D、D/A変換待機時		—	—	2.0	μA	
リファレンス電源電流	A/D変換中(高速変換時)	I _{REFH0}	—	53	122	μA	
	A/D変換待機時		—	—	0.3	nA	
LVD0	—	I _{LVD}	—	0.04	—	μA	
LVD1, 2	1チャンネル当り		—	0.12	—	μA	
温度センサ(注3)	—	I _{TEMP}	—	120	—	μA	
コンパレータB動作電流(注3)	ウィンドウ機能有効	I _{CMP} (注2)	—	7.5	12.5	μA	
	コンパレータ高速モード(1チャンネル当り)		—	5.0	10.0	μA	
	コンパレータ低速モード(1チャンネル当り)		—	1.5	3.0	μA	
USB動作電流(注3)	以下の設定、条件におけるUSB通信動作時 ● フルスピードモードのホスト動作設定 バルクOUT転送(64バイト)1本、 バルクIN転送(64バイト)1本 ● USBポートからUSBケーブル(1m)を経由して周辺機器に接続	I _{USBH} (注5)	—	3.5	—	mA	
	以下の設定、条件におけるUSB通信動作時 ● フルスピードモードのファンクション動作設定 バルクOUT転送(64バイト)1本 バルクIN転送(64バイト)1本 ● USBポートからUSBケーブル(1m)を経由してホスト機器に接続	I _{USBF} (注5)	—	4.0	—	mA	
	以下の設定、条件におけるサスペンド時 ● フルスピードモードのファンクション動作設定(USB0_DP端子をプルアップ) ● ソフトウェアスタンバイモード ● USBポートからUSBケーブル(1m)を経由してホスト機器に接続	I _{SUSP} (注6)	—	160	—	μA	
RSIP動作電流(注3)	セルフテスト	I _{RSIP} (注7)	—	—	11.3	mA	PCLKB = 32MHz
	モジュールストップ解除状態		—	3.6	—	mA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. コンパレータBモジュールのみの消費電流です。

注3. 電源(VCC)の消費電流です。

注4. VCC = AVCC0 = 3.3Vのとき。

注5. USBモジュールのみの消費電流です。

注6. サスペンド状態における本製品の自己消費電流に加えて、USB0_DP端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

注7. RSIPモジュールのみの消費電流です。

表2.11 DC特性(8)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V _{RAM}	1.6	—	—	V	

表 2.12 DC特性(9)

条件：0V ≤ VCC ≤ 5.5V, 0V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	StVCC	0.02	—	20	ms/V	
	起動時間短縮時(注2)		0.02	—	2		
	起動時電圧監視0リセット有効時(注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS) = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01bを設定した場合です。

注3. OFS1.LVDAS = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 2.13 DC特性(10)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_{r(VCC)}$ を満たしてください。VCC変動がVCC±10%を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図2.8 $V_{r(VCC)} \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図2.8 $V_{r(VCC)} \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図2.8 $V_{r(VCC)} \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動がVCC±10%を超える場合

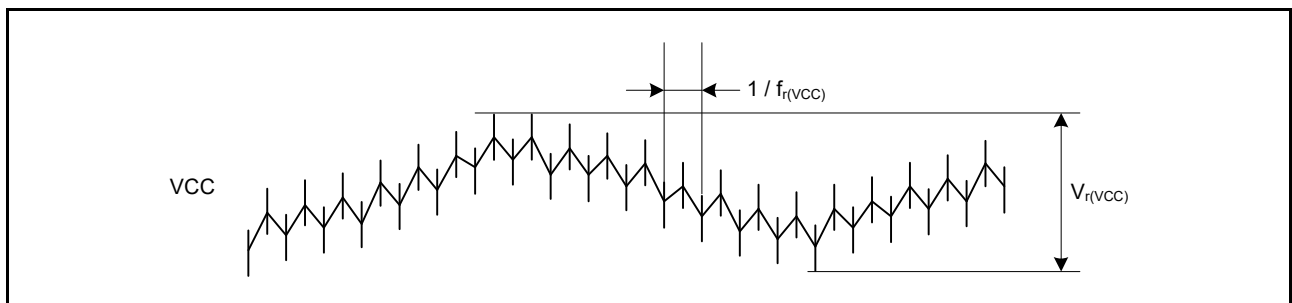


図 2.8 電源リップル波形

表 2.14 出力許容電流値(1)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +85^\circ C$

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I_{OL}	8.0	mA
	それ以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		8.0	
	それ以外のポート		8.0	
出力Lowレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI_{OL}	40	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		40	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		40	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		40	
	全出力端子の総和		80	
出力Highレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I_{OH}	-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI_{OH}	-40	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		-40	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		-40	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		-40	
	全出力端子の総和		-80	

注. 許容総消費電流は超えないようにしてください。

表 2.15 出力許容電流値(2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I_{OL}	8.0	mA
	それ以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		8.0	
	それ以外のポート		8.0	
出力Lowレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI_{OL}	30	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		30	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		30	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		30	
	全出力端子の総和		60	
出力Highレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I_{OH}	-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流	P03~P07、 P40~P47、 PJ6、PJ7の合計	ΣI_{OH}	-30	
	P12~P17、 P20~P27、 P30~P37、 PG7、PH2、PH3、PH6、PH7、 PJ1、PJ3の合計		-30	
	P50~P55、 PB0~PB7、 PC0~PC7、 PH0、PH1の合計		-30	
	PA0~PA7、 PD0~PD7、 PE0~PE7の合計		-30	
	全出力端子の総和		-60	

注. 許容総消費電流は超えないようにしてください。

表2.16 出力電圧値(1)

条件： $1.6V \leq VCC < 1.8V$, $1.6V \leq AVCC0 < 1.8V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.3	V	$I_{OL} = 0.3mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.3$	—	V	$I_{OH} = -0.5mA$
	上記以外		$VCC - 0.3$	—			

表2.17 出力電圧値(2)

条件： $1.8V \leq VCC < 2.7V$, $1.8V \leq AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.3	V	$I_{OL} = 1.0mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.3$	—	V	$I_{OH} = -0.5mA$
	上記以外		$VCC - 0.3$	—			

表2.18 出力電圧値(3)

条件： $2.7V \leq VCC < 4.0V$, $2.7V \leq AVCC0 < 4.0V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.5	V	$I_{OL} = 2.0mA$	
	RIIC端子		—	0.6		$I_{OL} = 6.0mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.5$	—	V	$I_{OH} = -1.0mA$
	上記以外		$VCC - 0.5$	—			

表2.19 出力電圧値(4)

条件： $4.0V \leq VCC \leq 5.5V$, $4.0V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	max	単位	測定条件	
出力Low レベル	全出力端子(RIIC以外)	V_{OL}	—	0.8	V	$I_{OL} = 4.0mA$	
	RIIC端子		—	0.6		$I_{OL} = 6.0mA$	
出力High レベル	全出力端子	V_{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	$AVCC0 - 0.8$	—	V	$I_{OH} = -2.0mA$
	上記以外		$VCC - 0.8$	—			

表2.20 熱抵抗値(参考値)

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	100ピンLFQFP(PLQP0100KB-B)	θja	—	—	47.9	°C/W	JESD51-2およびJESD51-7 準拠
	80ピンLFQFP (PLQP0080KB-B)		—	—	46.0		
	64ピンLFQFP (PLQP0064KB-C)		—	—	44.8		
	48ピンLFQFP (PLQP0048KB-B)		—	—	53.6		
	48ピンHWQFN (PWQN0048KC-A)		—	—	20.0(注1)		
	100ピンLFQFP(PLQP0100KB-B)	ψjt	—	—	0.81		
	80ピンLFQFP (PLQP0080KB-B)		—	—	0.81		
	64ピンLFQFP (PLQP0064KB-C)		—	—	0.81		
	48ピンLFQFP (PLQP0048KB-B)		—	—	1.30		
	48ピンHWQFN (PWQN0048KC-A)		—	—	0.11(注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

2.4 標準 I/O 端子出力特性

表 2.21 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 2.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.05	—	V	I _{OH} = -0.5mA
			—	VCC - 0.09	—		I _{OH} = -1.0mA
			—	VCC - 0.20	—		I _{OH} = -2.0mA
			—	VCC - 0.49	—		I _{OH} = -4.0mA

表 2.22 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 3.3V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.02	—	V	I _{OH} = -0.5mA
			—	VCC - 0.05	—		I _{OH} = -1.0mA
			—	VCC - 0.10	—		I _{OH} = -2.0mA
			—	VCC - 0.22	—		I _{OH} = -4.0mA

表 2.23 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 5.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.02	—	V	I _{OH} = -0.5mA
			—	VCC - 0.04	—		I _{OH} = -1.0mA
			—	VCC - 0.08	—		I _{OH} = -2.0mA
			—	VCC - 0.15	—		I _{OH} = -4.0mA

表 2.24 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = AVCC0 = 2.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.02	—	V	I _{OL} = 0.5mA
			—	0.04	—		I _{OL} = 1.0mA
			—	0.08	—		I _{OL} = 2.0mA
			—	0.17	—		I _{OL} = 4.0mA
			—	0.43	—		I _{OL} = 8.0mA

表 2.25 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = AVCC0 = 3.3V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.02	—		I _{OL} = 1.0mA
			—	0.04	—		I _{OL} = 2.0mA
			—	0.08	—		I _{OL} = 4.0mA
			—	0.17	—		I _{OL} = 8.0mA

表 2.26 標準 I/O 端子 VOL 電圧特性 (参考値)
条件 : VCC = AVCC0 = 5.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.01	—		I _{OL} = 1.0mA
			—	0.03	—		I _{OL} = 2.0mA
			—	0.06	—		I _{OL} = 4.0mA
			—	0.12	—		I _{OL} = 8.0mA

2.5 AC 特性

2.5.1 クロックタイミング

表 2.27 動作周波数(高速動作モード)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC				単位	
		$1.8V \leq VCC < 2.4V$ (注5)	$1.8V \leq VCC < 2.4V$ (注6)	$2.4V \leq VCC \leq 5.5V$	USB使用時、 $3.0V \leq VCC \leq 3.6V$		
最大動作周波数 (注4)	システムクロック (ICLK)	f_{max}	16	48	64	64	MHz
	FlashIFクロック (FCLK) (注1、注2)		16	48	64	64	
	周辺モジュールクロック (PCLKA)		16	48	64	64	
	周辺モジュールクロック (PCLKB)		16	32	32	32	
	周辺モジュールクロック (PCLKD) (注3)		16	48	64	64	
	USBクロック (UCLK)	f_{usb}	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

注4. 最高動作周波数には、HOCOの誤差、PLLジッタは含んでいません。「表2.34 HOCOクロックタイミング」、「表2.35 PLLクロックタイミング」、「表2.36 PLL2クロックタイミング」を参照してください。

注5. RSIPを使用する場合

注6. RSIPは使用できません、モジュールストップを解除しないでください。

表 2.28 動作周波数(中速動作モード)

条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC					単位	
		$1.6V \leq VCC < 1.8V$ (注6)	$1.8V \leq VCC < 2.4V$ (注5)	$1.8V \leq VCC < 2.4V$ (注6)	$2.4V \leq VCC \leq 5.5V$	USB使用時、 $3.0V \leq VCC \leq 3.6V$		
最大動作周波数 (注4)	システムクロック (ICLK)	f_{max}	4	16	24	24	24	MHz
	FlashIFクロック (FCLK) (注1、注2)		4	16	24	24	24	
	周辺モジュールクロック (PCLKA)		4	16	24	24	24	
	周辺モジュールクロック (PCLKB)		4	16	24	24	24	
	周辺モジュールクロック (PCLKD) (注3)		4	16	24	24	24	
	USBクロック (UCLK)	f_{usb}	—	—	—	—	48	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

注4. 最高動作周波数には、HOCOの誤差、PLLジッタは含んでいません。「表2.34 HOCOクロックタイミング」、「表2.35 PLLクロックタイミング」、「表2.36 PLL2クロックタイミング」を参照してください。

注5. RSIPを使用する場合

注6. RSIPは使用できません、モジュールストップを解除しないでください。

表 2.29 動作周波数 (中速動作モード2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC		単位	
		$1.6V \leq VCC < 1.8V$ (注4)	$1.8V \leq VCC \leq 5.5V$		
最大動作周波数	システムクロック (ICLK)	f_{max}	1	1	MHz
	FlashIFクロック (FCLK) (注1、注2)		1	1	
	周辺モジュールクロック (PCLKA)		1	1	
	周辺モジュールクロック (PCLKB)		1	1	
	周辺モジュールクロック (PCLKD) (注3)		1	1	

注1. フラッシュメモリP/E時、FCLKは1MHzです。

注2. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/Dコンバータ使用時のPCLKDの周波数は1MHzです。

注4. RSIPは使用できません、モジュールストップを解除しないでください。

表 2.30 動作周波数 (低速動作モード)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	VCC	単位	
		$1.6V \leq VCC \leq 5.5V$		
最大動作周波数	システムクロック (ICLK)	f_{max}	32.768	kHz
	FlashIFクロック (FCLK) (注1)		32.768	
	周辺モジュールクロック (PCLKA)		32.768	
	周辺モジュールクロック (PCLKB)		32.768	
	周辺モジュールクロック (PCLKD) (注2)		32.768	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

表2.31 EXTALクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	1.8 V ≤ VCC ≤ 5.5V	50	—	—	ns	図2.9
	1.6 V ≤ VCC < 1.8V	250	—	—	ns	
EXTAL外部クロック入力Highパルス幅	1.8 V ≤ VCC ≤ 5.5V	20	—	—	ns	
	1.6 V ≤ VCC < 1.8V	120	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	1.8 V ≤ VCC ≤ 5.5V	20	—	—	ns	
	1.6 V ≤ VCC < 1.8V	120	—	—	ns	
EXTAL外部クロック立ち上がり時間	t _{xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t _{xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	t _{xWT}	0.5	—	—	μs	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

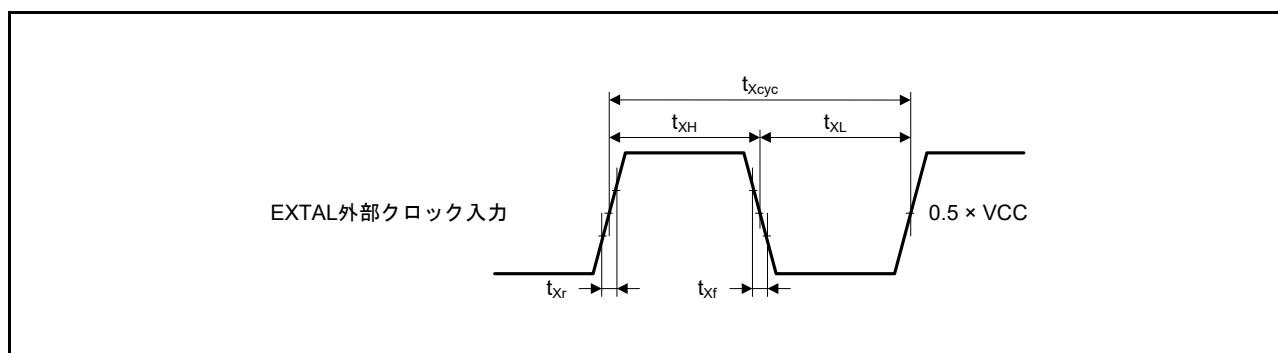


図 2.9 EXTAL 外部クロック入力タイミング

表2.32 メインクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f _{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注1)	t _{MAINOSC}	—	3	—	ms	図2.10
メインクロック発振安定時間(セラミック共振子)(注1)	t _{MAINOSC}	—	50	—	μs	

注1. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

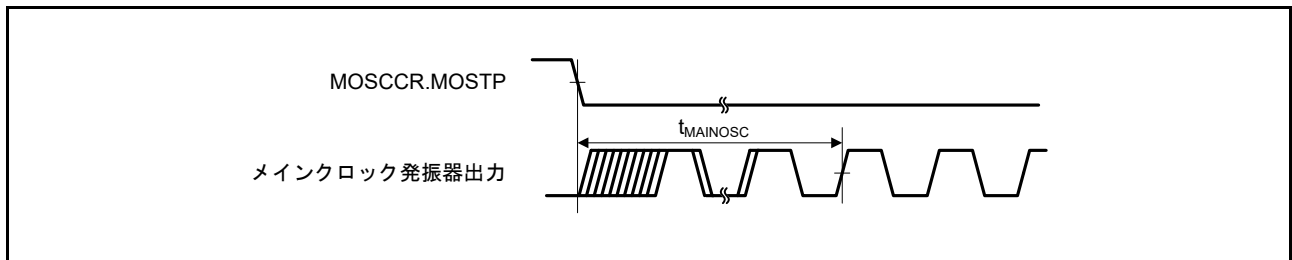


図2.10 メインクロック発振開始タイミング

表2.33 LOCO, IWDT専用低速クロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振周波数誤差	Δf _{LOCO}	—	—	±14	%	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs	図2.11
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振周波数誤差	Δf _{ILOCO}	—	—	±15	%	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	80	μs	図2.12

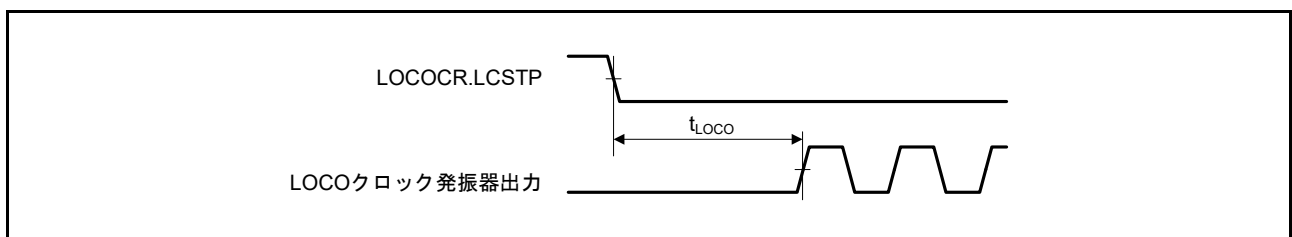


図2.11 LOCOクロック発振開始タイミング

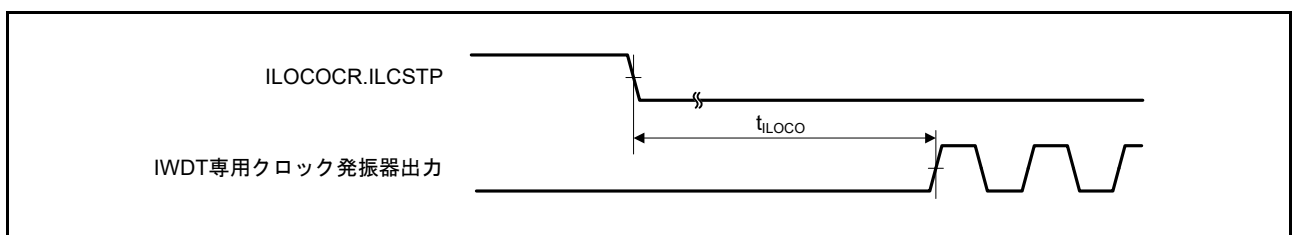


図2.12 IWDT専用クロック発振開始タイミング

表2.34 HOCOクロックタイミング

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
HOCO発振周波数	f_{HOCO}	23.76 (-1.0%)	24	24.24 (+1.0%)	MHz	$T_a = -40 \sim +105^\circ C$
		31.68 (-1.0%)	32	32.32 (+1.0%)		
		47.52 (-1.0%)	48	48.48 (+1.0%)		
		63.36 (-1.0%)	64	64.64 (+1.0%)		
HOCO発振周波数誤差	Δf_{HOCO}	—	—	± 1.0	%	$T_a = -40 \sim +105^\circ C$
HOCOクロック発振安定時間	t_{HOCO}	—	—	4.95	μs	図2.14

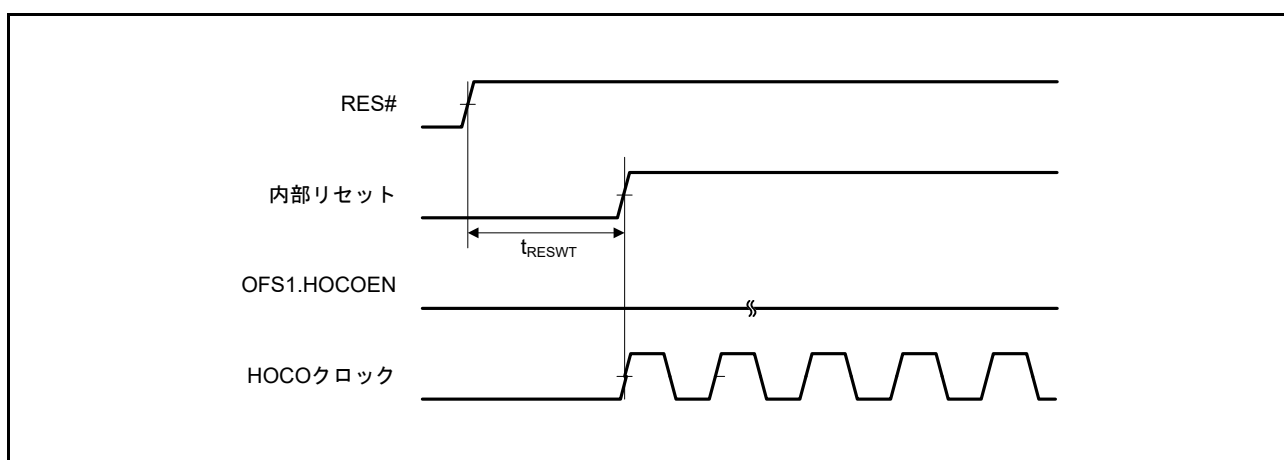


図 2.13 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

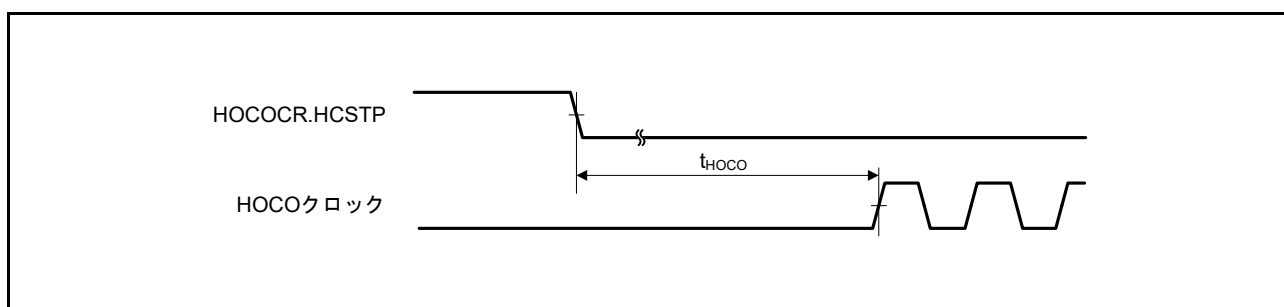


図 2.14 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

表2.35 PLLクロックタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
PLL入力周波数	f _{PLLIN}	4	—	12.5	MHz	
PLLクロック発振周波数	f _{PLL}	24	—	64	MHz	
PLLクロック発振安定時間	t _{PLL}	—	—	81.4	μs	図2.15
PLL自励発振周波数	f _{PLLFR}	—	9	—	MHz	

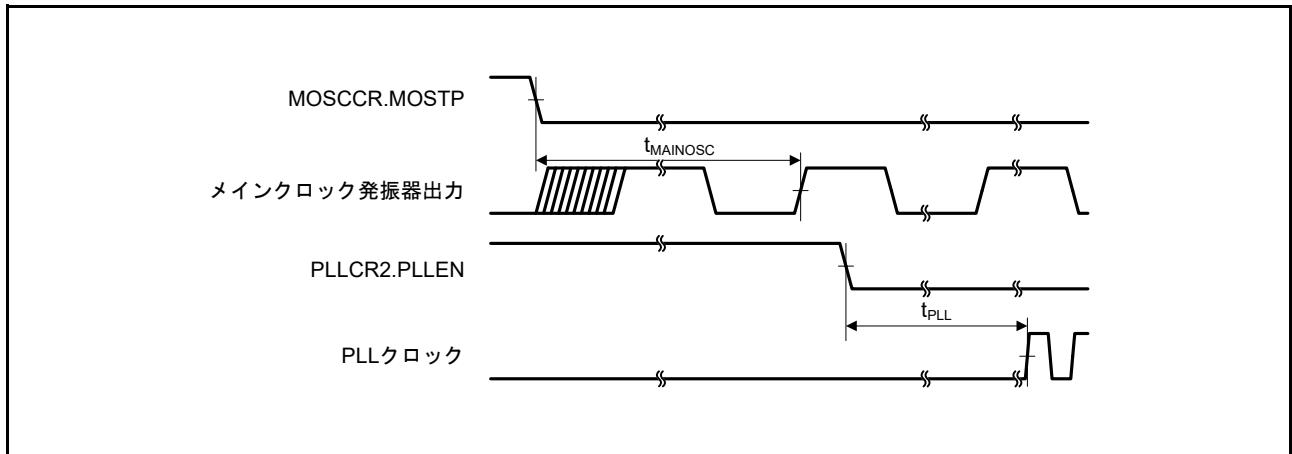


図 2.15 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

表2.36 PLL2クロックタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
PLL2入力周波数	f _{PLLIN}	4	—	12.5	MHz	
PLL2クロック発振周波数	f _{PLL}	24	—	64	MHz	
PLL2クロック発振安定時間	t _{PLL}	—	—	81.4	μs	図2.16

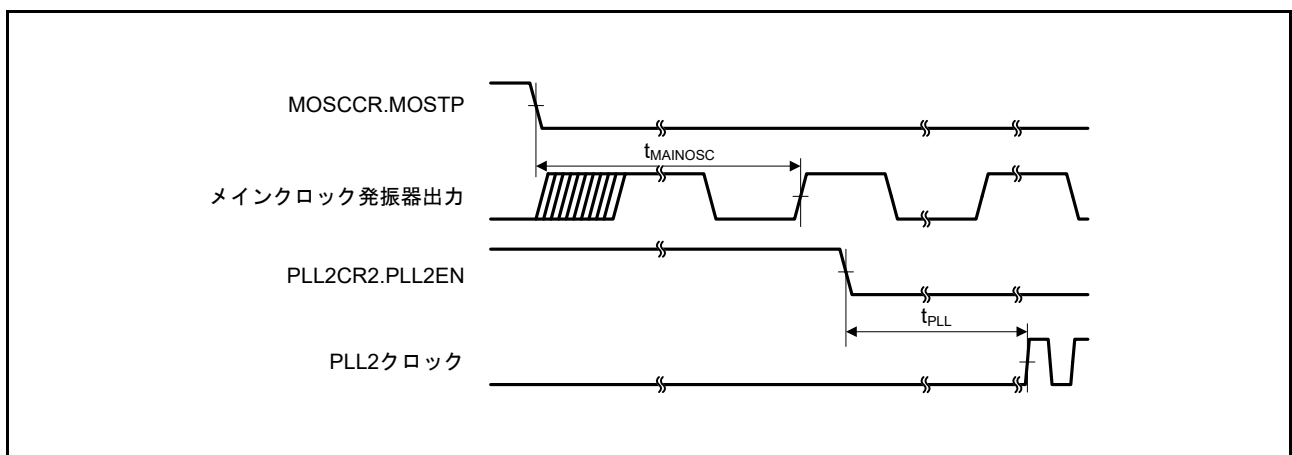


図 2.16 PLL2 クロック発振開始タイミング (メインクロック発振安定後に PLL2 を動作させたとき)

表2.37 EXCINクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXCIN外部クロック入力サイクル時間	t _{xcyc}	31.25	—	—	μs	図2.17
EXCIN外部クロック入力Highパルス幅	t _{xH}	15.62	—	—	μs	
EXCIN外部クロック入力Lowパルス幅	t _{xL}	15.62	—	—	μs	
EXCIN外部クロック立ち上がり時間	t _{xr}	—	—	5.0	ns	
EXCIN外部クロック立ち下がり時間	t _{xf}	—	—	5.0	ns	
EXCIN外部クロック入力待機時間(注1)	t _{xWT}	0.2	—	—	ms	

注1. サブクロック発振器停止ビット(SOSCCR.SOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

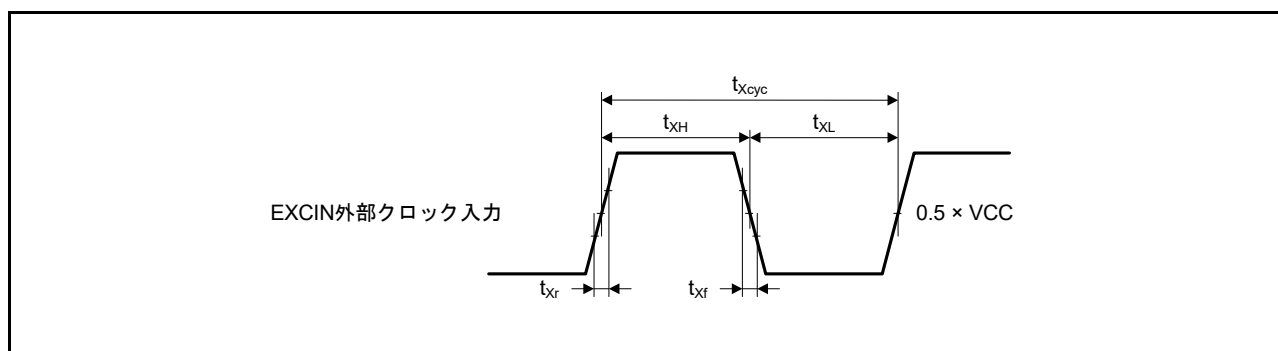


図 2.17 EXCIN 外部クロック入力タイミング

表2.38 サブクロックタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数(注2)	f _{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間(注1)	t _{SUBOSC}	—	0.5	—	s	図2.18

注1. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注2. 32.768kHzのみ使用可能です。

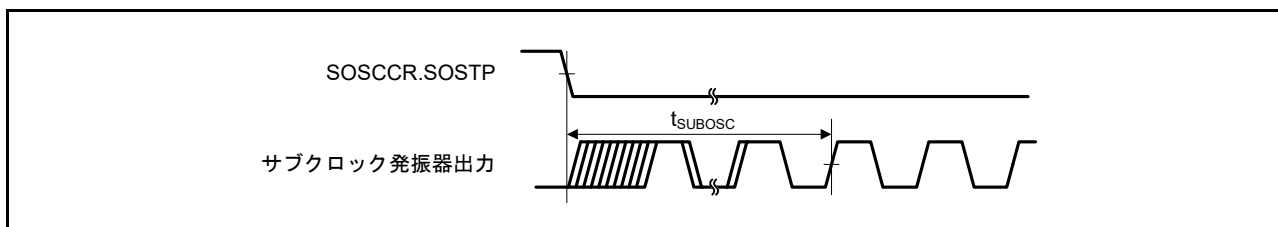


図 2.18 サブクロック発振開始タイミング

2.5.2 リセットタイミング

表 2.39 リセットタイミング

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	10.5	—	—	ms	図 2.19
	上記以外	t_{RESW}	30	—	—	μs	図 2.20
RES#解除後待機時間(電源投入時)	通常起動時(注1)	t_{RESWT}	—	8.5	—	ms	図 2.19
	起動時間短縮時(注2)	t_{RESWT}	—	850	—	μs	
RES#解除後待機時間(電源立ち上がった状態)	LVD0無効時(注3)	t_{RESWT}	—	140	—	μs	図 2.20
	LVD0有効時(注4)		—	850	—	μs	
内部リセット時間(独立ウォッチドックタイマリセット、ウォッチドックタイマリセット、ソフトウェアリセット)	LVD0無効時(注3)	t_{RESWT2}	—	210	—	μs	
	LVD0有効時(注4)		—	910	—	μs	

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. OFS1.LVDAS = 1bを設定した場合です。

注4. OFS1.LVDAS = 0bを設定した場合です。

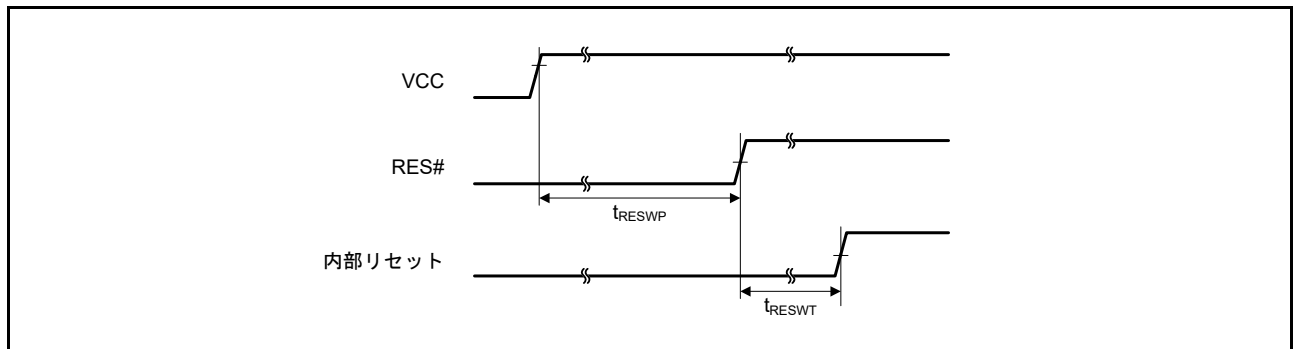


図 2.19 電源投入時リセット入力タイミング

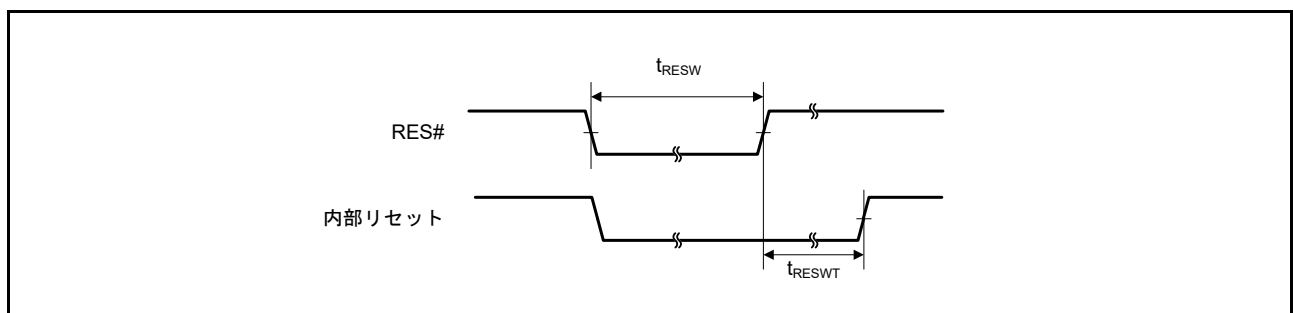


図 2.20 リセット入力タイミング (1)

2.5.3 低消費電力状態からの復帰タイミング

表2.40 低消費電力状態からの復帰タイミング(1)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
発振安定待機時間(注1)	高速動作モード/ 中速動作モード	メイン クロック 発振器動作	メインクロック発振器動作	t _{SBYOSCWTMC}	—	—	0.65 + t _L LOCO + (16 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _M OSC + 1 / f _I CLK	μs	
			メインクロック発振器、PLL回路動作	t _{SBYOSCWTPC}	—	—	0.65 + t _L LOCO + (288 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _P LL + 1 / f _I CLK		
		サブクロック発振器動作		t _{SBYOSCWTSC}	—	—	0.65 + 3 / f _S OSC + 1 / f _I CLK		
		高速オンチップオシレータ動作		t _{SBYOSCWTTHO}	—	—	0.65 + t _L LOCO + 16 / f _L LOCO + 2 / f _H OCO + 1 / f _I CLK		
		低速オンチップオシレータ動作		t _{SBYOSCWTLO}	—	—	0.65 + t _L LOCO + 1 / f _I CLK		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)				t _{SBYSEQ}	—	—	4 / f _L LOCO + 11 / f _I CLK + 3 / f _P CLKB + 3n / f _ソ ース クロック		
ソフトウェアスタンバイモード解除後復帰時間(注3)	高速動作モード/ 中速動作モード	メイン クロック 発振器動作	メインクロック発振器動作	t _{SBYMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 2.21
			メインクロック発振器、PLL回路動作	t _{SBYPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
		サブクロック発振器動作		t _{SBYSC}	—	—	t _{SBYOSCWTSC} + t _{SBYSEQ}		
		高速オンチップオシレータ動作		t _{SBYHO}	—	—	t _{SBYOSCWTTHO} + t _{SBYSEQ}		
		低速オンチップオシレータ動作		t _{SBYLO}	—	—	t _{SBYOSCWTLO} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注3. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

表2.41 低消費電力状態からの復帰タイミング(2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max	単位	測定条件
発振安定待機時間(注1)	中速動作モード2	メインクロック発振器動作	メインクロック発振器動作	t _{SBYOSCWTMC}	—	—	0.65 + t _{LOCO} + (16 + MOSCWTCR 設定のサイクル数) / f _{LOCO} + 2 / f _{MOSC} + 1 / f _{ICLK}	μs	
			メインクロック発振器、PLL回路動作	t _{SBYOSCWTPC}	—	—	0.65 + t _{LOCO} + (288 + MOSCWTCR 設定のサイクル数) / f _{LOCO} + 2 / f _{PLL} + 1 / f _{ICLK}		
		サブクロック発振器動作		t _{SBYOSCWTSC}	—	—	0.65 + 3 / f _{SOSC} + 1 / f _{ICLK}		
		高速オンチップオシレータ動作		t _{SBYOSCWTTHO}	—	—	0.65 + t _{LOCO} + 16 / f _{LOCO} + 2 / f _{HOCO} + 1 / f _{ICLK}		
		低速オンチップオシレータ動作		t _{SBYOSCWTLO}	—	—	0.65 + t _{LOCO} + 1 / f _{ICLK}		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)				t _{SBYSEQ}	—	—	9 / f _{ICLK} + 3 / f _{PCLKB} + 3n / f _{ソースクロック}		
ソフトウェアスタンバイモード解除後復帰時間(注3)	中速動作モード2	メインクロック発振器動作	メインクロック発振器動作	t _{SBYMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 2.21
			メインクロック発振器、PLL回路動作	t _{SBYPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
		サブクロック発振器動作		t _{SBYSC}	—	—	t _{SBYOSCWTSC} + t _{SBYSEQ}		
		高速オンチップオシレータ動作		t _{SBYHO}	—	—	t _{SBYOSCWTTHO} + t _{SBYSEQ}		
		低速オンチップオシレータ動作		t _{SBYLO}	—	—	t _{SBYOSCWTLO} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注3. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

表 2.42 低消費電力状態からの復帰タイミング(3)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	min	typ	max	単位	測定条件
発振安定待機時間	低速動作モード	サブクロック発振器動作	$t_{SBYOSCWTSC}$	—	—	$0.65 + 3 / f_{SOSC} + 1 / f_{ICLK}$	μs	
ソフトウェアスタンバイモード解除シーケンサ動作時間(注1)			t_{SBYSEQ}	—	—	$9 / f_{ICLK} + 3 / f_{PCLKB} + 3n / f_{ソースクロック}$		
ソフトウェアスタンバイモード解除後復帰時間(注2)	低速動作モード	サブクロック発振器動作	t_{SBYSC}	—	—	$t_{SBYOSCWTSC} + t_{SBYSEQ}$		図 2.21

注1. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注2. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

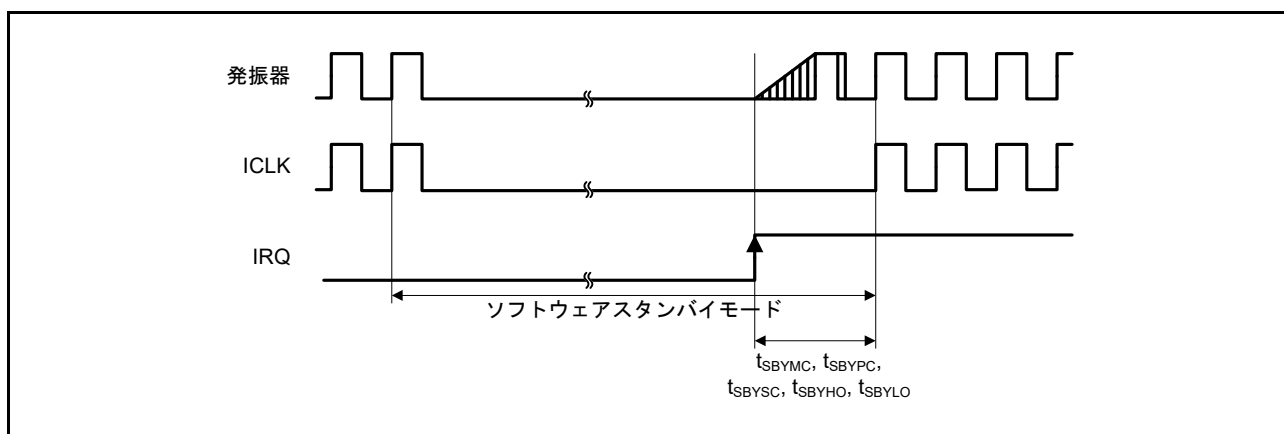


図 2.21 ソフトウェアスタンバイモード復帰タイミング

表2.43 低消費電力状態からの復帰タイミング(4)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件
発振安定待機時間(注1)	メインクロック発振器動作	メインクロック発振器動作	t _{SBYOSCWTMC}	—	—	0.65 + t _L LOCO + (16 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _M OSC + 1 / f _I CLK	μs	
		メインクロック発振器、PLL回路動作	t _{SBYOSCWTPC}	—	—	0.65 + t _L LOCO + (288 + MOSCWTCR 設定のサイクル数) / f _L LOCO + 2 / f _{PLL} + 1 / f _I CLK		
	サブクロック発振器動作		t _{SBYOSCWTSC}	—	—	0.65 + 3 / f _S OSC + 1 / f _I CLK		
	高速オンチップオシレータ動作		t _{SBYOSCWTHO}	—	—	0.65 + t _L LOCO + 16 / f _L LOCO + 2 / f _H OCCO + 1 / f _I CLK		
	低速オンチップオシレータ動作		t _{SBYOSCWTLO}	—	—	0.65 + t _L LOCO + 1 / f _I CLK		
ソフトウェアスタンバイモード解除シーケンサ動作時間(注2)			t _{SBYSEQ}	—	—	3 / f _I CLK + 2n / f _{ソース} クロック		
ソフトウェアスタンバイモードからスヌーズモードへの遷移時間(注3)	メインクロック発振器動作	メインクロック発振器動作	t _{SNZMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 2.22
		メインクロック発振器、PLL回路動作	t _{SNZPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
	サブクロック発振器動作		t _{SNZSC}	—	—	t _{SBYOSCWTSC} + t _{SBYSEQ}		
	高速オンチップオシレータ動作		t _{SNZH0}	—	—	t _{SBYOSCWTHO} + t _{SBYSEQ}		
	低速オンチップオシレータ動作		t _{SNZLO}	—	—	t _{SBYOSCWTLO} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注3. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

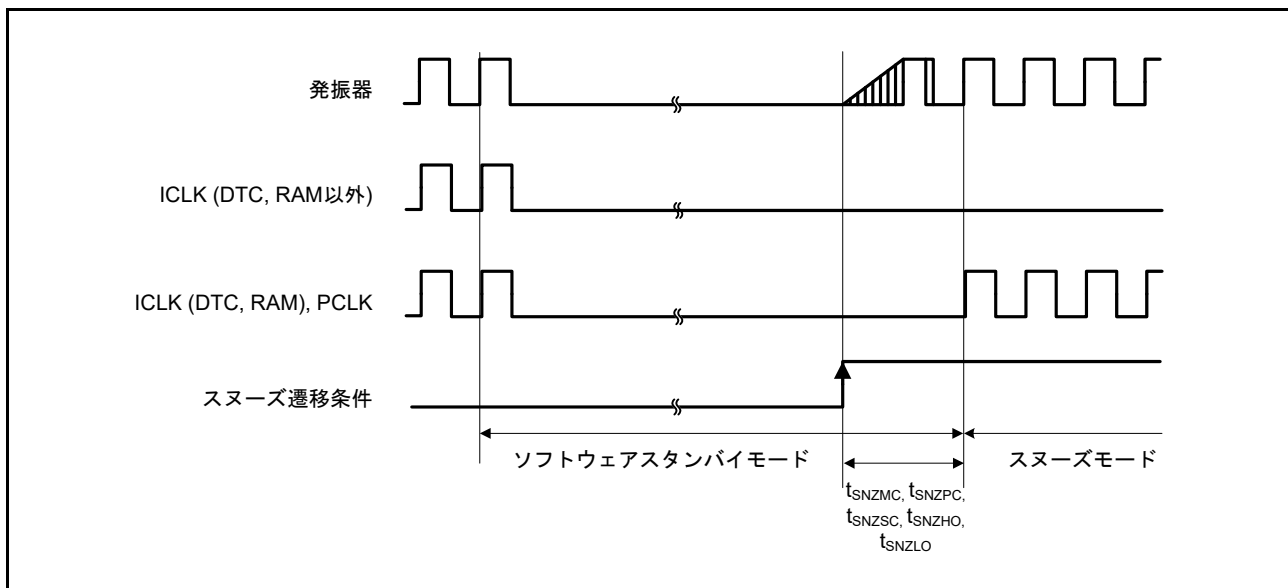


図 2.22 ソフトウェアスタンバイモードからスヌーズモードへの遷移タイミング

表2.44 低消費電力状態からの復帰タイミング(5)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	typ	max (注2)	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速動作 モード	t _{DSL} P	—	—	$4 / f_{\text{LOCO}} + 8 / f_{\text{ICLK}} + 2 / f_{\text{PCLKB}} + 3n / f_{\text{ソースクロック}}$	μs	図2.23
	中速動作 モード				$4 / f_{\text{LOCO}} + 8 / f_{\text{ICLK}} + 2 / f_{\text{PCLKB}} + 3n / f_{\text{ソースクロック}}$		
	中速動作 モード2				$6 / f_{\text{ICLK}} + 2 / f_{\text{PCLKB}} + 3n / f_{\text{ソースクロック}}$		
	低速動作 モード				$6 / f_{\text{ICLK}} + 2 / f_{\text{PCLKB}} + 3n / f_{\text{ソースクロック}}$		

注1. ディープスリープモードでは発振器は発振を継続します。

注2. nは内部クロックの分周設定のうち最も大きな値が選択されます。

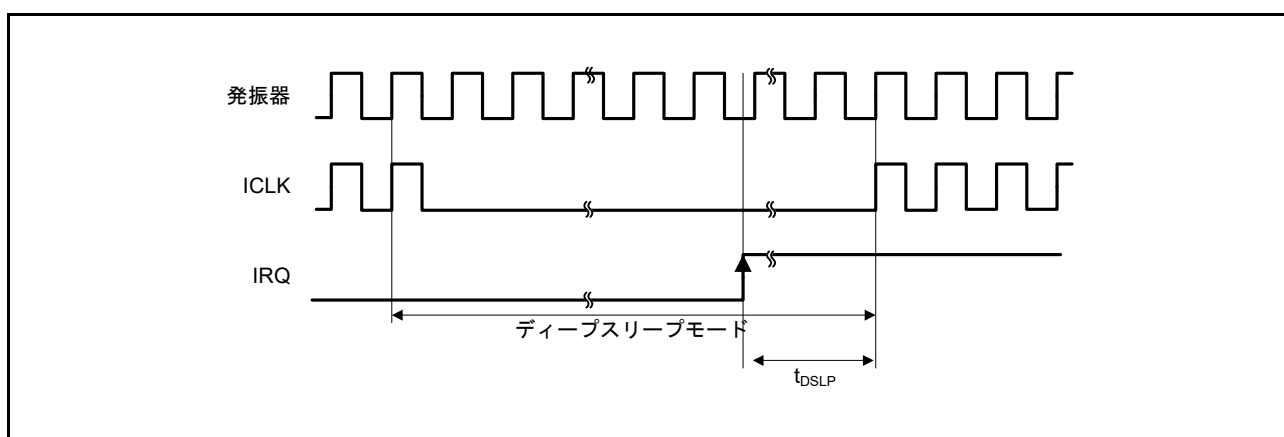


図 2.23 ディープスリープモード解除タイミング

2.5.4 動作モード遷移タイミング

表 2.45 動作モード遷移時間

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

遷移前モード	遷移後モード	遷移時間			単位	
		min	typ			max
			$f_{ICLK} \geq f_{FCLK}$	$f_{ICLK} < f_{FCLK}$		
高速動作モード	中速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$	μs	
	中速動作モード2	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	低速動作モード	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	$5 / f_{ICLK}$		
中速動作モード	高速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	中速動作モード2	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	低速動作モード	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	$5 / f_{ICLK}$		
中速動作モード2	高速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	中速動作モード	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	$8 / f_{ICLK}$		
	低速動作モード	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	$5 / f_{ICLK}$		
低速動作モード	高速動作モード	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	$6 / f_{ICLK}$		
	中速動作モード	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	$6 / f_{ICLK}$		
	中速動作モード2	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	$6 / f_{ICLK}$		

2.5.5 制御信号タイミング

表 2.46 制御信号タイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイモード時は最小200nsです。

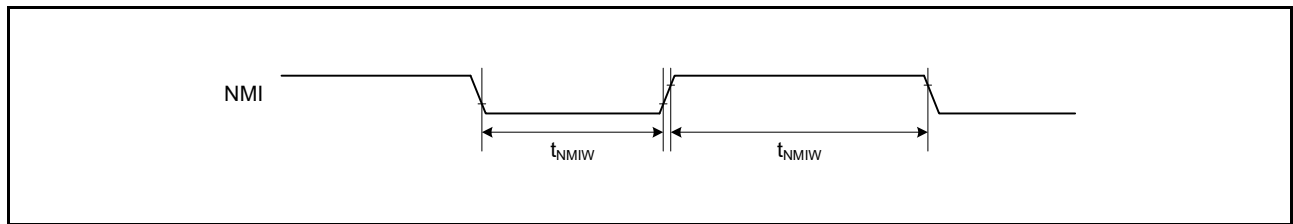
注1. t_{Pcyc}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQ_iデジタルフィルタサンプリングクロック(i = 0~7)の周期を指します。

図 2.24 NMI 割り込み入力タイミング

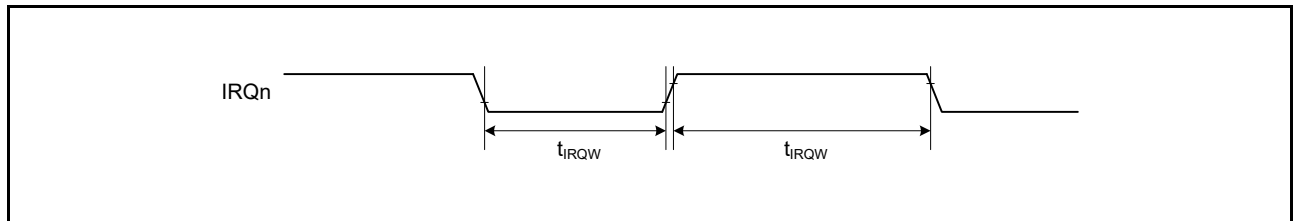


図 2.25 IRQ 割り込み入力タイミング

2.5.6 内蔵周辺モジュールタイミング

2.5.6.1 I/Oポート

表2.47 I/Oポートタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位(注1)	測定条件
I/Oポート	入カデータパルス幅	t _{PRW}	1.5	—	t _{PBcyc}	図2.26

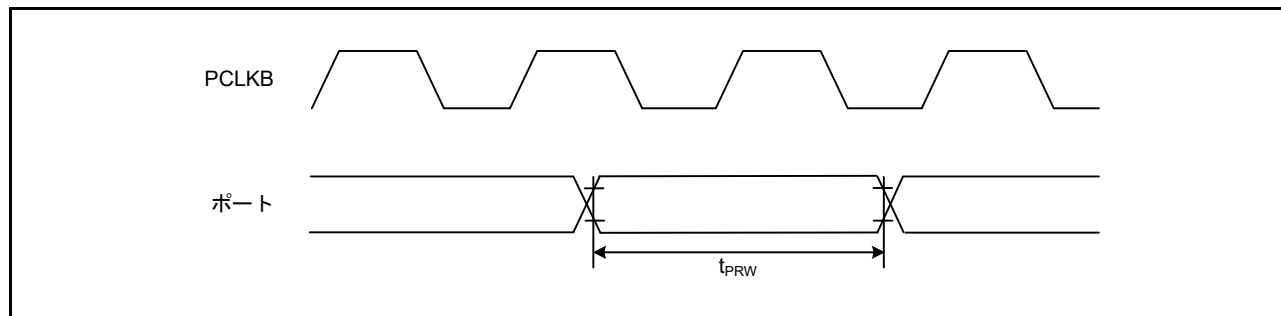
注1. t_{PBcyc} : PCLKBの周期

図2.26 I/Oポート入力タイミング

2.5.6.2 GPTW

表2.48 GPTW タイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件	
GPTW	入力キャプチャ 入力パルス幅	単エッジ指定	1.5	—	t _{PAcyc}	図2.27	
		両エッジ指定	2.5	—			
	入力キャプチャ立ち上がり/立ち下がり 時間		t _{GTICr} / t _{GTICf}	—	0.1	μs/V	図2.27
	外部トリガ入力パルス幅	単エッジ指定	t _{GTEW}	1.5	—	t _{PAcyc}	図2.28
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		t _{GTCKWH} / t _{GTCKWL}	1.5	—	t _{PAcyc}	図2.29
タイマクロック立ち上がり/立ち下がり時間		t _{GTCKr} / t _{GTCKf}	—	0.1	μs/V	図2.29	

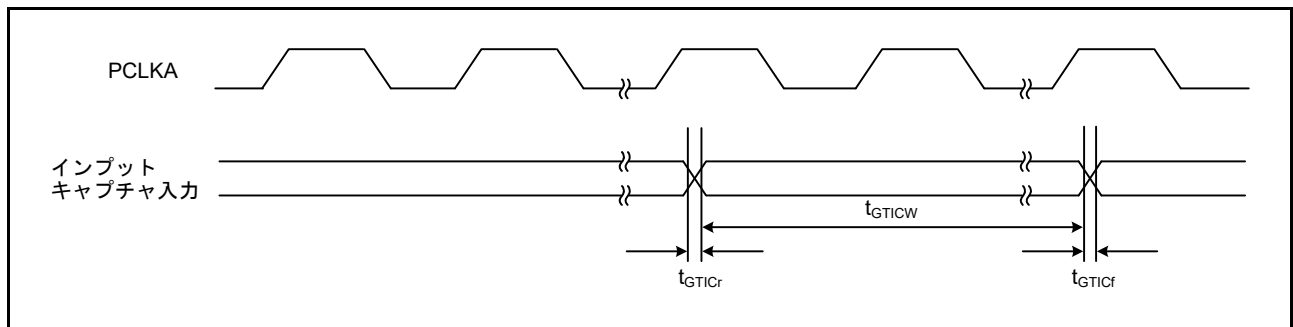
注1. t_{PAcyc} : PCLKAの周期

図2.27 GPTW 入力キャプチャ入力タイミング

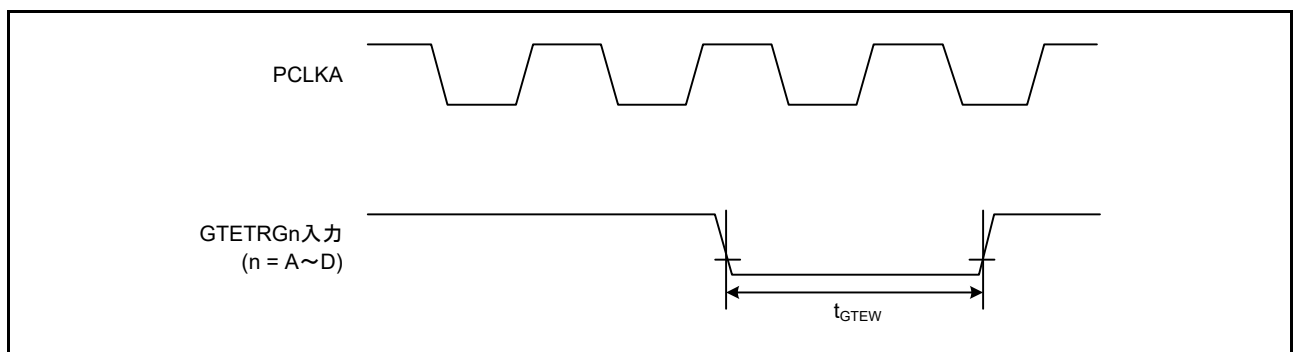


図2.28 GPTW 外部トリガ入力タイミング

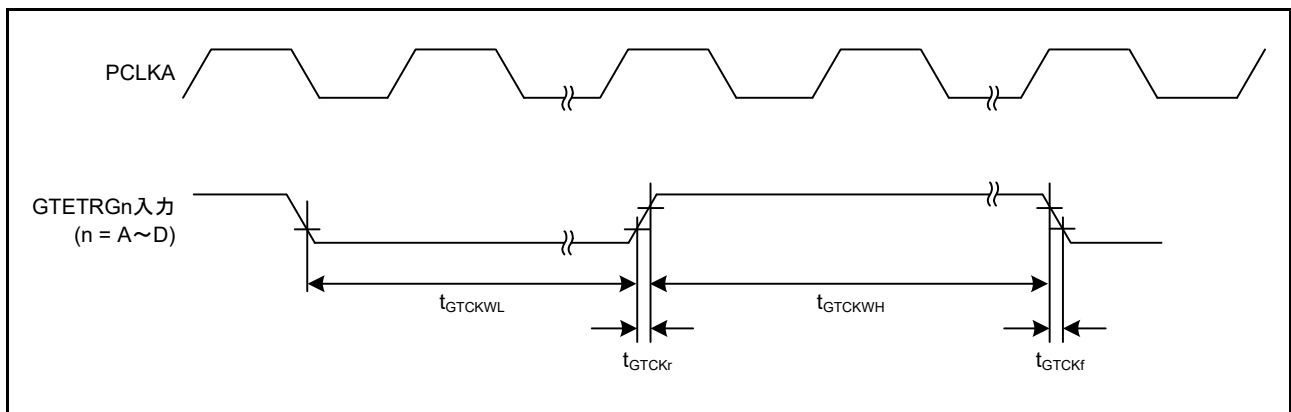


図 2.29 GPTW クロック入力タイミング

2.5.6.3 POEG

表2.49 POEGタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	typ	max	単位 (注1)	測定条件	
POEG	GTETR _{Gn} 入力パルス幅 (n = A ~ D)	t _{POEGW}	1.5	—	—	t _{PBcyc}	図2.30	
	GTER _{Gn} 入力立ち上がり/立ち下がり時間	t _{POEGr} / t _{POEGf}	—	—	0.1	μs/V	図2.30	
	出力ディセーブル時間	GTETR _{Gn} 端子の入カレベル検出 (フラグ経由)	t _{POEGDI}	—	—	3 PCLKB + 0.34	μs	図2.31 デジタルノイズフィルタ 不使用時 (POEG _{Gn} .NFEN = 0 (n = A ~ D))
		GPTWからの出力停止信号検出 (同時High出力、同時Low出力)	t _{POEGDE}	—	—	0.5	μs	図2.32
		コンパレータエッジ検出	t _{POEGDC}	—	—	4 PCLKB + 0.5	μs	図2.33 コンパレータBのノイズ フィルタ不使用時 (CPBF.CPB0FEN = 0かつ CPBF.CPB1FEN = 0)、コ ンパレータBの検出時間は 除く
		レジスタ設定	t _{POEGDS}	—	—	1 PCLKB + 0.3	μs	図2.34 レジスタアクセス時間は 除く
	発振停止検出	t _{POEGDOS}	—	—	21	μs	図2.35	

注1. t_{PBcyc} : PCLKBの周期

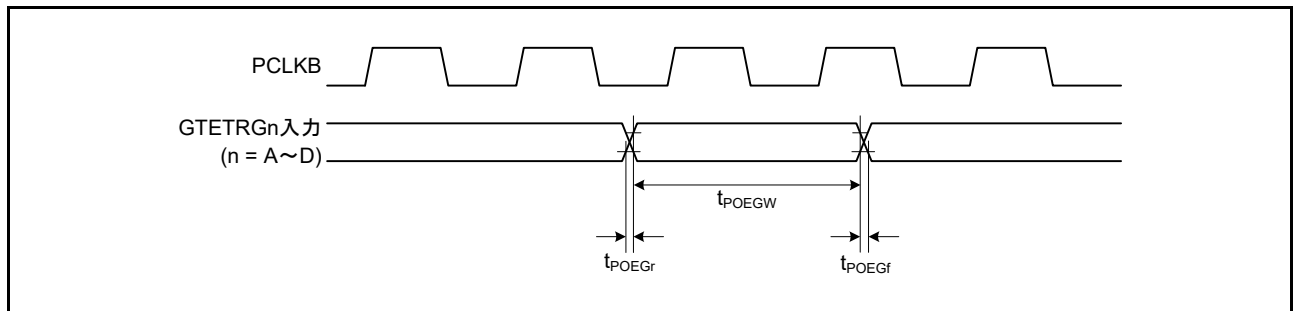


図2.30 POEG入カタイミング

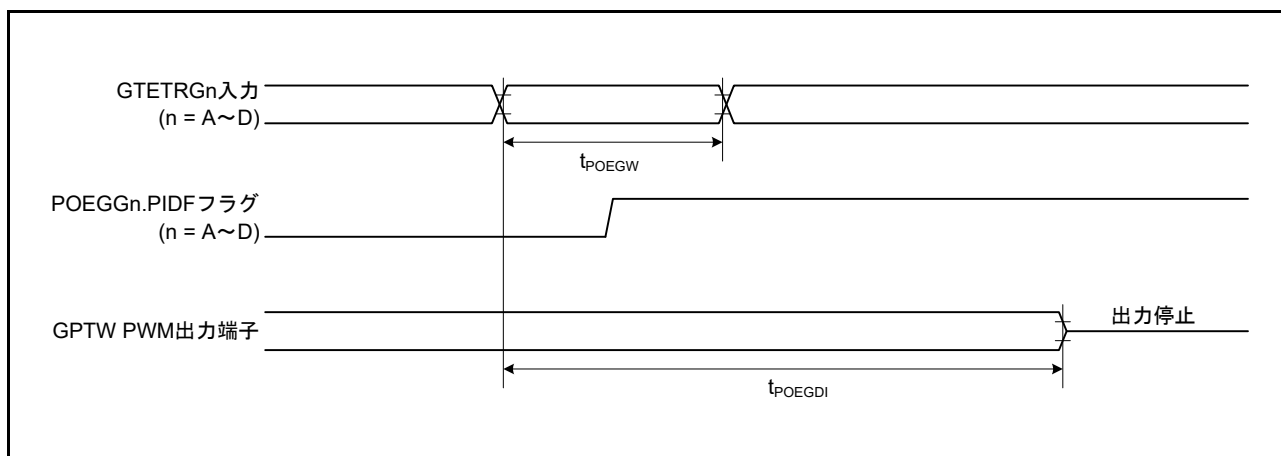


図 2.31 POEG 出力ディセーブル時間 (GTETR Gn 端子の入カレベル検出 (フラグ経由))

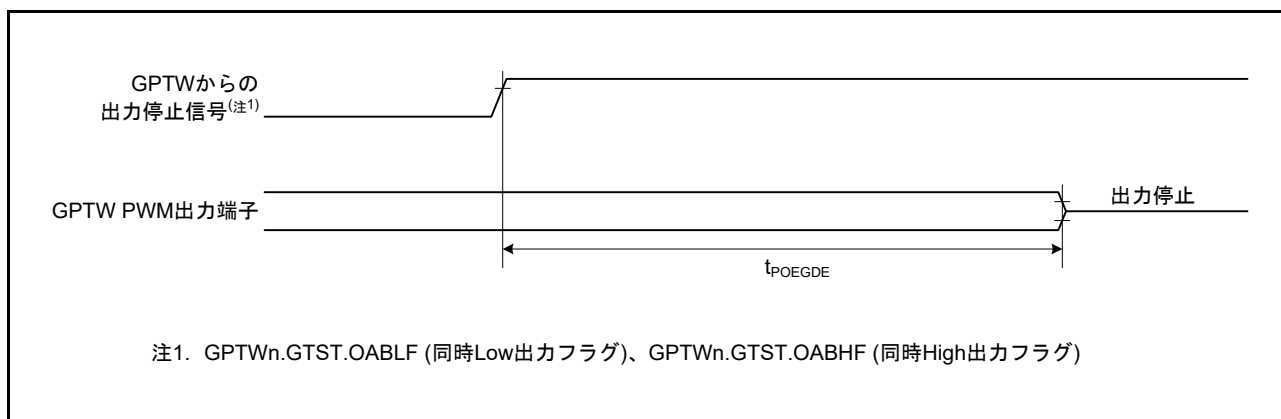


図 2.32 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

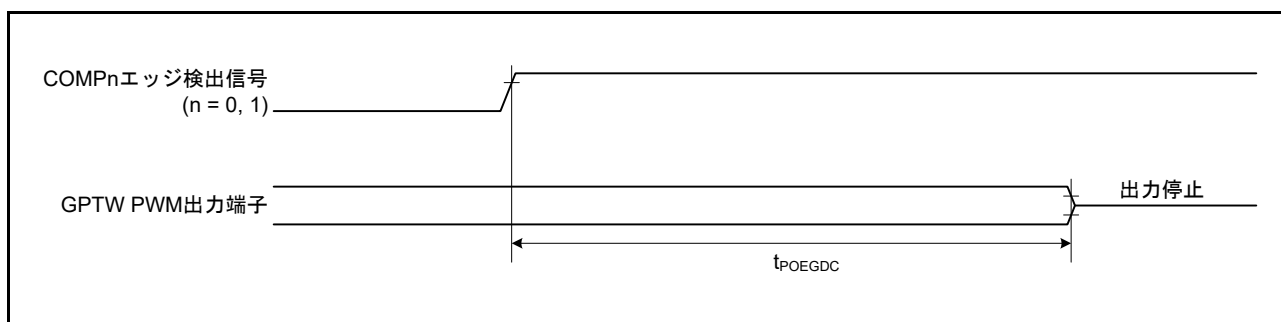


図 2.33 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

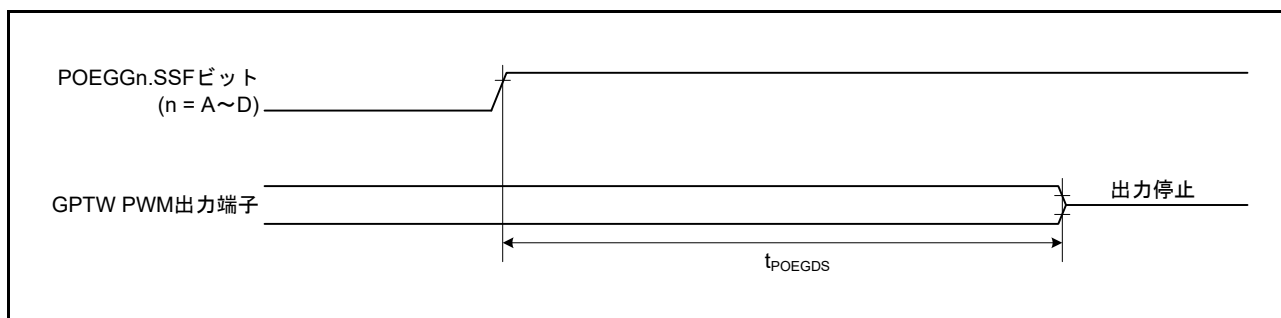


図 2.34 POEG 出力ディセーブル時間 (レジスタ設定)

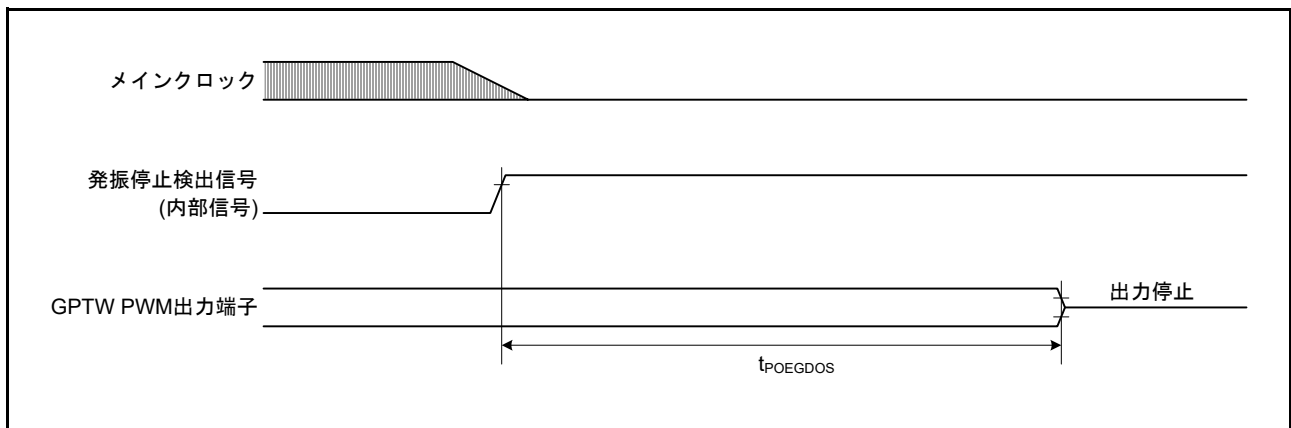


図 2.35 POEG 出力ディセーブル時間 (発振停止検出)

2.5.6.4 TMR

表2.50 TMRタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	1.5	—	t _{pBcyc}	図2.36
		両エッジ指定	2.5	—		
	タイマクロック立ち上がり/立ち下がり時間	t _{TMCr} t _{TMcf}	—	0.1	μs/V	

注1. t_{pBcyc} : PCLKBの周期

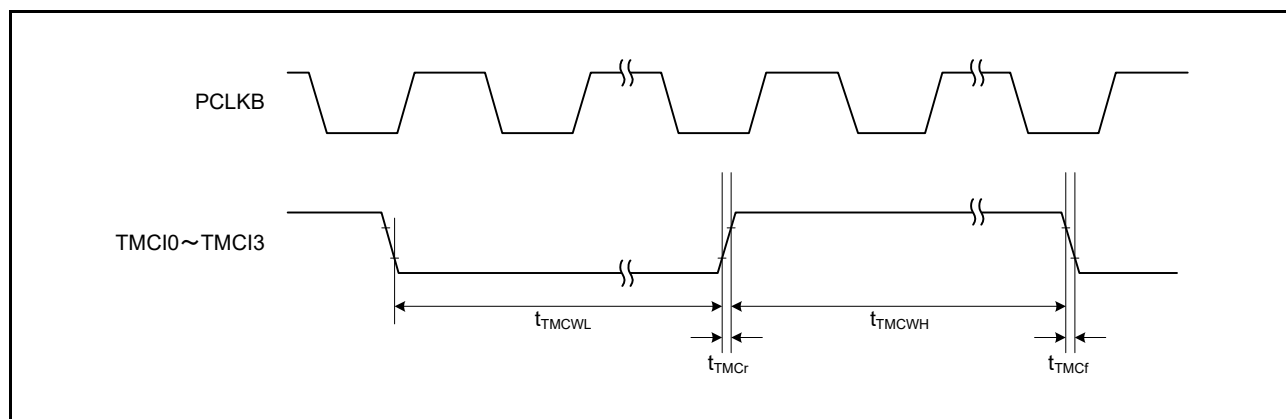


図 2.36 TMR クロック入力タイミング

2.5.6.5 SCI

表2.51 SCIタイミング (1/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件						
SCI (チャンネル 1, 5, 6)	入カクロックサイクル時間	調歩同期		t_{Scyc}	4	—	t_{PBcyc}	図2.37				
		クロック同期	$2.4V \leq VCC \leq 5.5V$						6	—		
			$1.8V \leq VCC < 2.4V$						8	—		
			$1.6V \leq VCC < 1.8V$						6	—		
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}						
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns						
	入カクロック立ち下がり時間		t_{SCKf}	—	20	ns						
	SCI (チャンネル 1, 5, 6)	出カクロックサイクル時間	調歩同期		t_{Scyc}	6	—	t_{PBcyc}	図2.38			
			クロック同期	$2.4V \leq VCC \leq 5.5V$						4	—	
				$1.8V \leq VCC < 2.4V$						8	—	
$1.6V \leq VCC < 1.8V$				4						—		
出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}							
出カクロック立ち上がり時間		$1.8V \leq VCC \leq 5.5V$		t_{SCKr}	—	20	ns					
		$1.6V \leq VCC < 1.8V$			—	30	ns					
出カクロック立ち下がり時間		$1.8V \leq VCC \leq 5.5V$		t_{SCKf}	—	20	ns					
		$1.6V \leq VCC < 1.8V$			—	30	ns					
送信データ遅延時間(マスタ)		クロック同期	$1.8V \leq VCC \leq 5.5V$		t_{TXD}	—	40	ns				
	$1.6V \leq VCC < 1.8V$		—	45		ns						
送信データ遅延時間(スレーブ)	クロック同期	$2.7V \leq VCC \leq 5.5V$		t_{TXD}	—	55	ns					
		$2.4V \leq VCC < 2.7V$			—	60	ns					
		$1.8V \leq VCC < 2.4V$			—	100	ns					
		$1.6V \leq VCC < 1.8V$			—	125	ns					
受信データセットアップ時間 (マスタ)	クロック同期	$2.7V \leq VCC \leq 5.5V$		t_{RXS}	45	—	ns					
		$2.4V \leq VCC < 2.7V$			55	—	ns					
		$1.8V \leq VCC < 2.4V$			90	—	ns					
		$1.6V \leq VCC < 1.8V$			110	—	ns					
受信データセットアップ時間 (スレーブ)	クロック同期	$1.8V \leq VCC \leq 5.5V$		t_{RXS}	40	—	ns					
		$1.6V \leq VCC < 1.8V$			45	—	ns					
受信データホールド時間		t_{RXH}	40	—	ns							

表 2.51 SCI タイミング (2/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$

項目			記号	min	max	単位 (注1)	測定条件	
SCI (チャンネル 12)	入カクロックサイクル時間	調歩同期	t_{Scyc}	4	—	t_{PBcyc}	図 2.37	
		クロック同期		$2.4V \leq VCC \leq 5.5V$	6			—
				$1.8V \leq VCC < 2.4V$	8			—
				$1.6V \leq VCC < 1.8V$	6			—
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns		
入カクロック立ち下がり時間		t_{SCKf}	—	20	ns			
SCI (チャンネル 12)	出カクロックサイクル時間	調歩同期 (注2)	t_{Scyc}	8	—	t_{PBcyc}	図 2.38	
		クロック同期		$2.4V \leq VCC \leq 5.5V$	4			—
				$1.8V \leq VCC < 2.4V$	8			—
				$1.6V \leq VCC < 1.8V$	4			—
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出カクロック立ち上がり時間		t_{SCKr}	$1.8V \leq VCC \leq 5.5V$	—	20		ns
				$1.6V \leq VCC < 1.8V$	—	30		ns
	出カクロック立ち下がり時間		t_{SCKf}	$1.8V \leq VCC \leq 5.5V$	—	20		ns
				$1.6V \leq VCC < 1.8V$	—	30		ns
	送信データ遅延時間(マスタ)	クロック同期	t_{TXD}	$1.8V \leq VCC \leq 5.5V$	—	40		ns
				$1.6V \leq VCC < 1.8V$	—	45		ns
	送信データ遅延時間(スレーブ)	クロック同期	t_{TXD}	$2.4V \leq VCC \leq 5.5V$	—	65		ns
				$1.8V \leq VCC < 2.4V$	—	100		ns
				$1.6V \leq VCC < 1.8V$	—	125		ns
—					125	ns		
受信データセットアップ時間 (マスタ)	クロック同期	t_{RXS}	$2.7V \leq VCC \leq 5.5V$	45	—	ns		
			$2.4V \leq VCC < 2.7V$	55	—	ns		
			$1.8V \leq VCC < 2.4V$	90	—	ns		
			$1.6V \leq VCC < 1.8V$	110	—	ns		
受信データセットアップ時間 (スレーブ)	クロック同期	t_{RXS}	$1.8V \leq VCC \leq 5.5V$	40	—	ns		
			$1.6V \leq VCC < 1.8V$	45	—	ns		
受信データホールド時間	クロック同期	t_{RXH}	40	—	ns			

注1. t_{PBcyc} : PCLKBの周期

注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

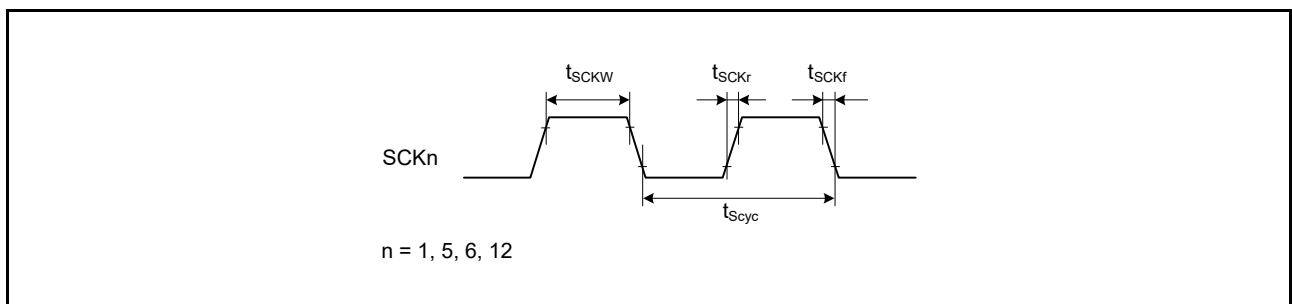


図 2.37 SCK クロック入カタイミング

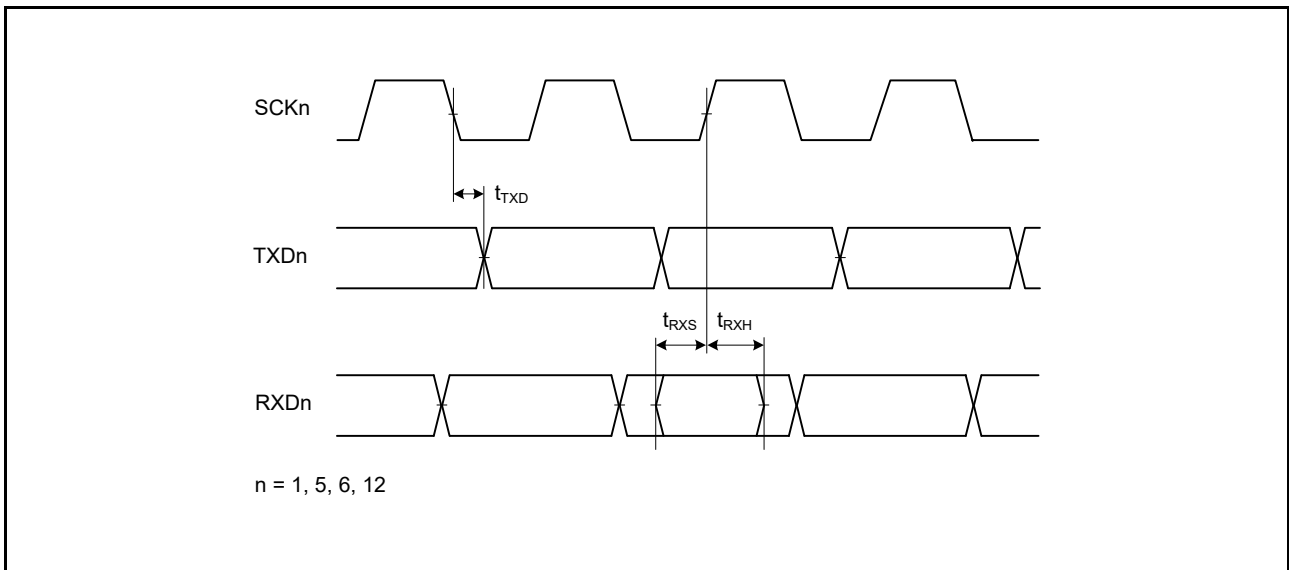


図 2.38 SCI 入出力タイミング / クロック同期式モード

表 2.52 簡易 I²C タイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min	max	単位	測定条件	
簡易 I ² C (スタンダード モード)	SDA 立ち上がり時間	t _{Sr}	—	1000	ns	図 2.39
	SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t _{SP}	0	4 × t _{PBcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b (注 1)	—	400	pF	
簡易 I ² C (ファストモード)	SDA 立ち上がり時間	t _{Sr}	—	300	ns	図 2.39
	SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t _{SP}	0	4 × t _{PBcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b (注 1)	—	400	pF	

注. t_{PBcyc} : PCLKB の周期

注 1. C_b はバスラインの容量総計です。

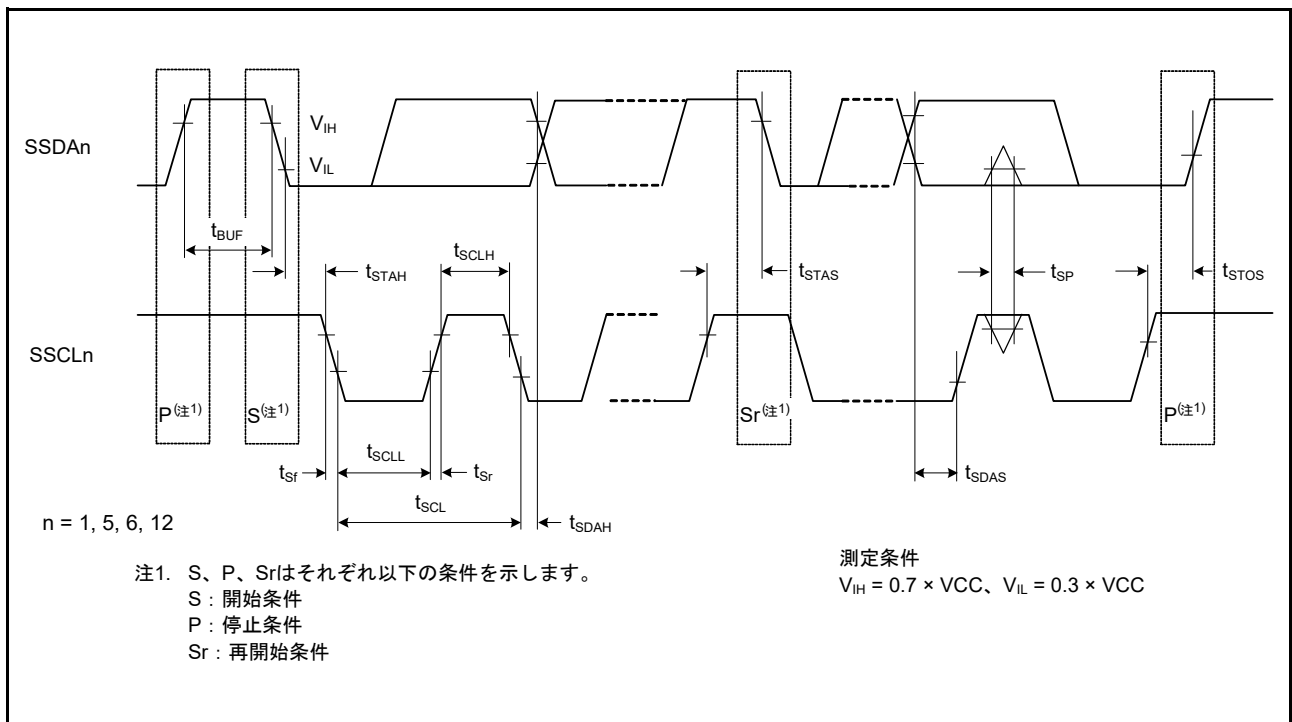


図 2.39 簡易 I²C バスインタフェース入出力タイミング

表 2.53 簡易SPIタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件			
簡易SPI	SCKクロックサイクル出力 (マスタ)	2.4V ≤ VCC ≤ 5.5V	t _{SPBcyc}	4	65536	t _{PBcyc}	図 2.40		
		1.8V ≤ VCC < 2.4V		8	65536				
		1.6V ≤ VCC < 1.8V		4	65536				
	SCKクロックサイクル入力 (スレーブ)	2.4V ≤ VCC ≤ 5.5V	t _{SPBcyc}	6	—	t _{PBcyc}		図 2.41、 図 2.42	
		1.8V ≤ VCC < 2.4V		8	—				
		1.6V ≤ VCC < 1.8V		6	—				
	SCKクロックHighレベルパルス幅		t _{SPCKWH}	0.4	0.6	t _{SPBcyc}			
	SCKクロックLowレベルパルス幅		t _{SPCKWL}	0.4	0.6	t _{SPBcyc}			
	SCKクロック立ち上がり/立ち下がり時間	1.8V ≤ VCC ≤ 5.5V	t _{SPCKr}	—	20	ns			
		1.6V ≤ VCC < 1.8V	t _{SPCKf}	—	30	ns			
	データ入力セットアップ時間 (マスタ)	2.7V ≤ VCC ≤ 5.5V	t _{SU}		45	—	ns		図 2.41、 図 2.42
		2.4V ≤ VCC < 2.7V			55	—			
		1.8V ≤ VCC < 2.4V			80	—			
		1.6V ≤ VCC < 1.8V			110	—			
	データ入力セットアップ時間 (スレーブ)	1.8V ≤ VCC ≤ 5.5V			40	—			
		1.6V ≤ VCC < 1.8V			45	—			
	データ入力ホールド時間		t _H	40	—	ns			
	SSL入力セットアップ時間		t _{LEAD}	1	—	t _{SPBcyc}			
	SSL入力ホールド時間		t _{LAG}	1	—	t _{SPBcyc}			
	データ出力遅延時間(マスタ)	1.8V ≤ VCC ≤ 5.5V	t _{OD}		—	40	ns		
1.6V ≤ VCC < 1.8V		—			50				
データ出力遅延時間(スレーブ)	2.4V ≤ VCC ≤ 5.5V			—	65				
	1.8V ≤ VCC < 2.4V			—	100				
	1.6V ≤ VCC < 1.8V			—	125				
データ出力ホールド時間 (マスタ)	2.7V ≤ VCC ≤ 5.5V	t _{OH}		-10	—	ns			
	1.8V ≤ VCC < 2.7V			-20	—				
	1.6V ≤ VCC < 1.8V			-40	—				
データ出力ホールド時間(スレーブ)				-10	—				
データ立ち上がり/立ち下がり時間	1.8V ≤ VCC ≤ 5.5V	t _{Dr} , t _{Df}		—	20	ns			
	1.6V ≤ VCC < 1.8V			—	30				
SSL入力立ち上がり/立ち下がり時間		t _{SSLr} , t _{SSLf}		—	20	ns			
スレーブアクセス時間	2.4V ≤ VCC ≤ 5.5V		t _{SA}		—	6	t _{PBcyc}	図 2.43、 図 2.44	
	1.8V ≤ VCC < 2.4V	24MHz < PCLKB ≤ 32MHz			—	7			
		PCLKB ≤ 24MHz			—	6			
	1.6V ≤ VCC < 1.8V				—	6			
スレーブ出力開放時間	2.4V ≤ VCC ≤ 5.5V		t _{REL}		—	6	t _{PBcyc}		
	1.8V ≤ VCC < 2.4V	24MHz < PCLKB ≤ 32MHz			—	7			
		PCLKB ≤ 24MHz			—	6			
	1.6V ≤ VCC < 1.8V				—	6			

注1. t_{PBcyc} : PCLKBの周期

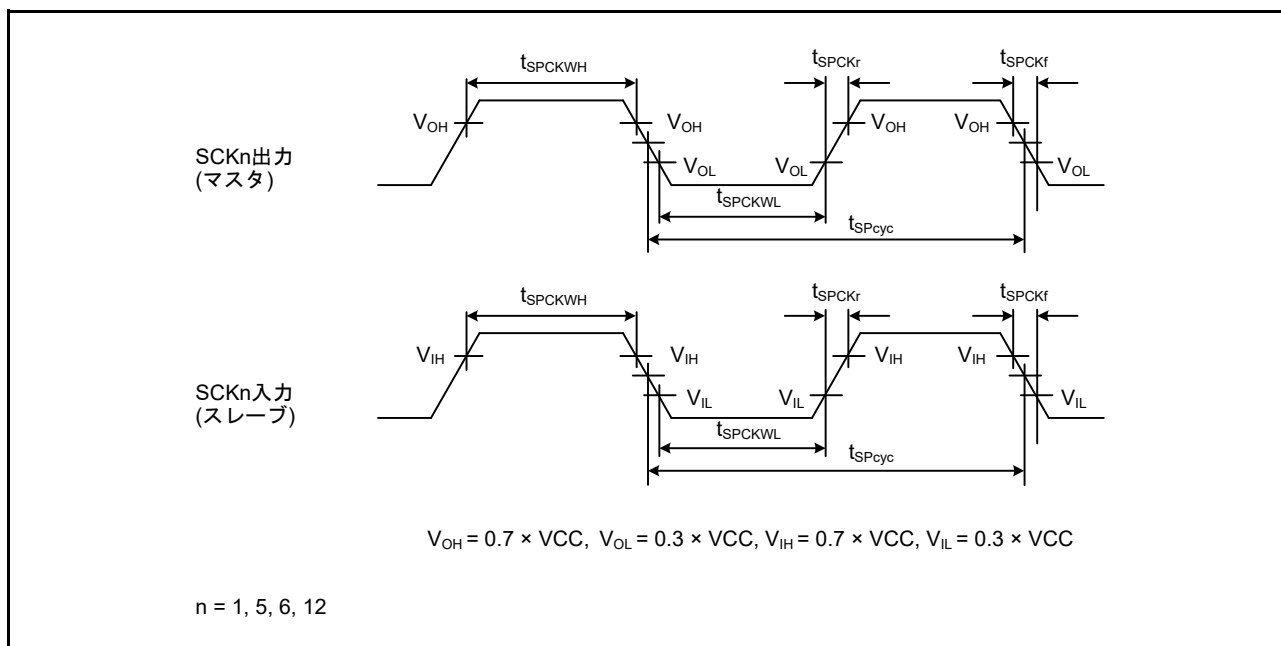


図 2.40 簡易 SPI クロックタイミング

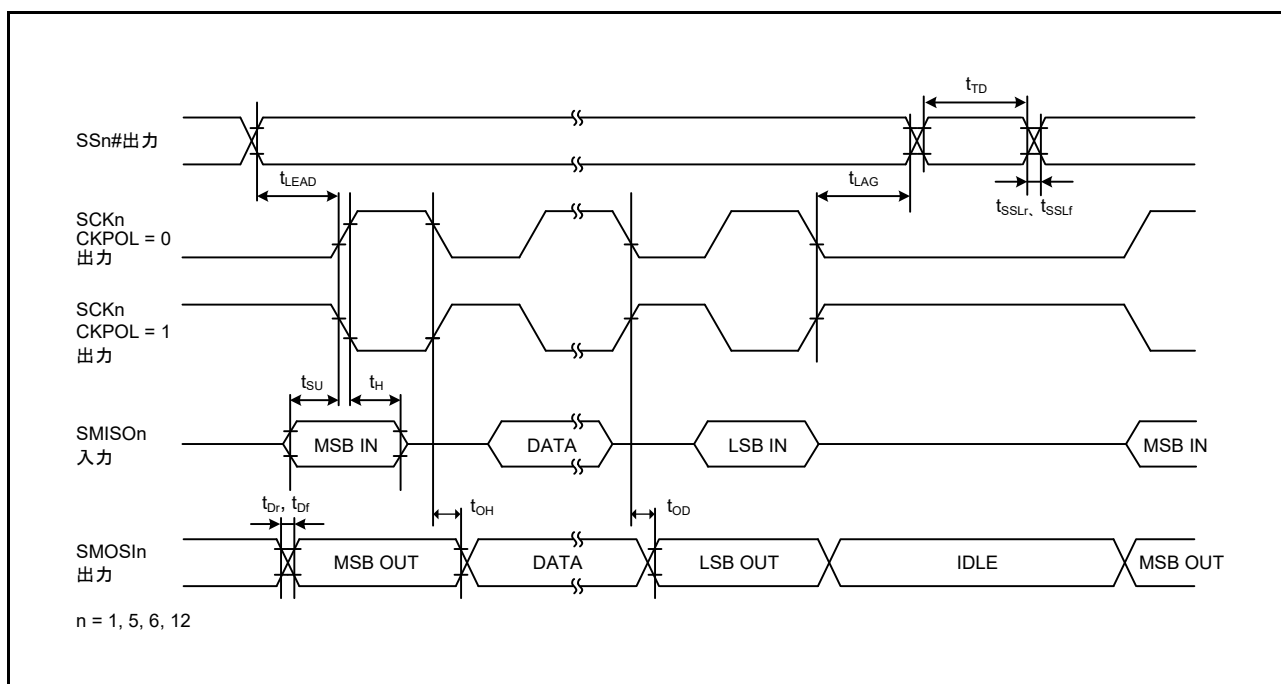


図 2.41 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

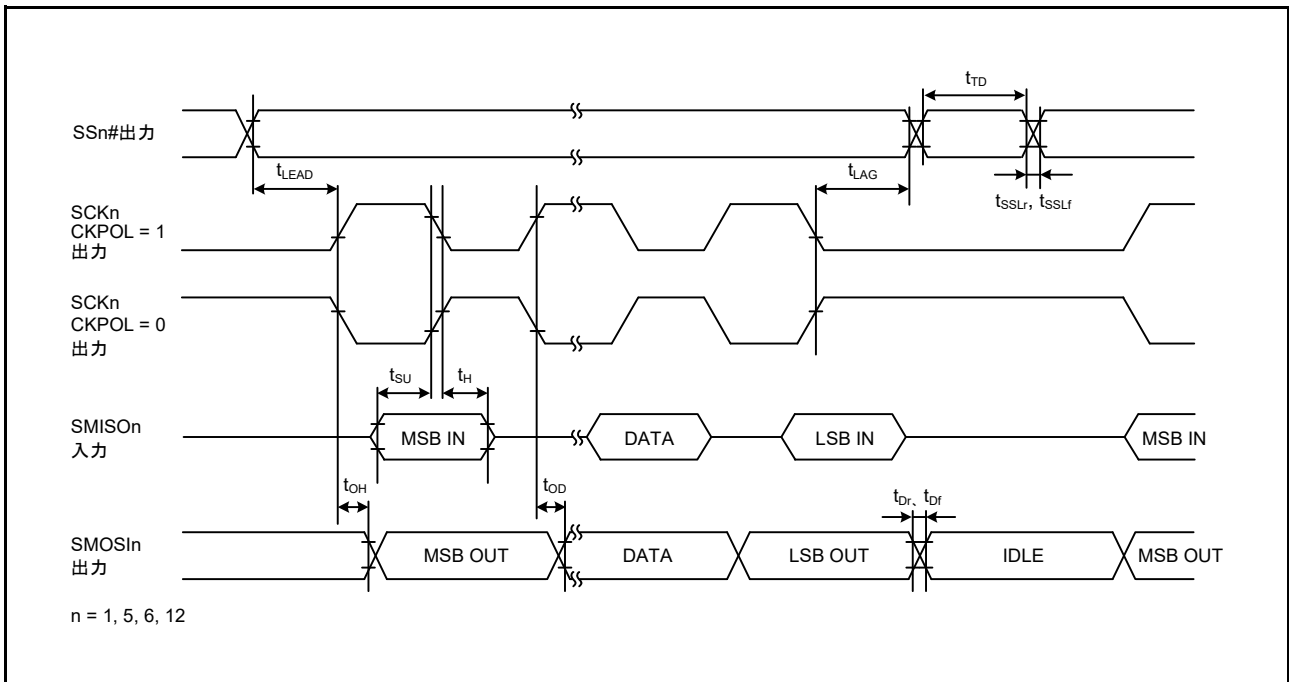


図 2.42 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

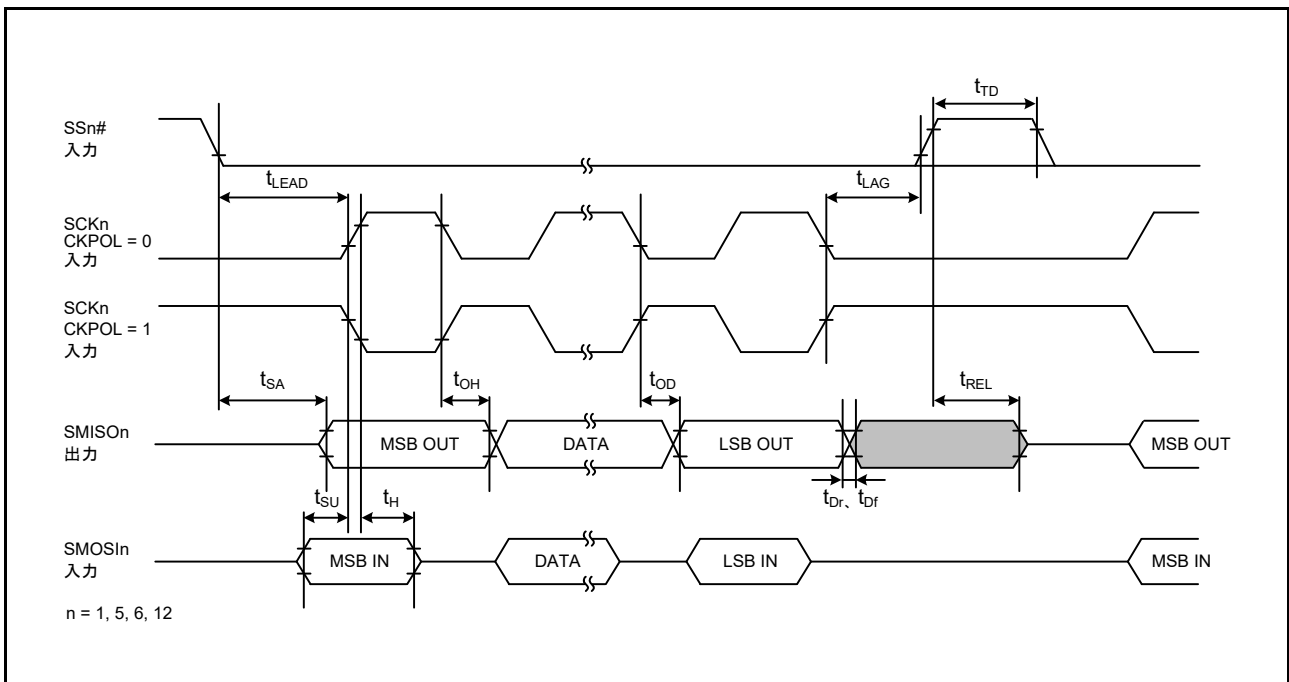


図 2.43 簡易 SPI クロックタイミング (スレーブ、CKPH = 1)

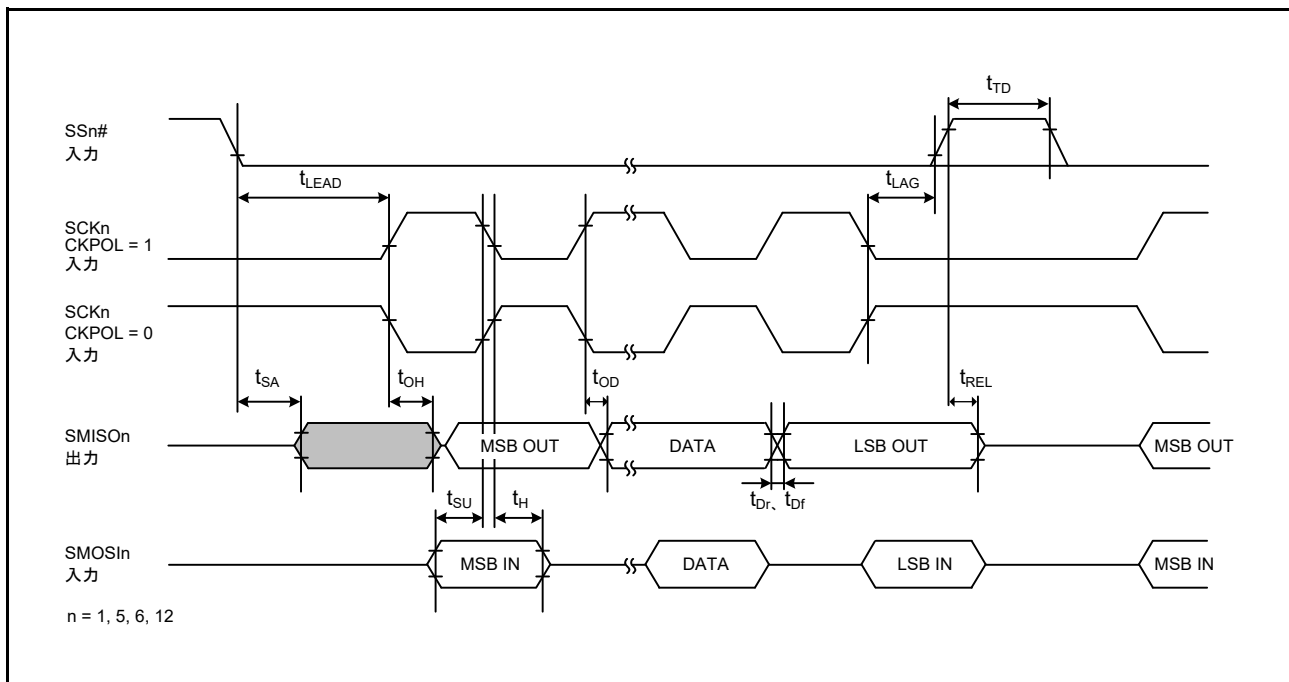


図 2.44 簡易 SPI クロックタイミング (スレーブ、CKPH = 0)

2.5.6.6 RSCI

表2.54 RSCIタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF

項目				記号	min	max	単位 (注1)	測定 条件			
RSCI (チャンネル 0, 8, 9)	入力クロック サイクル時間	調歩同期		t _{Scyc}	4	—	t _{PBcyc}	図2.45			
		クロック 同期	4.5V ≤ VCC ≤ 5.5V		24MHz < PCLKB ≤ 32MHz	4			—		
					PCLKB ≤ 24MHz	2			—		
			2.4V ≤ VCC < 4.5V		6	—					
			1.8V ≤ VCC < 2.4V		8	—					
			1.6V ≤ VCC < 1.8V		2	—					
	入力クロックパルス幅			t _{SCKW}	0.4	0.6	t _{Scyc}				
	入力クロック立ち上がり時間			t _{SCKr}	—	20	ns				
	入力クロック立ち下がり時間			t _{SCKf}	—	20	ns				
	出力クロック サイクル時間	調歩同期		t _{Scyc}	6	—	t _{PBcyc}	図2.46			
		クロック 同期	4.5V ≤ VCC ≤ 5.5V		24MHz < PCLKB ≤ 32MHz	4			—		
					PCLKB ≤ 24MHz	2			—		
			2.7V ≤ VCC < 4.5V		4	—					
2.4V ≤ VCC < 2.7V			6		—						
1.8V ≤ VCC < 2.4V			24MHz < PCLKB ≤ 32MHz		8	—					
		PCLKB ≤ 24MHz	6		—						
1.6V ≤ VCC < 1.8V		2	—								
出力クロックパルス幅			t _{SCKW}		0.4	0.6			t _{Scyc}		
出力クロック立ち上がり時間		4.5V ≤ VCC ≤ 5.5V	t _{SCKr}		—	5			ns		
		1.8V ≤ VCC < 4.5V		—	20	ns					
		1.6V ≤ VCC < 1.8V		—	30	ns					
出力クロック立ち下がり時間		4.5V ≤ VCC ≤ 5.5V	t _{SCKf}	—	5	ns					
		1.8V ≤ VCC < 4.5V		—	20	ns					
		1.6V ≤ VCC < 1.8V		—	30	ns					
送信データ遅延時間 (マスタ)	クロック同期		t _{TXD}	4.5V ≤ VCC ≤ 5.5V	—	10	ns				
				1.8V ≤ VCC < 4.5V	—	40	ns				
				1.6V ≤ VCC < 1.8V	—	45	ns				
送信データ遅延時間 (スレーブ)	クロック同期		t _{TXD}	4.5V ≤ VCC ≤ 5.5V	—	30	ns				
				2.7V ≤ VCC < 4.5V	—	55	ns				
				2.4V ≤ VCC < 2.7V	—	60	ns				
				1.8V ≤ VCC < 2.4V	—	100	ns				
				1.6V ≤ VCC < 1.8V	—	125	ns				
受信データセットアップ 時間(マスタ)	クロック同期		t _{RXS}	4.5V ≤ VCC ≤ 5.5V	25	—	ns				
				2.7V ≤ VCC < 4.5V	45	—	ns				
				2.4V ≤ VCC < 2.7V	55	—	ns				
				1.8V ≤ VCC < 2.4V	90	—	ns				
				1.6V ≤ VCC < 1.8V	110	—	ns				
受信データセットアップ 時間(スレーブ)	クロック同期		t _{RXS}	4.5V ≤ VCC ≤ 5.5V	10	—	ns				
				1.8V ≤ VCC < 4.5V	40	—	ns				
				1.6V ≤ VCC < 1.8V	45	—	ns				
受信データホールド時間		クロック同期	t _{RXH}	10	—	ns					

注1. t_{PBcyc} : PCLKBの周期

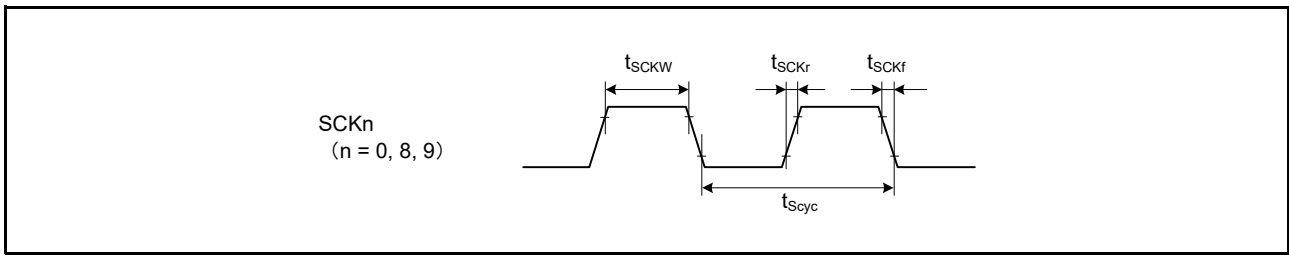


図 2.45 SCK クロック入力タイミング

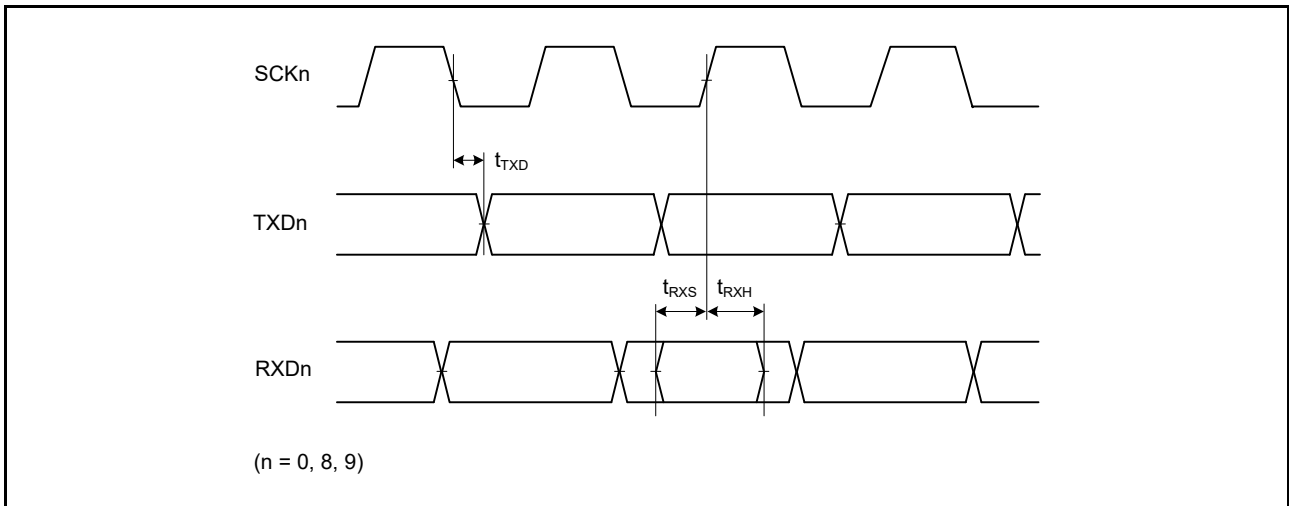


図 2.46 RSCI 入出力タイミング / クロック同期式モード

表 2.55 簡易 I²C タイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min	max	単位	測定条件	
簡易 I ² C (スタンダード モード)	SDA 立ち上がり時間	t _{Sr}	—	1000	ns	図 2.47
	SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b (注 1)	—	400	pF	
簡易 I ² C (ファストモード)	SDA 立ち上がり時間	t _{Sr}	—	300	ns	図 2.47
	SDA 立ち下がり時間	t _{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C _b (注 1)	—	400	pF	

注. t_{Pcyc} : PCLKB の周期

注 1. C_b はバスラインの容量総計です。

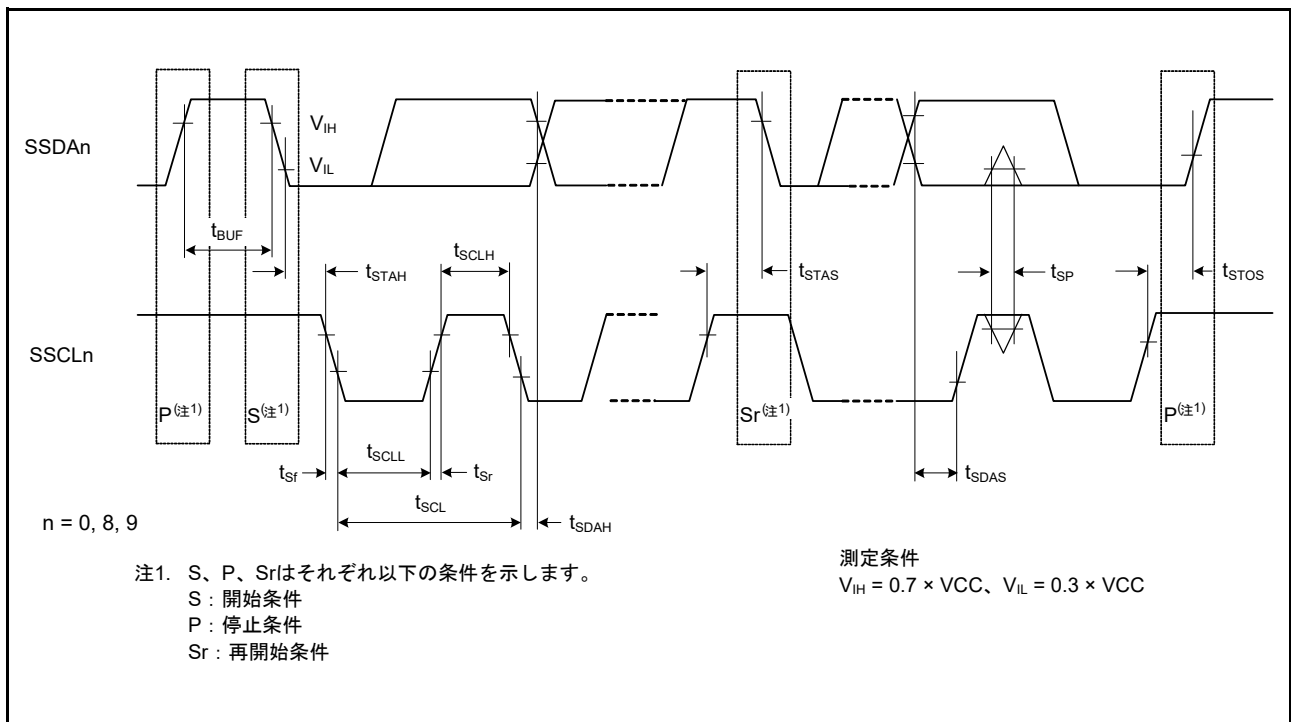


図 2.47 簡易 I²C バスインタフェース入出力タイミング

表 2.56 簡易SPIタイミング (1/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロック サイクル出力 (マスタ)	$4.5V \leq VCC \leq 5.5V$	$24MHz < PCLKB \leq 32MHz$	t_{SPcyc}	4	65536	t_{PBcyc}	図 2.48	
			$PCLKB \leq 24MHz$		2	65536			
		$2.7V \leq VCC < 4.5V$				4			65536
		$2.4V \leq VCC < 2.7V$				6			65536
		$1.8V \leq VCC < 2.4V$	$24MHz < PCLKB \leq 32MHz$		8	65536			
			$PCLKB \leq 24MHz$		6	65536			
	$1.6V \leq VCC < 1.8V$			2	65536				
	SCKクロック サイクル入力 (スレーブ)	$4.5V \leq VCC \leq 5.5V$	$24MHz < PCLKB \leq 32MHz$	t_{SPcyc}	4	—	t_{PBcyc}		
			$PCLKB \leq 24MHz$		2	—			
		$2.7V \leq VCC < 4.5V$			6	—			
		$1.8V \leq VCC < 2.4V$			8	—			
	$1.6V \leq VCC < 1.8V$			2	—				
SCKクロック High レベルパルス幅			t_{SPCKWH}	0.4	0.6	t_{SPcyc}			
SCKクロック Low レベルパルス幅			t_{SPCKWL}	0.4	0.6	t_{SPcyc}			
SCKクロック立ち上がり/立ち下がり時間	$4.5V \leq VCC \leq 5.5V$		t_{SPCKr} , t_{SPCKf}	—	5	ns			
	$1.8V \leq VCC < 4.5V$			—	20	ns			
	$1.6V \leq VCC < 1.8V$			—	30	ns			
データ入力セットアップ時間 (マスタ)	$4.5V \leq VCC \leq 5.5V$		t_{SU}	25	—	ns	図 2.49、 図 2.50		
	$2.7V \leq VCC < 4.5V$			45	—				
	$2.4V \leq VCC < 2.7V$			55	—				
	$1.8V \leq VCC < 2.4V$			80	—				
	$1.6V \leq VCC < 1.8V$			110	—				
データ入力セットアップ時間 (スレーブ)	$4.5V \leq VCC \leq 5.5V$			10	—				
	$1.8V \leq VCC < 4.5V$			40	—				
	$1.6V \leq VCC < 1.8V$			45	—				
データ入力ホールド時間			t_H	10	—	ns			
SSL入力セットアップ時間	$t_{SPcyc} < 6t_{PBcyc}$		t_{LEAD}	2	—	t_{SPcyc}			
	$t_{SPcyc} \geq 6t_{PBcyc}$			1	—				
SSL入力ホールド時間			t_{LAG}	1	—	t_{SPcyc}			
データ出力遅延時間(マスタ)	$4.5V \leq VCC \leq 5.5V$		t_{OD}	—	10	ns			
	$1.8V \leq VCC < 4.5V$			—	40				
	$1.6V \leq VCC < 1.8V$			—	50				
データ出力遅延時間(スレーブ)	$4.5V \leq VCC \leq 5.5V$			—	30				
	$2.4V \leq VCC < 4.5V$			—	65				
	$1.8V \leq VCC < 2.4V$			—	100				
	$1.6V \leq VCC < 1.8V$			—	125				
データ出力ホールド時間 (マスタ)	$2.7V \leq VCC \leq 5.5V$		t_{OH}	-10	—	ns			
	$1.8V \leq VCC < 2.7V$			-20	—				
	$1.6V \leq VCC < 1.8V$			-40	—				
データ出力ホールド時間(スレーブ)				-10	—				
データ立ち上がり/立ち下がり時間	$4.5V \leq VCC \leq 5.5V$		t_{Dr} , t_{Df}	—	5	ns			
	$2.7V \leq VCC < 4.5V$			—	20				
	$1.6V \leq VCC < 1.8V$			—	30				
SSL入力立ち上がり/立ち下がり時間			t_{SSLr} , t_{SSLf}	—	20	ns			

表 2.56 簡易SPIタイミング (2/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,
出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位 (注1)	測定条件	
簡易SPI	スレーブアクセス時間	$2.4V \leq VCC \leq 5.5V$	t_{SA}	—	6	t_{PBcyc}	図 2.51、 図 2.52	
		$1.8V \leq VCC < 2.4V$		$24MHz < PCLKB \leq 32MHz$	—			7
				$PCLKB \leq 24MHz$	—			6
		$1.6V \leq VCC < 1.8V$		—	6			
	スレーブ出力開放時間	$2.4V \leq VCC \leq 5.5V$	t_{REL}	—	6	t_{PBcyc}		
		$1.8V \leq VCC < 2.4V$		$24MHz < PCLKB \leq 32MHz$	—			7
				$PCLKB \leq 24MHz$	—			6
		$1.6V \leq VCC < 1.8V$		—	6			

注1. t_{PBcyc} : PCLKBの周期

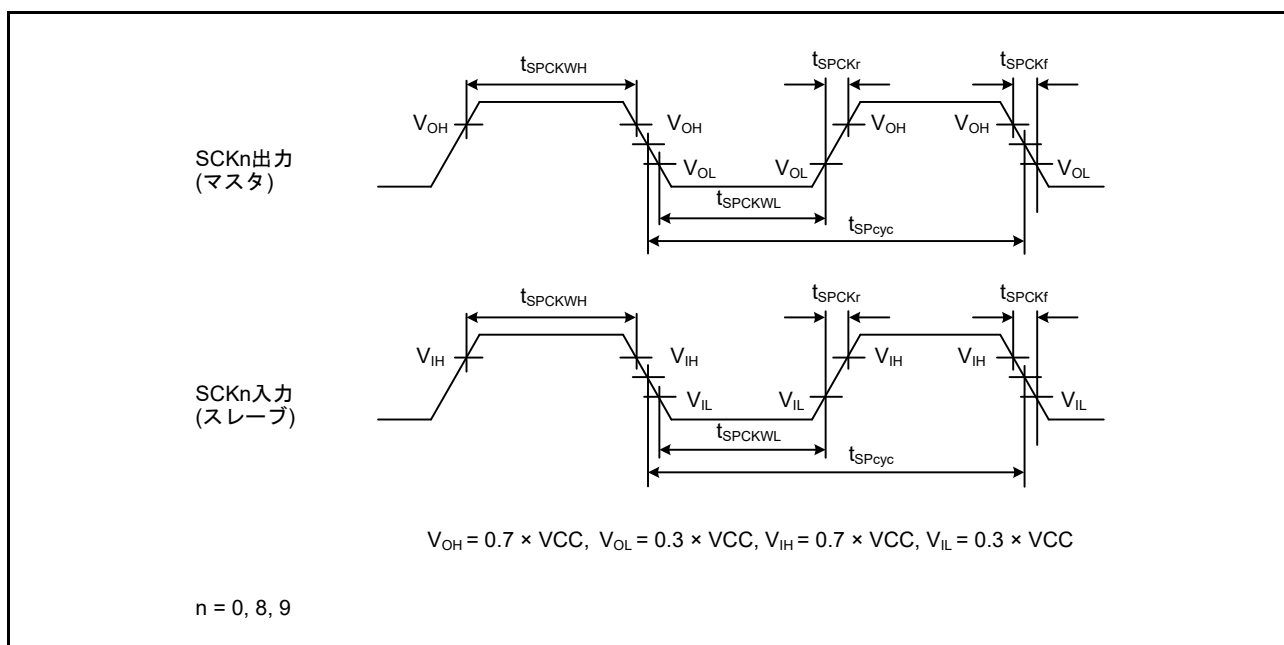


図 2.48 簡易SPIクロックタイミング

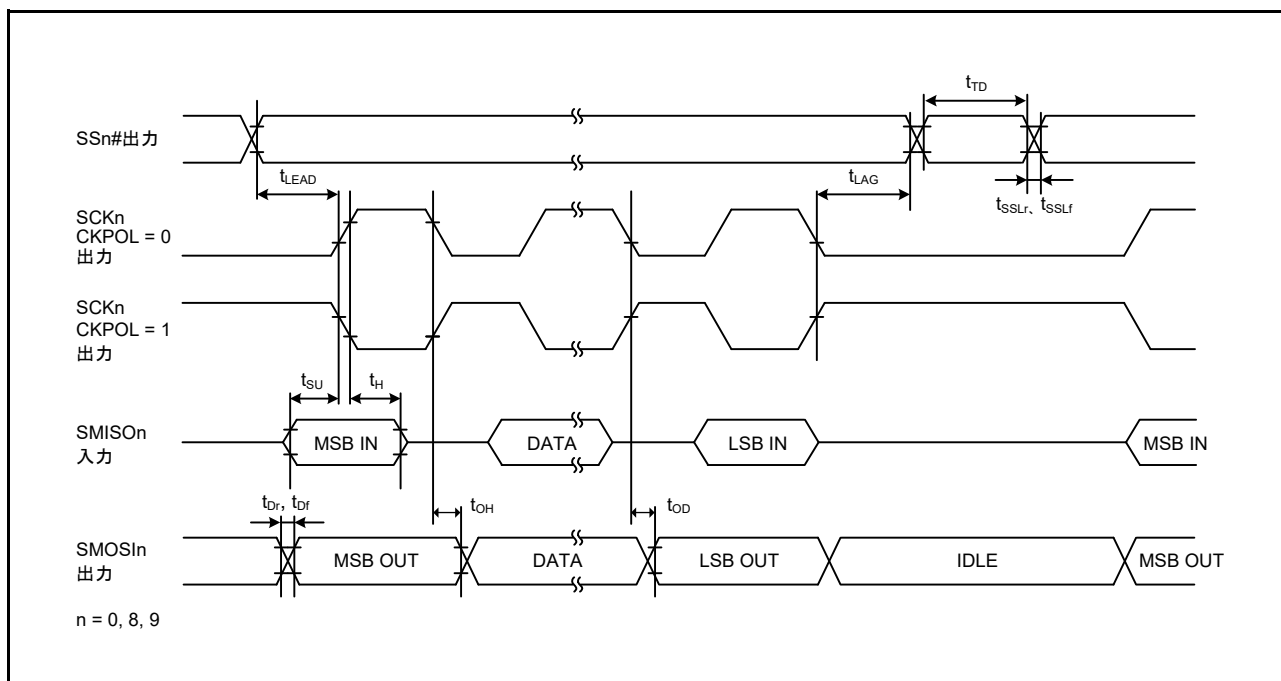


図 2.49 簡易 SPI クロックタイミング (マスタ、CPHA = 1)

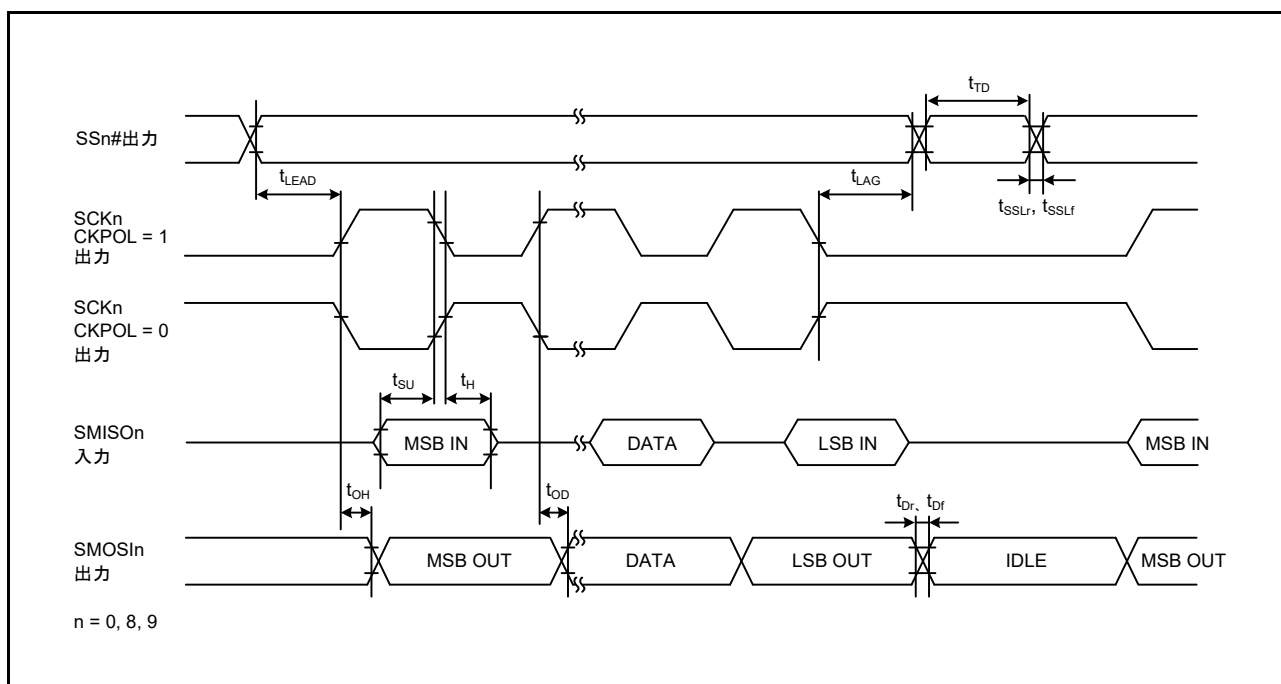


図 2.50 簡易 SPI クロックタイミング (マスタ、CPHA = 0)

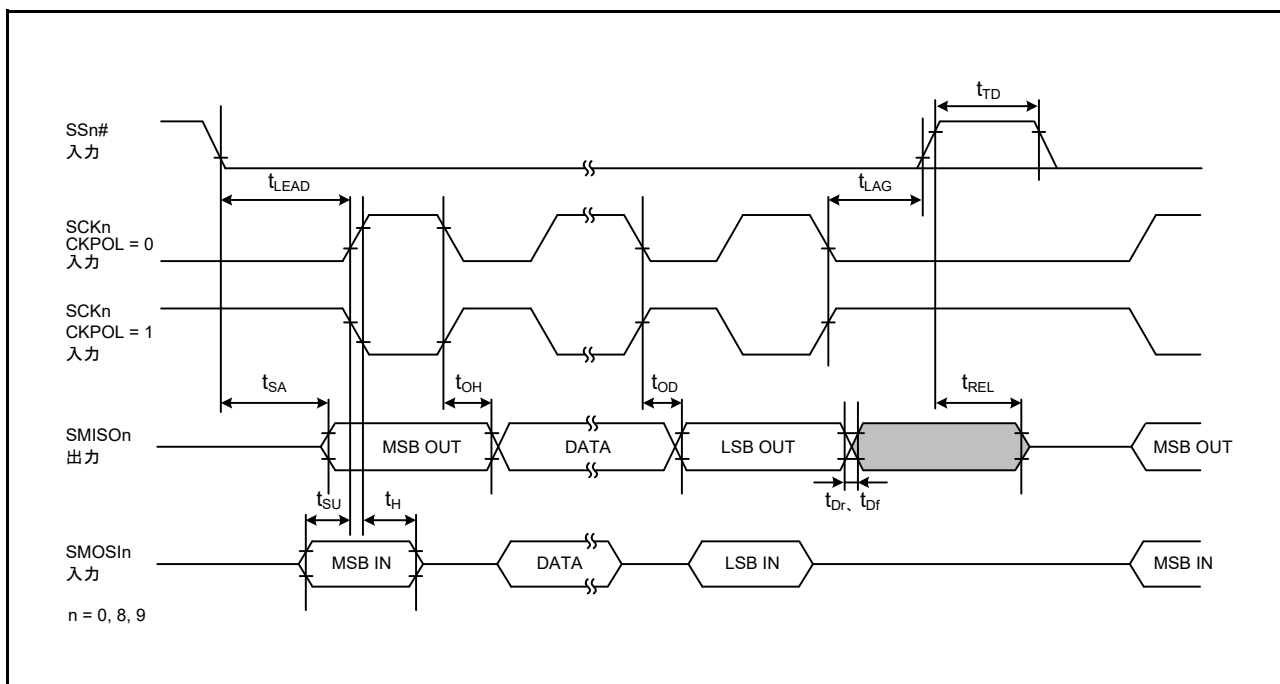


図 2.51 簡易 SPI クロックタイミング (スレーブ、CPHA = 1)

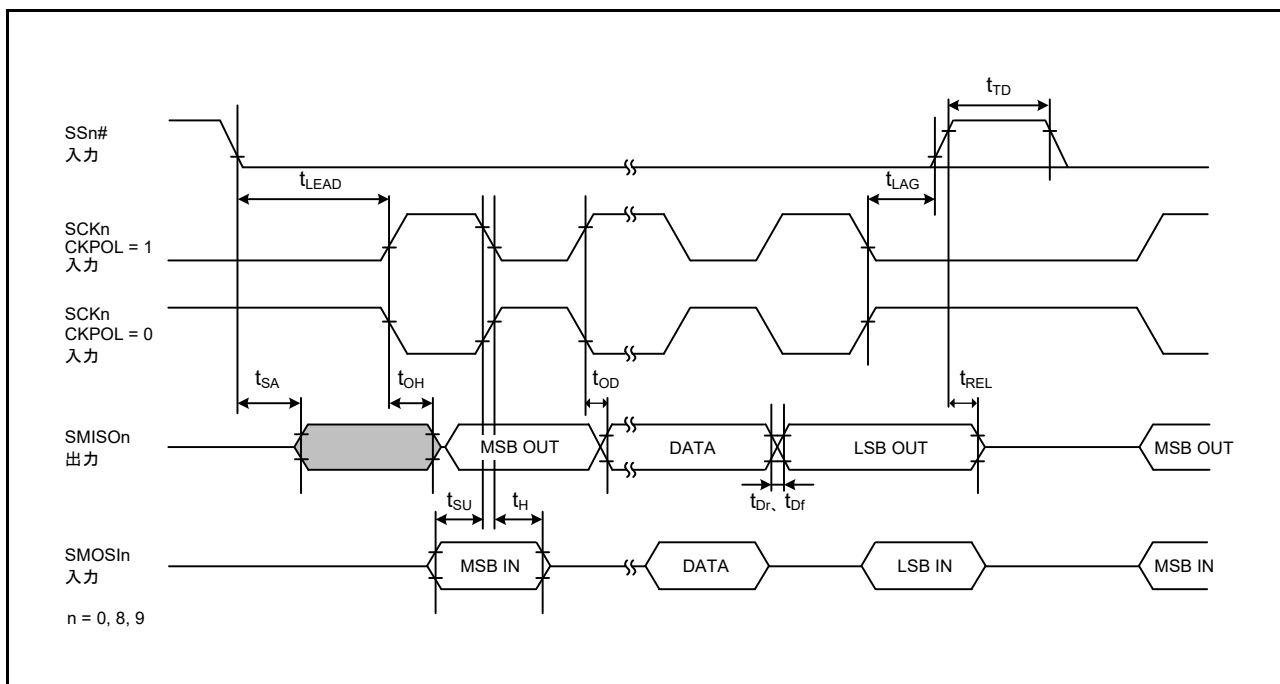


図 2.52 簡易 SPI クロックタイミング (スレーブ、CPHA = 0)

2.5.6.7 RIIC

表2.57 RIICタイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min (注1)	max	単位	測定条件	
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 1300	—	ns	図2.53
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件セットアップ時間	t _{STOS}	1000	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IIcCyc} + 600	—	ns	図2.53
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IIcCyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IIcCyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IIcCyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	300	—	ns	
	停止条件セットアップ時間	t _{STOS}	300	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	

注. t_{IIcCyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

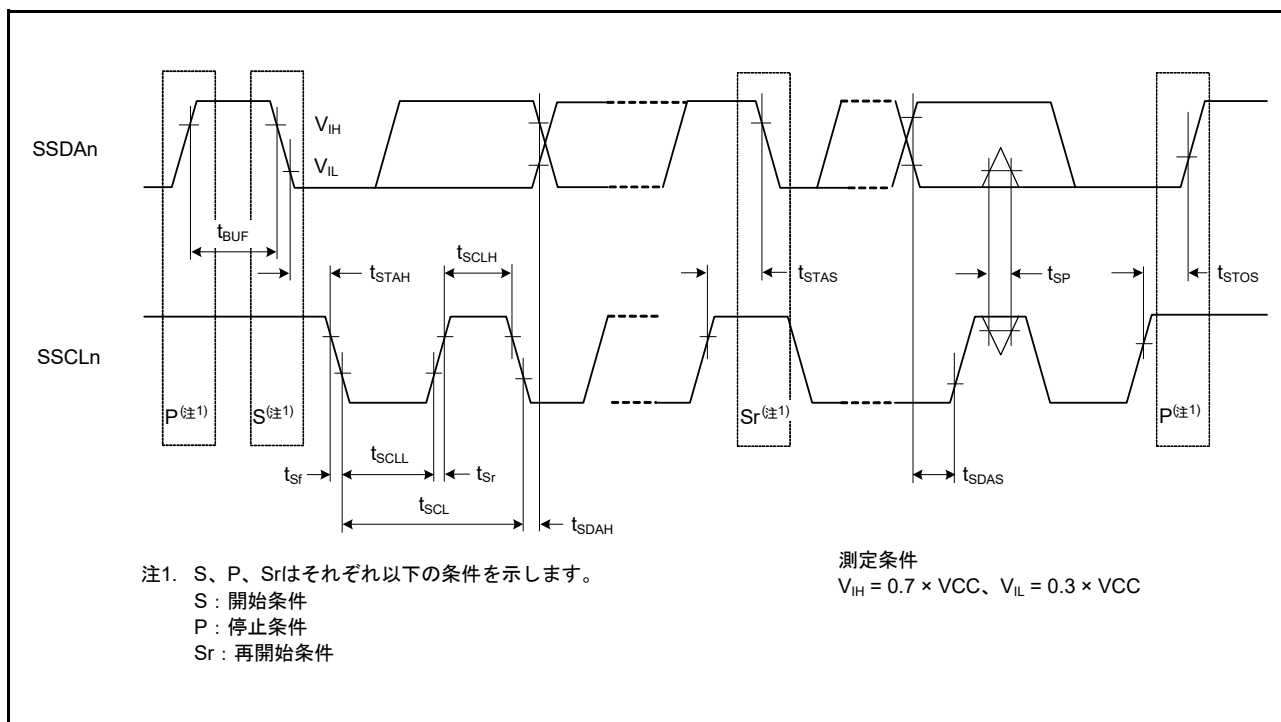


図 2.53 RIIC バスインタフェース入出力タイミング

2.5.6.8 RSPI

表2.58 RSPIタイミング (1/2)

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$, $C = 30pF$,
出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位	測定条件	
RSPI	RSPCKクロック サイクル	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{SPcyc}	2	4096	t_{PBcyc} (注1)	図2.54
			$1.8V \leq VCC < 2.7V$		4	4096		
			$1.6V \leq VCC < 1.8V$		2	4096		
		スレーブ	$2.7V \leq VCC \leq 5.5V$		4	—		
			$2.4V \leq VCC < 2.7V$		6	—		
			$1.8V \leq VCC < 2.4V$		8	—		
			$1.6V \leq VCC < 1.8V$		4	—		
	RSPCKクロック Highレベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—	ns	
	RSPCKクロック Lowレベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ			$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$	—	ns	
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	$2.7V \leq VCC \leq 5.5V$	t_{SPCKr} , t_{SPCKf}	—	10	ns	
			$2.4V \leq VCC < 2.7V$		—	15		
			$1.8V \leq VCC < 2.4V$		—	20		
$1.6V \leq VCC < 1.8V$			—		30			
入力			—		0.1	$\mu s/V$		
データ入力セット アップ時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{SU}	10	—	ns	図2.55 ~ 図2.60	
		$1.8V \leq VCC < 2.7V$		30	—			
		$1.6V \leq VCC < 1.8V$		10	—			
	スレーブ	$2.4V \leq VCC \leq 5.5V$		10	—			
		$1.8V \leq VCC < 2.4V$		15	—			
		$1.6V \leq VCC < 1.8V$		20	—			
データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{PBcyc}	—	ns		
		RSPCKをPCLKB の2分周に設定	t_{HF}	0	—			
	スレーブ		t_H	20	—			
SSLセットアップ 時間	マスタ	$1.8V \leq VCC \leq 5.5V$	t_{LEAD}	$-30 + N$ (注2) \times t_{SPcyc}	—	ns		
		$1.6V \leq VCC < 1.8V$		$-50 + N$ (注2) \times t_{SPcyc}	—			
	スレーブ			6	—	t_{PBcyc}		
SSLホールド時間	マスタ		t_{LAG}	$-30 + N$ (注3) \times t_{SPcyc}	—	ns		
		スレーブ			6		—	t_{PBcyc}

表2.58 RSPIタイミング (2/2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C, C = 30pF,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目			記号	min	max	単位	測定条件	
RSPI	データ出力遅延時間	マスタ	2.7V ≤ VCC ≤ 5.5V	t _{OD}	—	14	ns	図2.55～ 図2.60
			2.4V ≤ VCC < 2.7V		—	20		
			1.8V ≤ VCC < 2.4V		—	25		
			1.6V ≤ VCC < 1.8V		—	30		
		スレーブ	2.7V ≤ VCC ≤ 5.5V		—	50		
			2.4V ≤ VCC < 2.7V		—	60		
			1.8V ≤ VCC < 2.4V		—	85		
			1.6V ≤ VCC < 1.8V		—	110		
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{PBcyc}	8 × t _{SPcyc} + 2 × t _{PBcyc}	ns			
	スレーブ		6 × t _{PBcyc}	—				
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V	t _{Dr} , t _{Df}	—	10	ns		
		2.4V ≤ VCC < 2.7V		—	15			
		1.8V ≤ VCC < 2.4V		—	20			
		1.6V ≤ VCC < 1.8V		—	30			
	入力	—		1	μs			
SSL立ち上がり/ 立ち下がり時間	出力	2.7V ≤ VCC ≤ 5.5V	t _{SSLr} , t _{SSLf}	—	10	ns		
		2.4V ≤ VCC < 2.7V		—	15	ns		
		1.8V ≤ VCC < 2.4V		—	20	ns		
		1.6V ≤ VCC < 1.8V		—	30	ns		
	入力	—		1	μs			
スレーブアクセス時間	2.4V ≤ VCC ≤ 5.5V	t _{SA}	—	2 × t _{PBcyc} + 100	ns	図2.59、図2.60		
	1.8V ≤ VCC < 2.4V		—	2 × t _{PBcyc} + 140	ns			
	1.6V ≤ VCC < 1.8V		—	2 × t _{PBcyc} + 180	ns			
スレーブ出力開放時間	2.4V ≤ VCC ≤ 5.5V	t _{REL}	—	2 × t _{PBcyc} + 100	ns			
	1.8V ≤ VCC < 2.4V		—	2 × t _{PBcyc} + 140	ns			
	1.6V ≤ VCC < 1.8V		—	2 × t _{PBcyc} + 180	ns			

注1. t_{PBcyc} : PCLKBの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD)にて設定可能な1～8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1～8の整数

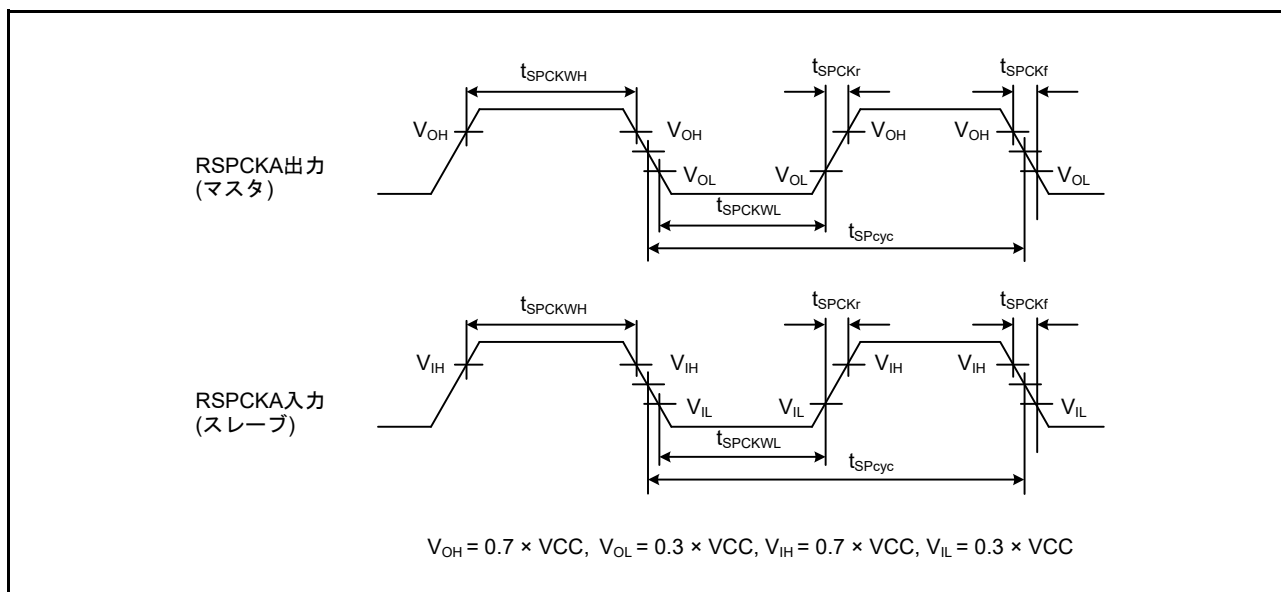


図 2.54 RSPCKA クロックタイミング

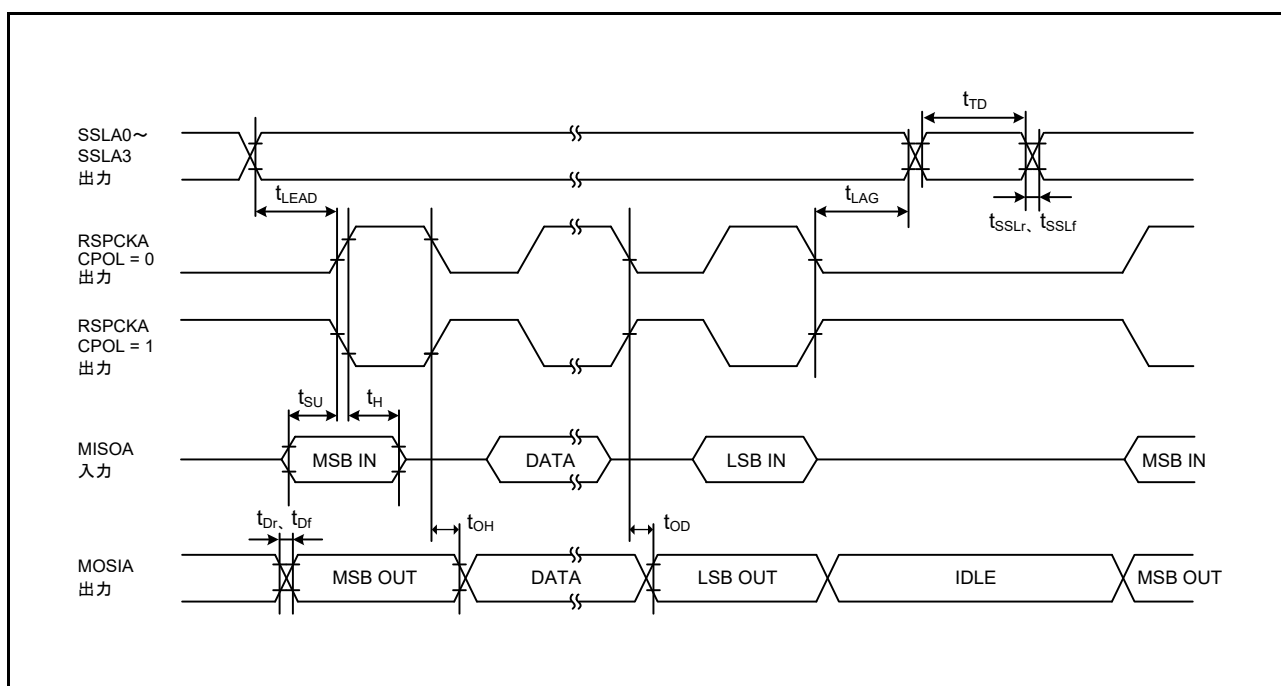


図 2.55 RSPCKA タイミング (マスター、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

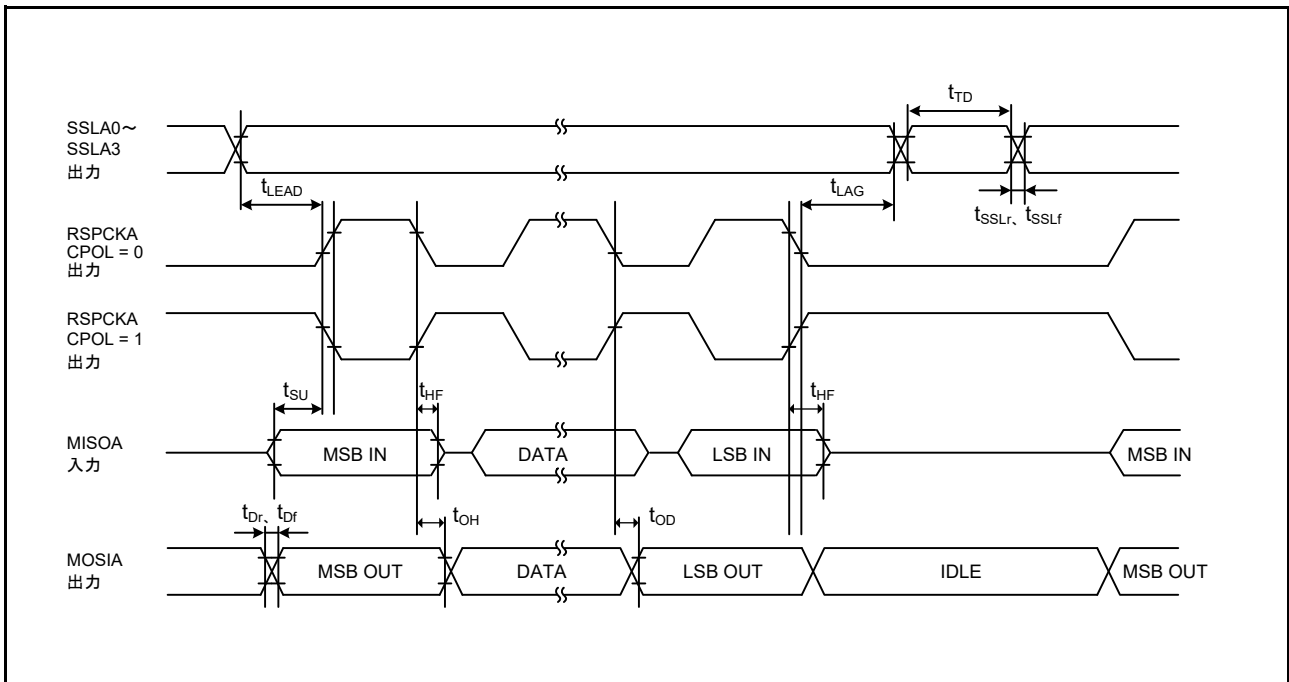


図 2.56 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

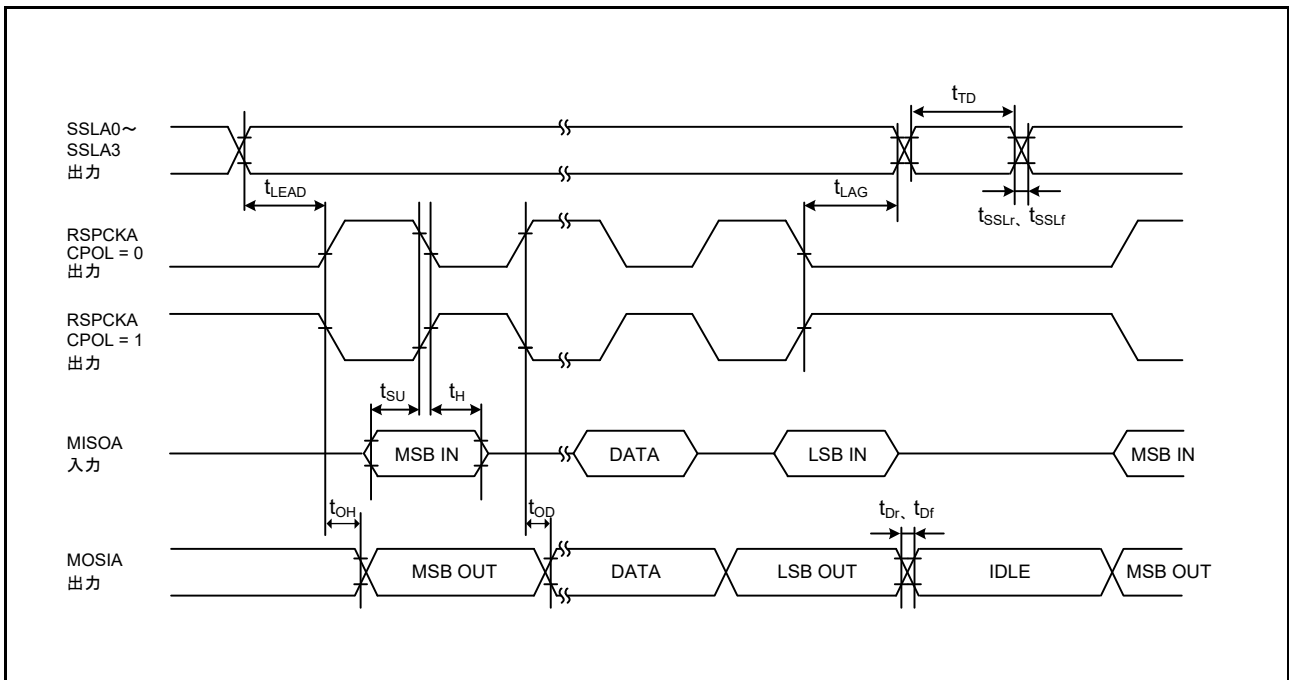


図 2.57 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

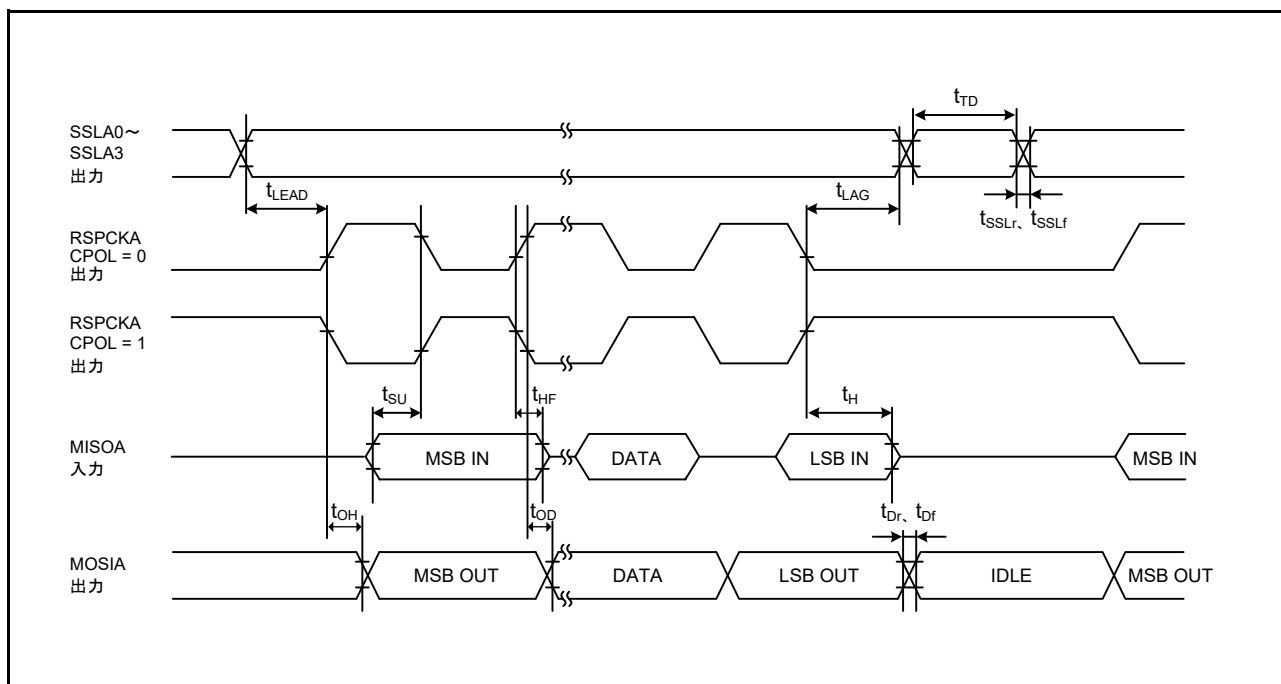


図 2.58 RSPi タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

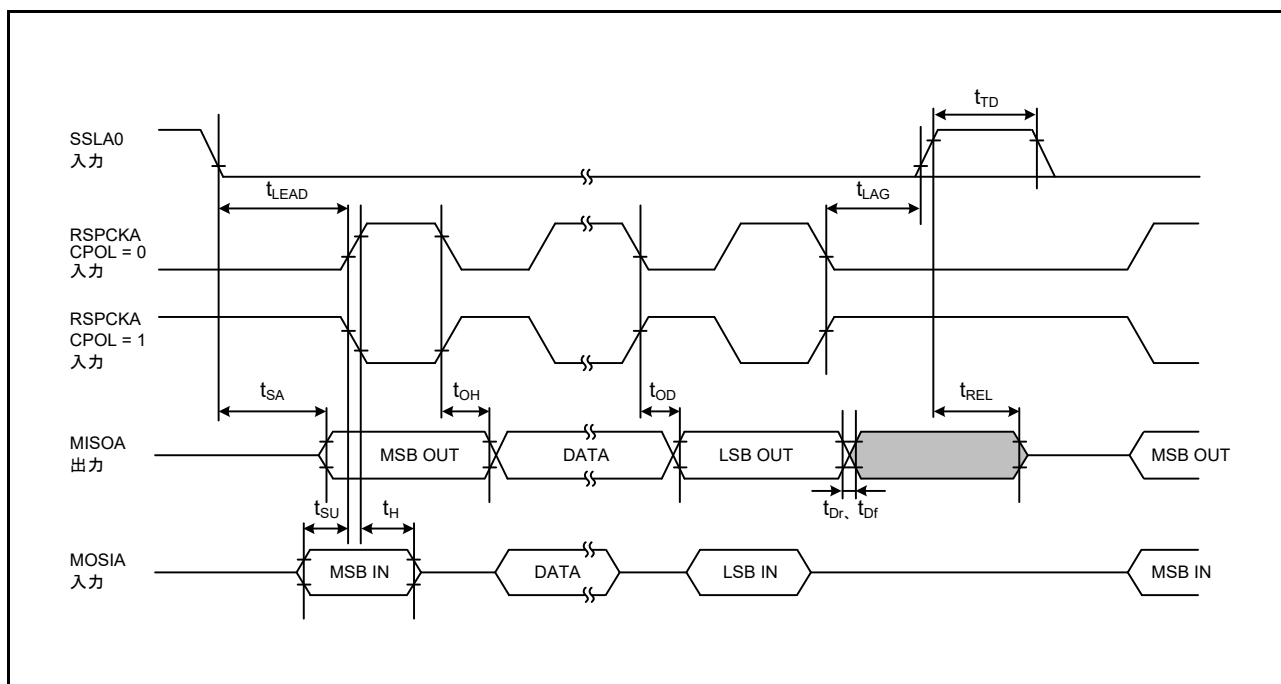


図 2.59 RSPi タイミング (スレーブ、CPHA = 0)

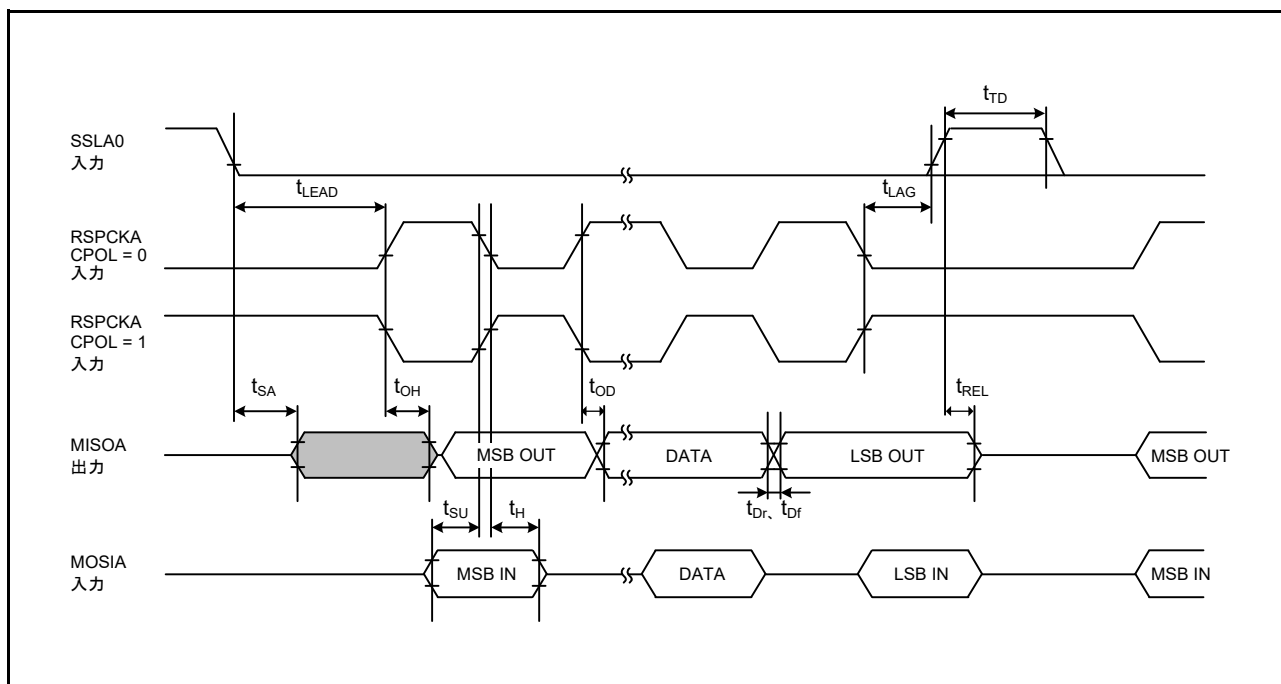


図 2.60 RSPi タイミング (スレーブ、CPHA = 1)

2.5.6.9 CANFD

表2.59 CANFDタイミング

条件： $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$,出力負荷条件： $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目	記号	min	max	単位	測定条件
内部遅延時間	t_{NODE}	—	50	ns	図 2.61
		—	75		

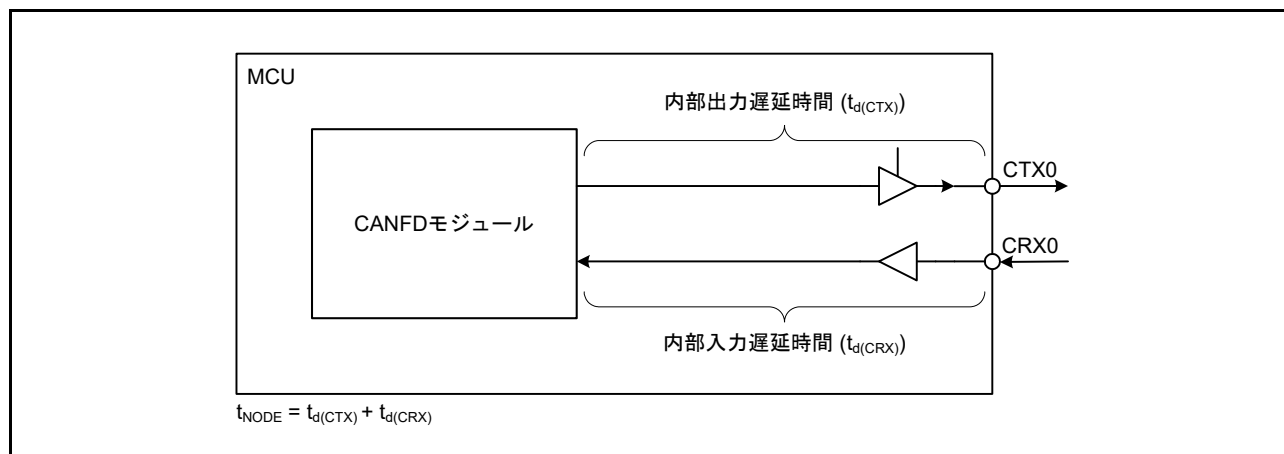


図 2.61 内部遅延時間の定義

2.5.6.10 A/Dコンバータトリガ

表2.60 A/Dコンバータトリガタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	トリガ入力パルス幅	t _{TRGW}	1.5	—	t _{PBcyc}	図2.62

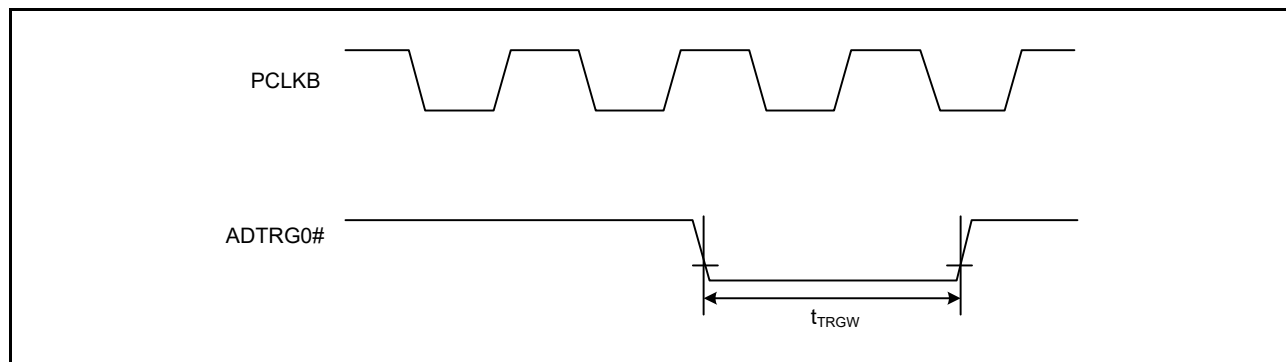
注1. t_{PBcyc} : PCLKBの周期

図 2.62 A/Dコンバータ外部トリガ入力タイミング

2.5.6.11 CAC

表2.61 CACタイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	t _{CACREF}	t _{PBcyc} ≤ t _{cac} (注2)	4.5 t _{cac} + 3 t _{PBcyc}	—	ns
			t _{PBcyc} > t _{cac} (注2)	5 t _{cac} + 6.5 t _{PBcyc}		
	CACREF入力立ち上がり/立ち下がり時間	t _{CACREFr} , t _{CACREFf}	—	0.1	μs/V	

注1. t_{PBcyc} : PCLKBの周期注2. t_{cac} : CACカウントクロックソースの周期

2.5.6.12 CLKOUT

表2.62 CLKOUT タイミング

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C,
出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注2)	t _{Cyc}	2.7V ≤ VCC ≤ 5.5V	62.5	—	ns	図2.63
			1.8V ≤ VCC < 2.7V	125			
			1.6V ≤ VCC < 1.8V	250			
	CLKOUT 端子 High レベルパルス幅 (注1)	t _{CH}	2.7V ≤ VCC ≤ 5.5V	15	—	ns	
			1.8V ≤ VCC < 2.7V	30			
			1.6V ≤ VCC < 1.8V	80			
	CLKOUT 端子 Low レベルパルス幅 (注1)	t _{CL}	2.7V ≤ VCC ≤ 5.5V	15	—	ns	
			1.8V ≤ VCC < 2.7V	30			
			1.6V ≤ VCC < 1.8V	80			
	CLKOUT 端子出力立ち上がり時間	t _{Cr}	2.7V ≤ VCC ≤ 5.5V	—	12	ns	
			1.8V ≤ VCC < 2.7V	—	25		
			1.6V ≤ VCC < 1.8V	—	30		
CLKOUT 端子出力立ち下がり時間	t _{Cf}	2.7V ≤ VCC ≤ 5.5V	—	12	ns		
		1.8V ≤ VCC < 2.7V	—	25			
		1.6V ≤ VCC < 1.8V	—	30			

注1. クロック出力ソースに LOCO 選択 (CKOCR.CKOSSEL[3:0] ビット = 0000b) の場合は、クロック出力分周比選択を2分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注2. XTAL 外部クロック入力または発振子を使用して1分周 (CKOCR.CKOSSEL[3:0] ビット = 0010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比 45 ~ 55% で上記を満たします。

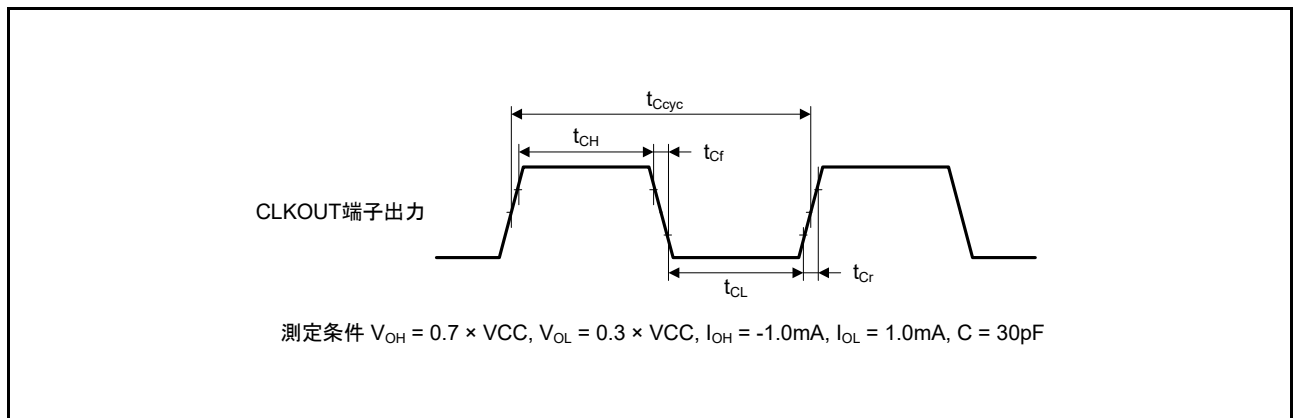


図 2.63 CLKOUT 出力タイミング

2.6 USB 特性

表2.63 USB特性 (USB0_DP、USB0_DM端子特性)

条件 : 3.0V ≤ VCC ≤ 3.6V、3.0V ≤ AVCC0 ≤ 3.6V、VSS = AVSS0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	max	単位	測定条件	
入力特性	入力Highレベル電圧	V _{IH}	2.0	—	V		
	入力Lowレベル電圧	V _{IL}	—	0.8	V		
	差動入力感度	V _{DI}	0.2	—	V	USB0_DP - USB0_DM	
	差動コモンモードレンジ	V _{CM}	0.8	2.5	V		
出力特性	出力Highレベル電圧	V _{OH}	2.8	VCC	V	I _{OH} = -200μA	
	出力Lowレベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V	図2.64、 図2.65	
	立ち上がり時間	FS	t _r	4	20		ns
		LS		75	300		
	立ち下がり時間	FS	t _f	4	20		ns
		LS		75	300		
	立ち上がり/ 立ち下がり時間比	FS	t _r /t _f	90	111.11		%
LS		80		125			
出力抵抗		Z _{DRV}	28	44	Ω		(外部素子による抵抗調整不要)
ブルアップ、ブルダウン	ブルダウン抵抗	R _{PD}	14.25	24.80	kΩ		
	ブルアップ抵抗	R _{PUI}	0.9	1.575	kΩ	アイドル時	
		R _{PUA}	1.425	3.09	kΩ	送受信時	

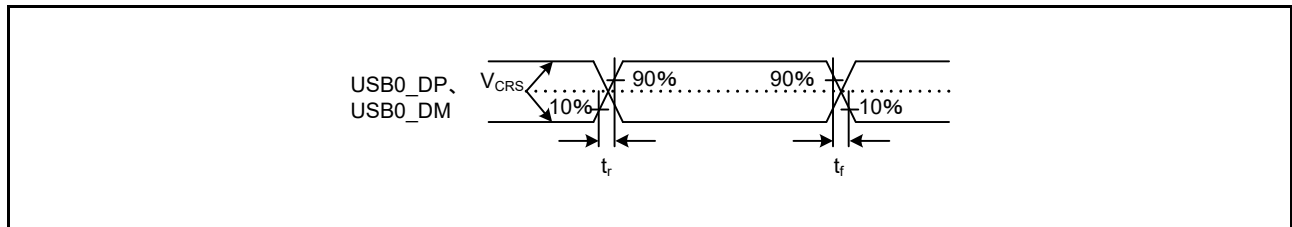


図 2.64 USB0_DP、USB0_DM 出力タイミング

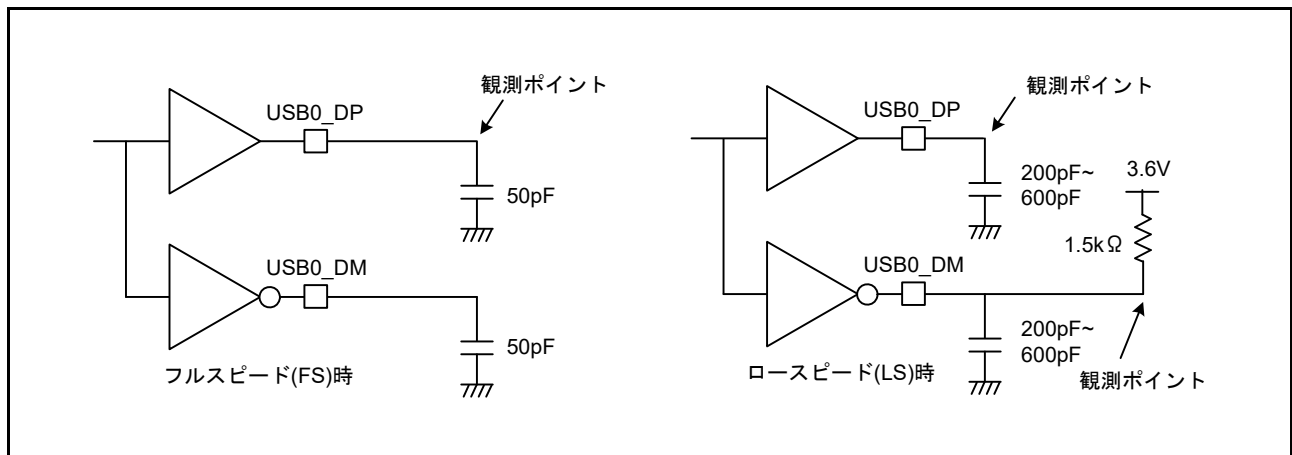


図 2.65 測定回路

2.7 A/D 変換特性

表 2.64 A/D変換特性(1)

条件：4.5V ≤ VCC ≤ 5.5V, 4.5V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 0.5kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	64	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 64MHz時)	0.50 (0.156) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
	0.97 (0.625) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャンネル
		—	—		10(注3)
アナログ入力抵抗	Rs	—	—	kΩ	高精度チャンネル
		—	—		5.0(注3)
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.0	LSB	高精度チャンネル
			±8.0	LSB	上記以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.65 A/D変換特性(2)

条件： $2.7V \leq VCC \leq 5.5V$, $2.7V \leq VREFH0 = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号源インピーダンス = $0.3k\Omega$
 VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	48	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 48MHz時)	0.67 (0.208) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
	1.29 (0.833) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	g(注3)	高精度チャンネル
		—	—	10(注3)	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	高精度チャンネル
		—	—	6.0(注3)	通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 1.0	± 4.5	LSB	高精度チャンネル
			± 6.0	LSB	上記以外
フルスケール誤差	—	± 1.0	± 4.5	LSB	高精度チャンネル
			± 6.0	LSB	上記以外
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 2.5	± 5.5	LSB	高精度チャンネル
			± 8.5	LSB	上記以外
DNL 微分非直線性誤差	—	± 1.0	—	LSB	
INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.66 A/D変換特性(3)

条件： $2.4V \leq VCC \leq 5.5V$, $2.4V \leq VREFH0 = AVCC0 \leq 5.5V$, $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号源インピーダンス = $1.3k\Omega$
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件	
周波数	1	—	32	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 32MHz時)	1.00 (0.313) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1	
	1.94 (1.250) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1	
アナログ入力容量	Cs	—	—	9(注3)	pF	高精度チャンネル
		—	—	10(注3)		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	k Ω	高精度チャンネル
		—	—	7.0(注3)		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	± 1.0	± 4.5	LSB	高精度チャンネル	
				± 6.0	LSB	上記以外
フルスケール誤差	—	± 1.0	± 4.5	LSB	高精度チャンネル	
				± 6.0	LSB	上記以外
量子化誤差	—	± 0.5	—	LSB		
絶対精度	—	± 2.5	± 5.5	LSB	高精度チャンネル	
				± 8.5	LSB	上記以外
DNL 微分非直線性誤差	—	± 1.0	—	LSB		
INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.67 A/D変換特性(4)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 1.1kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件	
周波数	1	—	24	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 24MHz時)	1.58 (0.417) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1	
	2.00 (0.833) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1	
アナログ入力容量	Cs	—	—	9(注3)	pF	高精度チャンネル
		—	—	10(注3)		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	1.9(注3)	kΩ	高精度チャンネル
		—	—	6(注3)		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±1.25	±4.5	LSB	高精度チャンネル	
			±6.0	LSB	上記以外	
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル	
			±6.0	LSB	上記以外	
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±2.5	±5.5	LSB	高精度チャンネル	
			±8.5	LSB	上記以外	
DNL 微分非直線性誤差	—	±1.0	—	LSB		
INL 積分非直線性誤差	—	±1.5	±3.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.68 A/D変換特性(5)

条件：2.4V ≤ VCC ≤ 5.5V, 2.4V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 2.2kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	16	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 16MHz時)	2.38 (0.625) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1
	3.00 (1.250) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	9(注3)	高精度チャンネル
		—	—	10(注3)	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.2(注3)	高精度チャンネル
		—	—	7(注3)	通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.25	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
フルスケール誤差	—	±1.0	±4.5	LSB	高精度チャンネル
			±6.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±2.5	±5.5	LSB	高精度チャンネル
			±8.5	LSB	上記以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.69 A/D変換特性(6)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 5kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	8	MHz	
分解能	—	—	12	ビット	
変換時間(注1) (PCLKD = 8MHz時)	4.75 (1.250) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1
	6.00 (2.500) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力抵抗	Rs	—	—	kΩ	高精度チャンネル
		—	—		通常精度チャンネル
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャンネル
			±10.0	LSB	上記以外
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャンネル
			±10.0	LSB	上記以外
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±3.0	±8.0	LSB	高精度チャンネル
			±11.0	LSB	上記以外
DNL 微分非直線性誤差	—	±1.25	—	LSB	
INL 積分非直線性誤差	—	±1.5	±3.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表 2.70 A/D変換特性(7)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40 ~ +105°C, 信号源インピーダンス = 9.9kΩ
VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件	
周波数	1	—	4	MHz		
分解能	—	—	12	ビット		
変換時間(注1) (PCLKD = 4MHz時)	9.50 (2.500) (注2)	—	—	μs	高精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 0Ah ADCCR.CCS = 1	
	12.00 (5.000) (注2)	—	—		通常精度チャンネル ADCSR.ADHSCビット= 1 ADSSTRn = 14h ADCCR.CCS = 1	
アナログ入力容量	Cs	—	—	g(注3)	pF	高精度チャンネル
		—	—			10(注3)
アナログ入力抵抗	Rs	—	—	12(注3)	kΩ	高精度チャンネル
		—	—			28(注3)
アナログ入力電圧有効範囲	0	—	VREFH0	V		
オフセット誤差	—	±1.25	±7.5	LSB	高精度チャンネル	
			±10.0	LSB	上記以外	
フルスケール誤差	—	±1.5	±7.5	LSB	高精度チャンネル	
			±10.0	LSB	上記以外	
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	±3.0	±8.0	LSB	高精度チャンネル	
			±11.0	LSB	上記以外	
DNL 微分非直線性誤差	—	±1.25	—	LSB		
INL 積分非直線性誤差	—	±1.5	±3.5	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

注3. 参考値

表2.71 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000～AN007	AVCC0 = 1.6～5.5V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャンネル	AN016～AN031		
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 1.6～5.5V	
温度センサ入力チャンネル	温度センサ出力	AVCC0 = 1.6～5.5V	
CTSU入力チャンネル	AN008	AVCC0 = 1.6～5.5V	

表2.72 A/D内部基準電圧特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.6V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40～+105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル(注1)	1.42	1.48	1.54	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

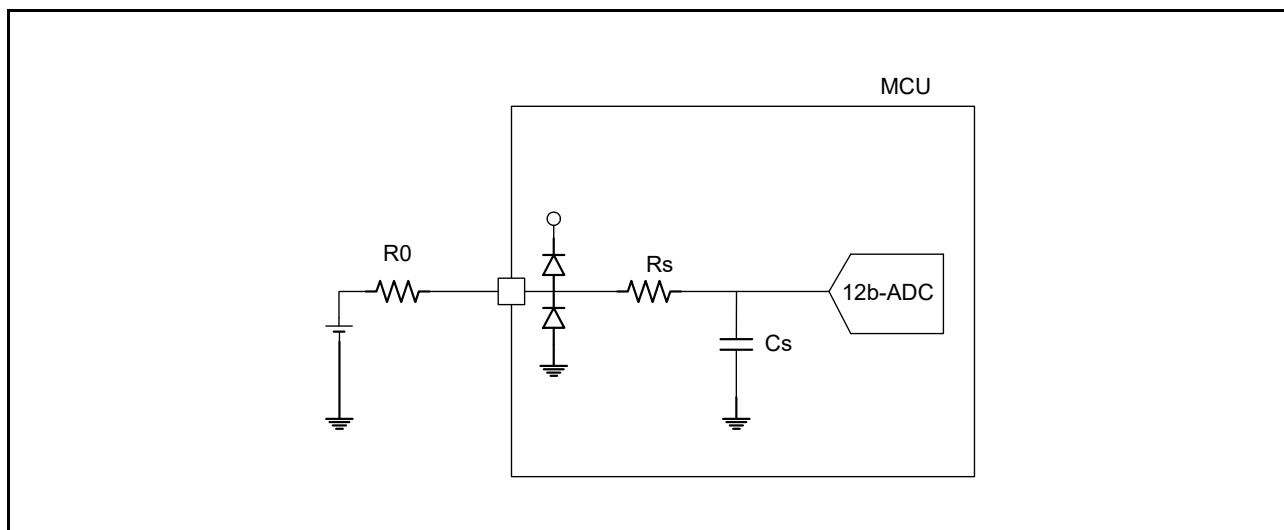


図 2.66 等価回路

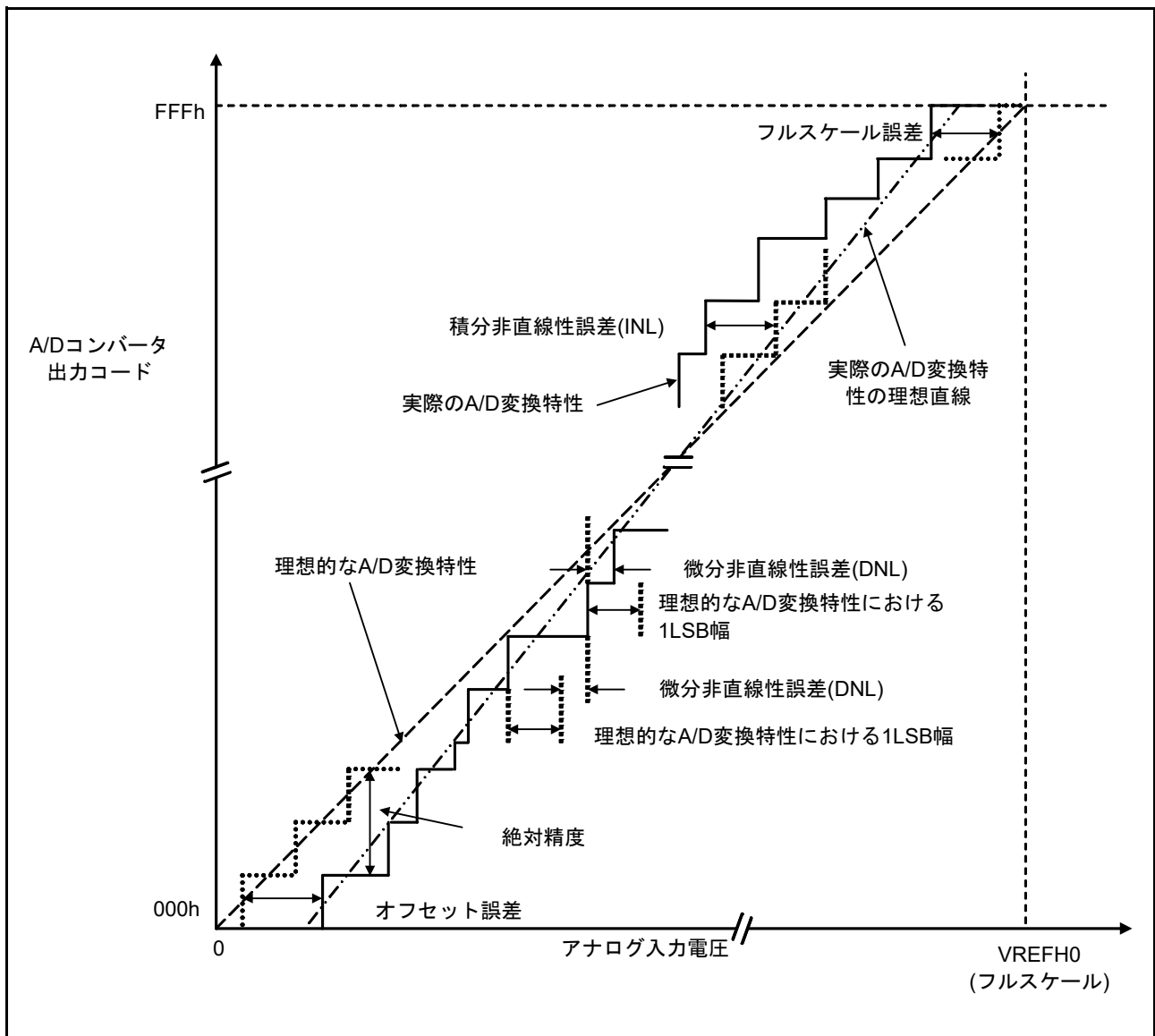


図 2.67 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 ($V_{REFH0} = 3.072V$) の場合、1LSB 幅は $0.75mV$ で、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$... を使用します。

絶対精度 $\pm 5LSB$ とは、アナログ入力電圧が $6mV$ の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.8 D/A 変換特性

表 2.73 D/A 変換特性

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	AVCC0 = 1.6 ~ 5.5V t_{DCONV}	—	—	3.0	μs	負荷容量 35pF
絶対精度	AVCC0 = 2.4 ~ 5.5V	—	—	± 3.0	LSB	負荷抵抗 2M Ω
	AVCC0 = 1.8 ~ 2.4V	—	—	± 3.5		
	AVCC0 = 1.6 ~ 1.8V	—	—	± 4.0		
	AVCC0 = 2.4 ~ 5.5V	—	—	± 2.0	LSB	負荷抵抗 4M Ω
	AVCC0 = 1.8 ~ 2.4V	—	—	± 2.5		
	AVCC0 = 1.6 ~ 1.8V	—	—	± 3.0		
RO出力抵抗	—	—	9.0	—	k Ω	

2.9 温度センサ特性

表2.74 温度センサ特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.3	—	mV/°C	
出力電位(25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

2.10 コンパレータ特性

表2.75 コンパレータ特性

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CVREFB0~CVREFB1入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0~CMPB1入力電圧	VI	0	—	VCC	V	
内部基準電圧(注1)	—	1.34	1.44	1.54	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/μs
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	μs	
	コンパレータ低速モード	Td	—	9.0	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76 × VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24 × VCC	—	V	
動作安定待ち時間 (高速モード)	VCC = 1.6V ~ 5.5V	T _{cmp}	100	—	—	μs
動作安定待ち時間 (低速モード)	VCC = 1.8V ~ 5.5V		100	—	—	
	VCC = 1.6V ~ 1.8V		1000	—	—	

注1. VCC < 1.8Vの場合、内部基準電圧は使用できません。

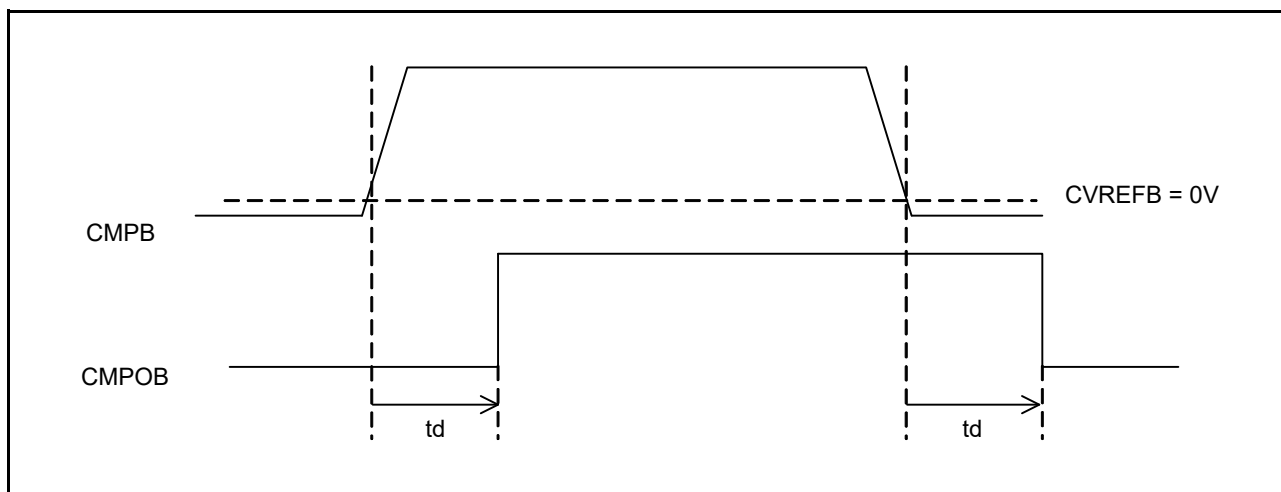


図 2.68 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

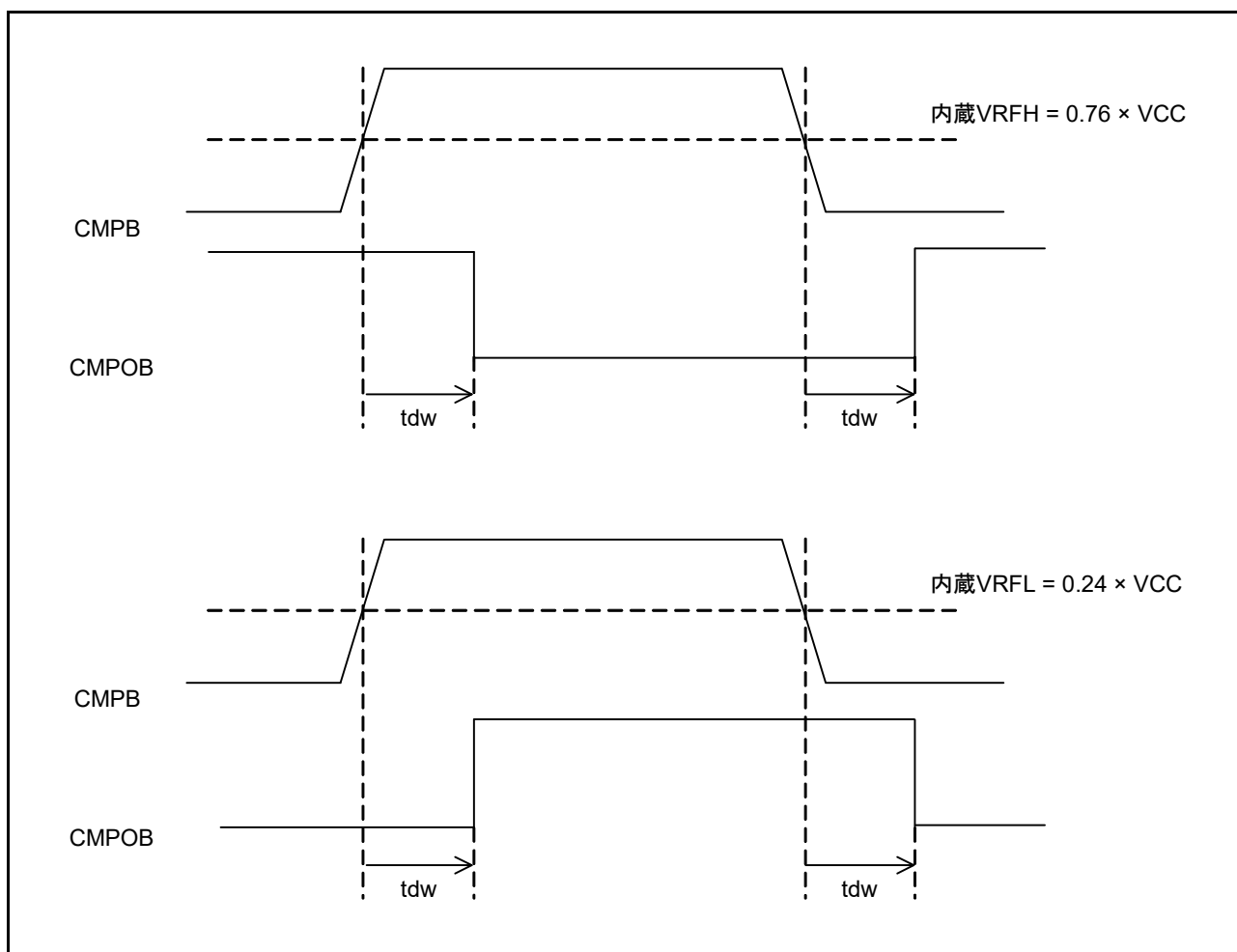


図 2.69 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

2.11 CTSU 特性

表 2.76 CTSU 特性

条件 : $1.8V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
TSCAP端子外付け容量	C_{tscap}	9	10	11	nF	

2.12 パワーオンリセット回路、電圧検出回路特性

表2.77 パワーオンリセット回路、電圧検出回路特性(1)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.46	1.50	1.54	V	図2.70、図2.71
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.85	3.97	V	図2.72 VCC立ち下がり時
		V _{det0_1}	2.70	2.85	3.00		
		V _{det0_2}	2.37	2.53	2.67		
		V _{det0_3}	1.80	1.90	1.99		
		V _{det0_4}	1.60	1.69	1.80		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図2.73 VCC立ち下がり時
		V _{det1_1}	3.98	4.16	4.28		
		V _{det1_2}	3.86	4.03	4.16		
		V _{det1_3}	3.68	3.86	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.80	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.59	2.67		
		V _{det1_A}	2.37	2.48	2.57		
		V _{det1_B}	2.10	2.20	2.30		
		V _{det1_C}	1.86	1.96	2.06		
		V _{det1_D}	1.80	1.86	1.96		
V _{det1_E}		1.69	1.75	1.81			
V _{det1_F}	1.60	1.65	1.70				
電圧検出回路 (LVD2) (注3)	V _{det2_0}	4.08	4.32	4.48	V	図2.74 VCC立ち下がり時	
	V _{det2_1}	3.95	4.17	4.35			
	V _{det2_2}	3.82	4.03	4.22			
	V _{det2_3}	3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet0_nのnは、OFS1.VDSEL2, VDSEL[1:0]ビットの値です。

注2. 記号Vdet1_nのnは、LVDLVL.R.LVD1LVL[3:0]ビットの値です。

注3. 記号Vdet2_nのnは、LVDLVL.R.LVD2LVL[1:0]ビットの値です。

表2.78 パワーオンリセット回路、電圧検出回路特性(2)

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時(注1)	t _{POR}	—	12.5	—	ms	図2.71
	起動時間短縮時(注2)	t _{POR}	—	5.0	—	ms	
電圧監視0リセット解除後待機時間		t _{LVD0}	—	880	—	μs	図2.72
電圧監視1リセット解除後待機時間	LVD0無効時(注4)	t _{LVD1}	—	180	—	μs	図2.73
	LVD0有効時(注5)		—	880	—	μs	
電圧監視2リセット解除後待機時間	LVD0無効時(注4)	t _{LVD2}	—	180	—	μs	図2.74
	LVD0有効時(注5)		—	880	—	μs	
POR応答遅延時間		t _{det}	—	—	500	μs	図2.70
LVD0応答遅延時間			—	—	500	μs	図2.70
LVD1応答遅延時間			—	—	360	μs	図2.70
LVD2応答遅延時間			—	—	600	μs	図2.70
POR/LVD0最小VCC低下時間(注3)		t _{VOFF}	500	—	—	μs	図2.70、VCC = 1.0V以上
LVD1最小VCC低下時間(注3)			300	—	—	μs	図2.70、VCC = 1.0V以上
LVD2最小VCC低下時間(注3)			600	—	—	μs	図2.70、VCC = 1.0V以上
パワーオンリセット有効時間		t _{W(POR)}	1	—	—	ms	図2.71、VCC = 1.0V未満
LVD1動作安定時間(LVD有効切り替え時)		t _{d(E-A)}	—	—	300	μs	図2.73
LVD2動作安定時間(LVD有効切り替え時)		t _{d(E-A)}	—	—	1200	μs	図2.74
ヒステリシス幅(パワーオンリセット(POR))		V _{PORH}	—	10	—	mV	
ヒステリシス幅(電圧検出回路(LVD0, LVD1, LVD2))		V _{LVH}	—	60	—	mV	Vdet0_0 ~ Vdet0_4 選択時
			—	110	—		Vdet1_0 ~ Vdet1_2 選択時
			—	70	—		Vdet1_3 ~ Vdet1_9 選択時
			—	60	—		Vdet1_A ~ Vdet1_B 選択時
			—	50	—		Vdet1_C ~ Vdet1_F 選択時
			—	90	—		LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

注4. OFS1.LVDAS = 1bを設定した場合です。

注5. OFS1.LVDAS = 0bを設定した場合です。

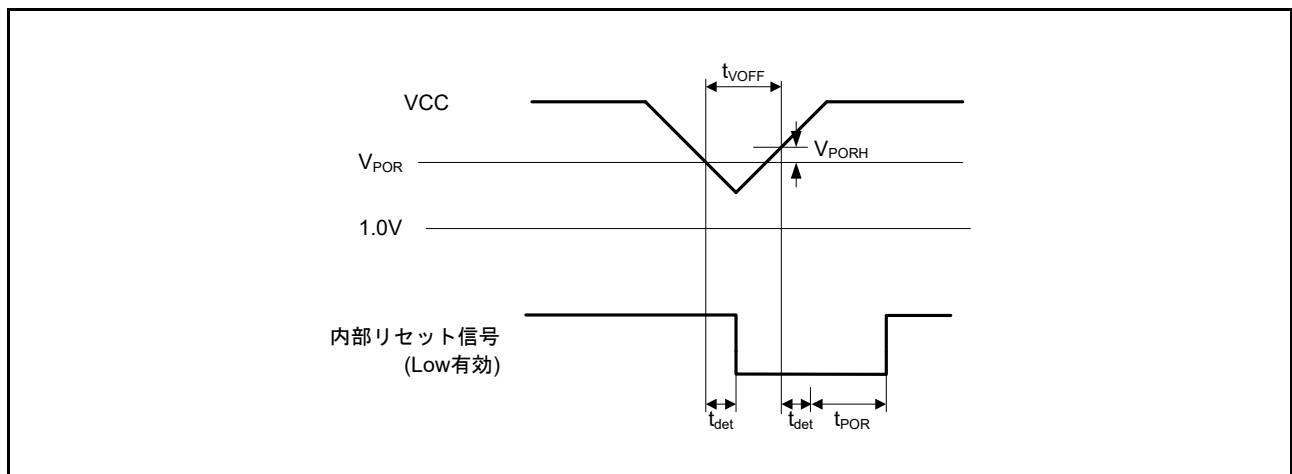


図2.70 電圧検出リセットタイミング

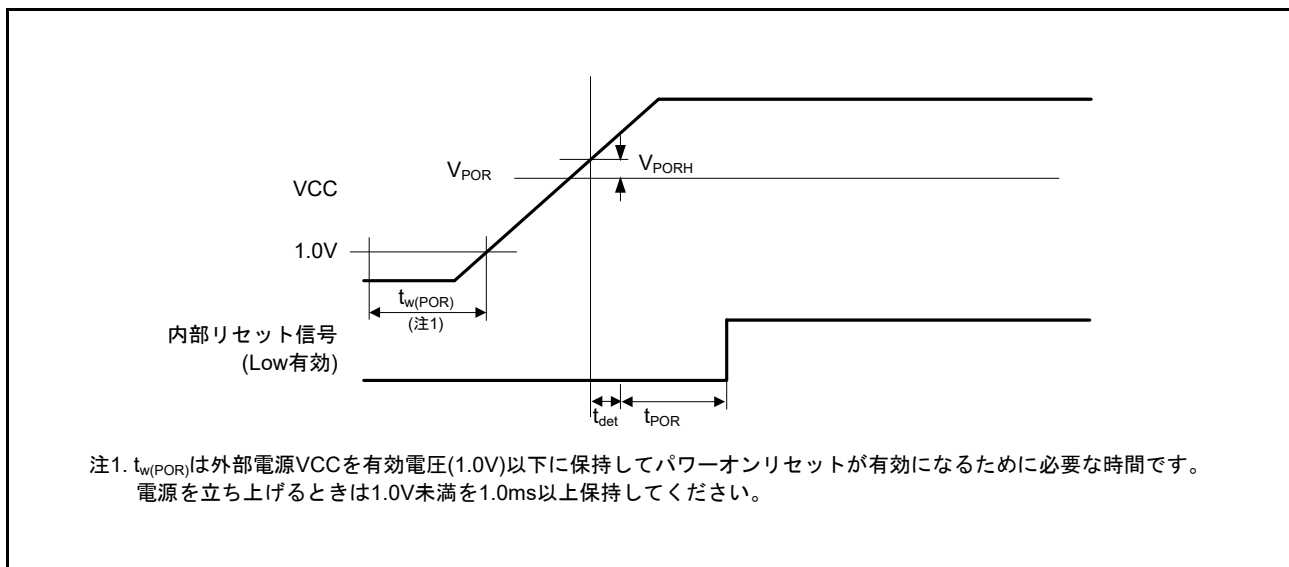
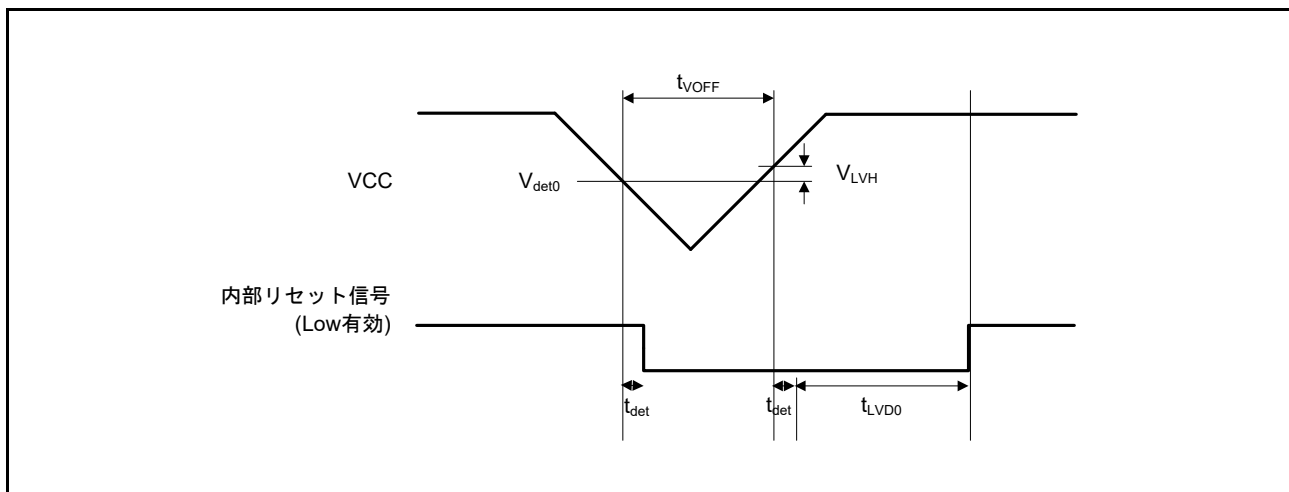


図 2.71 パワーオンリセットタイミング

図 2.72 電圧検出回路タイミング (V_{det0})

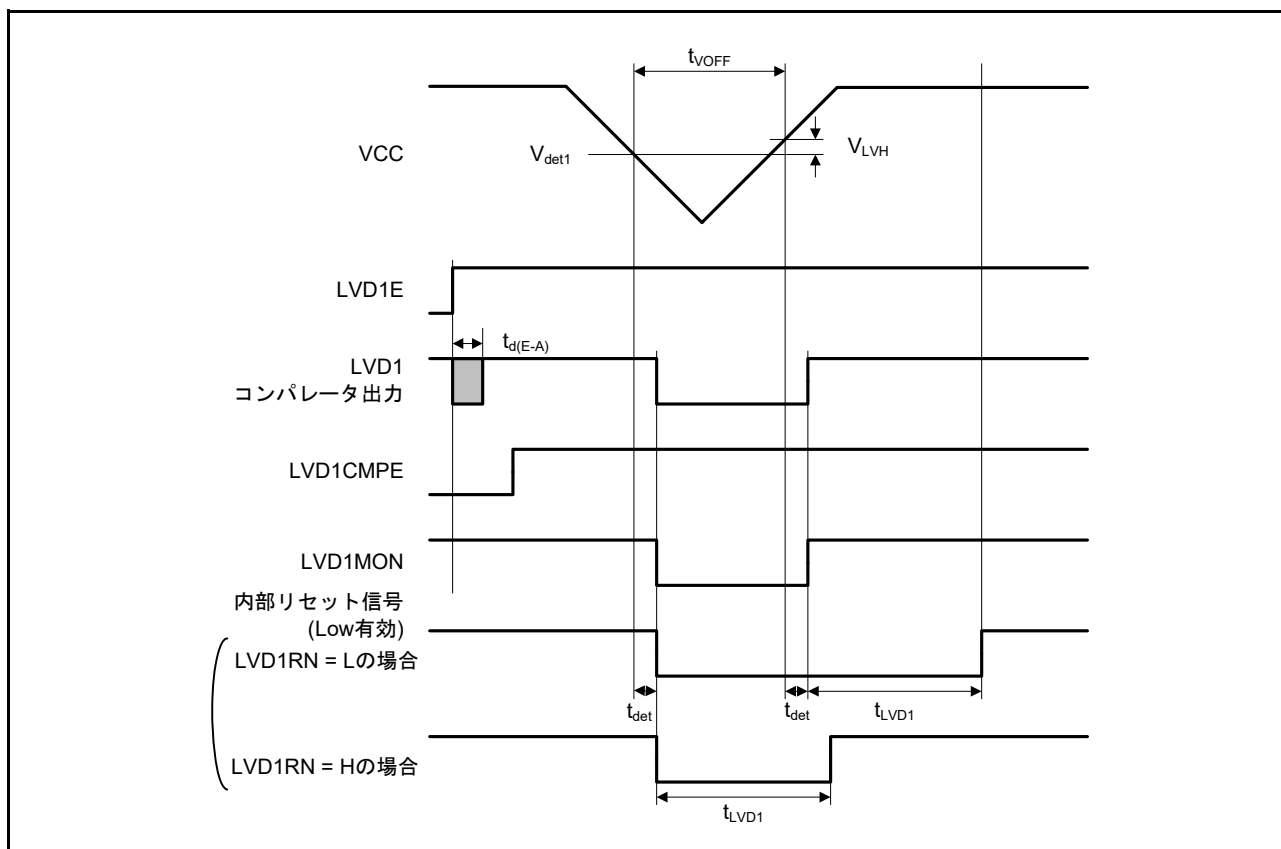


図 2.73 電圧検出回路タイミング (V_{det1})

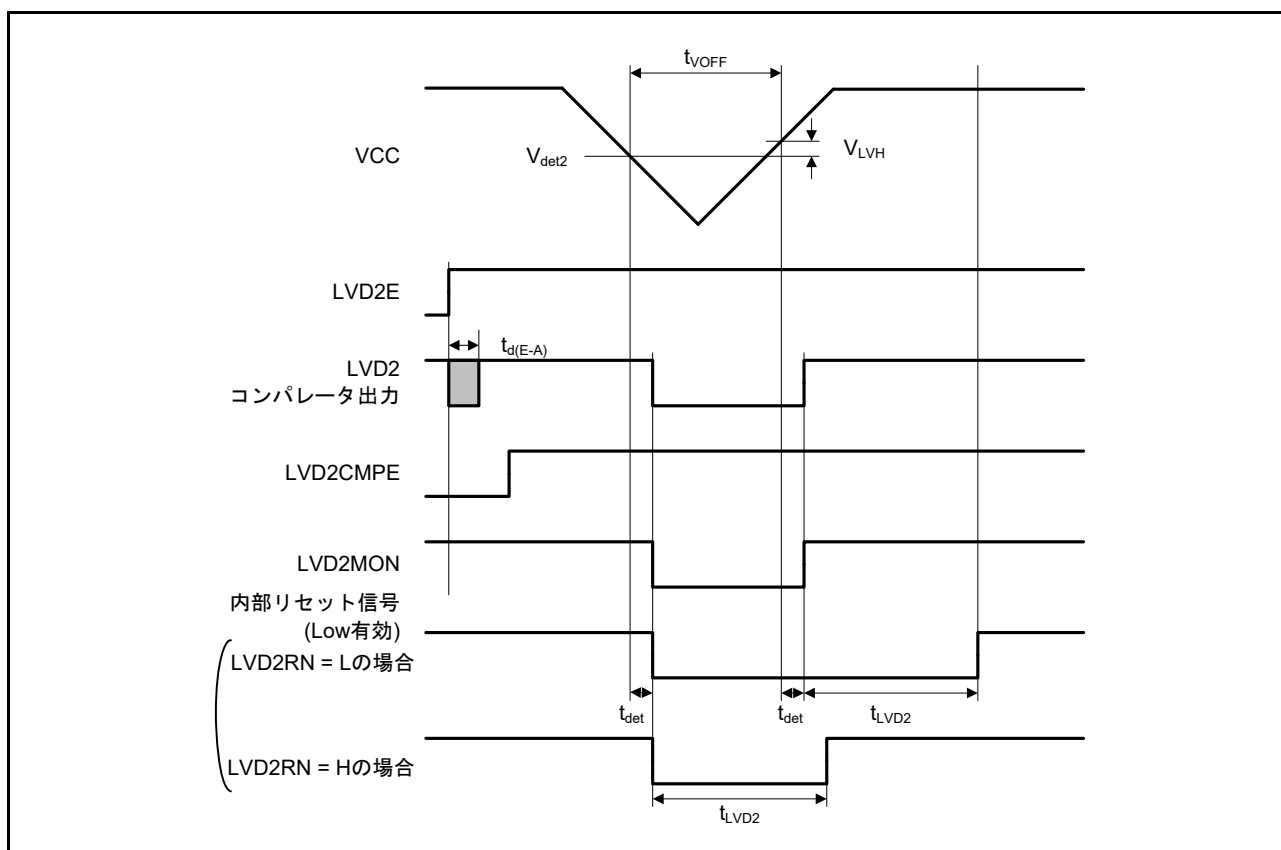


図 2.74 電圧検出回路タイミング (V_{det2})

2.13 発振停止検出タイミング

表 2.79 発振停止検出回路特性

条件 : $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.75

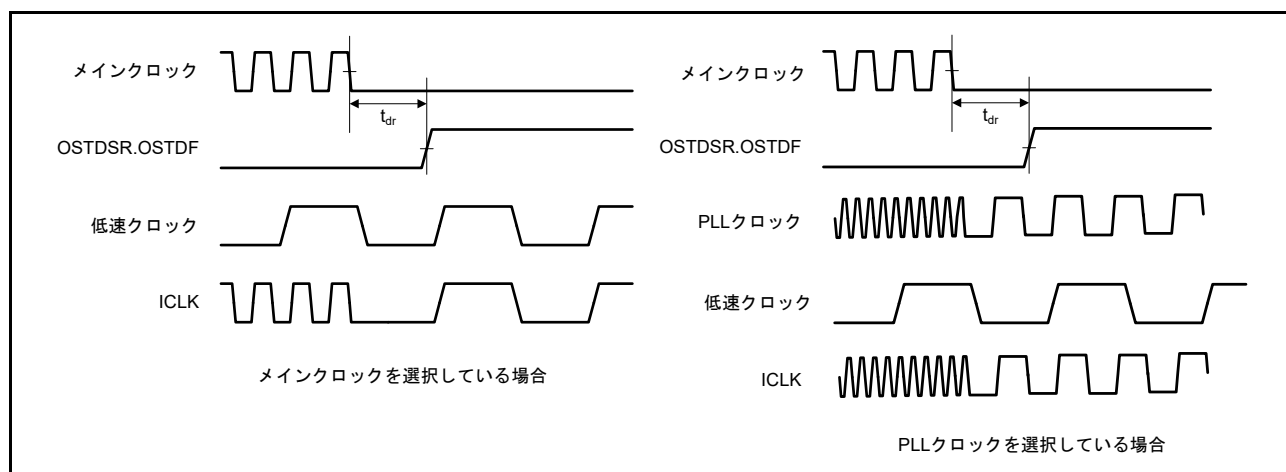


図 2.75 発振停止検出タイミング

2.14 ROM (コード格納用フラッシュメモリ) 特性

表2.80 ROM (コード格納用フラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N _{PEC}	1K	—	—	回	
データ保持時間 (注2、注3)	N _{PEC} 1K回後	t _{DRP}	20	—	年	T _a = +105°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 1K回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に8バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.81 ROM (コード格納用フラッシュメモリ) 特性(2) 高速動作モード

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 48MHz(注1)			FCLK = 64MHz(注1)			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	94	843.5	—	45.1	446.0	—	45.0	445.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.3	282.0	—	5.4	220.1	—	5.4	220.4	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t _{E512K}	—	807.1	17356.0	—	67.9	1651.9	—	70.6	1709.3	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t _{EA512K}	—	801.9	17140.5	—	62.7	1436.9	—	65.4	1494.3	ms
ブランク チェック時間	8バイト	t _{BC8}	—	—	45.0	—	—	8.7	—	—	8.6	μs
	2Kバイト	t _{BC2K}	—	—	1573	—	—	115	—	—	120	μs
イレーズ処理強制停止時間		t _{SED}	—	—	22.8	—	—	11.0	—	—	10.9	μs
スタートアップ領域入れ替え設定 時間		t _{SAS}	—	8.2	503.3	—	5.6	437.7	—	5.6	437.9	ms
アクセスウィンドウ設定時間		t _{AWS}	—	8.2	503.3	—	5.6	437.7	—	5.6	437.9	ms
ROMモード遷移待ち時間		t _{MS}	15	—	—	15	—	—	15	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。クロックソースの周波数精度をご確認ください。

注1. 2.4V ≤ VCC ≤ 5.5V

表2.82 ROM (コード格納用フラッシュメモリ)特性(3) 中速動作モード
 条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ C$

項目	記号	FCLK = 1MHz			FCLK = 24MHz(注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	—	45.7	450.7	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	—	5.4	220.2	ms
	512Kバイト (ブロックイレーズ コマンド使用時)	t_{E512K}	—	807.1	17356.0	—	67.9	1653.0	ms
	512Kバイト (全ブロックイレーズ コマンド使用時)	t_{EA512K}	—	801.9	17140.5	—	62.7	1438.1	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	—	—	9	μs
	2Kバイト	t_{BC2K}	—	—	1573	—	—	115	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	—	—	11.2	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	—	5.6	437.7	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	—	5.6	437.7	ms
ROMモード遷移待ち時間		t_{MS}	15	—	—	15	—	—	μs

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。
 注1. $2.4V \leq VCC \leq 5.5V$

表2.83 ROM (コード格納用フラッシュメモリ)特性(4) 中速動作モード2
 条件: $1.6V \leq VCC \leq 5.5V$, $1.6V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ C$

項目	記号	FCLK = 1MHz			単位	
		min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	ms
	512Kバイト (ブロックイレーズコマンド 使用時)	t_{E512K}	—	807.1	17356.0	ms
	512Kバイト (全ブロックイレーズコマンド 使用時)	t_{EA512K}	—	801.9	17140.5	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	μs
	2Kバイト	t_{BC2K}	—	—	1573	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	ms
ROMモード遷移待ち時間		t_{MS}	15	—	—	μs

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。
 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

2.15 E2 データフラッシュ (データ格納用フラッシュメモリ) 特性

表2.84 E2データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件	
再プログラム/イレーズサイクル(注1)	N _{DPEC}	100K	1000K	—	回		
データ保持時間	N _{DPEC} 10K回後	t _{DDRP}	20(注2、注3)	—	—	年	T _a = +105°C
	N _{DPEC} 100K回後		5(注2、注3)	—	—	年	
	N _{DPEC} 1000K回後	—	1(注2、注3)	—	—	年	T _a = +25°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 100K回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、256バイトのブロックについて、それぞれ異なる番地に1バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.85 E2データフラッシュ特性(2) 高速動作モード

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 48MHz			FCLK = 64MHz(注1)			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	34.8	338.8	—	34.6	337.7	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.1	—	5.4	220.4	ms
	8Kバイト	t _{DE8K}	—	104.8	2331.4	—	12.4	368.0	—	12.7	375.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	8.7	—	—	8.6	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	115	—	—	120	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	22.8	—	—	11	—	—	10.9	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	250	—	—	250	—	—	250	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

注1. 2.4V ≤ VCC ≤ 5.5V

表2.86 E2データフラッシュ特性(3) 中速動作モード

条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 24MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	35.3	343.2	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.2	ms
	8Kバイト	t _{DE8K}	—	104.8	2331.4	—	12.4	368.2	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	9.0	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	0.1	ms
イレーズ処理強制停止時間	t _{DSED}	—	—	22.8	—	—	11.2	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	250	—	—	250	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表2.87 E2データフラッシュ特性(4) 中速動作モード2
 条件：1.6V ≤ VCC ≤ 5.5V, 1.6V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			単位
			min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	ms
	8Kバイト	t _{DE8K}	—	104.8	2331.4	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	μs
	256バイト	t _{DBC256}	—	—	1573	ms
イレーズ処理強制停止時間		t _{DSED}	—	—	22.8	μs
データフラッシュ STOP解除時間		t _{DSTOP}	250	—	—	ns

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。
 注. FCLKの周波数精度は±3.5%である必要があります。

2.16 使用上の注意事項

2.16.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサ接続方法を図 2.77 ～ 図 2.79 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「40. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

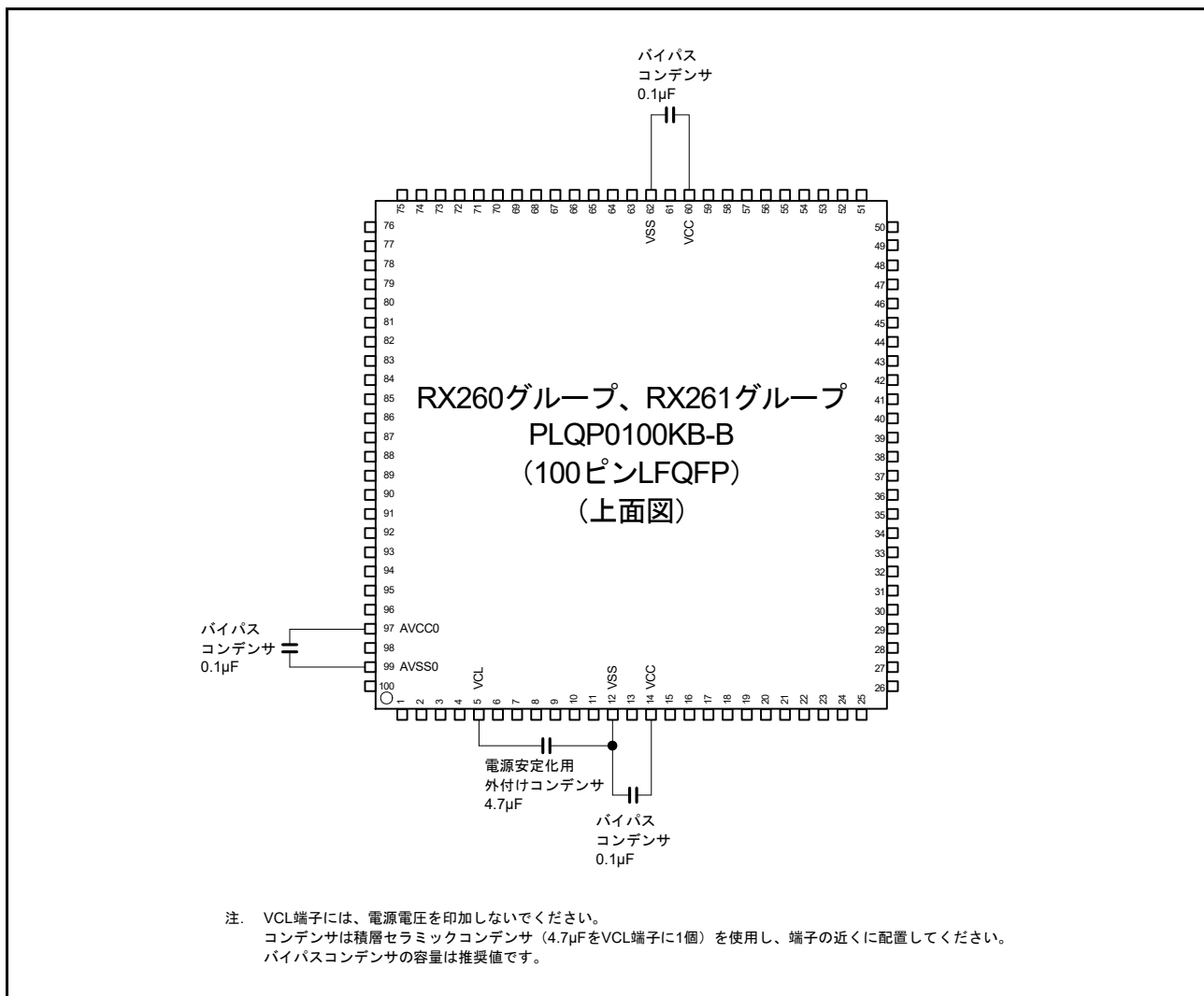


図 2.76 コンデンサ接続方法（100ピン）

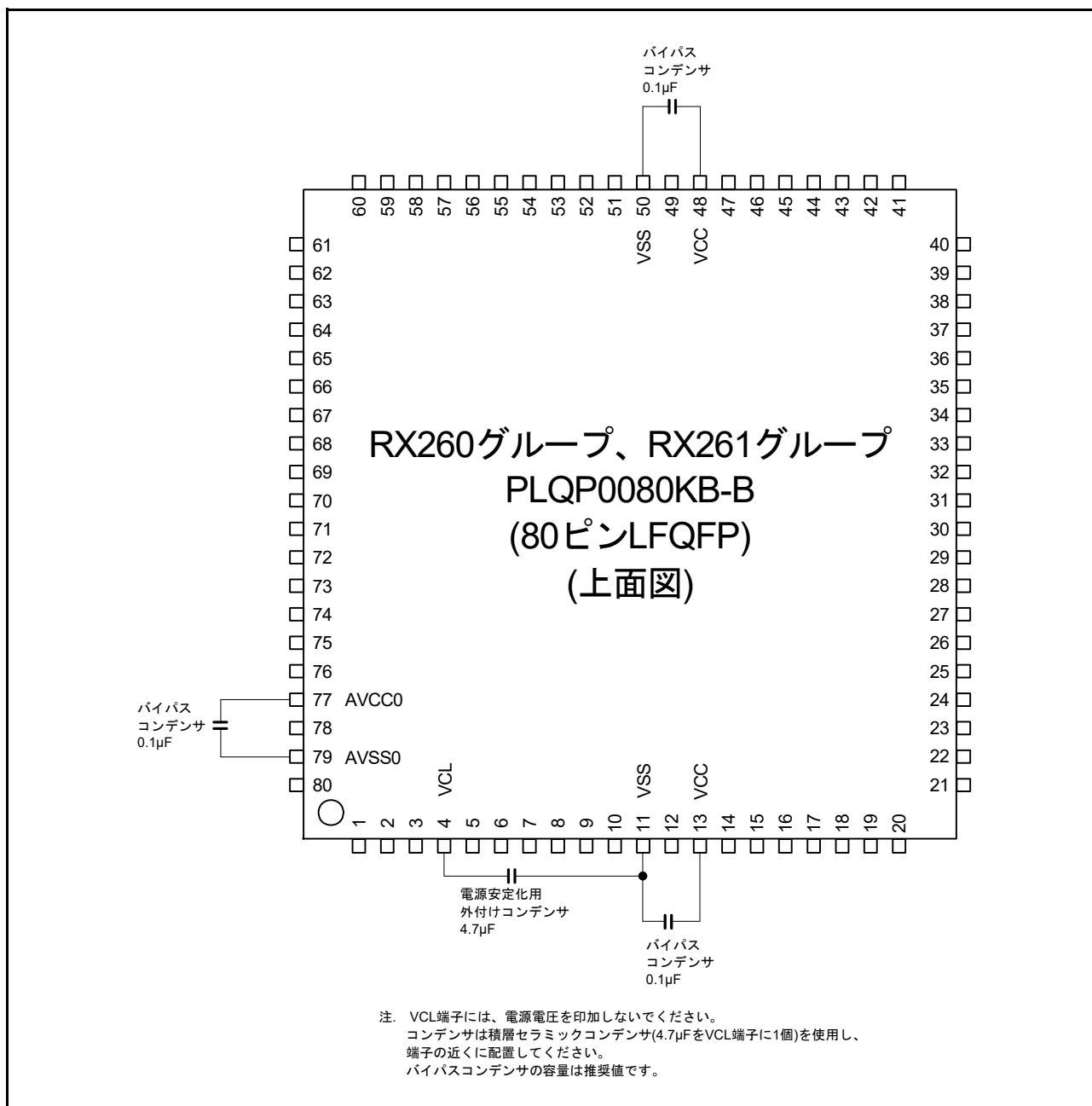


図 2.77 コンデンサ接続方法 (80ピン)

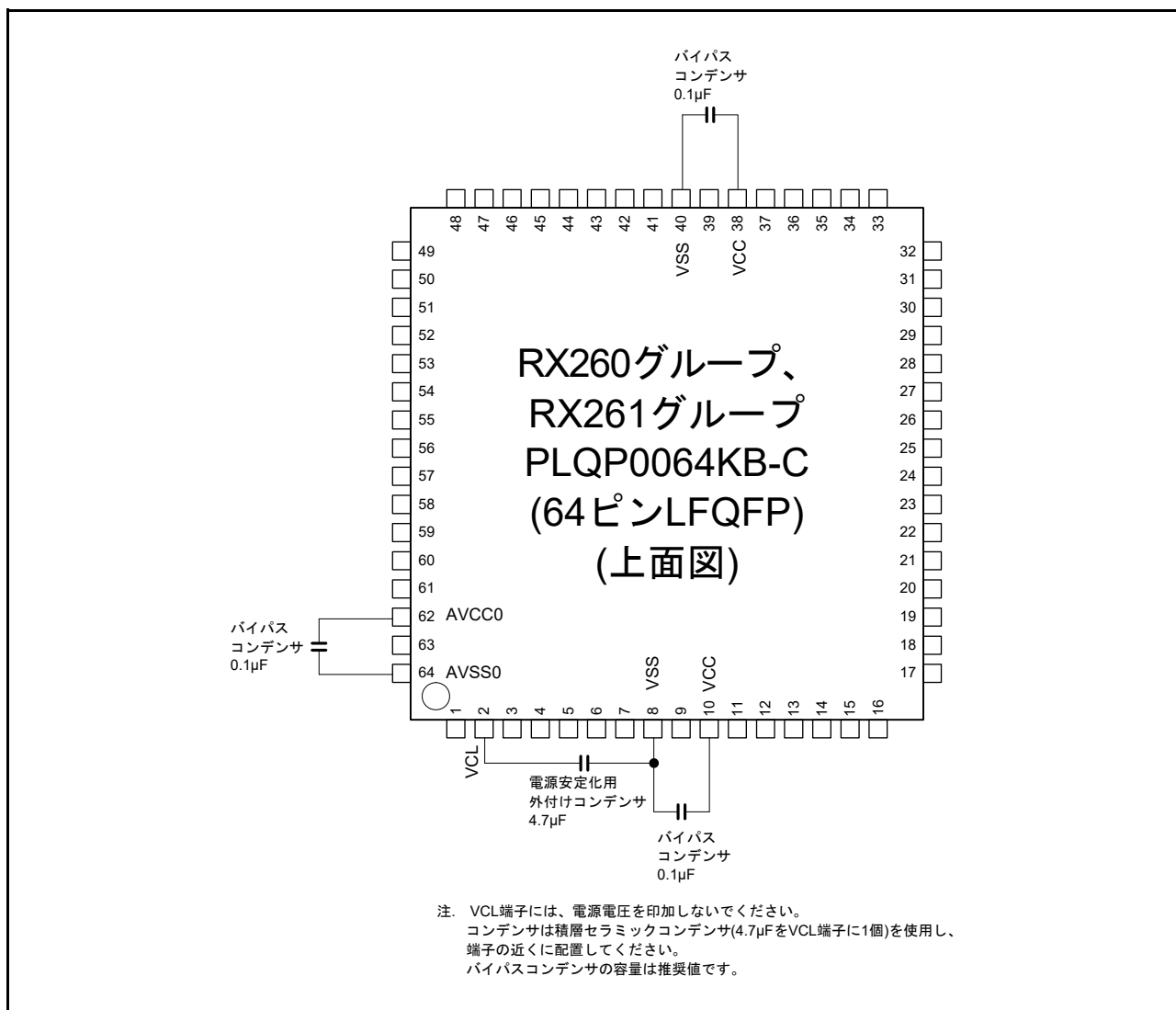


図 2.78 コンデンサ接続方法 (64 ピン)

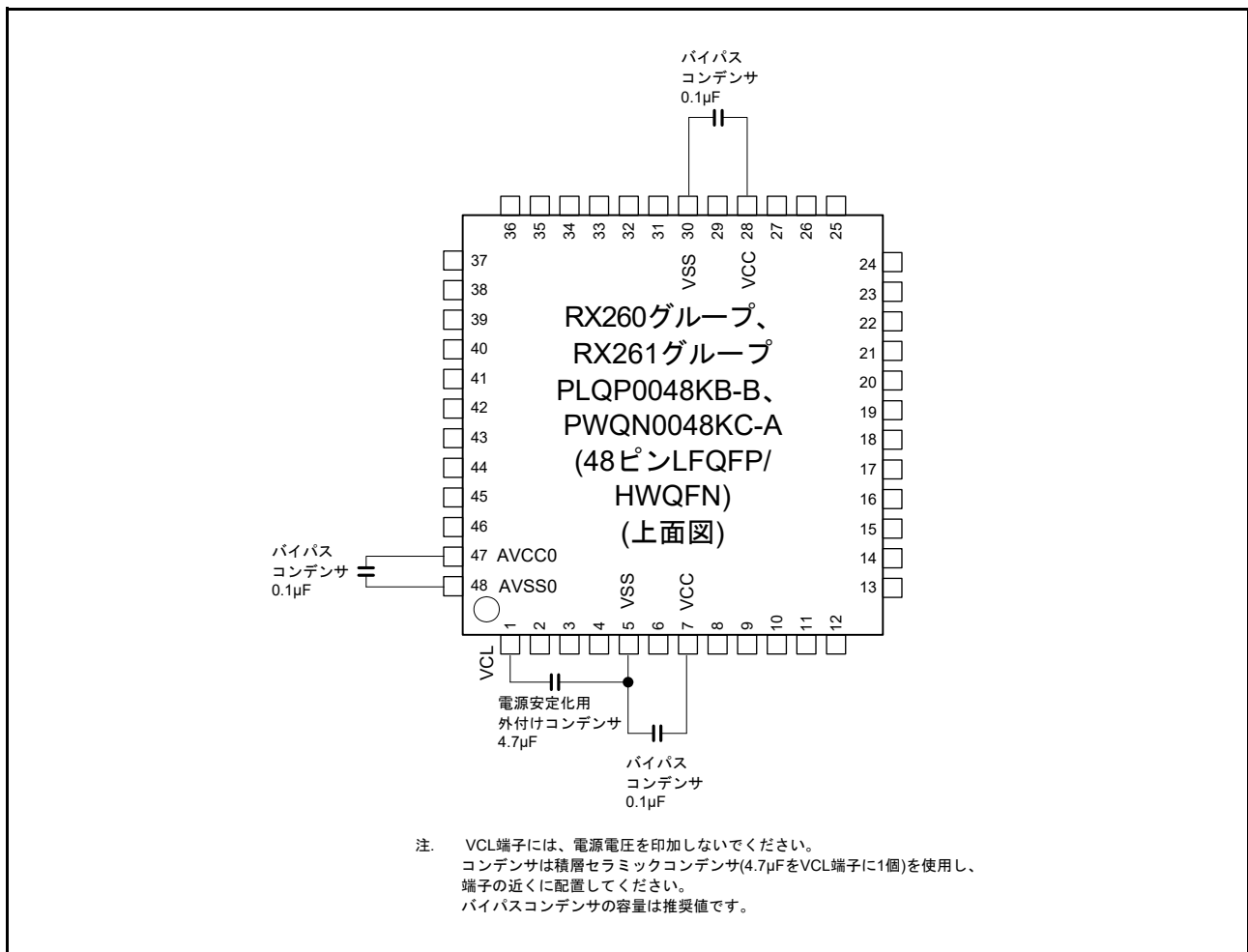


図 2.79 コンデンサ接続方法 (48 ピン)

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

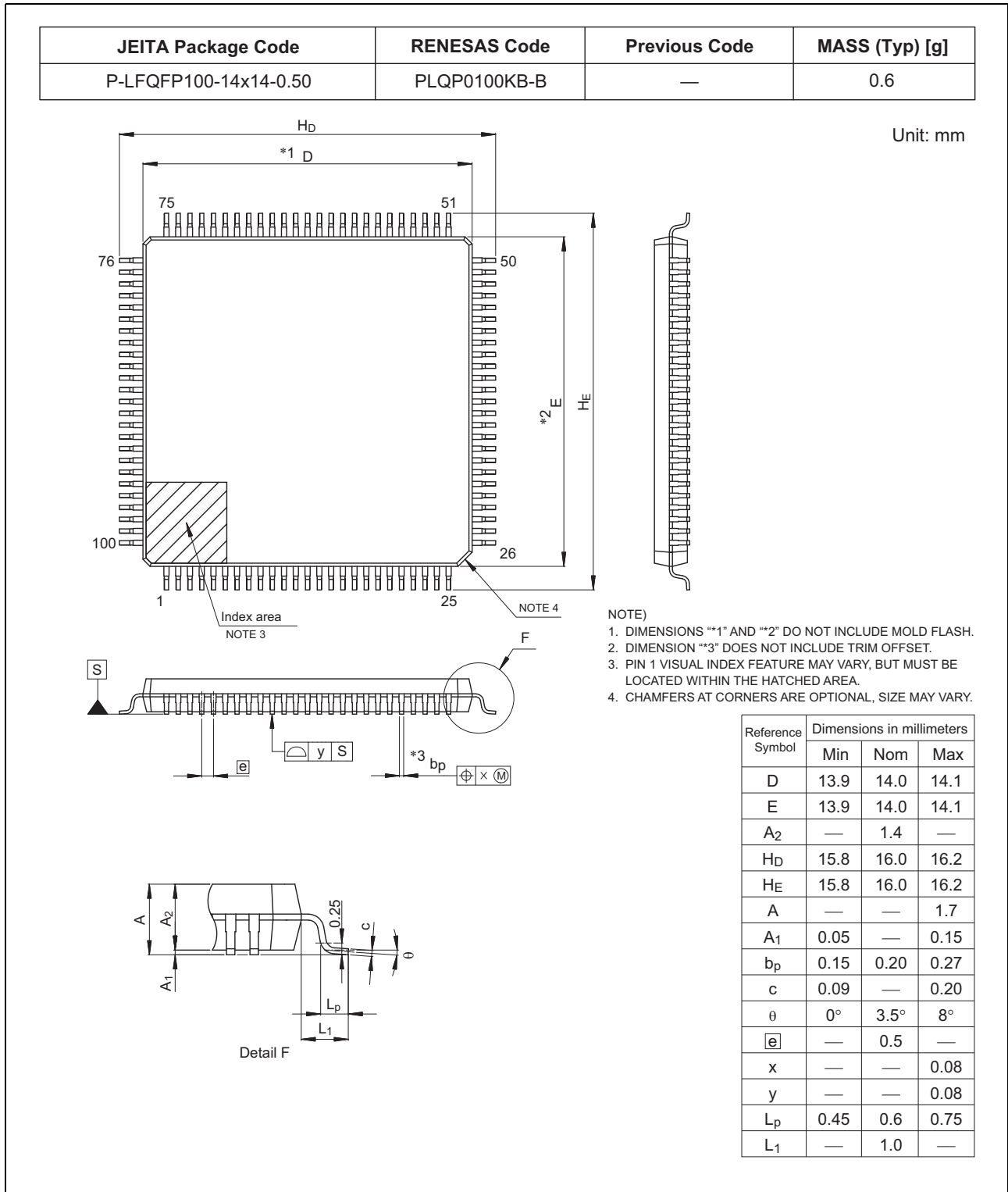


図 A. 100ピン LFQFP (PLQP0100KB-B)

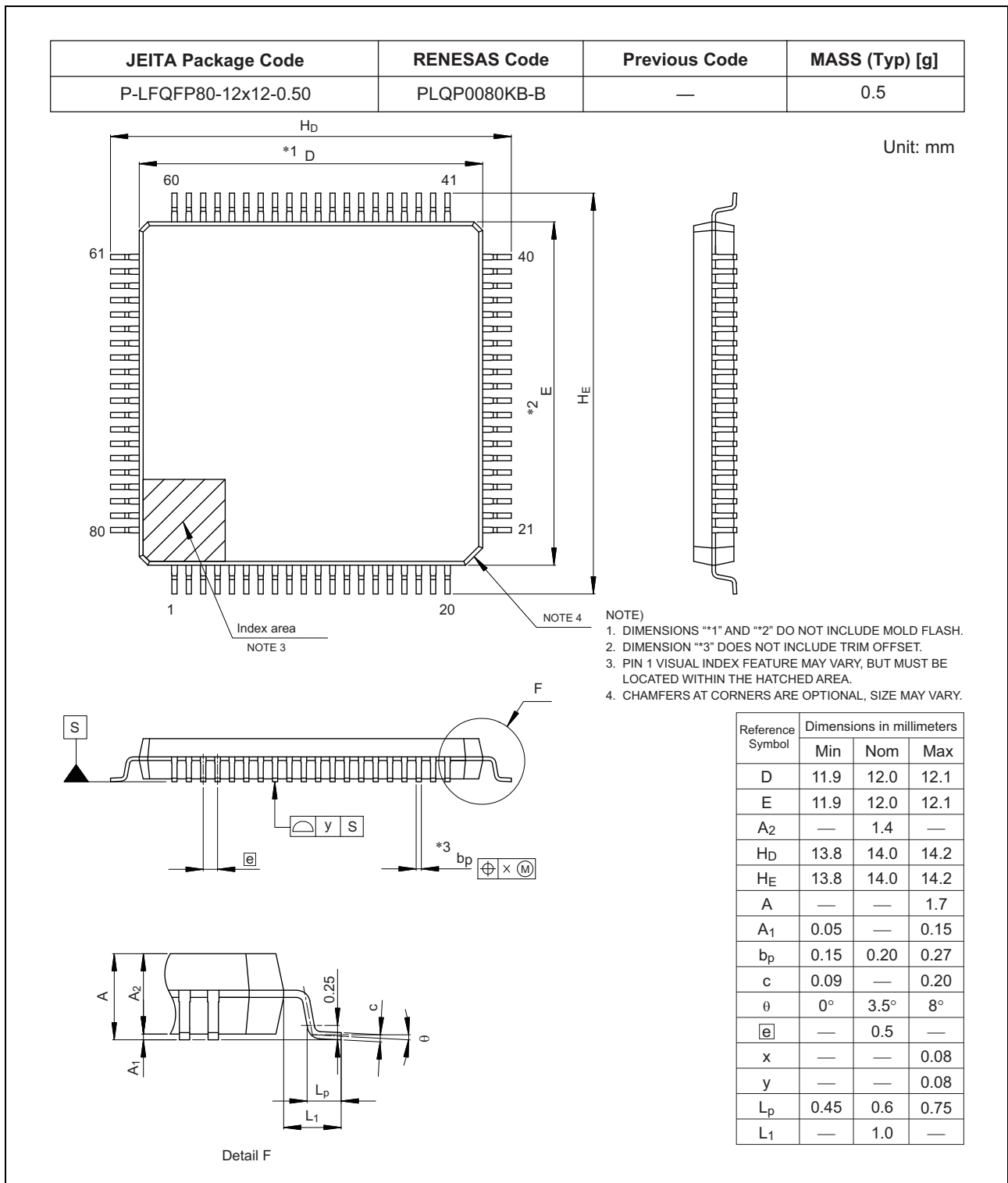
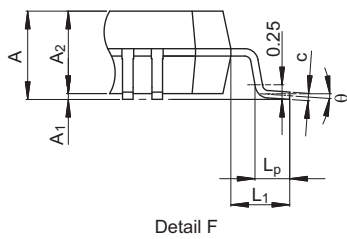
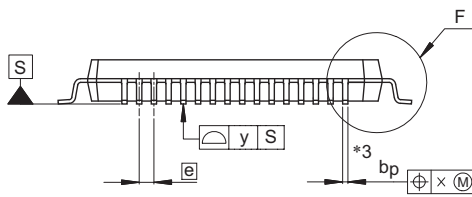
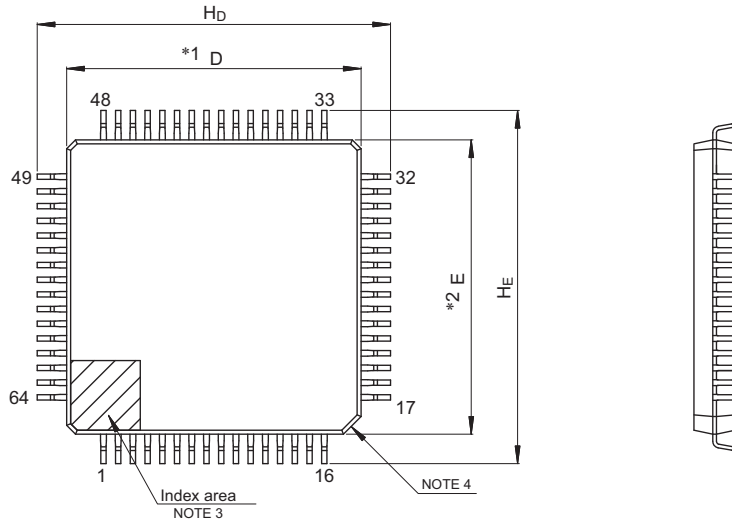


図 B. 80ピンLFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



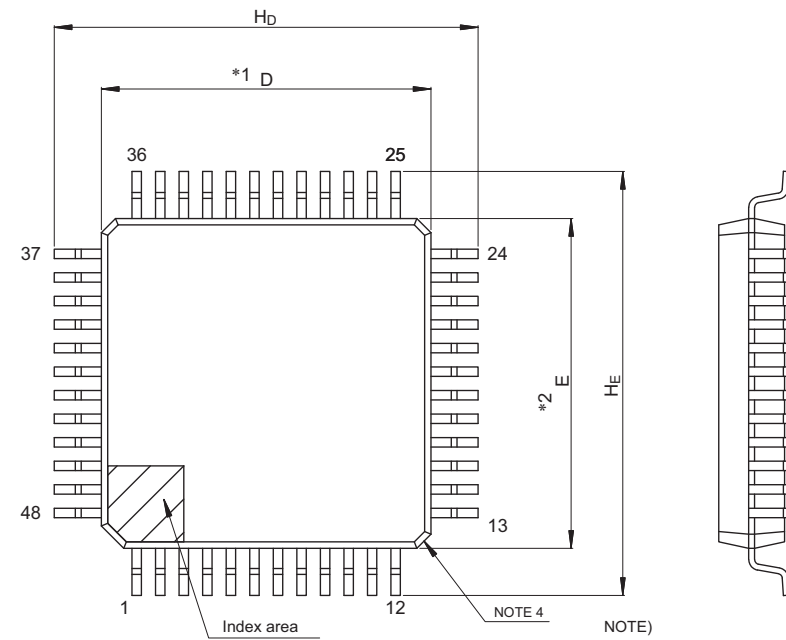
- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

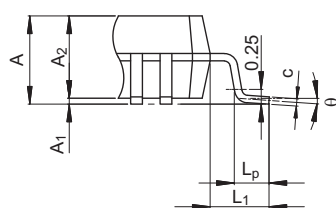
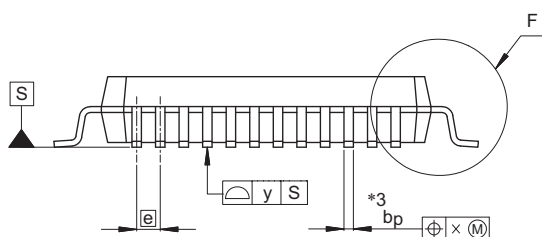
図 C. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

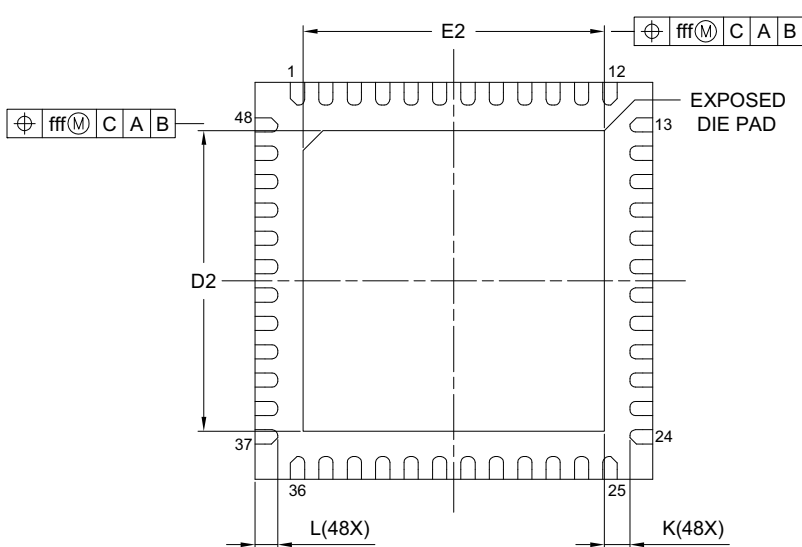
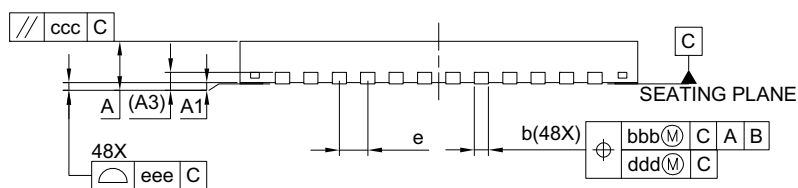
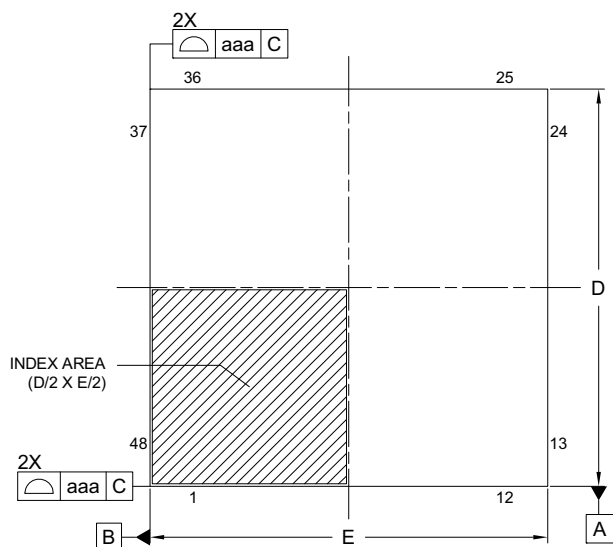


Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 D. 48ピンLFQFP (PLQP0048KB-B)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 E. 48ピン HWQFN (PWQN0048KC-A)

改訂記録	RX260グループ、RX261グループ データシート
------	----------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2024.07.31	—	初版発行	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセット時、外部発振器（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振器（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash® は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。