

RX26T グループ

ルネサスマイクロコンピュータ

R01DS0407JJ0110

Rev.1.10

2023.08.10

120MHz、32ビットRX MCU、FPU内蔵、709 Coremark、電源5V対応、最大512Kバイトフラッシュメモリ、最大64KバイトSRAM、16Kバイトデータフラッシュメモリ、CAN FDなど多種多様な通信機能、12ビットA/Dコンバータ3ユニットで最大7ch同時サンプリング、アナログコンパレータ6ch、120MHz PWM (3相相補4ch、5相相補2ch、単相相補10ch)、最小260ps高分解能PWM 4ch、暗号機能

特長

■ 32ビットRXv3 CPU コア内蔵

- 最高動作周波数 120MHz
- 709 Coremark の性能 (120MHz 動作時)
- レジスタ一括退避機能を使用可能
- メモリプロテクションユニット (MPU) 対応
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース

■消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード

■コードフラッシュメモリ

- 最大 512K バイト
- 120MHz 動作 (ノーウェイト)
- オンボードおよびオフボードによるユーザ書き込み
- バックグラウンドでのプログラム/イレーズ (BGO)
- 起動バンクの入れ替えが可能なデュアルバンク機能搭載

■データフラッシュメモリ

- 16K バイト (100k 回イレーズ可能)
- バックグラウンドでのプログラム/イレーズ (BGO)

■SRAM

- 64K バイト / 48K バイト SRAM (ノーウェイト)

■データ転送機能

- DMAcAa : 8ch 内蔵
- DTCb : 1ch 内蔵

■ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載

■クロック機能

- 8MHz ~ 24MHz 外部水晶発振、内部 PLL 対応のメインクロック発振器を搭載
- 240kHz LOCO、16/18/20MHz から選択可能な HOCO を搭載
- IWDTa 用 120kHz クロック

■独立ウォッチドッグタイマ内蔵

- 120kHz IWDT 専用オンチップオシレータクロック動作

■IEC60730 対応機能内蔵

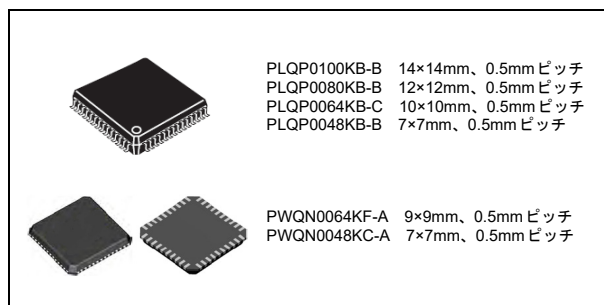
- 発振停止検出、A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など
- 重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能

■暗号機能 (Trusted Secure IP Lite)

- AES (鍵長 128/256 ビット) 内蔵、ECB、CBC、GCM 他に対応
- 真性乱数発生回路内蔵
- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全管理を提供

■最大 83 本の汎用入出力ポート

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能、ポート出力保持機能



■多種多様な通信機能

- CAN FD (ISO11898-1:2015 準拠) (標準フレーム/拡張フレーム) (1ch)
- 多彩な機能に対応した SCIk、SCIh (最大 4ch) 調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- マンチェスタコード機能、HBS 機能をサポートした RSCI (最大 3ch)
- I²C バスインタフェース (RiICa) (1ch) Fast-mode (最大 400kbps)、SMBus 対応
- I³C バスインタフェース (Ri3C) (1ch) SDR-mode 対応
- RSPId (1ch) 最大 30Mbps 転送

■最大 29 本の拡張タイマ機能

- 32ビット (RAM 容量が 64K バイトの製品) または 16ビット (RAM 容量が 48K バイトの製品) の GPTWa (8ch) : 120MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形 : 単相相補 10ch 出力 / 3 相相補 3ch 出力 / 5 相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネゲート制御)
- 16ビット MTU3d (9ch) : 120MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形 : 3 相相補 2ch 出力、位相計数モード
- 8ビット TMRb (8ch)
- 16ビット CMT (4ch)

■高分解能 PWM 波形生成回路 (HRPWM) 4ch

- 32ビット GPTWa の PWM 出力波形の立ち上がり / 立ち下がりがタイミング制御を最小 260ps の分解能で実現 (120MHz 動作時)

■12ビット A/D コンバータ (S12ADH)

- RAM 容量が 64K バイトの製品 : サンプル & ホールド回路内蔵 12ビット × 3 ユニット ユニット 0 (4ch 「3 S/H 回路」)、ユニット 1 (4ch 「3 S/H 回路」)、ユニット 2 (14ch)
- RAM 容量が 48K バイトの製品 : サンプル & ホールド回路内蔵 12ビット × 2 ユニット ユニット 0 (7ch 「3 S/H 回路」)、ユニット 2 (8ch)

■アナログコンパレータ (CMPCa) : 6ch

■12ビット D/A コンバータ (R12DAb) : 2ch

- アナログコンパレータの基準電圧として使用可能

■チップ内部の温度を計測可能な温度センサを内蔵

■動作周囲温度

- D バージョン : -40°C ~ +85°C
- G バージョン : -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールの機能やチャンネル数はパッケージのピン数、およびRAM容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 8)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：120MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 113命令(RAM容量が64Kバイトの製品)、111命令(RAM容量が48Kバイトの製品) <ul style="list-style-type: none"> 標準搭載命令：111命令 <ul style="list-style-type: none"> 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 レジスタ一括退避機能命令：2命令(RAM容量が64Kバイトの製品のみ) アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
	レジスタ一括退避機能	<ul style="list-style-type: none"> CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 容量：512Kバイト/256Kバイト/128Kバイト 120MHz、ノーウェイトアクセス オンボードプログラミング：3種類 Trusted Memory (TM)機能による、TM対象領域に格納したプログラムは命令実行のみ可能、データリード防止機能を実現 デュアルバンク方式によるリード時プログラミングおよび起動領域の入れ替えが可能
	データフラッシュメモリ	<ul style="list-style-type: none"> 容量：16Kバイト プログラム/イレーズ回数：100,000回
	ユニークID	<ul style="list-style-type: none"> 12バイト長のデバイス固有のID
	RAM	<ul style="list-style-type: none"> 容量：64Kバイト/48Kバイト 120MHz、ノーウェイトアクセス SED (シングルエラー検出)
動作モード		<ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード <ul style="list-style-type: none"> シングルチップモード ブートモード(SCIインタフェース) ブートモード(FINEインタフェース) レジスタ設定による動作モードの選択 <ul style="list-style-type: none"> シングルチップモード エンディアン選択可能

表 1.1 仕様概要 (2 / 8)

分類	モジュール/機能	説明
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振停止検出：あり システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック (FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max MTU (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)、RSPI、RSPIA、RSCI、RI3C、CANFD内ECCレジスタの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max MTUとGPTWのカウンタ基準クロック、HRPWMの基準クロックはPCLKC同期：120MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして通信可能
リセット		<p>8種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCCの上昇時発生 電圧監視0リセット：VCCの下降時発生 電圧監視1リセット：VCCの下降時発生 電圧監視2リセット：VCCの下降時発生 独立ウォッチドッグタイマリセット：独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット：ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		<ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCCが電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路 (LVDA)		<p>VCC端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 <ul style="list-style-type: none"> 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 電圧検出回路1, 2 <ul style="list-style-type: none"> 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り (LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード
割り込み	割り込みコントローラ (ICUG)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数256 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスカブル割り込み：要因数7 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式：割り込みベクタは256ベクタで構成 (128要因は固定ベクタ。残り133要因を128ベクタに任意に割り付け可能)
DMA	DMAコントローラ (DMACa)	<ul style="list-style-type: none"> 8チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み

表 1.1 仕様概要 (3 / 8)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 100ピンLFQFP 入出力：82 入力：1 プルアップ抵抗：82 オープンドレイン出力：82 5Vトレラント：2 大電流出力：15 80ピンLFQFP 入出力：62 入力：1 プルアップ抵抗：62 オープンドレイン出力：62 5Vトレラント：2 大電流出力：14 64ピンLFQFP、64ピンHWQFN 入出力：49 入力：1 プルアップ抵抗：49 オープンドレイン出力：49 5Vトレラント：2 大電流出力：14 48ピンLFQFP、48ピンHWQFN 入出力：37 入力：1 プルアップ抵抗：37 オープンドレイン出力：37 5Vトレラント：2 大電流出力：13
	イベントリンクコントローラ (ELC)	<ul style="list-style-type: none"> 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 183種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) 入力端子の変化で周辺機能が連動可能(ポートB、E)
タイマ	8ビットタイマ(TMRb)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×4ユニット 7種類の内部クロック(PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5, SCI6, SCI12のポーレートクロック生成可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW (CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル)×2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック(PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウントクロック(PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用オンチップオシレータ IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (4 / 8)

分類	モジュール/機能	説明
タイマ	マルチファンクションタイマパルスユニット3 (MTU3d)	<ul style="list-style-type: none"> 9チャンネル(16ビット×9チャンネル) 最大28本のパルス入出力、および3本のパルス入力が可能 14種類のカウントクロック(PCLKC/1, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/256, PCLKC/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル1, 3, 4は11種類、チャンネル2は12種類、チャンネル5は10種類) 43本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作(コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ(TCNT)への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 45種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 位相計数モード: 16ビットモード(チャンネル1, 2)/32ビットモード(チャンネル1, 2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能。また外部端子で変換開始タイミングがモニタ可能。 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能 ELCによるイベントリンク機能をサポート 内部周辺バスクロック: PCLKA カウンタ基準クロック: PCLKC 周波数比: PCLKA: PCLKC = 1: N (N = 1または2)
	ポートアウトプットイネーブル3 (POE3D)	<ul style="list-style-type: none"> MTU/GPTW波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御 POE0、POE4、POE8、POE9、POE10、POE11、POE12の7つの入力端子による起動 出力短絡検出(PWM出力が同時にアクティブレベルになったことを検出)による起動 コンパレータ検出/発振停止検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能
	汎用PWMタイマ (GPTWa)	<ul style="list-style-type: none"> 32ビット×8チャンネル(RAM容量が64Kバイトの製品) 16ビット×8チャンネル(RAM容量が48Kバイトの製品) 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) チャンネルごとに独立したクロックソースを選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) PWM動作の際にデッドタイム生成が可能 任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能

表 1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTWa)	<ul style="list-style-type: none"> コンペアマッチA~Fイベント、オーバフローイベント/アンダフローイベントをELCに出可能 インプットキャプチャのノイズフィルタを使用可能 周期カウント機能 内部周辺バスクロック : PCLKA カウンタ基準クロック : PCLKC 周波数比 : PCLKA : PCLKC = 1 : N (N = 1または2)
	高分解能PWM (HRPWM)	<ul style="list-style-type: none"> GPTW0~GPTW3が生成するPWM波形を最小約260psの分解能で整形可能
	GPTW用ポートアウトプットイネーブル (POEG)	<ul style="list-style-type: none"> GPTW波形出力の出力禁止制御 GTETRГ 端子の入力レベル検出による起動 GPTWからの出力禁止要求による起動 コンパレータ割り込み要求検出による起動 発振停止検出/ソフトウェアによる起動
通信機能	シリアルコミュニケーションインタフェース (SCIk, SClh)	<ul style="list-style-type: none"> 4チャンネル SCIk : SCI1, SCI5, SCI6 SClh : SCI12 SCIk, SClh シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) スタートビット検出 : レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データ一致検出をサポート (SCI12以外) ELCによるイベントリンク機能をサポート (SCI5のみ) RXD入力信号選択機能 (SCI5のみ) SCIkのみ データ一致検出をサポート RXDサンプリング調整機能 SClhのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	シリアルコミュニケーションインタフェース (RSCI)	<ul style="list-style-type: none"> 3チャンネル (RSCI8, RSCI9, RSCI11) シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 スタートビット検出 : レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート ELCによるイベントリンク機能をサポート (RSCI11のみ) RXD入力信号選択機能 スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート (RSCI9, RSCI11) 送信部、受信部ともに32バイトのFIFOバッファ構造による連続送信、受信が可能 (RSCI11のみ) マンチェスタコード機能をサポート HBS機能をサポート データ一致検出をサポート RXDサンプリング調整機能

表 1.1 仕様概要 (6 / 8)

分類	モジュール/機能	説明
通信機能	I ² Cバス インタフェース (RII _{Ca})	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：400kbps ELCによるイベントリンク機能をサポート
	I ³ Cバスインタフェース (RI3C)	<ul style="list-style-type: none"> 1チャンネル SDRモード対応 Legacy I²Cメッセージ対応 マルチマスタ対応 ELCによるイベントリンク機能をサポート
	CAN FDモジュール (CANFD)	<ul style="list-style-type: none"> 1チャンネル ISO 11898-1:2015仕様に準拠(標準フレーム/拡張フレーム)
	シリアルペリフェラル インタフェース (RSPID)	<ul style="list-style-type: none"> 1チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	シリアルペリフェラル インタフェース (RSPIA)	<ul style="list-style-type: none"> 1チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 バッファ構成 送信部、受信部ともに32ビット×4段のFIFOバッファ構造による連続送信、受信が可能 マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート 通信プロトコル：TI SSP (Synchronous Serial Protocol)をサポート

表 1.1 仕様概要 (7 / 8)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADH) (RAM容量が64Kバイトの製品)		<ul style="list-style-type: none"> 12ビット(4チャンネル×2ユニット、14チャンネル×1ユニット) 分解能：12ビット 最小変換時間：1チャンネル当たり0.9μs (ADCLK = 60MHz動作時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプル&ホールド機能 チャンネル専用サンプル&ホールド回路を搭載(ユニット0×3チャンネル、ユニット1×3チャンネル) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 任意チャンネル順変換機能(同一チャンネルの連続変換は不可) ダブルトリガモード(A/D変換データ二重化機能) A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, GPTW, TMR, ELC)、外部トリガ グループスキャン優先制御がグループA、B、C間に対応可能 デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 アナログ入力断線検出機能 ELCによるイベントリンク機能をサポート プログラマブルゲインアンプによる入力信号増幅機能(ユニット0×3チャンネル、ユニット1×3チャンネル)
12ビットA/Dコンバータ (S12ADH) (RAM容量が48Kバイトの製品)		<ul style="list-style-type: none"> 12ビット(7チャンネル×1ユニット、8チャンネル×1ユニット) 分解能：12ビット 最小変換時間：1チャンネル当たり0.9μs (ADCLK = 60MHz動作時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプル&ホールド機能 チャンネル専用サンプル&ホールド回路を搭載(ユニット0×3チャンネル) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 任意チャンネル順変換機能(同一チャンネルの連続変換は不可) ダブルトリガモード(A/D変換データ二重化機能) A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, GPTW, TMR, ELC)、外部トリガ グループスキャン優先制御がグループA、B、C間に対応可能 デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 アナログ入力断線検出機能 ELCによるイベントリンク機能をサポート
12ビットD/Aコンバータ (R12DAb)		<ul style="list-style-type: none"> 2チャンネル 分解能：12ビット 出力電圧：0V～AVCC2 コンパレータのリファレンス電圧として供給可能 ELCによるイベントリンク機能をサポート
コンパレータ C (CMPCa)		<ul style="list-style-type: none"> 6チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧：4種類から選択可能 アナログ入力電圧：4種類から選択可能 デジタルフィルタ機能あり
温度センサ		<ul style="list-style-type: none"> 1チャンネル 相対精度：±1.0°C 温度を電圧に変換し12ビットA/Dコンバータ(ユニット2)でデジタル化
三角関数演算器 (TFUv2)		<ul style="list-style-type: none"> sin演算、cos演算、atan演算、hypot_k演算 sinとcosの同時演算 atan演算とhypot_k演算の同時演算

表 1.1 仕様概要 (8 / 8)

分類	モジュール/機能	説明
セーフティ	メモリプロテクションユニット(MPU)	<ul style="list-style-type: none"> プロテクションエリア：0000 0000h～FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位：16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM)機能	<ul style="list-style-type: none"> コードフラッシュメモリのTM対象領域に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRCA)	<ul style="list-style-type: none"> 8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ <ul style="list-style-type: none"> 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ <ul style="list-style-type: none"> 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
セーフティ	メインクロック発振停止検出機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、IWDTP専用オンチップオシレータ、およびPCLKBにおける出カクロック周波数の異常を監視可能
	データ演算回路(DOCA)	<ul style="list-style-type: none"> 32ビットのデータを比較/加算/減算/大小比較/ウィンドウ比較する機能
暗号機能	Trusted Secure IP (TSIP-Lite)	<ul style="list-style-type: none"> アクセスマネジメント回路搭載 暗号エンジン <ul style="list-style-type: none"> AES鍵長：128ビット/256ビット 暗号利用モード：GCM, ECB, CBC, CMAC, XTS, CTR, GCTR ハッシュ機能 真性乱数生成回路 鍵の不正コピー防止
動作周波数		120MHz max
電源電圧		VCC = 2.7 ~ 5.5V AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V (ただし、VCC ≤ AVCC0 = AVCC1 = AVCC2) VSS = AVSS0 = AVSS1 = AVSS2 = 0V
動作周囲温度		Dバージョン：-40 ~ +85°C Gバージョン：-40 ~ +105°C
パッケージ		100ピンLQFP 0.5mmピッチ 80ピンLQFP 0.5mmピッチ 64ピンLQFP 0.5mmピッチ 64ピンHWQFN 0.5mmピッチ 48ピンLQFP 0.5mmピッチ 48ピンHWQFN 0.5mmピッチ
デバッグインタフェース		<ul style="list-style-type: none"> JTAGおよび1線式FINEインタフェース

表 1.2 パッケージ別機能比較一覧 (1 / 2)

モジュール/機能		RX26Tグループ					
		RAM : 64Kバイト製品				RAM : 48Kバイト製品	
		100ピン	80ピン	64ピン	48ピン	64ピン	48ピン
CPU	レジスタ括退避機能	あり				なし	
コードフラッシュメモリ	コードフラッシュメモリ容量	128K/256K/512K バイト				128K/256K バイト	
	デュアルバンク機能	あり(注1)				なし	
	BGO機能	あり					
データフラッシュメモリ		16Kバイト					
RAM		64Kバイト				48Kバイト	
外部割り込み	NMI端子	あり					
	IRQ端子	16本	13本	12本	10本	12本	10本
DMA	DMAコントローラ	あり					
	データトランスファコントローラ	あり					
タイマ	マルチファンクションタイマパルスユニット3	9チャンネル(ch0~7, ch9)					
	汎用PWMタイマ	32ビット×8チャンネル				16ビット×8チャンネル	
	高分解能PWM	4チャンネル				なし	
	ポートアウトプットイネーブル3	あり					
	GPTW用ポートアウトプットイネーブル	あり					
	8ビットタイマ	2チャンネル×4ユニット					
	コンペアマッチタイマ	2チャンネル×2ユニット					
	コンペアマッチタイマW	1チャンネル×2ユニット					
	ウォッチドックタイマ	あり					
	独立ウォッチドックタイマ	あり					
通信機能	シリアルコミュニケーションインタフェース(SCIk)	ch1, 5, 6					
	シリアルコミュニケーションインタフェース(SCIh)	ch12					
	シリアルコミュニケーションインタフェース(RSCI)	ch8, 9, 11				なし	
	I ² Cバスインタフェース(RIIC)	1チャンネル					
	I ³ Cバスインタフェース(RI3C)	1チャンネル				なし	
	シリアルペリフェラルインタフェース(RSPI)	ch0					
	シリアルペリフェラルインタフェース(RSPIA)	ch0				なし	
	CAN FDモジュール(CANFD)	1チャンネル					
12ビットA/Dコンバータ	ユニット0 : 4ch	ユニット0 : 4ch	ユニット0 : 4ch	ユニット0 : 4ch	ユニット0 : 7ch	ユニット0 : 5ch	
	ユニット1 : 4ch	ユニット1 : 4ch	ユニット1 : 4ch	ユニット1 : 1ch	ユニット2 : 8ch	ユニット2 : 5ch	
	ユニット2 : 14ch	ユニット2 : 11ch	ユニット2 : 7ch	ユニット2 : 5ch			
3チャンネル同時サンプリング機能	あり(ユニット0、1)				あり(ユニット0)		
プログラマブルゲインアンプ	6チャンネル				4チャンネル	なし	
コンパレータC	6チャンネル				5チャンネル	4チャンネル	
D/Aコンバータ	2チャンネル						

表 1.2 パッケージ別機能比較一覧 (2 / 2)

モジュール/機能	RX26Tグループ					
	RAM : 64Kバイト製品				RAM : 48Kバイト製品	
	100ピン	80ピン	64ピン	48ピン	64ピン	48ピン
温度センサ	1チャンネル					
三角関数演算器(TFU)	あり					
CRC演算器(CRC)	あり					
データ演算回路(DOC)	あり					
クロック周波数精度測定回路(CAC)	あり					
Trusted Secure IP (TSIP-Lite)	あり/なし				なし	
イベントリンクコントローラ(ELC)	あり					
パッケージ	100ピン LFQFP	80ピン LFQFP	64ピン LFQFP 64ピン HWQFN	48ピン LFQFP 48ピン HWQFN	64ピン LFQFP	48ピン LFQFP

注1. コードフラッシュメモリ容量が512Kバイトの製品のみ対応

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	CANFD	TSIP-Lite	動作周囲温度
RX26T (Dバージョン)	R5F526T9ADFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9BDFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBADFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TBBDFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBCDFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TBDDFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526TFADFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TFBDFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TFCDFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TFDDFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526T9ADFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9BDFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBADFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TBBDFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBCDFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TBDDFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526TFADFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TFBDFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TFCDFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TFDDFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526T9ADFM	PLQP0064KB-C	128Kバイト	48Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9ADFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9BDFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TAADFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TACDFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり	なし	-40~+85°C
	R5F526TBADFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TBBDFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBCDFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TBDDFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526TFADFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TFBDFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TFCDFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TFDDFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526T9ADND	PWQN0064KF-A	128Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9BDND	PWQN0064KF-A	128Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBADND	PWQN0064KF-A	256Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
R5F526TBBND	PWQN0064KF-A	256Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C	
R5F526TBCDND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	なし	-40~+85°C	
R5F526TBDDND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	あり	-40~+85°C	
R5F526TFADND	PWQN0064KF-A	512Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C	
R5F526TFBDND	PWQN0064KF-A	512Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C	
R5F526TFCDND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	なし	-40~+85°C	
R5F526TFDDND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	あり	-40~+85°C	

表 1.3 製品一覧表 (2 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	CANFD	TSIP-Lite	動作周囲温度
RX26T (Dバージョン)	R5F526T8ADFL	PLQP0048KB-B	128Kバイト	48Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9ADFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9BDFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TAADFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TACDFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり	なし	-40~+85°C
	R5F526TBADFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TBBDFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBCDFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TBDDFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526TFADFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TFBDFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TFCDFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TFDDFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526T9ADNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526T9BDNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBADNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
	R5F526TBBDFL	PWQN0048KC-A	256Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C
	R5F526TBCDFL	PWQN0048KC-A	256Kバイト	64Kバイト	あり	なし	-40~+85°C
	R5F526TBDDFL	PWQN0048KC-A	256Kバイト	64Kバイト	あり	あり	-40~+85°C
	R5F526TFADNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり(注1)	なし	-40~+85°C
R5F526TFBDNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり(注1)	あり	-40~+85°C	
R5F526TFCDFL	PWQN0048KC-A	512Kバイト	64Kバイト	あり	なし	-40~+85°C	
R5F526TFDDNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	あり	-40~+85°C	
RX26T (Gバージョン)	R5F526T9AGFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9BGFP	PLQP0100KB-B	128Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBAGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TBBGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBCGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TBDGFP	PLQP0100KB-B	256Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526TFAGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TFBGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TFCGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TFDGFP	PLQP0100KB-B	512Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526T9AGFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9BGFN	PLQP0080KB-B	128Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBAGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TBBGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBCGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TBDGFN	PLQP0080KB-B	256Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526TFAGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TFBGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TFCGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TFDGFN	PLQP0080KB-B	512Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526T8AGFM	PLQP0064KB-C	128Kバイト	48Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9AGFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9BGFM	PLQP0064KB-C	128Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TAAGFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TACGFM	PLQP0064KB-C	256Kバイト	48Kバイト	あり	なし	-40~+105°C
	R5F526TBAGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C

表 1.3 製品一覧表 (3 / 3)

グループ	型名	パッケージ	ROM容量	RAM容量	CANFD	TSIP-Lite	動作周囲温度
RX26T (Gバージョン)	R5F526TBBGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBCGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TBDGFM	PLQP0064KB-C	256Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526TFAGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TFBGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TFCGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TFDGFM	PLQP0064KB-C	512Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526T9AGND	PWQN0064KF-A	128Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9BGND	PWQN0064KF-A	128Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBAGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TBBGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBCGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TBDGND	PWQN0064KF-A	256Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526TFAGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TFBGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TFCGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TFDGND	PWQN0064KF-A	512Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526T8AGFL	PLQP0048KB-B	128Kバイト	48Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9AGFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9BGFL	PLQP0048KB-B	128Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TAAGFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TACGFL	PLQP0048KB-B	256Kバイト	48Kバイト	あり	なし	-40~+105°C
	R5F526TBAGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TBBGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TBCGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TBDGFL	PLQP0048KB-B	256Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526TFAGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526TFBGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
	R5F526TFCGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	なし	-40~+105°C
	R5F526TFDGFL	PLQP0048KB-B	512Kバイト	64Kバイト	あり	あり	-40~+105°C
	R5F526T9AGNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C
	R5F526T9BGNE	PWQN0048KC-A	128Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C
R5F526TBAGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C	
R5F526TBBGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C	
R5F526TBCGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり	なし	-40~+105°C	
R5F526TBDGNE	PWQN0048KC-A	256Kバイト	64Kバイト	あり	あり	-40~+105°C	
R5F526TFAGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり(注1)	なし	-40~+105°C	
R5F526TFBGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり(注1)	あり	-40~+105°C	
R5F526TFCGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	なし	-40~+105°C	
R5F526TFDGNE	PWQN0048KC-A	512Kバイト	64Kバイト	あり	あり	-40~+105°C	

注1. CAN 2.0 プロトコルのみ対応

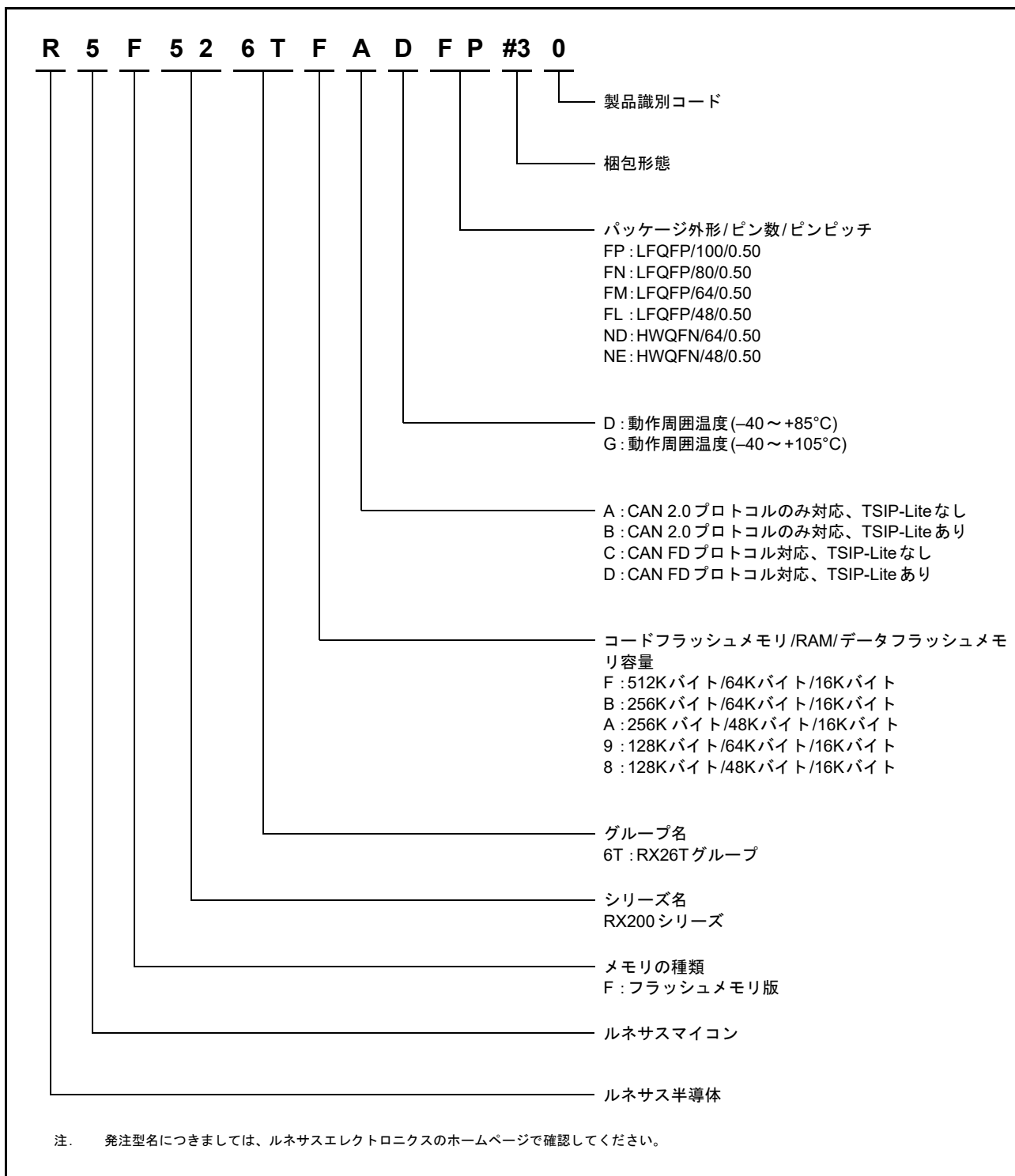


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2、図 1.3 にブロック図を示します。

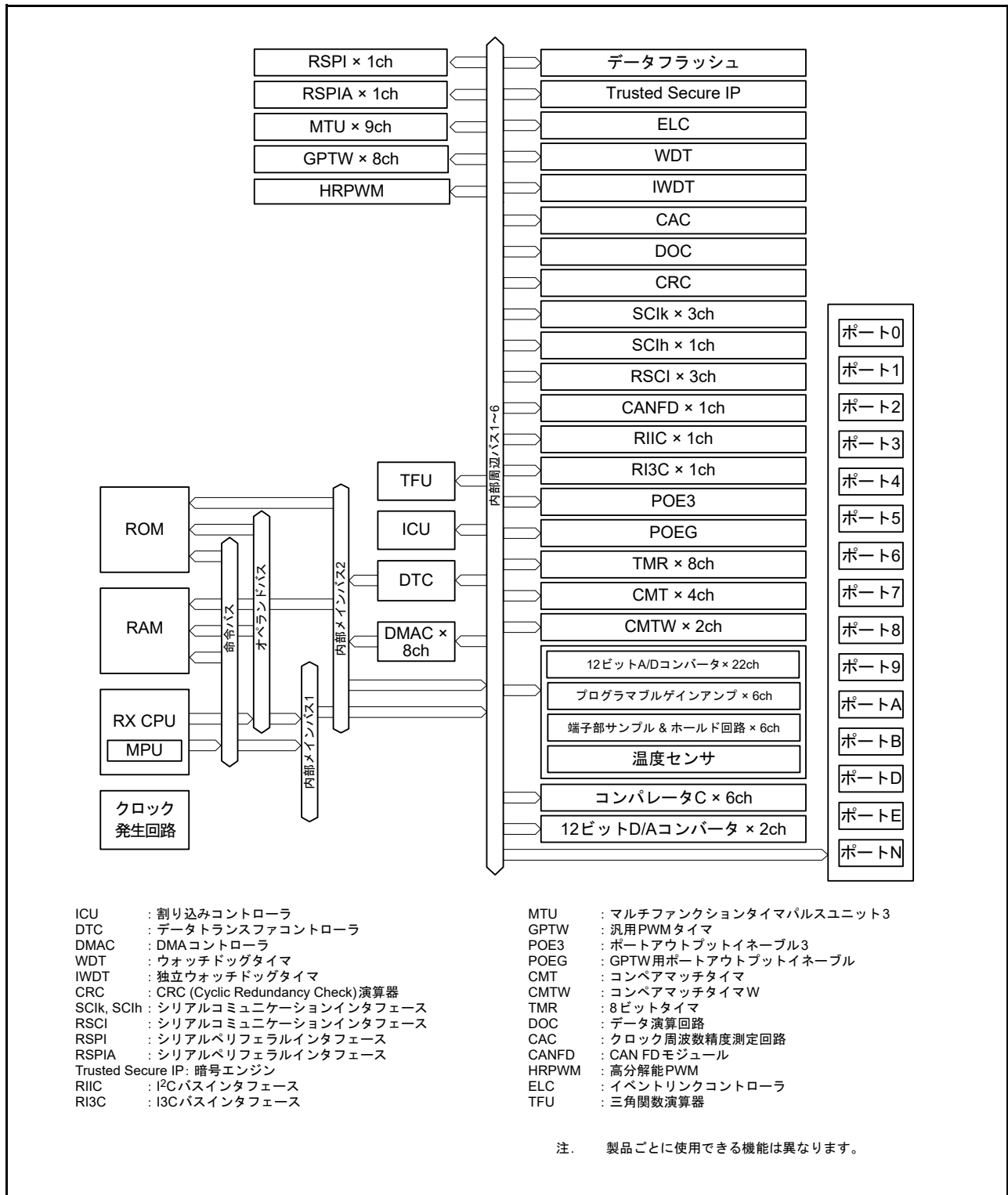


図 1.2 ブロック図 (RAM 容量が 64K バイトの製品)

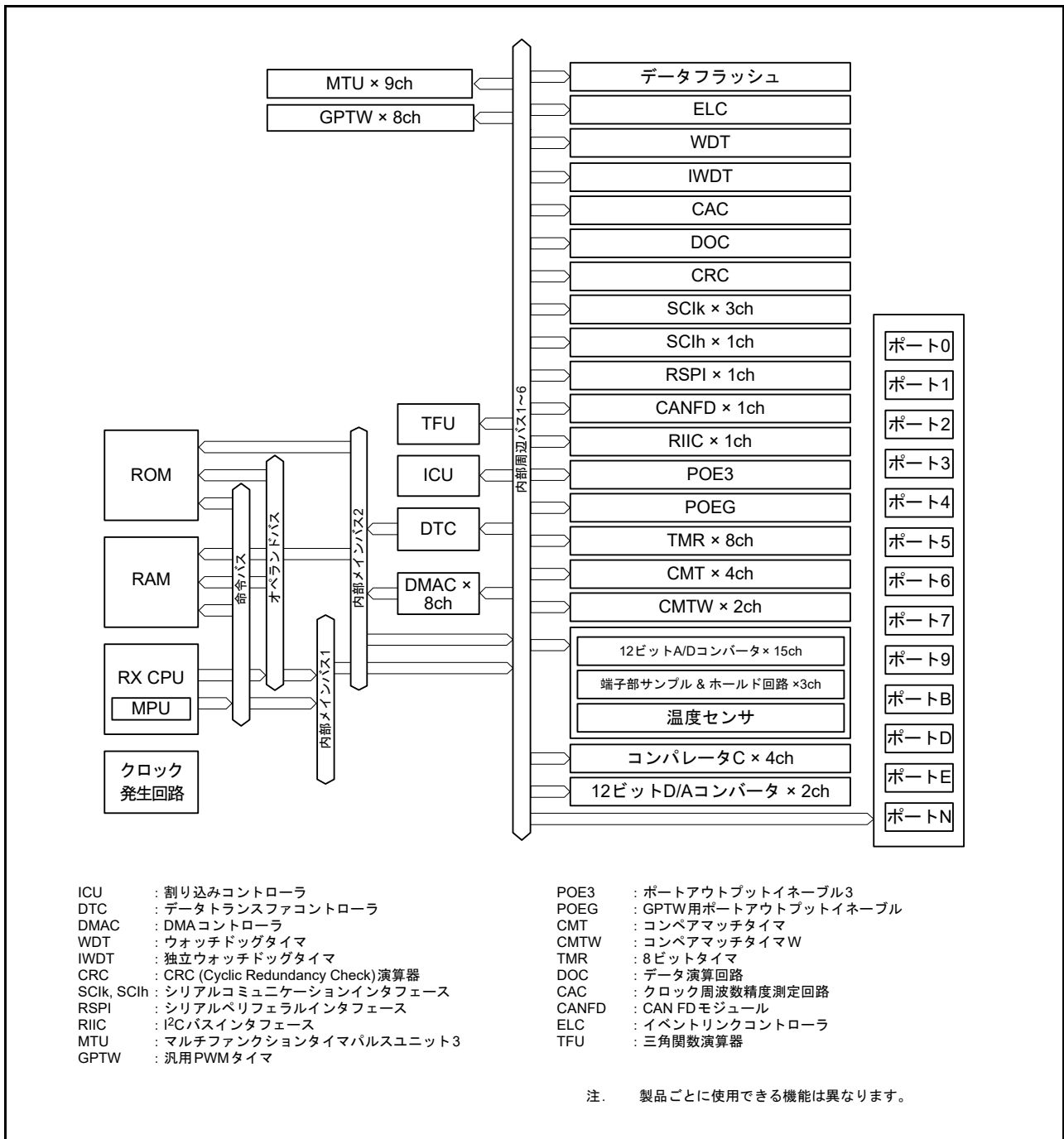


図 1.3 ブロック図 (RAM 容量が 48K バイトの製品)

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 5)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	内部電源安定用の平滑コンデンサ(0.47μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ15	入力	割り込み要求端子
マルチファンクション タイムパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0~TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3~TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4~TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子

表 1.4 端子機能一覧 (2 / 5)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6～TGRD6のインプットキャプチャ反転入力/アウト プットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7～TGRD7のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7～TGRD7のインプットキャプチャ反転入力/アウト プットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプット コンペア出力/PWM出力端子
	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9～TGRD9のインプットキャプチャ反転入力/アウト プットコンペア反転出力/PWM反転出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/D変換開始要求フレーム同期信号出力端子
汎用PWMタイマ	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A～GTIOC7A, GTIOC0B～GTIOC7B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	GTIOC0A#～GTIOC7A#, GTIOC0B#～GTIOC7B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出 力/PWM反転出力端子
	GTCPP00, GTCPP04	出力	PWM周期同期出力
	GTIU, GTIV, GTIW	入力	ホール素子入力端子
	GTOUUP	出力	BLDCモータ制御3相PWM出力(正相U相)
	GTOULO	出力	BLDCモータ制御3相PWM出力(逆相U相)
	GTOVUP	出力	BLDCモータ制御3相PWM出力(正相V相)
	GTOVLO	出力	BLDCモータ制御3相PWM出力(逆相V相)
	GTOWUP	出力	BLDCモータ制御3相PWM出力(正相W相)
	GTOWLO	出力	BLDCモータ制御3相PWM出力(逆相W相)
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
	8ビットタイマ	TMO0～TMO7	出力
TMC10～TMC17		入力	カウンタに入力する外部クロックの入力端子
TMRI0～TMRI7		入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子
ポートアウトプット イネーブル3	POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#	入力	MTUおよびGPTW用の端子をハイインピーダンス状態にする 要求信号を入力
シリアル コミュニケーション インタフェース(SCIκ)	・調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御用出力端子
	・簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I ² Cクロック入出力端子
SSDA1, SSDA5, SSDA6	入出力	I ² Cデータ入出力端子	

表 1.4 端子機能一覧 (3 / 5)

分類	端子名	入出力	機能	
シリアル コミュニケーション インタフェース(SCIk)	・簡易SPIモード			
	SCK1, SCK5, SCK6	入出力	クロック入出力端子	
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子	
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子	
	SS1#, SS5#, SS6#	入力	チップセレクト入力端子	
シリアル コミュニケーション インタフェース(SCIh)	・調歩同期式モード/クロック同期式モード			
	SCK12	入出力	クロック入出力端子	
	RXD12	入力	受信データ入力端子	
	TXD12	出力	送信データ出力端子	
	CTS12#	入力	送受信開始制御用入力端子	
	RTS12#	出力	送受信開始制御用出力端子	
	・簡易I ² Cモード			
	SSCL12	入出力	I ² Cクロック入出力端子	
	SSDA12	入出力	I ² Cデータ入出力端子	
	・簡易SPIモード			
	SCK12	入出力	クロック入出力端子	
	SMISO12	入出力	スレーブ送出データ入出力端子	
	SMOSI12	入出力	マスタ送出データ入出力端子	
	SS12#	入力	チップセレクト入力端子	
	・拡張シリアルモード			
	RDX12	入力	受信データ入力端子	
	TXDX12	出力	送信データ出力端子	
	SIOX12	入出力	送受信データ入出力端子	
	シリアル コミュニケーション インタフェース(RSCI)	・調歩同期式モード/クロック同期式モード		
		SCK008, SCK009, SCK011	入出力	クロック入出力端子
RXD008, RXD009, RXD011		入力	受信データ入力端子	
TXD008, TXD009, TXD011		出力	送信データ出力端子	
CTS008#, CTS009#, CTS011#		入力	送受信開始制御用入力端子	
RTS008#, RTS009#, RTS011#		出力	送受信開始制御用出力端子	
DE008, DE009, DE011		出力	DriveEnable出力端子	
・簡易I ² Cモード				
SSCL008, SSCL009, SSCL011		入出力	I ² Cクロック入出力端子	
SSDA008, SSDA009, SSDA011		入出力	I ² Cデータ入出力端子	
・簡易SPIモード				
SCK008, SCK009, SCK011		入出力	クロック入出力端子	
SMISO008, SMISO009, SMISO011		入出力	スレーブ送出データ入出力端子	
SMOSI008, SMOSI009, SMOSI011		入出力	マスタ送出データ入出力端子	
SS008#, SS009#, SS011#		入力	チップセレクト入力端子	
・HBSサポートモード				
RXD008, RXD009, RXD011		入力	受信データ入力端子	
TXDA008, TXDA009, TXDA011		出力	送信データ出力端子	
TXDB008, TXDB009, TXDB011				

表 1.4 端子機能一覧 (4 / 5)

分類	端子名	入出力	機能
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
I ³ Cバスインタフェース	SCL00	入出力	I ³ Cバスインタフェースのクロック入出力端子。
	SDA00	入出力	I ³ Cバスインタフェースのデータ入出力端子。
CAN FDモジュール	CRX0	入力	入力端子
	CTX0	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
シリアルペリフェラル インタフェース (RSPIA)	RSPCK0	入出力	RSPIAのクロック入出力端子
	MOSI0	入出力	RSPIAのマスタ送出データ端子
	MISO0	入出力	RSPIAのスレーブ送出データ端子
	SSL00	入出力	RSPIAのスレーブセレクト入出力端子
	SSL01～SSL03	出力	RSPIAのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN006, AN100～AN103, AN200～AN211, AN216, AN217	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0～COMP5	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCn用アナログ入力端子 (n = 0～5, m = 0～3)
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ0のアナログ電源端子。12ビットA/Dコンバータ0を使用しない場合は、AVCC1/AVCC2のいずれかに接続してください
	AVSS0	入力	12ビットA/Dコンバータ0のアナロググランド端子。12ビットA/Dコンバータ0を使用しない場合は、AVSS1/AVSS2のいずれかに接続してください
	AVCC1	入力	12ビットA/Dコンバータ1のアナログ電源端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVCC0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVCC2に接続してください
	AVSS1	入力	12ビットA/Dコンバータ1のアナロググランド端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVSS0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVSS2に接続してください

表 1.4 端子機能一覧 (5 / 5)

分類	端子名	入出力	機能
アナログ電源	AVCC2	入力	12ビットA/Dコンバータ2のアナログ電源端子、D/Aコンバータの基準電源端子、コンパレータCのアナログ電源端子、温度センサのアナログ電源端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVCC0/AVCC1のいずれかに接続してください
	AVSS2	入力	12ビットA/Dコンバータ2のアナロググランド端子、D/Aコンバータの基準グランド端子、コンパレータCのアナロググランド端子、温度センサのアナロググランド端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVSS0/AVSS1のいずれかに接続してください
I/Oポート	P00, P01	入出力	汎用入出力端子
	P10, P11	入出力	汎用入出力端子
	P20～P24, P27	入出力	汎用入出力端子
	P30～P33, P36, P37	入出力	汎用入出力端子
	P40～P47	入出力	汎用入出力端子
	P50～P55	入出力	汎用入出力端子
	P60～P65	入出力	汎用入出力端子
	P70～P76	入出力	汎用入出力端子
	P80～P82	入出力	汎用入出力端子
	P90～P96	入出力	汎用入出力端子
	PA0～PA5	入出力	汎用入出力端子
	PB0～PB7	入出力	汎用入出力端子
	PD0～PD7	入出力	汎用入出力端子
	PE0～PE5	入出力	汎用入出力端子(PE2は入力端子)
PN6 (注1), PN7 (注2)	入出力	汎用入出力端子	

注. A/Dコンバータ、D/Aコンバータ、コンパレータC、温度センサをすべて使用しない場合、AVCC0、AVCC1、AVCC2端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。

注1. リセット解除後MD端子になり、プルアップ抵抗が有効になります。

注2. リセット解除後EMLE端子になり、プルダウン抵抗が有効になります。

1.5 ピン配置図

1.5.1 100ピンLFQFP

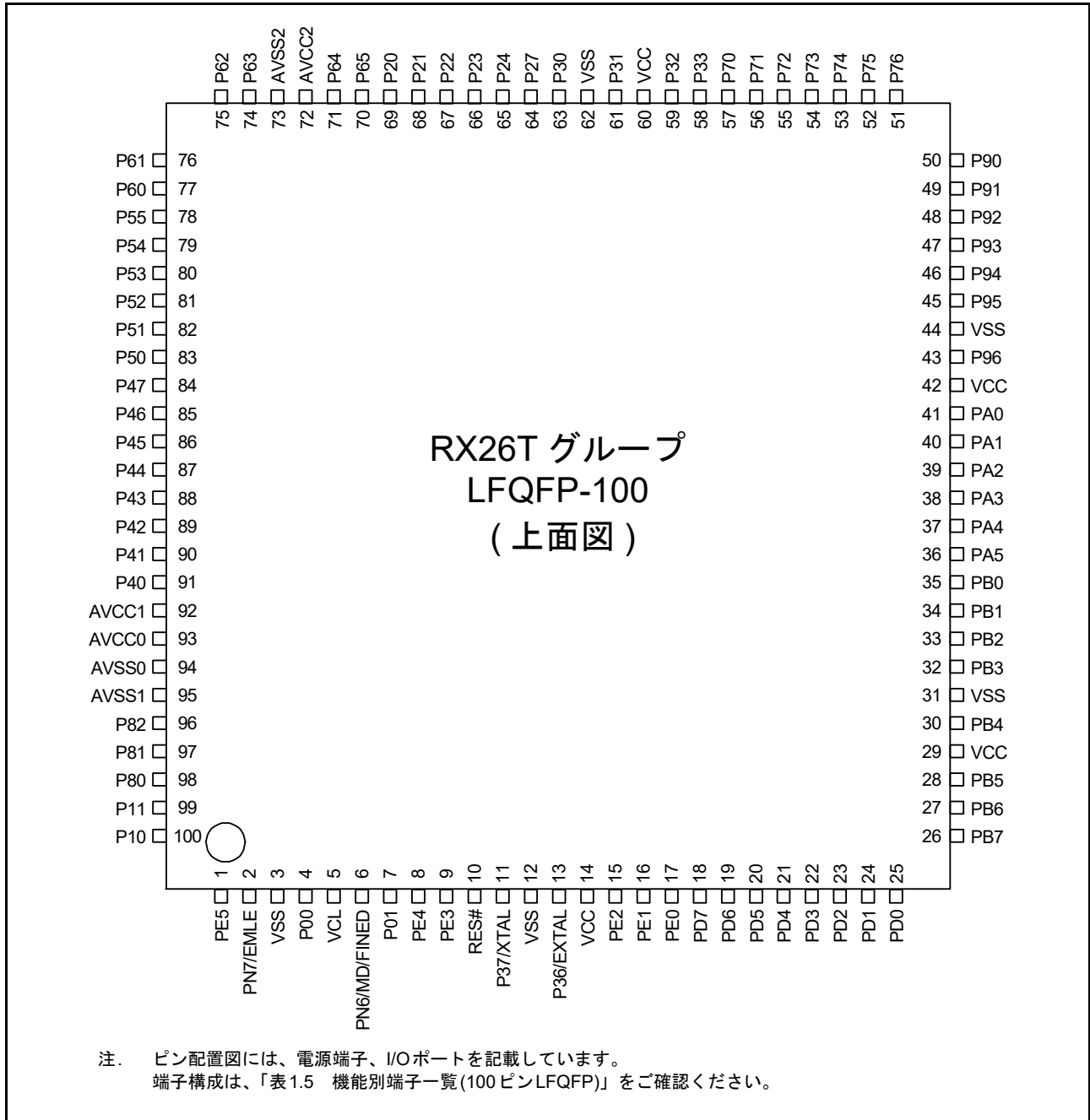


図 1.4 100ピン(LFQFP)ピン配置図

1.5.2 80ピン LQFP

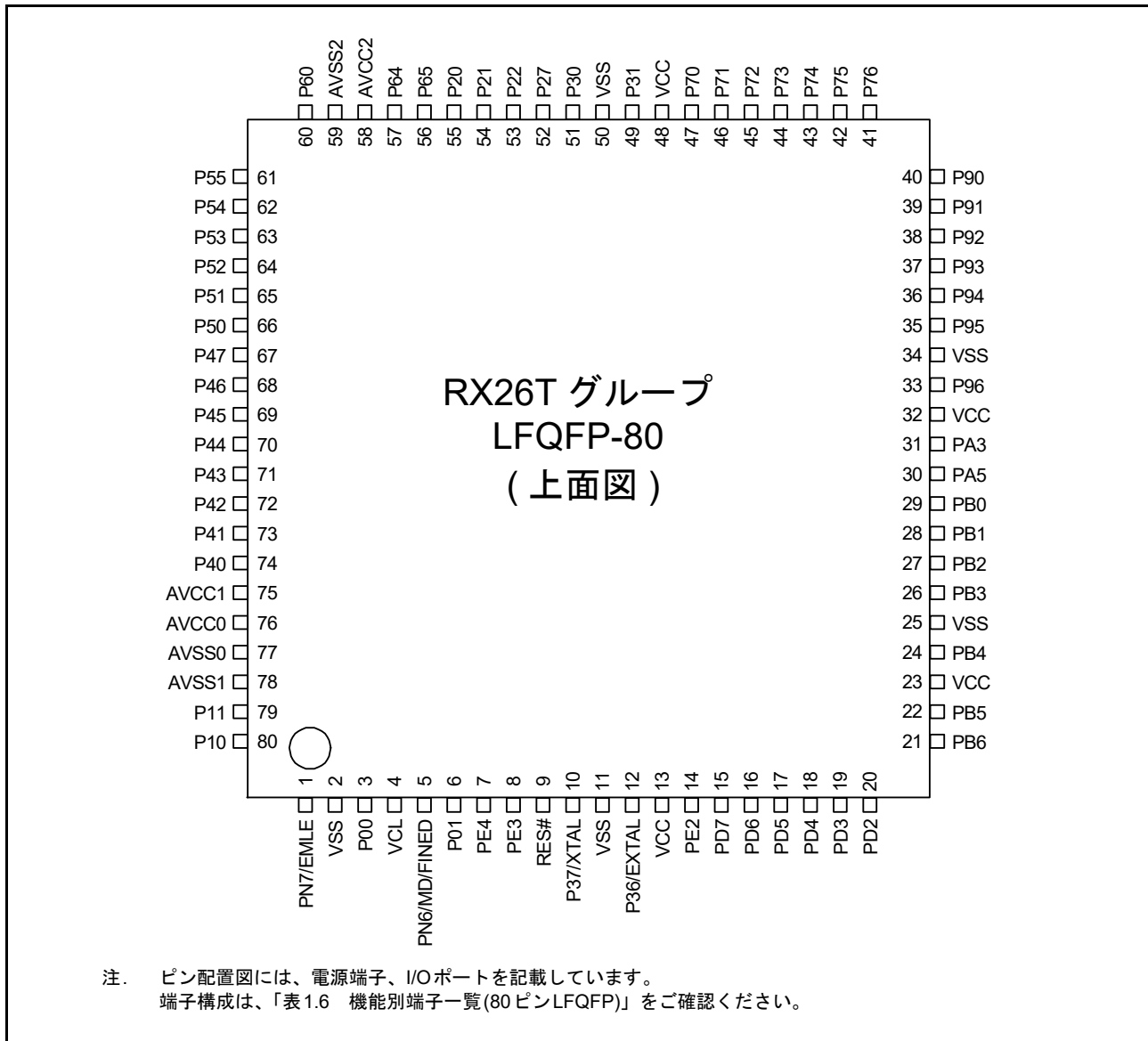


図 1.5 80ピン(LQFP)ピン配置図

1.5.3 64ピンLFQFP、64ピンHWQFN

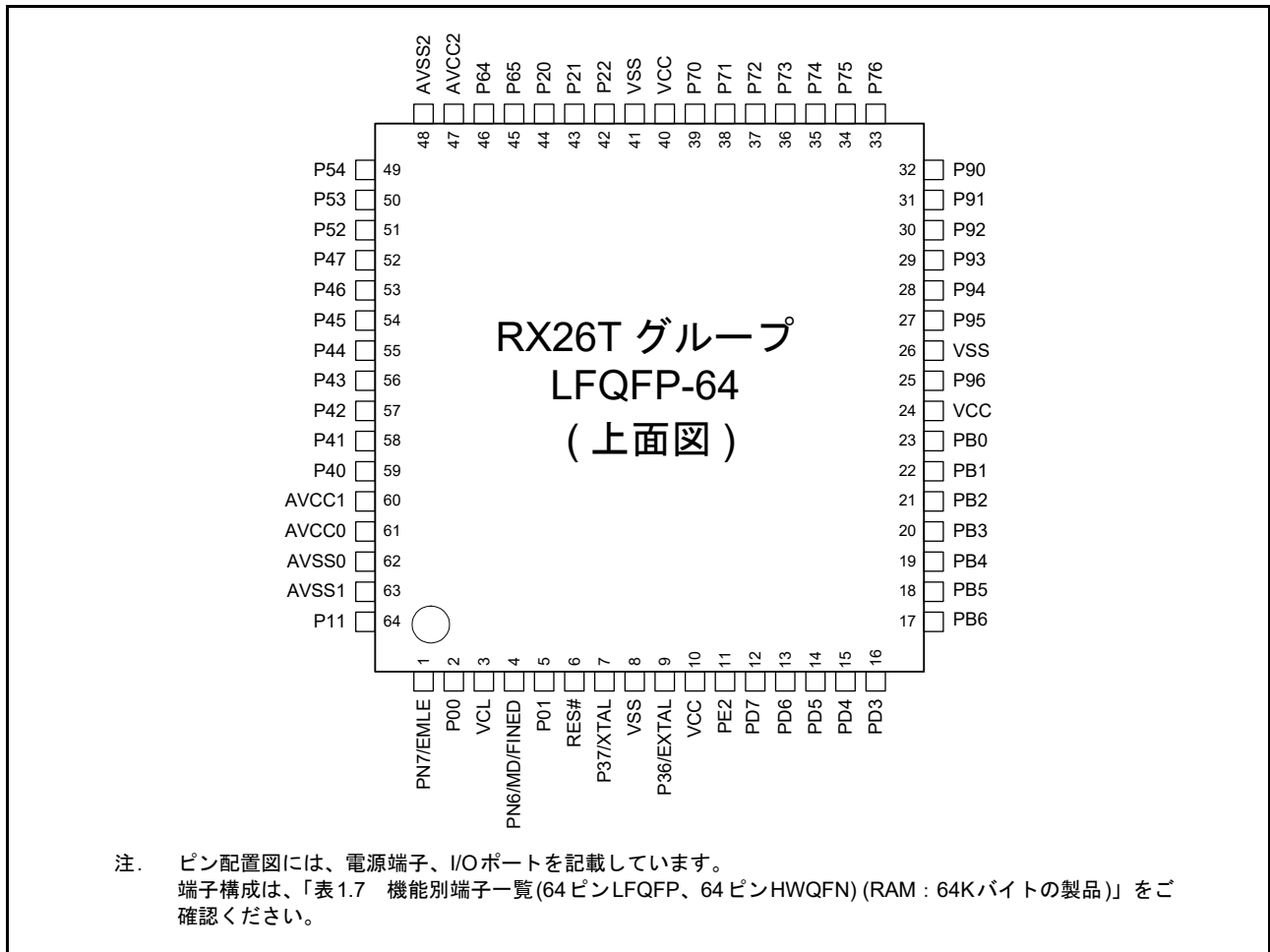


図 1.6 64ピン(LFQFP)ピン配置図(RAM : 64Kバイト製品)

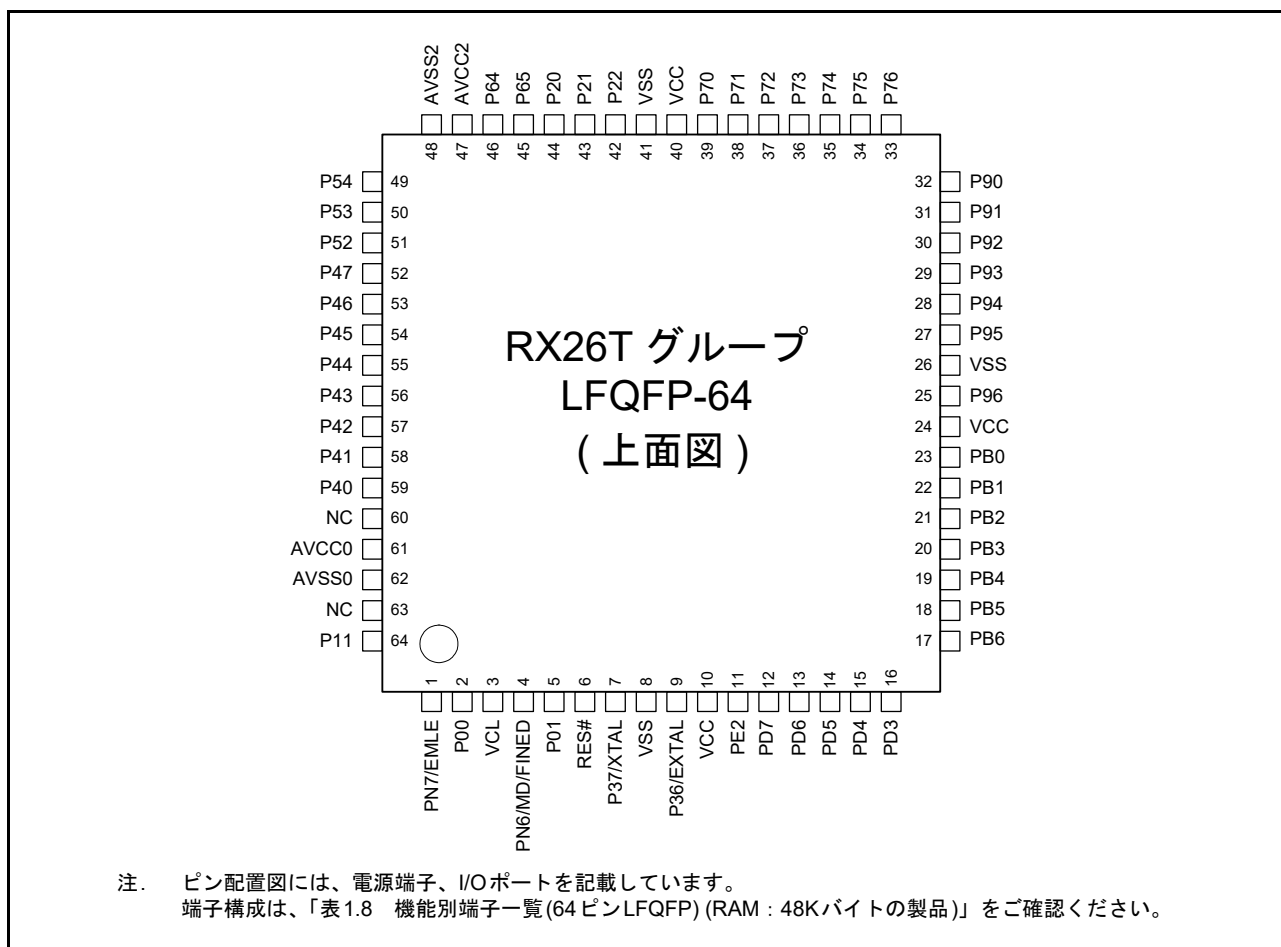


図 1.7 64ピン(LQFP)ピン配置図(RAM : 48Kバイト製品)

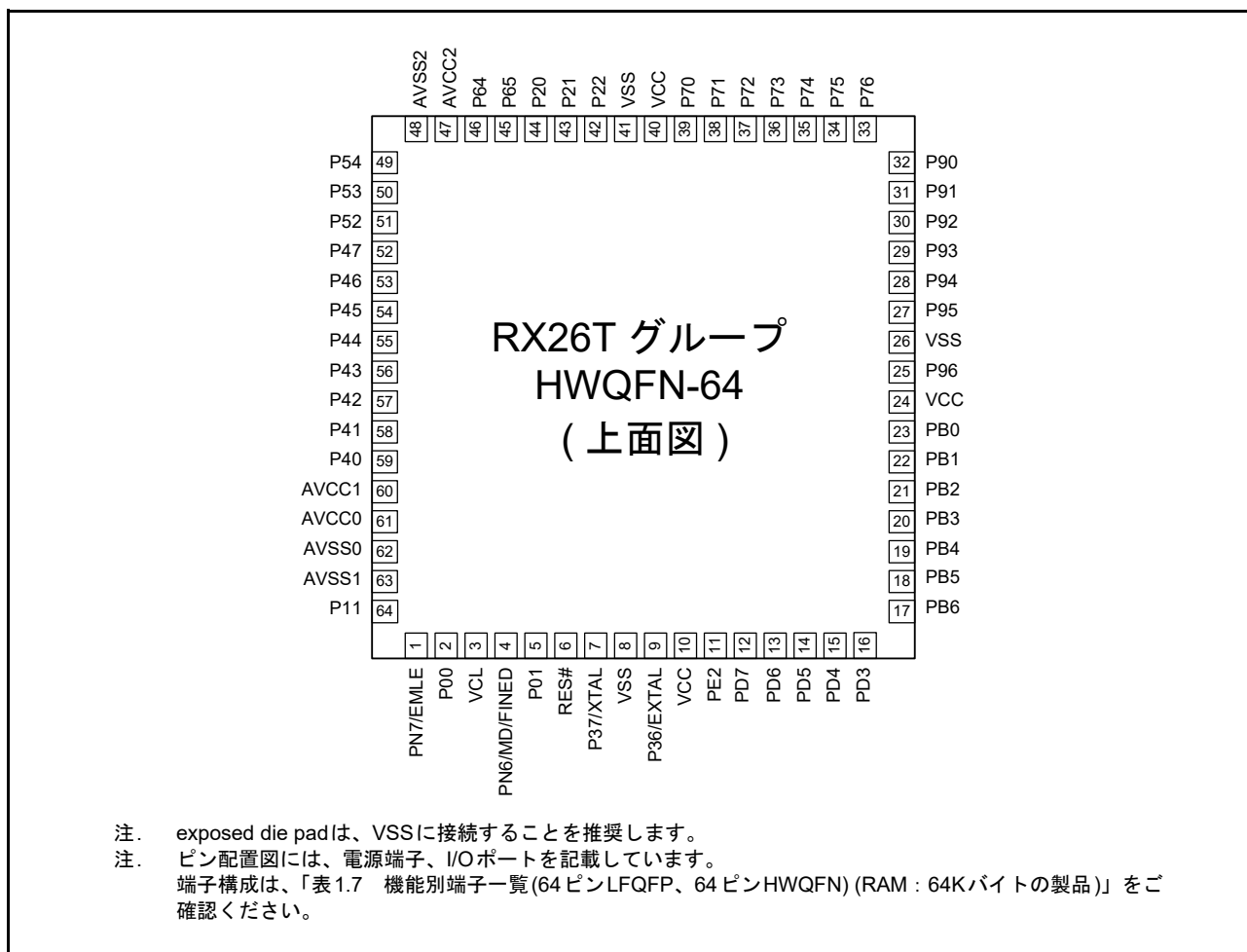


図 1.8 64ピン(HWQFN)ピン配置図

1.5.4 48ピン LFQFP、48ピン HWQFN

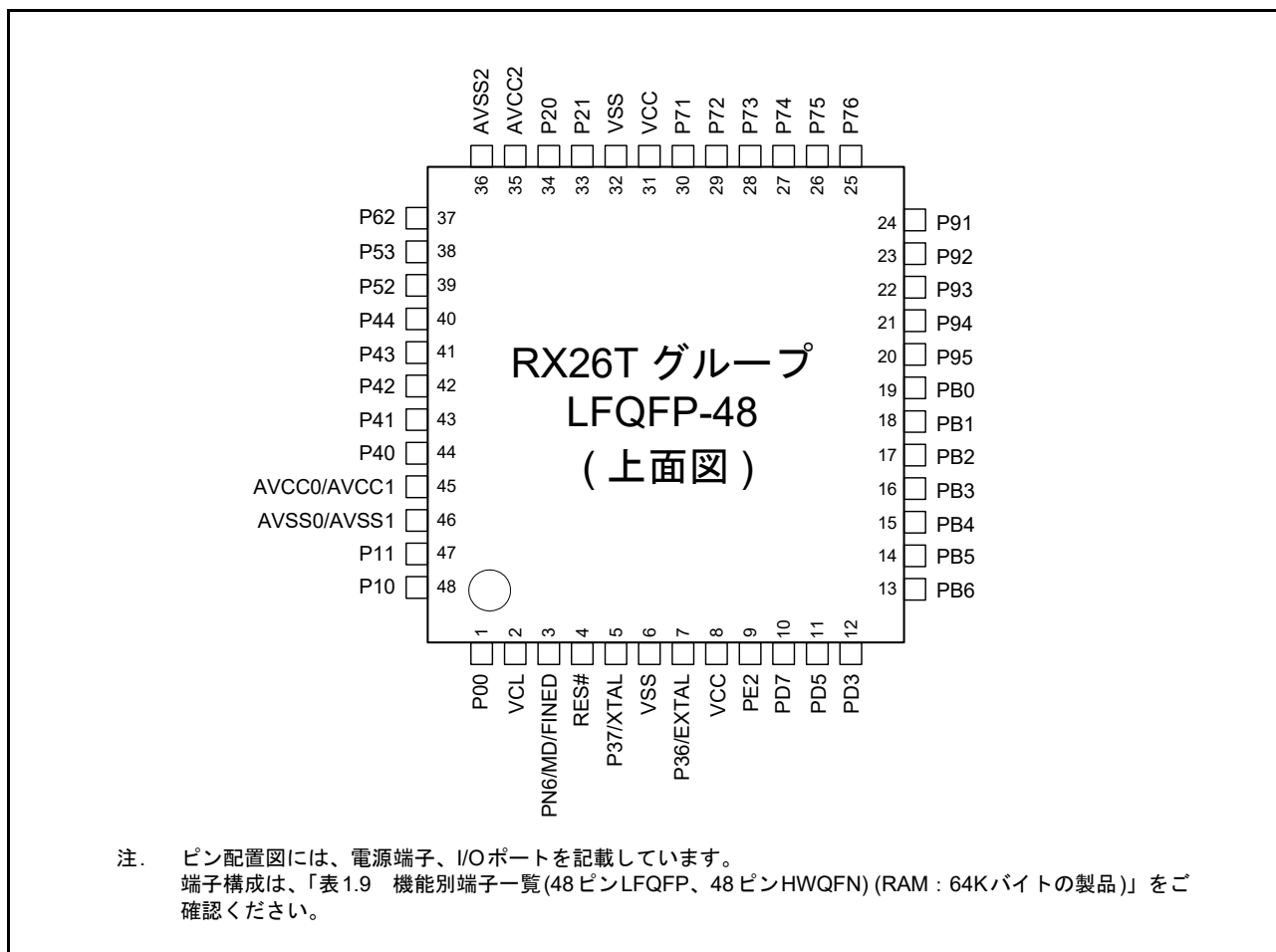


図 1.9 48ピン (LFQFP) ピン配置図 (RAM : 64Kバイト製品)

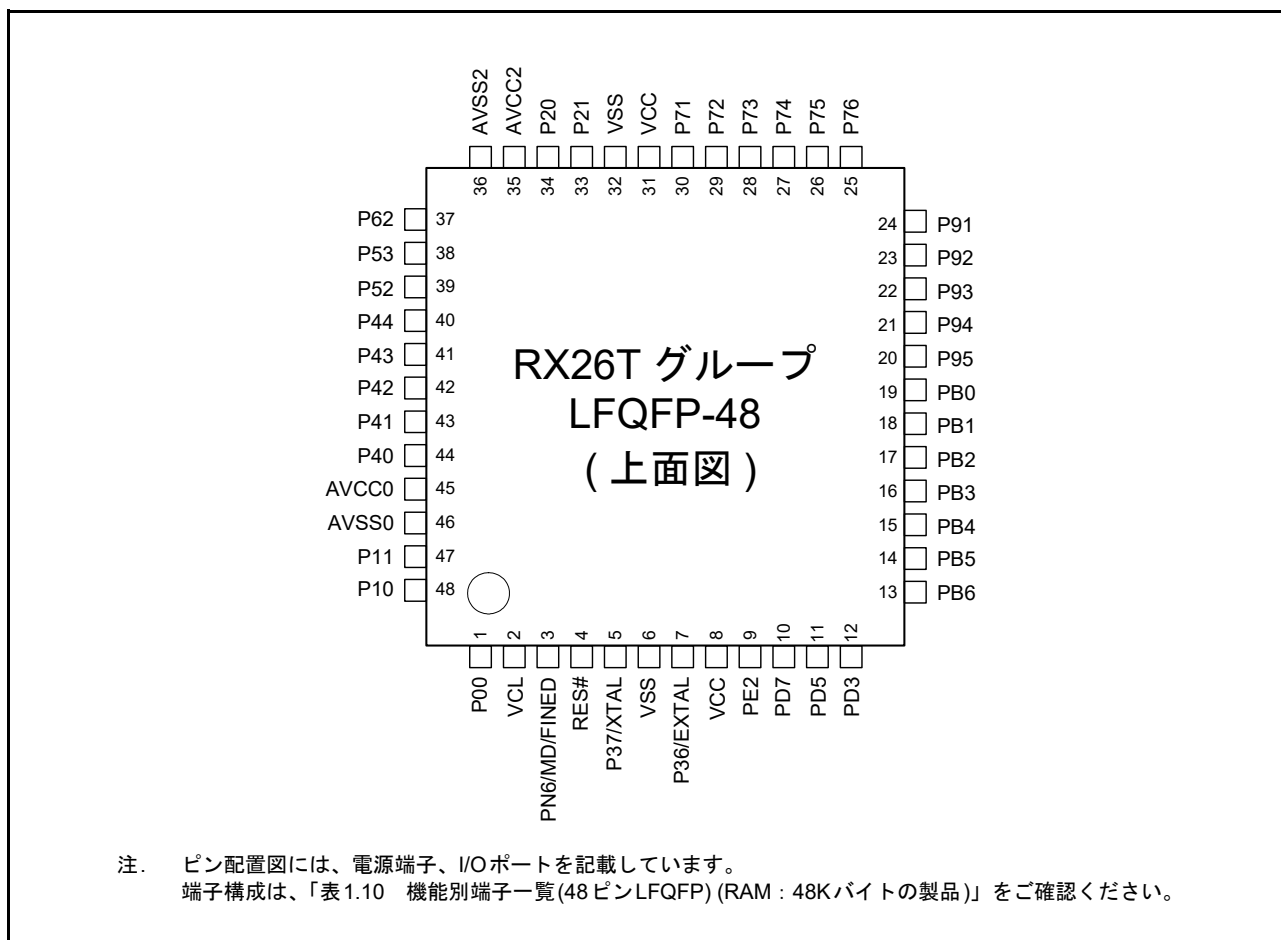


図 1.10 48ピン(LQFP)ピン配置図(RAM : 48Kバイト製品)

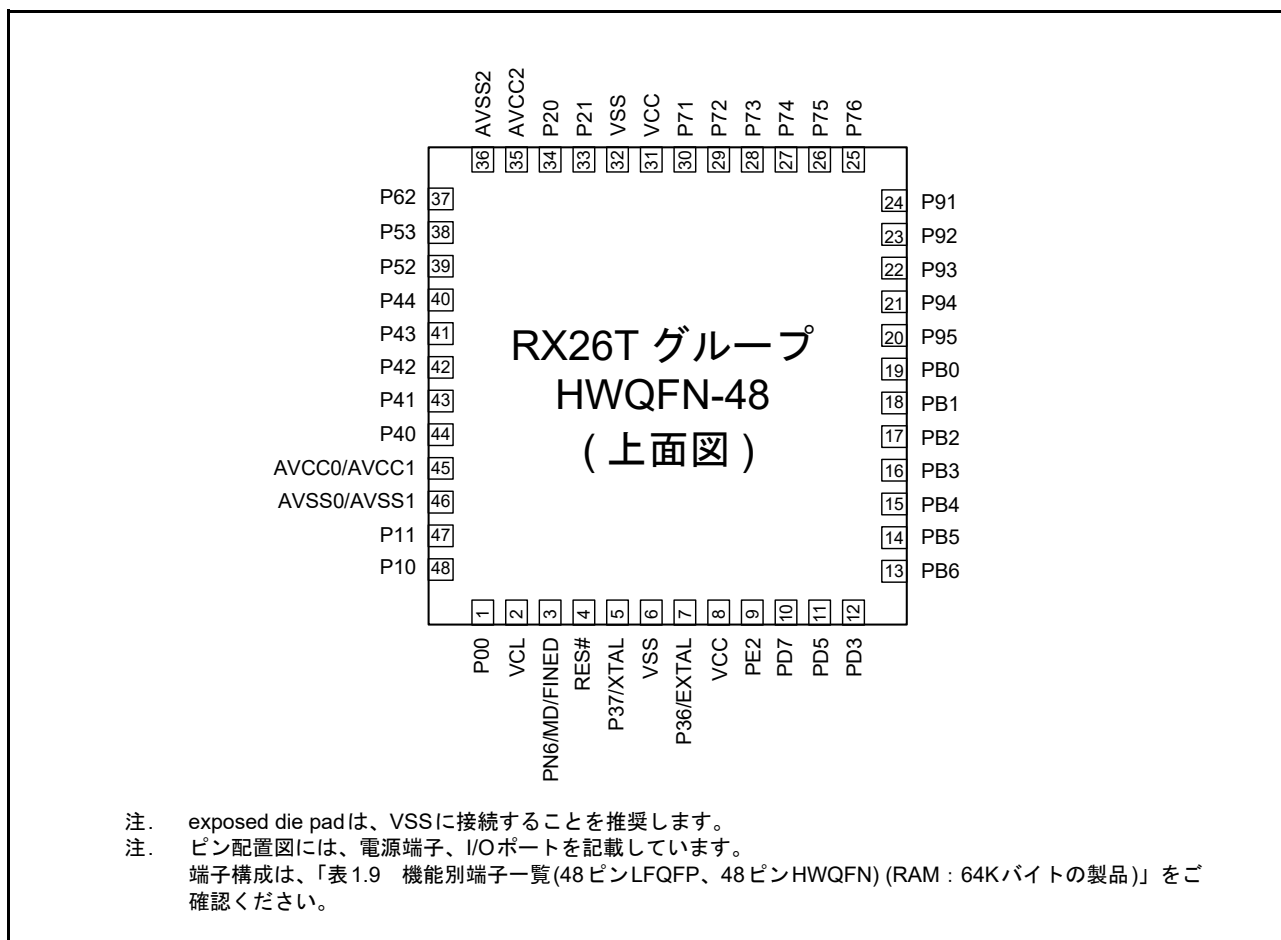


図 1.11 48ピン (HWQFN) ピン配置図

1.6 機能別端子一覧

1.6.1 100ピンLFQFP

表 1.5 機能別端子一覧(100ピンLFQFP)(1/6)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1		PE5	MTIOC9D/MTIOC9D#/ GTIOC3A/GTETRGB/ GTIOC3A#/GTETRGD	SCK009/CTS009#/ RTS009#/SS009#/TXDB009	IRQ0	ADST0
2	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
3	VSS					
4		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
5	VCL					
6	MD/FINED	PN6				
7		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD009/ TXDA009/SMOSI009/ SSDA009	IRQ4	ADST2/ COMP1
8		PE4	MTCLKC/MTCLKC#/ POE10#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	SCK009/TXDB009	IRQ1	
9		PE3	MTCLKD/MTCLKD#/ POE11#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	CTS009#/RTS009#/SS009#/ DE009	IRQ2	
10	RES#					
11	XTAL	P37		RXD5/SMISO5/SSCL5		
12	VSS					
13	EXTAL	P36		TXD5/SMOSI5/SSDA5		
14	VCC					
15		PE2	POE10#		NMI/IRQ0	
16		PE1	MTIOC9D/MTIOC9D#/TMO5	CTS5#/RTS5#/SS5#/ CTS12#/RTS12#/SS12#/ SSLA3/SSL03	IRQ15	
17		PE0	MTIOC9B/MTIOC9B#/ TMCI1/TMCI5/GTIV	RXD5/SMISO5/SSCL5/ SSLA2/SSL02/CRX0	IRQ7	
18	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
19	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/DE011/ SSLA0/SSL00	IRQ5	ADST0
20	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
21	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ SCK011/TXDB011/SSL02	IRQ2	

表 1.5 機能別端子一覧(100ピンLFQFP) (2 / 6)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
22	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSIO		
23		PD2	TMCI1/TMO4/GTIOC2B/ GTIOC0A/GTIOC2B#/ GTIOC0A#	SCK5/SCK008/TXDB008/ MOSIA/MOSIO		
24		PD1	TMO2/GTIOC3A/GTIOC0B/ GTIOC3A#/GTIOC0B#	RXD008/SMISO008/ SSCL008/MISOA/MISO0		
25		PD0	TMO6/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#	TXD008/TXDA008/ SMOSI008/SSDA008/ RSPCKA/RSPCK0		
26		PB7	GTIOC1B/GTIOC1B#	SCK5/SCK12/SCK011/ TXDB011/SSL03		
27		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
28		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
29	VCC					
30		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	
31	VSS					
32		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
33		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
34		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1
35		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSIO	IRQ8	ADTRG2#
36		PA5	MTIOC1A/MTIOC1A#/ TMCI3	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/MISO0	IRQ1	ADTRG1#
37		PA4	MTIOC1B/MTIOC1B#/ TMCI7	SCK6/TXD008/TXDA008/ SMOSI008/SSDA008/ RSPCKA/RSPCK0		ADTRG0#

表 1.5 機能別端子一覧(100ピンLQFP)(3/6)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
38		PA3	MTIOC2A/MTIOC2A#/ TMRI7/GTADSM0	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
39		PA2	MTIOC2B/MTIOC2B#/ TMO7/GTADSM1	CTS6#/RTS6#/SS6#/ RXD009/SMISO009/ SSCL009/SSLA1/SSL01		
40		PA1	MTIOC6A/MTIOC6A#/ TMO4/GTCPPO4	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ CRX0	IRQ14	ADTRG0#
41		PA0	MTIOC6C/MTIOC6C#/ TMO2	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ CTX0		
42	VCC					
43		P96	POE4#/GTETRG/	CTS008#/RTS008#/SS008#/ DE008/SSL03/RSPCK0	IRQ4	
44	VSS					
45		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
46		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
47		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSI0/CRX0	IRQ14	ADTRG0#
48		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTUULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
49		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
50		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5/ SSL01		
51		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
52		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		

表 1.5 機能別端子一覧(100ピンLFQFP)(4/6)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
53		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
54		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
55		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSIO		
56		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
57		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMR16/POE0#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/ RSPCK0	IRQ5	
58		P33	MTIOC3A/MTCLKA/ MTIOC3A#/MTCLKA#/ TMO0/GTIOC3B/GTIOC7B/ GTIOC3B#/GTIOC7B#/ GTCPPO0	SSLA3/SSL03	IRQ13	
59		P32	MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/ TMO6/GTIOC3A/GTIOC7A/ GTIOC3A#/GTIOC7A#	SSLA2/SSL02	IRQ12	
60	VCC					
61		P31	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMR16/GTIU	SSLA1/SSL01	IRQ6	
62	VSS					
63		P30	MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/ TMC16/GTIV	SCK008/CTS008#/ RTS008#/SS008#/DE008/ SSLA0/SSL00	IRQ7	COMP3
64		P27	MTIOC1A/MTIOC0C/ MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#	RSPCKA/RSPCK0	IRQ15	
65		P24	MTIC5U/MTIC5U#/TMC12/ TMO6	CTS008#/RTS008#/SS008#/ SCK008/DE008/RSPCKA/ RSPCK0	IRQ4	COMP0
66		P23	MTIC5V/MTIC5V#/TMO2/ CACREF	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSIO/ CTX0	IRQ11	COMP1
67		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMR12/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/RXD008/ SMISO08/SSCL008/ SCK008/TXDB008/MISOA/ MISO0/CRX0	IRQ10	ADTRG2#/ COMP2

表 1.5 機能別端子一覧(100ピンLFQFP)(5 / 6)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
68		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMC14/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSIO	IRQ6	AN217/ ADTRG1#/ COMP5
69		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
70		P65			IRQ9	AN211/ CMPC53/DA1
71		P64			IRQ8	AN210/ CMPC33/DA0
72	AVCC2					
73	AVSS2					
74		P63			IRQ7	AN209/ CMPC23
75		P62			IRQ6	AN208/ CMPC43
76		P61			IRQ5	AN207/ CMPC13
77		P60			IRQ4	AN206/ CMPC03
78		P55			IRQ3	AN203/ CMPC32
79		P54			IRQ2	AN202/ CMPC22/ CVREFC1
80		P53			IRQ1	AN201/ CMPC12/ CVREFC0
81		P52			IRQ0	AN200/ CMPC02
82		P51				AN205/ CMPC52
83		P50				AN204/ CMPC42
84		P47				AN103
85		P46				AN102/ CMPC50/ CMPC51
86		P45				AN101/ CMPC40/ CMPC41
87		P44				AN100/ CMPC30/ CMPC31
88		P43				AN003
89		P42				AN002/ CMPC20/ CMPC21
90		P41				AN001/ CMPC10/ CMPC11

表 1.5 機能別端子一覧(100ピンLFQFP)(6 / 6)

ピン番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
91		P40				AN000/ CMPC00/ CMPC01
92	AVCC1					
93	AVCC0					
94	AVSS0					
95	AVSS1					
96		P82	MTIC5U/MTIC5U#/TMO4	SCK6/SCK12	IRQ3	COMP5
97		P81	MTIC5V/MTIC5V#/TMC14	TXD6/SMOSI6/SSDA6/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		COMP4
98		P80	MTIC5W/MTIC5W#/TMR14	RXD6/SMISO6/SSCL6/ RXD12/SMISO12/SSCL12/ RXDX12	IRQ5	COMP3
99		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPP00/TOC3	SCK009/SCK008/TXDB009	IRQ1	
100		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMR13/POE12#/GTIOC3A/ GTETRGA/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#/ TXD009/TXDA009/ SMOSI009/SSDA009	IRQ0	

1.6.2 80ピンLFQFP

表 1.6 機能別端子一覧(80ピンLFQFP) (1 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
2	VSS					
3		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
4	VCL					
5	MD/FINED	PN6				
6		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD009/ TXDA009/SMOSI009/ SSDA009	IRQ4	ADST2/ COMP1
7		PE4	MTCLKC/MTCLKC#/ POE10#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	SCK009/TXDB009	IRQ1	
8		PE3	MTCLKD/MTCLKD#/ POE11#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD	CTS009#/RTS009#/SS009#/ DE009	IRQ2	
9	RES#					
10	XTAL	P37		RXD5/SMISO5/SSCL5		
11	VSS					
12	EXTAL	P36		TXD5/SMOSI5/SSDA5		
13	VCC					
14		PE2	POE10#		NMI/IRQ0	
15	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
16	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/DE011/ SSLA0/SSL00	IRQ5	ADST0
17	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
18	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ SCK011/TXDB011/SSL02	IRQ2	
19	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSI0		
20		PD2	TMCI1/TMO4/GTIOC2B/ GTIOC0A/GTIOC2B#/ GTIOC0A#	SCK5/SCK008/TXDB008/ MOSIA/MOSI0		

表 1.6 機能別端子一覧(80ピンLFQFP)(2 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
21		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO11/SSCL011/MISO0/ CRX0	IRQ2	
22		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
23	VCC					
24		PB4	POE8#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	
25	VSS					
26		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
27		PB2	MTIOC0B/MTIOC0B#/ TMR10/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
28		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1
29		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSIO	IRQ8	ADTRG2#
30		PA5	MTIOC1A/MTIOC1A#/ TMCI3	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/MISO0	IRQ1	ADTRG1#
31		PA3	MTIOC2A/MTIOC2A#/ TMR17/GTADSM0	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
32	VCC					
33		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4	CTS008#/RTS008#/SS008#/ DE008/SSL03/RSPCK0	IRQ4	
34	VSS					
35		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
36		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		

表 1.6 機能別端子一覧(80ピンLFQFP)(3 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
37		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSIO/CRX0	IRQ14	ADTRG0#
38		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
39		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
40		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5/ SSL01		
41		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
42		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		
43		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
44		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
45		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSIO		
46		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
47		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMR16/POE0#/GTETRGA/ GTETRGA/GTETRGC/ GTETRGD/GTCPPO0	SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/ RSPCK0	IRQ5	
48	VCC					
49		P31	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMR16/GTIU	SSLA1/SSL01	IRQ6	
50	VSS					
51		P30	MTIOC0B/MTCLKD/ MTIOC0B#/MTCLKD#/ TMC16/GTIV	SCK008/CTS008#/ RTS008#/SS008#/DE008/ SSLA0/SSL00	IRQ7	COMP3
52		P27	MTIOC1A/MTIOC0C/ MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#	RSPCKA/RSPCK0	IRQ15	

表 1.6 機能別端子一覧(80ピンLFQFP) (4 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
53		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMR12/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/RXD008/ SMISO008/SSCL008/ SCK008/TXDB008/MISOA/ MISO0/CRX0	IRQ10	ADTRG2#/ COMP2
54		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSIO	IRQ6	AN217/ ADTRG1#/ COMP5
55		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMR14/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
56		P65			IRQ9	AN211/ CMPC53/DA1
57		P64			IRQ8	AN210/ CMPC33/DA0
58	AVCC2					
59	AVSS2					
60		P60			IRQ4	AN206/ CMPC03
61		P55			IRQ3	AN203/ CMPC32
62		P54			IRQ2	AN202/ CMPC22/ CVREFC1
63		P53			IRQ1	AN201/ CMPC12/ CVREFC0
64		P52			IRQ0	AN200/ CMPC02
65		P51				AN205/ CMPC52
66		P50				AN204/ CMPC42
67		P47				AN103
68		P46				AN102/ CMPC50/ CMPC51
69		P45				AN101/ CMPC40/ CMPC41
70		P44				AN100/ CMPC30/ CMPC31
71		P43				AN003
72		P42				AN002/ CMPC20/ CMPC21
73		P41				AN001/ CMPC10/ CMPC11

表 1.6 機能別端子一覧(80ピンLFQFP) (5 / 5)

ピン番号 80ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
74		P40				AN000/ CMPC00/ CMPC01
75	AVCC1					
76	AVCC0					
77	AVSS0					
78	AVSS1					
79		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPP00/TOC3	SCK009/SCK008/TXDB009	IRQ1	
80		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMR13/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#/ TXD009/TXDA009/ SMOSI009/SSDA009	IRQ0	

1.6.3 64ピンLFQFP、64ピンHWQFN (RAM : 64Kバイトの製品)

表 1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN) (RAM : 64Kバイトの製品) (1 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
2		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
3	VCL					
4	MD/FINED	PN6				
5		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRG/TA/ GTETRGB/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD009/ TXDA009/SMOSI009/ SSDA009	IRQ4	ADST2/ COMP1
6	RES#					
7	XTAL	P37		RXD5/SMISO5/SSCL5		
8	VSS					
9	EXTAL	P36		TXD5/SMOSI5/SSDA5		
10	VCC					
11		PE2	POE10#		NMI/IRQ0	
12	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
13	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIU	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/DE011/ SSLA0/SSL00	IRQ5	ADST0
14	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRG/TA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
15	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGB/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/ SCK011/TXDB011/SSL02	IRQ2	
16	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSIO		
17		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
18		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
19		PB4	POE8#/GTETRG/TA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	

表 1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN)(RAM : 64Kバイトの製品)(2 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
20		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
21		PB2	MTIOC0B/MTIOC0B#/ TMR10/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
22		PB1	MTIOC0C/MTIOC0C#/ TMC10/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1
23		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSIO	IRQ8	ADTRG2#
24	VCC					
25		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4	CTS008#/RTS008#/SS008#/ DE008/SSL03/RSPCK0	IRQ4	
26	VSS					
27		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMC13/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
28		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
29		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSIO/CRX0	IRQ14	ADTRG0#
30		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
31		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
32		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOWLO	TXD5/SMOSI5/SSDA5/ SSL01		
33		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
34		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		

表 1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN)(RAM : 64Kバイトの製品)(3 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
35		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
36		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
37		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSIO		
38		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISOO		
39		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRGA/ GTETRGA/GTETRGC/ GTETRGD/GTCPPO0	SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/ RSPCK0	IRQ5	
40	VCC					
41	VSS					
42		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/RXD008/ SMISO008/SSCL008/ SCK008/TXDB008/MISOA/ MISOO/CRX0	IRQ10	ADTRG2#/ COMP2
43		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSIO	IRQ6	AN217/ ADTRG1#/ COMP5
44		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
45		P65			IRQ9	AN211/ CMPC53/DA1
46		P64			IRQ8	AN210/ CMPC33/DA0
47	AVCC2					
48	AVSS2					
49		P54			IRQ2	AN202/ CMPC22/ CVREFC1
50		P53			IRQ1	AN201/ CMPC12/ CVREFC0
51		P52			IRQ0	AN200/ CMPC02
52		P47				AN103
53		P46				AN102/ CMPC50/ CMPC51

表 1.7 機能別端子一覧(64ピンLFQFP、64ピンHWQFN)(RAM : 64Kバイトの製品)(4 / 4)

ピン番号 64ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
54		P45				AN101/ CMPC40/ CMPC41
55		P44				AN100/ CMPC30/ CMPC31
56		P43				AN003
57		P42				AN002/ CMPC20/ CMPC21
58		P41				AN001/ CMPC10/ CMPC11
59		P40				AN000/ CMPC00/ CMPC01
60	AVCC1					
61	AVCC0					
62	AVSS0					
63	AVSS1					
64		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPP00/TOC3	SCK009/SCK008/TXDB009	IRQ1	

1.6.4 64ピン LQFP (RAM : 48K バイトの製品)

表 1.8 機能別端子一覧(64ピンLQFP) (RAM : 48Kバイトの製品) (1 / 4)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1	EMLE	PN7	MTIOC9D/MTIOC9D#		IRQ5	ADST0
2		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12	IRQ2	COMP0
3	VCL					
4	MD/FINED	PN6				
5		P01	MTIOC9C/MTIOC9C#/ POE12#/GTETRGA/ GTETRGA/GTETRGC/ GTETRGD/GTIW	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4	ADST2/ COMP1
6	RES#					
7	XTAL	P37		RXD5/SMISO5/SSCL5		
8	VSS					
9	EXTAL	P36		TXD5/SMOSI5/SSDA5		
10	VCC					
11		PE2	POE10#		NMI/IRQ0	
12	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SSLA1/CTX0	IRQ8	
13	TMS	PD6	MTIOC9C/MTIOC9C#/ TMO1/GTIOC0B/GTIOC3B/ GTIOC0B#/GTIOC3B#/ GTIW	CTS1#/RTS1#/SS1#/ RXD12/SMISO12/SSCL12/ RXDX12/SSLA0	IRQ5	ADST0
14	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1	IRQ6	
15	TCK	PD4	TMCI0/TMCI6/GTIOC1B/ GTETRGA/GTIOC1B#	SCK1/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ2	
16	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1		
17		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/CRX0	IRQ2	
18		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0		
19		PB4	POE8#/GTETRGA/ GTETRGA/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0	IRQ3	
20		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/ RSPCKA/CTX0	IRQ9	
21		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0		ADSM0
22		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/SCL0	IRQ4	ADSM1

表 1.8 機能別端子一覧(64ピンLQFP) (RAM : 48Kバイトの製品) (2 / 4)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
23		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ MOSIA	IRQ8	ADTRG2#
24	VCC					
25		P96	POE4#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO4		IRQ4	
26	VSS					
27		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMC13/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ MISOA	IRQ1	
28		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	SSLA0		
29		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOVUP	SSLA2/CRX0	IRQ14	ADTRG0#
30		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SSLA3/CTX0		
31		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5		
32		P90	MTIOC7D/MTIOC7D#/ GTIOC6B/GTIOC6B#/ GTOVLO	TXD5/SMOSI5/SSDA5		
33		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOVLO			
34		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO			
35		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO			
36		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOVUP			
37		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP			
38		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP			

表 1.8 機能別端子一覧(64ピンLQFP) (RAM : 48Kバイトの製品) (3 / 4)

ピン番号 64ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
39		P70	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ TMR16/POE0#/GTETRGA/ GTETRGB/GTETRGC/ GTETRGD/GTCPPO0	SCK5/SSLA0	IRQ5	
40	VCC					
41	VSS					
42		P22	MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/ TMR12/TMO4/MTIOC9B/ GTIV	RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0	IRQ10	ADTRG2#/ COMP2
43		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMC14/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MOSIA	IRQ6	AN217/ COMP5
44		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMR14/TMO2/GTIW	RSPCKA	IRQ7	AN216/ ADTRG0#/ COMP4
45		P65			IRQ9	AN211/ CMPC53/DA1
46		P64			IRQ8	AN210/ CMPC52/DA0
47	AVCC2					
48	AVSS2					
49		P54			IRQ2	AN202/ CMPC22/ CVREFC1
50		P53			IRQ1	AN201/ CMPC12/ CVREFC0
51		P52			IRQ0	AN200/ CMPC02
52		P47				AN206/ CMPC03
53		P46				AN006/ CMPC21
54		P45				AN005/ CMPC11
55		P44				AN004/ CMPC01
56		P43				AN003/ CMPC23/ CMPC50
57		P42				AN002/ CMPC20
58		P41				AN001/ CMPC10
59		P40				AN000/ CMPC13/ CMPC00
60	NC					
61	AVCC0					
62	AVSS0					
63	NC					

表 1.8 機能別端子一覧(64ピンLFQFP)(RAM : 48Kバイトの製品)(4 / 4)

ピン番号 64ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
64		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPP00/TOC3		IRQ1	

1.6.5 48ピンLFQFP、48ピンHWQFN (RAM : 64Kバイトの製品)

表 1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (RAM : 64Kバイトの製品) (1 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12/RXD009/ SMISO009/SSCL009	IRQ2	ADST1/ COMP0
2	VCL					
3	MD/FINED	PN6				
4	RES#					
5	XTAL	P37		RXD5/SMISO5/SSCL5		
6	VSS					
7	EXTAL	P36		TXD5/SMOSI5/SSDA5		
8	VCC					
9		PE2	POE10#		NMI/IRQ0	
10	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMRI1/TMRI5/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SCK009/TXD008/TXDA008/ SMOSI008/SSDA008/ TXDB009/SSLA1/SSL01/ CTX0	IRQ8	
11	TDI	PD5	TMRI0/TMRI6/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1/ RXD011/SMISO011/ SSCL011/SSL00	IRQ6	
12	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/ SMOSI011/SSDA011/MOSI0		
13		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/RXD011/ SMISO011/SSCL011/MISO0/ CRX0	IRQ2	
14		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD011/ TXDA011/SMOSI011/ SSDA011/RSPCK0/CTX0		
15		PB4	POE8#/GTETRGA/ GTETRGA/GTETRGC/ GTETRGA/GTETRGC/ GTETRGD/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/CTS011#/ RTS011#/SS011#/SCK011/ TXDB011/MISOA/SSL01/ CRX0	IRQ3	
16		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/ CTS009#/RTS009#/SS009#/ DE009/RSPCKA/CTX0	IRQ9	
17		PB2	MTIOC0B/MTIOC0B#/ TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0/SDA00		ADSM0
18		PB1	MTIOC0C/MTIOC0C#/ TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/ SCL0/SCL00	IRQ4	ADSM1

表 1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN)(RAM : 64Kバイトの製品)(2 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
19		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ TXD008/TXDA008/ SMOSI008/SSDA008/ CTS011#/RTS011#/SS011#/ DE011/MOSIA/MOSIO	IRQ8	ADTRG2#
20		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMCI3/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ RXD008/SMISO008/ SSCL008/MISOA/SSL02/ MISO0	IRQ1	ADTRG1#
21		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	TXD009/TXDA009/ SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/ SSL00		
22		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	TXD009/TXDA009/ SMOSI009/SSDA009/ RXD011/SMISO011/ SSCL011/SSLA2/SSL02/ MOSIO/CRX0	IRQ14	ADTRG0#
23		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/ MISO0/CTX0		
24		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5/ RSPCK0		
25		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO	SSL03		
26		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO	SSL02		
27		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO	SSL01		
28		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP	SSL00		
29		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP	MOSIO		
30		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP	MISO0		
31	VCC					
32	VSS					

表 1.9 機能別端子一覧(48ピンLFQFP、48ピンHWQFN)(RAM : 64Kバイトの製品)(3 / 3)

ピン番号 48ピン LFQFP, HWQFN	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSCI, RSPI, RSPIA, RIIC, RI3C, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
33		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMC14/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/ SSDA008/MOSIA/MOSIO	IRQ6	AN217/ ADTRG1#/ COMP5
34		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMR14/TMO2/GTIW	CTS008#/RTS008#/SS008#/ RXD008/SMISO008/ SSCL008/DE008/RSPCKA/ RSPCK0	IRQ7	AN216/ ADTRG0#/ COMP4
35	AVCC2					
36	AVSS2					
37		P62			IRQ6	AN208/ CMPC43
38		P53			IRQ1	AN201/ CMPC12/ CVREFC0
39		P52			IRQ0	AN200/ CMPC02
40		P44				AN100/ CMPC30/ CMPC31
41		P43				AN003
42		P42				AN002/ CMPC20/ CMPC21
43		P41				AN001/ CMPC10/ CMPC11
44		P40				AN000/ CMPC00/ CMPC01
45	AVCC0/ AVCC1					
46	AVSS0/AVSS1					
47		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPP00/TOC3	SCK009/SCK008/TXDB009	IRQ1	
48		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMR13/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#/ TXD009/TXDA009/ SMOSI009/SSDA009	IRQ0	

1.6.6 48ピンLFQFP (RAM : 48Kバイトの製品)

表 1.10 機能別端子一覧(48ピンLFQFP) (RAM : 48Kバイトの製品) (1 / 3)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
1		P00	MTIOC9A/MTIOC9A#/ CACREF/GTIU/TIC3	RXD12/SMISO12/SSCL12/ RXDX12	IRQ2	COMP0
2	VCL					
3	MD/FINED	PN6				
4	RES#					
5	XTAL	P37		RXD5/SMISO5/SSCL5		
6	VSS					
7	EXTAL	P36		TXD5/SMOSI5/SSDA5		
8	VCC					
9		PE2	POE10#		NMI/IRQ0	
10	TRST#	PD7	MTIOC9A/MTIOC9A#/ TMR11/TMR15/GTIOC0A/ GTIOC3A/GTIOC0A#/ GTIOC3A#/GTIU	TXD5/SMOSI5/SSDA5/ SSLA1/CTX0	IRQ8	
11	TDI	PD5	TMR10/TMR16/GTIOC1A/ GTETRGA/GTIOC1A#/ GTIOC7A	RXD1/SMISO1/SSCL1	IRQ6	
12	TDO	PD3	TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B	TXD1/SMOSI1/SSDA1		
13		PB6	GTIOC2A/GTIOC3A/ GTIOC2A#/GTIOC3A#/ TOC0	RXD5/SMISO5/SSCL5/ RXD12/SMISO12/SSCL12/ RXDX12/CRX0	IRQ2	
14		PB5	GTIOC2B/GTIOC3B/ GTIOC2B#/GTIOC3B#/TIC0	TXD5/SMOSI5/SSDA5/ TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0		
15		PB4	POE8#/GTETRGA/ GTETRGA/GTETRGC/ GTETRGC/GTCPPO0	CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0	IRQ3	
16		PB3	MTIOC0A/MTIOC0A#/ CACREF/GTIU/TOC1	SCK6/TXD12/SMOSI12/ SSDA12/TDX12/SIOX12/ RSPCKA/CTX0	IRQ9	
17		PB2	MTIOC0B/MTIOC0B#/ TMR10/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/ TIC1	TXD6/SMOSI6/SSDA6/ SDA0		ADSM0
18		PB1	MTIOC0C/MTIOC0C#/ TMC10/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/ TOC2	RXD6/SMISO6/SSCL6/SCL0	IRQ4	ADSM1
19		PB0	MTIOC0D/MTIOC0D#/ TMO0/TIC2	TXD6/SMOSI6/SSDA6/ MOSIA	IRQ8	ADTRG2#
20		P95	MTIOC6B/MTIOC1A/ MTIOC6B#/MTIOC1A#/ TMC13/GTIOC4A/GTIOC7A/ GTIOC4A#/GTIOC7A#/ GTOUUP	RXD6/SMISO6/SSCL6/ MISOA	IRQ1	
21		P94	MTIOC7A/MTIOC2A/ MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/ GTADSM0/GTIOC5A#/ GTOVUP	SSLA0		

表 1.10 機能別端子一覧(48ピンLQFP) (RAM : 48Kバイトの製品) (2 / 3)

ピン番号 48ピン LQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
22		P93	MTIOC7B/MTIOC6A/ MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/ GTOWUP	SSLA2/CRX0	IRQ14	ADTRG0#
23		P92	MTIOC6D/MTIOC6C/ MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/ GTIOC4B#/GTIOC7B#/ GTOULO	SSLA3/CTX0		
24		P91	MTIOC7C/MTIOC7C#/ GTIOC5B/GTIOC5B#/ GTOVLO	RXD5/SMISO5/SSCL5		
25		P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/ GTOWLO			
26		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/ GTOVLO			
27		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/ GTOULO			
28		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/ GTOWUP			
29		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/ GTOVUP			
30		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/ GTOUUP			
31	VCC					
32	VSS					
33		P21	MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/ TMC14/TMO6/GTIU	TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/MOSIA	IRQ6	AN217/ COMP5
34		P20	MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW	RSPCKA	IRQ7	AN216/ ADTRG0#/ COMP4
35	AVCC2					
36	AVSS2					
37		P62			IRQ6	AN208/ CMPC51
38		P53			IRQ1	AN201/ CMPC12/ CVREFC0
39		P52			IRQ0	AN200/ CMPC02
40		P44				AN004/ CMPC01

表 1.10 機能別端子一覧(48ピンLFQFP)(RAM : 48Kバイトの製品)(3 / 3)

ピン番号 48ピン LFQFP	電源 クロック システム制御	I/Oポート	タイマ (MTU, GPTW, TMR, POE, POEG, CAC, CMTW)	通信 (SCI, RSPI, RIIC, CANFD)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC)
41		P43				AN003/ CMPC23/ CMPC50
42		P42				AN002/ CMPC20
43		P41				AN001/ CMPC10
44		P40				AN000/ CMPC13/ CMPC00
45	AVCC0					
46	AVSS0					
47		P11	MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/ GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/ GTCPP00/TOC3		IRQ1	
48		P10	MTIOC9B/MTCLKD/ MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/ GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3	CTS6#/RTS6#/SS6#	IRQ0	

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格

条件：VSS = AVSS0 = AVSS1 = AVSS2 = 0V

項目	記号	定格値	単位
電源電圧 (注1)	VCC	-0.3 ~ +6.5	V
アナログ電源電圧 (注1)	AVCC0, AVCC1, AVCC2	-0.3 ~ +6.5	V
入力電圧	PB1, PB2	V_{in}	V
	P40 ~ P47, P50 ~ P55, P60 ~ P65		
	上記以外		
ジャンクション温度	T_j	-40 ~ +125	°C
保存温度	T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. 各電源とグランド間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離、かつできる限り太いパターンを使用して接続してください。

2.2 推奨動作条件

表2.2 推奨動作条件(1)

項目	記号	min	typ	max	単位
電源電圧	VCC (注1)	2.7	—	5.5	V
	VSS	—	0	—	
アナログ電源電圧 (注2)	AVCC0, AVCC1, AVCC2 (注1)	3.0	—	5.5	V
	AVSS0, AVSS1, AVSS2	—	0	—	
入力電圧	PB1, PB2	V_{in}	—	5.8	V
	P40 ~ P47, P50 ~ P55, P60 ~ P65				
	上記以外				
動作温度	Dバージョン	T_{opr}	—	85	°C
	Gバージョン				
ジャンクション温度	Dバージョン	T_j	—	105	°C
	Gバージョン				

注1. 各電源電圧の関係は以下を守ってください。

$$VCC \leq AVCC0 = AVCC1 = AVCC2$$

注2. 12ビットA/Dコンバータ(ユニット0~2)、12ビットD/Aコンバータ、コンパレータC、温度センサのいずれも使用しないときは、AVCC0、AVCC1、AVCC2はVCCに、AVSS0、AVSS1、AVSS2はVSSにそれぞれ接続してください。詳細は「ユーザーズマニュアルハードウェア編」の「42.6.9 アナログ電源端子他の設定範囲」を参照してください。

表2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	0.47 μ F \pm 30% (注1)

注1. 静電容量の公称値が0.47 μ F、静電容量許容差が \pm 30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表 2.4 DC 特性(1)

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	CANFD入力端子、MTU入力端子、 GPTW入力端子、 POE入力端子、POEG入力端子、 TMR入力端子、SCI入力端子、 RSCI入力端子、 ADTRG#入力端子、RES#、NMI	V _{IH}	0.8 × VCC	—	—	V		
		V _{IL}	—	—	0.2 × VCC			
		ΔV _T	0.06 × VCC	—	—			
	IRQ入力端子 (P52 ~ P55、P60 ~ P65 を除く)	V _{IH}	0.8 × VCC	—	—	V		
		V _{IL}	—	—	0.2 × VCC			
		ΔV _T	0.06 × VCC	—	—			
	IRQ入力端子 (P52 ~ P55、P60 ~ P65)	V _{IH}	0.8 × AVCC2	—	—	V		
		V _{IL}	—	—	0.2 × AVCC2			
		ΔV _T	0.06 × AVCC2	—	—			
	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—	V		
		V _{IL}	—	—	0.3 × VCC			
		ΔV _T	0.06 × VCC	—	—			
	RI3C入力端子	V _{IH}	0.7 × VCC	—	—	V		VCC = 2.7 ~ 3.6V
		V _{IL}	—	—	0.3 × VCC			
		ΔV _T	0.1 × VCC	—	—			
	5Vトレラント対応端子 (PB1, PB2)	V _{IH}	0.8 × VCC	—	—	V		
		V _{IL}	—	—	0.2 × VCC			
	アナログ入力端子 (P40 ~ P47, P50 ~ P55, P60 ~ P63)	V _{IH}	0.8 × AVCC2	—	—	V		
V _{IL}		—	—	0.2 × AVCC2				
その他の入力端子 (上記以外のポート)	V _{IH}	0.8 × VCC	—	—	V			
	V _{IL}	—	—	0.2 × VCC				
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IH}	0.9 × VCC	—	—	V		
	EXTAL、RSPI入力端子、 RSPIA入力端子		0.8 × VCC	—	—			
	RIIC (SMBus)		2.1	—	—			
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IL}	—	—	0.1 × VCC	V		
	EXTAL、RSPI入力端子、 RSPIA入力端子		—	—	0.2 × VCC			
	RIIC (SMBus)		—	—	0.8			

表 2.5 DC特性(2)

条件: $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$, $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
Highレベル出力電圧	P40~P47, P50~P55, P60~P65	V_{OH}	$AV_{CC2} - 0.5$	—	—	V	$I_{OH} = -1.0mA$
			$V_{CC} - 1.0$	—	—		$I_{OH} = -5.0mA$ $V_{CC} < 4.0V$ (大電流出力設定時)
			$V_{CC} - 1.1$	—	—		$I_{OH} = -15.0mA$ $V_{CC} \geq 4.0V$ (大電流出力設定時)
	RI3C端子	$V_{CC} - 0.27$	—	—	$I_{OH} = -3.0mA$		
	上記以外	通常駆動	$V_{CC} - 0.5$	—	—	$I_{OH} = -1.0mA$	
		高駆動	$V_{CC} - 0.5$	—	—	$I_{OH} = -2.0mA$	
Lowレベル出力電圧	P40~P47, P50~P55, P60~P65	V_{OL}	—	—	0.5	V	$I_{OL} = 1.0mA$
			—	—	1.0		$I_{OL} = 15.0mA$ (大電流出力設定時)
	RIIC端子	—	—	0.4	$I_{OL} = 3.0mA$		
		—	—	0.6	$I_{OL} = 6.0mA$		
	RI3C端子	—	—	0.27	$I_{OL} = 3.0mA$		
	上記以外	通常駆動	—	—	0.5	$I_{OL} = 1.0mA$	
		高駆動	—	—	0.5	$I_{OL} = 2.0mA$	
	入力リーク電流	RES#, MD端子、PE2、EMLE(注1)	$ I_{in} $	—	—	1.0	μA
スリーステートリーク電流(オフ状態)	RIIC端子	$ I_{TSI} $	—	—	5.0	μA	$V_{in} = 0V$ $V_{in} = V_{CC}$
	上記以外	—	—	1.0			
入力プルアップ抵抗	P40~P47, P50~P55, P60~P65	R_{PU}	10	—	100	k Ω	$AV_{CC2} = 3.0 \sim 5.5V$ $V_{in} = 0V$
	上記以外および、PE2以外の端子		10	—	100		$V_{CC} = 2.7 \sim 5.5V$ $V_{in} = 0V$
入力プルダウン抵抗	EMLE	R_{PD}	10	—	100	k Ω	$V_{in} = V_{CC} = AV_{CC}$
入力端子容量	RIIC端子	C_{in}	—	—	16	pF	$V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	上記以外		—	—	8		
VCL端子出力電圧		V_{CL}	—	1.25	—	V	

注1. EMLE端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 2.6 DC特性(3) (RAM : 64Kバイトの製品)

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	Dバージョン		Gバージョン		単位	測定条件		
		typ	max	typ	max				
消費電流 (注1)	I_{CC} (注3)	最大動作 (注2)		—	66	—	74	mA ICLK = 120MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 120MHz PCLKD = 60MHz FCLK = 60MHz	
		通常動作	周辺機能クロック供給状態 (注4)		22	—	22		—
			周辺機能クロック停止状態 (注4、注5)		11	—	11		—
		CoreMark動作	周辺機能クロック停止状態 (注4、注5)		18	—	18		—
			スリープモード時 : 周辺機能クロック供給状態 (注4)		18	36	18		44
		全モジュールクロックストップモード時 (参考値)		8.1	22	8.1	29		
		BGO動作時の増加分 (注6)		16	—	16	—		
		Trusted Secure IP動作時の増加分		4.3	5.2	4.3	5.2		
		ソフトウェアスタンバイモード		0.9	8	0.9	13		

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC} は、下記の式のとおりICLK周波数f (MHz)に依存します。

・Dバージョン製品

$I_{CC\ max} = 0.417 \times f + 16$ (通常動作モード、最大動作時)

$I_{CC\ typ} = 0.144 \times f + 5$ (通常動作モード、通常動作時)

$I_{CC\ max} = 0.167 \times f + 16$ (スリープモード時)

・Gバージョン製品

$I_{CC\ max} = 0.433 \times f + 22$ (通常動作モード、最大動作時)

$I_{CC\ typ} = 0.144 \times f + 5$ (通常動作モード、通常動作時)

$I_{CC\ max} = 0.183 \times f + 22$ (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、
 $FCLK = PCLKA = PCLKB = PCLKC = PCLKD$ を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表2.7 DC特性(3) (RAM : 48Kバイトの製品)

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V, VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	Dバージョン		Gバージョン		単位	測定条件		
		typ	max	typ	max				
消費電流 (注1)	I_{CC} (注3)	最大動作(注2)		—	47	—	52	mA ICLK = 120MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 120MHz PCLKD = 60MHz FCLK = 60MHz	
		通常動作	周辺機能クロック供給状態(注4)		17	—	17		—
			周辺機能クロック停止状態(注4、注5)		10	—	10		—
		CoreMark動作	周辺機能クロック停止状態(注4、注5)		16	—	16		—
			スリープモード時： 周辺機能クロック供給状態(注4)		13	25	13		29
		全モジュールクロックストップモード時(参考値)		7.4	16	7.4	20		
		BGO動作時の増加分(注6)		12	—	12	—		
		ソフトウェアスタンバイモード		0.9	5	0.9	8		

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC} は、下記の式のとおりICLK周波数f (MHz)に依存します。

・Dバージョン製品

$$I_{CC \max} = 0.283 \times f + 13 \text{ (通常動作モード、最大動作時)}$$

$$I_{CC \text{ typ}} = 0.107 \times f + 4.3 \text{ (通常動作モード、通常動作時)}$$

$$I_{CC \max} = 0.100 \times f + 13 \text{ (スリープモード時)}$$

・Gバージョン製品

$$I_{CC \max} = 0.285 \times f + 17.8 \text{ (通常動作モード、最大動作時)}$$

$$I_{CC \text{ typ}} = 0.107 \times f + 4.3 \text{ (通常動作モード、通常動作時)}$$

$$I_{CC \max} = 0.093 \times f + 17.8 \text{ (スリープモード時)}$$

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、

$$FCLK = PCLKA = PCLKB = PCLKC = PCLKD \text{ を } 64 \text{ 分周に設定しています。}$$

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表2.8 DC特性(4)
 条件: VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目			記号	min	typ	max	単位	測定条件		
アナログ 電源電流	ユニット0	12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル有効)	I _{AVCC}	—	2.7	6.1	mA	IAVCC0_AD + SH + PGA		
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル無効)		—	2.0	3.0		IAVCC0_AD + SH		
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル有効)		—	1.9	5.0		IAVCC0_AD + PGA		
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル無効)		—	1.0	1.5		IAVCC0_AD		
	ユニット1	12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル有効)		—	2.7	6.1		IAVCC1_AD + SH + PGA		
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル無効)		—	2.0	3.0		IAVCC1_AD + SH		
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル有効)		—	1.9	5.0		IAVCC1_AD + PGA		
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル無効)		—	1.0	1.5		IAVCC1_AD		
	ユニット2	12ビットA/D変換中 (温度センサ: 動作)		—	1.0	1.5		IAVCC2_AD + TEMP		
		12ビットA/D変換中 (温度センサ: 停止)		—	0.9	1.4		IAVCC2_AD		
	コンパレータ (6ch)			—	0.6	0.8		IAVCC2_CMP		
	12ビットD/A変換中(2ch)			—	0.6	0.8		IAVCC2_DA		
	12ビットA/D、12ビットD/A、コンパレータC、 温度センサ 待機時(全ユニット)			—	0.05	0.1		IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA		
	12ビットA/D、12ビットD/A、コンパレータC、 温度センサ モジュールストップ時(全ユニット)			—	0.3	11.1		μA IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA		
	RAM保持電圧			V _{RAM}	2.7	—		—	V	

表 2.9 DC 特性(5)
 条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電源投入時VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	8	ms/V	
	起動時電圧監視0リセット有効時(注1、注2)		0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配		dt/dVCC	1.0	—	—	ms/V	VCC変動がVCC±10%を超える場合

注1. OFS1.LVDAS = 0を設定した場合です。
 注2. ブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

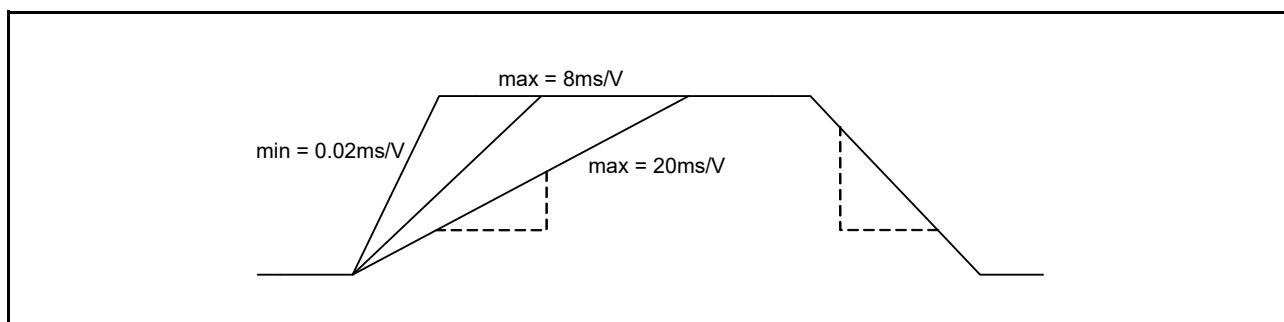


図 2.1 電源投入時 VCC 立ち上がり勾配

表 2.10 出力許容電流

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目			記号	min	typ	max	単位	
出力Lowレベル許容電流 (1端子あたりの平均値)	全出力端子 (RIIC端子、 P40 ~ P47、P50 ~ P55、 P60 ~ P65以外)	通常駆動 (注1)	I_{OL}	—	—	2.0	mA	
		高駆動 (注2)		—	—	2.0		
		大電流出力 (注3)		—	—	15.0		
	RIIC端子	スタンダードモード		—	—	3		
		ファストモード		—	—	6		
	P40 ~ P47, P50 ~ P55, P60 ~ P65				—	—		2.0
出力Lowレベル許容電流 (1端子あたりの最大値)	全出力端子 (RIIC端子、 P40 ~ P47、P50 ~ P55、 P60 ~ P65以外)	通常駆動 (注1)	I_{OL}	—	—	4.0	mA	
		高駆動 (注2)		—	—	4.0		
		高駆動 (注2、注4)		—	—	15.0		
		大電流出力 (注3)		—	—	15.0		
	RIIC端子	スタンダードモード		—	—	3		
		ファストモード		—	—	6		
P40 ~ P47, P50 ~ P55, P60 ~ P65			—	—	4.0			
出力Lowレベル許容電流 (総和)	全出力端子の総和		ΣI_{OL}	—	—	110	mA	
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子 (RIIC端子、 P40 ~ P47、P50 ~ P55、 P60 ~ P65以外)	通常駆動 (注1)	I_{OH}	—	—	-2.0	mA	
		高駆動 (注2)		—	—	-2.0		
		大電流出力 (注3)		—	—	-5.0		
		大電流出力 (注3、注5)		—	—	-15.0		
	P40 ~ P47, P50 ~ P55, P60 ~ P65				—	—		-2.0
	出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子 (RIIC端子、 P40 ~ P47、P50 ~ P55、 P60 ~ P65以外)		通常駆動 (注1)	I_{OH}	—		—
高駆動 (注2)			—	—		-4.0		
大電流出力 (注3)			—	—		-5.0		
大電流出力 (注3、注5)			—	—		-15.0		
P40 ~ P47, P50 ~ P55, P60 ~ P65			—	—		-4.0		
出力Highレベル許容電流 (総和)	全出力端子の総和		ΣI_{OH}	—		—	-35	mA

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表 2.10の値を超えないようにしてください。

- 注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値
 注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値
 注3. 大電流出力が選択できる端子で、大電流出力を設定をした場合の端子の値
 注4. VCC ≥ 4.5Vの場合の値
 注5. VCC ≥ 4.0Vの場合の値

表 2.11 標準出力特性(1)

条件 : VCC = AVCC0 = AVCC1 = AVCC2 = 5.0V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件	
High レベル出力電圧	通常出力時 (全出力端子)	V _{OH}	—	4.97	—	V	I _{OH} = -0.5mA	
			—	4.94	—		I _{OH} = -1.0mA	
			—	4.87	—		I _{OH} = -2.0mA	
			—	4.74	—		I _{OH} = -4.0mA	
	高駆動出力時 (P00, P01, P10, P11, P20 ~ P24, P27, P30 ~ P33, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA5, PB0, PB3 ~ PB7, PD0 ~ PD7, PE0, PE1, PE3 ~ PE5, PN6)		—	4.98	—		I _{OH} = -0.5mA	
			—	4.97	—		I _{OH} = -1.0mA	
			—	4.94	—		I _{OH} = -2.0mA	
			—	4.87	—		I _{OH} = -4.0mA	
			大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—	4.99		—	I _{OH} = -0.5mA
				—	4.98		—	I _{OH} = -1.0mA
				—	4.96		—	I _{OH} = -2.0mA
				—	4.92		—	I _{OH} = -4.0mA
	—		4.91	—	I _{OH} = -5.0mA			
	Low レベル出力電圧		通常出力時 (全出力端子)	V _{OL}	—		0.02	—
—		0.04			—	I _{OL} = 1.0mA		
—		0.09			—	I _{OL} = 2.0mA		
—		0.18			—	I _{OL} = 4.0mA		
高駆動出力時 (P00, P01, P10, P11, P20 ~ P24, P27, P30 ~ P33, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA5, PB0, PB3 ~ PB7, PD0 ~ PD7, PE0, PE1, PE3 ~ PE5, PN6)		—	0.01		—	I _{OL} = 0.5mA		
		—	0.03		—	I _{OL} = 1.0mA		
		—	0.05		—	I _{OL} = 2.0mA		
		—	0.10		—	I _{OL} = 4.0mA		
		—	0.42		—	I _{OL} = 15.0mA		
		大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—		0.01	—	I _{OL} = 0.5mA	
—			0.02		—	I _{OL} = 1.0mA		
—			0.04		—	I _{OL} = 2.0mA		
—			0.07		—	I _{OL} = 4.0mA		
—			0.09		—	I _{OL} = 5.0mA		
—			0.18		—	I _{OL} = 10.0mA		
—			0.28		—	I _{OL} = 15.0mA		

表 2.12 標準出力特性(2)

条件 : VCC = AVCC0 = AVCC1 = AVCC2 = 3.3V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件	
High レベル出力電圧	通常出力時 (全出力端子)	V _{OH}	—	3.26	—	V	I _{OH} = -0.5mA	
			—	3.22	—		I _{OH} = -1.0mA	
			—	3.13	—		I _{OH} = -2.0mA	
			—	2.94	—		I _{OH} = -4.0mA	
	高駆動出力時 (P00, P01, P10, P11, P20 ~ P24, P27, P30 ~ P33, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA5, PB0, PB3 ~ PB7, PD0 ~ PD7, PE0, PE1, PE3 ~ PE5, PN6)		—	3.28	—		I _{OH} = -0.5mA	
			—	3.26	—		I _{OH} = -1.0mA	
			—	3.22	—		I _{OH} = -2.0mA	
			—	3.13	—		I _{OH} = -4.0mA	
			大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—	3.29		—	I _{OH} = -0.5mA
				—	3.27		—	I _{OH} = -1.0mA
				—	3.25		—	I _{OH} = -2.0mA
				—	3.20		—	I _{OH} = -4.0mA
	—		3.17	—	I _{OH} = -5.0mA			
	Low レベル出力電圧		通常出力時 (全出力端子)	V _{OL}	—		0.03	—
—		0.06			—	I _{OL} = 1.0mA		
—		0.12			—	I _{OL} = 2.0mA		
—		0.25			—	I _{OL} = 4.0mA		
高駆動出力時 (P00, P01, P10, P11, P20 ~ P24, P27, P30 ~ P33, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA5, PB0, PB3 ~ PB7, PD0 ~ PD7, PE0, PE1, PE3 ~ PE5, PN6)		—	0.02		—	I _{OL} = 0.5mA		
		—	0.03		—	I _{OL} = 1.0mA		
		—	0.07		—	I _{OL} = 2.0mA		
		—	0.13		—	I _{OL} = 4.0mA		
		大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—		0.01	—	I _{OL} = 0.5mA	
			—		0.02	—	I _{OL} = 1.0mA	
			—		0.05	—	I _{OL} = 2.0mA	
			—		0.09	—	I _{OL} = 4.0mA	
—		0.11	—		I _{OL} = 5.0mA			
—		0.24	—		I _{OL} = 10.0mA			
—		0.36	—		I _{OL} = 15.0mA			

表2.13 熱抵抗値(参考値)

条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = AVSS0 = AVSS1 = AVSS2 = 0V,

 $T_a = T_{opr}$

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	100ピンLFQFP (PLQP0100KB-B)	θ_{ja}	—	—	50.5	°C/W	JESD51-2および JESD51-7準拠
	80ピンLFQFP (PLQP0080KB-B)		—	—	47.7		
	64ピンLFQFP (PLQP0064KB-C)		—	—	51.9		
	64ピンHWQFN (PWQN0064KF-A)		—	—	18.4 (注1)		
	48ピンLFQFP (PLQP0048KB-B)		—	—	60.8		
	48ピンHWQFN (PWQN0048KC-A)		—	—	19.5 (注1)		
	100ピンLFQFP (PLQP0100KB-B)	Ψ_{jt}	—	—	1.39	°C/W	JESD51-2および JESD51-7準拠
	80ピンLFQFP (PLQP0080KB-B)		—	—	1.39		
	64ピンLFQFP (PLQP0064KB-C)		—	—	1.88		
	64ピンHWQFN (PWQN0064KF-A)		—	—	0.12 (注1)		
	48ピンLFQFP (PLQP0048KB-B)		—	—	2.38		
	48ピンHWQFN (PWQN0048KC-A)		—	—	0.12 (注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

2.4 AC 特性

表 2.14 動作周波数

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
システムクロック (ICLK)	f	—	—	120	MHz	
周辺モジュールクロック (PCLKA)		—	—	120		
周辺モジュールクロック (PCLKB)		—	—	60		
周辺モジュールクロック (PCLKC)		—	—	120		
周辺モジュールクロック (PCLKD)		8 (注 1)	—	60		AVCC0 = AVCC1 = AVCC2 ≥ 4.5V
		8 (注 1)	—	40		AVCC0 = AVCC1 = AVCC2 < 4.5V
FlashIFクロック (FCLK)	4 (注 2)	—	60			

注1. 12ビットA/Dコンバータを使用する場合のみ、この周波数以上にしてください。

注2. フラッシュメモリのプログラム/イレーズを行う場合のみ、この周波数以上にしてください。

2.4.1 リセットタイミグ

表2.15 リセットタイミグ
 条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	2.0	—	—	ms	図2.2
	ソフトウェアスタンバイモード	t _{RESWS}	0.3	—	—		図2.3
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—		
RES#解除後待機時間		t _{RESWT}	70	—	71	t _{Lcyc}	図2.2
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		t _{RESW2}	116	—	124	t _{Lcyc}	

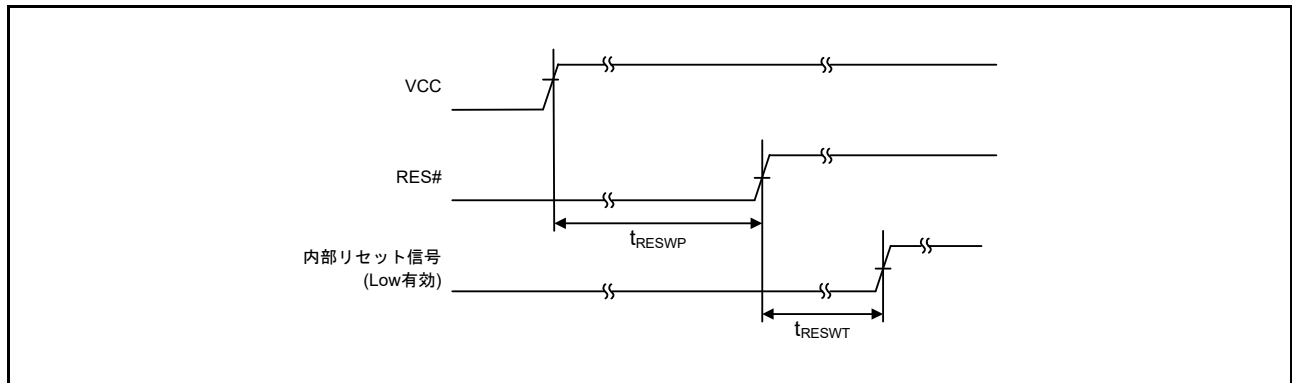


図 2.2 電源投入時リセット入カタイミグ

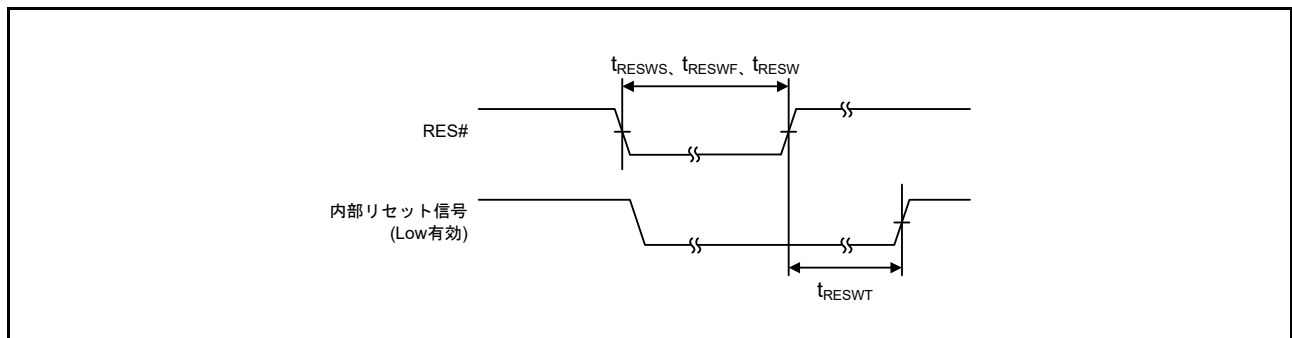


図 2.3 リセット入カタイミグ

2.4.2 クロックタイミング

表2.16 EXTALクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図2.4
EXTAL外部クロック入力周波数	f_{EXMAIN}	—	—	24	MHz	
EXTAL外部クロック入力Highパルス幅	t_{EXH}	15.83	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{EXL}	15.83	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	—	5	ns	

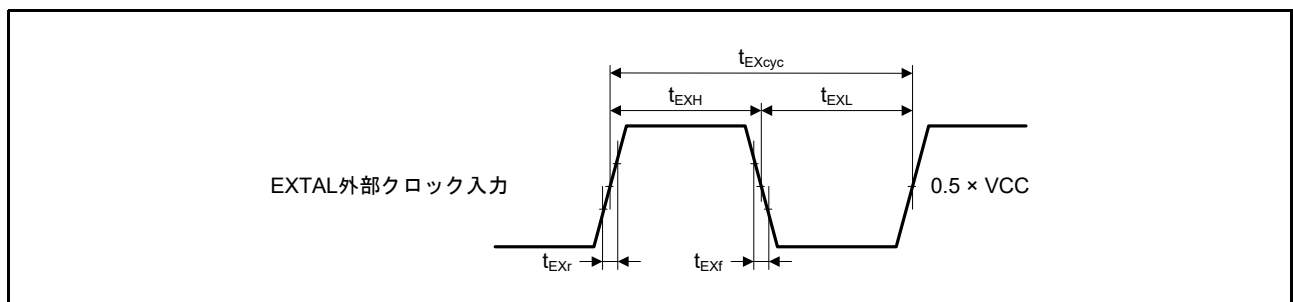


図2.4 EXTAL外部クロック入力タイミング

表2.17 メインクロックタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図2.5
メインクロック発振安定時間(水晶振動子使用時)	$t_{MAINOSC}$	—	—	—(注1)	ms	
メインクロック発振安定待機時間(水晶振動子使用時)	$t_{MAINOSCWT}$	—	—	—(注2)	ms	

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCWT.CR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{MAINOSCWT} = [(MSTS[7:0] \text{ビット} \times 32) + 7] / f_{Loco}$$

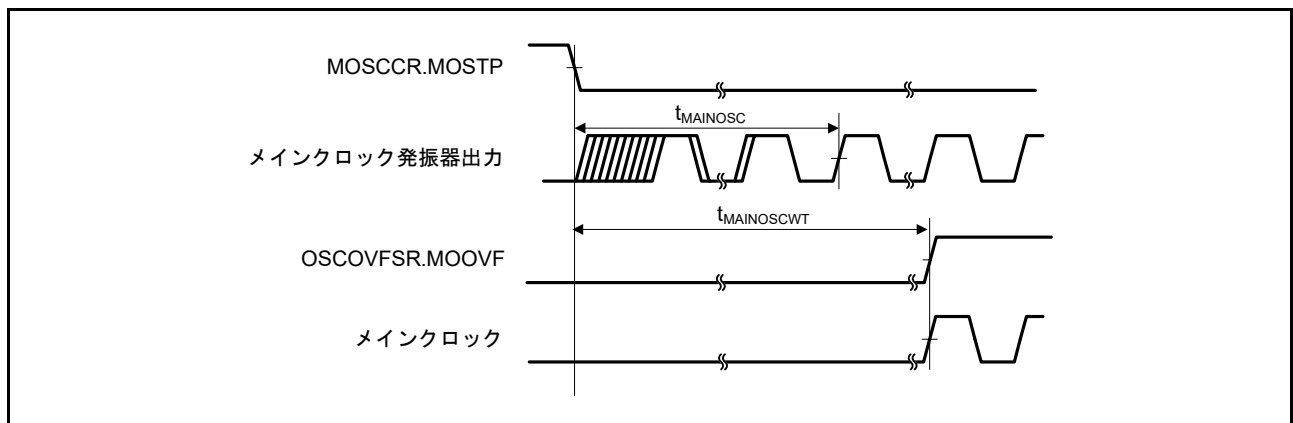


図2.5 メインクロック発振開始タイミング

表2.18 LOCO, IWDT専用低速クロックタイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{ILOCO}	216 (-10%)	240	264 (+10%)	kHz	
LOCOクロック発振安定時間	t_{LOCOWT}	—	—	44	μs	図2.6
IWDT専用低速クロックサイクル時間	t_{Lcyc}	7.57	8.33	9.26	μs	
IWDT専用低速クロック発振周波数	f_{ILOCO}	108 (-10%)	120	132 (+10%)	kHz	
IWDT専用低速クロック発振安定待機時間	t_{LOCOWT}	—	142	190	μs	図2.7

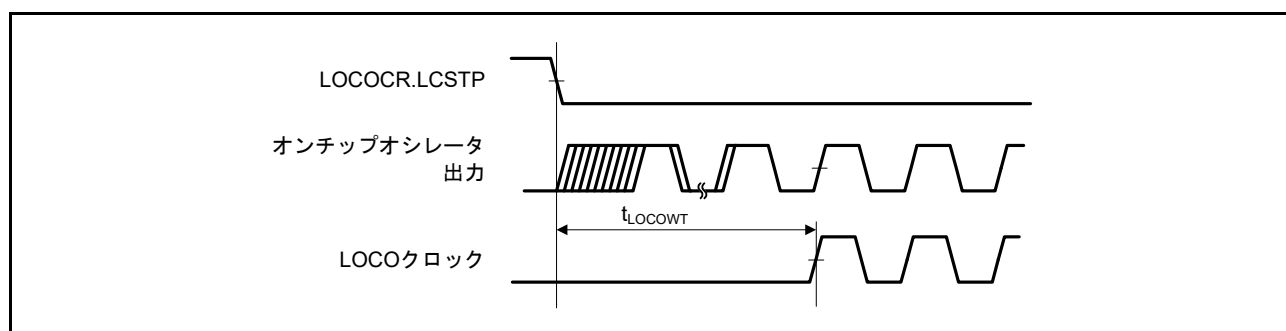


図 2.6 LOCO クロック発振開始タイミング

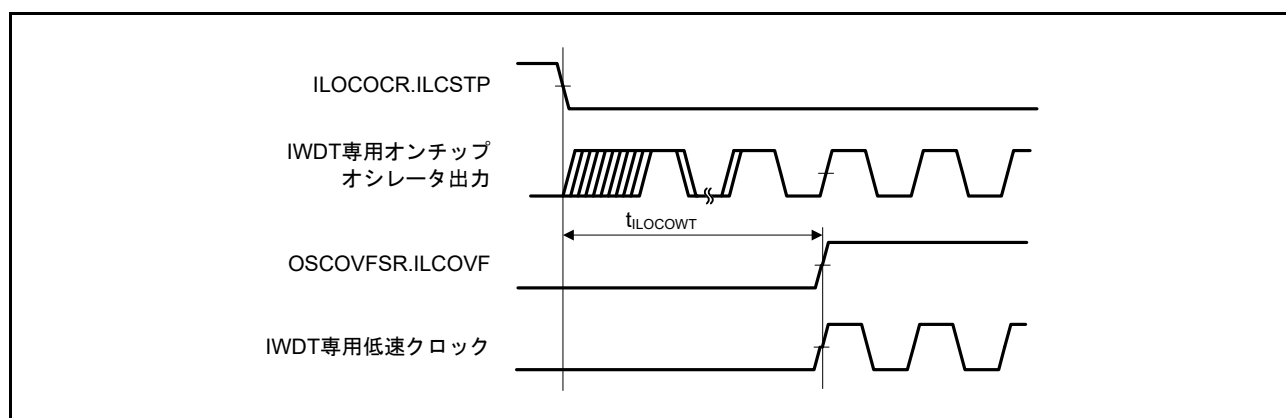


図 2.7 IWDT 専用低速クロック発振開始タイミング

表2.19 HOCOクロックタイミング

条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f_{HOCO}	15.84 (-1.0%)	16	16.16 (+1.0%)	MHz	$-20^{\circ}\text{C} \leq T_a$
		17.82 (-1.0%)	18	18.18 (+1.0%)		
		19.80 (-1.0%)	20	20.20 (+1.0%)		
		15.76 (-1.5%)	16	16.24 (+1.5%)		$T_a < -20^{\circ}\text{C}$
		17.73 (-1.5%)	18	18.27 (+1.5%)		
		19.70 (-1.5%)	20	20.30 (+1.5%)		
HOCOクロック発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図2.8
HOCOクロック電源安定時間	t_{HOCOP}	—	—	150	μs	図2.9

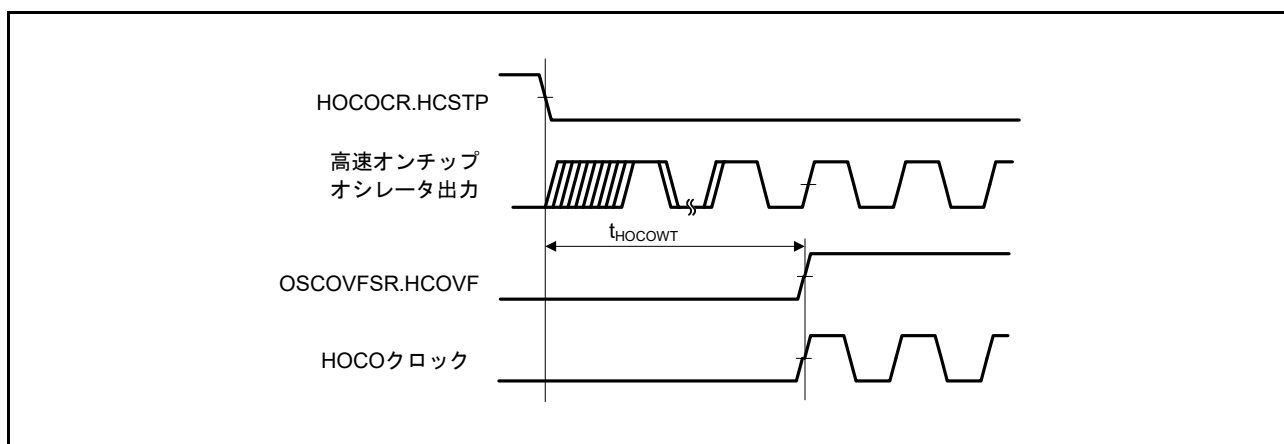


図 2.8 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

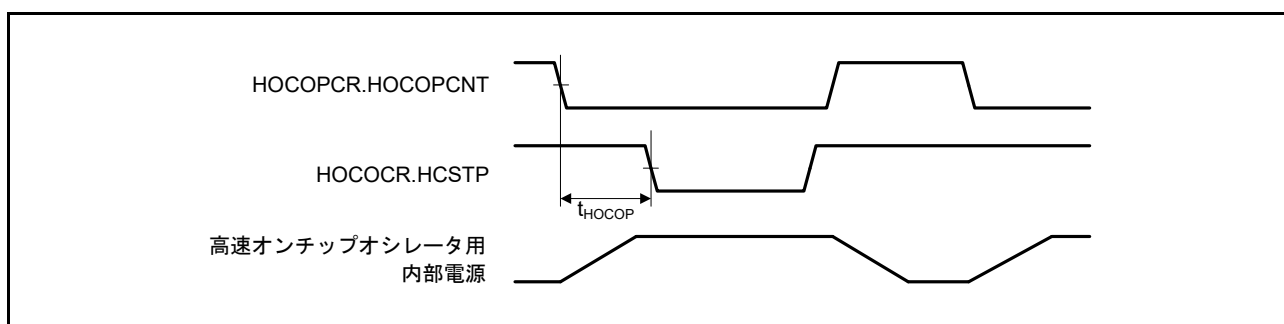


図 2.9 高速オンチップオシレータ電源制御タイミング

表2.20 PLLクロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図2.10

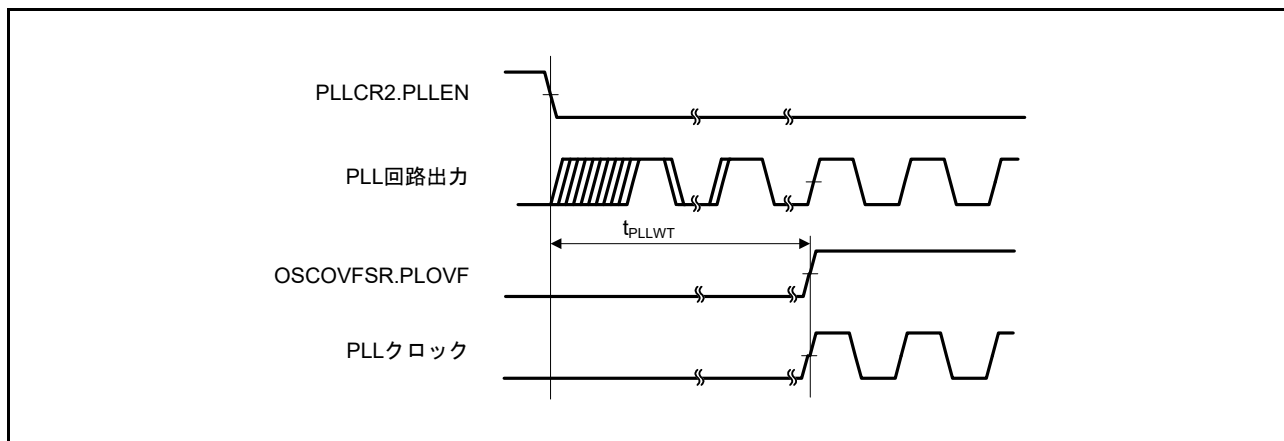


図 2.10 PLL クロック発振開始タイミング

2.4.3 低消費電力状態からの復帰タイミング

表2.21 低消費電力状態からの復帰タイミング(1)

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V,

$T_a = T_{opr}$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間(注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図 2.11
		メインクロック発振器、PLL回路動作	t_{SBYPC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}	—	—	352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$	μs	
		メインクロック発振器、PLL回路動作	t_{SBYPE}	—	—	639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}	—	—	454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$	μs	
		高速オンチップオシレータ動作、PLL回路動作	t_{SBYPH}	—	—	741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作(注4)	t_{SBYLO}	—	—	338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$	μs		

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は $t_{SBYOSCWT}$ のうち、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定のうち、最も大きな値が選択されます。
- 注4. 本条件は、 $f_{ICLK} : f_{FCLK} = 1:1, 2:1, 4:1$ の場合に適用されます。

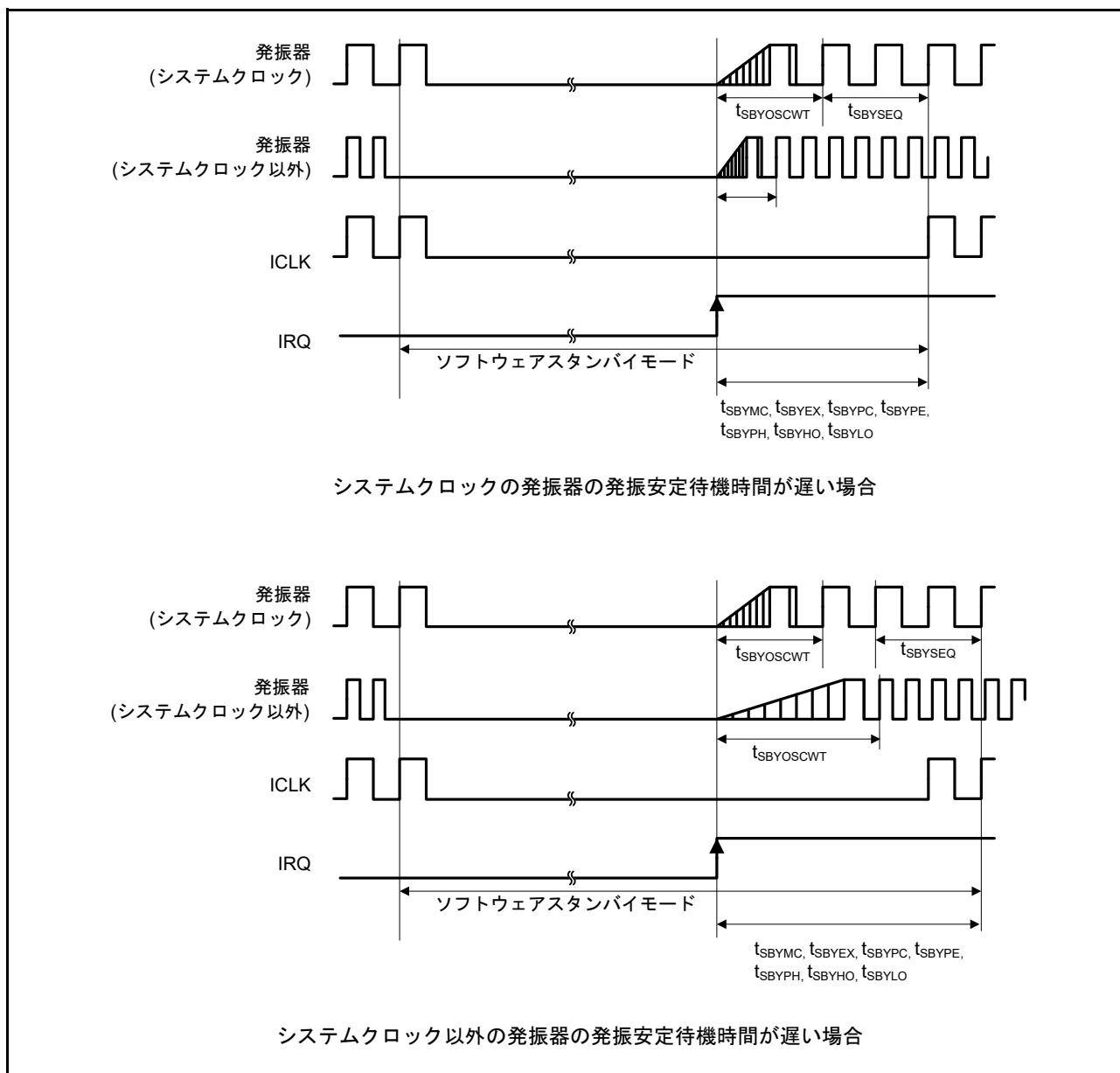


図 2.11 ソフトウェアスタンバイモード解除タイミング

2.4.4 制御信号タイミング

表 2.22 制御信号タイミング

条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 2.12
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 2.12
IRQパルス幅	t_{IRQW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 2.13
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 2.13

注1. t_{PBcyc} : PCLKBの周期

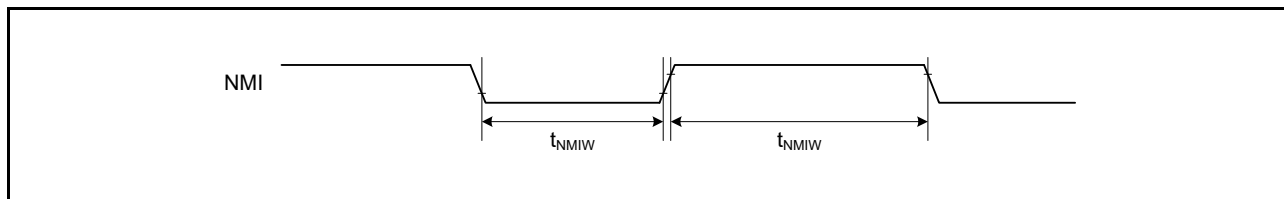


図 2.12 NMI 割り込み入カタイミング

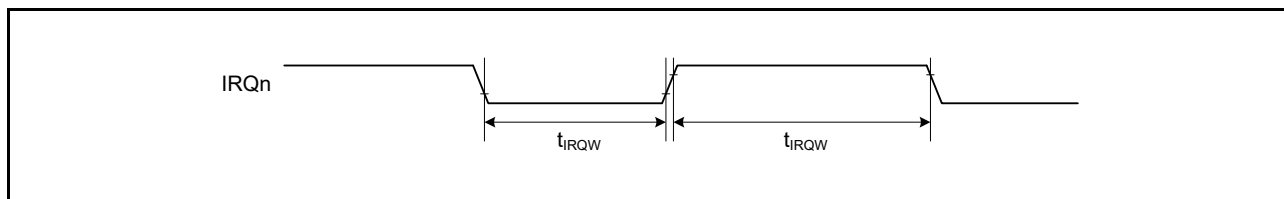


図 2.13 IRQ 割り込み入カタイミング

2.4.5 内蔵周辺モジュールタイミング

2.4.5.1 I/Oポート

表2.23 I/Oポートタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位(注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図2.14

注1. t_{PBcyc} : PCLKBの周期

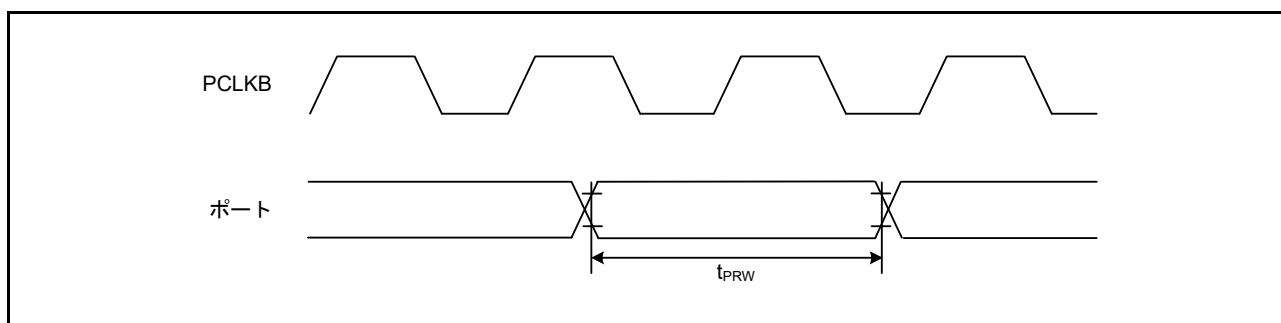


図 2.14 I/Oポート入力タイミング

2.4.5.2 TMR

表2.24 TMRタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位(注1)	測定条件	
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{PBcyc}	図2.15
		両エッジ指定	t_{TMCWL}	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

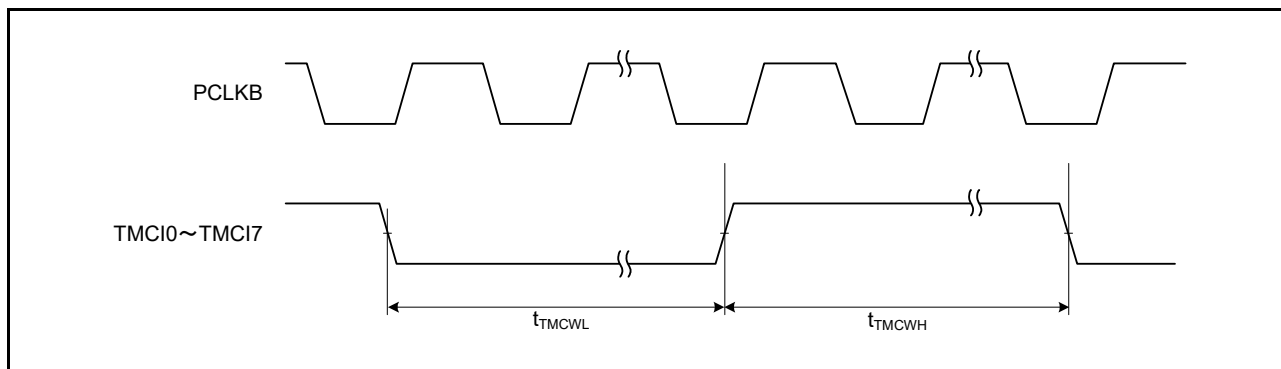


図 2.15 TMR クロック入力タイミング

2.4.5.3 MTU

表2.25 MTUタイミング

条件：VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
 出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位(注1)	測定条件	
MTU	入力キャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PCyc}	図2.16
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	t_{PCyc}	図2.17
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PCyc} : PCLKCの周期

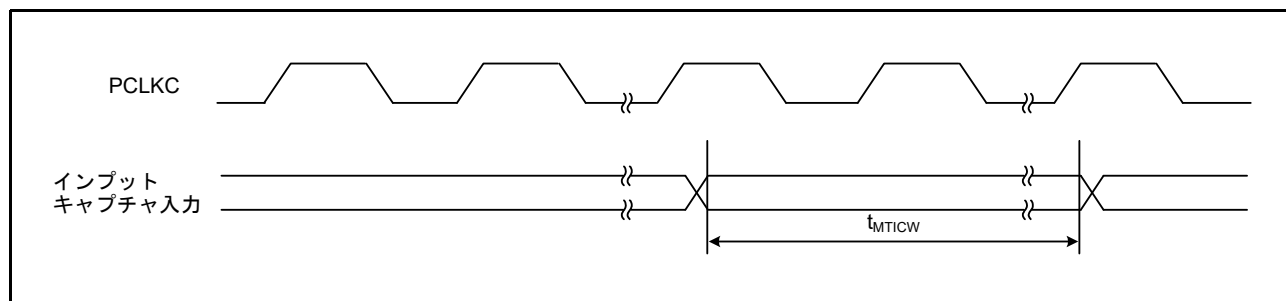


図 2.16 MTU 入力キャプチャ入力タイミング

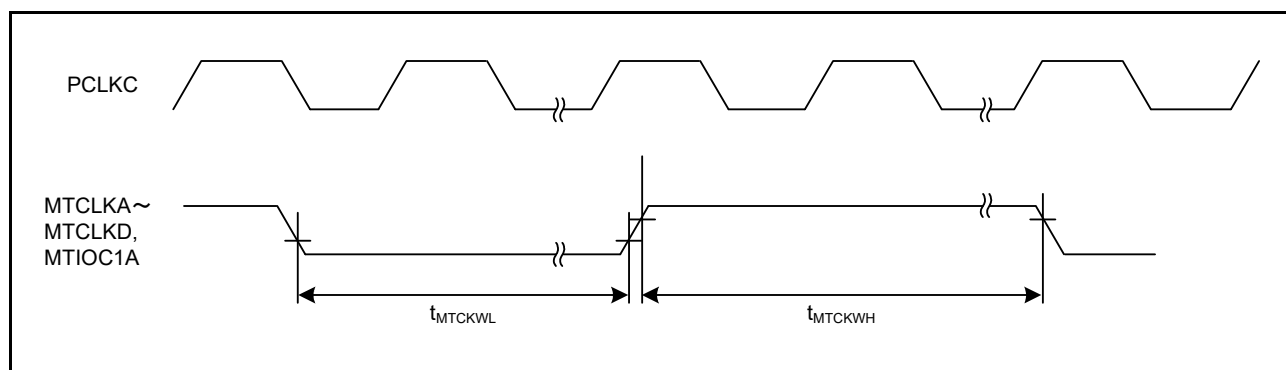


図 2.17 MTU クロック入力タイミング

2.4.5.4 POE3

表2.26 POE3 タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn# 入力パルス幅 (n = 0, 4, 8 ~ 12)	t _{POEW}	1.5	—	—	t _{PBcyc}	図 2.18	
	出力ディセーブル 時間	POEn# 端子の変化	t _{POEDI}	—	—	5 PCLKB + 0.24	μs	図 2.19 立ち下がりがエッジ検出時 (ICSRm.POE _n M[3:0] = 0000 (m = 1 ~ 8, n = 0, 4, 8 ~ 12))
		出力端子の短絡	t _{POEDO}	—	—	3 PCLKB + 0.2	μs	図 2.20
	コンパレータ出力 検出	t _{POEDC}	—	—	5 PCLKB + 0.2	μs	図 2.21 コンパレータ C のノイズ フィルタ不使用時 (CMPCTL.CDFS[1:0] = 00)、 コンパレータ C の検出時間 は除く	
	レジスタ設定	t _{POEDS}	—	—	1 PCLKB + 0.2	μs	図 2.22 レジスタアクセス時間は 除く	
	発振停止検出	t _{POEDOS}	—	—	21	μs	図 2.23	

注1. t_{PBcyc} : PCLKB の周期

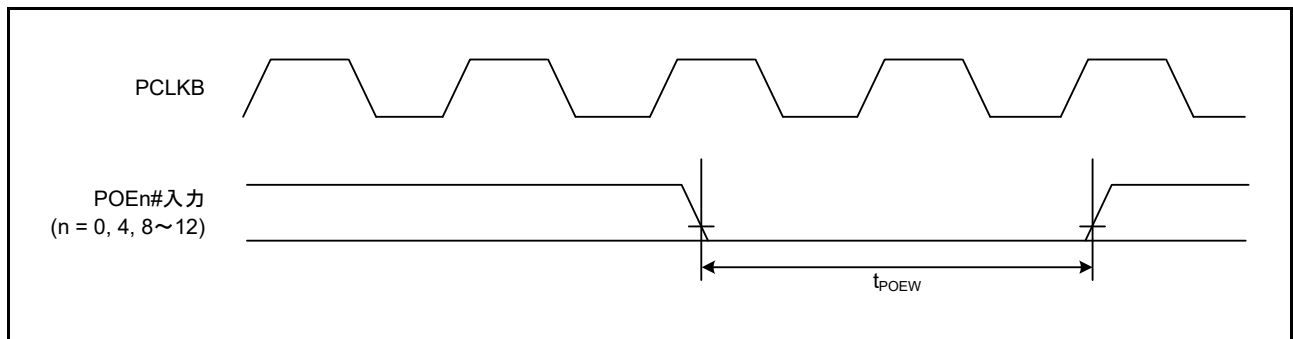


図 2.18 POE 入力タイミング

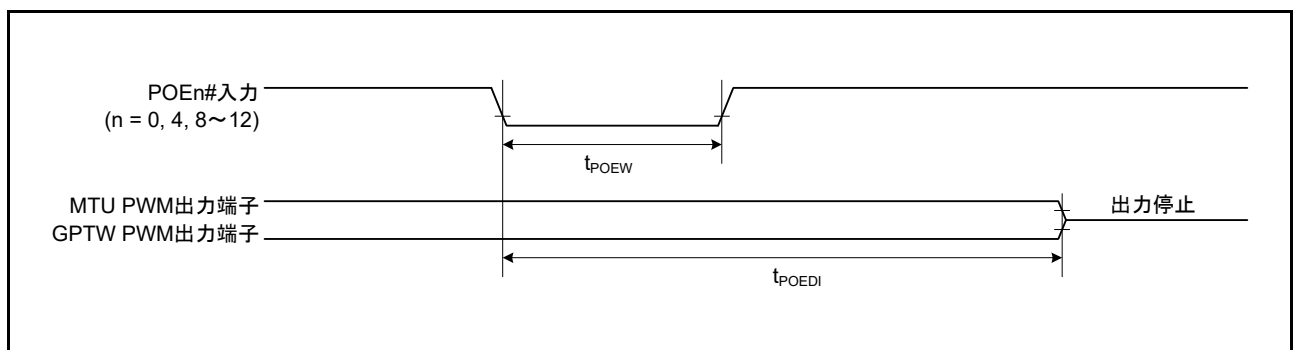


図 2.19 POE 出力ディセーブル時間 (POEn# 端子の変化)

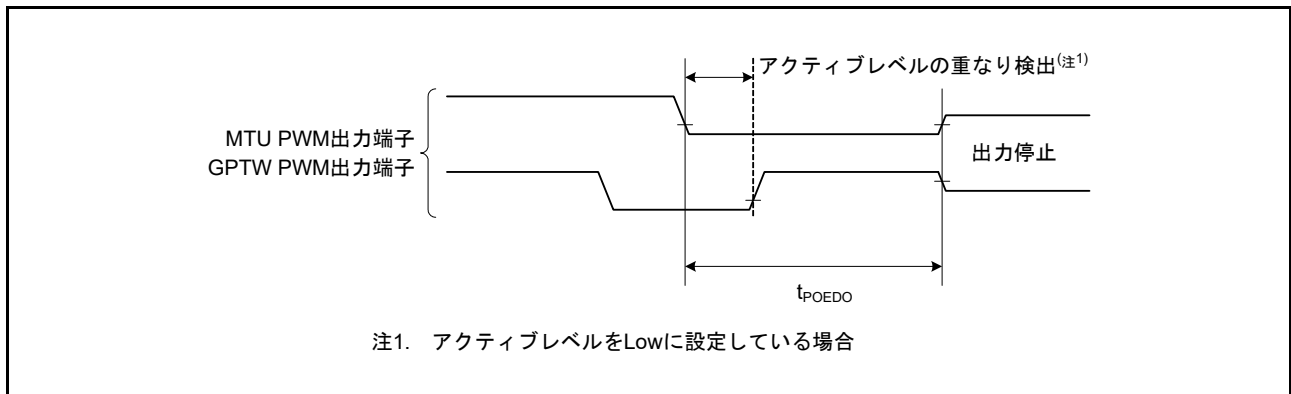


図 2.20 POE 出力ディセーブル時間 (出力端子の短絡)

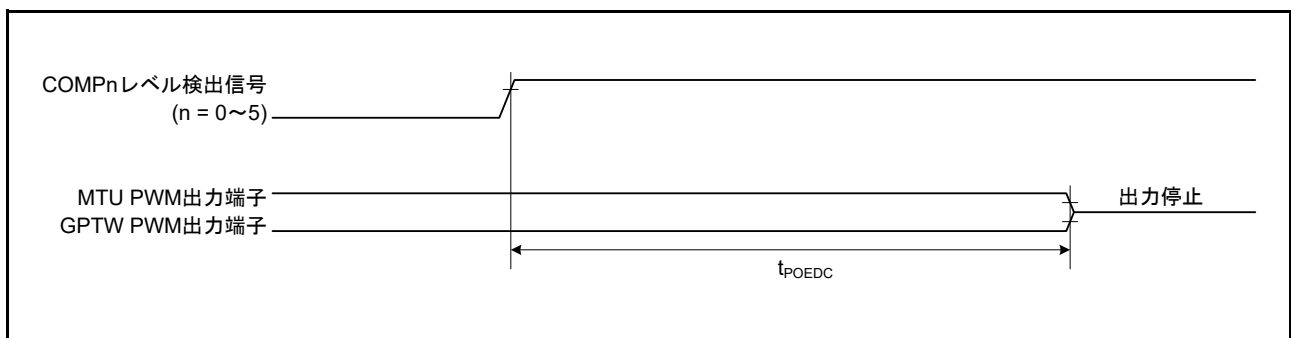


図 2.21 POE 出力ディセーブル時間 (コンパレータ出力検出)

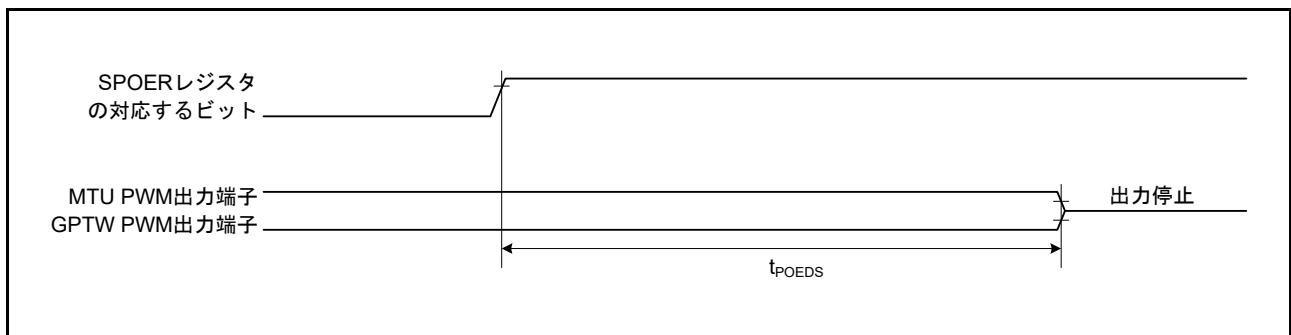


図 2.22 POE 出力ディセーブル時間 (レジスタ設定)

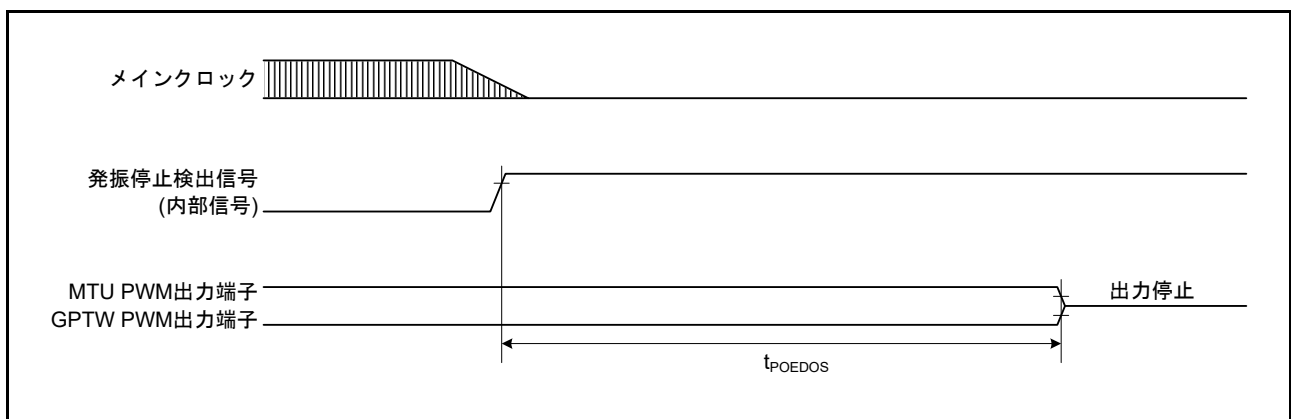


図 2.23 POE 出力ディセーブル時間 (発振停止検出)

2.4.5.5 POEG

表2.27 POEGタイミング

条件：VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件	
POEG	GTETRn入力パルス幅 (n = A ~ D)	t_{POEGW}	1.5	—	—	t_{PBcyc}	図2.24	
	出力ディセーブル 時間	GTETRn端子の 入力レベル検出 (フラグ経由)	t_{POEGDI}	—	—	3 PCLKB + 0.34	μs	図2.25 デジタルノイズフィルタ 不使用時 (POEGn.NFEN = 0 (n = A ~ D))
		GPTWからの出力 停止信号検出 (デットタイムエ ラー、同時High出 力、同時Low出力)	t_{POEGDE}	—	—	0.5	μs	図2.26
	コンパレータエッ ジ検出	t_{POEGDC}	—	—	4 PCLKB + 0.5	μs	図2.27 コンパレータCのノイズ フィルタ不使用時 (CMPCTL.CDFS[1:0] = 00)、コンパレータCの検 出時間は除く	
	レジスタ設定	t_{POEGDS}	—	—	1 PCLKB + 0.3	μs	図2.28 レジスタアクセス時間は 除く	
	発振停止検出	$t_{POEGDOS}$	—	—	21	μs	図2.29	
	GTETRn端子の 入力レベル検出 (フラグ非経由)	$t_{POEGDDI}$	—	—	2 PCLKB + 1 PCLKC + 0.34	μs	図2.30	
	コンパレータレベ ル検出	$t_{POEGDDC}$	—	—	3 PCLKC + 0.3	μs	図2.31 コンパレータCのノイズ フィルタ不使用時 (CMPCTL.CDFS[1:0] = 00)、コンパレータCの検 出時間は除く	

注1. t_{PBcyc} : PCLKBの周期

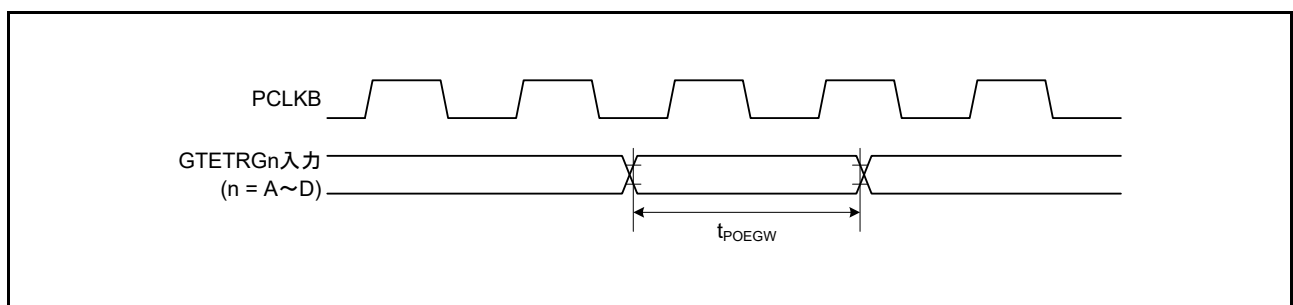


図 2.24 POEG 入力タイミング

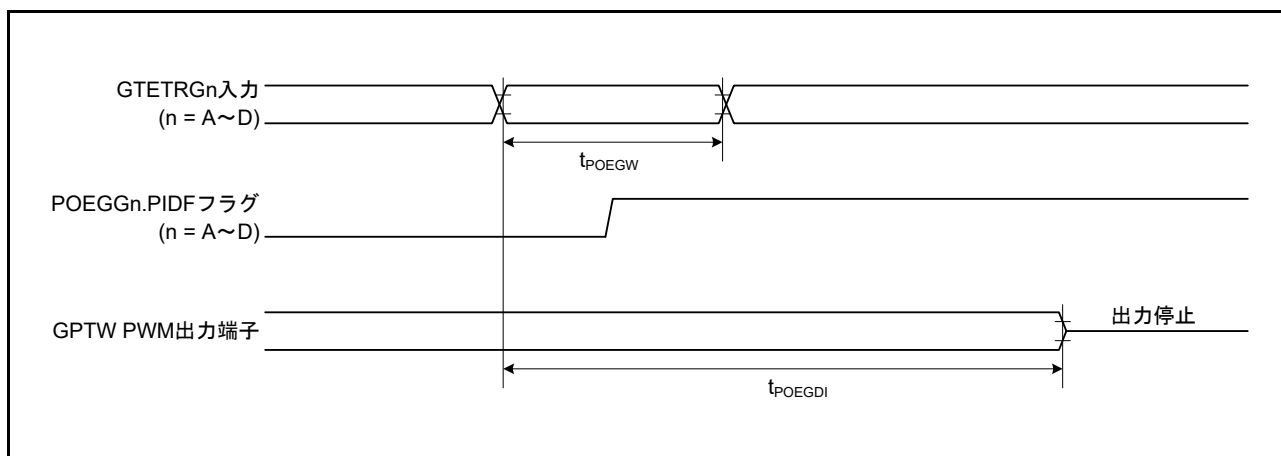


図 2.25 POEG 出力ディセーブル時間 (GTETRn 端子の入カレベル検出 (フラグ経由))

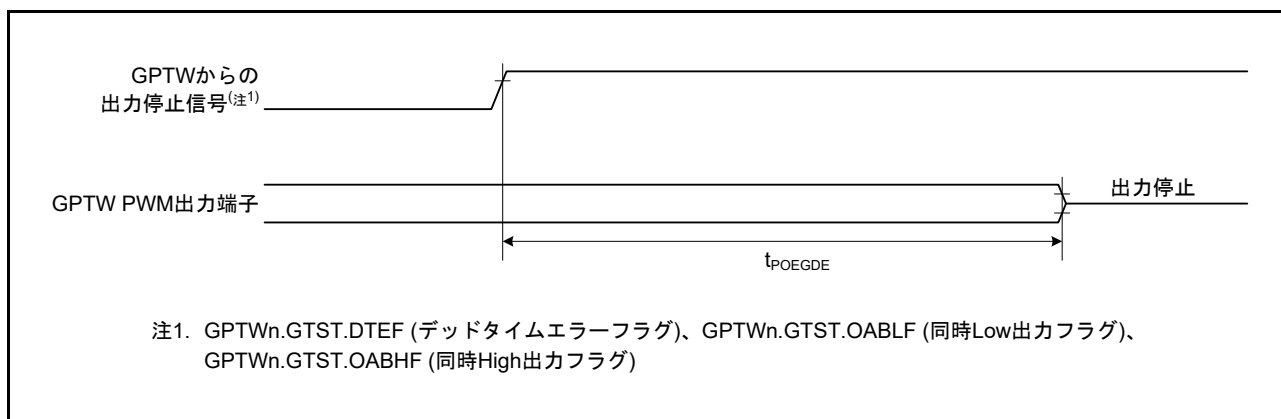


図 2.26 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

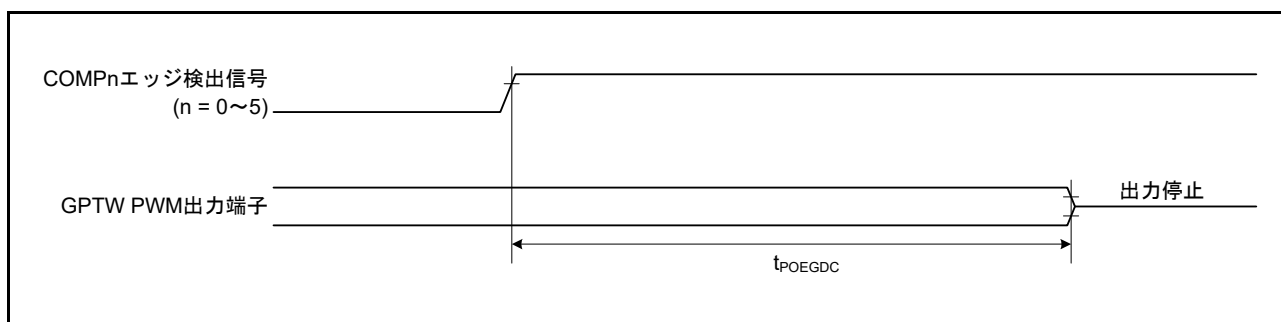


図 2.27 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

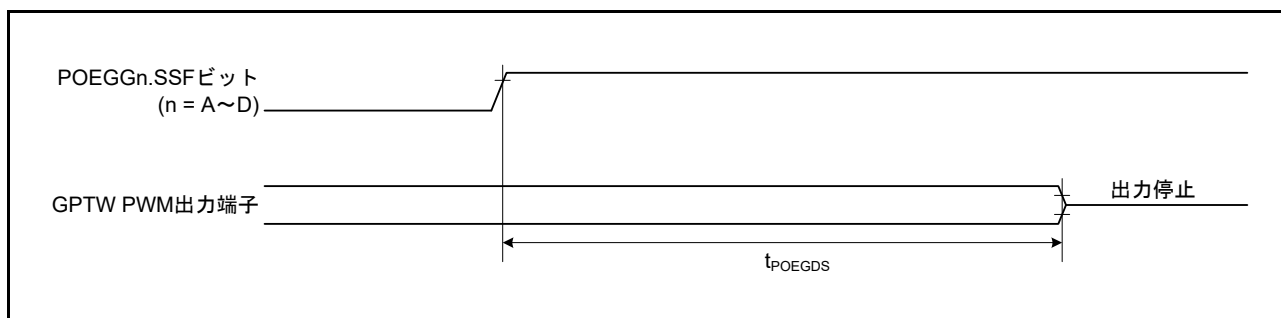


図 2.28 POEG 出力ディセーブル時間 (レジスタ設定)

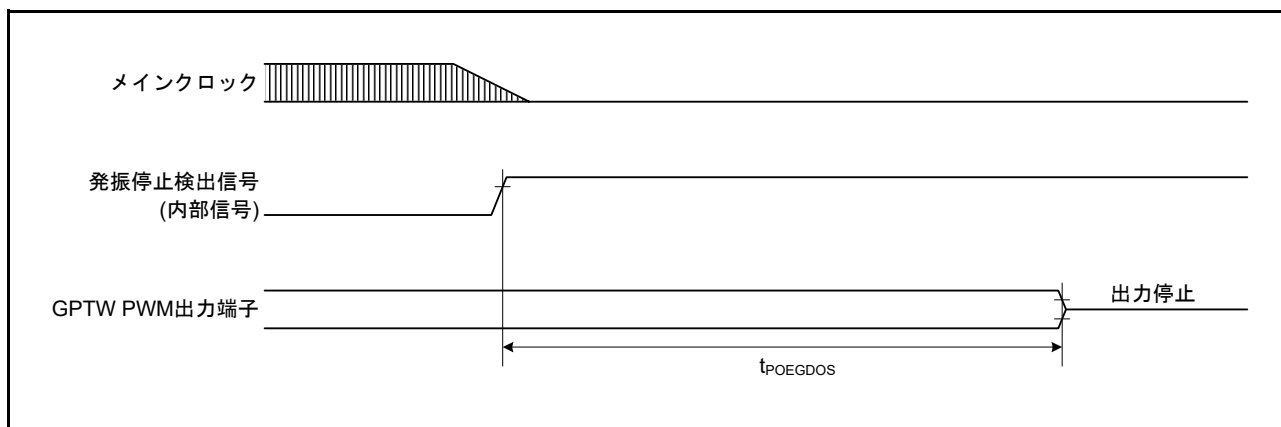


図 2.29 POEG 出力ディセーブル時間 (発振停止検出)

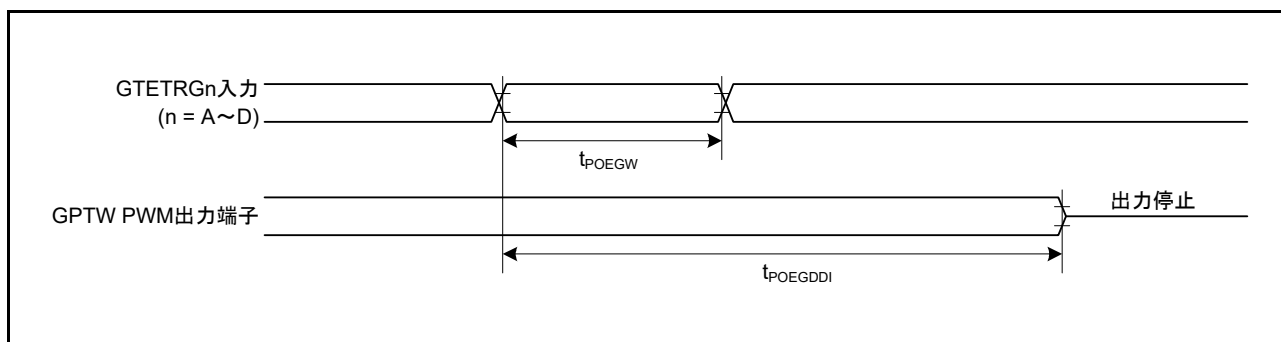


図 2.30 POEG 出力ディセーブル時間 (GTETRGn 端子の入レベル検出 (フラグ非経由))

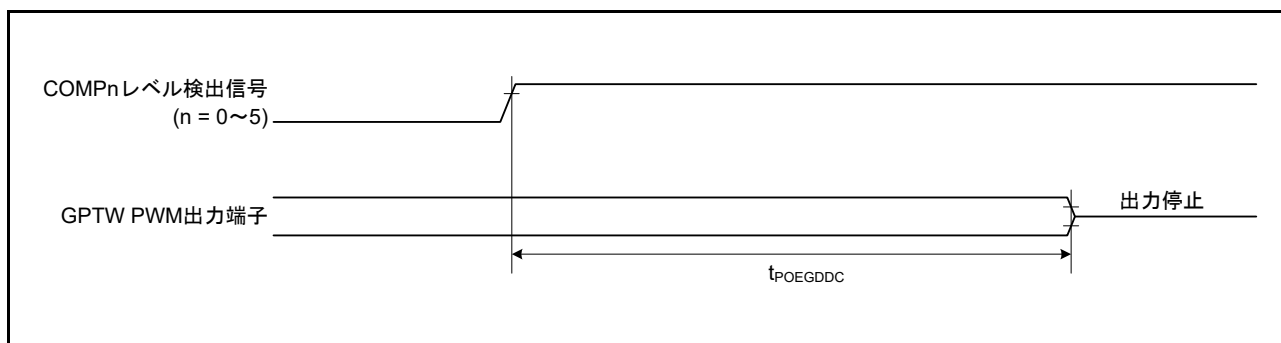


図 2.31 POEG 出力ディセーブル時間 (コンパレータレベル検出)

2.4.5.6 GPTW

表2.28 GPTW タイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
 出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{PCyc}	図 2.32
		両エッジ指定	2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	1.5	—	t_{PBcyc}	図 2.33
		両エッジ指定	2.5	—		
タイマクロックパルス幅		t_{GTCKWH}	1.5	—	t_{PBcyc}	図 2.34
		t_{GTCKWL}				

注1. t_{PCyc} : PCLKCの周期

注2. t_{PBcyc} : PCLKBの周期

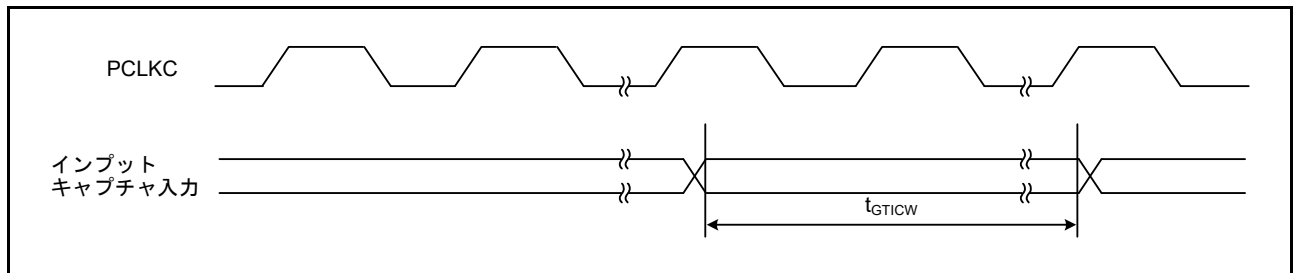


図 2.32 GPTW インプットキャプチャ入力タイミング

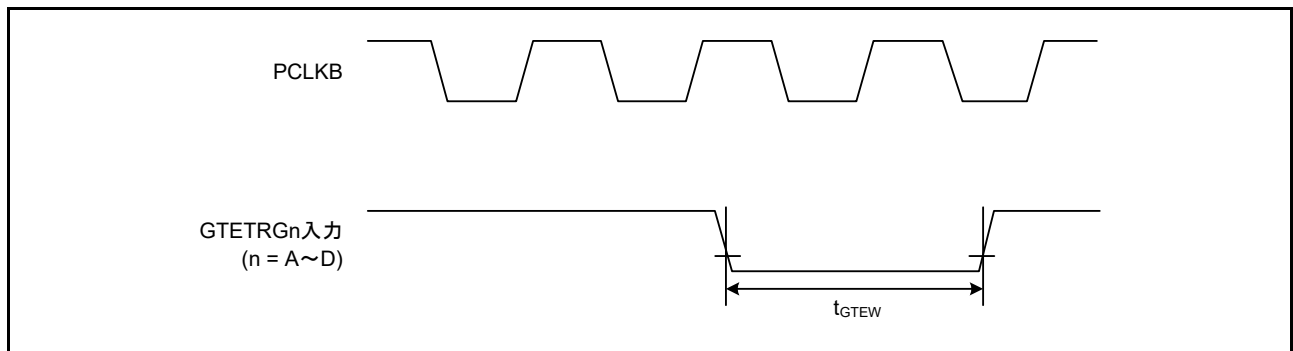


図 2.33 GPTW 外部トリガ入力タイミング

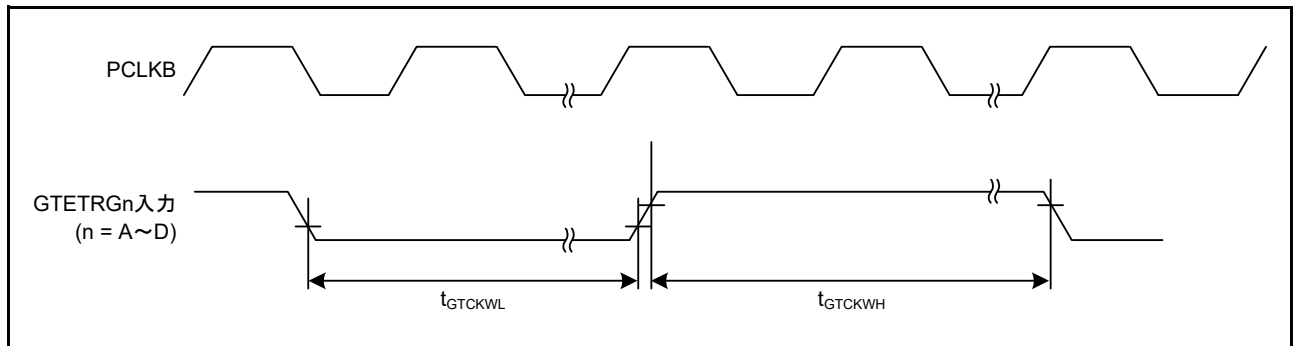


図 2.34 GPTW クロック入力タイミング

2.4.5.7 A/Dコンバータトリガ

表2.29 A/Dコンバータトリガタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時(P53~P55、P60~P65以外)

項目		記号	min	max	単位(注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 2.35

注1. t_{PBcyc} : PCLKBの周期

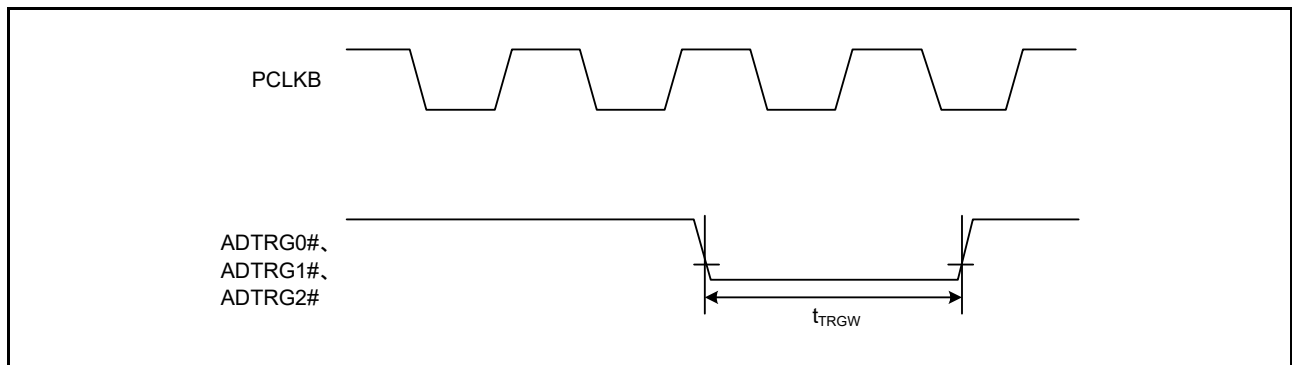


図 2.35 A/Dコンバータトリガ入力タイミング

2.4.5.8 CAC

表2.30 CACタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目(注1、注2)		記号	min(注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	t_{CACREF}	$t_{PBcyc} \leq t_{cac}$	$4.5t_{cac} + 3t_{PBcyc}$	—	ns
			$t_{PBcyc} > t_{cac}$	$5t_{cac} + 6.5t_{PBcyc}$	—	

注1. t_{PBcyc} : PCLKBの周期

注2. t_{cac} : CACカウンタクロックソースの周期

2.4.5.9 SCI

表2.31 SCIk, SCIlh タイミング
 条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
SCIk, SCIlh	入カロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図2.36
		クロック同期		6	—		
	入カロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	入カロック立ち上がり時間		t _{SCKr}	—	5	ns	
	入カロック立ち下がり時間		t _{SCKf}	—	5	ns	
	出カロックサイクル	調歩同期 (SCIk)	t _{Scyc}	6	—	t _{PBcyc}	
		調歩同期 (SCIlh)		8	—		
		クロック同期		4	—		
	出カロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}	
	出カロック立ち上がり時間		t _{SCKr}	—	5	ns	
出カロック立ち下がり時間		t _{SCKf}	—	5	ns		
送信データ遅延時間	クロック同期	t _{TXD}	—	28	ns	VCC ≥ 4.5V	図2.37
			—	33		VCC < 4.5V	
受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns	図2.37	
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns		

注1. t_{PBcyc} : PCLKBの周期

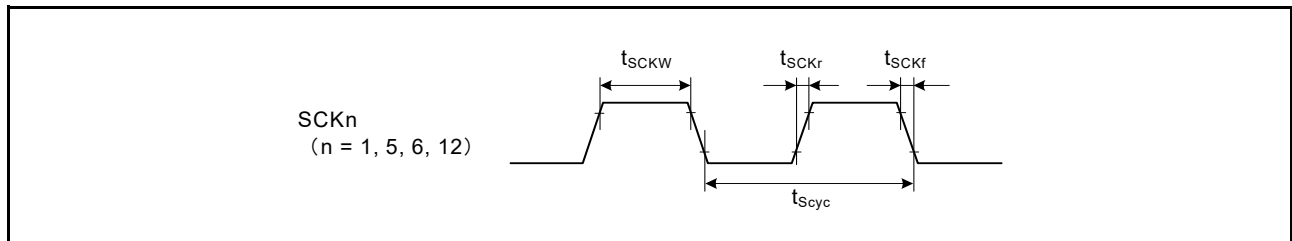


図 2.36 SCK クロック入力タイミング

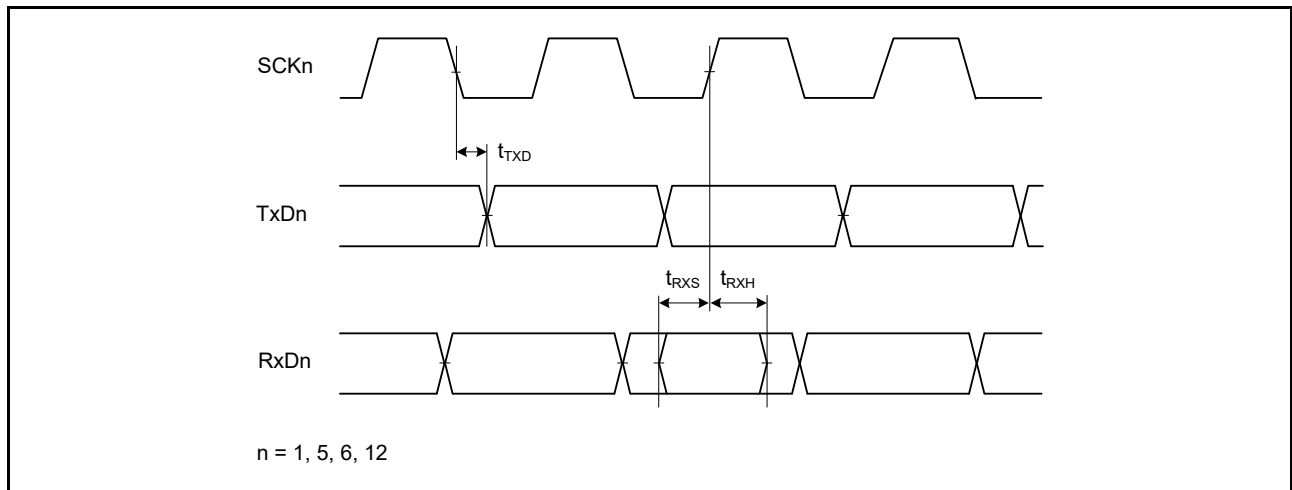


図 2.37 SCI 入出力タイミング / クロック同期式モード

表2.32 簡易IICタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max (注1)	単位	測定条件
簡易IIC (スタンダード モード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図2.38
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300		
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$		
	データ入カセットアップ時間	t_{SDAS}	250	—		
	データ入カホールド時間	t_{SDAH}	0	—		
	SSCL、SSDAの容量性負荷	C_b (注2)	—	400	pF	
簡易IIC (ファストモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	300	ns	図2.38
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300		
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$		
	データ入カセットアップ時間	t_{SDAS}	100	—		
	データ入カホールド時間	t_{SDAH}	0	—		
	SSCL、SSDAの容量性負荷	C_b (注2)	—	400	pF	

注1. t_{Pcyc} : PCLKBの周期を示します。
 注2. C_b はバスラインの容量総計です。

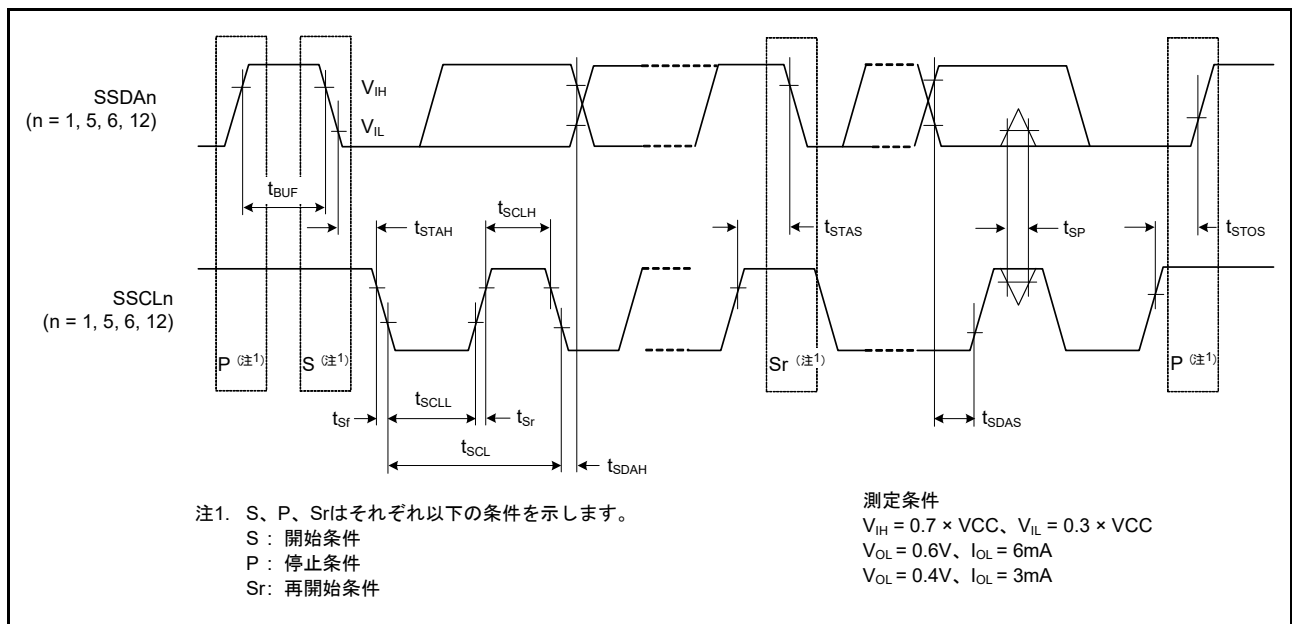


図 2.38 簡易 IIC バスインタフェース入出力タイミング

表 2.33 簡易SPIタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位 (注1)	測定条件	
簡易SPI	SCKクロックサイクル出力(マスタ)	4	—	t_{Pcyc}	図 2.39	
	SCKクロックサイクル入力(スレーブ)					
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6		t_{SPcyc}
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6		t_{SPcyc}
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20		ns
データ入力セットアップ時間	t_{SU}	33.3	—	ns	図 2.40 ~ 図 2.43	
データ入力ホールド時間	t_H	33.3	—	ns		
SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}		
SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}		
データ出力遅延時間	t_{OD}	—	33.3	ns		
データ出力ホールド時間	t_{OH}	-10	—	ns	図 2.42、 図 2.43	
データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	16.6	ns		
SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	16.6	ns		
スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	図 2.42、 図 2.43	
スレーブ出力開放時間	t_{REL}	—	5	t_{Pcyc}		

注1. t_{Pcyc} : PCLKBの周期を示します。

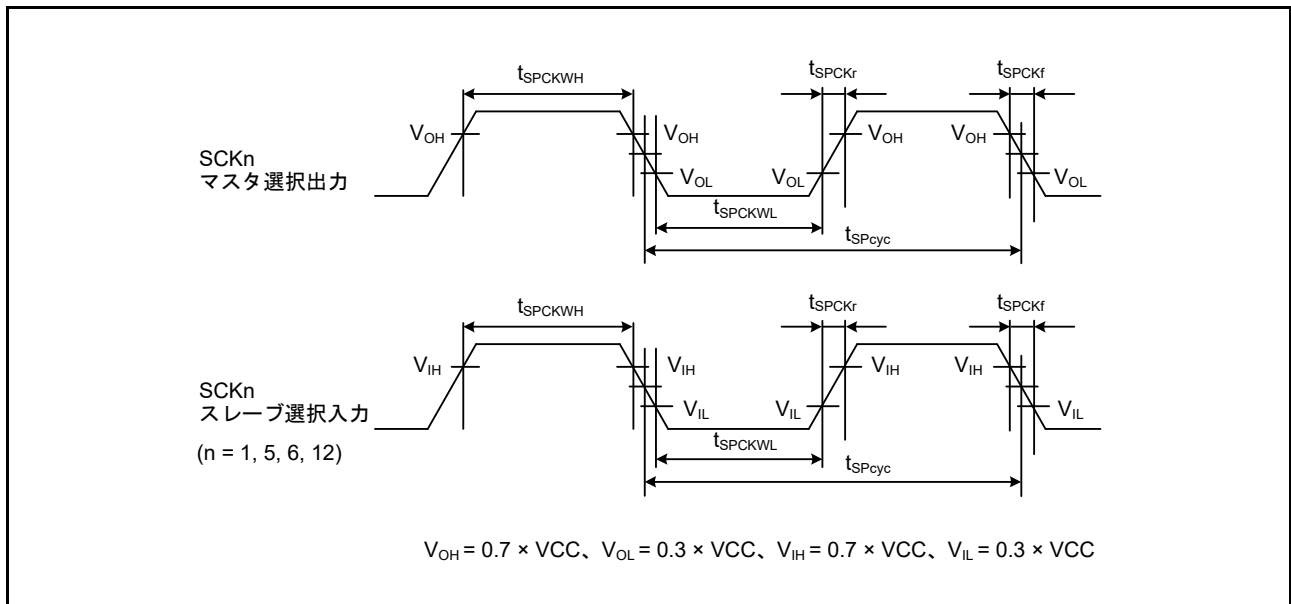


図 2.39 簡易SPIクロックタイミング

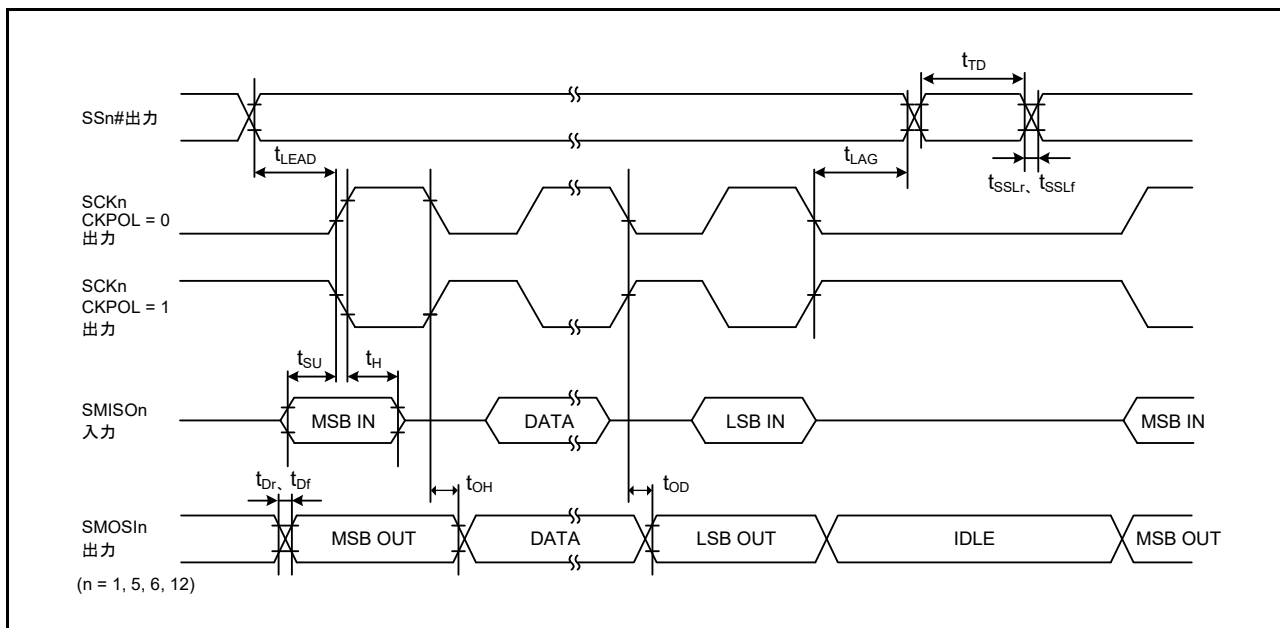


図 2.40 簡易 SPI タイミング (マスタ、CKPH = 1)

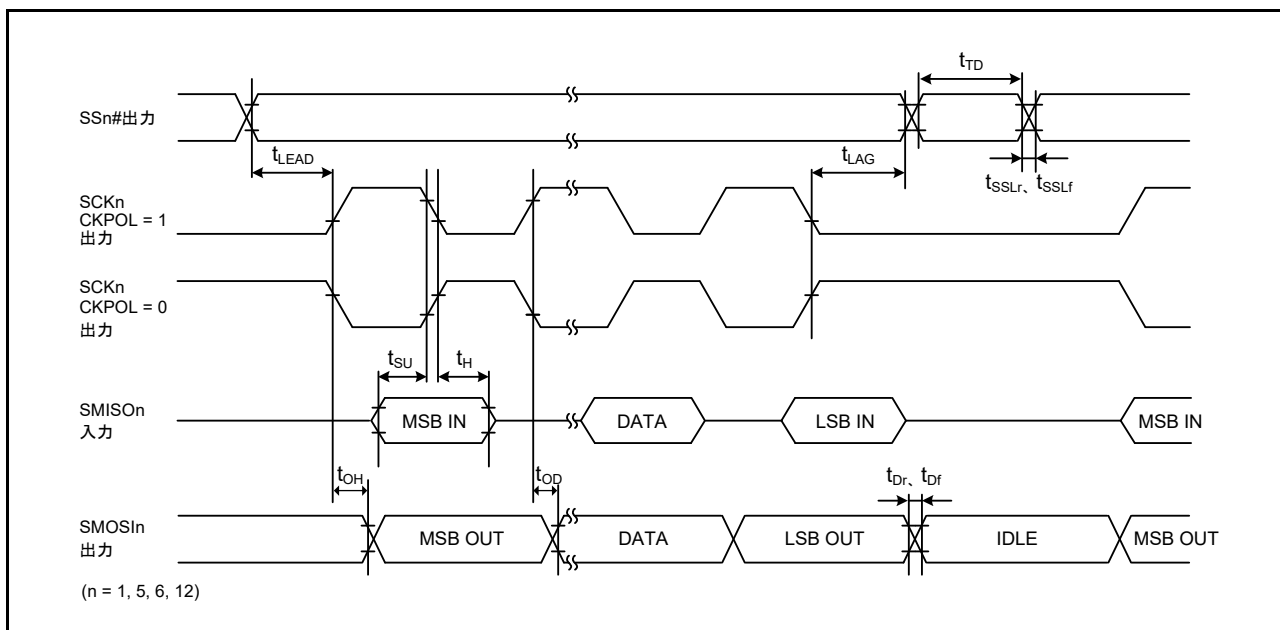


図 2.41 簡易 SPI タイミング (マスタ、CKPH = 0)

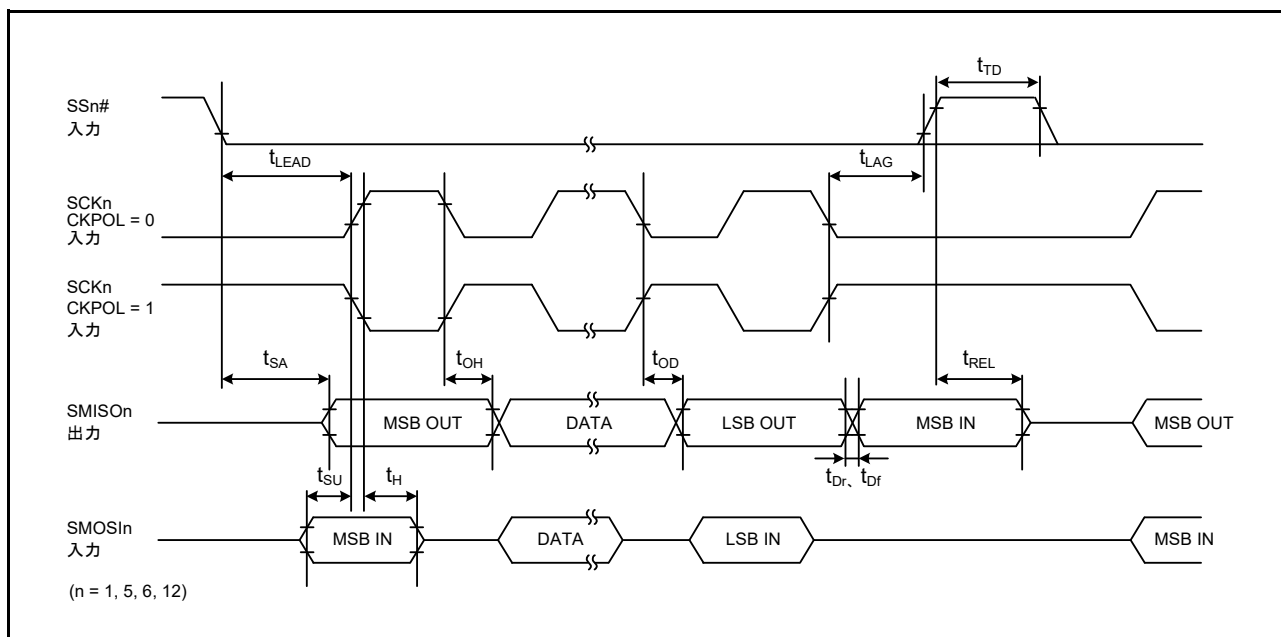


図 2.42 簡易 SPI タイミング (スレーブ、CKPH = 1)

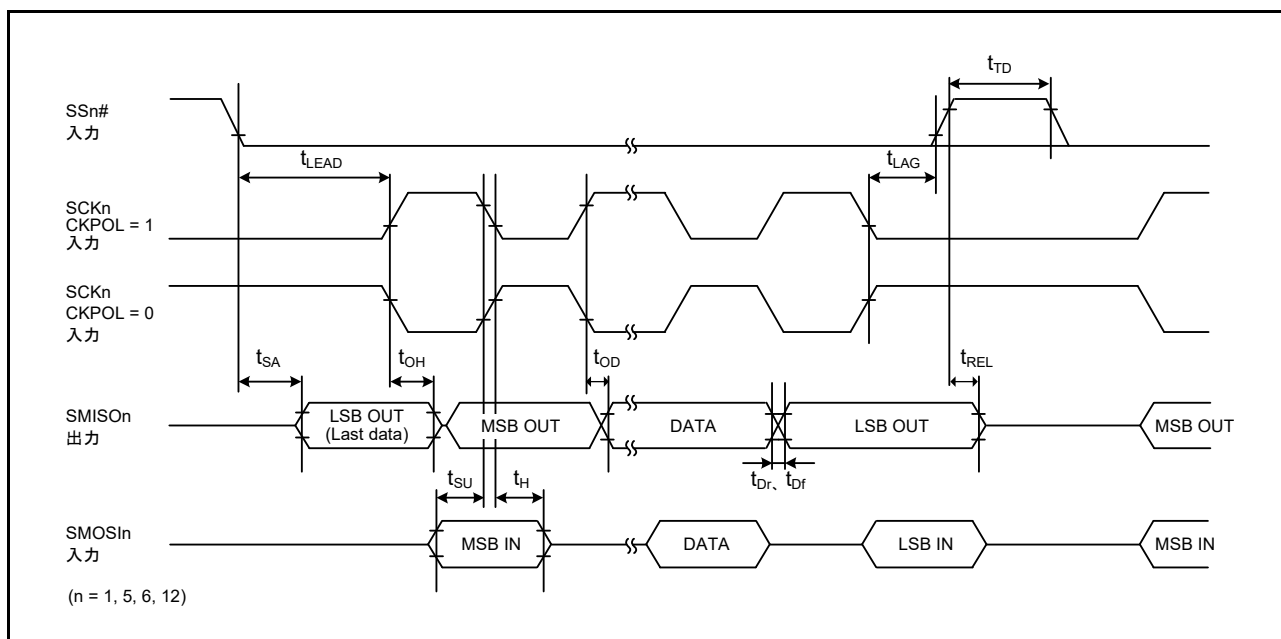


図 2.43 簡易 SPI タイミング (スレーブ、CKPH = 0)

2.4.5.10 RSCI

表2.34 RSCIタイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
RSCI	入力クロックサイクル	調歩同期	t _{Scyc}	4	—	t _{Pcyc}	図2.44	
		クロック同期		2	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	入力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	入力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	出力クロックサイクル	調歩同期	t _{Scyc}	6	—	t _{Pcyc}		
		クロック同期		2	—			
	出力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}		
	出力クロック立ち上がり時間		t _{SCKr}	—	5	ns		
	出力クロック立ち下がり時間		t _{SCKf}	—	5	ns		
	受信データセットアップ時間	マスタ	t _{RXS}	-1.5	—	ns		VCC ≥ 4.5V
		スレーブ		2.5	—			VCC < 4.5V
受信データホールド時間	マスタ	t _{RXH}	11	—	ns	図2.45		
	スレーブ		2.5	—				
送信データ遅延時間	マスタ	t _{TXD}	—	4	ns	VCC ≥ 4.5V		
			—	17			図2.45	
			—	22				VCC < 4.5V

注1. t_{Pcyc} : RSCI8、RSCI9 ではPCLKBの周期を示します。RSCI11 ではPCLKAの周期を示します。

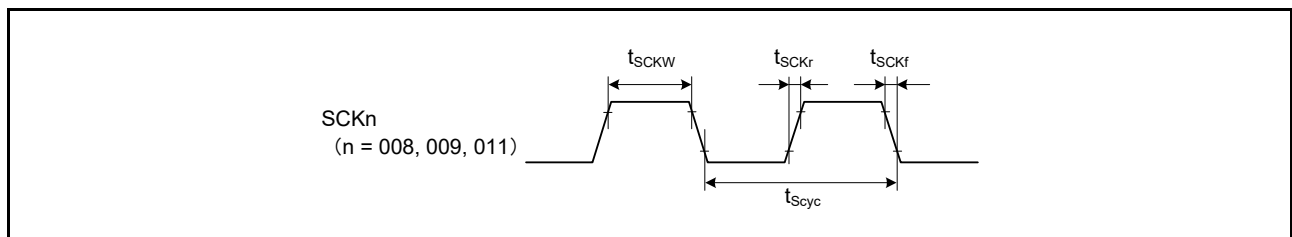


図2.44 SCKクロック入力タイミング

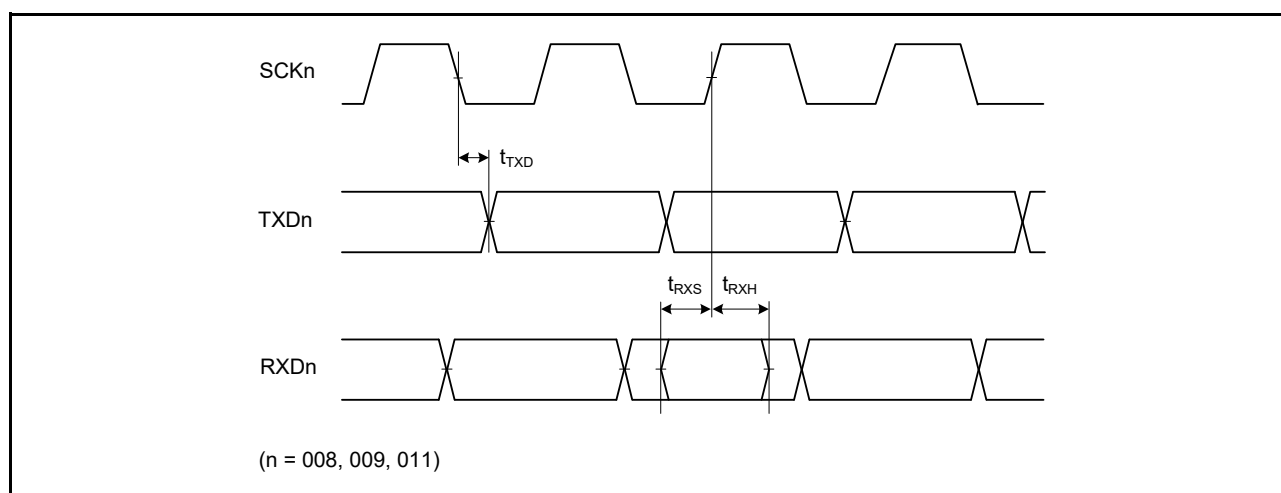


図 2.45 RSCI 入出カタイミング/クロック同期式モード

表2.35 簡易IICタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz,
 駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件	
簡易IIC (スタンダード モード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図2.46
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C_b (注1)	—	400	pF	
簡易IIC (ファストモード)	SSCL、SSDA入力立ち上がり時間	t_{Sr}	—	300	ns	
	SSCL、SSDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SSCL、SSDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{Pcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SSCL、SSDAの容量性負荷	C_b (注1)	—	400	pF	

注. t_{Pcyc} : RSCI8、RSCI9ではPCLKBの周期を示します。RSCI11ではPCLKAの周期を示します。
 注1. C_b はバスラインの容量総計です。

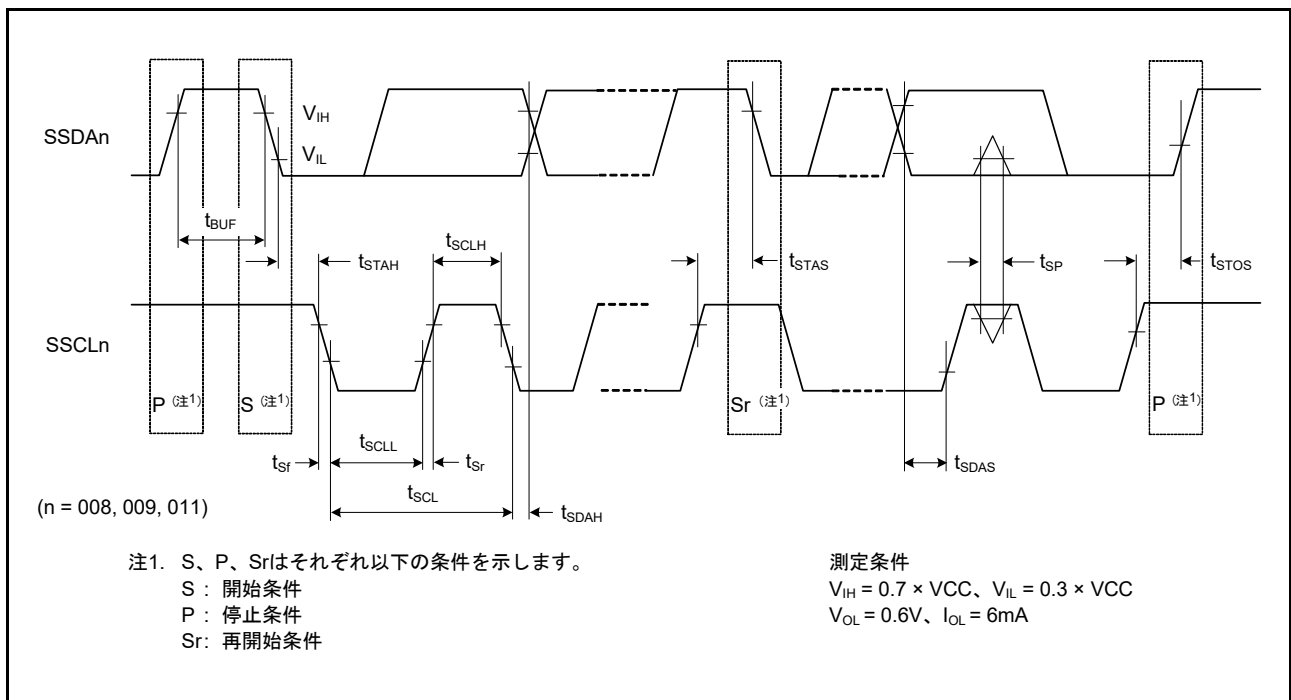


図 2.46 簡易 IIC バスインタフェース入出力タイミング

表 2.36 簡易SPIタイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$,
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$, $V_{OL} = 0.5 \times V_{CC}$, $C = 30pF$,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロックサイクル出力(マスタ)	t_{SPcyc}	2	—	t_{Pcyc}	図 2.47		
	SCKクロックサイクル入力(スレーブ)		2	—				
	SCKクロック Highパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}			
	SCKクロック Lowパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}			
	SCKクロック立ち上がり/ 立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	5	ns	図 2.48 ~ 図 2.51		
			出力	—	1		μs	
	入力	—	1	μs				
	データ入力セットアップ時間	t_{SU}	0.5	—	ns			
			マスタ	2.5			—	
	データ入力ホールド時間	t_H	11	—	ns			
			スレーブ	2.5			—	
	データ出力遅延時間	t_{OD}	—	4	ns		図 2.48 ~ 図 2.51 VCC ≥ 4.5V 図 2.48 ~ VCC < 4.5V 図 2.51	
			マスタ	—				17
			スレーブ	—				22
	データ出力ホールド時間	t_{OH}	-1	—	ns		図 2.48 ~ 図 2.51	
			マスタ	0				—
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	5	ns			
			出力	—		1	μs	
	スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	図 2.50、図 2.51		
	スレーブ出力開放時間	t_{REL}	—	5	t_{Pcyc}			
	SS入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	図 2.48 ~ 図 2.51		
	SS入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}			
	SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	1	μs			

注1. t_{Pcyc} : RSCI8、RSCI9 ではPCLKBの周期を示します。RSCI11 ではPCLKAの周期を示します。

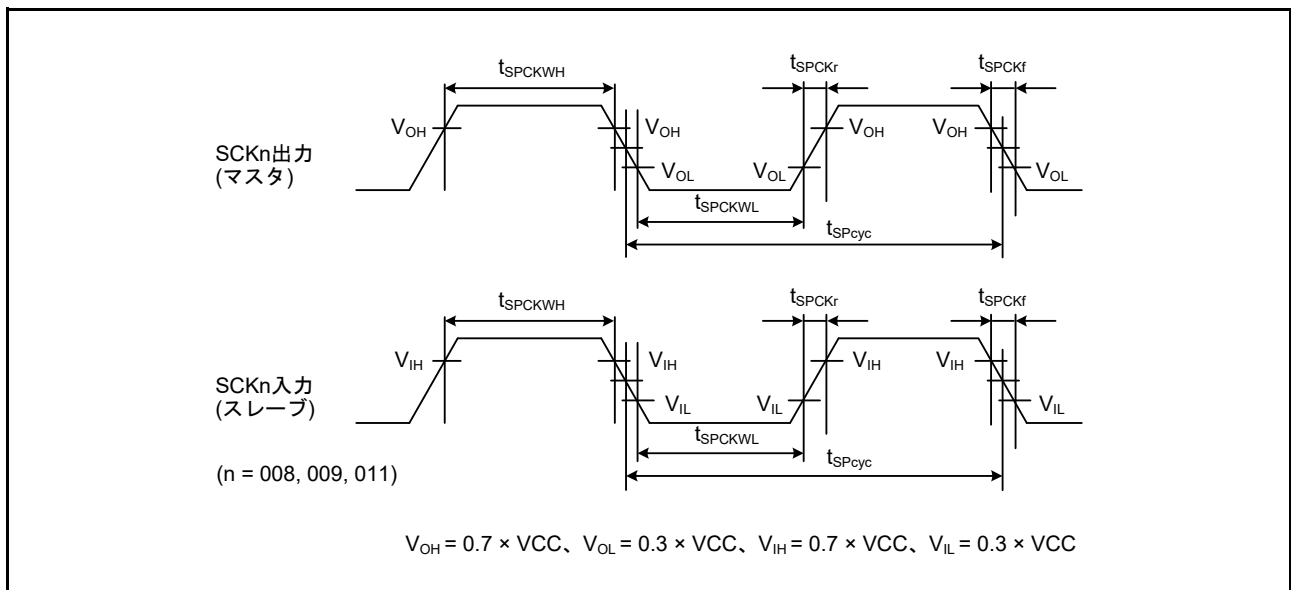


図 2.47 簡易SPIクロックタイミング

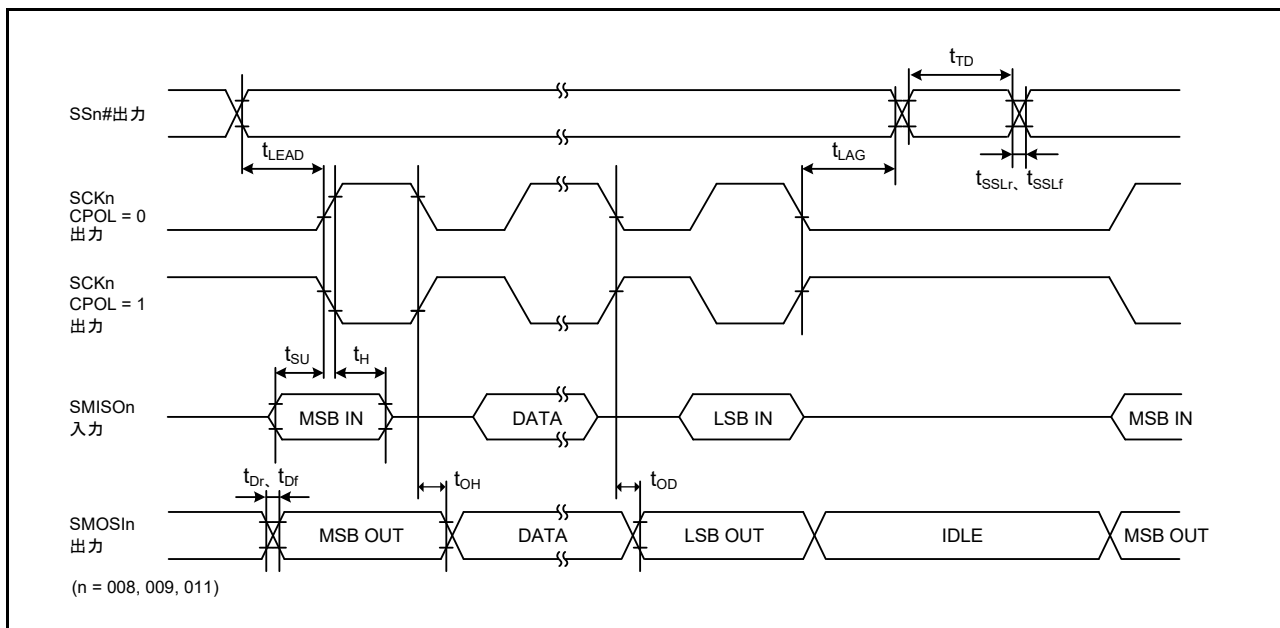


図 2.48 簡易 SPI タイミング (マスタ、CPHA = 0)

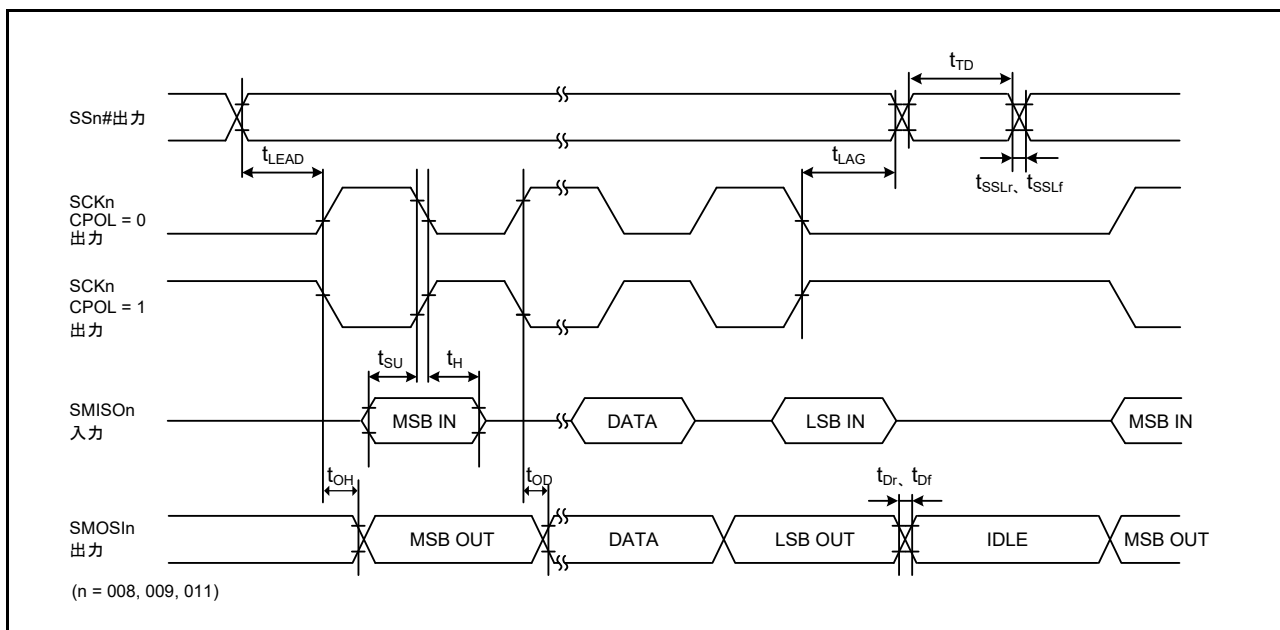


図 2.49 簡易 SPI タイミング (マスタ、CPHA = 1)

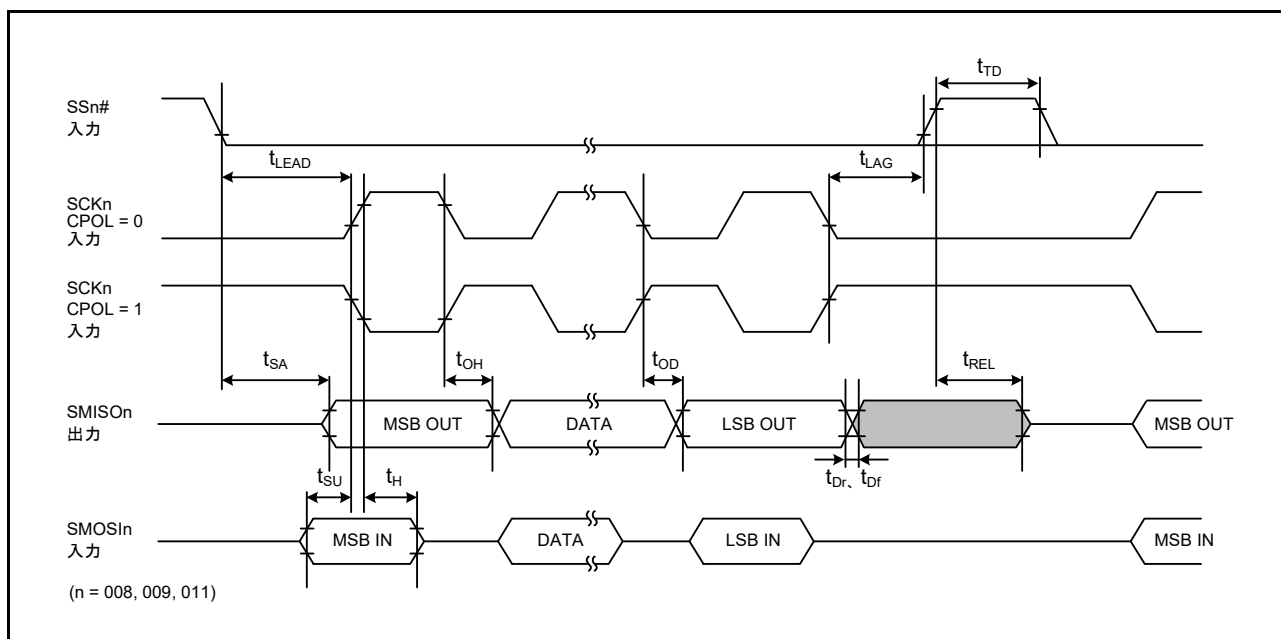


図 2.50 簡易 SPI タイミング (スレーブ、CPHA = 0)

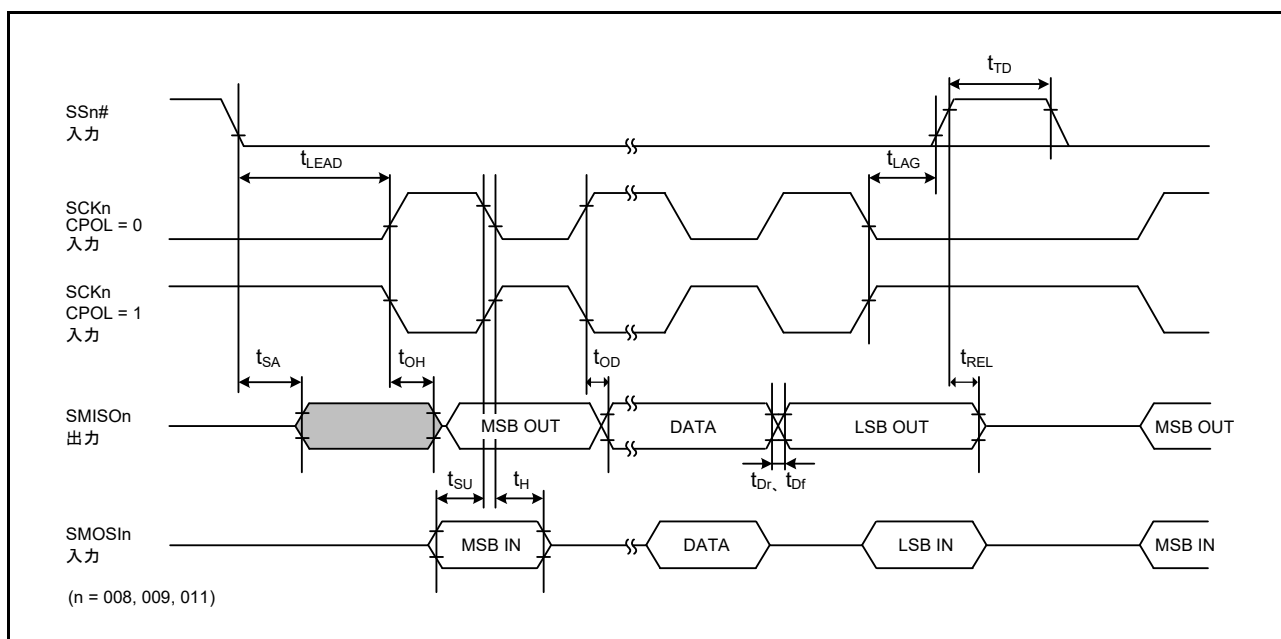


図 2.51 簡易 SPI タイミング (スレーブ、CPHA = 1)

2.4.5.11 RSPI

表2.37 RSPIタイミング

条件：VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,

VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,

出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件									
RSPI	RSPCK クロック サイクル	マスタ	t _{SPcyc}	2	—	t _{PAcyc}	図2.52								
		スレーブ		4	—										
	RSPCK クロック Highレベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		ns							
		スレーブ							0.4	0.6	t _{SPcyc}				
	RSPCK クロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns			ns						
		スレーブ								0.4	0.6	t _{SPcyc}			
	RSPCK クロック立ち 上がり/立ち下がり時間	出力	t _{SPCKr} , t _{SPCKf}	—	5	ns				ns					
		入力									—	1	μs		
	データ入力セット アップ時間	マスタ	t _{SU}	6	—	ns					VCC ≥ 4.5V	図2.53 ~ 図2.58			
											VCC < 4.5V		図2.53 ~ 図2.58		
		スレーブ									8.3	—		ns	
	データ入力ホールド 時間	マ ス タ	PCLKAを2分 周に設定	t _{HF}	0	—					ns	ns			
													PCLKAを2分 周以外に設定	t _H	t _{PAcyc}
		スレーブ	8.3	—	ns										
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}					t _{SPcyc}				
		スレーブ											4	—	t _{PAcyc}
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}							t _{SPcyc}		
		スレーブ												4	—
	データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns								VCC ≥ 4.5V	図2.53 ~ 図2.58
					11.3									VCC < 4.5V	
スレーブ		28			VCC ≥ 4.5V										
		33			VCC < 4.5V										
データ出力ホールド 時間	マスタ	t _{OH}	0	—	ns	ns									
	スレーブ						0	—							
連続送信遅延時間	マスタ	t _{TD}	$t_{SPcyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PAcyc}$	ns		ns								
	スレーブ			$4 \times t_{PAcyc}$				—							
MOSI、MISO立ち上 がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns			ns							
	入力								—	1				μs	
SSL 立ち上がり/立ち 下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns				ns						
	入力									—				1	μs
スレーブアクセス時間		t _{SA}	—	28	ns					VCC ≥ 4.5V				図2.57 、 図2.58	
				33						VCC < 4.5V					
スレーブ出力開放時間		t _{REL}	—	28	ns					VCC ≥ 4.5V		図2.57 、 図2.58			
				33						VCC < 4.5V					

注1. t_{PAcyc} : PCLKAの周期

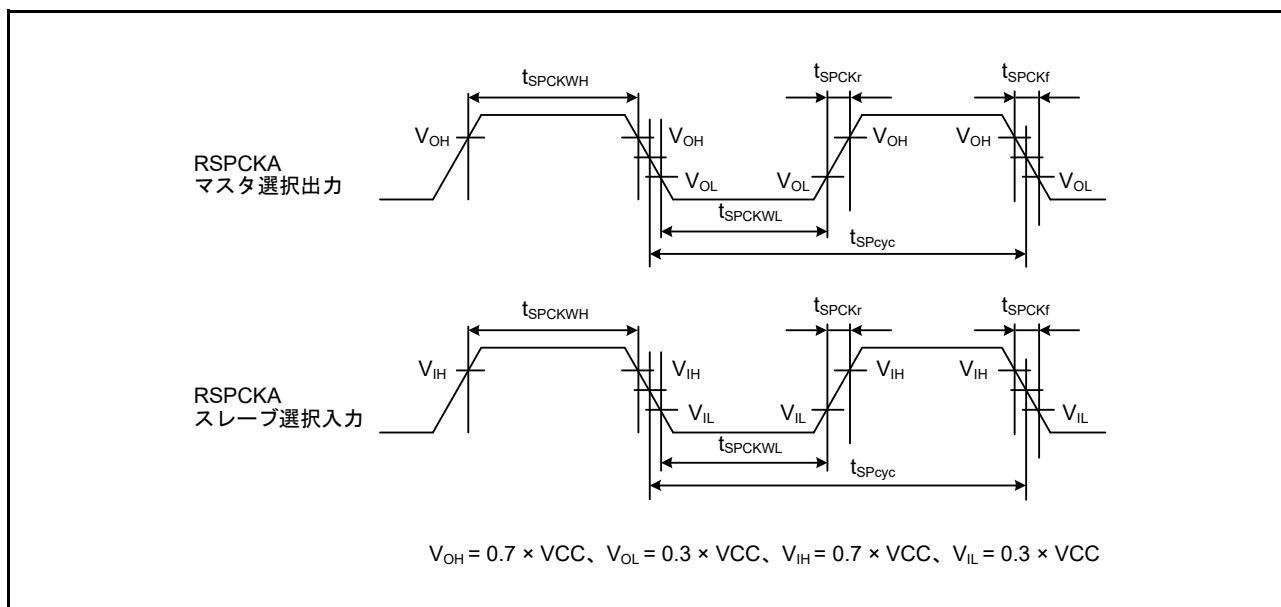


図 2.52 RSPCKA クロックタイミング

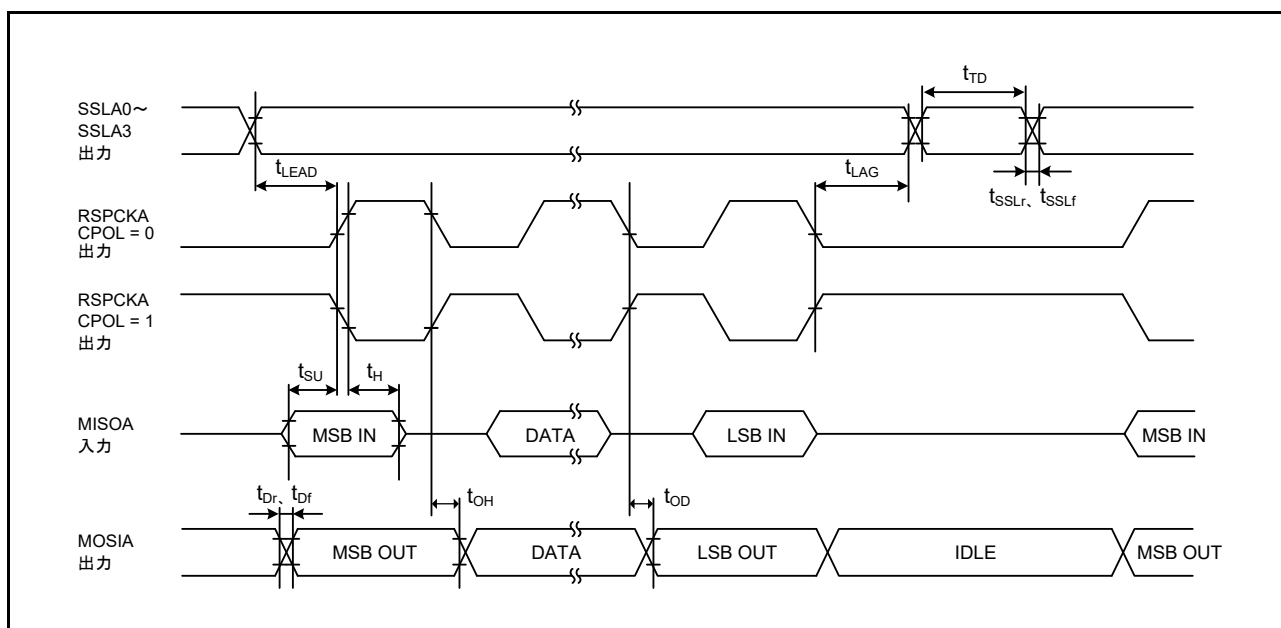


図 2.53 RSPCKA タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

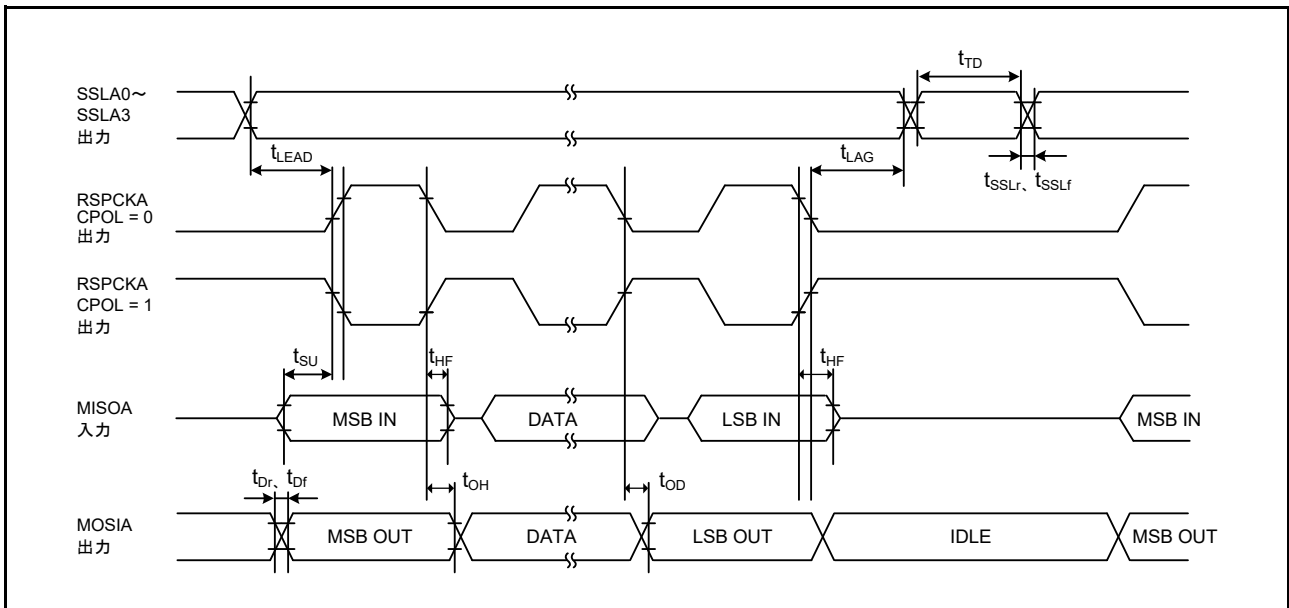


図 2.54 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

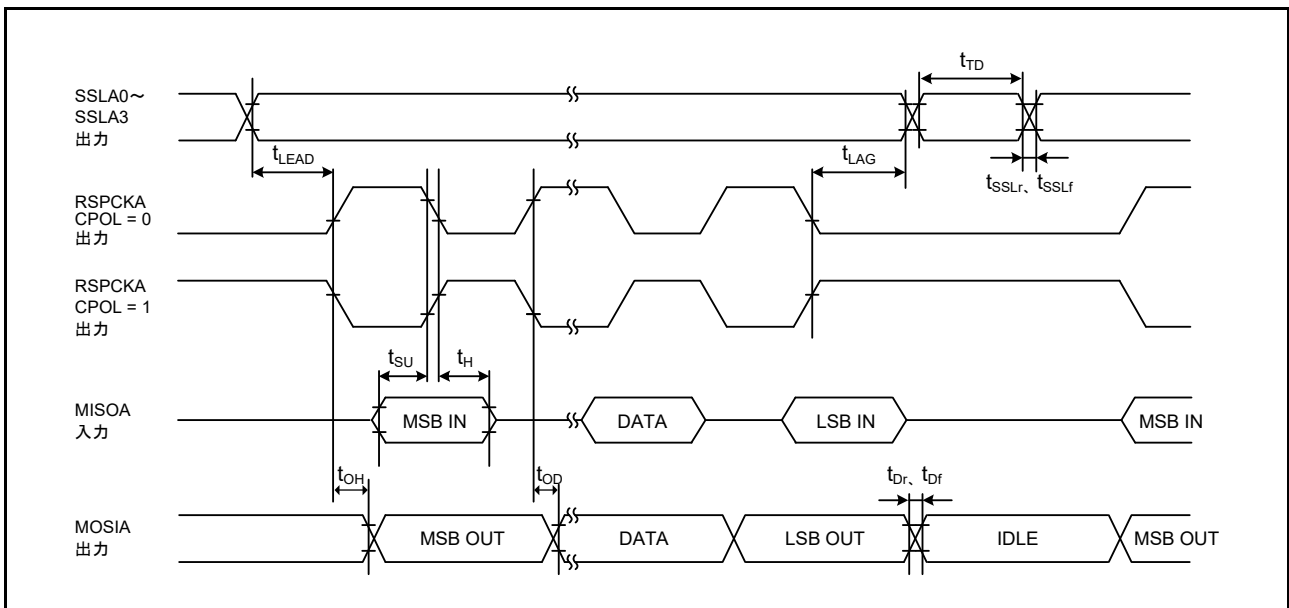


図 2.55 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

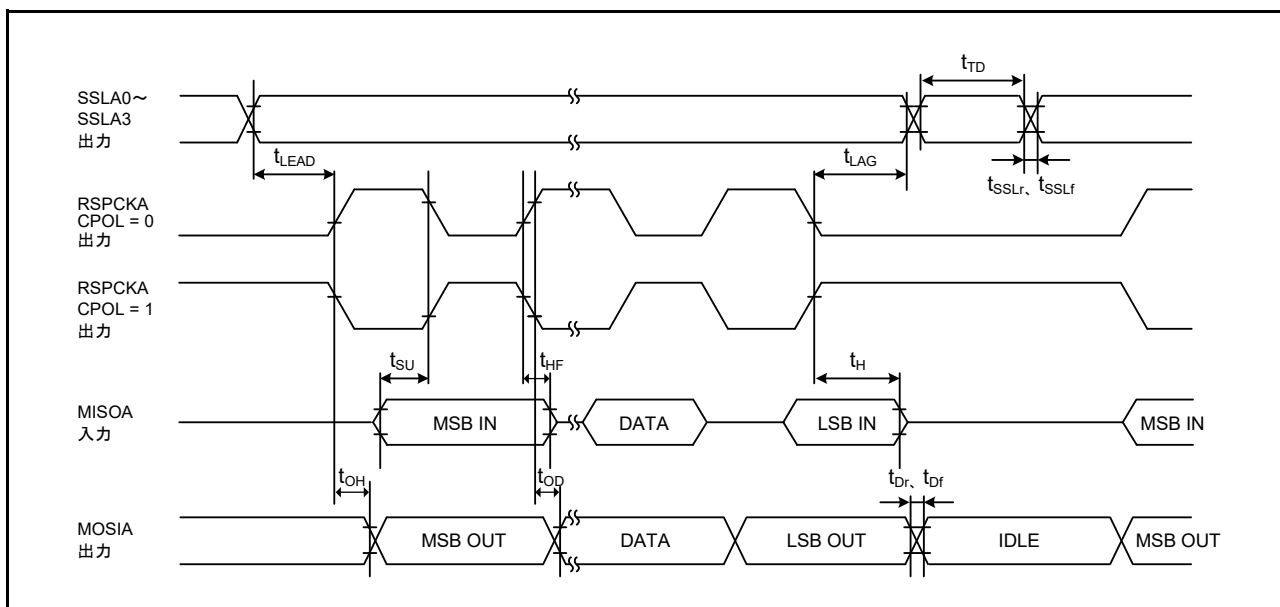


図 2.56 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

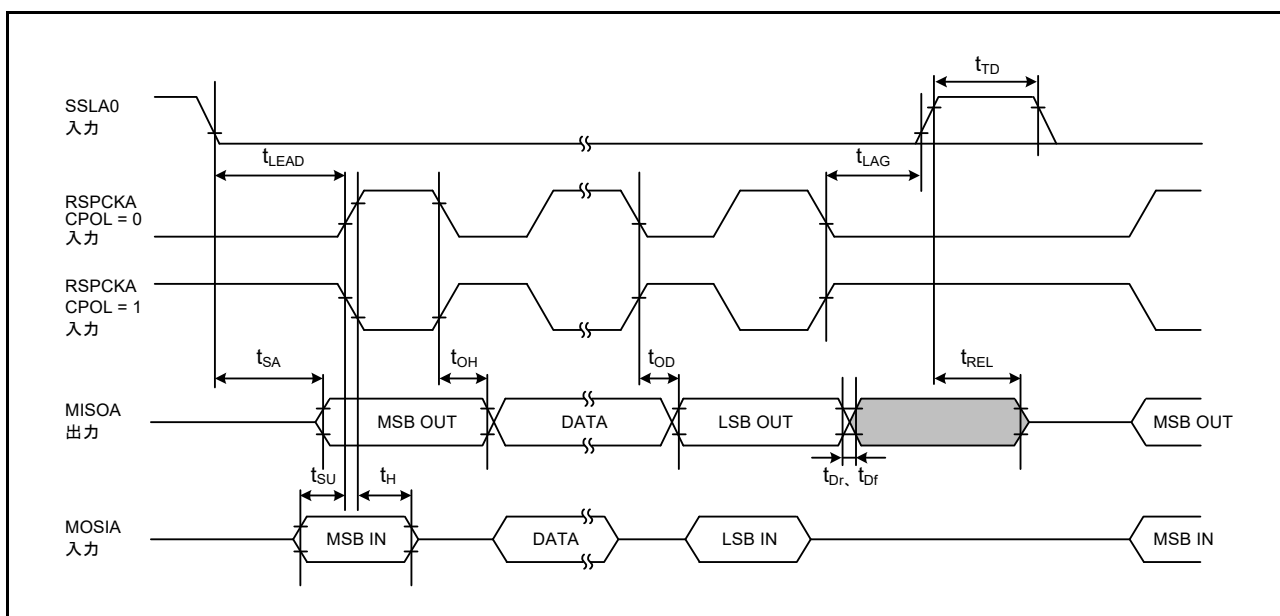


図 2.57 RSPI タイミング (スレーブ、CPHA = 0)

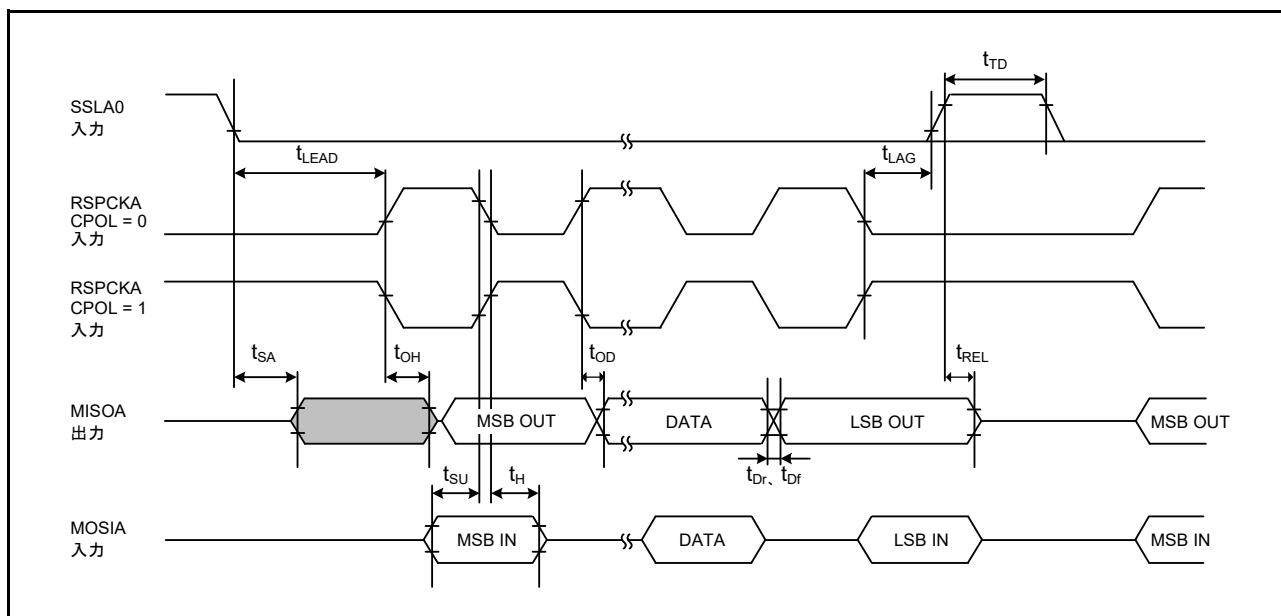


図 2.58 RSPI タイミング (スレーブ、CPHA = 1)

2.4.5.12 RSPIA

表2.38 RSPIA タイミング

条件：VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 15pF,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件			
RSPIA	RSPCK クロックサイクル	マスタ	t _{SPcyc}	2	—	t _{PAcyc}	図2.59		
		スレーブ		2	—				
	RSPCK クロック Highパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		図2.60 ~ 図2.66	
		スレーブ		0.4	0.6	t _{SPcyc}			
	RSPCK クロック Lowパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns			
		スレーブ		0.4	0.6	t _{SPcyc}			
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t _{SPCKr}	—	5	ns			
		入力	t _{SPCKf}	—	1	μs			
	データ入力セットアップ時間	マスタ	t _{SU}	0	—	ns			VCC ≥ 4.5V
		スレーブ		2.5	—				VCC < 4.5V
	データ入力ホールド時間	マスタ	t _H	7	—	ns			
		スレーブ		2.5	—				
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}			
		スレーブ		6	—	t _{PAcyc}			
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}			
		スレーブ		6	—	t _{PAcyc}			
	データ出力遅延時間	マスタ	t _{OD}	—	4.5	ns	VCC ≥ 4.5V		
				—	5.5		VCC < 4.5V		
		スレーブ		—	14		VCC ≥ 4.5V		
		スレーブ		—	18		VCC < 4.5V		
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns				
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{PAcyc}	8 × t _{SPcyc} + 2 × t _{PAcyc}	ns				
	スレーブ		t _{SPcyc}	—					
MOSI, MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns				
	入力		—	1		μs			
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns				
	入力		—	1		μs			
スレーブアクセス時間		t _{SA}	—	20	ns	図2.63、図2.64			
スレーブ出力開放時間		t _{REL}	—	20	ns				
TI SSP SS入力セットアップ時間	スレーブ	t _{TISS}	4.5	—	ns	図2.65、図2.66			
TI SSP SS入力ホールド時間	スレーブ	t _{TISH}	2.5	—	ns				
TI SSP 次アクセス遅延時間	スレーブ	t _{TIND}	2 × t _{PAcyc} + SLNDL 値 × t _{PAcyc}	—	ns				
TI SSP SS出力遅延時間	マスタ	t _{TISSOD}	—	7	ns	図2.62			

注1. t_{PAcyc} : PCLKAの周期

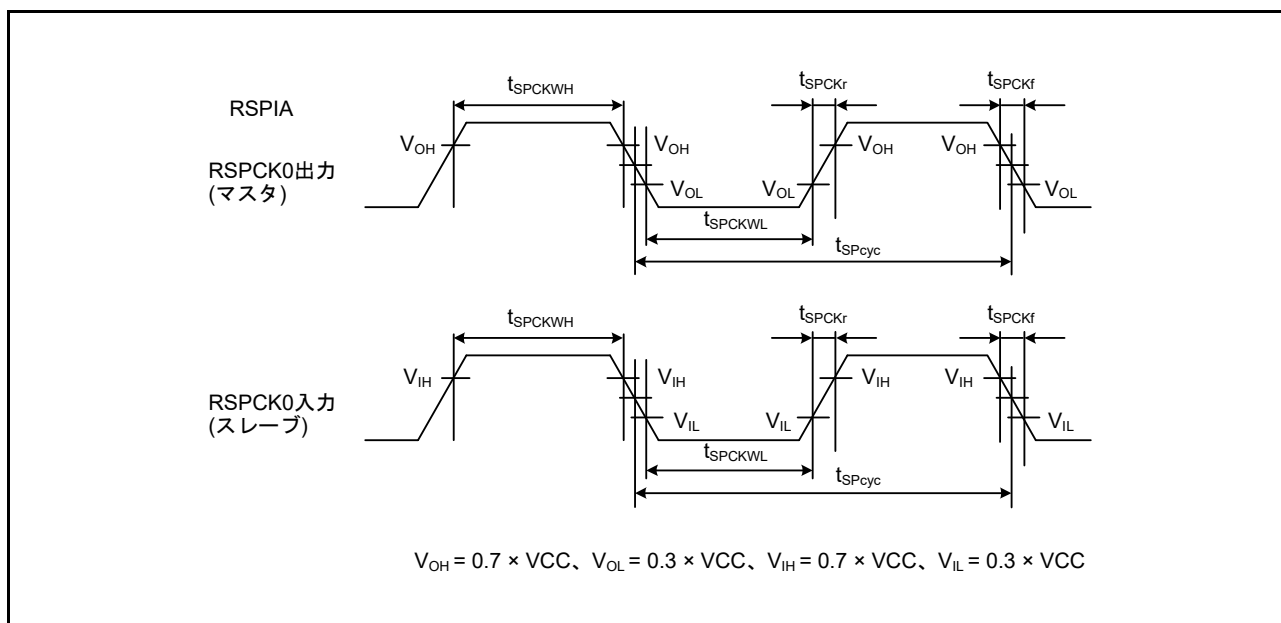


図 2.59 RSPCK0 クロックタイミング

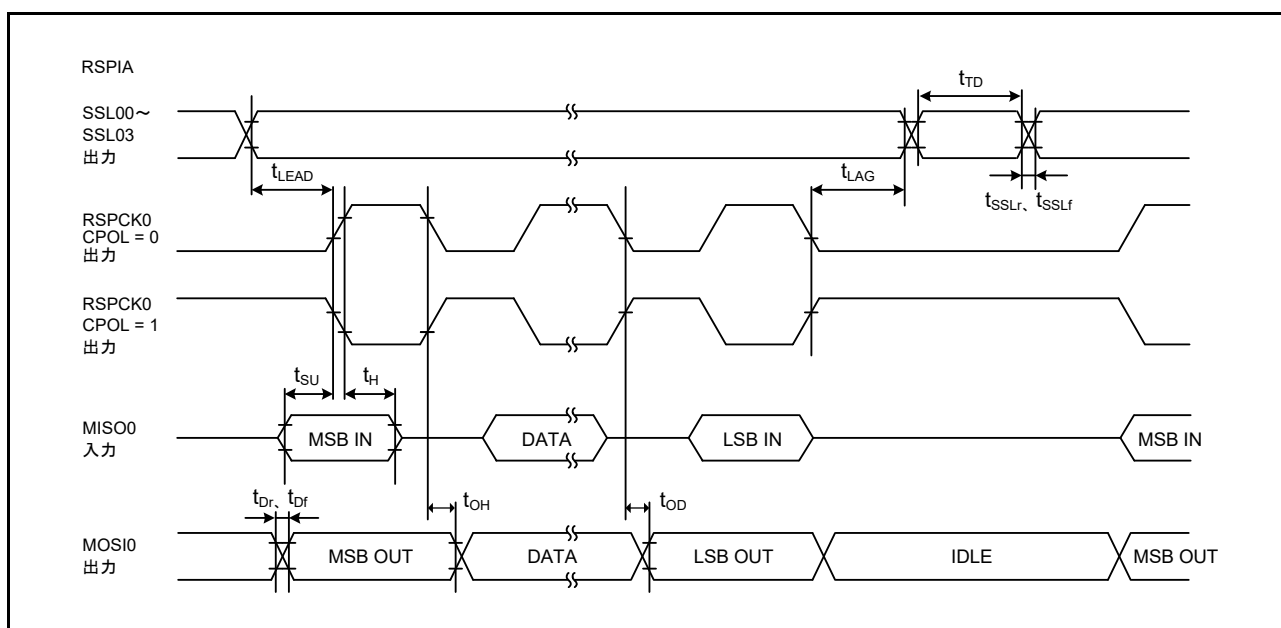


図 2.60 RSPCK0 タイミング (マスター、Motorola SPI、CPHA = 0)

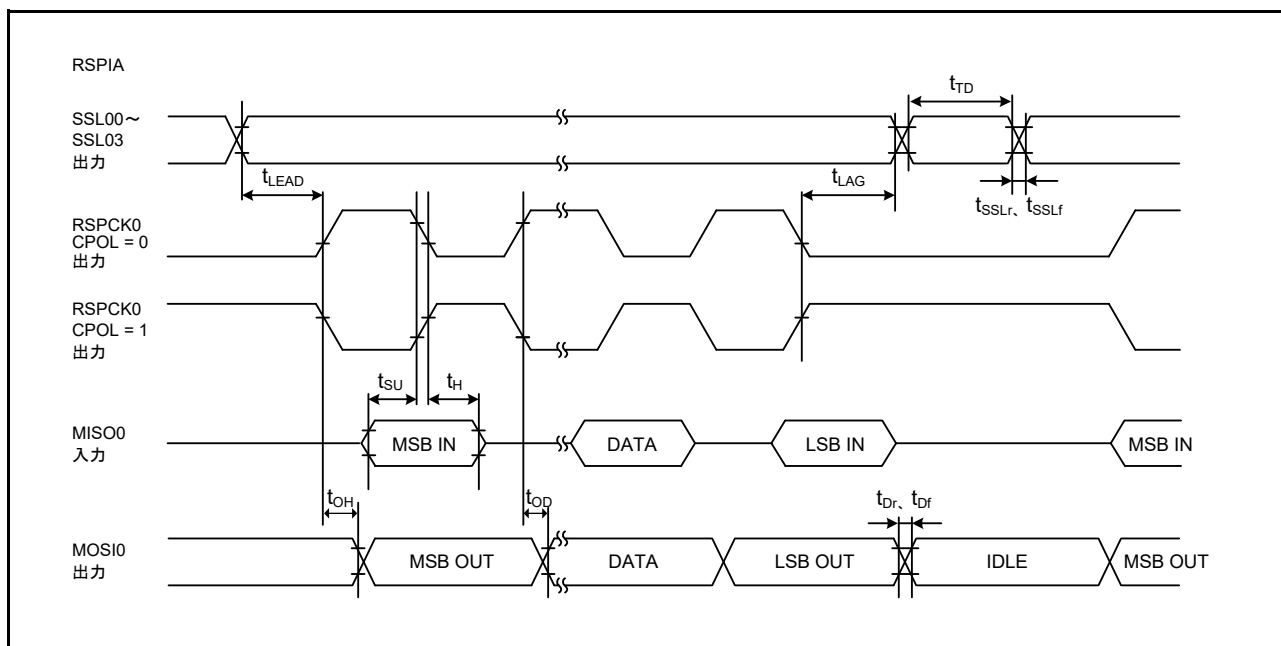


図 2.61 RSPiA タイミング (マスタ、Motorola SPI、CPHA = 1)

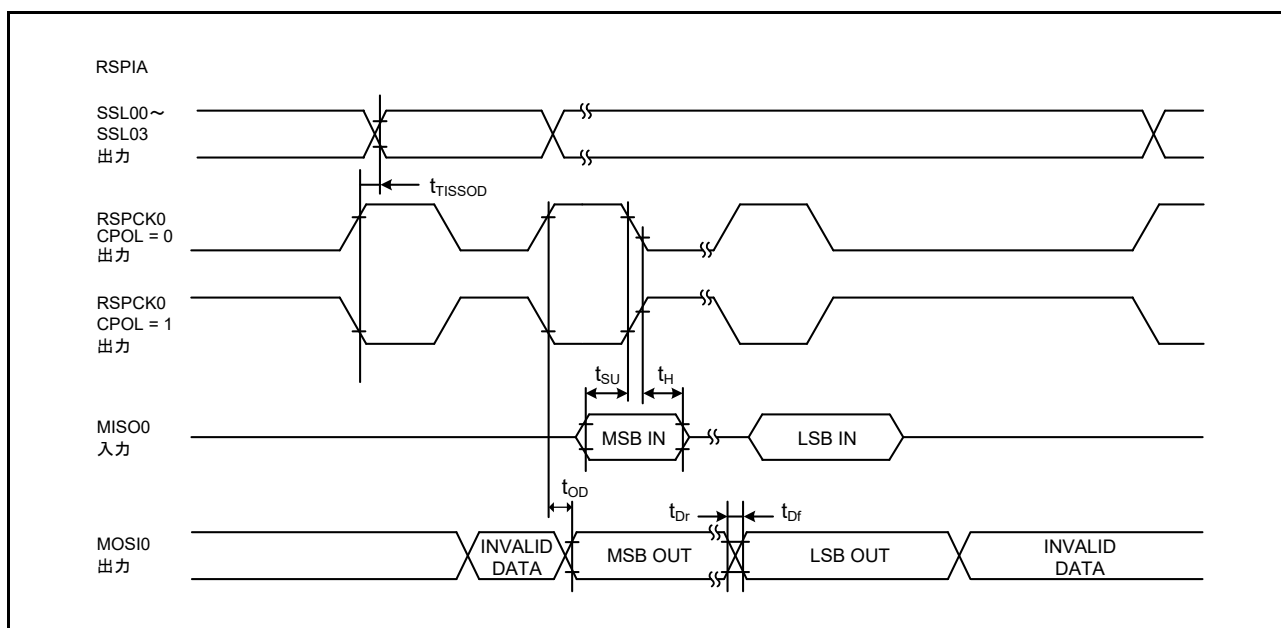


図 2.62 RSPiA タイミング (マスタ、TI SSP)

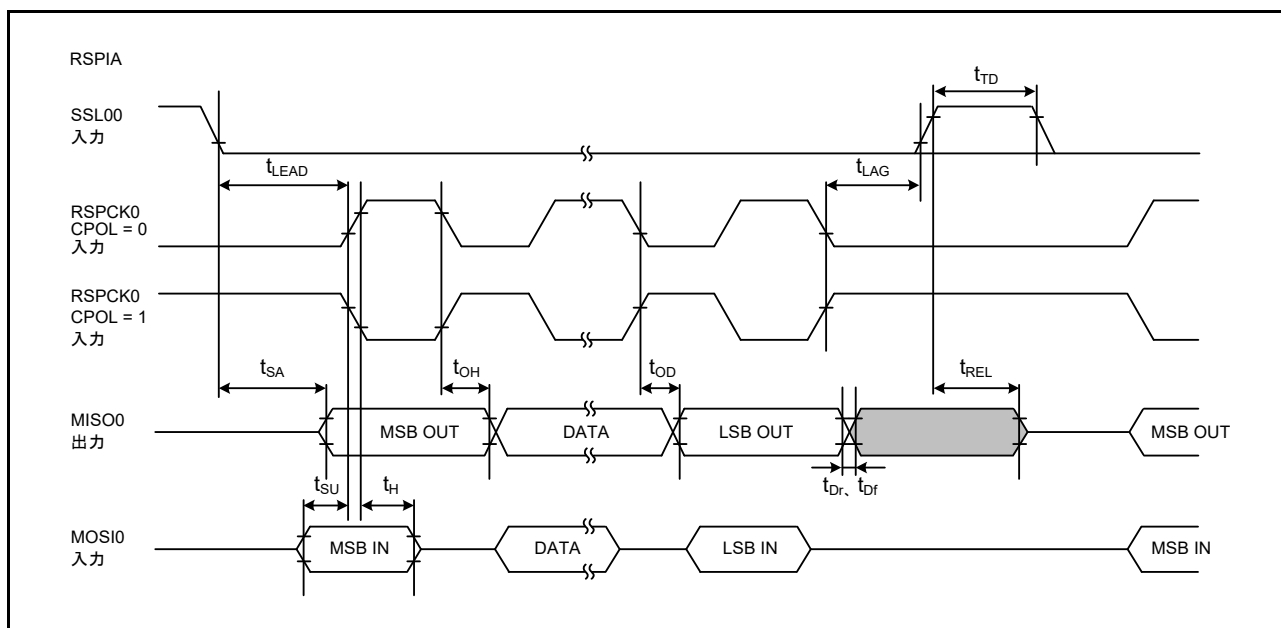


図 2.63 RSPCIA タイミング (スレーブ、Motorola SPI、CPHA = 0)

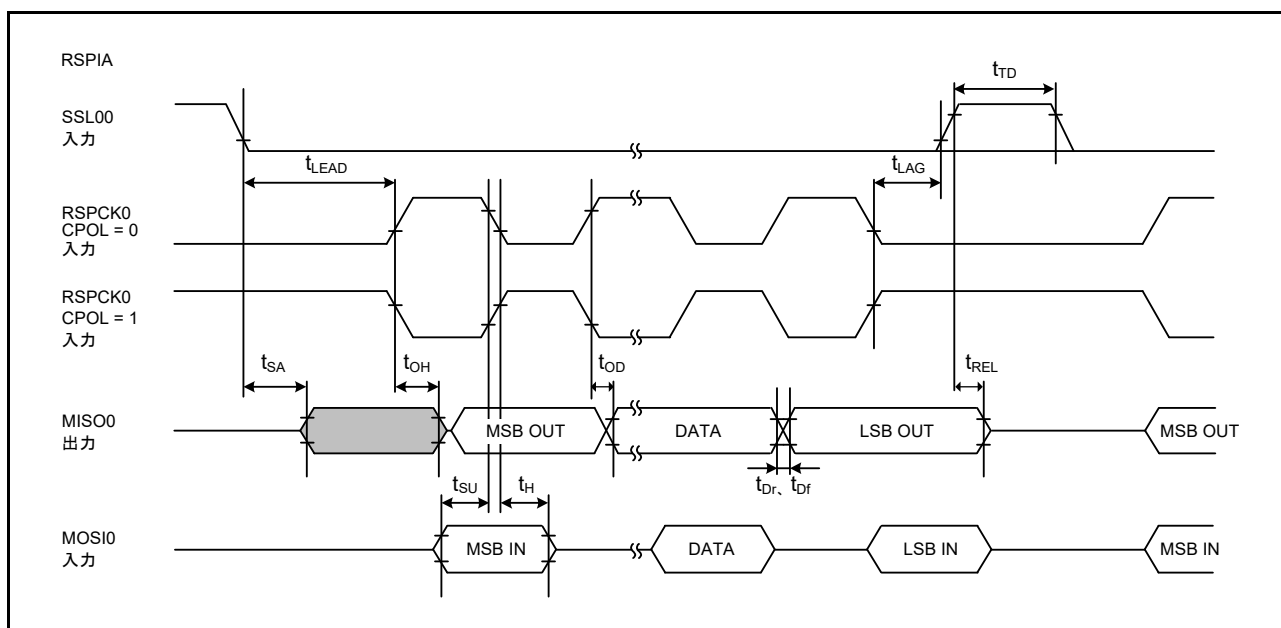


図 2.64 RSPCIA タイミング (スレーブ、Motorola SPI、CPHA = 1)

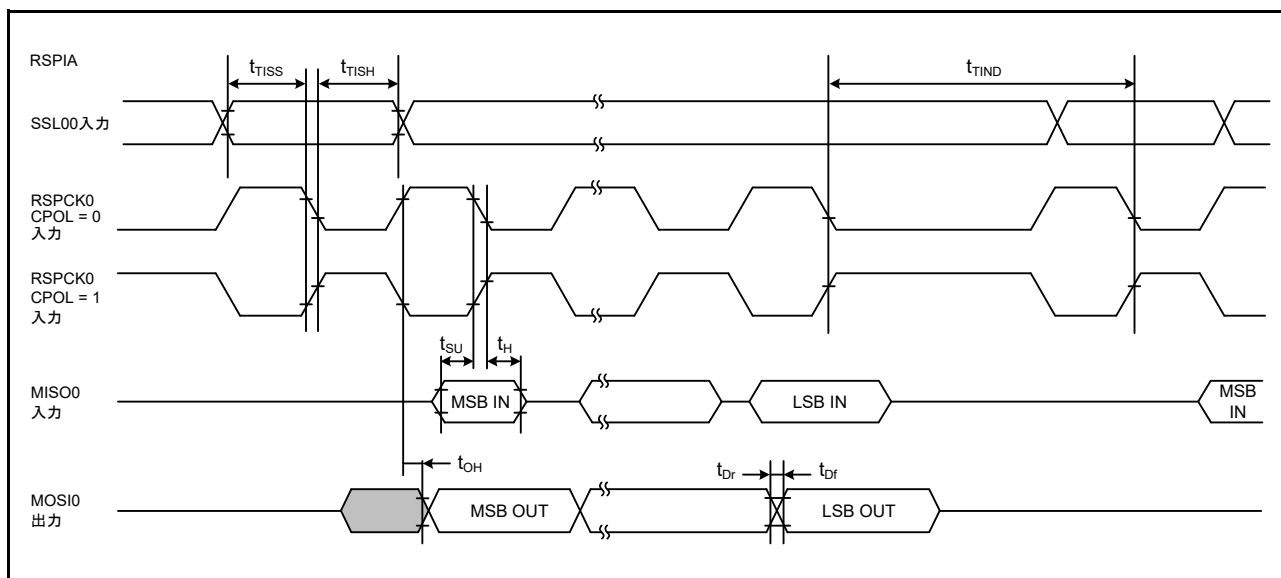


図 2.65 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延あり)

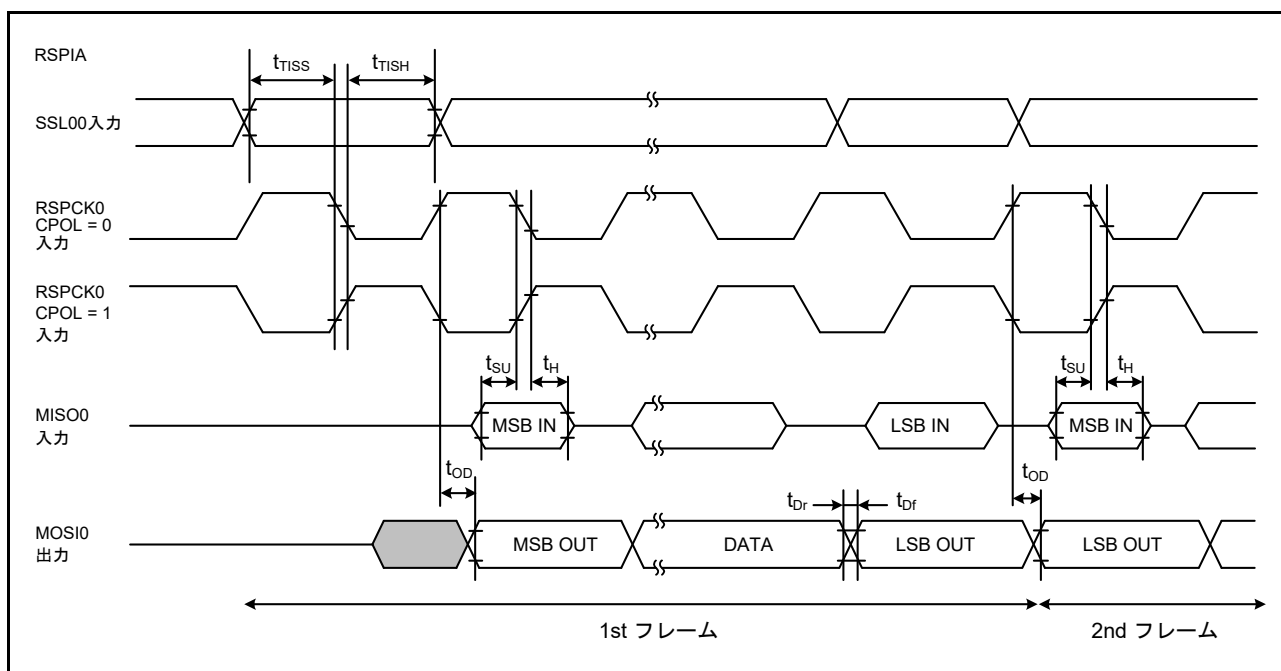


図 2.66 RSPIA タイミング (スレーブ、TI SSP、フレーム間遅延なし)

2.4.5.13 RIIC

表2.39 RIICタイミング

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
PCLKA = 8~120MHz, PCLKB = 8~60MHz,
駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位	測定条件 (注3)
RIIC (スタンダード モード、SMBus)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IICcyc} + 1300	—	ns	図2.67
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IICcyc} + 300	—		
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IICcyc} + 300	—		
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000		
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300		
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IICcyc}		
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IICcyc} + 300	—		
	スタートコンディション入力 ホールド時間	t _{STAH}	t _{IICcyc} + 300	—		
	リスタートコンディション入力 セットアップ時間	t _{STAS}	1000	—		
	ストップコンディション入力 セットアップ時間	t _{STOS}	1000	—		
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—		
	データ入力ホールド時間	t _{SDAH}	0	—		
	SCL、SDAの容量性負荷	C _b (注2)	—	400		
RIIC (ファストモード)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IICcyc} + 300	—		
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IICcyc} + 300	—		
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 × (外付け プルアップ電圧 / 5.5V)	300		
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 × (外付け プルアップ電圧 / 5.5V)	300		
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IICcyc}		
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IICcyc} + 300	—		
	スタートコンディション入力 ホールド時間	t _{STAH}	t _{IICcyc} + 300	—		
	リスタートコンディション入力 セットアップ時間	t _{STAS}	300	—		
	ストップコンディション入力 セットアップ時間	t _{STOS}	300	—		
	データ入力セットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—		
	データ入力ホールド時間	t _{SDAH}	0	—		
	SCL、SDAの容量性負荷	C _b (注2)	—	400		

注. t_{IICcyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

注3. VCC ≥ 4.5V のとき、VOLSR.RICVLS = 0

VCC < 4.5V のとき、VOLSR.RICVLS = 1

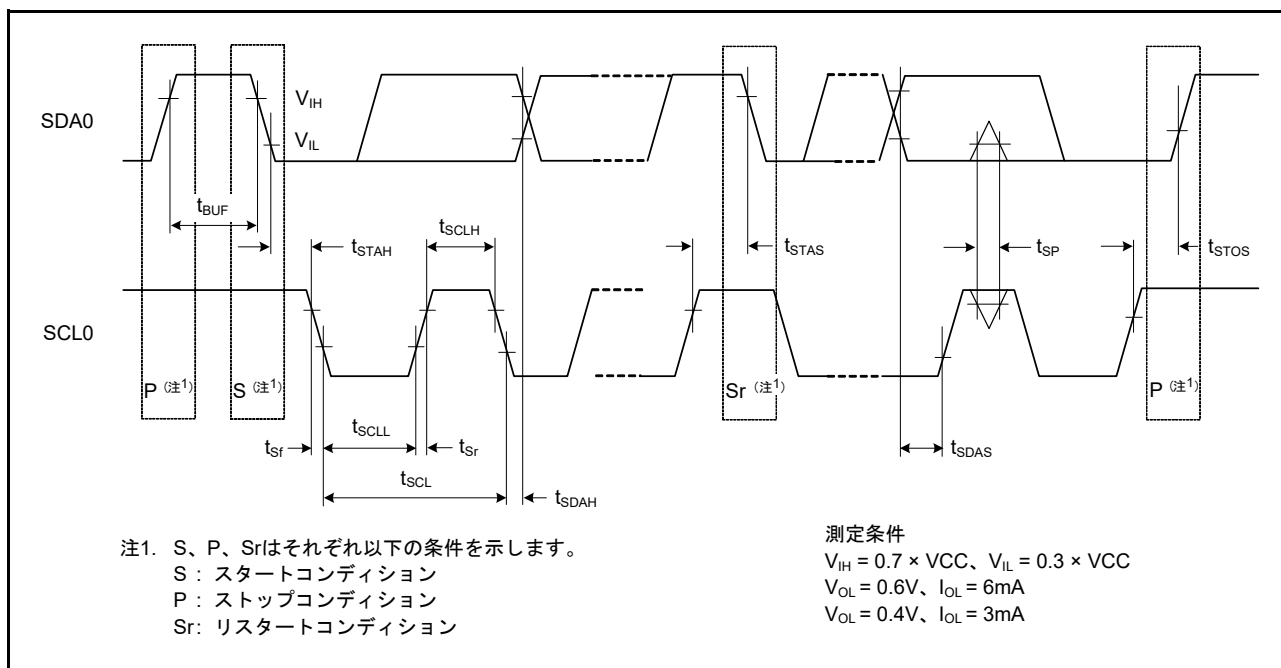


図 2.67 RIIC バスインタフェース入出力タイミング

2.4.5.14 RI3C

表2.40 RI3Cタイミング(オープンドレインタイミングパラメータ)

条件 : VCC = AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz

項目	記号	min	typ	max	単位	測定条件
SCLクロックLow幅	t_{LOW_OD}	200 (注1、注2)	—	—	ns	図2.68
	$t_{DIG_OD_L}$	$t_{LOW_ODmin} + t_{rDA_ODmin}$	—	—		
SDA信号立ち下がり時間	t_{rDA_OD}	t_{CF}	—	33	ns	図2.68
SDAデータセットアップ時間オープンドレインモード	t_{SU_OD}	3 (注1)	—	—	ns	図2.68、 図2.69
スタートコンディション後クロック	t_{CAS}	38.4 ns (注3)	—	ENTAS0 : 1 μ s	—	図2.68
			—	ENTAS1 : 100 μ s		
			—	ENTAS2 : 2ms		
			—	ENTAS3 : 50ms (注4)		
ストップコンディション前クロック	t_{CBP}	$t_{CASmin}/2$	—	—	sec	図2.70
ハンドオフ中のカレントコントローラからセカンダリコントローラまでのオーバーラップ時間	$t_{CRHPOverlap}$	$t_{DIG_OD_Lmin}$	—	—	ns	図2.71
バス使用可能条件	t_{AVAL}	1 (注5)	—	—	μ s	
バスアイドル条件	t_{IDLE}	1	—	—	ms	
SDA Low 駆動していない新コントローラの内部時間	$t_{NEWCRlock}$	$t_{AVALmin}$	—	—	μ s	図2.71

注1. $t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_ODmin}$ と近似的に同じです。

注2. SDAがすでに V_{IH} を上回っている場合、コントローラはLow幅が短くなる可能性があります。

注3. I²Cデバイスがスタートコンディションを確認する必要があるLegacyバスでは、 t_{CAS} 最小値がさらに制限されます。

注4. オプションのENTASx CCCをサポートしていないターゲットは、ENTAS3に示されている t_{CAS} 最大値を使用します。

注5. Fm Legacy I²Cデバイスのミックスバス上で、 t_{AVAL} はFmバスフリー条件時間(t_{BUF})より300ns短いです。

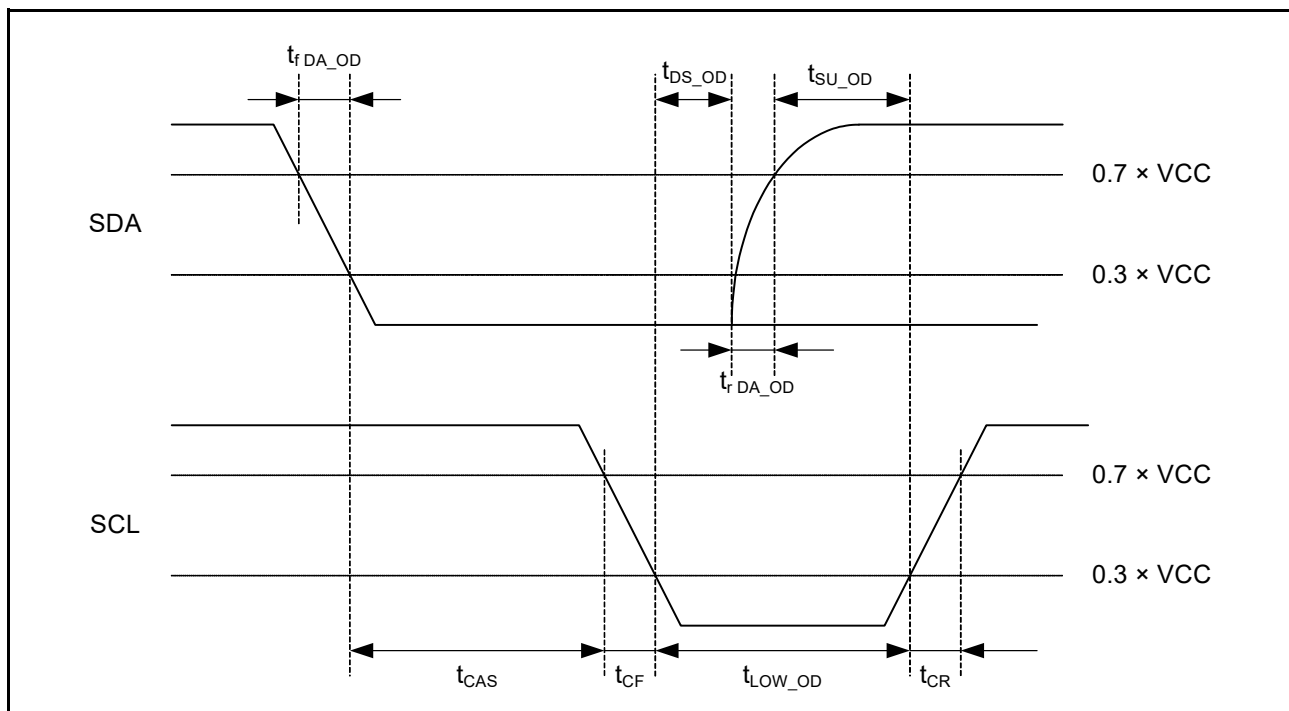


図2.68 RI3C スタートコンディションタイミング

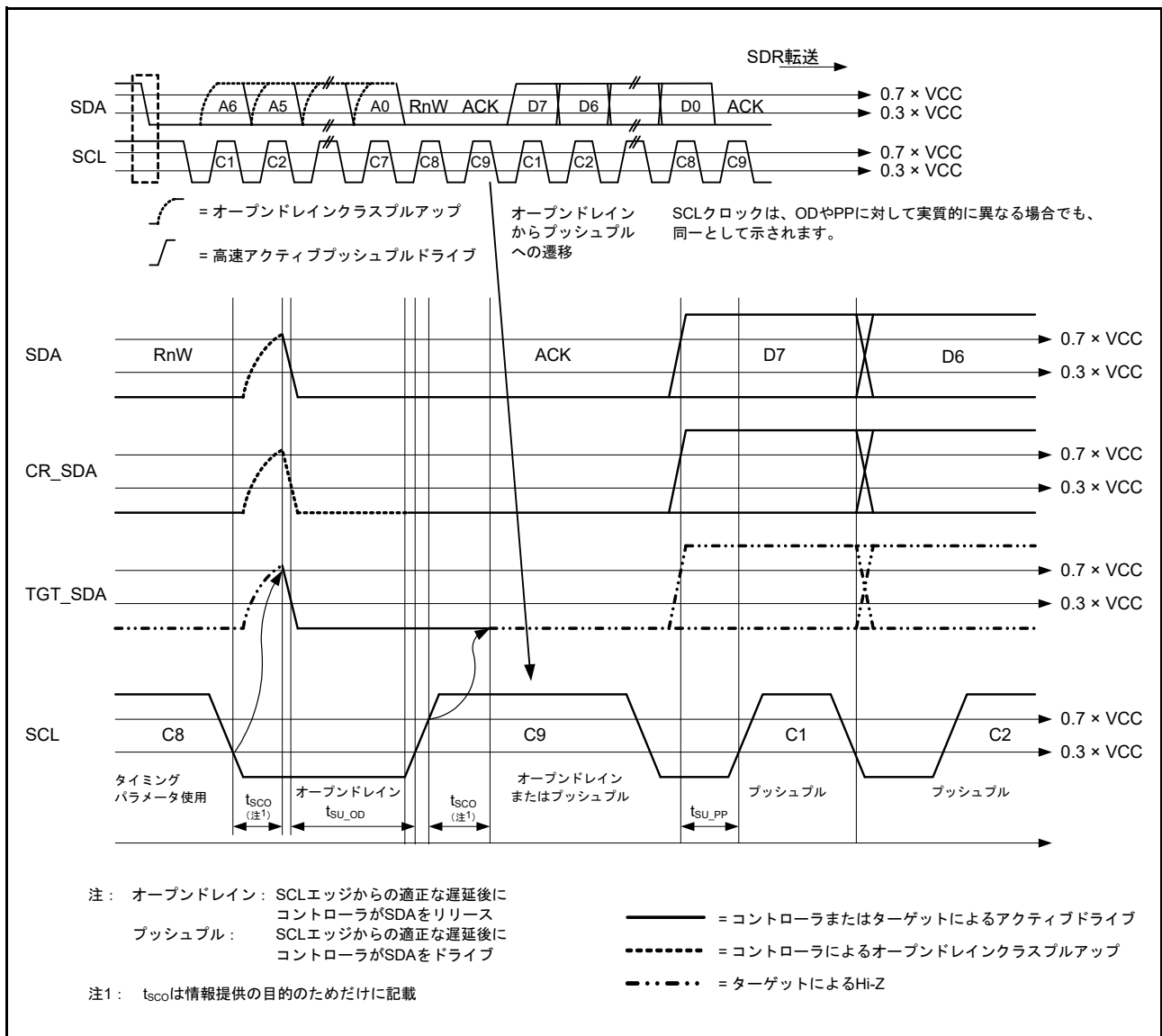


図 2.69 R13C データ転送 — ターゲットによる ACK

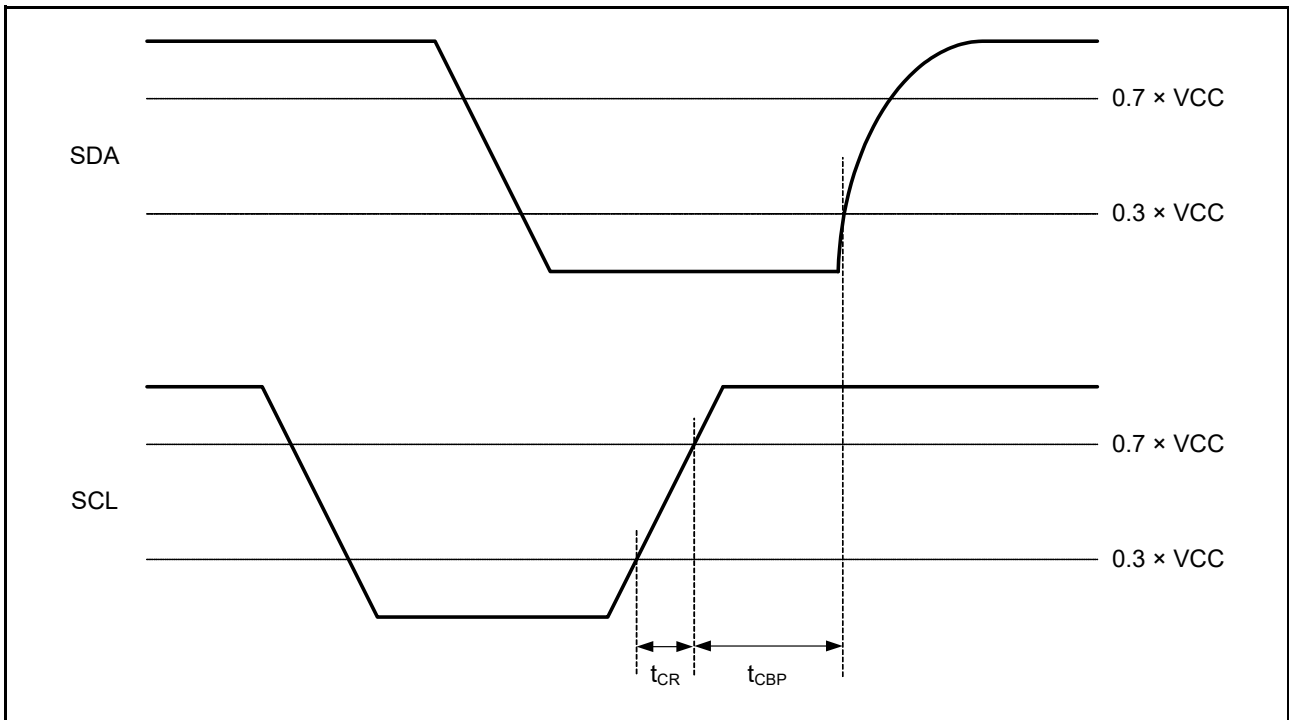


図 2.70 RI3C ストップコンディションタイミング

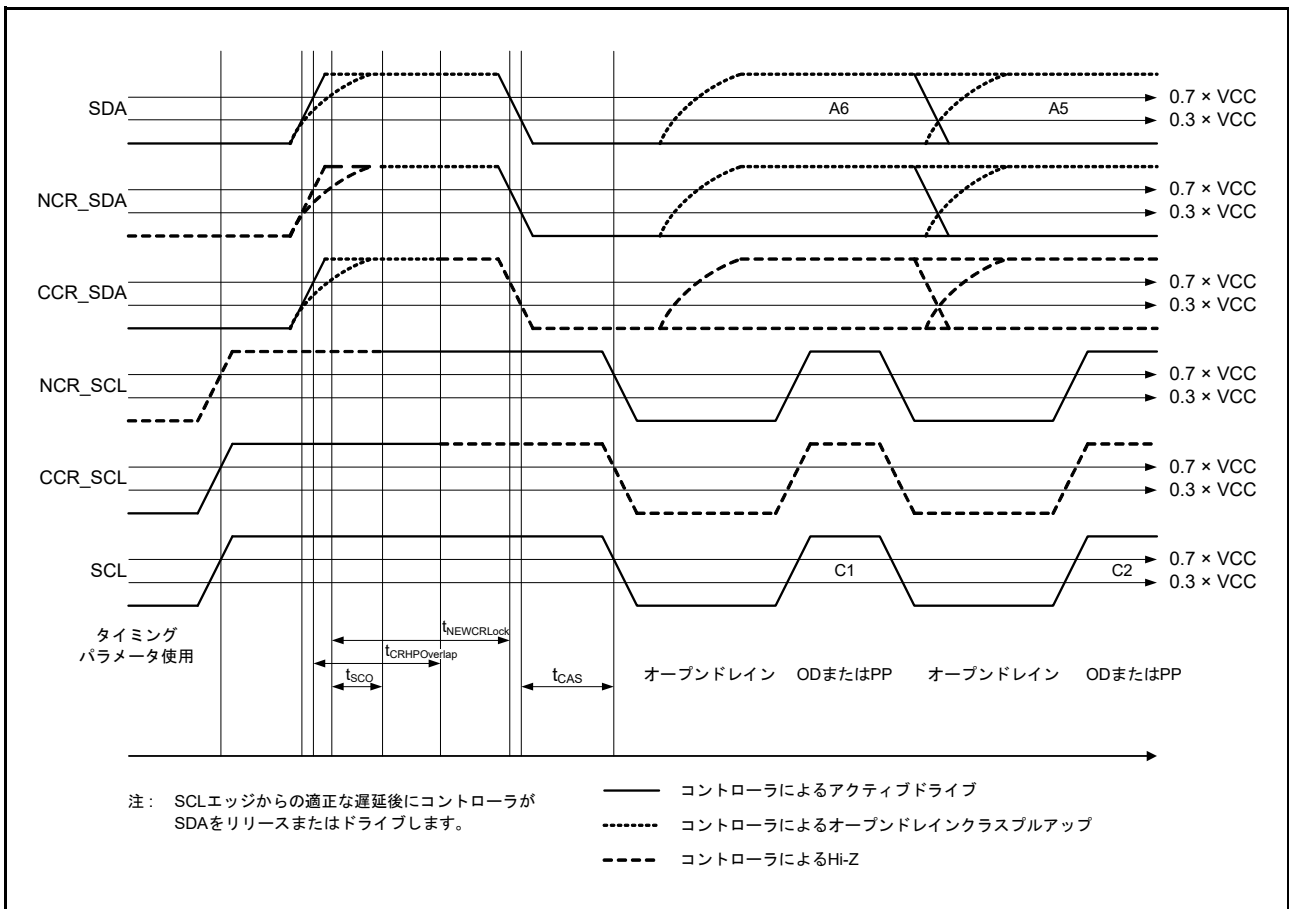


図 2.71 RI3C 出力タイミング

表2.41 RI3Cタイミング(SDRプッシュプルタイミングパラメータ)

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$

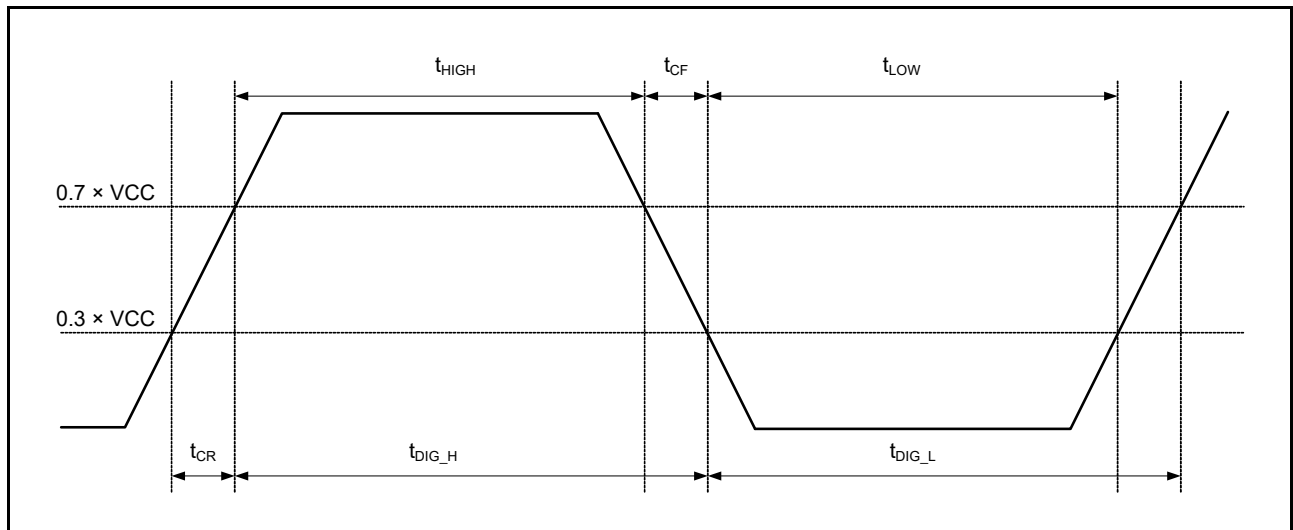
項目	記号	min	typ	max	単位	測定条件
SCLクロック周波数	f_{SCL}	0.01 (注1)	—	10	MHz	
SCLクロックLow期間	t_{LOW}	35	—	—	ns	図2.72
	t_{DIG_L}	50 (注2、注3)	—	—	ns	
SCLクロックHigh期間	t_{HIGH}	35	—	—	ns	
	t_{DIG_H}	50 (注2)	—	—	ns	
ターゲット用データ出カクロック	t_{SCO}	—	—	42	ns	図2.73
SCLクロック立ち上がり時間	t_{CR}	—	—	$150 * 1 / f_{SCL}$ (上限 60)	ns	図2.72
SCLクロック立ち下がり時間	t_{CF}	—	—	$150 * 1 / f_{SCL}$ (上限 60)	ns	
プッシュプルモードのSDA信号データセットホールド	コントローラ	t_{HD_PP}	$t_{CR} + 3$ (注3), $t_{CF} + 3$ (注3)	—	—	図2.74
	ターゲット	t_{HD_PP}	0	—	—	図2.75
プッシュプルモードのSDA信号データセットアップ	t_{SU_PP}	3	—	—	ns	図2.73、図2.74
繰り返しのスタート(Sr)後クロック	t_{CASr}	$t_{CASmin}/2$	—	N/A	ns	図2.76
繰り返しのスタート(Sr)前クロック	t_{CBSr}	$t_{CASmin}/2$	—	N/A	ns	図2.76
バスライン(SDA/SCL)ごとの容量性負荷	C_b (注4)	—	—	50	pF	

注1. $f_{SCL} = 1 / (t_{DIG_L} + t_{DIG_H})$

注2. t_{DIG_L} および t_{DIG_H} は、 V_{IL} 、 V_{IH} を使用した I3C バスの受信端の Low および High 期間クロックです。

注3. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。例えば、立ち下がりエッジクロックに対して $t_{CF} + 3$ 、立ち上がりエッジクロックに対して $t_{CR} + 3$ です。

注4. C_b はバスラインの容量総計です。

図2.72 t_{DIG_L} 、 t_{DIG_H}

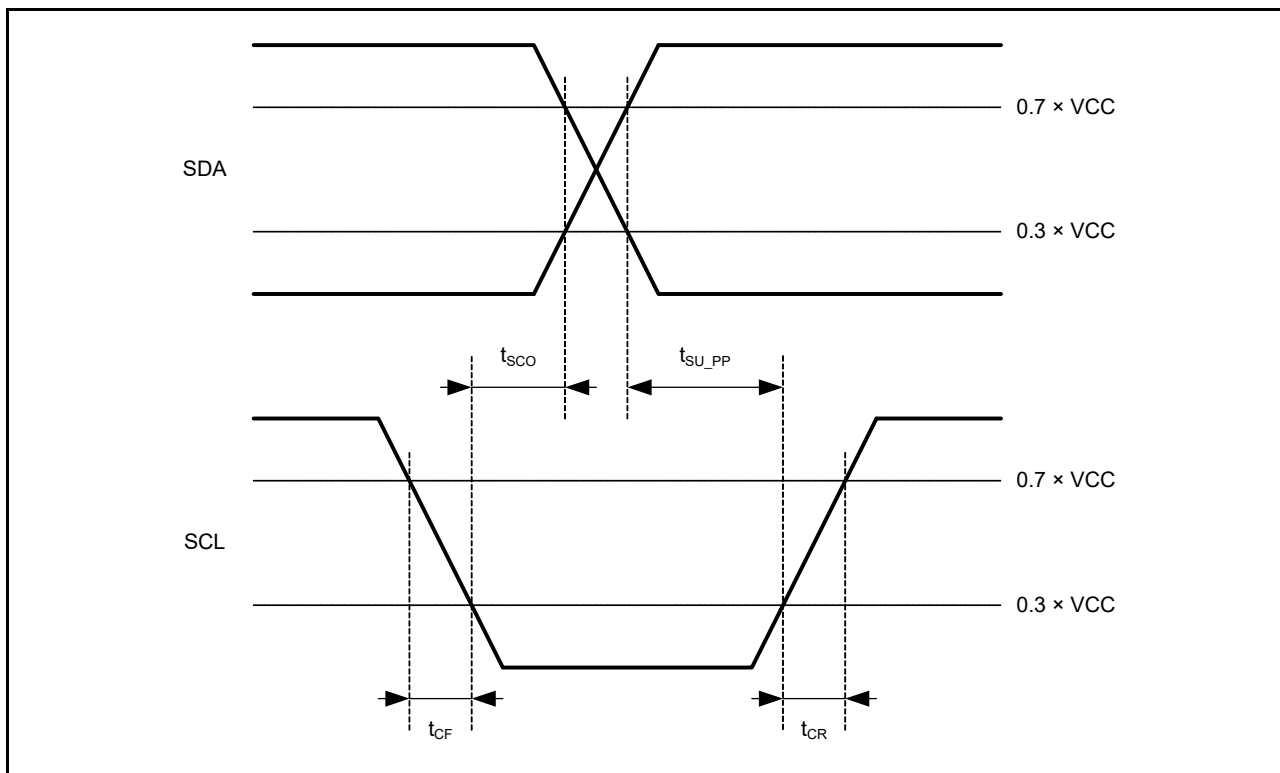


図 2.73 RI3C ターゲット出力タイミング

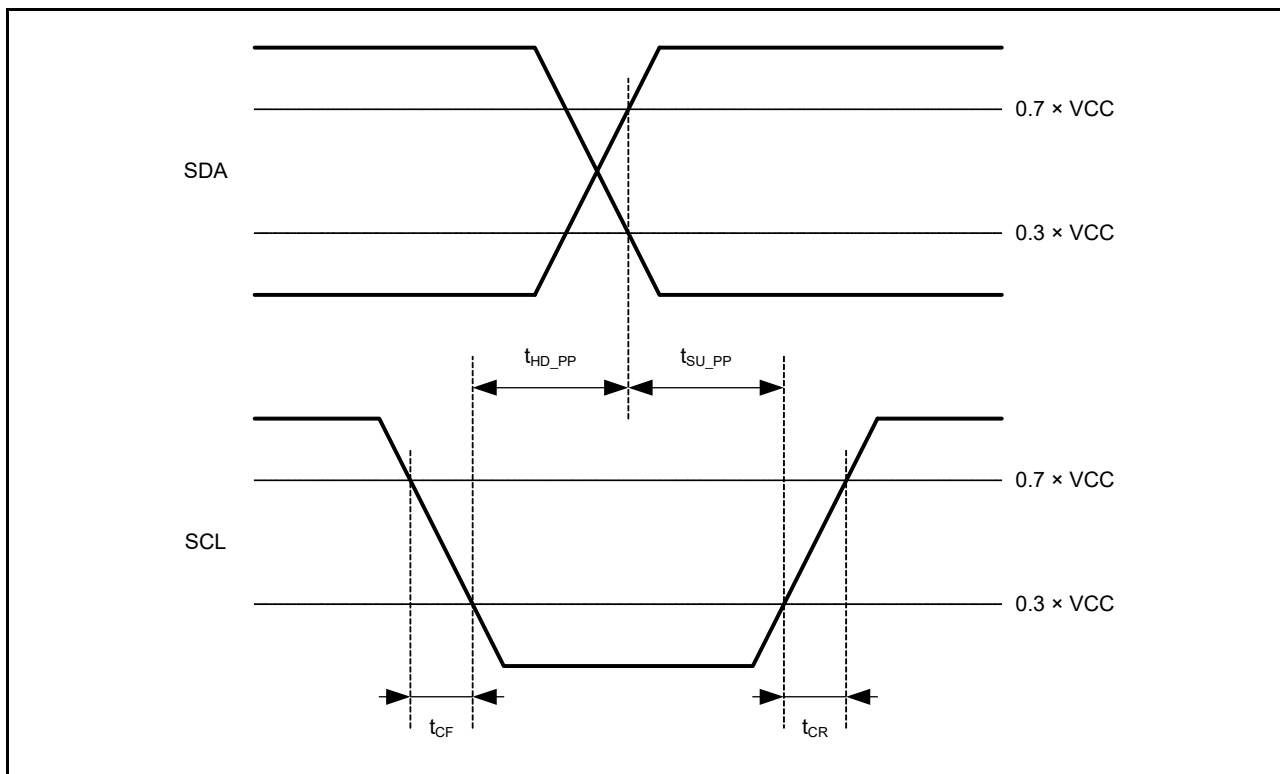


図 2.74 RI3C コントローラ出力タイミング

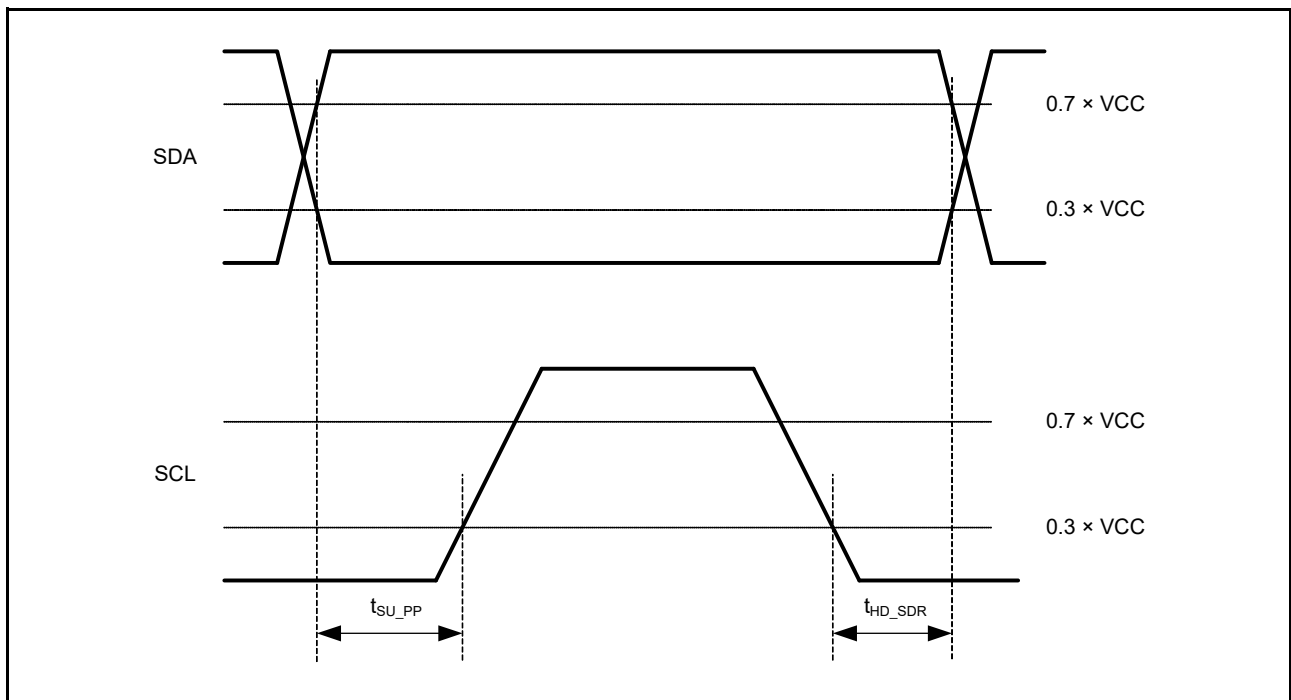


図 2.75 コントローラ SDR タイミング

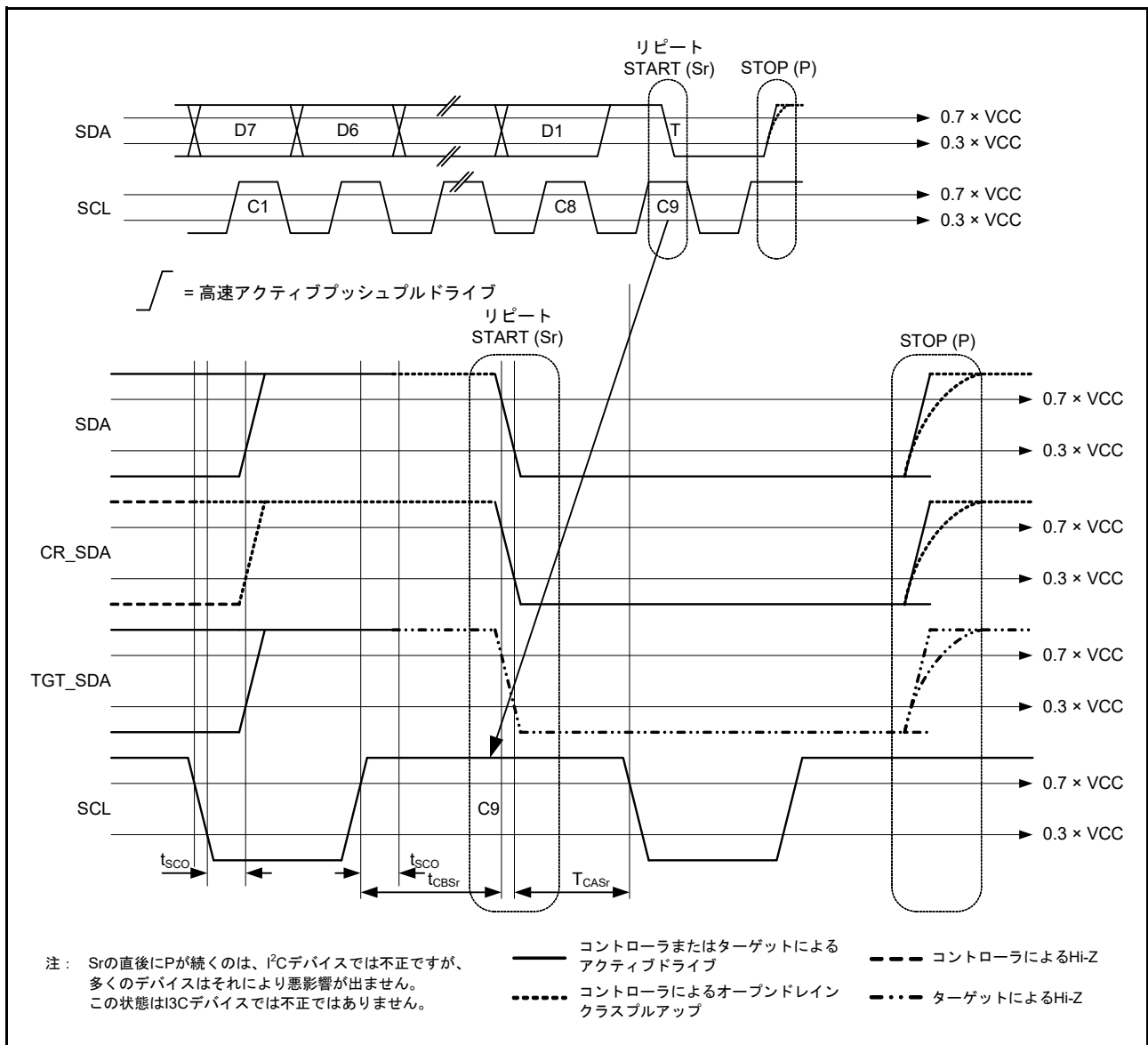


図 2.76 繰り返しのスタートコンディションおよびストップコンディションでのコントローラ終了時の T ビット読み出し

2.4.5.15 HRPWM

表2.42 HRPWMタイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz,
出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
駆動能力制御レジスタは高駆動出力を選択時

項目	min	typ	max	単位	測定条件
入力周波数 (f _{IN})	80	—	120	MHz	
分解能	—	260	—	ps	f _{IN} = 120MHz時
DNL (注1)	—	±2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

2.4.5.16 CANFD

表2.43 CANFDタイミング

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目		記号	min	max	単位
Classic CANモード	通信レート		—	1	Mbps
	通信レート		—	1	Mbps
CAN FDモード	通信レート(データのみ)		—	5	Mbps

2.5 A/D 変換特性

表2.44 12ビットA/D (ユニット0, 1, 2)変換特性(1)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $4.5 \leq AV_{CC0} = AV_{CC1} = AV_{CC2} \leq 5.5V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 60MHz$ (注1),
 信号源インピーダンス = 1.0 k Ω

項目			min	typ	max	単位	測定条件	
分解能			12	12	12	ビット		
アナログ入力容量			—	—	30	pF		
変換時間 (注2) (PCLKD = 60MHz 時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用 サンプル& ホールド回路 使用時	常時サンプリ ング有効	1.00	—	—	μs	• サンプリング時間 24 PCLKD
			常時サンプリ ング無効	1.40	—	—		• チャンネル専用サンプル&ホー ルド回路のサンプリング時間 24 PCLKD • サンプリング時間 24 PCLKD
		チャンネル専用サンプル&ホー ルド回路不使用時		0.90	—	—	• サンプリング時間 30 PCLKD	
	AN003, AN103			0.90	—	—	• サンプリング時間 30 PCLKD	
	AN200 ~ AN211			0.95	—	—	• サンプリング時間 33 PCLKD	
AN216 ~ AN217			1.05	—	—	• サンプリング時間 39 PCLKD		
オフセット誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	± 1.5	± 6.0	LSB	AN000 ~ AN002, AN100 ~ AN102 = 0.2V	
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 1.5	± 5.0			
フルスケール誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	± 1.5	± 5.5	LSB	AN000 ~ AN002 = AVCC0 - 0.2V AN100 ~ AN102 = AVCC1 - 0.2V	
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 1.5	± 4.5			
量子化誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	± 0.5	—	LSB		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 0.5	—			
絶対精度		チャンネル専用サンプル&ホー ルド回路使用時	—	± 3.0	± 6.0	LSB		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 2.5	± 5.5			
		AN003, AN103		—	± 2.5			± 5.5
		AN200 ~ AN211		—	± 2.5			± 5.5
		AN216 ~ AN217		—	± 2.5			± 6.5
DNL 微分非直線性誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	± 1.0	± 2.5	LSB		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 1.0	± 1.5			
INL 積分非直線性誤差		チャンネル専用サンプル&ホー ルド回路使用時	—	± 1.5	± 4.0	LSB		
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 1.5	± 2.5			
チャンネル専用サンプル&ホールド回路のホールド特性			—	—	20	μs		
ダイナミックレ ンジ	AN000 ~ AN002	チャンネル専用サンプル&ホー ルド回路使用時	0.2	—	AVCC0 - 0.2	V		
	AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時	0.2	—	AVCC1 - 0.2			

注1. PCLKD > 40 MHzの場合、AVCC0-AVSS0間、AVCC1-AVSS1間、AVCC2-AVSS2間に挿入している0.1 μF のコンデンサに、1000 pFのコンデンサを並列に接続して測定しています。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表 2.45 12ビットA/D (ユニット0, 1, 2)変換特性(2)
 条件 : $V_{CC} = 2.7 \sim 4.5V$, $3.0 \leq AV_{CC0} = AV_{CC1} = AV_{CC2} < 4.5V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $P_{CLKB} = P_{CLKD} = 8 \sim 40MHz$,
 信号源インピーダンス = 1.0 k Ω

項目			min	typ	max	単位	測定条件	
分解能			12	12	12	ビット		
アナログ入力容量			—	—	30	pF		
変換時間(注1) (PCLKD = 40MHz 時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用 サンプル& ホールド回路 使用時	常時サンプリ ング有効	1.35	—	—	μs	• サンプリング時間 18 PCLKD
			常時サンプリ ング無効	1.80	—	—		• チャンネル専用サンプル&ホールド回路のサンプリング時間 18 PCLKD • サンプリング時間 18 PCLKD
	チャンネル専用サンプル&ホールド回路不使用時		1.13	—	—	• サンプリング時間 21 PCLKD		
	AN003, AN103		1.13	—	—	• サンプリング時間 21 PCLKD		
	AN200 ~ AN211		1.20	—	—	• サンプリング時間 24 PCLKD		
AN216 ~ AN217		1.28	—	—	• サンプリング時間 27 PCLKD			
オフセット誤差		チャンネル専用サンプル&ホールド回路使用時	—	± 1.5	± 7.5	LSB	AN000 ~ AN002, AN100 ~ AN102 = 0.2V	
		チャンネル専用サンプル&ホールド回路不使用時	—	± 1.5	± 6.5			
フルスケール誤差		チャンネル専用サンプル&ホールド回路使用時	—	± 1.5	± 7.5	LSB	AN000 ~ AN002 = AV _{CC0} - 0.2V AN100 ~ AN102 = AV _{CC1} - 0.2V	
		チャンネル専用サンプル&ホールド回路不使用時	—	± 1.5	± 6.5			
量子化誤差		チャンネル専用サンプル&ホールド回路使用時	—	± 0.5	—	LSB		
		チャンネル専用サンプル&ホールド回路不使用時	—	± 0.5	—			
絶対精度	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	—	± 4.0	± 8.0	LSB		
		チャンネル専用サンプル&ホールド回路不使用時	—	± 2.5	± 7.0			
	AN003, AN103		—	± 2.5	± 7.0			
	AN200 ~ AN211		—	± 2.5	± 7.0			
AN216 ~ AN217		—	± 2.5	± 8.0				
DNL 微分非直線性誤差		チャンネル専用サンプル&ホールド回路使用時	—	± 1.0	± 4.5	LSB		
		チャンネル専用サンプル&ホールド回路不使用時	—	± 1.0	± 3.5			
INL 積分非直線性誤差		チャンネル専用サンプル&ホールド回路使用時	—	± 2.0	± 5.0	LSB		
		チャンネル専用サンプル&ホールド回路不使用時	—	± 1.5	± 3.5			
チャンネル専用サンプル&ホールド回路のホールド特性			—	—	20	μs		
ダイナミックレンジ	AN000 ~ AN002	チャンネル専用サンプル&ホールド回路使用時	0.2	—	AV _{CC0} - 0.2	V		
	AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	0.2	—	AV _{CC1} - 0.2			

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表2.46 A/D内部基準電圧特性

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 60MHz$

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

2.6 プログラマブルゲインアンプ特性

表2.47 PGA特性

条件 : $V_{CC} = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $V_{SS} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	3	8	mV	
シングルエンド入力電圧範囲	V_{ISR}	$V_{OR}(\min)/G$	—	$V_{OR}(\max)/G$	V	
出力電圧範囲	V_{OR}	$0.10 \times AVCCn$	—	$0.90 \times AVCCn$		G = 2.000 ~ 3.636
		$0.15 \times AVCCn$	—	$0.85 \times AVCCn$		G = 4.000 ~ 6.667
		$0.20 \times AVCCn$	—	$0.80 \times AVCCn$	G = 8.000 ~ 20.000	
ゲイン	G	2.000	—	20.000	倍	
ゲインエラー	E_G	—	± 0.5	± 1.5	%	G = 2.000
		—	± 0.5	± 1.5		G = 2.500
		—	± 0.5	± 1.5		G = 3.077
		—	± 0.5	± 1.5		G = 3.636
		—	± 0.6	± 1.5		G = 4.000
		—	± 0.6	± 1.5		G = 4.444
		—	± 0.7	± 1.5		G = 5.000
		—	± 0.7	± 1.5		G = 6.667
		—	± 0.7	± 1.5		G = 8.000
		—	± 0.7	± 2.5		G = 10.000
		—	± 1.1	± 2.5		G = 13.333
		—	± 1.3	± 4.0		G = 20.000
スルーレート	SR	10	—	—	V/ μ s	
動作安定時間	t_{start}	—	—	5	μ s	

n = 0, 1

2.7 コンパレータ特性

表2.48 コンパレータ特性

条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V _{IO}	—	8	15	mV	
リファレンス入力電圧範囲	V _{ref}	0	—	AVCC1	V	CMPSEL1.CVRS[3:0] = 0100b, 1000b
		0	—	AVCC2		CMPSEL1.CVRS[3:0] = 0001b, 0010b
応答時間	t _{tot(r)}	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	t _{tot(f)}	—	—	200		
入力切り替え時の安定待ち時間	t _{cwait}	300	—	—	ns	
動作安定時間	t _{cmp}	—	—	1	μs	

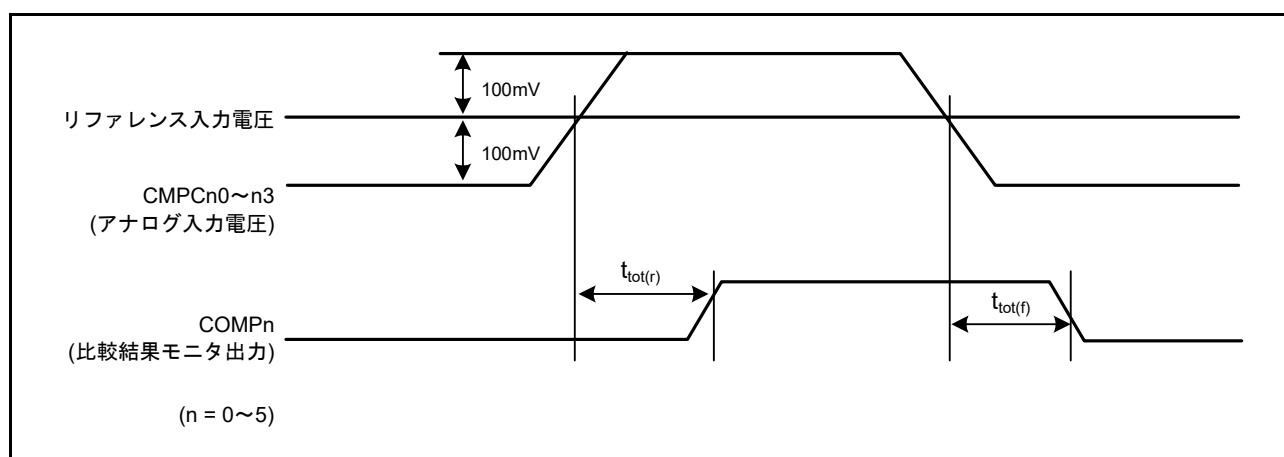


図 2.77 コンパレータ応答時間

2.8 D/A 変換特性

表 2.49 D/A変換特性

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	±6.0	LSB	負荷抵抗2MΩ、10ビット換算
微分非直線性誤差(DNL)	—	±1.0	±2.0	LSB	負荷抵抗2MΩ
出力抵抗(R _O)	—	5.7	—	kΩ	
変換時間	—	—	3	μs	負荷容量20pF

2.9 温度センサ特性

表 2.50 温度センサ特性

条件 : VCC = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
PCLKB = PCLKD = 8 ~ 60MHz

項目	min	typ	max	単位	測定条件
相対精度	—	±1.0	—	°C	
温度傾斜	—	-2.0	—	mV/°C	
出力電位	—	0.63	—	V	T _a = 25°C
温度センサ起動時間	—	—	200	μs	
サンプリング時間(注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD2.ADSSTRTレジスタを設定してください。

2.10 パワーオンリセット回路、電圧検出回路特性

表2.51 パワーオンリセット回路、電圧検出回路特性
 条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件			
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	2.46	2.58	2.70	V	図 2.78		
	電圧検出回路(LVD0)	V _{det0_1}	4.04	4.22	4.40		図 2.79		
		V _{det0_2}	2.71	2.83	2.95				
	電圧検出回路(LVD1)	V _{det1_0}	4.39	4.57	4.75		図 2.80		
		V _{det1_1}	4.29	4.47	4.65				
		V _{det1_2}	4.14	4.32	4.50				
		V _{det1_3}	2.81	2.93	3.05				
	電圧検出回路(LVD2)	V _{det1_4}	2.76	2.88	3.00		図 2.81		
		V _{det2_0}	4.39	4.57	4.75				
		V _{det2_1}	4.29	4.47	4.65				
		V _{det2_2}	4.14	4.32	4.50				
	内部リセット時間	パワーオンリセット時間	t _{POR}	—	15.5		ms	図 2.78	
		LVD0リセット時間	t _{LVD0}	—	0.70			—	図 2.79
		LVD1リセット時間	t _{LVD1}	—	0.57			—	図 2.80
LVD2リセット時間		t _{LVD2}	—	0.57	—	図 2.81			
最小VCC低下時間	t _{VOFF}	200	—	—	μs	図 2.78、 図 2.79			
応答遅延時間	t _{det}	—	—	200	μs	図 2.78 ~ 図 2.81			
LVD動作安定時間(LVD有効切り替え時)	T _{d(E-A)}	—	—	20	μs	図 2.80、 図 2.81			
ヒステリシス幅(LVD1, LVD2)	V _{LVH}	—	80	—	mV				

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

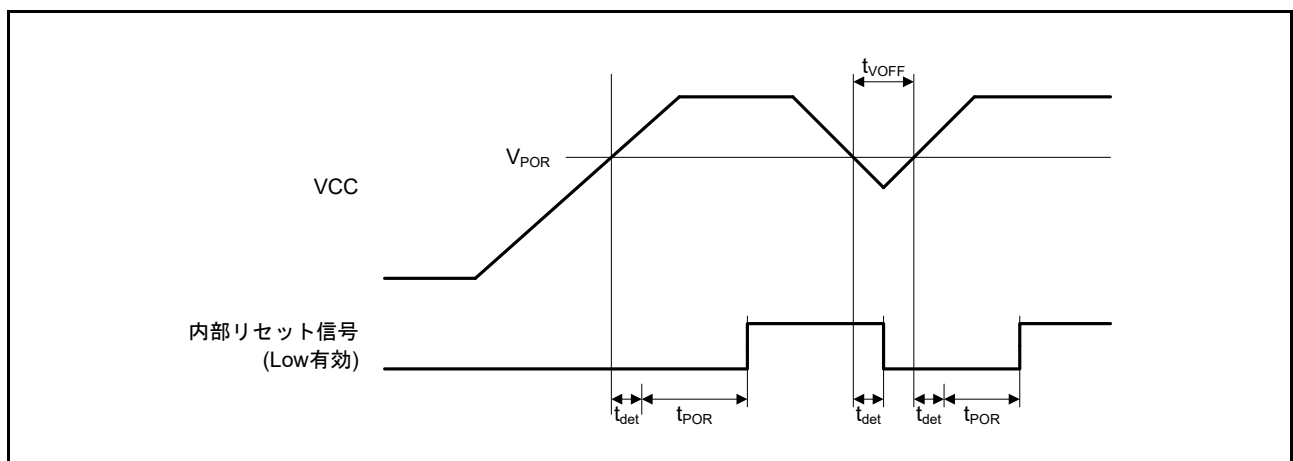


図 2.78 パワーオンリセットタイミング

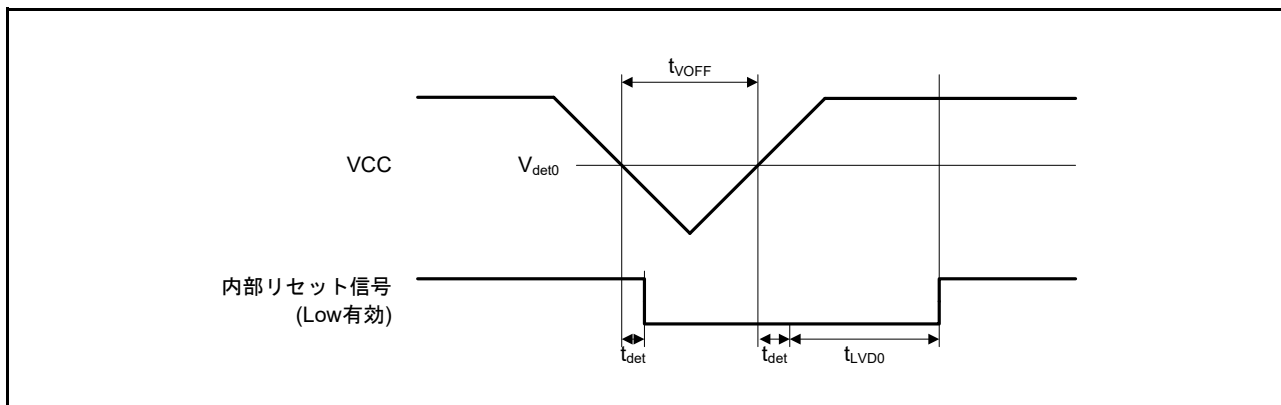


図 2.79 電圧検出回路タイミング (V_{det0})

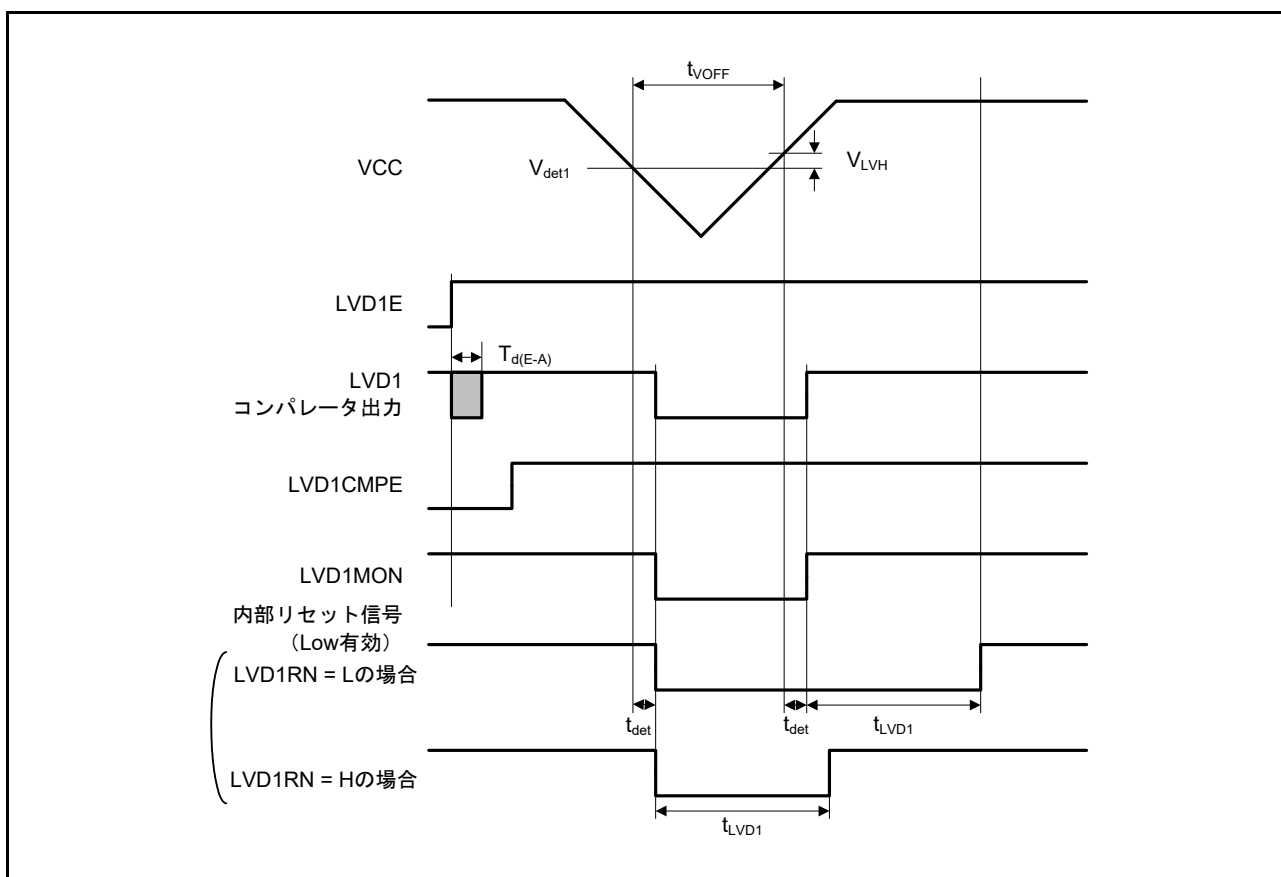


図 2.80 電圧検出回路タイミング (V_{det1})

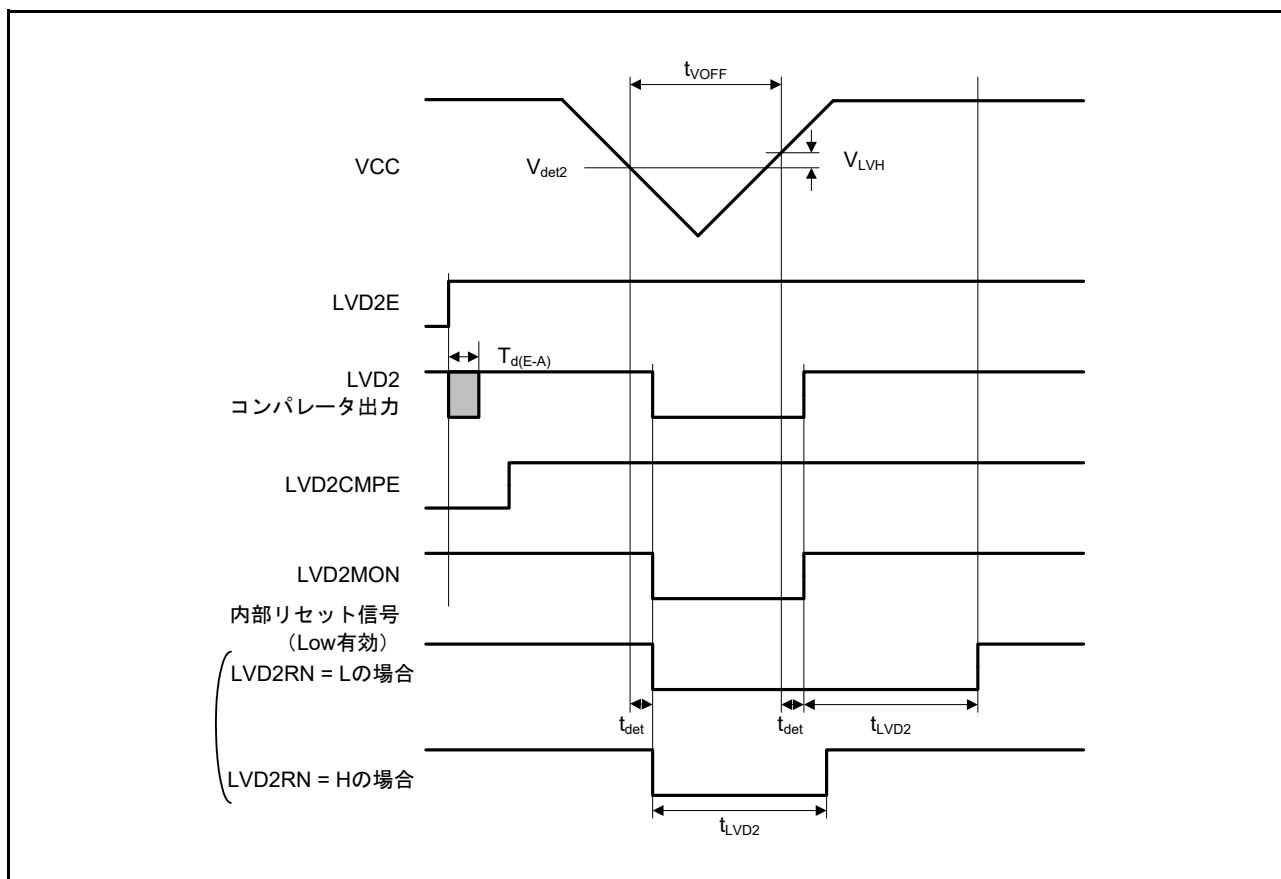


図 2.81 電圧検出回路タイミング (V_{det2})

2.11 発振停止検出タイミング

表 2.52 発振停止検出回路特性

条件 : $VCC = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.82

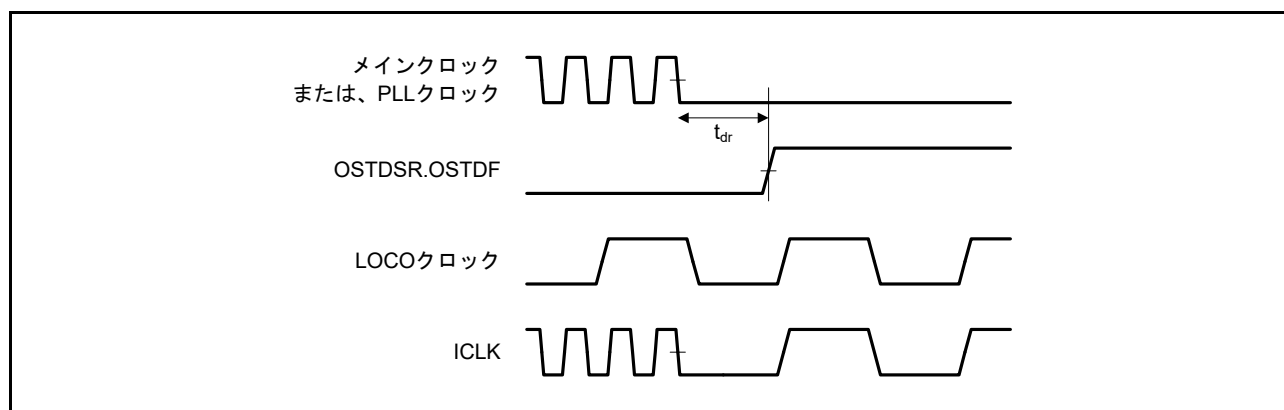


図 2.82 発振停止検出タイミング

2.12 フラッシュメモリ特性

表2.53 コードフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件	
		min	typ	max	min	typ	max			
プログラム時間 ($N_{PEC} < 100$)	128バイト	t_{P128}	—	0.66	11	—	0.3	5	ms	
	8Kバイト	t_{P8K}	—	37	176	—	17	80		
	32Kバイト	t_{P32K}	—	150	704	—	68	320		
プログラム時間 ($N_{PEC} \geq 100$)	128バイト	t_{P128}	—	0.71	13	—	0.32	6	ms	
	8Kバイト	t_{P8K}	—	46	212	—	21	96		
	32Kバイト	t_{P32K}	—	185	848	—	84	384		
イレーズ時間 ($N_{PEC} < 100$)	4Kバイト	t_{E4K}	—	43	108	—	24	60	ms	
	32Kバイト	t_{E32K}	—	284	864	—	158	480		
イレーズ時間 ($N_{PEC} \geq 100$)	4Kバイト	t_{E4K}	—	50	130	—	28	72	ms	
	32Kバイト	t_{E32K}	—	338	864	—	188	480		
プログラム/イレーズ回数 (注1)	N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	—	回	
プログラムサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	216	—	—	120	120	μs	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	1.7	1.7	ms	
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}	—	—	1.7	—	—	1.7	1.7	ms	
強制終了コマンド	t_{FD}	—	—	32	—	—	20	20	μs	
データ保持時間 (注3、注4)	t_{DRP}	20	—	—	20	—	—	—	年	$T_a \leq 85^\circ\text{C}$
		10	—	—	10	—	—	—		$T_a \leq 105^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、8Kバイトのブロックについて、それぞれ異なる番地に128バイトプログラムを64回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

表2.54 データフラッシュメモリ特性

条件：VCC = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = T_{opr}

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間	4バイト	t _{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t _{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t _{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t _{DBC64}	—	—	280	—	—	100		
	2Kバイト	t _{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数 (注1)		N _{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t _{DSPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t _{DSESD1}	—	—	216	—	—	120	μs	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t _{DSESD2}	—	—	300	—	—	300	μs	
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t _{DSEED}	—	—	300	—	—	300	μs	
強制終了コマンド		t _{FD}	—	—	32	—	—	20	μs	
データ保持時間 (注3、注4)		t _{DDRP}	20	—	—	20	—	—	年	T _a ≤ 85°C
			10	—	—	10	—	—		T _a ≤ 105°C

- 注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

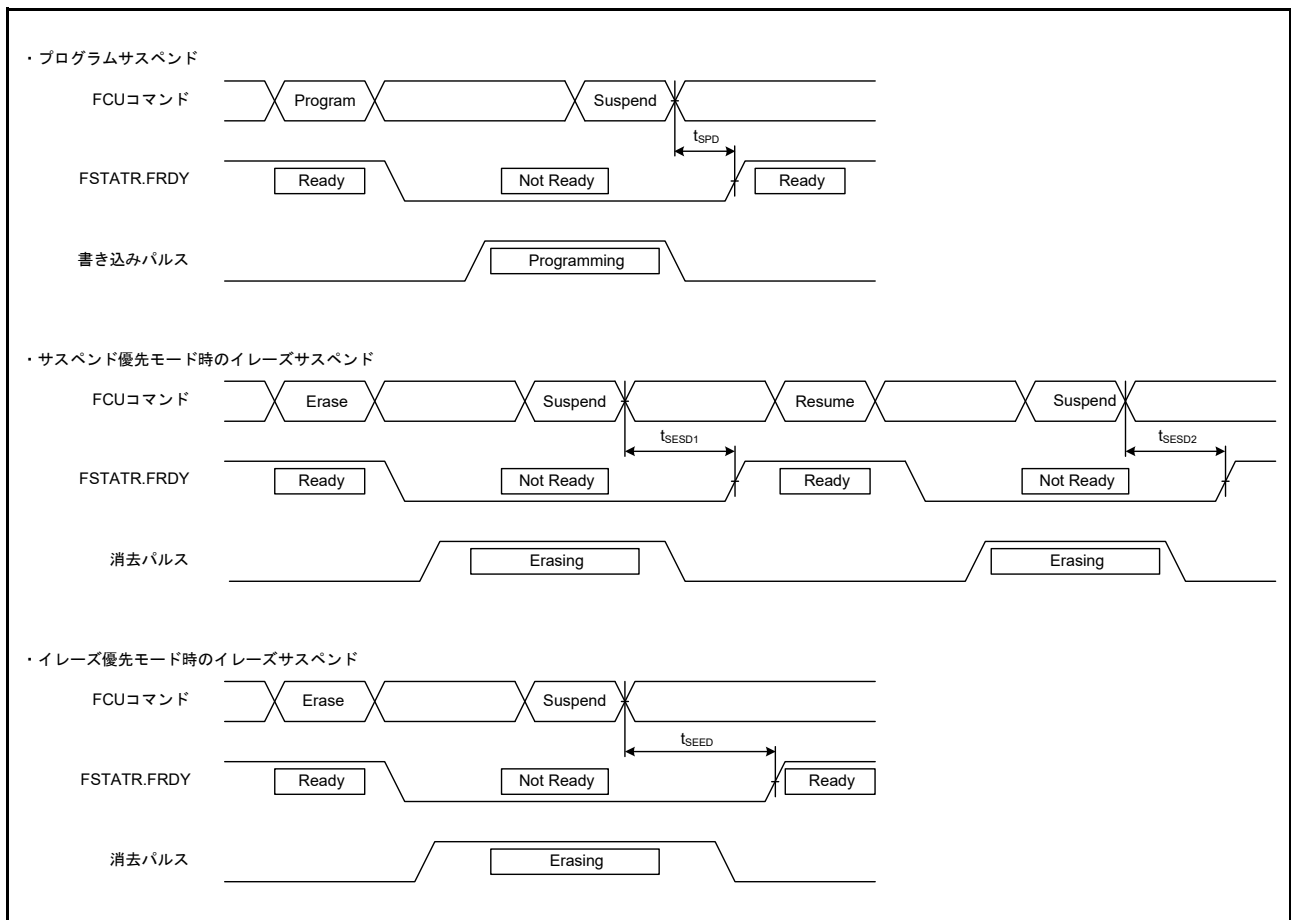


図 2.83 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

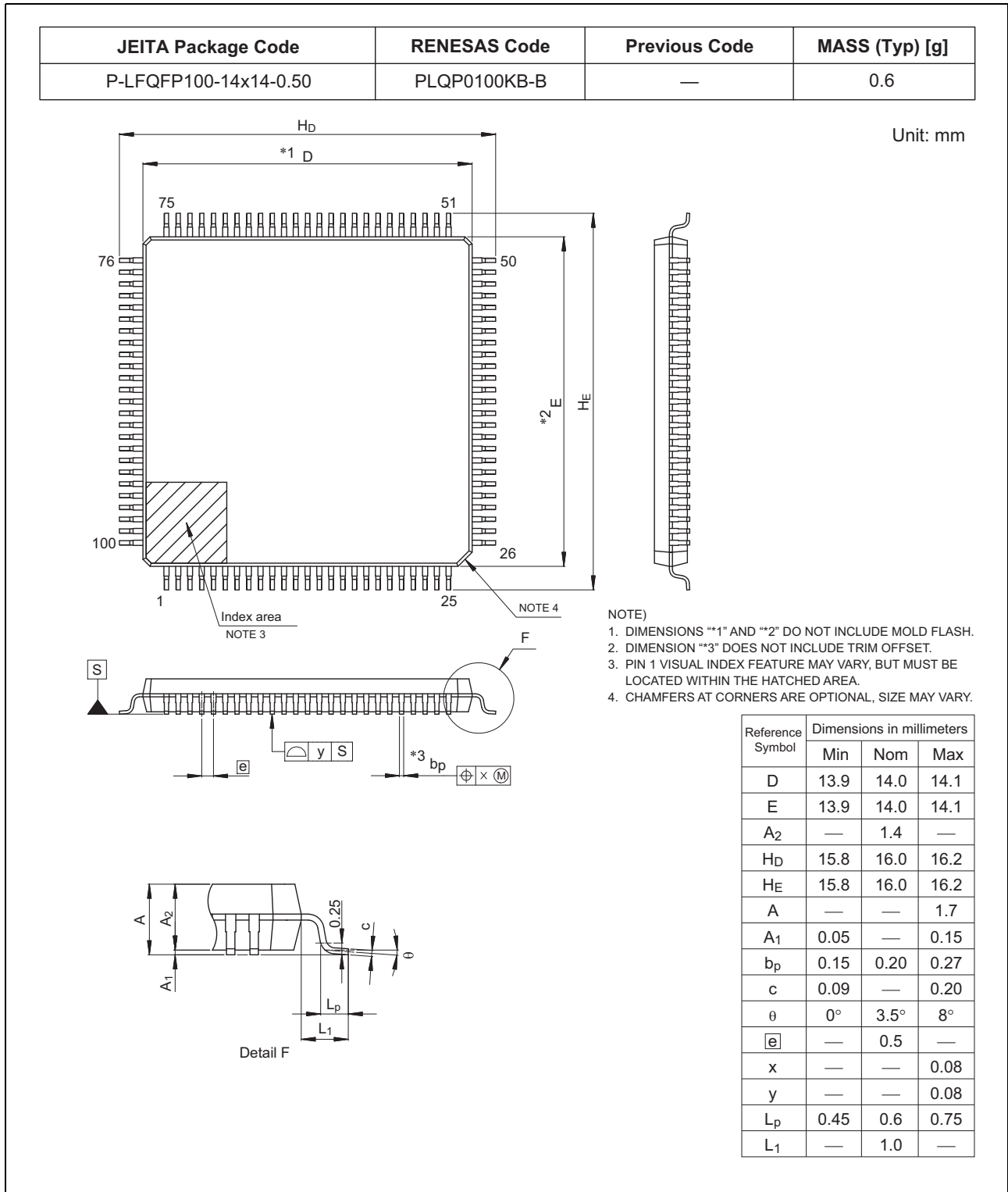
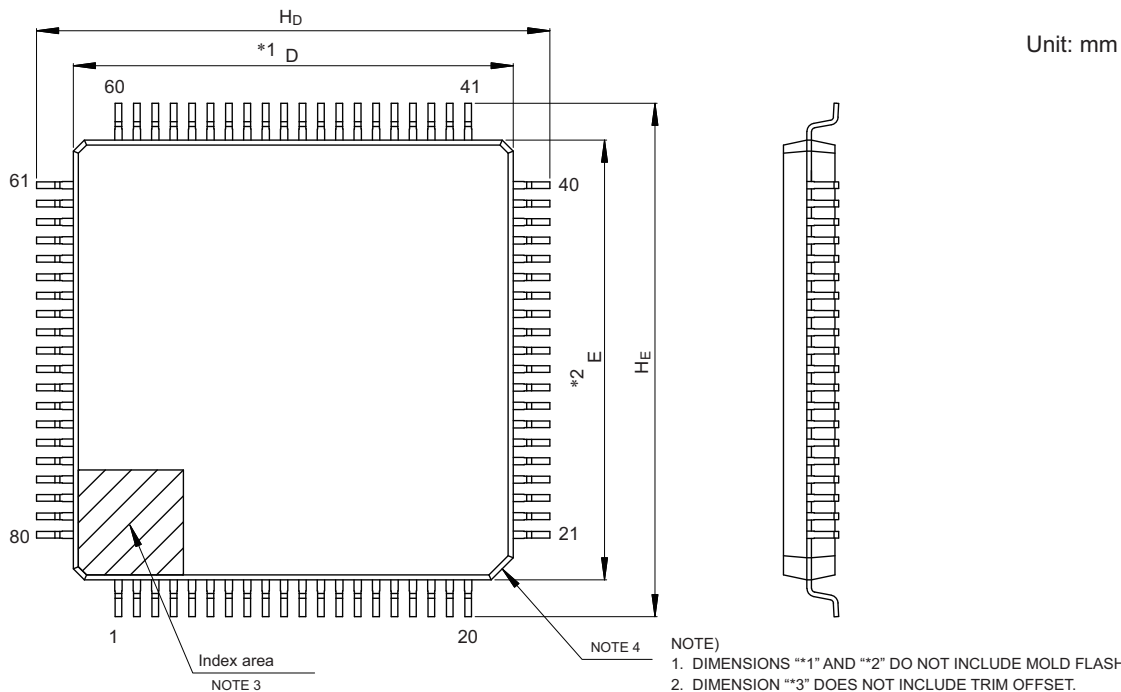
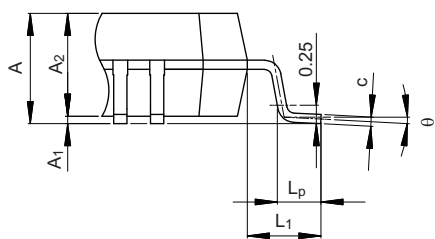
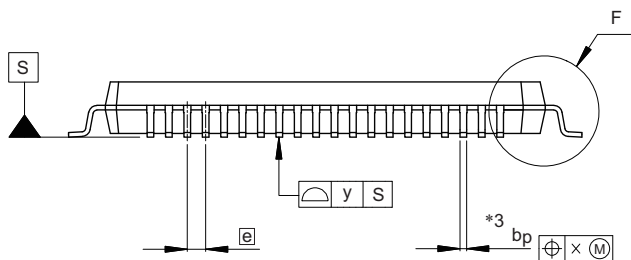


図 A. 100 ピン LFQFP (PLQP0100KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



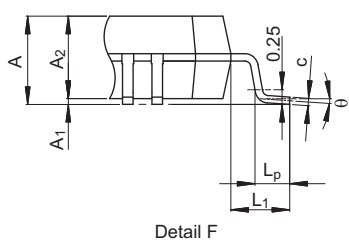
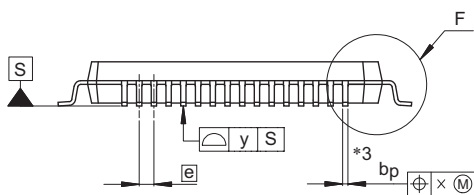
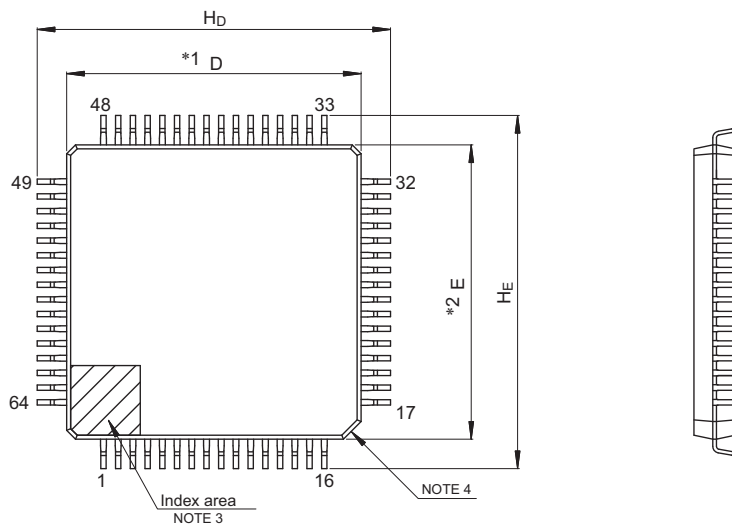
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A ₂	—	1.4	—
H _D	13.8	14.0	14.2
H _E	13.8	14.0	14.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
ⓔ	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 B. 80ピン LFQFP (PLQP0080KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm

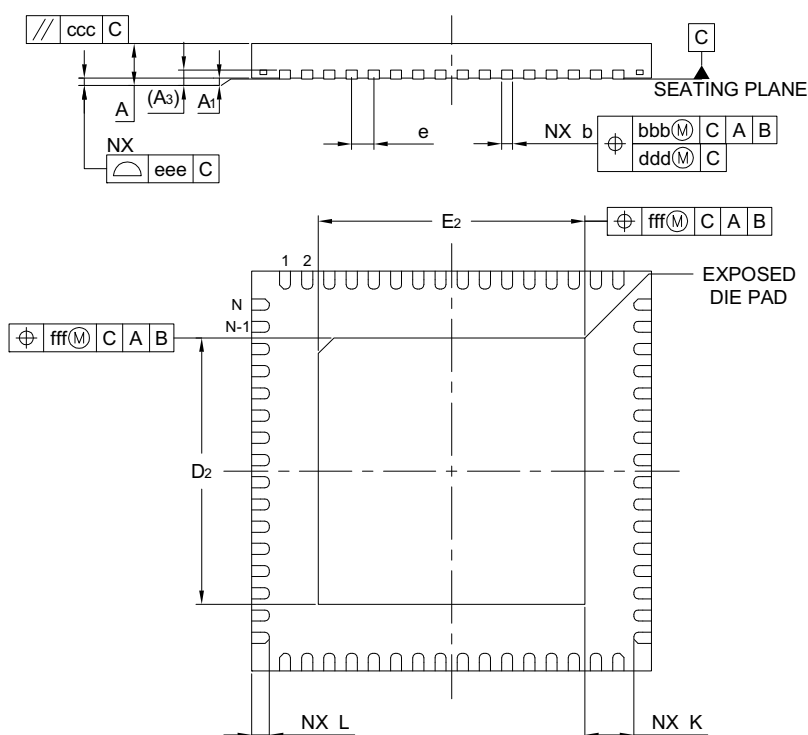
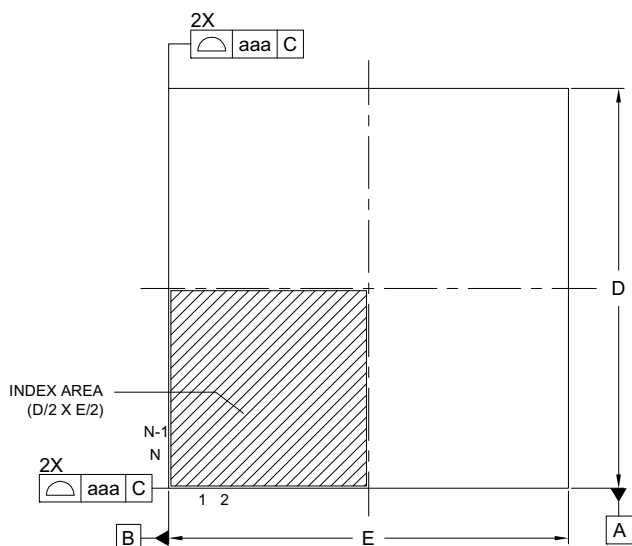


- NOTE)
1. DIMENSIONS **1" AND **2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 C. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN064-9x9-0.50	PWQN0064KF-A	0.17

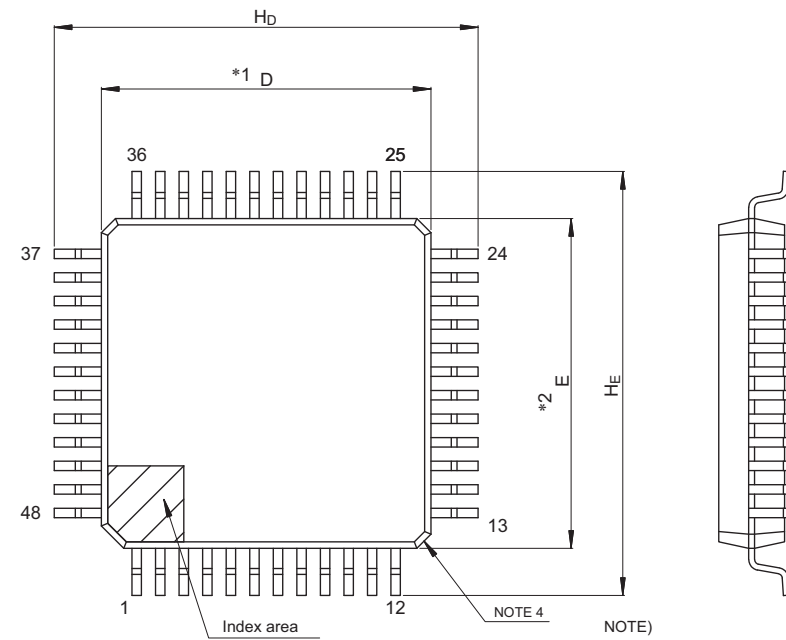


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	9.00 BSC		
E	9.00 BSC		
e	0.50 BSC		
N	64		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	5.95	6.00	6.05
E ₂	5.95	6.00	6.05
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08
fff	—	—	0.10

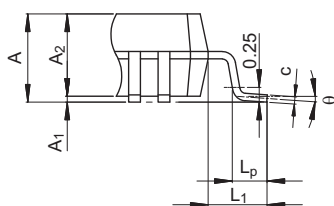
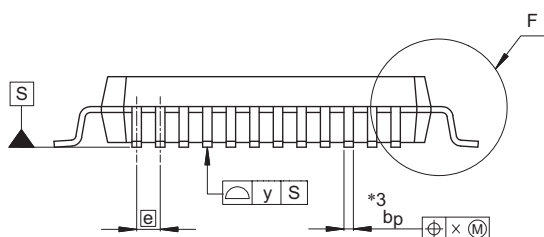
図 D. 64ピン HWQFN (PWQN0064KF-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm



- NOTE)
1. DIMENSIONS "**1" AND "**2" DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION "**3" DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

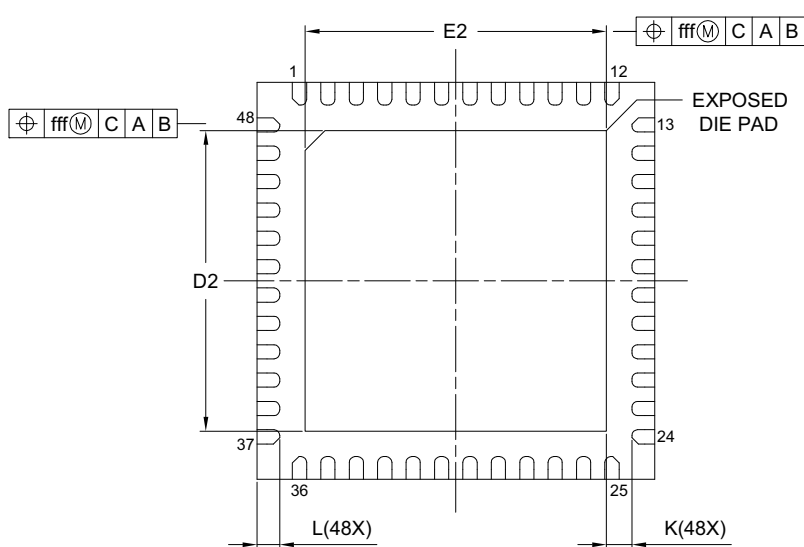
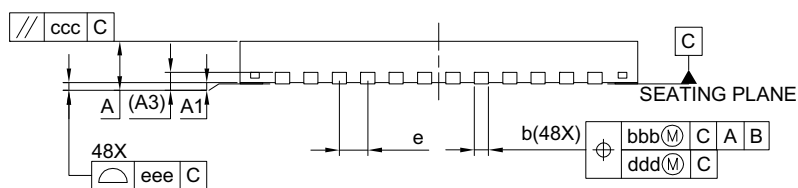
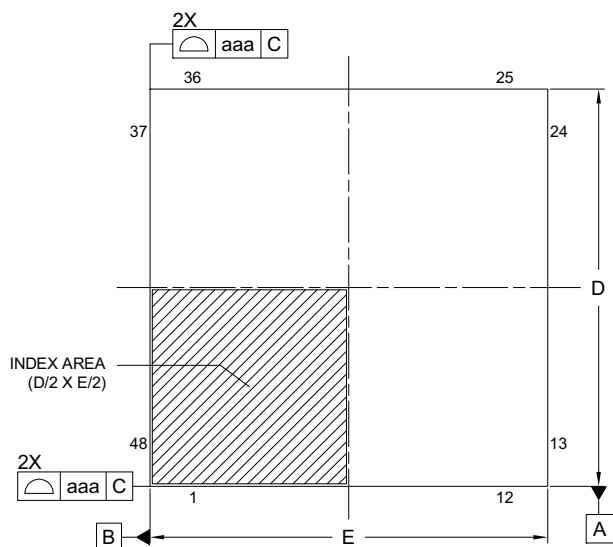


Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

図 E. 48ピン LFQFP (PLQP0048KB-B)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 F. 48ピン HWQFN (PWQN0048KC-A)

改訂記録	RX26T グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2023.01.16	—	初版発行	
1.01	2023.03.01	特長		
		1	パッケージ型名 変更	
		1. 概要		
		12～14	表 1.3 製品一覧表 変更	
		2. 電気的特性		
		63	表 2.10 出力許容電流 変更	
		66	表 2.13 熱抵抗値(参考値) 変更	
1.10	2023.08.10	1. 概要		
		9	表 1.1 仕様概要 (8 / 8) 変更	
		12～14	表 1.3 製品一覧表 変更	
		15	図 1.1 型名とメモリサイズ・パッケージ 変更	
		2. 電気的特性		
		59	表 2.6 DC特性(3) (RAM : 64Kバイトの製品) 変更	
		60	表 2.7 DC特性(3) (RAM : 48Kバイトの製品) 変更	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/