

RX610グループ

ルネサス32ビットマイクロコンピュータ

R01DS0097JJ0120

Rev.1.20

2013.02.20

1. 概要

1.1 特長

RX610グループは、高速・高性能なRX CPUをコアとしたマイクロコンピュータです。

基本命令は、1命令1クロックで動作します。演算機能も強化し、32ビット乗算器、除算器に加え、単精度浮動小数点演算ユニットを搭載しています。また、バイト単位の可変長命令、アドレッシングモードの強化により、コード効率を向上します。

組み込み機器に必要な周辺機能として、タイマ、シリアルコミュニケーションインタフェース、I²Cバスインタフェース、A/Dコンバータ、およびD/Aコンバータなどを内蔵しています。

外部メモリ接続機能も備えていますので、メモリや周辺LSIと直接接続することができます。内蔵メモリは、大容量かつ高速動作を可能にするフラッシュメモリを搭載しています。

1.1.1 用途

OA機器、デジタル民生機器など

1.1.2 仕様概要

表 1.1 に仕様概要を示します。

表 1.1 仕様概要 (1 / 3)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数:100MHz 32ビットRX CPU 最小命令実行時間:1命令1クロック アドレス空間:4Gバイト・リニアアドレス レジスタ 汎用レジスタ:32ビット×16本 制御レジスタ:32ビット×9本 アキュムレータ:64ビット×1本 基本命令:73種類 浮動小数点演算命令:8種類 DSP機能命令:9種類 アドレッシングモード:10種類 データ配置 命令:リトルエンディアン データ:リトルエンディアン/ビッグエンディアン選択可能 32ビット乗算器:32ビット×32ビット→64ビット 除算器:32ビット÷32ビット→32ビット パレルシフタ:32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプ、および浮動小数点例外
メモリ	ROM	<ul style="list-style-type: none"> ROM容量:最大2Mバイト 3種類のオンボードプログラミングモード SCIブートモード、ユーザプログラムモード、ユーザブートモード
	RAM	RAM容量:128Kバイト
	データフラッシュ	データROM容量:32Kバイト
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード
クロック	クロック発生回路	<ul style="list-style-type: none"> 1回路:メインクロック発振器 PLLと分周器で構成され、動作周波数を選択可能 システムクロック、周辺モジュールクロック、外部バスクロックを個別に設定可能 CPU、DMAC、DTC、ROM、RAMは、システムクロック (ICLK) 同期:8~100MHz 周辺モジュールは、周辺モジュールクロック (PCLK) 同期:8~50MHz 外部バスに接続するデバイスは、外部バスクロック (BCLK) 同期:8~25MHz
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
割り込み	割り込みコントローラ	<ul style="list-style-type: none"> 周辺機能割り込み:要因数 116 外部割り込み:要因数 16 (IRQ15~IRQ0端子) ノンマスカブル割り込み:要因数 1 (NMI端子) 8レベルの割り込み優先順位を設定可能
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を8つのエリア (CS0~CS7) に分割して管理 各エリアの領域:16Mバイト エリアごとにチップセレクト (CS0#~CS7#) 出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式:セパレートバス ウェイト制御可能 ライトバッファ機能

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
DMA	DMAコントローラ	<ul style="list-style-type: none"> 4チャンネル 起動要因:ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ	<ul style="list-style-type: none"> 転送モード:ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因:割り込み要求により起動 (チェーン転送が可能)
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入出力:117 (144ピンLQFP)、140 (176ピンLFBGA) プルアップ抵抗:40 オープンドレイン出力:16 5Vトレラント:10
タイマ	16ビットタイマパルスユニット	<ul style="list-style-type: none"> (16ビット×6チャンネル) ×2ユニット 最大16本のパルス入出力が可能 各チャンネルごとに7種類または8種類のカウントクロックを選択可能 インプットキャプチャ/アウトプットコンペア機能 最大15相のPWM波形を出力するPWMモード チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) PPGの出力トリガを生成可能 A/Dコンバータの変換開始トリガを生成可能
	プログラマブルパルスジェネレータ	<ul style="list-style-type: none"> (4ビット×4グループ) ×2ユニット TPUからの出力をトリガとしてパルス出力 最大32ビットのパルス出力
	8ビットタイマ	<ul style="list-style-type: none"> (8ビット×2チャンネル) ×2ユニット 7種類の内部クロックと外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5、SCI6のボーレートクロックを生成可能
	コンペアマッチタイマ	<ul style="list-style-type: none"> (16ビット×2チャンネル) ×2ユニット 4種類のカウントクロックを選択可能
ウォッチドッグタイマ		<ul style="list-style-type: none"> 8ビット×1チャンネル 8種類のカウントクロックを選択可能 ウォッチドッグタイマモード/インターバルタイマモードを切り替えて使用可能
通信機能	シリアルコミュニケーションインタフェース	<ul style="list-style-type: none"> 7チャンネル シリアル通信方式:調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6)
	I ² Cバスインタフェース	<ul style="list-style-type: none"> 2チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 (マルチマスタ対応) 最大転送速度:1Mbps
A/Dコンバータ		<ul style="list-style-type: none"> 4ユニット (ユニット×4チャンネル) 分解能:10ビット 変換時間:1チャンネル当たり1.0μs (PCLK=50MHz動作時) 2種類の動作モード シングルモード、スキャンモード (1サイクルスキャンモード/連続スキャンモード) サンプル&ホールド機能付き 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (TPU、TMR) からのトリガ、外部トリガ
D/Aコンバータ		<ul style="list-style-type: none"> 2チャンネル 分解能:10ビット 出力電圧:0V~VREFH

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
CRC演算器		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成から選択可能
動作周波数		8~100MHz
電源電圧		VCC = PLLVCC = AVCC = 3.0~3.6V、VREFH = 3.0~AVCC
消費電流		50mA (typ) (通常仕様品)
動作周囲温度		-20~+85°C (通常仕様品)、-40~+85°C (広温度範囲仕様品)
パッケージ		176ピンLFBGA (PLBG0176GA-A) 144ピンLQFP (PLQP0144KA-A)

1.2 製品一覧

表 1.2 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.2 製品一覧表

型名	パッケージ	ROM 容量	RAM 容量	データフラッシュ	動作周波数 (max)
R5F56108VNFP	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56108VDFP	PLQP0144KA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56108WNBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56108WDBG	PLBG0176GA-A	2Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107VNFP	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107VDFP	PLQP0144KA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107WNBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56107WDBG	PLBG0176GA-A	1.5Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106VNFP	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106VDFP	PLQP0144KA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106WNBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56106WDBG	PLBG0176GA-A	1Mバイト	128Kバイト	32Kバイト	100MHz
R5F56104VNFP	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
R5F56104VDFP	PLQP0144KA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
R5F56104WNBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz
R5F56104WDBG	PLBG0176GA-A	768Kバイト	128Kバイト	32Kバイト	100MHz

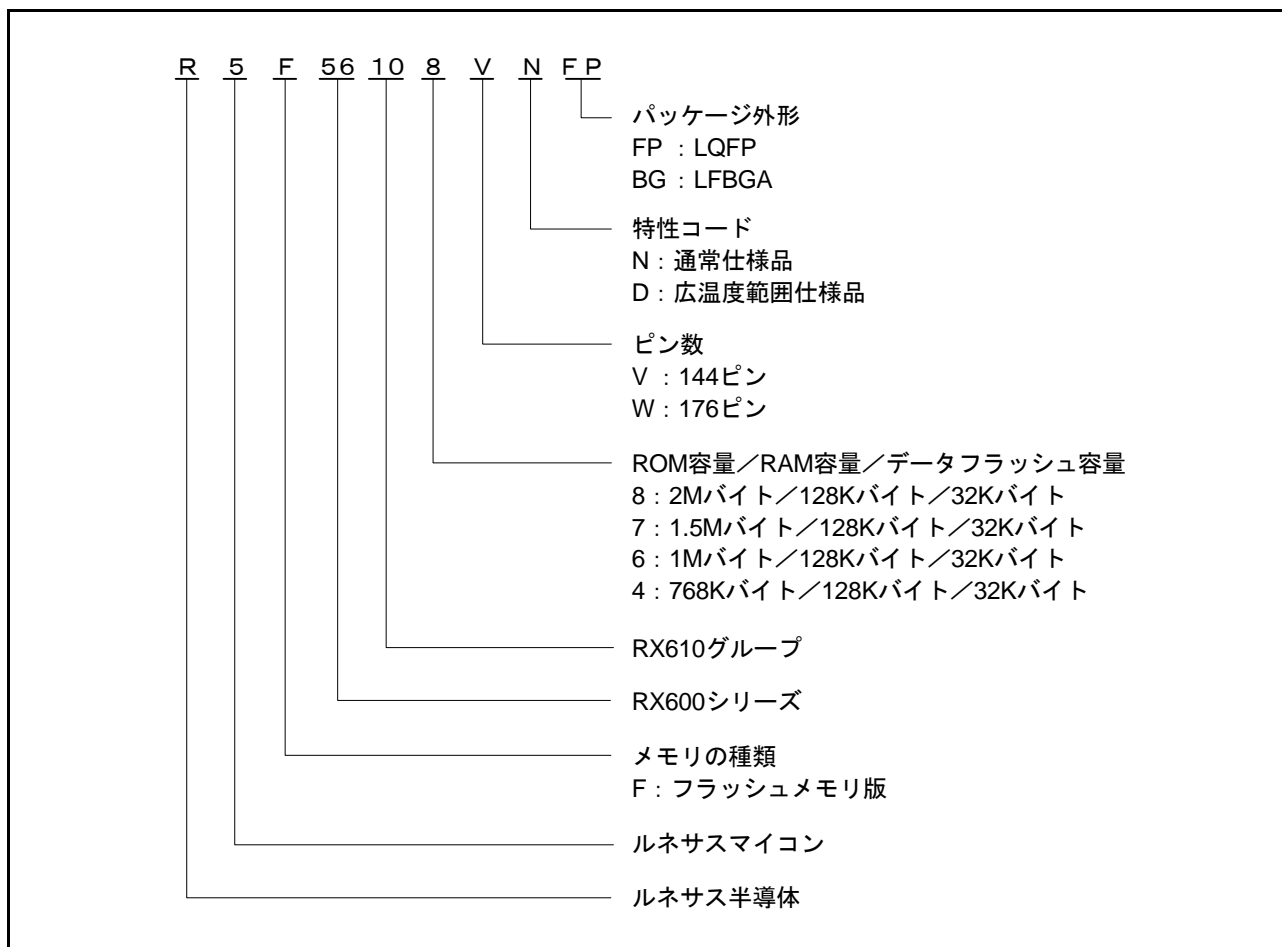


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

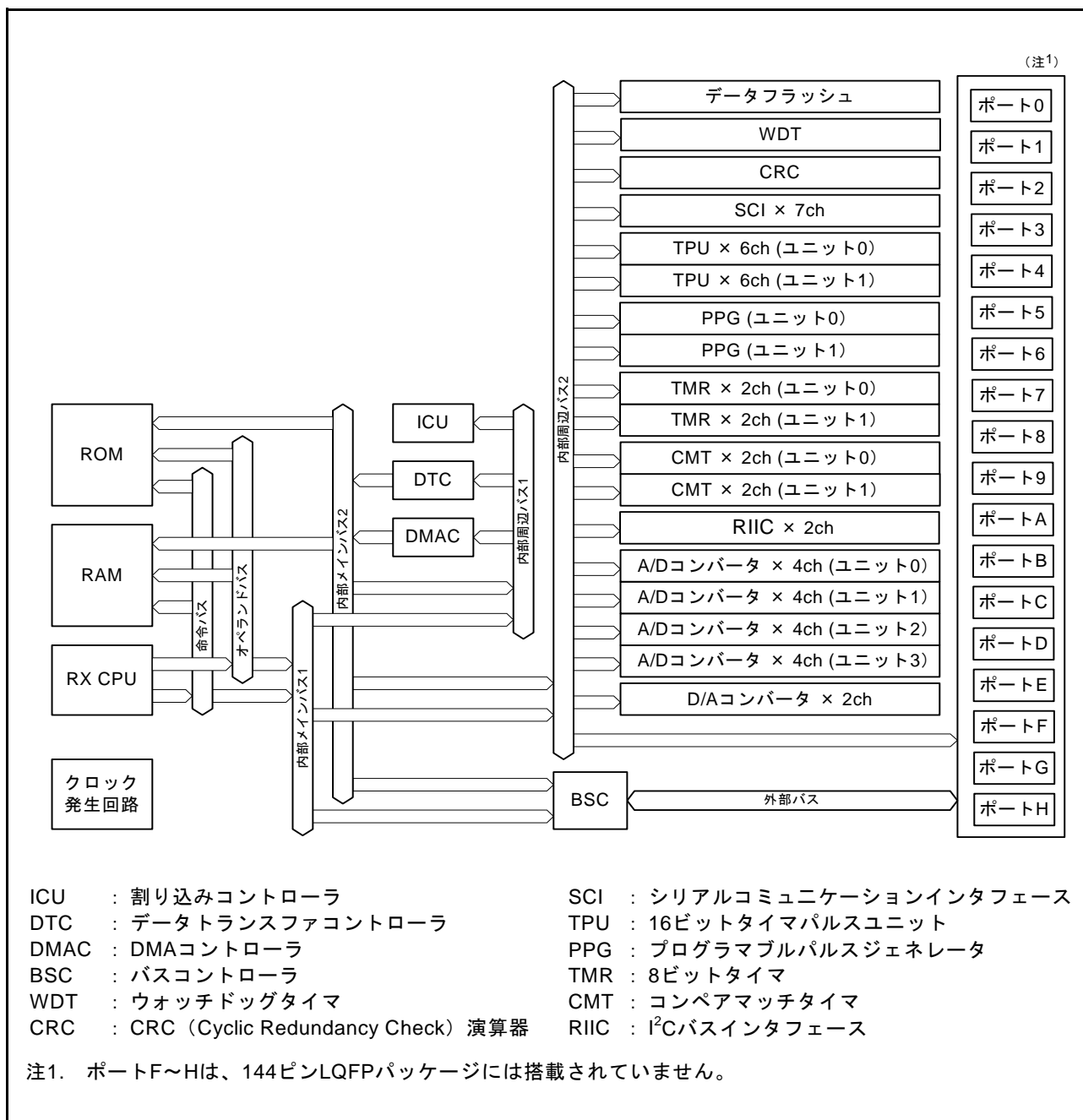


図 1.2 ブロック図

1.4 ピン配置図

図 1.3 に 176 ピン LFBGA ピン配置図を、図 1.4 に 144 ピン LQFP ピン配置図を、図 1.5 に 144 ピン LQFP ピン配置図 (補助図) を示します。表 1.3 に 176 ピン LFBGA の機能別端子一覧表を、表 1.4 に 144 ピン LQFP の機能別端子一覧表を示します。

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R		
15	PE0	PE2	PE5	PG5	VSS	PA1	PA5	PH1	P70	P74	PB3	PB6	PC1	VCC	PC3	15	
14	PD6	PE1	PE3	PE7	PG6	PA0	PA4	PH0	VCC	P73	PB4	PC0	PC2	PC4	PC5	14	
13	PD4	PD5	PD7	PE6	PG7	PA2	PA6	VSS	P71	PB1	PB5	VSS	PH2	PC6	P75	13	
12	P63	VCC	VSS	PE4	VCC	PA3	PA7	PB0	P72	PB2	PB7	PC7	P76	P77	PH3	12	
11	P60	P61	P62	P64	RX610グループ PLBG0176GA-A (176ピンLFBGA) (上面透視図)								PH4	VSS	VCC	PH5	11
10	PD1	PD0	PD2	PD3									P51	P50	PH6	PH7	10
9	PG2	PG1	PG3	PG4									P81	P80	P52	P53	9
8	P97	P96	BSCANP	PG0									P83	VSS	VCC	P82	8
7	P93	P92	P94	P95									P57	P56	P54	P55	7
6	P90	VCC	VSS	P91	P37	P36	P84	P35	6								
5	P46	P45	P47	P44	P14	P12	P11	P10	5								
4	P43	P42	P41	P40	P00	MDE	P86	VSS	P34	P33	PF0	VSS	P16	P15	P13	4	
3	VREFL	VREFH	P03	AVSS	EMLE	VCL	P85	EXTAL	PF6	P32	PF3	VCC	P20	PLLVCC	PLLVSS	3	
2	AVCC	P05	P66	P01	WDTOVF#	MD0	XTAL	NMI	PF4	P30	PF1	P26	P24	P22	P17	2	
1	P04	P67	P02	P65	VSS	MD1	RES#	VCC	PF5	P31	PF2	P27	P25	P23	P21	1	
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R		

図 1.3 176 ピン LFBGA ピン配置図

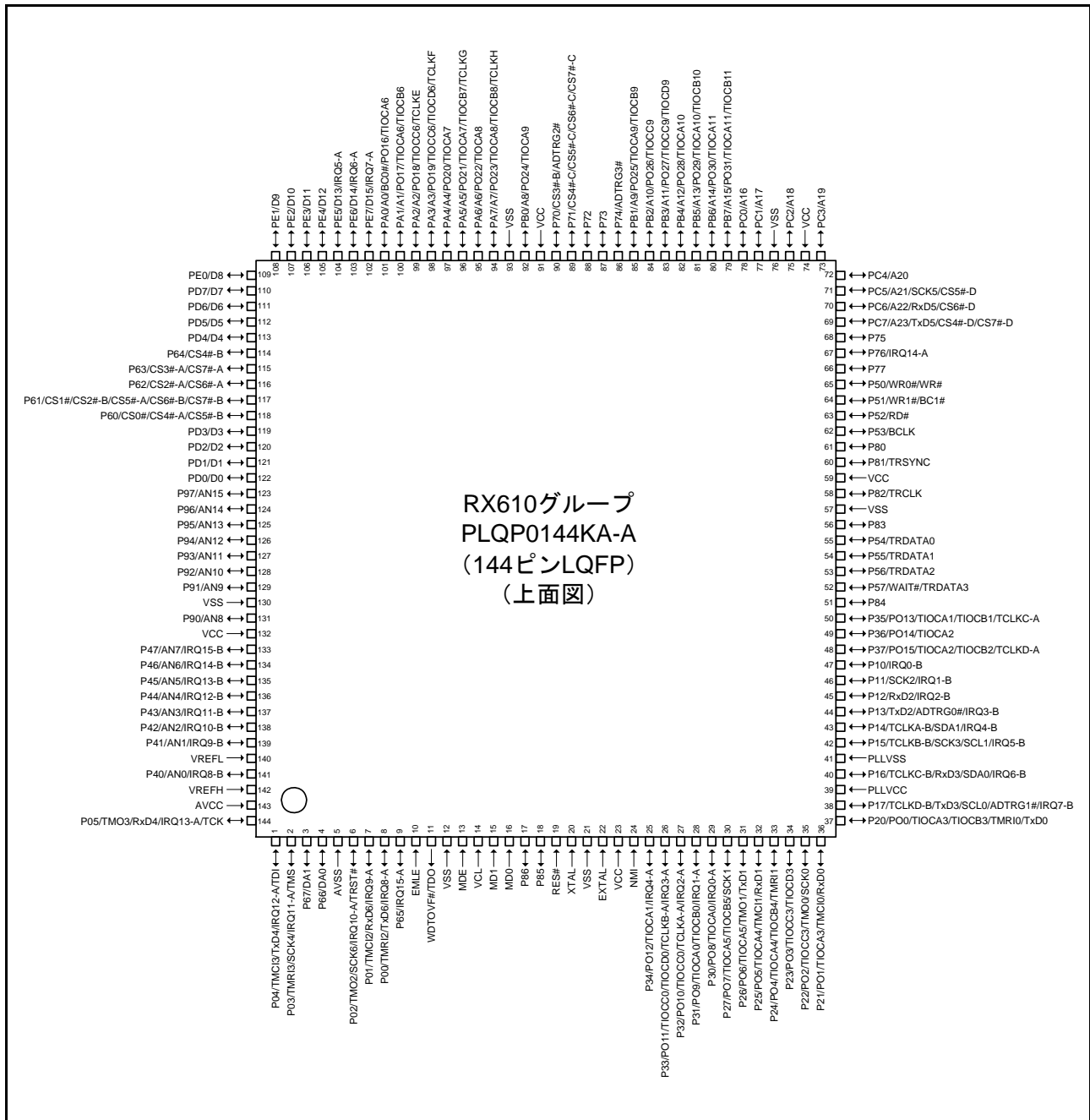


図 1.4 144 ピン LQFP ピン配置図

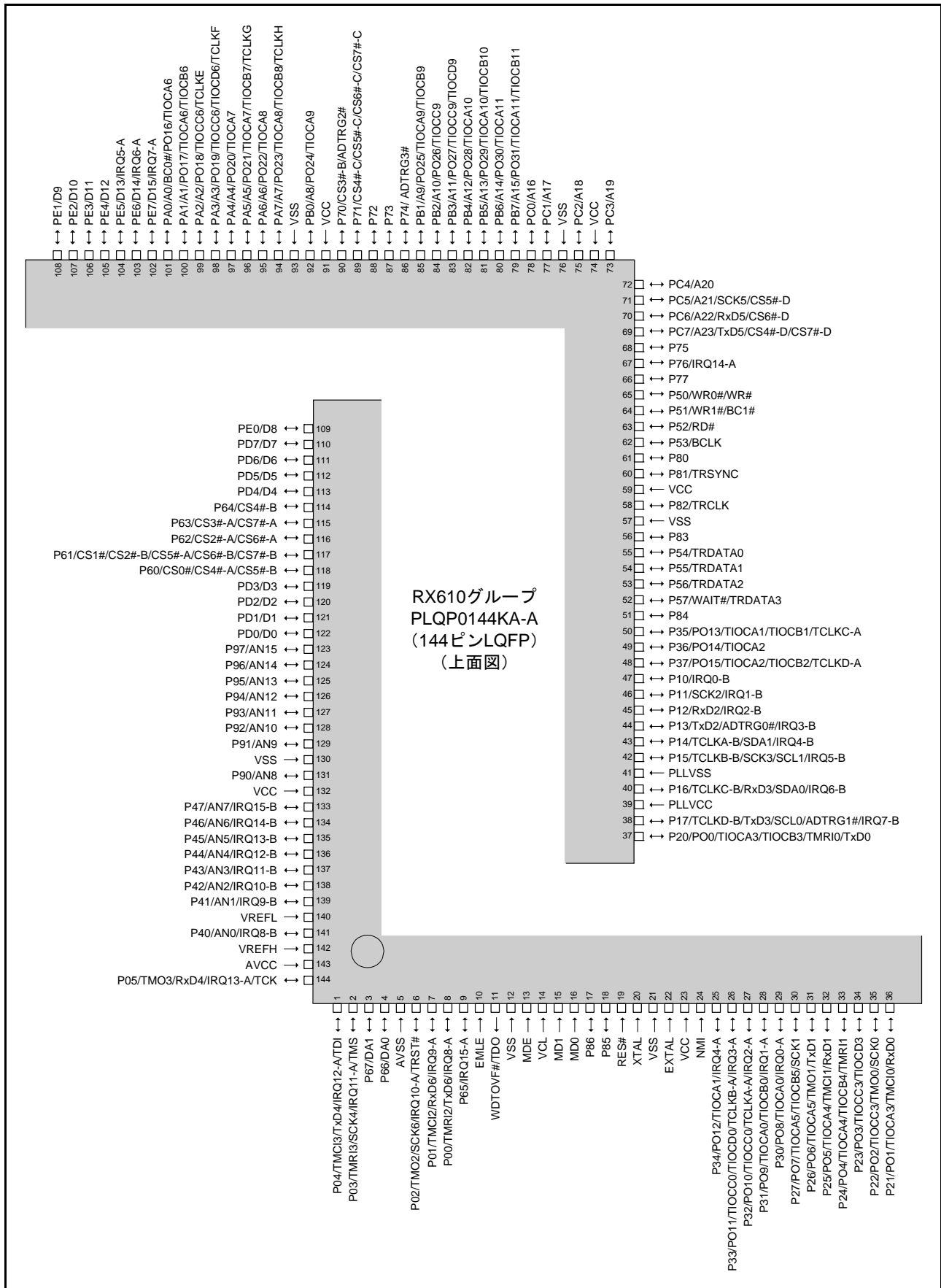


図 1.5 144ピンLQFPピン配置図(補助図)

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (1 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
A1		P04	IRQ12-A		TMC13	TxD4		TDI
A2	AVCC							
A3	VREFL							
A4		P43	IRQ11-B				AN3	
A5		P46	IRQ14-B				AN6	
A6		P90					AN8	
A7		P93					AN11	
A8		P97					AN15	
A9		PG2						
A10		PD1		D1				
A11		P60		CS0#/ CS4#-A/ CS5#-B				
A12		P63		CS3#-A/ CS7#-A				
A13		PD4		D4				
A14		PD6		D6				
A15		PE0		D8				
B1		P67					DA1	
B2		P05	IRQ13-A		TMO3	RxD4		TCK
B3	VREFH							
B4		P42	IRQ10-B				AN2	
B5		P45	IRQ13-B				AN5	
B6	VCC							
B7		P92					AN10	
B8		P96					AN14	
B9		PG1						
B10		PD0		D0				
B11		P61		CS1#/ CS2#-B/ CS5#-A/ CS6#-B/ CS7#-B				
B12	VCC							
B13		PD5		D5				
B14		PE1		D9				
B15		PE2		D10				
C1		P02	IRQ10-A		TMO2	SCK6		TRST#
C2		P66					DA0	
C3		P03	IRQ11-A		TM13	SCK4		TMS
C4		P41	IRQ9-B				AN1	
C5		P47	IRQ15-B				AN7	
C6	VSS							
C7		P94					AN12	
C8	BSCANP							

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (2 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
C9		PG3						
C10		PD2		D2				
C11		P62		CS2#-A/ CS6#-A				
C12	VSS							
C13		PD7		D7				
C14		PE3		D11				
C15		PE5	IRQ5-A	D13				
D1		P65	IRQ15-A					
D2		P01	IRQ9-A		TMC12	RxD6		
D3	AVSS							
D4		P40	IRQ8-B				AN0	
D5		P44	IRQ12-B				AN4	
D6		P91					AN9	
D7		P95					AN13	
D8		PG0						
D9		PG4						
D10		PD3		D3				
D11		P64		CS4#-B				
D12		PE4		D12				
D13		PE6	IRQ6-A	D14				
D14		PE7	IRQ7-A	D15				
D15		PG5						
E1	VSS							
E2	WDTOVF#							TDO
E3	EMLE							
E4		P00	IRQ8-A		TMR12	TxD6		
E12	VCC							
E13		PG7						
E14		PG6						
E15	VSS							
F1	MD1							
F2	MD0							
F3	VCL							
F4	MDE							
F12		PA3		A3	PO19/ TIOCC6/ TIOCD6/ TCLKF			
F13		PA2		A2	PO18/ TIOCC6/ TCLKE			
F14		PA0		A0/BC0#	PO16/ TIOCA6			

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (3 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
F15		PA1		A1	PO17/ TIOCA6/ TIOCB6			
G1	RES#							
G2	XTAL							
G3		P85						
G4		P86						
G12		PA7		A7	PO23/ TIOCA8/ TIOCB8/ TCLKH			
G13		PA6		A6	PO22/ TIOCA8			
G14		PA4		A4	PO20/ TIOCA7			
G15		PA5		A5	PO21/ TIOCA7/ TIOCB7/ TCLKG			
H1	VCC							
H2			NMI					
H3	EXTAL							
H4	VSS							
H12		PB0		A8	PO24/ TIOCA9			
H13	VSS							
H14		PH0						
H15		PH1						
J1		PF5						
J2		PF4						
J3		PF6						
J4		P34	IRQ4-A		PO12/ TIOCA1			
J12		P72						
J13		P71		CS4#-C/ CS5#-C/ CS6#-C/ CS7#-C				
J14	VCC							
J15		P70		CS3#-B			ADTRG2#	
K1		P31	IRQ1-A		PO9/ TIOCA0/ TIOCB0			
K2		P30	IRQ0-A		PO8/ TIOCA0			
K3		P32	IRQ2-A		PO10/ TIOCC0/ TCLKA-A			

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (4 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
K4		P33	IRQ3-A		PO11/ TIOCC0/ TIOCD0/ TCLKB-A			
K12		PB2		A10	PO26/ TIOCC9			
K13		PB1		A9	PO25/ TIOCA9/ TIOCB9			
K14		P73						
K15		P74					ADTRG3#	
L1		PF2						
L2		PF1						
L3		PF3						
L4		PF0						
L12		PB7		A15	PO31/ TIOCA11/ TIOCB11			
L13		PB5		A13	PO29/ TIOCA10/ TIOCB10			
L14		PB4		A12	PO28/ TIOCA10			
L15		PB3		A11	PO27/ TIOCC9/ TIOCD9			
M1		P27			PO7/ TIOCA5/ TIOCB5	SCK1		
M2		P26			PO6/ TIOCA5/ TMO1	TxD1		
M3	VCC							
M4	VSS							
M5		P14	IRQ4-B		TCLKA-B	SDA1		
M6		P37			PO15/ TIOCA2/ TIOCB2/ TCLKD-A			
M7		P57		WAIT#				TRDATA3
M8		P83						
M9		P81						TRSYNC
M10		P51		WR1#/BC1#				
M11		PH4						
M12		PC7		A23/ CS4#-D/ CS7#-D		TxD5		
M13	VSS							
M14		PC0		A16				
M15		PB6		A14	PO30/ TIOCA11			

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (5 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
N1		P25			PO5/ TIOCA4/ TMC11	RxD1		
N2		P24			PO4/ TIOCA4/ TIOCB4/ TMR11			
N3		P20			PO0/ TIOCA3/ TIOCB3/ TMR10	TxD0		
N4		P16	IRQ6-B		TCLKC-B	RxD3/SDA0		
N5		P12	IRQ2-B			RxD2		
N6		P36			PO14/ TIOCA2			
N7		P56						TRDATA2
N8	VSS							
N9		P80						
N10		P50		WR0#/WR#				
N11	VSS							
N12		P76	IRQ14-A					
N13		PH2						
N14		PC2		A18				
N15		PC1		A17				
P1		P23			PO3/ TIOCC3/ TIOCD3			
P2		P22			PO2/ TIOCC3/ TMO0	SCK0		
P3	PLLVC							
P4		P15	IRQ5-B		TCLKB-B	SCK3/SCL1		
P5		P11	IRQ1-B			SCK2		
P6		P84						
P7		P54						TRDATA0
P8	VCC							
P9		P52		RD#				
P10		PH6						
P11	VCC							
P12		P77						
P13		PC6		A22/ CS6#-D		RxD5		
P14		PC4		A20				
P15	VCC							
R1		P21			PO1/ TIOCA3/ TMC10	RxD0		
R2		P17	IRQ7-B		TCLKD-B	TxD3/SCL0	ADTRG1#	
R3	PLLSS							

表 1.3 機能別端子一覧表 (176 ピン LFBGA) (6 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
R4		P13	IRQ3-B			TxD2	ADTRG0#	
R5		P10	IRQ0-B					
R6		P35			PO13/ TIOCA1/ TIOCB1/ TCLKC-A			
R7		P55						TRDATA1
R8		P82						TRCLK
R9	BCLK	P53						
R10		PH7						
R11		PH5						
R12		PH3						
R13		P75						
R14		PC5		A21/ CS5#-D		SCK5		
R15		PC3		A19				

表 1.4 機能別端子一覧表 (144ピンLQFP) (1 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
1		P04	IRQ12-A		TMC13	TxD4		TDI
2		P03	IRQ11-A		TMRI3	SCK4		TMS
3		P67					DA1	
4		P66					DA0	
5	AVSS							
6		P02	IRQ10-A		TMO2	SCK6		TRST#
7		P01	IRQ9-A		TMC12	RxD6		
8		P00	IRQ8-A		TMRI2	TxD6		
9		P65	IRQ15-A					
10	EMLE							
11	WDTOVF#							TDO
12	VSS							
13	MDE							
14	VCL							
15	MD1							
16	MD0							
17		P86						
18		P85						
19	RES#							
20	XTAL							
21	VSS							
22	EXTAL							
23	VCC							
24			NMI					
25		P34	IRQ4-A		PO12/ TIOCA1			
26		P33	IRQ3-A		PO11/ TIOCC0/ TIOCD0/ TCLKB-A			
27		P32	IRQ2-A		PO10/ TIOCC0/ TCLKA-A			
28		P31	IRQ1-A		PO9/ TIOCA0/ TIOCB0			
29		P30	IRQ0-A		PO8/ TIOCA0			
30		P27			PO7/ TIOCA5/ TIOCB5	SCK1		
31		P26			PO6/ TIOCA5/ TMO1	TxD1		
32		P25			PO5/ TIOCA4/ TMC11	RxD1		

表 1.4 機能別端子一覧表 (144 ピン LQFP) (2 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
33		P24			PO4/ TIOCA4/ TIOCB4/ TMRI1			
34		P23			PO3/ TIOCC3/ TIOCD3			
35		P22			PO2/ TIOCC3/ TMO0	SCK0		
36		P21			PO1/ TIOCA3/ TMCIO	RxD0		
37		P20			PO0/ TIOCA3/ TIOCB3/ TMRI0	TxD0		
38		P17	IRQ7-B		TCLKD-B	TxD3/SCL0	ADTRG1#	
39	PLLVC							
40		P16	IRQ6-B		TCLKC-B	RxD3/SDA0		
41	PLLVS							
42		P15	IRQ5-B		TCLKB-B	SCK3/SCL1		
43		P14	IRQ4-B		TCLKA-B	SDA1		
44		P13	IRQ3-B			TxD2	ADTRG0#	
45		P12	IRQ2-B			RxD2		
46		P11	IRQ1-B			SCK2		
47		P10	IRQ0-B					
48		P37			PO15/ TIOCA2/ TIOCB2/ TCLKD-A			
49		P36			PO14/ TIOCA2			
50		P35			PO13/ TIOCA1/ TIOCB1/ TCLKC-A			
51		P84						
52		P57		WAIT#				TRDATA3
53		P56						TRDATA2
54		P55						TRDATA1
55		P54						TRDATA0
56		P83						
57	VSS							
58		P82						TRCLK
59	VCC							
60		P81						TRSYNC
61		P80						
62	BCLK	P53						
63		P52		RD#				

表 1.4 機能別端子一覧表 (144 ピン LQFP) (3 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
64		P51		WR1#/BC1#				
65		P50		WR0#/WR#				
66		P77						
67		P76	IRQ14-A					
68		P75						
69		PC7		A23/ CS4#-D/ CS7#-D		TxD5		
70		PC6		A22/ CS6#-D		RxD5		
71		PC5		A21/ CS5#-D		SCK5		
72		PC4		A20				
73		PC3		A19				
74	VCC							
75		PC2		A18				
76	VSS							
77		PC1		A17				
78		PC0		A16				
79		PB7		A15	PO31/ TIOCA11/ TIOCB11			
80		PB6		A14	PO30/ TIOCA11			
81		PB5		A13	PO29/ TIOCA10/ TIOCB10			
82		PB4		A12	PO28/ TIOCA10			
83		PB3		A11	PO27/ TIOCC9/ TIOCD9			
84		PB2		A10	PO26/ TIOCC9			
85		PB1		A9	PO25/ TIOCA9/ TIOCB9			
86		P74					ADTRG3#	
87		P73						
88		P72						
89		P71		CS4#-C/ CS5#-C/ CS6#-C/ CS7#-C				
90		P70		CS3#-B			ADTRG2#	
91	VCC							
92		PB0		A8	PO24/ TIOCA9			
93	VSS							

表 1.4 機能別端子一覧表 (144 ピン LQFP) (4 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
94		PA7		A7	PO23/ TIOCA8/ TIOCB8/ TCLKH			
95		PA6		A6	PO22/ TIOCA8			
96		PA5		A5	PO21/ TIOCA7/ TIOCB7/ TCLKG			
97		PA4		A4	PO20/ TIOCA7			
98		PA3		A3	PO19/ TIOCC6/ TIOCD6/ TCLKF			
99		PA2		A2	PO18/ TIOCC6/ TCLKE			
100		PA1		A1	PO17/ TIOCA6/ TIOCB6			
101		PA0		A0/BC0#	PO16/ TIOCA6			
102		PE7	IRQ7-A	D15				
103		PE6	IRQ6-A	D14				
104		PE5	IRQ5-A	D13				
105		PE4		D12				
106		PE3		D11				
107		PE2		D10				
108		PE1		D9				
109		PE0		D8				
110		PD7		D7				
111		PD6		D6				
112		PD5		D5				
113		PD4		D4				
114		P64		CS4#-B				
115		P63		CS3#-A/ CS7#-A				
116		P62		CS2#-A/ CS6#-A				
117		P61		CS1#/ CS2#-B/ CS5#-A/ CS6#-B/ CS7#-B				
118		P60		CS0#/ CS4#-A/ CS5#-B				
119		PD3		D3				
120		PD2		D2				

表 1.4 機能別端子一覧表 (144ピン LQFP) (5 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/O ポート	割り込み	外部バス	タイマ	通信	アナログ	オンチップ エミュレータ
121		PD1		D1				
122		PD0		D0				
123		P97					AN15	
124		P96					AN14	
125		P95					AN13	
126		P94					AN12	
127		P93					AN11	
128		P92					AN10	
129		P91					AN9	
130	VSS							
131		P90					AN8	
132	VCC							
133		P47	IRQ15-B				AN7	
134		P46	IRQ14-B				AN6	
135		P45	IRQ13-B				AN5	
136		P44	IRQ12-B				AN4	
137		P43	IRQ11-B				AN3	
138		P42	IRQ10-B				AN2	
139		P41	IRQ9-B				AN1	
140	VREFL							
141		P40	IRQ8-B				AN0	
142	VREFH							
143	AVCC							
144		P05	IRQ13-A		TMO3	RxD4		TCK

1.5 端子機能

表 1.5 に端子機能一覧表を示します。

表 1.5 端子機能一覧表 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	入力	0.1 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	PLLVCC	入力	PLL回路用の電源端子。システムの電源に接続してください
	PLLVSS	入力	PLL回路用のグランド端子
クロック	XTAL	入力	水晶発振子接続端子。EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイスにシステムクロックを供給
動作モード コントロール	MD0、MD1、MDE	入力	動作モードを設定。これらの端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子が Low になると、リセット状態となります
	EMLE	入力	オンチップエミュレータを許可する端子。オンチップエミュレータを使用する場合は、High にしてください。オンチップエミュレータを使用しない場合は、Low にしてください
	BSCANP	入力	バウンダリスキャン許可端子。この端子が High になると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Low としてください
オンチップ エミュレータ	TRST#	入力	オンチップエミュレータ用端子。EMLE 端子を High にするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力
	TRSYNC	出力	TRDATA0 ~ TRDATA3 端子からの出力が有効データであることを示します
TRDATA0 ~ TRDATA3	出力	トレース情報を出力	
アドレスバス	A0 ~ A23 (注1)	出力	アドレス出力端子
データバス	D0 ~ D15	入出力	双方向データバス

表 1.5 端子機能一覧表 (2 / 4)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部アドレス空間をリード中であることを示すストロープ信号
	WR0#	出力	バイトストロープモード時、外部アドレス空間をライト中で、下位バイト (D0~D7) が有効であることを示すストロープ信号
	WR1#	出力	バイトストロープモード時、外部アドレス空間をライト中で、上位バイト (D8~D15) が有効であることを示すストロープ信号
	WR#	出力	1ライトストロープモード時、外部アドレス空間をライト中であることを示すストロープ信号
	BC0#(注1、注2)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で、下位バイト (D0~D7) が有効であることを示すストロープ信号
	BC1# (注2)	出力	1ライトストロープモード時、外部アドレス空間をアクセス中で、上位バイト (D8~D15) が有効であることを示すストロープ信号
	CS0#、CS1# CS2#-A/CS2#-B CS3#-A/CS3#-B CS4#-A/CS4#-B/ CS4#-C/CS4#-D CS5#-A/CS5#-B/ CS5#-C/CS5#-D CS6#-A/CS6#-B/ CS6#-C/CS6#-D CS7#-A/CS7#-B/ CS7#-C/CS7#-D	出力	エリア0~7の選択信号
	WAIT#	入力	外部アドレス空間をアクセスするときのウェイト要求信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0-A/IRQ0-B IRQ1-A/IRQ1-B IRQ2-A/IRQ2-B IRQ3-A/IRQ3-B IRQ4-A/IRQ4-B IRQ5-A/IRQ5-B IRQ6-A/IRQ6-B IRQ7-A/IRQ7-B IRQ8-A/IRQ8-B IRQ9-A/IRQ9-B IRQ10-A/IRQ10-B IRQ11-A/IRQ11-B IRQ12-A/IRQ12-B IRQ13-A/IRQ13-B IRQ14-A/IRQ14-B IRQ15-A/IRQ15-B	入力	割り込み要求端子

表 1.5 端子機能一覧表 (3 / 4)

分類	端子名	入出力	機能
16ビットタイム パルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA6、TIOCB6 TIOCC6、TIOCD6	入出力	TGRA6～TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA7、TIOCB7	入出力	TGRA7、TGRB7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA8、TIOCB8	入出力	TGRA8、TGRB8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA9、TIOCB9 TIOCC9、TIOCD9	入出力	TGRA9～TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA10、TIOCB10	入出力	TGRA10、TGRB10のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA11、TIOCB11	入出力	TGRA11、TGRB11のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA-A/TCLKA-B TCLKB-A/TCLKB-B TCLKC-A/TCLKC-B TCLKD-A/TCLKD-B TCLKE、TCLKF TCLKG、TCLKH	入力	外部クロックを入力
プログラマブル パルスジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイム	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
ウォッチドッグタイム	WDTOVF#	出力	ウォッチドッグタイムモード時のカウンタオーバフロー信号出力端子
シリアルコミュニケーション インタフェース	TxD0、TxD1、TxD2、 TxD3、TxD4、TxD5、 TxD6	出力	送信データ出力端子
	RxD0、RxD1、RxD2、 RxD3、RxD4、RxD5、 RxD6	入力	受信データ入力端子
	SCK0、SCK1、SCK2、 SCK3、SCK4、SCK5、 SCK6	入出力	クロック入出力端子
I ² Cバスインタフェース	SCL0、SCL1	入出力	RIICのクロック入出力端子。NMOSオープンドレイン出力でバスを直接駆動できます
	SDA0、SDA1	入出力	RIICのデータ入出力端子。NMOSオープンドレイン出力でバスを直接駆動できます

表 1.5 端子機能一覧表 (4 / 4)

分類	端子名	入出力	機能
A/Dコンバータ	AN0～AN15	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#～ADTRG3#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC	入力	A/DコンバータおよびD/Aコンバータのアナログ電源端子。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	AVSS	入力	A/DコンバータおよびD/Aコンバータのグランド端子。システムの電源（0V）に接続してください
	VREFH	入力	A/DコンバータおよびD/Aコンバータの基準電源端子。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	VREFL	入力	A/DコンバータおよびD/Aコンバータの基準グランド端子です。アナログ基準電源（0V）に接続してください。また、A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源（0V）に接続してください。詳細はユーザーズマニュアルハードウェア編の「23.6.7 アナログ電源端子他の設定範囲」を参照してください
I/Oポート	P00～P05	入出力	6ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P50～P57	入出力	8ビットの入出力端子（P53は入力専用）
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P86	入出力	7ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF0～PF6	入出力	7ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PH0～PH7	入出力	8ビットの入出力端子

注1. A0端子とBC0#端子は兼用しており、領域ごとにバイトライトモード時はA0端子、1ライトストロープモード時はBC0#端子が有効になります。1ライトストロープモード時は8ビット外部バス幅の設定は禁止しています。その他の兼用端子については、ユーザーズマニュアルハードウェア編の「14. I/Oポート」を参照してください。

注2. BC0#、BC1#信号は、リード/ライトアクセスとも有効です。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

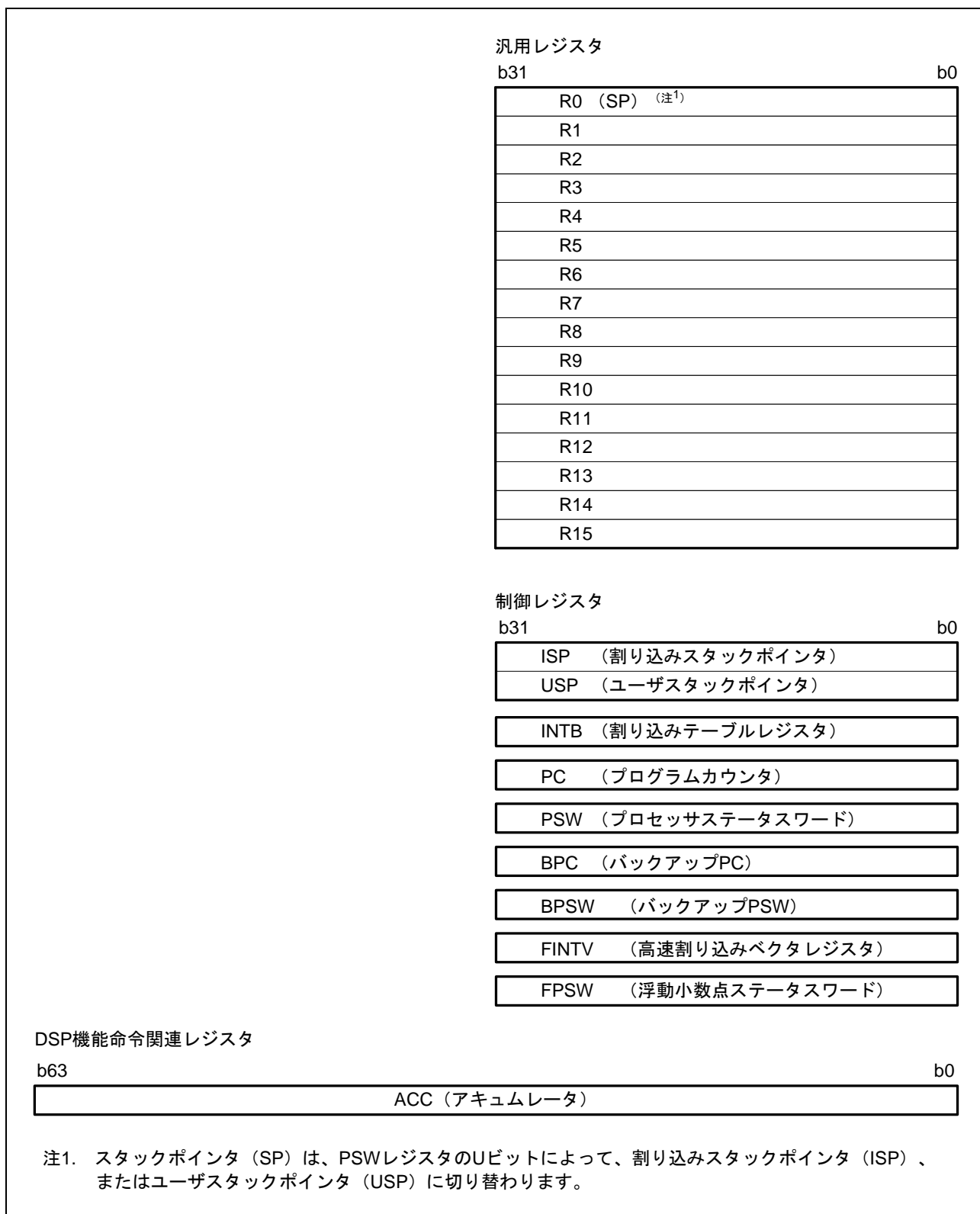


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

(3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPUの状態を示します。

(5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(8) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j=“1”$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし例外発生の原因を判断することができます。例外処理を禁止 ($E_j=“0”$) した場合は、一連の処理の最後に E_j フラグをチェックし例外発生の有無を確認することができます。 E_j フラグは蓄積フラグです。 $(j=X, U, Z, O, V)$

(9) アキュムレータ (ACC)

アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

アクセスできる領域は動作モードや各制御ビットの状態によって違います。また、製品ごとに ROM 容量が異なります。製品別および動作モード別のメモリマップを図 3.1 ～図 3.4 に示します。

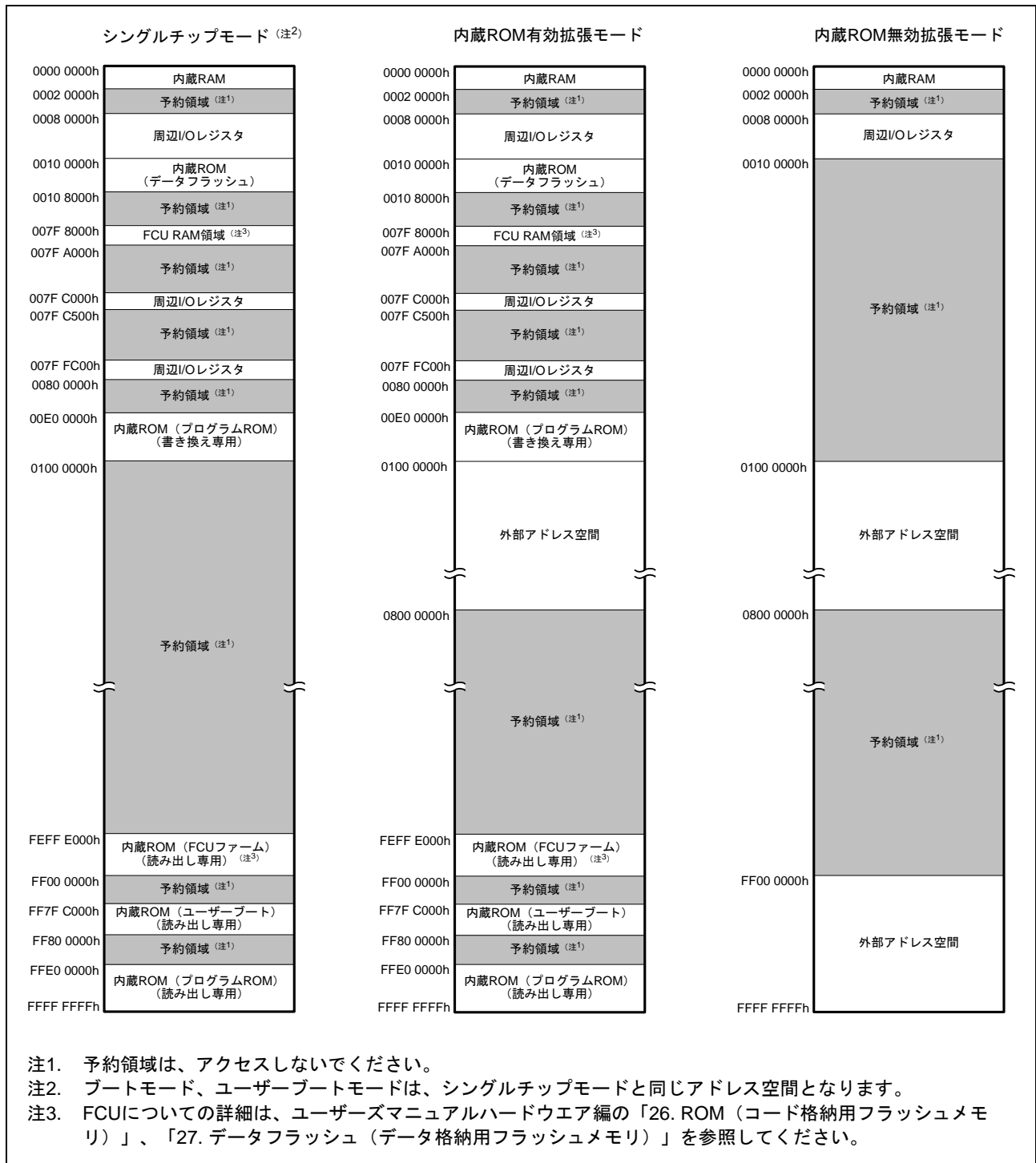


図 3.1 R5F56108 のメモリマップ

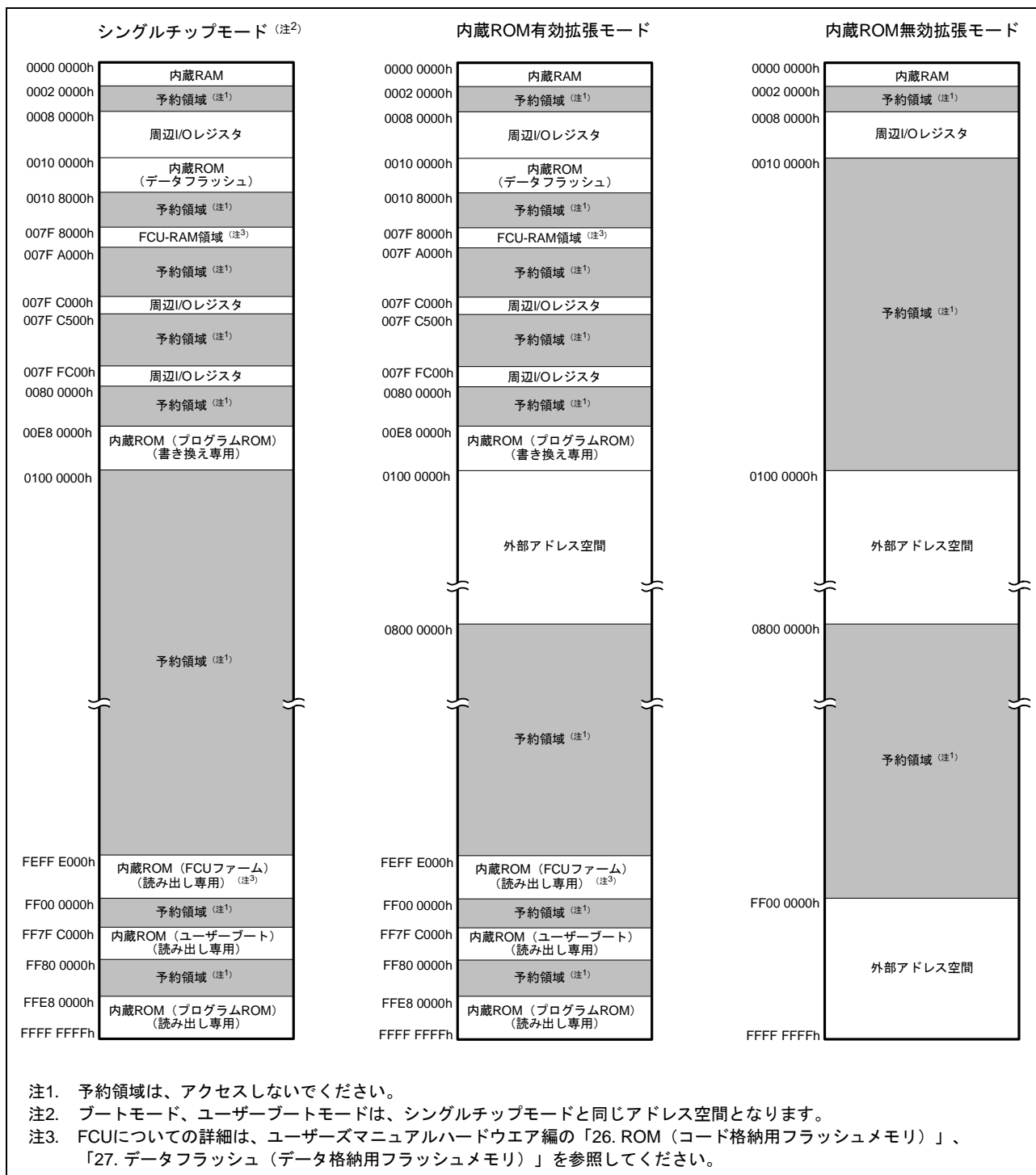


図 3.2 R5F56107 のメモリマップ

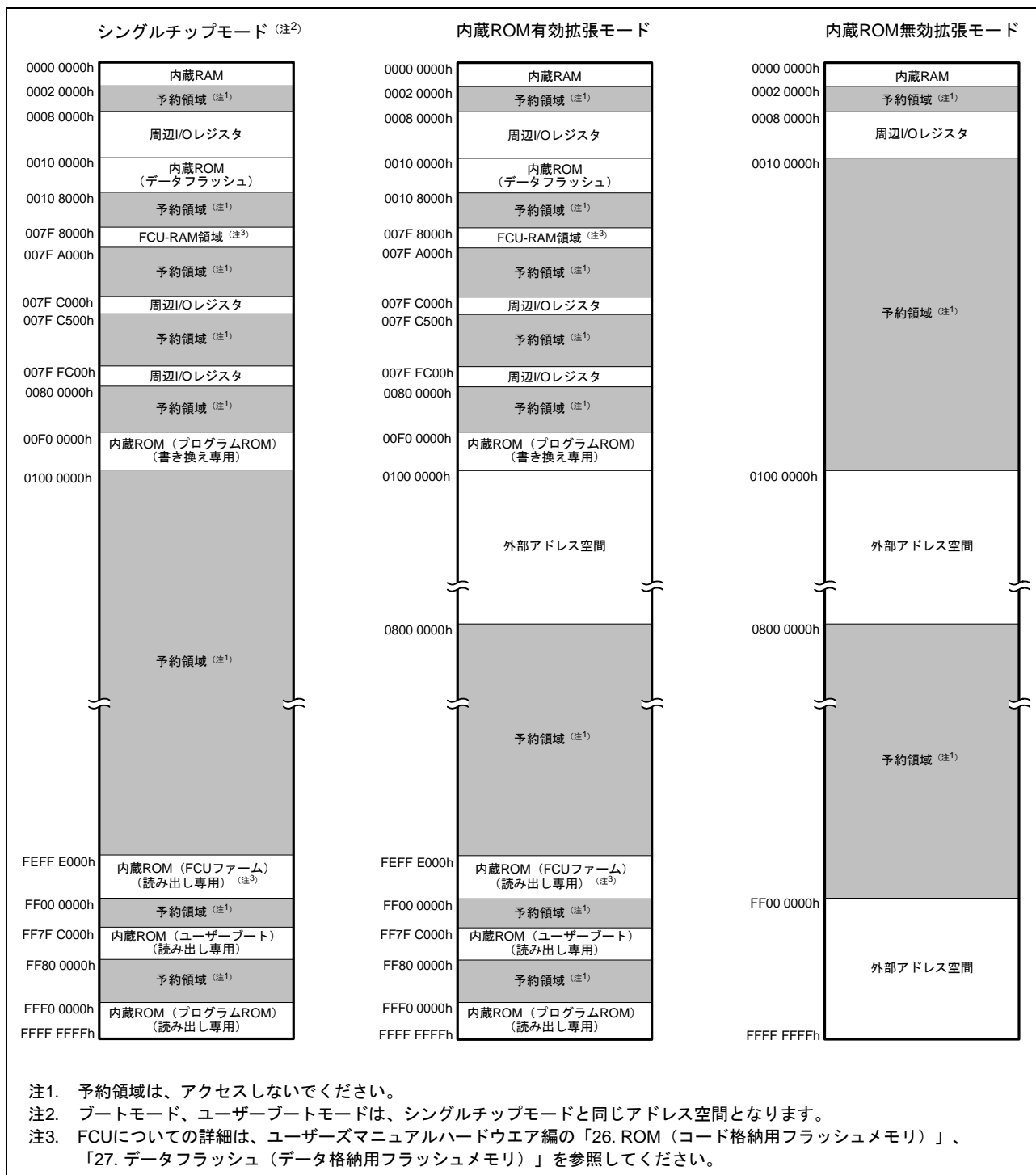


図 3.3 R5F56106 のメモリマップ

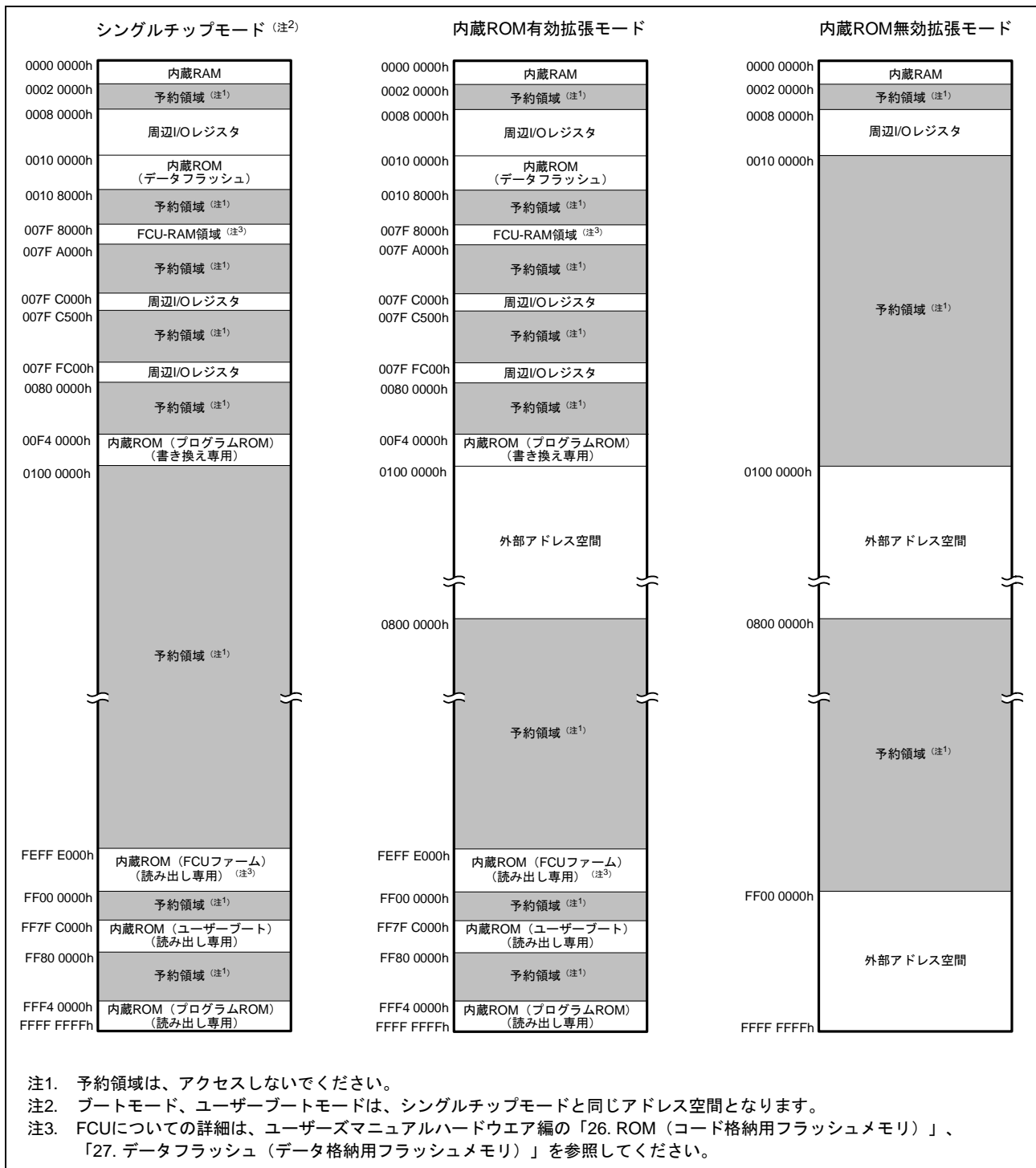


図 3.4 R5F56104 のメモリマップ

3.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 7) から出力される CSn# 信号によって最大 8 つの領域に分割できます。図 3.5 に内蔵 ROM 無効拡張モード時の CSn# 信号 (CSi 領域) (i = 0 ~ 7) とアドレスの対応を示します。

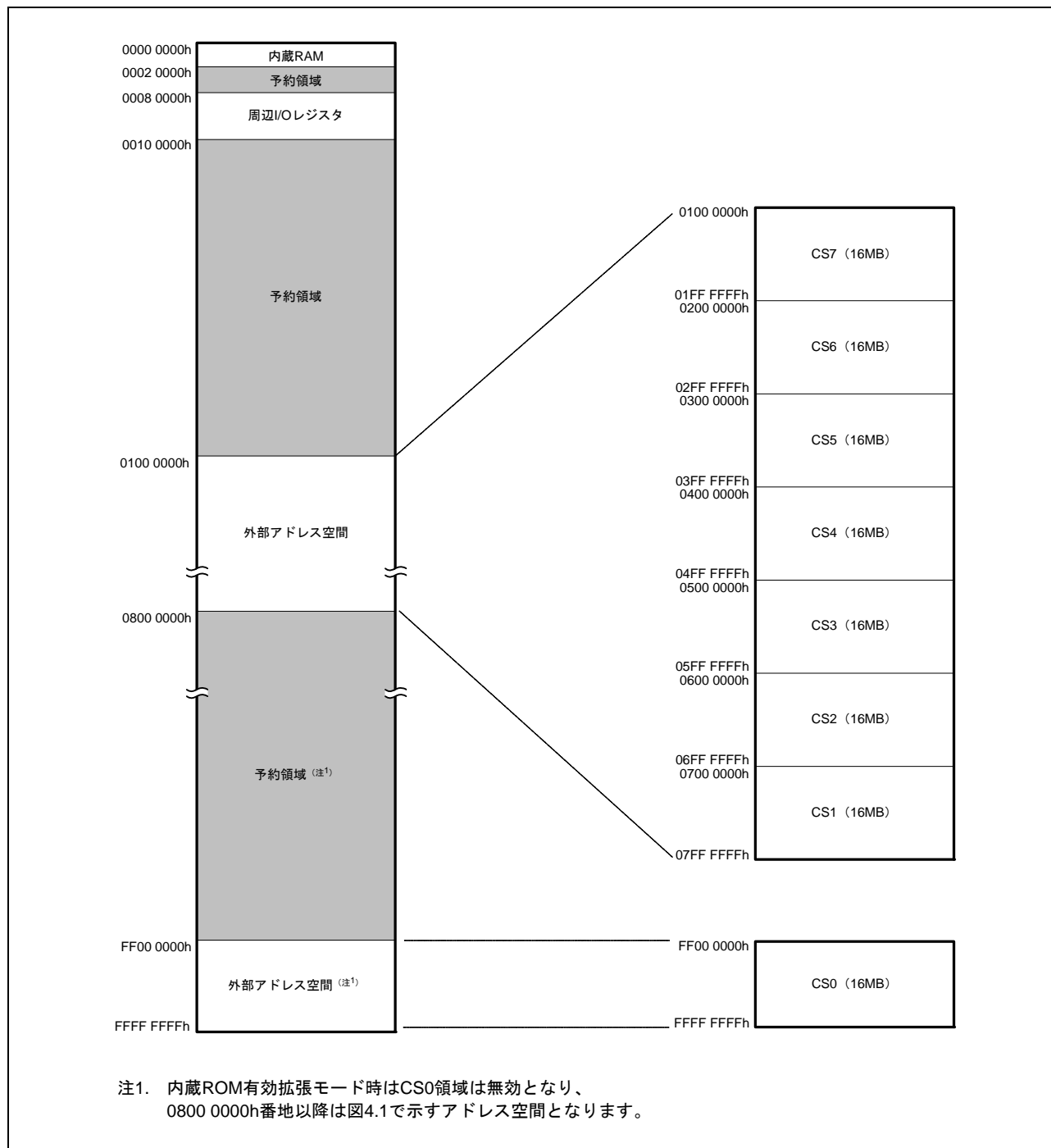


図 3.5 外部アドレス空間と CSi 領域 (内蔵 ROM 無効拡張モードの場合)

4. I/O レジスタ

表4.1 I/O レジスタアドレス一覧 (1 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 1300h	BSC	バスエラー要因クリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1306h	BSC	バスエラー割り込み許可レジスタ	BERIE	8	8	2ICLK
0008 2000h	DMAC0	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2004h	DMAC0	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2008h	DMAC0	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 200Ch	DMAC0	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2010h	DMAC1	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2014h	DMAC1	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2018h	DMAC1	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 201Ch	DMAC1	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2020h	DMAC2	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2024h	DMAC2	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2028h	DMAC2	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 202Ch	DMAC2	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2030h	DMAC3	DMAカレント転送元アドレスレジスタ	DMCSA	32	32	4~5ICLK
0008 2034h	DMAC3	DMAカレント転送先アドレスレジスタ	DMCDA	32	32	4~5ICLK
0008 2038h	DMAC3	DMAカレント転送バイトカウントレジスタ	DMCBC	32	32	4~5ICLK
0008 203Ch	DMAC3	DMAモードレジスタ	DMMOD	32	32	4~5ICLK
0008 2200h	DMAC0	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2204h	DMAC0	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2208h	DMAC0	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2210h	DMAC1	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2214h	DMAC1	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2218h	DMAC1	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2220h	DMAC2	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2224h	DMAC2	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2228h	DMAC2	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2230h	DMAC3	DMAリロード転送元アドレスレジスタ	DMRSA	32	32	4~5ICLK (注8)
0008 2234h	DMAC3	DMAリロード転送先アドレスレジスタ	DMRDA	32	32	4~5ICLK (注8)
0008 2238h	DMAC3	DMAリロード転送バイトカウントレジスタ	DMRBC	32	32	4~5ICLK (注8)
0008 2400h	DMAC0	DMA制御レジスタA	DMCRA	32	32	3ICLK
0008 2404h	DMAC0	DMA制御レジスタB	DMCRB	8	8	3ICLK
0008 2405h	DMAC0	DMA制御レジスタC	DMCRC	8	8	3ICLK
0008 2406h	DMAC0	DMA制御レジスタD	DMCRD	8	8	3ICLK
0008 2407h	DMAC0	DMA制御レジスタE	DMCRE	8	8	3ICLK
0008 2408h	DMAC1	DMA制御レジスタA	DMCRA	32	32	3ICLK

表 4.1 I/O レジスタアドレス一覧 (2 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 240Ch	DMAC1	DMA制御レジスタ B	DMCRB	8	8	3ICLK
0008 240Dh	DMAC1	DMA 制御レジスタ C	DMCRC	8	8	3ICLK
0008 240Eh	DMAC1	DMA 制御レジスタ D	DMCRD	8	8	3ICLK
0008 240Fh	DMAC1	DMA 制御レジスタ E	DMCRE	8	8	3ICLK
0008 2410h	DMAC2	DMA制御レジスタ A	DMCRA	32	32	3ICLK
0008 2414h	DMAC2	DMA制御レジスタ B	DMCRB	8	8	3ICLK
0008 2415h	DMAC2	DMA 制御レジスタ C	DMCRC	8	8	3ICLK
0008 2416h	DMAC2	DMA 制御レジスタ D	DMCRD	8	8	3ICLK
0008 2417h	DMAC2	DMA 制御レジスタ E	DMCRE	8	8	3ICLK
0008 2418h	DMAC3	DMA制御レジスタ A	DMCRA	32	32	3ICLK
0008 241Ch	DMAC3	DMA制御レジスタ B	DMCRB	8	8	3ICLK
0008 241Dh	DMAC3	DMA 制御レジスタ C	DMCRC	8	8	3ICLK
0008 241Eh	DMAC3	DMA 制御レジスタ D	DMCRD	8	8	3ICLK
0008 241Fh	DMAC3	DMA 制御レジスタ E	DMCRE	8	8	3ICLK
0008 2502h	DMAC共通	DMA起動制御レジスタ	DMSCNT	8	8	3ICLK
0008 250Bh	DMAC共通	DMA割り込み制御レジスタ	DMICNT	8	8	3ICLK
0008 2517h	DMAC共通	DMA転送終了検出レジスタ	DMEDET	8	8	3ICLK
0008 251Bh	DMAC共通	DMAアービトラーションステータスレジスタ	DMASTS	8	8	3ICLK
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1~2BCLK (注7)
0008 3004h	BSC	CS0ウェイト制御レジスタ 1	CS0WCNT1	32	32	1~2BCLK (注7)
0008 3008h	BSC	CS0ウェイト制御レジスタ 2	CS0WCNT2	32	32	1~2BCLK (注7)
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1~2BCLK (注7)
0008 3014h	BSC	CS1ウェイト制御レジスタ 1	CS1WCNT1	32	32	1~2BCLK (注7)
0008 3018h	BSC	CS1ウェイト制御レジスタ 2	CS1WCNT2	32	32	1~2BCLK (注7)
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1~2BCLK (注7)
0008 3024h	BSC	CS2ウェイト制御レジスタ 1	CS2WCNT1	32	32	1~2BCLK (注7)
0008 3028h	BSC	CS2ウェイト制御レジスタ 2	CS2WCNT2	32	32	1~2BCLK (注7)
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1~2BCLK (注7)
0008 3034h	BSC	CS3ウェイト制御レジスタ 1	CS3WCNT1	32	32	1~2BCLK (注7)
0008 3038h	BSC	CS3ウェイト制御レジスタ 2	CS3WCNT2	32	32	1~2BCLK (注7)
0008 3042h	BSC	CS4モードレジスタ	CS4MOD	16	16	1~2BCLK (注7)
0008 3044h	BSC	CS4ウェイト制御レジスタ 1	CS4WCNT1	32	32	1~2BCLK (注7)
0008 3048h	BSC	CS4ウェイト制御レジスタ 2	CS4WCNT2	32	32	1~2BCLK (注7)
0008 3052h	BSC	CS5モードレジスタ	CS5MOD	16	16	1~2BCLK (注7)
0008 3054h	BSC	CS5ウェイト制御レジスタ 1	CS5WCNT1	32	32	1~2BCLK (注7)
0008 3058h	BSC	CS5ウェイト制御レジスタ 2	CS5WCNT2	32	32	1~2BCLK (注7)
0008 3062h	BSC	CS6モードレジスタ	CS6MOD	16	16	1~2BCLK (注7)
0008 3064h	BSC	CS6ウェイト制御レジスタ 1	CS6WCNT1	32	32	1~2BCLK (注7)
0008 3068h	BSC	CS6ウェイト制御レジスタ 2	CS6WCNT2	32	32	1~2BCLK (注7)
0008 3072h	BSC	CS7モードレジスタ	CS7MOD	16	16	1~2BCLK (注7)
0008 3074h	BSC	CS7ウェイト制御レジスタ 1	CS7WCNT1	32	32	1~2BCLK (注7)
0008 3078h	BSC	CS7ウェイト制御レジスタ 2	CS7WCNT2	32	32	1~2BCLK (注7)
0008 3802h	BSC	CS0制御レジスタ	CS0CNT	16	16	1~2BCLK (注7)
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1~2BCLK (注7)
0008 3812h	BSC	CS1制御レジスタ	CS1CNT	16	16	1~2BCLK (注7)
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1~2BCLK (注7)
0008 3822h	BSC	CS2制御レジスタ	CS2CNT	16	16	1~2BCLK (注7)
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1~2BCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (3 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 3832h	BSC	CS3制御レジスタ	CS3CNT	16	16	1~2BCLK (注7)
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1~2BCLK (注7)
0008 3842h	BSC	CS4制御レジスタ	CS4CNT	16	16	1~2BCLK (注7)
0008 384Ah	BSC	CS4リカバリサイクル設定レジスタ	CS4REC	16	16	1~2BCLK (注7)
0008 3852h	BSC	CS5制御レジスタ	CS5CNT	16	16	1~2BCLK (注7)
0008 385Ah	BSC	CS5リカバリサイクル設定レジスタ	CS5REC	16	16	1~2BCLK (注7)
0008 3862h	BSC	CS6制御レジスタ	CS6CNT	16	16	1~2BCLK (注7)
0008 386Ah	BSC	CS6リカバリサイクル設定レジスタ	CS6REC	16	16	1~2BCLK (注7)
0008 3872h	BSC	CS7制御レジスタ	CS7CNT	16	16	1~2BCLK (注7)
0008 387Ah	BSC	CS7リカバリサイクル設定レジスタ	CS7REC	16	16	1~2BCLK (注7)
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK
0008 7060h	ICU	割り込み要求レジスタ 096	IR096	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK
0008 7063h	ICU	割り込み要求レジスタ 099	IR099	8	8	2ICLK
0008 7064h	ICU	割り込み要求レジスタ 100	IR100	8	8	2ICLK
0008 7065h	ICU	割り込み要求レジスタ 101	IR101	8	8	2ICLK
0008 7068h	ICU	割り込み要求レジスタ 104	IR104	8	8	2ICLK
0008 7069h	ICU	割り込み要求レジスタ 105	IR105	8	8	2ICLK
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (4 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (5 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK
0008 711Ch	ICU	割り込み要求先設定レジスタ 028	ISELR028	8	8	2ICLK
0008 711Dh	ICU	割り込み要求先設定レジスタ 029	ISELR029	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (6 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 711Eh	ICU	割り込み要求先設定レジスタ 030	ISELR030	8	8	2ICLK
0008 711Fh	ICU	割り込み要求先設定レジスタ 031	ISELR031	8	8	2ICLK
0008 7140h	ICU	割り込み要求先設定レジスタ 064	ISELR064	8	8	2ICLK
0008 7141h	ICU	割り込み要求先設定レジスタ 065	ISELR065	8	8	2ICLK
0008 7142h	ICU	割り込み要求先設定レジスタ 066	ISELR066	8	8	2ICLK
0008 7143h	ICU	割り込み要求先設定レジスタ 067	ISELR067	8	8	2ICLK
0008 7144h	ICU	割り込み要求先設定レジスタ 068	ISELR068	8	8	2ICLK
0008 7145h	ICU	割り込み要求先設定レジスタ 069	ISELR069	8	8	2ICLK
0008 7146h	ICU	割り込み要求先設定レジスタ 070	ISELR070	8	8	2ICLK
0008 7147h	ICU	割り込み要求先設定レジスタ 071	ISELR071	8	8	2ICLK
0008 7148h	ICU	割り込み要求先設定レジスタ 072	ISELR072	8	8	2ICLK
0008 7149h	ICU	割り込み要求先設定レジスタ 073	ISELR073	8	8	2ICLK
0008 714Ah	ICU	割り込み要求先設定レジスタ 074	ISELR074	8	8	2ICLK
0008 714Bh	ICU	割り込み要求先設定レジスタ 075	ISELR075	8	8	2ICLK
0008 714Ch	ICU	割り込み要求先設定レジスタ 076	ISELR076	8	8	2ICLK
0008 714Dh	ICU	割り込み要求先設定レジスタ 077	ISELR077	8	8	2ICLK
0008 714Eh	ICU	割り込み要求先設定レジスタ 078	ISELR078	8	8	2ICLK
0008 714Fh	ICU	割り込み要求先設定レジスタ 079	ISELR079	8	8	2ICLK
0008 7162h	ICU	割り込み要求先設定レジスタ 098	ISELR098	8	8	2ICLK
0008 7163h	ICU	割り込み要求先設定レジスタ 099	ISELR099	8	8	2ICLK
0008 7164h	ICU	割り込み要求先設定レジスタ 100	ISELR100	8	8	2ICLK
0008 7165h	ICU	割り込み要求先設定レジスタ 101	ISELR101	8	8	2ICLK
0008 7168h	ICU	割り込み要求先設定レジスタ 104	ISELR104	8	8	2ICLK
0008 7169h	ICU	割り込み要求先設定レジスタ 105	ISELR105	8	8	2ICLK
0008 716Ah	ICU	割り込み要求先設定レジスタ 106	ISELR106	8	8	2ICLK
0008 716Bh	ICU	割り込み要求先設定レジスタ 107	ISELR107	8	8	2ICLK
0008 716Fh	ICU	割り込み要求先設定レジスタ 111	ISELR111	8	8	2ICLK
0008 7170h	ICU	割り込み要求先設定レジスタ 112	ISELR112	8	8	2ICLK
0008 7175h	ICU	割り込み要求先設定レジスタ 117	ISELR117	8	8	2ICLK
0008 7176h	ICU	割り込み要求先設定レジスタ 118	ISELR118	8	8	2ICLK
0008 717Ah	ICU	割り込み要求先設定レジスタ 122	ISELR122	8	8	2ICLK
0008 717Bh	ICU	割り込み要求先設定レジスタ 123	ISELR123	8	8	2ICLK
0008 717Ch	ICU	割り込み要求先設定レジスタ 124	ISELR124	8	8	2ICLK
0008 717Dh	ICU	割り込み要求先設定レジスタ 125	ISELR125	8	8	2ICLK
0008 717Fh	ICU	割り込み要求先設定レジスタ 127	ISELR127	8	8	2ICLK
0008 7180h	ICU	割り込み要求先設定レジスタ 128	ISELR128	8	8	2ICLK
0008 7185h	ICU	割り込み要求先設定レジスタ 133	ISELR133	8	8	2ICLK
0008 7186h	ICU	割り込み要求先設定レジスタ 134	ISELR134	8	8	2ICLK
0008 718Ah	ICU	割り込み要求先設定レジスタ 138	ISELR138	8	8	2ICLK
0008 718Bh	ICU	割り込み要求先設定レジスタ 139	ISELR139	8	8	2ICLK
0008 718Ch	ICU	割り込み要求先設定レジスタ 140	ISELR140	8	8	2ICLK
0008 718Dh	ICU	割り込み要求先設定レジスタ 141	ISELR141	8	8	2ICLK
0008 7191h	ICU	割り込み要求先設定レジスタ 145	ISELR145	8	8	2ICLK
0008 7192h	ICU	割り込み要求先設定レジスタ 146	ISELR146	8	8	2ICLK
0008 7197h	ICU	割り込み要求先設定レジスタ 151	ISELR151	8	8	2ICLK
0008 7198h	ICU	割り込み要求先設定レジスタ 152	ISELR152	8	8	2ICLK
0008 719Ch	ICU	割り込み要求先設定レジスタ 156	ISELR156	8	8	2ICLK
0008 719Dh	ICU	割り込み要求先設定レジスタ 157	ISELR157	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (7 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 719Eh	ICU	割り込み要求先設定レジスタ 158	ISELR158	8	8	2ICLK
0008 719Fh	ICU	割り込み要求先設定レジスタ 159	ISELR159	8	8	2ICLK
0008 71A1h	ICU	割り込み要求先設定レジスタ 161	ISELR161	8	8	2ICLK
0008 71A2h	ICU	割り込み要求先設定レジスタ 162	ISELR162	8	8	2ICLK
0008 71A7h	ICU	割り込み要求先設定レジスタ 167	ISELR167	8	8	2ICLK
0008 71A8h	ICU	割り込み要求先設定レジスタ 168	ISELR168	8	8	2ICLK
0008 71AEh	ICU	割り込み要求先設定レジスタ 174	ISELR174	8	8	2ICLK
0008 71AFh	ICU	割り込み要求先設定レジスタ 175	ISELR175	8	8	2ICLK
0008 71B1h	ICU	割り込み要求先設定レジスタ 177	ISELR177	8	8	2ICLK
0008 71B2h	ICU	割り込み要求先設定レジスタ 178	ISELR178	8	8	2ICLK
0008 71B4h	ICU	割り込み要求先設定レジスタ 180	ISELR180	8	8	2ICLK
0008 71B5h	ICU	割り込み要求先設定レジスタ 181	ISELR181	8	8	2ICLK
0008 71B7h	ICU	割り込み要求先設定レジスタ 183	ISELR183	8	8	2ICLK
0008 71B8h	ICU	割り込み要求先設定レジスタ 184	ISELR184	8	8	2ICLK
0008 71C6h	ICU	割り込み要求先設定レジスタ 198	ISELR198	8	8	2ICLK
0008 71C7h	ICU	割り込み要求先設定レジスタ 199	ISELR199	8	8	2ICLK
0008 71C8h	ICU	割り込み要求先設定レジスタ 200	ISELR200	8	8	2ICLK
0008 71C9h	ICU	割り込み要求先設定レジスタ 201	ISELR201	8	8	2ICLK
0008 71D7h	ICU	割り込み要求先設定レジスタ 215	ISELR215	8	8	2ICLK
0008 71D8h	ICU	割り込み要求先設定レジスタ 216	ISELR216	8	8	2ICLK
0008 71DBh	ICU	割り込み要求先設定レジスタ 219	ISELR219	8	8	2ICLK
0008 71DCh	ICU	割り込み要求先設定レジスタ 220	ISELR220	8	8	2ICLK
0008 71DFh	ICU	割り込み要求先設定レジスタ 223	ISELR223	8	8	2ICLK
0008 71E0h	ICU	割り込み要求先設定レジスタ 224	ISELR224	8	8	2ICLK
0008 71E3h	ICU	割り込み要求先設定レジスタ 227	ISELR227	8	8	2ICLK
0008 71E4h	ICU	割り込み要求先設定レジスタ 228	ISELR228	8	8	2ICLK
0008 71E7h	ICU	割り込み要求先設定レジスタ 231	ISELR231	8	8	2ICLK
0008 71E8h	ICU	割り込み要求先設定レジスタ 232	ISELR232	8	8	2ICLK
0008 71EBh	ICU	割り込み要求先設定レジスタ 235	ISELR235	8	8	2ICLK
0008 71ECh	ICU	割り込み要求先設定レジスタ 236	ISELR236	8	8	2ICLK
0008 71EFh	ICU	割り込み要求先設定レジスタ 239	ISELR239	8	8	2ICLK
0008 71F0h	ICU	割り込み要求先設定レジスタ 240	ISELR240	8	8	2ICLK
0008 71F7h	ICU	割り込み要求先設定レジスタ 247	ISELR247	8	8	2ICLK
0008 71F8h	ICU	割り込み要求先設定レジスタ 248	ISELR248	8	8	2ICLK
0008 71FBh	ICU	割り込み要求先設定レジスタ 251	ISELR251	8	8	2ICLK
0008 71FCh	ICU	割り込み要求先設定レジスタ 252	ISELR252	8	8	2ICLK
0008 71FDh	ICU	割り込み要求先設定レジスタ 253	ISELR253	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 7209h	ICU	割り込み要求許可レジスタ 09	IER09	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (8 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 00	IPR00	8	8	2ICLK
0008 7301h	ICU	割り込み要因プライオリティレジスタ 01	IPR01	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 02	IPR02	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 04	IPR04	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 05	IPR05	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 06	IPR06	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 07	IPR07	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 20	IPR20	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 21	IPR21	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 22	IPR22	8	8	2ICLK
0008 7323h	ICU	割り込み要因プライオリティレジスタ 23	IPR23	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 24	IPR24	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 25	IPR25	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 26	IPR26	8	8	2ICLK
0008 7327h	ICU	割り込み要因プライオリティレジスタ 27	IPR27	8	8	2ICLK
0008 7328h	ICU	割り込み要因プライオリティレジスタ 28	IPR28	8	8	2ICLK
0008 7329h	ICU	割り込み要因プライオリティレジスタ 29	IPR29	8	8	2ICLK
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 2A	IPR2A	8	8	2ICLK
0008 732Bh	ICU	割り込み要因プライオリティレジスタ 2B	IPR2B	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 2C	IPR2C	8	8	2ICLK
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 2D	IPR2D	8	8	2ICLK
0008 732Eh	ICU	割り込み要因プライオリティレジスタ 2E	IPR2E	8	8	2ICLK
0008 732Fh	ICU	割り込み要因プライオリティレジスタ 2F	IPR2F	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 40	IPR40	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 44	IPR44	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ 45	IPR45	8	8	2ICLK
0008 7346h	ICU	割り込み要因プライオリティレジスタ 46	IPR46	8	8	2ICLK
0008 7347h	ICU	割り込み要因プライオリティレジスタ 47	IPR47	8	8	2ICLK
0008 734Ch	ICU	割り込み要因プライオリティレジスタ 4C	IPR4C	8	8	2ICLK
0008 734Dh	ICU	割り込み要因プライオリティレジスタ 4D	IPR4D	8	8	2ICLK
0008 734Eh	ICU	割り込み要因プライオリティレジスタ 4E	IPR4E	8	8	2ICLK
0008 734Fh	ICU	割り込み要因プライオリティレジスタ 4F	IPR4F	8	8	2ICLK
0008 7350h	ICU	割り込み要因プライオリティレジスタ 50	IPR50	8	8	2ICLK
0008 7351h	ICU	割り込み要因プライオリティレジスタ 51	IPR51	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (9 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7352h	ICU	割り込み要因プライオリティレジスタ 52	IPR52	8	8	2ICLK
0008 7353h	ICU	割り込み要因プライオリティレジスタ 53	IPR53	8	8	2ICLK
0008 7354h	ICU	割り込み要因プライオリティレジスタ 54	IPR54	8	8	2ICLK
0008 7355h	ICU	割り込み要因プライオリティレジスタ 55	IPR55	8	8	2ICLK
0008 7356h	ICU	割り込み要因プライオリティレジスタ 56	IPR56	8	8	2ICLK
0008 7357h	ICU	割り込み要因プライオリティレジスタ 57	IPR57	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 58	IPR58	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 59	IPR59	8	8	2ICLK
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 5A	IPR5A	8	8	2ICLK
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 5B	IPR5B	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 5C	IPR5C	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 5D	IPR5D	8	8	2ICLK
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 5E	IPR5E	8	8	2ICLK
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 5F	IPR5F	8	8	2ICLK
0008 7360h	ICU	割り込み要因プライオリティレジスタ 60	IPR60	8	8	2ICLK
0008 7361h	ICU	割り込み要因プライオリティレジスタ 61	IPR61	8	8	2ICLK
0008 7362h	ICU	割り込み要因プライオリティレジスタ 62	IPR62	8	8	2ICLK
0008 7363h	ICU	割り込み要因プライオリティレジスタ 63	IPR63	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ 68	IPR68	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ 69	IPR69	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 6A	IPR6A	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 6B	IPR6B	8	8	2ICLK
0008 7370h	ICU	割り込み要因プライオリティレジスタ 70	IPR70	8	8	2ICLK
0008 7371h	ICU	割り込み要因プライオリティレジスタ 71	IPR71	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ 72	IPR72	8	8	2ICLK
0008 7373h	ICU	割り込み要因プライオリティレジスタ 73	IPR73	8	8	2ICLK
0008 7380h	ICU	割り込み要因プライオリティレジスタ 80	IPR80	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 81	IPR81	8	8	2ICLK
0008 7382h	ICU	割り込み要因プライオリティレジスタ 82	IPR82	8	8	2ICLK
0008 7383h	ICU	割り込み要因プライオリティレジスタ 83	IPR83	8	8	2ICLK
0008 7384h	ICU	割り込み要因プライオリティレジスタ 84	IPR84	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ 85	IPR85	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ 86	IPR86	8	8	2ICLK
0008 7388h	ICU	割り込み要因プライオリティレジスタ 88	IPR88	8	8	2ICLK
0008 7389h	ICU	割り込み要因プライオリティレジスタ 89	IPR89	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 8A	IPR8A	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 8B	IPR8B	8	8	2ICLK
0008 738Ch	ICU	割り込み要因プライオリティレジスタ 8C	IPR8C	8	8	2ICLK
0008 738Dh	ICU	割り込み要因プライオリティレジスタ 8D	IPR8D	8	8	2ICLK
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 8E	IPR8E	8	8	2ICLK
0008 738Fh	ICU	割り込み要因プライオリティレジスタ 8F	IPR8F	8	8	2ICLK
0008 73F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 7404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 7408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 740Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK

表 4.1 I/O レジスタアドレス一覧 (10 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8000h	CMT (ユニット0)	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2~3PCLK (注7)
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8010h	CMT (ユニット1)	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2~3PCLK (注7)
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2~3PCLK (注7)
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2~3PCLK (注7)
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2~3PCLK (注7)
0008 8028h	WDT	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8028h	WDT	ライトウィンドウAレジスタ	WINA	16	16	2~3PCLK (注7)
0008 8029h	WDT	タイマカウンタ	TCNT	8	8	2~3PCLK (注7)
0008 802Ah	WDT	ライトウィンドウBレジスタ	WINB	16	16	2~3PCLK (注7)
0008 802Bh	WDT	リセットコントロール/ステータスレジスタ	RSTCSR	8	8	2~3PCLK (注7)
0008 8040h	AD0	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 8042h	AD0	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 8044h	AD0	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)
0008 8046h	AD0	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 8050h	AD0	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 8051h	AD0	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 8052h	AD0	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 8053h	AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 8060h	AD1	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 8062h	AD1	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 8064h	AD1	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)
0008 8066h	AD1	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 8070h	AD1	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 8071h	AD1	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 8072h	AD1	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 8073h	AD1	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 8080h	AD2	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 8082h	AD2	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 8084h	AD2	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)
0008 8086h	AD2	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 8090h	AD2	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 8091h	AD2	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 8092h	AD2	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 8093h	AD2	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 80A0h	AD3	A/DデータレジスタA	ADDRA	16	16	2~3PCLK (注7)
0008 80A2h	AD3	A/DデータレジスタB	ADDRB	16	16	2~3PCLK (注7)
0008 80A4h	AD3	A/DデータレジスタC	ADDRC	16	16	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (11 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 80A6h	AD3	A/DデータレジスタD	ADDRD	16	16	2~3PCLK (注7)
0008 80B0h	AD3	A/Dコントロール/ステータスレジスタ	ADCSR	8	8	2~3PCLK (注7)
0008 80B1h	AD3	A/Dコントロールレジスタ	ADCR	8	8	2~3PCLK (注7)
0008 80B2h	AD3	ADDRyフォーマット選択レジスタ	ADDPR	8	8	2~3PCLK (注7)
0008 80B3h	AD3	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2~3PCLK (注7)
0008 80C0h	D/A	D/Aデータレジスタ0	DADR0	16	16	2~3PCLK (注7)
0008 80C2h	D/A	D/Aデータレジスタ1	DADR1	16	16	2~3PCLK (注7)
0008 80C4h	D/A	D/Aコントロールレジスタ	DACR	8	8	2~3PCLK (注7)
0008 80C5h	D/A	DADRyフォーマット選択レジスタ	DADPR	8	8	2~3PCLK (注7)
0008 8100h	TPU (ユニット0)	タイマスタートレジスタ	TSTRA	8	8	2~3PCLK (注7)
0008 8101h	TPU (ユニット0)	タイマシンクロレジスタ	TSYRA	8	8	2~3PCLK (注7)
0008 8110h	TPU0	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8111h	TPU0	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8112h	TPU0	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 8113h	TPU0	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 8114h	TPU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8115h	TPU0	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8116h	TPU0	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8118h	TPU0	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 811Ah	TPU0	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 811Ch	TPU0	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 811Eh	TPU0	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 8120h	TPU1	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8124h	TPU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8134h	TPU2	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 8144h	TPU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (12 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8154h	TPU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8164h	TPU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 8170h	TPU (ユニット1)	タイマスタートレジスタ	TSTRB	8	8	2~3PCLK (注7)
0008 8171h	TPU (ユニット1)	タイマシンクロレジスタ	TSYRB	8	8	2~3PCLK (注7)
0008 8180h	TPU6	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8181h	TPU6	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8182h	TPU6	タイマI/OコントロールレジスタH	TIORH	8	8	2~3PCLK (注7)
0008 8183h	TPU6	タイマI/OコントロールレジスタL	TIORL	8	8	2~3PCLK (注7)
0008 8184h	TPU6	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8185h	TPU6	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8186h	TPU6	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8188h	TPU6	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 818Ah	TPU6	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 818Ch	TPU6	タイマジェネラルレジスタC	TGRC	16	16	2~3PCLK (注7)
0008 818Eh	TPU6	タイマジェネラルレジスタD	TGRD	16	16	2~3PCLK (注7)
0008 8190h	TPU7	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8191h	TPU7	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 8192h	TPU7	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 8194h	TPU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 8195h	TPU7	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 8196h	TPU7	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 8198h	TPU7	タイマジェネラルレジスタA	TGRA	16	16	2~3PCLK (注7)
0008 819Ah	TPU7	タイマジェネラルレジスタB	TGRB	16	16	2~3PCLK (注7)
0008 81A0h	TPU8	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81A1h	TPU8	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81A2h	TPU8	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 81A4h	TPU8	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81A5h	TPU8	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81A6h	TPU8	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (13 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 81A8h	TPU8	タイマジェネラルレジスタ A	TGRA	16	16	2~3PCLK (注7)
0008 81AAh	TPU8	タイマジェネラルレジスタ B	TGRB	16	16	2~3PCLK (注7)
0008 81B0h	TPU9	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81B1h	TPU9	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81B2h	TPU9	タイマI/Oコントロールレジスタ H	TIORH	8	8	2~3PCLK (注7)
0008 81B3h	TPU9	タイマI/Oコントロールレジスタ L	TIORL	8	8	2~3PCLK (注7)
0008 81B4h	TPU9	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81B5h	TPU9	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81B6h	TPU9	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 81B8h	TPU9	タイマジェネラルレジスタ A	TGRA	16	16	2~3PCLK (注7)
0008 81BAh	TPU9	タイマジェネラルレジスタ B	TGRB	16	16	2~3PCLK (注7)
0008 81BCh	TPU9	タイマジェネラルレジスタ C	TGRC	16	16	2~3PCLK (注7)
0008 81BEh	TPU9	タイマジェネラルレジスタ D	TGRD	16	16	2~3PCLK (注7)
0008 81C0h	TPU10	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81C1h	TPU10	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81C2h	TPU10	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 81C4h	TPU10	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81C5h	TPU10	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81C6h	TPU10	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 81C8h	TPU10	タイマジェネラルレジスタ A	TGRA	16	16	2~3PCLK (注7)
0008 81CAh	TPU10	タイマジェネラルレジスタ B	TGRB	16	16	2~3PCLK (注7)
0008 81D0h	TPU11	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 81D1h	TPU11	タイマモードレジスタ	TMDR	8	8	2~3PCLK (注7)
0008 81D2h	TPU11	タイマI/Oコントロールレジスタ	TIOR	8	8	2~3PCLK (注7)
0008 81D4h	TPU11	タイマインタラプトイネーブルレジスタ	TIER	8	8	2~3PCLK (注7)
0008 81D5h	TPU11	タイマステータスレジスタ	TSR	8	8	2~3PCLK (注7)
0008 81D6h	TPU11	タイマカウンタ	TCNT	16	16	2~3PCLK (注7)
0008 81D8h	TPU11	タイマジェネラルレジスタ A	TGRA	16	16	2~3PCLK (注7)
0008 81DAh	TPU11	タイマジェネラルレジスタ B	TGRB	16	16	2~3PCLK (注7)
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2~3PCLK (注7)
0008 81E8h	PPG0	ネクストデータイネーブルレジスタ H	NDERH	8	8	2~3PCLK (注7)
0008 81E9h	PPG0	ネクストデータイネーブルレジスタ L	NDERL	8	8	2~3PCLK (注7)
0008 81EAh	PPG0	アウトプットデータレジスタ H	PODRH	8	8	2~3PCLK (注7)
0008 81EBh	PPG0	アウトプットデータレジスタ L	PODRL	8	8	2~3PCLK (注7)
0008 81ECh (注1)	PPG0	ネクストデータレジスタ H	NDRH	8	8	2~3PCLK (注7)
0008 81EDh (注2)	PPG0	ネクストデータレジスタ L	NDRL	8	8	2~3PCLK (注7)
0008 81EEh (注1)	PPG0	ネクストデータレジスタ H	NDRH	8	8	2~3PCLK (注7)
0008 81EFh (注2)	PPG0	ネクストデータレジスタ L	NDRL	8	8	2~3PCLK (注7)
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2~3PCLK (注7)
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2~3PCLK (注7)
0008 81F8h	PPG1	ネクストデータイネーブルレジスタ H	NDERH	8	8	2~3PCLK (注7)
0008 81F9h	PPG1	ネクストデータイネーブルレジスタ L	NDERL	8	8	2~3PCLK (注7)
0008 81FAh	PPG1	アウトプットデータレジスタ H	PODRH	8	8	2~3PCLK (注7)
0008 81FBh	PPG1	アウトプットデータレジスタ L	PODRL	8	8	2~3PCLK (注7)
0008 81FCh (注3)	PPG1	ネクストデータレジスタ H	NDRH	8	8	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (14 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 81FDh (注4)	PPG1	ネクストデータレジスタL	NDRL	8	8	2~3PCLK (注7)
0008 81FEh (注3)	PPG1	ネクストデータレジスタH	NDRH	8	8	2~3PCLK (注7)
0008 81FFh (注4)	PPG1	ネクストデータレジスタL	NDRL	8	8	2~3PCLK (注7)
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8または16	2~3PCLK (注7)
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8または16 (注5)	2~3PCLK (注7)
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8または16	2~3PCLK (注7)
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8または16 (注5)	2~3PCLK (注7)
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8または16	2~3PCLK (注7)
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8または16 (注5)	2~3PCLK (注7)
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2~3PCLK (注7)
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2~3PCLK (注7)
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8または16	2~3PCLK (注7)
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8または16 (注5)	2~3PCLK (注7)
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8または16	2~3PCLK (注7)
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8または16 (注5)	2~3PCLK (注7)
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8または16	2~3PCLK (注7)
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8または16 (注5)	2~3PCLK (注7)
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8または16	2~3PCLK (注7)
0008 8240h	SCI0	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8241h	SCI0	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8242h	SCI0	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8243h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 8244h	SCI0	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8245h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8246h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8247h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8248h	SCI1	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8249h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 824Ah	SCI1	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 824Bh	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 824Ch	SCI1	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 824Dh	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 824Eh	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 824Fh	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8250h	SCI2	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8251h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8252h	SCI2	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8253h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (15 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8254h	SCI2	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8255h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8256h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8257h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8258h	SCI3	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8259h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 825Ah	SCI3	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 825Bh	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 825Ch	SCI3	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 825Dh	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 825Eh	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 825Fh	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8260h	SCI4	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8261h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8262h	SCI4	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8263h	SCI4	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 8264h	SCI4	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8265h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8266h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8267h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8268h	SCI5	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8269h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 826Ah	SCI5	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 826Bh	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 826Ch	SCI5	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 826Dh	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 826Eh	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 826Fh	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8270h	SCI6	シリアルモードレジスタ	SMR (注6)	8	8	2~3PCLK (注7)
0008 8271h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLK (注7)
0008 8272h	SCI6	シリアルコントロールレジスタ	SCR (注6)	8	8	2~3PCLK (注7)
0008 8273h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLK (注7)
0008 8274h	SCI6	シリアルステータスレジスタ	SSR (注6)	8	8	2~3PCLK (注7)
0008 8275h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLK (注7)
0008 8276h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLK (注7)
0008 8277h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLK (注7)
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2~3PCLK (注7)
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2~3PCLK (注7)
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2~3PCLK (注7)
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2~3PCLK (注7)
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2~3PCLK (注7)
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2~3PCLK (注7)
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2~3PCLK (注7)
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2~3PCLK (注7)
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLK (注7)
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLK (注7)
0008 8307h	RIIC0	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (16 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8308h	RIIC0	I ² Cバスステータスレジスタ 1	ICSR1	8	8	2~3PCLK (注7)
0008 8309h	RIIC0	I ² Cバスステータスレジスタ 2	ICSR2	8	8	2~3PCLK (注7)
0008 830Ah	RIIC0	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLK (注7)
0008 830Ah	RIIC0	タイムアウト内部カウンタ L	TMOCNTL	16	16	2~3PCLK (注7)
0008 830Bh	RIIC0	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLK (注7)
0008 830Bh	RIIC0	タイムアウト内部カウンタ U	TMOCNTU	16	16	2~3PCLK (注7)
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLK (注7)
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLK (注7)
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLK (注7)
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLK (注7)
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLK (注7)
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLK (注7)
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLK (注7)
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLK (注7)
0008 8320h	RIIC1	I ² Cバスコントロールレジスタ 1	ICCR1	8	8	2~3PCLK (注7)
0008 8321h	RIIC1	I ² Cバスコントロールレジスタ 2	ICCR2	8	8	2~3PCLK (注7)
0008 8322h	RIIC1	I ² Cバスモードレジスタ 1	ICMR1	8	8	2~3PCLK (注7)
0008 8323h	RIIC1	I ² Cバスモードレジスタ 2	ICMR2	8	8	2~3PCLK (注7)
0008 8324h	RIIC1	I ² Cバスモードレジスタ 3	ICMR3	8	8	2~3PCLK (注7)
0008 8325h	RIIC1	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2~3PCLK (注7)
0008 8326h	RIIC1	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2~3PCLK (注7)
0008 8327h	RIIC1	I ² Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2~3PCLK (注7)
0008 8328h	RIIC1	I ² Cバスステータスレジスタ 1	ICSR1	8	8	2~3PCLK (注7)
0008 8329h	RIIC1	I ² Cバスステータスレジスタ 2	ICSR2	8	8	2~3PCLK (注7)
0008 832Ah	RIIC1	スレーブアドレスレジスタ L0	SARL0	8	8	2~3PCLK (注7)
0008 832Ah	RIIC1	タイムアウト内部カウンタ L	TMOCNTL	16	16	2~3PCLK (注7)
0008 832Bh	RIIC1	スレーブアドレスレジスタ U0	SARU0	8	8	2~3PCLK (注7)
0008 832Bh	RIIC1	タイムアウト内部カウンタ U	TMOCNTU	16	16	2~3PCLK (注7)
0008 832Ch	RIIC1	スレーブアドレスレジスタ L1	SARL1	8	8	2~3PCLK (注7)
0008 832Dh	RIIC1	スレーブアドレスレジスタ U1	SARU1	8	8	2~3PCLK (注7)
0008 832Eh	RIIC1	スレーブアドレスレジスタ L2	SARL2	8	8	2~3PCLK (注7)
0008 832Fh	RIIC1	スレーブアドレスレジスタ U2	SARU2	8	8	2~3PCLK (注7)
0008 8330h	RIIC1	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2~3PCLK (注7)
0008 8331h	RIIC1	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2~3PCLK (注7)
0008 8332h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8	2~3PCLK (注7)
0008 8333h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8	2~3PCLK (注7)
0008 C000h	P0	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C001h	P1	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C002h	P2	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C003h	P3	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C004h	P4	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C005h	P5	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C006h	P6	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C007h	P7	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C008h	P8	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C009h	P9	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Ah	PA	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (17 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C00Bh	PB	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Ch	PC	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Dh	PD	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Eh	PE	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C00Fh	PF	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C010h	PG	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C011h	PH	データディレクションレジスタ	DDR	8	8	2~3PCLK (注7)
0008 C020h	P0	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C021h	P1	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C022h	P2	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C023h	P3	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C024h	P4	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C025h	P5	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C026h	P6	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C027h	P7	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C028h	P8	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C029h	P9	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Ah	PA	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Bh	PB	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Ch	PC	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Dh	PD	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Eh	PE	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C02Fh	PF	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C030h	PG	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C031h	PH	データレジスタ	DR	8	8	2~3PCLK (注7)
0008 C040h	P0	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C041h	P1	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C042h	P2	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C043h	P3	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C044h	P4	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C045h	P5	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C046h	P6	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C047h	P7	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C048h	P8	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C049h	P9	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Ah	PA	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Bh	PB	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Ch	PC	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Dh	PD	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Eh	PE	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C04Fh	PF	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C050h	PG	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C051h	PH	ポートレジスタ	PORT	8	8	2~3PCLK (注7)
0008 C060h	P0	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C061h	P1	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C062h	P2	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C063h	P3	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (18 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C064h	P4	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C065h	P5	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C066h	P6	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C067h	P7	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C068h	P8	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C069h	P9	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Ah	PA	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Bh	PB	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Ch	PC	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Dh	PD	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Eh	PE	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C06Fh	PF	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C070h	PG	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C071h	PH	入力バッファコントロールレジスタ	ICR	8	8	2~3PCLK (注7)
0008 C082h	P2	オープンドレインコントロールレジスタ	ODR	8	8	2~3PCLK (注7)
0008 C08Ch	PC	オープンドレインコントロールレジスタ	ODR	8	8	2~3PCLK (注7)
0008 C0CAh	PA	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CBh	PB	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CCh	PC	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CDh	PD	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C0CEh	PE	ブルアップ抵抗コントロールレジスタ	PCR	8	8	2~3PCLK (注7)
0008 C100h	I/O PORT	ポートファンクションコントロールレジスタ0	PFCR0	8	8	2~3PCLK (注7)
0008 C101h	I/O PORT	ポートファンクションコントロールレジスタ1	PFCR1	8	8	2~3PCLK (注7)
0008 C102h	I/O PORT	ポートファンクションコントロールレジスタ2	PFCR2	8	8	2~3PCLK (注7)
0008 C103h	I/O PORT	ポートファンクションコントロールレジスタ3	PFCR3	8	8	2~3PCLK (注7)
0008 C104h	I/O PORT	ポートファンクションコントロールレジスタ4	PFCR4	8	8	2~3PCLK (注7)
0008 C105h	I/O PORT	ポートファンクションコントロールレジスタ5	PFCR5	8	8	2~3PCLK (注7)
0008 C106h	I/O PORT	ポートファンクションコントロールレジスタ6	PFCR6	8	8	2~3PCLK (注7)
0008 C107h	I/O PORT	ポートファンクションコントロールレジスタ7	PFCR7	8	8	2~3PCLK (注7)
0008 C108h	I/O PORT	ポートファンクションコントロールレジスタ8	PFCR8	8	8	2~3PCLK (注7)
0008 C109h	I/O PORT	ポートファンクションコントロールレジスタ9	PFCR9	8	8	2~3PCLK (注7)
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLK (注7)
0008 C281h	SYSTEM	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	8	4~5PCLK (注7)
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	8	8	4~5PCLK (注7)
0008 C283h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	8	4~5PCLK (注7)
0008 C284h	SYSTEM	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	8	4~5PCLK (注7)
0008 C285h	SYSTEM	リセットステータスレジスタ	RSTSR	8	8	4~5PCLK (注7)
0008 C289h	FLASH	フラッシュライト消去プロテクトレジスタ	FWEPOR	8	8	4~5PCLK (注7)
0008 C290h	SYSTEM	ディープスタンバイバックアップレジスタ0	DPSBKR0	8	8	4~5PCLK (注7)
0008 C291h	SYSTEM	ディープスタンバイバックアップレジスタ1	DPSBKR1	8	8	4~5PCLK (注7)
0008 C292h	SYSTEM	ディープスタンバイバックアップレジスタ2	DPSBKR2	8	8	4~5PCLK (注7)
0008 C293h	SYSTEM	ディープスタンバイバックアップレジスタ3	DPSBKR3	8	8	4~5PCLK (注7)
0008 C294h	SYSTEM	ディープスタンバイバックアップレジスタ4	DPSBKR4	8	8	4~5PCLK (注7)
0008 C295h	SYSTEM	ディープスタンバイバックアップレジスタ5	DPSBKR5	8	8	4~5PCLK (注7)
0008 C296h	SYSTEM	ディープスタンバイバックアップレジスタ6	DPSBKR6	8	8	4~5PCLK (注7)
0008 C297h	SYSTEM	ディープスタンバイバックアップレジスタ7	DPSBKR7	8	8	4~5PCLK (注7)
0008 C298h	SYSTEM	ディープスタンバイバックアップレジスタ8	DPSBKR8	8	8	4~5PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (19 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C299h	SYSTEM	ディープスタンバイバックアップレジスタ 9	DPSBKR9	8	8	4~5PCLK (注7)
0008 C29Ah	SYSTEM	ディープスタンバイバックアップレジスタ 10	DPSBKR10	8	8	4~5PCLK (注7)
0008 C29Bh	SYSTEM	ディープスタンバイバックアップレジスタ 11	DPSBKR11	8	8	4~5PCLK (注7)
0008 C29Ch	SYSTEM	ディープスタンバイバックアップレジスタ 12	DPSBKR12	8	8	4~5PCLK (注7)
0008 C29Dh	SYSTEM	ディープスタンバイバックアップレジスタ 13	DPSBKR13	8	8	4~5PCLK (注7)
0008 C29Eh	SYSTEM	ディープスタンバイバックアップレジスタ 14	DPSBKR14	8	8	4~5PCLK (注7)
0008 C29Fh	SYSTEM	ディープスタンバイバックアップレジスタ 15	DPSBKR15	8	8	4~5PCLK (注7)
0008 C2A0h	SYSTEM	ディープスタンバイバックアップレジスタ 16	DPSBKR16	8	8	4~5PCLK (注7)
0008 C2A1h	SYSTEM	ディープスタンバイバックアップレジスタ 17	DPSBKR17	8	8	4~5PCLK (注7)
0008 C2A2h	SYSTEM	ディープスタンバイバックアップレジスタ 18	DPSBKR18	8	8	4~5PCLK (注7)
0008 C2A3h	SYSTEM	ディープスタンバイバックアップレジスタ 19	DPSBKR19	8	8	4~5PCLK (注7)
0008 C2A4h	SYSTEM	ディープスタンバイバックアップレジスタ 20	DPSBKR20	8	8	4~5PCLK (注7)
0008 C2A5h	SYSTEM	ディープスタンバイバックアップレジスタ 21	DPSBKR21	8	8	4~5PCLK (注7)
0008 C2A6h	SYSTEM	ディープスタンバイバックアップレジスタ 22	DPSBKR22	8	8	4~5PCLK (注7)
0008 C2A7h	SYSTEM	ディープスタンバイバックアップレジスタ 23	DPSBKR23	8	8	4~5PCLK (注7)
0008 C2A8h	SYSTEM	ディープスタンバイバックアップレジスタ 24	DPSBKR24	8	8	4~5PCLK (注7)
0008 C2A9h	SYSTEM	ディープスタンバイバックアップレジスタ 25	DPSBKR25	8	8	4~5PCLK (注7)
0008 C2AAh	SYSTEM	ディープスタンバイバックアップレジスタ 26	DPSBKR26	8	8	4~5PCLK (注7)
0008 C2ABh	SYSTEM	ディープスタンバイバックアップレジスタ 27	DPSBKR27	8	8	4~5PCLK (注7)
0008 C2ACh	SYSTEM	ディープスタンバイバックアップレジスタ 28	DPSBKR28	8	8	4~5PCLK (注7)
0008 C2ADh	SYSTEM	ディープスタンバイバックアップレジスタ 29	DPSBKR29	8	8	4~5PCLK (注7)
0008 C2AEh	SYSTEM	ディープスタンバイバックアップレジスタ 30	DPSBKR30	8	8	4~5PCLK (注7)
0008 C2AFh	SYSTEM	ディープスタンバイバックアップレジスタ 31	DPSBKR31	8	8	4~5PCLK (注7)
0008 C300h	ICU	IRQ検出許可レジスタ 0	IRQER0	8	8	2~3PCLK (注7)
0008 C301h	ICU	IRQ検出許可レジスタ 1	IRQER1	8	8	2~3PCLK (注7)
0008 C302h	ICU	IRQ検出許可レジスタ 2	IRQER2	8	8	2~3PCLK (注7)
0008 C303h	ICU	IRQ検出許可レジスタ 3	IRQER3	8	8	2~3PCLK (注7)
0008 C304h	ICU	IRQ検出許可レジスタ 4	IRQER4	8	8	2~3PCLK (注7)
0008 C305h	ICU	IRQ検出許可レジスタ 5	IRQER5	8	8	2~3PCLK (注7)
0008 C306h	ICU	IRQ検出許可レジスタ 6	IRQER6	8	8	2~3PCLK (注7)
0008 C307h	ICU	IRQ検出許可レジスタ 7	IRQER7	8	8	2~3PCLK (注7)
0008 C308h	ICU	IRQ検出許可レジスタ 8	IRQER8	8	8	2~3PCLK (注7)
0008 C309h	ICU	IRQ検出許可レジスタ 9	IRQER9	8	8	2~3PCLK (注7)
0008 C30Ah	ICU	IRQ検出許可レジスタ 10	IRQER10	8	8	2~3PCLK (注7)
0008 C30Bh	ICU	IRQ検出許可レジスタ 11	IRQER11	8	8	2~3PCLK (注7)
0008 C30Ch	ICU	IRQ検出許可レジスタ 12	IRQER12	8	8	2~3PCLK (注7)
0008 C30Dh	ICU	IRQ検出許可レジスタ 13	IRQER13	8	8	2~3PCLK (注7)
0008 C30Eh	ICU	IRQ検出許可レジスタ 14	IRQER14	8	8	2~3PCLK (注7)
0008 C30Fh	ICU	IRQ検出許可レジスタ 15	IRQER15	8	8	2~3PCLK (注7)
0008 C320h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2~3PCLK (注7)
0008 C321h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2~3PCLK (注7)
0008 C322h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2~3PCLK (注7)
0008 C323h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2~3PCLK (注7)
0008 C324h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2~3PCLK (注7)
0008 C325h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2~3PCLK (注7)
0008 C326h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2~3PCLK (注7)
0008 C327h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2~3PCLK (注7)

表 4.1 I/O レジスタアドレス一覧 (20 / 20)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C328h	ICU	IRQコントロールレジスタ 8	IRQCR8	8	8	2~3PCLK (注7)
0008 C329h	ICU	IRQコントロールレジスタ 9	IRQCR9	8	8	2~3PCLK (注7)
0008 C32Ah	ICU	IRQコントロールレジスタ 10	IRQCR10	8	8	2~3PCLK (注7)
0008 C32Bh	ICU	IRQコントロールレジスタ 11	IRQCR11	8	8	2~3PCLK (注7)
0008 C32Ch	ICU	IRQコントロールレジスタ 12	IRQCR12	8	8	2~3PCLK (注7)
0008 C32Dh	ICU	IRQコントロールレジスタ 13	IRQCR13	8	8	2~3PCLK (注7)
0008 C32Eh	ICU	IRQコントロールレジスタ 14	IRQCR14	8	8	2~3PCLK (注7)
0008 C32Fh	ICU	IRQコントロールレジスタ 15	IRQCR15	8	8	2~3PCLK (注7)
0008 C340h	ICU	ソフトウェアスタンバイ解除IRQイネーブル レジスタ	SSIER	16	16	2~3PCLK (注7)
0008 C350h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2~3PCLK (注7)
0008 C351h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2~3PCLK (注7)
0008 C352h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2~3PCLK (注7)
0008 C353h	ICU	ノンマスカブル割り込みクリアレジスタ	NMICLR	8	8	2~3PCLK (注7)
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2~3PCLK (注7)
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2~3PCLK (注7)
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2~3PCLK (注7)
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2~3PCLK (注7)
007F C440h	FLASH	データフラッシュ読み出し許可レジスタ	DFLRE	16	16	2~3PCLK (注7)
007F C450h	FLASH	データフラッシュ書き込み/消去許可レジスタ	DFLWE	16	16	2~3PCLK (注7)
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2~3PCLK (注7)
007F FFB0h	FLASH	フラッシュステータスレジスタ 0	FSTATR0	8	8	2~3PCLK (注7)
007F FFB1h	FLASH	フラッシュステータスレジスタ 1	FSTATR1	8	8	2~3PCLK (注7)
007F FFB2h	FLASH	フラッシュ P/E モードエントリーレジスタ	FENTRYR	16	16	2~3PCLK (注7)
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2~3PCLK (注7)
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2~3PCLK (注7)
007F FFBAh	FLASH	FCU コマンドレジスタ	FCMDR	16	16	2~3PCLK (注7)
007F FFC8h	FLASH	FCU 処理切り替えレジスタ	FCPSR	16	16	2~3PCLK (注7)
007F FFCAh	FLASH	データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2~3PCLK (注7)
007F FFCCh	FLASH	フラッシュ P/E ステータスレジスタ	FPSTAT	16	16	2~3PCLK (注7)
007F FFCeh	FLASH	データフラッシュブランクチェックステータス レジスタ	DFLBCSTAT	16	16	2~3PCLK (注7)
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2~3PCLK (注7)

- 注 1. PPG0.PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガ設定値が同一の場合は、PPG0.NDRH のアドレスは 000881ECh となります。出力トリガが異なる場合は、パルス出力グループ 2 に対応する PPG0.NDRH のアドレスは 000881EEh、出力グループ 3 に対応する PPG0.NDRH は 000881ECh となります。
- 注 2. PPG0.PCR の設定により、パルス出力グループ 0 とパルス出力グループ 1 の出力トリガ設定値が同一の場合は、PPG0.NDRL のアドレスは 000881EDh となります。出力トリガが異なる場合は、パルス出力グループ 0 に対応する PPG0.NDRL のアドレスは 000881EFh、出力グループ 1 に対応する PPG0.NDRL は 000881EDh となります。
- 注 3. PPG1.PCR の設定により、パルス出力グループ 6 とパルス出力グループ 7 の出力トリガ設定値が同一の場合は、PPG1.NDRH のアドレスは 000881FCh となります。出力トリガが異なる場合は、パルス出力グループ 6 に対応する PPG1.NDRH のアドレスは 000881FEh、出力グループ 7 に対応する PPG1.NDRH は 000881FCh となります。
- 注 4. PPG1.PCR の設定により、パルス出力グループ 4 とパルス出力グループ 5 の出力トリガ設定値が同一の場合は、PPG1.NDRL のアドレスは 000881FDh となります。出力トリガが異なる場合は、パルス出力グループ 4 に対応する PPG1.NDRL のアドレスは 000881FFh、出力グループ 5 に対応する PPG1.NDRL は 000881FDh となります。
- 注 5. 奇数アドレスへの 16 ビットアクセスはできません。レジスタを 16 ビットアクセスする場合は、TMR0 または TMR2 のレジスタのアドレスへアクセスしてください。
- 注 6. シリアルコミュニケーションモードとスマートカードインタフェースモードで一部のビットの機能が異なります。
- 注 7. 分周クロック同期化サイクル (0~1PCLK) により変動します。
- 注 8. DMAC 動作中にレジスタアクセスを行った場合、51CLK となることがあります。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC} 、 $PLL V_{CC}$	$-0.3 \sim +4.6$	V
入力電圧 (ポート0、ポート14~17以外)	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V
入力電圧 (ポート0、ポート14~17 (注1))	V_{in}	$-0.3 \sim +6.5$	V
リファレンス電源電圧	V_{REFH}	$-0.3 \sim V_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC} (注2)	$-0.3 \sim +4.6$	V
アナログ入力電圧	V_{AN}	$-0.3 \sim V_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : $-20 \sim +85$	°C
		広温度範囲仕様品 : $-40 \sim +85$	
保存温度	T_{stg}	$-55 \sim +125$	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. ポート0、ポート14~17は、5Vトレラント対応です。

注2. AV_{CC} は、 V_{CC} に接続してください。また、A/DおよびD/Aコンバータ未使用時に AV_{CC} 、 AV_{SS} 、 V_{REFH} 、 V_{REFL} 端子を開放しないでください。 AV_{CC} 、 V_{REFH} 端子は V_{CC} に、 AV_{SS} 、 V_{REFL} 端子は V_{SS} にそれぞれ接続してください。

5.2 DC 特性

表5.2 DC特性 (1)

条件: $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{REFH} = 3.0V \sim AV_{CC}$, $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$

Ta = -20 ~ +85 °C (通常仕様品)、Ta = -40 ~ +85 °C (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	IRQ入力端子 (注1)	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	
	TPU入力端子 (注1)	V_{IL}	-0.3	—	$V_{CC} \times 0.2$		
	TMR入力端子 (注1)	ΔV_T	$V_{CC} \times 0.06$	—	—		
	SCI入力端子 (注1)						
	ADTRG#入力端子 (注1)						
	RES#, NMI						
	RIIC入力端子	V_{IH}	$V_{CC} \times 0.7$	—	5.8		
		V_{IL}	-0.3	—	$V_{CC} \times 0.3$		
		ΔV_T	$V_{CC} \times 0.05$	—	—		
	ポート0、ポート14~17 (注2)	V_{IH}	$V_{CC} \times 0.8$	—	5.8		
	V_{IL}	-0.3	—	$V_{CC} \times 0.2$			
ポート10~13、 ポート2~E(144ピンLQFP) ポート2~H(176ピンLFBGA) その他の入力端子	V_{IH}	$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$			
	V_{IL}	-0.3	—	$V_{CC} \times 0.2$			
入力Highレベル電圧 (シュミットトリガ 入力端子を除く)	MD端子、EMLE	V_{IH}	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$		
	D0~D15		$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$		
入力Lowレベル電圧 (シュミットトリガ入 力端子を除く)	MD端子、EMLE	V_{IL}	-0.3	—	$V_{CC} \times 0.1$	V	
	EXTAL		-0.3	—	$V_{CC} \times 0.2$		
	D0~D15		-0.3	—	$V_{CC} \times 0.3$		
出力Highレベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -1mA$
出力Lowレベル電圧	全出力端子 (RIIC端子を除く)	V_{OL}	—	—	0.5	V	$I_{OL} = 1.0mA$
	RIIC端子		—	—	0.4		$I_{OL} = 3.0mA$
			—	—	0.6		$I_{OL} = 6.0mA$
	RIIC端子 (P14, P15のチャンネル1 のみ)		—	—	0.4		$I_{OL} = 15mA$ (ICFER.FMPE=1)
			—	0.4	—		$I_{OL} = 20mA$ (ICFER.FMPE=1)
入力リーク電流	RES#, MD端子、EMLE、NMI	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, V_{CC}$
スリープステート リーク電流 (オフ状態)	ポート10~13、 ポート2~E(144ピンLQFP) ポート2~H(176ピンLFBGA)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V, V_{CC}$
	ポート0、ポート14~17		—	—	5.0		
入力プルアップ 抵抗電流	ポートA~E	$-I_p$	10	—	300	μA	$V_{CC} = 3.0 \sim 3.6V,$ $V_{in} = 0V$
入力容量	全入力端子 (ポート0、ポート14~17以外)	C_{in}	—	—	15	pF	$V_{in} = 0V,$ $f = 1MHz,$ $T_a = 25^\circ C$
	ポート0、ポート14~17		—	—	30		

表5.2 DC特性 (2)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目			記号	min	typ	max	単位	測定条件
消費電流 (注3)	動作時	最大動作 (注4)	I_{CC} (注5)	—	—	100	mA	ICLK=100MHz PCLK=50MHz BCLK=25MHz
		通常動作 (注6)		—	35	—		
		BGO動作 (注7) による増加分		—	15	—		
	スリープ時			—	18	52		
	全モジュールクロックストップ時 (注8)			—	14	28		
	スタンバイ時	ソフトウェアスタンバイ時		—	0.08	3.0		
		ディープ ソフトウェア スタンバイ時		RAM保持	—	15	200	μA
				RAM電源停止	—	0.9	26	
アナログ 電源電流	A/D変換中 (1ユニット当り)		AI_{CC}	—	0.8	1.2	mA	
	D/A変換中 (1ユニット当り)			—	0.3	1.0		
	A/D、D/A変換待機時 (全ユニット)			—	0.3	1.0		
リファレン ス電源電流	A/D変換中 (1ユニット当り)		AI_{CC}	—	0.06	0.1	mA	
	D/A変換中 (1チャンネル当り)			—	0.4	0.6		
	A/D、D/A変換待機時 (全ユニット)			—	0.3	1.0	μA	
RAMスタンバイ電圧			V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧 (注9)			$V_{CCSTART}$	—	—	0.8	V	
V_{CC} 立ち上がり勾配 (注9)			SV_{CC}	—	—	20	ms/V	

注1. 5Vトレラント対応のポート0とポート14~17で兼用している端子は該当しません。

注2. 兼用端子を含みます。ただし、ポート14~17のRIIC入力端子は除きます。

注3. 消費電流値はすべての出力端子を無負荷状態、すべての入力端子を $V_{IH}=V_{CC}$ 、 $V_{IL}=0V$ にして、さらに内蔵プルアップ抵抗をオフ状態にした場合の値です。

注4. 周辺機能はクロック供給状態。BGO動作は除きます。

注5. I_{CC} は下記の式にしたがって f (ICLK)に依存します。(ICLK:PCLK:BCLK=8:4:2) $I_{CC} \max = 0.89 \times f + 11$ (最大動作時) $I_{CC} \text{ typ} = 0.30 \times f + 5$ (通常動作時) $I_{CC} \max = 0.41 \times f + 11$ (スリープ時)

注6. 周辺機能はクロック供給停止状態。BGO動作は除きます。

注7. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。

注8. 参考値です。

注9. 電源投入時、RES#端子がLowレベルになっている条件で適用します。

表5.3 出力許容電流値

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	RIIC端子以外の出力端子	I_{OL}	—	—	2.0	mA
	RIIC端子 (ICFER.FMPE=0)	I_{OL}	—	—	6.0	mA
	RIIC端子 (ICFER.FMPE=1)	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流 (1端子あたりの尖頭値)	RIIC端子以外の出力端子	I_{OL}	—	—	4.0	mA
	RIIC端子 (ICFER.FMPE=0)	I_{OL}	—	—	6.0	mA
	RIIC端子 (ICFER.FMPE=1)	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流 (総和)	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力Highレベル許容電流 (1端子あたりの尖頭値)	全出力端子	$-I_{OH}$	—	—	4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	80	mA

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表5.3の値を超えないようにしてください。

5.3 AC 特性

表5.4 動作周波数

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f	8	—	100	MHz
	周辺モジュールクロック (PCLK)		8	—	50	
	外部バスクロック (BCLK)		8	—	25	

5.3.1 クロックタイミング

表5.5 クロックタイミング

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$
 $ICLK = 8 \sim 100MHz$ 、 $BCLK = 8 \sim 25MHz$ 、 $PCLK = 8 \sim 50MHz$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	40	125	ns	図 5.1
クロック High レベルパルス幅	t_{CH}	15	—	ns	
クロック Low レベルパルス幅	t_{CL}	15	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10	—	ms	図 5.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	10	—	ms	図 5.2
ディープソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC3}	10	—	ms	図 5.3
外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 5.4
外部クロック入力パルス幅 Low レベル	t_{EXL}	30.71	—	ns	図 5.5
外部クロック入力パルス幅 High レベル	t_{EXH}	30.71	—	ns	
外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
外部クロック立ち下がり時間	t_{EXf}	—	5	ns	

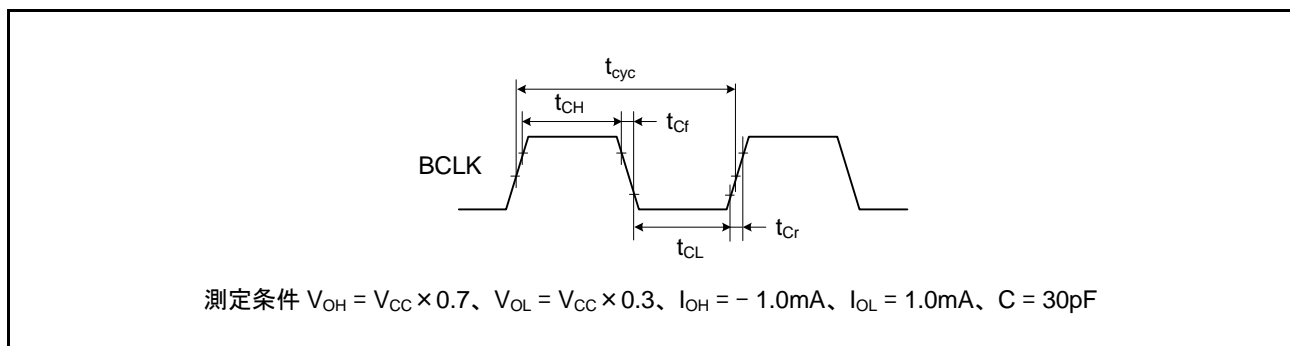


図 5.1 外部バスクロックタイミング

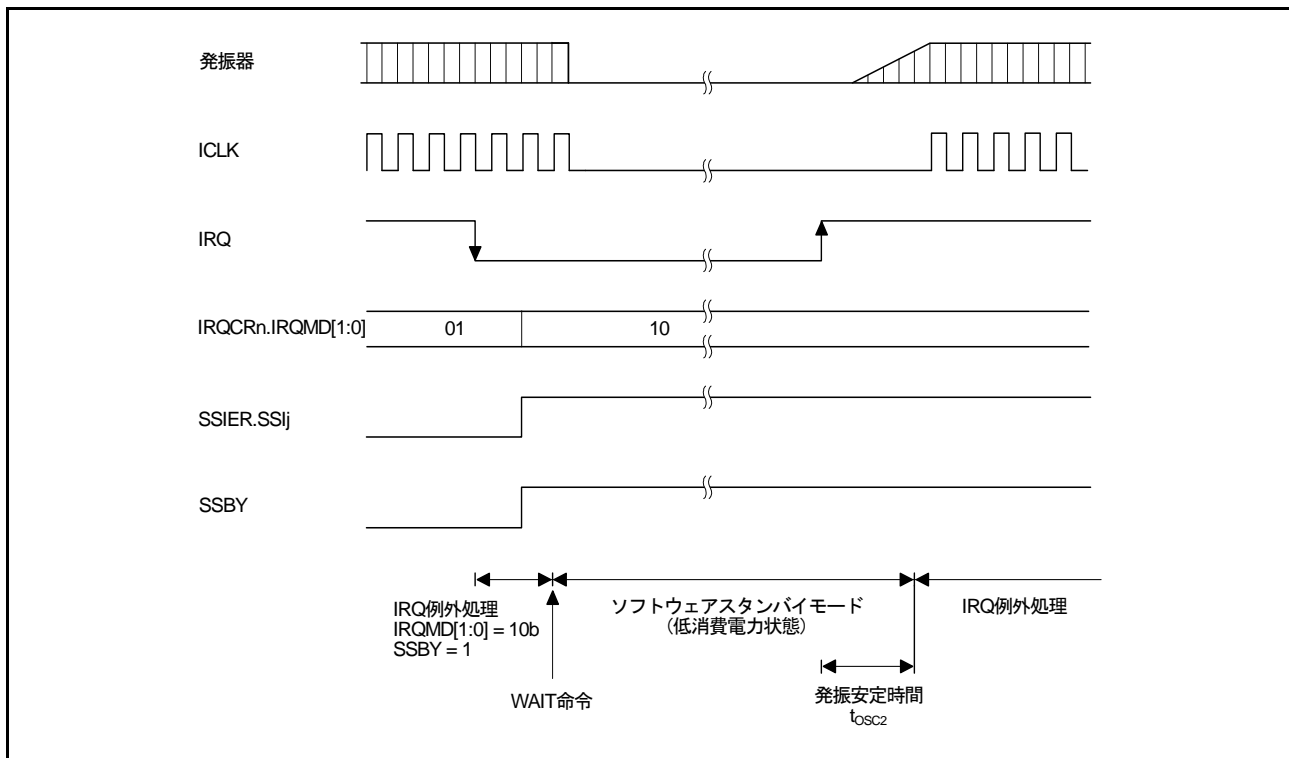


図 5.2 ソフトウェアスタンバイ発振安定時間タイミング

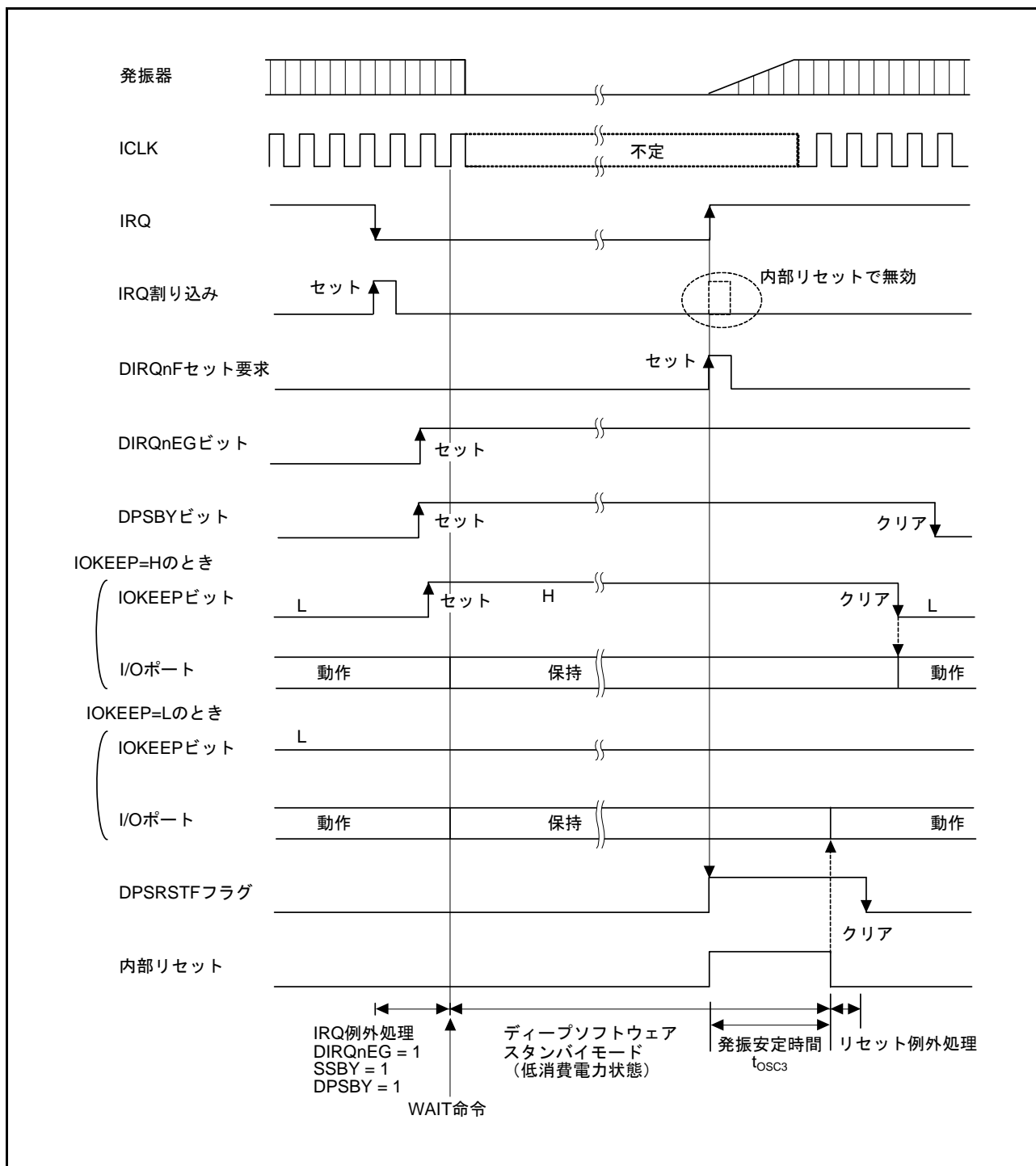


図 5.3 ディープソフトウェアスタンバイ発振安定時間タイミング

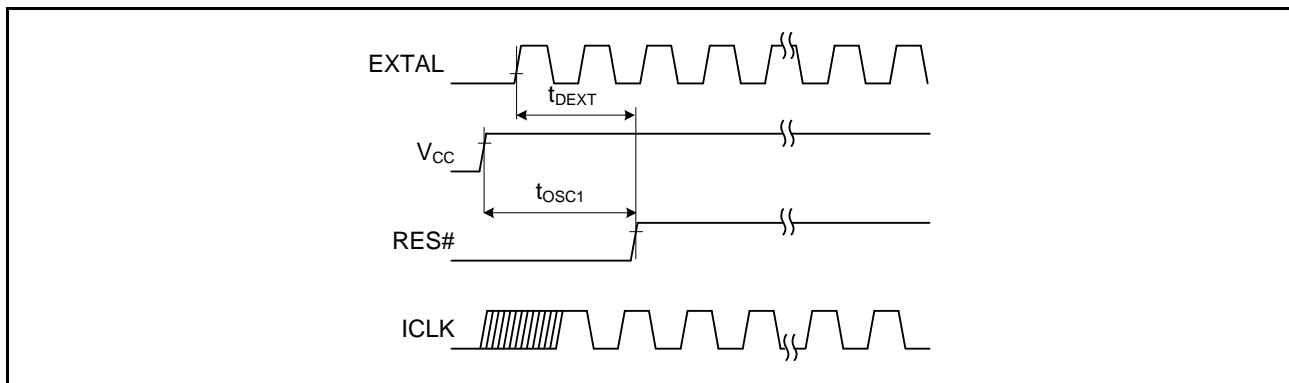


図 5.4 発振安定時間タイミング

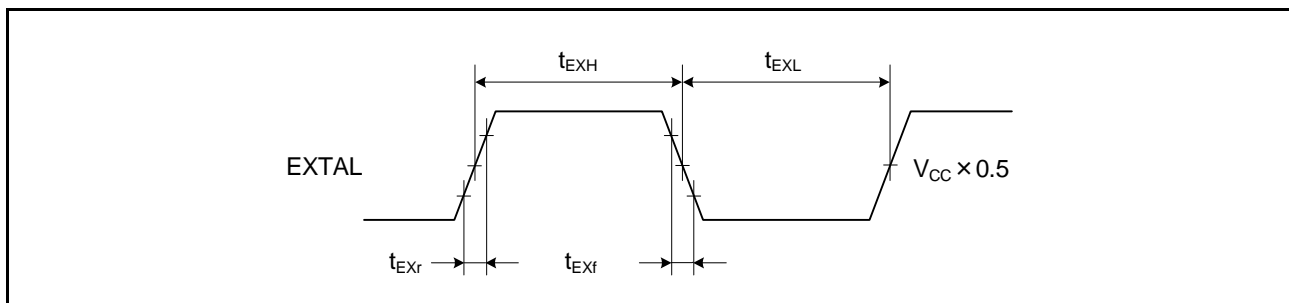


図 5.5 外部入力クロックタイミング

5.3.2 制御信号タイミング

表5.6 制御信号タイミング

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$

ICLK = 8 ~ 100MHz、BCLK = 8 ~ 25MHz

 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES#パルス幅 (ROM、データフラッシュ書き込み/消去を除く)	t_{RESW} (注1)	20	—	t_{cyc}	図5.6
		1.5	—	μs	
内部リセット時間 (ROM、データフラッシュ書き込み/消去中)	t_{RESW2} (注2)	35	—	μs	
NMIパルス幅	t_{NMIW}	200	—	ns	図5.7
IRQパルス幅	t_{IRQW}	200	—	ns	図5.8

注1. 時間とサイクル数の両規定を同時に満たす必要があります。

注2. 本項目は、FCUリセット、WDTリセットに対する規定となります。

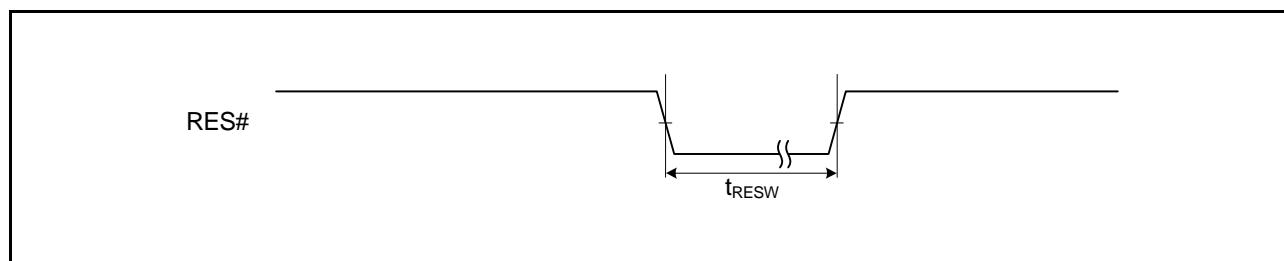


図5.6 リセット入力タイミング

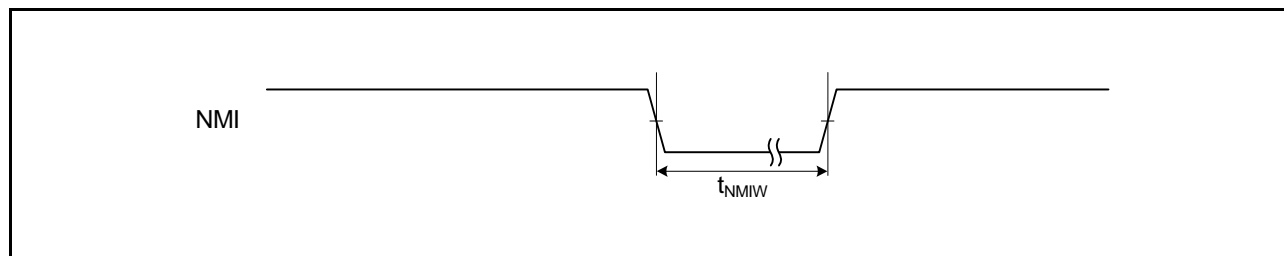


図5.7 NMI 割り込み入力タイミング

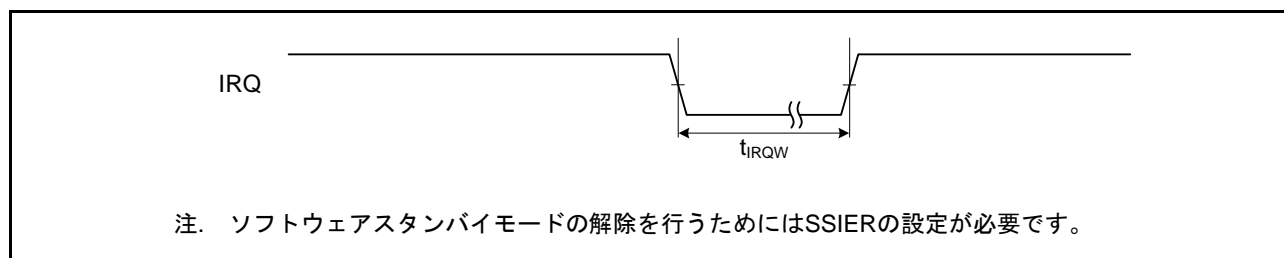


図5.8 IRQ 割り込み入力タイミング

5.3.3 バスタイミング

表5.7 バスタイミング

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $BCLK = 8 \sim 25MHz$

$T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	30	ns	図5.9～ 図5.12
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	20	ns	
RD#セットアップ時間	t_{RSS}	$0.5 \times (1/BCLK) - 20$	—	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	20	ns	
WR#セットアップ時間	t_{WRS}	$0.5 \times (1/BCLK) - 20$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	35	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図5.13
WAIT#ホールド時間	t_{WTH}	0	—	ns	

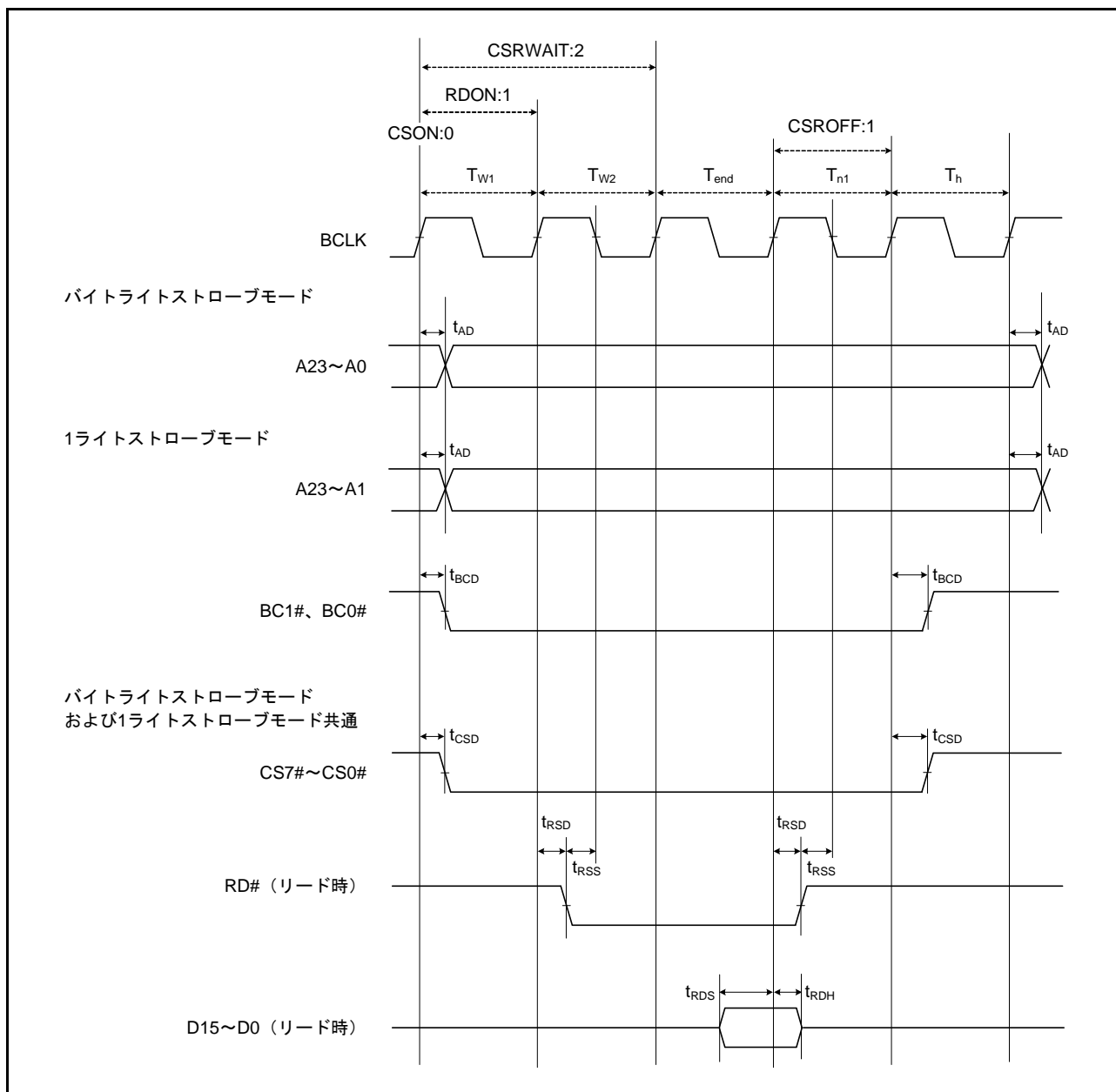


図 5.9 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

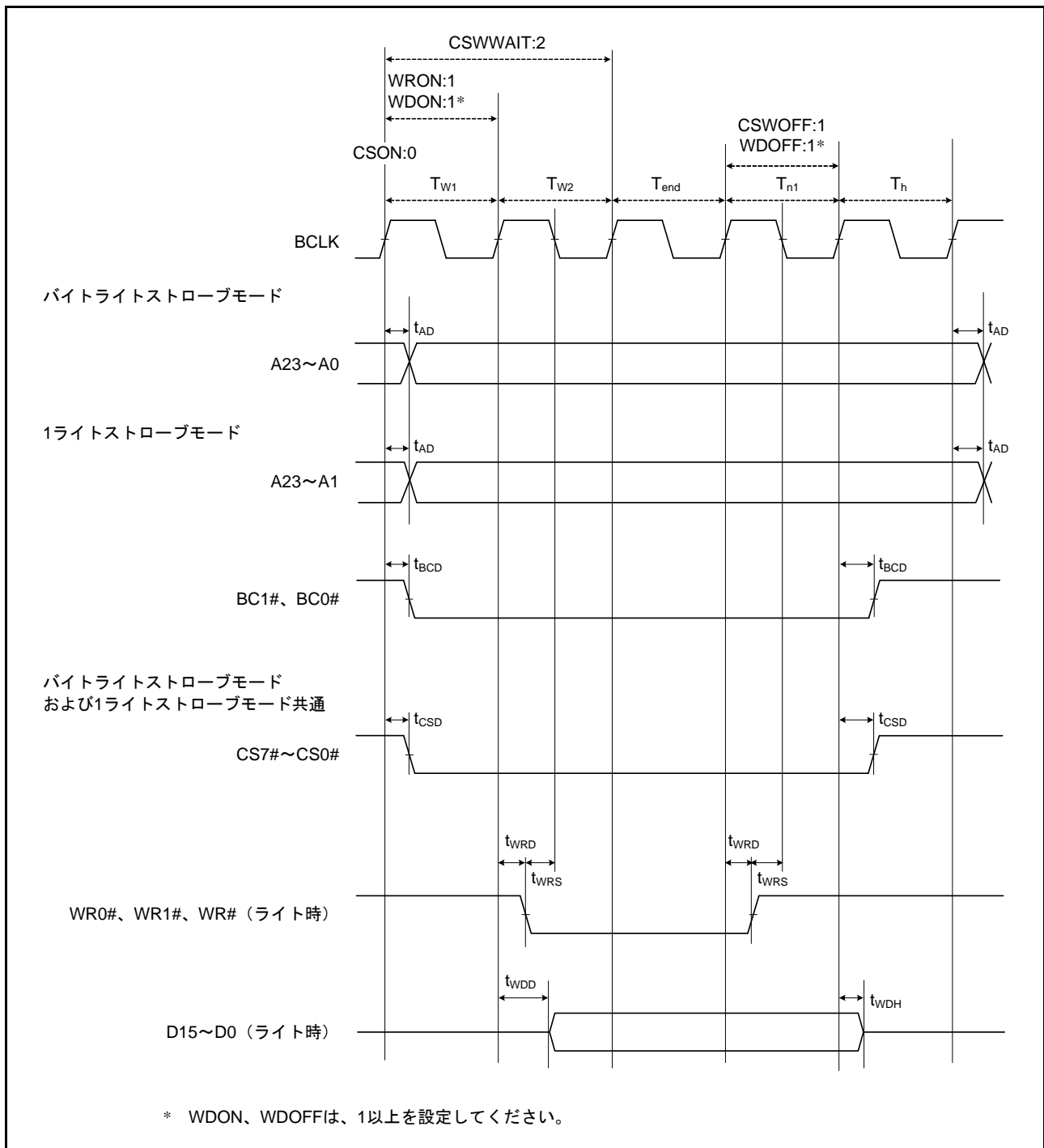


図 5.10 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

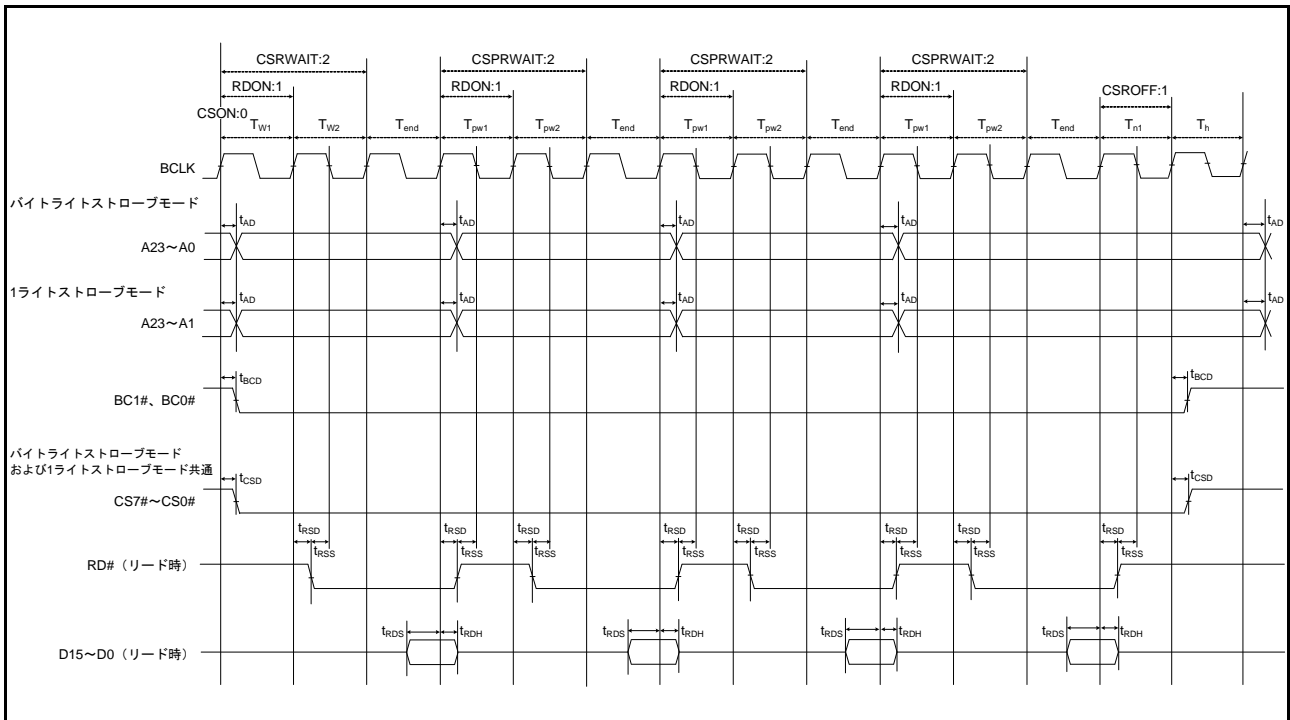


図 5.11 外部バスタイミング / ページリードサイクル (バスクロック同期)

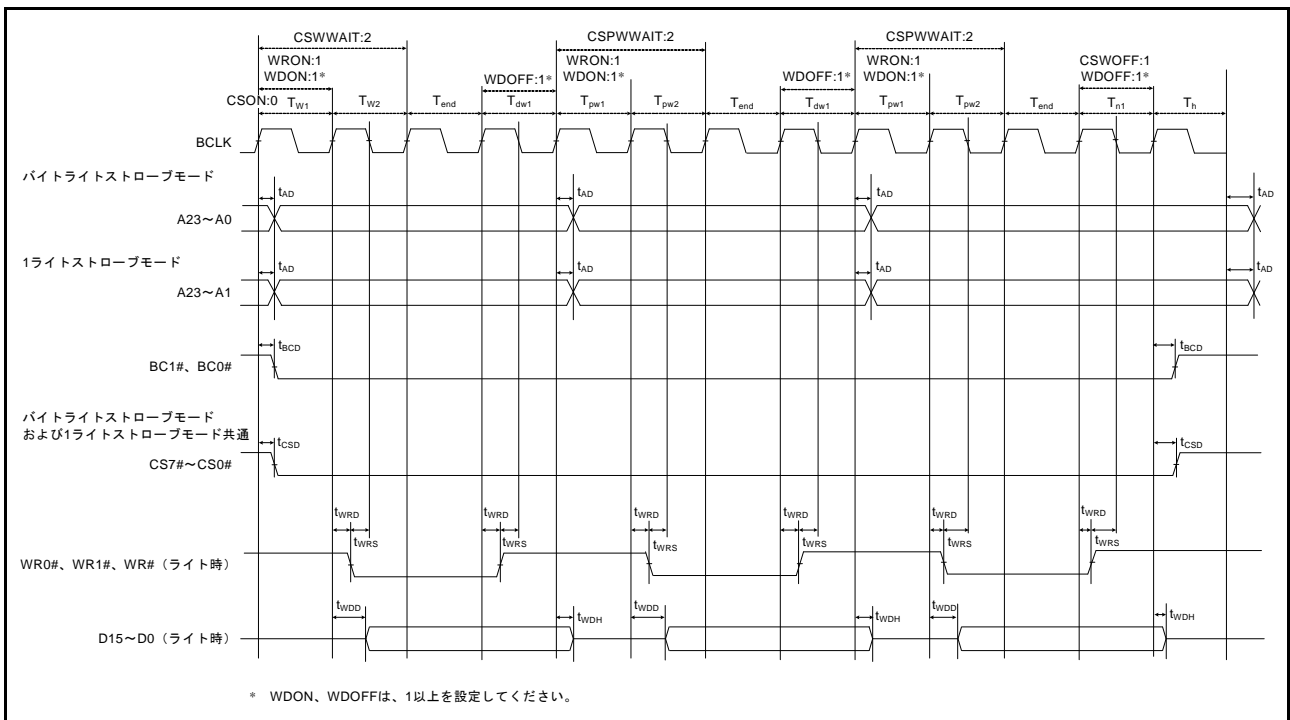


図 5.12 外部バスタイミング / ページライトサイクル (バスクロック同期)

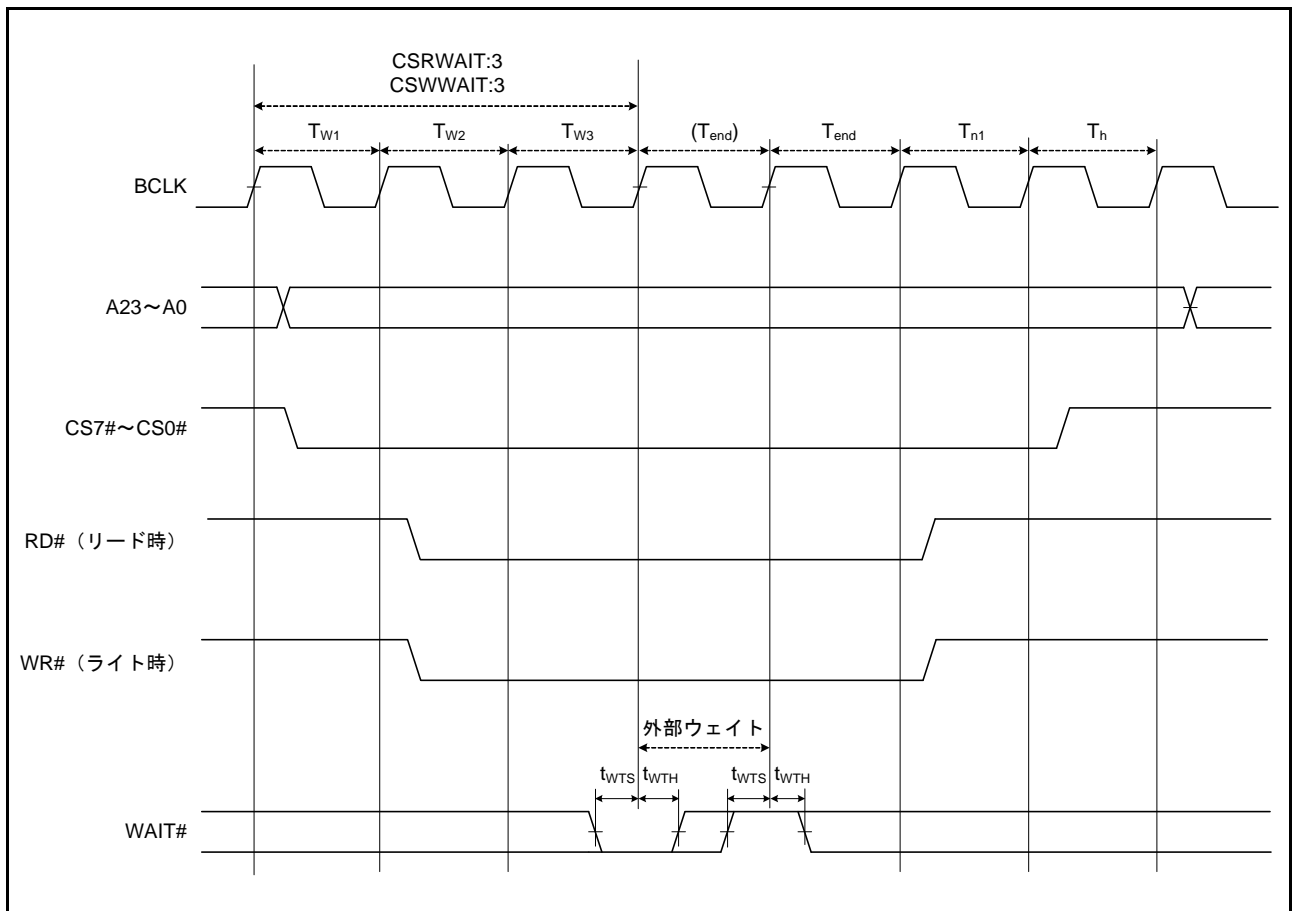


図 5.13 外部バスタイミング / 外部ウェイト制御

5.3.4 内蔵周辺モジュールタイミング

表5.8 内蔵周辺モジュールタイミング (1)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$ $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$ 、 $V_{OL} = V_{CC} \times 0.5$ 、 $I_{OH} = -1.0mA$ 、 $I_{OL} = 1.0mA$ 、 $C = 30pF$

項目		記号	min	max	単位	測定条件		
I/Oポート	出力データ遅延時間	t_{PWD}	—	40	ns	図5.14		
	入力データセットアップ時間	t_{PRS}	25	—	ns			
	入力データホールド時間	t_{PRH}	25	—	ns			
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図5.15		
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns			
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図5.16		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	$1.5 \times (1/PCLK)$	—		ns	
両エッジ指定		t_{TCKWL}	$2.5 \times (1/PCLK)$	—	ns			
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図5.17		
8ビットタイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図5.18		
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図5.19		
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図5.20		
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	$1.5 \times (1/PCLK)$	—	ns		
		両エッジ指定	t_{TMCWL}	$2.5 \times (1/PCLK)$	—	ns		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図5.21		
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	$4 \times (1/PCLK)$	—	ns	図5.22	
		クロック同期		$6 \times (1/PCLK)$	—			
	入力クロックパルス幅		t_{SCKW}	$0.4 \times t_{Scyc}$	$0.6 \times t_{Scyc}$	ns		
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期	t_{Scyc}	$4 \times (1/PCLK)$	—	ns		
		クロック同期		$6 \times (1/PCLK)$	—			
	出力クロックパルス幅		t_{SCKW}	$0.4 \times t_{Scyc}$	$0.6 \times t_{Scyc}$	ns		
	出力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	送信データ遅延時間		t_{TXD}	—	40	ns		図5.23
	受信データセットアップ時間 (クロック同期)		t_{RXS}	40	—	ns		
	受信データホールド時間 (クロック同期)		t_{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力セットアップ時間	t_{TRGS}	25	—	ns	図5.24		

表 5.8 内蔵周辺モジュールタイミング (2)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (Standard-mode) ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	$8(10) \times (1/PCLK) + 1300$	—	ns	図 5.25
	SCL入力Highパルス幅	t_{SCLH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$5 \times (1/PCLK) + 1000$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times (1/PCLK)$	ns	
	SDA入カバスフリー時間	t_{BUF}	$5 \times (1/PCLK) + 1000$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	$5 \times (1/PCLK) + 1000$	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	$3(5) \times (1/PCLK) + 300$	—	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode) ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	$8(10) \times (1/PCLK) + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$5 \times (1/PCLK) + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times (1/PCLK)$	ns	
	SDA入カバスフリー時間	t_{BUF}	$5 \times (1/PCLK) + 300$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$3(5) \times (1/PCLK) + 300$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	$5 \times (1/PCLK) + 300$	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	$3(5) \times (1/PCLK) + 300$	—	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (Fast-mode+) ICFER.FMPE=1	SCL入力サイクル時間	t_{SCL}	$8(10) \times (1/PCLK) + 240$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(5) \times (1/PCLK) + 120$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$5 \times (1/PCLK) + 120$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$4 \times (1/PCLK)$	ns	
	SDA入カバスフリー時間	t_{BUF}	$5 \times (1/PCLK) + 120$	—	ns	
	スタートコンディション入力ホールド時間	t_{STAH}	$3(5) \times (1/PCLK) + 120$	—	ns	
	リスタートコンディション入力セットアップ時間	t_{STAS}	$5 \times (1/PCLK) + 120$	—	ns	
	ストップコンディション入力セットアップ時間	t_{STOS}	$3(5) \times (1/PCLK) + 120$	—	ns	
	データ入力セットアップ時間	t_{SDAS}	50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表 5.8 内蔵周辺モジュールタイミング (3)

条件 : $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $T_a = -20 \sim +85 \text{ } ^\circ\text{C}$ (通常仕様品)、 $T_a = -40 \sim +85 \text{ } ^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	min (注1、注2)	max	単位	測定条件	
バウンダリスキャン (176ピンLFBGA)	TCKクロックサイクル時間	t_{TCKcyc}	100	—	ns	図 5.26
	TCKクロック High レベルパルス幅	t_{TCKH}	45	—	ns	
	TCKクロック Low レベルパルス幅	t_{TCKL}	45	—	ns	
	TCKクロック立ち上がり時間	t_{TCKr}	—	5	ns	
	TCKクロック立ち下がり時間	t_{TCKf}	—	5	ns	
	TRST#パルス幅	t_{TRSTW}	20	—	Tcyc	
TMSセットアップ時間	t_{TMSS}	20	—	ns	図 5.28	
TMSホールド時間	t_{TMSH}	20	—	ns		
TDIセットアップ時間	t_{TDIS}	20	—	ns		
TDIホールド時間	t_{TDIH}	20	—	ns		
TDOデータ遅延時間	t_{TDOD}	—	40	ns		

注1. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

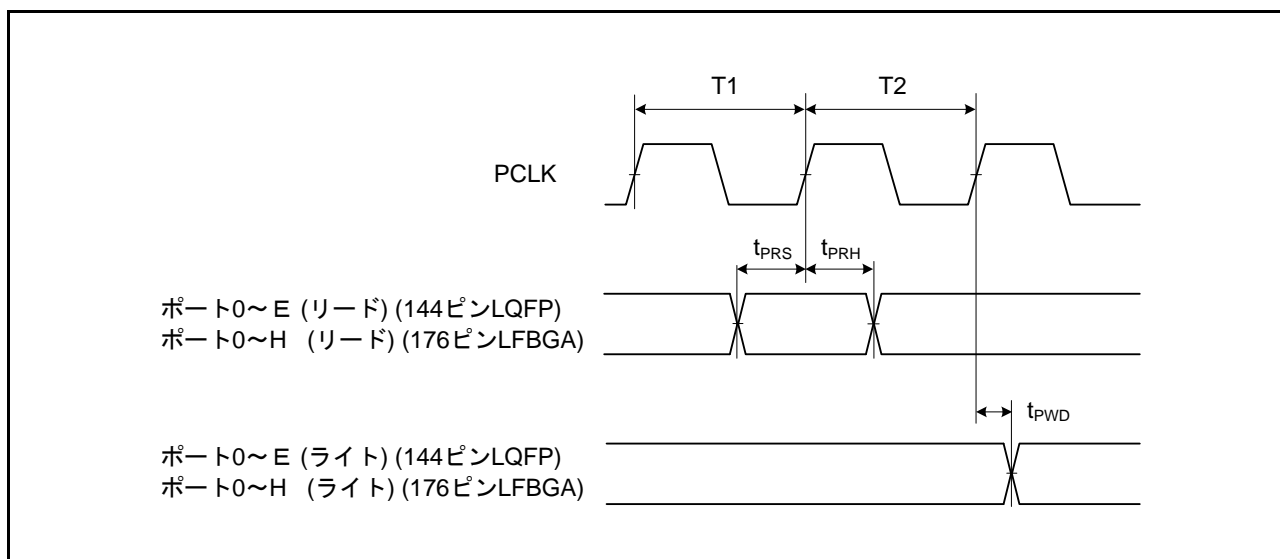
注2. C_b はバスラインの容量総計です。

図 5.14 I/O ポート入出力タイミング

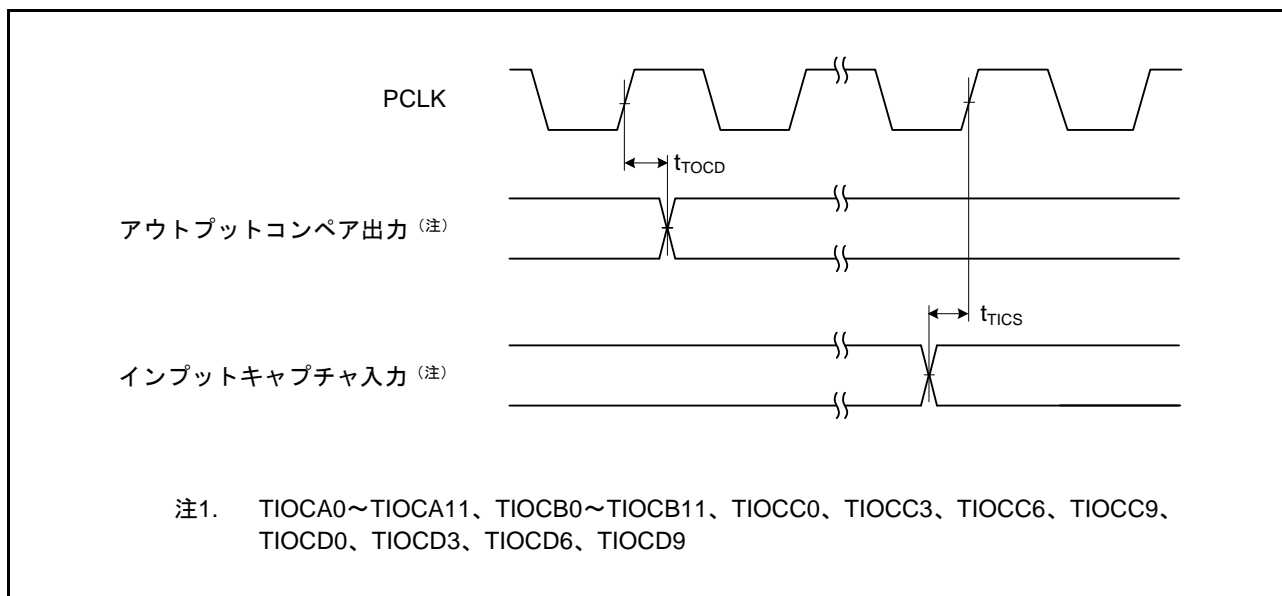


図 5.15 TPU 入出力タイミング

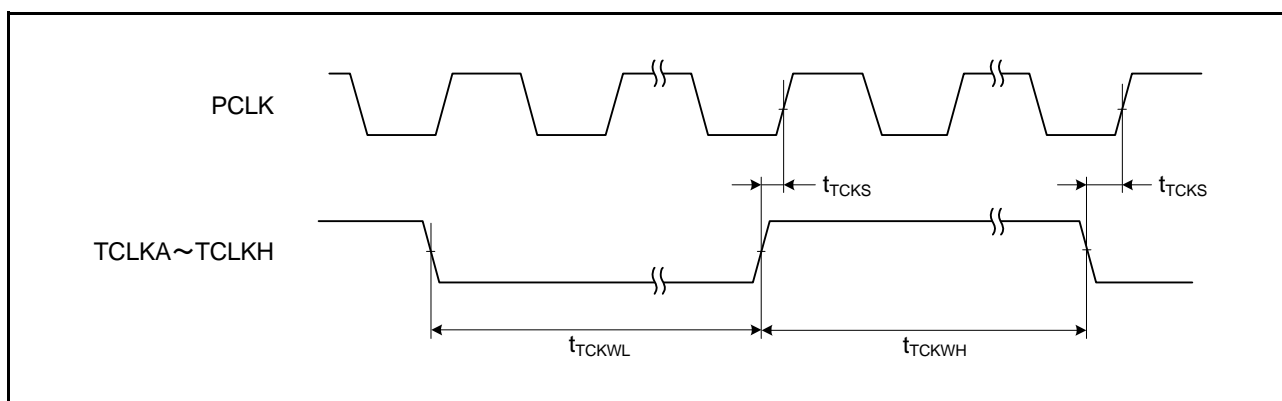


図 5.16 TPU クロック入力タイミング

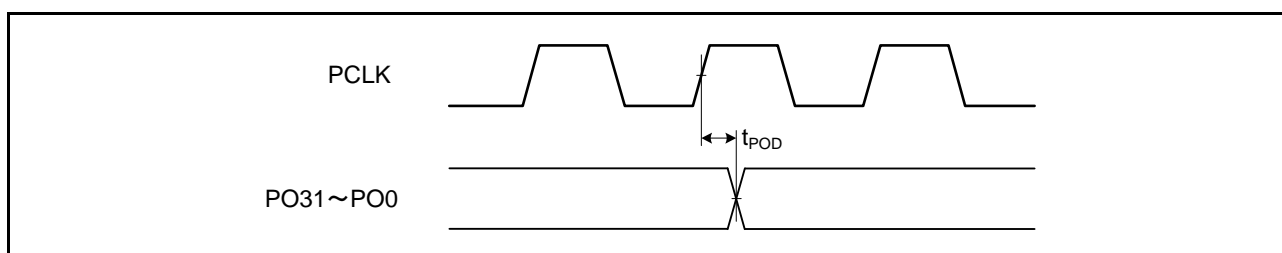


図 5.17 PPG 出力タイミング

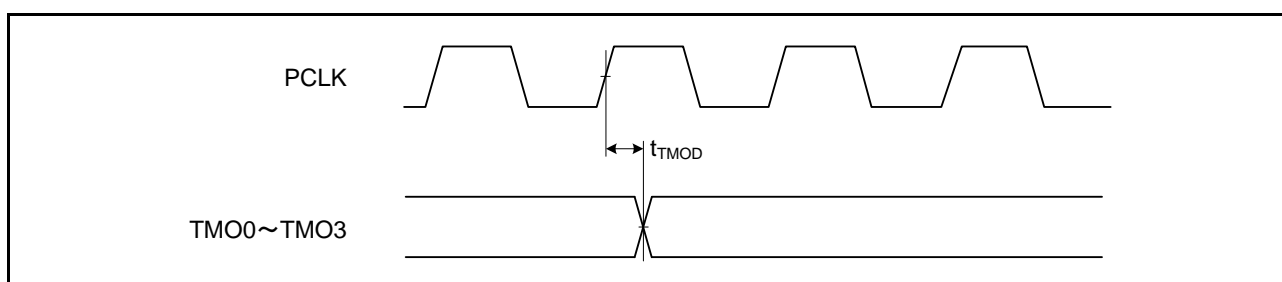


図 5.18 8 ビットタイマ出力タイミング

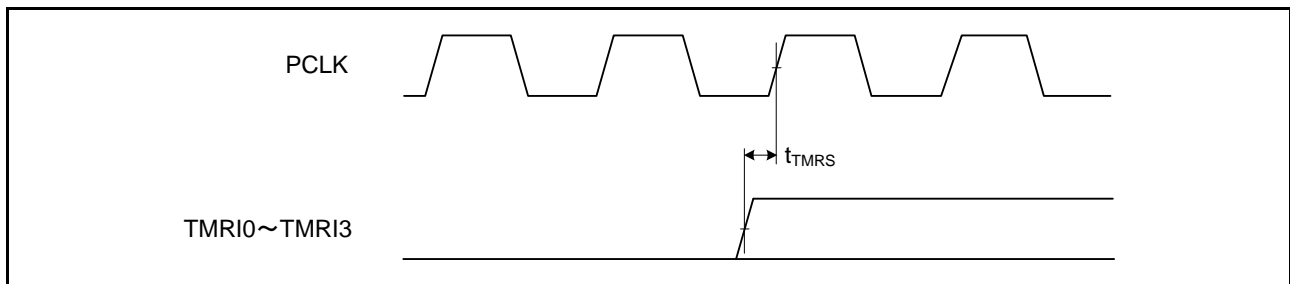


図 5.19 8ビットタイマリセット入カタイミング

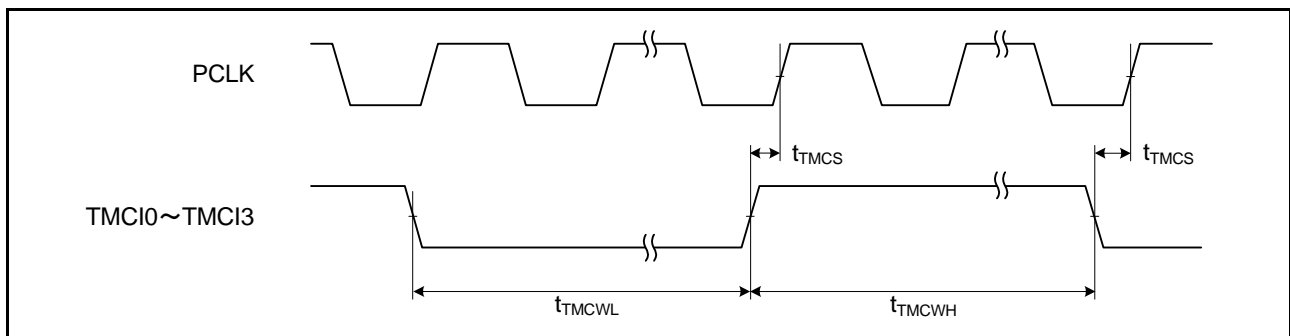


図 5.20 8ビットタイマクロック入カタイミング

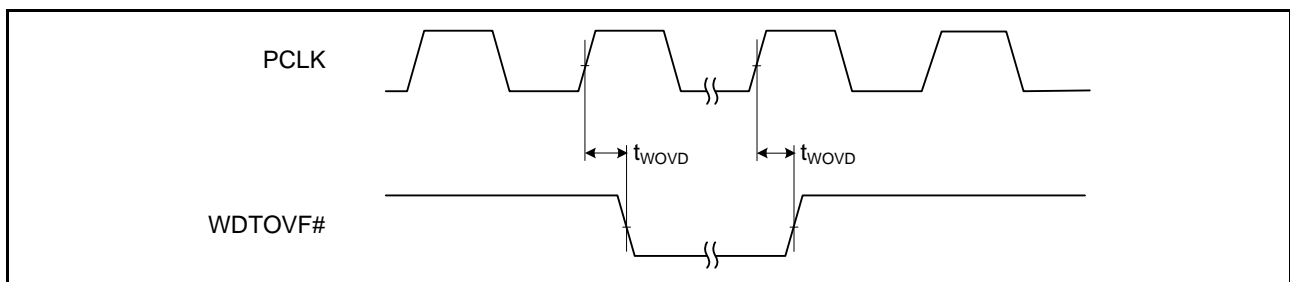


図 5.21 WDT 出カタイミング

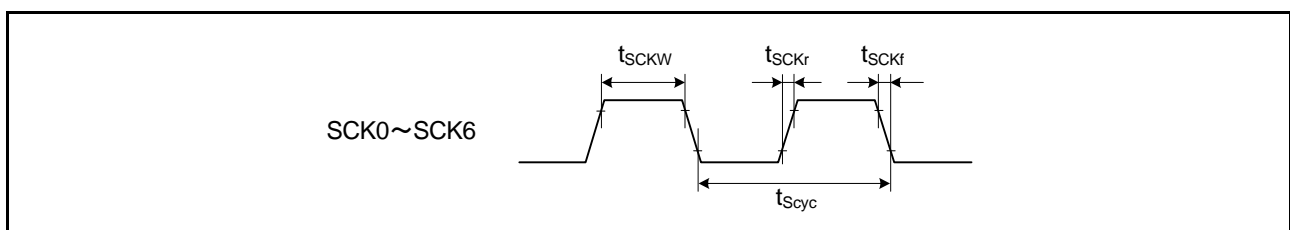


図 5.22 SCK クロック入カタイミング

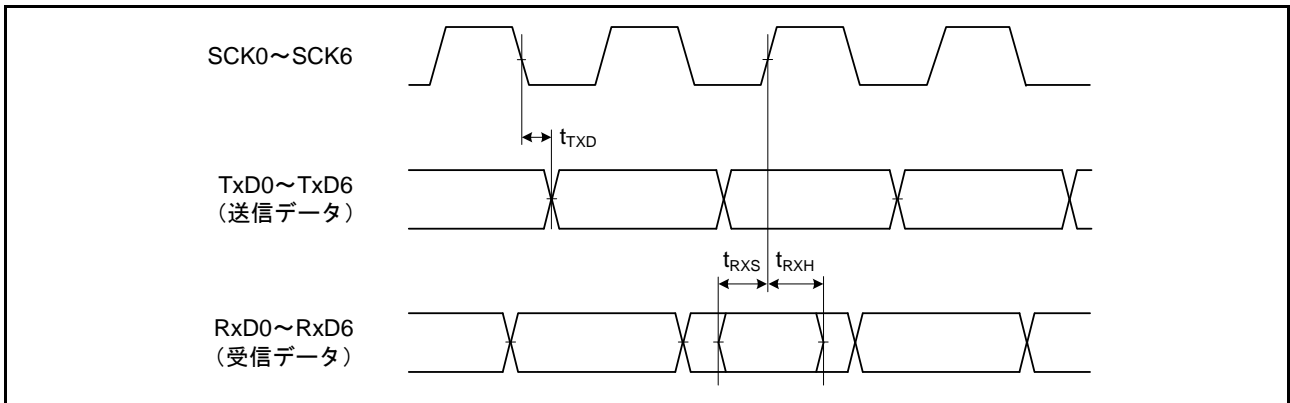


図 5.23 SCI 入出力タイミング/クロック同期式モード

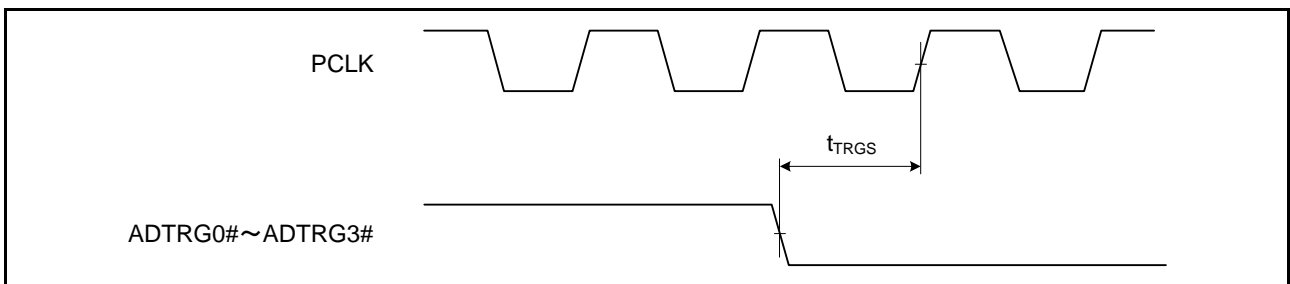


図 5.24 A/D コンバータ外部トリガ入力タイミング

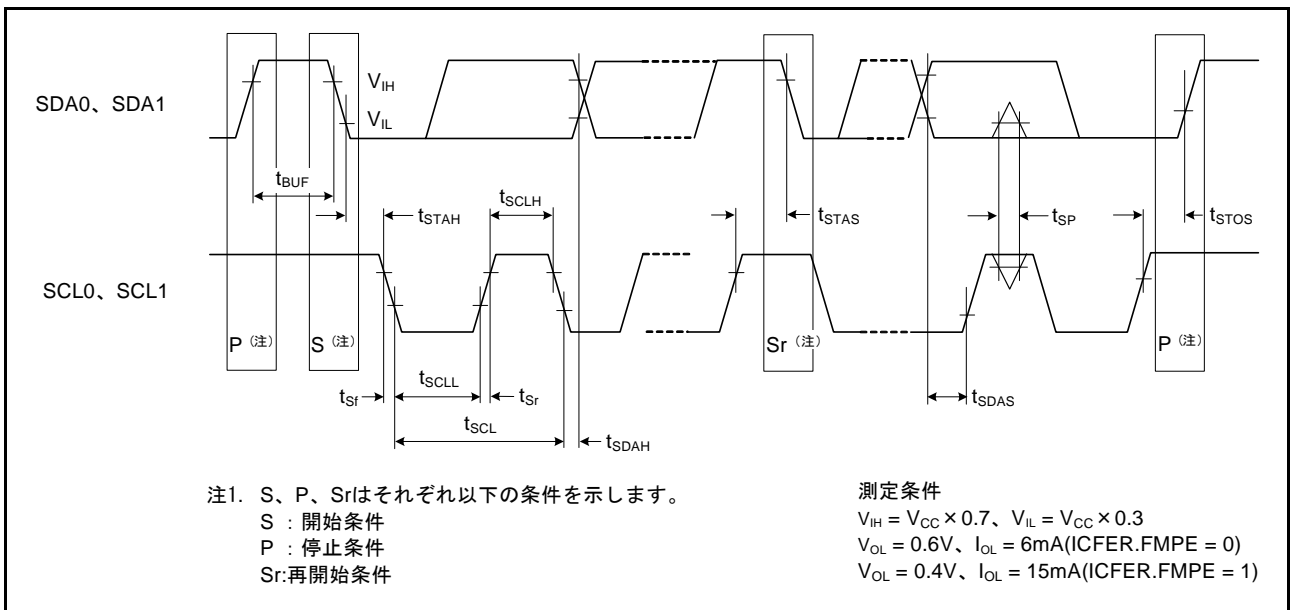


図 5.25 I²C バスインタフェース入出力タイミング

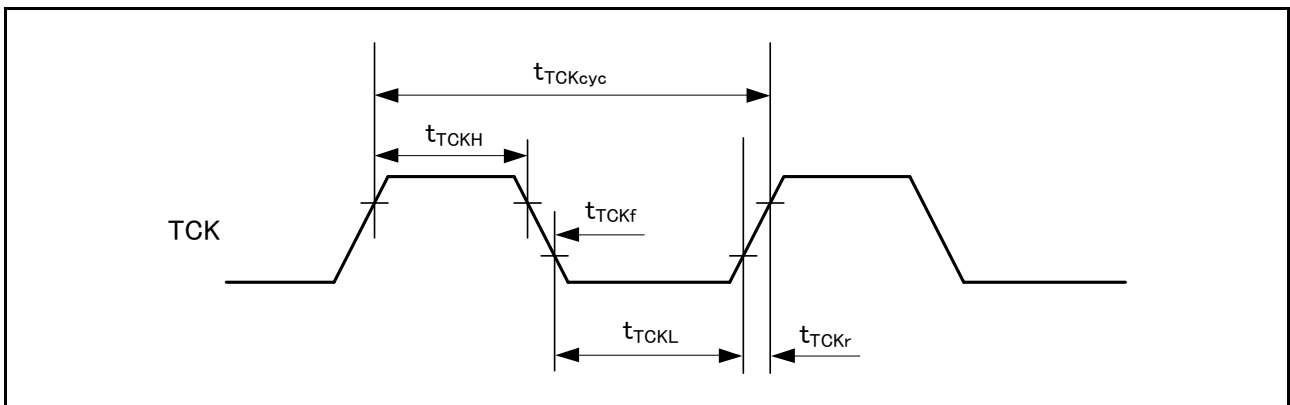


図 5.26 バウンダリスキャン TCK タイミング

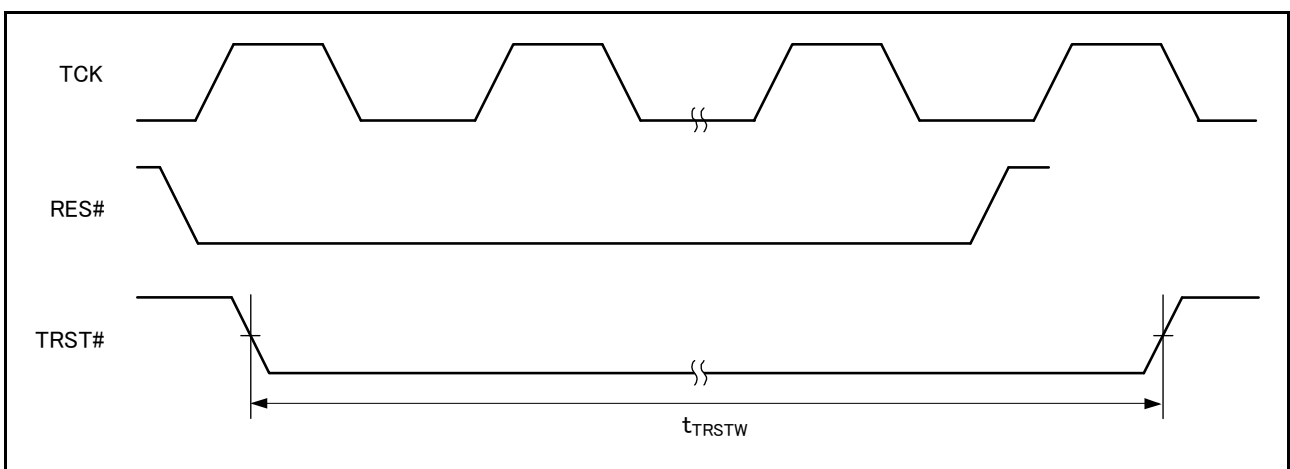


図 5.27 バウンダリスキャン TRST# タイミング

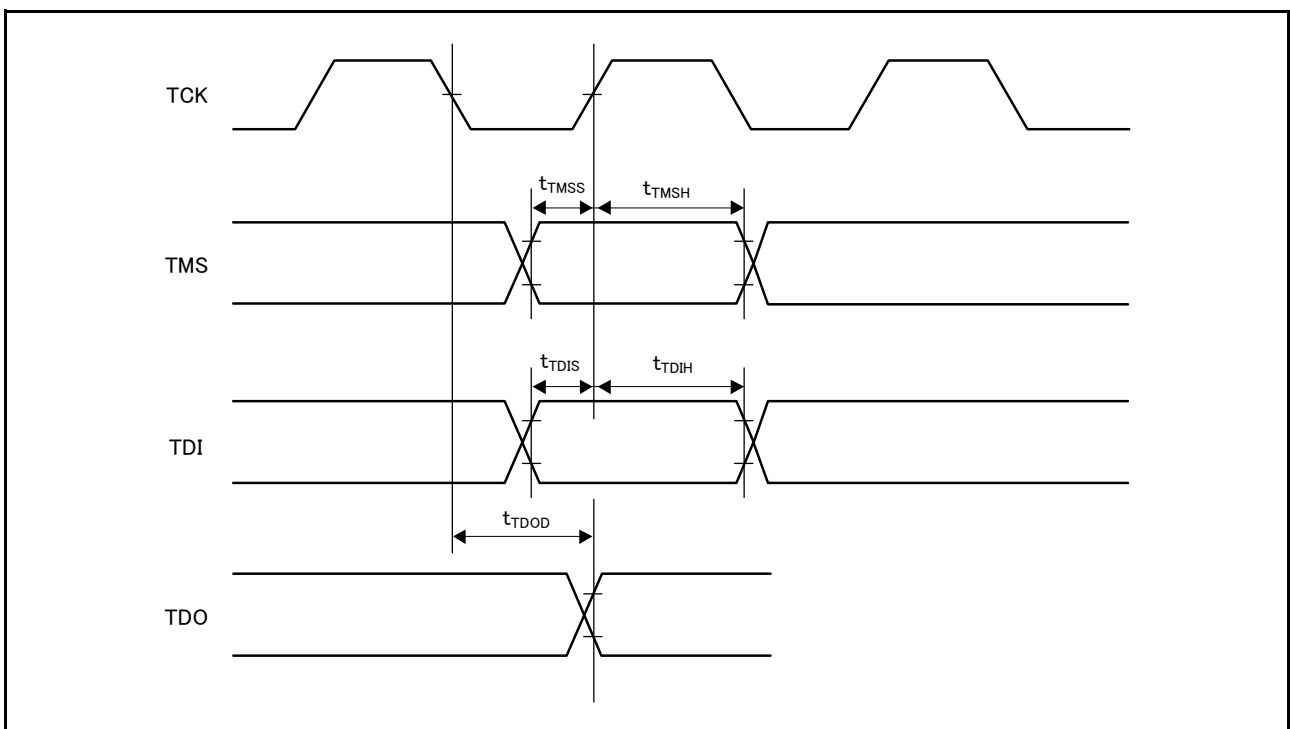


図 5.28 バウンダリスキャン入出力タイミング

5.4 A/D 変換特性

表5.9 A/D 変換特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$
 $ADCLK = 4 \sim 50MHz$ 、 $T_a = -20 + 85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間 (注1) (ADCLK= 50MHz時)	外付けコンデン サ0.1 μ Fあり	コンデンサに電荷が十分 チャージされている場合 (注2)	0.8 (0.3) (注3)	—	—	μ s	サンプリング 15ステート
	外付けコンデン サなし	許容信号源インピーダン ス max = 1.0 k Ω	1.0 (0.5) (注3)	—	—		サンプリング 25ステート
		許容信号源インピーダン ス max = 5.0 k Ω	2.6 (2.1) (注3)	—	—		サンプリング 105ステート
アナログ入力容量			—	—	6.0	pF	
積分非直線性誤差 (INL)			—	± 1.5	± 3.0	LSB	
オフセット誤差			—	± 1.5	± 3.0	LSB	
フルスケール誤差			—	± 1.5	± 3.0	LSB	
量子化誤差			—	± 0.5	—	LSB	
絶対精度			—	± 1.5	± 3.0	LSB	
微分非直線性誤差 (DNL)			—	± 0.5	± 1.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目の測定条件にサンプリングステート数を示します。

注2. スキャンは対応しません。

注3. ()はサンプリング時間を示します。

5.5 D/A 変換特性

表5.10 D/A 変換特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 、 $PCLK = 8 \sim 50MHz$
 $T_a = -20 \sim +85^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項 目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	—	—	3	μ s	負荷容量20pF
絶対精度	—	± 2.0	± 4.0	LSB	負荷抵抗2M Ω
	—	—	± 3.0	LSB	負荷抵抗4M Ω
	—	—	± 2.0	LSB	負荷抵抗10M Ω
RO 出力抵抗	—	3.6	—	k Ω	

5.6 ROM（コード格納用フラッシュメモリ）特性

表5.11 ROM（コード格納用フラッシュメモリ）特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 書き込み / 消去時の動作温度範囲： $T_a = -20 \sim +85^\circ C$ （通常仕様品）、 $T_a = -40 \sim +85^\circ C$ （広温度範囲仕様品）

項目	記号	min	typ	max	単位	測定条件	
書き込み時間	256B	t_{P256}	—	2	12	ms	PCLK=50MHz $N_{PEC} \leq 100$ 時
	8KB	t_{P8K}	—	45	100	ms	
	256B	t_{P256}	—	2.4	14.4	ms	PCLK=50MHz $N_{PEC} > 100$ 時
	8KB	t_{P8K}	—	54	120	ms	
消去時間	8KB	t_{E8K}	—	50	120	ms	PCLK=50MHz $N_{PEC} \leq 100$ 時
	64KB	t_{E64K}	—	400	875	ms	
	128KB	t_{E128K}	—	800	1750	ms	
	8KB	t_{E8K}	—	60	144	ms	PCLK=50MHz $N_{PEC} > 100$ 時
	64KB	t_{E64K}	—	480	1050	ms	
	128KB	t_{E128K}	—	960	2100	ms	
再書き込み / 消去サイクル (注1)	N_{PEC}	1000 (注2)	—	—	—	回	
書き込み中のサスペンド遅延時間	t_{SPD}	—	—	120	μs	図5.29 PCLK=50MHz時	
消去中の1回目のサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	120	μs		
消去中の2回目のサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	ms		
消去中のサスペンド遅延時間 (消去優先モード時)	t_{SEED}	—	—	1.7	ms		
データ保持時間 (注3)	t_{DRP}	10	—	—	年		

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロック毎の消去回数です。

再書き込み/消去サイクルがn回（n=1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、8KBのブロックについて、それぞれ異なる番地に256B書き込みを32回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です。(保証は1～min値の範囲)

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

5.7 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.12 データフラッシュ（データ格納用フラッシュメモリ）特性

条件： $V_{CC} = PLLV_{CC} = AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{REFH} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = PLLV_{SS} = V_{REFL} = 0V$ 書き込み / 消去時の動作温度範囲： $T_a = -20 \sim +85^\circ C$ （通常仕様品）、 $T_a = -40 \sim +85^\circ C$ （広温度範囲仕様品）

項目		記号	min	typ	max	単位	測定条件
書き込み時間	8B	t_{DP8}	—	0.4	2	ms	PCLK=50MHz時
	128B	t_{DP128}	—	1	5	ms	
消去時間	8KB	t_{DE8K}	—	300	900	ms	PCLK=50MHz時
ブランクチェック時間	8B	t_{DBC8}	—	—	30	μs	PCLK=50MHz時
	8KB	t_{DBC8K}	—	—	2.5	ms	
再書き込み/消去サイクル（注1）		N_{DPEC}	30000（注2）	—	—	回	
書き込み中のサスペンド遅延時間		t_{DSPD}	—	—	120	μs	図5.29 PCLK=50MHz時
消去中の1回目のサスペンド遅延時間 （サスペンド優先モード時）		t_{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間 （サスペンド優先モード時）		t_{DSESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間 （消去優先モード時）		t_{DSEED}	—	—	1.7	ms	
データ保持時間（注3）		t_{DDRP}	10	—	—	年	

注1. 再書き込み/消去サイクルの定義：

再書き込み/消去サイクルは、ブロック毎の消去回数です。

再書き込み/消去サイクルがn回（n=30000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。

例えば、8KBのブロックについて、それぞれ異なる番地に128B書き込みを64回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。

注2. 書き換え後のすべての特性を保証するmin回数です。（保証は1～min値の範囲）

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

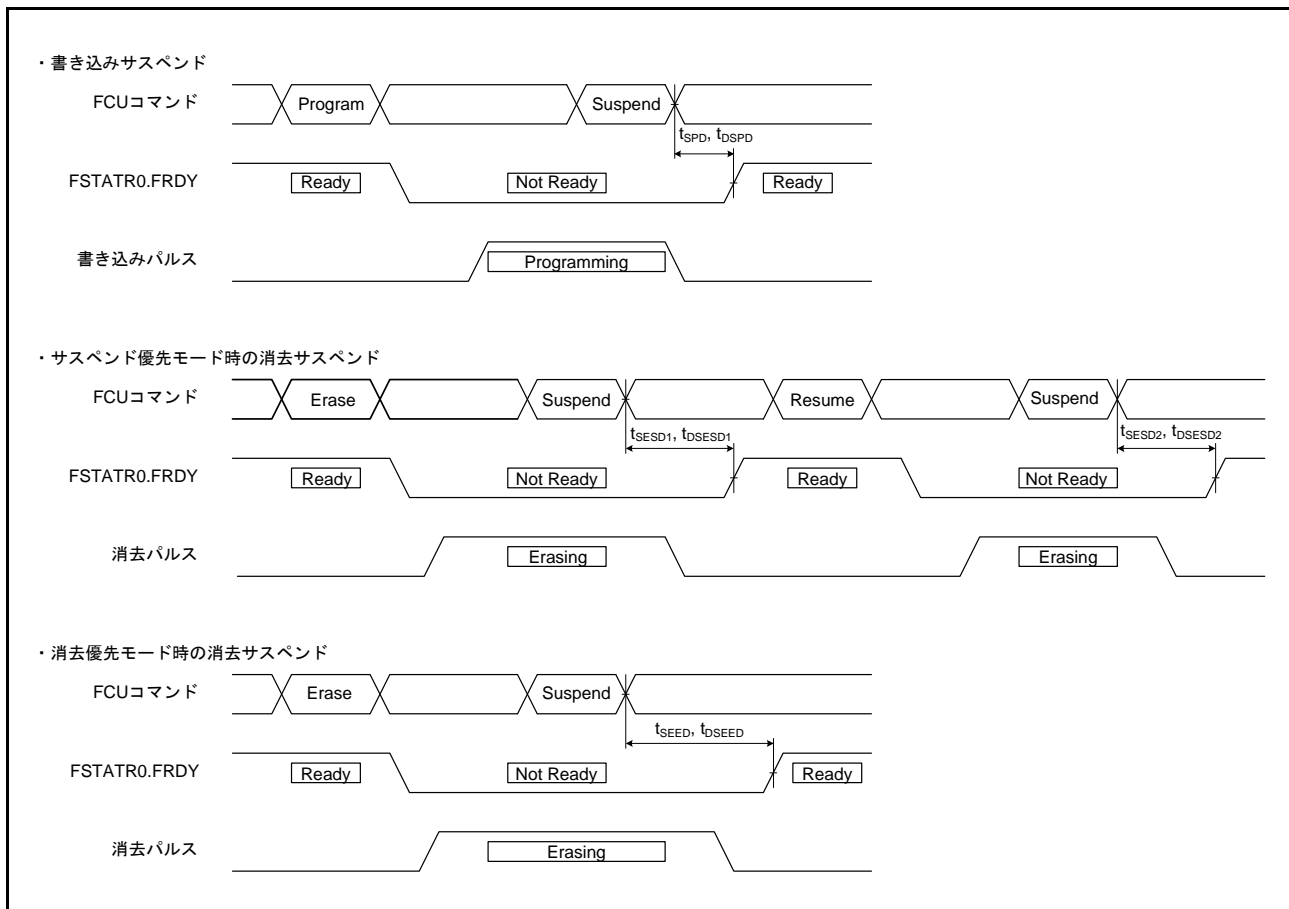


図 5.29 ROM、データフラッシュ書き込み / 消去サスペンドタイミング

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

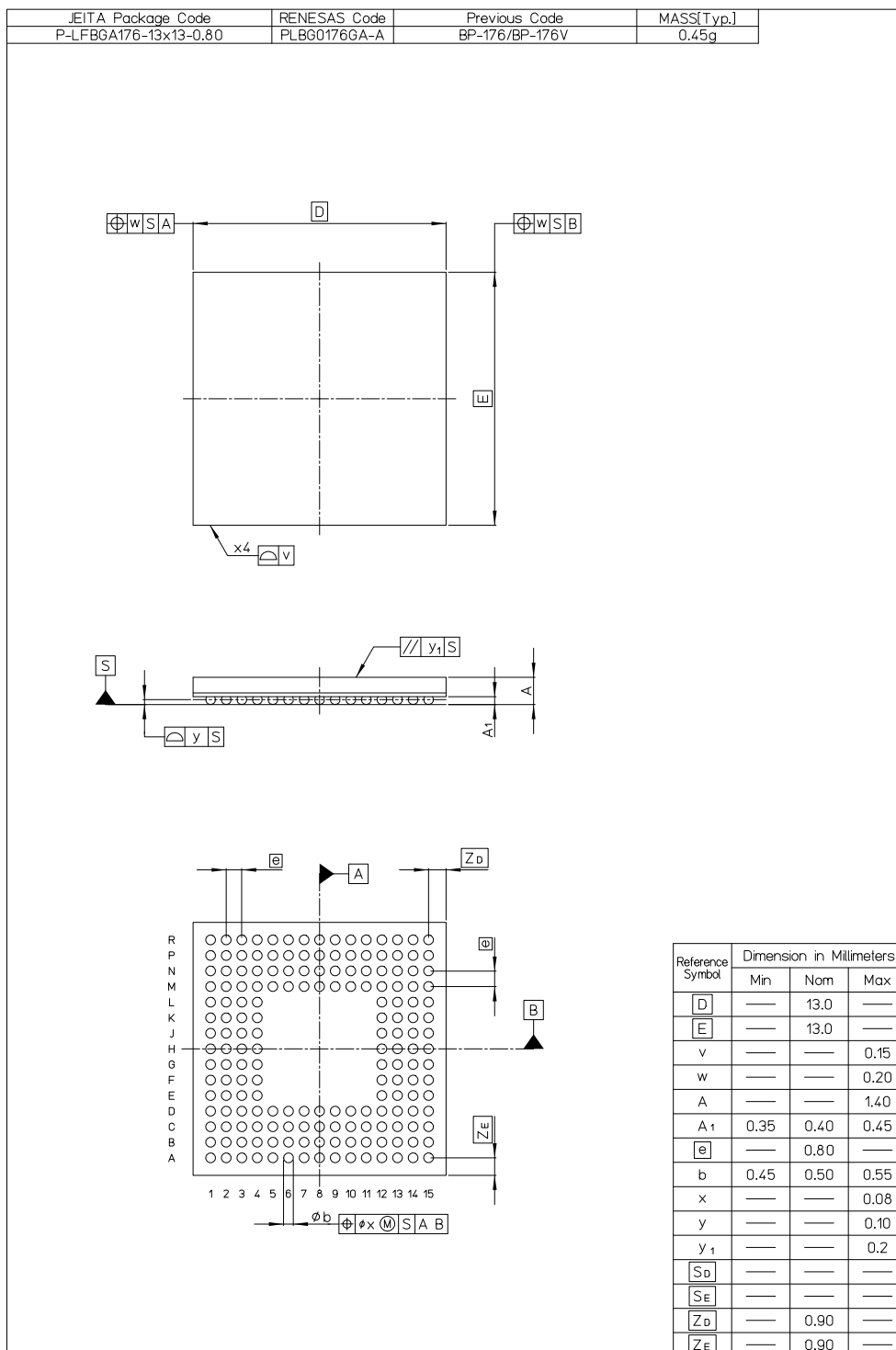


図 A. 176ピンLFBGA (PLBG0176GA-A) 外形寸法図

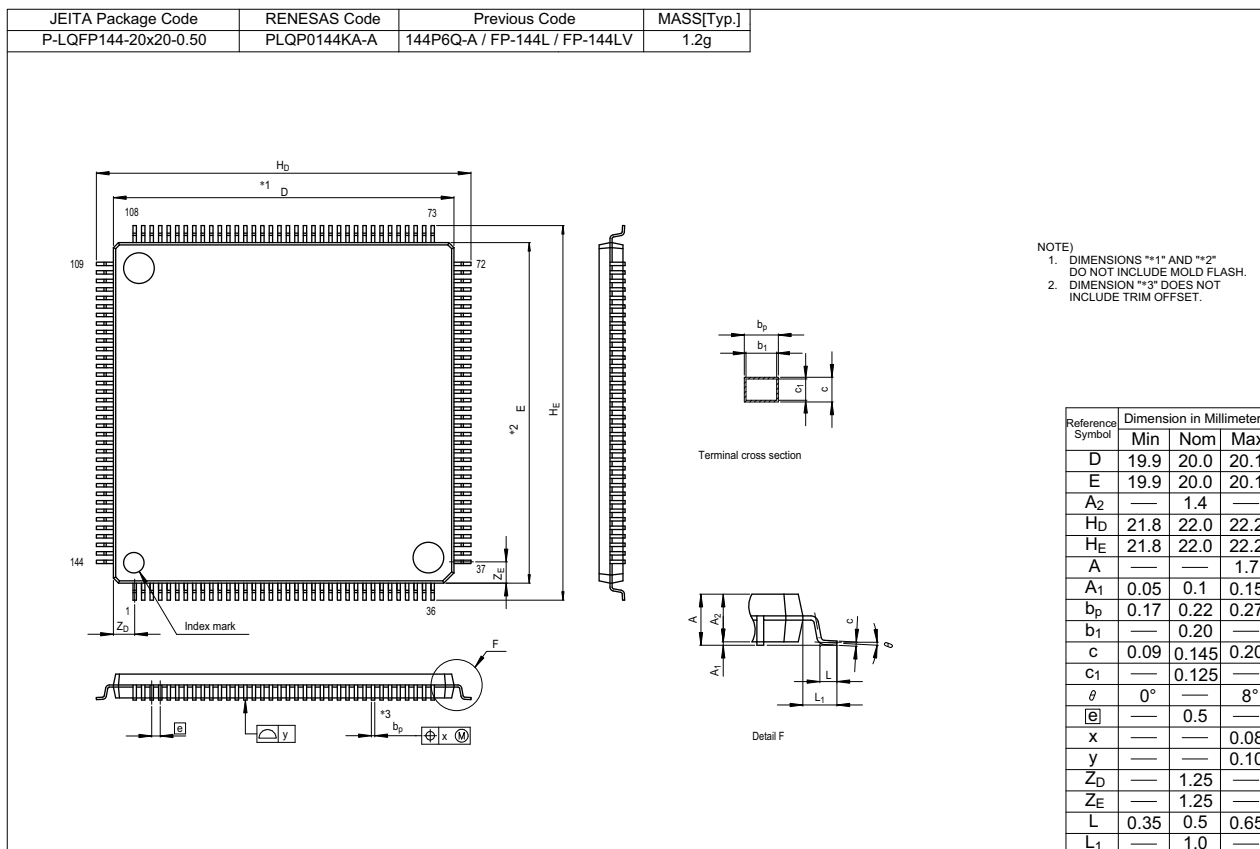


図 B. 144ピン LQFP (PLQP0144KA-A)

改訂記録	RX610 グループ データシート
------	-------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2009.3.24	—	ショートシート初版発行
1.00	2010.2.24	6	1. 概要 図 1.2 ブロック図 ポートF～ポートH追加
		7	図 1.3 176ピンLFBGAピン配置図 追加
		10-15	表 1.3 機能別端子一覧表 (176ピンLFBGA) 追加
		21-24	表 1.5 端子機能一覧 BSCANP、PF0～PF6、PG0～PG7、PH0～PH7 追加
		28	3. アドレス空間 図 3.1 R5F56108 のメモリマップに変更
29	図 3.2 R5F56107 のメモリマップ 追加		
30	図 3.3 R5F56106 のメモリマップ 追加		
31	図 3.4 R5F56104 のメモリマップ 追加		
33	4. I/Oレジスタ 表 4.1 レジスタアドレス一覧 アクセスサイクル数、注7、注8追加		
53	5. 電気的特性 追加		
1.10	2011.4.22	14	1. 概要 表 1.3 機能別端子一覧表 (176ピンLFBGA) (5/6) ピン番号P11の端子名変更
		37	4. I/Oレジスタ 表 4.1 I/Oレジスタアドレス一覧 (7/20) ISELR253レジスタ追加
		56	5. 電気的特性 表 5.3 出力許容電流値 変更
1.20	2013.02.20	5	1. 概要 表 1.2 製品一覧表 製品ラインナップ追加
		23、25	表 1.5 端子機能一覧 バス制御の機能説明変更、注記追加
		34～53	4. I/Oレジスタ 表 4.1 I/Oレジスタアドレス一覧 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。