

54MHz、32ビットRX MCU、FPU内蔵、90 DMIPS、最大2Mバイトフラッシュメモリ、12ビットA/D、10ビットD/A、ELC、MPC、CEC送受信、リモコン信号受信

### 特長

#### ■ 32ビットRX CPU コア内蔵

- 最大動作周波数 54MHz  
90DMIPS の性能 (54MHz 動作時)
- 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 2種類の積和演算器 (メモリ間、レジスタ間)
- 32ビット乗算器 (最速1クロックで実行)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- オンチップデバッグ回路内蔵

#### ■消費電力低減機能

- 2.7V ~ 3.6V 動作、4.0 ~ 5.5V 動作の単一電源
- 4種類の低消費電力モード

#### ■内蔵メインフラッシュメモリ (ウェイトなし)

- 54MHz 動作、18.5ns 読み出しサイクル (ウェイトなし)
- 1M ~ 2M バイトまでをサポート
- オンボードによるユーザ書き込み

#### ■内蔵データフラッシュメモリ

- 32K バイトの容量 (100k 回消去可能)
- Back Ground Operation (BGO) によるプログラム / イレージ

#### ■内蔵SRAM (ウェイトなし)

- 128K バイトの容量
- オペランド、命令用

#### ■DMA

- DMAC: 4チャンネル内蔵
- DTC

#### ■ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール動作が可能

#### ■リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVD) の設定可能

#### ■クロック機能

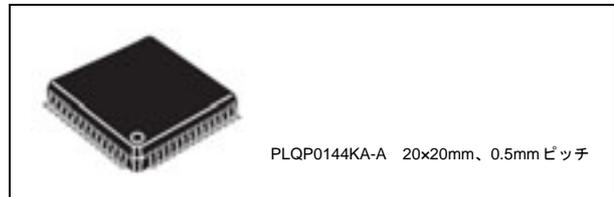
- 外部水晶発振、内部PLL 対応 8MHz ~ 20MHz
- 内部 125kHz LOCO を搭載
- IWDT 用 125kHz LOCO クロック
- クロック周波数精度測定回路 (CAC) 内蔵

#### ■独立ウォッチドッグタイマ内蔵

- 125kHz LOCO クロック動作

#### ■IEC60730 対応機能内蔵

- 発振停止検出、周波数測定機能、CRC、IWDT、A/D 自己診断など



#### ■多種多様な通信機能を内蔵

- 多彩な機能に対応したSCI (最大13ch)  
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易SPI / 簡易I<sup>2</sup>C / 拡張シリアルモードから選択
- I<sup>2</sup>C バスインタフェース 最大400kbps 転送 (3ch)
- 高速通信可能なRSPI を搭載 (2ch)

#### ■CEC 送受信機能

- CEC 規格 1.4 に対応した CEC 信号の送受信が可能

#### ■リモコン信号受信機能

- 2ユニット内蔵
- 4パターン波形マッチング対応

#### ■外部アドレス空間

- 高速動作バス @ 27MHz (max)
- 4つのCS 領域 (4x16M バイト)
- エリアごとにマルチプレクスバス / セパレートバスから選択
- エリアごとに8/16ビットバス空間を選択可能

#### ■最大20本の拡張タイマ機能

- 16ビットMTU2: インพุットキャプチャ、アウトプットコンペア、PWM 波形出力、位相計数モード (6ch)
- 16ビットTPU: インพุットキャプチャ、アウトプットコンペア、位相計数モード (6ch)
- 8ビットTMR (4ch)
- 16ビットCMT (4ch)

#### ■12ビットA/D コンバータ内蔵

- 最小1 $\mu$ s 変換が可能
- サンプル & ホールド回路内蔵 (3チャンネル)
- 3ch 同時サンプリングが可能
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵

#### ■10ビットD/A コンバータ内蔵: 最大2ch

#### ■重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

#### ■最大114本の汎用入出力ポート内蔵

- オープンドレイン、入力プルアップ

#### ■MPC

- 周辺機能の入出力端子を複数箇所から選択可能

#### ■動作周囲温度

- 40 ~ +85 °C

## 1. 概要

### 1.1 仕様概要

表 1.1 に仕様概要を示します。

表 1.1 仕様概要 ( 1 / 4 )

分類	モジュール/機能	説明
CPU	中央処理演算装置	<ul style="list-style-type: none"> <li>最大動作周波数：54MHz</li> <li>32ビット RX CPU</li> <li>最小命令実行時間：1命令1クロック</li> <li>アドレス空間：4Gバイト・リニアアドレス</li> <li>レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本</li> <li>基本命令：73種類</li> <li>浮動小数点演算命令：8種類</li> <li>DSP機能命令：9種類</li> <li>アドレッシングモード：10種類</li> <li>データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能</li> <li>32ビット乗算器：32ビット×32ビット→64ビット</li> <li>メモリプロテクションユニット (MPU) 搭載</li> </ul>
	FPU	<ul style="list-style-type: none"> <li>単精度浮動小数点数 (32ビット)</li> <li>IEEE754に準拠したデータタイプ、および例外</li> </ul>
メモリ	ROM	<ul style="list-style-type: none"> <li>容量：1M/1.5M/2Mバイト</li> <li>54MHz、ノーウェイトアクセス</li> <li>オンボードプログラミング：3種類</li> <li>オフボードプログラミング</li> </ul>
	RAM	<ul style="list-style-type: none"> <li>容量：128Kバイト</li> <li>54MHz、ノーウェイトアクセス</li> </ul>
	E2データフラッシュ	<ul style="list-style-type: none"> <li>容量：32Kバイト</li> <li>プログラム/イレーズ回数：100,000回</li> </ul>
MCU動作モード		シングルチップモード 内蔵ROM有効拡張モード 内蔵ROM無効拡張モード (ソフトウェア切り替え)
クロック	クロック発生回路	<ul style="list-style-type: none"> <li>メインクロック発生器、低速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ</li> <li>発振停止検出：あり</li> <li>クロック周波数精度測定回路 (CAC)：あり</li> <li>システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、外部バスクロック (BCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：54MHz max 周辺モジュールは、PCLKB同期：32MHz max 外部バスに接続するデバイスはBCLK同期：27MHz max フラッシュ周辺回路はFCLK同期：32MHz max</li> </ul>
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出回路		<ul style="list-style-type: none"> <li>VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧レベル固定 電圧検出1は検出電圧を3レベルから選択可能 電圧検出2は検出電圧を3レベルから選択可能</li> </ul>
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> <li>モジュールストップ機能</li> <li>4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード</li> </ul>
	動作電力低減機能	<ul style="list-style-type: none"> <li>動作電力制御モード 高速動作モード、低速動作モード1、低速動作モード2</li> </ul>

表 1.1 仕様概要 ( 2 / 4 )

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> <li>割り込みベクタ数：178</li> <li>外部割り込み：要因数14 (NMI、IRQ0~12端子)</li> <li>ノンマスクابل割り込み：要因数6 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT割り込み、IWDWT割り込み)</li> <li>16レベルの割り込み優先順位を設定可能</li> </ul>
外部バス拡張		<ul style="list-style-type: none"> <li>外部アドレス空間を4つのエリア (CS0~CS3) に分割して管理 各エリアの領域：16Mバイト (CS0~CS3) エリアごとにチップセレクト (CS0#~CS3#) 出力可能 エリアごとに、バス幅として、8ビットバス/16ビットバスを選択可能 エリアごとにエンディアンを設定可能 (データのみ) バス形式：セパレートバス、マルチプレクスバスの選択が可能</li> <li>ウェイト制御可能</li> <li>ライトバッファ機能</li> </ul>
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> <li>4チャンネル</li> <li>転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード</li> <li>起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み</li> </ul>
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> <li>転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード</li> <li>起動要因：割り込み要因により起動</li> <li>チェーン転送機能あり</li> </ul>
I/Oポート	汎用入出力ポート	<p>144ピン</p> <ul style="list-style-type: none"> <li>入出力：114</li> <li>入力：9 (P40-P47, P35)</li> <li>プルアップ抵抗：111</li> <li>オープンドレイン出力：114</li> <li>5Vトレラント：なし</li> </ul>
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> <li>56種類のイベント信号を直接モジュールへリンク可能</li> <li>タイマ系のモジュールはイベント入力時の動作の選択が可能</li> <li>ポートB、ポートEのイベントリンク動作が可能</li> </ul>
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> <li>(16ビット×6チャンネル) ×1ユニット</li> <li>最大16本のパルス入出力が可能</li> <li>チャンネルごとに7種類または8種類のカウントクロックを選択可能</li> <li>インプットキャプチャ/アウトプットコンペア機能をサポート</li> <li>最大15相のPWM波形を出力するPWMモード</li> <li>チャンネルによりバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート</li> <li>A/Dコンバータの変換開始トリガを生成可能</li> <li>インプットキャプチャ端子にデジタルフィルタあり</li> </ul>
	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> <li>(16ビット×6チャンネル) ×1ユニット</li> <li>16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能</li> <li>チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類)</li> <li>インプットキャプチャ機能</li> <li>21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ</li> <li>パルス出力モード</li> <li>相補PWM出力モード</li> <li>リセット同期PWMモード</li> <li>位相計数モード</li> <li>A/Dコンバータの変換開始トリガを生成可能</li> </ul>
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> <li>(4ビット×4グループ) ×1ユニット</li> <li>MTU出力をトリガとしてパルス出力</li> <li>最大16本のパルス出力</li> </ul>

表 1.1 仕様概要 ( 3 / 4 )

分類	モジュール/機能	説明
タイマ	8ビットタイマ (TMR)	<ul style="list-style-type: none"> <li>• (8ビット×2チャンネル) ×2ユニット</li> <li>• 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能</li> <li>• 任意のデューティのパルス出力やPWM出力が可能</li> <li>• 2チャンネルをカスケード接続し16ビットタイマとして使用可能</li> <li>• SCI5、SCI6、SCI12のポーレートクロック生成可能</li> <li>• RCRの受信クロック生成可能</li> </ul>
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>• (16ビット×2チャンネル) ×2ユニット</li> <li>• 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能</li> </ul>
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> <li>• 14ビット×1チャンネル</li> <li>• 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能</li> </ul>
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> <li>• 14ビット×1チャンネル</li> <li>• カウントクロック：IWDT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周</li> </ul>
通信機能	シリアルコミュニケーションインタフェース (SCIE、SCIF)	<ul style="list-style-type: none"> <li>• 13チャンネル (チャンネル0～チャンネル11：SCIE、チャンネル12：SCIF)</li> <li>• シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース</li> <li>• 内蔵ポーレートジェネレータで任意のビットレートを選択可能</li> <li>• LSBファースト/MSBファーストを選択可能</li> <li>• TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6、SCI12)</li> <li>• 簡易IIC機能</li> <li>• 簡易SPI機能</li> <li>• マスタ/スレーブモードをサポート (SCIFのみ)</li> <li>• スタートフレーム、インフォメーションフレームから構成 (SCIFのみ)</li> </ul>
	I <sup>2</sup> Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> <li>• 3チャンネル</li> <li>• 通信フォーマット：I<sup>2</sup>Cバスフォーマット/SMBusフォーマット</li> <li>• マスタ/スレーブを選択可能</li> <li>• 最大転送レート：ファストモード対応 (400kbps)</li> </ul>
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> <li>• 2チャンネル</li> <li>• 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能</li> <li>• マスタ/スレーブモードを選択可能</li> <li>• データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8～16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット)</li> <li>• 送信/受信バッファ構成はダブルバッファ</li> </ul>
	CEC送受信回路 (CEC) (3V版のみ)	<p>CEC規格に対応したCEC信号の生成と受信が出来、通信状態の検出をハードウェアで可能</p> <ul style="list-style-type: none"> <li>• CEC規格に対応したシリアル通信が可能</li> <li>• 動作クロックを、PCLK、メインクロック、IWDTCCLKから選択可能</li> <li>• スタートビット、データビットのローレベル幅/ビット幅を送信、受信とも異なった任意の値に設定可能</li> <li>• ハードウェアによるエラーと通信状態を検出可能</li> <li>• 長ビット幅タイミングエラー時のエラーハンドリングパルス出力可能</li> <li>• シグナルフリータイムをカウント可能</li> <li>• 受信中のスタートビット検知による再受信動作が可能</li> </ul>
	リモコン信号受信機能 (RCR) (3V版のみ)	<ul style="list-style-type: none"> <li>• 2ユニット</li> <li>• 4パターン波形マッチング (ヘッダ、データ0、データ1、特殊データ判別)</li> <li>• 受信バッファ8バイト (1ユニットあたり)</li> <li>• 動作クロックを、PCLK、メインクロック、IWDTCCLK、TMRから選択可能</li> </ul>

表 1.1 仕様概要 ( 4 / 4 )

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADB)		<ul style="list-style-type: none"> <li>12ビット (16チャンネル×1ユニット)</li> <li>分解能: 12ビット</li> <li>最小変換時間: 1チャンネル当たり1.0μs (ADCLK=50MHz動作時)</li> <li>動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード)</li> <li>サンプル&amp;ホールド機能</li> <li>A/Dコンバータの自己診断機能</li> <li>アナログ入力断線検出アシスト機能</li> <li>ダブルトリガモード (A/D変換データ2重化機能)</li> <li>A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、ELC</li> </ul>
D/Aコンバータ (DAa)		<ul style="list-style-type: none"> <li>2チャンネル</li> <li>分解能: 10ビット</li> <li>出力電圧: 0V~VREFH</li> </ul>
CRC演算回路 (CRC)		<ul style="list-style-type: none"> <li>8ビット単位の任意のデータ長に対してCRCコードを生成</li> <li>3つの多項式から選択可能 <math>X^8 + X^2 + X + 1</math>、<math>X^{16} + X^{15} + X^2 + 1</math>、<math>X^{16} + X^{12} + X^5 + 1</math></li> <li>LSBファースト/MSBファースト通信用CRCコード生成の選択が可能</li> </ul>
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
動作周波数		54MHz
電源電圧		<ul style="list-style-type: none"> <li>3V版 <math>VCC = AVCC0 = VREFH0 = 2.7 \sim 3.6V</math></li> <li>5V版 <math>VCC = AVCC0 = VREFH0 = 4.0 \sim 5.5V</math></li> </ul>
動作周囲温度		-40~+85°C (広温度範囲仕様品)
パッケージ		144ピンLQFP (PLQP0144KA-A)
オンチップデバッグシステム		<ul style="list-style-type: none"> <li>E1エミュレータ (JTAGおよびFINEインタフェース)</li> <li>E20エミュレータ (JTAGインタフェース)</li> </ul>

表 1.2 RX634グループ 製品別機能比較一覧

機能		RX634グループ	
		3V版	5V版
電圧仕様			
外部バス	外部バス幅	16ビット	
DMA	DMAコントローラ	チャンネル0~3	
	データトランスファコントローラ	有	
タイマ	16ビットタイマパルスユニット	チャンネル0~5	
	マルチファンクションタイマパルスユニット2	チャンネル0~5	
	ポートアウトブットイネーブル2	有	
	プログラマブルパルスジェネレータ	有	
	8ビットタイマ	チャンネル0~3	
	コンペマッチタイマ	チャンネル0~3	
	ウォッチドッグタイマ	有	
	独立ウォッチドッグタイマ	有	
通信機能	シリアルコミュニケーションインタフェース (SCle)	チャンネル0~11	
	シリアルコミュニケーションインタフェース (SClf)	チャンネル12	
	I <sup>2</sup> Cバスインタフェース	チャンネル0, 1, 3	
	シリアルペリフェラルインタフェース	チャンネル0, 1	
	CEC 送受信回路 (CEC)	有	無
	リモコン信号受信機能 (RCR)	チャンネル0, 1	無
12ビットA/Dコンバータ		AN000~AN015	
D/Aコンバータ		チャンネル0, 1	
CRC演算器		有	
イベントリンクコントローラ		有	
クロック周波数精度測定回路		有	

## 1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	品名	発注型名	パッケージ	内蔵ROM容量	内蔵RAM容量	電源電圧
RX634	R5F5634EYDFB	R5F5634EYDFB#30	PLQP0144KA-A	2Mバイト	128Kバイト	VCC = AVCC0 = 4.0 - 5.5V
	R5F5634ECDFB	R5F5634ECDFB#30	PLQP0144KA-A	2Mバイト	128Kバイト	VCC = AVCC0 = 2.7 - 3.6V
	R5F5634DYDFB	R5F5634DYDFB#30	PLQP0144KA-A	1.5Mバイト	128Kバイト	VCC = AVCC0 = 4.0 - 5.5V
	R5F5634DCDFB	R5F5634DCDFB#30	PLQP0144KA-A	1.5Mバイト	128Kバイト	VCC = AVCC0 = 2.7 - 3.6V
	R5F5634BYDFB	R5F5634BYDFB#30	PLQP0144KA-A	1Mバイト	128Kバイト	VCC = AVCC0 = 4.0 - 5.5V
	R5F5634BCDFB	R5F5634BCDFB#30	PLQP0144KA-A	1Mバイト	128Kバイト	VCC = AVCC0 = 2.7 - 3.6V

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

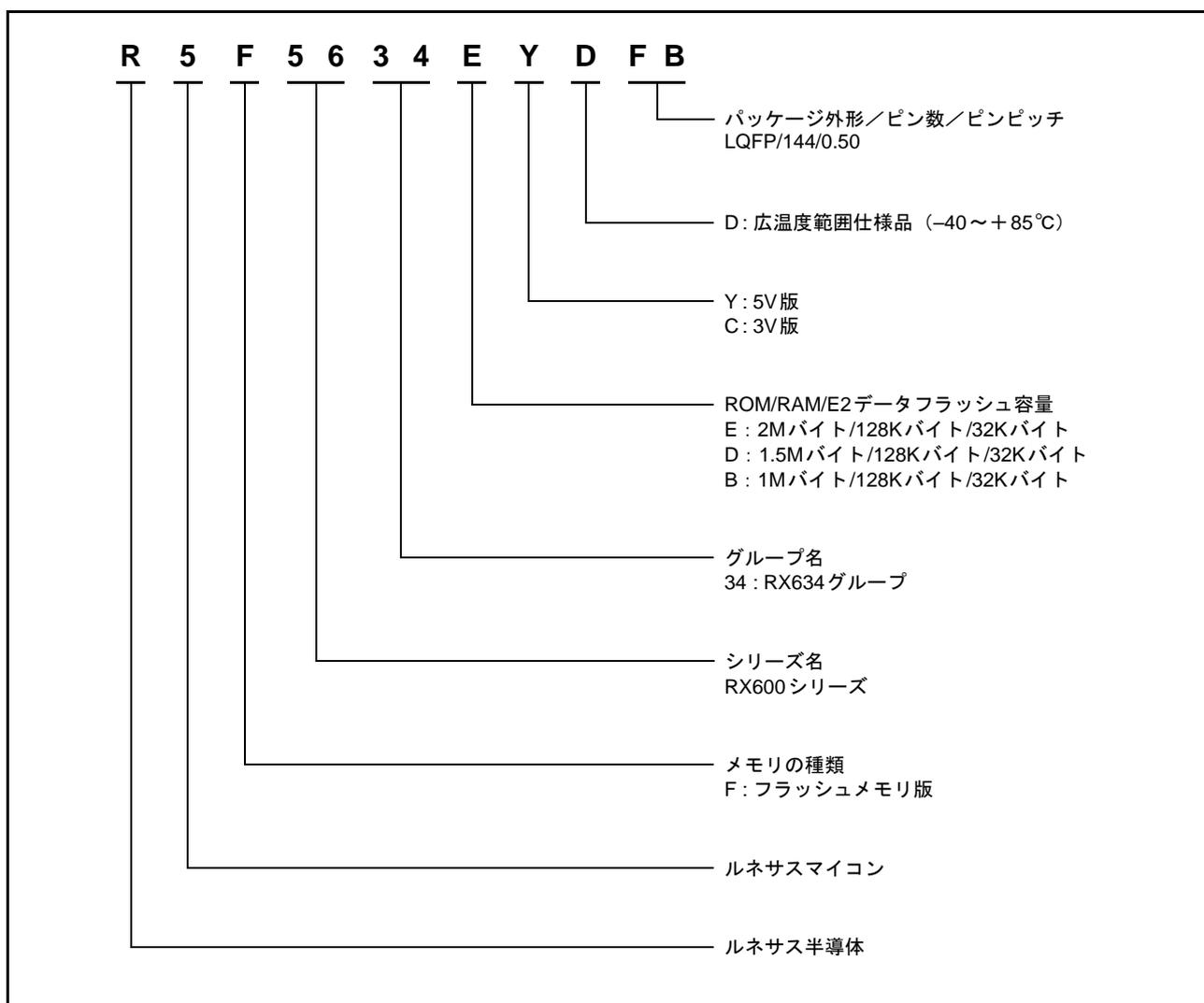


図 1.1 型名とメモリサイズ・パッケージ

### 1.3 ブロック図

図 1.2 にブロック図を示します。

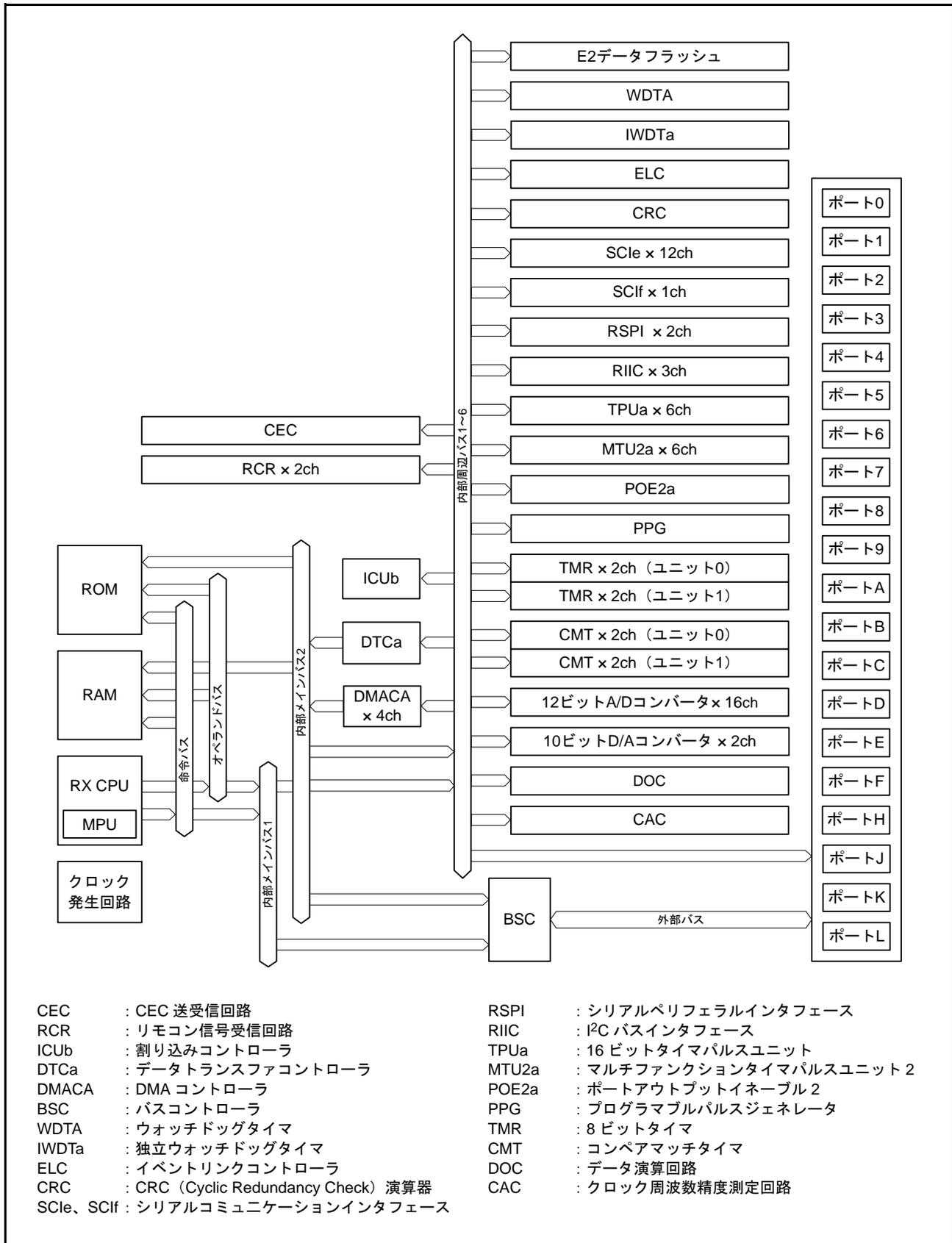


図 1.2 ブロック図

## 1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 4)

分類	端子名	入出力	機能
電源	VCC	—	電源端子。システムの電源に接続してください。0.1 $\mu$ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	—	0.1 $\mu$ Fのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	—	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子。EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部クロック出力端子
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定 トリガ入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highレベルにしてください。オンチップエミュレータを使用しない場合は、Lowレベルとしてください
オンチップエミュレータ	FINEC	入力	FINE インタフェース用クロック端子
	FINED	入出力	FINE インタフェース端子
	TRST#	入力	オンチップエミュレータ用端子。EMLE 端子をHighレベルにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC#	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
TRDATA0～TRDATA3	出力	トレース情報を出力します	
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D15	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#～WR1#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロブ信号
	BC0#～BC1#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス (D7～D0、D15～D8) のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#～CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0～IRQ12	入力	割り込み要求端子

表 1.4 端子機能一覧 ( 2 / 4 )

分類	端子名	入出力	機能
16ビットタイムパルスユニット	TIOCA0、TIOCB0 TIOCC0、TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3 TIOCC3、TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB TCLKC、TCLKD	入力	外部クロックを入力
マルチファンクションタイムパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#～POE3#、 POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
プログラマブルパルスジェネレータ	PO0～PO15	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCi0～TMCi3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
シリアルコミュニケーションインタフェース (SCIE)	● 調歩同期式モード/クロック同期式モード		
	SCK0～SCK11	入出力	クロック入出力端子
	RXD0～RXD11	入力	受信データ入力端子
	TXD0～TXD11	出力	送信データ出力端子
	CTS0#～CTS11#	入力	送受信開始制御用入力端子
	RTS0#～RTS11#	出力	送受信開始制御用出力端子
	● 簡易I <sup>2</sup> Cモード		
	SSCL0～SSCL11	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA0～SSDA11	入出力	I <sup>2</sup> Cデータ入出力端子
	● 簡易SPIモード		
	SCK0～SCK11	入出力	クロック入出力端子
	SMISO0～SMISO11	入出力	スレーブ送出データ入出力端子
	SMOSI0～SMOSI11	入出力	マスタ送出データ入出力端子
	SS0#～SS11#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 ( 3 / 4 )

分類	端子名	入出力	機能
シリアルコミュニケーションインターフェース (SCI <sub>f</sub> )	● 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	● 簡易I <sup>2</sup> Cモード		
	SSCL12	入出力	I <sup>2</sup> Cクロック入出力端子
	SSDA12	入出力	I <sup>2</sup> Cデータ入出力端子
	● 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	● 拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
TXDX12	出力	送信データ出力端子	
SIOX12	入出力	送受信データ入出力端子	
I <sup>2</sup> Cバスインターフェース	SCL0、SCL1、SCL3	入出力	クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0、SDA1、SDA3	入出力	データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルインターフェース	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタ送出データ入出力端子
	MISOA、MISOB	入出力	スレーブ送出データ入出力端子
	SSLA0、SSLB0	入出力	スレーブセレクト入出力端子
	SSLA1~SSLA3 SSLB1~SSLB3	出力	スレーブセレクト出力端子
CEC送受信回路 (CEC)	CECIO	入出力	CEC通信データ入出力端子
リモコン信号受信機能 (RCR)	PMC0	入力	外部パルス信号入力端子
	PMC1	入力	外部パルス信号入力端子
12ビットA/Dコンバータ	AN000~AN015	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	—	12ビットA/Dコンバータのアナログ電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	—	12ビットA/Dコンバータのアナロググランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	—	12ビットA/Dコンバータの基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	—	12ビットA/Dコンバータの基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH	—	D/Aコンバータのアナログ電源端子。D/Aコンバータを使用しない場合は、VCCに接続してください
	VREFL	—	D/Aコンバータのアナロググランド端子。D/Aコンバータを使用しない場合は、VSSに接続してください

表 1.4 端子機能一覧 ( 4 / 4 )

分類	端子名	入出力	機能
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P35	入出力	6ビットの入出力端子 (P35は入力端子)
	P40～P47	入力	8ビットの入力端子
	P50～P56	入出力	7ビットの入出力端子
	P60～P67	入出力	8ビットの入出力端子
	P70～P77 (注1)	入出力	8ビットの入出力端子
	P80～P83、P86、P87	入出力	6ビットの入出力端子
	P90～P93	入出力	4ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF5	入出力	1ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1～PJ5	入出力	5ビットの入出力端子
	PK2～PK5	入出力	4ビットの入出力端子
	PL0、PL1、PL5 (注2)	入出力	3ビットの入出力端子

注1. P73は、5V版のみの端子です。3V版には存在しません。

注2. PL5は、3V版のみの端子です。5V版には存在しません。

### 1.5 ピン配置図

図 1.3 にピン配置図を示します。また、表 1.5 に機能別端子一覧を示します。

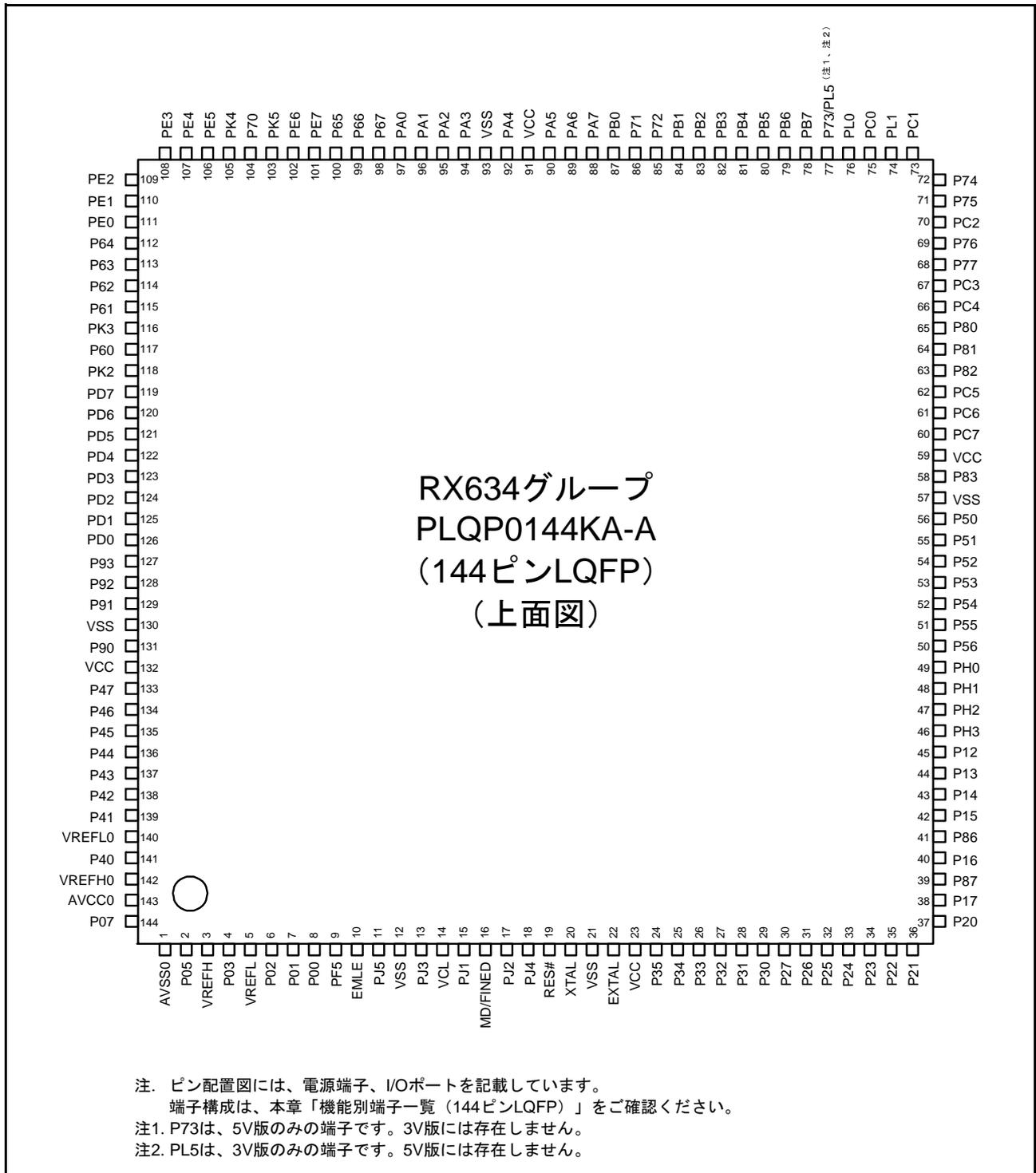


図 1.3 144 ピン LQFP ピン配置図

表 1.5 機能別端子一覧 (144ピンLQFP) (1 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
1	AVSS0						
2		P05					DA1
3	VREFH						
4		P03				IRQ11	DA0
5	VREFL						
6		P02		TMC11	SCK6	IRQ10	
7		P01		TMC10	RXD6/SMISO6/SSCL6/PMC1	IRQ9	
8		P00		TMR10	TXD6/SMOSI6/SSDA6/PMC0	IRQ8	
9		PF5				IRQ4	
10	EMLE						
11		PJ5					
12	VSS						
13		PJ3		MTIOC3C	CTS0#/RTS0#/SS0#/CTS6#/ RTS6#/SS6#		
14	VCL						
15		PJ1		MTIOC3A			
16	MD/FINED						
17		PJ2					
18		PJ4					
19	RES#						
20	XTAL						
21	VSS						
22	EXTAL						
23	VCC						
24		P35				NMI	
25	TRST#	P34		MTIOC0A/TMC13/POE2#/ PO12	SCK0/SCK6	IRQ4	
26		P33		MTIOC0D/TIOC0D/TMR13/ POE3#/PO11	RXD0/SMISO0/SSCL0/RXD6/ SMISO6/SSCL6	IRQ3_DS	
27		P32		MTIOC0C/TIOCC0/TMO3/ PO10	TXD0/SMOSI0/SSDA0/TXD6/ SMOSI6/SSDA6	IRQ2_DS	
28	TMS	P31		MTIOC4D/TMC12/PO9	CTS1#/RTS1#/SS1#/SSLB0	IRQ1_DS	
29	TDI	P30		MTIOC4B/TMR13/POE8#/ PO8	RXD1/SMISO1/SSCL1/MISOB	IRQ0_DS	
30	FINEC/TCK	P27	CS3#	MTIOC2B/TMC13/PO7	SCK1/RSPCKB		
31	TDO	P26	CS2#	MTIOC2A/TMO1/PO6	TXD1/SMOSI1/SSDA1/CTS3#/ RTS3#/SS3#/MOSIB		
32		P25	CS1#	MTIOC4C/MTCLKB/TIOCA4/ PO5	RXD3/SMISO3/SSCL3		ADTRG0#
33		P24	CS0#	MTIOC4A/MTCLKA/TIOCB4/ TMR11/PO4	SCK3		
34		P23		MTIOC3D/MTCLKD/TIOC3D/ PO3	TXD3/SMOSI3/SSDA3/CTS0#/ RTS0#/SS0#		
35		P22		MTIOC3B/MTCLKC/TIOCC3/ TMO0/PO2	SCK0		
36		P21		MTIOC1B/TIOCA3/TMC10/ PO1	RXD0/SMISO0/SSCL0/SCL1	IRQ9	
37		P20		MTIOC1A/TIOCB3/TMR10/ PO0	TXD0/SMOSI0/SSDA0/SDA1	IRQ8	
38		P17		MTIOC3A/MTIOC3B/TIOCB0/ TCLKD/TMO1/POE8#/PO15	SCK1/TXD3/SMOSI3/SSDA3/ MISOA/SDA0_DS	IRQ7	
39		P87		TIOCA2			

表 1.5 機能別端子一覧 (144ピンLQFP) (2 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
40		P16		MTIOC3C/MTIOC3D/ TIOCB1/TCLKC/TMO2/PO14	TXD1/SMOSI1/SSDA1/RXD3/ SMISO3/SSCL3/MOSIA/ SCL0_DS	IRQ6	ADTRG0#
41		P86		TIOCA0			
42		P15		MTIOC0B/MTCLKB/TIOCB2/ TCLKB/TMCI2/PO13	RXD1/SMISO1/SSCL1/SCK3	IRQ5	
43		P14		MTIOC3A/MTCLKA/TIOCB5/ TCLKA/TMRI2/PO15	CTS1#/RTS1#/SS1#	IRQ4	
44		P13		MTIOC0B/TIOCA5/TMO3/ PO13	TXD2/SMOSI2/SSDA2/SDA0	IRQ3	
45		P12		TMCI1	RXD2/SMISO2/SSCL2/SCL0	IRQ2	
46		PH3		TMCI0			
47		PH2		TMRI0		IRQ1	
48		PH1		TMO0		IRQ0	
49		PH0		CACREF			
50		P56		MTIOC3C/TIOCA1			
51	TRDATA3	P55	WAIT#	MTIOC4D/TMO3		IRQ10	
52	TRDATA2	P54	ALE	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#		
53		P53	BCLK				
54		P52	RD#		RXD2/SMISO2/SSCL2/SSLB3		
55		P51	WR1#/BC1#/ WAIT#		SCK2/SSLB2		
56		P50	WR0#/WR#		TXD2/SMOSI2/SSDA2/SSLB1		
57	VSS						
58	TRCLK	P83		MTIOC4C	CTS10#/RTS10#/SS10#		
59	VCC						
60		PC7	A23/CS0#	MTIOC3A/MTCLKB/TMO2/ CACREF	TXD8/SMOSI8/SSDA8/MISOA		
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA		
62		PC5	A21/CS2#/WAIT#	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA		
63	TRSYNC#	P82		MTIOC4A	TXD10/SMOSI10/SSDA10		
64	TRDATA1	P81		MTIOC3D	RXD10/SMISO10/SSCL10		
65	TRDATA0	P80		MTIOC3B	SCK10		
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0		
67		PC3	A19	MTIOC4D/TCLKB	TXD5/SMOSI5/SSDA5		
68		P77			TXD11/SMOSI11/SSDA11		
69		P76			RXD11/SMISO11/SSCL11		
70		PC2	A18	MTIOC4B/TCLKA	RXD5/SMISO5/SSCL5/SSLA3		
71		P75			SCK11		
72		P74			CTS11#/RTS11#/SS11#		
73		PC1	A17	MTIOC3A/TCLKD	SCK5/SSLA2/SDA3	IRQ12	
74		PL1					
75		PC0	A16	MTIOC3C/TCLKC	CTS5#/RTS5#/SS5#/SSLA1/ SCL3		
76		PL0					
77		P73 (注1)				IRQ12	
		PL5 (注1)			CECIO	IRQ12	
78		PB7	A15	MTIOC3B/TIOCB5	TXD9/SMOSI9/SSDA9		
79		PB6	A14	MTIOC3D/TIOCA5	RXD9/SMISO9/SSCL9		
80		PB5	A13	MTIOC2A/MTIOC1B/TIOCB4/ TMRI1/POE1#	SCK9		

表 1.5 機能別端子一覧 (144ピンLQFP) (3 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
81		PB4	A12	TIOCA4	CTS9#/RTS9#/SS9#		
82		PB3	A11	MTIOC0A/MTIOC4A/ TIOC3/TCLKD/TMO0/ POE3#	SCK4/SCK6		
83		PB2	A10	TIOCC3/TCLKC	CTS4#/RTS4#/SS4#/CTS6#/ RTS6#/SS6#		
84		PB1	A9	MTIOC0C/MTIOC4C/ TIOCB3/TMCI0	TXD4/SMOSI4/SSDA4/TXD6/ SMOSI6/SSDA6	IRQ4_DS	
85		P72					
86		P71					
87		PB0	A8	MTIC5W/TIOCA3	RXD4/SMISO4/SSCL4/RXD6/ SMISO6/SSCL6/RSPCKA	IRQ12	
88		PA7	A7	TIOCB2	MISOA		
89		PA6	A6	MTIC5V/MTCLKB/TIOCA2/ TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA		
90		PA5	A5	TIOCB1	RSPCKA		
91	VCC						
92		PA4	A4	MTIC5U/MTCLKA/TIOCA1/ TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	IRQ5_DS	
93	VSS						
94		PA3	A3	MTIOC0D/MTCLKD/TIOC0D/ TCLKB	RXD5/SMISO5/SSCL5	IRQ6_DS	
95		PA2	A2		RXD5/SMISO5/SSCL5/SSLA3		
96		PA1	A1	MTIOC0B/MTCLKC/TIOCB0	SCK5/SSLA2	IRQ11	
97		PA0	A0/BC0#	MTIOC4A/TIOCA0/CACREF	SSLA1		
98		P67					
99		P66					
100		P65					
101		PE7	D15 [A15/D15]		MISOB	IRQ7	AN015
102		PE6	D14 [A14/D14]		CTS4#/RTS4#/SS4#/MOSIB	IRQ6	AN014
103		PK5			TXD4/SMOSI4/SSDA4		
104		P70			SCK4		
105		PK4			RXD4/SMISO4/SSCL4		
106		PE5	D13 [A13/D13]	MTIOC4C/MTIOC2B	RSPCKB	IRQ5	AN013
107		PE4	D12 [A12/D12]	MTIOC4D/MTIOC1A	SSLB0		AN012
108		PE3	D11 [A11/D11]	MTIOC4B/POE8#	CTS12#/RTS12#/SS12#/MISOB		AN011
109		PE2	D10 [A10/D10]	MTIOC4A	RXD12/RXD12/SMOSI12/ SSCL12/SSLB3/MOSIB	IRQ7_DS	AN010
110		PE1	D9 [A9/D9]	MTIOC4C	TXD12/TXD12/SMOSI12/ SSDA12/SSLB2/RSPCKB/ SIOX12		AN009
111		PE0	D8 [A8/D8]		SCK12/SSLB1		AN008
112		P64					
113		P63					
114		P62					
115		P61			CTS9#/RTS9#/SS9#		
116		PK3			RXD9/SMISO9/SSCL9		
117		P60			SCK9		
118		PK2			TXD9/SMOSI9/SSDA9		
119		PD7	D7 [A7/D7]	MTIC5U/POE0#		IRQ7	
120		PD6	D6 [A6/D6]	MTIC5V/POE1#		IRQ6	
121		PD5	D5 [A5/D5]	MTIC5W/POE2#		IRQ5	

表 1.5 機能別端子一覧 (144ピンLQFP) (4 / 4)

ピン番号	電源、クロック、システム制御	I/O ポート	外部バス	タイマ (MTU、TPU、TMR、POE、PPG、CAC)	通信 (SCle、SCIf、RSPI、RIIC、CEC、RCR)	割り込み	AD、DA
122		PD4	D4 [A4/D4]	POE3#		IRQ4	
123		PD3	D3 [A3/D3]	POE8#		IRQ3	
124		PD2	D2 [A2/D2]	MTIOC4D		IRQ2	
125		PD1	D1 [A1/D1]	MTIOC4B		IRQ1	
126		PD0	D0 [A0/D0]			IRQ0	
127		P93			CTS7#/RTS7#/SS7#		
128		P92			RXD7/SMISO7/SSCL7		
129		P91			SCK7		
130	VSS						
131		P90			TXD7/SMOSI7/SSDA7		
132	VCC						
133		P47					AN007
134		P46					AN006
135		P45					AN005
136		P44					AN004
137		P43					AN003
138		P42					AN002
139		P41					AN001
140	VREFL0						
141		P40					AN000
142	VREFH0						
143	AVCC0						
144		P07					ADTRG0#

注1. 77pinは、5V版はP73、3V版はPL5です。

## 2. CPU

図 2.1 に CPU のレジスタ構成を示します。

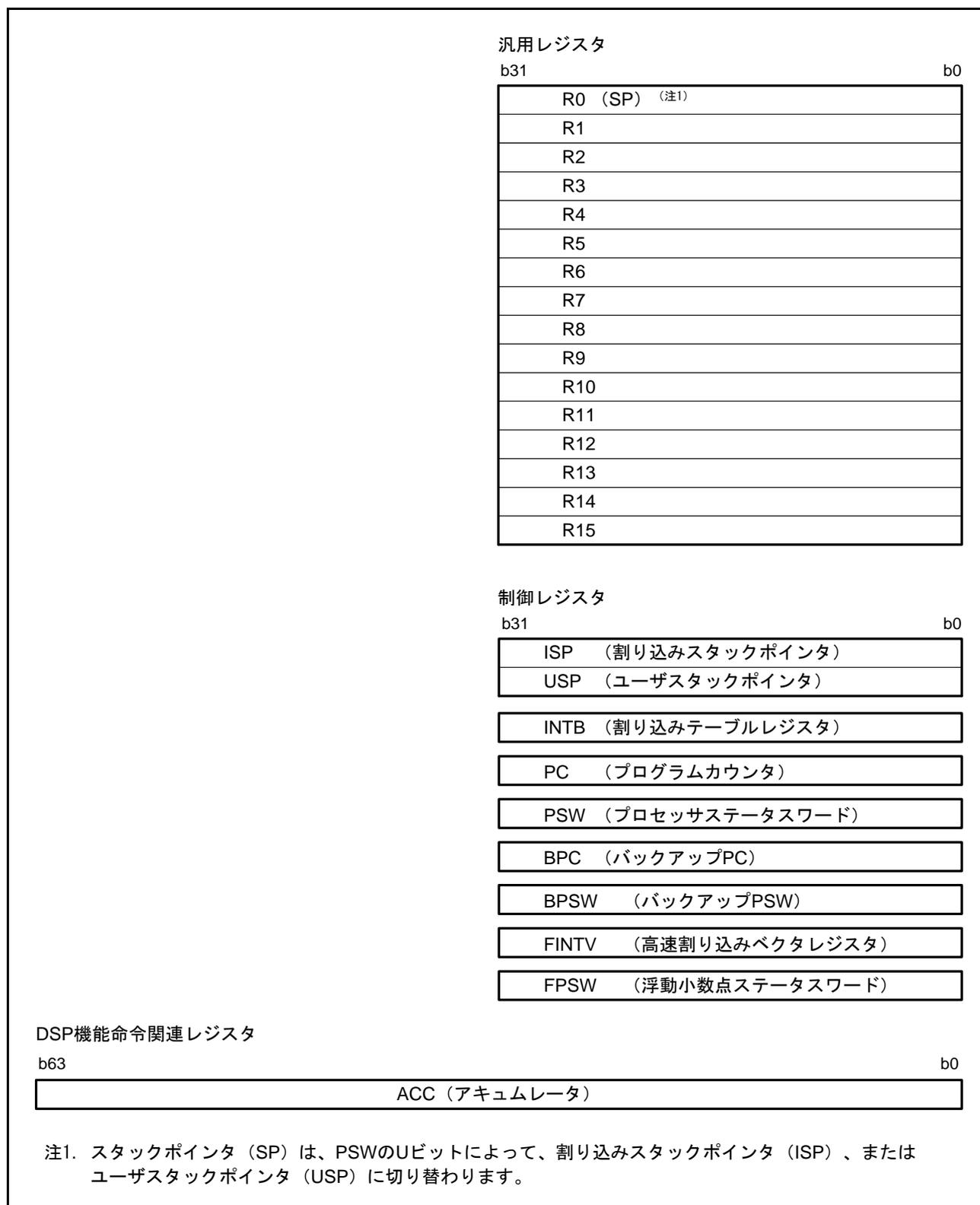


図 2.1 CPU レジスタセット

## 2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

## 2.2 制御レジスタ

### (1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

### (2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

### (3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

### (4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

### (5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

### (6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

### (7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

### (8) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット  $E_j$  で例外処理を許可 ( $E_j = 1$ ) した場合は、例外処理ルーチンで該当する  $C_j$  フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ( $E_j = 0$ ) した場合は、一連の処理の最後に  $F_j$  フラグをチェックし、例外発生の有無を確認することができます。 $F_j$  フラグは蓄積フラグです。(j=X、U、Z、O、V)

## 2.3 DSP 機能命令関連レジスタ

### (1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32 ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット (b63 ~ b32)、MVFACMI 命令で中央の 32 ビット (b47 ~ b16) のデータをそれぞれ読みます。

### 3. アドレス空間

#### 3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

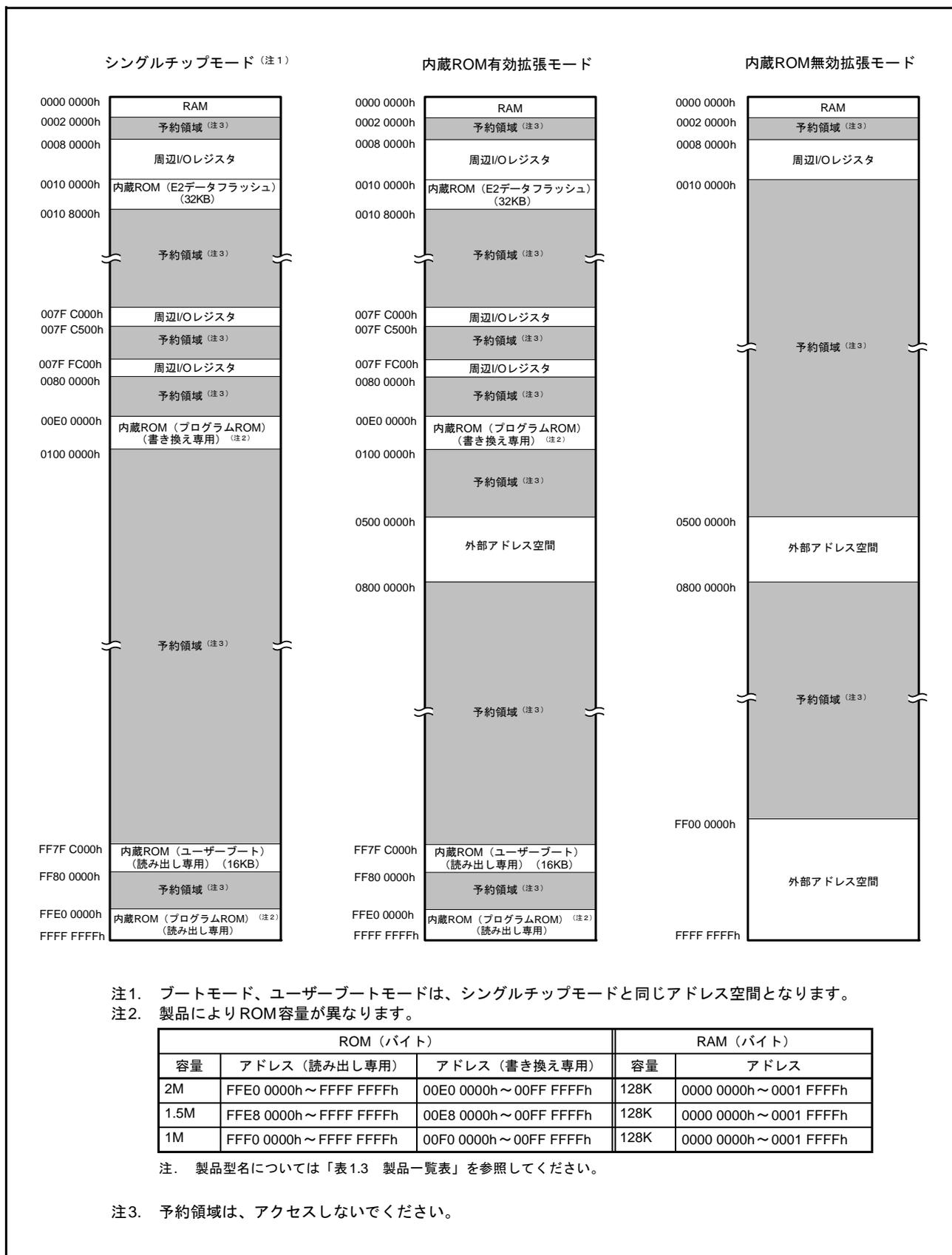


図 3.1 各動作モードのメモリマップ

### 3.2 外部アドレス空間

外部アドレス空間は、CSn# 端子 (n = 0 ~ 3) から出力される CSn# 信号によって最大 4 つの CS 領域 (CS0 ~ CS3) に分割できます。図 3.2 に内蔵 ROM 無効拡張モード時の CS 領域 (CS0 ~ CS3) とアドレスの対応を示します。

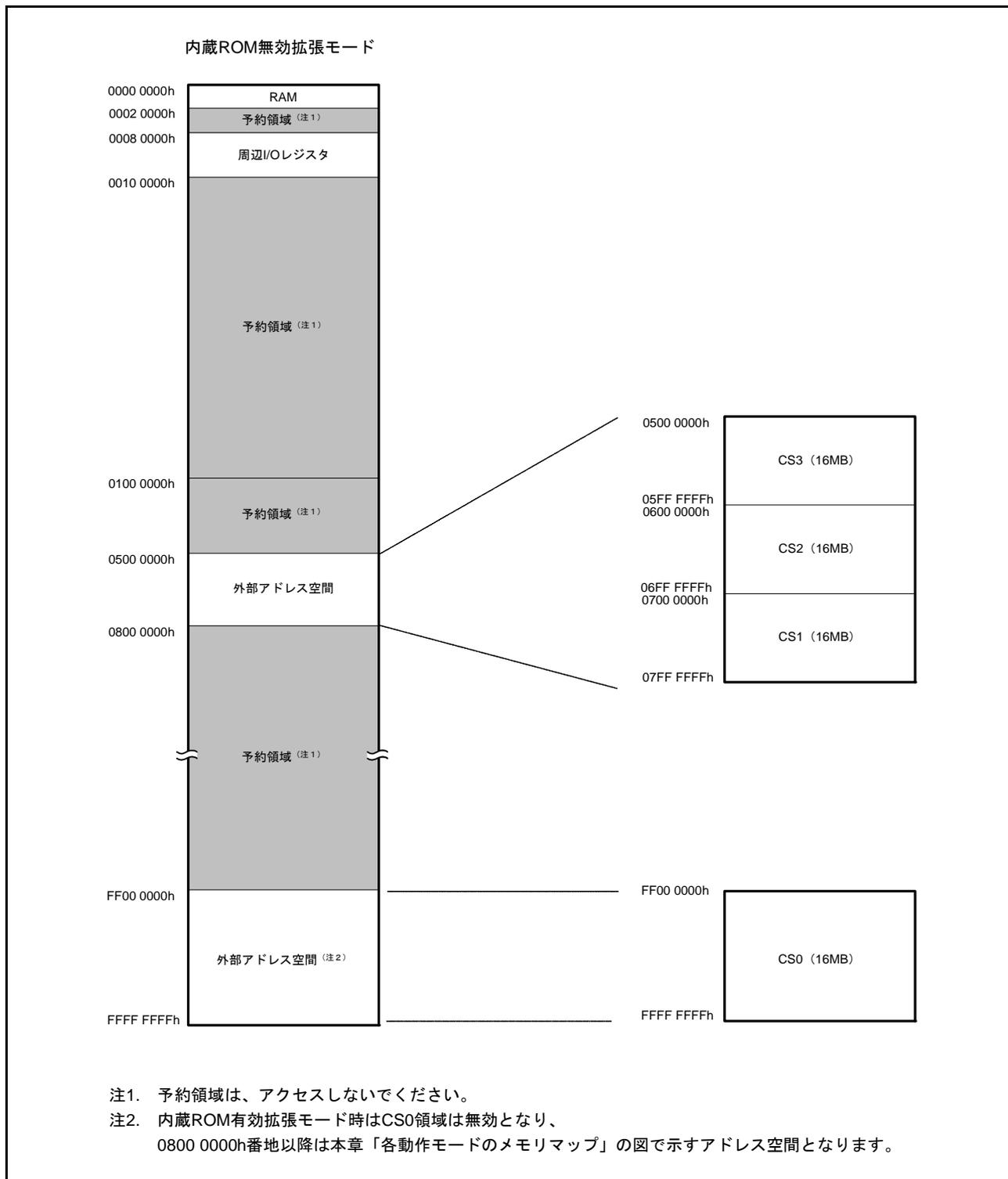


図 3.2 外部アドレス空間と CS 領域 (内蔵 ROM 無効拡張モードの場合)

## 4. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレスに関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

### (1) I/O レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

### (2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

#### [注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENj ビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/O レジスタの書き込み
- (b) 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

#### [命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/O レジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

### (3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 4.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注 1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2 ～ 6 に接続されている周辺機能、および外部バス制御部のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK（または FCLK、BCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では  $\text{ICLK} \geq \text{PCLK}$ （または FCLK）の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（または FCLK）で最大 1 サイクルとなるため、表 4.1 では 1PCLK（または FCLK）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

外部バス制御部では内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、BCLK で最大 1 サイクルとなるため、表 4.1 では 1BCLK の幅を持たせて記載しています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

## 4.1 I/O レジスタアドレス一覧（アドレス順）

表4.1 I/O レジスタアドレス一覧（1 / 34）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合			
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK		動作モード		
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK				
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK				
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK				
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK		消費電力低減機能		
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK				
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK				
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK				
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK		クロック発生回路		
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK				
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK				
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK				
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK				
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK				
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK				
0008 0035h	SYSTEM	IWDI専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK				
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK				
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK				
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK			消費電力低減機能	
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK				
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK				
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK				
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTS2	8	8	3ICLK		リセット		
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK				
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK		LVDA		
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK				
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK				
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK				
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK		レジスタライトプロテクション機能		
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK		バス		
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK				
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK				
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK				
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK				
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK		DMACA		
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK				
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK				
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK				
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK				
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK				
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK				

表 4.1 I/O レジスタアドレス一覧 ( 2 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 2018h	DMAC0	DMA オフセットレジスタ	DMOFR	32	32	2ICLK		DMACA	
0008 201Ch	DMAC0	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			
0008 201Dh	DMAC0	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			
0008 201Eh	DMAC0	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			
0008 201Fh	DMAC0	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			
0008 2040h	DMAC1	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK			
0008 2044h	DMAC1	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK			
0008 2048h	DMAC1	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK			
0008 204Ch	DMAC1	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			
0008 2050h	DMAC1	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK			
0008 2053h	DMAC1	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK			
0008 2054h	DMAC1	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK			
0008 205Ch	DMAC1	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			
0008 205Dh	DMAC1	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			
0008 205Eh	DMAC1	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			
0008 205Fh	DMAC1	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			
0008 2080h	DMAC2	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK			
0008 2084h	DMAC2	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK			
0008 2088h	DMAC2	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK			
0008 208Ch	DMAC2	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			
0008 2090h	DMAC2	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK			
0008 2093h	DMAC2	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK			
0008 2094h	DMAC2	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK			
0008 209Ch	DMAC2	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			
0008 209Dh	DMAC2	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			
0008 209Eh	DMAC2	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			
0008 209Fh	DMAC2	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			
0008 20C0h	DMAC3	DMA 転送元アドレスレジスタ	DMSAR	32	32	2ICLK			
0008 20C4h	DMAC3	DMA 転送先アドレスレジスタ	DMDAR	32	32	2ICLK			
0008 20C8h	DMAC3	DMA 転送カウントレジスタ	DMCRA	32	32	2ICLK			
0008 20CCh	DMAC3	DMA ブロック転送カウントレジスタ	DMCRB	16	16	2ICLK			
0008 20D0h	DMAC3	DMA 転送モードレジスタ	DMTMD	16	16	2ICLK			
0008 20D3h	DMAC3	DMA 割り込み設定レジスタ	DMINT	8	8	2ICLK			
0008 20D4h	DMAC3	DMA アドレスモードレジスタ	DMAMD	16	16	2ICLK			
0008 20DCh	DMAC3	DMA 転送許可レジスタ	DMCNT	8	8	2ICLK			
0008 20DDh	DMAC3	DMA ソフトウェア起動レジスタ	DMREQ	8	8	2ICLK			
0008 20DEh	DMAC3	DMA ステータスレジスタ	DMSTS	8	8	2ICLK			
0008 20DFh	DMAC3	DMA 起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK			
0008 2200h	DMAC	DMA モジュール起動レジスタ	DMAST	8	8	2ICLK			
0008 2400h	DTC	DTC コントロールレジスタ	DTCCR	8	8	2ICLK		DTCa	
0008 2404h	DTC	DTC ベクタベースレジスタ	DTCVBR	32	32	2ICLK			
0008 2408h	DTC	DTC アドレスモードレジスタ	DTCADMOD	8	8	2ICLK			
0008 240Ch	DTC	DTC モジュール起動レジスタ	DTCST	8	8	2ICLK			
0008 240Eh	DTC	DTC ステータスレジスタ	DTCSTS	16	16	2ICLK			
0008 3002h	BSC	CS0 モードレジスタ	CS0MOD	16	16	1 ~ 2BCLK		バス	
0008 3004h	BSC	CS0 ウェイト制御レジスタ1	CS0WCR1	32	32	1 ~ 2BCLK			
0008 3008h	BSC	CS0 ウェイト制御レジスタ2	CS0WCR2	32	32	1 ~ 2BCLK			
0008 3012h	BSC	CS1 モードレジスタ	CS1MOD	16	16	1 ~ 2BCLK			
0008 3014h	BSC	CS1 ウェイト制御レジスタ1	CS1WCR1	32	32	1 ~ 2BCLK			
0008 3018h	BSC	CS1 ウェイト制御レジスタ2	CS1WCR2	32	32	1 ~ 2BCLK			
0008 3022h	BSC	CS2 モードレジスタ	CS2MOD	16	16	1 ~ 2BCLK			

表 4.1 I/O レジスタアドレス一覧 (3 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の場合		
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1 ~ 2BCLK		バス	
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1 ~ 2BCLK			
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1 ~ 2BCLK			
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1 ~ 2BCLK			
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1 ~ 2BCLK			
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1 ~ 2BCLK			
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1 ~ 2BCLK			
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1 ~ 2BCLK			
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1 ~ 2BCLK			
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1 ~ 2BCLK			
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1 ~ 2BCLK			
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1 ~ 2BCLK			
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1 ~ 2BCLK			
0008 3880h	BSC	CSリカバリサイクル挿入許可レジスタ	CSRECEN	16	16	1 ~ 2BCLK			
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK			MPU
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK			
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK			
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK			
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK			
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK			
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK			
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK			
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK			
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK			
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK			
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK			
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK			
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK			
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK			
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK			
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK			
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK			
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK			
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK			
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK			
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK			
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK			
0008 6526h	MPU	領域インバリデータオペレーションレジスタ	MPOPI	16	16	1ICLK			
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK			
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK			
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK		ICUb	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK			
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK			
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK			
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK			
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK			
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK			
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 4 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の 場合	ICLK $<$ PCLK の場合		
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK		ICUb	
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK			
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK			
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK			
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK			
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK			
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK			
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK			
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK			
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK			
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK			
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK			
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK			
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK			
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK			
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK			
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK			
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK			
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK			
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK			
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK			
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK			
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK			
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK			
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK			
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK			5V 版にはありません
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK			5V 版にはありません
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK			5V 版にはありません
0008 705Eh	ICU	割り込み要求レジスタ 094	IR094	8	8	2ICLK			5V 版にはありません
0008 705Fh	ICU	割り込み要求レジスタ 095	IR095	8	8	2ICLK			5V 版にはありません
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK			
0008 7063h	ICU	割り込み要求レジスタ 099	IR099	8	8	2ICLK			
0008 7064h	ICU	割り込み要求レジスタ 100	IR100	8	8	2ICLK			
0008 7065h	ICU	割り込み要求レジスタ 101	IR101	8	8	2ICLK			
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK			
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK			
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK			
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK			
0008 706Fh	ICU	割り込み要求レジスタ 111	IR111	8	8	2ICLK			5V 版にはありません
0008 7070h	ICU	割り込み要求レジスタ 112	IR112	8	8	2ICLK			5V 版にはありません
0008 7071h	ICU	割り込み要求レジスタ 113	IR113	8	8	2ICLK			5V 版にはありません
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK			
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK			
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK			
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK			
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK			
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK			
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK			
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK			
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK			
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 5 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の 場合	ICLK $<$ PCLK の場合		
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK		ICUb	
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK			
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK			
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK			
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK			
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK			
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK			
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK			
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK			
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK			
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK			
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK			
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK			
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK			
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK			
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK			
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK			
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK			
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK			
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK			
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK			
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK			
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK			
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK			
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK			
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK			
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK			
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK			
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK			
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK			
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK			
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK			
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK			
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK			
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK			
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK			
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK			
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK			
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK			
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK			
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK			
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK			
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK			
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK			
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK			
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK			
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK			
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK			
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK			
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK			
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 6 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK		ICUb	
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK			
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK			
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK			
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK			
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK			
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK			
0008 70BAh	ICU	割り込み要求レジスタ 186	IR186	8	8	2ICLK			
0008 70BBh	ICU	割り込み要求レジスタ 187	IR187	8	8	2ICLK			
0008 70BCh	ICU	割り込み要求レジスタ 188	IR188	8	8	2ICLK			
0008 70BDh	ICU	割り込み要求レジスタ 189	IR189	8	8	2ICLK			
0008 70BEh	ICU	割り込み要求レジスタ 190	IR190	8	8	2ICLK			
0008 70BFh	ICU	割り込み要求レジスタ 191	IR191	8	8	2ICLK			
0008 70C0h	ICU	割り込み要求レジスタ 192	IR192	8	8	2ICLK			
0008 70C1h	ICU	割り込み要求レジスタ 193	IR193	8	8	2ICLK			
0008 70C2h	ICU	割り込み要求レジスタ 194	IR194	8	8	2ICLK			
0008 70C3h	ICU	割り込み要求レジスタ 195	IR195	8	8	2ICLK			
0008 70C4h	ICU	割り込み要求レジスタ 196	IR196	8	8	2ICLK			
0008 70C5h	ICU	割り込み要求レジスタ 197	IR197	8	8	2ICLK			
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK			
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK			
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK			
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK			
0008 70CAh	ICU	割り込み要求レジスタ 202	IR202	8	8	2ICLK			
0008 70CBh	ICU	割り込み要求レジスタ 203	IR203	8	8	2ICLK			
0008 70CCh	ICU	割り込み要求レジスタ 204	IR204	8	8	2ICLK			
0008 70CDh	ICU	割り込み要求レジスタ 205	IR205	8	8	2ICLK			
0008 70CEh	ICU	割り込み要求レジスタ 206	IR206	8	8	2ICLK			
0008 70CFh	ICU	割り込み要求レジスタ 207	IR207	8	8	2ICLK			
0008 70D0h	ICU	割り込み要求レジスタ 208	IR208	8	8	2ICLK			
0008 70D1h	ICU	割り込み要求レジスタ 209	IR209	8	8	2ICLK			
0008 70D2h	ICU	割り込み要求レジスタ 210	IR210	8	8	2ICLK			
0008 70D3h	ICU	割り込み要求レジスタ 211	IR211	8	8	2ICLK			
0008 70D4h	ICU	割り込み要求レジスタ 212	IR212	8	8	2ICLK			
0008 70D5h	ICU	割り込み要求レジスタ 213	IR213	8	8	2ICLK			
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK			
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK			
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK			
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK			
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK			
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK			
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK			
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK			
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK			
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK			
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK			
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK			
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK			
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK			
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK			
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 (7 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2ICLK		ICUb	
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2ICLK			
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2ICLK			
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2ICLK			
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK			
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK			
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK			
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK			
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK			
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK			
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK			
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK			
0008 70F2h	ICU	割り込み要求レジスタ 242	IR242	8	8	2ICLK			
0008 70F3h	ICU	割り込み要求レジスタ 243	IR243	8	8	2ICLK			
0008 70F4h	ICU	割り込み要求レジスタ 244	IR244	8	8	2ICLK			
0008 70F5h	ICU	割り込み要求レジスタ 245	IR245	8	8	2ICLK			
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK			
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK			
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK			
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK			
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK			
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK			
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK			
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK			
0008 711Bh	ICU	DTC 起動許可レジスタ 027	DT CER027	8	8	2ICLK			
0008 711Ch	ICU	DTC 起動許可レジスタ 028	DT CER028	8	8	2ICLK			
0008 711Dh	ICU	DTC 起動許可レジスタ 029	DT CER029	8	8	2ICLK			
0008 711Eh	ICU	DTC 起動許可レジスタ 030	DT CER030	8	8	2ICLK			
0008 711Fh	ICU	DTC 起動許可レジスタ 031	DT CER031	8	8	2ICLK			
0008 712Dh	ICU	DTC 起動許可レジスタ 045	DT CER045	8	8	2ICLK			
0008 712Eh	ICU	DTC 起動許可レジスタ 046	DT CER046	8	8	2ICLK			
0008 7131h	ICU	DTC 起動許可レジスタ 049	DT CER049	8	8	2ICLK			
0008 7132h	ICU	DTC 起動許可レジスタ 050	DT CER050	8	8	2ICLK			
0008 7140h	ICU	DTC 起動許可レジスタ 064	DT CER064	8	8	2ICLK			
0008 7141h	ICU	DTC 起動許可レジスタ 065	DT CER065	8	8	2ICLK			
0008 7142h	ICU	DTC 起動許可レジスタ 066	DT CER066	8	8	2ICLK			
0008 7143h	ICU	DTC 起動許可レジスタ 067	DT CER067	8	8	2ICLK			
0008 7144h	ICU	DTC 起動許可レジスタ 068	DT CER068	8	8	2ICLK			
0008 7145h	ICU	DTC 起動許可レジスタ 069	DT CER069	8	8	2ICLK			
0008 7146h	ICU	DTC 起動許可レジスタ 070	DT CER070	8	8	2ICLK			
0008 7147h	ICU	DTC 起動許可レジスタ 071	DT CER071	8	8	2ICLK			
0008 7148h	ICU	DTC 起動許可レジスタ 072	DT CER072	8	8	2ICLK			
0008 7149h	ICU	DTC 起動許可レジスタ 073	DT CER073	8	8	2ICLK			
0008 714Ah	ICU	DTC 起動許可レジスタ 074	DT CER074	8	8	2ICLK			
0008 714Bh	ICU	DTC 起動許可レジスタ 075	DT CER075	8	8	2ICLK			
0008 714Ch	ICU	DTC 起動許可レジスタ 076	DT CER076	8	8	2ICLK			
0008 714Dh	ICU	DTC 起動許可レジスタ 077	DT CER077	8	8	2ICLK			5V 版にはありません
0008 714Eh	ICU	DTC 起動許可レジスタ 078	DT CER078	8	8	2ICLK			5V 版にはありません
0008 714Fh	ICU	DTC 起動許可レジスタ 079	DT CER079	8	8	2ICLK			5V 版にはありません
0008 7163h	ICU	DTC 起動許可レジスタ 099	DT CER099	8	8	2ICLK			
0008 7164h	ICU	DTC 起動許可レジスタ 100	DT CER100	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 8 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 7166h	ICU	DTC 起動許可レジスタ 102	DTCER102	8	8	2ICLK		ICUb	
0008 7167h	ICU	DTC 起動許可レジスタ 103	DTCER103	8	8	2ICLK			
0008 716Ah	ICU	DTC 起動許可レジスタ 106	DTCER106	8	8	2ICLK			
0008 716Bh	ICU	DTC 起動許可レジスタ 107	DTCER107	8	8	2ICLK			
0008 716Fh	ICU	DTC 起動許可レジスタ 111	DTCER111	8	8	2ICLK			5V 版にはありません
0008 7170h	ICU	DTC 起動許可レジスタ 112	DTCER112	8	8	2ICLK			5V 版にはありません
0008 7172h	ICU	DTC 起動許可レジスタ 114	DTCER114	8	8	2ICLK			
0008 7173h	ICU	DTC 起動許可レジスタ 115	DTCER115	8	8	2ICLK			
0008 7174h	ICU	DTC 起動許可レジスタ 116	DTCER116	8	8	2ICLK			
0008 7175h	ICU	DTC 起動許可レジスタ 117	DTCER117	8	8	2ICLK			
0008 7179h	ICU	DTC 起動許可レジスタ 121	DTCER121	8	8	2ICLK			
0008 717Ah	ICU	DTC 起動許可レジスタ 122	DTCER122	8	8	2ICLK			
0008 717Dh	ICU	DTC 起動許可レジスタ 125	DTCER125	8	8	2ICLK			
0008 717Eh	ICU	DTC 起動許可レジスタ 126	DTCER126	8	8	2ICLK			
0008 7181h	ICU	DTC 起動許可レジスタ 129	DTCER129	8	8	2ICLK			
0008 7182h	ICU	DTC 起動許可レジスタ 130	DTCER130	8	8	2ICLK			
0008 7183h	ICU	DTC 起動許可レジスタ 131	DTCER131	8	8	2ICLK			
0008 7184h	ICU	DTC 起動許可レジスタ 132	DTCER132	8	8	2ICLK			
0008 7186h	ICU	DTC 起動許可レジスタ 134	DTCER134	8	8	2ICLK			
0008 7187h	ICU	DTC 起動許可レジスタ 135	DTCER135	8	8	2ICLK			
0008 7188h	ICU	DTC 起動許可レジスタ 136	DTCER136	8	8	2ICLK			
0008 7189h	ICU	DTC 起動許可レジスタ 137	DTCER137	8	8	2ICLK			
0008 718Ah	ICU	DTC 起動許可レジスタ 138	DTCER138	8	8	2ICLK			
0008 718Bh	ICU	DTC 起動許可レジスタ 139	DTCER139	8	8	2ICLK			
0008 718Ch	ICU	DTC 起動許可レジスタ 140	DTCER140	8	8	2ICLK			
0008 718Dh	ICU	DTC 起動許可レジスタ 141	DTCER141	8	8	2ICLK			
0008 718Eh	ICU	DTC 起動許可レジスタ 142	DTCER142	8	8	2ICLK			
0008 718Fh	ICU	DTC 起動許可レジスタ 143	DTCER143	8	8	2ICLK			
0008 7190h	ICU	DTC 起動許可レジスタ 144	DTCER144	8	8	2ICLK			
0008 7191h	ICU	DTC 起動許可レジスタ 145	DTCER145	8	8	2ICLK			
0008 7193h	ICU	DTC 起動許可レジスタ 147	DTCER147	8	8	2ICLK			
0008 7194h	ICU	DTC 起動許可レジスタ 148	DTCER148	8	8	2ICLK			
0008 7197h	ICU	DTC 起動許可レジスタ 151	DTCER151	8	8	2ICLK			
0008 7198h	ICU	DTC 起動許可レジスタ 152	DTCER152	8	8	2ICLK			
0008 719Bh	ICU	DTC 起動許可レジスタ 155	DTCER155	8	8	2ICLK			
0008 719Ch	ICU	DTC 起動許可レジスタ 156	DTCER156	8	8	2ICLK			
0008 719Dh	ICU	DTC 起動許可レジスタ 157	DTCER157	8	8	2ICLK			
0008 719Eh	ICU	DTC 起動許可レジスタ 158	DTCER158	8	8	2ICLK			
0008 71A0h	ICU	DTC 起動許可レジスタ 160	DTCER160	8	8	2ICLK			
0008 71A1h	ICU	DTC 起動許可レジスタ 161	DTCER161	8	8	2ICLK			
0008 71A4h	ICU	DTC 起動許可レジスタ 164	DTCER164	8	8	2ICLK			
0008 71A5h	ICU	DTC 起動許可レジスタ 165	DTCER165	8	8	2ICLK			
0008 71AEh	ICU	DTC 起動許可レジスタ 174	DTCER174	8	8	2ICLK			
0008 71AFh	ICU	DTC 起動許可レジスタ 175	DTCER175	8	8	2ICLK			
0008 71B1h	ICU	DTC 起動許可レジスタ 177	DTCER177	8	8	2ICLK			
0008 71B2h	ICU	DTC 起動許可レジスタ 178	DTCER178	8	8	2ICLK			
0008 71B4h	ICU	DTC 起動許可レジスタ 180	DTCER180	8	8	2ICLK			
0008 71B5h	ICU	DTC 起動許可レジスタ 181	DTCER181	8	8	2ICLK			
0008 71B7h	ICU	DTC 起動許可レジスタ 183	DTCER183	8	8	2ICLK			
0008 71B8h	ICU	DTC 起動許可レジスタ 184	DTCER184	8	8	2ICLK			
0008 71BBh	ICU	DTC 起動許可レジスタ 187	DTCER187	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 9 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 71BCh	ICU	DTC 起動許可レジスタ 188	DT CER188	8	8	2ICLK		ICUb	
0008 71BFh	ICU	DTC 起動許可レジスタ 191	DT CER191	8	8	2ICLK			
0008 71C0h	ICU	DTC 起動許可レジスタ 192	DT CER192	8	8	2ICLK			
0008 71C3h	ICU	DTC 起動許可レジスタ 195	DT CER195	8	8	2ICLK			
0008 71C4h	ICU	DTC 起動許可レジスタ 196	DT CER196	8	8	2ICLK			
0008 71C6h	ICU	DTC 起動許可レジスタ 198	DT CER198	8	8	2ICLK			
0008 71C7h	ICU	DTC 起動許可レジスタ 199	DT CER199	8	8	2ICLK			
0008 71C8h	ICU	DTC 起動許可レジスタ 200	DT CER200	8	8	2ICLK			
0008 71C9h	ICU	DTC 起動許可レジスタ 201	DT CER201	8	8	2ICLK			
0008 71CBh	ICU	DTC 起動許可レジスタ 203	DT CER203	8	8	2ICLK			
0008 71CCh	ICU	DTC 起動許可レジスタ 204	DT CER204	8	8	2ICLK			
0008 71CFh	ICU	DTC 起動許可レジスタ 207	DT CER207	8	8	2ICLK			
0008 71D0h	ICU	DTC 起動許可レジスタ 208	DT CER208	8	8	2ICLK			
0008 71D3h	ICU	DTC 起動許可レジスタ 211	DT CER211	8	8	2ICLK			
0008 71D4h	ICU	DTC 起動許可レジスタ 212	DT CER212	8	8	2ICLK			
0008 71D7h	ICU	DTC 起動許可レジスタ 215	DT CER215	8	8	2ICLK			
0008 71D8h	ICU	DTC 起動許可レジスタ 216	DT CER216	8	8	2ICLK			
0008 71DBh	ICU	DTC 起動許可レジスタ 219	DT CER219	8	8	2ICLK			
0008 71DCh	ICU	DTC 起動許可レジスタ 220	DT CER220	8	8	2ICLK			
0008 71DFh	ICU	DTC 起動許可レジスタ 223	DT CER223	8	8	2ICLK			
0008 71E0h	ICU	DTC 起動許可レジスタ 224	DT CER224	8	8	2ICLK			
0008 71E3h	ICU	DTC 起動許可レジスタ 227	DT CER227	8	8	2ICLK			
0008 71E4h	ICU	DTC 起動許可レジスタ 228	DT CER228	8	8	2ICLK			
0008 71E7h	ICU	DTC 起動許可レジスタ 231	DT CER231	8	8	2ICLK			
0008 71E8h	ICU	DTC 起動許可レジスタ 232	DT CER232	8	8	2ICLK			
0008 71EBh	ICU	DTC 起動許可レジスタ 235	DT CER235	8	8	2ICLK			
0008 71ECh	ICU	DTC 起動許可レジスタ 236	DT CER236	8	8	2ICLK			
0008 71EFh	ICU	DTC 起動許可レジスタ 239	DT CER239	8	8	2ICLK			
0008 71F0h	ICU	DTC 起動許可レジスタ 240	DT CER240	8	8	2ICLK			
0008 71F7h	ICU	DTC 起動許可レジスタ 247	DT CER247	8	8	2ICLK			
0008 71F8h	ICU	DTC 起動許可レジスタ 248	DT CER248	8	8	2ICLK			
0008 71FBh	ICU	DTC 起動許可レジスタ 251	DT CER251	8	8	2ICLK			
0008 71FCh	ICU	DTC 起動許可レジスタ 252	DT CER252	8	8	2ICLK			
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK			
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK			
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK			
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK			
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2ICLK			
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK			
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK			
0008 7209h	ICU	割り込み要求許可レジスタ 09	IER09	8	8	2ICLK			
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK			
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK			
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK			
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK			
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK			
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK			
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK			
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK			
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK			
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 10 / 34 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK		ICUb	
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK			
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK			
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK			
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK			
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK			
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK			
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK			
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK			
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK			
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK			
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK			
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK			
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK			
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK			
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK			
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK			
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK			
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK			
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK			
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK			
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK			
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK			
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK			
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK			
0008 7330h	ICU	割り込み要因プライオリティレジスタ 048	IPR048	8	8	2ICLK			
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK			
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK			
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK			
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK			
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK			
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK			
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK			
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK			
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK			
0008 7348h	ICU	割り込み要因プライオリティレジスタ 072	IPR072	8	8	2ICLK			
0008 7349h	ICU	割り込み要因プライオリティレジスタ 073	IPR073	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 1 1 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLKの 場合	ICLK < PCLK の場合		
0008 734Ah	ICU	割り込み要因プライオリティレジスタ 074	IPR074	8	8	2ICLK		ICUb	
0008 734Bh	ICU	割り込み要因プライオリティレジスタ 075	IPR075	8	8	2ICLK			
0008 734Ch	ICU	割り込み要因プライオリティレジスタ 076	IPR076	8	8	2ICLK			
0008 734Dh	ICU	割り込み要因プライオリティレジスタ 077	IPR077	8	8	2ICLK			5V版にはありません
0008 734Eh	ICU	割り込み要因プライオリティレジスタ 078	IPR078	8	8	2ICLK			5V版にはありません
0008 734Fh	ICU	割り込み要因プライオリティレジスタ 079	IPR079	8	8	2ICLK			5V版にはありません
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 094	IPR094	8	8	2ICLK			5V版にはありません
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 095	IPR095	8	8	2ICLK			5V版にはありません
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098	IPR098	8	8	2ICLK			
0008 7363h	ICU	割り込み要因プライオリティレジスタ 099	IPR099	8	8	2ICLK			
0008 7364h	ICU	割り込み要因プライオリティレジスタ 100	IPR100	8	8	2ICLK			
0008 7365h	ICU	割り込み要因プライオリティレジスタ 101	IPR101	8	8	2ICLK			
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK			
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK			
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK			
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK			
0008 736Fh	ICU	割り込み要因プライオリティレジスタ 111	IPR111	8	8	2ICLK			5V版にはありません
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK			
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK			
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK			
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK			
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK			
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK			
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK			
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK			
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK			
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK			
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK			
0008 738Eh	ICU	割り込み要因プライオリティレジスタ 142	IPR142	8	8	2ICLK			
0008 7392h	ICU	割り込み要因プライオリティレジスタ 146	IPR146	8	8	2ICLK			
0008 7393h	ICU	割り込み要因プライオリティレジスタ 147	IPR147	8	8	2ICLK			
0008 7395h	ICU	割り込み要因プライオリティレジスタ 149	IPR149	8	8	2ICLK			
0008 7397h	ICU	割り込み要因プライオリティレジスタ 151	IPR151	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 1 2 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 7399h	ICU	割り込み要因プライオリティレジスタ 153	IPR153	8	8	2ICLK		ICUb	
0008 739Bh	ICU	割り込み要因プライオリティレジスタ 155	IPR155	8	8	2ICLK			
0008 739Fh	ICU	割り込み要因プライオリティレジスタ 159	IPR159	8	8	2ICLK			
0008 73A0h	ICU	割り込み要因プライオリティレジスタ 160	IPR160	8	8	2ICLK			
0008 73A2h	ICU	割り込み要因プライオリティレジスタ 162	IPR162	8	8	2ICLK			
0008 73A4h	ICU	割り込み要因プライオリティレジスタ 164	IPR164	8	8	2ICLK			
0008 73A6h	ICU	割り込み要因プライオリティレジスタ 166	IPR166	8	8	2ICLK			
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2ICLK			
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2ICLK			
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK			
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK			
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK			
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK			
0008 73BAh	ICU	割り込み要因プライオリティレジスタ 186	IPR186	8	8	2ICLK			
0008 73BEh	ICU	割り込み要因プライオリティレジスタ 190	IPR190	8	8	2ICLK			
0008 73C2h	ICU	割り込み要因プライオリティレジスタ 194	IPR194	8	8	2ICLK			
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2ICLK			
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2ICLK			
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2ICLK			
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2ICLK			
0008 73CAh	ICU	割り込み要因プライオリティレジスタ 202	IPR202	8	8	2ICLK			
0008 73CBh	ICU	割り込み要因プライオリティレジスタ 203	IPR203	8	8	2ICLK			
0008 73CCh	ICU	割り込み要因プライオリティレジスタ 204	IPR204	8	8	2ICLK			
0008 73CDh	ICU	割り込み要因プライオリティレジスタ 205	IPR205	8	8	2ICLK			
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206	IPR206	8	8	2ICLK			
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210	IPR210	8	8	2ICLK			
0008 73D6h	ICU	割り込み要因プライオリティレジスタ 214	IPR214	8	8	2ICLK			
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK			
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK			
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2ICLK			
0008 73E6h	ICU	割り込み要因プライオリティレジスタ 230	IPR230	8	8	2ICLK			
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2ICLK			
0008 73EEh	ICU	割り込み要因プライオリティレジスタ 238	IPR238	8	8	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 1 3 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 73F2h	ICU	割り込み要因プライオリティレジスタ 242	IPR242	8	8	2ICLK		ICUb	
0008 73F3h	ICU	割り込み要因プライオリティレジスタ 243	IPR243	8	8	2ICLK			
0008 73F4h	ICU	割り込み要因プライオリティレジスタ 244	IPR244	8	8	2ICLK			
0008 73F5h	ICU	割り込み要因プライオリティレジスタ 245	IPR245	8	8	2ICLK			
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK			
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK			
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK			
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK			
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2ICLK			
0008 7400h	ICU	DMAC 起動要求選択レジスタ 0	DMRSR0	8	8	2ICLK			
0008 7404h	ICU	DMAC 起動要求選択レジスタ 1	DMRSR1	8	8	2ICLK			
0008 7408h	ICU	DMAC 起動要求選択レジスタ 2	DMRSR2	8	8	2ICLK			
0008 740Ch	ICU	DMAC 起動要求選択レジスタ 3	DMRSR3	8	8	2ICLK			
0008 7500h	ICU	IRQ コントロールレジスタ 0	IRQCR0	8	8	2ICLK			
0008 7501h	ICU	IRQ コントロールレジスタ 1	IRQCR1	8	8	2ICLK			
0008 7502h	ICU	IRQ コントロールレジスタ 2	IRQCR2	8	8	2ICLK			
0008 7503h	ICU	IRQ コントロールレジスタ 3	IRQCR3	8	8	2ICLK			
0008 7504h	ICU	IRQ コントロールレジスタ 4	IRQCR4	8	8	2ICLK			
0008 7505h	ICU	IRQ コントロールレジスタ 5	IRQCR5	8	8	2ICLK			
0008 7506h	ICU	IRQ コントロールレジスタ 6	IRQCR6	8	8	2ICLK			
0008 7507h	ICU	IRQ コントロールレジスタ 7	IRQCR7	8	8	2ICLK			
0008 7508h	ICU	IRQ コントロールレジスタ 8	IRQCR8	8	8	2ICLK			
0008 7509h	ICU	IRQ コントロールレジスタ 9	IRQCR9	8	8	2ICLK			
0008 750Ah	ICU	IRQ コントロールレジスタ 10	IRQCR10	8	8	2ICLK			
0008 750Bh	ICU	IRQ コントロールレジスタ 11	IRQCR11	8	8	2ICLK			
0008 750Ch	ICU	IRQ コントロールレジスタ 12	IRQCR12	8	8	2ICLK			
0008 750Dh	CEC	CEC 割り込み制御レジスタ 1	CECINTCR1	8	8	2ICLK		CEC	5V 版にはありません
0008 750Eh	CEC	CEC 割り込み制御レジスタ 2	CECINTCR2	8	8	2ICLK			5V 版にはありません
0008 750Fh	CEC	CEC 割り込み制御レジスタ 3	CECINTCR3	8	8	2ICLK			5V 版にはありません
0008 7510h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK		ICUb	
0008 7511h	ICU	IRQ 端子デジタルフィルタ許可レジスタ 1	IRQFLTE1	8	8	2ICLK			
0008 7514h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK			
0008 7516h	ICU	IRQ 端子デジタルフィルタ設定レジスタ 1	IRQFLTC1	16	16	2ICLK			
0008 7580h	ICU	ノンマスクابل割り込みステータスレ ジスタ	NMISR	8	8	2ICLK			
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK			
0008 7582h	ICU	ノンマスクابل割り込みステータスク リアレジスタ	NMICLR	8	8	2ICLK			
0008 7583h	ICU	NMI 端子割り込みコントロールレジス タ	NMICR	8	8	2ICLK			
0008 7590h	ICU	NMI 端子デジタルフィルタ許可レジス タ	NMIFLTE	8	8	2ICLK			
0008 7594h	ICU	NMI 端子デジタルフィルタ設定レジス タ	NMIFLTC	8	8	2ICLK			
0008 8000h	CMT	コンペアマッチタイマスタートレジス タ 0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK	CMT	

表 4.1 I/O レジスタアドレス一覧 ( 1 4 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK	CMT	
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK		
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK	WDTA	
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDRR	8	8	2 ~ 3PCLKB	2ICLK	IWDTa	
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8034h	IWDT	IWDTステータスレジスタ	IWDSR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDRCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8038h	IWDT	IWDT カウント停止コントロールレジスタ	IWDCSTPR	8	8	2 ~ 3PCLKB	2ICLK		
0008 80C0h	DA	D/A データレジスタ 0	DADR0	16	16	2 ~ 3PCLKB	2ICLK	DAa	
0008 80C2h	DA	D/A データレジスタ 1	DADR1	16	16	2 ~ 3PCLKB	2ICLK		
0008 80C4h	DA	D/A 制御レジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK		
0008 80C5h	DA	DADRm フォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8100h	TPU	タイムスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK	TPUa	
0008 8101h	TPU	タイムシンクロレジスタ	TSYR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8108h	TPU0	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8109h	TPU1	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 810Ah	TPU2	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 810Bh	TPU3	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 810Ch	TPU4	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 810Dh	TPU5	ノイズフィルタコントロールレジスタ	NFCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8110h	TPU0	タイムコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8111h	TPU0	タイムモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8112h	TPU0	タイムI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8113h	TPU0	タイムI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8114h	TPU0	タイム割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8115h	TPU0	タイムステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8116h	TPU0	タイムカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8118h	TPU0	タイムジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 811Ah	TPU0	タイムジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 811Ch	TPU0	タイムジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		
0008 811Eh	TPU0	タイムジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		
0008 8120h	TPU1	タイムコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 1 5 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 8121h	TPU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK	TPUa	
0008 8122h	TPU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8124h	TPU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8125h	TPU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8126h	TPU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8128h	TPU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 812Ah	TPU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8130h	TPU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8131h	TPU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8132h	TPU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8134h	TPU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8135h	TPU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8136h	TPU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8138h	TPU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 813Ah	TPU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8140h	TPU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8141h	TPU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8142h	TPU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8143h	TPU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8144h	TPU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8145h	TPU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8146h	TPU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8148h	TPU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 814Ah	TPU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 814Ch	TPU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		
0008 814Eh	TPU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		
0008 8150h	TPU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8151h	TPU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8152h	TPU4	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8154h	TPU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8155h	TPU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8156h	TPU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8158h	TPU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 815Ah	TPU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8160h	TPU5	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8161h	TPU5	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8162h	TPU5	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8164h	TPU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8165h	TPU5	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8166h	TPU5	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8168h	TPU5	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 816Ah	TPU5	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK	PPG	
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK		
0008 81E8h	PPG0	ネクストデータインヘーブルレジスタH	NDERH	8	8	2 ~ 3PCLKB	2ICLK		
0008 81E9h	PPG0	ネクストデータインヘーブルレジスタL	NDERL	8	8	2 ~ 3PCLKB	2ICLK		
0008 81EAh	PPG0	アウトプットデータレジスタH	PODRH	8	8	2 ~ 3PCLKB	2ICLK		
0008 81EBh	PPG0	アウトプットデータレジスタL	PODRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 81ECh	PPG0	ネクストデータレジスタH	NDRH	8	8	2 ~ 3PCLKB	2ICLK		
0008 81EDh	PPG0	ネクストデータレジスタL	NDRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 81EEh	PPG0	ネクストデータレジスタH	NDRH2	8	8	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 1 6 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 81EFh	PPG0	ネクストデータレジスタL	NDRL2	8	8	2 ~ 3PCLKB	2ICLK	PPG	
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	TMR	
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK		
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK		
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK		
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 820Ch	TMR0	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK		
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK		
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK		
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK		
0008 821Ch	TMR2	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK	CRC	
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8300h	RIIC0	I <sup>2</sup> Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	
0008 8301h	RIIC0	I <sup>2</sup> Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8302h	RIIC0	I <sup>2</sup> Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8303h	RIIC0	I <sup>2</sup> Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8304h	RIIC0	I <sup>2</sup> Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		
0008 8305h	RIIC0	I <sup>2</sup> Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8306h	RIIC0	I <sup>2</sup> Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8307h	RIIC0	I <sup>2</sup> Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8308h	RIIC0	I <sup>2</sup> Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8309h	RIIC0	I <sup>2</sup> Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 17 / 34 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 830Ch	RIIC0	スレーブアドレスレジスタ L1	SARL1	8	8	2 ~ 3PCLKB	2ICLK	RIIC	
0008 830Dh	RIIC0	スレーブアドレスレジスタ U1	SARU1	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Eh	RIIC0	スレーブアドレスレジスタ L2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		
0008 830Fh	RIIC0	スレーブアドレスレジスタ U2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8310h	RIIC0	I <sup>2</sup> CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8311h	RIIC0	I <sup>2</sup> CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8312h	RIIC0	I <sup>2</sup> Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK		
0008 8313h	RIIC0	I <sup>2</sup> Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8320h	RIIC1	I <sup>2</sup> Cバスコントロールレジスタ 1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8321h	RIIC1	I <sup>2</sup> Cバスコントロールレジスタ 2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8322h	RIIC1	I <sup>2</sup> Cバスモードレジスタ 1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8323h	RIIC1	I <sup>2</sup> Cバスモードレジスタ 2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8324h	RIIC1	I <sup>2</sup> Cバスモードレジスタ 3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		
0008 8325h	RIIC1	I <sup>2</sup> Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8326h	RIIC1	I <sup>2</sup> Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8327h	RIIC1	I <sup>2</sup> Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8328h	RIIC1	I <sup>2</sup> Cバスステータスレジスタ 1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8329h	RIIC1	I <sup>2</sup> Cバスステータスレジスタ 2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Ah	RIIC1	スレーブアドレスレジスタ L0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Ah	RIIC1	タイムアウト内部カウンタ L	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Bh	RIIC1	スレーブアドレスレジスタ U0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Bh	RIIC1	タイムアウト内部カウンタ U	TMOCNTU	8	8 (注 2)	2 ~ 3PCLKB	2ICLK		
0008 832Ch	RIIC1	スレーブアドレスレジスタ L1	SARL1	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Dh	RIIC1	スレーブアドレスレジスタ U1	SARU1	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Eh	RIIC1	スレーブアドレスレジスタ L2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		
0008 832Fh	RIIC1	スレーブアドレスレジスタ U2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8330h	RIIC1	I <sup>2</sup> CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8331h	RIIC1	I <sup>2</sup> CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8332h	RIIC1	I <sup>2</sup> Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK		
0008 8333h	RIIC1	I <sup>2</sup> Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8360h	RIIC3	I <sup>2</sup> Cバスコントロールレジスタ 1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8361h	RIIC3	I <sup>2</sup> Cバスコントロールレジスタ 2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8362h	RIIC3	I <sup>2</sup> Cバスモードレジスタ 1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8363h	RIIC3	I <sup>2</sup> Cバスモードレジスタ 2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8364h	RIIC3	I <sup>2</sup> Cバスモードレジスタ 3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK		
0008 8365h	RIIC3	I <sup>2</sup> Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8366h	RIIC3	I <sup>2</sup> Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8367h	RIIC3	I <sup>2</sup> Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8368h	RIIC3	I <sup>2</sup> Cバスステータスレジスタ 1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 8369h	RIIC3	I <sup>2</sup> Cバスステータスレジスタ 2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Ah	RIIC3	スレーブアドレスレジスタ L0	SARL0	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Ah	RIIC3	タイムアウト内部カウンタ L	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Bh	RIIC3	スレーブアドレスレジスタ U0	SARU0	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Bh	RIIC3	タイムアウト内部カウンタ U	TMOCNTU	8	8 (注 2)	2 ~ 3PCLKB	2ICLK		
0008 836Ch	RIIC3	スレーブアドレスレジスタ L1	SARL1	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Dh	RIIC3	スレーブアドレスレジスタ U1	SARU1	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Eh	RIIC3	スレーブアドレスレジスタ L2	SARL2	8	8	2 ~ 3PCLKB	2ICLK		
0008 836Fh	RIIC3	スレーブアドレスレジスタ U2	SARU2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8370h	RIIC3	I <sup>2</sup> CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8371h	RIIC3	I <sup>2</sup> CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 18 / 34 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 8372h	RIIC3	I <sup>2</sup> Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK	RIIC	
0008 8373h	RIIC3	I <sup>2</sup> Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK	RSPI	
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK		
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK		
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK		
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK		
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK		
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK		
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK		
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK		
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK		
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK		
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK		
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK		
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK		
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK		
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK	MTU2a	
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 19 / 34 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の場合		
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK	MTU2a	
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKB	2ICLK		
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKB	2ICLK		
0008 8622h	MTU	タイマ周期バッファレジスタ	TCBR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ~ 3PCLKB	2ICLK		
0008 8632h	MTU	タイマバッファ転送設定レジスタ	TBTER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8636h	MTU	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK		
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK		
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ~ 3PCLKB	2ICLK		
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (20 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK	MTU2a	
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK		
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK		
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK		
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK		
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ~ 3PCLKB	2ICLK		
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ~ 3PCLKB	2ICLK		
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ~ 3PCLKB	2ICLK		
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK		
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK		
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK		
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK		
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2 ~ 3PCLKB	2ICLK		
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2 ~ 3PCLKB	2ICLK		
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2 ~ 3PCLKB	2ICLK		
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2 ~ 3PCLKB	2ICLK		
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2 ~ 3PCLKB	2ICLK		
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2 ~ 3PCLKB	2ICLK		
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2 ~ 3PCLKB	2ICLK		
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2 ~ 3PCLKB	2ICLK		
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2 ~ 3PCLKB	2ICLK		
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2 ~ 3PCLKB	2ICLK		
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2 ~ 3PCLKB	2ICLK		
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2 ~ 3PCLKB	2ICLK		
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK		
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2 ~ 3PCLKB	2ICLK		
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ~ 3PCLKB	2ICLK		
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2 ~ 3PCLKB	2ICLK	POE2a	

表 4.1 I/O レジスタ アドレス一覧 ( 2 1 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16	2 ~ 3PCLKB	2ICLK	POE2a	
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	16	2 ~ 3PCLKB	2ICLK		
0008 890Ah	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB	2ICLK		
0008 890Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 890Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16	2 ~ 3PCLKB	2ICLK		
0008 9000h	S12AD	A/D コントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK	S12ADB	
0008 9004h	S12AD	A/D チャネル選択レジスタ A	ADANSA	16	16	2 ~ 3PCLKB	2ICLK		
0008 9008h	S12AD	A/D 変換値加算モード選択レジスタ	ADADS	16	16	2 ~ 3PCLKB	2ICLK		
0008 900Ch	S12AD	A/D 変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	2ICLK		
0008 900Eh	S12AD	A/D コントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	2ICLK		
0008 9010h	S12AD	A/D 開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	2ICLK		
0008 9012h	S12AD	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB	2ICLK		
0008 9014h	S12AD	A/D チャネル選択レジスタ B	ADANSB	16	16	2 ~ 3PCLKB	2ICLK		
0008 9018h	S12AD	A/D データ2 重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB	2ICLK		
0008 901Ch	S12AD	A/D 内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB	2ICLK		
0008 901Eh	S12AD	A/D 自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	2ICLK		
0008 9020h	S12AD	A/D データレジスタ 0	ADDR0	16	16	2 ~ 3PCLKB	2ICLK		
0008 9022h	S12AD	A/D データレジスタ 1	ADDR1	16	16	2 ~ 3PCLKB	2ICLK		
0008 9024h	S12AD	A/D データレジスタ 2	ADDR2	16	16	2 ~ 3PCLKB	2ICLK		
0008 9026h	S12AD	A/D データレジスタ 3	ADDR3	16	16	2 ~ 3PCLKB	2ICLK		
0008 9028h	S12AD	A/D データレジスタ 4	ADDR4	16	16	2 ~ 3PCLKB	2ICLK		
0008 902Ah	S12AD	A/D データレジスタ 5	ADDR5	16	16	2 ~ 3PCLKB	2ICLK		
0008 902Ch	S12AD	A/D データレジスタ 6	ADDR6	16	16	2 ~ 3PCLKB	2ICLK		
0008 902Eh	S12AD	A/D データレジスタ 7	ADDR7	16	16	2 ~ 3PCLKB	2ICLK		
0008 9030h	S12AD	A/D データレジスタ 8	ADDR8	16	16	2 ~ 3PCLKB	2ICLK		
0008 9032h	S12AD	A/D データレジスタ 9	ADDR9	16	16	2 ~ 3PCLKB	2ICLK		
0008 9034h	S12AD	A/D データレジスタ 10	ADDR10	16	16	2 ~ 3PCLKB	2ICLK		
0008 9036h	S12AD	A/D データレジスタ 11	ADDR11	16	16	2 ~ 3PCLKB	2ICLK		
0008 9038h	S12AD	A/D データレジスタ 12	ADDR12	16	16	2 ~ 3PCLKB	2ICLK		
0008 903Ah	S12AD	A/D データレジスタ 13	ADDR13	16	16	2 ~ 3PCLKB	2ICLK		
0008 903Ch	S12AD	A/D データレジスタ 14	ADDR14	16	16	2 ~ 3PCLKB	2ICLK		
0008 903Eh	S12AD	A/D データレジスタ 15	ADDR15	16	16	2 ~ 3PCLKB	2ICLK		
0008 9060h	S12AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK		
0008 9061h	S12AD	A/D サンプリングステートレジスタ L	ADSSTRL	8	8	2 ~ 3PCLKB	2ICLK		
0008 9066h	S12AD	サンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	2ICLK		
0008 9071h	S12AD	A/D サンプリングステートレジスタ O	ADSSTRO	8	8	2 ~ 3PCLKB	2ICLK		
0008 9073h	S12AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK		
0008 9074h	S12AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK		
0008 9075h	S12AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK		
0008 9076h	S12AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK		
0008 9077h	S12AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK		
0008 9078h	S12AD	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK		
0008 9079h	S12AD	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8	2 ~ 3PCLKB	2ICLK		
0008 907Ah	S12AD	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK		
0008 A000h	SCI0	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK	SCIe, SCIf	
0008 A001h	SCI0	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 2 2 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 A002h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK	SCle, SCIf	
0008 A003h	SCI0	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A004h	SCI0	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A005h	SCI0	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A006h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A007h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A008h	SCI0	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A009h	SCI0	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A00Ah	SCI0	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A00Bh	SCI0	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A00Ch	SCI0	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A00Dh	SCI0	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A029h	SCI1	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A02Ah	SCI1	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A02Bh	SCI1	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A02Ch	SCI1	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A040h	SCI2	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A041h	SCI2	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A042h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A043h	SCI2	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A044h	SCI2	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A045h	SCI2	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A046h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A047h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A048h	SCI2	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A049h	SCI2	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A04Ah	SCI2	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A04Bh	SCI2	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A04Ch	SCI2	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A04Dh	SCI2	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A060h	SCI3	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A061h	SCI3	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A062h	SCI3	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A063h	SCI3	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A064h	SCI3	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A065h	SCI3	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A066h	SCI3	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A067h	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A068h	SCI3	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A069h	SCI3	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A06Ah	SCI3	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 2 3 / 3 4 )

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 A06Bh	SCI3	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK	SCle, SCIf	
0008 A06Ch	SCI3	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A06Dh	SCI3	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A080h	SCI4	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A081h	SCI4	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A082h	SCI4	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A083h	SCI4	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A084h	SCI4	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A085h	SCI4	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A086h	SCI4	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A087h	SCI4	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A088h	SCI4	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A089h	SCI4	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A08Ah	SCI4	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A08Bh	SCI4	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A08Ch	SCI4	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A08Dh	SCI4	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A0A9h	SCI5	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A0AAh	SCI5	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A0ABh	SCI5	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A0ACh	SCI5	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A0C9h	SCI6	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A0CAh	SCI6	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A0CBh	SCI6	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A0CCh	SCI6	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A0E0h	SCI7	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A0E1h	SCI7	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A0E2h	SCI7	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A0E3h	SCI7	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A0E4h	SCI7	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A0E5h	SCI7	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (24 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 A0E6h	SCI7	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK	SC1e, SC1f	
0008 A0E7h	SCI7	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A0E8h	SCI7	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A0E9h	SCI7	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A0EAh	SCI7	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A0EBh	SCI7	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A0ECh	SCI7	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A0EDh	SCI7	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A109h	SCI8	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A10Ah	SCI8	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A10Bh	SCI8	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A10Ch	SCI8	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A129h	SCI9	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A12Ah	SCI9	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A12Bh	SCI9	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A12Ch	SCI9	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A140h	SCI10	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		
0008 A141h	SCI10	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK		
0008 A142h	SCI10	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK		
0008 A143h	SCI10	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK		
0008 A144h	SCI10	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK		
0008 A145h	SCI10	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK		
0008 A146h	SCI10	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK		
0008 A147h	SCI10	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK		
0008 A148h	SCI10	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK		
0008 A149h	SCI10	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK		
0008 A14Ah	SCI10	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK		
0008 A14Bh	SCI10	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK		
0008 A14Ch	SCI10	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK		
0008 A14Dh	SCI10	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK		
0008 A160h	SCI11	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 2 5 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考	
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 A161h	SCI11	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK	SCIe, SCIf		
0008 A162h	SCI11	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK			
0008 A163h	SCI11	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK			
0008 A164h	SCI11	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK			
0008 A165h	SCI11	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK			
0008 A166h	SCI11	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK			
0008 A167h	SCI11	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK			
0008 A168h	SCI11	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK			
0008 A169h	SCI11	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK			
0008 A16Ah	SCI11	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK			
0008 A16Bh	SCI11	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK			
0008 A16Ch	SCI11	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK			
0008 A16Dh	SCI11	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK			
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	2ICLK		CAC	
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	2ICLK			
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	2ICLK			
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	2ICLK			
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	2ICLK			
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	2ICLK			
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	2ICLK			
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	2ICLK			
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	2ICLK	DOC		
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	2ICLK			
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	2ICLK			
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2~3PCLKB	2ICLK	ELC		
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2~3PCLKB	2ICLK			
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2~3PCLKB	2ICLK			
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2~3PCLKB	2ICLK			
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2~3PCLKB	2ICLK			
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2~3PCLKB	2ICLK			
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2~3PCLKB	2ICLK			
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2~3PCLKB	2ICLK			
0008 B110h	ELC	イベントリンク設定レジスタ15	ELSR15	8	8	2~3PCLKB	2ICLK			
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2~3PCLKB	2ICLK			
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2~3PCLKB	2ICLK			
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2~3PCLKB	2ICLK			
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2~3PCLKB	2ICLK			
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2~3PCLKB	2ICLK			
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2~3PCLKB	2ICLK			
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2~3PCLKB	2ICLK			
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2~3PCLKB	2ICLK			
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2~3PCLKB	2ICLK			
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2~3PCLKB	2ICLK			
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2~3PCLKB	2ICLK			
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2~3PCLKB	2ICLK			
0008 B11Eh	ELC	イベントリンク設定レジスタ29	ELSR29	8	8	2~3PCLKB	2ICLK			
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2~3PCLKB	2ICLK			
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2~3PCLKB	2ICLK			
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2~3PCLKB	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 2 6 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考	
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合			
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2~3PCLKB	2ICLK	ELC		
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2~3PCLKB	2ICLK			
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2~3PCLKB	2ICLK			
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2~3PCLKB	2ICLK			
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2~3PCLKB	2ICLK			
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2~3PCLKB	2ICLK			
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2~3PCLKB	2ICLK			
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2~3PCLKB	2ICLK			
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2~3PCLKB	2ICLK			
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2~3PCLKB	2ICLK			
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2~3PCLKB	2ICLK			
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2~3PCLKB	2ICLK			
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	2ICLK		SCIE, SCIF	
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8	2~3PCLKB	2ICLK			
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	2ICLK			
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8	2~3PCLKB	2ICLK			
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	2ICLK			
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	2ICLK			
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	2ICLK			
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	2ICLK			
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	2ICLK			
0008 B309h	SCI12	I <sup>2</sup> Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	2ICLK			
0008 B30Ah	SCI12	I <sup>2</sup> Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	2ICLK			
0008 B30Bh	SCI12	I <sup>2</sup> Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	2ICLK			
0008 B30Ch	SCI12	I <sup>2</sup> Cステータスレジスタ	SISR	8	8	2~3PCLKB	2ICLK			
0008 B30Dh	SCI12	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	2ICLK			
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8	2~3PCLKB	2ICLK			
0008 B321h	SCI12	コントロールレジスタ0	CR0	8	8	2~3PCLKB	2ICLK			
0008 B322h	SCI12	コントロールレジスタ1	CR1	8	8	2~3PCLKB	2ICLK			
0008 B323h	SCI12	コントロールレジスタ2	CR2	8	8	2~3PCLKB	2ICLK			
0008 B324h	SCI12	コントロールレジスタ3	CR3	8	8	2~3PCLKB	2ICLK			
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8	2~3PCLKB	2ICLK			
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8	2~3PCLKB	2ICLK			
0008 B327h	SCI12	ステータスレジスタ	STR	8	8	2~3PCLKB	2ICLK			
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8	2~3PCLKB	2ICLK			
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8	2~3PCLKB	2ICLK			
0008 B32Ah	SCI12	Control Field 0 コンペイネーブルレジスタ	CF0CR	8	8	2~3PCLKB	2ICLK			
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8	2~3PCLKB	2ICLK			
0008 B32Ch	SCI12	プライマリControl Field 1 データレジスタ	PCF1DR	8	8	2~3PCLKB	2ICLK			
0008 B32Dh	SCI12	セカンダリControl Field 1 データレジスタ	SCF1DR	8	8	2~3PCLKB	2ICLK			
0008 B32Eh	SCI12	Control Field 1 コンペイネーブルレジスタ	CF1CR	8	8	2~3PCLKB	2ICLK			
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8	2~3PCLKB	2ICLK			
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2~3PCLKB	2ICLK			
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8	2~3PCLKB	2ICLK			
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8	2~3PCLKB	2ICLK			
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8	2~3PCLKB	2ICLK			
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート		
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK			

表 4.1 I/O レジスタアドレス一覧 ( 2 7 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK	I/Oポート	
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C006h	PORT6	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C008h	PORT8	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C00Fh	PORTF	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C013h	PORTK	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C014h	PORTL	ポート方向レジスタ	PDR	8	8	2~3PCLKB	2ICLK		
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C025h	PORT5	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C026h	PORT6	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C028h	PORT8	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Ah	PORTA	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Ch	PORTC	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Eh	PORTE	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C02Fh	PORTF	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C031h	PORTH	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C032h	PORTJ	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C033h	PORTK	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C034h	PORTL	ポート出力データレジスタ	PODR	8	8	2~3PCLKB	2ICLK		
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C046h	PORT6	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C048h	PORT8	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 2 8 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C04Fh	PORTF	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK	I/Oポート	
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C053h	PORTK	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C054h	PORTL	ポート入力データレジスタ	PIDR	8	8	2~3PCLKB	2ICLK		
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C066h	PORT6	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C068h	PORT8	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C06Fh	PORTF	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C073h	PORTK	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C074h	PORTL	ポートモードレジスタ	PMR	8	8	2~3PCLKB	2ICLK		
0008 C080h	PORT0	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C082h	PORT1	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C083h	PORT1	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C084h	PORT2	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C085h	PORT2	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C086h	PORT3	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C087h	PORT3	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C08Ah	PORT5	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C08Bh	PORT5	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C08Ch	PORT6	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C090h	PORT8	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C092h	PORT9	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C094h	PORTA	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C095h	PORTA	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C096h	PORTB	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C097h	PORTB	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C098h	PORTC	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C099h	PORTC	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C09Ch	PORTE	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C09Dh	PORTE	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C0A6h	PORTK	オーブンドレイン制御レジスタ 0	ODR0	8	8、16	2~3PCLKB	2ICLK		
0008 C0A7h	PORTK	オーブンドレイン制御レジスタ 1	ODR1	8	8、16	2~3PCLKB	2ICLK		
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 ( 2 9 / 3 4 )

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK	I/Oポート	
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0C6h	PORT6	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0C8h	PORT8	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0CFh	PORTF	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0D3h	PORTK	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0D4h	PORTL	ブルアップ制御レジスタ	PCR	8	8	2~3PCLKB	2ICLK		
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E6h	PORT6	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E8h	PORT8	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C0F3h	PORTK	駆動能力制御レジスタ	DSCR	8	8	2~3PCLKB	2ICLK		
0008 C100h	MPC	CS出力許可レジスタ	PFCSE	8	8	2~3PCLKB	2ICLK	MPC	
0008 C104h	MPC	アドレス出力許可レジスタ0	PFAOE0	8	8、16	2~3PCLKB	2ICLK		
0008 C105h	MPC	アドレス出力許可レジスタ1	PFAOE1	8	8、16	2~3PCLKB	2ICLK		
0008 C106h	MPC	外部バス制御レジスタ0	PFBCR0	8	8、16	2~3PCLKB	2ICLK		
0008 C107h	MPC	外部バス制御レジスタ1	PFBCR1	8	8、16	2~3PCLKB	2ICLK		
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2~3PCLKB	2ICLK		
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2~3PCLKB	2ICLK		
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2~3PCLKB	2ICLK		
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2~3PCLKB	2ICLK		
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2~3PCLKB	2ICLK		
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2~3PCLKB	2ICLK		
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2~3PCLKB	2ICLK		
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2~3PCLKB	2ICLK		
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2~3PCLKB	2ICLK		
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2~3PCLKB	2ICLK		
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2~3PCLKB	2ICLK		
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2~3PCLKB	2ICLK		
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (30 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の 場合	ICLK $<$ PCLK の 場合		
0008 C150h	MPC	P20 端子機能制御レジスタ	P20PFS	8	8	2~3PCLKB	2ICLK	MPC	
0008 C151h	MPC	P21 端子機能制御レジスタ	P21PFS	8	8	2~3PCLKB	2ICLK		
0008 C152h	MPC	P22 端子機能制御レジスタ	P22PFS	8	8	2~3PCLKB	2ICLK		
0008 C153h	MPC	P23 端子機能制御レジスタ	P23PFS	8	8	2~3PCLKB	2ICLK		
0008 C154h	MPC	P24 端子機能制御レジスタ	P24PFS	8	8	2~3PCLKB	2ICLK		
0008 C155h	MPC	P25 端子機能制御レジスタ	P25PFS	8	8	2~3PCLKB	2ICLK		
0008 C156h	MPC	P26 端子機能制御レジスタ	P26PFS	8	8	2~3PCLKB	2ICLK		
0008 C157h	MPC	P27 端子機能制御レジスタ	P27PFS	8	8	2~3PCLKB	2ICLK		
0008 C158h	MPC	P30 端子機能制御レジスタ	P30PFS	8	8	2~3PCLKB	2ICLK		
0008 C159h	MPC	P31 端子機能制御レジスタ	P31PFS	8	8	2~3PCLKB	2ICLK		
0008 C15Ah	MPC	P32 端子機能制御レジスタ	P32PFS	8	8	2~3PCLKB	2ICLK		
0008 C15Bh	MPC	P33 端子機能制御レジスタ	P33PFS	8	8	2~3PCLKB	2ICLK		
0008 C15Ch	MPC	P34 端子機能制御レジスタ	P34PFS	8	8	2~3PCLKB	2ICLK		
0008 C160h	MPC	P40 端子機能制御レジスタ	P40PFS	8	8	2~3PCLKB	2ICLK		
0008 C161h	MPC	P41 端子機能制御レジスタ	P41PFS	8	8	2~3PCLKB	2ICLK		
0008 C162h	MPC	P42 端子機能制御レジスタ	P42PFS	8	8	2~3PCLKB	2ICLK		
0008 C163h	MPC	P43 端子機能制御レジスタ	P43PFS	8	8	2~3PCLKB	2ICLK		
0008 C164h	MPC	P44 端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	2ICLK		
0008 C165h	MPC	P45 端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	2ICLK		
0008 C166h	MPC	P46 端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	2ICLK		
0008 C167h	MPC	P47 端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	2ICLK		
0008 C168h	MPC	P50 端子機能制御レジスタ	P50PFS	8	8	2~3PCLKB	2ICLK		
0008 C169h	MPC	P51 端子機能制御レジスタ	P51PFS	8	8	2~3PCLKB	2ICLK		
0008 C16Ah	MPC	P52 端子機能制御レジスタ	P52PFS	8	8	2~3PCLKB	2ICLK		
0008 C16Ch	MPC	P54 端子機能制御レジスタ	P54PFS	8	8	2~3PCLKB	2ICLK		
0008 C16Dh	MPC	P55 端子機能制御レジスタ	P55PFS	8	8	2~3PCLKB	2ICLK		
0008 C16Eh	MPC	P56 端子機能制御レジスタ	P56PFS	8	8	2~3PCLKB	2ICLK		
0008 C170h	MPC	P60 端子機能制御レジスタ	P60PFS	8	8	2~3PCLKB	2ICLK		
0008 C171h	MPC	P61 端子機能制御レジスタ	P61PFS	8	8	2~3PCLKB	2ICLK		
0008 C178h	MPC	P70 端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Bh	MPC	P73 端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Ch	MPC	P74 端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	2ICLK		3V 版にはありません
0008 C17Dh	MPC	P75 端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	2ICLK		
0008 C17Fh	MPC	P77 端子機能制御レジスタ	P77PFS	8	8	2~3PCLKB	2ICLK		
0008 C180h	MPC	P80 端子機能制御レジスタ	P80PFS	8	8	2~3PCLKB	2ICLK		
0008 C181h	MPC	P81 端子機能制御レジスタ	P81PFS	8	8	2~3PCLKB	2ICLK		
0008 C182h	MPC	P82 端子機能制御レジスタ	P82PFS	8	8	2~3PCLKB	2ICLK		
0008 C183h	MPC	P83 端子機能制御レジスタ	P83PFS	8	8	2~3PCLKB	2ICLK		
0008 C186h	MPC	P86 端子機能制御レジスタ	P86PFS	8	8	2~3PCLKB	2ICLK		
0008 C187h	MPC	P87 端子機能制御レジスタ	P87PFS	8	8	2~3PCLKB	2ICLK		
0008 C188h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8	2~3PCLKB	2ICLK		
0008 C189h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	2ICLK		
0008 C18Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	2ICLK		
0008 C18Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	2ICLK		
0008 C190h	MPC	PA0 端子機能制御レジスタ	PA0PFS	8	8	2~3PCLKB	2ICLK		
0008 C191h	MPC	PA1 端子機能制御レジスタ	PA1PFS	8	8	2~3PCLKB	2ICLK		
0008 C192h	MPC	PA2 端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	2ICLK		
0008 C193h	MPC	PA3 端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	2ICLK		
0008 C194h	MPC	PA4 端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	2ICLK		
0008 C195h	MPC	PA5 端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	2ICLK		

表 4.1 I/O レジスタアドレス一覧 (31 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の 場合	ICLK < PCLK の 場合		
0008 C196h	MPC	PA6 端子機能制御レジスタ	PA6PFS	8	8	2~3PCLKB	2ICLK	MPC	
0008 C197h	MPC	PA7 端子機能制御レジスタ	PA7PFS	8	8	2~3PCLKB	2ICLK		
0008 C198h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	2ICLK		
0008 C199h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Ah	MPC	PB2 端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Bh	MPC	PB3 端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Ch	MPC	PB4 端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Dh	MPC	PB5 端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Eh	MPC	PB6 端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	2ICLK		
0008 C19Fh	MPC	PB7 端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A0h	MPC	PC0 端子機能制御レジスタ	PC0PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A1h	MPC	PC1 端子機能制御レジスタ	PC1PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A2h	MPC	PC2 端子機能制御レジスタ	PC2PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A3h	MPC	PC3 端子機能制御レジスタ	PC3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A4h	MPC	PC4 端子機能制御レジスタ	PC4PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A5h	MPC	PC5 端子機能制御レジスタ	PC5PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A6h	MPC	PC6 端子機能制御レジスタ	PC6PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A7h	MPC	PC7 端子機能制御レジスタ	PC7PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A8h	MPC	PD0 端子機能制御レジスタ	PD0PFS	8	8	2~3PCLKB	2ICLK		
0008 C1A9h	MPC	PD1 端子機能制御レジスタ	PD1PFS	8	8	2~3PCLKB	2ICLK		
0008 C1AAh	MPC	PD2 端子機能制御レジスタ	PD2PFS	8	8	2~3PCLKB	2ICLK		
0008 C1ABh	MPC	PD3 端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1ACh	MPC	PD4 端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	2ICLK		
0008 C1ADh	MPC	PD5 端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	2ICLK		
0008 C1AEh	MPC	PD6 端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	2ICLK		
0008 C1AFh	MPC	PD7 端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B0h	MPC	PE0 端子機能制御レジスタ	PE0PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B1h	MPC	PE1 端子機能制御レジスタ	PE1PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B2h	MPC	PE2 端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B3h	MPC	PE3 端子機能制御レジスタ	PE3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B4h	MPC	PE4 端子機能制御レジスタ	PE4PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B5h	MPC	PE5 端子機能制御レジスタ	PE5PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B6h	MPC	PE6 端子機能制御レジスタ	PE6PFS	8	8	2~3PCLKB	2ICLK		
0008 C1B7h	MPC	PE7 端子機能制御レジスタ	PE7PFS	8	8	2~3PCLKB	2ICLK		
0008 C1BDh	MPC	PF5 端子機能制御レジスタ	PF5PFS	8	8	2~3PCLKB	2ICLK		
0008 C1C8h	MPC	PH0 端子機能制御レジスタ	PH0PFS	8	8	2~3PCLKB	2ICLK		
0008 C1C9h	MPC	PH1 端子機能制御レジスタ	PH1PFS	8	8	2~3PCLKB	2ICLK		
0008 C1CAh	MPC	PH2 端子機能制御レジスタ	PH2PFS	8	8	2~3PCLKB	2ICLK		
0008 C1CBh	MPC	PH3 端子機能制御レジスタ	PH3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1D1h	MPC	PJ1 端子機能制御レジスタ	PJ1PFS	8	8	2~3PCLKB	2ICLK		
0008 C1D3h	MPC	PJ3 端子機能制御レジスタ	PJ3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1DAh	MPC	PK2 端子機能制御レジスタ	PK2PFS	8	8	2~3PCLKB	2ICLK		
0008 C1DBh	MPC	PK3 端子機能制御レジスタ	PK3PFS	8	8	2~3PCLKB	2ICLK		
0008 C1DCh	MPC	PK4 端子機能制御レジスタ	PK4PFS	8	8	2~3PCLKB	2ICLK		
0008 C1DDh	MPC	PK5 端子機能制御レジスタ	PK5PFS	8	8	2~3PCLKB	2ICLK		
0008 C1E5h	MPC	PL5 端子機能制御レジスタ	PL5PFS	8	8	2~3PCLKB	2ICLK		
0008 C280h	SYSTEM	ディーブスタンバイコントロールレジスタ	DPSBYCR	8	8	4~5PCLKB	2~3ICLK	消費電力 低減機能	
0008 C282h	SYSTEM	ディーブスタンバイインタラプトイ ネーブルレジスタ0	DPSIER0	8	8	4~5PCLKB	2~3ICLK		
0008 C284h	SYSTEM	ディーブスタンバイインタラプトイ ネーブルレジスタ2	DPSIER2	8	8	4~5PCLKB	2~3ICLK		

表 4.1 I/O レジスタアドレス一覧 (32 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能	
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4~5PCLKB	2~3ICLK		
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4~5PCLKB	2~3ICLK		
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4~5PCLKB	2~3ICLK		
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	2~3ICLK	リセット	
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	2~3ICLK		
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	2~3ICLK	クロック発生回路	
0008 C296h	FLASH	フラッシュ P/E プロテクトレジスタ	FWEPROR	8	8	4~5PCLKB	2~3ICLK	フラッシュメモリ	
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	2~3ICLK	LVDA	
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4~5PCLKB	2~3ICLK		
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	2~3ICLK		
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	2~3ICLK		
0008 C2A0h ~ 0008 C2Bfh	SYSTEM	ディープスタンバイバックアップレジスタ0~31	DPSBKR0~31	8	8	4~5PCLKB	2~3ICLK	消費電力低減機能	
000A 0A00h	CEC	CEC 自局 アドレス設定レジスタ	CADR	16	16	1~2PCLK	1ICLK	CEC	5V版にはありません
000A 0A02h	CEC	CEC 制御レジスタ1	CECCTL1	8	8	1~2PCLK	1ICLK		5V版にはありません
000A 0A04h	CEC	CEC 送信スタートビットのビット幅設定レジスタ	STATB	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A06h	CEC	CEC 送信スタートビットのLow幅設定レジスタ	STATL	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A08h	CEC	CEC 送信ロジカル0のLow幅設定レジスタ	LGC0L	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A0Ah	CEC	CEC 送信ロジカル1のLow幅設定レジスタ	LGC1L	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A0Ch	CEC	CEC 送信データビットのビット幅設定レジスタ	DATB	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A0Eh	CEC	CEC 受信データサンプリング時間設定レジスタ	NOMT	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A10h	CEC	CEC 受信スタートビットLow幅のMIN値設定レジスタ	STATLL	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A12h	CEC	CEC 受信スタートビットLow幅のMAX値設定レジスタ	STATLH	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A14h	CEC	CEC 受信スタートビットのビット幅のMIN値設定レジスタ	STATBL	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A16h	CEC	CEC 受信スタートビットのビット幅のMAX値設定レジスタ	STATBH	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A18h	CEC	CEC 受信ロジカル0のLow幅のMIN値設定レジスタ	LGC0LL	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A1Ah	CEC	CEC 受信ロジカル0のLow幅のMAX値設定レジスタ	LGC0LH	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A1Ch	CEC	CEC 受信ロジカル1のLow幅のMIN値設定レジスタ	LGC1LL	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A1Eh	CEC	CEC 受信ロジカル1のLow幅のMAX値設定レジスタ	LGC1LH	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A20h	CEC	CEC 受信データビットのビット幅のMIN値設定レジスタ	DATBL	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A22h	CEC	CEC 受信データビットのビット幅のMAX値設定レジスタ	DATBH	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A24h	CEC	CEC データビット基準幅設定レジスタ	NOMP	16	16	1~2PCLK	1ICLK		5V版にはありません
000A 0A28h	CEC	CEC 拡張モードレジスタ	CECEXMD	8	8	1~2PCLK	1ICLK		5V版にはありません
000A 0A2Ah	CEC	CEC 拡張モニターレジスタ	CECEXMON	8	8	1~2PCLK	1ICLK	5V版にはありません	
000A 0A30h	CEC	CEC 送信バッファレジスタ	CTXD	8	8	1~2PCLK	1ICLK	5V版にはありません	
000A 0A31h	CEC	CEC 受信バッファレジスタ	CRXD	8	8	1~2PCLK	1ICLK	5V版にはありません	
000A 0A32h	CEC	CEC 通信エラーステータスレジスタ	CECES	8	8	1~2PCLK	1ICLK	5V版にはありません	
000A 0A33h	CEC	CEC 通信ステータスレジスタ	CECS	8	8	1~2PCLK	1ICLK	5V版にはありません	

表 4.1 I/O レジスタアドレス一覧 (33 / 34)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数		モジュール名	備考
						ICLK ≥ PCLK の場合	ICLK < PCLK の場合		
000A 0A34h	CEC	CEC通信エラーフラグクリアトリガレジスタ	CECFCC	8	8	1 ~ 2PCLK	1ICLK	CEC	5V版にはありません
000A 0A35h	CEC	CEC制御レジスタ0	CECCTL0	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B00h	RCR0	機能選択レジスタ0	CON0	8	8	1 ~ 2PCLK	1ICLK	RCR	5V版にはありません
000A 0B01h	RCR0	機能選択レジスタ1	CON1	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B02h	RCR0	ステータスレジスタ	STS	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B03h	RCR0	割り込み制御レジスタ	INT	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B04h	RCR0	コンペア制御レジスタ	CPC	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B05h	RCR0	コンペア値設定レジスタ	CPD	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B06h	RCR0	ヘッダパターン設定レジスタ (MIN)	HDPMIN	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B08h	RCR0	ヘッダパターン設定レジスタ (MAX)	HDPMAX	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B0Ah	RCR0	データ0パターン設定レジスタ (MIN)	D0PMIN	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B0Bh	RCR0	データ0パターン設定レジスタ (MAX)	D0PMAX	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B0Ch	RCR0	データ1パターン設定レジスタ (MIN)	D1PMIN	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B0Dh	RCR0	データ1パターン設定レジスタ (MAX)	D1PMAX	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B0Eh	RCR0	特殊データパターン設定レジスタ (MIN)	SDPMIN	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B10h	RCR0	特殊データパターン設定レジスタ (MAX)	SDPMAX	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B12h	RCR0	パターンエンド設定レジスタ	PE	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B15h	RCR0	受信ビット数レジスタ	RBIT	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B16h	RCR0	受信データ0レジスタ	DAT0	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B17h	RCR0	受信データ1レジスタ	DAT1	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B18h	RCR0	受信データ2レジスタ	DAT2	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B19h	RCR0	受信データ3レジスタ	DAT3	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B1Ah	RCR0	受信データ4レジスタ	DAT4	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B1Bh	RCR0	受信データ5レジスタ	DAT5	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B1Ch	RCR0	受信データ6レジスタ	DAT6	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B1Dh	RCR0	受信データ7レジスタ	DAT7	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B1Eh	RCR0	測定結果レジスタ	TIM	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B80h	RCR1	機能選択レジスタ0	CON0	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B81h	RCR1	機能選択レジスタ1	CON1	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B82h	RCR1	ステータスレジスタ	STS	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B83h	RCR1	割り込み制御レジスタ	INT	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B84h	RCR1	コンペア制御レジスタ	CPC	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B85h	RCR1	コンペア値設定レジスタ	CPD	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B86h	RCR1	ヘッダパターン設定レジスタ (MIN)	HDPMIN	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B88h	RCR1	ヘッダパターン設定レジスタ (MAX)	HDPMAX	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B8Ah	RCR1	データ0パターン設定レジスタ (MIN)	D0PMIN	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B8Bh	RCR1	データ0パターン設定レジスタ (MAX)	D0PMAX	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B8Ch	RCR1	データ1パターン設定レジスタ (MIN)	D1PMIN	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B8Dh	RCR1	データ1パターン設定レジスタ (MAX)	D1PMAX	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B8Eh	RCR1	特殊データパターン設定レジスタ (MIN)	SDPMIN	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B90h	RCR1	特殊データパターン設定レジスタ (MAX)	SDPMAX	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B92h	RCR1	パターンエンド設定レジスタ	PE	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B95h	RCR1	受信ビット数レジスタ	RBIT	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B96h	RCR1	受信データ0レジスタ	DAT0	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B97h	RCR1	受信データ1レジスタ	DAT1	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B98h	RCR1	受信データ2レジスタ	DAT2	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B99h	RCR1	受信データ3レジスタ	DAT3	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B9Ah	RCR1	受信データ4レジスタ	DAT4	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B9Bh	RCR1	受信データ5レジスタ	DAT5	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0B9Ch	RCR1	受信データ6レジスタ	DAT6	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません

表 4.1 I/O レジスタアドレス一覧 (34 / 34)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数		モジュール名	備考
						ICLK $\geq$ PCLK の 場合	ICLK < PCLK の 場合		
000A 0B9Dh	RCR1	受信データレジスタ	DAT7	8	8	1 ~ 2PCLK	1ICLK	RCR	5V版にはありません
000A 0B9Eh	RCR1	測定結果レジスタ	TIM	16	16	1 ~ 2PCLK	1ICLK		5V版にはありません
000A 0C00h	SYSTEM	メインクロック供給制御レジスタ	MOSCR	8	8	1 ~ 2PCLK	1ICLK	クロック 発生回路	5V版にはありません
000A 0C02h	SYSTEM	メインクロックノイズフィルタ制御レジスタ	MONFCR	8	8	1 ~ 2PCLK	1ICLK		5V版にはありません
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2 ~ 3FCLK	2 ~ 3ICLK	フラッシュ メモリ	
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2 ~ 3FCLK	2 ~ 3ICLK		
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2 ~ 3FCLK	2 ~ 3ICLK		
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2 ~ 3FCLK	2 ~ 3ICLK		
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F C442h	FLASH	E2データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F C450h	FLASH	E2データフラッシュ P/E 許可レジスタ0	DFLWE0	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F C452h	FLASH	E2データフラッシュ P/E 許可レジスタ1	DFLWE1	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFBAh	FLASH	FCU コマンドレジスタ	FCMDR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFC8h	FLASH	FCU 処理切り替えレジスタ	FCPSR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFCCh	FLASH	フラッシュ P/E ステータスレジスタ	FPESTAT	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2 ~ 3FCLK	2 ~ 3ICLK		
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2 ~ 3FCLK	2 ~ 3ICLK		

- 注. 本表は5V版/3V版の両仕様でのI/Oレジスタを示しています。各製品のI/Oレジスタは、表1.2に示した機能に対応します。詳細は、「表1.2 RX634グループ 製品別機能比較一覧」を参照してください。
- 注. 5V版には、CEC、RCR0、RCR1はありません。
- 注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。
- 注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLのアドレスへアクセスしてください。

## 5. 電気的特性

### 5.1 絶対最大定格

表5.1 絶対最大定格

条件：VSS = AVSS0 = VREFL = VREFL0 = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
アナログ電源電圧	AVCC0 (注1)	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH0 (注1)	-0.3 ~ AVCC0+0.3	V
	VREFH (注1)	-0.3 ~ +6.5	V
入力電圧 (ポート4、ポート03, 05, 07以外)	V <sub>in</sub>	-0.3 ~ VCC+0.3	V
入力電圧 (ポート4、ポート07)	V <sub>in</sub>	-0.3 ~ AVCC0+0.3	V
入力電圧 (ポート03, 05)	V <sub>in</sub>	-0.3 ~ VREFH+0.3	V
アナログ入力電圧 (ポート4、ポートE)	V <sub>AN</sub>	-0.3 ~ AVCC0+0.3	V
動作温度	T <sub>opr</sub>	-40 ~ +85	°C
保存温度	T <sub>stg</sub>	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

注1. A/DおよびD/Aコンバータ未使用時にAVCC0、VREFH、VREFH0、AVSS0、VREFL、VREFL0端子を開放しないでください。AVCC0、VREFH、VREFH0端子はVCCに、AVSS0、VREFL、VREFL0端子はVSSにそれぞれ接続してください。

## 5.2 DC 特性

表 5.2 DC 特性 (1)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	RIIC入力端子 (SMbusを除く)	$V_{IH}$	$VCC \times 0.7$	—	$VCC + 0.3$	V	
	ポート4、ポート07		$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	ポート03, 05		$VREFH \times 0.8$	—	$VREFH + 0.3$		
	ポートL5		$VCC \times 0.8$	—	3.9		
	RIIC入力端子、ポート4、ポート03, 05, 07、ポートL5以外		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子 (SMbusを除く)	$V_{IL}$	-0.3	—	$VCC \times 0.3$		
	ポート4、ポート07		-0.3	—	$AVCC0 \times 0.2$		
	ポート03, 05		-0.3	—	$VREFH \times 0.2$		
	ポートL5		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子、ポート4、ポート03, 05, 07、ポートL5以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMbusを除く)	$\Delta V_T$	$VCC \times 0.05$	—	—		
	ポート4、ポート07		$AVCC0 \times 0.06$	—	—		
	ポート03, 05		$VREFH \times 0.06$	—	—		
	ポートL5		$VCC \times 0.06$	—	—		
	RIIC入力端子、ポート4、ポート03, 05, 07、ポートL5以外		$VCC \times 0.06$	—	—		
入力レベル電圧 (シュミットトリガ 入力端子を除く)	MD、EMLE	$V_{IH}$	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL、WAIT#、TCK、RSPI入力端子		$VCC \times 0.8$	—	$VCC + 0.3$		
	D0 ~ D15		$VCC \times 0.7$	—	$VCC + 0.3$		
	RIIC入力端子 (SMbus)		2.1	—	$VCC + 0.3$		
	CEC入力端子		2.0	—	3.9		
	MD、EMLE	$V_{IL}$	-0.3	—	$VCC \times 0.1$		
	EXTAL、WAIT#、TCK、RSPI入力端子		-0.3	—	$VCC \times 0.2$		
	D0 ~ D15		-0.3	—	$VCC \times 0.3$		
	RIIC入力端子 (SMbus)		-0.3	—	0.8		
	CEC入力端子		-0.3	—	0.8		
	CEC入力端子	$\Delta V_T$	—	0.3	—		条件 1

表 5.3 DC 特性 (2)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD 端子、P35/NMI、EXTAL、ポート 4	I <sub>in</sub>	—	—	1.0	μA	V <sub>in</sub> = 0V、VCC
スリープスタートリーク電流 (オフ状態)	ポート 12, 13, 16, 17, 20, 21, C0, C1	I <sub>TSI</sub>	—	—	5.0	μA	V <sub>in</sub> = 0V、VCC
	ポート 12, 13, 16, 17, 20, 21, C0, C1 以外		—	—	1.0		
	ポート L5		—	—	1.8		
入力容量	全入力端子 (ポート 12, 13, 16, 17, 20, 21, C0, C1 以外)	C <sub>in</sub>	—	—	15	pF	V <sub>in</sub> = 0V、 f = 1MHz、 T <sub>a</sub> = 25°C
	ポート 12, 13, 16, 17, 20, 21, C0, C1		—	—	30		

表 5.4 DC 特性 (3)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目	記号	VCC				単位	測定条件	
		2.7~3.6V		4.0~5.5V				
		min	max	min	max			
入力プルアップ MOS 電流	全ポート (ポート 03, 05、ポート 35~37、ポート 4、ポート L5 を除く)	I <sub>p</sub>	-200	-10	-400	-50	μA	V <sub>in</sub> = 0V

表 5.5 DC 特性 (4)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目				記号	typ	max	単位	測定条件
消費電流 (注 1)	高速動作モード	通常動作モード	周辺動作なし (注 2)	I <sub>CC</sub>	20	—	mA	ICLK = 54MHz PCLKB = 27MHz PCLKD = 54MHz FCLK = 27MHz BCLK = 54MHz
			全周辺動作通常動作 (注 3)		24	—		
			全周辺動作最大動作 (注 3)		—	55		
		スリープモード	周辺動作なし		15.5	—		
			全周辺動作通常動作		19.5	—		
		全モジュールクロックストップモード			14	—		
	BGO 動作時の増加分 (注 4)			12	—			

注 1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

注 2. 周辺機能はクロック停止状態。BGO 動作は除きます。

注 3. 周辺機能はクロック供給状態。BGO 動作は除きます。

注 4. プログラム実行中に、ROM、または E2 データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。

表 5.6 DC 特性 (5)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目				記号	typ	max	単位	測定条件	
消費電流 (注1)	低速動作モード1	通常動作モード	周辺動作なし (注2)	I <sub>CC</sub>	4	—	mA		
			全周辺動作通常動作 (注3)						ICLK = 1MHz
			全周辺動作最大動作 (注3)						ICLK = 1MHz
		スリープモード	周辺動作なし						ICLK = 1MHz
			全周辺動作通常動作						ICLK = 1MHz
		全モジュールクロックストップモード							3.7
	低速動作モード2	通常動作モード	周辺動作なし (注4)	I <sub>CC</sub>	0.4	—			
			全周辺動作通常動作 (注5)				ICLK = 125kHz		
			全周辺動作最大動作 (注5)				ICLK = 125kHz		
		スリープモード	周辺動作なし				ICLK = 125kHz		
			全周辺動作通常動作				ICLK = 125kHz		
		全モジュールクロックストップモード					0.28		—

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOS をオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはメインクロックです。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはメインクロックです。
- 注4. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはLOCOです。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはLOCOです。
- 注6. メインクロックが13.5MHzで発振継続している場合の値です。

表 5.7 DC 特性 (6)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目				記号	typ	max	単位	測定条件	
消費電力 (注1)	ソフトウェアスタンバイモード			I <sub>CC</sub>	40	1000	μA		
	ディープソフトウェアスタンバイモード	RAM電源給電あり							
		RAM電源給電なし	パワーオンリセット回路低消費電力機能無効						
			パワーオンリセット回路低消費電力機能有効						

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOS をオフ状態にした場合の値です。

表 5.8 DC 特性 (7)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	360	mW	

注1. チップ全体 (出力電流を含む) の総電力です。

表 5.9 DC 特性 (8)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
アナログ 電源電流	A/D 変換中	$I_{AVCC0}$	—	1.9	4.2	mA	条件 1
			—	2.5	4.2	mA	条件 2
	A/D 変換待機時	—	0.1	4	$\mu\text{A}$		
	D/A 変換中 (1 チャンネルあたり)	$I_{VREFH}$ (注 1)	—	0.3	1	mA	条件 1
			—	0.46	1	mA	条件 2
A/D、D/A 変換待機時 (全ユニット) (注 2)		—	—	23	40	$\mu\text{A}$	
リファレンス 電源電流	A/D 変換中	$I_{VREFH0}$	—	0.44	1.5	mA	条件 1
			—	0.66	1.5	mA	条件 2
	A/D 変換待機時	—	0.1	1	$\mu\text{A}$		

注. A/D コンバータは、サンプル&ホールドなしの値です。

注1. D/A コンバータの電源電流の値はリファレンス電源電流も含まれます。

注2. 数値は  $I_{AVCC0}$  と  $I_{VREFH}$  の合計値です。

表 5.10 DC 特性 (9)

条件 : VCC = AVCC0 = 0 ~ 5.5V、VREFH = 0 ~ AVCC0、VREFH0 = 0 ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
VCC 立ち上がり勾配	SrVCC	—	—	20	ms/V	コールドスタート時

表 5.11 出力許容電流値

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目		記号	max	単位
出力 Low レベル許容電流 (1 端子あたりの平均値)	通常出力時	$I_{OL}$	2.0	mA
出力 Low レベル許容電流 (1 端子あたりの最大値)	通常出力時		4.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	$\Sigma I_{OL}$	80	mA
出力 High レベル許容電流 (1 端子あたりの平均値)	通常出力時	$I_{OH}$	-2.0	mA
出力 High レベル許容電流 (1 端子あたりの最大値)	通常出力時		-4.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma I_{OH}$	-80	mA

表5.12 出力電圧値 (1)

条件 :  $VCC = AVCC0 = VREFH0 = 2.7 \sim 3.6V$ 、 $VREFH = 2.7V \sim AVCC0$ 、 $VSS = AVSS0 = VREFL = VREFL0 = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC、CEC以外)	通常出力時	$V_{OL}$	—	0.5	V	$I_{OL} = 1.0mA$
		高駆動出力時		—	0.5		$I_{OL} = 2.0mA$
	RIIC端子			—	0.4		$I_{OL} = 3.0mA$
				—	0.6		$I_{OL} = 6.0mA$
	CEC端子			—	0.6		$I_{OL} = 2.1mA$
出力High レベル	全出力端子	通常出力時	$V_{OH}$	$VCC - 0.5$	—	V	$I_{OH} = -1.0mA$
		高駆動出力時		$VCC - 0.5$	—		$I_{OH} = -2.0mA$

表5.13 出力電圧値 (2)

条件 :  $VCC = AVCC0 = VREFH0 = 4.0 \sim 5.5V$ 、 $VREFH = 4.0V \sim AVCC0$ 、 $VSS = AVSS0 = VREFL = VREFL0 = 0V$ 、 $T_a = -40 \sim +85^\circ C$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	$V_{OL}$	—	0.8	V	$I_{OL} = 2.0mA$
		高駆動出力時		—	0.8		$I_{OL} = 4.0mA$
	RIIC端子			—	0.4		$I_{OL} = 3.0mA$
				—	0.6		$I_{OL} = 6.0mA$
出力High レベル	全出力端子	通常出力時	$V_{OH}$	$VCC - 0.8$	—	V	$I_{OH} = -2.0mA$
		高駆動出力時		$VCC - 0.8$	—		$I_{OH} = -4.0mA$

## 5.3 AC 特性

表5.14 動作周波数 (高速動作モード)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f <sub>max</sub>	—	—	54	MHz
	FlashIFクロック (FCLK) (注1)		—	—	32	
	周辺モジュールクロック (PCLKB)		—	—	32	
	周辺モジュールクロック (PCLKD) (注2)		—	—	54	
	外部バスクロック (BCLK)		—	—	54	
	BCLK端子出力		—	—	27	

注1. フラッシュメモリP/E時のFCLKの下限周波数は4MHzです。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.15 動作周波数 (低速動作モード1)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f <sub>max</sub>	—	—	1	MHz
	FlashIFクロック (FCLK) (注1)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKD) (注2)		—	—	1	
	外部バスクロック (BCLK)		—	—	1	
	BCLK端子出力		—	—	1	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.16 動作周波数 (低速動作モード2)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min	typ	max	単位
動作周波数	システムクロック (ICLK)	f <sub>max</sub>	—	—	143.75	kHz
	FlashIFクロック (FCLK) (注1)		—	—	143.75	
	周辺モジュールクロック (PCLKB)		—	—	143.75	
	周辺モジュールクロック (PCLKD) (注2)		—	—	143.75	
	外部バスクロック (BCLK)		—	—	143.75	
	BCLK端子出力		—	—	143.75	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

## 5.3.1 クロックタイミング

表5.17 BCLKタイミング

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t <sub>Bcyc</sub>	37	—	—	ns	図5.1
BCLK端子出力Highレベルパルス幅 (注1)	t <sub>CH</sub>	5	—	—	ns	
BCLK端子出力Lowレベルパルス幅 (注1)	t <sub>CL</sub>	5	—	—	ns	
BCLK端子出力立ち上がり時間	t <sub>Cr</sub>	—	—	5	ns	
BCLK端子出力立ち下がり時間	t <sub>Cf</sub>	—	—	5	ns	

注1. EXTAL外部クロック入力を使用して、BCLK端子から1分周で出力する場合は、デューティ比45~55%で上記を満たします。

表5.18 クロックタイミング

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t <sub>EXcyc</sub>	50 (62.5) (注1)	—	—	ns	図5.2	
EXTAL外部クロック入力パルス幅Highレベル	t <sub>EXH</sub>	20 (25) (注1)	—	—	ns		
EXTAL外部クロック入力パルス幅Lowレベル	t <sub>EXL</sub>	20 (25) (注1)	—	—	ns		
EXTAL外部クロック立ち上がり時間	t <sub>EXr</sub>	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t <sub>EXf</sub>	—	—	5	ns		
EXTAL外部クロック入力待機時間 (注2)	t <sub>EXWT</sub>	1	—	—	ms		
メインクロック発振器発振周波数 (注3)	f <sub>MAIN</sub>	8	—	20 (16) (注1)	MHz		
メインクロック発振安定時間 (水晶)	f <sub>MAINOSC</sub>	—	—	(注3)	ms	図5.3	
メインクロック発振安定待機時間 (水晶)	f <sub>MAINOSCWT</sub>	—	—	(注4)	ms		
LOCOクロックサイクル時間	t <sub>LOCOCYC</sub>	6.96	8	9.4	μs		
LOCOクロックサイクル時間	t <sub>LOCOCYC</sub>	7.27	8	8.89	μs	T <sub>a</sub> = 0 ~ +60°C	
LOCOクロック発振周波数	f <sub>LOCO</sub>	106.25	125	143.75	kHz		
LOCOクロック発振周波数	f <sub>LOCO</sub>	112.5	125	137.5	kHz	T <sub>a</sub> = 0 ~ +60°C	
LOCOクロック発振安定待機時間	t <sub>LOCOWT</sub>	—	—	20	μs	図5.4	
PLL入力周波数	f <sub>PLLIN</sub>	4	—	20	MHz		
PLL回路発振周波数	t <sub>LOCOWT</sub>	104	—	200	MHz		
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t <sub>PLL1</sub>	—	—	500	μs	図5.5
PLLクロック発振安定待機時間		t <sub>PLLWT1</sub>	—	—	(注5)	ms	
PLLクロック発振安定時間	メインクロック発振安定前にPLL動作開始	t <sub>PLL2</sub>	—	—	t <sub>MAINOSC</sub> + t <sub>PLL1</sub>	ms	図5.6
PLLクロック発振安定待機時間		t <sub>PLLWT2</sub>	—	—	(注5)	ms	

注1. ( ) 内の数値は、CECの動作クロックとしてCECMCLKを選択、またはRCRの動作クロックとしてRCRMCLKを選択し、MONFCRレジスタ設定値が“A5h”以外 (ノイズフィルタ有効) とした場合を示します。

注2. メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。

注3. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注4. MOSCWTCR.MSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{MAINOSCWT}} = t_{\text{MAINOSC}} + \frac{n + 16384}{f_{\text{MAIN}}}$$

注5. PLLWTCR.PSTS[4:0]ビットで選択したサイクル数をnとすると、以下の式で算出されます。

$$t_{\text{PLLWT1}} = t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

$$t_{\text{PLLWT2}} = t_{\text{PLL2}} + \frac{n + 131072}{f_{\text{PLL}}} = t_{\text{MAINOSC}} + t_{\text{PLL1}} + \frac{n + 131072}{f_{\text{PLL}}}$$

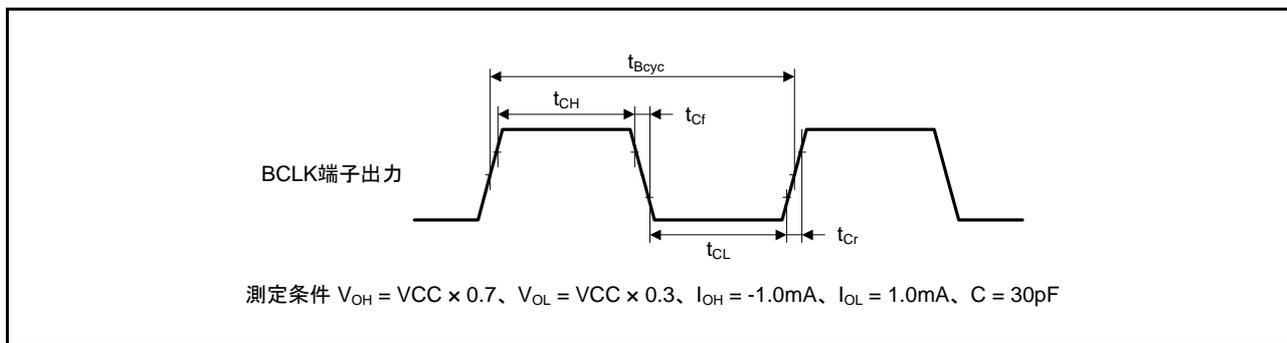


図 5.1 BCLK 端子出力タイミング

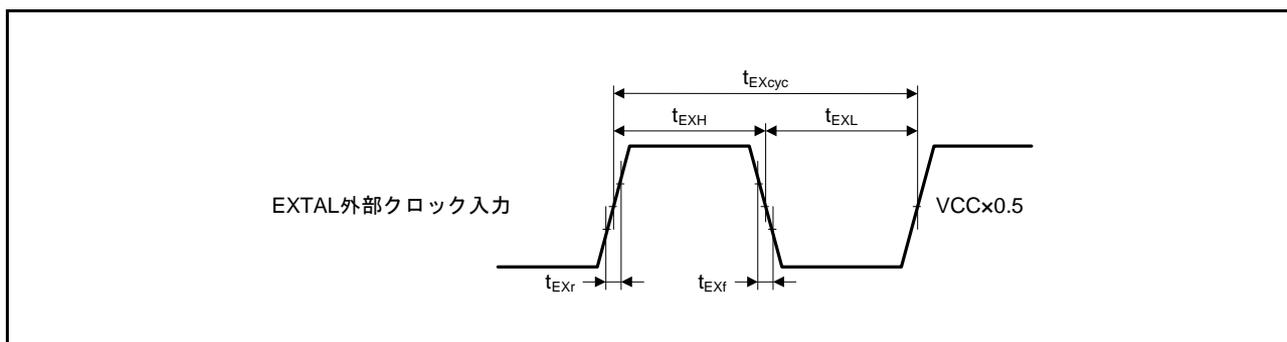


図 5.2 EXTAL 外部クロック入力タイミング

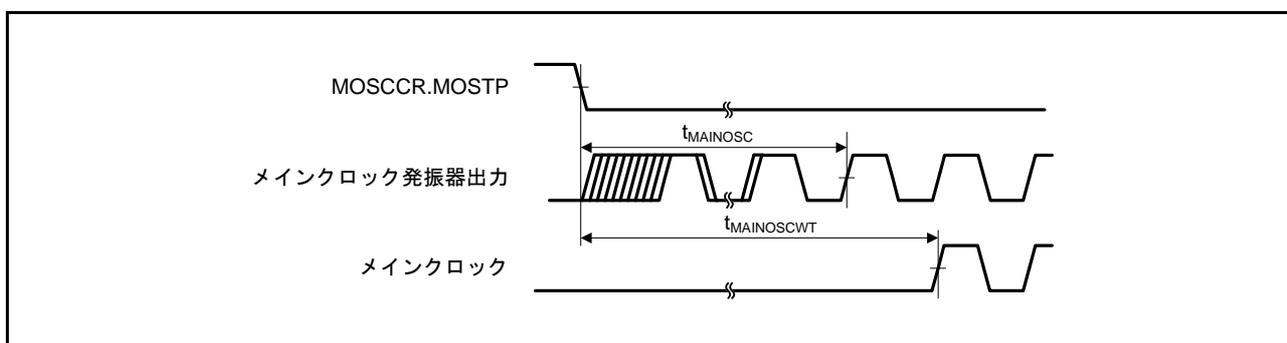


図 5.3 メインクロック発振開始タイミング

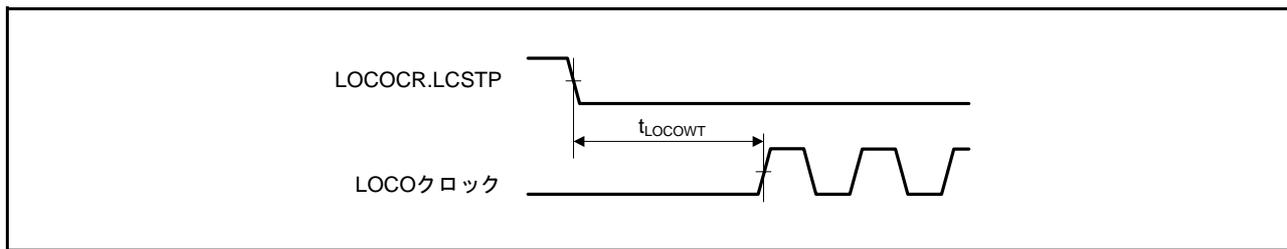


図 5.4 LOCO クロック発振開始タイミング

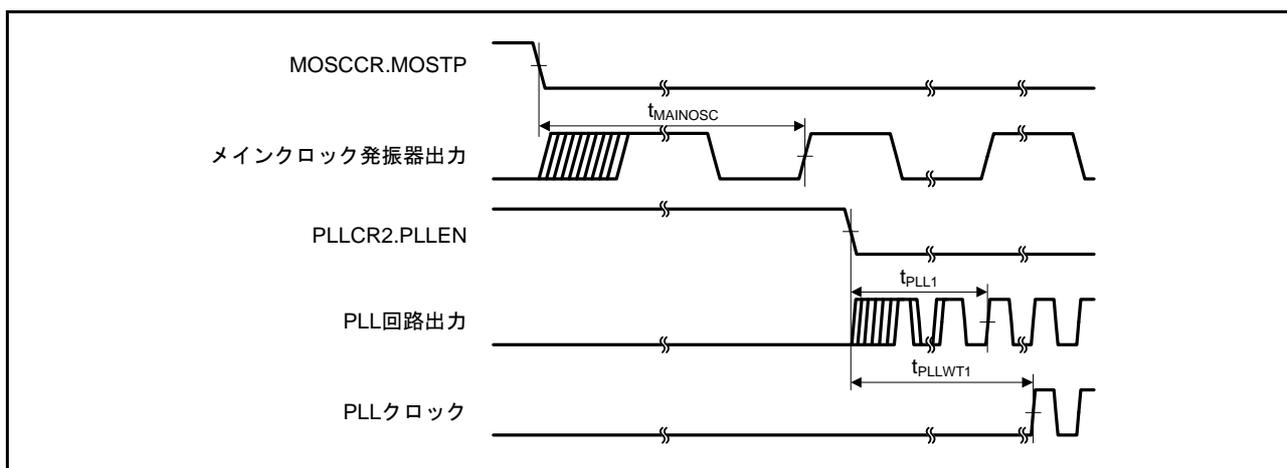


図 5.5 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

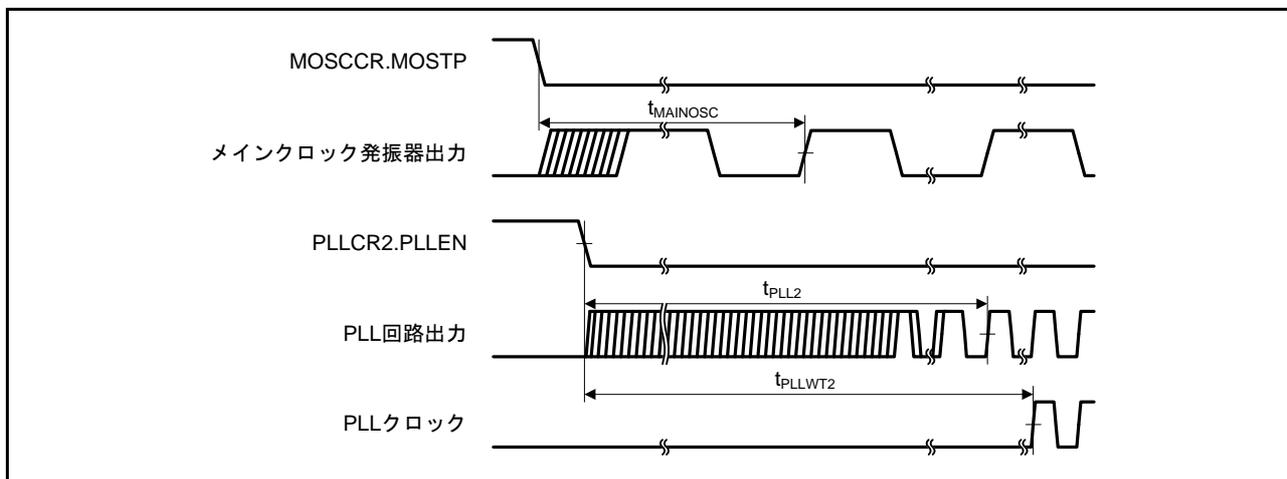


図 5.6 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

### 5.3.2 リセットタイミング

表5.19 リセットタイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	$t_{RESWP}$	2	—	—	ms	図 5.7
	ディープソフトウェアスタンバイモード	$t_{RESWD}$	1	—	—	ms	図 5.8
	ソフトウェアスタンバイモード、 低速動作モード1、2	$t_{RESWS}$	1	—	—	ms	
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	$t_{RESWF}$	200	—	—	$\mu\text{s}$	
	上記以外	$t_{RESW}$	200	—	—	$\mu\text{s}$	
RES#解除後待機時間	$t_{RESWT}$	59	—	60	$t_{CYC}$	図 5.7	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	$t_{RESW2}$	112	—	120	$t_{CYC}$		

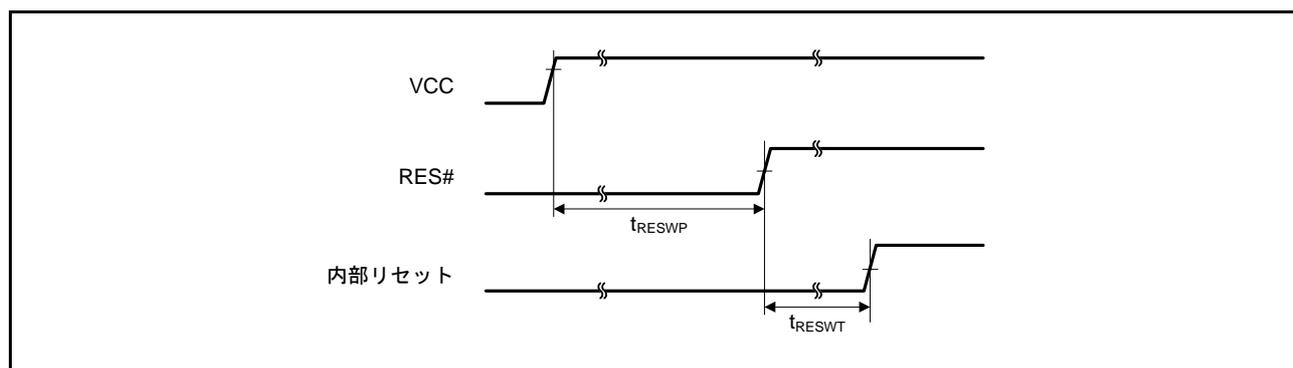


図 5.7 電源投入時リセット入力タイミング

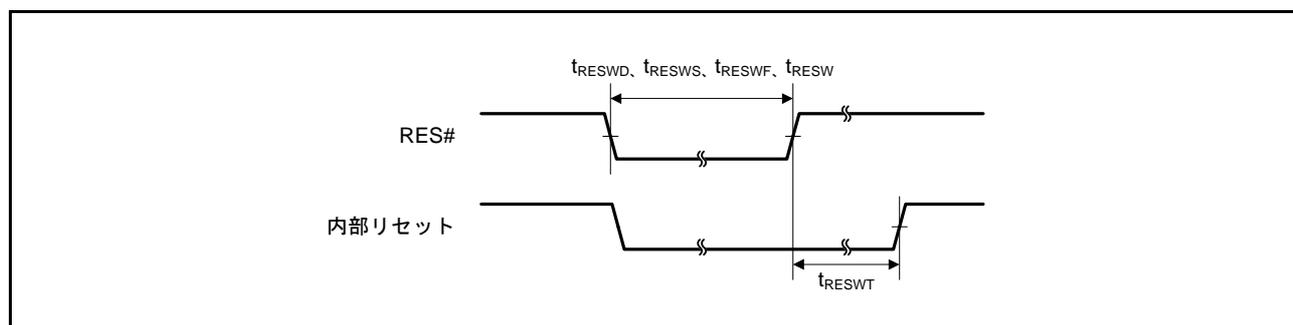


図 5.8 リセット入力タイミング

## 5.3.3 低消費電力状態からの復帰タイミング

表5.20 低消費電力状態からの復帰タイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2 : VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t <sub>SBYMC</sub>	10	—	—	ms	図 5.9
		メインクロック発振器、PLL回路動作	t <sub>SBYPC</sub>	10	—	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t <sub>SBYEX</sub>	1	—	—	ms	
		メインクロック発振器、PLL回路動作	t <sub>SBYPE</sub>	1	—	—	ms	
	低速オンチップオシレータ、またはIWDWT専用低速クロック発振器	t <sub>SBYLO</sub>	—	—	800	μs		
ディープソフトウェアスタンバイモード解除後復帰時間		t <sub>DSBY</sub>	—	—	1	ms	図 5.10	
ディープソフトウェアスタンバイモード解除後待機時間		t <sub>DSBYWT</sub>	45	—	46	t <sub>CYC</sub>		

注. WAIT命令実行時の各発振器の状態によって待ち時間が異なります。複数の発振器が動作している場合の復帰時間は、動作している発振器の中で復帰に最も時間がかかるものが単独で動作しているときと同じ時間になります。

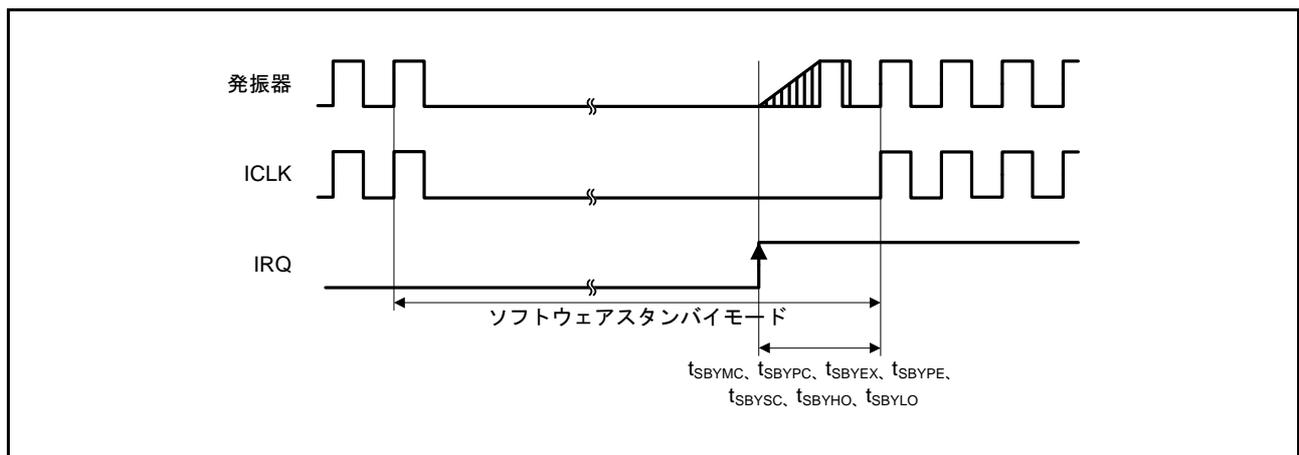


図 5.9 ソフトウェアスタンバイモード解除タイミング

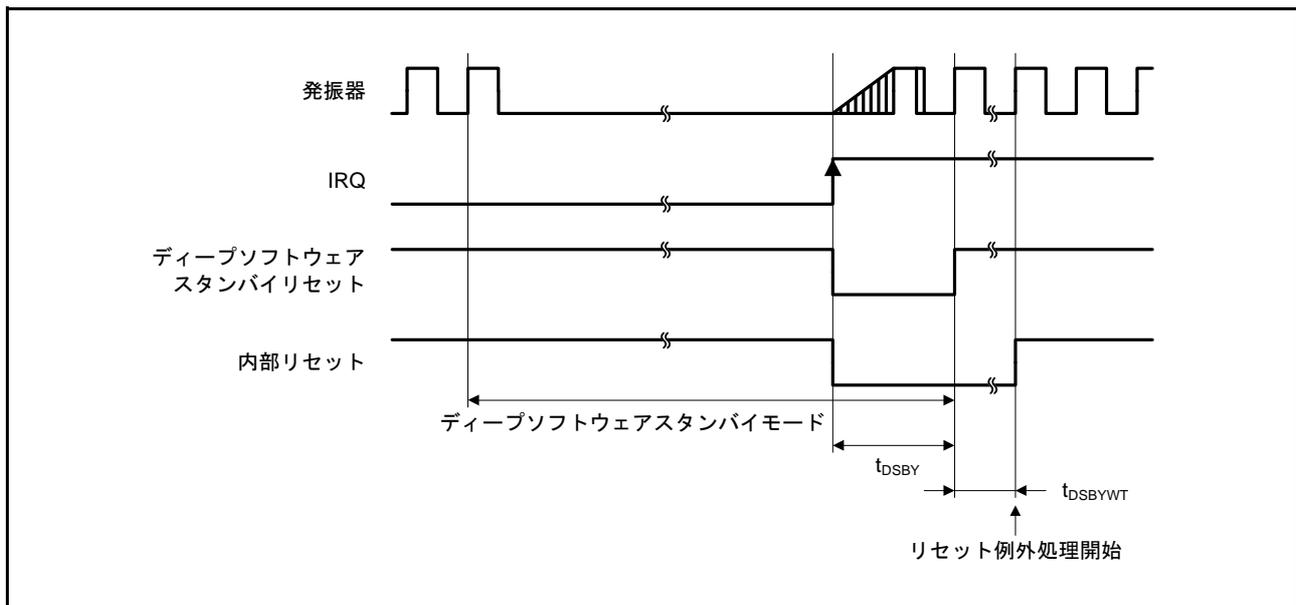


図 5.10 ディープソフトウェアスタンバイモード解除タイミング

## 5.3.4 制御信号タイミング

表5.21 制御信号タイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	$t_{\text{NMIW}}$	200	—	—	ns	$t_c (\text{PCLKB}) \times 2 \leq 200\text{ns}$ 、図 5.11
		$t_c (\text{PCLKB}) \times 2$	—	—	ns	$t_c (\text{PCLKB}) \times 2 > 200\text{ns}$ 、図 5.11
IRQパルス幅	$t_{\text{IRQW}}$	200	—	—	ns	$t_c (\text{PCLKB}) \times 2 \leq 200\text{ns}$ 、図 5.12
		$t_c (\text{PCLKB}) \times 2$	—	—	ns	$t_c (\text{PCLKB}) \times 2 > 200\text{ns}$ 、図 5.12

注. ディープソフトウェアスタンバイおよびソフトウェアスタンバイ時は、最小200nsです。

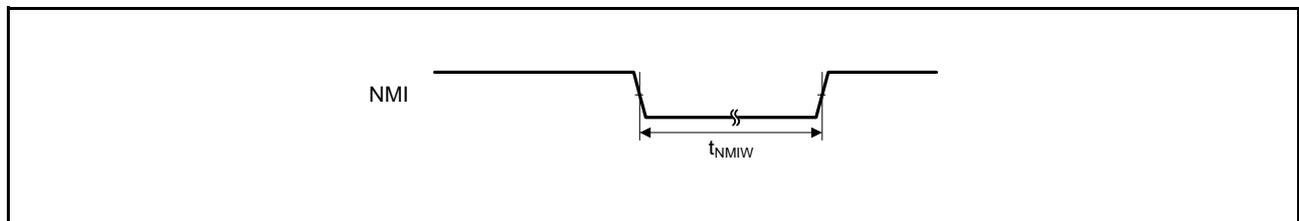


図 5.11 NMI 割り込み入カタイミング

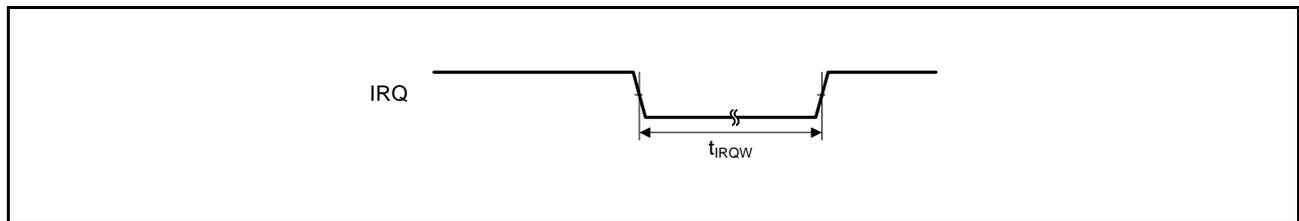


図 5.12 IRQ 割り込み入カタイミング

## 5.3.5 バスタイミング

表5.22 バスタイミング (1)

条件1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C  
f<sub>BCLK</sub> ≤ 54MHz (BCLK端子出力周波数 ≤ 27MHz)、V<sub>OH</sub> = VCC × 0.5、V<sub>OL</sub> = VCC × 0.5、I<sub>OH</sub> = -1.0mA、  
I<sub>OL</sub> = 1.0mA、CL = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t <sub>AD</sub>	—	30	ns	図5.13 ~ 図5.16
バイトコントロール遅延時間	t <sub>BCD</sub>	—	30	ns	
CS#遅延時間	t <sub>CSD</sub>	—	30	ns	
RD#遅延時間	t <sub>RSD</sub>	—	30	ns	
リードデータセットアップ時間	t <sub>RDS</sub>	20	—	ns	
リードデータホールド時間	t <sub>RDH</sub>	0	—	ns	
WR#遅延時間	t <sub>WRD</sub>	—	30	ns	
ライトデータ遅延時間	t <sub>WDD</sub>	—	30	ns	
ライトデータホールド時間	t <sub>WDH</sub>	0	—	ns	
WAIT#セットアップ時間	t <sub>WTS</sub>	20	—	ns	図5.17
WAIT#ホールド時間	t <sub>WTH</sub>	0	—	ns	

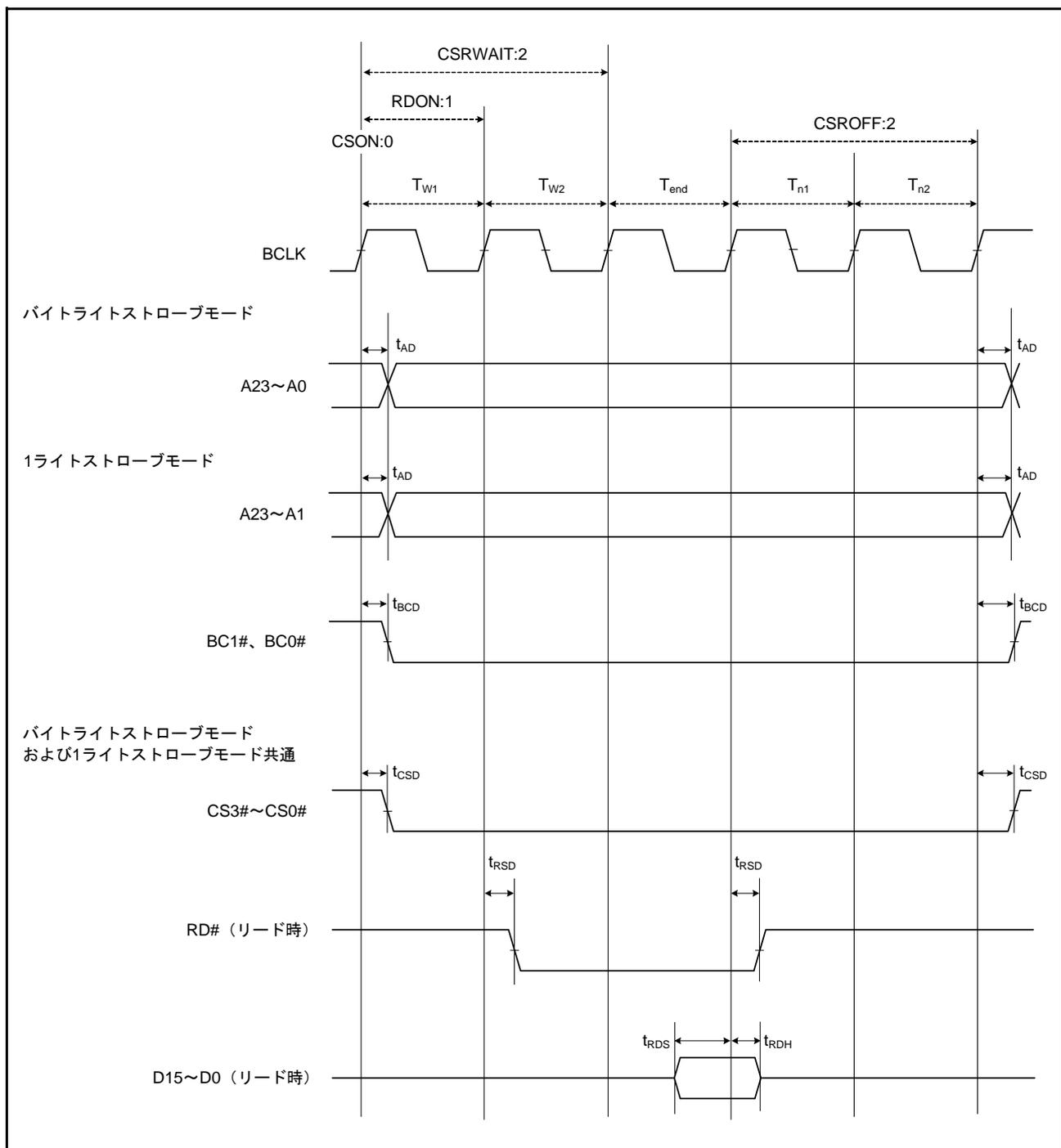


図 5.13 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

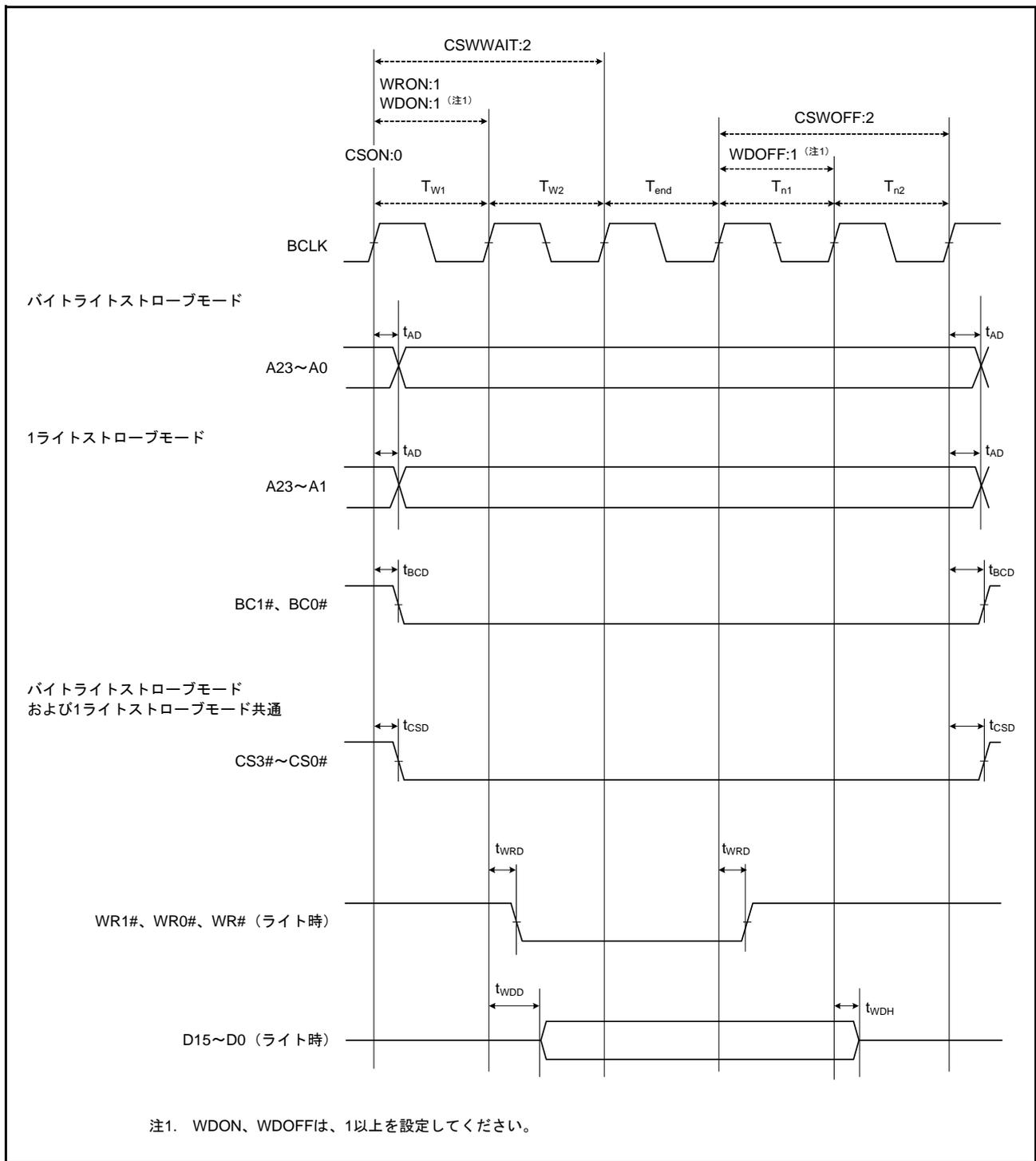


図 5.14 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

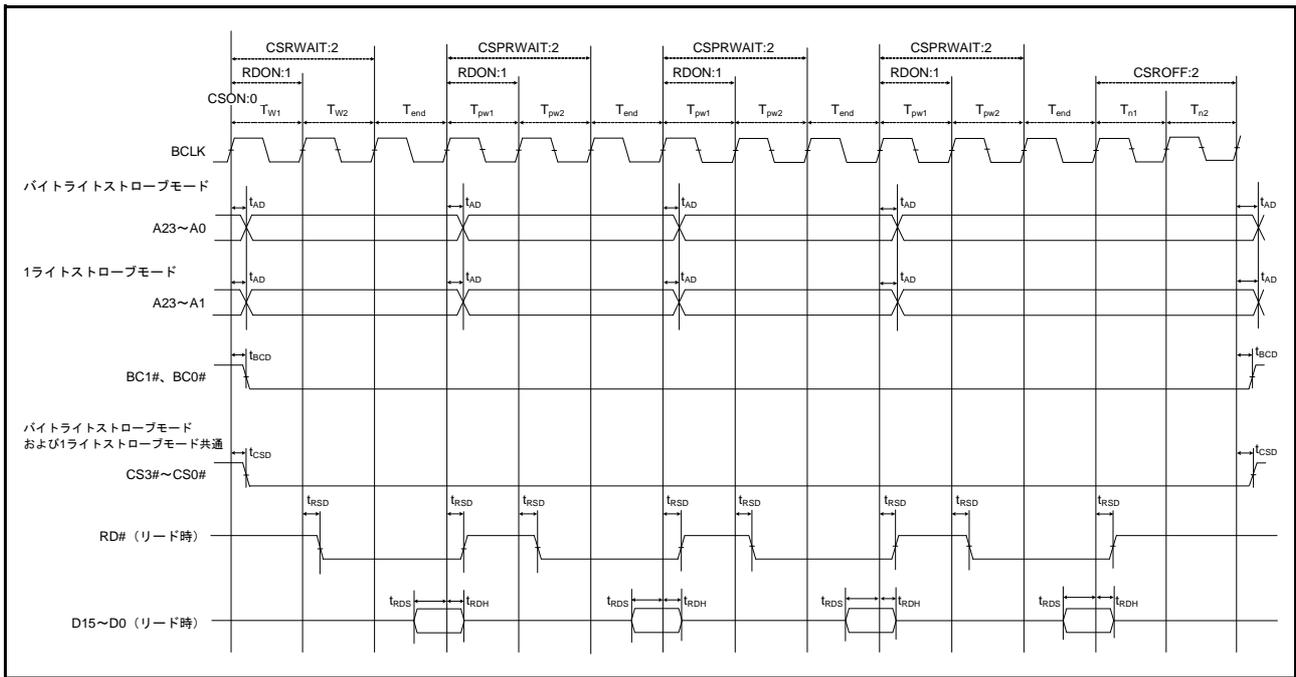


図 5.15 外部バスタイミング / ページリードサイクル (バスクロック同期)

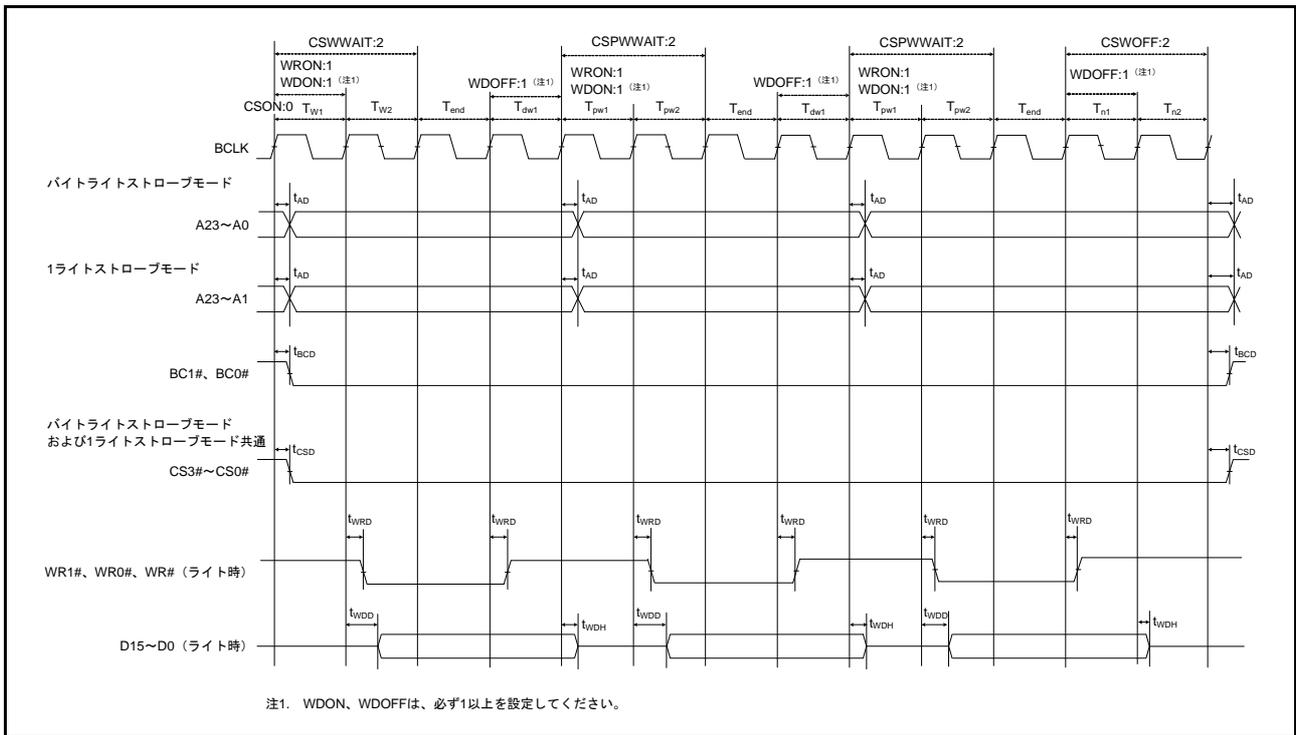


図 5.16 外部バスタイミング / ページライトサイクル (バスクロック同期)

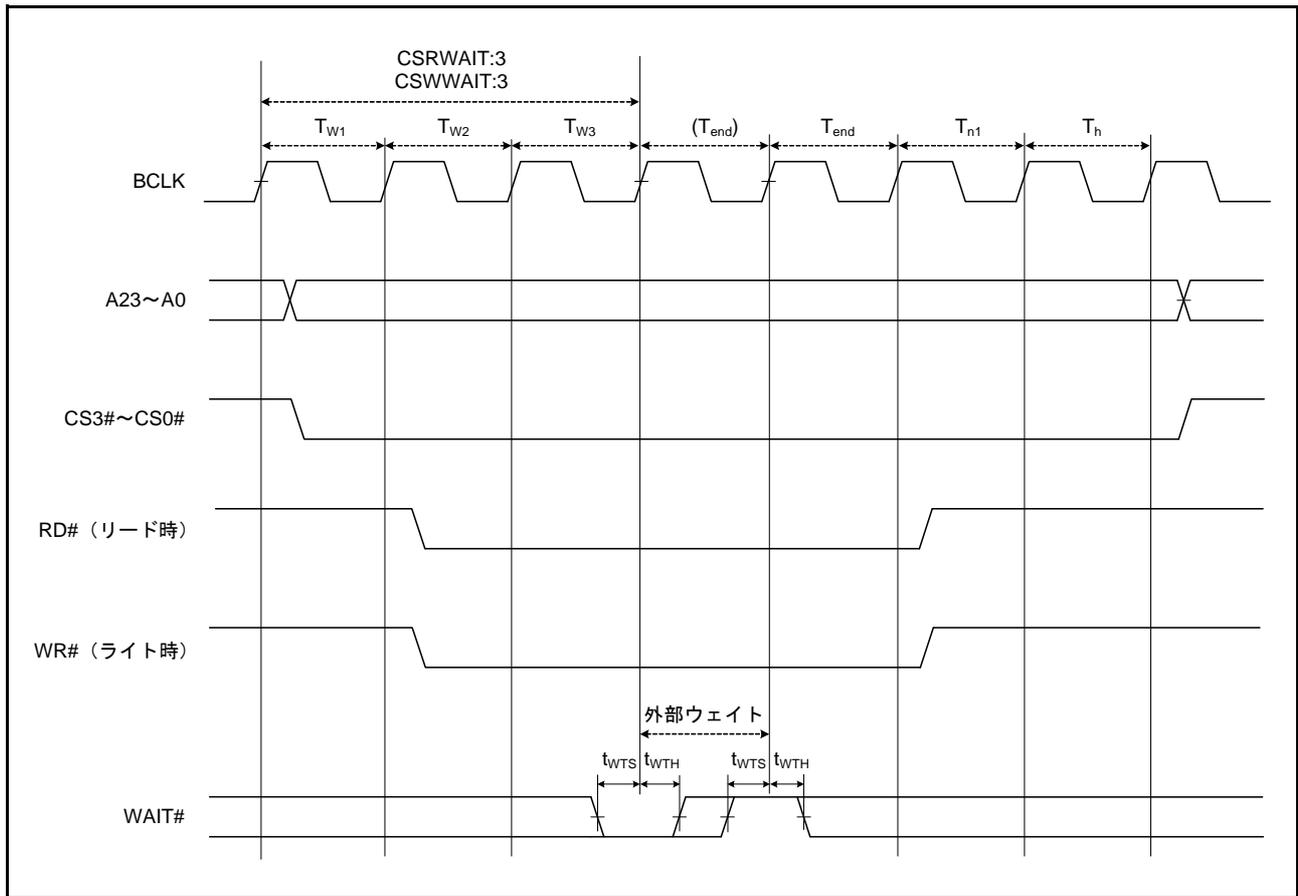


図 5.17 外部バスタイミング / 外部ウェイト制御

表 5.23 バスタイミング (マルチプレクスバス)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

fBCLK ≤ 54MHz (BCLK 端子出力周波数 ≤ 27MHz)、 $V_{OH} = VCC \times 0.5$ 、 $V_{OL} = VCC \times 0.5$ 、 $I_{OH} = -1.0\text{mA}$ 、  
 $I_{OL} = 1.0\text{mA}$ 、 $CL = 30\text{pF}$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	—	30	ns	図 5.18、 図 5.19
バイトコントロール遅延時間	$t_{BCD}$	—	30	ns	
CS# 遅延時間	$t_{CSD}$	—	30	ns	
RD# 遅延時間	$t_{RSD}$	—	30	ns	
ALE 遅延時間	$t_{ALED}$	—	30	ns	
リードデータセットアップ時間	$t_{RDS}$	20	—	ns	
リードデータホールド時間	$t_{RDH}$	0	—	ns	
WR# 遅延時間	$t_{WRD}$	—	30	ns	
ライトデータ遅延時間	$t_{WDD}$	—	30	ns	
ライトデータホールド時間	$t_{WDH}$	0	—	ns	
WAIT# セットアップ時間	$t_{WTS}$	20	—	ns	
WAIT# ホールド時間	$t_{WTH}$	0	—	ns	

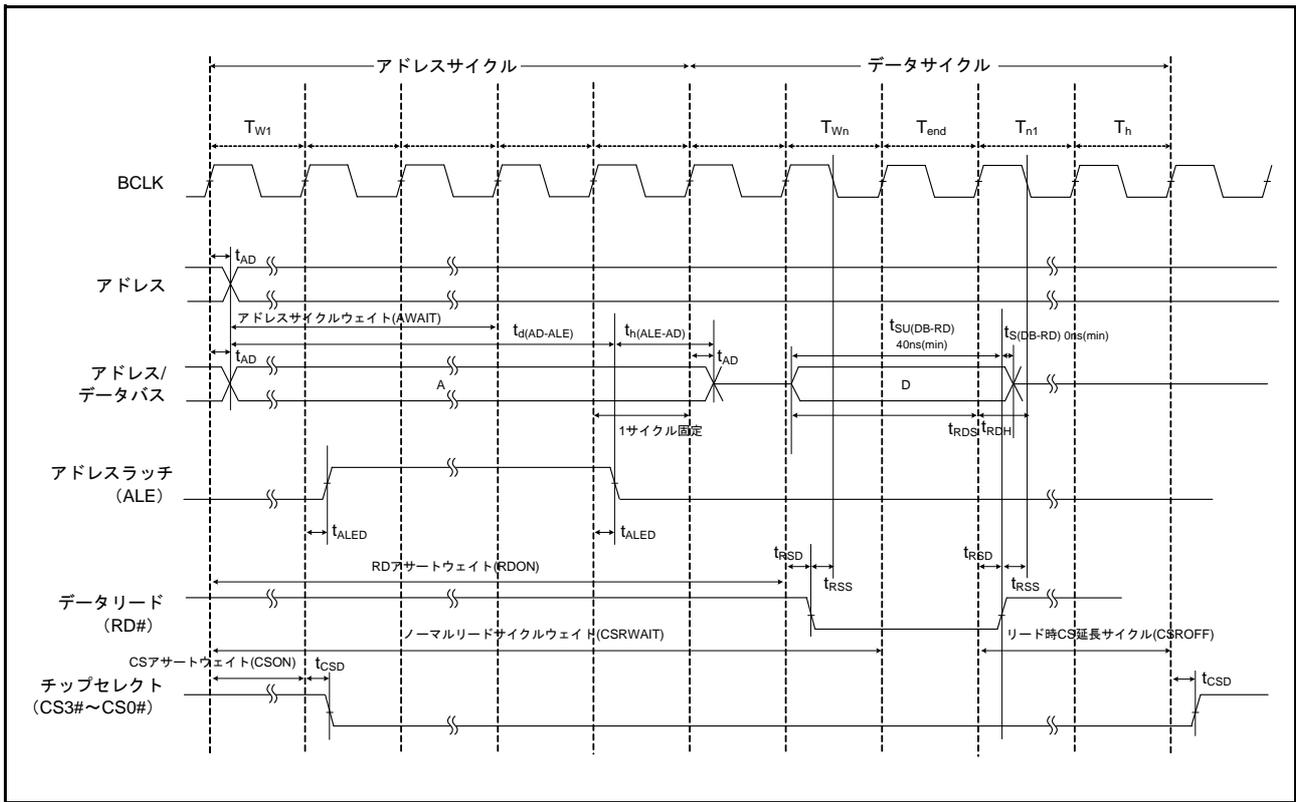


図 5.18 外部バスタイミング／リードアクセスの動作例 (マルチプレクス)

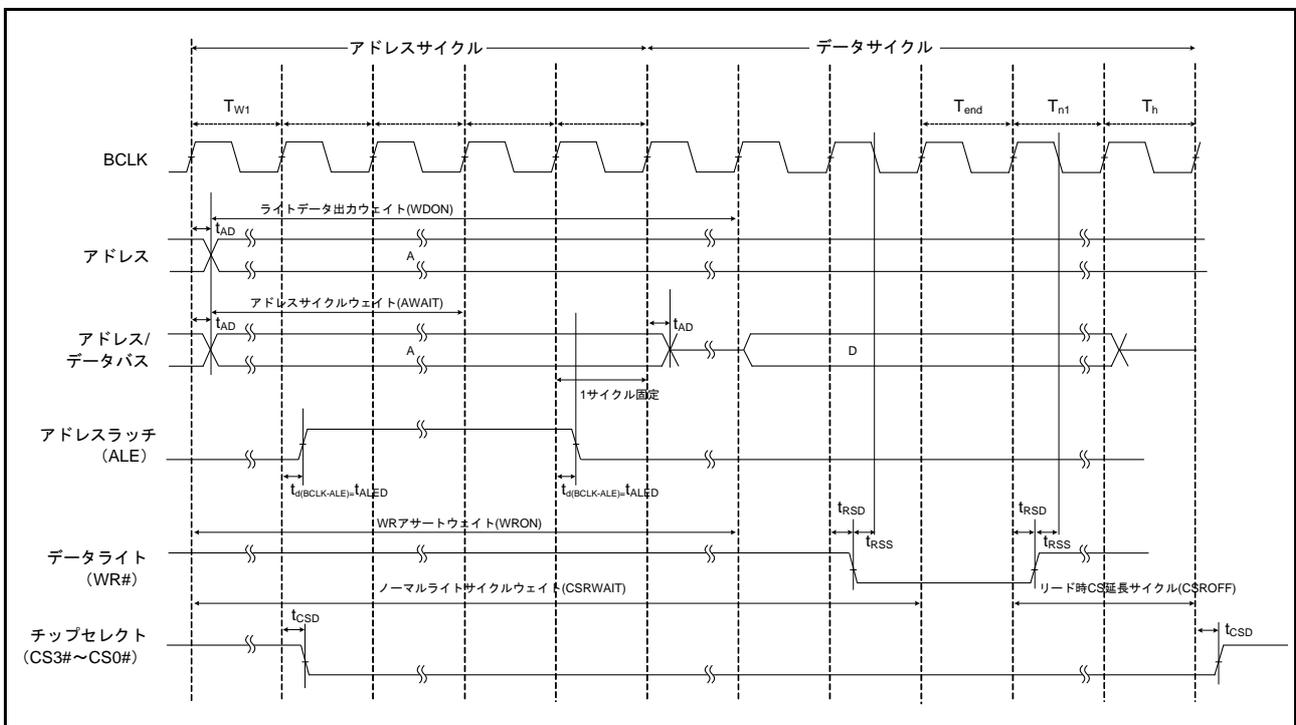


図 5.19 外部バスタイミング／ライトアクセスの動作例 (マルチプレクス)

## 5.3.6 内蔵周辺モジュールタイミング

表5.24 内蔵周辺モジュールタイミング (1)

条件1: VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40~+85°C

駆動能力選択制御レジスタは高駆動出力を選択時

条件2: VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40~+85°C

駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t <sub>PRW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.20	
MTU/TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t <sub>Pcyc</sub>	図5.21	
		両エッジ指定	2.5	—			
	タイムクロックパルス幅	単エッジ指定	1.5	—	t <sub>Pcyc</sub>	図5.22	
両エッジ指定	2.5	—					
位相計測モード	2.5	—					
POE	POE#入力パルス幅	t <sub>POEW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.23	
TMR	タイムクロックパルス幅	単エッジ指定	1.5	—	t <sub>Pcyc</sub>	図5.24	
		両エッジ指定	2.5	—			
SCI	入力クロックサイクル	調歩同期	4	—	t <sub>Pcyc</sub>	図5.25	
		クロック同期	6	—			
	入力クロックパルス幅	t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>		
	入力クロック立ち上がり時間	t <sub>SCKr</sub>	—	20	ns		
	入力クロック立ち下がり時間	t <sub>SCKf</sub>	—	20	ns		
	出力クロックサイクル	調歩同期	t <sub>Scyc</sub>	16	—	t <sub>Pcyc</sub>	図5.26
		クロック同期	4	—			
	出力クロックパルス幅	t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>		
	出力クロック立ち上がり時間	t <sub>SCKr</sub>	—	20	ns		
	出力クロック立ち下がり時間	t <sub>SCKf</sub>	—	20	ns		
送信データ遅延時間	クロック同期	t <sub>TXD</sub>	—	40	ns		
受信データセットアップ時間	クロック同期	t <sub>RXS</sub>	40	—	ns		
受信データホールド時間	クロック同期	t <sub>RXH</sub>	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅	t <sub>TRGW</sub>	1.5	—	t <sub>Pcyc</sub>	図5.27	
CAC	CACREF入力パルス幅	t <sub>Pcyc</sub> ≤ t <sub>cac</sub> (注2)	4.5 t <sub>cac</sub> + 3 t <sub>Pcyc</sub>	—	ns		
		t <sub>Pcyc</sub> > t <sub>cac</sub> (注2)	5 t <sub>cac</sub> + 6.5 t <sub>Pcyc</sub>	—	ns		

注1. t<sub>Pcyc</sub>: PCLKBの周期

注2. t<sub>cac</sub>: CACカウントクロックソースの周期



表 5.26 内蔵周辺モジュールタイミング (3)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 駆動能力選択制御レジスタは高駆動出力を選択時

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$   
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCKクロックサイクル出力 (マスタ)	$t_{SPCyc}$	4	65536	$t_{Pcyc}$	図 5.28
	SCKクロックサイクル入力 (スレーブ)		8	65536		
	SCKクロック High レベルパルス幅	$t_{SPCKWH}$	0.4	0.6	$t_{SPCyc}$	
	SCKクロック Low レベルパルス幅	$t_{SPCKWL}$	0.4	0.6	$t_{SPCyc}$	
	SCK クロック立ち上がり/立ち下がり時間	$t_{SPCKr}$ 、 $t_{SPCKf}$	—	20	ns	
	データ入力セットアップ時間	$t_{SU}$	40	—	ns	図 5.29 ~ 図 5.34
	データ入力ホールド時間	$t_H$	40	—	ns	
	SS 入力セットアップ時間	$t_{LEAD}$	6	—	$t_{Pcyc}$	
	SS 入力ホールド時間	$t_{LAG}$	6	—	$t_{Pcyc}$	
	データ出力遅延時間	$t_{OD}$	—	40	ns	
	データ出力ホールド時間	$t_{OH}$	-10	—	ns	
	データ立ち上がり/立ち下がり時間	$t_{Dr}$ 、 $t_{Df}$	—	20	ns	
	SS 入力立ち上がり/立ち下がり時間	$t_{SSLr}$ 、 $t_{SSLf}$	—	20	ns	
	スレーブアクセス時間	$t_{SA}$	—	5	$t_{Pcyc}$	図 5.33、 図 5.34
スレーブ出力開放時間	$t_{REL}$	—	5	$t_{Pcyc}$		

注 1.  $t_{Pcyc}$  : PCLKBの周期

表5.27 内蔵周辺モジュールタイミング (4)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (Standard-mode)	SCL入力サイクル時間	t <sub>SCL</sub>	6 (12) × t <sub>IICcyc</sub> + 1300	—	ns	図5.35
	SCL入力Highパルス幅	t <sub>SCLH</sub>	3 (6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL入力Lowパルス幅	t <sub>SCLL</sub>	3 (6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	1 (4) × t <sub>IICcyc</sub>	ns	
	SDA入力バスフリー時間	t <sub>BUF</sub>	3 (6) × t <sub>IICcyc</sub> + 300	—	ns	
	開始条件入力ホールド時間	t <sub>STAH</sub>	t <sub>IICcyc</sub> + 300	—	ns	
	再送開始条件入力セットアップ時間	t <sub>STAS</sub>	1000	—	ns	
	停止条件入力セットアップ時間	t <sub>STOS</sub>	1000	—	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	t <sub>IICcyc</sub> + 50	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	
RIIC (Fast-mode)	SCL入力サイクル時間	t <sub>SCL</sub>	6 (12) × t <sub>IICcyc</sub> + 600	—	ns	
	SCL入力Highパルス幅	t <sub>SCLH</sub>	3 (6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL入力Lowパルス幅	t <sub>SCLL</sub>	3 (6) × t <sub>IICcyc</sub> + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t <sub>Sr</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入力立ち下がり時間	t <sub>Sf</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>SP</sub>	0	1 (4) × t <sub>IICcyc</sub>	ns	
	SDA入力バスフリー時間	t <sub>BUF</sub>	3 (6) × t <sub>IICcyc</sub> + 300	—	ns	
	開始条件入力ホールド時間	t <sub>STAH</sub>	t <sub>IICcyc</sub> + 300	—	ns	
	再送開始条件入力セットアップ時間	t <sub>STAS</sub>	300	—	ns	
	停止条件入力セットアップ時間	t <sub>STOS</sub>	300	—	ns	
	データ入力セットアップ時間	t <sub>SDAS</sub>	t <sub>IICcyc</sub> + 50	—	ns	
	データ入力ホールド時間	t <sub>SDAH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	

注. t<sub>IICcyc</sub>: RIICの内部基準クロック (IICφ) の周期

注1. ( ) 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C<sub>b</sub>はバスラインの容量総計です。

表5.28 内蔵周辺モジュールタイミング (5)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

条件2: VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目		記号	min (注1、注2)	max (注3)	単位	測定条件
簡易IIC (Standard-mode)	SCL、SDA入力立ち上がり時間	t <sub>sr</sub>	—	1000	ns	図5.35
	SCL、SDA入力立ち下がり時間	t <sub>sf</sub>	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>sp</sub>	0	4 × t <sub>pcyc</sub>	ns	
	データ入力セットアップ時間	t <sub>sdas</sub>	250	—	ns	
	データ入力ホールド時間	t <sub>sdaH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	
簡易IIC (Fast-mode)	SCL、SDA入力立ち上がり時間	t <sub>sr</sub>	20 + 0.1C <sub>b</sub>	300	ns	図5.35
	SCL、SDA入力立ち下がり時間	t <sub>sf</sub>	20 + 0.1C <sub>b</sub>	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t <sub>sp</sub>	0	4 × t <sub>pcyc</sub>	ns	
	データ入力セットアップ時間	t <sub>sdas</sub>	100	—	ns	
	データ入力ホールド時間	t <sub>sdaH</sub>	0	—	ns	
	SCL、SDAの容量性負荷	C <sub>b</sub>	—	400	pF	

注1. ( ) 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C<sub>b</sub>はバスラインの容量総計です。

注3. t<sub>pcyc</sub>: PCLKBの周期

表5.29 内蔵周辺モジュールタイミング (6)

条件1: VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40 ~ +85°C

項目	記号	min	max	単位	測定条件
CEC立ち下がり時間	t <sub>cf</sub>	—	50	μs	C <sub>b</sub> = 1600pF、R <sub>b</sub> = 27kΩ
					C <sub>b</sub> = 7700pF、R <sub>b</sub> = 3kΩ

注1. C<sub>b</sub>: 通信ライン負荷容量値、R<sub>b</sub>: 通信ライン外部プルアップ抵抗値

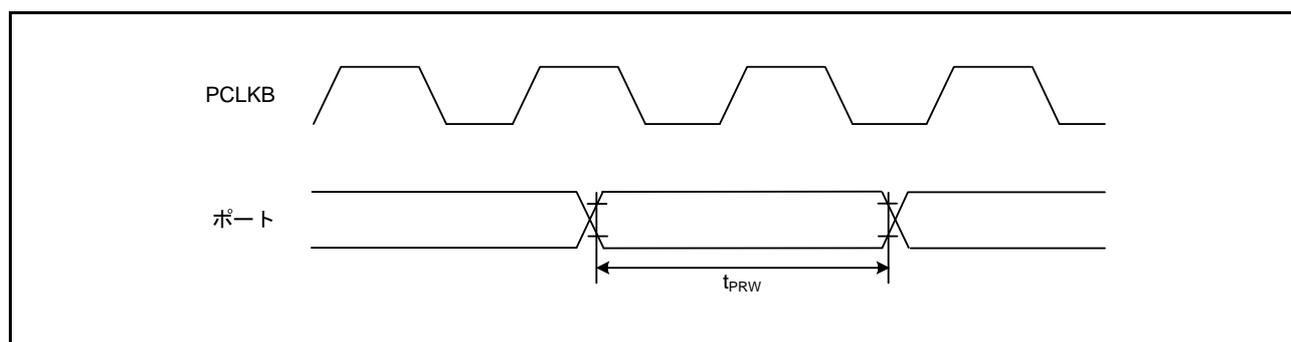


図 5.20 I/O ポート入力タイミング

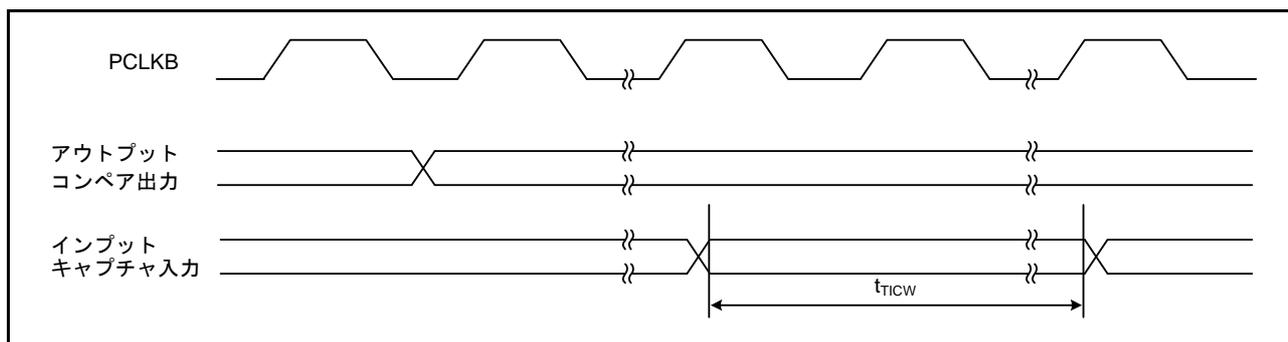


図 5.21 MTU/TPU 入出力タイミング

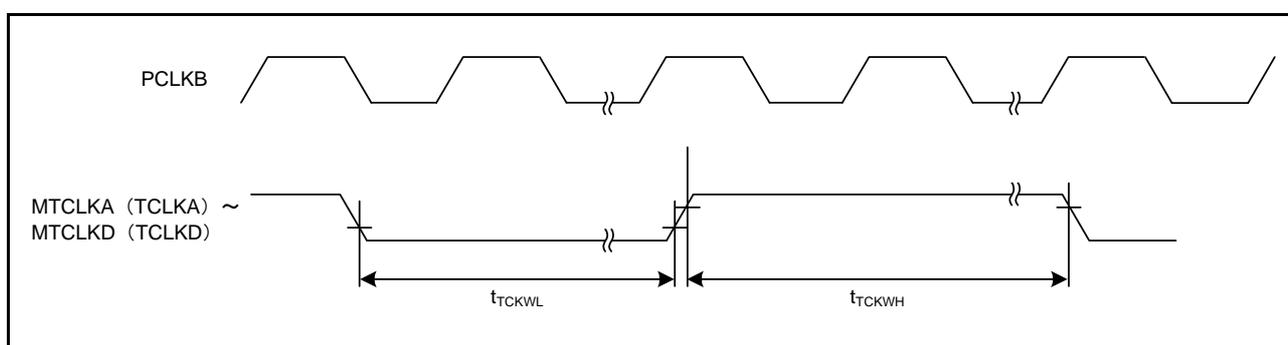


図 5.22 MTU/TPU クロック入力タイミング

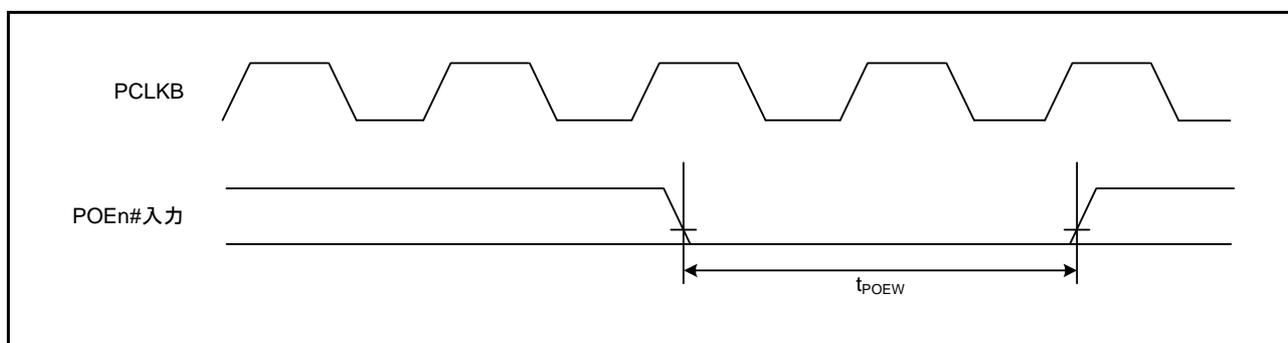


図 5.23 POE# 入力タイミング

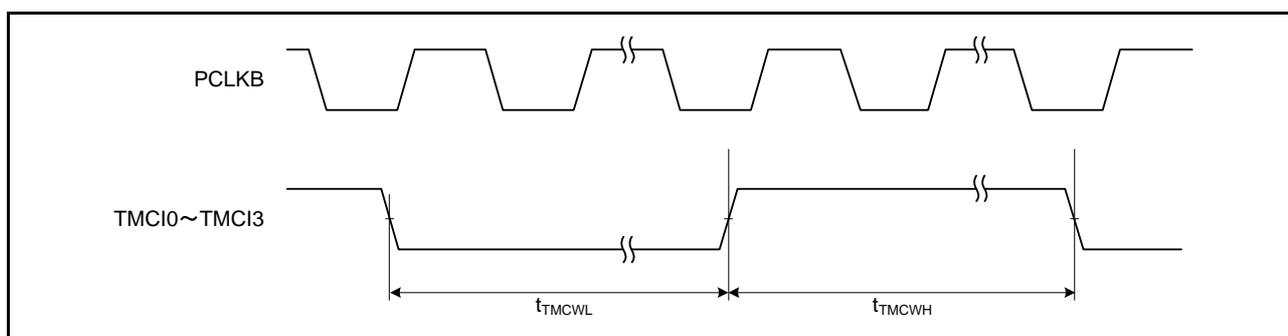


図 5.24 8ビットタイマクロック入力タイミング

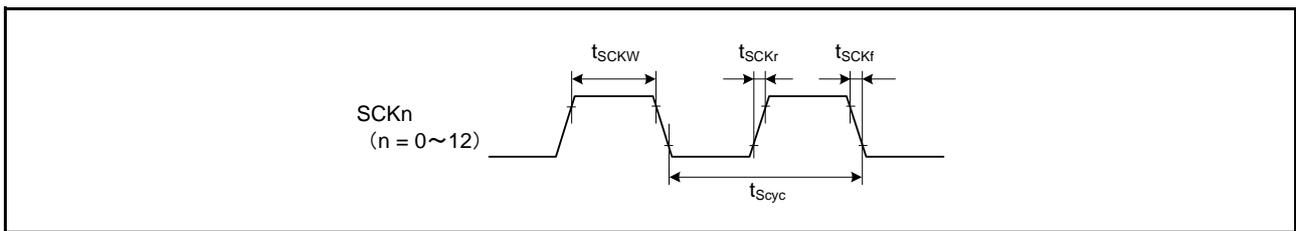


図 5.25 SCK クロック入力タイミング

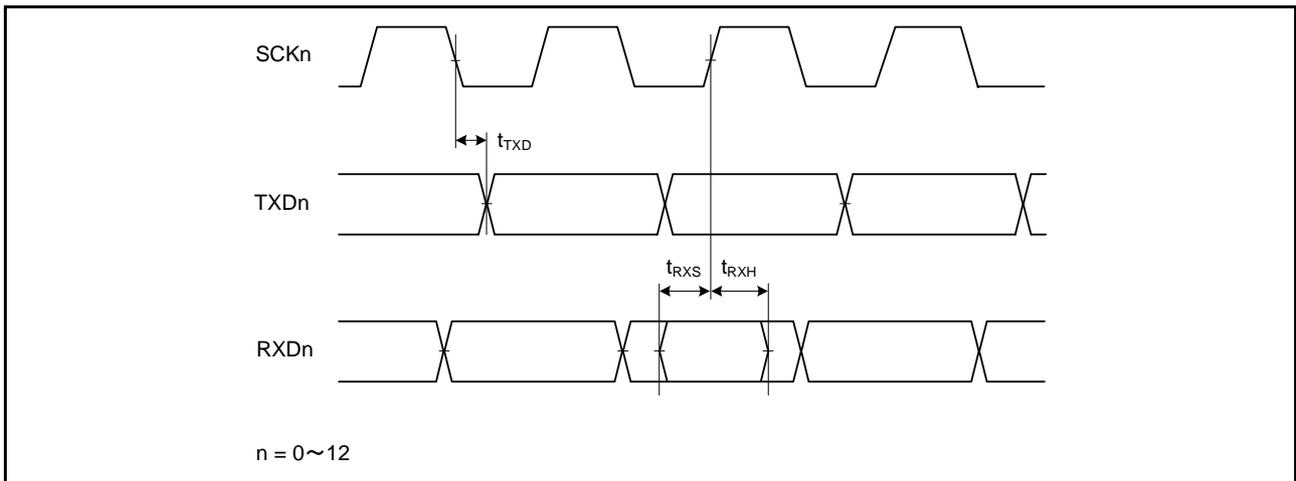


図 5.26 SCI 入出力タイミング / クロック同期式モード

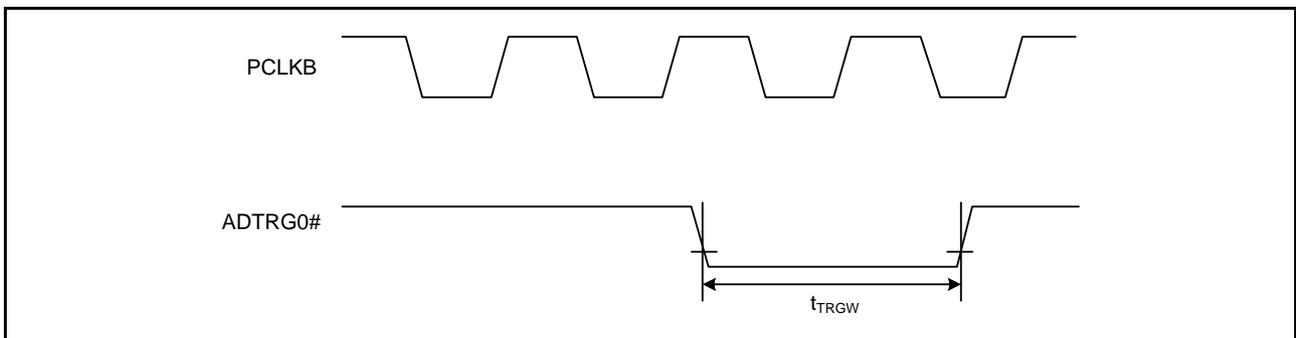


図 5.27 A/D コンバータ外部トリガ入力タイミング

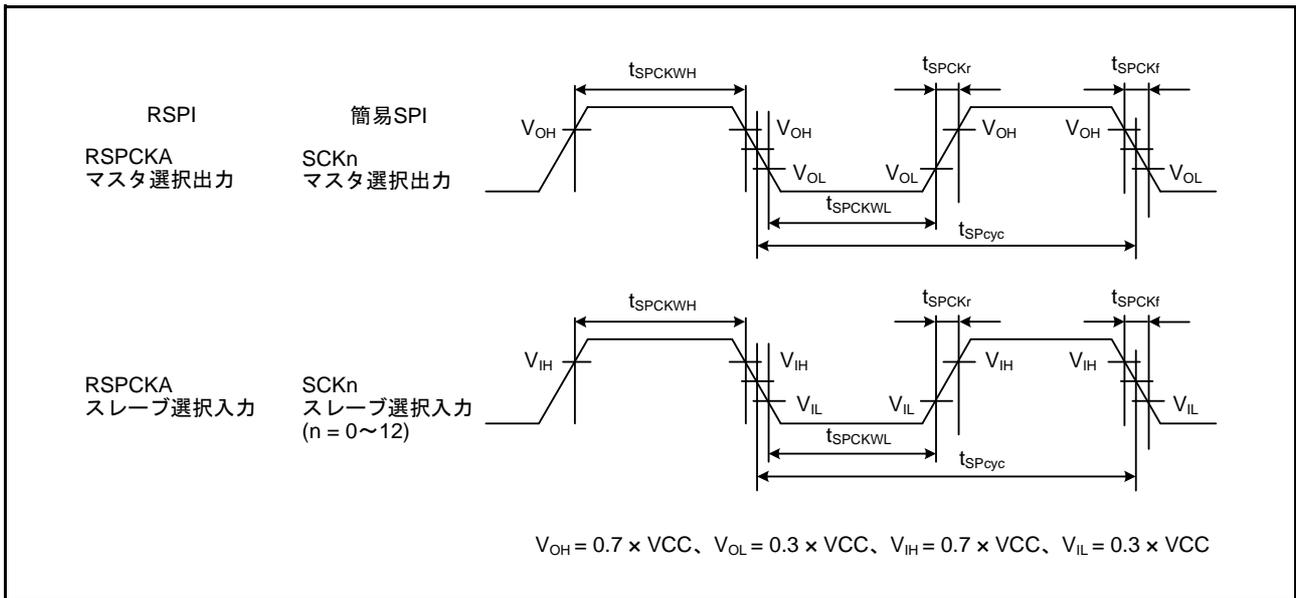


図 5.28 RSPI クロックタイミング / 簡易 SPI クロックタイミング

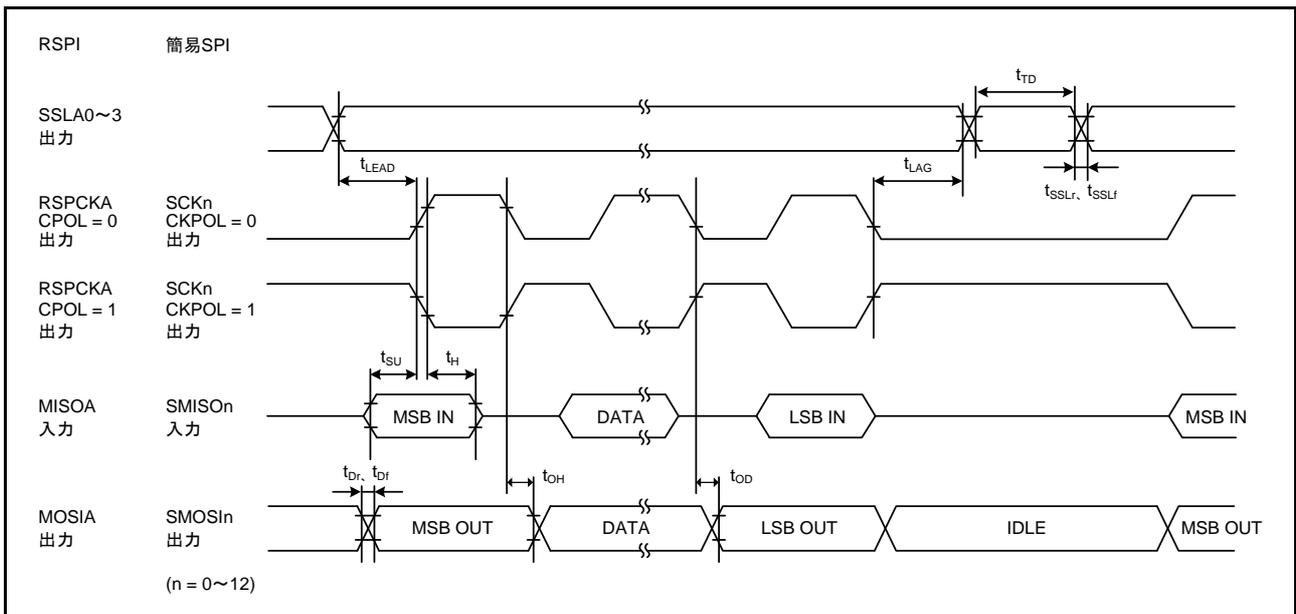


図 5.29 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 1)

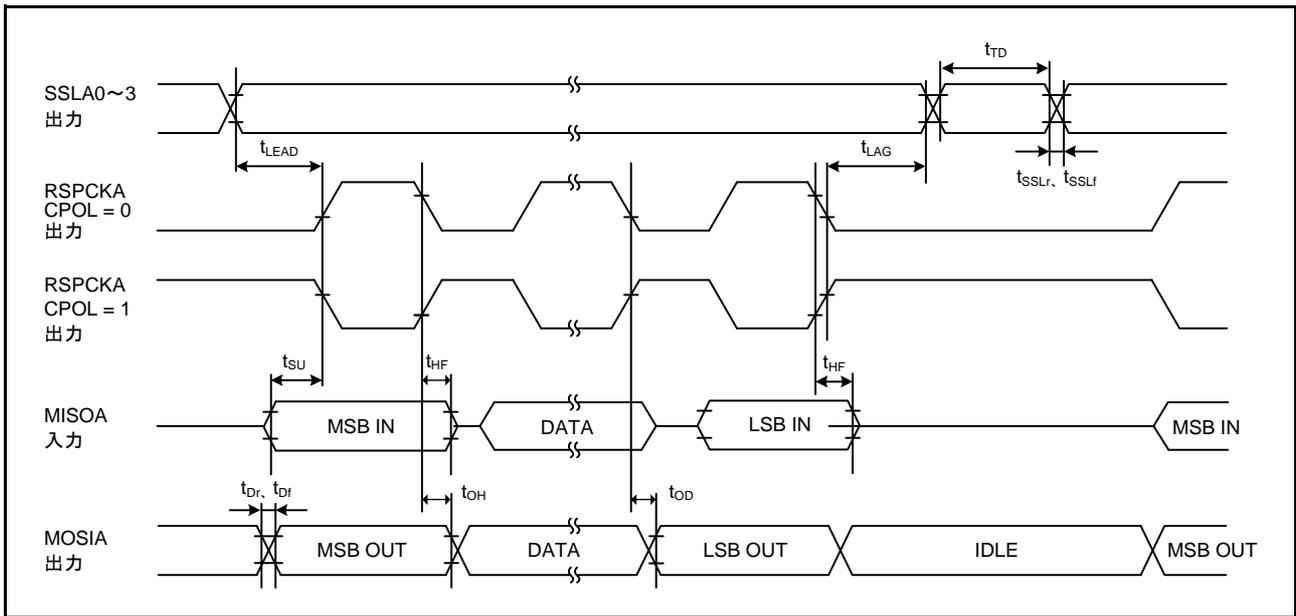


図 5.30 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

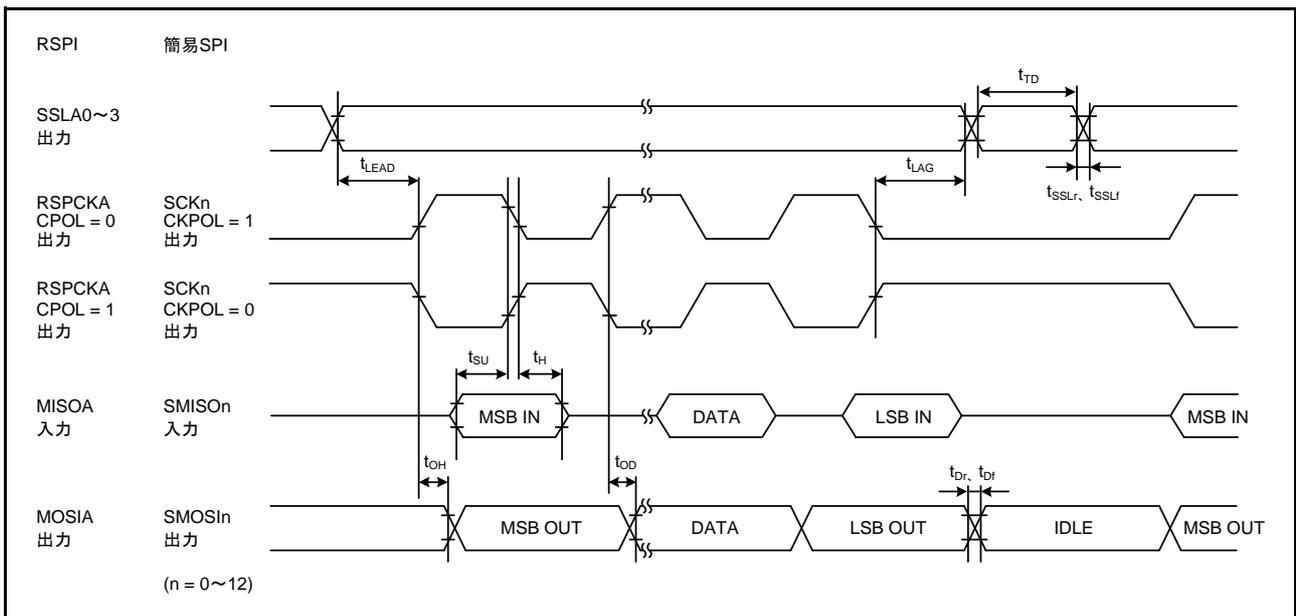


図 5.31 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定) / 簡易 SPI タイミング (マスタ、CKPH = 0)

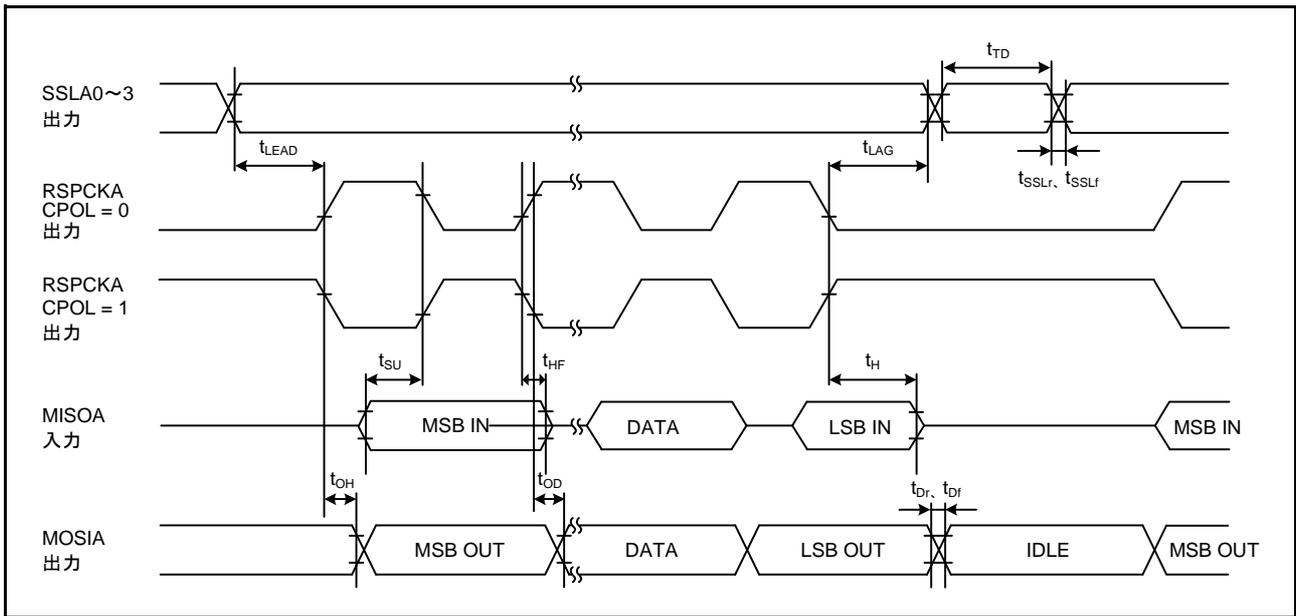


図 5.32 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

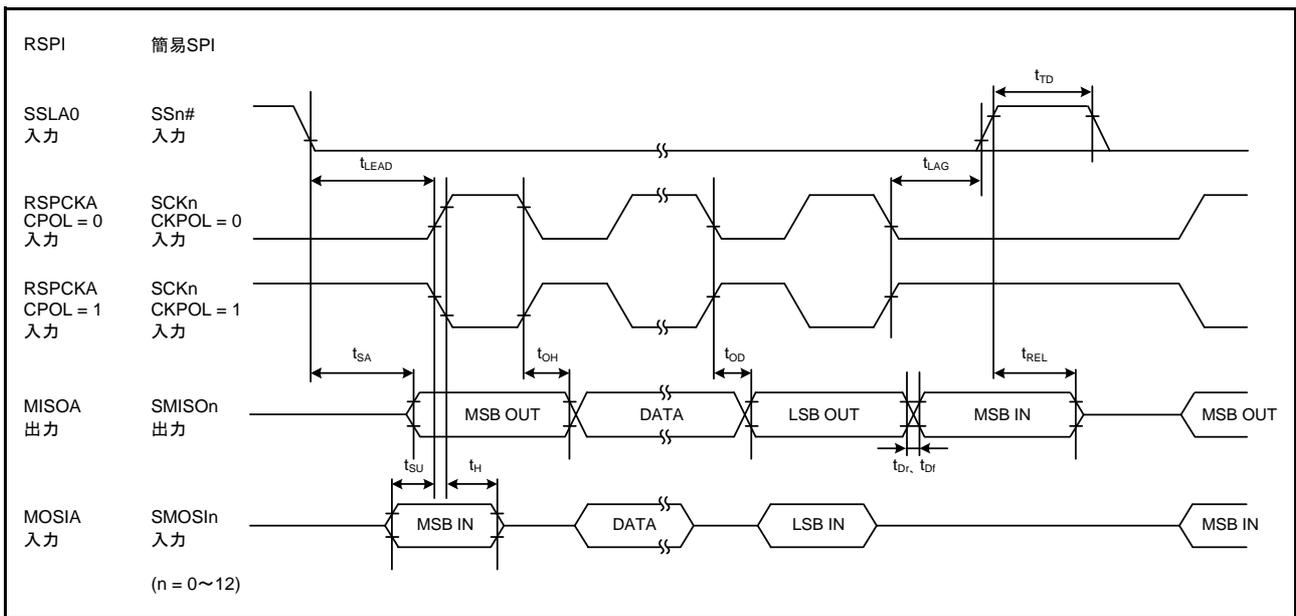


図 5.33 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

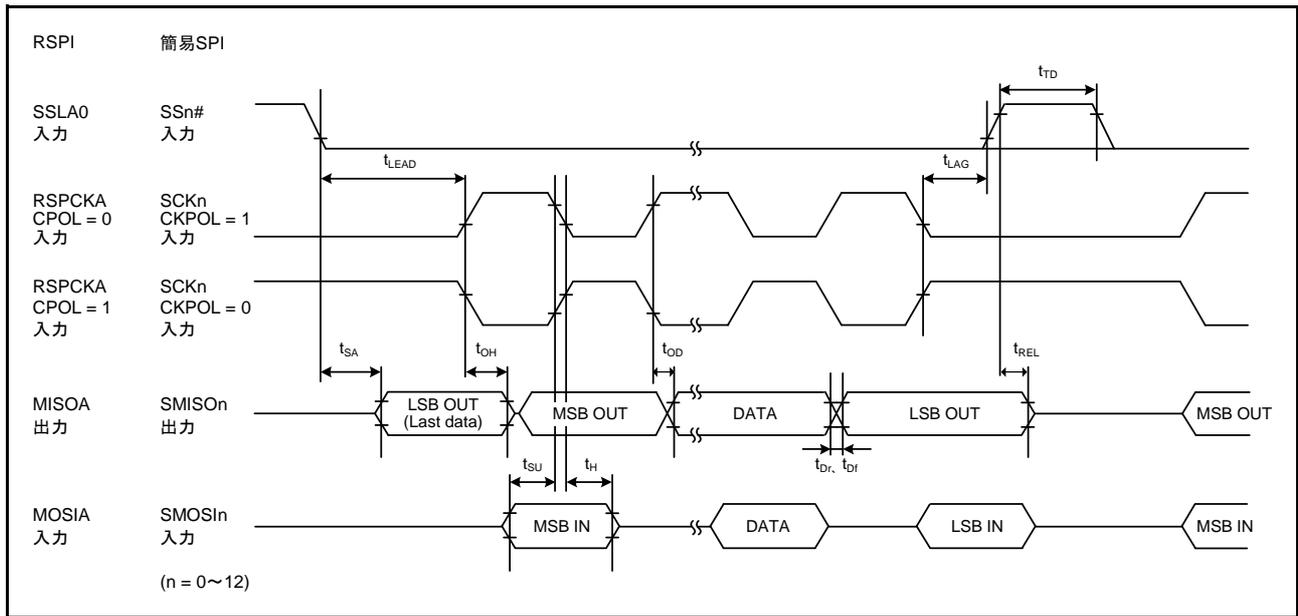


図 5.34 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

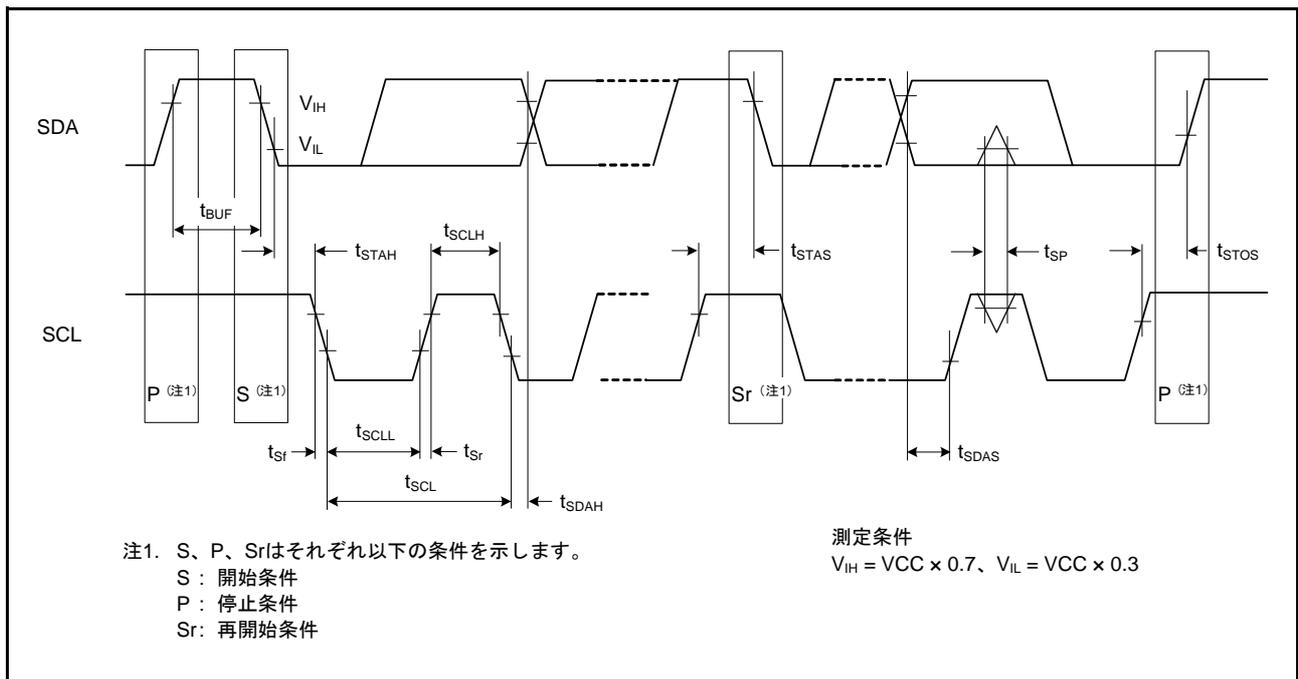


図 5.35 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

## 5.4 A/D 変換特性

表 5.30 A/D 変換特性

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件	
A/D 変換クロック周波数 (fPCLKD)	1	—	54	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (AD クロック = 54MHz 時)	許容信号源インピーダンス 1.0k $\Omega$	1 (0.4) (注2)	—	—	$\mu\text{s}$	高精度チャネル
	許容信号源インピーダンス 1.0k $\Omega$ , AVCC $\geq$ 4.0V	1.9 (1.3) (注2)	—	—		通常精度チャネル
	許容信号源インピーダンス 1.0k $\Omega$ , AVCC $\geq$ 2.7V	2.5 (1.9) (注2)	—	—		
アナログ入力容量	—	—	30	pF		
オフセット誤差	—	$\pm 2.0$	$\pm 6.0$	LSB	高精度チャネル (SH 使用)	
	—	$\pm 1.5$	$\pm 3.0$		高精度チャネル (SH 未使用)	
	—	$\pm 2.0$	$\pm 7.5$		通常精度チャネル	
フルスケール誤差	—	$\pm 2.0$	$\pm 6.0$	LSB	高精度チャネル (SH 使用)	
	—	$\pm 1.5$	$\pm 3.0$		高精度チャネル (SH 未使用)	
	—	$\pm 2.0$	$\pm 7.5$		通常精度チャネル	
量子化誤差	—	$\pm 0.5$	—	LSB		
絶対精度	—	$\pm 4.0$	$\pm 8.0$	LSB	高精度チャネル (SH 使用)	
	—	$\pm 2.0$	$\pm 6.0$		高精度チャネル (SH 未使用)	
	—	$\pm 2.5$	$\pm 8.0$		通常精度チャネル	
DNL 微分非直線性誤差	—	$\pm 2.0$	$\pm 6.0$	LSB	高精度チャネル (SH 使用)	
	—	$\pm 1.5$	$\pm 3.0$		高精度チャネル (SH 未使用)	
	—	$\pm 2.0$	$\pm 4.0$		通常精度チャネル	
INL 積分非直線性誤差	—	$\pm 2.0$	$\pm 6.0$	LSB	高精度チャネル (SH 使用)	
	—	$\pm 1.5$	$\pm 3.0$		高精度チャネル (SH 未使用)	
	—	$\pm 2.0$	$\pm 4.0$		通常精度チャネル	

注. A/D コンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注. チャネル専用サンプル&ホールド回路使用時は、AN000 ~ AN002 のアナログ入力電圧 ( $V_{AN}$ ) を、  
 $0.25\text{V} \leq V_{AN} \leq \text{AVCC0} - 0.25\text{V}$ 、かつ  $V_{AN} \leq \text{VREFH0}$   
の範囲で、かつ  $\text{AVCC0} \geq 2.7\text{V}$  でご使用ください。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ( ) はサンプリング時間を示します。

表 5.31 サンプリング時間

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	typ	単位	測定条件
サンプリング時間	高精度チャネル	$T_s$	$0.2 + 0.16 \times R_0$ (k $\Omega$ )	$\mu\text{s}$
	通常精度チャネル		$0.3 + 0.16 \times R_0$ (k $\Omega$ )	

表 5.32 A/Dコンバータチャンネル分類表

分類	対象チャンネル	チャンネル専用 サンプル& ホールド回路	条件
高精度チャンネル	AN000 ~ AN002	使用	AVCC0 = VREFH0 = 2.7 ~ 3.6V (3V版) AVCC0 = VREFH0 = 4.0 ~ 5.5V (5V版) AVSS0 = VREFL0 = 0V $0.25V \leq V_{AN} \leq AVCC0 - 0.25V$ $V_{AN} \leq VREFH0$
	AN003 ~ AN007	—	AVCC0 = VREFH0 = 2.7 ~ 3.6V (3V版) AVCC0 = VREFH0 = 4.0 ~ 5.5V (5V版) AVSS0 = VREFL0 = 0V
通常精度チャンネル	AN008 ~ AN015	—	$0V \leq V_{AN} \leq VREFH0$

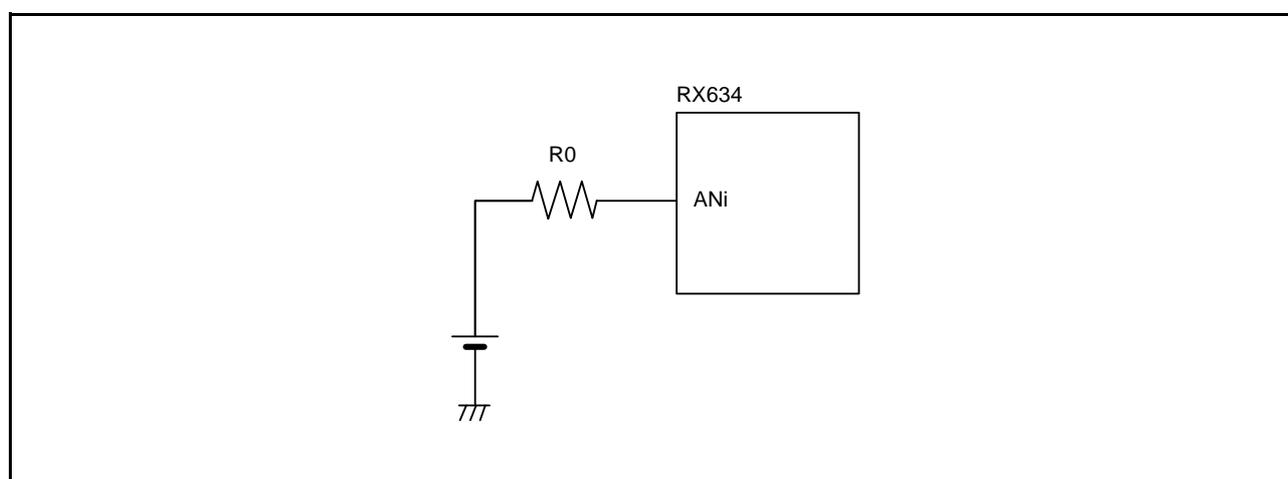


図 5.36 アナログ入力端子の内部等価回路

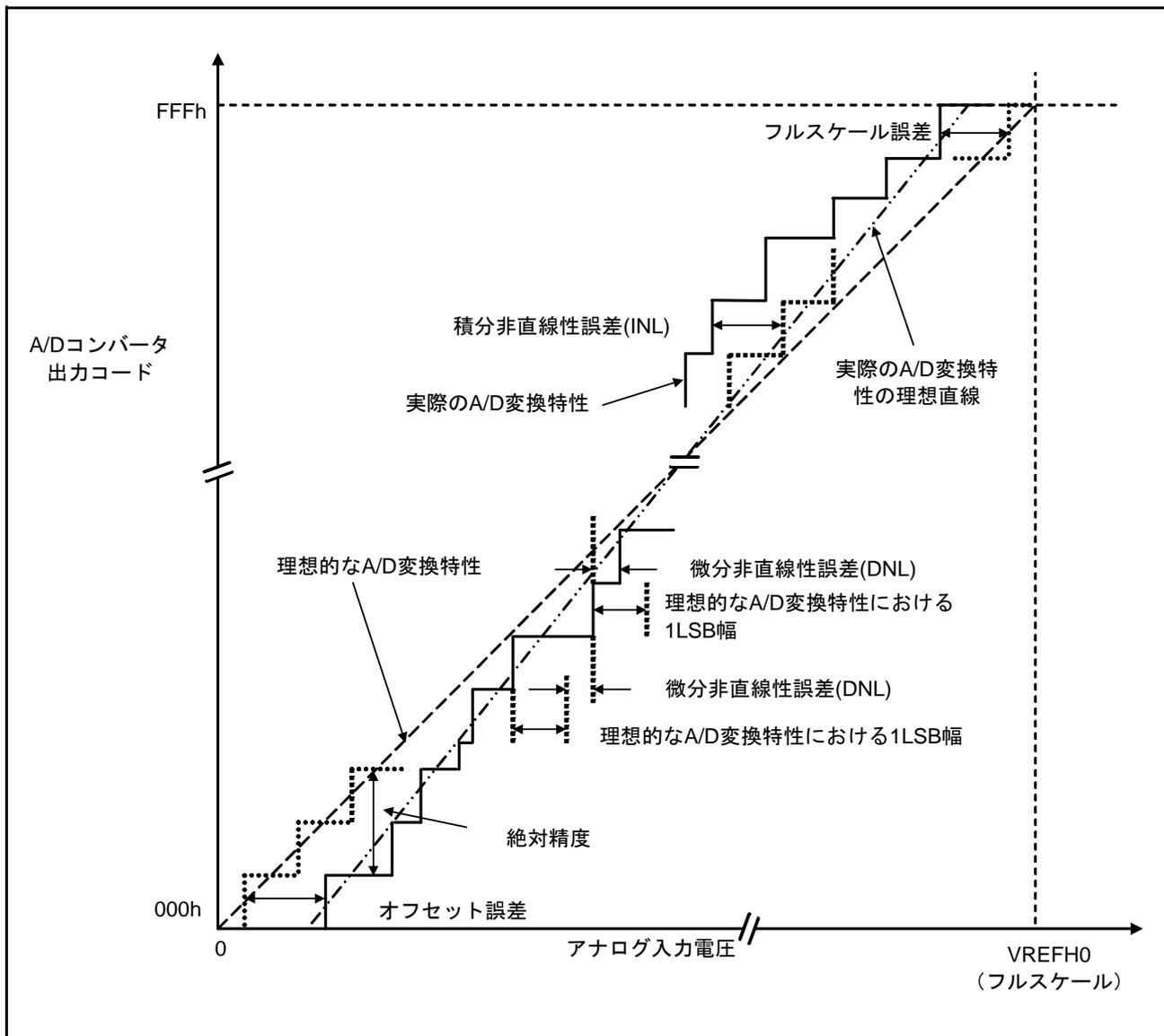


図 5.37 A/D コンバータ特性用語説明図

### 絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 5.12V）の場合、1LSB 幅は 1.25mV で、アナログ入力電圧には 0mV、1.25mV、2.5mV... を使用します。

絶対精度  $\pm 5\text{LSB}$  とは、アナログ入力電圧が 10mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

**微分非直線性誤差 (DNL)**

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

**オフセット誤差**

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

**フルスケール誤差**

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

## 5.5 D/A 変換特性

表 5.33 D/A 変換特性 (1)

条件 1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件 2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	±3.0	μs	負荷容量 20pF
絶対精度	—	±3.0	±5.0	LSB	負荷抵抗 4MΩ
	—	—	±4.0	LSB	負荷抵抗 8MΩ
RO出力抵抗	—	3.6	—	kΩ	

## 5.6 パワーオンリセット回路、電圧検出回路特性

表5.34 パワーオンリセット回路、電圧検出回路特性 (1)

条件：VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40~+85°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V <sub>POR</sub>	2.46	2.58	2.7	V	図 5.38
	電圧検出回路 (LVD0)	V <sub>DET0</sub>	2.7	2.82	2.94		図 5.39
	電圧検出回路 (LVD1) (注1)	V <sub>DET1_8</sub>	2.75	2.90	3.05		図 5.40
		V <sub>DET1_9</sub>	2.70	2.85	3.00		
		V <sub>DET1_A</sub>	2.73	2.88	3.03		
	電圧検出回路 (LVD2) (注2)	V <sub>DET2_8</sub>	2.75	2.90	3.05		図 5.41
		V <sub>DET2_9</sub>	2.70	2.85	3.00		
		V <sub>DET2_A</sub>	2.73	2.88	3.03		
	内部リセット時間	パワーオンリセット (POR)	t <sub>POR</sub>		9.7		ms
電圧検出回路 (LVD0)		t <sub>LVO0</sub>		9.7	図 5.39		
電圧検出回路 (LVD1)		t <sub>LVO1</sub>		0.9	図 5.40		
電圧検出回路 (LVD2)		t <sub>LVO2</sub>		0.9	図 5.41		
最小VCC低下時間 (注3)	t <sub>VOFF</sub>	200	—	—	μs	図 5.39 ~ 図 5.41	
応答遅延時間	t <sub>DET</sub>			200	μs		
LVD動作安定時間 (LVD有効切り替え時)	T <sub>d(E-A)</sub>			3	μs	図 5.40、図 5.41	
ヒステリシス幅 (LVD1、LVD2)	V <sub>LVH</sub>		80		mV		

注1. 記号V<sub>DET1\_#</sub>の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注2. 記号V<sub>DET2\_#</sub>の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV<sub>POR</sub>、V<sub>DET1</sub>、V<sub>DET2</sub>のmin値を下回っている時間です。

表5.35 パワーオンリセット回路、電圧検出回路特性 (2)

条件：VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
T<sub>a</sub> = -40~+85°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V <sub>POR</sub>	3.6	3.8	4.0	V	図 5.38
	電圧検出回路 (LVD0)	V <sub>DET0</sub>	4.0	4.2	4.4		図 5.39
	電圧検出回路 (LVD1) (注1)	V <sub>DET1_8</sub>	4.59	4.77	4.95		図 5.40
		V <sub>DET1_9</sub>	4.05	4.23	4.41		
		V <sub>DET1_A</sub>	4.32	4.50	4.68		
	電圧検出回路 (LVD2) (注2)	V <sub>DET2_8</sub>	4.59	4.77	4.95		図 5.41
		V <sub>DET2_9</sub>	4.05	4.23	4.41		
		V <sub>DET2_A</sub>	4.32	4.50	4.68		
	内部リセット時間	パワーオンリセット (POR)	t <sub>POR</sub>		9.7		ms
電圧検出回路 (LVD0)		t <sub>LVO0</sub>		9.7	図 5.39		
電圧検出回路 (LVD1)		t <sub>LVO1</sub>		0.9	図 5.40		
電圧検出回路 (LVD2)		t <sub>LVO2</sub>		0.9	図 5.41		
最小VCC低下時間 (注3)	t <sub>VOFF</sub>	200	—	—	μs	図 5.39 ~ 図 5.43	
応答遅延時間	t <sub>DET</sub>			200	μs		
LVD動作安定時間 (LVD有効切り替え時)	T <sub>d(E-A)</sub>			3	μs	図 5.40、図 5.41	
ヒステリシス幅 (LVD1、LVD2)	V <sub>LVH</sub>		80		mV		

注1. 記号V<sub>DET1\_#</sub>の#は、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注2. 記号V<sub>DET2\_#</sub>の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV<sub>POR</sub>、V<sub>DET1</sub>、V<sub>DET2</sub>のmin値を下回っている時間です。

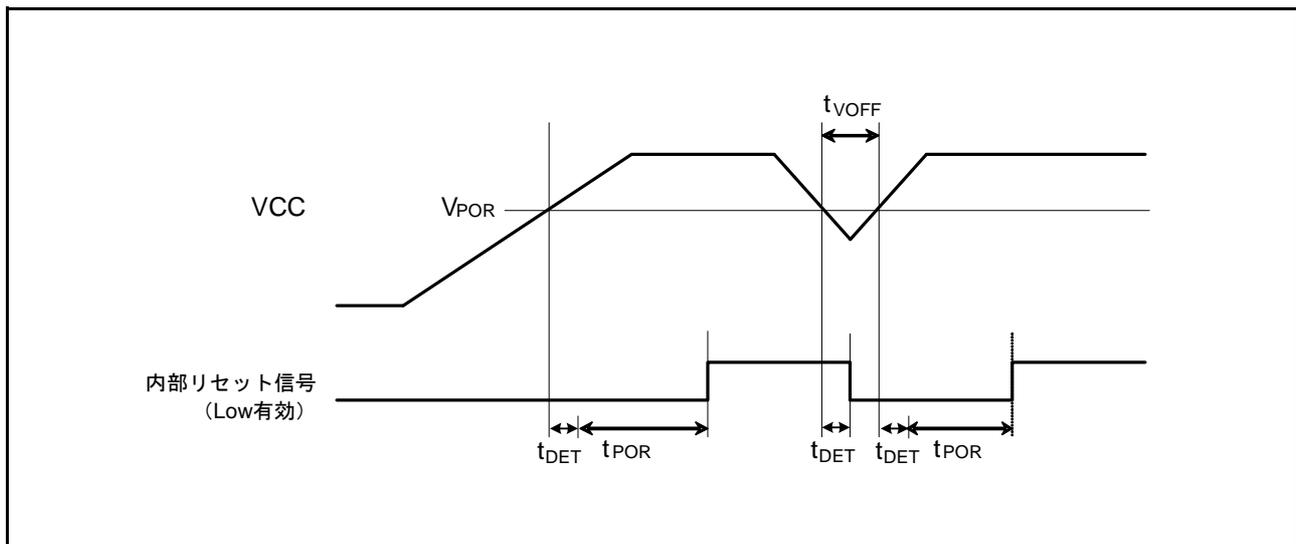
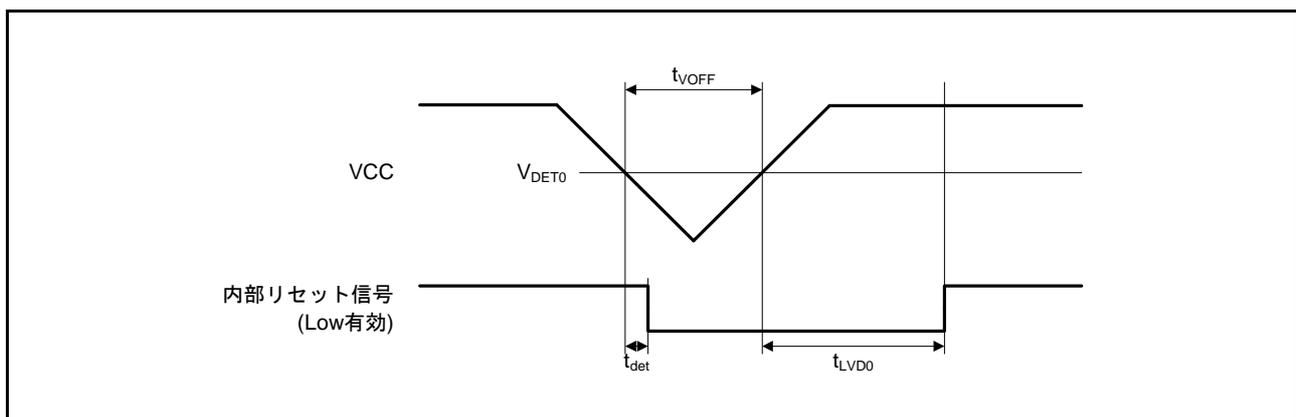
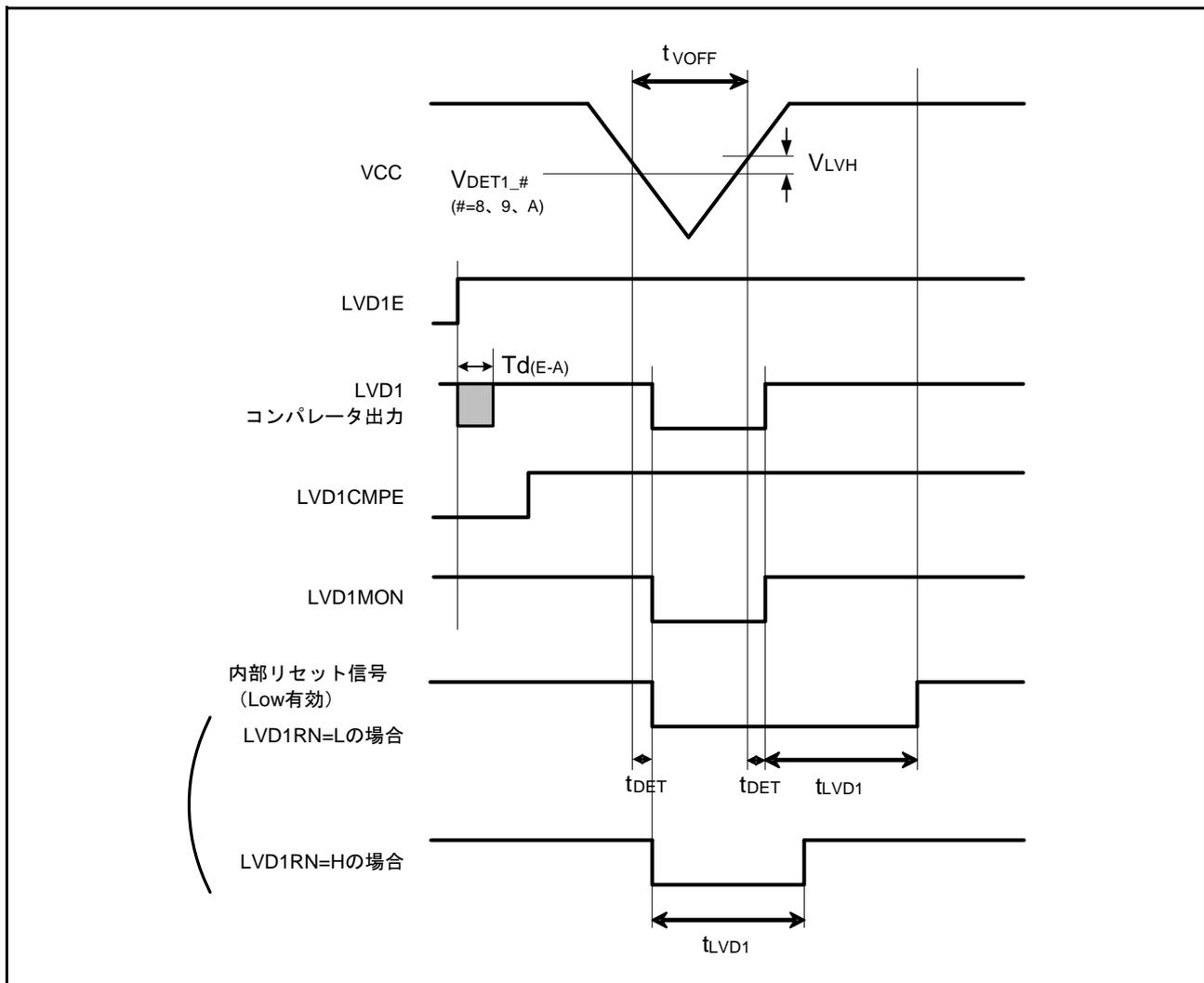
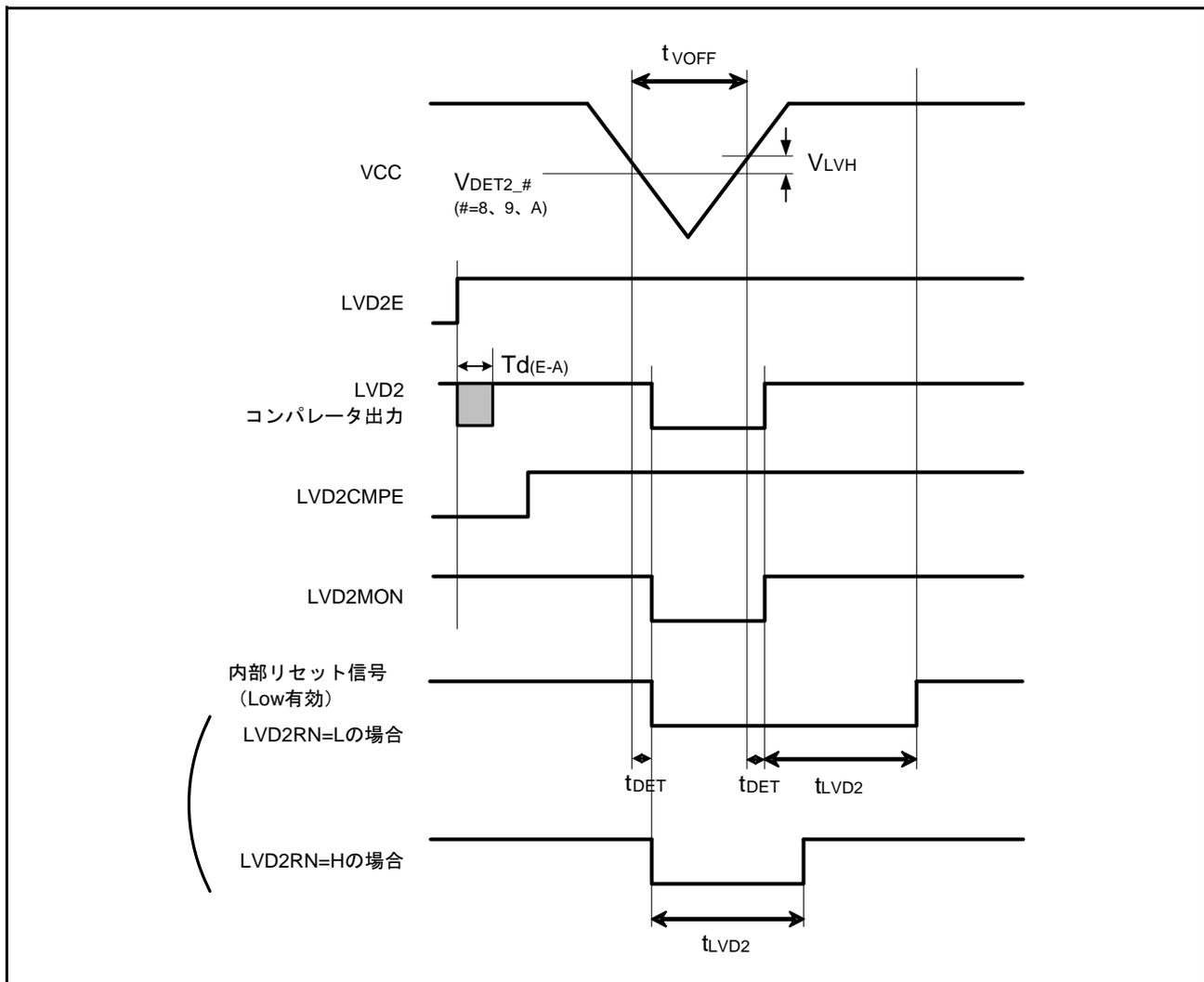


図 5.38 パワーオンリセットタイミング

図 5.39 電圧検出回路タイミング (V<sub>DET0</sub>)

図 5.40 電圧検出回路タイミング (V<sub>DET1</sub>)

図 5.41 電圧検出回路タイミング ( $V_{DET2}$ )

## 5.7 発振停止検出タイミング

表 5.36 発振停止検出タイミング

条件1 : VCC = AVCC0 = VREFH0 = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

条件2 : VCC = AVCC0 = VREFH0 = 4.0 ~ 5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V、  
 $T_a = -40 \sim +85^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
検出時間	$t_{dr}$	—	—	1	ms	図 5.42

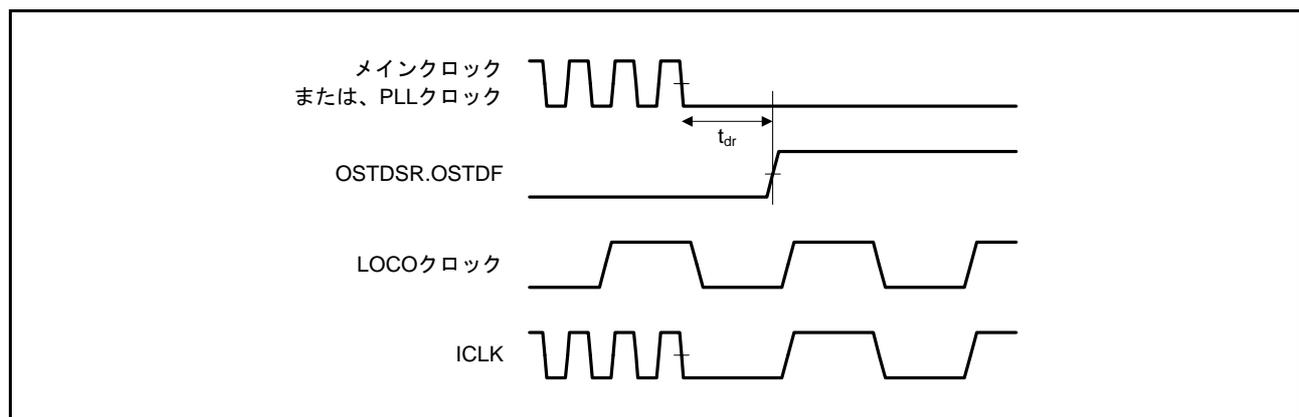


図 5.42 発振停止検出タイミング

## 5.8 ROM (コード格納用フラッシュメモリ) 特性

表5.37 ROM (コード格納用フラッシュメモリ) 特性 (1)

条件1: VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 条件2: VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 プログラム/イレーズ時の動作温度範囲:  $T_a = -40 \sim +85^\circ\text{C}$   $T_a$ は条件1、2で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	$N_{pec}$	1000	—	—	回	
データ保持期間	$t_{DRP}$	30 (注2)	—	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義: 再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回 (n=1000) の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. 信頼性試験から得られた結果です。

表5.38 ROM (コード格納用フラッシュメモリ) 特性 (2)

(注) 表中に条件の記載がない項目の規格値は条件1、2で共通です。  
 条件1: VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 条件2: VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V ~ AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 プログラム/イレーズ時の動作温度範囲:  $T_a = -40 \sim +85^\circ\text{C}$   $T_a$ は条件1、2で共通です。

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{PEC} \leq 100$ 回のとき	128バイト	$t_{P128}$	—	2.8	28	—	1	10	ms
	4Kバイト	$t_{P4K}$	—	63	140	—	23	50	ms
	16Kバイト	$t_{P16K}$	—	252	560	—	90	200	ms
プログラム時間 $N_{PEC} > 100$ 回のとき	128バイト	$t_{P128}$	—	3.4	33.6	—	1.2	12	ms
	4Kバイト	$t_{P4K}$	—	75.6	168	—	27.6	60	ms
	16Kバイト	$t_{P16K}$	—	302.4	672	—	108	240	ms
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	4Kバイト	$t_{E4K}$	—	50	120	—	25	60	ms
	16Kバイト	$t_{E16K}$	—	200	480	—	100	240	ms
イレーズ時間 $N_{PEC} > 100$ 回のとき	4Kバイト	$t_{E4K}$	—	60	144	—	30	72	ms
	16Kバイト	$t_{E16K}$	—	240	576	—	120	288	ms
プログラム中のサスペンド遅延時間	$t_{SPD}$	—	—	400	—	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	$t_{SESD1}$	—	—	300	—	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	$t_{SESD2}$	—	—	1.7	—	—	—	1.7	ms
イレーズ中のサスペンド遅延時間 (イレーズ優先モード時)	$t_{SEED}$	—	—	1.7	—	—	—	1.7	ms
FCUリセット時間	$t_{FCUR}$	35	—	—	35	—	—	—	μs

## 5.9 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.39 E2データフラッシュ特性（1）

条件1：VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 条件2：VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = -40~+85℃ T<sub>a</sub>は条件1、2で共通です。

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル (注1)	N <sub>DPEC</sub>	100000	—	—	回	
データ保持期間	t <sub>DDRP</sub>	30 (注2)	—	—	年	T <sub>a</sub> = +85℃

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n=100000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

表5.40 E2データフラッシュ特性（2）

(注) 表中に条件の記載がない項目の規格値は条件1、2で共通です。  
 条件1：VCC = AVCC0 = VREFH0 = 2.7~3.6V、VREFH = 2.7V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 条件2：VCC = AVCC0 = VREFH0 = 4.0~5.5V、VREFH = 4.0V~AVCC0、VSS = AVSS0 = VREFL = VREFL0 = 0V  
 プログラム/イレーズ時の動作温度範囲：T<sub>a</sub> = -40~+85℃ T<sub>a</sub>は条件1、2で共通です。

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 32MHz			単位
			min	typ	max	min	typ	max	
プログラム時間 N <sub>PFC</sub> ≤ 100回するとき	2バイト	t <sub>DP2</sub>	—	0.7	6	—	0.25	2	ms
プログラム時間 N <sub>PFC</sub> > 100回するとき	2バイト	t <sub>DP2</sub>	—	0.7	6	—	0.25	2	ms
イレーズ時間 N <sub>PFC</sub> ≤ 100回するとき	32バイト	t <sub>DE32</sub>	—	4	40	—	2	20	ms
イレーズ時間 N <sub>PFC</sub> > 100回するとき	32バイト	t <sub>DE32</sub>	—	7	40	—	4	20	ms
ブランクチェック時間	2バイト	t <sub>DBC2</sub>	—	—	100	—	—	30	μs
プログラム中のサスペンド遅延時間		t <sub>DSPD</sub>	—	—	250	—	—	120	μs
イレーズ中の1回目のサスペンド 遅延時間（サスペンド優先モード時）		t <sub>DSESD1</sub>	—	—	250	—	—	120	μs
イレーズ中の2回目のサスペンド 遅延時間（サスペンド優先モード時）		t <sub>DSESD2</sub>	—	—	500	—	—	300	μs
イレーズ中のサスペンド遅延時間 （イレーズ優先モード時）		t <sub>DSEED</sub>	—	—	500	—	—	300	μs

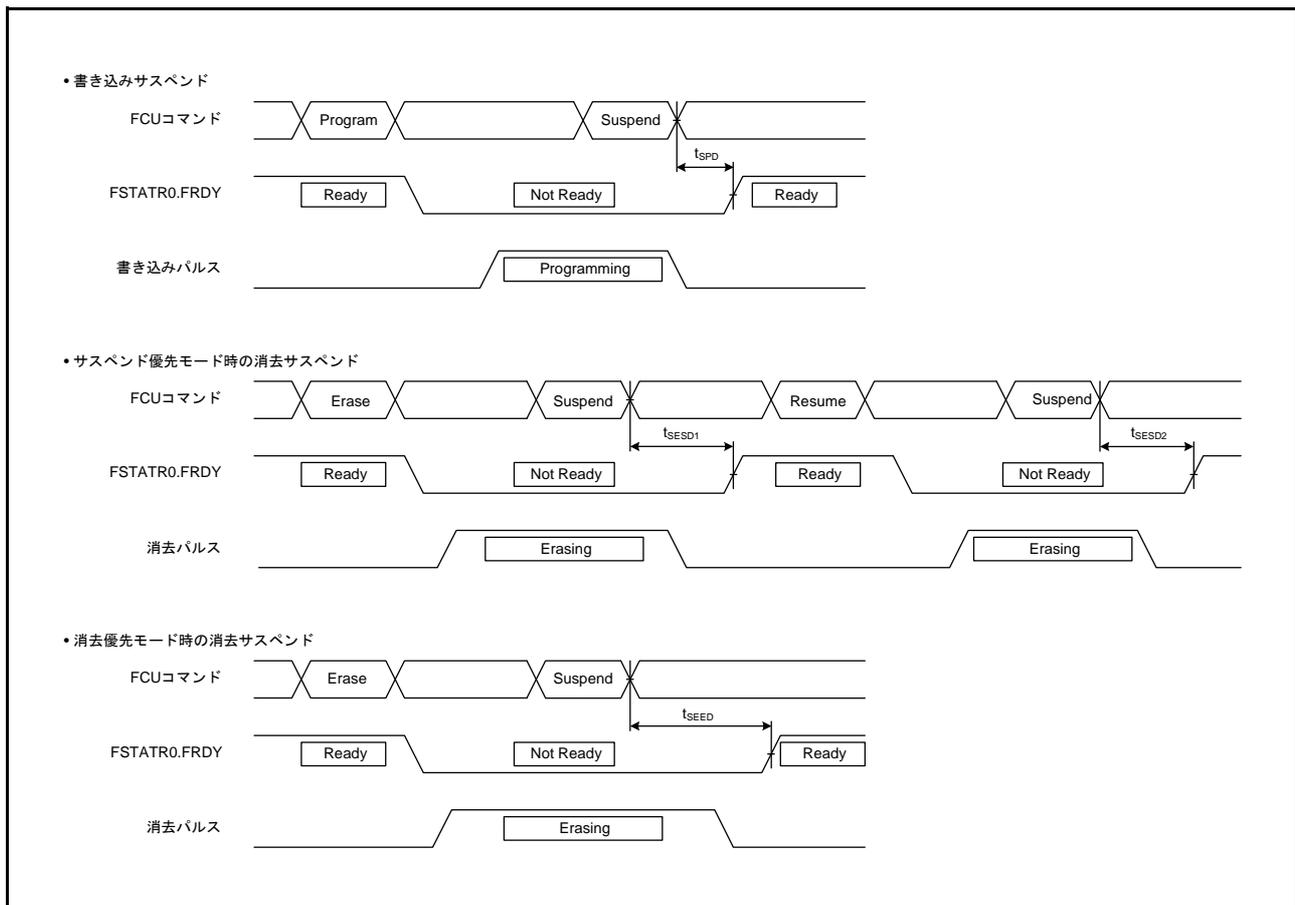


図 5.43 フラッシュメモリプログラム/イレーズサスペンドタイミング

### 付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

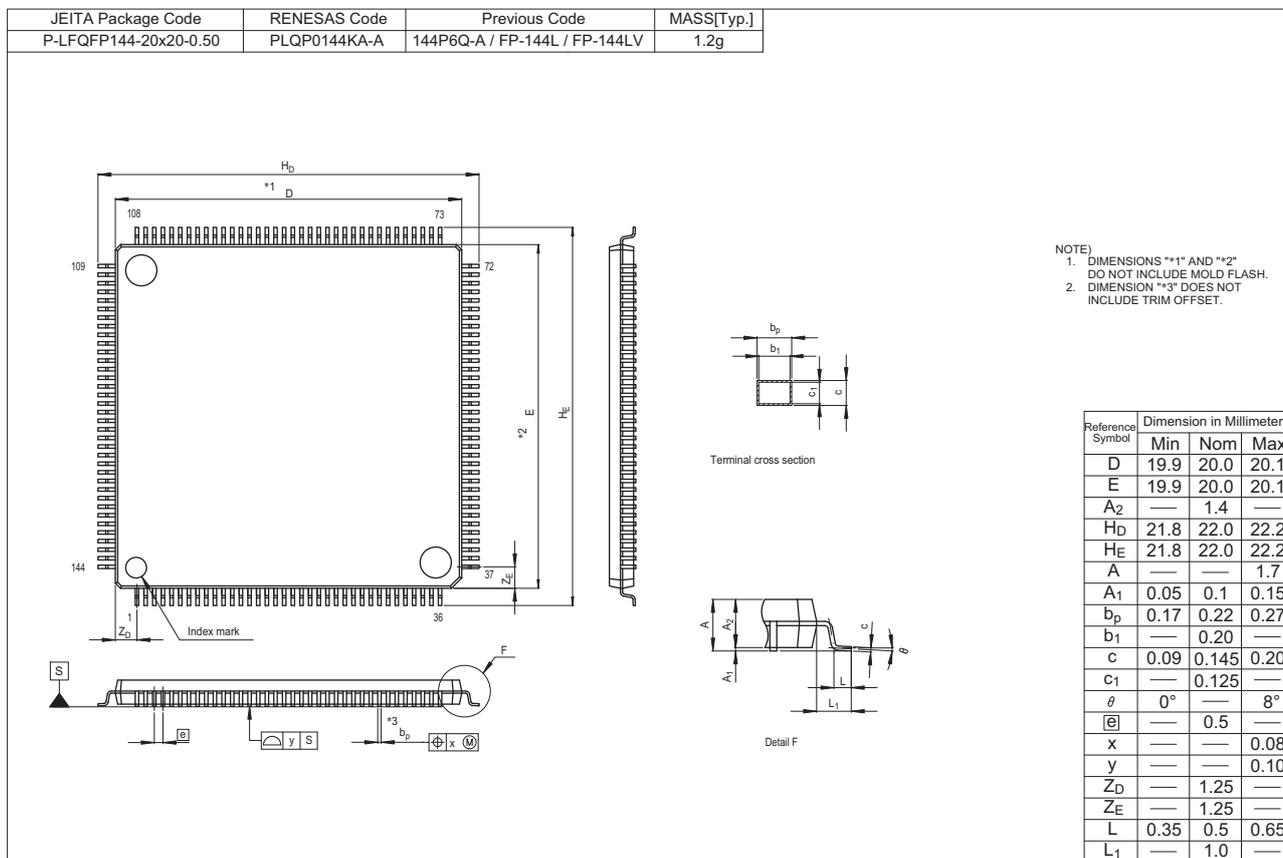


図 A. 144 ピン LQFP (PLQP0144KA-A)

改訂記録	RX634 グループ データシート
------	-------------------

**改訂区分の説明**

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.01.30	—	初版発行	

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものではありませんが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：<http://japan.renesas.com/contact/>