

RX64Mグループ

ルネサスマイクロコンピュータ

R01DS0173JJ0120

Rev.1.20

2022.10.20

120MHz、32ビットRX MCU、FPU内蔵、240 DMIPS、最大4Mバイトフラッシュメモリ、512KバイトSRAM、IEEE1588対応Ether MAC、バッテリーチャージ付USB2.0フルスピード、SD Host I/F (オプション)、Quad SPI、CANなど多種多様な通信機能、12ビットA/Dコンバータ、RTC、暗号機能 (オプション)、音源用シリアルI/F、CMOSカメラI/F

特長

■ 32ビットRXv2 CPU コア

- 最高動作周波数 120MHz
240DMIPS の性能 (120MHz 動作時)
- 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 2種類の積和演算器 (メモリ間、レジスタ間)
- 32ビット乗算器 (最速1クロックで実行)
- 除算器 (最速2クロックで実行)
- 高速割り込み
- 5段パイプラインのCISC ハードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット (MPU) 対応
- JTAG および FINE (1線式) の2種類のデバッグインタフェース

■ 消費電力低減機能

- 2.7V ~ 3.6V 単一電源動作
- 全周辺機能サポート時、0.3mA/MHz (Typ.) の消費電力
- 専用電源で動作可能なRTC
- 4種類の低消費電力モード

■ コードフラッシュメモリ (ウェイトなし)

- 最大4Mバイト
- 120MHz動作、8.3ns読み出しサイクル (ウェイトなし)
- オンボードおよびオフボードによるユーザ書き込み
- Backgroundでのプログラム/イレーズ (BGO: Background operation)

■ データフラッシュメモリ

- 64Kバイト (100k回イレーズ可能)
- Backgroundでのプログラム/イレーズ (BGO: Background operation)

■ SRAM

- 512KバイトSRAM (ノーウェイト)
- 32Kバイト ECC付きRAM (1ウェイト、シングルエラー訂正/ダブルエラー検出)
- 8KバイトスタンバイRAM (ディープソフトウェアスタンバイモード時、バックアップ可能)

■ データ転送機能

- DMAC: 8ch
- DTC
- EXDMAC: 2ch
- イーサネットコントローラ専用DMAC: 3ch (176/177pin)、2ch (100/144/145pin)

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 機能搭載
- 低電圧検出機能 (LVD) 搭載

■ クロック機能

- 外部水晶発振、内部PLL対応8MHz ~ 24MHz
- 240kHz LOCO、16/18/20MHzから選択可能なHOCOを搭載
- IWDTa用120kHzクロック

■ リアルタイムクロック

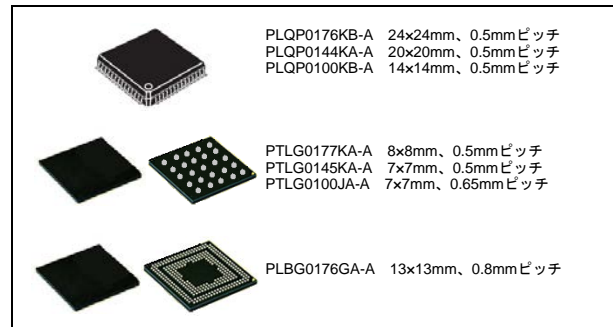
- 補正機能 (30秒、うるう年、誤差)
- 時計カウント、バイナリカウントモードを選択可能
- 時間キャプチャ機能 (イベント端子入力で時間をキャプチャ)

■ 独立ウォッチドッグタイマ

- 120kHz (LOCOの1/2) クロック動作

■ IEC60730対応機能

- 発振停止検出、周波数測定機能、CRC、IWDTa、A/D自己診断など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット



■ 多種多様な通信機能

- IEEE1588対応Ether-MACを内蔵 (176、177pinは2ch)
- バッテリーチャージ付USB2.0フルスピードホスト/ファンクション/OTG (1ch) PHY内蔵 (176、177pinのみ)
- USB2.0フルスピードホスト/ファンクション/OTG (1ch) PHY内蔵 (1ch)
- CAN (ISO11898-1準拠)、32メールボックス内蔵 (最大3ch)
- 多彩な機能に対応したSCIg、SCIh (最大9ch)
調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易SPI/簡易I²C/拡張シリアルモードから選択
- 16バイトの送受信FIFO搭載SCIFA (最大4ch)
- I²Cバスインタフェース 最大1Mbps転送 (最大2ch)
- RSP1a (1ch)に加え4線式のQSPI (1ch)を搭載
- CMOSカメラI/F用のパラレルデータキャプチャユニット (PDC)を内蔵 (100ピン版を除く)
- SD Host I/F (オプション: 1ch) SDメモリ/SDIO 1 or 4ビットSDバスをサポート

■ 外部アドレス空間

- 高速動作バス (最高60MHz)
- 8つのCS領域をサポート
- エリアごとに8/16/32ビットバス空間を選択可能
- 独立したSDRAM空間 (128Mバイト)

■ 最大29本の拡張タイマ機能

- 16ビットTPUa、MTU3a、GPTA: インプットキャプチャ、アウトプットコンペア、PWM波形出力
- 8ビットTMRa (4ch)、16ビットCMT (4ch)、32ビットCMTW (2ch)

■ 12ビットA/Dコンバータ

- 12ビットx2ユニット (ユニット0: 8ch、ユニット1: 21ch)
- 自己診断機能
- アナログ入力断線検出機能

■ 12ビットD/Aコンバータ: 2ch

- 内蔵オペアンプ出力/ダイレクト出力選択可能

■ チップ内部の温度を計測可能な温度センサ

■ 暗号機能 (オプション)

- AES (鍵長128/192/256ビット)
- DES (鍵長56ビット (DES)、3x56ビット (T-DES))
- SHA (SHA-1 (128)、SHA-2 (224/256)、HMAC (160/224/256))

■ 最大127本の汎用入出力ポート

- 5Vトレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 動作周囲温度

- Dバージョン: -40°C ~ +85°C
- Gバージョン: -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数、およびコードフラッシュメモリ容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/9)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最高動作周波数：120MHz 32ビットRX CPU (RXv2) 最短命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 容量：2M/2.5M/3M/4Mバイト 120MHz、ノーウェイトアクセス オンボードプログラミング：4種類 オフボードプログラミング(パラレルライターモード) Trusted Memory (TM)機能による、ブロック8, 9に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	<ul style="list-style-type: none"> 容量：64Kバイト プログラム/イレース回数：100000回
	RAM	<ul style="list-style-type: none"> 容量：512Kバイト 120MHz、ノーウェイトアクセス SED (シングルエラー検出)
	ユニークID	<ul style="list-style-type: none"> 12バイト長のデバイス固有のID
	ECC付きRAM	<ul style="list-style-type: none"> 容量：32Kバイト 120MHz、1ウェイトアクセス SEC-DED (シングルエラー訂正/ダブルエラー検出)
	スタンバイRAM	<ul style="list-style-type: none"> 容量：8Kバイト PCLKB同期：60MHz max, 2サイクルアクセス
動作モード	<ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード <ul style="list-style-type: none"> シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ユーザブートモード レジスタ設定による動作モードの選択 <ul style="list-style-type: none"> シングルチップモード、ユーザブートモード 内蔵ROM無効拡張モード 内蔵ROM有効拡張モード エンディアン選択可能 	

表 1.1 仕様概要 (2/9)

分類	モジュール/機能	説明
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振停止検出 システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック (FCLK)、外部バスクロック (BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：120MHz max MTU3, GPT, RSPI, SCIFA, USBA, ETHERC, EPTPC, EDMAC, AESの周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max S12AD (ユニット0)のADCLKはPCLKC同期：60MHz max S12AD (ユニット1)のADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：60MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして逡倍可能
リセット		<p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCC = AVCC0 = AVCC1の上昇時発生 電圧監視0リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視1リセット：VCC = AVCC0 = AVCC1の下降時発生 電圧監視2リセット：VCC = AVCC0 = AVCC1の下降時発生 ディープソフトウェアスタンバイリセット： <ul style="list-style-type: none"> ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット： <ul style="list-style-type: none"> 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット： <ul style="list-style-type: none"> ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		<ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットが発生 VCC = AVCC0 = AVCC1が電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路 (LVDA)		<p>VCC = AVCC0 = AVCC1端子に入力する電圧を監視し、内部リセットまたは内部割り込みを生成</p> <ul style="list-style-type: none"> 電圧検出回路0 <ul style="list-style-type: none"> 内部リセット生成可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：3レベルから選択可 (2.94V, 2.87V, 2.80V) 電圧検出回路1, 2 <ul style="list-style-type: none"> 電圧検出レベル：3レベルから選択可 (2.99V, 2.92V, 2.85V) デジタルフィルタ機能あり (LOCOの2/4/8/16分周) 内部リセット生成可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能あり イベントリンク機能あり
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	バッテリーバックアップ機能	<ul style="list-style-type: none"> VCC端子が低下したとき、VBATT端子からのバッテリー電源で時計動作 (RTC)が可能
割り込み	割り込みコントローラ (ICUA)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数293 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスカブル割り込み：要因数7 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式： <ul style="list-style-type: none"> 割り込みベクタは256ベクタで構成 (128要因は固定ベクタ。残り156要因から128ベクタを選択)

表 1.1 仕様概要 (3/9)

分類	モジュール/機能	説明
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を8つのエリア (CS0～CS7) に分割して管理 各エリアのサイズ：16Mバイト (CS0～CS7) エリアごとにチップセレクト (CS0#～CS7#) 出力可能 エリアごとに8ビットバス空間/16ビットバス空間/32ビットバス空間を選択可能 エリアごとにエンディアンを設定可能 (データのみ) SDRAMインタフェース接続可能 バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACAa)	<ul style="list-style-type: none"> 8チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	EXDMAコントローラ (EXDMACa)	<ul style="list-style-type: none"> 2チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード EDACKn信号によるシングルアドレス転送が可能 起動要因：ソフトウェアトリガ、外部DMA転送要求 (EDREQn)、周辺機能割り込み
	データトランスファコントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 177ピンTFLGA、176ピンLFBGA、176ピンLFQFP 入出力：127 入力：1 プルアップ抵抗：127 オープンドレイン出力：127 5Vトレラント：19 145ピンTFLGA、144ピンLFQFP 入出力：111 入力：1 プルアップ抵抗：111 オープンドレイン出力：111 5Vトレラント：18 100ピンTFLGA、100ピンLFQFP 入出力：78 入力：1 プルアップ抵抗：78 オープンドレイン出力：78 5Vトレラント：17
	イベントリンクコントローラ (ELC)	<ul style="list-style-type: none"> 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 119種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 周辺機能のイベントで出力端子の状態を変更可能 (ポートB、E) 入力端子の変化で周辺機能が連動可能 (ポートB、E)

表 1.1 仕様概要 (4/9)

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> • (16ビット×6チャンネル)×1ユニット • 最大16本のパルス入出力が可能 • チャンネルごとに7種類または8種類のカウントクロックを選択可能 • インพุットキャプチャ/アウトプットコンペア機能をサポート • 最大15相のPWM波形を出力するPWMモード • チャンネルによりバッファ動作、位相計数モード(2相エンコーダ入力)、カスケード接続動作(32ビット×2チャンネル)をサポート • PPGの出力トリガを生成可能 • A/Dコンバータの変換開始トリガを生成可能 • インพุットキャプチャ端子におけるデジタルフィルタ機能 • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3a)	<ul style="list-style-type: none"> • 9チャンネル(16ビット×8チャンネル、32ビット×1チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウントクロック (PCLKA/1, PCLKA/2, PCLKA/4, PCLKA/8, PCLKA/16, PCLKA/32, PCLKA/64, PCLKA/256, PCLKA/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル0は14種類、チャンネル2は12種類、チャンネル1, 3, 4, 6, 7, 8は11種類、チャンネル5は10種類) • インพุットキャプチャ機能 • 39本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • カウンタクリア動作(コンペアマッチ/インพุットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 43種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード: 16ビットモード(チャンネル1, 2)/32ビットモード(チャンネル1, 2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インพุットキャプチャ、外部カウントクロック端子におけるデジタルフィルタ機能 • PPGの出力トリガを生成可能 • ELCによるイベントリンク機能をサポート
	ポートアウトプットイネーブル3 (POE3a)	<ul style="list-style-type: none"> • MTU3/GPT波形出力端子のハイインピーダンス制御 • POE0, POE4, POE8, POE10, POE11の5つの入力端子による起動 • 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出)による起動 • 発振停止検出/ソフトウェアによる起動 • 出力制御対象端子に制御条件を追加可能

表 1.1 仕様概要 (5/9)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTA)	<ul style="list-style-type: none"> 16ビット×4チャンネル 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波)が選択可能 チャンネルごとに4種類のカウントクロック (PCLKA/1, PCLKA/4, PCLKA/8, PCLKA/16)から選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) それぞれのカウンタを同期動作可能 同期動作のモード(同時または任意のタイミングでずらす(位相シフトに対応)) PWM動作の際にデッドタイム生成が可能 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、内蔵コンパレータ出力、ソフトウェア、コンペアマッチ インプットキャプチャ、外部トリガ端子におけるデジタルフィルタ機能 ELCによるイベントリンク機能をサポート
	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> (4ビット×4グループ)×2ユニット MTU3、またはTPUからの出力をトリガとしてパルスを出力 最大32本のパルス出力
	8ビットタイマ (TMRb)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×2ユニット 7種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192) と外部クロックを選択可能 任意のデューティ比のパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5, SCI6, SCI12の内部動作クロックを生成可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×2ユニット 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 ELCによるイベントリンク機能をサポート
	コンペアマッチタイマW (CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル)×2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能 コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 ELCによるイベントリンク機能をサポート
	リアルタイムクロック (RTCd)	<ul style="list-style-type: none"> クロックソース：メインクロック、サブクロック 時計カウント/秒単位の32ビットバイナリカウントを選択可能 時計/カレンダー機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み バッテリーバックアップ動作 3値タイムキャプチャ機能 ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウントクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDT専用オンチップオシレータ IWDT専用クロック/1、IWDT専用クロック/16、IWDT専用クロック/32、IWDT専用クロック/64、IWDT専用クロック/128、IWDT専用クロック/256 ウィンドウ機能：ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間) ELCによるイベントリンク機能をサポート

表 1.1 仕様概要 (6/9)

分類	モジュール/機能	説明
通信機能	イーサネットコントローラ (ETHERC)	<ul style="list-style-type: none"> 2チャンネル イーサネット/IEEE802.3 フレームの送受信 10Mbps および 100Mbps 転送への対応 全二重モードおよび半二重モード対応 IEEE802.3u規格のMII (Media Independent Interface) および RMII (Reduced MediaIndependent Interface) に対応 Magic Packet™ (注1) の検出および Wake-On-LAN (WOL) 信号の出力 IEEE802.3x規格のフロー制御準拠 マルチキャストフレームのフィルタリング機能をサポート フレームデータを2チャンネル間でカッスルーによりダイレクト転送可能
	イーサネットコントローラ用 PTP コントローラ (EPTPC)	<ul style="list-style-type: none"> イーサネットコントローラ (ETHERC) に接続することで IEEE1588 規格に準拠 タイムスタンプの一致により、MTU3、GPT のカウント動作開始が可能
	イーサネットコントローラ用 DMA コントローラ (EDMACa)	<ul style="list-style-type: none"> 3チャンネル (各 EDMAC は、ラウンドロビン方式で優先順位を決定) ETHERC 用：2チャンネル、EPTPC 用：1チャンネル ディスクリプタ管理方式による CPU 負荷の軽減 送信 FIFO：2K バイト、受信 FIFO：4K バイト
	USB2.0 FS ホスト/ファンクションモジュール (USBb)	<ul style="list-style-type: none"> USB2.0 FS に対応した UDC (USB Device Controller) および トランシーバを内蔵 1ポート USBバージョン2.0準拠 転送スピード：フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ) セルフパワーモードおよびバスパワードの両方に対応 OTG (On-The-Go) に対応 (ロースピードは未対応) 通信バッファとして 2K バイトの RAM を内蔵 外付け Pull-Up 抵抗、Pull-Down 抵抗が不要
	バッテリーチャージ付 USB2.0 FS ホスト/ファンクションモジュール (USBA)	<ul style="list-style-type: none"> USB2.0 FS に対応した UDC (USB Device Controller) および トランシーバを内蔵 1ポート (176ピン版のみ) USBバージョン2.0準拠 転送スピード：フルスピード (12Mbps)、ロースピード (1.5Mbps) (ホストのみ) セルフパワーモードおよびバスパワードの両方に対応 OTG (On-The-Go) に対応 (ロースピードは未対応) 通信バッファとして 8.5K バイトの RAM を内蔵 外付け Pull-Up 抵抗、Pull-Down 抵抗が不要
	シリアルコミュニケーションインタフェース (SCIg, SCIH)	<ul style="list-style-type: none"> 9チャンネル：(SCIg：8チャンネル + SCIH：1チャンネル) SCIg シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSB ファースト/MSB ファーストを選択可能 TMR からの平均転送レートクロック入力が可能 (SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易 I²C サポート 簡易 SPI サポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート ELC によるイベントリンク機能をサポート (SCI5のみ) SCIH (SCIg に以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LIN フォーマットをサポート
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA)	<ul style="list-style-type: none"> 4チャンネル シリアル通信方式：調歩同期式/クロック同期式 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSB ファースト/MSB ファーストを選択可能 送信部、受信部ともに 16 バイトの FIFO バッファ構造による連続送信、受信が可能 ビットレートモジュレーション機能をサポート 倍速モードをサポート 	

表 1.1 仕様概要 (7/9)

分類	モジュール/機能	説明
通信機能	I ² Cバス インタフェース (RII/Ca)	<ul style="list-style-type: none"> 2チャンネル(チャンネル0のみFM+に対応可能) 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：1Mbps (チャンネル0) ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	<ul style="list-style-type: none"> 3チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 32メールボックス/チャンネル
	シリアルペリフェラル インタフェース (RSPIa)	<ul style="list-style-type: none"> 1チャンネル RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16, 20, 24, 32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	クワッドシリアルペリ フェラルインタフェース (QSPI)	<ul style="list-style-type: none"> 1チャンネル マルチI/O (Single/Dual/Quad) 対応のシリアルフラッシュメモリと接続可能 ビット長、クロック極性、クロック位相を選択可能 転送をシーケンシャルに実行可能 MSBファースト/LSBファーストの選択可能
シリアルサウンドインタフェース (SSI)	<ul style="list-style-type: none"> 2チャンネル 全二重通信可能(チャンネル0のみ) 多様なシリアルオーディオフォーマットをサポート マスタ/スレーブ機能をサポート ビットクロック周波数を4種類(16fs, 32fs, 48fs, 64fs)から選択可能 8/16/18/20/22/24ビットデータフォーマットをサポート 送受信用8段FIFO内蔵 データ転送停止時にSSIWSを停止するかしないかを選択可能 	
サンプリングレートコンバータ (SRC)	<ul style="list-style-type: none"> 1チャンネル データ形式：ステレオ32ビット(L/R各16ビット)、モノラル16ビット 入力サンプリングレート：8kHz/11.025kHz/12kHz/16kHz/22.05kHz/24kHz/32kHz/44.1kHz/48kHz 出力サンプリングレート：32kHz/44.1kHz/48kHz/8kHz(注2)/16kHz(注2) 	
SDホストインタフェース (SDHI) (注4)	<ul style="list-style-type: none"> 1チャンネル 転送スピード：ハイスピードモード(15MB/s)、デフォルトスピードモード(10.0MB/s) SDメモリ/I/Oカードインタフェース(1ビット/4ビットSDバス) SD Specifications Part 1：Physical Layer Specification Ver.3.01 準拠(DDR未対応) Part E1：SDIO Specification Ver. 3.00 エラーチェック機能：CRC7(コマンド)、CRC16(データ) 割り込み要因：カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み DMA転送要因：SD_BUFライト、SD_BUFリード カード検出機能、ライトプロテクトをサポート 	
MMCホストインタフェース (MMCIF)	<ul style="list-style-type: none"> 1チャンネル 転送スピード：ハイスピードモード(30MB/s)、バックワードコンパチブルモード(25MB/s) JEDEC STANDARD JESD84-A441 準拠(DDR未対応) Multi Media Card (MMC) とのインタフェース データバス：1ビット/4ビット/8ビットMMCモードに対応 割り込み要因：カード検出割り込み、エラー/タイムアウト割り込み、通常動作割り込み DMA転送要求：CE_DATAライト、CE_DATAリード カード検出機能、ブートオペレーション、High Priority Interrupt (HPI) をサポート 	

表 1.1 仕様概要 (8/9)

分類	モジュール/機能	説明
パラレルデータキャプチャユニット (PDC)		<ul style="list-style-type: none"> 1チャンネル 外部8ビットデータを水平同期信号、垂直同期信号に同期して取り込み 1フレーム画像から切り出したい画像サイズを設定可能
12ビットA/Dコンバータ (S12ADC)		<ul style="list-style-type: none"> 12ビット×2ユニット(ユニット0: 8チャンネル、ユニット1: 21チャンネル) 分解能: 12ビット(12ビット/10ビット/8ビットの分解能切り替え可能) 変換時間 1チャンネル当たり(0.48μs)(12ビット変換モード) 1チャンネル当たり(0.45μs)(10ビット変換モード) 1チャンネル当たり(0.42μs)(8ビット変換モード) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グルーブスキャンモード) グルーブA優先制御動作(グルーブスキャンモードのみ) サンプル&ホールド機能 ユニット共通のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド回路を3チャンネル搭載(ユニット0のみ) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 デジタルコンペア機能 方式: 大小比較、またはウィンドウ比較 手段: 2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0: VREFL0, VREFH0×1/2, VREFH0, ユニット1: AVSS1, AVCC1×1/2, AVCC1) ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ(MTU3, GPT, TMR, TPU)のトリガ、外部トリガ ELCによるイベントリンク機能をサポート
12ビットD/Aコンバータ (R12DA)		<ul style="list-style-type: none"> 2チャンネル 分解能: 12ビット 出力電圧: 0.2V~AVCC1-0.2V (AMP出力)/0V~AVCC1 (ダイレクト出力) AMP出力/ダイレクト出力を切り替え可能 ELCによるイベントリンク機能をサポート
温度センサ		<ul style="list-style-type: none"> 1チャンネル 相対精度: ±1°C 温度を電圧に変換し12ビットA/Dコンバータ(ユニット1)でデジタル化
セーフティ	メモリプロテクションユニット (MPU)	<ul style="list-style-type: none"> プロテクションエリア: 0000 0000h~FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位: 16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アドレス例外が発生
	Trusted Memory (TM) 機能	<ul style="list-style-type: none"> コードフラッシュメモリのブロック8, 9に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	<ul style="list-style-type: none"> メインクロック発振停止検出
	クロック周波数精度測定回路(CAC)	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路(DOC)	<ul style="list-style-type: none"> 16ビットのデータを比較/加算/減算する機能

表 1.1 仕様概要 (9/9)

分類	モジュール/機能	説明
暗号機能	AES (注3)	<ul style="list-style-type: none"> 鍵長 : 128/192/256 ビット CBC/ECB/CFB/OFB/CTR/CMACの動作モードをサポート 演算処理速度 : 22サイクル@128ビット鍵長 26サイクル@192ビット鍵長 30サイクル@256ビット鍵長 FIPS PUB 197 準拠
	DES (注3)	<ul style="list-style-type: none"> 鍵長 : 56 ビット (DES)/ 3 × 56 ビット (T-DES) DES, Triple-DES をサポート ECB/CBCの動作モードをサポート 演算処理速度 : 6サイクル@シングルDES 14サイクル@トリプルDES FIPS PUB 46-3 準拠 FIPS PUB 81 準拠
	SHA (注3)	<ul style="list-style-type: none"> SHA-1 (128)、SHA-2 (224/256)、HMAC (160/224/256) 演算処理速度 : 50サイクル@SHA-1 42サイクル@SHA-224 42サイクル@SHA-256 FIPS PUB 180-1,2 SHA 準拠 FIPS PUB 198 HMAC 準拠
	真性乱数発生器 (RNG) (注3)	<ul style="list-style-type: none"> 乱数ビット長 : 16 ビット 乱数生成後、乱数生成割り込みが発生 乱数生成時間 : 3.6ms (typ)
動作周波数	120MHz max	
電源電圧	VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0, VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V, VBATT = 2.0 ~ 3.6V	
動作周囲温度	Dバージョン : -40 ~ +85°C Gバージョン : -40 ~ +105°C (注5)	
パッケージ	177 ピン TFLGA (PTLG0177KA-A) 176 ピン LFBGA (PLBG0176GA-A) 176 ピン LFQFP (PLQP0176KB-A) 145 ピン TFLGA (PTLG0145KA-A) 144 ピン LFQFP (PLQP0144KA-A) 100 ピン TFLGA (PTLG0100JA-A) 100 ピン LFQFP (PLQP0100KB-A)	
オンチップデバッキングシステム	<ul style="list-style-type: none"> E1 エミュレータ (JTAG および FINE インタフェース) E20 エミュレータ (JTAG インタフェース) 	

注1. Magic Packet™は、Advanced Micro Devices, Inc. の登録商標です。

注2. 入力サンプリングレート 44.1kHz 選択時のみ設定可能です。

注3. 暗号機能の内蔵有無で型名が異なります。

注4. SDHIの内蔵有無で型名が異なります。

注5. Gバージョンをご使用になる場合は、弊社までお問い合わせください。

表 1.2 パッケージ別機能比較一覧 (1/2)

機能		RX64Mグループ		
		177ピン 176ピン	145ピン 144ピン	100ピン
外部バス	外部バス幅	32ビット	16ビット	
	SDRAMエリアコントローラ	有		サポートなし
DMA	DMAコントローラ	ch0 ~ 7		
	データトランスファコントローラ	有		
	EXDMAコントローラ	ch0, 1		
タイマ	16ビットタイマパルスユニット	ch0 ~ 5		
	マルチファンクションタイマパルスユニット3	ch0 ~ 8		
	汎用PWMタイマ	ch0 ~ 3		
	ポートアウトプットイネーブル3	有		
	プログラマブルパルスジェネレータ	ch0, 1		
	8ビットタイマ	ch0 ~ 3		
	コンペアマッチタイマ	ch0 ~ 3		
	コンペアマッチタイマW	ch0, 1		
	リアルタイムクロック	有		
	ウォッチドッグタイマ	有		
	独立ウォッチドッグタイマ	有		
通信機能	イーサネットコントローラ	ch0, 1	ch0	
	イーサネットコントローラ用PTPコントローラ	有		
	イーサネットコントローラ用DMACコントローラ	ch0, 1 (ETHERC), ch2 (EPTPC)	ch0 (ETHERC), ch2 (EPTPC)	
	USB2.0 FS ホスト/ファンクションモジュール	ch0		
	バッテリーチャージ付USB2.0 FS ホスト/ファンクションモジュール	有	サポートなし	
	シリアルコミュニケーションインタフェース(SCI _g)	ch0 ~ 7		ch0 ~ 3, 5, 6
	シリアルコミュニケーションインタフェース(SCI _h)	ch12		
	FIFO内蔵シリアルコミュニケーションインタフェース	ch8 ~ 11		ch8, 9
	I ² Cバスインタフェース	ch0, 2		
	シリアルペリフェラルインタフェース	ch0		
	CANモジュール	ch0 ~ 2		ch0, 1
	クアドシリアルペリフェラルインタフェース	ch0		
	シリアルサウンドインタフェース	ch0, 1		
	サンプリングレートコンバータ	有		
	SDホストインタフェース	ch0		
	MMCホストインタフェース	ch0		
	パラレルデータキャプチャユニット	有		サポートなし
	12ビットA/Dコンバータ	AN000 ~ 007 (ユニット0 : 8本) AN100 ~ 120 (ユニット1 : 21本)		AN000 ~ 007 (ユニット0 : 8本) AN100 ~ 113 (ユニット1 : 14本)
12ビットD/Aコンバータ	ch0,1		ch1	
温度センサ	有			
CRC演算器	有			
データ演算回路	有			
クロック周波数精度測定回路	有			
AES	有			

表 1.2 パッケージ別機能比較一覧 (2/2)

機能 パッケージ	RX64Mグループ		
	177ピン 176ピン	145ピン 144ピン	100ピン
DES	有		
SHA	有		
RNG	有		
イベントリンクコントローラ	有		

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1/4)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	SDHI
RX64M (Dバージョン)	R5F564MLCDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHDFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGCDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFCDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHDFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGCDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFCDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
R5F564MJCDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し	
R5F564MJDDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有	
R5F564MJGDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し	
R5F564MJHDFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有	
R5F564MGCDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し	
R5F564MGDDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有	
R5F564MGGDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し	
R5F564MGHDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有	

表 1.3 製品一覧表 (2/4)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	SDHI
RX64M (Dバージョン)	R5F564MFCDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDBG	PLBG0176GA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHDBG	PLBG0176GA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGCDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHDBG	PLBG0176GA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFCDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDBG	PLBG0176GA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCDLC	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDL	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDLC	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDLC	PTLG0177KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCDLC	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDDL	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGDLC	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHDLC	PTLG0177KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGC DLC	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDDL	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGDLC	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHDLC	PTLG0177KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFC DLC	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDL	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDLC	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDLC	PTLG0177KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCDLK	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDLK	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDLC	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDLC	PTLG0145KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
R5F564MJCDLK	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し	
R5F564MJDDLK	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有	
R5F564MJGDLC	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し	
R5F564MJHDLC	PTLG0145KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有	
R5F564MGC DLK	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し	
R5F564MGDDLK	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有	
R5F564MGGDLC	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し	
R5F564MGHDLC	PTLG0145KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有	

表 1.3 製品一覧表 (3/4)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	SDHI
RX64M (Dバージョン)	R5F564MFCDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDLK	PTLG0145KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHDLJ	PTLG0100JA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHDLJ	PTLG0100JA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGCDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHDLJ	PTLG0100JA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFCDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MFDDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHDLJ	PTLG0100JA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有

表 1.3 製品一覧表 (4/4)

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	動作周波数(max)	暗号	SDHI
RX64M (Gバージョン)	R5F564MLCGFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDGFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGGFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHGFC	PLQP0176KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCGFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDGFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGGFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHGFC	PLQP0176KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGCFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHFC	PLQP0176KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFCFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MDFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHFC	PLQP0176KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCGFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDGFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGGFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHGFB	PLQP0144KA-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCGFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDGFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGGFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHGFB	PLQP0144KA-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MGCFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MGDFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MGGFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MGHFB	PLQP0144KA-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MFCFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MDFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MFGFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MFHFB	PLQP0144KA-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MLCGFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MLDGFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MLGGFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MLHGFP	PLQP0100KB-A	4Mバイト	512Kバイト	64Kバイト	120MHz	有	有
	R5F564MJCGFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し
	R5F564MJDGFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有
	R5F564MJGGFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し
	R5F564MJHGFP	PLQP0100KB-A	3Mバイト	512Kバイト	64Kバイト	120MHz	有	有
R5F564MGCFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し	
R5F564MGDFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有	
R5F564MGGFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し	
R5F564MGHFP	PLQP0100KB-A	2.5Mバイト	512Kバイト	64Kバイト	120MHz	有	有	
R5F564MFCFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	サポート無し	
R5F564MDFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	サポート無し	有	
R5F564MFGFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	サポート無し	
R5F564MFHFP	PLQP0100KB-A	2Mバイト	512Kバイト	64Kバイト	120MHz	有	有	

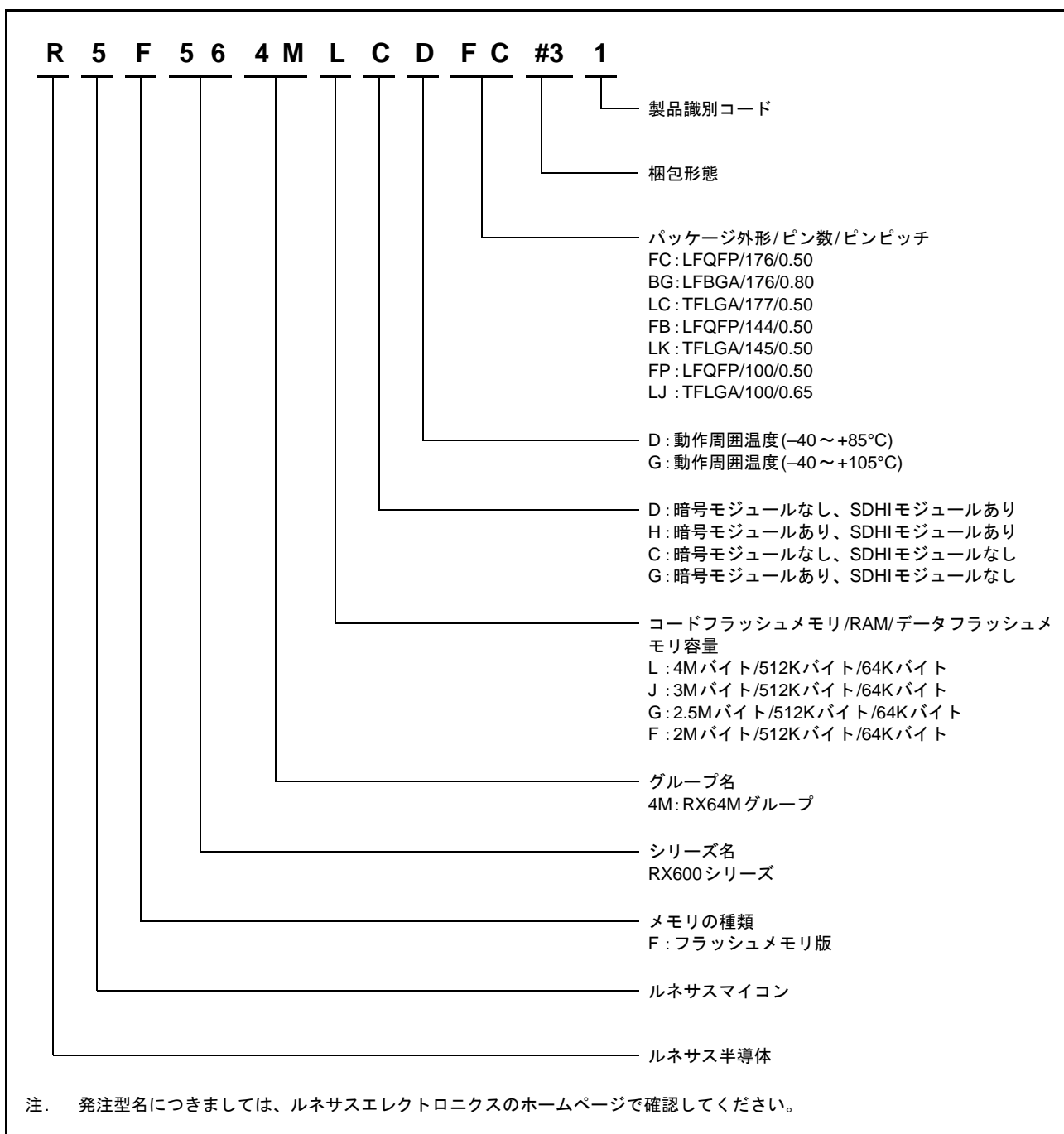


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

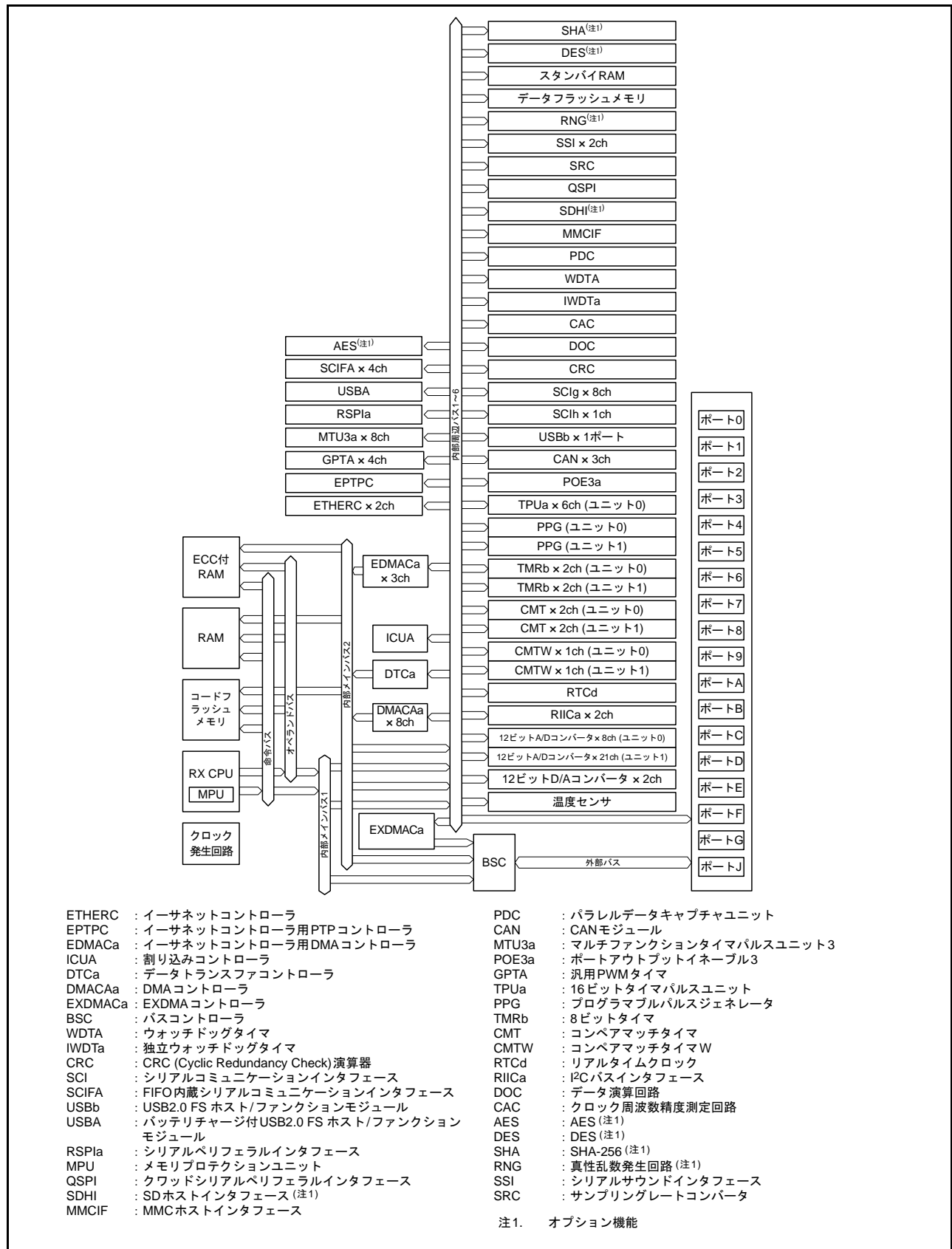


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/8)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VCL	入力	0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子接続端子。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM専用のクロック出力端子
	XCOUT	出力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCIN	入力	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路のリファレンスクロック入力端子
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中に変化させないでください
	UB	入力	USBブートモード、またはユーザブートモードイネーブル端子
	UPSEL	入力	USBブートモード時の電源供給方式を選択 Lowでセルフパワー、Highでバスパワーを選択
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowにしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用端子。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
	TRDATA0～TRDATA3	出力	トレース情報を出力します
アドレスバス	A0～A23	出力	アドレス出力端子
データバス	D0～D31	入出力	双方向データバス
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス

表 1.4 端子機能一覧 (2/8)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0# ~ WR3#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス (D7 ~ D0, D15 ~ D8, D23 ~ D16, D31 ~ D24) のいずれかが有効であることを示すストロブ信号
	BC0# ~ BC3#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス (D7 ~ D0, D15 ~ D8, D23 ~ D16, D31 ~ D24) のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0# ~ CS7#	出力	CS領域選択信号
	CKE	出力	SDRAMクロックイネーブル信号
	SDCS#	出力	SDRAMチップセレクト信号
	RAS#	出力	SDRAMロウアドレスストロブ信号
	CAS#	出力	SDRAMカラムアドレスストロブ信号
	WE#	出力	SDRAMライトイネーブル端子
	DQM0 ~ DQM3	出力	SDRAM入出力データマスクイネーブル信号
EXDMAコントローラ	EDREQ0, EDREQ1	入力	外部DMA転送要求端子
	EDACK0, EDACK1	出力	シングルアドレス転送アクリッジ信号
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0 ~ IRQ15	入力	割り込み要求端子
マルチファンクションタイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0 ~ TGRD0のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3 ~ TGRD3のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4 ~ TGRD4のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインพุットキャプチャ入力/デッドタイム補償機能の入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6 ~ TGRD6のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7 ~ TGRD7のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC8A, MTIOC8B, MTIOC8C, MTIOC8D	入出力	TGRA8 ~ TGRD8のインพุットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
ポートアウトプットイネーブル3	POE0#, POE4#, POE8#, POE10#, POE11#	入力	MTUまたはGPTをハイインピーダンス状態にする要求信号を入力

表 1.4 端子機能一覧 (3/8)

分類	端子名	入出力	機能
汎用PWMタイマ	GTIOC0A-A/GTIOC0A-B/ GTIOC0A-C/GTIOC0A-D/ GTIOC0A-E, GTIOC0B-A/GTIOC0B-B/ GTIOC0B-C/GTIOC0B-D/ GTIOC0B-E	入出力	GPT0.GTGRA, GPT0.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC1A-A/GTIOC1A-B/ GTIOC1A-C/GTIOC1A-D/ GTIOC1A-E, GTIOC1B-A/GTIOC1B-B/ GTIOC1B-C/GTIOC1B-D/ GTIOC1B-E	入出力	GPT1.GTGRA, GPT1.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC2A-A/GTIOC2A-B/ GTIOC2A-C/GTIOC2A-D/ GTIOC2A-E, GTIOC2B-A/GTIOC2B-B/ GTIOC2B-C/GTIOC2B-D/ GTIOC2B-E	入出力	GPT2.GTGRA, GPT2.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC3A-D/GTIOC3A-E, GTIOC3B-D/GTIOC3B-E	入出力	GPT3.GTGRA, GPT3.GTGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTETRG-B/GTETRG-C/ GTETRG-D	入力	GPT0～GPT3用の外部トリガ入力端子
16ビットタイマ パルスユニット	TIOCA0, TIOCB0, TIOCC0, TIOCD0	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1, TIOCB1	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2, TIOCB2	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3, TIOCB3, TIOCC3, TIOCD3	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4, TIOCB4	入出力	TGRA4, TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5, TIOCB5	入出力	TGRA5, TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA, TCLKB, TCLKC, TCLKD	入力	外部クロックを入力、または位相計数モードクロック入力端子
プログラマブルパルス ジェネレータ	PO0～PO31	出力	パルス出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
コンペアマッチタイマW	TIC0～TIC3	入力	CMTWの入力端子
	TOC0～TOC3	出力	CMTWの出力端子

表 1.4 端子機能一覧 (4/8)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SClg)	• 調歩同期式モード/クロック同期式モード		
	SCK0~SCK7	入出力	クロック入出力端子
	RXD0~RXD7	入力	受信データ入力端子
	TXD0~TXD7	出力	送信データ出力端子
	CTS0#~CTS7#	入力	送受信開始制御用入力端子
	RTS0#~RTS7#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL0~SSCL7	入出力	I ² Cクロック入出力端子
	SSDA0~SSDA7	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK0~SCK7	入出力	クロック入出力端子
	SMISO0~SMISO7	入出力	スレーブ送出データ入出力端子
	SMOSI0~SMOSI7	入出力	マスタ送出データ入出力端子
	SS0#~SS7#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SClh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	受信データ入力端子
	TXDX12	出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子
	FIFO内蔵シリアルコ ミュニケーションインタ フェース (SCIFA)	SCK8~SCK11	入出力
RXD8~RXD11		入力	受信データ入力端子
TXD8~TXD11		出力	送信データ出力端子
CTS8#~CTS11#		入力	送受信開始制御用入力端子
RTS8#~RTS11#		出力	送受信開始制御用出力端子
I ² Cバスインタフェース	SCL0[FM+], SCL2	入出力	クロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0[FM+], SDA2	入出力	データ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (5/8)

分類	端子名	入出力	機能
イーサネットコントローラ	REF50CK0, REF50CK1	入力	50MHz基準クロック。RMIIモード時の送受信信号タイミング参照信号
	RMII0_CRSDV, RMII1_CRSDV	入力	RMIIモード時、キャリア検出信号。有効な受信データがRMII_RXD1~0上にあることを示す信号
	RMII0_TXD0, RMII0_TXD1, RMII1_TXD0, RMII1_TXD1	出力	RMIIモード時、2ビットの送信データ
	RMII0_RXD0, RMII0_RXD1, RMII1_RXD0, RMII1_RXD1	入力	RMIIモード時、2ビットの受信データ
	RMII0_TXDEN, RMII1_TXDEN	出力	RMIIモード時、データ送信イネーブル信号
	RMII0_RXER, RMII1_RXER	入力	RMIIモード時、データ受信中にエラーが発生したことを示す信号
	ET0_CRSDV, ET1_CRSDV	入力	キャリア検出/受信データ有効端子
	ET0_RXD3~0, ET1_RXD3~0	入力	有効な受信データがET_ERXD3~0上にあることを示す信号
	ET0_EXOUT, ET1_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA, ET1_LINKSTA	入力	PHY-LSIからのリンク状態を入力
	ET0_ETXD0~3, ET1_ETXD0~3	出力	MIIの4ビット送信データ
	ET0_ERXD0~3, ET1_ERXD0~3	入力	MIIの4ビット受信データ
	ET0_TXEN, ET1_TXEN	出力	送信許可端子。ET_ETXD3~0上に送信データが準備できたことを示す信号
	ET0_TXER, ET1_TXER	出力	送信エラー端子。送信中のエラーをPHY-LSIに通知する信号
	ET0_RXER, ET1_RXER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号
	ET0_TXCLK, ET1_TXCLK	入力	送信クロック端子。ET_TXEN, ET_ETXD3~0, ET_TXERのタイミング参照信号
	ET0_RXCLK, ET1_RXCLK	入力	受信クロック端子。ET_RXDV, ET_ERXD3~0, ET_RXERのタイミング参照信号
	ET0_COL, ET1_COL	入力	衝突検出信号
	ET0_WOL, ET1_WOL	出力	Magic Packet受信を示す信号
	ET0_MDC, ET1_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号
ET0_MDIO, ET1_MDIO	入出力	本MCUとPHY-LSIとの間で管理情報を交換するための双方向信号	

表 1.4 端子機能一覧 (6/8)

分類	端子名	入出力	機能
USB2.0 ホスト/ファンクションモジュール	VCC_USB, VCC_USBA	入力	電源端子
	VSS_USB, VSS1_USBA, VSS2_USBA	入力	グラウンド端子
	AVCC_USBA	入力	USBA用のアナログ電源端子
	AVSS_USBA	入力	USBA用のアナロググラウンド端子。PVSS_USBA端子とショートしてください
	PVSS_USBA	入力	USBA用のPLL 回路のグラウンド端子。AVSS_USBA端子とショートしてください
	USBA_RREF	入出力	USBAの基準電流源端子。2.2kΩ (±1%)を介してAVSS_USBA端子に接続してください
	USB0_DP, USBA_DP	入出力	USBバスのD+データ
	USB0_DM, USBA_DM	入出力	USBバスのD-データ
	USB0_EXICEN, USBA_EXICEN	出力	OTG電源ICに接続
	USB0_ID, USBA_ID	入力	OTG電源ICに接続
	USB0_VBUSEN, USBA_VBUSEN	出力	USB用VBUSパワーイネーブル端子
	USB0_OVRCURA/ USB0_OVRCURB, USBA_OVRCURA/ USBA_OVRCURB	入力	USB用オーバカレント端子
	USB0_VBUS, USBA_VBUS	入力	USBケーブルの接続/切断検出入力端子
CANモジュール	CRX0, CRX1-DS, CRX2	入力	入力端子
	CTX0 ~ CTX2	出力	出力端子
シリアルペリフェラルインタフェース	RSPCKA-A/RSPCKA-B	入出力	クロック入出力端子
	MOSIA-A/MOSIA-B	入出力	マスタ送出データ入出力端子
	MISOA-A/MISOA-B	入出力	スレーブ送出データ入出力端子
	SSLA0-A/SSLA0-B	入出力	スレーブセレクト入出力端子
	SSLA1-A/SSLA1-B ~ SSLA3-A/SSLA3-B	出力	スレーブセレクト出力端子
クワッドシリアルペリフェラルインタフェース	QSPCLK-A/-B	出力	QSPIのクロック出力端子
	QSSL-A/-B	出力	QSPIのスレーブ出力端子
	QMO-A/-B, QIO0-A/-B	入出力	マスタ送出データ/データ0
	QMI-A/-B, QIO1-A/-B	入出力	マスタ入力データ/データ1
	QIO2-A/-B, QIO3-A/-B	入出力	データ2、データ3
シリアルサウンドインタフェース	SSISCK0, SSISCK1	入出力	SSIシリアルビットクロック端子
	SSIWS0, SSIWS1	入出力	ワード選択端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_MCLK	入力	オーディオ用のマスタクロック端子
MMCホストインタフェース	MMC_CLK-A/MMC_CLK-B	出力	MMCクロック端子
	MMC_CMD-A/ MMC_CMD-B	入出力	コマンド/レスポンス端子
	MMC_D7-A/MMC_D7-B ~ MMC_D0-A/MMC_D0-B	入出力	送信データ/受信データ信号
	MMC_CD-A/MMC_CD-B	入力	カード検出端子
	MMC_RES#-A/ MMC_RES#-B	出力	MMCリセット出力端子

表 1.4 端子機能一覧 (7/8)

分類	端子名	入出力	機能
SDホストインタフェース	SDHI_CLK-A/SDHI_CLK-B	出力	SDクロック出力端子
	SDHI_CMD-A/ SDHI_CMD-B	入出力	SDコマンド出力、レスポンス入力信号端子
	SDHI_D3-A/SDHI_D3-B～ SDHI_D0-A/SDHI_D0-B	入出力	SDデータバス端子
	SDHI_CD-A/SDHI_CD-B	入力	SDカード検出端子
	SDHI_WP-A/SDHI_WP-B	入力	SDライトプロテクト信号
パラレルデータキャプチャユニット	PIXCLK	入力	画像転送用クロック端子
	VSYNC	入力	垂直同期信号端子
	HSYNC	入力	水平同期信号端子
	PIXD0～PIXD7	入力	8ビット画像データ端子
	PCKO	出力	ドットクロック用出力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロック出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
12ビットA/Dコンバータ	AN000～AN007, AN100～AN120	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ANEX0	出力	拡張アナログ出力端子
	ANEX1	入力	拡張アナログ入力端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ(ユニット0)のアナログ電源端子。電源供給元から分岐させて、VCCと接続してください
	AVSS0	入力	12ビットA/Dコンバータ(ユニット0)のアナロググランド端子。グランド供給元から分岐させて、VSSと接続してください
	VREFH0	入力	12ビットA/Dコンバータ(ユニット0)の基準電源端子。12ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	12ビットA/Dコンバータ(ユニット0)の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	AVCC1	入力	12ビットA/Dコンバータ(ユニット1)とD/Aコンバータのアナログ電源と基準電源の端子です。また、温度センサのアナログ電源端子にもなっています。電源供給元から分岐させて、VCCと接続してください
	AVSS1	入力	12ビットA/Dコンバータ(ユニット1)とD/Aコンバータのアナロググランドと基準グランドの端子です。また、温度センサのアナロググランド端子にもなっています。グランド供給元から分岐させて、VSSと接続してください

表 1.4 端子機能一覧 (8/8)

分類	端子名	入出力	機能
I/Oポート	P00～P03, P05, P07	入出力	6ビットの入出力端子
	P10～P17	入出力	8ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P50～P56	入出力	7ビットの入出力端子 (176ピン版はP50～P53のみ)
	P60～P67	入出力	8ビットの入出力端子
	P70～P77	入出力	8ビットの入出力端子
	P80～P83, P86, P87	入出力	6ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PD0～PD7	入出力	8ビットの入出力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PF0～PF5	入出力	6ビットの入出力端子
	PG0～PG7	入出力	8ビットの入出力端子
	PJ3, PJ5	入出力	2ビットの入出力端子

注. 端子名については、以下の注意事項があります。詳細は、「1.5 ピン配置図」を参照してください。

- 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。RSPI、QSPI、SDHI、MMCについては、電気的特性のACタイミングを各グループで測定しています。
- 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。
- RIICの端子名に[FM+]が付加されている端子は、ファストモードプラスに対応しています。

1.5 ピン配置図

1.5.1 177ピン TFLGA

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R			
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	VSS	VCC	PC1	15		
14	PE1	PE0	VSS	PE7	PG3	PA0	PA1	PA2	PA7	VCC	PB1	PB5	P73	P75	P74	14		
13	P63	P64	PE4	VCC	PG2	PG4	PG6	PA3	VSS	P71	PB3	PB7	PC0	PC2	P76	13		
12	P60	VSS	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12		
11	PD6	PG1	VCC	P61	RX64M グループ PTLG0177KA-A (177ピン TFLGA) (上面透視図)								P81	P82	PC6	VCC	11	
10	P97	PD4	PG0	PD7									PC5	PC7	P83	VSS	10	
9	VCC	P96	PD3	PD5									P50	P51	P52	P53	9	
8	P94	PD1	PD2	VSS									VCC_USBA	VSS1_USBA	P10	P11	8	
7	VSS	P92	PD0	P95									USBA_RREF	VSS2_USBA	USBA_DM	USBA_DP	7	
6	VCC	P91	P90	P93									AVCC_USBA	VSS_USB	AVSS_USBA	PVSS_USBA	6	
5	P46	P47	P45	P44									NC	VCC_USB	P12	USB0_DP	USB0_DM	5
4	P42	P41	P43	P00									VSS	BSCANP	PF4	P35	PF3	PF1
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD/ FINED	RES#	P34	PF2	PF0	P24	P22	P87	P16	3		
2	AVCC0	P07	AVCC1	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2		
1	AVSS0	P05	AVSS1	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	VCC	VSS	P21	1		
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R			

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA)」をご確認ください。

図 1.3 ピン配置図 (177ピン TFLGA)

1.5.2 176ピンLFBGA

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R		
15	PE2	PE3	P70	P65	P67	VSS	VCC	PG7	PA6	PB0	P72	PB4	VSS	VCC	PC1	15	
14	PE1	PE0	VSS	PE7	PG3	PA0	PA1	PA2	PA7	VCC	PB1	PB5	P73	P75	P74	14	
13	P63	P64	PE4	VCC	PG2	PG4	PG6	PA3	VSS	P71	PB3	PB7	PC0	PC2	P76	13	
12	P60	VSS	P62	PE5	PE6	P66	PG5	PA4	PA5	PB2	PB6	P77	PC3	PC4	P80	12	
11	PD6	PG1	VCC	P61	RX64Mグループ PLBG0176GA-A (176ピンLFBGA) (上面透視図)								P81	P82	PC6	VCC	11
10	P97	PD4	PG0	PD7									PC5	PC7	P83	VSS	10
9	VCC	P96	PD3	PD5									P50	P51	P52	P53	9
8	P94	PD1	PD2	VSS									VCC_USBA	VSS1_USBA	P10	P11	8
7	VSS	P92	PD0	P95									USBA_RREF	VSS2_USBA	USBA_DM	USBA_DP	7
6	VCC	P91	P90	P93									AVCC_USBA	VSS_USB	AVSS_USBA	PVSS_USBA	6
5	P46	P47	P45	P44	VCC_USB	P12	USB0_DP	USB0_DM	5								
4	P42	P41	P43	P00	VSS	BSCANP	PF4	P35	PF3	PF1	P25	P86	P15	P14	P13	4	
3	VREFL0	P40	VREFH0	P03	PF5	PJ3	MD/ FINED	RES#	P34	PF2	PF0	P24	P22	P87	P16	3	
2	AVCC0	P07	AVCC1	P02	EMLE	VCL	XCOUT	VSS	VCC	P32	P30	P26	P23	P17	P20	2	
1	AVSS0	P05	AVSS1	P01	PJ5	VBATT	XCIN	XTAL	EXTAL	P33	P31	P27	VCC	VSS	P21	1	
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R		

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA)」をご確認ください。

図 1.4 ピン配置図 (176ピンLFBGA)

1.5.3 176 ピン LQFP

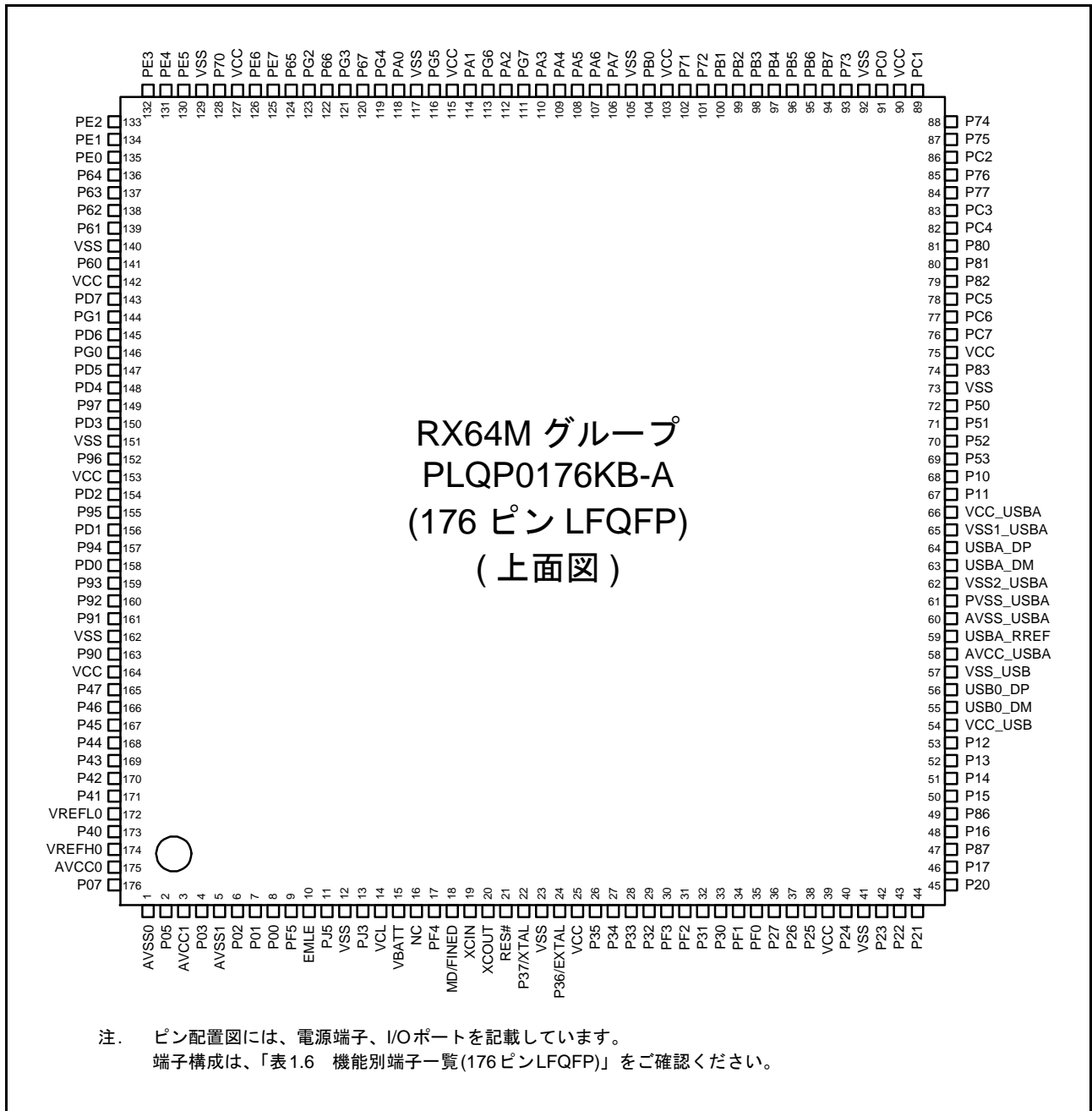


図 1.5 ピン配置図 (176 ピン LQFP)

1.5.4 145ピン TFLGA

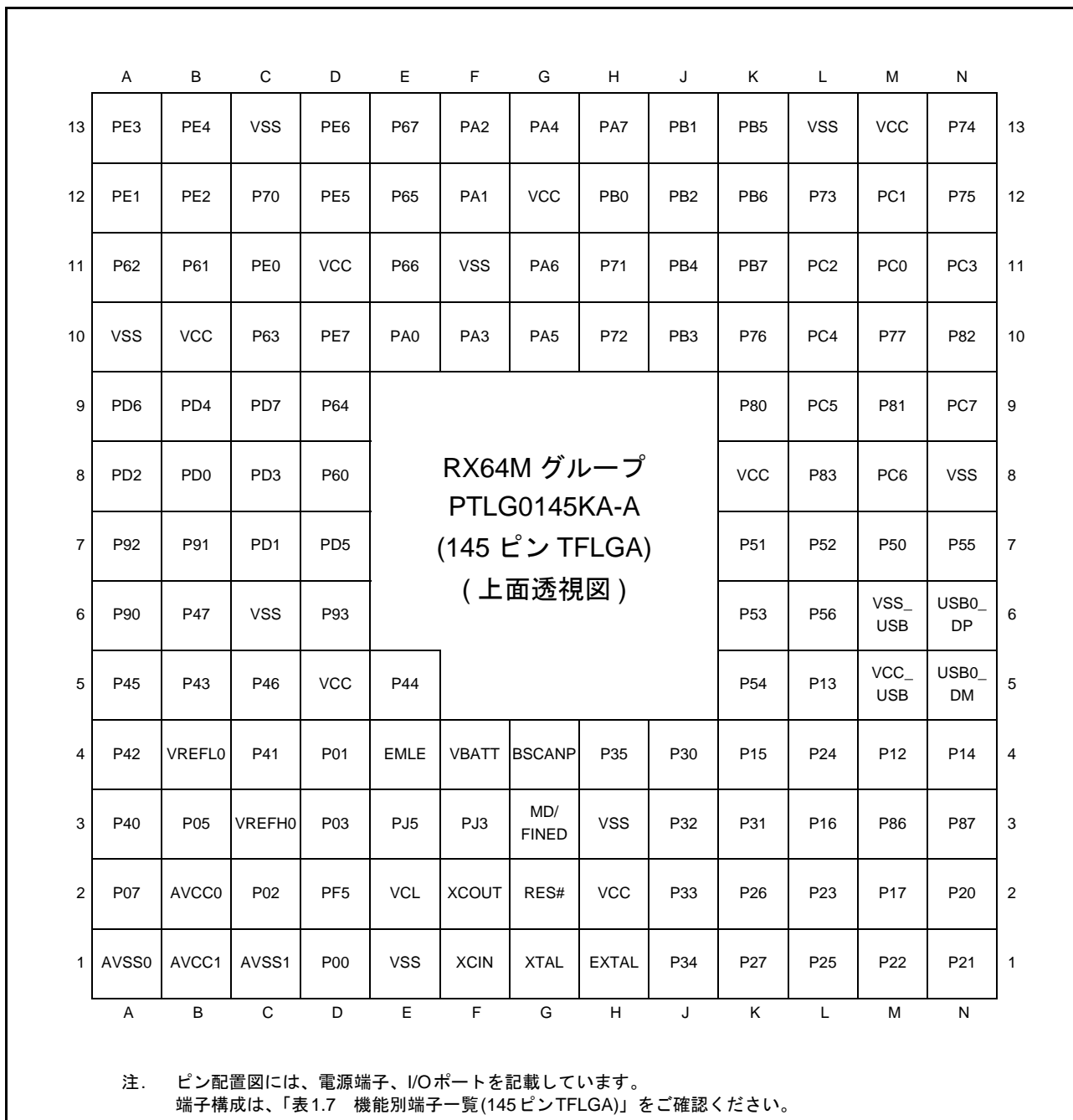


図 1.6 ピン配置図 (145ピン TFLGA)

1.5.5 144 ピン LQFP

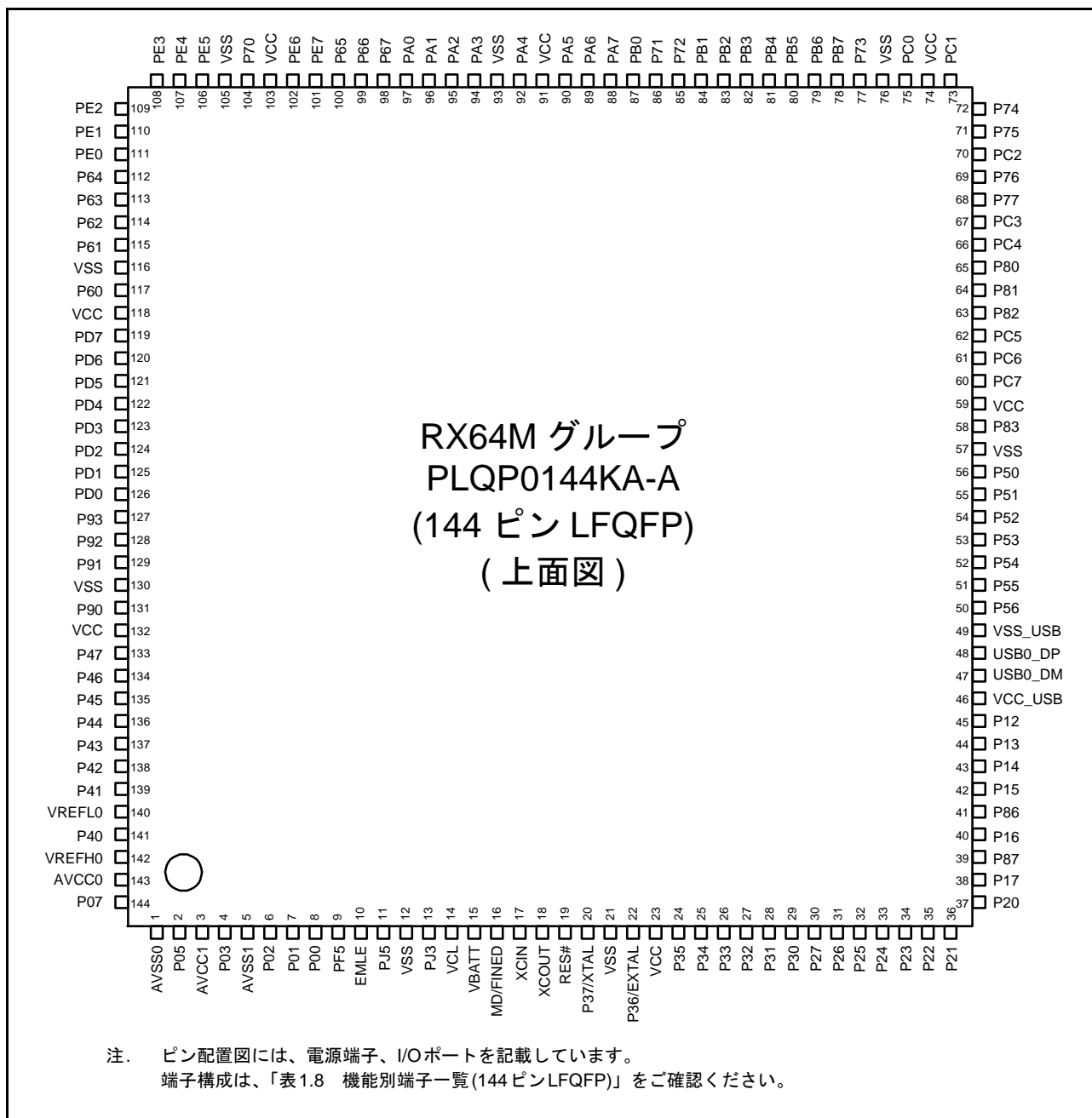


図 1.7 ピン配置図 (144 ピン LQFP)

1.5.6 100ピン TFLGA

RX64M グループ
PTLG0100JA-A (100ピン TFLGA)
(上面透視図)

	A	B	C	D	E	F	G	H	J	K	
10	PE2	PE3	PE4	PA0	PA3	VSS	VCC	PB7	PC1	PC2	10
9	PE1	PD7	PE5	PA1	PA5	PA7	PB1	PB6	PC0	PC3	9
8	PE0	PD6	PD5	PE7	PA4	PB0	PB4	PC6	PC4	PC5	8
7	PD4	PD3	PD2	PE6	PA6	PB2	PB5	PC7	P50	P51	7
6	PD0	PD1	P47	P46	PA2	PB3	P52	P54	VCC_ USB	USB0_ DP	6
5	P43	P44	P42	P45	P41	P12	P53	P55	VSS_ USB	USB0_ DM	5
4	VREFL0	P40	VREFH0	VBATT	P34	P32	P27	P15	P13	P14	4
3	P07	AVCC0	PJ3	MD/ FINED	RES#	P35	P30	P16	P17	P20	3
2	AVCC1	AVSS0	AVSS1	XCOUT	VSS	VCC	P31	P25	P21	P22	2
1	P05	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P26	P24	P23	1
	A	B	C	D	E	F	G	H	J	K	

注. ピン配置図には、電源端子、I/Oポートを記載しています。
 端子構成は、「表 1.9 機能別端子一覧(100ピン TFLGA)」をご確認ください。

図 1.8 ピン配置図 (100ピン TFLGA)

1.5.7 100ピン LQFP

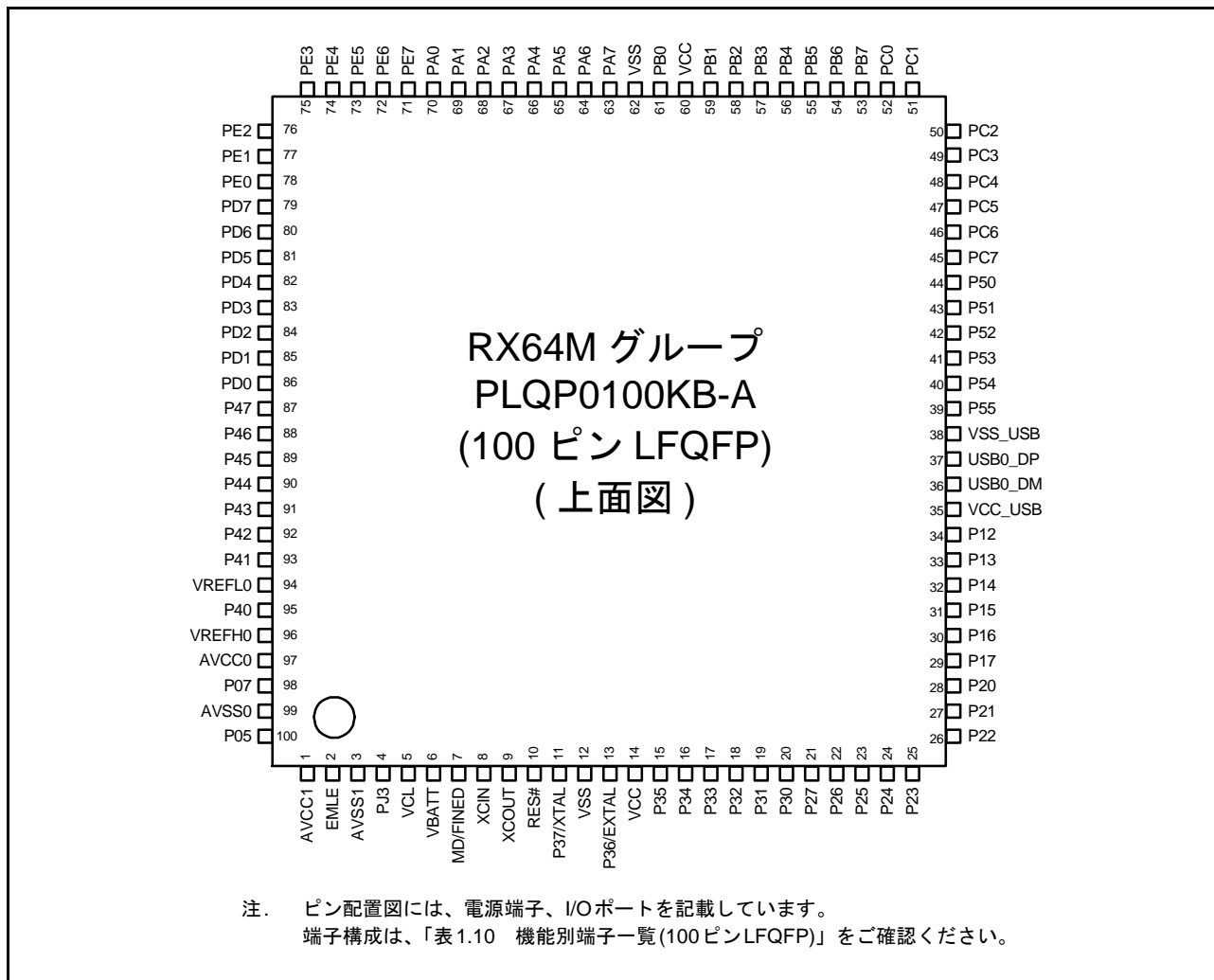


図 1.9 ピン配置図 (100ピン LQFP)

1.6 機能別端子一覧

1.6.1 177ピンTFLGA, 176ピンLFBGA

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (1/8)

ピン番号	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SC1h, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
A1	AVSS0							
A2	AVCC0							
A3	VREFLO							
A4		P42					IRQ10-DS	AN002
A5		P46					IRQ14-DS	AN006
A6	VCC							
A7	VSS							
A8		P94	A20/D20		ET1_ERXD0/ RMII1_RXD0			
A9	VCC							
A10		P97	A23/D23		ET1_ERXD3			
A11		PD6	D6[A6/D6]	MTIOC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
A12		P60	CS0#		ET1_TX_EN/ RMII1_TXD_EN			
A13		P63	CS3#/CAS#					
A14		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOS12/ SSDA12/TXDX12/ SIOX12	MMC_D5-B		ANEX1
A15		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	MMC_D6-B	IRQ7-DS	AN100
B1		P05					IRQ13	DA1
B2		P07					IRQ15	ADTRG0#
B3		P40					IRQ8-DS	AN000
B4		P41					IRQ9-DS	AN001
B5		P47					IRQ15-DS	AN007
B6		P91	A17/D17		ET1_COL/SCK7			AN115
B7		P92	A18/D18	POE4#	ET1_CRS/ RMII1_CRS_DV/ RXD7/SMISO7/ SSCL7			AN116
B8		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
B9		P96	A22/D22		ET1_ERXD2			
B10		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (2/8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SC1h, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
B11		PG1	D25		ET1_RX_ER/ RMII1_RX_ER			
B12	VSS							
B13		P64	CS4#/WE#					
B14		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12	MMC_D4-B		ANEX0
B15		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ ET0_ERXD3	MMC_D7-B		AN101
C1	AVSS1							
C2	AVCC1							
C3	VREFH0							
C4		P43					IRQ11- DS	AN003
C5		P45					IRQ13- DS	AN005
C6		P90	A16/D16		ET1_RX_DV/ TXD7/SMOSI7/ SSDA7			AN114
C7		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
C8		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
C9		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
C10		PG0	D24		ET1_RX_CLK/ REF50CK1			
C11	VCC							
C12		P62	CS2#/RAS#					
C13		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2			AN102
C14	VSS							
C15		P70	SDCLK					
D1		P01		TMC10	RXD6/SMISO6/ SSCL6		IRQ9	AN119
D2		P02		TMC11	SCK6		IRQ10	AN120
D3		P03					IRQ11	DA0
D4		P00		TMR10	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
D5		P44					IRQ12- DS	AN004
D6		P93	A19/D19	POE0#	ET1_LINKSTA/ CTS7#/RTS7#/SS7#			AN117
D7		P95	A21/D21		ET1_ERXD1/ RMII1_RXD1			
D8	VSS							

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (3/8)

ピン番号	電源	I/Oポート	バス	タイマ	通信	メモリIF カメラIF	割り込み	S12ADC, R12DA
177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御		EXDMAC SDRAMC	(MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	(QSPI, SDHI, MMCIF, PDC)		
D9		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
D10		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
D11		P61	CS1#/SDCS#					
D12		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0		IRQ5	AN103
D13	VCC							
D14		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1		MMC_RES- B/SDHI_WP-B	IRQ7	AN105
D15		P65	CS5#/CKE					
E1		PJ5		POE8#	CTS2#/RTS2#/SS2#			
E2	EMLE							
E3		PF5					IRQ4	
E4	VSS							
E5 (注1)								
E12		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1		MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
E13	TRDATA0	PG2	D26		ET1_TX_CLK			
E14	TRDATA1	PG3	D27		ET1_ETXD0/ RMII1_TXD0			
E15		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
F1	VBATT							
F2	VCL							
F3		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
F4	BSCANP							
F12		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
F13	TRSYNC	PG4	D28		ET1_ETXD1/ RMII1_TXD1			
F14		PA0	A0/BC0#/ DQM2	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
F15	VSS							
G1	XCIN							
G2	XCOUT							
G3	MD/FINED							
G4	TRST#	PF4						

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (4/8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
G12	TRCLK	PG5	D29		ET1_ETXD2			
G13	TRDATA2	PG6	D30		ET1_ETXD3			
G14		PA1	A1/DQM3	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
G15	VCC							
H1	XTAL	P37						
H2	VSS							
H3	RES#							
H4	UPSEL	P35					NMI	
H12		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
H13		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ ET0_MDIO		IRQ6-DS	
H14		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
H15	TRDATA3	PG7	D31		ET1_TX_ER			
J1	EXTAL	P36						
J2	VCC							
J3		P34		MTIOC0A/TMC13/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
J4	TMS	PF3						
J12		PA5	A5	MTIOC6B/ GTIOC0A-C/ TIOCB1/PO21	RSPCKA-B/ ET0_LINKSTA			
J13	VSS							
J14		PA7	A7	TIOCB2/PO23	MISOA-B/ ET0_WOL			
J15		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
K1		P33	EDREQ1	MTIOC0D/TIOCD0/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/ SMISO0/SSCL6/ SSCL0/CRX0	PCKO	IRQ3-DS	
K2		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYN	IRQ2-DS	
K3	TDI	PF2			RXD1/SMISO1/ SSCL1			
K4	TCK	PF1			SCK1			

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (5/8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
K12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
K13		P71	A18/CS1#		ET0_MDIO			
K14	VCC							
K15		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
L1		P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/ SS1#/ET1_MDC		IRQ1-DS	
L2		P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/ET1_MDIO		IRQ0-DS	
L3	TDO	PF0			TXD1/SMOSI1/ SSDA1			
L4		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1	HSYNC		ADTRG0#
L12		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
L13		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
L14		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
L15		P72	A19/CS2#		ET0_MDC			
M1		P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/ET1_WOL			
M2		P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ ET1_EXOUT			
M3		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
M4		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
M5	VCC_USB							
M6	AVCC_USBA							
M7	USBA_RREF							
M8	VCC_USBA							
M9		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2			

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (6/8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
M10		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
M11		P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
M12		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
M13		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
M14		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
M15		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
N1	VCC							
N2		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
N3		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ USBA_OVRCURB/ AUDIO_MCLK	PIXD6		
N4		P15		MTIOC0B/MTCLKB/ GTETR-G-B/ TIOCB2/TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/ USBA_VBUSEN/ SSIWS1	PIXD0	IRQ5	
N5		P12	WR3#/BC3#	MTIC5U/TMC11	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
N6	VSS_USB							
N7	VSS2_USBA							
N8	VSS1_USBA							
N9		P51	WR1#/BC1#/ WAIT#		SCK2			
N10	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	
N11		P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
N12		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
N13		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
N14		P73	CS3#	PO16	ET0_WOL			

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (7/8)

ピン番号	電源	I/Oポート	バス	タイマ	通信	メモリIF カメラIF	割り込み	S12ADC, R12DA
177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御		EXDMAC SDRAMC	(MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	(QSPI, SDHI, MMCIF, PDC)		
N15	VSS							
P1	VSS							
P2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCBO/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	PIXD3	IRQ7	ADTRG1#
P3		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
P4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
P5					USB0_DP			
P6	AVSS_USBA							
P7					USBA_DM			
P8		P10	ALE	MTIC5W/TMRI3	USBA_OVRCURA		IRQ0	
P9		P52	RD#		RXD2/SMISO2/ SSCL2			
P10		P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
P11		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
P12		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-D/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/QMI-A		
P13		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
P14		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
P15	VCC							
R1		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ USBA_EXICEN/ SSIWS0	PIXD5	IRQ9	
R2		P20		MTIOC1A/TIOC3B/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ USBA_ID/ SSIRXD0	PIXD4	IRQ8	
R3		P16		MTIOC3C/ MTIOC3D/TIOC3B1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#

表 1.5 機能別端子一覧(177ピンTFLGA, 176ピンLFBGA) (8/8)

ピン番号 177ピン TFLGA 176ピン LFBGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
R4		P13	WR2#/BC2#	MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]		IRQ3	ADTRG1#
R5					USB0_DM			
R6	PVSS_USBA							
R7					USBA_DP			
R8		P11		MTIC5V/TMC13	SCK2/USBA_VBUS/ USBA_VBUSEN		IRQ1	
R9		P53 (注2)	BCLK					
R10	VSS							
R11	VCC							
R12		P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
R13		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
R14		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			
R15		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	

注1. 176ピンLFBGAには、E5ピンはありません。

注2. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.2 176ピン LQFP

表 1.6 機能別端子一覧(176ピンLQFP) (1/8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
1	AVSS0							
2		P05					IRQ13	DA1
3	AVCC1							
4		P03					IRQ11	DA0
5	AVSS1							
6		P02		TMC11	SCK6		IRQ10	AN120
7		P01		TMC10	RXD6/SMISO6/ SSCL6		IRQ9	AN119
8		P00		TMR10	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
9		PF5					IRQ4	
10	EMLE							
11		PJ5		POE8#	CTS2#/RTS2#/SS2#			
12	VSS							
13		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
14	VCL							
15	VBATT							
16	NC							
17	TRST#	PF4						
18	MD/FINED							
19	XCIN							
20	XCOUT							
21	RES#							
22	XTAL	P37						
23	VSS							
24	EXTAL	P36						
25	VCC							
26	UPSEL	P35					NMI	
27		P34		MTIOC0A/TMC13/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
28		P33	EDREQ1	MTIOC0D/TIOC0D/ TMR13/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/ SMISO0/SSCL6/ SSCL0/CRX0	PCKO	IRQ3-DS	
29		P32		MTIOC0C/TIOC0C/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYNC	IRQ2-DS	
30	TMS	PF3						
31	TDI	PF2			RXD1/SMISO1/ SSCL1			

表 1.6 機能別端子一覧(176ピンLFQFP) (2/8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
32		P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/ SS1#/ET1_MDC		IRQ1-DS	
33		P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1/ET1_MDIO		IRQ0-DS	
34	TCK	PF1			SCK1			
35	TDO	PF0			TXD1/SMOSI1/ SSDA1			
36		P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1/ET1_WOL			
37		P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1/ ET1_EXOUT			
38		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/ SSIDATA1	HSYNC		ADTRG0#
39	VCC							
40		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
41	VSS							
42		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
43		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ USBA_OVRCURB/ AUDIO_MCLK	PIXD6		
44		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ USBA_EXICEN/ SSIWS0	PIXD5	IRQ9	
45		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ USBA_ID/ SSIRXD0	PIXD4	IRQ8	
46		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/ SSITXD0	PIXD3	IRQ7	ADTRG1#
47		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		

表 1.6 機能別端子一覧(176ピンLQFP) (3/8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
48		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
49		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
50		P15		MTIOC0B/MTCLKB/ GTETRIG-B/ TIOCB2/TCLKB/ TMC12/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/ USBA_VBUSEN/ SSIWS1	PIXD0	IRQ5	
51		P14		MTIOC3A/MTCLKA/ TIOC5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
52		P13	WR2#/BC2#	MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/ SDA0[FM+]		IRQ3	ADTRG1#
53		P12	WR3#/BC3#	MTIC5U/TMC11	RXD2/SMISO2/ SSCL2/ SCL0[FM+]		IRQ2	
54	VCC_USB							
55					USB0_DM			
56					USB0_DP			
57	VSS_USB							
58	AVCC_USBA							
59	USBA_RREF							
60	AVSS_USBA							
61	PVSS_USBA							
62	VSS2_USBA							
63					USBA_DM			
64					USBA_DP			
65	VSS1_USBA							
66	VCC_USBA							
67		P11		MTIC5V/TMC13	SCK2/USBA_VBUS/ USBA_VBUSEN		IRQ1	
68		P10	ALE	MTIC5W/TMRI3	USBA_OVRCURA		IRQ0	
69		P53 (注1)	BCLK					
70		P52	RD#		RXD2/SMISO2/ SSCL2			
71		P51	WR1#/BC1#/ WAIT#		SCK2			
72		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2			
73	VSS							

表 1.6 機能別端子一覧(176ピンLFQFP) (4/8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
74		P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
75	VCC							
76	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	
77		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
78		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
79		P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
80		P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
81		P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
82		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETRG-D/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/QMI-A		
83		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
84		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
85		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
86		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
87		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
88		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			
89		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
90	VCC							
91		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
92	VSS							
93		P73	CS3#	PO16	ET0_WOL			

表 1.6 機能別端子一覧(176ピンLQFP) (5/8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
94		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
95		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
96		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMR11/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
97		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
98		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
99		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
100		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCIO/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
101		P72	A19/CS2#		ET0_MDC			
102		P71	A18/CS1#		ET0_MDIO			
103	VCC							
104		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
105	VSS							
106		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
107		PA6	A6	MTIC5V/MTCLKB/ GTETR-G-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
108		PA5	A5	MTIOC6B/ GTIOC0A-C/ TIOCB1/PO21	RSPCKA-B/ ET0_LINKSTA			
109		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMR10/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
110		PA3	A3	MTIOC0D/MTCLKD/ TIOCD0/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ ET0_MDIO		IRQ6-DS	
111	TRDATA3	PG7	D31		ET1_TX_ER			
112		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
113	TRDATA2	PG6	D30		ET1_ETXD3			

表 1.6 機能別端子一覧(176ピンLFQFP) (6/8)

ピン番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
114		PA1	A1/DQM3	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
115	VCC							
116	TRCLK	PG5	D29		ET1_ETXD2			
117	VSS							
118		PA0	A0/BC0#/ DQM2	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
119	TRSYNC	PG4	D28		ET1_ETXD1/ RMII1_TXD1			
120		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
121	TRDATA1	PG3	D27		ET1_ETXD0/ RMII1_TXD0			
122		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
123	TRDATA0	PG2	D26		ET1_TX_CLK			
124		P65	CS5#/CKE					
125		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1		MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
126		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1		MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
127	VCC							
128		P70	SDCLK					
129	VSS							
130		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0		IRQ5	AN103
131		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2			AN102
132		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ ET0_ERXD3	MMC_D7-B		AN101
133		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXD12	MMC_D6-B	IRQ7-DS	AN100
134		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12	MMC_D5-B		ANEX1
135		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12	MMC_D4-B		ANEX0
136		P64	CS4#/WE#					
137		P63	CS3#/CAS#					
138		P62	CS2#/RAS#					
139		P61	CS1#/SDCS#					

表 1.6 機能別端子一覧(176ピンLFQFP) (7/8)

ピン 番号 176ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIG, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
140	VSS							
141		P60	CS0#		ET1_TX_EN/ RMII1_TXD_EN			
142	VCC							
143		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
144		PG1	D25		ET1_RX_ER/ RMII1_RX_ER			
145		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
146		PG0	D24		ET1_RX_CLK/ REF50CK1			
147		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
148		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
149		P97	A23/D23		ET1_ERXD3			
150		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
151	VSS							
152		P96	A22/D22		ET1_ERXD2			
153	VCC							
154		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
155		P95	A21/D21		ET1_ERXD1/ RMII1_RXD1			
156		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
157		P94	A20/D20		ET1_ERXD0/ RMII1_RXD0			
158		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
159		P93	A19/D19	POE0#	ET1_LINKSTA/ CTS7#/RTS7#/SS7#			AN117
160		P92	A18/D18	POE4#	ET1_CRIS/ RMII1_CRIS_DV/ RXD7/SMISO7/ SSCL7			AN116
161		P91	A17/D17		ET1_COL/SCK7			AN115
162	VSS							
163		P90	A16/D16		ET1_RX_DV/ TXD7/SMOSI7/ SSDA7			AN114
164	VCC							

表 1.6 機能別端子一覧(176ピンLQFP) (8/8)

ピン 番号 176ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
165		P47					IRQ15- DS	AN007
166		P46					IRQ14- DS	AN006
167		P45					IRQ13- DS	AN005
168		P44					IRQ12- DS	AN004
169		P43					IRQ11- DS	AN003
170		P42					IRQ10- DS	AN002
171		P41					IRQ9-DS	AN001
172	VREFLO							
173		P40					IRQ8-DS	AN000
174	VREFH0							
175	AVCC0							
176		P07					IRQ15	ADTRG0#

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.3 145ピンTFLGA

表 1.7 機能別端子一覧(145ピンTFLGA) (1/7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SC1h, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
A1	AVSS0							
A2		P07					IRQ15	ADTRG0#
A3		P40					IRQ8-DS	AN000
A4		P42					IRQ10-DS	AN002
A5		P45					IRQ13-DS	AN005
A6		P90	A16		TXD7/SMOSI7/ SSDA7			AN114
A7		P92	A18	POE4#	RXD7/SMISO7/ SSCL7			AN116
A8		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
A9		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
A10	VSS							
A11		P62	CS2#/RAS#					
A12		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	MMC_D5-B		ANEX1
A13		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3	MMC_D7-B		AN101
B1	AVCC1							
B2	AVCC0							
B3		P05					IRQ13	DA1
B4	VREFLO							
B5		P43					IRQ11-DS	AN003
B6		P47					IRQ15-DS	AN007
B7		P91	A17		SCK7			AN115
B8		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
B9		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
B10	VCC							
B11		P61	CS1#/SDCS#					
B12		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	MMC_D6-B	IRQ7-DS	AN100
B13		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2			AN102

表 1.7 機能別端子一覧(145ピンTFLGA) (2/7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
C1	AVSS1							
C2		P02		TMC11	SCK6		IRQ10	AN120
C3	VREFH0							
C4		P41					IRQ9-DS	AN001
C5		P46					IRQ14- DS	AN006
C6	VSS							
C7		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
C8		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
C9		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
C10		P63	CS3#/CAS#					
C11		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12	MMC_D4-B		ANEX0
C12		P70	SDCLK					
C13	VSS							
D1		P00		TMR10	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
D2		PF5					IRQ4	
D3		P03					IRQ11	DA0
D4		P01		TMC10	RXD6/SMISO6/ SSCL6		IRQ9	AN119
D5	VCC							
D6		P93	A19	POE0#	CTS7#/RTS7#/SS7#			AN117
D7		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
D8		P60	CS0#					
D9		P64	CS4#/WE#					
D10		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1		MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
D11	VCC							
D12		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0		IRQ5	AN103
D13		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1		MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
E1	VSS							
E2	VCL							
E3		PJ5		POE8#	CTS2#/RTS2#/SS2#			
E4	EMLE							
E5		P44					IRQ12- DS	AN004

表 1.7 機能別端子一覧(145ピンTFLGA) (3/7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIg, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
E10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
E11		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
E12		P65	CS5#/CKE					
E13		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
F1	XCIN							
F2	XCOU							
F3		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
F4	VBATT							
F10		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
F11	VSS							
F12		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
F13		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
G1	XTAL	P37						
G2	RES							
G3	MD/FINED							
G4	BSCANP							
G10		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			
G11		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
G12	VCC							
G13		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMR10/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
H1	EXTAL	P36						
H2	VCC							
H3	VSS							
H4	UPSEL	P35					NMI	
H10		P72	A19/CS2#		ET0_MDC			
H11		P71	A18/CS1#		ET0_MDIO			

表 1.7 機能別端子一覧(145ピンTFLGA) (4/7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
H12		PB0	A8	MTIOC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
H13		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
J1	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
J2		P33	EDREQ1	MTIOC0D/TIOCD0/ TMR13/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0	PCKO	IRQ3-DS	
J3		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOU/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYNC	IRQ2-DS	
J4	TDI	P30		MTIOC4B/TMR13/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1		IRQ0-DS	
J10		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
J11		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
J12		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
J13		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
K1	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1			
K2	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1			
K3	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#		IRQ1-DS	
K4		P15		MTIOC0B/MTCLKB/ GTETR-G-B/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1	PIXD0	IRQ5	
K5	TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET0_LINKSTA			
K6		P53(注1)	BCLK					
K7		P51	WR1#/BC1#/ WAIT#		SCK2			
K8	VCC							

表 1.7 機能別端子一覧(145ピンTFLGA) (5/7)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
K9	TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
K10		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
K11		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
K12		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
K13		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
L1		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1	HSYNC		ADTRG0#
L2		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
L3		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
L4		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
L5		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
L6		P56	EDACK1	MTIOC3C/TIOCA1				
L7		P52	RD#		RXD2/SMISO2/ SSCL2			
L8	TRCLK	P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
L9		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
L10		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETRG-D/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/ QMI-A		
L11		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
L12		P73	CS3#	PO16	ET0_WOL			
L13	VSS							
M1		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK	PIXD6		

表 1.7 機能別端子一覧(145ピンTFLGA) (6/7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
M2		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	PIXD3	IRQ7	ADTRG1#
M3		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
M4		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
M5	VCC_USB							
M6	VSS_USB							
M7		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2			
M8		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
M9	TRDATA1	P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
M10		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		
M11		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
M12		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
M13	VCC							
N1		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0	PIXD5	IRQ9	
N2		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0	PIXD4	IRQ8	
N3		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
N4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
N5					USB0_DM			
N6					USB0_DP			
N7	TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
N8	VSS							
N9	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	

表 1.7 機能別端子一覧(145ピンTFLGA) (7/7)

ピン 番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
N10	TRSYNC	P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
N11		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
N12		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
N13		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.4 144ピン LQFP

表 1.8 機能別端子一覧(144ピンLQFP) (1/7)

ピン 番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
1	AVSS0							
2		P05					IRQ13	DA1
3	AVCC1							
4		P03					IRQ11	DA0
5	AVSS1							
6		P02		TMC11	SCK6		IRQ10	AN120
7		P01		TMC10	RXD6/SMISO6/ SSCL6		IRQ9	AN119
8		P00		TMR10	TXD6/SMOSI6/ SSDA6		IRQ8	AN118
9		PF5					IRQ4	
10	EMLE							
11		PJ5		POE8#	CTS2#/RTS2#/SS2#			
12	VSS							
13		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
14	VCL							
15	VBATT							
16	MD/FINED							
17	XCIN							
18	XCOUT							
19	RES							
20	XTAL	P37						
21	VSS							
22	EXTAL	P36						
23	VCC							
24	UPSEL	P35					NMI	
25	TRST#	P34		MTIOC0A/TMC13/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
26		P33	EDREQ1	MTIOC0D/TIOC0D/ TMR13/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0	PCKO	IRQ3-DS	
27		P32		MTIOC0C/TIOC0C/ TMR03/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN	VSYN	IRQ2-DS	
28	TMS	P31		MTIOC4D/TMC12/ PO9/RTCIC1	CTS1#/RTS1#/SS1#		IRQ1-DS	
29	TDI	P30		MTIOC4B/TMR13/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1		IRQ0-DS	

表 1.8 機能別端子一覧(144ピンLFQFP) (2/7)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
30	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1			
31	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1			
32		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1	HSYNC		ADTRG0#
33		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1	PIXCLK		
34		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0	PIXD7		
35		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK	PIXD6		
36		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0	PIXD5	IRQ9	
37		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0	PIXD4	IRQ8	
38		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0	PIXD3	IRQ7	ADTRG1#
39		P87		MTIOC4C/ GTIOC1B-B/ TIOCA2	TXD10	PIXD2		
40		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
41		P86		MTIOC4D/ GTIOC2B-B/ TIOCA0	RXD10	PIXD1		
42		P15		MTIOC0B/MTCLKB/ GTETR-G-B/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1	PIXD0	IRQ5	
43		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
44		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
45		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	

表 1.8 機能別端子一覧(144ピンLQFP) (3/7)

ピン 番号	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
46	VCC_USB							
47					USB0_DM			
48					USB0_DP			
49	VSS_USB							
50		P56	EDACK1	MTIOC3C/TIOCA1				
51	TRDATA3	P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
52	TRDATA2	P54	ALE/EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET0_LINKSTA			
53		P53 (注1)	BCLK					
54		P52	RD#		RXD2/SMISO2/ SSCL2			
55		P51	WR1#/BC1#/ WAIT#		SCK2			
56		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2			
57	VSS							
58	TRCLK	P83	EDACK1	MTIOC4C/ GTIOC0A-D	CTS10#/ET0_CRS/ RMII0_CRS_DV/ SCK10			
59	VCC							
60	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL	MMC_D7-A	IRQ14	
61		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3	MMC_D6-A	IRQ13	
62		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2	MMC_D5-A		
63	TRSYNC	P82	EDREQ1	MTIOC4A/ GTIOC2A-D/PO28	TXD10/ET0_ETXD1/ RMII0_TXD1	MMC_D4-A		
64	TRDATA1	P81	EDACK0	MTIOC3D/ GTIOC0B-D/PO27	RXD10/ET0_ETXD0/ RMII0_TXD0	MMC_D3-A/ SDHI_CD-A/ QIO3-A		
65	TRDATA0	P80	EDREQ0	MTIOC3B/PO26	SCK10/RTS10#/ ET0_TX_EN/ RMII0_TXD_EN	MMC_D2-A/ SDHI_WP-A/ QIO2-A		
66		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-G/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK	MMC_D1-A/ SDHI_D1-A/ QIO1-A/QMI-A		
67		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER	MMC_D0-A/ SDHI_D0-A/ QIO0-A/ QMO-A		
68		P77	CS7#	PO23	TXD11/ET0_RX_ER/ RMII0_RX_ER	MMC_CLK-A/ SDHI_CLK-A/ QSPCLK-A		

表 1.8 機能別端子一覧(144ピンLFQFP) (4/7)

ピン番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
69		P76	CS6#	PO22	RXD11/ ET0_RX_CLK/ REF50CK0	MMC_CMD-A/ SDHI_CMD-A/ QSSL-A		
70		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV	MMC_CD-A/ SDHI_D3-A		
71		P75	CS5#	PO20	SCK11/RTS11#/ ET0_ERXD0/ RMII0_RXD0	MMC_RES#- A/SDHI_D2-A		
72		P74	A20/CS4#	PO19	CTS11#/ ET0_ERXD1/ RMII0_RXD1			
73		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
74	VCC							
75		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
76	VSS							
77		P73	CS3#	PO16	ET0_WOL			
78		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
79		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
80		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMR11/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
81		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
82		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK4/SCK6/ ET0_RX_ER/ RMII0_RX_ER			
83		PB2	A10	TIOCC3/TCLKC/ PO26	CTS4#/RTS4#/ CTS6#/RTS6#/ SS4#/SS6#/ ET0_RX_CLK/ REF50CK0			
84		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCIO/PO25	TXD4/TXD6/ SMOSI4/SMOSI6/ SSDA4/SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
85		P72	A19/CS2#		ET0_MDC			
86		P71	A18/CS1#		ET0_MDIO			
87		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD4/RXD6/ SMISO4/SMISO6/ SSCL4/SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
88		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			

表 1.8 機能別端子一覧(144ピンLFQFP) (5/7)

ピン 番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
89		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
90		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			
91	VCC							
92		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
93	VSS							
94		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
95		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
96		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
97		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
98		P67	CS7#/DQM1	MTIOC7C/ GTIOC1B-C	CRX2		IRQ15	
99		P66	CS6#/DQM0	MTIOC7D/ GTIOC2B-C	CTX2			
100		P65	CS5#/CKE					
101		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1		MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
102		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1		MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
103	VCC							
104		P70	SDCLK					
105	VSS							
106		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0		IRQ5	AN103
107		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2			AN102
108		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3	MMC_D7-B		AN101
109		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXDX12	MMC_D6-B	IRQ7-DS	AN100
110		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	MMC_D5-B		ANEX1

表 1.8 機能別端子一覧(144ピンLQFP) (6/7)

ピン 番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
111		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12	MMC_D4-B		ANEX0
112		P64	CS4#/WE#					
113		P63	CS3#/CAS#					
114		P62	CS2#/RAS#					
115		P61	CS1#/SDCS#					
116	VSS							
117		P60	CS0#					
118	VCC							
119		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/QMI-B	IRQ7	AN107
120		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
121		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
122		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
123		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
124		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
125		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
126		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
127		P93	A19	POE0#	CTS7#/RTS7#/SS7#			AN117
128		P92	A18	POE4#	RXD7/SMISO7/ SSCL7			AN116
129		P91	A17		SCK7			AN115
130	VSS							
131		P90	A16		TXD7/SMOSI7/ SSDA7			AN114
132	VCC							
133		P47					IRQ15- DS	AN007
134		P46					IRQ14- DS	AN006
135		P45					IRQ13- DS	AN005
136		P44					IRQ12- DS	AN004
137		P43					IRQ11- DS	AN003

表 1.8 機能別端子一覧(144ピンLFQFP) (7/7)

ピン 番号 144ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC SDRAMC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF, PDC)	割り込み	S12ADC, R12DA
138		P42					IRQ10- DS	AN002
139		P41					IRQ9-DS	AN001
140	VREFLO							
141		P40					IRQ8-DS	AN000
142	VREFH0							
143	AVCC0							
144		P07					IRQ15	ADTRG0#

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.5 100ピンTFLGA

表 1.9 機能別端子一覧(100ピンTFLGA) (1/5)

ピン番号 100ピンTFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
A1	P05						IRQ13	DA1
A2	AVCC1							
A3		P07					IRQ15	ADTRG0#
A4	VREFL0							
A5		P43					IRQ11-DS	AN003
A6		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
A7		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
A8		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12	MMC_D4-B		ANEX0
A9		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXD12/ SIOX12	MMC_D5-B		ANEX1
A10		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXD12	MMC_D6-B	IRQ7-DS	AN100
B1	EMLE							
B2	AVSS0							
B3	AVCC0							
B4		P40					IRQ8-DS	AN000
B5		P44					IRQ12-DS	AN004
B6		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
B7		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
B8		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106
B9		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1/QMI-B	IRQ7	AN107
B10		PE3	D11[A11/ D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3	MMC_D7-B		AN101
C1	VCL							
C2	AVSS1							
C3		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/SS6#/ SS0#			
C4	VREFH0							

表 1.9 機能別端子一覧(100ピンTFLGA) (2/5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIg, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
C5		P42					IRQ10-DS	AN002
C6		P47					IRQ15-DS	AN007
C7		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
C8		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
C9		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0		IRQ5	AN103
C10		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2			AN102
D1	XCIN							
D2	XCOU							
D3	MD/FINED							
D4	VBATT							
D5		P45					IRQ13-DS	AN005
D6		P46					IRQ14-DS	AN006
D7		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1		MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
D8		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1		MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
D9		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
D10		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
E1	XTAL	P37						
E2	VSS							
E3	RES#							
E4	TRST#	P34		MTIOC0A/TMC13/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
E5		P41					IRQ9-DS	AN001
E6		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
E7		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/TIOCA2/ TMC13/PO22/ POE10#	CTS5#/RTS5#/SS5#/ MOSIA-B/ ET0_EXOUT			
E8		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
E9		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSFCKA-B/ ET0_LINKSTA			

表 1.9 機能別端子一覧(100ピンTFLGA) (3/5)

ピン番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIg, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
E10		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
F1	EXTAL	P36						
F2	VCC							
F3	UPSEL	P35					NMI	
F4		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS	
F5		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
F6		PB3	A11	MTIOC0A/ MTIOC4A/TIOC0D3/ TCLKD/TMO0/ PO27/POE11#	SCK6/ET0_RX_ER/ RMII0_RX_ER			
F7		PB2	A10	TIOCC3/TCLKC/ PO26	CTS6#/RTS6#/SS6#/ ET0_RX_CLK/ REF50CK0			
F8		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD6/SMISO6/ SSCL6/ET0_ERXD1/ RMII0_RXD1		IRQ12	
F9		PA7	A7	TIOC0B2/PO23	MISOA-B/ET0_WOL			
F10	VSS							
G1		P33	EDREQ1	MTIOC0D/TIOC0D0/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS	
G2	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#		IRQ1-DS	
G3	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/POE8#	RXD1/SMISO1/ SSCL1		IRQ0-DS	
G4	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1			
G5		P53(注1)	BCLK					
G6		P52	RD#		RXD2/SMISO2/ SSCL2			
G7		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
G8		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
G9		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
G10	VCC							
H1	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1			

表 1.9 機能別端子一覧(100ピンTFLGA) (4/5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
H2		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1			ADTRG0#
H3		P16		MTIOC3C/ MTIOC3D/TIOCB1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
H4		P15		MTIOC0B/MTCLKB/ GTETR-G/TIOCB2/ TCLKB/TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1		IRQ5	
H5		P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
H6		P54	ALE/ EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/SS2#/ CTX1/ET0_LINKSTA			
H7	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL		IRQ14	
H8		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3		IRQ13	
H9		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
H10		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
J1		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1			
J2		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0		IRQ9	
J3		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0		IRQ7	ADTRG1#
J4		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
J5	VSS_USB							
J6	VCC_USB							
J7		P50	WR0#/ WR#		TXD2/SMOSI2/ SSDA2			
J8		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETR-G/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK			
J9		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/SS5#/ SSLA1-A/ ET0_ERXD3		IRQ14	

表 1.9 機能別端子一覧(100ピンTFLGA) (5/5)

ピン 番号 100ピン TFLGA	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SCIg, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
J10		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
K1		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0			
K2		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK			
K3		P20		MTIOC1A/TIOCB3/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0		IRQ8	
K4		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/SS1#/ CTX1/ USB0_OVRCURA		IRQ4	
K5					USB0_DM			
K6					USB0_DP			
K7		P51	WR1#/ BC1#/ WAIT#		SCK2			
K8		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2			
K9		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER			
K10		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV			

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

1.6.6 100ピンLFQFP

表 1.10 機能別端子一覧(100ピンLFQFP) (1/5)

ピン番号 100ピンLFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
1	AVCC1							
2	EMLE							
3	AVSS1							
4		PJ3	EDACK1	MTIOC3C	ET0_EXOUT/ CTS6#/RTS6#/ CTS0#/RTS0#/ SS6#/SS0#			
5	VCL							
6	VBATT							
7	MD/FINED							
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15	UPSEL	P35					NMI	
16	TRST#	P34		MTIOC0A/TMCI3/ PO12/POE10#	SCK6/SCK0/ ET0_LINKSTA		IRQ4	
17		P33	EDREQ1	MTIOC0D/TIOCD0/ TMRI3/PO11/ POE4#/POE11#	RXD6/RXD0/ SMISO6/SMISO0/ SSCL6/SSCL0/ CRX0		IRQ3-DS	
18		P32		MTIOC0C/TIOCC0/ TMO3/PO10/ RTCOUT/RTCIC2/ POE0#/POE10#	TXD6/TXD0/ SMOSI6/SMOSI0/ SSDA6/SSDA0/ CTX0/ USB0_VBUSEN		IRQ2-DS	
19	TMS	P31		MTIOC4D/TMCI2/ PO9/RTCIC1	CTS1#/RTS1#/SS1#		IRQ1-DS	
20	TDI	P30		MTIOC4B/TMRI3/ PO8/RTCIC0/ POE8#	RXD1/SMISO1/ SSCL1		IRQ0-DS	
21	TCK	P27	CS7#	MTIOC2B/TMCI3/ PO7	SCK1			
22	TDO	P26	CS6#	MTIOC2A/TMO1/ PO6	TXD1/CTS3#/ RTS3#/SMOSI1/ SS3#/SSDA1			
23		P25	CS5#/ EDACK1	MTIOC4C/MTCLKB/ TIOCA4/PO5	RXD3/SMISO3/ SSCL3/SSIDATA1			ADTRG0#
24		P24	CS4#/ EDREQ1	MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4	SCK3/ USB0_VBUSEN/ SSISCK1			

表 1.10 機能別端子一覧(100ピンLQFP) (2/5)

ピン番号 100ピンLQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
25		P23	EDACK0	MTIOC3D/MTCLKD/ GTIOC0A-B/ TIOCD3/PO3	TXD3/CTS0#/ RTS0#/SMOSI3/ SS0#/SSDA3/ SSISCK0			
26		P22	EDREQ0	MTIOC3B/MTCLKC/ GTIOC1A-B/ TIOCC3/TMO0/PO2	SCK0/ USB0_OVRCURB/ AUDIO_MCLK			
27		P21		MTIOC1B/ MTIOC4A/ GTIOC2A-B/ TIOCA3/TMCI0/PO1	RXD0/SMISO0/ SSCL0/ USB0_EXICEN/ SSIWS0		IRQ9	
28		P20		MTIOC1A/TIOC3B/ TMRI0/PO0	TXD0/SMOSI0/ SSDA0/USB0_ID/ SSIRXD0		IRQ8	
29		P17		MTIOC3A/ MTIOC3B/ MTIOC4B/ GTIOC0B-B/ TIOCB0/TCLKD/ TMO1/PO15/POE8#	SCK1/TXD3/ SMOSI3/SSDA3/ SDA2-DS/SSITXD0		IRQ7	ADTRG1#
30		P16		MTIOC3C/ MTIOC3D/TIOC3B1/ TCLKC/TMO2/ PO14/RTCOUT	TXD1/RXD3/ SMOSI1/SMISO3/ SSDA1/SSCL3/ SCL2-DS/ USB0_VBUS/ USB0_VBUSEN/ USB0_OVRCURB		IRQ6	ADTRG0#
31		P15		MTIOC0B/MTCLKB/ GTETR-G-B/ TIOCB2/TCLKB/ TMCI2/PO13	RXD1/SCK3/ SMISO1/SSCL1/ CRX1-DS/SSIWS1		IRQ5	
32		P14		MTIOC3A/MTCLKA/ TIOCB5/TCLKA/ TMRI2/PO15	CTS1#/RTS1#/ SS1#/CTX1/ USB0_OVRCURA		IRQ4	
33		P13		MTIOC0B/TIOCA5/ TMO3/PO13	TXD2/SMOSI2/ SSDA2/SDA0[FM+]		IRQ3	ADTRG1#
34		P12		TMCI1	RXD2/SMISO2/ SSCL2/SCL0[FM+]		IRQ2	
35	VCC_USB							
36					USB0_DM			
37					USB0_DP			
38	VSS_USB							
39		P55	WAIT#/ EDREQ0	MTIOC4D/TMO3	CRX1/ET0_EXOUT		IRQ10	
40		P54	ALE/EDACK0	MTIOC4B/TMCI1	CTS2#/RTS2#/ SS2#/CTX1/ ET0_LINKSTA			
41		P53 (注1)	BCLK					
42		P52	RD#		RXD2/SMISO2/ SSCL2			
43		P51	WR1#/BC1#/ WAIT#		SCK2			

表 1.10 機能別端子一覧(100ピンLFQFP) (3/5)

ピン 番号	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
44		P50	WR0#/WR#		TXD2/SMOSI2/ SSDA2			
45	UB	PC7	A23/CS0#	MTIOC3A/MTCLKB/ GTIOC3A-D/TMO2/ TOC0/PO31/ CACREF	TXD8/MISOA-A/ ET0_COL		IRQ14	
46		PC6	A22/CS1#	MTIOC3C/MTCLKA/ GTIOC3B-D/TMCI2/ TIC0/PO30	RXD8/MOSIA-A/ ET0_ETXD3		IRQ13	
47		PC5	A21/CS2#/ WAIT#	MTIOC3B/MTCLKD/ GTIOC1A-D/TMRI2/ PO29	SCK8/RSPCKA-A/ RTS8#/ET0_ETXD2			
48		PC4	A20/CS3#	MTIOC3D/MTCLKC/ GTETRG-D/TMCI1/ PO25/POE0#	SCK5/CTS8#/ SSLA0-A/ ET0_TX_CLK			
49		PC3	A19	MTIOC4D/ GTIOC1B-D/TCLKB/ PO24	TXD5/SMOSI5/ SSDA5/ET0_TX_ER			
50		PC2	A18	MTIOC4B/ GTIOC2B-D/TCLKA/ PO21	RXD5/SMISO5/ SSCL5/SSLA3-A/ ET0_RX_DV			
51		PC1	A17	MTIOC3A/TCLKD/ PO18	SCK5/SSLA2-A/ ET0_ERXD2		IRQ12	
52		PC0	A16	MTIOC3C/TCLKC/ PO17	CTS5#/RTS5#/ SS5#/SSLA1-A/ ET0_ERXD3		IRQ14	
53		PB7	A15	MTIOC3B/TIOCB5/ PO31	TXD9/ET0_CRS/ RMII0_CRS_DV			
54		PB6	A14	MTIOC3D/TIOCA5/ PO30	RXD9/ET0_ETXD1/ RMII0_TXD1			
55		PB5	A13	MTIOC2A/ MTIOC1B/TIOCB4/ TMRI1/PO29/ POE4#	SCK9/RTS9#/ ET0_ETXD0/ RMII0_TXD0			
56		PB4	A12	TIOCA4/PO28	CTS9#/ET0_TX_EN/ RMII0_TXD_EN			
57		PB3	A11	MTIOC0A/ MTIOC4A/TIOCD3/ TCLKD/TMO0/ PO27/POE11#	SCK6/ET0_RX_ER/ RMII0_RX_ER			
58		PB2	A10	TIOCC3/TCLKC/ PO26	CTS6#/RTS6#/ SS6#/ET0_RX_CLK/ REF50CK0			
59		PB1	A9	MTIOC0C/ MTIOC4C/TIOCB3/ TMCI0/PO25	TXD6/SMOSI6/ SSDA6/ ET0_ERXD0/ RMII0_RXD0		IRQ4-DS	
60	VCC							
61		PB0	A8	MTIC5W/TIOCA3/ PO24	RXD6/SMISO6/ SSCL6/ ET0_ERXD1/ RMII0_RXD1		IRQ12	
62	VSS							

表 1.10 機能別端子一覧(100ピンLFQFP) (4/5)

ピン 番号	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
63		PA7	A7	TIOCB2/PO23	MISOA-B/ET0_WOL			
64		PA6	A6	MTIC5V/MTCLKB/ GTETRG-C/ TIOCA2/TMC13/ PO22/POE10#	CTS5#/RTS5#/ SS5#/MOSIA-B/ ET0_EXOUT			
65		PA5	A5	MTIOC6B/TIOCB1/ GTIOC0A-C/PO21	RSPCKA-B/ ET0_LINKSTA			
66		PA4	A4	MTIC5U/MTCLKA/ TIOCA1/TMRI0/ PO20	TXD5/SMOSI5/ SSDA5/SSLA0-B/ ET0_MDC		IRQ5-DS	
67		PA3	A3	MTIOC0D/MTCLKD/ TIOC0D/TCLKB/ PO19	RXD5/SMISO5/ SSCL5/ET0_MDIO		IRQ6-DS	
68		PA2	A2	MTIOC7A/ GTIOC1A-C/PO18	RXD5/SMISO5/ SSCL5/SSLA3-B			
69		PA1	A1	MTIOC0B/MTCLKC/ MTIOC7B/ GTIOC2A-C/ TIOCB0/PO17	SCK5/SSLA2-B/ ET0_WOL		IRQ11	
70		PA0	A0/BC0#	MTIOC4A/ MTIOC6D/ GTIOC0B-C/ TIOCA0/CACREF/ PO16	SSLA1-B/ ET0_TX_EN/ RMII0_TXD_EN			
71		PE7	D15[A15/ D15]	MTIOC6A/ GTIOC3A-E/TOC1		MMC_RES#- B/SDHI_WP-B	IRQ7	AN105
72		PE6	D14[A14/ D14]	MTIOC6C/ GTIOC3B-E/TIC1		MMC_CD-B/ SDHI_CD-B	IRQ6	AN104
73		PE5	D13[A13/ D13]	MTIOC4C/ MTIOC2B/ GTIOC0A-A	ET0_RX_CLK/ REF50CK0		IRQ5	AN103
74		PE4	D12[A12/ D12]	MTIOC4D/ MTIOC1A/ GTIOC1A-A/PO28	ET0_ERXD2			AN102
75		PE3	D11[A11/D11]	MTIOC4B/ GTIOC2A-A/PO26/ POE8#/TOC3	CTS12#/RTS12#/ SS12#/ET0_ERXD3	MMC_D7-B		AN101
76		PE2	D10[A10/ D10]	MTIOC4A/ GTIOC0B-A/PO23/ TIC3	RXD12/SMISO12/ SSCL12/RXD12	MMC_D6-B	IRQ7-DS	AN100
77		PE1	D9[A9/D9]	MTIOC4C/ MTIOC3B/ GTIOC1B-A/PO18	TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12	MMC_D5-B		ANEX1
78		PE0	D8[A8/D8]	MTIOC3D/ GTIOC2B-A	SCK12	MMC_D4-B		ANEX0
79		PD7	D7[A7/D7]	MTIC5U/POE0#		MMC_D1-B/ SDHI_D1-B/ QIO1-B/ QMI-B	IRQ7	AN107
80		PD6	D6[A6/D6]	MTIC5V/MTIOC8A/ POE4#		MMC_D0-B/ SDHI_D0-B/ QIO0-B/ QMO-B	IRQ6	AN106

表 1.10 機能別端子一覧(100ピンLFQFP) (5/5)

ピン 番号 100ピン LFQFP	電源 クロック システム制御	I/Oポート	バス EXDMAC	タイマ (MTU, GPT, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	通信 (ETHERC, SC1g, SCIh, RSPI, RIIC, CAN, USB, SSI)	メモリIF カメラIF (QSPI, SDHI, MMCIF)	割り込み	S12ADC, R12DA
81		PD5	D5[A5/D5]	MTIC5W/MTIOC8C/ POE10#		MMC_CLK-B/ SDHI_CLK-B/ QSPCLK-B	IRQ5	AN113
82		PD4	D4[A4/D4]	MTIOC8B/POE11#		MMC_CMD-B/ SDHI_CMD-B/ QSSL-B	IRQ4	AN112
83		PD3	D3[A3/D3]	MTIOC8D/ GTIOC0A-E/POE8#/ TOC2		MMC_D3-B/ SDHI_D3-B/ QIO3-B	IRQ3	AN111
84		PD2	D2[A2/D2]	MTIOC4D/ GTIOC0B-E/TIC2	CRX0	MMC_D2-B/ SDHI_D2-B/ QIO2-B	IRQ2	AN110
85		PD1	D1[A1/D1]	MTIOC4B/ GTIOC1A-E/POE0#	CTX0		IRQ1	AN109
86		PD0	D0[A0/D0]	GTIOC1B-E/POE4#			IRQ0	AN108
87		P47					IRQ15- DS	AN007
88		P46					IRQ14- DS	AN006
89		P45					IRQ13- DS	AN005
90		P44					IRQ12- DS	AN004
91		P43					IRQ11- DS	AN003
92		P42					IRQ10- DS	AN002
93		P41					IRQ9-DS	AN001
94	VREFL0							
95		P40					IRQ8-DS	AN000
96	VREFH0							
97	AVCC0							
98		P07					IRQ15	ADTRG0#
99	AVSS0							
100	P05						IRQ13	DA1

注1. 外部バス有効時、BCLK端子と兼用しているP53は、I/Oポートとして使用できません。

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格

条件：VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V

項目	記号	定格値	単位
電源電圧	VCC, VCC_USB	-0.3 ~ +4.6	V
V _{BATT} 電源電圧	V _{BATT}	-0.3 ~ +4.6	V
入力電圧(5Vトレラント対応ポート(注1)以外)	V _{in}	-0.3 ~ VCC + 0.3	V
入力電圧(5Vトレラント対応ポート(注1))	V _{in}	-0.3 ~ VCC + 4.6 (最大 5.8)	V
リファレンス電源電圧	VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧	AVCC0, AVCC1 (注2)	-0.3 ~ +4.6	V
USBA電源電圧	VCC_USBA (注2)	-0.3 ~ +4.6	V
USBAアナログ電源電圧	AVCC_USBA (注2)	-0.3 ~ +4.6	V
アナログ入力電圧	V _{AN}	-0.3 ~ AVCC + 0.3	V
ジャンクション温度	Dバージョン	T _J	°C
	Gバージョン		
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. P07とP11~P17、P20、P21、P30~P33、P67、PC0~PC3は、5Vトレラント対応です。

注2. AVCC0、AVCC1、VCC_USBはVCCに、AVSS0、AVSS1、VSS_USBはVSSに接続してください。

A/Dのユニット0を使用しない場合、VREFH0端子はVCCに、VREFL0端子はVSSにそれぞれ接続し開放しないでください。

USBAを使用しない場合、VCC_USBA、AVCC_USBAはVCCに、VSS1_USBA、VSS2_USBA、PVSS_USBA、

AVSS_USBA端子はVSSにそれぞれ接続し開放しないでください。

表2.2 推奨動作条件

項目	記号	min	typ	max	単位	
電源電圧	VCC	2.7	—	3.6	V	
	VSS	—	0	—	V	
電源電圧(RTCとサブクロックのみ)(注1)	VCC	2.0	—	3.6	V	
V _{BATT} 電源電圧	V _{BATT}	2.0	—	3.6	V	
リファレンス電源電圧	VREFH0	2.7	—	AVCC0	V	
	VREFL0	—	0	—	V	
アナログ電源電圧	AVCC0, AVCC1	—	VCC	—	V	
	AVSS0, AVSS1	—	0	—	V	
USB電源電圧	VCC_USB	—	VCC	—	V	
	VSS_USB	—	0	—	V	
USBA電源電圧	VCC_USBA	3.0	—	3.6	V	
	VSS1_USBA, VSS2_USBA	—	0	—	V	
USBAアナログ電源電圧	AVCC_USBA	3.0	—	3.6	V	
	AVSS_USBA, PVSS_USBA	—	0	—	V	
動作温度	Dバージョン	T _{opr}	-40	—	85	°C
	Gバージョン	T _{opr}	-40	—	105	°C

注1. RTC、サブクロックがVBATTで動作する電源電圧範囲

2.2 DC 特性

表 2.3 DC 特性(1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	IRQ入力端子(注1)	V_{IH}	$0.8 \times VCC$	—	$VCC + 0.3$	V
	MTU入力端子(注1)	V_{IL}	-0.3	—	$0.2 \times VCC$	
	GPT入力端子(注1)	ΔV_T	$0.06 \times VCC$	—	—	
	POE3入力端子(注1)					
	TPU入力端子(注1)					
	TMR入力端子(注1)					
	SCI入力端子(注1)					
	ADTRG#入力端子(注1) RES#, NMI					
	RIIC入力端子 (SMBusを除く)	V_{IH}	$0.7 \times VCC$	—	$VCC + 3.6$ (最大 5.8)	
		V_{IL}	-0.3	—	$0.3 \times VCC$	
		ΔV_T	$0.05 \times VCC$	—	—	
	5Vトレラント対応ポート(注2)	V_{IH}	$0.8 \times VCC$	—	$VCC + 3.6$ (最大 5.8)	
V_{IL}		-0.3	—	$0.2 \times VCC$		
5Vトレラント対応ポート以外 その他の入力端子(注3)	V_{IH}	$0.8 \times VCC$	—	$VCC + 0.3$		
	V_{IL}	-0.3	—	$0.2 \times VCC$		
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IH}	$0.9 \times VCC$	—	$VCC + 0.3$	V
	EXTAL、RSPI入力端子、 EXDMAC入力端子、WAIT#、 TCK、SSI入力端子、 SDHI入力端子、MMC入力端子、 PDC入力端子、QSPI入力端子		$0.8 \times VCC$	—	$VCC + 0.3$	
	ETHERC入力端子	2.3	—	$VCC + 0.3$		
	D0~D31	$0.7 \times VCC$	—	$VCC + 0.3$		
	RIIC (SMBus)	2.1	—	5.8		
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V_{IL}	-0.3	—	$0.1 \times VCC$	V
	EXTAL、RSPI入力端子、 ETHERC入力端子、 EXDMAC入力端子、WAIT#、 TCK、SSI入力端子、 SDHI入力端子、MMC入力端子、 PDC入力端子、QSPI入力端子		-0.3	—	$0.2 \times VCC$	
	D0~D31		-0.3	—	$0.3 \times VCC$	
	RIIC (SMBus)		-0.3	—	0.8	

注1. 5Vトレラント対応のポートで兼用している端子は該当しません。

注2. P07とP11~P17、P20、P21、P30~P33、P67、PC0~PC3は、5Vトレラント対応です。

注3. P32、P31、P30に関して V_{BATT} 電源選択時は下記範囲で入力してください。

$V_{IH} \min = V_{BATT} \times 0.8$, $\max = V_{BATT} + 0.3$, $V_{IL} \min = -0.3$, $\max = V_{BATT} \times 0.2$ ($V_{BATT} = 2.0 \sim 3.6V$)

表 2.4 DC 特性 (2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$ $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$ $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$ $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
High レベル出力電圧	全出力端子	V_{OH}	$VCC - 0.5$	—	—	V $I_{OH} = -1mA$
Low レベル出力電圧	全出力端子 (RIIC 端子、ETHERC 出力端子 を除く)	V_{OL}	—	—	0.5	V $I_{OL} = 1.0mA$
	RIIC 出力端子		—	—	0.4	$I_{OL} = 3.0mA$
			—	—	0.6	$I_{OL} = 6.0mA$
	RIIC 出力端子 (P12、P13 のチャネル 0 のみ)	V_{OL}	—	—	0.4	V $I_{OL} = 15.0mA$ (ICFER.FMPE = 1)
			—	0.4	—	$I_{OL} = 20.0mA$ (ICFER.FMPE = 1)
ETHERC 出力端子	V_{OL}	—	—	0.4	V $I_{OL} = 1.0mA$	
入力リーク電流	RES#, MD 端子、EMLE (注1)、 BSCANP (注1)、NMI	$ I_{in} $	—	—	1.0	μA $V_{in} = 0V$ $V_{in} = VCC$
スリーステートリーク電流(オフ状態)	5V トレラント対応ポート以外	$ I_{TSL} $	—	—	1.0	μA $V_{in} = 0V$ $V_{in} = VCC$
	5V トレラント対応ポート		—	—	5.0	$V_{in} = 0V$ $V_{in} = 5.5V$
ブルアップ抵抗	ポート 0 ~ ポート 2、 P30 ~ P34、P36、P37、 ポート 4 ~ ポート G、 PJ3、PJ5	R_{PU}	10	—	100	$k\Omega$ $VCC = 2.7 \sim 3.6V$ $V_{in} = 0V$
ブルダウン抵抗	EMLE, BSCANP	R_{PD}	10	—	100	$k\Omega$ $V_{in} = VCC$
入力容量	全入力端子 (P03, P05, P12, P13, P16, P17, EMLE, BSCANP, USB0_DP, USB0_DM, USBA_DP, USBA_DM 以外)	C_{in}	—	—	8	pF $V_{bias} = 0V$ $V_{amp} = 20mV$ $f = 1MHz$ $T_a = 25^\circ C$
	P03, P05, P12, P13, P16, P17, EMLE, BSCANP, USB0_DP, USB0_DM, USBA_DP, USBA_DM		—	—	16	
VCL 端子出力電圧		V_{CL}	—	1.25	—	V

注 1. EMLE 端子、BSCANP 端子の入力リーク電流は $V_{in} = 0V$ 時のみの値です。

表 2.5 DC 特性 (3)

条件 : VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,
 VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
 T_a = T_{opr}

項目		記号	Dバージョン		Gバージョン		単位	測定条件			
			typ	max	typ	max					
消費電流 (注1)	高速動作モジュール	最大動作 (注2)	I _{CC} (注3)		—	110	—	120	mA	ICLK = 120MHz PCLKA = 120MHz PCLKB = 60MHz PCLKC = 60MHz PCLKD = 60MHz FCLK = 60MHz BCLK = 120MHz BCLK 端子 = 60MHz	
		通常動作	周辺機能クロック供給状態 (注4)	39	—	39	—				
			周辺機能クロック停止状態 (注4)	16	—	16	—				
		Core mark 動作	周辺機能クロック停止状態 (注4)	21	—	21	—				
		スリープモード時 : 周辺機能クロック供給状態 (注4)		32	61	32	70				
		全モジュールクロックストップモード時 (参考値)		10	28	10	40				
		BGO動作時の増加分 (注5)	データフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し	7	—	7	—				
			コードフラッシュメモリ書き換え中のコードフラッシュメモリ読み出し	10	—	10	—				
		低速動作モード1 : 周辺機能クロック停止状態 (注4)		3.0	—	3.0	—	μA			全クロック 1MHz
		低速動作モード2 : 周辺機能クロック停止状態 (注4)		1.2	—	1.2	—	全クロック 32.768kHz			
	ソフトウェアスタンバイモード		0.7	10	0.7	19					
	スタンバイモード	スタンバイRAM, USBレジューム検出部 (USBbのみ) 電源供給あり		22	63	22	95				
		スタンバイRAM、USBレジューム検出部 (USBbのみ) 電源供給なし	パワーオンリセット回路 低消費電力機能無効 (注6)	12.5	26	12.5	36.4				
			パワーオンリセット回路 低消費電力機能有効 (注7)	3.1	13.5	3.1	20.0				
RTC動作時の増分		低CL水晶振動子使用時	0.6	—	0.6	—					
		標準CL水晶振動子使用時	2.0	—	2.0	—					
VCCオフ時のRTC動作 (バッテリーバックアップ機能により、RTC、サブクロック発振器のみ動作)		RCR3.RTCDV[2:0]を低CL用駆動能力に設定	0.9	—	0.9	—	V _{BATT} = 2.0V, VCC = 0V				
	1.6		—	1.6	—	V _{BATT} = 3.3V, VCC = 0V					
	RCR3.RTCDV[2:0]を標準CL用駆動能力に設定	1.7	—	1.7	—	V _{BATT} = 2.0V, VCC = 0V					
		3.3	—	3.3	—	V _{BATT} = 3.3V, VCC = 0V					

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗をオフにした場合の値です。
- 注2. 周辺機能はクロック供給状態。BGO動作は除きます。
- 注3. I_{CC} は、下記の式にしたがって $f(I_{CLK})$ に依存します。(ICLK/PCLKA:PCLKB/PCLKC/PCLKD:BCLK:BCLK端子 = 10:5:10:5 @EXTAL = 12MHz)
- Dバージョン
 - $I_{CC} \text{ max} = 0.77 \times f + 18$ (高速動作モード [最大動作] 時)
 - $I_{CC} \text{ typ} = 0.08 \times f + 6$ (高速動作モード [通常動作] 時)
 - $I_{CC} \text{ typ} = 0.50 \times f + 2.6$ (ICLK 1MHz max) (低速動作モード1時)
 - $I_{CC} \text{ max} = 0.36 \times f + 18$ (スリープ時)
 - Gバージョン
 - $ICC \text{ max} = 0.77 \times f + 27$ (高速動作モード [最大動作] 時)
 - $ICC \text{ typ} = 0.08 \times f + 6$ (高速動作モード [通常動作] 時)
 - $ICC \text{ typ} = 0.50 \times f + 2.6$ (ICLK 1MHz max) (低速動作モード1時)
 - $ICC \text{ max} = 0.36 \times f + 27$ (スリープ時)
- 注4. BGO動作は除きます。また、周辺機能のクロック供給、停止は、モジュールストップコントロールレジスタA~Dのビット設定による状態の違いのみになります。
周辺機能クロック停止状態は、FCLK=BCLK=PCLKA=PCLKB=PCLKC=PCLKD=BCLK端子=3.75MHz (64分周)に設定。
- 注5. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ(プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレース実行した場合の増加分です。
- 注6. 低消費電力機能無効 DEEPCUT[1:0] = 01b
- 注7. 低消費電力機能有効 DEEPCUT[1:0] = 11b

表 2.6 DC 特性(4)

条件 : $VCC = AVCC0 = AVCC1 = VREFH0 = VCC_USB = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		記号	Dバージョン			Gバージョン			単位	測定条件		
			min	typ	max	min	typ	max				
アナログ電源電流 (注1)	12ビットA/D変換中(ユニット0)		I _{CC}	—	0.7	1.0	—	0.7	1.0	mA	I _{AVCC0_AD}	
	12ビットA/D変換中(ユニット0) +チャネル専用サンプル&ホールド(3ch分)			—	1.7	2.5	—	1.7	2.5	mA	I _{AVCC0_AD+SH}	
	12ビットA/D変換中(ユニット1)			—	0.6	1.0	—	0.6	1.0	mA	I _{AVCC1_AD}	
	12ビットA/D変換中(ユニット1) +温度センサ			—	0.7	1.1	—	0.7	1.1	mA	I _{AVCC1_AD+TEMP}	
	D/A変換中 (1ユニット当り)	AMP出力 なし		—	0.24	0.4	—	0.24	0.4	mA	I _{AVCC1_DA}	
		AMP出力 あり		—	0.4	0.7	—	0.4	0.7	mA		
	A/D、D/A、温度センサ変換待機時(全ユニット)			—	0.9	1.4	—	0.9	1.4	mA	I _{AVCC0 + I_{AVCC1}}	
A/D、D/A、温度センサスタンバイ時(全ユニット)		—	1.3	3.0	—	1.3	4.5	μA	I _{AVCC0 + I_{AVCC1}}			
リファレンス電源電流	12ビットA/D変換中(ユニット0)		I _{REFH}	—	70	120	—	70	120	μA	I _{VREFH0}	
	12ビットA/D変換待機時(ユニット0)			—	0.07	0.4	—	0.07	0.5	μA	I _{VREFH0}	
	12ビットA/Dスタンバイ時(ユニット0)			—	0.07	0.2	—	0.07	0.4	μA	I _{VREFH0}	
USB動作電流	ロースピード	USBb	I _{CCUSBLS}	—	3.5	6.5	—	3.5	6.5	mA	V _{CC_USB}	
		USBA		—	8.5	12.0	—	8.5	12.0	mA	V _{CC_USBA} = AV _{CC_USBA} (PHYSET.HSEB = 0)	
		USBA		—	2.8	3.6	—	2.8	3.6	mA	V _{CC_USBA} = AV _{CC_USBA} (PHYSET.HSEB = 1)	
	フルスピード	USBb		I _{CCUSBFS}	—	4.0	10.0	—	4.0	10.0	mA	V _{CC_USB}
		USBA			—	12.0	20.0	—	12.0	20.0	mA	V _{CC_USBA} = AV _{CC_USBA} (PHYSET.HSEB = 0)
		USBA			—	6.5	13.0	—	6.5	13.0	mA	V _{CC_USBA} = AV _{CC_USBA} (PHYSET.HSEB = 1)
	スタンバイ時(ダイレクトパワーダウン)	USBA			I _{CCUSB_{SBY}}	—	0.1	3.0	—	0.1	3.0	μA
RAMスタンバイ電圧		V _{RAM}	2.7		—	—	2.7	—	—	V		
VCC立ち上がり勾配		SrVCC	8.4		—	20000	8.4	—	20000	μs/V		
VCC立ち下がり勾配(注2)		SfVCC	8.4		—	—	8.4	—	—	μs/V		

注1. 12ビットA/Dコンバータ(ユニット1)、D/Aコンバータは電源電流にリファレンス電流も含む値です。

注2. V_{BATT}を使用する場合に適用します。

表 2.7 熱抵抗値 (参考値)

項目	パッケージ	記号	max	単位	測定条件	
熱抵抗	PLQP0176KB-A	θ_{ja}	39.4	°C/W	JESD51-2 および JESD51-7 準拠	
	PLQP0144KA-A		40.7			
	PLQP0100KB-A		41.7			
	PLBG0176GA-A		28.5			JESD51-2 および JESD51-9 準拠
	PTLG0177KA-A		29.4			
	PTLG0145KA-A		29.9			
	PTLG0100JA-A		21.4			
	PLQP0176KB-A	Ψ_{jt}	0.5	°C/W	JESD51-2 および JESD51-7 準拠	
	PLQP0144KA-A		0.5			
	PLQP0100KB-A		0.5			
	PLBG0176GA-A		0.2			JESD51-2 および JESD51-9 準拠
	PTLG0177KA-A		0.2			
	PTLG0145KA-A		0.2			
	PTLG0100JA-A		0.2			

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

表 2.8 出力許容電流

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,

$V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,

$V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,

$T_a = T_{opr}$

項目			記号	min	typ	max	単位
Low レベル出力許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	2.0	mA
	全出力端子 (注2)	高駆動	I_{OL}	—	—	3.8	mA
Low レベル出力許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OL}	—	—	4.0	mA
	全出力端子 (注2)	高駆動	I_{OL}	—	—	7.6	mA
Low レベル出力許容電流 (総和)	全出力端子の総和		ΣI_{OL}	—	—	80	mA
High レベル出力許容電流 (1端子あたりの平均値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-2.0	mA
	全出力端子 (注2)	高駆動	I_{OH}	—	—	-3.8	mA
High レベル出力許容電流 (1端子あたりの最大値)	全出力端子 (注1)	通常駆動	I_{OH}	—	—	-4.0	mA
	全出力端子 (注2)	高駆動	I_{OH}	—	—	-7.6	mA
High レベル出力許容電流 (総和)	全出力端子の総和		ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 2.8 の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

2.3 AC 特性

表 2.9 動作周波数 (高速動作モード)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	
動作周波数	システムクロック (ICLK)	f	—	—	120	MHz	
	周辺モジュールクロック (PCLKA)		—	—	120		
	周辺モジュールクロック (PCLKB)		—	—	60		
	周辺モジュールクロック (PCLKC)		—	—	60		
	周辺モジュールクロック (PCLKD)		—	—	60		
	FlashIF クロック (FCLK)		— (注1)	—	60		
	外部バスクロック (BCLK)		177 ~ 144 ピンのみ	—	—		120
			100 ピンのみ	—	—		60
	BCLK 端子出力		177 ~ 144 ピンのみ	—	—		60
			100 ピンのみ	—	—		30
	SDRAM クロック (SDCLK)		177 ~ 144 ピンのみ	—	—		60
SDCLK 端子出力	177 ~ 144 ピンのみ	—	—	60			

注1. フラッシュメモリの書き換えを行う場合は、FCLK を 4MHz 以上としてください。

表 2.10 動作周波数 (低速動作モード1)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	
動作周波数	システムクロック (ICLK)	f	—	—	1	MHz	
	周辺モジュールクロック (PCLKA)		—	—	1		
	周辺モジュールクロック (PCLKB)		—	—	1		
	周辺モジュールクロック (PCLKC) (注1)		—	—	1		
	周辺モジュールクロック (PCLKD) (注1)		—	—	1		
	FlashIF クロック (FCLK)		—	—	1		
	外部バスクロック (BCLK)		177 ~ 144 ピンのみ	—	—		1
			100 ピンのみ	—	—		1
	BCLK 端子出力		177 ~ 144 ピンのみ	—	—		1
			100 ピンのみ	—	—		1
	SDRAM クロック (SDCLK)		177 ~ 144 ピンのみ	—	—		1
SDCLK 端子出力	177 ~ 144 ピンのみ	—	—	1			

注1. 12ビット A/D コンバータを使用する場合、1MHz 以上の設定が必要です。

表 2.11 動作周波数 (低速動作モード2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	
動作周波数	システムクロック (ICLK)	f	32	—	264	kHz	
	周辺モジュールクロック (PCLKA)		—	—	264		
	周辺モジュールクロック (PCLKB)		—	—	264		
	周辺モジュールクロック (PCLKC) (注1)		—	—	264		
	周辺モジュールクロック (PCLKD) (注1)		—	—	264		
	FlashIFクロック (FCLK)		32	—	264		
	外部バスクロック (BCLK)	177 ~ 144 ピンのみ		—	—		264
		100 ピンのみ		—	—		264
	BCLK 端子出力	177 ~ 144 ピンのみ		—	—		264
		100 ピンのみ		—	—		264
	SDRAM クロック (SDCLK)		—	—	264		
	SDCLK 端子出力	177 ~ 144 ピンのみ		—	—		264

注1. 12ビットA/Dコンバータは使用できません。

2.3.1 リセットタイミング

表2.12 リセットタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	1	—	—	ms	図2.1
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	—	—	ms	図2.2
	ソフトウェアスタンバイモード、 低速動作モード2	t_{RESWS}	0.3	—	—	ms	
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—	μs	
RES#解除後待機時間	t_{RESWT}	62	—	63	t_{Lcyc}	図2.1	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t_{RESW2}	108	—	116	t_{Lcyc}		

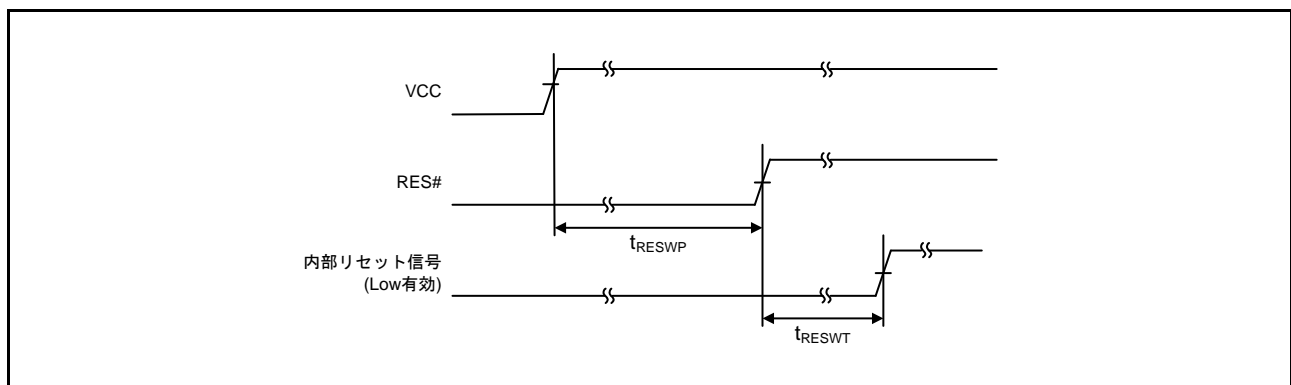


図 2.1 電源投入時リセット入力タイミング

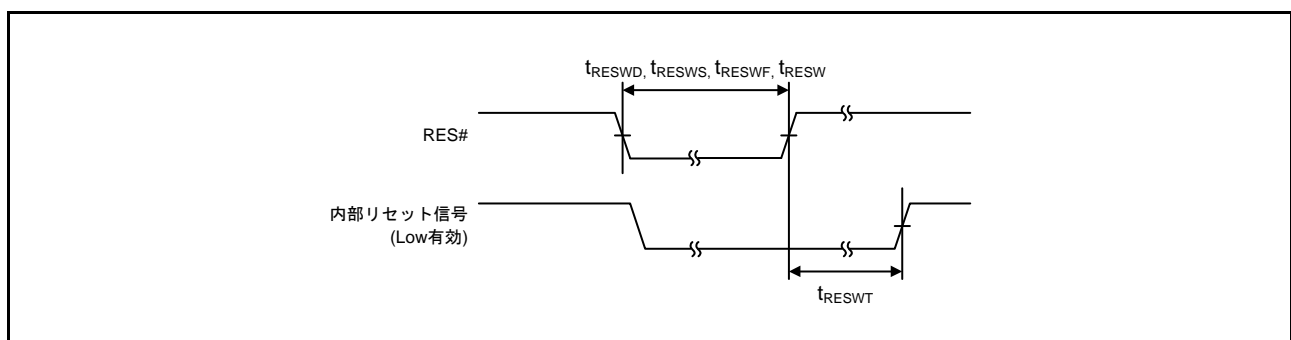


図 2.2 リセット入力タイミング

2.3.2 クロックタイミング

表2.13 BCLK端子出力、SDCLK端子出カクロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$, $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	177~144ピン	t_{Bcyc}	16.6	—	—	ns	図2.3
	100ピン以下		33.2	—	—	ns	
BCLK端子出力High幅		t_{CH}	3.3	—	—	ns	
BCLK端子出力Low幅		t_{CL}	3.3	—	—	ns	
BCLK端子出力立ち上がり時間		t_{Cr}	—	—	5	ns	
BCLK端子出力立ち下がり時間		t_{Cf}	—	—	5	ns	
SDCLK端子出力サイクル時間	177~144ピン	t_{SDcyc}	16.6	—	—	ns	
SDCLK端子出力High幅		t_{CH}	3.3	—	—	ns	
SDCLK端子出力Low幅		t_{CL}	3.3	—	—	ns	
SDCLK端子出力立ち上がり時間		t_{Cr}	—	—	5	ns	
SDCLK端子出力立ち下がり時間		t_{Cf}	—	—	5	ns	

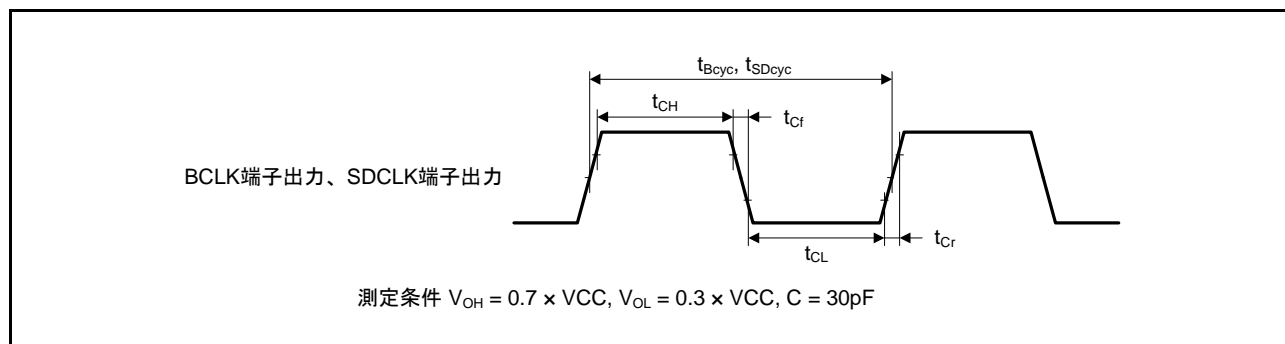


図 2.3 BCLK 端子出力、SDCLK 端子出力タイミング

表 2.14 EXTAL クロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図 2.4
EXTAL 外部クロック入力 High 幅	t_{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力 Low 幅	t_{EXL}	15.83	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	5	ns	

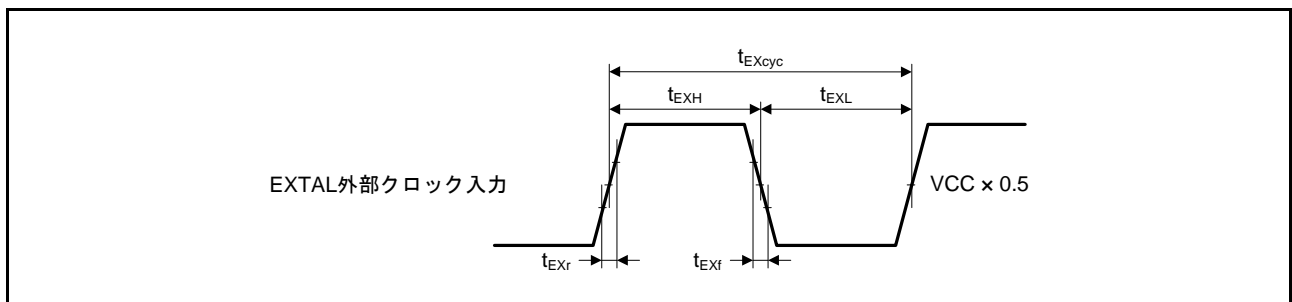


図 2.4 EXTAL 外部クロック入力タイミング

表 2.15 メインクロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	8	—	24	MHz	図 2.5
メインクロック発振安定時間(水晶)	$t_{MAINOSC}$	—	—	— (注 1)	ms	
メインクロック発振安定待機時間(水晶)	$t_{MAINOSCWT}$	—	—	— (注 2)	ms	

- 注 1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。
- 注 2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0] ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{MAINOSCWT} = [(MSTS[7:0] \text{ ビット} \times 32) + 10] / f_{Loco}$

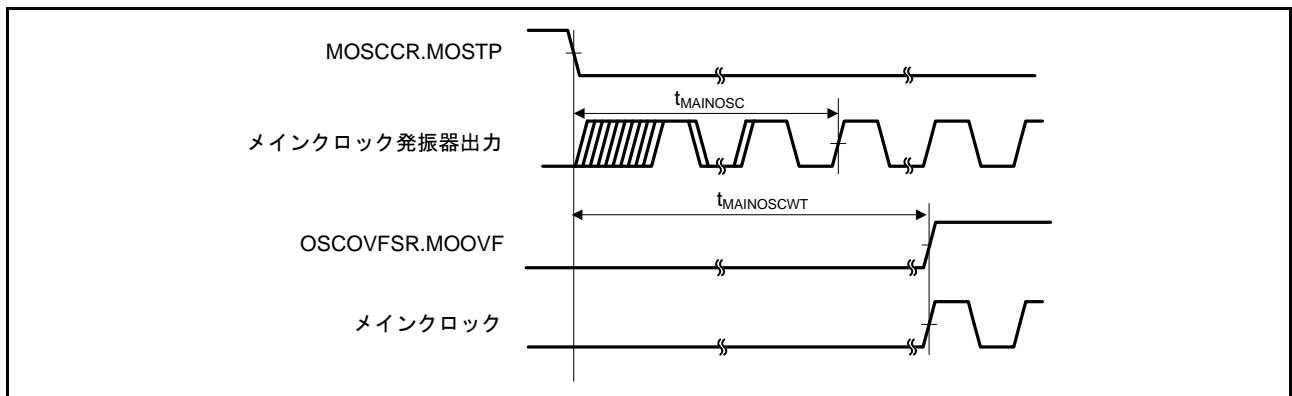


図 2.5 メインクロック発振開始タイミング

表 2.16 LOCO, IWDT 専用低速クロックタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCO クロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCO クロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	44	μs	図 2.6
IWDT 専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26	μs	
IWDT 専用低速クロック発振周波数	f_{ILOC0}	108	120	132	kHz	
IWDT 専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図 2.7

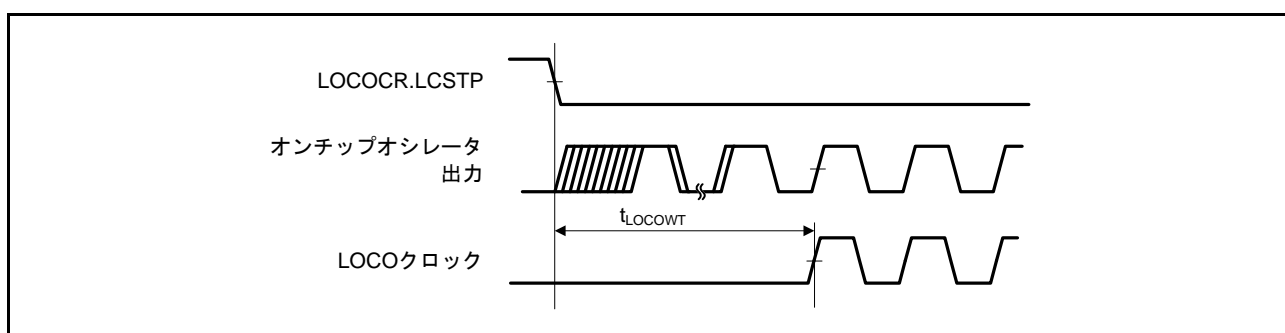


図 2.6 LOCO クロック発振開始タイミング

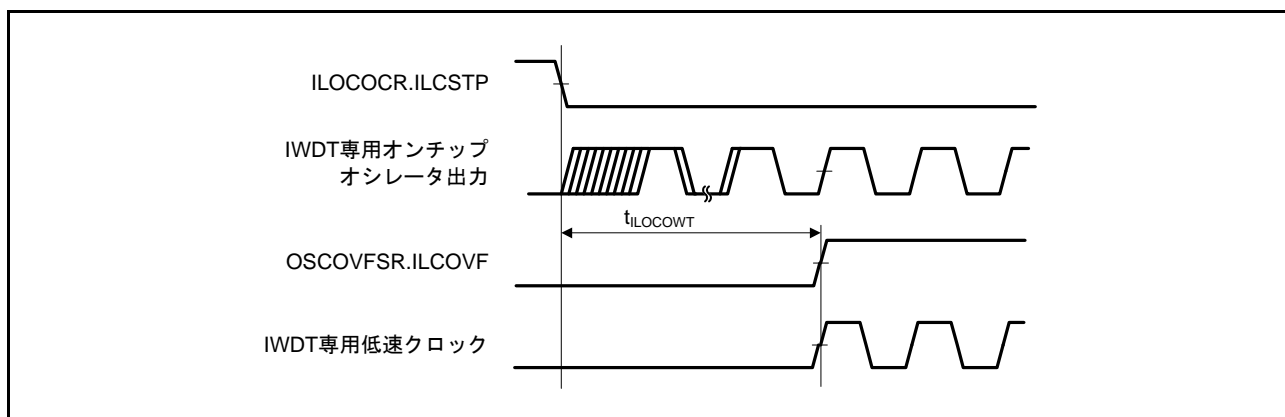


図 2.7 IWDT 専用低速クロック発振開始タイミング

表 2.17 HOCO クロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCO クロック 発振周波数	f_{HOCO}	15.61	16	16.39	MHz	$-20^\circ\text{C} \leq T_a \leq 85^\circ\text{C}$
		17.56	18	18.44	MHz	
		19.52	20	20.48	MHz	
		$-40^\circ\text{C} \leq T_a < -20^\circ\text{C}$	15.52	16	16.48	MHz
			17.46	18	18.54	MHz
			19.40	20	20.60	MHz
HOCO クロック 発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図 2.8
HOCO クロック 電源安定時間	t_{HOCOP}	—	—	150	μs	図 2.9

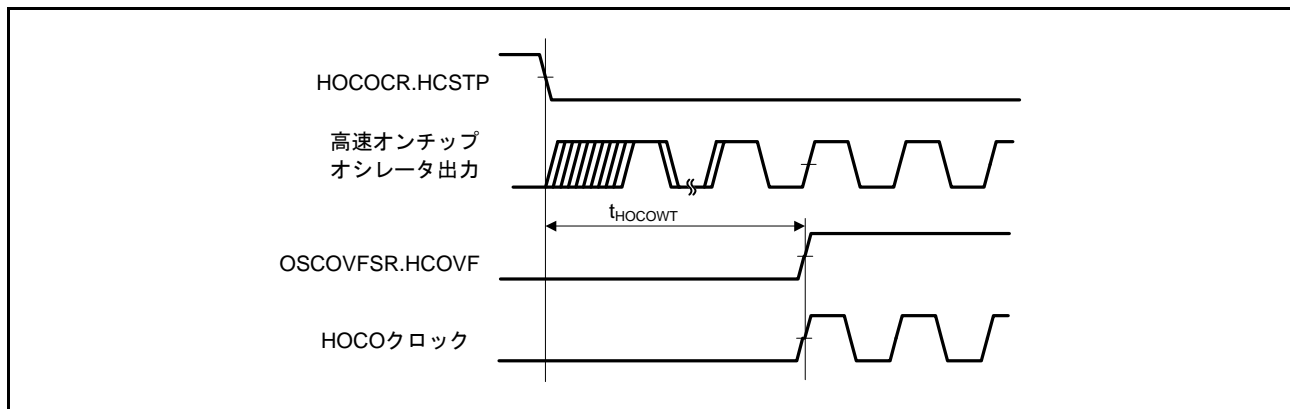


図 2.8 HOCO クロック 発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

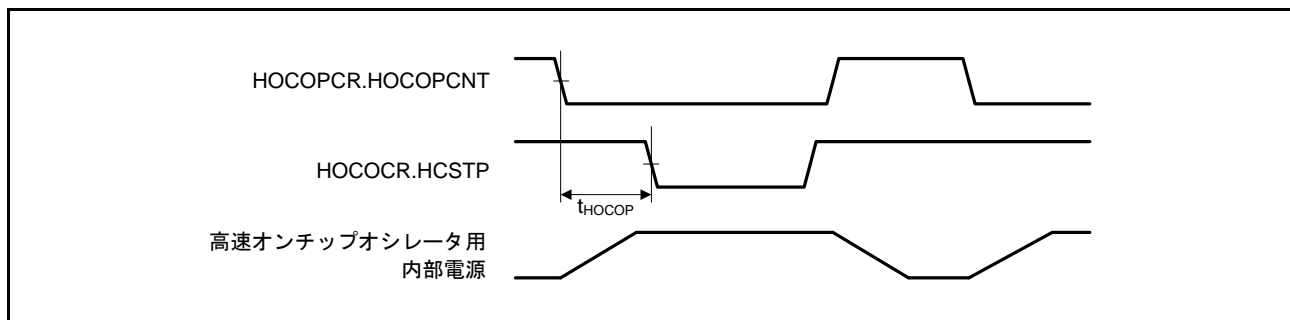


図 2.9 高速オンチップオシレータ電源制御タイミング

表 2.18 PLL クロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLL クロック 発振周波数	f_{PLL}	120	—	240	MHz	
PLL クロック 発振安定待機時間	t_{PLLWT}	—	259	320	μs	図 2.10

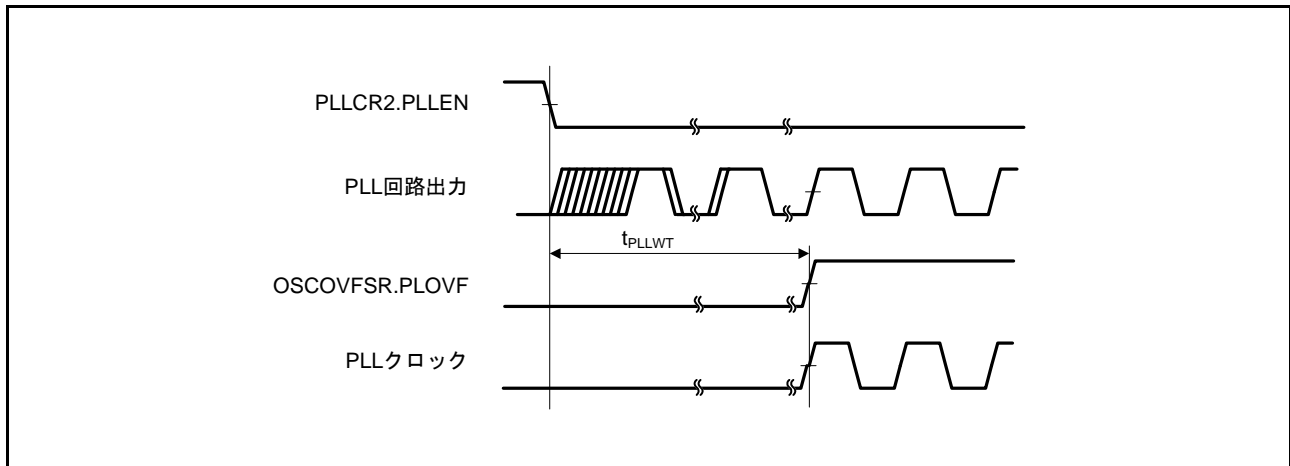


図 2.10 PLL クロック 発振開始タイミング

表 2.19 サブクロック タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $V_{BATT} = 2.0 \sim 3.6V$ 、 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
サブクロック 発振器 発振周波数	f_{SUB}	—	32.768	—	kHz	
サブクロック 発振安定時間	t_{SUBOSC}	—	—	(注 1)	s	図 2.11
サブクロック 発振安定待機時間	$t_{SUBOSCWT}$	—	—	(注 2)	s	

- 注 1. サブクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。
- 注 2. サブクロック発振安定待機時間は、SOSWTCR.SSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。
 $t_{SUBOSCWT} = [(SSTS[7:0] \text{ ビット} \times 16384) + 10] / f_{Loco}$

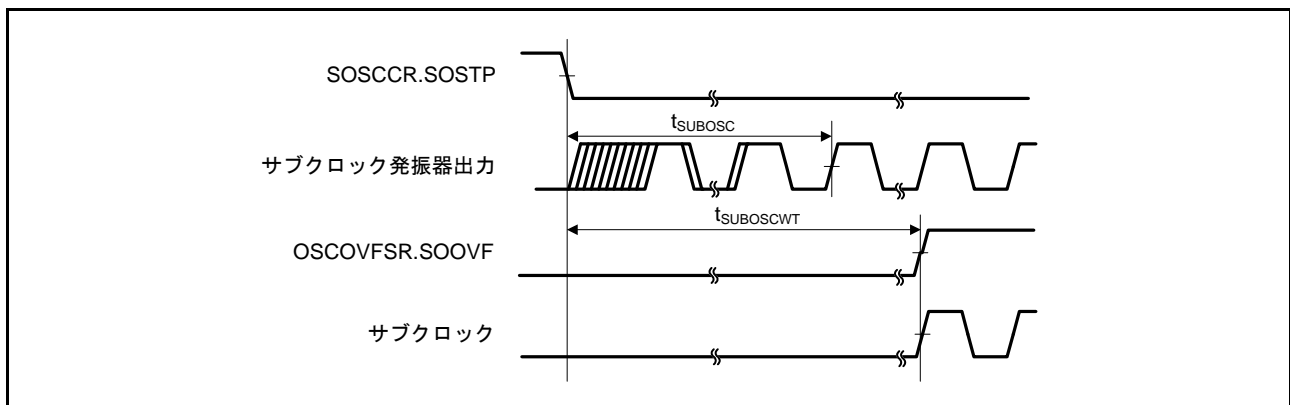


図 2.11 サブクロック 発振開始タイミング

2.3.3 低消費電力状態からの復帰タイミング

表 2.20 低消費電力状態からの復帰タイミング(1)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,

VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,

VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,

T_a = T_{opr}

項目	記号	min	typ	max		単位	測定条件		
				t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)				
ソフトウェアスタンバイモード解除後復帰時間(注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t _{SBYMC}	—	—	μs	図 2.12		
		メインクロック発振器、PLL回路動作	t _{SBYPC}		$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$			$100\mu\text{s} + 7/f_{\text{ICLK}} + 2n/f_{\text{MAIN}}$	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}		352			$100\mu\text{s} + 7/f_{\text{ICLK}} + 2n/f_{\text{EXMAIN}}$	
		メインクロック発振器、PLL回路動作	t _{SBYPE}		639			$100\mu\text{s} + 7/f_{\text{ICLK}} + 2n/f_{\text{PLL}}$	
	サブクロック発振器動作		t _{SBYSC}					$\{(SSTS[7:0] \text{ ビット} \times 16384) + 13\} / 0.216 + 10/f_{\text{FCLK}}$	$100\mu\text{s} + 4/f_{\text{ICLK}} + 2n/f_{\text{SUB}}$
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t _{SBYHO}		454			$100\mu\text{s} + 7/f_{\text{ICLK}} + 2n/f_{\text{HOCO}}$	
		高速オンチップオシレータ動作、PLL回路動作	t _{SBYPH}		741			$100\mu\text{s} + 7/f_{\text{ICLK}} + 2n/f_{\text{PLL}}$	
	低速オンチップオシレータ動作(注4)		t _{SBYLO}		338			$100\mu\text{s} + 7/f_{\text{ICLK}} + 2n/f_{\text{LOCO}}$	

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。

注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。

注4. 本条件は、f_{ICLK}:f_{FCLK} = 1:1、2:1、4:1の場合に適用されます。

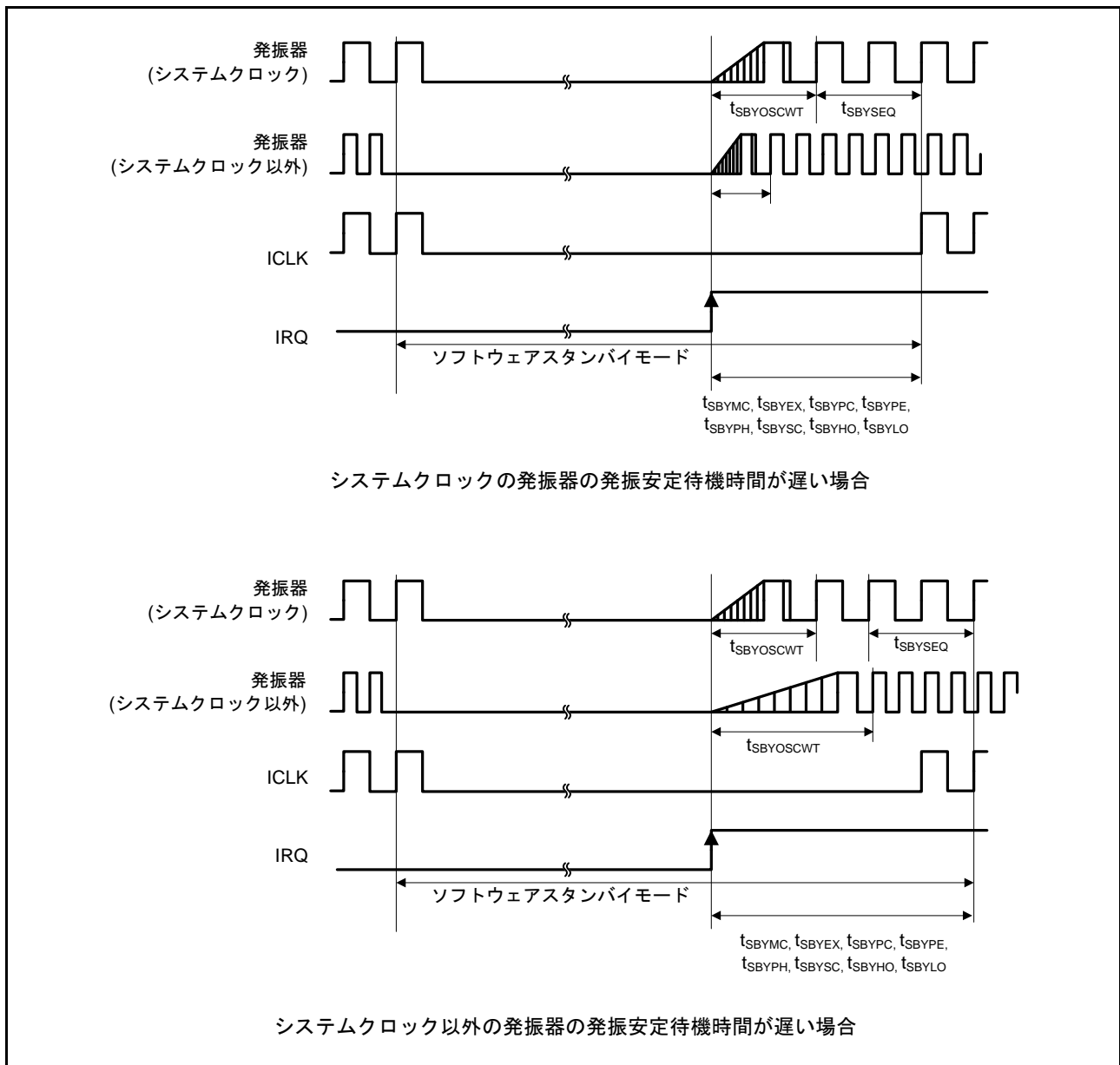


図 2.12 ソフトウェアスタンバイモード解除タイミング

表 2.21 低消費電力状態からの復帰タイミング(2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t_{DSBY}	—	—	0.9	ms	図 2.13
ディープソフトウェアスタンバイモード解除後待機時間	t_{DSBYWT}	31	—	32	t_{Lcyc}	

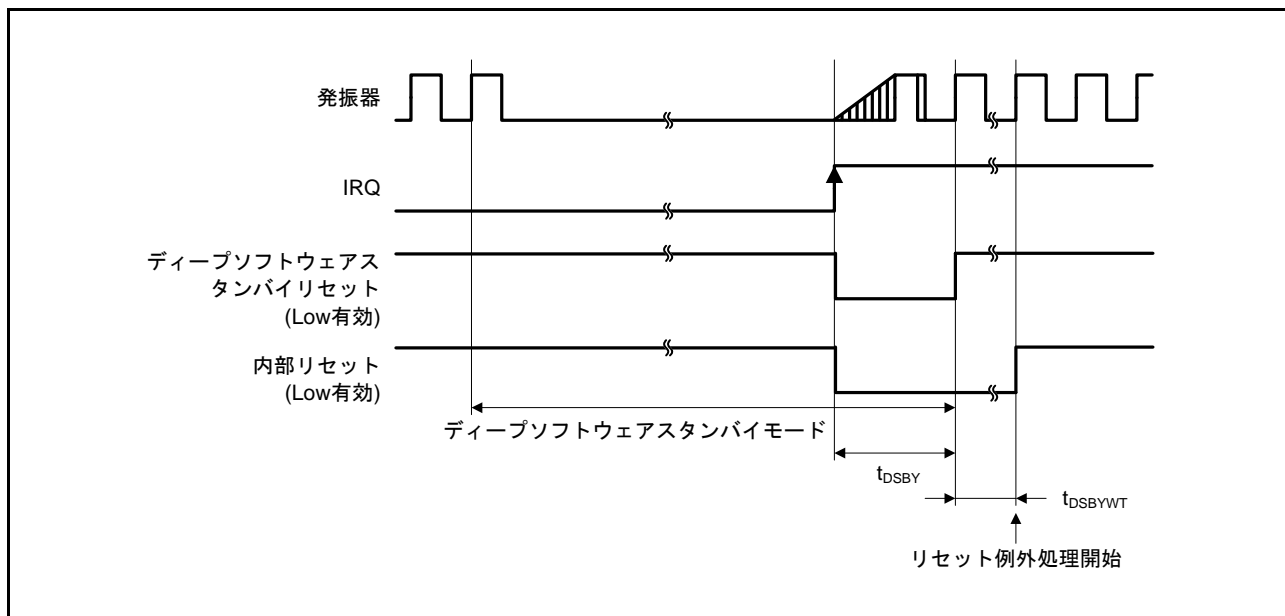


図 2.13 ディープソフトウェアスタンバイモード解除タイミング

2.3.4 制御信号タイミング

表2.22 制御信号タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PLCKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 2.14
		$t_{PBcyc} \times 2$	—	—	ns	$t_{PBcyc} \times 2 > 200ns$ 、図 2.14
IRQパルス幅	t_{IRQW}	200	—	—	ns	$t_{PBcyc} \times 2 \leq 200ns$ 、図 2.15
		$t_{PBcyc} \times 2$	—	—	ns	$t_{PBcyc} \times 2 > 200ns$ 、図 2.15

注1. t_{PBcyc} : PCLKBの周期

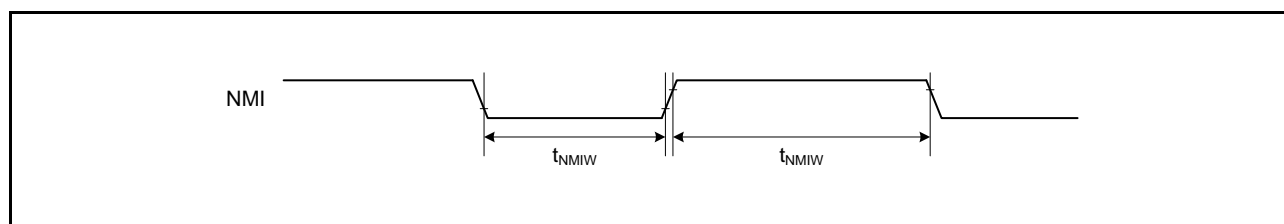


図 2.14 NMI 割り込み入カタイミング

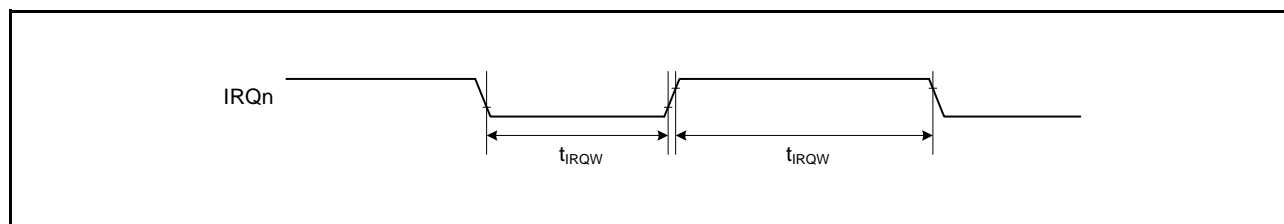


図 2.15 IRQ 割り込み入カタイミング

2.3.5 バスタイミング

表 2.23 バスタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	12.5	ns	図 2.16 ~ 図 2.21
バイトコントロール遅延時間	t_{BCD}	—	12.5	ns	
CS#遅延時間	t_{CSD}	—	12.5	ns	
ALE遅延時間	t_{ALEd}	—	12.5	ns	
RD#遅延時間	t_{RSD}	—	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
WR#遅延時間	t_{WRD}	—	12.5	ns	
ライトデータ遅延時間	t_{WDD}	—	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	12.5	—	ns	
WAIT#ホールド時間	t_{WTH}	0	—	ns	
アドレス遅延時間2 (SDRAM)	t_{AD2}	1	12.5	ns	図 2.23
CS#遅延時間2 (SDRAM)	t_{CSD2}	1	12.5	ns	
DQM遅延時間 (SDRAM)	t_{DQMD}	1	12.5	ns	
CKE遅延時間 (SDRAM)	t_{CKED}	1	12.5	ns	
リードデータセットアップ時間2 (SDRAM)	t_{RDS2}	10	—	ns	
リードデータホールド時間2 (SDRAM)	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2 (SDRAM)	t_{WDD2}	—	12.5	ns	
ライトデータホールド時間2 (SDRAM)	t_{WDH2}	1	—	ns	
WE#遅延時間 (SDRAM)	t_{WED}	1	12.5	ns	
RAS#遅延時間 (SDRAM)	t_{RASD}	1	12.5	ns	
CAS#遅延時間 (SDRAM)	t_{CASD}	1	12.5	ns	

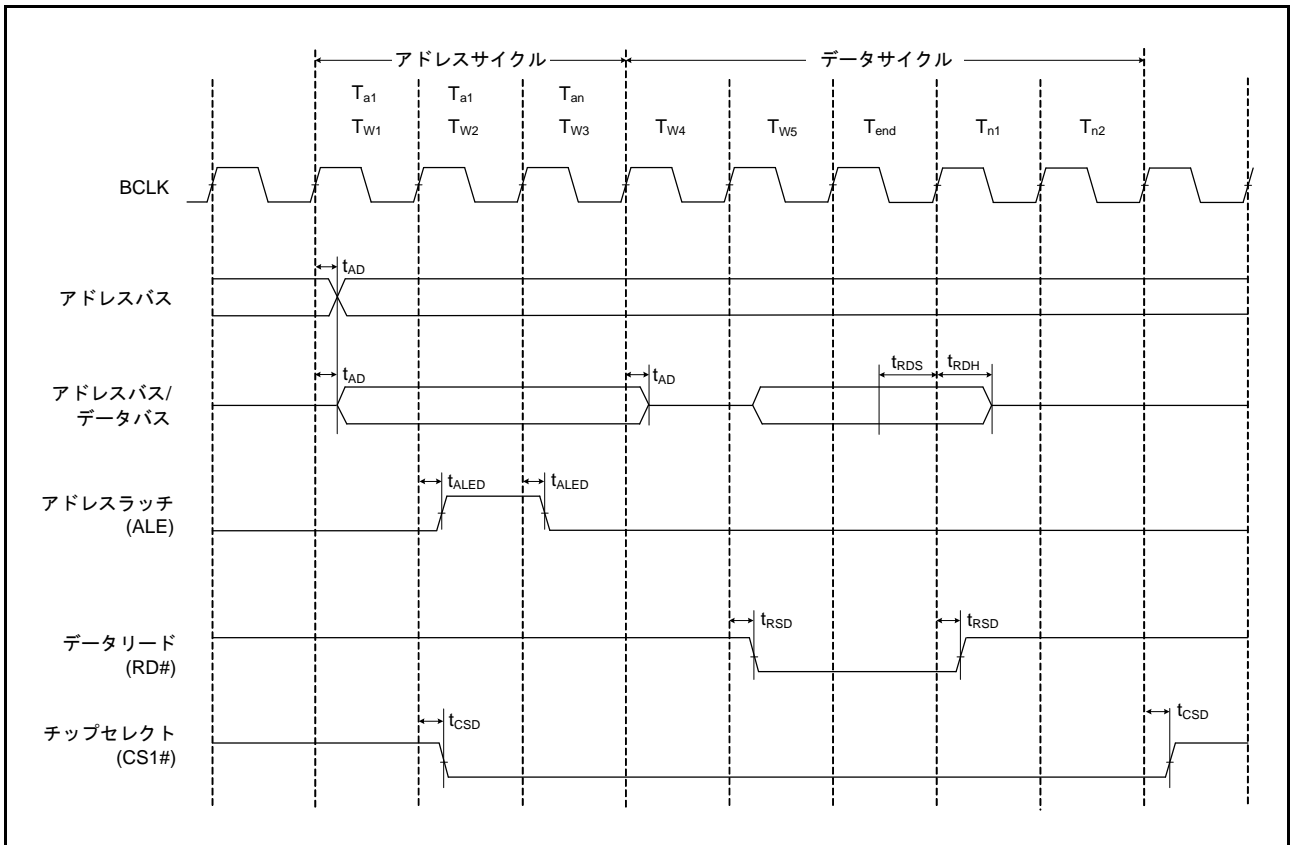


図 2.16 アドレス/データマルチプレクスバスのリードアクセスタイミング

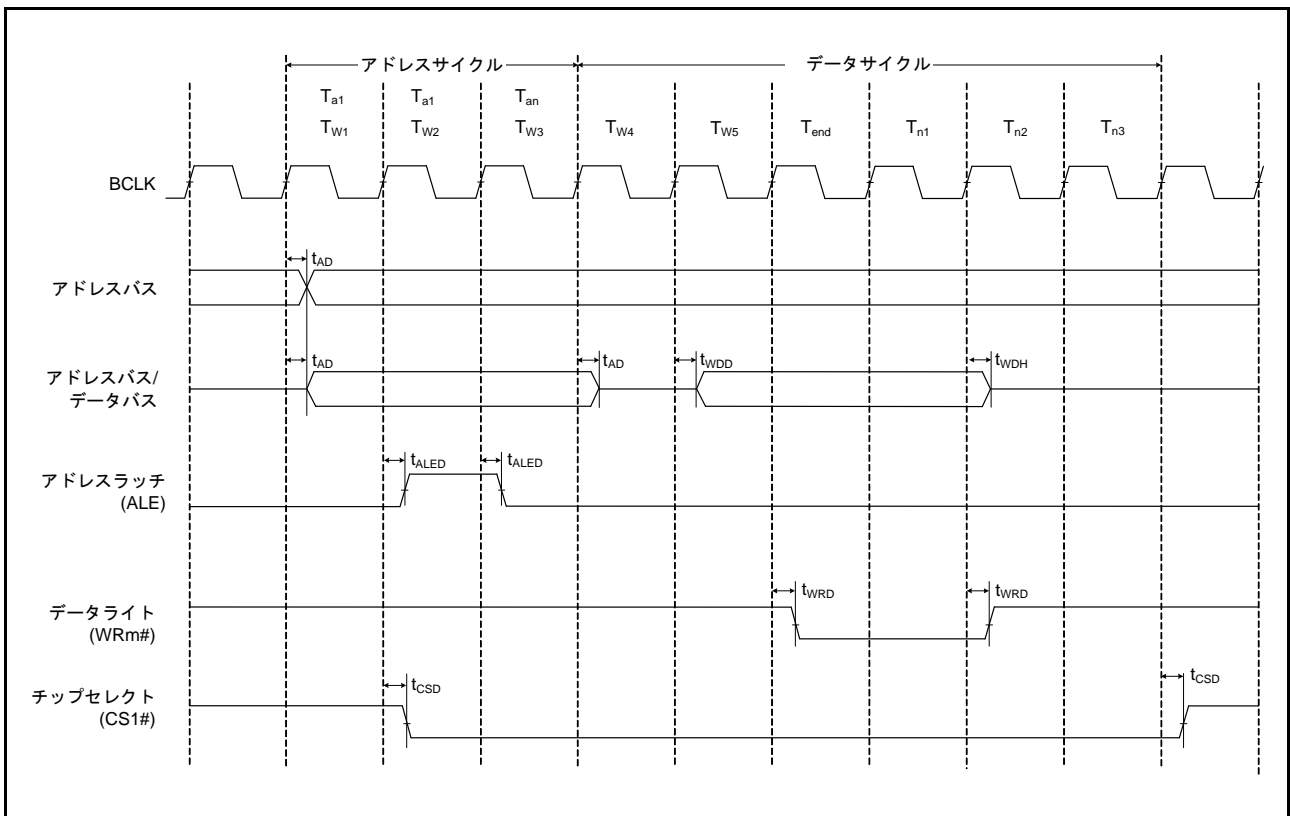


図 2.17 アドレス/データマルチプレクスバスのライトアクセスタイミング

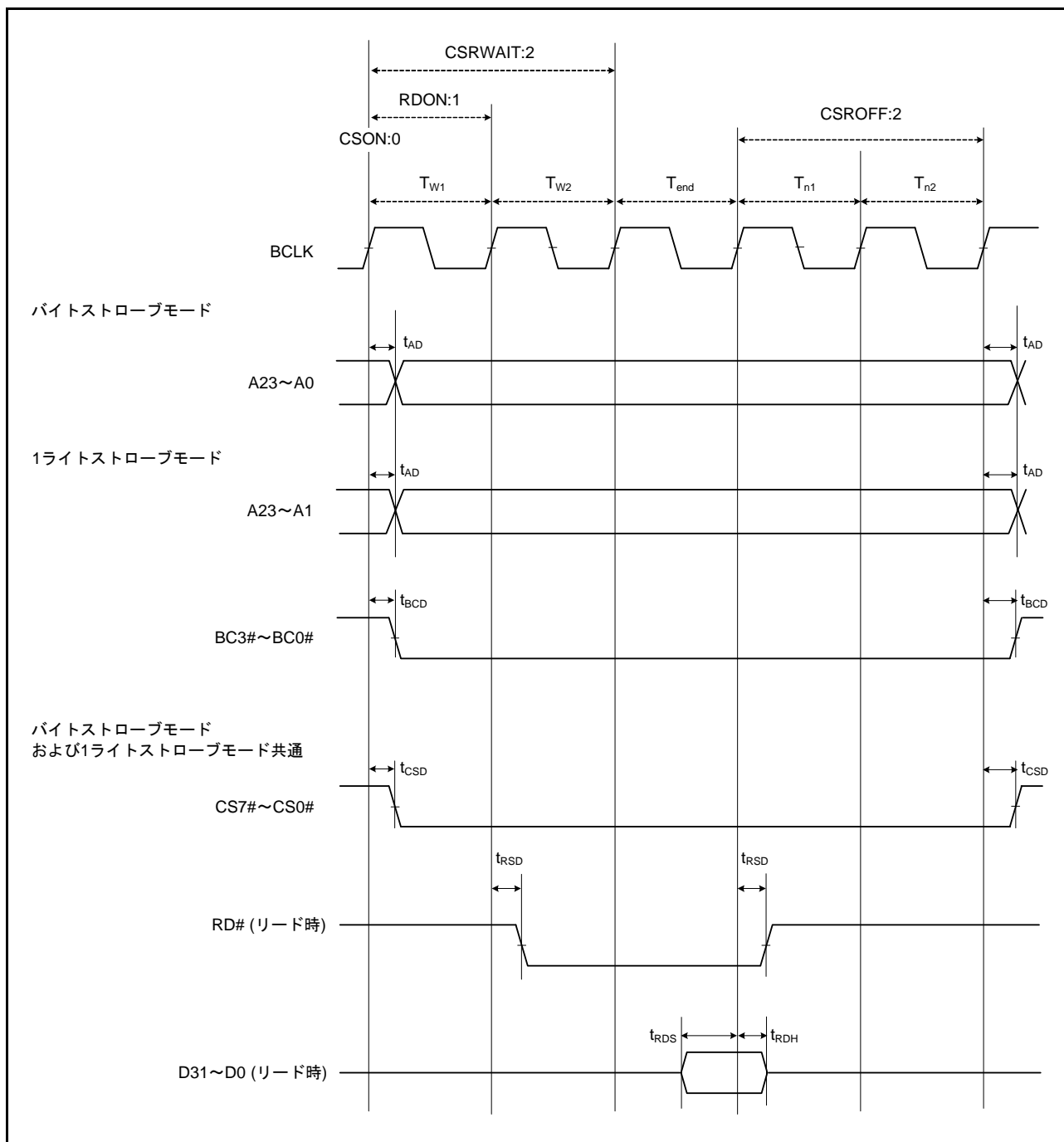


図 2.18 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

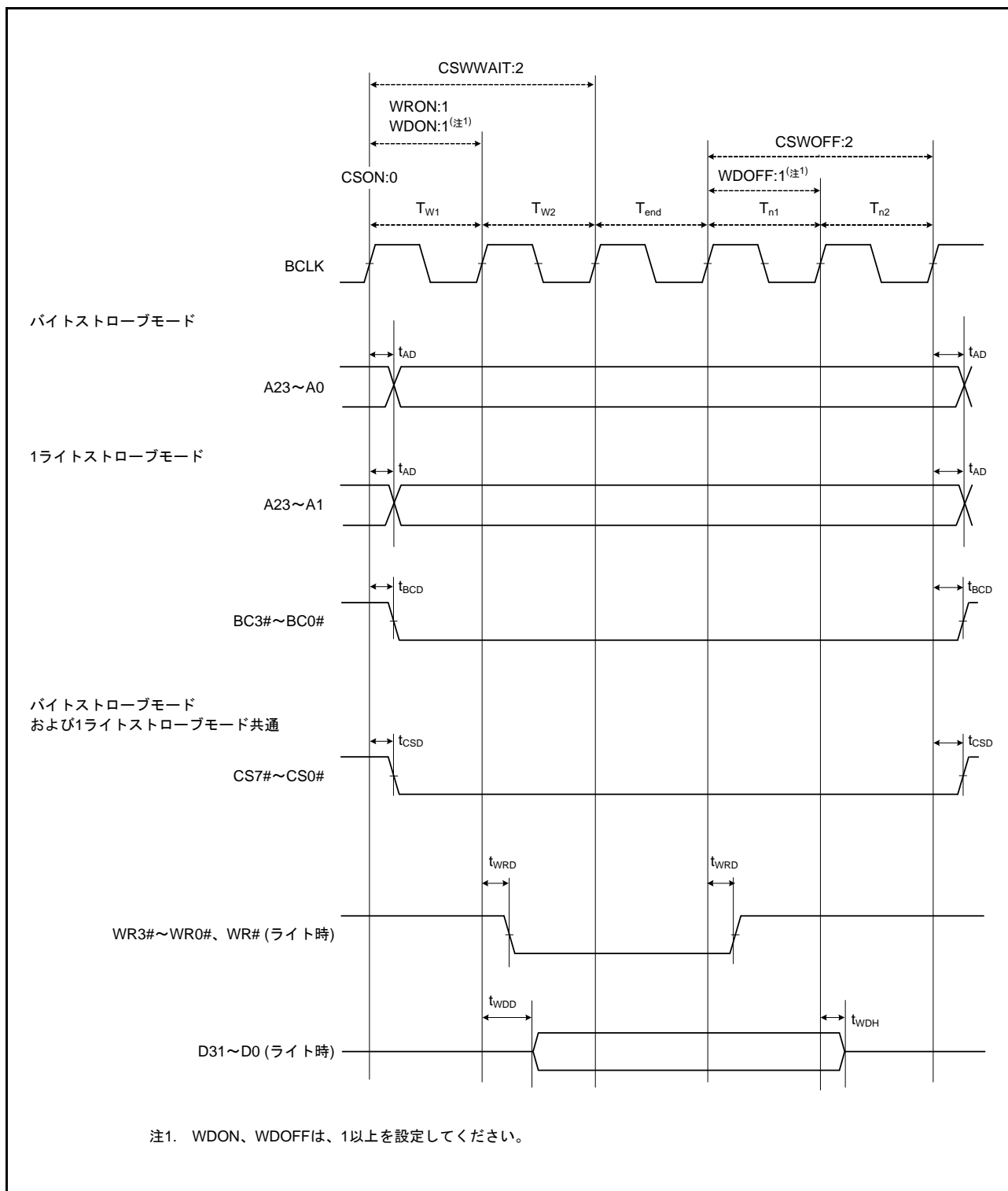


図 2.19 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

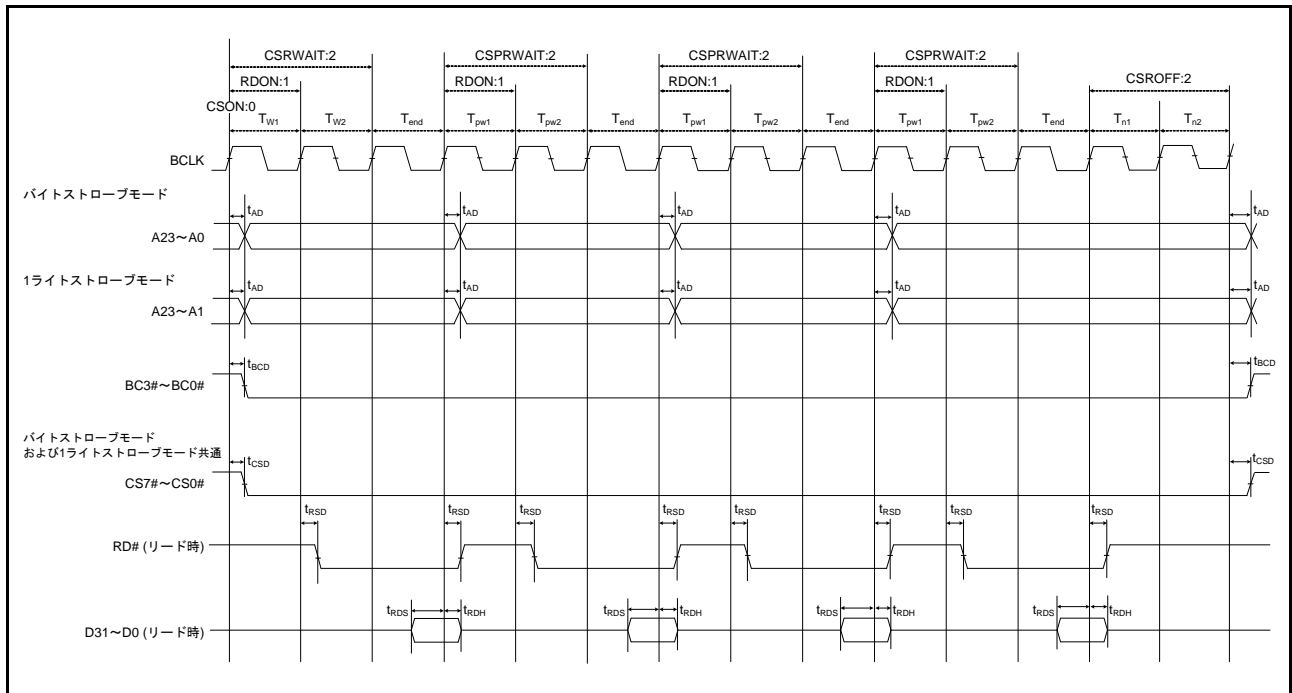
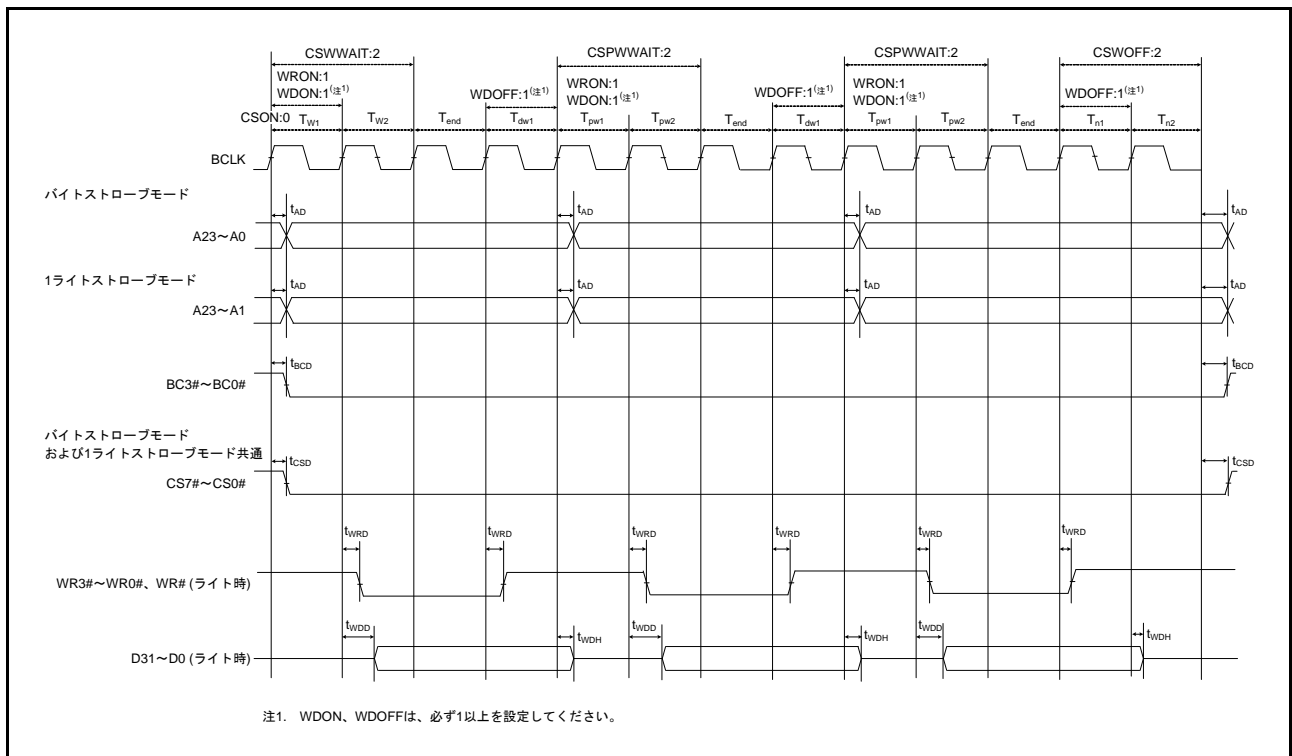


図 2.20 外部バスタイミング / ページリードサイクル (バスクロック同期)



注1. WDON, WDOFFは、必ず1以上を設定してください。

図 2.21 外部バスタイミング / ページライトサイクル (バスクロック同期)

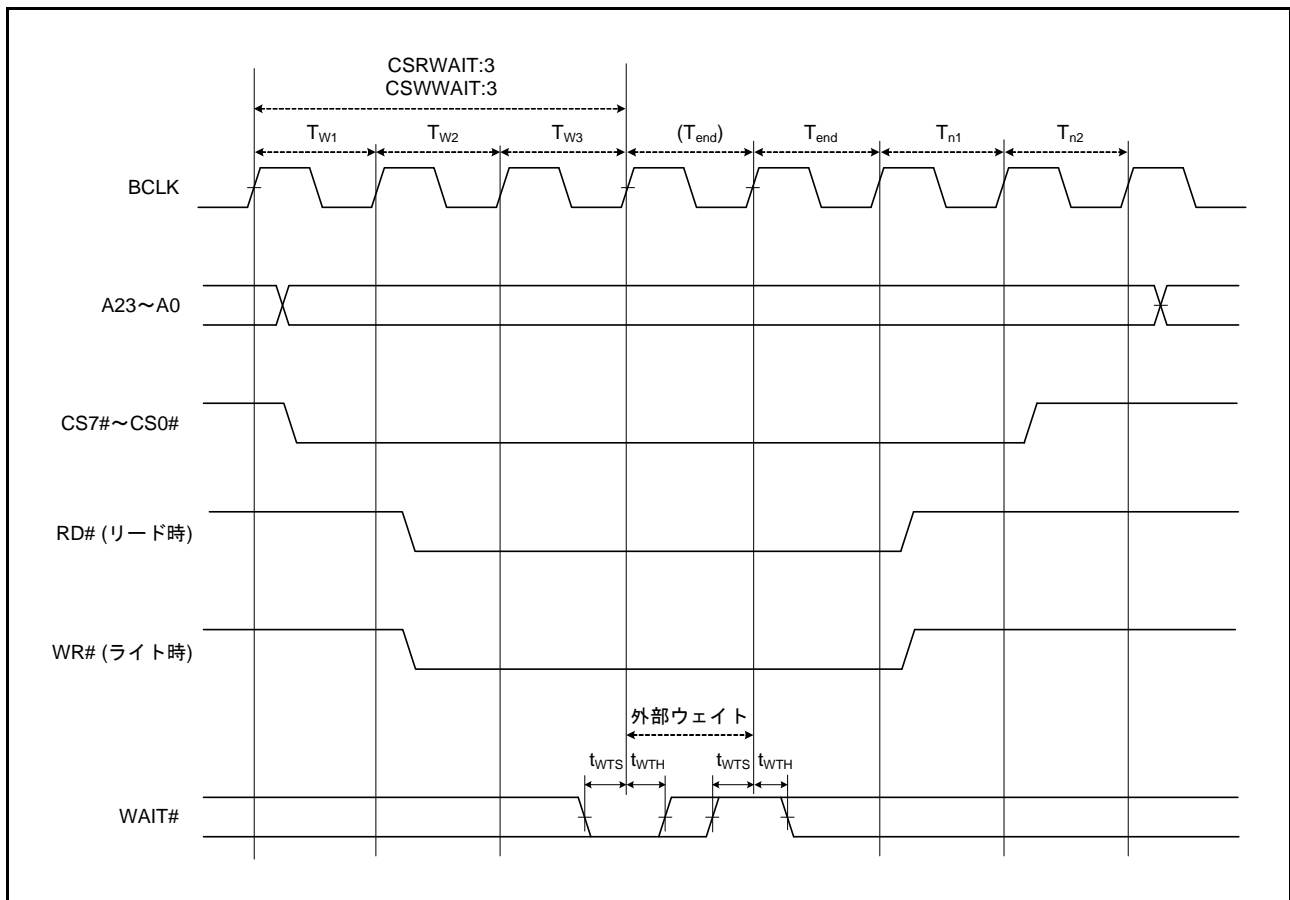


図 2.22 外部バスタイミング / 外部ウェイト制御

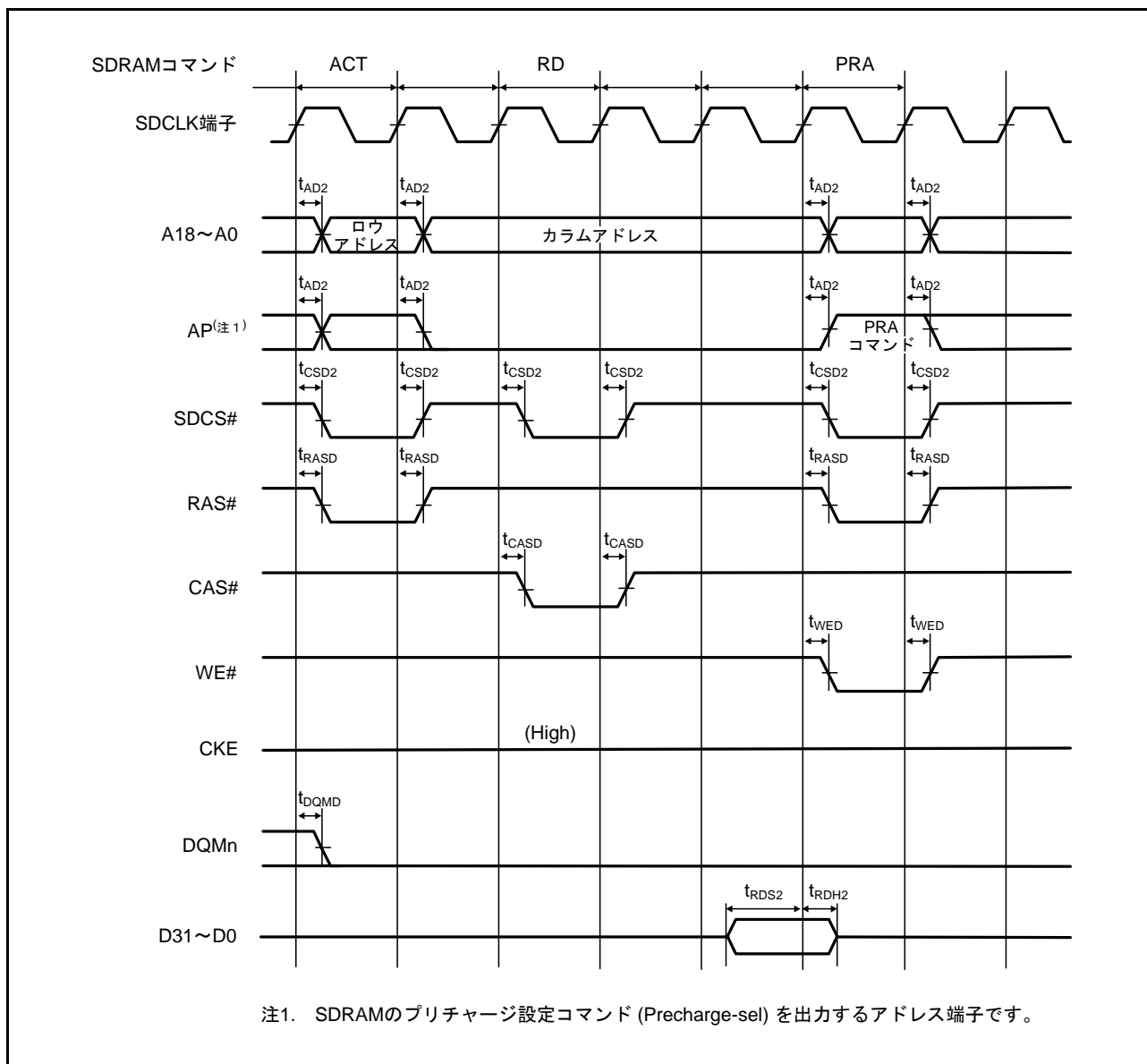


図 2.23 SDRAM 空間シングルリードバスタイミング

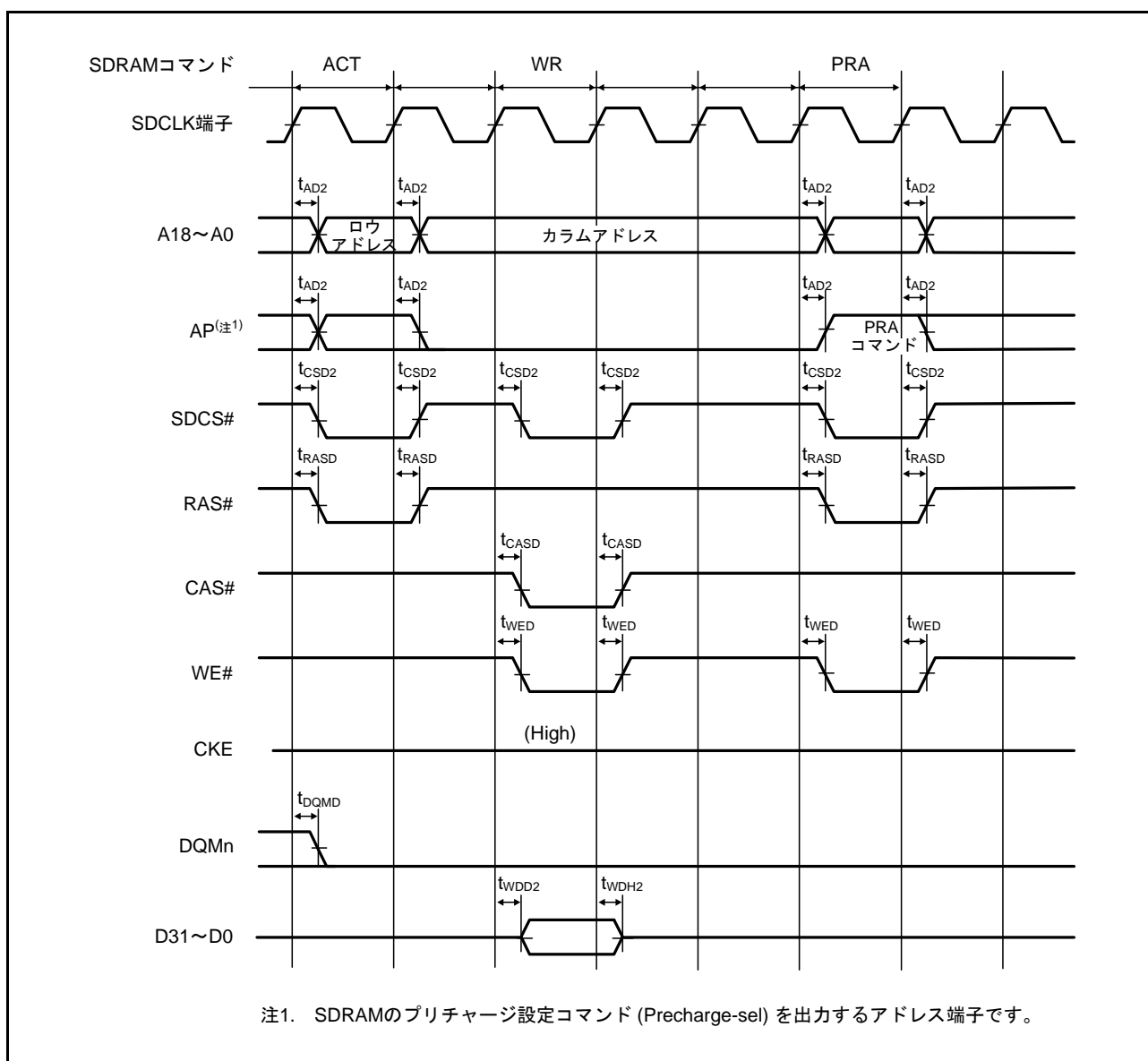


図 2.24 SDRAM 空間シングルライトバスタイミング

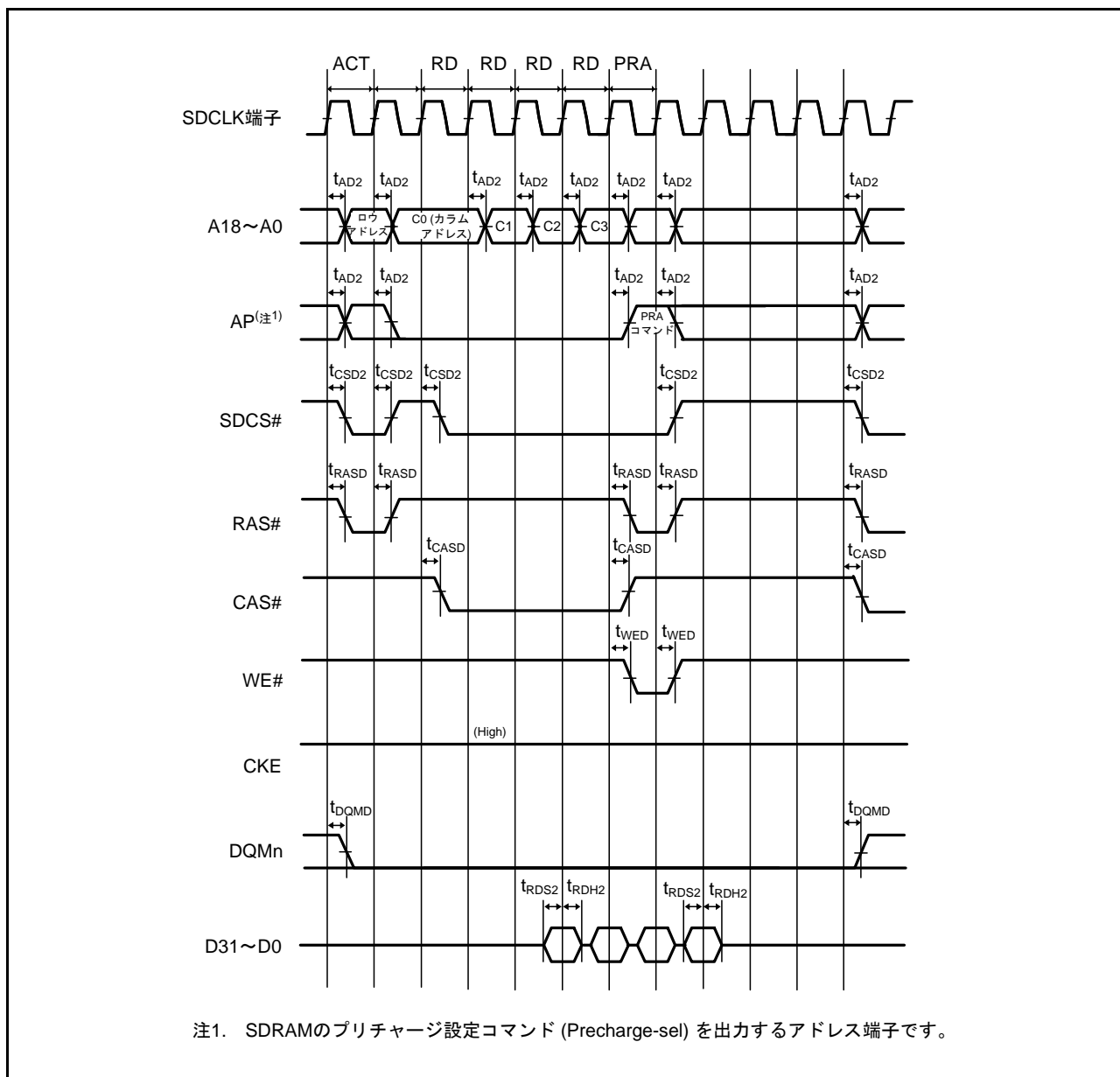


図 2.25 SDRAM 空間複数リードバスタイミング

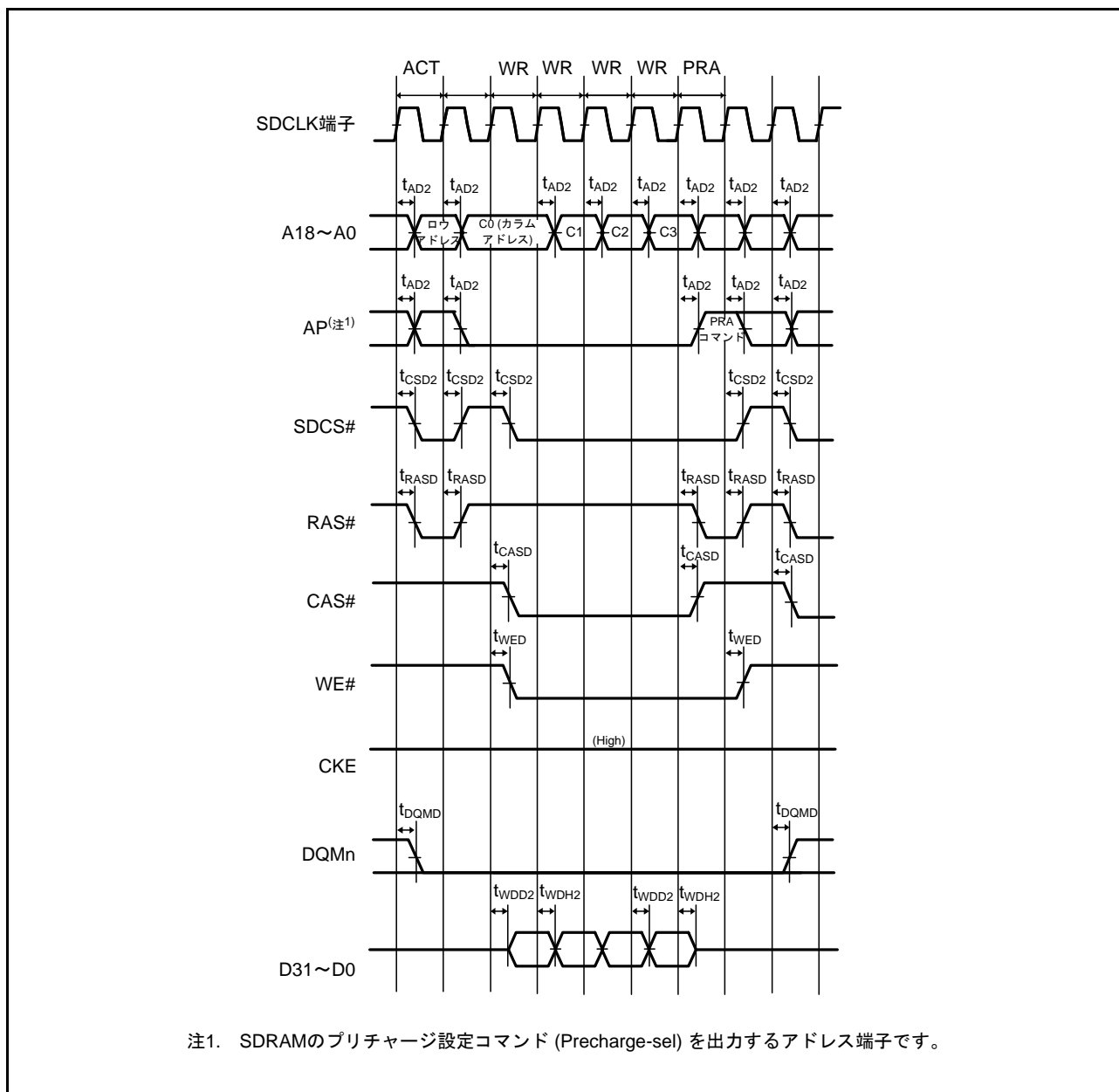


図 2.26 SDRAM 空間複数ライトバスタイミング

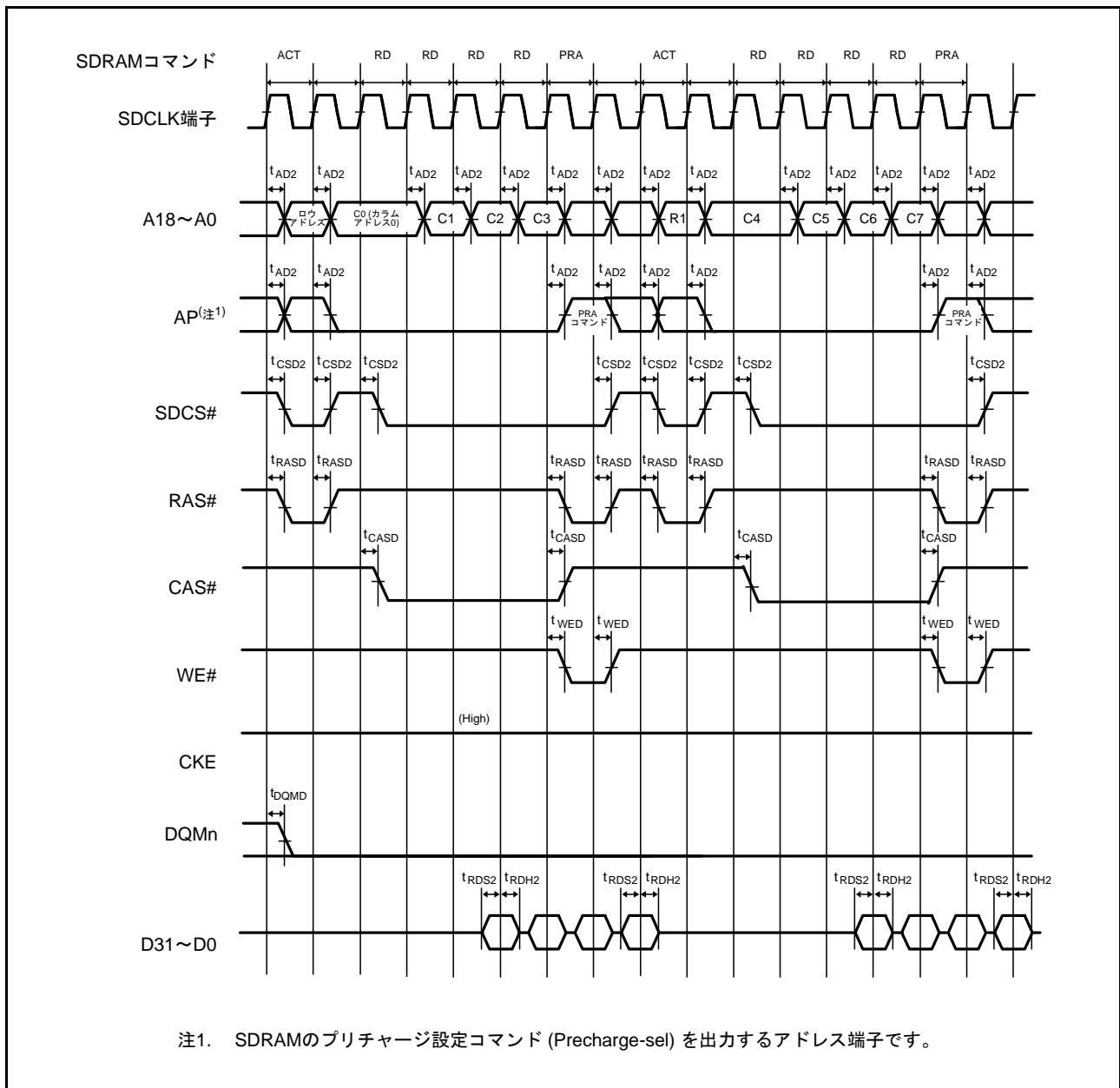


図 2.27 SDRAM 空間複数リード行またぎバスタイミング

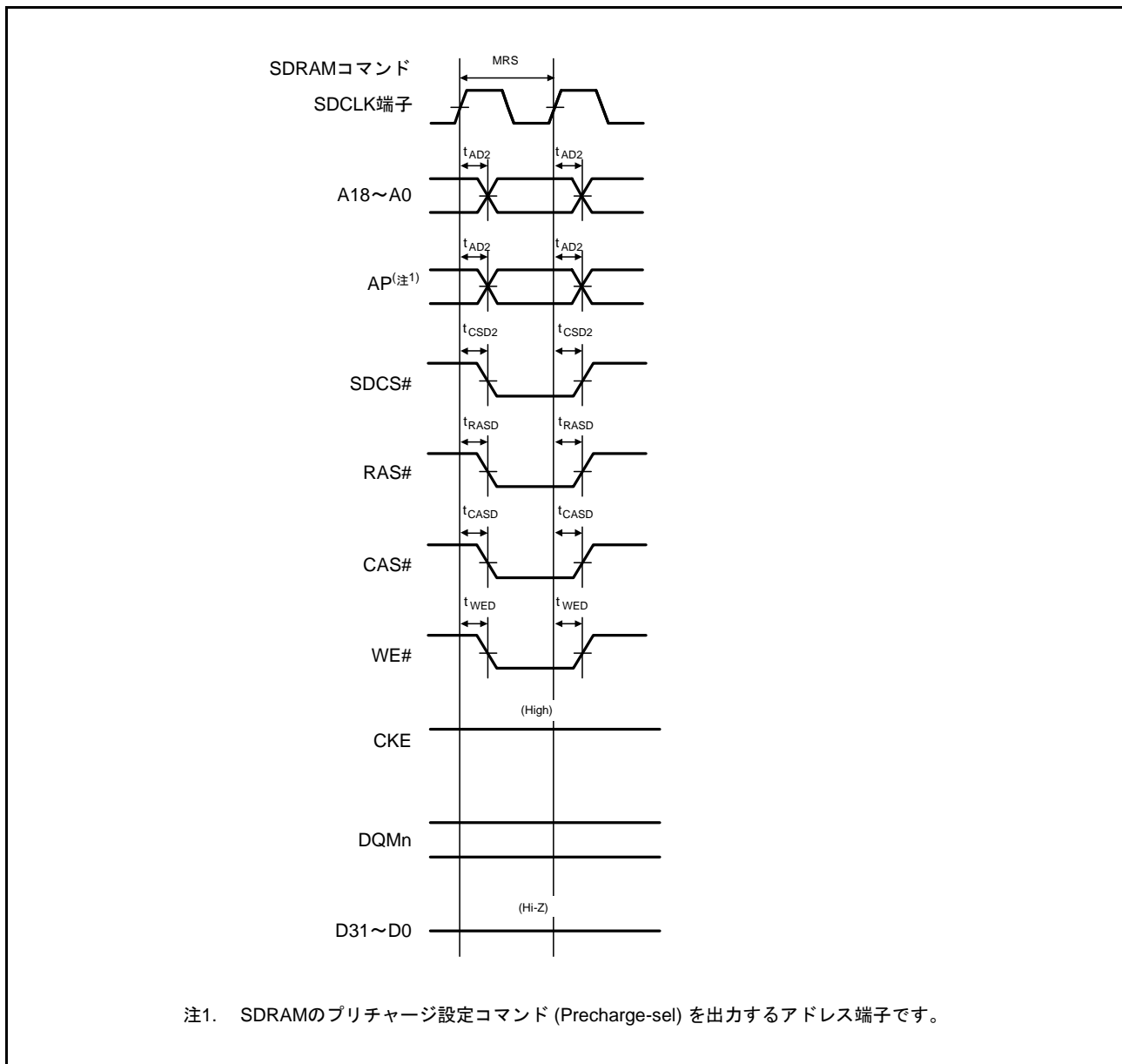


図 2.28 SDRAM 空間モードレジスタセットバスタイミング

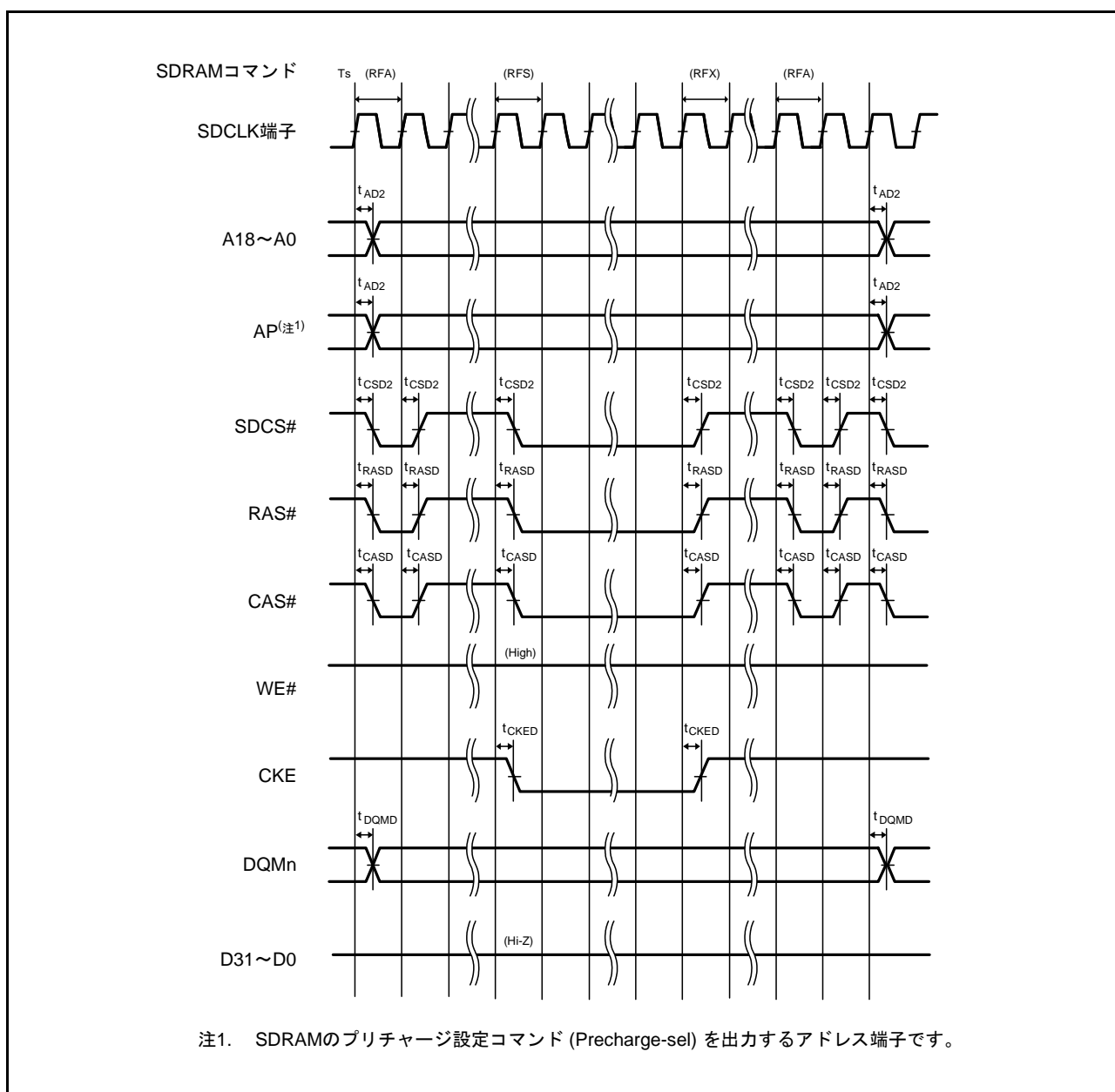


図 2.29 SDRAM 空間セルフリフレッシュバスタイミング

2.3.6 EXDMAC タイミング

表2.24 EXDMAC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $ICLK = PCLKA = 8 \sim 120MHz$, $PCLKB = BCLK = SDCLK = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	13	—	ns	図2.30
	EDREQ ホールド時間	t_{EDRQH}	2	—	ns	
	EDACK 遅延時間	t_{EDACD}	—	13	ns	図2.31、 図2.32

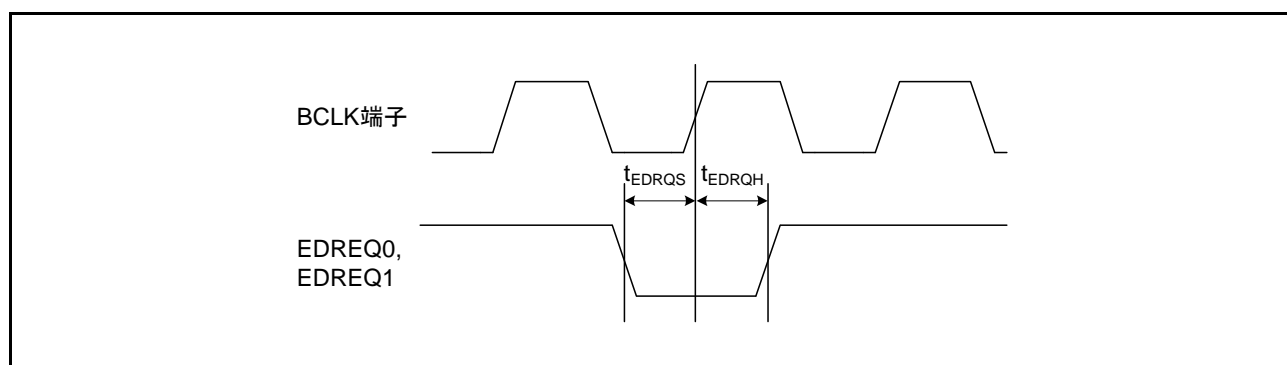


図 2.30 EDREQ0、EDREQ1 入力タイミング

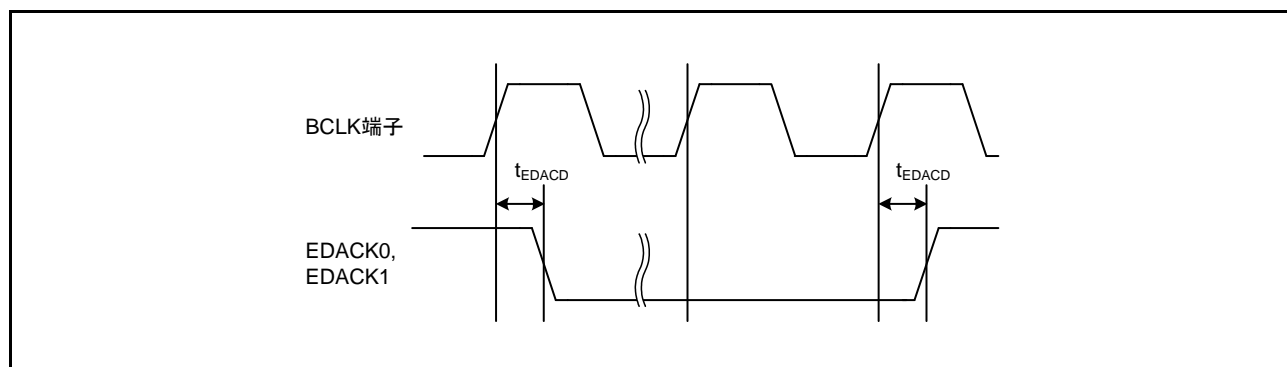


図 2.31 EDACK0、EDACK1 シングルアドレス転送タイミング (CS 領域)

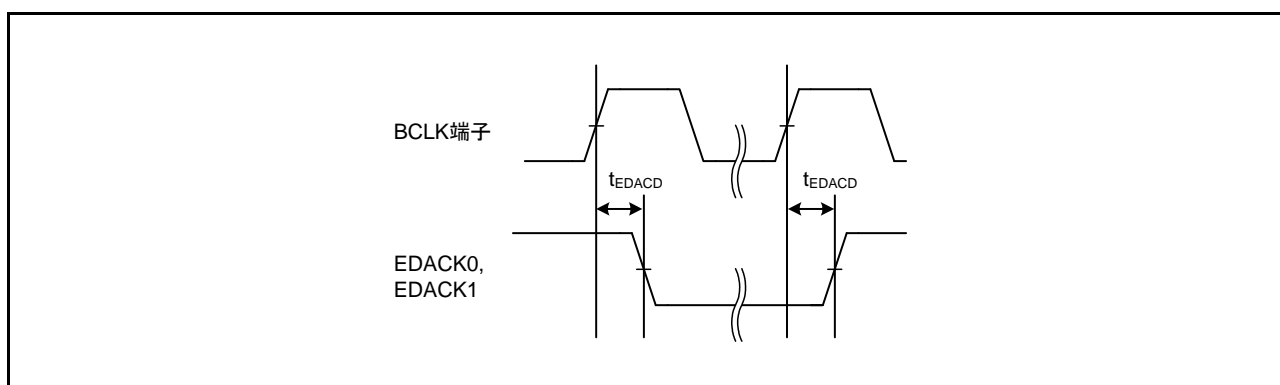


図 2.32 EDACK0、EDACK1 シングルアドレス転送タイミング (SDRAM 領域)

2.3.7 内蔵周辺モジュールタイミング

2.3.7.1 I/Oポート

表2.25 I/Oポートタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, $2.7 \leq VREFH0 \leq AVCC0$,
VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}
出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t _{PRW}	1.5	—	t _{PBcyc}	図2.33

注1. t_{PBcyc} : PCLKBの周期

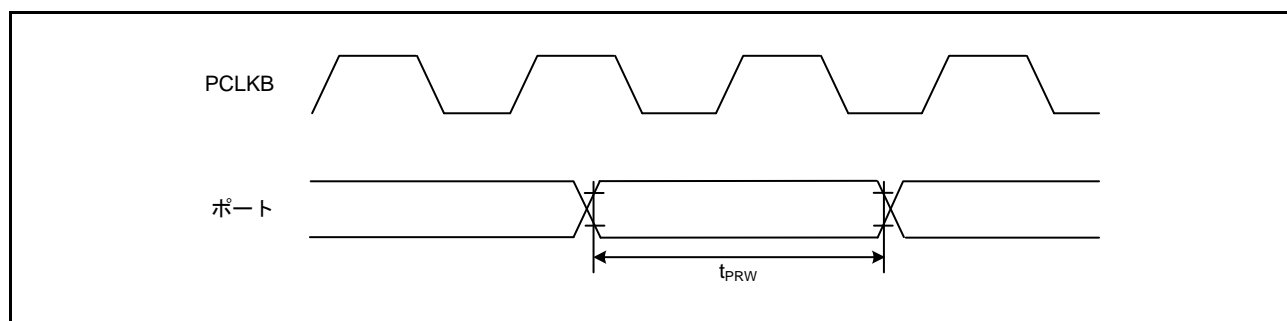


図 2.33 I/Oポート入力タイミング

2.3.7.2 TPU

表2.26 TPUタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,
 VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
 PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}
 出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
TPU	インプットキャプチャ入力 パルス幅	単エッジ指定	t _{TICW}	1.5	—	t _{PBcyc}	図2.34
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t _{TCKWH} , t _{TCKWL}	1.5	—	t _{PBcyc}	図2.35
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PBcyc} : PCLKBの周期

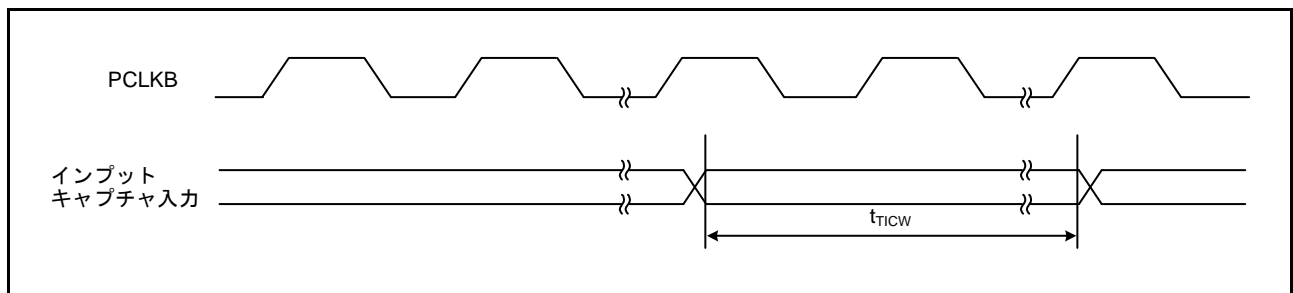


図 2.34 TPU インプットキャプチャ入力タイミング

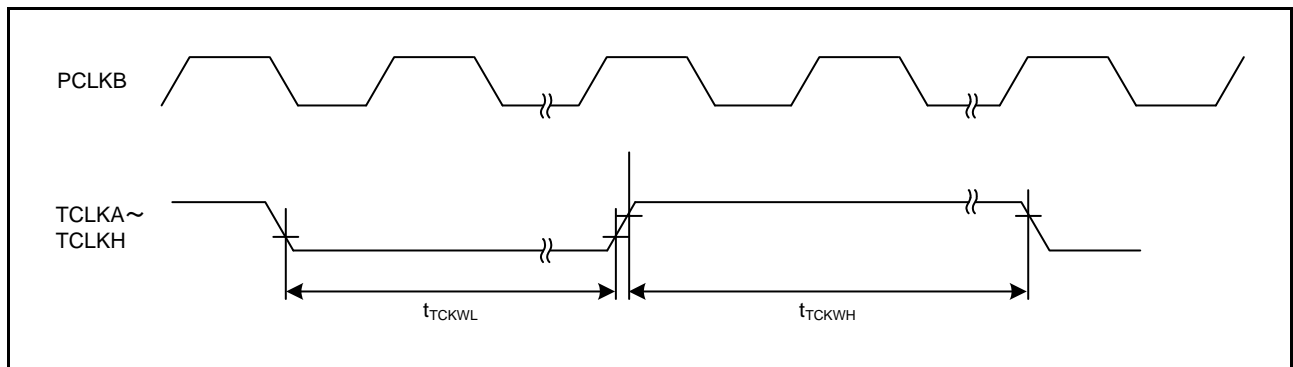


図 2.35 TPU クロック入力タイミング

2.3.7.3 TMR

表2.27 TMRタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{PBcyc} 図2.36
		両エッジ指定	t_{TMCWL}	2.5	—	

注1. t_{PBcyc} : PCLKBの周期

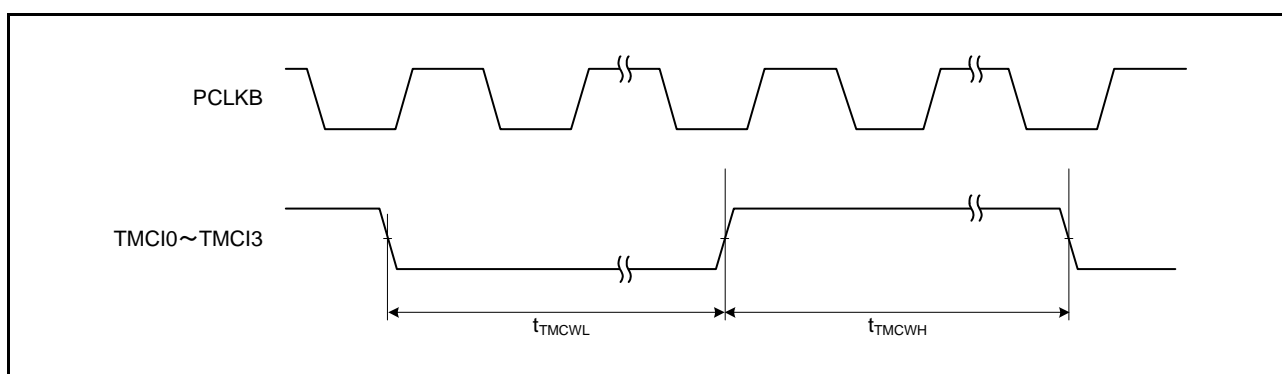


図 2.36 TMR クロック入力タイミング

2.3.7.4 CMTW

表2.28 CMTWタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
CMTW	インプットキャプチャ入力パルス幅	単エッジ指定	$t_{CMTWTICW}$	1.5	—	t_{PBcyc} 図2.37
		両エッジ指定		2.5	—	

注1. t_{PBcyc} : PCLKBの周期

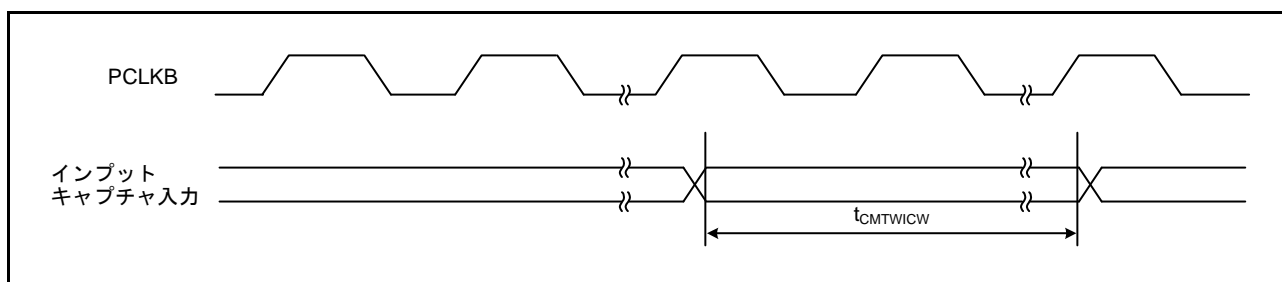


図 2.37 CMTW インプットキャプチャ入力タイミング

2.3.7.5 MTU3

表2.29 MTU3 タイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PAcyc}	図2.38
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	t_{PAcyc}	図2.39
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{PAcyc} : PCLKAの周期

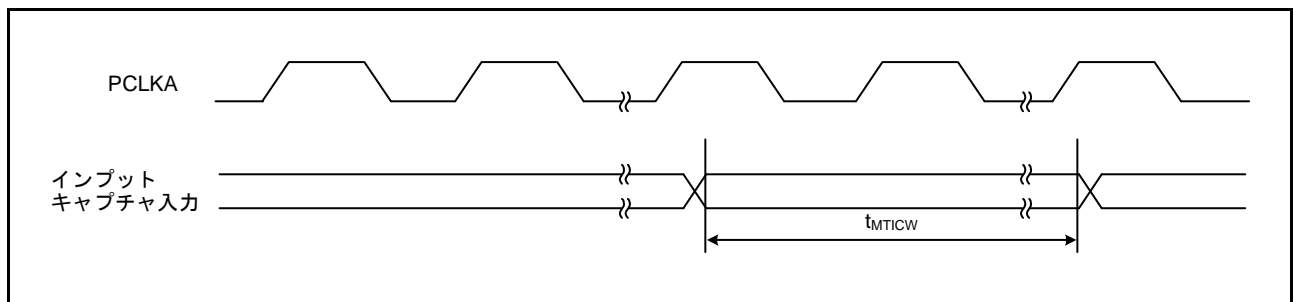


図 2.38 MTU3 インプットキャプチャ入力タイミング

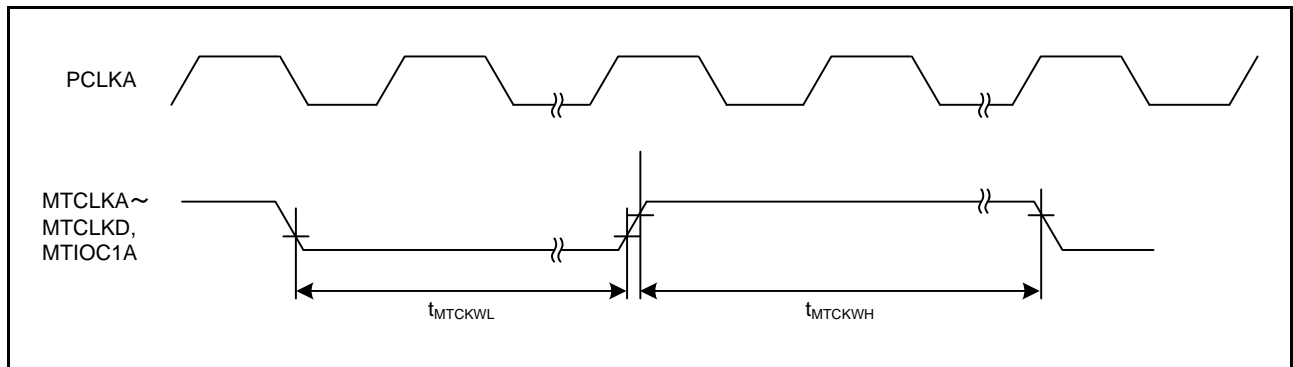


図 2.39 MTU3 クロック入力タイミング

2.3.7.6 POE3

表2.30 POE3 タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn# 入力パルス幅	t_{POEW}	1.5	—	—	t_{PBcyc}	図2.40	
	出力ディセーブル時間	POEn# 端子の変化	t_{POEDI}	—	—	$5 PCLKB + 0.24$	μs	図2.41 立ち下がりがエッジ検出時 (ICSRm.POEnM[3:0] = 0000b ($m = 1 \sim 5$, $n = 0, 4, 8, 10, 11$))
		出力端子の短絡	t_{POEDO}	—	—	$3 PCLKB + 0.2$	μs	図2.42
	レジスタ設定	t_{POEDS}	—	—	$1 PCLKB + 0.2$	μs	図2.43 レジスタアクセス時間は除く	
	発振停止検出	t_{POEDOS}	—	—	21	μs	図2.44	

注1. t_{PBcyc} : PCLKBの周期

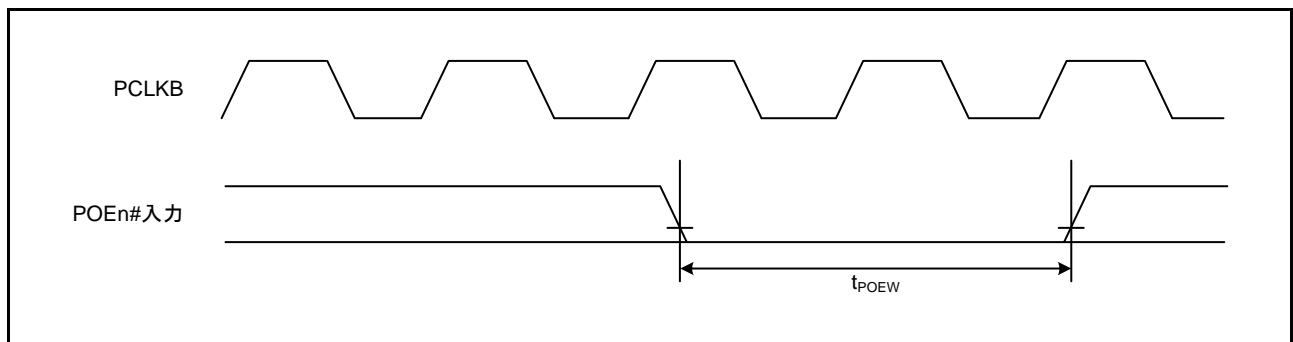


図 2.40 POE# 端子入力タイミング

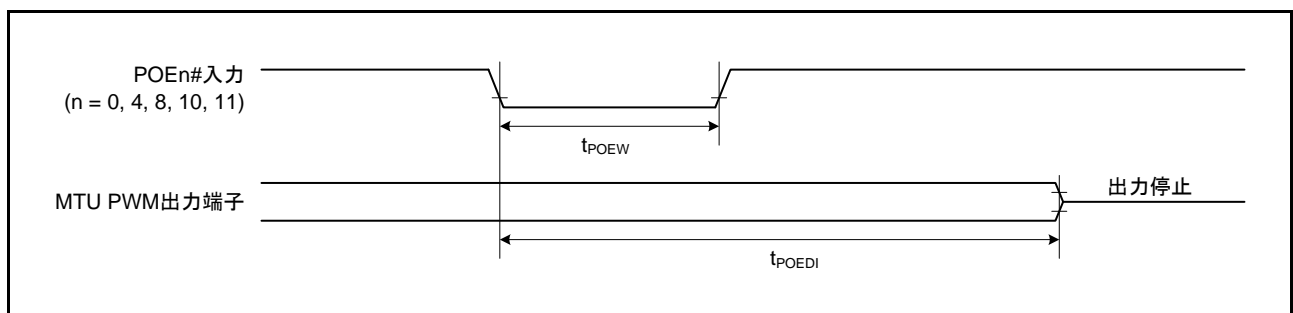


図 2.41 POE 出力ディセーブル時間 (POEn# 端子の変化)

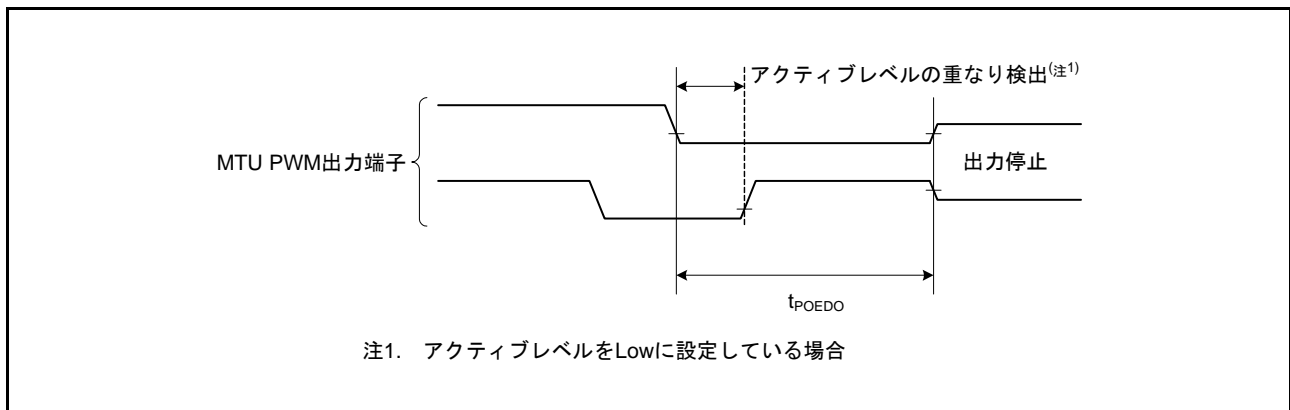


図 2.42 POE 出力ディセーブル時間 (出力端子の短絡)

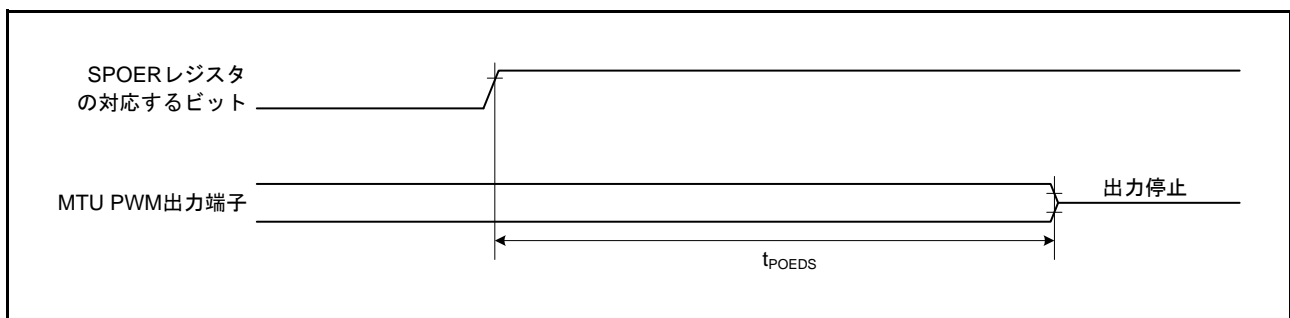


図 2.43 POE 出力ディセーブル時間 (レジスタ設定)

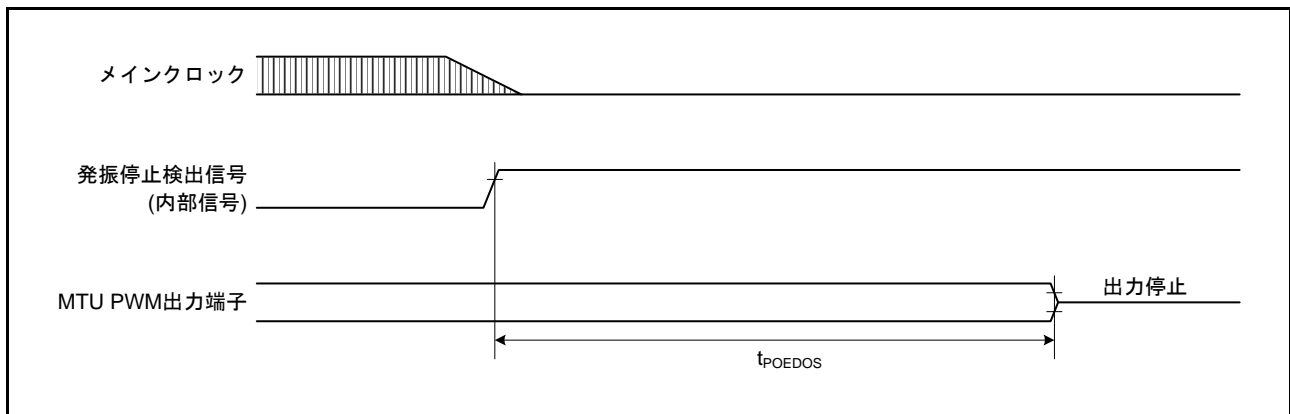


図 2.44 POE 出力ディセーブル時間 (発振停止検出)

2.3.7.7 GPT

表2.31 GPTタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
GPT	インプットキャプチャ入力 パルス幅	単エッジ指定	3	—	t_{pAcyc}	図2.45
		両エッジ指定	5	—		
	外部トリガ入力パルス幅	単エッジ指定	1.5	—	t_{pAcyc}	図2.46
		両エッジ指定	2.5	—		

注1. t_{pAcyc} : PCLKAの周期

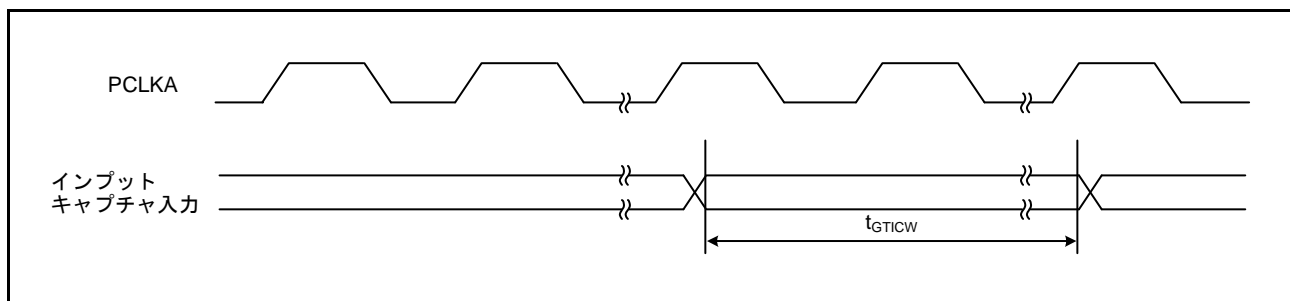


図 2.45 GPT インプットキャプチャ入力タイミング

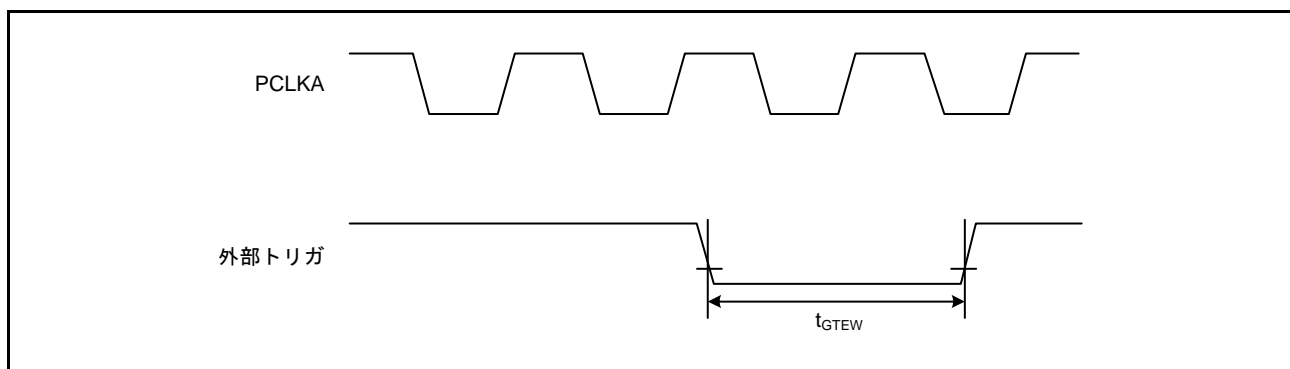


図 2.46 GPT 外部トリガ入力タイミング

2.3.7.8 SCI

表 2.32 SCI, SCIF タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件		
SCI	入カクロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PBcyc}	図 2.47	
		クロック同期		6	—			
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入カクロック立ち上がり時間		t_{SCKr}	—	5	ns		
	入カクロック立ち下がり時間		t_{SCKf}	—	5	ns		
	出カクロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{PBcyc}		
		クロック同期		4	—			
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出カクロック立ち上がり時間		t_{SCKr}	—	5	ns		
	出カクロック立ち下がり時間		t_{SCKf}	—	5	ns		
	送信データ遅延時間	クロック同期	t_{TXD}	—	28	ns		図 2.48
受信データセットアップ時間	クロック同期	t_{RXS}	15	—	ns			
受信データホールド時間	クロック同期	t_{RXH}	5	—	ns			
SCIF	入カクロックサイクル	調歩同期	t_{Scyc}	4	—	t_{PAcyc}	図 2.47	
		クロック同期		12	—			
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入カクロック立ち上がり時間		t_{SCKr}	—	5	ns		
	入カクロック立ち下がり時間		t_{SCKf}	—	5	ns		
	出カクロックサイクル	調歩同期 (注3)	t_{Scyc}	8	—	t_{PAcyc}		
		クロック同期		4	—			
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出カクロック立ち上がり時間		t_{SCKr}	—	5	ns		
	出カクロック立ち下がり時間		t_{SCKf}	—	5	ns		
	送信データ遅延時間	マスタ	t_{TXD}	—	10	ns		図 2.48
		スレーブ		—	$4 \times t_{PAcyc} + 20$			
	受信データセットアップ時間	マスタ	t_{RXS}	$3 \times t_{PAcyc} + 20$	—	ns		
		スレーブ		$t_{PAcyc} + 10$	—			
受信データホールド時間	マスタ	t_{RXH}	$-3 \times t_{PAcyc} + 5$	—	ns			
	スレーブ		$2 \times t_{PAcyc} + 10$	—				

注1. t_{PBcyc} : PCLKBの周期、 t_{PAcyc} : PCLKAの周期

注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

注3. SEMR.ABCS0ビット = 1かつSEMR.BGDMビット = 1のとき

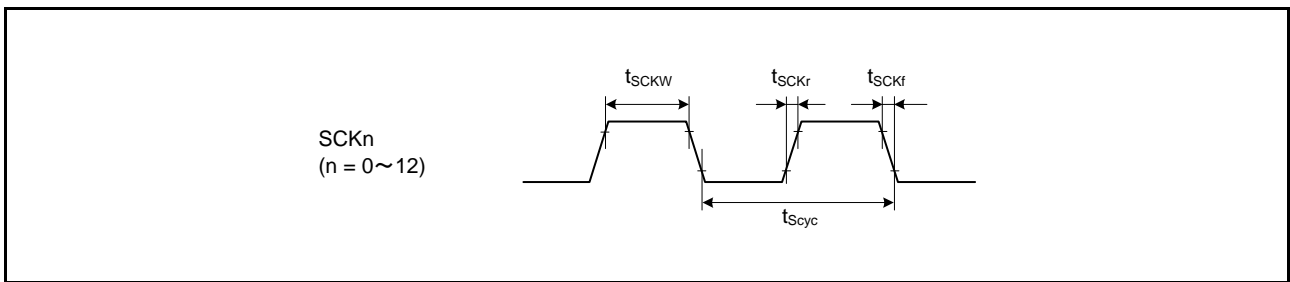


図 2.47 SCK クロック入力タイミング

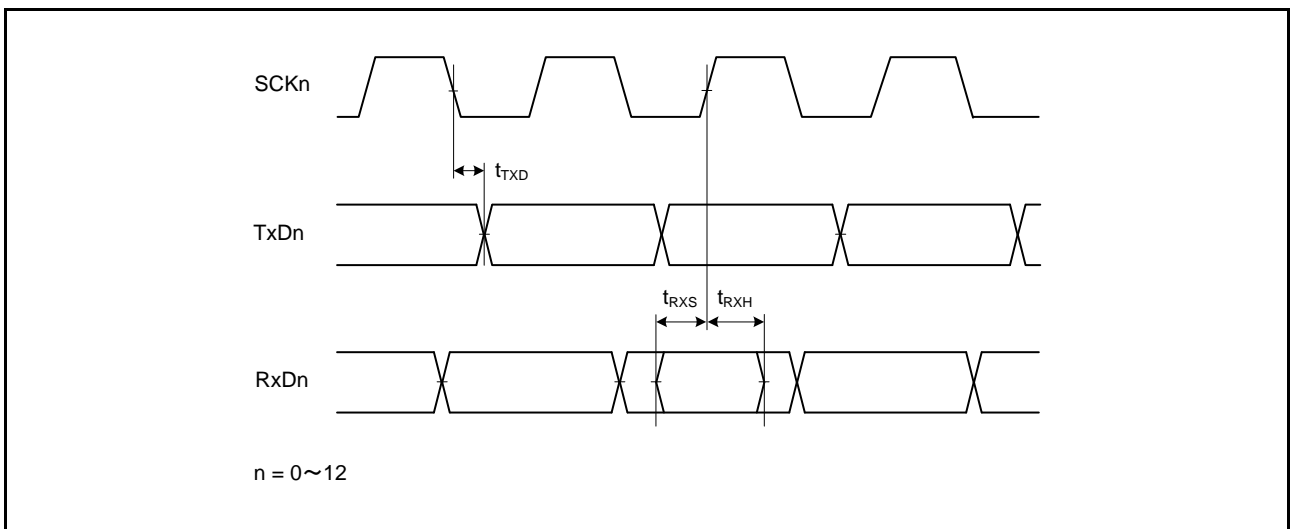


図 2.48 SCI 入出力タイミング / クロック同期式モード

表 2.33 簡易 IIC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min (注 1、注 2)	max	単位	測定条件	
簡易 IIC (Standard-mode)	SSDA 入力立ち上がり時間	t_{Sr}	1000	ns	図 2.49	
	SSDA 入力立ち下がり時間	t_{Sf}	300	ns		
	SSDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$		ns
	データ入カセットアップ時間	t_{SDAS}	250	—		ns
	データ入カホールド時間	t_{SDAH}	0	—		ns
	SSCL、SSDA の容量性負荷	C_b	—	400		pF
簡易 IIC (Fast-mode)	SSCL、SSDA 入力立ち上がり時間	t_{Sr}	300	ns	図 2.49	
	SSCL、SSDA 入力立ち下がり時間	t_{Sf}	300	ns		
	SSCL、SSDA 入カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$		ns
	データ入カセットアップ時間	t_{SDAS}	100	—		ns
	データ入カホールド時間	t_{SDAH}	0	—		ns
	SSCL、SSDA の容量性負荷	C_b	—	400		pF

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期、 t_{PBcyc} : PCLKB の周期
 注 1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。
 注 2. C_b はバスラインの容量総計です。

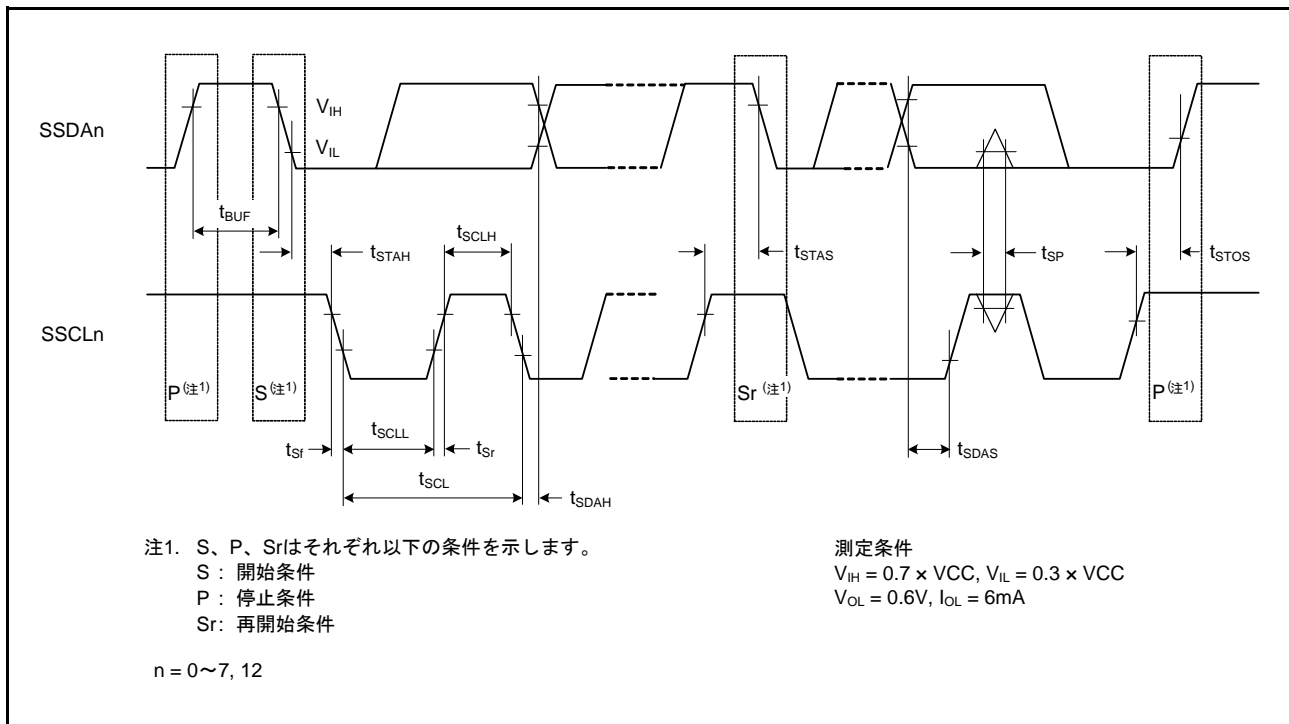


図 2.49 簡易 IIC バスインタフェース入出力タイミング

表 2.34 簡易 SPI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq V_{REFH0} \leq AV_{CC0},$
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V,$
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5, V_{OL} = V_{CC} \times 0.5, C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCK クロック サイクル 出力 (マスタ)	t_{SPCyc}	4	65536	t_{PBcyc}	図 2.50 図 2.51 ~ 図 2.54
	SCK クロック サイクル 入力 (スレーブ)		8	65536		
	SCK クロック High 幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}	
	SCK クロック Low 幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}	
	SCK クロック 立ち上がり/立ち下がり時間	t_{SPCKr}, t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	—	ns	
	データ入力ホールド時間	t_H	33.3	—	ns	
	SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPCyc}	
	SS 入力ホールド時間	t_{LAG}	1	—	t_{SPCyc}	
	データ出力遅延時間	t_{OD}	—	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t_{Dr}, t_{Df}	—	16.6	ns	
	SS 入力立ち上がり/立ち下がり時間	t_{SSLr}, t_{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t_{SA}	—	5	t_{PBcyc}	
スレーブ出力開放時間	t_{REL}	—	5	t_{PBcyc}		

注 1. t_{PBcyc} : PCLKB の周期

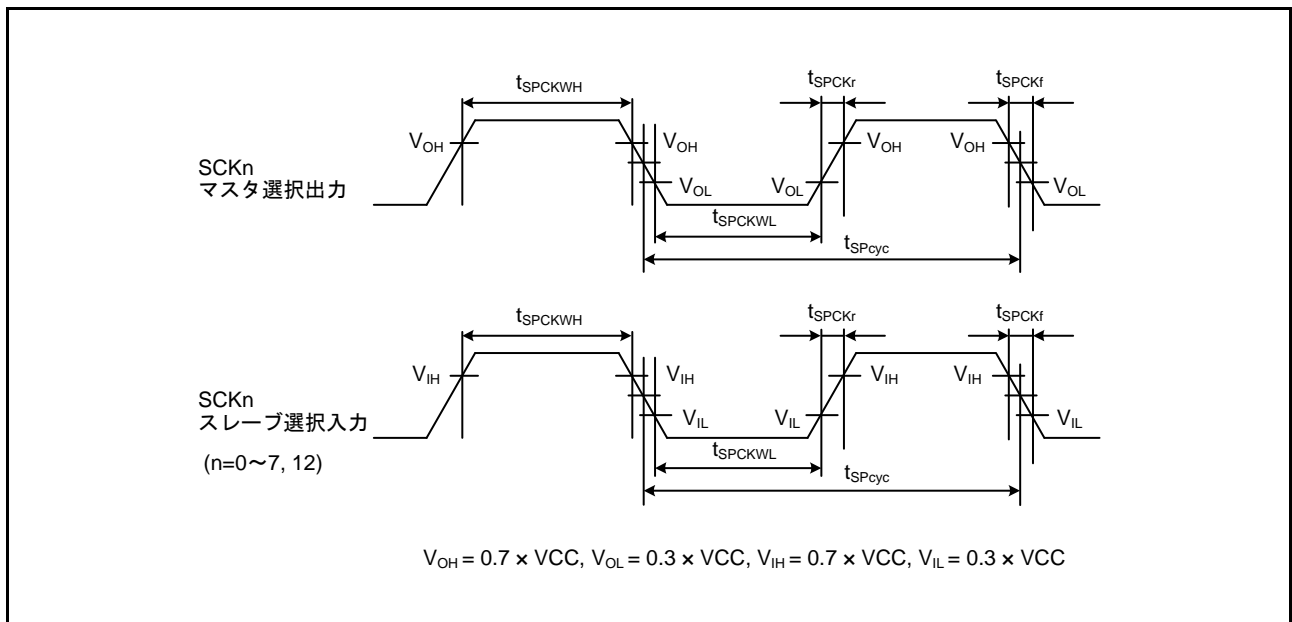


図 2.50 簡易 SPI クロック タイミング

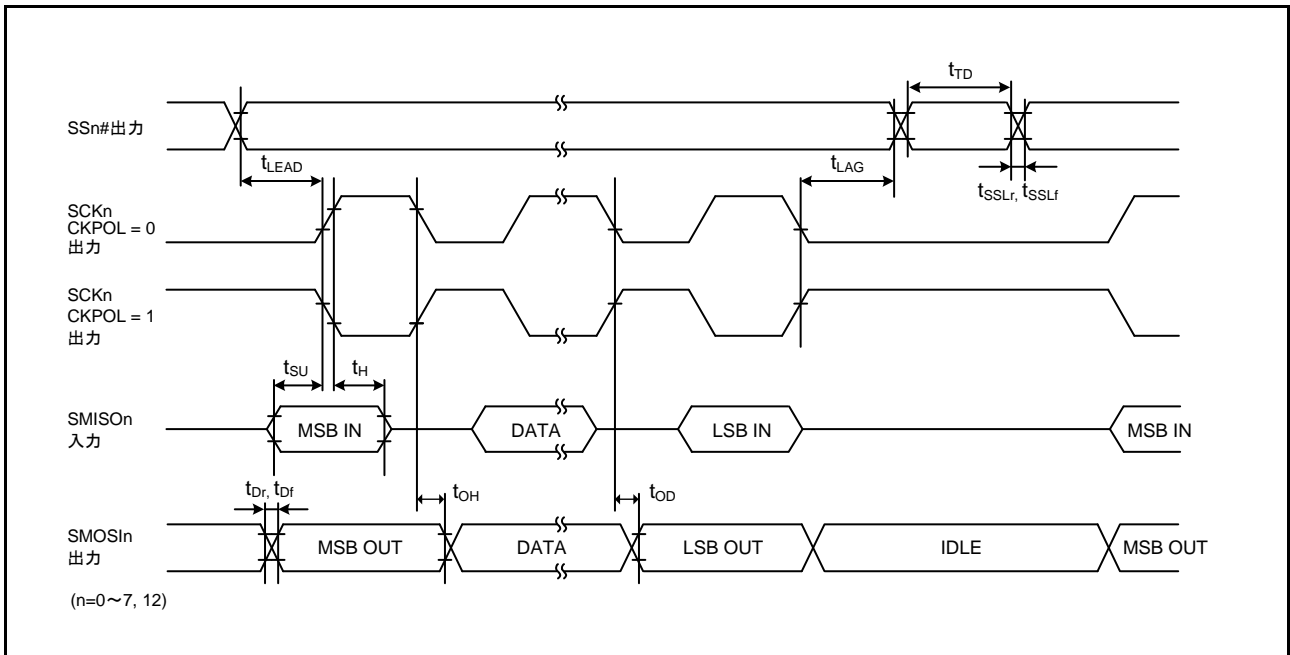


図 2.51 簡易 SPI タイミング (マスタ、CKPH = 1)

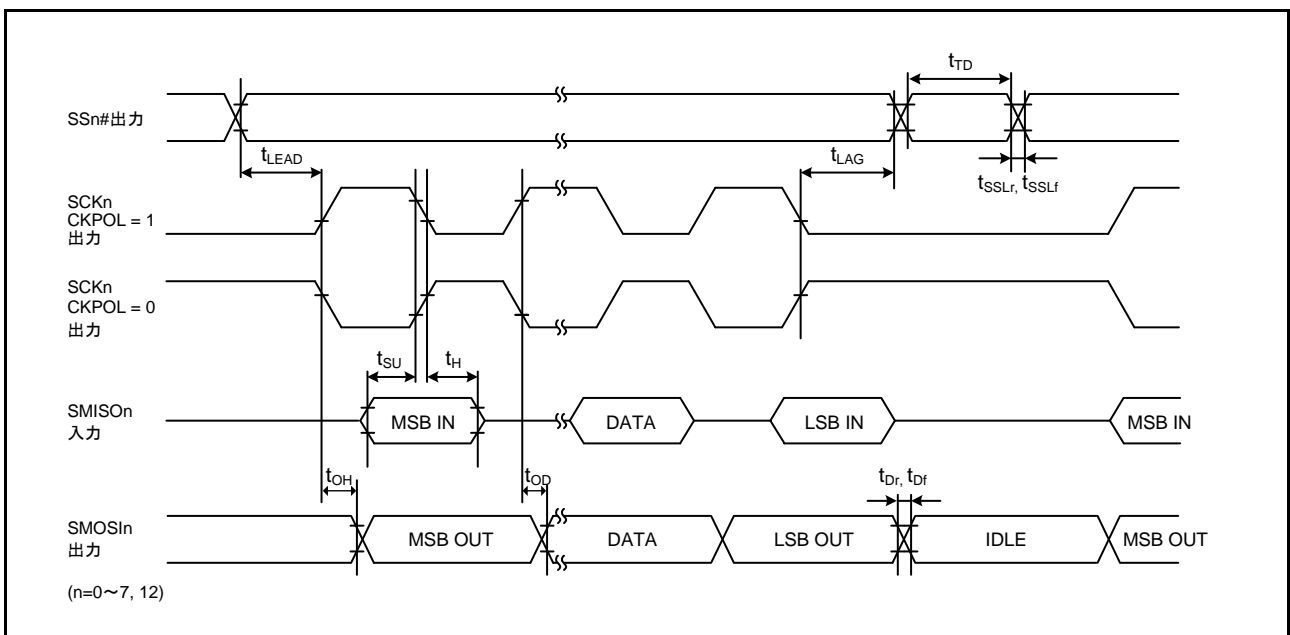


図 2.52 簡易 SPI タイミング (マスタ、CKPH = 0)

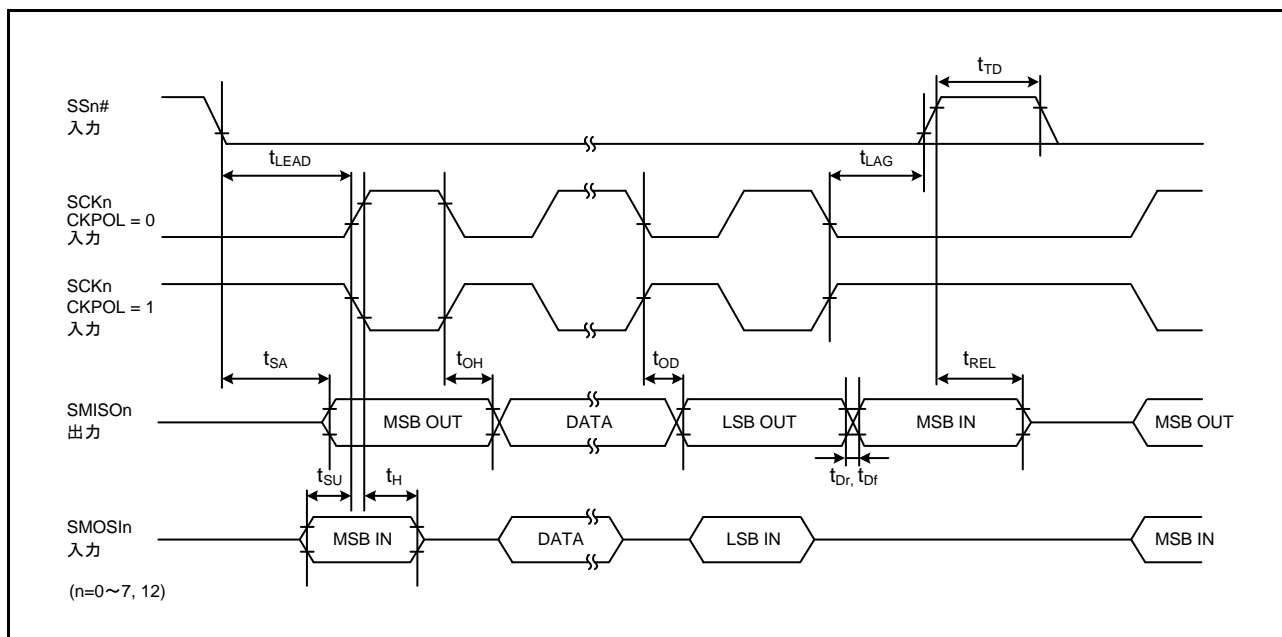


図 2.53 簡易 SPI タイミング (スレーブ、CKPH = 1)

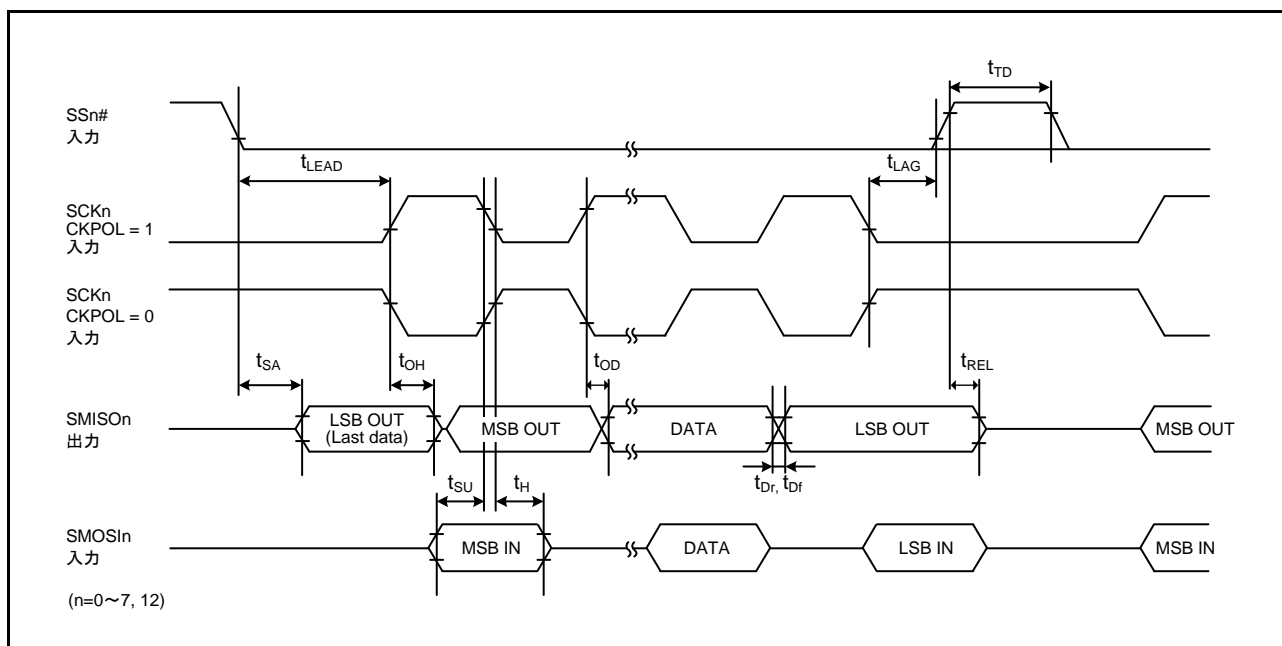


図 2.54 簡易 SPI タイミング (スレーブ、CKPH = 0)

2.3.7.9 RIIC

表 2.35 RIIC タイミング (1/2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min (注1、注2)	max	単位	測定条件	
RIIC (Standard-mode, SMBus) ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 1300$	—	ns	図 2.55
	SCL入力High幅	t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL入力Low幅	t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
	RIIC (Fast-mode) ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IIcCyc} + 600$	—	
SCL入力High幅		t_{SCLH}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
SCL入力Low幅		t_{SCLL}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
SCL、SDA入力立ち上がり時間		t_{Sr}	$20 \times (\text{外付けプルアップ電圧}/5.5V)$	300	ns	
SCL、SDA入力立ち下がり時間		t_{Sf}	$20 \times (\text{外付けプルアップ電圧}/5.5V)$	300	ns	
SCL、SDA入カスパイクパルス除去時間		t_{SP}	0	$1(4) \times t_{IIcCyc}$	ns	
SDA入カバスフリー時間		t_{BUF}	$3(6) \times t_{IIcCyc} + 300$	—	ns	
開始条件入力ホールド時間		t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
再送開始条件入力セットアップ時間		t_{STAS}	300	—	ns	
停止条件入力セットアップ時間		t_{STOS}	300	—	ns	
データ入力セットアップ時間		t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
データ入力ホールド時間		t_{SDAH}	0	—	ns	
SCL、SDAの容量性負荷		C_b	—	400	pF	

表 2.35 RIIC タイミング (2/2)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min (注1、注2)	max	単位	測定条件	
RIIC (Fast-mode+) ICFER.FMPE = 1	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 240$	—	ns	図 2.55
	SCL入力High幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL入力Low幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 120$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 120$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 20$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

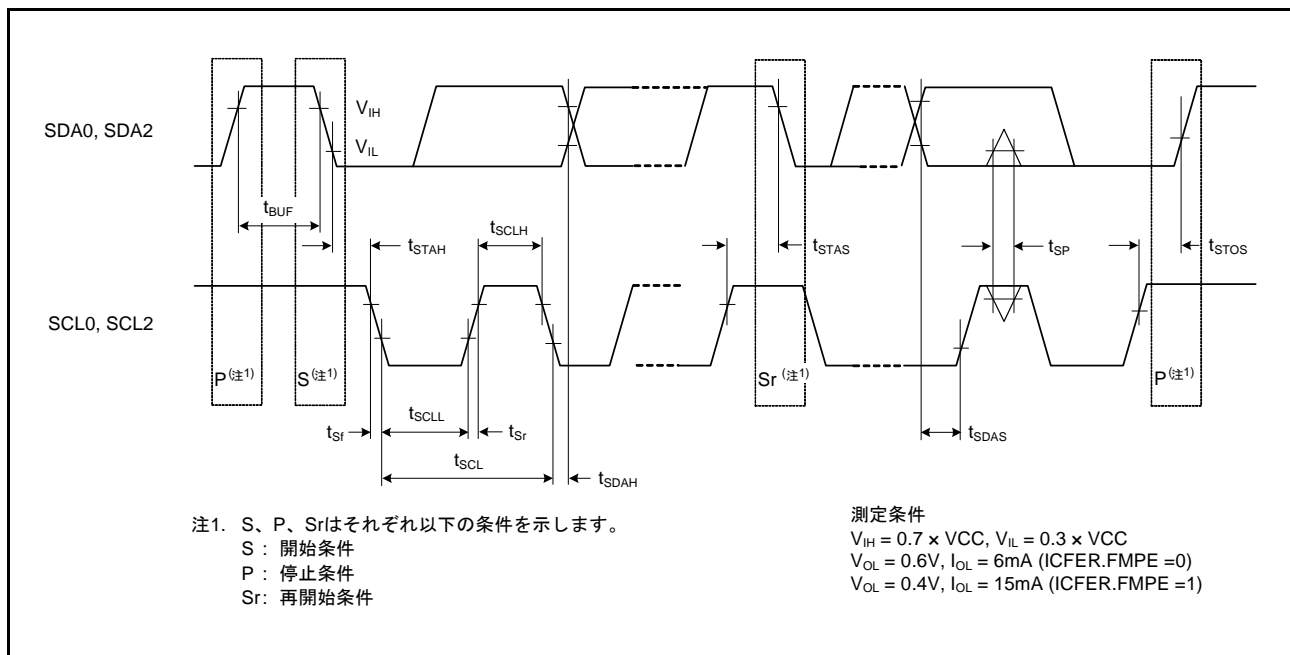


図 2.55 RIIC バスインタフェース入出力タイミング

2.3.7.10 RSPI

表 2.36 RSPI タイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,
VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}
出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号 V	min (注1)	max (注1)	単位 (注1)	測定条件 (注2)			
RSPI	RSPCK クロックサイクル	マスタ	t _{SPcyc}	2	4096	t _{PAcyc}	図 2.56		
		スレーブ		8	—				
	RSPCK クロック High 幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$		—			
	RSPCK クロック Low 幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$		—			
	RSPCK クロック 立ち上がり/立ち下がり時間	出力	t _{SPCKr} , t _{SPCKf}	—	5	ns		図 2.57 ~ 図 2.62	
		入力		—	1	μs			
	データ入力セットアップ時間	マスタ	t _{SU}	6	—	ns			
		スレーブ		8.3 - t _{PAcyc}	—				
	データ入力ホールド時間	マスタ	PCLKA を 2 分周に設定	t _{HF}	0	—			ns
			PCLKA を 2 分周以外に 設定	t _H	t _{PAcyc}	—			
		スレーブ			8.3 + 2 × t _{PAcyc}	—			
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}			
		スレーブ		4	—	t _{PAcyc}			
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}			
スレーブ		4		—	t _{PAcyc}				
データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns				
	スレーブ		—	3 × t _{PAcyc} + 20					
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns				
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	t _{SPcyc} + 2 × t _{PAcyc}	8 × t _{SPcyc} + 2 × t _{PAcyc}	ns				
	スレーブ		4 × t _{PAcyc}	—					
MOSI、MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	5	ns				
	入力		—	1	μs				
SSL 立ち上がり/立ち下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns				
	入力		—	1	μs				
スレーブアクセス時間		t _{SA}	—	4	t _{PAcyc}	図 2.61、 図 2.62			
スレーブ出力開放時間		t _{REL}	—	3	t _{PAcyc}				

注 1. t_{PAcyc} : PCLKA の周期

注 2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。RSPI については、電気的特性の AC タイミングを各グループで測定しています。

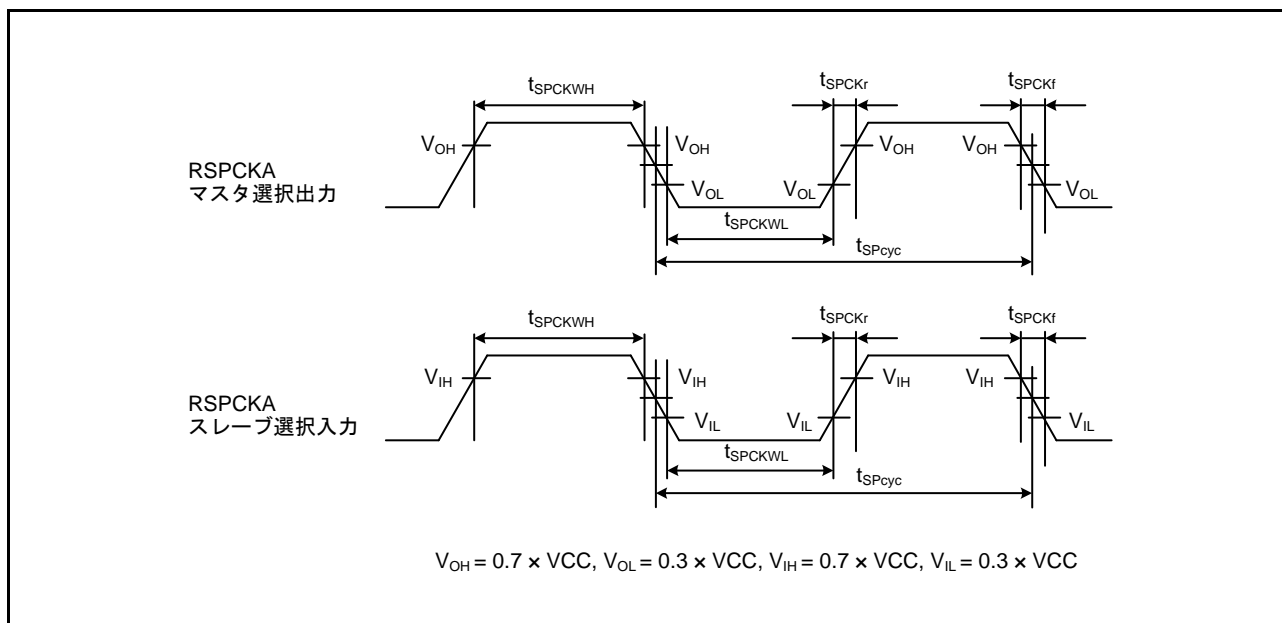


図 2.56 RSPCKA クロックタイミング

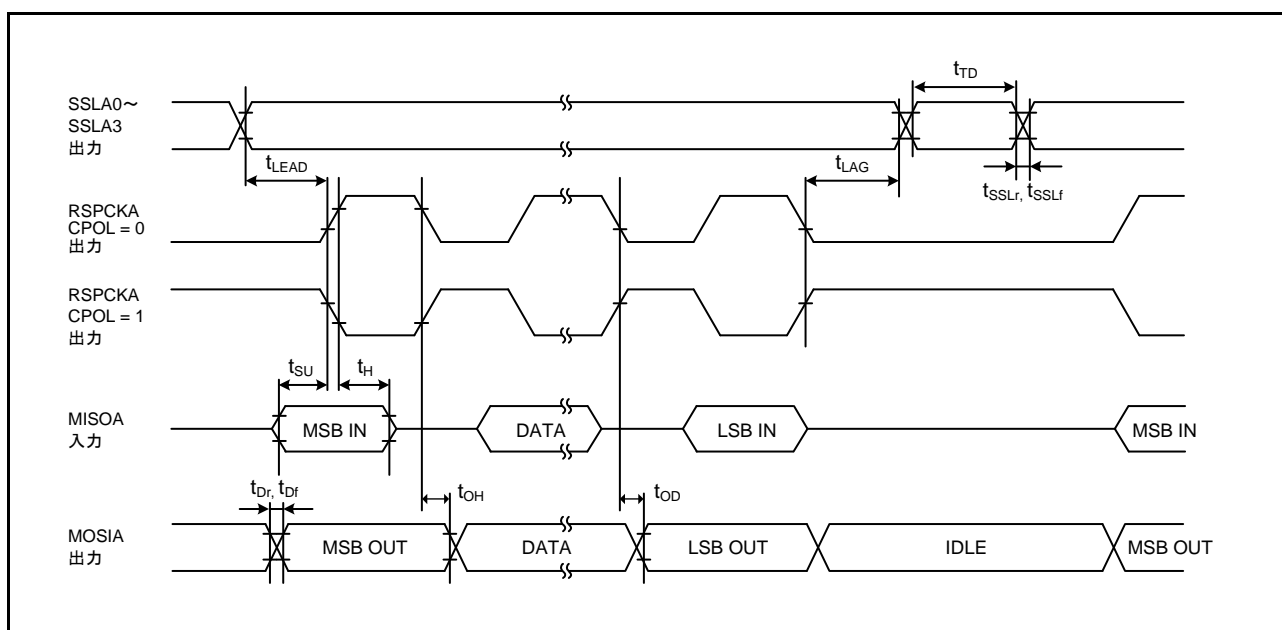


図 2.57 RSPCKA タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周以外に設定)

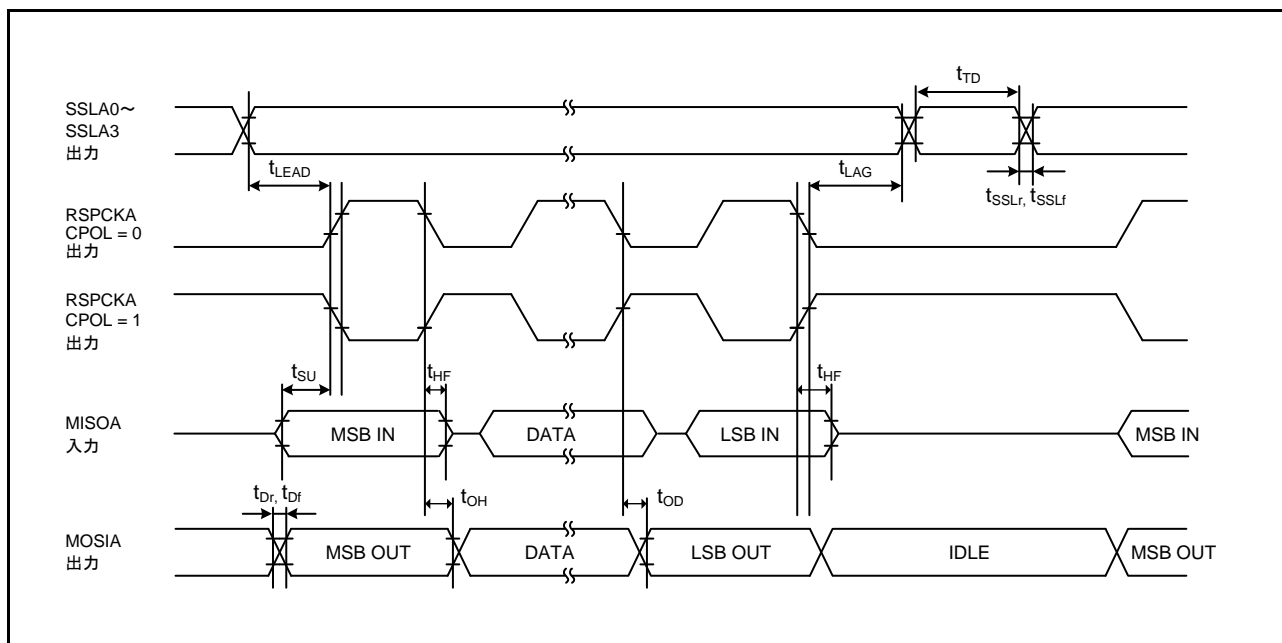


図 2.58 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)

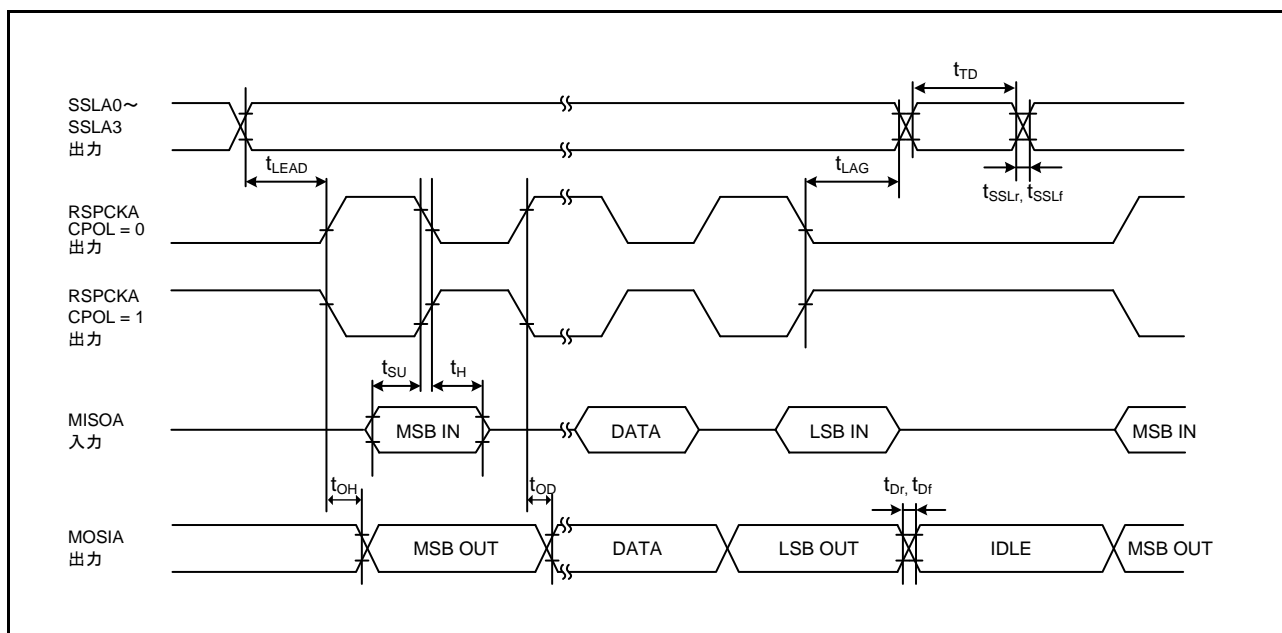


図 2.59 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周以外に設定)

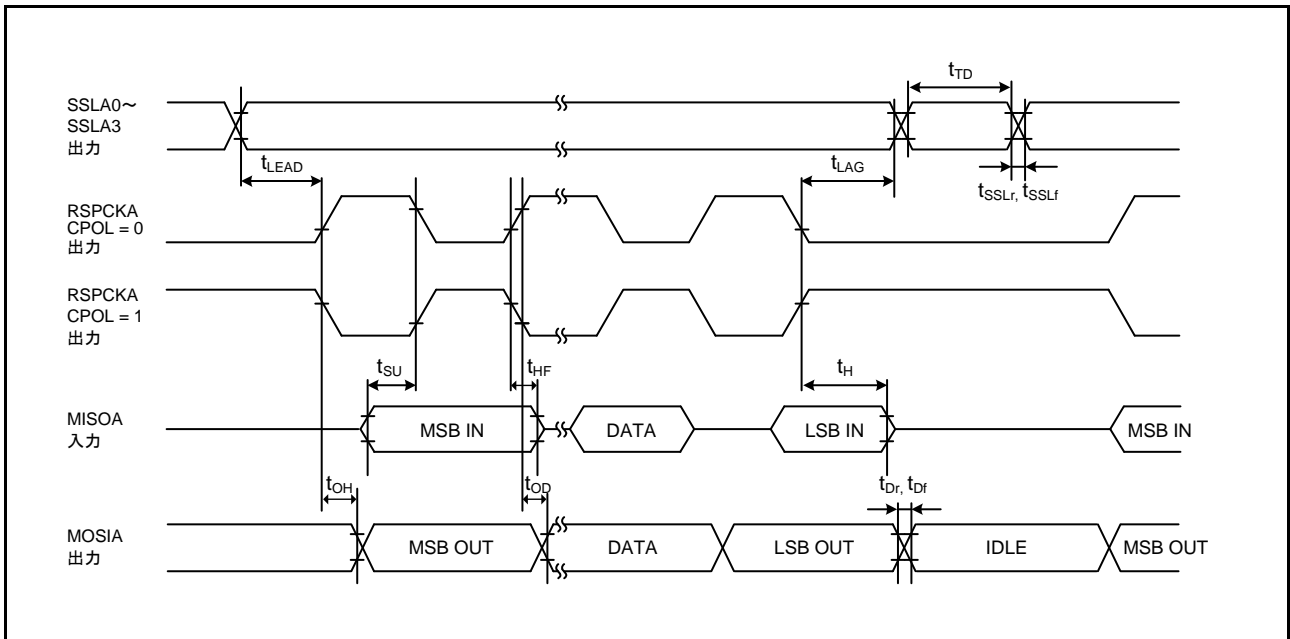


図 2.60 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

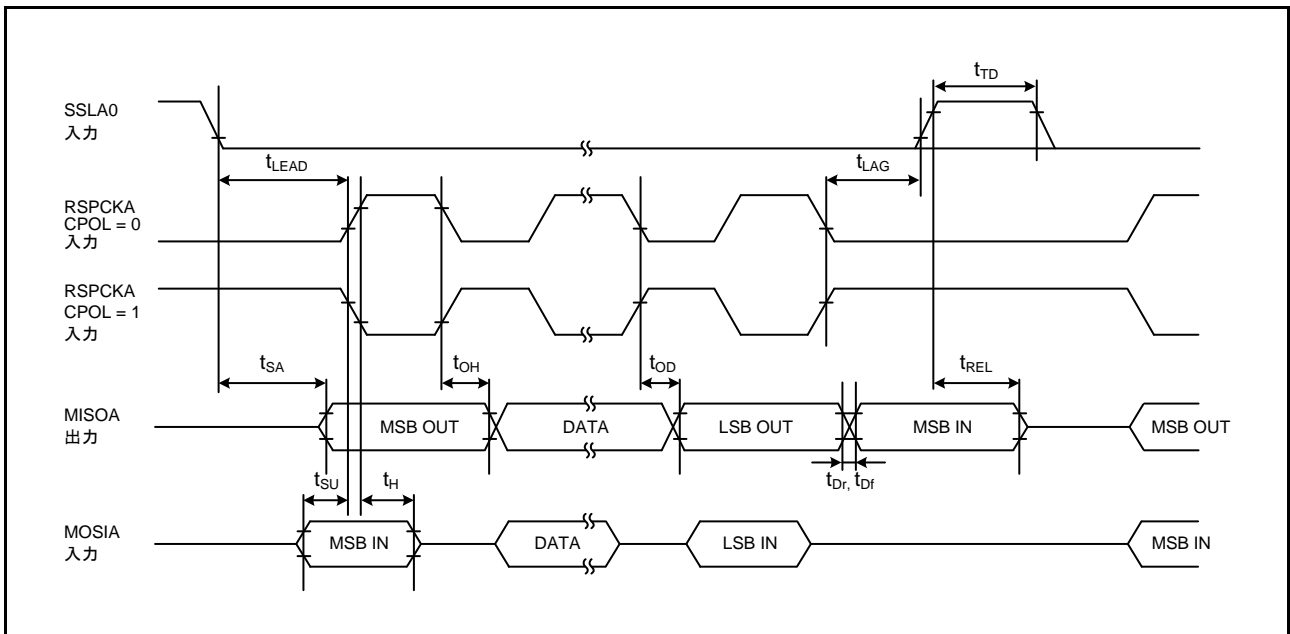


図 2.61 RSPI タイミング (スレーブ、CPHA = 0)

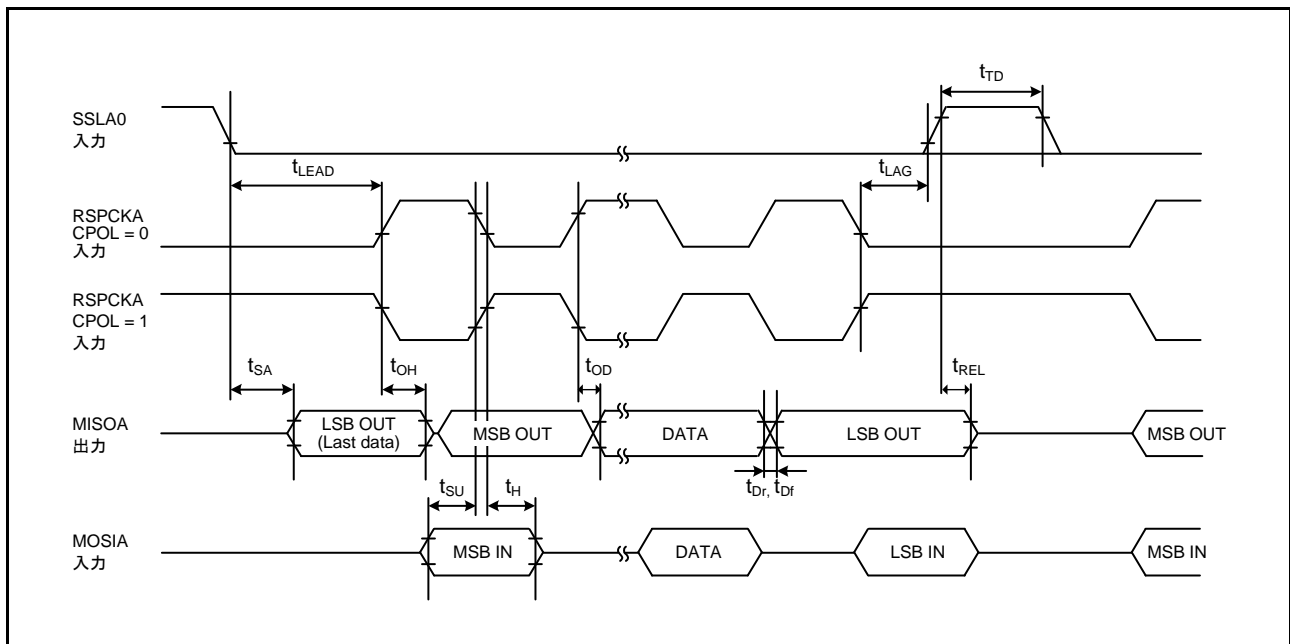


図 2.62 RSPIC タイミング (スレーブ、CPHA = 1)

2.3.7.11 QSPI

表 2.37 QSPI タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5, V_{OL} = VCC \times 0.5, C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件 (注2)
QSPI	QSPCLK クロックサイクル	t_{QScyc}	2	4080	t_{PBcyc}	図 2.63
	データ入力セットアップ時間	t_{Su}	6.5	—	ns	図 2.64、 図 2.65
	データ入力ホールド時間	t_{IH}	5	—	ns	
	SS セットアップ時間	t_{LEAD}	1.5	8.5	t_{QScyc}	
	SS ホールド時間	t_{LAG}	1	8	t_{QScyc}	
	データ出力遅延時間	t_{OD}	—	10.0	ns	
	データ出力ホールド時間	t_{OH}	-5	—	ns	
	連続転送遅延時間	t_{TD}	1	8	t_{QScyc}	

注1. t_{PBcyc} : PCLKB の周期

注2. 端子名に -A、-B などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。QSPI については、電気的特性の AC タイミングを各グループで測定しています。

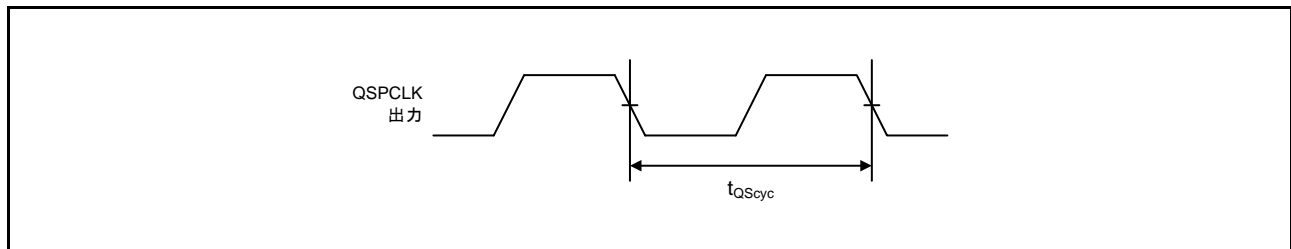


図 2.63 QSPI クロックタイミング

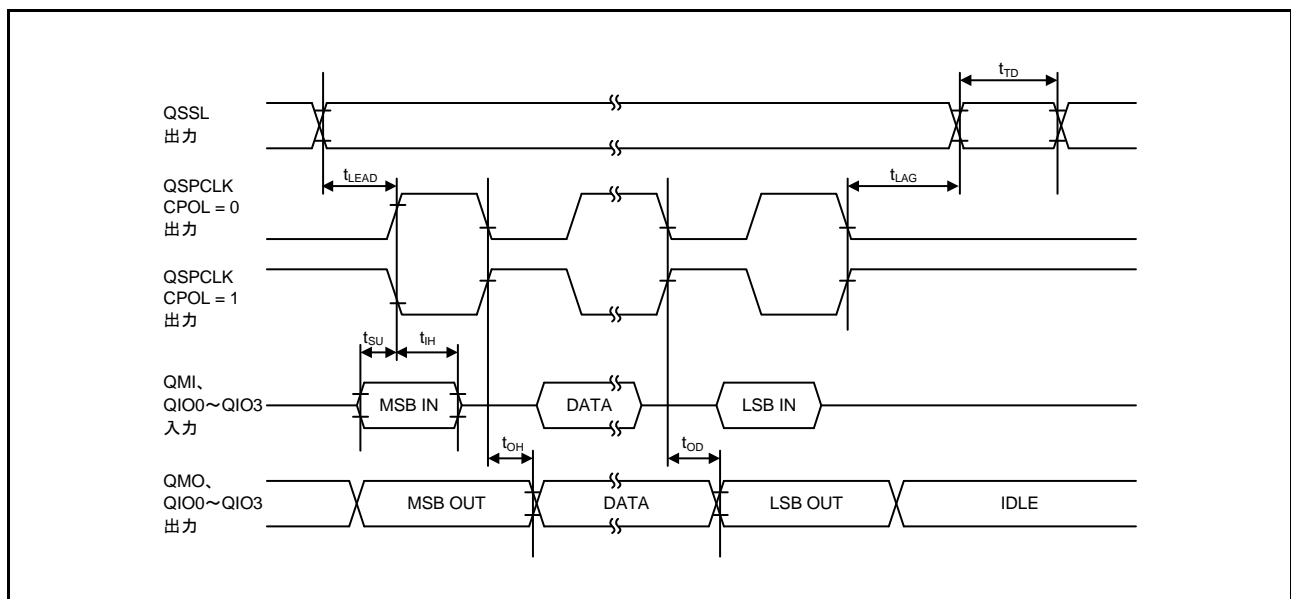


図 2.64 送受信タイミング (CPHA = 0)

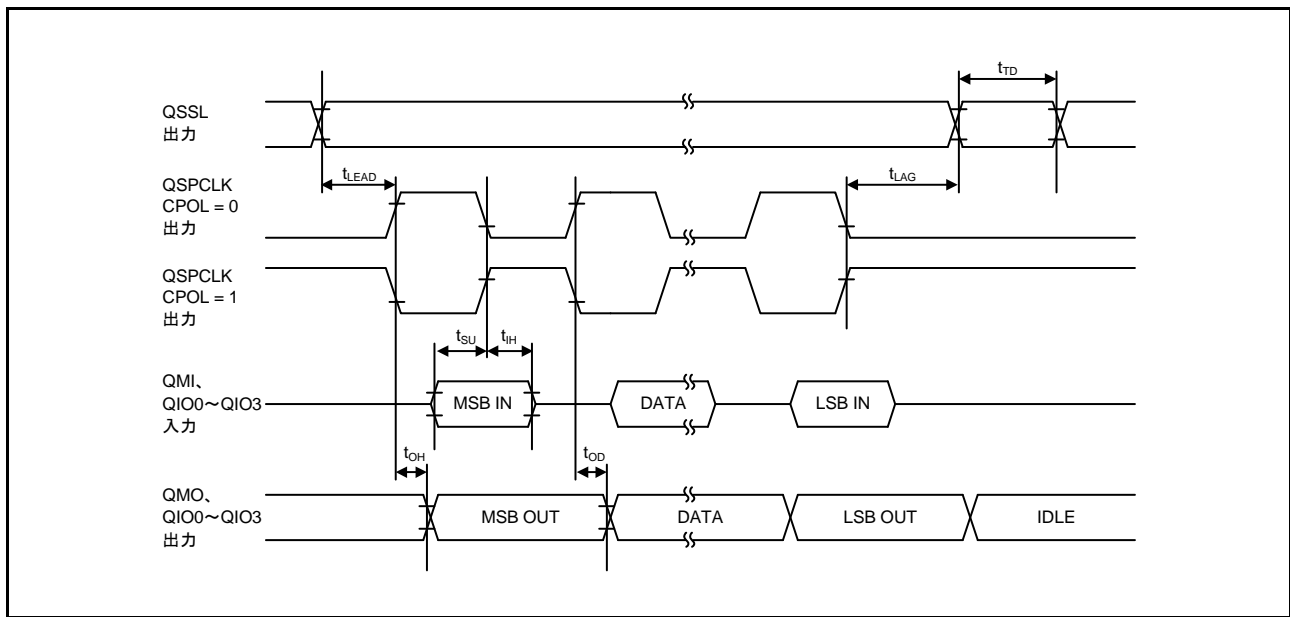


図 2.65 送受信タイミング (CPHA = 1)

2.3.7.12 SSI

表2.38 SSIタイミング

条件 : $V_{CC} = AVCC0 = AVCC1 = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AVCC0$,
 $V_{CC_USBA} = AVCC_USBA = 3.0 \sim 3.6V$,
 $V_{SS} = AVSS0 = AVSS1 = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件
SSI	AUDIO_MCLK入力周波数	—	50	MHz	
	出力クロック周期	150	64000	ns	図2.66
	入力クロック周期	150	64000	ns	
	クロック High幅	60	—	ns	
	クロック Low幅	60	—	ns	
	クロック立ち上がり時間	—	25	ns	
	データ遅延時間	-5	25	ns	
	セットアップ時間	25	—	ns	
	ホールド時間	25	—	ns	
	WS変化エッジSSIDATA出力遅延	—	25	ns	図2.69

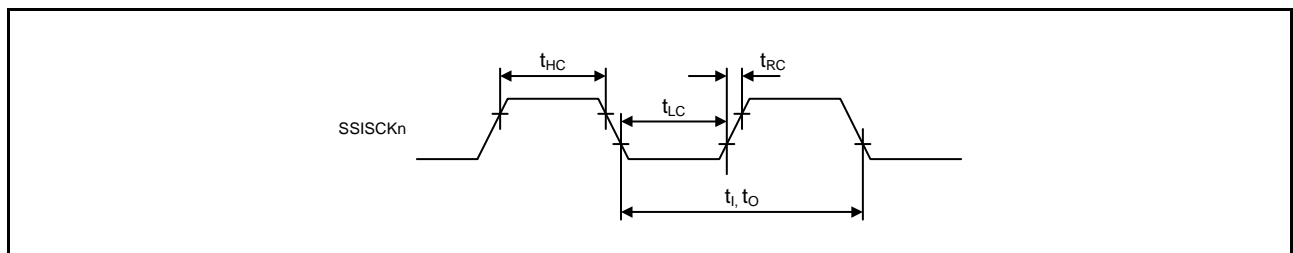


図 2.66 クロック入出力タイミング

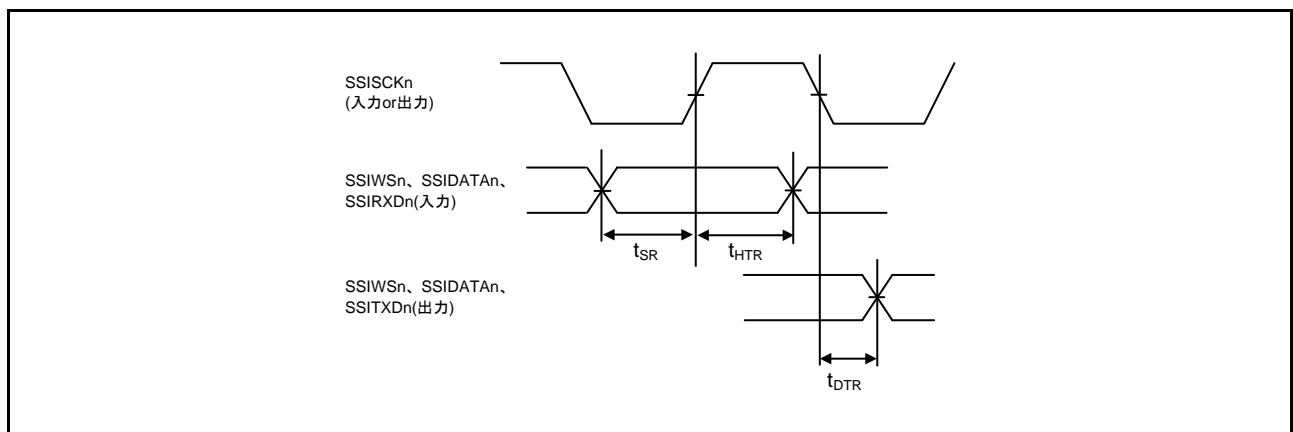


図 2.67 送受信タイミング (SSISCKn 立ち上がり同期)

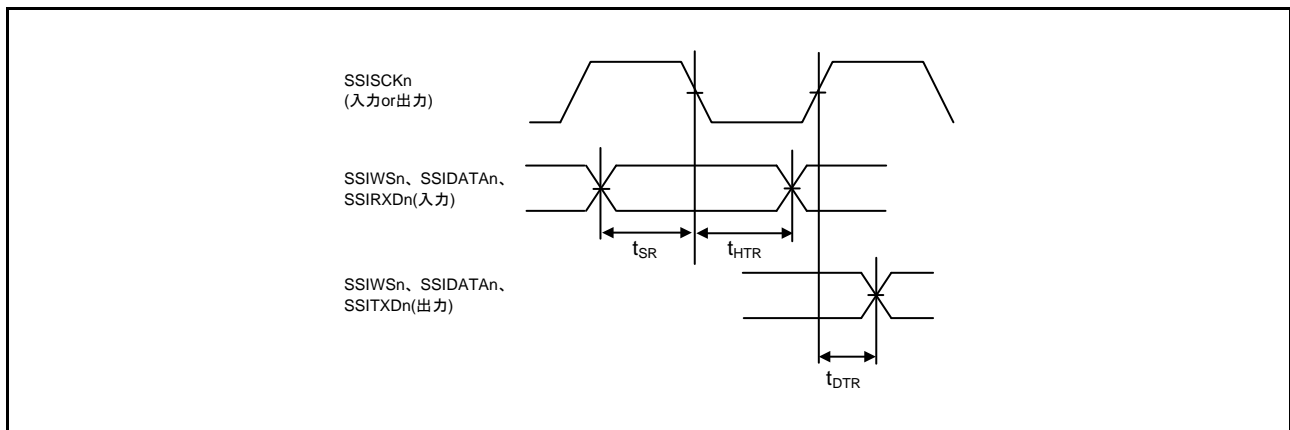


図 2.68 送受信タイミング (SSISCKn 立ち下がり同期)

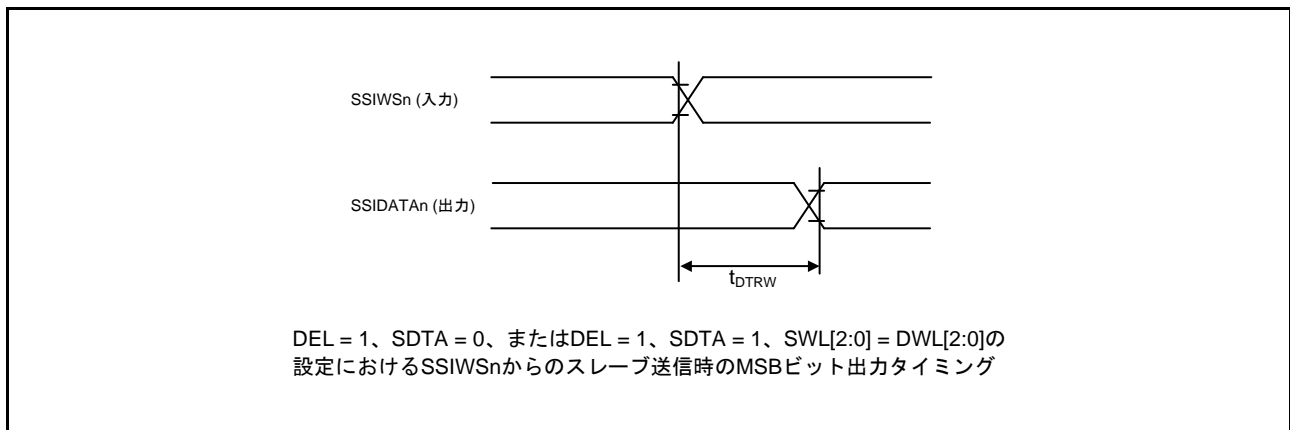


図 2.69 SSIWSn 変化エッジからの SSIDATA 出力遅延

2.3.7.13 MMC

表 2.39 MMCホストインタフェースタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7 \leq VREFH0 \leq AVCC0,$
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,$
 $PCLKA = 8 \sim 120MHz, PCLKB = 8 \sim 60MHz, T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5, V_{OL} = VCC \times 0.5, C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min (注1)	max	単位	測定条件 (注2)
MMCIF	MMC_CLKクロックサイクル	t_{MMCPP}	$2 \times t_{PBcyc}$	ns	図 2.70
	MMC_CLKクロック High幅	t_{MMCWH}	6.5	ns	
	MMC_CLKクロック Low幅	t_{MMCWL}	6.5	ns	
	MMC_CLKクロック立ち上がり時間	t_{MMCLH}	—	5	
	MMC_CLKクロック立ち下がり時間	t_{MMCHL}	—	5	
	MMC_CMD、MMC_D7~MMC_D0出力データ遅延 (データ転送モード)	t_{MMCODY}	-6.5	6.5	
	MMC_CMD、MMC_D7~MMC_D0入力データセットアップ	t_{MMCISU}	8	—	
	MMC_CMD、MMC_D7~MMC_D0入力データホールド	t_{MMCIH}	2	—	

- 注1. t_{PBcyc} : PCLKBの周期
- 注2. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。MMCについては、電気的特性のACタイミングを各グループで測定しています。

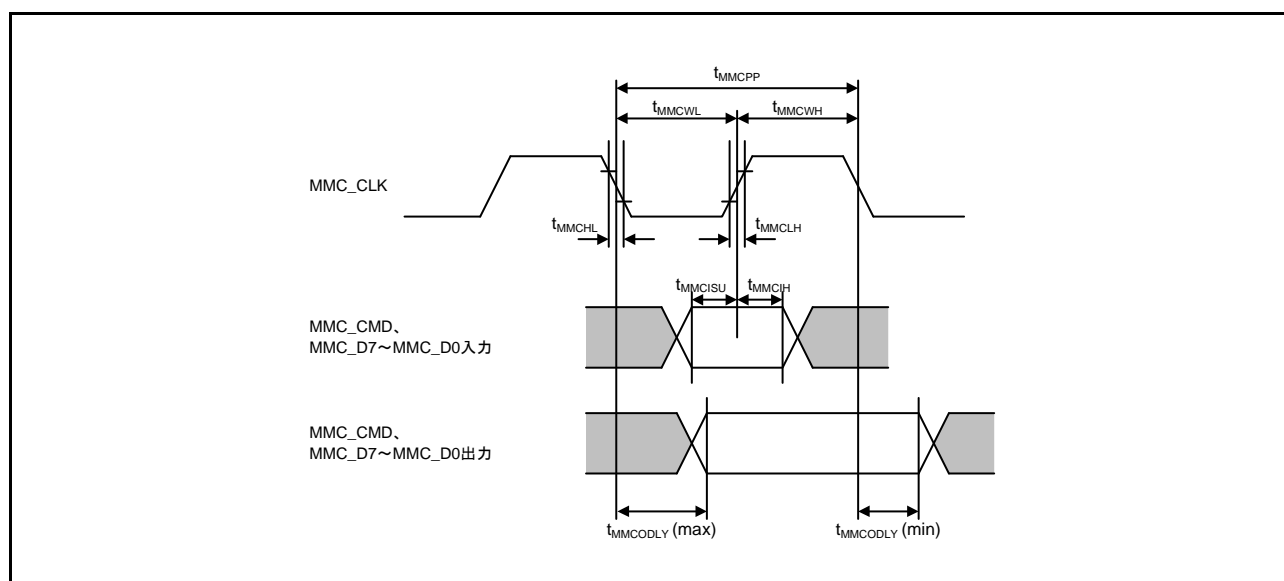


図 2.70 MMC インタフェース

2.3.7.14 SDHI

表2.40 SDHI タイミング

条件 : $V_{CC} = AV_{CC0} = AV_{CC1} = V_{CC_USB} = V_{BATT} = 2.7 \sim 3.6V$, $2.7V \leq V_{REFH0} \leq AV_{CC0}$,
 $V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,
 $V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$,
出力負荷条件 : $V_{OH} = V_{CC} \times 0.5$, $V_{OL} = V_{CC} \times 0.5$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	測定条件 (注1)	
SDHI	SDHI_CLK端子出力サイクル時間	$t_{PP(SD)}$	$2 \times t_{PBcyc}$ (注2)	—	ns	図2.71
	SDHI_CLK端子出力Highレベルパルス幅	$t_{WH(SD)}$	$0.4 \times t_{PP(SD)}$	—	ns	
	SDHI_CLK端子出力Lowレベルパルス幅	$t_{WL(SD)}$	$0.4 \times t_{PP(SD)}$	—	ns	
	SDHI_CLK端子出力立ち上がり時間	$t_{TLH(SD)}$	—	5	ns	
	SDHI_CLK端子出力立ち下がり時間	$t_{THL(SD)}$	—	5	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 出力データ遅延時間(データ転送モード)	$t_{ODLY(SD)}$	-6.5	4	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データセットアップ時間	$t_{ISU(SD)}$	7	—	ns	
	SDHI_CMD、SDHI_D3～SDHI_D0端子 入力データホールド時間	$t_{IH(SD)}$	2	—	ns	

注1. 端子名に-A、-Bなどのグループ名を表す記号が付加されている場合、同一グループ内の端子を組み合わせで使用することを推奨します。SDHIのAC特性は、各グループ内の端子間で測定しています。

注2. t_{PBcyc} : PCLKBの周期

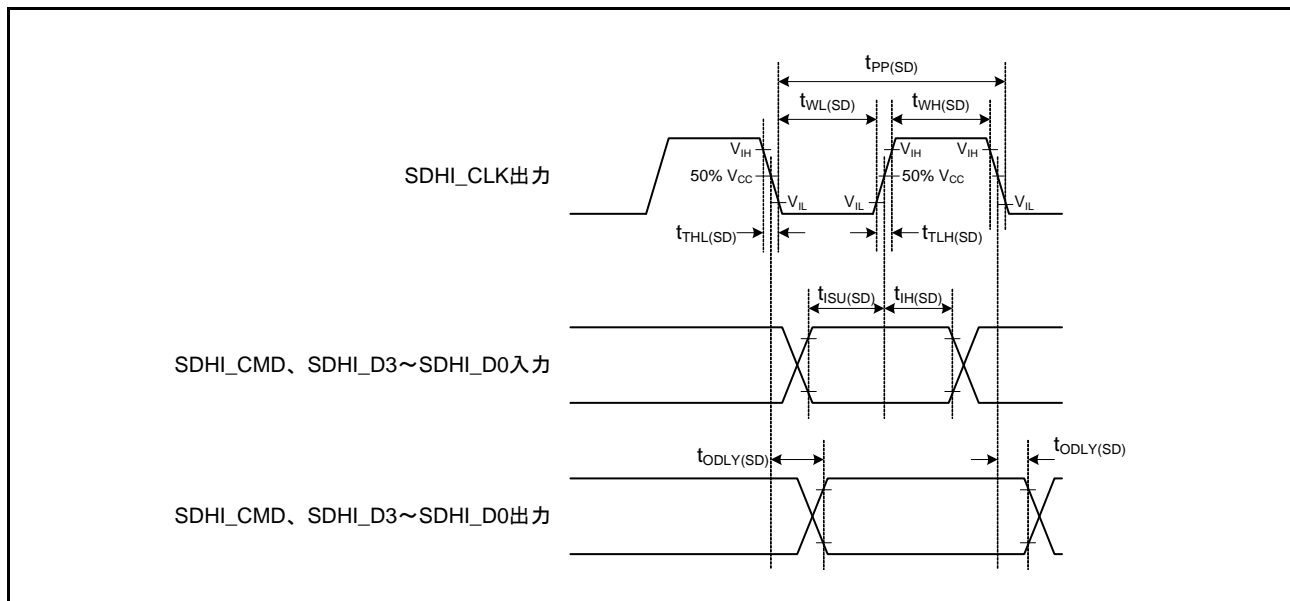


図 2.71 SD ホストインタフェース入出力信号タイミング

2.3.7.15 ETHERC

表2.41 ETHERCタイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,
VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, T_a = T_{opr}
出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF
駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件
ETHERC (RMII)	REF50CK サイクル時間	T _{ck}	20	—	ns	図2.72 ~ 図2.74
	REF50CK 周波数 Typ. 50MHz	—	—	50 + 100ppm	MHz	
	REF50CK デューティ	—	35	65	%	
	REF50CK 立ち上がり/立ち下がり時間	T _{ckr/ckf}	0.5	3.5	ns	
	RMII_xxxx (注1) 出力遅延時間	T _{co}	2.5	15.0	ns	
	RMII_xxxx (注2) セットアップ時間	T _{su}	3	—	ns	
	RMII_xxxx (注2) ホールド時間	T _{hd}	1	—	ns	
	RMII_xxxx (注1、注2) 立ち上がり/立ち下がり時間	T _r /T _f	0.5	5	ns	
	ET_WOL 出力遅延時間	t _{WOLd}	1	23.5	ns	図2.76
ETHERC (MII)	ET_TX_CLK サイクル時間	t _{Tcyc}	40	—	ns	—
	ET_TX_EN 出力遅延時間	t _{TENd}	1	20	ns	図2.77
	ET_ETXD0 ~ ET_ETXD3 出力遅延時間	t _{MTDd}	1	20	ns	
	ET_CRs セットアップ時間	t _{CRsS}	10	—	ns	
	ET_CRs ホールド時間	t _{CRSh}	10	—	ns	
	ET_COL セットアップ時間	t _{COLs}	10	—	ns	図2.78
	ET_COL ホールド時間	t _{COLh}	10	—	ns	
	ET_RX_CLK サイクル時間	t _{TRcyc}	40	—	ns	—
	ET_RX_DV セットアップ時間	t _{RDVs}	10	—	ns	図2.79
	ET_RX_DV ホールド時間	t _{RDVh}	10	—	ns	
	ET_ERXD0 ~ ET_ERXD3 セットアップ時間	t _{MRDs}	10	—	ns	
	ET_ERXD0 ~ ET_ERXD3 ホールド時間	t _{MRDh}	10	—	ns	
	ET_RX_ER セットアップ時間	t _{RERs}	10	—	ns	図2.80
	ET_RX_ER ホールド時間	t _{RESh}	10	—	ns	
	ET_WOL 出力遅延時間	t _{WOLd}	1	23.5	ns	

注1. RMII_TXD_EN, RMII_TXD1, RMII_TXD0

注2. RMII_CRs_DV, RMII_RXD1, RMII_RXD0, RMII_RX_ER

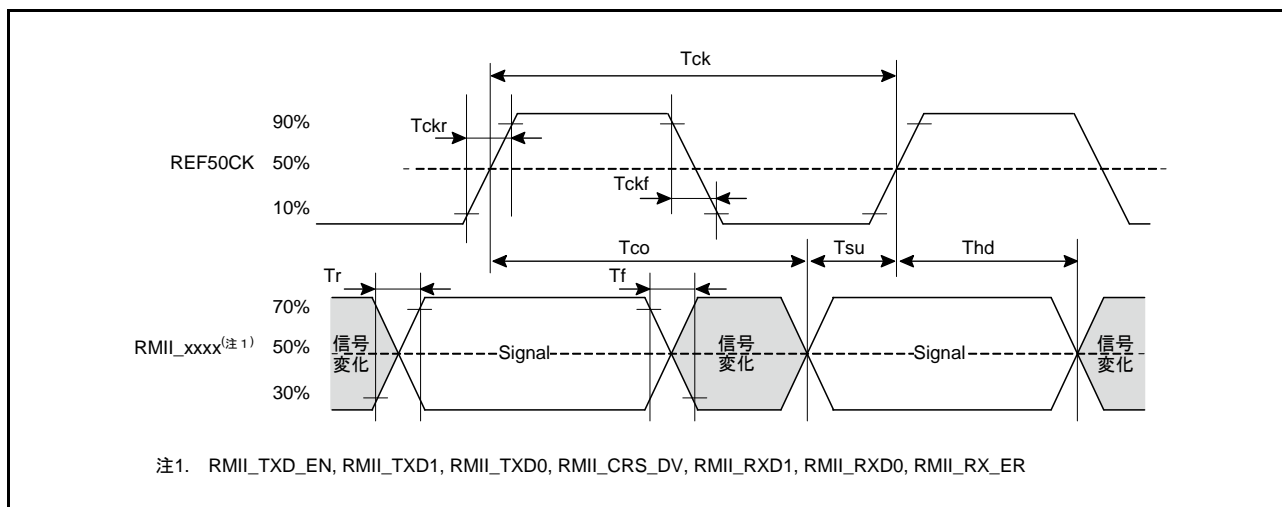


図 2.72 REF50CK と RMII 信号とのタイミング

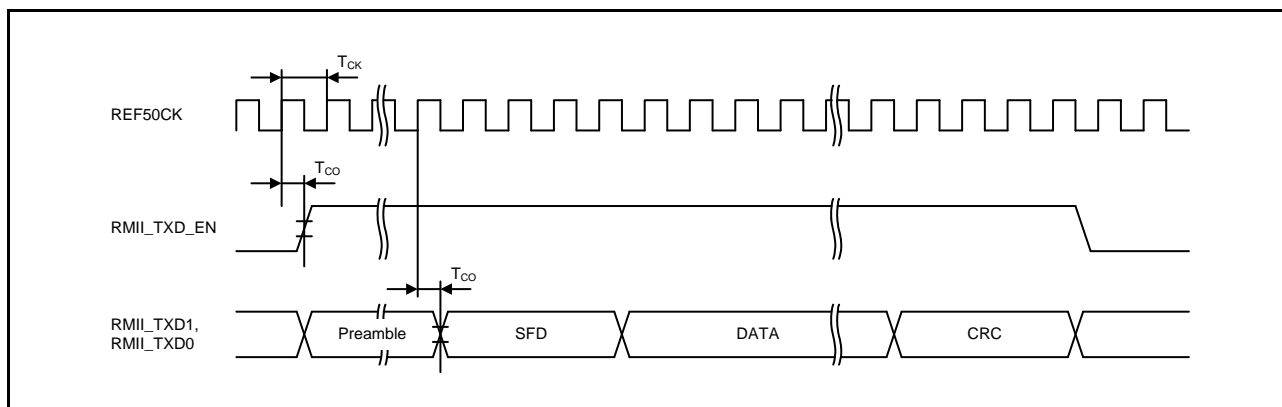


図 2.73 RMII 送信タイミング

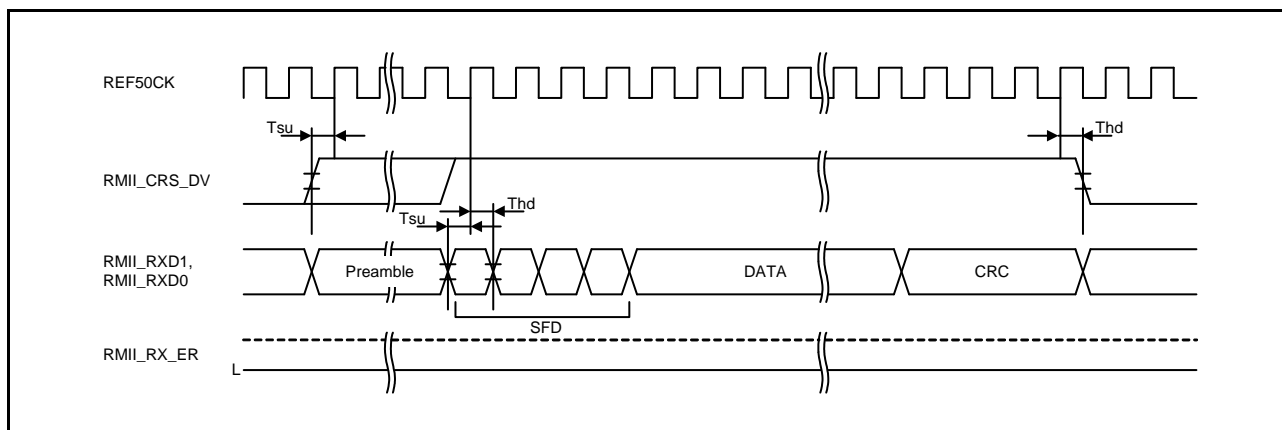


図 2.74 RMII 受信タイミング (正常動作時)

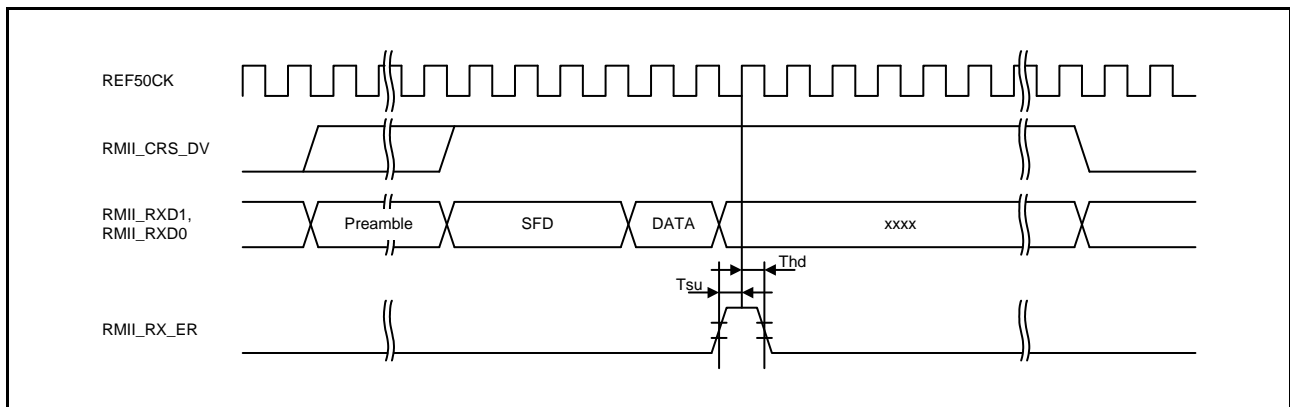


図 2.75 RMII 受信タイミング (エラー発生ケース)

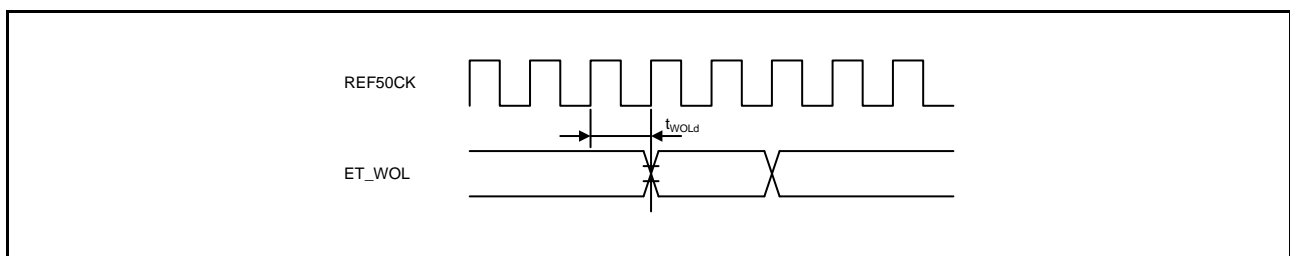


図 2.76 WOL 出カタイミング (RMII)

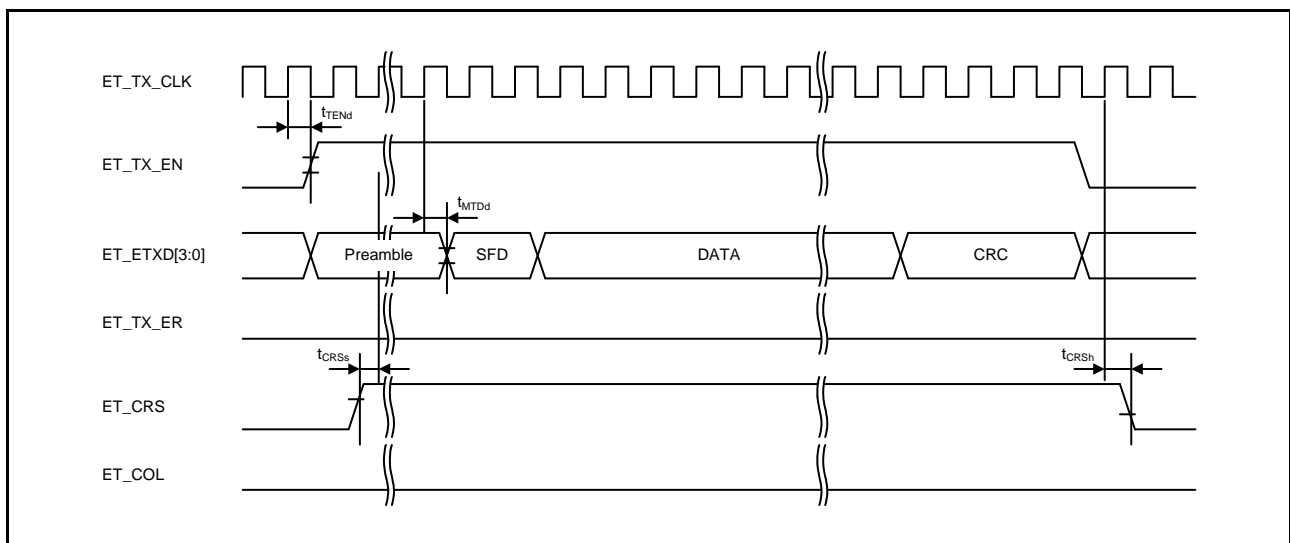


図 2.77 MII 送信タイミング (正常動作時)

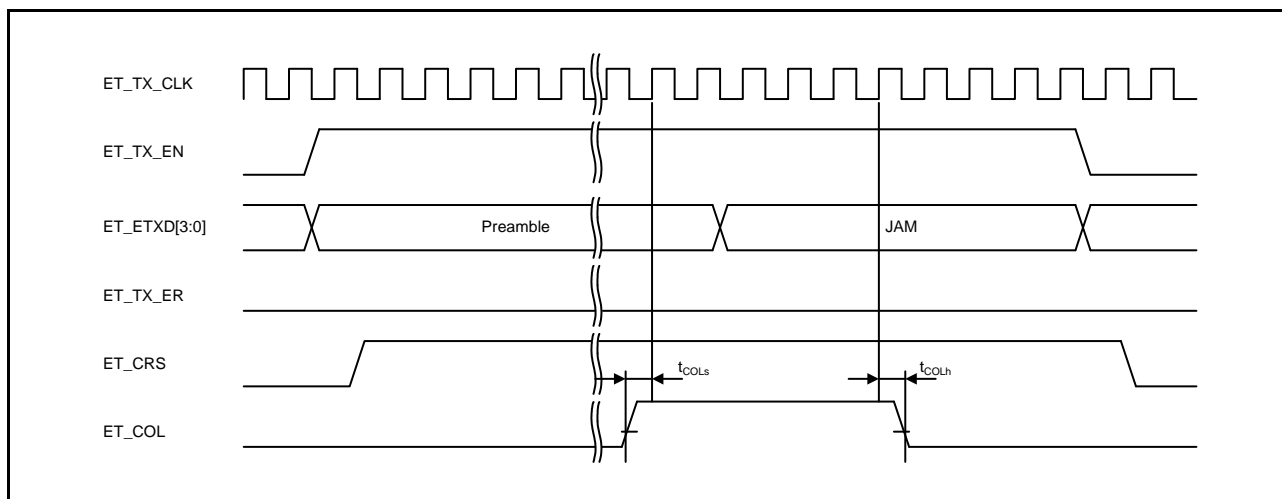


図 2.78 MII 送信タイミング (衝突発生ケース)

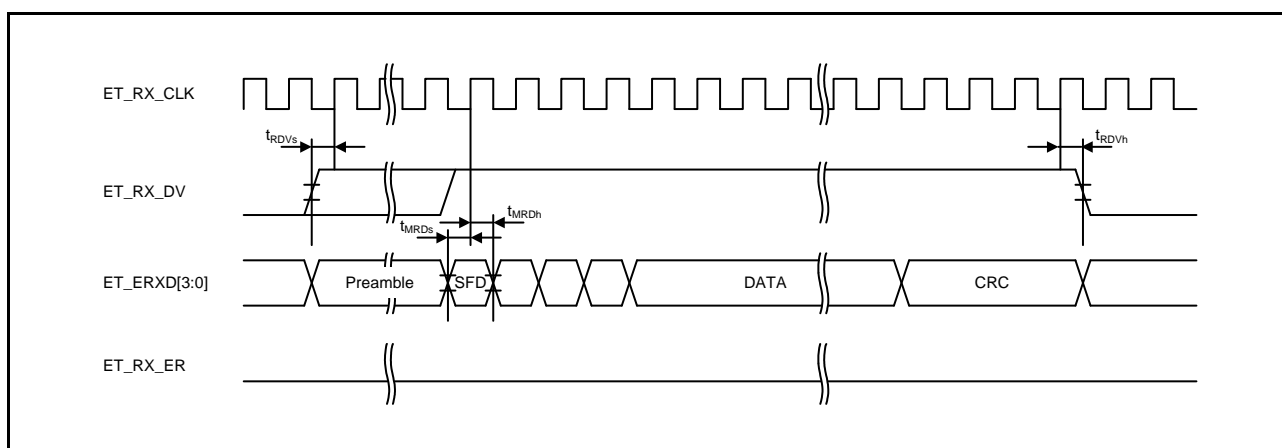


図 2.79 MII 受信タイミング (正常動作時)

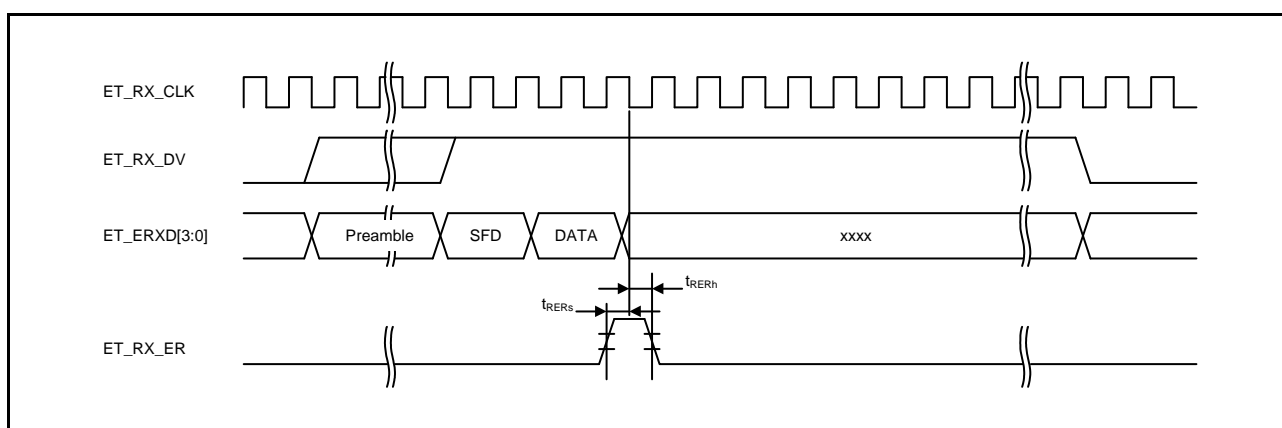


図 2.80 MII 受信タイミング (エラー発生ケース)

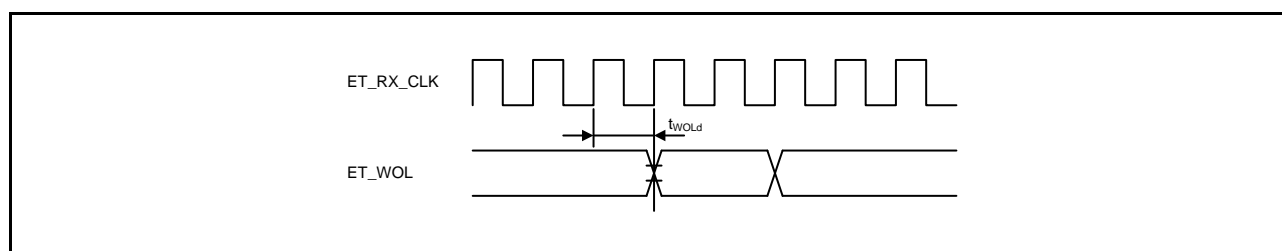


図 2.81 WOL 出カタイミング (MII)

2.3.7.16 PDC

表 2.42 PDC タイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	max	単位	備考	
PDC	PIXCLK 入力サイクル時間	t_{PIXcyc}	37	—	ns	図 2.82
	PIXCLK 入力 High 幅	t_{PIXH}	10	—	ns	
	PIXCLK 入力 Low 幅	t_{PIXL}	10	—	ns	
	PIXCLK 立ち上がり時間	t_{PIXr}	—	5	ns	
	PIXCLK 立ち下がり時間	t_{PIXf}	—	5	ns	
	PCKO 出力サイクル時間	t_{PCKcyc}	$2 \times t_{PBcyc}$	—	ns	
PCKO 出力 High 幅	t_{PCKH}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	ns		
PCKO 出力 Low 幅	t_{PCKL}	$(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3$	—	ns		
PCKO 立ち上がり時間	t_{PCKr}	—	5	ns		
PCKO 立ち下がり時間	t_{PCKf}	—	5	ns		
VSYNV/HSYNC 入力セットアップ時間	t_{SYNCS}	10	—	ns	図 2.84	
	t_{SYNCH}	5	—	ns		
	PIXD 入力セットアップ時間	t_{PIXDS}	10	—		ns
	PIXD 入力ホールド時間	t_{PIXDH}	5	—		ns

注 1. t_{PBcyc} : PCLKB の周期

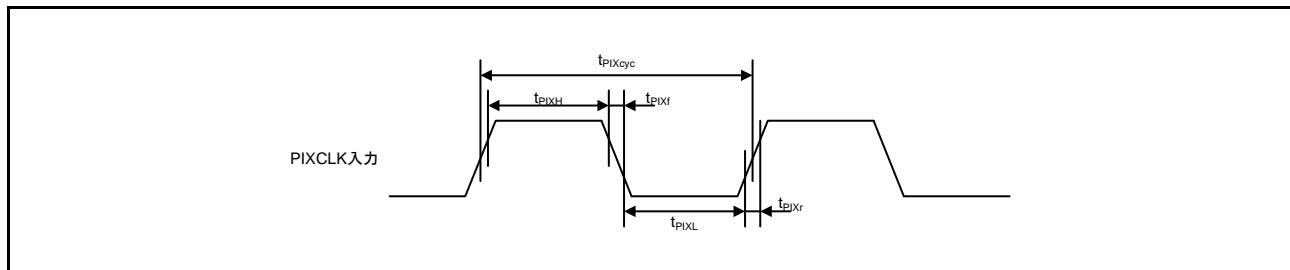


図 2.82 PDC 入力クロックタイミング

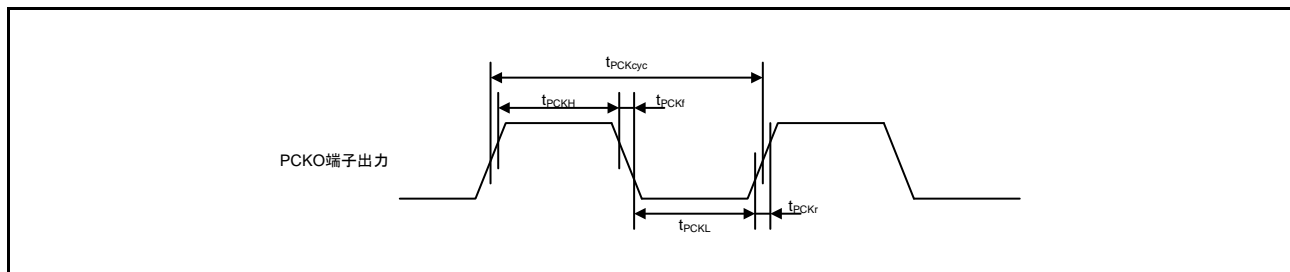


図 2.83 PDC 出力クロックタイミング

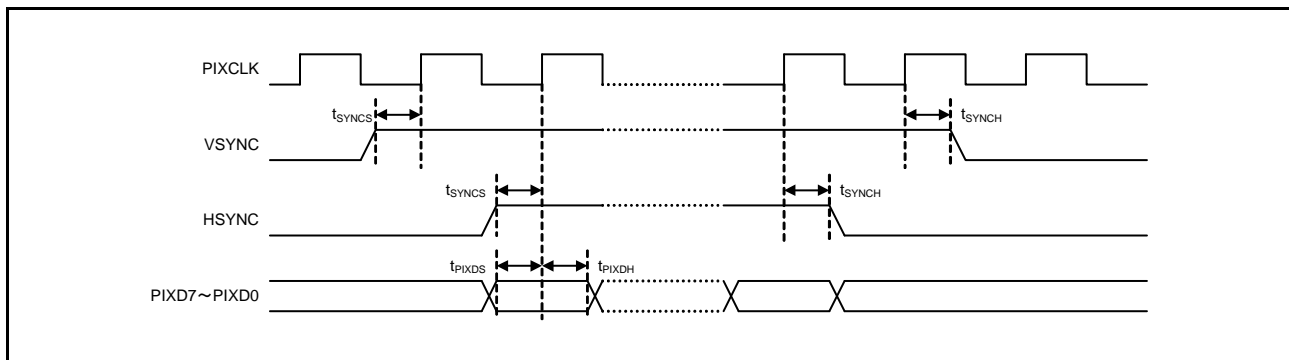


図 2.84 PDC AC タイミング

2.3.7.17 A/D コンバータトリガ

表2.43 A/Dコンバータトリガタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図2.85

注1. t_{PBcyc} : PCLKBの周期

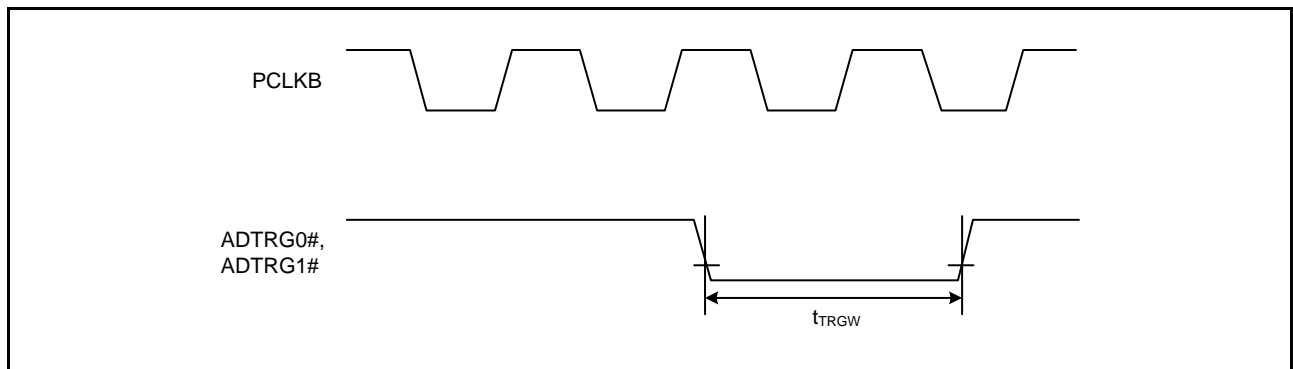


図 2.85 A/D コンバータトリガ入力タイミング

2.3.7.18 CAC

表2.44 CACタイミング

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目 (注1、注2)		記号	min (注1)	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	t_{CACREF}	$t_{PBcyc} \leq t_{cac}$	$4.5t_{cac} + 3t_{PBcyc}$	—	ns
			$t_{PBcyc} > t_{cac}$	$5t_{cac} + 6.5t_{PBcyc}$	—	

注1. t_{PBcyc} : PCLKBの周期

注2. t_{CAC} : CACカウンタクロックソースの周期

2.4 USB 特性

表 2.45 内蔵 USB ロースピード (Hostのみ) 特性 (DP、DM 端子特性)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 3.0 \sim 3.6V$, $3.0 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件	
入力特性	High レベル入力電圧	V_{IH}	2.0	—	—	V	
	Low レベル入力電圧	V_{IL}	—	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	—	V	DP - DM
	差動共通モードレンジ	V_{CM}	0.8	—	2.5	V	
出力特性	High レベル出力電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200\mu A$
	Low レベル出力電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.86
	立ち上がり時間	t_{LR}	75	—	300	ns	
	立ち下がり時間	t_{LF}	75	—	300	ns	
	立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	80	—	125	%	t_{LR}/t_{LF}
ブルダウン特性	DP/DM ブルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω	

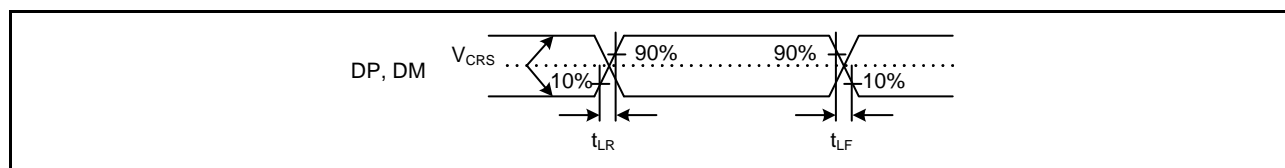


図 2.86 DP、DM 出カタイミング (ロースピード時)

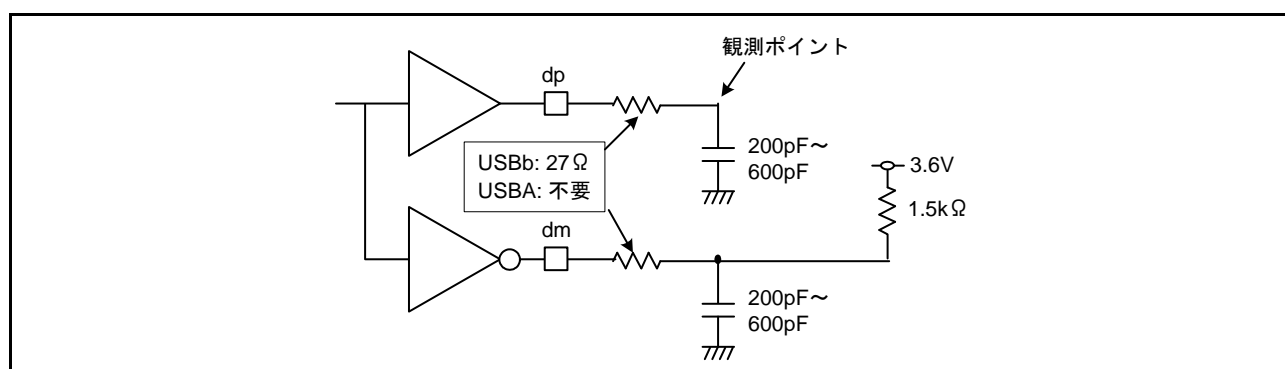


図 2.87 測定回路 (ロースピード時)

表 2.46 内蔵USBフルスピード特性(DP, DM端子特性)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 3.0 \sim 3.6V$, $3.0 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $UCLK = 48MHz$, $PCLKA = 8 \sim 120MHz$,
 $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	Typ	max	単位	測定条件	
入力特性	Highレベル入力電圧	V_{IH}	2.0	—	—	V	
	Lowレベル入力電圧	V_{IL}	—	—	0.8	V	
	差動入力感度	V_{DI}	0.2	—	—	V	DP - DM
	差動共通モードレンジ	V_{CM}	0.8	—	2.5	V	
出力特性	Highレベル出力電圧	V_{OH}	2.8	—	3.6	V	$I_{OH} = -200\mu A$
	Lowレベル出力電圧	V_{OL}	0.0	—	0.3	V	$I_{OL} = 2mA$
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 2.88
	立ち上がり時間	t_{FR}	4	—	20	ns	
	立ち下がり時間	t_{FF}	4	—	20	ns	
	立ち上がり/立ち下がり時間比	t_{FR} / t_{FF}	90	—	111.11	%	t_{FR} / t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBb : $R_s = 27\Omega$ 含む
40.5			—	49.5	Ω	USBA : R_s 不要 (PHYSET.REPSEL[1:0] = 01b かつPHYSET.HSEB = 0)	
プリアップ、 プルダウン 特性	DPプリアップ抵抗 (ファンクション選択時)	R_{pu}	0.900	—	1.575	k Ω	アイドル時
			1.425	—	3.090	k Ω	送受信時
	DP/DMプルダウン抵抗 (ホスト選択時)	R_{pd}	14.25	—	24.80	k Ω	

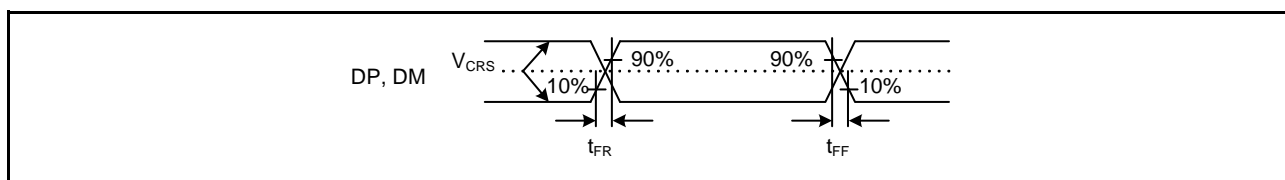


図 2.88 DP、DM 出力タイミング (フルスピード時)

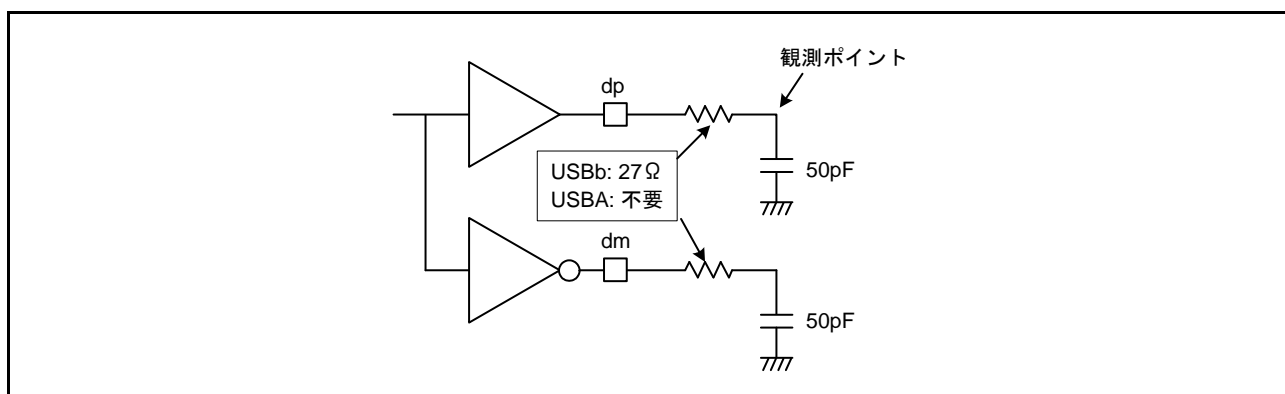


図 2.89 測定回路 (フルスピード時)

表 2.47 バッテリチャージ特性 (USBAのみ)

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$, $USBA_RREF = 2.2k\Omega \pm 1\%$, $USBMCLK = 20/24MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $T_a = T_{opr}$

項目	記号	min	max	単位	備考
D+ シンク電流	I_{DP_SINK}	25	175	μA	
D- シンク電流	I_{DM_SINK}	25	175	μA	
DCD ソース電流	I_{DP_SRC}	7	13	μA	
データ検出電圧	V_{DAT_REF}	0.25	0.4	V	
D+ ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250 μA
D- ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250 μA

2.5 A/D 変換特性

表 2.48 12ビット A/D (ユニット0) 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $PCLKB = PCLKC = 1MHz \sim 60MHz$, $T_a = T_{opr}$, 信号源インピーダンス = 1.0 k Ω

項目	min	typ	max	単位	測定条件	
分解能	8	—	12	ビット		
アナログ入力容量	—	—	30	pF		
チャンネル専用サンプル & ホールド回路使用時 (AN000 ~ AN002)	変換時間 (注1) (PCLKC = 60MHz時)	1.06 (0.40 + 0.25) (注2)	—	—	μ s	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプリ ング24ステート サンプリング15ステート
	オフセット誤差	—	± 1.5	± 3.5	LSB	AN000 ~ AN002 = 0.25V
	フルスケール誤差	—	± 1.5	± 3.5	LSB	AN000 ~ AN002 = VREFH0 -0.25V
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	± 2.5	± 5.5	LSB	
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	
	INL 積分非直線性誤差	—	± 1.5	± 3.0	LSB	
	サンプル&ホールド回路の ホールド特性	—	—	20	μ s	
ダイナミックレンジ	0.25	—	VREFH0 -0.25	V		
チャンネル専用サンプル & ホールド回路未使用 時 (AN000 ~ AN007)	変換時間 (注1) (PCLKC = 60MHz時)	0.48 (0.267) (注2)	—	—	μ s	サンプリング16ステート
	オフセット誤差	—	± 1.0	± 2.5	LSB	
	フルスケール誤差	—	± 1.0	± 2.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	± 2.0	± 4.5	LSB	
	DNL 微分非直線性誤差	—	± 0.5	± 1.5	LSB	
INL 積分非直線性誤差	—	± 1.0	± 2.5	LSB		

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 2.49 12ビット A/D (ユニット1)変換特性

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,
VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
PCLKB = PCLKD = 1MHz ~ 60MHz, T_a = T_{opr}, 信号源インピーダンス = 1.0 kΩ

項目	min	typ	max	単位	測定条件
分解能	8	—	12	ビット	
変換時間(注1) (PCLKD = 60MHz時)	0.88 (0.667) (注2)	—	—	μs	サンプリング40ステート
アナログ入力容量	—	—	30	pF	
オフセット誤差	—	±2.0	±3.5	LSB	
フルスケール誤差	—	±2.0	±3.5	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度	—	±4.0	±6.0	LSB	
DNL 微分非直線性誤差	—	±1.5	±2.5	LSB	
INL 積分非直線性誤差	—	±2.0	±3.5	LSB	

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. ()はサンプリング時間を示します。

表 2.50 A/D内部基準電圧特性

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 ~ 3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,
VCC_USBA = AVCC_USBA = 3.0 ~ 3.6V,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V,
PCLKB = PCLKD = 60MHz, T_a = T_{opr}

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

2.6 D/A 変換特性

表 2.51 D/A 変換特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$,
 $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		min	typ	max	単位	測定条件
分解能		12	12	12	ビット	
ダイレクト出力	絶対精度	—	—	± 6.0	LSB	負荷抵抗 2M Ω 10bit 換算
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	負荷抵抗 2M Ω
	RO 出力抵抗	—	7.5	—	k Ω	
	変換時間	—	—	3.0	μs	負荷容量 20pF
AMP出力	負荷抵抗	5	—	—	k Ω	
	負荷容量	—	—	50	pF	
	出力電圧範囲	0.2	—	$AVCC1 - 0.2$	V	
	DNL 微分非直線性誤差	—	± 1.0	± 2.0	LSB	
	INL 積分非直線性誤差	—	± 2.0	± 4.0	LSB	
	変換時間	—	—	4.0	μs	

2.7 温度センサ特性

表 2.52 温度センサ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^{\circ}C$	
温度傾斜	—	3.8	—	mV/ $^{\circ}C$	
出力電位	—	1.21	—	V	$T_a = 25^{\circ}C$
温度センサ起動時間	—	—	30	μs	
サンプリング時間 (注1)	4.15	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

2.8 パワーオンリセット回路、電圧検出回路特性

表 2.53 パワーオンリセット回路、電圧検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット(POR)	低消費電力機能無効(注1)	V_{POR}	2.5	2.6	2.7	V	図 2.90
		低消費電力機能有効(注2)		2.0	2.35	2.7		
	電圧検出回路(LVD0)		V_{det0_1}	2.84	2.94	3.04		図 2.91
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路(LVD1)		V_{det1_1}	2.89	2.99	3.09		図 2.92
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路(LVD2)		V_{det2_1}	2.89	2.99	3.09		図 2.93
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
	内部リセット時間	パワーオンリセット時間	t_{POR}	—	4.6	—		ms
LVD0 リセット時間		t_{LVD0}	—	0.70	—	図 2.91		
LVD1 リセット時間		t_{LVD1}	—	0.57	—	図 2.92		
LVD2 リセット時間		t_{LVD2}	—	0.57	—	図 2.93		
最小VCC低下時間		t_{VOFF}	200	—	—	μs	図 2.90、 図 2.91	
応答遅延時間		t_{det}	—	—	200	μs	図 2.90 ~ 図 2.93	
LVD動作安定時間(LVD有効切り替え時)(注3)		$T_{d(E-A)}$	—	—	10	μs	図 2.92、 図 2.93	
ヒステリシス幅(LVD1, LVD2)		V_{LVH}	—	80	—	mV		

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

注1. 低消費電力機能無効 DEEPCUT[1:0] = 00b、または01b

注2. 低消費電力機能有効 DEEPCUT[1:0] = 11b

注3. LVD1有効切り替え時のVCC = AVCC0 = AVCC1の電圧は、LVDLVLR.LVD1LVL[3:0]ビットで選択した電圧検出1レベル($V_{det1_1, 2, 3}$)のmax値に対し、80mV以上加算したレベルにしてください。また、同様にLVD2有効切り替え時のVCC = AVCC0 = AVCC1の電圧はLVDLVLR.LVD2LVL[3:0]ビットで選択した電圧検出2レベル($V_{det2_1, 2, 3}$)のmax値に対し、80mV以上加算したレベルにしてください。

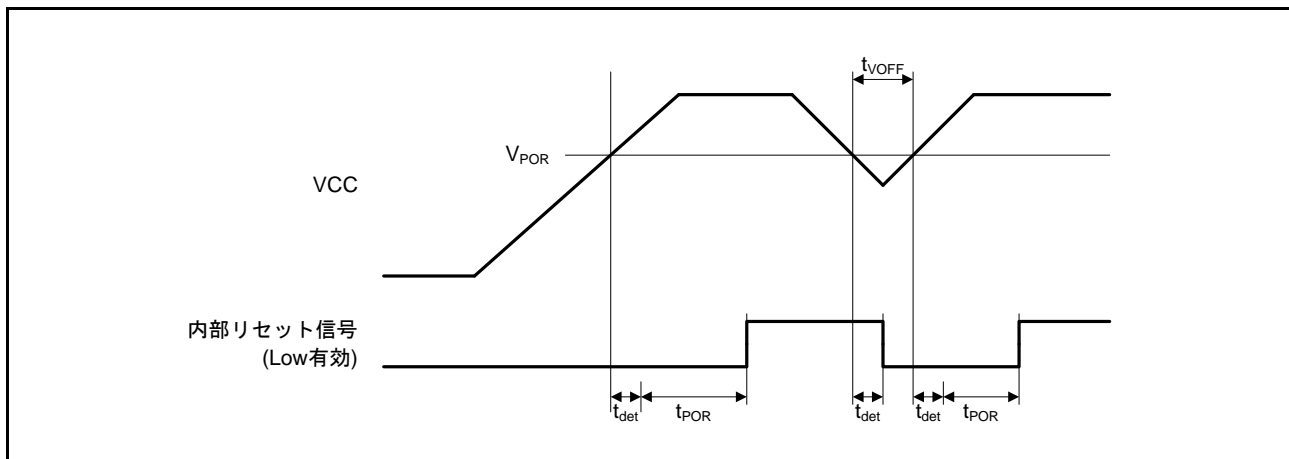
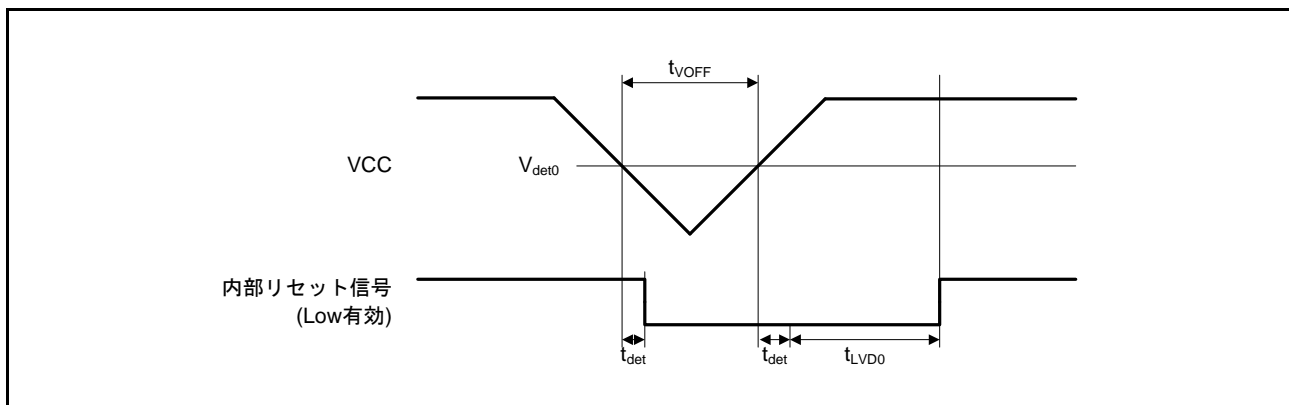


図 2.90 パワーオンリセットタイミング

図 2.91 電圧検出回路タイミング (V_{det0})

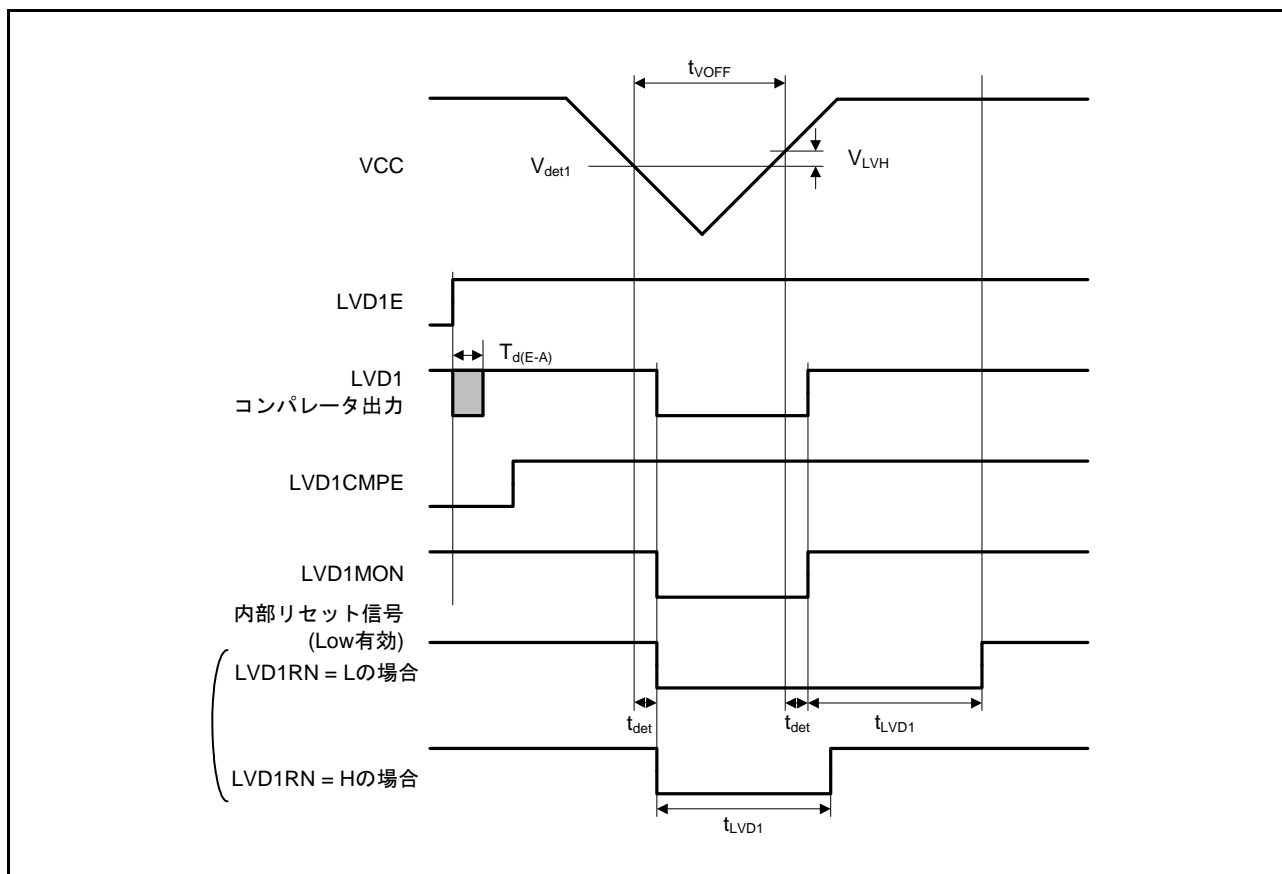


図 2.92 電圧検出回路タイミング (V_{det1})

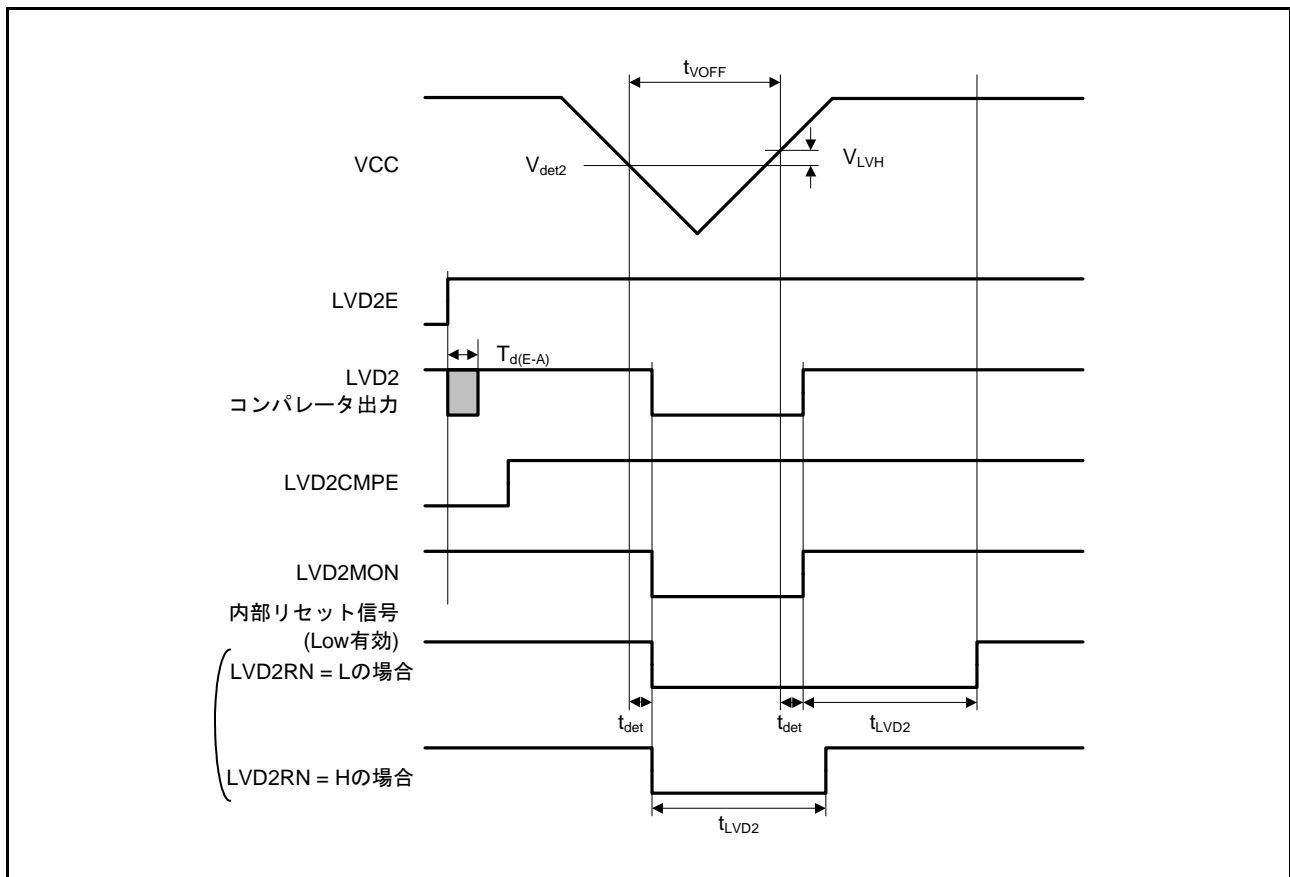


図 2.93 電圧検出回路タイミング (V_{det2})

2.9 発振停止検出タイミング

表 2.54 発振停止検出回路特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.94

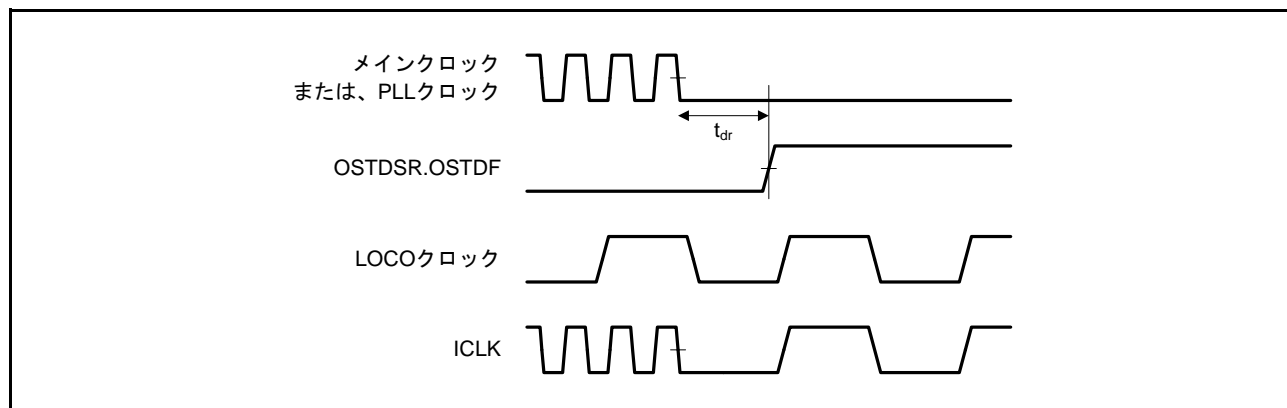


図 2.94 発振停止検出タイミング

2.10 バッテリバックアップ機能特性

表 2.55 バッテリバックアップ機能特性

条件 : $V_{CC} = 0.0 \sim 3.6V$, $AV_{CC0} = AV_{CC1} = V_{CC_USB} = 2.7 \sim 3.6V$, $2.7 \leq V_{REFH0} \leq AV_{CC0}$,

$V_{CC_USBA} = AV_{CC_USBA} = 3.0 \sim 3.6V$,

$V_{SS} = AV_{SS0} = AV_{SS1} = V_{REFL0} = V_{SS_USB} = V_{SS1_USBA} = V_{SS2_USBA} = PV_{SS_USBA} = AV_{SS_USBA} = 0V$,

$V_{BATT} = 2.0 \sim 3.6V$, $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	V_{DET_BATT}	2.50	2.60	2.70	V	図 2.95
VCC 電圧低下電源切り替え時 V_{BATT} 下限電圧 (注1)	V_{BATT_SW}	2.70	—	—		
切り替え可能VCCオフ期間 (注2)	$t_{V_{OFF}BATT}$	200	—	—	μs	

注1. VCC 電圧が低下してVBATT 端子からの供給に切替わるときの V_{BATT} 電圧は、 V_{BATT} 下限電圧 V_{BATT_SW} を下回らないようにしてください。

注2. 切り替え可能VCCオフ期間は、VCCがバッテリバックアップ切り替え電圧レベル V_{DET_BATT} のmin値を下回ってから、VBATT 端子からの電源供給に切り替わるまでの時間です。この時間内にVCCが復旧した場合、VBATT 端子からの供給に切り替わらずにVCCからの供給のままになることがあります。

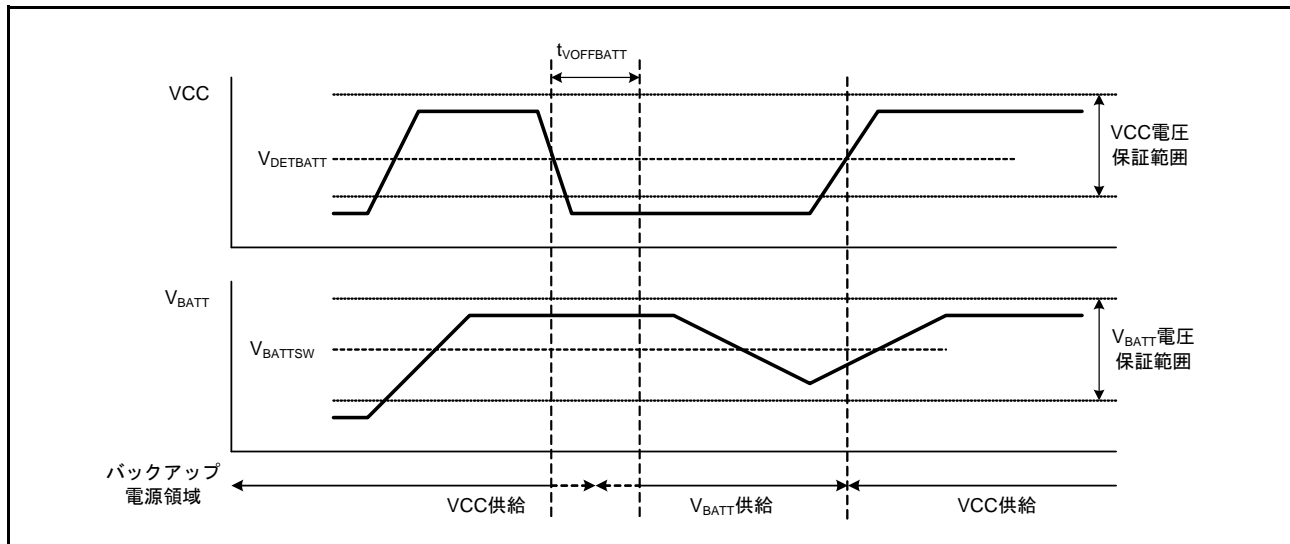


図 2.95 バッテリバックアップ機能特性

2.11 フラッシュメモリ特性

表 2.56 コードフラッシュメモリ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$
 プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件	
		min	typ	max	min	typ	max			
プログラム時間 $N_{PEC} \leq 100$ 回のとき	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms	
	8Kバイト	t_{P8K}	—	29	176	—	13	80	ms	
	32Kバイト	t_{P32K}	—	116	704	—	52	320	ms	
プログラム時間 $N_{PEC} > 100$ 回のとき	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2	ms	
	8Kバイト	t_{P8K}	—	35	212	—	16	96	ms	
	32Kバイト	t_{P32K}	—	140	848	—	64	384	ms	
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	8Kバイト	t_{E8K}	—	71	216	—	39	120	ms	
	32Kバイト	t_{E32K}	—	254	864	—	141	480	ms	
イレーズ時間 $N_{PEC} > 100$ 回のとき	8Kバイト	t_{E8K}	—	85	260	—	47	144	ms	
	32Kバイト	t_{E32K}	—	304	1040	—	169	576	ms	
プログラム/イレーズ回数 (注1)	N_{PEC}	1000 (注2)	—	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μ s		
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	216	—	—	120	μ s		
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	1.7	ms		
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}	—	—	1.7	—	—	1.7	ms		
強制終了コマンド	t_{FD}	—	—	32	—	—	20	μ s		
データ保持時間 (注3、注4)	t_{DRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$	
		10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$	
FCUリセット時間	t_{FCUR}	35	—	—	35	—	—	μ s		

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとの消去回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、8Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを32回に分けて行った後に、そのブロックを消去した場合も、プログラム/イレーズ回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超過していない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

表2.57 データフラッシュメモリ特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$, $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$, $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$ プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz \leq FCLK \leq 60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μ s	
	64バイト	t_{DBC64}	—	—	280	—	—	100	μ s	
	2Kバイト	t_{DBC2K}	—	—	6169	—	—	2200	μ s	
プログラム/イレーズ回数 (注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μ s	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120	μ s	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300	μ s	
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300	μ s	
強制終了コマンド		t_{FD}	—	—	32	—	—	20	μ s	
データ保持時間 (注3、注4)		t_{DDRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$
			10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$

注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとの消去回数です。プログラム/イレーズ回数が n 回の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを512回に分けて行った後に、そのブロックを消去した場合も、プログラム/イレーズ回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。

注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超過していない場合の特性です。

注4. 信頼性試験から得られた結果です。

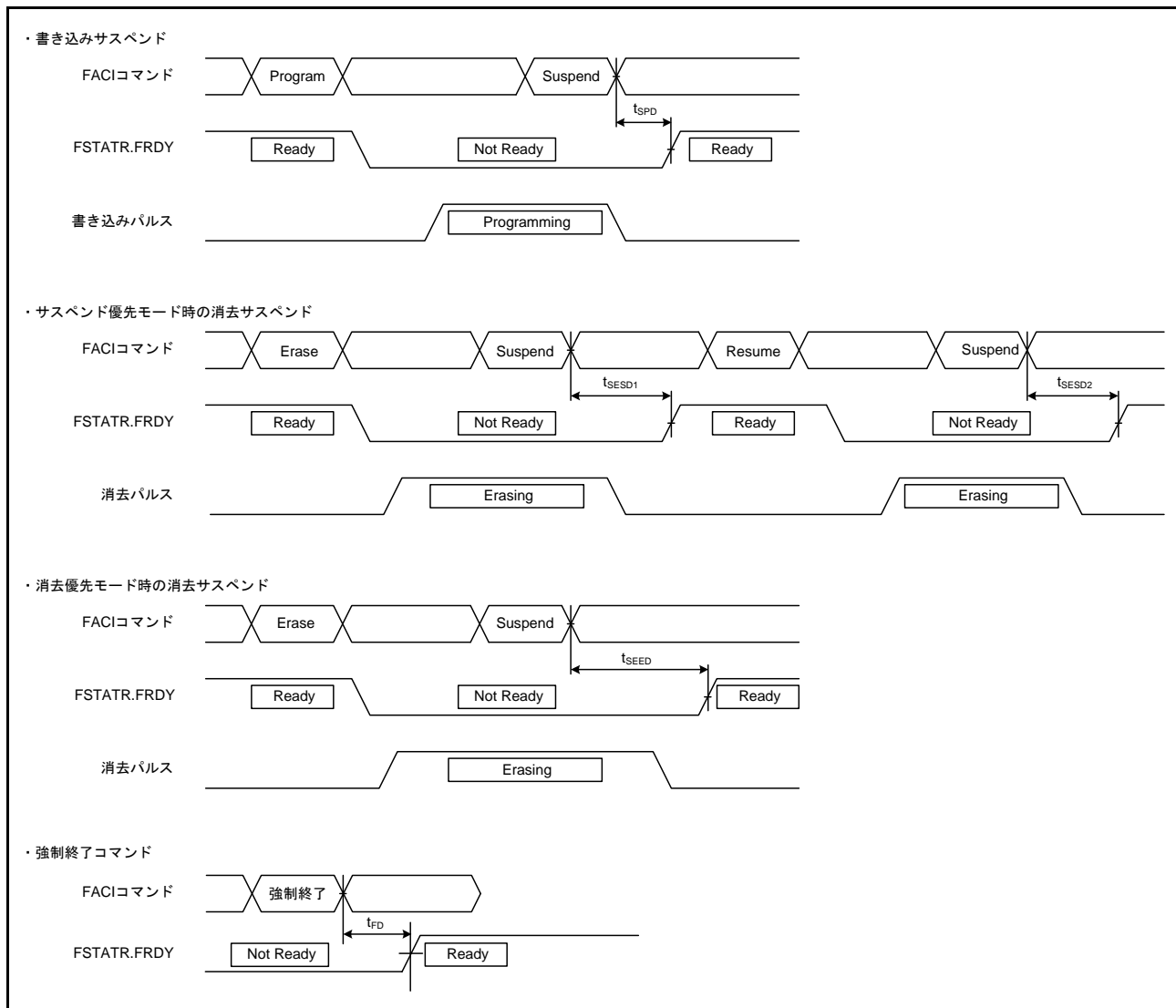


図 2.96 フラッシュメモリプログラム/イレーズサスペンドタイミング

2.12 バウンダリスキャン

表 2.58 バウンダリスキャン特性

条件 : $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V$, $2.7 \leq VREFH0 \leq AVCC0$,
 $VCC_USBA = AVCC_USBA = 3.0 \sim 3.6V$,
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = VSS1_USBA = VSS2_USBA = PVSS_USBA = AVSS_USBA = 0V$,
 $T_a = T_{opr}$
 出力負荷条件 : $V_{OH} = VCC \times 0.5$, $V_{OL} = VCC \times 0.5$, $C = 30pF$
 駆動能力選択制御レジスタは高駆動出力を選択時

項目	記号	min	typ	max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 2.97
TCKクロックHigh幅	t_{TCKH}	45	—	—	ns	
TCKクロックLow幅	t_{TCKL}	45	—	—	ns	
TCKクロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST#パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図 2.98
TMSセットアップ時間	t_{TMSS}	20	—	—	ns	図 2.99
TMSホールド時間	t_{TMSH}	20	—	—	ns	
TDIセットアップ時間	t_{TDIS}	20	—	—	ns	
TDIホールド時間	t_{TDIH}	20	—	—	ns	
TDOデータ遅延時間	t_{TDOD}	—	—	40	ns	

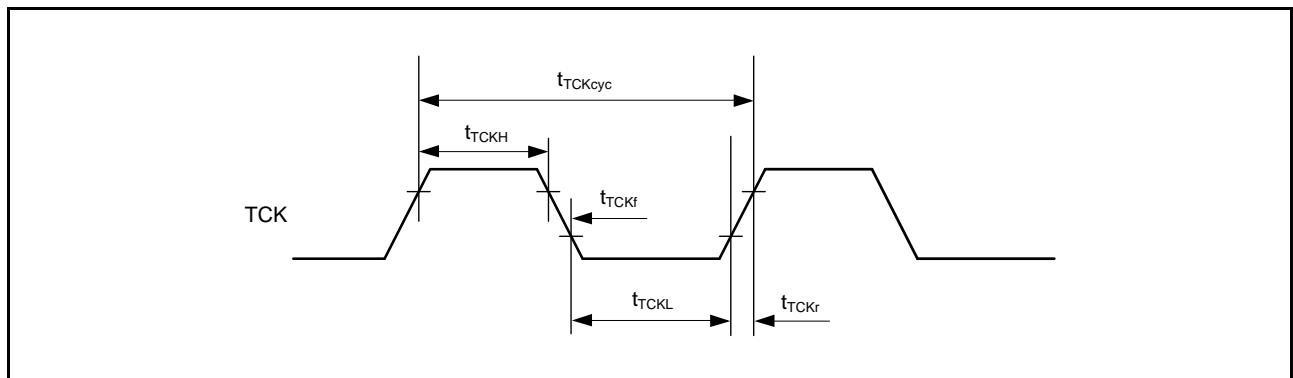


図 2.97 バウンダリスキャン TCK タイミング

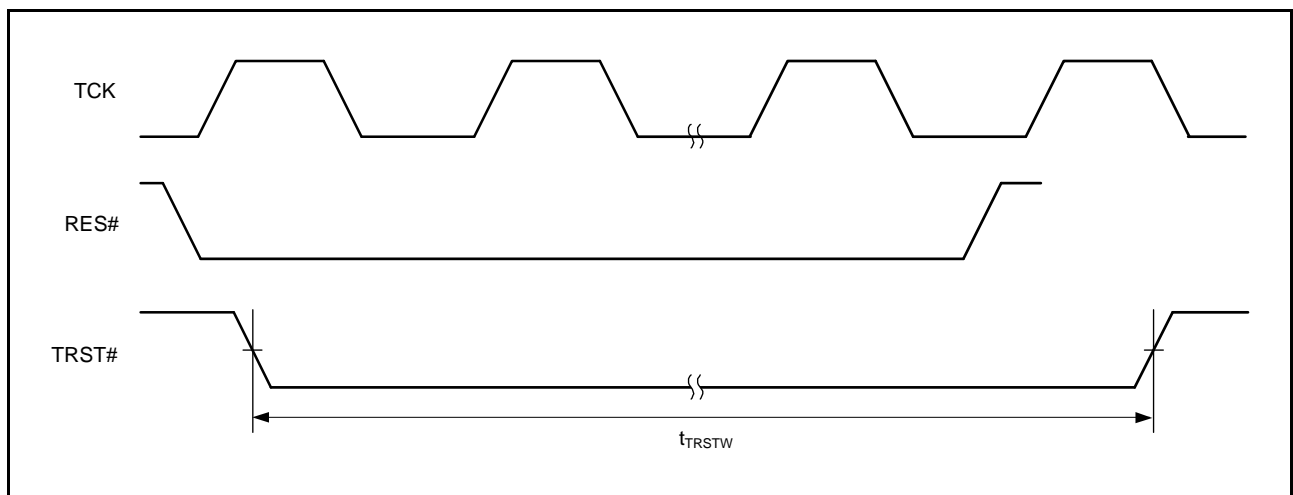


図 2.98 バウンダリスキャン TRST# タイミング

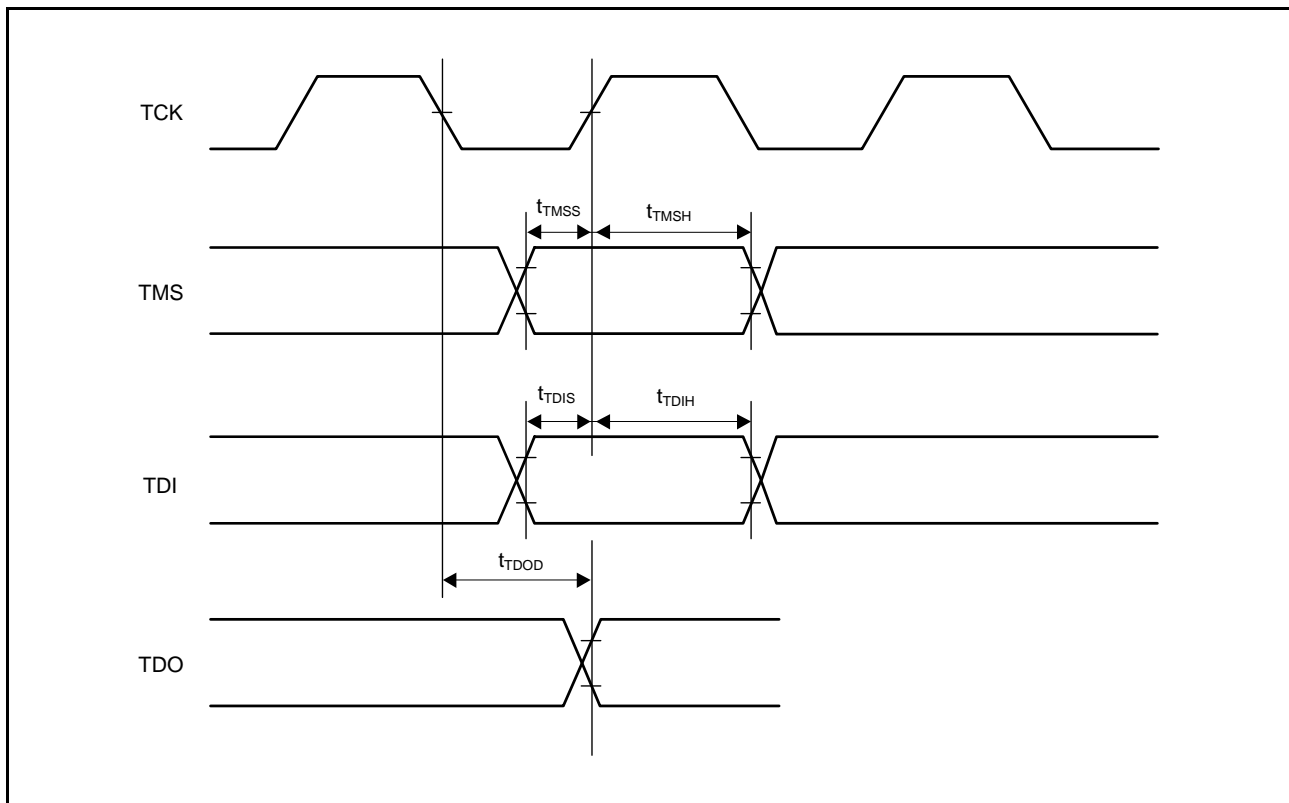


図 2.99 バウンダリスキャン入出力タイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

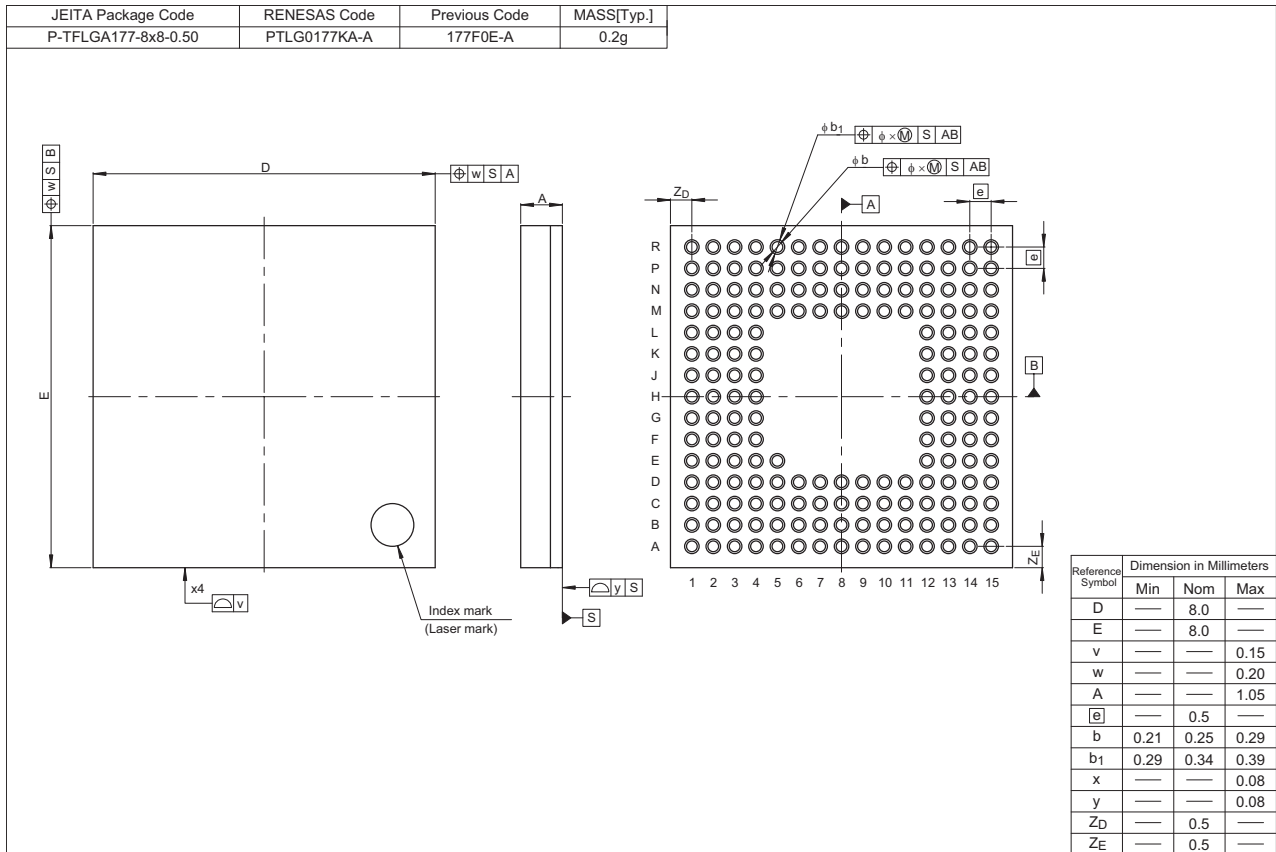


図 A. 177 ピン TFLGA (PTLG0177KA-A)

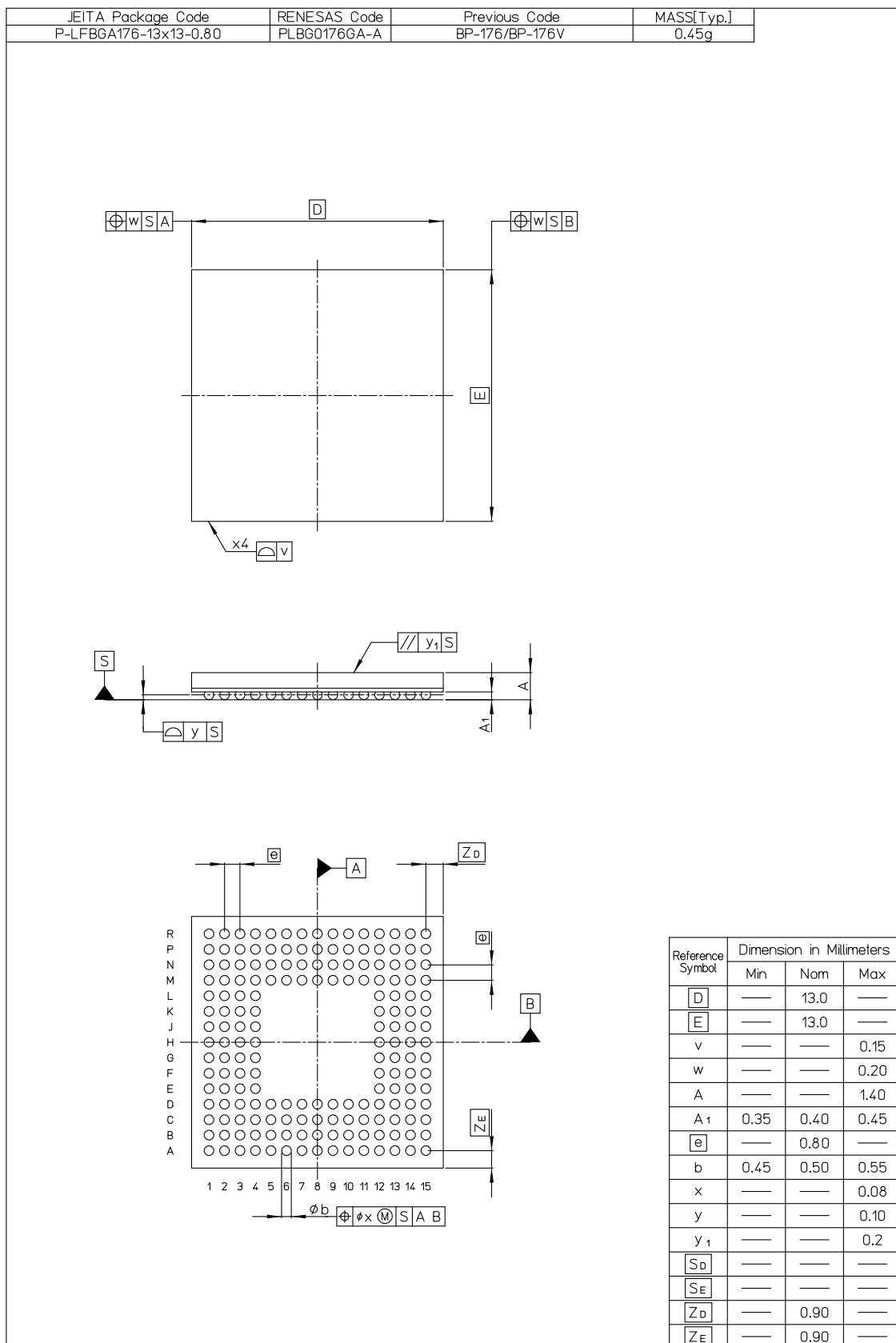


図 B. 176 ピン LFBGA (PLBG0176GA-A)

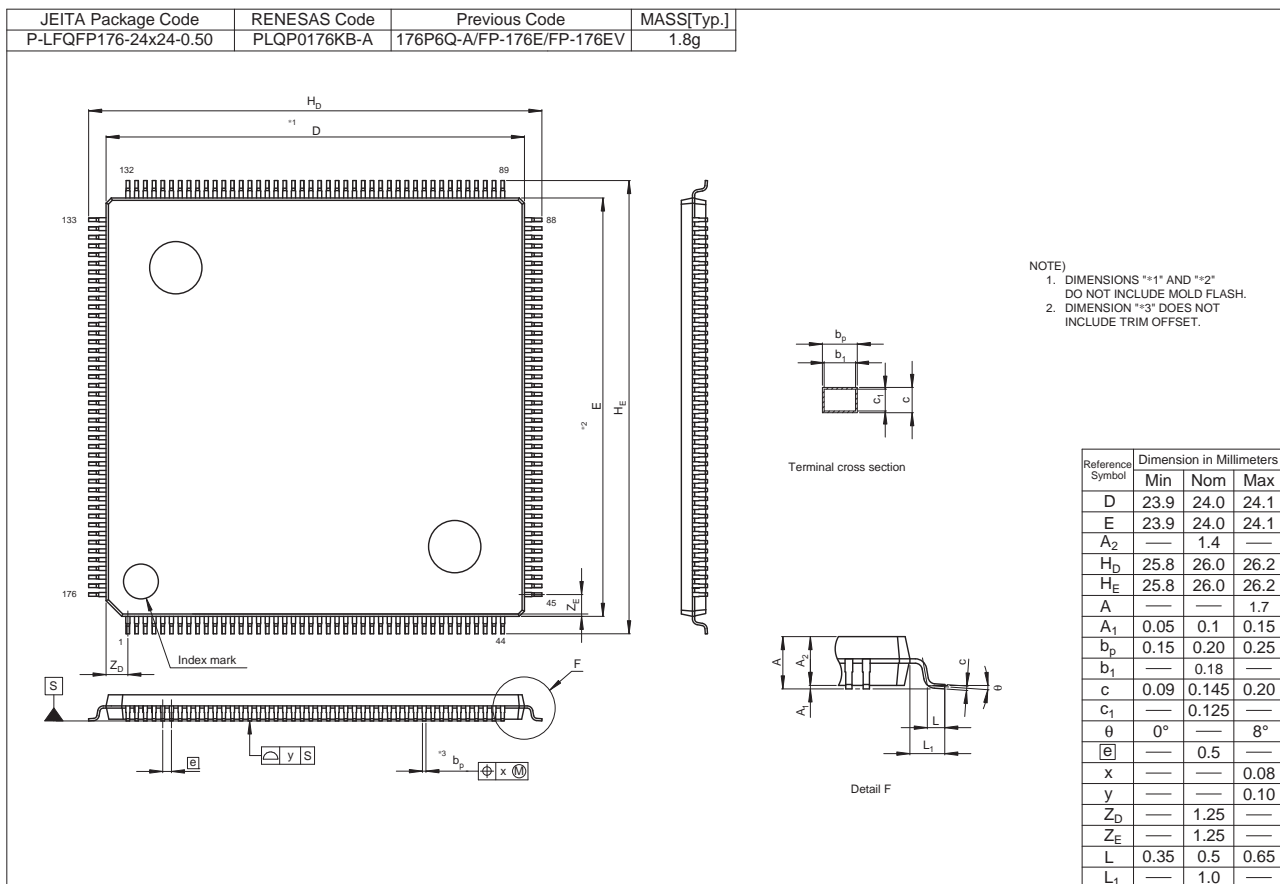


図 C. 176 ピン LFQFP (PLQP0176KB-A)

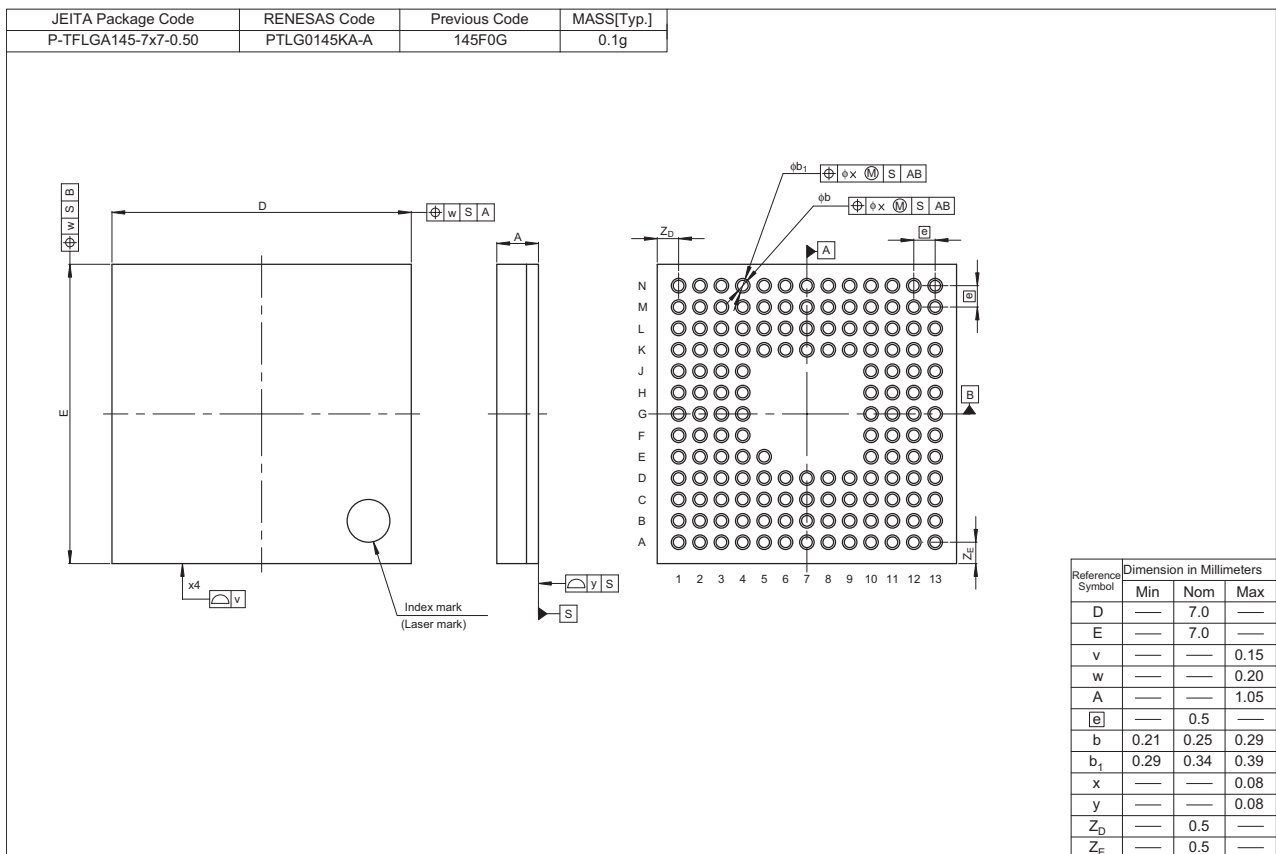


図 D. 145 ピン TFLGA (PTLG0145KA-A)

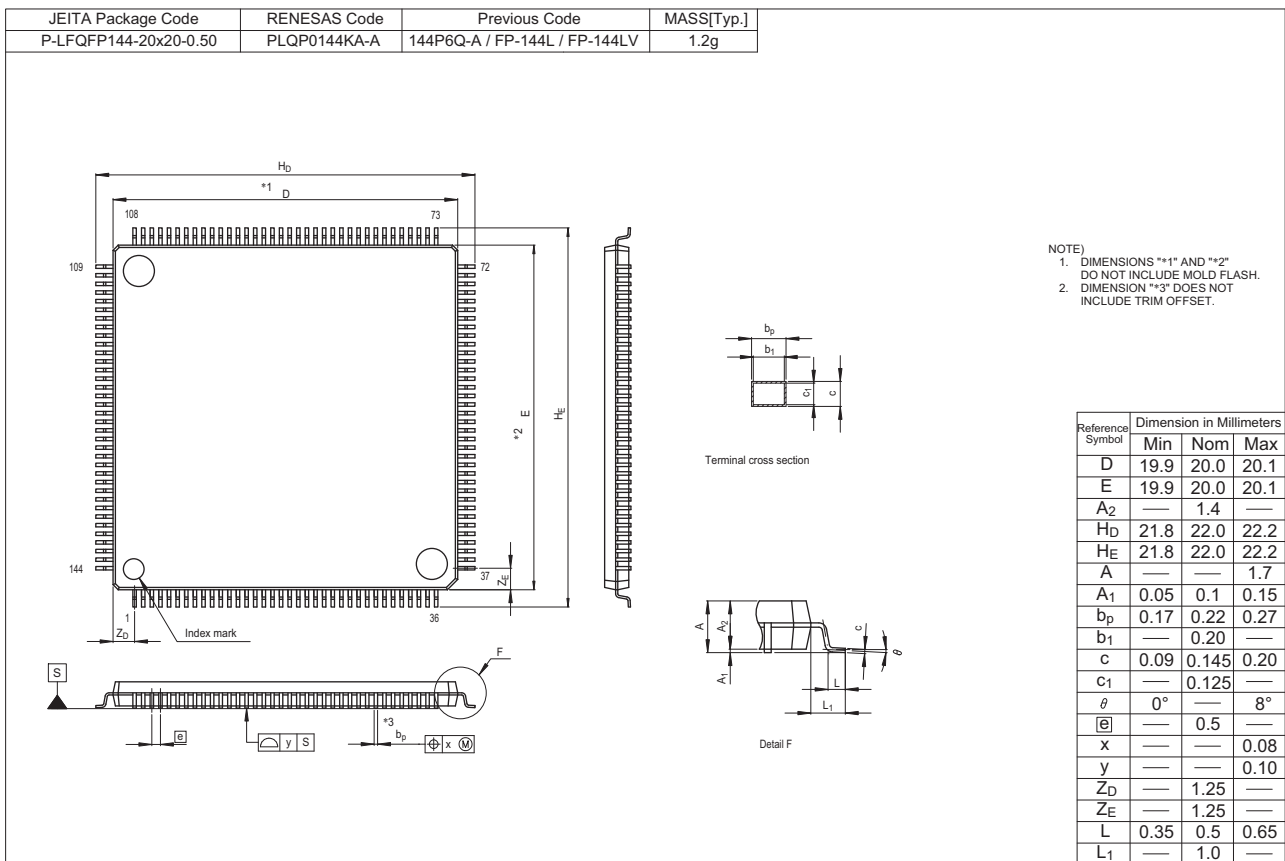


図 E. 144 ピン LQFP (PLQP0144KA-A)

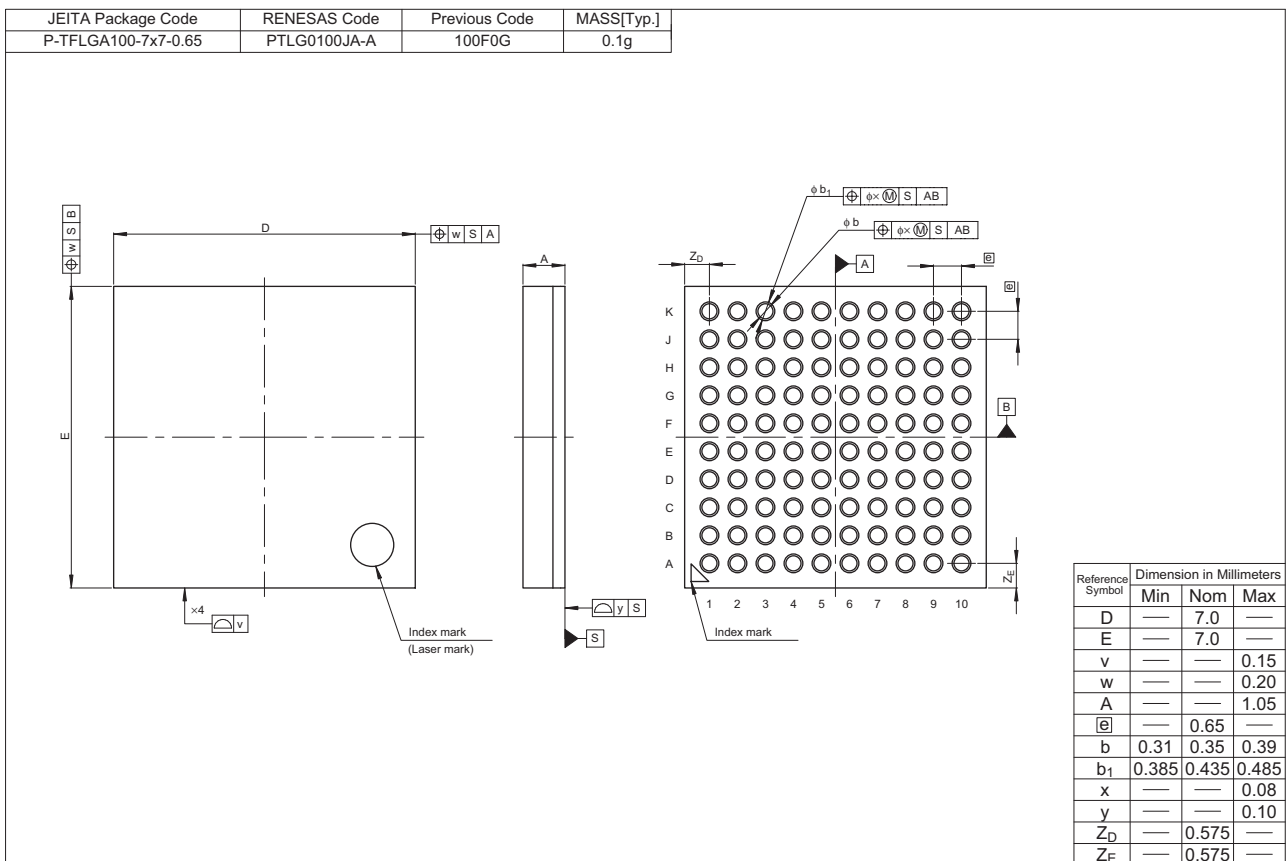
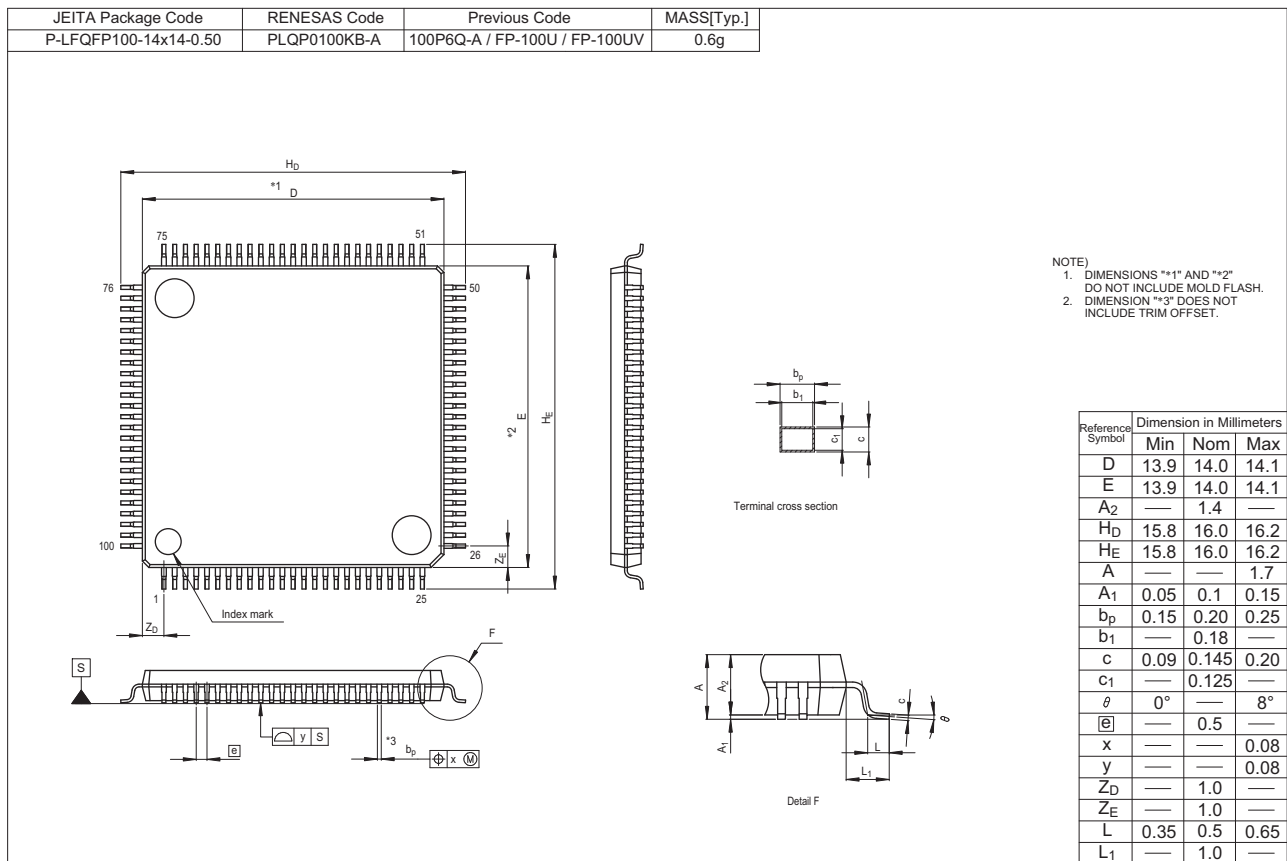


図 F. 100 ピン TFLGA (PTLG0100JA-A)



☒ G. 100 ピン LFQFP (PLQP0100KB-A)

改訂記録	RX64M グループ データシート
------	-------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2014.02.28	—	初版発行
1.00	2014.07.31	特長	
		1	■データ転送機能 変更
		1. 概要	
		—	FINEC (端子) 削除
		2	表 1.1 仕様概要 (1 / 9) 変更
		3	表 1.1 仕様概要 (2 / 9) 変更
		6	表 1.1 仕様概要 (5 / 9) 変更
		7	表 1.1 仕様概要 (6 / 9) 変更
		8	表 1.1 仕様概要 (7 / 9) 変更
		9	表 1.1 仕様概要 (8 / 9) 変更
		10	表 1.1 仕様概要 (9 / 9) 変更
		16	図 1.1 型名とメモリサイズ・パッケージ 変更
		19	表 1.4 端子機能一覧 (2 / 8) 変更
		20	表 1.4 端子機能一覧 (3 / 8) 変更
		25	表 1.4 端子機能一覧 (8 / 8) 注記を追加
		2. CPU 追加	
		3. アドレス空間 追加	
		4. I/O レジスタ 追加	
		5. 電気的特性 追加	
付録 1. 外形寸法図 追加			

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2016.10.24	全体	【用語統一】 GPTa→GPTA LQFP→LFQFP	
		特長		
			AESの鍵データ長を訂正	TN-RX*-A122A/J
		1. 概要		
		2	表 1.1 仕様概要 (1 / 9) 変更	TN-RX*-A127A/J
		5	表 1.1 仕様概要 (4 / 9) 変更	
		10	表 1.1 仕様概要 (9 / 9) 変更	TN-RX*-A122A/J
		28	図 1.5 ピン配置図 (176ピンLFQFP) 変更	
		50	表 1.7 機能別端子一覧 (145ピンTFLGA) (2 / 7) 変更	
		51	表 1.7 機能別端子一覧 (145ピンTFLGA) (3 / 7) 変更	
		56	表 1.8 機能別端子一覧 (144ピンLFQFP) (1 / 7) 変更	
		60	表 1.8 機能別端子一覧 (144ピンLFQFP) (5 / 7) 変更	
		64	表 1.9 機能別端子一覧 (100ピンTFLGA) (2 / 5) 変更	
		65	表 1.9 機能別端子一覧 (100ピンTFLGA) (3 / 5) 変更	
		70	表 1.10 機能別端子一覧 (100ピンLFQFP) (3 / 5) 変更	
		71	表 1.10 機能別端子一覧 (100ピンLFQFP) (4 / 5) 変更	
		4. I/O レジスタ		
		79	(4) スリープモード時およびモード遷移時の注意事項 追加	
		80	表 4.1 I/O レジスタアドレス一覧 (1 / 53) 0008 1200h 追加	TN-RX*-A127A/J
81	表 4.1 I/O レジスタアドレス一覧 (2 / 53) 0008 1201h、0008 1204h、0008 1208h 追加			

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.10	2016.10.24	107	表4.1 I/Oレジスタアドレス一覧 (28 / 53) 0008 C296h 追加		
		109	表4.1 I/Oレジスタアドレス一覧 (30 / 53) 変更	TN-RX*-A152A/J	
		110	表4.1 I/Oレジスタアドレス一覧 (31 / 53) 変更		
		116	表4.1 I/Oレジスタアドレス一覧 (37 / 53) 変更 000C 0438h, 000C 046Ch 削除		
		127、128	表4.1 I/Oレジスタアドレス一覧 (48 / 53)、(49 / 53) RSPIのアクセスサイクル数 変更		
		132	表4.1 I/Oレジスタアドレス一覧 注記を追加	TN-RX*-A152A/J	
		5. 電気的特性			
		133	表5.1 絶対最大定格 変更	TN-RX*-A160A/J	
		134	表5.2 DC特性 (1) 変更	TN-RX*-A159A/J TN-RX*-A160A/J	
		135	表5.3 DC特性 (2) 変更	TN-RX*-A159A/J	
		177	図5.48 RSPIタイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を2分周に設定) 変更		
		200	表5.49 温度センサ特性 変更		
		205	図5.84 バッテリバックアップ機能特性 変更		
		206	表5.53 コードフラッシュメモリ特性 変更	TN-RX*-A146A/J	
		207	表5.54 データフラッシュメモリ特性 変更		
		1.20	2022.10.20	全体	Gバージョンの製品を追加
特長					
1	動作周囲温度 変更				
1. 概要					
10	表1.1 仕様概要 (9/9) 変更				
16	表1.3 製品一覧表 (4/4) 変更				
17	図1.1 型名とメモリサイズ・パッケージ 変更				
24	表1.4 端子機能一覧 (6/8) 変更				
2. 電気的特性					
74	表2.1 絶対最大定格 変更				
74	表2.2 推奨動作条件 追加				
76	表2.4 DC特性(2) 変更				
77、78	表2.5 DC特性(3) 変更				
79	表2.6 DC特性(4) 変更				
80	表2.7 熱抵抗値(参考値) 追加				
86	表2.16 LOCO, IWDI専用低速クロックタイミング 変更				
153	表2.55 バッテリバックアップ機能特性 変更				
154	表2.56 コードフラッシュメモリ特性 変更				
156	図2.96 フラッシュメモリプログラム/イレーズサスペンドタイミング 変更				

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。