

RX72T グループ

ルネサスマイクロコンピュータ

R01DS0331JJ0110

Rev.1.10

2023.10.06

200MHz、32ビットRX MCU、FPU内蔵、1160 Coremark、電源5V対応、最大1Mバイトフラッシュメモリ、128KバイトSRAM、32Kバイトデータフラッシュメモリ、16KバイトのECC付SRAM、12ビットA/Dコンバータ3ユニットで最大7ch同時サンプリング、シングルエンド/疑似差動入力対応アンプ6ch、アナログコンパレータ6ch、200MHz PWM (3相相補4ch、5相相補2ch、単相相補10ch)、最小195ps高分解能PWM 4ch、USB2.0フルスピードホスト/ファンクション/OTG、CAN、暗号機能(オプション)

特長

■ 32ビットRXv3 CPU コア内蔵

- 最高動作周波数 200MHz
1160 Coremark の性能 (200MHz 動作時)
- JTAGおよびFINE (1線式)の2種類のデバッグインタフェース
- レジスタ一括退避機能を使用可能

■ 消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 4種類の低消費電力モード

■ 内蔵コードフラッシュメモリ

- 1Mバイト / 512Kバイト
- 120MHz以下もしくはROMキャッシュヒット時はウェイトなし
- オンボードおよびオフボードによるユーザ書き込み

■ 内蔵データフラッシュメモリ

- 32Kバイト (プログラム/イレース: 100,000回)
- Back Ground Operation (BGO) によるプログラミング/イレース

■ 内蔵 SRAM

- 128Kバイト SRAM (ノーウェイト)
- 16Kバイト ECC付きRAM (ウェイトあり)

■ データ転送機能

- DMACa: 8ch 内蔵
- DTCa: 1ch 内蔵

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態において、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) 内蔵
- 低電圧検出機能 (LVDA) が設定可能

■ クロック機能

- メインクロック発振子周波数: 8 ~ 24MHz、内部 PLL 対応
- 高速オンチップオシレータ: 16MHz/18MHz/20MHz、内部 PLL 対応
- 低速オンチップオシレータ: 240kHz

■ 独立ウォッチドッグタイマ内蔵

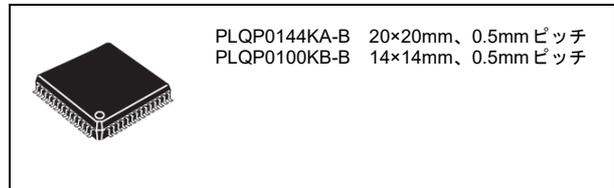
- 120kHz IWDWT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- 発振停止検出、A/Dコンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOCによるRAMテストアシスト機能、CRCA など
- 重要なレジスタの書き換え保護が可能なメモリプロテクションユニット内蔵

■ 外部バス

- バスクロック @40MHz (max)
- 4つのCS領域をサポート
- エリアごとに8/16ビットバス空間を選択可能



■ 多種多様な通信機能を内蔵

- USB2.0フルスピード (USBb)ホスト/ファンクション/OTG (1ch)
- CAN (ISO11898-1 準拠)、32メールボックス内蔵 (1ch)
- 多彩な機能に対応した SCIj、SCIh (計 6ch)
調歩同期式モード/クロック同期式モード/スマートカードインタフェースモード/簡易 SPI/簡易 I²C/拡張シリアルモードから選択
- 16バイトの送受信 FIFO 搭載 SCli (1ch)
- I²C バスインタフェース (RIICa) (1ch) Fast-mode (最大 400kbps)、SMBus 対応
- RSPId (1ch) 最大 30Mbps 転送

■ 最大 31本の拡張タイマ機能

- 32ビット GPTW (10ch): 200MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 単相相補 10ch 出力 / 3相相補 3ch 出力 / 5相相補 2ch 出力など、位相計数モード、コンパレータ連動 (カウント動作、PWM ネット制御)
- 16ビット MTU3d (9ch): 200MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 3相相補 2ch 出力、位相計数モード
- 8ビット TMR (8ch)
- 16ビット CMT (4ch)

■ 高分解能 PWM 波形生成回路 (HRPWM) 4ch

- 32ビット GPTW の PWM 出力波形の立ち上がり/立ち下がりタイミング制御を最小 195ps の分解能で実現 (160MHz 動作時)

■ 12ビット A/D コンバータ (S12ADH) 3ユニット計 30ch 内蔵

- サンプリング & ホールド回路内蔵 12ビット × 最大 3 ユニット ユニット 0 (8ch 「3 S/H 回路」)、ユニット 1 (8ch 「3 S/H 回路」)、ユニット 2 (14ch)
- 疑似差動入力が必要なプログラマブルゲインアンプ (3ch × 2)

■ アナログコンパレータ (CMPc): 6ch

■ 12ビット D/A コンバータ (R12DAb): 2ch

- アナログコンパレータの基準電圧として使用可能

■ チップ内部の温度を計測可能な温度センサを内蔵

■ 暗号機能 (Trusted Secure IP Lite)

- AES (鍵長 128/256ビット) 内蔵、ECB、CBC、GCM 他に対応
- 真性乱数発生回路内蔵
- 暗号エンジンへの不正アクセスを禁止し、成りすまし、改ざんを防止
- 鍵の安全な管理を提供

■ 最大 110本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ 推奨動作周囲温度 (Topr)

- -40°C ~ +85°C
- -40°C ~ +105°C

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数、およびコードフラッシュメモリ容量によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 8)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：200MHz 32ビットRX CPU (RXv3) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 113命令 標準搭載命令：111命令 基本命令：77命令 単精度浮動小数点演算命令：11命令 DSP機能命令：23命令 レジスタ一括退避機能命令：2命令 アドレッシングモード：11種類 データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点数 (32ビット) IEEE754に準拠したデータタイプ、および例外
	レジスタ一括退避機能	<ul style="list-style-type: none"> CPUレジスタの退避・復帰を一括して高速に行う 16個のレジスタ退避バンクを搭載
メモリ	コードフラッシュメモリ	<ul style="list-style-type: none"> 容量：1Mバイト/512Kバイト ROMキャッシュ：8Kバイトの命令キャッシュ動作の許可/禁止が設定可能 (デフォルト：禁止) [ROMキャッシュ動作許可時] <ul style="list-style-type: none"> キャッシュヒット時：200MHzまで1サイクルアクセス可能 キャッシュミス時： <ul style="list-style-type: none"> ICLK ≤ 120MHzのとき、1~2サイクル(バスウェイト0) ICLK > 120MHzのとき、2~3サイクル(バスウェイト1) [ROMキャッシュ動作禁止時] <ul style="list-style-type: none"> ICLK ≤ 120MHzのとき、1サイクル(バスウェイト0) ICLK > 120MHzのとき、2サイクル(バスウェイト1) オンボードプログラミング：5種類 オフボードプログラミング(パラレルライターモード) Trusted Memory (TM)機能による、ブロック8、9に格納したプログラムは命令実行のみ可能、データリード防止機能を実現
	データフラッシュメモリ	<ul style="list-style-type: none"> 容量：32Kバイト プログラム/イレーズ回数：100000回
	ユニークID	<ul style="list-style-type: none"> 12バイト長のデバイス固有のID
	RAM	<ul style="list-style-type: none"> 容量：128Kバイト 200MHz、ノーウェイトアクセス SED (シングルエラー検出)
	ECC付きRAM	<ul style="list-style-type: none"> 容量：16Kバイト 00FF C000h~00FF FFFFh (16Kバイト) SEC-DED (シングルエラー訂正/ダブルエラー検出)

表 1.1 仕様概要 (2 / 8)

分類	モジュール/機能	説明
動作モード		<ul style="list-style-type: none"> リセット解除時のモード設定端子による動作モード シングルチップモード ブートモード(SCIインタフェース) ブートモード(USBインタフェース) ブートモード(FINEインタフェース) ユーザブートモード レジスタ設定による動作モードの選択 シングルチップモード、ユーザブートモード、内蔵ROM無効拡張モード、内蔵ROM有効拡張モード エンディアン選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTP専用オンチップオシレータ 周辺モジュールクロックの周波数をシステムクロックの周波数より高速に設定可能 メインクロック発振器停止検出：あり システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、FlashIFクロック(FCLK)、外部バスクロック(BCLK)を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：200MHz max MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)、RSPI、SCI11の周辺モジュールは、PCLKA同期：120MHz max 上記以外の周辺モジュールは、PCLKB同期：60MHz max MTU3とGPTWのカウンタ基準クロックはPCLKC同期：200MHz max HRPWMの基準クロックはPCLKC同期：160MHz max S12ADのADCLKはPCLKD同期：60MHz max Flash IFは、FCLK同期：60MHz max 外部バスに接続するデバイスは、BCLK同期：40MHz max 高速オンチップオシレータHOCOをPLL回路のリファレンスクロックとして逡倍可能
リセット		<p>9種類のリセットを内蔵</p> <ul style="list-style-type: none"> RES#端子リセット：RES#端子がLowで発生 パワーオンリセット：RES#端子がHighで、VCCの上昇時発生 電圧監視0リセット：VCCの下降時発生 電圧監視1リセット：VCCの下降時発生 電圧監視2リセット：VCCの下降時発生 ディープソフトウェアスタンバイリセット： ディープソフトウェアスタンバイモード解除の割り込みで発生 独立ウォッチドッグタイマリセット： 独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ウォッチドッグタイマリセット： ウォッチドッグタイマのアンダフローまたはリフレッシュエラーで発生 ソフトウェアリセット：レジスタ設定で発生
パワーオンリセット		<ul style="list-style-type: none"> RES#端子をHighにして電源投入すると、内部リセットを発生 VCCが電圧検出レベルを超えると、一定時間経過後解除
電圧検出回路(LVDA)		<p>VCC端子に入力する電圧を監視し、内部リセットまたは内部割り込みを発生</p> <ul style="list-style-type: none"> 電圧検出回路0 内部リセット発生可能 オプション設定メモリで有効/無効を選択可 電圧検出レベル：2レベルから選択可 電圧検出回路1, 2 電圧検出レベル：5レベルから選択可 デジタルフィルタ機能有り(LOCOの2/4/8/16分周) 内部リセット発生可能 リセット解除タイミング2種類選択可 内部割り込み要求可能 上昇検知/下降検知選択可 マスカブルもしくはノンマスカブル選択可 電圧検出モニタ機能有り イベントリンク機能有り
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

表 1.1 仕様概要 (3 / 8)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUC)	<ul style="list-style-type: none"> 割り込みベクタ数：256 外部割り込み：要因数16 (IRQ0～IRQ15端子) ソフトウェア割り込み：要因数2 ノンマスクブル割り込み：要因数7 16レベルの割り込み優先順位を設定可能 割り込み要因選択方式： 割り込みベクタは256ベクタで構成(208要因は固定ベクタ。残り48要因から135ベクタを選択)
外部バス拡張		<ul style="list-style-type: none"> 外部アドレス空間を4つのエリア (CS0～CS3)に分割して管理 各エリアの領域：2Mバイト (CS0～CS3) エリアごとにチップセレクト (CS0#～CS3#)出力可能 エリアごとに8ビットバス空間/16ビットバス空間を選択可能 エリアごとにエンディアンを設定可能(データのみ) バス形式：セパレートバス、マルチプレクスバス ウェイト制御可能 ライトバッファ機能
DMA	DMAコントローラ (DMACa)	<ul style="list-style-type: none"> 8チャンネル 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因：外部割り込み、周辺機能割り込み
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 144ピンLQFP 入出力：110 入力：9 プルアップ抵抗：110 オープンドレイン出力：110 5Vトレラント：4 大電流出力：15 100ピンLQFP (PGA疑似差動入力あり、USBあり) 入出力：69 入力：9 プルアップ抵抗：69 オープンドレイン出力：69 5Vトレラント：3 大電流出力：15 100ピンLQFP (PGA疑似差動入力あり、USBなし) 入出力：72 入力：9 プルアップ抵抗：72 オープンドレイン出力：72 5Vトレラント：3 大電流出力：15 100ピンLQFP (PGA疑似差動入力なし、USBなし) 入出力：73 入力：7 プルアップ抵抗：73 オープンドレイン出力：73 5Vトレラント：3 大電流出力：15
	イベントリンクコントローラ (ELC)	<ul style="list-style-type: none"> 割り込み要求等のイベントでCPUを介さずタイマカウント等の機能が連動可能 188種類の内部イベントを自由に組み合わせて接続間の機能を連動可能 周辺機能のイベントで出力端子の状態を変更可能(ポートB、E) 入力端子の変化で周辺機能が連動可能(ポートB、E)

表 1.1 仕様概要 (4 / 8)

分類	モジュール/機能	説明
タイマ	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル)×4ユニット • 7種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192)と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5, SCI6, SCI12のポーレートクロック生成可能 • ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル)×2ユニット • 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512)を選択可能 • ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウンタクロック (PCLKB/4, PCLKB/64, PCLKB/128, PCLKB/512, PCLKB/2048, PCLKB/8192)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウンタクロック : IWDT専用オンチップオシレータ • IWDT専用クロック /1, IWDT専用クロック /16, IWDT専用クロック /32, IWDT専用クロック /64, IWDT専用クロック /128, IWDT専用クロック /256 • ウィンドウ機能 : ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間) • ELCによるイベントリンク機能をサポート
	マルチファンクションタイマパルスユニット3 (MTU3d)	<ul style="list-style-type: none"> • 9チャンネル(16ビット×9チャンネル) • 最大28本のパルス入出力、および3本のパルス入力が可能 • 14種類のカウンタクロック (PCLKC/1, PCLKC/2, PCLKC/4, PCLKC/8, PCLKC/16, PCLKC/32, PCLKC/64, PCLKC/256, PCLKC/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャンネル1, 3, 4は11種類、チャンネル2は12種類、チャンネル5は10種類) • 43本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT)への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 45種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル/PWM/相補PWM/リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相/逆相PWM波形を3相出力 • 位相計数モード : 16ビットモード(チャンネル1, 2)/32ビットモード(チャンネル1, 2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能。また外部端子で変換開始タイミングがモニタ可能。 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウンタクロック端子にデジタルフィルタあり • ELCによるイベントリンク機能をサポート • 内部周辺バスクロック : PCLKA • カウンタ基準クロック : PCLKC • 周波数比 : PCLKA : PCLKC = 1 : N (N = 1または2)

表 1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	ポートアウトプットイネーブル3 (POE3B)	<ul style="list-style-type: none"> MTU3/GPTW波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御 POE0, POE4, POE8, POE9, POE10, POE11, POE12, POE13, POE14の9つの入力端子による起動 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出)による起動 コンパレータ検出/発振停止検出/ソフトウェアによる起動 出力制御対象端子をプログラマブルに追加制御可能
	汎用PWMタイマ (GPTW)	<ul style="list-style-type: none"> 32ビット×10チャンネル 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) チャンネルごとに独立したクロックソースを選択可能 チャンネルごとに2本の入出力端子 チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) PWM動作の際にデッドタイム生成が可能 任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能 最大8個のELCイベントに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 最大4個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能 コンペアマッチA~Fイベント、オーバフローイベント/アンダフローイベントをELCに出力可能 インプットキャプチャのノイズフィルタを使用可能 内部周辺バスクロック : PCLKA カウンタ基準クロック : PCLKC 周波数比 : PCLKA : PCLKC = 1 : N (N = 1または2)
	高分解能PWM (HRPWM)	<ul style="list-style-type: none"> GPTW0~GPTW3が生成するPWM波形を最小約195psの分解能で整形可能
	GPTW用ポートアウトプットイネーブル (POEG)	<ul style="list-style-type: none"> GPTW波形出力の出力禁止制御 GTETRG端子の入力レベル検出による起動 GPTWからの出力禁止要求による起動 コンパレータ割り込み要求検出による起動 発振停止検出/ソフトウェアによる起動

表 1.1 仕様概要 (6 / 8)

分類	モジュール/機能	説明
通信機能	USB2.0 FS ホスト/ファンクションモジュール (USBb)	<ul style="list-style-type: none"> • USB2.0 FSに対応したUDC (USB Device Controller)およびトランシーバを内蔵 • 1ポート • USBバージョン2.0準拠 • 転送スピード：フルスピード(12Mbps)、ロースピード(1.5Mbps) (ホストのみ) • セルフパワーモードおよびバスパワーを選択可能 • OTG (On-The-Go)に対応 (ロースピードは未対応) • 通信バッファとして2KバイトのRAMを内蔵 • 外付けPull-Up抵抗、Pull-Down抵抗が不要
	シリアルコミュニケーションインタフェース (SCIj, SCli, SCih)	<ul style="list-style-type: none"> • 7チャンネル SCIj : SCI1, SCI5, SCI6, SCI8, SCI9 SCli : SCI11 SCih : SCI12 • SCIj, SCli, SCih シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ポーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出：レベルおよびエッジを選択可能 簡易I²Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート 倍速モードをサポート データ一致検出をサポート(SCI12以外) ELCによるイベントリンク機能をサポート(SCI5のみ) • SCliのみ 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 • SCihのみ スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース (RIIc)	<ul style="list-style-type: none"> • 1チャンネル 通信フォーマット I²Cバスフォーマット/SMBusフォーマット マルチマスタ対応 最大転送レート：400kbps • ELCによるイベントリンク機能をサポート
	CANモジュール(CAN)	<ul style="list-style-type: none"> • 1チャンネル • ISO11898-1仕様に準拠 (標準フレーム/拡張フレーム) • 32メールボックス/チャンネル
シリアルペリフェラルインタフェース (RSPic)	<ul style="list-style-type: none"> • 1チャンネル • RSPI転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock)信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 • データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16, 20, 24, 32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 • バッファ構成 送信/受信バッファ構成はダブルバッファ • マスタ受信時、RSPCKは受信バッファフルで自動停止可能 • ELCによるイベントリンク機能をサポート 	

表 1.1 仕様概要 (7 / 8)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADH)		<ul style="list-style-type: none"> 12ビット(8チャンネル×2ユニット、最大14チャンネル×1ユニット) 分解能：12ビット 最小変換時間：1チャンネル当たり0.9μs (ADCLK = 60MHz動作時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3グループスキャンモード) グループA優先制御動作(3グループスキャンモードのみ) サンプル&ホールド機能 チャンネル専用サンプル&ホールド回路を搭載(ユニット0×3チャンネル、ユニット1×3チャンネル) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 任意チャンネル順変換機能(同一チャンネルの連続変換は不可) ダブルトリガモード(A/D変換データ二重化機能) A/D変換開始条件 ソフトウェアトリガ、同期トリガ(MTU, TMR, ELC)、外部トリガ グループスキャン優先制御がグループA、B、C間に対応可能 デジタルコンペア機能 方式：大小比較、またはウィンドウ比較 手段：2つの変換結果を比較、または比較レジスタと変換結果を比較 自己診断機能 アナログ入力断線検出機能 ELCによるイベントリンク機能をサポート プログラマブルゲインアンプによる入力信号増幅機能(ユニット0×3チャンネル、ユニット1×3チャンネル) シングルエンド/疑似差動入力に対応可能
12ビットD/Aコンバータ (R12DAb)		<ul style="list-style-type: none"> 2チャンネル 分解能：12ビット 出力電圧：0V～AVCC2 コンパレータのリファレンス電圧として供給可能 ELCによるイベントリンク機能をサポート
コンパレータC (CMPC)		<ul style="list-style-type: none"> 6チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧：4種類から選択可能 アナログ入力電圧：4種類から選択可能 デジタルフィルタ機能あり
温度センサ		<ul style="list-style-type: none"> 1チャンネル 相対精度：±1.0°C 温度を電圧に変換し12ビットA/Dコンバータ(ユニット2)でデジタル化
三角関数演算器 (TFU)		<ul style="list-style-type: none"> sin演算、cos演算、arctan演算、$\sqrt{x^2+y^2}$演算 sinとcosの同時演算 arctanと$\sqrt{x^2+y^2}$の同時演算

表 1.1 仕様概要 (8 / 8)

分類	モジュール/機能	説明
セーフティ	メモリプロテクションユニット (MPU)	<ul style="list-style-type: none"> プロテクションエリア：0000 0000h～FFFF FFFFh範囲内で最大8エリアを設定可能 最小保護単位：16バイト 各エリアごとに読み出し/書き込み/実行のアクセス許可を設定可能 設定エリア外へのアクセス検出時、アクセス例外が発生
	Trusted Memory (TM) 機能	<ul style="list-style-type: none"> コードフラッシュメモリのブロック8、9に対するプログラムのリード防止機能 TM機能有効時はCPUによる命令フェッチのみ実行可能、データリード防止
	レジスタライトプロテクション	<ul style="list-style-type: none"> プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器 (CRCA)	<ul style="list-style-type: none"> 8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	<ul style="list-style-type: none"> メインクロック発振停止検出：あり
	クロック周波数精度測定回路 (CAC)	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDWT専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路 (DOC)	<ul style="list-style-type: none"> 16ビットのデータを比較/加算/減算する機能
暗号機能	Trusted Secure IP (TSIP-Lite)	<ul style="list-style-type: none"> アクセスマネジメント回路搭載 暗号エンジン AES鍵長：128ビット/256ビット 暗号利用モード：GCM, ECB, CBC, CMAC, XTS, CTR, GCTR ハッシュ機能 真性乱数生成回路 鍵の不正コピー防止
動作周波数		200MHz max
電源電圧		VCC = 2.7～5.5V AVCC0 = AVCC1 = AVCC2 = 3.0～5.5V (ただし、VCC ≤ AVCC0 = AVCC1 = AVCC2) USB使用時：VCC_USB = 3.0～3.6V (ただし、VCC ≥ VCC_USB) USB未使用時：VCC_USB = VCC VSS = AVSS0 = AVSS1 = AVSS2 = VSS_USB = 0V
動作周囲温度		Dバージョン：-40～+85°C Gバージョン：-40～+105°C
パッケージ		144ピンLFQFP 0.5mmピッチ 100ピンLFQFP 0.5mmピッチ
デバッグインタフェース		<ul style="list-style-type: none"> JTAGおよび1線式FINEインタフェース

表 1.2 パッケージ別機能比較一覧 (1 / 2)

モジュール/機能		RX72Tグループ			
		PGA疑似差動入力あり			PGA疑似差動入力なし
		USBあり		USBなし	
		144ピン	100ピン	100ピン	100ピン
コードフラッシュメモリ容量		max1MB			
外部バス	外部バス幅	16ビット			
	アドレス空間	2Mバイト×4エリア			2Mバイト×3エリア
外部割り込み	NMI端子	あり			
	IRQ端子	16本			
DMA	DMAコントローラ	あり			
	データトランスファコントローラ	あり			
タイマ	マルチファンクションタイマパルスユニット3	9チャンネル(ch0～7, ch9)			
	汎用PWMタイマ	10チャンネル			
	高分解能PWM	4チャンネル			
	ポートアウトプットイネーブル3	あり			
	GPTW用ポートアウトプットイネーブル	あり			
	8ビットタイマ	2チャンネル×4ユニット			
	コンペアマッチタイマ	2チャンネル×2ユニット			
	独立ウォッチドックタイマ	あり			
通信機能	USB2.0 FS ホスト/ファンクションモジュール	1チャンネル		—	
	シリアルコミュニケーションインタフェース (SCIj)	5チャンネル (SCI1, 5, 6, 8, 9)			
	シリアルコミュニケーションインタフェース (SCIi)	1チャンネル (SCI11)			
	シリアルコミュニケーションインタフェース (SCIh)	1チャンネル (SCI12)			
	I ² Cバスインタフェース	1チャンネル			
	シリアルペリフェラルインタフェース	1チャンネル			
	CANモジュール	1チャンネル			
12ビットA/Dコンバータ	AN000～007 (注1) (ユニット0: 8本)	AN000～003, 007 (注1) (ユニット0: 5本)		AN000～003 (ユニット0: 4本)	
	AN100～107 (注1) (ユニット1: 8本)	AN100～103, 107 (注1) (ユニット1: 5本)		AN100～103 (ユニット1: 4本)	
	AN200～211, 216, 217 (ユニット2: 14本)	AN200～203, 206～211, 216, 217 (ユニット2: 12本)		AN200～211, 216, 217 (ユニット2: 14本)	
	3チャンネル同時サンプリング機能	3チャンネル×2ユニット (ユニット0, 1)			
	プログラマブルゲインアンプ	6チャンネル			
コンパレータC	6チャンネル				
D/Aコンバータ	2チャンネル				
温度センサ	1チャンネル				

表 1.2 パッケージ別機能比較一覧 (2 / 2)

モジュール/機能	RX72Tグループ			
	PGA疑似差動入力あり		PGA疑似差動入力なし	
	USBあり		USBなし	
	144ピン	100ピン	100ピン	100ピン
CRC演算器	あり			
クロック周波数精度測定回路	あり			
Trusted Secure IP (TSIP-Lite)	あり/なし			
イベントリンクコントローラ	あり			
パッケージ	144ピン LQFP	100ピン LQFP	100ピン LQFP	100ピン LQFP

注1. PGA疑似差動入力を許可しているときは、AN007、AN107は使用できません。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	コードフラッシュメモリ容量	RAM容量	データフラッシュメモリ容量	PGA疑似差動入力	TSIP-Lite	USB	動作周囲温度
RX72T (Dバージョン)	R5F572TKCDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+85°C
	R5F572TKGDFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+85°C
	R5F572TFCDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+85°C
	R5F572TFGDFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+85°C
	R5F572TKADFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～+85°C
	R5F572TKBDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～+85°C
	R5F572TKCDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+85°C
	R5F572TKEDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～+85°C
	R5F572TKDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～+85°C
	R5F572TKGDFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+85°C
	R5F572TFADFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～+85°C
	R5F572TFBDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～+85°C
	R5F572TFCDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+85°C
	R5F572TFEDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～+85°C
	R5F572TFDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～+85°C
R5F572TFGDFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+85°C	
RX72T (Gバージョン)	R5F572TKCGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+105°C
	R5F572TKGGFB	PLQP0144KA-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+105°C
	R5F572TFCGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+105°C
	R5F572TFGGFB	PLQP0144KA-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+105°C
	R5F572TKAGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～+105°C
	R5F572TKBGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～+105°C
	R5F572TKCGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+105°C
	R5F572TKEGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～+105°C
	R5F572TKFGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～+105°C
	R5F572TKGGFP	PLQP0100KB-B	1Mバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+105°C
	R5F572TFAGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	なし	-40～+105°C
	R5F572TFBGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	なし	なし	-40～+105°C
	R5F572TFCGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	なし	あり	-40～+105°C
	R5F572TFEGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	なし	-40～+105°C
	R5F572TFFGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	なし	あり	なし	-40～+105°C
R5F572TFGGFP	PLQP0100KB-B	512Kバイト	128Kバイト	32Kバイト	あり	あり	あり	-40～+105°C	

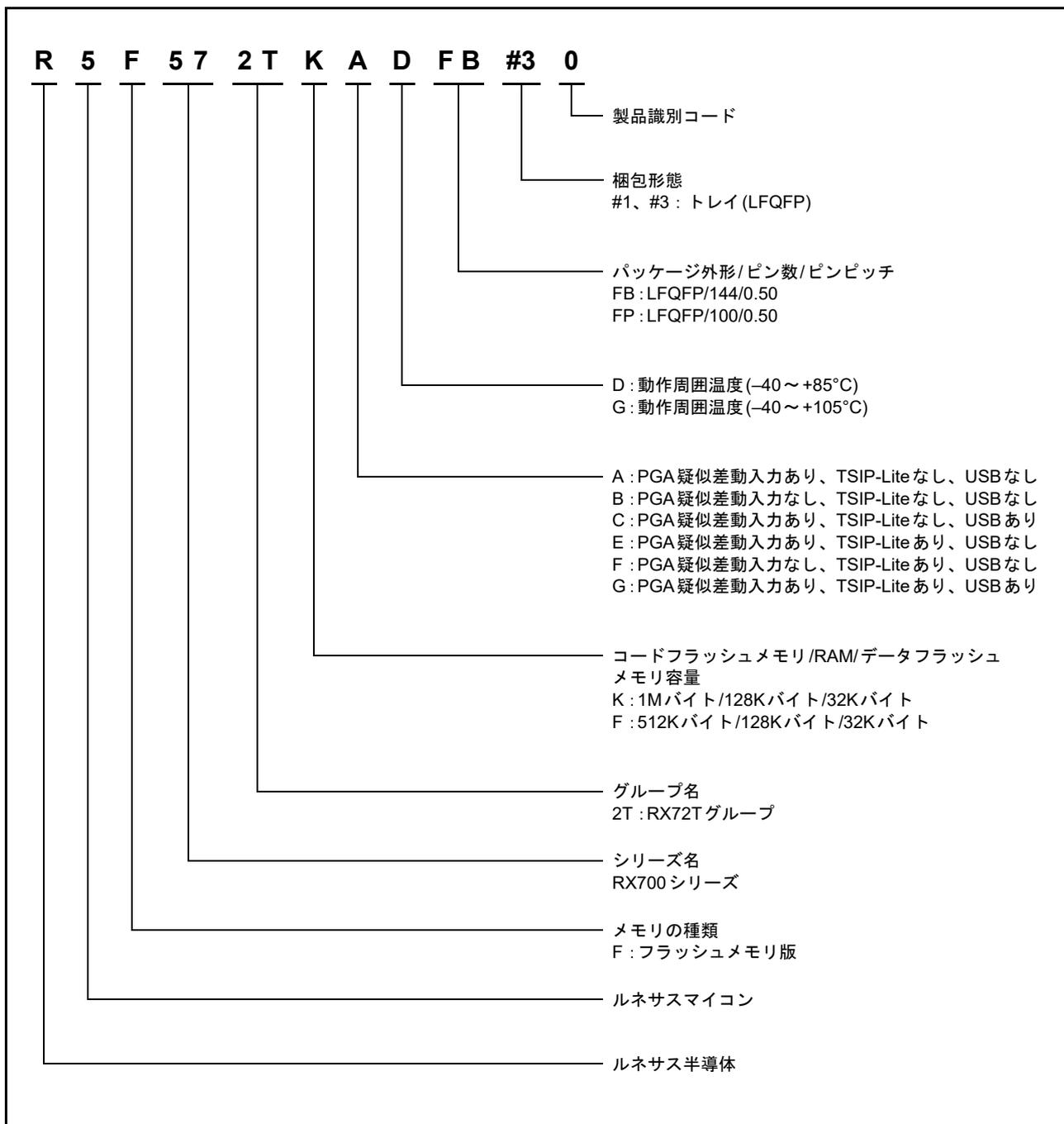


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

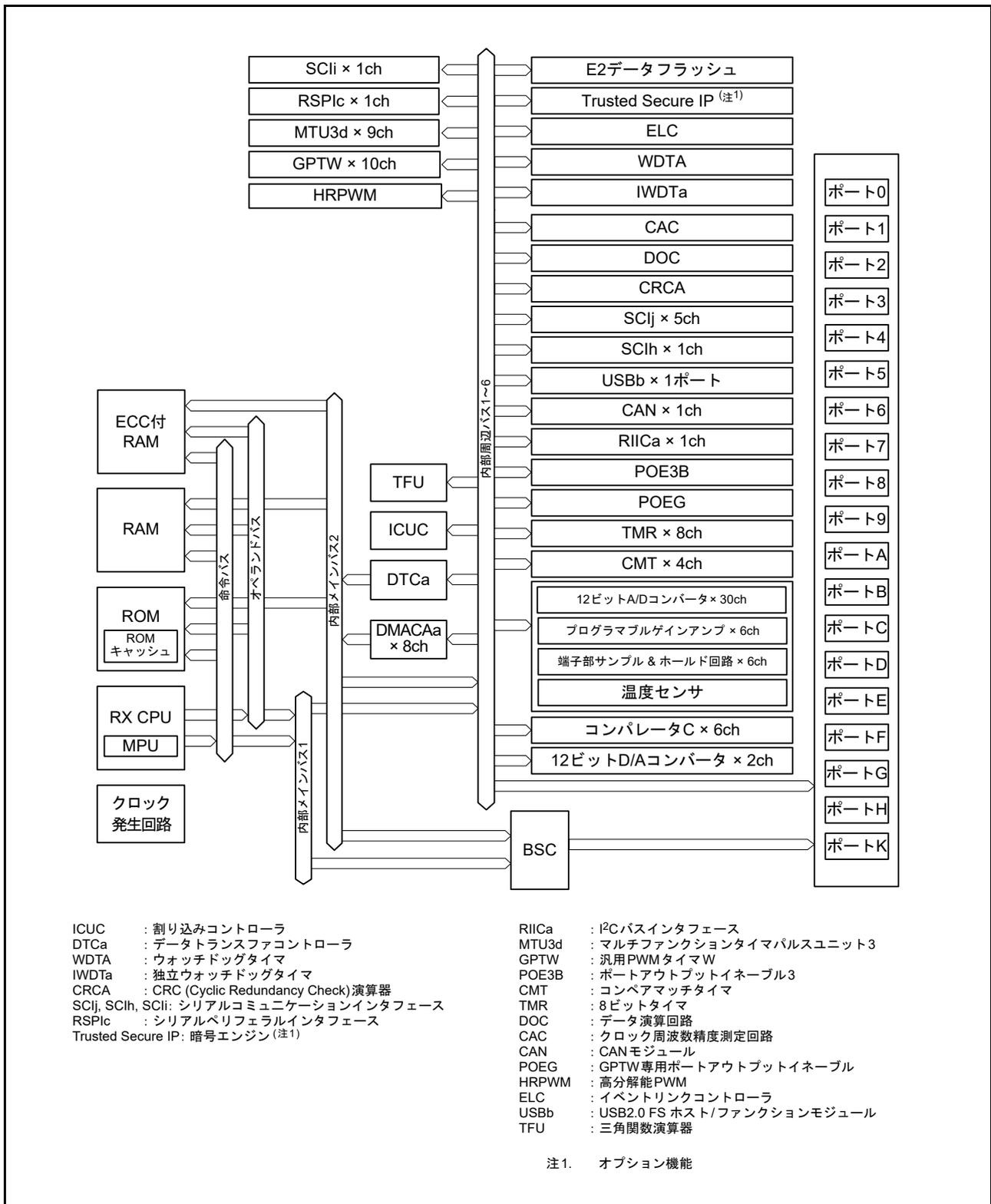


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 6)

分類	端子名	入出力	機能	
デジタル電源	VCC	—	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください	
	VCL	—	内部電源安定用の平滑コンデンサ(0.47μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください	
	VSS	—	グランド端子。システムの電源(0V)に接続してください	
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます	
	EXTAL	入力		
	BCLK	出力	外部デバイス用の外部バスクロック出力端子	
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください	
	UB	入力	ブートモード(USBインタフェース)、またはユーザブートモードイネーブル端子	
	UPSEL	入力	ブートモード(USBインタフェース)時の電源供給方式を選択。Lowでセルフパワー、Highでバスパワーを選択	
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります	
	EMLE	入力	オンチップエミュレータイネーブル端子。オンチップエミュレータを使用する場合は、Highにしてください。オンチップエミュレータを使用しない場合は、Lowとしてください	
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子	
	TRST#	入力	オンチップエミュレータ用端子。EMLE端子をHighにするとオンチップエミュレータ専用端子になります	
	TMS	入力		
	TDI	入力		
	TCK	入力		
	TDO	出力		
	TRCLK	出力		トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力		TRDATA0～TRDATA3端子からの出力が有効データであることを示します
	TRSYNC1	出力	TRDATA4～TRDATA7端子からの出力が有効データであることを示します	
	TRDATA0	出力	トレース情報を出力します	
	TRDATA1			
	TRDATA2			
	TRDATA3			
TRDATA4				
TRDATA5				
TRDATA6				
TRDATA7				
アドレスバス	A0～A20	出力	アドレスバス出力	
データバス	D0～D15	入出力	双方向データバス	
マルチプレクスバス	A0/D0～A15/D15	入出力	アドレス/データマルチプレクスバス	

表 1.4 端子機能一覧 (2 / 6)

分類	端子名	入出力	機能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストロブ信号
	WR#	出力	1ライトストロブモード時、外部バスインタフェース空間をライト中であることを示すストロブ信号
	WR0#, WR1#	出力	バイトストロブモード時、外部バスインタフェース空間をライト中で、データバス(D7~D0, D15~D8)のいずれかが有効であることを示すストロブ信号
	BC0#, BC1#	出力	1ライトストロブモード時、外部バスインタフェース空間をアクセス中で、データバス(D7~D0, D15~D8)のいずれかが有効であることを示すストロブ信号
	ALE	出力	アドレスデータマルチプレクスバス選択時のアドレスラッチ信号
	WAIT#	入力	外部空間をアクセスするときのウェイト要求信号
	CS0#~CS3#	出力	CS領域選択信号
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0~IRQ15	入力	割り込み要求端子
	IRQ0-DS~IRQ15-DS	入力	割り込み要求端子、ディープソフトウェアスタンバイモードの解除端子
マルチファンクション タイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0~TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3~TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4~TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D	入出力	TGRA6~TGRD6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC6A#, MTIOC6B#, MTIOC6C#, MTIOC6D#	入出力	TGRA6~TGRD6のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D	入出力	TGRA7~TGRD7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC7A#, MTIOC7B#, MTIOC7C#, MTIOC7D#	入出力	TGRA7~TGRD7のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D	入出力	TGRA9~TGRD9のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC9A#, MTIOC9B#, MTIOC9C#, MTIOC9D#	入出力	TGRA9~TGRD9のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子

表 1.4 端子機能一覧 (3 / 6)

分類	端子名	入出力	機能
マルチファンクション タイマパルスユニット3	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/D変換開始要求フレーム同期信号出力端子
汎用PWMタイマ	GTETRGA	入力	外部トリガ入力端子
	GTETRGB		
	GTETRGC		
	GTETRGD		
	GTIOC0A~GTIOC9A, GTIOC0B~GTIOC9B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#~GTIOC9A#, GTIOC0B#~GTIOC9B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子	
8ビットタイマ	TMO0~TMO7	出力	コンペアマッチ出力端子
	TMCIO~TMCIO7	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI7	入力	カウンタリセット入力端子
ポートアウトプットイ ネーブル3	POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#	入力	MTU3およびGPTW用の端子をハイインピーダンス状態にする要求信号を入力
シリアル コミュニケーション インタフェース (SCI)	・ 調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	RXD1, RXD5, RXD6, RXD8, RXD9	入力	受信データ入力端子
	TXD1, TXD5, TXD6, TXD8, TXD9	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#, CTS8#, CTS9#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#, RTS8#, RTS9#	出力	送受信開始制御用出力端子
	・ 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6, SSCL8, SSCL9	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5, SSDA6, SSDA8, SSDA9	入出力	I ² Cデータ入出力端子
	・ 簡易SPIモード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6, SMISO8, SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6, SMOSI8, SMOSI9	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#, SS8#, SS9#	入力	チップセレクト入力端子

表 1.4 端子機能一覧 (4 / 6)

分類	端子名	入出力	機能	
シリアル コミュニケーション インタフェース (SCIh)	・調歩同期式モード/クロック同期式モード			
	SCK12	入出力	クロック入出力端子	
	RXD12	入力	受信データ入力端子	
	TXD12	出力	送信データ出力端子	
	CTS12#	入力	送受信開始制御用入力端子	
	RTS12#	出力	送受信開始制御用出力端子	
	・簡易I ² Cモード			
	SSCL12	入出力	I ² Cクロック入出力端子	
	SSDA12	入出力	I ² Cデータ入出力端子	
	・簡易SPIモード			
	SCK12	入出力	クロック入出力端子	
	SMISO12	入出力	スレーブ送出データ入出力端子	
	SMOSI12	入出力	マスタ送出データ入出力端子	
	SS12#	入力	チップセレクト入力端子	
	・拡張シリアルモード			
	RXDX12	入力	受信データ入力端子	
	TXDX12	出力	送信データ出力端子	
	SIOX12	入出力	送受信データ入出力端子	
	シリアル コミュニケーション インタフェース (SCli)	・調歩同期式モード/クロック同期式モード		
		SCK11	入出力	クロック入出力端子
RXD11		入力	受信データ入力端子	
TXD11		出力	送信データ出力端子	
CTS11#		入力	送受信開始制御用入力端子	
RTS11#		出力	送受信開始制御用出力端子	
・簡易I ² Cモード				
SSCL11		入出力	I ² Cクロック入出力端子	
SSDA11		入出力	I ² Cデータ入出力端子	
・簡易SPIモード				
SCK11		入出力	クロック入出力端子	
SMISO11		入出力	スレーブ送出データ入出力端子	
SMOSI11		入出力	マスタ送出データ入出力端子	
SS11#		入力	チップセレクト入力端子	
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます	
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます	
USB2.0 ホスト/ファンク ションモジュール	VCC_USB	入力	電源端子	
	VSS_USB	入力	グラウンド端子	
	USB0_DP	入出力	USBバスのD+データ	
	USB0_DM	入出力	USBバスのD-データ	
	USB0_EXICEN	出力	OTG電源ICに接続	
	USB0_ID	入力	OTG電源ICに接続	
	USB0_VBUSEN	出力	USB用VBUSパワーイネーブル端子	
	USB0_OVRCURA, USB0_OVRCURB	入力	USB用オーバカレント端子	
	USB0_VBUS	入力	USBケーブルの接続/切断検出入力端子	

表 1.4 端子機能一覧 (5 / 6)

分類	端子名	入出力	機能
CANモジュール	CRX	入力	入力端子
	CTX	出力	出力端子
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN002, AN100～AN102	入力	A/Dコンバータのアナログ入力端子 (PGA疑似差動入力時は+側入力)
	AN003～AN007, AN103～AN107, AN200～AN211, AN216～AN217	入力	A/Dコンバータのアナログ入力端子
	ADST0, ADST1, ADST2	出力	AD変換中を示すステータス出力端子
	ADTRG0#, ADTRG1#, ADTRG2#	入力	A/D変換開始のための外部トリガ入力端子
	PGAVSS0, PGAVSS1	入力	ユニット内のPGA疑似差動入力の共通基準グランド端子
12ビットD/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータC	COMP0～COMP5	出力	コンパレータ検出結果出力端子
	CVREFC0, CVREFC1	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCn用アナログ入力端子 (n = 0～5, m = 0～3)
アナログ電源	AVCC0	—	12ビットA/Dコンバータ0のアナログ電源端子。12ビットA/Dコンバータ0を使用しない場合は、AVCC1/AVCC2のいずれかに接続してください
	AVSS0	—	12ビットA/Dコンバータ0のアナロググランド端子。12ビットA/Dコンバータ0を使用しない場合は、AVSS1/AVSS2のいずれかに接続してください
	AVCC1	—	12ビットA/Dコンバータ1のアナログ電源端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVCC0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVCC2に接続してください
	AVSS1	—	12ビットA/Dコンバータ1のアナロググランド端子。 12ビットA/Dコンバータ1を使用しないが12ビットA/Dコンバータ0を使用する場合は、AVSS0に接続してください。 12ビットA/Dコンバータ1、12ビットA/Dコンバータ0を使用しない場合は、AVSS2に接続してください
	AVCC2	—	12ビットA/Dコンバータ2のアナログ電源端子、D/Aコンバータの基準電源端子、コンパレータCのアナログ電源端子、温度センサのアナログ電源端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVCC0/AVCC1のいずれかに接続してください
	AVSS2	—	12ビットA/Dコンバータ2のアナロググランド端子、D/Aコンバータの基準グランド端子、コンパレータCのアナロググランド端子、温度センサのアナロググランド端子。 12ビットA/Dコンバータ2、12ビットD/Aコンバータ、コンパレータC、温度センサを使用しない場合は、AVSS0/AVSS1のいずれかに接続してください
I/Oポート	P00～P01	入出力	汎用入出力端子
	P10～P17	入出力	汎用入出力端子
	P20～P27	入出力	汎用入出力端子
	P30～P37	入出力	汎用入出力端子
	P40～P47	入出力	汎用入出力端子 (P40～P42、P44～P46は入力端子)
	P50～P55	入出力	汎用入出力端子

表 1.4 端子機能一覧 (6 / 6)

分類	端子名	入出力	機能
I/Oポート	P60～P65	入出力	汎用入出力端子
	P70～P76	入出力	汎用入出力端子
	P80～P82	入出力	汎用入出力端子
	P90～P96	入出力	汎用入出力端子
	PA0～PA7	入出力	汎用入出力端子
	PB0～PB7	入出力	汎用入出力端子
	PC0～PC6	入出力	汎用入出力端子
	PD0～PD7	入出力	汎用入出力端子
	PE0～PE6	入出力	汎用入出力端子 (PE2は入力端子)
	PF0～PF3	入出力	汎用入出力端子
	PG0～PG2	入出力	汎用入出力端子
	PH0～PH7	入出力	汎用入出力端子 (PH0、PH4は入力端子)
	PK0～PK2	入出力	汎用入出力端子

注. A/Dコンバータ、D/Aコンバータ、コンパレータC、温度センサをすべて使用しない場合、AVCC0、AVCC1、AVCC2端子はVCCに、AVSS0、AVSS1、AVSS2端子はVSSにそれぞれ接続してください。

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子としても使用できます。

1.5 ピン配置図

1.5.1 144ピン LQFP (PGA 疑似差動入力あり、USB 端子あり)

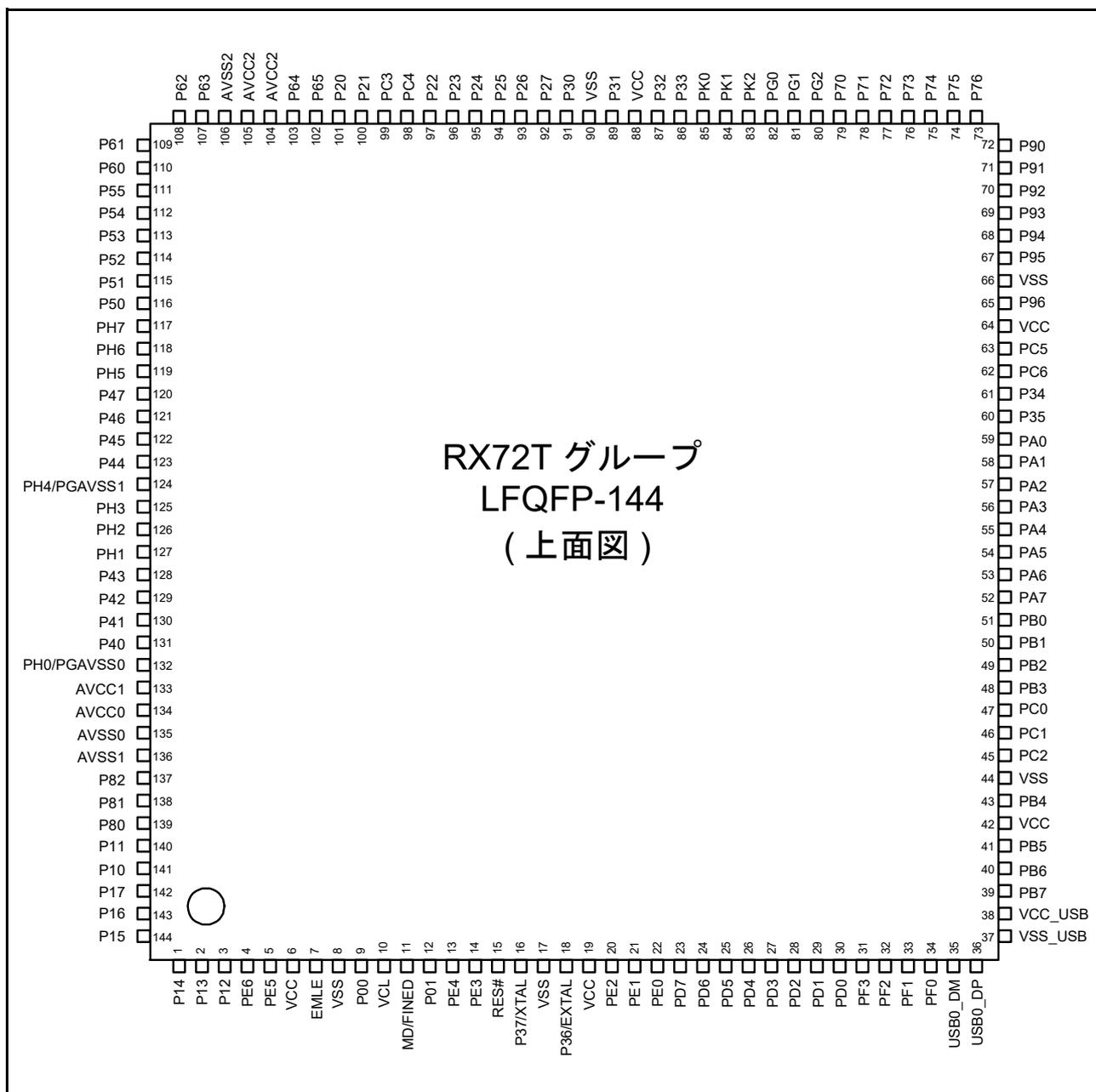


図 1.3 144ピン (LQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子あり)

1.5.2 100ピン LQFP (PGA 疑似差動入力あり、USB 端子あり)

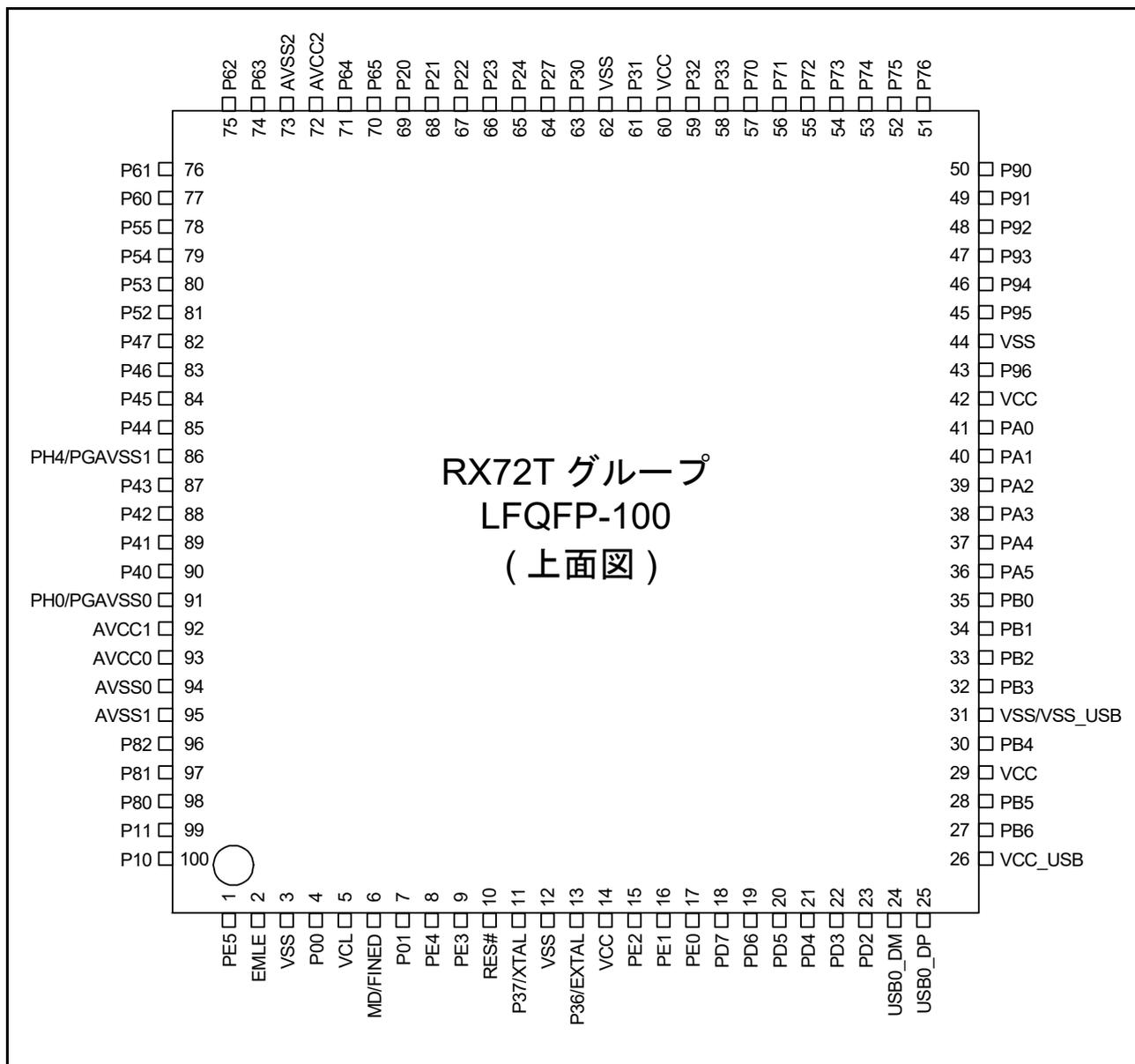


図 1.4 100ピン (LQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子あり)

1.5.3 100ピン LQFP (PGA 疑似差動入力あり、USB 端子なし)

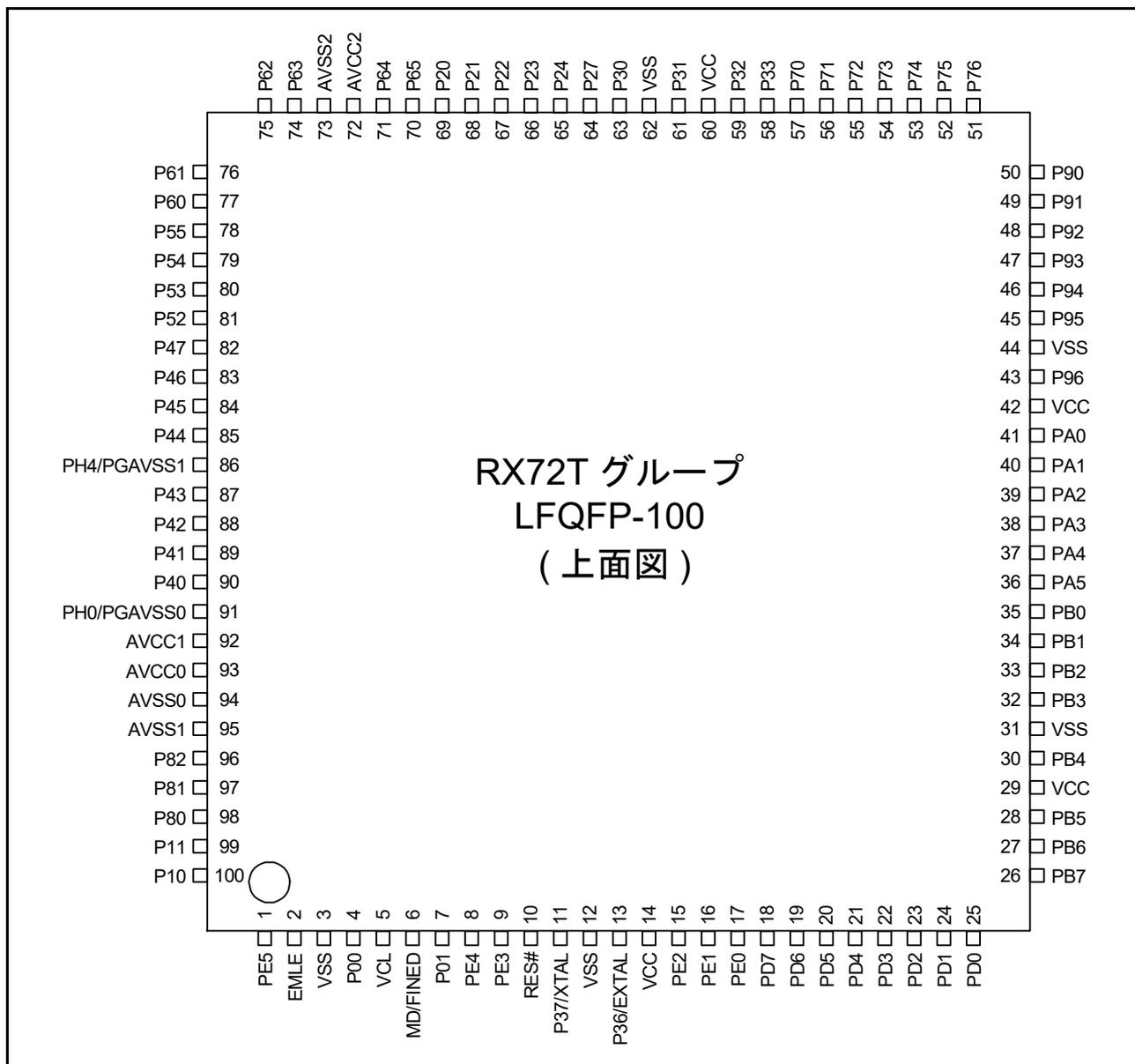


図 1.5 100ピン (LQFP) ピン配置図 (PGA 疑似差動入力あり、USB 端子なし)

1.5.4 100ピン LQFP (PGA 疑似差動入力なし、USB 端子なし)

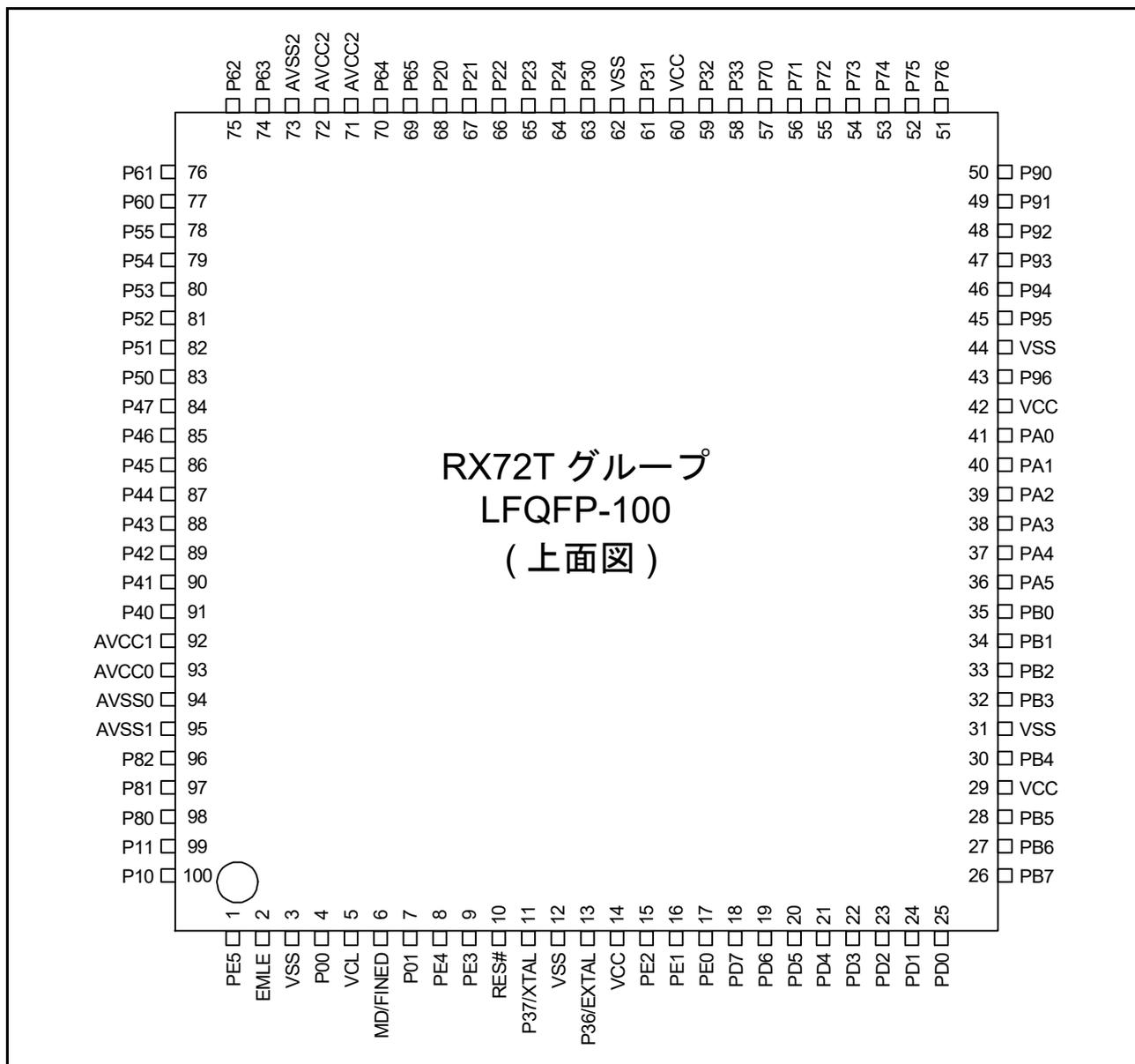


図 1.6 100ピン (LQFP) ピン配置図 (PGA 疑似差動入力なし、USB 端子なし)

1.6 機能別端子一覧

1.6.1 144ピン LQFP (PGA 疑似差動入力あり、USB 端子あり)

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (1 / 10)

ピン 番号 144ピン LQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
1		P14		MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC9A/ GTIOC2A#/ GTIOC9A#			IRQ11		
2		P13		MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC8A/ GTIOC1A#/ GTIOC8A#			IRQ10		
3		P12		MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC7A/ GTIOC0A#/ GTIOC7A#			IRQ9		
4		PE6	RD#	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE10#			IRQ3		
5		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRG B/ GTIOC3A#/ GTETRG D	SCK9/CTS9#/ RTS9#/SS9#		IRQ0		ADST0
6	VCC								
7	EMLE								
8	VSS								
9	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ2		ADST1/ COMP0
10	VCL								
11	MD/FINED								
12		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12		IRQ4		ADST2/ COMP1

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(2/10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
13		PE4	A9	MTCLKC/ MTCLKC#/ GTETRG GTETRGB/ GTETRGC/ GTETRGD/ POE10#	SCK9		IRQ1		
14		PE3	A8	MTCLKD/ MTCLKD#/ GTETRG GTETRGB/ GTETRGC/ GTETRGD/ POE11#	CTS9#/ RTS9#/ SS9#		IRQ2-DS		
15	RES#								
16	XTAL	P37							
17	VSS								
18	EXTAL	P36							
19	VCC								
20	UPSEL	PE2		POE10#			NMI		
21		PE1	WR0#/ WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/ RTS5#/ SS5#/ CTS12#/ RTS12#/ SS12#/ SSLA3		IRQ15		
22		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMC11/ TMC15	RXD5/ SMISO5/ SSCL5/ SSLA2/ CRX0	USB0_OV RCURB	IRQ7		
23	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMR11/ TMR15	TXD5/ SMOSI5/ SSDA5/ SSLA1/ CTX0		IRQ8		
24	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/ TMO1	CTS1#/ RTS1#/ SS1#/ CTS11#/ RTS11#/ SS11#/ SSLA0		IRQ5		ADST0
25	TDI	PD5		GTIOC1A/ GTETRG GTIOC1A#/ TMR10/ TMR16	RXD1/ SMISO1/ SSCL1/ RXD11/ SMISO11/ SSCL11		IRQ6		
26	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/ TMC10/ TMC16	SCK1/ SCK11		IRQ2		
27	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/ TMO0	TXD1/ SMOSI1/ SSDA1/ TXD11/ SMOSI11/ SSDA11				

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(3 / 10)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
28	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/ TMC11/TMO4	SCK5/SCK8/ MOSIA	USB0_VB US			
29	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/ TMO2	RXD8/SMISO8/ SSCL8/MISOA				
30	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/ TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA				
31	TRDATA7	PF3	A19/CS3#	GTETRGA/ TMO7	CTS11#/RTS11#/ SS11#/CRX0		IRQ14		COMP0
32	TRDATA6	PF2	A18/CS2#	GTETRGB/ TMO3	SCK11/CTX0		IRQ5		COMP1
33	TRDATA5	PF1	A17/CS1#	GTETRGC/ TMO5	RXD11/SMISO11/ SSCL11		IRQ13		COMP2
34	TRDATA4	PF0	A0/BC0#	GTETRGD/ TMO1	TXD11/SMOSI11/ SSDA11		IRQ12		COMP3
35						USB0_DM			
36						USB0_DP			
37	VSS_USB								
38	VCC_USB								
39	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12	USB0_OV RCURB			
40	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0	USB0_OV RCURA	IRQ2		
41	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0	USB0_VB USEN			
42	VCC								
43	TRSYNC1	PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	USB0_OV RCURB	IRQ3-DS		
44	VSS								
45		PC2	CS1#	MTIOC0D/ MTIOC0D#/ GTADSM0	SCK8	USB0_ID/ USB0_OV RCURA	IRQ15		ADSM0/ COMP5

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(4/10)

ピン 番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
46		PC1	A16	MTIOC0C/ MTIOC0C#/ GTADSM1	TXD8/SMOSI8/ SSDA8	USB0_EXI CEN/ USB0_VB USEN	IRQ13		ADSM1/ COMP4
47		PC0	CS0#	MTIOC0B/ MTIOC0B#	RXD8/SMISO8/ SSCL8	USB0_VB US	IRQ12		COMP3
48		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA		IRQ9		
49		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/ TMRI0	TXD6/SMOSI6/ SSDA6/SDA0				ADSM0
50		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/ TMCI0	RXD6/SMISO6/ SSCL6/SCL0		IRQ4		ADSM1
51		PB0	A0/BC0#/ A4	MTIOC0D/ MTIOC0D#/ TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA		IRQ8		ADTRG2#
52		PA7	A15	MTCLKA/ MTCLKC/ MTCLKA#/ MTCLKC#/ GTADSM0/ TMO2	RXD11/SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0				ADSM0
53		PA6	A14	MTCLKB/ MTCLKD/ MTCLKB#/ MTCLKD#/ GTADSM1/ TMO6	TXD11/SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0		IRQ7		ADSM1
54		PA5	A3	MTIOC1A/ MTIOC1A#/ TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA		IRQ1		ADTRG1#
55		PA4	A2	MTIOC1B/ MTIOC1B#/ TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA				ADTRG0#
56		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/ TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0				
57		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/ TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1				
58		PA1		MTIOC6A/ MTIOC6A#/ TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/ SSCL11/SSLA2/ CRX0	USB0_ID/ USB0_OV RCUR_A	IRQ14-DS		ADTRG0#

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(5/10)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
59		PA0		MTIOC6C/ MTIOC6C#/ TMO2	SCK9/TXD11/ SMOS11/ SSDA11/SSLA3/ CTX0	USB0_EXI CEN/ USB0_VB USEN			
60		P35	A13	MTIOC2A/ MTIOC9A/ MTIOC2A#/ MTIOC9A#/ GTADSM0/ TMO0	CTS8#/RTS8#/ SS8#/TXD1/ SMOS11/SSDA1		IRQ6		
61		P34	A12	MTIOC2B/ MTIOC9B/ MTIOC2B#/ MTIOC9B#/ GTADSM1/ GTETRGB/ TMO4	CTS9#/RTS9#/ SS9#/RXD1/ SMISO1/SSCL1	USB0_OV RCURB	IRQ3		
62		PC6		MTIOC1A/ MTIOC9C/ MTIOC1A#/ MTIOC9C#	RXD11/SMISO11/ SSCL11/CRX0		IRQ11-DS		
63		PC5		MTIOC1B/ MTIOC9D/ MTIOC1B#/ MTIOC9D#	TXD11/SMOS11/ SSDA11/CTX0		IRQ10-DS		
64	VCC								
65		P96	CS0#/ WAIT#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE4#	CTS8#/RTS8#/ SS8#		IRQ4-DS		
66	VSS								
67		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#					
68		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#					
69		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#					
70		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#					

表 1.5 機能別端子一覧(144ピン PGA疑似差動入力あり、USB端子あり) (6 / 10)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
71		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#					
72		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#					
73		P76	D0 [A0/ D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#					
74		P75	D1 [A1/ D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#					
75		P74	D2 [A2/ D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#					
76		P73	D3 [A3/ D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#					
77		P72	D4 [A4/ D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#					
78		P71	D5 [A5/ D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#					
79		P70	D6 [A6/ D6]	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE0#	CTS9#/RTS9#/ SS9#		IRQ5-DS		
80		PG2	D11 [A11/ D11]	GTETRGA/ GTIOC0B/ GTIOC0B#	SCK9		IRQ2		COMP0

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(7/10)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
81		PG1	D12 [A12/ D12]	GTIOC0A/ GTIOC0A#	TXD9/SMOSI9/ SSDA9		IRQ1		COMP1
82		PG0	D13 [A13/ D13]	GTIOC1B/ GTIOC1B#	RXD9/SMISO9/ SSCL9		IRQ0		COMP2
83		PK2	D14 [A14/ D14]	GTIOC1A/ GTIOC1A#/ POE12#	CTS9#/RTS9#/ SS9#/SCK5		IRQ9-DS		COMP3
84		PK1	D15 [A15/ D15]	GTIOC2B/ GTIOC2B#/ POE13#	CTS8#/RTS8#/ SS8#/TXD5/ SMOSI5/SSDA5		IRQ8-DS		COMP4
85		PK0	CS1#	GTIOC2A/ GTIOC2A#/ POE14#	RXD5/SMISO5/ SSCL5		IRQ15-DS		COMP5
86		P33	D7 [A7/ D7]	MTIOC3A/ MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/ TMO0	SSLA3		IRQ13-DS		
87		P32	D8 [A8/ D8]	MTIOC3C/ MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/ TMO6	SSLA2		IRQ12-DS		
88	VCC								
89		P31	D9 [A9/ D9]	MTIOC0A/ MTCLKC/ MTIOC0A#/ MTCLKC#/ TMRI6	SSLA1		IRQ6		
90	VSS								
91		P30	D10 [A10/ D10]	MTIOC0B/ MTCLKD/ MTIOC0B#/ MTCLKD#/ TMCI6	SCK8/CTS8#/ RTS8#/SS8#/ SSLA0		IRQ7		COMP3
92		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/ POE9#			IRQ15		
93		P26	CS2#	MTIOC9A/ MTIOC9A#	CTS1#/RTS1#/ SS1#		IRQ11		ADST0
94		P25	CS3#	MTIOC9C/ MTIOC9C#	SCK1		IRQ10		ADST1
95		P24	D11 [A11/ D11]	MTIC5U/ MTIC5U#/ TMCI2/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ4		COMP0

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(8/10)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
96		P23	D12 [A12/ D12]	MTIC5V/ MTIC5V#/TMO2/ CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA/ CTX0		IRQ11		COMP1
97		P22	D13 [A13/ D13]	MTIC5W/ MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/ TMRI2/TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/ SSCL12/RXDX12/ MISOA/CRX0		IRQ10		ADTRG2#/ COMP2
98		PC4	A20	MTIOC9B/ MTIOC9B#	TXD1/SMOSI1/ SSDA1/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				ADST2/ COMP5
99		PC3		MTIOC9D/ MTIOC9D#	RXD1/SMISO1/ SSCL1/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ14		COMP4
100		P21	D14 [A14/ D14]	MTIOC9A/ MTCLKA/ MTIOC9A#/ MTCLKA#/ TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA		IRQ6-DS	AN217	ADTRG1#/ COMP5
101		P20	D15 [A15/ D15]	MTIOC9C/ MTCLKB/ MTIOC9C#/ MTCLKB#/ TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ7-DS	AN216	ADTRG0#/ COMP4
102		P65	A12				IRQ9	AN211/ CMPC53/ DA1	
103		P64	A13				IRQ8	AN210/ CMPC33/ DA0	
104	AVCC2								
105	AVCC2								
106	AVSS2								
107		P63	A14/A12				IRQ7	AN209/ CMPC23	
108		P62	A15/A13				IRQ6	AN208/ CMPC43	
109		P61	A16/A14				IRQ5	AN207/ CMPC13	
110		P60	A17/A15				IRQ4	AN206/ CMPC03	
111		P55	A18/A16				IRQ3	AN203/ CMPC32	
112		P54	A19/A17				IRQ2	AN202/ CMPC22	
113		P53	A20/A18				IRQ1	AN201/ CMPC12	

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(9/10)

ピン番号 144ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
114		P52					IRQ0	AN200/ CMPC02	
115		P51						AN205/ CMPC52	
116		P50						AN204/ CMPC42	
117		PH7						AN106/ CVREFC1	
118		PH6						AN105	
119		PH5						AN104	
120		P47						AN103	
121		P46						AN102/ CMPC50/ CMPC51	
122		P45						AN101/ CMPC40/ CMPC41	
123		P44						AN100/ CMPC30/ CMPC31	
124		PH4						AN107/ PGAVSS1	
125		PH3						AN006/ CVREFC0	
126		PH2						AN005	
127		PH1						AN004	
128		P43						AN003	
129		P42						AN002/ CMPC20/ CMPC21	
130		P41						AN001/ CMPC10/ CMPC11	
131		P40						AN000/ CMPC00/ CMPC01	
132		PH0						AN007/ PGAVSS0	
133	AVCC1								
134	AVCC0								
135	AVSS0								
136	AVSS1								
137		P82	ALE/ WAIT#	MTIC5U/ MTIC5U#/TMO4	SCK6/SCK12		IRQ3		COMP5
138		P81	CS2#	MTIC5V/ MTIC5V#/TMC14	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				COMP4

表 1.5 機能別端子一覧(144ピンPGA疑似差動入力あり、USB端子あり)(10 / 10)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
139		P80	CS1#	MTIC5W/ MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/ SSCL12/RDX12		IRQ5		COMP3
140		P11	RD#	MTIOC3A/ MTCLK/ MTIOC3A#/ MTCLK#/ MTIOC9D/ GTIOC3B/ GTETRG A/ GTIOC3B#/ GTETRG C/ TMO3/POE9#			IRQ1-DS		
141		P10		MTIOC9B/ MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/ TMRI3/POE12#	CTS6#/RTS6#/ SS6#		IRQ0-DS		
142		P17		MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC9B/ GTIOC2B#/ GTIOC9B#			IRQ14		
143		P16		MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC8B/ GTIOC1B#/ GTIOC8B#			IRQ13		
144		P15		MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC7B/ GTIOC0B#/ GTIOC7B#			IRQ12		

1.6.2 100ピン LQFP (PGA 疑似差動入力あり、USB 端子あり)

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (1/7)

ピン番号 100ピン LQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#SS9#		IRQ0		ADST0
2	EMLE								
3	VSS								
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/ SSCL12/RXD12		IRQ2		ADST1/ COMP0
5	VCL								
6	MD/FINED								
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/ SSDA12/TXD12/ SIOX12		IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE10#	SCK9		IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE11#	CTS9#/RTS9#/ SS9#		IRQ2-DS		
10	RES#								
11	XTAL	P37							
12	VSS								
13	EXTAL	P36							
14	VCC								
15	UPSEL	PE2		POE10#			NMI		
16		PE1	WR0#/ WR#	MTIOC9D/ MTIOC9D#/ TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3		IRQ15		
17		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/ TMC11/TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	USB0_OV RCURB	IRQ7		

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり)(2/7)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/ TMRI1/TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0		IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/ TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0		IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/ TMRI0/TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11		IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/ TMCI0/TMCI6	SCK1/SCK11		IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/ TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11				
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/ TMCI1/TMO4	SCK5/SCK8/ MOSIA	USB0_VB US			
24						USB0_DM			
25						USB0_DP			
26	VCC_USB								
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/ SSCL11/RXD12/ SMISO12/ SSCL12/RXDX12/ CRX0	USB0_OV RCURA	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/ SSDA11/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0	USB0_VB USEN			
29	VCC								
30		PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/ POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	USB0_OV RCURB	IRQ3-DS		
31	VSS/ VSS_USB								

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (3 / 7)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA		IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/ TMRI0	TXD6/SMOSI6/ SSDA6/SDA0				ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/ TMCI0	RXD6/SMISO6/ SSCL6/SCL0		IRQ4		ADSM1
35		PB0	A0/BC0#/ A4	MTIOC0D/ MTIOC0D#/ TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA		IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/ TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA		IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/ TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA				ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/ TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0				
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/ TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1				
40		PA1		MTIOC6A/ MTIOC6A#/ TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/ SSCL11/SSLA2/ CRX0	USB0_ID/ USB0_OV RCURA	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/ TMO2	SCK9/TXD11/ SMOSI11/ SSDA11/SSLA3/ CTX0	USB0_EXI CEN/ USB0_VB USEN			
42	VCC								
43		P96	CS0#/ WAIT#	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE4#	CTS8#/RTS8#/ SS8#		IRQ4-DS		
44	VSS								
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#					

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり)(4/7)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#					
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#					
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#					
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#					
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#					
51		P76	D0 [A0/ D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#					
52		P75	D1 [A1/ D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#					
53		P74	D2 [A2/ D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#					
54		P73	D3 [A3/ D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#					

表 1.6 機能別端子一覧(100ピンPGA疑似差動入力あり、USB端子あり)(5/7)

ピン番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
55		P72	D4 [A4/ D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#					
56		P71	D5 [A5/ D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#					
57		P70	D6 [A6/ D6]	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/ POE0#	CTS9#/RTS9#/ SS9#		IRQ5-DS		
58		P33	D7 [A7/ D7]	MTIOC3A/ MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/ TMO0	SSLA3		IRQ13-DS		
59		P32	D8 [A8/ D8]	MTIOC3C/ MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/ TMO6	SSLA2		IRQ12-DS		
60	VCC								
61		P31	D9 [A9/ D9]	MTIOC0A/ MTCLKC/ MTIOC0A#/ MTCLKC#/ TMRI6	SSLA1		IRQ6		
62	VSS								
63		P30	D10 [A10/ D10]	MTIOC0B/ MTCLKD/ MTIOC0B#/ MTCLKD#/ TMCI6	SCK8/CTS8#/ RTS8#/SS8#/ SSLA0		IRQ7		COMP3
64		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/ POE9#			IRQ15		
65		P24	D11 [A11/ D11]	MTIC5U/ MTIC5U#/ TMCI2/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ4		COMP0
66		P23	D12 [A12/ D12]	MTIC5V/ MTIC5V#/TMO2/ CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA/ CTX0		IRQ11		COMP1

表 1.6 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子あり) (6 / 7)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
67		P22	D13 [A13/ D13]	MTIC5W/ MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/ TMRI2/TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/ SSCL12/RXDX12/ MISOA/CRX0		IRQ10		ADTRG2#/ COMP2
68		P21	D14 [A14/ D14]	MTIOC9A/ MTCLKA/ MTIOC9A#/ MTCLKA#/ TMCI4	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12/MOSIA		IRQ6-DS	AN217	ADTRG1#/ COMP5
69		P20	D15 [A15/ D15]	MTIOC9C/ MTCLKB/ MTIOC9C#/ MTCLKB#/ TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA		IRQ7-DS	AN216	ADTRG0#/ COMP4
70		P65	A12				IRQ9	AN211/ CMPC53/ DA1	
71		P64	A13				IRQ8	AN210/ CMPC33/ DA0	
72	AVCC2								
73	AVSS2								
74		P63	A14/A12				IRQ7	AN209/ CMPC23	
75		P62	A15/A13				IRQ6	AN208/ CMPC43	
76		P61	A16/A14				IRQ5	AN207/ CMPC13	
77		P60	A17/A15				IRQ4	AN206/ CMPC03	
78		P55	A18/A16				IRQ3	AN203/ CMPC32	
79		P54	A19/A17				IRQ2	AN202/ CMPC22	
80		P53	A20/A18				IRQ1	AN201/ CMPC12	
81		P52					IRQ0	AN200/ CMPC02	
82		P47						AN103	
83		P46						AN102/ CMPC50/ CMPC51	
84		P45						AN101/ CMPC40/ CMPC41	
85		P44						AN100/ CMPC30/ CMPC31	
86		PH4						AN107/ PGAVSS1	
87		P43						AN003	

表 1.6 機能別端子一覧(100ピンPGA疑似差動入力あり、USB端子あり)(7/7)

ピン 番号	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	通信 (USB)	割り込み (IRQ, NMI)	アナログ	その他
88		P42						AN002/ CMPC20/ CMPC21	
89		P41						AN001/ CMPC10/ CMPC11	
90		P40						AN000/ CMPC00/ CMPC01	
91		PH0						AN007/ PGAVSS0	
92	AVCC1								
93	AVCC0								
94	AVSS0								
95	AVSS1								
96		P82	ALE/ WAIT#	MTIC5U/ MTIC5U#/TMO4	SCK6/SCK12		IRQ3		COMP5
97		P81	CS2#	MTIC5V/ MTIC5V#/TMCI4	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/ SSDA12/TXDX12/ SIOX12				COMP4
98		P80	CS1#	MTIC5W/ MTIC5W#/ TMRI4	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/ SSCL12/RXDX12		IRQ5		COMP3
99		P11	RD#	MTIOC3A/ MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/ TMO3/POE9#			IRQ1-DS		
100		P10		MTIOC9B/ MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGA/ GTETRGC/ TMRI3/POE12#	CTS6#/RTS6#/ SS6#		IRQ0-DS		

1.6.3 100ピン LQFP (PGA 疑似差動入力あり、USB 端子なし)

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (1/7)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#	IRQ0		ADST0
2	EMLE							
3	VSS							
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ2		ADST1/ COMP0
5	VCL							
6	MD/FINED							
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE10#	SCK9	IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE11#	CTS9#/RTS9#/SS9#	IRQ2-DS		
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15		PE2		POE10#		NMI		
16		PE1	WR0#/WR#	MTIOC9D/ MTIOC9D#/TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3	IRQ15		
17		PE0	WR1#/ BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/TMC11/ TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	IRQ7		

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (2 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/TMRI1/ TMRI5	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0	IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0	IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/TMRI0/ TMRI6	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11	IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/TMCI0/ TMCI6	SCK1/SCK11	IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11			
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/TMCI1/ TMO4	SCK5/SCK8/MOSIA			
24	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/TMO2	RXD8/SMISO8/ SSCL8/MISOA			
25	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA			
26	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12			
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/SSCL11/ RXD12/SMISO12/ SSCL12/RXDX12/ CRX0	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/SSDA11/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0			
29	VCC							
30		PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	IRQ3-DS		
31	VSS							

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし) (3 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA	IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/TMRI0	TXD6/SMOSI6/ SSDA6/SDA0			ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/TMCI0	RXD6/SMISO6/ SSCL6/SCL0	IRQ4		ADSM1
35		PB0	A0/A4/BC0#	MTIOC0D/ MTIOC0D#/TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA	IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/TMCI3	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA	IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/TMCI7	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA			ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0			
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1			
40		PA1		MTIOC6A/ MTIOC6A#/TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/SSCL11/ SSLA2/CRX0	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/TMO2	SCK9/TXD11/ SMOSI11/SSDA11/ SSLA3/CTX0			
42	VCC							
43		P96	CS0#/ WAIT#	GTETRGA/ GTETRGB/ GTETRGD/ GTETRGC/POE4#	CTS8#/RTS8#/SS8#	IRQ4-DS		
44	VSS							
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#				
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#				

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし)(4/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#				
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#				
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#				
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#				
51		P76	D0 [A0/D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#				
52		P75	D1 [A1/D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#				
53		P74	D2 [A2/D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#				
54		P73	D3 [A3/D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#				
55		P72	D4 [A4/D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#				

表 1.7 機能別端子一覧(100ピンPGA疑似差動入力あり、USB端子なし)(5/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
56		P71	D5 [A5/D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#				
57		P70	D6 [A6/D6]	GTETRG A/ GTETRG B/ GTETRG C/ GTETRG D/POE0#	CTS9#/RTS9#/SS9#	IRQ5-DS		
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/TMO0	SSLA3	IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/TMO6	SSLA2	IRQ12-DS		
60	VCC							
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/ MTIOC0A#/ MTCLKC#/TMRI6	SSLA1	IRQ6		
62	VSS							
63		P30	D10 [A10/ D10]	MTIOC0B/MTCLKD/ MTIOC0B#/ MTCLKD#/TMC16	SCK8/CTS8#/ RTS8#/SS8#/SSLA0	IRQ7		COMP3
64		P27	CS3#	MTIOC1A/ MTIOC0C/ MTIOC1A#/ MTIOC0C#/POE9#		IRQ15		
65		P24	D11 [A11/ D11]	MTIC5U/MTIC5U#/ TMC12/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ4		COMP0
66		P23	D12 [A12/ D12]	MTIC5V/MTIC5V#/ TMO2/CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA/CTX0	IRQ11		COMP1
67		P22	D13 [A13/ D13]	MTIC5W/MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/TMRI2/ TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/SSCL12/ RXDX12/MISOA/ CRX0	IRQ10		ADTRG2# /COMP2
68		P21	D14 [A14/ D14]	MTIOC9A/MTCLKA/ MTIOC9A#/ MTCLKA#/TMC14	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA	IRQ6-DS	AN217	ADTRG1# /COMP5
69		P20	D15 [A15/ D15]	MTIOC9C/MTCLKB/ MTIOC9C#/ MTCLKB#/TMRI4	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ7-DS	AN216	ADTRG0# /COMP4
70		P65	A12			IRQ9	AN211/ CMPC53/ DA1	

表 1.7 機能別端子一覧(100ピン PGA疑似差動入力あり、USB端子なし)(6/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
71		P64	A13			IRQ8	AN210/ CMPC33/ DA0	
72	AVCC2							
73	AVSS2							
74		P63	A12/A14			IRQ7	AN209/ CMPC23	
75		P62	A13/A15			IRQ6	AN208/ CMPC43	
76		P61	A14/A16			IRQ5	AN207/ CMPC13	
77		P60	A15/A17			IRQ4	AN206/ CMPC03	
78		P55	A16/A18			IRQ3	AN203/ CMPC32	
79		P54	A17/A19			IRQ2	AN202/ CMPC22	
80		P53	A18/A20			IRQ1	AN201/ CMPC12	
81		P52				IRQ0	AN200/ CMPC02	
82		P47					AN103	
83		P46					AN102/ CMPC50/ CMPC51	
84		P45					AN101/ CMPC40/ CMPC41	
85		P44					AN100/ CMPC30/ CMPC31	
86		PH4					AN107/ PGAVSS1	
87		P43					AN003	
88		P42					AN002/ CMPC20/ CMPC21	
89		P41					AN001/ CMPC10/ CMPC11	
90		P40					AN000/ CMPC00/ CMPC01	
91		PH0					AN007/ PGAVSS0	
92	AVCC1							
93	AVCC0							
94	AVSS0							
95	AVSS1							
96		P82	ALE/WAIT#	MTIC5U/MTIC5U#/ TMO4	SCK6/SCK12	IRQ3		COMP5

表 1.7 機能別端子一覧(100ピンPGA疑似差動入力あり、USB端子なし)(7/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
97		P81	CS2#	MTIC5V/MTIC5V#/ TMC14	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12			COMP4
98		P80	CS1#	MTIC5W/MTIC5W#/ TMR14	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ5		COMP3
99		P11	RD#	MTIOC3A/MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/TMO3/ POE9#		IRQ1-DS		
100		P10		MTIOC9B/MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/TMRI3/ POE12#	CTS6#/RTS6#/SS6#	IRQ0-DS		

1.6.4 100ピン LQFP (PGA 疑似差動入力なし、USB 端子なし)

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし)(1/7)

ピン 番号 100ピン LQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
1		PE5	BCLK	MTIOC9D/ MTIOC9D#/ GTIOC3A/ GTETRGB/ GTIOC3A#/ GTETRGD	SCK9/CTS9#/ RTS9#/SS9#	IRQ0		ADST0
2	EMLE							
3	VSS							
4	UB	P00	A11	MTIOC9A/ MTIOC9A#/ CACREF	RXD9/SMISO9/ SSCL9/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ2		ADST1/ COMP0
5	VCL							
6	MD/FINED							
7		P01	A10	MTIOC9C/ MTIOC9C#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE12#	TXD9/SMOSI9/ SSDA9/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ4		ADST2/ COMP1
8		PE4	A9	MTCLKC/ MTCLKC#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE10#	SCK9	IRQ1		
9		PE3	A8	MTCLKD/ MTCLKD#/ GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE11#	CTS9#/RTS9#/SS9#	IRQ2-DS		
10	RES#							
11	XTAL	P37						
12	VSS							
13	EXTAL	P36						
14	VCC							
15		PE2		POE10#		NMI		
16		PE1	WR0#/WR#	MTIOC9D/ MTIOC9D#/TMO5	CTS5#/RTS5#/ SS5#/CTS12#/ RTS12#/SS12#/ SSLA3	IRQ15		
17		PE0	WR1#/BC1#/ WAIT#	MTIOC9B/ MTIOC9B#/TMC11/ TMC15	RXD5/SMISO5/ SSCL5/SSLA2/ CRX0	IRQ7		

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし)(2/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
18	TRST#	PD7		MTIOC9A/ MTIOC9A#/ GTIOC0A/ GTIOC3A/ GTIOC0A#/ GTIOC3A#/TMR11/ TMR15	TXD5/SMOSI5/ SSDA5/SSLA1/ CTX0	IRQ8		
19	TMS	PD6		MTIOC9C/ MTIOC9C#/ GTIOC0B/ GTIOC3B/ GTIOC0B#/ GTIOC3B#/TMO1	CTS1#/RTS1#/ SS1#/CTS11#/ RTS11#/SS11#/ SSLA0	IRQ5		ADST0
20	TDI	PD5		GTIOC1A/ GTETRGA/ GTIOC1A#/TMR10/ TMR16	RXD1/SMISO1/ SSCL1/RXD11/ SMISO11/SSCL11	IRQ6		
21	TCK	PD4		GTIOC1B/ GTETRGB/ GTIOC1B#/TMC10/ TMC16	SCK1/SCK11	IRQ2		
22	TDO	PD3		GTIOC2A/ GTETRGC/ GTIOC2A#/TMO0	TXD1/SMOSI1/ SSDA1/TXD11/ SMOSI11/SSDA11			
23	TRCLK	PD2	A7	GTIOC2B/ GTIOC0A/ GTIOC2B#/ GTIOC0A#/TMC11/ TMO4	SCK5/SCK8/MOSIA			
24	TRDATA3	PD1	A6	GTIOC3A/ GTIOC0B/ GTIOC3A#/ GTIOC0B#/TMO2	RXD8/SMISO8/ SSCL8/MISOA			
25	TRDATA2	PD0	A5	GTIOC3B/ GTIOC1A/ GTIOC3B#/ GTIOC1A#/TMO6	TXD8/SMOSI8/ SSDA8/RSPCKA			
26	TRDATA1	PB7	A4	GTIOC1B/ GTIOC1B#	SCK5/SCK11/ SCK12			
27	TRDATA0	PB6	A3	GTIOC2A/ GTIOC2A#	RXD5/SMISO5/ SSCL5/RXD11/ SMISO11/SSCL11/ RXD12/SMISO12/ SSCL12/RXDX12/ CRX0	IRQ2		
28	TRSYNC	PB5	A2	GTIOC2B/ GTIOC2B#	TXD5/SMOSI5/ SSDA5/TXD11/ SMOSI11/SSDA11/ TXD12/SMOSI12/ SSDA12/TXDX12/ SIOX12/CTX0			
29	VCC							
30		PB4	A1	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE8#	CTS5#/RTS5#/ SS5#/SCK11/ CTS11#/RTS11#/ SS11#	IRQ3-DS		
31	VSS							

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし)(3/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
32		PB3	A7	MTIOC0A/ MTIOC0A#/ CACREF	SCK6/RSPCKA	IRQ9		
33		PB2	A6	MTIOC0B/ MTIOC0B#/ GTADSM0/TMRI0	TXD6/SMOSI6/ SSDA6/SDA0			ADSM0
34		PB1	A5	MTIOC0C/ MTIOC0C#/ GTADSM1/TMCI0	RXD6/SMISO6/ SSCL6/SCL0	IRQ4		ADSM1
35		PB0	A0/A4/BC0#	MTIOC0D/ MTIOC0D#/TMO0	TXD6/SMOSI6/ SSDA6/CTS11#/ RTS11#/SS11#/ MOSIA	IRQ8		ADTRG2#
36		PA5	A3	MTIOC1A/ MTIOC1A#/TMC13	RXD6/SMISO6/ SSCL6/RXD8/ SMISO8/SSCL8/ MISOA	IRQ1		ADTRG1#
37		PA4	A2	MTIOC1B/ MTIOC1B#/TMC17	SCK6/TXD8/ SMOSI8/SSDA8/ RSPCKA			ADTRG0#
38		PA3	A1	MTIOC2A/ MTIOC2A#/ GTADSM0/TMRI7	TXD9/SMOSI9/ SSDA9/SCK8/ SSLA0			
39		PA2	A0/BC0#	MTIOC2B/ MTIOC2B#/ GTADSM1/TMO7	CTS6#/RTS6#/ SS6#/RXD9/ SMISO9/SSCL9/ SCK11/SSLA1			
40		PA1		MTIOC6A/ MTIOC6A#/TMO4	TXD9/SMOSI9/ SSDA9/RXD11/ SMISO11/SSCL11/ SSLA2/CRX0	IRQ14-DS		ADTRG0#
41		PA0		MTIOC6C/ MTIOC6C#/TMO2	SCK9/TXD11/ SMOSI11/SSDA11/ SSLA3/CTX0			
42	VCC							
43		P96	CS0#/WAIT#	GTETRGA/ GTETRGB/ GTETRGC/ GTETRGD/POE4#	CTS8#/RTS8#/SS8#	IRQ4-DS		
44	VSS							
45		P95		MTIOC6B/ MTIOC6B#/ GTIOC4A/ GTIOC7A/ GTIOC4A#/ GTIOC7A#				
46		P94		MTIOC7A/ MTIOC7A#/ GTIOC5A/ GTIOC8A/ GTIOC5A#/ GTIOC8A#				

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし)(4/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
47		P93		MTIOC7B/ MTIOC7B#/ GTIOC6A/ GTIOC9A/ GTIOC6A#/ GTIOC9A#				
48		P92		MTIOC6D/ MTIOC6D#/ GTIOC4B/ GTIOC7B/ GTIOC4B#/ GTIOC7B#				
49		P91		MTIOC7C/ MTIOC7C#/ GTIOC5B/ GTIOC8B/ GTIOC5B#/ GTIOC8B#				
50		P90		MTIOC7D/ MTIOC7D#/ GTIOC6B/ GTIOC9B/ GTIOC6B#/ GTIOC9B#				
51		P76	D0 [A0/D0]	MTIOC4D/ MTIOC4D#/ GTIOC2B/ GTIOC6B/ GTIOC2B#/ GTIOC6B#				
52		P75	D1 [A1/D1]	MTIOC4C/ MTIOC4C#/ GTIOC1B/ GTIOC5B/ GTIOC1B#/ GTIOC5B#				
53		P74	D2 [A2/D2]	MTIOC3D/ MTIOC3D#/ GTIOC0B/ GTIOC4B/ GTIOC0B#/ GTIOC4B#				
54		P73	D3 [A3/D3]	MTIOC4B/ MTIOC4B#/ GTIOC2A/ GTIOC6A/ GTIOC2A#/ GTIOC6A#				
55		P72	D4 [A4/D4]	MTIOC4A/ MTIOC4A#/ GTIOC1A/ GTIOC5A/ GTIOC1A#/ GTIOC5A#				

表 1.8 機能別端子一覧(100ピンPGA疑似差動入力なし、USB端子なし)(5/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
56		P71	D5 [A5/D5]	MTIOC3B/ MTIOC3B#/ GTIOC0A/ GTIOC4A/ GTIOC0A#/ GTIOC4A#				
57		P70	D6 [A6/D6]	GTETRGA/ GTETRGA#/ GTETRGC/ GTETRGC#/ GTETRGD/POE0#	CTS9#/RTS9#/SS9#	IRQ5-DS		
58		P33	D7 [A7/D7]	MTIOC3A/MTCLKA/ MTIOC3A#/ MTCLKA#/ GTIOC3B/ GTIOC3B#/TMO0	SSLA3	IRQ13-DS		
59		P32	D8 [A8/D8]	MTIOC3C/MTCLKB/ MTIOC3C#/ MTCLKB#/ GTIOC3A/ GTIOC3A#/TMO6	SSLA2	IRQ12-DS		
60	VCC							
61		P31	D9 [A9/D9]	MTIOC0A/MTCLKC/ MTIOC0A#/ MTCLKC#/TMR16	SSLA1	IRQ6		
62	VSS							
63		P30	D10 [A10/ D10]	MTIOC0B/MTCLKD/ MTIOC0B#/ MTCLKD#/TMC16	SCK8/CTS8#/ RTS8#/SS8#/SSLA0	IRQ7		COMP3
64		P24	D11 [A11/ D11]	MTIC5U/MTIC5U#/ TMC12/TMO6	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ4		COMP0
65		P23	D12 [A12/ D12]	MTIC5V/MTIC5V#/ TMO2/CACREF	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA/CTX0	IRQ11		COMP1
66		P22	D13 [A13/ D13]	MTIC5W/MTCLKD/ MTIC5W#/ MTCLKD#/ MTIOC9B/TMR12/ TMO4	RXD8/SMISO8/ SSCL8/RXD12/ SMISO12/SSCL12/ RXDX12/MISOA/ CRX0	IRQ10		ADTRG2# /COMP2
67		P21	D14 [A14/ D14]	MTIOC9A/MTCLKA/ MTIOC9A#/ MTCLKA#/TMC14	TXD8/SMOSI8/ SSDA8/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12/ MOSIA	IRQ6-DS	AN217	ADTRG1# /COMP5
68		P20	D15 [A15/ D15]	MTIOC9C/MTCLKB/ MTIOC9C#/ MTCLKB#/TMR14	CTS8#/RTS8#/ SS8#/SCK8/ RSPCKA	IRQ7-DS	AN216	ADTRG0# /COMP4
69		P65	A12			IRQ9	AN211/ CMPC53/ DA1	
70		P64	A13			IRQ8	AN210/ CMPC33/ DA0	
71	AVCC2							

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし) (6 / 7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
72	AVCC2							
73	AVSS2							
74		P63	A12/A14			IRQ7	AN209/ CMPC23	
75		P62	A13/A15			IRQ6	AN208/ CMPC43	
76		P61	A14/A16			IRQ5	AN207/ CMPC13	
77		P60	A15/A17			IRQ4	AN206/ CMPC03	
78		P55	A16/A18			IRQ3	AN203/ CMPC32	
79		P54	A17/A19			IRQ2	AN202/ CMPC22	
80		P53	A18/A20			IRQ1	AN201/ CMPC12	
81		P52				IRQ0	AN200/ CMPC02	
82		P51					AN205/ CMPC52	
83		P50					AN204/ CMPC42	
84		P47					AN103	
85		P46					AN102/ CMPC50/ CMPC51	
86		P45					AN101/ CMPC40/ CMPC41	
87		P44					AN100/ CMPC30/ CMPC31	
88		P43					AN003	
89		P42					AN002/ CMPC20/ CMPC21	
90		P41					AN001/ CMPC10/ CMPC11	
91		P40					AN000/ CMPC00/ CMPC01	
92	AVCC1							
93	AVCC0							
94	AVSS0							
95	AVSS1							
96		P82	ALE/WAIT#	MTIC5U/MTIC5U#/ TMO4	SCK6/SCK12	IRQ3		COMP5

表 1.8 機能別端子一覧(100ピン PGA疑似差動入力なし、USB端子なし)(7/7)

ピン 番号 100ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス	タイマ (MTU, GPTW, TMR, POE, POEG, CAC)	通信 (SCI, RSPI, RIIC, CAN)	割り込み (IRQ, NMI)	アナログ	その他
97		P81	CS2#	MTIC5V/MTIC5V#/ TMC14	TXD6/SMOSI6/ SSDA6/TXD12/ SMOSI12/SSDA12/ TXDX12/SIOX12			COMP4
98		P80	CS1#	MTIC5W/MTIC5W#/ TMR14	RXD6/SMISO6/ SSCL6/RXD12/ SMISO12/SSCL12/ RXDX12	IRQ5		COMP3
99		P11	RD#	MTIOC3A/MTCLKC/ MTIOC3A#/ MTCLKC#/ MTIOC9D/ GTIOC3B/ GTETRGA/ GTIOC3B#/ GTETRGC/TMO3/ POE9#		IRQ1-DS		
100		P10		MTIOC9B/MTCLKD/ MTIOC9B#/ MTCLKD#/ GTETRGB/ GTETRGD/TMRI3/ POE12#	CTS6#/RTS6#/SS6#	IRQ0-DS		

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

項目		記号	定格値	単位	
電源電圧 (注1)		VCC	-0.3 ~ +6.5	V	
USB電源電圧 (注1)		VCC_USB	-0.3 ~ +6.5		
アナログ電源電圧 (注1)		AVCC0, AVCC1, AVCC2	-0.3 ~ +6.5		
入力電圧	PB1, PB2, PC0, PD2	V_{in}	-0.3 ~ +6.5		
	P40 ~ P42, P44 ~ P46, PH0, PH4		負入力許可時 (注2)		-1.0 ~ AVCC1 + 0.3 (最大 6.5)
			負入力禁止時		-0.3 ~ AVCC1 + 0.3 (最大 6.5)
	P43, P47, PH1 ~ PH3, PH5 ~ PH7		-0.3 ~ AVCC1 + 0.3 (最大 6.5)		
	P50 ~ P55, P60 ~ P65		-0.3 ~ AVCC2 + 0.3 (最大 6.5)		
	USB0_DP, USB0_DM		-0.3 ~ VCC_USB + 0.3 (最大 6.5)		
上記以外	-0.3 ~ VCC + 0.3 (最大 6.5)				
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C	
	Gバージョン		-40 ~ +125		
保存温度		T_{stg}	-55 ~ +125		

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

注1. 各電源とグランド間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離、かつできる限り太いパターンを使用して接続してください。

注2. VOLS.R.PGAVLS = 0かつADPGADCR0.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

2.2 推奨動作条件

表2.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1)	2.7	—	5.5	V
		VSS	—	0	—	
USB電源電圧 (注2)	USB使用時	VCC_USB (注1)	3.0	—	3.6	
		VSS_USB	—	0	—	
	USB不使用時	VCC_USB	—	VCC	—	
		VSS_USB	—	VSS	—	
アナログ電源電圧 (注3)		AVCC0, AVCC1, AVCC2 (注1)	3.0	—	5.5	
		AVSS0, AVSS1, AVSS2	—	0	—	
入力電圧	PB1, PB2, PC0, PD2		V_{in}	—0.3	—	5.8
	P40~P42, P44~P46	負入力許可時 (注4)		—1.0	—	AVCC1 + 0.3
		負入力禁止時		—0.3	—	
	PH0, PH4	負入力許可時 (注4)		—0.5	—	AVCC1 + 0.3
		負入力禁止時		—0.3	—	
	P43, P47, PH1~PH3, PH5~PH7			—0.3	—	AVCC1 + 0.3
	P50~P55, P60~P65			—0.3	—	AVCC2 + 0.3
	USB0_DP, USB0_DM			—0.3	—	VCC_USB + 0.3
	上記以外			—0.3	—	VCC + 0.3
動作温度	Dバージョン		T_{opr}	—40	—	85
	Gバージョン			—40	—	105

注1. 各電源電圧の関係は以下を守ってください。

$$VCC_USB \leq VCC \leq AVCC0 = AVCC1 = AVCC2$$

注2. USBを使用しないときは、VCC_USBとVCC、VSS_USBとVSSをそれぞれ接続し、VOLSR.USBVON = 0にしてください。

注3. 12ビットA/Dコンバータ(ユニット0~2)、12ビットD/Aコンバータ、コンパレータC、温度センサのいずれも使用しないときは、AVCC0、AVCC1、AVCC2はVCCに、AVSS0、AVSS1、AVSS2はVSSにそれぞれ接続してください。詳細は「39.6.10 アナログ電源端子他の設定範囲」を参照してください。

注4. VOLSR.PGAVLS = 0かつADPGADCR0.PxDEN = 1 (x = 000, 001, 002, 100, 101, 102)のとき

表2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	0.47 μ F \pm 30% (注1)

注1. 静電容量の公称値が0.47 μ F、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が \pm 30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表2.4 DC特性(1)

条件 : VCC = 2.7 ~ 5.5V、VCC_USB = 2.7 ~ 5.5V、AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	CAN入力端子、MTU入力端子、 GPTW入力端子、POE入力端子、 POEG入力端子、TMR入力端子、 SCI入力端子、ADTRG#入力端 子、RES#、NMI	V _{IH}	0.8 × VCC	—	—	V	
		V _{IL}	—	—	0.2 × VCC		
		ΔV _T	0.06 × VCC	—	—		
	IRQ入力端子 (P52 ~ P55、P60 ~ P65 を除く)	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
		ΔV _T	0.06 × VCC	—	—		
	IRQ入力端子 (P52 ~ P55、P60 ~ P65)	V _{IH}	0.8 × AVCC2	—	—		
		V _{IL}	—	—	0.2 × AVCC2		
		ΔV _T	0.06 × AVCC2	—	—		
	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—		
		V _{IL}	—	—	0.3 × VCC		
		ΔV _T	0.06 × VCC	—	—		
	5Vトレラント対応端子 (PB1, PB2, PC0, PD2)	V _{IH}	0.8 × VCC	—	—		
		V _{IL}	—	—	0.2 × VCC		
	アナログ入力端子 (P40 ~ P47, PH0 ~ PH7)	V _{IH}	0.8 × AVCC1	—	—		
		V _{IL}	—	—	0.2 × AVCC1		
	アナログ入力端子 (P50 ~ P55, P60 ~ P65)	V _{IH}	0.8 × AVCC2	—	—		
		V _{IL}	—	—	0.2 × AVCC2		
その他の入力端子 (上記以外のポート)	V _{IH}	0.8 × VCC	—	—			
	V _{IL}	—	—	0.2 × VCC			
Highレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IH}	0.9 × VCC	—	—	V	
	EXTAL、WAIT#、RSPI入力端子		0.8 × VCC	—	—		
	D0 ~ D15		0.7 × VCC	—	—		
	RIIC (SMBus)		2.1	—	—		
Lowレベル入力 電圧(シュミット トリガ入力端子を 除く)	MD端子、EMLE	V _{IL}	—	—	0.1 × VCC	V	
	EXTAL、WAIT#、RSPI入力端子		—	—	0.2 × VCC		
	D0 ~ D15		—	—	0.3 × VCC		
	RIIC (SMBus)		—	—	0.8		

表 2.5 DC特性(2)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
Highレベル出力電圧	V _{OH}	AVCC1 - 0.5	—	—	V	I _{OH} = -1.0mA
		AVCC2 - 0.5	—	—		I _{OH} = -1.0mA
		VCC - 1.0	—	—		I _{OH} = -5.0mA (大電流出力設定時)
		VCC - 0.5	—	—		I _{OH} = -1.0mA
Lowレベル出力電圧	V _{OL}	—	—	0.5		I _{OL} = 1.0mA
		—	—	0.5		I _{OL} = 1.0mA
		—	—	1.0		I _{OL} = 15mA (大電流出力設定時)
		—	—	0.4		I _{OL} = 3.0mA
		—	—	0.6		I _{OL} = 6.0mA
		—	—	0.5		I _{OL} = 1.0mA
入力リーク電流	I _{in}	—	—	1.0	μA	V _{in} = 0V V _{in} = VCC
		—	—	1.0		V _{in} = 0V V _{in} = AVCC1
		—	—	1.0		V _{in} = 0V V _{in} = AVCC1 VOLSR.PGAVLS = 1
スリーステートリーク電流(オフ状態)	I _{TSL}	—	—	5.0		V _{in} = 0V V _{in} = VCC
		—	—	1.0		
入力プルアップ抵抗	R _{PU}	10	—	100	kΩ	AVCC1 = AVCC2 = 3.0~5.5V V _{in} = 0V
		10	—	100		VCC = 2.7~5.5V V _{in} = 0V
入力プルダウン抵抗	R _{PD}	10	—	100		V _{in} = VCC = AVCC
入力端子容量	C _{in}	—	—	16	pF	V _{bias} = 0V V _{amp} = 20mV f = 1MHz T _a = 25°C
		—	—	16		
		—	—	8		
VCL端子出力電圧	V _{CL}	—	1.25	—	V	

注1. EMLE端子の入力リーク電流はV_{in} = 0V時のみの値です。

表 2.6 DC特性(3) (Dバージョン)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

消費電流 (注1)	項目	記号	Dバージョン			単位	測定条件	
			min	typ	max			
マイクロプロセッサ	最大動作(注2)	I _{CC} (注3)	—	—	123	mA	ICLK = 200MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 200MHz PCLKD = 50MHz FCLK = 50MHz BCLK = 50MHz BCLK端子 = 25MHz	
	通常動作		周辺機能クロック供給状態(注4)	—	28			—
			周辺機能クロック停止状態(注4、注5)	—	16			—
	CoreMark動作		周辺機能クロック停止状態(注4、注5)	—	27			—
			スリープモード時: 周辺機能クロック供給状態(注4)	—	23			48
	全モジュールクロックストップモード時(参考値)		—	10.9	34			
	BGO動作時の増加分(注6)		—	14	—			
	Trusted Secure IP動作時の増加分		—	3.9	5.3			
	ソフトウェアスタンバイモード		—	0.9	13.9			μA
	ディープソフトウェアスタンバイモード		—	15	21	VOLSR.PGAVLS = 1		

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC}は、下記の式のとおりICLK周波数f (MHz)に依存します
(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 8:4:2:8:2:2:1 @EXTAL = 20MHz)。

・ Dバージョン製品

I_{CC} max = 0.51 × f + 21 (通常動作モード、最大動作時)

I_{CC} typ = 0.115 × f + 5 (通常動作モード、通常動作時)

I_{CC} max = 0.135 × f + 21 (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、

FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表2.7 DC特性(3)(Gバージョン)

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	Gバージョン			単位	測定条件		
		min	typ	max				
消費電流 (注1)	I _{CC} (注3)	最大動作(注2)	—	—	136	mA	ICLK = 200MHz PCLKA = 100MHz PCLKB = 50MHz PCLKC = 200MHz PCLKD = 50MHz FCLK = 50MHz BCLK = 50MHz BCLK端子 = 25MHz	
		通常動作	周辺機能クロック供給状態(注4)	—	28			—
			周辺機能クロック停止状態(注4、注5)	—	16			—
		CoreMark動作	周辺機能クロック停止状態(注4、注5)	—	27			—
			スリープモード時：周辺機能クロック供給状態(注4)	—	23			60
		全モジュールクロックストップモード時(参考値)	—	10.9	46			
		BGO動作時の増加分(注6)	—	14	—			
		Trusted Secure IP動作時の増加分	—	3.9	5.3			
		ソフトウェアスタンバイモード	—	0.9	22.1			μA
		ディープソフトウェアスタンバイモード	—	15	28	VOLSR.PGAVLS = 1		

注1. 消費電流値は、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ抵抗を無効にした場合の値です。

注2. 周辺機能クロック供給状態。BGO動作は除きます。

注3. I_{CC}は、下記の式のとおりICLK周波数f(MHz)に依存します
(ICLK:PCLKA:PCLKB:PCLKC:PCLKD:BCLK:BCLK端子 = 8:4:2:8:2:2:1 @EXTAL = 20MHz)。

・Gバージョン製品

I_{CC} max = 0.535 × f + 29 (通常動作モード、最大動作時)

I_{CC} typ = 0.115 × f + 5 (通常動作モード、通常動作時)

I_{CC} max = 0.155 × f + 29 (スリープモード時)

注4. BGO動作は除きます。また、周辺機能クロックの供給/停止は、モジュールストップコントロールレジスタA~Dのビット設定でのみ制御しています。

注5. 周辺機能クロック停止時の各クロック周波数は、
FCLK = BCLK = PCLKA = PCLKB = PCLKC = PCLKD = BCLK端子を64分周に設定しています。

注6. プログラム実行中に、コードフラッシュメモリまたはデータフラッシュメモリをプログラム/イレーズした場合の増加分です。

表 2.8 DC特性(4)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目			記号	min	typ	max	単位	測定条件
アナログ 電源電流	ユニット0	12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル有効)	I _{CC}	—	2.9	5.1	mA	IAVCC0_AD + SH + PGA
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル無効)		—	1.9	2.9		IAVCC0_AD + SH
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル有効)		—	2.0	4.0		IAVCC0_AD + PGA
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル無効)		—	1.0	1.5		IAVCC0_AD
	ユニット1	12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル有効)		—	2.9	5.1		IAVCC1_AD + SH + PGA
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル動作、 PGA: 全チャンネル無効)		—	1.9	2.9		IAVCC1_AD + SH
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル有効)		—	2.0	4.0		IAVCC1_AD + PGA
		12ビットA/D変換中 (チャンネル専用S&H: 全チャンネル停止、 PGA: 全チャンネル無効)		—	1.0	1.5		IAVCC1_AD
	ユニット2	12ビットA/D変換中 (温度センサ: 動作)		—	0.9	1.5		IAVCC2_AD + TEMP
		12ビットA/D変換中 (温度センサ: 停止)		—	0.9	1.5		IAVCC2_AD
	コンパレータ (6ch)			—	0.5	0.6		IAVCC2_CMP
	12ビットD/A変換中(2ch)			—	0.6	0.8		IAVCC2_DA
	12ビットA/D、12ビットD/A、コンパレータC、 温度センサ 待機時(全ユニット)			—	0.1	0.4		IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA
	12ビットA/D、12ビットD/A、コンパレータC、 温度センサ モジュールストップ時(全ユニット)			—	0.2	14.8		μA IAVCC0_AD + IAVCC1_AD + IAVCC2_AD + IAVCC2_DA
	USB動作 電流	ロースピード		I _{CCUSBLS}	—	3.6	6.5	mA
フルスピード		I _{CCUSBFS}	—	4.1	10	VCC_USB = 3.0~ 3.6V		
RAM保持電圧			V _{RAM}	2.7	—	—	V	

表 2.9 DC 特性(5)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目		記号	min	typ	max	単位	測定条件
電源投入時VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	8	ms/V	
	起動時電圧監視0リセット有効時(注1、注2)		0.02	—	20		
許容電源変動立ち上がり/立ち下がり勾配		dt/dVCC	1.0	—	—		VCC変動がVCC±10%を超える場合

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード、ユーザブートモード時はOFS1レジスタにて設定した値は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

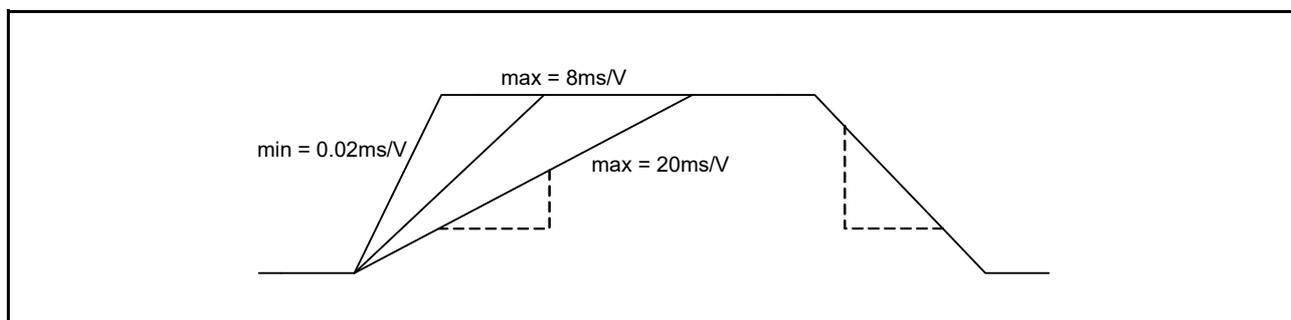


図 2.1 電源投入時 VCC 立ち上がり勾配

表 2.10 出力許容電流

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目			記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	全出力端子 (RIIC端子、 P43、P47、PH1~PH3、 PH5~PH7、P50~P55、 P60~P65以外)	通常駆動 (注1)	I _{OL}	—	—	2.0	mA
		高駆動 (注2)		—	—	2.0	
		大電流出力 (注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P43, P47, PH1~PH3, PH5~PH7, P50~P55, P60~P65	—		—	2.0		
出力Lowレベル許容電流 (1端子あたりの最大値)	全出力端子 (RIIC端子、 P43、P47、PH1~PH3、 PH5~PH7、P50~P55、 P60~P65以外)	通常駆動 (注1)	I _{OL}	—	—	4.0	mA
		高駆動 (注2)		—	—	4.0	
		大電流出力 (注3)		—	—	15.0	
	RIIC端子	スタンダードモード		—	—	3	
		ファストモード		—	—	6	
	P43, P47, PH1~PH3, PH5~PH7, P50~P55, P60~P65	—		—	4.0		
出力Lowレベル許容電流 (総和)	全出力端子の総和		ΣI _{OL}	—	—	110	
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子 (P43、P47、 PH1~PH3、PH5~PH7、 P50~P55、P60~P65以外)	通常駆動 (注1)	I _{OH}	—	—	-2.0	mA
		高駆動 (注2)		—	—	-2.0	
		大電流出力 (注3)		—	—	-5.0	
	P43, P47, PH1~PH3, PH5~PH7, P50~P55, P60~P65	—		—	-2.0		
		—		—	-2.0		
	出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子 (P43、P47、 PH1~PH3、PH5~PH7、 P50~P55、P60~P65以外)		通常駆動 (注1)	I _{OH}	—	
高駆動 (注2)			—	—		-4.0	
大電流出力 (注3)			—	—		-5.0	
P43, P47, PH1~PH3, PH5~PH7, P50~P55, P60~P65		—	—	-4.0			
		—	—	-4.0			
出力Highレベル許容電流 (総和)		全出力端子の総和		ΣI _{OH}		—	—

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表 2.10の値を超えないようにしてください。

注1. 通常駆動が選択できる端子で通常駆動を設定した場合の値

注2. 通常駆動が選択できる端子で高駆動を設定した場合、あるいは高駆動固定の端子の値

注3. 大電流出力が選択できる端子で、大電流出力を設定をした場合の端子の値

表 2.11 標準出力特性(1)

条件 : VCC = AVCC0 = AVCC1 = AVCC2 = 5.0V, VCC_USB = 2.7 ~ 5.0V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件	
High レベル出力電圧	通常出力時 (全出力端子)	V _{OH}	—	4.97	—	V	I _{OH} = -0.5mA	
			—	4.94	—		I _{OH} = -1.0mA	
			—	4.87	—		I _{OH} = -2.0mA	
			—	4.74	—		I _{OH} = -4.0mA	
	高駆動出力時 (P00, P01, P10 ~ P17, P20 ~ P27, P30 ~ P35, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC6, PD0 ~ PD7, PE0, PE1, PE3 ~ PE6, PF0 ~ PF3, PG0 ~ PG2, PK0 ~ PK2)		—	4.98	—		I _{OH} = -0.5mA	
			—	4.97	—		I _{OH} = -1.0mA	
			—	4.94	—		I _{OH} = -2.0mA	
			—	4.87	—		I _{OH} = -4.0mA	
			大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—	4.99		—	I _{OH} = -0.5mA
				—	4.98		—	I _{OH} = -1.0mA
	—			4.96	—		I _{OH} = -2.0mA	
	—			4.92	—		I _{OH} = -4.0mA	
	—		4.91	—	I _{OH} = -5.0mA			
	Low レベル出力電圧		通常出力時 (全出力端子)	V _{OL}	—		0.02	—
—		0.04			—	I _{OL} = 1.0mA		
—		0.09			—	I _{OL} = 2.0mA		
—		0.18			—	I _{OL} = 4.0mA		
高駆動出力時 (P00, P01, P10 ~ P17, P20 ~ P27, P30 ~ P35, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC6, PD0 ~ PD7, PE0, PE1, PE3 ~ PE6, PF0 ~ PF3, PG0 ~ PG2, PK0 ~ PK2)		—	0.01		—	I _{OL} = 0.5mA		
		—	0.03		—	I _{OL} = 1.0mA		
		—	0.05		—	I _{OL} = 2.0mA		
		—	0.10		—	I _{OL} = 4.0mA		
		大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—		0.01	—	I _{OL} = 0.5mA	
			—		0.02	—	I _{OL} = 1.0mA	
—			0.04		—	I _{OL} = 2.0mA		
—			0.07		—	I _{OL} = 4.0mA		
—			0.09		—	I _{OL} = 5.0mA		
—			0.18		—	I _{OL} = 10.0mA		
—			0.28		—	I _{OL} = 15.0mA		

表 2.12 標準出力特性(2)

条件 : VCC = AVCC0 = AVCC1 = AVCC2 = 3.3V, VCC_USB = 2.7 ~ 3.3V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件	
High レベル出力電圧	通常出力時 (全出力端子)	V _{OH}	—	3.26	—	V	I _{OH} = -0.5mA	
			—	3.22	—		I _{OH} = -1.0mA	
			—	3.13	—		I _{OH} = -2.0mA	
			—	2.94	—		I _{OH} = -4.0mA	
	高駆動出力時 (P00, P01, P10 ~ P17, P20 ~ P27, P30 ~ P35, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC6, PD0 ~ PD7, PE0, PE1, PE3 ~ PE6, PF0 ~ PF3, PG0 ~ PG2, PK0 ~ PK2)		—	3.28	—		I _{OH} = -0.5mA	
			—	3.26	—		I _{OH} = -1.0mA	
			—	3.22	—		I _{OH} = -2.0mA	
			—	3.13	—		I _{OH} = -4.0mA	
			大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—	3.29		—	I _{OH} = -0.5mA
				—	3.27		—	I _{OH} = -1.0mA
	—			3.25	—		I _{OH} = -2.0mA	
	—			3.20	—		I _{OH} = -4.0mA	
	—		3.17	—	I _{OH} = -5.0mA			
	Low レベル出力電圧		通常出力時 (全出力端子)	V _{OL}	—		0.03	—
—		0.06			—	I _{OL} = 1.0mA		
—		0.12			—	I _{OL} = 2.0mA		
—		0.25			—	I _{OL} = 4.0mA		
高駆動出力時 (P00, P01, P10 ~ P17, P20 ~ P27, P30 ~ P35, P70 ~ P76, P80 ~ P82, P90 ~ P96, PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC6, PD0 ~ PD7, PE0, PE1, PE3 ~ PE6, PF0 ~ PF3, PG0 ~ PG2, PK0 ~ PK2)		—	0.02		—	I _{OL} = 0.5mA		
		—	0.03		—	I _{OL} = 1.0mA		
		—	0.07		—	I _{OL} = 2.0mA		
		—	0.13		—	I _{OL} = 4.0mA		
		大電流出力時 (P71 ~ P76, P81, P90 ~ P95, PB5, PD3)	—		0.01	—	I _{OL} = 0.5mA	
			—		0.02	—	I _{OL} = 1.0mA	
—			0.05		—	I _{OL} = 2.0mA		
—			0.09		—	I _{OL} = 4.0mA		
—			0.11		—	I _{OL} = 5.0mA		
—			0.24		—	I _{OL} = 10.0mA		
—			0.36		—	I _{OL} = 15.0mA		

表 2.13 熱抵抗値(参考値)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,

 $T_a = T_{opr}$

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	144ピンLFQFP (PLQP0144KA-B)	θ_{ja}	—	—	32.4	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		—	—	35.0		
	144ピンLFQFP (PLQP0144KA-B)	Ψ_{jt}	—	—	0.6	°C/W	JESD51-2および JESD51-7準拠
	100ピンLFQFP (PLQP0100KB-B)		—	—	0.8		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

2.4 AC 特性

表 2.14 動作周波数

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max (注3)	単位	測定条件
システムクロック (ICLK)	f	—	—	200	MHz	
周辺モジュールクロック (PCLKA)		—	—	120		
周辺モジュールクロック (PCLKB)		—	—	60		
周辺モジュールクロック (PCLKC)		—	—	200		
周辺モジュールクロック (PCLKD)		8 (注1)	—	60		AVCC0 = AVCC1 = AVCC2 ≥ 4.5V
		8 (注1)	—	40		AVCC0 = AVCC1 = AVCC2 < 4.5V
FlashIFクロック (FCLK)		4 (注2)	—	60		
外部バスクロック (BCLK)		—	—	60		
BCLK端子出力		—	—	40		VCC ≥ 4.5V、 駆動能力選択制御レジスタは高駆 動出力を選択
		—	—	32		
USBクロック (UCLK)		—	48	—		

注1. 12ビットA/Dコンバータを使用する場合のみ、この周波数以上にしてください。

注2. フラッシュメモリのプログラム/イレーズを行う場合のみ、この周波数以上にしてください。

注3. ICLKの周波数により、各クロックの最大周波数は以下となります。

ICLK = 200MHz、PCLKA = 100MHz、PCLKB = 50MHz、PCLKC = 200MHz、PCLKD = 50MHz、FCLK = 50MHz、
 BCLK = 50MHz、BCLK端子出力 = 25MHz
 ICLK = 120MHz、PCLKA = 120MHz、PCLKB = 60MHz、PCLKC = 120MHz、PCLKD = 60MHz、FCLK = 60MHz、
 BCLK = 60MHz、BCLK端子出力 = 30MHz
 ICLK = 160MHz、PCLKA = 80MHz、PCLKB = 40MHz、PCLKC = 160MHz、PCLKD = 40MHz、FCLK = 40MHz、
 BCLK = 40MHz、BCLK端子出力 = 40MHz

2.4.1 リセットタイミング

表2.15 リセットタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t _{RESWP}	2.0	—	—	ms	図2.2
	ディープソフトウェアスタンバイモード	t _{RESWD}	0.6	—	—		図2.3
	ソフトウェアスタンバイモード	t _{RESWS}	0.3	—	—		
	コードフラッシュメモリのプログラム/イレーズ中、 データフラッシュメモリのプログラム/イレーズ/ ブランクチェック中	t _{RESWF}	200	—	—	μs	
	上記以外	t _{RESW}	200	—	—		
RES#解除後待機時間		t _{RESWT}	62	—	63	t _{Lcyc}	図2.2
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)		t _{RESW2}	108	—	116		

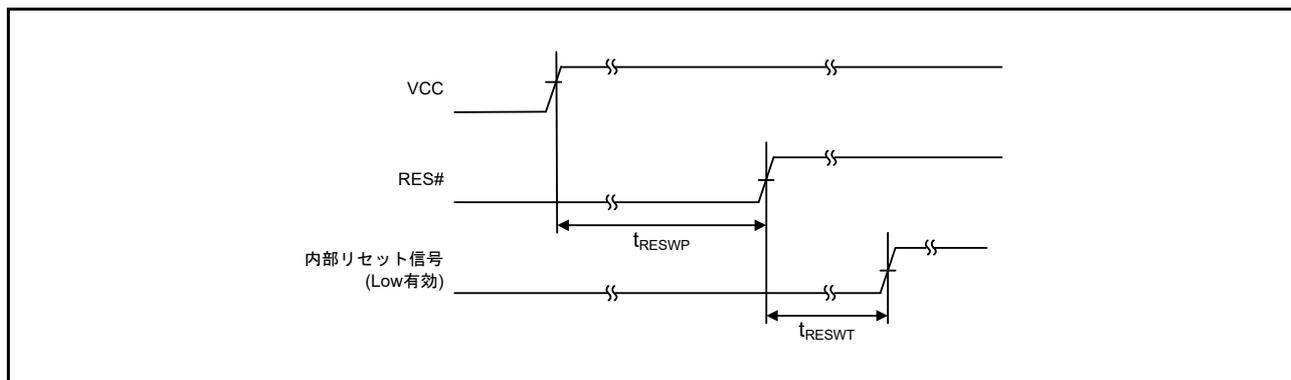


図 2.2 電源投入時リセット入カタイミング

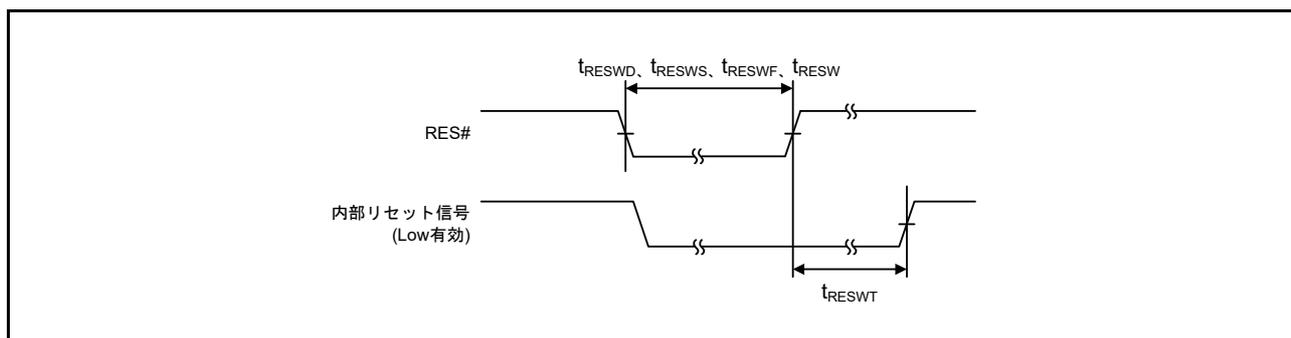


図 2.3 リセット入カタイミング

2.4.2 クロックタイミング

表2.16 BCLK端子出カクロックタイミング(1)

条件 : $4.5 \leq VCC \leq 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t_{Bcyc}	25	—	—	ns	図2.4
BCLK端子出力Highレベルパルス幅	t_{CH}	7.5	—	—		
BCLK端子出力Lowレベルパルス幅	t_{CL}	7.5	—	—		
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5		

表2.17 BCLK端子出カクロックタイミング(2)

条件 : $2.7V \leq VCC < 4.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
BCLK端子出力サイクル時間	t_{Bcyc}	31.25	—	—	ns	図2.4
BCLK端子出力Highレベルパルス幅	t_{CH}	10.625	—	—		
BCLK端子出力Lowレベルパルス幅	t_{CL}	10.625	—	—		
BCLK端子出力立ち上がり時間	t_{Cr}	—	—	5		
BCLK端子出力立ち下がり時間	t_{Cf}	—	—	5		

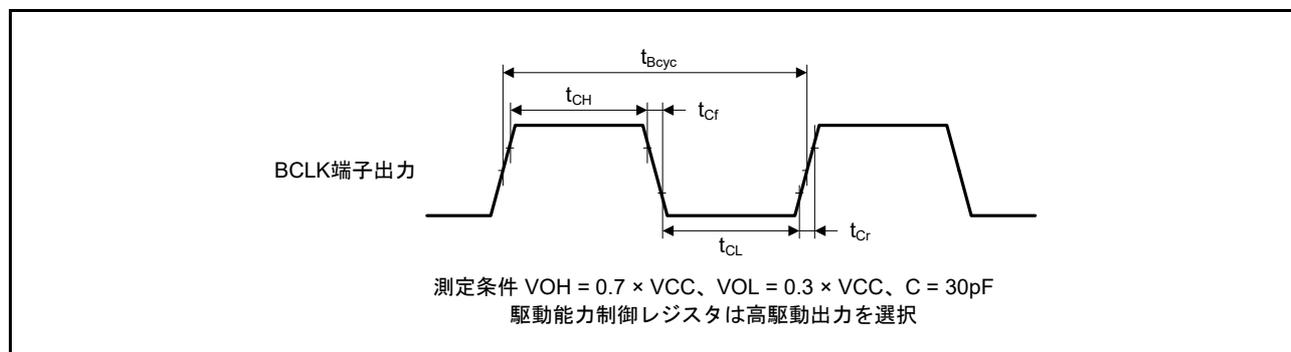


図2.4 BCLK 端子出力カクロックタイミング

表2.18 EXTALクロックタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t _{EXcyc}	41.66	—	—	ns	図2.5
EXTAL外部クロック入力周波数	f _{EXMAIN}	—	—	24	MHz	
EXTAL外部クロック入力パルス幅Highレベル	t _{EXH}	15.83	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t _{EXL}	15.83	—	—		
EXTAL外部クロック立ち上がり時間	t _{EXr}	—	—	5		
EXTAL外部クロック立ち下がり時間	t _{EXf}	—	—	5		

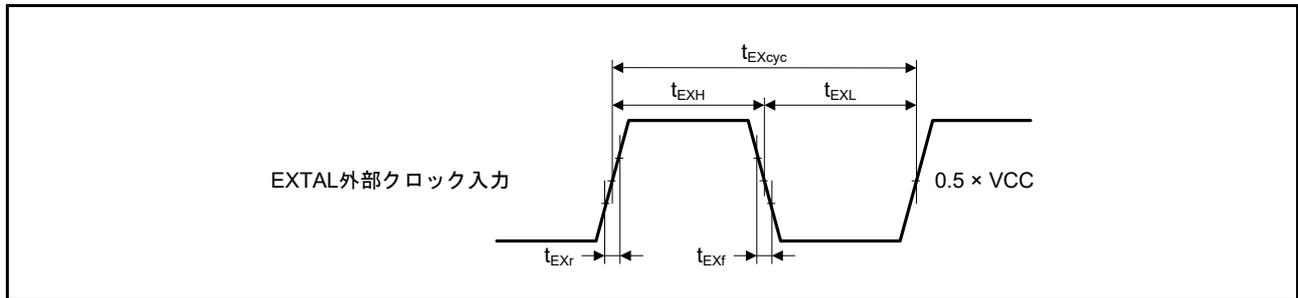


図 2.5 EXTAL 外部クロック入力タイミング

表2.19 メインクロックタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f _{MAIN}	8	—	24	MHz	図2.6
メインクロック発振安定時間(水晶振動子使用時)	t _{MAINOSC}	—	—	—(注1)	ms	
メインクロック発振安定待機時間(水晶振動子使用時)	t _{MAINOSCWT}	—	—	—(注2)		

注1. メインクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

注2. メインクロック発振安定待機時間は、MOSCWTCR.MSTS[7:0]ビットで選択したサイクル数に応じて、次式で算出されます。

$$t_{\text{MAINOSCWT}} = [(MSTS[7:0] \text{ビット} \times 32) + 7] / f_{\text{Loco}}$$

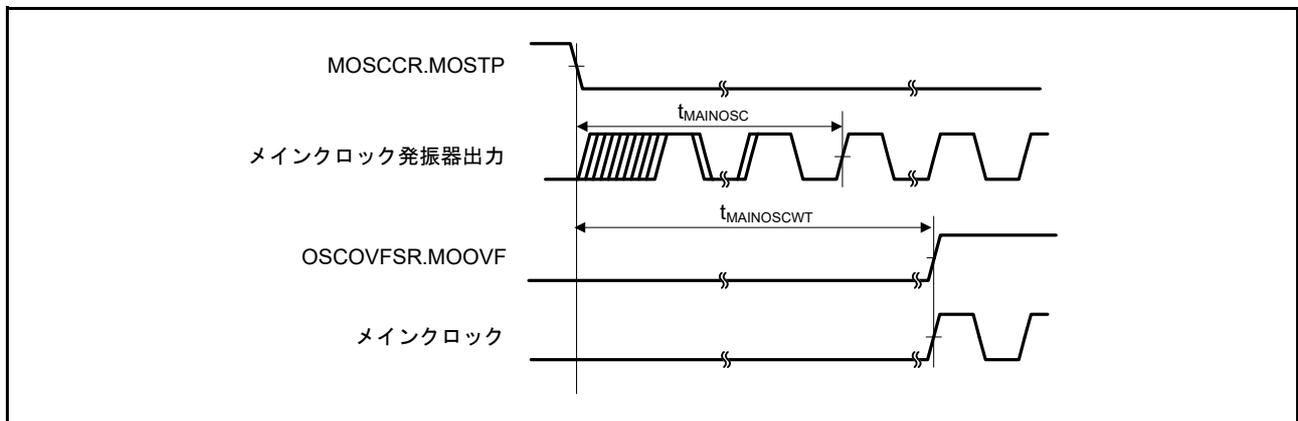


図 2.6 メインクロック発振開始タイミング

表2.20 LOCO, IWDT専用低速クロックタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	3.78	4.16	4.63	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定時間	t_{LOCOWT}	—	—	44	μs	図2.7
IWDT専用低速クロックサイクル時間	t_{ILcyc}	7.57	8.33	9.26		
IWDT専用低速クロック発振周波数	f_{ILOCO}	108	120	132	kHz	
IWDT専用低速クロック発振安定待機時間	$t_{ILOCOWT}$	—	142	190	μs	図2.8

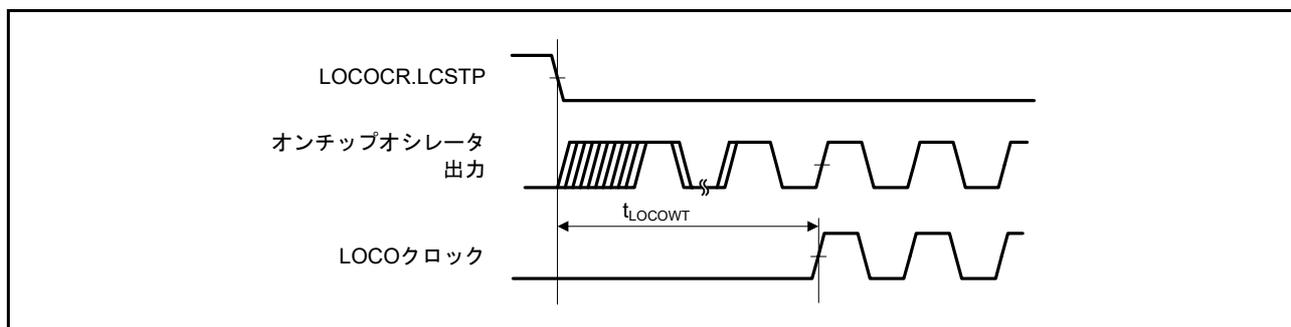


図 2.7 LOCO クロック発振開始タイミング

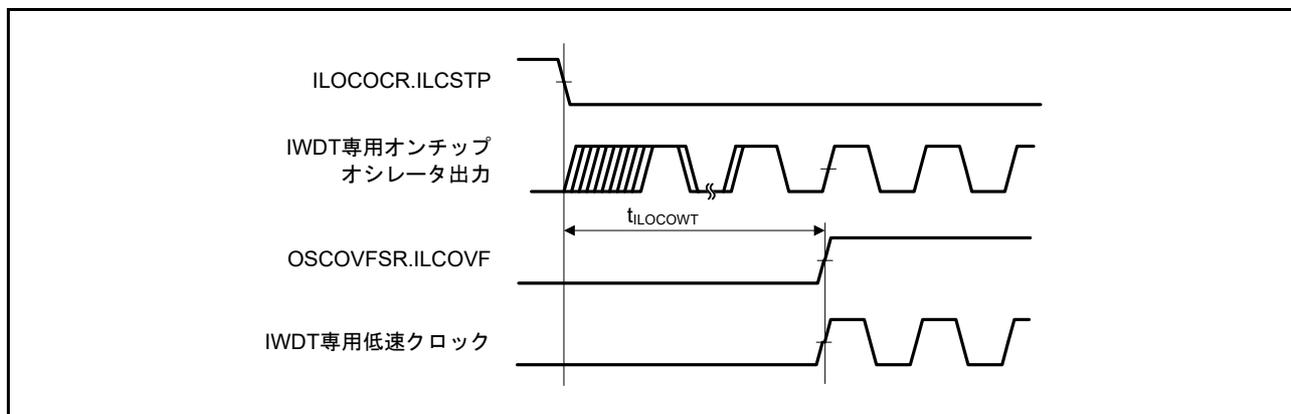


図 2.8 IWDT 専用低速クロック発振開始タイミング

表2.21 HOCOクロックタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
HOCOクロック発振周波数	f_{HOCO}	15.61	16	16.39	MHz	$-20^{\circ}\text{C} \leq T_a \leq 105^{\circ}\text{C}$
		17.56	18	18.44		
		19.52	20	20.48		
		15.52	16	16.48		$-40^{\circ}\text{C} \leq T_a < -20^{\circ}\text{C}$
		17.46	18	18.54		
		19.40	20	20.60		
HOCOクロック発振安定待機時間	t_{HOCOWT}	—	105	149	μs	図2.9
HOCOクロック電源安定時間	t_{HOCOP}	—	—	150	μs	図2.10

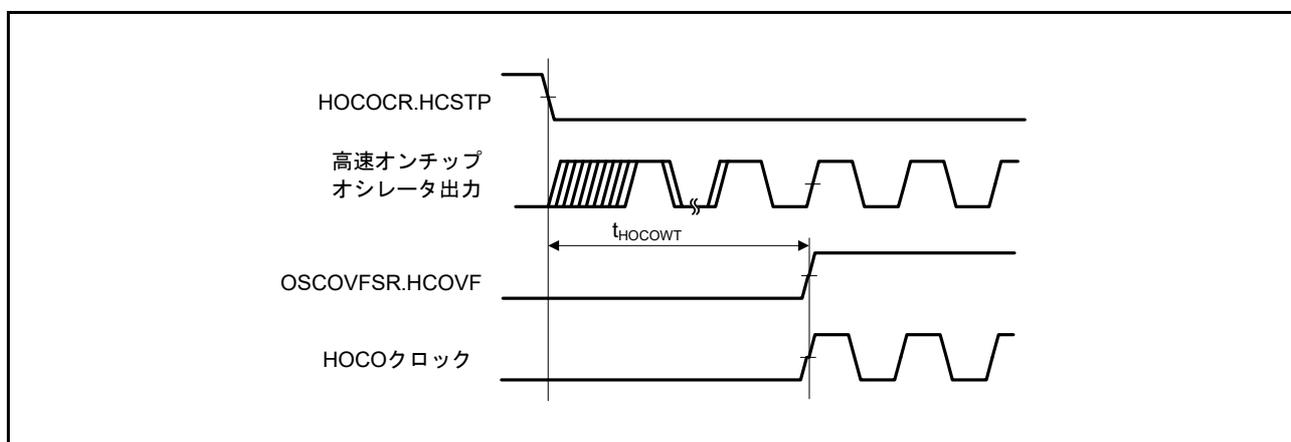


図 2.9 HOCO クロック発振開始タイミング (HOCOCR.HCSTP 設定による発振開始)

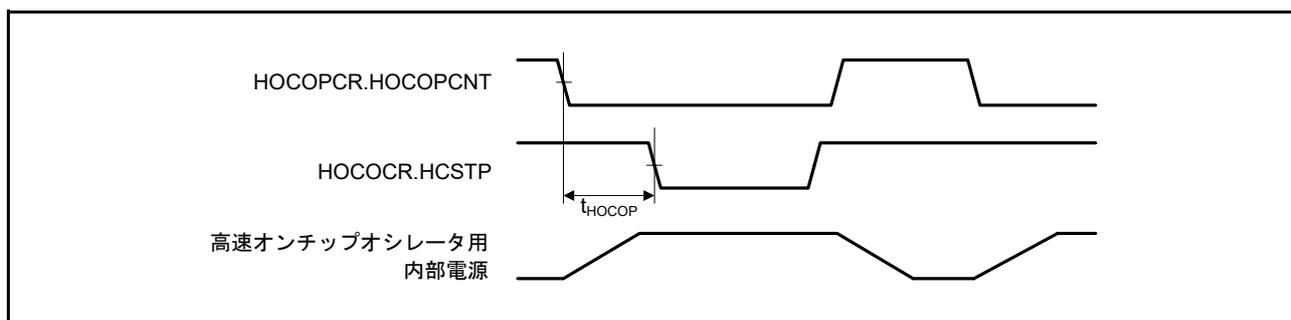


図 2.10 高速オンチップオシレータ電源制御タイミング

表2.22 PLLクロックタイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min	typ	max	単位	測定条件
PLLクロック発振周波数	f_{PLL}	120	—	240	MHz	
PLLクロック発振安定待機時間	t_{PLLWT}	—	259	320	μs	図2.11

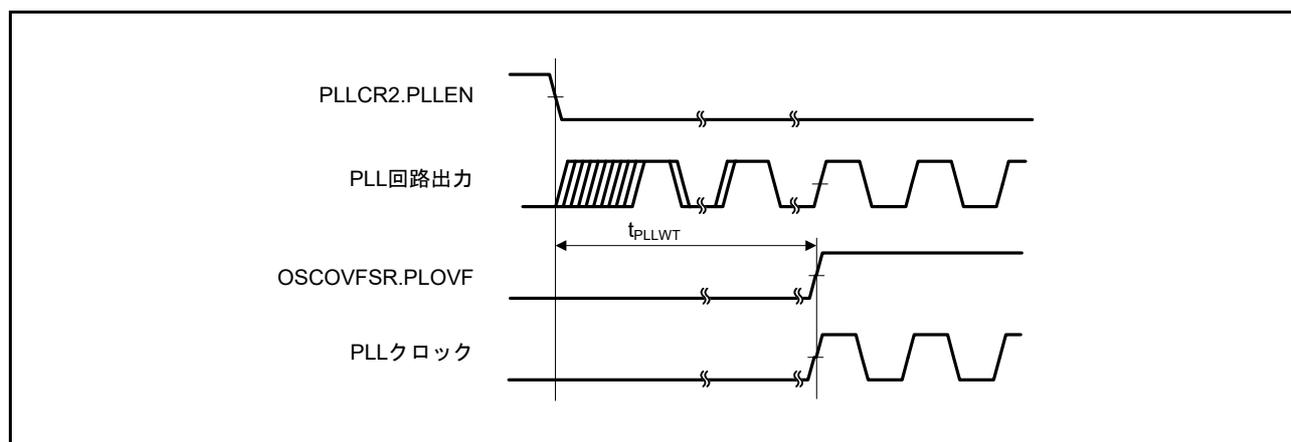


図 2.11 PLL クロック発振開始タイミング

2.4.3 低消費電力状態からの復帰タイミング

表 2.23 低消費電力状態からの復帰タイミング(1)

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,

$$T_a = T_{opr}$$

項目			記号	min	typ	max		単位	測定条件
						$t_{SBYOSCWT}$ (注2)	t_{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間(注1)	メインクロック発振器に水晶振動子を接続	メインクロック発振器動作	t_{SBYMC}	—	—	$\{(MSTS[7:0] \text{ ビット} \times 32) + 76\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{MAIN}$	μs	図 2.12
		メインクロック発振器、PLL回路動作	t_{SBYPC}			$\{(MSTS[7:0] \text{ ビット} \times 32) + 138\} / 0.216$	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t_{SBYEX}			352	$100 + 7 / f_{ICLK} + 2n / f_{EXMAIN}$		
		メインクロック発振器、PLL回路動作	t_{SBYPE}			639	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	高速オンチップオシレータ動作	高速オンチップオシレータ動作	t_{SBYHO}			454	$100 + 7 / f_{ICLK} + 2n / f_{HOCO}$		
		高速オンチップオシレータ動作、PLL回路動作	t_{SBYPH}			741	$100 + 7 / f_{ICLK} + 2n / f_{PLL}$		
	低速オンチップオシレータ動作(注4)	t_{SBYLO}				338	$100 + 7 / f_{ICLK} + 2n / f_{LOCO}$		

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間($t_{SBYOSCWT}$)とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は $t_{SBYOSCWT}$ のうち、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定のうち、最も大きな値が選択されます。
- 注4. 本条件は、 $f_{ICLK} : f_{FCLK} = 1:1, 2:1, 4:1$ の場合に適用されます。

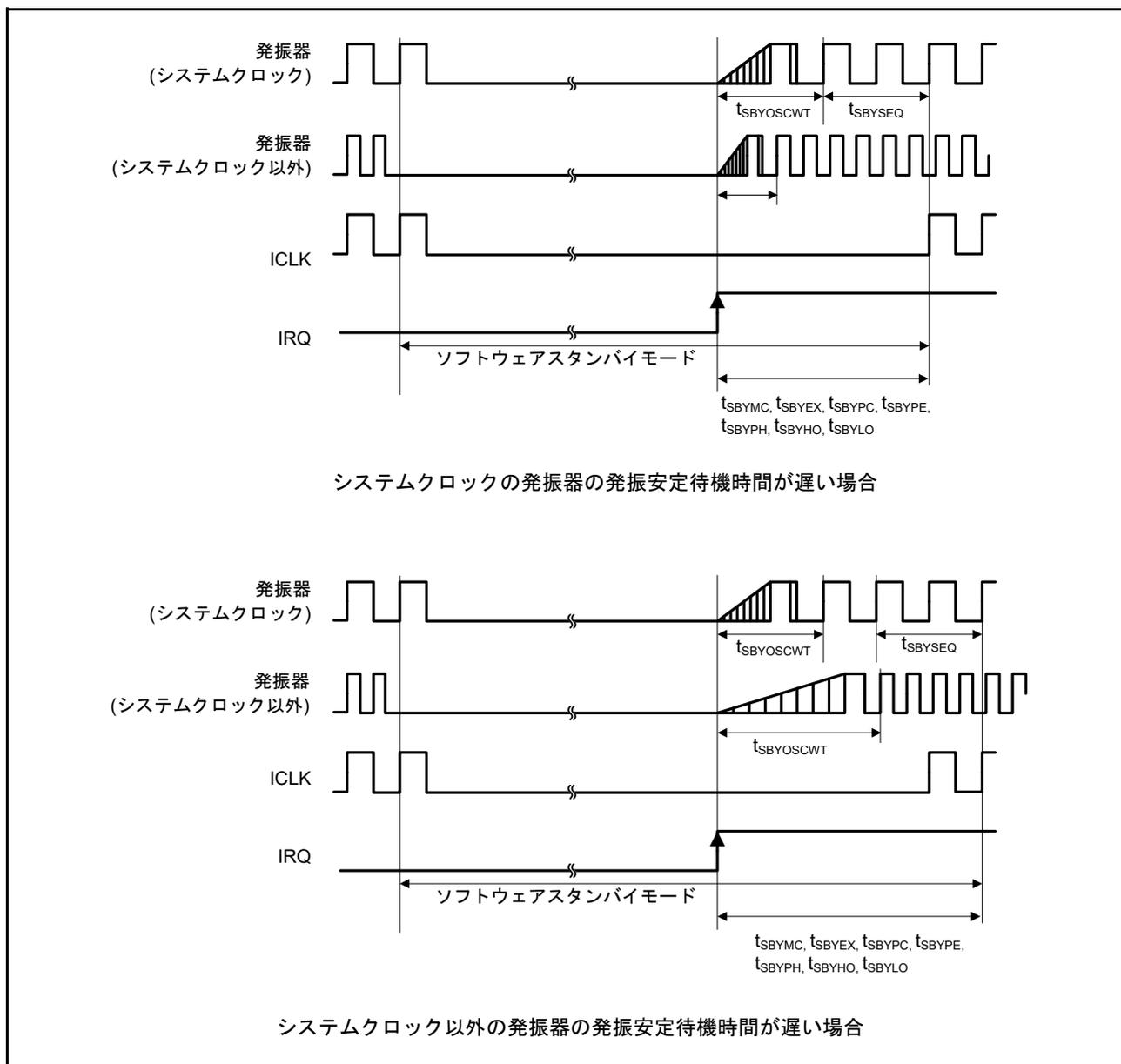


図 2.12 ソフトウェアスタンバイモード解除タイミング

表2.24 低消費電力状態からの復帰タイミング(2)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V,
 T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
ディープソフトウェアスタンバイモード解除後復帰時間	t _{DSBY}	—	—	0.9	ms	図2.13
ディープソフトウェアスタンバイモード解除後待機時間	t _{DSBYWT}	31	—	32	t _{Lcyc}	

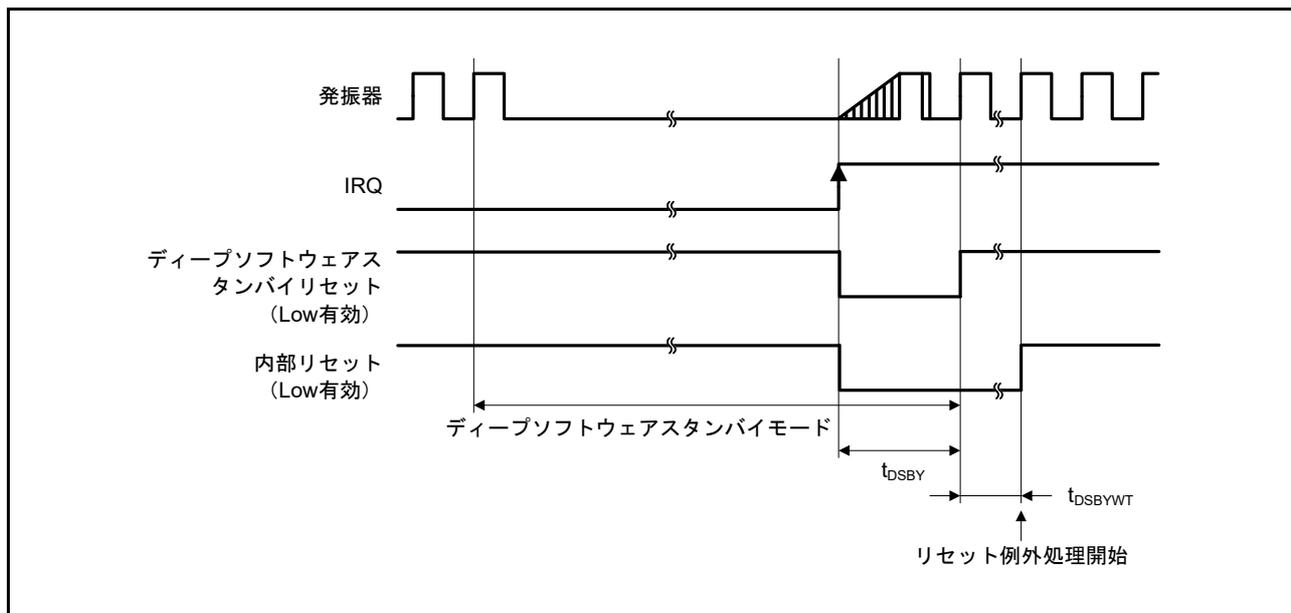


図 2.13 ディープソフトウェアスタンバイモード解除タイミング

2.4.4 制御信号タイミング

表 2.25 制御信号タイミング

条件 : $VCC = 2.7 \sim 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$,
 $T_a = T_{opr}$

項目	記号	min (注1)	typ	max	単位	測定条件 (注1)
NMIパルス幅	t_{NMIW}	200	—	—	ns	$2 \times t_{PBcyc} \leq 200ns$ 、図 2.14
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 2.14
IRQパルス幅	t_{IRQW}	200	—	—		$2 \times t_{PBcyc} \leq 200ns$ 、図 2.15
		$2 \times t_{PBcyc}$	—	—		$2 \times t_{PBcyc} > 200ns$ 、図 2.15

注1. t_{PBcyc} : PCLKBの周期

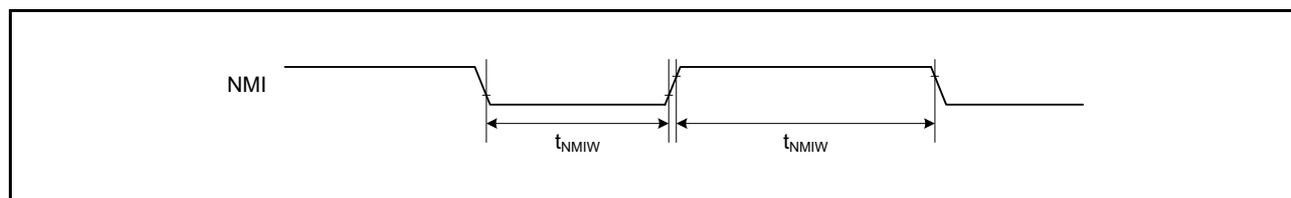


図 2.14 NMI 割り込み入カタイミング

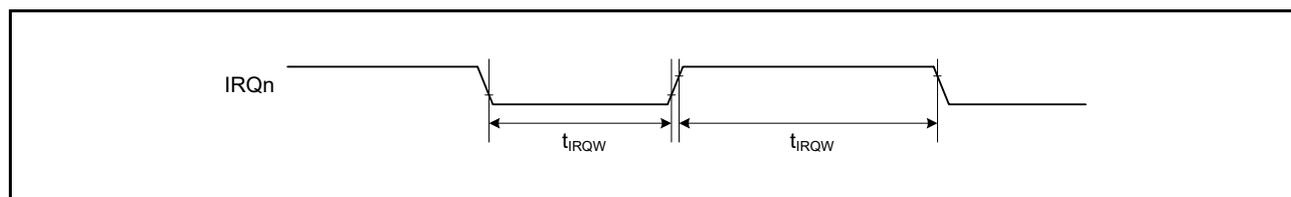


図 2.15 IRQ 割り込み入カタイミング

2.4.5 バスタイミング

表2.26 バスタイミング(1)

条件 : $4.5V \leq VCC \leq 5.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	12.5	ns	図 2.16 ~ 図 2.21
バイトコントロール遅延時間	t_{BCD}	—	—	12.5		
CS#遅延時間	t_{CSD}	—	—	12.5		
ALE遅延時間	t_{ALEd}	—	—	12.5		
RD#遅延時間	t_{RSD}	—	—	12.5		
リードデータセットアップ時間	t_{RDS}	12.5	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	12.5		
ライトデータ遅延時間	t_{WDD}	—	—	12.5		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	12.5	—	—		
WAIT#ホールド時間	t_{WTH}	0	—	—		

表2.27 バスタイミング(2)

条件 : $2.7V \leq VCC < 4.5V$, $VCC_USB = 2.7 \sim 5.5V$, $AVCC0 = AVCC1 = AVCC2 = 3.0 \sim 5.5V$,
 $VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$,
 $ICLK = 8 \sim 200MHz$, $PCLKA = 8 \sim 120MHz$, $PCLKB = 8 \sim 60MHz$, $PCLKC = 8 \sim 200MHz$, $BCLK = 8 \sim 60MHz$,
出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目	記号	min	typ	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	—	25	ns	図 2.16 ~ 図 2.21
バイトコントロール遅延時間	t_{BCD}	—	—	25		
CS#遅延時間	t_{CSD}	—	—	25		
ALE遅延時間	t_{ALEd}	—	—	25		
RD#遅延時間	t_{RSD}	—	—	25		
リードデータセットアップ時間	t_{RDS}	25	—	—		
リードデータホールド時間	t_{RDH}	0	—	—		
WR#遅延時間	t_{WRD}	—	—	25		
ライトデータ遅延時間	t_{WDD}	—	—	25		
ライトデータホールド時間	t_{WDH}	0	—	—		
WAIT#セットアップ時間	t_{WTS}	25	—	—		
WAIT#ホールド時間	t_{WTH}	0	—	—		

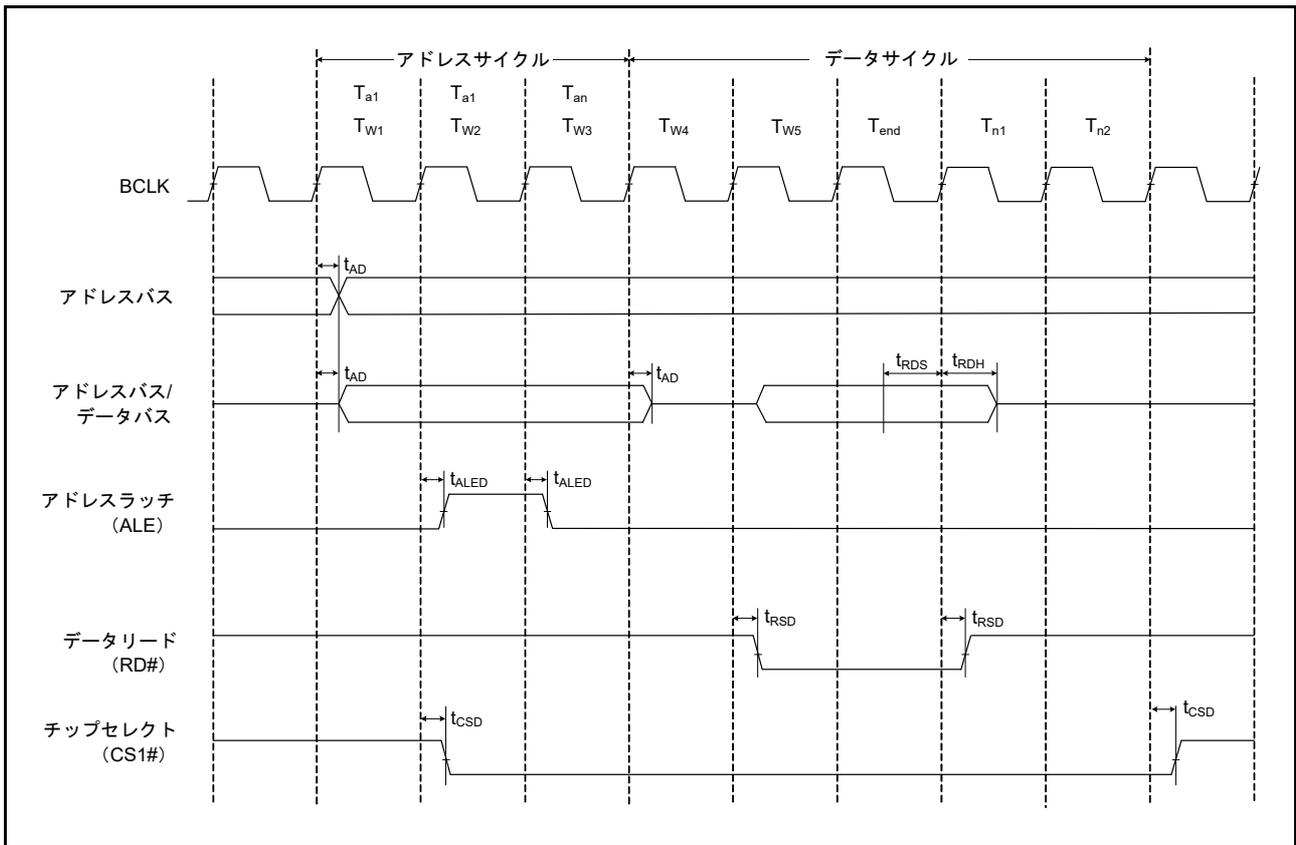


図 2.16 アドレス/データマルチプレクスバスのリードアクセスタイミング

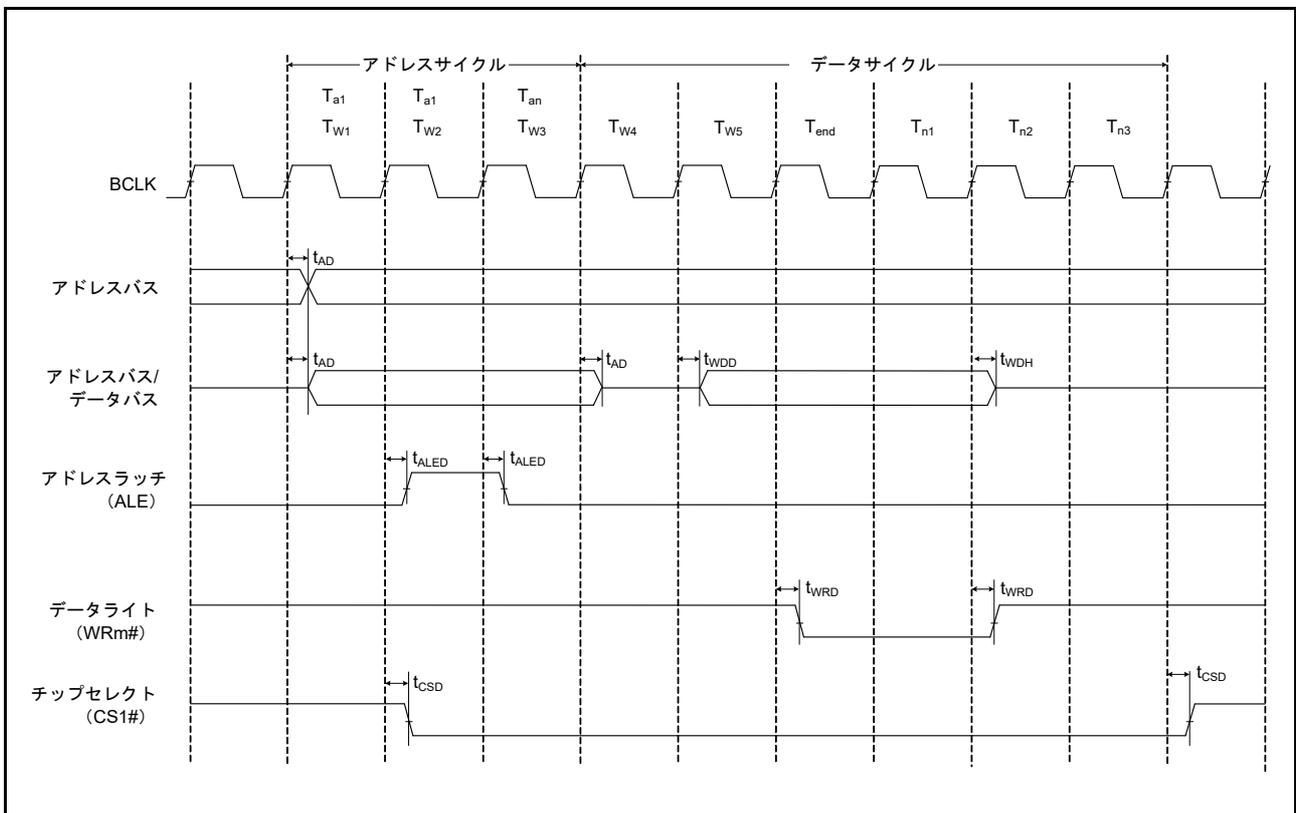


図 2.17 アドレス/データマルチプレクスバスのライトアクセスタイミング

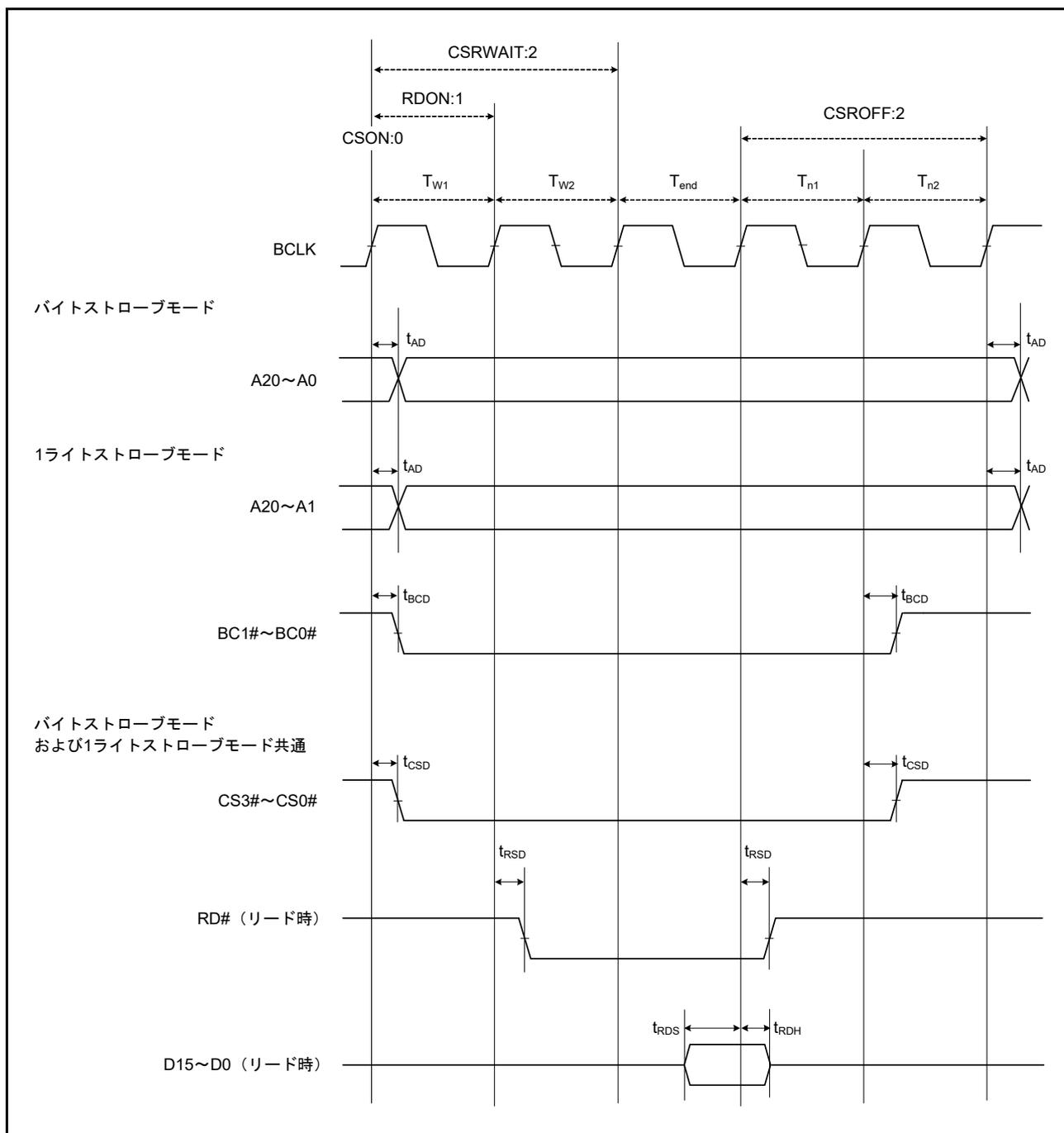


図 2.18 外部バスタイミング / ノーマルリードサイクル (バスクロック同期)

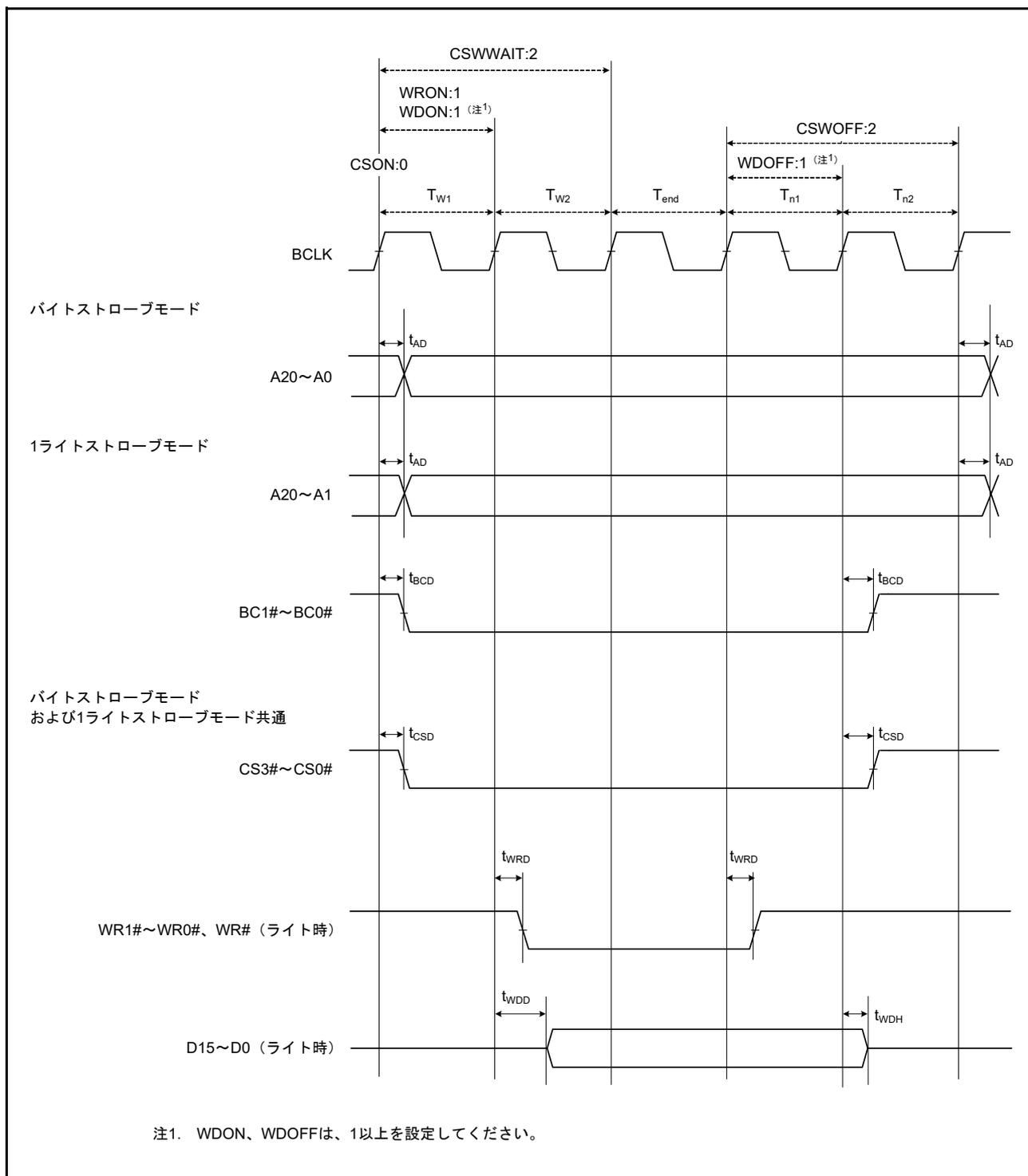


図 2.19 外部バスタイミング / ノーマルライトサイクル (バスクロック同期)

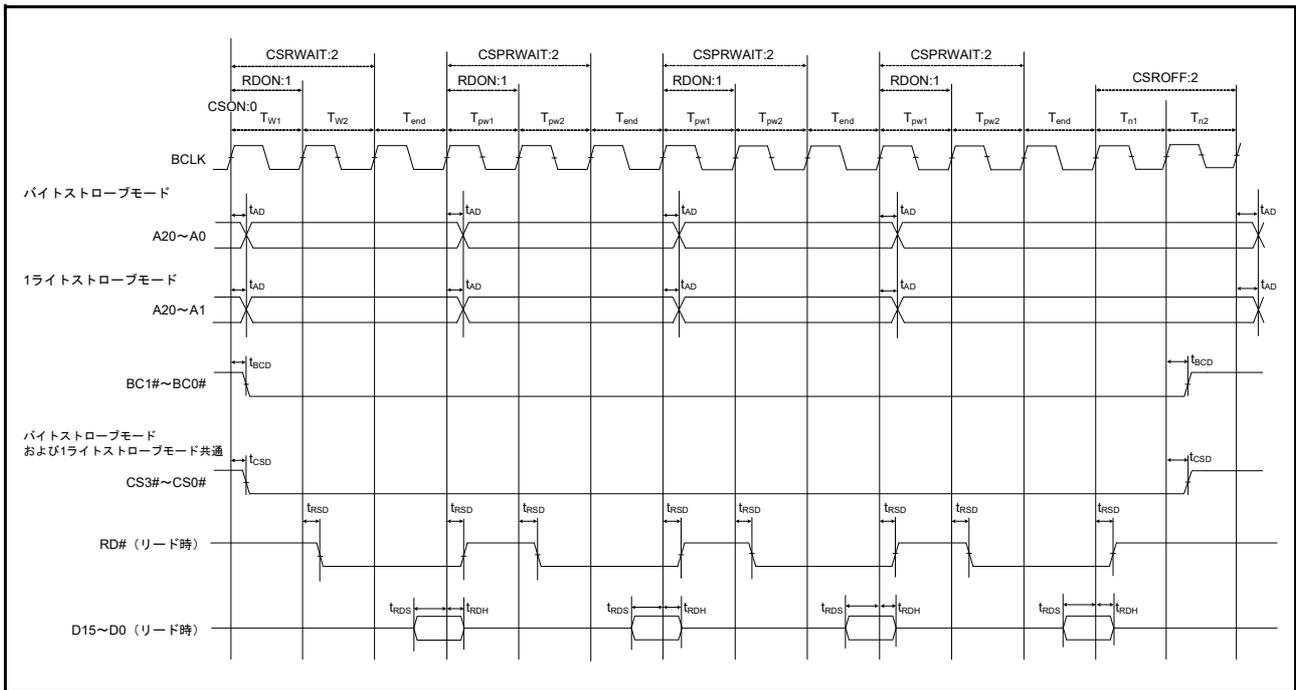


図 2.20 外部バスタイミング / ページリードサイクル (バスクロック同期)

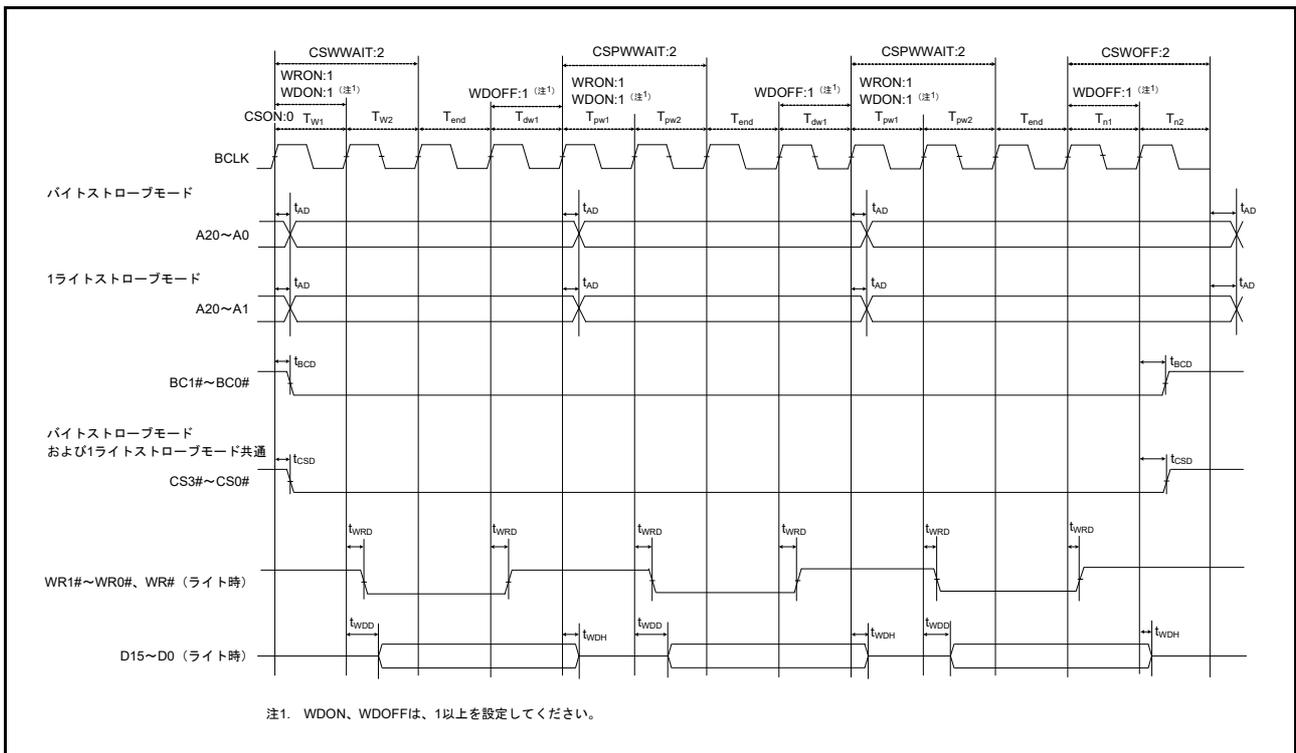


図 2.21 外部バスタイミング / ページライトサイクル (バスクロック同期)

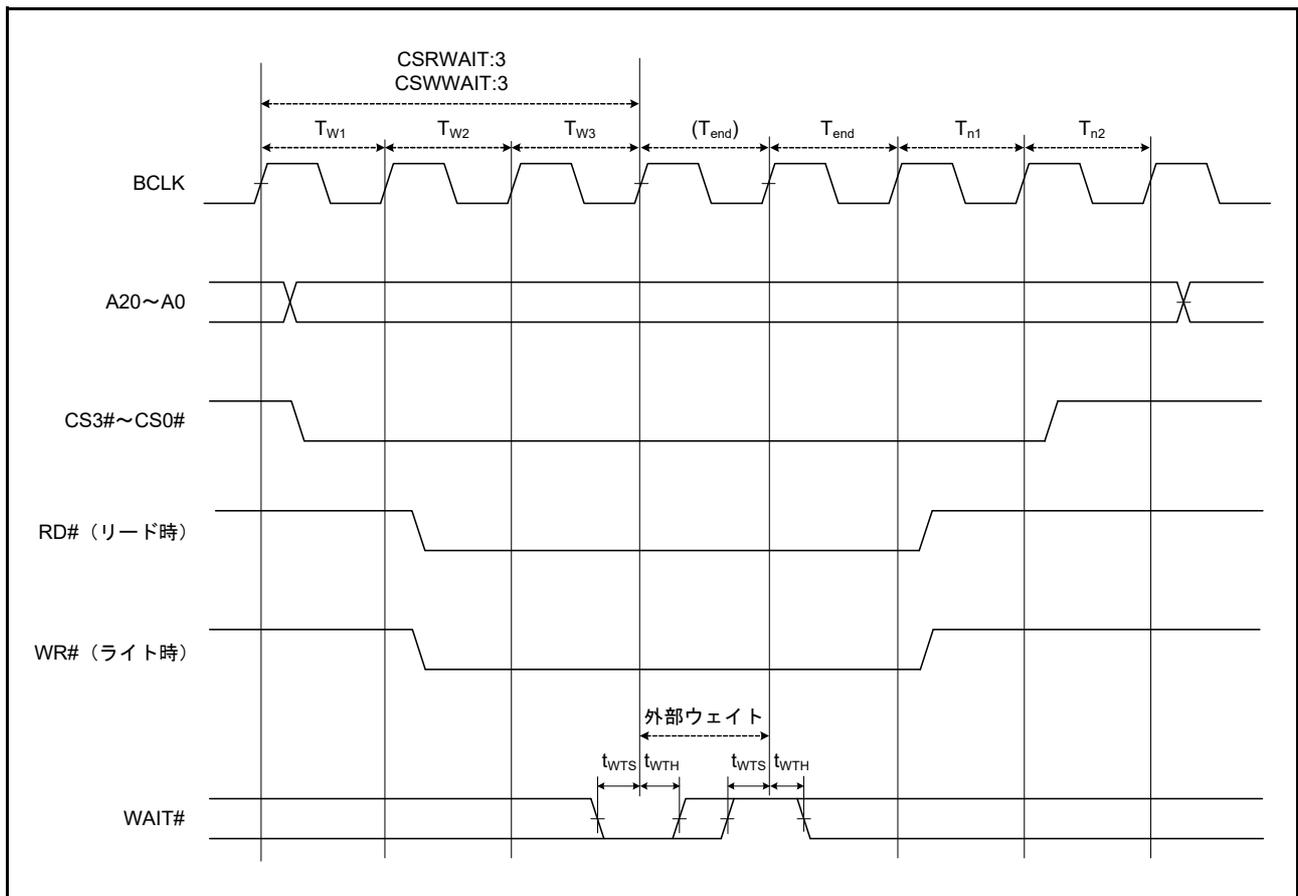


図 2.22 外部バスタイミング / 外部ウェイト制御

2.4.6 内蔵周辺モジュールタイミング

2.4.6.1 I/Oポート

表2.28 I/Oポートタイミング

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	max	単位(注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図2.23

注1. t_{PBcyc} : PCLKBの周期

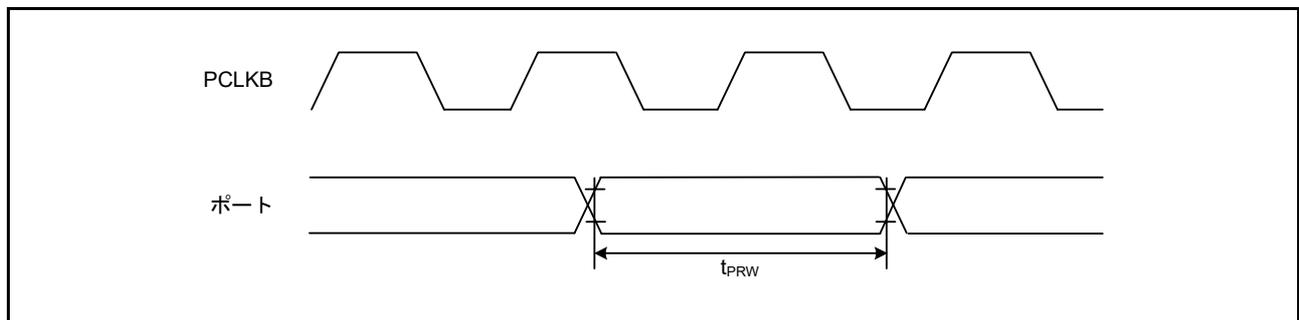


図 2.23 I/Oポート入力タイミング

2.4.6.2 TMR

表2.29 TMRタイミング

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,
ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,
駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	max	単位(注1)	測定条件	
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{PBcyc}	図2.24
		両エッジ指定	t_{TMCWL}	2.5	—		

注1. t_{PBcyc} : PCLKBの周期

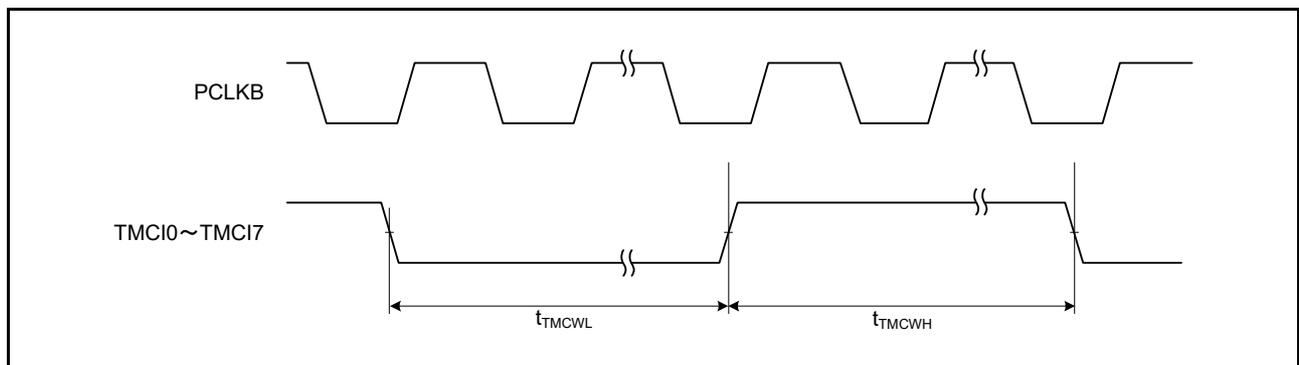


図 2.24 TMRクロック入力タイミング

2.4.6.3 MTU

表2.30 MTUタイミング

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, $T_a = T_{opr}$,

ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,

出力負荷条件： $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	max	単位(注1)	測定条件	
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PCyc}	図2.25
		両エッジ指定		2.5	—		
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH} , t_{MTCKWL}	1.5	—	t_{PCyc}	図2.26
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

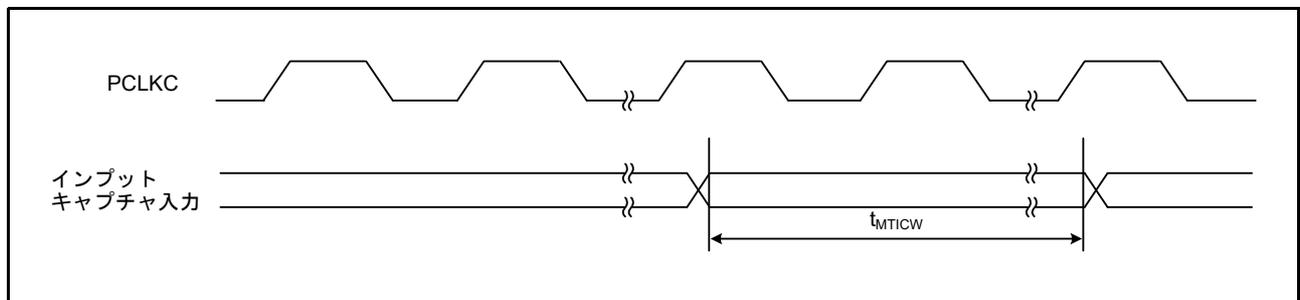
注1. t_{PCyc} : PCLKCの周期

図 2.25 MTU インプットキャプチャ入力タイミング

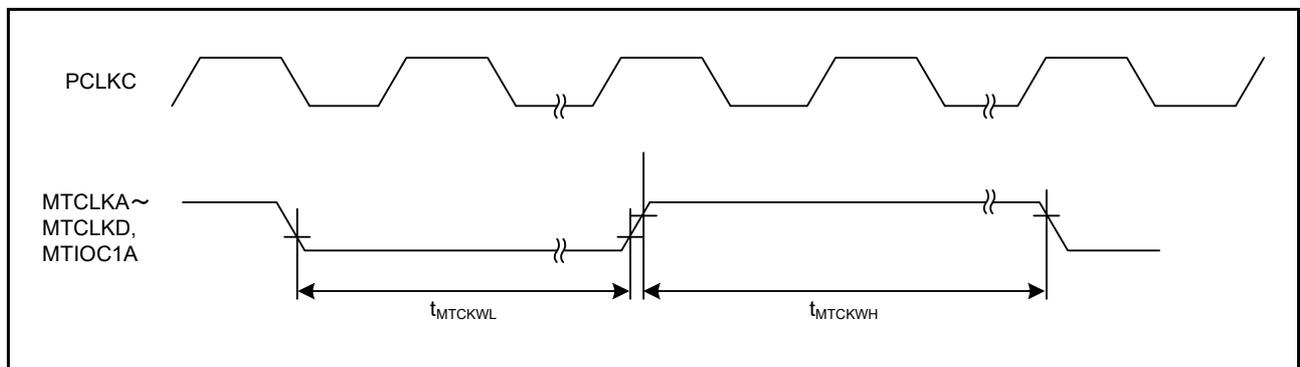


図 2.26 MTU クロック入力タイミング

2.4.6.4 POE

表2.31 POEタイミング

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
 出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	typ	max	単位 (注1)	測定条件	
POE	POEn#入力パルス幅(n = 0, 4, 8~14)	t _{POEW}	1.5	—	—	t _{PBcyc}	図2.27	
	出力ディセーブル時間	POEn#端子の変化	t _{POEDI}	—	—	5 PCLKB + 0.24	μs	図2.28 立ち下がりエッジ検出時 (ICSRm.POEnM[3:0] = 0000b (m = 1~5, 7~9, n = 0, 4, 8~14))
		出力端子の短絡	t _{POEDO}	—	—	3 PCLKB + 0.2	μs	図2.29
	コンパレータ出力 検出	t _{POEDC}	—	—	5 PCLKB + 0.2	μs	図2.30 コンパレータCのノイズフィルタ不 使用時(CMPCTL.CDFS[1:0] = 00b)、 コンパレータCの検出時間は除く	
	レジスタ設定	t _{POEDS}	—	—	1 PCLKB + 0.2	μs	図2.31 レジスタアクセス時間は除く	
	発振停止検出	t _{POEDOS}	—	—	21	μs	図2.32	

注1. t_{PBcyc} : PCLKBの周期

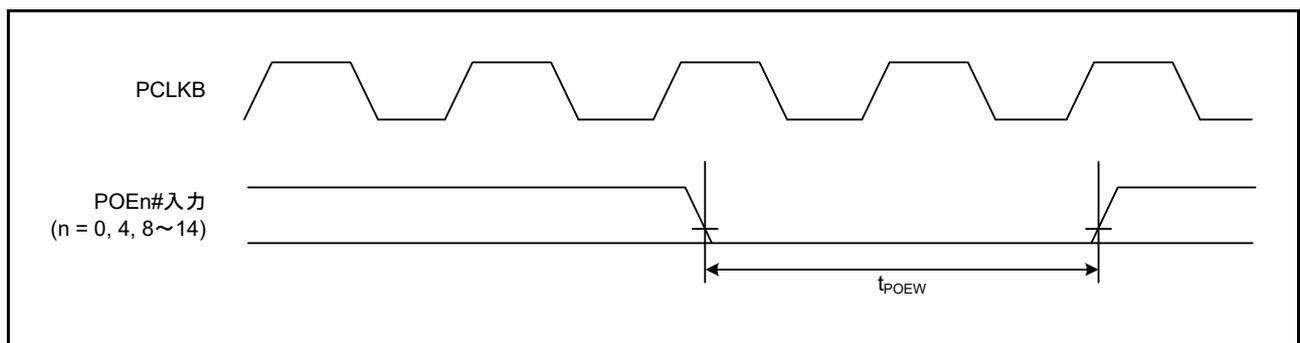


図 2.27 POE 入力タイミング

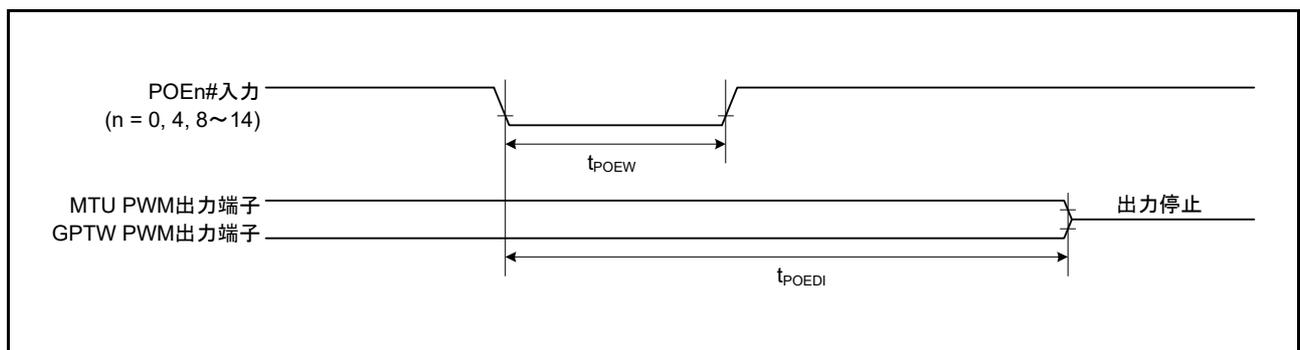


図 2.28 POE 出力ディセーブル時間 (POEn# 端子の変化)

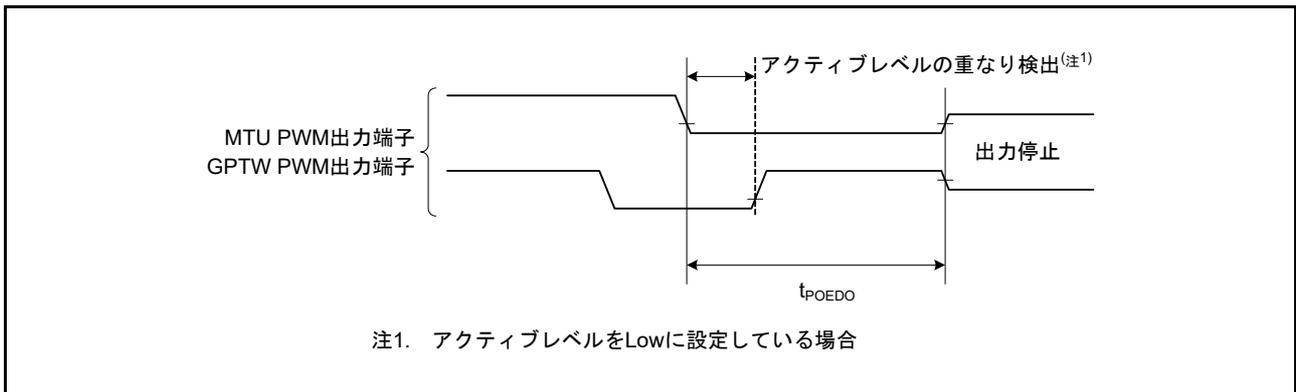


図 2.29 POE 出力ディセーブル時間 (出力端子の短絡)

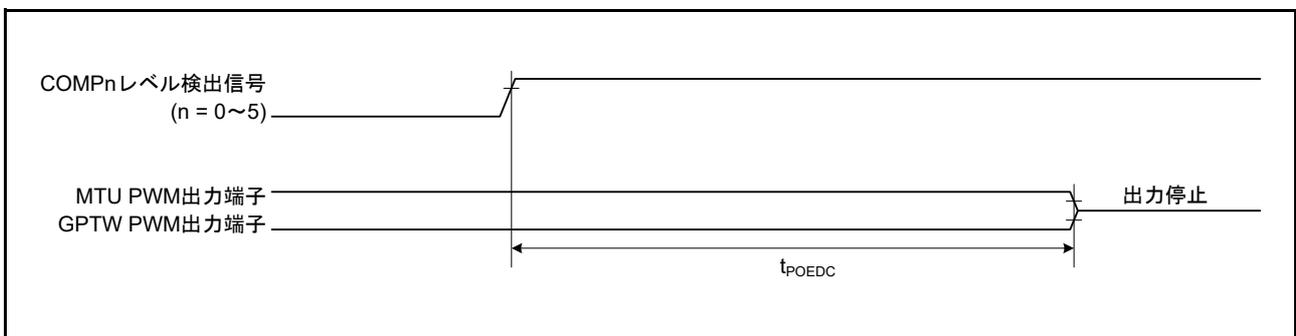


図 2.30 POE 出力ディセーブル時間 (コンパレータ出力検出)

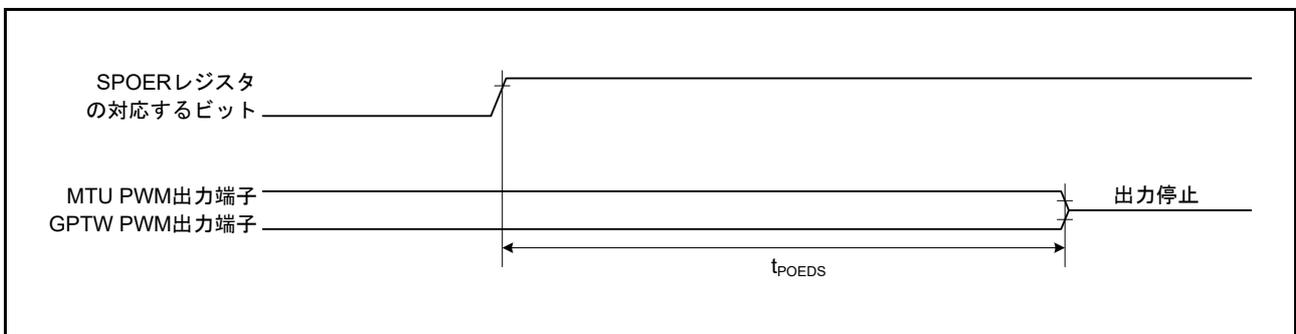


図 2.31 POE 出力ディセーブル時間 (レジスタ設定)

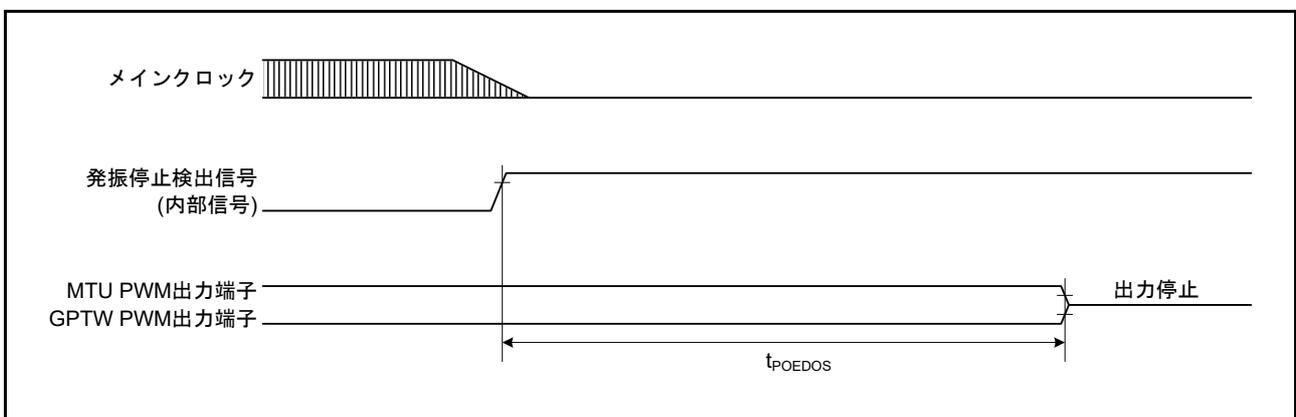


図 2.32 POE 出力ディセーブル時間 (発振停止検出)

2.4.6.5 POEG

表2.32 POEGタイミング

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,

出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	typ	max	単位 (注1)	測定条件	
POEG	GTETRGn入力パルス幅(n = A~D)	t _{POEGW}	1.5	—	—	t _{PBcyc}	図2.33	
	出力ディセーブル時間	GTETRGn端子の入カレベル検出 (フラグ経由)	t _{POEGDI}	—	—	3 PCLKB + 0.34	μs	図2.34 デジタルノイズフィルタ不使用時 (POEGn.NFEN = 0 (n = A~D))
		GPTWからの出力 停止信号検出 (デットタイムエ ラー、同時High出 力、同時Low出 力)	t _{POEGDE}	—	—	0.5	μs	図2.35
	コンパレータエッ ジ検出	t _{POEGDC}	—	—	4 PCLKB + 0.5	μs	図2.36 コンパレータCのノイズフィルタ 不使用時(CMPCTL.CDFS[1:0] = 00b)、コンパレータCの検出時間 は除く	
	レジスタ設定	t _{POEGDS}	—	—	1 PCLKB + 0.3	μs	図2.37 レジスタアクセス時間は除く	
	発振停止検出	t _{POEGDOS}	—	—	21	μs	図2.38	
	GTETRGn端子の 入カレベル検出 (フラグ非経由)	t _{POEGDI}	—	—	2 PCLKB + 1 PCLKC + 0.34	μs	図2.39	
	コンパレータレベ ル検出	t _{POEGDCC}	—	—	3 PCLKC + 0.3	μs	図2.40 コンパレータCのノイズフィルタ 不使用時(CMPCTL.CDFS[1:0] = 00b)、コンパレータCの検出時間 は除く	

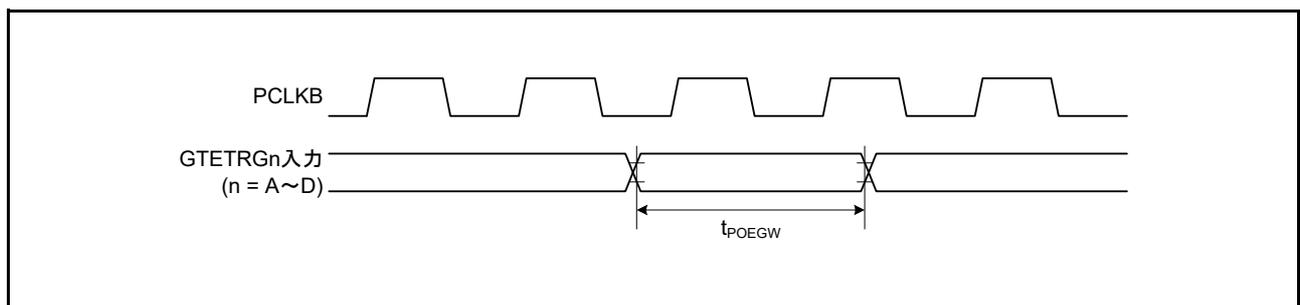
注1. t_{PBcyc} : PCLKBの周期

図2.33 POEG入カタイミング

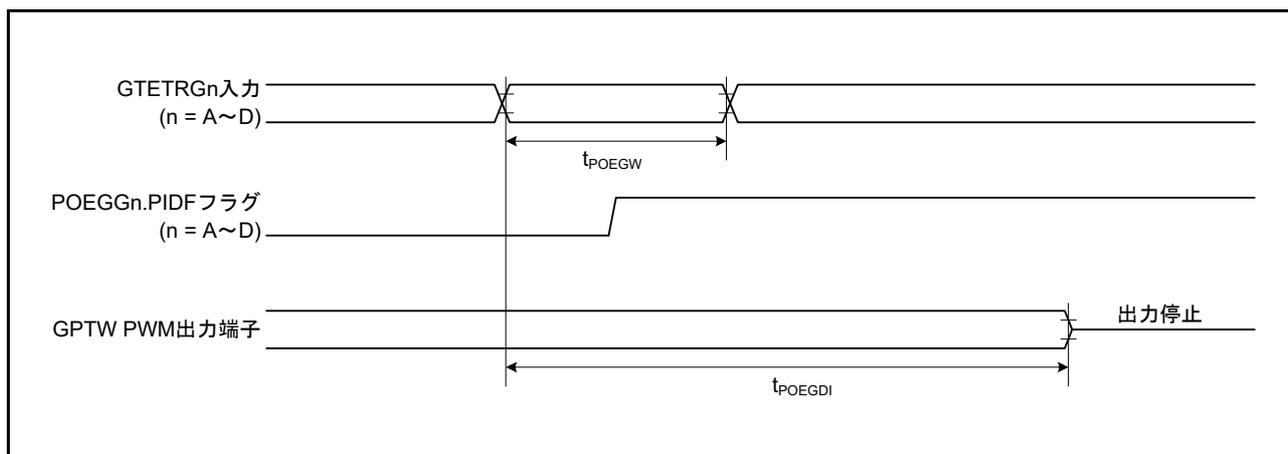


図 2.34 POEG 出力ディセーブル時間 (GTETR Gn 端子の入カレベル検出 (フラグ経由))

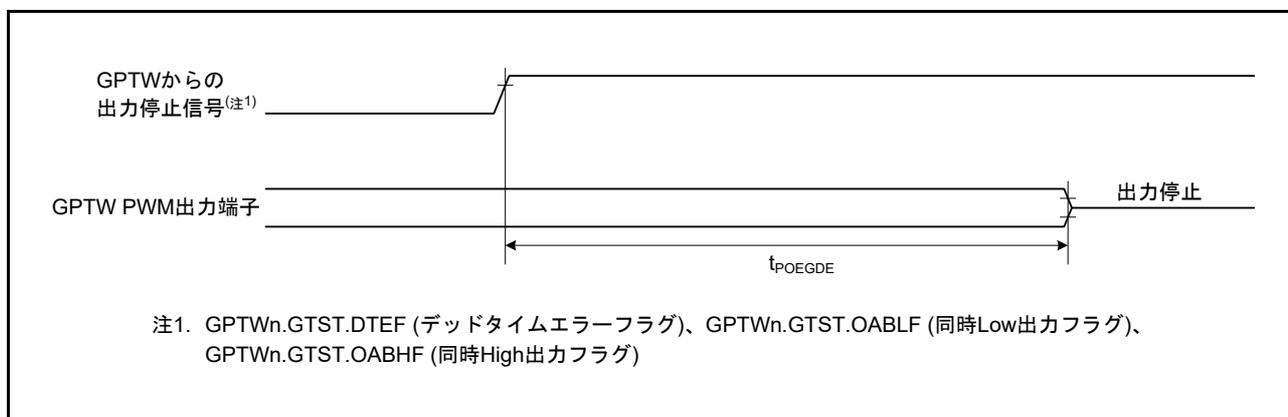


図 2.35 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

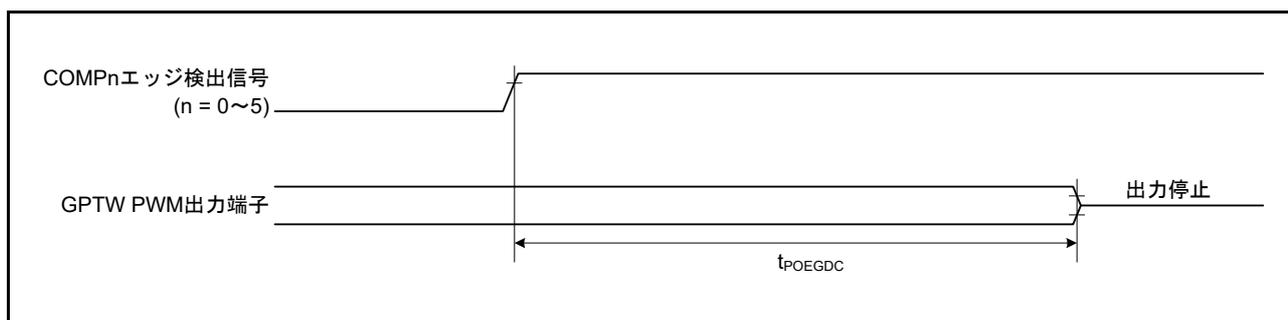


図 2.36 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

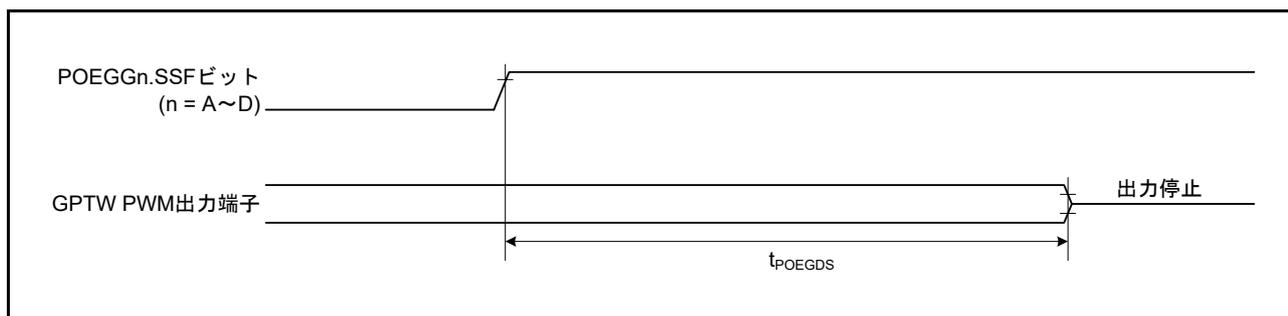


図 2.37 POEG 出力ディセーブル時間 (レジスタ設定)

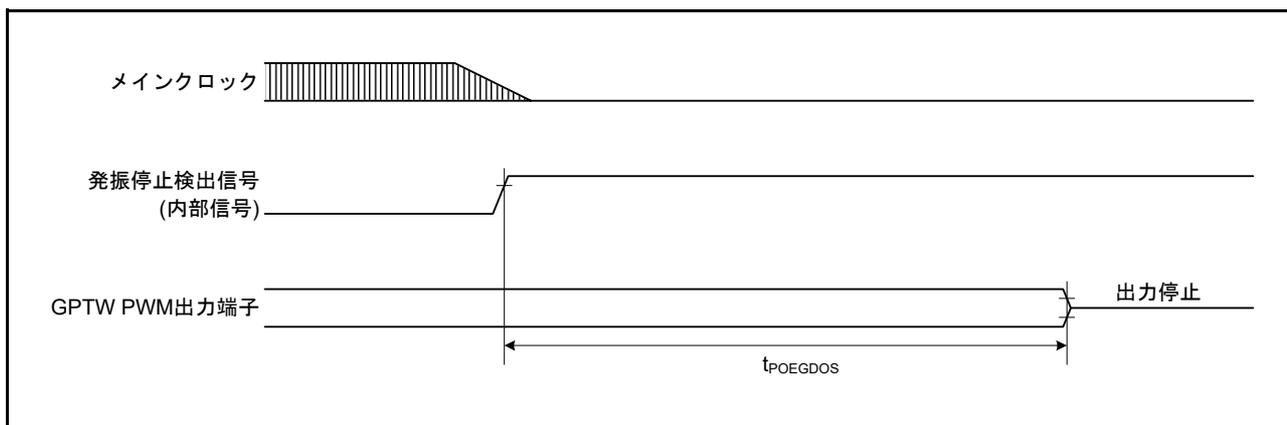


図 2.38 POEG 出力ディセーブル時間 (発振停止検出)

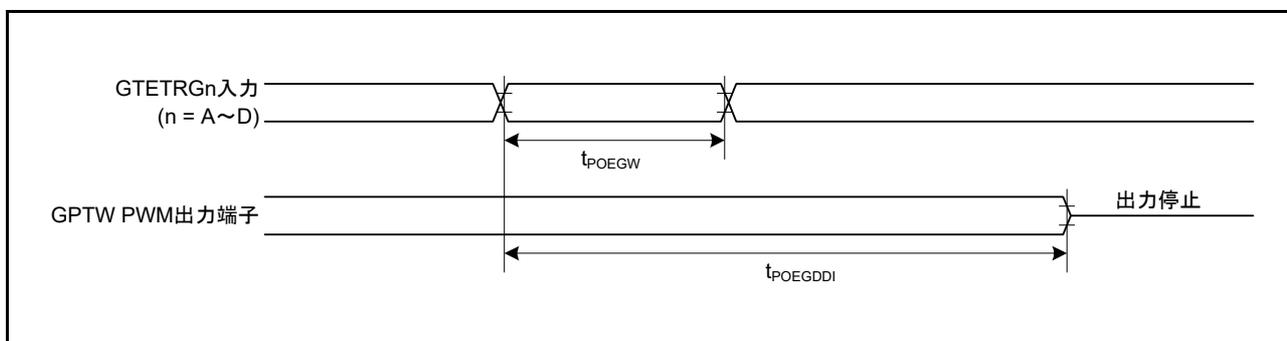


図 2.39 POEG 出力ディセーブル時間 (GTETRGn 端子の入カレベル検出 (フラグ非経由))

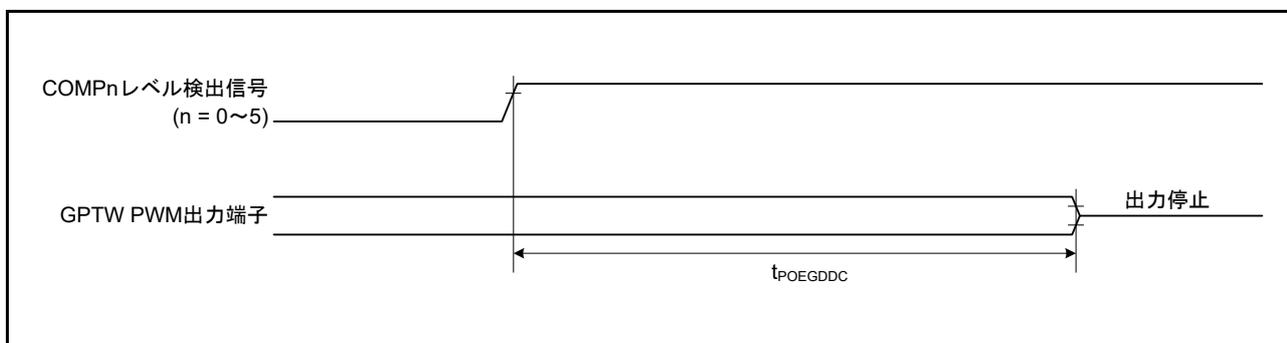


図 2.40 POEG 出力ディセーブル時間 (コンパレータレベル検出)

2.4.6.6 GPTW

表2.33 GPTW タイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	max	単位 (注1、注2)	測定条件
GPTW	インプットキャプチャ入力 パルス幅	単エッジ指定	1.5	—	t _{PCcyc}	図2.41
		両エッジ指定	2.5	—		
	外部トリガ入力パルス幅	単エッジ指定	1.5	—	t _{PBcyc}	図2.42
		両エッジ指定	2.5	—		
タイマクロックパルス幅		t _{GTCKWH}	1.5	—	t _{PBcyc}	図2.43
		t _{GTCKWL}				

注1. t_{PCcyc} : PCLKCの周期
 注2. t_{PBcyc} : PCLKBの周期

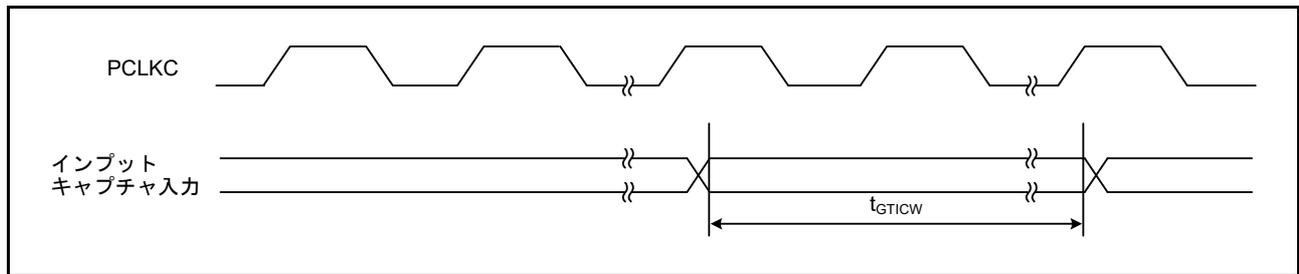


図 2.41 GPTW インプットキャプチャ入力タイミング

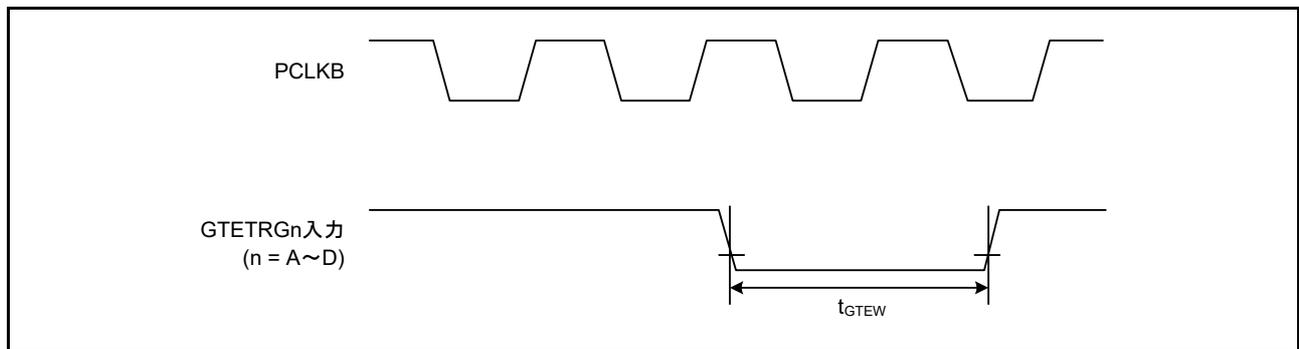


図 2.42 GPTW 外部トリガ入力タイミング

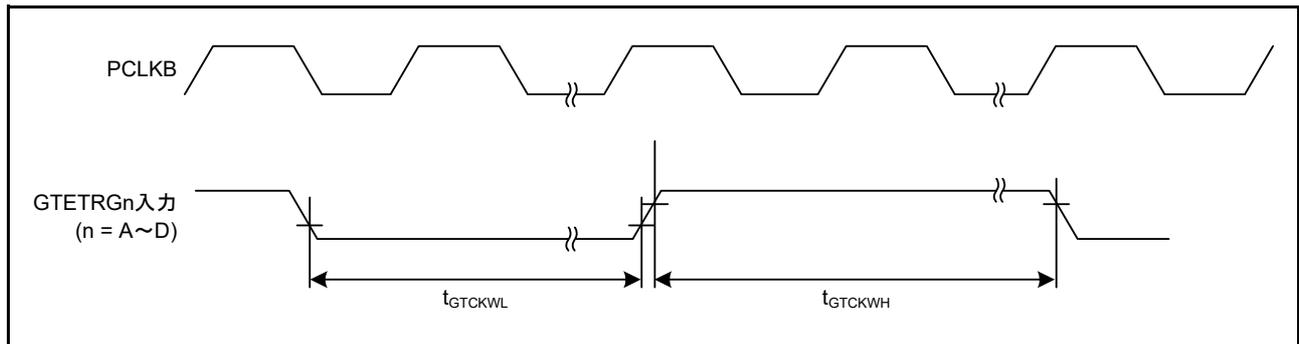


図 2.43 GPTW クロック入力タイミング

2.4.6.7 A/Dコンバータトリガ

表2.34 A/Dコンバータトリガタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	max	単位(注1)	測定条件
A/D コンバータ	A/Dコンバータトリガ入力パルス幅	t _{TRGW}	1.5	—	t _{PBcyc}	図 2.44

注1. t_{PBcyc} : PCLKBの周期

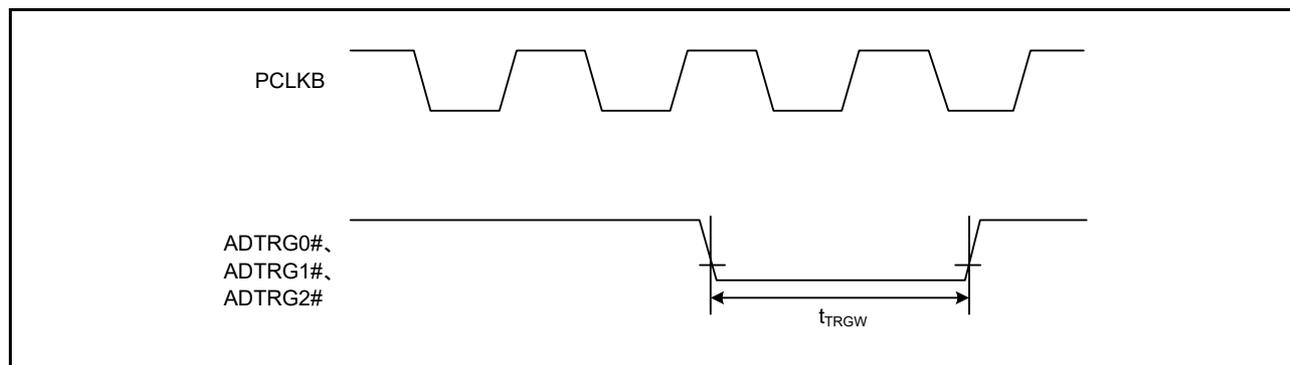


図 2.44 A/Dコンバータトリガ入力タイミング

2.4.6.8 CAC

表2.35 CACタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
 出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目(注1、注2)		記号	min(注1、注2)	max	単位	測定条件
CAC	CACREF入力パルス幅	t _{CACREF}	t _{PBcyc} ≤ t _{cac}	4.5t _{cac} + 3t _{PBcyc}	—	ns
			t _{PBcyc} > t _{cac}	5t _{cac} + 6.5t _{PBcyc}	—	

注1. t_{PBcyc} : PCLKBの周期

注2. t_{cac} : CACカウンタクロックソースの周期

2.4.6.9 SCI

表2.36 SCIj, SCli, SCli タイミング

条件: VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,

出力負荷条件: V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min	max	単位 (注1)	測定条件			
SCIj, SCli	入カクロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図2.45		
		クロック同期		6	—				
	入カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	入カクロック立ち上がり時間		t _{SCKr}	—	5	ns			
	入カクロック立ち下がり時間		t _{SCKf}	—	5	ns			
	出カクロックサイクル	調歩同期(注2)	t _{Scyc}	8	—	t _{PBcyc}			
		クロック同期		4	—				
	出カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	出カクロック立ち上がり時間		t _{SCKr}	—	5	ns			
	出カクロック立ち下がり時間		t _{SCKf}	—	5	ns			
	送信データ遅延時間	クロック同期	t _{TXD}	—	28	ns		VCC ≥ 4.5V	図2.46
				—	33			VCC < 4.5V	
受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns	VCC ≥ 4.5V	図2.46		
			20	—		VCC < 4.5V			
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns	図2.46			
SCli	入カクロックサイクル	調歩同期	t _{Scyc}	4	—	t _{PAcyc}	図2.45		
		クロック同期		6	—				
	入カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	入カクロック立ち上がり時間		t _{SCKr}	—	5	ns			
	入カクロック立ち下がり時間		t _{SCKf}	—	5	ns			
	出カクロックサイクル	調歩同期(注2)	t _{Scyc}	6	—	t _{PAcyc}			
		クロック同期		4	—				
	出カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	出カクロック立ち上がり時間		t _{SCKr}	—	5	ns			
	出カクロック立ち下がり時間		t _{SCKf}	—	5	ns			
	送信データ遅延時間	マスタ	t _{TXD}	—	15	ns		VCC ≥ 4.5V	図2.46
				—	28				
		スレーブ		—	20	ns		VCC < 4.5V	
				—	33				
	受信データセットアップ時間	クロック同期	t _{RXS}	15	—	ns		VCC ≥ 4.5V	図2.46
20				—	VCC < 4.5V				
受信データホールド時間	クロック同期	t _{RXH}	5	—	ns	図2.46			

注1. t_{PBcyc}: PCLKBの周期、t_{PAcyc}: PCLKAの周期

注2. SEMR.ABCSビット = 1かつSEMR.BGDMビット = 1のとき

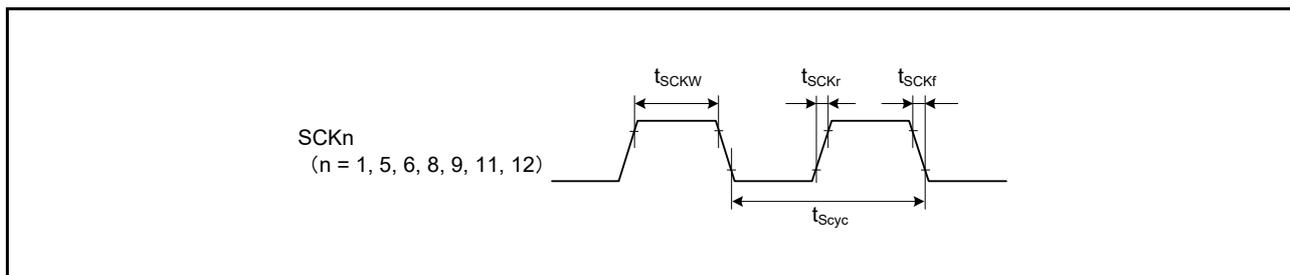


図 2.45 SCK クロック入力タイミング

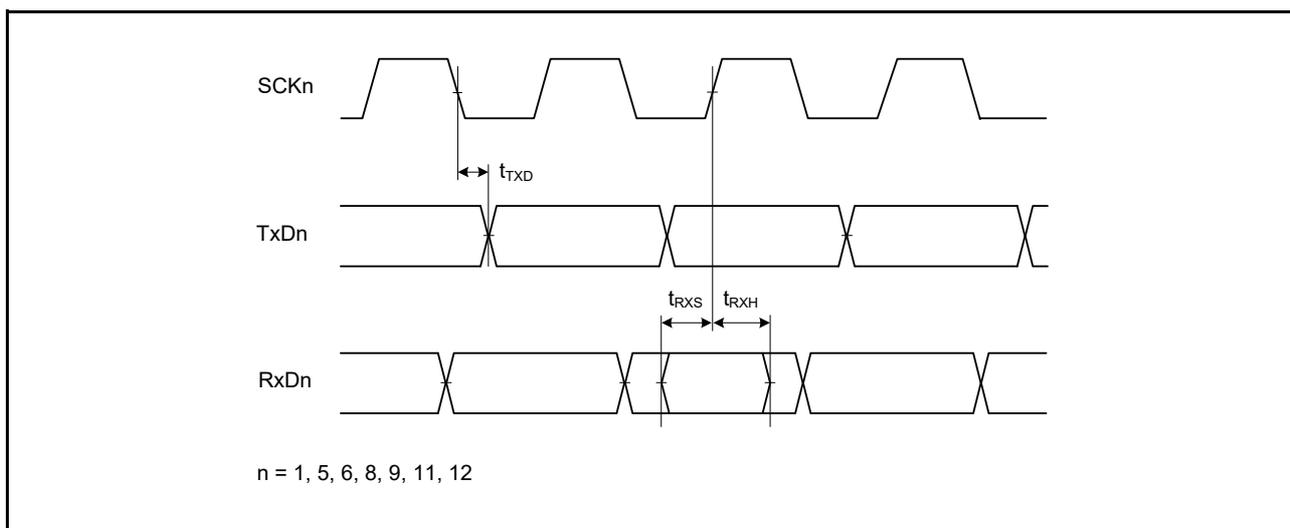


図 2.46 SCI 入出力タイミング / クロック同期式モード

表 2.37 簡易 IIC タイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,
 駆動能力制御レジスタは高駆動出力を選択 (P53~P55、P60~P65以外)

項目	記号 (注 1)	min	max (注 2)	単位	測定条件	
簡易 IIC (Standard-mode)	SSDA入力立ち上がり時間	t _{Sr}	—	1000	ns	図 2.47
	SSDA入力立ち下がり時間	t _{Sf}	—	300		
	SSCL, SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}		
	データ入カセットアップ時間	t _{SDAS}	250	—		
	データ入カホールド時間	t _{SDAH}	0	—		
	SSCL, SSDAの容量性負荷	C _b	—	400	pF	
簡易 IIC (Fast-mode)	SSDA入力立ち上がり時間	t _{Sr}	—	300	ns	図 2.47
	SSDA入力立ち下がり時間	t _{Sf}	—	300		
	SSCL, SSDA入カスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}		
	データ入カセットアップ時間	t _{SDAS}	100	—		
	データ入カホールド時間	t _{SDAH}	0	—		
	SSCL, SSDAの容量性負荷	C _b	—	400	pF	

注 1. C_bはバスラインの容量総計です。

注 2. t_{Pcyc} : SCI11はPCLKAの周期、SCI1、5、6、8、9、12はPCLKBの周期です。

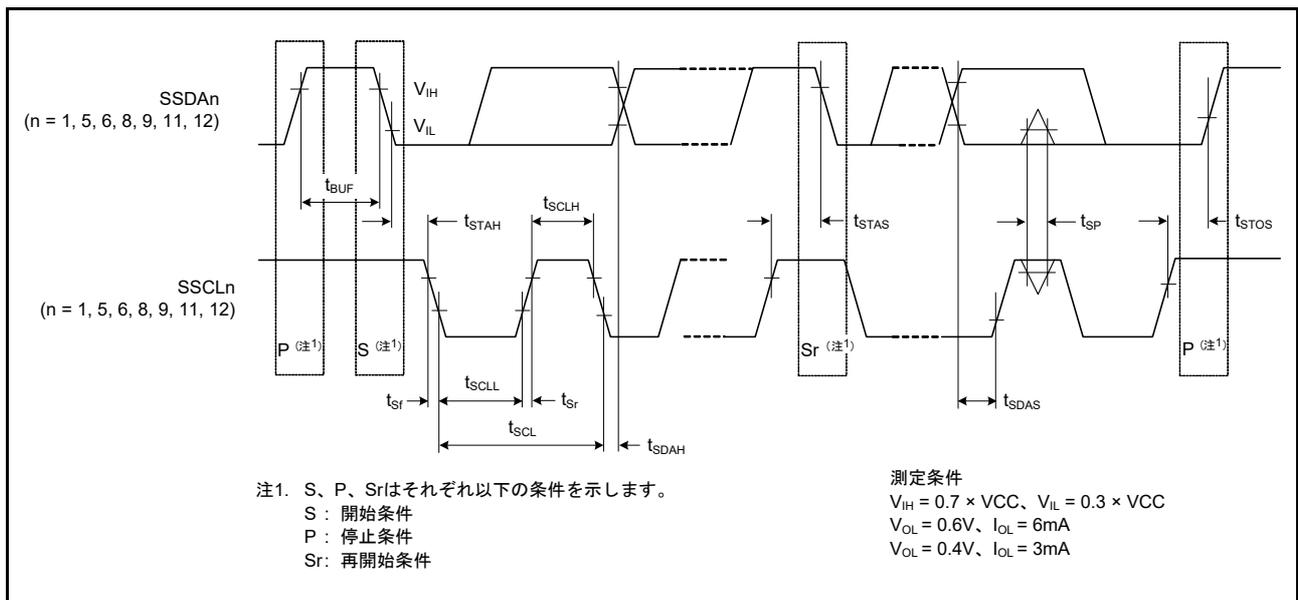


図 2.47 簡易 IIC バスインタフェース入出力タイミング

表 2.38 簡易SPIタイミング

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,

出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択 (P53~P55、P60~P65以外)

項目		記号	min	max	単位 (注1)	測定条件
簡易SPI (SCI11)	SCKクロックサイクル出力(マスタ)	t _{SPcyc}	4	65536	t _{PAcyc}	図 2.48
	SCKクロックサイクル入力(スレーブ)		8	—		
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc}	
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t _{SU}	33.3	—	ns	図 2.49~ 図 2.52
	データ入力ホールド時間	t _H	33.3	—	ns	
	SS入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc}	
	SS入力ホールド時間	t _{LAG}	1	—	t _{SPcyc}	
	データ出力遅延時間	t _{OD}	—	33.3	ns	
	データ出力ホールド時間	t _{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t _{SA}	—	7	t _{PAcyc}	図 2.51、 図 2.52
	スレーブ出力開放時間	t _{REL}	—	7	t _{PAcyc}	
簡易SPI (SCI1、SCI5、 SCI6、SCI8、 SCI9、SCI12)	SCKクロックサイクル出力(マスタ)	t _{SPcyc}	4	65536	t _{PBcyc}	図 2.48
	SCKクロックサイクル入力(スレーブ)		8	—		
	SCKクロック High レベルパルス幅	t _{SPCKWH}	0.4	0.6	t _{SPcyc}	
	SCKクロック Low レベルパルス幅	t _{SPCKWL}	0.4	0.6	t _{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間	t _{SPCKr} , t _{SPCKf}	—	20	ns	
	データ入力セットアップ時間	t _{SU}	33.3	—	ns	図 2.49~ 図 2.52
	データ入力ホールド時間	t _H	33.3	—	ns	
	SS入力セットアップ時間	t _{LEAD}	1	—	t _{SPcyc}	
	SS入力ホールド時間	t _{LAG}	1	—	t _{SPcyc}	
	データ出力遅延時間	t _{OD}	—	33.3	ns	
	データ出力ホールド時間	t _{OH}	-10	—	ns	
	データ立ち上がり/立ち下がり時間	t _{Dr} , t _{Df}	—	16.6	ns	
	SS入力立ち上がり/立ち下がり時間	t _{SSLr} , t _{SSLf}	—	16.6	ns	
	スレーブアクセス時間	t _{SA}	—	7	t _{PBcyc}	図 2.51、 図 2.52
	スレーブ出力開放時間	t _{REL}	—	7	t _{PBcyc}	

注1. t_{PAcyc} : PCLKAの周期、t_{PBcyc} : PCLKBの周期

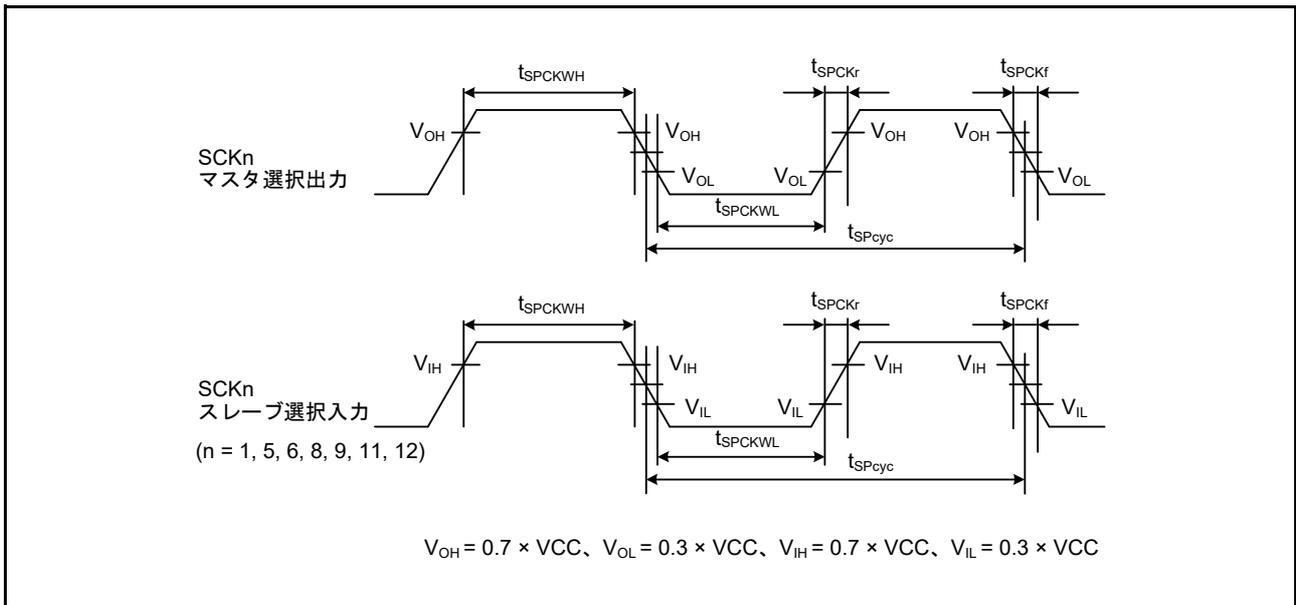


図 2.48 簡易 SPI クロックタイミング

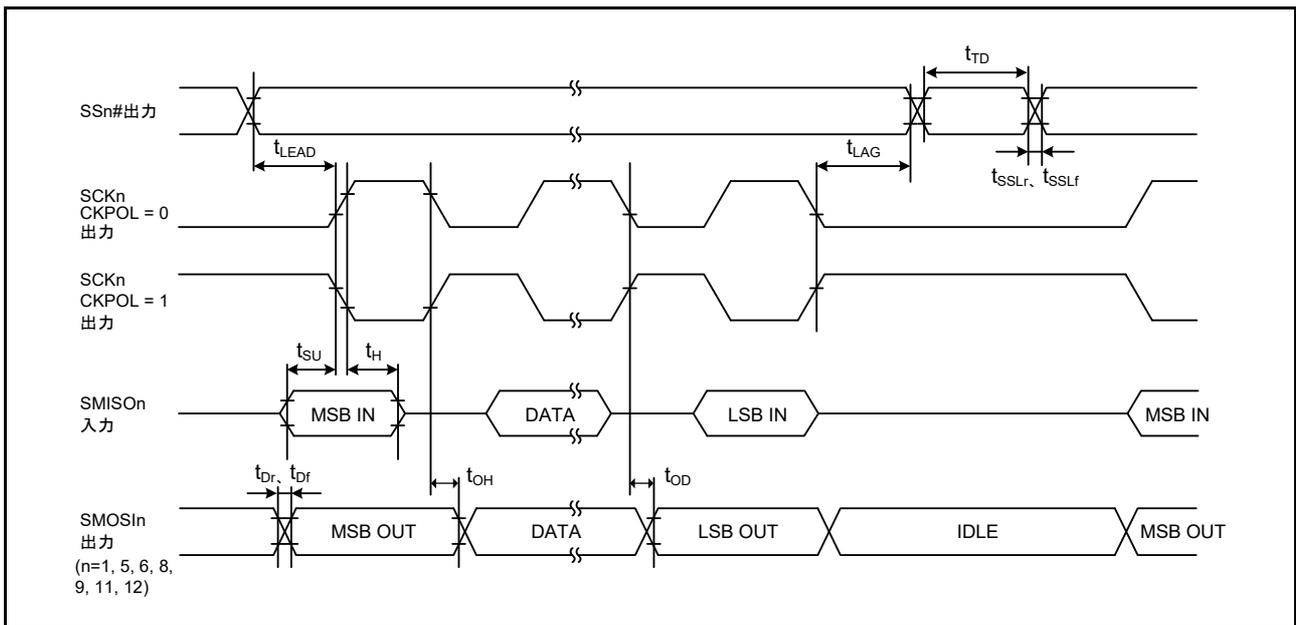


図 2.49 簡易 SPI タイミング (マスタ、CKPH = 1)

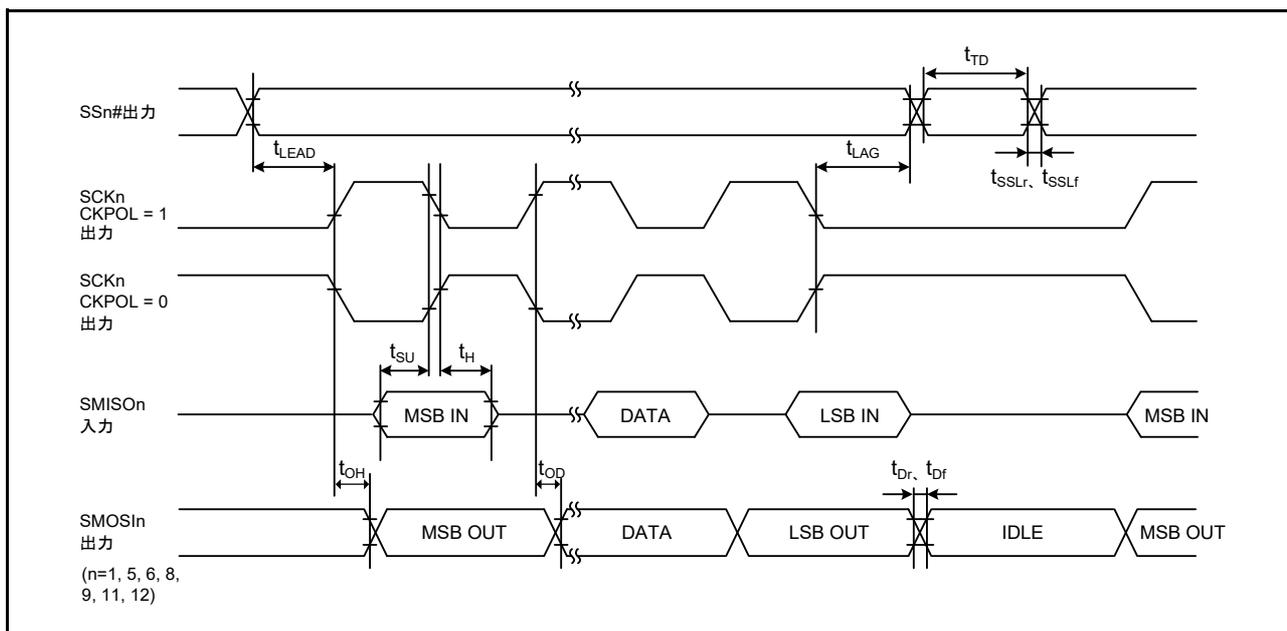


図 2.50 簡易 SPI タイミング (マスタ、CKPH = 0)

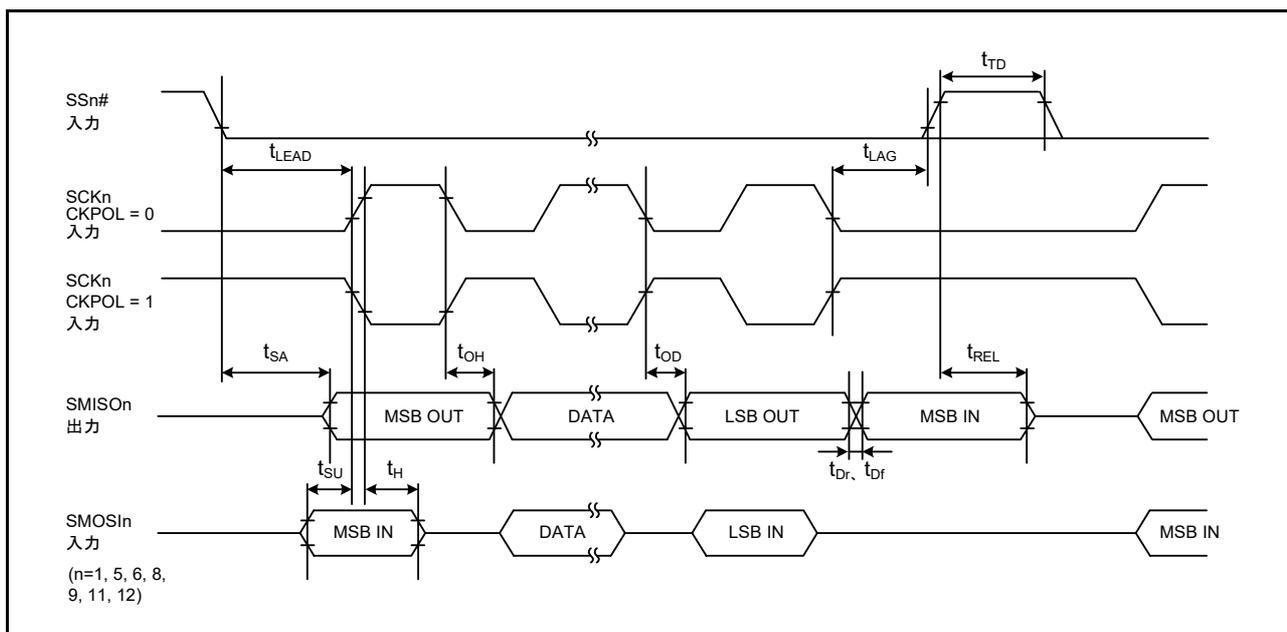


図 2.51 簡易 SPI タイミング (スレーブ、CKPH = 1)

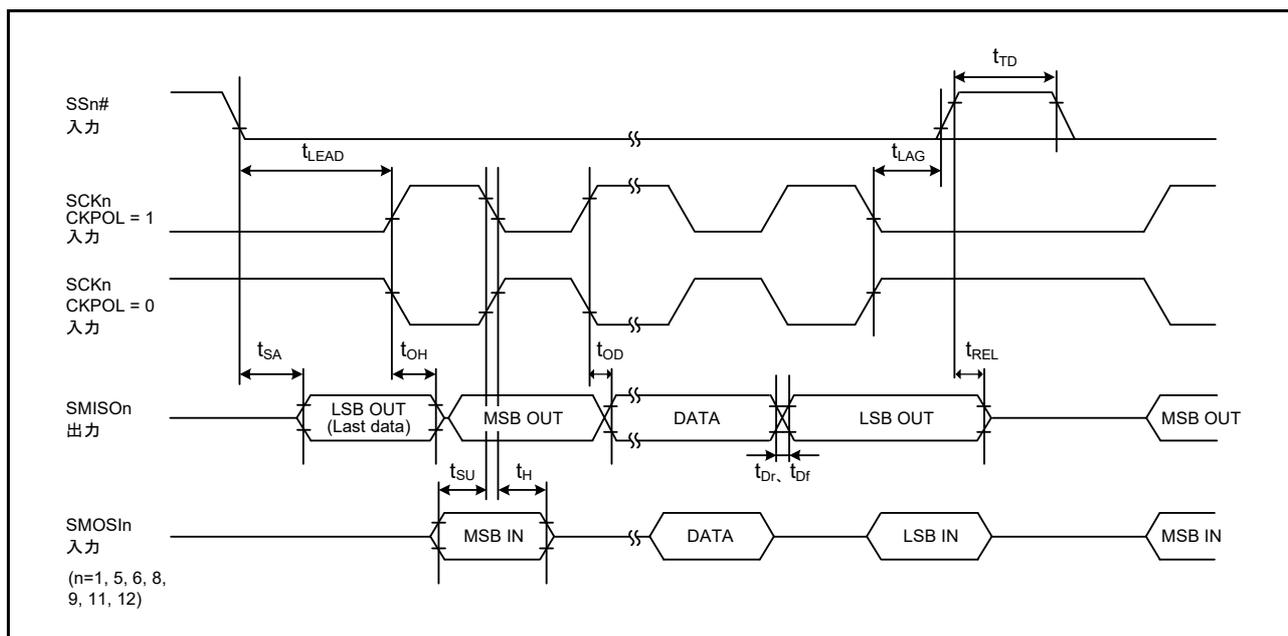


図 2.52 簡易 SPI タイミング (スレーブ、CKPH = 0)

2.4.6.10 RSPI

表2.39 RSPIタイミング

条件：VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8~200MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~200MHz, BCLK = 8~60MHz,

出力負荷条件：V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件			
RSPI	RSPCK クロック サイクル	マスタ	t _{SPcyc}	2	4096	t _{PAcyc}	図2.53		
		スレーブ		4	—				
	RSPCK クロック High レベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns		VCC ≥ 4.5V 図2.54 ~ VCC < 4.5V 図2.59 図2.54~図2.59	
		スレーブ							$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$
	RSPCK クロック Low レベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns			
		スレーブ							$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$
	RSPCK クロック立ち 上がり/立ち下がり時 間	出力	t _{SPCKr} , t _{SPCKf}	—	5	ns			
		入力		—	1	μs			
	データ入力セット アップ時間	マスタ	t _{SU}	6	—	ns			
		スレーブ		11	—				
	データ入力ホールド 時間	マ ス タ	PCLKAを2分 周に設定	t _{HF}	0	ns			
			PCLKAを2分 周以外に設定	t _H	t _{PAcyc}				—
		スレーブ		8.3	—				
	SSL セットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPcyc}			
		スレーブ		6	—	t _{PAcyc}			
	SSL ホールド時間	マスタ	t _{LAG}	1	8	t _{SPcyc}			
		スレーブ		6	—	t _{PAcyc}			
	データ出力遅延時間	マスタ	t _{OD}	—	6.3	ns			VCC ≥ 4.5V 図2.54 ~ VCC < 4.5V 図2.59
		スレーブ		—	28				
		マスタ		—	11.3	ns			
スレーブ		—		33					
データ出力ホールド 時間	マスタ	t _{OH}	0	—	ns	図2.54~図2.59			
	スレーブ		0	—					
連続送信遅延時間	マスタ	t _{TD}	$t_{SPcyc} + 2 \times t_{PAcyc}$	$8 \times t_{SPcyc} + 2 \times t_{PAcyc}$	ns				
	スレーブ		$6 \times t_{PAcyc}$	—					
MOSI、MISO立ち上 がり/立ち下がり時 間	出力	t _{Dr} , t _{Df}	—	5	ns				
	入力		—	1		μs			
SSL 立ち上がり/立ち 下がり時間	出力	t _{SSLr} , t _{SSLf}	—	5	ns				
	入力		—	1		μs			
スレーブアクセス時間			t _{SA}	—	2 × t _{PAcyc} + 28	ns	VCC ≥ 4.5V 図2.58 、 VCC < 4.5V 図2.59		
				—	2 × t _{PAcyc} + 33				
スレーブ出力開放時間			t _{REL}	—	2 × t _{PAcyc} + 28	ns	VCC ≥ 4.5V VCC < 4.5V		
				—	2 × t _{PAcyc} + 33				

注1. t_{PACyc} : PCLKAの周期

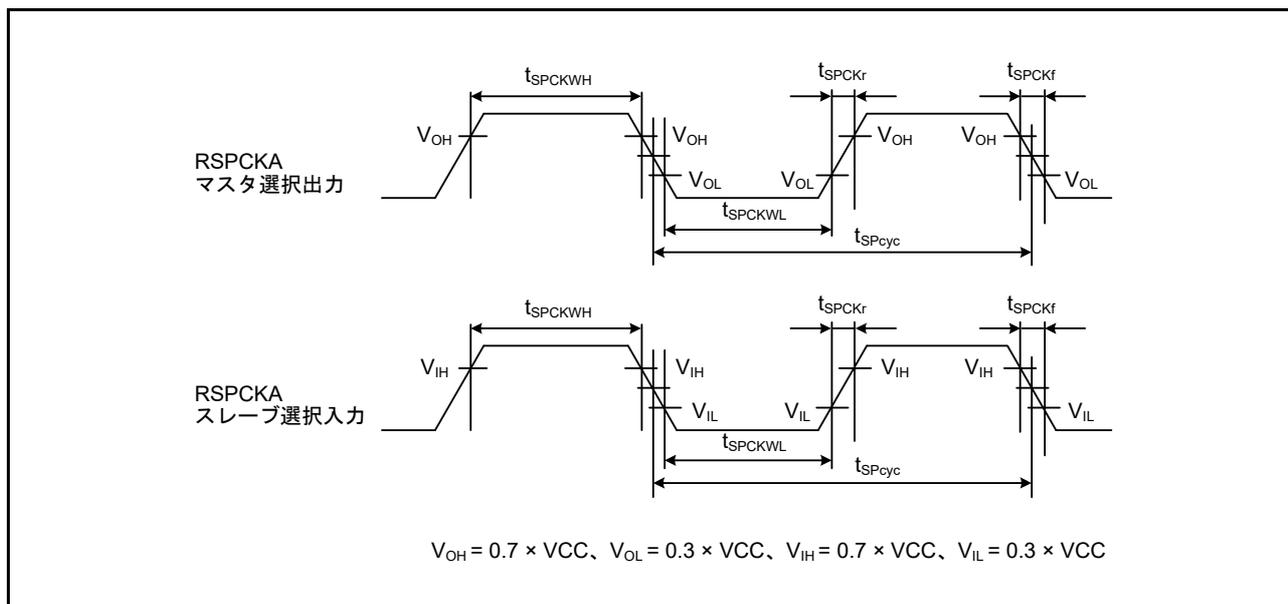


図 2.53 RSPCKA クロックタイミング

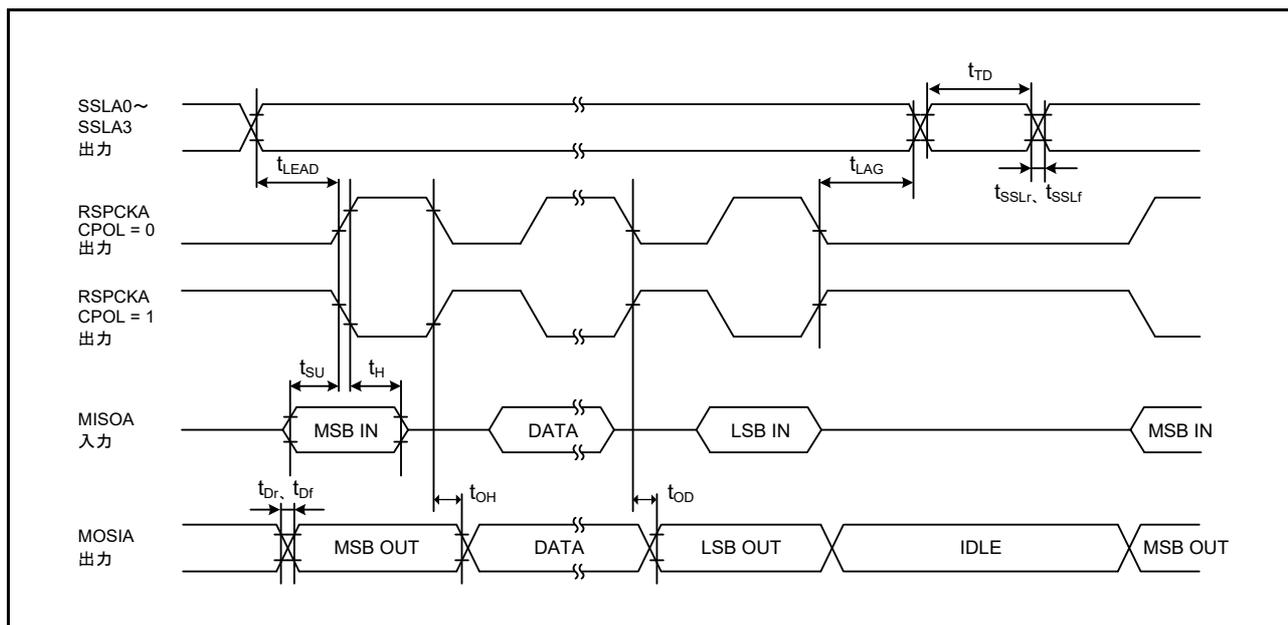


図 2.54 RSPCKA タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

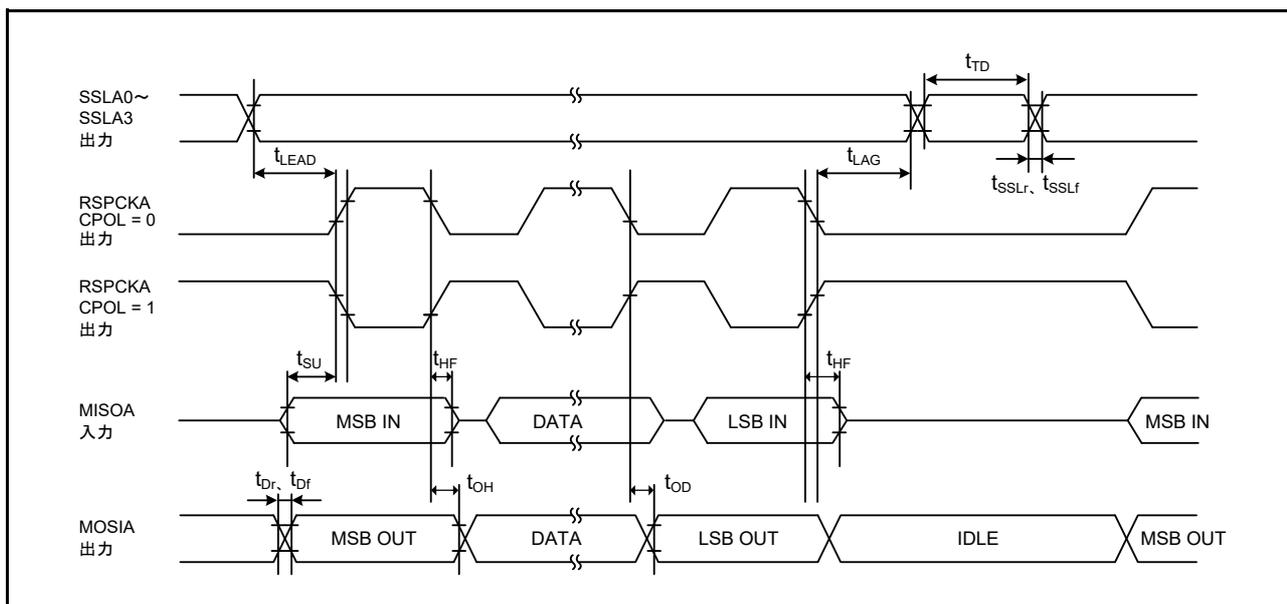


図 2.55 RSPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周に設定)

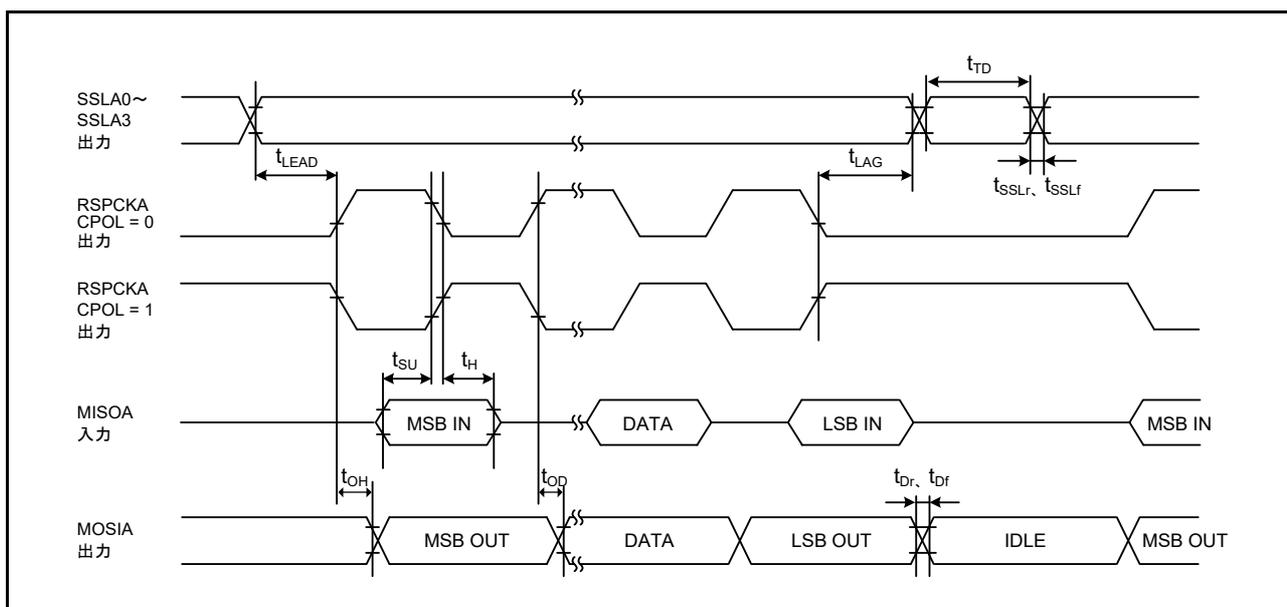


図 2.56 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

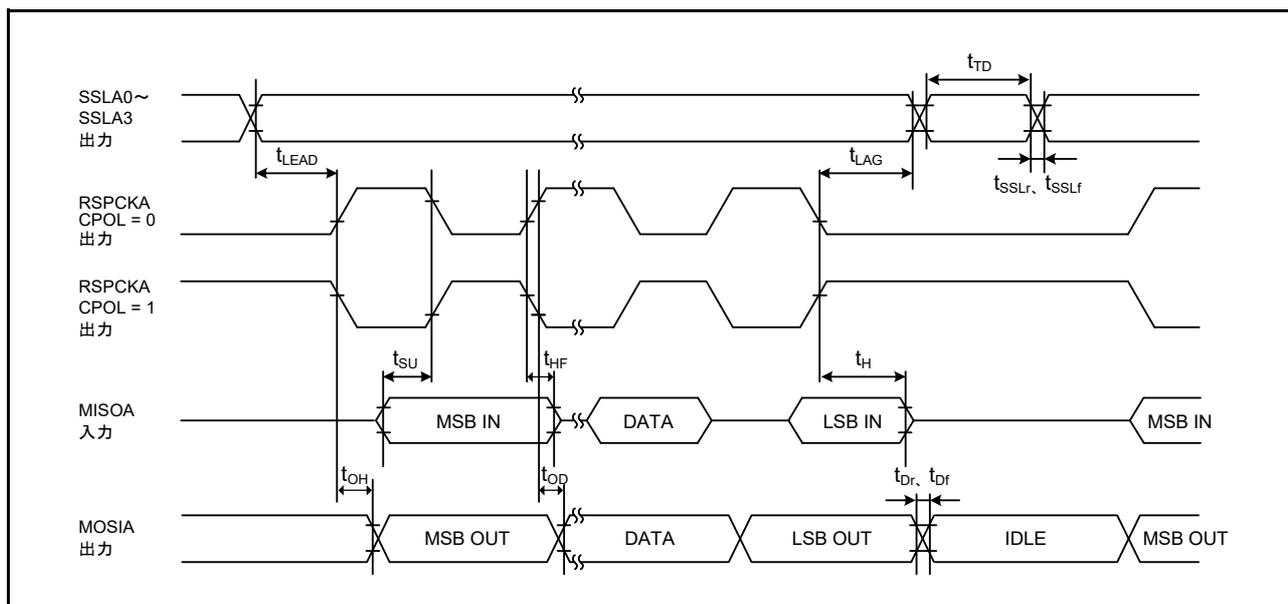


図 2.57 RSPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周に設定)

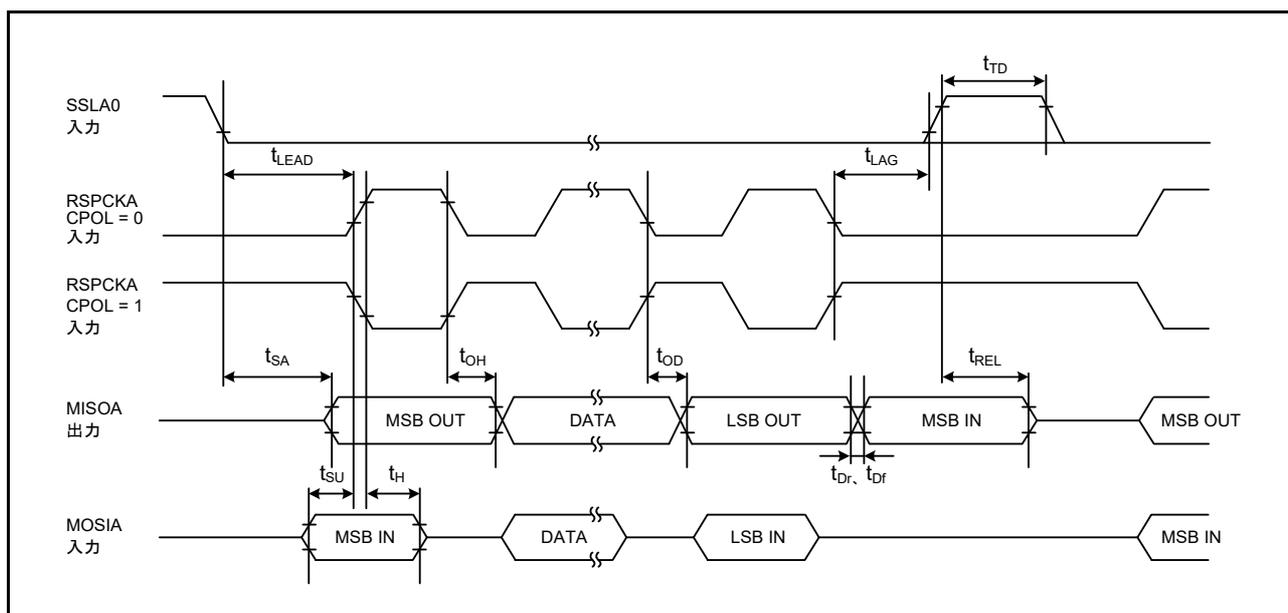


図 2.58 RSPI タイミング (スレーブ、CPHA = 0)/ 簡易 SPI タイミング (スレーブ、CKPH = 1)

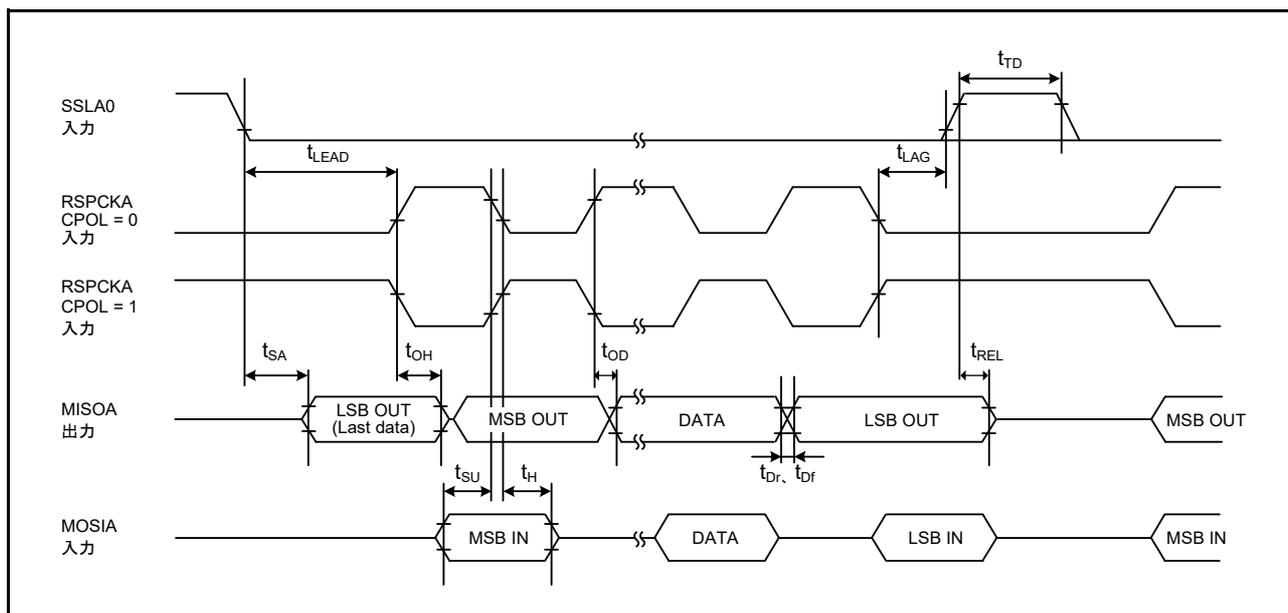


図 2.59 RSPI タイミング (スレーブ、CPHA = 1)

2.4.6.11 RIIC

表2.40 RIICタイミング

条件：VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,

VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},

ICLK = 8 ~ 200MHz, PCLKA = 8 ~ 120MHz, PCLKB = 8 ~ 60MHz, PCLKC = 8 ~ 200MHz, BCLK = 8 ~ 60MHz,

駆動能力制御レジスタは高駆動出力を選択(P53 ~ P55、P60 ~ P65以外)

項目	記号 (注2)	min (注1)	max (注1)	単位	測定条件 (注3)
RIIC (Standard-mode, SMBus)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 1300	—	ns 図2.60
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	
	SCL、SDA入力立ち上がり時間	t _{Sr}	—	1000	
	SCL、SDA入力立ち下がり時間	t _{Sf}	—	300	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	
	再送開始条件入力セットアップ時間	t _{STAS}	1000	—	
	停止条件入力セットアップ時間	t _{STOS}	1000	—	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	
	データ入力ホールド時間	t _{SDAH}	0	—	
	SCL、SDAの容量性負荷	C _b	—	400	
RIIC (Fast-mode)	SCL入力サイクル時間	t _{SCL}	6(12) × t _{IIcCyc} + 600	—	ns
	SCL入力Highパルス幅	t _{SCLH}	3(6) × t _{IIcCyc} + 300	—	
	SCL入力Lowパルス幅	t _{SCLL}	3(6) × t _{IIcCyc} + 300	—	
	SCL、SDA入力立ち上がり時間	t _{Sr}	20 × (外付け プルアップ電圧 / 5.5V)	300	
	SCL、SDA入力立ち下がり時間	t _{Sf}	20 × (外付け プルアップ電圧 / 5.5V)	300	
	SCL、SDA入カスパイクパルス除去時間	t _{SP}	0	1(4) × t _{IIcCyc}	
	SDA入カバスフリー時間	t _{BUF}	3(6) × t _{IIcCyc} + 300	—	
	開始条件入力ホールド時間	t _{STAH}	t _{IIcCyc} + 300	—	
	再送開始条件入力セットアップ時間	t _{STAS}	300	—	
	停止条件入力セットアップ時間	t _{STOS}	300	—	
	データ入力セットアップ時間	t _{SDAS}	t _{IIcCyc} + 50	—	
	データ入力ホールド時間	t _{SDAH}	0	—	
	SCL、SDAの容量性負荷	C _b	—	400	

注. t_{IIcCyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

注3. VCC ≥ 4.5V のとき、VOLSR.RICVLS = 0

VCC < 4.5V のとき、VOLSR.RICVLS = 1

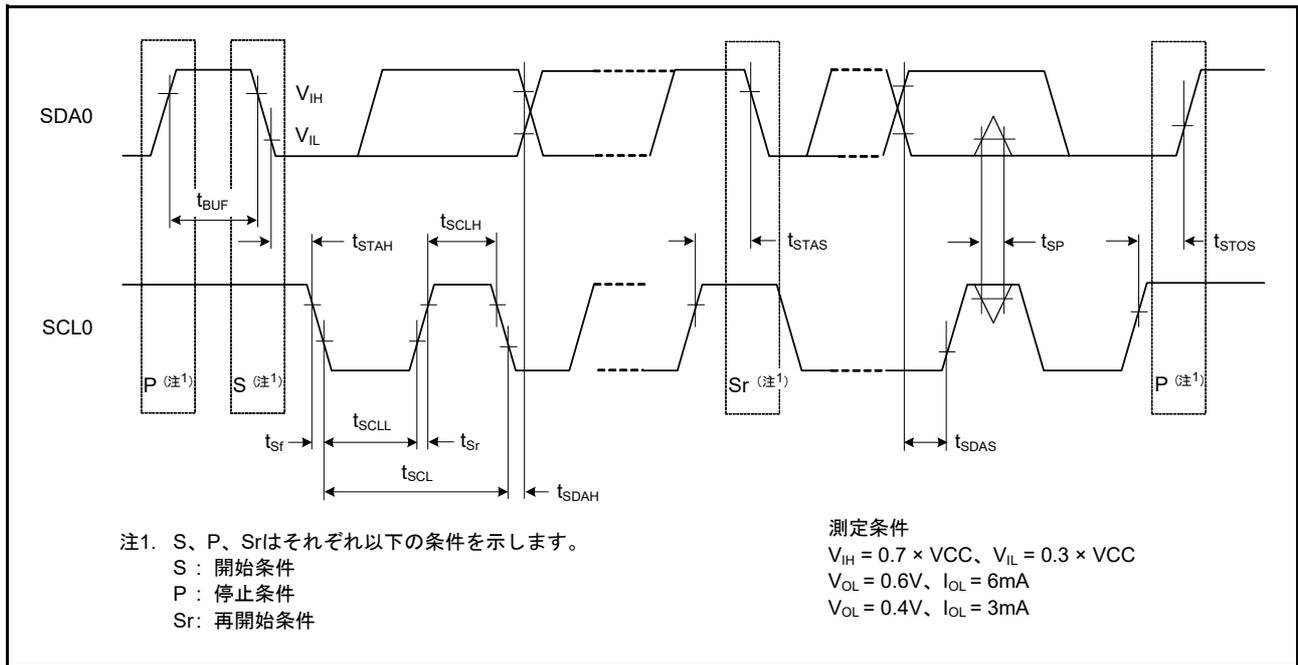


図 2.60 RIIC バスインタフェース入出力タイミング

2.4.6.12 HRPWM

表 2.41 HRPWM タイミング

条件 : $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{CC_USB} = 2.7 \sim 5.5V$ 、 $AV_{CC0} = AV_{CC1} = AV_{CC2} = 3.0 \sim 5.5V$ 、
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$ 、 $T_a = T_{opr}$ 、
 $ICLK = 8 \sim 200MHz$ 、 $PCLKA = 8 \sim 120MHz$ 、 $PCLKB = 8 \sim 60MHz$ 、 $PCLKC = 8 \sim 200MHz$ 、 $BCLK = 8 \sim 60MHz$ 、
 出力負荷条件 : $V_{OH} = 0.5 \times V_{CC}$ 、 $V_{OL} = 0.5 \times V_{CC}$ 、 $C = 30pF$ 、
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65以外)

項目	min	typ	max	単位	測定条件
入力周波数(f_{IN})	80	—	160	MHz	
分解能	—	195	—	ps	$f_{IN} = 160MHz$ 時
DNL (注1)	—	± 2.0	—	LSB	

注1. 各コード毎の差分を分解能(1LSB)で正規化した値です。

2.5 USB 特性

表2.42 USB ロースピード (Hostのみ) 特性 (DP、DM端子特性)
 条件 : VCC = 2.7~5.5V, VCC_USB = 3.0~3.6V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 UCLK = 48MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz

項目		記号	min	max	単位	測定条件
入力特性	入力Highレベル電圧	V _{IH}	2.0	—	V	
	入力Lowレベル電圧	V _{IL}	—	0.8	V	
	差動入力感度	V _{DI}	0.2	—	V	DP - DM
	差動共通モードレンジ	V _{CM}	0.8	2.5	V	
出力特性	出力Highレベル電圧	V _{OH}	2.8	3.6	V	I _{OH} = -200μA
	出力Lowレベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V	図2.61
	立ち上がり時間	t _{LR}	75	300	ns	
	立ち下がり時間	t _{LF}	75	300	ns	
	立ち上がり/立ち下がり時間比	t _{LR} /t _{LF}	80	125	%	t _{LR} /t _{LF}
プルダウン特性	DP/DMプルダウン抵抗 (ホスト選択時)	R _{pd}	14.25	24.80	kΩ	

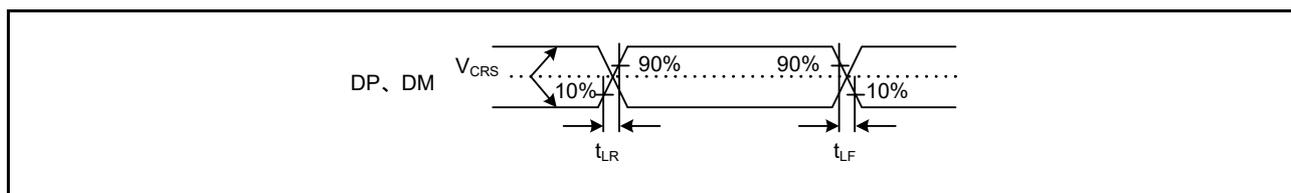


図 2.61 DP、DM 出カタイミング (ロースピード時)

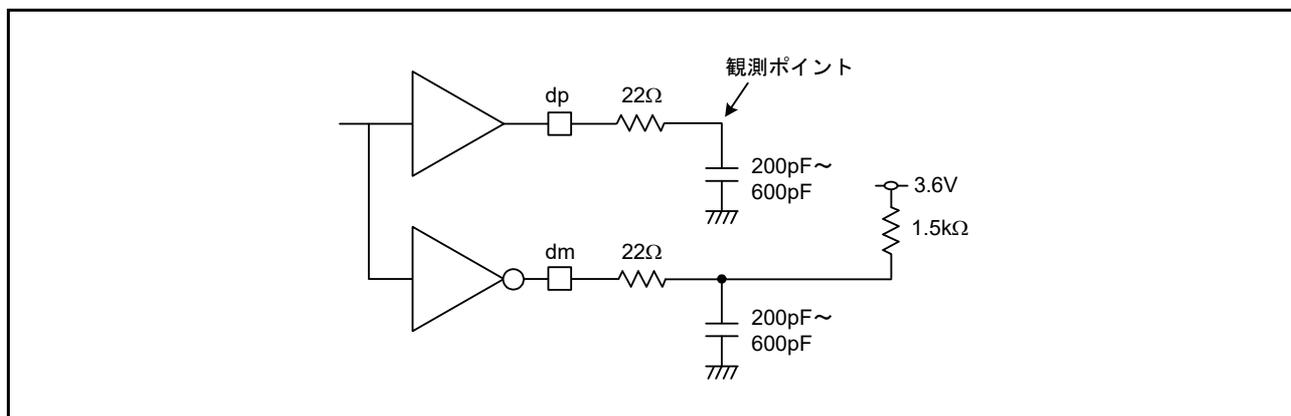


図 2.62 測定回路 (ロースピード時)

表2.43 USB フルスピード特性(DP、DM端子特性)

条件 : VCC = 2.7~5.5V, VCC_USB = 3.0~3.6V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
 VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
 UCLK = 48MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz

項目		記号	min	max	単位	測定条件
入力特性	入力Highレベル電圧	V _{IH}	2.0	—	V	
	入力Lowレベル電圧	V _{IL}	—	0.8	V	
	差動入力感度	V _{DI}	0.2	—	V	DP - DM
	差動共通モードレンジ	V _{CM}	0.8	2.5	V	
出力特性	出力Highレベル電圧	V _{OH}	2.8	3.6	V	I _{OH} = -200μA
	出力Lowレベル電圧	V _{OL}	0.0	0.3	V	I _{OL} = 2mA
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V	図2.63
	立ち上がり時間	t _{FR}	4	20	ns	
	立ち下がり時間	t _{FF}	4	20	ns	
	立ち上がり/立ち下がり時間比	t _{FR} / t _{FF}	90	111.11	%	t _{FR} / t _{FF}
	出力抵抗	Z _{DRV}	28	44	Ω	Rs = 22Ω含む
プリアップ、 プルダウン特性	DPプリアップ抵抗 (ファンクション選択時)	R _{pu}	0.900	1.575	kΩ	アイドル時
			1.425	3.09	kΩ	送受信時
	DP/DMプルダウン抵抗 (ホスト選択時)	R _{pd}	14.25	24.8	kΩ	

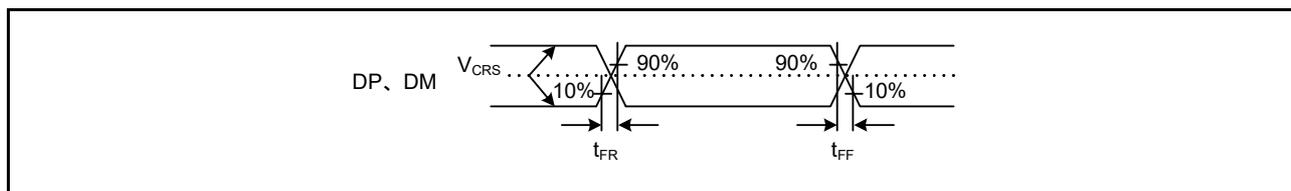


図 2.63 DP、DM 出カタイミング (フルスピード時)

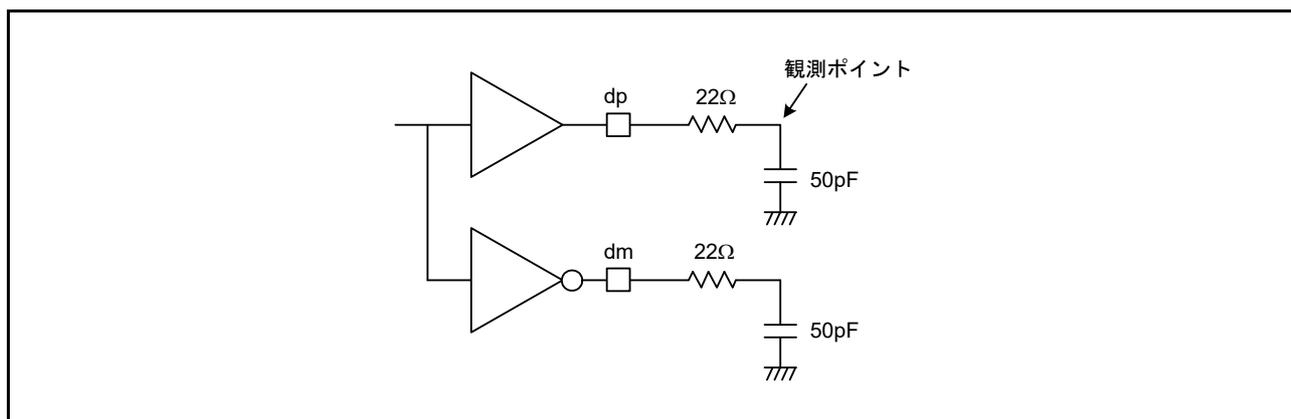


図 2.64 測定回路 (フルスピード時)

2.6 A/D 変換特性

表 2.44 12ビット A/D (ユニット 0, 1, 2) 変換特性 (1)

条件 : $V_{CC} = 2.7 \sim 5.5V$, $V_{CC_USB} = 2.7 \sim 5.5V$, $4.5 \leq AVCC0 = AVCC1 = AVCC2 \leq 5.5V$,
 $V_{SS} = V_{SS_USB} = AVSS0 = AVSS1 = AVSS2 = 0V$, $T_a = T_{opr}$, $PCLKB = PCLKD = 8 \sim 60MHz$ (注1),
 信号源インピーダンス = 1.0 k Ω

項目			min	typ	max	単位	測定条件	
分解能			12	12	12	ビット		
アナログ入力容量			—	—	30	pF		
変換時間 (注2) (PCLKD = 60MHz 時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用 サンプル& ホールド回路 使用時	常時サンプリ ング有効	1.00	—	—	μs	• サンプリング時間 24 PCLKD
			常時サンプリ ング無効	1.40	—	—		• チャンネル専用サンプル&ホー ルド回路のサンプリング時間 24 PCLKD
		チャンネル専用サンプル&ホー ルド回路不使用時	0.90	—	—	• サンプリング時間 30 PCLKD		
	AN003 ~ AN006, AN103 ~ AN106		0.90	—	—	• サンプリング時間 30 PCLKD		
	AN007, AN107, AN200 ~ AN211		0.95	—	—	• サンプリング時間 33 PCLKD		
	AN216 ~ AN217		1.05	—	—	• サンプリング時間 39 PCLKD		
オフセット誤差	チャンネル専用サンプル&ホー ルド回路使用時		—	± 1.5	± 6.0	LSB	AN000 ~ AN002, AN100 ~ AN102 = 0.2V	
	チャンネル専用サンプル&ホー ルド回路不使用時		—	± 1.5	± 5.0			
フルスケール誤差	チャンネル専用サンプル&ホー ルド回路使用時		—	± 1.5	± 5.5		AN000 ~ AN002 = AVCC0 - 0.2V AN100 ~ AN102 = AVCC1 - 0.2V	
	チャンネル専用サンプル&ホー ルド回路不使用時		—	± 1.5	± 4.5			
量子化誤差	チャンネル専用サンプル&ホー ルド回路使用時		—	± 0.5	—			
	チャンネル専用サンプル&ホー ルド回路不使用時		—	± 0.5	—			
絶対精度	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時	—	± 3.0	± 6.0			
		チャンネル専用サンプル&ホー ルド回路不使用時	—	± 2.5	± 5.5			
	AN003 ~ AN007, AN103 ~ AN107		—	± 2.5	± 5.5			
	AN200 ~ AN211		—	± 2.5	± 5.5			
	AN216 ~ AN217		—	± 2.5	± 6.5			
DNL 微分非直線性誤差	チャンネル専用サンプル&ホー ルド回路使用時		—	± 1.0	± 2.5			
	チャンネル専用サンプル&ホー ルド回路不使用時		—	± 1.0	± 1.5			
INL 積分非直線性誤差	チャンネル専用サンプル&ホー ルド回路使用時		—	± 1.5	± 4.0			
	チャンネル専用サンプル&ホー ルド回路不使用時		—	± 1.5	± 2.5			
チャンネル専用サンプル&ホールド回路のホールド特性			—	—	20	μs		
ダイナミックレ ンジ	AN000 ~ AN002	チャンネル専用サンプル&ホー ルド回路使用時	0.2	—	AVCC0 - 0.2	V		
	AN100 ~ AN102	チャンネル専用サンプル&ホー ルド回路使用時	0.2	—	AVCC1 - 0.2			

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. PCLKD > 40 MHz の場合、AVCC0-AVSS0間、AVCC1-AVSS1間、AVCC2-AVSS2間に挿入している0.1 μF のコンデンサに、0.01 μF のコンデンサを並列に接続して測定しています。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表 2.45 12ビットA/D (ユニット0, 1, 2)変換特性(2)

条件 : $V_{CC} = 2.7 \sim 4.5V$, $V_{CC_USB} = 2.7 \sim 4.5V$, $3.0 \leq AV_{CC0} = AV_{CC1} = AV_{CC2} < 4.5V$,
 $V_{SS} = V_{SS_USB} = AV_{SS0} = AV_{SS1} = AV_{SS2} = 0V$, $T_a = T_{opr}$, $P_{CLKB} = P_{CLKD} = 8 \sim 40MHz$,
 信号源インピーダンス = 1.0 k Ω

項目		min	typ	max	単位	測定条件	
分解能		12	12	12	ビット		
アナログ入力容量		—	—	30	pF		
変換時間 (注1) (PCLKD = 40MHz 時)	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用 サンプル& ホールド回路 使用時	常時サンプリ ング有効	1.35	—	—	μs <ul style="list-style-type: none"> サンプリング時間 18 PCLKD チャンネル専用サンプル&ホールド回路のサンプリング時間 18 PCLKD サンプリング時間 18 PCLKD サンプリング時間 21 PCLKD サンプリング時間 21 PCLKD サンプリング時間 24 PCLKD サンプリング時間 27 PCLKD
			常時サンプリ ング無効	1.80	—	—	
	チャンネル専用サンプル&ホールド回路不使用時		1.13	—	—		
	AN003 ~ AN006, AN103 ~ AN106		1.13	—	—		
	AN007, AN107, AN200 ~ AN211		1.20	—	—		
	AN216 ~ AN217		1.28	—	—		
オフセット誤差	チャンネル専用サンプル&ホールド回路使用時		—	± 1.5	± 7.5	LSB AN000 ~ AN002, AN100 ~ AN102 = 0.2V	
	チャンネル専用サンプル&ホールド回路不使用時		—	± 1.5	± 6.5		
フルスケール誤差	チャンネル専用サンプル&ホールド回路使用時		—	± 1.5	± 7.5	AN000 ~ AN002 = AV _{CC0} - 0.2V AN100 ~ AN102 = AV _{CC1} - 0.2V	
	チャンネル専用サンプル&ホールド回路不使用時		—	± 1.5	± 6.5		
量子化誤差	チャンネル専用サンプル&ホールド回路使用時		—	± 0.5	—		
	チャンネル専用サンプル&ホールド回路不使用時		—	± 0.5	—		
絶対精度	AN000 ~ AN002, AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	—	± 4.0	± 8.0		
		チャンネル専用サンプル&ホールド回路不使用時	—	± 2.5	± 7.0		
	AN003 ~ AN007, AN103 ~ AN107		—	± 2.5	± 7.0		
	AN200 ~ AN211		—	± 2.5	± 7.0		
AN216 ~ AN217		—	± 2.5	± 8.0			
DNL 微分非直線性誤差	チャンネル専用サンプル&ホールド回路使用時		—	± 1.0	± 4.5		
	チャンネル専用サンプル&ホールド回路不使用時		—	± 1.0	± 3.5		
INL 積分非直線性誤差	チャンネル専用サンプル&ホールド回路使用時		—	± 2.0	± 5.0		
	チャンネル専用サンプル&ホールド回路不使用時		—	± 1.5	± 3.5		
チャンネル専用サンプル&ホールド回路のホールド特性		—	—	20	μs		
ダイナミックレンジ	AN000 ~ AN002	チャンネル専用サンプル&ホールド回路使用時	0.2	—	AV _{CC0} - 0.2	V	
	AN100 ~ AN102	チャンネル専用サンプル&ホールド回路使用時	0.2	—	AV _{CC1} - 0.2		

注. 上記規格値は、A/D変換中に外部バスアクセスを行わなかった場合の数値です。A/D変換中に外部バスアクセスを行った場合は、上記規格値に収まらない可能性があります。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングクロック数を示します。

表2.46 A/D内部基準電圧特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}, PCLKB = PCLKD = 8~60MHz

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	

注. 上記規格値は、通常動作時の値です。

2.7 プログラマブルゲインアンプ特性

表2.47 PGA特性 (シングルエンド入力時)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V _{IO}	—	3	8	mV	
シングルエンド入力電圧範囲	V _{ISR}	V _{OR(min)} /G	—	V _{OR(max)} /G	V	
出力電圧範囲	V _{OR}	0.10 × AVCC _n	—	0.90 × AVCC _n		G = 2.000 ~ 3.636
		0.15 × AVCC _n	—	0.85 × AVCC _n		G = 4.000 ~ 6.667
		0.20 × AVCC _n	—	0.80 × AVCC _n	G = 8.000 ~ 20.000	
ゲイン	G	2.000	—	20.000	倍	
ゲインエラー	E _G	—	±0.5	±2.0	%	G = 2.000
		—	±0.5	±2.0		G = 2.500
		—	±0.5	±2.0		G = 3.077
		—	±0.5	±2.0		G = 3.636
		—	±0.6	±2.0		G = 4.000
		—	±0.6	±2.0		G = 4.444
		—	±0.7	±2.0		G = 5.000
		—	±0.7	±3.0		G = 6.667
		—	±0.7	±3.0		G = 8.000
		—	±0.7	±4.0		G = 10.000
		—	±1.1	±4.0		G = 13.333
		—	±1.3	±4.0		G = 20.000
スルーレート	SR	10	—	—	V/μs	
動作安定時間	t _{start}	—	—	5	μs	

n = 0, 1

表2.48 PGA特性 (疑似差動入力時)

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件 (注1)
入力オフセット電圧	V _{IO}	—	10	20	mV	
差動入力電圧範囲	V _{IDR}	-0.28 × AVCC _n / G	—	0.28 × AVCC _n / G	V	
出力電圧範囲	V _{OR}	0.22 × AVCC _n	—	0.78 × AVCC _n		
入力電圧範囲 (PGAVSS _n)	V _{I(PGAVSS)}	-0.5	—	0.3		AVCC _n < 4.3V
		-0.5	—	0.6		AVCC _n ≥ 4.3V
ゲインエラー	E _G	—	±0.5	±2.0	%	G = 1.500
		—	±0.5	±2.0		G = 4.000
		—	±0.8	±3.0		G = 7.000
		—	±1.2	±4.0		G = 12.333
スルーレート	SR	10	—	—	V/μs	
動作安定時間	t _{start}	—	—	5	μs	

n = 0, 1

注1. AVCC0 = AVCC1 = AVCC2 ≥ 4.0V のとき、VOLSR.PGAVLS = 0
AVCC0 = AVCC1 = AVCC2 < 4.0V のとき、VOLSR.PGAVLS = 1

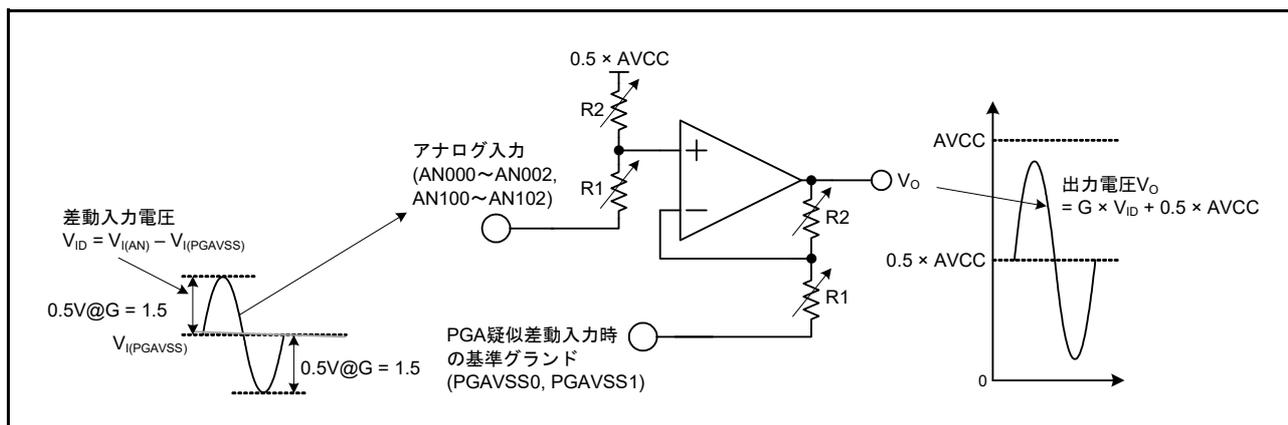


図 2.65 PGA 疑似差動設定時入出力信号レベル

2.8 コンパレータ特性

表2.49 コンパレータ特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V _{IO}	—	8	40	mV	
リファレンス入力電圧範囲	V _{ref}	0	—	AVCC1	V	CMPSEL1.CVRS[3:0] = 0100b, 1000b
		0	—	AVCC2		CMPSEL1.CVRS[3:0] = 0001b, 0010b
応答時間	t _{tot(r)}	—	—	200	ns	VOD = 100mV CMPCTL.CDFS[1:0] = 00b
	t _{tot(f)}	—	—	200		
入力切り替え時の安定待ち時間	t _{cwait}	300	—	—		
動作安定時間	t _{cmp}	—	—	1	μs	

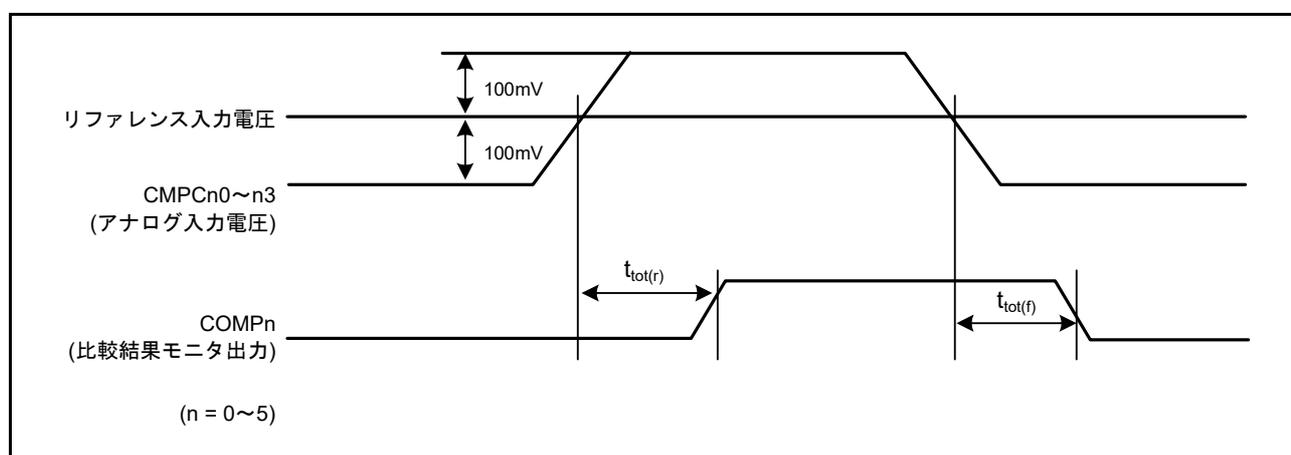


図 2.66 コンパレータ応答時間

2.9 D/A 変換特性

表 2.50 D/A変換特性

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
絶対精度	—	—	±6.0	LSB	負荷抵抗2MΩ、10ビット換算
微分非直線性誤差(DNL)	—	±1.0	±2.0	LSB	負荷抵抗2MΩ
出力抵抗(R _O)	—	5.7	—	kΩ	
変換時間	—	—	3	μs	負荷容量20pF

2.10 温度センサ特性

表 2.51 温度センサ特性

条件 : VCC = 2.7 ~ 5.5V, VCC_USB = 2.7 ~ 5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0 ~ 5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr},
PCLKB = PCLKD = 8 ~ 60MHz

項目	min	typ	max	単位	測定条件
相対精度	—	±1.0	—	°C	
温度傾斜	—	-2.0	—	mV/°C	
出力電位	—	0.63	—	V	T _a = 25°C
温度センサ起動時間	—	—	200	μs	
サンプリング時間(注1)	3	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD2.ADSSTRTレジスタを設定してください。

2.11 パワーオンリセット回路、電圧検出回路特性

表2.52 パワーオンリセット回路、電圧検出回路特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件		
電圧検出レベル	パワーオンリセット(POR)	V _{POR}	2.46	2.58	2.70	V	図 2.67	
	電圧検出回路(LVD0)	V _{det0_1}	4.04	4.22	4.40		図 2.68	
		V _{det0_2}	2.71	2.83	2.95			
	電圧検出回路(LVD1)	V _{det1_0}	4.39	4.57	4.75		図 2.69	
		V _{det1_1}	4.29	4.47	4.65			
		V _{det1_2}	4.14	4.32	4.50			
		V _{det1_3}	2.81	2.93	3.05			
	電圧検出回路(LVD2)	V _{det2_0}	4.39	4.57	4.75		図 2.70	
		V _{det2_1}	4.29	4.47	4.65			
		V _{det2_2}	4.14	4.32	4.50			
		V _{det2_3}	2.81	2.93	3.05			
	内部リセット時間	パワーオンリセット時間	t _{POR}	—	13.7		ms	図 2.67
		LVD0リセット時間	t _{LVD0}	—	0.70			図 2.68
		LVD1リセット時間	t _{LVD1}	—	0.57			図 2.69
LVD2リセット時間		t _{LVD2}	—	0.57	図 2.70			
最小VCC低下時間	t _{VOFF}	200	—	—	μs	図 2.67、 図 2.68		
応答遅延時間	t _{det}	—	—	200	μs	図 2.67 ~ 図 2.70		
LVD動作安定時間(LVD有効切り替え時)	T _{d(E-A)}	—	—	20	μs	図 2.69、 図 2.70		
ヒステリシス幅(LVD1, LVD2)	V _{LVH}	—	80	—	mV			

注. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

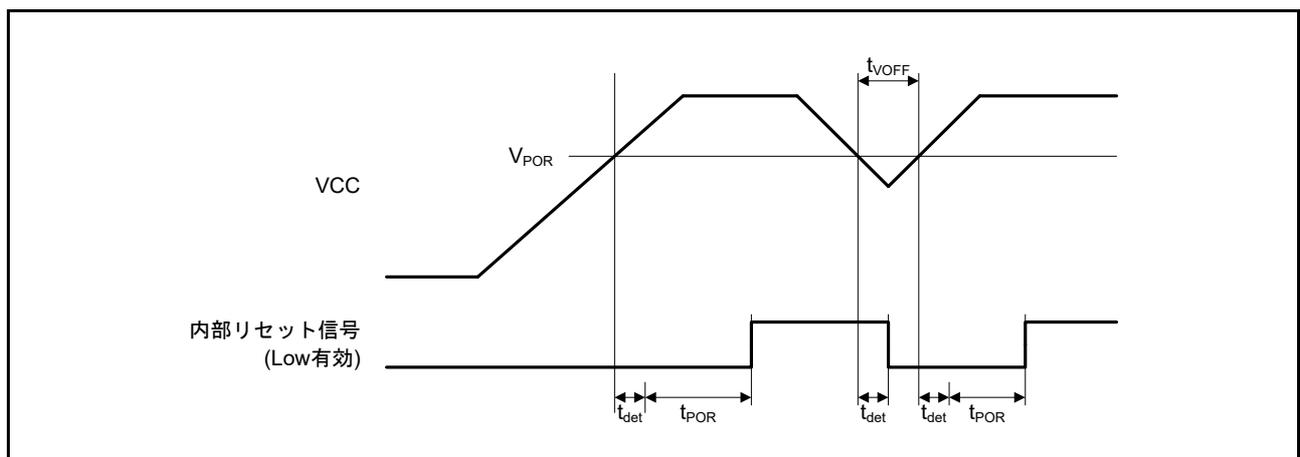


図 2.67 パワーオンリセットタイミング

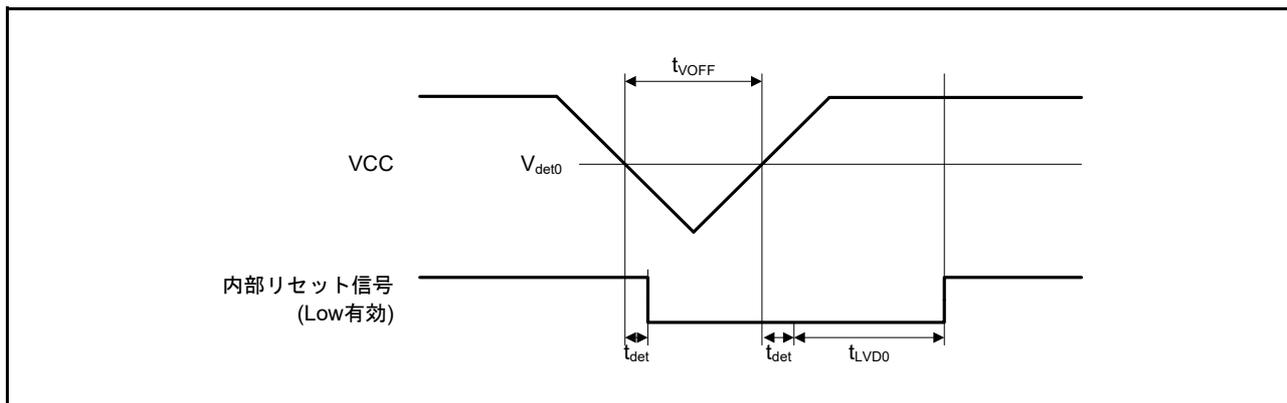


図 2.68 電圧検出回路タイミング (V_{det0})

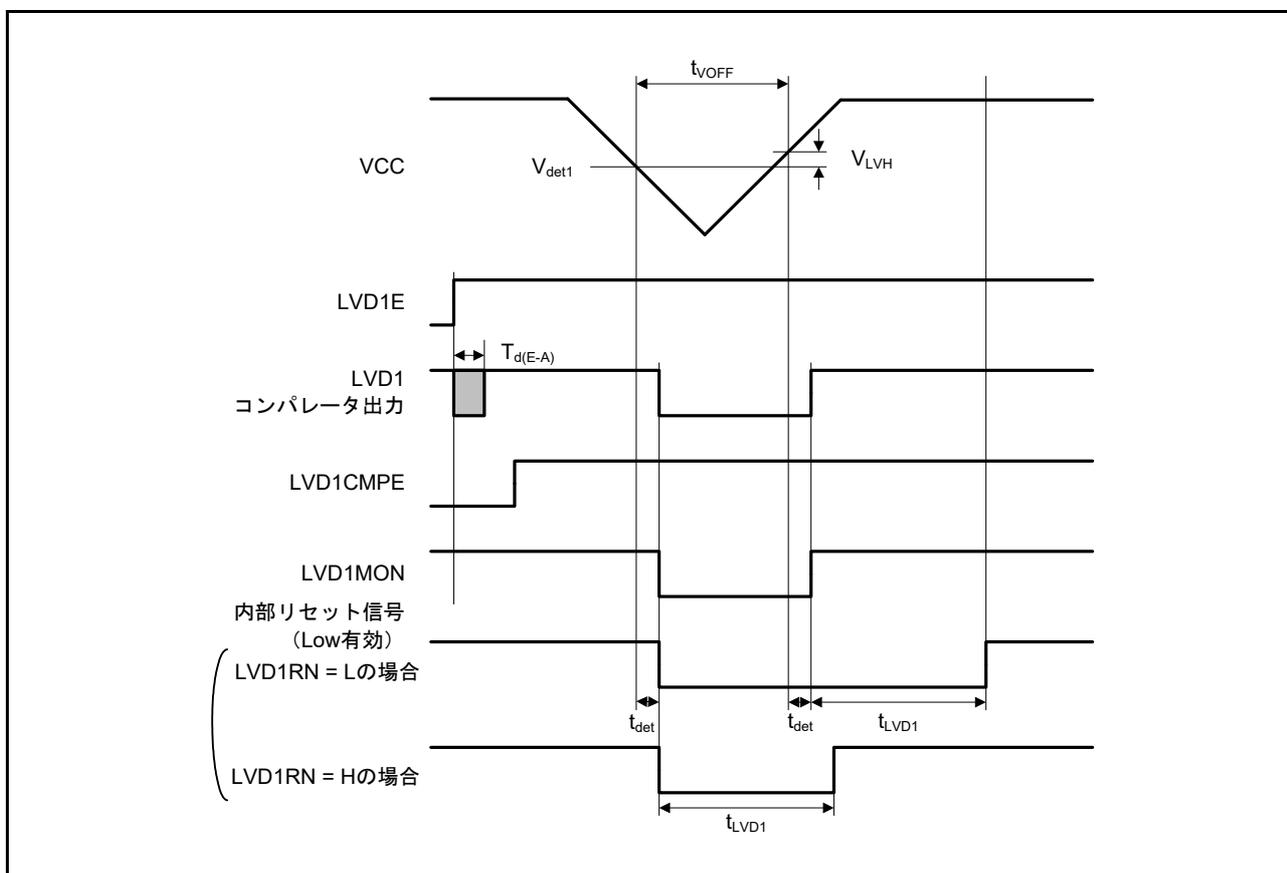
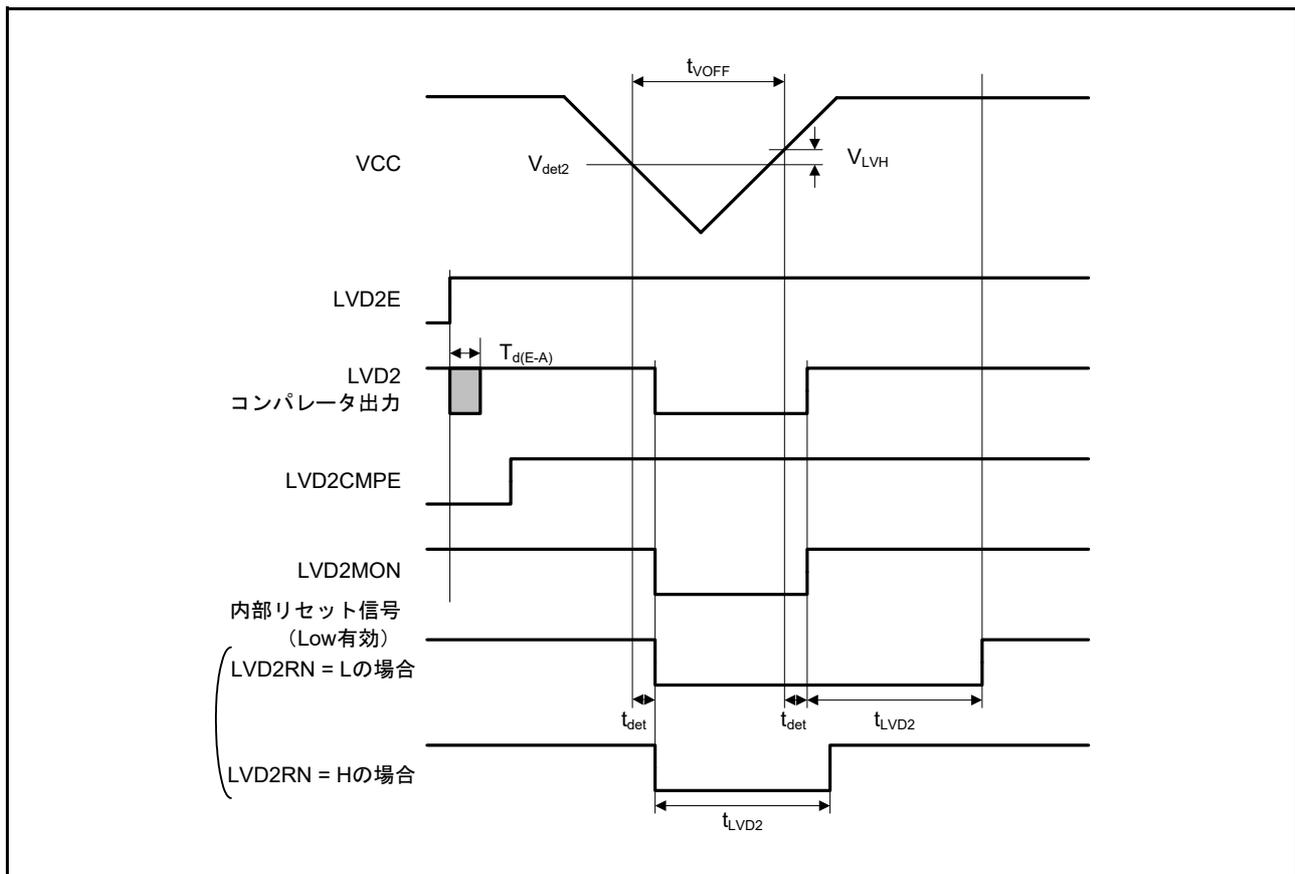


図 2.69 電圧検出回路タイミング (V_{det1})

図 2.70 電圧検出回路タイミング (V_{det2})

2.12 発振停止検出タイミング

表 2.53 発振停止検出回路特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T_a = T_{opr}

項目	記号	min	typ	max	単位	測定条件
検出時間	t _{dr}	—	—	1	ms	図 2.71

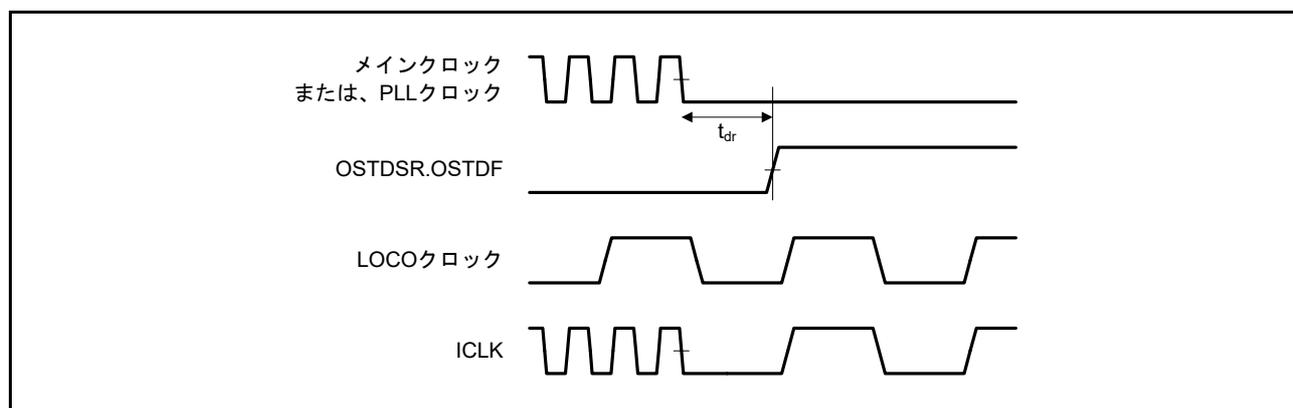


図 2.71 発振停止検出タイミング

2.13 フラッシュメモリ特性

表2.54 コードフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目	記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件
		min	typ	max	min	typ	max		
プログラム時間 ($N_{PEC} \leq 100$)	256バイト	t_{P256}	—	0.9	13.2	—	0.4	6	ms
	8Kバイト	t_{P8K}	—	29	176	—	13	80	
	32Kバイト	t_{P32K}	—	116	704	—	52	320	
プログラム時間 ($N_{PEC} > 100$)	256バイト	t_{P256}	—	1.1	15.8	—	0.5	7.2	
	8Kバイト	t_{P8K}	—	35	212	—	16	96	
	32Kバイト	t_{P32K}	—	140	848	—	64	384	
イレーズ時間 ($N_{PEC} \leq 100$)	8Kバイト	t_{E8K}	—	71	216	—	39	120	
	32Kバイト	t_{E32K}	—	254	864	—	141	480	
イレーズ時間 ($N_{PEC} > 100$)	8Kバイト	t_{E8K}	—	85	260	—	47	144	
	32Kバイト	t_{E32K}	—	304	1040	—	169	576	
プログラム/イレーズ回数 (注1)	N_{PEC}	1000 (注2)	—	—	1000 (注2)	—	—	回	
プログラムサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μ s	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD1}	—	—	216	—	—	120	ms	
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)	t_{SESD2}	—	—	1.7	—	—	1.7		
イレーズサスペンド遅延時間 (イレーズ優先モード時)	t_{SEED}	—	—	1.7	—	—	1.7		
強制終了コマンド	t_{FD}	—	—	32	—	—	20	μ s	
データ保持時間 (注3、注4)	t_{DRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$
		10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、8Kバイトのブロックについて、それぞれ異なる番地に256バイトプログラムを32回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

表2.55 データフラッシュメモリ特性

条件 : VCC = 2.7~5.5V, VCC_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,
VSS = VSS_USB = AVSS0 = AVSS1 = AVSS2 = 0V

プログラム/イレーズ時の動作温度範囲 : $T_a = T_{opr}$

項目		記号	FCLK = 4MHz			20MHz ≤ FCLK ≤ 60MHz			単位	条件
			min	typ	max	min	typ	max		
プログラム時間	4バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
イレーズ時間	64バイト	t_{DE64}	—	3.1	18	—	1.7	10		
ブランクチェック時間	4バイト	t_{DBC4}	—	—	84	—	—	30	μs	
	64バイト	t_{DBC64}	—	—	280	—	—	100		
	2Kバイト	t_{DBC2K}	—	—	6160	—	—	2200		
プログラム/イレーズ回数 (注1)		N_{DPEC}	100000 (注2)	—	—	100000 (注2)	—	—	回	
プログラムサスペンド遅延時間		t_{DSPD}	—	—	264	—	—	120	μs	
1回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD1}	—	—	216	—	—	120		
2回目のイレーズサスペンド遅延時間 (サスペンド優先モード時)		t_{DSESD2}	—	—	300	—	—	300		
イレーズサスペンド遅延時間 (イレーズ優先モード時)		t_{DSEED}	—	—	300	—	—	300		
強制終了コマンド		t_{FD}	—	—	32	—	—	20		
データ保持時間 (注3、注4)		t_{DDRP}	20	—	—	20	—	—	年	$T_a \leq 85^\circ\text{C}$
			10	—	—	10	—	—		$T_a \leq 105^\circ\text{C}$

- 注1. プログラム/イレーズ回数の定義 : プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。プログラム/イレーズ回数がn回の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。たとえば、2Kバイトのブロックについて、それぞれ異なる番地に4バイトプログラムを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。
- 注2. プログラム/イレーズ回数が増えるに従い、特性は悪化します。この数値は、この表に記載された特性を保証できるプログラム/イレーズ回数の最低値です。
- 注3. フラッシュメモリライタまたは弊社提供のセルフプログラミングライブラリを使用し、かつプログラム/イレーズ回数が規定の回数を超えていない場合の特性です。
- 注4. 信頼性試験から得られた結果です。

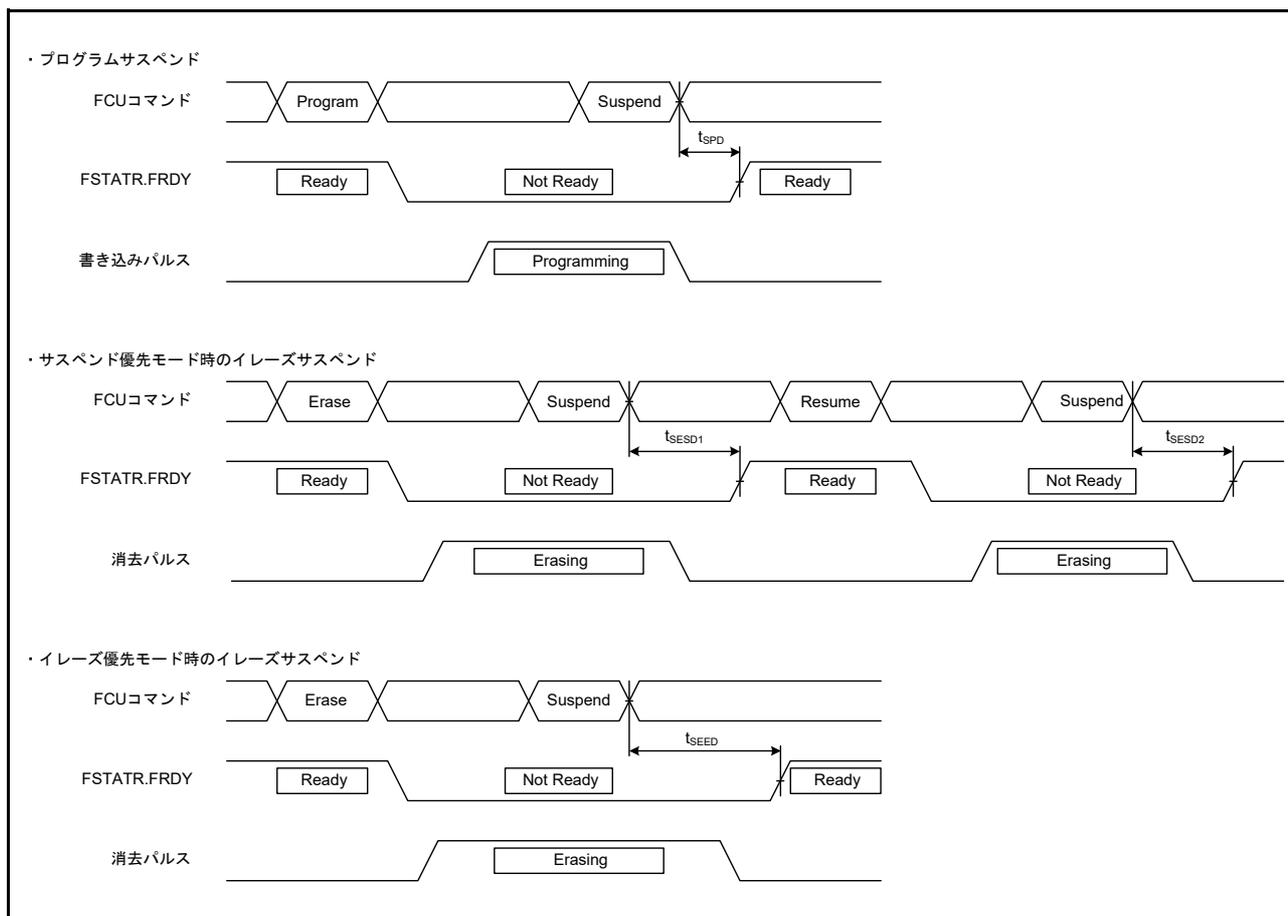


図 2.72 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

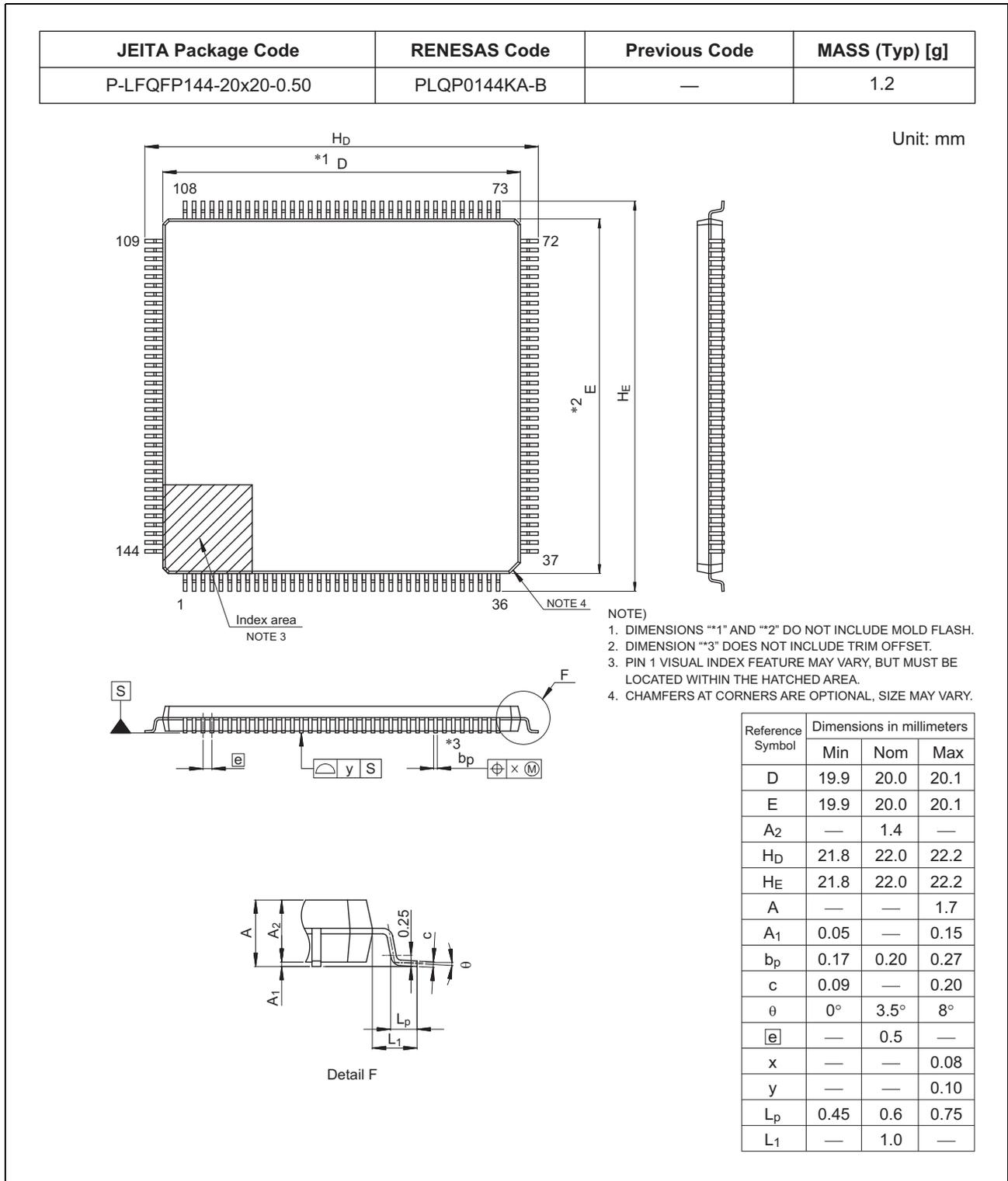


図 A. 144 ピン LFQFP (PLQP0144KA-B)

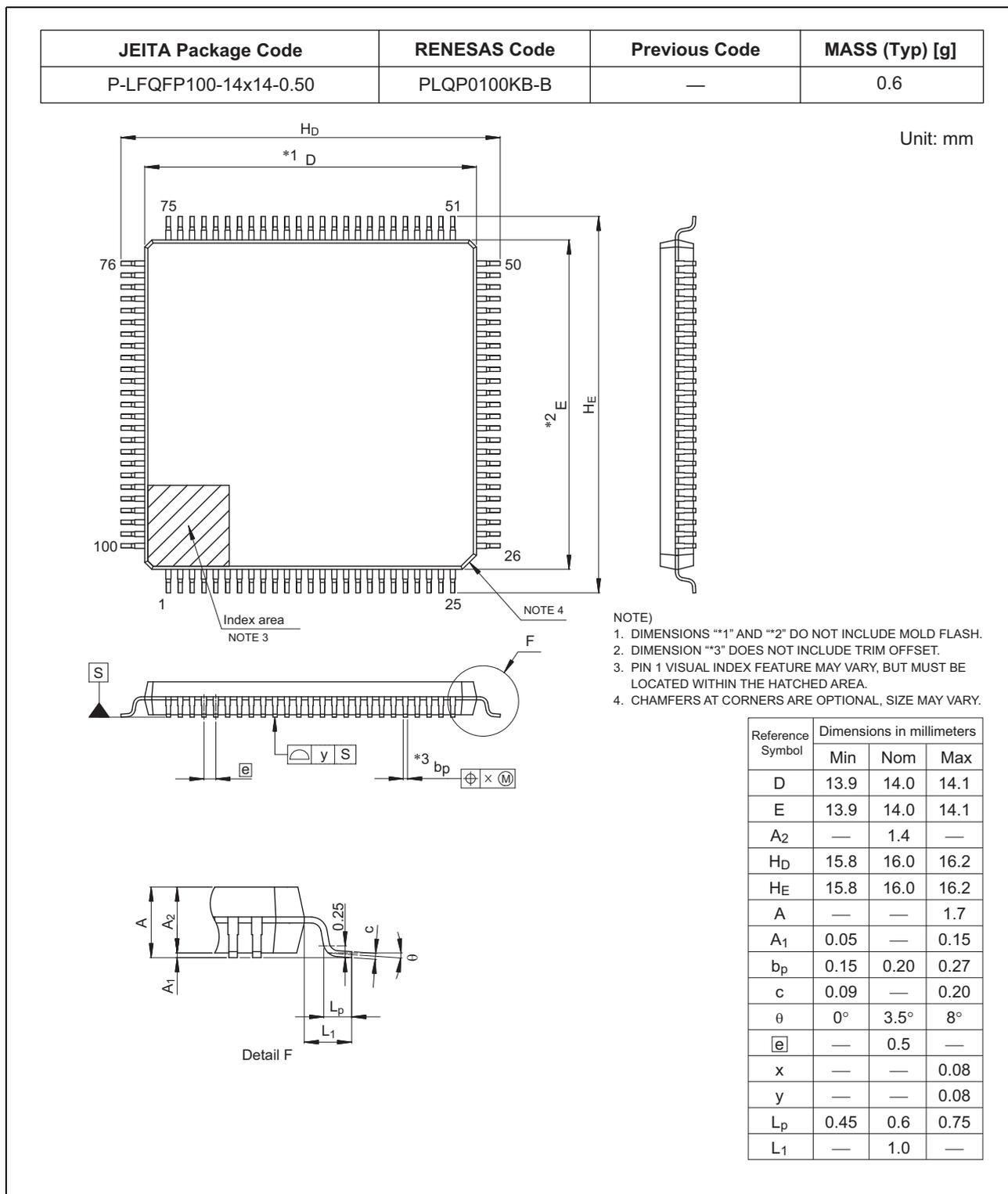


図 B. 100ピン LFQFP (PLQP0100KB-B)

改訂記録	RX72T グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2019.02.08	—	初版発行	
1.10	2023.10.06	全体	構成を変更	
		1. 概要		
		12	表 1.3 製品一覧表 変更	
		13	図 1.1 型名とメモリサイズ・パッケージ 変更	
		2. 電気的特性		
		57	表 2.3 推奨動作条件(2) 変更	TN-RX*-A0270A/J
		65	表 2.11 標準出力特性(1) 追加	TN-RX*-A0219A/J
		66	表 2.12 標準出力特性(2) 追加	
		113	表 2.47 PGA 特性(シングルエンド入力時) 変更	
			表 2.48 PGA 特性(疑似差動入力時) 変更	
		121	表 2.54 コードフラッシュメモリ特性 変更	TN-RX*-A0249A/J
		122	表 2.55 データフラッシュメモリ特性 変更	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。