

RZ/T1-Mグループ

R01DS0253JJ0170

Rev.1.70

2020.10.23

450MHz、Arm®社Cortex®-R4 MCU、FPU内蔵、747 DMIPS、最大1Mバイト拡張内蔵SRAM、MDIO I/F、SPIマルチI/Oバスコントローラなど多種多様な通信機能、安全機能、セキュリティ機能（注1）

特長

■ Arm社32ビットCortex-R4プロセッサ内蔵

- 最大動作周波数450MHzによる高速リアルタイム制御747DMIPSの性能（450MHz動作時）
- Arm社32ビットCortex-R4（リビジョンr1p4）内蔵
- ECC付き密結合メモリ（TCM）512K/32Kバイト
- ECC付き命令キャッシュ/データキャッシュ各8Kバイト
- 高速割り込み
- FPUは単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
- 8段パイプラインのハーバードアーキテクチャ
- メモリプロテクションユニット（MPU）対応
- Arm社CoreSightアーキテクチャ採用、JTAGおよびSWDインタフェースによるデバッグをサポート

■消費電力低減機能

- スタンバイモードおよびモジュールストップ機能

■拡張内蔵SRAM

- ECC付き拡張内蔵SRAM最大1Mバイト
- 150MHz

■データ転送機能

- DMAC：16ch×2ユニット内蔵

■イベントリンクコントローラ

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPUスリープ状態でも、モジュール間のリンク動作が可能

■リセットおよび電源電圧制御

- 端子リセットなど3種類のリセット要因
- 3.3V、1.2V（I/O部）、1.2V（内部）の2電源構成

■クロック機能

- 発振子入力周波数：25MHz
- CPUクロック周波数：～450MHz
- 低速オンチップオシレータ（LOCO）：240kHz

■独立ウォッチドッグタイマ内蔵

- 低速オンチップオシレータの分周クロックで動作：～120kHz

■安全機能

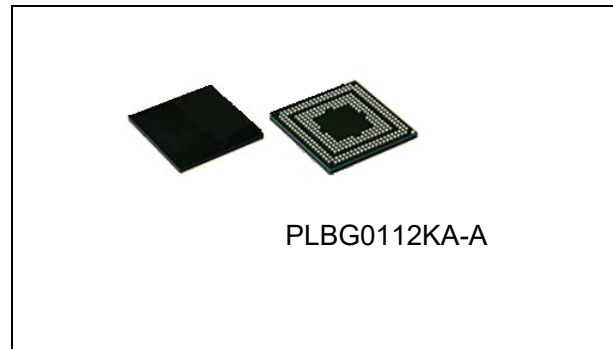
- レジスタライトプロテクション、入力クロック発振停止検出、CRC、IWDtA、A/D自己診断など
- 各モジュールからのエラー要因に対し端子信号出力や割り込み、内部リセットを発生可能なエラーコントロールモジュール搭載

■セキュリティ機能（オプション）（注2）

- 暗号化によるセキュリティ機能を持つブートモード

■マネージメントデータインプット/アウトプットインタフェース（MDIO）

- CFP MSA仕様に準拠した光トランシーバモジュールに備わるインタフェース：1ch（スレーブ）
- 最大動作周波数：4MHz
- DSP制御用インタフェース：2ch（スレーブ専用×1、マスタ専用×1（注1））
- 最大動作周波数：10MHz



■多種多様な通信機能を内蔵

- 16バイトの送受信FIFO搭載SCIFA：4ch
- I2Cバスインタフェース：最大400Kbps転送を2ch
- RSPIa：2ch
- SPIBSC：マルチI/O対応シリアルフラッシュメモリを1ch接続可能

■最大12本の拡張タイマ機能

- 16ビットTPUa（6ch）：インプットキャプチャ、アウトプットコンペア、PWM波形出力
- 16ビットCMT（4ch）、32ビットCMTW（2ch）

■12ビットA/Dコンバータ内蔵

- 12ビット×最大2ユニット（ユニット0：8ch、ユニット1：8ch）
- 自己診断機能
- アナログ入力断線検出機能

■チップ内部の温度を計測可能な温度センサを内蔵

■汎用入出力ポート内蔵

- 5Vトレラント、オープンドレイン、入力プルアップ

■マルチファンクションピンコントローラ

- 周辺機能の入出力端子を複数箇所から選択可能

■動作温度範囲

- Tj = -40°C～+110°C
- Tj：ジャンクション温度

注1. オプション機能

注2. 本オプション機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

1. 概要

1.1 仕様概要

本 LSI は、Arm® 社 Cortex® -R4 (CR4) Processor with FPU を搭載し、システム構成に必要な周辺機能を集積した高性能マイコンです。表 1.1 に仕様概要を示します。

表 1.1 仕様概要 (1 / 5)

分類	モジュール/機能	説明
CPU	中央演算処理装置 (Cortex-R4)	<ul style="list-style-type: none"> 最大動作周波数 112ピンFBGA：450 MHz Arm社製32ビットCPU Cortex-R4 (コア・リビジョンr1p4) アドレス空間：4Gバイト 命令キャッシュサイズ：8Kバイト (ECC付き) データキャッシュサイズ：8Kバイト (ECC付き) 密結合メモリ (TCM) サイズ ATCM：512Kバイト (ECC付き) BTCM：32Kバイト (ECC付き) 命令セット：Thumb® / Thumb-2をサポートするArmv7-Rアーキテクチャ データ配置 命令：リトルエンディアン データ：リトルエンディアン メモリプロテクションユニット (MPU)
	FPU (Cortex-R4)	<ul style="list-style-type: none"> 単精度および倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート レジスタ 32ビットシングルワードレジスタ：32ビット×32本 (16本のダブルワードレジスタとしても使用可能：64ビット×16本)
メモリ	ECC付き拡張内蔵 SRAM	<ul style="list-style-type: none"> 容量：最大1Mバイト 動作周波数：150 MHz SEC-DED (シングルエラー訂正/ダブルエラー検出)
動作モード		<ul style="list-style-type: none"> ブートモード SPIブートモード (シリアル・フラッシュ)
クロック	クロック発生回路	<ul style="list-style-type: none"> 入力クロックは外部発振子を使用可能 入力クロック発振停止検出：あり 下記クロックを生成 CPUクロック：450 MHz max システムクロック：150 MHz (固定) 高速周辺モジュールクロック：150 MHz (固定) 低速周辺モジュールクロック：75 MHz (固定) 12ビットA/Dコンバータ (S12ADCa) のADCCLK：60 MHz max 低速オンチップオシレータ：240 kHz (固定)
リセット		RES#端子リセット、エラーコントロールモジュール (ECM) リセット、ソフトウェアリセット
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> スタンバイモード モジュールストップ機能
割り込み	ベクタ割り込み コントローラ (VIC)	<ul style="list-style-type: none"> 周辺機能割り込み：要因数 96 外部割り込み：要因数 8 (NMI端子、IRQ0~IRQ4端子、IRQ6端子、IRQ7端子) ノンマスクابل割り込み：要因数 2 16レベルの割り込み優先順位を設定可能
データ転送	ダイレクトメモリ アクセスコントローラ (DMAC)	<ul style="list-style-type: none"> 2ユニット (ユニット0：16チャンネル、ユニット1：16チャンネル) 転送モード：シングル転送モード、ブロック転送モード 転送サイズ ユニット0：1/2/4/16/32/64バイト ユニット1：1/2/4/16バイト 起動要因：外部割り込み、内蔵周辺モジュールリクエスト、ソフトウェアリクエスト
I/Oポート	汎用入出力ポート	<ul style="list-style-type: none"> 112ピンFBGA 入出力：51 (うち1.2V I/O 7本を含む) 入力：4 プルアップ/プルダウン抵抗：44 5Vトレラント：4

表 1.1 仕様概要 (2 / 5)

分類	モジュール/機能	説明
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> イベント信号でモジュール間動作をリンク可能 タイマ系のモジュールはイベント入力時の動作選択が可能 ポートEのイベントリンク動作が可能
マルチファンクションピンコントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	16ビットタイマパルスユニット (TPUa)	<ul style="list-style-type: none"> 16ビット×6チャンネル 最大16本のパルス入出力が可能 チャンネルごとに7種類または8種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) インプットキャプチャ/アウトプットコンペア機能をサポート カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 最大15相のPWM波形を出力するPWMモード チャンネルによってバッファ動作、位相計数モード (2相エンコーダ入力)、カスケード接続動作 (32ビット×2チャンネル) をサポート A/Dコンバータの変換開始トリガを生成可能 インプットキャプチャ端子にデジタルノイズフィルタあり ELCによるイベントリンク機能をサポート
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル) × 2ユニット 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) ELCによるイベントリンク機能をサポート (ユニット0のチャンネル1のみ)
	コンペアマッチタイマ W (CMTW)	<ul style="list-style-type: none"> (32ビット×1チャンネル) × 2ユニット コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能 4種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz) コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能 インプットキャプチャ端子におけるデジタルノイズフィルタ機能 ELCによるイベントリンク機能をサポート
	ウォッチドッグタイマ (WDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル 6種類のカウントクロックを選択可能 (最大動作周波数: 75 MHz)
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック: 低速オンチップオシレータ (LOCO) の2分周カウントクロックの1/16/32/64/128/256分周を選択可能 (最大動作周波数: 120 kHz)

表 1.1 仕様概要 (3 / 5)

分類	モジュール/機能	説明
通信機能	FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	<ul style="list-style-type: none"> 4チャンネル シリアル通信方式：調歩同期式/クロック同期式^(注2) 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 送信部、受信部ともに16バイトのFIFOバッファ構造による連続送信、受信が可能 ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIIa)	<ul style="list-style-type: none"> 2チャンネル I²Cバスフォーマット対応 マルチマスタ対応 最大転送レート：400 kbps ELCによるイベントリンク機能をサポート
	マネージメントデータ インプット/アウト プットインタフェース (MDIO)	<ul style="list-style-type: none"> 2チャンネル (スレーブ専用×1、マスタ専用×1^(注3)) スレーブ：CFP MSA仕様に準拠した光トランシーバモジュール用インタフェース マスタ：DSP制御用インタフェース
	シリアルパリティフェラ ルインタフェース (RSPiA)	<ul style="list-style-type: none"> 2チャンネル RSPi転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPi Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードでのシリアル通信が可能 データフォーマット MSBファースト/LSBファーストの切り替え可能 転送ビット長を8~16、20、24、32ビットに変更可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) バッファ構成 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能 ELCによるイベントリンク機能をサポート
	SPIマルチI/Oバス コントローラ (SPIBSC)	<ul style="list-style-type: none"> 1チャンネル マルチI/O (Single / Dual / Quad) 対応のシリアルフラッシュメモリが1個接続可能 外部アドレス空間リードモード (リードキャッシュ内蔵) SPI動作モード クロック極性、クロック位相選択可能 最大転送レート：300 Mbps (Quad時)

表 1.1 仕様概要 (4 / 5)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12ADCa)		<ul style="list-style-type: none"> 12ビット×2ユニット (ユニット0: 8チャンネル、ユニット1: 8チャンネル) 分解能: 12ビット 変換時間 VREFH0, VREFH1 = 3.0~3.6V使用時 ユニット0: 1チャンネル当たり 0.483 μs ユニット1: 1チャンネル当たり 0.883 μs VREFH0, VREFH1 = 2.5~3.0V使用時 ユニット0: 1チャンネル当たり 0.883 μs ユニット1: 1チャンネル当たり 0.883 μs 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) サンプル&ホールド機能 チャンネル共通のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド回路を4チャンネル搭載 (ユニット0のみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 自己診断機能用に内部で3種類のアナログ入力電圧を生成可能 (ユニット0: VREFL0, VREFH0 × 1/2, VREFH0、ユニット1: VREFL1, VREFH1 × 1/2, VREFH1) ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ (TPUa) のトリガ、外部トリガ ELCによるイベントリンク機能をサポート
温度センサ		<ul style="list-style-type: none"> 1チャンネル 相対精度: ±1°C 温度を電圧に変換し、12ビットA/Dコンバータ (ユニット0) でデジタル化
セーフティ	レジスタライト プロテクション	ソフトウェアが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット/16ビット/32ビット単位の任意のデータ長に対してCRCコードを生成 4つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet)、 $X^{16} + X^{12} + X^5 + 1$ (16-CCITT)、 $X^8 + X^4 + X^3 + X^2 + 1$ (8-SAEJ1850)、 $X^8 + X^5 + X^3 + X^2 + X + 1$ (8-0x2F)
	入力クロック発振停止 機能	入力クロック発振停止検出: あり
	クロックモニタ回路 (CLMA)	PLL回路および低速オンチップオシレータの出カクロック周波数異常を監視することが可能
	データ演算回路 (DOC)	16ビットのデータを比較/加算/減算する機能
	エラーコントロール モジュール (ECM)	<ul style="list-style-type: none"> 各モジュールからのエラー信号入力に対して、割り込み/内部リセットを行うことが可能 タイムアウト機能 エラー制御をマスタとチェックで2重化
セキュリティ 機能	セキュアブートモード (注1)	オプションとして、暗号化によるセキュリティ機能を持つブートモードを選択可能
電源電圧		VDD = PLLVDD0 = PLLVDD1 = VCCQ12 = 1.14 ~ 1.26 V VCCQ33 = AVCC0 = AVCC1 = 3.0 ~ 3.6 V VREFH0 = VREFH1 = 2.5 ~ 3.6 V
動作温度		Tj = -40 ~ +110°C
パッケージ		112ピンFBGA: 6 × 6mm、0.5mm pitch PLBG0112KA-A

表 1.1 仕様概要 (5 / 5)

分類	モジュール/機能	説明
デバッグインタフェース		<ul style="list-style-type: none">• Arm社のCoreSightアーキテクチャ採用• JTAG/SWDインタフェースによるデバッグ機能、トレースポート/SWVインタフェースによるトレース機能をサポート

注1. セキュアブートモード対応品については「表 1.3 製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注2. チャンネル4は調歩同期式のみ使用可能です。

注3. MDIO マスタはオプション機能です。対応品については「表 1.3 製品一覧表」を参照してください。

表 1.2 機能一覧

モジュール/機能		RZ/T1-Mグループ
		112ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ4、IRQ6、IRQ7
DMA	DMAコントローラ (DMAC)	ch0～31
タイマ	16ビットタイマパルスユニット (TPUa)	ch0～5
	コンパッチタイマ (CMT)	ch0～3
	コンパッチタイマW (CMTW)	ch0, 1
	ウォッチドッグタイマ (WDTA)	ch0
	独立ウォッチドッグタイマ (IWDTa)	有
通信機能	FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA)	ch0～2, ch4 (注3)
	マネージメントデータインプット/アウトプットインタフェース (MDIOマスタ (注1) /MDIOスレーブ)	有
	I ² Cバスインタフェース (RIICa)	ch0, 1
	シリアルペリフェラルインタフェース (RSPIa)	ch0, 1
	SPIマルチI/Oバスコントローラ (SPIBSC)	ch0
12ビットA/Dコンバータ (S12ADCa)		AN000～007 (ユニット0) AN100～107 (ユニット1)
温度センサ		有
CRC演算器 (CRC)		有
データ演算回路 (DOC)		有
クロックモニタ回路 (CLMA)		有
セキュアブートモード (注2)		オプション
イベントリンクコントローラ (ELC)		有

注1. MDIOマスタはオプション機能です。対応品については「表 1.3 製品一覧表」を参照してください。

注2. セキュアブートモード対応品については「表 1.3 製品一覧表」を参照してください。本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

注3. ch4は調歩同期式としてのみ使用可能です。

1.2 製品一覧

表 1.3 に製品一覧を示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	CPU	拡張内蔵 SRAM容量	動作周波数 (max)	セキュリティ 機能対応 ^(注1)	オプション機能
RZ/T1-M	R7S910020CBG	112 ピン	Cortex-R4	なし	450MHz	なし	なし
	R7S910021CBG	112 ピン	Cortex-R4	1MB	450MHz	なし	なし
	R7S910120CBG	112 ピン	Cortex-R4	なし	450MHz	有	なし
	R7S910121CBG	112 ピン	Cortex-R4	1MB	450MHz	有	なし
	R7S910022CBG	112 ピン	Cortex-R4	なし	450MHz	なし	MDIO マスタ
	R7S910023CBG	112 ピン	Cortex-R4	1MB	450MHz	なし	MDIO マスタ
	R7S910122CBG	112 ピン	Cortex-R4	なし	450MHz	有	MDIO マスタ
	R7S910123CBG	112 ピン	Cortex-R4	1MB	450MHz	有	MDIO マスタ

注1. 本機能については守秘契約を結んでいただいた上で開示いたします。詳細は弊社営業担当にご確認ください。

1.3 ブロック図

図 1.1 にブロック図を示します。

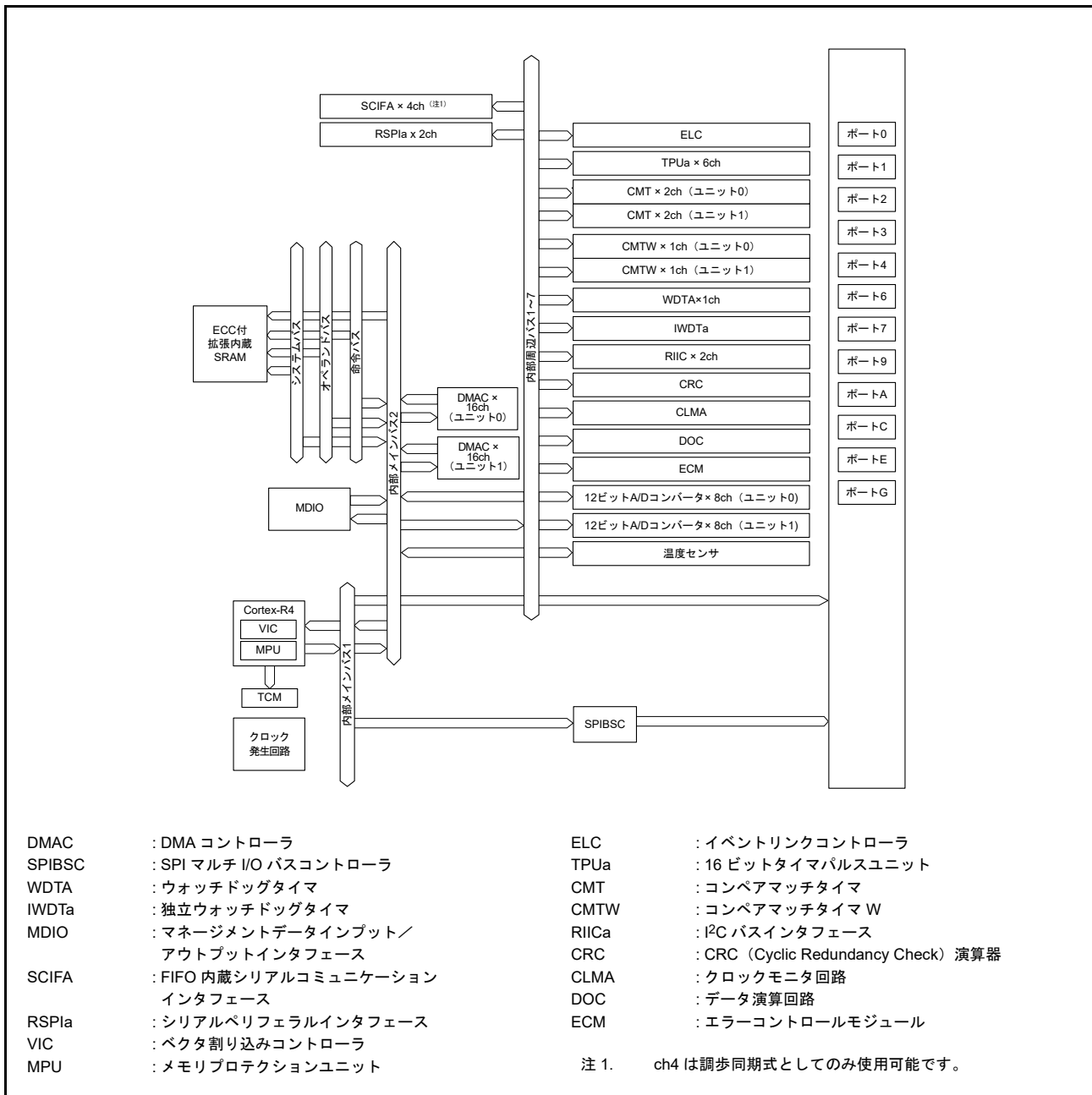


図 1.1 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
	VCCQ12	入力	MDIO 端子用の電源端子
	VCCQ33	入力	入出力端子用の電源端子
	PLLVD0、PLLVD1	入力	内蔵 PLL 発振器用の電源端子
	PLLVS0、PLLVS1	入力	内蔵 PLL 発振器用のグランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子
	EXTAL	入力	
動作モードコントロール	MD0、MD1	入力	動作モード選択信号入力端子
システム制御	RES#	入力	リセット信号入力端子。この端子がLowになると、リセット状態となります
	RSTOUT#	出力	外部へのリセット信号出力端子
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモードセレクト端子
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子
	TRACECLK	出力	トレースデータ同期用のクロック出力端子
	TRACECTL	出力	トレース制御用イネーブル信号出力端子
	TRACEDATA0~7	出力	トレースデータ出力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求信号入力端子
	IRQ0~IRQ4、IRQ6、IRQ7	入力	外部割り込み要求信号入力端子
16ビットタイムパルスユニット (TPUa)	TIOCA0、TIOCB0、TIOCC0、TIOCD0	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA1、TIOCB1	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA2、TIOCB2	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA3、TIOCB3、TIOCC3、TIOCD3	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA4、TIOCB4	入出力	TGRA4、TGRB4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCA5、TIOCB5	入出力	TGRA5、TGRB5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TCLKA、TCLKB、TCLKC、TCLKD	入力	TPUa用の外部クロック入力端子
コンペアマッチタイムW (CMTW)	TIC0~TIC3	入力	CMTWのインプットキャプチャ入力端子
	TOC0~TOC3	出力	CMTWのアウトプットコンペア出力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
FIFO内蔵シリアル コミュニケーション インタフェース (SCIFA)	SCK0～SCK2	入出力	クロック入出力端子
	RXD0～RXD2、 RXD4 (注1)	入力	受信データ入力端子
	TXD0～TXD2、 TXD4 (注1)	出力	送信データ出力端子
	CTS0#～CTS2#	入出力	ハードウェアフロー制御用入力 (送信可信号) / 汎用出力
	RTS0#～RTS2#	出力	ハードウェアフロー制御用出力 (送信要求信号) / 汎用出力
I ² Cバスインタフェース (R11Ca)	SCL0、SCL1	入出力	クロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0、SDA1	入出力	データ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
マネージメントデータイン プット/アウトプットイン タフェース (MDIOM/ MDIO)	MDC	入力	スレーブ用MDIOクロック入力端子 (~4MHz)
	MDIO	入出力	スレーブ用MDIOデータ入出力端子
	MMDC1	出力	マスタ用MDIOクロック出力端子 (~10MHz)
	MMDIO1	入出力	マスタ用MDIOデータ入出力端子
	PRTADR0	入力	スレーブ用光トランシーバモジュール選択用入力端子
	PRTADR1	入力	スレーブ用光トランシーバモジュール選択用入力端子
	PRTADR2	入力	スレーブ用光トランシーバモジュール選択用入力端子
	PRTADR3	入力	スレーブ用光トランシーバモジュール選択用入力端子
シリアルペリフェラル インタフェース (RSP1a)	RSPCK0、RSPCK1	入出力	クロック入出力端子
	MOSI0、MOSI1	入出力	マスタ送出データ入出力端子
	MISO0、MISO1	入出力	スレーブ送出データ入出力端子
	SSL00、SSL10	入出力	スレーブセレクト信号入出力端子
	SSL01、SSL02、 SSL03、SSL11	出力	スレーブセレクト信号出力端子
SPIマルチI/Oバス コントローラ (SPIBSC)	SPBCLK	出力	クロック出力端子
	SPBSSL	出力	スレーブセレクト信号出力端子
	SPBMO/SPBIO0	入出力	マスタ送出データ/データ0入出力端子
	SPBMI/SPBIO1	入出力	マスタ入力データ/データ1入出力端子
	SPBIO2～3	入出力	データ2、データ3入出力端子
12ビットA/Dコンバータ (S12ADCa)	AN000～AN007、 AN100～AN107	入力	A/Dコンバータのアナログ入力端子
	ADTRG0、ADTRG1	入力	A/D変換開始のための外部トリガ入力端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
アナログ電源	AVCC0	入力	12ビットA/Dコンバータ（ユニット0）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS0	入力	12ビットA/Dコンバータ（ユニット0）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH0	入力	12ビットA/Dコンバータ（ユニット0）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL0	入力	12ビットA/Dコンバータ（ユニット0）の基準グランド端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	AVCC1	入力	12ビットA/Dコンバータ（ユニット1）のアナログ電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	AVSS1	入力	12ビットA/Dコンバータ（ユニット1）のアナロググランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
	VREFH1	入力	12ビットA/Dコンバータ（ユニット1）の基準電源入力端子。12ビットA/Dコンバータを使用しない場合は、VCCQ33端子に接続してください
	VREFL1	入力	12ビットA/Dコンバータ（ユニット1）の基準グランド入力端子。12ビットA/Dコンバータを使用しない場合は、VSS端子に接続してください
I/Oポート	P00	入出力	1ビットの入出力端子
	P10	入出力	1ビットの入出力端子
	P21、P22、P27	入出力	3ビットの入出力端子
	P33、P34、P35	入出力	3ビットの入出力端子
	P40、P42、P44	入出力	3ビットの入出力端子
	P50～P56（注2）	入出力	7ビットの入出力端子
	P60～P65	入出力	6ビットの入出力端子
	P71～P73	入出力	3ビットの入出力端子
	P90～P97	入出力	8ビットの入出力端子
	PA3～PA5	入出力	3ビットの入出力端子
	PC2、PC3、PC6、PC7	入力	4ビットの入力端子
	PE0～PE7	入出力	8ビットの入出力端子
	PG2～PG6	入出力	5ビットの入出力端子

注1. チャンネル4は調歩同期式でのみ使用可能です。

注2. 1.2V端子です。

1.5 ピン配置図

図 1.2 にピン配置図を示します。また、表 1.5 に端子配置を、表 1.6 に機能別端子一覧を示します。

	1	2	3	4	5	6	7	8	9	10	11	
A	VCCQ33	PC2	VSS	MDC	PRTADR0	PRTADR2	AN003	AVCC0	AVSS0	AVCC1	VREFH1	A
B	PC3	VSS	VDD	MDIO	PRTADR1	VCCQ12	AN007	AN002	VREFL0	AVSS1	VREFL1	B
C	TRST#	VDD	P35 / NMI	PRTADR3	PRTADR4	VSS	AN006	AN001	AN000	VREFH0	P96	C
D	TCK	TMS	P34	P33	VDD	AN005	AN004	P97	P95	P92	P94	D
E	MD1	VSS	VDD	PLLVD1				P93	P91	PA5 / MMDIO1	P90	E
F	XTAL	EXTAL	VCCQ33	PLLVS1				VCCQ33	VSS	PA4	PA3 / MMDC1	F
G	MD0	VSS	VSS	PLLVD0				VDD	VSS	P71	P73	G
H	RSTOUT#	RES#	PLLVS0	VDD	VSS	VDD	VSS	VCCQ33	P72	PE6	PE7	H
J	P60	P61	VSS	VCCQ33	PG4	VSS	VDD	VSS	PE5	PE4	PE3	J
K	P63	P64	VSS	PC6	PG3	PG5	P22	P44	P40	PE2	PE1	K
L	P62	P65	PC7	PG2	PG6	P21	P27	P42	P10	PE0	P00	L
	1	2	3	4	5	6	7	8	9	10	11	

図 1.2 ピン配置図 (112 ピン FBGA) (Top View)

表 1.5 端子配置 (112ピンFBGA) (1 / 3)

端子番号	端子名
A1	VCCQ33
A2	PC2 / SDA0
A3	VSS
A4	P56 / MDC
A5	P54 / PRTADR0
A6	P51 / PRTADR2
A7	AN003
A8	AVCC0
A9	AVSS0
A10	AVCC1
A11	VREFH1
B1	PC3 / RXD4 / SCL0
B2	VSS
B3	VDD
B4	P55 / MDIO
B5	P52 / PRTADR1
B6	VCCQ12
B7	AN007
B8	AN002
B9	VREFL0
B10	AVSS1
B11	VREFL1
C1	TRST#
C2	VDD
C3	P35 / NMI
C4	P53 / PRTADR3
C5	P50 / PRTADR4
C6	VSS
C7	AN006
C8	AN001
C9	AN000
C10	VREFH0
C11	P96 / AN106
D1	TCK
D2	TMS
D3	P34 / TDI
D4	P33 / TDO
D5	VDD
D6	AN005
D7	AN004
D8	P97 / AN107 / IRQ7 / ADTRG1
D9	P95 / AN105 / CTS2#
D10	P92 / AN102 / TOC3 / RXD2
D11	P94 / AN104 / IRQ4 / RTS2#

表 1.5 端子配置 (112ピンFBGA) (2 / 3)

端子番号	端子名
E1	MD1
E2	VSS
E3	VDD
E4	PLLVD1
E8	P93 / AN103 / TIC3 / SCK2
E9	P91 / AN101 / TXD2
E10	PA5 / TIOCA4 / TXD2 / MMDIO1
E11	P90 / AN100 / TIOCA5 / TXD4
F1	XTAL
F2	EXTAL
F3	VCCQ33
F4	PLLVSS1
F8	VCCQ33
F9	VSS
F10	PA4 / TIOCA3 / ADTRG0 / RXD2
F11	PA3 / TIOCA2 / SCK2 / MMDC1
G1	MD0
G2	VSS
G3	VSS
G4	PLLVD0
G8	VDD
G9	VSS
G10	P71 / TOC2 / SCK1 / TRACECTL
G11	P73 / IRQ3 / RXD1 / TRACEDATA1
H1	RSTOUT#
H2	RES#
H3	PLLVSS0
H4	VDD
H5	VSS
H6	VDD
H7	VSS
H8	VCCQ33
H9	P72 / TIC2 / TXD1 / TRACEDATA0
H10	PE6 / IRQ6 / TIOCD0 / RXD1 / MISO0 / TRACEDATA6
H11	PE7 / TIOCD3 / SCK1 / RSPCK0 / TRACEDATA7
J1	P60 / SPBSSL
J2	P61 / SPBIO3
J3	VSS
J4	VCCQ33
J5	PG4 / TOC1 / MOSI1
J6	VSS
J7	VDD
J8	VSS
J9	PE5 / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
J10	PE4 / TIOCC0 / RTS1# / SSL00 / TRACEDATA4

表 1.5 端子配置 (112ピンFBGA) (3 / 3)

端子番号	端子名
J11	PE3 / IRQ3 / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
K1	P63 / SPBMO/SPBIO0
K2	P64 / SPBMI/SPBIO1
K3	VSS
K4	PC6 / TCLKC / SCL1
K5	PG3 / TIC1 / MISO1
K6	PG5 / TCLKA / SSL10
K7	P22 / IRQ2 / TIOCD0 / SCK0
K8	P44 / TCLKD / ADTRG0 / CTS0#
K9	P40 / TXD0
K10	PE2 / IRQ2 / TIOCB4 / SSL02 / TRACEDATA2
K11	PE1 / TIOCB3 / SSL03 / TRACEDATA1
L1	P62 / SPBCLK
L2	P65 / SPBIO2
L3	PC7 / TIC0 / SDA1
L4	PG2 / TOC0 / RSPCK1
L5	PG6 / TCLKB / SSL11
L6	P21 / IRQ1 / TIOCB1 / CTS0#
L7	P27 / TIOCB0 / RTS0#
L8	P42 / RXD0
L9	P10 / IRQ0 / TIOCA0 / TRACECLK
L10	PE0 / TIOCB2 / TRACEDATA0
L11	P00 / TIOCA1 / ADTRG1 / TRACECTL

表 1.6 機能別端子一覧 (112ピンFBGA) (1 / 3)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ (TPUa, CMT2)	通信 (MDIO, SCIFA, RSPIa, RIIa, SPIBSC)	その他	割り込み	S12ADC
A1	VCCQ33						
A2		PC2		SDA0			
A3	VSS						
A4		P56		MDC			
A5		P54		PRTADR0			
A6		P51		PRTADR2			
A7							AN003
A8	AVCC0						
A9	AVSS0						
A10	AVCC1						
A11	VREFH1						
B1		PC3		RXD4 / SCL0			
B2	VSS						
B3	VDD						
B4		P55		MDIO			
B5		P52		PRTADR1			
B6	VCCQ12						
B7							AN007
B8							AN002
B9	VREFL0						
B10	AVSS1						
B11	VREFL1						
C1	TRST#						
C2	VDD						
C3		P35				NMI	
C4		P53		PRTADR3			
C5		P50		PRTADR4			
C6	VSS						
C7							AN006
C8							AN001
C9							AN000
C10	VREFH0						
C11		P96					AN106
D1	TCK						
D2	TMS						
D3	TDI	P34					
D4	TDO	P33					
D5	VDD						
D6							AN005
D7							AN004

表 1.6 機能別端子一覧 (112ピンFBGA) (2 / 3)

ピン番号	電源 クロック システム制御	I/O ポート	タイマ	通信	その他	割り込み	S12ADC
112 ピン FBGA			(TPUa, CMT2)	(MDIO, SCIFA, RSPIa, RIIcA, SPIBSC)			
D8		P97				IRQ7	ADTRG1 / AN107
D9		P95		CTS2#			AN105
D10		P92	TOC3	RXD2			AN102
D11		P94		RTS2#		IRQ4	AN104
E1	MD1						
E2	VSS						
E3	VDD						
E4	PLLVDD1						
E8		P93	TIC3	SCK2			AN103
E9		P91		TXD2			AN101
E10		PA5	TIOCA4	TXD2 / MMDIO1			
E11		P90	TIOCA5	TXD4			AN100
F1	XTAL						
F2	EXTAL						
F3	VCCQ33						
F4	PLLVSS1						
F8	VCCQ33						
F9	VSS						
F10		PA4	TIOCA3	RXD2			ADTRG0
F11		PA3	TIOCA2	SCK2 / MMDC1			
G1	MD0						
G2	VSS						
G3	VSS						
G4	PLLVDD0						
G8	VDD						
G9	VSS						
G10	TRACECTL	P71	TOC2	SCK1			
G11	TRACEDATA1	P73		RXD1		IRQ3	
H1	RSTOUT#						
H2	RES#						
H3	PLLVSS0						
H4	VDD						
H5	VSS						
H6	VDD						
H7	VSS						
H8	VCCQ33						
H9	TRACEDATA0	P72	TIC2	TXD1			
H10	TRACEDATA6	PE6	TIOCD0	RXD1 / MISO0		IRQ6	
H11	TRACEDATA7	PE7	TIOCD3	SCK1 / RSPCK0			
J1		P60		SPBSSL			
J2		P61		SPBIO3			

表 1.6 機能別端子一覧 (112ピンFBGA) (3 / 3)

ピン 番号	電源 クロック システム制御	I/O ポート	タイマ	通信	その他	割り込み	S12ADC
			(TPUa, CMT2)	(MDIO, SCIFA, RSP1a, RII Ca, SPIBSC)			
J3	VSS						
J4	VCCQ33						
J5		PG4	TOC1	MOSI1			
J6	VSS						
J7	VDD						
J8	VSS						
J9	TRACEDATA5	PE5	TIOCC3	TXD1 / MOSI0			
J10	TRACEDATA4	PE4	TIOCC0	RTS1# / SSL00			
J11	TRACEDATA3	PE3	TIOCB5	CTS1# / SSL01		IRQ3	
K1		P63		SPBMO/SPBIO0			
K2		P64		SPBMI/SPBIO1			
K3	VSS						
K4		PC6	TCLKC	SCL1			
K5		PG3	TIC1	MISO1			
K6		PG5	TCLKA	SSL10			
K7		P22	TIOCD0	SCK0		IRQ2	
K8		P44	TCLKD	CTS0#			ADTRG0
K9		P40		TXD0			
K10	TRACEDATA2	PE2	TIOCB4	SSL02		IRQ2	
K11	TRACEDATA1	PE1	TIOCB3	SSL03			
L1		P62		SPBCLK			
L2		P65		SPBIO2			
L3		PC7	TIC0	SDA1			
L4		PG2	TOC0	RSPCK1			
L5		PG6	TCLKB	SSL11			
L6		P21	TIOCB1	CTS0#		IRQ1	
L7		P27	TIOCB0	RTS0#			
L8		P42		RXD0			
L9	TRACECLK	P10	TIOCA0			IRQ0	
L10	TRACEDATA0	PE0	TIOCB2				
L11	TRACECTL	P00	TIOCA1				ADTRG1

2. 電気的特性

2.1 絶対最大定格

表 2.1 絶対最大定格

条件 : VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V

項目	記号	定格値	単位
電源電圧 (I/O)	VCCQ33	-0.3 ~ +4.2	V
電源電圧 (1.2V I/O)	VCCQ12	-0.3 ~ +1.6	V
電源電圧 (内部)	VDD	-0.3 ~ +1.6	V
PLL 電源電圧	PLLVDD0, PLLVDD1	-0.3 ~ +1.6	V
入力電圧 (1.2V IOポート、5Vトレラント対応ポート (注1) 以外)	V _{in1}	-0.3 ~ VCCQ33 + 0.3 (注4)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in2}	-0.3 ~ +5.5 (注3)	V
入力電圧 (1.2V IOポート)	V _{in3}	-0.3 ~ VCCQ12 + 0.3 (注5)	V
アナログ電源電圧	AVCC0, AVCC1 (注2)	-0.3 ~ +4.2	V
基準電源電圧	VREFH0, VREFH1	-0.3 ~ (AVCC0, AVCC1) + 0.3 (注4)	V
アナログ入力電圧	V _{AN}	-0.3 ~ (AVCC0, AVCC1) + 0.3 (注4)	V
動作温度 (ジャンクション温度)	T _j	-40 ~ +110	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】

- IC 製品の出力 (出力状態の入出力端子) をほかの出力端子 (出力状態の入出力端子を含む)、および電源端子や GND 端子に直線接続しないでください。ただし、入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。
- 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。この定格値に近づかない状態で、製品をご使用ください。
DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

注1. ポートPC2, PC3, PC6, PC7は、5Vトレラント対応です。

注2. A/Dのユニット0を使用しない場合、AVCC0, VREFH0端子はVCCQ33に、AVSS0, VREFL0端子はVSSにそれぞれ接続し開放しないでください。同様に、A/Dのユニット1を使用しない場合、AVCC1, VREFH1端子はVCCQ33に、AVSS1, VREFL1端子はVSSにそれぞれ接続し開放しないでください。

注3. VCCQ33 = 3.0Vに満たない条件では、5Vトレラント対応ポートの定格値は3.6Vになります。

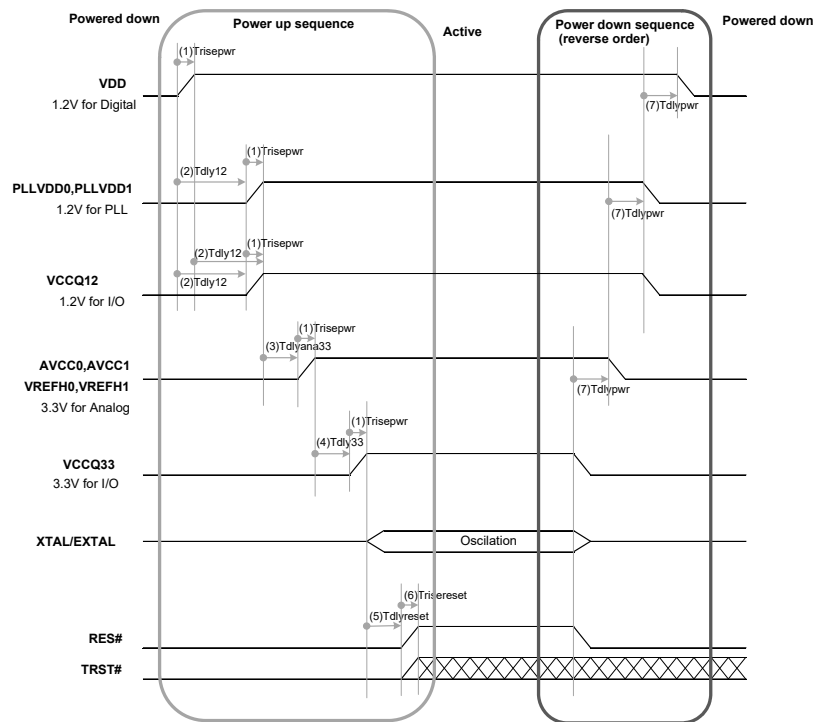
注4. 絶対最大定格 (4.2V) を超えないようにしてください。

注5. 絶対最大定格 (1.6V) を超えないようにしてください。

2.2 電源投入・切断シーケンス

各電源の投入・切断順序は図 2.1 に示した方法にしたがってください。

電源の投入時は、必ず TRST# 端子を Low レベル、かつ RES# 端子を Low レベルにしてください。それ以外の端子状態の場合、初期化が正常に行われません。



Timing

No.	Item	Value		
		min	typ	max
(1)	Trisepwr	100 μ s	—	50ms
(2)	Tdly12	0ms	—	100ms
(3)	Tdlyana33	0ms	—	100ms
(4)	Tdly33	0ms	—	100ms
(5)	Tdlyreset	10ms	—	—
(6)	Trisereset	—	—	150 μ s
(7)	Tdlypwr	0ms	—	—

注 1. 全電源およびリセット信号は、単調増加／単調減少で立ち上がる／立ち下がるようにしてください。

注 2. 電源にマイナス電圧を印可しないでください。

注 3. 電源投入前には必ずリセット端子 (TRST#/RES#) をアクティブ (Low) にしてください。

このことが守られない場合、端子の入出力状態が不定になる場合があります。また、電源の切断時も、このことが問題になる可能性がある場合は、リセット端子 (TRST#/RES#) をアクティブ (Low) にしてください。

注. 電源投入・遮断シーケンスを満たせない場合 (動作保証範囲以外) では、端子の入出力状態が不定になる場合があります。

図 2.1 電源投入・切断シーケンス

2.3 DC 特性

- 条件 : VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 ~ 1.26V,
VCCQ33 = AVCC0 = AVCC1 = 3.0 ~ 3.6V
VREFH0 = 2.5 ~ 3.6V (ただし AVCC0 \geq VREFH0) ,
VREFH1 = 2.5 ~ 3.6V (ただし AVCC1 \geq VREFH1) ,
VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V,
Tj = -40 ~ 110 °C

表2.2 DC特性 (1)

項目	記号	min	typ	max	単位	測定条件
電源電圧 (I/O)	VCCQ33	3.0	3.3	3.6	V	
電源電圧 (1.2V I/O)	VCCQ12	1.14	1.2	1.26	V	
電源電圧 (内部)	VDD	1.14	1.2	1.26	V	
PLL 電源電圧	PLLVDD0, PLLVDD1	1.14	1.2	1.26	V	
アナログ電源電圧	AVCC0, AVCC1	3.0	3.3	3.6	V	

表2.3 DC特性 (2) 【消費電流】

項目	電源種類	記号	typ	max	単位	測定条件
通常動作時	VDD	Vlcc	160	440	mA	Tj = -40 ~ 110 °C R7S910020 R7S910021 R7S910120 R7S910121
			220	511	mA	Tj = -40 ~ 110 °C R7S910022 R7S910023 R7S910122 R7S910123
	PLLVDD0 + PLLVDD1	PLLlcc	3.2	5	mA	
	VCCQ12	V12lcc	1 (注1) (注2)	—	mA	
	VCCQ33	V33lcc	19 (注1) (注2)	—	mA	
	AVCC0	AV0lcc	2	5	mA	A/D 変換時 (ユニット0)
	AVCC1	AV1lcc	0.7	1.5	mA	A/D 変換時 (ユニット1)
	VREFH0	VRF0lcc	0.07	0.2	mA	A/D 変換時 (ユニット0)
	VREFH1	VRF1lcc	0.07	0.2	mA	A/D 変換時 (ユニット1)
スタンバイモード+ 全モジュールストップ時 (参考値)	VDD	Vlcc	41	—	mA	
	PLLVDD0 + PLLVDD1	PLLlcc	3.2	—	mA	
	VCCQ12	V12lcc	0.1 (注1) (注2)	—	mA	
	VCCQ33	V33lcc	0.35 (注1) (注2)	—	mA	
	AVCC0	AV0lcc	0.64	—	μ A	
	AVCC1	AV1lcc	0.32	—	μ A	
	VREFH0	VRF0lcc	0.24	—	μ A	
VREFH1	VRF1lcc	0.24	—	μ A		

注1. 参考値です。実際の動作電流はシステムに大きく依存します (I/Oの負荷による波形なまり、トグル頻度等)。必ずシステムでの実測を行ってください。

注2. V33lcc + V12lccは 80mA以下にしてください (表2.7の ΣI_{OH})。

表2.4 DC特性 (3) (注1)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	5Vトレラント対応端子以外	V_{IH1}	2.4	—	$V_{CCQ33} + 0.3$	V	
		V_{IL1}	-0.3	—	0.8	V	
		ΔV_{T1}	$V_{CCQ33} \times 0.05$	—	—	V	
	5Vトレラント対応端子 (注2)	V_{IH2}	$V_{CCQ33} \times 0.7$	—	5.3 (注3)	V	
		V_{IL2}	-0.3	—	$V_{CCQ33} \times 0.3$	V	
		ΔV_{T2}	$V_{CCQ33} \times 0.05$	—	—	V	
入力Highレベル電圧 (シュミットトリガ入力端子を除く)		V_{IH3}	2.4	—	$V_{CCQ33} + 0.3$	V	
入力Lowレベル電圧 (シュミットトリガ入力端子を除く)		V_{IL3}	-0.3	—	0.8	V	
出力Highレベル電圧	5Vトレラント対応端子以外	V_{OH}	$V_{CCQ33} - 0.5$	—	—	V	$I_{OH} = -2\text{mA}$
出力Lowレベル電圧	5Vトレラント対応端子以外	V_{OL1}	—	—	0.4	V	$I_{OL1} = 2\text{mA}$
	5Vトレラント対応端子 (注2)	V_{OL2}	—	—	0.4	V	$I_{OL2} = 3\text{mA}$
			—	—	0.6	V	$I_{OL2} = 6\text{mA}$
入力リーク電流		$ I_{in} $	—	—	1.0	μA	$V_{in1} = V_{in2} = 0\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
スリーステートリーク電流 (オフ状態)	5Vトレラント対応端子以外の入出力、出力端子	$ I_{TSIL} $	—	—	1.0	μA	$V_{in1} = 0\text{V}$ $V_{in1} = V_{CCQ33}$
	5Vトレラント対応端子 (注2)		—	—	5.0	μA	$V_{in2} = 0\text{V}$ $V_{in2} = V_{CCQ33}$
入力プルアップMOS電流/抵抗	ポート P90 ~ P97	I_{pu1}	-300	—	-30	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu1}	10	—	120	k Ω	
	上記以外の端子 (注4)	I_{pu2}	-120	—	-7	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = 0\text{V}$
		R_{pu2}	25	—	515	k Ω	
入力プルダウンMOS電流/抵抗	ポート P90 ~ P97	I_{pd1}	30	—	300	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd1}	10	—	120	k Ω	
	上記以外の端子 (注4)	I_{pd2}	7	—	120	μA	$V_{CCQ33} = 3.0 \sim 3.6\text{V}$ $V_{in1} = V_{in2} = V_{CCQ33}$
		R_{pd2}	25	—	515	k Ω	
端子容量	全入出力、入力端子	C_{in}	—	—	10	pF	

注1. ポートP50～P56は対象外です。

注2. ポートPC2、PC3、PC6、PC7は、5Vトレラント対応です。

注3. V_{CCQ33} が3.00V未満のときは、5Vトレラント対応端子に対して3.6V以上の電圧を印加しないでください。

注4. 5Vトレラント対応端子は対象外です。

表2.5 1.2V端子 DC特性 (注1)

項目	記号	min	typ	max	単位	測定条件
入力Highレベル電圧	V_{IH12}	0.84	—	$V_{CCQ12} + 0.3$	V	
入力Lowレベル電圧	V_{IL12}	-0.3	—	0.36	V	
入力リーク電流	I_{IN12}	-100	—	100	μ A	
出力Highレベル電圧 (注2)	V_{OH12}	1.0	—	—	V	$I_{OH} = -100\mu$ A
出力Lowレベル電圧 (注2)	V_{OL12}	—	—	0.2	V	$I_{OL} = 100\mu$ A
出力Highレベル電流 (注2)	I_{OH12}	—	—	-2	mA	$V_{OH} = 1.0$ V
出力Lowレベル電流 (注2)	I_{OL12}	4	—	—	mA	$V_{OL} = 0.2$ V
ブルアップMOS電流/抵抗	I_{pu12}	—	-9	—	μ A	$V_{CCQ12} = 1.2$ V $V_{in1} = V_{in2} = 0$ V
	R_{pu12}	—	133	—	k Ω	
ブルダウンMOS電流/抵抗	I_{pd12}	—	7.5	—	μ A	$V_{CCQ12} = 1.2$ V $V_{in1} = V_{in2} = V_{CCQ12}$
	R_{pd12}	—	160	—	k Ω	
端子容量	C_{in12}	—	—	10	pF	

注1. P50, P51, P52, P53, P54, P55, P56端子

注2. P50, P51, P52, P53, P54, P55, P56端子のDSCRレジスタを“11” (1.2VIO駆動出力) に設定時

表2.6 12ビットA/Dコンバータ DC特性

項目	記号	min	typ	max	単位	測定条件
アナログ入力電圧	アナログ入力端子 AN00n (n = 0~7)	V_{AN00}	VREFL0	—	VREFH0	V
	アナログ入力端子 AN10n (n = 0~7)	V_{AN10}	VREFL1	—	VREFH1	V

表2.7 出力許容電流

項目		記号	min	typ	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	5Vトレラント対応端子以外	I_{OL1}	—	—	2.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	3.0	mA
出力Lowレベル許容電流 (1端子あたりの最大値)	5Vトレラント対応端子以外	I_{OL1}	—	—	4.0	mA
	5Vトレラント対応端子	I_{OL2}	—	—	6.0	mA
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流 (1端子あたりの平均値)	全出力端子	I_{OH}	—	—	-2.0	mA
出力Highレベル許容電流 (1端子あたりの最大値)	全出力端子	I_{OH}	—	—	-4.0	mA
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	—	—	-80	mA

【使用上の注意】 LSIの信頼性を確保するため、出力電流値は表2.7の値を超えないようにしてください。

2.4 AC 特性

- 条件 : $VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = 3.0 \sim 3.6V$
 $VREFH0 = 2.5 \sim 3.6V$ (ただし $AVCC0 \geq VREFH0$) ,
 $VREFH1 = 2.5 \sim 3.6V$ (ただし $AVCC1 \geq VREFH1$) ,
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表 2.8 動作周波数

項目		記号	min	max	単位
動作周波数	CPUクロック (CPUCLK) 112ピンTFBGA	f	150	450	MHz
	システムクロック (ICLK)		150		
	周辺モジュールクロック (PCLKA)		150		
	周辺モジュールクロック (PCLKB)		75		
	周辺モジュールクロック (PCLKD)		75		
	周辺モジュールクロック (PCLKE)		18.75	75	
	周辺モジュールクロック (PCLKF)		7.5	60	
	周辺モジュールクロック (PCLKG)		7.5	60	
	周辺モジュールクロック (PCLKH)		60		
	高速シリアルクロック (SERICKL)		120	150	

- 1.2V IO クロック周期
出力負荷条件 : $C = 200\text{pF}$

項目	記号	min	max	単位	測定条件
出力クロック周期 (注1)	t_{prd}	250	—	ns	図 2.2

注1. P50, P51, P52, P53, P54, P55, P56端子のDSCRレジスタを“11” (1.2VIO駆動出力) に設定時

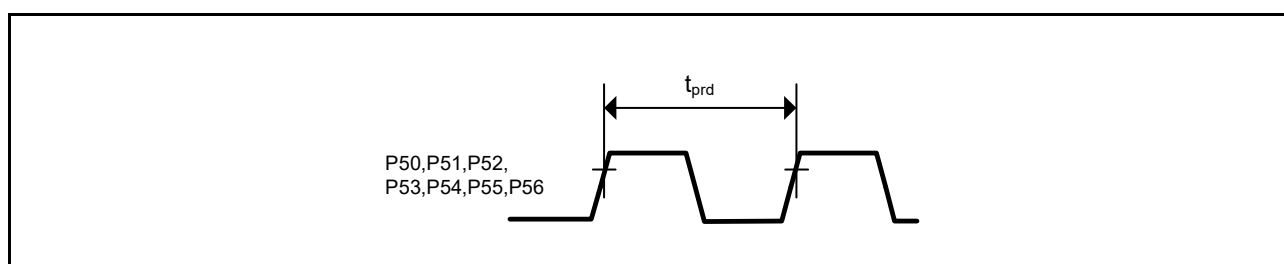


図 2.2 1.2V IO クロック周期

2.4.1 クロックタイミング

表2.9 XTALクロックタイミング

項目	記号	min	typ	max	単位
XTALクロック発振器出力周期 (注1)	$t_{XTALcyc}$	40.00 ± 50ppm			ns

注1. XTALクロックを使用する場合は、発振子メーカーに発振評価を依頼してください。発振安定時間については、発振子メーカーの評価結果を参照してください。

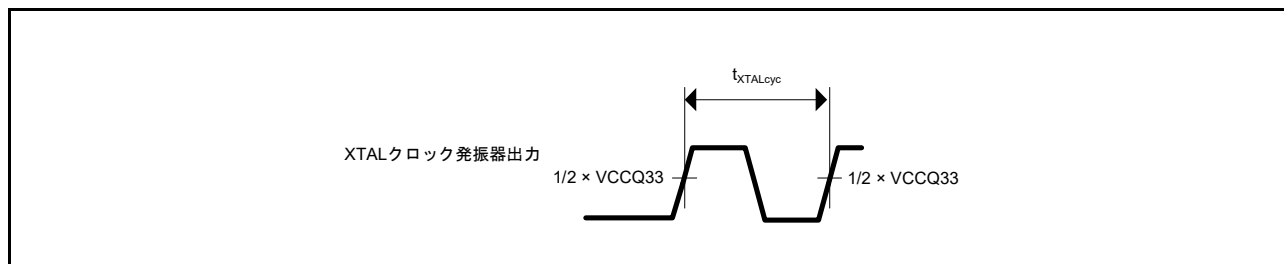


図 2.3 XTAL クロック発振器出力タイミング

表2.10 LOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロックサイクル時間	t_{Lcyc}	4.62	4.17	3.79	μs	
LOCOクロック発振周波数	f_{LOCO}	216	240	264	kHz	
LOCOクロック発振安定待機時間	t_{LOCOWT}	—	—	40	μs	図 2.4

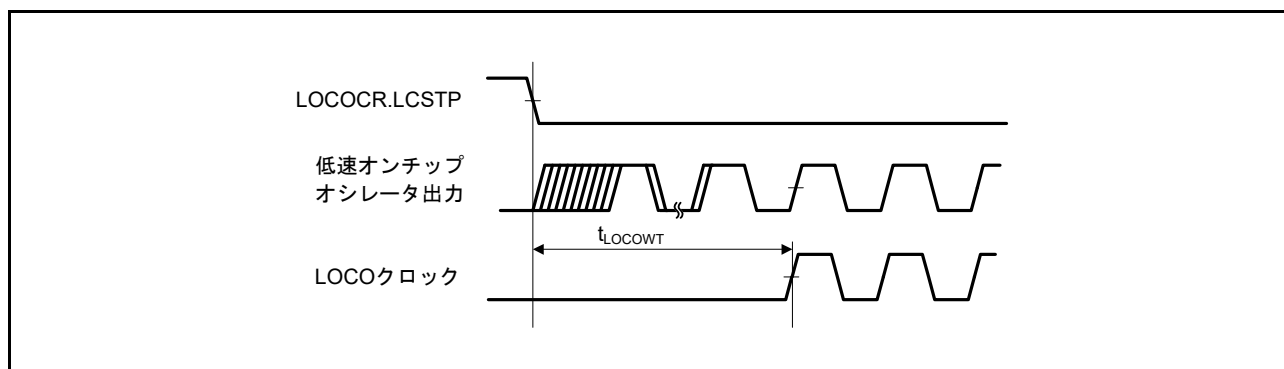


図 2.4 LOCO クロック発振開始タイミング

2.4.2 リセット、割り込みタイミング

表2.11 リセット、割り込みタイミング

項目		記号	Min (注1)	typ	max	単位	測定条件
RES#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	図2.5
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
RES#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
TRST#パルス幅	電源投入時	$T_{dlyreset}$	10	—	—	ms	
	上記以外	$T_{dlyreset2}$	1	—	—	ms	
TRST#立ち上がり時間		$T_{risereset}$	—	—	150	μ s	
NMIパルス幅		t_{NMIW}	$t_{cyc} \times 2$	—	—	ns	図2.6
IRQパルス幅		t_{IRQW}	$t_{cyc} \times 2$	—	—	ns	図2.7

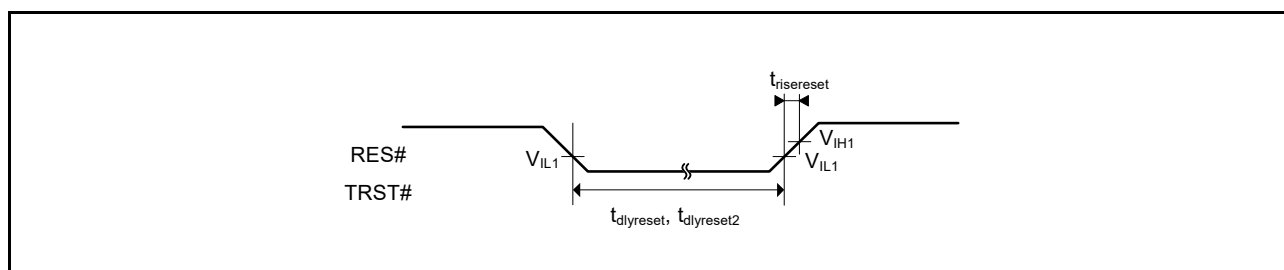
注1. t_{cyc} : ICLKの周期

図2.5 リセット入力タイミング

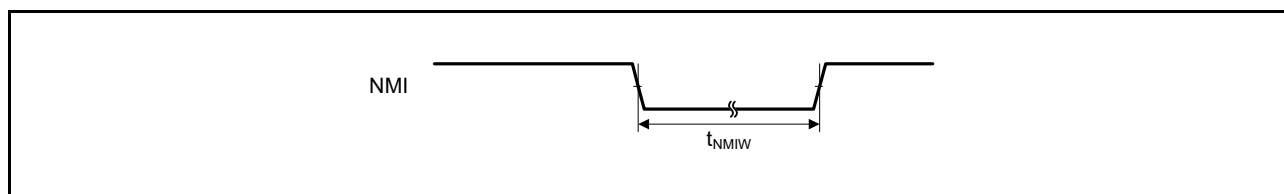


図2.6 NMI 割り込み入力タイミング

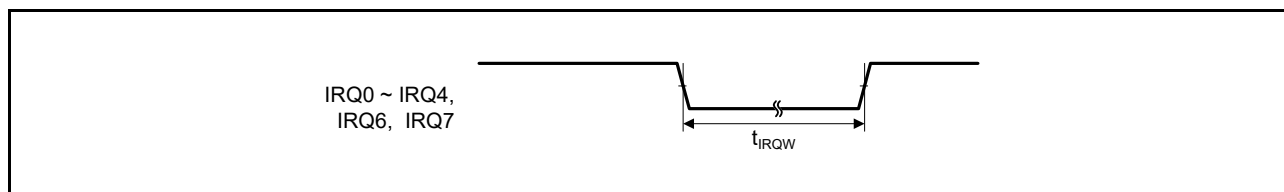


図2.7 IRQ 割り込み入力タイミング

2.4.3 内蔵周辺モジュールタイミング

2.4.3.1 I/Oポートタイミング

表2.12 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図2.8

注1. t_{PBcyc} : PCLKBの周期

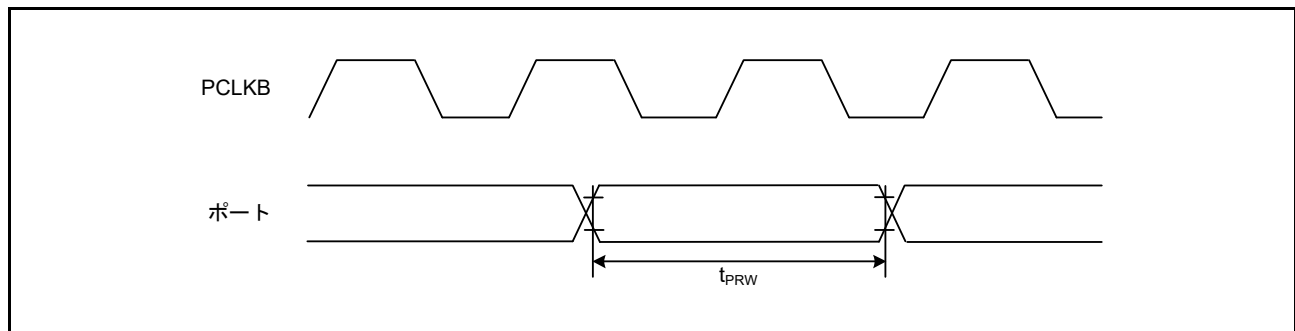


図 2.8 I/Oポート入力タイミング

2.4.3.2 TPUa タイミング

表2.13 TPUa タイミング

項目		記号	min	max	単位 (注1)	測定条件	
TPUa	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図2.9	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	1.5	—	t_{pDcyc}	図2.10
		両エッジ指定		2.5	—		
		位相計数モード		2.5	—		

注1. t_{pDcyc} : PCLKDの周期

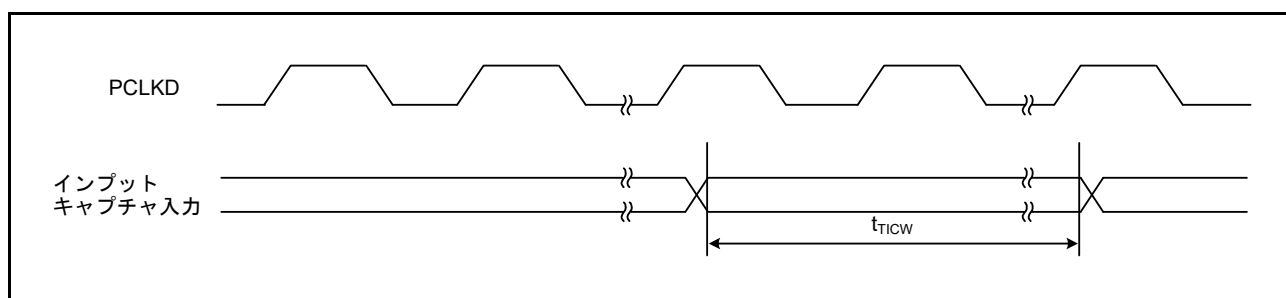


図 2.9 TPUa 入力キャプチャ入力タイミング

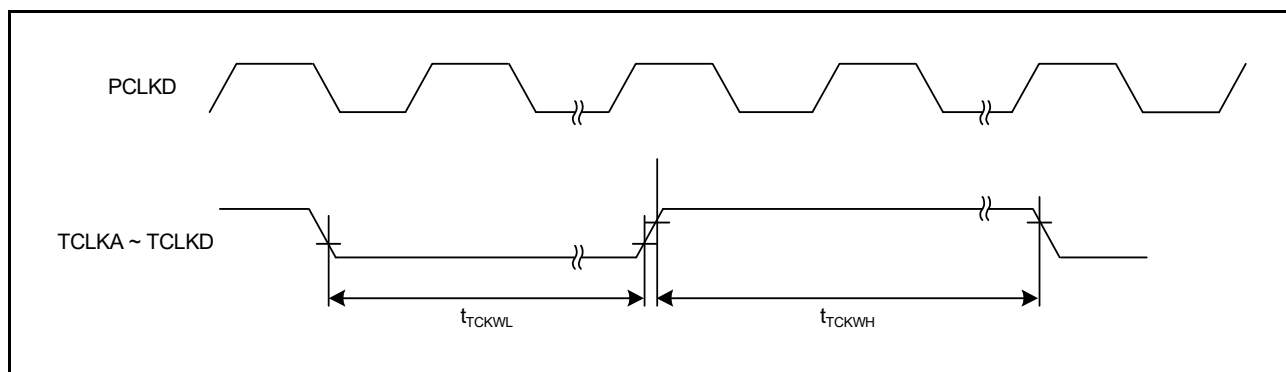


図 2.10 TPUa クロック入力タイミング

2.4.3.3 CMTW タイミング

表2.14 CMTWタイミング

項目		記号	min	max	単位 (注1)	測定条件
CMTW	入力キャプチャ入力 パルス幅	単エッジ指定	1.5	—	t_{pDcyc}	図2.11
		両エッジ指定	2.5	—		

注1. t_{pDcyc} : PCLKDの周期

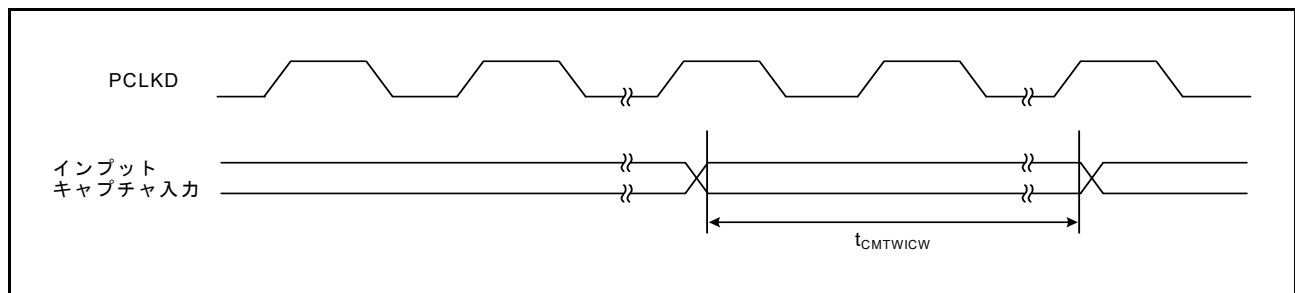


図 2.11 CMTW 入力キャプチャ入力タイミング

2.4.3.4 A/Dコンバータトリガタイミング

表2.15 A/Dコンバータトリガタイミング

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	A/Dコンバータトリガ 入力パルス幅	ADTRG0	1.5	—	t_{PFcyc}	図2.12
		ADTRG1	1.5		t_{PGcyc}	図2.13

注1. t_{PFcyc} : PCLKFの周期、 t_{PGcyc} : PCLKGの周期

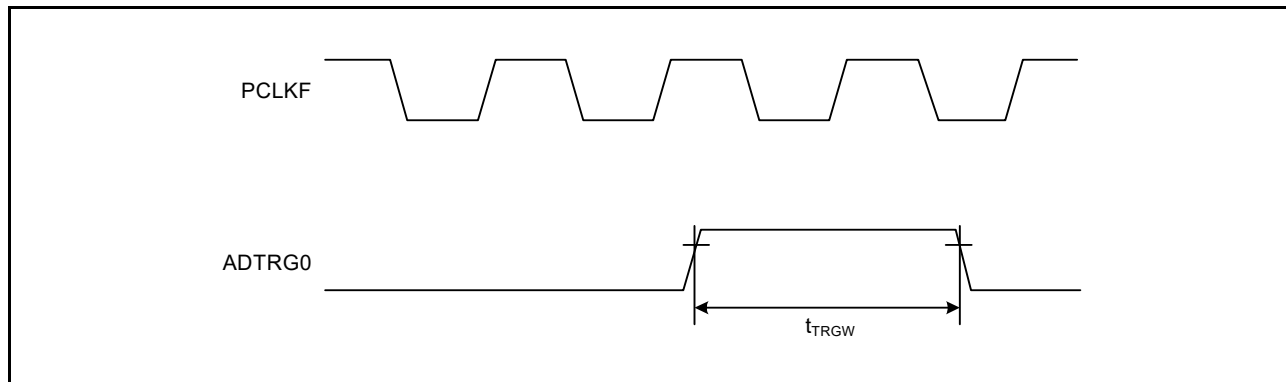


図 2.12 A/Dコンバータトリガ入力タイミング (ADTRG0)

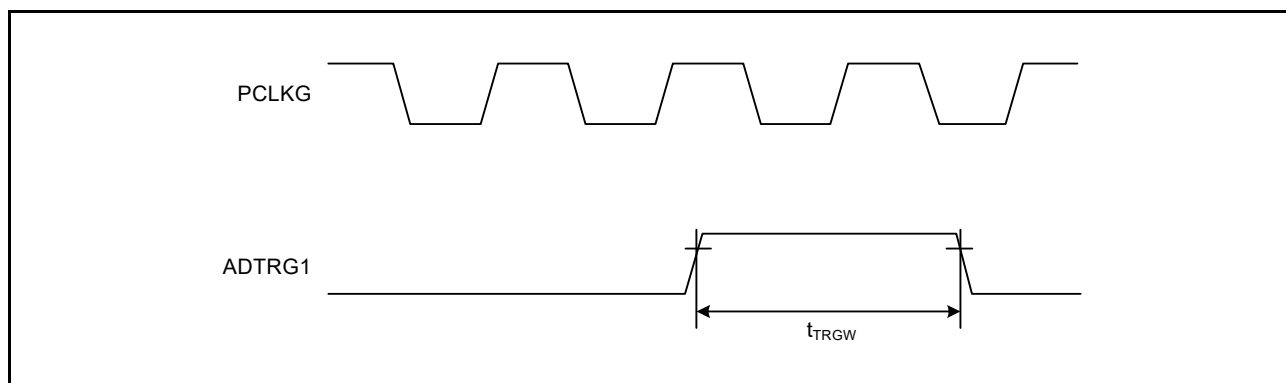


図 2.13 A/Dコンバータトリガ入力タイミング (ADTRG1)

2.4.3.5 SCIFA タイミング

表2.16 SCIFA タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
SCIFA	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{SEcyc}	図 2.14
		クロック同期		12	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期 (注2)	t_{Scyc}	8	—	t_{SEcyc}	
		クロック同期		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	9	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	9	ns	
送信データ遅延時間	内部クロック	t_{TXD}	-10	10	ns	図 2.15	
	外部クロック		$3 \times t_{SEcyc}$	$4 \times t_{SEcyc} + 20$			
受信データセットアップ時間	内部クロック	t_{RXS}	$3 \times t_{SEcyc} + 20$	—	ns		
	外部クロック		$t_{SEcyc} + 10$	—			
受信データホールド時間	内部クロック	t_{RXH}	$-3 \times t_{SEcyc}$	—	ns		
	外部クロック		$2 \times t_{SEcyc} + 10$	—			

注1. t_{SEcyc} : SERICLKの周期

注2. SEMR.ABCS0ビット=1かつSEMR.BGDMビット=1の時

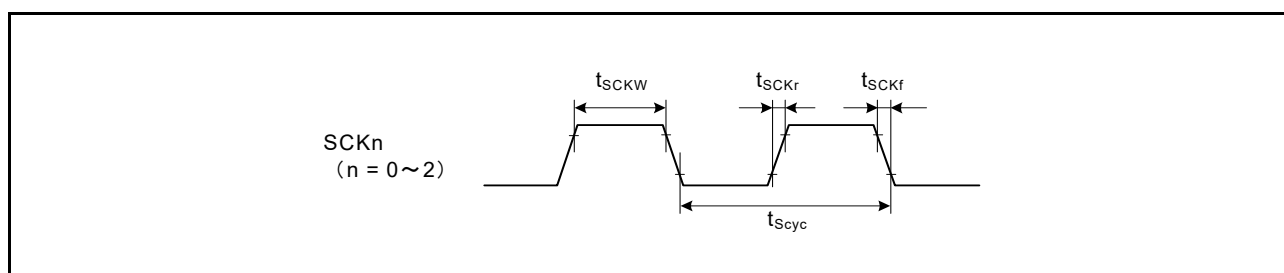


図 2.14 SCK クロック入力タイミング

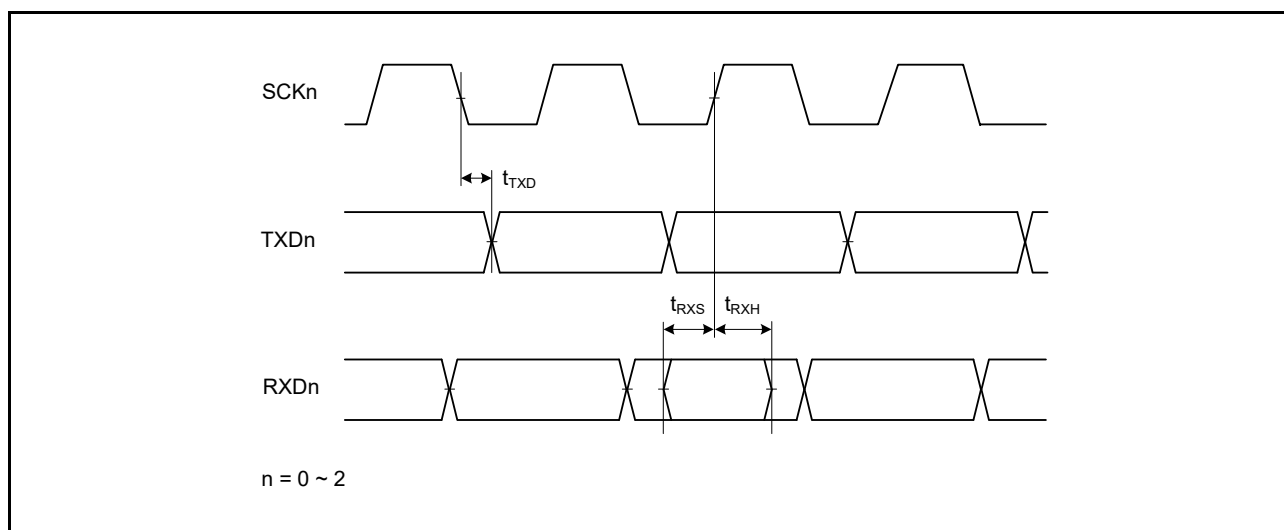


図 2.15 SCIFA 入出力タイミング/クロック同期式モード

2.4.3.6 RSPIa タイミング

表2.17 RSPIa タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号 (注1)	Min (注1)	Max (注1)	単位 (注1)	測定条件	
RSPIa	RSPCK クロック サイクル	マスタ	t_{SPcyc}	4	4096	t_{SEcyc}	図2.16
		スレーブ (注4)		8	4096		
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns	
		スレーブ		0.4	—	t_{SPcyc}	
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	—	ns	
		スレーブ		0.4	—	t_{SPcyc}	
	RSPCK クロック 立ち上がり/ 立ち下がり時間	出力	t_{SPCKr}	—	9	ns	
		入力	t_{SPCKf}	—	10	ns	
	データ入力セット アップ時間	マスタ	t_{SU}	6	—	ns	図2.17 ~ 図2.20
		スレーブ		$8 - t_{SEcyc}$	—		
	データ入力ホールド 時間	マスタ	t_H	t_{SEcyc}	—	ns	
		スレーブ		$8 + 2 \times t_{SEcyc}$	—		
	SSL セットアップ 時間	マスタ	t_{LEAD}	$N \times t_{SpCyc} - 3$ (注2)	$N \times t_{SpCyc} + 3$ (注2)	ns	
		スレーブ		4	—	t_{SEcyc}	
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SpCyc} - 3$ (注3)	$N \times t_{SpCyc} + 3$ (注3)	ns	
		スレーブ		4	—	t_{SEcyc}	
	データ出力遅延時間	マスタ	t_{OD}	—	6	ns	
		スレーブ		—	$3 \times t_{SEcyc} + 20$ (注4)		
	データ出力ホールド 時間	マスタ	t_{OH}	0	—	ns	
		スレーブ		0	—		
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SEcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SEcyc}$	ns	
		スレーブ		$4 \times t_{SEcyc}$	—		
	MOSI、MISO 立ち 上がり/立ち下がり 時間	出力	t_{Dr} 、 t_{Df}	—	9	ns	
		入力		—	10	ns	
	SSL 立ち上がり/ 立ち下がり時間	出力	t_{SSLr} 、 t_{SSLf}	—	9	ns	
		入力		—	10	ns	
スレーブアクセス時間		t_{SA}	—	4	t_{SEcyc}	図2.19、 図2.20	
スレーブ出力開放時間		t_{REL}	—	3	t_{SEcyc}		

注1. t_{SEcyc} : SERICLKの周期注2. $N = SPCKD$ の設定値 + 1 (1...8)注3. $N = SSLND$ の設定値 + 1 (1...8)

注4. ビットレートの設定によっては、データ出力遅延時間がRSPCKクロックサイクルの半周期を超える場合があります。マスタの電氣的特性を満たせるよう注意してください。

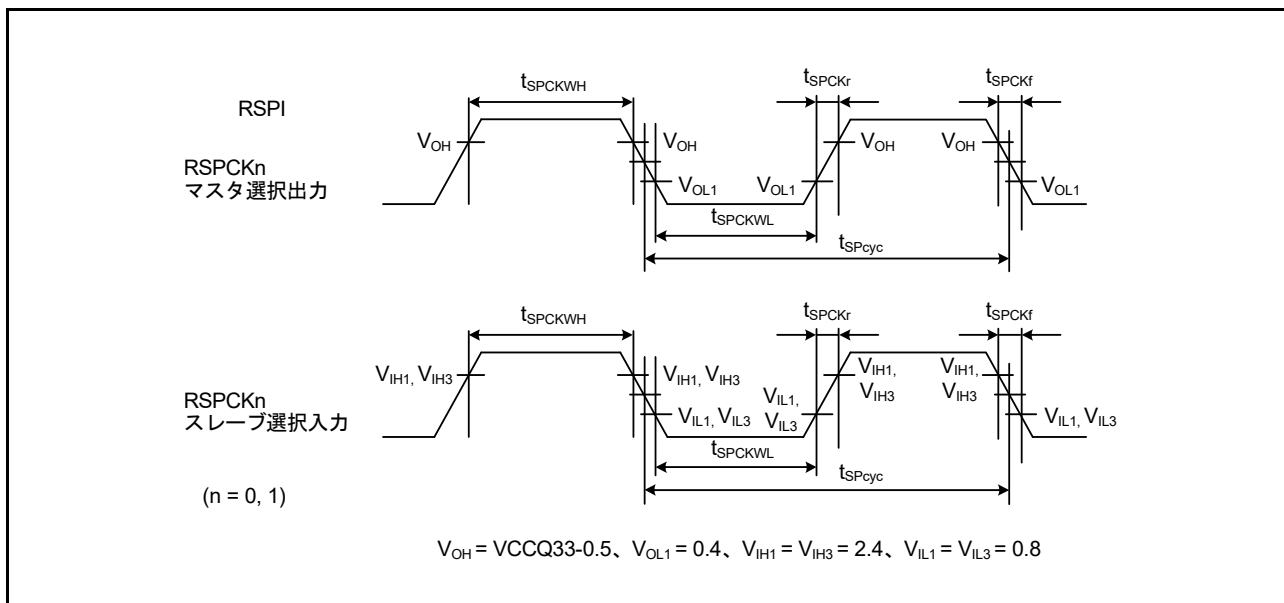


図 2.16 RSPIa クロックタイミング

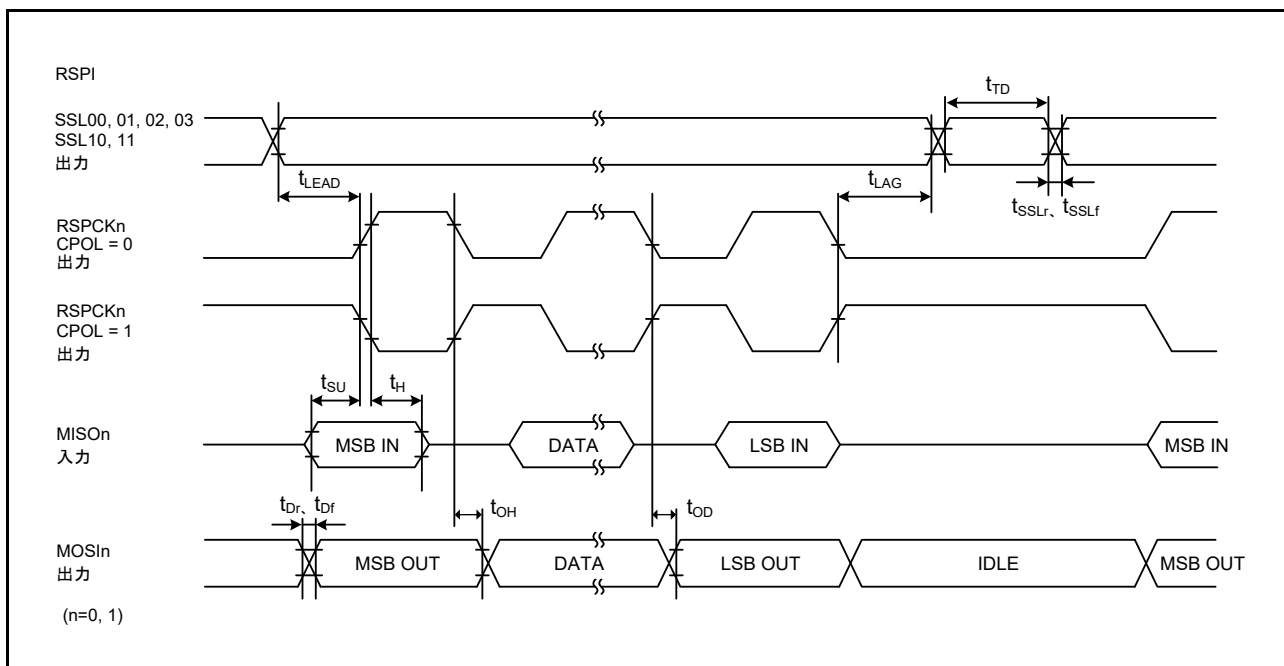


図 2.17 RSPIa タイミング (マスタ、CPHA = 0)

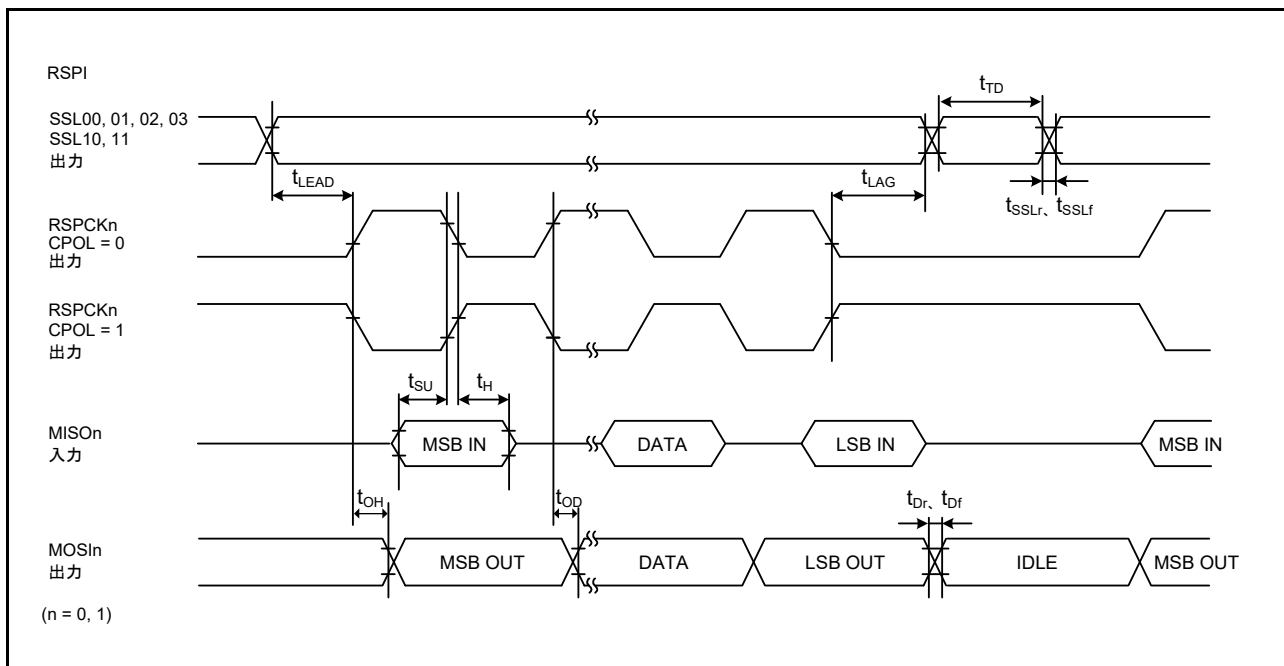


図 2.18 RSPIa タイミング (マスタ、CPHA = 1)

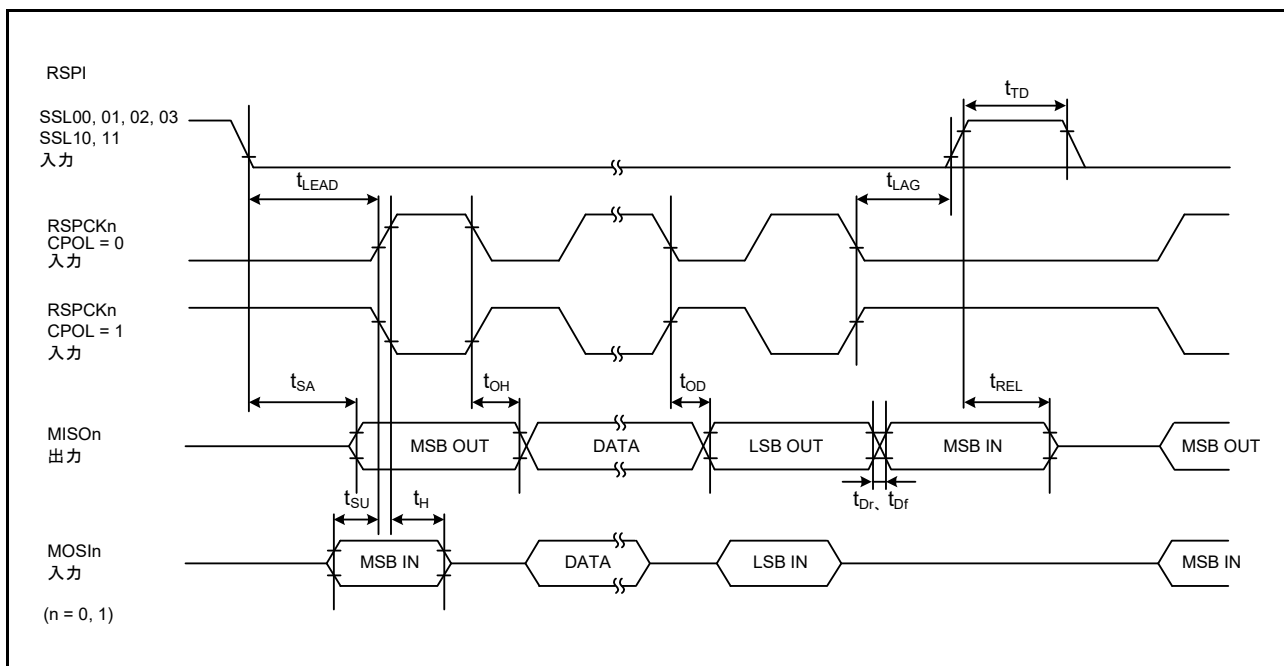


図 2.19 RSPI タイミング (スレーブ、CPHA = 0)

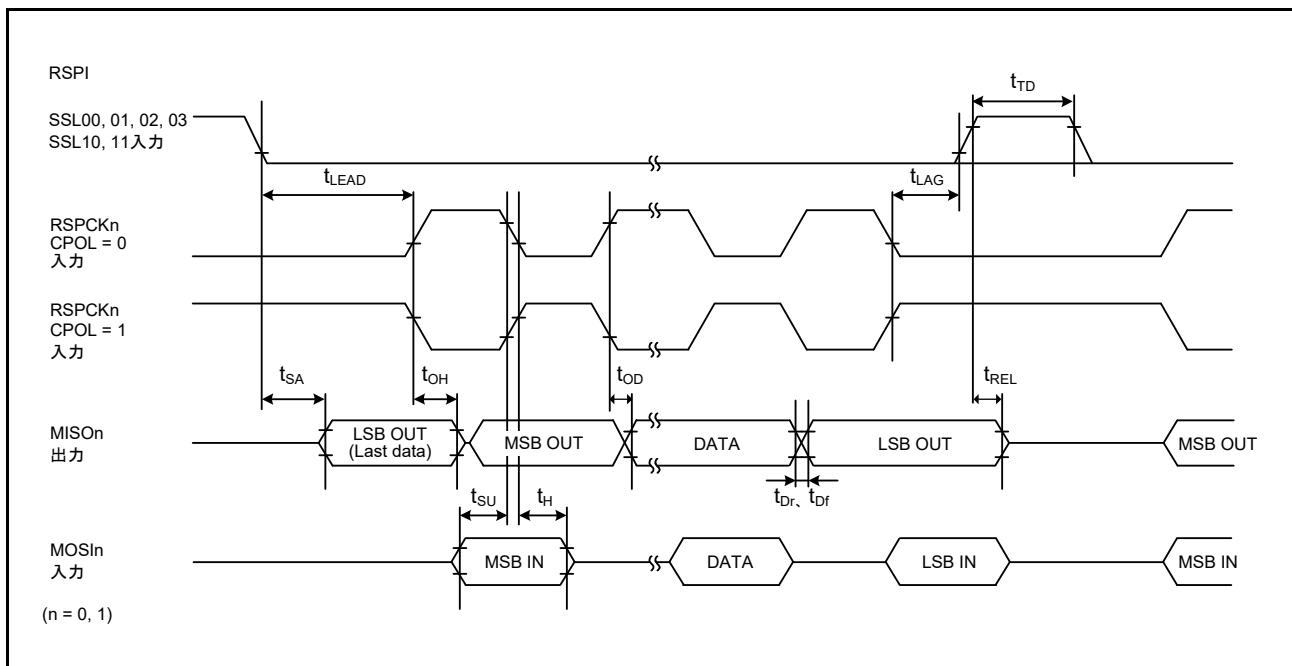


図 2.20 RSPI タイミング (スレーブ、CPHA = 1)

2.4.3.7 SPIBSC タイミング

表2.18 SPIBSC タイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} \times 0.5$ 、 $V_{OL1} = V_{CCQ33} \times 0.5$ 、 $C = 30\text{pF}$

項目		記号	min	max	単位 (注1)	測定条件
SPIBSC	SPBCLKクロックサイクル	t_{SPBcyc}	2	4080	t_{PAcyc}	図 2.21
	SPBCLKハイレベルパルス幅	t_{SPBWH}	0.45	0.55	t_{SPBcyc}	
	SPBCLKロウレベルパルス幅	t_{SPBWL}	0.45	0.55	t_{SPBcyc}	
	データ入力セットアップ時間	t_{SU}	3.5	—	ns	図 2.22、 図 2.23、 図 2.24
	データ入力ホールド時間	t_{H}	0.5	—	ns	
	SSLセットアップ時間	t_{LEAD}	$1 \times t_{SPBcyc} - 3$	$8 \times t_{SPBcyc}$	ns	
	SSLホールド時間	t_{LAG}	$1.5 \times t_{SPBcyc}$	$8.5 \times t_{SPBcyc} + 3$	ns	
	連続転送遅延時間	t_{TD}	1	8	t_{SPBcyc}	
	データ出力遅延時間	t_{OD}	—	3.6	ns	
	データ出力ホールド時間	t_{OH}	-1	—	ns	図 2.25、 図 2.26、 図 2.27
	データ出力バッファオン時間	t_{BON}	—	3.6	ns	
	データ出力バッファオフ時間	t_{BOFF}	-7	0	ns	

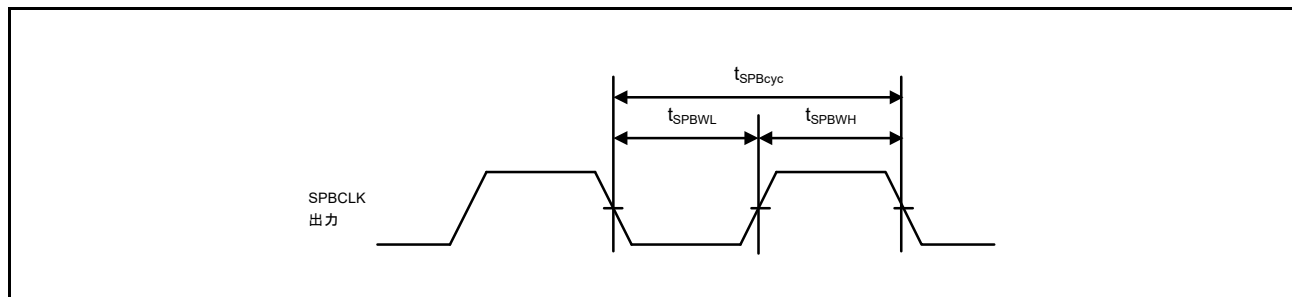
注1. t_{PAcyc} : PCLKAの周期

図 2.21 SPIBSC クロックタイミング

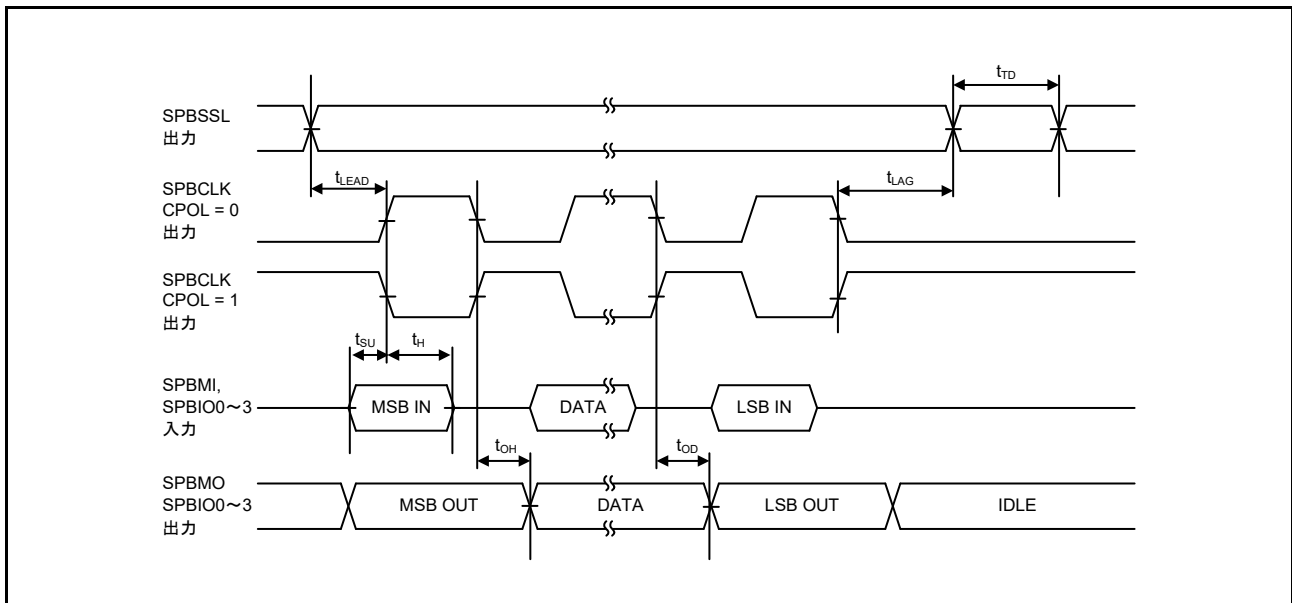


図 2.22 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 0)

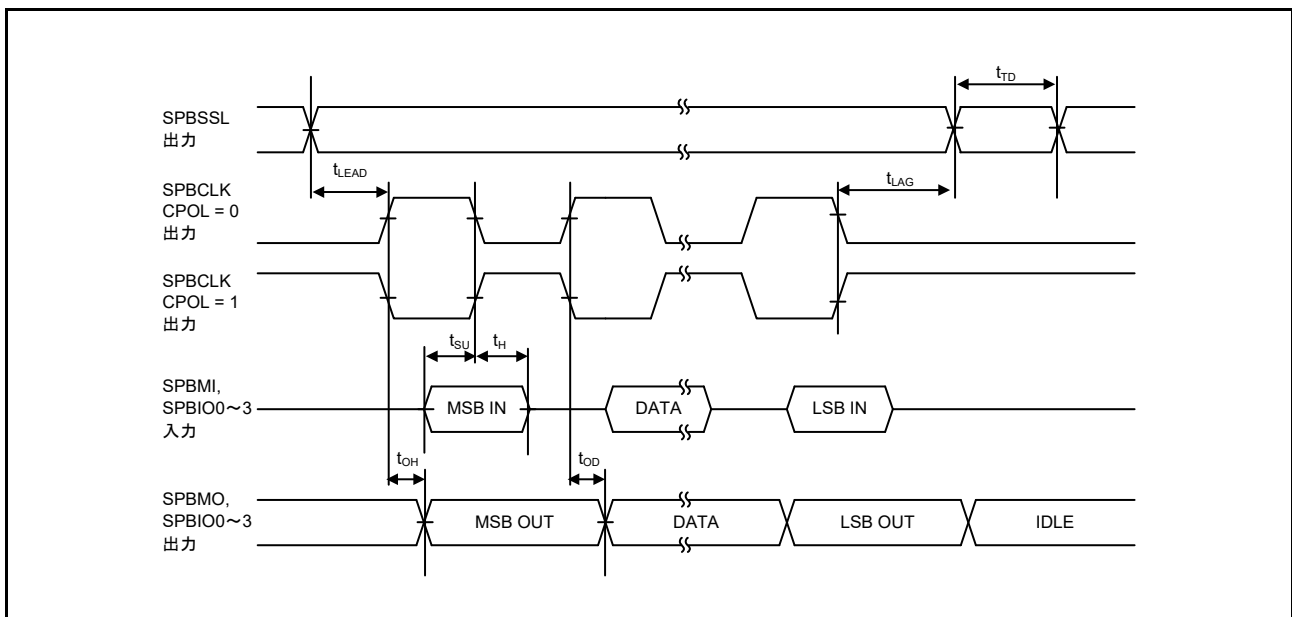


図 2.23 SPIBSC 送受信タイミング (CPHAT = 1, CPHAR = 1)

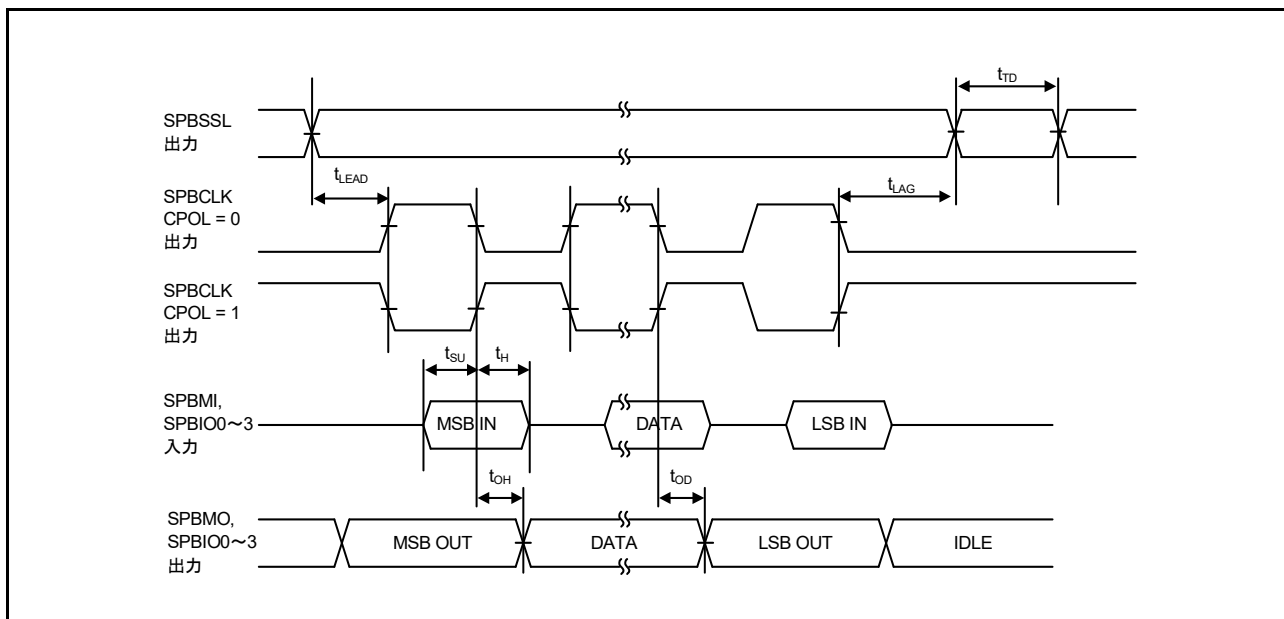


図 2.24 SPIBSC 送受信タイミング (CPHAT = 0, CPHAR = 1)

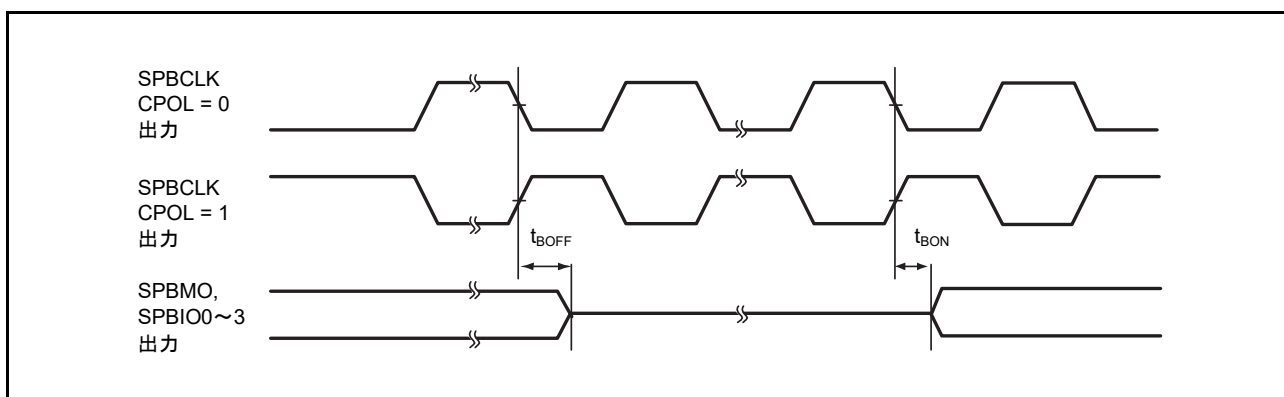


図 2.25 SPIBSC バッファオン/オフタイミング (CPHAT = 0, CPHAR = 0)

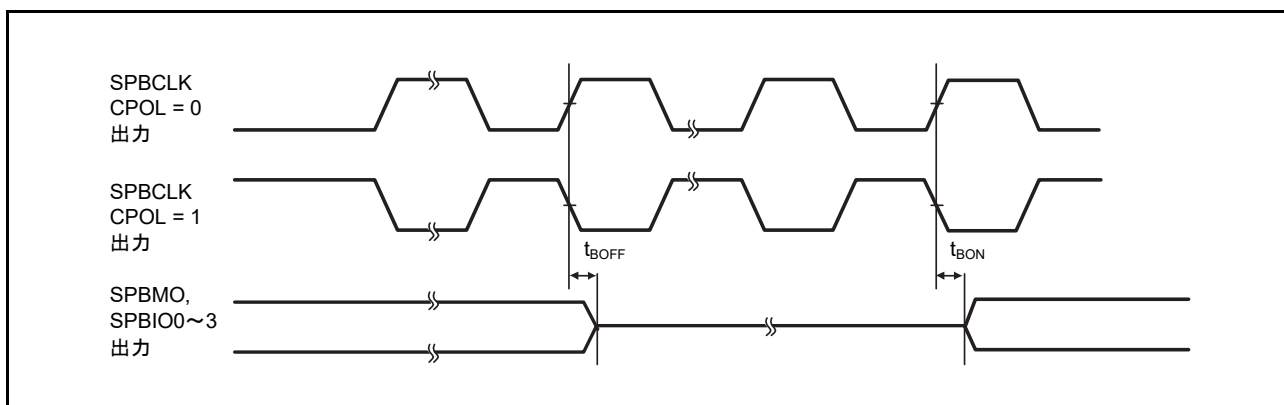


図 2.26 SPIBSC バッファオン/オフタイミング (CPHAT = 1, CPHAR = 1)

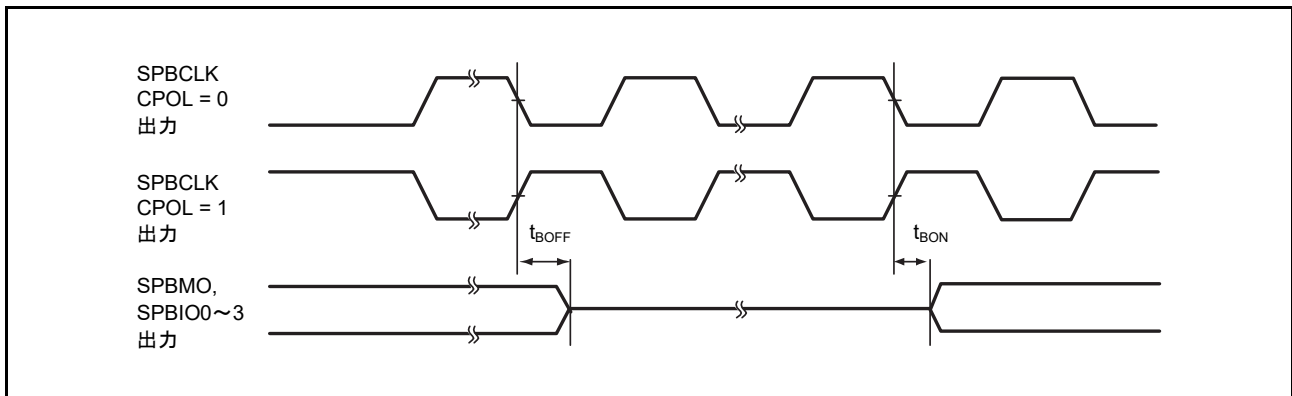


図 2.27 SPIBSC バッファオン/オフタイミング (CPHAT = 0, CPHAR = 1)

2.4.3.8 RII Ca タイミング

表 2.19 RII Ca タイミング

出力負荷条件 : $V_{OL2} = 0.4V$ 、 $I_{OL2} = 3mA$

項目		記号	min (注2)	max (注2)	単位 (注1)	測定条件
RII Ca (Standard-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{II Ccyc} + 1300$	—	ns	図 2.28
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{II Ccyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	開始条件入カホールド時間	t_{STAH}	$t_{II Ccyc} + 300$	—	ns	
	再送開始条件入カセットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入カセットアップ時間	t_{STOS}	1000	—	ns	
	データ入カセットアップ時間	t_{SDAS}	$t_{II Ccyc} + 50$	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RII Ca (Fast-mode)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{II Ccyc} + 600$	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{sr}	— (注4)	300	ns	
	SCL、SDA入力立ち下がり時間	t_{sf}	— (注4)	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{II Ccyc}$	ns	
	SDA入カバスフリー時間	t_{BUF}	$3(6) \times t_{II Ccyc} + 300$	—	ns	
	開始条件入カホールド時間	t_{STAH}	$t_{II Ccyc} + 300$	—	ns	
	再送開始条件入カセットアップ時間	t_{STAS}	300	—	ns	
	停止条件入カセットアップ時間	t_{STOS}	300	—	ns	
	データ入カセットアップ時間	t_{SDAS}	$t_{II Ccyc} + 50$	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷 (注3)	C_b	—	400	pF	

注1. $t_{II Ccyc}$: RII Cの内部基準クロック (IIC ϕ) の周期

注2. () 外の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 00bの場合を示します。() 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注3. C_b はバスラインの容量総計です。

注4. Fast-modeのtsr/tsfのmin.規格は設定していません。

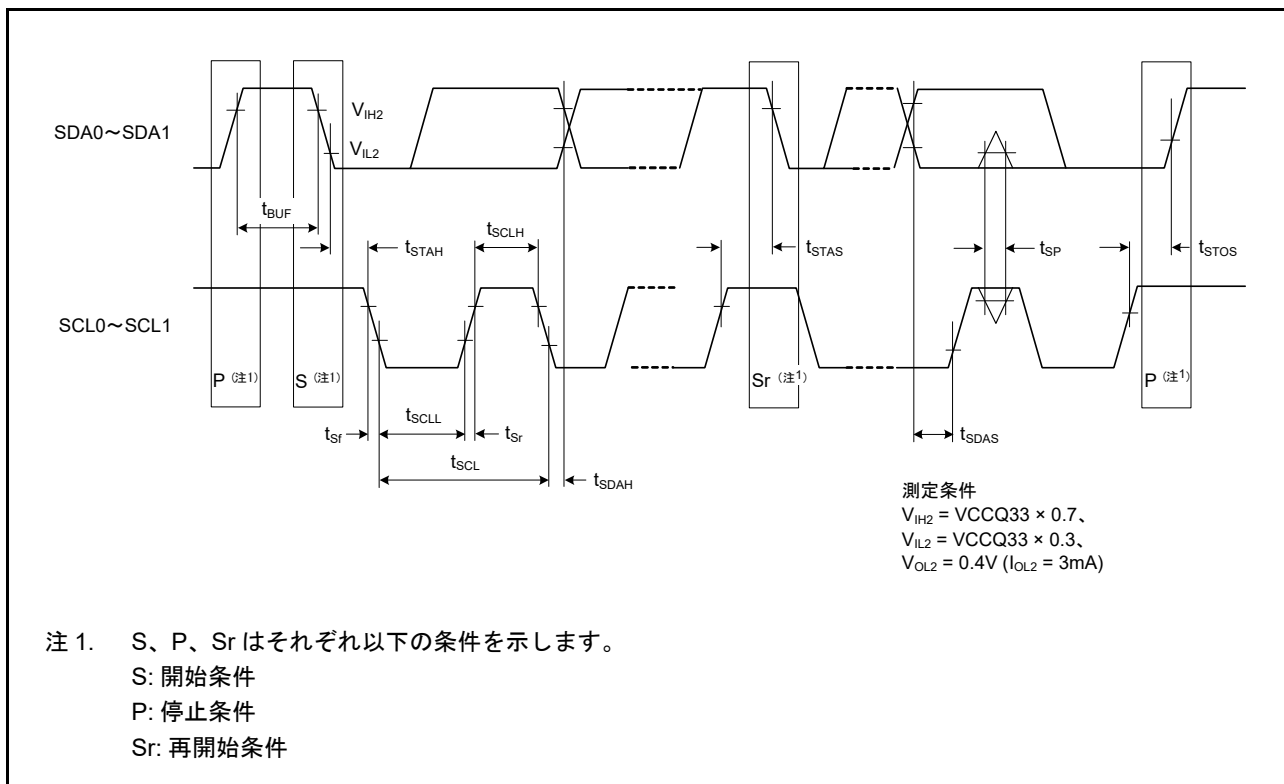


図 2.28 RIICa バスインタフェース入出力タイミング

2.4.3.9 シリアル・マネージメント・インタフェースタイミング

(1) シリアル・マネージメント・インタフェース (スレーブ) タイミング

表2.20 シリアル・マネージメント・インタフェース (スレーブ) タイミング (注1)

出力負荷条件: $V_{OH12} = 1.0V$ 、 $V_{OL12} = 0.2V$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
MDC入力周期	t_{MDC}	250	—	ns	図2.29
MDIOセットアップ時間	t_{SMDIO}	10	—	ns	
MDIOホールド時間	t_{HMDIO}	10	—	ns	
MDIO出力遅延時間	t_{DMDIO}	—	175	ns	

注1. P50, P51, P52, P53, P54, P55, P56端子のDSCRレジスタ“11”(1.2VIO駆動出力)設定時

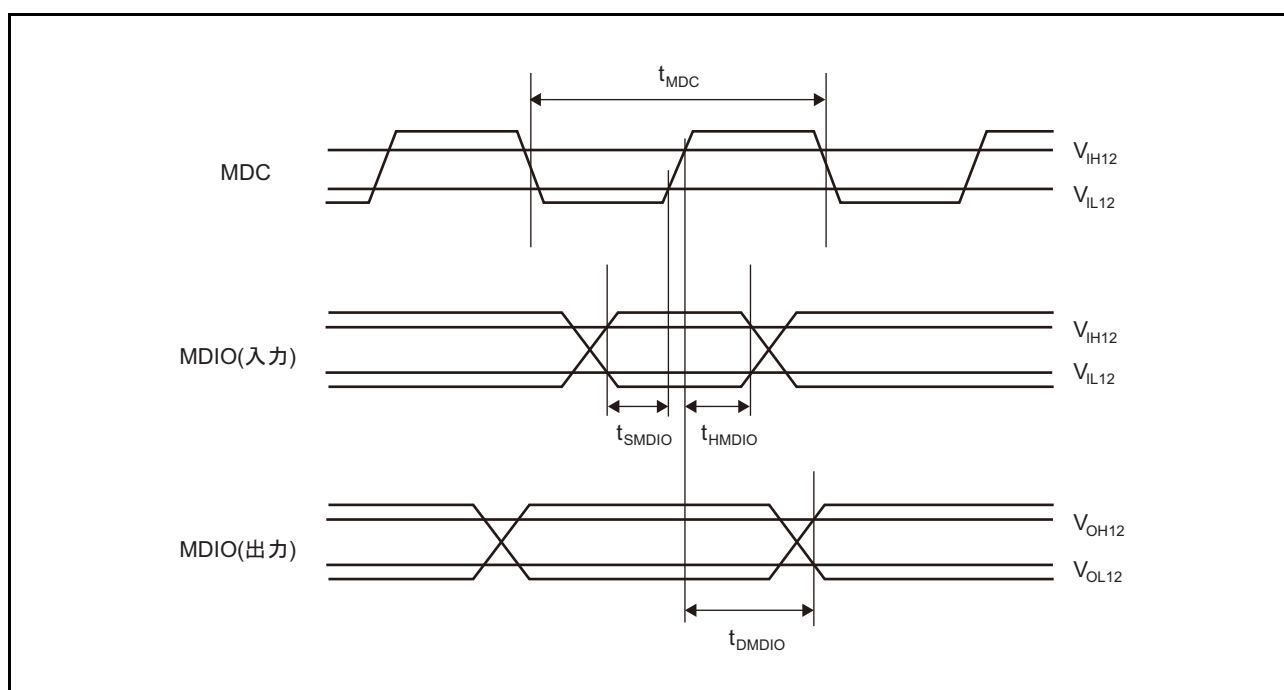


図 2.29 シリアル・マネージメント・インタフェース (スレーブ) タイミング

(2) シリアル・マネージメント・インタフェース（マスタ、チャンネル1）タイミング

表2.21 シリアル・マネージメント・インタフェース（マスタ、チャンネル1）タイミング

出力負荷条件： $V_{OH1} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$ 、 $C = 30pF$

項目	記号	min	max	単位	測定条件
MDC出力周期	t_{MMDC1}	100	—	ns	図2.30
MDIOセットアップ時間	$t_{SMMDIO1}$	40	—	ns	
MDIOホールド時間	$t_{HMMDIO1}$	0	—	ns	
MDIO出力遅延時間	$t_{DMMDIO1}$	-20	20	ns	

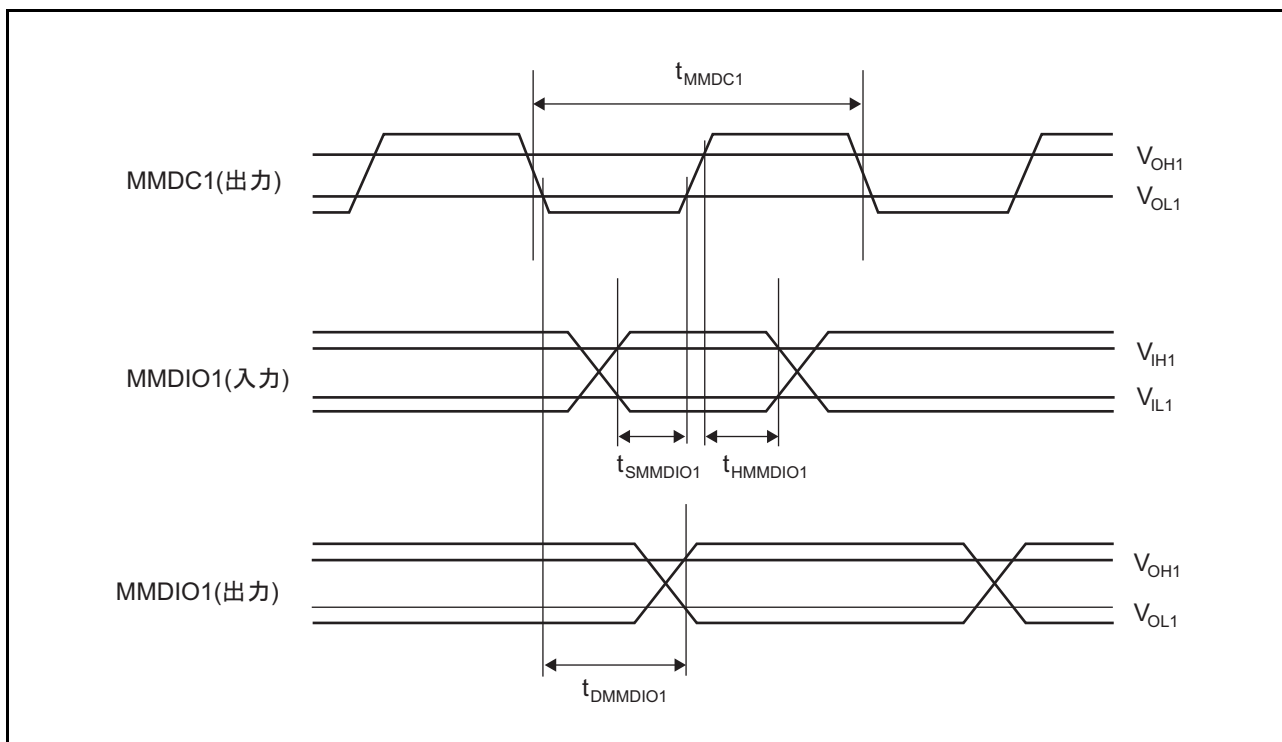


図 2.30 シリアル・マネージメント・インタフェース（マスタ、チャンネル1）タイミング

2.5 A/D 変換特性

- 条件 : $VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = 3.0 \sim 3.6V$
 $VREFH0 = 3.0 \sim 3.6V$ (ただし $AVCC0 \geq VREFH0$) ,
 $VREFH1 = 3.0 \sim 3.6V$ (ただし $AVCC1 \geq VREFH1$) ,
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表2.22 12ビットA/D (ユニット0) 変換特性1

項目	min	typ	max	単位	測定条件	
分解能	8	—	12	ビット		
アナログ入力容量	—	—	30	pF		
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN003)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0kΩ (注2)	1.2 (0.4 + 0.4) (注2)	—	3.6	μs	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプ リング24ステート サンプリング24ステー ト
断線検出アシスト機 能使用時	オフセット誤差	—	—	± 7.5	LSB	
	フルスケール誤差	—	—	± 7.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 7.5	LSB	
	DNL 微分非直線性誤差	—	—	± 3.0	LSB	
	INL 積分非直線性誤差	—	—	± 4.0	LSB	
	サンプルホールド回路の ホールド特性	—	—	3.2	μs	
チャンネル専用サンプル ホールド回路使用時 (AN000 ~ AN003)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0kΩ (注2)	1.2 (0.4 + 0.4) (注2)	—	3.6	μs	<ul style="list-style-type: none"> チャンネル専用サンプル ホールド回路のサンプ リング24ステート サンプリング24ステー ト
断線検出アシスト 機能未使用時	オフセット誤差	—	—	± 6.5	LSB	
	フルスケール誤差	—	—	± 6.5	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.5	LSB	
	DNL 微分非直線性誤差	—	—	± 3.0	LSB	
	INL 積分非直線性誤差	—	—	± 4.0	LSB	
	サンプルホールド回路の ホールド特性	—	—	3.2	μs	
チャンネル専用サンプル ホールド回路未使用時 (AN000 ~ AN007)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0kΩ (注2)	0.483 (0.267) (注2)	—	—	μs	サンプリング16ステート
	オフセット誤差	—	—	± 5.0	LSB	
	フルスケール誤差	—	—	± 5.0	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 6.0	LSB	
	DNL 微分非直線性誤差	—	—	± 2.5	LSB	
	INL 積分非直線性誤差	—	—	± 3.0	LSB	

- 注1. 変換時間はサンプリング時間と比較時間の合計計です（RZ/T1-Mグループ ユーザーズマニュアル ハードウェア編「30. 12ビットA/Dコンバータ（S12ADCa）」図30.22、図30.23のtSPLSH+tCONV）。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。

表2.23 12ビットA/D（ユニット1）変換特性1

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間 (注1) (PCLKG = 60MHz時)	許容信号源インピーダンス max = 1.0k Ω	0.883 (0.667) (注2)	—	—	μ s	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	—	± 6.0	LSB	
フルスケール誤差		—	—	± 6.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	—	± 6.0	LSB	
DNL 微分非直線性誤差		—	—	± 3.0	LSB	
INL 積分非直線性誤差		—	—	± 4.0	LSB	

- 注1. 変換時間はサンプリング時間と比較時間の合計計です（RZ/T1-Mグループ ユーザーズマニュアル ハードウェア編「30. 12ビットA/Dコンバータ（S12ADCa）」図30.22、図30.23のtSPLSH+tCONV）。各項目には、測定条件にサンプリングステート数を示します。
- 注2. () はサンプリング時間を示します。

- 条件 : $VDD = VCCQ12 = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = 3.0 \sim 3.6V$,
 $VREFH0 = 2.5 \sim 3.0V$ (ただし $AVCC0 \geq VREFH0$) ,
 $VREFH1 = 2.5 \sim 3.0V$ (ただし $AVCC1 \geq VREFH1$) ,
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表2.24 12ビットA/D (ユニット0) 変換特性2

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
アナログ入力容量		—	—	30	pF	
チャンネル専用サンプル ホールド回路未使用時 (AN000~AN007)	変換時間 (注1) (PCLKF = 60MHz時) 許容信号源インピーダンス max = 1.0k Ω	0.883 (0.667) (注2)	—	—	μs	サンプリング40ステート
	オフセット誤差	—	—	± 8.7	LSB	
	フルスケール誤差	—	—	± 8.7	LSB	
	量子化誤差	—	± 0.5	—	LSB	
	絶対精度	—	—	± 8.7	LSB	
	DNL 微分非直線性誤差	—	—	± 5.0	LSB	
	INL 積分非直線性誤差	—	—	± 6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計 (30. 12ビットA/Dコンバータ (S12ADCa) 図30.22、図30.23のtSPLSH + tCONV) です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

表2.25 12ビットA/D (ユニット1) 変換特性2

項目		min	typ	max	単位	測定条件
分解能		8	—	12	ビット	
変換時間 (注1) (PCLKG = 60MHz時)	許容信号源インピーダンス max = 1.0k Ω	0.883 (0.667) (注2)	—	—	μs	サンプリング40ステート
アナログ入力容量		—	—	30	pF	
オフセット誤差		—	—	± 8.7	LSB	
フルスケール誤差		—	—	± 8.7	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	—	± 8.7	LSB	
DNL 微分非直線性誤差		—	—	± 5.0	LSB	
INL 積分非直線性誤差		—	—	± 6.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計 (30. 12ビットA/Dコンバータ (S12ADCa) 図30.22、図30.23のtSPLSH + tCONV) です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

2.6 温度センサ特性

- 条件 : $VDD = PLLVDD0 = PLLVDD1 = 1.14 \sim 1.26V$,
 $VCCQ33 = AVCC0 = AVCC1 = VREFH0 = VREFH1 = 3.0 \sim 3.6V$
 $VSS = PLLVSS0 = PLLVSS1 = AVSS0 = AVSS1 = VREFL0 = VREFL1 = 0V$,
 $T_j = -40 \sim 110 \text{ }^\circ\text{C}$

表2.26 温度センサ特性

項目	min	typ	max	単位	測定条件
相対精度	—	± 1	—	$^\circ\text{C}$	
温度傾斜	—	4.1	—	mV/ $^\circ\text{C}$	
出力電位 (@25 $^\circ\text{C}$)	—	1.21	—	V	
温度センサ起動時間	—	—	30	μs	
サンプリング時間	4.25	—	—	μs	ADSSTRT.SST[7:0] = 255ステート (PCLKF[ADC(unit0)のサンプリングCLK] = 60MHz時の場合)

2.7 発振停止検出タイミング

表2.27 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
クロック切替え時間	t_{dr}	—	—	1	ms	図 2.31

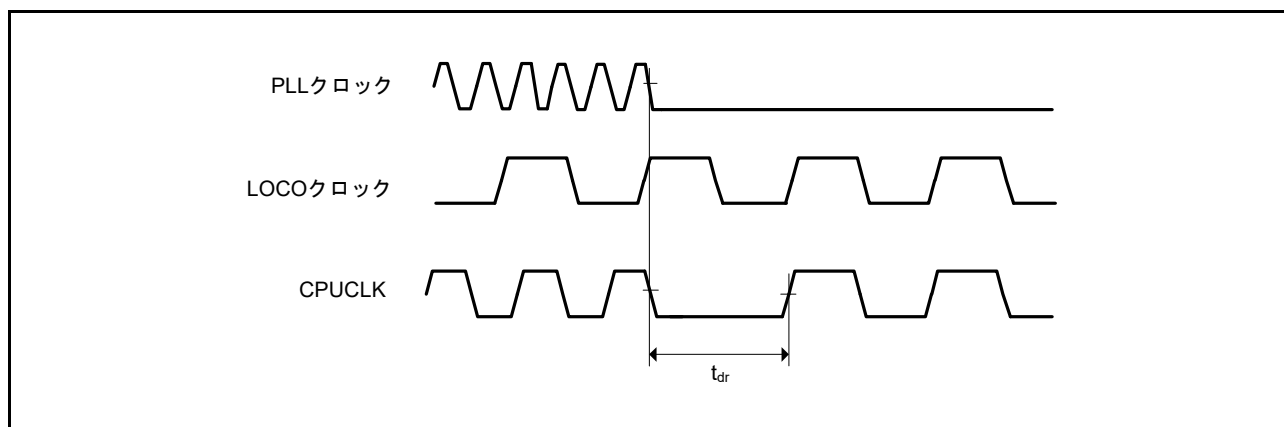


図 2.31 発振停止検出タイミング

2.8 デバッグインタフェースタイミング

表2.28 デバッグインタフェースタイミング

出力負荷条件 : $V_{OH} = V_{CCQ33} - 0.5V$ 、 $V_{OL1} = 0.4V$

項目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	30	—	ns	図2.32
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKロウレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	5	—	ns	図2.33 出力負荷 : 30pF
TDIホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIOホールド時間	t_{TMSH}	5	—	ns	
SWDIO遅延時間	t_{SWDO}	—	15	ns	
TDO遅延時間	t_{TDOD}	—	15	ns	
トレースクロック周期	t_{TCYC}	26.6	—	ns	図2.34 出力負荷 : 15pF
トレースデータ遅延時間	t_{TDT}	$0.25 \times t_{TCYC} - 2$	$0.25 \times t_{TCYC} + 2$	ns	

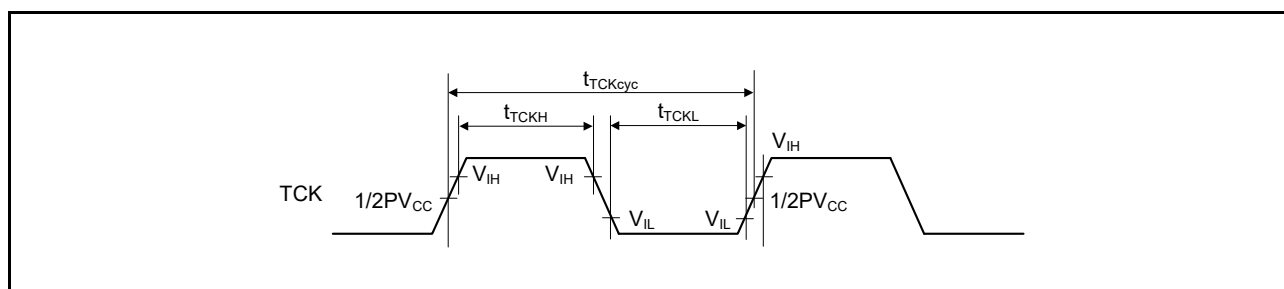


図 2.32 TCK 入力タイミング

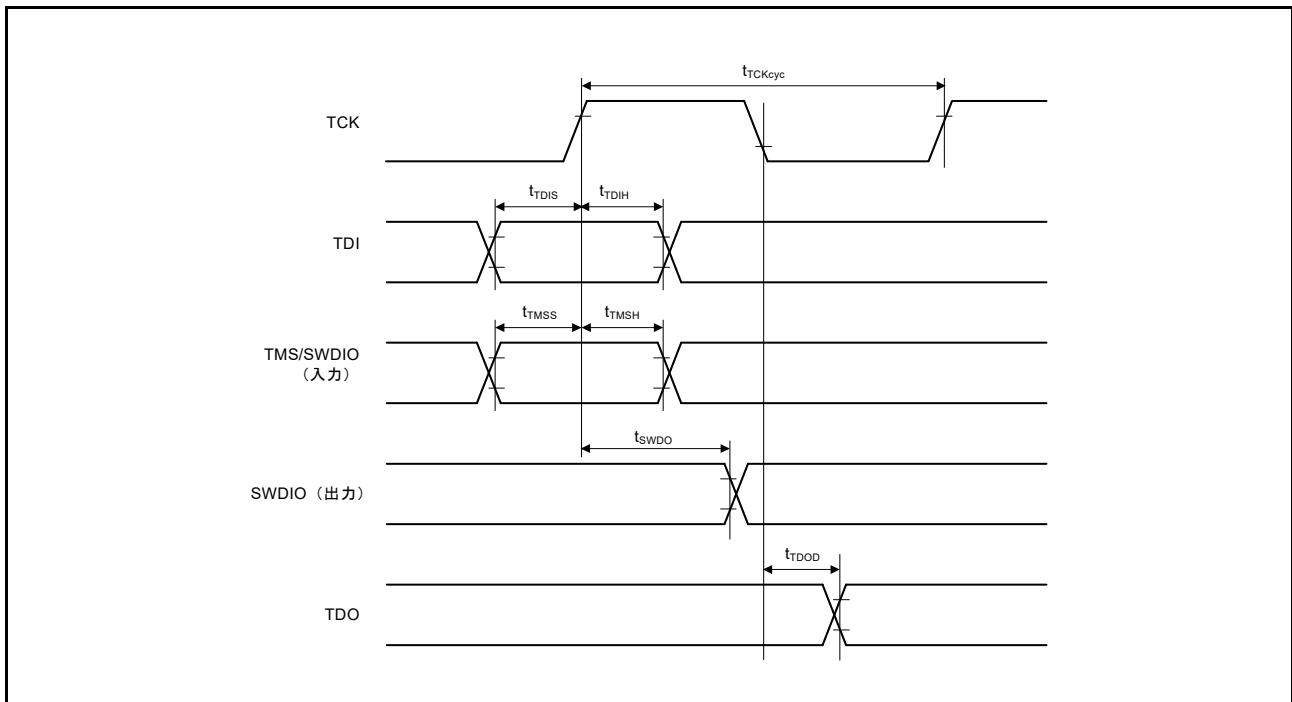


図 2.33 データ転送タイミング

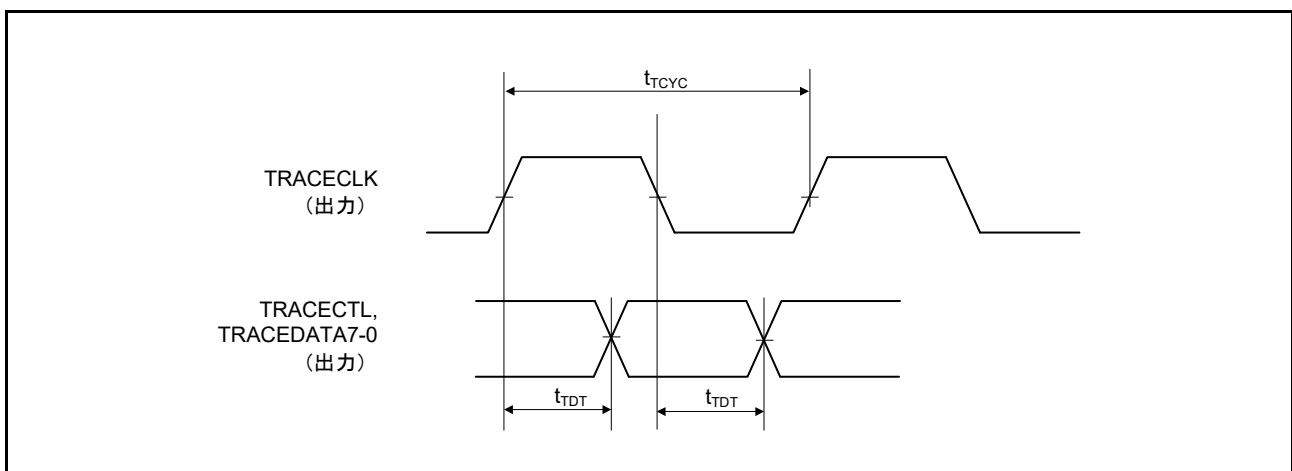


図 2.34 トレースインタフェースタイミング

改訂記録	RZ/T1-M グループ データシート
------	---------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.60	2014.11.14	—	初版発行
0.70	2014.12.22	特長	
		1	■動作温度範囲 タイトルと内容を修正
1.10	2016.05.11	特長	
		1	全面改訂
		1. 概要	
		2-19	全面改訂
		2. 電気的特性	
		20-49	新規作成
1.20	2016.12.27	1. 概要	
		2	1.1 仕様概要 説明を修正
		5	表 1.1 仕様概要 (4 / 5) 12ビットA/Dコンバータ: 変換時間を修正
		15	表 1.5 端子配置 (112ピンFBGA) (2 / 3) 端子番号E4: 端子名を修正
		17	表 1.6 機能別端子一覧 (112ピンFBGA) (1 / 3) ピン番号B11: 電源/クロック/システム制御の端子名を修正
		18	表 1.6 機能別端子一覧 (112ピンFBGA) (2 / 3) ピン番号H3: 電源/クロック/システム制御の端子名を修正
		2. 電気的特性	
		21	図 2.1 電源投入・切断シーケンス 誤記を修正: us→μs
		23	表 2.4 DC特性 (3) 入力プルアップMOS電流/抵抗、入力プルダウンMOS電流/抵抗: 項目修正、Rpu1、Rpu2、Rpd1、Rpd2を追加、入力プルダウンMOS電流/抵抗の測定条件を修正、注1.を追加、注4.を修正: ポートP50～P56の記述を削除
		39	表 2.18 SPIBSCタイミング 測定条件: 参照図を追加
1.30	2017.04.14	2. 電気的特性	
		41	図 2.24 SPIBSC送受信タイミング(CPHAT = 0, CPHAR = 1) 変更
1.40	2017.06.30	全体	Cortex-R4F → Cortex-R4に変更
		1	特長 マネージメントデータインプット/アウトプットインタフェース(MDIO)の特長を変更
		1. 概要	
		3	表 1.1 仕様概要 (2/5) 汎用入出力ポート: 入出力を変更
		4	表 1.1 仕様概要 (3/5) マネージメントデータインプット/アウトプットインタフェース(MDIO): 説明を変更
		6	表 1.1 仕様概要 注3.を追加
		7	表 1.2 機能一覧 MDIO → MDIO マスタ/MDIOスレーブに変更、注1.を追加
		8	表 1.3 製品一覧表 製品を追加、オプション機能を追加
		9	図 1.1 ブロック図 注1.を削除
		11	表 1.4 端子機能一覧(2/3) マネージメントデータインプット/アウトプットインタフェース(MDIOM/MDIO): MDIO → MDIOM/MDIOに変更、MDC, MDIOの機能を変更、MMDC0, MMDC1, MMDIO0, MMDIO1端子を追加、PRTADR0～PRTADR4の機能を変更
		12	表 1.4 端子機能一覧(3/3) I/Oポート: P50～P56端子を追加、注2.を追加
		13	図 1.2 ピン配置図(112ピンFBGA) 端子番号C4, C5, E10, F11を変更
		14	表 1.5 端子配置(112ピンFBGA) (1/3) 端子番号C4, C5の端子名を変更
		15	表 1.5 端子配置(112ピンFBGA) (2/3) 端子番号E10, F11の端子名を変更
16	表 1.5 端子配置(112ピンFBGA) 注1.を削除		
17	表 1.6 機能別端子一覧(112ピンFBGA) (1/3) ピン番号C4, C5の通信機能の端子を変更		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.40	2017.06.30	18	表 1.6 機能別端子一覧(112ピンFBGA) (2/3) ピン番号E10, F11の通信機能の端子を変更
		19	表 1.6 機能別端子一覧(112ピンFBGA) 注1.を削除
		2. 電気的特性	
		22	表 2.3 DC特性 (2) 【消費電流】 通常動作時(VDD)の特性を変更
		23	表 2.4 DC特性(3) 出力Highレベル電圧(VOH)の適用端子を変更
		24	表 2.5 1.2V端子 DC特性 プルアップMOS電流/抵抗、プルダウンMOS電流/抵抗を追加
		45	2.4.3.9 (1) シリアル・マネージメント・インタフェース(スレーブ)タイミングに変更
		45	図 2.29 シリアル・マネージメント・インタフェース (スレーブ) タイミング 変更
		—	図 2.30 シリアル・マネージメント・インタフェース出力タイミング 削除
		46	2.4.3.9 (2) シリアル・マネージメント・インタフェース (マスタ、チャンネル0) タイミング 追加
47	2.4.3.9 (3) シリアル・マネージメント・インタフェース (マスタ、チャンネル1) タイミング 追加		
1.50	2017.11.30	全体	Cortex-R4F → Cortex-R4 に変更
		1. 概要	
		9	図 1.1 ブロック図 注1.を追加
		11	表 1.4 端子機能一覧(2/3) CTS0#~CTS2#: 入出力、機能説明を変更、RTS0#~RTS2#: 機能説明を変更
		2. 電気的特性	
35	表 2.17 RSPIa タイミング 注2.を追加、注2.→注3.		
1.60	2019.05.31	全体	
		—	ARM社→Arm社に修正
		特長	
		1	マネージメントデータインプット/アウトプットインタフェース(MDIO) DSP制御用インタフェースの説明を修正
		1. 概要	
		2	表 1.1 仕様概要 (1 / 5) 中央演算処理装置 (Cortex-R4) : ARMv7-Rアーキテクチャ→Armv7-Rアーキテクチャに修正
		2	表 1.1 仕様概要 (1 / 5) ECC付き拡張内蔵SRAM : “動作周波数”を追加
		2	表 1.1 仕様概要 (1 / 5) DMAC : 起動要因を変更
		3	表 1.1 仕様概要 (2 / 5) CMT : イベントリンク機能を変更
		10	表 1.4 端子機能一覧 (1 / 3) TPUaの各端子の機能説明を修正
		2. 電気的特性	
		23	表 2.4 DC特性 (3) シュミットトリガ入力電圧/5Vトレラント対応端子の注の参照先を修正 : (注3) → (注2)
		1.70	2020.10.23
1. 概要			
6	表 1.1 仕様概要 (5/5) 注2 修正		
9	図 1.1 ブロック図 不要なバス線 削除		
11	表 1.4 端子機能一覧 (2/3) MDIOM/MDIO : MMDC0、MMDIO0端子 削除		
13	図 1.2 ピン配置図 (112ピンFBGA) MMDC0、MMDIO0端子 削除		
14	表 1.5 端子配置 (112ピンFBGA) (1/3) MMDC0、MMDIO0端子 削除		
17	表 1.6 機能別端子一覧 (112ピンFBGA) (1/3) MMDC0、MMDIO0端子 削除		
2. 電気的特性			
23	表 2.4 DC特性 (3) 出力Lowレベル電圧 / 5Vトレラント対応端子(注3) / V_{OL2} → 出力Lowレベル電圧 / 5Vトレラント対応端子(注2) / V_{OL2} 脚注番号修正、スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子 / $ I_{TSil} $ → スリーステートリーク電流 (オフ状態) / 5Vトレラント対応端子(注2) / $ I_{TSil} $ 脚注番号追加		
43	表 2.19 RIICa タイミング 注4 修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
1.70	2020.10.23	—	2.4.3.9 シリアル・マネージメント・インタフェースタイミング (2) シリアル・マネージメント・インタフェース (マスタ、チャンネル0) タイミング 削除、 表2.21 シリアル・マネージメント・インタフェース (マスタ、チャンネル0) タイミング 削除、 図2.30 シリアル・マネージメント・インタフェース (マスタ、チャンネル0) タイミング 削除
		46	表2.21 シリアル・マネージメント・インタフェース (マスタ、チャンネル1) タイミング 注1 削除

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。