

200/400/800 MHz シングル Arm® Cortex®-R52 で、FPU および NEON™ を内蔵し、1.0 MB 内蔵 SRAM、イーサネット MAC、EtherCAT、USB 2.0 ハイスピード、CAN/CANFD、xSPI や $\Delta\Sigma$ インタフェースなどの多種多様な通信機能、エンコーダインタフェース、およびセキュリティ機能を搭載

特長

- **内蔵 32 ビット Arm Cortex-R52 プロセッサ**
 - 動作周波数 200/400/800 MHz の高速リアルタイムコントローラ
 - シングル 32 ビット Arm Cortex-R52 (revision r1p2) を内蔵
 - ECC 付き密接合メモリ (TCM)
 - 512 KB/64 KB
 - ECC 付き命令キャッシュ/データキャッシュ
 - キャッシュあたり、16 KB
 - 高速割り込み
 - FPU は単精度及び倍精度の加算、減算、乗算、除算、積和演算、平方根演算をサポート
 - NEON および Advanced SIMD は、整数及び単精度の演算結果をサポート
 - 8 段パイプラインのハーバードアーキテクチャ
 - メモリプロテクションユニット (MPU) 対応
 - Arm CoreSight アーキテクチャで JTAG および SWD インタフェースによるデバッグをサポート
- **低消費電力**
 - スタンバイモード、モジュールストップ機能
- **内蔵 SRAM**
 - 1.0 MB の ECC 付き内蔵 SRAM
 - 150/200 MHz
- **データ転送**
 - DMAC : 16 チャンネル×2 ユニット
- **イベントリンクコントローラ**
 - 割り込みを介さず、イベント信号でモジュール動作が可能
 - CPU がスタンバイ状態でも、モジュール間のリンク動作が可能
- **リセットと電源電圧制御**
 - 端子リセットを含む 4 つのリセット要因
- **クロック機能**
 - 外部クロック/発振器入力周波数 : 25 MHz
 - CPU クロック周波数 : 200/400/800 MHz または 150/300/600 MHz
 - システムクロック周波数 : 200 MHz または 150 MHz
 - 低速オンチップオシレータ (LOCO) : 240 kHz
- **セーフティ機能**
 - レジスタライトプロテクション、入力クロック発振停止の検出および CRC
 - マスタメモリプロテクションユニット (MPU)
- **セキュリティ機能 (オプション)**
 - 暗号化によるセキュリティを備えたブートモード
 - JTAG 認証
 - 暗号化アクセラレータ
 - TRNG
- **エンコーダインタフェース**
 - 最大 2 チャンネル
 - EnDat 2.2、BiSS-C、A-format、および HIPERFACE DSL 準拠のインタフェース
 - エンコーダからの周波数分周出力
- **多種多様な通信機能を内蔵**
 - イーサネット
 - EtherCAT スレーブコントローラ : 3 ポート
 - イーサネット MAC : 1 ポート
 - USB2.0 ハイスピードホスト/ファンクション : 1 チャンネル
 - ISO11898-1 準拠の CAN/CANFD : 2 チャンネル
 - 16 バイトの送受信 FIFO 搭載 SCI : 6 チャンネル
 - I2C バスインタフェース : 3 チャンネル (最大転送速度 400 kbps)
 - SPI : 4 チャンネル
 - xSPI : 2 チャンネル
- **外部ホストインタフェース**
 - シリアルホストインタフェース (SHOSTIF)
- **外部アドレス空間**
 - 高速データ転送バス (最大 100 MHz)
 - 最大 4 つの CS 領域をサポート
 - エリアごとに 8 ビットまたは 16 ビットバス空間を選択可能
- **最大 35 本の拡張タイマ機能**
 - 16 ビット×8 + 32 ビット MTU3 (9 チャンネル)、32 ビット GPT (18 チャンネル) : インプットキャプチャ、アウトプットコンペア、PWM 波形出力
 - 16 ビット CMT (6 チャンネル)、32 ビット CMTW (2 チャンネル)
- **$\Delta\Sigma$ インタフェース**
 - 外部に最大 6 チャンネルの $\Delta\Sigma$ モジュレータを接続可能
- **三角関数ユニット**
 - sin と cos を同時に計算
 - arctan と hypot_k を同時に計算
- **12 ビット A/D コンバータ**
 - 12 ビット×2 ユニット (ユニット 0 とユニット 1 に対し 4 チャンネル)
- **チップ内部の温度を計測可能な温度センサを内蔵**
- **汎用入出力ポート**
 - 入力プルアップ/プルダウン
 - 周辺機能の入出力端子を複数個所から選択可能
- **動作温度範囲**
 - Tj = -40~+125°C

1. 概要

1.1 仕様概要

この MPU は、浮動小数点ユニット (FPU) および NEON™ を備える Arm Cortex®-R52 プロセッサによる高性能 ASSP です。システム構成に必要な統合された周辺機能を内蔵しています。

表 1.1 CPU

機能	機能説明
Arm®Cortex®-R52	<ul style="list-style-type: none"> ● シングルプロセッサ ● 動作周波数 <ul style="list-style-type: none"> – 200 MHz/400 MHz/800 MHz (200 MHz システムクロック時) – 150 MHz/300 MHz/600 MHz (150 MHz システムクロック時) ● Arm の設計による 32 ビット CPU Cortex-R52 (Core revision r1p2) ● アドレス空間: 4 GB ● 命令キャッシュ <ul style="list-style-type: none"> – 16 KB (ECC あり) ● データキャッシュ <ul style="list-style-type: none"> – 16 KB (ECC あり) ● 密接合メモリ (TCM) <ul style="list-style-type: none"> – ATCM: 512 KB (ECC あり) 1 ウェイト (400 MHz 未満の場合、0 ウェイト選択可能) – BTCM: 64 KB (ECC あり) 0 ウェイト – CTCM: 0 KB (ECC あり) ● 命令セット: Arm v8-R アーキテクチャ、Thumb® および Thumb-2 を含めてサポート ● データ配置 <ul style="list-style-type: none"> – 命令: リトルエンディアン – データ: リトルエンディアン ● 2 ステージメモリプロテクションユニット (MPU)
FPU	<ul style="list-style-type: none"> ● 単精度と倍精度の加算、減算、乗算、除算、積和演算、および平方根演算をサポートします。 ● レジスタ <ul style="list-style-type: none"> 64 ビットシングルワードレジスタ: 64 ビット × 32 (16 個のダブルワードレジスタとして使用可能: 128 ビット × 16)
NEON	整数および単精度の演算結果をサポートする Advanced SIMD

表 1.2 メモリ

機能	機能説明
ECC 付き内蔵システム SRAM	<ul style="list-style-type: none"> ● 容量: 最大 1.0 MB (512 KB × 2 ユニット) (ECC 付き) ● 動作周波数: 150 MHz/200 MHz ● SEC-DED (シングルエラー訂正/ダブルエラー検出) エラーインジェクションをサポート
ワンタイムプログラマブルメモリ	<ul style="list-style-type: none"> ● 上書き保護 ● 冗長機能対応 ● ECC 対応 ● 使用可能な情報 <ul style="list-style-type: none"> – ユニーク ID – 認証設定 – トリミングデータ – ブートモード設定 – ユーザー領域

表 1.3 システム

機能	機能説明
動作モード	<p>動作モードは、以下の 7 つのブートモードから選択できます。</p> <ul style="list-style-type: none"> ● xSPI0 ブートモード (CS0 × 1 ブートシリアルフラッシュ) ● xSPI0 ブートモード (CS0 × 8 ブートシリアルフラッシュ) ● 16 ビットバスブートモード (CS0 NOR フラッシュ) ● xSPI1 ブートモード (CS0 × 1 ブートシリアルフラッシュ) ● SHOSTIF ブートモード ● SCI ブートモード ● USB ブートモード
クロック発生回路	<ul style="list-style-type: none"> ● 入力クロックは、外部クロックまたは外部発振子から選択できます。 ● 入力クロック発振停止の検出 ● 以下のクロックを発生します。 <ul style="list-style-type: none"> - CPU0 クロック：システムクロック×1、×2、または×4 - システムクロック：150 MHz または 200 MHz - 高速周辺モジュールクロック：150 MHz または 200 MHz - 中速周辺モジュールクロック：75 MHz または 100 MHz - 低速周辺モジュールクロック：37.5 MHz または 50 MHz - 12 ビット A/D コンバータの ADC クロック：18.75 MHz または 25 MHz - 外部バスクロック：最高 100 MHz - 低速オンチップオシレータ：240 kHz (固定)
リセット	RES#端子リセット、ソフトウェアリセット、エラーリセット、CPU0 ソフトウェアリセット
低消費電力機能	<ul style="list-style-type: none"> ● スタンバイモード (Cortex-R52) ● モジュールストップ機能
割り込みコントローラ (ICU)	<ul style="list-style-type: none"> ● Cortex-R52 CPU0 の GIC (ジェネリック割り込みコントローラ) に割り込みを接続します ● 起動トリガを DMAC と ELC に接続します ● 周辺機能割り込み：448 要因 ● 外部割り込み：16 要因 (IRQ0~IRQ15 端子) ● ソフトウェア割り込み：8 要因 ● ノンマスクابل割り込み：1 要因 ● 16 レベルの優先順位を GIC に設定可能
バスステートコントローラ (BSC)	<ul style="list-style-type: none"> ● 外部アドレス空間は、管理のために 4 領域 (CS0、CS2、CS3、CS5) に分割されています。 ● 以下の機能を各領域に対して独立して設定可能です。 バスサイズ (8 ビットまたは 16 ビット)：使用可能なサイズは領域に依存します。アクセスウェイトサイクル数 (領域によって、読み出しアクセスサイクルと書き込みアクセスサイクルに異なるウェイトサイクルを指定可能です)。アイドルウェイトサイクル挿入 (同じ領域のアクセスサイクル間、または異なる領域のアクセスサイクル間)。各領域に接続されるメモリを指定することで、SRAM、バイト選択付き SRAM、SDRAM、およびバースト ROM (クロック同期または調歩同期) への直接接続が可能です。アドレス/データマルチプレクス入出力 (MPX) インタフェースも利用可能です。 ● 対象の領域に従って、チップセレクト信号 (CS0#~CS5#) を出力します。(CS アサートまたはネゲートのタイミングはソフトウェアで選択可能です。) ● 各領域に接続可能なメモリタイプ CS0: SRAM、バースト ROM CS2: SRAM CS2 + CS3 : SRAM、SDRAM (CS2 のみの SDRAM はサポートされていません。) CS3: SRAM、SDRAM CS5: SRAM、MPX-IO ● SDRAM リフレッシュ オートリフレッシュモード/セルフリフレッシュモードを選択可能 ● SDRAM バーストアクセス

表 1.4 ダイレクトメモリアクセス

機能	機能説明
ダイレクトメモリアクセスコントローラ (DMAC)	<ul style="list-style-type: none"> ● 2 ユニット (各ユニットあたり 16 チャンネル) ● 転送モード：シングル転送モードおよびブロック転送モード ● 転送サイズ <ul style="list-style-type: none"> - ユニット 0：1/2/4/8/16/32/64 バイト - ユニット 1：1/2/4/8/16/32 バイト ● 起動要因：ソフトウェアトリガ、外部 DMA 要求 (DREQ)、外部割り込み、および周辺機能割り込み要求

表 1.5 I/O ポート

機能	機能説明
汎用入出力ポート	<ul style="list-style-type: none"> ● 196 ピン FBGA <ul style="list-style-type: none"> - 入出力端子：110 - 入力端子：1 - プルアップ/プルダウン抵抗：111 ● 入出力機能の場所は、複数の端子から選択可能です。

表 1.6 イベントリンク

機能	機能説明
イベントリンクコントローラ (ELC)	<ul style="list-style-type: none"> ● 最大 213 イベント信号をモジュールの動作に連動可能です。 ● 特にタイマ系のモジュールの動作はイベント信号の入力で起動できます。 ● ポート 16 およびポート 18 の信号のイベントリンク動作が可能になります。

表 1.7 タイマ (1/2)

機能	機能説明
マルチファンクションタイマパルスユニット 3 (MTU3)	<ul style="list-style-type: none"> ● 9 チャンネル (16 ビット×8 チャンネル、32 ビット×1 チャンネル) ● 最大 28 本のパルス入出力および 3 本のパルス入力が可能 ● チャンネルごとに 10、11、12、または 14 種類のカウンタ入力クロック信号から選択可能 (最高動作周波数 200 MHz) ● インพุットキャプチャ機能 ● 39 本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ ● カウンタクリア動作 (コンペアマッチ/インพุットキャプチャによる同期クリア) ● 複数のタイマカウンタ (TCNT) への同時書き込み ● カウンタの同期動作による各レジスタの同時入出力 ● バッファ動作 ● カスケード接続動作をサポート ● レジスタデータの自動転送 ● パルス出力モード <ul style="list-style-type: none"> - トグル/PWM/相補 PWM/リセット同期 PWM ● 相補 PWM 出力モード <ul style="list-style-type: none"> - 3 相のインバータ制御用ノンオーバーラップ波形を出力 - デッドタイム自動設定 - PWM デューティサイクル：PWM のデューティ比を 0~100%の任意の値に選択可能 - A/D 変換要求ディレイド機能 - 山/谷割り込み間引き機能 - ダブルバッファ機能 ● リセット同期 PWM モード <ul style="list-style-type: none"> - 任意のデューティ比の正相/逆相 PWM 波形を 6 相出力 ● 位相計数モード：16 ビットモード (チャンネル 1 および 2) /32 ビットモード (チャンネル 1 と 2 のカスケード接続) ● デッドタイム補償用カウンタ機能 ● A/D コンバータの変換開始トリガ生成機能 ● A/D コンバータの変換開始トリガの間引きが可能 ● インพุットキャプチャ端子および外部カウントクロック端子の信号に対するデジタルノイズフィルタ機能 ● ELC によるイベントリンク機能をサポート

表 1.7 タイマ (2/2)

機能	機能説明
汎用 PWM タイマ (GPT)	<ul style="list-style-type: none"> ● 32 ビット × 18 チャンネル ● 全チャンネルで、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波）が選択可能 ● チャンネルごとに 4 種類のカウンタ入力クロック信号から選択可能（LLPP での最高動作周波数 400 MHz） ● チャンネルごとに 2 本の入出力端子 ● チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本 ● 各チャンネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、バッファレジスタとして 4 本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 ● アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成可能 ● チャンネルごとにフレーム周期用レジスタを搭載（オーバーフロー/アンダーフローで割り込み可能） ● 複数のカウンタを同期動作可能 ● 同期動作のモード（同時または任意のタイミングでずらす（位相シフトに対応）） ● PWM 動作の際にデッドタイム生成が可能 ● 3 つのカウンタを組み合わせ、デッドタイム付きの 3 相 PWM 波形を生成可能 ● 外部/内部トリガによるアップカウンタ/ダウンカウンタのスタート/クリア/ストップ/切り替え、およびインプットキャプチャ ● 入力レベル比較によるアップカウンタ/ダウンカウンタのスタート/クリア/ストップ/切り替え、およびインプットキャプチャ ● 内部トリガ要因：ソフトウェアおよびコンペアマッチ ● A/D コンバータの変換開始トリガ生成機能 ● インプットキャプチャ端子および外部トリガ端子の信号に対するデジタルノイズフィルタ機能 ● ELC によるイベントリンク機能をサポート ● 谷、または山/谷から出力デューティ 0%および出力デューティ 100%機能を選択可能（全ユニット）
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> ● (16 ビット × 2 チャンネル) × 3 ユニット ● チャンネルごとに 4 種類のカウンタ入力クロック信号から選択
コンペアマッチタイマ W (CMTW)	<ul style="list-style-type: none"> ● (32 ビット × 1 チャンネル) × 2 ユニット ● コンペアマッチ、インプットキャプチャ入力、およびアウトプットコンペア出力が可能 ● チャンネルごとに 4 種類のカウンタ入力クロック信号から選択 ● コンペアマッチ、インプットキャプチャ、およびアウトプットコンペアのイベントに応答して、割り込み要求の出力が可能
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> ● 14 ビット × 1 チャンネル ● チャンネルごとに 6 種類のカウンタ入力クロック信号から選択
ポートアウトプットイネーブル 3 (POE3)	<ul style="list-style-type: none"> ● MTU3 波形出力端子のハイインピーダンス制御 ● 以下の 5 つの入力端子からの入力：POE0#、POE4#、POE8#、POE10#、POE11# ● 出力短絡検出（PWM 出力が同時にアクティブレベルになったことを検出）による起動 ● 入力クロック発振停止検出、PLL 発振異常検出、2 種類の DSMIF エラー検出、またはソフトウェアによる起動 ● 出力制御対象端子をプログラマブルに追加制御可能
GPT 用のポートアウトプットイネーブル (POEG)	<ul style="list-style-type: none"> ● GPT 波形出力の出力禁止を制御 ● GTETRIG 端子の入力レベル検出による起動 ● GPT からの出力禁止要求による起動 ● 発振停止検出、2 種類の DSMIF エラー検出（LLPP のユニットのみ）、またはソフトウェアによる起動
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> ● 2000 年から 2099 年までの 100 年カレンダー ● BCD コード表示 ● クロック源は、メイン発振器を分周 ● うるう年自動補正機能

表 1.8 通信インタフェース (1/2)

機能	機能説明
イーサネット MAC (GMAC) ^(注2)	<ul style="list-style-type: none"> 1 ポート IEEE802.3 IEEE1588-2008 EEE 用の IEEE802.3-az-2010 10/100/1000 Mbps データ転送をサポート 全二重モードおよび半二重モードに対応 16 KB までの標準フレームとジャンボフレームの両方をサポートするプログラマブルなフレーム長 17 本のアドレスフィルタブロック用 MAC アドレスレジスタ 多様なフレキシブルアドレスフィルタモードをサポート 先進の IEEE 1588-2002 および 2008 イーサネットフレームタイムスタンプをサポート RMII/RGMII コンバータが MII/RMII/RGMII インタフェースをサポート タイマモジュール
EtherCAT スレーブコントローラ (ESC) (注1)(注2)	<ul style="list-style-type: none"> 1 チャンネル (3 ポート) EtherCAT スレーブコントローラ IP コア (Beckhoff Automation GmbH 製) を搭載 MII インタフェースをサポート。イーサネットサブシステムの RGMII コンバータが MII/RMII インタフェースをサポート。
USB2.0 HS ホスト/ファンクションモジュール	<ul style="list-style-type: none"> 1 ポート USB 2.0 仕様に準拠 OTG 対応 転送速度 <ul style="list-style-type: none"> ハイスピード (480 Mbps)、フルスピード (12 Mbps)、およびロースピード (1.5 Mbps、ホストのみ) 通信バッファ <ul style="list-style-type: none"> ホストモード用に 1 KB の RAM を内蔵 ファンクションモード用に 8 KB の RAM を内蔵 DMAC (2 チャンネル) を内蔵
シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> 6 チャンネル 5 種類の通信モード <ul style="list-style-type: none"> 調歩同期式インタフェース 8 ビットクロック同期式インタフェース 簡易 I2C (マスタのみ) 簡易 SPI スマートカードインタフェース クロック源は、4 つの内部クロック信号から選択 内蔵のポーレートジェネレータにより任意のビットレートを設定可能 全二重モードおよび半二重モード通信 データ長: 7~9 ビット (調歩同期式モード) ビットレート変調 倍速モード (調歩同期式モード、クロック同期式モード、および簡易 SPI モード) RS-485 ドライバコントロール機能 (調歩同期式モード) 自己診断機能を有効にするループバック機能 (調歩同期式モード、クロック同期式モード)
I ² C バスインタフェース (IIC)	<ul style="list-style-type: none"> 3 チャンネル 通信フォーマット: I2C バスフォーマットまたは SMBus フォーマット マスタ/スレーブモードを選択可能 マルチマスタ対応 最大転送速度: 400 kbps (スタンダードモードおよびファストモード)
CAN-FD モジュール (CANFD) ^(注3)	<ul style="list-style-type: none"> 2 チャンネル CAN-FD ISO 11898-1 (2015) 準拠 通信速度 <ul style="list-style-type: none"> クラシカル CAN モード: 1 Mbps CAN FD モード: <ul style="list-style-type: none"> 公称ビットレート: 最大 1 Mbps データビットレート: 最大 8 Mbps 合計 192 メッセージバッファ (フレームサイズが 76 バイトの場合) <ul style="list-style-type: none"> 個別バッファ: TX 用 64 個 共用バッファ: TX と RX 共用 128 個 (FIFO を含む) 11 ビットの標準 ID および 18 ビットの拡張 ID の選択可能な ID タイプ 選択可能なフレームタイプ: データフレームとリモートフレーム 最大 256 の受信ルール

表 1.8 通信インタフェース (2/2)

機能	機能説明
シリアルペリフェラルインタフェース (SPI)	<ul style="list-style-type: none"> 4 チャンネル SPI 転送機能 MOSI (マスタ出力、スレーブ入力)、MISO (マスタ入力、スレーブ出力)、SSL (スレーブ選択)、および RSPCK (SPI クロック) 信号を使用して、マスタまたはスレーブとしてシリアル転送が可能な SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) でシリアル通信が可能 データフォーマット <ul style="list-style-type: none"> MSB ファースト/LSB ファーストの切り替え可能 転送ビット長を 4 ビット~32 ビットから選択可能 32 ビット×4 ステージ FIFO の送信用バッファと受信用バッファ 1 回の転送動作で最大 4 フレームの送受信が可能 (1 フレームは最大 32 ビット) マスタ受信時、RSPCK は受信バッファフルで自動停止可能
拡張シリアルペリフェラルインタフェース (xSPI)	<ul style="list-style-type: none"> 2 チャンネル JESD251 準拠 マルチスレーブは最大 2 スレーブ プロトコルモード: 1/4/8 ビン SDR/DDR 1S-1S-1S、4S-4D-4D、8D-8D-8D OctaFlash、OctaRAM、HyperFlash、および HyperRAM をサポート プロトコルモード: QSPI 互換の 2/4 ビン SDR 1S-2S-2S、2S-2S-2S 1S-4S-4S、4S-4S-4S 設定可能なアドレス長 設定可能な初期アクセスレイテンシサイクル XiP モードをサポート 最大 256 MB アドレス空間をサポート 低レイテンシのバーストリードプリフェッチ機能 高スループットのバーストライト高性能バッファ 最大 4 コマンドまで設定可能なマニュアルコマンド 出力クロック/入カストロブのポートタイミングシフト リセット解除後の自動コマンド設定: 最大 4 コマンド xSPI0 には 1.8 V/3.3 V が選択可能、xSPI1 には 3.3 V 固定

注 1. EtherCAT は、Beckhoff Automation GmbH, Germany の登録商標です。

注 2. 製品には、GMAC および ESC をサポートしない製品があります。

注 3. 製品には、クラシカル CAN モードのみのものがあります。

表 1.9 アナログ

機能	機能説明
12 ビット A/D コンバータ (ADC12)	<ul style="list-style-type: none"> 12 ビット×2 ユニット (ユニット 0: 4 チャンネル、ユニット 1: 4 チャンネル) 分解能: 12 ビット 変換時間 0.84 μs/チャンネル 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード/3 グループスキャンモード) グループ優先制御 サンプル&ホールド機能 共用のサンプル&ホールド回路を搭載 上記に加え、チャンネル専用サンプル&ホールド機能を搭載 (ユニット 0、ユニット 1 とともに 3 チャンネル) サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 ダブルトリガモード (A/D 変換データ 2 重化機能) 3 種類の A/D 変換開始方法 ソフトウェアトリガ、タイマ (MTU3、ELC) のトリガ、外部トリガ ELC によるイベントリンク機能をサポート
温度センサユニット (TSU)	<ul style="list-style-type: none"> 1 チャンネル 相対精度: $\pm 1^\circ\text{C}$ (Typ)

表 1.10 産業用インタフェース用ハードウェアアクセラレータ

機能	機能説明
ΔΣ インタフェース (DSMIF)	<ul style="list-style-type: none"> 3 チャンネル × 2 ユニット 2 入力 (U/V) または 3 入力 (U/V/W) 選択可能 最大 6 本の ΔΣ モジュレータを外部から接続可能 Sinc フィルタは、1 次、2 次、または 3 次を選択可能 POE3 と POEG に直接エラー接続 電流エラー検出の機能強化
三角関数ユニット (TFU)	\sin 、 \cos 、 \arctan 、 $\text{hypot}_k (\sqrt{x^2 + y^2}/k)$ の計算 <ul style="list-style-type: none"> \sin と \cos の同時計算 \arctan と hypot_k の同時計算
エンコーダインタフェース	<ul style="list-style-type: none"> EnDat 2.2 (2 ユニット) BiSS-C (2 ユニット) A-format (2 ユニット) HIPERFACE DSL (2 ユニット) ENCOUT (1 ユニット)

表 1.11 セーフティ

機能	機能説明
メモリプロテクションユニット (MPU)	<ul style="list-style-type: none"> Cortex-R52 MPU 2 ステージ MPU (EL2 および EL1) 各 MPU あたり 24 領域 マスタ MPU Cortex-R52 以外のマスタ (DMAC、USB、イーサネット MAC、CoreSight、SHOSTIF) に対するメモリプロテクション
レジスタライトプロテクション機能	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
CRC 演算器 (CRC)	<ul style="list-style-type: none"> 2 チャンネル 8、16、または 32 ビット単位の任意のデータ長に対して CRC コードを生成 以下の 4 つの多項式から選択可能： <ul style="list-style-type: none"> $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (32-Ethernet) $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C) $X^{16} + X^{15} + X^2 + 1$ (CRC-16) $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT) $X^8 + X^2 + X + 1$ (CRC-8)
クロックモニタ回路 (CLMA)	<ul style="list-style-type: none"> 入力クロック (メインクロック発振器)、PLL 回路、または低速オンチップオシレータからの異常な出力クロック周波数を監視 入力クロック発振停止の検出：使用可能
データ演算回路 (DOC)	16 ビットのデータを比較、加算、または減算する機能
独立周辺モジュール	<ul style="list-style-type: none"> 以下のセーフティ機能専用周辺モジュールが利用可能です： <ul style="list-style-type: none"> GPT：4 チャンネル SCI：1 チャンネル IIC：1 チャンネル SPI：1 チャンネル CRC：1 ユニット RTC：1 ユニット GPIO：通常 GPIO と兼用可能 ECC 付き内蔵システム SRAM これらの周辺モジュールは通常の周辺モジュールから独立してマッピングされているため、EL2 MPU によりアクセス保護が可能です。

表 1.12 セキュリティ

機能	機能説明
セキュリティ(注1)	<ul style="list-style-type: none"> ● セキュアブート ● JTAG 認証 ● 暗号化アクセラレータ <ul style="list-style-type: none"> - 対称暗号: CBC/ECB/CTR/GCM/XTS の AES128/192/256 ビット - 非対称暗号: ECC 256 ビット、RSA 1024/2048/3072 ビット、RSAES-OAEP - ハッシュ: SHA-1、SHA-2 - メッセージ認証: HMAC、CMAC、GMAC - 署名アルゴリズム: NIST P-256 による ECDSA、RSASSA-PSS、RSASSA-PKCS1 ● TRNG

注 1. 詳しくは、弊社営業担当までお問い合わせください。

表 1.13 デバッグ

機能	機能説明
デバッグインターフェース	<ul style="list-style-type: none"> ● Arm の設計による CoreSight アーキテクチャ ● JTAG/SWD インターフェースによるデバッグ機能、トレースポートインターフェースによるトレース機能

表 1.14 外部ホストインターフェース

機能	機能説明
シリアルホストインターフェース (SHOSTIF)	<ul style="list-style-type: none"> ● スレーブモードでのシリアル通信が可能です。 ● 対応インターフェース <ul style="list-style-type: none"> - モトローラシリアルペリフェラルインターフェース (4 線式 SPI) - デュアル、クワッド、またはオクタール SPI による拡張 SPI モード ● シリアルクロック極性切り替え ● シリアルクロック位相切り替え ● シングルデータ転送 ● データサイズは最大 32 ビット × 64 バースト
メールボックスおよびセマフォ (MBXSEM)	<ul style="list-style-type: none"> ● 8 つのセマフォ ● 外部ホスト CPU から Cortex-R52 へと Cortex-R52 から外部ホスト CPU への両方向に用いる 4 つの 32 ビットメールボックス ● 外部ホスト CPU と Cortex-R52 の両方から、割り込みの発生とクリアが可能

表 1.15 その他

機能	機能説明
電源電圧	VDD = 1.1 V (Core) VCC18 = 1.8 V (PLL, USB, ADC, TSU) VCC33 = 3.3 V (I/O, USB) VCC1833 = 1.8 V (RGMII, xSPI) または 3.3 V (RMII/MII, xSPI(注1))
動作温度	Tj = -40~+125°C
パッケージ	196 ピン FBGA (12 mm × 12 mm、0.8mm ピッチ)

注 1. 最高 xSPI クロック周波数は 3.3 V 時に 75 MHz です。

1.2 製品ラインナップ

表 1.16 に製品ラインナップを示します。

表 1.16 製品ラインナップ

型名	パッケージ	CPU	システム SRAM 容量	CAN	EtherCAT	セキュリティ
R9A07G074M08GBG	PLBG0196GC-A	シングル Cortex- R52	1.0 MB	CAN-FD	使用可能	使用可能
R9A07G074M05GBG	PLBG0196GC-A	シングル Cortex- R52	1.0 MB	クラシカル CAN	使用不可	使用可能
R9A07G074M04GBG	PLBG0196GC-A	シングル Cortex- R52	1.0 MB	CAN-FD	使用可能	使用不可
R9A07G074M01GBG	PLBG0196GC-A	シングル Cortex- R52	1.0 MB	クラシカル CAN	使用不可	使用不可

1.3 ブロック図

図 1.1 にブロック図を示します。

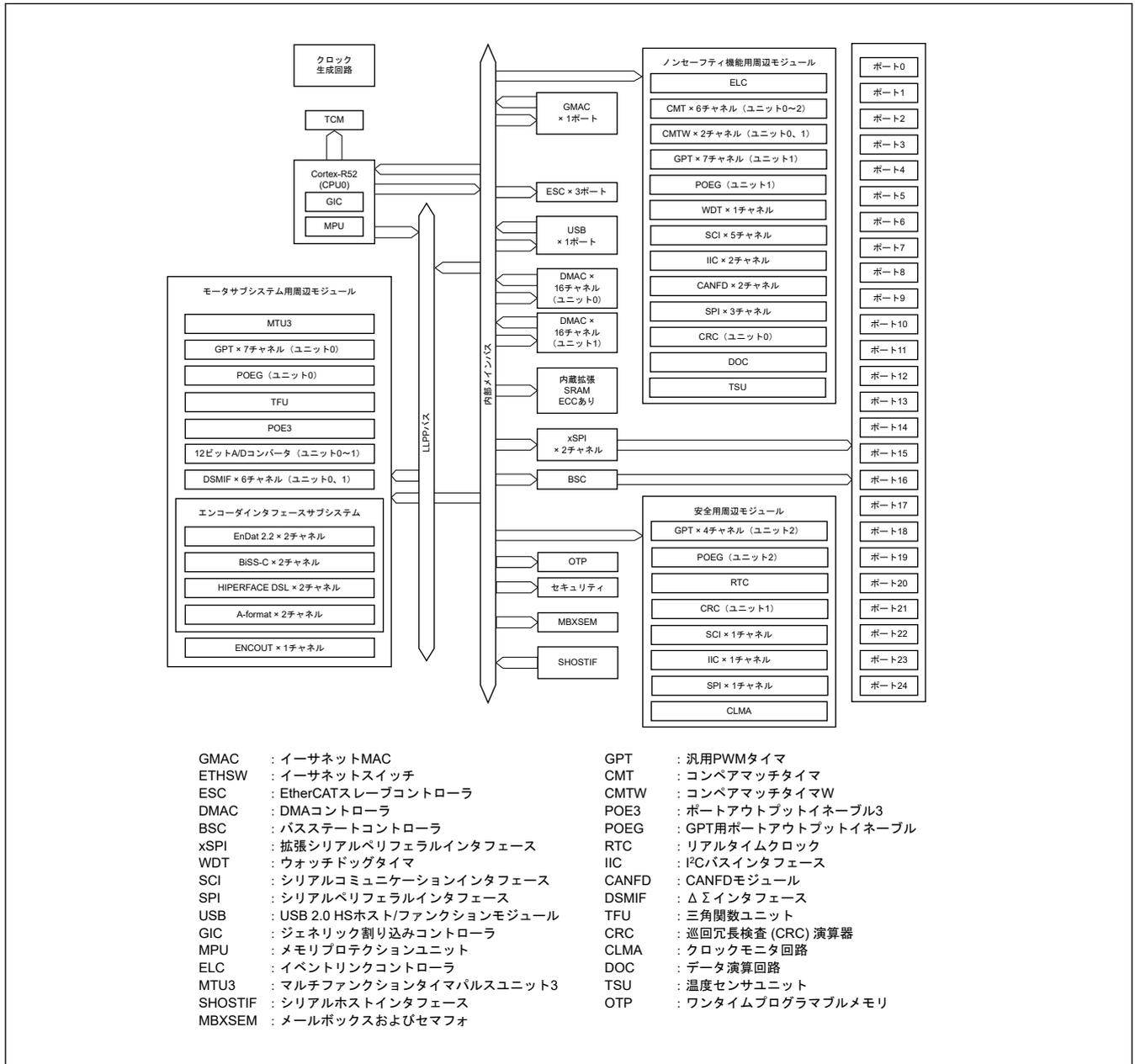


図 1.1 ブロック図

1.4 端子機能

表 1.17 に端子機能を示します。

表 1.17 端子機能 (1/7)

分類	端子名	入出力	機能
電源	VDD	入力	電源端子。システムの電源に接続してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
	VCC1833_2 VCC1833_3	入力	各 I/O ドメインの電源端子。(1.8 V または 3.3 V)
	VCC33	入力	入出力端子の電源端子
	VCC18_PLL0、VCC18_PLL1	入力	内蔵 PLL 発振器の電源端子
	AVCC18_TSU	入力	温度センサユニットの電源端子
クロック	XTAL	出力	水晶振動子の接続端子。外部クロック信号を使用する場合、EXTAL 端子は Low にしてください。XTAL 端子は、水晶振動子以外のもので駆動したり、負荷をかけたりしないでください。EXTAL の電圧レベルがコア VDD (1.16 V) を絶対を超えないようにしてください。
	EXTAL	入力	
	EXTCLKIN	入力	外部クロック入力端子。水晶振動子を接続する場合は、Low にしてください。
	CKIO	出力	外部デバイス用の外部バスクロック出力端子
	ETH0_REFCLK	出力	EtherPHY 0 用 25 MHz クロック出力端子
	ETH1_REFCLK	出力	EtherPHY 1 用 25 MHz クロック出力端子
	ETH2_REFCLK	出力	EtherPHY 2 用 25 MHz クロック出力端子
	RMII0_REFCLK	出力	RMII0 用 50 MHz クロック出力端子
	RMII1_REFCLK	出力	RMII1 用 50 MHz クロック出力端子
	RMII2_REFCLK	出力	RMII2 用 50 MHz クロック出力端子
動作モードコントロール	MDX	入力	Low にしてください。
	MD0~MD2	入力	動作モード選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDV2、MDV3	入力	動作電圧選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDW	入力	ATCM ウェイトサイクル選択信号の入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
	MDD	入力	ハッシュ信号による JTAG 認証有効入力端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システムコントロール	RES#	入力	リセット信号の入力端子。この端子が Low になると、本 MPU はリセット状態となります。
	BSCANP	入力	バウンダリスキャンイネーブル信号の入力端子。この端子が High になると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合、この端子は Low にしてください。
	RSTOUT#	出力	外部リセット信号の出力端子

表 1.17 端子機能 (2/7)

分類	端子名	入出力	機能
デバッグインタフェース	TRST#	入力	オンチップエミュレータ用テストリセット端子
	TMS	入出力	オンチップエミュレータ用テストモード選択端子 シリアルワイヤデバッグ (SWD) モードでは SWDIO 端子として機能します。
	TDI	入力	オンチップエミュレータ用テストデータ入力端子
	TDO	出力	オンチップエミュレータ用テストデータ出力端子
	TCK	入力	オンチップエミュレータ用テストクロック端子 シリアルワイヤデバッグ (SWD) モードでは SWCLK 端子として機能します。
	TRACECLK	出力	トレースデータとの同期用クロック出力端子
	TRACCTL	出力	トレースコントロール用イネーブル信号の出力端子
	TRACEDATA0~TRACEDATA7	出力	トレースデータ出力端子
バーステートコントローラ (BSC)	A25~A0	出力	アドレス出力端子
	D15~D0	入出力	データ入出力端子
	CS0#, CS2#, CS3#, CS5#	出力	外部メモリおよびデバイス用のチップセレクト信号の出力端子
	RD#	出力	読み出し進行中を示すストロブ信号の出力端子
	RD/WR#	出力	読み出しまたは書き込みアクセスを示すストロブ信号の出力端子
	BS#	出力	バスサイクルの開始を示すステータス信号の出力端子
	AH#	出力	マルチプレクス I/O インタフェースを使用するデバイス用のアドレスホールド信号の出力端子
	WAIT#	入力	バスサイクルにウェイトサイクルを挿入する外部ウェイトコントロール信号の入力端子
	WE0#	出力	D7~D0 へのライトストロブ信号の出力端子
	WE1#	出力	D15~D8 へのライトストロブ信号の出力端子
	DQMLL	出力	D7~D0 へのデータマスクイネーブル信号の出力端子 (SDRAM 接続時)
	DQMLU	出力	D15~D8 へのデータマスクイネーブル信号の出力端子 (SDRAM 接続時)
	RAS#	出力	SDRAM ロウアドレスストロブ信号の出力端子。この端子は SDRAM の RAS#端子に接続してください。
	CAS#	出力	SDRAM カラムアドレスストロブ信号の出力端子。この端子は SDRAM の CAS#端子に接続してください。
	CKE	出力	SDRAM クロックイネーブル信号の出力端子。この端子は SDRAM の CKE 端子に接続してください。
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ	入力	外部デバイス DMA 転送要求信号の入力端子
	DACK	出力	外部デバイスからの DMA 転送要求を受け付けたことを示すアクノリッジ信号の出力端子
	TEND	出力	DMA 転送終了信号の出力端子
割り込み	NMI	入力	ノンマスクブル割り込み要求信号の入力端子
	IRQ0~IRQ15	入力	外部割り込み要求信号の入力端子

表 1.17 端子機能 (3/7)

分類	端子名	入出力	機能
マルチファンクションタイマパルスユニット 3 (MTU3)	MTIOC0A、MTIOC0B、MTIOC0C、MTIOC0D	入出力	TGRA0~TGRD0 インพุットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1 インพุットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2 インพุットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC3A、MTIOC3B、MTIOC3C、MTIOC3D	入出力	TGRA3~TGRD3 インพุットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D	入出力	TGRA4~TGRD4 インพุットキャプチャ入力、アウトプットコンペア出力、および PWM 出力端子
	MTIC5U、MTIC5V、MTIC5W	入力	TGRU5、TGRV5、TGRW5 インพุットキャプチャ入力、およびデッドタイム補償機能の入力端子
	MTIOC6A、MTIOC6B、MTIOC6C、MTIOC6D	入出力	TGRA6~TGRD6 インพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC7A、MTIOC7B、MTIOC7C、MTIOC7D	入出力	TGRA7~TGRD7 インพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTIOC8A、MTIOC8B、MTIOC8C、MTIOC8D	入出力	TGRA8~TGRD8 インพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	MTCLKA、MTCLKB、MTCLKC、MTCLKD	入力	MTU3 用外部クロック入力端子
ポートアウトプットイネーブル 3 (POE3)	POE0#、POE4#、POE8#、POE10#、POE11#	入力	MTU3 をハイインピーダンス状態にする要求信号の入力端子
汎用 PWM タイマ (GPT)/GPT 用のポートアウトプットイネーブル (POEG)	GTETRGA、GTETRGB、GTETRGC、GTETRGD	入力	外部トリガ入力端子および出力禁止要求の入力端子
	GTETRGA、GTETRGSB	入力	外部トリガ入力端子および出力禁止要求の入力端子 (SAFETY)
	GTIOC0A~GTIOC17A、GTIOC0B~GTIOC17B	入出力	インพุットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	GTADSML0、GTADSML1、GTADSMP0、GTADSMP1	出力	A/D 変換開始要求監視用の出力端子
コンペアマッチタイマ W (CMTW)	CMTW0_TIC0、CMTW0_TIC1、CMTW1_TIC0、CMTW1_TIC1	入力	CMTW インพุットキャプチャ入力端子
	CMTW0_TOC0、CMTW0_TOC1、CMTW1_TOC0、CMTW1_TOC1	出力	CMTW アウトプットコンペア出力端子
リアルタイムクロック (RTC)	RTCAT1HZ	出力	RTC 1 Hz 出力端子

表 1.17 端子機能 (4/7)

分類	端子名	入出力	機能
シリアルコミュニケーションインターフェース (SCI)	SCK0~SCK5	入出力	クロック入出力端子 (クロック同期式モード/簡易 SPI モード/スマートカードモード)
	RXD0~RXD5	入力	受信データ入力端子 (調歩同期式モード/クロック同期式モード/スマートカードモード)
	TXD0~TXD5	出力	送信データ出力端子 (調歩同期式モード/クロック同期式モード/スマートカードモード)
	CTS0#~CTS5#	入力	送信開始信号の入力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	RTS0#~RTS5#	出力	受信出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	SCL0~SCL5	入出力	I2C クロック入出力端子 (簡易 I2C モード)
	SDA0~SDA5	入出力	I2C データ入出力端子 (簡易 I2C モード)
	MISO0~MISO5	入出力	スレーブ送信データ入出力端子 (簡易 SPI モード)
	MOSI0~MOSI5	入出力	マスタ送信データ入出力端子 (簡易 SPI モード)
	SS0#~SS5#	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low
	DE0~DE5	出力	ドライバインイーブル出力端子 (調歩同期式モード)
	I2C バスインターフェース (IIC)	IIC_SCL0~IIC_SCL2	入出力
IIC_SDA0~IIC_SDA2		入出力	データ入出力端子
イーサネット (RGMII はポート 2 でのみサポートされます。)	ETH0_TXCLK~ETH2_TXCLK	入出力	TX クロック入力端子 (MII モード) TX クロック出力端子 (RGMII モード)
	ETH0_TXD0~ETH2_TXD0	出力	TX データ 0 出力端子 (RGMII、RMII、MII モード)
	ETH0_TXD1~ETH2_TXD1	出力	TX データ 1 出力端子 (RGMII、RMII、MII モード)
	ETH0_TXD2~ETH2_TXD2	出力	TX データ 2 出力端子 (RGMII、MII モード)
	ETH0_TXD3~ETH2_TXD3	出力	TX データ 3 出力端子 (RGMII、MII モード)
	ETH0_TXEN~ETH2_TXEN	出力	TX データインイーブル出力端子 (RMII、MII モード) TX データインイーブル/TX データエラー (TX_CTL) 端子 (RGMII モード)
	ETH2_TXER	出力	TX データエラー出力端子 (MII モード)
	ETH0_RXCLK~ETH2_RXCLK	入力	RX クロック入力端子 (RGMII、RMII、MII モード)
	ETH0_RXD0~ETH2_RXD0	入力	RX データ 0 入力端子 (RGMII、RMII、MII モード)
	ETH0_RXD1~ETH2_RXD1	入力	RX データ 1 入力端子 (RGMII、RMII、MII モード)
	ETH0_RXD2~ETH2_RXD2	入力	RX データ 2 入力端子 (RGMII、MII モード)
	ETH0_RXD3~ETH2_RXD3	入力	RX データ 3 入力端子 (RGMII、MII モード)
	ETH0_RXDV~ETH2_RXDV	入力	RX データ有効入力端子 (MII モード) キャリア検知/RX データ有効 (CRS_DV) 入力端子 (RMII モード) RX データ有効/RX エラー (RX_CTL) 入力端子 (RGMII モード)
	ETH0_RXER~ETH2_RXER	入力	RX データエラー端子 (RMII、MII モード)
	ETH2_CRS	入力	キャリア検知入力端子 (MII モード)
	ETH2_COL	入力	衝突検出の入力端子 (MII モード)

表 1.17 端子機能 (5/7)

分類	端子名	入出力	機能
イーサネット MAC (GMAC)	GMAC_PTPTRG0	入力	PTP タイマトリガ外部入力端子 0
	GMAC_PTPTRG1	入力	PTP タイマトリガ外部入力端子 1
	GMAC_PTPOUT0~ GMAC_PTPOUT3	出力	PTP タイマパルス出力
	GMAC_MDC	出力	マネジメントデータクロック出力端子
	GMAC_MDIO	入出力	マネジメントデータ入出力端子
EtherCAT スレーブコントローラ (ESC)	ESC_LED RUN	出力	EtherCAT RUN LED 信号の出力端子
	ESC_IRQ	出力	EtherCAT IRQ 信号の出力端子
	ESC_LED STER	出力	EtherCAT デュアルカラーステート LED 信号の出力端子
	ESC_LED ERR	出力	EtherCAT エラー LED 信号の出力端子
	ESC_LINKACT0~ESC_LINKACT2	出力	EtherCAT リンク/アクティビティ LED 信号の出力端子
	ESC_SYNC0、ESC_SYNC1	出力	EtherCAT SYNC 信号の出力端子
	ESC_LATCH0、ESC_LATCH1	入力	EtherCAT LATCH 信号の入力端子
	ESC_RESETOUT#	出力	EtherCAT リセット信号の出力端子
	ESC_I2CCLK	出力	EtherCAT EEPROM I2C クロック信号の出力端子
	ESC_I2CDATA	入出力	EtherCAT EEPROM I2C データ信号の入出力端子
	ESC_PHYLINK0~ESC_PHYLINK2	入力	EtherCAT PHY リンクステータス信号の入力端子
	ESC_MDC	出力	マネジメントデータクロック出力端子
	ESC_MDIO	入出力	マネジメントデータ入出力端子
USB2.0 ホスト/ファンクションモジュール	VCC33_USB	入力	USB 用電源入力端子
	VCC18_USB	入力	USB 用電源入力端子
	VSS_USB	入力	USB 用グランド入力端子
	AVCC18_USB	入力	USB 用アナログ電源入力端子
	USB_RREF	入力	USB 用基準電流入力端子。この端子は VSS_USB 端子に 1.8 k Ω ($\pm 1\%$) の抵抗で接続してください。
	USB_DP	入出力	USB バス D+データ入出力端子
	USB_DM	入出力	USB バス D-データ入出力端子
	USB_VBUSEN	出力	USB 用 VBUS パワーイネーブル信号の出力端子
	USB_OVRCUR	入力	USB 用過電流信号の入力端子
	USB_VBUSIN	入力	USB ケーブル接続/切断検出の入力端子
	USB_EXICEN	出力	OTG 電源 IC 制御出力端子
	USB_OTGID	入力	OTG ID 入力端子
	CANFD モジュール (CANFD)	CANRX0、CANRX1	入力
CANTX0、CANTX1		出力	送信データ出力端子
CANRXDP0、CANRXDP1		出力	受信データフェーズ出力端子
CANTXDP0、CANTXDP1		出力	送信データフェーズ出力端子

表 1.17 端子機能 (6/7)

分類	端子名	入出力	機能
シリアルペリフェラルインタフェース (SPI)	SPI_RSPCK0~SPI_RSPCK3	入出力	クロック入出力端子
	SPI_MOSI0~SPI_MOSI3	入出力	マスタ送信データ入出力端子
	SPI_MISO0~SPI_MISO3	入出力	スレーブ送信データ入出力端子
	SPI_SSL00~SPI_SSL30	入出力	スレーブセレクト信号の入出力端子
	SPI_SSL01~SPI_SSL31、 SPI_SSL02~SPI_SSL32、 SPI_SSL03~SPI_SSL33	出力	スレーブセレクト信号の出力端子
拡張シリアルペリフェラルインタフェース (xSPI)	XSPI0_CKP、XSPI1_CKP、 XSPI0_CKN	出力	クロック出力端子
	XSPI0_CS0#、XSPI0_CS1#、 XSPI1_CS0#	出力	チップセレクト出力端子
	XSPI0_DS、XSPI1_DS	入出力	リードデータストロブ/ライトデータマスク入出力端子
	XSPI0_IO0~XSPI0_IO7、XSPI1_IO0 ~XSPI1_IO7	入出力	Data0~Data7 入出力端子
	XSPI0_RESET0#、XSPI0_RESET1#	出力	マスタリセットステータス出力端子
	XSPI0_RSTO0#、XSPI0_RSTO1#	入力	スレーブリセットステータス入力端子
	XSPI0_INT0#、XSPI0_INT1#	入力	割り込み入力端子
	XSPI0_ECS0#、XSPI0_ECS1#	入力	誤り訂正ステータス入力端子
	XSPI0_WP0#、XSPI0_WP1#	出力	書き込み保護出力端子
ΔΣ インタフェース (DSMIF)	MCLK0~MCLK5	入出力	クロック入出力端子
	MDAT0~MDAT5	入力	データ入力端子
12 ビット A/D コンバータ (ADC12)	AN000~AN003、 AN100~AN103	入力	A/D コンバータ用アナログ入力端子
	ADTRG0#、ADTRG1#	入力	A/D 変換開始のための外部トリガ入力端子
アナログ電源	VCC18_ADC0、VCC18_ADC1	入力	12 ビット A/D コンバータのアナログ電源入力端子。 12 ビット A/D コンバータを使用しない場合は、この端子 を 1.8 V 電源に接続してください。
	VREFH0、VREFH1	入力	12 ビット A/D コンバータの基準電圧入力端子。12 ビット A/D コンバータを使用しない場合は、この端子を 1.8 V 電源に接続してください。
I/O ポート	P00_0~P24_2	入出力	汎用入出力端子
シリアルホストインタフェース (SHOSTIF)	HSPI_CK	入力	クロック入力端子
	HSPI_CS#	入力	チップセレクト入力端子
	HSPI_IO0~HSPI_IO7	入出力	Data0~Data7 入出力端子
	HSPI_INT#	出力	割り込み出力端子
メールボックス	MBX_HINT#	出力	Cortex-R52 からホストへのメールボックスの割り込み 出力端子
エンコーダインタフェース 共通	ENCIFCK0、ENCIFCK1	出力	エンコーダインタフェースクロック出力端子
	ENCIFOE0、ENCIFOE1	出力	エンコーダインタフェースデータ出力カインープル端子
	ENCIFDO0、ENCIFDO1	出力	エンコーダインタフェースデータ出力端子
	ENDIFDI0、ENDIFDI1	入力	エンコーダインタフェースデータ入力端子
EnDat 2.2 (ENDAT)	DUEI0、DUEI1	出力	EnDat 2.2 データ転送
	TST_OUT0、TST_OUT1	出力	内部同期後の EnDat 2.2 データ入力
	SI0#、SI1#	出力	EnDat 2.2 スタートパルス

表 1.17 端子機能 (7/7)

分類	端子名	入出力	機能
HIPERFACE DSL (HDSL)	HDSL0_LINK、HDSL1_LINK	出力	HDSL LINK
	HDSL0_SMPL、HDSL1_SMPL	出力	HDSL テスト信号ラインサンブラ
	HDSL0_CLK1、HDSL1_CLK1	入力	HDSL SPI クロック安全 1
	HDSL0_SEL1、HDSL1_SEL1	入力	HDSL SPI 選択安全 1
	HDSL0_MISO1、HDSL1_MISO1	出力	HDSL SPI データ出力安全 1
	HDSL0_MOSI1、HDSL1_MOSI1	入力	HDSL SPI データ入力安全 1
	HDSL0_CLK2、HDSL1_CLK2	入力	HDSL SPI クロック安全 2
	HDSL0_SEL2、HDSL1_SEL2	入力	HDSL SPI 選択安全 2
	HDSL0_MISO2、HDSL1_MISO2	出力	HDSL SPI データ出力安全 2
	HDSL0_MOSI2、HDSL1_MOSI2	入力	HDSL SPI データ入力安全 2
ENCOUT	POUTA	出力	ENCOUT A 相出力端子
	POUTB	出力	ENCOUT B 相出力端子
	POUTZ	出力	ENCOUT C 相出力端子

1.5 196 ピン FBGA のピン割り付け

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
A	VSS	P01_3	P00_3	P24_1	P22_3	P22_2	P21_6	P21_1	P20_4	VSS	AN100	AN002	AN000	VSS	A
B	P01_7	P01_5	P01_2	P00_1	P23_7	P21_7	P21_5	P21_2	VSS	AN103	AN101	AN001	VSS	P18_6	B
C	P02_1	P01_6	P01_1	P00_2	P24_2	P22_0	P21_3	P20_3	VSS	AN102	AN003	AVCC18_TSU	P18_5	P18_4	C
D	P02_3	P02_0	P01_0	P00_6	P24_0	P22_1	P21_4	VCC33	VREFH1	VREFH0	VSS	P18_2	P18_3	P18_1	D
E	P02_5	P02_2	P02_4	P01_4	P00_0	VCC1833_2	VDD	VDD	VCC18_ADC1	VCC18_ADC0	VSS	P17_4	P17_7	P18_0	E
F	P04_1	P02_7	P02_6	TRST#	VCC33	VDD	VSS	VSS	VDD	VCC33	P17_0	P17_6	P17_3	P17_5	F
G	P06_0	P05_6	P05_5	BSCANP	VDD	VSS	VSS	VSS	VDD	P16_1	P16_0	P16_2	P16_3	P16_3	G
H	P06_4	P06_2	P06_1	P05_7	VDD	VSS	VSS	VSS	VDD	P15_6	P15_5	P15_4	P15_7	P15_7	H
J	P06_7	P06_5	P06_6	P06_3	VCC33	VDD	VSS	VSS	VDD	VCC1833_3	P15_3	P15_0	P15_1	P15_2	J
K	P07_0	P07_2	P07_3	P07_1	P09_0	VDD	VDD	VDD	VCC33	VCC1833_3	P14_2	P14_7	P14_4	P14_6	K
L	VSS	P08_5	P08_4	P09_4	P10_1	VCC33	P07_4	VDD	P13_2	P13_3	P13_7	P13_5	P14_3	P14_5	L
M	P08_7	P08_6	P09_1	P09_7	P10_2	VSS	MDX	VCC18_PLL1	VSS	VCC33_USB	VSS_USB	P13_4	P13_6	P14_1	M
N	P09_2	P09_3	P09_5	P10_0	RES#	EXT_CLKIN	VSS	VCC18_PLL0	VSS_USB	VSS_USB	AVCC18_USB	VSS_USB	VSS_USB	P14_0	N
P	VSS	P09_6	P10_3	P10_4	VSS	EXTAL	XTAL	VSS	USB_DM	USB_DP	VCC18_USB	USB_RREF	VSS_USB	VSS	P
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	

図 1.2 196 ピン FBGA のピン配置図 (上面図)

表 1.18 機能別の端子一覧 (196 ピン FBGA) (1/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT/POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
A1	—	VSS	—	—	—	—	—	—	—	—	—
A2	VCC1833_2	—	P01_3	AH#	MTIOC4D / GTIOC3B	ETH2_TXD2	—	IRQ2	—	—	POUTZ

表 1.18 機能別の端子一覧 (196 ピン FBGA) (2/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT/POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
A3	VCC1833_2	—	P00_3	RD/WR#	MTIC5W	SS2# / CTS2# / RTS2# / ETH2_REFCLK / RMII2_REFCLK	—	IRQ1	—	—	SI1# / HDLS1_CLK1
A4	VCC1833_2	—	P24_1	D13 / CAS#	MTIOC0C / POE8# / GTETRGC	ETH2_RXCLK	MCLK5	—	—	—	—
A5	—	—	P22_3	D10	MTIOC8D / GTETRGSB	RXD5 / SCL5 / MISO5 / USB_VBUSEN / SPI_SSL00	—	—	—	—	ENCIFDI1
A6	—	TRACECLK	P22_2	D9	MTIOC8C / GTETRGSB	SPI_SSL12	MCLK1	IRQ4	—	—	ENCIFDO1
A7	—	TRACEDATA5	P21_6	D5 / TEND	MTIOC7B / GTIOC16B	CTS0# / ESC_LINKACT0	MDAT2	IRQ9	—	HSPI_IO4	—
A8	—	TRACEDATA0	P21_1	D0	MTIOC6A / GTIOC14A / CMTW0_TIC0	SCK5 / IIC_SCL1 / ESC_SYNC0 / ESC_SYNC1 / SPI_SSL20	MCLK0	—	—	HSPI_INT#	—
A9	—	MDV3	P20_4	—	—	GMAC_PTPOUT0 / ESC_LINKACT1	—	—	—	—	—
A10	—	VSS	—	—	—	—	—	—	—	—	—
A11	—	—	—	—	—	—	—	—	AN100	—	—
A12	—	—	—	—	—	—	—	—	AN002	—	—
A13	—	—	—	—	—	—	—	—	AN000	—	—
A14	—	VSS	—	—	—	—	—	—	—	—	—
B1	—	TRACEDATA1	P01_7	A19	MTIOC1B / GTIOC9B	SCK1 / ETH2_TXER / CANRX0 / SPI_RSPCK3	—	—	ADTRG0#	—	ENCIFOE0
B2	VCC1833_2	—	P01_5	WE0# / DQMLL / CS0#	MTIOC4A / GTIOC2A	ETH2_TXD0 / SPI_RSPCK1	—	—	—	—	TST_OUT0 / HDLS0_SMPL
B3	VCC1833_2	—	P01_2	CS2#	MTIOC4B / GTIOC2B	ETH2_TXD3	—	IRQ2	—	—	POUTB
B4	VCC1833_2	—	P00_1	A13	MTIC5U	RXD2 / SCL2 / MISO2 / ETH2_RXDV	MCLK0	IRQ0	—	—	—
B5	VCC1833_2	—	P23_7	D11 / BS	MTIOC0A / GTETRGA	SCK1 / ETH2_RXD0	MCLK4	—	—	—	—
B6	—	TRACEDATA6	P21_7	D6 / DREQ	MTIOC7C / GTIOC17A	DE0	MCLK3	IRQ10	—	HSPI_IO5	—
B7	—	TRACEDATA4	P21_5	D4	MTIOC7A / GTIOC16A / CMTW1_TOC1	CTS5# / SPI_MISO0	MCLK2	IRQ6	ADTRG1#	HSPI_IO3	ENCIFDI0
B8	—	TRACEDATA1	P21_2	D1	MTIOC6B / GTIOC14B / GTIOC15A / CMTW0_TIC1	RXD5 / SCL5 / MISO5 / IIC_SDA1 / ESC_SYNC0 / ESC_SYNC1 / SPI_MISO2	MDAT0	—	—	HSPI_CS#	—
B9	—	VSS	—	—	—	—	—	—	—	—	—
B10	—	—	—	—	—	—	—	—	AN103	—	—
B11	—	—	—	—	—	—	—	—	AN101	—	—
B12	—	—	—	—	—	—	—	—	AN001	—	—
B13	—	VSS	—	—	—	—	—	—	—	—	—
B14	—	TRACECLK	P18_6	A15	MTIC5W	SCK4 / DE4 / IIC_SCL2 / GMAC_PTPOUT2 / SPI_MISO2 / XSPI1_IO7	—	IRQ11	ADTRG0#	HSPI_CK	SI0# / HDLS0_CLK1
C1	—	MDW	P02_1	A17	—	DE1 / GMAC_PTPOUT1 / ESC_SYNC0 / ESC_SYNC1	—	—	—	—	HDLS0_MISO1

表 1.18 機能別の端子一覧 (196 ピン FBGA) (3/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT / POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
C2	—	TRACEDATA0	P01_6	A20	MTIOC1A / MTIOC3A / GTIOC0A / GTIOC9A	CTS1# / GMAC_PTPTRG1 / ESC_LATCH1 / ESC_LATCH0 / ESC_PHYLINK0 / CANTXDP1	—	—	—	—	SI0# / HDSL0_CLK1
C3	VCC1833_2	—	P01_1	CKE	MTIOC3D / GTIOC1B / GTETRGC	DE2 / GMAC_MDC / ESC_MDC / ESC_PHYLINK2	MDAT1	—	—	—	POUTA
C4	VCC1833_2	—	P00_2	RD#	MTIC5V	TXD2 / SDA2 / MOSI2 / ETH2_TXEN / USB_OVRCUR	—	—	—	—	TST_OUT1 / HDSL0_MOSI2
C5	VCC1833_2	—	P24_2	D14 / RAS#	MTIOC0D / GTETRGD	TXD1 / SDA1 / MOSI1 / ETH2_RXD2	MDAT5	—	—	—	—
C6	—	TRACEDATA7	P22_0	D7	MTIOC7D / GTIOC17B	DE5	MDAT3	IRQ15	—	—	HSPI_I06
C7	—	TRACEDATA2	P21_3	D2	MTIOC6C / GTIOC14B / GTIOC15A	TXD5 / SDA5 / MOSI5 / ESC_LED RUN / ESC_LED STER / SPI_SSL33	MCLK1	NMI	—	—	HSPI_I02
C8	—	MDV2	P20_3	—	—	GMAC_PTPOUT1 / ESC_LEDERR / CANTX1	—	—	—	—	—
C9	—	VSS	—	—	—	—	—	—	—	—	—
C10	—	—	—	—	—	—	—	—	AN102	—	—
C11	—	—	—	—	—	—	—	—	AN003	—	—
C12	—	AVCC18_TSU	—	—	—	—	—	—	—	—	—
C13	—	TRACECTL	P18_5	RAS#	MTIC5V	RXD4 / SCL4 / MISO4 / ETH2_COL / CANRX0 / SPI_MOSI2 / XSPI1_I06	—	—	—	—	HSPI_I00
C14	—	—	P18_4	CAS#	MTIC5U	TXD4 / SDA4 / MOSI4 / ETH2_RXER / CANTX0 / SPI_RS PCK2 / XSPI1_I05	—	IRQ1	—	—	HSPI_I01
D1	—	—	P02_3	A15 / AH#	MTIOC2B / POE11# / GTIOC10B	SS1# / CTS1# / RTS1# / ETH2_COL / CANRX1 / SPI_SSL30	—	IRQ15	—	—	ENCIFD00
D2	—	TRACEDATA2	P02_0	A18	MTIOC3C / GTIOC0B / GTADSMLO	RXD1 / SCL1 / MISO1 / ETH2_CRS / USB_OTGID / CANTX1 / SPI_MISO3	—	IRQ4	—	—	ENCIFCK0
D3	VCC1833_2	—	P01_0	CAS#	MTIOC3C / MTIOC4C / GTIOC0B / GTIOC3A	CTS2# / GMAC_MDIO / ESC_MDIO	MCLK1	IRQ13	—	—	—
D4	VCC1833_2	—	P00_6	CS5#	MTIOC3A / MTIOC3B / GTIOC0A / GTIOC1A	ETH2_TXCLK	MDAT0	—	—	—	—
D5	VCC1833_2	—	P24_0	D12 / CKE / DREQ	MTIOC0B / GTETRGB	RXD1 / SCL1 / MISO1 / ETH2_RXD1	MDAT4	—	—	—	—
D6	—	TRACECTL	P22_1	D8	POE4# / GTETRGB	SS4# / CTS4# / RTS4# / ESC_LINKACT2 / SPI_MOSI0	—	IRQ13	—	—	HSPI_I07
D7	—	TRACEDATA3	P21_4	D3	MTIOC6D / GTIOC15B	SS5# / CTS5# / RTS5# / GMAC_PTPOUT1 / ESC_SYNC0 / ESC_SYNC1 / SPI_SSL02	MDAT1 / MBX_HINT#	—	—	—	ENCIFD00
D8	—	VCC33	—	—	—	—	—	—	—	—	—

表 1.18 機能別の端子一覧 (196 ピン FBGA) (4/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT、POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
D9	—	VREFH1	—	—	—	—	—	—	—	—	—
D10	—	VREFH0	—	—	—	—	—	—	—	—	—
D11	—	VSS	—	—	—	—	—	—	—	—	—
D12	—	—	P18_2	BS	MTIOC4B / MTIOC4D / GTIOC2B / GTIOC3B	SCK0 / IIC_SDA2 / GMAC_PTPOUT3 / XSPI1_CS0#	—	—	—	—	—
D13	—	—	P18_3	CKE	MTIOC4B / MTIOC4D / GTIOC2B / GTIOC3B / CMTW1_TIC1	DE3 / ETH2_CRS / CANRXDP1 / XSPI1_IO4	—	IRQ0	—	—	—
D14	—	—	P18_1	WE1# / DQMLU	MTIOC3D / GTIOC1B	SS3# / CTS3# / RTS3#	—	IRQ10	ADTRG1#	—	—
E1	—	TDI	P02_5	WE1# / DQMLU	—	SCK5 / SPI_SSL31	—	—	—	—	—
E2	—	—	P02_2	A16	MTIOC2A / POE10# / GTIOC10A / RTCAT1HZ	TXD1 / SDA1 / MOSI1 / CANTX0 / SPI_MOSI3	—	IRQ14	—	—	ENCIFDI0
E3	—	TDO	P02_4	WE0# / DQMLL	—	DE1 / SPI_SSL33	—	—	—	—	—
E4	VCC1833_2	—	P01_4	WE1# / DQMLU	POE0#	ETH2_TXD1	—	IRQ3	—	—	DUEI0 / HDSL0_LINK
E5	VCC1833_2	—	P00_0	D15	—	SCK2 / DE2 / ETH2_RXD3	—	—	—	—	DUEI1 / HDSL0_SEL1
E6	—	VCC1833_2	—	—	—	—	—	—	—	—	—
E7	—	VDD	—	—	—	—	—	—	—	—	—
E8	—	VDD	—	—	—	—	—	—	—	—	—
E9	—	VCC18_ADC1	—	—	—	—	—	—	—	—	—
E10	—	VCC18_ADC0	—	—	—	—	—	—	—	—	—
E11	—	VSS	—	—	—	—	—	—	—	—	—
E12	—	TRACECLK	P17_4	DACK	MTIOC3C / GTIOC0A / GTETRGB	CTS3# / ETH2_TXER / ESC_PHYLINK2 / SPI_SSL32 / SPI_RSPCK0 / XSPI1_IO3	—	—	—	—	HDSL1_CLK2
E13	—	—	P17_7	RD# / DACK	MTIOC4A / MTIOC4C / GTIOC2A / GTIOC3A	RXD3 / SCL3 / MISO3 / XSPI1_CKP	—	—	—	—	—
E14	—	—	P18_0	WE0# / DQMLL	MTIOC4A / MTIOC4C / GTIOC2A / GTIOC3A	TXD3 / SDA3 / MOSI3 / XSPI1_IO0	—	—	—	—	—
F1	—	—	P04_1	CKIO	—	TXD3 / SDA3 / MOSI3 / IIC_SDA2 / SPI_MOSI0	—	—	—	—	—
F2	—	TCK	P02_7	—	—	TXD5 / SDA5 / MOSI	—	—	—	—	—
F3	—	TMS	P02_6	—	—	RXD5 / SCL5 / MISO5	—	—	—	—	—
F4	—	TRST#	—	—	—	—	—	—	—	—	—
F5	—	VCC33	—	—	—	—	—	—	—	—	—
F6	—	VDD	—	—	—	—	—	—	—	—	—
F7	—	VSS	—	—	—	—	—	—	—	—	—
F8	—	VSS	—	—	—	—	—	—	—	—	—
F9	—	VDD	—	—	—	—	—	—	—	—	—
F10	—	VCC33	—	—	—	—	—	—	—	—	—
F11	—	MDD	P17_0	—	—	SS0# / CTS0# / RTS0# / ESC_IRQ / SPI_SSL01 / XSPI1_IO1	—	—	—	—	HDSL1_MISO2

表 1.18 機能別の端子一覧 (196 ピン FBGA) (5/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT / POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
F12	—	—	P17_6	RD/WR#	MTIOC3B / GTIOC1A	SCK3 / XSPI1_DS	—	—	—	—	—
F13	—	TRACECTL	P17_3	DREQ	POE0# / GETRGA	CANRX1 / SPI_SSL31 / XSPI1_IO2	—	—	ADTRG1#	—	—
F14	—	RSTOUT#	P17_5	TEND	MTIOC3A / GTIOC0B / GTETRGC	USB_OVRCUR	—	—	—	—	—
G1	—	—	P06_0	A12	GTIOC16A / CMTW1_TOC0	SS4# / CTS4# / RTS4# / ETH1_TXD3 / CANRX1 / SPI_SSL23	—	—	—	—	HDSL0_MOSI1
G2	—	—	P05_6	A13	GTIOC14A / CMTW1_TIC0	ETH1_RXER / SPI_SSL22	—	IRQ12	—	—	HDSL1_MOSI2
G3	—	—	P05_5	A14	GTIOC14B / CMTW0_TOC1	ESC_PHYLINK1 / SPI_RSPCK2	—	—	—	—	HDSL1_LINK
G4	—	BSCANP	—	—	—	—	—	—	—	—	—
G5	—	VDD	—	—	—	—	—	—	—	—	—
G6	—	VSS	—	—	—	—	—	—	—	—	—
G7	—	VSS	—	—	—	—	—	—	—	—	—
G8	—	VSS	—	—	—	—	—	—	—	—	—
G9	—	VSS	—	—	—	—	—	—	—	—	—
G10	—	VDD	—	—	—	—	—	—	—	—	—
G11	VCC1833_3	—	P16_1	CS2#	CMTW0_TOC1	RXD0 / SCL0 / MISO0 / SPI_MISO3 / XSPI0_RESET0#	MDAT3	—	ADTRG0#	—	ENCIFOE0 / HDSL1_SEL1
G12	VCC1833_3	—	P16_0	—	—	TXD0 / SDA0 / MOSI0 / ETH2_REFCLK / SPI_MOSI3 / XSPI0_CS1#	MCLK3	—	—	—	ENCIFCK0 / HDSL0_MOSI2
G13	VCC1833_3	—	P16_2	—	—	CTS0# / USB_EXICEN / SPI_RSPCK3 / SPI_SSL03 / XSPI0_RESET1#	—	NMI	—	—	ENCIFCK1 / HDSL1_MISO1
G14	VCC1833_3	—	P16_3	CS3#	GTADSM1	SCK0 / ETH2_RXER / SPI_SSL30 / XSPI0_RSTO0#	—	IRQ7	—	—	ENCIFOE1 / HDSL1_MOSI1
H1	—	—	P06_4	A7	GTIOC11A	ETH1_TXCLK / SPI_MOSI1	—	—	—	—	HDSL0_SEL2
H2	—	MD1	P06_2	A9	—	ETH1_TXD1 / CANRXDP1	—	—	—	—	—
H3	—	—	P06_1	A10	GTIOC16B	CTS4# / ETH1_REFCLK / RMII1_REFCLK / CANTX1 / SPI_SSL22	—	—	—	—	HDSL0_CLK2
H4	—	MD2	P05_7	A11	CMTW1_TOC1	ETH1_TXD2 / SPI_SSL23	—	—	—	—	—
H5	—	VDD	—	—	—	—	—	—	—	—	—
H6	—	VSS	—	—	—	—	—	—	—	—	—
H7	—	VSS	—	—	—	—	—	—	—	—	—
H8	—	VSS	—	—	—	—	—	—	—	—	—
H9	—	VSS	—	—	—	—	—	—	—	—	—
H10	—	VDD	—	—	—	—	—	—	—	—	—
H11	VCC1833_3	—	P15_6	D14	—	SPI_SSL12 / XSPI0_IO7	MDAT2	—	—	—	—
H12	VCC1833_3	—	P15_5	D13	—	XSPI0_IO6	MCLK2	IRQ7	—	—	—
H13	VCC1833_3	—	P15_4	D12	MTIOC8D	XSPI0_IO5	MDAT1	IRQ3	—	—	—
H14	VCC1833_3	—	P15_7	TEND	—	CTS5# / SPI_SSL13 / XSPI0_CS0#	—	—	—	—	—

表 1.18 機能別の端子一覧 (196 ピン FBGA) (6/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT/POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
J1	—	—	P06_7	A4	GTIOC12B	ETH1_RXD1 / SPI_SSL11	—	—	—	—	DUE1 / HDL1_LINK
J2	—	—	P06_5	A6	GTIOC11B	ETH1_TXEN / SPI_MISO1	—	—	—	—	HDSL0_MISO2
J3	—	—	P06_6	A5	GTIOC12A	ETH1_RXD0 / SPI_SSL10	—	—	—	—	HDSL1_SMPL
J4	—	MD0	P06_3	A8	—	DE4 / ETH1_TXD0 / CANTXDP1	—	—	—	—	—
J5	—	VCC33	—	—	—	—	—	—	—	—	—
J6	—	VDD	—	—	—	—	—	—	—	—	—
J7	—	VSS	—	—	—	—	—	—	—	—	—
J8	—	VSS	—	—	—	—	—	—	—	—	—
J9	—	VDD	—	—	—	—	—	—	—	—	—
J10	—	VCC1833_3	—	—	—	—	—	—	—	—	—
J11	VCC1833_3	—	P15_3	D11	MTIOC8C	XSPI0_IO4	MCLK1	NMI	—	—	—
J12	VCC1833_3	—	P15_0	A23 / CKE	—	RXD5 / SCL5 / MISO5 / SPI_MOSI1 / XSPI0_IO1	—	—	—	—	—
J13	VCC1833_3	—	P15_1	A24 / CAS#	MTIOC0C	TXD5 / SDA5 / MOSI5 / SPI_SSL10 / XSPI0_IO2	—	—	—	—	—
J14	VCC1833_3	—	P15_2	A25 / RAS#	MTIOC0D	SS5# / CTS5# / RTS5# / SPI_SSL11 / XSPI0_IO3	—	—	—	—	—
K1	—	—	P07_0	A3	GTIOC13A	ETH1_RXD2	—	—	—	—	TST_OUT1 / HDL1_SMPL
K2	—	—	P07_2	A1	GTIOC17A	ETH1_RXDV	—	—	—	—	HDSL1_SEL1
K3	—	—	P07_3	A0	GTIOC17B	ETH1_RXCLK / SPI_SSL00	—	—	—	—	HDSL1_MISO1
K4	—	—	P07_1	A2	GTIOC13B	ETH1_RXD3	—	—	—	—	SI1# / HDL1_CLK1
K5	—	—	P09_0	CS0#	MTIOC4A / MTIOC7A / GTIOC6A	RXD3 / SCL3 / MISO3 / GMAC_MDIO / ESC_MDIO	—	—	—	—	—
K6	—	VDD	—	—	—	—	—	—	—	—	—
K7	—	VDD	—	—	—	—	—	—	—	—	—
K8	—	VDD	—	—	—	—	—	—	—	—	—
K9	—	VCC33	—	—	—	—	—	—	—	—	—
K10	—	VCC1833_3	—	—	—	—	—	—	—	—	—
K11	VCC1833_3	—	P14_2	—	MTIOC8B / GTIOC8B	ETH2_CRS / SPI_SSL10 / XSPI0_ECS0#	—	IRQ6	—	—	POUTA / HDL0_CLK2
K12	VCC1833_3	—	P14_7	A22 / BS	—	SCK5 / SPI_MISO1 / XSPI0_IO0	—	—	—	—	—
K13	VCC1833_3	—	P14_4	BS	MTIOC0B	ESC_IRQ / SPI_SSL13 / XSPI0_DS	—	—	—	—	POUTZ / HDL0_MISO2
K14	VCC1833_3	—	P14_6	A21	—	XSPI0_CKP	—	—	—	—	—
L1	—	VSS	—	—	—	—	—	—	—	—	—
L2	—	—	P08_5	—	MTIOC3C / MTIOC6B / GTIOC5A	RXD2 / SCL2 / MISO2 / ETH0_RXDV	MCLK2	IRQ5	—	—	—
L3	—	—	P08_4	CS5#	MTIOC3A / MTIOC6A / GTIOC4A	SCK2 / ETH0_RXD3 / CANTXDP1 / SPI_SSL32	—	IRQ14	—	—	HDSL1_MOSI1
L4	—	—	P09_4	—	GTADSMPO	TXD4 / SDA4 / MOSI4 / ETH0_TXD2 / SPI_SSL21	—	—	—	—	HDSL1_MISO2

表 1.18 機能別の端子一覧 (196 ピン FBGA) (7/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT/POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
L5	—	—	P10_1	—	POE10#	CTS3# / ETH0_RXD0 / SPI_RSPCK1	—	IRQ10	—	—	ENCIFDI1
L6	—	VCC33	—	—	—	—	—	—	—	—	—
L7	—	—	P07_4	—	—	USB_VBUSIN	—	IRQ1	ADTRG0#	—	HDSL1_SEL2
L8	—	VDD	—	—	—	—	—	—	—	—	—
L9	—	TRACEDATA6	P13_2	D9	MTIOC0A / GTIOC10A / POE8#	SS1# / CTS1# / RTS1# / IIC_SCL0 / GMAC_PTPOUT2 / ESC_I2CCLK / SPI_MISO0	MCLK4	IRQ5	—	—	—
L10	—	TRACEDATA7	P13_3	D8 / RD#	MTIOC0B / MTIOC0C / GTIOC10B / CMTW1_TOC0	CTS1# / IIC_SDA0 / GMAC_PTPOUT3 / ESC_I2CDATA / SPI_RSPCK0	MDAT4	—	—	—	—
L11	VCC1833_3	—	P13_7	—	MTCLKC	GMAC_PTPTRG1 / ESC_LATCH0 / ESC_LATCH1 / SPI_MOSI1 / XSPI0_ECS1#	MBX_HINT#	—	—	—	HDSL0_SEL1
L12	VCC1833_3	—	P13_5	—	MTCLKA	IIC_SCL2 / GMAC_PTPTRG0 / ESC_LATCH0 / ESC_LATCH1 / SPI_RSPCK1 / XSPI0_WP1#	—	—	—	—	—
L13	VCC1833_3	—	P14_3	—	MTIOC0A	ETH2_COL / SPI_SSL11 / XSPI0_RSTO1#	—	—	—	—	POUTB / HDSL0_SEL2
L14	VCC1833_3	—	P14_5	CS3#	POE8#	XSPI0_CKN	—	IRQ15	—	HSPI_INT#	—
M1	—	—	P08_7	WAIT#	MTIOC3D / MTIOC6D / GTIOC5B	TXD2 / SDA2 / MOSI2 / GMAC_MDC / ESC_MDC / SPI_SSL13	MDAT2	IRQ8	—	—	—
M2	—	—	P08_6	—	MTIOC3B / MTIOC6C / GTIOC4B / CMTW1_TIC1	SCK3 / ETH0_RXCLK	—	IRQ9	—	—	—
M3	—	—	P09_1	—	MTIOC4C / MTIOC7B / GTIOC7A / GTETRGSA	DE3 / ETH0_REFCLK / RMII0_REFCLK / GMAC_PTPOUT0 / ESC_SYNC0 / ESC_SYNC1 / SPI_SSL10	—	—	—	—	—
M4	—	—	P09_7	DACK	GTIOC15B	RXD4 / SCL4 / MISO4 / ETH0_TXCLK / USB_OVRCUR / CANTXDP0 / SPI_SSL00	—	IRQ12	—	—	ENCIFOE1
M5	—	—	P10_2	—	MTIC5U	TXD0 / SDA0 / MOSI0 / ETH0_RXD1	—	—	—	—	—
M6	—	VSS	—	—	—	—	—	—	—	—	—
M7	—	MDX	—	—	—	—	—	—	—	—	—
M8	—	VCC18_PLL1	—	—	—	—	—	—	—	—	—
M9	—	VSS	—	—	—	—	—	—	—	—	—
M10	—	VCC33_USB	—	—	—	—	—	—	—	—	—
M11	—	VSS_USB	—	—	—	—	—	—	—	—	—
M12	—	—	P13_4	A0 / WAIT#	MTIOC0D / GTIOC8B	ESC_RESETOUT# / SPI_SSL12	—	—	—	—	—
M13	VCC1833_3	—	P13_6	—	MTCLKB	GMAC_PTPOUT0 / ESC_SYNC0 / ESC_SYNC1 / XSPI0_WP0#	—	—	—	—	—

表 1.18 機能別の端子一覧 (196 ピン FBGA) (8/8)

ピン番号	I/O 電源ドメイン	電源クロックシステム制御	I/O ポート	バス、DMAC	タイマ (MTU3、POE3、GPT / POEG、CMTW、RTC)	通信 (SCI、IIC、GMAC、ESC、USB、CANFD、SPI、xSPI)	DSMIF、メールボックス	割り込み	ADC12	ホストインタフェース (SHOST)	エンコーダインタフェース
M14	VCC1833_3	—	P14_1	—	MTIOC8A / GTIOC8A	GMAC_PTPTRG1 / ESC_LATCH0 / ESC_LATCH1 / SPI_MISO1 / XSPI0_INT1#	—	—	—	—	HDSL0_MOS1
N1	—	—	P09_2	RAS# / DACK	MTIOC4B / MTIOC7C / GTIOC6B / RTCAT1HZ	ETH0_RXER	—	IRQ0	—	—	HDSL1_CLK2
N2	—	—	P09_3	CS3#	MTIOC4D / MTIOC7D / GTIOC7B / GTETRGSB / CMTW0_TOC0	SS5# / CTS5# / RTS5# / ETH0_TXD3 / USB_VBUSEN / CANTXDPO	MCLK3	IRQ12	—	—	HDSL1_SEL2
N3	—	—	P09_5	DREQ	GTADSM1 / CMTW0_TOC0	DE5 / IIC_SCL1 / ETH0_TXD1 / USB_VBUSEN / CANRX0	—	IRQ14	—	—	HDSL1_MOS2
N4	—	—	P10_0	—	POE11# / CMTW0_TIC0	SCK4 / IIC_SDA1 / ETH0_TXEN / USB_EXICEN / CANTX0	—	IRQ15	—	—	ENCIFD01
N5	—	RES#	—	—	—	—	—	—	—	—	—
N6	—	EXTCLKIN	—	—	—	—	—	—	—	—	—
N7	—	VSS	—	—	—	—	—	—	—	—	—
N8	—	VCC18_PLL0	—	—	—	—	—	—	—	—	—
N9	—	VSS_USB	—	—	—	—	—	—	—	—	—
N10	—	VSS_USB	—	—	—	—	—	—	—	—	—
N11	—	AVCC18_USB	—	—	—	—	—	—	—	—	—
N12	—	VSS_USB	—	—	—	—	—	—	—	—	—
N13	—	VSS_USB	—	—	—	—	—	—	—	—	—
N14	VCC1833_3	—	P14_0	—	MTCLKD	GMAC_PTPOUT1 / ESC_SYNC0 / ESC_SYNC1 / XSPI0_INT0#	—	—	—	—	HDSL0_MISO1
P1	—	VSS	—	—	—	—	—	—	—	—	—
P2	—	—	P09_6	—	GTIOC15A / CMTW0_TIC1	CTS5# / ETH0_TXD0 / USB_EXICEN / CANRXDPO	MDAT3	IRQ13	—	—	ENCIFCK1
P3	—	—	P10_3	—	MTIC5V / RTCAT1HZ	RXD0 / SCL0 / MISO0 / ETH0_RXD2	—	IRQ8	—	—	—
P4	—	—	P10_4	D15	MTIC5W	SCK0 / ESC_PHYLINK0 / SPI_SSL01	MBX_HINT#	IRQ11	—	—	—
P5	—	VSS	—	—	—	—	—	—	—	—	—
P6	—	EXTAL	—	—	—	—	—	—	—	—	—
P7	—	XTAL	—	—	—	—	—	—	—	—	—
P8	—	VSS	—	—	—	—	—	—	—	—	—
P9	—	USB_DM	—	—	—	—	—	—	—	—	—
P10	—	USB_DP	—	—	—	—	—	—	—	—	—
P11	—	VCC18_USB	—	—	—	—	—	—	—	—	—
P12	—	USB_RREF	—	—	—	—	—	—	—	—	—
P13	—	VSS_USB	—	—	—	—	—	—	—	—	—
P14	—	VSS	—	—	—	—	—	—	—	—	—

2. 電気的特性

特に説明がない限り、本 LSI の電気特性は以下の条件で定義されます。

条件：

VDD = 1.05~1.15 V

VCC18 = VCC1833_n (1.8 V モード) = VCC18_PLL0 = VCC18_PLL1 = VCC18_USB = AVCC18_USB = VCC18_ADC0 = VCC18_ADC1 = AVCC18_TSU = VREFH0 = VREFH1 = 1.70~1.95 V

VCC33 = VCC1833_n (3.3 V モード) = VCC33_USB = 3.135~3.465 V

VSS = VSS_USB = 0 V

Tj = -40~+125°C

2.1 絶対最大定格

表 2.1 絶対最大定格

項目	シンボル	値	単位
電源電圧 (3.3 V モード)	VCC33、 VCC1833_2、 VCC1833_3	-0.3~+3.8	V
電源電圧 (1.8 V モード)	(VCC18) VCC1833_2、 VCC1833_3	-0.3~+2.5	V
電源電圧	VDD	-0.3~+1.5	V
入力電圧	Vin (3.3 V ロジック)	-0.3~VCC33 + 0.3	V
入力電圧	Vin (1.8 V ロジック)	-0.3~VCC18 + 0.3	V
アナログ電源電圧	VCC18_PLL0、 VCC18_PLL1、 VCC18_USB、 AVCC18_USB、 VCC18_ADC0、 VCC18_ADC1、 AVCC18_TSU ^(注1)	-0.3~VCC18 ^(注2) + 0.3 または 2.5 の小さい方	V
	VCC33_USB	-0.3~VCC33 + 0.3 または 3.8 の小さい方	V
電源電圧差	VCC33-VCC18	-2.5~+ 2.1	V
アナログ入力電圧	VAN	-0.3~VCC18_ADC0/1 + 0.3 ま たは 2.5 の小さい方	V
基準電圧	VREFH0、VREFH1	-0.3~VCC18_ADC0/1 + 0.3 ま たは 2.5 の小さい方	V
水晶振動子端子入力電圧	XTAL、EXTAL	-0.3~+1.5	V
動作温度 (ジャンクション温度)	Tj	-40~+125	°C
保存温度	Tstg	-55~+125	°C

注 1. アナログブロックを使用しないときは、アナログ電源端子は、VCC18 に接続してください。それらの端子を開放したままにしないでください。

注 2. 慣例として、「VCC18」は 1.8 V モードの VCC1833_n などのチップ電源を仮想的に示しています。

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、MCU の永久破壊となることがあります。

2.2 電源

表 2.2 電源

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC33		3.135	—	3.465	V
	VDD		1.05	1.1	1.15	V
	VSS		—	0	—	V
マルチ電圧モードに対応する電源電圧	VCC1833_2、 VCC1833_3	3.3 V モード	3.135	3.3	3.465	V
		1.8 V モード (VCC18)	1.70	1.8	1.95	V
アナログ電源電圧	VCC18_PLL0		—	VCC18	—	V
	VCC18_PLL1		—	VCC18	—	V
	VCC33_USB		—	VCC33	—	V
	VCC18_USB		—	VCC18	—	V
	AVCC18_USB		—	VCC18	—	V
	VCC18_ADC0		—	VCC18	—	V
	VCC18_ADC1		—	VCC18	—	V
	AVCC18_TSU		—	VCC18	—	V
	VSS_USB		—	0	—	V

2.3 電源投入／遮断シーケンス

電源投入／遮断シーケンスとタイミングを以下の図と表に示します。

電源投入では、1.1 V と 1.8 V 電源（例：VDD、VCC18、および AVCC）を最初に供給し、それから 3.3 V 電源（例：VCC33）を供給する必要があります。電源投入シーケンスは、100 ms 以内に完了する必要があります。リセット信号（例：RES#）は、電源投入中 Low レベルにしておく必要があります。

電源遮断では、まず 3.3 V 電源（例：VCC33）を先に遮断し、それから 1.1 V と 1.8 V 電源（例：VDD、VCC18、および AVCC）を遮断する必要があります。電源遮断シーケンスは、100 ms 以内に完了する必要があります。

各電源の投入時の立ち上がりと遮断時の立ち下がりの時間は、10 μs より長い必要があります。

電源電圧とリセット信号は、単調に立ち上がる必要があります。

電源電圧に負の電圧を印加しないでください。

リセット信号（すなわち RES#）が High に駆動されているときは、EXTAL/XTAL または EXTCLKIN 端子に安定したクロックを供給しなければなりません。

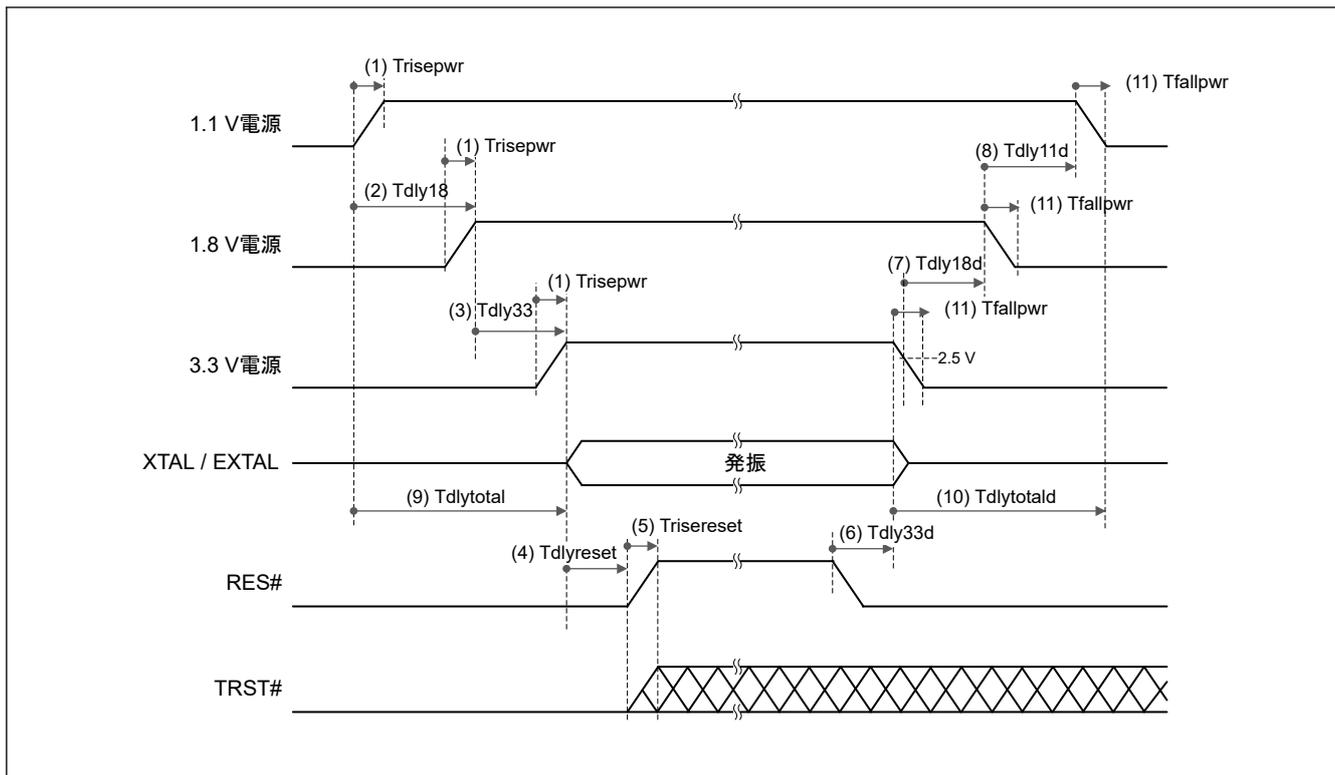


図 2.1 電源投入/遮断シーケンス

表 2.3 電源投入/遮断シーケンスタイミング

No.	シンボル	説明	値		
			Min	Typ	Max
(1)	Trisepwr	電源電圧の立ち上がり時間	10 μ s	—	30 ms
(2)	Tdly18	1.1 V 電源電圧の立ち上がり開始から、1.8 V 電源電圧の立ち上がり完了までの遅延時間	0	—	100 ms
(3)	Tdly33	1.8 V 電源電圧の立ち上がり完了から、3.3 V 電源電圧の立ち上がり完了までの遅延時間	0	—	100 ms
(4)	Tdlyreset	XTAL/EXTAL 使用時の 3.3 V 電源電圧の立ち上がり完了から、RES#信号の立ち上がり開始までの遅延時間	10 ms	—	—
		EXTCLKIN 使用時の 3.3 V 電源電圧の立ち上がり完了から、RES#信号の立ち上がり開始までの遅延時間	1 ms	—	—
(5)	Trisereset	RES#信号の立ち上がり時間	—	—	150 μ s
(6)	Tdly33d	RES#信号の立ち下がり開始から、3.3 V 電源電圧の立ち下がり開始までの遅延時間	10 μ s	—	—
(7)	Tdly18d	3.3 V 電源電圧の立ち下がり開始から、1.8 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(8)	Tdly11d	1.8 V 電源電圧の立ち下がり開始から、1.1 V 電源電圧の立ち下がり開始までの遅延時間	0	—	100 ms
(9)	Tdlytotal	全ての電源電圧の起動時間	—	—	100 ms
(10)	Tdlytotald	全ての電源電圧の遮断時間	—	—	100 ms
(11)	Tfallpwr	電源電圧の立ち下がり時間	10 μ s	—	30 ms

2.4 DC 特性

表 2.4 DC 特性 (3.3 V モード)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH33}	3.3 V モード、シュミットトリガ制御無効、P07_4 端子を除く	2.0	—	$VCC33 + 0.3$	V
入力 Low レベル電圧	V_{IL33}		-0.3	—	0.8	V
正トリガ電圧	V_{T33+}	3.3 V モード、シュミットトリガ制御有効、P07_4 端子を除く	0.9	—	2.1	V
負トリガ電圧	V_{T33-}		0.7	—	1.9	V
ヒステリシス電圧	ΔV_{T33}		0.2	—	—	V
入力 High レベル電圧 2	V_{IH33_2}	3.3 V モード、シュミットトリガ制御無効、P07_4 端子のみ	$VCC33 \times 0.7$	—	$VCC33 + 0.3$	V
入力 Low レベル電圧 2	V_{IL33_2}		-0.3	—	$VCC33 \times 0.3$	V
正トリガ電圧 2	V_{T33+_2}	3.3 V モード、シュミットトリガ制御有効、P07_4 端子のみ	—	—	$VCC33 \times 0.72$	V
負トリガ電圧 2	V_{T33-_2}		$VCC33 \times 0.3$	—	—	V
ヒステリシス電圧 2	ΔV_{T33_2}		$VCC33 \times 0.1$	—	—	V
出力 High レベル電圧	V_{OH33}	Low、IOH = -2 mA	$VCC33 - 0.4$	—	—	V
	V_{OH33}	Middle、IOH = -4 mA	$VCC33 - 0.4$	—	—	V
	V_{OH33}	High、IOH = -8 mA	$VCC33 - 0.4$	—	—	V
	V_{OH33}	Ultra High、IOH = -12 mA	$VCC33 - 0.4$	—	—	V
出力 Low レベル電圧	V_{OL33}	Low、IOL = 2 mA	—	—	0.4	V
	V_{OL33}	Middle、IOL = 4 mA	—	—	0.4	V
	V_{OL33}	High、IOL = 8 mA	—	—	0.4	V
	V_{OL33}	Ultra High、IOL = 12 mA	—	—	0.4	V
入力リーク電流	$ I_{in} $	$V_{in} = 0 V$ 、 $V_{in} = VCC33$	—	—	10	μA
スリーステートリーク電流 (オフ状態)	$ I_{TS} $	$V_{in} = 0 V$ 、 $V_{in} = VCC33$	—	—	10	μA
入力プルアップ抵抗の値	Rpu	$V_{in} = 0 V$	15	—	300	k Ω
入力プルアップ抵抗の電流	Ipu	$V_{in} = 0 V$	-220	—	-11	μA
入力プルダウン抵抗の値	Rpd	$V_{in} = VCC33$	15	—	300	k Ω
入力プルダウン抵抗の電流	Ipd	$V_{in} = VCC33$	11	—	220	μA
入力容量	Cin	全入出力端子および全入力端子	—	—	10	pF

表 2.5 DC 特性 (1.8 V モード) (1/2)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH18}	1.8 V モード、シュミットトリガ制御無効	$VCC18 \times 0.65$	—	$VCC18 + 0.3$	V
入力 Low レベル電圧	V_{IL18}		-0.3	—	$VCC18 \times 0.35$	V
正トリガ電圧	V_{T18+}	1.8 V モード、シュミットトリガ制御有効	$VCC18 \times 0.4$	—	$VCC18 \times 0.7$	V
負トリガ電圧	V_{T18-}		$VCC18 \times 0.3$	—	$VCC18 \times 0.6$	V
ヒステリシス電圧	ΔV_{T18}		$VCC18 \times 0.1$	—	—	V
出力 High レベル電圧	V_{OH18}	Low、IOH = -2 mA	$VCC18 - 0.45$	—	—	V
	V_{OH18}	Middle、IOH = -4 mA	$VCC18 - 0.45$	—	—	V
	V_{OH18}	High、IOH = -8 mA	$VCC18 - 0.45$	—	—	V
	V_{OH18}	Ultra High、IOH = -12 mA	$VCC18 - 0.45$	—	—	V

表 2.5 DC 特性 (1.8 V モード) (2/2)

項目	シンボル	条件	Min	Typ	Max	単位
出力 Low レベル電圧	V _{OL18}	Low、IOL = 2 mA	—	—	0.45	V
	V _{OL18}	Middle、IOL = 4 mA	—	—	0.45	V
	V _{OL18}	High、IOL = 8 mA	—	—	0.45	V
	V _{OL18}	Ultra High、IOL = 12 mA	—	—	0.45	V
入力リーク電流	I _{in}	V _{in} = 0 V、V _{in} = VCC18	—	—	10	μA
スリーステートリーク電流 (オフ状態)	I _{TSl}	V _{in} = 0 V、V _{in} = VCC18	—	—	10	μA
入力プルアップ抵抗の値	R _{pu}	V _{in} = 0 V	15	—	300	kΩ
入力プルアップ抵抗の電流	I _{pu}	V _{in} = 0 V	-120	—	-6	μA
入力プルダウン抵抗の値	R _{pd}	V _{in} = VCC18	15	—	300	kΩ
入力プルダウン抵抗の電流	I _{pd}	V _{in} = VCC18	6	—	120	μA
入力容量	C _{in}	全入出力端子および全入力端子	—	—	10	pF

表 2.6 USB2.0 USB_RREF 端子

項目	シンボル	条件	Min	Typ	Max	単位
基準抵抗(注1)	R _{REF}	—	—	1.8 (±1%)	—	kΩ

注 1. USB_RREF 端子に接続した基準抵抗は外部から本 LSI への接続のためのものです。

表 2.7 USB2.0 プルアップ/プルダウン抵抗

項目	シンボル	条件	Min	Typ	Max	単位
USB_DP プルアップ抵抗 (ファンクションコントローラ選択時)	R _{PU}	アイドル状態	0.900	—	1.575	kΩ
		送受信	1.425	—	3.090	kΩ
USB_DP/USB_DM プルダウン抵抗 (ホストコントローラ選択時)	R _{PD}	—	14.25	—	24.80	kΩ

表 2.8 USB2.0 ホスト/ファンクション関連端子 (ロースピードおよびフルスピード)

項目	シンボル	条件	Min	Typ	Max	単位
入力 High レベル電圧	V _{FSIH}	—	2.0	—	—	V
入力 Low レベル電圧	V _{FSIL}	—	—	—	0.8	V
差動入力感度	V _{FSDI}	(USB_DP) - (USB_DM)	0.2	—	—	V
差動共通モードレンジ	V _{FSCM}	—	0.8	—	2.5	V
出力 Low レベル電圧	V _{FSOL}	IFSOL = 2 mA	0.0	—	0.3	V
出力 High レベル電圧	V _{FSOH}	IFSOH = -200 μA	2.8	—	3.6	V
出力信号クロスオーバー電圧	V _{FSCRS}	—	1.3	—	2.0	V

表 2.9 USB2.0 ホスト/ファンクション関連端子 (ハイスピード) (1/2)

項目	シンボル	条件	Min	Typ	Max	単位
スケルチ検出しきい値電圧 (差動電圧)	V _{HSSQ}	—	100	—	150	mV
切断検出しきい値電圧 (差動電圧)	V _{HSDSC}	—	525	—	625	mV
共通モード電圧範囲	V _{HSCM}	—	-50	—	500	mV
アイドル状態	V _{HSOI}	—	-10.0	—	10.0	mV
出力 High レベル電圧	V _{HSOH}	—	360	—	440	mV
出力 Low レベル電圧	V _{HSOL}	—	-10.0	—	10.0	mV

表 2.9 USB2.0 ホスト/ファンクション関連端子 (ハイスピード) (2/2)

項目	シンボル	条件	Min	Typ	Max	単位
Chirp J 出力電圧 (差動)	V _{CHIRPJ}	—	700	—	1100	mV
Chirp K 出力電圧 (差動)	V _{CHIRPK}	—	-900	—	-500	mV

表 2.10 消費電流

項目	シンボル	条件	Min	Typ	Max	単位
通常動作	I _{vdd}	ICLK = 200 MHz、CPU0CLK = 800 MHz、T _j ≤ 110°C	—	—	400	mA
	I _{VCC33}	(注1)	—	60	—	mA
	I _{VCC1833_2}	(注1)	—	9	—	mA
	I _{VCC1833_3}	(注1)	—	9	—	mA
	I _{VCC18_PLL0}	—	—	—	6	mA
	I _{VCC18_PLL1}	—	—	—	6	mA
	I _{VCC18_USB}	—	—	—	39	mA
	I _{VCC18_ADC0}	—	—	—	3	mA
	I _{VCC18_ADC1}	—	—	—	3	mA
	I _{VCC18_TSU}	—	—	—	2	mA
	I _{VCC33_USB}	—	—	—	6	mA
低消費電力モード(注2)	I _{vdd}	全モジュールが非アクティブ	—	12	—	mA
	I _{VCC33}	—	—	9	—	mA
	I _{VCC1833_2}	—	—	2	—	mA
	I _{VCC1833_3}	—	—	2	—	mA
	I _{VCC18_PLL0}	—	—	3.5	—	mA
	I _{VCC18_PLL1}	—	—	0.1	—	mA
	I _{VCC18_USB}	—	—	0.5	—	mA
	I _{VCC18_ADC0}	—	—	0.2	—	mA
	I _{VCC18_ADC1}	—	—	0.2	—	mA
	I _{VCC18_TSU}	—	—	0.1	—	mA
	I _{VCC33_USB}	—	—	0.3	—	mA

注. ここに示す値は参考値です。実際の動作電流はシステムに大きく依存します。(例えば、I/O 負荷やトグル周波数による鈍った波形など。)必ずシステム上でこれら電流値を測定してください。

注 1. IO 消費電流 (I_{VCC33}、I_{VCC1833_n} (n = 0~4)) は、80 mA 以下である必要があります。(表 2.11 の ΣIOH)

注 2. 設定可能なモジュールはすべて停止または最低クロック周波数設定のスタンバイモードとし、すべての入出力ポートのプルアップおよびプルダウンまたは動作なし、および室温での測定とします。

表 2.11 出力許容電流

項目	シンボル	条件	Min	Typ	Max	単位
出力 Low レベル許容電流 (端子ごとの最大値)	IOL	全出力端子	—	—	12	mA
出力 Low レベル許容電流 (総和)	ΣIOL	全出力端子の総和	—	—	80	mA
出力 High レベル許容電流 (端子ごとの最大値)	IOH	全出力端子	—	—	-12	mA
出力 High レベル許容電流 (総和)	ΣIOH	全出力端子の総和	—	—	-80	mA

注. LSI の信頼性を確保するため、すべての出力電流値はこの表の値の範囲である必要があります。

表 2.12 熱抵抗値 (参考)

項目	シンボル	パッケージ	Max	単位
熱抵抗	Θ_{ja}	196 ピン FBGA (12 mm × 12 mm、0.8 mm ピッチ)	25.4	°C/W
	Ψ_{jt}	196 ピン FBGA (12 mm × 12 mm、0.8 mm ピッチ)	0.38	°C/W

注. 上記パッケージ熱抵抗値は、EIA/JESD51-9 (2s2p) 条件に基づくもので、参考用です。

2.5 AC 特性

表 2.13 動作周波数

項目	シンボル	Min	Max	単位	
動作周波数	CPU クロック (CPU0CLK)	f	150 200	600 800	MHz
	システムクロック (ICLK)		150	200	
	周辺モジュールクロック H (PCLKH)		150	200	
	周辺モジュールクロック M (PCLKM)		75	100	
	周辺モジュールクロック L (PCLKL)		37.5	50	
	ADC 用周辺モジュールクロック (PCLKADC)		18.75	25	
	SCIn 用周辺モジュールクロック (PCLKSCIn, n = 0~5)		75	100	
	SPIn 用周辺モジュールクロック (PCLKSPIn, n = 0~3)		75	100	
	外部バスクロック出力 (CKIO)		18.75	100	
	イーサネット PHY 基準クロック (ETHn_REFCLK, n = 0~2)		25		
	イーサネット PHY 基準クロック (RMIn_REFCLK, n = 0~2)		50		

AC 特性は、表 2.14 に示す I/O 設定 (DRCTLm レジスタ設定) の条件で定義されます。

表 2.14 I/O 設定 (DRCTLm レジスタ設定) の条件 (1/2)

モジュール	信号		I/O の種類	電圧	DRCTLm レジスタ		
					DRVn	SRn	SMTn
バス	CKIO	SDRAM および高駆動	—	3.3 V	高	高速	—
		上記以外	—	3.3 V	中	高速	—
	上記以外		タイプ A	3.3 V	中	低速	無効
			タイプ B	3.3 V	低	低速	無効
DMAC、MTU3、IIC、CANFD、DSMIF	全信号	タイプ A	3.3 V	中	低速	無効	
		タイプ B	3.3 V	低	低速	無効	
GPT (n = 0~17) (m = 0、1)	GTIOCnA、GTIOCnB	タイプ A	3.3 V	中	低速	無効	
		タイプ B	3.3 V	低	低速	無効	
	GTADSMLm、GTADSMPm	—	3.3 V	低	低速	無効	
SCI、SPI	全信号	—	3.3 V	高	高速	無効	
xSPI (n = 0、1、m = 0、1)	XSPI _n _CKP、XSPI ₀ _CKN、XSPI _n _IO[7:0]、XSPI _n _CSm#、XSPI _n _DS	—	1.8 V(注1)	高	高速	無効	
		—	3.3 V	高	高速	有効	
	上記以外	—	—	低	低速	無効	

表 2.14 I/O 設定 (DRCTLm レジスタ設定) の条件 (2/2)

モジュール	信号	I/O の種類	電圧	DRCTLm レジスタ		
				DRVn	SRn	SMTn
イーサネットインタフェース (n = 0~2)	ETHn_TXCLK、ETHn_TXD[3:0]	—	1.8 V(注1)/3.3 V	高	高速	無効
	ETH2_TXER	—	3.3 V	中	高速	—
	ETHn_RXCLK、ETHn_RXD[3:0]	—	1.8 V(注1)/3.3 V	—	—	無効
	ETHn_RXER、ETH2_COL、ETH2_CRS	—	3.3 V	—	—	無効
	ETHn_REFCLK、RMIIIn_REFCLK	—	3.3 V	高	高速	—
	上記以外	—	—	低	低速	無効
SHOSTIF	HSPI_CK、HSPI_CS#、HSPI_IO[7:0]	—	3.3 V	高	高速	無効
	HSPI_INT#	—	3.3 V	低	低速	無効
デバッグインタフェース	TRACECLK、TRACECTL、TRACEDATA[7:0]、TDO、TMS	—	3.3 V	高	高速	無効
	上記以外	—	—	低	低速	無効
上記以外	—	—	—	低	低速	無効

注 1. 1.8 V は、xSPI0 とイーサネットポート 2 (ETH2_) でのみサポートされています。

2.5.1 クロックタイミング

2.5.1.1 CKIO 端子出力タイミング

表 2.15 CKIO 端子出力タイミング

項目	シンボル	条件	Min	Typ	Max	単位
CKIO 端子出力サイクル時間	t_{CKcyc}	図 2.2	10	—	53.4	ns
CKIO 端子出力 High レベルパルス幅	t_{CKH}		$t_{CKcyc} / 2 - t_{CKr}$	—	—	ns
CKIO 端子出力 Low レベルパルス幅	t_{CKL}		$t_{CKcyc} / 2 - t_{CKf}$	—	—	ns
CKIO 端子出力立ち上がり時間 1	t_{CKr}	CKIO : 高駆動出力設定	—	—	3.8	ns
CKIO 端子出力立ち下がり時間 1	t_{CKf}		—	—	3.8	ns
CKIO 端子出力立ち上がり時間 2	t_{CKr}	CKIO : 通常出力設定	—	—	9	ns
CKIO 端子出力立ち下がり時間 2	t_{CKf}		—	—	9	ns

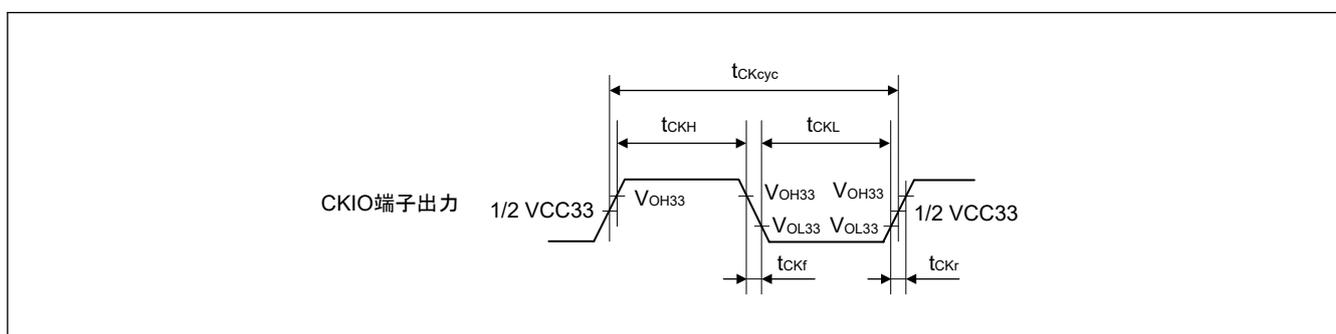


図 2.2 CKIO 端子出力タイミング

2.5.1.2 イーサネット PHY 基準クロック出力タイミング

条件 :

C = 30 pF (ETHn_REFCLK)

C = 20 pF (RMIIIn_REFCLK)

表 2.16 イーサネット PHY 基準クロック出力タイミング

項目	シンボル	条件	Min	Typ	Max	単位
ETHn_REFCLK サイクルタイム	t_{CK}	図 2.3	40	—	—	ns
ETHn_REFCLK 周波数	—		25.00 ± 50 ppm			MHz
ETHn_REFCLK デューティ	—		45	—	55	%
ETHn_REFCLK 立ち上がり/立ち下がり時間	t_{CKr} / t_{CKf}		0.5	—	4.0	ns
RMIIn_REFCLK サイクルタイム	t_{CK}		20	—	—	ns
RMIIn_REFCLK 周波数	—		50.00 ± 50 ppm			MHz
RMIIn_REFCLK デューティ	—		45	—	55	%
RMIIn_REFCLK 立ち上がり/立ち下がり時間	t_{CKr} / t_{CKf}		0.5	—	3.5	ns

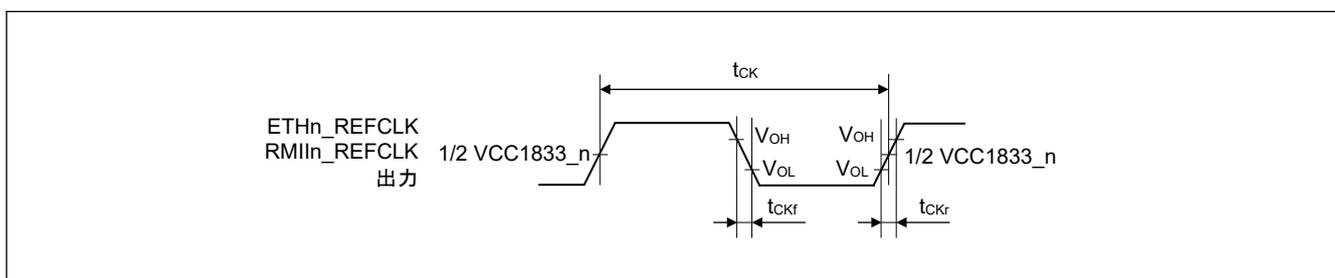


図 2.3 イーサネット PHY 基準クロック出力タイミング

2.5.1.3 EXTCLKIN 外部クロック入力

表 2.17 EXTCLKIN クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
EXTCLKIN 外部クロック周波数	$f_{EXTCLKIN}$	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz
EXTCLKIN デューティ	$\Gamma_{EXTCLKIN}$	—	±5%			—
EXTCLKIN 立ち上がり時間	$t_{EXTCLKIN}$	—	0	—	5	ns
EXTCLKIN 立ち下がり時間	$t_{EXTCLKIN}$	—	0	—	5	ns

注. 水晶振動子を接続する場合（すなわち EXTA/XTAL クロックを使用時）は、EXTCLKIN を Low にしてください。

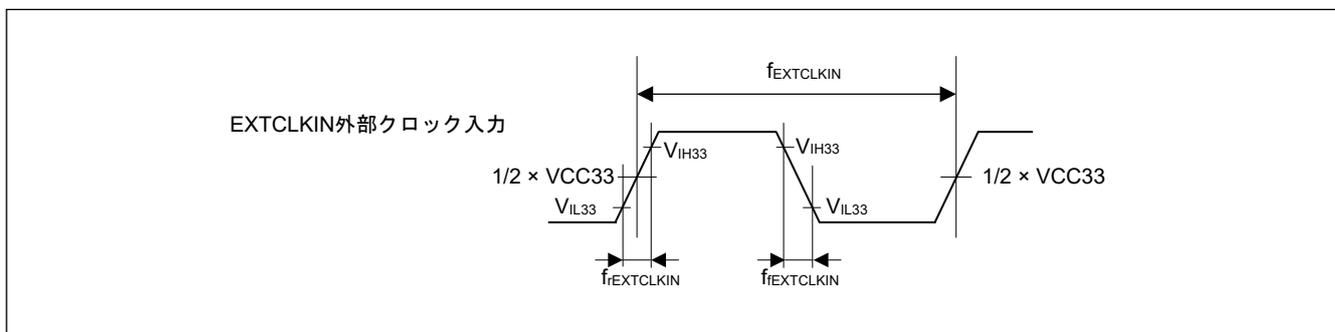


図 2.4 EXTCLKIN 外部クロック入力タイミング

2.5.1.4 EXTAL/XTAL クロックタイミング

表 2.18 EXTAL/XTAL クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
EXTAL/XTAL クロック周波数(注1)	f_{XTAL}	—	25.00 ± 50 ppm			MHz
		EtherCAT 使用中	25.00 ± 25 ppm			MHz

注. 外部発振器を使用する場合、必ず XTAL を開放とし、EXTAL を Low にしてください。

注 1. EXTAL/XTAL クロック (例: 水晶振動子) を使用する場合、発振器の製造元に発振器の発振評価を依頼してください。発振安定待ち時間については、発振器の製造元の評価結果を参照してください。

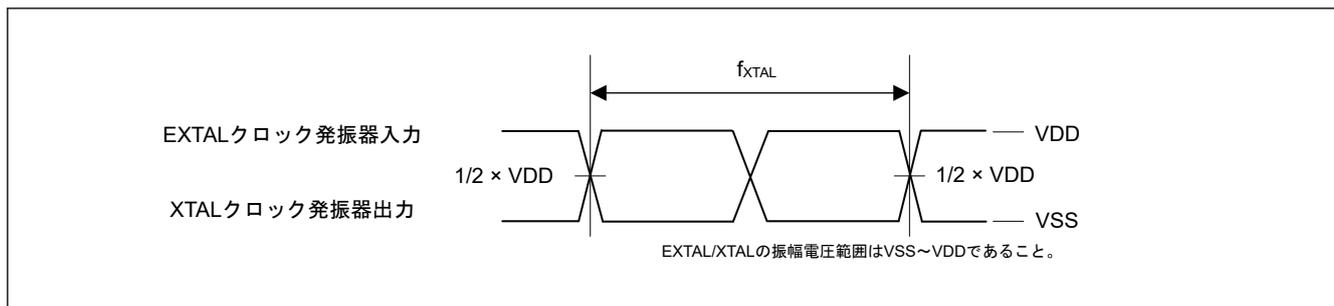


図 2.5 EXTAL クロック発振器入力と XTAL クロック発振器出力のタイミング

2.5.1.5 LOCO クロックタイミング

表 2.19 LOCO クロックタイミング

項目	シンボル	条件	Min	Typ	Max	単位
LOCO クロックサイクル時間	t_{Lcyc}	—	4.62	4.17	3.79	μ s
LOCO クロック発振周波数	t_{LOCO}	—	216	240	264	kHz
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	—	40	μ s

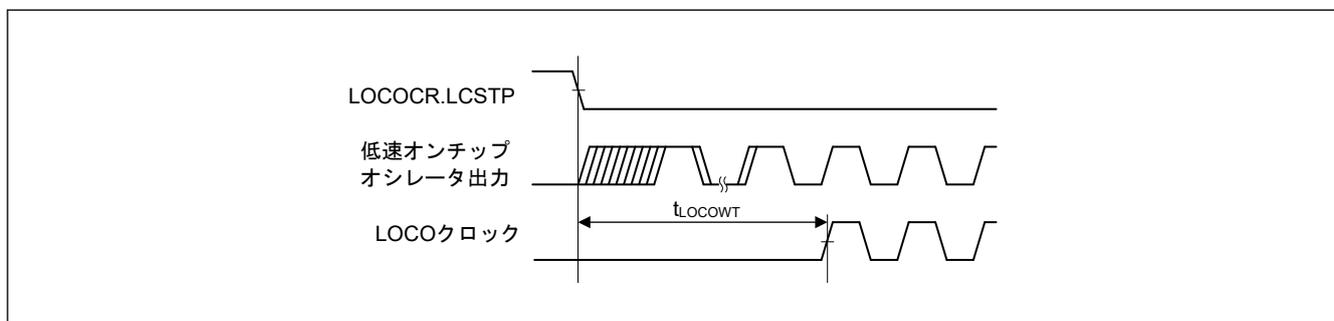


図 2.6 LOCO クロック発振開始タイミング

2.5.2 リセット、割り込み、およびモードタイミング

表 2.20 リセット、割り込み、およびモードタイミング (1/2)

項目	シンボル	条件	Min(注1)	Typ	Max	単位
RES#パルス幅	電源投入時	$t_{dlyreset}$	10	—	—	ms
	上記以外	$t_{dlyreset2}$	1	—	—	ms
RES#立ち上がり時間	$t_{risereset}$	—	—	—	150	μ s
TRST#パルス幅	電源投入時	$t_{dlyreset}$	10	—	—	ms
	上記以外	$t_{dlyreset2}$	1	—	—	ms
TRST#立ち上がり時間	$t_{risereset}$	—	—	—	150	μ s

表 2.20 リセット、割り込み、およびモードタイミング (2/2)

項目	シンボル	条件	Min(注1)	Typ	Max	単位
NMI パルス幅	t_{NMIW}	図 2.8	$t_{cyc} \times 2$	—	—	ns
IRQ パルス幅	t_{IRQW}	図 2.9	$t_{cyc} \times 2$	—	—	ns
モードホールド時間 (RES#に対して)	電源投入時 t_{MDH}	図 2.10	250	—	—	ns

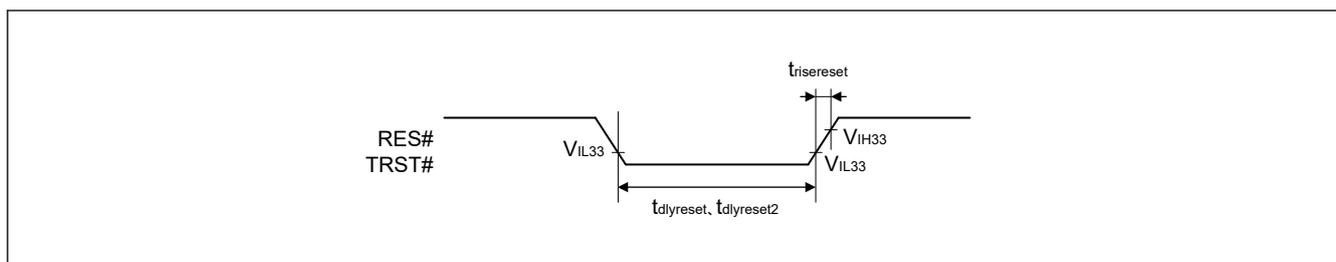
注 1. t_{cyc} : ICLK サイクル

図 2.7 リセット入力タイミング

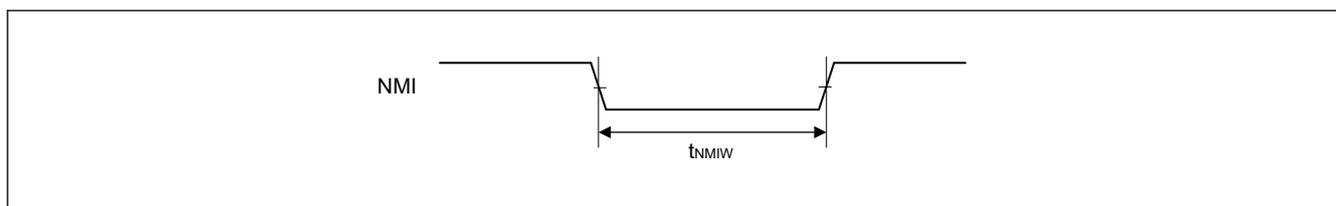


図 2.8 NMI 割り込み入力タイミング

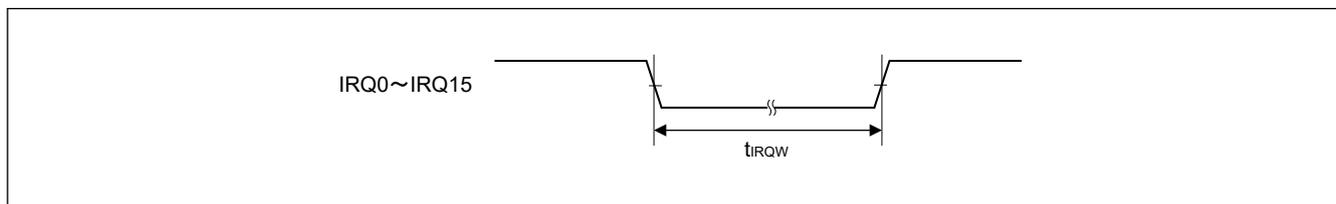


図 2.9 IRQ 割り込み入力タイミング

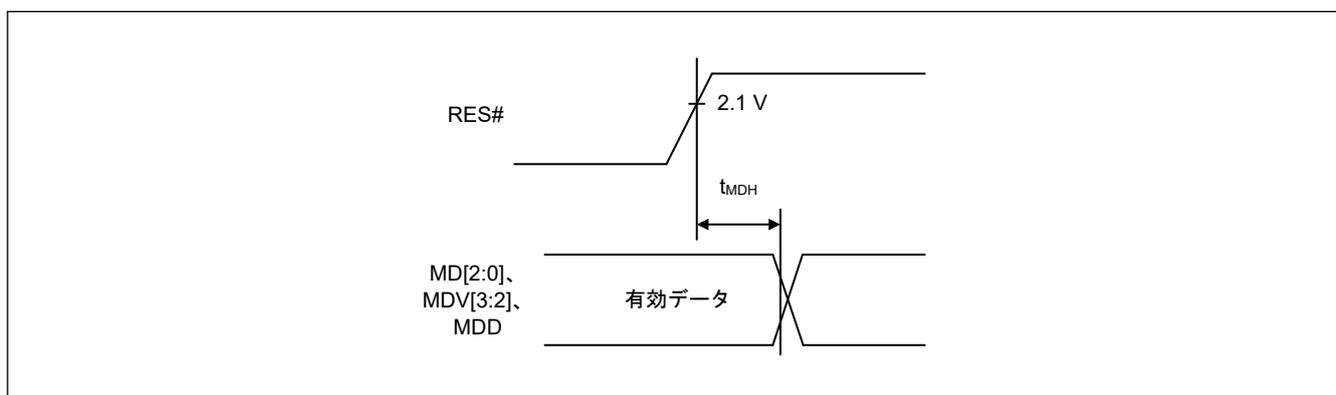


図 2.10 モード入力タイミング

2.5.3 バスタイミング

表 2.21 バスタイミング (1/2)

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 15 \text{ pF}$ (CKIO)、 30 pF (その他)、 $T_{jmin} = -40^\circ\text{C}$

項目	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最大 66 MHz)		単位	参照図	
		Min	Max			
アドレス遅延時間 1	SDRAM(注2)	t_{AD1}	2	11	ns	図 2.11 ~ 図 2.35
	上記以外		0	10	ns	
アドレス遅延時間 2		t_{AD2}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.18
アドレスセットアップ時間		t_{AS}	0	—	ns	図 2.11 ~ 図 2.14、図 2.18
チップイネーブルセットアップ時間		t_{CS}	0	—	ns	図 2.11 ~ 図 2.14、図 2.18
アドレスホールド時間		t_{AH}	0	—	ns	図 2.11 ~ 図 2.14
BS 遅延時間		t_{BSD}	—	11	ns	図 2.11 ~ 図 2.32
CSn#遅延時間 1	SDRAM(注2)	t_{CSD1}	2	11	ns	図 2.11 ~ 図 2.35
	上記以外		0	10	ns	
リード/ライト遅延時間 1	SDRAM(注2)	t_{RWD1}	2	11	ns	図 2.11 ~ 図 2.35
	上記以外		0	10	ns	
リードストロブ遅延時間		t_{RSD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.11 ~ 図 2.18
リードデータセットアップ時間 1(注3)	高駆動出力	t_{RDS1}	$1/2t_{CKcyc} + 4$	—	ns	図 2.11 ~ 図 2.17
	通常出力		$1/2t_{CKcyc} + 7$	—	ns	
リードデータセットアップ時間 2(注3)	高駆動出力	t_{RDS2}	6.6	—	ns	図 2.19 ~ 図 2.22、図 2.27 ~ 図 2.29
リードデータセットアップ時間 3(注3)	高駆動出力	t_{RDS3}	$1/2t_{CKcyc} + 4$	—	ns	図 2.18
	通常出力		$1/2t_{CKcyc} + 7$	—	ns	
リードデータホールド時間 1		t_{RDH1}	0	—	ns	図 2.11 ~ 図 2.17
リードデータホールド時間 2		t_{RDH2}	2.5	—	ns	図 2.19 ~ 図 2.22、図 2.27 ~ 図 2.29
リードデータホールド時間 3		t_{RDH3}	0	—	ns	図 2.18
ライトイネーブル遅延時間 1		t_{WED1}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.11 ~ 図 2.16
ライトイネーブル遅延時間 2		t_{WED2}	—	11	ns	図 2.17
ライトデータ遅延時間 1		t_{WDD1}	—	11	ns	図 2.11 ~ 図 2.17
ライトデータ遅延時間 2		t_{WDD2}	—	11	ns	図 2.23 ~ 図 2.26、図 2.30 ~ 図 2.32
ライトデータホールド時間 1		t_{WDH1}	1	—	ns	図 2.11 ~ 図 2.17
ライトデータホールド時間 2		t_{WDH2}	2	—	ns	図 2.23 ~ 図 2.26、図 2.30 ~ 図 2.32
ライトデータホールド時間 4		t_{WDH4}	0	—	ns	図 2.11 ~ 図 2.15
WAIT#セットアップ時間 (注3)	高駆動出力	t_{WTS}	$1/2t_{CKcyc} + 4.5$	—	ns	図 2.12 ~ 図 2.18
	通常出力		$1/2t_{CKcyc} + 8$	—	ns	
WAIT#ホールド時間		t_{WTH}	$1/2t_{CKcyc} + 3.5$	—	ns	図 2.12 ~ 図 2.18
RAS#遅延時間 1		t_{RASD1}	2	11	ns	図 2.19 ~ 図 2.35
CAS#遅延時間 1		t_{CASD1}	2	11	ns	図 2.19 ~ 図 2.35
DQM 遅延時間 1		t_{DQMD1}	2	11	ns	図 2.19 ~ 図 2.32

表 2.21 バスタイミング (2/2)

条件: $V_{OH} = VCC33 \times 0.5$, $V_{OL} = VCC33 \times 0.5$, $C = 15 \text{ pF}$ (CKIO), 30 pF (その他), $T_{jmin} = -40^\circ\text{C}$

項目	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最大 66 MHz)		単位	参照図
		Min	Max		
CKE 遅延時間 1	t_{CKED1}	2	11	ns	図 2.34
AH#遅延時間	t_{AHD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 10$	ns	図 2.15
マルチプレクスアドレス遅延時間	t_{MAD}	—	10	ns	図 2.15
マルチプレクスアドレスホールド時間	t_{MAH}	1	—	ns	図 2.15
AH#アドレスセットアップ時間	t_{AVVH}	$1/2t_{CKcyc} - 2$	—	ns	図 2.15
DACK/TEND 遅延時間	t_{DACD}	「2.5.4. DMAC タイミング」を参照してください。		ns	図 2.11~図 2.32

注. 遅延時間、セットアップ時間、ホールド時間の記述にある $1/2t_{CKcyc}$ は、クロック立ち上がりエッジから $1/2$ サイクル、すなわちクロック立ち下りの基準を示します。

注 1. CKIO (外部バスクロック) の f_{max} 値に関しては、システム構成に合わせた待機サイクル数を考慮に入れてください。CKIO が 50 MHz 以上の周波数で動作しているときは、高駆動出力を選択してください。

注 2. これらの値は、CSn 空間バスコントロールレジスタ (CSnBCR) で SDRAM (CSnBCR.TYPE[2:0] = 100b) を選択し、CKIO に高駆動出力を選択している場合です。

注 3. これらの値は、CKIO に高駆動出力と通常出力をそれぞれ選択している場合です。

表 2.22 バスタイミング (1/2)

条件: $V_{OH} = VCC33 \times 0.5$, $V_{OL} = VCC33 \times 0.5$, $C = 12 \text{ pF}$ (CKIO), 12 pF (その他), $T_{jmin} = -20^\circ\text{C}$

項目	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最大 100 MHz)		単位	参照図	
		Min	Max			
アドレス遅延時間 1	SDRAM(注2)	t_{AD1}	1.3	8	ns	図 2.11~図 2.35
	上記以外		0	8	ns	
アドレス遅延時間 2		t_{AD2}	$1/2t_{CKcyc} - 0.5$	$1/2t_{CKcyc} + 8$	ns	図 2.18
アドレスセットアップ時間		t_{AS}	0	—	ns	図 2.11~図 2.14、図 2.18
チップイネーブルセットアップ時間		t_{CS}	0	—	ns	図 2.11~図 2.14、図 2.18
アドレスホールド時間		t_{AH}	0	—	ns	図 2.11~図 2.14
BS 遅延時間		t_{BSD}	—	8	ns	図 2.11~図 2.32
CSn#遅延時間 1	SDRAM(注2)	t_{CSD1}	1.3	8	ns	図 2.11~図 2.35
	上記以外		0	8	ns	
リード/ライト遅延時間 1	SDRAM(注2)	t_{RWD1}	1.3	8	ns	図 2.11~図 2.35
	上記以外		0	8	ns	
リードストローブ遅延時間		t_{RSD}	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 8$	ns	図 2.11~図 2.18
リードデータセットアップ時間 1(注3)	高駆動出力	t_{RDS1}	$1/2t_{CKcyc} + 4.5$	—	ns	図 2.11~図 2.17
	通常出力		$1/2t_{CKcyc} + 7$	—	ns	
リードデータセットアップ時間 2(注3)	高駆動出力	t_{RDS2}	3.5	—	ns	図 2.19~図 2.22、図 2.27~図 2.29
リードデータセットアップ時間 3(注3)	高駆動出力	t_{RDS3}	$1/2t_{CKcyc} + 4.5$	—	ns	図 2.18
	通常出力		$1/2t_{CKcyc} + 7$	—	ns	
リードデータホールド時間 1		t_{RDH1}	0	—	ns	図 2.11~図 2.17
リードデータホールド時間 2		t_{RDH2}	2.5	—	ns	図 2.19~図 2.22、図 2.27~図 2.29
リードデータホールド時間 3		t_{RDH3}	0	—	ns	図 2.18

表 2.22 バスタイミング (2/2)

条件: $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 12 \text{ pF}$ (CKIO)、 12 pF (その他)、 $T_{jmin} = -20^\circ\text{C}$

項目	シンボル	CKIO = $1/t_{CKcyc}$ (注1) (最大 100 MHz)		単位	参照図	
		Min	Max			
ライトイネーブル遅延時間 1	tWED1	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 8$	ns	図 2.11~図 2.16	
ライトイネーブル遅延時間 2	tWED2	—	9	ns	図 2.17	
ライトデータ遅延時間 1	tWDD1	—	8	ns	図 2.11~図 2.17	
ライトデータ遅延時間 2	tWDD2	—	8	ns	図 2.23~図 2.26、図 2.30~図 2.32	
ライトデータホールド時間 1	tWDH1	1	—	ns	図 2.11~図 2.17	
ライトデータホールド時間 2	tWDH2	1.3	—	ns	図 2.23~図 2.26、図 2.30~図 2.32	
ライトデータホールド時間 4	tWDH4	0	—	ns	図 2.11~図 2.15	
WAIT#セットアップ時間 (注3)	高駆動出力 通常出力	tWTS	$1/2t_{CKcyc} + 4.5$	—	ns	図 2.12~図 2.18
			$1/2t_{CKcyc} + 8$	—	ns	
WAIT#ホールド時間	tWTH	$1/2t_{CKcyc} + 3.5$	—	ns	図 2.12~図 2.18	
RAS#遅延時間 1	tRASD1	1.3	8	ns	図 2.19~図 2.35	
CAS#遅延時間 1	tCASD1	1.3	8	ns	図 2.19~図 2.35	
DQM 遅延時間 1	tDQMD1	1.3	8	ns	図 2.19~図 2.32	
CKE 遅延時間 1	tCKED1	1.3	8	ns	図 2.34	
AH#遅延時間	tAHD	$1/2t_{CKcyc}$	$1/2t_{CKcyc} + 8$	ns	図 2.15	
マルチプレクスアドレス遅延時間	tMAD	—	8	ns	図 2.15	
マルチプレクスアドレスホールド時間	tMAH	1	—	ns	図 2.15	
AH#アドレスセットアップ時間	tAVVH	$1/2t_{CKcyc} - 2$	—	ns	図 2.15	
DACK/TEND 遅延時間	tDACD	「2.5.4. DMAC タイミング」を参照してください。		ns	図 2.11~図 2.32	

注. 遅延時間、セットアップ時間、ホールド時間の記述にある $1/2t_{CKcyc}$ は、クロック立ち上がりエッジから $1/2$ サイクル、すなわちクロック立ち下がりの基準を示します。

注 1. CKIO (外部バスクロック) の f_{max} 値に関しては、システム構成に合わせた待機サイクル数を考慮に入れてください。CKIO が 50 MHz 以上の周波数で動作しているときは、高駆動出力を選択してください。

注 2. これらの値は、CSn 空間バスコントロールレジスタ (CSnBCR) で SDRAM (CSnBCR.TYPE[2:0] = 100b) を選択し、CKIO に高駆動出力を選択している場合です。

注 3. これらの値は、CKIO に高駆動出力と通常出力をそれぞれ選択している場合です。

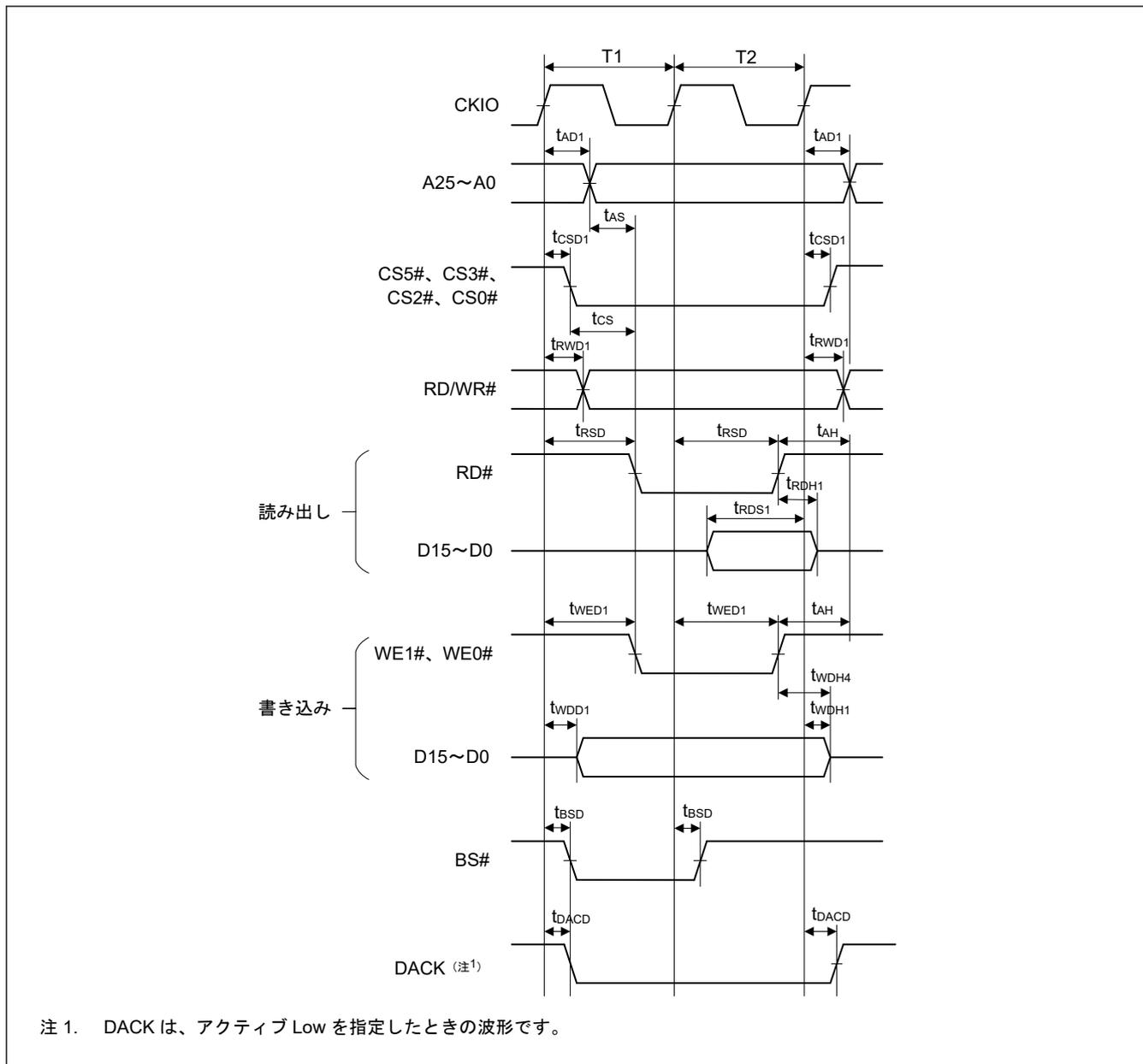


図 2.11 SRAM インタフェース基本パスサイクル (ウェイトなし)

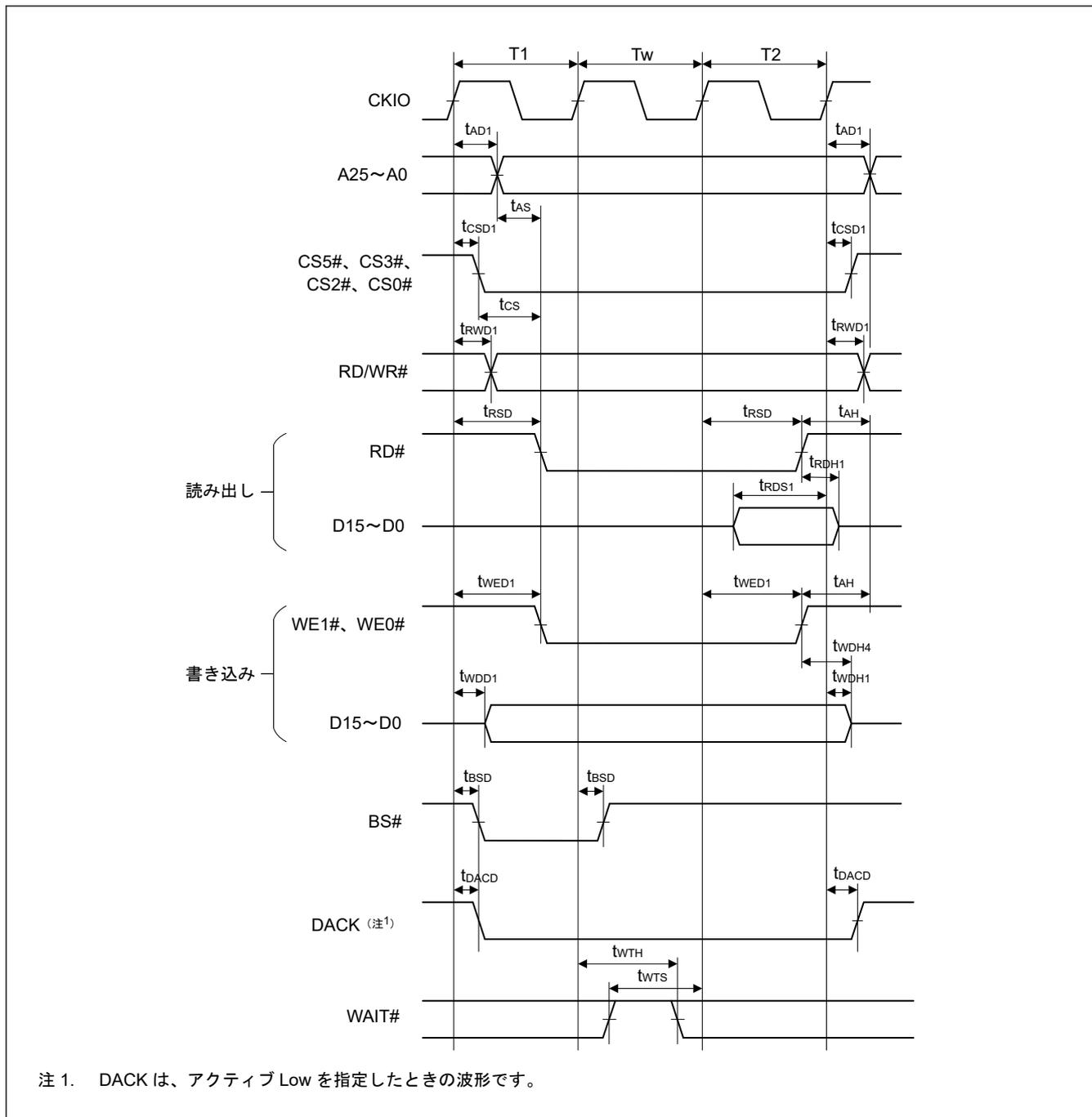


図 2.12 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1)

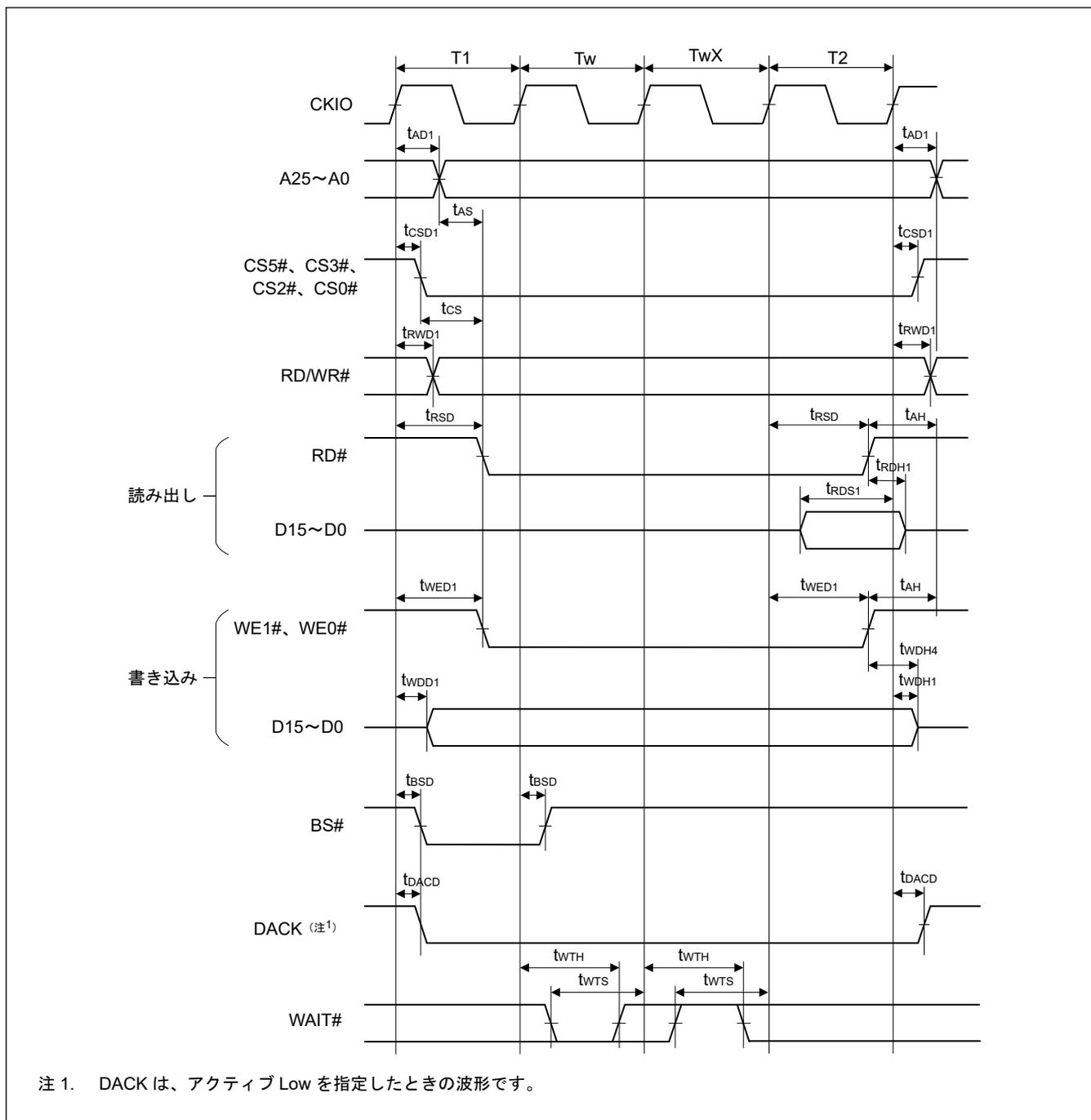


図 2.13 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト1、外部ウェイト1を挿入)

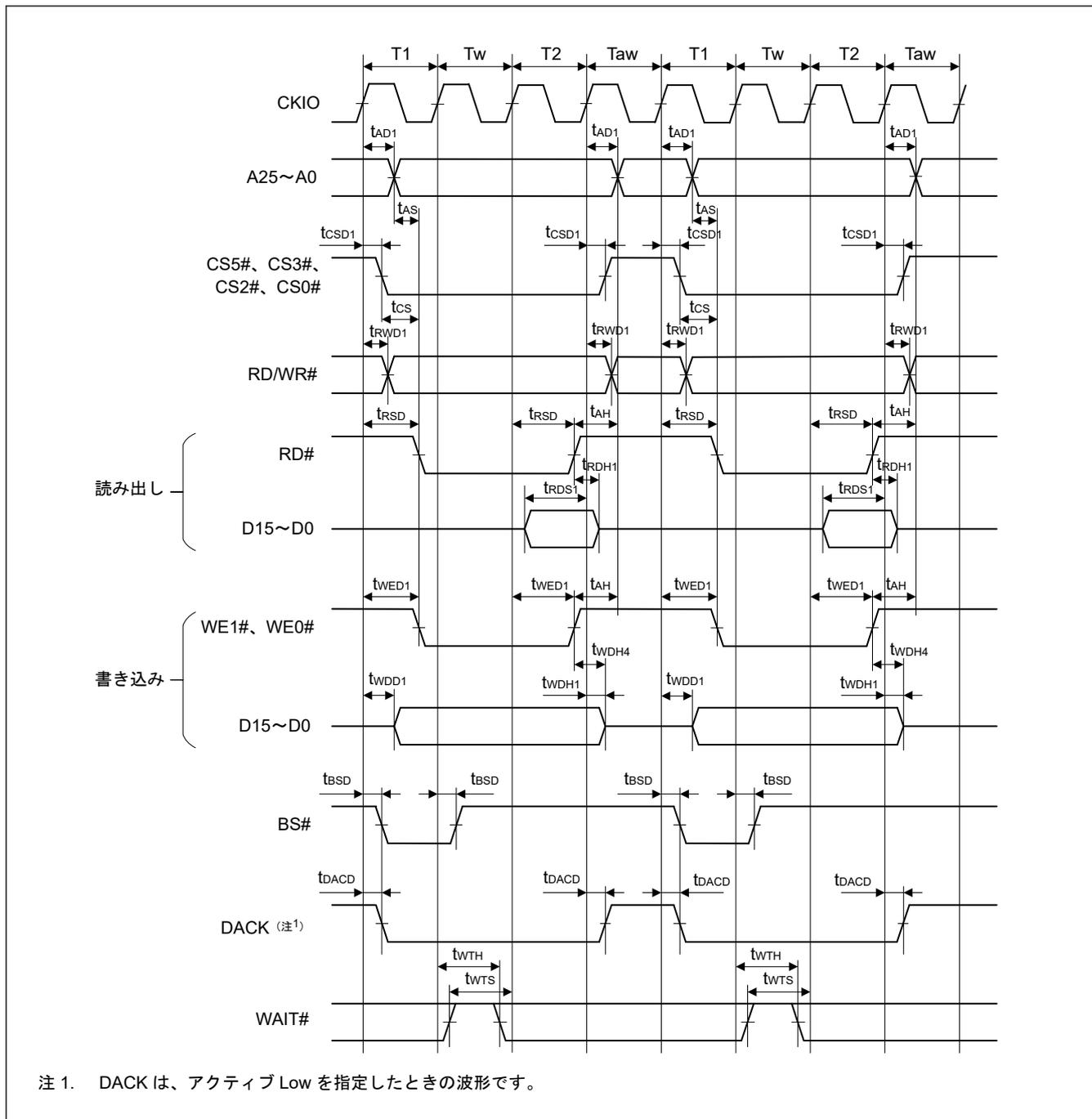
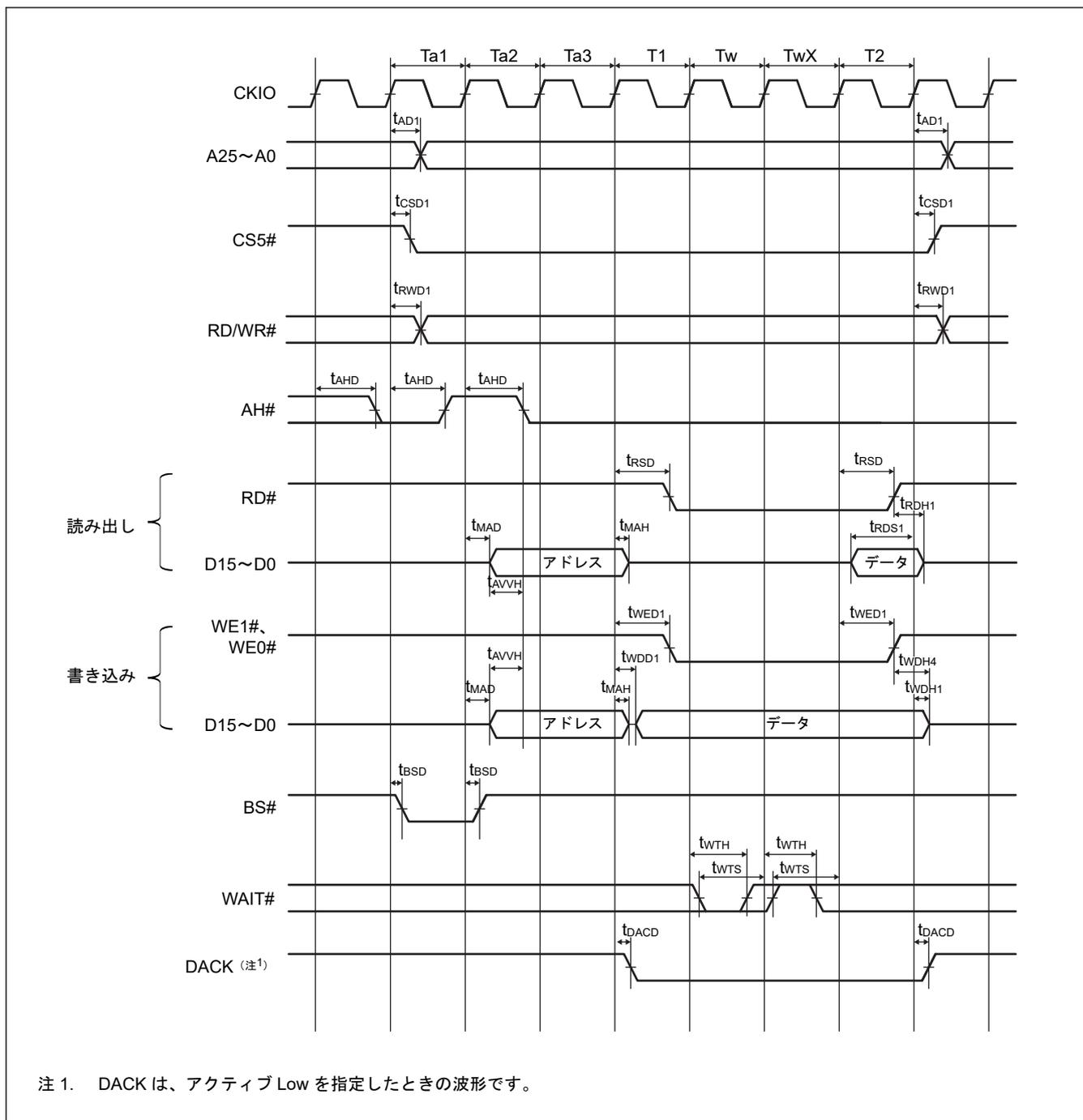


図 2.14 SRAM インタフェース基本バスサイクル (ソフトウェアウェイト 1、外部ウェイト有効 (WM = 0)、アイドルサイクルなし)



注 1. DACK は、アクティブ Low を指定したときの波形です。

図 2.15 MPX-I/O インタフェースバスサイクル (アドレスサイクル 3、ソフトウェアウェイト 1、外部ウェイト 1 を挿入)

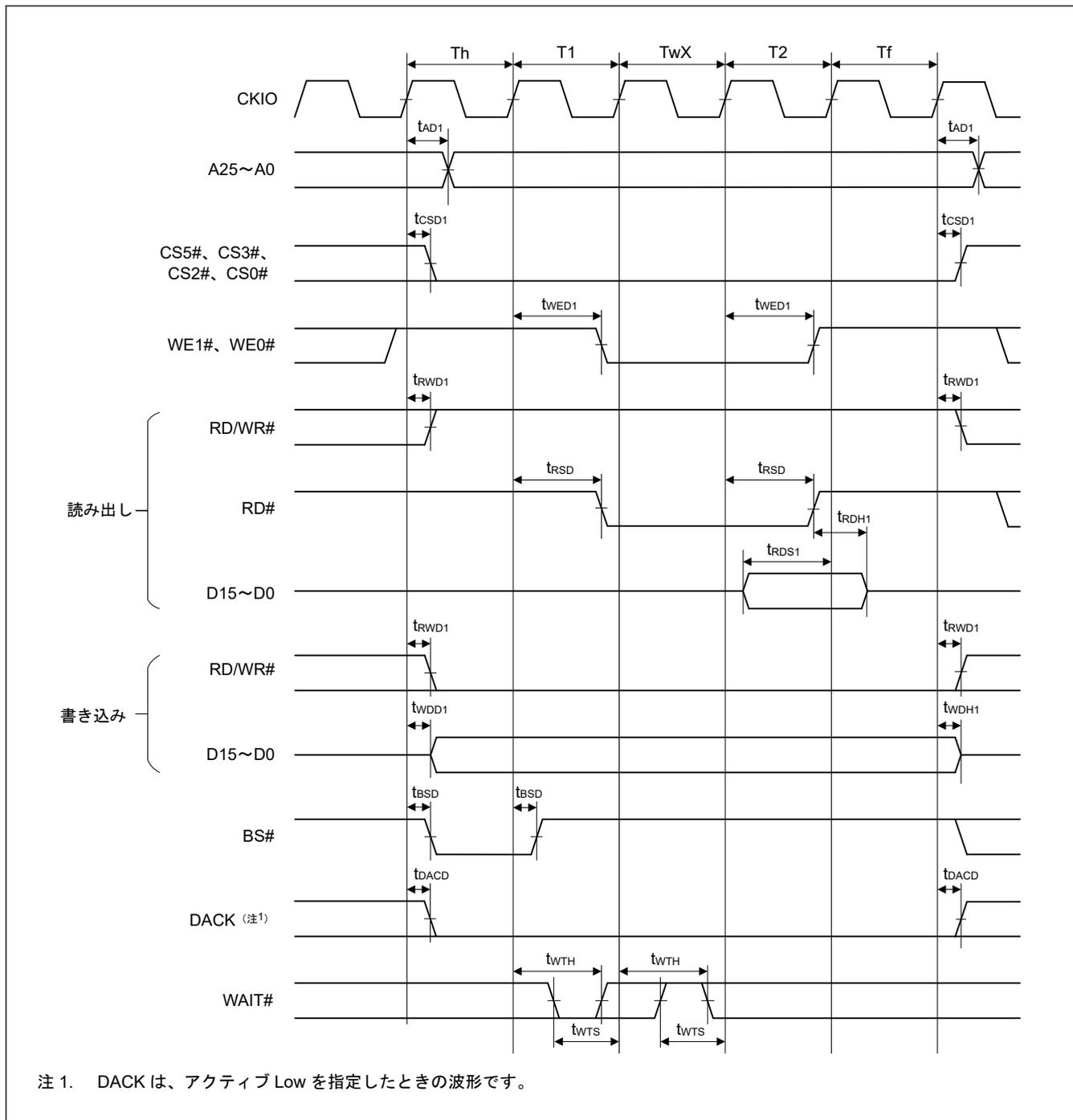


図 2.16 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 0 (ライトサイクル UB/LB 制御))

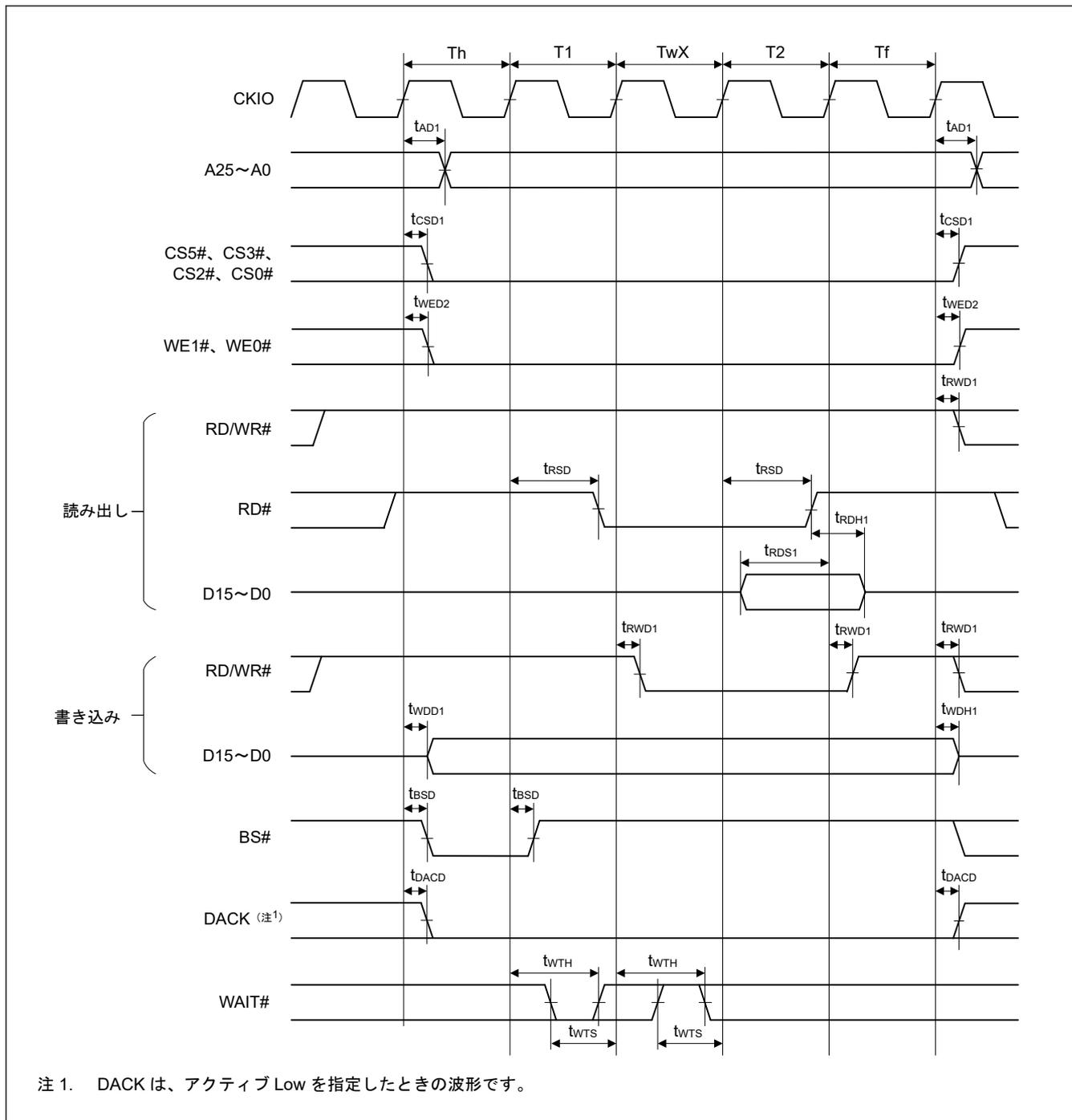


図 2.17 バイト選択付き SRAM バスサイクル (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、BAS = 1 (ライトサイクル WE 制御))

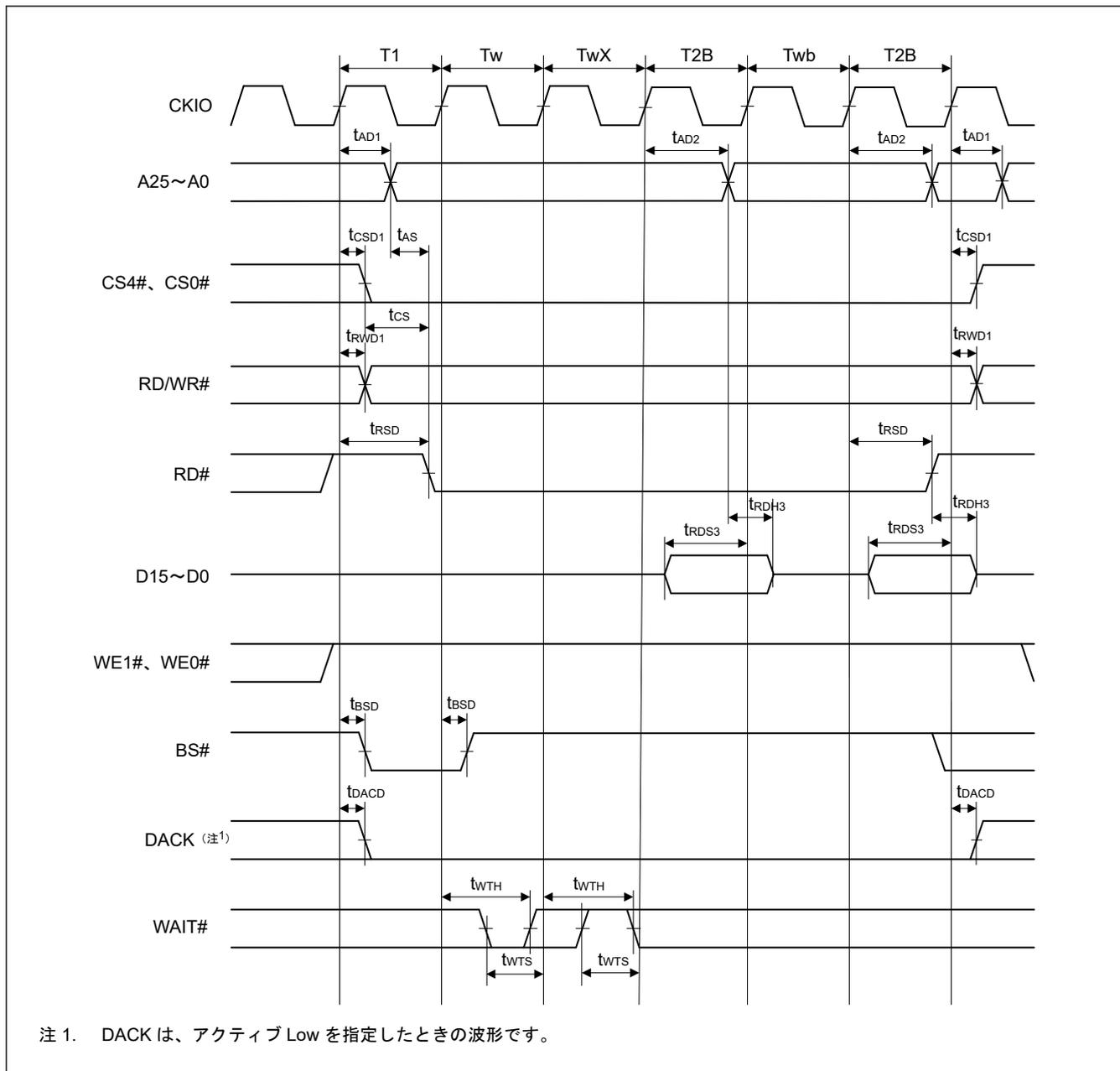


図 2.18 パースト ROM リードサイクル (ソフトウェアウェイト 1、非同期外部ウェイト 1 を挿入、パーストウェイト 1、2)

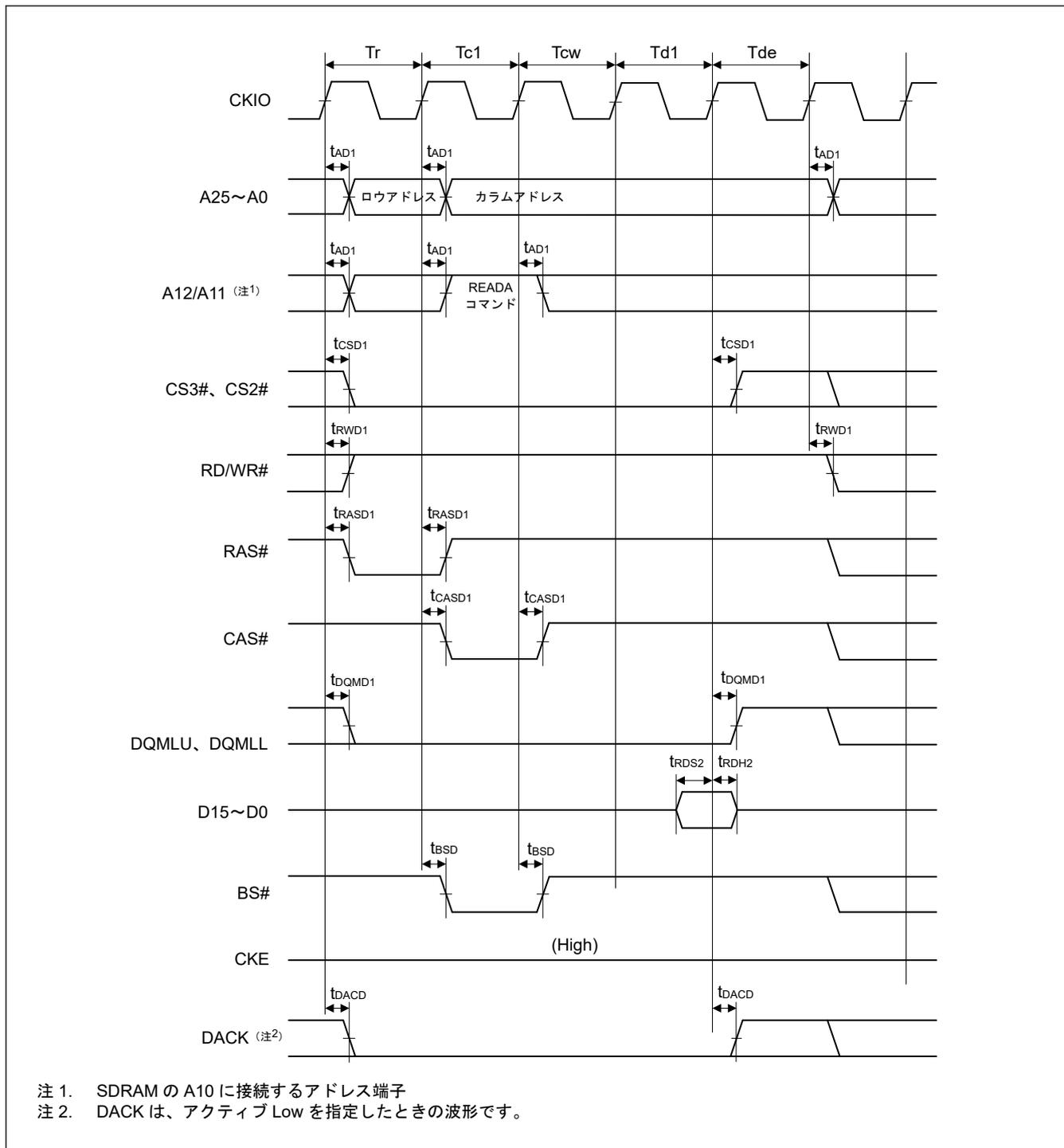


図 2.19 シンクロナス DRAM シングルリードバスサイクル (オートプリチャージ付き、CAS レイテンシ 2、WTRC3 = 0 サイクル、WTRP = 0 サイクル)

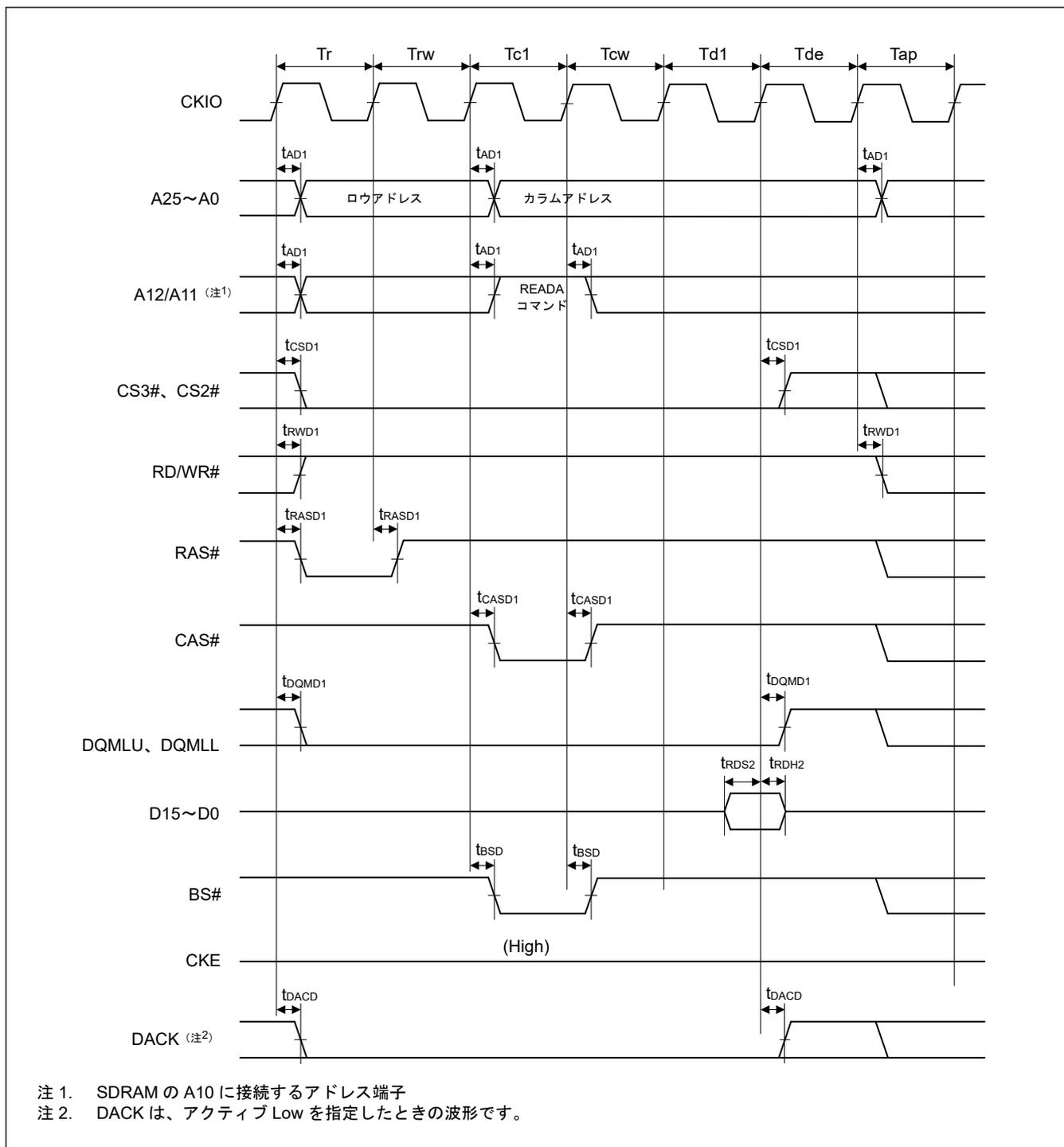


図 2.20 シンクロナス DRAM シングルリードバスサイクル (オートプリチャージ付き、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 1 サイクル)

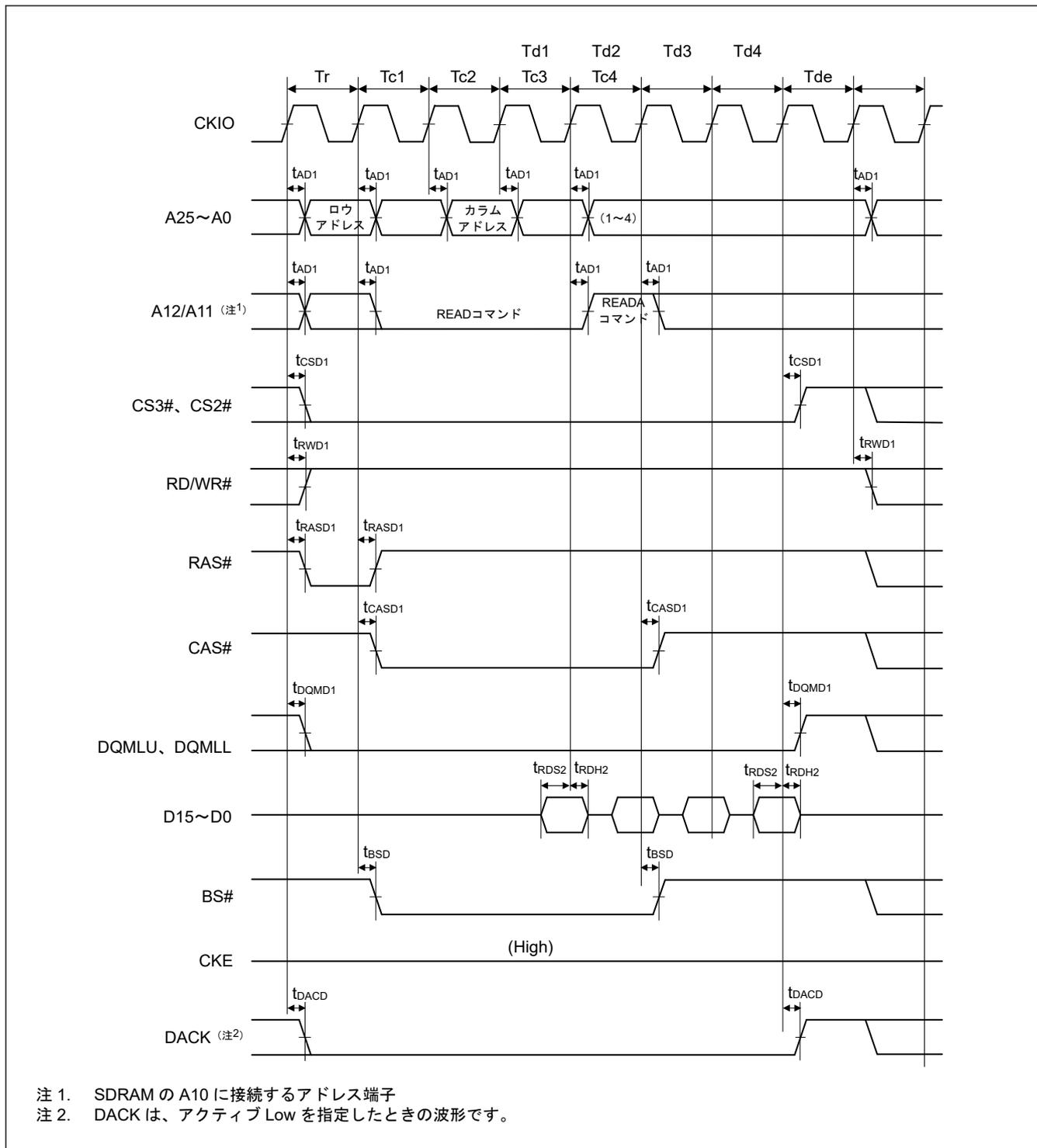
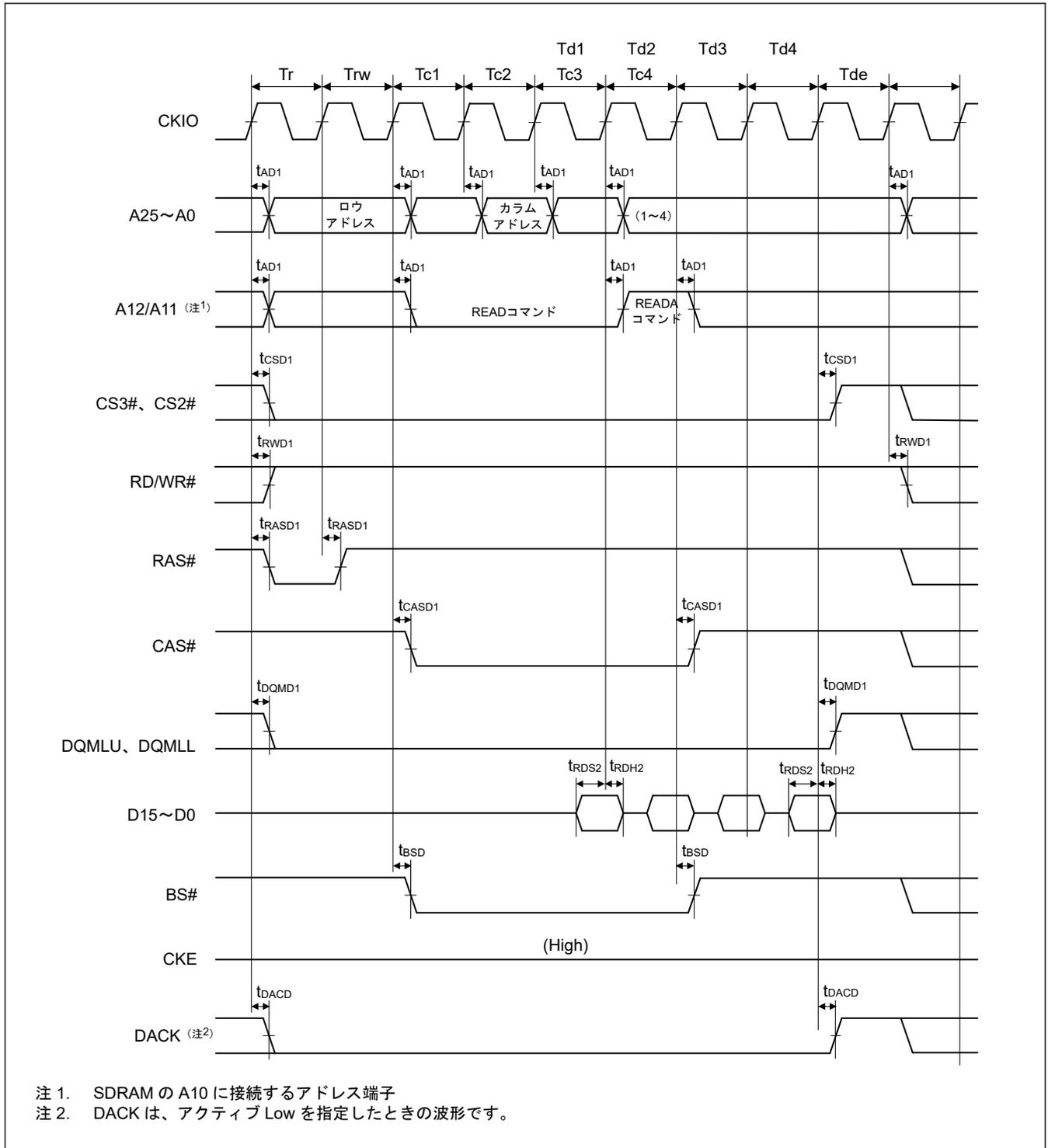


図 2.21 シンクロナス DRAM バーストリードバスサイクル (4 サイクルのリード) (オートプリチャージ付き、CAS レイテンシ 2、WTRCD = 0 サイクル、WTRP = 1 サイクル)



注 1. SDRAM の A10 に接続するアドレス端子
 注 2. DACK は、アクティブ Low を指定したときの波形です。

図 2.22 シンクロナス DRAM パーストリードバスサイクル (4 サイクルのリード) (オートプリチャージ付き、CAS レイテンシ 2、WTRCD = 1 サイクル、WTRP = 0 サイクル)

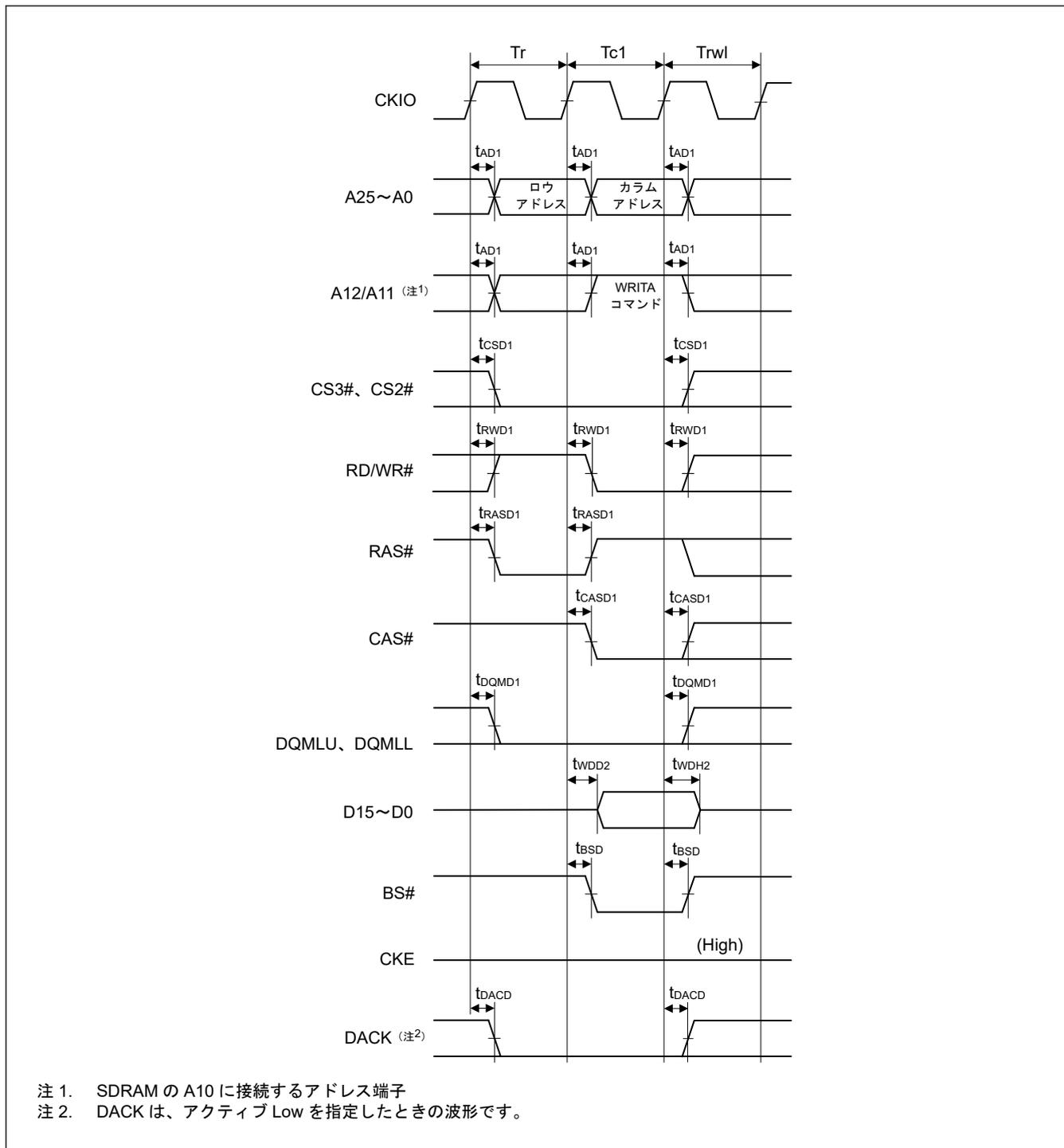


図 2.23 シンクロナス DRAM シングルライトバスサイクル (オートプリチャージ付き、TRWL = 1 サイクル)

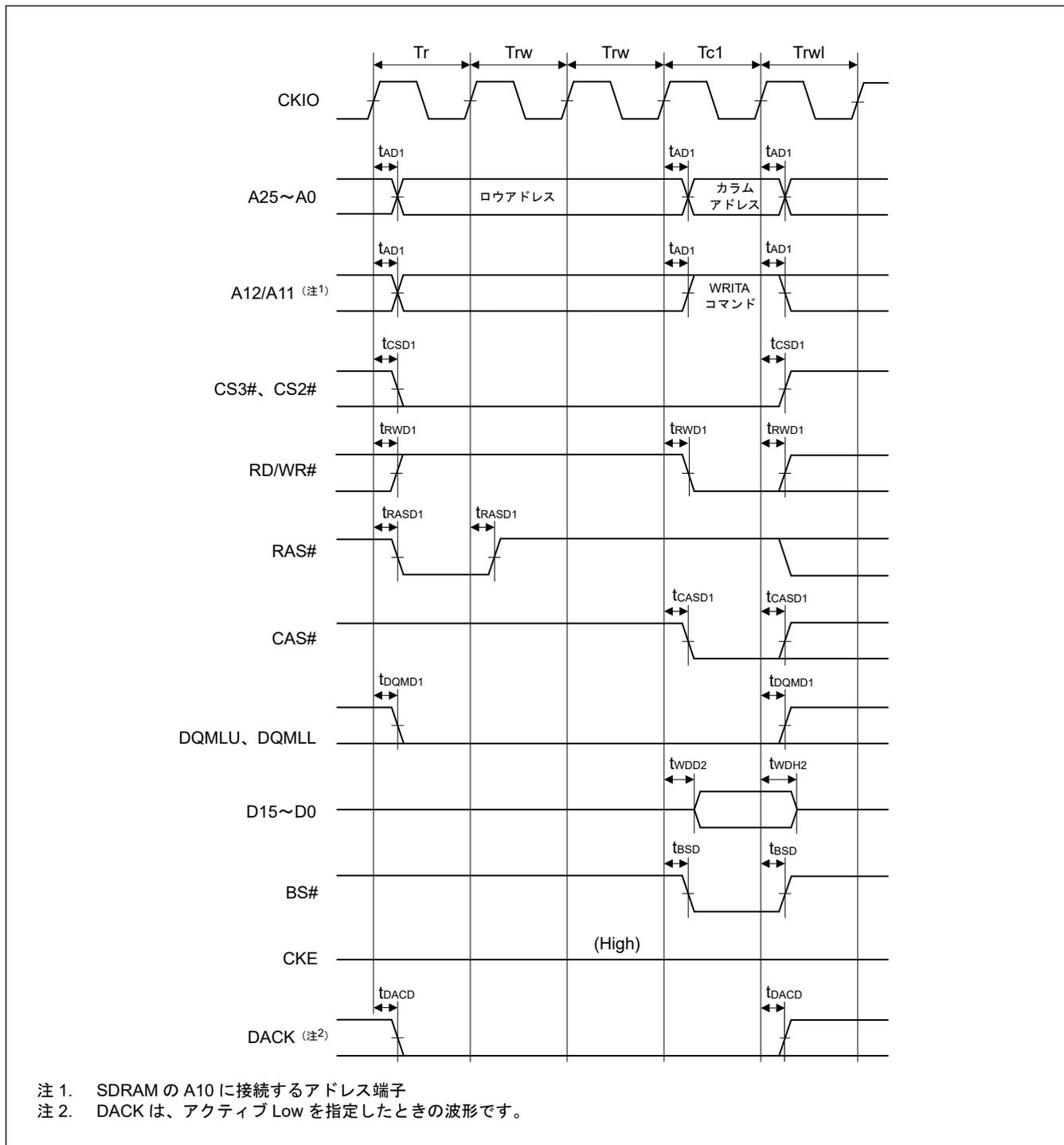
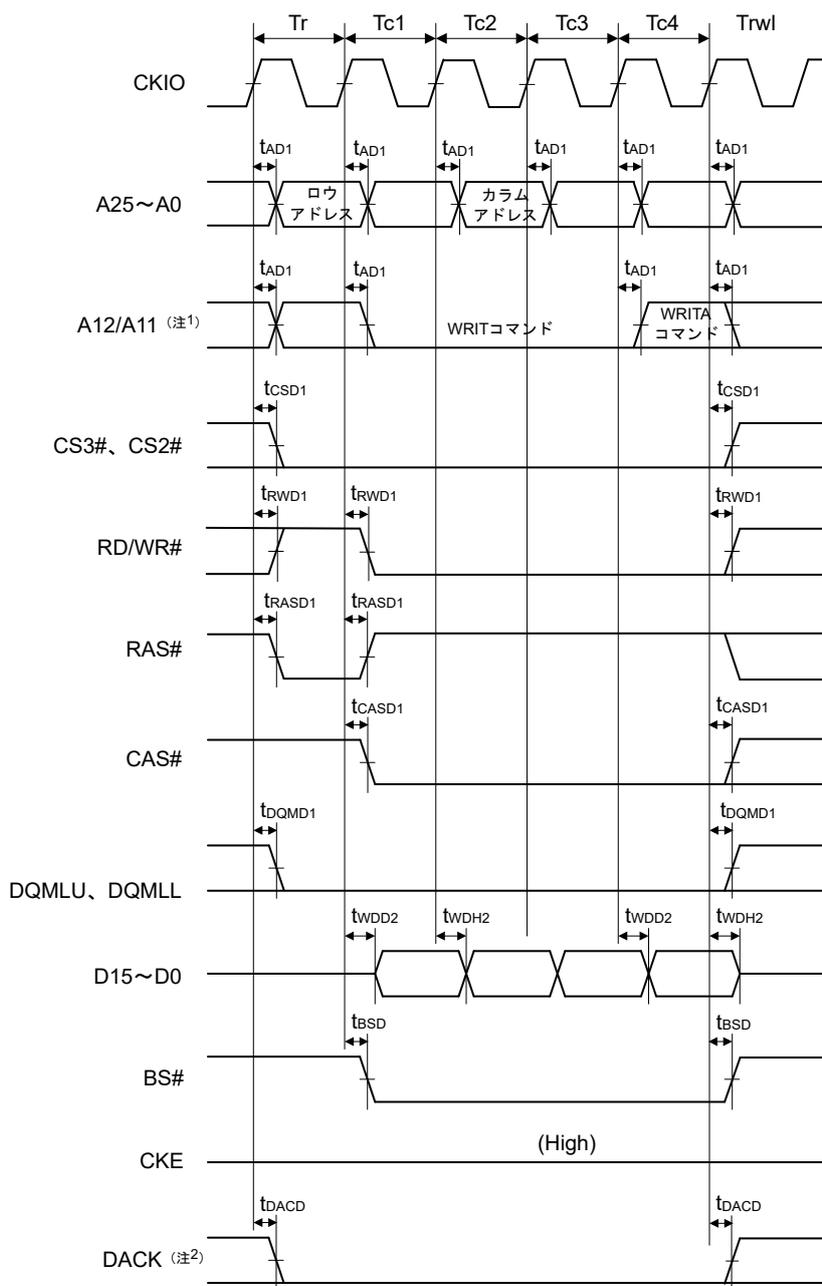


図 2.24 シンクロナス DRAM シングルライトパスサイクル (オートプリチャージ付き、WTRCD = 2 サイクル、TRWL = 1 サイクル)



注 1. SDRAM の A10 に接続するアドレス端子
 注 2. DACK は、アクティブ Low を指定したときの波形です。

図 2.25 シンクロナス DRAM パーストライトパスサイクル (4 サイクルのライト) (オートプリチャージ付き、WTRCD = 0 サイクル、TRWL = 1 サイクル)

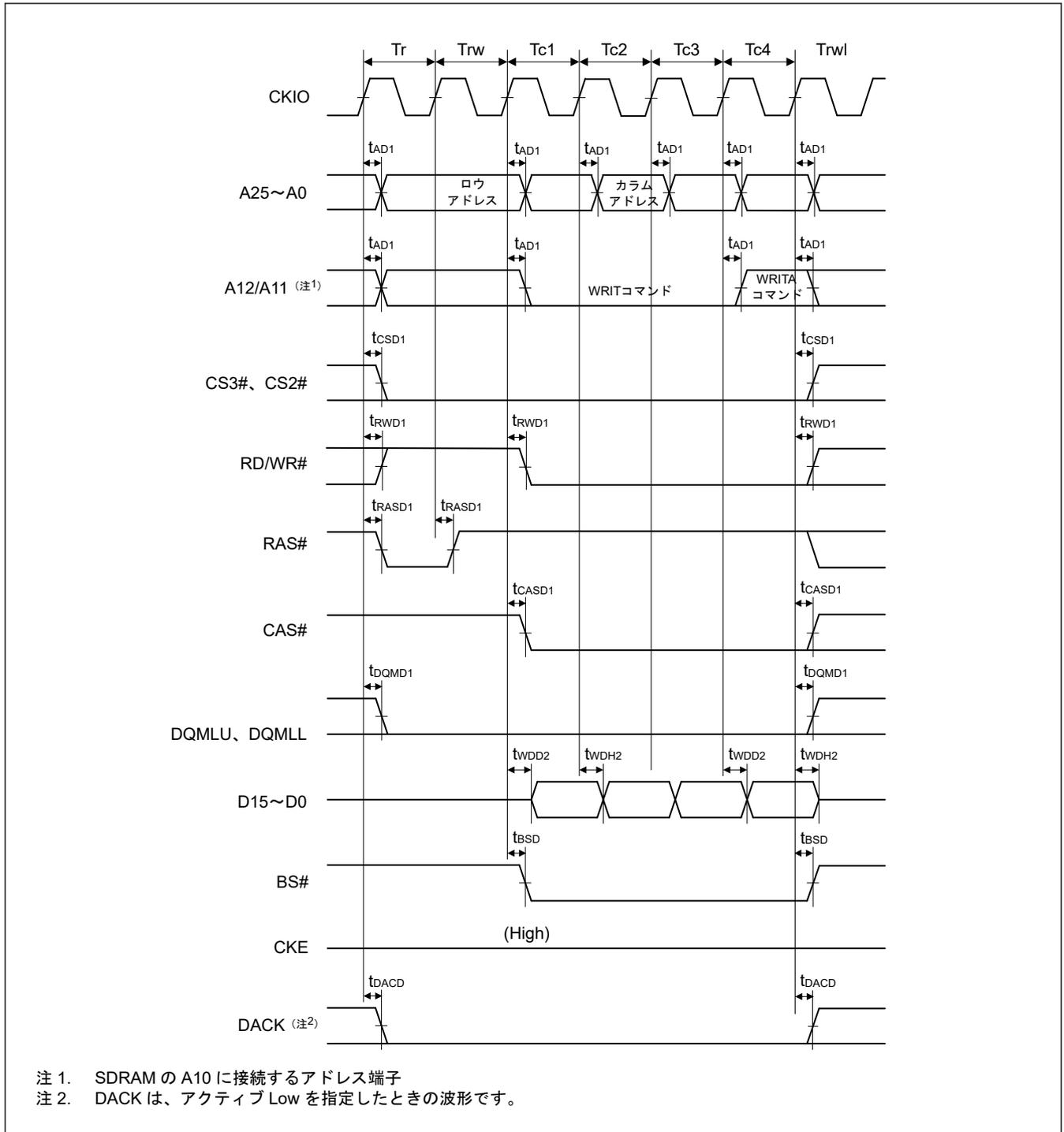


図 2.26 シンクロナス DRAM バーストライトパスサイクル (4 サイクルのライト) (オートプリチャージ付き、WTRCD = 1 サイクル、TRWL = 1 サイクル)

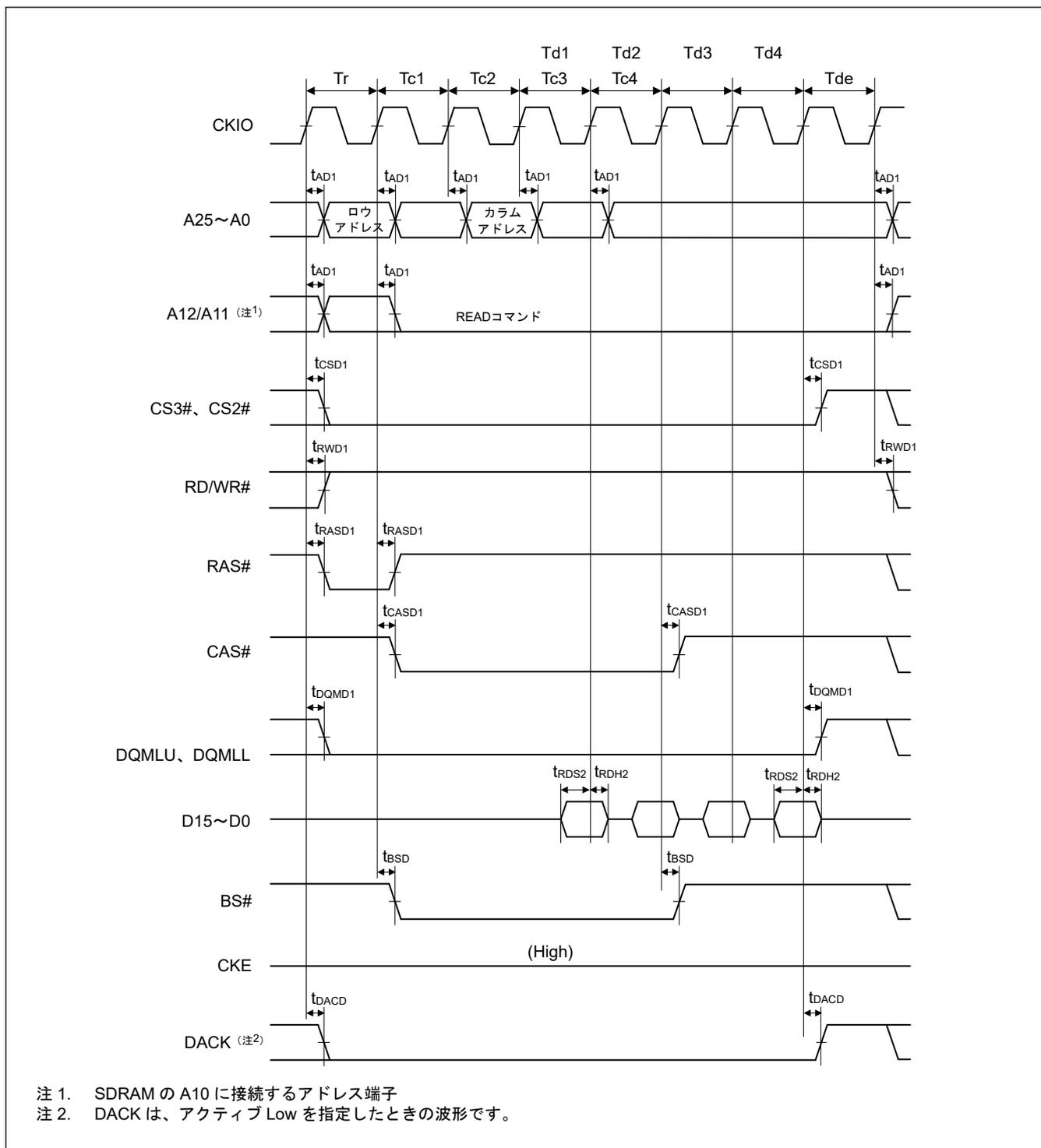


図 2.27 シンクロナス DRAM バーストリードバスサイクル (4 サイクルのリード) (バンクアクティブモード: ACT + READ コマンド、CAS レイテンシ 2、WTRCD = 0 サイクル)

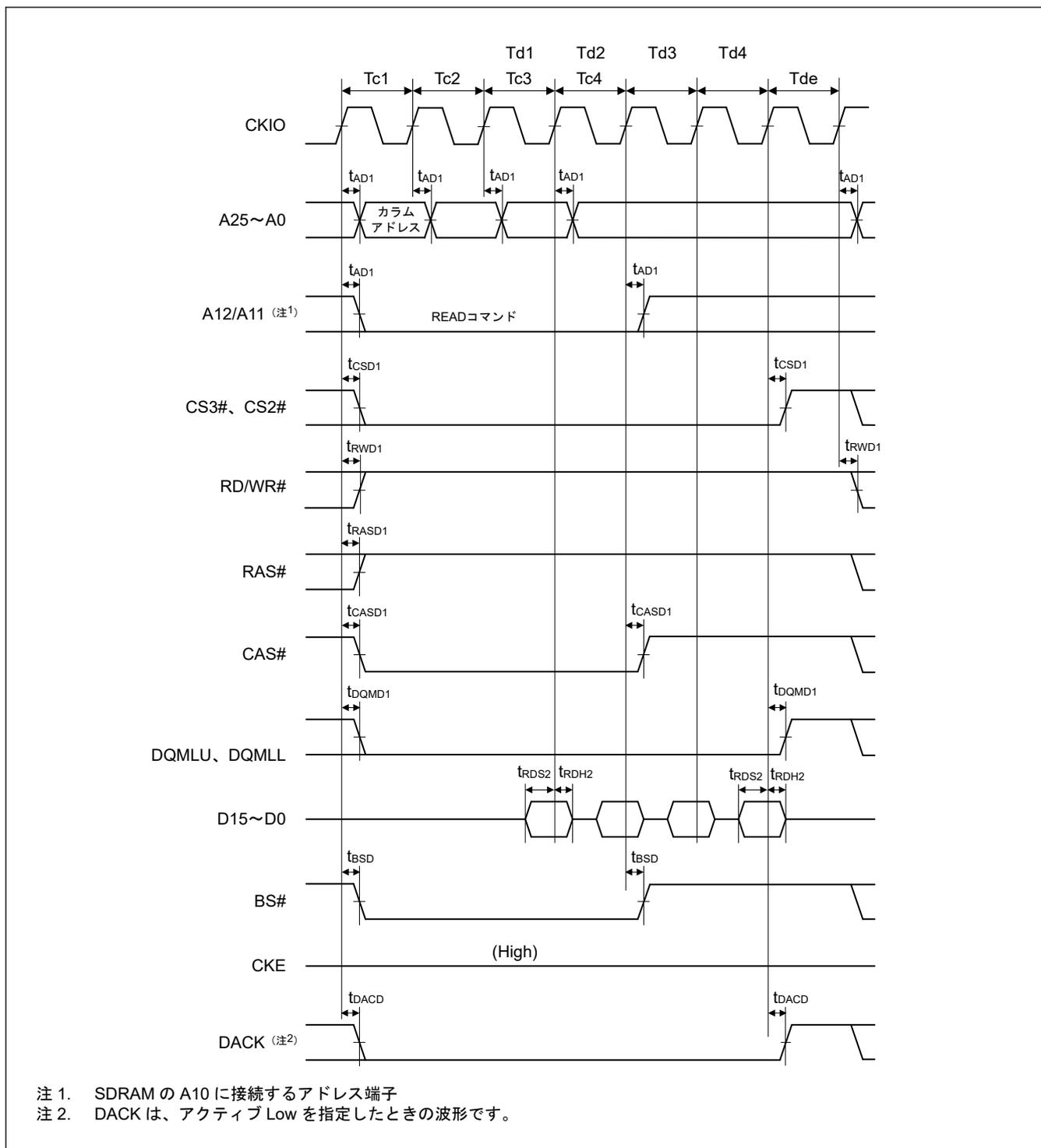


図 2.28 シンクロナス DRAM バーストリードパスサイクル (4 サイクルのリード) (バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)

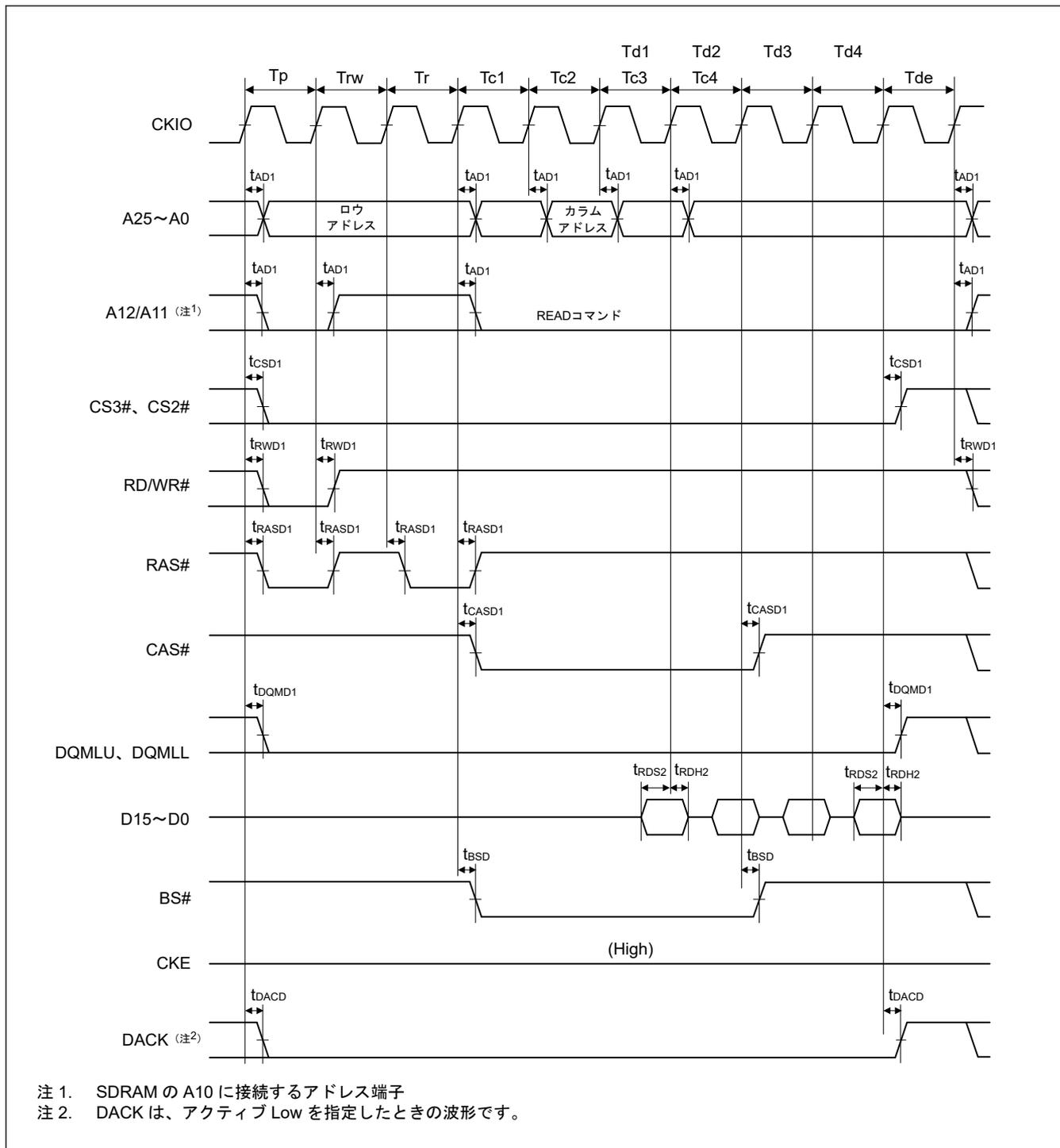
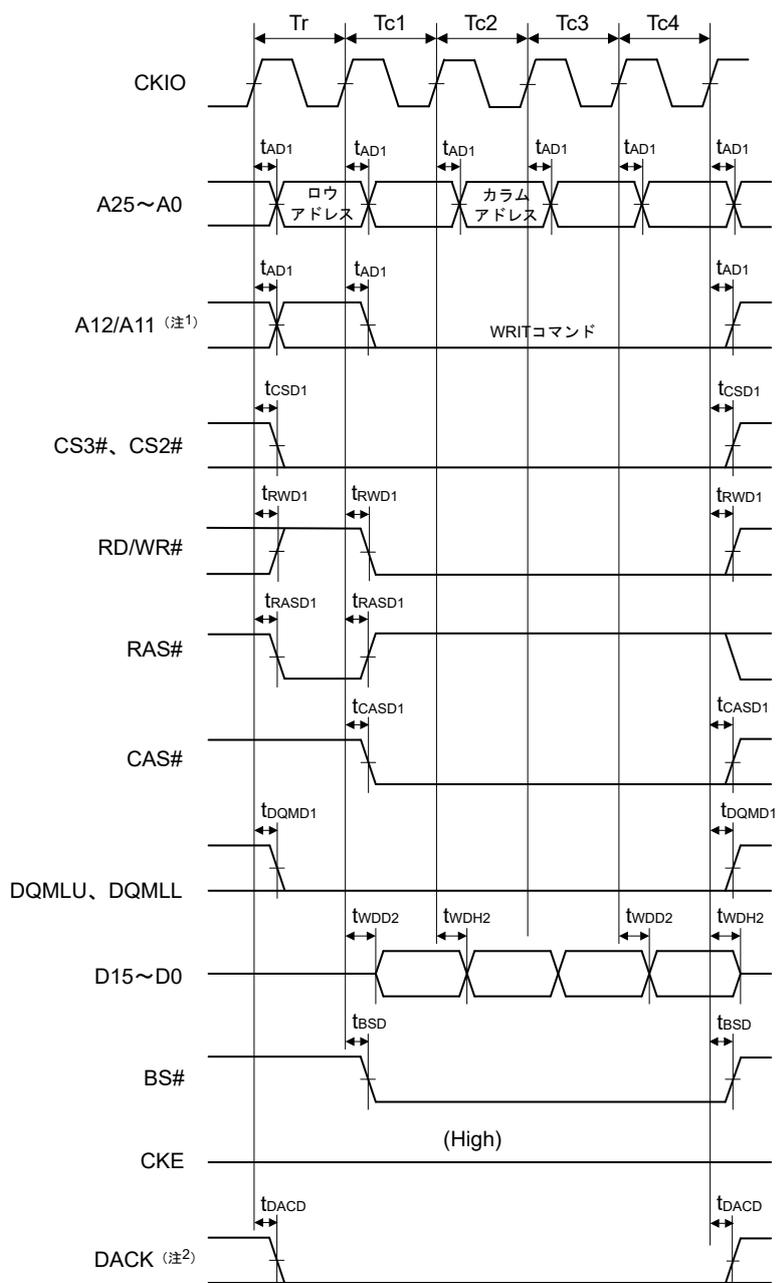
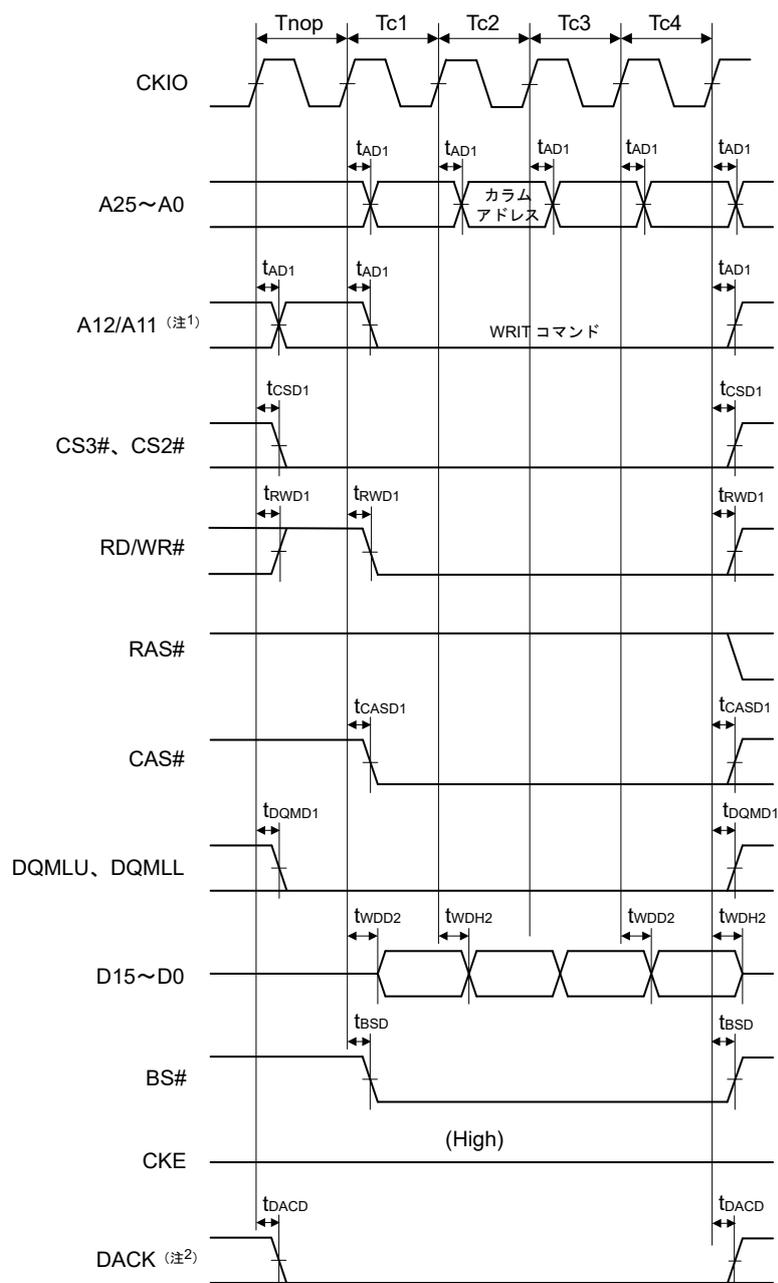


図 2.29 シンクロナス DRAM バーストリードバスサイクル (4 サイクルのリード) (バンクアクティブモード: PRE + ACT + READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD = 0 サイクル)



- 注 1. SDRAM の A10 に接続するアドレス端子
 注 2. DACK は、アクティブ Low を指定したときの波形です。

図 2.30 シンクロナス DRAM バーストライトパスサイクル (4 サイクルのライト) (バンクアクティブモード: ACT + WRITE コマンド、WTRCD = 0 サイクル、TRWL = 0 サイクル)



- 注 1. SDRAM の A10 に接続するアドレス端子
 注 2. DACK は、アクティブ Low を指定したときの波形です。

図 2.31 シンクロナス DRAM バーストライトパスサイクル (4 サイクルのライト) (バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

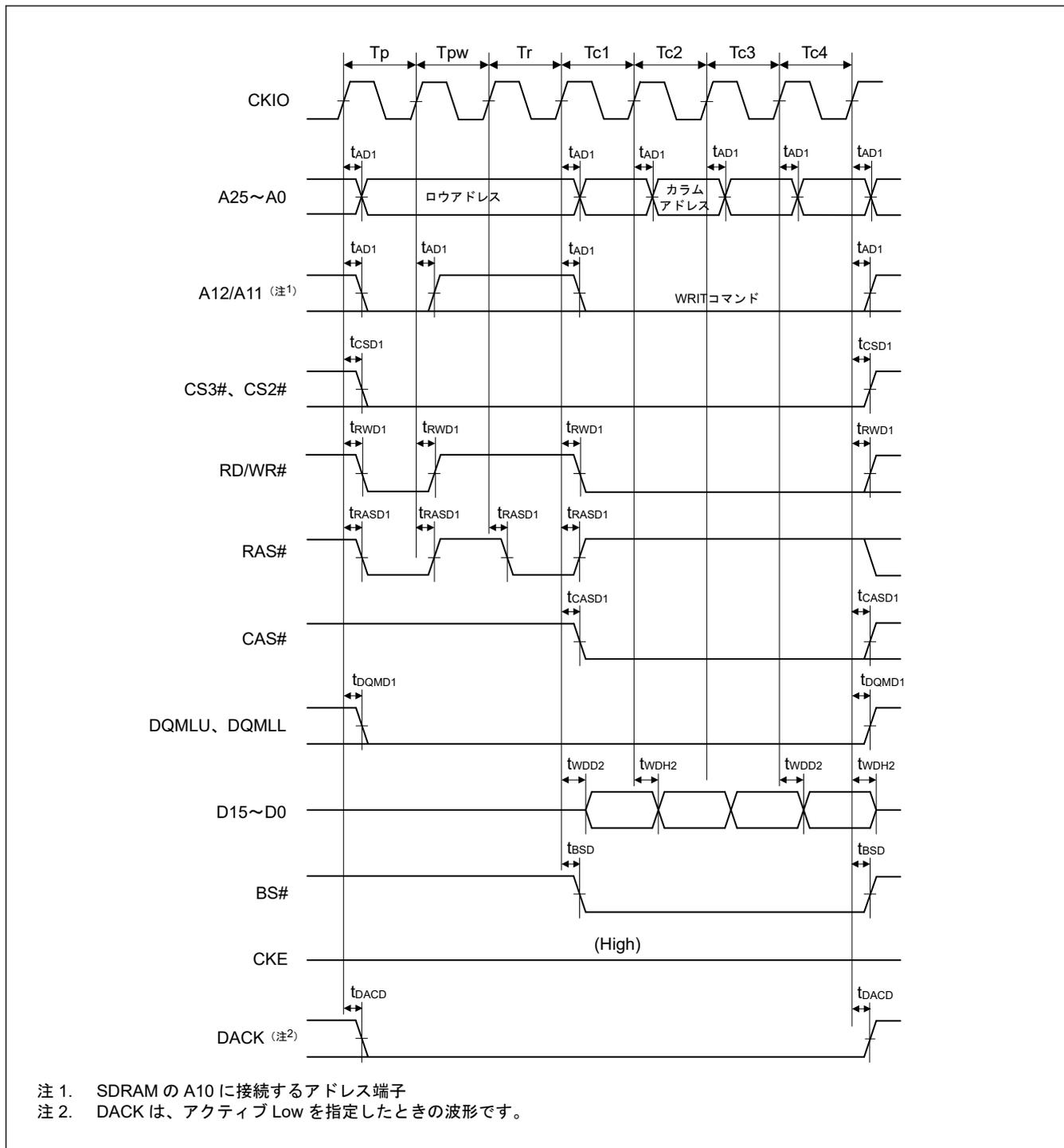


図 2.32 シンクロナス DRAM バーストライトパスサイクル (4 サイクルのライト) (バンクアクティブモード: PRE + ACT + WRITE コマンド、異なるロウアドレス、WTRCD = 0 サイクル、TRWL = 0 サイクル)

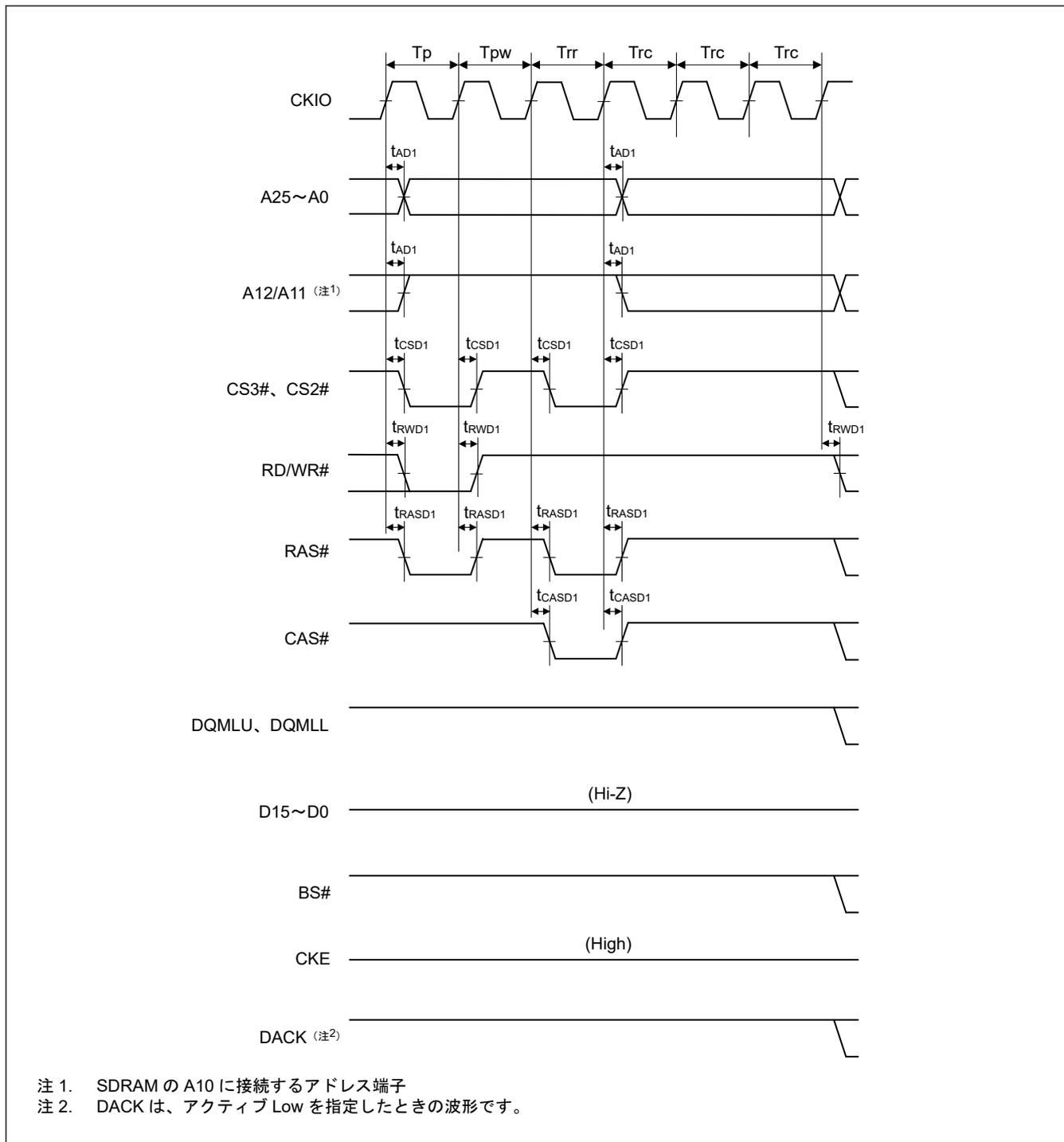


図 2.33 シンクロナス DRAM オートリフレッシュタイミング (WTRP = 1 サイクル、WTRC = 3 サイクル)

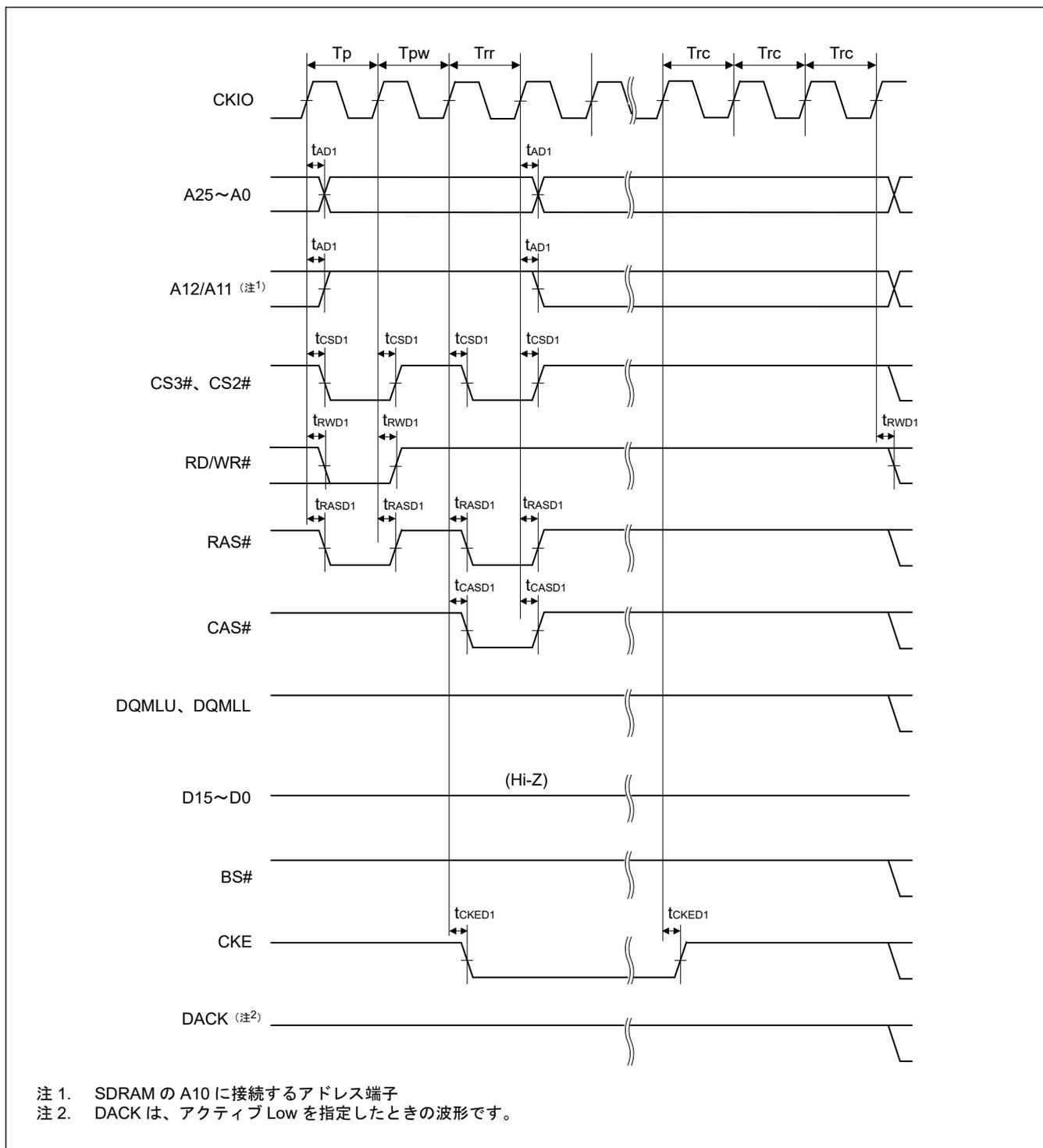


図 2.34 シンクロナス DRAM セルフリフレッシュタイミング (WTRP = 1 サイクル)

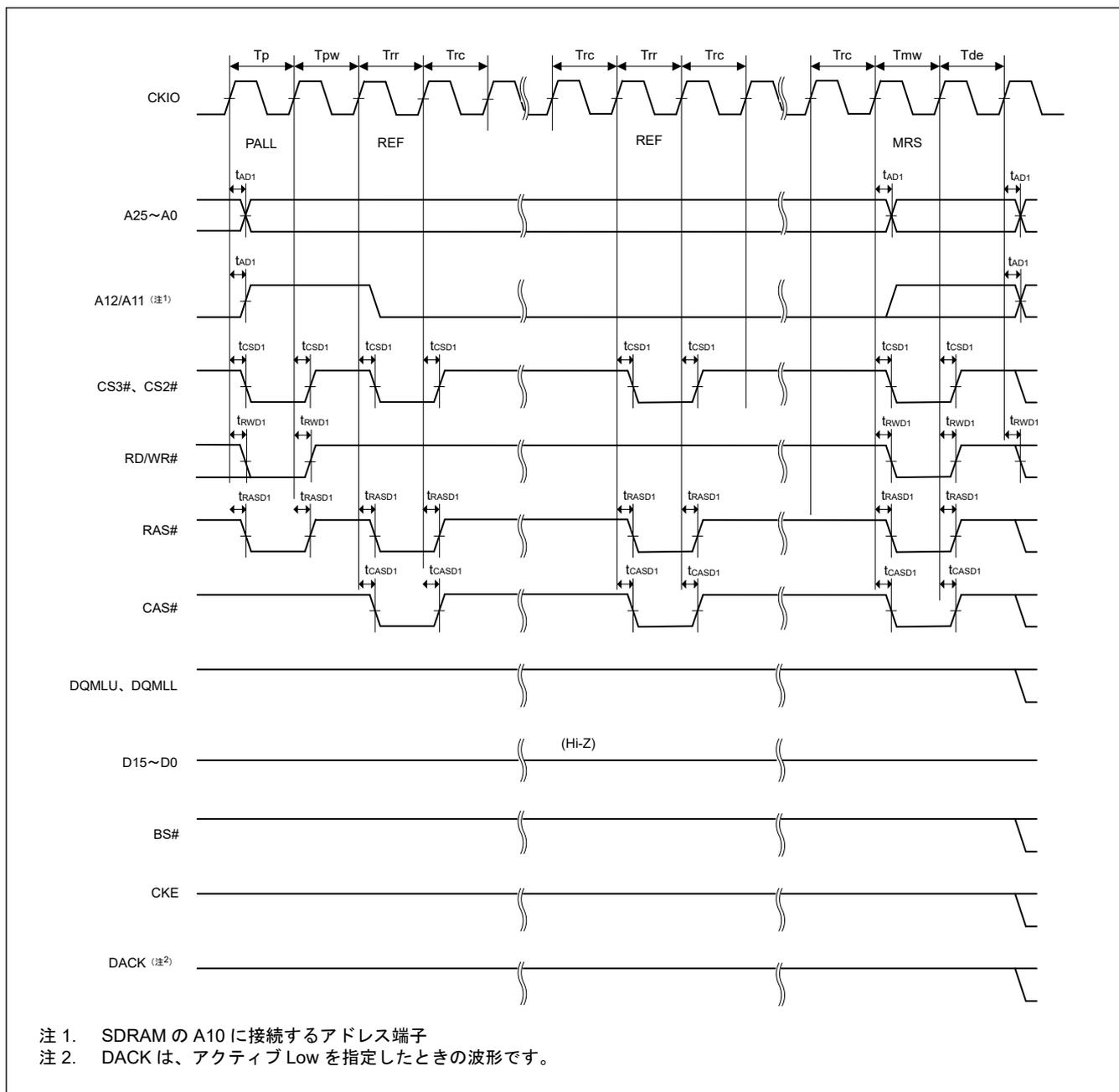


図 2.35 シンクロナス DRAM モードレジスタセットタイミング (WTRP = 1 サイクル)

2.5.4 DMAC タイミング

表 2.23 DMAC タイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 15 \text{ pF}$ (CKIO), 30 pF (その他), $T_{jmin} = -40^\circ\text{C}$

項目	シンボル	Min(注1)	Max	単位	参照図
DMAC	DREQ パルス幅	t_{DRQW}	$t_{PLCyc} \times 2$	—	図 2.36
	DACK および TEND の遅延時間	t_{DACD}	0	10	ns

注 1. t_{PLCyc} : PCLKL サイクル

表 2.24 DMAC タイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 12 \text{ pF}$ (CKIO)、 12 pF (その他)、 $T_{jmin} = -20^\circ\text{C}$

項目	シンボル	Min(注1)	Max	単位	参照図
DMAC	DREQ パルス幅	t_{DRQW}	$t_{PLCyc} \times 2$	ns	図 2.36
	DACK および TEND の遅延時間	t_{DACD}	-0.5	8	ns

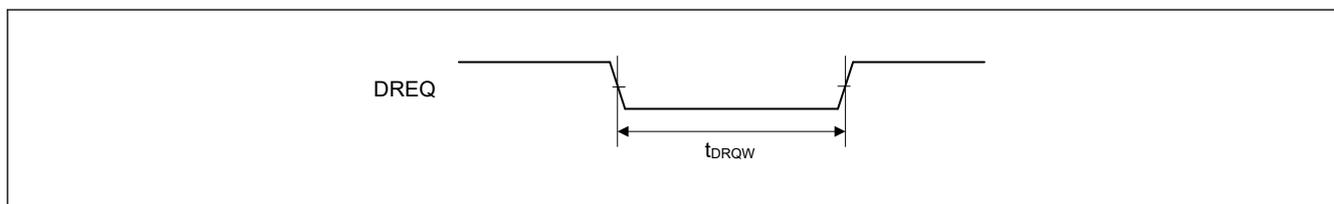
注 1. t_{PLCyc} : PCLKL サイクル

図 2.36 DREQ 入力タイミング

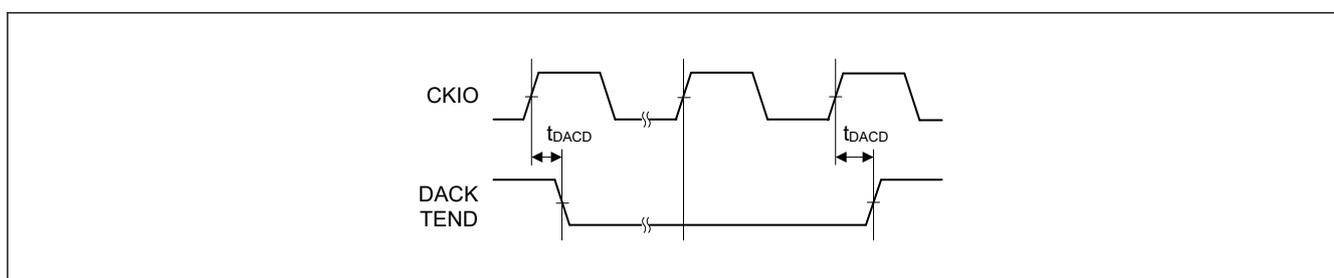


図 2.37 DACK および TEND の出力タイミング

2.5.5 内蔵周辺モジュールタイミング

2.5.5.1 I/O ポートタイミング

表 2.25 I/O ポートタイミング

項目	シンボル	Min	Max	単位(注1)	参照図
I/O ポート	入力データパルス幅	t_{PRW}	1.5	t_{PLCyc}	図 2.38

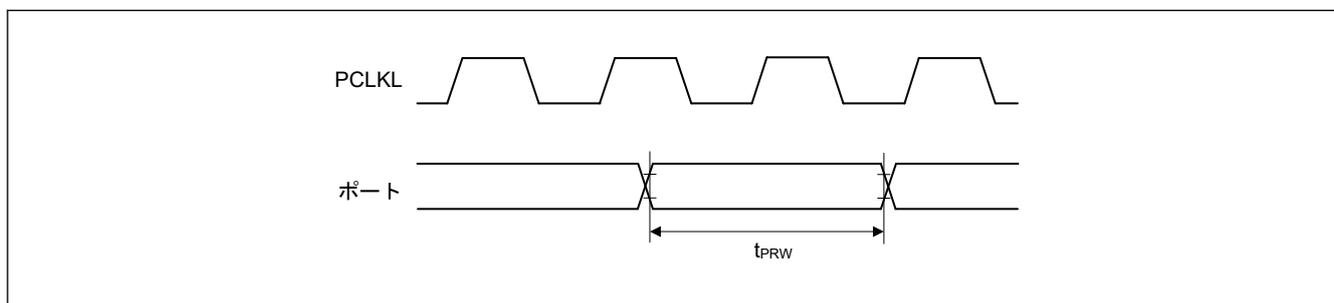
注 1. t_{PLCyc} : PCLKL サイクル

図 2.38 I/O ポート入力タイミング

2.5.5.2 CMTW タイミング

表 2.26 CMTW タイミング

項目	シンボル	Min	Max	単位(注1)	参照図	
CMTW	インプットキャプチャ入力パルス幅	片エッジ設定	1.5	—	t_{PLCyc}	図 2.39
		両エッジ設定	2.5	—		

注 1. t_{PLCyc} : PCLKL サイクル

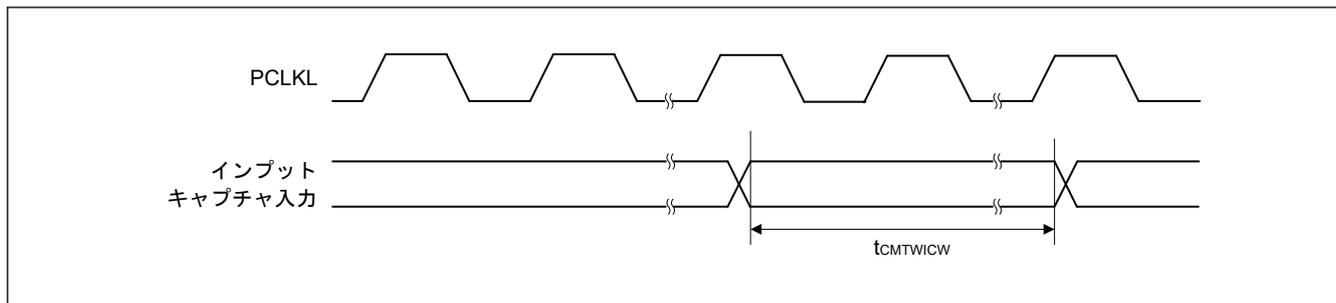


図 2.39 CMTW インพุットキャプチャ入力タイミング

2.5.5.3 MTU3 タイミング

表 2.27 MTU3 タイミング

項目			シンボル	Min	Max	単位(注1)	参照図
MTU3	インพุットキャプチャ入力パルス幅	片エッジ設定	t_{MTICW}	2.5	—	t_{PHcyc}	図 2.40
		両エッジ設定		3.5	—		
	タイマクロックパルス幅	片エッジ設定	t_{MTCKWH} 、 t_{MTCKWL}	2.5	—	t_{PHcyc}	図 2.41
	両エッジ設定	3.5		—			
	位相計数モード	3.5		—			

注 1. t_{PHcyc} : PCLKH サイクル

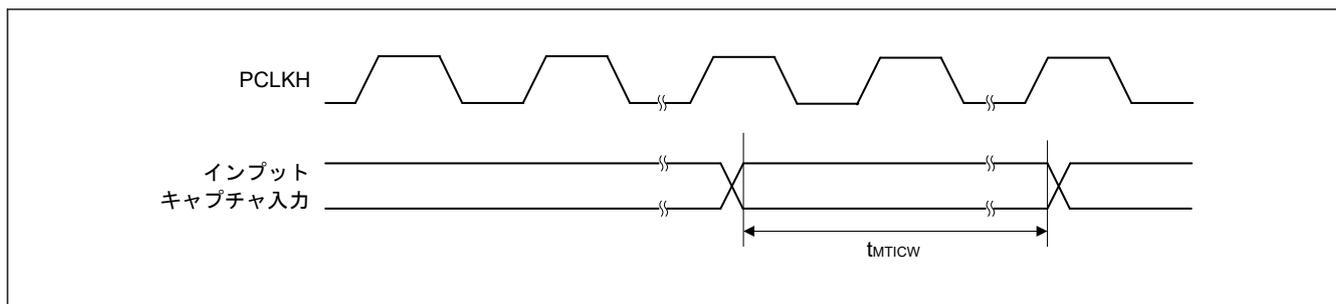


図 2.40 MTU3 インพุットキャプチャ入力タイミング

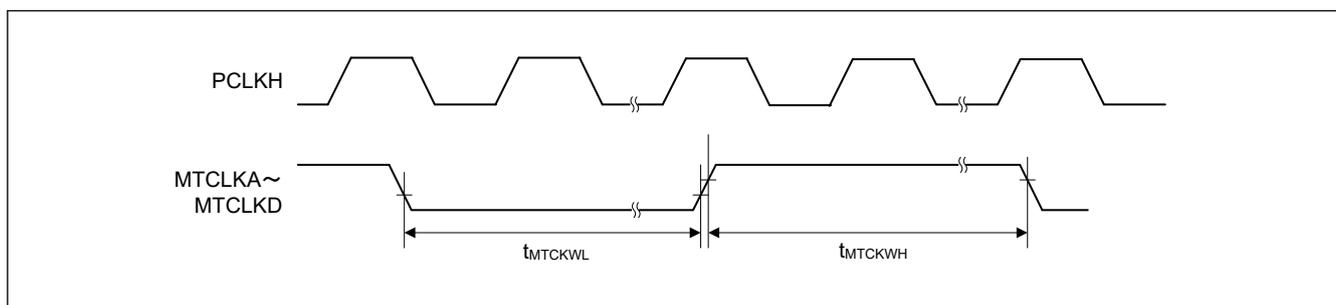


図 2.41 MTU3 クロック入力タイミング

2.5.5.4 POE3 タイミング

表 2.28 POE3 タイミング

項目		シンボル	Min	Max	単位(注1)	参照図	
POE3	POEn#入力パルス幅	t_{POEW}	2.5	—	t_{PHcyc}	図 2.42	
	出力禁止時間	POEn#信号レベルの遷移	t_{POEDI}	—	$5 \times PCLKH + 0.1$	μs	図 2.43
		出力端子の同時出力	t_{POEDO}	—	$3 \times PCLKH + 0.1$	μs	図 2.44
		レジスタ設定	t_{POEDS}	—	$PCLKH + 0.1$	μs	図 2.45
		発振停止検出	t_{POEDOS}	—	74	μs	図 2.46

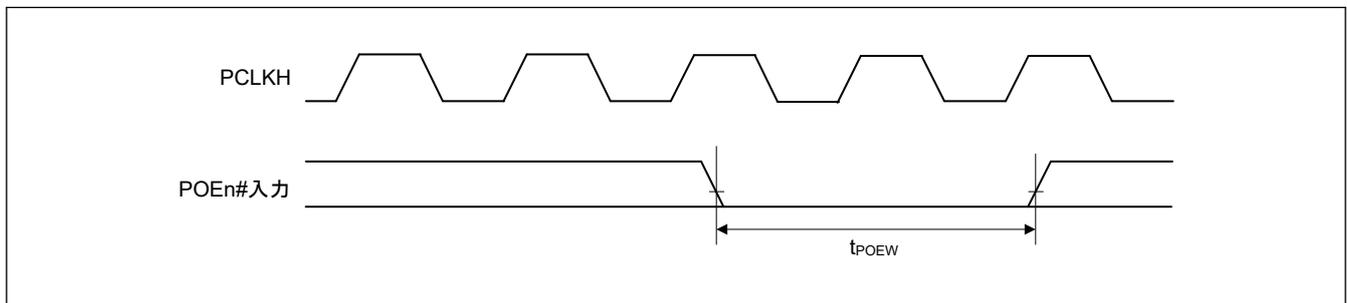
注 1. t_{PHcyc} : PCLKH サイクル

図 2.42 POEn#入力パルスタイミング

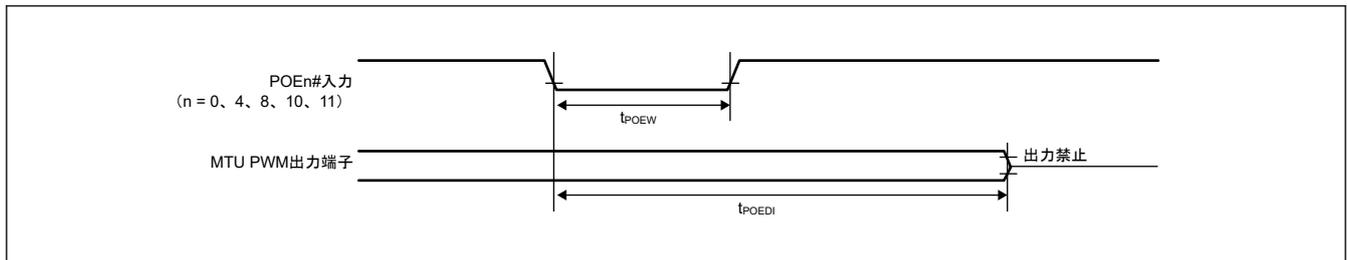
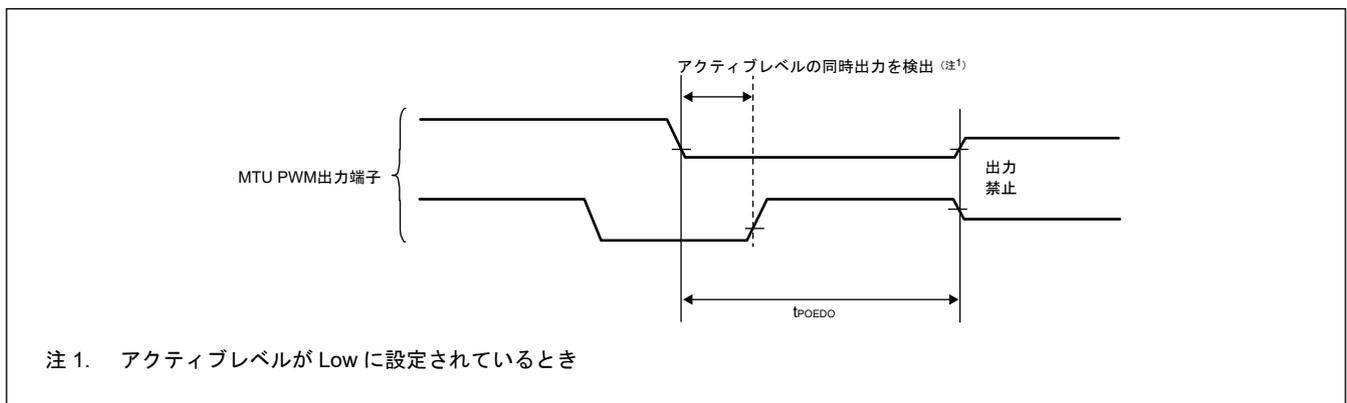


図 2.43 POEn#の信号レベルの遷移に対応した POE の出力禁止時間



注 1. アクティブレベルが Low に設定されているとき

図 2.44 出力端子の同時出力に対応した POE の出力禁止時間

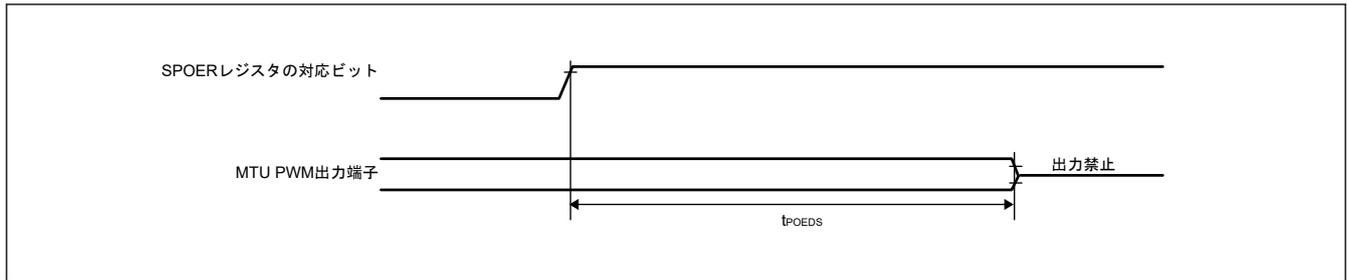


図 2.45 レジスタ設定に対応した POE の出力禁止時間

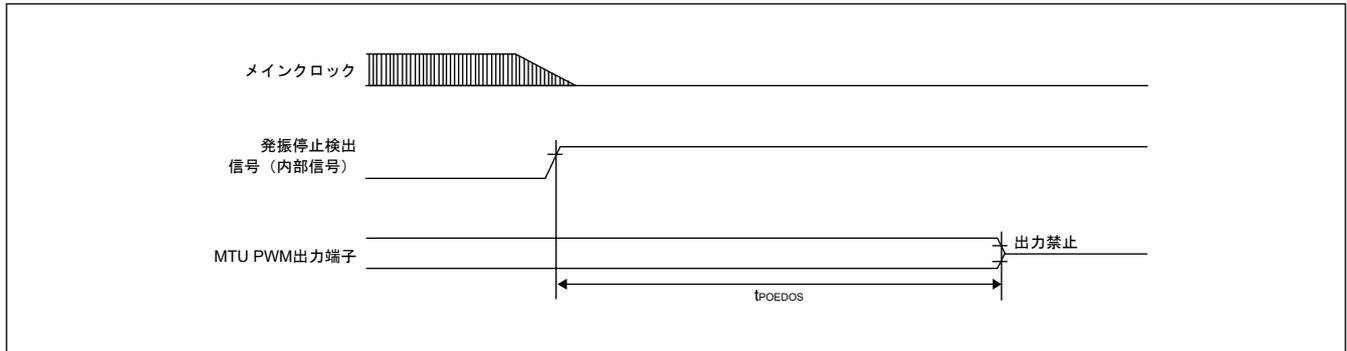


図 2.46 発振停止検出に対応した POE の出力禁止時間

2.5.5.5 GPT タイミング

表 2.29 GPT タイミング

項目	シンボル	Min	Max	単位(注1)	参照図
GPT 入力キャプチャ入力パルス幅	片エッジ設定	2.5	—	t_{PHcyc}	図 2.47
	両エッジ設定	3.5	—		
外部トリガ入力パルス幅	片エッジ設定	2.5	—	t_{PHcyc}	図 2.48
	両エッジ設定	3.5	—		

注 1. t_{PHcyc} : PCLKH サイクル (LLPP チャネル)、PCLKM サイクル (その他のチャネル)

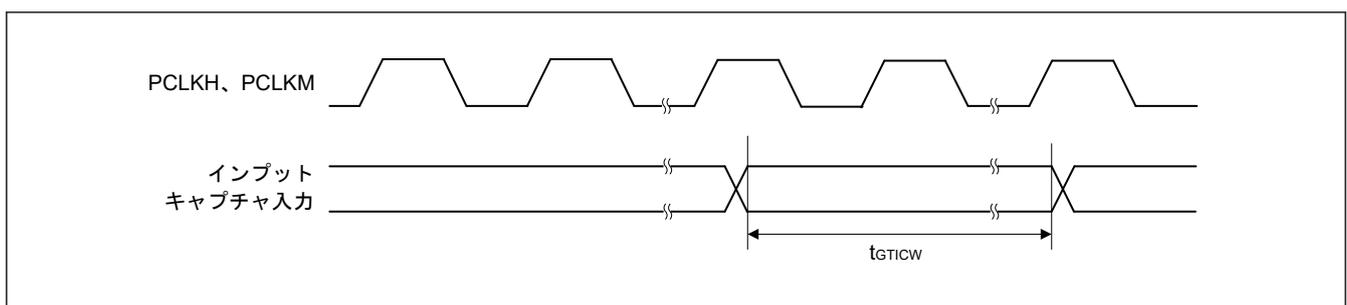


図 2.47 GPT インพุットキャプチャ入力タイミング

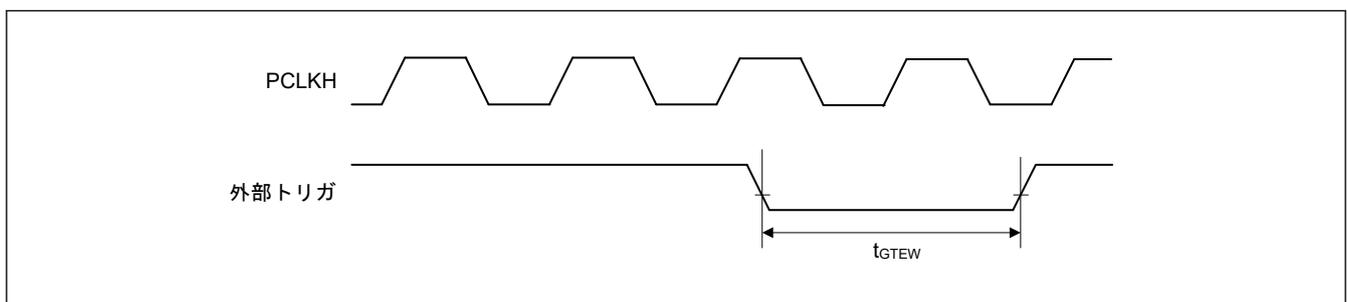


図 2.48 GPT 外部トリガ入力タイミング

2.5.5.6 POEG タイミング

表 2.30 POEG タイミング

項目	シンボル	Min	Max	単位(注1)	参照図	
POEG	GTETRn 入力パルス幅 (n = A~D)	t_{POEGW}	2.5	—	t_{pHcyc}	図 2.49
出力禁止時間	GTETRn 端子の入レベル検出 (フラグ経由)	t_{POEGDI}	—	$3 \times PCLKH + 0.1$	μs	図 2.50
	GPT からの出力停止信号の検出 (デッドタイムエラー、同時 High 出力、または同時 Low 出力)	t_{POEGDO}	—	0.1	μs	図 2.51
	レジスタ設定	t_{POEGDS}	—	$PCLKH + 0.1$	μs	図 2.52
	発振停止検出	$t_{POEGDOS}$	—	74	μs	図 2.53

注 1. t_{pHcyc} : PCLKH サイクル (LLPP チャネル)、PCLKL サイクル (その他のチャネル)

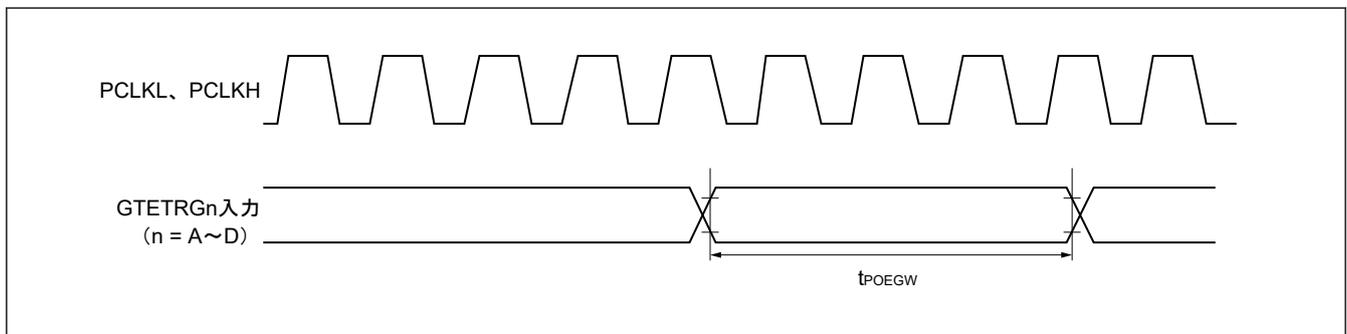


図 2.49 POEG 入力タイミング

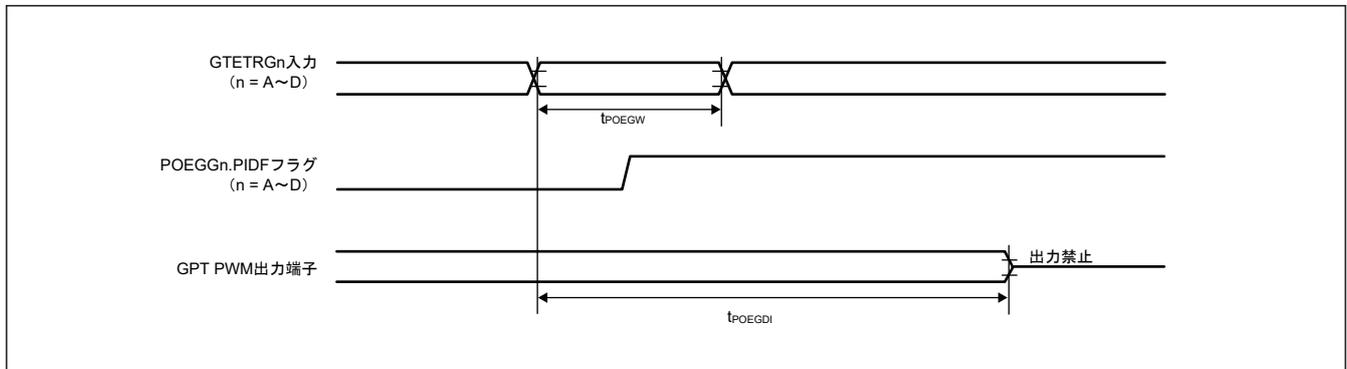


図 2.50 GTETRn 端子の入レベル検出に対応した検出フラグによる POEG の出力禁止時間

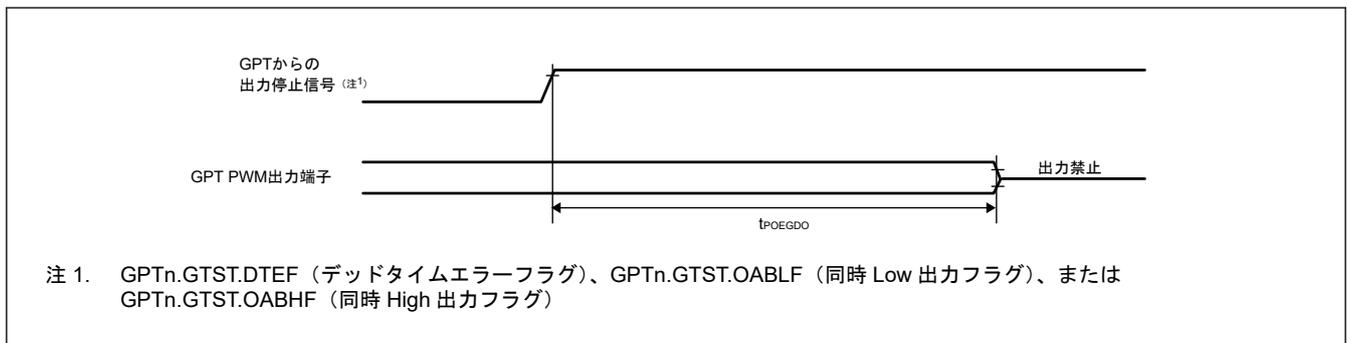


図 2.51 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

注 1. GPTn.GTST.DTEF (デッドタイムエラーフラグ)、GPTn.GTST.OABLF (同時 Low 出力フラグ)、または GPTn.GTST.OABHF (同時 High 出力フラグ)

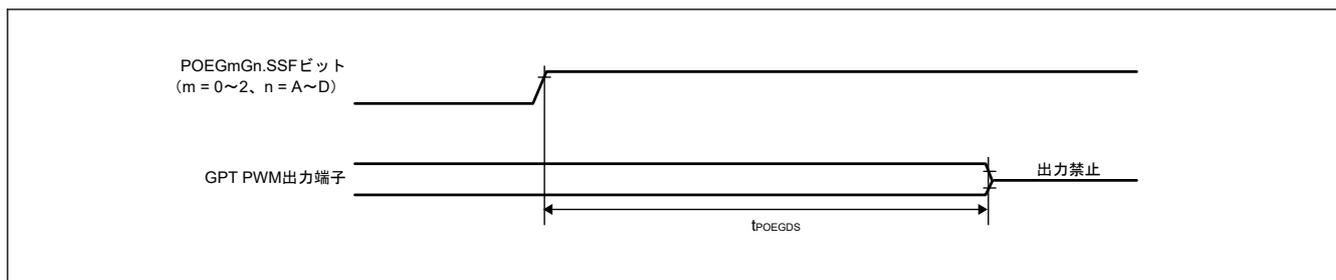


図 2.52 レジスタ設定に対応した POEG の出力禁止時間

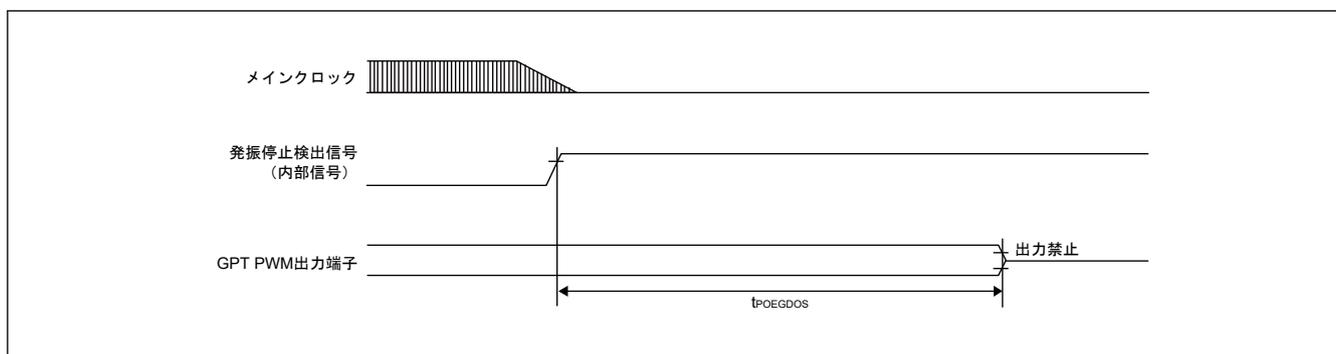


図 2.53 発振停止検出に対応した POEG の出力禁止時間

2.5.5.7 A/D コンバータトリガタイミング

表 2.31 A/D コンバータトリガタイミング

項目		シンボル	Min	Max	単位(注1)	参照図	
A/D コンバータ	A/D コンバータトリガ入力パルス幅	ADTRG0#、ADTRG1#	t _{TRGW}	1.5	—	t _{PADCcyc}	図 2.54

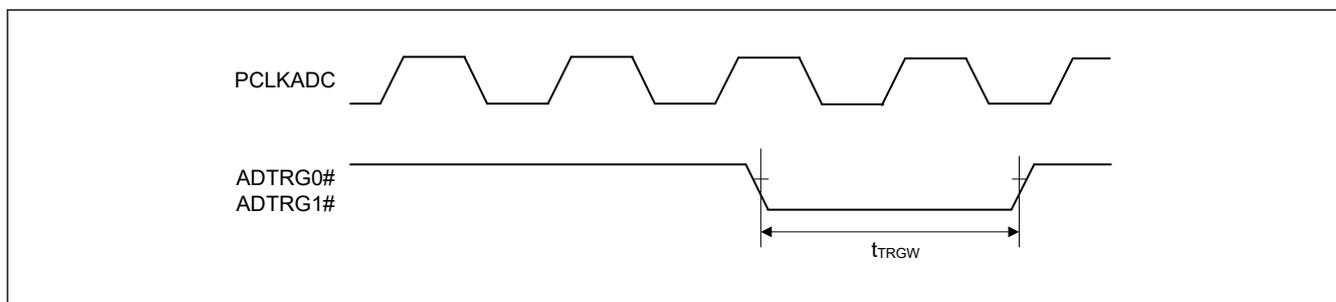
注 1. t_{PADCcyc}: PCLKADC サイクル

図 2.54 A/D コンバータトリガ入力タイミング (ADTRG0#、ADTRG1#)

2.5.5.8 SCI タイミング

条件: $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$ (簡易 I2C 以外)

表 2.32 SCI タイミング (1/2)

項目	シンボル	Min	Max	単位	参照図	
SCI (調歩同期式)	入カクロックサイクル	t_{Scyc}	4	—	$t_{PSCIcyc}$	図 2.55
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
	入カクロック立ち上がり時間	t_{SCKr}	—	3	ns	
	入カクロック立ち下がり時間	t_{SCKf}	—	3	ns	
	出カクロックサイクル	t_{Scyc}	6	—	$t_{PSCIcyc}$	
	出カクロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間	t_{SCKr}	—	3	ns	
	出カクロック立ち下がり時間	t_{SCKf}	—	3	ns	
SCI (簡易 I2C、 標準モード)	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 2.56
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$2 \times NF_{cyc}$ (注1)	ns	
	データ入カセットアップ時間	t_{SDAS}	250	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
SCI (簡易 I2C、 ファストモード)	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 2.56
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$2 \times NF_{cyc}$ (注1)	ns	
	データ入カセットアップ時間	t_{SDAS}	100	—	ns	
	データ入カホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	

表 2.32 SCI タイミング (2/2)

項目		シンボル	Min	Max	単位	参照図	
SCI (クロック同期、 簡易 SPI)	SCK 出力クロックサイクル (マスタ)	t_{SPcyc}	2	65536	$t_{PSClcyc}$	図 2.57~図 2.62	
	SCK 入力クロックサイクル (スレーブ)		2	65536			
	SCK クロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCK クロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCK クロック立ち上がり/立ち下がり時間	t_{SPCKR} 、 t_{SPCKF}	—	3	ns		
	データ入力セットアップ時間	内部クロック	t_{SU}	7	—		ns
		外部クロック		3	—		
	データ入力ホールド時間	内部クロック	t_H	3	—		ns
		外部クロック		3	—		
	データ出力遅延時間	内部クロック	t_{OD}	—	3		ns
		外部クロック		—	12		
	データ出力ホールド時間	内部クロック	t_{OH}	0	—		ns
		外部クロック		0	—		
データ立ち上がり/立ち下がり時間		t_{DR} 、 t_{DF}	—	3	ns		
スレーブアクセス時間	内部クロック	t_{SA}	—	$3 \times t_{PSClcyc} + 12$	ns		
	外部クロック		—	$3 \times t_{PSClcyc} + 12$			
スレーブ出力開放時間	内部クロック	t_{REL}	—	$3 \times t_{PSClcyc} + 12$	ns		
	外部クロック		—	$3 \times t_{PSClcyc} + 12$			
SCI (簡易 SPI)	SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}		
	SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}		
	SS 入力立ち上がり/立ち下がり時間	t_{SSR} 、 t_{SSF}	—	3	ns		

注. $t_{PSClcyc}$: PCLKSCIn サイクル

注 1. $N_{Fcy} = 4^n \times 2^{m-1} \times t_{PSClcyc}$
 n : CCR2.CKS[1:0] ($n = 0, 1, 2, 3$)
 m : CCR1.NFCS[2:0] ($m = 1, 2, 3, 4$)

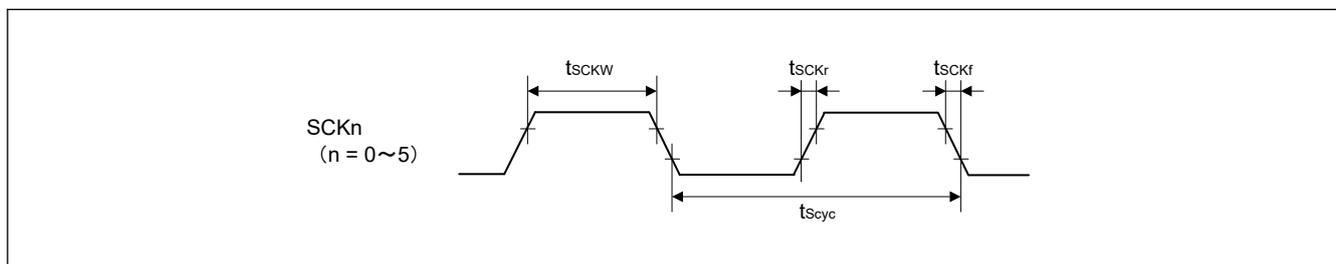


図 2.55 SCK クロック入出力タイミング

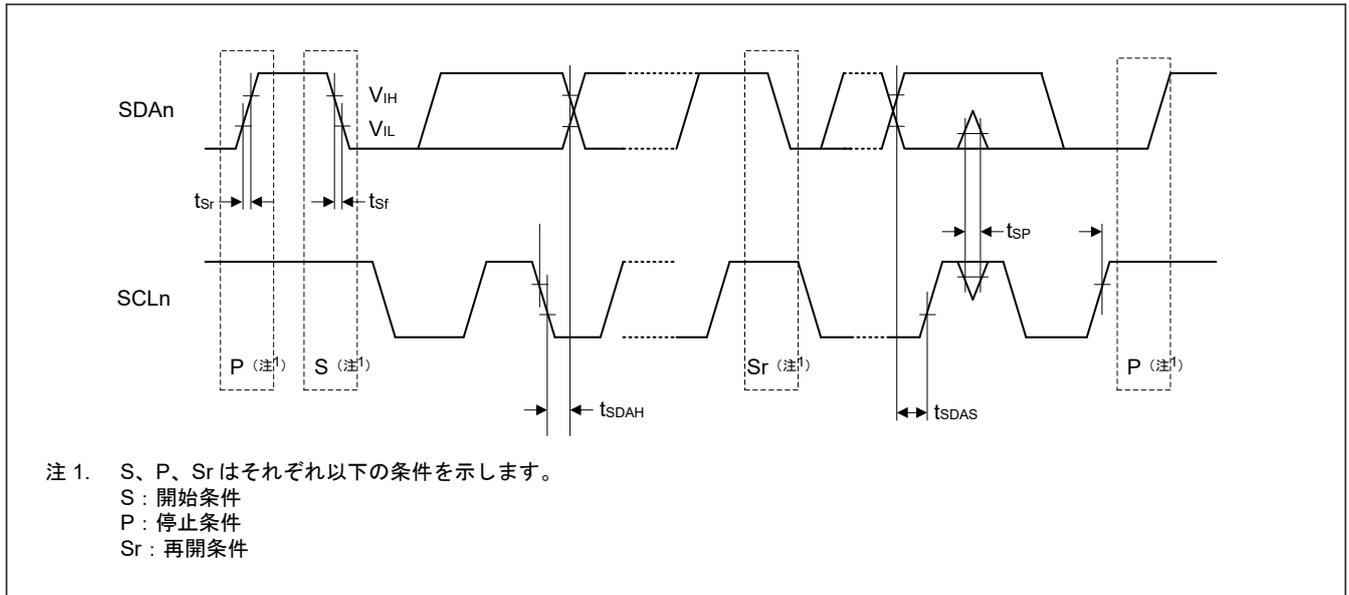


図 2.56 SCI 簡易 I2C モードタイミング

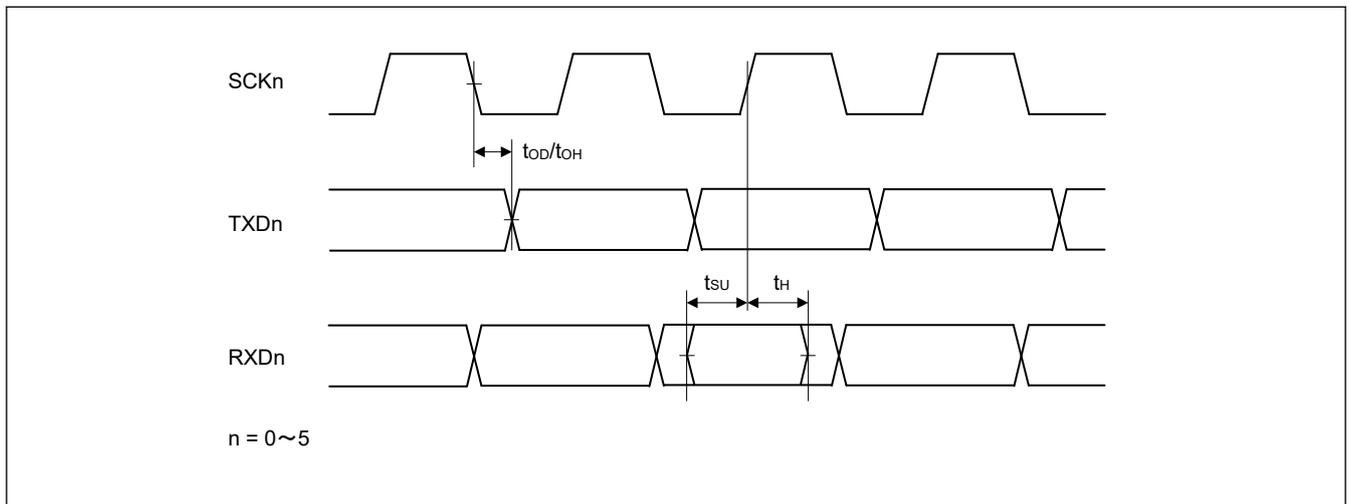


図 2.57 クロック同期式モードにおける SCI 入出力タイミング

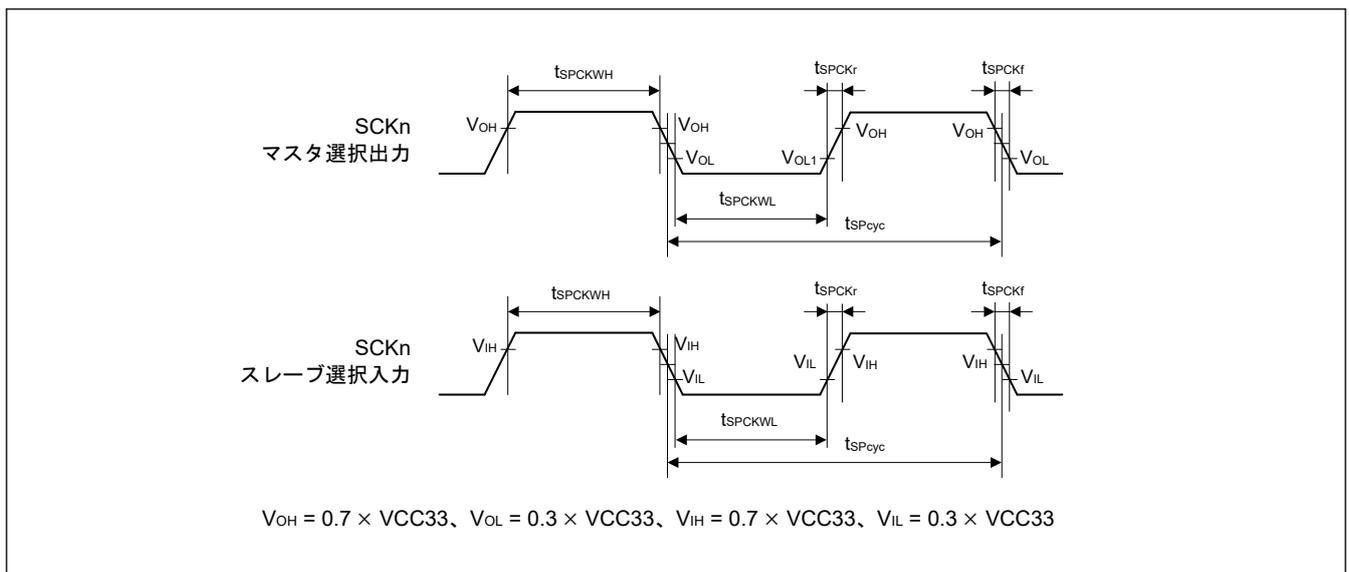


図 2.58 SCI 簡易 SPI モードクロックタイミング

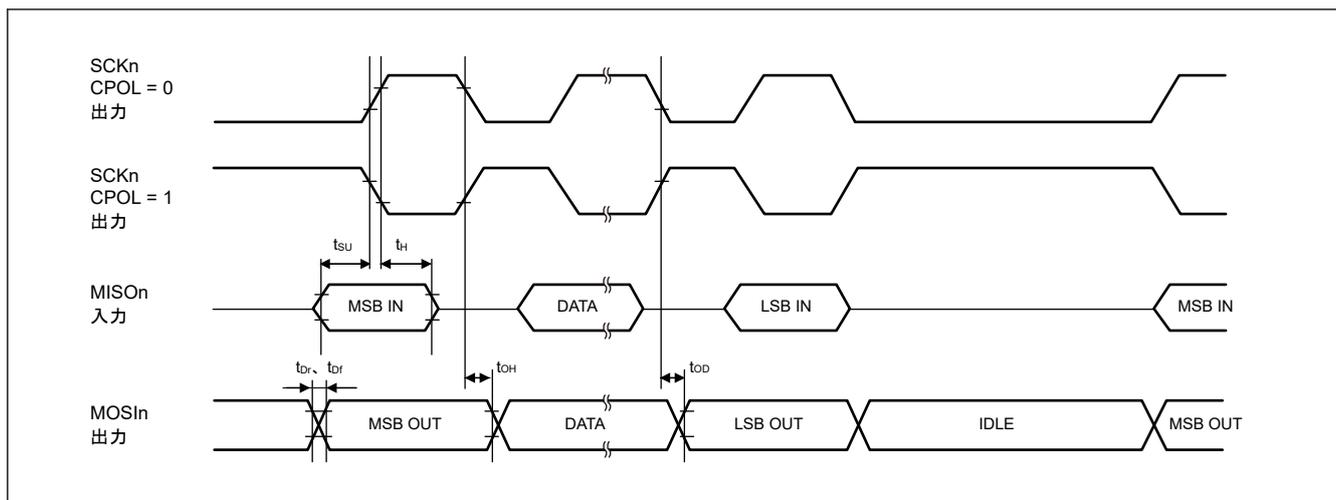


図 2.59 SCI 簡易 SPI モードタイミング (マスタ、CPHA = 0)

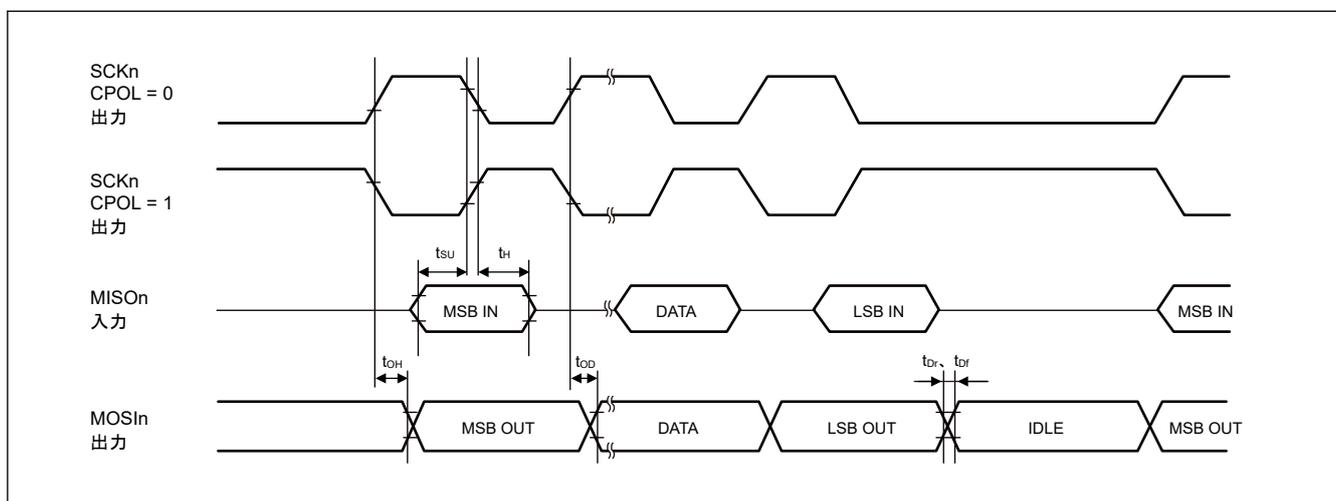


図 2.60 SCI 簡易 SPI モードタイミング (マスタ、CPHA = 1)

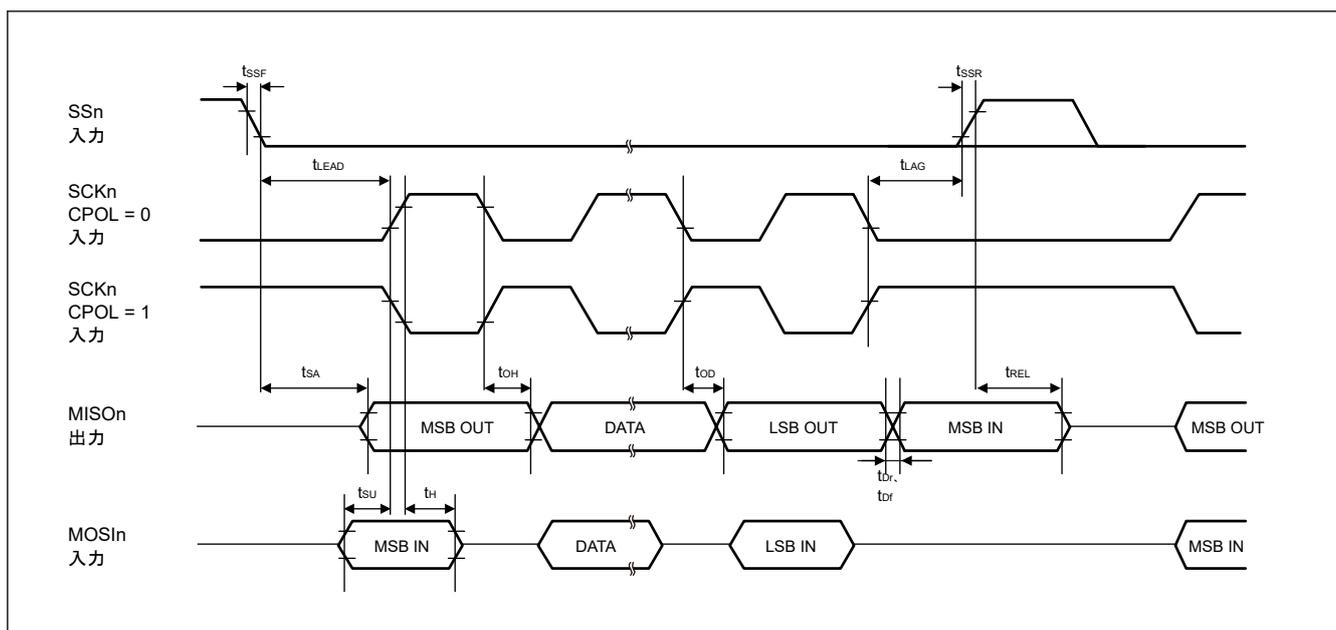


図 2.61 SCI 簡易 SPI モードタイミング (スレーブ、CPHA = 0)

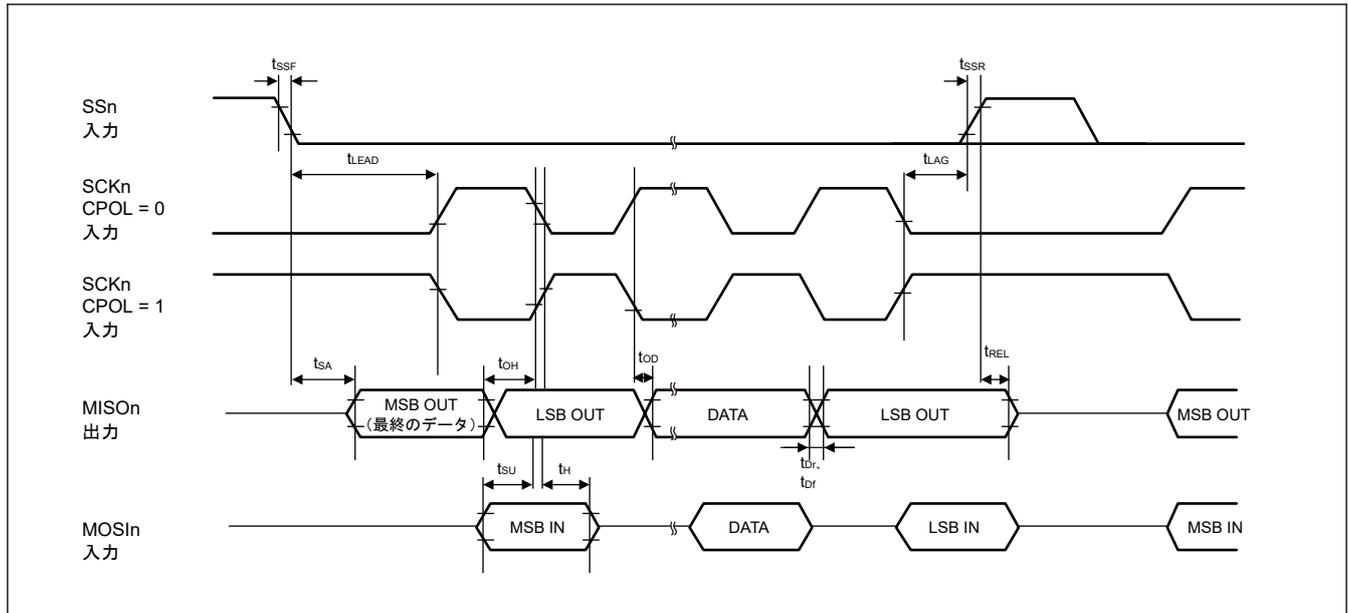


図 2.62 SCI 簡易 SPI モードタイミング (スレーブ、CPHA = 1)

2.5.5.9 IIC タイミング

条件 : $V_{OL} = 0.4 \text{ V}$ 、 $I_{OL} = 4 \text{ mA}$

表 2.33 IIC タイミング

項目	シンボル	Min(注1)(注2)	Max(注1)(注2)	単位	参照図	
IIC (標準モード)	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図 2.63
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{sf}	—	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b	—	400	pF	
IIC (ファストモード)	SCL 入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	
	SCL 入力 High レベルパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 入力立ち上がり時間	t_{sr}	—(注4)	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{sf}	—(注4)	300	ns	
	SCL、SDA 入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA 入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再開条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量(注3)	C_b	—	400	pF	

注 1. t_{IICcyc} : IIC 内部基準クロック (IICΦ) サイクル

注 2. ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 00b の場合は、() の外の値が適用されます。ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合は、() 内の値が適用されます。

注 3. C_b はバスラインの容量の総計です。

注 4. ファストモードでは、 t_{sr} と t_{sf} に対する最小値は指定されていません。

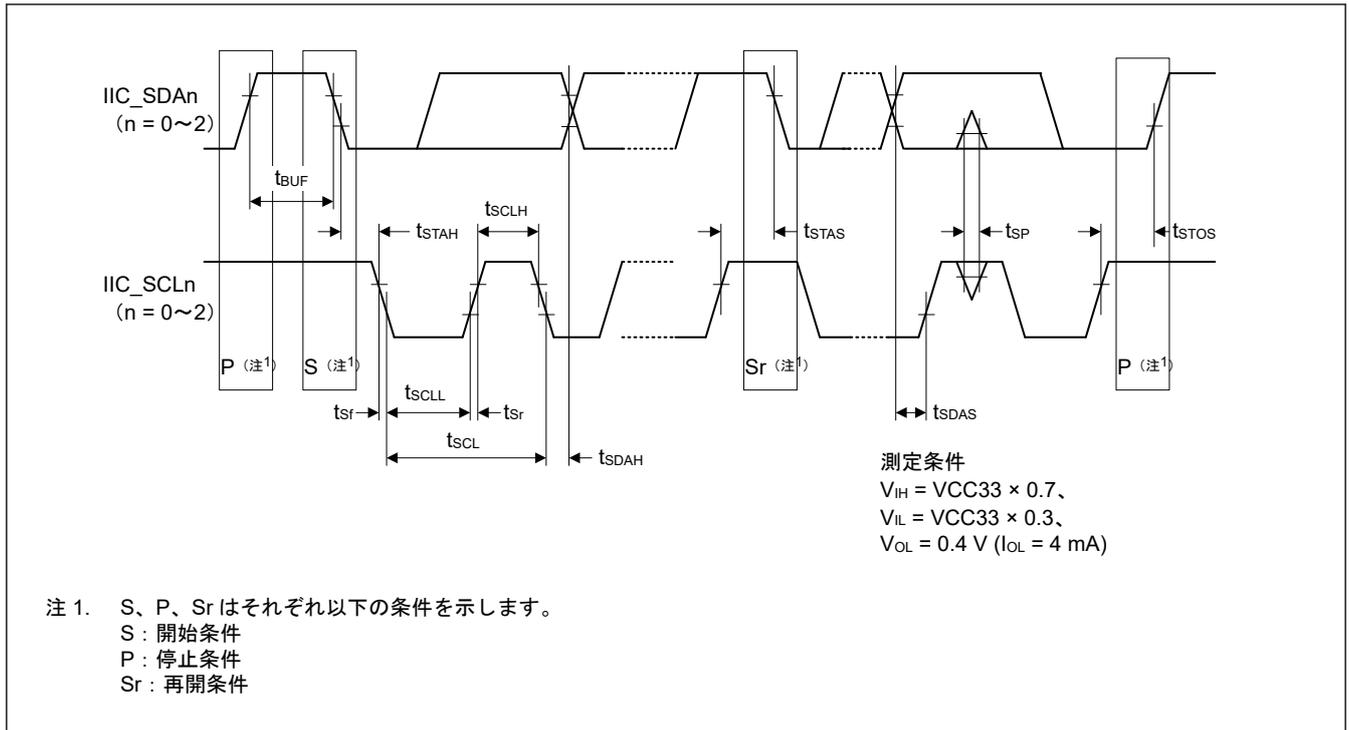


図 2.63 IIC バスインタフェース入出力タイミング

2.5.5.10 CANFD タイミング

表 2.34 CANFD タイミング

項目	シンボル	CAN		CANFD		単位	参照図	
		Min	Max	Min	Max			
CANFD	内部遅延時間	t_{node}	—	100	—	50	ns	図 2.64
	通信速度	—	—	1	—	8	Mbps	

注. 内部遅延時間 (t_{node}) = 内部送信遅延時間 (t_{output}) + 内部受信遅延時間 (t_{input})

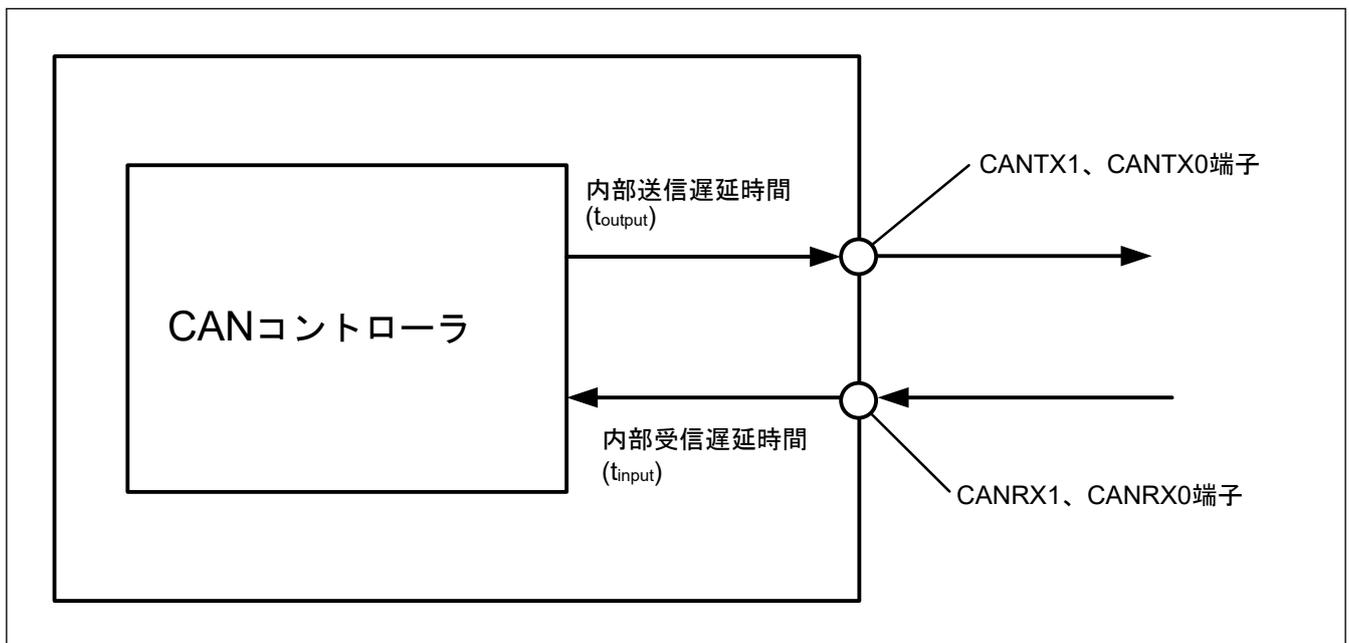


図 2.64 CAN インタフェース条件

2.5.5.11 SPI タイミング

表 2.35 SPI タイミング (1/2)

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$ 、 $C = 30 \text{ pF}$

項目		シンボル	Min(注1)	Max(注1)	単位(注1)	参照図	
RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{SPcyc}	図 2.65	
	スレーブ		2	4096			
RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 2.5$	—	ns		
	スレーブ		1	—	t_{SPcyc}		
RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 2.5$	—	ns		
	スレーブ		1	—	t_{SPcyc}		
RSPCK クロック立ち上がり/立ち下がり時間	出力	t_{SPCKr}	—	3	ns		
	入力	t_{SPCKf}	—	1	ns		
データ入力セットアップ時間	マスタ	t_{SU}	5	—	ns		図 2.66～図 2.72
	スレーブ		3	—			
データ入力ホールド時間	マスタ	t_H	3	—	ns		
	スレーブ		3	—			
SSL セットアップ時間	マスタ	t_{LEAD}	$N \times t_{SPcyc} - 3$ (注2)	$N \times t_{SPcyc} + 3$ (注2)	ns	図 2.66～図 2.69	
	スレーブ		4	—	t_{SPcyc}		
SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SPcyc} - 3$ (注3)	$N \times t_{SPcyc} + 3$ (注3)	ns		
	スレーブ		4	—	t_{SPcyc}		
連続送信遅延	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{SPcyc}$	$8 \times t_{SPcyc} + 2 \times t_{SPcyc}$	ns		
	スレーブ		$t_{SPcyc} + 5 \times t_{SPcyc}$	—			
TI-SSP SS 入力セットアップ時間		t_{TISS}	3	—	ns	図 2.70～図 2.72	
TI-SSP SS 入力ホールド時間		t_{TISH}	3	—	ns		
TI-SSP 次アクセス時間		t_{TIND}	M(注4)	—	t_{SPcyc}		
TI-SSP マスタ SS 出力遅延		t_{TISSOD}	-3	3	ns		
TI-SSP マスタ OE 遅延 1		$t_{TIMOED1}$	—	2	ns		
TI-SSP マスタ OE 遅延 2		$t_{TIMOED2}$	—	2	ns		
TI-SSP スレーブ OE 遅延 1		$t_{TISOED1}$	—	12	ns		
TI-SSP スレーブ OE 遅延 2		$t_{TISOED2}$	—	8	ns		
データ出力遅延時間	マスタ	t_{OD}	—	3	ns		図 2.66～図 2.72
	スレーブ		—	12	ns		
データ出力ホールド時間	マスタ	t_{OH}	-3	—	ns		
	スレーブ		3	—			
MOSI、MISO クロック立ち上がり/立ち下がり時間	出力	t_{Dr} , t_{Df}	—	3	ns		
	入力		—	1	μs		
SSL 立ち上がり/立ち下がり時間	出力	t_{SSLr} , t_{SSLf}	—	3	ns	図 2.66、図 2.67	
	入力		—	1	μs		

表 2.35 SPI タイミング (2/2)

条件 : $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 30 \text{ pF}$

項目	シンボル	Min(注1)	Max(注1)	単位(注1)	参照図
スレーブアクセス時間	t_{SA}	—	12	ns	図 2.68、図 2.69
スレーブ出力開放時間	t_{REL}	—	12	ns	

- 注 1. t_{SPICyc} : PCLKSPIn サイクル
- 注 2. SPCKD 設定値 + 1 (1~8)
- 注 3. SSLND 設定値 + 1 (1~8)
- 注 4. SSLND 設定値 + 2 (2~9)

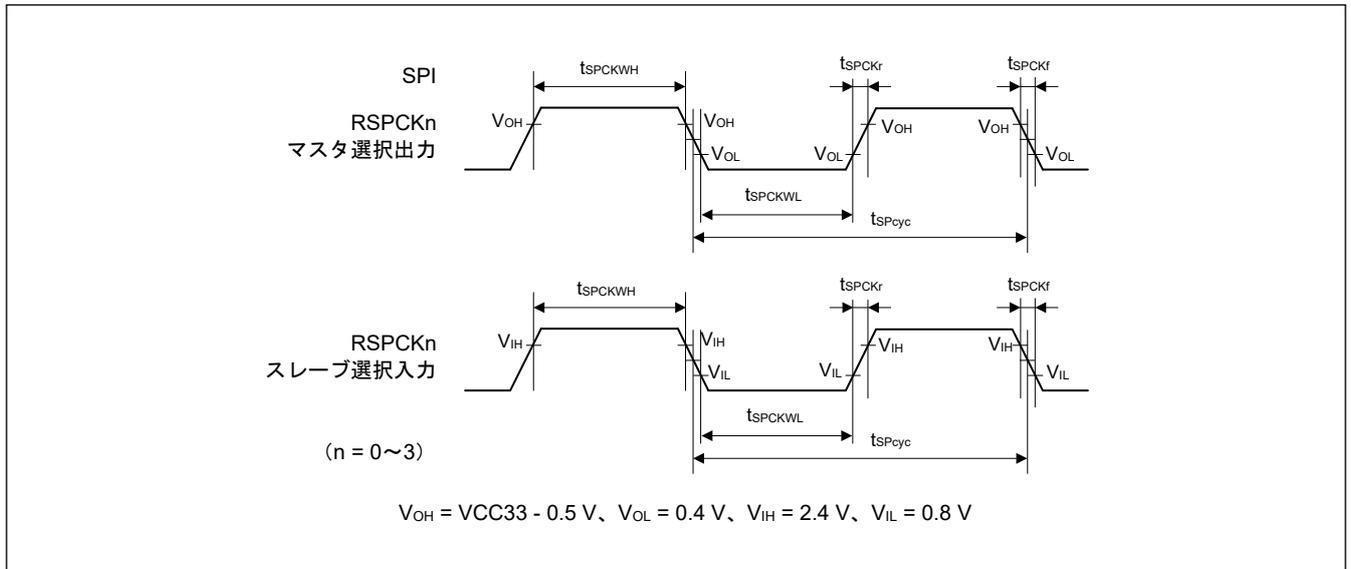


図 2.65 SPI クロックタイミング

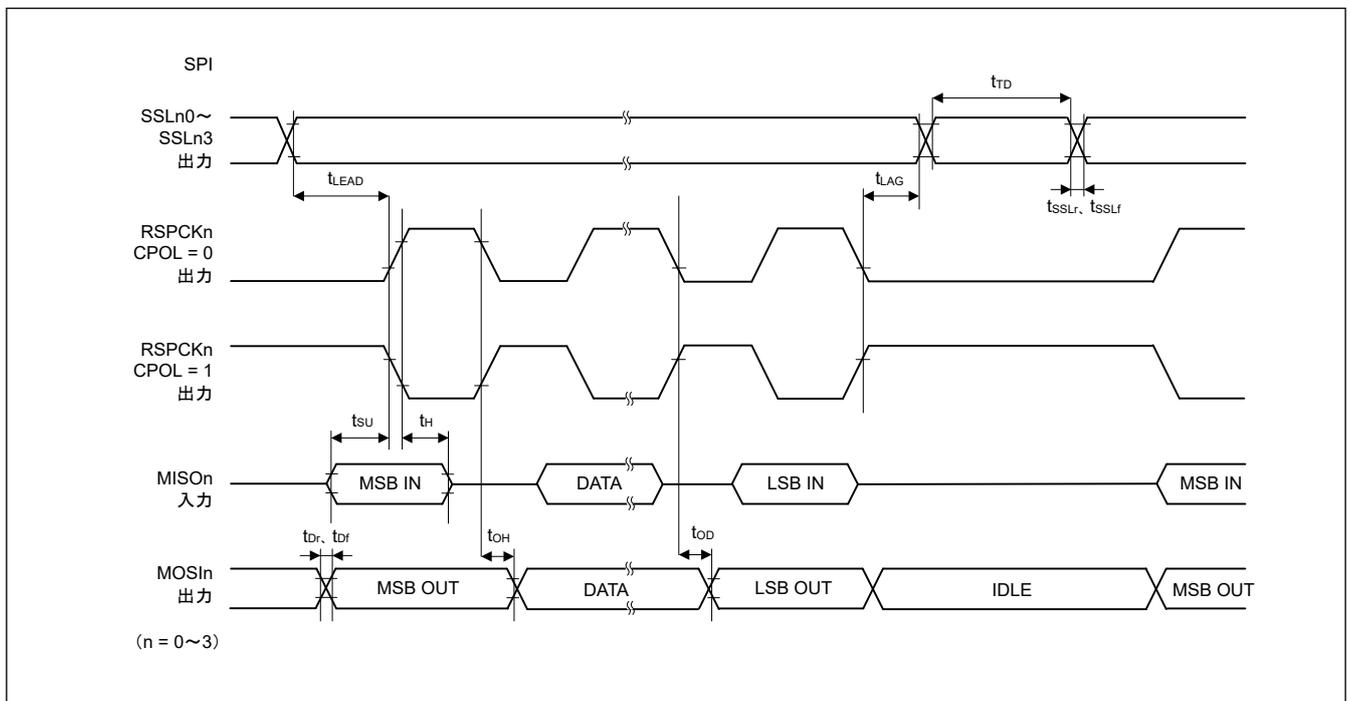


図 2.66 SPI タイミング (マスタ、モトローラ SPI、CPHA = 0)

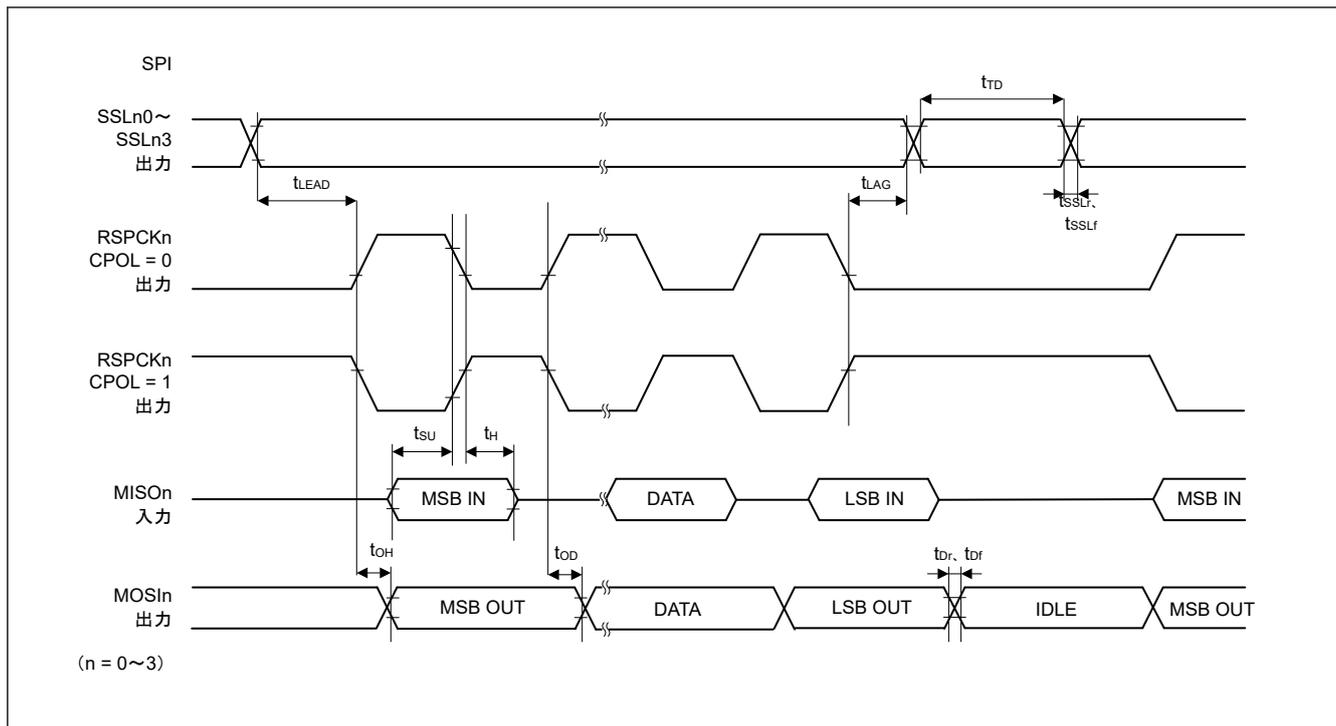


図 2.67 SPI タイミング (マスタ、モトローラ SPI、CPHA = 1)

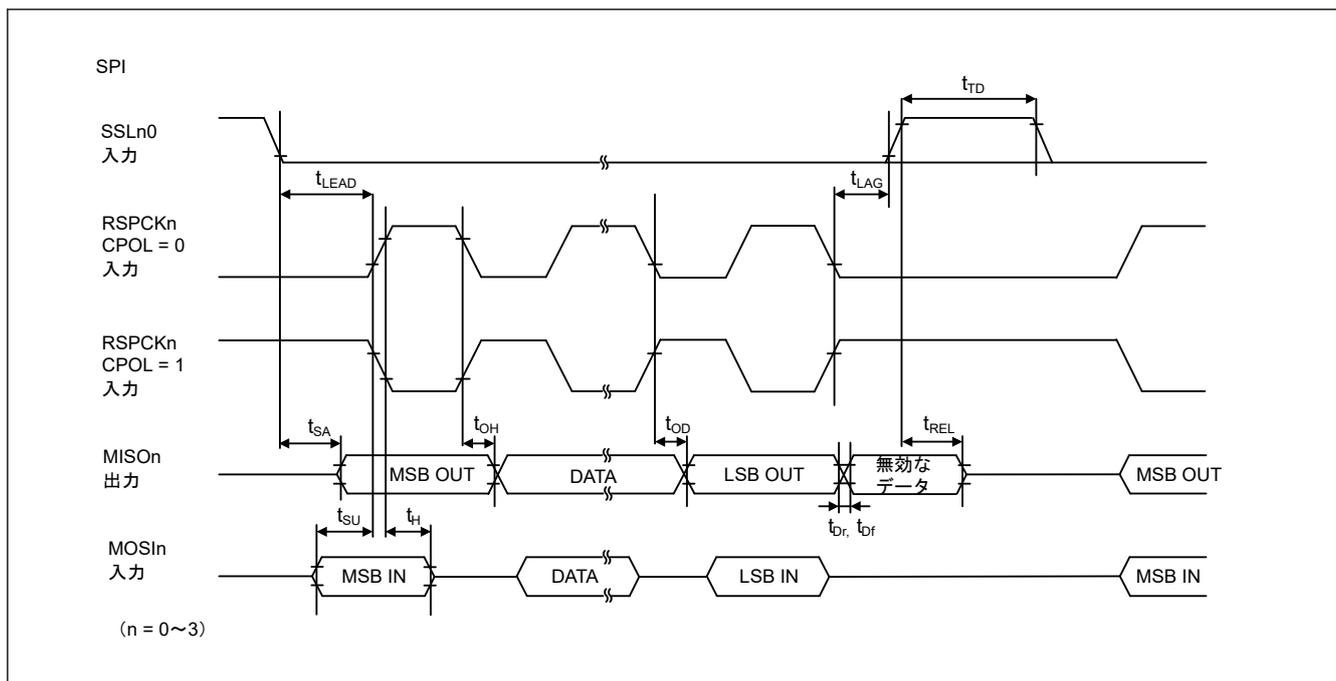


図 2.68 SPI タイミング (スレーブ、モトローラ SPI、CPHA = 0)

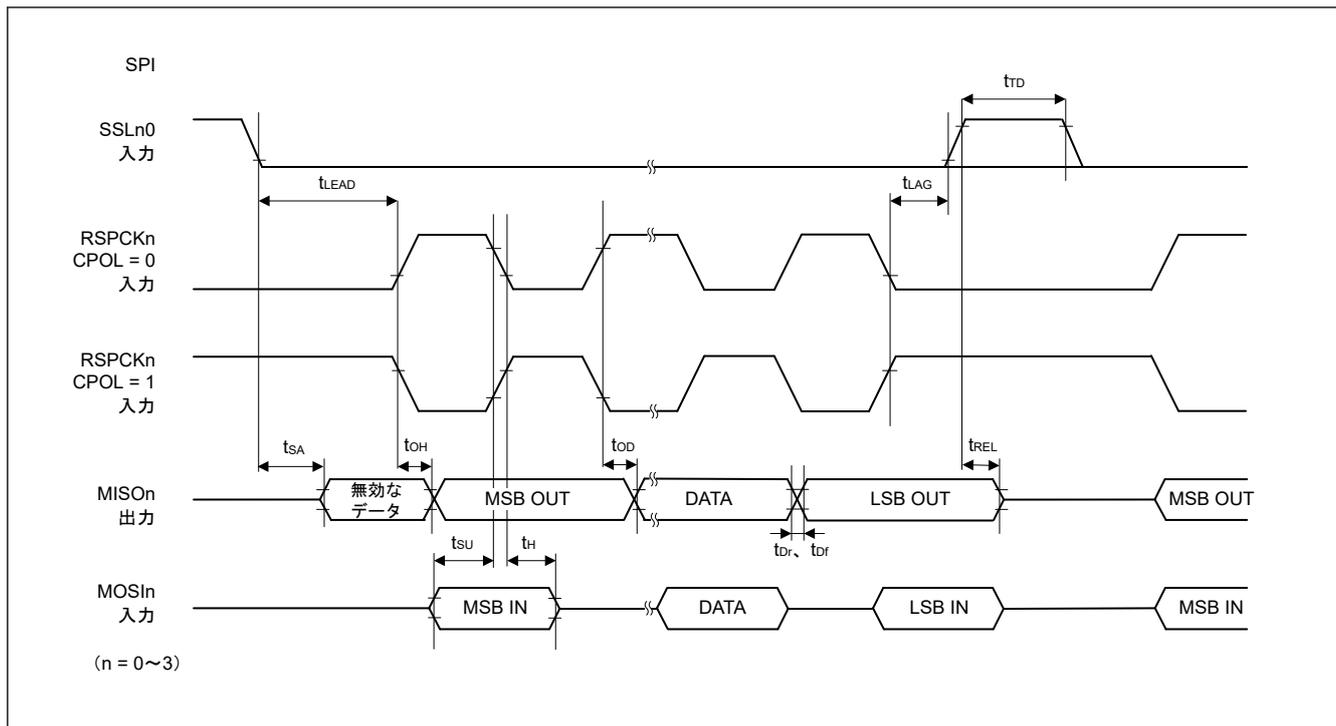


図 2.69 SPI タイミング (スレーブ、モトローラ SPI、CPHA = 1)

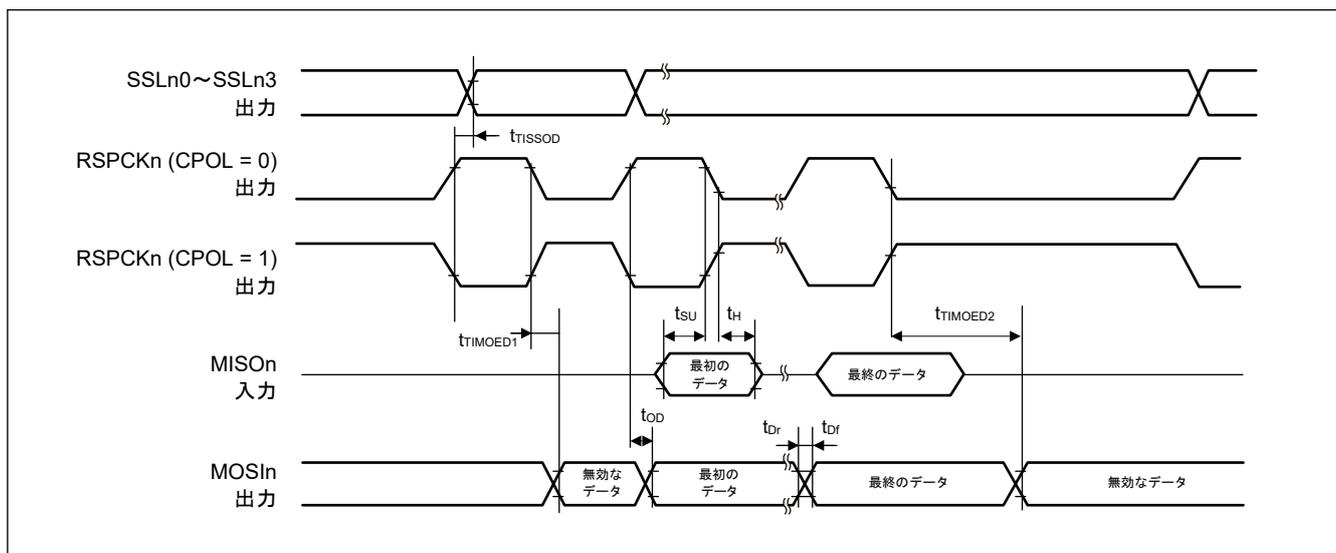


図 2.70 SPI タイミング (マスタ、TI SSP)

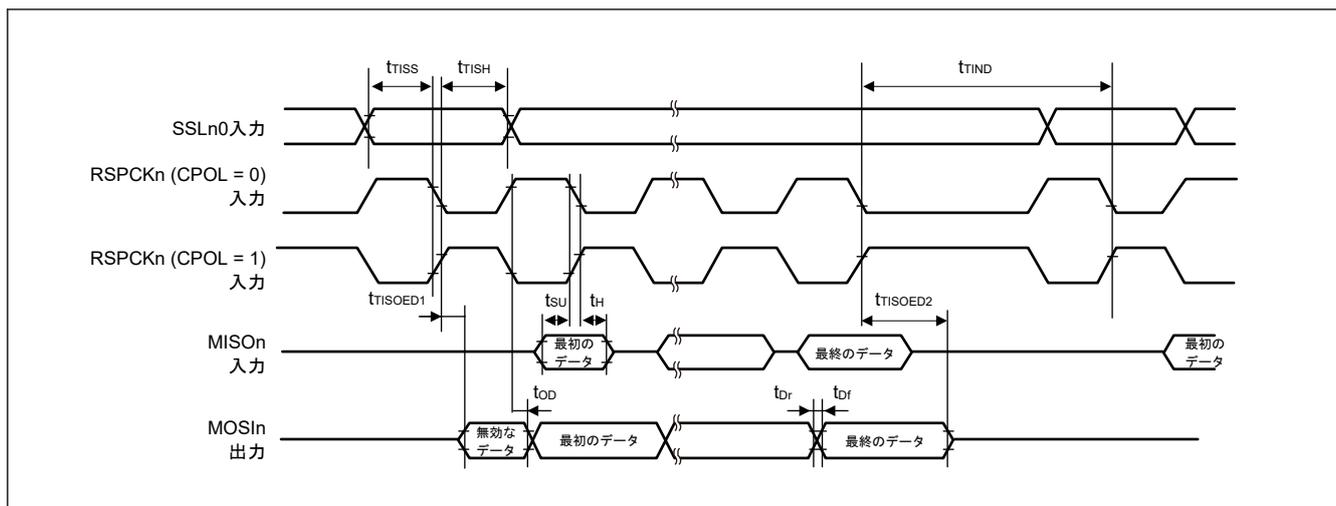


図 2.71 SPI タイミング (スレーブ、TI SSP、バースト転送時の遅延あり)

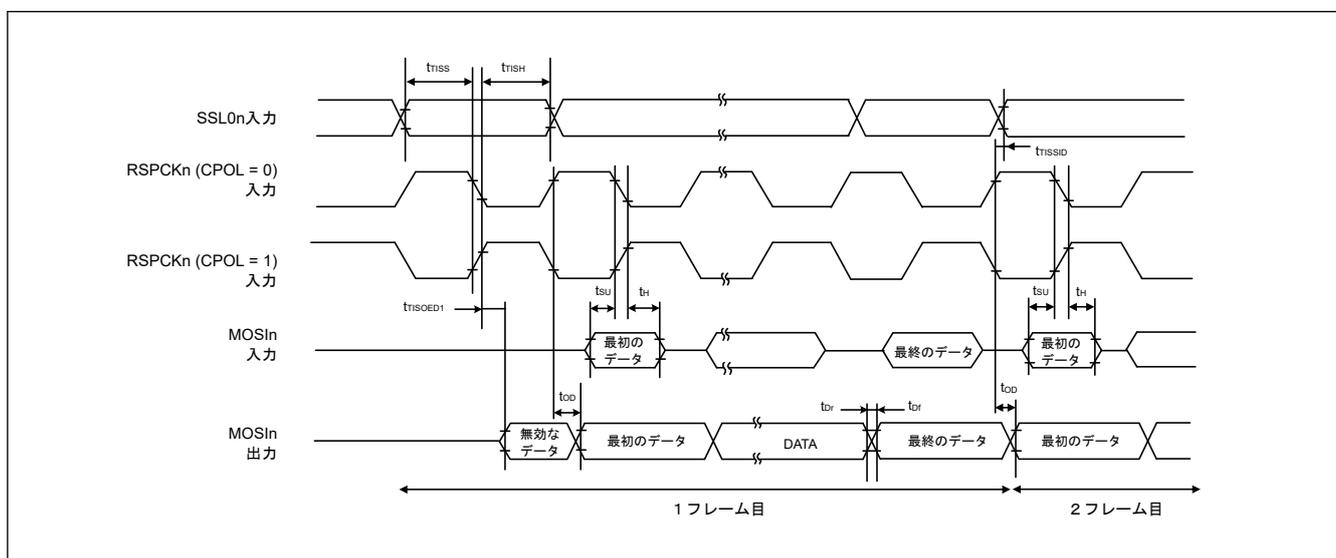


図 2.72 SPI タイミング (スレーブ、TI SSP、バースト転送時の遅延なし)

2.5.5.12 xSPI タイミング

条件：

シングルエンドクロック

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 15 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 15 \text{ pF (3.3 V)}$$

データ

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 15 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 15 \text{ pF (3.3 V)}$$

表 2.36 xSPI タイミング

項目	シンボル	1.8 V		3.3 V		単位	参照図	
		Min	Max	Min	Max			
サイクルタイム	SDR	t_{PERIOD}	7.5	—	13.3	—	ns	図 2.73
	DDR		10.0	—	13.3	—	ns	
クロック出力スルーレート		t_{SRck}	0.75/0.56 (注2)	—	0.56	—	V/ns	
クロックデューティーサイクル歪み		t_{CKDCD}	0.0	$t_{PERIOD} \times 0.05$	0.0	$t_{PERIOD} \times 0.05$	ns	
クロック最小パルス幅		t_{CKMPW}	$t_{PERIOD} \times 0.45$	—	$t_{PERIOD} \times 0.45$	—	ns	
差動クロック交差電圧		$V_{OX(AC)}$	$0.4 \times VCC18$	$0.6 \times VCC18$	—	—	V	
DS デューティーサイクル歪み		t_{DSDCD}	0.0	$t_{PERIOD} \times 0.04$	0.0	$t_{PERIOD} \times 0.04$	ns	
DS 最小パルス幅		t_{DSMPW}	$t_{PERIOD} \times 0.41$	—	$t_{PERIOD} \times 0.41$	—	ns	
データ入出力スルーレート		t_{SR}	0.75/0.56 (注2)	—	0.56	—	V/ns	
データ入力セットアップ時間 (CK に対して)	SDR	t_{SU}	2.0	—	2.4	—	ns	図 2.74
データ入力ホールド時間 (CK に対して)		t_H	1.0	—	1.0	—	ns	
データ出力遅延時間		t_{OD}	—	1.0(注3)	—	1.4(注3)	ns	
データ出力ホールド時間		t_{OH}	-1.0	—	-2.3	—	ns	
データ出力バッファオフ時間		t_{BOFF}	-1.0	—	-2.3	—	ns	
データ入力セットアップ時間 (DS に対して)	DDR (注1) (注3)	t_{SU}	-0.8	—	-0.8	—	ns	図 2.75、図 2.76
データ入力ホールド時間 (DS に対して)		t_H	$t_{PERIOD} \times 0.41 - 0.8$	—	$t_{PERIOD} \times 0.41 - 0.8$	—	ns	
データ出力セットアップ時間 (CK に対して)		t_{SUO}	1.0	—	1.0	—	ns	
データ出力ホールド時間 (CK に対して)		t_{HO}	1.0	—	1.0	—	ns	
CS Low~クロック High		t_{CSLCKH}	6.0/8.0(注2) (注4)	—	8.0(注4)	—	ns	図 2.74~図 2.76
CS Low~CS High		t_{CKLCSH}	6.0/8.0(注2)	—	8.0	—	ns	
CS High 時間		t_{CSTD}	1	16	1	16	t_{PERIOD}	
DS Low~CS High		t_{DSLCSH}	6.0/8.0(注2)	—	10.6	—	ns	図 2.77
CS High~DS トライステート		t_{CSHDST}	0.0	t_{PERIOD}	0.0	t_{PERIOD}	ns	
CS Low~DS Low		t_{CSLDSL}	0.0	—	0.0	—	ns	
DS トライステート~CS Low		t_{DSTCSL}	0.0	—	0.0	—	ns	

注 1. xSPI200 での DS シフト設定 (WRAPCFG.DSSFTCSx[4:0]) は 01000b です。

注 2. 133 MHz 時の仕様/100 MHz 時の仕様

注 3. これは OEN アサートが出力許可アサート拡張ビット (COMCFG.OEASTEX = 1) で拡張されたときの値です。

注 4. これは CS アサートが CS アサート拡張ビット (LIOCFCGSn.CSASTEX = 1) で拡張されたときの値です。

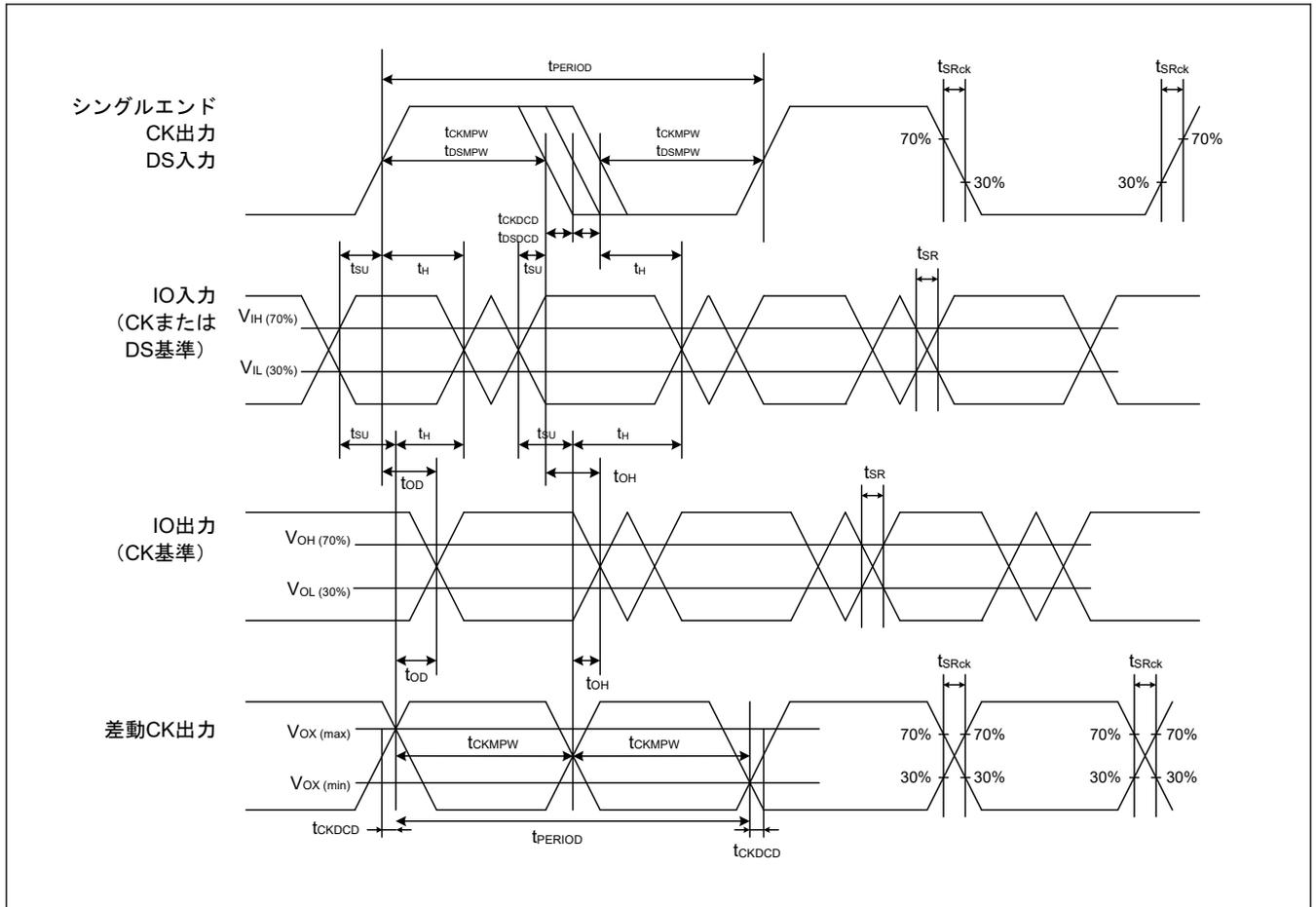


図 2.73 xSPI クロック/DS タイミング

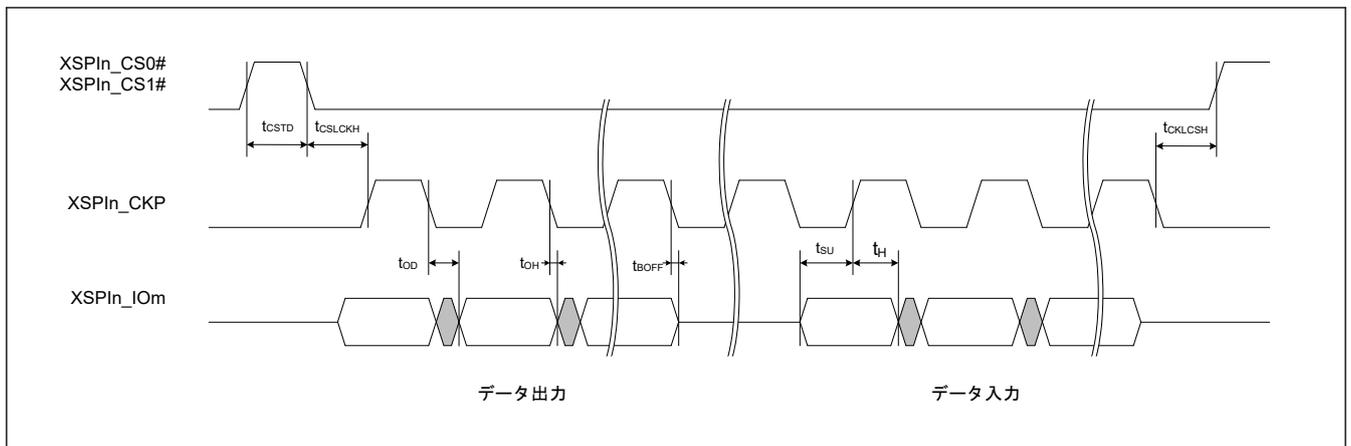


図 2.74 SDR 送受信タイミング (1S-1S-1S、1S-2S-2S、2S-2S-2S、1S-4S-4S、4S-4S-4S)

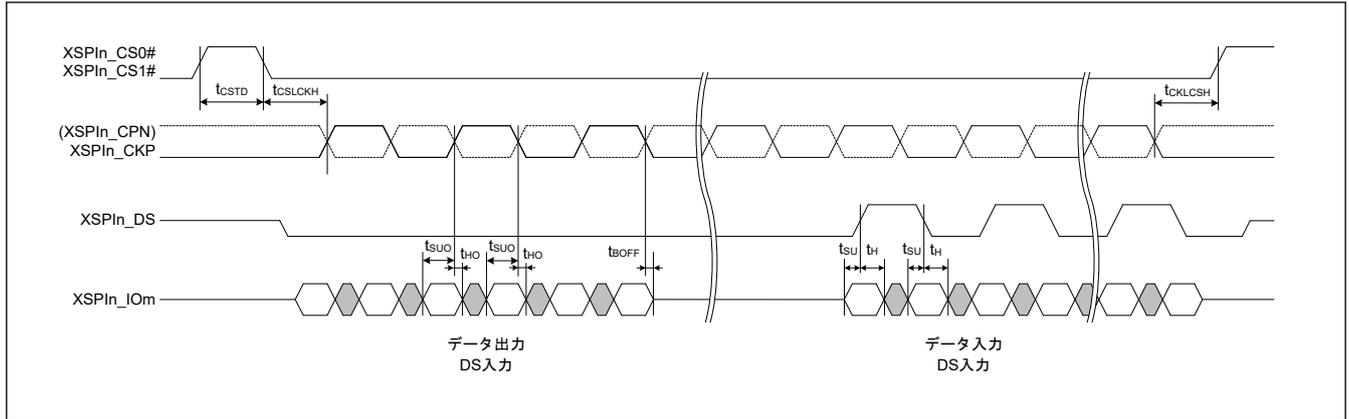


図 2.75 DDR 送受信タイミング (4S-4D-4D、8D-8D-8D)

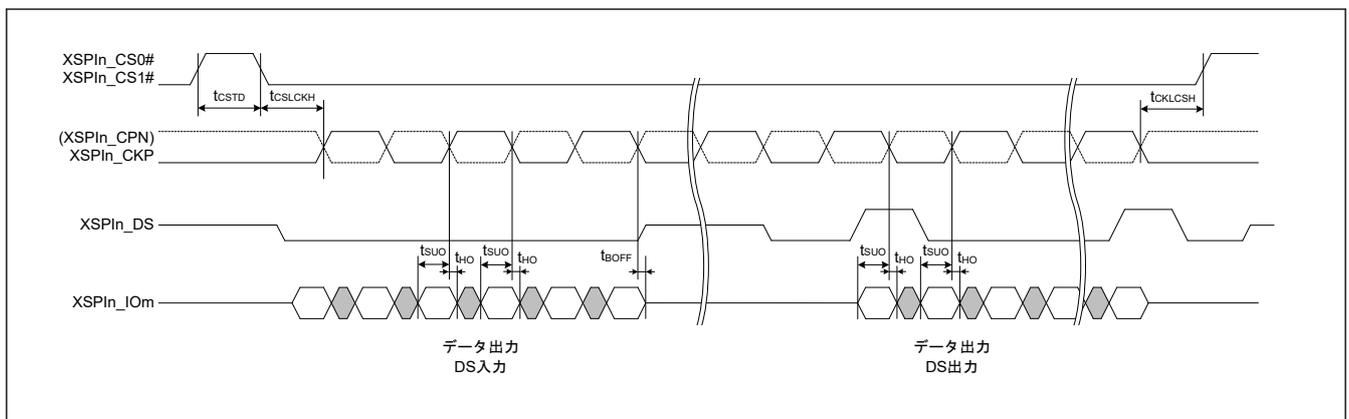


図 2.76 DDR 送受信タイミング (HyperRAM 書き込み)

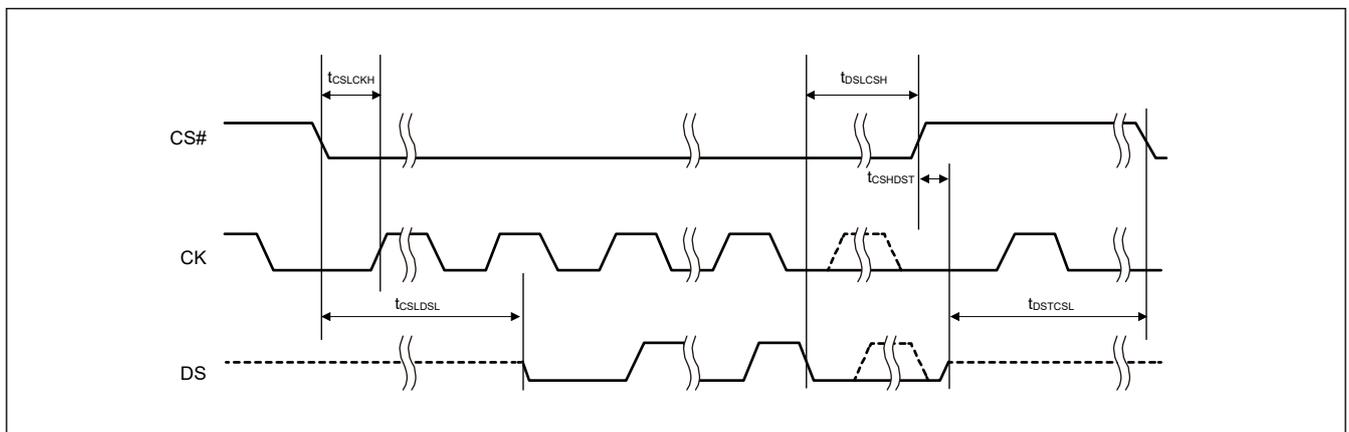


図 2.77 DS~CS 信号タイミング

2.5.5.13 デルタシグマインタフェースタイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$, $V_{OL} = V_{CC33} \times 0.5$, $C = 30 \text{ pF}$

表 2.37 $\Delta\Sigma$ インタフェースタイミング

項目			シンボル	Min	Max	単位	参照図
DSMIF	クロックサイクル	マスタ	t_{DScyc}	40	200	ns	図 2.78
		スレーブ		40	200		
	クロック High レベル	マスタ	t_{DSCKWH}	16	—	ns	
		スレーブ		16	—		
	クロック Low レベル	マスタ	t_{DSCKWL}	16	—	ns	
		スレーブ		16	—		
セットアップ時間	マスタ	t_{SU}	15	—	ns	図 2.79、図 2.80	
	スレーブ		10	—			
ホールド時間	マスタ	t_H	0	—	ns		
	スレーブ		10	—			

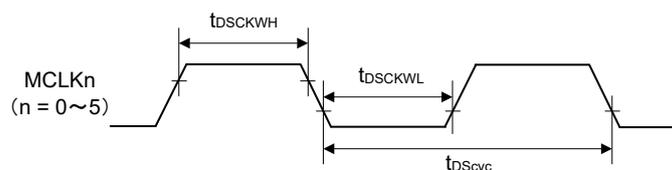


図 2.78 クロック入出力タイミング

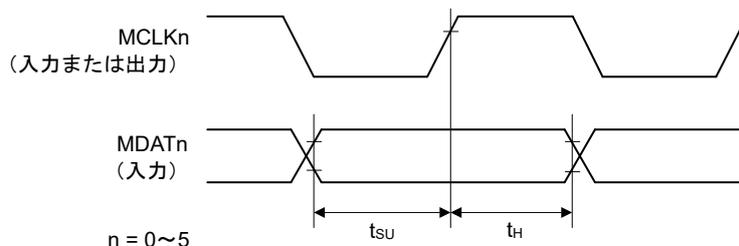


図 2.79 受信タイミング (MCLKn 立ち上がり同期)

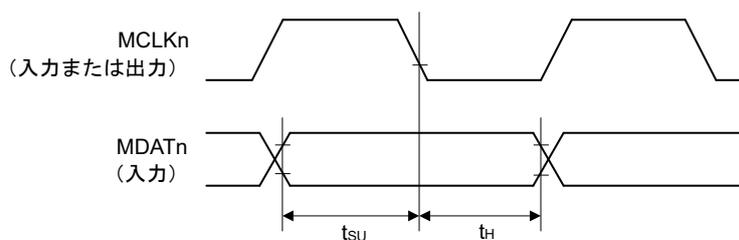


図 2.80 受信タイミング (MCLKn 立ち下がり同期)

2.5.5.14 イーサネットインタフェースタイミング

条件：

$$V_{OH} = VCC18 \times 0.5, V_{OL} = VCC18 \times 0.5, C = 15 \text{ pF (RGMII)}$$

$$V_{OH} = VCC33 \times 0.5, V_{OL} = VCC33 \times 0.5, C = 25 \text{ pF (RMII)}$$

$$V_{OH} = VCC33 \times 0.5, V_{OL} = VCC33 \times 0.5, C = 30 \text{ pF (MII)}$$

表 2.38 イーサネットインタフェースタイミング (1/2)

項目	シンボル	Min	Max	単位	参照図		
イーサネット (RGMII)	ETHn_TXCLK、ETHn_RXCLK サイクルタイム期間	1 Gbps	$t_{RGMIIck}$	7.2	8.8	ns	図 2.81
		100 Mbps		36	44		
		10 Mbps		360	440		
	ETHn_TXCLK、ETHn_RXCLK 周波数	1 Gbps	—	125 - 50 ppm	125 + 50 ppm	MHz	
		100 Mbps		25 - 50 ppm	25 + 50 ppm		
		10 Mbps		2.5 - 50 ppm	2.5 + 50 ppm		
	ETHn_TXCLK、ETHn_RXCLK デューティサイクル	1 Gbps	—	45	55	%	
		100 Mbps 10 Mbps		40	60		
	ETHn_TXCLK、ETHn_TXD0~ETHn_TXD3、ETHn_TXEN (TX_CTL)、ETHn_RXCLK、ETHn_RXD0~ETHn_RXD3、ETHn_RXDV (RX_CTL) 立ち上がり/立ち下がり時間	t_{RGMIIr} 、 t_{RGMIIl}	—	—	0.75	ns	
	ETHn_TXD0~ETHn_TXD3、ETHn_TXEN (TX_CTL)~ETHn_TXCLK 出力カスケード	$t_{RGMIIos}$	-0.5	—	0.5	ns	
ETHn_RXD0~ETHn_RXD3、ETHn_RXDV (RX_CTL) セットアップ時間	$t_{RGMIIis}$	1	—	—	ns		
ETHn_RXD0~ETHn_RXD3、ETHn_RXDV (RX_CTL) ホールド時間	t_{RGMIIh}	1	—	—	ns		
イーサネット (RMII)	ETHn_RXCLK サイクルタイム	t_{RMIIck}	20	—	ns	図 2.82	
	ETHn_RXCLK 周波数 Typ. 50 MHz	—	50 - 50 ppm	50 + 50 ppm	MHz		
	ETHn_RXCLK デューティ	—	35	65	%		
	ETHn_RXCLK 立ち上がり/立ち下がり時間	$t_{RMIIckr}$ 、 $t_{RMIIckf}$	0.5	—	3.5		ns
	ETHn_TXD0、ETHn_TXD1、ETHn_TXEN 出力遅延時間	t_{RMIIld}	2.5	—	12		ns
	ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) セットアップ時間	t_{RMIIis}	4	—	—		ns
	ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) ホールド時間	t_{RMIIh}	2	—	—		ns
	ETHn_TXD0、ETHn_TXD1、ETHn_TXEN、ETHn_RXD0、ETHn_RXD1、ETHn_RXER、ETHn_RXDV (CRS_DV) 立ち上がり/立ち下がり時間	t_{RMIIr} 、 t_{RMIIl}	0.5	—	4		ns

表 2.38 イーサネットインタフェースタイミング (2/2)

項目	シンボル	Min	Max	単位	参照図			
イーサネット (MII)	ETHn_TXCLK、ETHn_RXCLK サイクルタイム	100 Mbps	t_{MIlck}	40	—	ns	図 2.83	
		10 Mbps		400	—			
	ETHn_TXCLK、ETHn_RXCLK 周波数	100 Mbps	—	25 – 50 ppm	25 + 50 ppm			MHz
		10 Mbps		2.5 – 50 ppm	2.5 + 50 ppm			
	ETHn_TXD0~ETHn_TXD3、ETHn_TXEN、ETHn_TXER 出力遅延時間	t_{MIld}	1	20	ns			
	ETHn_RXD0~ETHn_RXD3、ETHn_RXDV、ETHn_RXER セットアップ時間	t_{MIls}	10	—	ns			
ETHn_RXD0~ETHn_RXD3、ETHn_RXDV、ETHn_RXER ホールド時間	t_{MIlh}	10	—	ns				

表 2.39 イーサネットインタフェースタイミング (MAC-to-MAC 接続モード)

項目	シンボル	Min	Max	単位	参照図	
イーサネット (RGMII)	ETH2_TXCLK、ETH2_RXCLK サイクルタイム	$t_{MRGMlck}$	7.2	8.8	ns	図 2.84
	ETH2_TXCLK、ETH2_RXCLK 周波数 Typ. 125 MHz	—	125 – 50 ppm	125 + 50 ppm	MHz	
	ETH2_TXCLK、ETH2_RXCLK デューティーサイクル	—	45	55	%	
	ETH2_TXCLK、ETH2_TXD0~ETH2_TXD3、ETH2_TXEN (TX_CTL)、ETH2_RXCLK、ETH2_RXD0~ETH2_RXD3、ETH2_RXDV (RX_CTL) 立ち上がり/立ち下がり時間	$t_{MRGMlir}$ 、 $t_{MRGMlif}$	—	0.75	ns	
	ETH2_TXD0~ETHn_TXD3、ETHn_TXEN (TX_CTL) 出力スキュー	$t_{MRGMilos}$	—	0.6	ns	
	ETH2_TXD0~ETH2_TXD3、ETH2_TXEN (TX_CTL) 出力セットアップ時間	$t_{MRGMliso}$	1.1	—	ns	
	ETH2_TXD0~ETH2_TXD3、ETH2_TXEN (TX_CTL) 出力ホールド時間	$t_{MRGMlho}$	1.1	—	ns	
	ETH2_RXD0~ETH2_RXD3、ETH2_RXDV (RX_CTL) 入力セットアップ時間	$t_{MRGMlsi}$	-0.7	—	ns	
	ETH2_RXD0~ETH2_RXD3、ETH2_RXDV (RX_CTL) 入力ホールド時間	$t_{MRGMlhi}$	2.9	—	ns	
イーサネット (MII)	ETH2_REFCLK サイクル時間	t_{MMlck}	40	—	ns	図 2.85
	ETH2_REFCLK 周波数 Typ. 25 MHz	—	25 – 50 ppm	25 + 50 ppm	MHz	
	ETH2_TXD0~ETH2_TXD3、ETH2_TXEN、ETH2_TXER 出力遅延時間	t_{MMld}	11	25	ns	
	ETH2_RXD0~ETH2_RXD3、ETH2_RXDV、ETH2_RXER セットアップ時間	t_{MMls}	10	—	ns	
	ETH2_RXD0~ETH2_RXD3、ETH2_RXDV、ETH2_RXER ホールド時間	t_{MMlh}	0	—	ns	

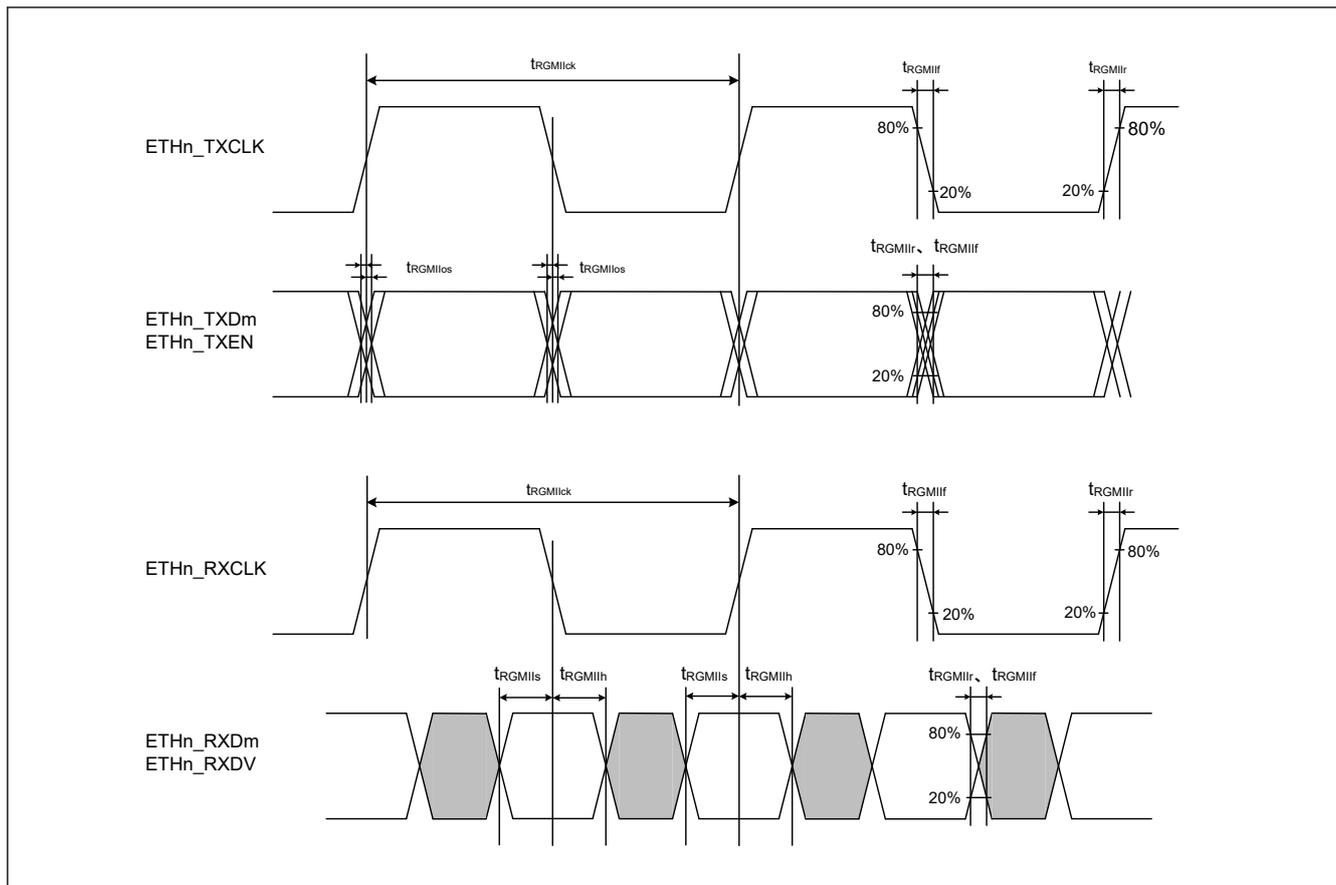


図 2.81 RGMII 送受信タイミング (n = 0~2、m = 0~3)

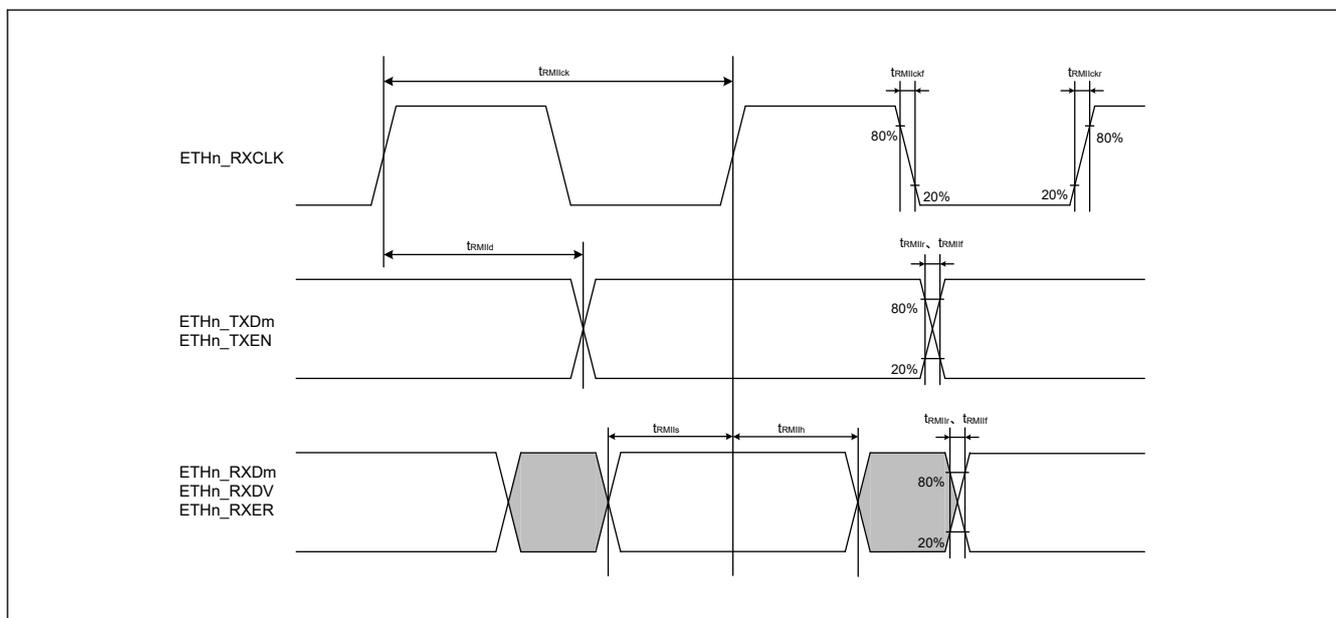


図 2.82 RMII 送受信タイミング (n = 0~2、m = 0~1)

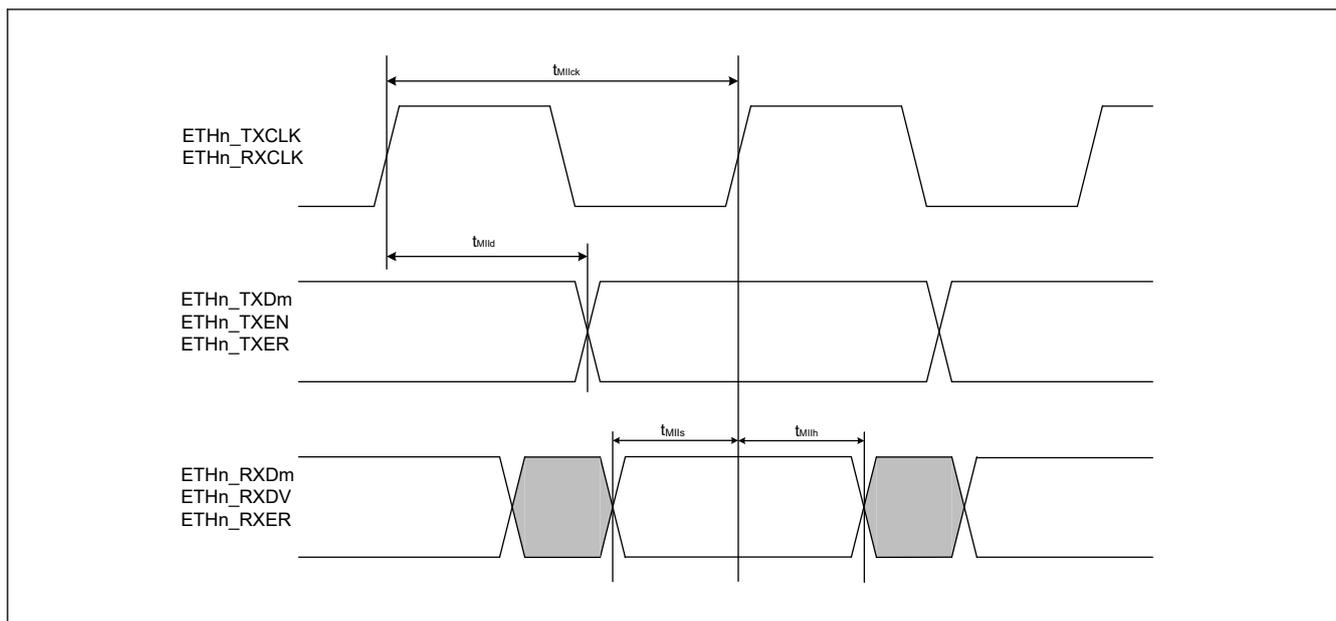


図 2.83 MII 送受信タイミング (n = 0~2、m = 0~3)

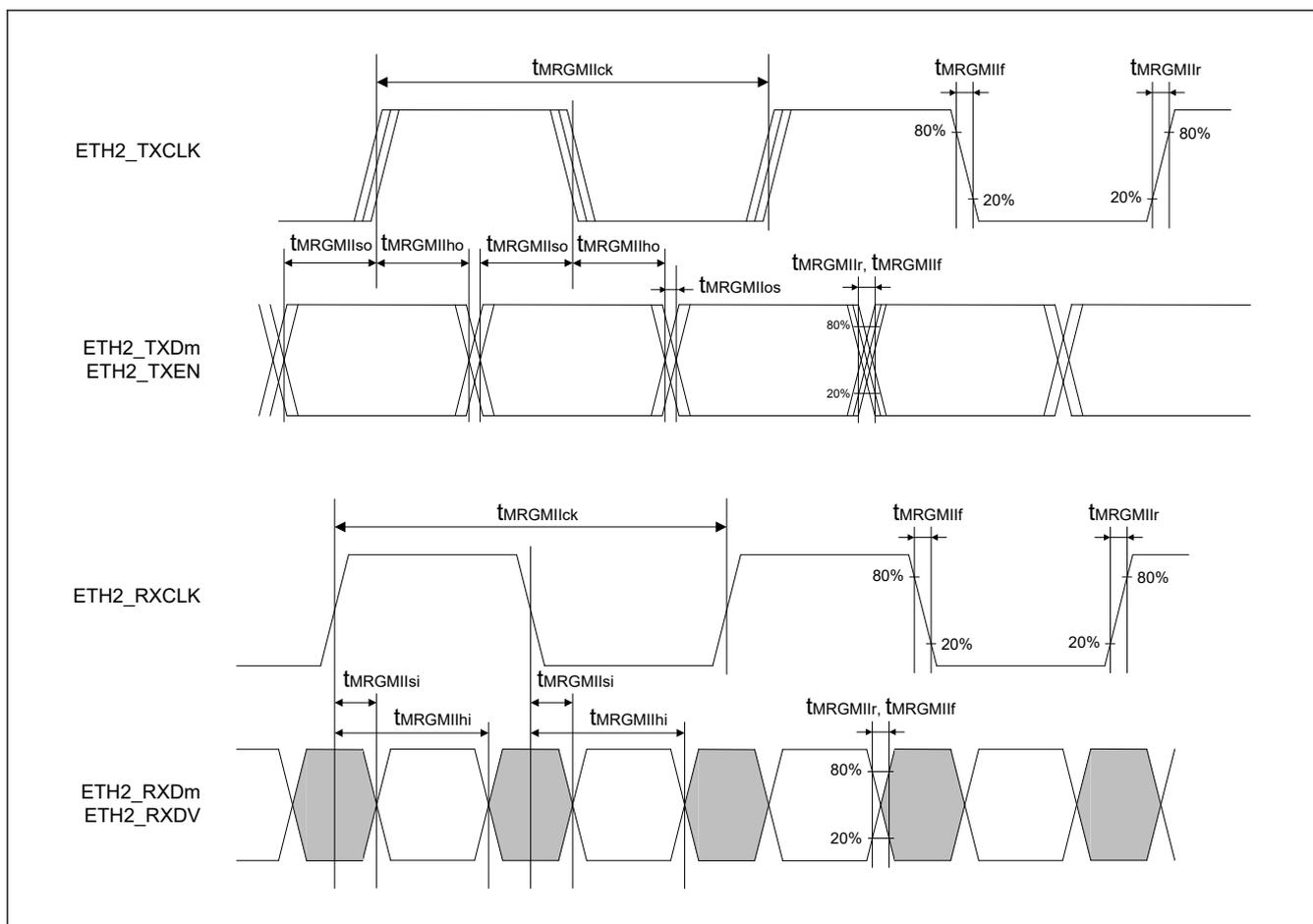
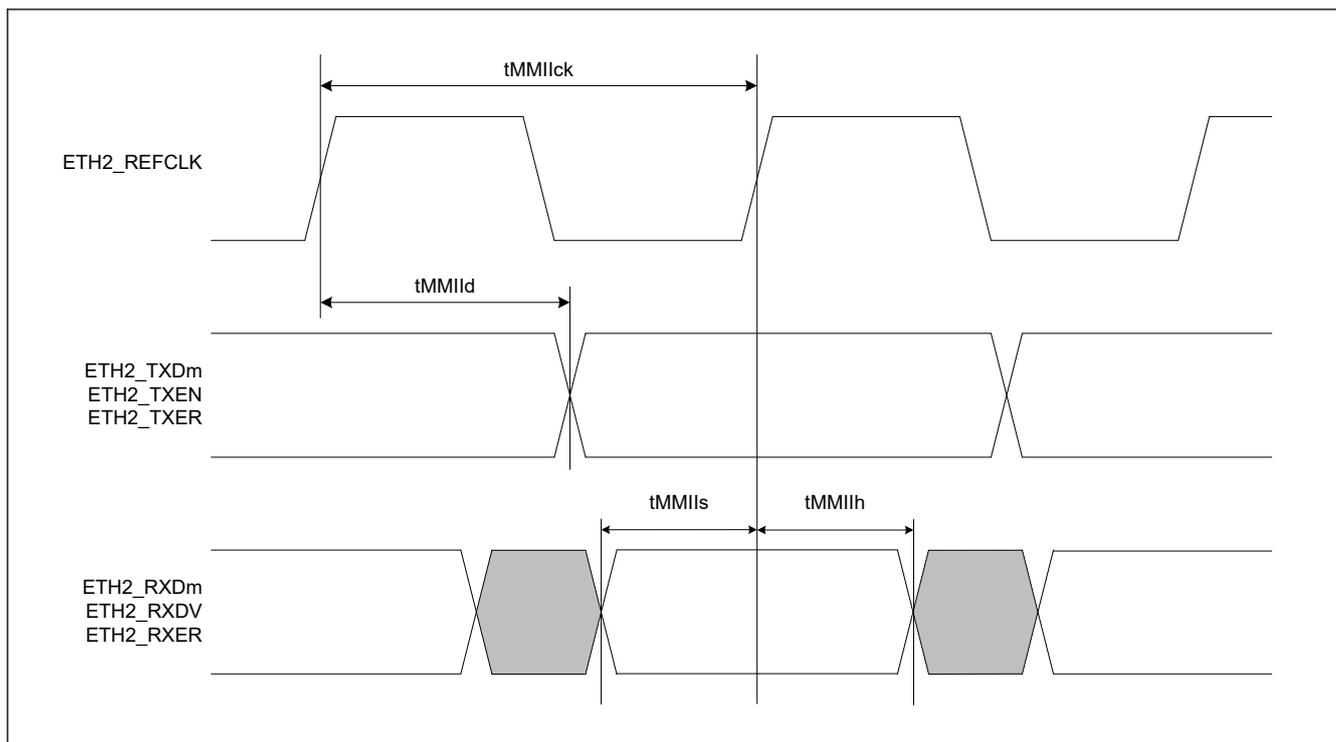


図 2.84 RGMII 送受信タイミング (MAC-to-MAC 接続モード) (m = 0~3)

図 2.85 MII 送受信タイミング (MAC-to-MAC 接続モード) ($m = 0 \sim 3$)

2.5.5.15 シリアルマネジメントインタフェースタイミング

条件：

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 30 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 30 \text{ pF (3.3 V)}$$

表 2.40 シリアルマネジメントインタフェースタイミング

項目			シンボル	Min	Max	単位	参照図
MDIO	MDC 出力サイクル時間	GMAC_MDC、 ETHSW_MDC	T_{MDCck}	80	—	ns	図 2.86
		ESC_MDC		400	—	ns	
	MDIO 出力遅延時間 (MDC 立ち下がりに対して) (注1)		T_{MDIOd}	—	20	ns	
	MDIO 入力セットアップ時間 (MDC 立ち上がりに対して)	GMAC_MDC、 ETHSW_MDC	T_{MDIOs}	18	—	ns	
		ESC_MDC		70	—	ns	
MDIO 入力ホールド時間 (MDC 立ち上がりに対して)		T_{MDIOh}	0	—	ns		

注 1. ETHSW からの出カタイミングは MDC の立ち上がりエッジに基づいており、レジスタに出力遅延を設定可能です。

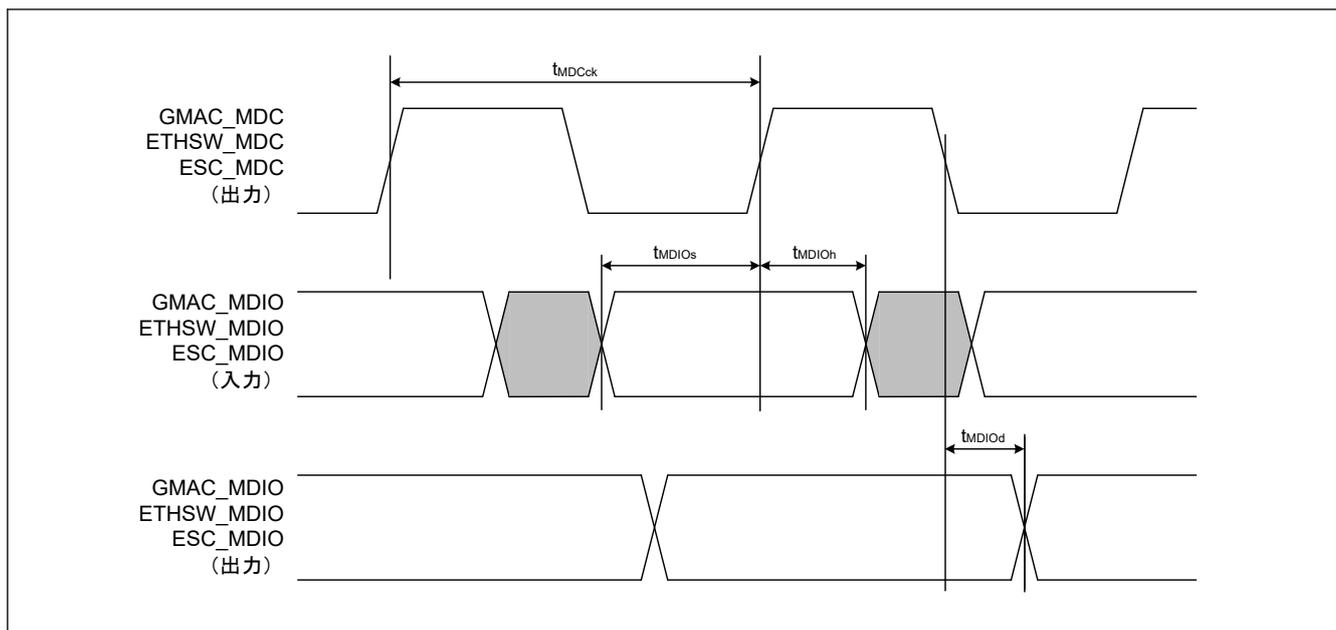


図 2.86 シリアルマネジメントインタフェースタイミング

2.5.5.16 SHOSTIF タイミング

条件：

$$V_{OH} = V_{CC18} \times 0.5, V_{OL} = V_{CC18} \times 0.5, C = 30 \text{ pF (1.8 V)}$$

$$V_{OH} = V_{CC33} \times 0.5, V_{OL} = V_{CC33} \times 0.5, C = 30 \text{ pF (3.3 V)}$$

表 2.41 SHOSTIF タイミング

項目	シンボル	Min	Max	単位	参照図	
SHOSTIF	クロックサイクルタイム	t_{SHck}	25	—	ns	図 2.87 図 2.88、図 2.89
	クロック High 時間	t_{CH}	0.45	0.55	t_{SHck}	
	クロック Low 時間	t_{CL}	0.45	0.55	t_{SHck}	
	クロック立ち上がりスループレート	t_{CRT}	0.1	—	V/ns	
	クロック立ち下がりスループレート	t_{CFT}	0.1	—	V/ns	
	CS# High 時間	t_{CS}	2	—	t_{SHck}	
	CS#アクティブセットアップ時間	t_{CSS}	15	—	ns	
	CS#アクティブホールド時間	t_{CSH}	15	—	ns	
	データ入力セットアップ時間	t_{SU}	3	—	ns	
	データ入力ホールド時間	t_{HD}	10.5	—	ns	
	クロック Low～出力有効	t_V	—	15.5	ns	
	データ出力ホールド時間	t_{HO}	6	—	ns	
データ出力禁止時間	t_{DIS}	—	18	ns		

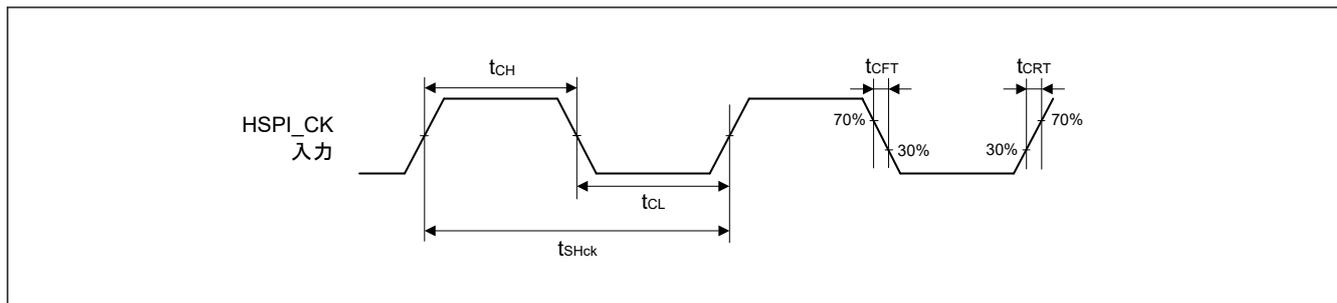


図 2.87 SHOSTIF クロックタイミング

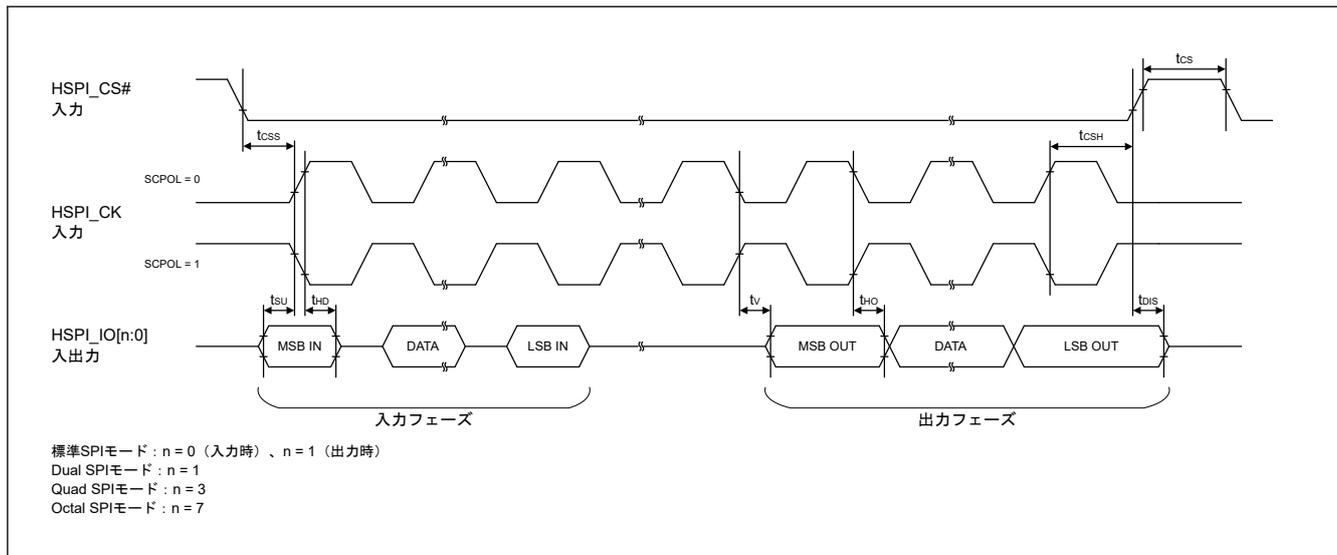


図 2.88 SHOSTIF タイミング (SCPH = 0)

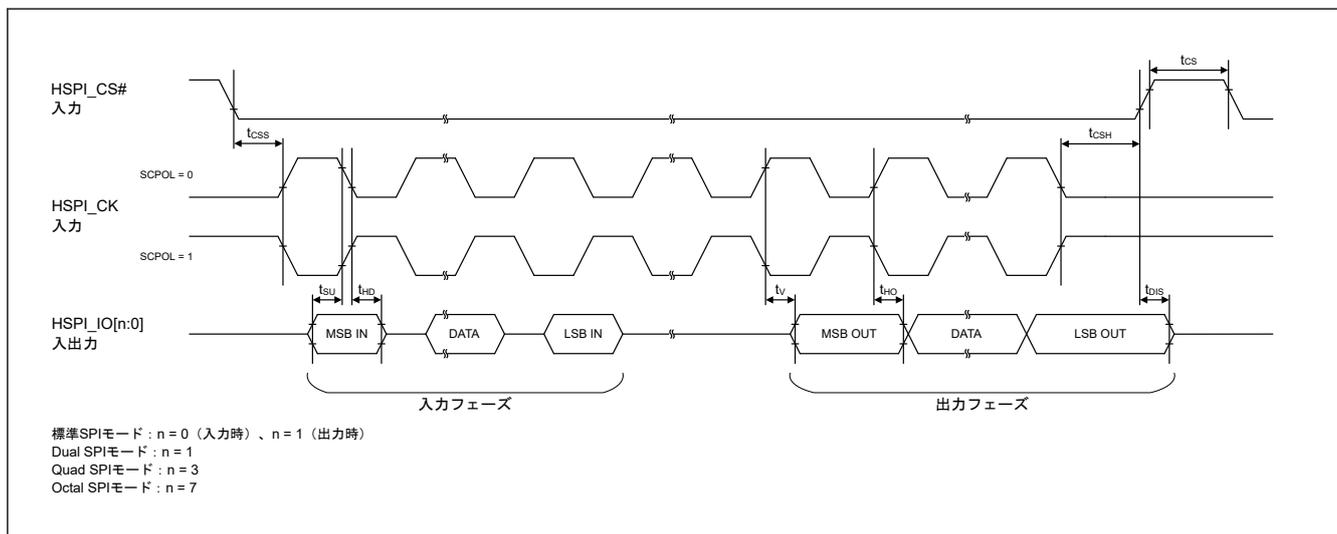


図 2.89 SHOSTIF タイミング (SCPH = 1)

2.6 USB 特性

表 2.42 内蔵 USB ロースピード (ホストのみ) 特性

項目	シンボル	Min	Typ	Max	単位	参照図
立ち上がり時間	t_{LR}	75	—	300	ns	図 2.90、図 2.91
立ち下がり時間	t_{LF}	75	—	300	ns	
立ち上がり/立ち下がり時間比	t_{LR}/t_{LF}	80	—	125	%	

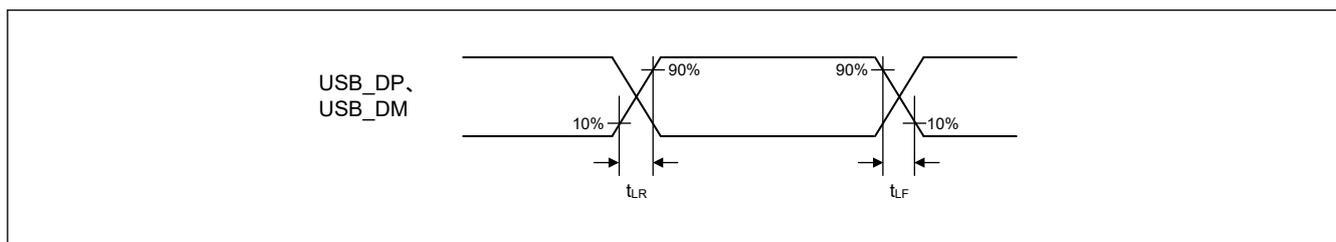


図 2.90 USB_DP、USB_DM の出力タイミング (ロースピード時/ホストのみ)

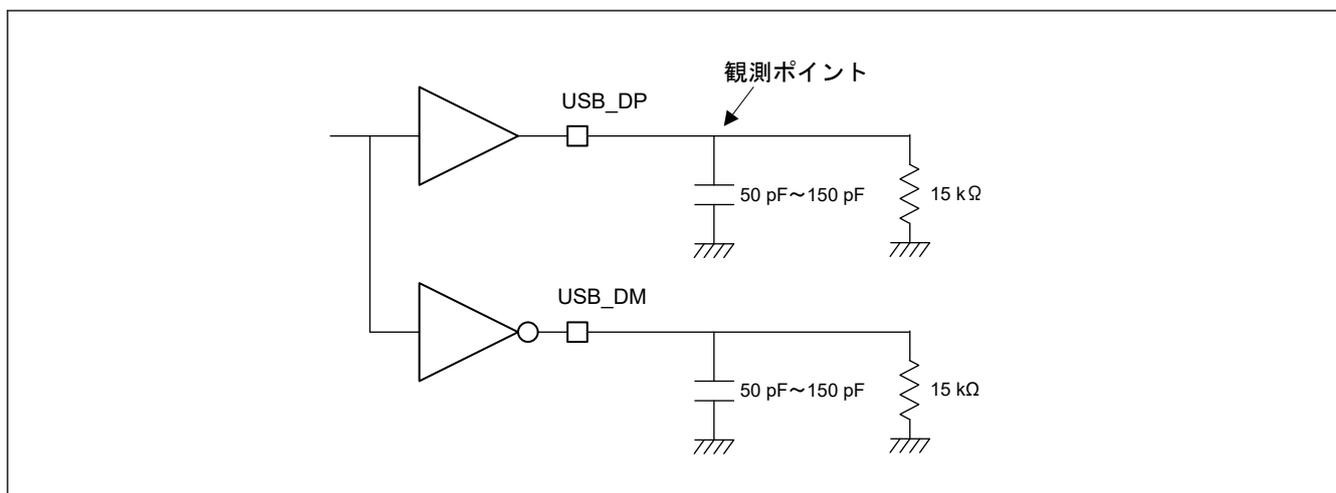


図 2.91 測定回路 (ロースピード時/ホストのみ)

表 2.43 内蔵 USB フルスピード特性

項目	シンボル	Min	Typ	Max	単位	参照図
立ち上がり時間	t_{FR}	4	—	20	ns	図 2.92、図 2.93
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	90	—	111.11	%	

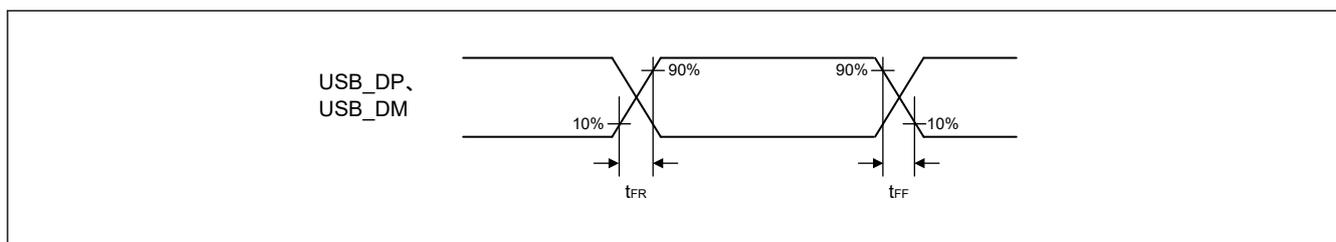


図 2.92 USB_DP、USB_DM の出力タイミング (フルスピード時)

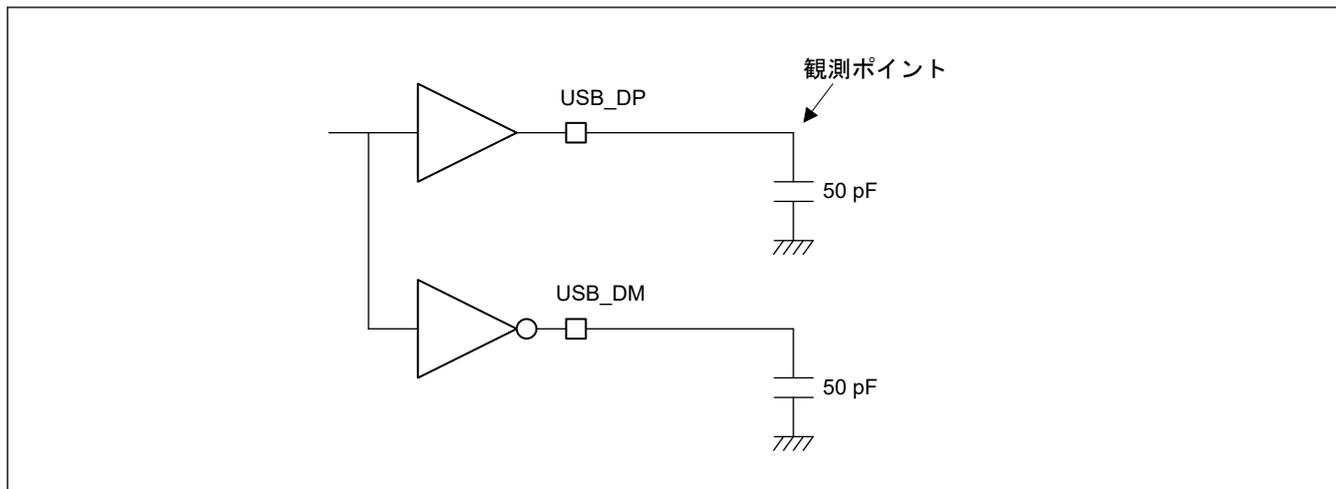


図 2.93 測定回路 (フルスピード時)

表 2.44 内蔵 USB ハイスピード特性

項目	シンボル	Min	Typ	Max	単位	参照図
立ち上がり時間	t_{HSR}	—	—	2.133	V/ μ s	図 2.94、図 2.95
立ち下がり時間	t_{HSF}	—	—	2.133	V/ μ s	
出力抵抗 (ハイスピード終端抵抗としても使用)	ZHSDRV	40.5	—	49.5	Ω	—

注: USB_DP および USB_DM 端子に接続する出力抵抗 (ZHSDRV) は LSI に内蔵しています。

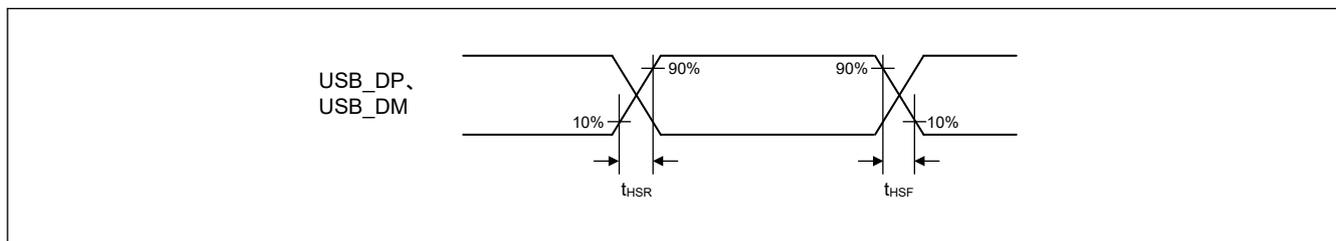


図 2.94 USB_DP、USB_DM の出力タイミング (ハイスピード時)

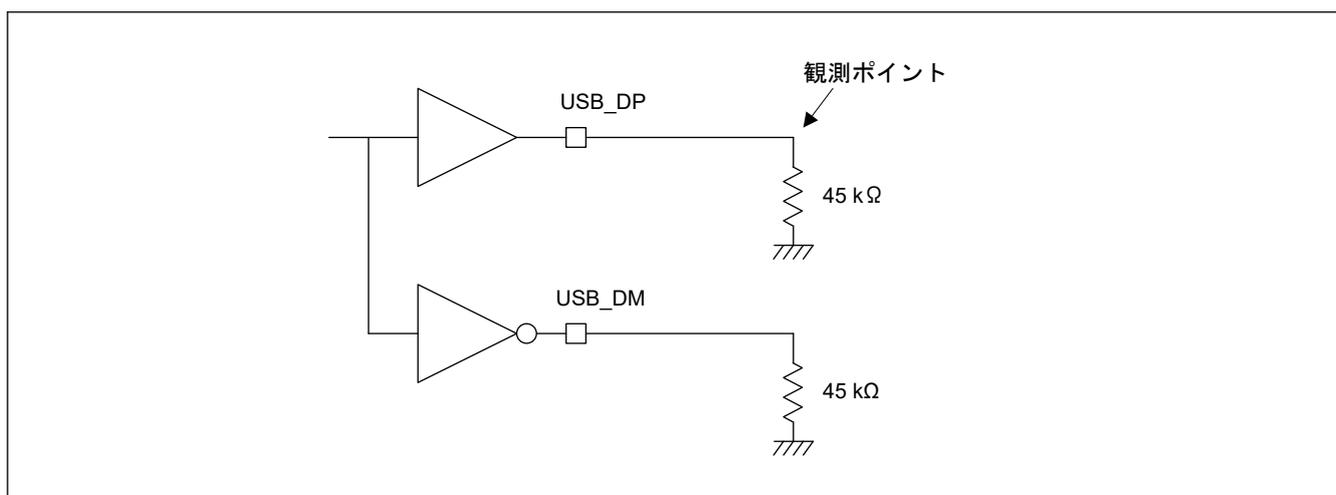


図 2.95 測定回路 (ハイスピード時)

2.7 A/D 変換特性

表 2.45 12 ビット A/D 変換特性

項目	Min	Typ	Max	単位	参照図	
分解能	12			ビット	—	
アナログ入力容量	—	—	13	pF	—	
チャンネル専用サンプル&ホールド回路使用時 (AN000~AN002、AN100~AN102)	変換時間(注1) 許容信号源インピーダンス Max = 1.0 kΩ	1.52	—	—	μs	—
	オフセット誤差	—	—	±13	LSB	—
	フルスケール誤差	—	—	±13	LSB	—
	量子化誤差	—	±0.5	—	LSB	—
	絶対精度	—	—	±14	LSB	—
	DNL 微分非直線性誤差	—	—	±3	LSB	—
	INL 積分非直線性誤差	—	—	±4	LSB	—
	サンプル&ホールド回路のホールド特性	—	—	2.67	μs	—
ダイナミックレンジ	0.15	—	VREFH0 - 0.15	V	—	
チャンネル専用サンプル&ホールド回路不使用時 (AN000~AN003、AN100~AN103)	変換時間(注1) 許容信号源インピーダンス Max = 1.0 kΩ	0.84	—	—	μs	—
	オフセット誤差	—	—	±11	LSB	—
	フルスケール誤差	—	—	±11	LSB	—
	量子化誤差	—	±0.5	—	LSB	—
	絶対精度	—	—	±12	LSB	—
	DNL 微分非直線性誤差	—	—	±3	LSB	—
INL 積分非直線性誤差	—	—	±4	LSB	—	

注. 表の指定値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中に外部バスアクセスを行った場合は、指定した値の範囲に収まらない可能性があります。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。

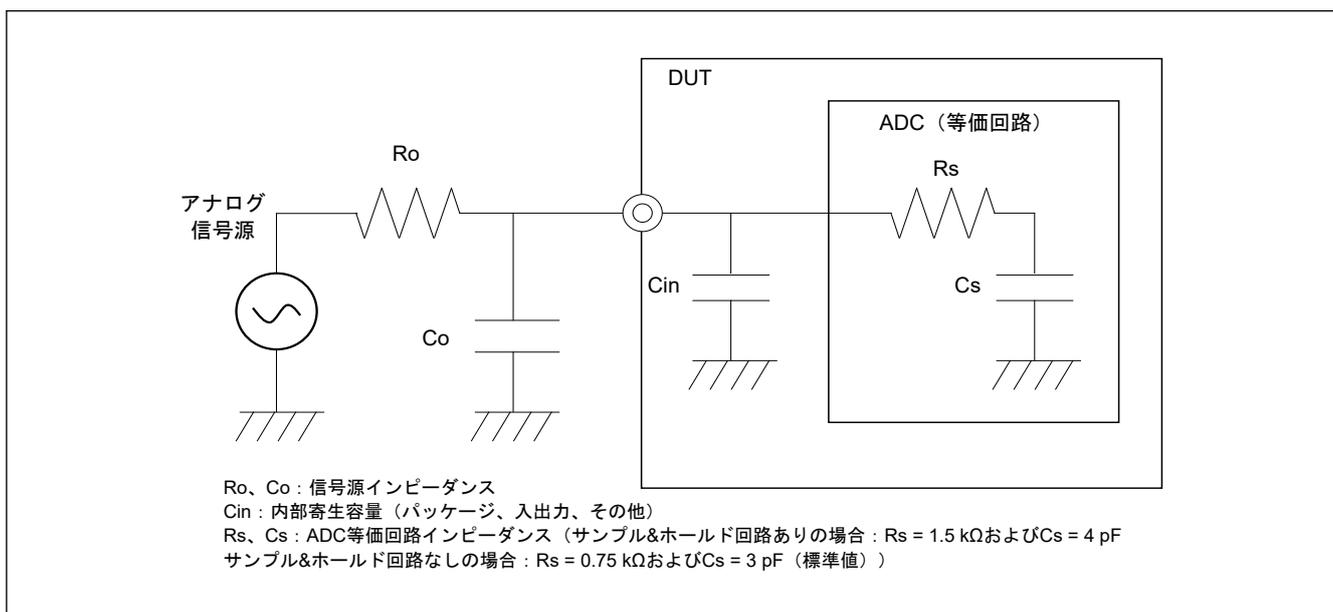


図 2.96 A/D コンバータの等価回路と周辺回路構成図

2.8 温度センサ特性

表 2.46 温度センサ特性

項目	Min	Typ	Max	単位	測定条件
相対精度	—	±1	—	°C	(注1)
温度傾斜	—	0.0625	—	°C/LSB	—
出力コード (25°C時)	—	1545 (10 進数)	—	—	TSUSAD レジスタ

注 1. 2 点キャリブレーション ($T_j = 25^\circ\text{C}$ および $T_j = 85^\circ\text{C}$)、および 8 回平均。

2.9 デバッグインタフェースタイミング

条件 : $V_{OH} = V_{CC33} \times 0.5$ 、 $V_{OL} = V_{CC33} \times 0.5$

表 2.47 デバッグインタフェースタイミング

項目	シンボル	Min	Max	単位	参照図
TCK サイクル時間	ICE 接続時	t_{TCKcyc}	30(注1)	—	ns 図 2.97
	BSCAN 使用時		80	—	
TCK High レベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	ns 図 2.98 出力負荷 : 30 pF
TCK Low レベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間	t_{TDIS}	5	—	ns	ns 出力負荷 : 30 pF
TDI ホールド時間	t_{TDIH}	5	—	ns	
TMS/SWDIO セットアップ時間	t_{TMSS}	5	—	ns	
TMS/SWDIO ホールド時間	t_{TMSH}	5	—	ns	
SWDIO 遅延時間	t_{SWDO}	—	15	ns	
TDO 遅延時間	ICE 接続時	t_{TDOD}	—	15	ns
	BSCAN 使用時		—	22	
キャプチャレジスタセットアップ時間	t_{CAPTS}	5	—	ns	ns 図 2.99
キャプチャレジスタホールド時間	t_{CAPTH}	5	—	ns	
更新レジスタ遅延時間	$t_{UPDATED}$	—	15	ns	
トレースクロックサイクル	t_{TCYC}	20	—	ns	ns 出力負荷 : 15 pF 図 2.100
トレースデータ遅延時間	t_{TDT}	1.3	8.7	ns	

注 1. この値は、内部回路の通常動作のための最小のサイクルタイムです。
実際のサイクルタイムは、TCK キャプチャエッジタイミングと接続する ICE のケーブル長を考慮して決定する必要があります。

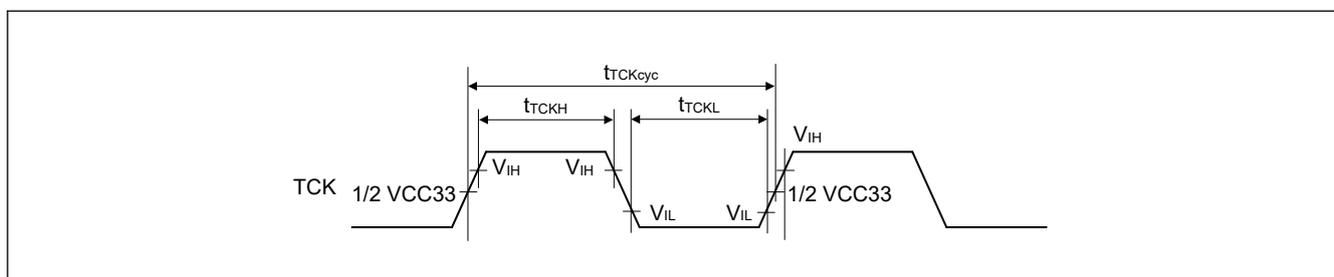


図 2.97 TCK 入力タイミング

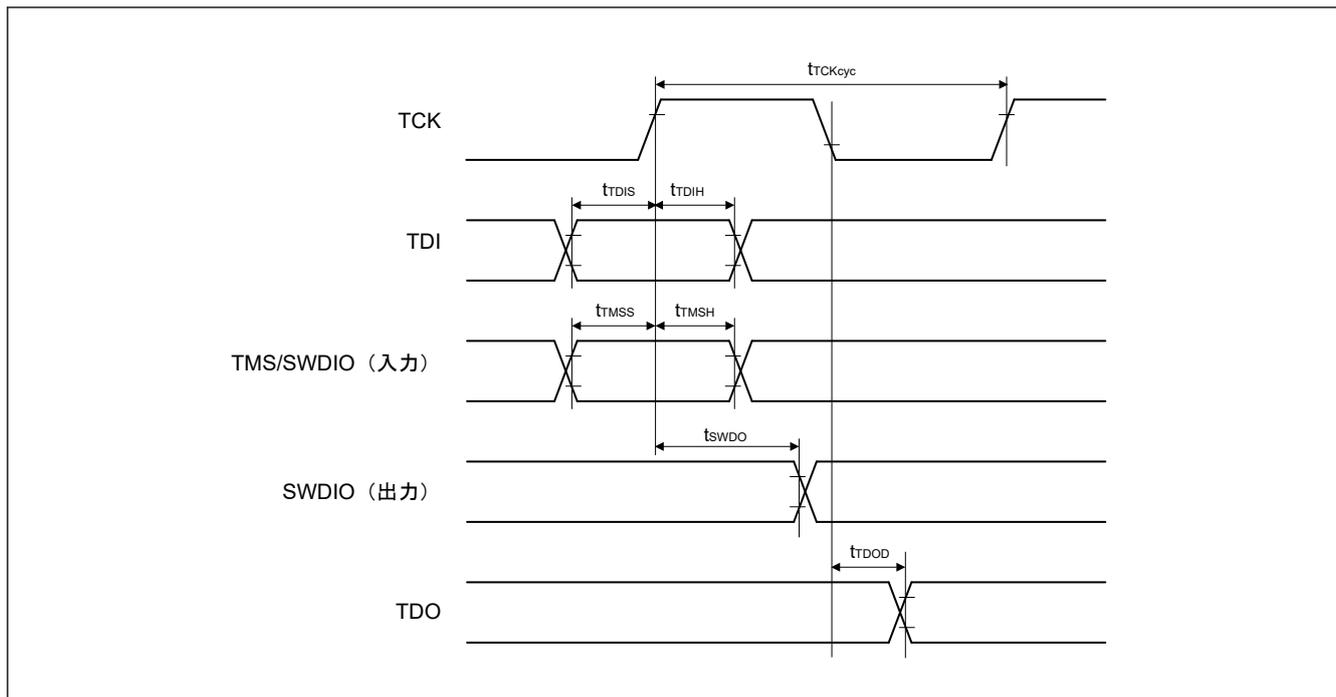


図 2.98 データ転送タイミング

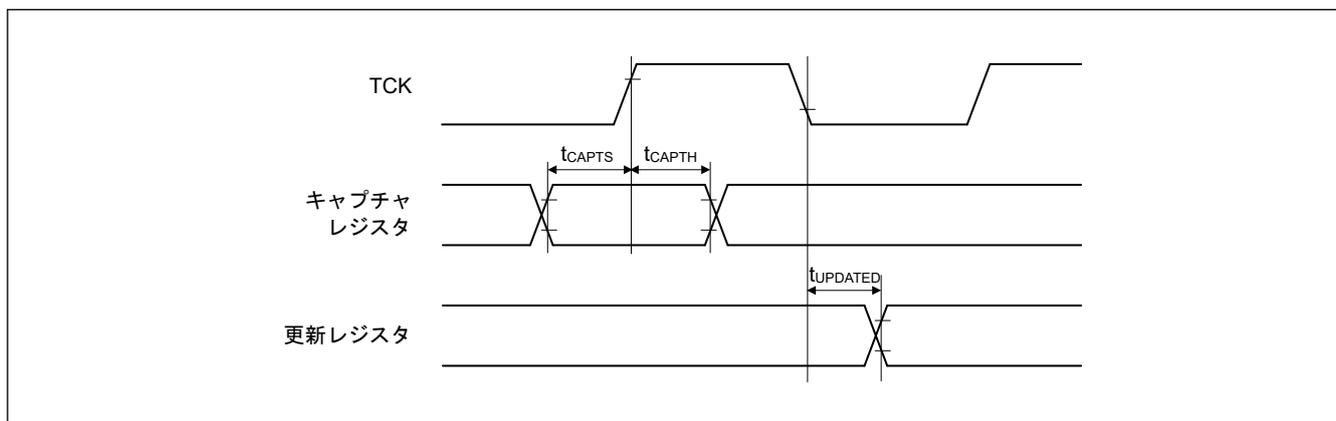


図 2.99 バウンダリスキャン入出力タイミング

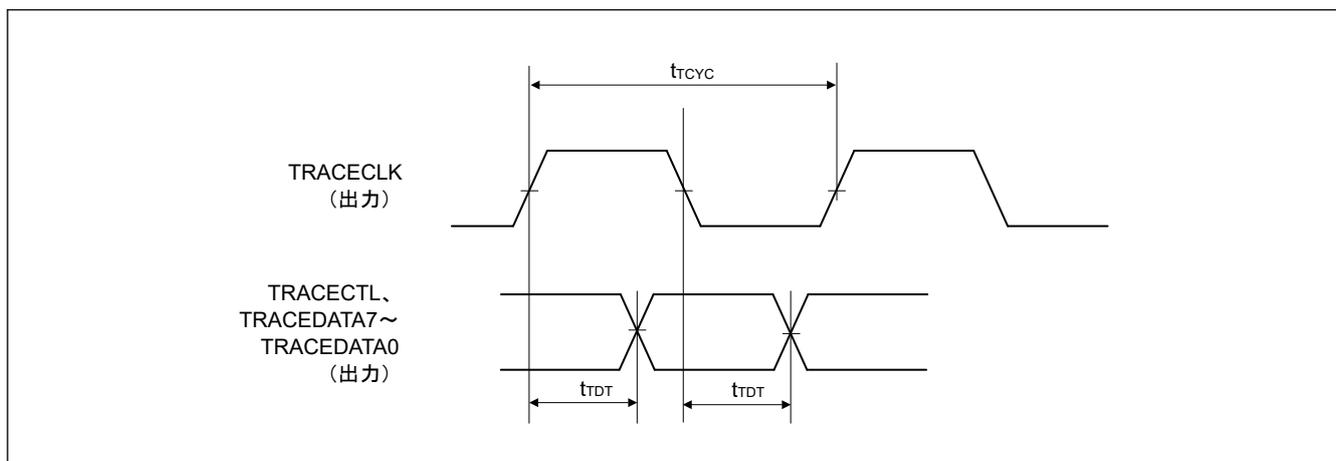


図 2.100 トレースインタフェースタイミング

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

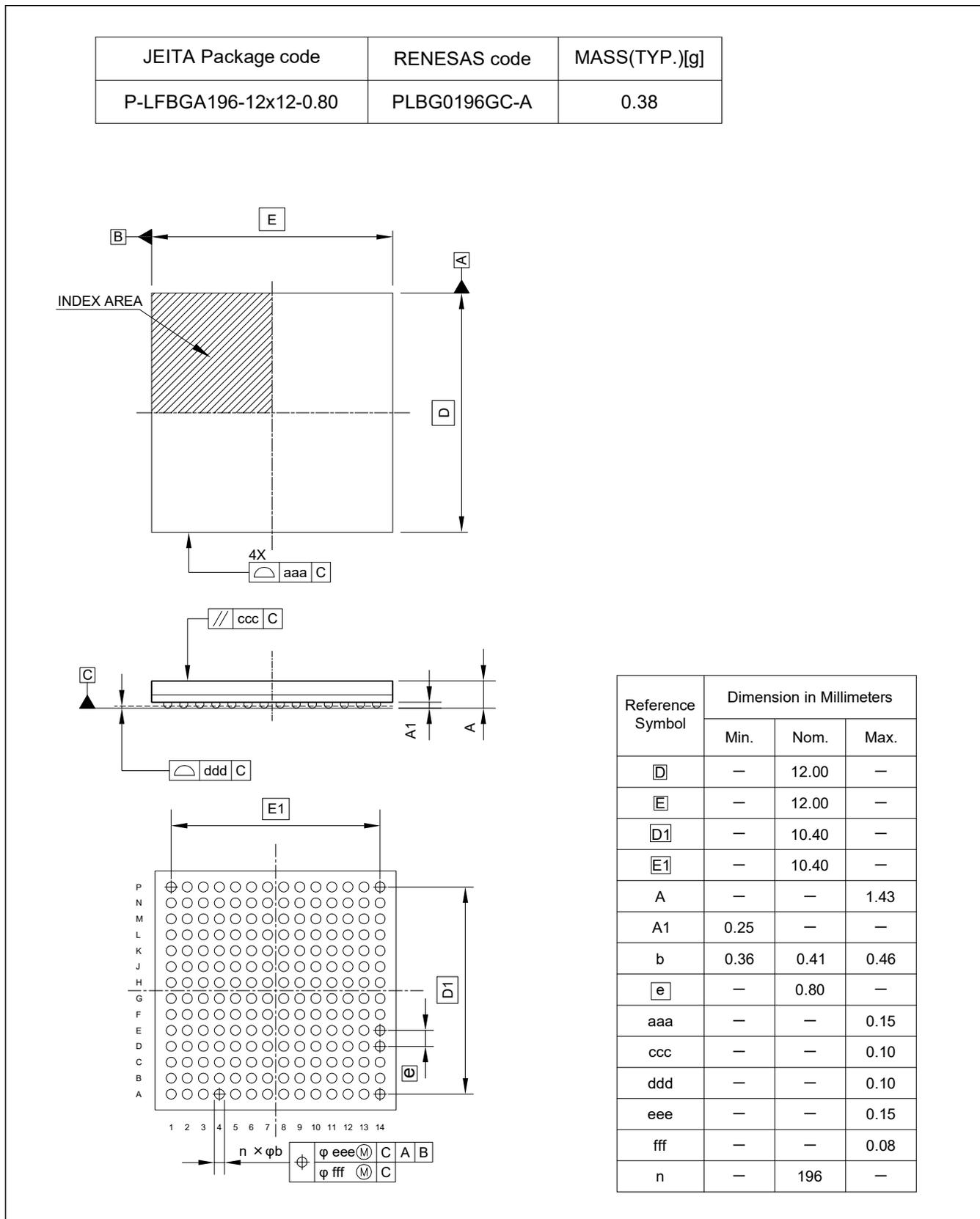


図 1.1 196 ピン FBGA

改訂記録

Revision 1.00 — 2022 年 11 月 30 日

- 初版リリース

Revision 1.10 — 2023 年 02 月 28 日

2. 電気的特性：

- 表 2.35 SPI タイミング を修正。

付録 1.外形寸法図：

- 図 1.1 196 ピン FBGA を修正。

Revision 1.20 — 2023 年 10 月 31 日

1. 概要：

- 表 1.7 タイマ を更新。

45. 電気的特性：

- 表 45.40 シリアルマネジメントインタフェースタイミング を更新。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。