

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

小型汎用 4ビット・シングルチップ・マイクロコントローラ

μPD17145, 17147, 17149, 17145(A), 17147(A), 17149(A)は、8ビットA/Dコンバータ（4チャンネル）、タイマ機能（3チャンネル）、シリアル・インタフェースを内蔵している4ビット・シングルチップ・マイクロコントローラです。

CPUとして汎用レジスタ方式を採用しており、メモリ直接演算、メモリ間直接データ転送ができ、効率の良いプログラミングが可能です。すべての命令は16ビット/1語で構成されています。

A/Dコンバータ、シリアル・インタフェースを内蔵しているため、家電製品をはじめ幅広い分野の電子制御化に最適です。μPD17145, 17147, 17149, 17145(A), 17147(A), 17149(A)には、プログラム評価用としてワン・タイムPROM製品のμPD17P149を用意しています。また、μPD17P149は一般電子機器の少量生産にも使用できます。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μPD17145サブシリーズ ユーザーズ・マニュアル：U10261J

特 徴

- ・17Kアーキテクチャ採用 : 汎用レジスタ方式
: 命令長16ビット固定
- ・プログラム・メモリ（ROM） : μPD17145：2Kバイト（1024 × 16ビット）
: μPD17147：4Kバイト（2048 × 16ビット）
: μPD17149：8Kバイト（4096 × 16ビット）
- ・データ・メモリ（RAM） : 110 × 4ビット
- ・外部割り込み : 1本（INT端子、センス入力付き）
- ・命令実行時間 : 2 μs（fx = 8 MHz動作時：セラミック発振）
- ・8ビットA/Dコンバータ : 4チャンネル 絶対精度 ± 1.5LSB以下（V_{DD} = 4.0 ~ 5.5 V）
- ・タイマ : 3チャンネル
- ・シリアル・インタフェース : 1チャンネル（クロック同期3線式）
- ・POC回路（マスク・オプション）
- ・電源電圧 : V_{DD} = 2.7 ~ 5.5 V（fx = 400 kHz ~ 2 MHz動作時）
V_{DD} = 4.5 ~ 5.5 V（fx = 400 kHz ~ 8 MHz動作時）

用 途

- μPD17145, 17147, 17149 : 家電製品、バッテリー・チャージャ、カメラ、電子計測機器など
- μPD17145(A), 17147(A), 17149(A) : 自動車電装など

この資料では、特に断りがなにかぎりμPD17149を代表品種として説明しています。

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

オーダ情報

オーダ名称	パッケージ	品質水準
μ PD17145CT - x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	標準 (一般電子機器用)
μ PD17145GT - x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD17147CT - x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	"
μ PD17147GT - x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD17149CT - x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	"
μ PD17149GT - x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD17145CT(A) - x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	特別 (高信頼度電子機器用)
μ PD17145GT(A) - x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD17147CT(A) - x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	"
μ PD17147GT(A) - x x x	28ピン・プラスチックSOP (375 mil)	"
μ PD17149CT(A) - x x x	28ピン・プラスチック・シュリンクDIP (400 mil)	"
μ PD17149GT(A) - x x x	28ピン・プラスチックSOP (375 mil)	"

備考 x x xはROMコード番号です。

μ PD17145, 17147, 17149と μ PD17145(A), 17147(A), 17149(A)では, 品質水準以外の相違はありません。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(C11531J)をご覧ください。

機能一覧

項目	品名	μPD17145	μPD17147	μPD17149
ROM容量		2 Kバイト (1024 × 16ビット)	4 Kバイト (2048 × 16ビット)	8 Kバイト (4096 × 16ビット)
RAM容量		110 × 4 ビット		
スタック		アドレス・スタック × 5 , 割り込みスタック × 3		
入出力ポート数	23本	<ul style="list-style-type: none"> ・ 入出力 : 20本 ・ 入力専用 : 2本 ・ センス入力 (INT端子^注) : 1本 		
A/Dコンバータ入力		4チャンネル (ポート端子兼用) , 絶対精度 ±1.5LSB以下 (電源電圧: V _{DD} = 4.0 ~ 5.5 V)		
タイマ	3チャンネル	<ul style="list-style-type: none"> ・ 8ビット・タイマ・カウンタ : 2チャンネル (16ビット・タイマ1チャンネル応用可) ・ 7ビット・ベーシック・インターバル・タイマ : 1チャンネル (ウォッチドッグ・タイマ応用可) 		
シリアル・インタフェース		1チャンネル (3線式)		
割り込み		<ul style="list-style-type: none"> ・ ハードウェアによる多重割り込み可 (最大3レベル) ・ 外部割り込み: 1本 (INT) ・ 内部割り込み: 4本 <div style="display: flex; align-items: center; margin-left: 20px;"> <div style="margin-right: 10px;"> <ul style="list-style-type: none"> 立ち上がり検出 立ち下がり検出 立ち上がりと立ち下がりの両エッジ検出 </div> <div style="font-size: 2em; margin-right: 10px;">}</div> <div>選択可</div> </div> <ul style="list-style-type: none"> ・ タイマ0 (TM0) ・ タイマ1 (TM1) ・ ベーシック・インターバル・タイマ (BTM) ・ シリアル・インタフェース (SIO) 		
命令実行時間		2 μs (f _x = 8 MHz動作時: セラミック発振)		
スタンバイ機能		STOP/HALT		
POC回路		マスク・オプション (V _{DD} = 5 V ± 10 % , f _x = 400 kHz ~ 4 MHzの応用回路で使用できます。)		
電源電圧		<ul style="list-style-type: none"> ・ V_{DD} = 2.7 ~ 5.5 V (f_x = 400 kHz ~ 2 MHz動作時) ・ V_{DD} = 4.5 ~ 5.5 V (f_x = 400 kHz ~ 8 MHz動作時) 		
パッケージ		<ul style="list-style-type: none"> ・ 28ピン・プラスチック・シュリンクDIP (400 mil) ・ 28ピン・プラスチックSOP (375 mil) 		
ワン・タイムPROM製品		μPD17P149		

注 INT端子は外部割り込み機能を使用しない場合に、入力専用端子 (センス入力) として使用できます。センス入力では端子の状態をポート・レジスタではなく、コントロール・レジスタのINTフラグで読みます。

注意 PROM製品は、マスクROM製品と機能的には高い互換性がありますが、内部ROM回路や電気的特性の一部などに違いがあります。PROM製品からマスクROM製品に切り替える際には、マスクROM製品のサンプルによる応用評価を十分に行ってください。

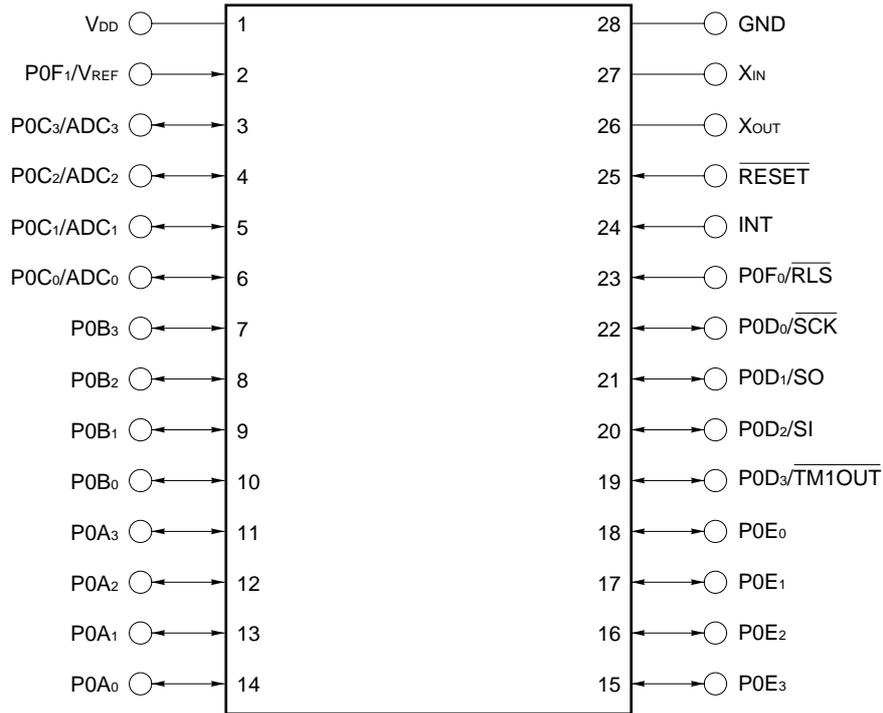
端子接続図 (Top View)

・28ピン・プラスチック・シュリンクDIP (400 mil)

μPD17145CT-x x x , μPD17147CT-x x x , μPD17149CT-x x x ,
 μPD17145CT(A)-x x x , μPD17147CT(A)-x x x , μPD17149CT(A)-x x x

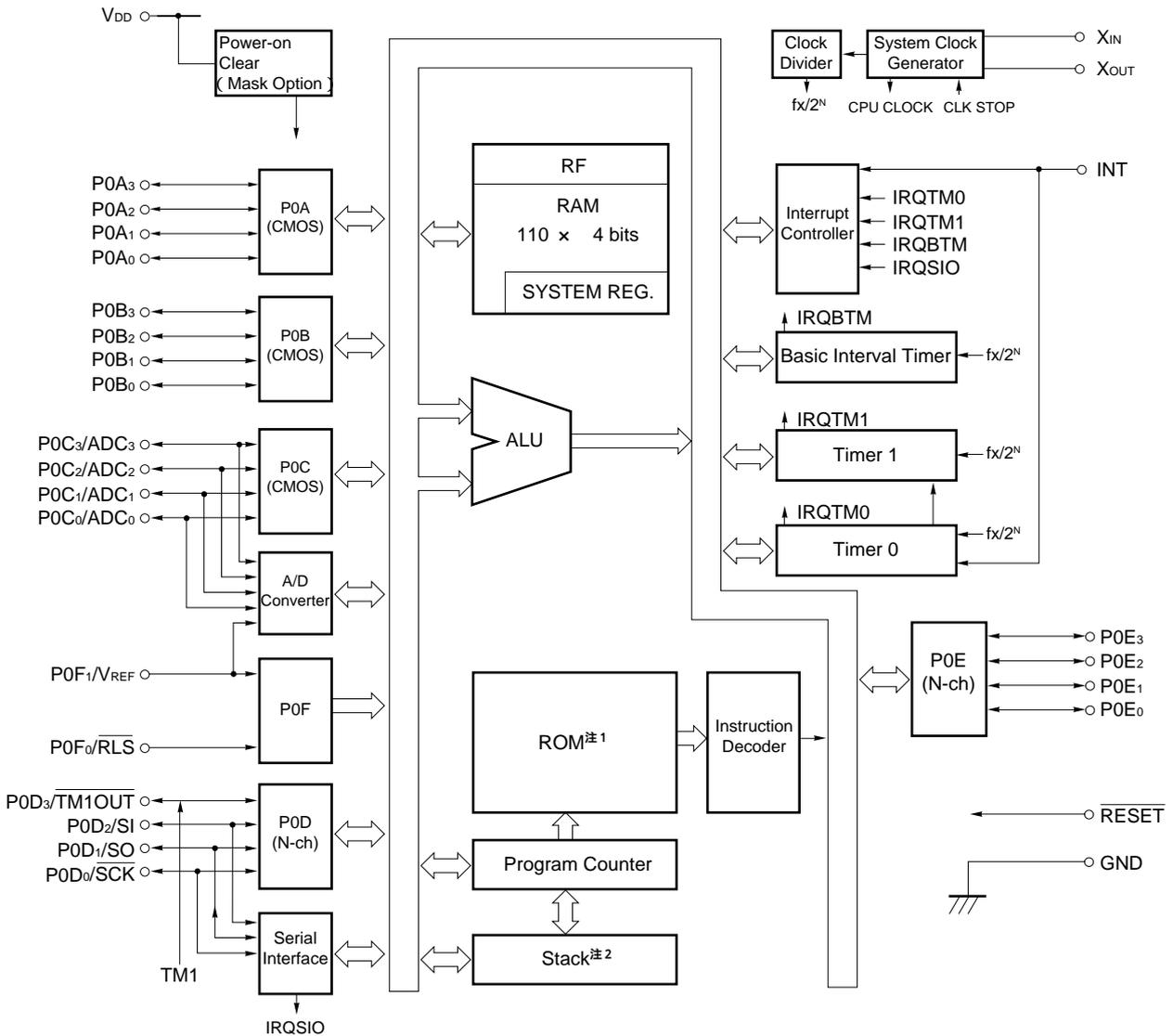
・28ピン・プラスチックSOP (375 mil)

μPD17145GT-x x x , μPD17147GT-x x x , μPD17149GT-x x x ,
 μPD17145GT(A)-x x x , μPD17147GT(A)-x x x , μPD17149GT(A)-x x x



ADC ₀ - ADC ₃	: アナログ入力	RESET	: リセット入力
GND	: グランド	RLS	: スタンバイ解除信号入力
INT	: 外部割り込み入力	SCK	: シリアル・クロック入出力
P0A ₀ - P0A ₃	: ポート0A	SI	: シリアル・データ入力
P0B ₀ - P0B ₃	: ポート0B	SO	: シリアル・データ出力
P0C ₀ - P0C ₃	: ポート0C	TM1OUT	: タイマ1のキャリー出力
P0D ₀ - P0D ₃	: ポート0D	V _{DD}	: 電源
P0E ₀ - P0E ₃	: ポート0E	V _{REF}	: A/Dコンバータ基準電圧
P0F ₀ , P0F ₁	: ポート0F	X _{IN} , X _{OUT}	: システム・クロック発振用

ブロック図



注 1 . 各製品のROMの容量は次のとおりです。

1024 x 16 bits : μ PD17145

2048 x 16 bits : μ PD17147

4096 x 16 bits : μ PD17149

2 . 各製品のスタックの容量は次のとおりです。

5 x 10 bits : μ PD17145

5 x 11 bits : μ PD17147

5 x 12 bits : μ PD17149

備考 () 内のCMOS, N - chは , ポートの出力形式を表します。

CMOS : CMOSプッシュプル出力

N - ch : N - chオープン・ドレイン出力

目 次

1. 端 子 ...	9
1.1 端子機能 ...	9
1.2 端子の等価回路 ...	11
1.3 未使用端子の処理 ...	15
1.4 $\overline{\text{RESET}}$ 端子と $\text{P0F}/\overline{\text{RLS}}$ 端子の使用上の注意 ...	16
2. プログラム・メモリ (ROM) ...	17
2.1 プログラム・メモリの構成 ...	17
3. プログラム・カウンタ (PC) ...	18
3.1 プログラム・カウンタの構成 ...	18
3.2 プログラム・カウンタの動作 ...	18
4. スタック ...	19
4.1 スタックの構成 ...	19
4.2 スタックの機能 ...	19
5. データ・メモリ (RAM) ...	20
5.1 データ・メモリの構成 ...	20
6. ジェネラル・レジスタ (GR) ...	21
6.1 ジェネラル・レジスタ・ポインタ (RP) ...	21
7. システム・レジスタ (SYSREG) ...	22
7.1 システム・レジスタの構成 ...	22
8. レジスタ・ファイル (RF) ...	24
8.1 レジスタ・ファイルの構成 ...	24
8.2 レジスタ・ファイルの機能 ...	25
9. データ・バッファ (DBF) ...	26
9.1 データ・バッファの構成 ...	26
9.2 データ・バッファの機能 ...	27
10. ALUブロック ...	28
10.1 ALUブロックの構成 ...	28
11. ポ ー ト ...	30
11.1 ポート0A (P0A ₀ , P0A ₁ , P0A ₂ , P0A ₃) ...	30
11.2 ポート0B (P0B ₀ , P0B ₁ , P0B ₂ , P0B ₃) ...	31
11.3 ポート0C (P0C ₀ /ADC ₀ , P0C ₁ /ADC ₁ , P0C ₂ /ADC ₂ , P0C ₃ /ADC ₃) ...	32

11.4	ポート0D (P0D ₀ / $\overline{\text{SCK}}$, P0D ₁ /SO, P0D ₂ /SI, P0D ₃ / $\overline{\text{TM1OUT}}$) ...	33
11.5	ポート0E (P0E ₀ , P0E ₁ , P0E ₂ , P0E ₃) ...	34
11.6	ポート0F (P0F ₀ / $\overline{\text{RLS}}$, P0F ₁ /VREF) ...	34
12.	8ビット・タイマ・カウンタ (TM0, TM1) ...	35
12.1	8ビット・タイマ・カウンタの構成 ...	35
13.	ベーシック・インターバル・タイマ (BTM) ...	39
13.1	ベーシック・インターバル・タイマの構成 ...	39
13.2	ベーシック・インターバル・タイマを制御するレジスタ ...	40
13.3	ウォッチドッグ・タイマ機能 ...	42
14.	A/Dコンバータ ...	44
14.1	A/Dコンバータの構成 ...	44
14.2	A/Dコンバータの機能 ...	45
14.3	A/Dコンバータの動作 ...	46
15.	シリアル・インタフェース (SIO) ...	49
15.1	シリアル・インタフェースの機能 ...	49
15.2	3線式シリアル・インタフェースの動作モード ...	51
16.	割り込み機能 ...	53
16.1	割り込み要因の種類とベクタ・アドレス ...	53
16.2	割り込み制御回路の各種ハードウェア ...	54
17.	スタンバイ機能 ...	55
17.1	スタンバイ機能の概要 ...	55
17.2	HALTモード ...	56
17.3	STOPモード ...	58
18.	リセット ...	61
18.1	リセット機能 ...	61
18.2	リセット動作 ...	62
19.	POC回路 (マスク・オプション) ...	63
19.1	POC回路の機能 ...	63
19.2	POC回路を使用するための条件 ...	64
19.3	POC回路使用時の注意事項 ...	64
20.	命令セット ...	65
20.1	命令セット概要 ...	65
20.2	凡 例 ...	66
20.3	命令セット一覧 ...	67
20.4	アセンブラ (AS17K) 組み込みマクロ命令 ...	69

21 . アセンブラ予約語 ...	70
21.1 マスク・オプション疑似命令 ...	70
21.2 予約シンボル ...	72
22 . 電気的特性 ...	80
23 . 特性曲線 (参考値) ...	86
24 . 外形図 ...	88
25 . 半田付け推奨条件 ...	92
付録A . μ PD171 x x サブシリーズの展開 ...	94
付録B . μ PD17145サブシリーズと μ PD17135A, 17137Aの機能比較 ...	95
付録C . 開発ツール ...	97

1. 端 子

1.1 端子機能

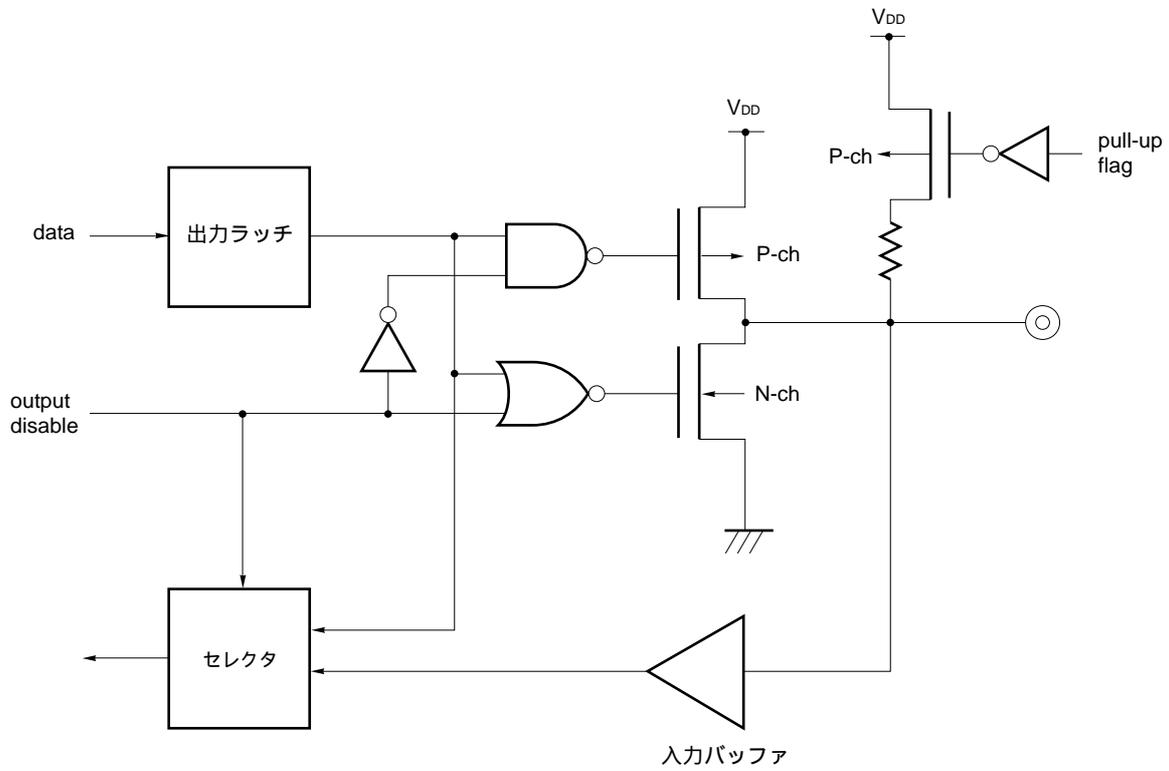
端子番号	記 号	機 能	出力形式	リセット時
1	V _{DD}	電源です。	-	-
2	P0F ₁ /V _{REF}	ポート0FおよびA/Dコンバータの基準電圧入力です。 ・マスク・オプションによるプルアップ抵抗を内蔵可能 ・P0F ₁ ・2ビット入力ポート(P0F)のビット1 ・V _{REF} ・A/Dコンバータの基準電圧入力端子	入力	入力 (P0F ₁)
3 6	P0C ₃ /ADC ₃ P0C ₀ /ADC ₀	ポート0CおよびA/Dコンバータのアナログ入力です。 ・P0C ₃ -P0C ₀ ・4ビット入出力ポート ・1ビット単位で入力/出力設定可能 ・ADC ₃ -ADC ₀ ・A/Dコンバータのアナログ入力	CMOSプッシュプル	入力 (P0C)
7 8 9 10	P0B ₃ P0B ₂ P0B ₁ P0B ₀	ポート0Bです。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能 ・4ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	CMOSプッシュプル	入力
11 12 13 14	P0A ₃ P0A ₂ P0A ₁ P0A ₀	ポート0Aです。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能 ・4ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	CMOSプッシュプル	入力
15 16 17 18	P0E ₃ P0E ₂ P0E ₁ P0E ₀	ポート0Eです。 ・4ビット入出力ポート ・4ビット単位で入力/出力設定可能 ・4ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能	N - ch オープン・ドレイン (耐圧はV _{DD} (MAX.)です)	入力

端子番号	記号	機能	出力形式	リセット時
19	P0D ₃ /TM1OUT	<p>ポート0D, タイマ1出力, シリアル・データ入力, シリアル・データ出力およびシリアル・クロック入出力です。</p> <ul style="list-style-type: none"> ・ 1ビット単位でソフトウェアによるプルアップ抵抗を内蔵可能 ・ P0D₃-P0D₀ ・ 4ビット入出力ポート ・ 1ビット単位で入力/出力設定可能 ・ $\overline{\text{TM1OUT}}$ ・ タイマ1出力 	N - ch オープン・ドレイン (耐圧はV _{DD} (MAX.) です)	入力 (P0D)
20	P0D ₂ /SI	<ul style="list-style-type: none"> ・ SI ・ シリアル・データ入力 		
21	P0D ₁ /SO	<ul style="list-style-type: none"> ・ SO ・ シリアル・データ出力 		
22	P0D ₀ / $\overline{\text{SCK}}$	<ul style="list-style-type: none"> ・ $\overline{\text{SCK}}$ ・ シリアル・クロック入出力 		
23	P0F ₀ / $\overline{\text{RLS}}$	<p>ポート0Fおよびスタンバイ解除信号の入力です。</p> <ul style="list-style-type: none"> ・ マスク・オプションによるプルアップ抵抗を内蔵可能 ・ P0F₀ ・ 2ビット入力ポート (P0F) のビット0 ・ $\overline{\text{RLS}}$ ・ スタンバイ解除信号の入力 	入力	入力 (P0F ₀)
24	INT	<p>外部割り込み要求信号の入力です。スタンバイ解除信号の入力にも使用できます。</p> <ul style="list-style-type: none"> ・ マスク・オプションによるプルアップ抵抗を内蔵可能 	入力	入力
25	$\overline{\text{RESET}}$	<p>システム・リセット入力です。</p> <ul style="list-style-type: none"> ・ マスク・オプションによるプルアップ抵抗を内蔵可能 	入力	入力
26	X _{OUT}	システム・クロック発振用です。	-	-
27	X _{IN}	X _{IN} , X _{OUT} 間にセラミック発振子を接続します。	-	-
28	GND	GNDです。	-	-

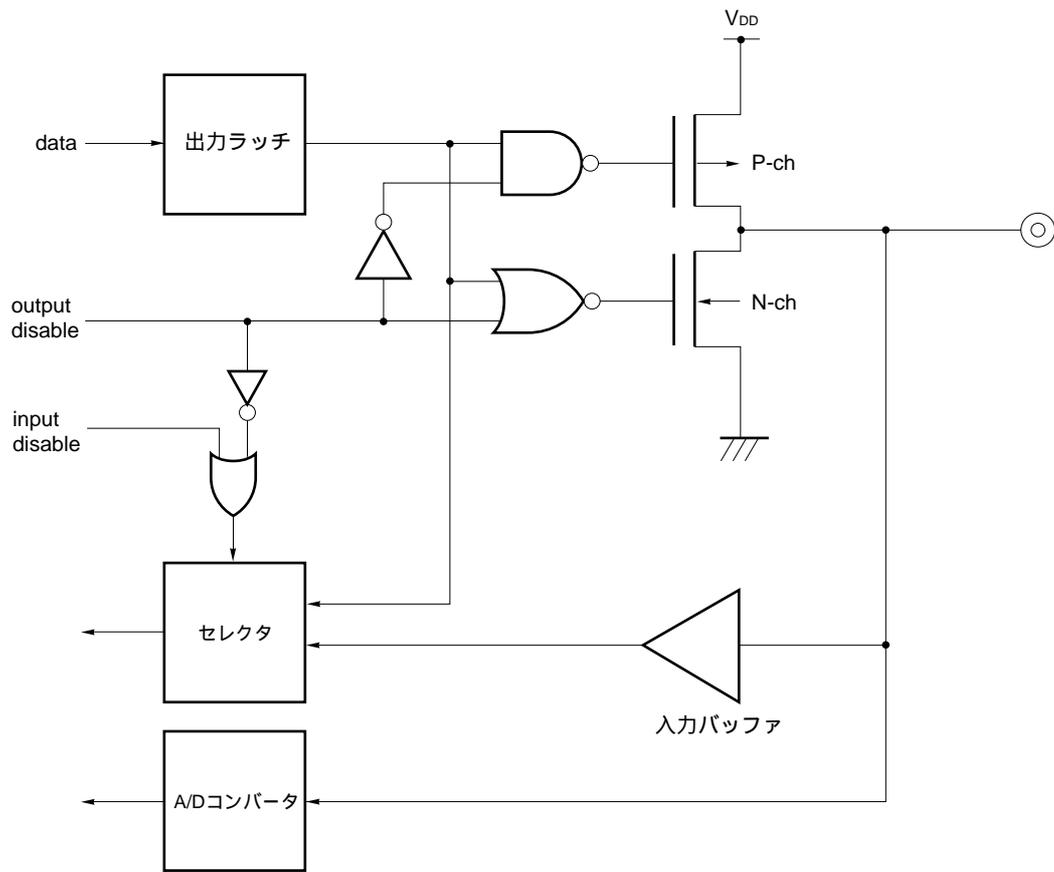
1.2 端子の等価回路

各端子の入出力回路を一部簡略化した形式を用いて示します。

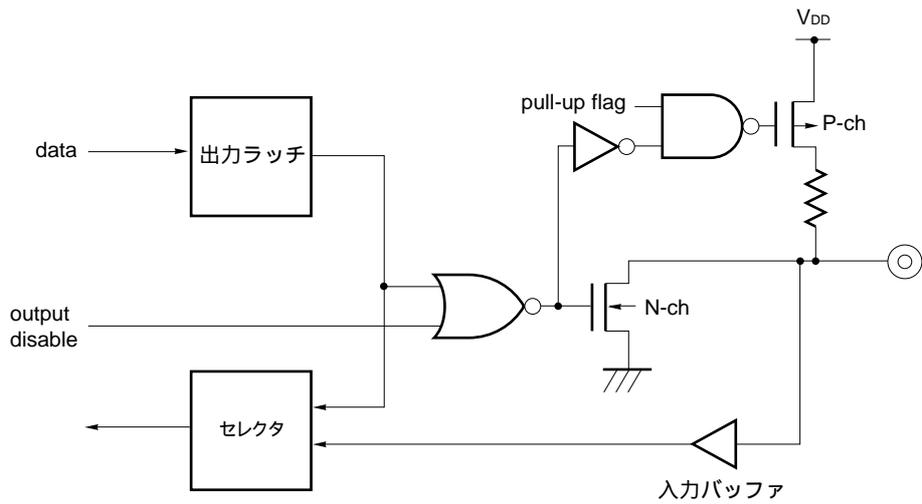
(1) P0A₀ - P0A₃, P0B₀ - P0B₃



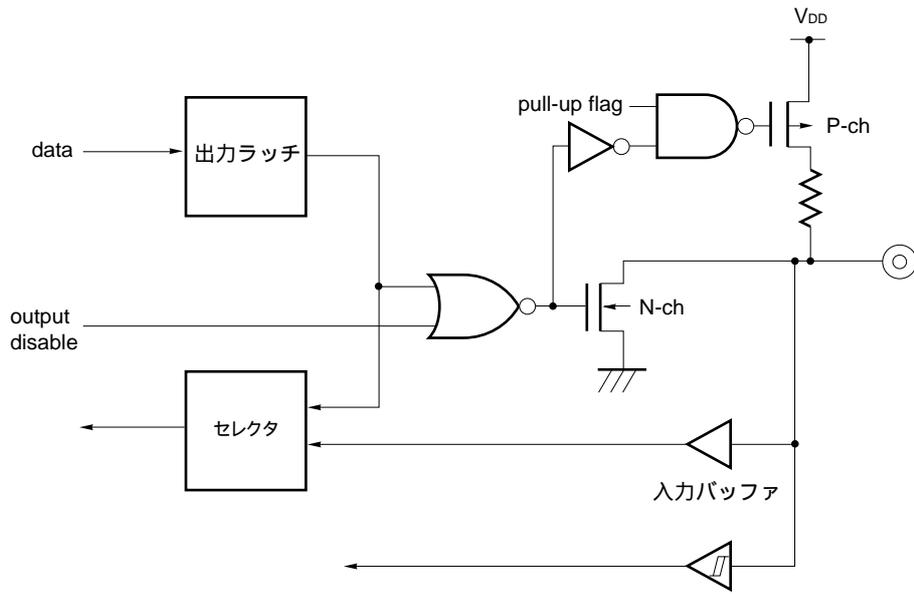
(2) P0C0/ADC0 - P0C3/ADC3



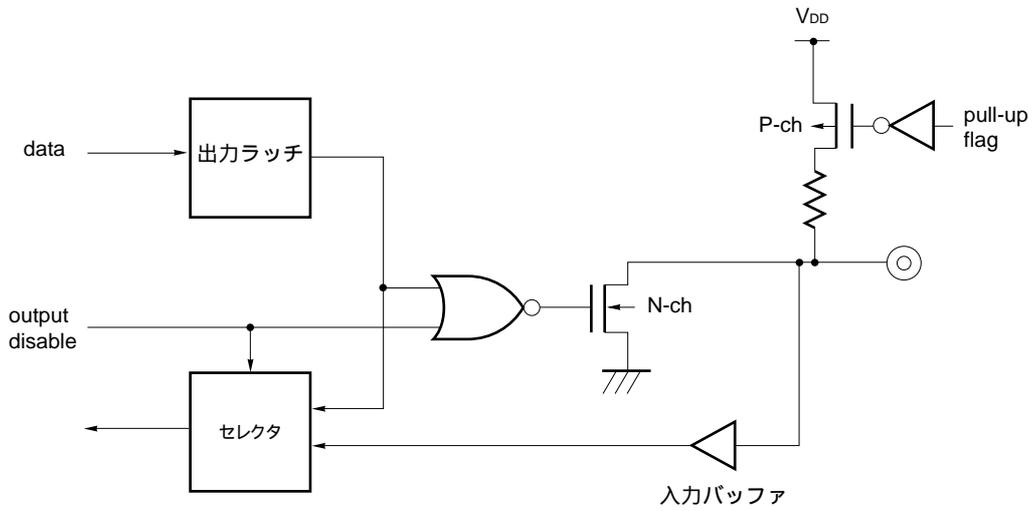
(3) P0D3/TM1OUT, P0D1/SO



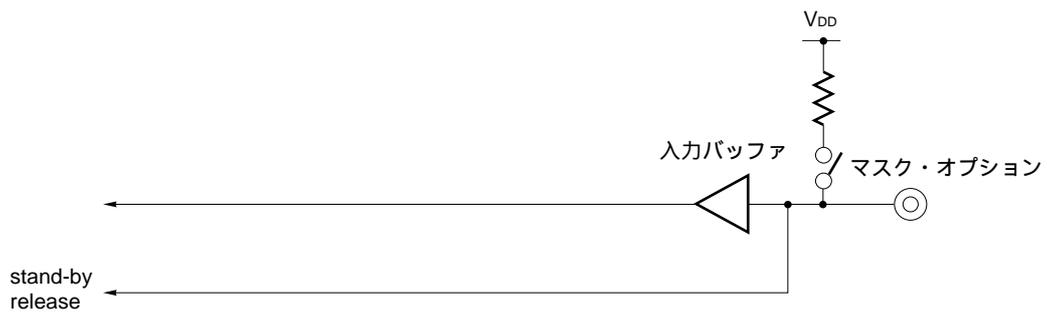
(4) P0D₂/SI, P0D₀/ $\overline{\text{SCK}}$



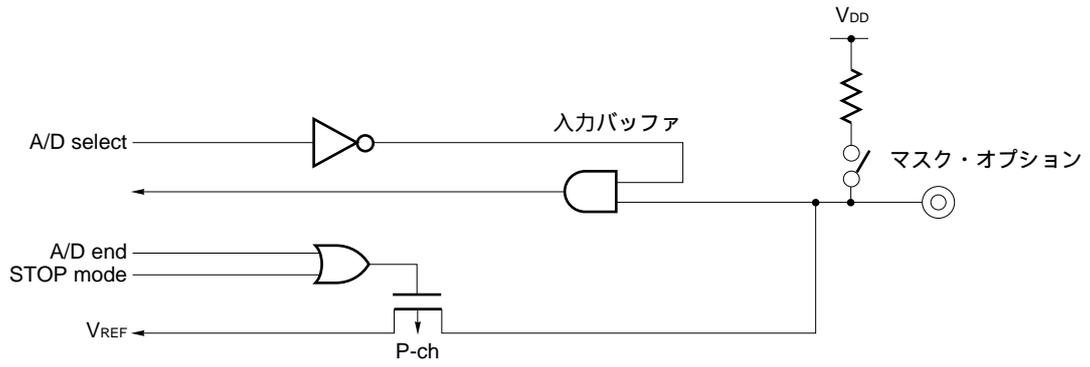
(5) P0E₀-P0E₃



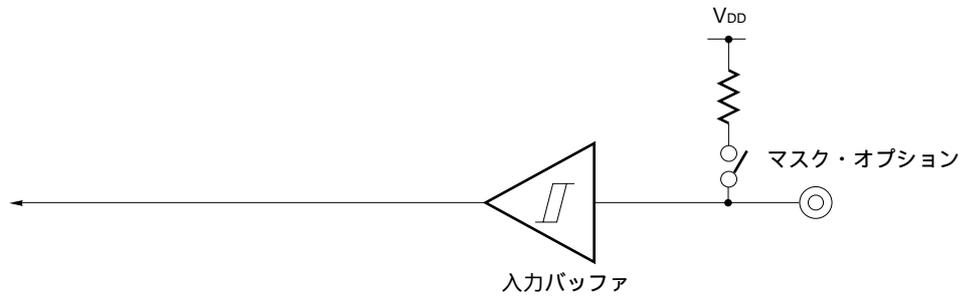
(6) P0F₀/ $\overline{\text{RLS}}$



(7) POF₁/V_{REF}



(8) $\overline{\text{RESET}}$, INT



1.3 未使用端子の処理

未使用端子は、次に示すような処置を推奨します。

表 1 - 1 未使用端子の処理

端子名		処理方法		
		マイコン内部	マイコン外部	
ポート	入力モード	P0A, P0B, P0D, P0E	ソフトウェアによるプルアップ抵抗を内蔵する	オープン
		P0C	-	各端子ごとに抵抗を介してV _{DD} またはGNDに接続 ^{注1}
		P0F ₁	マスク・オプションによるプルアップ抵抗を内蔵しない	GNDに直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
		P0F ₀ ^{注2}	マスク・オプションによるプルアップ抵抗を内蔵しない	GNDに直接接続
	出力モード	P0A, P0B, P0C (CMOSポート)	-	オープン
		P0D (N-chオープン・ドレイン・ポート)	ロウ・レベルを出力する	
		P0E (N-chオープン・ドレイン・ポート)	ソフトウェアによるプルアップ抵抗を内蔵しないで、ロウ・レベルを出力する	
	ソフトウェアによるプルアップ抵抗を内蔵して、ハイ・レベルを出力する			
	外部割り込み (INT)		マスク・オプションによるプルアップ抵抗を内蔵しない	V _{DD} またはGNDに直接接続
マスク・オプションによるプルアップ抵抗を内蔵する			オープン	
RESET ^{注3} (内蔵のPOC回路だけ) を使用する場合)		マスク・オプションによるプルアップ抵抗を内蔵しない	V _{DD} に直接接続	
		マスク・オプションによるプルアップ抵抗を内蔵する		

注1 . 外部でプルアップ (抵抗を介してV_{DD}に接続) またはプルダウン (抵抗を介してGNDに接続) する場合には、ポートのドライブ能力や消費電流に注意してください。また、高い抵抗値でプルアップまたはプルダウンする場合には、その端子にノイズが乗らないように注意してください。応用回路にもよりますが、プルアップまたはプルダウンの抵抗値は、数 + k が一般的です。

2 . P0F₀/R_{LS} 端子はテスト・モードの設定機能を兼用しているため、未使用の場合はマスク・オプションによるプルアップ抵抗を内蔵しないで、直接GNDに接続してください。

3 . 高い信頼性を必要とする応用回路では、必ず外部からRESET 信号を入力するように設計してください。また、RESET 端子はテスト・モードの設定機能を兼用しているため、未使用の場合は直接V_{DD}に接続してください。

注意 入出力モード、ソフトウェアによるプルアップ抵抗、端子の出力レベルは、プログラムの各ループ内で繰り返し設定することによって固定することを推奨します。

1.4 $\overline{\text{RESET}}$ 端子と $\text{P0F}_0/\overline{\text{RLS}}$ 端子の使用上の注意

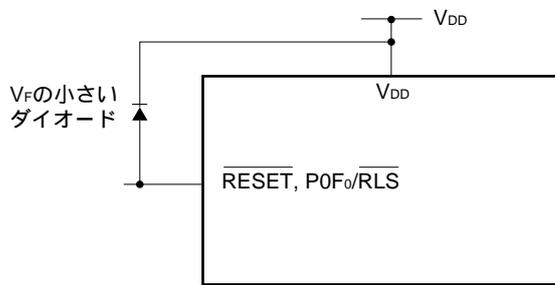
$\overline{\text{RESET}}$ 端子と $\text{P0F}_0/\overline{\text{RLS}}$ 端子は、1.1 端子機能に示した機能のほかに、 μ PD17149の内部動作をテストするテスト・モードを設定する機能（ICテスト専用）を持っています。

これらの端子のいずれかに V_{DD} を越える電圧を印加すると、テスト・モードに設定されます。このため、通常動作時であっても V_{DD} を越えるようなノイズが加わった場合にはテスト・モードに入ってしまう、通常動作に支障をきたすことがあります。

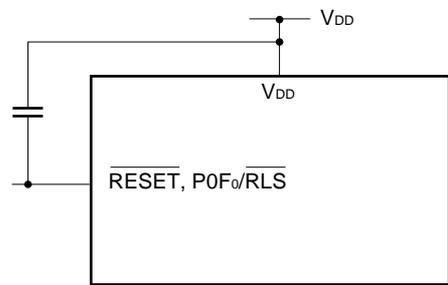
たとえば、 $\overline{\text{RESET}}$ 端子または $\text{P0F}_0/\overline{\text{RLS}}$ 端子の配線の引き回しが長い場合などでは、これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって、できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は、下図のような外付け部品によるノイズ対策を実施してください。

V_{DD} との間に V_{F} の小さいダイオードを接続



V_{DD} との間にコンデンサを接続



2. プログラム・メモリ (ROM)

表 2 - 1 に μPD17145, 17147, 17149 のプログラム・メモリ構成を示します。

表 2 - 1 プログラム・メモリ構成

品 名	プログラム・メモリ容量	プログラム・メモリ番地
μPD17145	2 Kバイト (1024 × 16ビット)	0000H - 03FFH
μPD17147	4 Kバイト (2048 × 16ビット)	0000H - 07FFH
μPD17149	8 Kバイト (4096 × 16ビット)	0000H - 0FFFH

プログラム・メモリは、プログラムおよび定数データ・テーブルなどを格納します。

プログラム・メモリは、プログラム・カウンタによってそのアドレスが指定されます。

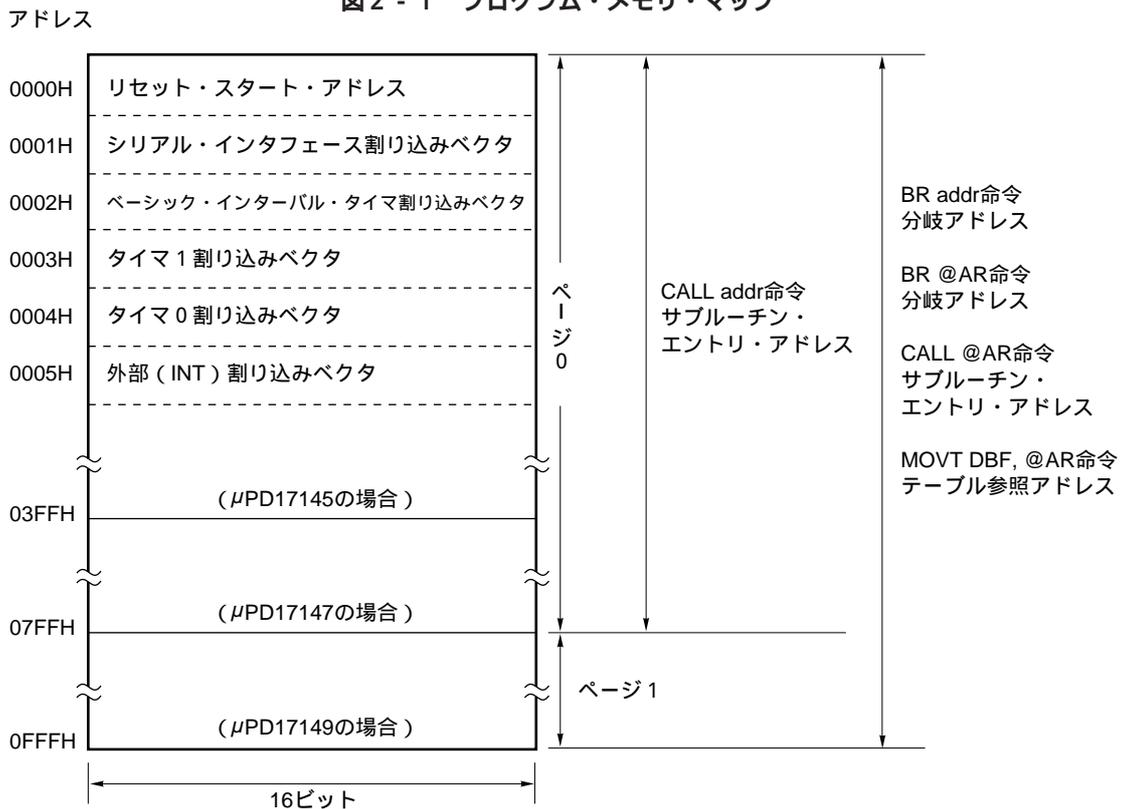
プログラム・メモリの0000H - 0005Hは、リセット・スタート・アドレスおよび各種の割り込みベクタ・アドレスに割り当てられています。

2.1 プログラム・メモリの構成

図 2 - 1 にプログラム・メモリ・マップを示します。プログラム・メモリは16ビットを1ステップとしており、2 Kステップごとに“ページ”と呼ぶ単位に分けられています。

直接サブルーチン・コール命令によるアドレス指定可能な範囲は、プログラム・メモリの0000H - 07FFH番地 (ページ 0) です。分岐命令, 間接サブルーチン・コール命令, テーブル参照命令によるアドレス指定可能な範囲は、プログラム・メモリの全範囲の0000H - 0FFFH番地です。

図 2 - 1 プログラム・メモリ・マップ



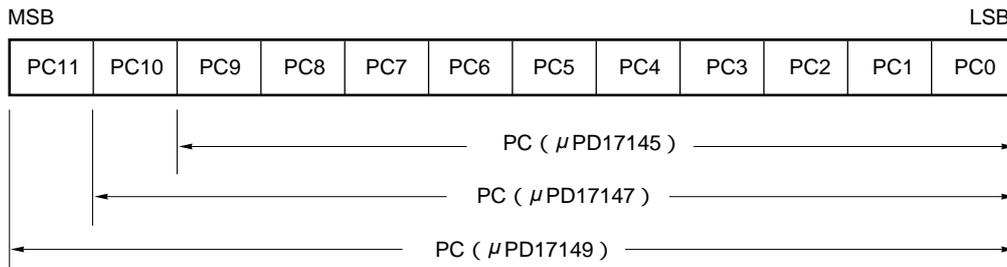
3. プログラム・カウンタ (PC)

プログラム・カウンタは、プログラム・メモリのアドレスを指定するために使用します。

3.1 プログラム・カウンタの構成

プログラム・カウンタは、図3 - 1 に示すように10/11/12ビットのバイナリ・カウンタで構成されています。

図3 - 1 プログラム・カウンタ



3.2 プログラム・カウンタの動作

プログラム・カウンタは、通常、命令を1つ実行するたびに自動的にインクリメントされます。また、リセット時、分岐命令、サブルーチン・コール命令、リターン命令、テーブル参照命令が実行されたときおよび割り込みが受け付けられたときには、次に実行すべきプログラム・メモリのアドレスがプログラム・カウンタに設定されます。

図3 - 2 命令実行後のプログラム・カウンタの値

命令	プログラム・カウンタの値											
	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット時	0	0	0	0	0	0	0	0	0	0	0	0
BR addr	0	addrで指定した値										
CALL addr	1											
BR @AR CALL @AR (MOVT DBF, @AR)	0	アドレス・レジスタ (AR) の内容										
RET RETSK RETI	スタック・ポインタで示されるアドレス・スタックの内容 (戻り番地)											
割り込み受け付け時	各割り込みのベクタ・アドレス											

備考 μPD17145にはPC11, PC10がありません。μPD17147にはPC11がありません。

4 . スタック

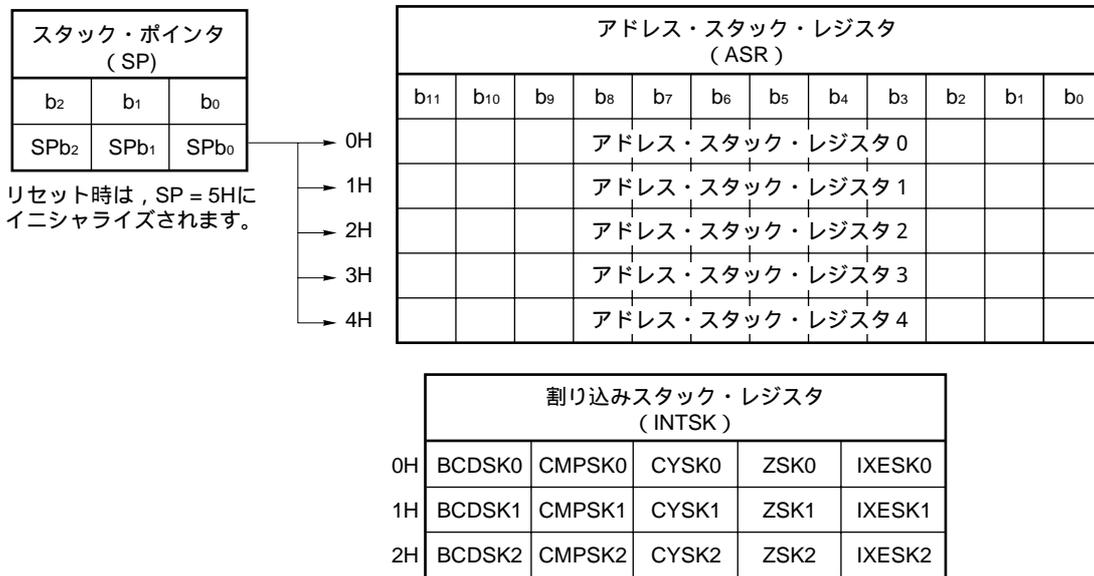
スタックはサブルーチン・コール時や割り込み受け付け時にプログラムの戻り番地や後述するシステム・レジスタの内容を退避するためのレジスタです。

4.1 スタックの構成

スタックの構成を図4 - 1 に示します。

スタックは、3 ビットのバイナリ・カウンタであるスタック・ポインタ (SP) と、10ビット (μPD17145) /11ビット (μPD17147) /12ビット (μPD17149) 5 段構成のアドレス・スタック・レジスタ (ASR) および5 ビット3 段構成の割り込みスタック・レジスタ (INTSK) で構成されています。

図4 - 1 スタックの構成



4.2 スタックの機能

スタックは、サブルーチン・コール命令実行時やテーブル参照命令実行時に戻り番地を退避するために使用します。また、割り込み受け付け時には、プログラムの戻り番地およびプログラム・ステータス・ワード (PSWORD) が自動的に退避されます。なお、退避後PSWORDは全ビットが0 にクリアされます。

5 . データ・メモリ (RAM)

データ・メモリ (RAM) とは、演算、制御などのデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

5.1 データ・メモリの構成

データ・メモリは、7ビットからなる番地 (アドレス) が付けられており、上位3ビットを“ロウ・アドレス”，下位4ビットを“カラム・アドレス”と呼びます。

たとえば、1AHというアドレスを考えれば、ロウ・アドレスが1Hで、カラム・アドレスが0AHということになります。

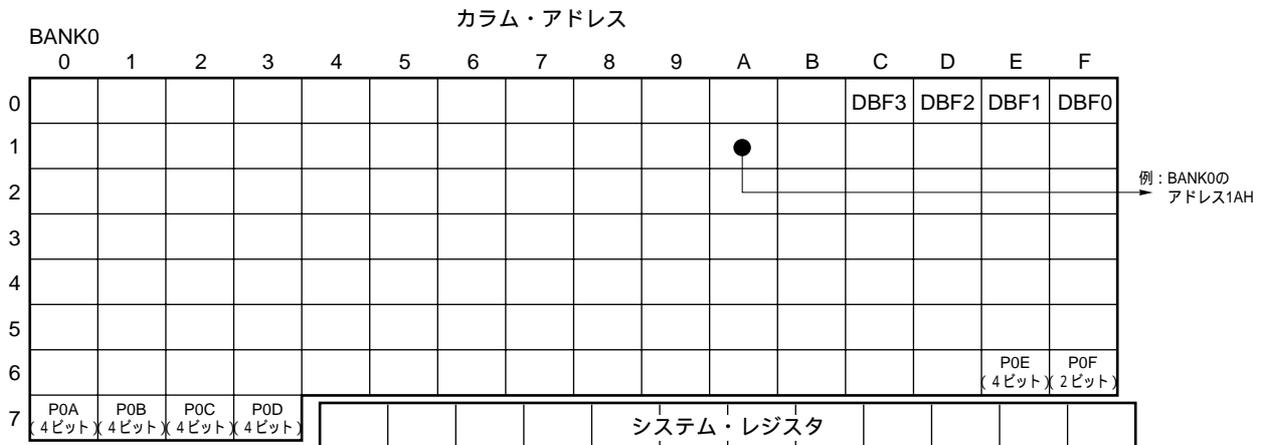
1つのアドレスは4ビット (= 1ニブル) のメモリで構成されています。

データ・メモリには、ユーザが自由にデータなどを格納しておける領域以外に、あらかじめ特別な機能が割り当てられている領域があります。

特別な機能を持つ領域は次のとおりです。

- ・システム・レジスタ (SYSREG) (7 . システム・レジスタ (SYSREG) 参照)
- ・データ・バッファ (DBF) (9 . データ・バッファ (DBF) 参照)
- ・ポート・レジスタ (11 . ポート参照)

図5 - 1 データ・メモリの構成



6. ジェネラル・レジスタ (GR)

ジェネラル・レジスタは、その名が示すように汎用のレジスタで、データ転送、演算などに使用します。

17Kシリーズでは、ジェネラル・レジスタは固定された領域ではなく、ジェネラル・レジスタ・ポインタ (RP) により、データ・メモリ上に指定される領域です。したがって、データ・メモリ領域の一部を必要に応じて、汎用レジスタとして指定できますので、データ・メモリ間のデータ転送やデータ・メモリに対する演算などを1命令で実現できます。

6.1 ジェネラル・レジスタ・ポインタ (RP)

RPは、データ・メモリの一部を汎用レジスタに指定するポインタです。RPには、汎用レジスタに指定したいデータ・メモリのバンクとロウ・アドレスを設定します。RPはシステム・レジスタ (7. システム・レジスタ (SYSREG) 参照) の7DH (RPH) と7EH (RPL) の上位3ビットの計7ビットに割り付けられています。

RPHにはバンクを、RPLにはデータ・メモリ・ロウ・アドレスを設定します。

図6-1 ジェネラル・レジスタ・ポインタの構成



アドレス	7DH				7EH			
名称	ジェネラル・レジスタ・ポインタ (RP)							
記号	RPH				RPL			
ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ	0	0	0	0				B C D
リセット	0	0	0	0	0	0	0	0

7. システム・レジスタ (SYSREG)

システム・レジスタ (SYSREG) は、直接CPUの制御を行うためのレジスタでデータ・メモリ上に配置されています。

7.1 システム・レジスタの構成

図7 - 1にシステム・レジスタのデータ・メモリ上の配置を示します。図7 - 1に示すようにシステム・レジスタは、データ・メモリの74H - 7FH番地に配置されています。

また、システム・レジスタはデータ・メモリ上に配置されているので、すべてのデータ・メモリ操作命令で操作することができます。したがって、システム・レジスタをジェネラル・レジスタに指定することも可能です。

図7 - 1 システム・レジスタのデータ・メモリ上の配置

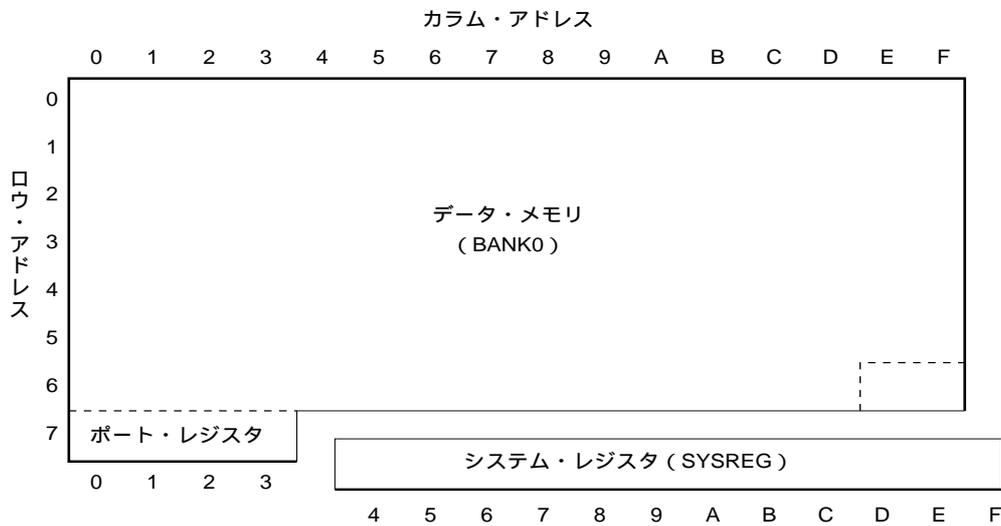


図7 - 2にシステム・レジスタの構成を示します。図7 - 2に示すようにシステム・レジスタは、次の7個のレジスタで構成されています。

- ・アドレス・レジスタ (AR)
- ・ウインドウ・レジスタ (WR)
- ・バンク・レジスタ (BANK)
- ・インデクス・レジスタ (IX)
- ・データ・メモリ・ロウ・アドレス・ポインタ (MP)
- ・ジェネラル・レジスタ・ポインタ (RP)
- ・プログラム・ステータス・ワード (PSWORD)

図7 - 2 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH	
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)		プログラム・ステータス・ワード (PSWORD)	
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH MPH	IXM MPL	IXL	RPH	RPL	PSW	
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	
データ ^{注1}	0 0 0 0	注2	(AR)		(BANK)		M P E	(IX)	(MP)	(RP)	B C D	C M Y Z	I X E
リセット時の初期値	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	不定	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	

注1 . この欄の0が書かれている部分は“0固定”を意味します。

2 . μPD17145の場合, AR2のb₃, b₂は0に固定されています。μPD17147の場合, AR2のb₃は0に固定されてい
ます。

8 . レジスタ・ファイル (RF)

レジスタ・ファイルは主として周辺ハードウェアの条件設定等を行うためのレジスタです。

8.1 レジスタ・ファイルの構成

8.1.1 レジスタ・ファイルの構成

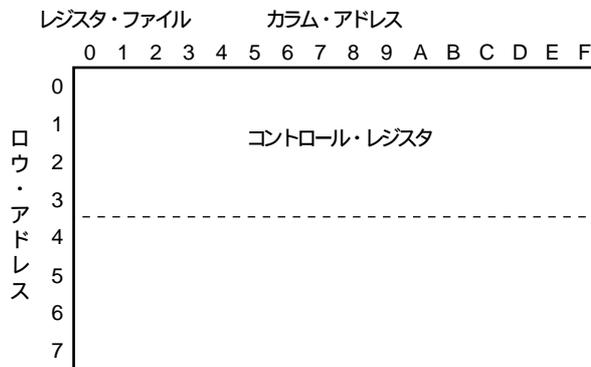
図8 - 1 にレジスタ・ファイルの構成を示します。

図8 - 1 に示すようにレジスタ・ファイルは128ニブル (128 × 4 ビット) で構成されるレジスタです。

レジスタ・ファイルはデータ・メモリと同様に4ビット単位でアドレス (番地) が割り当てられており, ロウ・アドレスが0H - 7Hでカラム・アドレスが0H - 0FHの計128ニブルになります。

また, アドレス00Hから3FH番地まではコントロール・レジスタと呼びます。

図8 - 1 レジスタ・ファイルの構成



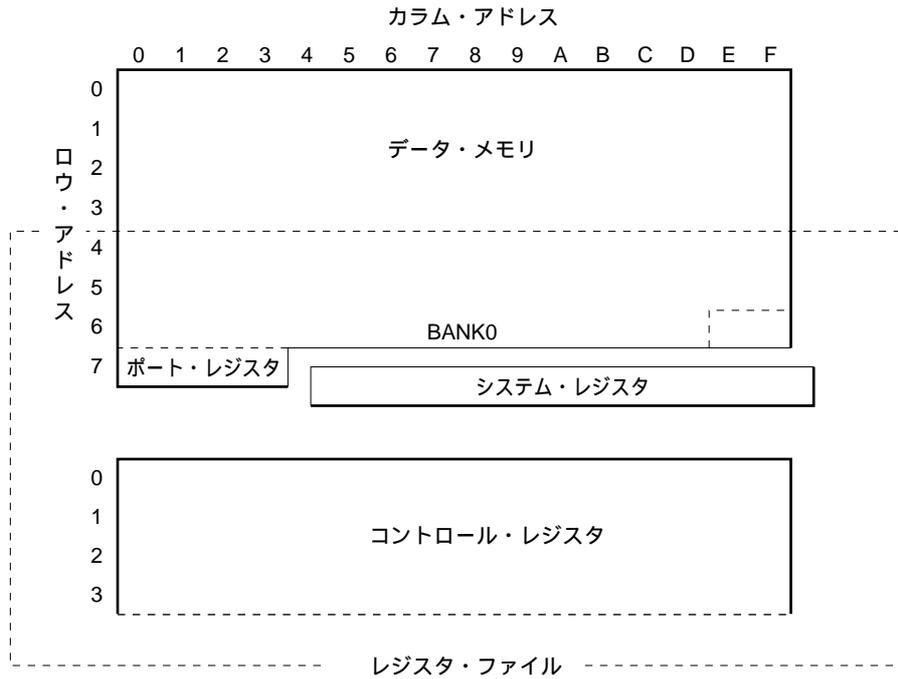
8.1.2 レジスタ・ファイルとデータ・メモリ

図8 - 2 にレジスタ・ファイルとデータ・メモリの関係を示します。

図8 - 2 に示すようにレジスタ・ファイルのアドレス40Hから7FH番地までは, データ・メモリと重なっています。

すなわちプログラム上は, レジスタ・ファイルの40H - 7FH番地に, データ・メモリのアドレス40Hから7FH番地と同じメモリがあるように見えます。

図8 - 2 レジスタ・ファイルとデータ・メモリの関係



8.2 レジスタ・ファイルの機能

8.2.1 レジスタ・ファイルの機能

レジスタ・ファイルは、PEEK命令またはPOKE命令により、周辺ハードウェアの条件設定をするレジスタ群です。周辺ハードウェアを制御するレジスタは、00H - 3FH番地に割り付けられており、この部分をコントロール・レジスタと呼びます。

レジスタ・ファイルの40H - 7FH番地には、通常のデータ・メモリが見えています。したがって、この部分はMOV命令だけでなく、PEEK命令、POKE命令による読み書きが可能です。

8.2.2 コントロール・レジスタの機能

コントロール・レジスタにより条件設定を行う周辺ハードウェアを以下に示します。周辺ハードウェアとコントロール・レジスタの詳細については各周辺ハードウェアの項を参照してください。

- ・ポート
- ・8ビット・タイマ・カウンタ (TM0, TM1)
- ・ベーシック・インターバル・タイマ (BTM)
- ・A/Dコンバータ
- ・シリアル・インタフェース (SIO)
- ・割り込み機能
- ・スタック・ポインタ (SP)

9 . データ・バッファ (DBF)

データ・バッファは、データ・メモリのBANK0のアドレス0CH - 0FHに割り当てられた4ニブルで構成されています。

この領域はGET, PUT命令によってCPUの周辺ハードウェア (アドレス・レジスタ, シリアル・インタフェース, タイマ0, タイマ1, A/Dコンバータ) とデータの受け渡しを行うデータ格納領域です。また, MOV T DBF, @AR命令によりプログラム・メモリ上の定数データをデータ・バッファ上に読み出すことができます。

9.1 データ・バッファの構成

図9 - 1 にデータ・バッファのデータ・メモリ上の配置を示します。

図9 - 1 に示すように、データ・バッファは、データ・メモリのアドレス0CH - 0FHが割り当てられており、4ニブル (4 × 4ビット) の計16ビットから構成されています。

図9 - 1 データ・バッファの配置



図9 - 2 にデータ・バッファの構成を示します。図9 - 2 に示すようにデータ・バッファはデータ・メモリの0FH番地のビット0をLSBとし、0CH番地のビット3をMSBとする16ビットで構成されています。

図9 - 2 データ・バッファの構成

データ・メモリ BANK0	アドレス	0CH				0DH				0EH				0FH			
	ビット	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀	b ₃	b ₂	b ₁	b ₀
データ・バッファ	ビット	b ₁₅	b ₁₄	b ₁₃	b ₁₂	b ₁₁	b ₁₀	b ₉	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	記号	DBF3				DBF2				DBF1				DBF0			
	データ	↑ M S B V ↓				データ				↑ L S B V ↓							

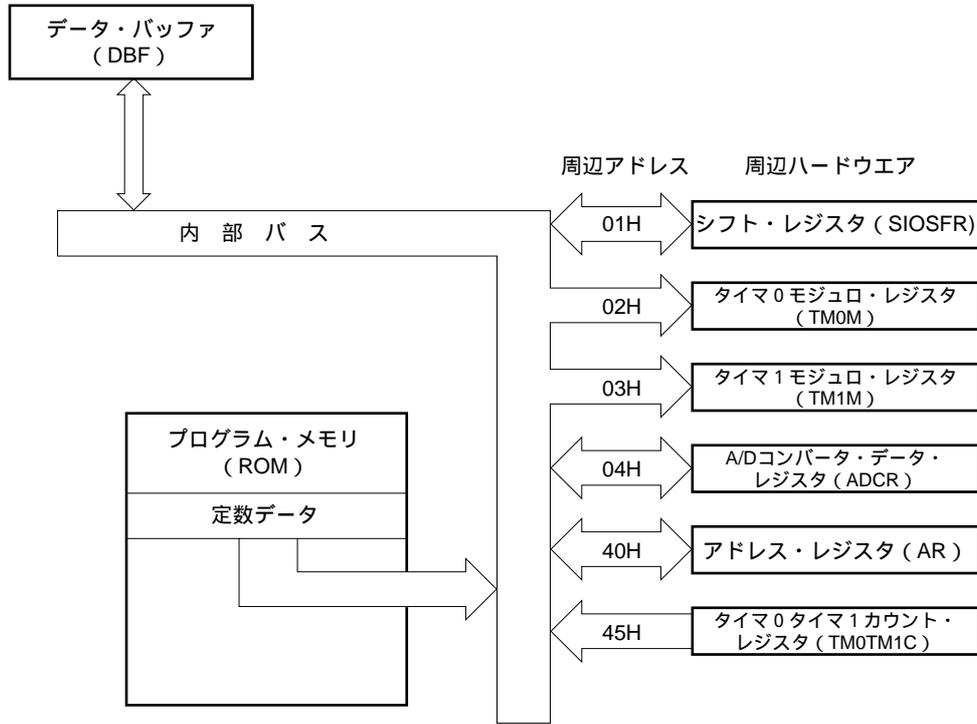
データ・バッファは、データ・メモリ上に配置されているため、すべてのデータ・メモリ操作命令で操作できます。

9.2 データ・バッファの機能

データ・バッファは、大別して2つの機能があります。

1つは周辺ハードウェアとのデータ転送機能で、もう1つはプログラム・メモリ上の定数データの読み出し（テーブル参照）機能です。図9 - 3にデータ・バッファと周辺ハードウェアの関係を示します。

図9 - 3 データ・バッファと周辺ハードウェア



10. ALUブロック

ALUは4ビット・データの算術演算，論理演算，ビット判断および回転処理を行います。

10.1 ALUブロックの構成

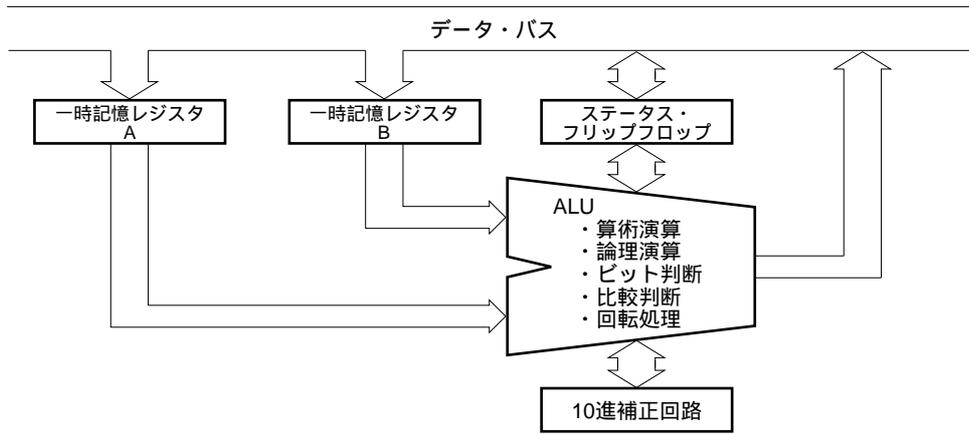
図10 - 1 にALUブロックの構成を示します。

図10 - 1 に示すようにALUブロックは4ビットのデータ処理を行うALU本体と，ALUの周辺回路である一時記憶用レジスタA，Bと，ALUの状態を制御するステータス・フリップフロップと，BCD演算使用時の10進補正回路から構成されています。

ステータス・フリップフロップは図10 - 1 に示すように，ゼロ・フラグ用FF，キャリー・フラグ用FF，コンペア・フラグ用FFおよびBCDフラグ用FFから構成されています。

ステータス・フリップフロップはシステム・レジスタの中のプログラム・ステータス・ワード（PSWORD：アドレス7EH, 7FH）の各フラグであるゼロ・フラグ（Z），キャリー・フラグ（CY），コンペア・フラグ（CMP）およびBCDフラグ（BCD）と1対1に対応しています。

図10 - 1 ALUブロックの構成



アドレス	7EH	7FH			
名 称	プログラム・ステータス・ワード (PSWORD)				
ビット	b ₀	b ₃	b ₂	b ₁	b ₀
フ ラ グ	BCD	CMP	CY	Z	IXE

ステータス・フリップフロップ			
BCD フラグ用 FF	CMP フラグ用 FF	CY フラグ用 FF	Z フラグ用 FF

機 能 の 概 要	
→	算術演算結果が0であることを示す
→	算術演算時のキャリーまたはボローを格納
→	算術演算結果を格納するかを指定
→	算術演算時に10進補正を行うかを指定

11. ポート

11.1 ポート0A (P0A0, P0A1, P0A2, P0A3)

ポート0Aは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリBANK0の70H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

4ビット単位で入力または出力の指定をすることができます。入力/出力の指定はレジスタ・ファイル上のP0AGIO (2CH番地のビット0)により行います。

P0AGIO = 0 のとき、ポート0Aのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み込み命令を実行すると、端子の状態が読み込まれます。

P0AGIO = 1 のとき、ポート0Aのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルのP0AGPU (0CH番地のビット0)によって行います。P0AGPU = 1で4ビットの端子すべてがプルアップされ、P0AGPU = 0でプルアップ抵抗は内蔵されません。

リセット時にはP0AGIOおよびP0AGPUは“0”になり、P0Aの端子はすべてプルアップ抵抗なしの入力ポートになります。また、ポートの出力ラッチの値も“0”になります。

表11 - 1 ポート・レジスタ (0.70H) への書き込みと読み出し

P0AGIO RF : 2CH, ビット0	端子の入力/出力	BANK0 70H	
		書き込み	読み出し
0	入力	可能	P0Aの端子の状態
1	出力	P0Aラッチに書き込み	P0Aのラッチの内容

11.2 ポート0B (P0B₀, P0B₁, P0B₂, P0B₃)

ポート0Bは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の71H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

4ビット単位で入力または出力の指定をすることができます。入力/出力の指定は、レジスタ・ファイル上のP0BGIO (2CH番地のビット1) により行います。

P0BGIO = 0 のとき、ポート0Bのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み込み命令を実行すると、端子の状態が読み込まれます。

P0BGIO = 1 のとき、ポート0Bのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルのP0BGPU (0CH番地のビット1) によって行います。P0BGPU = 1 で4ビットの端子すべてがプルアップされ、P0BGPU = 0 でプルアップ抵抗は内蔵されません。

リセット時にはP0BGIOおよびP0BGPUは“0”になり、P0Bの端子はすべてプルアップ抵抗なしの入力ポートになります。また、ポートの出力ラッチの値も“0”になります。

表11 - 2 ポート・レジスタ (0.71H) への書き込みと読み出し

P0BGIO RF : 2CH, ビット 1	端子の入力 / 出力	BANK0 71H	
		書き込み	読み出し
0	入力	可能	P0Bの端子の状態
1	出力	P0Bラッチに書き込み	P0Bのラッチの内容

11.3 ポート0C (P0C0/ADC0, P0C1/ADC1, P0C2/ADC2, P0C3/ADC3)

ポート0Cは、出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の72H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

1ビットごとに入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上のP0CBIO0-P0CBIO3 (1CH番地) により行います。

P0CBIO_n = 0 のとき (n = 0 - 3), P0C_n端子は入力ポートとなり、ポート・レジスタに対しデータの読み込み命令を実行すると、端子の状態が読み込まれます。また、P0CBIO_n = 1 のとき (n = 0 - 3), P0C_n端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

リセット時にはP0CBIO0 - P0CBIO3は“0”になり、P0Cの端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も“0”になります。

ポート0CはA/Dコンバータのアナログ入力として使用できます。ポートまたは、アナログ入力端子としての切り替えは、レジスタ・ファイル上のP0C0IDI - P0C3IDI (1BH番地) によって行います。

P0C_nIDI = 0 のとき (n = 0 - 3) P0C_n/ADC_n端子はポートとして機能し、P0C_nIDI = 1 のとき (n = 0 - 3) P0C_n/ADC_n端子はA/Dコンバータのアナログ入力として機能します。なお、P0C_nIDI (n = 0 - 3) がどれか1ビットでも“1”に設定されると、P0F1/V_{REF}端子はV_{REF}端子として設定されます。

A/Dコンバータのアナログ入力端子として使用する場合は、リセット・スタート直後に、アナログ電圧が印加される端子に対してP0C_nIDIをセット(1)し、ポートとしての入力を禁止してください。また、P0CBIO_n (n = 0 - 3) をクリア(0)し、入力ポートに設定してください。アナログ入力端子として使用する端子はレジスタ・ファイル上のADCCH0, ADCCH1 (22H番地のビット1, 0) で選択します。

リセット時、P0CBIO0 - P0CBIO3, P0C0IDI - P0C3IDI, ADCCH0, ADCCH1は“0”に設定され、入力ポートとなります。

表11 - 3 ポートとA/Dコンバータの切り替え

(n = 0 - 3)

P0C _n IDI RF : 1BH	P0CBIO _n RF : 1CH	機能	BANK0 72H	
			書き込み	読み出し
0	0	入力ポート	可能 P0Cラッチ	端子の状態
	1	ポート出力	可能 P0Cラッチ	P0Cのラッチの内容
1	0	A/Dのアナログ入力 ^{注1}	可能 P0Cラッチ	P0Cのラッチの内容
	1	出力ポートおよび A/Dのアナログ入力 ^{注2}	可能 P0Cラッチ	P0Cのラッチの内容

注1 . 端子をA/Dコンバータのアナログ入力として使用する場合は通常の設定です。

2 . 出力ポートとして機能しています。このときアナログ入力電圧は、ポートからの出力の影響を受けて変化してしまいます。端子をアナログ入力として使用する場合には、必ずP0CBIO_n = 0に設定してください。

11.4 ポート0D (P0D₀/SCK, P0D₁/SO, P0D₂/SI, P0D₃/TM1OUT)

ポート0Dは出力ラッチ付き4ビットの入出力ポートです。データ・メモリのBANK0の73H番地にマッピングされています。出力形式はN-chオープン・ドレイン出力です。

1ビット単位で入力または出力を指定することができます。入力/出力の指定はレジスタ・ファイル上のP0DBIO0-P0DBIO3 (2BH番地) により行います。

P0DBIO_n = 0 のとき (n = 0 - 3), P0D_n端子は入力ポートとなり, ポート・レジスタに対しデータの読み込み命令を実行すると, 端子の状態が読み込まれます。また, P0DBIO_n = 1 のとき, P0D_n端子は出力ポートとなり, 出力ラッチに書かれた値が端子に出力されます。端子が出力ポートのとき, 読み込み命令を実行すると, 端子の状態ではなく, 出力ラッチの値が取り込まれます。

また, ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか, しないかの選択は, レジスタ・ファイルのP0DBPU0 - P0DBPU3 (0DH番地) によって1ビットごとに行います。P0DBPU_n = 1 でP0D_n端子がプルアップされ, P0DBPU_n = 0 でプルアップ抵抗は内蔵されません。

リセット時には, P0DBIO_nは“0”になり, P0Dの端子はすべて入力になり, ポートの出力ラッチの内容もすべて“0”になります。なお, P0DBIO_nを“1”から“0”に変化させても出力ラッチの内容は変わりません。

また, ポートとして使用できるほかに, シリアル・インタフェース用の入出力やタイマ1出力として使用できます。ポート (P0D₀ - P0D₂) とシリアル・インタフェース用入出力 (SCK, SO, SI) の切り替えは, レジスタ・ファイル上のSIOEN (0BHのビット0) によって行います。また, ポート (P0D₃) とタイマ1出力 (TM1OUT) の切り替えはレジスタ・ファイル上のTM1OSEL (0BHのビット3) によって行います。TM1OSEL = 1 を選択すると, タイマ1のリセット時には“1”を出力し, タイマ1のカウント値がモジュロ・レジスタの内容と一致するごとにその出力を反転します。

表11-4 レジスタ・ファイルの内容と端子の機能

(n = 0 - 3)

レジスタ・ファイルの値			端子の機能			
TM1OSEL RF : 0BH ビット3	SIOEN RF : 0BH ビット0	P0DBIO _n RF : 2BH ビットn	P0D ₀ /SCK	P0D ₁ /SO	P0D ₂ /SI	P0D ₃ /TM1OUT
0	0	0	入力ポート			
		1	出力ポート			
	1	0	SCK	SO	SI	入力ポート
		1				出力ポート
1	0	0	入力ポート			
		1	出力ポート			
	1	0	SCK	SO	SI	TM1OUT
		1				

表11 - 5 ポート・レジスタ (0.73H) を読み出したときの内容

ポートのモード		ポート・レジスタ (0.73H) を読み出したときの内容
入力ポート		端子の状態
出力ポート		出力ラッチの内容
SCK	シリアル・クロックに内部クロックを選択	出力ラッチの内容
	シリアル・クロックに外部クロックを選択	端子の状態
SI		端子の状態
SO		出力ラッチの内容
TM1OUT		出力ラッチの内容

11.5 ポート0E (P0E0, P0E1, P0E2, P0E3)

ポート0Eは出力ラッチ付き 4 ビットの入出力ポートです。データ・メモリのBANK0の6EH番地にマッピングされています。出力形式はN-chオープン・ドレイン出力です。

4 ビット単位で入力または出力の指定をすることができます。入力 / 出力の指定はレジスタ・ファイル上のP0EGIO (2CH番地のビット 2) により行います。

P0EGIO = 0 のとき、ポート0Eのすべての端子は入力ポートとなり、ポート・レジスタに対しデータの読み込み命令を実行すると、端子の状態が読み込まれます。また、P0EGIO = 1 のとき、ポート0Eのすべての端子は出力ポートとなり、出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると、端子の状態ではなく、出力ラッチの内容が取り込まれます。

また、ソフトウェア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか、しないかの選択は、レジスタ・ファイルのP0EGPU (0CH番地のビット 2) によって行います。P0EGPU = 1 で4 ビットの端子すべてがプルアップされ、P0EGPU = 0 でプルアップ抵抗は内蔵されません。

リセット時にはP0EGIOは“ 0 ”になり、ポート0Eの端子はすべて入力ポートになります。また、ポートの出力ラッチの内容も“ 0 ”になります。

表11 - 6 ポート・レジスタ (0.6EH) への書き込みと読み出し

(n=0-3)

P0EGIO RF : 2CH, ビット 2	端子の入力 / 出力	BANK0 6EH	
		書き込み	読み出し
0	入力	可能	P0Eの端子の状態
1	出力	P0Eラッチに書き込み	P0Eのラッチの内容

11.6 ポート0F (P0F0/RLS, P0F1/VREF)

ポート0Fは2 ビットの入力専用ポートです。データ・メモリのBANK0の6FH番地にマッピングされています。また、マスク・オプションにより1 ビットごとに端子にプルアップ抵抗の内蔵を指定することができます。

ポート0Fの各端子が入力ポートとして機能している場合、ポート・レジスタに対して読み込み命令を実行すると、上位2 ビットは0 に固定され、下位2 ビットに端子の状態が読み込まれます。また、書き込み命令を実行した場合ポート・レジスタは何も変化せず、意味を持ちません。

P0F0/RLS端子は、スタンバイ解除信号の入力端子としても使用できます。

P0F1/VREF端子は、P0CnIDI (RF : 1BH番地, n=0-3) のどれか1 ビットでも“ 1 ”になっている場合、VREF端子 (A/Dコンバータの基準電圧入力端子) として機能します。P0F1/VREF端子がVREF端子として機能している場合に、ポート・レジスタに対して読み込み命令を実行すると、6FH番地のビット 1 は必ず0 になります。

12. 8ビット・タイマ・カウンタ (TM0, TM1)

μPD17149の8ビット・タイマ・カウンタには、タイマ0 (TM0) とタイマ1 (TM1) の2系統のタイマがあります。

タイマ0のカウンタ・アップ信号をタイマ1のカウンタ・クロックとして用いることにより、1系統の16ビット・タイマとして用いることも可能です。

各タイマの制御は、PUT/GET命令を使ったハードウェアの操作とPEEK/POKE命令を使ったレジスタ・ファイル上のレジスタの操作により行います。

12.1 8ビット・タイマ・カウンタの構成

図12 - 1に8ビット・タイマ・カウンタの構成を示します。8ビット・タイマ・カウンタは8ビットのカウンタ・レジスタ、8ビットのモジュロ・レジスタ、カウンタ・レジスタとモジュロ・レジスタの値を比較するコンパレータおよびカウンタ・パルスを選択するセレクタで構成されています。

注意1 . モジュロ・レジスタは、書き込み専用レジスタです。

2 . カウンタ・レジスタは、読み出し専用レジスタです。

図12 - 1 8ビット・タイマ・カウンタの構成

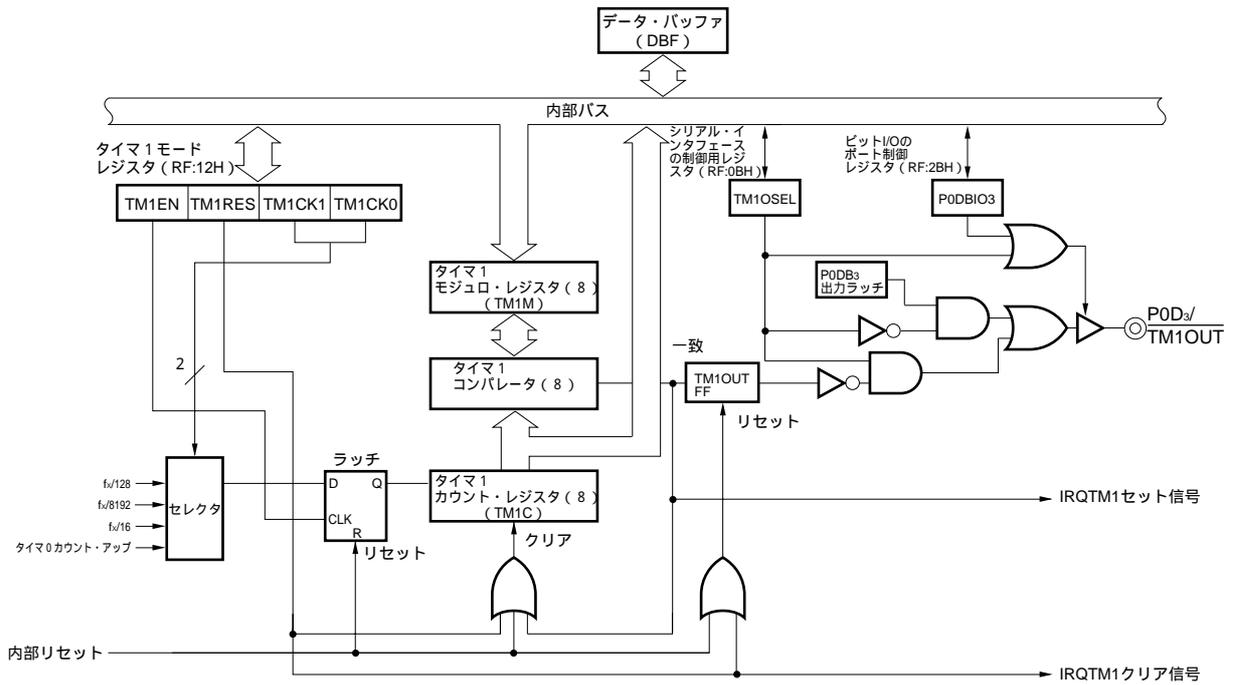
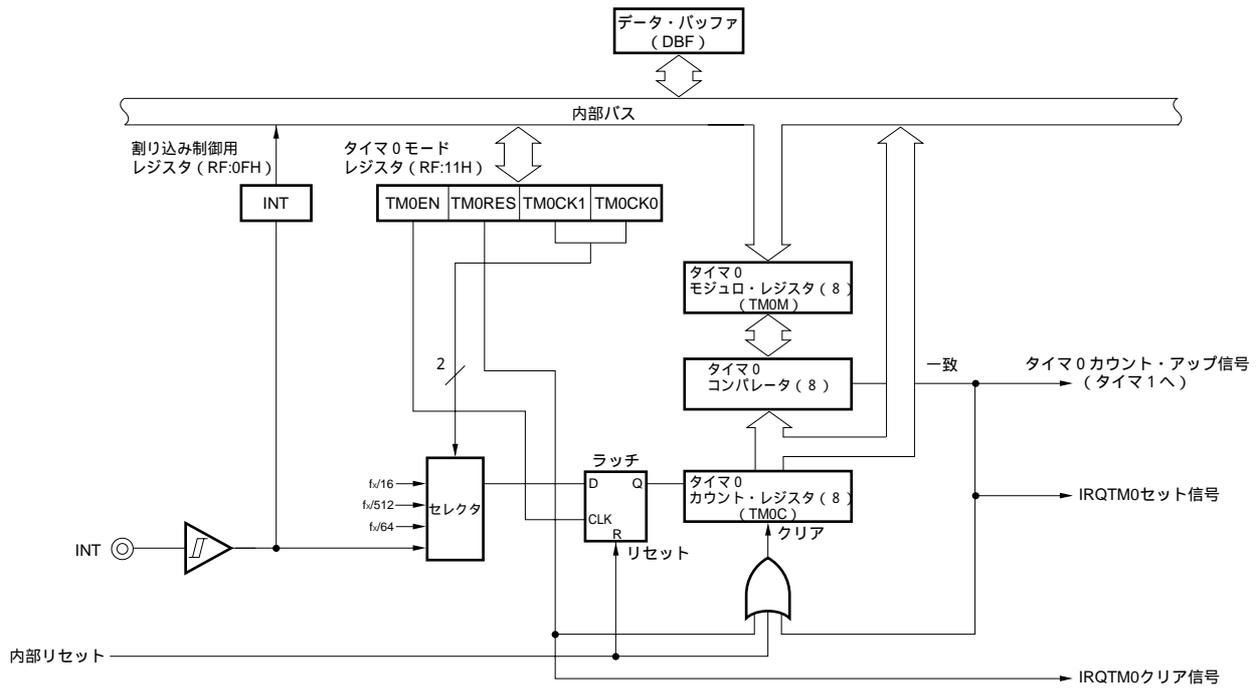


図12 - 2 タイマ0モード・レジスタ

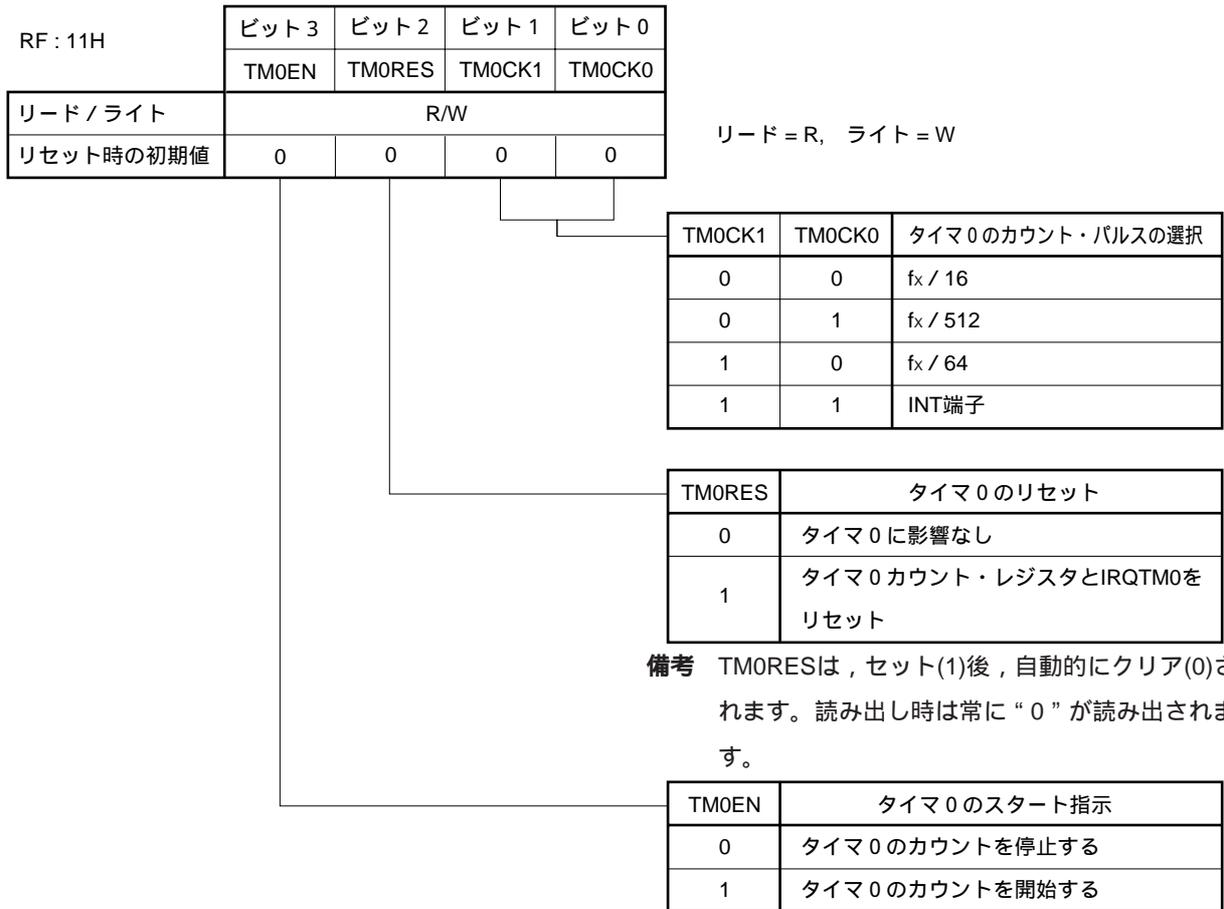
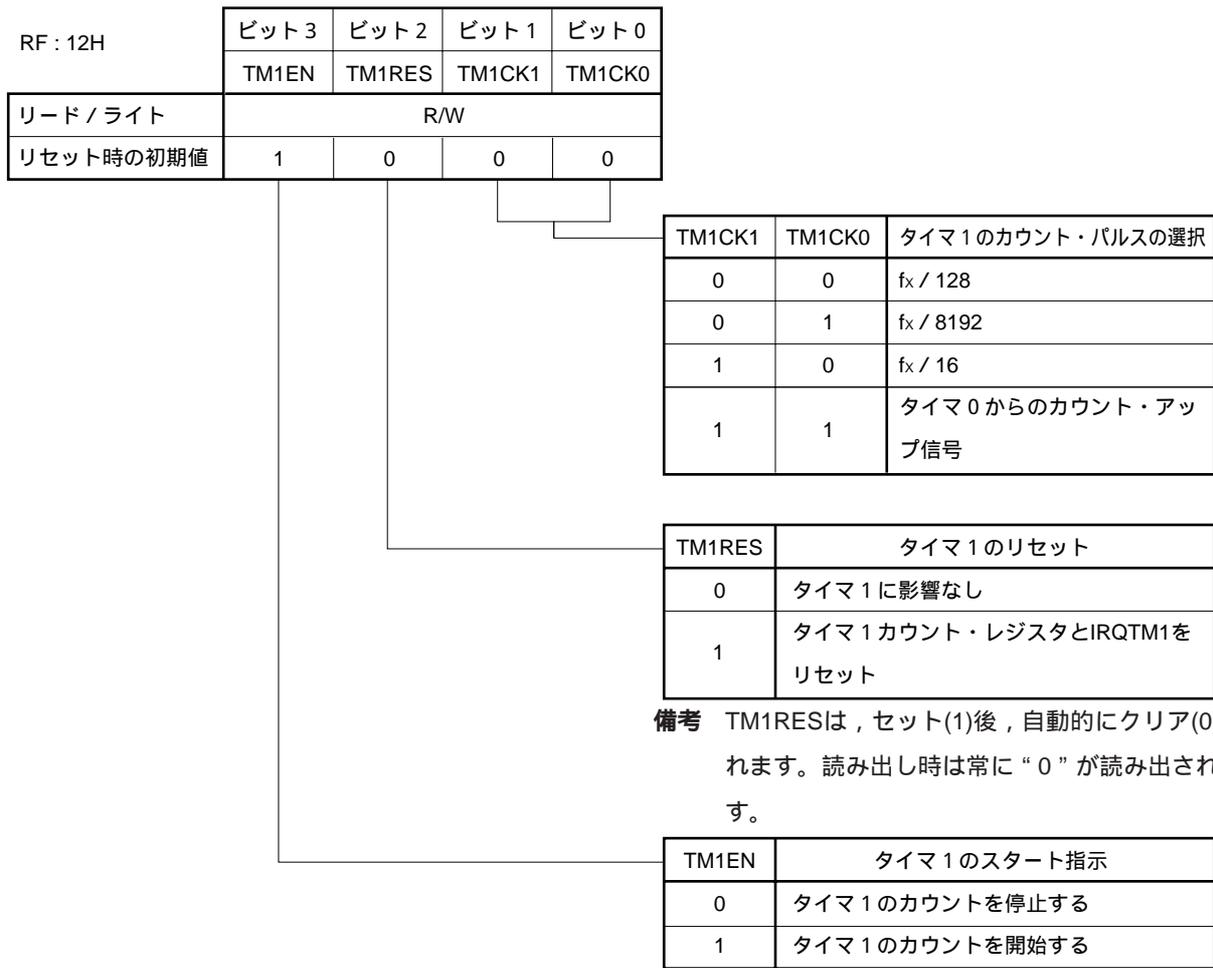


図12 - 3 タイマ1モード・レジスタ



備考 TM1RESは、セット(1)後、自動的にクリア(0)されます。読み出し時は常に“0”が読み出されません。

備考 TM1ENは、タイマ1のカウンタ状態を検出するステータス・フラグとして使用することができます (1:カウンタ動作中, 0:カウンタ停止状態)。

13. ベーシック・インターバル・タイマ (BTM)

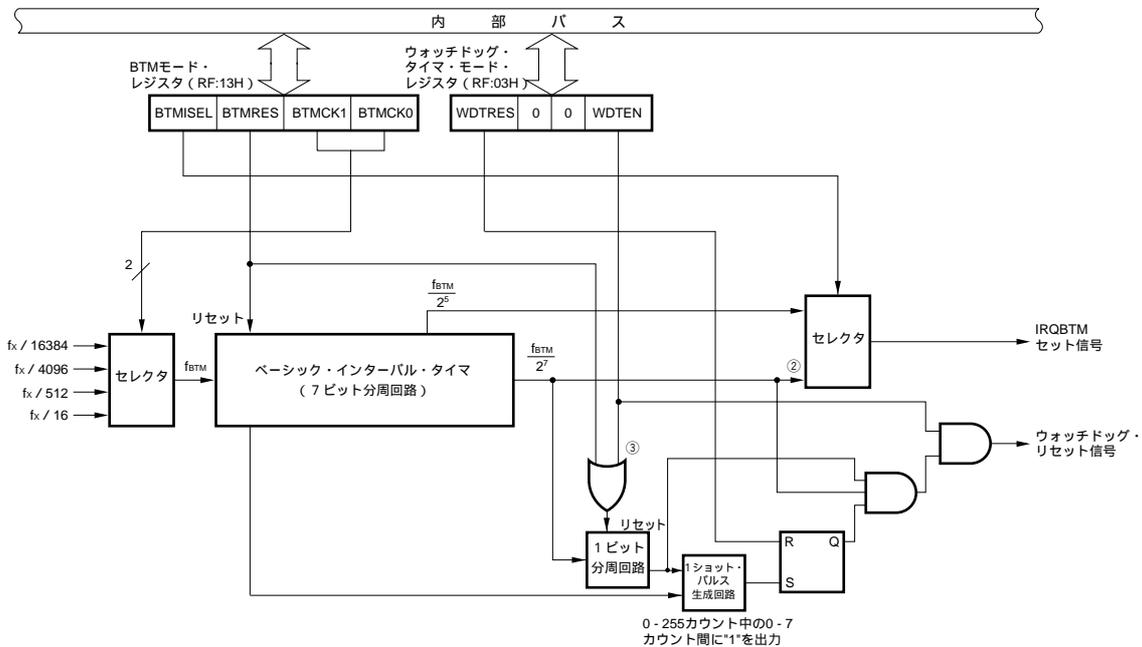
μPD17149は、7ビットのベーシック・インターバル・タイマを内蔵しています。
 ベーシック・インターバル・タイマには、次に示す機能があります。

- (1) 基準時間発生
- (2) スタンバイ・モード解除時のウエイト時間の選択とカウント
- (3) プログラムの暴走を検出するウォッチドッグ・タイマ機能

13.1 ベーシック・インターバル・タイマの構成

図13 - 1 にベーシック・インターバル・タイマの構成を示します。

図13 - 1 ベーシック・インターバル・タイマの構成



備考 図中の - は図13 - 4 のタイミング・チャート中の信号を示します。

13.2 ベーシック・インターバル・タイマを制御するレジスタ

ベーシック・インターバル・タイマは、BTMモード・レジスタおよびウォッチドッグ・タイマ・モード・レジスタによって制御します。

図13 - 2 , 13 - 3 にそれぞれのレジスタの構成を示します。

図13 - 2 BTMモード・レジスタ

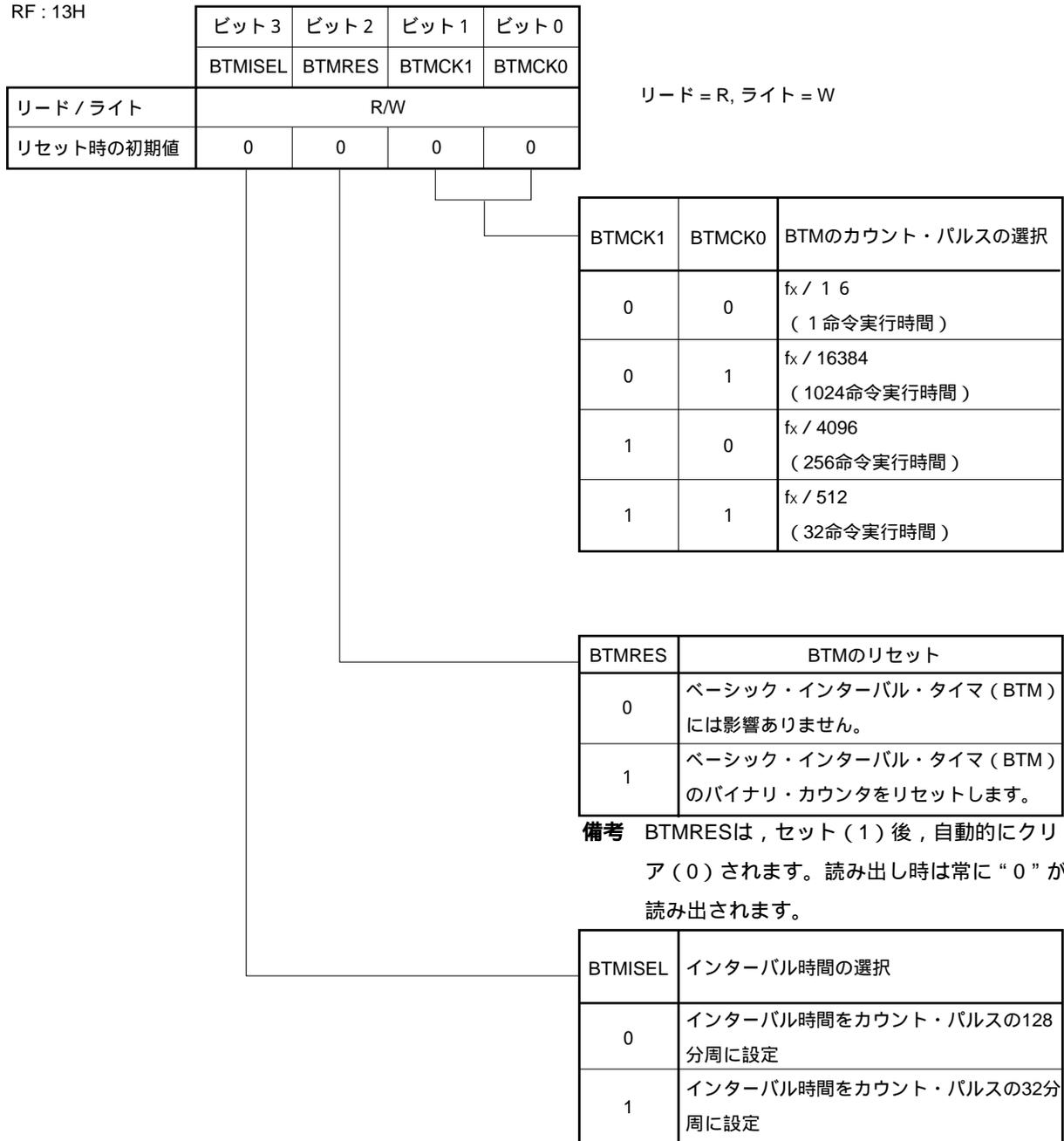


図13 - 3 ウォッチドッグ・タイマ・モード・レジスタ

RF : 03H

	ビット3	ビット2	ビット1	ビット0
	WDTRES	0	0	WDTEN
リード/ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

WDTEN	ウォッチドッグ・タイマ機能の許可
0	ウォッチドッグ・タイマが停止の状態です。
1	ウォッチドッグ・タイマの動作を開始します。

備考 1 . WDTENは、プログラムではクリア (0) できません。

2 . WDTENは、セット(1)後、自動的にクリア (0)されます。読み出し時は常に “ 0 ” が読み出されます。

WDTRES	ウォッチドッグ・タイマのリセット
0	ウォッチドッグ・タイマに影響はありません。
1	ウォッチドッグ・タイマに用いるBTMのオーバフロー・キャリーを保持するフリップ・フロップがリセットされます。

備考 WDTRESは、セット(1)後、自動的にクリア (0)されます。読み出し時は常に “ 0 ” が読み出されず。

13.3 ウォッチドッグ・タイマ機能

ベーシック・インターバル・タイマは、プログラムの暴走を検出するウォッチドッグ・タイマとしても使用できません。

13.3.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、リセット信号を一定周期で発生するカウンタです。プログラムにより毎回のリセット信号の発生を禁止することにより、外部ノイズなどによりシステムが暴走した（ウォッチドッグ・タイマが所定の時間内にリセットされなかった）場合に、システムに対してリセット（0000Hスタート）をかけることができます。

この機能によって、プログラムが外部ノイズなどにより意図しないルーチンに飛び、無限ループに陥った場合でも、一定時間内にリセット信号が発生するため暴走状態から脱出できます。

13.3.2 ウォッチドッグ・タイマの動作

WDTENをセット（1）すると、1ビット分周回路が動作可能状態になり、ベーシック・インターバル・タイマは8ビットのウォッチドッグ・タイマとして動作を開始します。

ウォッチドッグ・タイマは、いったん動作させるとデバイスにリセットがかかり、WDTENがクリア（0）されるまで止めることはできません。

ウォッチドッグ・タイマによるリセット信号を禁止するには、次の2つの方法があります。

- （1）WDTRESをセットすることをプログラム中で繰り返す。
- （2）BTMRESをセットすることをプログラム中で繰り返す。

（1）の場合、図13-4に示すように、ウォッチドッグ・タイマのカウント値が8から191（192になる直前）までの期間にWDTRESをセットする必要があります。したがって、ウォッチドッグ・タイマが184カウントする周期より短いタイミングで少なくとも1回は“SET1 WDTRES”が実行されるようにプログラムします。

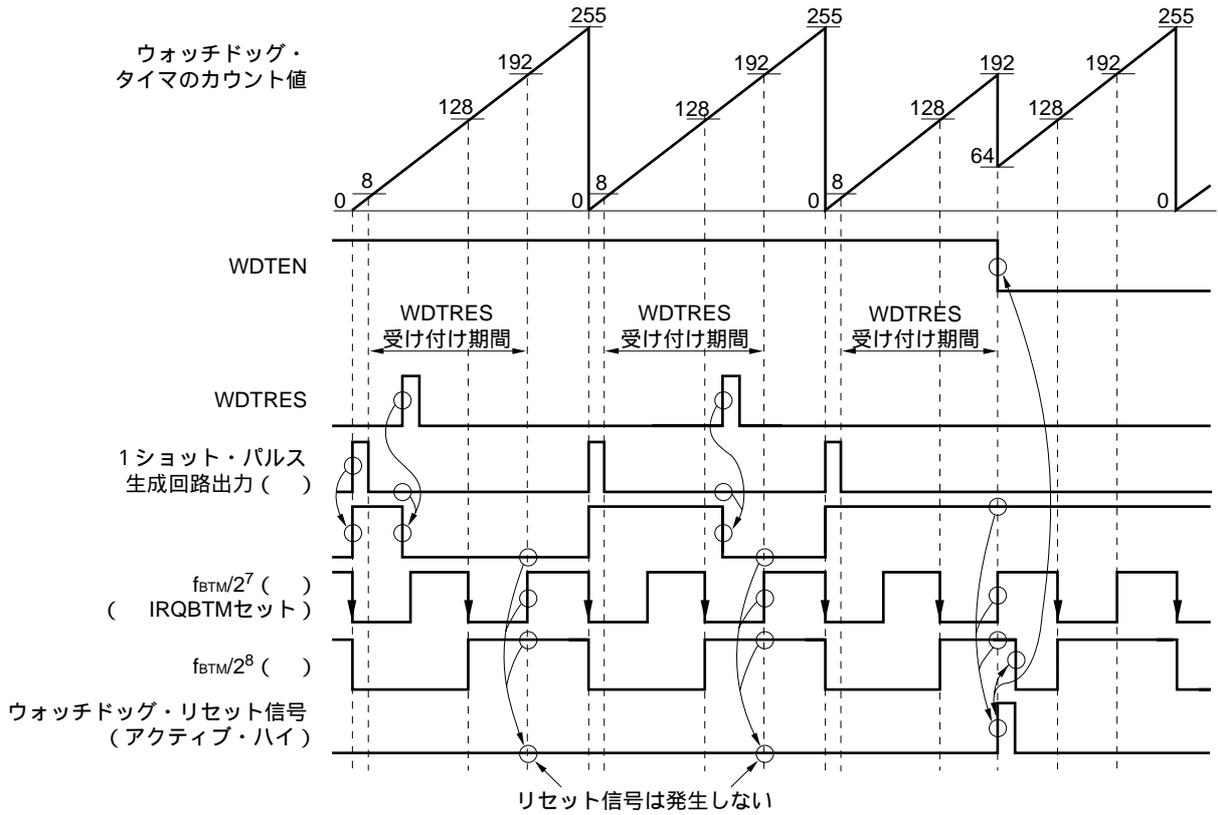
（2）の場合、ベーシック・インターバル・タイマ（BTM）が128カウントするまでの期間にBTMRESをセットする必要があります。したがって、BTMが128カウントする周期より短いタイミングで少なくとも1回は“SET1 BTMRES”が実行されるようにプログラムします。ただし、この方法ではBTMによる割り込み処理はできなくなります。

注意 WDTENをセットしてもBTMはリセットされません。したがって、最初にWDTENをセットする前に、必ずBTMRESをセットして、BTMをリセットするようにしてください。

例

```
      ∴  
SET1  BTMRES  
SET2  WDTEN, WDTRES  
      ∴
```

図13-4 ウォッチドッグ・タイマのタイミング・チャート (WDTRESフラグを使用した場合)



14 . A/Dコンバータ

μPD17149は、4チャンネルのアナログ入力 (P0C0/ADC0 - P0C3/ADC3) を持つ8ビット分解能のA/Dコンバータを内蔵しています。

A/Dコンバータは逐次比較法を採用しています。動作モードは、次の2つです。

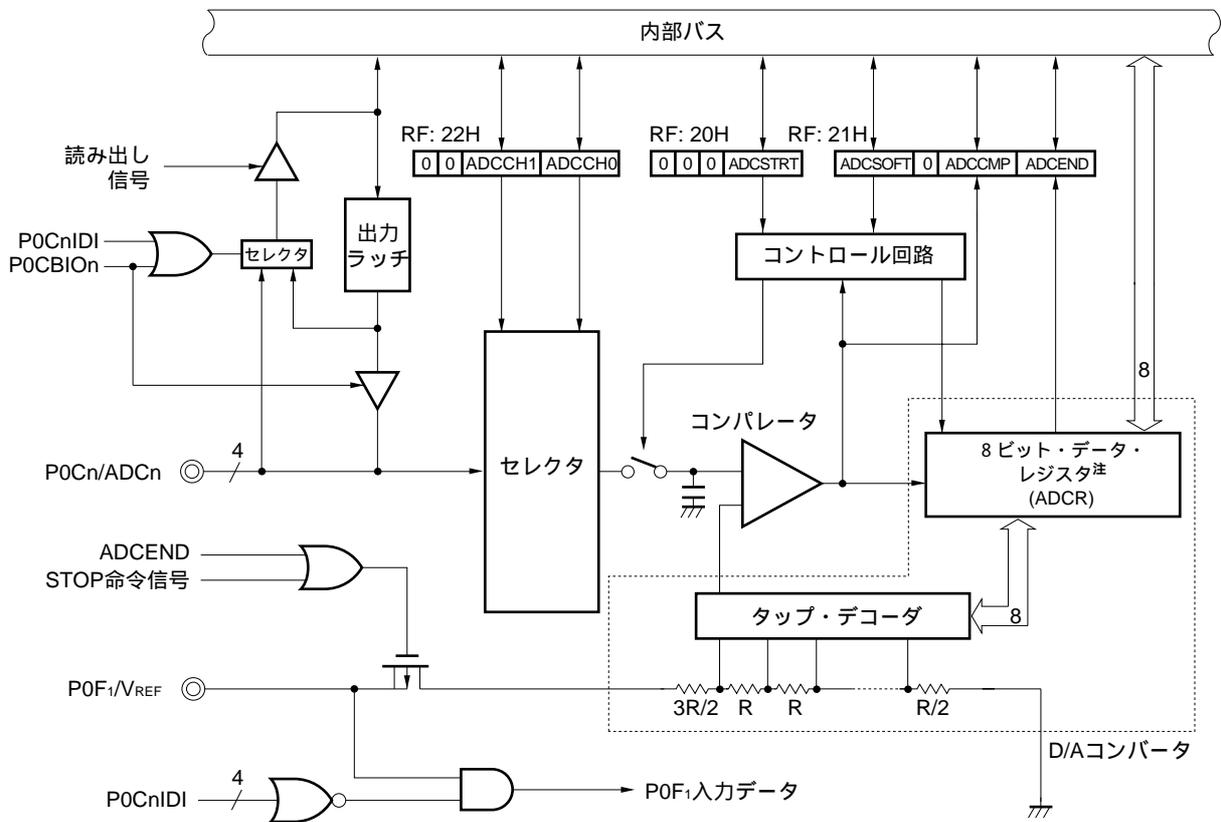
- 8ビットのA/D変換を上位ビットから順に行う連続モード
- 8ビット・データ・レジスタで設定した任意の電圧値と大小比較を行う単発モード

14.1 A/Dコンバータの構成

A/Dコンバータは、図14 - 1 に示すように構成されています。

図14 - 1 A/Dコンバータのブロック図

備考 n = 0 - 3



注 STOP命令実行時、8ビット・データ・レジスタ (ADCR) は、00Hにクリアされます。

14.2 A/Dコンバータの機能

(1) ADC₀ - ADC₃端子

A/Dコンバータへの4チャンネルのアナログ電圧の入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ内部にはサンプル・ホールド回路が内蔵されており、A/D変換中のアナログ入力電圧は内部で保持されています。

(2) V_{REF}端子

A/Dコンバータの基準電圧を入力する端子です。

V_{REF} - GND間にかかる電圧に基づいて、ADC₀ - ADC₃に入力される信号をデジタル信号に変換します。なお、 μ PD17149のA/Dコンバータは、消費電流を抑えるため、A/Dコンバータが動作していないときは、自動的にV_{REF}端子に流れ込む電流を止める機能が内蔵されています。V_{REF}端子に電流が流れるときは、次の場合です。

連続モード (ADCSOFT = 0) のとき

ADCSTRTフラグがセット (1) されてからADCENDフラグがセット (1) されるまでの間

単発モード (ADCSOFT = 1) のとき

ADCSTRTフラグがセット (1) または8ビット・データ・レジスタの値が書き込まれてからコンパレータの比較結果がADCCMPフラグに書き込まれるまでの間

備考1 . A/D変換中にHALT命令が実行されると、A/Dコンバータは連続モードではADCENDフラグがセットされるまで、また単発モードではADCCMPフラグに結果が格納されるまで動作しています。したがって、V_{REF}端子にも上記の期間、電流が流れています。

2 . A/D変換中にSTOP命令が実行されると変換を中断します。また、A/Dコンバータは初期状態にイニシャライズされ、V_{REF}端子の電流もカットされます。なおSTOPモードが解除されても、A/Dコンバータは停止したままです。

(3) 8ビット・データ・レジスタ (ADCR)

連続モード時、逐次比較のA/D変換の結果を格納する8ビットのレジスタです。GET命令により読み出します。単発モード時、8ビット・データ・レジスタの内容が内部のD/Aコンバータでアナログ電圧に変換され、コンパレータがADC_n端子から入力されたアナログ信号と大小比較を行うのに使います。PUT命令により値を書き込むことができます。

(4) コンパレータ

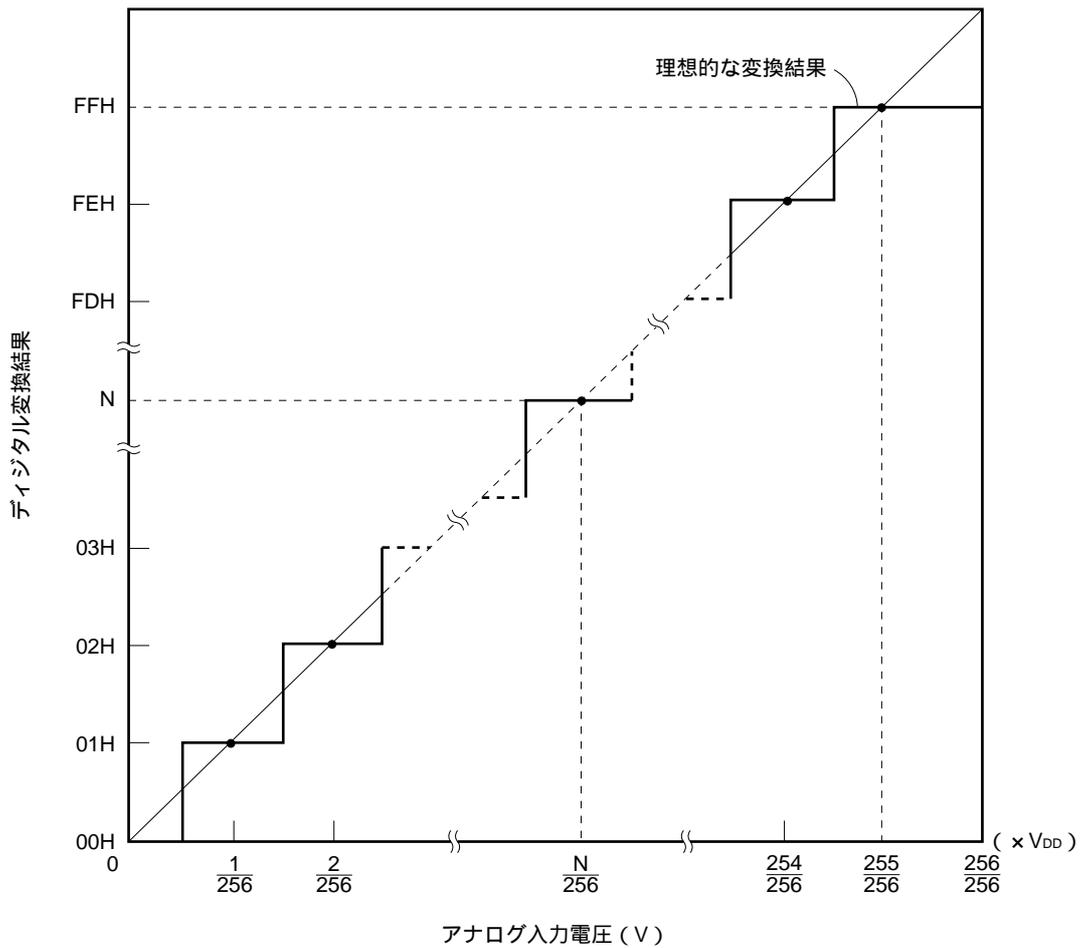
コンパレータは、アナログ入力電圧と、D/Aコンバータから出力された電圧を比較します。アナログ入力電圧が高ければ“1”を、低ければ“0”を出力します。比較結果は、連続モード時は8ビット・データ・レジスタ (ADCR) に、単発モード時はADCCMPフラグに格納されます。

14.3 A/Dコンバータの動作

A/Dコンバータの動作はADCSOFTフラグの設定により、連続モードと単発モードの2種類のモードに切り替えることができます。

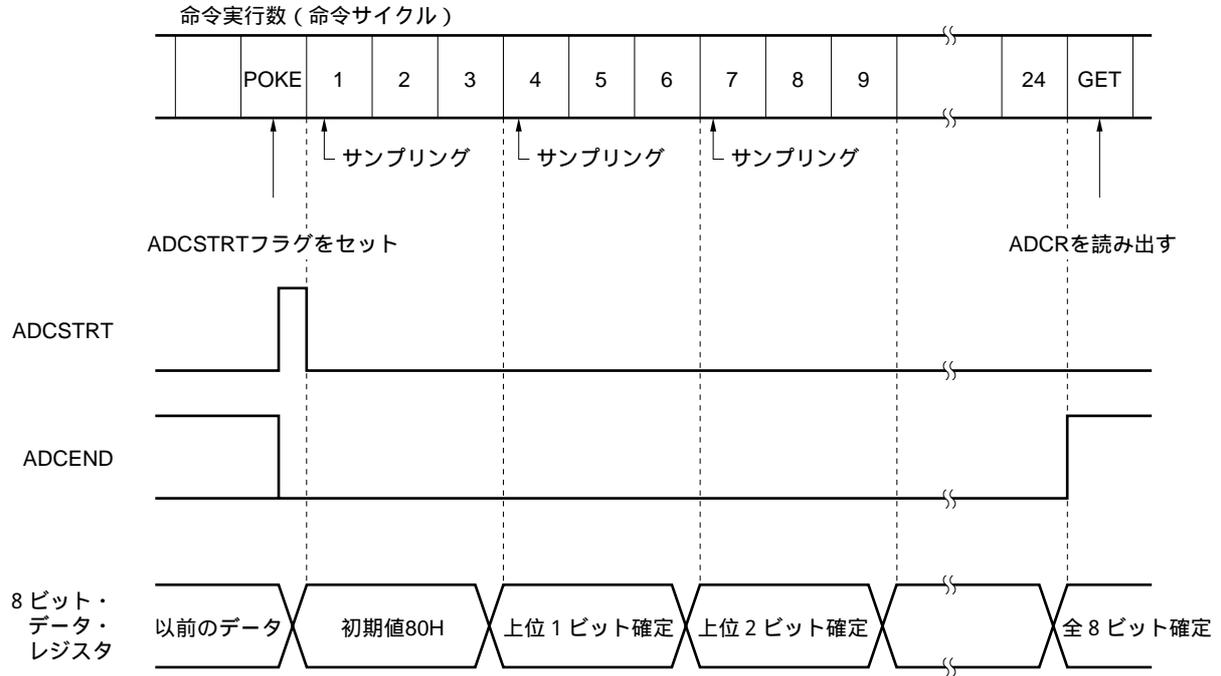
ADCSOFT	A/Dコンバータの動作モード
0	連続モード (A/D変換)
1	単発モード (コンペア動作)

図14 - 2 アナログ入力電圧とデジタル変換結果との関係



(1) 連続モード (A/D変換) のタイミング

図14 - 3 連続モード (A/D変換) のタイミング



注意 1回のA/D変換中に8回のサンプリングを行います。

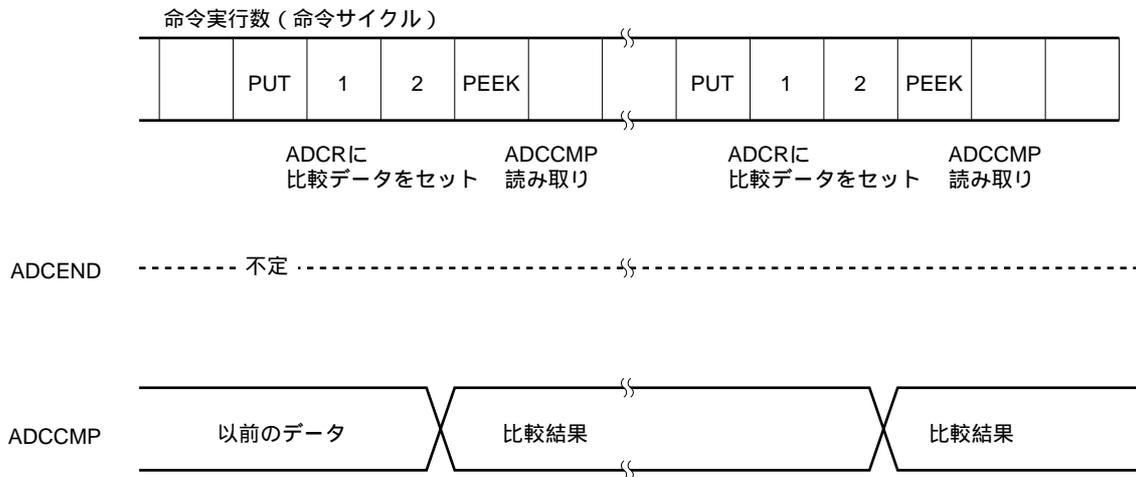
したがって、A/D変換中にアナログ入力電圧が大きく変化すると、正確なA/D変換が行われません。正確な変換結果を得るためには、A/D変換中のアナログ入力電圧の変化ができるだけ小さくなるようにする必要があります。

備考 1回のサンプリング時間 = $14/f_x$ ($1.75\mu s$, $f_x = 8\text{ MHz}$ 時)

サンプリングの繰り返し周期 = $48/f_x$ ($6\mu s$, $f_x = 8\text{ MHz}$ 時)

(2) 単発モード (コンペア動作) のタイミング

図14 - 4 単発モード (コンペア動作) のタイミング



比較結果はADCRに比較データをセット (PUT命令の実行) 後, 3 命令サイクル経過後に読み出すことができます。

- 注意** ADCRに値を設定する前に, 必ずADCSOFT = 1 にしておいてください。
 ADCSOFT = 0 の場合には, ADCRに値を設定できません。
 PUT ADCR, DBF命令は無効になります。

備考 サンプリング時間 = 14/fx (1.75 μs, fx = 8 MHz時)

15. シリアル・インタフェース (SIO)

μPD17149のシリアル・インタフェースは、8ビット・シフト・レジスタ (SIOSFR)、シリアル・モード・レジスタ、シリアル・クロック・カウンタで構成され、シリアル・データの入出力に使用します。

15.1 シリアル・インタフェースの機能

シリアル・クロック入力端子 ($\overline{\text{SCK}}$)、シリアル・データ出力端子 (SO)、シリアル・データ入力端子 (SI) の3線式で、クロック同期の8ビット送受信動作が可能なシリアル・インタフェースです。μPD7500シリーズや75Xシリーズで用いられている方式とコンパチブルなモードで各種周辺I/Oデバイスと接続が可能です。

(1) シリアル・クロック

内部クロック3種類、外部クロック1種類の合計4種類選択することができます。シリアル・クロックに内部クロックを選択した場合には、P0D₀/ $\overline{\text{SCK}}$ 端子にそのクロックを自動的に出力します。

表15 - 1 シリアル・クロック一覧

SIOCK1	SIOCK0	選択されるシリアル・クロック
0	0	SCK端子からの外部クロック
0	1	f _x /16
1	0	f _x /128
1	1	f _x /1024

(2) 転送動作

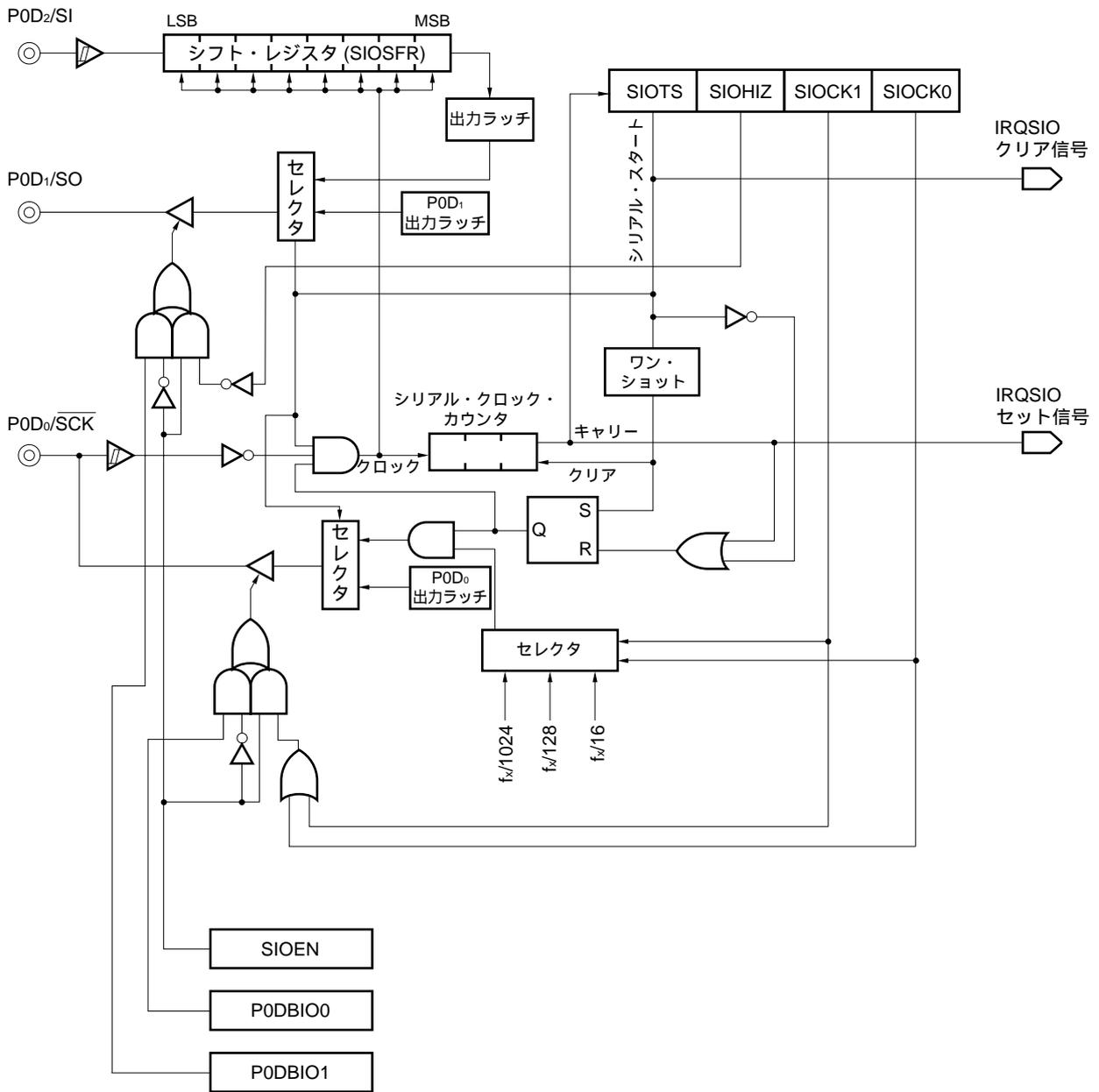
SIOENをセット(1)することにより、ポート0D (P0D₀/ $\overline{\text{SCK}}$, P0D₁/SO, P0D₂/SI)の各端子は、シリアル・インタフェース用の端子として機能します。このとき、SIOTSをセット(1)すれば、外部クロックまたは内部クロックの立ち下がりに同期して動作を開始します。なお、SIOTSをセットすると、IRQSIOは自動的にクリアされます。

シリアル・クロックの立ち下がりに同期して、シフト・レジスタの最上位ビットから転送を開始し、シフト・クロックの立ち上がりに同期してSI端子の情報を最下位ビットからシフト・レジスタに格納します。

8ビットのデータ転送が終了すれば、自動的にSIOTSはクリアされ、IRQSIOがセットされます。

備考 シリアル転送を行う際、シフト・レジスタの内容の最上位ビットからのみ、転送を開始します。最下位ビットからの転送は行えません。シリアル・クロックの立ち上がりに同期して、常にSI端子の状態はシフト・レジスタに取り込まれます。

図15 - 1 シリアル・インタフェースのブロック図



注意 シフト・レジスタの出力ラッチは、P0D1の出力ラッチと独立しています。したがって、P0D1に対して出力命令を実行しても、シフト・レジスタの出力ラッチの状態は変化しません。シフト・レジスタの出力ラッチは、 $\overline{\text{RESET}}$ 入力により “0” にクリアされ、そのあとは前回の転送データのLSBの状態を保持しています。

15.2 3線式シリアル・インタフェースの動作モード

シリアル・インタフェースは、2つのモードを選択することができます。シリアル・インタフェース機能を選択した場合、シリアル・クロックに同期して、P0D₂/SI端子は常にデータを取り込みます。

- ・ 8ビット送受信モード（同時送受信）
- ・ 8ビット受信モード（SO端子出力ハイ・インピーダンス）

表15 - 2 シリアル・インタフェースの動作モード

SIOEN	SIOHIZ	P0D ₀ /SI端子	P0D ₁ /SO端子	シリアル・インタフェース動作モード
1	0	SI	SO	8ビット送受信モード
1	1	SI	P0D ₁ （入力）	8ビット受信モード
0	x	P0D ₀ （入出力）	P0D ₁ （入出力）	汎用ポート・モード

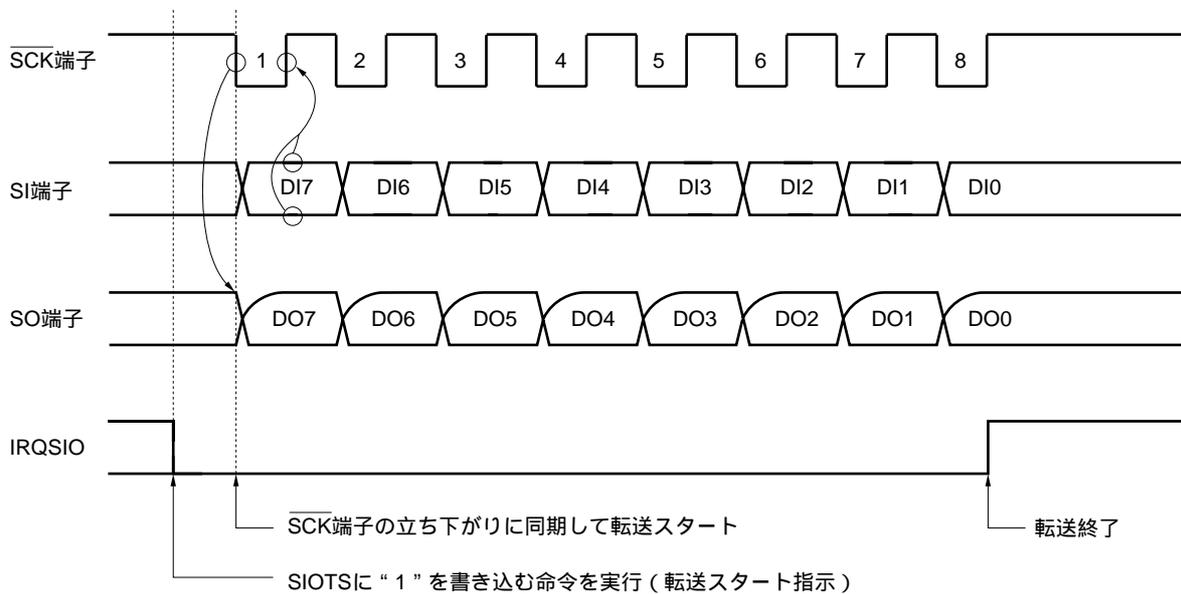
x : Don't care

(1) 8ビット送受信モード（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック（ \overline{SCK} ）の立ち下がりでシフト・レジスタのMSBがSOラインに出力され、立ち上がりでシフト・レジスタの内容が1ビット・シフトされると同時に、SIライン上のデータがシフト・レジスタのLSBにロードされます。

シリアル・クロック・カウンタ（3ビット・カウンタ）はシリアル・クロックを8カウントするごとに割り込み要求フラグをセットします（IRQSIO = 1）。

図15 - 2 8ビット送受信モード（同時送受信）のタイミング



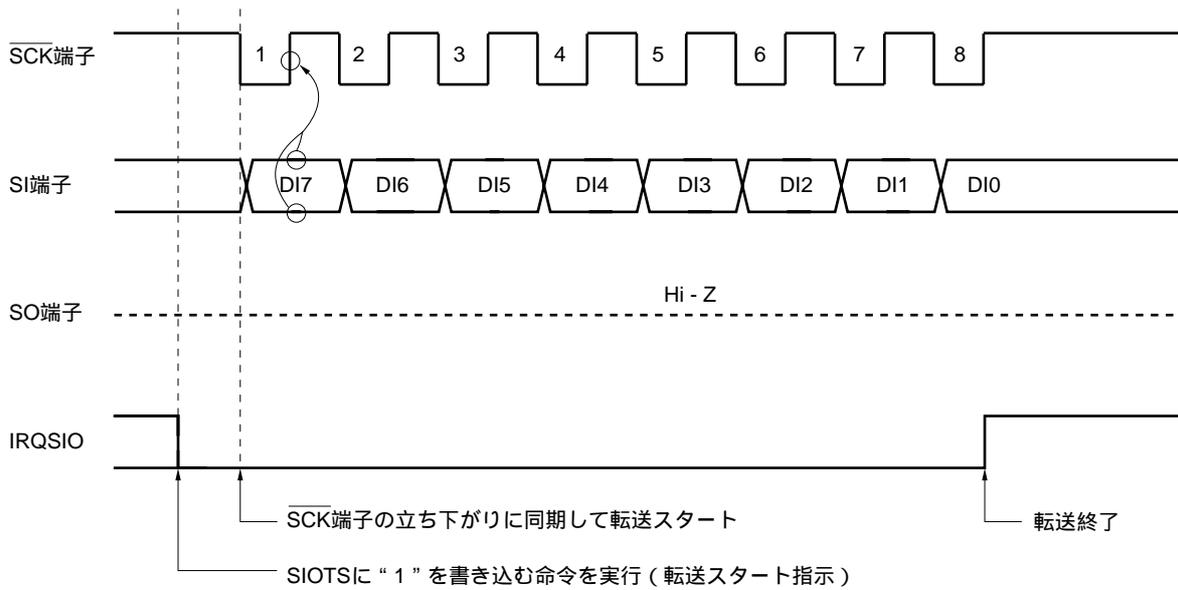
備考 DI : シリアル・データの入力
DO : シリアル・データの出力

(2) 8ビット受信モード (SO端子: ハイ・インピーダンス状態)

SIOHIZ = 1のとき, P0D₁/SO端子はハイ・インピーダンス状態になります。このときSIOTSに“1”を書き込んでシリアル・クロックの供給を開始すると, シリアル・インターフェースは受信機能だけが動作します。

また, P0D₁/SO端子はハイ・インピーダンス状態になっていますので, 入力ポート (P0D₁) として使用することができます。

図15 - 3 8ビット受信モードのタイミング



備考 DI: シリアル・データの入力

(3) 動作停止モード

SIOTS (RF: 02H番地, ビット3) の値が0のときは, シリアル・インタフェースは動作停止モードに設定されます。このモードではシリアル転送は行われません。

この動作ではシフト・レジスタはシフト動作を行いませんので, 通常の8ビット・レジスタとして利用可能です。

16. 割り込み機能

μPD17149には、5種類の割り込み要因があります。4つの内部割り込み機能と1つの外部割り込み機能があり、多彩な応用が可能です。

また、この製品の割り込み制御回路には次のような特色があり、非常に高速な割り込み処理が可能となります。

- (a) 割り込みマスタ許可フラグ (INTE) と割り込み許可フラグ (IP × × ×) により受け付けの可否を制御可能
- (b) 割り込み要求フラグ (IRQ × × ×) のテスト&クリア可能 (ソフトウェアで割り込み発生の確認可能)
- (c) 3レベルまでの多重割り込みが可能
- (d) 割り込み要求によるスタンバイ・モード (STOP, HALT) の解除可能 (割り込み許可フラグによる解除条件の選択可能)

注意 割り込み処理において、ハードウェアにより自動的にスタックに退避されるのは、BCD, CMP, CY, Z, IXEの各フラグのみで、最大3レベルまでです。また、割り込み処理の内容において、周辺ハードウェア (タイマ, A/Dコンバータなど) をアクセスする場合には、DBF, WRの内容はハードウェアでは退避されません。したがって、割り込み処理の最初にDBFおよびWRをソフトウェアによりRAM上に退避し、割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

16.1 割り込み要因の種類とベクタ・アドレス

この製品の割り込みはすべて、割り込みが受け付けられると、割り込み要因に対応するベクタ・アドレスへ分岐するベクタ割り込み方式となっています。割り込み要因の種類とベクタ・アドレスは、表16 - 1のようになっています。

なお、複数の割り込み要求が同時に発生した場合や、保留された複数の割り込み要求が一斉に許可された場合は、表16 - 1の優先順位に従い、処理します。

表16 - 1 割り込み要因の種類

割り込み要因	優先順位	ベクタ・アドレス	IRQフラグ	IPフラグ	IEGフラグ	内部/外部	備考
INT端子 (RF : 0FH, ビット0)	1	0005H	IRQ RF : 3FH, ビット0	IP RF : 2FH, ビット0	IEGMD0,1 RF : 1FH	外部	立ち上がり, 立ち下がり, 両エッジ選択可能
タイマ0	2	0004H	IRQTM0 RF : 3EH, ビット0	IPTM0 RF : 2FH, ビット1	-	内部	
タイマ1	3	0003H	IRQTM1 RF : 3DH, ビット0	IPTM1 RF : 2FH, ビット2	-	内部	
ベーシック・インターバル・タイマ	4	0002H	IRQBTM RF : 3CH, ビット0	IPBTM RF : 2FH, ビット3	-	内部	
シリアル・インタフェース	5	0001H	IRQSIO RF : 3BH, ビット0	IPSIO RF : 2EH, ビット0	-	内部	

16.2 割り込み制御回路の各種ハードウェア

次に、割り込み制御回路の各フラグについて説明します。

(1) 割り込み要求フラグ、割り込み許可フラグ

割り込み要求フラグ (IRQ × × ×) は、割り込み要求発生でセット (1) され、割り込み処理が実行されると自動的にクリア (0) されます。

割り込み許可フラグ (IP × × ×) は、各割り込み要求フラグに対応して個別に備わっており、内容が “ 1 ” のとき割り込みを許可し、“ 0 ” のとき禁止します。

(2) EI/DI命令

受け付けた割り込みを実行するかどうかは、EI/DI命令によって指定します。

EI命令を実行すると、割り込みを受け付け可能とするINTE (インタラプト・イネーブル・フラグ) をセット (1) します。INTEフラグは、レジスタ・ファイル上には登録されていません。このため、命令等により、フラグの状態を確認することはできません。

DI命令はINTEフラグを “ 0 ” にクリアして、すべての割り込みを禁止します。

また、リセット時にもINTEフラグはクリア (0) され、すべての割り込みは禁止状態になります。

表16 - 2 割り込み要求フラグと割り込み許可フラグ

割り込み 要求フラグ	割り込み要求フラグのセット信号	割り込み 許可フラグ
IRQ	INT端子入力信号のエッジ検出によりセット。検出エッジは IEGMD0, IEGMD1フラグにより選択。	IP
IRQTM0	タイマ0からの一致信号でセット。	IPTM0
IRQTM1	タイマ1からの一致信号でセット。	IPTM1
IRQBTM	ベーシック・インターバル・タイマからのオーバーフロー (基準時間間隔信号) でセット。	IPBTM
IRQSIO	シリアル・インタフェースのシリアル・データ転送動作終了信号によりセット。	IPSIO

17. スタンバイ機能

17.1 スタンバイ機能の概要

μPD17149は、スタンバイ機能を利用することにより、消費電流を低減できます。スタンバイ・モードには用途に応じて、STOPモードとHALTモードが用意されています。

STOPモードは、システム・クロックを停止させてしまうモードです。このモードではCPUの消費電流は、ほとんどリーク電流だけとなります。したがって、CPUを動作させず、データ・メモリの内容保持を行う場合に有効です。

HALTモードはシステム・クロックの発振は継続しますが、CPUに対してクロックの供給が停止されるため、CPUの動作が停止するモードです。このモードは、STOPモードに比べて消費電流は低減できませんが、システム・クロックが発振しているため、HALT解除後にすぐ動作を開始させることができます。また、STOPモード、HALTモードどちらの場合でも、スタンバイ・モードに設定される直前のデータ・メモリ、レジスタ、出力ポートの出力ラッチなどの状態が保持されます（STOP 0000Bを除く）。したがって、スタンバイ・モードにする前にシステム全体の消費電流を抑えるように、ポートの状態を設定してください。

表17 - 1 スタンバイ・モード中の状態

		STOPモード	HALTモード
設定命令		STOP命令	HALT命令
クロック発振回路		発振停止	発振継続
動作状態	CPU	・動作停止	
	RAM	・直前の状態を維持	
	ポート	・直前の状態を維持 ^注	
	TM0	・カウント・クロックにINT 入力を選択した場合のみ動作可能 ・システム・クロックを選択した場合は停止（カウント値は保持）	・動作可能
	TM1	・動作停止（カウント値は“ 0 ” にリセット） （カウント・アップも禁止状態）	・動作可能
	BTM	・動作停止（カウント値は保持）	・動作可能
	SIO	・シフト・クロックに外部クロックを選択した場合のみ動作可能 ^注	・動作可能
	A/D	・動作停止 ^注 （ADCR 00H）	・動作可能
	INT	・動作可能	・動作可能

注 STOP 0000Bを実行した場合には命令実行時点で、兼用端子機能で使用している場合も含めて、端子の状態は入力ポート・モードになります。

注意 1 . STOP命令, HALT命令の直前には、必ずNOP 命令を置いてください。

2 . 割り込み要求フラグと割り込み許可フラグの両方がセットされており、その割り込みがスタンバイ・モードの解除条件に指定されている場合は、STOP, HALT命令を実行してもスタンバイ・モードには入りません。

17.2 HALTモード

17.2.1 HALTモードの設定

HALT命令を実行することにより、HALTモードに入ります。

HALT命令のオペランドb₃b₂b₁b₀は、HALTモードの解除条件です。

表17 - 2 HALTモードの解除条件

書式：HALT b₃b₂b₁b₀B

ビット	HALTモードの解除条件 注1
b ₃	1 のとき IRQ _{x x x} による解除を許可する。注2, 4
b ₂	“ 0 固定 ”
b ₁	1 のとき IRQTM1 による強制解除を許可する。注3, 4
b ₀	1 のとき \overline{RLS} 入力による解除を許可する。注4

注1．HALT 0000Bのときは、リセット（ \overline{RESET} 入力、POC）だけが有効です。

2．IP_{x x x}=1 である必要があります。

3．IPTM1の状態によらず、HALTモードが解除されます。

4．IRQ_{x x x}=1 の状態、または \overline{RLS} 入力がロウ・レベルの状態で、HALT命令が実行されても、HALT命令は無視（NOP命令扱い）され、HALTモードには入りません。

17.2.2 HALTモード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表17 - 3 HALTモード解除後のスタート番地

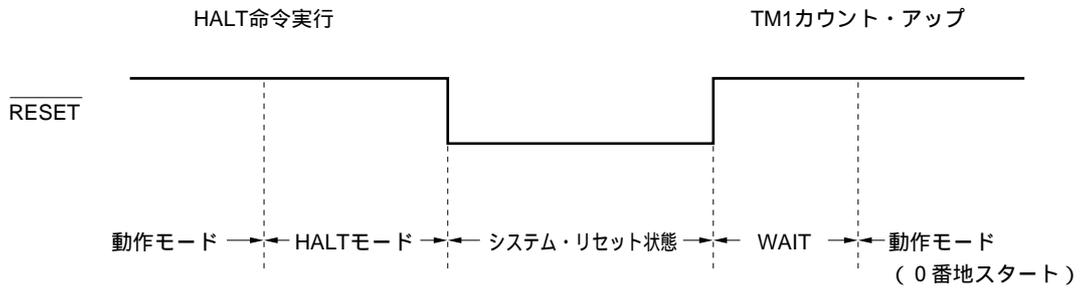
解除条件	解除後のスタート番地
リセット注1	0 番地
\overline{RLS}	HALT命令の次の番地
IRQ _{x x x} 注2	DIの場合、HALT命令の次の番地
	EIの場合、割り込みベクタ (複数のIRQ _{x x x} がセットされている場合には、優先順位の高い割り込みベクタ)

注1．リセットは \overline{RESET} 入力、POCが有効です。

2．IRQTM1による強制解除の場合を除き、IP_{x x x}=1 である必要があります。

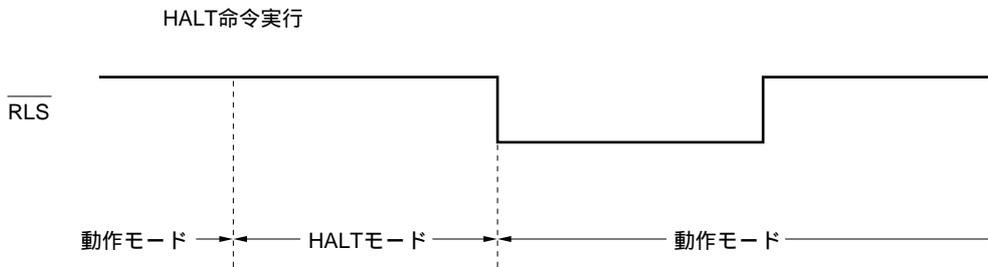
図17 - 1 HALTモードの解除

(a) $\overline{\text{RESET}}$ 入力によるHALT解除

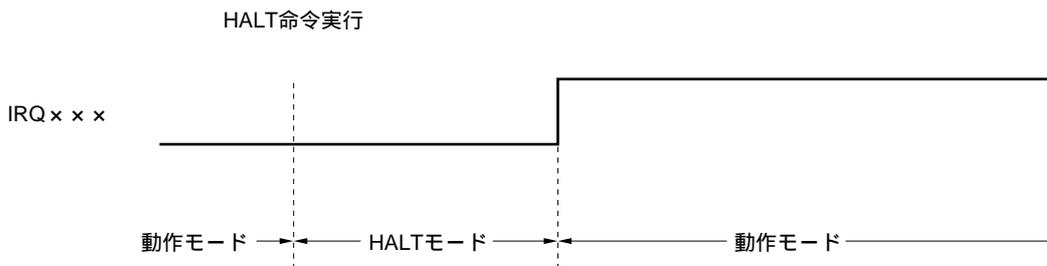


WAIT : TM1が128分周のクロックを256カウントするまでの待ち時間です。
 $256 \times 128 / f_x$ ($f_x = \text{約}4 \text{ ms}, 8 \text{ MHz時}$)

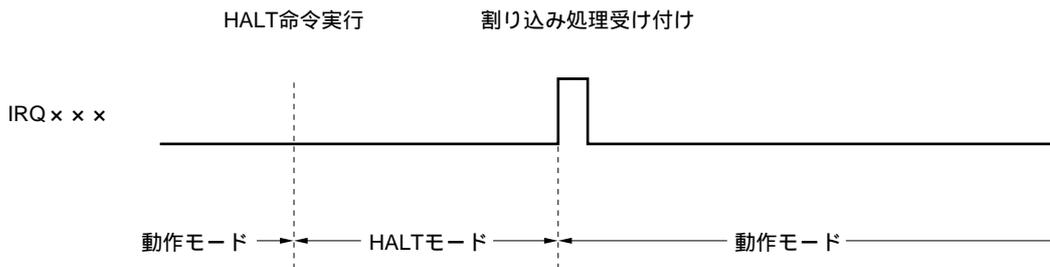
(b) $\overline{\text{RLS}}$ によるHALT解除



(c) $\text{IRQ} \times \times \times$ によるHALT解除 (DIの場合)



(d) $\text{IRQ} \times \times \times$ によるHALT解除 (EIの場合)



17.3 STOPモード

17.3.1 STOPモードの設定

STOP命令を実行することにより、STOPモードに入ります。

STOP命令のオペランド $b_3b_2b_1b_0$ は、STOPモードの解除条件です。

表17 - 4 STOPモードの解除条件

書式：STOP $b_3b_2b_1b_0B$

ビット	STOPモードの解除条件 注1
b_3	1 のとき IRQ_{xxx} による解除を許可する。注2, 4
b_2	“ 0 固定 ”
b_1	“ 0 固定 ”
b_0	1 のとき \overline{RLS} 入力による解除を許可する。注3, 4

注1．STOP 0000Bのときは、リセット (\overline{RESET} 入力, POC) だけが有効です。また、STOP 0000Bを実行した時点でマイコン内部はリセット直後の状態に初期化されます。

- 2． $IP_{xxx}=1$ である必要があります。また、 IRQ_{TM1} による解除はできません。
- 3． b_0 は単独でセット (1) できません (STOP 0001Bは使用禁止)。
 b_0 をセット (1) する場合には、必ず b_3 もセット (1) してください。
- 4． $IRQ_{xxx}=1$ の状態、または \overline{RLS} 入力が入力レベルの状態、STOP命令が実行されても、STOP命令は無視 (NOP命令扱い) され、STOPモードには入りません。

17.3.2 STOPモード解除後のスタート番地

解除条件、割り込み許可条件によって変わります。

表17 - 5 STOPモード解除後のスタート番地

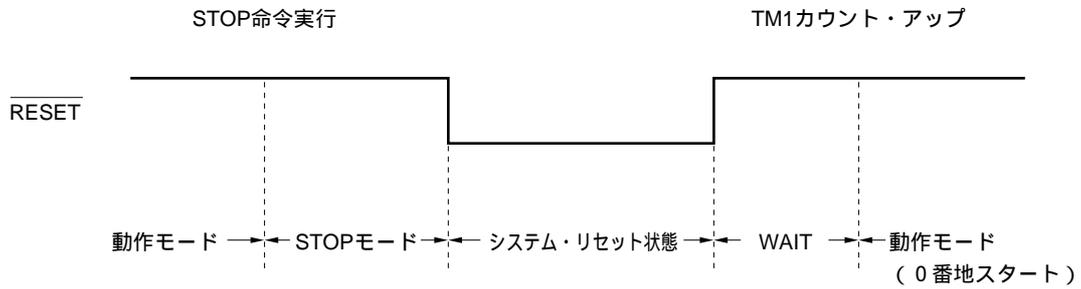
解除条件	解除後のスタート番地
リセット注1	0 番地
\overline{RLS}	STOP命令の次の番地
IRQ_{xxx} 注2	DIの場合、STOP命令の次の番地
	EIの場合、割り込みベクタ (複数の IRQ_{xxx} がセットされている場合には、優先順位の高い割り込みベクタ)

注1．リセットは \overline{RESET} 入力, POCが有効です。

- 2． $IP_{xxx}=1$ である必要があります。また、 IRQ_{TM1} による解除はできません。

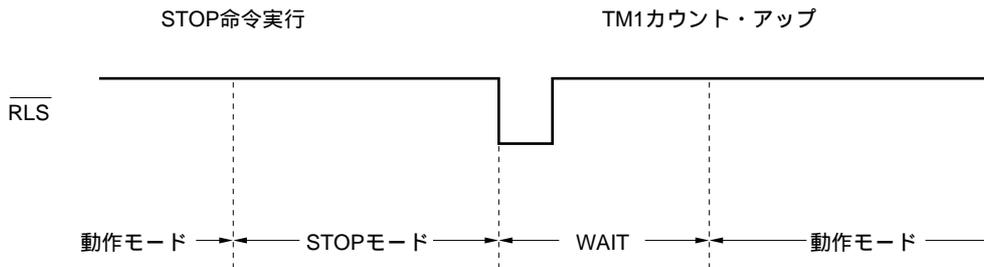
図17 - 2 STOPモードの解除 (1/2)

(a) $\overline{\text{RESET}}$ 入力によるSTOP解除



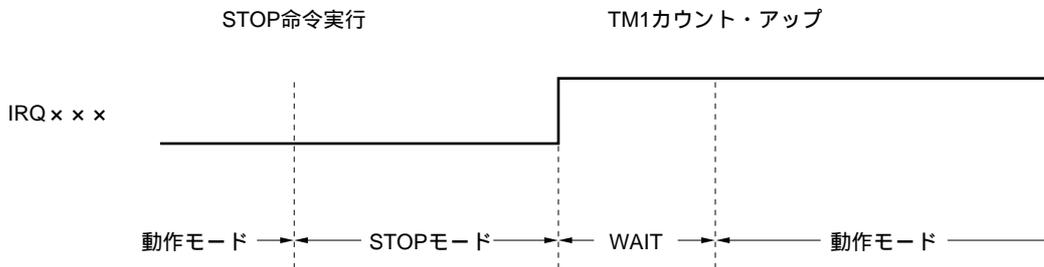
WAIT : TM1が128分周のクロックを256カウントするまでの待ち時間です。
 $256 \times 128 / f_x +$ (約4 ms + , $f_x = 8 \text{ MHz}$ 時)
 : 発振成長時間 (発振子により異なります。)

(b) $\overline{\text{RLS}}$ によるSTOP解除



WAIT : TM1がm分周のクロックをn+1カウントするまでの待ち時間
 $(n+1) \times m / f_x +$ (n, mは, STOPモードに入る直前の値)
 : 発振成長時間 (発振子により異なります。)

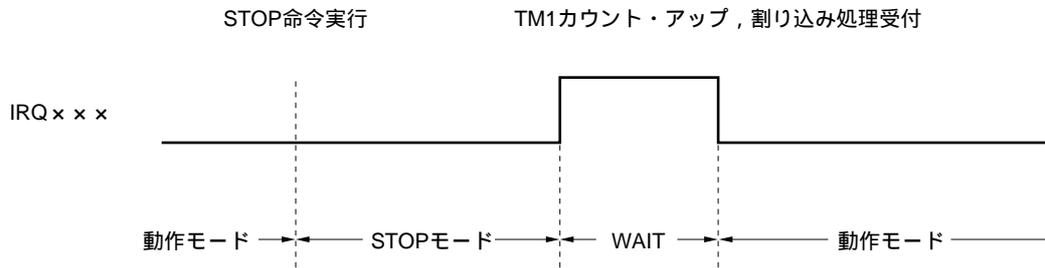
(c) $\overline{\text{IRQ}} \times \times \times$ によるSTOP解除 (DIの場合)



WAIT : TM1がm分周のクロックをn+1カウントするまでの待ち時間
 $(n+1) \times m / f_x +$ (n, mは, STOPモードに入る直前の値)
 : 発振成長時間 (発振子により異なります。)

図17 - 2 STOPモードの解除 (2/2)

(d) IRQ x x x によるSTOP解除 (EIの場合)



WAIT : TM1がm分周のクロックをn+1カウントするまでの待ち時間
 $(n+1) \times m/f_x +$ (n, mは, STOPモードに入る直前の値)
 : 発振成長時間 (発振子により異なります。)

18. リセット

μPD17149のリセットにはRESET 入力のほかに、電源電圧の低下を検出する内蔵POC回路によるリセット、プログラムの暴走時にリセットするためのウォッチドッグ・タイマ機能、およびアドレス・スタックのオーバフロー/アンダフローによるリセットがあります。ただし、内蔵POC回路はマスク・オプションです。

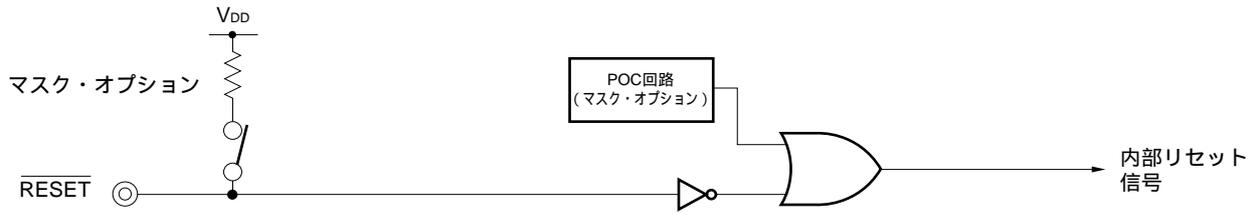
18.1 リセット機能

リセット機能は、デバイス動作の初期化を行うために使用します。なお、リセットの種類により、初期化される内容が異なります。

表18 - 1 リセット時の各ハードウェアの状態

リセットの種類		・動作中のRESET入力 ・動作中の内蔵パワーオン /パワーダウン・リセット	・スタンバイ・モード中の RESET入力 ・スタンバイ・モード中の 内蔵パワーオン/パワー ダウン・リセット	・ウォッチドッグ・タイマ のオーバフロー ・スタックのオーバフロー およびアンダフロー
ハードウェア				
プログラム・カウンタ		0000H	0000H	0000H
ポート	入出力モード	入力	入力	入力
	出力ラッチ	0	0	不定
汎用データ・メモリ	DBF以外	不定	リセット直前の状態を保持	不定
	DBF	不定	不定	不定
システム・レジスタ	WR以外	0	0	0
	WR	不定	リセット直前の状態を保持	不定
コントロール・レジスタ		SP = 5H, IRQTM1 = 1, TM1EN = 1, IRQBTM = 0, INTはそのときのINT端子の状態, それ以外はすべて0。 8 . レジスタ・ファイル (RF) 参照。		SP = 5H, INTはそのときのINT端子の状態, それ以外はすべてリセット直前の状態を保持。
タイマ0 , および タイマ1	カウント・レジスタ	00H	00H	タイマ0 : 00H , タイマ1 : 不定
	モジュロ・レジスタ	FFH	FFH	FFH
ベーシック・インターバル・タイマの カウンタ		不定	不定	不定 (ただし,ウォッチドッグ・ タイマのオーバフロー の場合は40H)
シリアル・インタフェースのシフト・ レジスタ (SIOFDR)		不定	リセット直前の状態を保持	不定
A/Dコンバータのデータ・レジスタ (ADCR)		00H	00H	00H

図18 - 1 リセット・ブロックの構成



18.2 リセット動作

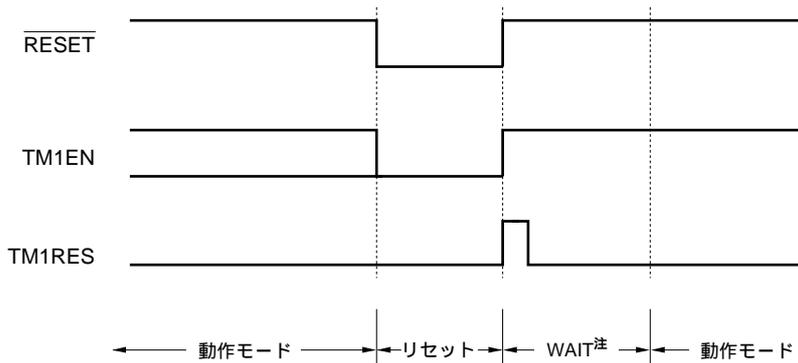
RESET 入力によりリセットをかけたときの動作を図18 - 2 に示します。

RESET 端子をロウ・レベルからハイ・レベルに立ち上げると、システム・クロックの発振を開始し、タイマ1を用いた発振安定待ちをしたのち、0000H番地よりプログラムの実行を開始します。

以上の動作は、POC回路によりシステム・リセットがかかった場合も同様です。

なお、ウォッチドッグ・タイマのオーバーフローおよびスタックのオーバーフローとアンダフローによるリセットでは発振安定待ち時間 (WAIT) は発生せず、内部を初期状態にしたのち、0000H番地スタートとなります。

図18 - 2 リセット動作



注 発振安定待ち時間です。タイマ1によりシステム・クロックを128 × 256カウント (約2048命令実行時間：約4 ms, 8 MHz時) すると動作モードとなります。

19. POC回路 (マスク・オプション)

POC回路は、電源電圧を監視して、電源のON/OFF時などにマイコン内部にリセットをかけます。クロック周波数が $f_x = 400 \text{ kHz} \sim 4 \text{ MHz}$ の応用回路で利用できます。

μ PD17149は、POC回路をマスク・オプションによって内蔵できます。

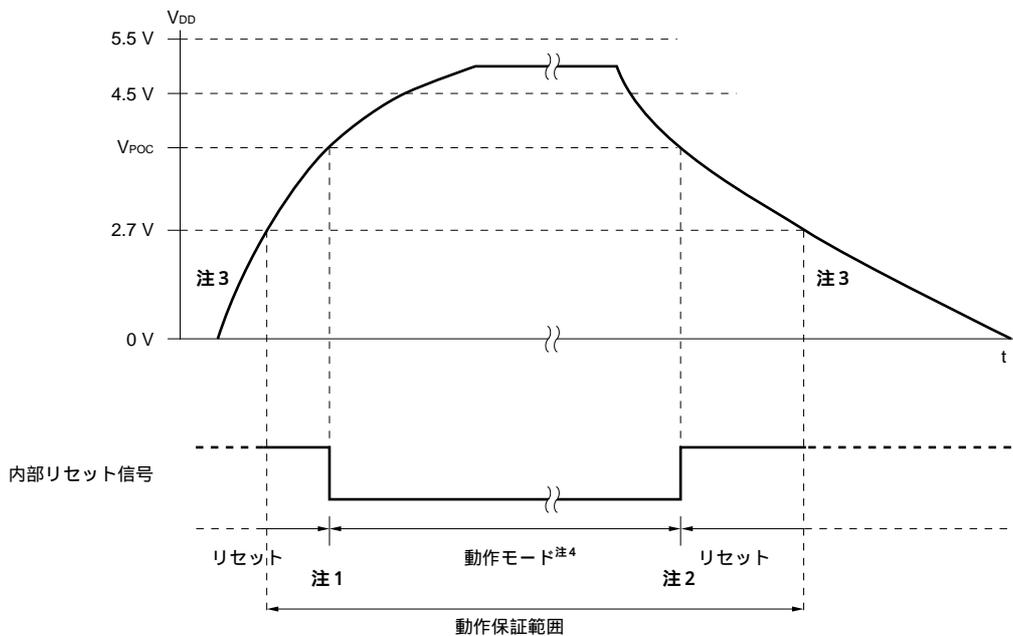
注意 PROM製品 (μ PD17P149) には内蔵されていません。

19.1 POC回路の機能

次の機能があります。

- ・ $V_{DD} < V_{POC}$ のとき、内部リセット信号を発生する。
 - ・ $V_{DD} > V_{POC}$ のとき、内部リセット信号を解除する。
- (ただし、 V_{DD} : 電源電圧, V_{POC} : POC検出電圧)

図19 - 1 POC回路の動作



- 注1** . 実際には、動作モードに移るまでにタイマ1による発振安定待ち時間があります。発振安定待ち時間は、約2048命令実行時間 (約8 ms, $f_x = 4 \text{ MHz}$ 時) です。
- 注2** . 電源電圧が低下したとき再びリセットがかかるためには、 V_{POC} 以下に電圧が下がった状態が、リセット検出パルス幅 t_{SAMP} 以上の期間保たれる必要があります。
したがって、実際にはリセットがかかるまで、最大 t_{SAMP} の時間遅れがあります。
- 注3** . 電源電圧 $V_{DD} = 2.7 \text{ V}$ 未満の領域では、 μ PD17149のすべての動作は保証されていません。
しかしながら、POC回路は発振の有無に関係なく、可能な限り内部リセット信号を発生するように設計されています。したがって、内部回路が動作可能な電圧に達した時点から内部リセットがかかります。
- 注4** . 動作モード中であっても、電源電圧が急に上がった (3 V/ms 以上) 場合、プログラムの暴走を防ぐため、POC回路が内部リセット信号を発生することがあります。

備考 V_{POC} , t_{SAMP} の値については、22. 電気的特性を参照してください。

19.2 POC回路を使用するための条件

応用回路が、次の条件を満たすとき、POC回路を使用できます。

- 高度な信頼性を要求しない
- 電源電圧が $V_{DD} = 4.5 \sim 5.5 \text{ V}$
- システム・クロック周波数が $f_x = 400 \text{ kHz} \sim 4\text{MHz}$
- 電源電圧 (V_{DD}) の特性が、POC回路の規格を満足する

注意 1 . 高度な信頼性を要求する応用回路では、必ず外部から $\overline{\text{RESET}}$ 信号を入力するように設計してください。

2 . POC回路を使用すると、スタンバイ・モード時の電流が若干増加します。

備考 POC回路の機能は、 $V_{DD} = 2.7 \sim 5.5 \text{ V}$ で動作保証されています。

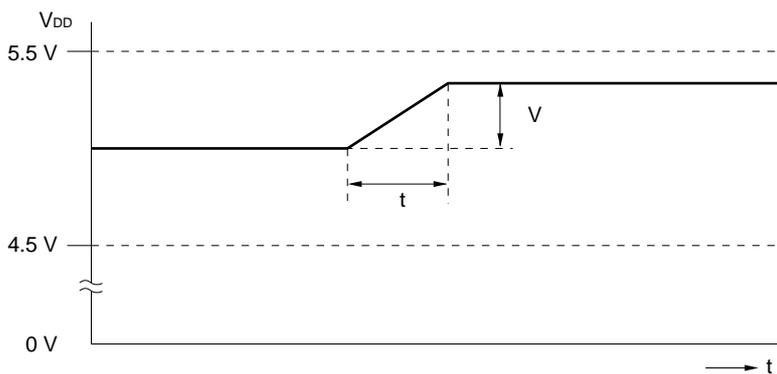
19.3 POC回路使用時の注意事項

POC回路はフェイルセーフを考慮して設計されています。したがって、電源電圧範囲 ($V_{DD} = 4.5 \sim 5.5 \text{ V}$) であっても、電源電圧の急激な変動があった場合に暴走する危険を回避するため、なるべくリセット信号を発生するという補助的な機能があります^注。

そのため電源電圧が次の条件を満たしていない場合にはPOC回路によりリセットがかかることがありますので注意してください。

- ・ 電源電圧の変動幅 (ΔV) が100 mV以内であること。
- ・ 電源電圧の変動幅が100 mVを超える場合には変動の傾斜 ($\Delta V / \Delta t$) が3 mV/ μs 以内であること。

図19 - 2 電源電圧の変動



注 確実なリセットが保証されているわけではありません。電源電圧の変動によるリセット機能はあくまでも補助的に用意された機能であるため、この機能を使って確実にリセットをかけるための条件はありません。したがって、この機能に期待した設計をしないでください。

20. 命令セット

20.1 命令セット概要

b14 - b11		b15		0		1	
		BIN	HEX				
0000	0	ADD	r, m	ADD	m, #n4		
0001	1	SUB	r, m	SUB	m, #n4		
0010	2	ADDC	r, m	ADDC	m, #n4		
0011	3	SUBC	r, m	SUBC	m, #n4		
0100	4	AND	r, m	AND	m, #n4		
0101	5	XOR	r, m	XOR	m, #n4		
0110	6	OR	r, m	OR	m, #n4		
0111	7	INC	AR				
		INC	IX				
		MOVT	DBF, @AR				
		BR	@AR				
		CALL	@AR				
		RET					
		RETSK					
		EI					
		DI					
		RETI					
		PUSH	AR				
		POP	AR				
		GET	DBF, p				
		PUT	p, DBF				
		PEEK	WR, rf				
POKE	rf, WR						
RORC	r						
STOP	s						
HALT	h						
NOP							
1000	8	LD	r, m	ST	m, r		
1001	9	SKE	m, #n4	SKGE	m, #n4		
1010	A	MOV	@r, m	MOV	m, @r		
1011	B	SKNE	m, #n4	SKLT	m, #n4		
1100	C	BR	addr (ページ0)	CALL	addr		
1101	D	BR	addr (ページ1)	MOV	m, #n4		
1110	E			SKT	m, #n		
1111	F			SKF	m, #n		

20.2 凡 例

AR	: アドレス・レジスタ
ASR	: スタック・ポインタで示されるアドレス・スタック・レジスタ
addr	: プログラム・メモリ・アドレス(下位11ビット)
BANK	: バンク・レジスタ
CMP	: コンペア・フラグ
CY	: キャリー・フラグ
DBF	: データ・バッファ
h	: ホールト解除条件
INTEF	: インタラプト・イネーブル・フラグ
INTR	: 割り込み時スタックに自動退避されるレジスタ
INTSK	: 割り込みスタック・レジスタ
IX	: インデクス・レジスタ
MP	: データ・メモリ・ロウ・アドレス・ポインタ
MPE	: メモリ・ポインタ・イネーブル・フラグ
m	: mR, mCで示されるデータ・メモリ・アドレス
mR	: データ・メモリ・ロウ・アドレス(上位)
mC	: データ・メモリ・カラム・アドレス(下位)
n	: ビット・ポジション(4ビット)
n4	: イミディエト・データ(4ビット)
PAGE	: ページ(プログラム・カウンタのビット11)
PC	: プログラム・カウンタ
p	: 周辺アドレス
pH	: 周辺アドレス(上位3ビット)
pL	: 周辺アドレス(下位4ビット)
r	: ジェネラル・レジスタ・カラム・アドレス
rf	: レジスタ・ファイル・アドレス
rfR	: レジスタ・ファイル・ロウ・アドレス(上位3ビット)
rfC	: レジスタ・ファイル・カラム・アドレス(下位4ビット)
SP	: スタック・ポインタ
s	: ストップ解除条件
WR	: ウィンドウ・レジスタ
(x)	: xでアドレスされる内容

20.3 命令セット一覧

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード	オペランド		
加算	ADD	r, m	(r) (r) + (m)	00000	m _R	m _C	r
		m, #n4	(m) (m) + n4	10000	m _R	m _C	n4
	ADDC	r, m	(r) (r) + (m) + CY	00010	m _R	m _C	r
		m, #n4	(m) (m) + n4 + CY	10010	m _R	m _C	n4
	INC	AR	AR AR + 1	00111	000	1001	0000
		IX	IX IX + 1	00111	000	1000	0000
減算	SUB	r, m	(r) (r) - (m)	00001	m _R	m _C	r
		m, #n4	(m) (m) - n4	10001	m _R	m _C	n4
	SUBC	r, m	(r) (r) - (m) - CY	00011	m _R	m _C	r
		m, #n4	(m) (m) - n4 - CY	10011	m _R	m _C	n4
論理演算	OR	r, m	(r) (r) (m)	00110	m _R	m _C	r
		m, #n4	(m) (m) n4	10110	m _R	m _C	n4
	AND	r, m	(r) (r) (m)	00100	m _R	m _C	r
		m, #n4	(m) (m) n4	10100	m _R	m _C	n4
	XOR	r, m	(r) (r) ⊖ (m)	00101	m _R	m _C	r
		m, #n4	(m) (m) ⊖ n4	10101	m _R	m _C	n4
判断	SKT	m, #n	CMP 0, if (m) n = n, then skip	11110	m _R	m _C	n
	SKF	m, #n	CMP 0, if (m) n = 0, then skip	11111	m _R	m _C	n
比較	SKE	m, #n4	(m) - n4, skip if zero	01001	m _R	m _C	n4
	SKNE	m, #n4	(m) - n4, skip if not zero	01011	m _R	m _C	n4
	SKGE	m, #n4	(m) - n4, skip if not borrow	11001	m _R	m _C	n4
	SKLT	m, #n4	(m) - n4, skip if borrow	11011	m _R	m _C	n4
回転	RORC	r	$\left[\begin{array}{cccc} \text{CY} & (r) b_3 & (r) b_2 & (r) b_1 & (r) b_0 \end{array} \right]$	00111	000	0111	r
転送	LD	r, m	(r) (m)	01000	m _R	m _C	r
	ST	m, r	(m) (r)	11000	m _R	m _C	r
	MOV	@r, m	if MPE = 1 : (MP, (r)) (m) if MPE = 0 : (BANK, m _R , (r)) (m)	01010	m _R	m _C	r
		m, @r	if MPE = 1 : (m) (MP, (r)) if MPE = 0 : (m) (BANK, m _R , (r))	11010	m _R	m _C	r
		m, #n4	(m) n4	11101	m _R	m _C	n4
	MOVT	DBF, @AR	SP SP - 1, ASR PC, PC AR, DBF (PC), PC ASR, SP SP + 1	00111	000	0001	0000
	PUSH	AR	SP SP - 1, ASR AR	00111	000	1101	0000
	POP	AR	AR ASR, SP SP + 1	00111	000	1100	0000
	PEEK	WR, rf	WR (rf)	00111	rf _R	0011	rf _C
	POKE	rf, WR	(rf) WR	00111	rf _R	0010	rf _C
GET	DBF, p	DBF (p)	00111	p _H	1011	p _L	
PUT	p, DBF	(p) DBF	00111	p _H	1010	p _L	

命令群	二モニック	オペランド	オペレーション	命令コード			
				オペ・コード		オペランド	
分岐	BR	addr	注	注		addr	
		@AR	PC AR	00111	000	0100	0000
サブルーチン	CALL	addr	SP SP - 1, ASR PC, PC addr	11100		addr	
		@AR	SP SP - 1, ASR PC, PC AR	00111	000	0101	0000
	RET		PC ASR, SP SP + 1	00111	000	1110	0000
	RETSK		PC ASR, SP SP + 1 and skip	00111	001	1110	0000
	RETI		PC ASR, INTR INTSK, SP SP + 1	00111	100	1110	0000
割り込み	EI		INTEF 1	00111	000	1111	0000
	DI		INTEF 0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

注 μPD17145, 17147とμPD17149の“BR addr”のオペレーションとオペ・コードは、それぞれ次のようになります。

(a) μPD17145, 17147

二モニック	オペランド	オペレーション	オペ・コード
BR	addr	PC addr, PAGE 0	01100

(b) μPD17149

二モニック	オペランド	オペレーション	オペ・コード
BR	addr	PC addr, PAGE 0	01100
		PC addr, PAGE 1	01101

20.4 アセンブラ (AS17K) 組み込みマクロ命令

凡 例

flag n : FLG 型シンボル

: 内は省略可能

	二モニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, ...flag n	if(flag 1) ~ (flag n)= all "1" , then skip	1 n 4
	SKFn	flag 1, ...flag n	if(flag 1) ~ (flag n)= all "0" , then skip	1 n 4
	SETn	flag 1, ...flag n	(flag 1) ~ (flag n) 1	1 n 4
	CLRn	flag 1, ...flag n	(flag 1) ~ (flag n) 0	1 n 4
	NOTn	flag 1, ...flag n	if(flag n)= "0", then(flag n) 1 if(flag n)= "1", then(flag n) 0	1 n 4
	INITFLG	NOT flag 1, ... NOT flag n	if description = NOT flag n, then(flag n) 0 if description = flag n, then(flag n) 1	1 n 4
	BANKn		(BANK) n	n = 0

21. アセンブラ予約語

21.1 マスク・オプション疑似命令

μPD17149には、次のマスク・オプションがあります。

- ・ $\overline{\text{RESET}}$ 端子の内蔵プルアップ抵抗
- ・ P0F₁端子, P0F₀端子の内蔵プルアップ抵抗
- ・ INT端子の内蔵プルアップ抵抗
- ・ 内蔵POC回路

プログラムを作成する際に、マスク・オプション定義疑似命令を使って、ソース・プログラム中で上記すべてのマスク・オプションを指定する必要があります。

21.1.1 マスク・オプションの指定方法

マスク・オプションは次の疑似命令を使ってアセンブラ・ソース・プログラム中に記述します。

- ・ OPTION疑似命令, ENDOP疑似命令
- ・ マスク・オプション定義疑似命令

(1) OPTION疑似命令, ENDOP疑似命令

マスク・オプションを記述する範囲(マスク・オプション定義ブロック)を指定する疑似命令です。

OPTION疑似命令とENDOP疑似命令に挟まれる領域内に、マスク・オプション定義疑似命令を記述してマスク・オプションを指定します。

記述形式

シンボル欄	ニモニック欄	オペラント欄	コメント欄
[レーベル :]	OPTION		[; コメント]
	⋮		
	ENDOP		

(2) マスク・オプション定義疑似命令

表21 - 1 マスク・オプション定義疑似命令一覧表

オプション	定義疑似命令と書式	オペランド	定義内容
RESET 端子 内蔵プルアップ抵抗	OPTRES <オペランド>	OPEN PULLUP	なし あり
P0F _i , P0F ₀ 端子 内蔵プルアップ抵抗	OPTP0F <オペランド1> , <オペランド2> 注	OPEN PULLUP	なし あり
INT端子 内蔵プルアップ抵抗	OPTINT <オペランド>	OPEN PULLUP	なし あり
内蔵POC回路	OPTPOC <オペランド>	NOUSE USE	使用しない 使用する

注 <オペランド1> はP0F_i端子, <オペランド2> はP0F₀端子のマスク・オプション指定です。

(3) マスク・オプションの記述例

; μPD17149のマスク・オプションの記述例

MASK_OPTION :

```

OPTION                ; マスク・オプション定義ブロックの始まり
OPTRES  PULLUP        ; RESET 端子は内蔵プルアップ抵抗あり
OPTP0F  PULLUP, OPEN  ; P0Fiは内蔵プルアップ抵抗あり, P0F0はオープン(外部でプルアップ)
OPTINT  PULLUP        ; INT端子は内蔵プルアップ抵抗あり
OPTPOC  NOUSE         ; 内蔵POC回路は使用しない
ENDOP                ; マスク・オプション定義ブロックの終わり
    
```

21.2 予約シンボル

μPD17149のデバイス・ファイル (AS17149) 内で定義されている予約シンボルの一覧表を次に示します。

システム・レジスタ (SYSREG)

シンボル名	属性	値	Read/ Write	説明
AR3	MEM	0.74H	R	アドレス・レジスタのビット15 - 12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11 - 8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7 - 4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3 - 0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCDフラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

図21 - 1 システム・レジスタの構成

アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH						
名称	アドレス・レジスタ (AR)				ウインドウ・レジスタ (WR)	バンク・レジスタ (BANK)	インデクス・レジスタ (IX) データ・メモリ・ロウ・アドレス・ポインタ (MP)			ジェネラル・レジスタ・ポインタ (RP)	プログラム・ステータス・ワード (PSWORD)							
記号	AR3	AR2	AR1	AR0	WR	BANK	IXH	IXM	IXL	RPH	RPL	PSW						
							MPH	MPL										
ビット	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀	b ₃ b ₂ b ₁ b ₀						
データ ^{注1}	0 0 0 0	注2	(AR)		(BANK)		M P E	(IX)			(MP)		(RP)	B C D	C M Y	C Z	I X E	
リセット時の初期値	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	不定	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

注1 . この欄の0が書かれている部分は“0固定”を表します。

2 . μPD17145の場合, AR2のb₃, b₂は0に固定されています。μPD17147の場合, AR2のb₃は0に固定されています。

データ・バッファ (DBF)

シンボル名	属性	値	Read/ Write	説明
DBF3	MEM	0.0CH	R/W	DBFのビット15 - 12
DBF2	MEM	0.0DH	R/W	DBFのビット11 - 8
DBF1	MEM	0.0EH	R/W	DBFのビット7 - 4
DBF0	MEM	0.0FH	R/W	DBFのビット3 - 0

ポート・レジスタ

シンボル名	属性	値	Read/ Write	説明
P0A3	FLG	0.70H.3	R/W	ポート0Aのビット3
P0A2	FLG	0.70H.2	R/W	ポート0Aのビット2
P0A1	FLG	0.70H.1	R/W	ポート0Aのビット1
P0A0	FLG	0.70H.0	R/W	ポート0Aのビット0
P0B3	FLG	0.71H.3	R/W	ポート0Bのビット3
P0B2	FLG	0.71H.2	R/W	ポート0Bのビット2
P0B1	FLG	0.71H.1	R/W	ポート0Bのビット1
P0B0	FLG	0.71H.0	R/W	ポート0Bのビット0
P0C3	FLG	0.72H.3	R/W	ポート0Cのビット3
P0C2	FLG	0.72H.2	R/W	ポート0Cのビット2
P0C1	FLG	0.72H.1	R/W	ポート0Cのビット1
P0C0	FLG	0.72H.0	R/W	ポート0Cのビット0
P0D3	FLG	0.73H.3	R/W	ポート0Dのビット3
P0D2	FLG	0.73H.2	R/W	ポート0Dのビット2
P0D1	FLG	0.73H.1	R/W	ポート0Dのビット1
P0D0	FLG	0.73H.0	R/W	ポート0Dのビット0
P0E3	FLG	0.6EH.3	R/W	ポート0Eのビット3
P0E2	FLG	0.6EH.2	R/W	ポート0Eのビット2
P0E1	FLG	0.6EH.1	R/W	ポート0Eのビット1
P0E0	FLG	0.6EH.0	R/W	ポート0Eのビット0
P0F1	FLG	0.6FH.1	R	ポート0Fのビット1
P0F0	FLG	0.6FH.0	R	ポート0Fのビット0

レジスタ・ファイル (コントロール・レジスタ)

シンボル名	属性	値	Read/ Write	説明
SP	MEM	0.81H	R/W	スタック・ポインタ
SIOTS	FLG	0.82H.3	R/W	シリアル・インタフェース・スタート・フラグ
SIOHIZ	FLG	0.82H.2	R/W	P0D ₁ /SO端子機能選択フラグ
SIOCK1	FLG	0.82H.1	R/W	シリアル・インタフェース・ソース・クロック選択フラグのビット1
SIOCK0	FLG	0.82H.0	R/W	シリアル・インタフェース・ソース・クロック選択フラグのビット0
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマ・リセット・フラグ
WDTEN	FLG	0.83H.0	R/W	ウォッチドッグ・タイマ・イネーブル・フラグ
TM1OSEL	FLG	0.8BH.3	R/W	P0D ₃ /TM1OUT端子機能選択フラグ
SIOEN	FLG	0.8BH.0	R/W	シリアル・インタフェース・イネーブル・フラグ
P0EGPU	FLG	0.8CH.2	R/W	P0Eグループ・ブルアップ選択フラグ (ブルアップ = 1)
P0BGPU	FLG	0.8CH.1	R/W	P0Bグループ・ブルアップ選択フラグ (ブルアップ = 1)
P0AGPU	FLG	0.8CH.0	R/W	P0Aグループ・ブルアップ選択フラグ (ブルアップ = 1)
P0DBPU3	FLG	0.8DH.3	R/W	P0D ₃ ブルアップ選択フラグ (ブルアップ = 1)
P0DBPU2	FLG	0.8DH.2	R/W	P0D ₂ ブルアップ選択フラグ (ブルアップ = 1)
P0DBPU1	FLG	0.8DH.1	R/W	P0D ₁ ブルアップ選択フラグ (ブルアップ = 1)
P0DBPU0	FLG	0.8DH.0	R/W	P0D ₀ ブルアップ選択フラグ (ブルアップ = 1)
INT	FLG	0.8FH.0	R	INT端子ステータス・フラグ
TM0EN	FLG	0.91H.3	R/W	タイマ0イネーブル・フラグ
TM0RES	FLG	0.91H.2	R/W	タイマ0リセット・フラグ
TM0CK1	FLG	0.91H.1	R/W	タイマ0ソース・クロック選択フラグのビット1
TM0CK0	FLG	0.91H.0	R/W	タイマ0ソース・クロック選択フラグのビット0
TM1EN	FLG	0.92H.3	R/W	タイマ1イネーブル・フラグ
TM1RES	FLG	0.92H.2	R/W	タイマ1リセット・フラグ
TM1CK1	FLG	0.92H.1	R/W	タイマ1ソース・クロック選択フラグのビット1
TM1CK0	FLG	0.92H.0	R/W	タイマ1ソース・クロック選択フラグのビット0
BTMISEL	FLG	0.93H.3	R/W	ベーシック・インターバル・タイマ割り込み要求クロック選択フラグ
BTMRES	FLG	0.93H.2	R/W	ベーシック・インターバル・タイマ・リセット・フラグ
BTMCK1	FLG	0.93H.1	R/W	ベーシック・インターバル・タイマ・ソース・クロック選択フラグのビット1
BTMCK0	FLG	0.93H.0	R/W	ベーシック・インターバル・タイマ・ソース・クロック選択フラグのビット0
P0C3IDI	FLG	0.9BH.3	R/W	P0C ₃ 入力ポート禁止フラグ (ADC ₃ /P0C ₃ 端子機能選択)
P0C2IDI	FLG	0.9BH.2	R/W	P0C ₂ 入力ポート禁止フラグ (ADC ₂ /P0C ₂ 端子機能選択)
P0C1IDI	FLG	0.9BH.1	R/W	P0C ₁ 入力ポート禁止フラグ (ADC ₁ /P0C ₁ 端子機能選択)
P0C0IDI	FLG	0.9BH.0	R/W	P0C ₀ 入力ポート禁止フラグ (ADC ₀ /P0C ₀ 端子機能選択)
P0CBIO3	FLG	0.9CH.3	R/W	P0C ₃ 入力 / 出力選択フラグ (1 = 出力ポート)
P0CBIO2	FLG	0.9CH.2	R/W	P0C ₂ 入力 / 出力選択フラグ (1 = 出力ポート)
P0CBIO1	FLG	0.9CH.1	R/W	P0C ₁ 入力 / 出力選択フラグ (1 = 出力ポート)
P0CBIO0	FLG	0.9CH.0	R/W	P0C ₀ 入力 / 出力選択フラグ (1 = 出力ポート)
IEGMD1	FLG	0.9FH.1	R/W	INT端子エッジ検出選択フラグのビット1
IEGMD0	FLG	0.9FH.0	R/W	INT端子エッジ検出選択フラグのビット0

レジスタ・ファイル (コントロール・レジスタ)

シンボル名	属性	値	Read/ Write	説明
ADCSTRT	FLG	0.0A0H.0	R/W	A/Dコンバータ・スタート・フラグ (読み出し時: 常に“0”)
ADCSOFT	FLG	0.0A1H.3	R/W	A/Dコンバータ動作モード選択フラグ (1 = 単発モード)
ADCCMP	FLG	0.0A1H.1	R	A/Dコンバータ・コンパレータ比較結果フラグ (単発モード時のみ有効)
ADCEND	FLG	0.0A1H.0	R	A/Dコンバータ変換終了フラグ
ADCCH3	FLG	0.0A2H.3	R/W	ダミー・フラグ
ADCCH2	FLG	0.0A2H.2	R/W	ダミー・フラグ
ADCCH1	FLG	0.0A2H.1	R/W	A/Dコンバータ・チャンネル選択フラグのビット1
ADCCH0	FLG	0.0A2H.0	R/W	A/Dコンバータ・チャンネル選択フラグのビット0
P0DBIO3	FLG	0.0ABH.3	R/W	P0D ₃ 入力/出力選択フラグ (1 = 出力ポート)
P0DBIO2	FLG	0.0ABH.2	R/W	P0D ₂ 入力/出力選択フラグ (1 = 出力ポート)
P0DBIO1	FLG	0.0ABH.1	R/W	P0D ₁ 入力/出力選択フラグ (1 = 出力ポート)
P0DBIO0	FLG	0.0ABH.0	R/W	P0D ₀ 入力/出力選択フラグ (1 = 出力ポート)
P0EGIO	FLG	0.0ACH.2	R/W	P0Eグループ入力/出力選択フラグ (1 = P0Eすべて出力ポート)
P0BGIO	FLG	0.0ACH.1	R/W	P0Bグループ入力/出力選択フラグ (1 = P0Bすべて出力ポート)
P0AGIO	FLG	0.0ACH.0	R/W	P0Aグループ入力/出力選択フラグ (1 = P0Aすべて出力ポート)
IPSIO	FLG	0.0AEH.0	R/W	シリアル・インタフェース割り込み許可フラグ
IPBTM	FLG	0.0AFH.3	R/W	ベーシック・インターバル・タイマ割り込み許可フラグ
IPTM1	FLG	0.0AFH.2	R/W	タイマ1割り込み許可フラグ
IPTM0	FLG	0.0AFH.1	R/W	タイマ0割り込み許可フラグ
IP	FLG	0.0AFH.0	R/W	INT端子割り込み許可フラグ
IRQSIO	FLG	0.0BBH.0	R/W	シリアル・インタフェース割り込み要求フラグ
IRQBTM	FLG	0.0BCH.0	R/W	ベーシック・インターバル・タイマ割り込み要求フラグ
IRQTM1	FLG	0.0BDH.0	R/W	タイマ1割り込み要求フラグ
IRQTM0	FLG	0.0BEH.0	R/W	タイマ0割り込み要求フラグ
IRQ	FLG	0.0BFH.0	R/W	INT端子割り込み要求フラグ

周辺ハードウェア・レジスタ

シンボル名	属性	値	Read/ Write	説 明
SIOSFR	DAT	01H	R/W	シフト・レジスタの周辺アドレス
TM0M	DAT	02H	W	タイマ0モジュール・レジスタの周辺アドレス
TM1M	DAT	03H	W	タイマ1モジュール・レジスタの周辺アドレス
ADCR	DAT	04H	R/W	A/Dコンバータ・データ・レジスタの周辺アドレス
TM0TM1C	DAT	45H	R	タイマ0タイマ1カウント・レジスタの周辺アドレス
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC命令用のアドレス・レジスタの周辺アドレス

その他

シンボル名	属性	値	説 明
DBF	DAT	0FH	PUT命令, GET命令, MOVT命令の固定オペランド値
IX	DAT	01H	INC命令の固定オペランド値

図21 - 2 コントロール・レジスタの構成 (1/2)

カラム・アドレス																																					
ロウ・アドレス	項目	0				1				2				3				4				5				6				7							
0 (8)	記号									S	S	S	S	W				W																			
	リセット時					0	1	0	1	0	0	0	0	0	0	0	0																				
	Read/Write					R/W				R/W				R/W																							
1 (9)	記号					T	T	T	T	T	T	T	T	B	B	B	B																				
	リセット時					0	0	0	0	1	0	0	0	0	0	0	0																				
	Read/Write					R/W				R/W				R/W																							
2 (A)	記号	0	0	0		A	A	A	A	A	A	A	A																								
	リセット時	0	0	0	0	0	0	0	0	0	0	0	0																								
	Read/Write	R/W				R/W	R	R/W																													
3 (B)	記号																																				
	リセット時																																				
	Read/Write																																				

備考 ()内は、アセンブラ (AS17K) を使用する際の番地です。

なお、コントロール・レジスタのフラグはすべて、アセンブラ予約語としてデバイス・ファイルに登録されていますので、プログラム作成時には予約語を使用すると便利です。

22. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件		定格	単位
電源電圧	V _{DD}			- 0.3 ~ + 7.0	V
A/Dコンバータ基準電圧	V _{REF}			- 0.3 ~ V _{DD} + 0.3	V
入力電圧	V _I	P0A, P0B, P0C, P0D, P0E, P0F, INT, RESET, X _{IN}		- 0.3 ~ V _{DD} + 0.3	V
出力電圧	V _O			- 0.3 ~ V _{DD} + 0.3	V
ハイ・レベル出力電流	I _{OH} 注	P0A, P0B, P0C 1端子当たり	ピーク値	- 15	mA
			実効値	- 7.5	mA
		P0A, P0B, P0C 全端子合計	ピーク値	- 30	mA
			実効値	- 15	mA
ロウ・レベル出力電流	I _{OL} 注	P0A, P0B, P0C 1端子当たり	ピーク値	15	mA
			実効値	7.5	mA
		P0D, P0E 1端子当たり	ピーク値	30	mA
			実効値	15	mA
		P0A, P0B, P0C, P0D, P0E 全端子合計	ピーク値	100	mA
			実効値	50	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 65 ~ + 150	
許容損失	P _d	T _A = 85	28ピン・プラスチック・シュリンクDIP	140	mW
			28ピン・プラスチックSOP	85	mW

注 実効値は〔実効値〕=〔ピーク値〕×√デューティで計算してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨電源電圧範囲 (TA = - 40 ~ + 85)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電圧	V _{DD}	CPU (A/Dコンバータ, POC回路以外)	f _x = 400 kHz ~ 2 MHz	2.7		5.5	V
			f _x = 400 kHz ~ 4 MHz	3.6		5.5	V
			f _x = 400 kHz ~ 8 MHz	4.5		5.5	V
		A/Dコンバータ	絶対確度 ± 1.5LSB, 2.5 V V _{REF} V _{DD}	4.0		5.5	V
		POC回路 (マスク・オプション)	f _x = 400 kHz ~ 4 MHz	4.5		5.5	V

DC特性 (V_{DD}= 2.7 ~ 5.5 V, T_A= - 40 ~ + 85)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P0A, P0B, P0C, P0D, P0E, P0F		0.7 V _{DD}		V _{DD}	V	
	V _{IH2}	RESET, SCK, SI, INT		0.8 V _{DD}		V _{DD}	V	
	V _{IH3}	X _{IN}		V _{DD} - 0.5		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P0A, P0B, P0C, P0D, P0E, P0F		0		0.3 V _{DD}	V	
	V _{IL2}	RESET, SCK, SI, INT		0		0.2 V _{DD}	V	
	V _{IL3}	X _{IN}		0		0.4	V	
ハイ・レベル出力電圧	V _{OH}	P0A, P0B, P0C	4.5 V _{DD} 5.5 I _{OH} = - 1.0 mA	V _{DD} - 0.3			V	
			2.7 V _{DD} < 4.5 I _{OH} = - 0.5 mA	V _{DD} - 0.3			V	
ロウ・レベル出力電圧	V _{OL1}	P0A, P0B, P0C, P0D, P0E	4.5 V _{DD} 5.5 I _{OL} = 1.0 mA			0.3	V	
			2.7 V _{DD} < 4.5 I _{OL} = 0.5 mA			0.3	V	
	V _{OL2}	P0D, P0E I _{OL} = 15 mA	4.5 V _{DD} 5.5			1.0	V	
			2.7 V _{DD} < 4.5			2.0	V	
ハイ・レベル入力リーク電流	I _{LIH}	P0A, P0B, P0C, P0D, P0E, P0F, RESET, INT V _{IN} = V _{DD}				3	μA	
ロウ・レベル入力リーク電流	I _{LIL}	P0A, P0B, P0C, P0D, P0E, P0F, RESET, INT V _{IN} = 0 V				- 3	μA	
ハイ・レベル出力リーク電流	I _{LOH}	P0A, P0B, P0C, P0D, P0E V _{OUT} = V _{DD}				3	μA	
ロウ・レベル出力リーク電流	I _{LOL}	P0A, P0B, P0C, P0D, P0E V _{OUT} = 0 V				- 3	μA	
内蔵プルアップ抵抗 ^{注1}	R _{PULL}	P0A, P0B, P0E, P0F, RESET, INT		50	100	200	k	
		P0D		3	10	30	k	
電源電流 ^{注2}	I _{DD1}	動作モード	f _x = 8.0 MHz V _{DD} = 5 V ± 10 %		2.0	4.5	mA	
			f _x = 4.0 MHz V _{DD} = 5 V ± 10 %		1.4	3.3	mA	
			f _x = 2.0 MHz V _{DD} = 5 V ± 10 %		1.0	2.5	mA	
			f _x = 2.0 MHz V _{DD} = 3 V ± 10 %		0.8	2.5	mA	
			f _x = 1.0 MHz V _{DD} = 5 V ± 10 %		0.7	2.0	mA	
			f _x = 400 kHz	V _{DD} = 5 V ± 10 %		0.9	1.7	mA
				V _{DD} = 3 V ± 10 %		0.3	1.0	mA
			I _{DD2}	HALTモード	f _x = 8.0 MHz V _{DD} = 5 V ± 10 %		1.0	2.0
	f _x = 4.0 MHz V _{DD} = 5 V ± 10 %				0.9	1.9	mA	
	f _x = 2.0 MHz V _{DD} = 3 V ± 10 %				0.5	1.7	mA	
	f _x = 1.0 MHz V _{DD} = 5 V ± 10 %				0.5		mA	
	f _x = 400 kHz	V _{DD} = 5 V ± 10 %				0.7	1.5	mA
		V _{DD} = 3 V ± 10 %		0.3	0.9	mA		
	I _{DD3}	STOPモード	V _{DD} = 5 V ± 10 %			3.0	10	μA
V _{DD} = 3 V ± 10 %				2.0	10	μA		

注1 . P0F, RESET, INTのプルアップ抵抗は、マスク・オプションです。

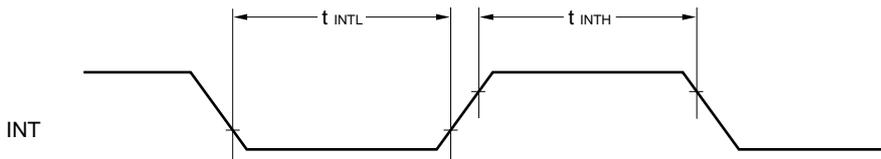
2 . A/Dコンバータ, POC回路の電流および内蔵プルアップ抵抗に流れる電流は除きます。

AC特性 ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85$)

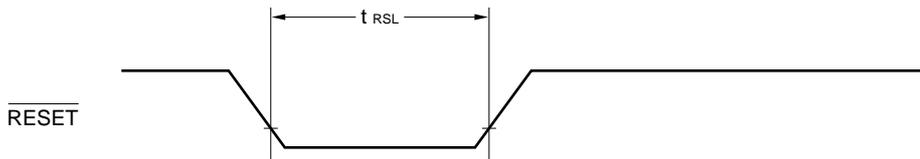
項目	略号	条件	MIN.	TYP.	MAX.	単位
CPUクロック・サイクル・ タイム (命令実行時間)	t_{CY}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.9		41	μs
		$V_{DD} = 3.6 \sim 5.5 \text{ V}$	3.9		41	μs
			7.9		41	μs
INT入力周波数 (TM0カウント・クロック入力)	f_{INT}		0		400	KHz
INTハイ, ロウ・レベル幅 (外部割り込み入力)	t_{INTH}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
	t_{INTL}		50			μs
$\overline{\text{RESET}}$ ロウ・レベル幅	t_{RSL}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
			50			μs
$\overline{\text{RLS}}$ ロウ・レベル幅	t_{RLSL}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	10			μs
			50			μs

備考 $t_{CY} = 16/f_x$ (f_x : システム・クロック発振周波数)

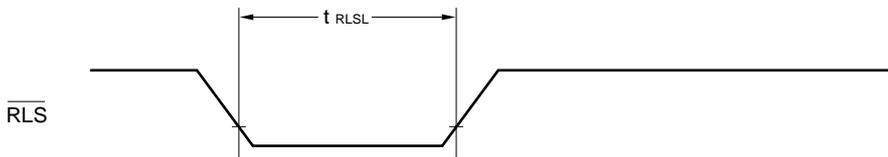
割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



$\overline{\text{RLS}}$ 入力タイミング

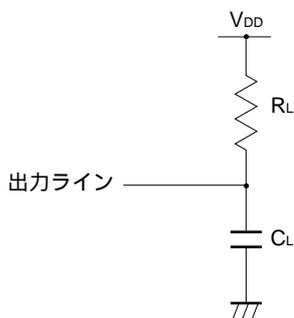


シリアル転送オペレーション ($V_{DD} = 2.7 \sim 5.5 \text{ V}$, $T_A = -40 \sim +85$)

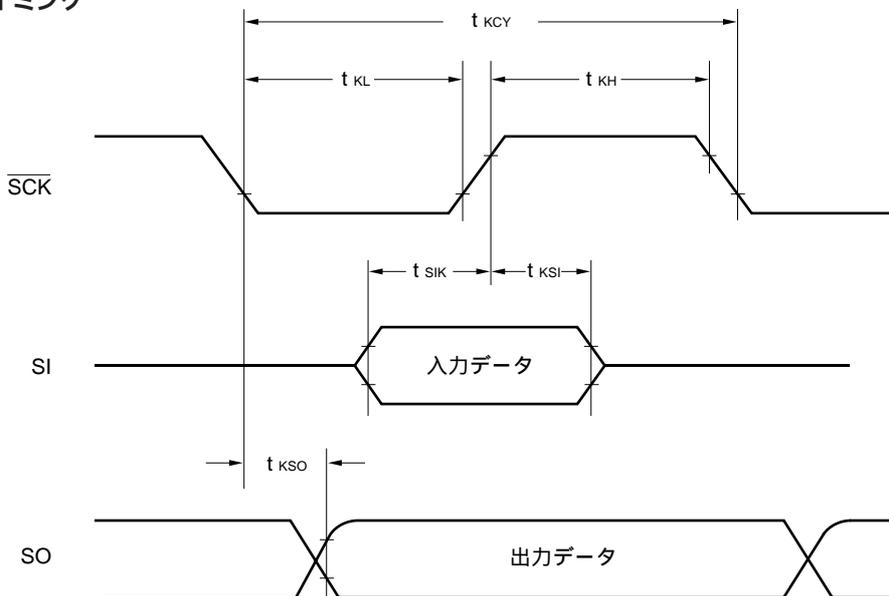
項目	略号	条件	MIN.	TYP.	MAX.	単位	
$\overline{\text{SCK}}$ サイクル・タイム	t _{KCY}	入力	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	2.0			μs
				10			μs
	出力	$R_L = 1 \text{ k} \Omega$, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	2.0			μs
		内蔵プルアップ, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	8			μs
$\overline{\text{SCK}}$ ハイ, ロウ・レベル幅	t _{KH}	入力	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	1.0			μs
				5.0			μs
	出力	$R_L = 1 \text{ k} \Omega$, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$t_{KCY}/2 - 0.6$			μs
		内蔵プルアップ, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$	$t_{KCY}/2 - 1.2$			μs
SIセットアップ時間 (対 $\overline{\text{SCK}}$)	t _{SIK}		100			ns	
SIホールド時間 (対 $\overline{\text{SCK}}$)	t _{KSI}		100			ns	
$\overline{\text{SCK}}$ SO出力遅延時間	t _{KSO}	$R_L = 1 \text{ k} \Omega$, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		0.8	μs	
					1.4	μs	
		内蔵プルアップ, $C_L = 100 \text{ pF}$	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		14	μs	
					26	μs	

備考 R_L : 出力ラインの負荷抵抗

C_L : 出力ラインの負荷容量



シリアル転送タイミング



A/Dコンバータ (V_{DD} = 4.0 ~ 5.5 V, T_A = - 40 ~ + 85)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
絶対精度 ^{注1}		2.5 V V _{REF} V _{DD}			± 1.5	LSB
変換時間 ^{注2}	t _{CONV}				25 t _{CY}	μs
アナログ入力電圧	V _{ADIN}		0		V _{REF}	V
レファレンス入力電圧	V _{REF}		2.5		V _{DD}	V
A/Dコンバータ回路電流	I _{ADC}	A/Dコンバータ動作時		1.0	2.0	mA
V _{REF} 端子電流	I _{REF}			0.1	0.3	mA

注1 . 量子化誤差 (± 0.5LSB) を除いた絶対精度です。

2 . 変換スタート命令実行後、変換終了 (ADCEND = 1) までの時間です (50 μs, 8 MHz時)。

備考 t_{CY} = 16/f × (f_X : システム・クロック発振周波数)

POC回路 (マスク・オプション^{注1}) (V_{DD} = 2.7 ~ 5.5 V, T_A = - 40 ~ + 85)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
POC検出電圧 ^{注2}	V _{POC}		3.6	4.0	4.45	V
電源電圧立ち下がり速度	t _{POCS}				0.08	V/ms
リセット検出パルス幅	t _{SAMP}		1			ms
POC回路電流	I _{POC}			3.0	10	μA

注1 . V_{DD} = 4.5 ~ 5.5 V, f_X = 400 kHz ~ 4 MHzの応用回路で利用できます。

2 . POC回路が内部リセットを解除する電圧です。V_{POC} < V_{DD}になると内部リセットが解除されます。

システム・クロック発振回路特性 (V_{DD} = 2.7 ~ 5.5 V, T_A = - 40 ~ + 85)

発 振 子 ^注	略 号	条 件	MIN.	TYP.	MAX.	単 位
セラミック発振子	発振周波数f _X		0.39		2.04	MHz
		V _{DD} = 3.6 ~ 5.5 V	0.39		4.08	MHz
		V _{DD} = 4.5 ~ 5.5 V	0.39		8.16	MHz

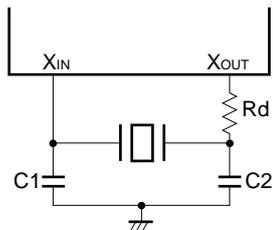
注 発振成長時間が2 msを越える発振子は使用しないでください。

推奨セラミック発振子 (TA = - 40 ~ + 85)

メーカー	品名	推奨定数			電源電圧 [V]注		備考
		C1 [pF]	C2 [pF]	Rd [k]	MIN.	MAX.	
村田製作所	CSB400P	220	220	5.6	2.7	5.5	自動車電装向け
	CSA2.00MG040	100	100	0	2.7	5.5	
	CST2.00MG040	不要 (C内蔵タイプ)		0	2.7	5.5	
	CSA4.00MG	30	30	0	3.6	5.5	
	CST4.00MGW	不要 (C内蔵タイプ)		0	3.6	5.5	
	CSA8.00MG	30	30	0	4.5	5.5	
	CST8.00MGW	不要 (C内蔵タイプ)		0	4.5	5.5	
	CSB400JA	220	220	5.6	2.7	5.5	
	CSA2.00MGA040	100	100	0	2.7	5.5	
	CST2.00MGA040	不要 (C内蔵タイプ)		0	2.7	5.5	
	CSA4.00MGA	30	30	0	3.6	5.5	
	CST4.00MGWA	不要 (C内蔵タイプ)		0	3.6	5.5	
	CSA8.00MTZA	30	30	0	4.5	5.5	
	CST8.00MTWA	不要 (C内蔵タイプ)		0	4.5	5.5	
京セラ	KBR-400BK	470	470	0	2.7	5.5	
	KBR-2.0MS	47	47	0	2.7	5.5	
	KBR-4.0MSA	33	33	0	3.6	5.5	
	KBR-8.0M	33	33	0	4.5	5.5	
TDK	FCR400K3	330	330	0	2.7	5.5	
	FCR2.0M3	100	100	0	2.7	5.5	
	FCR2.0MC3	不要 (C内蔵タイプ)		1.5	2.7	5.5	
	FCR4.0M5	33	33	0	3.6	5.5	
	CCR4.0MC3	不要 (C内蔵タイプ)		0	3.6	5.5	
	FCR4.0MC5	不要 (C内蔵タイプ)		0	3.6	5.5	
	FCR8.0M2S	33	33	0	4.5	5.5	
	FCR8.0MC	不要 (C内蔵タイプ)		0	4.5	5.5	

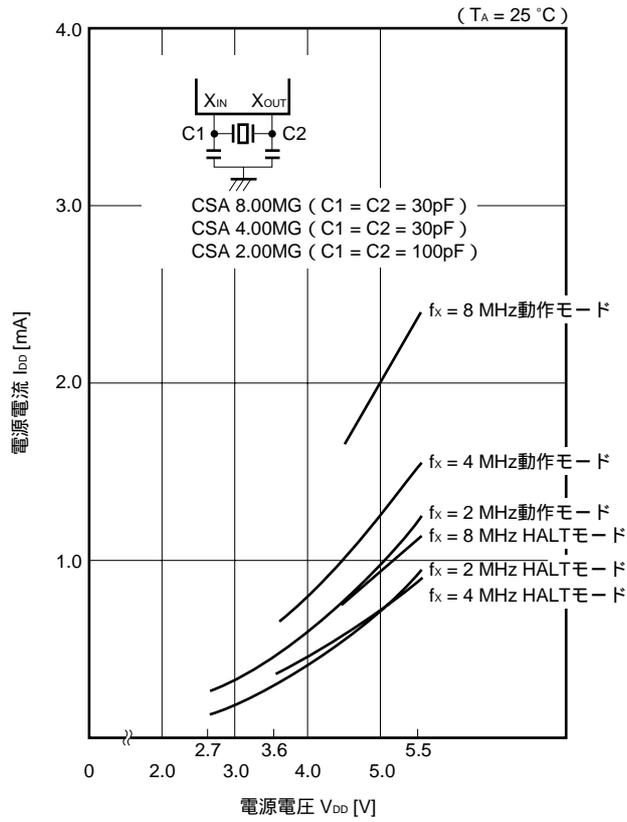
注 POC回路 (マスク・オプション) を使用しない場合

外付け回路例

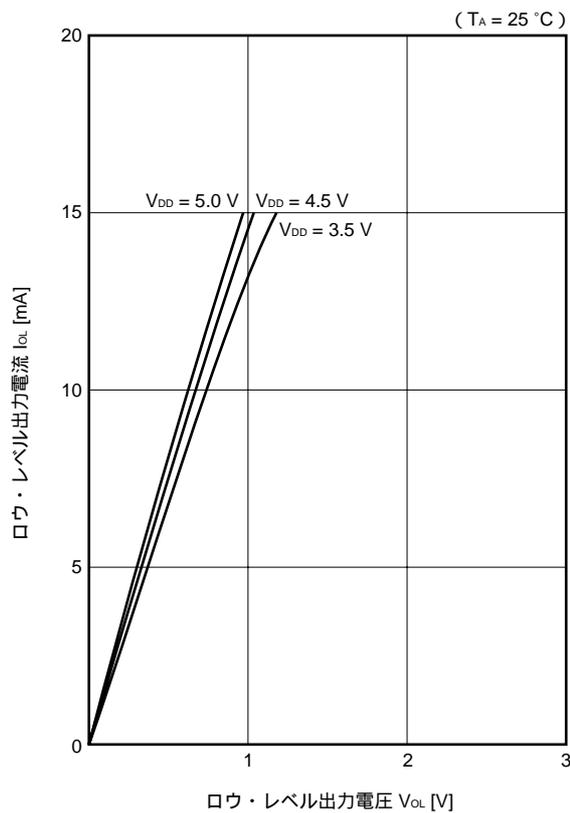


23. 特性曲線 (参考値)

I_{DD} vs V_{DD} 特性例



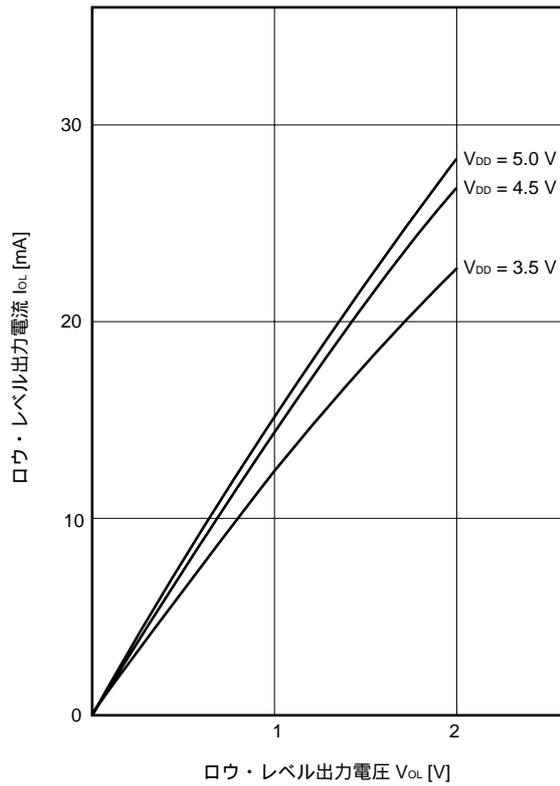
I_{OL} vs V_{OL} 特性例 1 (P0A, P0B, P0C)



注意 絶対最大定格は、1端子当たり15 mA (ピーク値) です。

I_{OL} vs V_{OL} 特性例 2 (P0D, P0E)

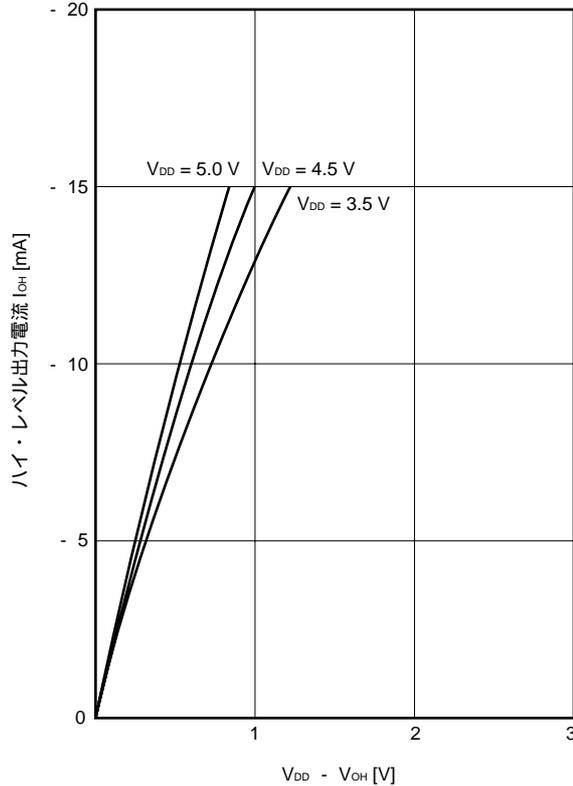
($T_A = 25^\circ\text{C}$)



注意 絶対最大定格は、1端子当たり30 mA (ピーク値) です。

I_{OH} vs ($V_{DD} - V_{OH}$) 特性例

($T_A = 25^\circ\text{C}$)

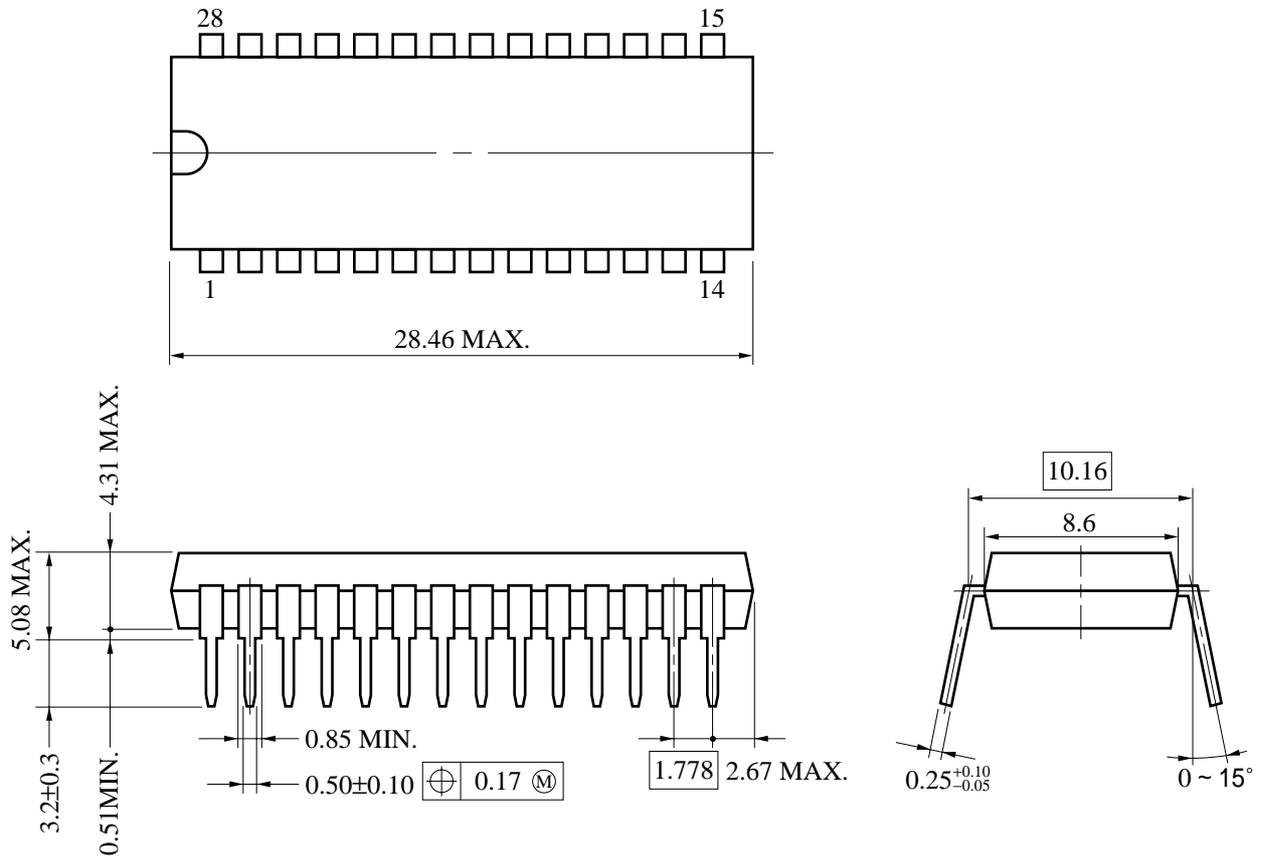


注意 絶対最大定格は、1端子当たり - 15 mA (ピーク値) です。

24. 外形図

量産品の外形図 (1/2)

28ピン・プラスチック・シュリンク DIP (400 mil) 外形図 (単位: mm)

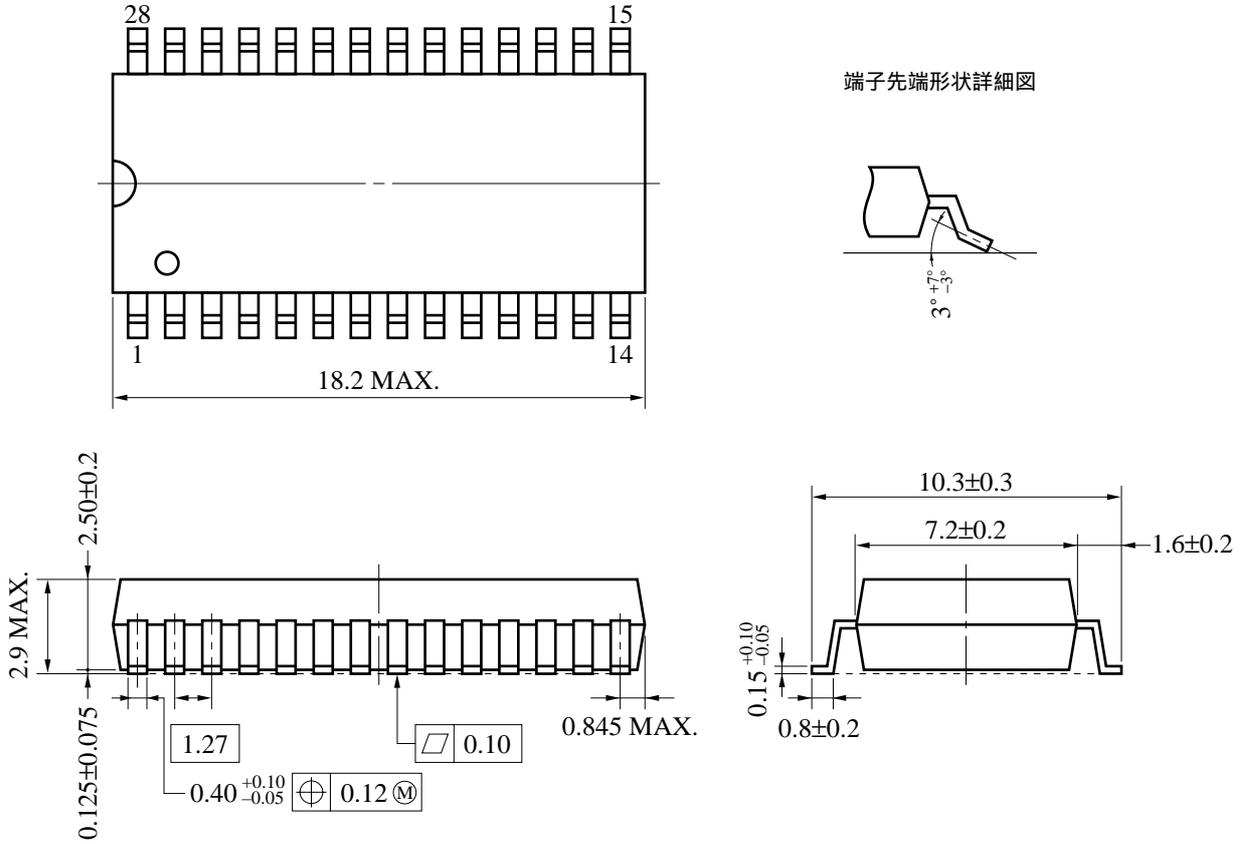


S28C-70-400B-1

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 (1/2) を参照してください。

量産品の外形図 (2/2)

28ピン・プラスチック SOP (375 mil) 外形図 (単位: mm)

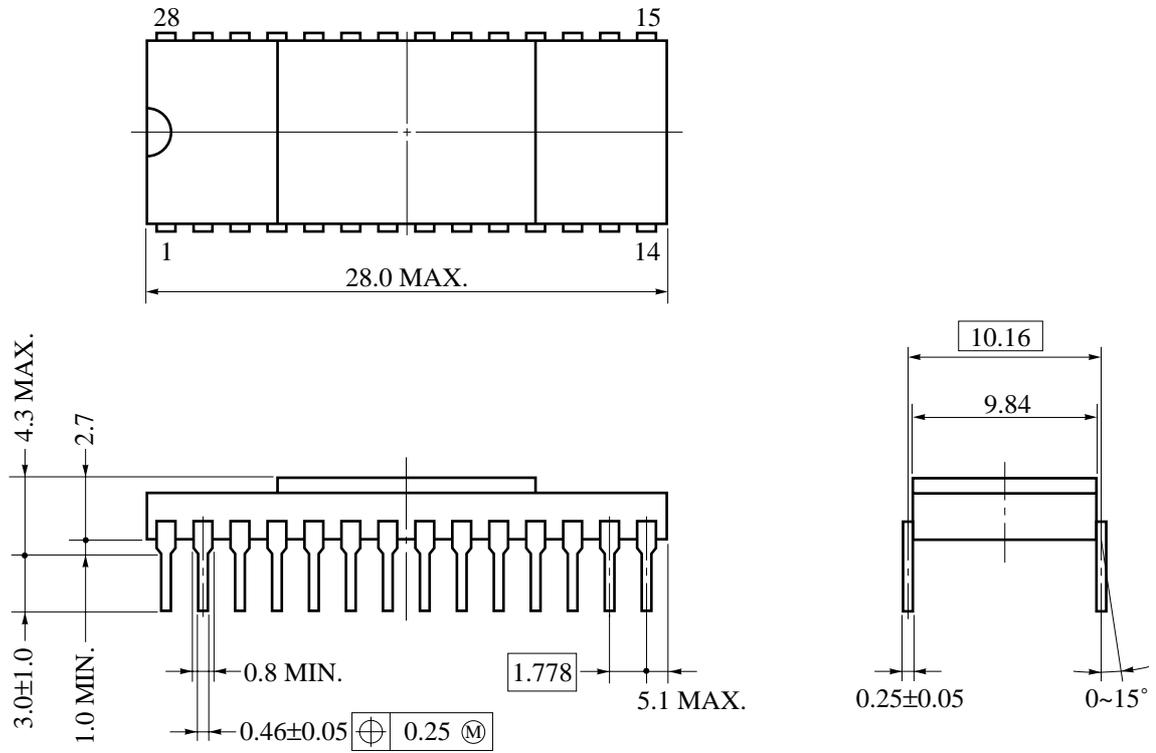


P28GT-50-375B-1

注意 ES品は量産品とは外形や材質が異なります。ES品の外形図 (2/2) を参照してください。

ES品の外形図 (1/2)

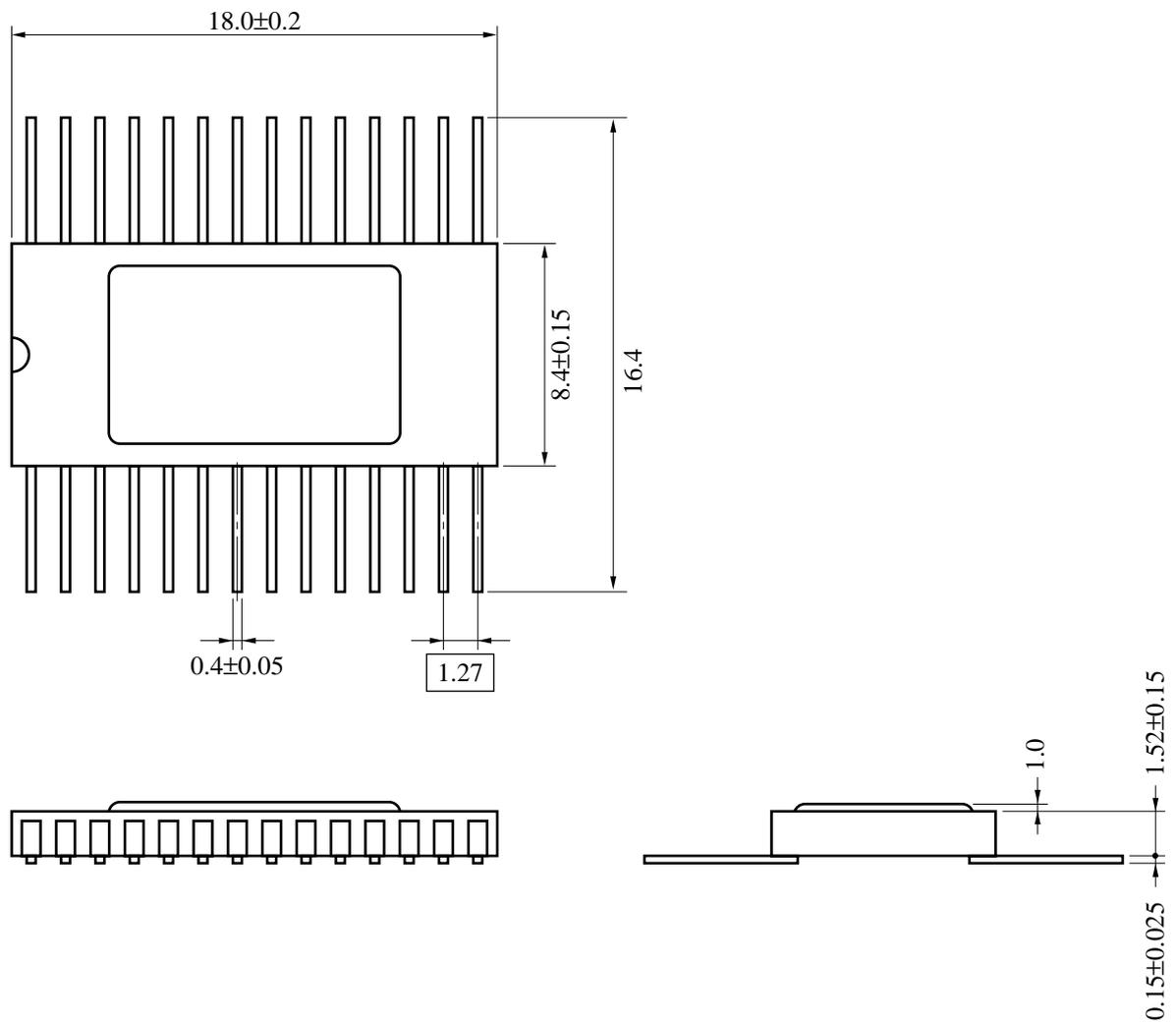
28ピン・セラミック・シュリンク DIP (400 mil)(ES品) 外形図 (単位 : mm)



P28D-70-400B-1

ES品の外形図 (2/2)

28ピン・セラミック SOP (ES用) 外形図 (単位 : mm)



注意 リードの長さ およびポッティングの高さは
工程管理されておられません。

X28B-50B1

25. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表25 - 1 表面実装タイプの半田付け条件

- μPD17145GT - x x x : 28ピン・プラスチックSOP (375 mil)
- μPD17147GT - x x x : "
- μPD17149GT - x x x : "
- μPD17145GT(A) - x x x : "
- μPD17147GT(A) - x x x : "
- μPD17149GT(A) - x x x : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内 制限日数 ^注 ：7日間（以降は125 プリバーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内 制限日数 ^注 ：7日間（以降は125 プリバーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-207-2
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

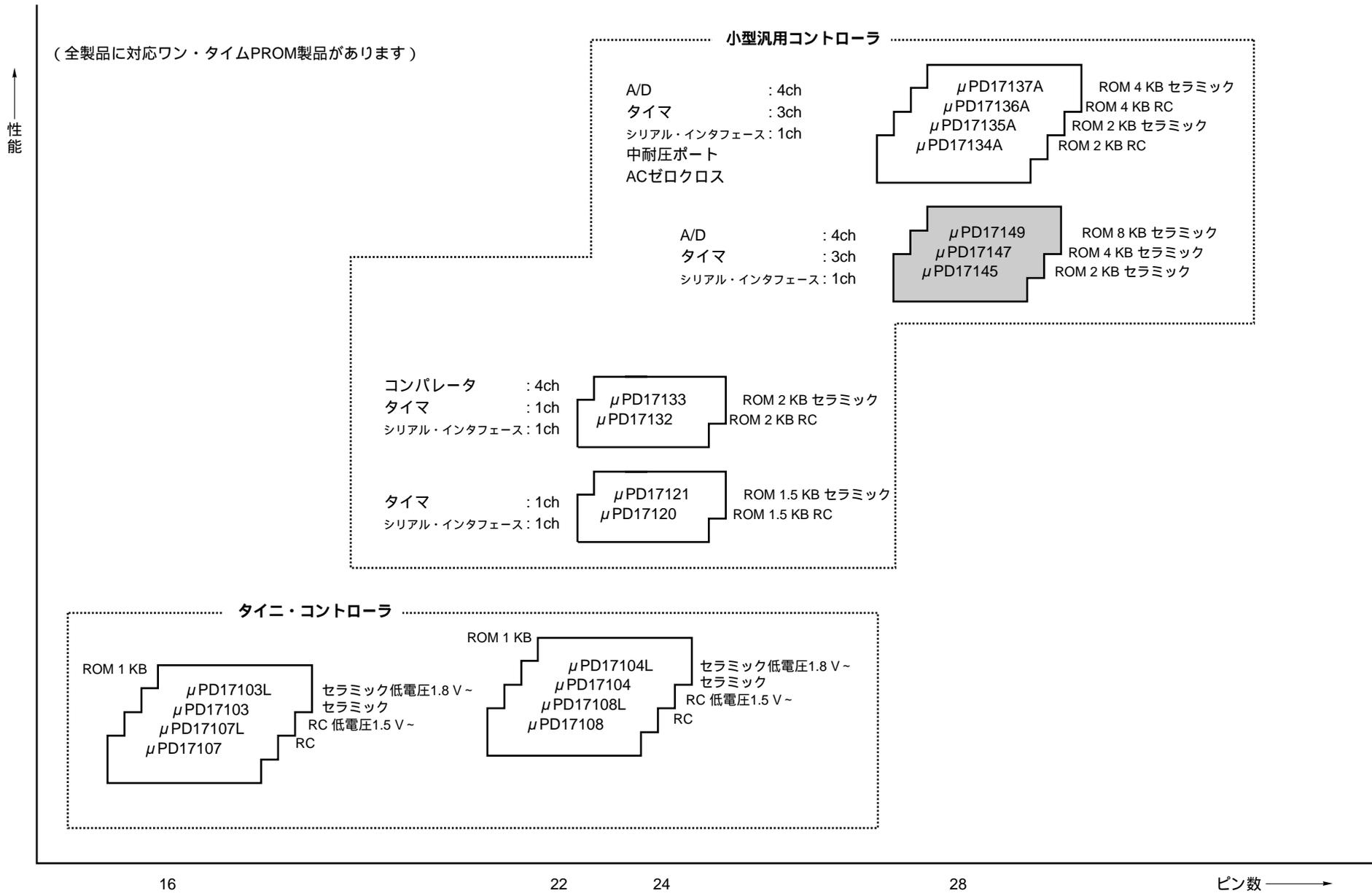
注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表25 - 2 挿入タイプの半田付け条件

μPD17145CT - x x x : 28ピン・プラスチック・シュリンクDIP (400 mil)
 μPD17147CT - x x x : "
 μPD17149CT - x x x : "
 μPD17145CT(A) - x x x : "
 μPD17147CT(A) - x x x : "
 μPD17149CT(A) - x x x : "

半田付け方式	半田付け条件
ウェーブ・ソルダリング (端子のみ)	半田槽温度：260 以下，時間：10秒以内
端子部分加熱	端子温度：300 以下，時間：3秒以内（1端子当たり）

注意 ウェーブ・ソルダリングは端子のみとし、噴流半田が直接本体に接触しないようにしてください。



付録B . μPD17145サブシリーズとμPD17135A, 17137Aの機能比較

		μPD17145	μPD17147	μPD17149	μPD17135A	μPD17137A
ROM		2 Kバイト	4 Kバイト	8 Kバイト	2 Kバイト	4 Kバイト
RAM		110 × 4 ビット			112 × 4 ビット	
スタック		アドレス・スタック × 5 レベル 割り込みスタック × 3 レベル				
命令実行時間 (クロック, 動作電圧)		2 μs (fx = 8 MHz, VDD = 4.5 ~ 5.5 V) 4 μs (fx = 4 MHz, VDD = 3.6 ~ 5.5 V) 8 μs (fx = 2 MHz, VDD = 2.7 ~ 5.5 V)			2 μs (fx = 8 MHz, VDD = 4.5 ~ 5.5 V) 4 μs (fx = 4 MHz, VDD = 2.7 ~ 5.5 V)	
I/O	CMOS入出力	12 (P0A, P0B, P0C)				
	入力専用	2 (P0F0, P0F1)			1 (P1B0)	
	センス入力	1 (INT) マスク・オプション・プルアップ可			1 (INT)	
	N-chオープン・ドレイン 入出力	8 (P0D, P0E 耐圧: VDD) P0D プルアップ: ソフトウェア P0E プルアップ: ソフトウェア			8 (P0D, P1A 耐圧: 9V) P0Dプルアップ: マスク・オプション P1A プルアップ: マスク・オプション	
内蔵プルアップ抵抗		100 k TYP. (P0D 以外) 10 k TYP. (P0D)			100 k TYP.	
A/Dコンバータ (動作電圧)		8 ビット × 4 チャンネル (VDD = 4.0 ~ 5.5 V)			8 ビット × 4 チャンネル (VDD = 4.5 ~ 5.5 V)	
基準電圧端子		VREF (VREF = 2.5 V ~ VDD)			なし (VREF = VADC = VDD)	
タイマ	8 ビット (TM0, TM1)	2 (タイマ出力: TM1OUT) TM0クロック: fx / 512 fx / 64 fx / 16 INT TM1クロック: fx / 8192 fx / 128 fx / 16 TM0カウント・アップ			2 (タイマ出力: TM0OUT) TM0クロック: fx / 256 fx / 64 fx / 16 INT TM1クロック: fx / 1024 fx / 512 fx / 256 TM0カウント・アップ	
	ベーシック・インターバル (BTM)	1 (ウォッチドッグ・タイマ兼用) カウント・クロック: fx / 16384 fx / 4096 fx / 512 fx / 16			1 (ウォッチドッグ・タイマ兼用) カウント・クロック: fx / 8192 fx / 4096 TM0 カウント・アップ INT	
割り込み	外部	1			1 (ACゼロクロス検出あり)	
	内部	4 (TM0, TM1, BTM, SIO)				
SIO		1 (クロック同期 3 線式)				
出力ラッチ		P0Diのラッチとは独立			P0Diのラッチと兼用	
スタンバイ機能		HALT, STOP (解除用入力端子 RLS あり)			HALT, STOP	
発振安定待ち時間		128 × 256カウント			512 × 256カウント	

	μ PD17145	μ PD17147	μ PD17149	μ PD17135A	μ PD17137A
POC 機能	マスク・オプション			内蔵	
パッケージ	28ピン・プラスチックSDIP (400 mil) 28ピン・プラスチックSOP (375 mil)				
ワン・タイムPROM	μ PD17P149			μ PD17P137A	

注意 μPD17145 サブシリーズとμPD17135A, 17137Aとはピン互換製品ではありません。また, μPD17145 サブシリーズには, μPD17134A, 17136A (RC発振タイプ) に相当する製品はありません。
電気的特性については, それぞれの製品のデータ・シートを参照してください。

付録C . 開発ツール

μPD17145, 17147, 17149, 17145(A), 17147(A), 17149(A)のプログラムを開発するために、以下の開発ツールを用意しています。

ハードウェア

名 称	概 要
インサーキット・エミュレータ (IE-17K IE-17K-ET ^{注1} EMU-17K ^{注2})	IE-17K, IE-17K-ET, EMU-17Kは、17Kシリーズ共通のインサーキット・エミュレータです。 IE-17KおよびIE-17K-ETは、ホスト・マシンであるPC-9800 シリーズまたはIBM PC/AT™とRS-232-Cを介して接続して使用します。EMU-17Kは、ホスト・マシンであるPC-9800 シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード (SEボード) と組み合わせて使用することにより、その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウェアであるSIMPLEHOST®を使用すると、さらに高度なデバッグ環境を実現できます。 また、EMU-17Kは、データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード (SE-17145)	SE-17145は、μPD17145サブシリーズ用のSEボードです。単体でシステム評価に、インサーキット・エミュレータと組み合わせてデバッグに使用します。
エミュレーション・プローブ (EP-17K28CT)	EP-17K28CTは、17Kシリーズ28ピン・シュリンクDIP (400 mil) 用のエミュレーション・プローブです。
エミュレーション・プローブ (EP-17K28GT)	EP-17K28GTは、17Kシリーズ28ピンSOP (375 mil) 用のエミュレーション・プローブです。EV-9500GT-28 ^{注3} とともに使用することで、SEボードとターゲット・システムを接続します。
変換アダプタ (EV-9500GT-28 ^{注3})	EV-9500GT-28は、28ピンSOP (375 mil) 用のアダプタです。EP-17K28GTとターゲット・システムを接続するために使用します。
PROMプログラマ (AF-9703 ^{注4} AF-9704 ^{注4} AF-9705 ^{注4} AF-9706 ^{注4})	AF-9703, AF-9704, AF-9705およびAF-9706は、μPD17P149に対応したPROMプログラマです。プログラムアダプタAF-9808Mを接続することにより、μPD17P149をプログラミングすることができます。
プログラムアダプタ ^{注4} (AF-9808M)	AF-9808Mは、μPD17P149をプログラミングするためのアダプタです。AF-9703, AF-9704, AF-9705またはAF-9706と組み合わせて使用します。

注1 . 廉価版：電源外付けタイプ

- 2 . 株式会社アイ・シーの製品です。詳細につきましては、株式会社アイ・シー (東京 (03) 3447-3793) までお問い合わせください。
- 3 . EP-17K28GTには、EV-9500GT-28が2個添付されています。また、EV-9500GT-28を5個1組で別売もしています。
- 4 . 安藤電気株式会社の製品です。詳細につきましては、安藤電気株式会社 (東京 (03) 3733-1151) までお問い合わせください。

ソフトウェア

名 称	概 要	ホスト・マシン	OS		供給媒体	オーダ名称
17Kシリーズ アセンブラ (AS17K)	AS17Kは17Kシリーズ共通のアセンブラです。 μPD17145, 17147, 17149のプログラム開発には, このAS17Kとデバイス・ファイル (AS17145) を組み合わせて使用します。	PC-9800シリーズ	MS - DOS™		5インチ2HD	μS5A10AS17K
					3.5インチ2HD	μS5A13AS17K
		IBM PC/AT	PC DOS™		5インチ2HC	μS7B10AS17K
					3.5インチ2HC	μS7B13AS17K
デバイス・ファイル (AS17145)	AS17145にはμPD17145, 17147, および17149用のデバイス・ファイルが入っています。 17Kシリーズ共通のアセンブラ (AS17K) と組み合わせて使用します。	PC-9800シリーズ	MS - DOS		5インチ2HD	μS5A10AS17145
					3.5インチ2HD	μS5A13AS17145
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10AS17145
					3.5インチ2HC	μS7B13AS17145
サポート・ソフトウェア (SIMPLEHOST)	SIMPLEHOSTはインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときに Windows™上でマン・マシン・インタフェースを行うソフトウェアです。	PC-9800シリーズ	MS - DOS	Windows	5インチ2HD	μS5A10IE17K
					3.5インチ2HD	μS5A13IE17K
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10IE17K
					3.5インチ2HC	μS7B13IE17K

備考 対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver. 3.30 ~ Ver.5.00A ^注
PC DOS	Ver. 3.1 ~ Ver.5.0 ^注
Windows	Ver. 3.0 ~ Ver.3.1

注 MS-DOSのVer.5.00/5.00A, PC DOSのVer.5.0にはタスク・スワップ機能がありますが, このソフトウェアではタスク・スワップ機能は使用できません。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

SIMPLEHOSTは、日本電気株式会社の登録商標です。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/AT, PC DOSは、米国IBM社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494
FAX：044-435-9608
E-mail：s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部
東京 (03)3798-6106, 6107, 6108
名古屋 (052)222-2375
大阪 (06)6945-3178, 3200, 3208, 3212
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部
東京 (03)3798-6110, 6111, 6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部
東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
水戸 (029)226-1702
広島 (082)242-5504
高崎 (027)326-1303
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>