

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## ETC車載器用DSRC無線制御用LSI

$\mu$  PD6750(A)は、ETC車載器において、DSRC（狭域通信）制御部として通信／制御情報のインタフェースを行うLSIです。ETCアプリケーション情報および制御情報に対し、スロット単位でマンチェスタ符号化／復号化、同期確立／クロック再生、データ送受信、CRC付加／チェック、ACK/NAK返信などを行います。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

$\mu$  PD6750(A) ユーザズ・マニュアル：作成予定

## 特 徴

低電圧動作，低消費電力：Vcc = 3.3 V，40 mW

車載器仕様

デジタルPLL回路内蔵

汎用RFモジュール・インタフェース：送受2系統および送受1系統切り替え式RFモジュールと接続可能

汎用CPUインタフェース：内蔵DPRAMおよびメモリ・マップトI/O

## オーダ情報

オーダ名称	パッケージ	品質水準
$\mu$ PD6750GC(A)-3B9	80ピン・プラスチックQFP（14×14）	特別（高信頼度電子機器用）

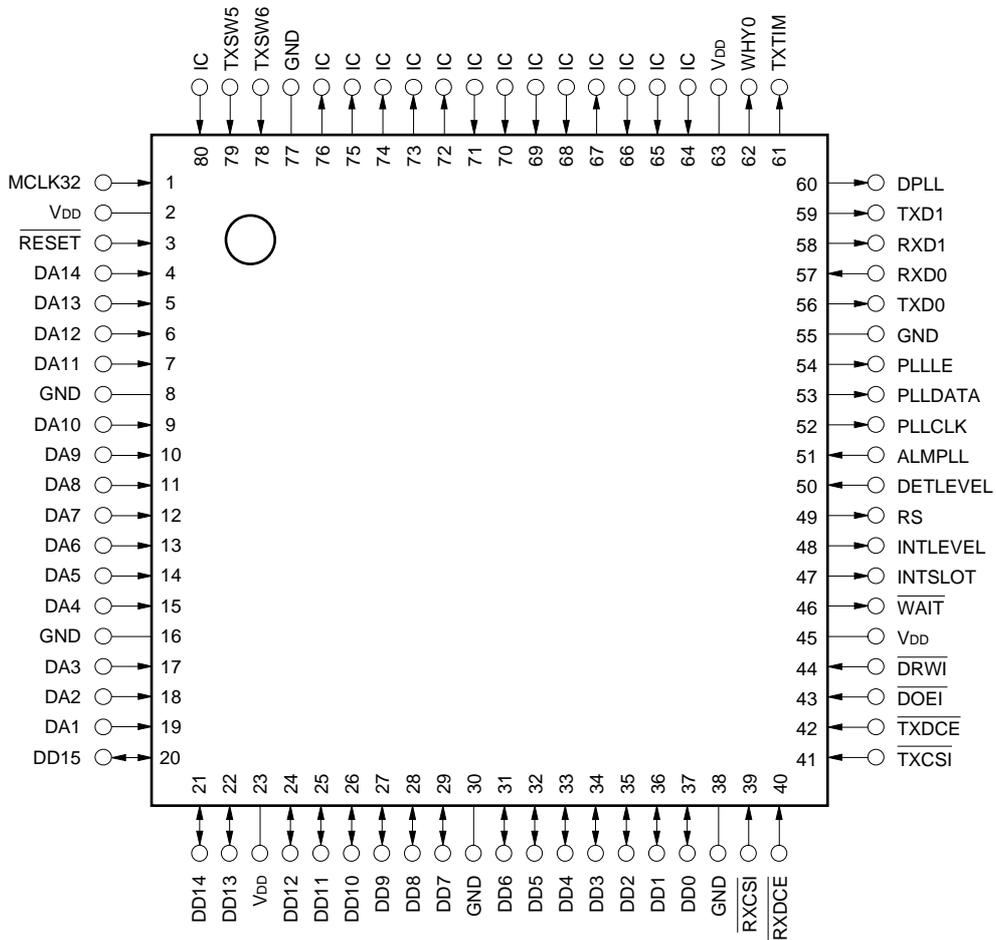
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号 C11531J）をご覧ください。

本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。  
また本資料で扱う製品の製品化を中止することがあります。

端子接続図 (Top View)

・ 80ピン・プラスチックQFP (14×14)

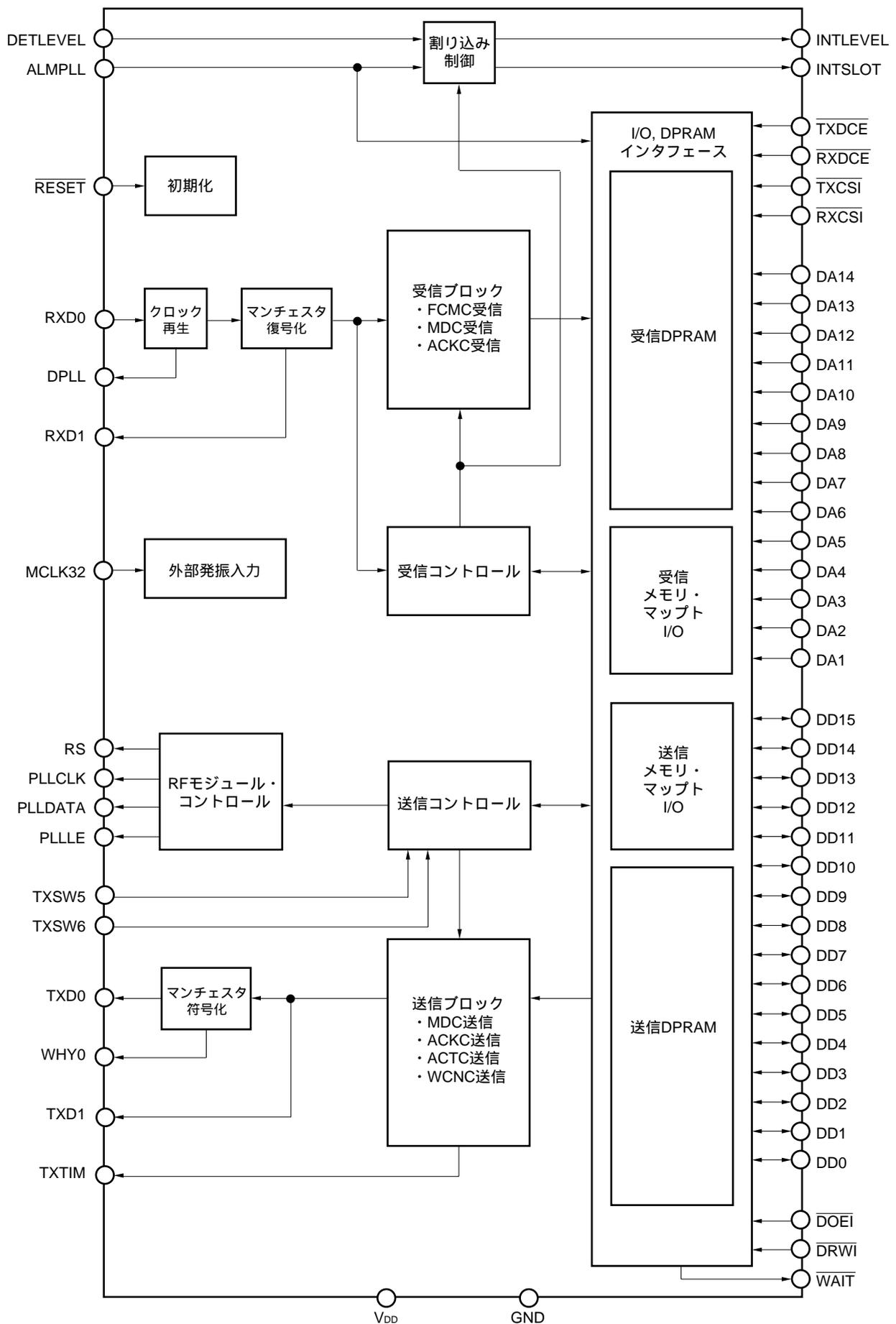
μPD6750GC(A)-3B9



## 端子名称

ALMPLL	: PLL Synthesizer Alarm
DA1-DA14	: Address
DD0-DD15	: Data
DETLEVEL	: Field Detect
$\overline{\text{DOEI}}$	: Output Enable
DPLL	: Recovery Clock
$\overline{\text{DRWI}}$	: Write
GND	: Ground
IC	: Internally Connected
INTLEVEL	: Level Interrupt
INTSLOT	: Slot Interrupt
MCLK32	: System Clock
PLLCLK	: PLL Synthesizer Clock
PLLDATA	: PLL Synthesizer Data
PLLLE	: PLL Synthesizer Load Enable
$\overline{\text{RESET}}$	: Reset
RS	: Receive/Transmit Select
$\overline{\text{RXCSI}}$	: Receive I/O Select
RXD0, RXD1	: Receive Data
$\overline{\text{RXDCE}}$	: Receive DPRAM Select
$\overline{\text{TXCSI}}$	: Transmit I/O Select
TXD0, TXD1	: Transmit Data
$\overline{\text{TXDCE}}$	: Transmit DPRAM Select
TXSW5	: All 1 Output
TXSW6	: PN Output
TXTIM	: Transmit Frame Pulse
V <sub>DD</sub>	: Power Supply
$\overline{\text{WAIT}}$	: Wait
WHY0	: Transmit Clock

ブロック図



## 目 次

1. 端子機能 ... 6
2. 機能概要 ... 8
  - 2.1 仕様一覧 ... 9
  - 2.2 機能概要 ... 11
    - 2.2.1 受信側制御 ... 12
    - 2.2.2 送信側制御 ... 15
    - 2.2.3 試験機能 ... 17
3. RF モジュールとのインタフェース ... 18
  - 3.1 RF モジュールとの接続方法 ... 18
  - 3.2 周波数サーチ機能 ... 20
  - 3.3 送受1系統RFモジュール用アンテナ切り替え制御 ... 21
  - 3.4 受信レベル監視 ... 24
  - 3.5 PLL アラーム処理 ... 24
4. コントロールCPUとのインタフェース ... 25
  - 4.1 コントロールCPUとの接続 ... 25
  - 4.2 メモリ・マップトI/Oインタフェース ... 26
    - 4.2.1 受信メモリ・マップトI/O ... 26
    - 4.2.2 送信メモリ・マップトI/O ... 28
  - 4.3 DPRAMインタフェース ... 32
    - 4.3.1 受信DPRAMマップ ... 32
    - 4.3.2 送信DPRAMマップ ... 37
5. 外形図 ... 46

## 1. 端子機能

端子番号	端子名	入出力	機 能	入出力形式	リセット時
1	MCLK32	入力	システム・クロック (32.768 MHz)	CMOS入力	入力
2	V <sub>DD</sub>	-	正電源供給	-	-
3	RESET	入力	ハードウェア・リセット	CMOS入力	入力
4	DA14	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
5	DA13	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
6	DA12	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
7	DA11	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
8	GND	-	グランド	-	-
9	DA10	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
10	DA9	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
11	DA8	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
12	DA7	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
13	DA6	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
14	DA5	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
15	DA4	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
16	GND	-	グランド	-	-
17	DA3	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
18	DA2	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
19	DA1	入力	DPRAM/メモリ・マップトI/Oアドレス・バス	CMOS入力	入力
20	DD15	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
21	DD14	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
22	DD13	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
23	V <sub>DD</sub>	-	正電源供給	-	-
24	DD12	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
25	DD11	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
26	DD10	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
27	DD9	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
28	DD8	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
29	DD7	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
30	GND	-	グランド	-	-
31	DD6	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
32	DD5	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
33	DD4	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
34	DD3	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
35	DD2	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
36	DD1	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
37	DD0	入出力	DPRAM/メモリ・マップトI/Oデータ・バス	CMOS入出力	入力
38	GND	-	グランド	-	-
39	RXCS <sub>I</sub>	入力	受信側メモリ・マップトI/Oセレクト	CMOS入力	入力
40	RXDCE	入力	受信側DPRAMセレクト	CMOS入力	入力
41	TXCS <sub>I</sub>	入力	送信側メモリ・マップトI/Oセレクト	CMOS入力	入力
42	TXDCE	入力	送信側DPRAMセレクト	CMOS入力	入力

端子番号	端子名	入出力	機能	入出力形式	リセット時
43	DOEI	入力	DPRAM/メモリ・マップトI/Oアウトプット・イネーブル	CMOS入力	入力
44	DRWI	入力	DPRAM/メモリ・マップトI/Oライト	CMOS入力	入力
45	V <sub>DD</sub>	-	正電源供給	-	-
46	WAIT	出力	CPU WAIT信号	CMOS出力	ハイ・レベル
47	INTSLOT	出力	CPUスロット割り込み	CMOS出力	ロウ・レベル
48	INTLEVEL	出力	RSSIレベル割り込み	CMOS出力	ロウ・レベル
49	RS	出力	RFモジュール送受切り替え信号	CMOS出力	ロウ・レベル
50	DETLEVEL	入力	RFモジュール電界検出入力(シュミット)	CMOS入力	入力
51	ALMPLL	入力	RFモジュールPLLシンセサイザ・アラーム	CMOS入力	入力
52	PLLCLK	出力	RFモジュールPLLシンセサイザ・クロック	CMOS出力	ロウ・レベル
53	PLLDATA	出力	RFモジュールPLLシンセサイザ・データ	CMOS出力	ロウ・レベル
54	PLLLE	出力	RFモジュールPLLシンセサイザ・ロード・イネーブル	CMOS出力	ロウ・レベル
55	GND	-	グラウンド	-	-
56	TXD0	出力	マンチェスタ符号化2 Mbps送信データ	CMOS出力	ロウ・レベル
57	RXD0	入力	マンチェスタ符号化2 Mbps受信データ	CMOS入力	入力
58	RXD1	出力	1 Mbps受信データ(マンチェスタ復号化後)	CMOS出力	ロウ・レベル
59	TXD1	出力	1 Mbps送信データ(マンチェスタ符号化前)	CMOS出力	ロウ・レベル
60	DPLL	出力	リカバリ・クロック出力(1.024 MHz)	CMOS出力	ロウ・レベル
61	TXTIM	出力	送信フレーム・パルス	CMOS出力	ロウ・レベル
62	WHY0	出力	送信側1.024 MHzクロック出力	CMOS出力	ロウ・レベル
63	V <sub>DD</sub>	-	正電源供給	-	-
64	IC	入力	(プルダウン)	-	-
65	IC	入力	(プルダウン)	-	-
66	IC	入力	(プルダウン)	-	-
67	IC	出力	(オープン)	-	-
68	IC	入力	(プルダウン)	-	-
69	IC	入力	(ロウ・レベル固定)	-	-
70	IC	入力	(ロウ・レベル固定)	-	-
71	IC	入力	(ロウ・レベル固定)	-	-
72	IC	出力	(オープン)	O.D.	Hi-Z
73	IC	出力	(オープン)	O.D.	Hi-Z
74	IC	出力	(オープン)	O.D.	Hi-Z
75	IC	出力	(オープン)	O.D.	Hi-Z
76	IC	出力	(オープン)	O.D.	Hi-Z
77	GND	-	グラウンド	-	-
78	TXSW6	入力	L: 通常動作, H: PN出力	CMOS入力	入力
79	TXSW5	入力	L: 通常動作, H: ALL 1出力	CMOS入力	入力
80	IC	入力	(ハイ・レベルまたはロウ・レベル固定)	CMOS入力	入力

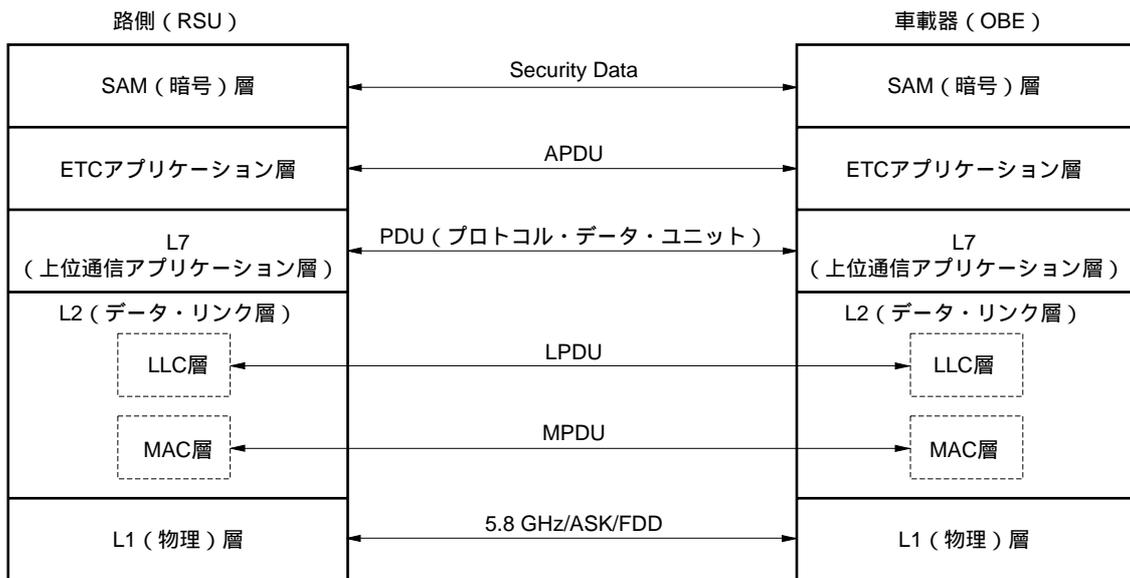
備考 O.D. : オープン・ドレーン  
Hi-Z : ハイ・インピーダンス

2. 機能概要

μPD6750(A)は、ETC（ノンストップ自動料金収受システム）の車載器においてDSRC（狭域通信）のL2層であるMAC副層の機能を行うことを目的としたCMOS LSIです。μPD6750(A)は、DSRC下位のL1層（物理層）であるRFモジュールと、上位L2-LLC副層/L7層およびETCアプリケーション層として機能するコントロールCPUとの間において通信/制御情報のインタフェースを行います。無線通信方式はTDMA/FDD方式とし、キャリア周波数間隔は10 MHz、変調方式はASK、伝送速度は1.024 Mbps、符号化方式はマンチェスタ符号を用います。

ETCアプリケーションの層構成と路車間における各層の情報交換の概要を図2-1に示します。

図 2 - 1 路車間情報交換概要



## 2.1 仕様一覧

### (1) ハードウェア

- ・パッケージ 80ピンQFP
- ・電源電圧 3.3±0.3 V
- ・消費電力 40 mW
- ・動作周波数 32.768 MHz
- ・信頼性 車載対応

### (2) 機能端子種類

#### (a) RFモジュール・インタフェース

##### 入 力

- ・マンチェスタ符号化受信データ (2.048 Mbps)
- ・電界検出信号 (RSSI)
- ・PLLアラーム信号

##### 出 力

- ・マンチェスタ符号化送信データ (2.048 Mbps)
- ・シンセサイザ設定データ, クロック, LE
- ・送受1系統RFアンテナ切り替え信号

#### (b) コントロールCPUインタフェース

##### 入 力

- ・リセット
- ・アドレス・バス (14ビット)
- ・送 / 受信DPRAMイネーブル
- ・送 / 受信メモリ・マップI/Oイネーブル
- ・アウトプット・イネーブル, リード / ライト

##### 入 出 力

- ・データ・バス (16ビット)

##### 出 力

- ・スロット割り込み, RSSIレベル割り込み

#### (c) 周辺/MMIインタフェース

- ・外部クロック32.768 MHz
- ・送信モード設定DIP\_SW入力

### (3) 機 能

#### (a) 送 信 系

- ・RFモジュールPLLシンセサイザ設定
- ・MDC送信 (ETCデータ生成 / 送信)
- ・ACKC送信 (アクノリッジ・データ生成 / 送信)

- ・ ACTC送信（接続データ生成 / 送信）
- ・ WCNC送信（呼び出し符号データ送信）
- ・ 送信タイミング生成
- ・ マンチェスタ符号化

#### (b) 受信系

- ・ マンチェスタ復号
- ・ チャネル同期（クロック抽出，スロット同期）
- ・ 受信タイミング生成（受信タイミング，スロット割り込み発生）
- ・ FCMC受信（フレーム構成解析，LID認識）
- ・ MDC受信（デスクランブル，CRCチェック，受信データ抽出，ACK応答判定）
- ・ ACKC受信

#### (c) 制御系

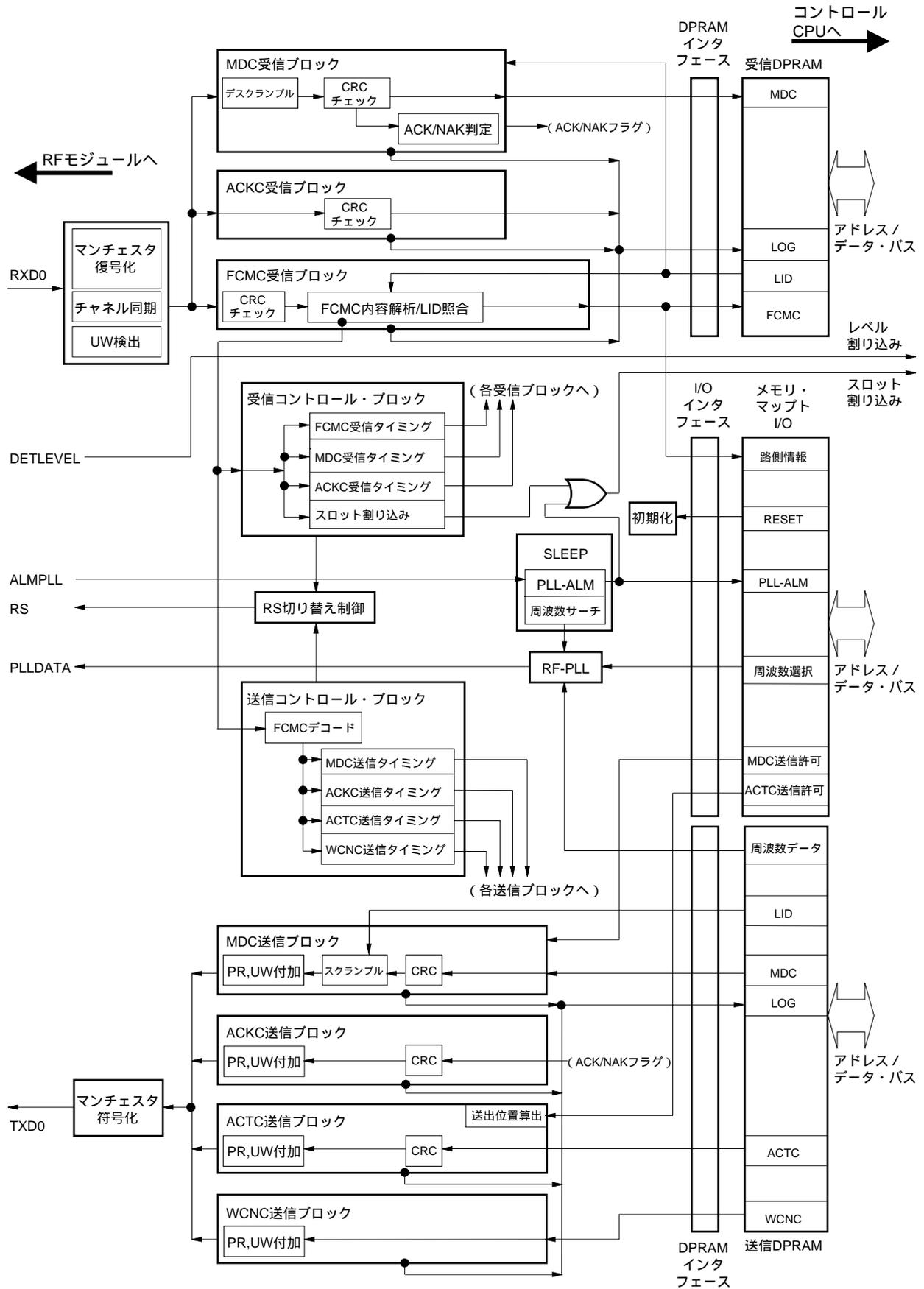
- ・ 送信タイミング生成
- ・ 受信タイミング生成
- ・ 送受1系統RFモジュール接続用アンテナ切り替え
- ・ メモリ・マップトI/Oインタフェース
- ・ DPRAMインタフェース
- ・ A/Bモード周波数切り替え機能
- ・ PLLアラーム

#### (d) 試験用

- ・ PN出力
- ・ ALL"1"出力

2.2 機能概要

図 2-2 機能ブロック

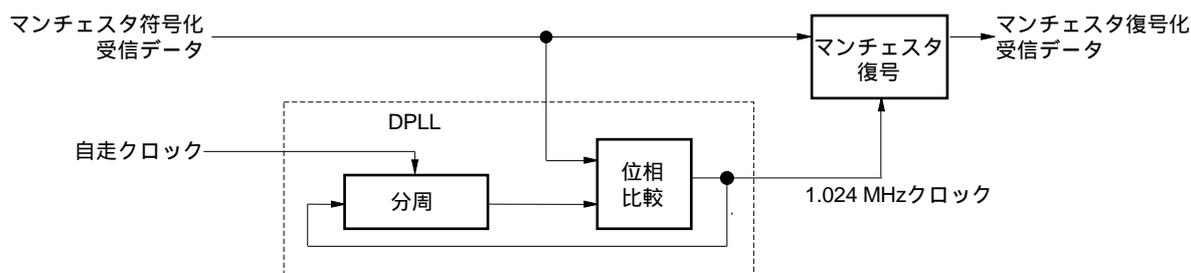


2.2.1 受信側制御

(1) 同期確立

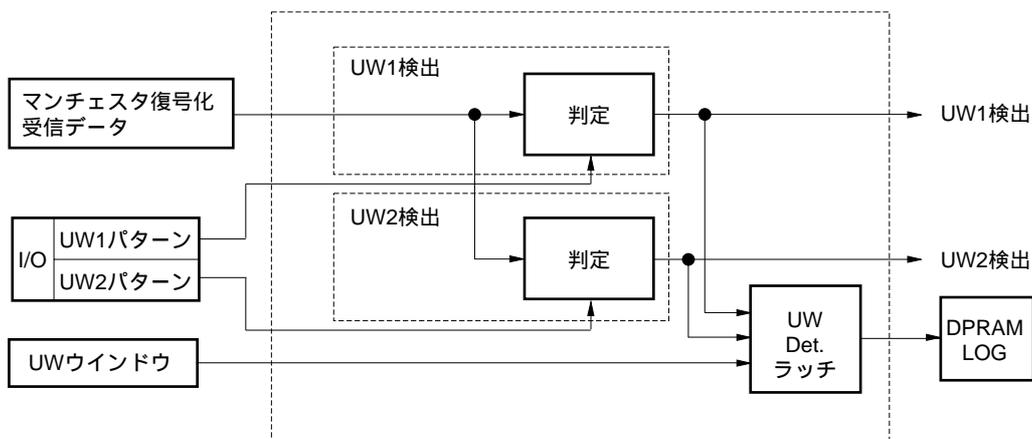
受信データに同期した1.024 MHzクロックを生成し、内部自走1.024 MHzクロックの位相を同期させます。受信データのマンチェスタ復号を行います。

図 2-3 クロック・リカバリ・ブロック



受信データからUWパターンを検出してUW検出信号を出力し、スロット同期をとります。検出条件は全ビット一致です。

図 2-4 UW 検出ブロック



UW1を検知すると、μPD6750(A)は次に示す処理を行います。

- ・ 周波数サーチ制御を停止し、キャリア周波数を固定する。
- ・ 受信FCMCデータを受信DPRAMのFCMCデータ領域に書き込む。
- ・ FCMCデータのCRCチェックを行う。
- ・ UW1検出結果およびCRC判定結果を受信DPRAMのLOG領域に書き込む。
- ・ 受信メモリ・マップI/Oの「シーケンシャル番号」を更新する。
- ・ コントロールCPUにスロット割り込み信号を出力する。

次に、コントロールCPUのフレーム同期制御例を示します。

- ・ コントロールCPUはスロット割り込みにより、まず受信メモリ・マップトI/Oの「PLLアラーム/RSSIレベル検出」を参照し、PLLアラーム発生の有無を確認します（PLLアラームが発生していればPLLアラーム処理に移ります）。
- ・ PLLアラームが発生していなければ、フレーム同期処理に移ります。受信メモリ・マップトI/Oの「シーケンシャル番号」を参照し、これに対応する受信DPRAMのLOG領域からUW1検出結果およびCRC判定結果を読み出します。
- ・ このUW1およびCRCの結果確認を後続のFCMCの受信ごとに繰り返して実行し、連続して正常ならばファームウェアは路側無線装置とのフレーム同期が確立したと判断して受信メモリ・マップトI/O上に「SYNC」フラグをセットします。これにより、μPD6750(A)は通常の送受信制御が可能となります。
- ・ 2回目以降のUW1またはCRCチェックの結果がNGでFCMCを連続して受信できなかった場合、μPD6750(A)は前回のFCMC受信タイミングを基点とした後続スロット位置を計算して、スロット割り込みを自発的に発生し続けます。このときコントロールCPUは自走スロット割り込みを受け付けると、DPRAMの受信LOGデータを読み出してFCMC受信NGを認識し、μPD6750(A)に送/受信STOP 送/受信START信号を出力します。これにより、μPD6750(A)は初回FCMC待ち受け状態に戻り、周波数サーチを開始して同期処理を再開します。

## (2) スロット割り込み

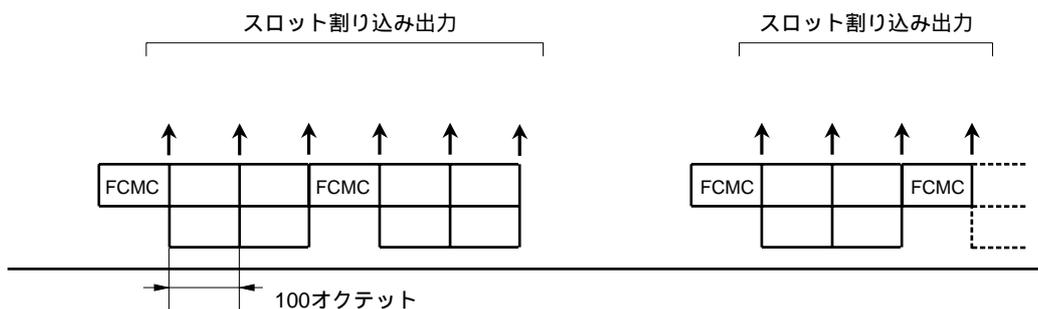
スロット割り込み出力は受信メモリ・マップトI/Oの設定により、次に示すタイミングで行われます。

- (a) 「受信START」セットかつ「UNSYNC」状態  
FCMC受信完了時。
- (b) 「受信START」セットかつ「SYNC」状態  
FCMC受信完了時を基点として算出された後続スロットの受信完了時（100オクテットごと）。また、次のFCMC受信時には次のタイミングで割り込みを出力する。
  - (b-1) 次回FCMC受信NGの場合  
前回のFCMC受信完了タイミングを基点とした後続スロット周期（100オクテットごと）を継続して割り込みを発生し続ける。
  - (b-2) 次回FCMC受信OKの場合  
最新FCMC受信完了時を基点として割り込み発生タイミングを補正し、上記制御を継続する。

スロット割り込みの出力例を次に示します。

- ・ メモリ・マップトI/Oに対し、外部より送/受信STOP 送/受信STARTを設定すると、最初に正常受信したFCMCおよびそれに続く各スロットの終わりのタイミングでスロット割り込みを出力します。以後、FCMCを受信するごとにビット同期を取り、FCMCおよび後続スロットの最後でスロット割り込みを出力します。
- ・ 通信制御の途中で任意のフレームのFCMCが正常に受信されなかった場合は、1つ前に正常受信したフレームのFCMCを基点にして100オクテット（=1スロット）ごとにスロット出力を続けます（自走スロット割り込み）。
- ・ メモリ・マップトI/Oに送/受信STOPを書き込むとスロット割り込みは停止します。

図 2 - 5 スロット割り込みの出力



- 送 / 受信STOP 送 / 受信START書き込み
- 第1FCMC正常受信の終わり
- 同一フレーム内の後続スロットの終わり
- 第2FCMC正常受信の終わり (正常受信できなかった場合は、 を基点として100オクテットごとにスロット割り込み出力を続ける)
- 後続スロットの終わり
- 送 / 受信STOPを設定, 以後スロット割り込み停止
- 送 / 受信START書き込み
- 第1FCMC正常受信の終わり
- 同一フレーム内の後続スロットの終わり
- 第2FCMC正常受信の終わり

(3) FCMC 受信

- ・ 受信したFCMCの内容を解析し, フレーム長 / スロット種別の判定を行う。
- ・ 自局のLIDと受信データのLIDを比較する。
- ・ FCMC受信データを受信DPRAMのFCMCデータ領域に書き込む。
- ・ FCMC受信データのCRCチェックを行う。結果を受信DPRAMのLOG領域に書き込む。
- ・ 受信メモリ・マップトI/Oの「シーケンシャル番号」を更新する。
- ・ 受信FCMC内のデータ [ TRI ], [ TDI ], [ CM ], [ SLN ], [ CI ], [ LID ] を抽出し, FCMC受信ブロック内部レジスタに保持する。

(4) MDC, ACKC 受信

受信したFCMCデータを解析し, 自局のLIDと同一のダウンリンクMDSデータが存在する場合は, このMDCデータにデスクランブル, CRCチェック, ACK/NAK判定処理を行います。

- ・ デスクランブル  
LIDの下位16ビットのビット反転パターンを初期値とし, かつ生成多項式  $1 + X + X^3 + X^{12} + X^{16}$  により符号化されたデータとみなして復号化する。
- ・ CRCチェック  
受信MDCデータに対するCRCチェックを行い, 結果を受信DPRAMのLOG領域に書き込む。かつ受信メモリ・マップトI/Oの「シーケンシャル番号」を更新する。
- ・ ACK/NAK判定  
内部ACK/NAKフラグを次に示す条件に基づいて設定する。

ACK条件=条件 かつ かつ かつ

条件 : 受信FCMCの該当する [ CI ] 内のSTが111 (通常) または000 (優先) であること。

条件 : 受信MDC内のFRGおよびC/Lの関係が次の組み合わせであること。

FRG	C/L	結果
0	0	ACK
0	1	ACK
1	0	ACK
1	1	NAK

条件 : 受信MDC内のLIが1以上65以下の値であること。

条件 : 受信MDCのCRCチェック結果が正常であること。

受信MDCデータをMPDUフォーマットで受信DPRAMのMDC領域にセットします。内部のDPRAMアクセスはLSBファーストです。

自局のLIDと同一のダウンリンクMDS内のACKCを受信し、CRCチェックを行い、結果をACK/NAK受信結果とともに受信DPRAMのLOG領域に書き込みます。

#### (5) 受信側 DPRAM, メモリ・マップト I/O

- ・ スロットごとの受信データを受信DPRAMにセットする。DPRAMアクセスはLSBファースト。
- ・ LOG領域データ・セットの際、LOGアドレスを受信メモリ・マップトI/Oの「シーケンシャル番号」に出力する。
- ・ 受信メモリ・マップトI/Oに外部設定されたフラグに基づき、受信制御を行う。

### 2.2.2 送信側制御

車載器側が同期状態となり、外部から受信メモリ・マップトI/Oに「SYNC」フラグをセットすることにより送信制御を開始します。

#### (1) 送信制御条件

時分割対応の送信タイミング制御を行います。受信FCMSからフレーム情報をラッチして各スロットの送信タイミングを生成します。

##### (a) MDS送信タイミング生成

受信FCMC内のスロット情報 [ CI ] を解読して次の条件に該当するスロット情報を検出し、かつそのリンク・アドレスLIDが自局のLIDと同一であるとき、MDS送信制御を行います。

条件 : SIビット= 00 (MDSとして割り付け)

条件 : STビット= 111 (通常), 000 (優先) または100 (アイドル)

条件 : DRビット= 1 (アップリンク)

##### (b) ACTS送信タイミング生成

受信FCMC内のスロット情報 [ CI ] を解読して次の条件に該当するスロット情報を検出したとき、ACTS送信制御を行います。

条件 : SIビット= 11 (ACTSとして割り付け)

条件 : ACPIビット= 1 (送信許可)

(c) WCNS送信タイミング生成

受信FCMC内のスロット情報 [ CI ] を解読して次の条件に該当するスロット情報を検出し、かつそのリンク・アドレスLIDが自局のLIDと同一であるとき、WCNS送信制御を行います。

条件 : SIビット= 10 (WCNSとして割り付け)

条件 : STビット= 111 (通常) または000 (優先)

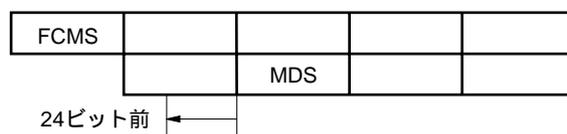
条件 : DRビット= 1 (アップリンク)

(2) 送信 MDC 生成

コントロールCPUは初期設定時にUW2ビット・パターンを送信メモリ・マップトI/Oに書き込みます。

また、送信データをMPDU( MAC制御フィールド+LPDU)形式にて送信DPRAMのMDCデータ領域(MDC#0)に書き込み、送信メモリ・マップトI/Oの「MDC送信許可」のMDC#0フラグ(D0)をセットします。

送信データおよび送信許可フラグを設定するタイミングは、MDSスロット送信開始の24ビット前までです。



このときμ PD6750(A)は、次に示す手順によりMDCデータを構成、出力します。

- ・ 送信DPRAMから送信用MPDUデータを読み出し、CRC計算を行って結果をMPDUの後ろに付加する。DPRAMアクセスはLSBファースト。
- ・ LPDU + CRC部に対しデータ・スクランブル処理を行う。
- ・ PRとともにPR + UW2 + MAC + (LPDU + CRC) スクランブル化として配列して送信用MDCシリアル・データとして出力する。送信履歴は、送信DPRAMのLOG領域に書き込まれる。

(3) 送信 ACKC 生成

受信側ACK/NAKフラグの設定によりACKまたはNAKデータを選択し、PR, UWを付加したあと、CRCを計算して結果を付加し、ACKC送信データを生成します。

送信メモリ・マップトI/Oの「ACKC送信」フラグがセットされているとき、次に示す処理を行ってACKCを出力します。

- ・ 送信メモリ・マップトI/Oの「UW2」よりUW2パターンを読み出す。
- ・ MDC受信ブロック内の [ ACK/NAKフラグ ] の状態により、次のACKC送信データを生成する。

[ ACK/NAKフラグ ] セット時: PR + UW2 + ACKパターン + CRC<sub>ACK</sub>

[ ACK/NAKフラグ ] リセット時: PR + UW2 + NAKパターン + CRC<sub>NAK</sub>

送信履歴は、送信DPRAMのLOG領域に書き込まれる。

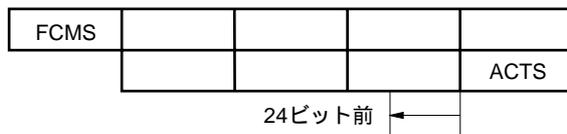
(4) 送信 ACTC 生成

コントロールCPUから次に示すデータを設定します。

- (a) 初期設定により送信メモリ・マップトI/OにUW2パターンを書き込む。
- (b) ACTC送信用データとしてFID, LID, LRIをこの順序で配列し、送信DPRAMのACTCデータ領域に書き込む。

(c) ACTC送信用ウインドウ選択情報を送信メモリ・マップトI/Oに書き込む。

ここで (b) (c) を書き込むタイミングは、ACTCスロット送信開始の24ビット前までです。



ACTC送信タイミングにより送信DPRAMよりACTCデータを読み出してPR, UW2を付加したあと、CRCを計算 / 付加し、ACTC送信データを生成、送信します。送信履歴は、送信DPRAMのLOG領域に書き込まれます。

**(5) 送信 WCNC 生成**

外部からWCNC送信データを送信DPRAMのWCNCデータ領域に書き込みます。WCNC送信タイミングにより送信DPRAMからWCNCデータを読み出し、PR, UW3を付加してWCNC送信データを生成します。UW3は外部より送信メモリ・マップトI/Oの「UW3」に書き込まれます。

**(6) 送信側 DPRAM, メモリ・マップト I/O**

- ・ スロットごとの送信データを送信DPRAMから読み出す。DPRAMアクセスはLSBファースト。
- ・ LOG領域データ・セットの際、LOGアドレスを受信メモリ・マップトI/Oの「シーケンシャル番号」に出力する。
- ・ 送信メモリ・マップトI/Oに外部設定されたフラグに基づき、送信制御を行う。

**2.2.3 試験機能**

**(1) PN 出力**

ITU-T勧告O.151による15段PN符号発生回路を内蔵し、外部設定またはI/O設定により通常データ送信とPNパターン送信を切り替えます。

**(2) ALL"1"出力**

外部設定またはI/O設定により、通常データ送信とALL"1"データ送信を切り替えます。

**(3) モニタ**

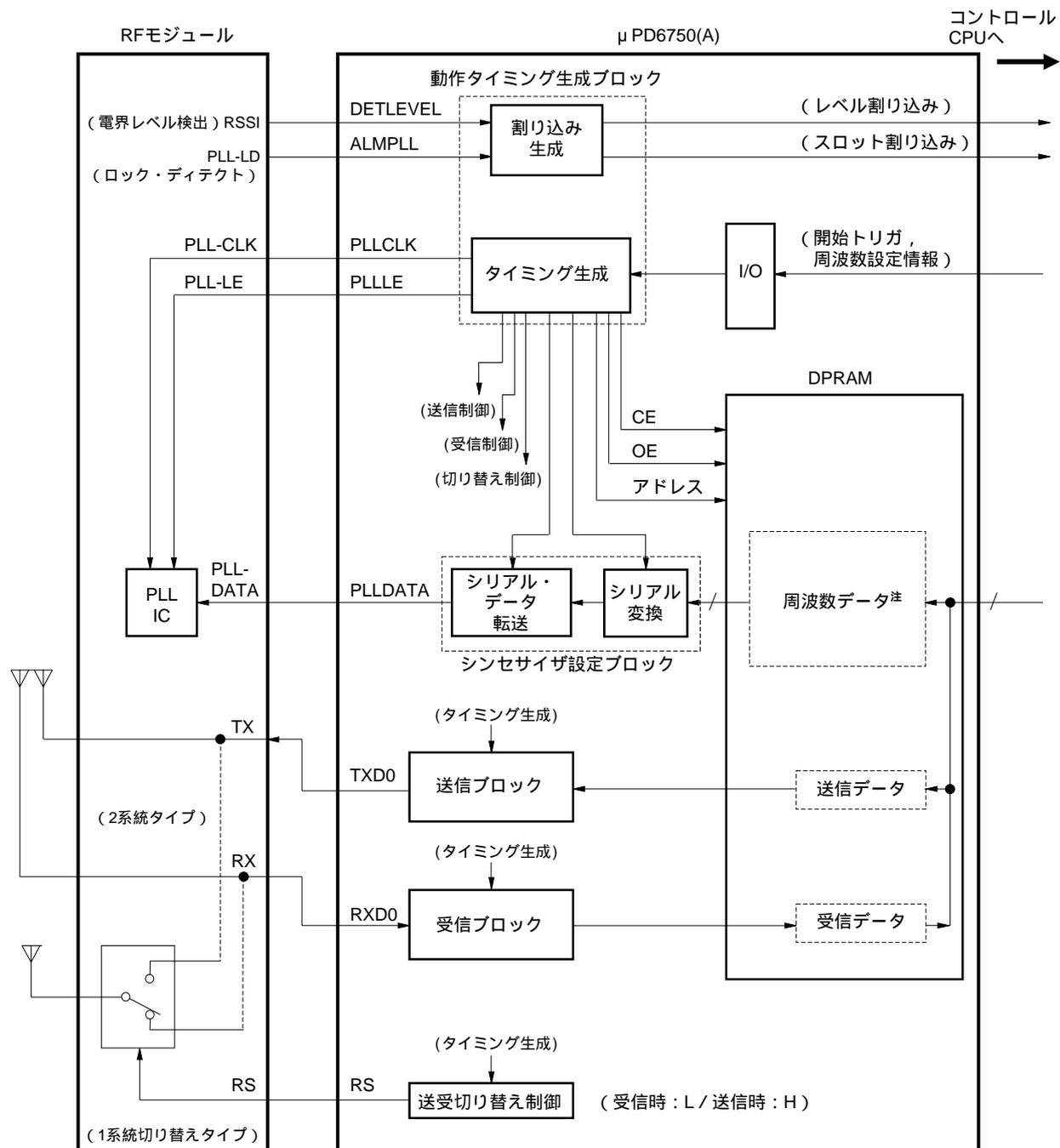
BER測定用にマンチェスタ復号化1.024 Mbpsデータ (RXD1) およびリカバリ・クロック (DPLL) を外部端子に出力します。

3. RF モジュールとのインタフェース

3.1 RFモジュールとの接続方法

図3 - 1にRFモジュールとの接続例を示します。

図 3 - 1 RF モジュール・インタフェース



注 富士通製MB15E06, MB15E07, MB15E07SLフォーマットに準拠

RFモジュール・インタフェースの概要を、次に示します。

- ・ RFモジュールから受信マンチェスタ符号化信号を入力する。
- ・ RFモジュールへ送信マンチェスタ符号化信号を出力する。
- ・ 接続されるRFモジュールは送受信部が共通の局部発振器で動作することが前提。

設定データのフォーマットは、次の富士通製PLLシンセサイザICに準拠する。

MB15E06, MB15E07 (同一フォーマット) : 37ビット

MB15E07SL : 38ビット

- ・ A/Bモード周波数切り替えの際、切り替えごとに3線式にて周波数データを転送する。切り替え周期は送信メモリ・マップトI/Oの設定により4, 6, 8, 10, 12, 14および16 msのいずれかを選定可能。
- ・ DETLEVEL (RSSI) 入力およびALMPLL (PLLアラーム) 入力は、2値化信号入力に対応する。
- ・ 送受1系統RFモジュールのアンテナ切り替え信号 (RS) を生成 / 出力する。

3.2 周波数サーチ機能

(1) モード設定

送信メモリ・マップトI/Oのアドレス00H D7の値により、通常モードとディバグ・モードを切り替えます。

**通常モード (00H D7 = 0)**

送信メモリ・マップトI/Oのアドレス00H D[6..4]の値により設定される切り替え時間で、2種類の周波数 (F0/F1) を交互にRFモジュールのPLLシンセサイザICに設定します。設定制御は送信および受信メモリ・マップトI/Oの両方に送 / 受信STOP 送 / 受信STARTを書き込むことで開始します。この状態で受信データからFCMCが正常に検出 (UW1/CRCチェックがともにOK) されると、μPD6750(A)は周波数サーチを停止します。周波数サーチを再開する場合は再度、送 / 受信STOP 送 / 受信STARTを書き込みます。

**ディバグ・モード (00H D7 = 1)**

送信メモリ・マップトI/Oのアドレス00H D[3..0]の値により、16種類の周波数データ (F0-F15) を選択し、送信メモリ・マップトI/Oのアドレス18H FREQSETに任意値を書き込むことにより、選択された周波数データをRFモジュールのPLLシンセサイザICに設定します。

表 3-1 周波数サーチ機能設定

送信I/O空間先頭アドレス : DA14, 13, 12-1 = 0, 0, 000H

アドレス	名称	D7	D6 D5 D4	D3 D2 D1 D0
00H	FREQ_DATA_0	周波数設定切り替え 0 : 通常モード 1 : ディバグ・モード	周波数切り替え時間設定 110 : 4 ms 101 : 6 ms 100 : 8 ms 011 : 10 ms 010 : 12 ms 001 : 14 ms 000 : 16 ms	FREQ_03 FREQ_02 FREQ_01 FREQ_00 0000 : F0 (Aモード) 0001 : F1 (Bモード) 0010 : F2 0011 : F3 0100 : F4 0101 : F5 0110 : F6 0111 : F7 1000 : F8 1001 : F9 1010 : F10 1011 : F11 1100 : F12 1101 : F13 1110 : F14 1111 : F15
18H	FREQ_SET	内容任意		

(2) RF モジュール PLL シンセサイザ IC へのデータ設定

送信および受信メモリ・マップトI/Oへの開始タイミング設定 (送 / 受信STOP 送 / 受信START書き込み) により送信メモリ・マップトI/Oの「FREQ\_DATA\_0」に設定された制御情報を読み出し、かつ送信DPRAMより周波数データを読み出してデータ出力 (PLL-DATA)、データ・クロック (PLL-CLK)、ロード・イネーブ

ル (PLL-LE) を生成して3線式にてRFモジュールのPLLシンセサイザICに転送します。

PLLデータ・フォーマットは富士通製MB15E06, MB15E07, MB15E07SLに準拠します。このときMB15E06, MB15E07とMB15E07SLはデータ・フォーマットが異なるため, 送信メモリ・マップトI/Oの「PLL-IC設定」フラグ (アドレス: 1DH, D7) を次のように設定してください。

1: MB15E06, MB15E07フォーマット・データ設定モード

0: MB15E07SLフォーマット・データ設定モード

データ送出速度は10  $\mu$ s / 1クロックです。

### (3) 第2 ビーコン周波数ホールド

送信メモリ・マップトI/Oの「第2ビーコン周波数ホールド」フラグ (アドレス: 1BH, D6) を設定することにより, 次に示す制御を行います。

0: 従来の周波数サーチ (このとき送 / 受信STOP 送 / 受信STARTで周波数サーチ開始)

1: 現状の周波数を維持する (このとき送 / 受信STOP 送 / 受信STARTをかけても周波数サーチに移行せず, 現状の周波数はそのままロックされる)

路側無線装置が第一ビーコンと第二ビーコンの2面アンテナとして構成されて進行方向に縦列隣接して配置されているとき, この情報は路側よりFCMC内でCCZ = 1として車載器に送信されます。このとき第一ビーコンと第二ビーコンの周波数は同じなので, 第一ビーコンで周波数選定制御を行い, 周波数確定後にこのビットをセットすることにより, 事前に第二ビーコンに対して周波数を確立することが可能です。

### 3.3 送受1系統RFモジュール用アンテナ切り替え制御

送受1系統RFモジュール用アンテナ切り替え信号 (RS) は出力端子において受信時: L / 送信時: Hとなり, 電源立ち上がり時などの過渡期および送信時以外は受信モード (L出力) となります。アンテナはデフォルトで受信側に設定され, データ送信時のみ送信側に切り替わります。

車載器側からデータを送信するのは, 次の4つの場合です。

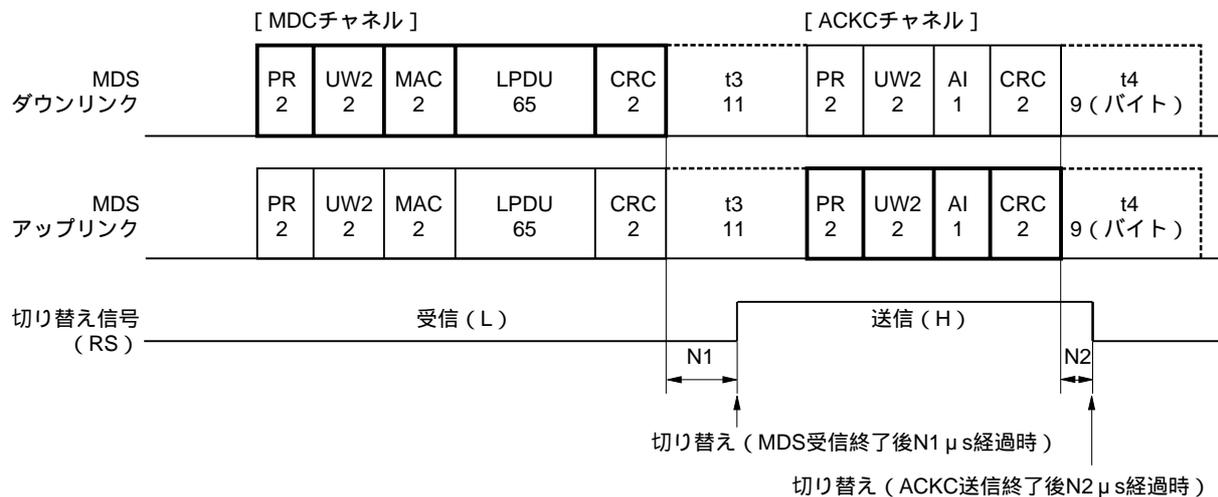
- ・ MDSスロット受信時のACKCチャンネル送信
- ・ MDSスロット送信時のMDCチャンネル送信
- ・ ACTCスロット送信
- ・ WCNCスロット送信

次に各場合の端子位置での出力タイミングを示します。

(1) MDS スロット受信時 (ACKC チャンネル返信)

- ・送信側への切り替えタイミング：ダウンリンクMDCチャンネル受信終了からN1 μs経過時。
- ・受信側への切り替えタイミング：アップリンクACKCチャンネル送信終了からN2 μs経過時。

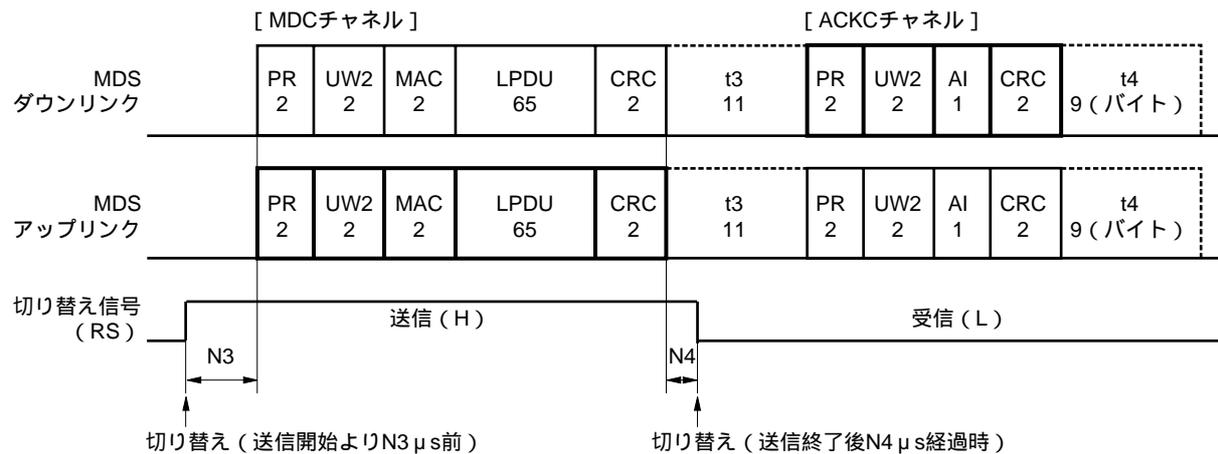
図 3 - 2 MDS 受信制御



(2) MDS スロット送信時

- ・送信側への切り替えタイミング：MDCチャンネル送信開始のN3 μs前。
- ・受信側への切り替えタイミング：MDCチャンネル送信終了からN4 μs経過後。

図 3 - 3 MDS 送信制御

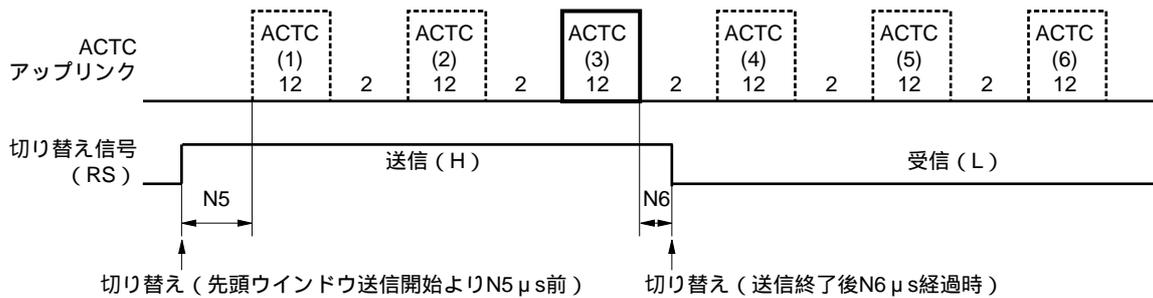


(3) ACTC スロット送信時

- ・送信側への切り替えタイミング：全ACTC送信ウィンドウの先頭よりN5 μs前。
- ・受信側への切り替えタイミング：選択されたACTC送信ウィンドウの終了からN6 μs経過後。

図3 - 4に、第3ウィンドウが選択された場合の切り替え制御を示します。

図 3 - 4 ACTC 送信制御



なお、ACTCが路側無線装置側で受信され、そのLIDがFCMCに登録されたあとの通信トランザクションにおいてダウンリンクMDS受信とアップリンクACTC送信が同時に発生した場合は、MDS受信を優先し、(1)のMDSスロット受信制御を行います。

(4) WCNC スロット送信時

- ・送信側への切り替えタイミング：WCNC送信開始のN7 μs前。
- ・受信側への切り替えタイミング：WCNC送信終了からN8 μs経過後。

図 3 - 5 WCNC 送信制御



なお、ダウンリンクMDS受信とアップリンクWCNC送信が同時に発生した場合は、MDS受信を優先し、(1)のMDSスロット受信制御を行います。

図3 - 2-図3 - 5における切り替え時間N1-N8の値は次のとおりです。

- N1 = 9
- N2 = 1
- N3 = 8
- N4 = 1

N5 = 8

N6 = 1

N7 = 209

N8 = 1

### 3.4 受信レベル監視

RFモジュールが路側無線装置のビーコン信号電界レベルを検知し、レベル検知信号 (RSSI) を出力する場合は、μ PD6750(A)はシュミット・バッファにて受信し、受信メモリ・マップトI/Oの「PLLアラーム/RSSIレベル検出」のD4ビットをセットし、コントロールCPUにレベル割り込みを出力します。

### 3.5 PLLアラーム処理

RFモジュールからPLLアラームを受信するとμ PD6750(A)は受信メモリ・マップトI/Oの「PLLアラーム/RSSIレベル検出」のD0ビットをセットし、PLLアラーム・マスク時間経過後にコントロールCPUにスロット割り込みを出力します。

次にPLLアラーム発生時のμ PD6750(A)の動作を示します。

- ・ RFモジュールからのPLLアラームを検出。
- ・ 送信データをロウ・レベル固定にして送信を停止。
- ・ 受信メモリ・マップトI/Oの「PLLアラーム/RSSIレベル検出」のD0ビットをセット。
- ・ PLLアラーム・マスク時間経過後にスロット割り込みをコントロールCPUなどに出力。

次にコントロールCPU側のPLLアラーム処理例を示します。

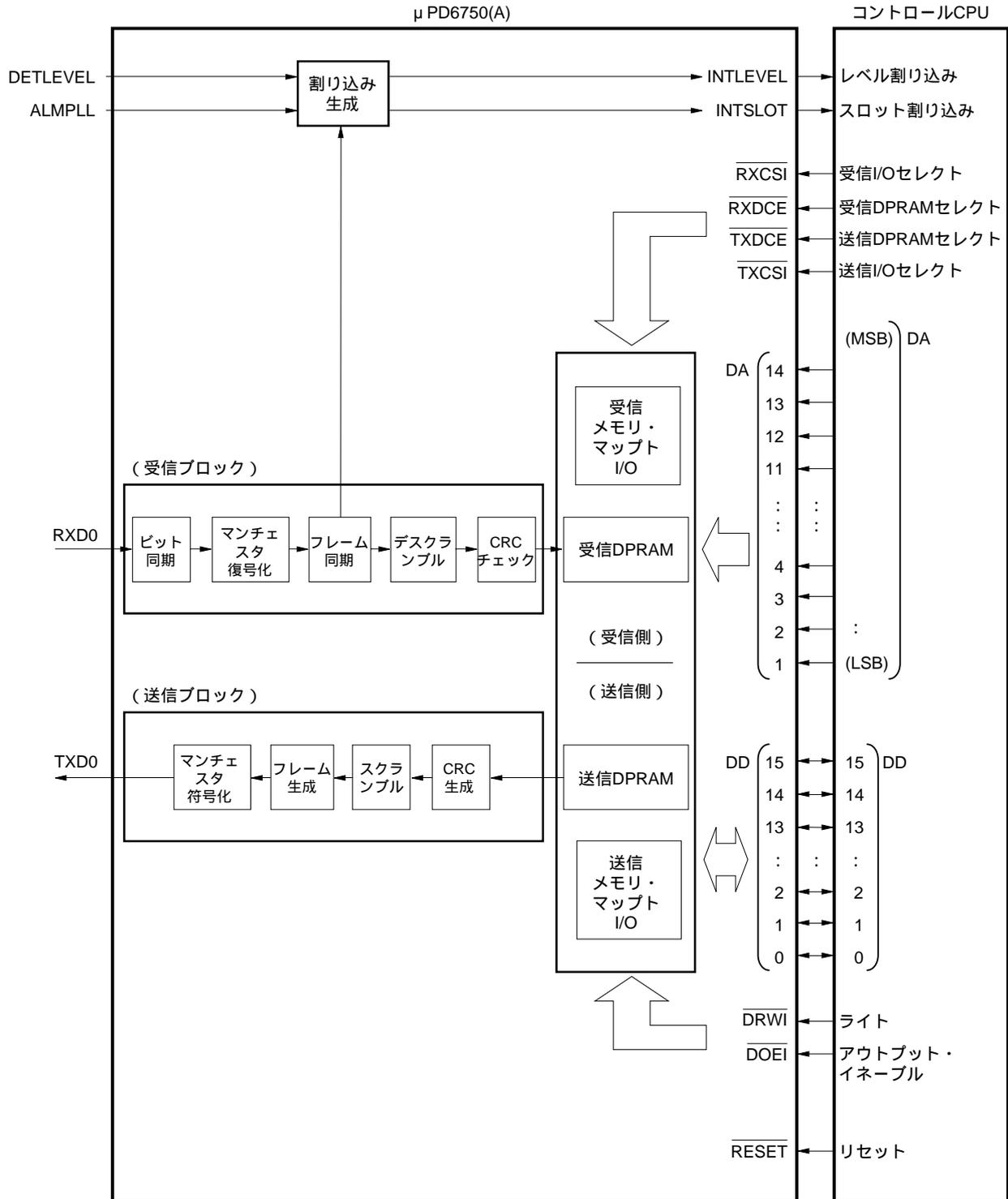
- ・ スロット割り込みでμ PD6750(A)の受信メモリ・マップトI/Oの「PLLアラーム/RSSIレベル検出」のD0ビットを読み出し、PLLアラームを検知。
- ・ μ PD6750(A)の送信および受信メモリ・マップトI/Oに送 / 受信STOPを書き込む。
- ・ μ PD6750(A)の送信DPRAMに周波数データを再書き込み。
- ・ μ PD6750(A)の送信および受信メモリ・マップトI/Oに送 / 受信STARTを書き込む (以後μ PD6750(A)は周波数サーチ・モードで動作する)。

4. コントロールCPU とのインタフェース

4.1 コントロールCPUとの接続

図4 - 1に汎用コントロールCPUとμPD6750(A)との接続例を示します。

図 4 - 1 汎用コントロール CPU インタフェース



備考 DPRAM , メモリ・マップトI/Oは送受信ともにワード・アクセス専用です。

4.2 メモリ・マップトI/Oインタフェース

4.2.1 受信メモリ・マップトI/O

受信用I/O空間先頭アドレス：DA14, 13, 12-1 = 0, 0, 000H

	名 称	D7	D6	D5	D4	D3	D2	D1	D0
00H									
01H									
02H	UW1_0 (W)	UW1_07	UW1_06	UW1_05	UW1_04	UW1_03	UW1_02	UW1_01	UW1_00
03H	UW1_1 (W)	UW1_15	UW1_14	UW1_13	UW1_12	UW1_11	UW1_10	UW1_09	UW1_08
04H	UW1_2 (W)	UW1_23	UW1_22	UW1_21	UW1_20	UW1_19	UW1_18	UW1_17	UW1_16
05H	UW1_3 (W)	UW1_31	UW1_30	UW1_29	UW1_28	UW1_27	UW1_26	UW1_25	UW1_24
06H	UW2_0 (W)	UW2_07	UW2_06	UW2_05	UW2_04	UW2_03	UW2_02	UW2_01	UW2_00
07H	UW2_1 (W)	UW2_15	UW2_14	UW2_13	UW2_12	UW2_11	UW2_10	UW2_09	UW2_08
08H									
09H									
0AH									
0BH									
0CH									
0DH									
10H									
11H									
12H									
13H									
14H	シーケンシャル番号 (R)				D_4	D_3	D_2	D_1	D_0
15H									
16H	シーケンシャル番号リセット (W)								1:リセット 0:解除
17H	PLLアラーム/RSSIレベル検出 (R)				LEV_DET				PLL_ALM
18H									
19H	受信START/受信STOP (W)								1: START 0: STOP
1AH	SYNC/UNSYNC (W)								1: SYNC 0: UNSYNC
1BH									

備考 1. このI/O領域は、ワード・アクセス専用かつワード・データの低位8ビットのみ有効です。

2. W: コントロールCPUからμPD6750(A)への書き込み  
R: μPD6750(A)からコントロールCPUへのデータ読み出し
3. SYNCは受信STOPの書き込みによりクリア (UNSYNC) されます。
4. 指示のないビットは0を設定してください。

## 受信メモリ・マップトI/O内容

- ・ UW1パターン・データ (W) (アドレス : 02H-05H)  
受信FCMS検出用UW1を設定します。ARIB STD-T-55に従い, UW1ビット・パターンをコントロールCPUから書き込みます。
- ・ UW2パターン・データ (W) (アドレス : 06H, 07H)  
受信MDS検出用UW2を設定します。ARIB STD-T-55に従い, UW2ビット・パターンをコントロールCPUから書き込みます。
- ・ 受信LOGシーケンシャル番号 (R) (アドレス : 14H)  
最新スロット受信結果を格納している受信DPRAM内LOG領域のシーケンシャル番号n (n = 0-31) を表示します。
- ・ シーケンシャル番号リセット (W) (アドレス : 16H)  
上記シーケンシャル番号カウンタ・リセット (0), リセット解除 (1)。
- ・ PLLアラーム/RSSIレベル検出 (R) (アドレス : 17H)  
D4 : RFモジュール電界レベル出力  
D0 : PLLシンセサイザ・アラーム出力
- ・ 受信START/受信STOP (W) (アドレス : 19H)  
受信STOP (0) : 受信制御リセット。  
受信START (1) : 受信制御開始かつ同期確立/UW1検出が可能。  
受信START/STOPは送信START/STOPと同期して設定してください。
- ・ SYNC/UNSYNC (W) (アドレス : 1AH)  
UNSYNC (0) : フレーム同期逸脱状態。  
SYNC (1) : フレーム同期確立状態かつUW1, UW2検出および通常の送受信制御が可能。  
受信STOPを設定した場合, このフラグも自動的にUNSYNC状態になります。

4.2.2 送信メモリ・マップト I/O

送信用I/O空間先頭アドレス：DA14, 13, 12-1 = 0, 0, 000H

	名 称	D7	D6	D5	D4	D3	D2	D1	D0
00H	FREQ_DATA_0 (W/R)	通常 / ディバグ	周波数切り替え時間設定			FREQ_03	FREQ_02	FREQ_01	FREQ_00
01H									
02H									
03H									
04H									
05H									
06H	UW2_0 (W)	UW2_07	UW2_06	UW2_05	UW2_04	UW2_03	UW2_02	UW2_01	UW2_00
07H	UW2_1 (W)	UW2_15	UW2_14	UW2_13	UW2_12	UW2_11	UW2_10	UW2_09	UW2_08
08H	UW3_0 (W)	UW3_07	UW3_06	UW3_05	UW3_04	UW3_03	UW3_02	UW3_01	UW3_00
09H	UW3_1 (W)	UW3_15	UW3_14	UW3_13	UW3_12	UW3_11	UW3_10	UW3_09	UW3_08
0AH	UW3_2 (W)	UW3_23	UW3_22	UW3_21	UW3_20	UW3_19	UW3_18	UW3_17	UW3_16
0BH	UW3_3 (W)	UW3_31	UW3_30	UW3_29	UW3_28	UW3_27	UW3_26	UW3_25	UW3_24
0CH	DIP-SW端子モニタ (R)		SW6	SW5					
0DH									
10H	MDC送信許可 (W)	MDC7	MDC6	MDC5	MDC4	MDC3	MDC2	MDC1	MDC0
	MDC送信不許可 (R)	MDC7	MDC6	MDC5	MDC4	MDC3	MDC2	MDC1	MDC0
11H	ACTC送信管理スロット#0 (W)			CH5	CH4	CH3	CH2	CH1	CH0
12H	ACTC送信管理スロット#1 (W)			CH5	CH4	CH3	CH2	CH1	CH0
13H	ACTC送信管理スロット#2 (W)			CH5	CH4	CH3	CH2	CH1	CH0
14H	シーケンシャル番号 (R)				D_4	D_3	D_2	D_1	D_0
15H									
16H	シーケンシャル番号リセット (W)								1: リセット 0: 解除
17H									
18H	FREQ_SET (W)	(内容任意)							
19H	送信START/送信STOP (W)	WCNC送信 0: 許可 1: 不許可	ACKC送信 0: 許可 1: 不許可						RESET 1: START 0: STOP
1AH									
1BH	第2ピーコン周波数ホールド / 出力設定 (W)		FREQ-HOLD 0: サーチ 1: ホールド	PNパターン 送出 0: 通常 1: PN	ALL CLK (1 MHz) 0: 通常 1: CLK	ALL"1"出力 0: 通常 1: ALL 1	ALL"0"出力 0: 通常 1: ALL 0		
1CH									
1DH	PLL-IC/PLLアラーム・ホールド 時間選択 (W)	0: E07SL 1: E06, 07							00: 1 s 01: 120 ms 10: 8 ms 11: 1 ms

- 備考 1. このI/O領域は、ワード・アクセス専用かつワード・データの低位8ビットのみ有効です。
2. W: コントロールCPUからμPD6750(A)への書き込み  
R: μPD6750(A)からコントロールCPUへのデータ読み出し
3. MDC送信許可ビット, ACTC送信管理スロット・ビットは送信後μPD6750(A)内部にてクリアされます。
4. 指示のないビットは0を設定してください。

## 送信メモリ・マップトI/O内容

- ・ **FREQ\_DATA\_0 (W/R) (アドレス：00H)**  
周波数切り替え制御データを設定します (3.2 (1) **モード設定参照**)。
- ・ **UW2パターン・データ (W) (アドレス：06H, 07H)**  
MDSおよびACTS送信用UW2を設定します。ARIB STD-T-55に従い, UW2ビット・パターンをコントロールCPUから書き込みます。
- ・ **UW3パターン・データ (W) (アドレス：08H-0BH)**  
WCNS送信用UW3を設定します。ARIB STD-T-55に従い, UW3ビット・パターンをコントロールCPUから書き込みます。
- ・ **DIP-SW端子モニタ (R) (アドレス：0CH)**  
D6： TXSW6端子の外部設定状態をモニタします (0：通常動作, 1：ALL"1"出力)。  
D5： TXSW5端子の外部設定状態をモニタします (0：通常動作, 1：PN出力)。
- ・ **MDC送信許可 (W) /MDC送信不許可 (R) (アドレス：10H) (2.2.2 (2) **送信MDC生成参照**)**  
コントロールCPUは, 送信データを送信DPRAMのMDC#0に書き込んだあと, このI/OアドレスのD0ビットをセットし, μPD6750(A)に送信データの存在を指示します。このビットがセットされているかぎり, MDC#0領域はコントロールCPUから見て上書き禁止状態となります。  
μPD6750(A)はこのビットのセットを検知すると, 内部送信ブロックにMDC送信データを読み込んでPR, UW, CRCを付加してMDS送信スロットを生成し, 簡易スクランブル処理のあとRFモジュールに出力します。MDSスロット送信後, μPD6750(A)はこのアドレスのD0ビットを内部からリセットして上書き禁止を解除し, 次の送信データの書き込みがOKであることをコントロールCPUに指示します。

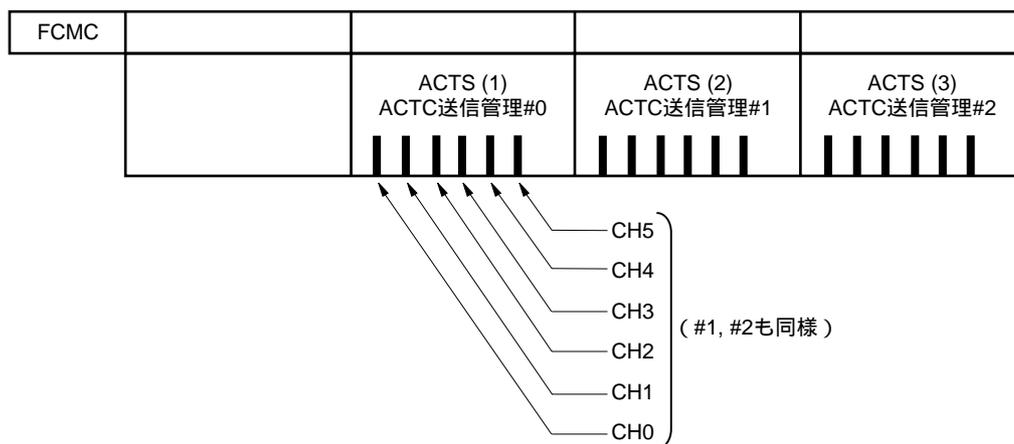
- ・ ACTC送信管理スロット#0-#2 (W) (アドレス: 11H-13H)

このI/Oの各ビットは、それぞれACTCスロット内の6個の送信ウィンドウに対応します。

全二重、半二重ともにFCMCに最も近いACTC送信スロットにてACTCを送信する場合に、ACTC送信管理#0のフラグをセットします。

特に1つのフレームにACTCスロットが複数割り付けられている場合、FCMCに最も近いスロットにてACTCを送信する場合は上記のとおりACTC送信管理#0を使用し、以下FCMC側から2番目のスロットで送信する場合はACTC送信管理#1、3番目のスロットを使用する場合はACTC送信管理#2を使用します。

次に、フレームが全二重構成かつACTC送信スロットが3スロット存在する場合の送信スロットと送信管理#番号の対応、およびスロット内送信ウィンドウ位置とこのビットの対応を示します。



コントロールCPUは、ACTCを送信するスロットのウィンドウに対応するフラグをセットします。

μPD6750(A)内部のACTC送信制御は、2.2.2 (1) **送信制御条件**および(4)送信ACTC生成によります。

ACTC送信が終了すると、μPD6750(A)は内部から送信管理フラグをリセットします。

- ・ 送信LOGシーケンシャル番号 (R) (アドレス: 14H)

最新スロット送信結果を格納している送信DPRAM内LOG領域のシーケンシャル番号n (n = 0-31) を表示します。

- ・ シーケンシャル番号リセット (W) (アドレス: 16H)

上記シーケンシャル番号カウンタ・リセット (0), リセット解除 (1)。

- ・ FREQ\_SET (W/R) (アドレス: 18H)

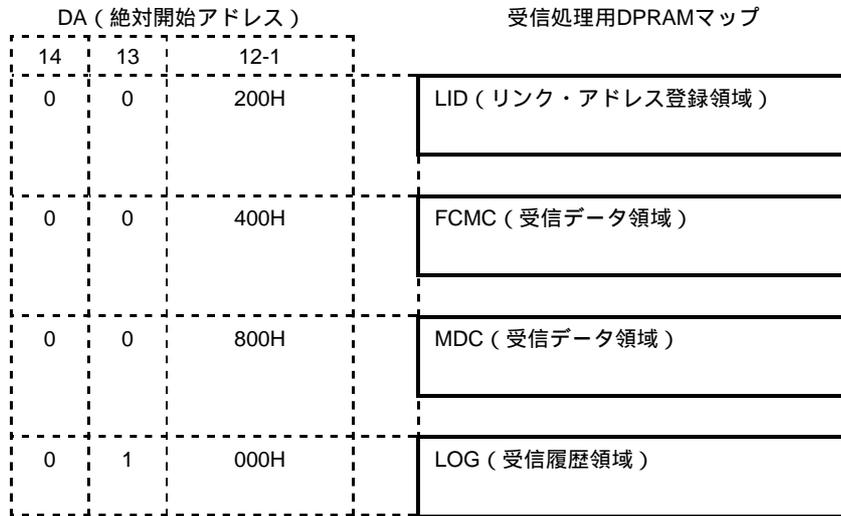
送信メモリ・マップトI/O内のFREQ\_DATA\_0において周波数設定をディバグ・モードとした場合、このI/Oに任意値を書き込むことにより周波数設定を行います (3.2 (1) **モード設定**参照)。

- ・ 送信START/送信STOP (W) (アドレス: 19H)
  - D7: WCNC送信許可/不許可。このビットがセットされているとき, WCNC送信を行いません。
  - D6: ACKC送信許可/不許可。このビットがセットされているとき, ACKC送信を行いません。
  - D0: 送信制御リセット/リセット解除。
    - 送信STOP (0): 送信制御リセット(ただしDPRAM上の送信データはリセットされません)。
    - 送信START (1): 送信リセット解除かつ周波数サーチ制御開始。
- 送信START/送信STOPは, 受信START/受信STOPと同期して設定してください。
  
- ・ 第2ビーコン周波数ホールド/出力設定 (W) (アドレス: 1BH)
  - D6: 第2ビーコン周波数ホールド設定。このビットがセットされている期間, 周波数切り替え制御が停止し, ローカル周波数が現状値に固定されます。
  - D5: PNパターン出力/通常動作。PNパターン出力を選択すると, PNパターンがマンチェスタ符号化されて連続出力されます。
  - D4: ALL CLK (1 MHz)。ALL CLKを選択すると1連続パターンがマンチェスタ符号化されて連続出力されません。
  - D3: ALL "1"出力/通常動作。ALL "1"出力を選択するとCW送信モードとなり, 1連続パターンがマンチェスタ符号化されずに連続送信されます。
  - D2: ALL "0"出力/通常動作。ALL "0"出力を選択するとキャリア・マスク・モードになり, 0連続パターンがマンチェスタ符号化されずに連続送信されます。
  
- ・ PLL-IC/PLLアラーム・ホールド時間選択 (W) (アドレス: 1DH)
  - D7: PLL-IC設定。RFモジュール内PLLシンセサイザICの種類を設定します(3.2(1)モード設定参照)。
  - D1, D0: PLLアラーム・マスク時間設定。RFモジュールからPLLアラーム信号が入力されたとき, このビットで設定された時間, コントロールCPUへのPLLアラーム出力をマスクします。設定時間内にRFモジュールからのPLLアラーム信号がOFFになった場合は, コントロールCPUへのPLLアラーム出力は行いません。

4.3 DPRAMインタフェース

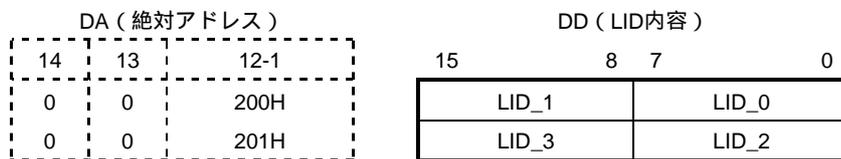
4.3.1 受信 DPRAM マップ

受信DPRAM内の領域割り付けを次に示します。各領域へのμPD6750(A)内部アクセスはLSBファーストです。



(1) LID 領域

スロット受信の際に、自局のSAP(サービス・アクセス・ポイント)を示し、かつスクランブル復号化に「鍵」として使用するリンク・アドレスを登録します。



(2) FCMC 領域

FCMC受信データを格納します。

DA (絶対アドレス)			DD (FCMC受信データ領域)			
14	13	12-1	15	8	7	0
0	0	400H	SIG_1	SIG_0		
0	0	401H	FSI	FID		
0	0	402H	SC_0	RLT		
0	0	403H	SC_2	SC_1		
0	0	404H	SC_4	SC_3		
0	0	405H	SC_6	SC_5		
0	0	406H	LID(0)_0	CI(0)		
0	0	407H	LID(0)_2	LID(0)_1		
0	0	408H	CI(1)	LID(0)_3		
0	0	409H	LID(1)_1	LID(1)_0		
0	0	40AH	LID(1)_3	LID(1)_2		
0	0	40BH	LID(2)_0	CI(2)		
0	0	40CH	LID(2)_2	LID(2)_1		
0	0	40DH	CI(3)	LID(2)_3		
0	0	40EH	LID(3)_1	LID(3)_0		
0	0	40FH	LID(3)_3	LID(3)_2		
0	0	410H	LID(4)_0	CI(4)		
0	0	411H	LID(4)_2	LID(4)_1		
0	0	412H	CI(5)	LID(4)_3		
0	0	413H	LID(5)_1	LID(5)_0		
0	0	414H	LID(5)_3	LID(5)_2		
0	0	415H	LID(6)_0	CI(6)		
0	0	416H	LID(6)_2	LID(6)_1		
0	0	417H	CI(7)	LID(6)_3		
0	0	418H	LID(7)_1	LID(7)_0		
0	0	419H	LID(7)_3	LID(7)_2		

(3) MDC 領域

MDC受信データを格納します。データ・フォーマットはMAC制御フィールドおよび論理プロトコル・データ単位 (LPDU) から構成されます。

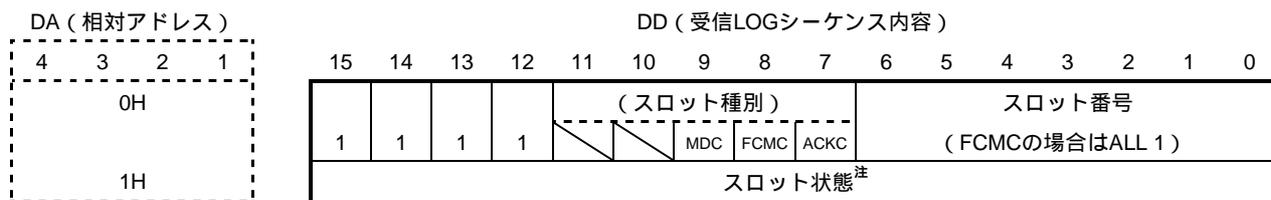
DA (絶対開始アドレス)			DD (MDC領域)			
14	13	12-1	15	0		
0	0	800H	MDC#0			
0	0	840H	MDC#1			
0	0	880H	MDC#2			
0	0	8C0H	MDC#3			
0	0	900H	MDC#4			
0	0	940H	MDC#5			
0	0	980H	MDC#6			
0	0	9C0H	MDC#7			

DA (相対アドレス)		DD (MDC内容)	
8-1		15	8 7 0
00H		MAC_1	MAC_0
01H		LPDU_1	LPDU_0
02H		LPDU_3	LPDU_2
03H		LPDU_5	LPDU_4
04H		LPDU_7	LPDU_0
05H		LPDU_9	LPDU_8
06H		LPDU_11	LPDU_10
07H		LPDU_13	LPDU_12
08H		LPDU_15	LPDU_14
09H		LPDU_17	LPDU_16
0AH		LPDU_19	LPDU_18
0BH		LPDU_21	LPDU_20
0CH		LPDU_23	LPDU_22
0DH		LPDU_25	LPDU_24
0EH		LPDU_27	LPDU_26
0FH		LPDU_29	LPDU_28
10H		LPDU_31	LPDU_30
11H		LPDU_33	LPDU_32
12H		LPDU_35	LPDU_34
13H		LPDU_37	LPDU_36
14H		LPDU_39	LPDU_38
15H		LPDU_41	LPDU_40
16H		LPDU_43	LPDU_42
17H		LPDU_45	LPDU_44
18H		LPDU_47	LPDU_46
19H		LPDU_49	LPDU_48
1AH		LPDU_51	LPDU_50
1BH		LPDU_53	LPDU_51
1CH		LPDU_55	LPDU_54
1DH		LPDU_57	LPDU_56
1EH		LPDU_59	LPDU_58
1FH		LPDU_61	LPDU_60
20H		LPDU_63	LPDU_62
21H			LPDU_64

(4) 受信側 LOG 領域 (スロット受信履歴)

DA (絶対アドレス)			DD (LOG領域)	
14	13	12-1	15	0
0	1	000H		シーケンス#0
0	1	002H		シーケンス#1
0	1	004H		シーケンス#2
0	1	006H		シーケンス#3
0	1	008H		シーケンス#4
0	1	00AH		シーケンス#5
0	1	00CH		シーケンス#6
0	1	00EH		シーケンス#7
0	1	010H		シーケンス#8
0	1	012H		シーケンス#9
0	1	014H		シーケンス#10
0	1	016H		シーケンス#11
0	1	018H		シーケンス#12
0	1	01AH		シーケンス#13
0	1	01CH		シーケンス#14
0	1	01EH		シーケンス#15
0	1	020H		シーケンス#16
0	1	022H		シーケンス#17
0	1	024H		シーケンス#18
0	1	026H		シーケンス#19
0	1	028H		シーケンス#20
0	1	02AH		シーケンス#21
0	1	02CH		シーケンス#22
0	1	02EH		シーケンス#23
0	1	030H		シーケンス#24
0	1	032H		シーケンス#25
0	1	034H		シーケンス#26
0	1	036H		シーケンス#27
0	1	038H		シーケンス#28
0	1	03AH		シーケンス#29
0	1	03CH		シーケンス#30
0	1	03EH		シーケンス#31

受信LOGシーケンス# (n) : (n = 0-31) の内容を次に示します。



**注** スロット状態の詳細

- ・スロット=受信FCMCのとき



- ・スロット=受信MDCのとき



4.3.2 送信 DPRAM マップ

送信DPRAM内の領域割り付けを次に示します。各領域へのμ PD6750(A)内部アクセスはLSBファーストです。

DA (絶対開始アドレス)			送信処理用DPRAMマップ
14	13	12-1	
0	0	000H	FREQ (周波数データ領域)
0	0	200H	LID (リンク・アドレス登録領域)
0	0	800H	MDC (送信データ領域)
0	0	C00H	ACTC (送信データ領域)
0	0	E00H	WCNC (送信データ領域)
0	1	000H	LOG (送信履歴領域)

(1) 周波数データ領域

RFモジュール内PLLシンセサイザIC用周波数データを登録します。

DA (絶対開始アドレス)			DD (周波数データ領域)	
14	13	12-1	15	0
0	0	000H	FREQ#0 (Aモード周波数)	
0	0	004H	FREQ#1 (Bモード周波数)	
0	0	008H	FREQ#2	
0	0	00CH	FREQ#3	
0	0	010H	FREQ#4	
0	0	014H	FREQ#5	
0	0	018H	FREQ#6	
0	0	01CH	FREQ#7	
0	0	020H	FREQ#8	
0	0	024H	FREQ#9	
0	0	028H	FREQ#10	
0	0	02CH	FREQ#11	
0	0	030H	FREQ#12	
0	0	034H	FREQ#13	
0	0	038H	FREQ#14	
0	0	03CH	FREQ#15	

DA (相対アドレス)		DD (周波数データ内容)			
8-1		15	8	7	0
00H		FREQ_1	FREQ_0		
01H		FREQ_3	FREQ_2		
02H		FREQ_5	FREQ_4		
03H		FREQ_7	FREQ_6		

周波数データの設定フォーマットを示します。接続するRFモジュール内PLLシンセサイザICに対応して、次のように設定します。

・MB15E07SLの場合

FREQ\_1

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
CS	LDS	FC	SW	R14	R13	R12	R11

FREQ\_0

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
R10	R9	R8	R7	R6	R5	R4	R3

FREQ\_3

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
R2	R1	CNT	(0)	(0)	(0)	(0)	(0)

FREQ\_2

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
N11	N10	N9	N8	N7	N6	N5	N4

FREQ\_5

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
N3	N2	N1	A7	A6	A5	A4	A3

FREQ\_4

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
A2	A1	CNT	(0)	(0)	(0)	(0)	(0)

FREQ\_6, FREQ\_7には0を設定。

・MB15E06, MB5E07の場合

FREQ\_1

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
LDS	FC	SW	R14	R13	R12	R11	R10

FREQ\_0

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
R9	R8	R7	R6	R5	R4	R3	R2

FREQ\_3

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
R1	CNT	(0)	(0)	(0)	(0)	(0)	(0)

FREQ\_2

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
N11	N10	N9	N8	N7	N6	N5	N4

FREQ\_5

DD15	DD14	DD13	DD12	DD11	DD10	DD9	DD8
N3	N2	N1	A7	A6	A5	A4	A3

FREQ\_4

DD7	DD6	DD5	DD4	DD3	DD2	DD1	DD0
A2	A1	CNT	(0)	(0)	(0)	(0)	(0)

FREQ\_6, FREQ\_7には0を設定。

(2) LID 領域

スロット送信の際に、自局のSAP(サービス・アクセス・ポイント)を示し、かつスクランブル符号化に「鍵」として使用するリンク・アドレスを登録します。

DA (絶対アドレス)			DD (LID内容)			
14	13	12-1	15	8	7	0
0	0	200H	LID_1		LID_0	
0	0	201H	LID_3		LID_2	

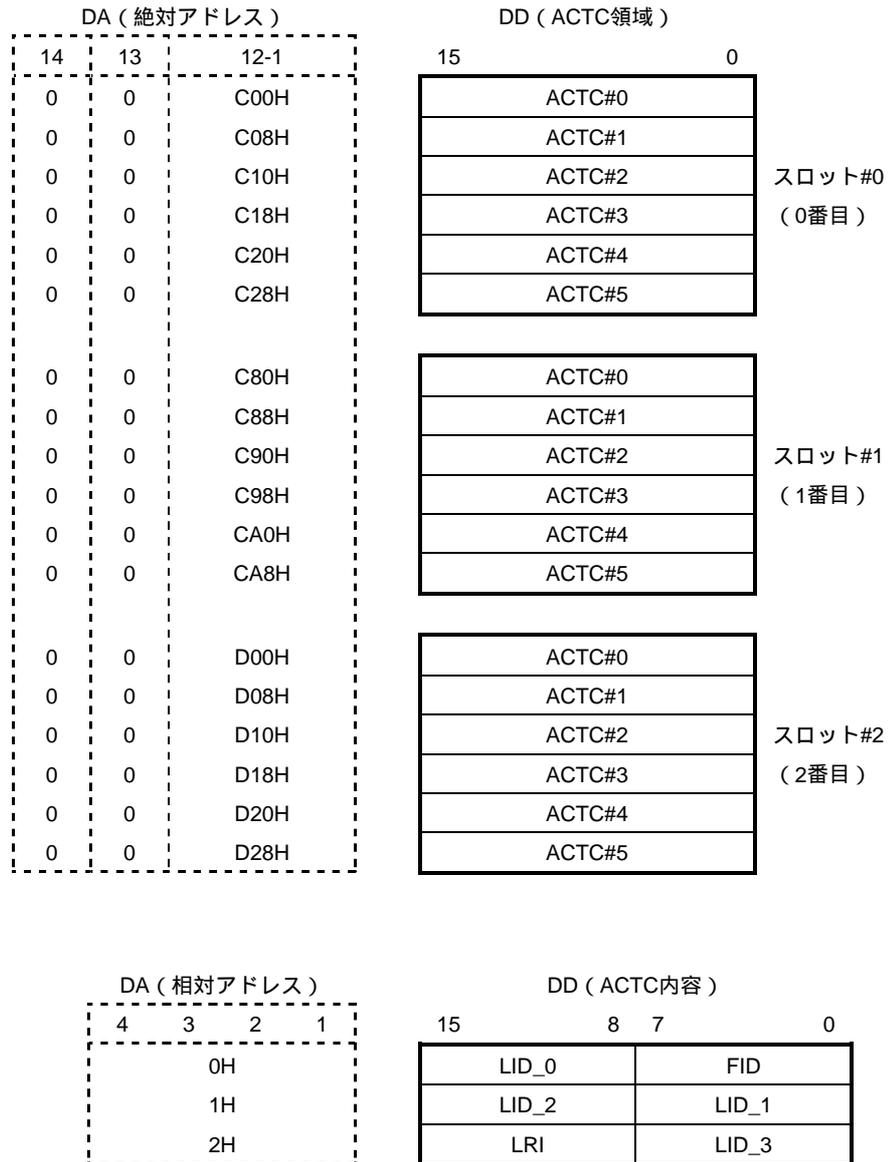
(3) MDC 領域

送信用MDCデータを登録します。データ・フォーマットはMAC制御フィールドおよび論理プロトコル・データ単位 (LPDU) から構成されます。

DA (絶対開始アドレス)			DD (MDC送信データ領域)			
14	13	12-1	15	0		
0	0	800H	MDC#0			
0	0	840H	MDC#1			
0	0	880H	MDC#2			
0	0	8C0H	MDC#3			
0	0	900H	MDC#4			
0	0	940H	MDC#5			
0	0	980H	MDC#6			
0	0	9C0H	MDC#7			

DA (相対アドレス)		DD (MDC内容)	
8-1		15	8 7 0
00H		MAC_1	MAC_0
01H		LPDU_1	LPDU_0
02H		LPDU_3	LPDU_2
03H		LPDU_5	LPDU_4
04H		LPDU_7	LPDU_0
05H		LPDU_9	LPDU_8
06H		LPDU_11	LPDU_10
07H		LPDU_13	LPDU_12
08H		LPDU_15	LPDU_14
09H		LPDU_17	LPDU_16
0AH		LPDU_19	LPDU_18
0BH		LPDU_21	LPDU_20
0CH		LPDU_23	LPDU_22
0DH		LPDU_25	LPDU_24
0EH		LPDU_27	LPDU_26
0FH		LPDU_29	LPDU_28
10H		LPDU_31	LPDU_30
11H		LPDU_33	LPDU_32
12H		LPDU_35	LPDU_34
13H		LPDU_37	LPDU_36
14H		LPDU_39	LPDU_38
15H		LPDU_41	LPDU_40
16H		LPDU_43	LPDU_42
17H		LPDU_45	LPDU_44
18H		LPDU_47	LPDU_46
19H		LPDU_49	LPDU_48
1AH		LPDU_51	LPDU_50
1BH		LPDU_53	LPDU_51
1CH		LPDU_55	LPDU_54
1DH		LPDU_57	LPDU_56
1EH		LPDU_59	LPDU_58
1FH		LPDU_61	LPDU_60
20H		LPDU_63	LPDU_62
21H			LPDU_64

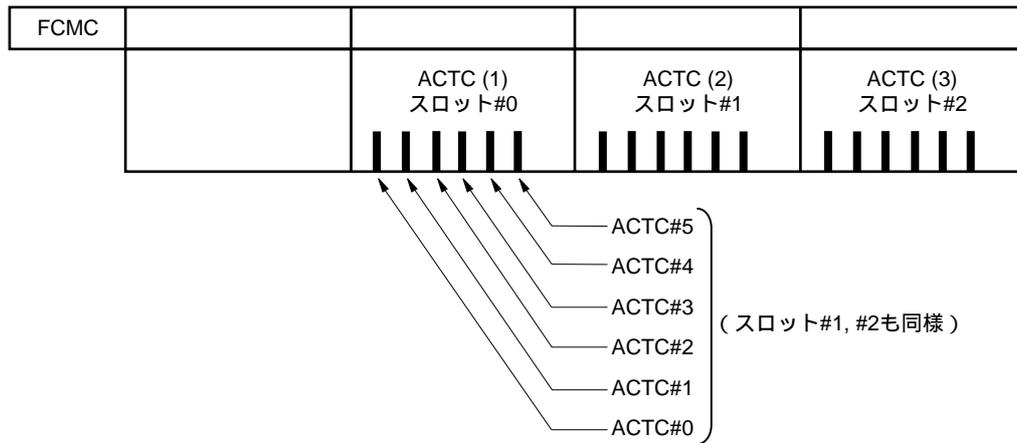
(4) ACTC 領域



全二重，半二重ともにFCMCに最も近いACTC送信スロットにてACTCを送信する場合に，スロット#0領域にデータを書き込みます。

特に1つのフレームにACTCスロットが複数割り付けられている場合，FCMCに最も近いスロットにてACTCを送信する場合は上記のとおりスロット#0領域にデータを書き込み，FCMC側から2番目のスロットで送信する場合はスロット#1，3番目のスロットで送信する場合はスロット#2にデータを書き込みます。

次に、フレームが全二重構成かつACTC送信スロットが3スロット存在する場合の送信スロットと送信DPRAMのACTC領域の対応、およびスロット内送信ウインドウ位置とこの領域の内部との対応を示します。



(5) WCNC 領域

DA (絶対アドレス)

14	13	12-1
0	0	E00H
0	0	E01H
0	0	E02H
0	0	E03H

DD (WCNC内容)

15	8	7	0
WCNC_1	WCNC_0		
WCNC_3	WCNC_2		
WCNC_5	WCNC_4		
WCNC_7	WCNC_6		

(6) 送信側 LOG 領域 (スロット送信履歴)

DA (絶対アドレス)			DD (LOG領域)	
14	13	12-1	15	0
0	1	000H		シーケンス#0
0	1	002H		シーケンス#1
0	1	004H		シーケンス#2
0	1	006H		シーケンス#3
0	1	008H		シーケンス#4
0	1	00AH		シーケンス#5
0	1	00CH		シーケンス#6
0	1	00EH		シーケンス#7
0	1	010H		シーケンス#8
0	1	012H		シーケンス#9
0	1	014H		シーケンス#10
0	1	016H		シーケンス#11
0	1	018H		シーケンス#12
0	1	01AH		シーケンス#13
0	1	01CH		シーケンス#14
0	1	01EH		シーケンス#15
0	1	020H		シーケンス#16
0	1	022H		シーケンス#17
0	1	024H		シーケンス#18
0	1	026H		シーケンス#19
0	1	028H		シーケンス#20
0	1	02AH		シーケンス#21
0	1	02CH		シーケンス#22
0	1	02EH		シーケンス#23
0	1	030H		シーケンス#24
0	1	032H		シーケンス#25
0	1	034H		シーケンス#26
0	1	036H		シーケンス#27
0	1	038H		シーケンス#28
0	1	03AH		シーケンス#29
0	1	03CH		シーケンス#30
0	1	03EH		シーケンス#31

送信LOGシーケンス# (n) : (n = 0-31) の内容を次に示します。



**注** スロット状態の詳細

- ・スロット=送信MDCのとき

DD ( MDC送信状態 )				
15-10	9	8	7-1	0
1 = ACK送信 0 = NAK送信	1 = ACKC送信あり 0 = ACKC送信なし	1 = MDC送信あり 0 = MDC送信なし		

- ・スロット=送信ACTCのとき

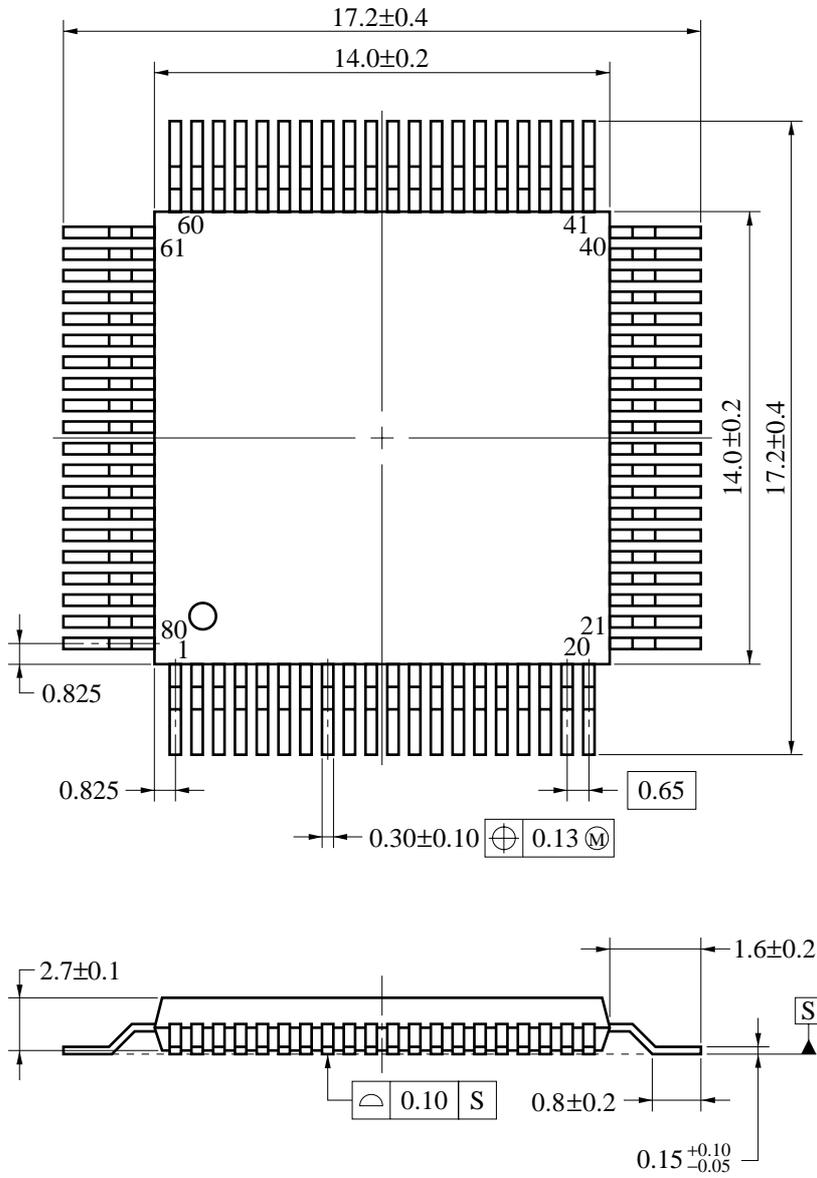
DD ( ACTC送信状態 )									
15-10	9	8	7, 6	5	4	3	2	1	0
ACKC送信				ACTC_CH5	ACTC_CH4	ACTC_CH3	ACTC_CH2	ACTC_CH1	ACTC_CH0
1 = ACK送信	1 = 送信あり		1 = 送信あり						
0 = NAK送信	0 = 送信なし		0 = 送信なし						

- ・スロット=送信WCNCのとき

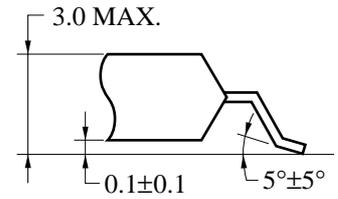
DD ( WCNC送信状態 )				
15-10	9	8	7-1	0
1 = ACK送信 0 = NAK送信	1 = ACKC送信あり 0 = ACKC送信なし	1 = WCNC送信あり 0 = WCNC送信なし		

5. 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)



端子先端形状詳細図



S80GC-65-3B9-6

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M5 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
 (電話：午前 9:00～12:00、午後 1:00～5:00)

電話：044-435-9494  
 FAX：044-435-9608  
 E-mail：s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
名古屋 (052)222-2375	立川 (042)526-5981, 6167	水戸 (029)226-1702
大阪 (06)6945-3178, 3200, 3208, 3212	松本 (0263)35-1662	広島 (082)242-5504
仙台 (022)267-8740	静岡 (054)254-4794	高崎 (027)326-1303
郡山 (024)923-5591	金沢 (076)232-7303	鳥取 (0857)27-5313
千葉 (043)238-8116	松山 (089)945-4149	太田 (0276)46-4014
		名古屋 (052)222-2170, 2190
		福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>