

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## V850/SB2™

## 32 ビット・シングルチップ・マイクロコンピュータ

$\mu$  PD703034A, 703034AY, 703035A, 703035AY, 70F3035A, 70F3035AY (別名称 V850/SB2) は, AV 機器向け 32 ビット・シングルチップ・マイクロコンピュータ V850 シリーズ™ の製品です。32 ビット CPU, ROM, RAM, タイマ/カウンタ, シリアル・インタフェース, A/D コンバータ, DMA コントローラなどを 1 チップに集積しています。

$\mu$  PD70F3035A, 70F3035AY は,  $\mu$  PD703035A, 703035AY の内部マスク ROM をフラッシュ・メモリに置き換えた製品です。基板に実装した状態でユーザによるプログラムの書き込み, 消去が可能のため, システム開発時の評価や多品種少量生産, 早期立ち上げに有効です。

なお, ROM/RAM サイズの異なる  $\mu$  PD703037A, 703037AY, 70F3037A, 70F3037AY も用意しています。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

V850/SB1™, V850/SB2 ユーザズ・マニュアル ハードウェア編 : U13850J

V850 シリーズ ユーザズ・マニュアル アーキテクチャ編 : U10243J

## 特 徴

命令数 : 74

最小命令実行時間 : 76.9 ns (内部 13 MHz 動作時)

汎用レジスタ : 32 ビット × 32 本

命令セット : 符号付き乗算, 飽和演算, 32 ビット・シフト命令, ビット操作命令, ロード/ストア命令

メモリ空間 : 16M バイト・リニア・アドレス空間

内蔵メモリ ROM : 128 K バイト ( $\mu$  PD703034A, 703034AY : マスク ROM)

256 K バイト ( $\mu$  PD703035A, 703035AY : マスク ROM)

256 K バイト ( $\mu$  PD70F3035A, 70F3035AY : フラッシュ・メモリ)

RAM : 12 K バイト ( $\mu$  PD703034A, 703034AY)

16 K バイト ( $\mu$  PD703035A, 703035AY, 70F3035A, 70F3035AY)

割り込み/例外 :  $\mu$  PD703034A, 703035A, 70F3035A (外部 : 8 本, 内部 33 要因, 例外 : 1 要因)

$\mu$  PD703034AY, 703035AY, 70F3035AY (外部 : 8 本, 内部 34 要因, 例外 : 1 要因)

I/O ライン : 合計 83

タイマ/カウンタ : 16 ビット・タイマ (2 チャンネル : TM0, TM1)

8 ビット・タイマ (6 チャンネル : TM2-TM7)

時計用タイマ : 1 チャンネル

ウォッチドッグ・タイマ : 1 チャンネル

IEBus™ コントローラ : 1 チャンネル

本資料の内容は, 予告なく変更することがありますので, 最新のものであることをご確認の上ご使用ください。

シリアル・インタフェース

- ・ アシクロナス・シリアル・インタフェース (UART0, UART1)
- ・ クロック同期式シリアル・インタフェース (CSI0-CSI3)
- ・ 3線式可変長シリアル・インタフェース (CSI4)
- ・ I<sup>2</sup>Cバス・インタフェース (I<sup>2</sup>C0, I<sup>2</sup>C1) ( $\mu$ PD703034AY, 703035AY, 70F3035AYのみ)

10ビット分解能 A/D コンバータ : 12チャンネル

DMA コントローラ : 6チャンネル

リアルタイム出力ポート : 8ビット×1チャンネル, または 4ビット×2チャンネル

ROM コレクション : 4箇所修正可能

パワー・セーブ機能 : HALT/IDLE/STOP モード

パッケージ : 100ピン・プラスチック LQFP (ファインピッチ) (14×14)

100ピン・プラスチック QFP (14×20)

$\mu$ PD70F3035A, 70F3035AY

- ・ 量産時にはマスク ROM 内蔵の $\mu$ PD703035A, 703035AY に置き換え可能

**応用分野**

AV 機器 (オーディオ, カー・オーディオ, VTR, TV など)

**オーダ情報**

オーダ名称	パッケージ	内蔵 ROM
$\mu$ PD703034AGC-xxx-8EU	100ピン・プラスチック LQFP (ファインピッチ) (14×14)	マスク ROM (128 K バイト)
$\mu$ PD703034AYGC-xxx-8EU	"	"
$\mu$ PD703034AGF-xxx-3BA	100ピン・プラスチック QFP (14×20)	"
$\mu$ PD703034AYGF-xxx-3BA	"	"
$\mu$ PD703035AGC-xxx-8EU	100ピン・プラスチック LQFP (ファインピッチ) (14×14)	マスク ROM (256 K バイト)
$\mu$ PD703035AYGC-xxx-8EU	"	"
$\mu$ PD703035AGF-xxx-3BA	100ピン・プラスチック QFP (14×20)	"
$\mu$ PD703035AYGF-xxx-3BA	"	"
★ $\mu$ PD70F3035AGC-8EU	100ピン・プラスチック LQFP (ファインピッチ) (14×14)	フラッシュ・メモリ (256 K バイト)
★ $\mu$ PD70F3035AYGC-8EU	"	"
★ $\mu$ PD70F3035AGF-3BA	100ピン・プラスチック QFP (14×20)	"
★ $\mu$ PD70F3035AYGF-3BA	"	"

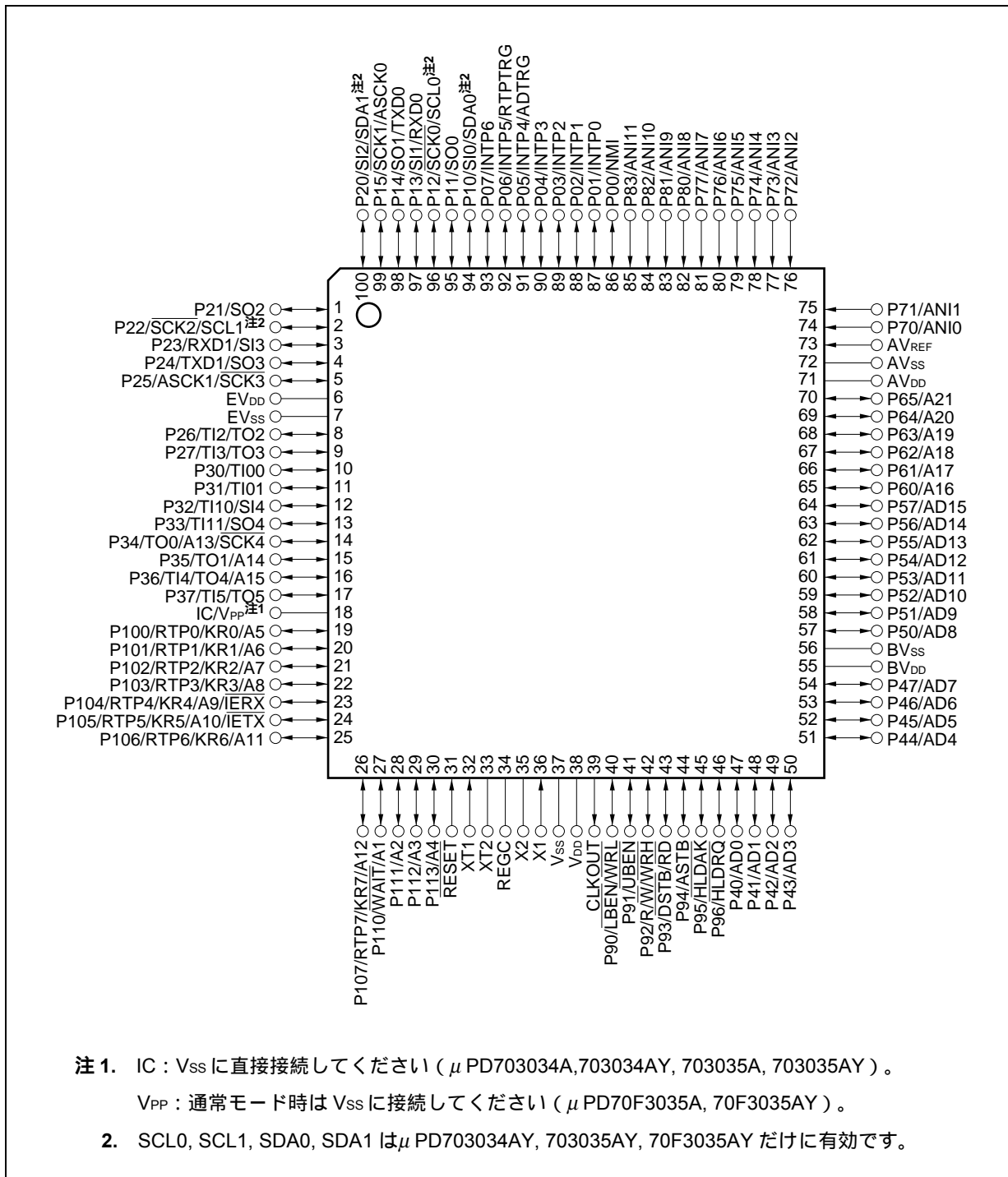
備考 1. xxx : ROM コード番号

2. ROM レス品はありません。

端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) (14×14)

- μ PD703034AGC-xxx-8EU
- μ PD703034AYGC-xxx-8EU
- μ PD703035AGC-xxx-8EU
- μ PD703035AYGC-xxx-8EU
- μ PD70F3035AGC-8EU
- μ PD70F3035AYGC-8EU



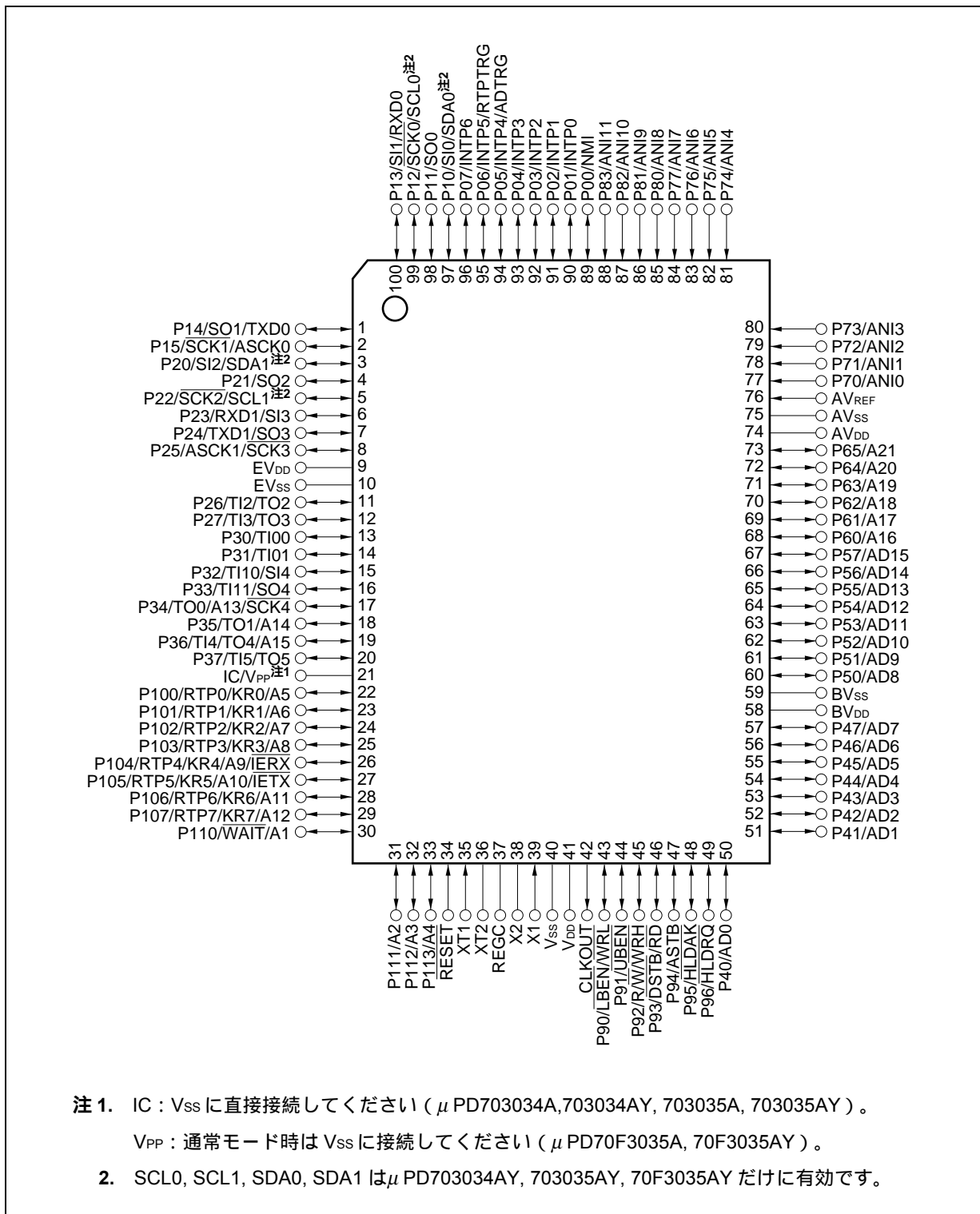
注1. IC : V<sub>SS</sub> に直接接続してください (μ PD703034A,703034AY, 703035A, 703035AY)。

V<sub>PP</sub> : 通常モード時は V<sub>SS</sub> に接続してください (μ PD70F3035A, 70F3035AY)。

2. SCL0, SCL1, SDA0, SDA1 は μ PD703034AY, 703035AY, 70F3035AY だけに有効です。

100ピン・プラスチック QFP (14×20)

- μ PD703034AGF-xxx-3BA
- μ PD703034AYGF-xxx-3BA
- μ PD703035AGF-xxx-3BA
- μ PD703035AYGF-xxx-3BA
- μ PD70F3035AGF-3BA
- μ PD70F3035AYGF-3BA

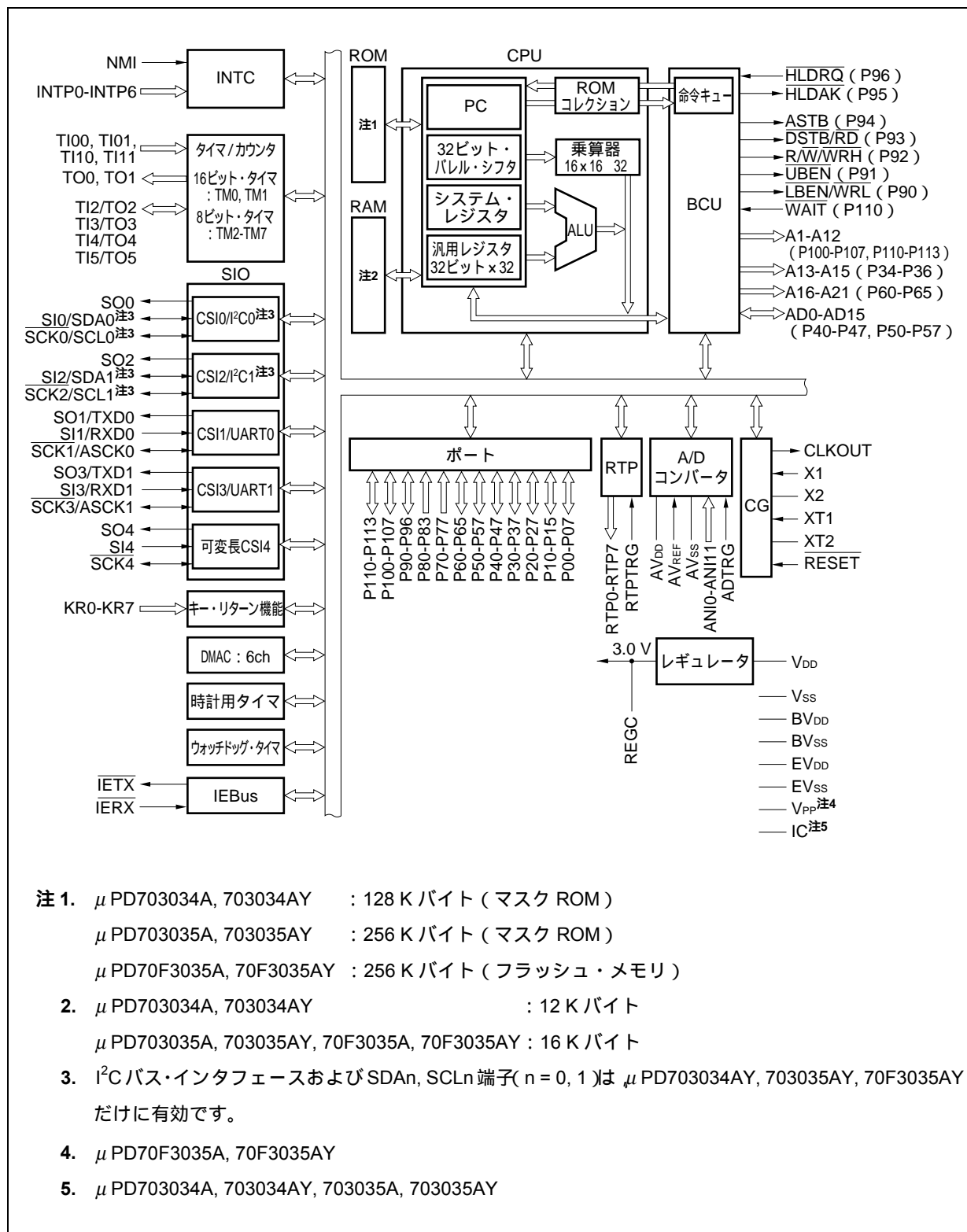


注1. IC : V<sub>SS</sub> に直接接続してください (μ PD703034A,703034AY, 703035A, 703035AY)。  
 V<sub>PP</sub> : 通常モード時は V<sub>SS</sub> に接続してください (μ PD70F3035A, 70F3035AY)。  
 2. SCL0, SCL1, SDA0, SDA1 はμ PD703034AY, 703035AY, 70F3035AY だけに有効です。

## 端子名称

A1-A21	: Address Bus	P70-P77	: Port 7
AD0-AD15	: Address/Data Bus	P80-P83	: Port 8
ADTRG	: A/D Trigger Input	P90-P96	: Port 9
ANI0-ANI11	: Analog Input	P100-P107	: Port 10
ASCK0, ASCK1	: Asynchronous Serial Clock	P110-P113	: Port 11
ASTB	: Address Strobe	$\overline{RD}$	: Read Strobe
AV <sub>DD</sub>	: Analog Power Supply	REGC	: Regulator Clock
AV <sub>REF</sub>	: Analog Reference Voltage	$\overline{RESET}$	: Reset
AV <sub>SS</sub>	: Analog Ground	RTP0-RTP7	: Real-time Output Port
BV <sub>DD</sub>	: Power Supply for Bus Interface	RTPTRG	: RTP Trigger Input
BV <sub>SS</sub>	: Ground for Bus Interface	$R\overline{W}$	: Read/Write Status
CLKOUT	: Clock Output	RXD0, RXD1	: Receive Data
$\overline{DSTB}$	: Data Strobe	$\overline{SCK0-SCK4}$	: Serial Clock
EV <sub>DD</sub>	: Power Supply for Port	SCL0, SCL1	: Serial Clock
EV <sub>SS</sub>	: Ground for Port	SDA0, SDA1	: Serial Data
$\overline{HLDAK}$	: Hold Acknowledge	SI0-SI4	: Serial Input
$\overline{HLDRQ}$	: Hold Request	SO0-SO4	: Serial Output
IC	: Internally Connected	TI00, TI01, TI10,	: Timer Input
$\overline{IERX}$	: IEBus Receive Data	TI11, TI2-TI5	
$\overline{IETX}$	: IEBus Transmit Data	TO0-TO5	: Timer Output
INTP0-INTP6	: Interrupt Request from Peripherals	TXD0, TXD1	: Transmit Data
KR0-KR7	: Key Return	$\overline{UBEN}$	: Upper Byte Enable
$\overline{LBEN}$	: Lower Byte Enable	V <sub>DD</sub>	: Power Supply
NMI	: Non-Maskable Interrupt Request	V <sub>PP</sub>	: Programming Power Supply
P00-P07	: Port 0	V <sub>SS</sub>	: Ground
P10-P15	: Port 1	$\overline{WAIT}$	: Wait
P20-P27	: Port 2	$\overline{WRH}$	: Write Strobe High Level Data
P30-P37	: Port 3	$\overline{WRL}$	: Write Strobe Low Level Data
P40-P47	: Port 4	X1, X2	: Crystal for Main Clock
P50-P57	: Port 5	XT1, XT2	: Crystal for Sub-clock
P60-P65	: Port 6		

内部ブロック図



- 注 1. μ PD703034A, 703034AY : 128 K バイト (マスク ROM)  
 μ PD703035A, 703035AY : 256 K バイト (マスク ROM)  
 μ PD70F3035A, 70F3035AY : 256 K バイト (フラッシュ・メモリ)
- 2. μ PD703034A, 703034AY : 12 K バイト  
 μ PD703035A, 703035AY, 70F3035A, 70F3035AY : 16 K バイト
- 3. I<sup>2</sup>C バス・インタフェースおよび SDA<sub>n</sub>, SCL<sub>n</sub> 端子 (n = 0, 1) は μ PD703034AY, 703035AY, 70F3035AY だけに有効です。
- 4. μ PD70F3035A, 70F3035AY
- 5. μ PD703034A, 703034AY, 703035A, 703035AY



## 目 次

1. 製品間の違い ... 8
  2. 端子機能 ... 9
    - 2.1 ポート端子 ... 9
    - 2.2 ポート以外の端子 ... 11
    - 2.3 各端子の入出力回路タイプと未使用時の処理 ... 14
  3. 電気的特性 ... 18
    - 3.1 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3035A, 70F3035AY のみ) ... 43
  4. 外形図 ... 44
  5. 半田付け推奨条件 ... 46
- ★ 付録 ターゲット・システム設計上の注意 ... 48

1. 製品間の違い

製品名	I <sup>2</sup> C 内蔵	ROM		RAM サイズ	フラッシュ・メモリ・ プログラミング端子	パッケージ
		種類	サイズ			
$\mu$ PD703034A	なし	マスクROM	128 Kバイト	12 K バイト	なし	100ピンQFP (14×20) / 100ピンLQFP (14×14)
$\mu$ PD703034AY	あり					
$\mu$ PD703035A	なし	マスクROM	256 Kバイト	16 K バイト	なし	100ピンQFP (14×20) / 100ピンLQFP (14×14)
$\mu$ PD703035AY	あり					
$\mu$ PD70F3035A	なし	フラッシュ・メモリ			あり (V <sub>PP</sub> )	
$\mu$ PD70F3035AY	あり					
$\mu$ PD703037A	なし	マスクROM	512 Kバイト	24 K バイト	なし	100ピンQFP (14×20)
$\mu$ PD703037AY	あり					
$\mu$ PD70F3037A	なし	フラッシュ・メモリ			あり (V <sub>PP</sub> )	
$\mu$ PD70F3037AY	あり					

- 注意 1. フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量、ノイズ輻射などが異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS品 (ES品でなく) で十分な評価を行ってください。
2. フラッシュ・メモリ製品からマスクROM製品への置き換えを行う場合、内蔵ROMの空き領域には、同一のコードを書き込んでください。

2. 端子機能

2.1 ポート端子

(1/2)

端子名称	入出力	内蔵プルアップ抵抗	機能	兼用端子
P00	入出力	あり	ポート 0 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	NMI
P01				INTP0
P02				INTP1
P03				INTP2
P04				INTP3
P05				INTP4/ADTRG
P06				INTP5/RTPTRG
P07				INTP6
P10	入出力	あり	ポート 1 6 ビット入出力ポート 1 ビット単位で入出力の指定が可能	SI0/SDA0 <sup>注</sup>
P11				SO0
P12				SCK0/SCL0 <sup>注</sup>
P13				SI1/RXD0
P14				SO1/TXD0
P15				SCK1/ASCK0
P20				入出力
P21	SO2			
P22	SCK2/SCL1 <sup>注</sup>			
P23	SI3/RXD1			
P24	SO3/TXD1			
P25	SCK3/ASCK1			
P26	TI2/TO2			
P27	TI3/TO3			
P30	入出力	あり	ポート 3 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	TI00
P31				TI01
P32				TI10/SI4
P33				TI11/SO4
P34				TO0/A13/SCK4
P35				TO1/A14
P36				TI4/TO4/A15
P37				TI5/TO5
P40-P47	入出力	なし	ポート 4 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	AD0-AD7
P50-P57	入出力	なし	ポート 5 8 ビット入出力ポート 1 ビット単位で入出力の指定が可能	AD8-AD15

注 μ PD703034AY, 703035AY, 70F3035AY のみ

端子名称	入出力	内蔵ブルアップ抵抗	機能	兼用端子
P60-P65	入出力	なし	ポート 6 6ビット入出力ポート 1ビット単位で入出力の指定が可能	A16-A21
P70-P77	入力	なし	ポート 7 8ビット入力専用ポート	ANI0-ANI7
P80-P83	入力	なし	ポート 8 4ビット入力専用ポート	ANI8-ANI11
P90	入出力	なし	ポート 9 7ビット入出力ポート 1ビット単位で入出力の指定が可能	LBEN/WRL
P91				UBEN
P92				RW/WRH
P93				DSTB/RD
P94				ASTB
P95				HLDAK
P96				HLDRQ
P100	入出力	あり	ポート 10 8ビット入出力ポート 1ビット単位で入出力の指定が可能	RTP0/A5/KR0
P101				RTP1/A6/KR1
P102				RTP2/A7/KR2
P103				RTP3/A8/KR3
P104				RTP4/A9/KR4/IERX
P105				RTP5/A10/KR5/IETX
P106				RTP6/A11/KR6
P107				RTP7/A12/KR7
P110	入出力	あり	ポート 11 4ビット入出力ポート 1ビット単位で入出力の指定が可能	A1/WAIT
P111				A2
P112				A3
P113				A4

2.2 ポート以外の端子

( 1/3 )

端子名称	入出力	内蔵プルアップ抵抗	機 能	兼用端子
A1	出力	あり	外部メモリを拡張する場合の下位アドレス・バス	P110/WAIT
A2				P111
A3				P112
A4				P113
A5				P100/RTP0/KR0
A6				P101/RTP1/KR1
A7				P102/RTP2/KR2
A8				P103/RTP3/KR3
A9				P104/RTP4/KR4/IERX
A10				P105/RTP5/KR5/IETX
A11				P106/RTP6/KR6
A12				P107/RTP7/KR7
A13				P34/TO0/SCK4
A14				P35/TO1
A15				P36/TO4/TI4
A16-A21	出力	なし	外部メモリを拡張する場合の上位アドレス・バス	P60-P65
AD0-AD7	入出力	なし	外部メモリを拡張する場合の 16 ビット・マルチプレクスト・アドレス/データ・バス	P40-P47
AD8-AD15				P50-P57
ADTRG	入力	あり	A/D コンバータ外部トリガ入力	P05/INTP4
ANI0-ANI7	入力	なし	A/D コンバータへのアナログ入力	P70-P77
ANI8-ANI11				P80-P83
ASCK0	入力	あり	UART0 のボー・レート・クロック入力	P15/SCK1
ASCK1			UART1 のボー・レート・クロック入力	P25/SCK3
ASTB	出力	なし	外部アドレス・ストロープ出力	P94
AV <sub>DD</sub>	-	-	A/D コンバータおよび兼用ポート用正電源供給	-
AV <sub>REF</sub>	入力	-	A/D コンバータ用基準電圧入力	-
AV <sub>SS</sub>	-	-	A/D コンバータおよび兼用ポート用グランド電位	-
BV <sub>DD</sub>	-	-	バス・インタフェースおよび兼用ポート用正電源供給	-
BV <sub>SS</sub>	-	-	バス・インタフェースおよび兼用ポート用グランド電位	-
CLKOUT	出力	-	内部システム・クロック出力	-
DSTB	出力	なし	外部データ・ストロープ出力	P93/RD
EV <sub>DD</sub>	-	-	入出力ポートおよび兼用機能端子用正電源供給 (バス・インタフェース兼用ポートは除く)	-
EV <sub>SS</sub>	-	-	入出力ポートおよび兼用機能端子用グランド電位 (バス・インタフェース兼用ポートは除く)	-
HLD <sub>AK</sub>	出力	なし	バス・ホールド・アクノリッジ出力	P95
HLD <sub>RQ</sub>	入力	なし	バス・ホールド要求入力	P96
IC	-	-	内部接続 (μ PD703034A, 703034AY, 703035A, 703035AY のみ)	-
IERX	入力	あり	IEBus データ入力	P104/RTP4/A9/KR4
IETX	出力		IEBus データ出力	P105/RTP5/A10/KR5

端子名称	入出力	内蔵ブルアップ抵抗	機能	兼用端子
INTP0	入力	あり	外部割り込み要求入力(アナログ・ノイズ除去)	P01
INTP1				P02
INTP2				P03
INTP3				P04
INTP4	入力	あり	外部割り込み要求入力(デジタル・ノイズ除去)	P05/ADTRG
INTP5				P06/RTPTRG
INTP6	入力	あり	外部割り込み要求入力 (リモコン対応デジタル・ノイズ除去)	P07
KR0	入力	あり	キー・リターン入力	P100/RTP0/A5
KR1				P101/RTP1/A6
KR2				P102/RTP2/A7
KR3				P103/RTP3/A8
KR4				P104/RTP4/A9/IERX
KR5				P105/RTP5/A10/IETX
KR6				P106/RTP6/A11
KR7				P107/RTP7/A12
LBEN	出力	なし	外部データ・バスの下位バイト・イネーブル出力	P90/WRL
NMI	入力	あり	ノンマスクブル割り込み要求入力	P00
RD	出力	なし	リード・ストロブ出力	P93/DSTB
REGC	-	-	レギュレータ出力安定容量接続	-
RESET	入力	-	システム・リセット入力	-
RTP0	出力	あり	リアルタイム出力ポート	P100/KR0/A5
RTP1				P101/KR1/A6
RTP2				P102/KR2/A7
RTP3				P103/KR3/A8
RTP4				P104/KR4/A9/IERX
RTP5				P105/KR5/A10/IETX
RTP6				P106/KR6/A11
RTP7				P107/KR7/A12
RTPTRG	入力	あり	リアルタイム出力ポート外部トリガ入力	P06/INTP5
RW	出力	なし	外部リード/ライト・ステータス出力	P92/WRH
RXD0	入力	あり	UART0, UART1 のシリアル受信データ入力	P13/SI1
RXD1				P23/SI3
SCK0	入出力	あり	CSI0-CSI3 のシリアル・クロック入出力(3線式)	P12/SCL0
SCK1				P15/ASCK0
SCK2				P22/SCL1
SCK3				P25/ASCK1
SCK4	入出力	あり	可変長 CSI4 のシリアル・クロック入出力(3線式)	P34/TO0/A13
SCL0	入出力	あり	I <sup>2</sup> C0, I <sup>2</sup> C1 のシリアル・クロック入出力 (μ PD703034AY, 703035AY, 70F3035AY のみ)	P12/SCK0
SCL1				P22/SCK2
SDA0	入出力	あり	I <sup>2</sup> C0, I <sup>2</sup> C1 のシリアル送受信データ入出力 (μ PD703034AY, 703035AY, 70F3035AY のみ)	P10/SI0
SDA1				P20/SI2

端子名称	入出力	内蔵プルアップ抵抗	機能	兼用端子
SI0	入力	あり	CSI0-CSI3 のシリアル受信データ入力 (3 線式)	P10/SDA0
SI1				P13/RXD0
SI2				P20/SDA1
SI3				P23/RXD1
SI4	入力	あり	可変長 CSI4 のシリアル受信データ入力 (3 線式)	P32/TI10
SO0	出力	あり	CSI0-CSI3 のシリアル送信データ出力 (3 線式)	P11
SO1				P14/TXD0
SO2				P21
SO3				P24/TXD1
SO4	出力	あり	可変長 CSI4 のシリアル送信データ出力 (3 線式)	P33/TI11
TI00	入力	あり	TM0 の外部カウント・クロック入力 / TM0 の外部キャプチャ・トリガ入力	P30
TI01			TM0 の外部キャプチャ・トリガ入力	P31
TI10			TM1 の外部カウント・クロック入力 / TM1 の外部キャプチャ・トリガ入力	P32/SI4
TI11			TM1 の外部キャプチャ・トリガ入力	P33/SO4
TI2	入力	あり	TM2-TM5 の外部カウント・クロック入力	P26/TO2
TI3				P27/TO3
TI4				P36/TO4/A15
TI5				P37/TO5
TO0	出力	あり	TM0, TM1 のパルス信号出力	P34/A13/SCK4
TO1				P35/A14
TO2	出力	あり	TM2-TM5 のパルス信号出力	P26/TI2
TO3				P27/TI3
TO4				P36/TI4/A15
TO5				P37/TI5
TXD0	出力	あり	UART0, UART1 のシリアル送信データ出力	P14/SO1
TXD1				P24/SO3
UBEN	出力	なし	外部データ・バスの上位バイト・イネーブル出力	P91
V <sub>DD</sub>	-	-	正電源供給	-
V <sub>PP</sub>	-	-	プログラム書き込み / ベリファイ時の高電圧印加端子 (μ PD70F3035A, 70F3035AY のみ)	-
V <sub>SS</sub>	-	-	グランド電位	-
WAIT	入力	あり	バス・サイクルにウエイトを挿入する制御信号入力	P110/A1
WRH	出力	なし	外部データ・バスの上位バイト・ライト・ストロープ信号出力	P92/R/W
WRL	出力	なし	外部データ・バスの下位バイト・ライト・ストロープ信号出力	P90/LBEN
X1	入力	なし	メイン・クロック用発振子接続	-
X2	-	-		-
XT1	入力	なし	サブクロック用発振子接続	-
XT2	-	-		-

2.3 各端子の入出力回路タイプと未使用時の処理

各端子の入出力回路タイプと未使用時の処理方法（推奨接続方法）を表 2 - 1 に、また各タイプの回路図を一部簡略化した形式を用いて図 2 - 1 に示します。

表 2 - 1 各端子の入出力回路タイプと未使用時の処理（1/2）

端 子	兼用端子	入出力回路タイプ	入出力バッファ電源	推奨接続方法	
P00	NMI	8-A	EV <sub>DD</sub>	入力状態：個別に抵抗を介して EV <sub>DD</sub> または EV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。	
P01	INTP0				
P02	INTP1				
P03	INTP2				
P04	INTP3				
P05	INTP4/ADTRG				
P06	INTP5/RTPTRG				
P07	INTP6				
P10	SI0/SDA0	10-A	EV <sub>DD</sub>	入力状態：個別に抵抗を介して EV <sub>DD</sub> または EV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。	
P11	SO0	26			
P12	$\overline{\text{SCK0}}$ /SCL0	10-A			
P13	SI1/RXD0	8-A			
P14	SO1/TXD0	26			
P15	$\overline{\text{SCK1}}$ /ASCK0	10-A			
P20	SI2/SDA1	10-A	EV <sub>DD</sub>	入力状態：個別に抵抗を介して EV <sub>DD</sub> または EV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。	
P21	SO2	26			
P22	$\overline{\text{SCK2}}$ /SCL1	10-A			
★ P23	SI3/RXD1	8-A			
P24	SO3/TXD1	26			
P25	$\overline{\text{SCK3}}$ /ASCK1	10-A			
P26	TI2/TO2	8-A			
P27	TI3/TO3				
P30	TI00	8-A	EV <sub>DD</sub>	入力状態：個別に抵抗を介して EV <sub>DD</sub> または EV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。	
P31	TI01				
P32	TI10/SI4				
P33	TI11/SO4				
P34	TO0/A13/ $\overline{\text{SCK4}}$				
P35	TO1/A14				5-A
P36	TI4/TO4/A15				8-A
P37	TI5/TO5				
P40-P47	AD0-AD7	5	BV <sub>DD</sub>	入力状態：個別に抵抗を介して BV <sub>DD</sub> または BV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。	
P50-P57	AD8-AD15	5	BV <sub>DD</sub>		
P60-P65	A16-A21	5	BV <sub>DD</sub>		
P70-P77	ANI0-ANI7	9	AV <sub>DD</sub>	個別に抵抗を介して AV <sub>DD</sub> または AV <sub>SS</sub> に接続してください。	
P80-P83	ANI8-ANI11	9	AV <sub>DD</sub>		



表2 - 1 各端子の入出力回路タイプと未使用時の処理 (2/2)

端子	兼用端子	入出力回路タイプ	入出力バッファ電源	推奨接続方法
P90	LBEN/WRL	5	BV <sub>DD</sub>	入力状態：個別に抵抗を介して BV <sub>DD</sub> または BV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
P91	UBEN			
P92	R/W/WRH			
P93	DSTB/RD			
P94	ASTB			
★ P95	HLDAR			
★ P96	HLDARQ			
P100	RTP0/A5/KR0	10-A	EV <sub>DD</sub>	入力状態：個別に抵抗を介して EV <sub>DD</sub> または EV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
P101	RTP1/A6/KR1			
P102	RTP2/A7/KR2			
P103	RTP3/A8/KR3			
P104	RTP4/A9/KR4/IERX			
P105	RTP5/A10/KR5/IETX			
P106	RTP6/A11/KR6			
P107	RTP7/A12/KR7			
P110	A1/WAIT	5-A	EV <sub>DD</sub>	入力状態：個別に抵抗を介して EV <sub>DD</sub> または EV <sub>SS</sub> に接続してください。 出力状態：オープンにしてください。
P111	A2			
P112	A3			
P113	A4			
CLKOUT	-	4	BV <sub>DD</sub>	オープンにしてください。
RESET	-	2	EV <sub>DD</sub>	-
XT1	-	16	-	抵抗を介して V <sub>SS</sub> に接続してください。
XT2	-	16	-	オープンにしてください。
AV <sub>REF</sub>	-	-	-	抵抗を介して AV <sub>SS</sub> に接続してください。
IC <sup>注1</sup>	-	-	-	V <sub>SS</sub> に直接接続してください。
V <sub>PP</sub> <sup>注2</sup>	-	-	-	V <sub>SS</sub> に接続してください。

注 1. μ PD703034A, 703034AY, 703035A, 703035AY

2. μ PD70F3035A, 70F3035AY

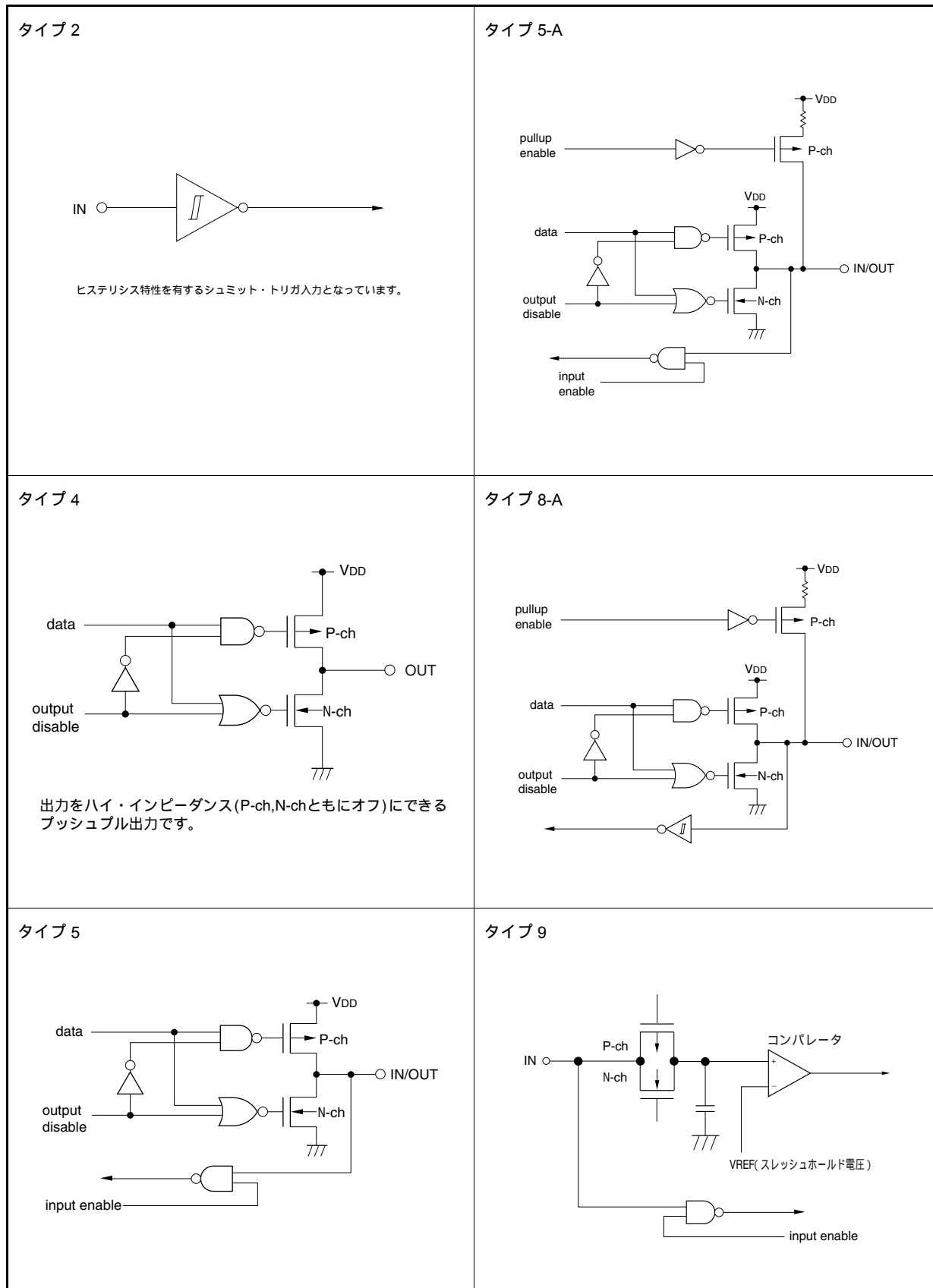
注意 V850/SB2 の端子の入出力バッファ電源は、EV<sub>DD</sub>、BV<sub>DD</sub>、AV<sub>DD</sub> の 3 系統あります。次に各入出力バッファ電源の使用できる電圧範囲を示します。

EV<sub>DD</sub>, BV<sub>DD</sub> : 3.0 V ~ 5.5 V

AV<sub>DD</sub> : 4.5 V ~ 5.5 V

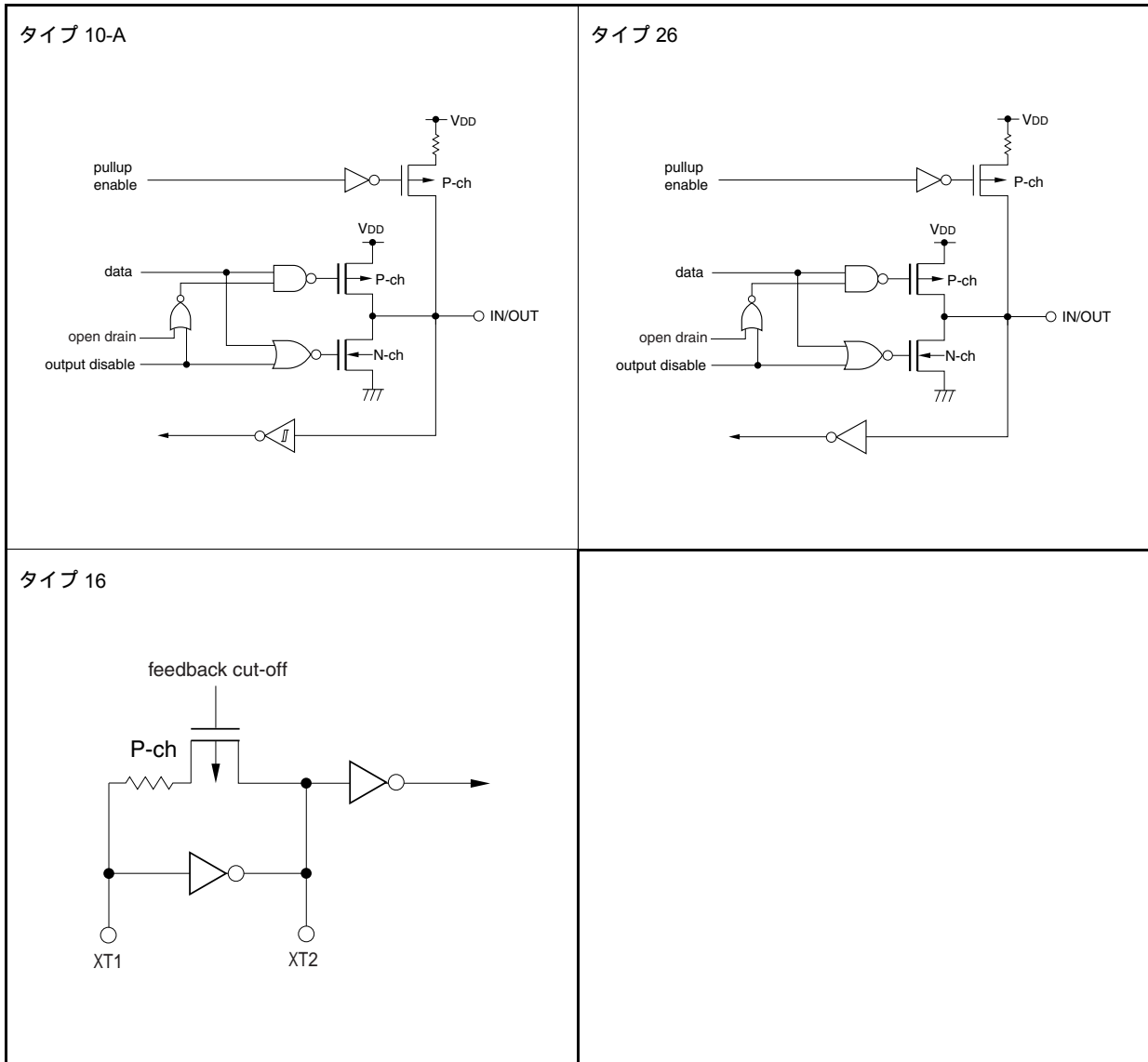
使用する電源電圧範囲が 3.0 V ~ 4.0 V 未満と 4.0 V ~ 5.5 V の場合では電気的特性が異なります。

図2 - 1 端子の入出力回路 (1/2)



注意 回路図中の V<sub>DD</sub> は , EV<sub>DD</sub>, BV<sub>DD</sub>, AV<sub>DD</sub> にそれぞれ置き換えて参照してください。

図2 - 1 端子の入出力回路 (2/2)



注意 回路图中的 V<sub>DD</sub> は、EV<sub>DD</sub>、BV<sub>DD</sub>、AV<sub>DD</sub> にそれぞれ置き換えて参照してください。

3. 電気的特性

絶対最大定格 (TA = 25 °C , VSS = 0 V)

項目	略号	条件	定格	単位
★ 電源電圧	V <sub>DD</sub>	V <sub>DD</sub> 端子	- 0.5 ~ + 7.0	V
	V <sub>PP</sub>	$\mu$ PD70F3035A, 70F3035AY のみ	- 0.5 ~ + 8.5	V
	AV <sub>DD</sub>	AV <sub>DD</sub> 端子	- 0.5 ~ + 7.0	V
	BV <sub>DD</sub>	BV <sub>DD</sub> 端子	- 0.5 ~ + 7.0	V
	EV <sub>DD</sub>	EV <sub>DD</sub> 端子	- 0.5 ~ + 7.0	V
	AV <sub>SS</sub>	AV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
	BV <sub>SS</sub>	BV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
	EV <sub>SS</sub>	EV <sub>SS</sub> 端子	- 0.5 ~ + 0.5	V
入力電圧	V <sub>I1</sub>	注 1 (BV <sub>DD</sub> 系端子)	- 0.5 ~ BV <sub>DD</sub> + 0.5 <sup>注4</sup>	V
	V <sub>I2</sub>	注 2, RESET (EV <sub>DD</sub> 系端子)	- 0.5 ~ EV <sub>DD</sub> + 0.5 <sup>注4</sup>	V
アナログ入力電圧	V <sub>IAN</sub>	注 3 (AV <sub>DD</sub> 系端子)	- 0.5 ~ AV <sub>DD</sub> + 0.5 <sup>注4</sup>	V
アナログ基準入力電圧	AV <sub>REF</sub>	AV <sub>REF</sub> 端子	- 0.5 ~ AV <sub>DD</sub> + 0.5 <sup>注4</sup>	V
ロウ・レベル出力電流	I <sub>OL</sub>	1 端子	4.0	mA
		P00-P07, P10-P15, P20-P25 の合計	25	mA
		P26, P27, P30-P37, P100-P107, P110-P113 の合計	25	mA
		P40-P47, P90-P96, CLKOUT の合計	25	mA
		P50-P57, P60-P65 の合計	25	mA
ハイ・レベル出力電流	I <sub>OH</sub>	1 端子	- 4.0	mA
		P00-P07, P10-P15, P20-P25 の合計	- 25	mA
		P26, P27, P30-P37, P100-P107, P110-P113 の合計	- 25	mA
		P40-P47, P90-P96, CLKOUT の合計	- 25	mA
		P50-P57, P60-P65 の合計	- 25	mA
出力電圧	V <sub>O1</sub>	注 1, CLKOUT (BV <sub>DD</sub> 系端子)	- 0.5 ~ BV <sub>DD</sub> + 0.5 <sup>注4</sup>	V
	V <sub>O2</sub>	注 2 (EV <sub>DD</sub> 系端子)	- 0.5 ~ EV <sub>DD</sub> + 0.5 <sup>注4</sup>	V
★ 動作周囲温度	T <sub>A</sub>	通常動作モード	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング・モード時 ( $\mu$ PD70F3035A, 70F3035AY のみ)	注 5	
保存温度	T <sub>stg</sub>	$\mu$ PD703034A, 703034AY	- 65 ~ + 150	
		$\mu$ PD703035A, 703035AY		
		$\mu$ PD70F3035A, 70F3035AY	- 40 ~ + 125	

注 1. ポート 4, 5, 6, 9 (兼用端子も含まれます)

2. ポート 0, 1, 2, 3, 10, 11 (兼用端子も含まれます)

3. ポート 7, 8 (兼用端子も含まれます)

4. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

★ 5. I, K, E 規格品 : T<sub>A</sub> = 10 ~ 85

P 規格品 : T<sub>A</sub> = - 20 ~ + 85

なお, 規格はロット番号左から 5 桁目のアルファベットです。

注意 1. IC 製品の出力（または入出力）端子同士を直結したり、V<sub>DD</sub> または V<sub>CC</sub> や GND に直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC 特性と AC 特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 (T<sub>A</sub> = 25 , V<sub>DD</sub> = AV<sub>DD</sub> = BV<sub>DD</sub> = EV<sub>DD</sub> = V<sub>SS</sub> = AV<sub>SS</sub> = BV<sub>SS</sub> = EV<sub>SS</sub> = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C <sub>i</sub>	f <sub>c</sub> = 1MHz			15	pF
入出力容量	C <sub>io</sub>	被測定ピン以外は 0 V			15	pF
出力容量	C <sub>o</sub>				15	pF

**動作条件**

★ (1) 動作周波数

動作周波数 (f <sub>xx</sub> )		V <sub>DD</sub>	AV <sub>DD</sub>		BV <sub>DD</sub>	EV <sub>DD</sub>	備考
			注 1	注 2			
2 ~ 13 MHz		4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	3.0 ~ 5.5 V	3.0 ~ 5.5 V	注 3
32.768 kHz	IDLE モード時以外	4.0 ~ 5.5 V	4.5 ~ 5.5 V	4.0 ~ 5.5 V	3.0 ~ 5.5 V	3.0 ~ 5.5 V	-
	IDLE モード時	3.5 ~ 5.5 V	-	4.0 ~ 5.5 V	3.0 ~ 5.5 V	3.0 ~ 5.5 V	注 4

注 1. A/D コンバータ使用時

2. A/D コンバータ未使用時

3. STOP モード (時計用タイマのみ動作) 時は、V<sub>DD</sub> = 3.5 ~ 5.5 V。また、STOP モードへの移行、または STOP モードからの復帰の際は、V<sub>DD</sub> = 4.0 V 以上で行ってください。

4. IDLE モードへの移行、または IDLE モードからの復帰の際は、V<sub>DD</sub> = 4.0 V 以上で行ってください。

(2) CPU 動作周波数

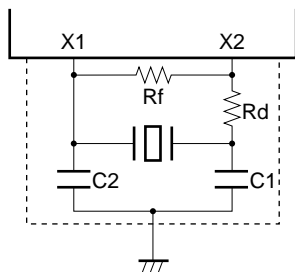
項目	略号	条件	MIN.	TYP.	MAX.	単位
CPU 動作周波数	f <sub>CPU</sub>	メイン・クロック動作時	0.25		13	MHz
		サブクロック動作時		32.768		kHz

推奨発振回路

(1) メイン・クロック発振回路 (TA = -40 ~ +85 )

(a) セラミック発振子または水晶振動子接続

★



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	$f_{xx}$		2		13	MHz
発振安定時間	-	リセット解除時		$2^{19}/f_{xx}$		s
	-	STOPモード解除時		注		s

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

- 注意 1. メイン・クロック発振回路は、内蔵レギュレータの出力電圧 (3.0 V) で動作します。外部クロック入力禁止です。
2. メイン・クロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。
- ・配線は極力短くしてください。
  - ・ほかの配線と交差させないでください。
  - ・大電流が流れる線には接近させないでください。
  - ・発振回路のコンデンサの接地点は、常に V<sub>SS</sub> と同電位になるようにしてください。
  - ・大電流が流れるグランド・パターンに接地しないでください。
  - ・発振回路から信号を取り出さないでください。
3. 発振波形のデューティは、5.5 : 4.5 以内に収まるようにしてください。
4.  $\mu$  PD703034A, 703034AY, 703035A, 703035AY, 70F3035A, 70F3035AY と発振子のマッチングについては、十分に評価してください。

★ (i) 村田製作所：セラミック発振子 ( $T_A = -40 \sim +85$  )

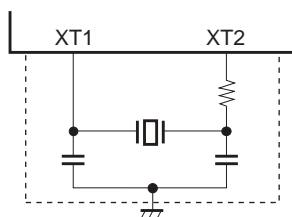
メーカー	品名	発振周波数 $f_{xx}$ (MHz)	推奨回路定数				発振電圧範囲	
			C1 (pF)	C2 (pF)	Rf (k $\Omega$ )	Rd (k $\Omega$ )	MIN. (V)	MAX. (V)
村田製作所	CSTLS6M29G53-B0	6.290	内蔵	内蔵	-	0	4.0	5.5
	CSTCR6M29G53-R0		内蔵	内蔵	-	0	4.0	5.5
	CSTLA12M5T55001-B0	12.583	内蔵	内蔵	-	0	4.0	5.5
	CSTCV12M5T54J01-R0		内蔵	内蔵	-	0	4.0	5.5

注意 発振回路定数および発振電圧範囲は、安定して発振する条件を示しています。発振周波数精度は保証していません。

アプリケーションで発振周波数精度が必要な場合、実装回路で発振周波数を調整する必要があります。詳細については、ご使用になる発振子のメーカーに直接お問い合わせください。

(2) サブクロック発振回路 ( $T_A = -40 \sim +85$  )

(a) 水晶振動子接続



項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	$f_{XT}$		32	32.768	35	kHz
発振安定時間	-			10		s

- 注意 1. サブクロック発振回路は、内蔵レギュレータの出力電圧 (3.0 V) で動作します。外部クロック入力は禁止です。
2. サブクロック発振回路を使用する場合、配線容量などの影響を避けるために破線内の配線についての注意事項を次に示します。
- ・配線は極力短くしてください。
  - ・ほかの配線と交差させないでください。
  - ・大電流が流れる線には接近させないでください。
  - ・発振回路のコンデンサの接地点は、常に  $V_{SS}$  と同電位になるようにしてください。
  - ・大電流が流れるグランド・パターンに接地しないでください。
  - ・発振回路から信号を取り出さないでください。
3.  $\mu$  PD703034A, 703034AY, 703035A, 703035AY, 70F3035A, 70F3035AY と発振子のマッチングについては、十分に評価してください。

DC 特性 (  $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V ,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V ,  
 $AV_{DD} = 4.5 \sim 5.5$  V ( A/D コンバータ使用時 ) ,  $AV_{DD} = 4.0 \sim 5.5$  V ( A/D コンバータ未使用時 ) ,  
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V ) ( 1/2 )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V <sub>IH1</sub>	注 1	4.0 V $BV_{DD}$ 5.5 V	0.7 $BV_{DD}$		$BV_{DD}$	V
			3.0 V $BV_{DD} < 4.0$ V	0.8 $BV_{DD}$		$BV_{DD}$	V
	V <sub>IH2</sub>	注 2	4.0 V $EV_{DD}$ 5.5 V	0.7 $EV_{DD}$		$EV_{DD}$	V
			3.0 V $EV_{DD} < 4.0$ V	0.8 $EV_{DD}$		$EV_{DD}$	V
	V <sub>IH3</sub>	注 3 ,	4.0 V $EV_{DD}$ 5.5 V	0.7 $EV_{DD}$		$EV_{DD}$	V
		RESET	3.0 V $EV_{DD} < 4.0$ V	0.8 $EV_{DD}$		$EV_{DD}$	V
V <sub>IH4</sub>	注 4		0.7 $AV_{DD}$		$AV_{DD}$	V	
ロウ・レベル入力電圧	V <sub>IL1</sub>	注 1		$BV_{SS}$		0.3 $BV_{DD}$	V
	V <sub>IL2</sub>	注 2		$EV_{SS}$		0.3 $EV_{DD}$	V
	V <sub>IL3</sub>	注 3 , RESET		$EV_{SS}$		0.3 $EV_{DD}$	V
	V <sub>IL4</sub>	注 4		$AV_{SS}$		0.3 $AV_{DD}$	V
ハイ・レベル出力電圧	V <sub>OH1</sub>	注 1 , CLKOUT	3.0V $BV_{DD}$ 5.5V, $I_{OH} = -100 \mu A$	$BV_{DD} - 0.5$			V
			4.0V $BV_{DD}$ 5.5V, $I_{OH} = -3$ mA	$BV_{DD} - 1.0$			V
	V <sub>OH2</sub>	注 2, 3	3.0V $EV_{DD}$ 5.5V, $I_{OH} = -100 \mu A$	$EV_{DD} - 0.5$			V
			4.0V $EV_{DD}$ 5.5V, $I_{OH} = -3$ mA	$EV_{DD} - 1.0$			V
ロウ・レベル出力電圧	V <sub>OL</sub>	$I_{OL} = 3$ mA, 3.0 V $BV_{DD}$ , $EV_{DD}$ 5.5 V			0.5	V	
		$I_{OL} = 3$ mA, 4.0 V $BV_{DD}$ , $EV_{DD}$ 5.5 V			0.4	V	
★ V <sub>PP</sub> 電源電圧	V <sub>PP1</sub>	通常動作時	0		0.54	V	
ハイ・レベル入力リーク電流	I <sub>LIH</sub>	$V_i = V_{DD} = BV_{DD} = EV_{DD} = AV_{DD}$			5	$\mu A$	
ロウ・レベル入力リーク電流	I <sub>LIL</sub>	$V_i = 0$ V			- 5	$\mu A$	
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	$V_o = V_{DD} = BV_{DD} = EV_{DD} = AV_{DD}$			5	$\mu A$	
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	$V_o = 0$ V			- 5	$\mu A$	

- 注 1. ポート 4, 5, 6, 9 ( 兼用端子も含まます )
2. P11, P14, P21, P24, P34, P35, P110-P113 ( 兼用端子も含まます )
3. P00-P07, P10, P12, P13, P15, P20, P22, P23, P25-P27, P30-P33, P36, P37, P100-P107 ( 兼用端子も含まます )
4. ポート 7, 8 ( 兼用端子も含まます )



DC 特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V ,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V ,  
 $AV_{DD} = 4.5 \sim 5.5$  V (A/D コンバータ使用時) ,  $AV_{DD} = 4.0 \sim 5.5$  V (A/D コンバータ未使用時) ,  
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V ) ( 2/2 )

項目	略号	条件	MIN.	TYP.	MAX.	単位		
電源電流	$\mu$ PD703034A, $\mu$ PD703034AY, $\mu$ PD703035A, $\mu$ PD703035AY	I <sub>DD1</sub>	通常動作時 <sup>注1</sup>		15	25	mA	
		I <sub>DD2</sub>	HALT 時 <sup>注1</sup>		6	13	mA	
		I <sub>DD3</sub>	IDLE 時 <sup>注2</sup>	時計用タイマ動作		1	4	mA
		I <sub>DD4</sub>	STOP 時	時計用タイマ, サブクロック発振器動作		13	70	$\mu$ A
				サブクロック発振器停止, XT1 = V <sub>SS</sub>		8	70	$\mu$ A
		I <sub>DD5</sub>	通常動作時 (サブクロック動作) <sup>注3</sup>		50	150	$\mu$ A	
	I <sub>DD6</sub>	IDLE 時 (サブクロック動作) <sup>注3</sup>		13	70	$\mu$ A		
	$\mu$ PD70F3035A, $\mu$ PD70F3035AY	I <sub>DD1</sub>	通常動作時 <sup>注1</sup>		25	48	mA	
		I <sub>DD2</sub>	HALT 時 <sup>注1</sup>		7	15	mA	
		I <sub>DD3</sub>	IDLE 時 <sup>注2</sup>	時計用タイマ動作		1	4	mA
		I <sub>DD4</sub>	STOP 時	時計用タイマ, サブクロック発振器動作		13	100	$\mu$ A
				サブクロック発振器停止, XT1 = V <sub>SS</sub>		8	100	$\mu$ A
I <sub>DD5</sub>		通常動作時 (サブクロック動作) <sup>注3</sup>		200	600	$\mu$ A		
I <sub>DD6</sub>	IDLE 時 (サブクロック動作) <sup>注3</sup>		90	180	$\mu$ A			
ブルアップ抵抗	R <sub>L</sub>	V <sub>IN</sub> = 0 V	10	30	100	k		

- 注 1.  $f_{CPU} = f_{XX} = 13$  MHz , 全周辺機能動作  
 2.  $f_{XX} = 13$  MHz  
 3.  $f_{CPU} = f_{XT} = 32.768$  kHz , メイン・クロック発振器停止

備考 TYP.値は ,  $T_A = 25$  ,  $V_{DD} = BV_{DD} = EV_{DD} = AV_{DD} = 5.0$  V 時の参考値です。また , 出力バッファで消費する電流は含まれていません。

データ保持特性 ( $T_A = -40 \sim +85$  ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

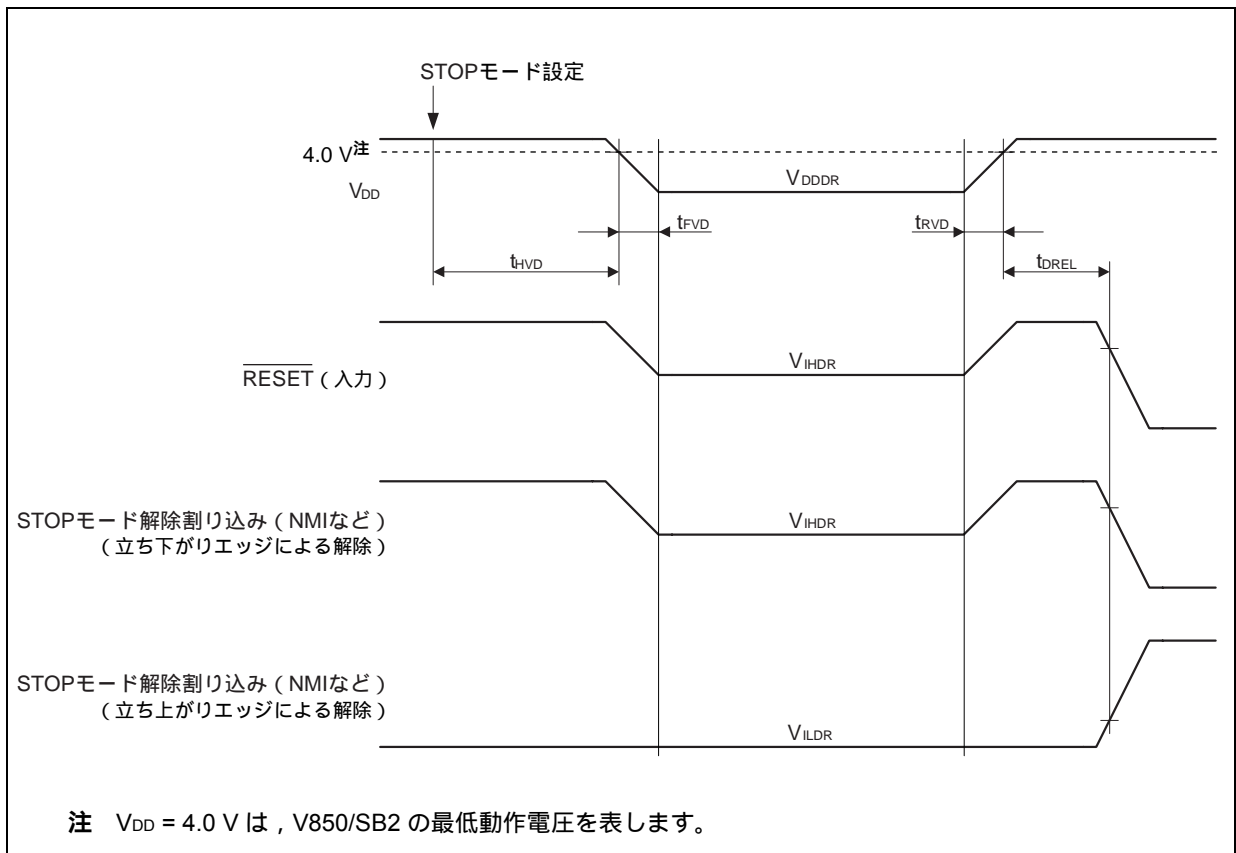
★

項目	略号	条件	MIN.	TYP.	MAX.	単位	
データ保持電圧	$V_{DDDR}$	STOPモード (全機能非動作)	2.7 <sup>注</sup>		5.5	V	
データ保持電流	$I_{DDDR}$	$V_{DD} = V_{DDDR}$ , $XT1 = V_{SS}$ (サブクロック停止)	$\mu$ PD703034A, $\mu$ PD703034AY, $\mu$ PD703035A, $\mu$ PD703035AY		8	70	$\mu A$
			$\mu$ PD70F3035A, $\mu$ PD70F3035AY		8	100	$\mu A$
電源電圧立ち上がり時間	$t_{rVD}$		200			$\mu s$	
電源電圧立ち下がり時間	$t_{fVD}$		200			$\mu s$	
電源電圧保持時間 (対STOPモード設定)	$t_{hVD}$		0			ms	
STOPモード解除信号入力時間	$t_{dREL}$		0			ms	
データ保持ハイ・レベル入力電圧	$V_{IHDR}$	全入力ポート	$0.9 V_{DDDR}$		$V_{DDDR}$	V	
データ保持ロウ・レベル入力電圧	$V_{ILDR}$	全入力ポート	0		$0.1 V_{DDDR}$	V	

注 STOPモード (時計用タイマのみ動作) 時は,  $V_{DD} = 3.5 \sim 5.5 V$ 。また, STOPモードへの移行, またはSTOPモードからの復帰の際は,  $V_{DD} = 4.0 V$  以上で行ってください。

備考 TYP.値は,  $T_A = 25$  の参考値です。

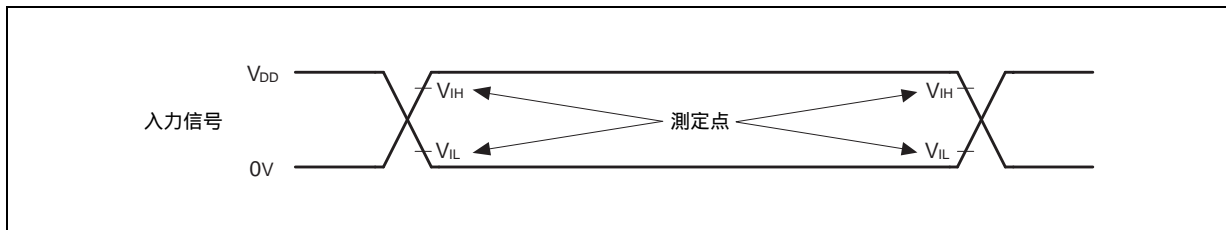
★



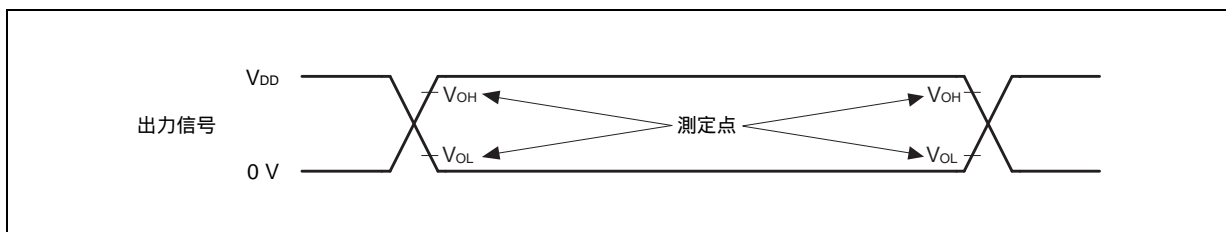
★

AC 特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V ,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V ,  
 $AV_{DD} = 4.5 \sim 5.5$  V (A/D コンバータ使用時) ,  $AV_{DD} = 4.0 \sim 5.5$  V (A/D コンバータ未使用  
 時) ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

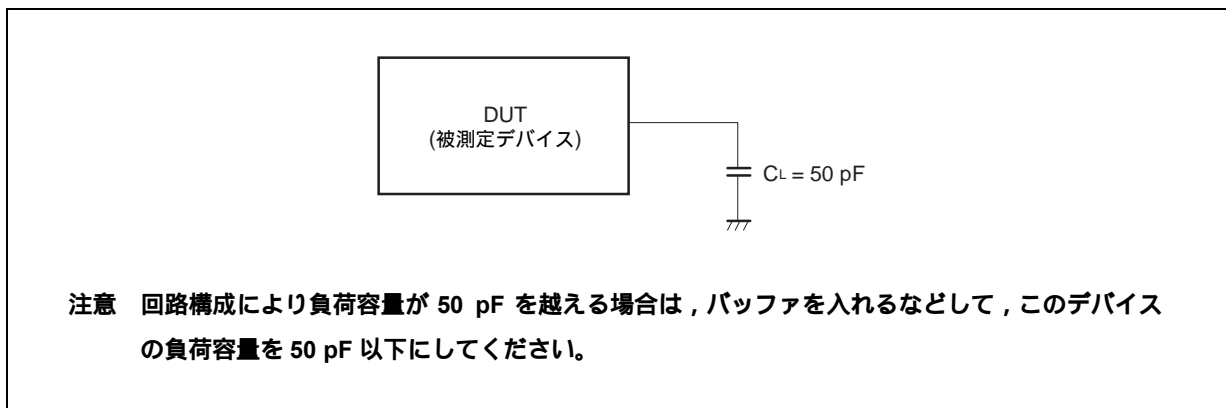
AC テスト入力測定点 ( $V_{DD} : EV_{DD}, BV_{DD}, AV_{DD}$ )



AC テスト出力測定点 ( $V_{DD} : EV_{DD}, BV_{DD}$ )



負荷条件



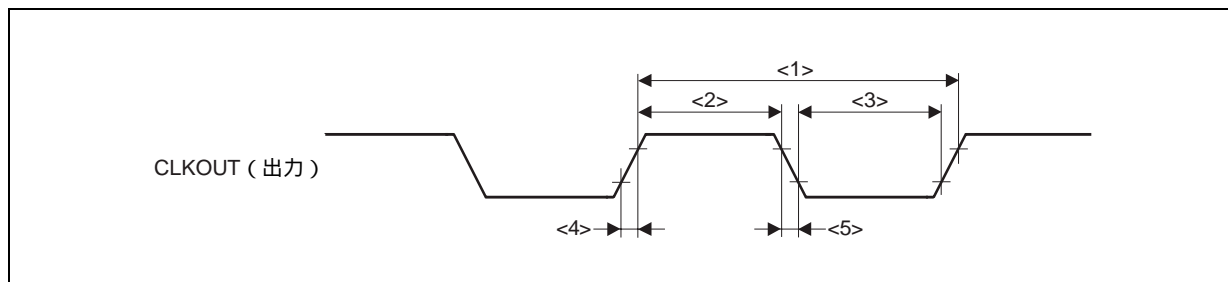
(1) クロック・タイミング

(a)  $T_A = -40 \sim +85$  ,  $V_{DD} = BV_{DD} = 4.0 \sim 5.5 V$  ,  $EV_{DD} = 3.0 \sim 5.5 V$  ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$

項目	略号	条件	MIN.	MAX.	単位
CLKOUT 出力周期	<1> $t_{CYK}$		76.9 ns	31.2 $\mu s$	
CLKOUT ハイ・レベル幅	<2> $t_{WKH}$		$0.4t_{CYK} - 12$		ns
CLKOUT ロウ・レベル幅	<3> $t_{WKL}$		$0.4t_{CYK} - 12$		ns
CLKOUT 立ち上がり時間	<4> $t_{KR}$			12	ns
CLKOUT 立ち下がり時間	<5> $t_{KF}$			12	ns

(b)  $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5 V$  ,  $BV_{DD} = 3.0 \sim 4.0 V$  ,  $EV_{DD} = 3.0 \sim 5.5 V$  ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$

項目	略号	条件	MIN.	MAX.	単位
CLKOUT 出力周期	<1> $t_{CYK}$		76.9 ns	31.2 $\mu s$	
CLKOUT ハイ・レベル幅	<2> $t_{WKH}$		$0.4t_{CYK} - 15$		ns
CLKOUT ロウ・レベル幅	<3> $t_{WKL}$		$0.4t_{CYK} - 15$		ns
CLKOUT 立ち上がり時間	<4> $t_{KR}$			15	ns
CLKOUT 立ち下がり時間	<5> $t_{KF}$			15	ns



(2) 出力波形 (ポート 4, ポート 5, ポート 6, ポート 9, CLKOUT 以外)

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5 V$  ,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5 V$  ,  $V_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

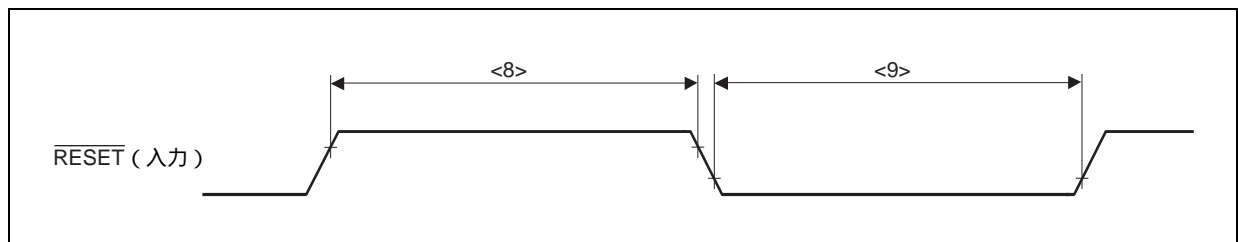
項目	略号		条件	MIN.	MAX.	単位
出力立ち上がり時間	<6>	t <sub>OR</sub>			20	ns
出力立ち下がり時間	<7>	t <sub>OF</sub>			20	ns



(3) リセット・タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5 V$  ,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5 V$  ,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

項目	略号		条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	<8>	t <sub>WRSH</sub>		500		ns
RESET端子ロウ・レベル幅	<9>	t <sub>WRSL</sub>		500		ns



(4) バス・タイミング

(a) クロック非同期 ( $T_A = -40 \sim +85$  ,  $V_{DD} = BV_{DD} = 4.0 \sim 5.5 V$ ,  $EV_{DD} = 3.0 \sim 5.5 V$ ,  
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 ASTB )	<10> $t_{SAST}$		0.5T - 16		ns
アドレス保持時間 (対 ASTB )	<11> $t_{HSTA}$		0.5T - 15		ns
DSTB アドレス・フロート遅延時間	<12> $t_{FDA}$			0	ns
アドレス データ入力設定時間	<13> $t_{SAID}$			(2+n) T - 40	ns
DSTB データ入力設定時間	<14> $t_{SDID}$			(1+n) T - 40	ns
ASTB DSTB 遅延時間	<15> $t_{DSTD}$		0.5T - 15		ns
データ入力保持時間 (対 DSTB )	<16> $t_{HDID}$		0		ns
DSTB アドレス出力時間	<17> $t_{DDA}$		(1+i) T - 15		ns
DSTB ASTB 遅延時間	<18> $t_{DDST1}$		0.5T - 15		ns
DSTB ASTB 遅延時間	<19> $t_{DDST2}$		(1.5+i) T - 15		ns
DSTBロウ・レベル幅	<20> $t_{WDL}$		(1+n) T - 22		ns
ASTB ハイ・レベル幅	<21> $t_{WSTH}$		T - 15		ns
DSTB データ出力時間	<22> $t_{DDOD}$			10	ns
データ出力設定時間 (対 DSTB )	<23> $t_{SODD}$		(1+n) T - 25		ns
データ出力保持時間 (対 DSTB )	<24> $t_{HDOD}$		T - 20		ns
WAIT設定時間 (対アドレス)	<25> $t_{SAWT1}$	n 1		1.5T - 40	ns
	<26> $t_{SAWT2}$	n 1		(1.5+n) T - 40	ns
WAIT保持時間 (対アドレス)	<27> $t_{HAWT1}$	n 1	(0.5+n) T		ns
	<28> $t_{HAWT2}$	n 1	(1.5+n) T		ns
WAIT設定時間 (対 ASTB )	<29> $t_{SSTWT1}$	n 1		T - 32	ns
	<30> $t_{SSTWT2}$	n 1		(1+n) T - 32	ns
WAIT保持時間 (対 ASTB )	<31> $t_{HSTWT1}$	n 1	nT		ns
	<32> $t_{HSTWT2}$	n 1	(1+n) T		ns
HLD $\overline{RQ}$ ハイ・レベル幅	<33> $t_{WHQH}$		T + 10		ns
HLD $\overline{AK}$ ロウ・レベル幅	<34> $t_{WHAL}$		T - 15		ns
HLD $\overline{AK}$ バス出力遅延時間	<35> $t_{DHAC}$		- 6		ns
HLD $\overline{RQ}$ HLD $\overline{AK}$ 遅延時間	<36> $t_{DHQA1}$			(2n+7.5) T + 25	ns
HLD $\overline{RQ}$ HLD $\overline{AK}$ 遅延時間	<37> $t_{DHQA2}$		0.5T	1.5T + 25	ns

備考 1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU 動作クロック周波数)

- n = バス・サイクルに挿入されるウェイト・クロック数  
 プログラムブル・ウェイト挿入時は、サンプル・タイミングが変わります。
- i = リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)
- 上記のスペックは、X1 からデューティ 5 : 5 のクロックを入力した場合の値です。

(b) クロック非同期 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = 3.0 \sim 4.0$  V,  $EV_{DD} = 3.0 \sim 5.5$  V

$V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対 ASTB )	<10> $t_{SAST}$		0.5T - 20		ns
アドレス保持時間 (対 ASTB )	<11> $t_{HSTA}$		0.5T - 20		ns
$\overline{DSTB}$ アドレス・フロート遅延時間	<12> $t_{FDA}$			0	ns
アドレス データ入力設定時間	<13> $t_{SAID}$			(2+n) T - 50	ns
$\overline{DSTB}$ データ入力設定時間	<14> $t_{SDID}$			(1+n) T - 50	ns
ASTB $\overline{DSTB}$ 遅延時間	<15> $t_{DSTD}$		0.5T - 15		ns
データ入力保持時間 (対 $\overline{DSTB}$ )	<16> $t_{HDID}$		0		ns
$\overline{DSTB}$ アドレス出力時間	<17> $t_{DDA}$		(1+i) T - 15		ns
$\overline{DSTB}$ ASTB 遅延時間	<18> $t_{DDST1}$		0.5T - 15		ns
$\overline{DSTB}$ ASTB 遅延時間	<19> $t_{DDST2}$		(1.5+i) T - 15		ns
$\overline{DSTB}$ ロウ・レベル幅	<20> $t_{WDL}$		(1+n) T - 35		ns
ASTB ハイ・レベル幅	<21> $t_{WSTH}$		T - 15		ns
$\overline{DSTB}$ データ出力時間	<22> $t_{DDOD}$			10	ns
データ出力設定時間 (対 $\overline{DSTB}$ )	<23> $t_{SODD}$		(1+n) T - 35		ns
データ出力保持時間 (対 $\overline{DSTB}$ )	<24> $t_{HDOD}$		T - 25		ns
WAIT設定時間 (対アドレス)	<25> $t_{SAWT1}$	n 1		1.5T - 55	ns
	<26> $t_{SAWT2}$	n 1		(1.5+n) T - 55	ns
WAIT保持時間 (対アドレス)	<27> $t_{HAWT1}$	n 1	(0.5+n) T		ns
	<28> $t_{HAWT2}$	n 1	(1.5+n) T		ns
WAIT設定時間 (対 ASTB )	<29> $t_{SSWT1}$	n 1		T - 45	ns
	<30> $t_{SSWT2}$	n 1		(1+n) T - 45	ns
WAIT保持時間 (対 ASTB )	<31> $t_{HSTWT1}$	n 1	nT		ns
	<32> $t_{HSTWT2}$	n 1	(1+n) T		ns
HLDQRQハイ・レベル幅	<33> $t_{WHQH}$		T + 10		ns
HLDQRQロウ・レベル幅	<34> $t_{WHAL}$		T - 25		ns
HLDQRQ バス出力遅延時間	<35> $t_{DHAC}$		- 6		ns
HLDQRQ HLDQRQ 遅延時間	<36> $t_{DHQHA1}$			(2n+7.5) T + 25	ns
HLDQRQ HLDQRQ 遅延時間	<37> $t_{DHQHA2}$		0.5T	1.5T + 25	ns

備考 1.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU 動作クロック周波数)

2. n = バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

3. i = リード・サイクル後に挿入されるアイドル・ステート数 (0 または 1)

4. 上記のスペックは、X1 からデューティ 5 : 5 のクロックを入力した場合の値です。

(c) クロック同期 ( $T_A = -40 \sim +85$  ,  $V_{DD} = BV_{DD} = 4.0 \sim 5.5 V$ ,  $EV_{DD} = 3.0 \sim 5.5 V$ ,  
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	<38> tDKA		0	19	ns
CLKOUT アドレス・フロート遅延時間	<39> tFKA		- 12	10	ns
CLKOUT ASTB 遅延時間	<40> tDKST		0	19	ns
CLKOUT $\overline{DSTB}$ 遅延時間	<41> tDKD		0	19	ns
データ入力設定時間(対 CLKOUT )	<42> tSIDK		20		ns
データ入力保持時間(対 CLKOUT )	<43> tHKID		5		ns
CLKOUT データ出力遅延時間	<44> tDKOD			19	ns
WAIT設定時間(対 CLKOUT )	<45> tSWTK		20		ns
WAIT保持時間(対 CLKOUT )	<46> tHKWT		5		ns
HLD $\overline{RQ}$ 設定時間(対 CLKOUT )	<47> tSHQK		20		ns
HLD $\overline{RQ}$ 保持時間(対 CLKOUT )	<48> tHKHQ		5		ns
CLKOUT アドレス・フロート遅延時間(バス・ホールド時)	<49> tDKF			19	ns
CLKOUT HLD $\overline{AK}$ 遅延時間	<50> tDKHA			19	ns

備考 上記のスペックは、X1 からデューティ 5 : 5 のクロックを入力した場合の値です。

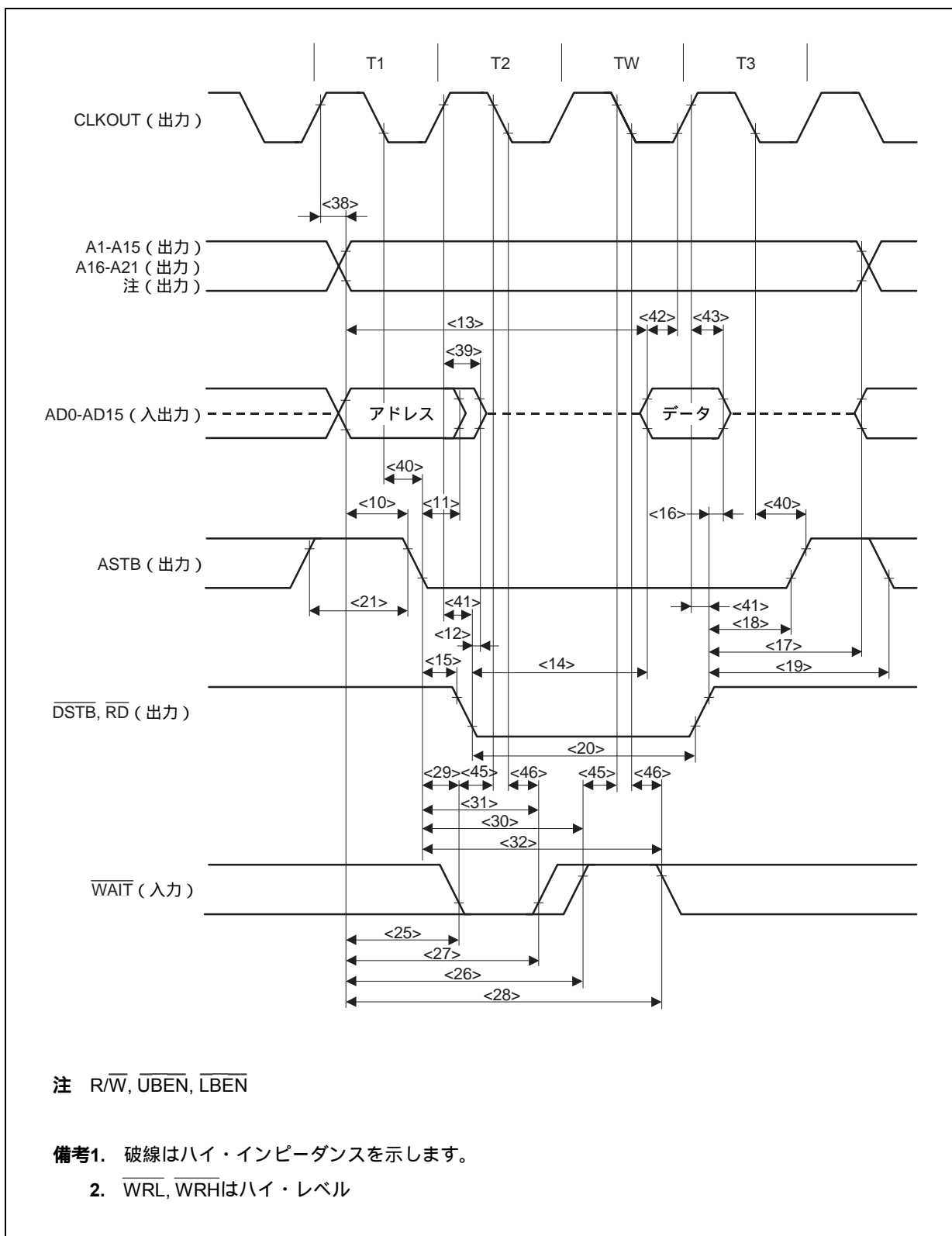
(d) クロック同期 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5 V$ ,  $BV_{DD} = 3.0 \sim 4.0 V$ ,  $EV_{DD} = 3.0 \sim 5.5 V$ ,  
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	<38> tDKA		0	22	ns
CLKOUT アドレス・フロート遅延時間	<39> tFKA		- 16	10	ns
CLKOUT ASTB 遅延時間	<40> tDKST		0	19	ns
CLKOUT $\overline{DSTB}$ 遅延時間	<41> tDKD		0	22	ns
データ入力設定時間(対 CLKOUT )	<42> tSIDK		20		ns
データ入力保持時間(対 CLKOUT )	<43> tHKID		5		ns
CLKOUT データ出力遅延時間	<44> tDKOD			22	ns
WAIT設定時間(対 CLKOUT )	<45> tSWTK		24		ns
WAIT保持時間(対 CLKOUT )	<46> tHKWT		5		ns
HLD $\overline{RQ}$ 設定時間(対 CLKOUT )	<47> tSHQK		24		ns
HLD $\overline{RQ}$ 保持時間(対 CLKOUT )	<48> tHKHQ		5		ns
CLKOUT アドレス・フロート遅延時間(バス・ホールド時)	<49> tDKF			19	ns
CLKOUT HLD $\overline{AK}$ 遅延時間	<50> tDKHA			19	ns

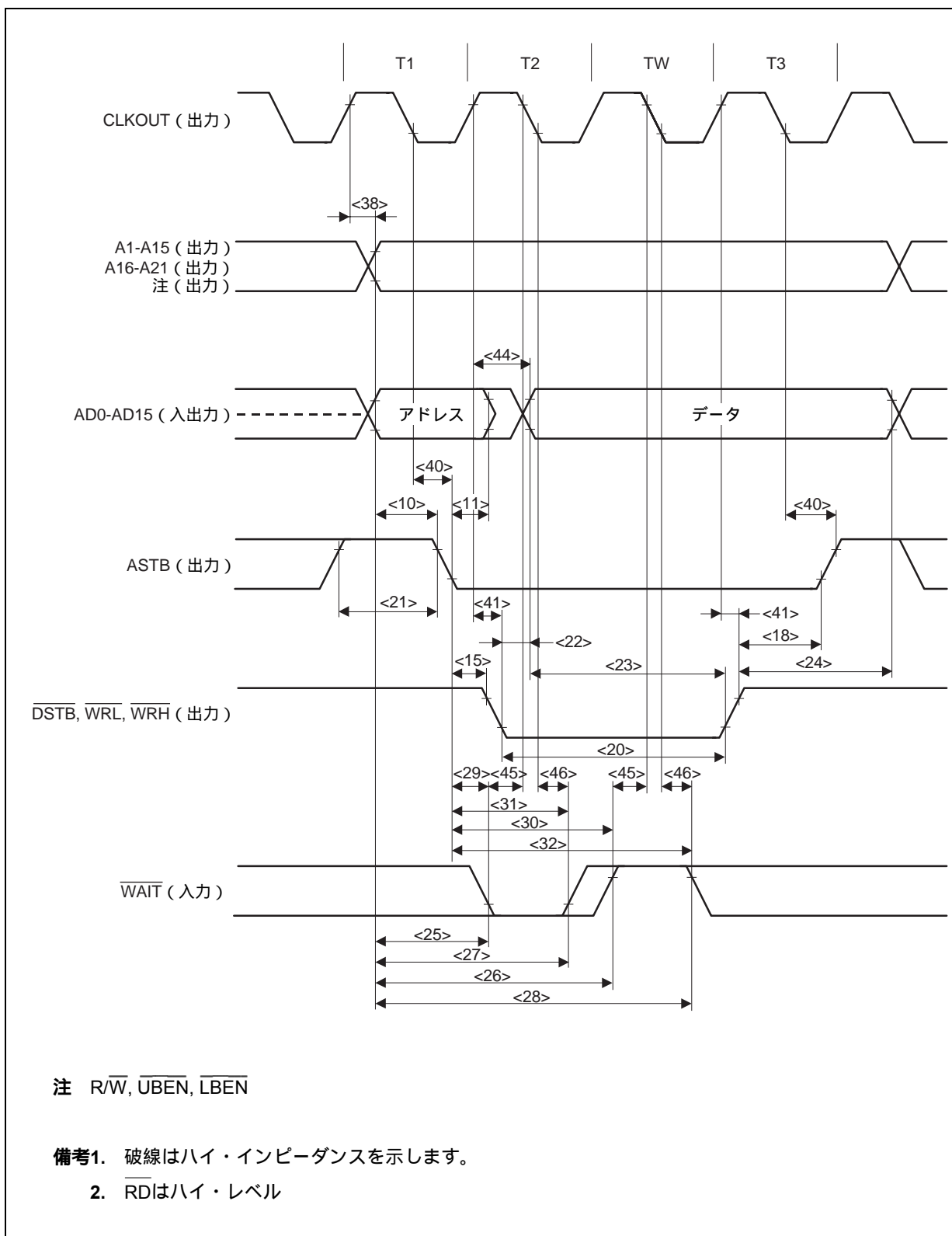
備考 上記のスペックは、X1 からデューティ 5 : 5 のクロックを入力した場合の値です。



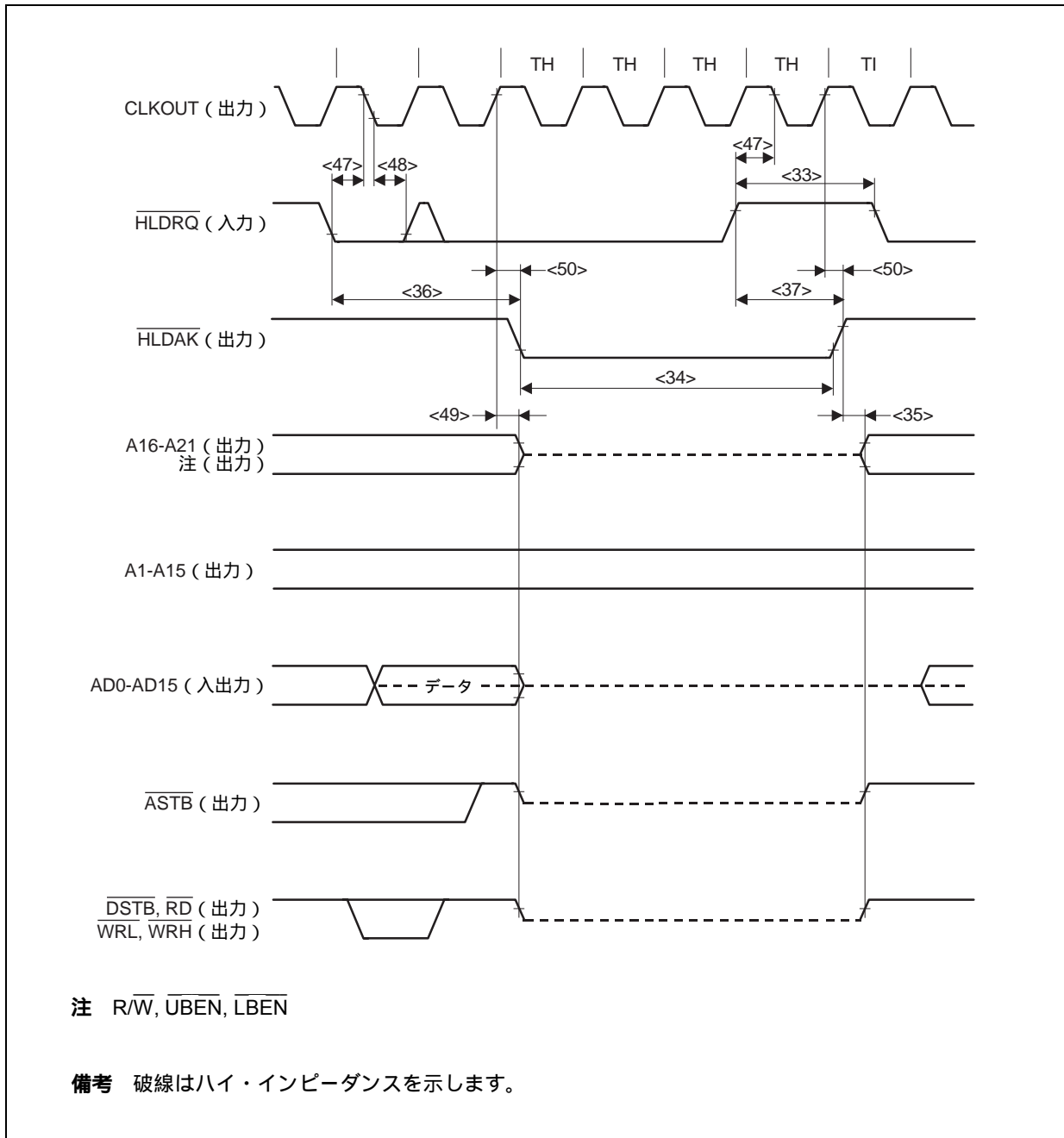
(e) リード・サイクル (CLKOUT 同期/非同期, 1 ウェイト)



(f) ライト・サイクル (CLKOUT 同期/非同期, 1 ウェイト)



(g) バス・ホールド・タイミング



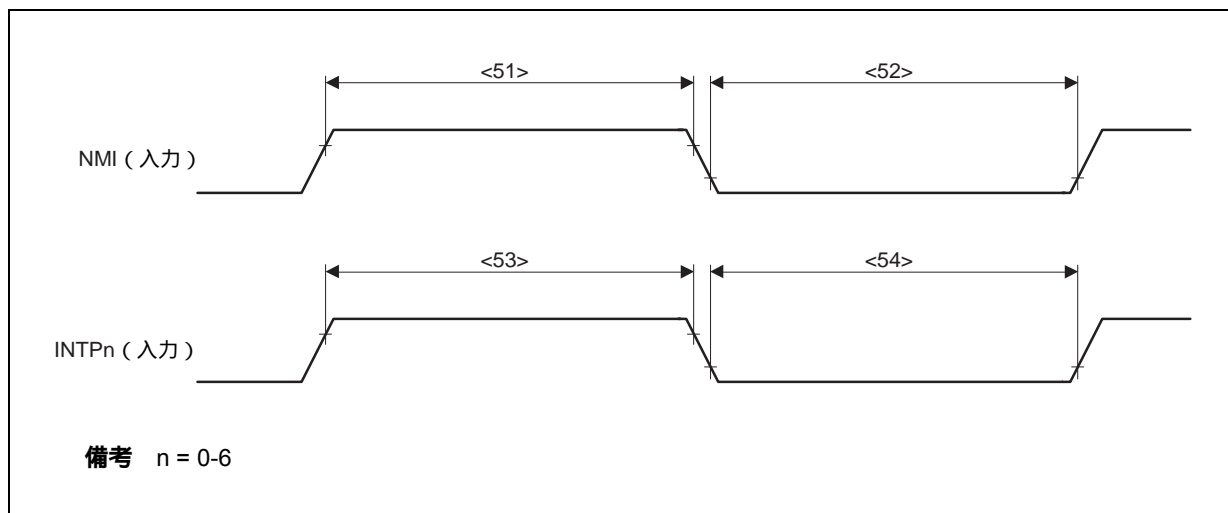
(5) 割り込みタイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	<51>	$t_{WNIH}$	500		ns
NMIロウ・レベル幅	<52>	$t_{WNIL}$	500		ns
INTPnハイ・レベル幅	<53>	$t_{WITH}$ n = 0-3, アナログ・ノイズ除去	500		ns
		n = 4, 5, デジタル・ノイズ除去	$3T + 20$		ns
		n = 6, デジタル・ノイズ除去	$3T_{smp} + 20$		ns
INTPnロウ・レベル幅	<54>	$t_{WITL}$ n = 0-3, アナログ・ノイズ除去	500		ns
		n = 4, 5, デジタル・ノイズ除去	$3T + 20$		ns
		n = 6, デジタル・ノイズ除去	$3T_{smp} + 20$		ns

備考 1.  $T = 1/f_{xx}$

2.  $T_{smp} =$  ノイズ除去サンプリング・クロック周期



(6) RPU タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位
TIn0, TIn1ハイ・レベル幅	<55>	$t_{TlHn}$	$n = 0, 1$	$2T_{sam} + 20^{\#}$	ns
TIn0, TIn1ロウ・レベル幅	<56>	$t_{TlLn}$	$n = 0, 1$	$2T_{sam} + 20^{\#}$	ns
TImハイ・レベル幅	<57>	$t_{TlHm}$	$m = 2-5$	$3T + 20$	ns
TImロウ・レベル幅	<58>	$t_{TlLm}$	$m = 2-5$	$3T + 20$	ns

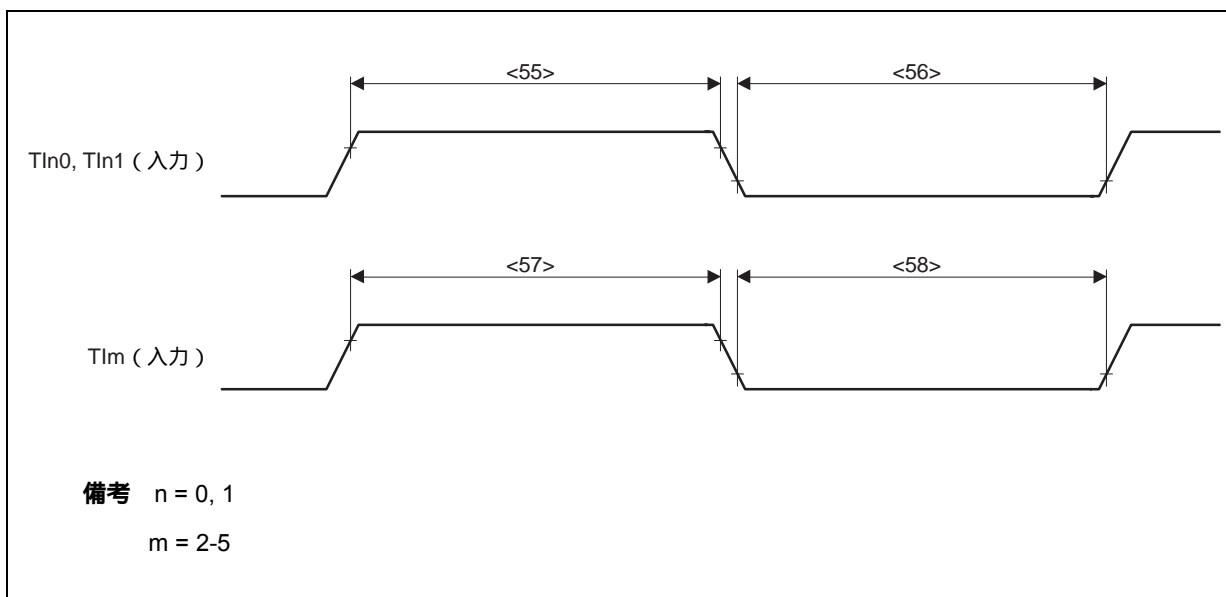
注  $T_{sam}$  (カウント・クロック) は, プリスケアラ・モード・レジスタ  $n0, n1$  (PRMn0, PRMn1) の PRMn2-PRMn0 ビットを設定することにより, 次に示すカウント・クロックを選択できます。

$n = 0$  (TM0) のとき,  $T_{sam} = 2T, 4T, 16T, 64T, 256T, 1/INTWNTNI$  周期

$n = 1$  (TM1) のとき,  $T_{sam} = 2T, 4T, 16T, 32T, 128T, 256T$

ただし, カウント・クロックとして TIn0 の有効エッジを選択した場合,  $T_{sam} = 4T$  となります。

備考  $T = 1/f_{xx}$

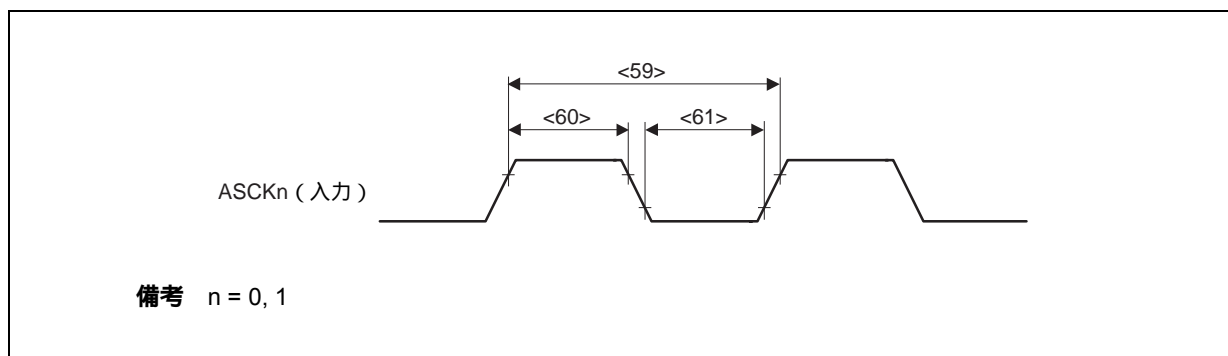


(7) アシクロナス・シリアル・インタフェース (UART0, UART1) タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位
ASCKnサイクル時間	<59> $t_{kCY13}$		200		ns
ASCKnハイ・レベル幅	<60> $t_{kH13}$		80		ns
ASCKnロウ・レベル幅	<61> $t_{kL13}$		80		ns

備考 n = 0, 1



(8) 3線式シリアル・インタフェース (CSI0-CSI3) タイミング

(a) マスタ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<62> $t_{KCY1}$		400		ns
SCKnハイ・レベル幅	<63> $t_{KH1}$		140		ns
SCKnロウ・レベル幅	<64> $t_{KL1}$		140		ns
SIn設定時間 (対SCKn)	<65> $t_{SIK1}$		50		ns
SIn保持時間 (対SCKn)	<66> $t_{KSI1}$		50		ns
SOn出力遅延時間 (対SCKn)	<67> $t_{KSO1}$			60	ns

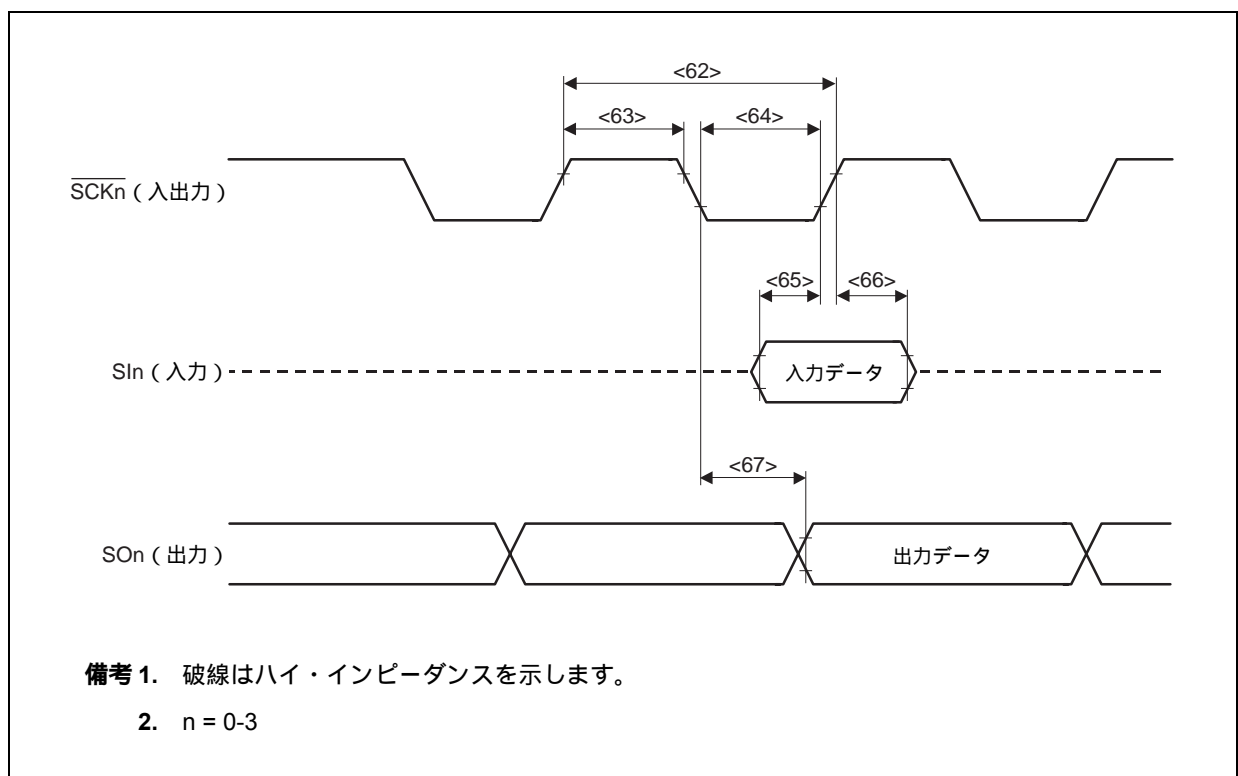
備考 n = 0-3

(b) スレーブ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位
SCKn周期	<62> $t_{KCY2}$		400		ns
SCKnハイ・レベル幅	<63> $t_{KH2}$		140		ns
SCKnロウ・レベル幅	<64> $t_{KL2}$		140		ns
SIn設定時間 (対SCKn)	<65> $t_{SIK2}$		50		ns
SIn保持時間 (対SCKn)	<66> $t_{KSI2}$		50		ns
SOn出力遅延時間 (対SCKn)	<67> $t_{KSO2}$	4.0 V $EV_{DD} = 5.5$ V		60	ns
		3.0 V $EV_{DD} < 4.0$ V		100	ns

備考 n = 0-3



(9) 3線式可変長シリアル・インタフェース (CSI4) タイミング

(a) マスタ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

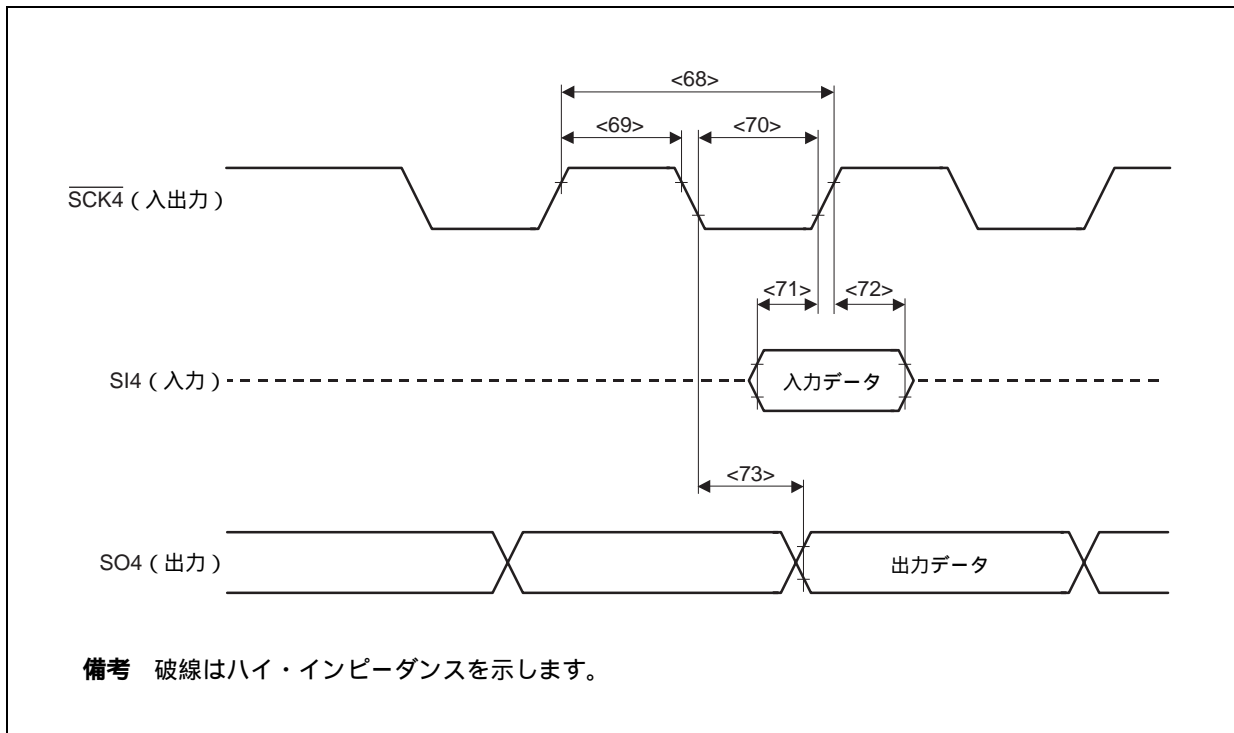
項目	略号	条件	MIN.	MAX.	単位	
SCK4周期	<68>	$t_{KCY1}$	4.0 V $EV_{DD}$ 5.5 V	200		ns
			3.0 V $EV_{DD} < 4.0$ V	400		ns
SCK4ハイ・レベル幅	<69>	$t_{KH1}$	4.0 V $EV_{DD}$ 5.5 V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SCK4ロウ・レベル幅	<70>	$t_{KL1}$	4.0 V $EV_{DD}$ 5.5 V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SI4設定時間 (対SCK4 )	<71>	$t_{SIK1}$	4.0 V $EV_{DD}$ 5.5 V	25		ns
			3.0 V $EV_{DD} < 4.0$ V	50		ns
SI4保持時間 (対SCK4 )	<72>	$t_{SI1}$	20		ns	
SO4出力遅延時間 (対SCK4 )	<73>	$t_{KSO1}$		55	ns	

(b) スレーブ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	MAX.	単位	
SCK4周期	<68>	$t_{KCY2}$	4.0 V $EV_{DD}$ 5.5 V	200		ns
			3.0 V $EV_{DD} < 4.0$ V	400		ns
SCK4ハイ・レベル幅	<69>	$t_{KH2}$	4.0 V $EV_{DD}$ 5.5 V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SCK4ロウ・レベル幅	<70>	$t_{KL2}$	4.0 V $EV_{DD}$ 5.5 V	60		ns
			3.0 V $EV_{DD} < 4.0$ V	140		ns
SI4設定時間 (対SCK4 )	<71>	$t_{SIK2}$	4.0 V $EV_{DD}$ 5.5 V	25		ns
			3.0 V $EV_{DD} < 4.0$ V	50		ns
SI4保持時間 (対SCK4 )	<72>	$t_{SI2}$	20		ns	
SO4出力遅延時間 (対SCK4 )	<73>	$t_{KSO2}$	4.0 V $EV_{DD}$ 5.5 V		55	ns
			3.0 V $EV_{DD} < 4.0$ V		100	ns





(10) I<sup>2</sup>C バス・モード (μPD703034AY, 703035AY, 70F3035AY のみ) (1/2)

(T<sub>A</sub> = -40 ~ +85 , V<sub>DD</sub> = 4.0 ~ 5.5 V, BV<sub>DD</sub> = EV<sub>DD</sub> = 3.0 ~ 5.5 V, V<sub>SS</sub> = AV<sub>SS</sub> = BV<sub>SS</sub> = EV<sub>SS</sub> = 0 V)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLnクロック周波数	-	fCLK	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	<74>	t <sub>BUF</sub>	4.7	-	1.3	-	μs	
ホールド時間 <sup>注1</sup>	<75>	t <sub>HD:STA</sub>	4.0	-	0.6	-	μs	
SCLnクロックのロウ・レベル幅	<76>	t <sub>LOW</sub>	4.7	-	1.3	-	μs	
SCLnクロックのハイ・レベル幅	<77>	t <sub>HIGH</sub>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションの セットアップ時間	<78>	t <sub>SU:STA</sub>	4.7	-	0.6	-	μs	
データ・ ホールド時間	<79>	t <sub>HD:DAT</sub>	CBUS互換マスタの場合	5.0	-	-	-	μs
			I <sup>2</sup> Cモードの場合	0 <sup>注2</sup>	-	0 <sup>注2</sup>	0.9 <sup>注3</sup>	μs
データ・セットアップ時間	<80>	t <sub>SU:DAT</sub>	250	-	100 <sup>注4</sup>	-	ns	
SDAnおよびSCLn信号の立ち上がり時間	<81>	t <sub>r</sub>	-	1000	20 + 0.1Cb <sup>注5</sup>	300	ns	
SDAnおよびSCLn信号の立ち下がり時間	<82>	t <sub>f</sub>	-	300	20 + 0.1Cb <sup>注5</sup>	300	ns	
ストップ・コンディションのセットアップ 時間	<83>	t <sub>SU:STO</sub>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイク のパルス幅	<84>	t <sub>SP</sub>	-	-	0	50	ns	
各バス・ラインの容量性負荷	-	C <sub>b</sub>	-	400	-	400	pF	

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は SCLn の立ち下がり端の未定義領域を埋めるために (SCLn 信号の V<sub>IHmin</sub> での), SDAn 信号用に最低 300ns のホールド時間を内部的に提供する必要があります。
3. 装置が SCLn 信号のロウ・ホールド時間 (t<sub>LOW</sub>) を延長しない場合は、最大データ・ホールド時間 (t<sub>HD:DAT</sub>) のみ満たすことが必要です。
4. 高速モード I<sup>2</sup>C バスは、標準モード I<sup>2</sup>C バス・システム内で利用できます。この場合、次に示す条件を満たすようにしてください。

・装置が SCLn 信号のロウ状態ホールド時間を延長しない場合

$$t_{SU:DAT} = 250\text{ns}$$

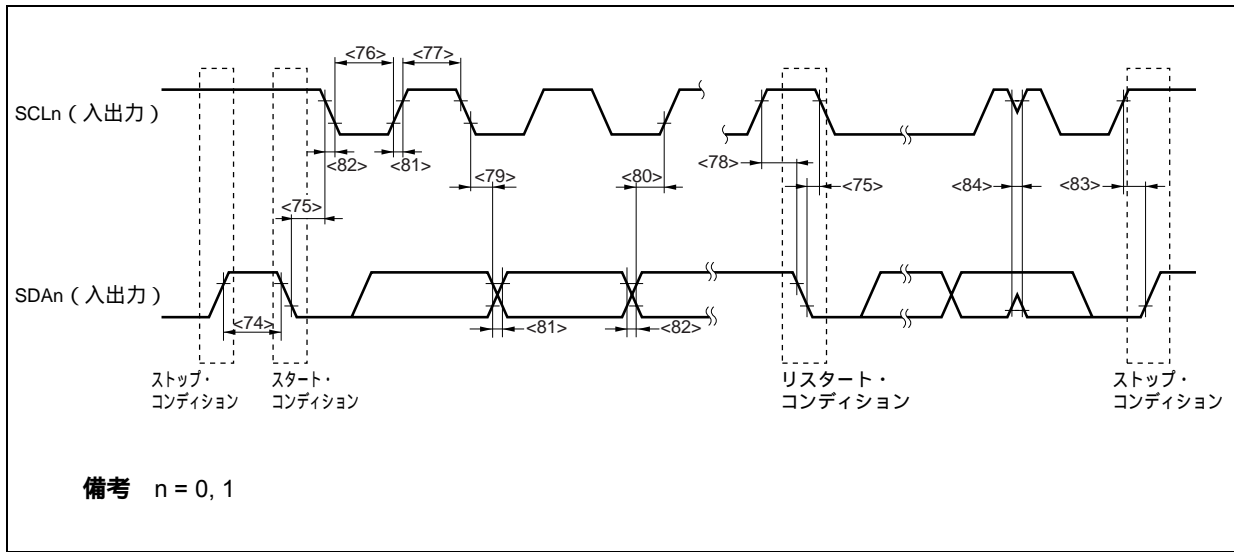
・装置が SCLn 信号のロウ状態ホールド時間を延長する場合

SCLn ラインが解放される (t<sub>rmax</sub> + t<sub>SU:DAT</sub> = 1000 + 250 = 1250 ns : 標準モード I<sup>2</sup>C バス仕様) 前に、次のデータ・ビットを SDAn ラインに送出してください。

5. C<sub>b</sub> : 1 つのバス・ラインの合計キャパシタンス (単位 : pF)

備考 n = 0, 1

(10) I<sup>2</sup>C バス・モード ( $\mu$  PD703034AY, 703035AY, 70F3035AY のみ) (2/2)



A/D コンバータ特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = AV_{DD} = AV_{REF} = 4.5 \sim 5.5$  V,  $V_{SS} = AV_{SS} = 0$  V,  
出力端子の負荷容量 :  $C_L = 50$  pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	-		10	10	10	bit	
総合誤差 <sup>注1</sup>	-	ADM2 = 00H			± 0.6	%FSR	
		ADM2 = 01H			± 1.0	%FSR	
変換時間	t <sub>conv</sub>		5		10	μs	
ゼロスケール誤差 <sup>注1</sup>					± 0.4	%FSR	
フルスケール誤差 <sup>注1</sup>		ADM2 = 00H			± 0.4	%FSR	
		ADM2 = 01H			± 0.6	%FSR	
積分直線性誤差 <sup>注2</sup>		ADM2 = 00H			± 4.0	LSB	
		ADM2 = 01H			± 6.0	LSB	
微分直線性誤差 <sup>注2</sup>		ADM2 = 00H			± 4.0	LSB	
		ADM2 = 01H			± 6.0	LSB	
アナログ基準電圧	AV <sub>REF</sub>	AV <sub>REF</sub> = AV <sub>DD</sub>	4.5		5.5	V	
アナログ電源電圧	AV <sub>DD</sub>		4.5		5.5	V	
アナログ入力電圧	V <sub>IAN</sub>		AV <sub>SS</sub>		AV <sub>REF</sub>	V	
AV <sub>REF</sub> 入力電流	AI <sub>REF</sub>			1	2	mA	
★ AV <sub>DD</sub> 電源電流	AI <sub>DD</sub>	動作電流	ADM2 = 00H		3	6	mA
			ADM2 = 01H		4	8	mA

注1. 量子化誤差 ( ± 0.05 %FSR ) は含みません。

2. 量子化誤差 ( ± 0.5 LSB ) は含みません。

備考1. LSB : Least Significant Bit

FSR : Full Scale Range

2. ADM2 : A/D コンバータ・モード・レジスタ2

IEBus コントローラ特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $BV_{DD} = EV_{DD} = 3.0 \sim 5.5$  V,  
 $V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBusシステム・クロック周波数	f <sub>s</sub>	通信モード：モード1固定		6.0 <sup>注1</sup>		MHz
				6.29 <sup>注1,2</sup>		MHz

- 注1. IEBusシステム・クロック周波数は、6.0 MHzと6.29 MHzを混在して使用できません。
2. IEBusの規格ではシステム・クロック周波数は6.0 MHzですが、V850/SB2では6.29 MHzでの正常動作を保証しています。

レギュレータ ( $T_A = -40 \sim +85$  ,  $V_{DD} = 4.0 \sim 5.5$  V,  $V_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力安定時間	t <sub>REG</sub>	安定容量C = 1 $\mu$ F (REGC端子に接続)	1			ms

- 注意1. 電源電圧 ( $V_{DD}$ ) を立ち上げる場合は、必ず $\overline{RESET} = V_{SS} = EV_{SS} = BV_{SS} = 0$  Vの状態での $V_{DD}$ を立ち上げてください。また、 $\overline{RESET}$ はt<sub>REG</sub>期間経過したあとにハイ・レベルにしてください。
2. 電源電圧 ( $V_{DD}$ ) を立ち上げてからt<sub>REG</sub>期間経過する前に、電源電圧 ( $BV_{DD}, EV_{DD}$ ) を立ち上げた場合、内部回路が不安定な状態で入出力バッファ電源がONするため、t<sub>REG</sub>期間経過するまでの間に、端子からデータをドライブする場合がありますのでご注意ください。

★ 3.1 フラッシュ・メモリ・プログラミング・モード ( $\mu$ PD70F3035A, 70F3035AY のみ)

書き込み / 消去特性 ( $T_A = 10 \sim 85$  ... I, K, E規格品 ,  
 $T_A = -20 \sim +85$  ... P規格品 ,  
 $V_{DD} = AV_{DD} = BV_{DD} = EV_{DD} = 4.5 \sim 5.5 V, V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
V <sub>PP</sub> 電源電圧	V <sub>PP2</sub>	フラッシュ・メモリ・プログラミング・モード時	7.5	7.8	8.1	V
V <sub>DD</sub> 電源電流	I <sub>DD</sub>	V <sub>PP</sub> = V <sub>PP2</sub> 時, f <sub>XX</sub> = 13 MHz			51	mA
V <sub>PP</sub> 電源電流	I <sub>PP</sub>	V <sub>PP</sub> = V <sub>PP2</sub> 時			100	mA
ステップ消去時間	t <sub>ER</sub>	注1		0.2		s
1エリアあたりの総消去時間	t <sub>ERA</sub>	ステップ消去時間 = 0.2 s時, 注2			20	s/エリア
ライトバック時間	t <sub>WB</sub>	注3		1		ms
1ライトバック・コマンドあたりのライトバック回数	C <sub>WB</sub>	ライトバック時間 = 1 ms時, 注4			300	回/ライトバック・コマンド
消去-ライトバック回数	C <sub>ERWB</sub>				16	回
ステップ書き込み時間	t <sub>WR</sub>	注5		20		$\mu$ s
1ワードあたりの総書き込み時間	t <sub>WRW</sub>	ステップ書き込み時間 = 20 $\mu$ s設定時 (1ワード = 4 バイト), 注6	20		200	$\mu$ s/ワード
1エリアあたりの書き換え回数	C <sub>ERWR</sub>	消去1回 + 消去後の書き込み1回 = 書き換え1回とする, 注7	注8			回/エリア

- 注1. ステップ消去時間の推奨設定値 = 0.2 sです。
- 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
  - ライトバック時間の推奨設定値 = 1 msです。
  - ライトバック・コマンドの発行により, ライトバックは1回実行されます。したがって, リトライ回数設定値はこの値からコマンド発行回数をマイナスした値にしてください。
  - ステップ書き込み時間の推奨設定値 = 20  $\mu$ sです。
  - 実際の1ワードあたりの書き込み時間は20  $\mu$ sが加算されます。書き込み中および書き込み後の内部ベリファイ時間は含まれません。
  - 出荷品に対する初回書き込み時には, 「消去 書き込み」の場合も「書き込みのみ」の場合も, 書き換え回数は1回となります。

例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回  
 出荷品 E P E P E P : 書き換え回数3回

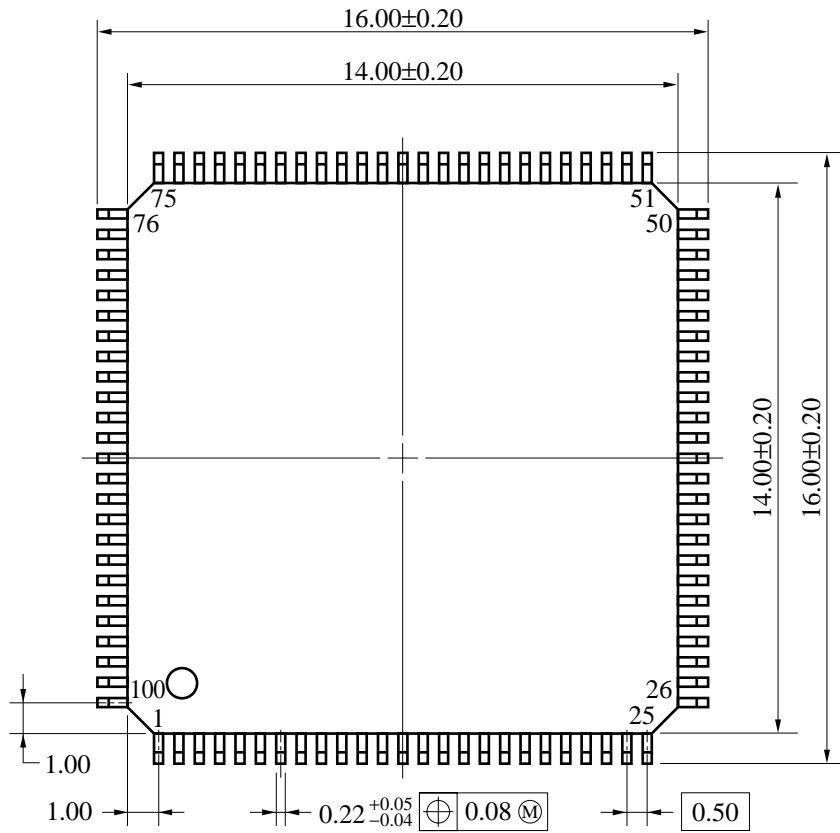
- I, K, E規格品 : 20回 / エリア  
 P規格品 : 100回 / エリア

備考1. PG-FP3使用時は, パラメータ・ファイルのダウンロードによって書き込み / 消去に必要な時間のパラメータが自動設定されます。特に指示のない場合は設定値の変更は行わないでください。

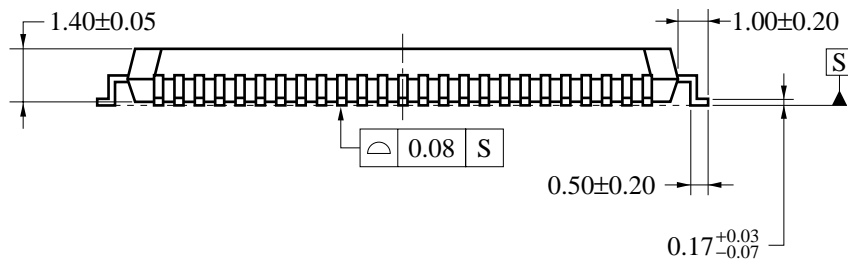
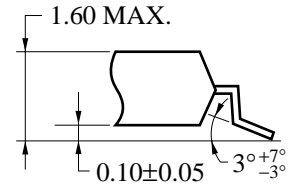
- エリア0 = 000000H-01FFFFH  
 エリア1 = 020000H-03FFFFH

4. 外形図

★ 100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)

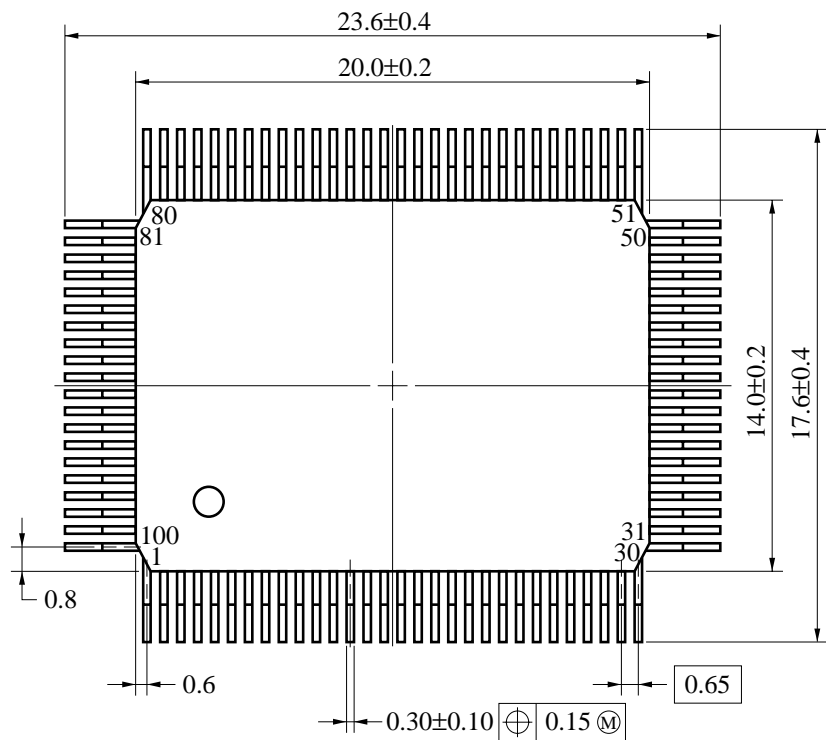


端子先端形状詳細図

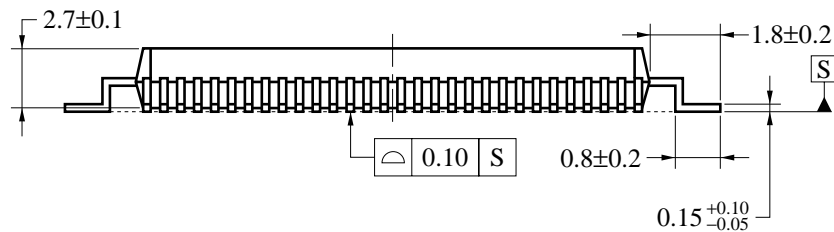
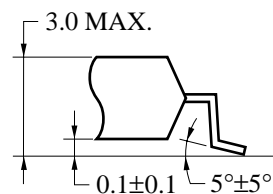


S100GC-50-8EU, 8EA-2

100ピン・プラスチック QFP (14x20) 外形図 (単位 : mm)



端子先端形状詳細図



P100GF-65-3BA1-4

5. 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」( <http://www.ic.nec.co.jp/pkg/ja/jissou/index.html> )

表5 - 1 表面実装タイプの半田付け条件 ( 1/2 )

( 1 ) μ PD703034AGC-xxx-8EU : 100ピン・プラスチックLQFP ( ファインピッチ ) ( 14 × 14 )

μ PD703034AYGC-xxx-8EU :                                 "  
 μ PD703035AGC-xxx-8EU :                                 "  
 μ PD703035AYGC-xxx-8EU :                                 "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：7日間 <sup>*</sup> （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内 制限日数：7日間 <sup>*</sup> （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-107-2
★ 端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

( 2 ) μ PD70F3035AGC-8EU : 100ピン・プラスチックLQFP ( ファインピッチ ) ( 14 × 14 )

μ PD70F3035AYGC-8EU :                                 "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内 制限日数：3日間 <sup>*</sup> （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215℃，時間：25～40秒（200℃以上），回数：2回以内 制限日数：3日間 <sup>*</sup> （以降は125℃プリバーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-103-2
★ 端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。



表5 - 1 表面実装タイプの半田付け条件 (2/2)

(3) μ PD703034AGF-xxx-3BA : 100ピン・プラスチックQFP (14 × 20)

- μ PD703034AYGF-xxx-3BA : "
- μ PD703035AGF-xxx-3BA : "
- μ PD703035AYGF-xxx-3BA : "
- μ PD70F3035AGF-3BA : "
- μ PD70F3035AYGF-3BA : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30 秒以内（210 以上），回数：2 回以内 制限日数：7 日間 <sup>*</sup> （以降は 125 プリベーク 20～72 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR35-207-2
VPS	パッケージ・ピーク温度：215 ，時間：25～40 秒（200 以上），回数：2 回以内 制限日数：7 日間 <sup>*</sup> （以降は 125 プリベーク 20～72 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	VP15-207-2
ウエーブ・ ソルダーリング	半田槽温度：260 以下，時間：10 秒以内，回数：1 回 予備加熱温度：120 MAX.（パッケージ表面温度） 制限日数：7 日間 <sup>*</sup> （以降は 125 プリベーク 20～72 時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	WS60-207-1
★ 端子部分加熱	端子温度：350 以下，時間：3 秒以内（デバイスの一辺当たり）	-

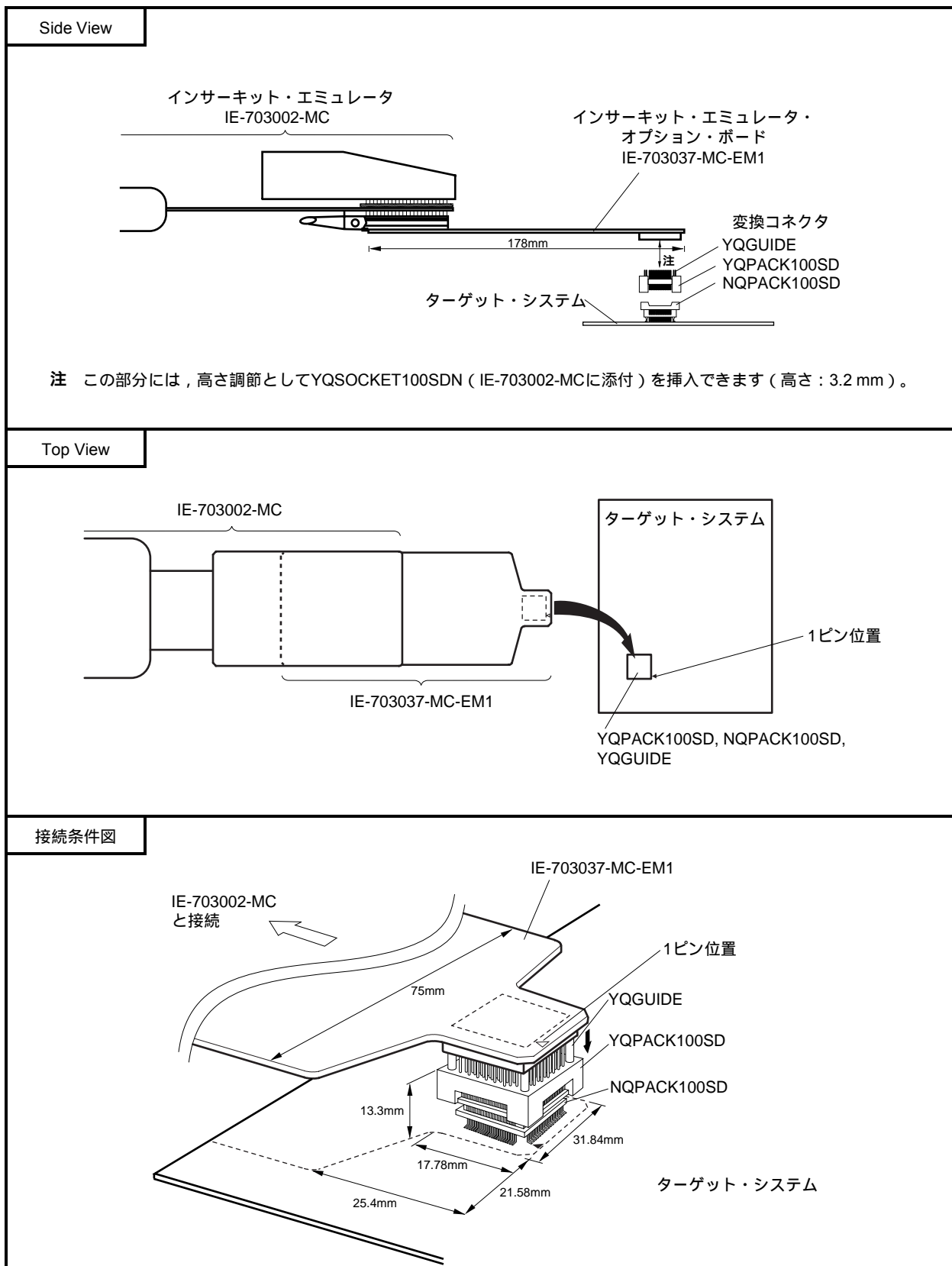
注 ドライパック開封後の保管日数で，保管条件は 25 ，65 %RH 以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

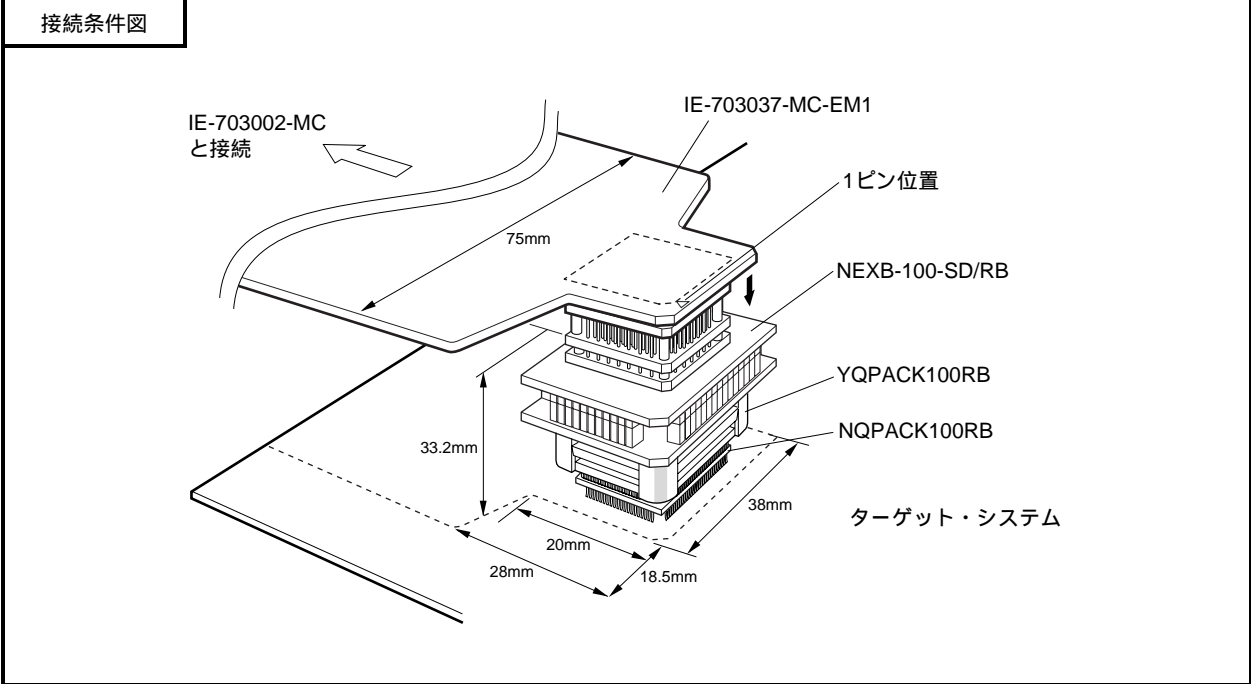
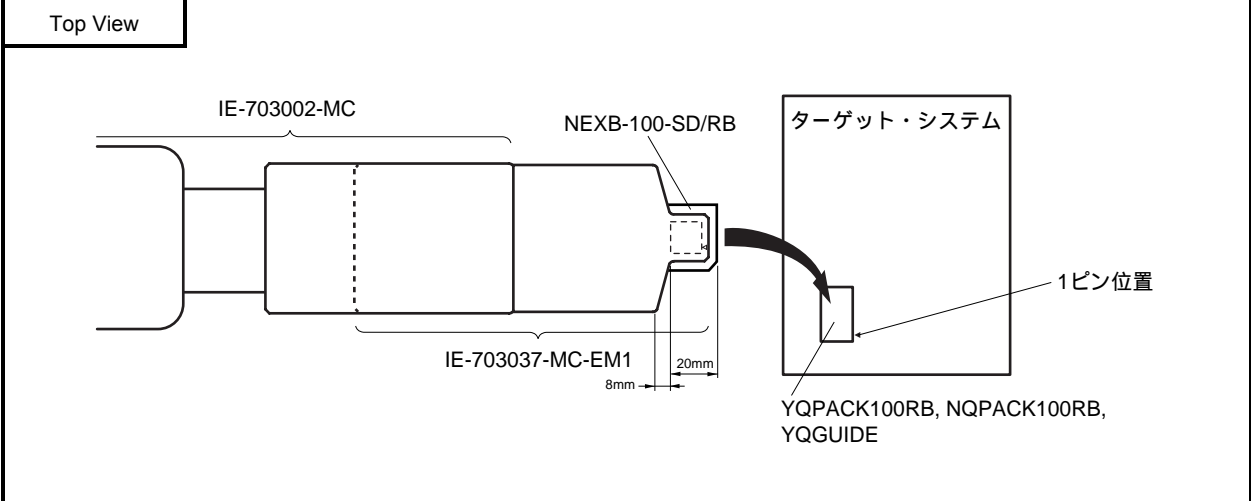
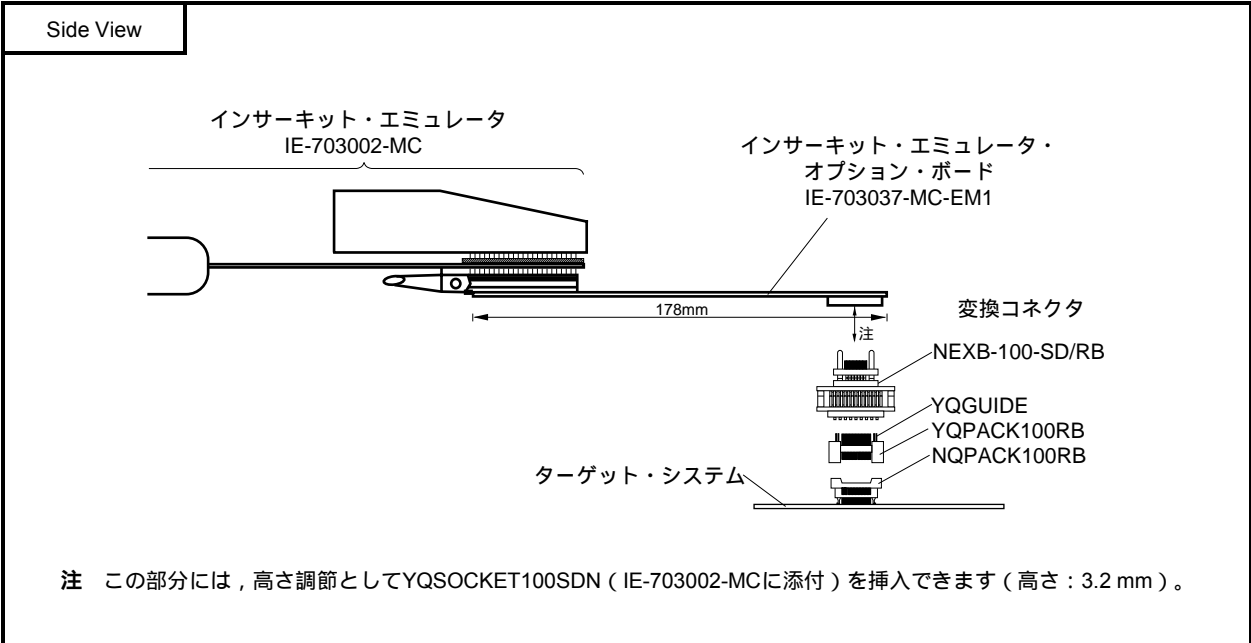
★ 付録 ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

付 - 1 100ピン・プラスチックLQFP (ファインピッチ) (14×14) の場合



付 - 2 100ピン・プラスチックQFP (14×20) の場合



保守/廃止

(メモ)

## CMOSデバイスの一般的注意事項

## 静電気対策 (MOS全般)

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

## 未使用入力の処理 (CMOS特有)

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

## 初期化以前の状態 (MOS全般)

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

**注意:**  $\mu$  PD703034AY, 703035AY, 70F3035AYは $\mu$ PCバス・インタフェース回路を内蔵しています。

$\mu$ PCバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社の $\mu$ PCバス対応部品をご購入いただくことにより、これらの部品を $\mu$ PCシステムに使用する実施権がフィリップス社 $\mu$ PC特許に基づき許諾されることとなります。ただし、これらの $\mu$ PCシステムはフィリップス社によって設定された $\mu$ PC標準規格に合致しているものとします。

Purchase of NEC  $\mu$ PC components conveys a license under the Philips  $\mu$ PC Patent Rights to use these components in an  $\mu$ PC system, provided that the system conforms to the  $\mu$ PC Standard Specification as defined by Philips.

関連資料  $\mu$  PD703037A, 703037AY, 70F3037A, 70F3037AY データ・シート U14894J

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめご了承ください。

参考資料 電气的特性の考え方 マイコン編 (U15170J)

V850/SB1, V850/SB2, V850 シリーズ, IEBus は、日本電気株式会社の商標です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 :  $\mu$  PD70F3035A, 70F3035AY

ユーザ判定品 :  $\mu$  PD703034A, 703034AY, 703035A, 703035AY

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。  
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット  
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器  
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等  
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
 (電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-435-9494  
 FAX : 044-435-9608  
 E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
大阪 (06)6945-3178, 3200, 3208, 3212	立川 (042)526-5981, 6167	水戸 (029)226-1702
広島 (082)242-5504	松本 (0263)35-1662	前橋 (027)243-6060
仙台 (022)267-8740	静岡 (054)254-4794	鳥取 (0857)27-5313
	金沢 (076)232-7303	名古屋 (052)222-2170, 2190
	松山 (089)945-4149	福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクス デバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>