

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD784935A, 784936A, 784937A, 784938A

16ビット・シングルチップ・マイクロコンピュータ

μ PD784935A, 784936A, 784937A, 784938Aは、78K/ シリーズの中の μ PD784938Aサブシリーズの製品です。
 μ PD784908サブシリーズをベースに内部ROM, RAM容量を拡大し、ROMコレクション機能を追加したものです。
 また、マスクROM製品と同じ電源電圧範囲で、動作可能なフラッシュ・メモリ内蔵製品 μ PD78F4938Aや各種開発ツールも用意しております。

詳しい機能説明などは次のユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD784938Aサブシリーズ ユーザーズ・マニュアル ハードウェア編 : U13987J
 78K/ シリーズ ユーザーズ・マニュアル 命令編 : U10905J

特 徴

78/ シリーズ	外部拡張機能
最小命令実行時間 : 320 ns (f _{xx} = 6.29 MHz動作時)	ROMコレクション機能内蔵
160 ns (f _{xx} = 12.5 MHz動作時)	ウォッチドッグ・タイマ : 1チャンネル
I/Oポート : 80本	クロック出力機能 :
タイマ/カウンタ	f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /16から選択
: 16ビット・タイマ/イベント・カウンタ×1ユニット	A/Dコンバータ : 8ビット分解能×8チャンネル
8/16ビット・タイマ/イベント・カウンタ×2ユニット	IEBus™コントローラ内蔵
8/16ビット・タイマ×1ユニット	時計用タイマ
シリアル・インタフェース : 4チャンネル	低消費電力
・UART/IOE (3線式シリアルI/O) : 2チャンネル	電源電圧
・CSI (3線式シリアルI/O) : 2チャンネル	・V _{DD} = 4.0 ~ 5.5 V (12.5 MHz動作時)
PWM出力 : 2出力	・V _{DD} = 3.0 ~ 5.5 V (6.29 MHz動作時)
スタンバイ機能	
HALT/STOP/IDLEモード	
クロック分周機能	

応用分野

カー・オーディオなど

この資料では、特に断りがないかぎり μ PD784938Aを代表製品として説明しています。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

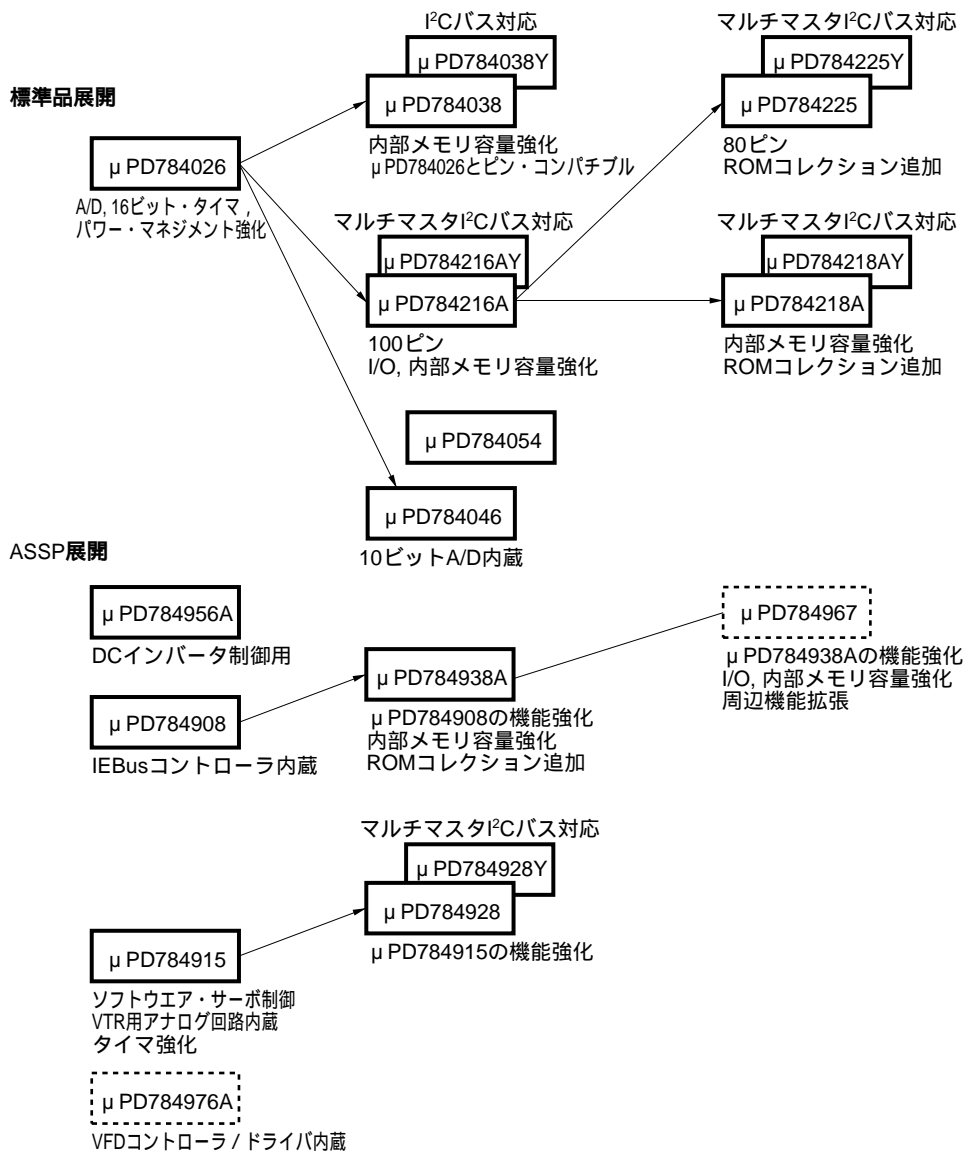
オーダ情報

オーダ名称	パッケージ	内部ROM (バイト)	内部RAM (バイト)
μ PD784935AGF- x x x -3BA	100ピン・プラスチックQFP (14×20)	96 Kバイト	5120バイト
μ PD784936AGF- x x x -3BA	100ピン・プラスチックQFP (14×20)	128 Kバイト	6656バイト
μ PD784937AGF- x x x -3BA	100ピン・プラスチックQFP (14×20)	192 Kバイト	8192バイト
μ PD784938AGF- x x x -3BA	100ピン・プラスチックQFP (14×20)	256 Kバイト	10496バイト

備考 x x x はROMコード番号です。

★ 78K/ シリーズ製品展開図

□ : 量産中
 □ (点線) : 開発中



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

機能一覧

(1/2)

品名		μ PD784935A	μ PD784936A	μ PD784937A	μ PD784938A
項目					
基本命令 (二モニック) 数		113			
汎用レジスタ		8ビット×32レジスタ×8バンク, または16ビット×8レジスタ×8バンク (メモリ・マップ)			
★ 最小命令実行時間		320 ns/636 ns/1.27 μs/2.54 μs (6.29 MHz動作時) 160 ns/320 ns/636 ns/1.27 μs (12.58 MHz動作時)			
内部メモリ	ROM	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト
	RAM	5120バイト	6656バイト	8192バイト	10496バイト
メモリ空間		プログラム / データあわせて1 Mバイト			
I/Oポート	合計	80本			
	入力	8本			
	入出力	72本			
付加機能付き端子 ^注	LEDダイレクト・ドライブ出力	24本			
	トランジスタ・ダイレクト・ドライブ	8本			
	N-chオープン・ドレイン	4本			
リアルタイム出力ポート		4ビット×2, または8ビット×1			
IEBusコントローラ		内蔵 (簡易版)			
タイマ / カウンタ	タイマ / イベント・カウンタ0: タイマ・カウンタ×1 (16ビット)	キャプチャ・レジスタ×1 コンペア・レジスタ×2	パルス出力可 ・トグル出力 ・PWM/PPG出力 ・ワンショット・パルス出力		
	タイマ / イベント・カウンタ1: タイマ・カウンタ×1 (16ビット)	キャプチャ・レジスタ×1 キャプチャ / コンペア・レジスタ×1 コンペア・レジスタ×1	リアルタイム出力ポート		
	タイマ / イベント・カウンタ2: タイマ・カウンタ×1 (16ビット)	キャプチャ・レジスタ×1 キャプチャ / コンペア・レジスタ×1 コンペア・レジスタ×1	パルス出力可 ・トグル出力 ・PWM/PPG出力		
	タイマ3 (16ビット)	: タイマ・カウンタ×1 コンペア・レジスタ×1			
★ 時計用タイマ		0.5秒間隔で割り込み要求発生 (時計クロック発振回路を内蔵) 入力クロックは, メイン・クロック (12.58 MHz) と時計クロック (32.768 kHz) の選択可能			
クロック出力		f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8, f _{CLK} /16から選択 (1ビット出力ポートとしても使用可能)			
PWM出力		12ビット分解能×2チャンネル			
シリアル・インタフェース		UART/IOE (3線式シリアルI/O) : 2チャンネル (ポー・レート・ジェネレータ内蔵) CSI (3線式シリアルI/O) : 2チャンネル			
A/Dコンバータ		8ビット分解能×8チャンネル			
ウォッチドッグ・タイマ		1チャンネル			
ROMコレクション機能		内蔵 (修正アドレス4ポイント設定可)			

注 付加機能付き端子は, I/O端子の中に含まれています。

(2/2)

品名		μ PD784935A	μ PD784936A	μ PD784937A	μ PD784938A
外部拡張機能		あり (1 Mバイトまで可)			
スタンバイ		HALT/STOP/IDLEモード			
割り込み	ハードウェア要因	27 (内部20, 外部7 (サンプリング・クロック可変入力: 1))			
	ソフトウェア要因	BRK命令, BRKCS命令, オペランド・エラー			
	ノンマスクブル	内部: 1, 外部: 1			
	マスクブル	内部: 19, 外部: 6			
		4レベルのプログラマブル・プライオリティ 3種類の処理形態: ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング			
電源電圧		<ul style="list-style-type: none"> ・ V_{DD} = 4.0 ~ 5.5 V (12.58 MHz動作時) ・ V_{DD} = 3.0 ~ 5.5 V (6.29 MHz動作時) 			
パッケージ		・ 100ピン・プラスチックQFP (14 × 20)			

目 次

1. μ PD784938Aサブシリーズ製品間の違い ... 8
2. μ PD784908サブシリーズ, μ PD784038サブシリーズ, μ PD78098サブシリーズとの主な違い ... 9
3. 端子接続図 (Top View) ... 10
4. システム構成例 (車載オーディオ (チューナ・デッキ部)) ... 12
5. ブロック図 ... 13
6. 端子機能 ... 14
 - 6.1 ポート端子 ... 14
 - 6.2 ポート以外の端子 ... 16
 - 6.3 端子の入出力回路と未使用端子の処理 ... 18
7. CPUアーキテクチャ ... 22
 - 7.1 メモリ空間 ... 22
 - 7.2 CPUレジスタ ... 27
 - 7.2.1 汎用レジスタ ... 27
 - 7.2.2 制御レジスタ ... 28
 - 7.2.3 特殊機能レジスタ (SFR) ... 29
8. 周辺ハードウェア機能 ... 34
 - 8.1 ポート ... 34
 - 8.2 クロック発生回路 ... 36
 - 8.3 リアルタイム出力ポート ... 39
 - 8.4 タイマ/カウンタ ... 40
 - 8.5 時計用タイマ ... 42
 - 8.6 PWM出力 (PWM0, PWM1) ... 43
 - 8.7 A/Dコンバータ ... 44
 - 8.8 シリアル・インタフェース ... 45
 - 8.8.1 アシンクロナス・シリアル・インタフェース/3線式シリアルI/O (UART/IOE) ... 46
 - 8.8.2 クロック同期式シリアル・インタフェース (CSI) ... 48
 - 8.9 クロック出力機能 ... 49
 - 8.10 エッジ検出機能 ... 50
 - 8.11 ウォッチドッグ・タイマ ... 50
 - 8.12 簡易版IEBusコントローラ ... 51
9. 割り込み機能 ... 54
 - 9.1 割り込み要因 ... 54
 - 9.2 ベクタ割り込み ... 56

9.3	コンテキスト・スイッチング	...	57
9.4	マクロ・サービス	...	57
9.5	マクロ・サービスの応用例	...	58
10.	ローカル・バス・インタフェース	...	60
10.1	メモリ拡張	...	60
10.2	メモリ空間	...	61
10.3	プログラマブル・ウエイト	...	62
10.4	疑似スタティックRAMリフレッシュ機能	...	62
10.5	バス・ホールド機能	...	62
11.	スタンバイ機能	...	63
12.	リセット機能	...	64
13.	レギュレータ	...	65
14.	ROMコレクション	...	66
15.	命令セット	...	67
16.	電気的特性	...	72
17.	外形図	...	92
18.	半田付け推奨条件	...	93
付録A.	開発ツール	...	94
付録B.	関連資料	...	97

1. μ PD784938Aサブシリーズ製品間の違い

μ PD784935A, 784936A, 784937A, 784938Aは , 内部メモリ容量が異なるだけです。

μ PD78F4938Aは , 上記製品のマスクROMを256 Kバイトのフラッシュ・メモリに置き換えた製品です。相違点を表1 - 1に示します。

表1 - 1 μ PD784938Aサブシリーズ製品間の違い

品 名	μ PD784935A	μ PD784936A	μ PD784937A	μ PD784938A	μ PD78F4938A
項 目					
内部ROM	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト	
	マスクROM				フラッシュ・メモリ
内部RAM	5120バイト	6656バイト	8192バイト	10496バイト	
レギュレータ	あり				なし
電気的特性	個別の製品のデータ・シートを参照してください。				
内部メモリ・サイズ切り替えレジスタ ^注	なし				あり
IC端子	あり				なし
V _{PP} 端子	なし				あり

注 内部メモリ・サイズ切り替えレジスタ (IMS) により , 内蔵フラッシュ・メモリ容量 , 内部RAM容量の変更可能。

2. μ PD784908サブシリーズ, μ PD784038サブシリーズ, μ PD78098サブシリーズとの主な違い

シリーズ名	μ PD784938Aサブシリーズ	μ PD784908サブシリーズ	μ PD784038サブシリーズ	μ PD78098サブシリーズ
項目				
基本命令(二モニック)数	113			63
最小命令実行時間	160 ns (内部12.5 MHz動作時)		125 ns (32 MHz動作時)	480 ns (6.29 MHz動作時)
メモリ空間 (プログラム・データ)	1 Mバイト			60 Kバイト
タイマ/カウンタ	16ビット・タイマ/イベント・カウンタ×1 8/16ビット・タイマ/イベント・カウンタ×2 8/16ビット・タイマ×1 時計用タイマ		16ビット・タイマ/イベント・カウンタ×1 8/16ビット・タイマ/イベント・カウンタ×2 8/16ビット・タイマ×1	16ビット・タイマ/イベント・カウンタ×1 8ビット・タイマ/イベント・カウンタ×2 時計用タイマ
	シングル・クロック 時計動作時に時計クロックあり		シングル・クロック	デュアル・クロック
シリアル・インタフェース	UART/IOE (3線式シリアルI/O) : 2チャンネル (ボー・レート・ジェネレータ内蔵) CSI (3線式シリアルI/O) : 2チャンネル		UART/IOE (3線式シリアルI/O) : 2チャンネル CSI (3線式シリアルI/O, 2線式シリアルI/O) : 1チャンネル	UART (3線式シリアルI/O) : 1チャンネル CSI/SBI (3線式シリアルI/O) : 1チャンネル CSI (3線式シリアルI/O) : 1チャンネル
PWM出力	12ビット分解能×2チャンネル			なし
D/Aコンバータ	なし		8ビット分解能×2チャンネル	
割り込み	ハードウェア要因	27本	24本	23本(テスト・フラグ2本)
	内部	20本	17本	14本
	外部	7本	7本	7本
外部拡張機能	あり(1 Mバイトまで可)			なし
IEBusコントローラ	内蔵(簡易版)		内蔵しない	内蔵(完全ハードウェア)
ROMコレクション	内蔵(4ポイント設定可)	内蔵しない		
電源電圧	V _{DD} = 4.0 ~ 5.5 V	V _{DD} = 3.5 ~ 5.5 V (マスクROM品) V _{DD} = 4.0 ~ 5.5 V (PROM品)	V _{DD} = 2.7 ~ 5.5 V	V _{DD} = 2.7 ~ 6.0 V
パッケージ	100ピン・プラスチックQFP (14×20)	100ピン・プラスチックQFP (14×20)	80ピン・プラスチックQFP (14×14) 80ピン・プラスチックTQFP (ファインピッチ) (14×14) 80ピン・プラスチックWQFN (14×14) : μ PD78P4038のみ	80ピン・プラスチックTQFP (ファインピッチ) (14×14) 80ピン・プラスチックWQFN (14×14) : μ PD78P098Aのみ

注 付加機能付き端子は, I/O端子の中に含まれています。

3. 端子接続図 (Top View)

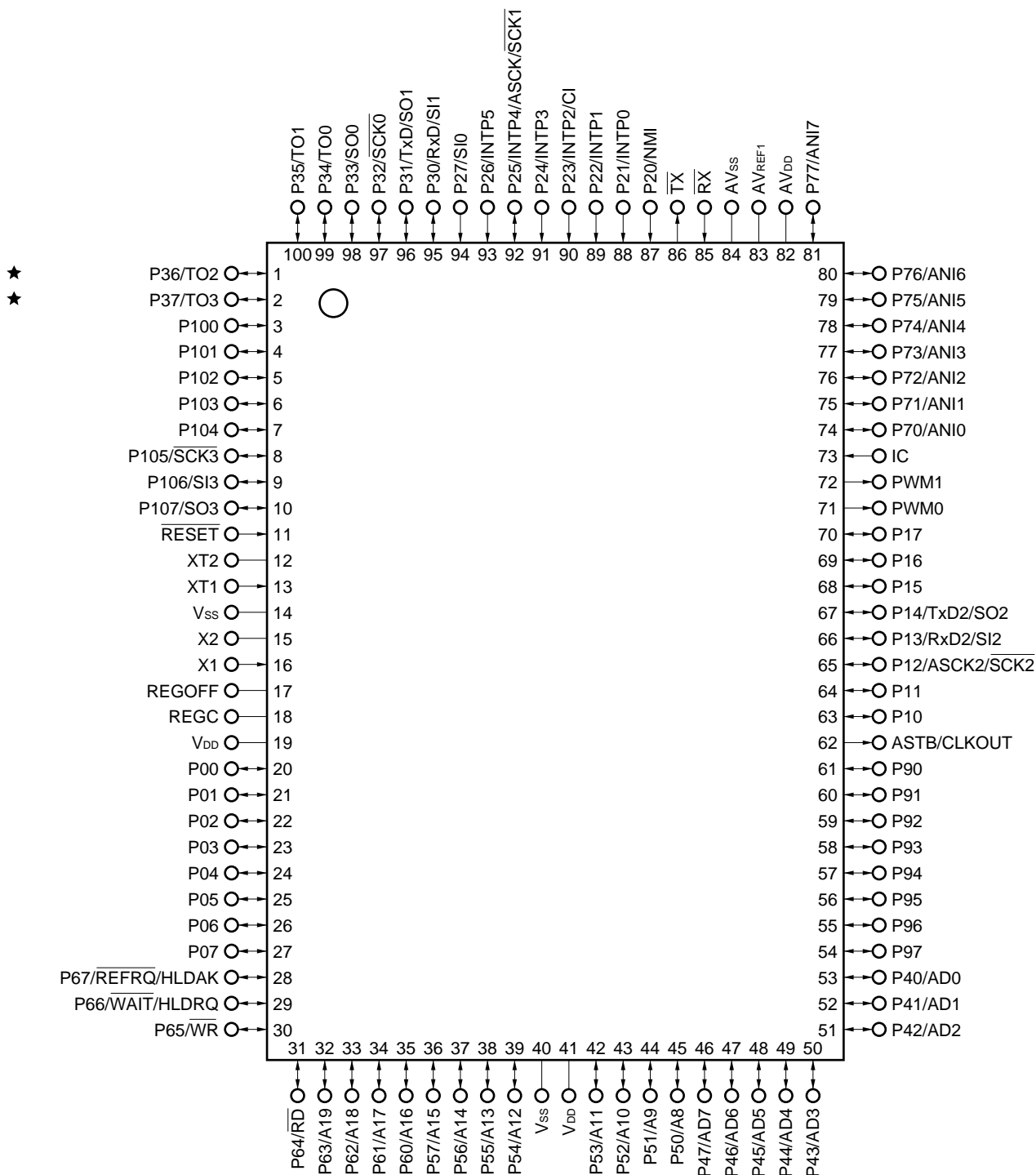
・ 100ピン・プラスチックQFP (14×20)

μ PD784935AGF- x x x -3BA

μ PD784936AGF- x x x -3BA

μ PD784937AGF- x x x -3BA

μ PD784938AGF- x x x -3BA



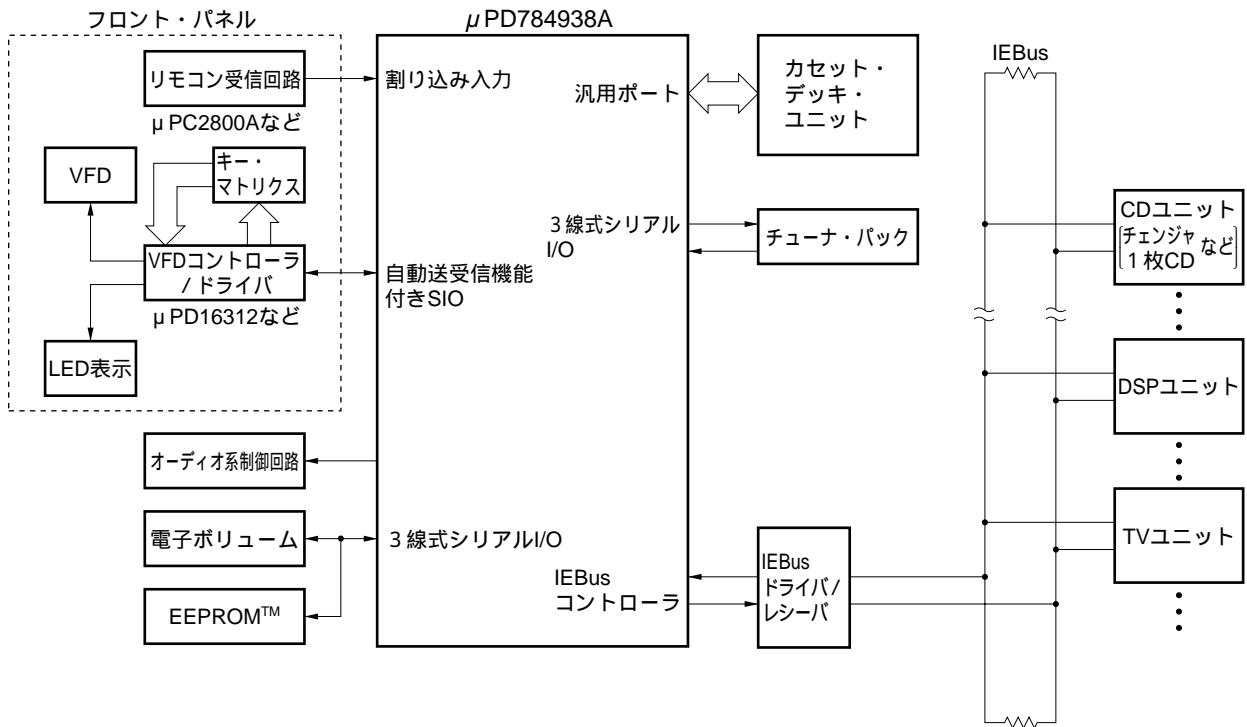
注意1. IC (Internally Connected) 端子はVSSに直接接続してください。

2. AVDD端子はVDDに直接接続してください。

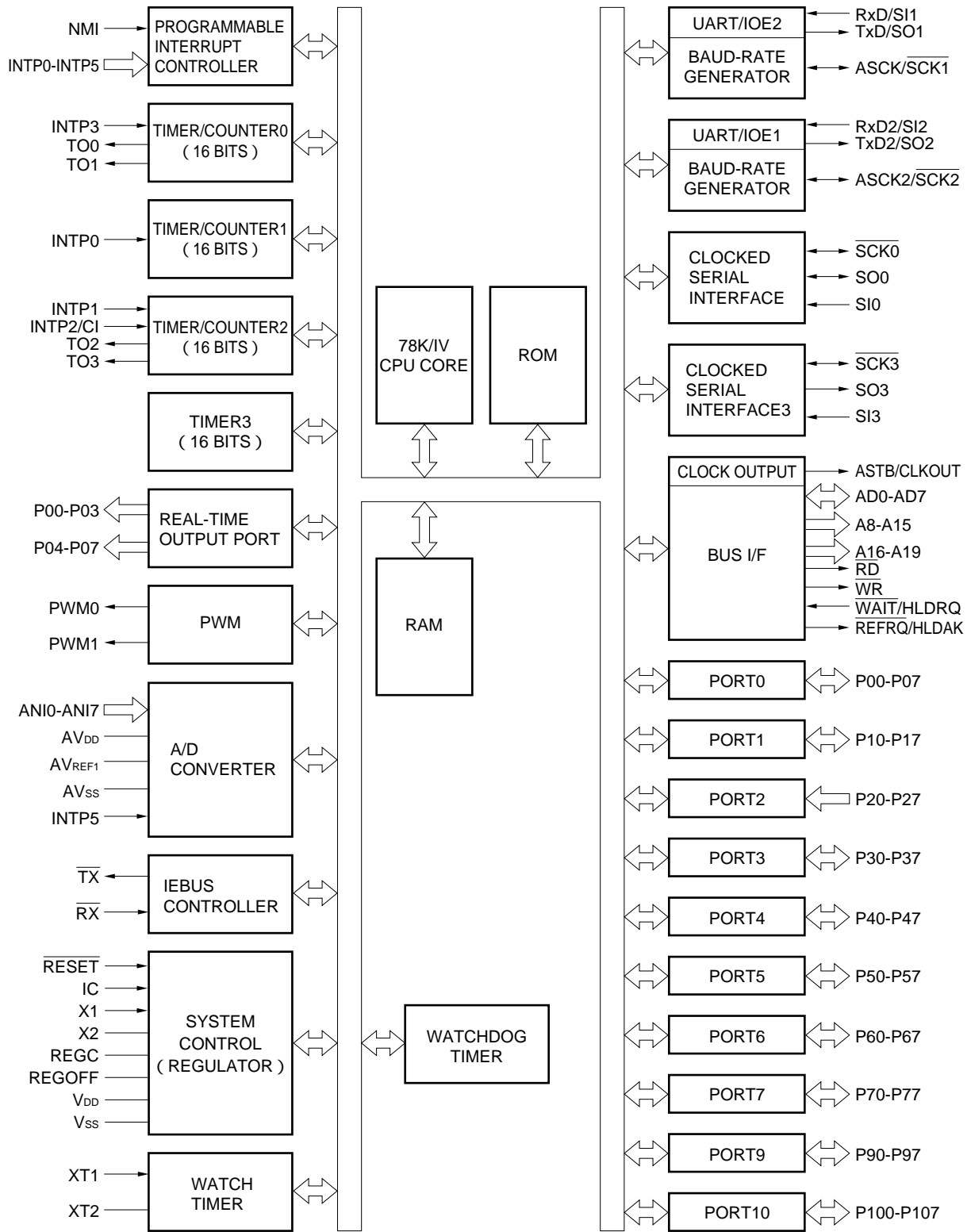
3. AVSS端子はVSSに直接接続してください。

A8-A19	: Address Bus	PWM0, PWM1	: Pulse Width Modulation Output
AD0-AD7	: Address/Data Bus	$\overline{\text{RD}}$: Read Strobe
ANI0-ANI7	: Analog Input	REFRQ	: Refresh Request
ASCK, ASCK2	: Asynchronous Serial Clock	REGC	: Regulator Capacitance
ASTB	: Address Strobe	REGOFF	: Regulator Off
AV _{DD}	: Analog Power Supply	$\overline{\text{RESET}}$: Reset
AV _{REF1}	: Reference Voltage	RX	: IEBus Receive Data
AV _{SS}	: Analog Ground	RxD, RxD2	: Receive Data
CI	: Clock Input	$\overline{\text{SCK0-SCK3}}$: Serial Clock
CLKOUT	: Clock Output	SI0-SI3	: Serial Input
HLD _{AK}	: Hold Acknowledge	SO0-SO3	: Serial Output
HLD _{RQ}	: Hold Request	TO0-TO3	: Timer Output
IC	: Internally Connected	$\overline{\text{TX}}$: IEBus Transmit Data
INTP0-INTP5	: Interrupt from Peripherals	TxD, TxD2	: Transmit Data
NMI	: Non-maskable Interrupt	V _{DD}	: Power Supply
P00-P07	: Port0	V _{SS}	: Ground
P10-P17	: Port1	$\overline{\text{WAIT}}$: Wait
P20-P27	: Port2	WR	: Write Strobe
P30-P37	: Port3	X1, X2	: Crystal (Main System Clock)
P40-P47	: Port4	XT1, XT2	: Crystal (Watch)
P50-P57	: Port5		
P60-P67	: Port6		
P70-P77	: Port7		
P90-P97	: Port9		
P100-P107	: Port10		

4. システム構成例 (車載オーディオ (チューナ・デッキ部))



5. ブロック図



備考 内部ROM, RAM容量は製品によって異なります。

6. 端子機能

6.1 ポート端子 (1/2)

端子名称	入出力	兼用端子	機能
P00-P07	入出力	-	ポート0 (P0) : ・ 8ビット入出力ポート ・ リアルタイム出力ポート (4ビット×2) として使用可能 ・ 1ビット単位に <input type="checkbox"/> 入力 / <input type="checkbox"/> 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ トランジスタ駆動可能
P10	入出力	-	ポート1 (P1) : ・ 8ビット入出力ポート ・ 1ビット単位に <input type="checkbox"/> 入力 / <input type="checkbox"/> 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P11		-	
P12		ASCK2/SCK2	
P13		RxD2/SI2	
P14		TxD2/SO2	
P15-P17		-	
P20	入 力	NMI	ポート2 (P2) : ・ 8ビット入力専用ポート ・ P20は汎用ポートとしては使用不可 (ノンマスカブル割り込み)。ただし、割り込みルーチンにおいて、入力レベルの確認可能 ・ P22-P27は6ビット単位でソフトウェアによる内蔵プルアップ抵抗の接続の指定可能 ・ P25/INTP4/ASCK/SCK1端子は、CSIM1の指定により、SCK1入出力端子として動作
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ASCK/SCK1	
P26		INTP5	
P27		SI0	
P30	入出力	RxD/SI1	ポート3 (P3) : ・ 8ビット入出力ポート ・ 1ビット単位に <input type="checkbox"/> 入力 / <input type="checkbox"/> 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ P32, P33は、N-chオープン・ドレイン接続の指定可能
P31		TxD/SO1	
P32		SCK0	
P33		SO0	
P34-P37		TO0-TO3	
P40-P47	入出力	AD0-AD7	ポート4 (P4) : ・ 8ビット入出力ポート ・ 1ビット単位に <input type="checkbox"/> 入力 / <input type="checkbox"/> 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P50-P57	入出力	A8-A15	ポート5 (P5) : ・ 8ビット入出力ポート ・ 1ビット単位に <input type="checkbox"/> 入力 / <input type="checkbox"/> 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能

6.1 ポート端子 (2/2)

端子名称	入出力	兼用端子	機能
P60-P63	入出力	A16-A19	ポート6 (P6) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続の指定可能
P64		$\overline{\text{RD}}$	
P65		$\overline{\text{WR}}$	
P66		$\overline{\text{WAIT/HLDRQ}}$	
P67		$\overline{\text{REFRQ/HLDAK}}$	
P70-P77	入出力	ANI0-ANI7	ポート7 (P7) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能
P90-P97	入出力	-	ポート9 (P9) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続可能
P100-P104	入出力	-	ポート10 (P10) : ・ 8ビット入出力ポート ・ 1ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアで一括して内蔵プルアップ抵抗の接続可能 ・ P105, P107は、N-chオープン・ドレイン接続の指定可能
P105		$\overline{\text{SCK3}}$	
P106		SI3	
P107		SO3	

6.2 ポート以外の端子 (1/2)

端子名称	入出力	兼用端子	機能	
TO0-TO3	出力	P34-P37	タイマ出力	
CI	入力	P23/INTP2	タイマ / カウンタ2へのカウント・クロック入力	
RxD	入力	P30/SI1	シリアル・データ入力 (UART0)	
RxD2		P13/SI2	シリアル・データ入力 (UART2)	
TxD	出力	P31/SO1	シリアル・データ出力 (UART0)	
TxD2		P14/SO2	シリアル・データ出力 (UART2)	
ASCK	入力	P25/INTP4/SCK1	ボー・レート・クロック入力 (UART0)	
ASCK2		P12/SCK2	ボー・レート・クロック入力 (UART2)	
SI0	入力	P27	シリアル・データ入力 (3線式シリアルI/O0)	
SI1		P30/RxD	シリアル・データ入力 (3線式シリアルI/O1)	
SI2		P13/RxD2	シリアル・データ入力 (3線式シリアルI/O2)	
SI3		P106	シリアル・データ入力 (3線式シリアルI/O3)	
SO0	出力	P33	シリアル・データ出力 (3線式シリアルI/O0)	
SO1		P31/TxD	シリアル・データ出力 (3線式シリアルI/O1)	
SO2		P14/TxD2	シリアル・データ出力 (3線式シリアルI/O2)	
SO3		P107	シリアル・データ出力 (3線式シリアルI/O3)	
SCK0	入出力	P32	シリアル・クロック入力 / 出力 (3線式シリアルI/O0)	
SCK1		P25/INTP4/ASCK	シリアル・クロック入力 / 出力 (3線式シリアルI/O1)	
SCK2		P12/ASCK2	シリアル・クロック入力 / 出力 (3線式シリアルI/O2)	
SCK3		P105	シリアル・クロック入力 / 出力 (3線式シリアルI/O3)	
NMI	入力	P20	外部割り込み要求	-
INTP0		P21		・タイマ / カウンタ1へのカウント・クロック入力 ・CR11またはCR12のキャプチャ・トリガ信号
INTP1		P22		・タイマ / カウンタ2へのカウント・クロック入力 ・CR22のキャプチャ・トリガ信号
INTP2		P23/CI		・タイマ / カウンタ2へのカウント・クロック入力 ・CR21のキャプチャ・トリガ信号
INTP3		P24		・タイマ / カウンタ0へのカウント・クロック入力 ・CR02のキャプチャ・トリガ信号
INTP4		P25/ASCK/SCK1		-
INTP5		P26		A/Dコンバータの変換スタート・トリガ入力
AD0-AD7	入出力	P40-P47	時分割アドレス / データ・バス (外部メモリ接続)	
A8-A15	出力	P50-P57	上位アドレス・バス (外部メモリ接続)	
A16-A19	出力	P60-P63	アドレス拡張時の上位アドレス (外部メモリ接続)	
\overline{RD}	出力	P64	外部メモリへのリード・ストロープ	
\overline{WR}	出力	P65	外部メモリへのライト・ストロープ	
\overline{WAIT}	入力	P66/HLDRQ	ウェイト挿入	
REFRQ	出力	P67/HLDAK	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	
HLDRQ	入力	P66/ \overline{WAIT}	バス・ホールド要求入力	
HLDAK	出力	P67/REFRQ	バス・ホールド応答出力	
ASTB	出力	CLKOUT	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)	
CLKOUT	出力	ASTB	クロック出力	
PWM0	出力	-	PWM出力0	

6.2 ポート以外の端子 (2/2)

端子名称	入出力	兼用端子	機能
PWM1	出力	-	PWM出力1
R \bar{X}	入力	-	データ入力 (IEBus)
T \bar{X}	出力	-	データ出力 (IEBus)
REGC	-	-	レギュレータ出力安定用容量接続 / レギュレータ停止時の電源
REGOFF	-	-	レギュレータ動作指定信号
RESE \bar{T}	入力	-	チップ・リセット
X1	入力	-	システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)
X2	-		
XT1	入力	-	時計クロック接続
XT2	-	-	
ANI0-ANI7	入力	P70-P77	A/Dコンバータ用アナログ電圧入力
AV _{REF1}	-	-	A/Dコンバータ用基準電圧印加
AV _{DD}			A/Dコンバータ用正電源
AV _{SS}			A/Dコンバータ用GND
V _{DD}			正電源
V _{SS}			GND
IC			入力

6.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表6 - 1に示します。

また、各タイプの入出力回路については図6 - 1を参照してください。

表6 - 1 各端子の入出力回路タイプと未使用端子の処理 (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法			
P00-P07	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。			
P10, P11						
P12/ASCK2/SCK2						
P13/RxD2/SI2						
P14/TxD2/SO2						
P15-P17						
P20/NMI	2	入 力	V _{DD} またはV _{SS} に接続してください。			
P21/INTP0						
P22/INTP1	2-A		V _{DD} に接続してください。			
P23/INTP2/CI						
P24/INTP3						
P25/INTP4/ASCK/SCK1	8-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。			
P26/INTP5	2-A	入 力	V _{DD} に接続してください。			
P27/SI0						
P30/RxD/SI1	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。			
P31/TxD/SO1						
P32/SCK0	10-A					
P33/SO0						
P34/TO0-P37/TO3	5-A					
P40/AD0-P47/AD7						
P50/A8-P57/A15						
P60/A16-P63/A19						
P64/RD						
P65/W _R						
P66/WAIT/HLDRQ						
P67/REFRQ/HLDAK						
P70/ANI0-P77/ANI7				20	入出力	入力時：V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P90-P97						
P100-P104	5-A					
P105/SCK3						
P106/SI3	8-A					
P107/SO3	10-A					
ASTB/CLKOUT	4	出 力	オープンにしてください。			
RESET	2	入 力	-			
IC						
	1		V _{SS} に直接接続してください。			
XT2	-	-	オープンにしてください。			
XT1	-	入 力	V _{SS} に接続してください。			
REGOFF	1	-	V _{DD} に接続してください。			

表6 - 1 各端子の入出力回路タイプと未使用端子の処理 (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
REGC	-	-	V _{DD} に接続してください。
PWM0, PWM1	3	出 力	オープンにしてください。
R _X	1	入 力	V _{DD} またはV _{SS} に接続してください。
T _X	3	出 力	オープンにしてください。
AV _{REF1}	-	-	V _{SS} に接続してください。
AV _{SS}			
AV _{DD}			V _{DD} に接続してください。

注意 入出力兼用端子で、入出力のモードが不定な場合は、数十kΩの抵抗を介してV_{DD}に接続してください（特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とはかぎりません（内蔵しない回路あり）。

図6 - 1 端子の入出力回路 (1/2)

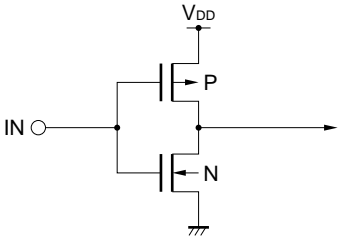
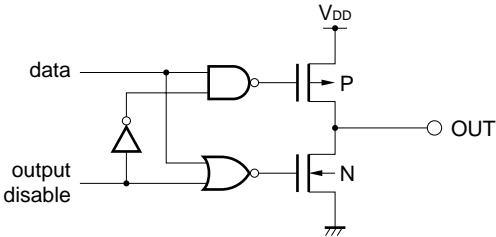
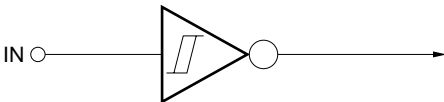
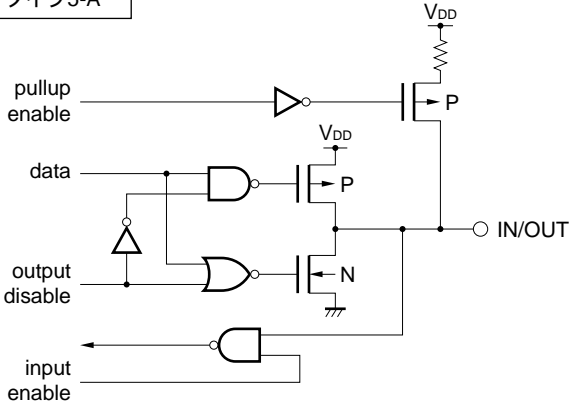
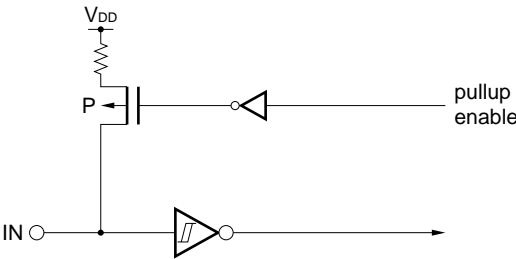
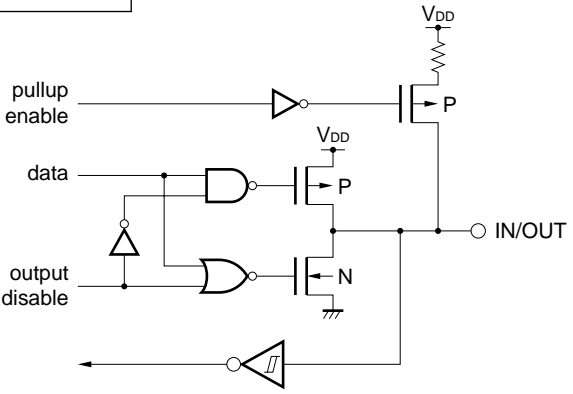
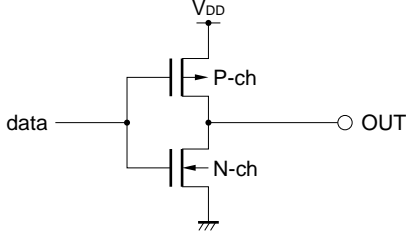
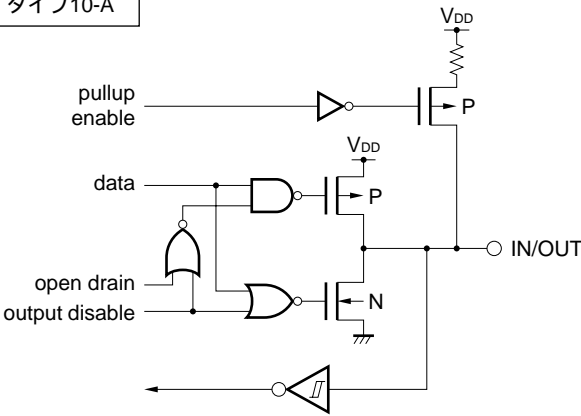
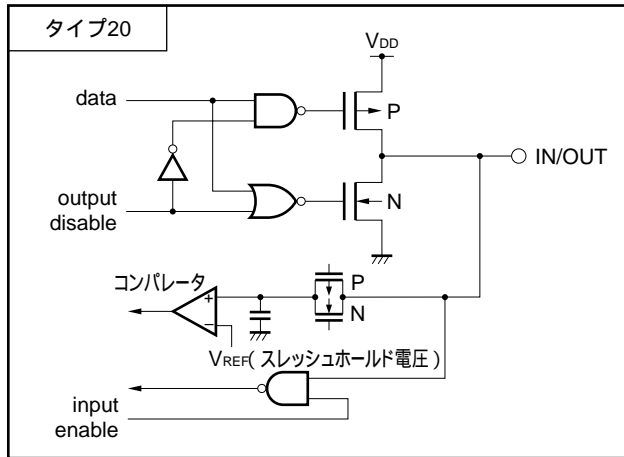
<p>タイプ1</p> 	<p>タイプ4</p>  <p>出力をハイ・インピーダンス(P-ch, N-chともにオフ) にできるプッシュプル出力です。</p>
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力です。</p>	<p>タイプ5-A</p> 
<p>タイプ2-A</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力です。</p>	<p>タイプ8-A</p> 
<p>タイプ3</p> 	<p>タイプ10-A</p> 

図6 - 1 端子の入出力回路 (2/2)



7. CPUアーキテクチャ

7.1 メモリ空間

1 Mバイトのメモリ空間をアクセスできます。LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングを選択できます。また、LOCATION命令は、リセット解除後に必ず実行する必要がある、2回以上使用することはできません。

(1) LOCATION 0H命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μ PD784935A	0EB00H-0FFFFH	00000H-0EAFFH 10000H-17FFFH
μ PD784936A	0E500H-0FFFFH	00000H-0E4FFH 10000H-1FFFFH
μ PD784937A	0DF00H-0FFFFH	00000H-0DEFFH 10000H-2FFFFH
μ PD784938A	0D600H-0FFFFH	00000H-0D5FFH 10000H-3FFFFH

★ **注意** 内蔵しているROMのうち、内部データ領域と重なる次の領域は、LOCATION 0H命令実行時には使用できません。

品名	使用不可領域
μ PD784935A	0EB00H-0FFFFH (5376バイト)
μ PD784936A	0E500H-0FFFFH (6192バイト)
μ PD784937A	0DF00H-0FFFFH (8448バイト)
μ PD784938A	0D600H-0FFFFH

・外部メモリ

外部メモリは、外部メモリ拡張モードでアクセスします。

(2) LOCATION 0FH命令を実行した場合

・内部メモリ

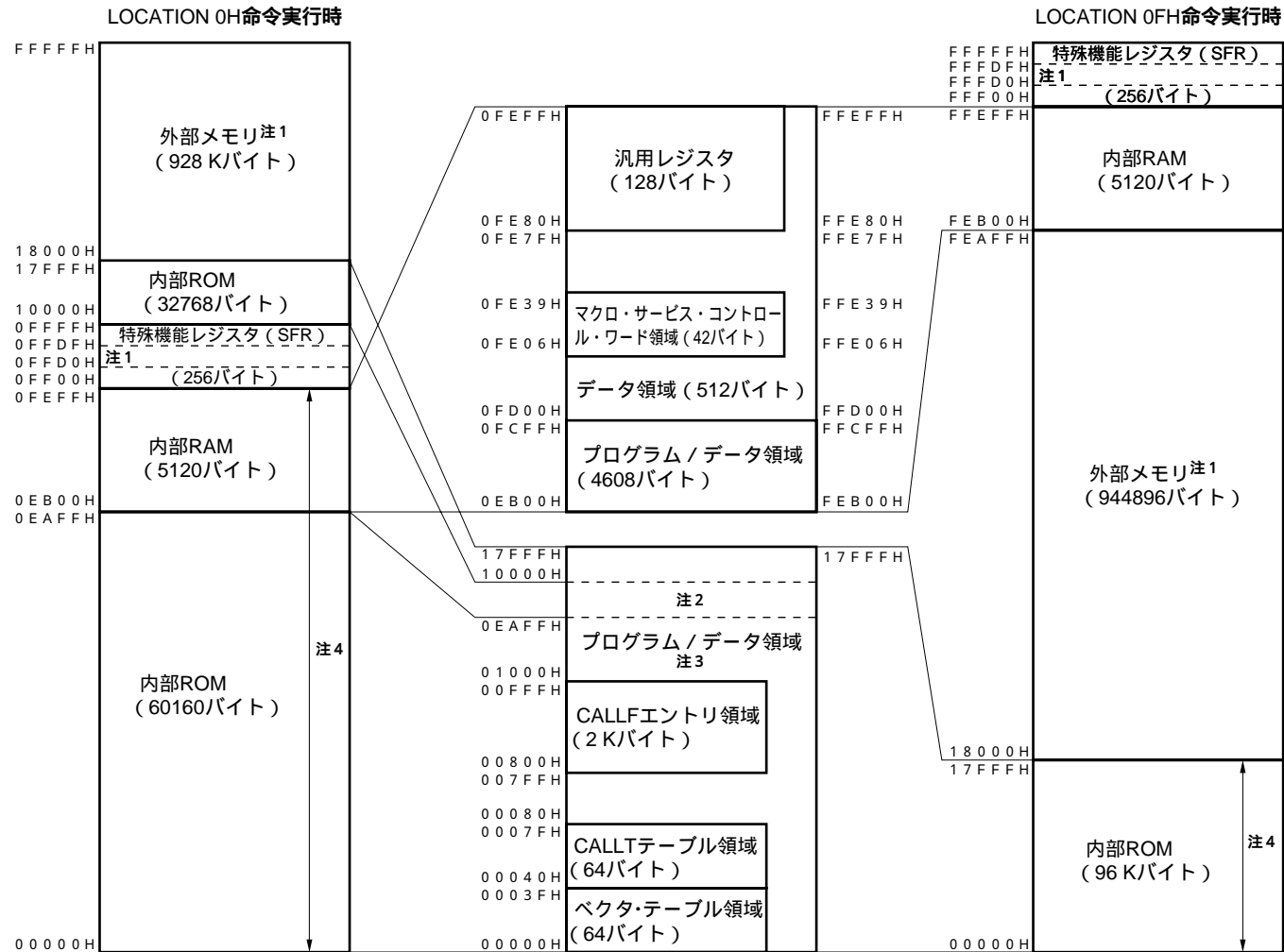
内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μ PD784935A	FEB00H-FFFFFFH	00000H-17FFFH
μ PD784936A	FE500H-FFFFFFH	00000H-1FFFFH
μ PD784937A	FDF00H-FFFFFFH	00000H-2FFFFH
μ PD784938A	FD600H-FFFFFFH	00000H-3FFFFH

・外部メモリ

外部メモリは、外部メモリ拡張モードでアクセスします。

図7-1 μPD784935Aのメモリ・マップ



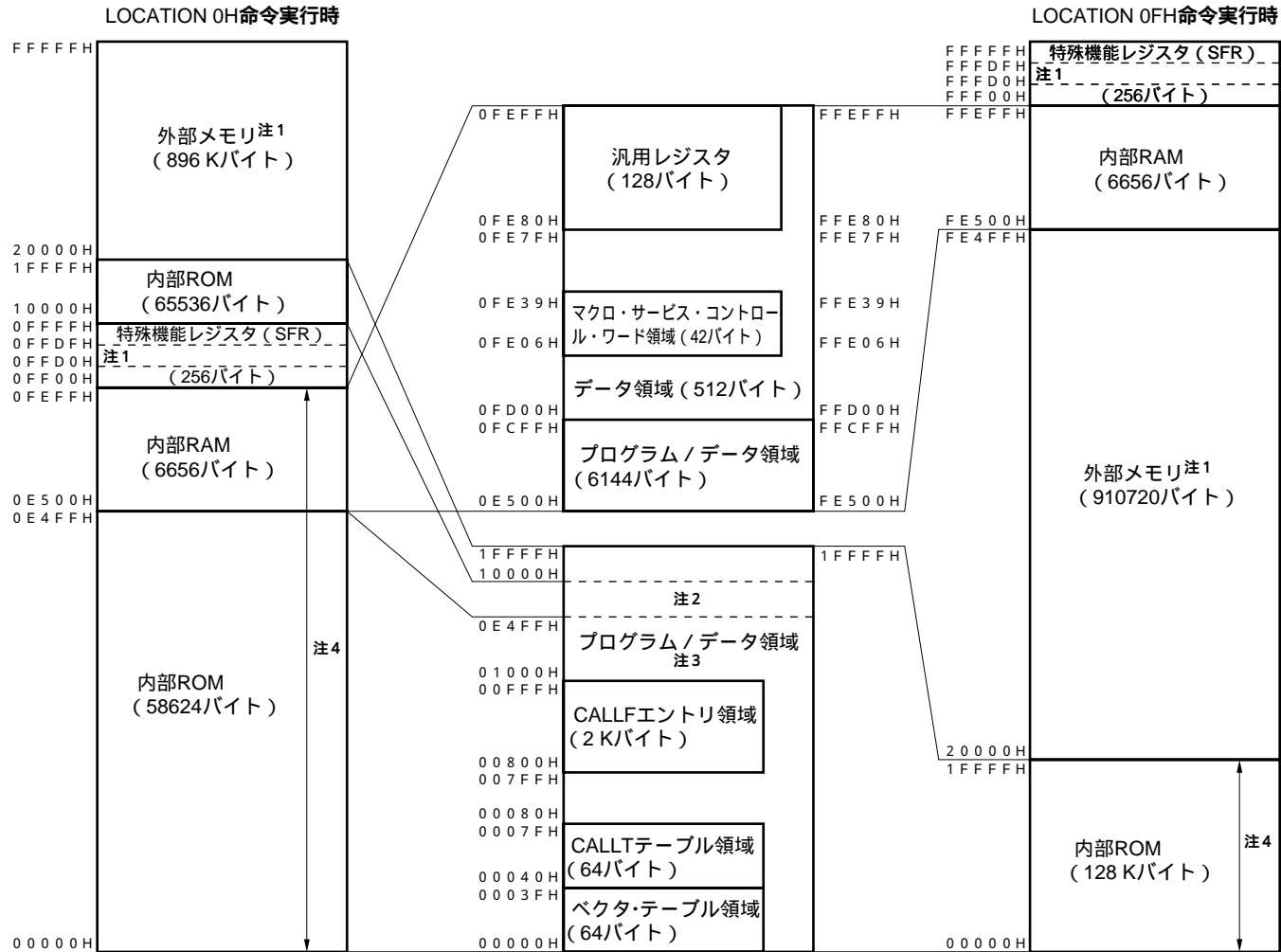
注1. 外部メモリ拡張モードでアクセス

2. この領域の5376バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3. LOCATION 0H命令実行時：92928バイト，LOCATION 0FH命令実行時：98304バイト

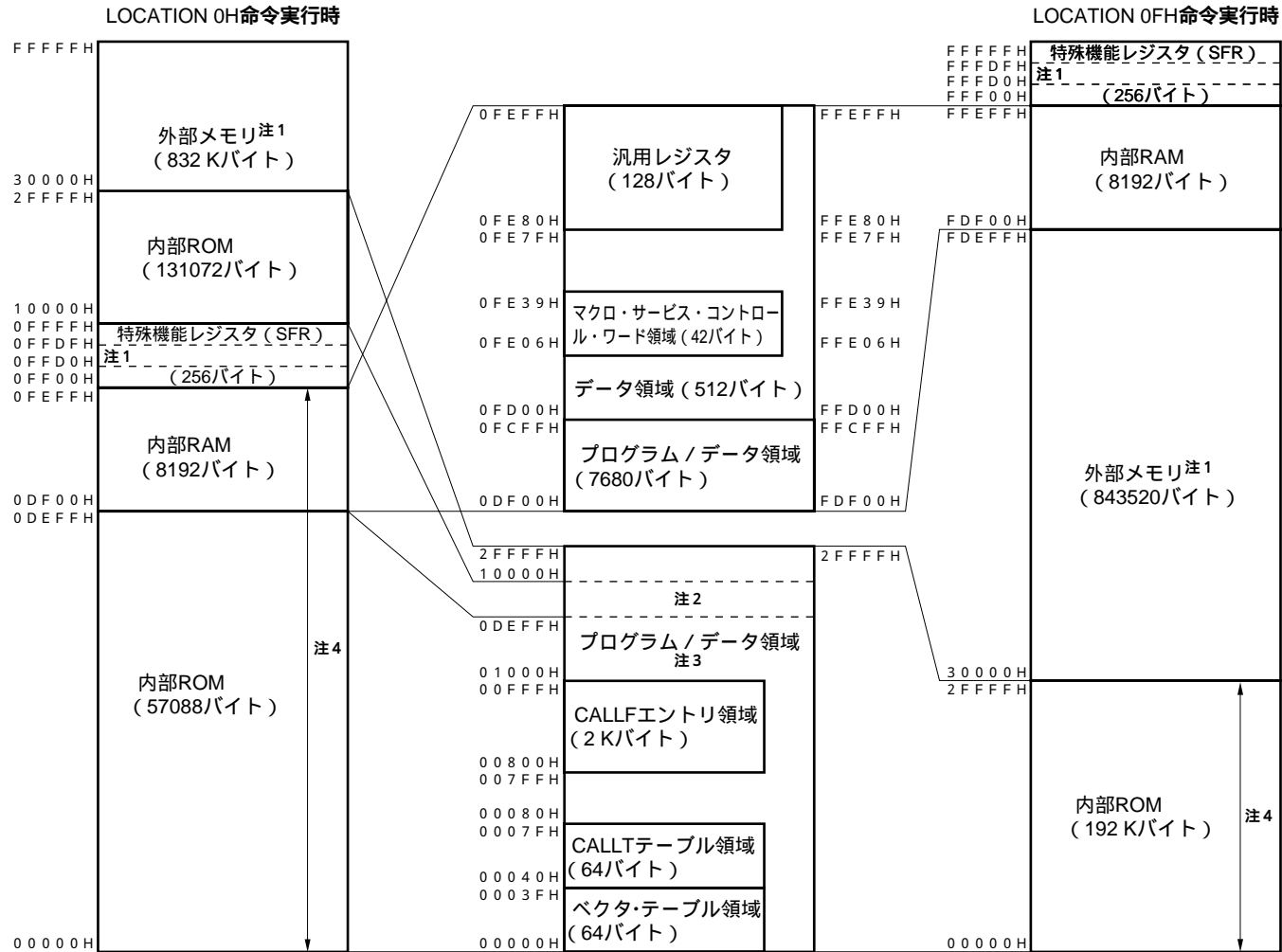
4. ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

図7-2 μPD784936Aのメモリ・マップ



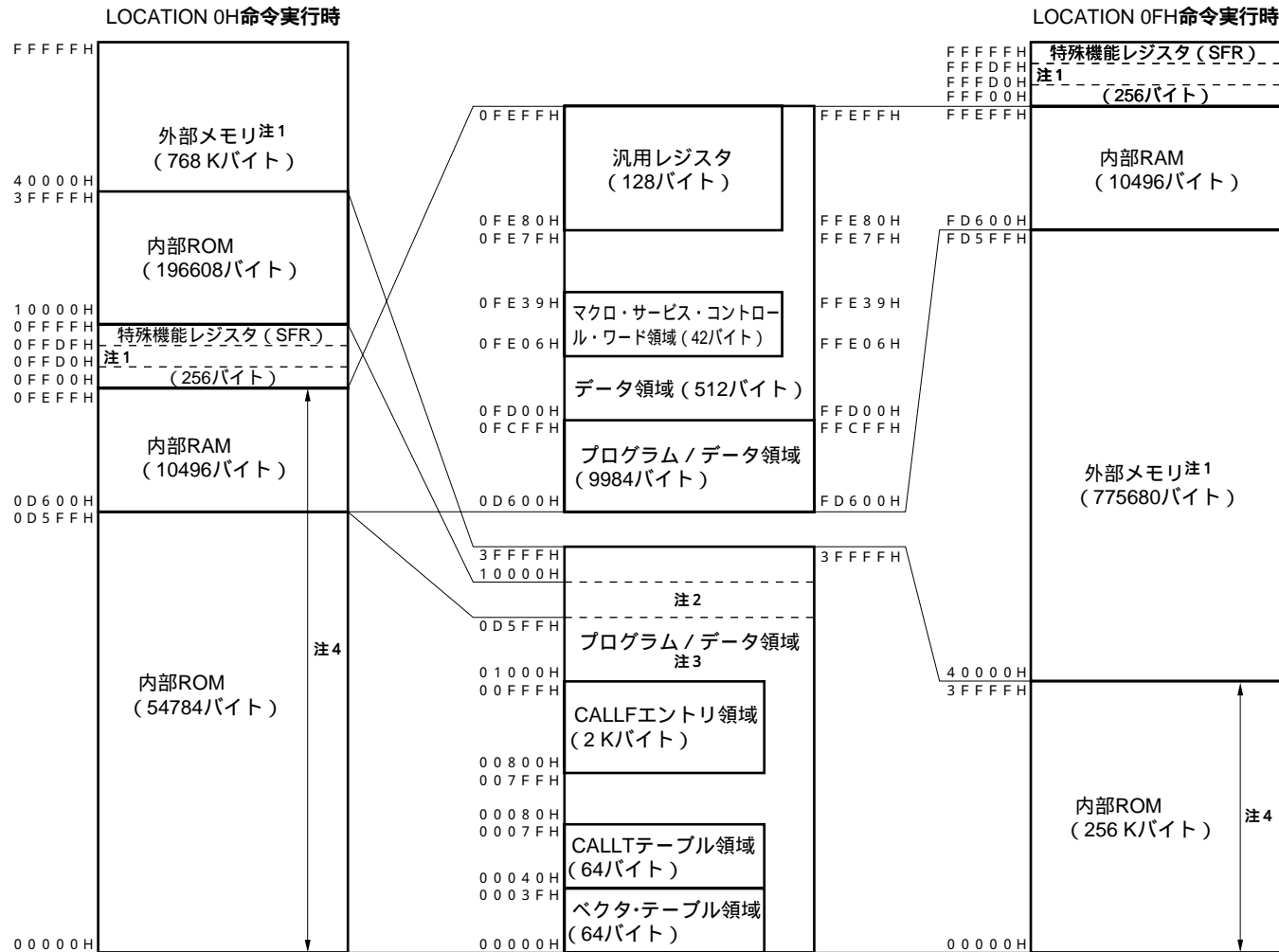
- 注1. 外部メモリ拡張モードでアクセス
2. この領域の6912バイトは，LOCATION 0FH命令実行時のみ内部ROMとして使用できます
3. LOCATION 0H命令実行時：124160バイト，LOCATION 0FH命令実行時：131072バイト
4. ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

図7-3 μPD784937Aのメモリ・マップ



- 注1. 外部メモリ拡張モードでアクセス
2. この領域の8448バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます
3. LOCATION 0H命令実行時：188160バイト，LOCATION 0FH命令実行時：196608バイト
4. ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

図7-4 μPD784938Aのメモリ・マップ



注1. 外部メモリ拡張モードでアクセス

2. この領域の10752バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3. LOCATION 0H命令実行時：251392バイト，LOCATION 0FH命令実行時：262144バイト

4. ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

7.2 CPUレジスタ

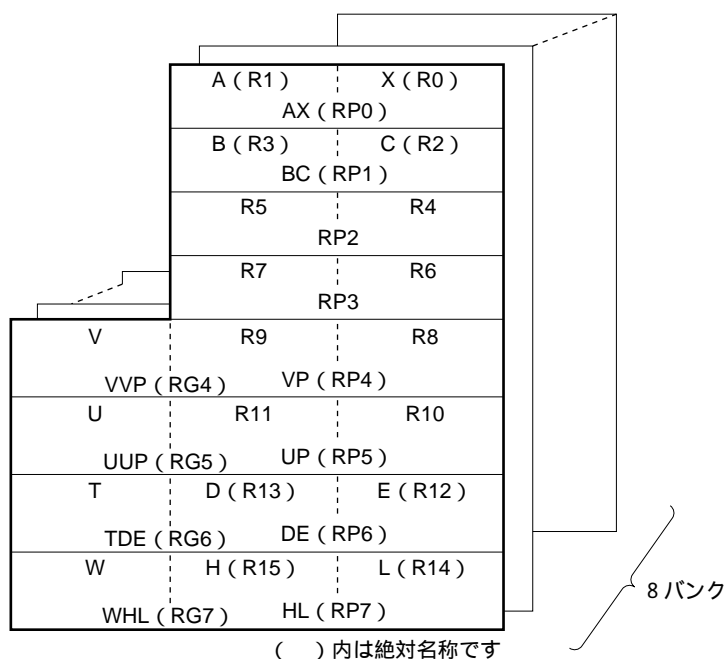
7.2.1 汎用レジスタ

8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせると16ビット汎用レジスタとして使用できます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせると24ビット・アドレス指定用レジスタとして使用できます。

これらのレジスタ・セットは8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用できます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

図7-5 汎用レジスタのフォーマット



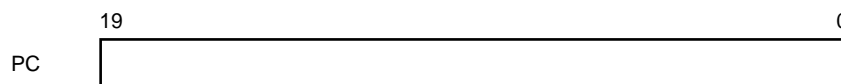
注意 R4, R5, R6, R7, RP2, RP3, PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用できますが、この機能を使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

7.2.2 制御レジスタ

(1) プログラム・カウンタ (PC)

20ビットのプログラム・カウンタです。プログラムの実行により、自動的に更新されます。

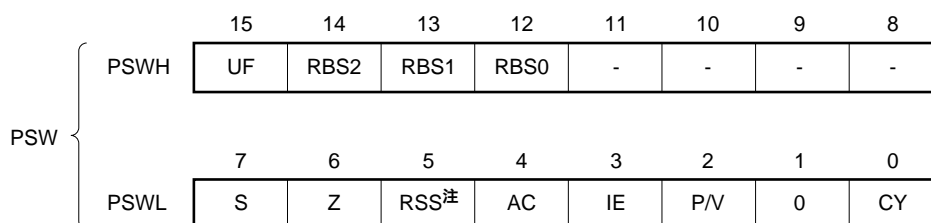
図7-6 プログラム・カウンタ (PC) のフォーマット



(2) プログラム・ステータス・ワード (PSW)

CPUの各種状態を保持するレジスタです。プログラムの実行により自動的に更新されます。

図7-7 プログラム・ステータス・ワード (PSW) のフォーマット



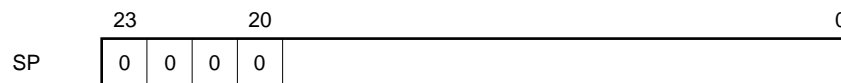
注 このフラグは、78K/ シリーズとの互換性を保つために用意されているフラグです。78K/ シリーズ用のソフトウェアを流用するとき以外は必ず0にしてください。

(3) スタック・ポインタ (SP)

スタックの先頭アドレスを保持する24ビットのポインタです。

上位4ビットには、必ず0を書き込んでください。

図7-8 スタック・ポインタ (SP) のフォーマット



7.2.3 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、0FF00H-0FFFFH[※]の256バイトの空間にマッピングされています。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

注意 この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、μ PD784938Aがデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表7-1に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号 …………… 内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K4) では予約語になっています。Cコンパイラ (CC78K4) では#pragma sfr指令により、sfr変数として使用できます。
- ・R/W …………… 該当するSFRが読み出し / 書き込みが可能かどうかを示します。
 - R/W : 読み出し (Read) / 書き込み (Write) 可能
 - R : 読み出し (Read) のみ
 - W : 書き込み (Write) のみ
- ・操作可能ビット単位 …… 該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時 …………… RESET入力時の各レジスタの状態を示します。

表7-1 特殊機能レジスタ (SFR) 一覧 (1/4)

アドレス ^注	特殊機能レジスタ (SFR) 名称		略号	R/W	操作可能ビット単位			リセット時	
					1ビット	8ビット	16ビット		
0FF00H	ポート0		P0	R/W			-	不定	
0FF01H	ポート1		P1				-		
0FF02H	ポート2		P2	R			-		
0FF03H	ポート3		P3	R/W			-		
0FF04H	ポート4		P4				-		
0FF05H	ポート5		P5				-		
0FF06H	ポート6		P6				-		
0FF07H	ポート7		P7			-	00H		
0FF09H	ポート9		P9			-			
0FF0AH	ポート10		P10			-			
0FF0EH		ポート0バッファ・レジスタL	P0L					-	
0FF0FH	ポート0バッファ・レジスタH		P0H				-		
0FF10H	コンペア・レジスタ (タイマ/カウンタ0)		CR00		-	-			
0FF12H	キャプチャ/コンペア・レジスタ (タイマ/カウンタ0)		CR01		-	-			
0FF14H	コンペア・レジスタL (タイマ/カウンタ1)		CR10	CR10W	-	-			
0FF15H	コンペア・レジスタH (タイマ/カウンタ1)		-		-	-			
0FF16H	キャプチャ/コンペア・レジスタL (タイマ/カウンタ1)		CR11	CR11W	-	-			
0FF17H	キャプチャ/コンペア・レジスタH (タイマ/カウンタ1)		-		-	-			
0FF18H	コンペア・レジスタL (タイマ/カウンタ2)		CR20	CR20W	-	-			
0FF19H	コンペア・レジスタH (タイマ/カウンタ2)		-		-	-			
0FF1AH	キャプチャ/コンペア・レジスタL (タイマ/カウンタ2)		CR21	CR21W	-	-			
0FF1BH	キャプチャ/コンペア・レジスタH (タイマ/カウンタ2)		-		-	-			
0FF1CH	コンペア・レジスタL (タイマ3)		CR30	CR30W	-	-			
0FF1DH	コンペア・レジスタH (タイマ3)		-		-	-			
0FF20H	ポート0モード・レジスタ		PM0				-	FFH	
0FF21H	ポート1モード・レジスタ		PM1				-		
0FF23H	ポート3モード・レジスタ		PM3				-		
0FF24H	ポート4モード・レジスタ		PM4				-		
0FF25H	ポート5モード・レジスタ		PM5				-		
0FF26H	ポート6モード・レジスタ		PM6				-		
0FF27H	ポート7モード・レジスタ		PM7				-		
0FF29H	ポート9モード・レジスタ		PM9				-		
0FF2AH	ポート10モード・レジスタ		PM10				-		
0FF2EH	リアルタイム出力ポート・コントロール・レジスタ		RTPC				-		
0FF30H	キャプチャ/コンペア・コントロール・レジスタ0		CRC0		-	-	-	10H	
0FF31H	タイマ出力コントロール・レジスタ		TOC				-	00H	
0FF32H	キャプチャ/コンペア・コントロール・レジスタ1		CRC1		-	-	-		
0FF33H	キャプチャ/コンペア・コントロール・レジスタ2		CRC2		-	-	-	10H	
0FF36H	キャプチャ・レジスタ (タイマ/カウンタ0)		CR02	R	-	-		0000H	
0FF38H	キャプチャ・レジスタL (タイマ/カウンタ1)		CR12		CR12W	-	-		
0FF39H	キャプチャ・レジスタH (タイマ/カウンタ1)		-			-	-		

注 LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F000H ”を加えます。

表7-1 特殊機能レジスタ (SFR) 一覧 (2/4)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時		
					1ビット	8ビット	16ビット			
0FF3AH	キャプチャ・レジスタL (タイマ/カウンタ2)	CR22	CR22W	R	-			0000H		
0FF3BH	キャプチャ・レジスタH (タイマ/カウンタ2)	-			-	-				
0FF41H	ポート1モード・コントロール・レジスタ	PMC1		R/W			-	00H		
0FF43H	ポート3モード・コントロール・レジスタ	PMC3					-			
0FF44H	ポート10モード・コントロール・レジスタ	PMC10					-			
0FF4EH	ブルアップ抵抗オプション・レジスタL	PUOL					-			
0FF4FH	ブルアップ抵抗オプション・レジスタH	PUOH					-			
0FF50H	タイマ・レジスタ0	TM0			R	-	-			0000H
0FF51H				-		-				
0FF52H	タイマ・レジスタ1	TM1	TM1W	-						
0FF53H		-		-		-				
0FF54H	タイマ・レジスタ2	TM2	TM2W	-						
0FF55H		-		-		-				
0FF56H	タイマ・レジスタ3	TM3	TM3W	-						
0FF57H		-		-		-				
0FF5CH	プリスケアラ・モード・レジスタ0	PRM0		R/W		-		-	11H	
0FF5DH	タイマ・コントロール・レジスタ0	TMC0						-	00H	
0FF5EH	プリスケアラ・モード・レジスタ1	PRM1			-		-	11H		
0FF5FH	タイマ・コントロール・レジスタ1	TMC1					-	00H		
0FF68H	A/Dコンバータ・モード・レジスタ	ADM					-	00H		
0FF6AH	A/D変換結果レジスタ	ADCR			R	-		-	不定	
0FF6CH	A/D電流カット選択レジスタ	IEAD		R/W			-	00H		
0FF6FH	時計用タイマ・モード・レジスタ	WM					-			
0FF70H	PWMコントロール・レジスタ	PWMC					-	05H		
0FF71H	PWMプリスケアラ・レジスタ	PWPR			-		-	00H		
0FF72H	PWMモジュロ・レジスタ0	PWM0			-	-		不定		
0FF74H	PWMモジュロ・レジスタ1	PWM1			-	-				
0FF78H	ROMコレクション・コントロール・レジスタ	CORC					-	00H		
0FF79H	ROMコレクション・アドレス・ポインタH	CORAH			-		-			
0FF7AH	ROMコレクション・アドレス・ポインタL	CORAL			-	-		0000H		
0FF7DH	ワンショット・パルス出力制御レジスタ	OSPC					-	00H		
0FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSIM3				-				
0FF82H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM				-				
0FF84H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1				-				
0FF85H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2				-				
0FF86H	シリアル・シフト・レジスタ	SIO			-		-	不定		

注 LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“F000H”を加えます。

表7-1 特殊機能レジスタ (SFR) 一覧 (3/4)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	R/W			-	00H
0FF89H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2				-	
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R			-	
0FF8BH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2				-	
0FF8CH	シリアル受信バッファ : UART0	RXB		-		-	不定
	シリアル送信シフト・レジスタ : UART0	TXS	W	-		-	
	シリアル・シフト・レジスタ : IOE1	SIO1	R/W	-		-	
0FF8DH	シリアル受信バッファ : UART2	RXB2	R	-		-	
	シリアル送信シフト・レジスタ : UART2	TXS2	W	-		-	
	シリアル・シフト・レジスタ : IOE2	SIO2	R/W	-		-	
0FF8EH	シリアル・シフト・レジスタ3 : IOE3	SIO3		-		-	
0FF90H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC		-		-	00H
0FF91H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2		-		-	
0FFA0H	外部割り込みモード・レジスタ0	INTM0				-	
0FFA1H	外部割り込みモード・レジスタ1	INTM1				-	
0FFA4H	サンプリング・クロック選択レジスタ	SCS0		-		-	
0FFA8H	インサービス・プライオリティ・レジスタ	ISPR	R			-	
0FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W			-	80H
0FFACH	割り込みマスク・レジスタ0L	MK0L	MK0				FFFFH
0FFADH	割り込みマスク・レジスタ0H	MK0H					
0FFAEH	割り込みマスク・レジスタ1L	MK1L	MK1				
0FFAFH	割り込みマスク・レジスタ1H	MK1H					
0FFB0H	バス・コントロール・レジスタ	BCR				-	00H
0FFB2H	ユニット・アドレス・レジスタ	UAR		-	-		0000H
0FFB4H	スレーブ・アドレス・レジスタ	SAR		-	-		
0FFB6H	パートナー・アドレス・レジスタ	PAR	R	-	-		
0FFB8H	コントロール・データ・レジスタ	CDR	R/W	-		-	01H
0FFB9H	電文長レジスタ	DLR		-		-	
0FFBAH	データ・レジスタ	DR		-		-	00H
0FFBBH	ユニット・ステータス・レジスタ	USR	R			-	
0FFBCH	インタラプト・ステータス・レジスタ	ISR	R/W			-	
0FFBDH	スレーブ・ステータス・レジスタ	SSR	R			-	41H
0FFBEH	サクセス・カウント・レジスタ	SCR		-		-	01H
0FFBFH	コミュニケーション・カウント・レジスタ	CCR		-		-	20H
0FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	-	注2	-	30H
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM		-	注2	-	00H

注1. LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F000H ”を加えます。

2. 書き込みは、専用の命令MOV STBC, #byte命令および、MOV MDM, #byte命令によってのみ可能です。他の命令では、書き込みはできません。

表7-1 特殊機能レジスタ (SFR) 一覧 (4/4)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFC4H	メモリ拡張モード・レジスタ	MM	R/W			-	20H
0FFC5H	ホールド・モード・レジスタ	HLDM				-	00H
0FFC6H	クロック出力モード・レジスタ	CLOM				-	
0FFC7H	プログラマブル・ウエイト制御レジスタ1	PWC1		-		-	AAH
0FFC8H	プログラマブル・ウエイト制御レジスタ2	PWC2		-	-		AAAAH
0FFCCH	リフレッシュ・モード・レジスタ	RFM				-	00H
0FFCDH	リフレッシュ領域指定レジスタ	RFA				-	
0FFCFH	発振安定時間指定レジスタ	OSTS		-		-	
0FFD0H- 0FFDFH	外部SFR領域	-				-	-
0FFE0H	割り込み制御レジスタ (INTP0)	PIC0				-	43H
0FFE1H	割り込み制御レジスタ (INTP1)	PIC1				-	
0FFE2H	割り込み制御レジスタ (INTP2)	PIC2				-	
0FFE3H	割り込み制御レジスタ (INTP3)	PIC3				-	
0FFE4H	割り込み制御レジスタ (INTC00)	CIC00				-	
0FFE5H	割り込み制御レジスタ (INTC01)	CIC01				-	
0FFE6H	割り込み制御レジスタ (INTC10)	CIC10				-	
0FFE7H	割り込み制御レジスタ (INTC11)	CIC11				-	
0FFE8H	割り込み制御レジスタ (INTC20)	CIC20				-	
0FFE9H	割り込み制御レジスタ (INTC21)	CIC21				-	
0FFEAH	割り込み制御レジスタ (INTC30)	CIC30				-	
0FFEBH	割り込み制御レジスタ (INTP4)	PIC4			-		
0FFECH	割り込み制御レジスタ (INTP5)	PIC5			-		
0FFEDH	割り込み制御レジスタ (INTAD)	ADIC			-		
0FFEEH	割り込み制御レジスタ (INTSER)	SERIC			-		
0FFEFH	割り込み制御レジスタ (INTSR)	SRIC			-		
	割り込み制御レジスタ (INTCSI1)	CS C1			-		
0FFF0H	割り込み制御レジスタ (INTST)	STIC			-		
0FFF1H	割り込み制御レジスタ (INTCSI)	CS C			-		
0FFF2H	割り込み制御レジスタ (INTSER2)	SERIC2			-		
0FFF3H	割り込み制御レジスタ (INTSR2)	SRIC2			-		
	割り込み制御レジスタ (INTCSI2)	CS C2			-		
0FFF4H	割り込み制御レジスタ (INTST2)	STIC2			-		
0FFF6H	割り込み制御レジスタ (INTIE1)	IEIC1			-		
0FFF7H	割り込み制御レジスタ (INTIE2)	IEIC2			-		
0FFF8H	割り込み制御レジスタ (INTW)	WIC			-		
0FFF9H	割り込み制御レジスタ (INTCSI3)	CS C3			-		
0FFFCH	内部メモリ・サイズ切り替えレジスタ ^{注2}	IMS	-		-	FFH	

注1. LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

2. 本レジスタへの書き込みは、μ PD78F4938Aの場合のみ意味があります。

8. 周辺ハードウェア機能

8.1 ポート

図8-1のようなポートを備えており、多様な制御ができます。各ポートの機能は表8-1のとおりです。ポート0からポート6、ポート9、ポート10は、入力時に、内蔵プルアップをソフトウェアで指定できます。

図8-1 ポートの構成

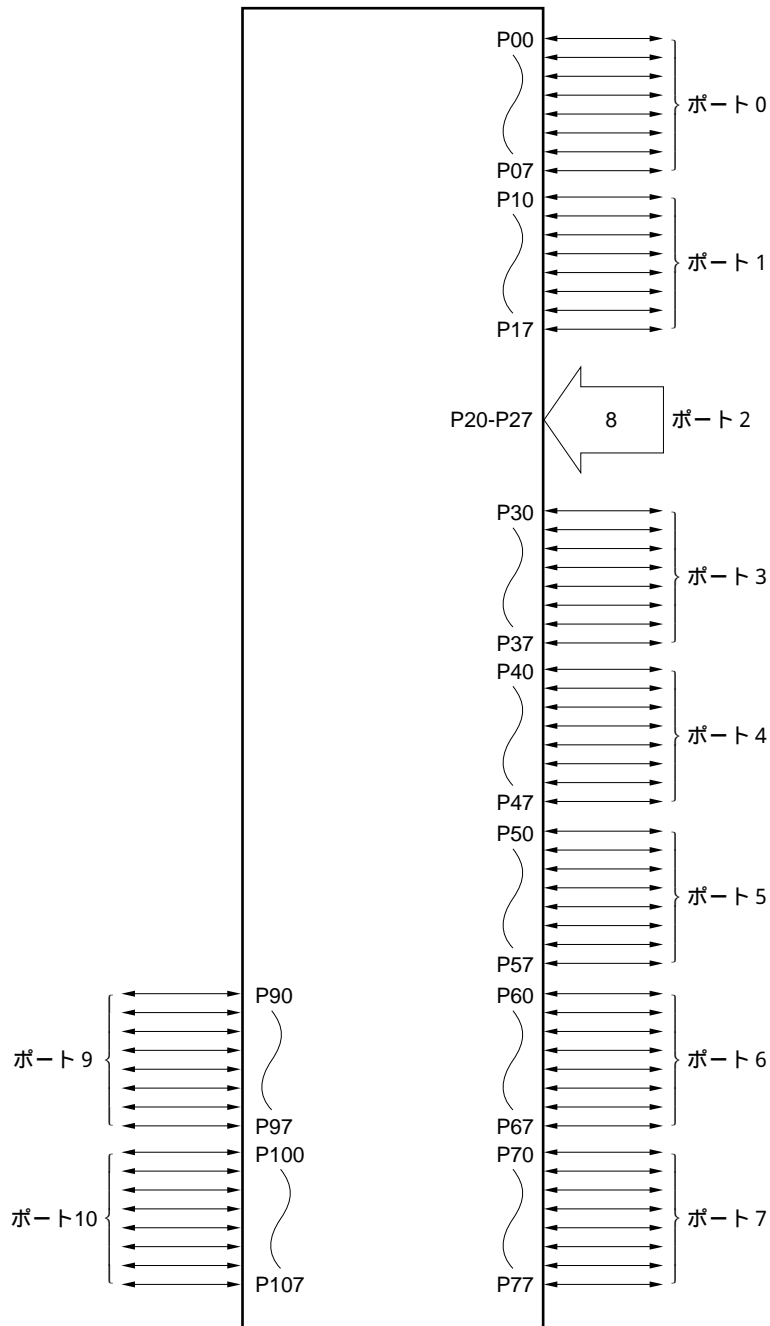


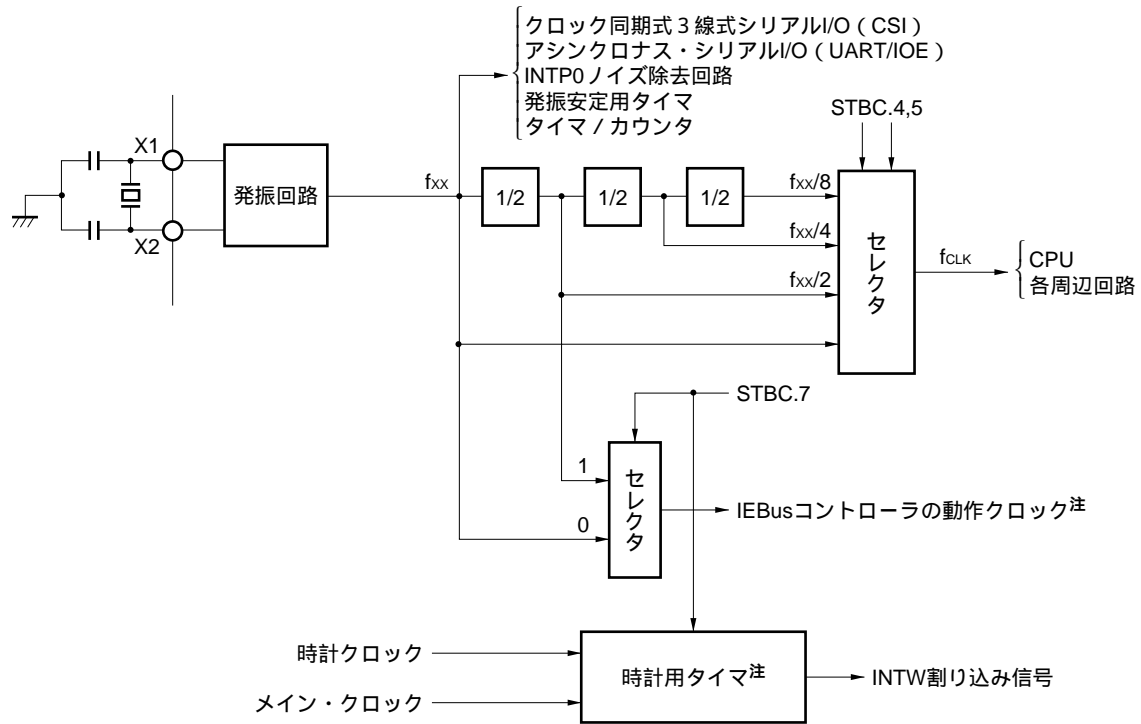
表8-1 ポートの機能

ポート名	端子名称	機能	ソフトウェア・プルアップの指定
ポート0	P00-P07	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 ・4ビット・リアルタイム出力としても動作可能 (P00-P03, P04-P07) ・トランジスタ駆動可能 	入力モードの端子について一括して指定
ポート1	P10-P17	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 ・LED駆動可能 	入力モードの端子について一括して指定
ポート2	P20-P27	<ul style="list-style-type: none"> ・入力ポート 	6ビット単位 (P22-P27)
ポート3	P30-P37	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 ・P32/$\overline{\text{SCK0}}$端子とP33/SO0端子は、N-chオープン・ドレインに設定可能 	入力モードの端子について一括して指定
ポート4	P40-P47	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 ・LED駆動可能 	入力モードの端子について一括して指定
ポート5	P50-P57	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 ・LED駆動可能 	入力モードの端子について一括して指定
ポート6	P60-P67	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 	入力モードの端子について一括して指定
ポート7	P70-P77	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 	-
ポート9	P90-P97	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 	入力モードの端子について一括して指定
ポート10	P100-P107	<ul style="list-style-type: none"> ・1ビット単位で入力か出力に指定可能 ・P105/$\overline{\text{SCK3}}$端子とP107/SO3端子は、N-chオープン・ドレインに設定可能 	入力モードの端子について一括して指定

8.2 クロック発生回路

動作に必要なクロック発生回路を備えています。また、クロック発生回路には分周回路があり、高速動作が不要な場合は、内部動作周波数を下げることにより、低消費電流を実現できます。

図8-2 クロック発生回路のブロック図



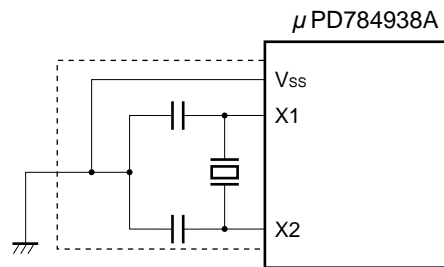
注 メイン・クロックを使用時はスタンバイ・コントロール・レジスタ (STBC) のビット7に1を必ず設定してください。

備考 fxx : 発振周波数

★ fCLK : 内部システム・クロック周波数

図8 - 3 発振回路の使用例

クリスタル/セラミック発振



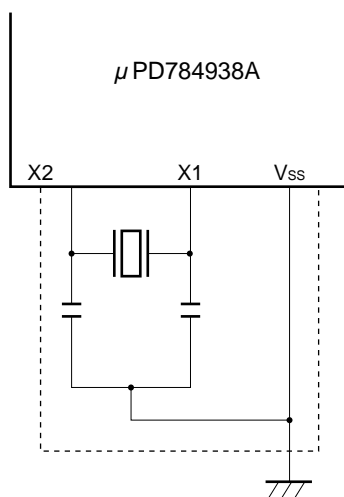
注意 クロック発振回路を使用する場合は、配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

サブシステム発振回路は、低消費電流にするために増幅度の低い回路になっており、ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって、サブシステム・クロック回路を使用する場合は、配線方法について特に注意してください。

発振が正常に安定して行われないと、マイコンも正常に安定した動作を行うことができません。また、高精度な発振周波数を得たい場合などは、発振器メーカーと相談してください。

図8 - 4 発振子の接続の注意点



- 注意1. 発振回路は、X1, X2 (XT1, XT2) 端子にできるだけ近づけてください。
2. 破線の範囲に他の信号線を通さないでください。

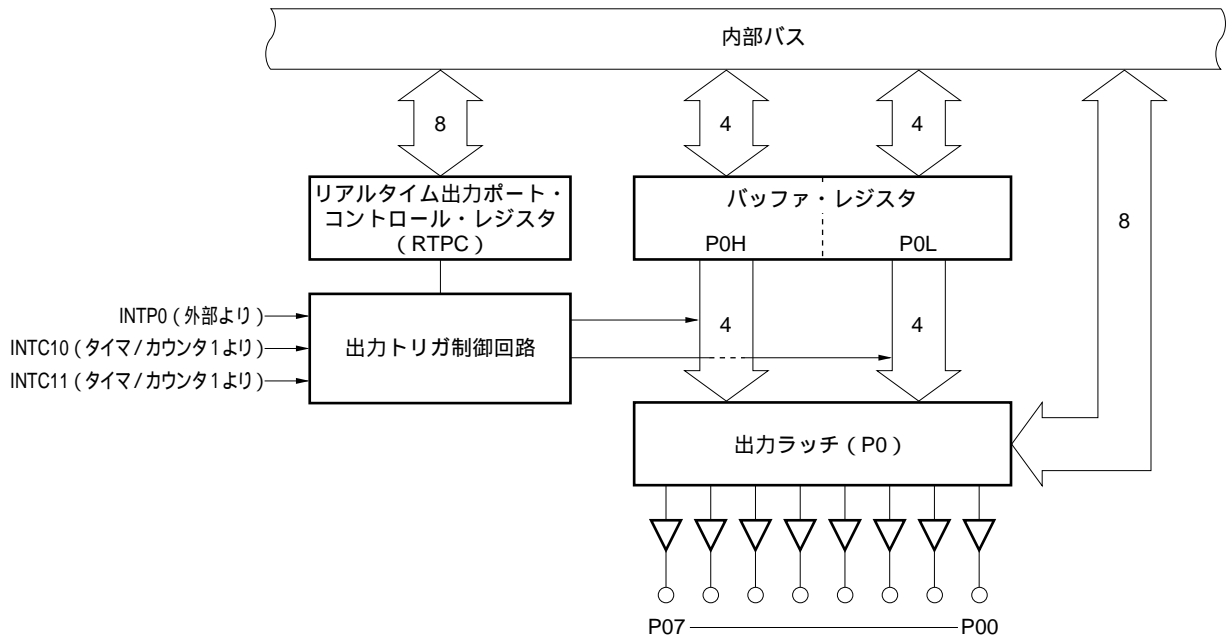
8.3 リアルタイム出力ポート

リアルタイム出力ポートは、バッファに格納しておいたデータを、タイマ/カウンタ1の一致割り込みや外部割り込みに同期して出力します。これによって、ジッタのないパルス出力を得られます。

したがって、任意の間隔で任意パターンを出力する応用（ステッピング・モータの開ループ制御など）に最適です。

図8-5のように、ポート0とポート0バッファ・レジスタ（P0H, P0L）が構成の中心です。

図8-5 リアルタイム出力ポートのブロック図



8.4 タイマ/カウンタ

タイマ/イベント・カウンタを3ユニット、タイマを1ユニット内蔵しています。

また、計7つの割り込み要求をサポートしていますので、7ユニットのタイマ/カウンタとして機能させることができます。

表8-2 タイマ/カウンタの動作

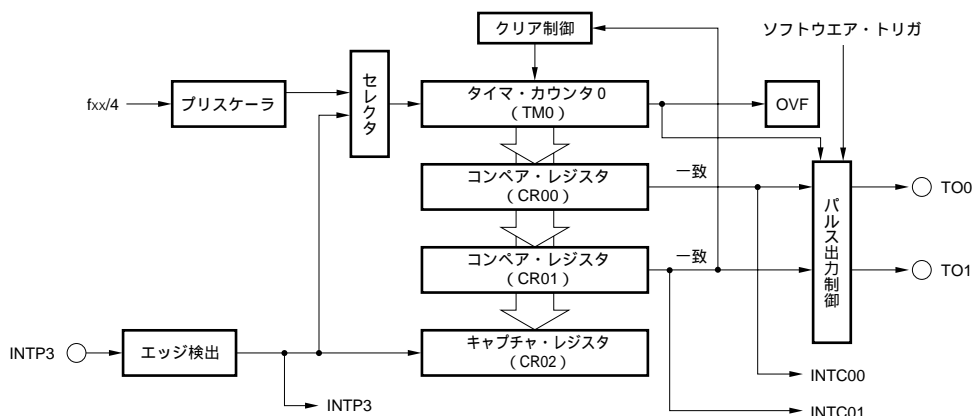
項 目		名 称	タイマ/イベント・ カウンタ0	タイマ/イベント・ カウンタ1	タイマ/イベント・ カウンタ2	タイマ3
		カウント幅	8ビット	-		
	16ビット					
動作モード	インターバル・タイマ	2ch	2ch	2ch	1ch	
	外部イベント・カウンタ				-	
	ワンショット・タイマ	-	-		-	
機 能	タイマ出力	2ch	-	2ch	-	
	トグル出力		-		-	
	PWM/PPG出力		-		-	
	ワンショット・パルス出力 ^注		-	-	-	
	リアルタイム出力	-		-	-	
	パルス幅測定	1入力	1入力	2入力	-	
	割り込み要求数	2	2	2	1	

注 ワンショット・パルス出力機能とは、ソフトウェアによりパルス出力レベルをアクティブにし、ハードウェア（割り込み要求信号）によりインアクティブにする機能です。

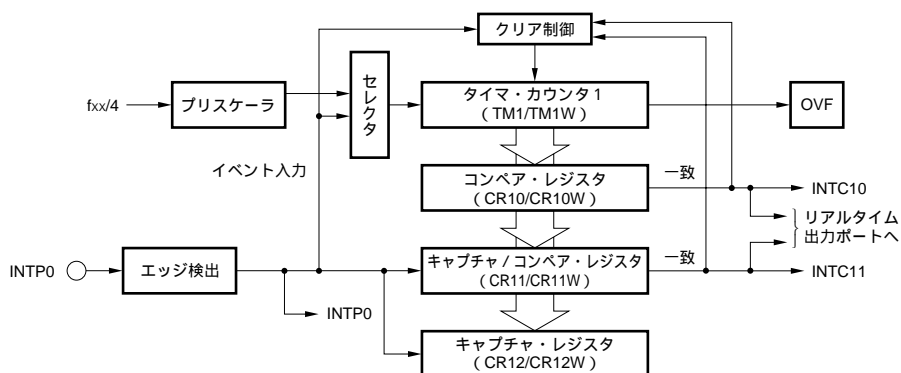
この機能は、タイマ/イベント・カウンタ2のワンショット・タイマ機能とは性質が異なります。

図8-6 タイマ/カウンタのブロック図

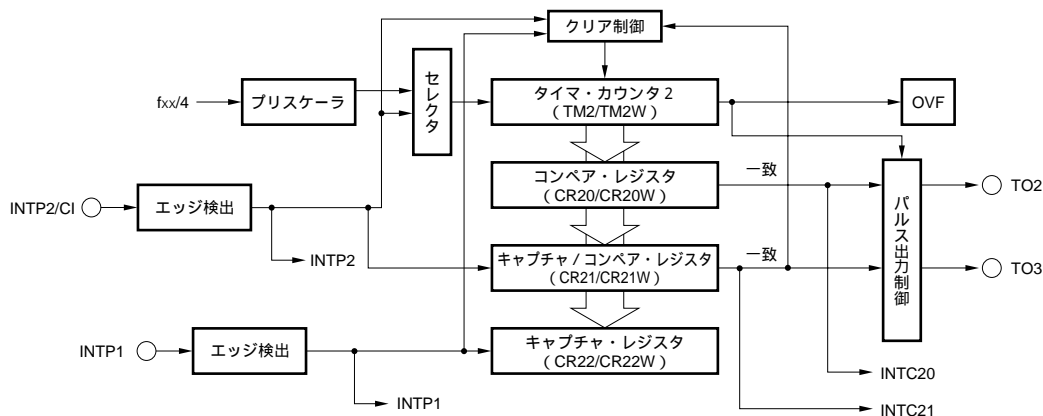
タイマ/イベント・カウンタ0



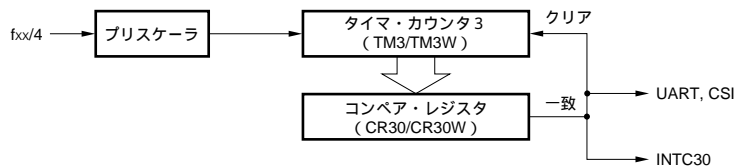
タイマ/イベント・カウンタ1



タイマ/イベント・カウンタ2



タイマ3



備考 OVF : オーバフロー・フラグ

8.5 時計用タイマ

時計用タイマに入力するカウント・クロックは、メイン・クロック（12.58 MHz）と時計クロック（32.768 kHz）の2種類があり、制御レジスタにより選択できます。時計クロックは、時計用タイマのみに入力するクロックで、CPUや他の周辺回路には入力しません。したがって、時計クロックによりCPUを低速動作させることはできません。

時計用タイマはカウント・クロックを分周して、0.5秒間隔[※]の割り込み信号（INTW）を発生します。同時に割り込み要求フラグ（WIF）もセットします（ここでのWIFは、割り込み制御レジスタ（WIC）のビット7です）。

また、モード切り替えにより、INTW発生間隔を約1 msに変更できます（早送りモード：通常動作の512倍速）。

カウント・クロックにメイン・クロックを選択している場合は、STOPモードとIDLEモードのスタンバイ時には、動作を停止します。ただし、HALTモード時は動作を継続します。また、カウント・クロックに時計クロックを選択した場合は、どのスタンバイ・モード時でも動作を継続できます。時計クロック発振器の動作制御は、時計用タイマ・モード・レジスタ（WM）で行います。

μ PD784938Aの時計用タイマには、ブザー出力機能は内蔵しません。

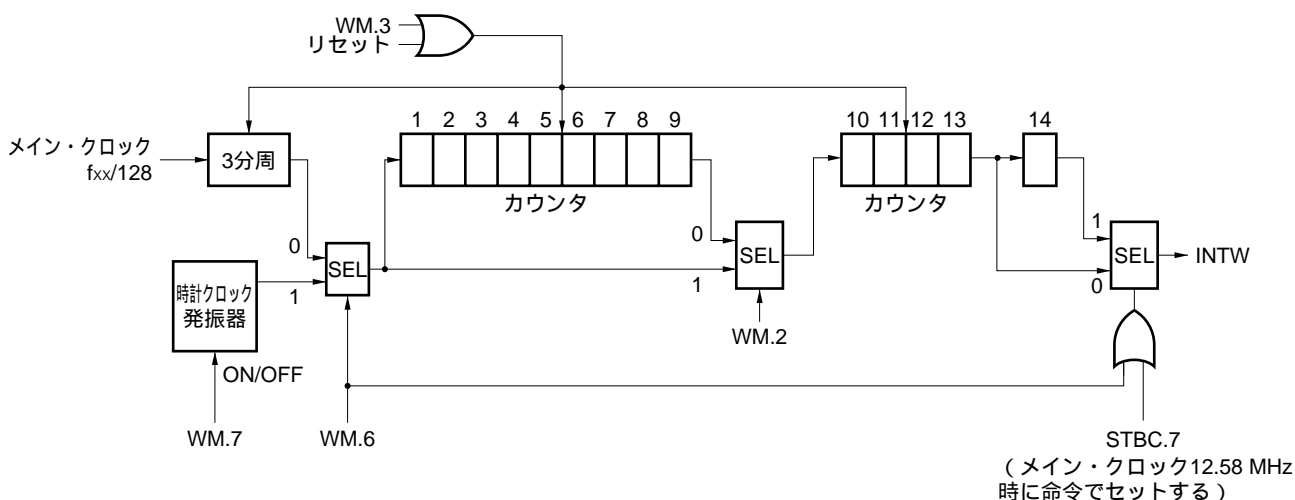
注 動作許可後、はじめのINTWまでは0.5 sではありません。

表8-3 カウント・クロックと時計用タイマ動作の関係

カウント・クロックの選択	通常動作モード	スタンバイ・モードの種類		
		HALTモード	STOPモード	IDLEモード
メイン・クロック	動作可能	動作可能	停止	停止
時計クロック	動作可能	動作可能	動作可能	動作可能

時計用タイマの構成は、カウント・クロックを3分周する分周回路と、分周回路の出力を2¹⁴分周するカウンタから構成されています。カウント・クロックは、内部システム・クロックを128分周した信号と、時計クロック発振器からの信号を選択して使用してください。

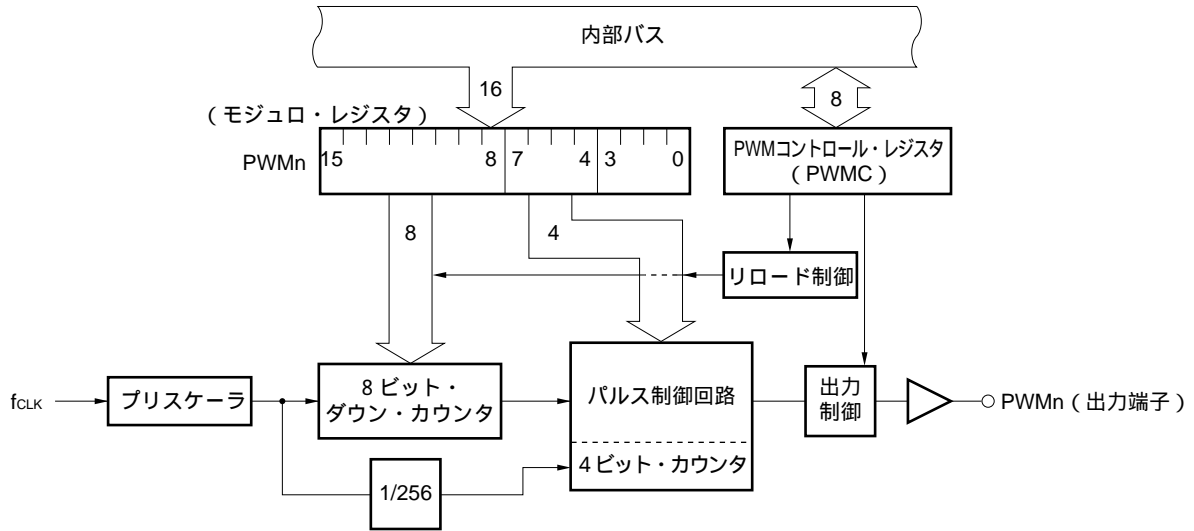
図8-7 時計用タイマのブロック図



8.6 PWM出力 (PWM0, PWM1)

12ビット分解能で、PWM (パルス幅変調) 出力回路を2チャンネル内蔵しています。このPWM出力は両チャンネルとも独立にアクティブ・レベルをハイかロウに選択できます。この出力はDCモータの速度制御用として最適です。

図8 - 8 PWM出力ユニットのブロック図



備考 n = 0, 1

8.7 A/Dコンバータ

8マルチプレクスト・アナログ入力 (ANI0-ANI7) を持つアナログ/デジタル (A/D) コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を8ビットのA/D変換結果レジスタ (ADCR) に保持します。このため、高速で高精度に変換します。

A/D変換動作の起動には、次のモードがあります。

- ・ハードウェア・スタート：トリガ入力 (INTP5) により変換開始
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ (ADM) のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

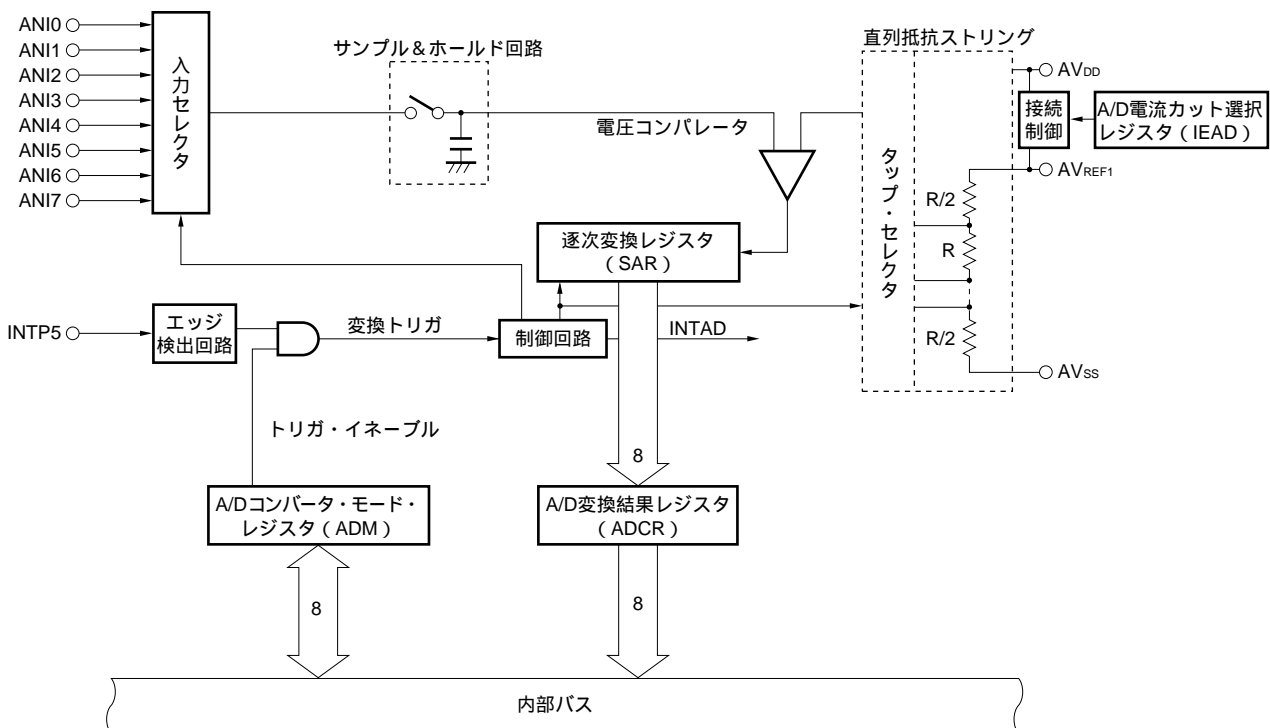
- ・スキャン・モード：複数のアナログ入力を順次選択し、複数端子の変換を行います。
- ・セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべてADMで指定します。

なお、変換結果をADCRへ転送すると、割り込み要求INTADを発生します。これを利用して、マクロ・サービスによって、変換値をメモリへ連続的に転送できます。

- 注意1.** 本製品では、基準電圧入力端子 (AVREF1) には、電源電圧 (AVDD) と同じ電圧を印加して使用してください。
2. ポート7を出力ポートとA/D入力を混在して使用している場合には、A/D変換動作中は、出力ポートの操作は行わないでください。

図8-9 A/Dコンバータのブロック図



8.8 シリアル・インタフェース

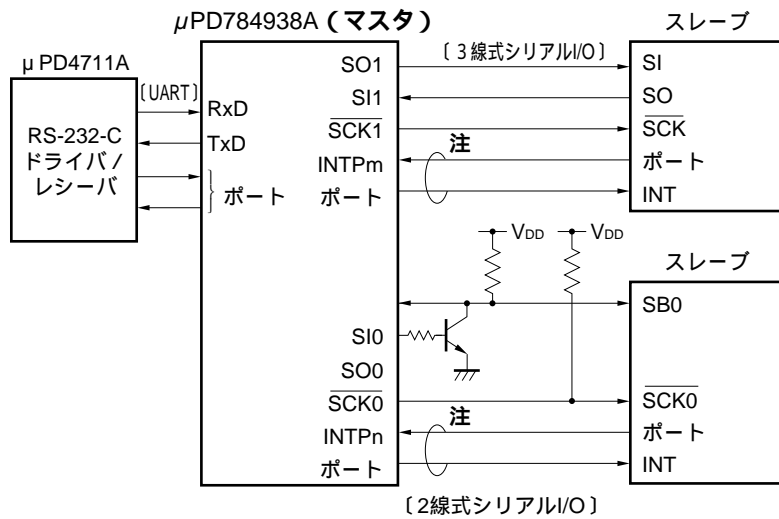
独立した4チャンネルのシリアル・インタフェースを備えています。

- アシンクロナス・シリアル・インタフェース (UART) / 3線式シリアルI/O (IOE) × 2
- クロック同期式シリアル・インタフェース (CSI) × 2
- ・ 3線式シリアルI/O (IOE)

このため、システム外部との通信と、システム内部のローカルな通信とを同時にできません (図8 - 10参照)。

図8 - 10 シリアル・インタフェース例

UART + 3線式シリアルI/O + 2線式シリアルI/O



注 ハンドシェイク・ライン

8.8.1 アシクロナス・シリアル・インタフェース / 3線式シリアルI/O (UART/IOE)

アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードを選択できるシリアル・インタフェースを2チャンネル持っています。

(1) アシクロナス・シリアル・インタフェース・モード

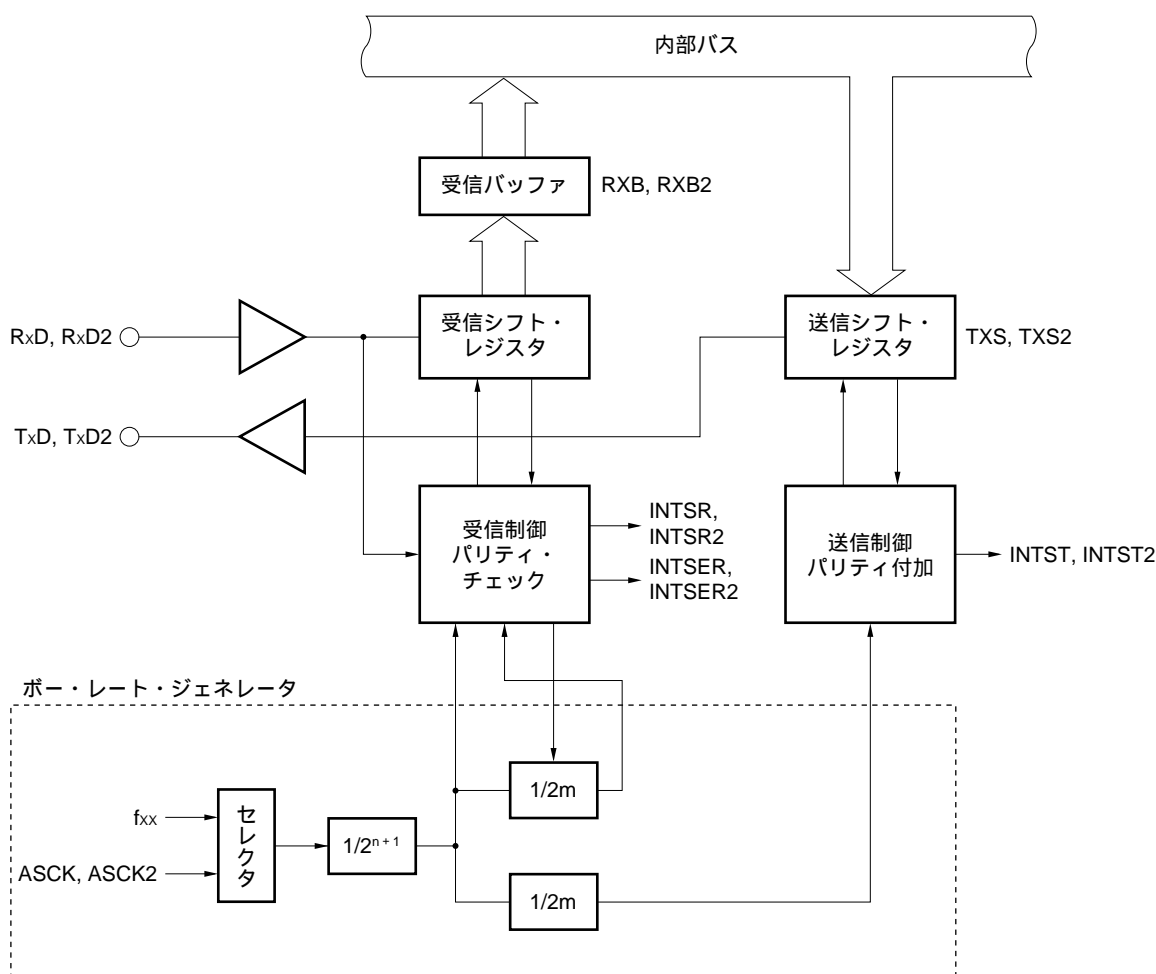
スタート・ビットに続く1バイトのデータを送受信する方式です。

ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK端子への入力クロックを分周することで、ボー・レートの定義ができます。

ボー・レート・ジェネレータを使用すると、MIDI規格のボー・レート (31.25 kbps) も得られます。

図8 - 11 アシクロナス・シリアル・インタフェース・モード時のブロック図



- ★ **備考** f_{xx} : 発振周波数
- $n = 0-11$
- $m = 16-30$

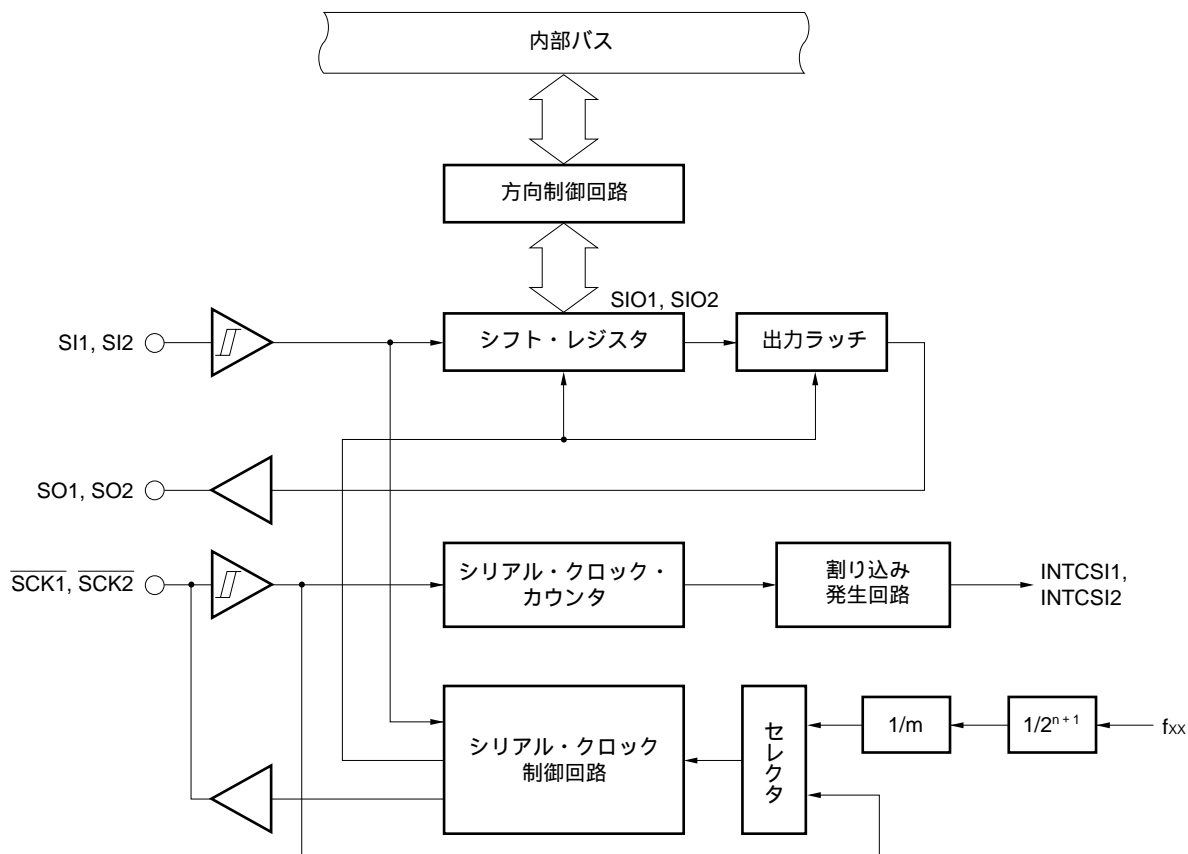
(2) 3線式シリアルI/Oモード

マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方法です。

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスと通信するためのインタフェースです。基本的には、シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3線で通信します。

また、一般的には通信状態を確認するため、ハンドシェイク・ラインが必要となります。

図8 - 12 3線式シリアルI/Oモード時のブロック図



★ 備考 f_{xx} : 発振周波数

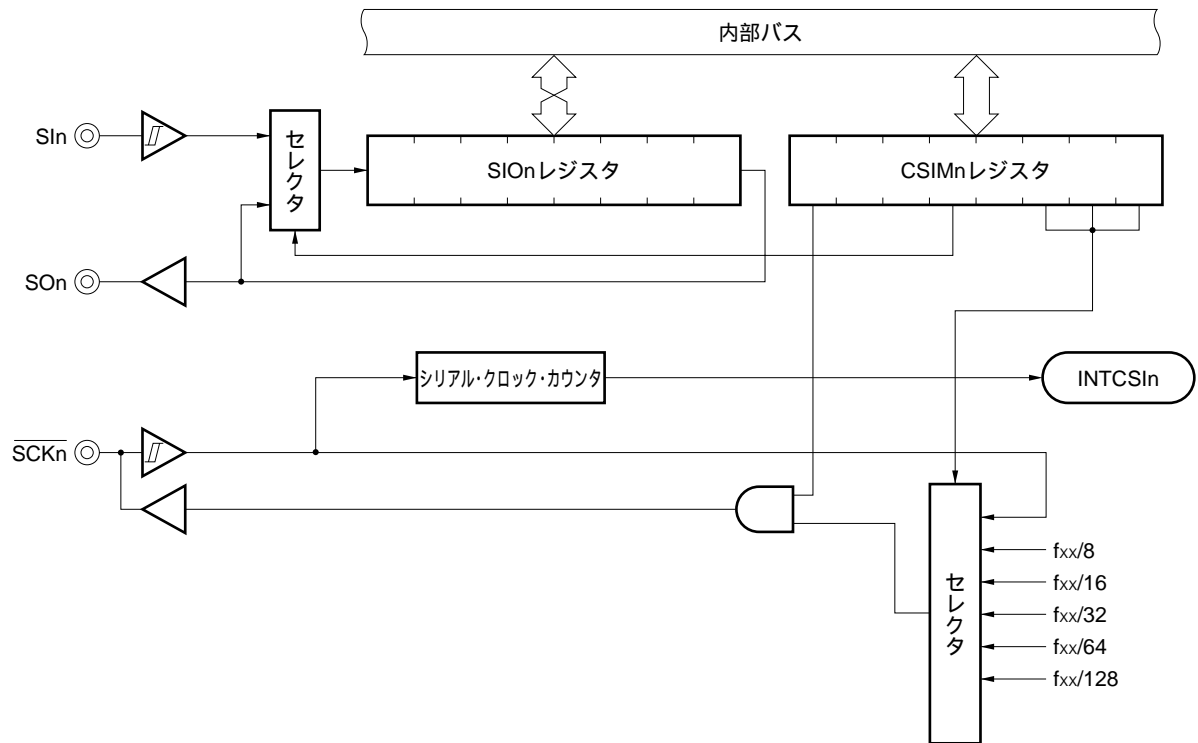
$n = 0-11$

$m = 1, 16-30$

8.8.2 クロック同期式シリアル・インタフェース (CSI)

マスタ・デバイスがシリアル・クロックをアクティブにして送信を開始し、このクロックに同期して1バイトのデータを通信する方法です。

図8 - 13 クロック同期式シリアル・インタフェースのブロック図



★ 備考 fxx : 発振周波数
n = 0, 3

・3線式シリアルI/Oモード

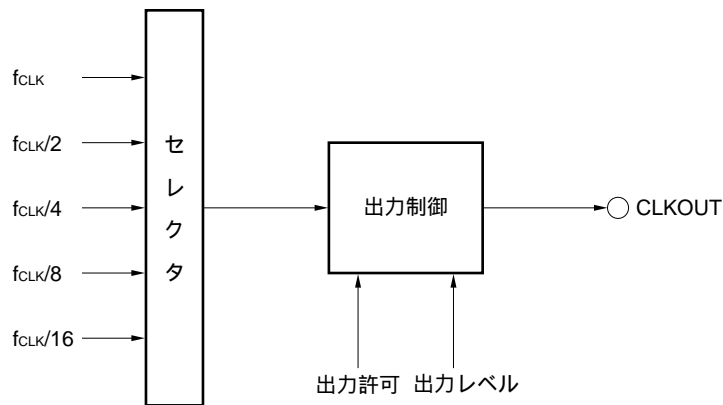
従来のクロック同期式シリアル・インタフェースを内蔵するデバイスと通信するためのインタフェースです。基本的には、シリアル・クロック ($\overline{\text{SCKn}}$) とシリアル・データ (SIn, SOn) の3線で通信します (n = 0, 3)。また、一般的には通信状態を確認するため、ハンドシェイク・ラインが必要となります。

8.9 クロック出力機能

CPUの動作クロックを分周して外部に出力できます。また、1ビットのポートとしても使用できます。

本機能使用時には、ASTB端子とCLKOUT端子が兼用になっているため、ローカル・バス・インタフェースは使用できません。

図8 - 14 クロック出力機能のブロック図



8.10 エッジ検出機能

割り込み入力端子 (NMI, INTP0-INTP5) は、割り込みの要求を入力するだけでなく、各種の内蔵ハードウェアのトリガ信号などの入力端子としても使用します。これらは、すべて入力信号のエッジで動作するため、エッジを検出するための機能が内蔵されています。また、ノイズによるエッジの誤検出を防ぐために、ノイズ除去機能も備えています。

表8 - 4 割り込み入力端子のノイズ除去方法

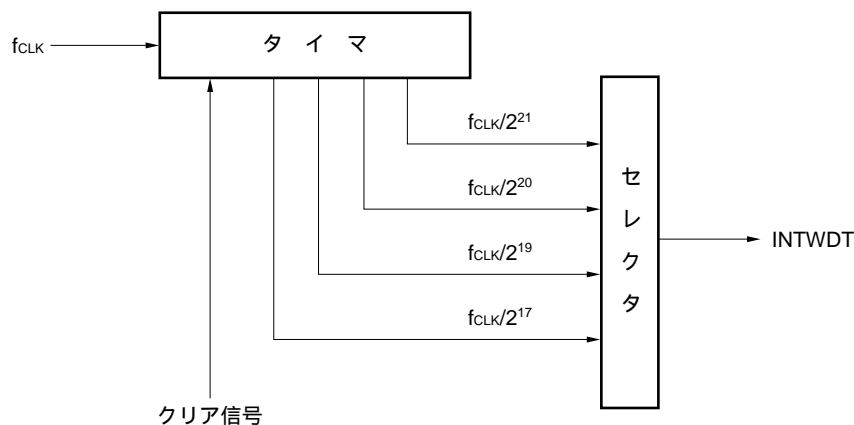
端子名称	検出可能エッジ	ノイズ除去方法
NMI	立ち上がりまたは立ち下がりのどちらか一方	アナログ・ディレイによる
INTP0-INTP3	立ち上がり, 立ち下がりの一方または両方	クロック・サンプリングによる ^注
INTP4, INTP5		アナログ・ディレイによる

注 INTP0は、サンプリング・クロックを選択可能

8.11 ウォッチドッグ・タイマ

CPUの暴走検出のためのウォッチドッグ・タイマを内蔵しています。このウォッチドッグ・タイマは、あらかじめ指定したインターバル時間以内にソフトウェアでクリアしないと、マスク不可能な割り込み要求を発生します。さらに、このウォッチドッグ・タイマは、一度動作を許可するとソフトウェアで動作を止めることはできません。また、ウォッチドッグ・タイマによる割り込み要求とNMI端子からの割り込み要求のどちらを優先するかを指定できます。

図8 - 15 ウォッチドッグ・タイマのブロック図



8.12 簡易版IEBusコントローラ

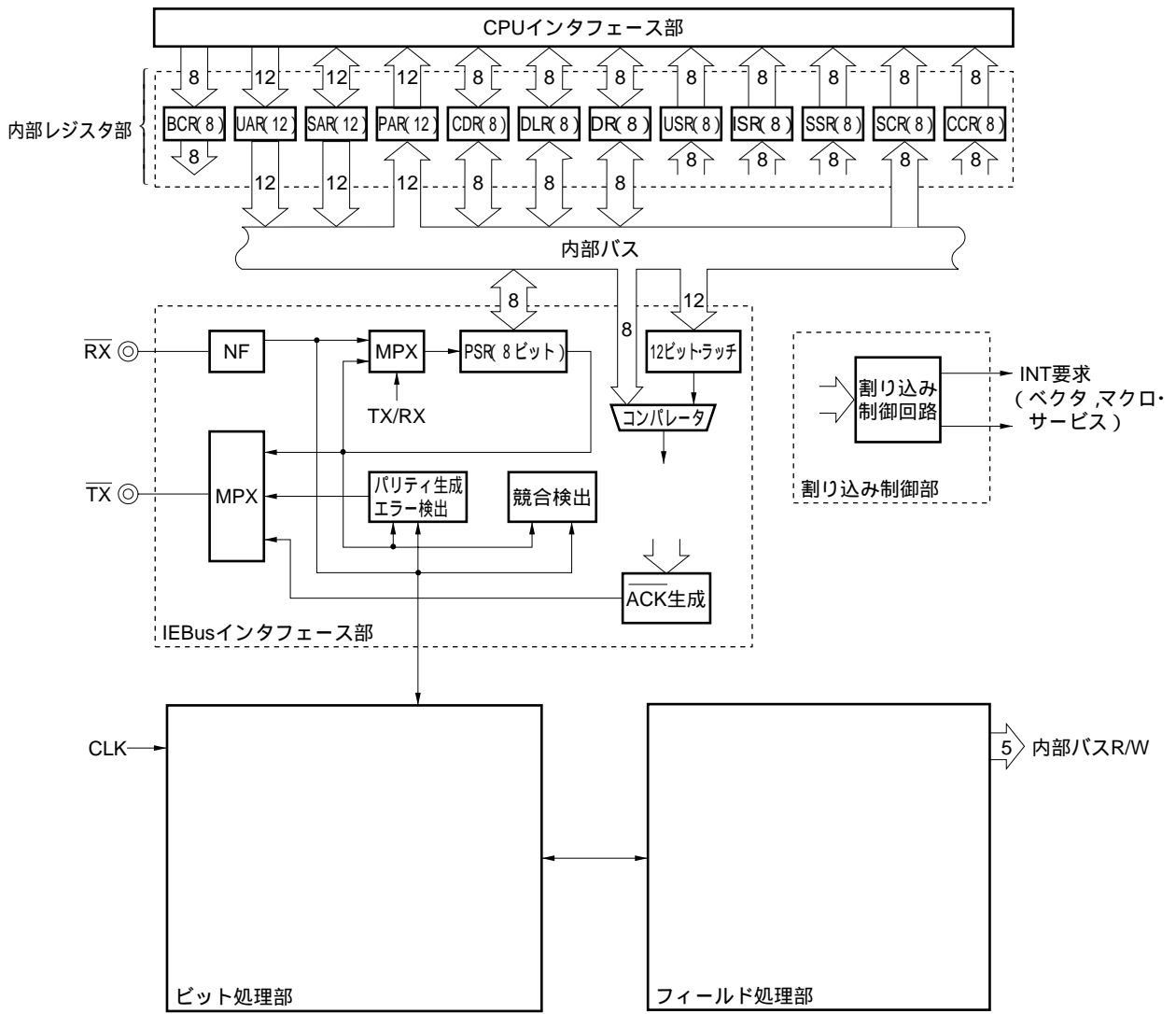
μ PD784938Aは、新規に開発したIEBusコントローラを内蔵しています。従来品のIEBusインタフェース機能（78K/0に内蔵）に比べると、機能を限定したものです。

表8 - 5に従来品と簡易版IEBusインタフェースの比較を示します。

表8 - 5 従来品と簡易版IEBusインタフェースの比較

項目	従来品（78K/0内蔵IEBus）	簡易版IEBus
通信モード	モード0，モード1，モード2	モード1固定
内部システム・クロック	6.0（6.29）MHz	
内部バッファ・サイズ	送信バッファ 33バイト（FIFO） 受信バッファ 40バイト（FIFO） 最大4フレーム受信可能	送受信レジスタ 1バイト
CPU処理	通信開始前処理（データ設定） 各通信状態設定，管理 送信バッファへのデータ・ライト 受信バッファからのデータ・リード	通信開始前処理（データ設定） 各通信状態設定，管理 1バイトごとのデータ・ライト処理 1バイトごとのデータ・リード処理 スレーブ・ステータスなど送信管理 複数フレーム管理，再マスタ要求処理
ハード処理	ビット処理（変復調，エラー検出） フィールド処理（生成／管理） アービトレーション結果検出 パリティ処理（生成／エラー検出） ACK/NACKの自動返答 自動データ再送処理 自動再マスタ処理 自動スレーブ・ステータスなど送信処理 複数フレーム受信処理	ビット処理（変復調，エラー検出） フィールド処理（生成／管理） アービトレーション結果検出 パリティ処理（生成／エラー検出） ACK/NACKの自動返答 自動データ再送処理

図8 - 16 IEBusコントローラのブロック図



ハードウェアの構成と機能

IEBusの内部構成は、主に次の6つのブロックから構成されます。

- ・ CPUインタフェース部
- ・ 割り込み制御部
- ・ 内部レジスタ部
- ・ ビット処理部
- ・ フィールド処理部
- ・ IEBusインタフェース部

<CPUインタフェース部>

CPU (78K/)とIEBus本体とをインタフェースするための制御部です。

<割り込み制御部>

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

<内部レジスタ部>

IEBusの制御を行うコントロール・レジスタ、各フィールドのデータを設定します。

<ビット処理部>

ビット・タイミングの生成、分解を行い、主にビット・シーケンスROM、8ビット・プリセット・タイマ、判定器から構成されます。

<フィールド処理部>

通信フレーム内の各フィールドの生成を行い、主にフィールド・シーケンスROM、4ビット・ダウン・カウンタ、判定器から構成されます。

<IEBusインタフェース部>

外付けのドライバ/レシーバのインタフェース部で、主にノイズ・フィルタ、シフト・レジスタ、競合検出、パリティ検出、パリティ生成回路、およびACK/NACK生成回路から構成されます。

9. 割り込み機能

割り込み要求に対する処理として、表9 - 1のような3つの処理をプログラムで選択できます。

表9 - 1 割り込み要求の処理

処理モード	処理の主体	処 理	PC, PSWの内容
ベクタ割り込み	ソフトウェア	処理ルーチンへ分岐して実行（処理内容は任意）	スタックへの退避，復帰を伴う
コンテキスト・スイッチング		レジスタ・バンクで自動的に切り替えて，処理ルーチンへ分岐して実行（処理内容は任意）	レジスタ・バンク中の固定エリアへの退避，復帰を伴う
マクロ・サービス	ファームウェア	メモリ-I/O間のデータ転送などを実行（処理内容は固定）	保持

9.1 割り込み要因

割り込み要因には、表9 - 2のような27種類とBRK命令、BRKCS命令実行およびオペランド・エラーがあります。

割り込み処理の優先順位は、4レベルに設定できます。これによって、割り込み処理中のネスト制御や、同時発生した割り込み要求のレベル分けができます。ただし、マクロ・サービスでは、必ずネスティングが進みます（保留されず）。

デフォルト・プライオリティは、同時に発生した同優先レベルの割り込み要求に対する処理の優先順位（固定）です（表9 - 2参照）。

表9 - 2 割り込み要因

タイプ	デフォルト・ プライオリティ	要 因		内部/外部	マクロ・ サービス	
		名 称	トリガ			
ソフトウェア	-	BRK命令	命令の実行	-	-	
		BRKCS命令	命令の実行			
		オペランド・エラー	MOV STBC, #byte 命令 , MOV WDM, #byte 命令 , LOCATION命令実行時にオペランドのbyteとbyteの排他 的論理和をとった結果がFFHでなかったとき			
ノンマスカブル	-	NMI	端子入力エッジ検出	外 部	-	
		WDT	ウォッチドッグ・タイマのオーバフロー	内 部		
マスカブル	0 (最高)	INTP0	端子入力エッジ検出 (TM1/TM1Wキャプチャ・トリガ)	外 部		
	1	INTP1	端子入力エッジ検出 (TM2/TM2Wキャプチャ・トリガ)			
	2	INTP2	端子入力エッジ検出 (TM2/TM2Wイベント・カウンタ入力)			
	3	INTP3	端子入力エッジ検出 (TM0キャプチャ・トリガ)			
	4	INTC00	TM0-CR00一致信号発生	内 部		
	5	INTC01	TM0-CR01一致信号発生			
	6	INTC10	TM1-CR10一致信号発生 (8ビット動作モード時) TM1W-CR10W一致信号発生 (16ビット動作モード時)			
	7	INTC11	TM1-CR11一致信号発生 (8ビット動作モード時) TM1W-CR11W一致信号発生 (16ビット動作モード時)			
	8	INTC20	TM2-CR20一致信号発生 (8ビット動作モード時) TM2W-CR20W一致信号発生 (16ビット動作モード時)			
	9	INTC21	TM2-CR21一致信号発生 (8ビット動作モード時) TM2W-CR21W一致信号発生 (16ビット動作モード時)			
	10	INTC30	TM3-CR30一致信号発生 (8ビット動作モード時) TM3W-CR30W一致信号発生 (16ビット動作モード時)			
	11	INTP4	端子入力エッジ検出			外 部
	12	INTP5	端子入力エッジ検出			
	13	INTAD	A/Dコンバータ変換終了 (ADCRの転送)			内 部
	14	INTSER	ASI0受信エラー発生			
	15	INTSR	ASI0受信終了またはCSI1転送終了			
		INTCSI1				
	16	INTST	ASI0送信終了			
	17	INTCSI	CSI0転送終了			
	18	INTSER2	ASI2受信エラー発生	-		
	19	INTSR2	ASI2受信終了またはCSI2転送終了			
		INTCSI2				
	20	INTST2	ASI2送信終了			
	21	INTIE1	IEBusデータ・アクセス要求			
22	INTIE2	IEBus通信エラー発生および通信開始 / 終了				
23	INTW	時計用タイマ出力				
24 (最低)	INTCSI3	CSI3転送終了				

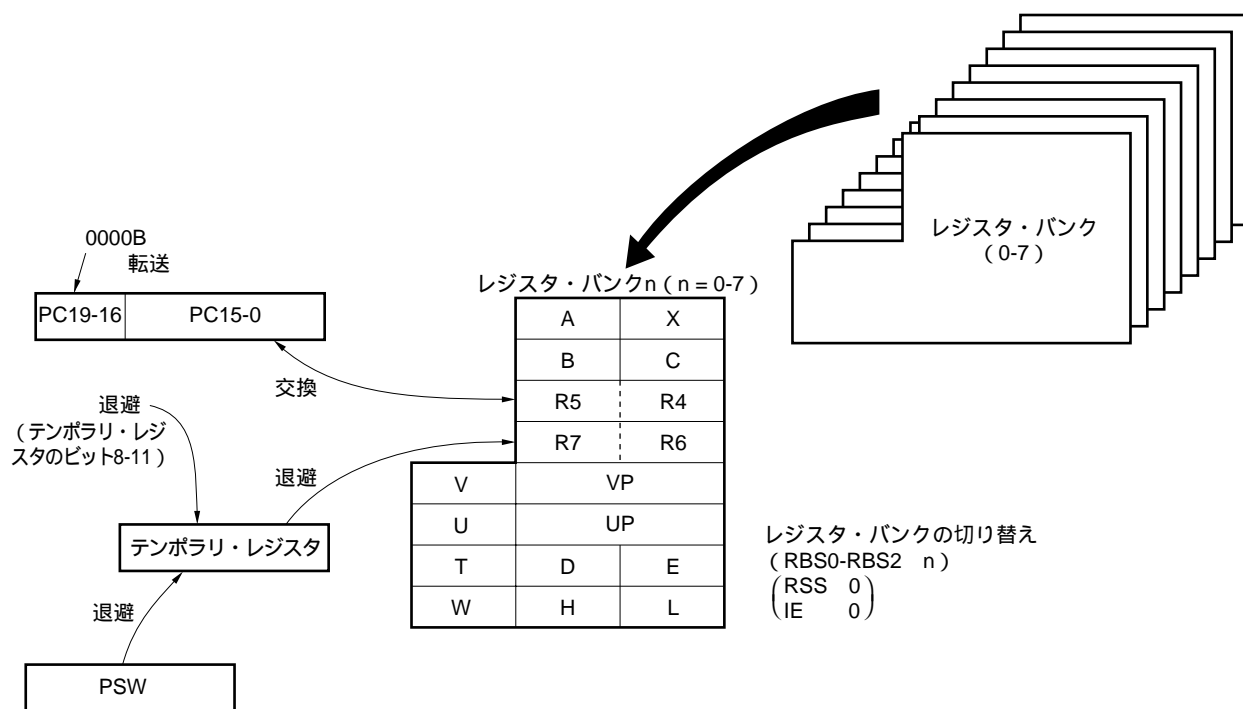
備考 ASI : アシンクロナス・シリアル・インタフェース

CSI : クロック同期式シリアル・インタフェース

9.3 コンテキスト・スイッチング

割り込み要求の発生またはBRKCS命令の実行により、ハードウェア的に所定のレジスタ・バンクを選択します。レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)の内容をレジスタ・バンク内にスタックする機能です。なお、分岐先のアドレスは、0-FFFFHに限ります。

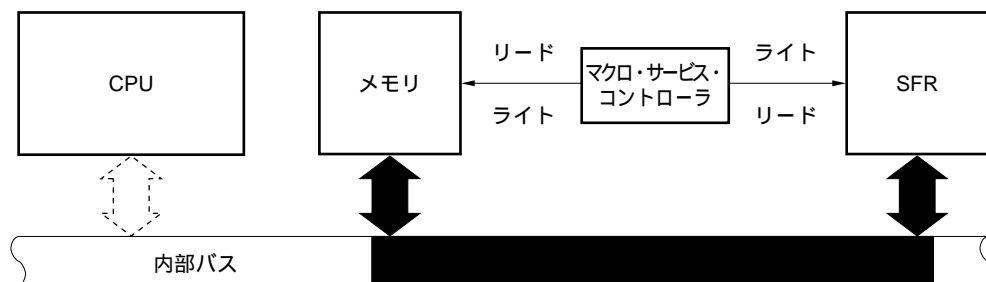
図9-1 割り込み要求の発生によるコンテキスト・スイッチング動作



9.4 マクロ・サービス

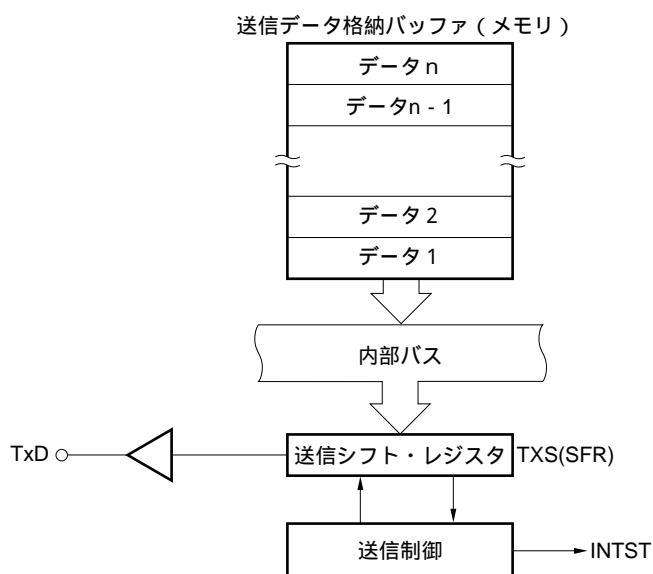
メモリ-特殊機能レジスタ(SFR)間でCPUを介さずにデータを転送する機能です。マクロ・サービス・コントローラが同一転送サイクル内でメモリとSFRをアクセスし、データを取り込まずに直接転送します。CPUの状態を退避、復帰したり、データを取り込んだりしないため、高速転送が可能です。

図9-2 マクロ・サービス



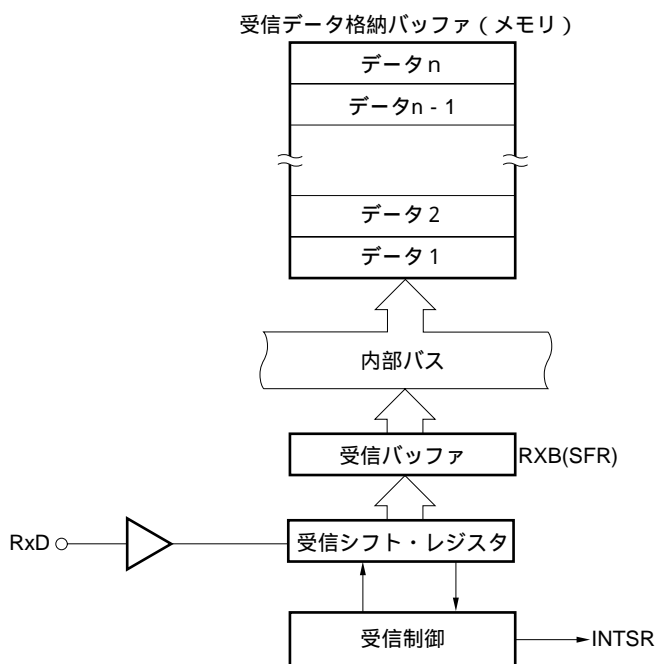
9.5 マクロ・サービスの応用例

(1) シリアル・インタフェースの送信動作



マクロ・サービス要求 (INTST) が発生するたびに、次の送信データをメモリからTXSへ転送します。データn (最終バイト) をTXSへ転送する (送信データ格納バッファが空になる) と、ベクタ割り込み要求 (INTST) を発生します。

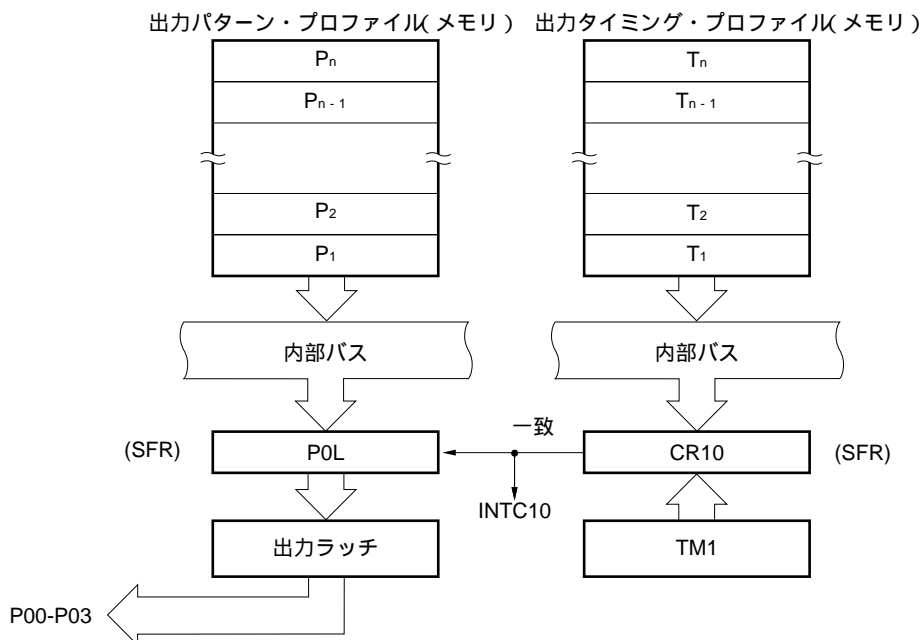
(2) シリアル・インタフェースの受信動作



マクロ・サービス要求 (INTSR) が発生するたびに、受信データをRXBからメモリへ転送します。データn (最終バイト) をメモリへ転送する (受信データ格納バッファに空きがなくなる) と、ベクタ割り込み要求 (INTSR) を発生します。

(3) リアルタイム出力ポート

INTC10, INTC11はリアルタイム出力ポートの出力トリガとなります。これらに対するマクロ・サービスでは、次の出力パターンと間隔を同時に設定できます。このため、INTC10とINTC11は独立に、2系統のステップング・モータを制御できます。また、PWMやDCモータの制御などにも応用できます。



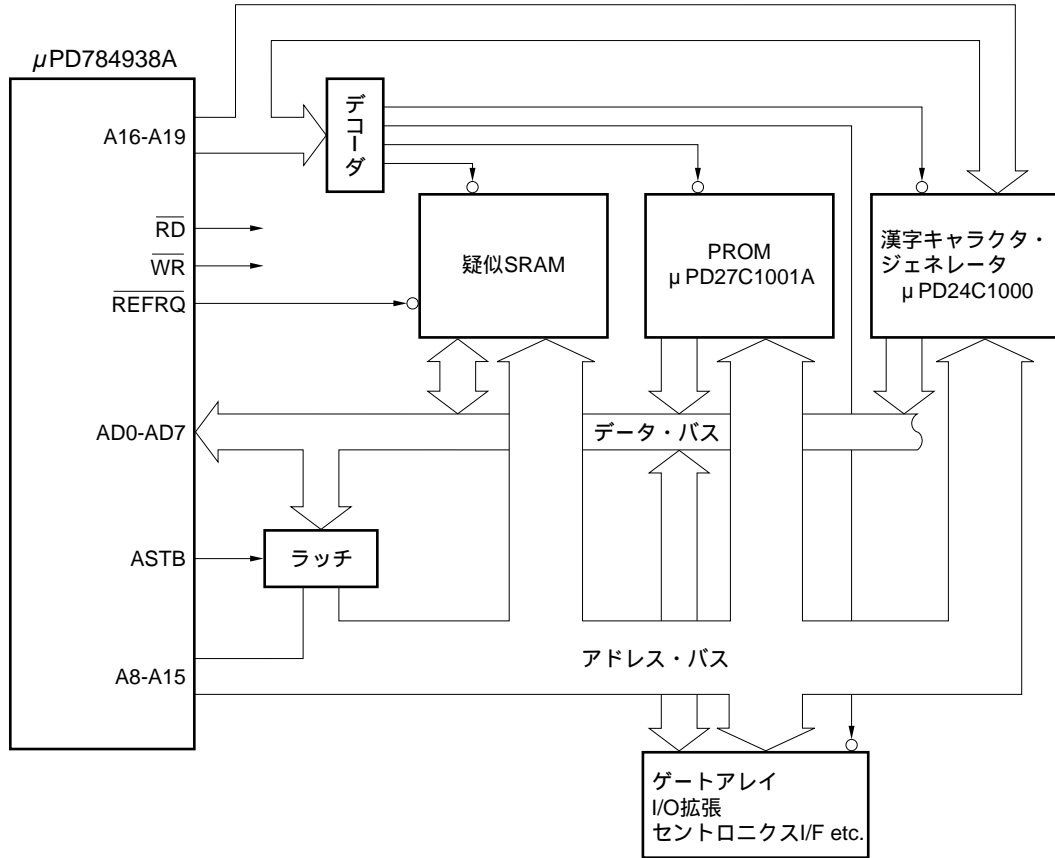
マクロ・サービス要求 (INTC10) が発生するたびに、パターンとタイミンングをバッファ・レジスタ (P0L) とコンペア・レジスタ (CR10) にそれぞれ転送します。タイマ・レジスタ1 (TM1) の内容がCR10の内容と一致すると、次のINTC10が発生するとともに、P0Lの内容を出力ラッチへ送ります。Tn (最終バイト) がCR10へ転送されると、ベクタ割り込み要求 (INTC10) を発生します。

INTC11についても同様の動作となります。

10. ローカル・バス・インタフェース

外部にメモリやI/O (メモリ・マップI/O) を接続でき, 1 Mバイトのメモリ空間をサポートします (図10 - 1参照)。

図10 - 1 ローカル・バス・インタフェース例



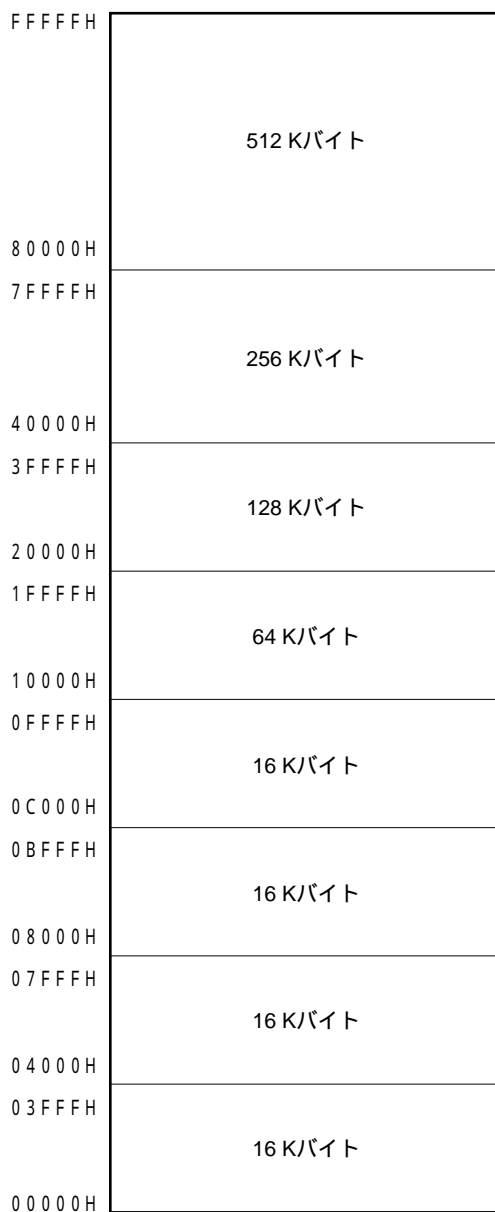
10.1 メモリ拡張

外部にプログラム・メモリやデータ・メモリを256バイトから最大約1 Mバイトまで7段階に拡張できます。

10.2 メモリ空間

1 Mバイトのメモリ空間は、論理アドレスによる8つの空間に分割されています。この各空間ごとに、プログラムブル・ウエイト機能や疑似スタティックRAMリフレッシュ機能での制御ができます。

図10 - 2 メモリ空間



10.3 プログラマブル・ウエイト

メモリ空間を8分割して、各メモリ空間ごとに独立に、 \overline{RD} , \overline{WR} 信号がアクティブの期間にウエイトを挿入できます。このため、アクセス時間の異なるメモリを接続しても、システム全体の効率を低下させずに済みます。

また、アドレス・デコード時間を確保するために、ASTB信号のアクティブ期間を長くするアドレス・ウエイト機能もあります（全空間に対して設定）。

10.4 疑似スタティックRAMリフレッシュ機能

リフレッシュ動作には、次のような動作があります。

・パルス・リフレッシュ

一定期間ごとに \overline{REFRQ} 端子にリフレッシュ・パルスを出力するバス・サイクルを挿入します。また、メモリ空間を8分割し、指定された領域にアクセスしているときに、メモリ・アクセスと同時に \overline{REFRQ} 端子からリフレッシュ・パルスを出力することも可能です。これにより、リフレッシュ・サイクルによって通常のメモリ・アクセスが待たされないようにすることが可能です。

・パワーダウン・セルフ・リフレッシュ

スタンバイ・モード時、 \overline{REFRQ} 端子にロウ・レベルを出力し、疑似スタティックRAMの内容を保持します。

10.5 バス・ホールド機能

DMAコントローラなどを容易に接続するために、バス・ホールド機能を持っています。外部のバス・マスタからのバス・ホールド要求信号（HLDRQ）を受け付けると、受け付け時に実行中のバス・サイクルが終了した時点で、アドレス・バス、アドレス/データ・バスおよびASTB, \overline{RD} , \overline{WR} の各端子をハイ・インピーダンスにしてバス・ホールド応答信号（HLDACK）をアクティブにし、外部のバス・マスタにバスを開放します。

なお、バス・ホールド機能を使用しているときは、外部ウエイト機能と疑似スタティックRAMリフレッシュ機能は使用できません。

11. スタンバイ機能

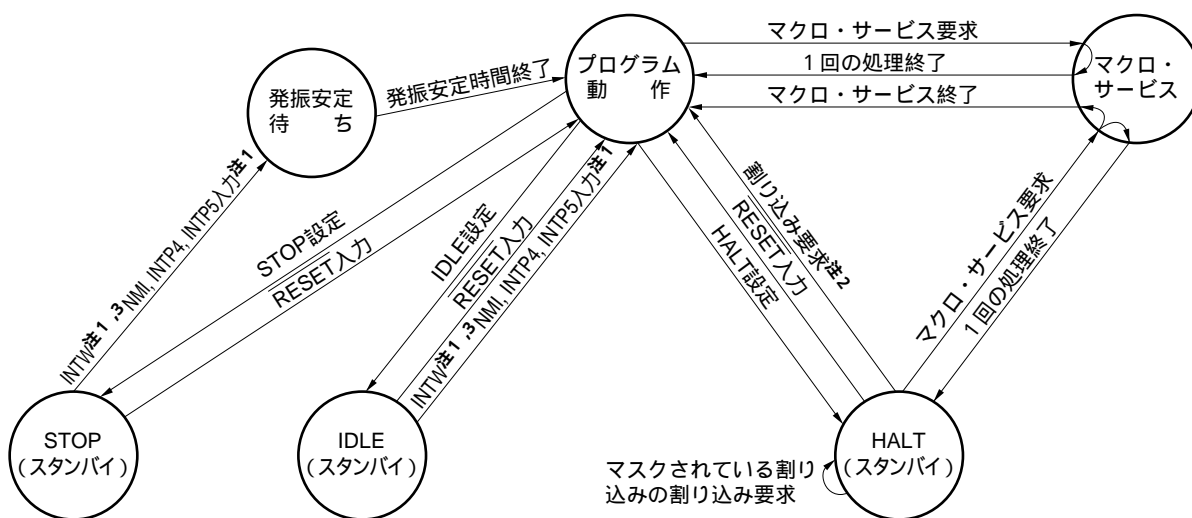
チップの消費電力を低減する機能です。次のようなモードがあります。

- ・ HALTモード : CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。
- ・ IDLEモード : 発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。
- ・ STOPモード : 発振器を停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微小消費電力状態にします。

これらのモードはプログラマブルです。

また、HALTモードからマクロ・サービスを起動できます。

図11-1 スタンバイ・モードの状態遷移



- 注1. INTW, INTP4, INTP5はマスクされていない場合
2. マスクされていない割り込み要求のみ
 3. サブクロック動作時

備考 NMIは外部入力のみ有効です。ウォッチドッグ・タイマは、スタンバイの解除 (STOP/HALT/IDLEモード) には使用できません。

12. リセット機能

RESET端子にロウ・レベルを入力すると、内部ハードウェアは初期状態になります（リセット状態）。

RESET入力がロウ・レベルからハイ・レベルになると、次のようなデータをプログラム・カウンタ（PC）に設定します。

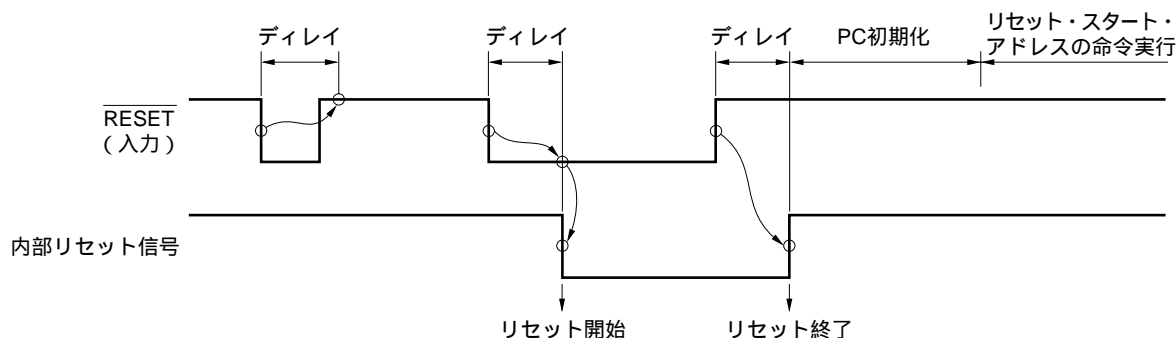
- ・ PCの下位8ビット：0000H番地の内容
- ・ PCの中位8ビット：0001H番地の内容
- ・ PCの上位4ビット：0

PCの設定内容を分岐先アドレスとし、そのアドレスからプログラムの実行を開始します。このため、任意の番地からリセット・スタートできます。

各レジスタの内容は、必要に応じてプログラムで設定してください。

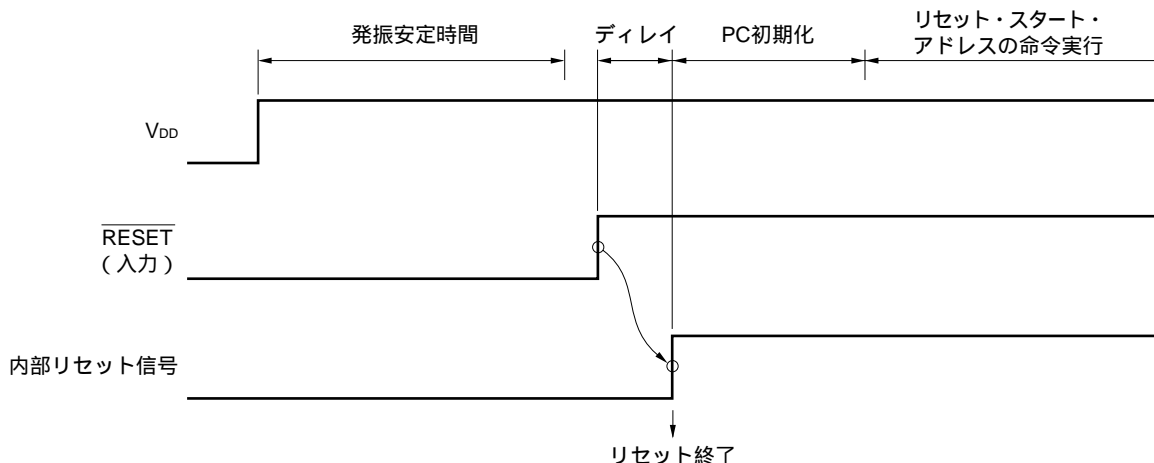
ノイズによる誤動作を防ぐため、RESET入力回路にはノイズ除去回路を内蔵しています。このノイズ除去回路は、アナログ・ディレイによるサンプリング回路となっています。

図12 - 1 リセットの受け付け



電源投入時のリセット動作では、発振安定時間（約40 ms）が経過するまでRESET信号をアクティブにしてください。

図12 - 2 電源投入時のリセット動作



13. レギュレータ

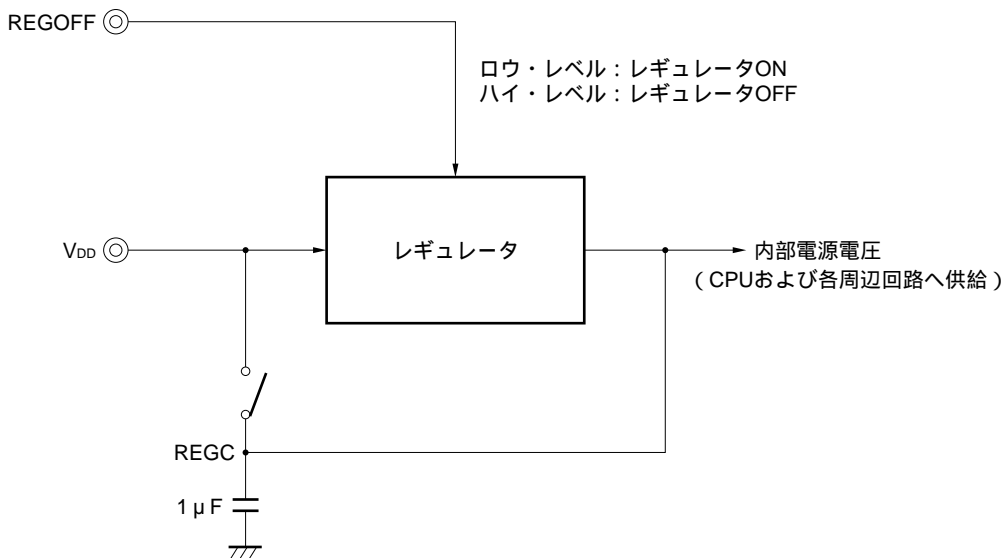
μ PD784938Aは、デバイスの消費電力を低減するレギュレータ（内部を低電圧動作させるための回路）を内蔵しています。このレギュレータの動作 / 停止の切り替えは、REGOFF端子の入力レベルで指定して行います。REGOFF端子にハイ・レベルを入力するとOFFし、ロウ・レベルを入力するとONします。

レギュレータをONにすると、低消費電力動作が可能となります。μ PD784938Aでは、レギュレータ選択による動作（REGOFF端子 = Lレベル）を推奨いたします。

このときレギュレータ出力電圧を安定させるためにREGC端子（レギュレータ安定用容量接続端子）には、1 μ F程度のコンデンサを接続してください。

なお、レギュレータ停止時は、REGC端子にV_{DD}と同一レベルを印加してください。図13 - 1にレギュレータ周辺のブロック図を示します。

図13 - 1 レギュレータ周辺のブロック図



・ REGC端子の処理

レギュレータ動作時	レギュレータ安定用容量 (1 μ F) を接続
レギュレータ停止時	電源電圧を供給

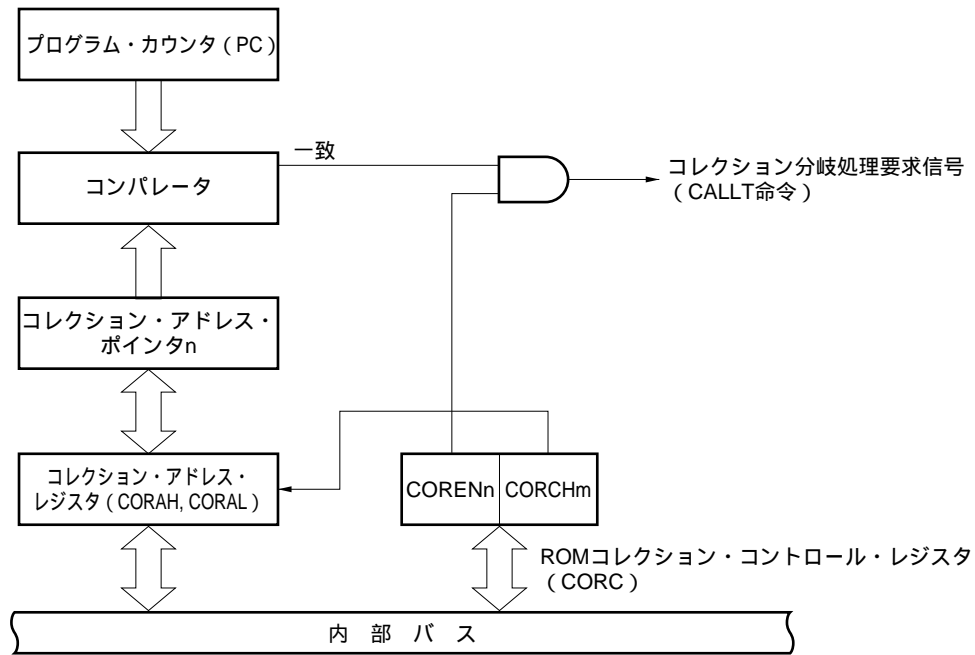
14. ROMコレクション

ROMコレクションは、内部ROM内のプログラムの一部を内部RAM内のプログラムに置き換えて実行することができる機能です。

ROMコレクションを使用することにより、内部ROMで発見された命令バグを回避したり、プログラムの流れを変更したりすることができます。

ROMコレクションは、内部ROM（プログラム）中、最大4箇所使用できます。

図14 - 1 ROMコレクションのブロック図



備考 n = 0-3, m = 0, 1

15. 命令セット

(1) 8ビット命令 () 内は, rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, SOR4, ROL4, DBNZ, PUSH, POP, MOVM, XCHM, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBK

表15-1 8ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	laddr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +] [WHL -]	n	なし ^{注2}
A	(MOV) ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH (ADD) ^{注1}	(MOV) ^{注6} (XCH) ^{注6} (ADD) ^{注1,6}	MOV (XCH) (ADD) ^{注1}	(MOV) (XCH) ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	(MOV) (XCH) (ADD) ^{注1}		
r	MOV ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH				ROR ^{注3}	MULU DIVUW INC DEC
saddr	MOV ADD ^{注1}	(MOV) ^{注6} (ADD) ^{注1}	MOV ADD ^{注1}	MOV XCH ADD ^{注1}							INC DEC DBNZ
sfr	MOV ADD ^{注1}	MOV (ADD) ^{注1}	MOV ADD ^{注1}								PUSH POP
laddr16 !!addr24	MOV	(MOV) ADD ^{注1}	MOV								
mem [saddrp] [%saddrg]		MOV ADD ^{注1}									
mem3											ROR4 ROL4
r3 PSWL PSWH	MOV	MOV									
B, C											DBNZ
STBC, WDM	MOV										
[TDE +] [TDE -]		(MOV) (ADD) ^{注1} MOVM ^{注4}							MOVBK ^{注5}		

注1. ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2. 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3. ROL, RORC, ROLC, SHR, SHLはRORと同じ

4. XCHM, CMPME, CMPMNE, CMPMNC, CMPMCはMOVMと同じ

5. XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKはMOVBKと同じ

6. この組み合わせでsaddrがsaddr2の場合, 短いコード長の命令がある

(2) 16ビット命令 () 内は, rpとしてAXを記述することで実現している組み合わせです)

MOVW, XCHW, ADDW, SUBW, CMPW, MULUW, MULW, DIVUX, INCW, DECW, SHRW, SHLW, PUSH, POP, ADDWG, SUBWG, PUSHU, POPU, MOVTBLW, MACW, MACSW, SACW

表15 - 2 16ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL +]	byte	n	なし ^{注2}
AX	(MOVW) ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	(MOVW) ^{注3} (XCHW) ^{注3} (ADDW) ^{注1,3}	MOVW (XCHW) (ADDW) ^{注1}	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW				SHRW SHLW	MULW ^{注4} INCW DECW
saddrp	MOVW ADDW ^{注1}	(MOVW) ^{注3} (ADDW) ^{注1}	MOVW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}							INCW DECW
sfrp	MOVW ADDW ^{注1}	MOVW (ADDW) ^{注1}	MOVW ADDW ^{注1}								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTBLW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE +]		(MOVW)						SACW			
byte											MACW MACSW

注1. SUBW, CMPWはADDWと同じ

2. 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない
3. この組み合わせでsaddrpがsaddrp2の場合, 短いコード長の命令がある
4. MULUW, DIVUXはMULWと同じ

(3) 24ビット命令 () 内は, rgとしてWHLを記述することで実現している組み合わせです)

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表15 - 3 24ビット・アドレッシング別命令一覧

第2オペランド 第1オペランド	#imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし ^注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表15 - 4 ビット操作命令アドレッシング別命令一覧

第2オペランド 第1オペランド	CY	saddr.bit sfr.bit A.bit X.bit PSWL.bit PSWH.bit mem2.bit !addr16.bit !!addr24.bit	/saddr.bit /sfr.bit /A.bit /X.bit /PSWL.bit /PSWH.bit /mem2.bit /!addr16.bit /!!addr24.bit	なし ^注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	NOT1 SET1 CLR1
saddr.bit sfr.bit A.bit X.bit PSWL.bit PSWH.bit mem2.bit !addr16.bit !!addr24.bit	MOV1			NOT1 SET1 CLR1 BF BT BTCLR BFSET

注 第2オペランドがないか，第2オペランドがオペランド・アドレスでない

(5) コール・リターン命令 / 分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表15 - 5 コール・リターン命令 / 分岐命令アドレッシング別命令一覧

命令アドレス のオペランド	\$addr20	!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC ^注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLF	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注 BNZ, BNE, BZ, BE, BNC, BNL, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

16. 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	AV _{DD}		- 0.3 ~ V _{DD} + 0.3	V
	AV _{SS}		- 0.3 ~ V _{SS} + 0.3	V
	AV _{REF1}	A/Dコンバータ基準電圧入力	- 0.3 ~ V _{DD} + 0.3	V
入力電圧	V _{I1}		- 0.3 ~ V _{DD} + 0.3	V
アナログ入力電圧	V _{IAN}	アナログ入力電圧	AV _{SS} - 0.3 ~ AV _{REF1} + 0.3	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3	V
ロウ・レベル出力電流	I _{OL}	1端子	10	mA
		ポート0, 3, 6, 10の全端子とP54-P57の合計	50	mA
		ポート1, 4, 7, 9の全端子とP50-P53, PWM0, PWM1, TX端子の合計	50	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 6	mA
		ポート0, 3, 6, 10の全端子とP54-P57の合計	- 30	mA
		ポート1, 4, 7, 9の全端子とP50-P53, PWM0, PWM1, TX端子の合計	- 30	mA
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 65 ~ + 150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

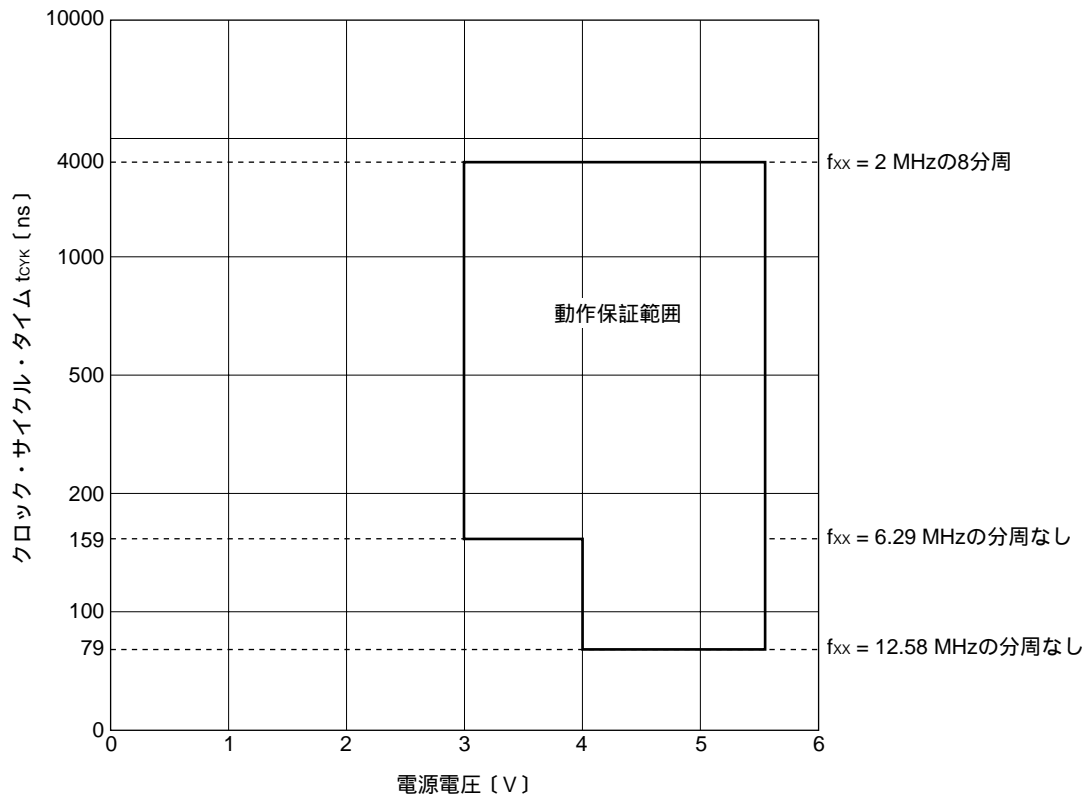
動作条件

・クロック周波数

クロック周波数	電源電圧
2 MHz f_{xx} 12.58 MHz	4.0 V_{DD} 5.5 V
2 MHz f_{xx} 6.29 MHz	3.0 V_{DD} 5.5 V

- ・動作周囲温度 (T_A) : - 40 ~ + 85
- ・電源電圧およびクロック・サイクル・タイム : 図16 - 1参照
- ・内部レギュレータ動作選択 (REGOFF端子 : ロウ・レベル入力)

図16 - 1 電源電圧およびクロック・サイクル・タイム



容量 ($T_A = 25$, $V_{DD} = V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_{IN}	$f = 1 MHz$ 被測定端子以外は0 V			15	pF
出力容量	C_{OUT}				15	pF
入出力容量	C_{IO}				15	pF

メイン発振器特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	MAX.	単位	
発振周波数	f _{xx}	セラミック発振子または推奨 振動子	4.0 V _{DD} 5.5 V	2.0	12.58	MHz
			3.0 V _{DD} 5.5 V	2.0	6.29	MHz

注意 メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

- 備考1. メイン発振で、内部時計タイマを動作させるときには、12.582912 MHzまたは6.291456 MHzの発振子を接続してください。
2. 発振子の選択および発振回路定数についてはお客さまにおいて発振評価していただくか、発振子メーカーに評価を依頼してください。

時計用発振器特性 (TA = -40 ~ +85 , VDD = 3.0 ~ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f _{XT}	セラミック発振子または水晶振動子	32	32.768	35	KHz
発振安定時間	f _{sxt}	4.5 V _{DD} 5.5 V		1.2	2	s
					10	s
発振保持電圧	V _{DDXT}		3.0		5.5	V
時計機能動作電圧	V _{DDW}		3.0		5.5	V

DC特性 (TA = -40 ~ +85, VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧 ^注	VIL1	P10, P11, P13-P17, P30, P31, P34-P37, P70-P77, P90-P97, P100-P104, X1, X2, XT1, XT2		- 0.3		0.3 VDD	V
	VIL2	P12, P20-P27, P32, P33, P105-P107 RESET		- 0.3		0.2 VDD	V
	VIL3	P00-P07, P40-P47,	4.5 V VDD 5.5 V	- 0.3		0.8	V
	VIL4	P50-P57, P60-P67		- 0.3		0.2 VDD	V
ハイ・レベル入力電圧	VIH1	P10, P11, P13-P17, P30, P31, P34-P37, P70-P77, P90-P97, P100-P104, X1, X2, XT1, XT2		0.7 VDD		VDD + 0.3	V
	VIH2	P12, P20-P27, P32, P33, P105-P107 RESET		0.8 VDD		VDD + 0.3	V
	VIH3	P00-P07, P40-P47,	4.5 V VDD 5.5 V	2.2		VDD + 0.3	V
	VIH4	P50-P57, P60-P67		0.7 VDD		0.3 VDD	V
ロウ・レベル出力電圧	VOL1	IOL = 20 μA				0.1	V
		IOL = 100 μA				0.2	V
		IOL = 2 mA				0.4	V
	VOL2	IOL = 8 mA, P10-P17, P40-P47, P50-P57	4.5 V VDD 5.5 V			1.0	V
ハイ・レベル出力電圧	VOH1	IOH = - 20 μA		VDD - 0.1			V
		IOH = - 100 μA		VDD - 0.2			V
		IOH = - 2 mA		VDD - 1.0			V
	VOH2	IOH = - 5 mA, P10-P17, P40-P47, P50-P57	4.5 V VDD 5.5 V	VDD - 2.4			V
ロウ・レベル入力リーク電流	ILIL1	VIN = 0 V	X1, X2, XT1, XT2 以外の端子			10	μA
	ILIL2		X1, X2, XT1, XT2			- 20	μA
ハイ・レベル入力リーク電流	LIH1	VIN = VDD	X1, X2, XT1, XT2 以外の端子			10	μA
	LIH2		X1, X2, XT1, XT2			20	μA
ロウ・レベル出力リーク電流	LOL1	VOUT = 0 V				- 10	μA
★ ハイ・レベル出力リーク電流	LOH1	VOUT = VDD				10	μA

注 プルアップ抵抗は, OFFの場合

DC特性 (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	IDD1	動作モード	f _{xx} = 12.58 MHz, 4.0 V V _{DD} 5.5 V		10	20	mA
			f _{xx} = 6.29 MHz, 3.0 V V _{DD} 5.5 V		5	10	mA
	IDD2	HALTモード	f _{xx} = 12.58 MHz, 周辺クロック停止時 ^注 , 4.0 V V _{DD} 5.5 V		2	4	mA
			f _{xx} = 6.29 MHz, 周辺クロック停止時 ^注 , 3.0 V V _{DD} 5.5 V		1.2	2.4	mA
	IDD3	IDLEモード	f _{xx} = 12.58 MHz, 4.0 V V _{DD} 5.5 V		0.6	1.2	mA
			f _{xx} = 6.29 MHz, 3.0 V V _{DD} 5.5 V		0.3	0.6	mA
データ保持電圧	V _{DDDR}	STOPモード	2.5		5.5	V	
データ保持電流	IDDDR	STOPモード	V _{DD} = 2.5 V サブクロック停止		2	10	μA
			V _{DD} = 5.5 V サブクロック停止		10	50	μA
プルアップ抵抗	R _L	V _{IN} = 0 V	15	40	80	kΩ	

注 メイン・システム・クロック : f_{CLK} = f_{xx}/8を選択 (スタンバイ・コントロール・レジスタ (STBC) で設定) ,
時計用タイマ動作時

備考 内蔵レギュレータがONの状態 (REGOFF端子 = ロウ・レベル入力) 時の値です。

AC特性 (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

(1) リード/ライト・オペレーション (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ サイクル・タイム	tcyk	4.0 VDD 5.5 V	79			ns
		VDD = 3.0 V	159			ns
アドレス・セットアップ時間 (対ASTB)	tsast	VDD = 5.0 V	(0.5+a)T - 11			ns
		VDD = 3.0 V	(0.5+a)T - 15			ns
アドレス・ホールド時間 (対ASTB)	thstla	VDD = 5.0 V	0.5T - 19			ns
		VDD = 3.0 V	0.5T - 24			ns
ASTBハイ・レベル幅	twsth	VDD = 5.0 V	(0.5+a)T - 17			ns
		VDD = 3.0 V	(0.5+a)T - 40			ns
アドレス・ホールド時間 (対RD)	thra	VDD = 5.0 V	0.5T - 14			ns
		VDD = 3.0 V	0.5T - 14			ns
アドレス RD 遅延時間	tdar	VDD = 5.0 V	(1+a)T - 5			ns
		VDD = 3.0 V	(1+a)T - 10			ns
アドレス・フロート時間 (対RD)	tfar				0	ns
アドレス データ入力時間	tdaid	VDD = 5.0 V			(2.5+a+n)T - 37	ns
		VDD = 3.0 V			(2.5+a+n)T - 52	ns
ASTB データ入力時間	tdstid	VDD = 5.0 V			(2+n)T - 35	ns
		VDD = 3.0 V			(2+n)T - 50	ns
RD データ入力時間	tdrid	VDD = 5.0 V			(1.5+n)T - 40	ns
		VDD = 3.0 V			(1.5+n)T - 50	ns
ASTB RD 遅延時間	tdstr	VDD = 5.0 V	0.5T - 9			ns
		VDD = 3.0 V	0.5T - 9			ns
データ・ホールド時間 (対RD)	thrid		0			ns
RD アドレス・アクティ ブ時間	tdra	VDD = 5.0 V	0.5T - 2			ns
		VDD = 3.0 V	0.5T - 12			ns
RD ASTB 遅延時間	tdrst	VDD = 5.0 V	0.5T - 9			ns
		VDD = 3.0 V	0.5T - 9			ns
RD口ウ・レベル幅	twrl	VDD = 5.0 V	(1.5+n)T - 25			ns
		VDD = 3.0 V	(1.5+n)T - 30			ns

備考1. T : tcyk = 1/fclk (fclk : 内部システム・クロック)

2. a : アドレス・ウエイト時 = 1 , それ以外 = 0
3. n : ウエイト数 (n ≥ 0)
4. VDD = 5.0 V時 : T = 79 ns (min.) で計算
5. VDD = 3.0 V時 : T = 159 ns (min.) で計算

AC特性 (T_A = -40 ~ +85 , V_{DD} = AV_{DD} = 3.0 ~ 5.5 V, V_{SS} = AV_{SS} = 0 V)

(1) リード/ライト・オペレーション (2/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
アドレス \overline{WR} 遅延時間	t _{DAW}	V _{DD} = 5.0 V	(1 + a)T - 5			ns
		V _{DD} = 3.0 V	(1 + a)T - 10			ns
アドレス・ホールド時間 (対 \overline{WR})	t _{HWA}	V _{DD} = 5.0 V	0.5T - 14			ns
		V _{DD} = 3.0 V	0.5T - 14			ns
ASTB データ出力遅延時間	t _{DSTOD}	V _{DD} = 5.0 V			0.5T + 15	ns
		V _{DD} = 3.0 V			0.5T + 20	ns
\overline{WR} データ出力時間	t _{DWOD}				15	ns
ASTB \overline{WR} 遅延時間	t _{DSTW}	V _{DD} = 5.0 V	0.5T - 9			ns
		V _{DD} = 3.0 V	0.5T - 9			ns
データ・セットアップ時間 (対 \overline{WR})	t _{SODWR}	V _{DD} = 5.0 V	(1.5 + n)T - 20			ns
		V _{DD} = 3.0 V	(1.5 + n)T - 25			ns
データ・ホールド時間 (対 \overline{WR})	t _{HWOD}	V _{DD} = 5.0 V	0.5T - 14			ns
		V _{DD} = 3.0 V	0.5T - 14			ns
\overline{WR} ASTB 遅延時間	t _{DWST}	V _{DD} = 5.0 V	0.5T - 9			ns
		V _{DD} = 3.0 V	0.5T - 9			ns
\overline{WR} 口ウ・レベル幅	t _{WWL}	V _{DD} = 5.0 V	(1.5 + n)T - 25			ns
		V _{DD} = 3.0 V	(1.5 + n)T - 30			ns

備考1. T : t_{CYK} = 1/f_{CLK} (f_{CLK} : 内部システム・クロック)

2. a : アドレス・ウエイト時 = 1, それ以外 = 0
3. n : ウエイト数 (n ≥ 0)
4. V_{DD} = 5.0 V時 : T = 79 ns (min.) で計算
5. V_{DD} = 3.0 V時 : T = 159 ns (min.) で計算

AC特性 (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

(2) 外部ウエイト・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス $\overline{\text{WAIT}}$ 入力時間	t _{DAWT}	V _{DD} = 5.0 V			(2 + a)T - 40	ns
		V _{DD} = 3.0 V			(2 + a)T - 60	ns
ASTB $\overline{\text{WAIT}}$ 入力時間	t _{DSTWT}	V _{DD} = 5.0 V			1.5T - 40	ns
		V _{DD} = 3.0 V			1.5T - 60	ns
ASTB $\overline{\text{WAIT}}$ 保持時間	t _{HSTWTH}	V _{DD} = 5.0 V	(0.5 + n)T + 5			ns
		V _{DD} = 3.0 V	(0.5 + n)T + 10			ns
ASTB $\overline{\text{WAIT}}$ 遅延時間	t _{DSTWTH}	V _{DD} = 5.0 V			(1.5 + a)T - 40	ns
		V _{DD} = 3.0 V			(1.5 + a)T - 60	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 入力時間	t _{DRWTL}	V _{DD} = 5.0 V			T - 40	ns
		V _{DD} = 3.0 V			T - 60	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 保持時間	t _{HRWT}	V _{DD} = 5.0 V	nT + 5			ns
		V _{DD} = 3.0 V	nT + 10			ns
★ $\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 遅延時間	t _{DRWTH}	V _{DD} = 5.0 V			(1 + n)T - 40	ns
		V _{DD} = 3.0 V			(1 + n)T - 60	ns
$\overline{\text{WAIT}}$ データ入力時間	t _{DWTID}	V _{DD} = 5.0 V			0.5T - 5	ns
		V _{DD} = 3.0 V			0.5T - 10	ns
$\overline{\text{WAIT}}$ $\overline{\text{RD}}$ 遅延時間	t _{DWTR}	V _{DD} = 5.0 V	0.5T			ns
		V _{DD} = 3.0 V	0.5T			ns
$\overline{\text{WAIT}}$ $\overline{\text{WR}}$ 遅延時間	t _{DWTW}	V _{DD} = 5.0 V	0.5T			ns
		V _{DD} = 3.0 V	0.5T			ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 入力時間	t _{DWWTL}	V _{DD} = 5.0 V			T - 40	ns
		V _{DD} = 3.0 V			T - 60	ns
$\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 保持時間	t _{HWWT}	V _{DD} = 5.0 V	nT + 5			ns
		V _{DD} = 3.0 V	nT + 10			ns
★ $\overline{\text{WR}}$ $\overline{\text{WAIT}}$ 遅延時間	t _{DWWTH}	V _{DD} = 5.0 V			(1 + n)T - 40	ns
		V _{DD} = 3.0 V			(1 + n)T - 60	ns

備考1. T : t_{cyk} = 1/f_{clk} (f_{clk} : 内部システム・クロック)

2. a : アドレス・ウエイト時 = 1 , それ以外 = 0
3. n : ウエイト数 (n ≥ 0)
4. V_{DD} = 5.0 V時 : T = 79 ns (min.) で計算
5. V_{DD} = 3.0 V時 : T = 159 ns (min.) で計算

AC特性 (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

(3) バス・ホールド/リフレッシュ・タイミング

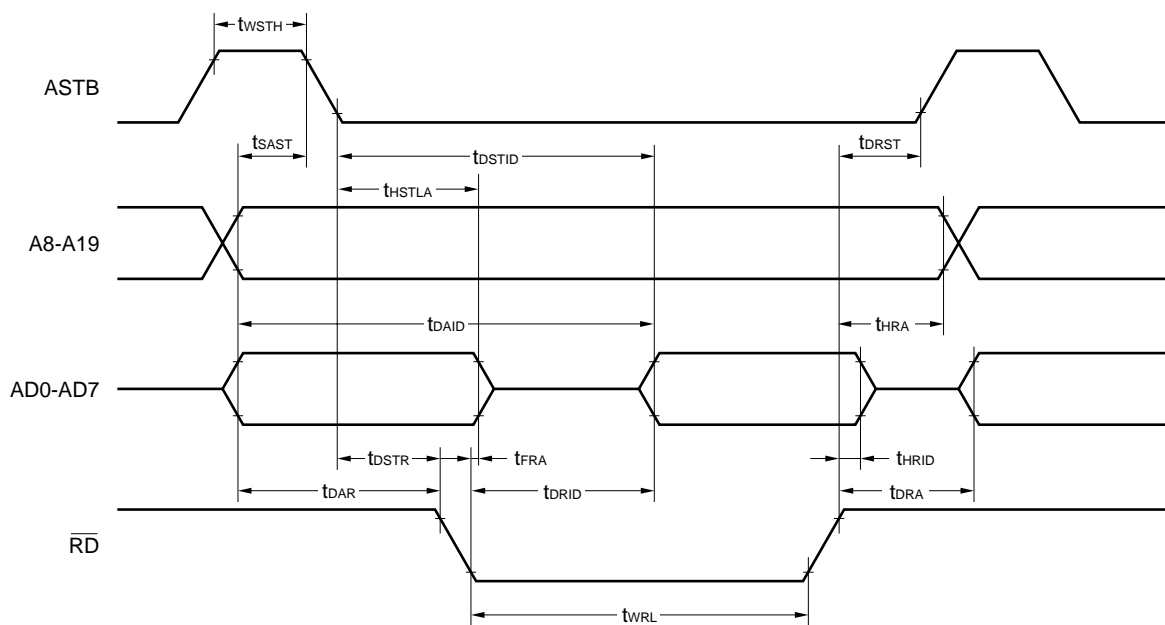
項目	略号	条件	MIN.	TYP.	MAX.	単位
HLDRQ フロート遅延時間	tFHQC	VDD = 5.0 V			(2+4+a+n)T+50	ns
		VDD = 3.0 V			(2+4+a+n)T+50	ns
HLDRQ HLDAC 遅延時間	tDQHHAH	VDD = 5.0 V			(3+4+a+n)T+30	ns
		VDD = 3.0 V			(3+4+a+n)T+40	ns
フロート HLDAC 遅延時間	tDCFHA	VDD = 5.0 V			T + 30	ns
		VDD = 3.0 V			T + 30	ns
HLDRQ HLDAC 遅延時間	tDQLHAL	VDD = 5.0 V			2T + 40	ns
		VDD = 3.0 V			2T + 60	ns
HLDAC アクティブ遅延時間	tDHAC	VDD = 5.0 V	T - 20			ns
		VDD = 3.0 V	T - 30			ns
ランダム・リード/ライトサイクル時間	trc	VDD = 5.0 V	3T			ns
		VDD = 3.0 V	3T			ns
REFRQロウ・レベル・パルス幅	tWRFQL	VDD = 5.0 V	1.5T - 25			ns
		VDD = 3.0 V	1.5T - 30			ns
ASTB REFRQ遅延時間	tDSTRFQ	VDD = 5.0 V	0.5T - 9			ns
		VDD = 3.0 V	0.5T - 9			ns
RD REFRQ遅延時間	tDRRFQ	VDD = 5.0 V	1.5T - 9			ns
		VDD = 3.0 V	1.5T - 9			ns
WR REFRQ遅延時間	tDWRFQ	VDD = 5.0 V	1.5T - 9			ns
		VDD = 3.0 V	1.5T - 9			ns
REFRQ ASTB遅延時間	tDRFQST	VDD = 5.0 V	0.5T - 9			ns
		VDD = 3.0 V	0.5T - 9			ns
REFRQハイ・レベル・パルス幅	tWRFQH	VDD = 5.0 V	1.5T - 25			ns
		VDD = 3.0 V	1.5T - 30			ns

備考1. T : tCYK = 1/fCLK (fCLK : 内部システム・クロック)

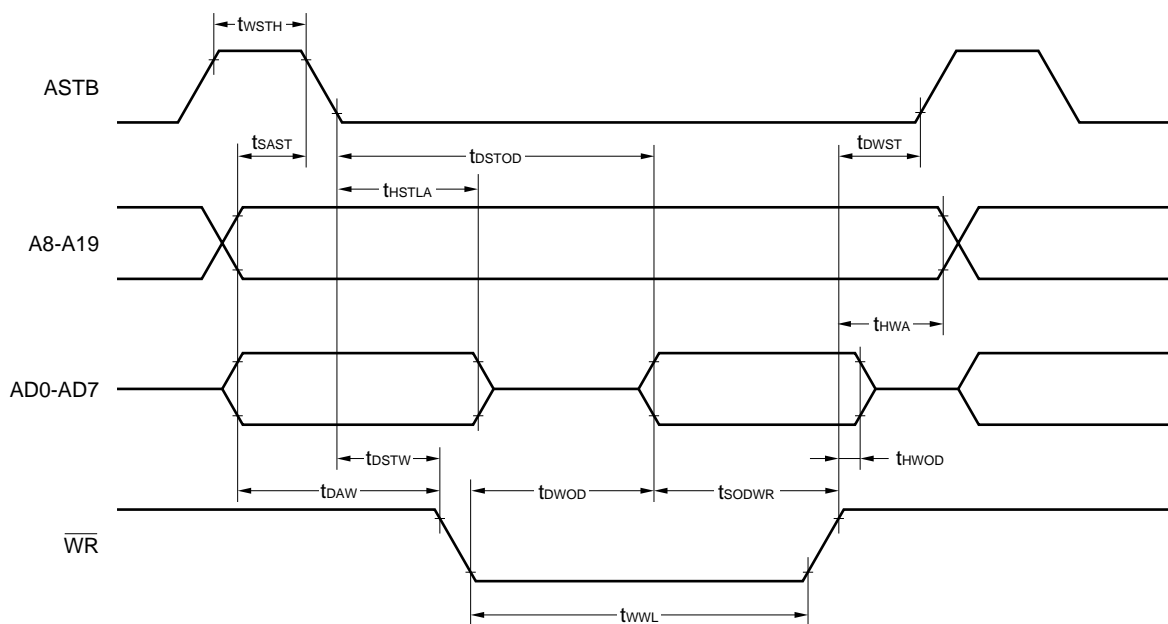
2. a : アドレス・ウエイト時 = 1 , それ以外 = 0
3. n : ウエイト数 (n ≥ 0)
4. VDD = 5.0 V時 : T = 79 ns (min.) で計算
5. VDD = 3.0 V時 : T = 159 ns (min.) で計算

タイミング波形

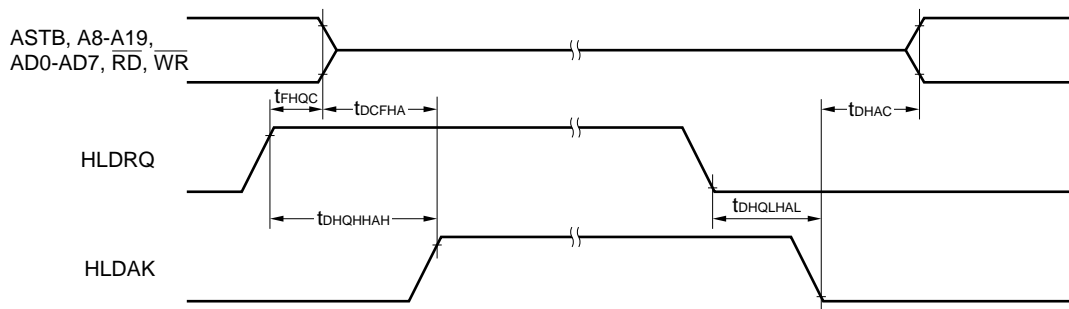
(1) リード・オペレーション



(2) ライト・オペレーション

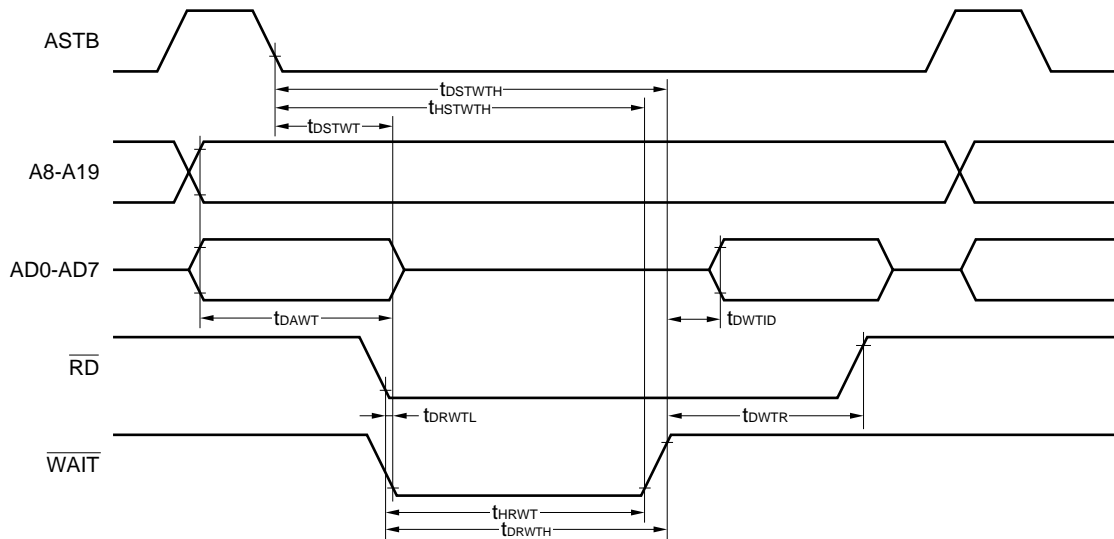


ホールド・タイミング

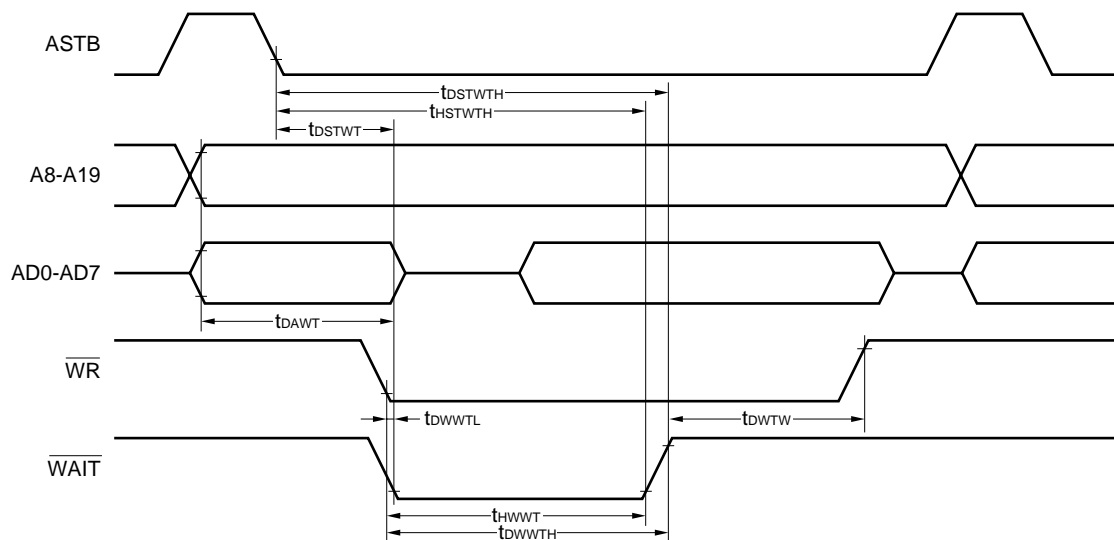


外部WAIT信号入力タイミング

(1) リード・オペレーション

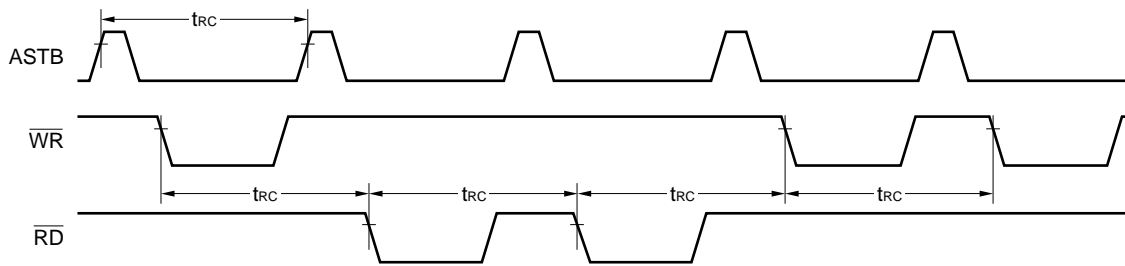


(2) ライト・オペレーション

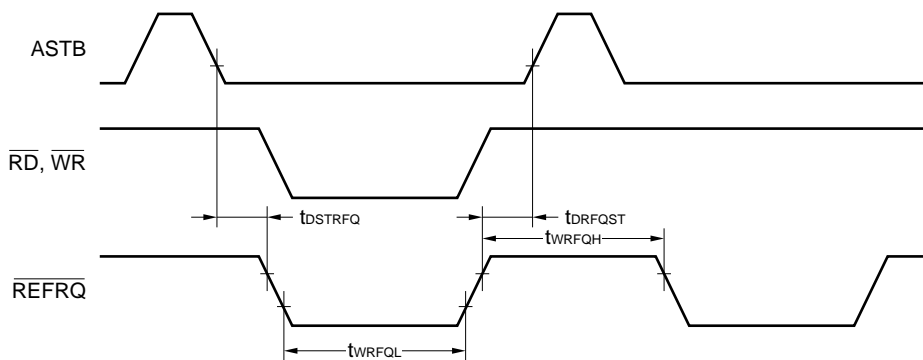


リフレッシュ・タイミング波形

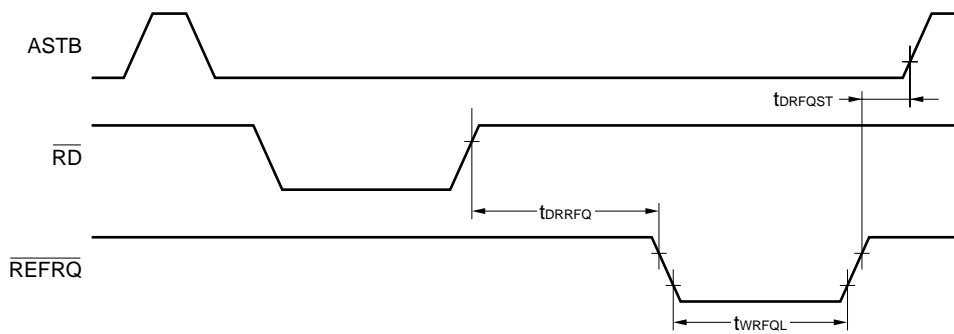
(1) ランダム・リード/ライト・サイクル



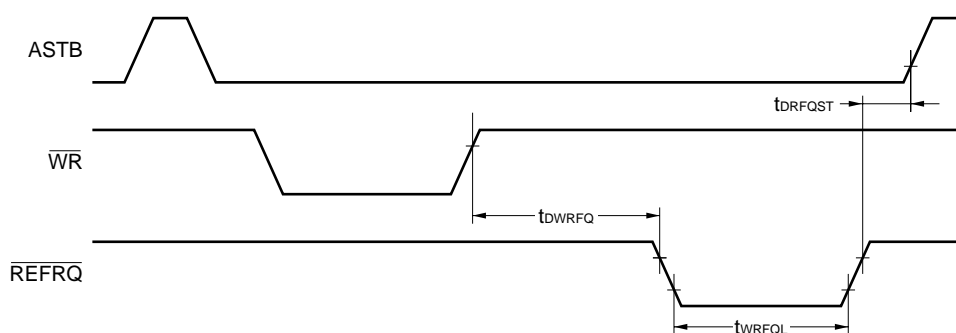
(2) リフレッシュ・メモリ・アクセスが同時の場合



(3) リード後のリフレッシュ



(4) ライト後のリフレッシュ



シリアル・オペレーション (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

(a) CSI0, CSI3 3線式シリアルI/Oモード (SCK0, SCK3...外部クロック入力)

項目	略号	条件	MIN.	MAX.	単位	
SCKサイクル・タイム (SCK0, SCK3)	tcYSK0, tcYSK3	SO0, SO3は, CMOS出力	fCLK = fxx	8/fxx		ns
			fCLK = fxx以外	4/fCLK		ns
SCKロウ・レベル幅 (SCK0, SCK3)	tWSKL0, tWSKL3	SO0, SO3は, CMOS出力	fCLK = fxx	4/fxx - 40		ns
			fCLK = fxx以外	2/fCLK - 40		ns
SCKハイ・レベル幅 (SCK0, SCK3)	tWSKH0, tWSKH3	SO0, SO3は, CMOS出力	fCLK = fxx	4/fxx - 40		ns
			fCLK = fxx以外	2/fCLK - 40		ns
SI0, SI3セットアップ時間 (対SCK0, SCK3)	tSSSK0, tSSSK3		80		ns	
SI0, SI3ホールド時間 (対SCK0, SCK3)	tHSSK0, tHSSK3		1/fCLK + 80		ns	
SCK0, SCK3 出力遅延 時間	tDBSK0, tDBSK3	CMOS出力	0	1/fCLK + 150	ns	
		N-chオープン・ドレイン出力 (RL = 1 kΩ)	0	1/fCLK + 400	ns	
★ SO0, SO3出力保持時間 (対SCK0, SCK3)	tHSBSK0, tHSBSK3	データ転送時	0.5tcYSK0 - 40, 0.5tcYSK3 - 40		ns	

備考1. 表中の数値は, CL = 100 pFのときの値

2. txx : 外付け発振周波数 (fxx = 12.58 MHzまたはfxx = 6.29 MHz)
3. tCLK : システム・クロック発振周波数 (fxx, fxx/2, fxx/4, fxx/8の中からスタンバイ・コントロール・レジスタ (STBC) で選択)

(b) CSI0, CSI3 3線式シリアルI/Oモード (SCK0, SCK3...内部クロック出力)

項目	略号	条件	MIN.	MAX.	単位	
SCKサイクル・タイム (SCK0, SCK3)	tcYSK0, tcYSK3	SO0, SO3は, CMOS出力	fCLK = fxx/8以外	8/fxx		ns
			fCLK = fxx/8	16/fxx		ns
★ SCKロウ・レベル幅 (SCK0, SCK3)	tWSKL0, tWSKL3	SO0, SO3は, CMOS出力	fCLK = fxx/8以外	4/fxx - 40		ns
			fCLK = fxx/8	8/fxx - 40		ns
★ SCKハイ・レベル幅 (SCK0, SCK3)	tWSKH0, tWSKH3	SO0, SO3は, CMOS出力	fCLK = fxx/8以外	4/fxx - 40		ns
			fCLK = fxx/8	8/fxx - 40		ns
SI0, SI3セットアップ時間 (対SCK0, SCK3)	tSSSK0, tSSSK3		80		ns	
SI0, SI3ホールド時間 (対SCK0, SCK3)	tHSSK0, tHSSK3		80		ns	
SCK0, SCK3 出力遅延 時間	tDBSK0, tDBSK3	CMOS出力	0	150	ns	
		N-chオープン・ドレイン出力 (RL = 1 kΩ)	0	400	ns	
★ SO0, SO3出力保持時間 (対SCK0, SCK3)	tHSBSK0, tHSBSK3	データ転送時	0.5tcYSK0 - 40, 0.5tcYSK3 - 40		ns	

備考1. 表中の数値は, CL = 100 pFのときの値

2. txx : 外付け発振周波数 (fxx = 12.58 MHzまたはfxx = 6.29 MHz)
3. tCLK : システム・クロック発振周波数 (fxx, fxx/2, fxx/4, fxx/8の中からスタンバイ・コントロール・レジスタ (STBC) で選択)

シリアル・オペレーション (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

(a) UART0, UART2 (アシンクロナス・シリアル・インタフェース・モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ASCK0, ASCK2サイクル・タイム	tcYASK	4.0 VDD 5.5 V	160			ns
			320			ns
ASCK0, ASCK2ロウ・レベル幅	twASKL	4.0 VDD 5.5 V	65			ns
			120			ns
ASCK0, ASCK2ハイ・レベル幅	twASKH	4.0 VDD 5.5 V	65			ns
			120			ns

シリアル・オペレーション (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

(d) IOE1, IOE2 3線式シリアル/Oモード (SCK1, SCK2...外部クロック入力)

項目	略号	条件	MIN.	MAX.	単位
★ SCKサイクル・タイム (SCK1, SCK2)	t _{CYSK1}	4.0 V _{DD} 5.5 V	640		ns
	t _{CYSK2}		1280		ns
★ SCKロウ・レベル幅 (SCK1, SCK2)	t _{WSKL1}	4.0 V _{DD} 5.5 V	280		ns
	t _{WSKL2}		600		ns
★ SCKハイ・レベル幅 (SCK1, SCK2)	t _{WSKH1}	4.0 V _{DD} 5.5 V	280		ns
	t _{WSKH2}		600		ns
SI0, SI3セットアップ時間 (対SCK1, SCK2)	t _{SSSK1} , t _{SSSK2}		40		ns
SI0, SI3ホールド時間 (対SCK1, SCK2)	t _{HSSK1} , t _{HSSK2}		40		ns
SCK1, SCK2 出力遅延 時間	t _{DSOSK1} , t _{DSOSK2}		0	50	ns
SO1, SO2出力保持時間 (対SCK1, SCK2)	t _{HSOSK1} , t _{HSOSK2}	データ転送時	0.5t _{CYSK1} - 40, 0.5t _{CYSK2} - 40		ns

備考1. 表中の数値は, CL = 100 pFのときの値

2. T : 選択したシリアル・クロック周期, 最小値は8/f_{xx}

(e) IOE1, IOE2 3線式シリアル/Oモード (SCK1, SCK2...内部クロック出力)

項目	略号	条件	MIN.	MAX.	単位
SCKサイクル・タイム (SCK1, SCK2)	t _{CYSK1} , t _{CYSK2}		T		ns
SCKロウ・レベル幅 (SCK1, SCK2)	t _{WSKL1} , t _{WSKL2}		0.5T - 40		ns
SCKハイ・レベル幅 (SCK1, SCK2)	t _{WSKH1} , t _{WSKH2}		0.5T - 40		ns
SI0, SI3セットアップ時間 (対SCK1, SCK2)	t _{SSSK1} , t _{SSSK2}		40		ns
SI0, SI3ホールド時間 (対SCK1, SCK2)	t _{HSSK1} , t _{HSSK2}		40		ns
SCK1, SCK2 出力遅延 時間	t _{DSOSK1} , t _{DSOSK2}		0	50	ns
SO1, SO2出力保持時間 (対SCK1, SCK2)	t _{HSOSK1} , t _{HSOSK2}	データ転送時	0.5t _{CYSK1} - 40, 0.5t _{CYSK2} - 40		ns

備考1. 表中の数値は, CL = 100 pFのときの値

2. T : 選択したシリアル・クロック周期, 最小値は8/f_{xx}

その他のオペレーション (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
NMIハイ, ロウ・レベル幅	tWNIL tWNIH		10			μs
INTP0ハイ, ロウ・レベル幅	tWIT0L tWIT0H		4t _{CYSMP}			s
INTP1-INTP3, CI ハイ, ロウ・レベル幅	tWIT1L tWIT1H		4t _{CYCPU}			s
INTP4, INTP5 ハイ, ロウ・レベル幅	tWIT2L tWIT2H		10			μs
RESETハイ, ロウ・レベル幅 注	tWRSL tWRSH		10			μs

注 電源投入時と、リセットによるSTOP解除時は、 $\overline{\text{RESET}}$ のロウ・レベル幅で発振安定時間を確保してください。
また、電源投入時は必ずRESET = ロウ・レベルの状態、V_{DD}を立ち上げてください。

備考 t_{CYSMP} : ソフトウェアで設定するサンプリング・クロック

t_{CYCPU} : ソフトウェアで設定するCPUクロック

クロック出力オペレーション (TA = -40 ~ +85 , VDD = AVDD = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル時間	t _{CYCL}	nT	79		32000	ns
CLKOUTロウ・レベル時間	t _{CLL}	4.5 V _{DD} 5.5 V	0.5T - 10			ns
			0.5T - 20			ns
CLKOUTハイ・レベル時間	t _{CLH}	4.5 V _{DD} 5.5 V	0.5T - 10			ns
			0.5T - 20			ns
CLKOUT立ち上がり時間	t _{CLR}	4.5 V _{DD} 5.5 V			10	ns
		3.0 V _{DD} 4.5 V			20	ns
CLKOUT立ち下がり時間	t _{CLF}	4.5 V _{DD} 5.5 V			10	ns
		3.0 V _{DD} 4.5 V			20	ns

備考 n : クロック出力分周比, T : t_{CYK} = 1/f_{CLK} (システム・クロック・サイクル・タイム)

IEBusコントローラ (TA = -40 ~ +85 , VDD = AVDD = 4.5 ~ 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBusシステム・クロック 周波数	f _s	モード1		6.29		MHz

備考 IEBusの規格上ではシステム・クロック周波数は6.0 MHzですが、μ PD784938Aでは6.0 MHzのほか、6.29 MHzでの正常動作も保証します。ただし、6.0 MHzと6.29 MHzを混在して使用することはできません。

A/Dコンバータ特性 (TA = -40 ~ +85 , VDD = AVDD = AVREF1 = 3.0 ~ 5.5 V, VSS = AVSS = 0 V)

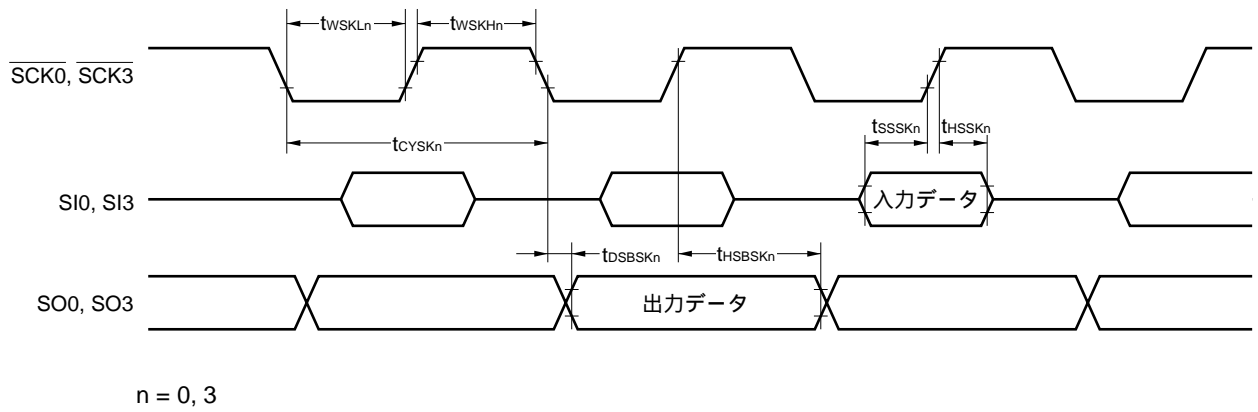
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8			bit
総合誤差 ^{注1}	IEAD = 00H	6.29 MHz f _{xx} 12.58 MHz かつFR = 1以外			0.6	%FSR ^{注2}
		6.29 MHz f _{xx} 12.58 MHz かつFR = 1			1.5	%FSR ^{注2}
	IEAD = 01H	4.5 V _{DD} 5.5 V		1	2.2	%FSR ^{注2}
		3.0 V _{DD} < 5.5 V		1.4	2.6	%FSR ^{注2}
量子化誤差					± 1/2	LSB
変換時間	t _{CONV}	FR = 1 : 120 t _{CYK}	9.5		480	μs
		FR = 0 : 240 t _{CYK}	19.1		960	μs
サンプリング時間	t _{SAMP}	FR = 1 : 18 t _{CYK}	1.4		72	μs
		FR = 0 : 36 t _{CYK}	2.9		144	μs
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF1}	V
アナログ入力インピーダンス	R _{AN}			1000		MΩ
基準電圧	AV _{REF1}		3.0		AV _{DD}	V
AV _{REF1} 抵抗	R _{AVREF1}		3.0	10		kΩ
AV _{REF1} 電流	I _{AREF1}			0.5	1.5	mA
AV _{DD} 電流	I _{ADD1}			2.0	5.0	mA
	I _{ADD2}				20	mA

注1. 量子化誤差 (± 1/2 LSB) を含みません。

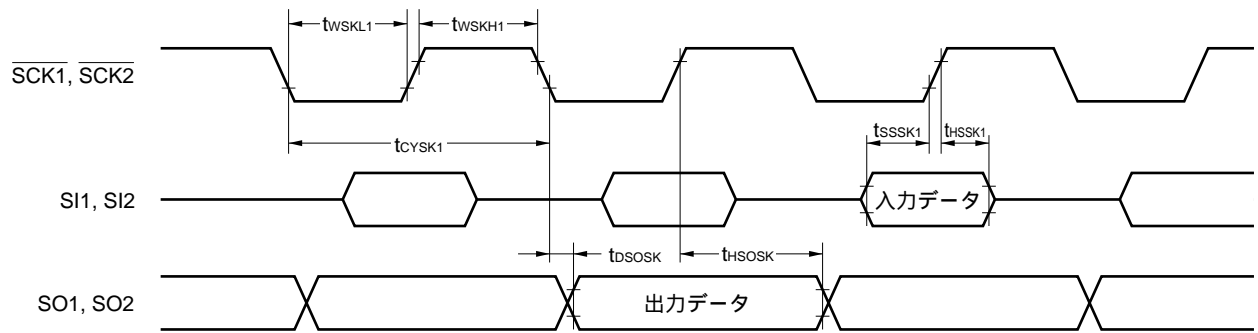
2. フルスケールに対する比率 (%FSR) で表します。

注意 μ PD784938Aのアナログ入力端子は、ポート7 (入出力ポート) と兼用していますが、A/D使用時はポート7のすべての端子を入力ポートに設定してください。このときには、A/Dアナログ入力として使用していない端子でも出力ポートとして使用できません (出力ポートとしてのデータ反転動作が、A/Dの精度を低下させるため)。

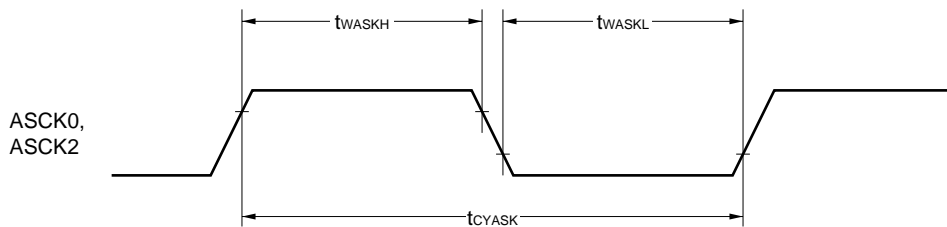
シリアル・オペレーション (CSI, CSI3)



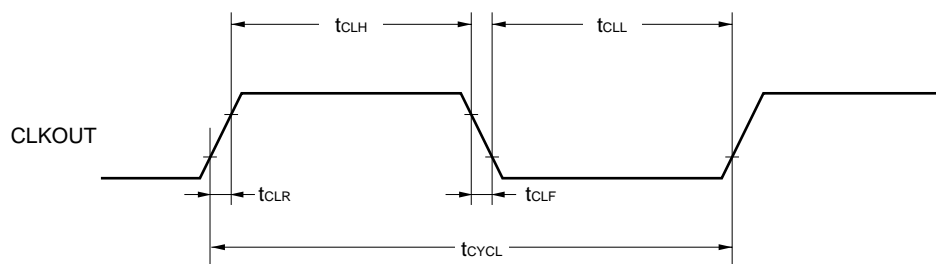
シリアル・オペレーション (IOE1, IOE2)



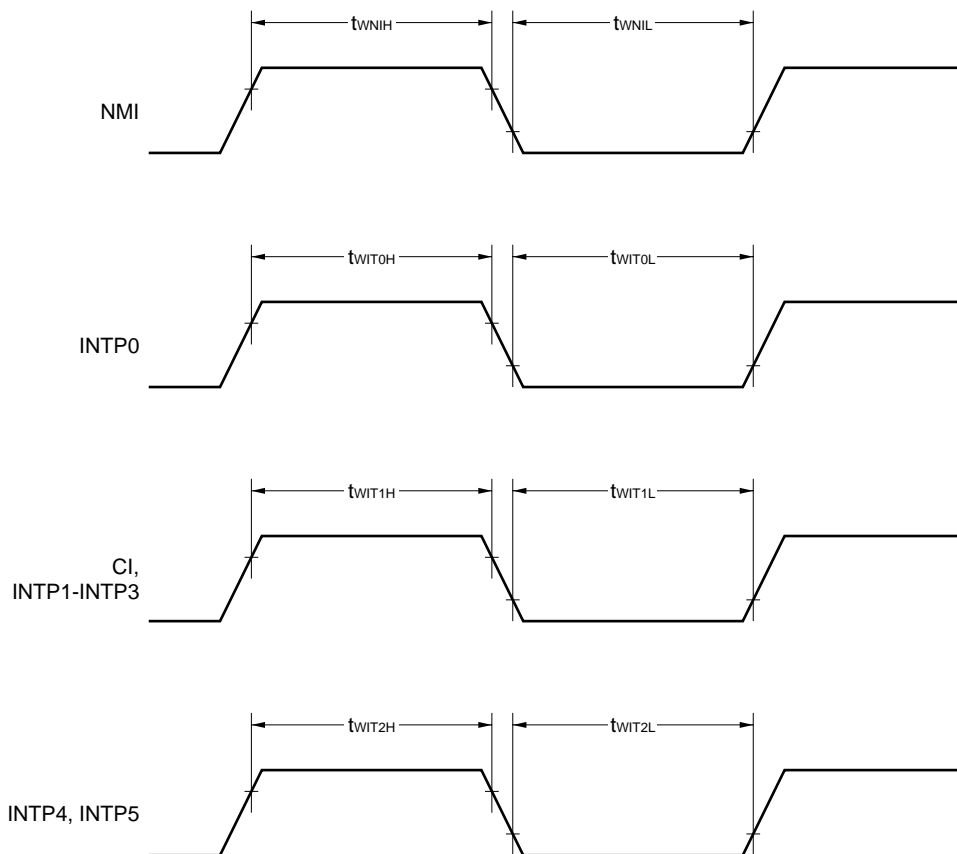
シリアル・オペレーション (UART0, UART2)



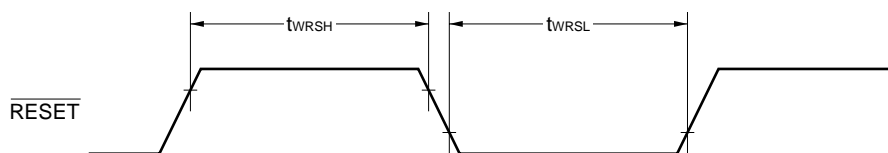
クロック出力タイミング



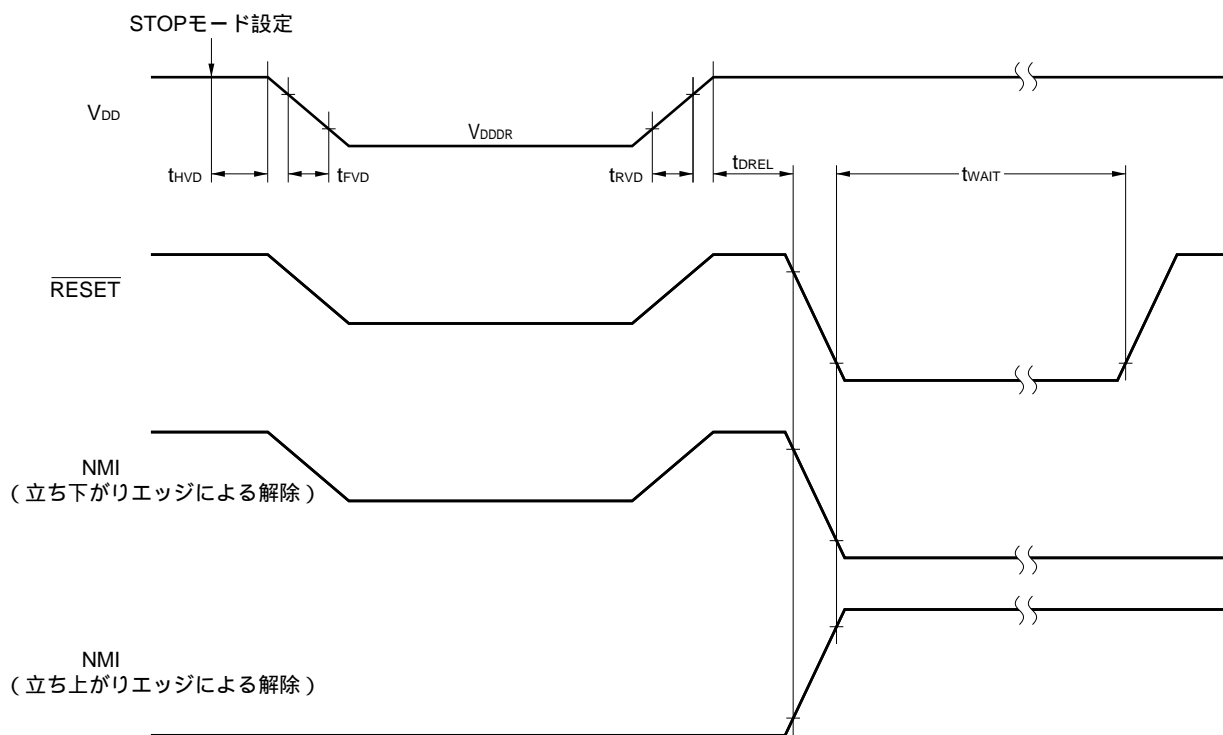
割り込み要求入力タイミング



リセット入力タイミング

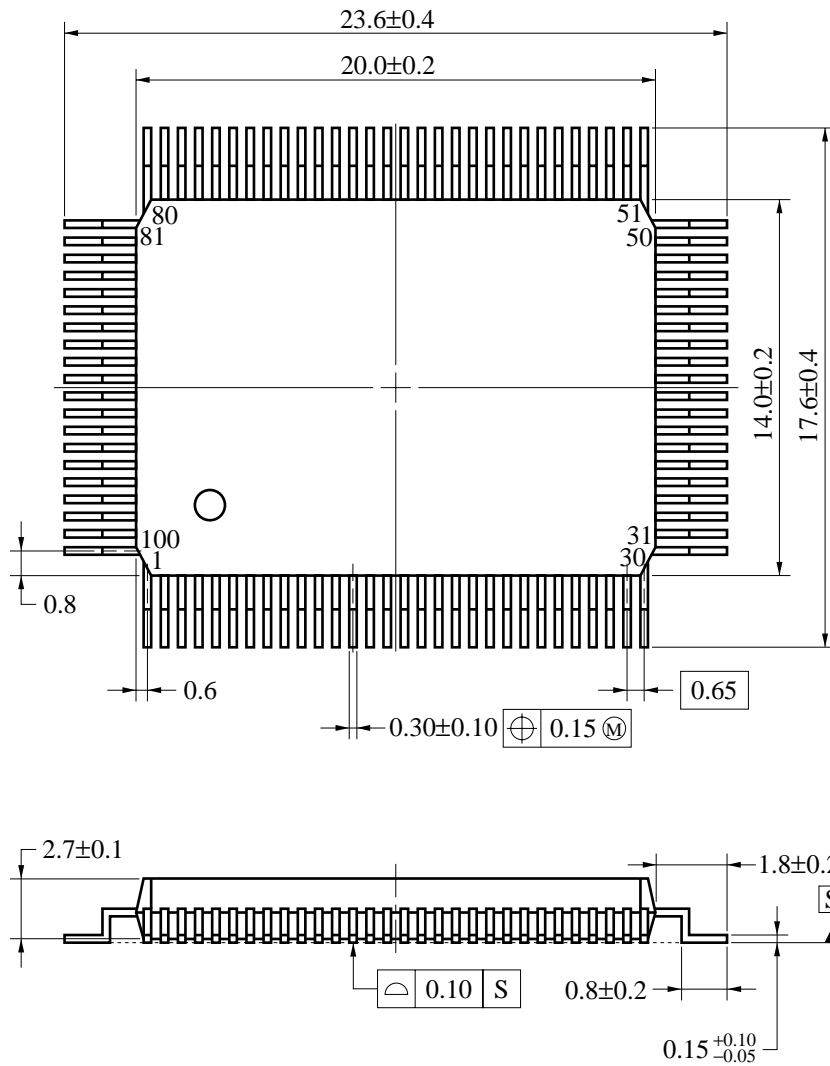


データ保持特性



17. 外形図

★ 100ピン・プラスチック QFP (14x20) 外形図 (単位: mm)



P100GF-65-3BA1-4

備考 ES品の外形や材質は、量産品と同じです。

18. 半田付け推奨条件

μ PD784938Aの半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の詳細は、インフォメーション資料「半導体デバイス実装マニュアル」(C10535J)を参照してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

表18 - 1 表面実装タイプの半田付け条件

μ PD784935AGF- x x x -3BA : 100ピン・プラスチックQFP (14 x 20)

μ PD784936AGF- x x x -3BA : "

μ PD784937AGF- x x x -3BA : "

μ PD784938AGF- x x x -3BA : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上）， 回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上）， 回数：2回以内	VP15-00-2
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：300 以下，時間：3秒以内（デバイスの一辺当たり）	—

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

付録A. 開発ツール

μ PD784938Aを使用するシステム開発のために、次のような開発ツールを用意しています。

(5) 開発ツールを使用する際の注意も参照してください。

(1) 言語処理用ソフトウェア

RA78K4	78K/ シリーズ共通のアセンブラ・パッケージ
CC78K4	78K/ シリーズ共通のCコンパイラ・パッケージ
DF784937	μ PD784938Aサブシリーズ用デバイス・ファイル
CC78K4-L	78K/ シリーズ共通のCコンパイラ・ライブラリ・ソース・ファイル

(2) フラッシュ・メモリ書き込み用ツール

★ Flashpro (PG-FP)	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター。
FA-100GF	100ピン・プラスチックQFP (GF-3BAタイプ)用フラッシュ・メモリ書き込み用アダプタ。 対象製品にあわせて結線が必要です。

(3) デバッグ用ツール

・インサーキット・エミュレータ IE-78K4-NSを使用する場合

IE-78K4-NS	78K/ シリーズ共通のインサーキット・エミュレータ
IE-70000-MC-PS-B	IE-78K4-NS電源ユニット
IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ
IE-70000-CD-IF-C	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なPCカードとケーブル
IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT™互換機を使用するときに必要なインタフェース・アダプタ
IE-784937-NS-EM1	μ PD784938Aサブシリーズをエミュレーションするためのエミュレーション・ボード
NP-100GF	100ピン・プラスチックQFP (GF-3BAタイプ)用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP (GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装するソケット
ID78K4-NS	IE-78K4-NS用統合デバッグ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784937	μ PD784938Aサブシリーズ用デバイス・ファイル

・インサーキット・エミュレータ IE-784000-Rを使用する場合

IE-784000-R	78K/ シリーズ共通のインサーキット・エミュレータ
IE-70000-98-IF-B IE-70000-98-IF-C	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なインタフェース・アダプタ
IE-70000-98N-IF	ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なインタフェース・アダプタとケーブル
IE-70000-PC-IF-B IE-70000-PC-IF-C	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なインタフェース・アダプタ
IE-78000-R-SV3	ホスト・マシンとしてEWSを使用するときのインタフェース・アダプタとケーブル
IE-784937-NS-EM1	μ PD784938Aサブシリーズをエミュレーションするためのエミュレーション・ボード
IE-784000-R-EM	78K/ シリーズ共通のエミュレーション・ボード
IE-78K4-R-EX2	IE-784937-NS-EM1をIE-784000-R上で使用するときに必要なエミュレーション・プローブ変換ボード。
EP-78064GF-R	100ピン・プラスチックQFP (GF-3BAタイプ)用エミュレーション・プローブ
EV-9200GF-100	100ピン・プラスチックQFP (GF-3BAタイプ)用に作られたターゲット・システムの基板上に実装するソケット
ID78K4	IE-784000-R用統合ディバग्ガ
SM78K4	78K/ シリーズ共通のシステム・シミュレータ
DF784937	μ PD784938Aサブシリーズ用デバイス・ファイル

(4) リアルタイムOS

RX78K/	78K/ シリーズ用リアルタイムOS
MX78K4	78K/ シリーズ用OS

(5) 開発ツールを使用する際の注意

- ・ ID78K4-NS, ID78K4, SM78K4は , DF784937と組み合わせて使用します。
- ・ CC78K4, RX78K/ は , RA78K4およびDF784937と組み合わせて使用します。
- ・ Flashpro , FA-100GF, NP-100GFは , 株式会社内藤電誠町田製作所 (TEL (044) 822-3813) の製品です。
- ・ 各ソフトウェアに対応するホスト・マシンとOSは次のとおりです。

ホスト・マシン [OS] ソフトウェア	PC	EWS
		PC-9800シリーズ [Windows] IBM PC/AT互換機 [日本語 / 英語Windows]
RA78K4	注	
CC78K4	注	
ID78K4-NS		-
ID78K4		
SM78K4		-
RX78K/	注	
MX78K4	注	

注 DOSベースのソフトウェアです。

付録B. 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

	資料名	資料番号	
		和文	英文
	μ PD784935A, 784936A, 784937A, 784938A データ・シート	この資料	作成予定
★	μ PD78F4938A データ・シート	U14118J	作成予定
★	μ PD784938サブシリーズ ユーザーズ・マニュアル ハードウェア編	U13987J	U13987E
	μ PD784937サブシリーズ 特殊機能レジスタ活用表	作成予定	-
	78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E
	78K/ シリーズ インストラクション活用表	U10594J	-
	78K/ シリーズ インストラクション・セット	U10595J	-
	78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E

開発ツールの資料 (ユーザーズ・マニュアル)

	資料名	資料番号		
		和文	英文	
	RA78K4 アセンブラ・パッケージ	言語編	U11162J	U11162E
		操作編	U11334J	U11334E
		構造化アセンブラ・プリプロセッサ	U11743J	U11743E
	CC78K4 Cコンパイラ	言語編	U11571J	U11571E
		操作編	U11572J	U11572E
	IE-78K4-NS	U13356J	U13356E	
	IE-784000-R	U12903J	U12903E	
	IE-784937-NS-EM1	作成予定	作成予定	
★	PG-FP3 (フラッシュ・メモリ・プログラマ)	U13502J	U13502E	
	EP-78064	EEU-934	EEU-1469	
	SM78K4 システム・シミュレータ Windowsベース	レファレンス編	U10093J	U10093E
	SM78Kシリーズ システム・シミュレータ Ver.1.40以上	外部部品ユーザ・オープン・インタフェース仕様編	U10092J	U10092E
	ID78K4-NS 統合ディバッガ Windowsベース	レファレンス編	U12796J	U12796E
	ID78K4 統合ディバッガ Windowsベース	レファレンス編	U10440J	U10440E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

組み込み用ソフトウェアの資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
78K/ シリーズ リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	ディバग्ガ編	U10364J	-
★ 78K/ シリーズ用OS MX78K4	基礎編	U11779J	U11779E

その他の資料

資料名		資料番号	
		和文	英文
SEMICONDUCTOR SELECTION GUIDE Products & Packages (CD-ROM)		X13769X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		U10983J	U10983E
静電気放電 (ESD) 破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

CMOSデバイスの一般的注意事項

静電気対策 (MOS全般)

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理 (CMOS特有)

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態 (MOS全般)

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBusは、EEPROMは、日本電気株式会社の商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意ください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

お問い合わせ先

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
 （電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-435-9494
 FAX : 044-435-9608
 E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
名古屋 (052)222-2375	立川 (042)526-5981, 6167	水戸 (029)226-1702
大阪 (06)6945-3178, 3200, 3208, 3212	松本 (0263)35-1662	広島 (082)242-5504
仙台 (022)267-8740	静岡 (054)254-4794	高崎 (027)326-1303
郡山 (024)923-5591	金沢 (076)232-7303	鳥取 (0857)27-5313
千葉 (043)238-8116	松山 (089)945-4149	太田 (0276)46-4014
		名古屋 (052)222-2170, 2190
		福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL (アドレス) <http://www.ic.nec.co.jp/>