

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# μ PD78E9860, 78E9861

8ビット・シングルチップ・マイクロコンピュータ

**保守/廃止**

μ PD78E9860, 78E9861は78K/0Sシリーズ中のμ PD789860, 789861サブシリーズの製品です。

μ PD78E9860はμ PD789860の内部ROM, μ PD78E9861はμ PD789861の内部ROMをそれぞれEEPROM™に置き換えた製品です。

詳しい機能説明などは次のユーザズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD789860, 789861サブシリーズ ユーザズ・マニュアル : 作成予定

78K/0Sシリーズ ユーザズ・マニュアル 命令編 : U11047J

## 特 徴

マスクROM製品とピン・コンパチブル (V<sub>PP</sub>端子を除く)

プログラム・メモリとしてEEPROM内蔵 : 4 Kバイト

RAM領域にプログラムでリード/ライト可能なEEPROM内蔵 : 32バイト

内部高速RAM : 256バイト

システム・クロック発振回路

- ・ μ PD78E9860 : クリスタル/セラミック発振
- ・ μ PD78E9861 : RC発振 (抵抗, コンデンサは外付け)

最小命令実行時間

- ・ μ PD78E9860 : 0.4 μs/1.6 μs (f<sub>x</sub> = 5.0 MHz動作時)
- ・ μ PD78E9861 : 2.0 μs/8.0 μs (f<sub>cc</sub> = 1.0 MHz動作時)

I/Oポート : 14本

タイマ : 3チャンネル

- ・ 8ビット・タイマ/イベント・カウンタ : 1チャンネル
- ・ 8ビット・タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

パワーオン・クリア回路内蔵

ビット・シーケンシャル・バッファ内蔵

電源電圧 : V<sub>DD</sub> = 1.8 ~ 3.6 V

## 応用分野

キーレス・エントリなどの自動車電装など

このペーパ・マシンでは, クリスタル/セラミック発振 (μ PD78E9860) の発振周波数をf<sub>x</sub>, RC発振 (μ PD78E9861) の発振周波数をf<sub>cc</sub>と記述しております。

本資料は, この製品の企画段階で作成していますので, 予告なしに内容を変更することがあります。  
また本資料で扱う製品の製品化を中止することがあります。

## ★ オーダ情報

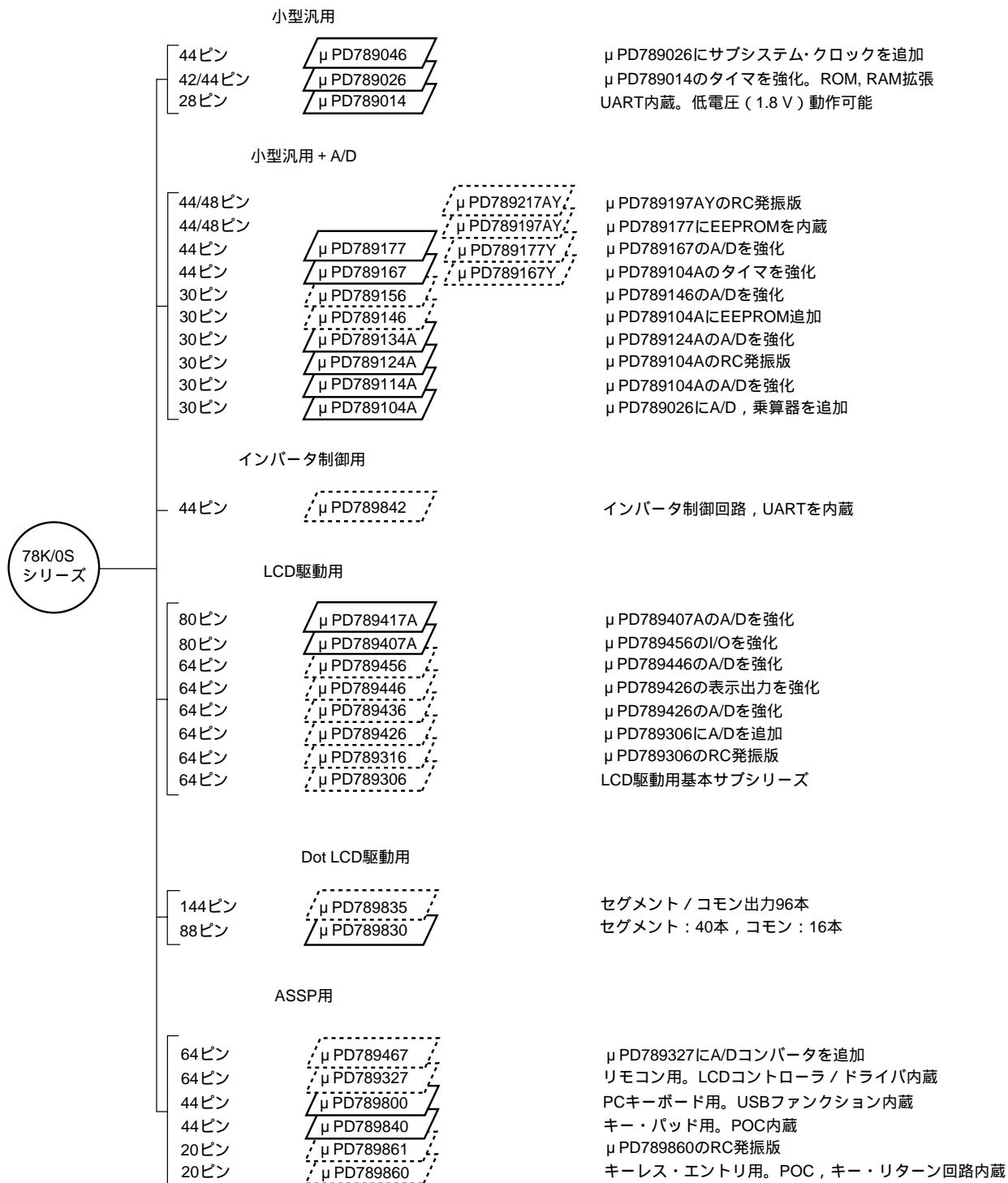
オーダ名称	パッケージ
$\mu$ PD78E9860MC-5A4	20ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )
$\mu$ PD78E9861MC-5A4	"

78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



YサブシリーズはSMB対応の製品です。



各サブシリーズ間の主な機能の違いを次に示します。

機能 サブシリーズ名		ROM容量	8-bit	16-bit	時計	WDT	8-bit A/D	10-bit A/D	シリアル・ インタフェース	I/O	V <sub>DD</sub>	備考		
											最小値			
小型 汎用	μ PD789046	16 K	1ch	1ch	1ch	1ch	-	-	1ch (UART : 1ch)	34本	1.8 V	-		
	μ PD789026	4 K-16 K			-									
	μ PD789014	2 K-4 K	2 ch	-						22本				
小型 汎用 + A/D	μ PD789177	16 K-24 K	3 ch	1 ch	1 ch	1 ch	-	8 ch	1 ch (UART : 1 ch)	31本	1.8 V	-		
	μ PD789167						8 ch	-						
	μ PD789156	8 K-16 K	1 ch	-	-	-	4 ch	20本	-	-		EEPROM内蔵		
	μ PD789146					4 ch	-							
	μ PD789134A	2 K-8 K					-	4 ch					RC発振版	
	μ PD789124A						4 ch	-						
	μ PD789114A						-	4 ch						
	μ PD789104A						4 ch	-						
インバー タ制御用	μ PD789842	8 K-16 K	3 ch	注	1 ch	1 ch	8 ch	-	1 ch (UART : 1 ch)	30本	4.0 V	-		
LCD 駆動用	μ PD789417A	12 K-24 K	3 ch	1 ch	1 ch	1 ch	-	7 ch	1 ch (UART : 1 ch)	43本	1.8 V	-		
	μ PD789407A						7 ch	-						
	μ PD789456	12 K-16 K	2 ch				-	6 ch		30本				
	μ PD789446						6 ch	-						
	μ PD789436						-	6 ch						
	μ PD789426	8 K-16 K					6 ch	-		40本				
	μ PD789316						-							
μ PD789306	2 ch (UART : 1 ch)						23本							
Dot LCD 駆動用	μ PD789835	24 K-60 K	6 ch	-	1 ch	1 ch	2 ch	-	1 ch	27本	1.8 V	-		
	μ PD789830	24 K	1 ch	1 ch			-		1 ch (UART : 1 ch)	30本	2.7 V			
ASSP	μ PD789467	4 K-24 K	2 ch	-	1 ch	1 ch	1 ch	-	-	18本	1.8 V	LCD内蔵		
	μ PD789327		3 ch						1 ch					
	μ PD789800	8 K	2 ch	1 ch	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-		
	μ PD789840						4 ch			1 ch	29本	2.8 V		
	μ PD789861	4 K										RC発振版, EEPROM内蔵		
	μ PD789860												-	

注 10ビット・タイマ : 1チャンネル

機能概要

項目		品名	μ PD78E9860	μ PD78E9861
内部メモリ	プログラム・メモリ	EEPROM	4 Kバイト	
	データ・メモリ	高速RAM	128バイト	
		EEPROM	32バイト	
発振回路			セラミック / クリスタル発振回路	RC発振回路
最小命令実行時間			0.4 μs / 1.6 μs (fx = 5.0 MHz動作時)	2.0 μs / 8.0 μs (fcc = 1.0 MHz動作時)
汎用レジスタ			8ビット × 8レジスタ	
命令セット			<ul style="list-style-type: none"> <li>・ 16ビット演算</li> <li>・ ビット操作 (セット, リセット, テスト) など</li> </ul>	
I/Oポート			合計 : 14本 CMOS入出力 : 10本 CMOS入力 : 4本	
タイマ			<ul style="list-style-type: none"> <li>・ 8ビット・タイマ / イベント・カウンタ : 1チャンネル</li> <li>・ 8ビット・タイマ : 1チャンネル</li> <li>・ ウォッチドッグ・タイマ : 1チャンネル</li> </ul>	
パワーオン・クリア回路	POC回路		電源電圧と検出電圧の比較により内部リセット信号を発生	
	LVI回路		電源電圧と検出電圧の比較により割り込み要求信号を発生	
ビット・シーケンス・バッファ			8ビット × 8ビット = 16ビット	
キー・リターン機能			立ち下がりエッジ検出により, キー・リターン信号を発生	
ベクタ割り込み要因	マスカブル		内部 : 5	
	ノンマスカブル		内部 : 1, 外部 : 1	
電源電圧			V <sub>DD</sub> = 1.8 ~ 3.6 V	
動作周囲温度			T <sub>A</sub> = - 40 ~ + 85	
★ パッケージ			20ピン・プラスチックSSOP ( 7.62 mm ( 300 ) )	

## 目 次

1. 端子接続図 (Top View) ...	8
2. ブロック図 ...	9
3. 端子機能一覧 ...	10
3.1 ポート端子 ...	10
3.2 ポート以外の端子 ...	10
3.3 端子の入出力回路と未使用端子の処理 ...	11
4. CPUアーキテクチャ ...	12
4.1 メモリ空間 ...	12
4.2 データ・メモリ・アドレッシング ...	13
4.3 プロセッサ・レジスタ ...	14
5. EEPROM (データ・メモリ) ...	17
5.1 EEPROMの機能 ...	17
5.2 EEPROMの構成 ...	17
5.3 EEPROMを制御するレジスタ ...	17
5.4 EEPROM書き込み時の注意事項 ...	20
6. 周辺ハードウェア機能 ...	22
6.1 ポート ...	22
6.2 クロック発生回路 ( $\mu$ PD78E9860) ...	25
6.3 クロック発生回路 ( $\mu$ PD78E9861) ...	27
6.4 8ビット・タイマ/イベント・カウンタ ...	29
6.5 ウォッチドッグ・タイマ ...	38
6.6 パワーオン・クリア回路 ...	42
6.7 ビット・シーケンシャル・バッファ ...	47
6.8 キー・リターン回路 ...	49
7. 割り込み機能 ...	50
7.1 割り込み機能の種類 ...	50
7.2 割り込み要因と構成 ...	50
7.3 割り込み機能を制御するレジスタ ...	52
8. スタンバイ機能 ...	55
8.1 スタンバイ機能 ...	55
8.2 スタンバイ機能を制御するレジスタ ( $\mu$ PD78E9860のみ) ...	57
9. リセット機能 ...	58



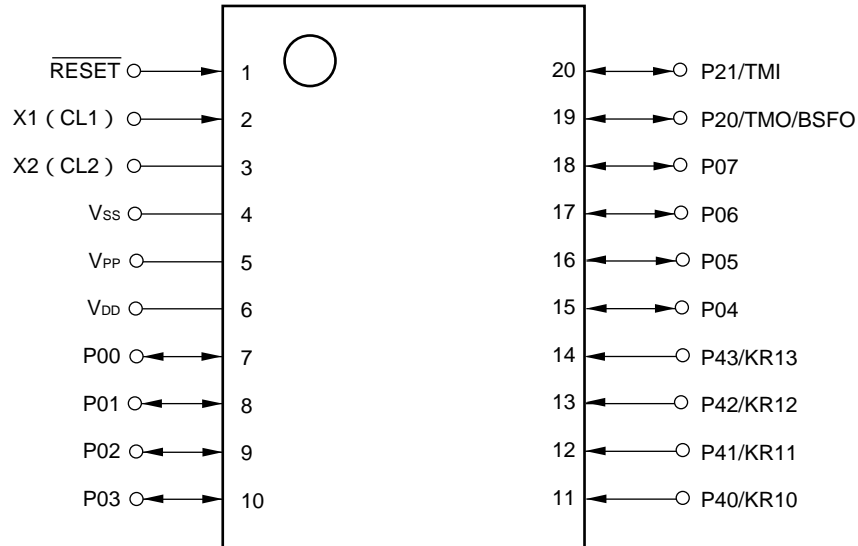
10. EEPROM (プログラム・メモリ) ...	60
10.1 通信方式の選択 ...	60
10.2 フラッシュ・メモリ・プログラミングの機能 ...	61
10.3 Flashpro の接続例 ...	61
10.4 Flashpro (PG-FP3)での設定例 ...	62
11. 命令セットの概要 ...	63
11.1 凡 例 ...	63
11.2 オペレーション一覧 ...	65
12. 電気的特性 ...	70
13. 外形図 ...	80
付録A. EEPROM製品とマスクROM製品の違い ...	81
付録B. 開発ツール ...	82
付録C. 関連資料 ...	83

1. 端子接続図 (Top View)

★ ・20ピン・プラスチックSSOP (7.62 mm (300))

μ PD78E9860MC-5A4

μ PD78E9861MC-5A4

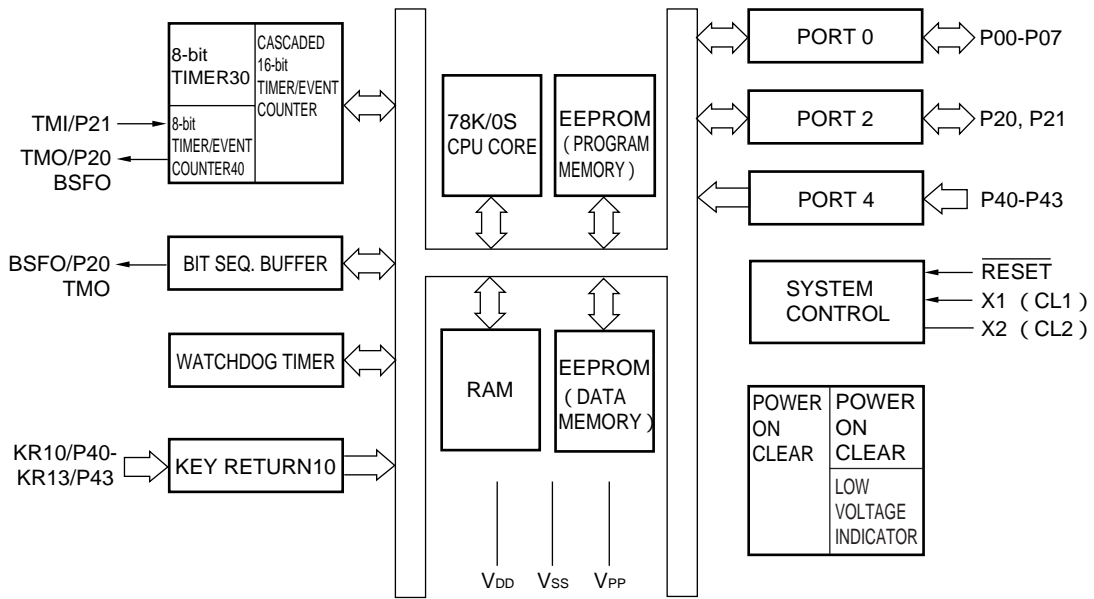


注意 V<sub>PP</sub>端子はV<sub>SS</sub>に直接接続してください。

備考 ( )内は, μ PD78E9861のとき

BSFO	: Bit Sequential Buffer Output	TMI	: Timer Input
CL1, CL2	: RC Oscillator	TMO	: Timer Output
KR10-KR13	: Key Return	V <sub>DD</sub>	: Power Supply
P00-P07	: Port 0	V <sub>PP</sub>	: Programming Power Supply
P20, P21	: Port 2	V <sub>SS</sub>	: Ground
P40-P43	: Port 4	X1, X2	: Crystal/ceramic Oscillator
$\overline{\text{RESET}}$	: Reset		

2. ブロック図



備考 ( )内は, μ PD78E9861のとき

3. 端子機能一覧

3.1 ポート端子

端子名称	入出力	機能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	-
P20	入出力	ポート2。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	TMO/BSFO
P21				TMI
P40-P43	入力	ポート4。 4ビット入力専用ポート。	入力	KR10-KR13

3.2 ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
TMI	入力	8ビット・タイマ (TM40) 入力	入力	P21
TMO	出力	8ビット・タイマ (TM40) 出力	入力	P20/BSFO
BSFO	出力	ビット・シーケンシャル・バッファ (BSF10) 出力	入力	P20/TMO
KR10-KR13	入力	キー・リターン入力	入力	P40-P43
X1 <sup>注1</sup>	入力	システム・クロック発振用セラミック / クリスタル接続	-	-
X2 <sup>注1</sup>	-		-	-
CL1 <sup>注2</sup>	入力	システム・クロック発振用抵抗 (R), コンデンサ (C) 接続	-	-
CL2 <sup>注2</sup>	-		-	-
RESET	入力	システム・リセット入力	入力	-
V <sub>DD</sub>	-	正電源	-	-
V <sub>SS</sub>	-	グランド電位	-	-
V <sub>PP</sub>	-	EEPROMプログラミング・モード設定。プログラミング書き込み / ベリファイ時の高電圧印加。通常動作モード時は, V <sub>SS</sub> に直接接続してください。	-	-

注1 . μ PD78E9860のみ

2 . μ PD78E9861のみ

3.3 端子の入出力回路と未使用端子の処理

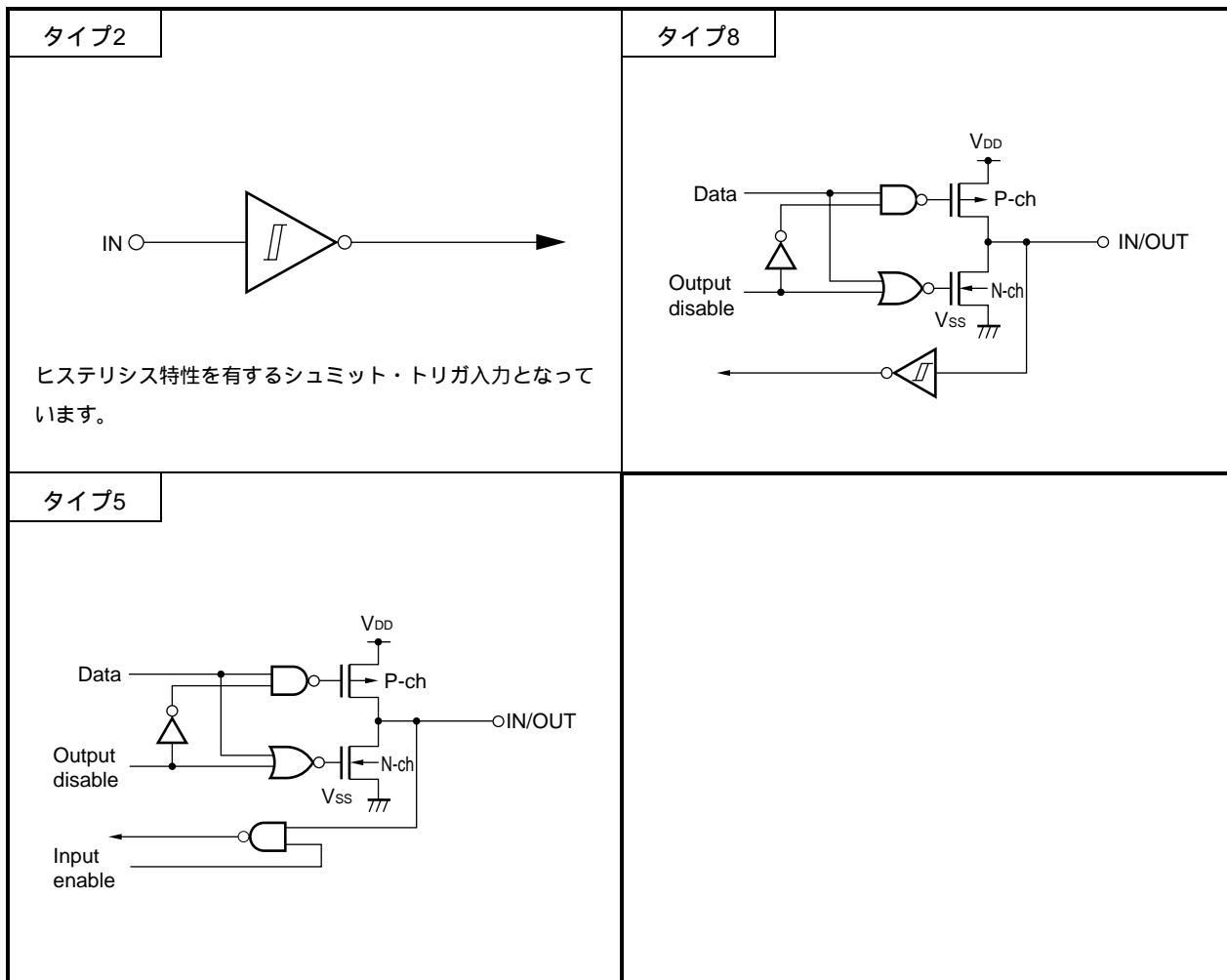
各端子の入出力回路タイプと未使用端子の処理を表3 - 1に示します。

また、各タイプの入出力回路の構成は、図3 - 1を参照してください。

表3 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P20/TMO/BSFO	8		
P21/TMI	8		
P40/KR10-P43/KR13	2		
RESET	-		
V <sub>PP</sub>	-	-	V <sub>SS</sub> に直接接続してください。

図3 - 1 端子の入出力回路一覧

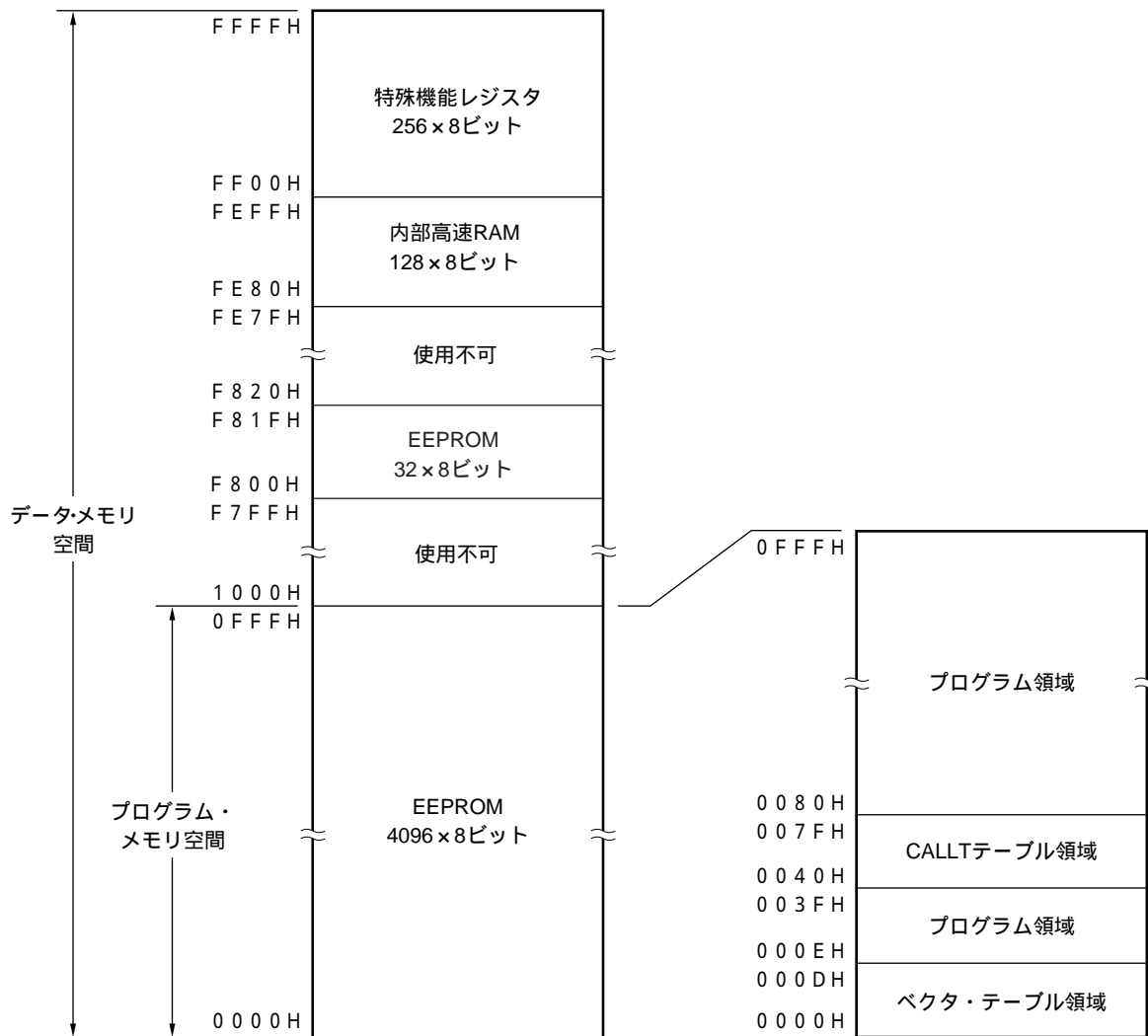


4. CPUアーキテクチャ

4.1 メモリ空間

μ PD78E9860, 78E9861は、それぞれ64 Kバイトのメモリ空間をアクセスできます。図4 - 1に、メモリ・マップを示します。

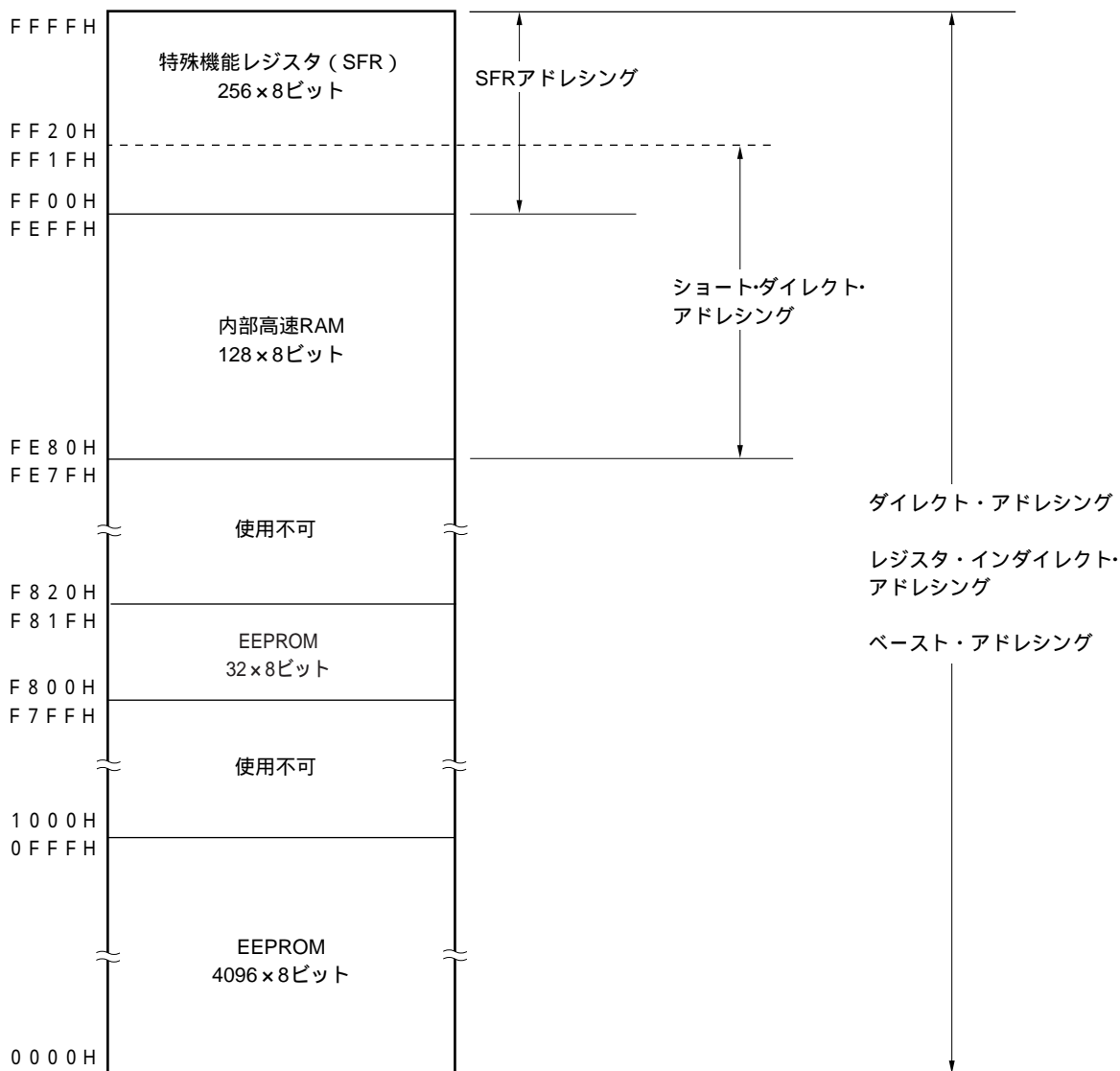
図4 - 1 メモリ・マップ



4.2 データ・メモリ・アドレッシング

μ PD78E9860, 78E9861は、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FE80H-FFFFH）では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図4 - 2にデータ・メモリのアドレッシングを示します。

図4 - 2 データ・メモリのアドレッシング



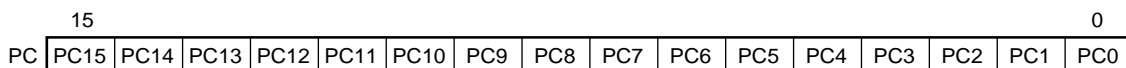
4.3 プロセッサ・レジスタ

4.3.1 制御レジスタ

(1) プログラム・カウンタ (PC)

次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

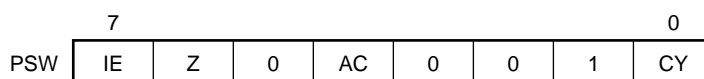
図4 - 3 プログラム・カウンタの構成



(2) プログラム・ステータス・ワード (PSW)

命令実行結果によるCPUのステータスを示す8ビット・レジスタです。

図4 - 4 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

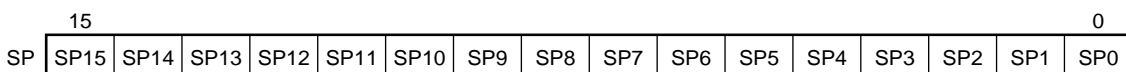
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FE80H-FEFFFH) のみ設定可能です。

図4 - 5 スタック・ポインタの構成



**注意** SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。



4.3.2 汎用レジスタ

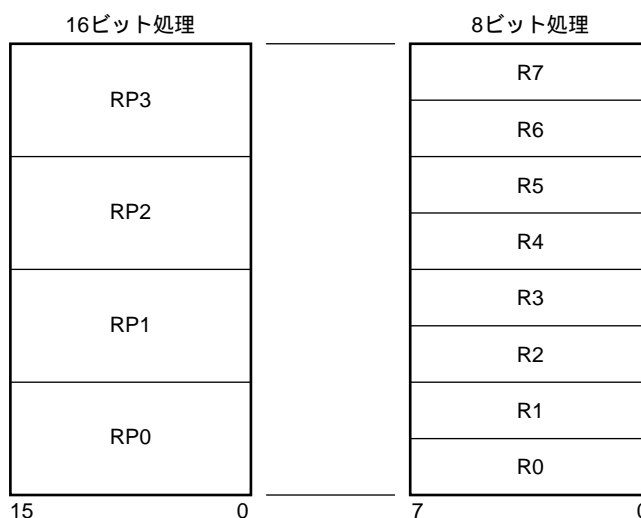
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

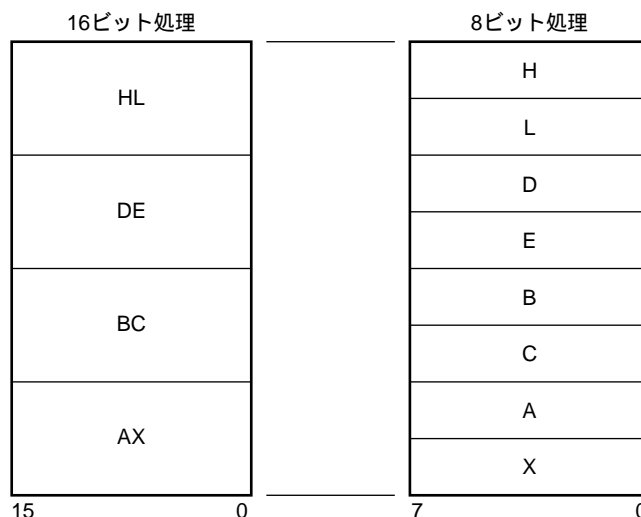
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図4 - 6 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



4.3.3 特殊機能レジスタ (SFR)

周辺ハードウェアのモード・レジスタ, コントロール・レジスタなどの特別な機能を持つレジスタです。FF00H-FFFFHの256バイト空間にマッピングされています。

なお, ビット名称がRA78K0Sで予約語に, CC78K0Sでsfrbit.hというヘッダ・ファイルで定義済みとなっているものについては, 各レジスタ・フォーマットのビット番号を で囲んでいます。6.周辺ハードウェア機能の各レジスタ・フォーマットを参照してください。

表4-1 特殊機能レジスタ一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W			-	00H
FF02H	ポート2	P2				-	
FF04H	ポート4	P4	R			-	
FF10H	ビット・シーケンシャル・バッファ10データ・レジスタL	BSFRL10	W	-		注1	不定
FF11H	ビット・シーケンシャル・バッファ10データ・レジスタH	BSFRH10		-			
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF22H	ポート・モード・レジスタ2	PM2				-	
★ FF42H	タイマ・クロック選択レジスタ2	TCL2		-		-	00H
FF50H	8ビット・コンペア・レジスタ30	CR30	W	-		-	不定
FF51H	8ビット・タイマ・カウンタ30	TM30	R	-		-	00H
FF52H	8ビット・タイマ・モード・コントロール・レジスタ30	TMC30	R/W			-	
FF53H	8ビット・コンペア・レジスタ40	CR40	W	-		-	不定
FF54H	8ビット・コンペア・レジスタH40	CRH40		-		-	
FF55H	8ビット・タイマ・カウンタ40	TM40	R	-		-	00H
FF56H	8ビット・タイマ・モード・コントロール・レジスタ40	TMC40	R/W			-	
FF57H	キャリア・ジェネレータ出力コントロール・レジスタ40	TCA40	W	-		-	
FF60H	ビット・シーケンシャル・バッファ出力コントロール・レジスタ10	BSFC10	R/W			-	
FFD8H	EEPROMライト・コントロール・レジスタ10	EEWC10				-	08H
FFDDH	パワーオン・クリア・レジスタ1	POCF1				-	00H <sup>注2</sup>
FFDEH	低電圧検出レジスタ1	LVIF1				-	00H
FFDFH	低電圧検出レベル選択レジスタ1	LVIS1				-	
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-	
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	00H
FFFAH	発振安定時間選択レジスタ <sup>注3</sup>	OSTS		-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

注1. 16ビット・アクセス時はFF10Hのアドレスを直接指定してください。

2. パワーオン・クリアによるリセットのみ04Hとなります。

3. μ PD78E9860のみ

5. EEPROM (データ・メモリ)

5.1 EEPROMの機能

μ PD78E9860, 78E9861は、データ・メモリとして、内部高速RAMのほかに、32×8ビットのEEPROM( Electrically Erasable PROM )、プログラム・メモリとして4096×8ビットのEEPROMを内蔵しています。

ここでは、データ・メモリとして使用するEEPROMについて説明します(プログラム・メモリとして使用するEEPROMについては10. EEPROM (プログラム・メモリ) 参照)。

EEPROMは、通常のRAMとは異なり、電源を切ってもその内容を保持できます。また、EPROMとは異なり、紫外線を用いずに電気的な内容を消去することができます。

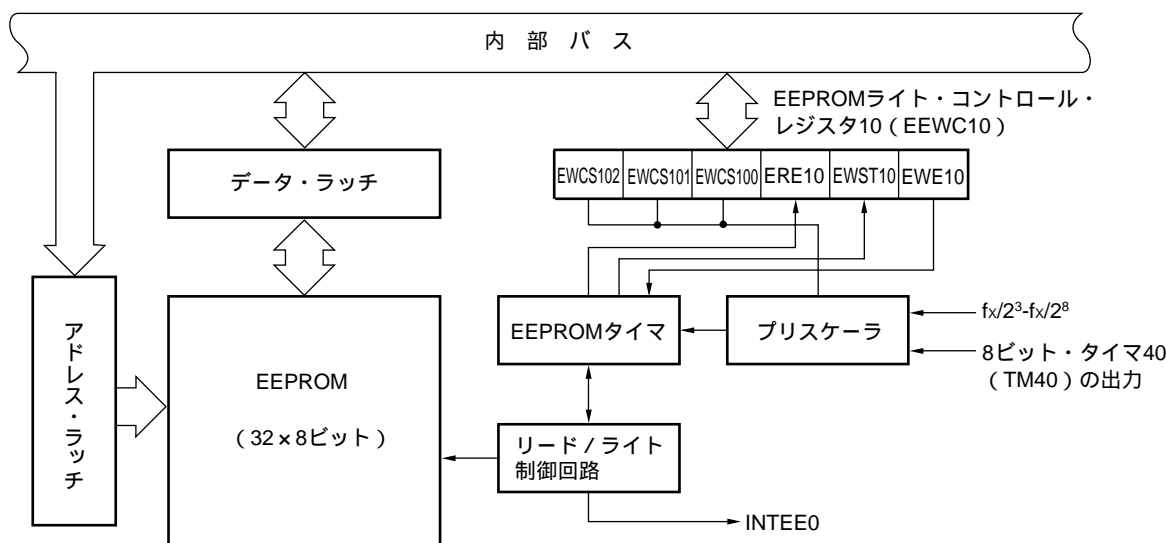
EEPROMの操作は、8ビット・メモリ操作命令で行います。

5.2 EEPROMの構成

EEPROMは、EEPROM本体と、コントロール部で構成されています。

コントロール部は、EEPROMの書き込みを制御するEEPROMライト・コントロール・レジスタ10 (EEWC10) と、書き込み終了を検出して割り込み要求信号 (INTEE0) を発生する部分で構成されています。

図5 - 1 EEPROMのブロック図



5.3 EEPROMを制御するレジスタ

EEPROMは、EEPROMライト・コントロール・レジスタ10 (EEWC10) で制御します。

EEWC10は、EEPROMのカウント・クロックの選択、EEPROMへの書き込みの制御などを設定するレジスタです。

EEWC10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、08Hになります。

図5 - 2にEEPROMライト・コントロール・レジスタ10のフォーマット図を、表5 - 1、表5 - 2にEEPROM書き込み時間を示します。

図5 - 2 EEPROMライト・コントロール・レジスタ10のフォーマット

略号	7	6	5	4	3		0	アドレス	リセット時	R/W	
EEWC10	0	EWCS102	EWCS101	EWCS100	1	ERE10	EWST10	EWE10	FFD8H	08H	R/W <sup>注</sup>

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウンタ・クロックの選択	
			fx = 5.0 MHz動作時	fcc = 1.0 MHz動作時
0	0	0	$f_x/2^3$ (625 kHz)	$f_{cc}/2^3$ (125 kHz)
0	0	1	$f_x/2^4$ (313 kHz)	$f_{cc}/2^4$ (62.5 kHz)
0	1	0	$f_x/2^5$ (156 kHz)	$f_{cc}/2^5$ (31.3 kHz)
0	1	1	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (15.6 kHz)
1	0	0	$f_x/2^7$ (39.1 kHz)	$f_{cc}/2^7$ (7.81 kHz)
1	0	1	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (3.91 kHz)
1	1	0	8ビット・タイマ40の出力	
1	1	1	設定禁止	

ERE10	EWE10	書き込み	読み出し	備考
0	0	禁止	禁止	EEPROMはスタンバイ状態 (低消費電力モード)
0	1	設定禁止		
1	0	禁止	許可	
1	1	許可	許可	

EWST10	EEPROMの書き込みステータス・フラグ
0	EEPROMへの書き込み中ではない (EEPROMへの書き込み / 読み出しが可能。ただし, EWE10 = 0のときは書き込み禁止)
1	EEPROMへの書き込み中 (EEPROMへの書き込み / 読み出しはできない)

注 ビット1はRead Onlyです。

注意 ビット3には必ず1を, ビット7には必ず0を設定してください。

備考1. fx : システム・クロック発振周波数 (セラミック / クリスタル発振)

2. fcc : システム・クロック発振周波数 (RC発振)

表5 - 1 EEPROMの書き込み時間 (fx = 5.0 MHz動作時)

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウンタ・クロック	EEPROMへのデータ書き込み時間 <sup>注1</sup>
0	0	0	$f_x/2^3$ (625 kHz)	$2^3/f_x \times 145$ (設定禁止) <sup>注2</sup>
0	0	1	$f_x/2^4$ (313 kHz)	$2^4/f_x \times 145$ (設定禁止) <sup>注2</sup>
0	1	0	$f_x/2^5$ (156 kHz)	$2^5/f_x \times 145$ (設定禁止) <sup>注2</sup>
0	1	1	$f_x/2^6$ (78.1 kHz)	$2^6/f_x \times 145$ (設定禁止) <sup>注2</sup>
1	0	0	$f_x/2^7$ (39.1 kHz)	$2^7/f_x \times 145$ (3.71 ms)
1	0	1	$f_x/2^8$ (19.5 kHz)	$2^8/f_x \times 145$ (設定禁止) <sup>注2</sup>
1	1	0	8ビット・タイマ40の出力	8ビット・タイマ40の出力 × 145
1	1	1	設定禁止	

注1 . EEPROM書き込み時間は必ず3.3 ~ 6.6 msの範囲内に設定してください。

EEPROM書き込み時間のスペック値は、製品の開発段階での目標値です。評価後、変更する可能性がありますので、設計の際には評価後作成されるデータ・シートを必ず参照してください。

2 . EEPROM書き込み時間が3.3 ~ 6.6 msの条件に満たないため、設定禁止です。

備考 fx : システム・クロック発振周波数 (セラミック/クリスタル発振)

表5 - 2 EEPROMの書き込み時間 (fcc = 1.0 MHz動作時)

EWCS102	EWCS101	EWCS100	EEPROMタイマのカウンタ・クロック	EEPROMへのデータ書き込み時間 <sup>注1</sup>
0	0	0	$f_{cc}/2^3$ (125 kHz)	$2^3/f_{cc} \times 145$ (設定禁止) <sup>注2</sup>
0	0	1	$f_{cc}/2^4$ (62.5 kHz)	$2^4/f_{cc} \times 145$ (設定禁止) <sup>注2</sup>
0	1	0	$f_{cc}/2^5$ (31.3 kHz)	$2^5/f_{cc} \times 145$ (4.64 ms)
0	1	1	$f_{cc}/2^6$ (15.6 kHz)	$2^6/f_{cc} \times 145$ (設定禁止) <sup>注2</sup>
1	0	0	$f_{cc}/2^7$ (7.81 kHz)	$2^7/f_{cc} \times 145$ (設定禁止) <sup>注2</sup>
1	0	1	$f_{cc}/2^8$ (3.91 kHz)	$2^8/f_{cc} \times 145$ (設定禁止) <sup>注2</sup>
1	1	0	8ビット・タイマ40の出力	8ビット・タイマ40の出力 × 145
1	1	1	設定禁止	

注1 . EEPROM書き込み時間は必ず3.3 ~ 6.6 msの範囲内に設定してください。

EEPROM書き込み時間のスペック値は、製品の開発段階での目標値です。評価後、変更する可能性がありますので、設計の際には評価後作成されるデータ・シートを必ず参照してください。

2 . EEPROM書き込み時間が3.3 ~ 6.6 msの条件に満たないため、設定禁止です。

備考 fcc : システム・クロック発振周波数 (RC発振)

5.4 EEPROM書き込み時の注意事項

EEPROMへの書き込みに関する注意を次に示します。

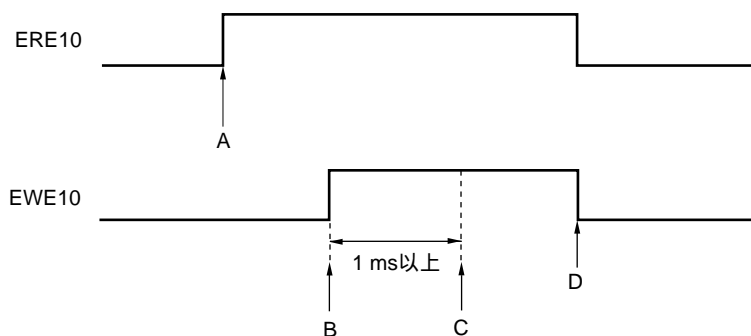
- (1) EEPROMから命令フェッチする場合、およびシステム・クロック発振回路を停止する場合には、必ずEEPROMへの書き込みを禁止に設定 (EWE10 = 0) してから行ってください。
- (2) カウント・クロックの設定は、選択するクロックが動作 (発振) している状態で行ってください。選択したカウント・クロックが停止していた場合、その後、クロックの動作を開始させ、EEPROMへの書き込み許可に設定 (EWE10 = 1) しても、書き込み可能状態に移りません。
- (3) EEPROMへの書き込み時間は、必ず3.3 ~ 6.6 msの範囲内に設定してください。
- (4) ERE10, EWE10をセットする場合は必ず次の手順で行ってください。次の手順以外で設定を行うとEEPROMへの書き込み可能状態に移りません。

ERE10 = 1に設定 (このときEWE10 = 0の状態である)

EWE10 = 1に設定 (このときERE10 = 1の状態である)

ソフトウェアで1 ms以上ウエイトする

EEPROMへの書き込み可能状態に移り



- A (ERE10 = 1) : 読み出し可能な状態に移ります。
- B (EWE10 = 1) : これ以前にカウント・クロックの設定を行ってください。
- C : 書き込み可能な状態に移ります。
- D : ERE10をクリア (ERE10 = 0) にするとEWE10もクリア (EWE10 = 0) されます。この状態で読み出し / 書き込みはできません。

- (5) EEPROMへの書き込みを行う際、EWST10 = 0であることを確認してから実行してください。EWST10 = 1のときEEPROMへの書き込みを実行しても、その命令は無視されます。

- (6) EEPROMへの書き込み中に次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・電源を立ち下げる
- ・リセットを実行する
- ・ERE10 = 0に設定する
- ・EWE10 = 0に設定する
- ・EEPROMタイマのカウント・クロックを切り替える

(7) EEPROMタイマのカウント・クロックにシステム・クロックの分周を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・ STOP命令を実行する

(8) EEPROMタイマのカウント・クロックに8ビット・タイマ40 (TM40) の出力を選択して、EEPROMへの書き込み中であるとき、次の動作を実行しないでください。実行した場合、そのアドレスのEEPROMセル値が不定になります。

- ・ STOP命令を実行する
- ・ TM40のタイマ出力を停止する
- ・ TM40の動作を停止する

(9) EEPROMへの書き込み / 読み出しを行うとき、次の動作を実行しないでください。実行した場合、次に読み出すEEPROMのデータが不定になり、CPUが暴走する可能性があります。

- ・ ERE10 = 0に設定する
- ・ EEPROMへの書き込みを実行する

(10) EEPROMへの書き込み / 読み出しを行わない場合、ERE10 = 0に設定することで低消費電力モードにすることができます。ERE10 = 1の状態では、常に約0.27 mA ( $V_{DD} = 3.6$  V) の電流が流れます。このとき、EEPROMからの読み出し命令を実行した場合には、さらに0.9 mAの電流が加わり約1.17 mA ( $V_{DD} = 3.6$  V) の電流が流れます。

ERE10 = 1, EWE10 = 1の状態では、常に約0.3 mA ( $V_{DD} = 3.6$  V) の電流が流れます。このとき、EEPROMへの書き込み命令を実行した場合には、さらに0.7 mAの電流が加わり約1.0 mA ( $V_{DD} = 3.6$  V) の電流が、EEPROMへの読み出し命令を実行した場合には、0.9 mAの電流が加わり約1.2 mA ( $V_{DD} = 3.6$  V) の電流がそれぞれ流れます (12. 電気的特性 EEPROM特性を参照)。

(11) STOP命令を実行した場合、ERE10, EWE10の設定にかかわらず、自動的に低消費電力モードになります。このとき、ERE10, EWE10の状態は保持されます。また、STOP解除時のウェイト時間中は約300  $\mu$ A ( $V_{DD} = 3.6$  V) の電流が流れます。

HALT命令を実行した場合は低消費電力モードになりません。

## 6. 周辺ハードウェア機能

## 6.1 ポート

## 6.1.1 ポートの機能

μ PD78E9860, 78E9861は、表6 - 1に示すポートを備えており、多様な制御を行うことができます。また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、3.端子機能一覧を参照してください。

表6 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力/出力の指定可能。
ポート2	P20, P21	入出力ポート。1ビット単位で入力/出力の指定可能。
ポート4	P40-P43	入力専用ポート。

## 6.1.2 ポートの構成

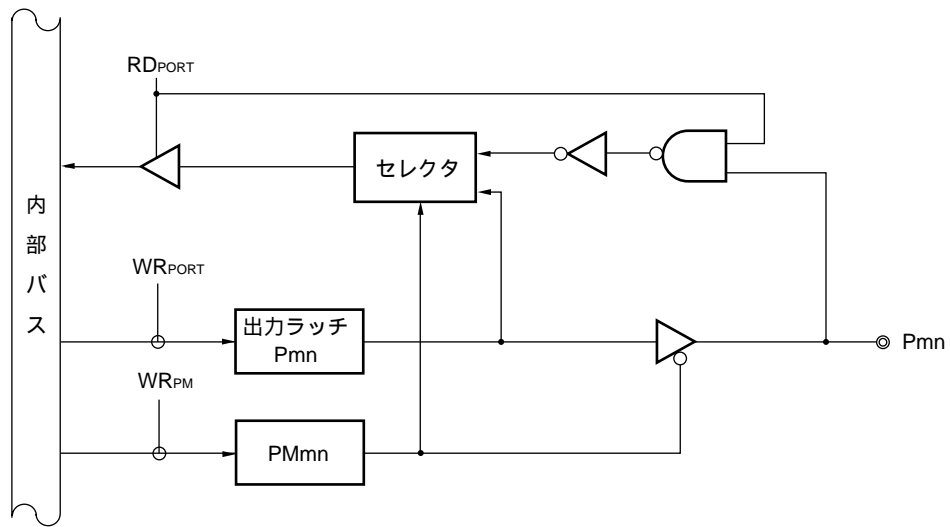
ポートは、次のハードウェアで構成しています。

表6 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0, 2)
ポート	合計 : 14本 (CMOS入出力 : 10本, CMOS入力 : 4本)



図6 - 1 CMOSポートの基本構成



**注意** 図6 - 1は, CMOS入出力ポートの基本構成です。兼用端子の機能により, 構成が異なります。

- 備考**
- PMmn : ポート・モード・レジスタmのビットn (m = 0, 2 n = 0-7)
  - Pmn : ポートmのビットn
  - RD : ポートのリード信号
  - WR : ポートのライト信号

6.1.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0, PM2)

(1) ポート・モード・レジスタ (PM0, PM2)

ポートの入力 / 出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表6-3のように設定してください。

図6-2 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	1	1	1	1	1	1	PM21	PM20	FF22H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 2 n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表6-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P20	TMO	出力	0	0
	BSFO	出力	0	0
P21	TMI	入力	1	x

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

6.2 クロック発生回路 (μ PD78E9860)

μ PD78E9860とμ PD78E9861では、クロック発生回路の仕様が異なります。μ PD78E9861を使用する場合は、

6.3 クロック発生回路 (μ PD78E9861) を参照してください。

6.2.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

- ・システム・クロック発振回路 (セラミック/クリスタル発振)

1.0~5.0 MHzの周波数を発振します。STOP命令の実行により、発振を停止できます。

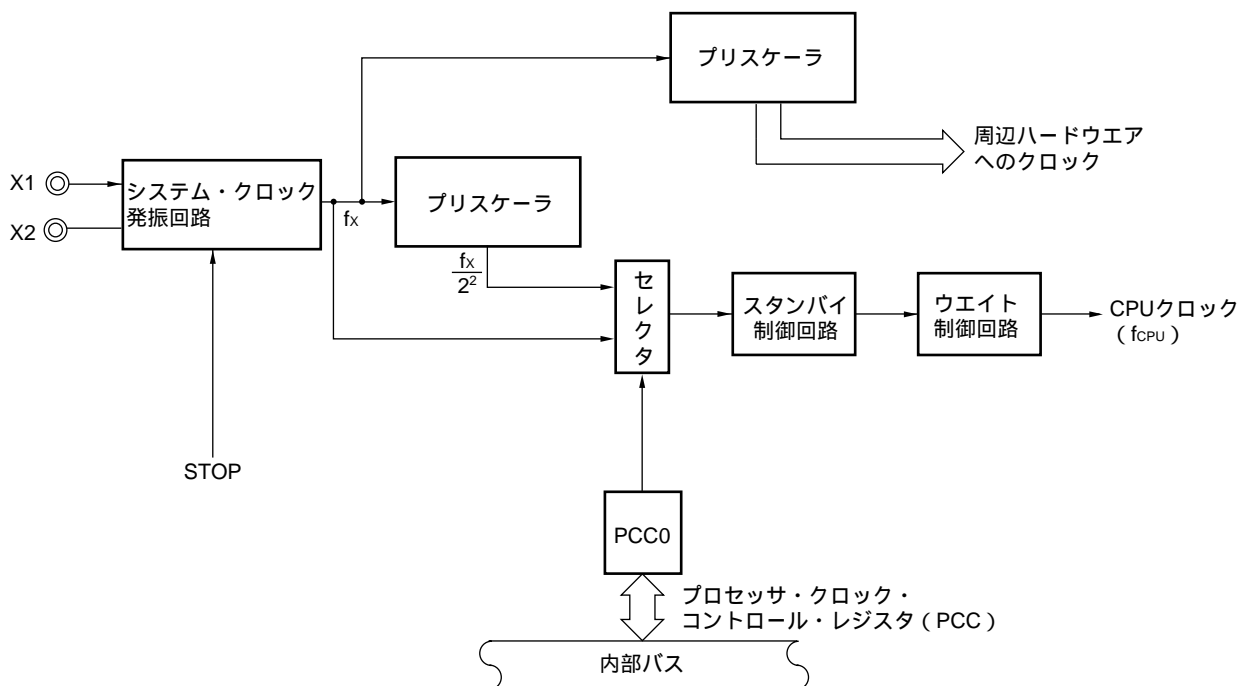
6.2.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-4 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図6-3 クロック発生回路のブロック図



6.2.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 02Hになります。

図6-4 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC0	0	FFFBH	02H	R/W

PCC0	CPUクロック ( $f_{CPU}$ ) の選択	
0	$f_x$	(0.2 $\mu$ s)
1	$f_x/2^2$	(0.8 $\mu$ s)

**注意** ビット0, 2-7には必ず0を設定してください。

**備考1** .  $f_x$  : システム・クロック発振周波数 (セラミック / クリスタル発振)

2 . ( ) 内は,  $f_x = 5.0$  MHz動作時

3 . 最小命令実行時間 : 2  $f_{CPU}$

・  $f_{CPU} = 0.2 \mu$ s のとき 0.4  $\mu$ s

・  $f_{CPU} = 0.8 \mu$ s のとき 1.6  $\mu$ s

6.3 クロック発生回路 (μ PD78E9861)

6.3.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

- ・システム・クロック発振回路 (RC発振)

1.0 MHz ± 15 %の周波数を発振します。STOP命令の実行により、発振を停止できます。

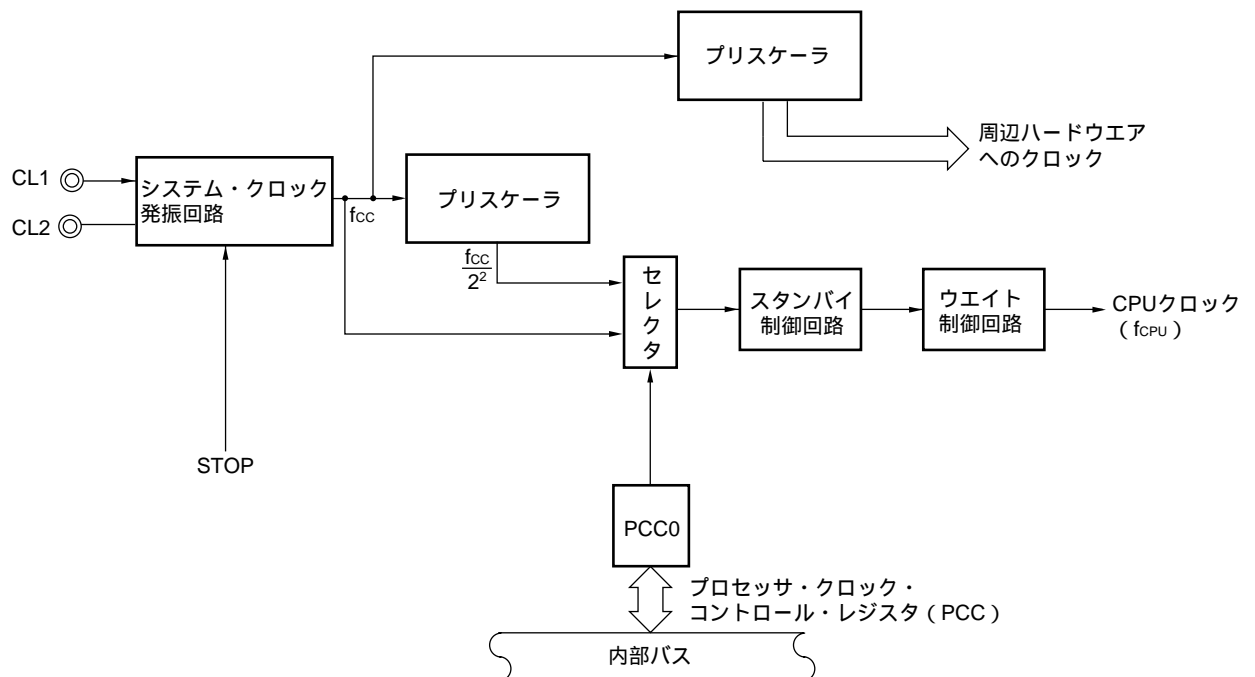
6.3.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-5 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC)
発振回路	システム・クロック発振回路

図6-5 クロック発生回路のブロック図



6.3.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 02Hになります。

図6-6 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	0	PCC0	0	FFFBH	02H	R/W

PCC0	CPUクロック ( $f_{CPU}$ ) の選択
0	$f_{CC}$ (1.0 $\mu$ s)
1	$f_{CC}/2^2$ (4.0 $\mu$ s)

**注意** ビット0, 2-7には必ず0を設定してください。

**備考1** .  $f_{CC}$  : システム・クロック発振周波数 (RC発振)

2 . ( ) 内は,  $f_{CC} = 1.0$  MHz動作時

3 . 最小命令実行時間 :  $2 f_{CPU}$

- ・  $f_{CPU} = 1.0 \mu$ s のとき  $2.0 \mu$ s

- ・  $f_{CPU} = 4.0 \mu$ s のとき  $8.0 \mu$ s

6.4 8ビット・タイマ/イベント・カウンタ

6.4.1 8ビット・タイマ/イベント・カウンタの機能

μ PD789860, 789861は8ビット・タイマを1チャンネル(タイマ30), 8ビット・タイマ/イベント・カウンタを1チャンネル(タイマ40)内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表6-6 モード一覧

モード \ チャンネル	タイマ30	タイマ40
8ビット・タイマ・カウンタ・モード (単体モード)		
16ビット・タイマ・カウンタ・モード (カスケード接続モード)		
キャリア・ジェネレータ・モード		
PWM出力モード	x	

(1) 8ビット・タイマ・カウンタ・モード(単体モード)

次のような機能を使用できます。

- ・ 8ビット分解能のインターバル・タイマ
- ・ 8ビット分解能の外部イベント・カウンタ(タイマ40のみ)
- ・ 8ビット分解能の方形波出力(タイマ40のみ)

(2) 16ビット・タイマ・カウンタ・モード(カスケード接続モード)

カスケード接続することにより、16ビット・タイマ/イベント・カウンタとして動作します。次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

(3) キャリア・ジェネレータ・モード

タイマ40で生成されるキャリア・クロックをタイマ30で設定した周期で出力します。

(4) PWM出力モード

タイマ40で設定した任意のデューティ比のパルスを出力します。

## 6.4.2 8ビット・タイマ/イベント・カウンタの構成

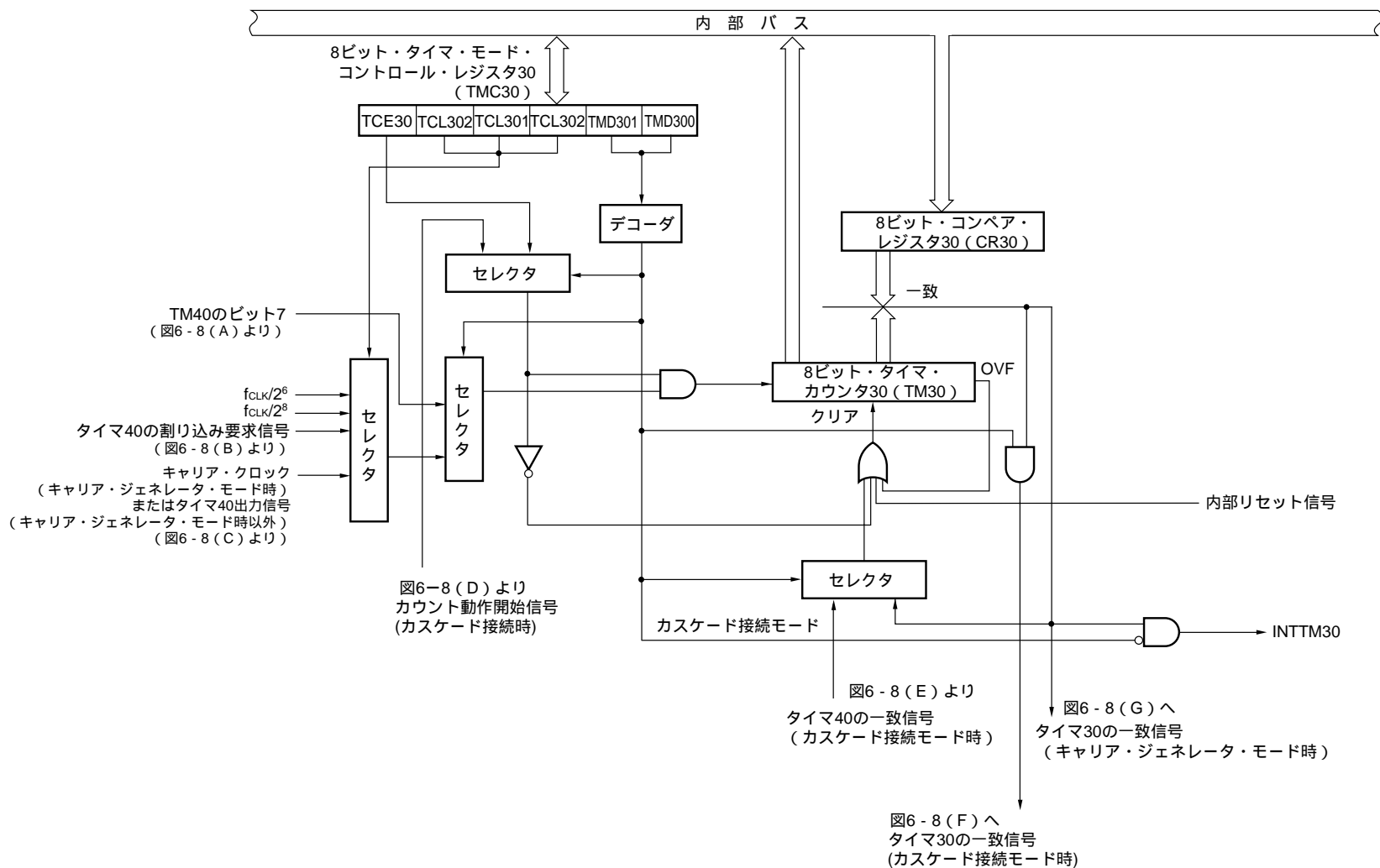
8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表6-7 8ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・カウンタ	8ビット×2本 (TM30, TM40)
レジスタ	コンペア・レジスタ：8ビット×3本 (CR30, CR40, CRH40)
タイマ出力	1本 (TMO)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40) ポート・モード・レジスタ2 (PM2)

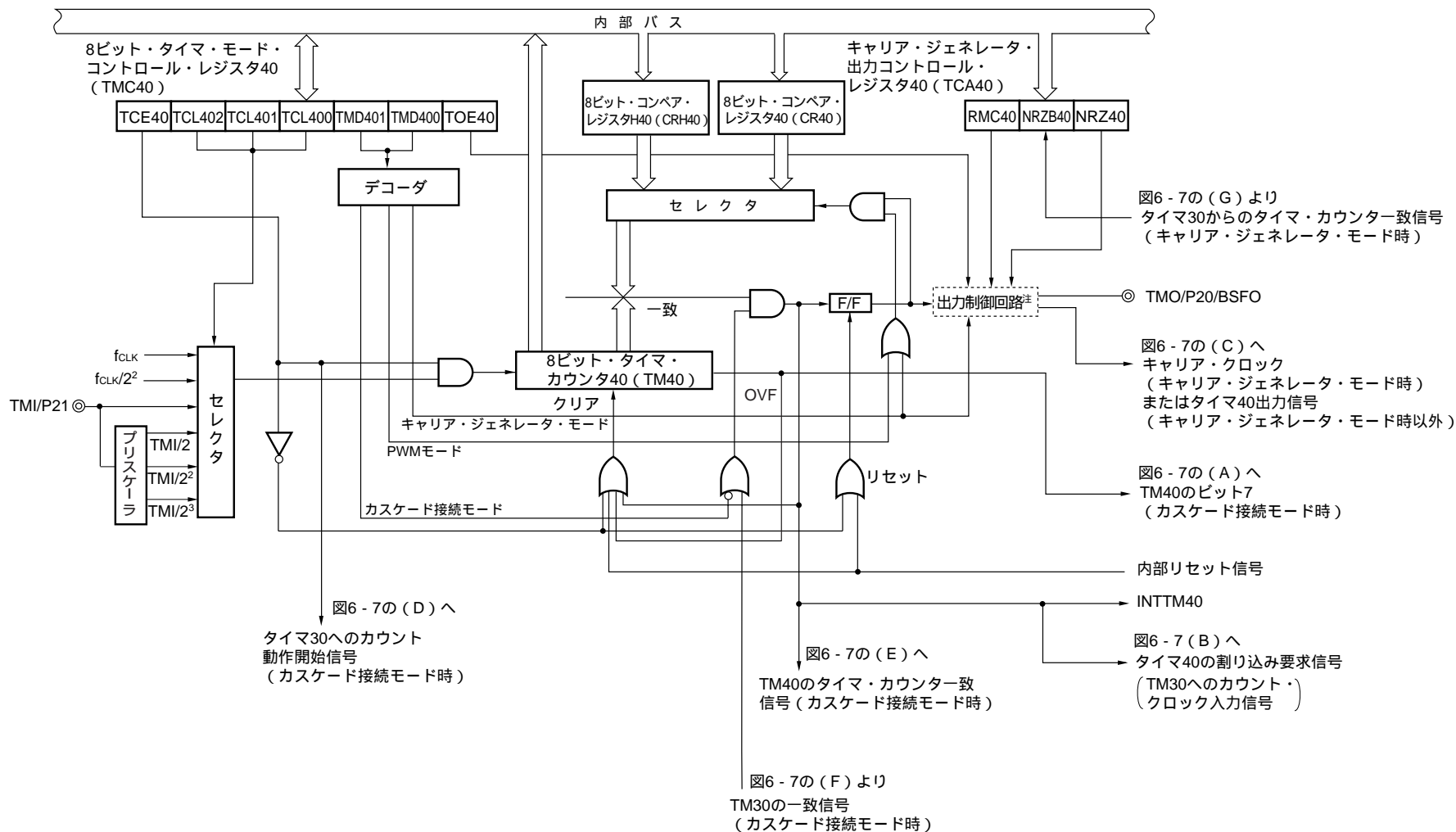


図6-7 タイマ30のブロック図



備考 fCLK : fxまたはfcc

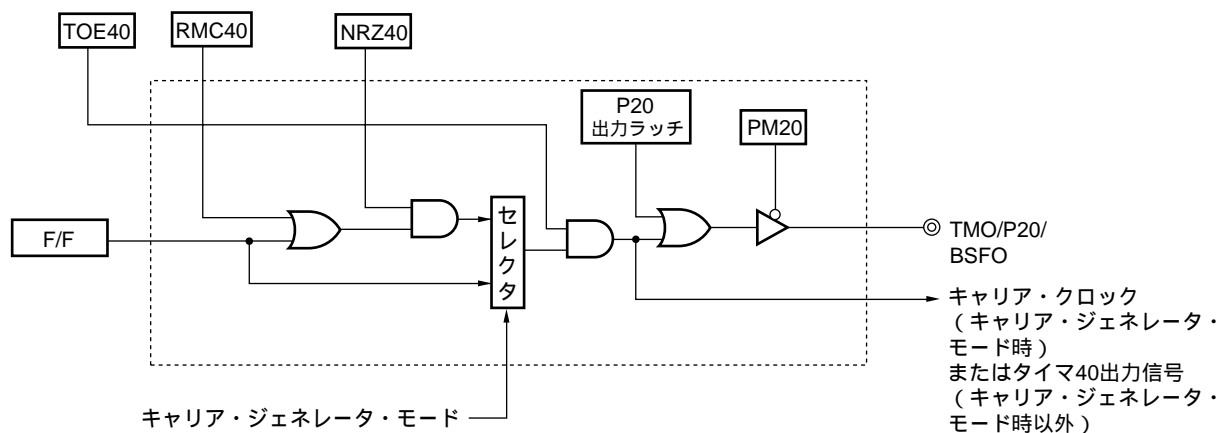
図6-8 タイマ40のブロック図



注 詳細については図6-9を参照してください。

備考 fCLK : fxまたはfcc

図6-9 出力制御回路(タイマ40)のブロック図



(1) 8ビット・コンペア・レジスタ30 (CR30)

CR30に設定した値と8ビット・タイマ・カウンタ30 (TM30) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM30) を発生する8ビットのレジスタです。

CR30は、8ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

**注意** キャリア・ジェネレータ/PWM出力モード時、CR30は使用しません。

(2) 8ビット・コンペア・レジスタ40 (CR40)

CR40に設定した値と8ビット・タイマ・カウンタ40 (TM40) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生する8ビットのレジスタです。また、TM30とカスケード接続して、16ビット・タイマ/イベント・カウンタとして使用する場合、CR30とTM30、CR40とTM40が同時に一致した場合のみ割り込み要求 (INTTM40) が発生します (INTTM30は発生しません)。

CR40は、8ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

(3) 8ビット・コンペア・レジスタH40 (CRH40)

PWM出力モード時、CRH40に値を書き込むことにより、タイマ出力のハイ・レベル幅を設定します。

CRH40は、8ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

(4) 8ビット・タイマ・カウンタ30, 40 (TM30, TM40)

カウント・パルスをカウントする8ビットのレジスタです。

TM30, TM40は、それぞれ8ビット・メモリ操作命令で読み出します。

RESET入力により、それぞれ00Hになります。

TM30, TM40が00Hにクリアされる条件を次に示します。

## (a) 単体モード

## ( ) TM30の場合

- ・リセット
- ・TCE30 (8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) のビット7) を0にクリア
- ・TM30とCR30の一致
- ・TM30のカウント値のオーバフロー

## ( ) TM40の場合

- ・リセット
- ・TCE40 (8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) のビット7) を0にクリア
- ・TM40とCR40の一致
- ・TM40のカウント値のオーバフロー

## (b) カスケード接続モード (TM30, TM40同時に00Hにクリア)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM30とCR30およびTM40とCR40が同時に一致したとき
- ・TM30とTM40のカウント値が同時にオーバフロー

## (c) キャリア・ジェネレータ/PWM出力モード (TM40のみ)

- ・リセット
- ・TCE40フラグを0にクリア
- ・TM40とCR40の一致
- ・TM40とCRH40の一致
- ・TM40のカウント値のオーバフロー

**6.4.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ**

8ビット・タイマ/イベント・カウンタは、次の4種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)
- ・8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)
- ・キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)
- ・ポート・モード・レジスタ2 (PM2)

(1) 8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30)

8ビット・タイマ・モード・コントロール・レジスタ30 (TMC30) は、タイマ30のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC30は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

★ 図6-10 8ビット・タイマ・モード・コントロール・レジスタ30のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC30	TCE30	0	TCL302	TCL301	TCL300	TMD301	TMD300	0	FF52H	00H	R/W

TCE30	TM30のカウント動作の制御 <sup>注1</sup>
0	TM30のカウント値をクリアし、動作停止
1	カウント動作開始

TCL302	TCL301	TCL300	タイマ30のカウント・クロックの選択	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (15.6 kHz)
0	0	1	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (3.91 kHz)
0	1	0	タイマ40一致信号	
0	1	1	キャリア・クロック (キャリア・ジェネレータ・モード時) またはタイマ40出力信号 (キャリア・ジェネレータ・モード時以外)	
上記以外			設定禁止	

TMD301	TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 <sup>注2</sup>
0	0	0	0	単体モード
0	1	0	1	カスケード接続モード
0	0	1	1	キャリア・ジェネレータ・モード
0	0	1	0	PWM出力モード
上記以外				設定禁止

注1. カスケード接続モード時ではTCE40 (TMC40のビット7) でカウント動作を制御するため、TCE30に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせて設定します。

注意1. ビット0, 4には、必ず0を設定してください。

2. カスケード接続モード時では、カウント・クロックは強制的にタイマ40出力信号が選択されます。

備考1.  $f_x$  : システム・クロック発振周波数 (セラミック / クリスタル発振)

2.  $f_{cc}$  : システム・クロック発振周波数 (RC発振)

(2) 8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40)

8ビット・タイマ・モード・コントロール・レジスタ40 (TMC40) は、タイマ40のカウンタ・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC40は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

★ 図6-11 8ビット・タイマ・モード・コントロール・レジスタ40のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC40	TCE40	0	TCL402	TCL401	TCL400	TMD401	TMD400	TOE40	FF56H	00H	R/W

TCE40	TM40のカウンタ動作の制御 <sup>注1</sup>
0	TM40のカウンタ値をクリアし、動作停止 (カスケード接続モード時ではTM30も同時にカウンタ値をクリア)
1	カウンタ動作開始 (カスケード接続モード時ではTM30も同時にカウンタ動作開始)

TCL402	TCL401	TCL400	タイマ40のカウンタ・クロックの選択	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$f_x (5.0 \text{ MHz})$	$f_{cc} (1.0 \text{ MHz})$
0	0	1	$f_x/2^2 (1.25 \text{ MHz})$	$f_{cc}/2^2 (250 \text{ kHz})$
0	1	0	$f_{TMI}$	
0	1	1	$f_{TMI}/2$	
1	0	0	$f_{TMI}/2^2$	
1	0	1	$f_{TMI}/2^3$	

TMD301	TMD300	TMD401	TMD400	タイマ30, タイマ40の動作モードの選択 <sup>注2</sup>
0	0	0	0	単体モード
0	1	0	1	カスケード接続モード
0	0	1	1	キャリア・ジェネレータ・モード
0	0	1	0	PWM出力モード
上記以外				設定禁止

TOE40	タイマ出力の制御
0	出力禁止
1	出力許可 (ポート・モード)

注1. カスケード接続モード時ではTCE40 (TMC40のビット7) でカウンタ動作を制御するため、TCE30に設定しても無視されます。

2. 動作モードの選択は、TMC30とTMC40の両方のレジスタを組み合わせで設定します。

備考1.  $f_x$  : システム・クロック発振周波数 (セラミック/クリスタル発振)

2.  $f_{cc}$  : システム・クロック発振周波数 (RC発振)

3.  $f_{TMI}$  : TMI/P21端子から入力される外部クロック

(3) キャリア・ジェネレータ出力コントロール・レジスタ40 (TCA40)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCA40は、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図6 - 12 キャリア・ジェネレータ出力コントロール・レジスタ40のフォーマット

★ 略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCA40	0	0	0	0	0	RMC40	NRZB40	NRZ40	FF57H	00H	W

RMC40	リモコン出力の制御
0	NRZ40 = 1のとき、TMO/P20/BSFO端子にキャリア・パルスを出力する
1	NRZ40 = 1のとき、TMO/P20/BSFO端子にハイ・レベルを出力する

NRZB40	次に出力するNRZ40のデータを格納するビット。タイマ30の一致信号発生時、NRZ40にデータを転送します。
0	
1	

NRZ40	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する（キャリア・クロックは停止）
1	キャリア・パルスを出力する

**注意** TCA40は、1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

(4) ポート・モード・レジスタ2 (PM2)

ポート2の入力 / 出力を1ビット単位で設定するレジスタです。

P20/TMO/BSFO端子をタイマ出力として使用するときにはPM20およびP20の出力ラッチに0を設定してください。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図6 - 13 ポート・モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	1	1	1	1	PM21	PM20	FF22H	FFH	R/W

PM20	P20端子の入出力モード
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

## 6.5 ウォッチドッグ・タイマ

### 6.5.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

#### (1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込みまたはRESETを発生させることができます。

#### (2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

### 6.5.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。図6-13にウォッチドッグ・タイマのブロック図を示します。

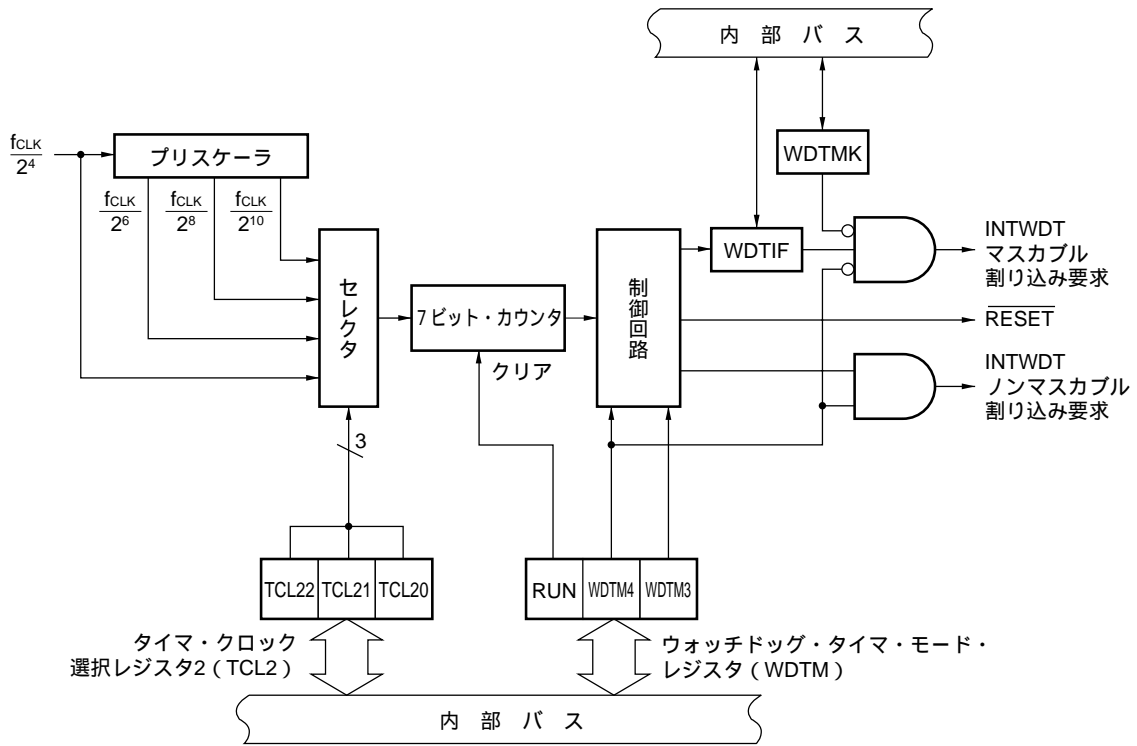
表6-8 ウォッチドッグ・タイマの構成

項 目	構 成
★ 制御レジスタ	タイマ・クロック選択レジスタ2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)



★

図6-14 ウォッチドッグ・タイマのブロック図



備考 fCLK : fxまたはfcc

6.5.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

★ (1) タイマ・クロック選択レジスタ2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6 - 15 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	0		アドレス	リセット時	R/W	
TCL2	0	0	0	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	カウント・クロックの選択		インターバル時間	
			$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時	$f_x = 5.0 \text{ MHz}$ 動作時	$f_{cc} = 1.0 \text{ MHz}$ 動作時
0	0	0	$f_x/2^4$ (313 kHz)	$f_{cc}/2^4$ (62.5 kHz)	$2^{11}/f_x$ (410 $\mu\text{s}$ )	$2^{11}/f_{cc}$ (2.05 ms)
0	1	0	$f_x/2^6$ (78.1 kHz)	$f_{cc}/2^6$ (15.6 kHz)	$2^{13}/f_x$ (1.64 ms)	$2^{13}/f_{cc}$ (8.19 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$f_{cc}/2^8$ (3.91 kHz)	$2^{15}/f_x$ (6.55 ms)	$2^{15}/f_{cc}$ (32.8 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$f_{cc}/2^{10}$ (977 Hz)	$2^{17}/f_x$ (26.2 ms)	$2^{17}/f_{cc}$ (131.1 ms)
上記以外			設定禁止			

備考1.  $f_x$  : システム・クロック発振周波数 (セラミック / クリスタル発振)

2.  $f_{cc}$  : システム・クロック発振周波数 (RC発振)

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可/禁止を設定するレジスタです。

WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図6-16 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 <sup>注1</sup>
0	カウントの停止
1	カウントをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバーフロー発生時，マスカブル割り込み発生) <sup>注3</sup>
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，タイマ・クロック選択レジスタ2で設定した時間より最大0.8 %短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，TMIF4 (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。TMIF4が1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

## 6.6 パワーオン・クリア回路

### 6.6.1 パワーオン・クリア回路の機能

パワーオン・クリア回路には2つの回路があり、それぞれ次のような機能を持ちます。

#### (1) パワーオン・クリア (POC) 回路

- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{POC}$ ) を比較し、 $V_{DD} < V_{POC}$  になったとき、内部リセット信号を発生します。
- ・STOPモード時でも動作可能です。

#### (2) 低電圧検出 (LVI) 回路

- ・電源電圧 ( $V_{DD}$ ) と検出電圧 ( $V_{LVI}$ ) を比較し、 $V_{DD} < V_{LVI}$  になったとき、割り込み要求信号 (INTLVI1) を発生します。
- ・8レベルの検出電圧をソフトウェアにより選択できます。
- ・STOPモード時、動作停止になります。

### 6.6.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図6 - 17, 図6 - 18に示します。

図6-17 パワーオン・クリア回路のブロック図

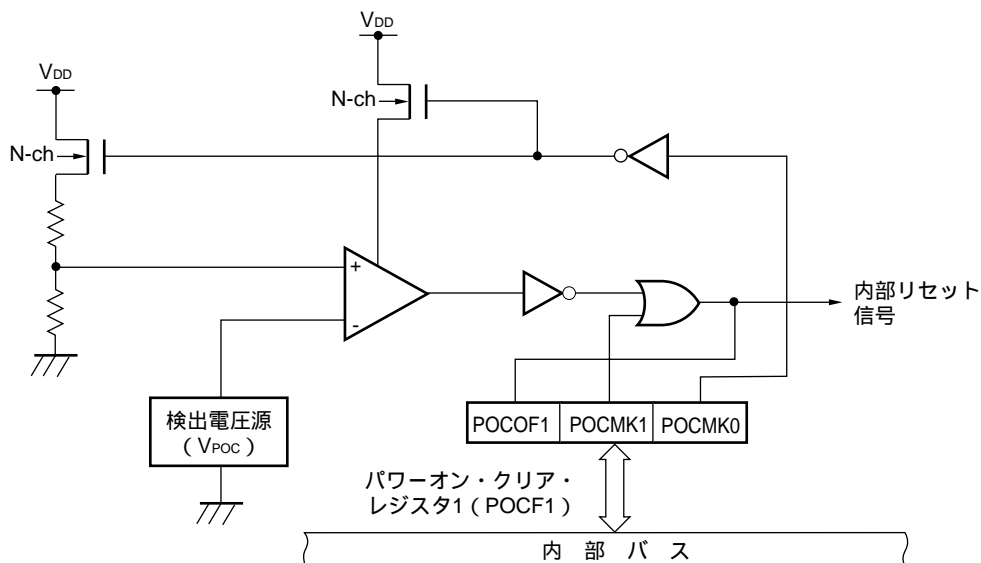
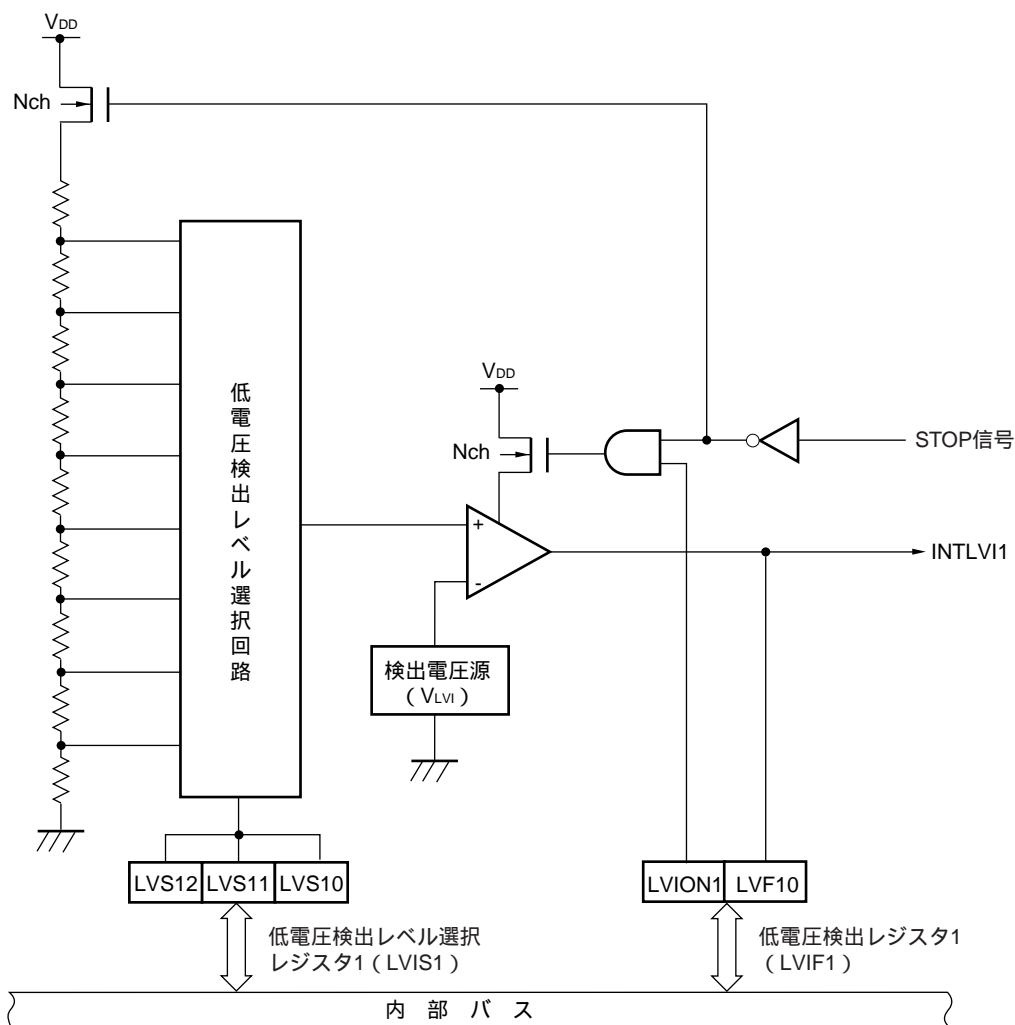


図6-18 低電圧検出回路のブロック図



6.6.3 パワーオン・クリア回路を制御するレジスタ

パワーオン・クリア回路を制御するレジスタには、次の3種類があります。

- ・パワーオン・クリア・レジスタ1 (POCF1)
- ・低電圧検出レジスタ1 (LVIF1)
- ・低電圧検出レベル選択レジスタ1 (LVIS1)

(1) パワーオン・クリア・レジスタ1 (POCF1)

POC回路の動作を制御するレジスタです。

POCF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図6 - 19 パワーオン・クリア・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCF1	0	0	0	0	0	POCOF1	POCMK1	POCMK0	FFDDH	00H <sup>注</sup>	R/W

POCOF1	POC出力検出フラグ	
0	POCによるリセット信号未発生またはPOCF1への書き込みによってクリアされた状態	
1	POCによるリセット信号発生	

POCMK1	POCの制御	
0	POCによるリセット信号の発生を許可	
1	POCによるリセット信号の発生を禁止	

POCMK0	POC動作の制御	
0	POC動作	
1	POC停止	

注 パワーオン・クリアによるリセット時のみ、04Hになります。

(2) 低電圧検出レジスタ1 (LVIF1)

LVI回路の動作を制御するレジスタです。

LVIF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6 - 20 低電圧検出レジスタ1のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LVIF1	LVION1	0	0	0	0	0	LVF10	FFDEH	00H	R/W <sup>注</sup>

LVION1	LVI動作許可フラグ
0	LVI禁止
1	LVI許可

LVF10	LVI出力検出フラグ
0	電源電圧 ( $V_{DD}$ ) > LVI検出電圧 ( $V_{LVI}$ ) または動作禁止時
1	$V_{DD} < V_{LVI}$

注 ビット0は、Read Onlyです。

**注意** LVI回路はSTOPモードが入ると自動的にOFFします (低消費電流モード)。その後、STOPモードが解除されたとき、LVI回路の動作が安定するまで約2 ms必要となります。この期間に割り込み要求信号が発生する可能性がありますのでSTOPモードを設定する前に必ずLVIMK1 (割り込みマスク・フラグ・レジスタ0 (MK0) のビット3) をセット (LVIMK1 = 1) して割り込み禁止にしてください。次にプログラム例を示します。

例 STOPモードを設定し、動作安定時間をウエイトしてから割り込みを許可する (RC発振の場合)

```

SET1    LVIMK1
STOP
MOV     A, #0BCH
WAIT:
DEC     A
BNZ    $WAIT
      ] 10クロック
CLR1    LVIF1
CLR1    LVIMK1
    
```

STOP解除後の発振安定時間に $2^7/f_{cc} = 128 \mu s$  ( $f_{cc} = 1 \text{ MHz}$ 動作時) がかかるため、 $2 \text{ ms} - 128 \mu s$  (約 $1880 \mu s$ ) をプログラムでウエイトさせる必要があります。CPUクロックが $1 \mu s$  ( $f_{cc} = 1 \text{ MHz}$ 動作時) のとき、188回ループさせ、ウエイト時間を確保します。

**注意** セラミック / クリスタル発振の場合、STOP解除後の発振安定時間に2 ms以上かかるため、上記プログラムのウエイトは必要ありません。

(3) 低電圧検出レベル選択レジスタ1 (LVIS1)

検出電圧 (V<sub>LVI</sub>) のレベルを選択するレジスタです。

LVIS1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6 - 21 低電圧検出レベル選択レジスタ1のフォーマット

略号	7	6	5	4	3		0	アドレス	リセット時	R/W	
LVIS1	0	0	0	0	0	LVS12	LVS11	LVS10	FFDFH	00H	R/W

LVS12	LVS11	LVS10	検出電圧 (V <sub>LVI</sub> ) レベル <sup>注</sup> の選択
0	0	0	V <sub>LVI0</sub>
0	0	1	V <sub>LVI1</sub>
0	1	0	V <sub>LVI2</sub>
0	1	1	V <sub>LVI3</sub>
1	0	0	V <sub>LVI4</sub>
1	0	1	V <sub>LVI5</sub>
1	1	0	V <sub>LVI6</sub>
1	1	1	V <sub>LVI7</sub>

注 検出電圧のスペックについては12.電気的特性を参照してください。

**注意** 検出電圧レベル (V<sub>LVI</sub>) を変更した場合、LVIの出力が安定するまで約2 msの動作安定時間を要します。動作が安定するまではLVIを動作許可にしないでください。



6.7 ビット・シーケンシャル・バッファ

6.7.1 ビット・シーケンシャル・バッファの機能

μ PD78E9860, 78E9861には8ビット×8ビット=16ビットのビット・シーケンシャル・バッファを内蔵しています。

ビット・シーケンシャル・バッファの機能を次に示します。

- ・ビット・シーケンシャル・バッファ10データ・レジスタ (BSFRL10, BSFRH10) の値を1ビット下位側へシフトすると同時にLSBをポートへ出力可能
- ・8ビット・メモリ操作命令または16ビット操作命令により, BSFRL10, BSFRH10への書き込みが可能
- ・上位8ビットのみシフト動作中の書き換えを許可 (シフト・クロックがロウ・レベルの期間)

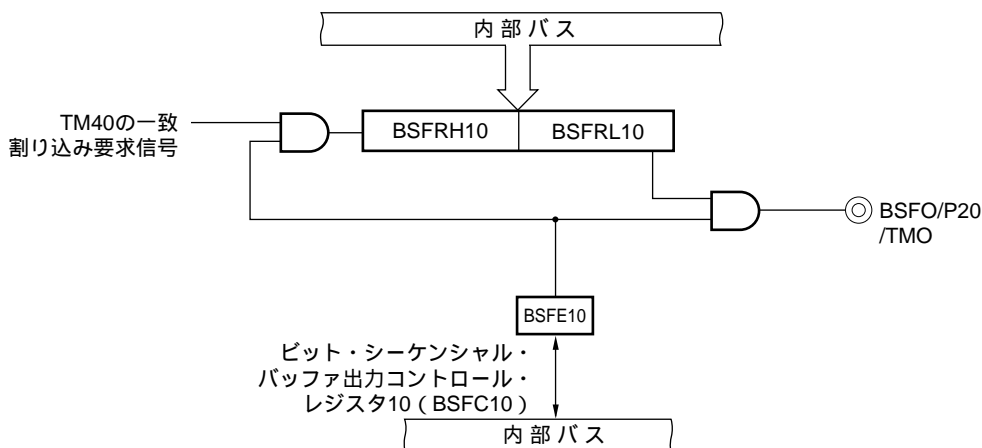
6.7.2 ビット・シーケンシャル・バッファの構成

ビット・シーケンシャル・バッファは次のハードウェアで構成しています。

表6-9 ビット・シーケンシャル・バッファの構成

項目	構成
データ・レジスタ	ビット・シーケンシャル・バッファ : 8ビット×8ビット=16ビット
制御レジスタ	ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10)

図6-22 ビット・シーケンシャル・バッファのブロック図



6.7.3 ビット・シーケンシャル・バッファを制御するレジスタ

ビット・シーケンシャル・バッファは次のレジスタで制御します。

- ・ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10)

(1) ビット・シーケンシャル・バッファ出力コントロール・レジスタ10 (BSFC10)

ビット・シーケンシャル・バッファの動作制御をするレジスタです。

BSFC10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-23 ビット・シーケンシャル・バッファ出力コントロール・レジスタ10のブロック図

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BSFC10	0	0	0	0	0	0	0	BSFE10	FF60H	00H	R/W

BSFE10	ビット・シーケンシャル・バッファの動作制御
0	動作禁止
1	動作許可

6.8 キー・リターン回路

6.8.1 キー・リターン回路の機能

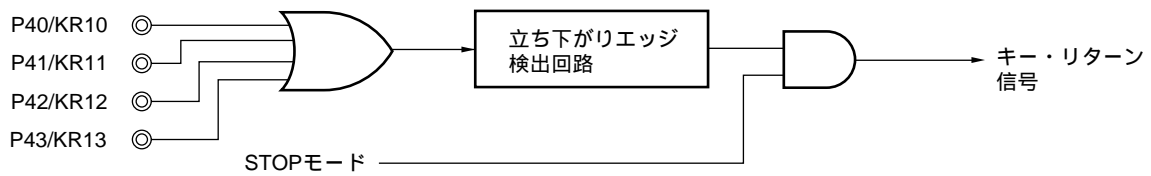
STOPモード時、P40/KR10-P43/KR13の立ち下がりエッジ入力により、キー・リターン割り込みを発生します。ソフトウェアでSTOPモード解除要因の判定に使用できます。

**注意** キー・リターン割り込みはSTOPモード時のみ有効となるノンマスクابل割り込みです。また、P40/KR10-P43/KR13のキー入力はマスク制御できません。

6.8.2 キー・リターン回路の構成

キー・リターンのブロック図を図6 - 24に示します。

図6 - 24 キー・リターンのブロック図



7. 割り込み機能

7.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、外部割り込みが1要因、内部割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位（プライオリティ）は、表7-1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、内部割り込みが5要因あります。

7.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計7要因あります（表7-1参照）。

表7-1 割り込み要因一覧

割り込みタイプ	プライオリティ <sup>注1</sup>	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ <sup>注2</sup>
		名称	トリガ			
ノンマスカブル	-	INTKR1	キー・リターン入力立ち下がりエッジ検出時 <sup>注3</sup>	外部	0002H	(A)
		INTWDT	ウォッチドッグ・タイマのオーバフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー（インターバル・タイマ・モード選択時）			(B)
	1	INTTM30	8ビット・タイマ30の一致信号発生			
	2	INTTM40	8ビット・タイマ40の一致信号発生			
	3	INTLV11	LVI割り込み要求信号			
	4	INTEE0	EEPROM書き込み終了信号			

注1. プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位、4が最低順位です。

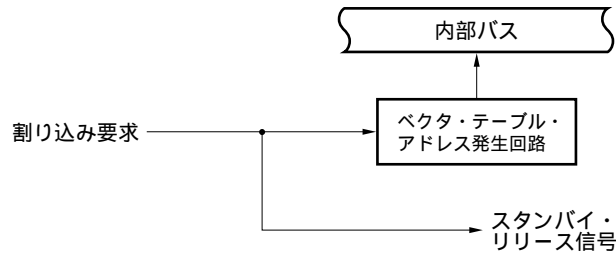
2. 基本構成タイプの(A), (B)は、それぞれ図7-1の(A), (B)に対応しています。

3. STOPモード時のみ。STOPモード以外では割り込み要求信号を発生しません。

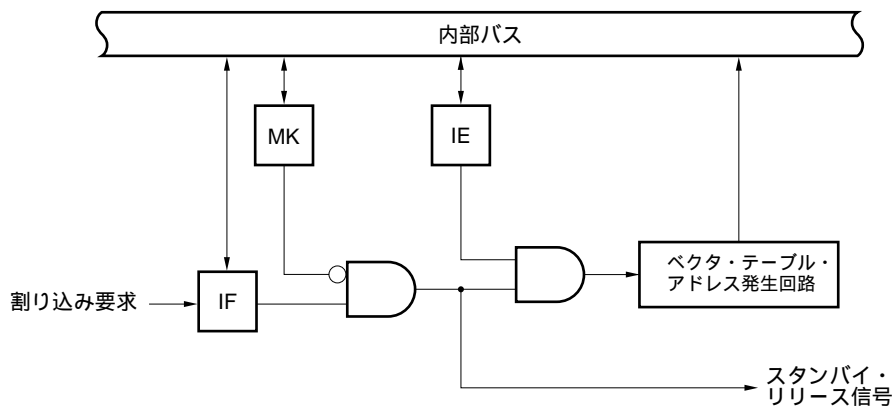
**備考** ウォッチドッグ・タイマの割り込み要因（INTWDT）には、ノンマスカブル割り込みとマスカブル割り込み（内部）の2種類があり、どちらか1種類のみ選択できます。

図7-1 割り込み機能の基本構成

(A) 外部 / 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

### 7.3 割り込み機能を制御するレジスタ

割り込み機能は、次の3種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ0 (IF0)
- ・割り込みマスク・フラグ・レジスタ0 (MK0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表7-2に示します。

表7-2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	TMIF4	TMMK4
INTTM30	TMIF30	TMMK30
INTTM40	TMIF40	TMMK40
INTLVI	LVIF1	LVIMK1
INTEE0	EEIF0	EEMK0

(1) 割り込み要求フラグ・レジスタ0 (IF0)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-2 割り込み要求フラグ・レジスタ0のフォーマット

略号	7	6	5	0				アドレス	リセット時	R/W	
IF0	0	0	0	EEIF0	LVIF1	TMIF40	TMIF30	TMIF4	FFE0H	00H	R/W

x × IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. ビット5-7には必ず0を設定してください。

2. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMIF4フラグに0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ0 (MK0)

割り込みマスク・フラグは、対応するマスク可能割り込み処理の許可 / 禁止を設定するフラグです。

MK0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図7-3 割り込みマスク・フラグ・レジスタ0のフォーマット

略号	7	6	5	0				アドレス	リセット時	R/W	
MK0	1	1	1	EEMK0	LVIMK1	TMMK40	TMMK30	TMMK4	FFE4H	FFH	R/W

x × MK x	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意1. ビット5-7には必ず1を設定してください。

2. TMMK4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、TMMK4フラグに0を設定してください。

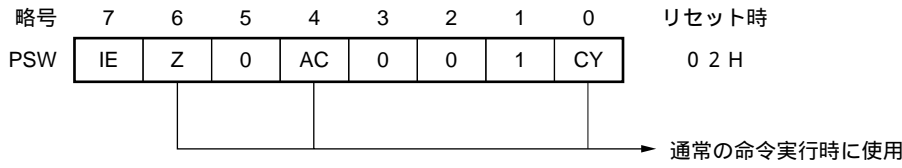
(3) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可 / 禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図7-4 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可 / 禁止
0	禁止
1	許可



## 8. スタンバイ機能

### 8.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、HALTモードとSTOPモードの2種類があります。

HALTモードはHALT命令、STOPモードはSTOP命令により設定します。

#### (1) HALTモード

CPUの動作クロックを停止させるモードです。通常動作との間欠動作により、平均消費電力を低減できます。

#### (2) STOPモード

システム・クロックの発振を停止させます。システム・クロックによる動作をすべて停止させ、微小消費電力状態にします。

**注意** STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

表8 - 1 HALTモード時の動作状態

項 目	HALTモード時の動作状態	
システム・クロック	システム・クロックの発振が可能 CPUへのクロック供給が停止	
CPU	動作停止	
EEPROM	動作可能 <sup>注</sup>	
ポート（出力ラッチ）	HALTモード設定前の状態を保持	
8ビット・タイマ/ イベント・カウンタ	TM30	動作可能
	TM40	動作可能
ウォッチドッグ・タイマ	動作可能	
パワーオン・クリア 回路	POC	動作可能
	LVI	動作可能
ビット・シーケンシャル・バッファ	動作可能	
キー・リターン回路	動作停止	

注 書き込み命令実行後，HALTモード設定可能

表8 - 2 STOPモード時の動作状態

項 目	STOPモード時の動作状態	
システム・クロック	システム・クロックの発振が停止 CPUへのクロック供給が停止	
CPU	動作停止	
EEPROM	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
8ビット・タイマ/ イベント・カウンタ	TM30	動作可能 <sup>注1</sup>
	TM40	動作可能 <sup>注2</sup>
ウォッチドッグ・タイマ	動作停止	
パワーオン・クリア 回路	POC	動作可能
	LVI	動作停止
ビット・シーケンシャル・バッファ	動作可能 <sup>注3</sup>	
キー・リターン回路	動作可能	

注1．TM40（カウント・クロックに外部クロック選択時）とのカスケード接続モード時のみ動作可能

2．カウント・クロックに外部クロックを選択したときのみ動作可能

3．TM40のカウント・クロックに外部クロックを選択し，INTTM40が発生する場合のみ動作可能

8.2 スタンバイ機能を制御するレジスタ (μ PD78E9860のみ) 注

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ でなく $2^{15}/f_x$ になります

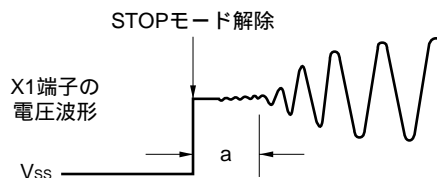
注 μ PD78E9861にOSTSはありません。μ PD78E9861の発振安定時間は $2^7/f_{cc}$ に固定されます。

図8-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μs)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 セラミック/クリスタル発振ではSTOPモード解除時のウェイト時間は  $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間 (下図a) は含みません。



備考1.  $f_x$ : システム・クロック発振周波数 (セラミック/クリスタル発振)

2. ( ) 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

9. リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) POC回路の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$ 入力により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力される、ウォッチドッグ・タイマのオーバフローが発生する、またはPOC回路の電圧検出により、リセットがかかり、各ハードウェアは表9-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後プログラムの実行を開始します。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs以上のロウ・レベルを入力してください。
- 2.** リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図9-1 リセット機能のブロック図

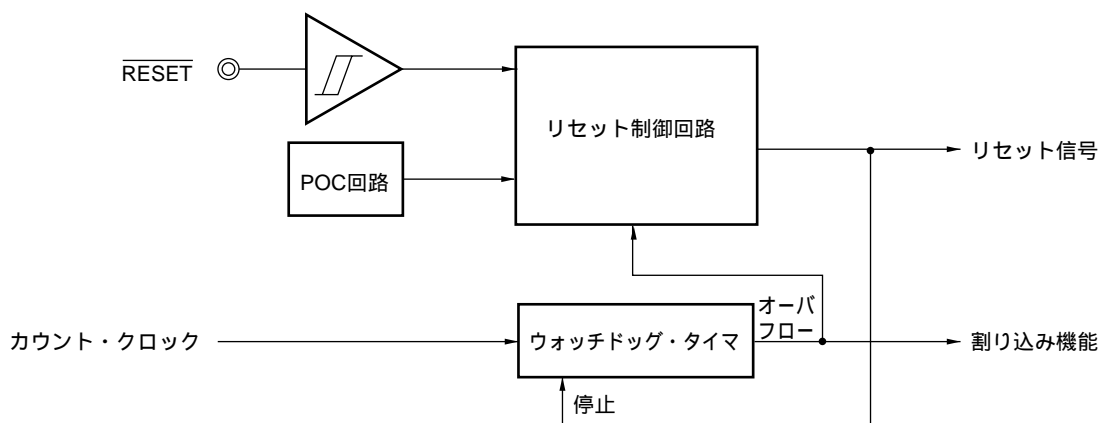


表9-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) <sup>注1</sup>		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
EEPROM (EEWC10)		08H
RAM	データ・メモリ	不定 <sup>注2</sup>
	汎用レジスタ	不定 <sup>注2</sup>
ポート (P0, P2) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM2)		FFH
プルアップ抵抗オプション・レジスタ (PU0, PUB2, PUB3)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS) <sup>注3</sup>		04H
8ビット・タイマ/イベント・カウンタ	タイマ・カウンタ (TM30, TM40)	00H
	コンペア・レジスタ (CR30, CR40, CRH40)	不定
	モード・コントロール・レジスタ (TMC30, TMC40)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCA40)	00H
★ ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ2 (TCL2)	00H
	モード・レジスタ (WDTM)	00H
パワーオン・クリア回路	パワーオン・クリア・レジスタ (POCF1)	00H <sup>注4</sup>
	低電圧検出レジスタ (LVIF1)	00H
	低電圧検出レベル選択レジスタ (LVIS1)	00H
ビット・シーケンシャル・バッファ	データ・レジスタ (BSFRL10, BSFRH10)	不定
	出力コントロール・レジスタ (BSFC10)	00H
割り込み	要求フラグ・レジスタ (IF0)	00H
	マスク・フラグ・レジスタ (MK0)	FFH

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. μ PD78E9860のみ

4. パワーオン・クリアによるリセット時のみ、04Hになります。

## 10 . EEPROM (プログラム・メモリ)

μ PD78E9860, 78E9861に内蔵されているプログラム・メモリはEEPROMです。

ここでは、プログラム・メモリ領域に内蔵されているEEPROMの機能について説明します。データ・メモリに内蔵されているEEPROMについては5.EEPROM (データ・メモリ)を参照してください。

EEPROMへの書き込みは、ターゲット・システムに実装した状態 (オンボード)で行うことができます。専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3))をホスト・マシンおよびターゲット・システムに接続して書き込みます。

**備考** FL-PR3は株式会社内藤電誠町田製作所の製品です。

### 10.1 通信方式の選択

EEPROMへの書き込みは、Flashpro を使用し、シリアル通信で行います。表10 - 1に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図10 - 1に示すようなフォーマットを用います。表10 - 1に示すV<sub>PP</sub>パルス数で、それぞれの通信方式が選択されます。

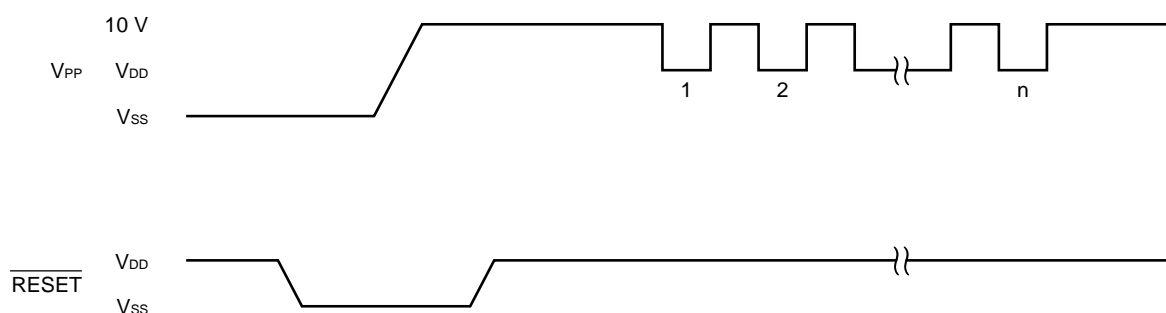
表10 - 1 通信方式一覧

通信方式	使用端子	V <sub>PP</sub> パルス数
疑似3線式 <sup>注</sup>	P00 (シリアル・クロック入力) P01 (シリアル・データ出力) P02 (シリアル・データ入力)	12

**注** ポートをソフトウェアで制御してシリアル転送を行います。

**注意** 通信方式は、必ず表10 - 1に示すV<sub>PP</sub>パルス数で選択してください。

図10 - 1 通信方式選択のフォーマット



10.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド / データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表5 - 2に示します。

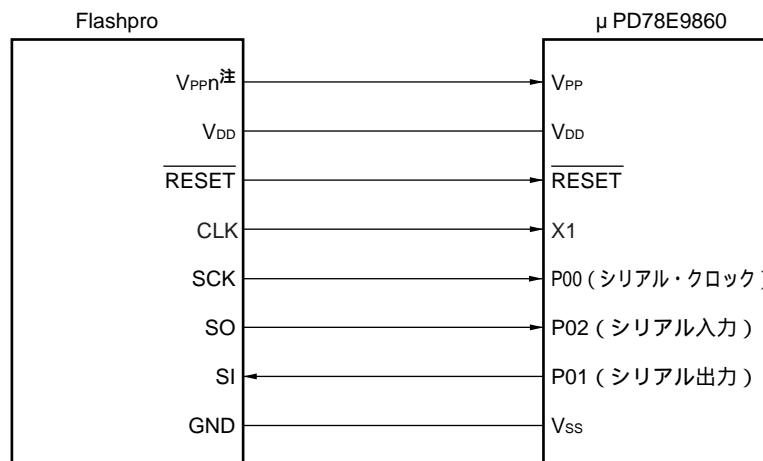
表10 - 2 フラッシュ・メモリ・プログラミングの主な機能

機 能	説 明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数 (バイト数) をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを確認します。

10.3 Flashpro の接続例

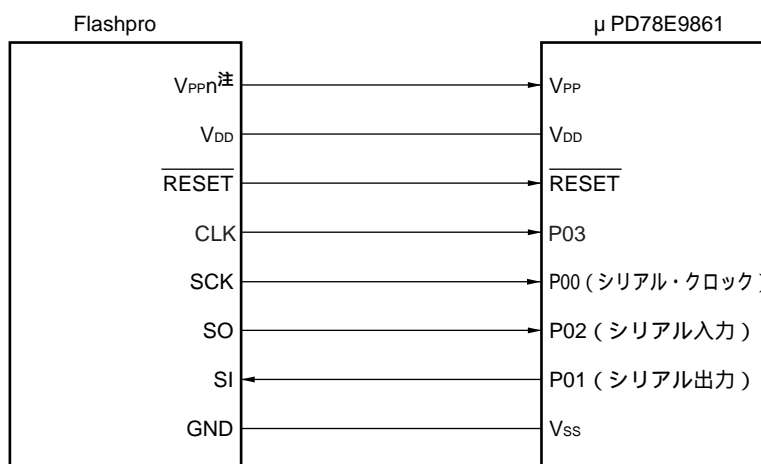
Flashpro とμ PD78E9860, 78E9861の接続図を図10 - 2, 図10 - 3に示します。

図10 - 2 疑似3線式でのFlashpro の接続 (μ PD78E9860の場合)



注 n = 0, 1

図10 - 3 疑似3線式でのFlashpro の接続 (μ PD78E9861の場合)



注 n = 0, 1

10.4 Flashpro (PG-FP3) での設定例

Flashpro (PG-FP3) を使用してフラッシュ・メモリへ書き込む場合は次のように設定してください。

パラメータ・ファイルをロードしてください。

タイプ・コマンドでシリアル的方式とシリアル・クロックを選択してください。

PG-FP3での設定例を次に示します。

表10 - 3 PG-FP3での設定例

通信方式	PG-FP3での設定例		VPPパルス数 <sup>注1</sup>
疑似3線式	COMM PORT	Port A	12
	CPU CLK	On Target Board	
		In Flashpro	
	On Target Board	4.1943 MHz	
	SIO CLK	1 kHz	
	In Flashpro	4.0 MHz	
SIO CLK	1 kHz		

注 シリアル通信のインシャライズ時にFlashpro から供給されるVPPパルス数です。このパルス数によって通信に使用する端子が決定されます。

- 備考
- COMM PORT : シリアル・ポートの選択
  - SIO CLK : シリアル・クロック周波数の選択
  - CPU CLK : 入力されるCPUクロック源の選択



## 11. 命令セットの概要

μ PD78E9860, 78E9861の命令セットを一覧表にして示します。

### 11.1 凡 例

#### 11.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミューディアット・データ指定
- ・ \$ : 相対アドレス指定
- ・ ! : 絶対アドレス指定
- ・ [ ] : 間接アドレス指定

イミューディアット・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表11-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X ( R0 ), A ( R1 ), C ( R2 ), B ( R3 ), E ( R4 ), D ( R5 ) L ( R6 ), H ( R7 )
rp	AX ( RP0 ), BC ( RP1 ), DE ( RP2 ), HL ( RP3 )
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミューディアット・データまたはラベル
saddrp	FE20H-FF1FH イミューディアット・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミューディアット・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミューディアット・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディアット・データまたはラベル
byte	8ビット・イミューディアット・データまたはラベル
bit	3ビット・イミューディアット・データまたはラベル

**備考** 特殊機能レジスタの略号は表4-1 特殊機能レジスタ一覧を参照してください。

## 11.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクブル割り込み処理中フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
X <sub>H</sub> , X <sub>L</sub>	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
∇	: 排他的論理和 (exclusive OR)
—	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

## 11.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

11.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
MOV	r, # byte	3	6	r byte	
	saddr, # byte	3	6	(saddr) byte	
	sfr, # byte	3	6	sfr byte	
	A, r <span style="float: right;">注1</span>	2	4	A r	
	r, A <span style="float: right;">注1</span>	2	4	r A	
	A, saddr	2	4	A (saddr)	
	saddr, A	2	4	(saddr) A	
	A, sfr	2	4	A sfr	
	sfr, A	2	4	sfr A	
	A, !addr16	3	8	A (addr16)	
	!addr16, A	3	8	(addr16) A	
	PSW, # byte	3	6	PSW byte	x x x
	A, PSW	2	4	A PSW	
	PSW, A	2	4	PSW A	x x x
	A, [ DE ]	1	6	A (DE)	
	[ DE ], A	1	6	(DE) A	
	A, [ HL ]	1	6	A (HL)	
	[ HL ], A	1	6	(HL) A	
A, [ HL + byte ]	2	6	A (HL + byte)		
[ HL + byte ], A	2	6	(HL + byte) A		
XCH	A, X	1	4	A X	
	A, r <span style="float: right;">注2</span>	2	6	A r	
	A, saddr	2	6	A (saddr)	
	A, sfr	2	6	A (sfr)	
	A, [ DE ]	1	8	A (DE)	
	A, [ HL ]	1	8	A (HL)	
	A, [ HL + byte ]	2	8	A (HL + byte)	
MOVW	rp, # word	3	6	rp word	
	AX, saddrp	2	6	AX (saddrp)	
	saddrp, AX	2	8	(saddrp) AX	
	AX, rp <span style="float: right;">注3</span>	1	4	AX rp	
	rp, AX <span style="float: right;">注3</span>	1	4	rp AX	
XCHW	AX, rp <span style="float: right;">注3</span>	1	8	AX rp	

注1 . r = Aを除く

2 . r = A, Xを除く

3 . rp = BC, DE, HLのみ

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
ADD	A, # byte	2	4	A, CY A + byte	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, !addr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, # byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, !addr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, # byte	2	4	A, CY A - byte	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, !addr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x
SUBC	A, # byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, # byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, !addr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, # byte	2	4	A A ∧ byte	x		
	saddr, # byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, !addr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
OR	A, # byte	2	4	A A ∨ byte		x	
	saddr, # byte	3	6	(saddr) (saddr) ∨ byte		x	
	A, r	2	4	A A ∨ r		x	
	A, saddr	2	4	A A ∨ (saddr)		x	
	A, !addr16	3	8	A A ∨ (addr16)		x	
	A, [ HL ]	1	6	A A ∨ (HL)		x	
	A, [ HL + byte ]	2	6	A A ∨ (HL + byte)		x	
XOR	A, # byte	2	4	A A ∨ byte		x	
	saddr, # byte	3	6	(saddr) (saddr) ∨ byte		x	
	A, r	2	4	A A ∨ r		x	
	A, saddr	2	4	A A ∨ (saddr)		x	
	A, !addr16	3	8	A A ∨ (addr16)		x	
	A, [ HL ]	1	6	A A ∨ (HL)		x	
	A, [ HL + byte ]	2	6	A A ∨ (HL + byte)		x	
CMP	A, # byte	2	4	A - byte	x	x	x
	saddr, # byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, !addr16	3	8	A - (addr16)	x	x	x
	A, [ HL ]	1	6	A - (HL)	x	x	x
	A, [ HL + byte ]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, # word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, # word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, # word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
ROL	A, 1	1	2	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x
RORC	A, 1	1	2	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) × 1回			x
ROLC	A, 1	1	2	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) × 1回			x

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f<sub>cpu</sub>) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
SET1	saddr. bit	3	6	(saddr. bit) 1	
	sfr. bit	3	6	sfr. bit 1	
	A. bit	2	4	A. bit 1	
	PSW. bit	3	6	PSW. bit 1	x x x
	[HL]. bit	2	10	(HL). bit 1	
CLR1	saddr. bit	3	6	(saddr. bit) 0	
	sfr. bit	3	6	sfr. bit 0	
	A. bit	2	4	A. bit 0	
	PSW. bit	3	6	PSW. bit 0	x x x
	[HL]. bit	2	10	(HL). bit 0	
SET1	CY	1	2	CY 1	1
CLR1	CY	1	2	CY 0	0
NOT1	CY	1	2	CY $\overline{CY}$	x
CALL	laddr16	3	6	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3) <sub>L</sub> , PC addr16, SP SP - 2	
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (00000000, addr5 + 1), PC <sub>L</sub> (00000000, addr5), SP SP - 2	
RET		1	6	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), SP SP + 2	
RETI		1	8	PC <sub>H</sub> (SP + 1), PC <sub>L</sub> (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R R R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1	
	rp	1	4	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2	
POP	PSW	1	4	PSW (SP), SP SP + 1	R R R
	rp	1	6	rp <sub>H</sub> (SP + 1), rp <sub>L</sub> (SP), SP SP + 2	
MOVW	SP, AX	2	8	SP AX	
	AX, SP	2	6	AX SP	
BR	laddr16	3	6	PC addr16	
	\$addr16	2	6	PC PC + 2 + jdisp8	
	AX	1	6	PC <sub>H</sub> A, PC <sub>L</sub> X	

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f<sub>cpu</sub>)の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
BC	\$addr16	2	6	PC PC + 2 + jdisp8 if CY = 1	
BNC	\$addr16	2	6	PC PC + 2 + jdisp8 if CY = 0	
BZ	\$addr16	2	6	PC PC + 2 + jdisp8 if Z = 1	
BNZ	\$addr16	2	6	PC PC + 2 + jdisp8 if Z = 0	
BT	saddr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if ( saddr. bit ) = 1	
	sfr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr. bit = 1	
	A. bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A. bit = 1	
	PSW. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW. bit = 1	
BF	saddr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if ( saddr. bit ) = 0	
	sfr. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr. bit = 0	
	A. bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A. bit = 0	
	PSW. bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW. bit = 0	
DBNZ	B, \$addr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B = 0	
	C, \$addr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C = 0	
	saddr, \$addr16	3	8	( saddr ) ( saddr ) - 1, then PC PC + 3 + jdisp8 if ( saddr ) = 0	
NOP		1	2	No Operation	
EI		3	6	IE = 1 ( Enable Interrupt )	
DI		3	6	IE = 0 ( Disable Interrupt )	
HALT		1	2	Set HALT Mode	
STOP		1	2	Set STOP Mode	

**備考** 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

## 12. 電気的特性

絶対最大定格 (T<sub>A</sub> = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>DD</sub>		- 0.3 ~ + 6.5	V
	V <sub>PP</sub>		- 0.3 ~ + 10.5	V
入力電圧	V <sub>I</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V
出力電圧	V <sub>O</sub>		- 0.3 ~ V <sub>DD</sub> + 0.3	V
ハイ・レベル出力電流	I <sub>OH</sub>	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I <sub>OL</sub>	1端子	30	mA
		全端子合計	80	mA
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>		- 40 ~ + 125	

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。



システム・クロック発振回路特性

セラミック / クリスタル発振 (μ PD78E9860)

( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 3.6 V$ )

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 ( $f_x$ ) <sup>注1</sup>	$V_{DD} =$ 発振電圧範囲	1.0		5.0	MHz
		発振安定時間 <sup>注2</sup>	$V_{DD}$ が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 ( $f_x$ ) <sup>注1</sup>		1.0		5.0	MHz
		発振安定時間 <sup>注2</sup>				30	ms
外部クロック		X1入力周波数 ( $f_x$ ) <sup>注1</sup>		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 ( $t_{xH}$ , $t_{xL}$ )			85		500

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

**注意** セラミック / クリスタル発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

**備考** 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

RC発振 (μ PD78E9861)

( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 3.6$  V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
RC発振子		発振周波数 ( fcc ) 注1, 2	$V_{DD} =$ 発振電圧範囲	0.85		1.15	MHz
外部クロック		CL1入力周波数 ( fcc ) 注1		1.0		5.0	MHz
		CL1入力ハイ、ロウ・レベル幅 ( t <sub>xH</sub> , t <sub>xL</sub> )		85		500	ns

注1．発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2．外部抵抗，外部容量のばらつきは含みません。

**注意** RC発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	I <sub>OL</sub>	1端子				2.5	mA
		全端子				5.0	mA
ハイ・レベル出力電流	I <sub>OH</sub>	1端子				- 0.5	mA
		全端子				- 5.0	mA
ハイ・レベル入力電圧	V <sub>IH1</sub>	P00-P07	2.7 V <sub>DD</sub> 3.6	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
			1.8 V <sub>DD</sub> < 2.7	0.9 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH2</sub>	RESET, P20, P21, P40-P43	2.7 V <sub>DD</sub> 3.6	0.8 V <sub>DD</sub>		V <sub>DD</sub>	V
			1.8 V <sub>DD</sub> < 2.7	0.9 V <sub>DD</sub>		V <sub>DD</sub>	V
	V <sub>IH3</sub>	X1, X2 ( CL1, CL2 )		V <sub>DD</sub> - 0.1		V <sub>DD</sub>	V
	ロウ・レベル入力電圧	V <sub>IL1</sub>	P00-P07	2.7 V <sub>DD</sub> 3.6	0		0.3 V <sub>DD</sub>
1.8 V <sub>DD</sub> < 2.7				0		0.1 V <sub>DD</sub>	V
V <sub>IL2</sub>		RESET, P20, P21, P40-P43	2.7 V <sub>DD</sub> 3.6	0		0.2 V <sub>DD</sub>	V
			1.8 V <sub>DD</sub> < 2.7	0		0.1 V <sub>DD</sub>	V
V <sub>IL3</sub>		X1, X2 ( CL1, CL2 )		0		V <sub>DD</sub> - 0.1	V
ハイ・レベル出力電圧		V <sub>OH1</sub>	P00-P07, P20, P21	I <sub>OH</sub> = - 100 μA	V <sub>DD</sub> - 0.5		
	I <sub>OH</sub> = - 500 μA			V <sub>DD</sub> - 0.7			V
ロウ・レベル出力電圧	V <sub>OL1</sub>	P00-P07, P20, P21	I <sub>OL</sub> = 400 μA			0.5	V
			I <sub>OL</sub> = 2 mA			0.7	V
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	V <sub>I</sub> = V <sub>DD</sub>	X1, X2 ( CL1, CL2 ) 以外の端子			3	μA
			X1, X2 ( CL1, CL2 )			20	μA
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	V <sub>I</sub> = 0 V	X1, X2 ( CL1, CL2 ) 以外の端子			- 3	μA
			X1, X2 ( CL1, CL2 )			- 20	μA
ハイ・レベル出カリーク電流	I <sub>LOH</sub>	V <sub>O</sub> = V <sub>DD</sub>				3	μA
ロウ・レベル出カリーク電流	I <sub>LOL</sub>	V <sub>O</sub> = 0 V				- 3	μA

備考1. 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

2. ( ) 内は, μ PD78E9861のとき

DC特性 (TA = - 40 ~ + 85 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流 <sup>注</sup> セラミック/クリスタル 発振: μ PD78E9860	I <sub>DD1</sub>	4.19 MHz 水晶発振動作モード (EEPROM (データ・メモリ) 停止時) C <sub>1</sub> = C <sub>2</sub> = 22 pF	V <sub>DD</sub> = 3.6 V		4.55	5.0	mA
	I <sub>DD2</sub>	4.19 MHz 水晶発振HALTモード (EEPROM (データ・メモリ) 停止時) C <sub>1</sub> = C <sub>2</sub> = 22 pF	V <sub>DD</sub> = 3.6 V		0.4	0.6	mA
	I <sub>DD3</sub>	STOPモード (POC動作時)	V <sub>DD</sub> = 3.6 V		2.0	3.0	μA
			V <sub>DD</sub> = 3.0 V T <sub>A</sub> = - 20 ~ + 75		未定	未定	μA
I <sub>DD4</sub>	STOPモード (POC停止時)	V <sub>DD</sub> = 3.0 V T <sub>A</sub> = - 20 ~ + 75			未定	μA	
電源電流 <sup>注</sup> RC発振: μ PD78E9861	I <sub>DD1</sub>	1.0 MHz RC発振動作モード (EEPROM (データ・メモリ) 停止時) R = 22 kΩ, C = 27 pF	V <sub>DD</sub> = 3.6 V		4.95	5.5	mA
	I <sub>DD2</sub>	1.0 MHz RC発振HALTモード (EEPROM (データ・メモリ) 停止時) R = 22 kΩ, C = 27 pF	V <sub>DD</sub> = 3.6 V		0.8	1.0	mA
	I <sub>DD3</sub>	STOPモード (POC動作時)	V <sub>DD</sub> = 3.6 V		2.0	3.0	μA
			V <sub>DD</sub> = 3.0 V T <sub>A</sub> = - 20 ~ + 75		未定	未定	μA
I <sub>DD4</sub>	STOPモード (POC停止時)	V <sub>DD</sub> = 3.0 V T <sub>A</sub> = - 20 ~ + 75			未定	μA	

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。また, EEPROM (データ・メモリ) の書き込み動作, 読み出し動作によってさらに電流が加わります。電流値についてはEEPROM (データ・メモリ) 特性を参照してください。

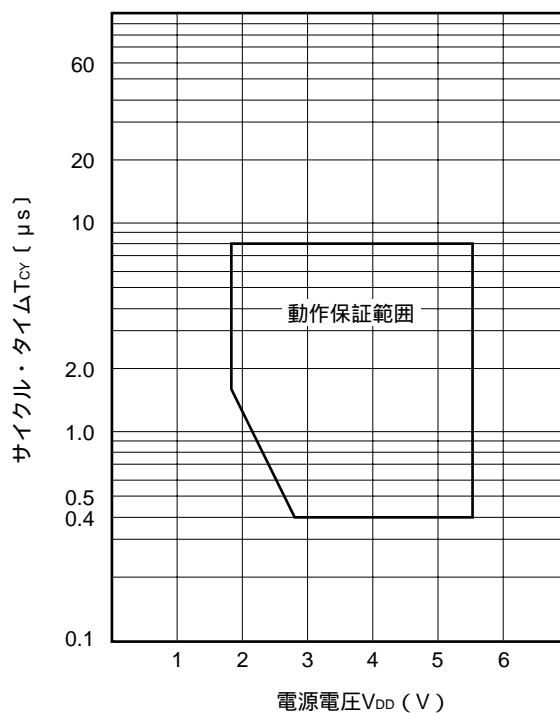
備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 3.6 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T <sub>CY</sub>	V <sub>DD</sub> = 2.7 ~ 3.6 V	0.4		8	μs
			1.6		8	μs
TMI入力 入力周波数	f <sub>TI</sub>	2.7 V <sub>DD</sub> 3.6	0		4.0	MHz
		1.8 V <sub>DD</sub> < 2.7	0		500	kHz
TMI ハイ, ロウ・レベル幅	t <sub>TIH</sub> , t <sub>TIL</sub>	2.7 V <sub>DD</sub> 3.6	0.1			μs
		1.8 V <sub>DD</sub> < 2.7	1.0			μs
キー・リターン入力端子 ロウ・レベル幅	t <sub>KRIL</sub>	KR10-KR13	10			μs
RESET ロウ・レベル幅	t <sub>RST</sub>		10			μs

T<sub>CY</sub> vs V<sub>DD</sub> (システム・クロック : セラミック / クリスタル発振)

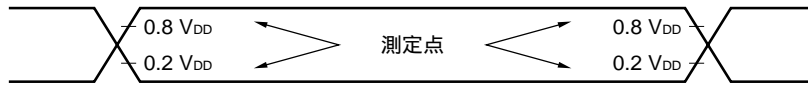


(2) RC周波数発振特性 ( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \sim 3.6 V$ )

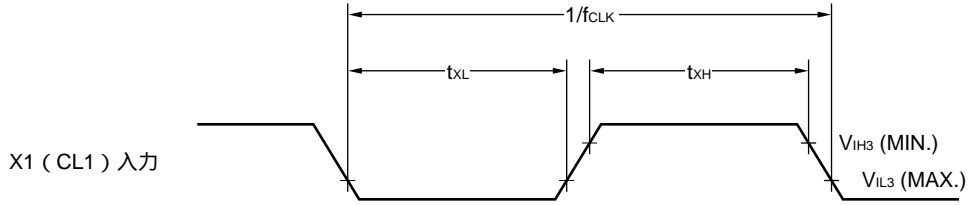
項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数 <sup>注</sup>	f <sub>CC</sub>	R = 未定, C = 未定	0.85		1.15	MHz

注 外部抵抗, 外部容量によるばらつきは含みません。

ACタイミング測定点 (X1, CL1入力を除く)

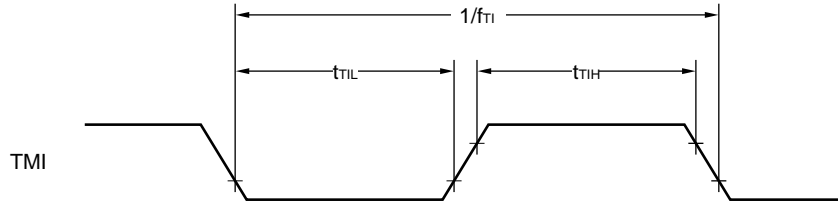


クロック・タイミング

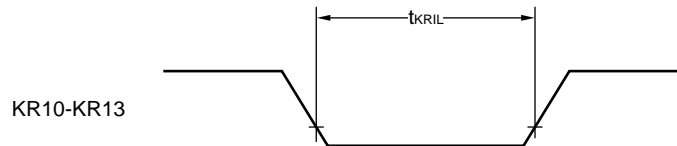


備考 fCLK : fxまたはfcc

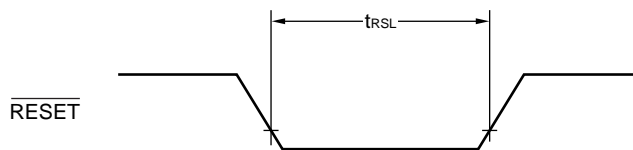
TMIタイミング



キー・リターン入力タイミング



RESET入力タイミング



パワーオン・クリア回路特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

(1) POC

(a) DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>POC</sub>	応答時間 <sup>注</sup> : 2 ms	1.8	1.9	2.0	V

注 電圧を検出してから出力が反転するまでの時間および停止状態から動作状態へ遷移したときの安定動作までの時間

(b) AC特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源立ち上げ時間	T <sub>Pth1</sub>	V <sub>DD</sub> : 0 1.8 V	0.01		100	ms
	T <sub>Pth2</sub>	V <sub>DD</sub> : 0 1.8 V TA = +25	10		未定	μs

(2) LVI

(a) DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI7検出電圧	V <sub>LVI7</sub>	応答時間 <sup>注1</sup> : 2 ms	2.4	2.6	2.8	V
LVI6検出電圧	V <sub>LVI6</sub>	応答時間 <sup>注1</sup> : 2 ms		注2		V
LVI5検出電圧	V <sub>LVI5</sub>	応答時間 <sup>注1</sup> : 2 ms		注2		V
LVI4検出電圧	V <sub>LVI4</sub>	応答時間 <sup>注1</sup> : 2 ms		注2		V
LVI3検出電圧	V <sub>LVI3</sub>	応答時間 <sup>注1</sup> : 2 ms		注2		V
LVI2検出電圧	V <sub>LVI2</sub>	応答時間 <sup>注1</sup> : 2 ms		注2		V
LVI1検出電圧	V <sub>LVI1</sub>	応答時間 <sup>注1</sup> : 2 ms		注2		V
LVI0検出電圧	V <sub>LVI0</sub>	応答時間 <sup>注1</sup> : 2 ms	注3	2.0	2.2	V

注1 . 電圧を検出してから出力が反転するまでの時間および停止状態から動作状態へ遷移したときの安定動作までの時間

2 . 相対関係 : V<sub>LVI7</sub> > V<sub>LVI6</sub> > V<sub>LVI5</sub> > V<sub>LVI4</sub> > V<sub>LVI3</sub> > V<sub>LVI2</sub> > V<sub>LVI1</sub> > V<sub>LVI0</sub>

3 . V<sub>POC</sub> < V<sub>LVI0</sub>

EEPROM (データ・メモリ) 特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み時間 <sup>注1</sup>			3.3		6.6	ms
書き換え回数		バイトごと			10	万回
書き込み電圧			2.0		3.6	V
		TA = 未定	1.8		3.6	V
読み出し電圧			1.8		3.6	V
電源電流		ERE10 <sup>注2</sup> = 1 , EWE10 <sup>注3</sup> = 1	VDD = 3.0 V ± 10 %	0.3 <sup>注4,6</sup>	未定	mA
			VDD = 2.0 V ± 10 %	0.1 <sup>注5,7</sup>	未定	mA
		ERE10 <sup>注2</sup> = 1 , EWE10 <sup>注3</sup> = 0	VDD = 3.0 V ± 10 %	0.27 <sup>注6</sup>	未定	mA
			VDD = 2.0 V ± 10 %	0.09 <sup>注7</sup>	未定	mA
		ERE10 <sup>注2</sup> = 0 , EWE10 <sup>注3</sup> = 0 またはSTOPモード	VDD = 1.8 ~ 3.6 V	0	1	μA

注1 . 書き込み時間 = T × 145 ( T = EWCS100-EWCS102で選択したクロックの1周期の時間 )

2 . EEPROMライト・コントロール・レジスタ10 ( EEWC10 ) のビット2

3 . EEWC10のビット0

4 . 書き込み動作中はさらに0.7 mA ( TYP. ) の電流が流れます。

5 . 書き込み動作中はさらに0.9 mA ( TYP. ) の電流が流れます。

6 . 読み出し動作中はさらに0.9 mA ( TYP. ) の電流が流れます。

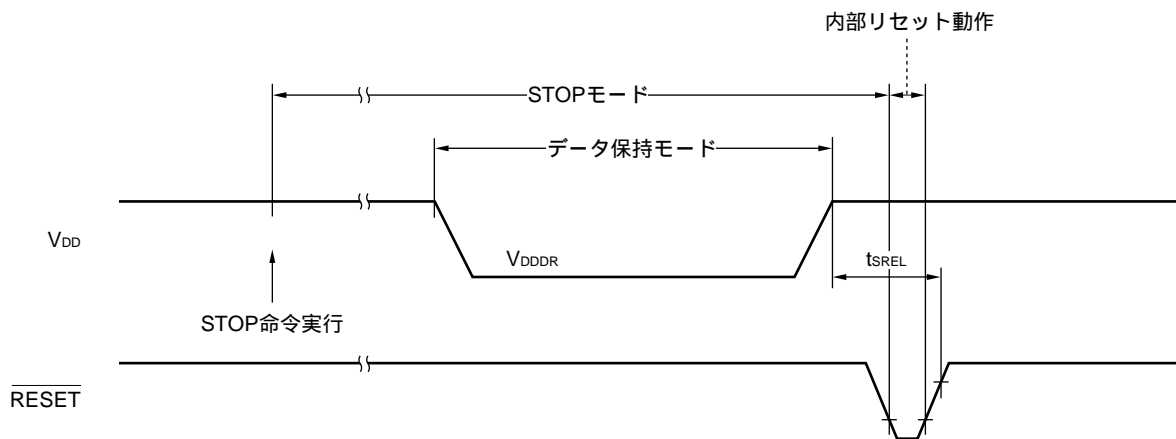
7 . 読み出し動作中はさらに0.3 mA ( TYP. ) の電流が流れます。



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.8		3.6	V
リリース信号セット時間	tsREL	RESET端子によるSTOP解除	10			μs

データ保持タイミング (RESETによるSTOPモード解除)



★ 発振安定ウエイト時間 (TA = -40 ~ +85 , VDD = 1.8 ~ 3.6 V)

(a) セラミック/クリスタル発振 (μ PD78E9860)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振ウエイト時間 <sup>注1</sup>		RESETによるSTOP解除またはPOCによるリセット解除		2 <sup>15</sup> /fx		s
		割り込みによる解除		注2		s

注1. リセット解除またはSTOPモード解除後, 発振が安定するのに必要な時間です。

2. 発振安定時間選択レジスタのビット0-2 (OSTS0-OSTS2) により2<sup>12</sup>/fx, 2<sup>15</sup>/fx, 2<sup>17</sup>/fxを選択可能です。

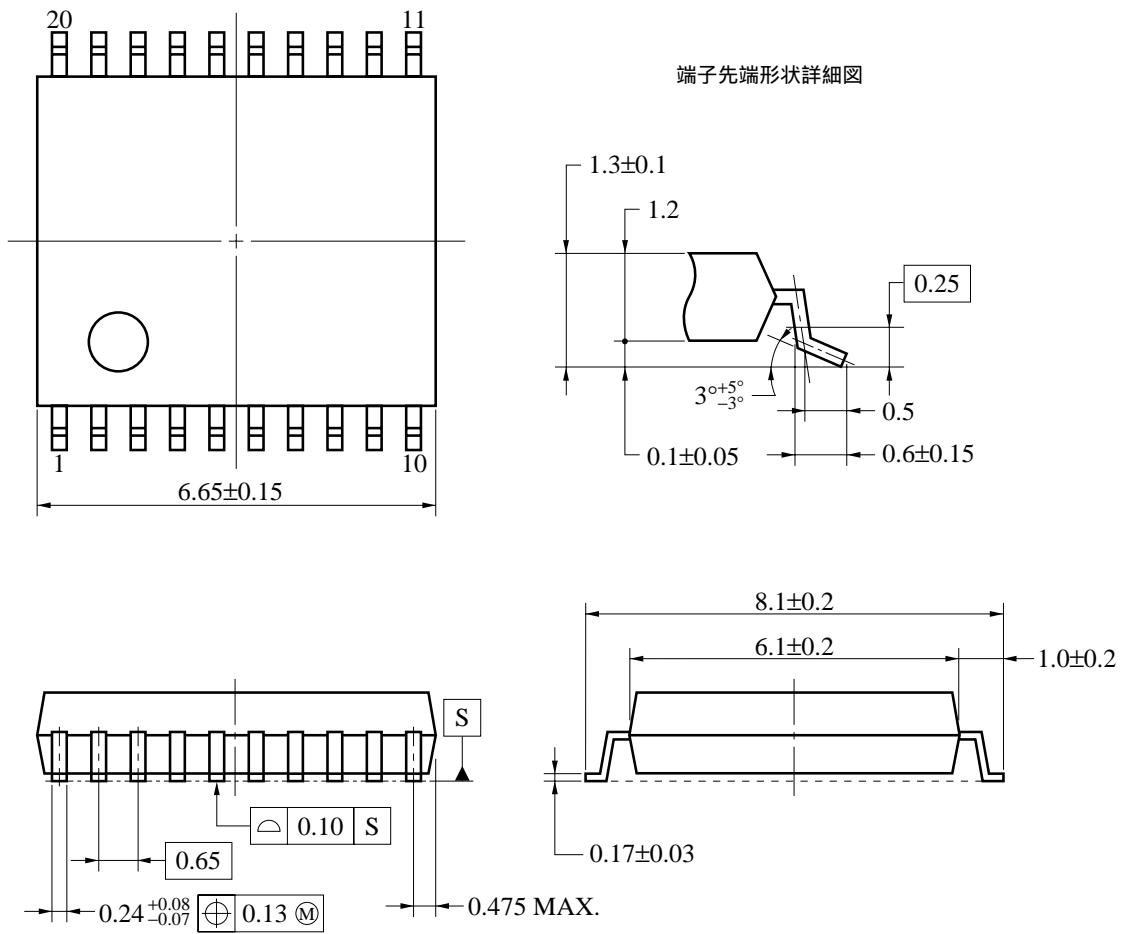
(b) RC発振 (μ PD78E9861)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振ウエイト時間 <sup>注</sup>		RESETによるSTOP解除またはPOCによるリセット解除		2 <sup>7</sup> /fcc		s
		割り込みによる解除		2 <sup>7</sup> /fcc		s

注 リセット解除またはSTOPモード解除後, 発振が安定するのに必要な時間です。

13. 外形図

20ピン・プラスチックSSOP (7.62 mm (300)) 外形図 (単位: mm)



S20MC-65-5A4-2

付録A . EEPROM製品とマスクROM製品の違い

μ PD78E9860はマスクROM製品であるμ PD789860の内部ROMを , μ PD78E9861はマスクROM製品であるμ PD789861の内部ROMをそれぞれEEPROMに置き換えた製品です。EEPROM製品とマスクROM製品の違いを表A - 1に示します。

表A - 1 EEPROM製品とマスクROM製品の違い

項目		EEPROM製品		マスクROM製品	
		μ PD78E9860	μ PD78E9861	μ PD789860	μ PD789861
プログラム・メモリ	ROM構造	EEPROM		マスクROM	
	ROM容量	4 Kバイト			
データ・メモリ	高速RAM容量	128バイト			
	EEPROM	32バイト			
システム・クロック		セラミック / クリ スタル発振	RC発振	セラミック / クリ スタル発振	RC発振
プルアップ抵抗		なし		4本 (マスク・オプション指定)	
パワーオン・クリア回路		POC切り替え回路のみ		POC常時ON / 常時OFF / 切り替え回路 を選択可能 (マスク・オプション指定)	
V <sub>PP</sub> 端子		あり		なし	
IC端子		なし		あり	
電気的特性		EEPROM製品とマスクROM製品で異なる場合があります			

**注意** EEPROM製品とマスクROM製品では , ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でEEPROM製品からマスクROM製品への置き換えを検討される場合は , マスクROM製品のCS製品 (ES製品でなく) で十分な評価をしてください。

付録B . 開発ツール

μ PD78E9860, 78E9861を使用するシステム開発のために次のような開発ツールを用意しています。

言語処理用ソフトウェア

RA78K0S <sup>注1, 2, 3</sup>	78K/0Sシリーズ共通のアセンブラ・パッケージ
CC78K0S <sup>注1, 2, 3</sup>	78K/0Sシリーズ共通のCコンパイラ・パッケージ
CC78K0S-L <sup>注1, 2, 3</sup>	78K/0Sシリーズ共通のCコンパイラ・ソース・ファイル
DF789861 <sup>注1, 2, 3</sup>	μ PD789860, 789861サブシリーズ用デバイス・ファイル

フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3 <sup>注4</sup> , PG-FP3)	フラッシュ・メモリ (EEPROM) 内蔵マイコン専用のフラッシュ・ライタ
FA-20MC <sup>注4</sup>	20ピン・プラスチック・シュリンクSOP (MC-5A4タイプ) 用フラッシュ・メモリ (EEPROM) 書き込み用アダプタ。

ディバグ用ツール

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータです。統合ディバグ (ID78K0S-NS) に対応しています。ACアダプタ, エミュレーション・プロ・ブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B ACアダプタ	AC100 ~ 240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタ (Cバス対応) です。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0S-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル (PCMCIAソケット対応) です。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてIBM PC/AT <sup>TM</sup> 互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78K0S-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
★ IE-789860-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-20MC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。20ピン・プラスチック・シュリンクSOP (MC-5A4タイプ) 用です。
SM78K0S <sup>注1, 2</sup>	78K/0Sシリーズ共通のシステム・シミュレータ
DF789861 <sup>注1, 2</sup>	μ PD789860, 789861サブシリーズ用デバイス・ファイル

リアルタイムOS

MX78K0S <sup>注1, 2</sup>	78K/0Sシリーズ用OS
--------------------------	---------------

注1 . PC-9800シリーズ (日本語Windows) ベース

2 . IBM PC/AT互換機 (日本語 / 英語Windows) ベース

3 . HP9000シリーズ700<sup>TM</sup> (HP-UX<sup>TM</sup>) ベース, SPARCstation<sup>TM</sup> (SunOS<sup>TM</sup>, Solaris<sup>TM</sup>) ベース, NEWS<sup>TM</sup> (NEWS-OS<sup>TM</sup>) ベース

4 . 株式会社内藤電誠町田製作所 (044-822-3813) の製品です。ご購入の際は、NEC特約店にご相談ください。

備考 RA78K0S, CC78K0S, SM78K0S, DF789861と組み合わせて使用します。

付録C . 関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789860, 789861 ペーパ・マシン	U13917J	U13917E
μ PD78E9860, 78E9861 ペーパ・マシン	この資料	U14385E
μ PD789860, 789861サブシリーズ ユーザーズ・マニュアル	作成予定	作成予定
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E
78K/0, 78K/0Sシリーズ アプリケーション・ノート フラッシュ・メモリ書き込み編	U14458J	U14458E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U11622J	U11622E
	アセンブリ言語編	U11599J	U11599E
	構造化アセンブリ言語編	U11623J	U11623E
CC78K0S Cコンパイラ	操作編	U11816J	U11816E
	言語編	U11817J	U11817E
SM78K0S システム・シミュレータ Windowsベース	レファレンス編	U11489J	U11489E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0S-NS 統合ディバッガ Windowsベース	レファレンス編	U12901J	U12901E
ID78K0S-NS インサーキット・エミュレータ		U13549J	U13549E
IE-789860-NS-EM1 エミュレーション・ボード		作成予定	作成予定

組み込み用ソフトウェアの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
78K/0Sシリーズ用OS MX78K0S	基礎編	U12938J	U12938E

## その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE Products & Packages (CD-ROM)	X13769X	
半導体デバイス 実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質/信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

## CMOSデバイスの一般的注意事項

**静電気対策 (MOS全般)**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力処理 (CMOS特有)**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態 (MOS全般)**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品は、EEPROM内蔵マイコン特許に関してCP8 Transac社とのライセンス契約にもとづき製造・販売しております。

なお、本製品をICカード (SMART CARD) に使用することはできません。

EEPROMは、日本電気株式会社の商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パッカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M5 98.8

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00、午後 1:00～5:00)

電話 : 044-548-8899  
FAX : 044-548-7900  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

第一販売事業部	第二販売事業部	第三販売事業部
東京 (03)3798-6106, 6107, 6108	東京 (03)3798-6110, 6111, 6112	東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
名古屋 (052)222-2375	立川 (042)526-5981, 6167	水戸 (029)226-1702
大阪 (06)6945-3178, 3200, 3208, 3212	松本 (0263)35-1662	広島 (082)242-5504
仙台 (022)267-8740	静岡 (054)254-4794	高崎 (027)326-1303
郡山 (024)923-5591	金沢 (076)232-7303	鳥取 (0857)27-5313
千葉 (043)238-8116	松山 (089)945-4149	太田 (0276)46-4014
		名古屋 (052)222-2170, 2190
		福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。 URL(アドレス) <http://www.ic.nec.co.jp/>

C00.4