

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ADVANCED ATM SONET FRAMER

μ PD98404 NEASCOT-P30™は、ATM 用 LSI の 1 つで、パソコンやワークステーションを ATM ネットワークに接続するための ATM アダプタ・ボードをはじめ、ATM ハブ、ATM スイッチなどに用いられ、ATM フォーラム UNI3.1 勧告に定められている ATM プロトコルのうち、SONET/SDH ベースの物理レイヤにおいて、TC サブレイヤの機能を果たします。

その主な機能は、送信機能として ATM レイヤから渡される ATM セルを 155 Mbps の SONET STS-3c/SDH STM-1 フレームのペイロード部にマッピングして回線側に送出することと、受信機能として逆に回線側から受信したデータ列からオーバーヘッド部と ATM セルを分離して ATM セルを ATM レイヤ側デバイスに送出することです。またさらに、受信データのビット・ストリームから受信同期クロックを抽出するクロック・リカバリ機能、および、送信用クロックを生成するクロック・シンセシス機能を搭載しています。

詳しい機能説明などはユーザーズ・マニュアルに記載しております。設計の際には必ずお読みください。

μ PD98404 ユーザーズ・マニュアル：S11821J

特 徴

クロック・リカバリ機能/クロック・シンセシス機能を内蔵

ATM プロトコル物理レイヤの TC サブレイヤの機能を提供

155 Mbps SONET STS-3c フレーム / SDH STM-1 フレーム・フォーマットをサポート

ATM レイヤ・デバイスとのインタフェースは、ATM Forum UTOPIA Level2 v1.0 (June 1995) に適合し、3 種類のモードをサポート

- ・シングル PHY オクテット・レベル・ハンドシェーク
- ・シングル PHY セル・レベル・ハンドシェーク
- ・マルチ PHY モード

アンアサインド・セルの廃棄 / 通過選択可能

PMD レイヤ折り返し、ATM レイヤ折り返しでの内部ループバック機能をサポート

シリアル / パラレルの 2 種類の PMD インタフェースをサポート

- ・ 155.52 Mbps シリアル・インタフェース
- ・ 19.44 MHz パラレル・インタフェース

オーバーヘッド情報の書き込み / 読み出し用のレジスタを装備

SOH (セクション・オーバーヘッド) : J0 バイト, Z0 (第 1-第 2) バイト, F1 バイト

LOH (ライン・オーバーヘッド) : K1 バイト, K2 バイト

POH (パス・オーバーヘッド) : F2 バイト, C2 バイト, H4 バイト

本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

各種エラーの疑似送出テスト機能を装備

豊富な OAM (Operation And Maintenance) 機能を装備

送信側

- 各種警報の送出
 - * 要因発生による自動折り返し送出
 - Line RDI, Path RDI
 - Line REI, Path REI
 - * コマンド指示による送出
 - Line AIS, Path AIS
- 疑似エラー生成フレームの送出機能
 - LOS 生成フレーム
 - OOF , LOF 生成フレーム
 - LOP 生成フレーム
 - OCD , LCD 生成フレーム
 - B1 エラー生成フレーム
 - B2 エラー生成フレーム
 - B3 エラー生成フレーム

受信側

- 警報 , 異常信号の検出
 - LOS (Loss Of Signal)
 - OOF (Out Of Frame)
 - LOF (Loss Of Frame)
 - LOP (Loss Of Pointer)
 - OCD (Out of Cell Delineation)
 - LOC (Loss Of Cell Delineation)
 - Line RDI , Path RDI
 - Line AIS, Path AIS
- 品質低下要因の検出 , 表示
 - B1 エラー , B2 エラー , B3 エラー ,
 - Line REI, Path REI
- エラー発生回数カウンタを搭載
 - B1 バイト・エラー・カウンタ (16 ビット幅)
 - B2 バイト・エラー・カウンタ (20 ビット幅)
 - B3 バイト・エラー・カウンタ (16 ビット幅)
 - Line REI エラー・カウンタ (20 ビット幅)
 - Path REI エラー・カウンタ (16 ビット幅)
 - 受信側 Frequency Justification 処理カウンタ (12 ビット幅)
 - HEC エラー廃棄セル・カウンタ (20 ビット幅)
 - FIFO オーバフロー廃棄セル・カウンタ (20 ビット幅)
 - 有効セル・カウンタ (20 ビット幅)

JTAG バウンダリ・スキャン・テスト (IEEE 1149.1) サポート

CMOS プロセス

+ 3.3 V 単一電源

オーダ情報

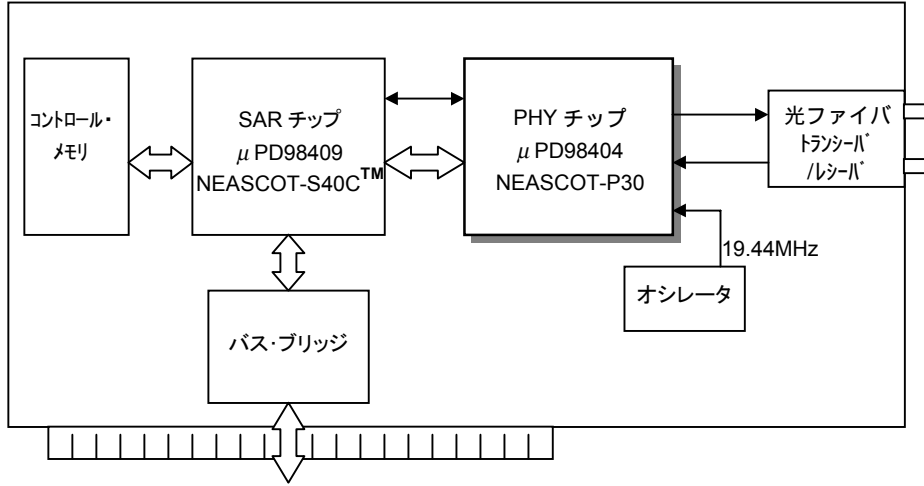
オーダ名称	パッケージ
μ PD98404GJ-KEU	144 ピン・プラスチック QFP (ファインピッチ) (20 × 20)

システム構成例

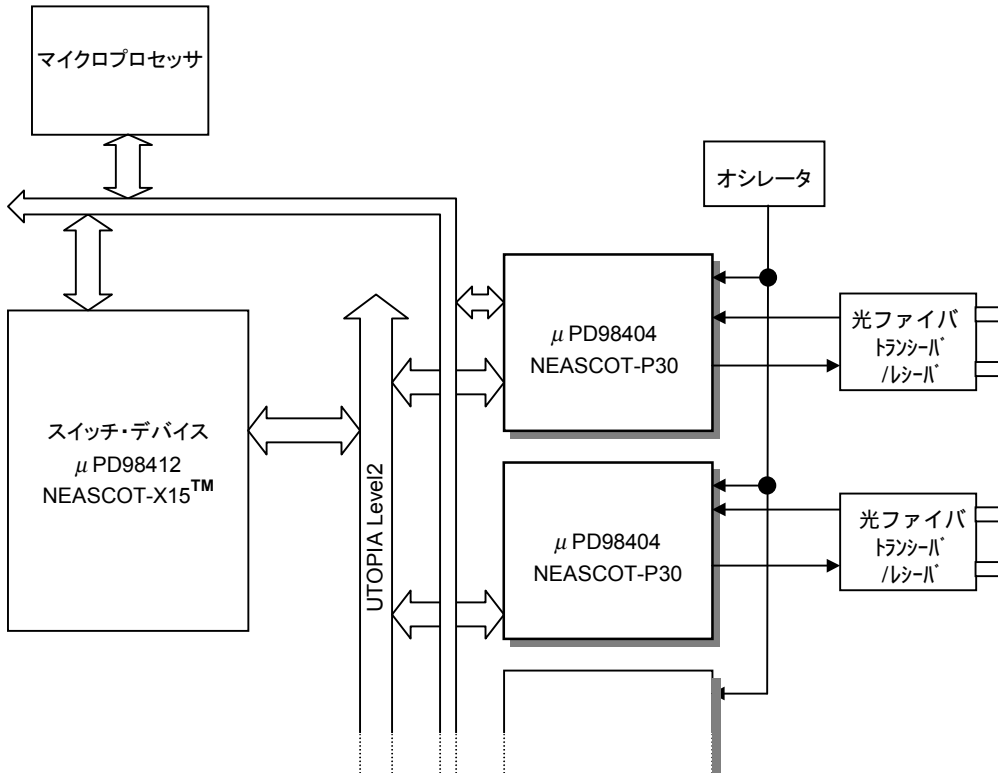
μ PD98404 を用いたシステム構成例を次に示します。

★

ATM アダプタ・カード・アプリケーション

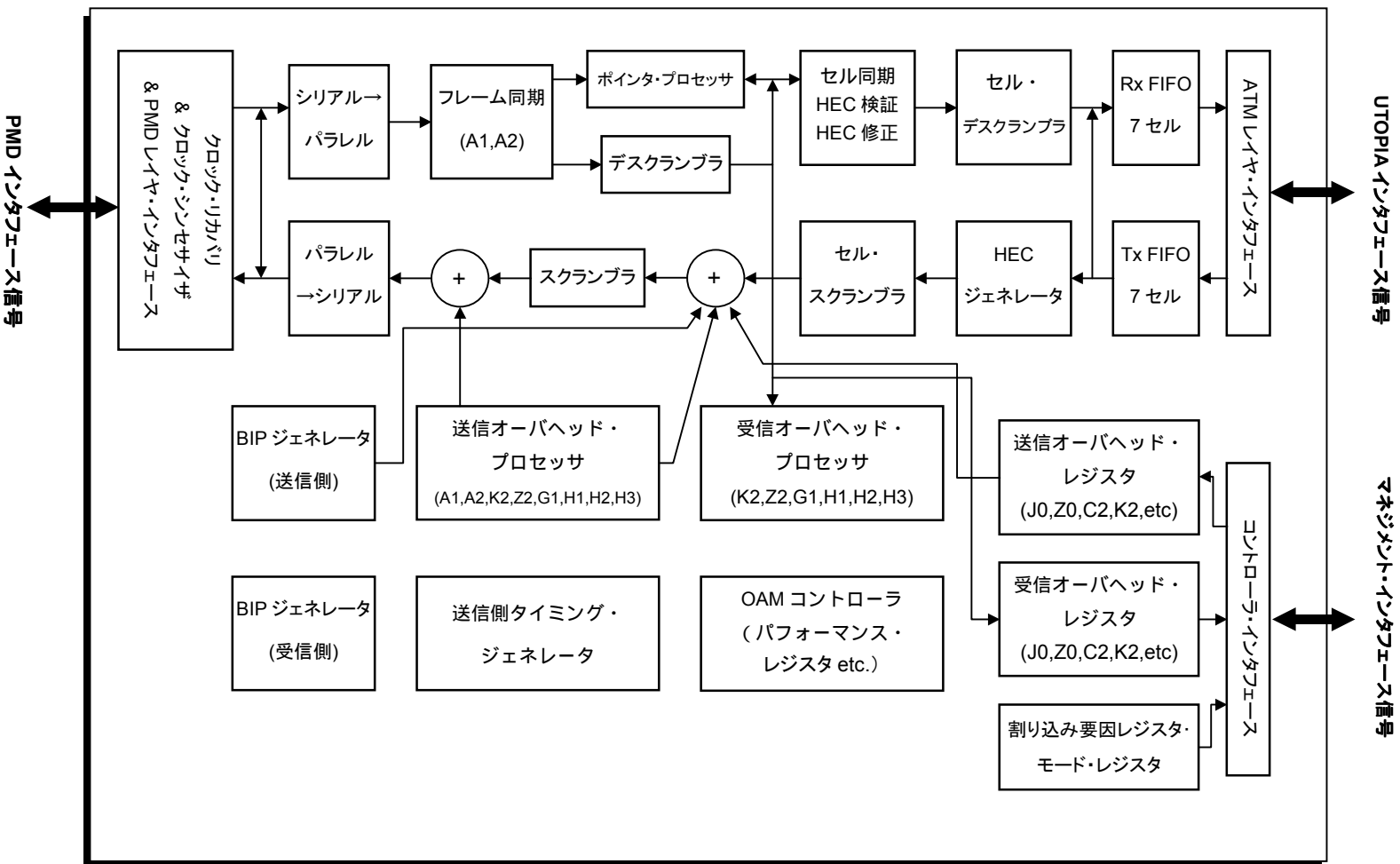


ハブ（端末側）アプリケーション

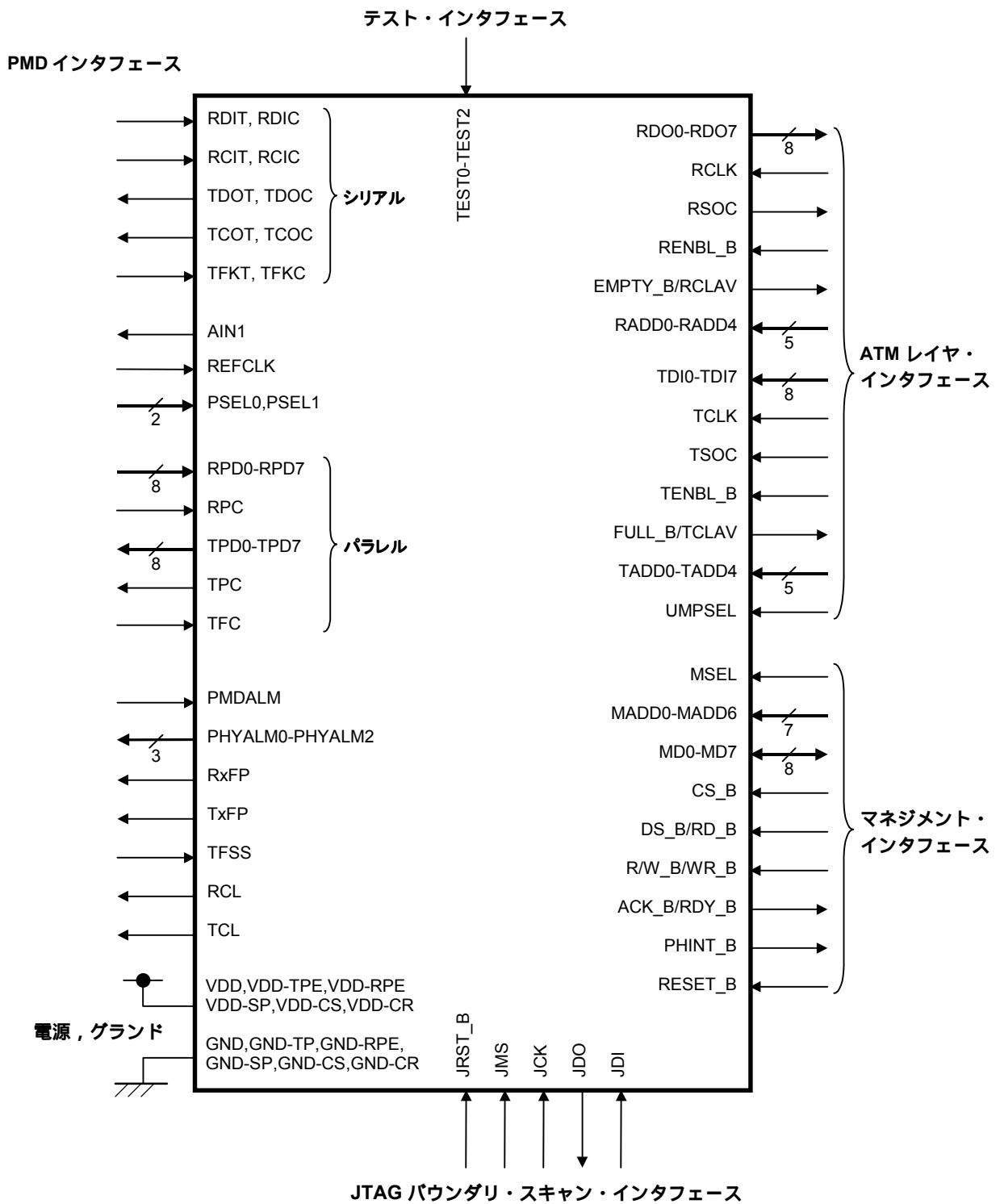


ブロック図

保守/廃止



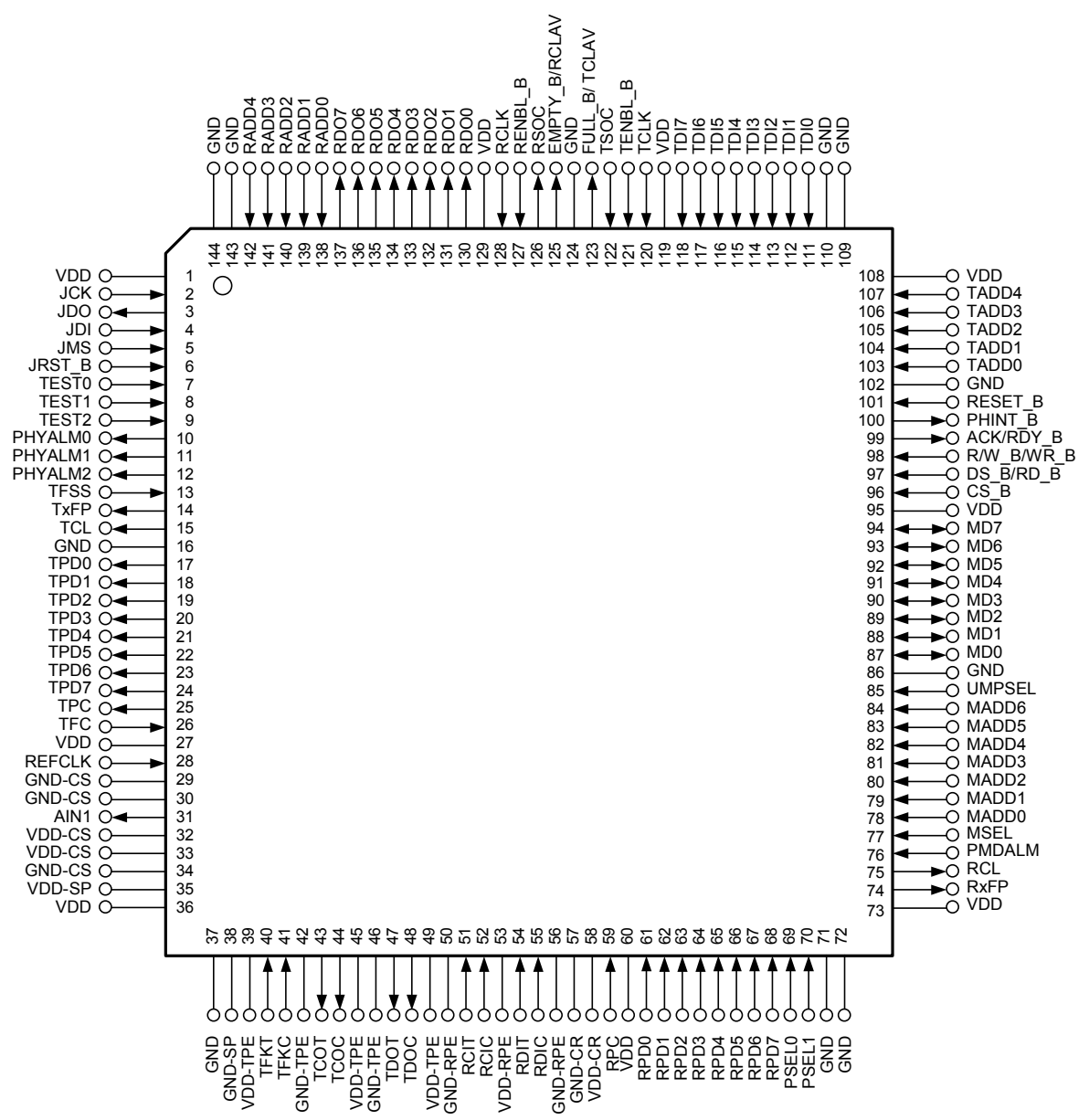
端子構成図



備考 このドキュメントでは、アクティブ・ロウの端子を XXX_B と表しています。

端子接続図 (Top View)

144ピン・プラスチック QFP (ファインピッチ) (20×20)



端子配置表

端子番号	端子名	端子番号	端子名	端子番号	端子名	端子番号	端子名
1	VDD	37	GND	73	VDD	109	GND
2	JCK	38	GND-SP	74	RxFP	110	GND
3	JDO	39	VDD-TPE	75	RCL	111	TDI0
4	JDI	40	TFKT	76	PMDALM	112	TDI1
5	JMS	41	TFKC	77	MSEL	113	TDI2
6	JRST_B	42	GND-TPE	78	MADD0	114	TDI3
7	TEST0	43	TCOT	79	MADD1	115	TDI4
8	TEST1	44	TCOC	80	MADD2	116	TDI5
9	TEST2	45	VDD-TPE	81	MADD3	117	TDI6
10	PHYALM0	46	GND-TPE	82	MADD4	118	TDI7
11	PHYALM1	47	TDOT	83	MADD5	119	VDD
12	PHYALM2	48	TDOC	84	MADD6	120	TCLK
13	TFSS	49	VDD-TPE	85	UMPSEL	121	TENBL_B
14	TxFP	50	GND-RPE	86	GND	122	TSOC
15	TCL	51	RCIT	87	MD0	123	FULL_B/TCLAV
16	GND	52	RCIC	88	MD1	124	GND
17	TPD0	53	VDD-RPE	89	MD2	125	EMPTY_B/RCLAV
18	TPD1	54	RDIT	90	MD3	126	RSOC
19	TPD2	55	RDIC	91	MD4	127	RENBL_B
20	TPD3	56	GND-RPE	92	MD5	128	RCLK
21	TPD4	57	GND-CR	93	MD6	129	VDD
22	TPD5	58	VDD-CR	94	MD7	130	RDO0
23	TPD6	59	RPC	95	VDD	131	RDO1
24	TPD7	60	VDD	96	CS_B	132	RDO2
25	TPC	61	RPD0	97	DS_B/RD_B	133	RDO3
26	TFC	62	RPD1	98	R/W_B/WR_B	134	RDO4
27	VDD	63	RPD2	99	ACK_B/RDY_B	135	RDO5
28	REFCLK	64	RPD3	100	PHINT_B	136	RDO6
29	GND-CS	65	RPD4	101	RESET_B	137	RDO7
30	GND-CS	66	RPD5	102	GND	138	RADD0
31	AIN1	67	RPD6	103	TADD0	139	RADD1
32	VDD-CS	68	RPD7	104	TADD1	140	RADD2
33	VDD-CS	69	PSEL0	105	TADD2	141	RADD3
34	GND-CS	70	PSEL1	106	TADD3	142	RADD4
35	VDD-SP	71	GND	107	TADD4	143	GND
36	VDD	72	GND	108	VDD	144	GND

端子名称

ACK_B	: Read/write Cycle Receive Acknowledge	REFCLK	: System Clock
AIN1	: External Filter Connection	RENBL_B	: Receive Data Enable
CS	: Chip Select	RESET_B	: System Reset
DS_B	: Data Strobe	RPC	: Receive Parallel Data Clock
EMPTY_B	: Output Buffer Empty	RPD0-RPD7	: Receive Parallel Data
FULL_B	: Buffer Full	RSOC	: Receive Start Address of ATM Cell
GND	: Ground	RxFP	: Receive Frame Pulse
GND-RPE	: Ground for Receive PECL buffer	RW_B	: Read/write Control
GND-CR	: Ground for Clock Recovery Circuit	TADD0-TADD4	: Transmit PHY Device Address
GND-CS	: Ground for Clock Synthesis	TCL	: Internal Transmit System Clock
GND-SP	: Ground for Serial/Parallel Circuit	TCLAV	: Transmit Cell Available
GND-TPE	: Ground for Transmit PECL buffer	TCLK	: Transmit Data Transferring Clock
JCK	: JTAG Clock	TCOC	: Transmit Clock Output Complement
JDI	: JTAG Data Input	TCOT	: Transmit Clock Output True
JDO	: JTAG Data Output	TDI0-TDI7	: Transmit Data Input from the ATM Layer
JMS	: JTAG Mode Select	TDOC	: Transmit Data Output Complement
JRST_B	: JTAG Reset	TDOT	: Transmit Data Output True
MADD0-MADD6	: Management Interface Address Bus	TENBL_B	: Transmit Data Enable
MD0-MD7	: Management Interface Data Bus	TEST0-TEST2	: Test Mode Pin
MSEL	: Management Interface Mode Select	TFC	: Transmit Reference Clock
PHINT_B	: Physical Interrupt	TFKC	: Transmit Reference Clock Complement
PHYALM0-	: PHY Alarm Detection	TFKT	: Transmit Reference Clock True
PHYALM2		TFSS	: Transmit Frame Set Signal
PMDALM	: PMD Device Alarm	TPC	: Transmit Parallel Data Clock
PSEL0, PSEL1	: PMD Mode Select	TPD0-TPD7	: Transmit Parallel Data
RADD0-RADD4	: Receive PHY Device Address	TSOC	: Transmit Start Address of ATM Cell
RCIC	: Receive Clock Input Complement	TxFP	: Transmit Frame Pulse
RCIT	: Receive Clock Input True	UMPSEL	: Utopia Multi-PHY Mode Select
RCL	: Internal Receive System Clock	VDD	: Supply Voltage for Logic Circuit
RCLAV	: Receive Cell Available	VDD-RPE	: Voltage Supply for Receive PECL Buffer
RCLK	: Receive Data Transferring Clock	VDD-CR	: Voltage Supply for Clock Recovery Circuit
RD_B	: Read Select	VDD-CS	: Voltage Supply for Clock Synthesis
RDIC	: Receive Data Input Complement	VDD-SP	: Voltage Supply for Serial/Parallel Circuit
RDIT	: Receive Data Input True	VDD-TPE	: Voltage Supply for Transmit PECL Buffer
RDO0-RDO7	: Receive Data Output	WR_B	: Write Select
RDY_B	: Ready Signal		

1. 端子機能

1.1 PMD インタフェース

(1/3)

端子名	端子番号	入出力レベル	I/O	機能
RDIT	54	P-ECL True(+)	I	受信シリアル・データ入力。 PSEL[1:0] = “ 00 ” の場合 , 内部クロック・リカバリ PLL の再生クロックでサンプリングします。PSEL[1:0] = “ 01 ” の場合 , RCIT/RCIC に入力されるクロックでサンプリングします。
RDIC	55	P-ECL Complement(-)	I	
RCIT	51	P-ECL True(+)	I	受信シリアル・クロック入力 (155.52 MHz) 。 PSEL[1:0] = “ 01 ” の場合に受信クロックとして用います。
RCIC	52	P-ECL Complement(-)	I	
TDOT	47	P-ECL True(+)	O	送信シリアル・データ出力。 この出力はシリアル・クロック TCOT の立ち上がりに同期して出力します。
TDOC	48	P-ECL Complement(-)	O	
TCOT	43	P-ECL True(+)	O	送信シリアル・クロック出力 (155.52MHz) 。 PSEL[1:0] = “ 00 ” の場合 , 送信クロックは内部のシンセサイザ PLL が生成するクロックを出力します。PSEL[1:0] = “ 01 ” の場合 , TFKT/TFKC に入力されるクロックを出力します。 モード切り替えによっては , 送信データを受信クロックでラッチして出力する場合がありますが , その場合でも , この端子からは PSEL[1:0] 端子の設定に従い , 内部シンセサイザのクロック , または TFKT/TFKC 端子入力のクロックを出力します。受信リカバリ・クロックは出力しません。
TCOC	44	P-ECL Complement(-)	O	
TFKT	40	P-ECL True(+)	I	送信シリアル・クロック入力 (155.52 MHz) 。 PSEL[1:0] = “ 01 ” の場合に送信クロックとして用います。
TFKC	41	P-ECL Complement(-)	I	
RPD0- RPD7	61-68	TTL	I	受信パラレル・データ入力。 PSEL[1:0] = “ 1X ” の場合 , 受信データを入力します。受信パラレル・クロック RPC の立ち上がりに同期してサンプリングします。
RPC	59	TTL	I	受信パラレル・クロック入力 (19.44 MHz) 。 PSEL[1:0] = “ 1X ” のパラレル・モードの場合 , 受信データに同期したクロック (19.44 MHz) を入力します。
TPD0- TPD7	17-24	TTL	O	送信パラレル・データ出力。 PSEL[1:0] = “ 1X ” のパラレル・モードの場合 , 送信データが PC の立ち上がりに同期して出力します。

(2/3)

端子名	端子番号	入出力レベル	I/O	機能
TPC	25	TTL	O	送信パラレル・クロック出力。 PSEL[1:0] = " 1X " の場合、TFC に入力されるクロック (19.44 MHz) を出力します。
TFC	26	TTL	I	送信パラレル・クロック入力。 PSEL[1:0] = " 1X " のパラレル・モードの場合に、送信クロック (19.44 MHz) を入力します。 PSEL[1:0] = " 00 " のシリアル・モードで、MDR1 レジスタの TxCL ビット[1:0] = 10 に設定された場合は、内部クロック・シンセサイザ PLL のソース・クロック 19.44 MHz を入力します。
REFCLK	28	TTL	I	レファレンス・クロック入力。 内部クロック・リカバリ / シンセサイザに対してシステム・クロック (19.44 MHz) を入力します。常時入力するようにしてください。
PSEL0, PSEL1	69, 70	TTL	I	PMD インタフェース・モード・セレクト入力。 PMD レイヤ・インタフェースのモードを選択します。 ・ PSEL[1:0] = 00:シリアル・モード 内蔵クロック・リカバリ&シンセサイザ生成クロックを送受信に利用。 ・ PSEL[1:0] = 01:シリアル・モード 外部 RCIT/RCIC & TFKT/TFKC クロック入力を送受信に利用。 ・ PSEL[1:0] = 1x:パラレル・モード RPC & TFC クロック入力利用。
AIN1	31	アナログ	O	内蔵シンセサイザ PLL 用ループ・フィルタ接続端子。 オープンにしてください。
PMDALM	76	TTL	I	PMD レイヤ・アラーム信号入力。 この端子の信号レベルは、内部レジスタのステート・ビットに反映され、そのビットの変化を割り込み要因にすることもできます。周辺デバイスのステート信号などを入力し使用します。 また、IACM レジスタの PMD ビットの設定によって、この端子入力を LOS エラーの検出条件に加えることができます。 ユーザーズ・マニュアル(S11821J) 3.5 警報通知端子(PHYALM[2:0] ,PMDALM) を参照してください。
PHYALM0- PHYALM2	10-12	TTL	O	PHY レイヤ・アラーム検出信号出力。 内部で監視する各種エラー状態 (PMDALM, CMDARM, LOS, OOF, LOF, LOP, OCD, LCD, Line AIS, Path AIS, Line RDI, Path RDI) を検出したことを通知するための信号です。1 端子に 1 つあるいは複数のエラーの OR として出力させることができます。どのエラーを通知するかは、内部 AMPR, AMR1, AMR2 レジスタへの設定で選択します。使用方法については、 ユーザーズ・マニュアル(S11821J) 3.5 警報通知端子 (PHYALM[2:0] , PMDALM) を参照してください。
RxFP	74	TTL	O	受信側フレーム・パルス出力 (8 kHz)。 フレーム同期がとれた状態で、RCL クロックに同期した 1 クロック・サイクルのパルス信号を出力します。
TxFP	14	TTL	O	送信側フレーム・パルス信号出力 (8 kHz)。 TCL クロックに同期して 1 クロック・サイクル幅のパルス信号を出力します。

★

(3/3)

端子名	端子番号	入出力レベル	I/O	機 能
TFSS	13	TTL	I	送信フレーム出力ディスエーブル信号入力。 この信号をハイ・レベルにすると送信フレームの出力は停止し、ロウ・レベルにするとフレームの先頭から送信を開始します。μPD98404はこの信号をTCLクロックの立ち上がりでサンプリングしています。最後にこの信号のハイ・レベルをラッチした立ち上がりから、TCLクロックで9周期後の立ち上がりで送信フレーム出力を再開します。
RCL	75	TTL	O	受信側内部システム・クロック出力 (19.44 MHz)。 受信クロックの 8 分周クロックを出力します。ソースとなる受信クロックは、モード選択に応じて変わります (内部クロック・リカバリで生成されたクロック,あるいは RCIT/RCIC, RFC 端子から供給されるクロック)。デバイスのリセット中、この端子からのクロック出力は停止します。
TCL	15	TTL	O	送信側内部システム・クロック出力 (19.44 MHz)。 送信クロックの 8 分周クロックを出力します。ソースとなる送信クロックは、モード選択に応じて変わります (内部シンセサイザで生成されたクロック,あるいは TCIT/TCIC, TFC 端子から供給されるクロック)。デバイスのリセット中、この端子からのクロック出力は停止します。

1.2 ATM レイヤ・インタフェース

(1/2)

端子名	端子番号	入出力レベル	I/O	機 能
RDO0- RDO7	130-137	TTL	○ (2 または 3 ステート)	受信データ出力。 ATM レイヤ・デバイスに受信データを出力する 8 ビット・データ・バスです。RCLK クロックの立ち上がり同期して出力します。この端子は、UTOPIA インタフェース・モードに応じて 2 ステート、3 ステートの動作が切り替わります。
RCLK	128	TTL	┆	受信クロック入力。 受信データ転送用クロックを入力する端子です。40 MHz までのクロックを入力します。
RSOC	126	TTL	○ (2 または 3 ステート)	受信セル開始位置信号出力。 受信セルの先頭バイト位置を示す信号を出力します。この端子は、UTOPIA インタフェース・モードに応じて、2 ステート、3 ステートの動作が切り替わります。
RENBL_B	127	TTL	┆	受信イネーブル信号入力。 ATM レイヤが受信データ受け付け可能であることを示す信号を入力します。
EMPTY_B/ RCLAV	125	TTL	○ (2 または 3 ステート)	受信 FIFO データ転送不可信号出力、または受信 FIFO セル・データ転送可信号出力。 この信号は EMPTY_B (2 ステート動作) と RCLAV (3 ステート動作) の 2 つの機能を持ち、UTOPIA インタフェースのモード選択によって切り替わります。 EMPTY_B は、ATM レイヤへ転送すべき受信データが受信 FIFO に 1 バイトも存在しないことを示します。RCLAV は、受信 FIFO に ATM レイヤに転送すべきデータが 1 セル以上存在することを示します。
RADD0- RADD4	138-142	TTL	┆	受信側 PHY アドレス入力。 マルチ PHY モードの場合、PHY レイヤ・デバイスを選択するアドレスを入力します。
TDI0-TDI7	111-118	TTL	┆	送信データ入力。 送信データを入力するための 8 ビット・データ・バスです。データは、TCLK クロックの立ち上がり同期して取り込まれます。
TCLK	120	TTL	┆	送信クロック入力。 送信データ転送用クロックを入力する端子です。20 M~40 MHz のクロックを入力します。 注意 μ PD98404 はこのクロックをマネジメント・インタフェース・ブロックのシステム・クロックとしても使用していますので、 常時 20 MHz 以上のクロックを入力するようにしてください。
TSOC	122	TTL	┆	送信セル開始位置入力。 μ PD98404 に入力される送信セルの先頭バイト位置を示す信号を入力します。

(2/2)

端子名	端子番号	入出力レベル	I/O	機能
TENBL_B	121	TTL	I	送信イネーブル入力。 ATM レイヤ・デバイスが有効な送信データを TDI0-TDI7 に出力していることを示す信号を入力します。
FULL_B/ TCLAV	123	TTL	0 (2 または 3 ステート)	送信 FIFO データ転送不可信号出力, または送信 FIFO セル・データ転送可信号出力。 この端子は, FULL_B(2 ステート動作)と TCLAV(2 ステート動作)の2つの機能を持っており, JTOPIA インタフェースのモード選択で切り替わります。FULL_B は, 送信 FIFO に送信データを受け付ける空き領域がないことを示します。また, TCLAV は送信 FIFO に送信データを格納できる空き領域が1セル以上あることを示します。
TADD0- TADD4	103-107	TTL	I	送信側 PHY アドレス入力。 マルチ PHY モードにて使用されている場合, PHY レイヤ・デバイスを選択するアドレスを入力します。
UMPSEL	85	TTL	I	マルチ PHY モード選択信号入力。 <ul style="list-style-type: none"> ハイ・レベルを入力した場合, マルチ PHY モードになります。 ロウ・レベルを入力した場合, シングル PHY モードになります。

1.3 マネジメント・インタフェース

端子名	端子番号	入出力レベル	I/O	機能
MSEL	77	TTL	I	<p>マネジメント・インタフェース・モード選択信号入力。 この端子への入力レベルによって、マネジメント・インタフェースのモードが切り替わります。</p> <p>MSEL=1：端子機能として<RD_B, WR_B, RDY_B>を選択。 MSEL=0：端子機能として<DS_B, R/W_B, ACK_B>を選択。</p>
MADD0-MADD6	78-84	TTL	I	<p>アドレス入力。 μ PD98404 の内部レジスタのアドレスを入力するアドレス・バスです。</p>
MD0-MD7	87-94	TTL	I/O 3ステート	<p>8ビット・データ・バス。 μ PD98404の内部レジスタのデータをリード/ライトするためのデータ・バスです。</p>
CS_B	96	TTL	I	<p>チップ・セレクト信号入力。 ロウ・レベルのとき、内部レジスタへのアクセスをイネーブルにします。</p>
DS_B/ RD_B	97	TTL	I	<p>データ・ストロープ信号入力、またはリード信号入力。 この端子は、DS_B と RD_B の 2 つの機能を持っており、MSEL 端子で選択されるモードによって切り替わります。</p> <p>MSEL = 0：データ・ストロープ信号 DS_B として機能 MSEL = 1：リード・アクセスを選択する RD_B として機能</p>
R/W_B/ WR_B	98	TTL	I	<p>リード/ライト信号入力、またはライト信号入力。 この端子は、R/W_B と WR_B の 2 つの機能を持っており、MSEL 端子で選択されるモードによって切り替わります。</p> <p>MSEL = 0：リード/ライト制御信号 R/W_B として機能 ハイ・レベル：リード・サイクル ロウ・レベル：ライト・サイクル MSEL = 1：ライト・アクセスを選択する WR_B として機能</p>
ACK_B/ RDY_B	99	TTL	O 3ステート	<p>データ・アクノリッジ信号出力、またはレディ信号出力。 この端子は、ACK_B と RDY_B の 2 つの機能を持っており、MSEL 端子で選択されるモードによって切り替わります。</p> <p>MSEL = 0：データ・ストロープ信号 ACK_B として機能 MSEL = 1：リード・アクセスを選択する RDY_B として機能</p>
PHINT_B	100	TTL	O	<p>割り込み信号出力。 内部で割り込み要因が発生したことを、ロウ・アクティブにしてホストに通知します。</p>
RESET_B	101	TTL	I	<p>システム・リセット信号入力。 μ PD98404 をイニシャライズします。1 μs 以上の幅を持つロウ・パルスを入力しなければなりません。特に、電源投入時には、少なくとも電源電圧のレベルが 90 %以上に到達してから、上述のパルス幅を確保しなければなりません。 RESET_B 信号入力時には、PMD インタフェースのモードに応じて下記のクロックが入力されていなければなりません。 シリアル・モードの場合：TCLK/RCLK クロック パラレル・モードの場合：TCLK/RCLK, TFC/RPC すべてのクロック</p>

1.4 JTAG バウンダリ・スキャン

端子名	端子番号	入出力レベル	I/O	機能
JDI	4	TTL	I	バウンダリ・スキャン・データ入力。 未使用時は、グラウンドに接続してください。
JDO	3	TTL	O 3ステート	バウンダリ・スキャン・データ出力。 未使用時は、オープンにしてください。
JCK	2	TTL	I	バウンダリ・スキャン・クロック入力。 未使用時は、グラウンドに接続してください。
JMS	5	TTL	I	バウンダリ・スキャン・モード選択信号入力。 未使用時は、グラウンドに接続してください。
JRST_B	6	TTL	I	バウンダリ・スキャン・リセット信号入力。 未使用時は、グラウンドに接続してください。

備考 未使用時（通常動作時）の JTAG バウンダリ・スキャン用端子の処置について

未使用時（通常動作時）の JRST_B 端子の処置をグラウンド接続としているのは、JTAG ロジックが誤って動作するのをより確実に防ぐためです。JTAG 端子の処置は、そのほかに次の2つがあります。

・ JRST_B 端子を使用せずに JTAG ロジックをリセット状態にする

JMS, JCK 端子を使用して、JTAG ロジックをリセット状態に移行させ、リセット状態から動かさないようにします（JRST_B 端子は、pullup している状態です）。

JMS 端子を1固定（pullup）して、JCK 端子に5クロック・サイクル以上入力してください。

・ JRST_B 端子を使用して JTAG ロジックをリセット状態にする

JRST_B 端子に μ PD98404 の RESET_B と同じ幅のロウ・パルスを入力して、その後 JMS, JRST_B 端子ともに pullup してハイ・レベルを維持していると、JTAG ロジックはリセット状態から動きませんので、通常動作に影響を及ぼしません。他の JDI, JCK 端子は、pulldown/pullup のどちらかで入力レベルを固定してください。

1.5 内部テスト端子

端子名	端子番号	入出力レベル	I/O	機能
TEST0- TEST2	7-9	TTL	I	テスト信号入力。 μ PD98404 をテストするための端子です。 通常動作時は、すべての端子をグラウンドに接続してください。 TEST[2:0] = " 000 " : 通常動作 TEST[2:0] = " 000 " 以外 : テスト・モード

★ 1.6 電源, グランド

端子名	端子番号	I/O	機能
VDD	1, 27, 36, 60, 73, 95, 108, 119, 129	-	一般ロジック部用電源 (+3.3 V ± 0.15 V) およびグランド。
GND	16, 37, 71, 72, 86, 102, 109, 110, 124, 143, 144	-	
VDD-TPE	39, 45, 49	-	出力 PECL I/O 用電源 (+3.3 V ± 0.15 V) およびグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減するようにしてください。
GND-TPE	42, 46	-	
VDD-RPE	53	-	入力 PECL I/O 用電源 (+3.3 V ± 0.15 V) およびグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減するようにしてください。
GND-RPE	50, 56	-	
VDD-SP	35	-	シリアル/パラレル・ブロック部用電源 (+3.3 V ± 0.15 V) およびグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減するようにしてください。
GND-SP	38	-	
VDD-CS	32, 33	-	クロック・シンセサイザ PLL ブロック用電源 (+ 3.3 V ± 0.15 V) およびグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減するようにしてください。
GND-CS	29, 30, 34	-	
VDD-CR	58	-	クロック・リカバリ PLL ブロック用電源 (+3.3 V ± 0.15 V) およびグランド。 この電源のノイズは、ジッタ特性に影響を及ぼします。フィルタなどの対策によりノイズを削減するようにしてください。
GND-CR	57	-	

1.7 未使用時の端子の処置

端 子	未使用時の処置
P-ECL レベル以外の各入力端子	グラウンドに接続してください。 (シリアル・モード時のパラレル用入力端子) RPD0-RPD7, RPC, TFC (シングル PHY モード時のマルチ PHY 用端子) TADD0-TADD4, RADD0-RADD4 (その他) TFSS (必須)
P-ECL レベルの各入力端子	True(+)の端子 (TFKT, RCIT, RDIT) は, 3.3 V にプルアップしてください。Complement(-)の端子 (TFKC, RCIC, RDIC) は, グラウンドに接続してください。
出力端子	オープンにしてください。 (シリアル・モード時のパラレル用入力端子) TPD0-TPD7 TPC (その他) TxFP, RxFP, TCL, RCL
P-ECL レベルの出力端子	オープンにしてください。 TDOT, TDOC, TCOT, TCOC
AIN1	オープンにしてください。 この端子へのノイズは, 内蔵 PLL の特性に影響を及ぼしますので, クロック線などを近くに配線しないでください。

2. 電気的特性

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ +4.6	V
入力 / 出力電圧	V _{I1} / V _{O1}	P-ECL, アナログ・レベル以外の端子	- 0.5 ~ +6.6 かつ V _{DD} + 3.0	V
	V _{I2} / V _{O2}	P-ECL, アナログ・レベル	- 0.5 ~ +4.6 かつ V _{DD} + 0.5	V
動作周囲温度	T _A		- 40 ~ +85	
保存温度	T _{stg}		- 65 ~ +150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり、絶対最大定格とは、製品に物理的な損料を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

容量

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	Frequency = 1 MHz		6	10	pF
出力容量	C _O	Frequency = 1 MHz		6	10	pF
入出力容量	C _{IO}	Frequency = 1 MHz		6	10	pF

推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
★ 電源電圧	V _{DD}		3.15	3.3	3.45	V
動作周囲温度	T _A		- 40		+ 85	
ロウ・レベル入力電圧	V _{IL1}	P-ECL レベル以外の端子	0		0.8	V
	V _{IL2}	P-ECL レベル端子	V _{DD} - 2.82		V _{DD} - 1.50	V
ハイ・レベル入力電圧	V _{IH1}	P-ECL レベル以外の端子	2.2		5.25	V
	V _{IH2}	P-ECL レベル端子	V _{DD} - 1.49		V _{DD} - 0.40	V
差動入力電圧	V _{IDIFF2}		300		1900	mV

備考 P-ECL レベル端子 : RDIT, RDIC, RCIT, RDIC, TDOT, TDOC, TCOT, TCOC, TFKT, TFKC
 アナログ端子 : AIN1

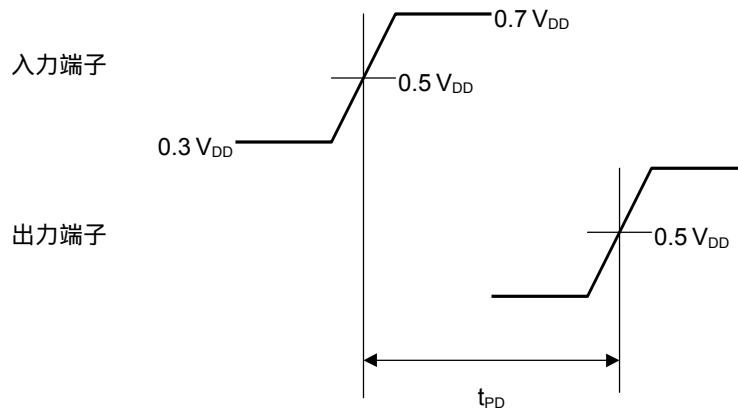
DC 特性 ($V_{DD} = 3.3 \pm 0.15V$, $T_A = -40 \sim +85^\circ C$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
オフステート出力電流	I _{OZ}	$V_I = V_{DD}$ or GND			±10	μA
入力リーク電流	I _{LI1}	$V_I = V_{DD}$ or GND (P-ECL レベル以外の端子)			±10	μA
	I _{LI2}	(P-ECL レベルの端子)			±10	μA
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = +8 mA , $V_{DD} = 3.3V$ (P-ECL レベル以外の端子)			0.4	V
	V _{OL2}	R _L = 50 Ω , $V_T = V_{DD} - 2V$ (P-ECL レベルの端子)	$V_{DD} - 2.175$	$V_{DD} - 1.975$	$V_{DD} - 1.755$	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -8 mA , $V_{DD} = 3.3V$ (P-ECL レベル以外の端子)	2.4			V
	V _{OH2}	R _L = 50 Ω , $V_T = V_{DD} - 2V$ (P-ECL レベルの端子)	$V_{DD} - 1.14$	$V_{DD} - 0.92$	$V_{DD} - 0.69$	V
電源電流	I _{DD}	通常動作時		200	450	mA

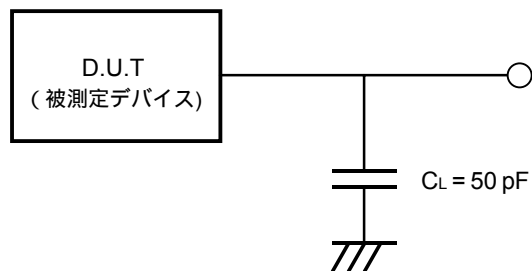
AC 特性 ($V_{DD} = 3.3 \pm 0.15V$, $T_A = -40 \sim +85$)

AC テスト条件

伝達遅延時間は、以下のように定義します。



負荷条件



マネジメント・インタフェース

(a) インターナル・レジスタ・リード

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対DS _{B↓} [RD _{B↓}])	tsADDS		10			ns
CS _B 設定時間 (対DS _{B↓} [RD _{B↓}])	tSCSDS		5		9x _{tcytk}	ns
R/W _B [WR _B]設定時間 (対DS _{B↓} [RD _{B↓}])	tsRWDS		5			ns
アドレス保持時間 (対DS _{B↑} [RD _{B↑}])	tHADDS		4			ns
CS _B 保持時間 (対DS _{B↑} [RD _{B↑}])	tHCSDS		0			ns
R/W _B [WR _B]保持時間 (対DS _{B↑} [RD _{B↑}])	thRWDS		4			ns
DS _{B↓} [RD _{B↓}]→ACK _B [RDY _B] 出力遅延時間	tVAKDS	負荷容量 50 pF			15	ns
DS _{B↓} [RD _{B↓}]→データ出力遅延時間	tVDADS	負荷容量 50 pF			20	ns
DS _{B↑} [RD _{B↑}]→ACK _B [RDY _B] フロート遅延時間	tIAKDSR	負荷容量 50 pF	5		30	ns
DS _{B↑} [RD _{B↑}]データ・フロート 遅延時間	tIDADS	負荷容量 50 pF	15		45	ns
ACK↓→データ出力遅延時間	tDAAK	負荷容量 50 pF			10	ns
DS _B [RD _B]パルス幅 [※]	twDS		50			ns
DS _{B↑} [RD _{B↑}]→DS _{B↓} [RD _{B↓}]↓ リカバリ・タイム	tDSINT		4 x _{tcytk}			ns

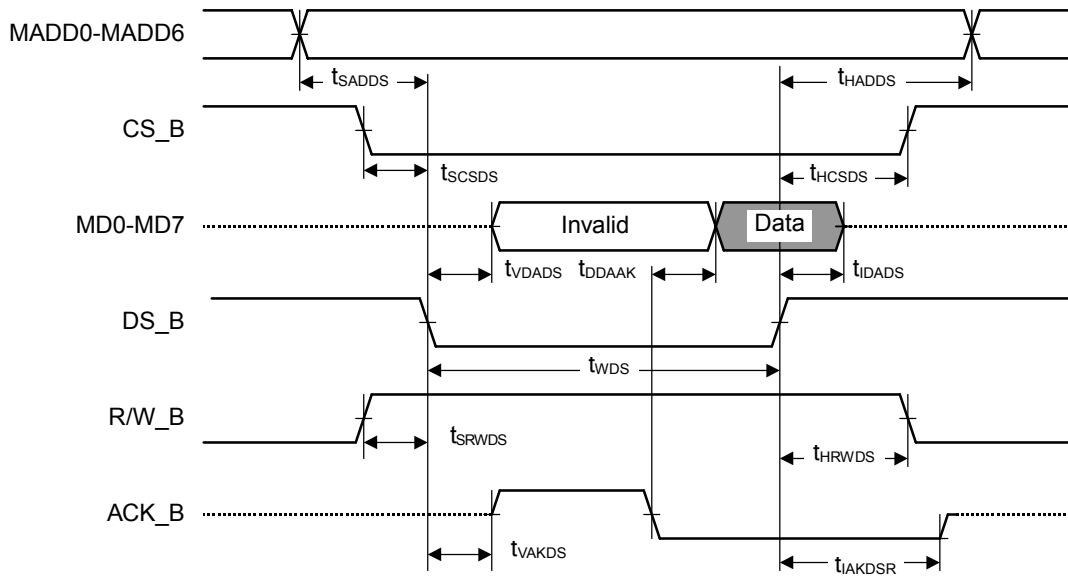
注 twDS は、μPD98404 が DS_B[RD_B]をロウ・レベルと認識できる時間を規定しており、データを確実にリードできる DS_B[RD_B]のパルス幅を規定しているものではありません。

DS_B[RD_B]がロウ・レベルになってから、μPD98404 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、アクセスするレジスタによって異なります。DS_B[RD_B]は、ACK_B[RDY_B]がロウ・レベルになったことを確認してからハイ・レベルにしてください。

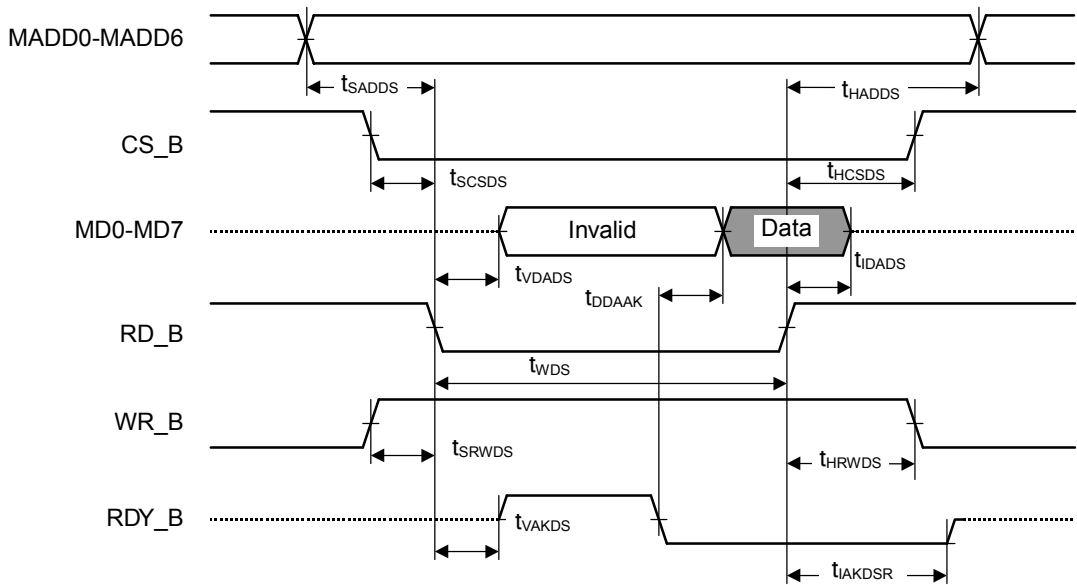
DS_B[RD_B]がロウ・レベルになってから、μPD98404 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、最大でも「4 x TCLK クロック周期 (tcytk)」です。ACK_B[RDY_B]を使用せずに、どのレジスタに対してもリードを行えるようにする場合は、DS_B[RD_B]のパルス幅を少なくとも「4 x TCLK クロック周期」以上にしてください。

備考 tcytk は、クロック TCLK の周期です。

(i) MSEL = "0" (モトローラ・コンパチブル)



(ii) MSEL = "1" (インテル・コンパチブル)



(b) インターナル・レジスタ・ライト

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対DS_B↓[WR_B↓])	tsADDS		10			ns
CS_B 設定時間 (対DS_B↓[WR_B↓])	tSCSDS		5		9x tcyTK	ns
R/W_B[RD_B]設定時間 (対DS_B↓[WR_B↓])	tsRWDS		5			ns
データ設定時間 (対DS_B↑[WR_B↑])	tSDADS		15			ns
アドレス保持時間 (対DS_B↑[WR_B↑])	tHADDS		4			ns
CS_B 保持時間 (対DS_B↑[WR_B↑])	tHCSDS		0			ns
R/W_B[RD_B]保持時間 (対DS_B↑[WR_B↑])	thRWDS		4			ns
データ保持時間 (対DS_B↑[WR_B↑])	tHDADS		4			ns
DS_B↓[WR_B↓] → ACK_B [RDY_B] 出力遅延時間	tVAKDS	負荷容量 50 pF			15	ns
DS_B↑[WR_B↑] → ACK_B [RDY_B] フロート遅延時間	tIAKDSW	負荷容量 50 pF			10	ns
DS_B[WR_B]パルス幅 ^注	twDS		50			ns
DS_B↑[WR_B↑] → DS_B↓[WR_B↓] ↓ リカバリ・タイム	tDSINT		4 x tcyTK			ns

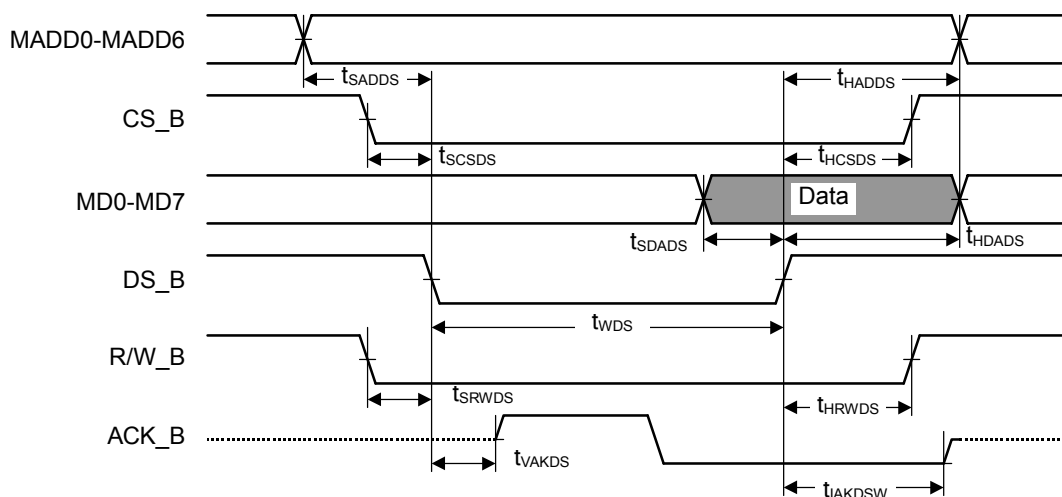
注 twDS は、μPD98404 が DS_B[WR_B]をロウ・レベルと認識できる時間を規定しており、データを確実にライトできる DS_B[WR_B]のパルス幅を規定しているものではありません。

DS_B[WR_B]がロウ・レベルになってから、μPD98404 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、アクセスするレジスタによって異なります。DS_B[WR_B]は、ACK_B[RDY_B]がロウ・レベルになったことを確認してからハイ・レベルにしてください。

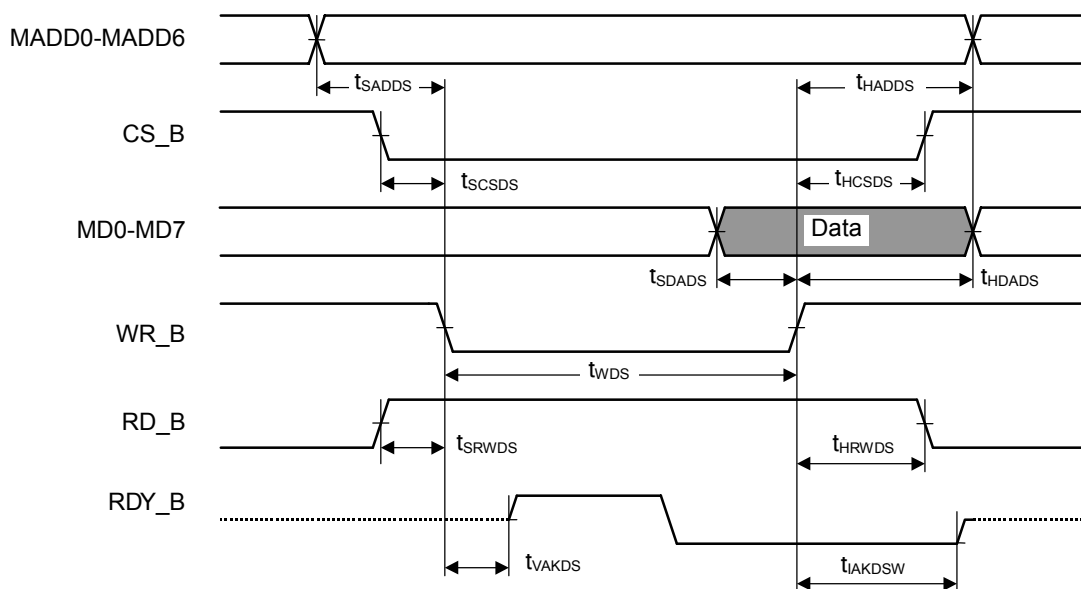
DS_B[WR_B]がロウ・レベルになってから、μPD98404 が ACK_B[RDY_B]をロウ・レベルにするまでの時間は、最大でも「4 x TCLK クロック周期 (tcyTK)」です。ACK_B[RDY_B]を使用せずに、どのレジスタに対してもライトを行えるようにする場合は、DS_B[WR_B]のパルス幅を少なくとも「4 x TCLK クロック周期」以上にしてください。

備考 tcyTK は、クロック TCLK の周期です。

(i) MSEL = "0" (モトローラ・コンパチブル)



(ii) MSEL = "1" (インテル・コンパチブル)

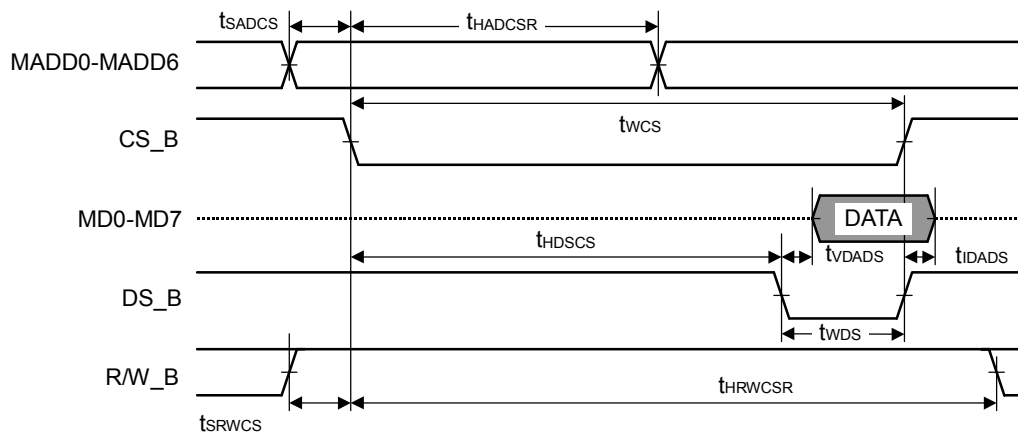


(c) インターナル・レジスタ・リード/ライト (NEASCOT-S15 接続モード, MSEL = "0")

(i) リード・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対CS_B↓)	tSADCS		10			ns
R/W_B設定時間 (対CS_B↓)	tSRWCS		10			ns
アドレス保持時間 (対CS_B↓)	tHADCSR		$5 \times t_{CYTK} + 10$			ns
R/W_B保持時間 (対CS_B↓)	tHRWCSR		$15 \times t_{CYTK} + 10$			ns
DS_B保持時間 (対CS_B↓)	tHDSCS		$10 \times t_{CYTK} + 10$			ns
DS_B↓→データ出力遅延時間	tVDADS	負荷容量 50 pF			$30 + t_{CYTK}$	ns
DS_B↑→データ・フロート遅延時間	tIDADS	負荷容量 50 pF	15		45	ns
CS_Bパルス幅	tWCS		$15 \times t_{CYTK}$			ns
DS_Bパルス幅	tWDS		$4 \times t_{CYTK}$			ns

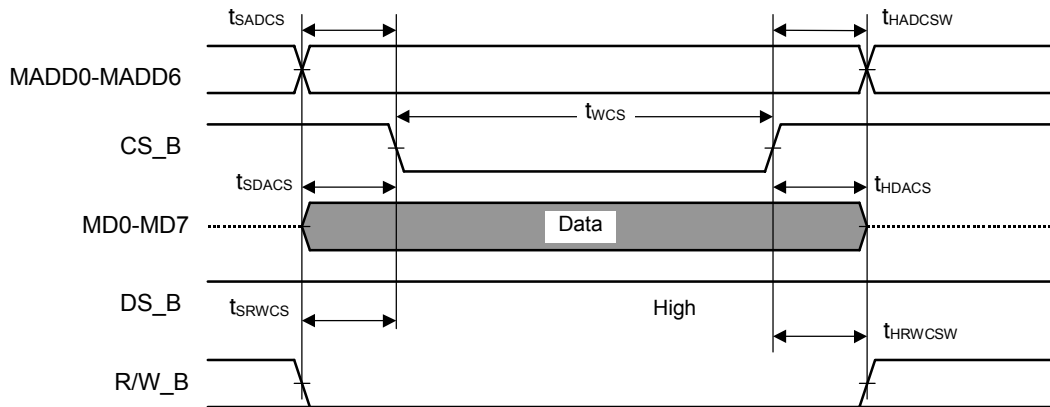
備考 t_{CYTK} は、クロック TCLK の周期です。



(ii) ライト・タイミング

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス設定時間 (対CS_B↓)	t _{SADCS}		10			ns
R/W_B設定時間 (対CS_B↓)	t _{SRWCS}		10			ns
データ設定時間 (対CS_B↓)	t _{SDACS}		10			ns
アドレス保持時間 (対CS_B↑)	t _{HADCSW}		10			ns
R/W_B保持時間 (対CS_B↑)	t _{HRWCSW}		10			ns
データ保持時間 (対CS_B↑)	t _{HDACS}		20			ns
CS_Bパルス幅	t _{WCS}		4 x t _{cYTK}			ns

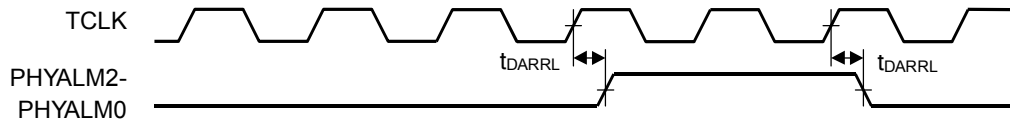
備考 t_{cYTK} は、クロック TCLK の周期です。



注意 CMR2レジスタへの設定によって、デバイスのソフトウェア・リセットを実施した場合、そのライト・サイクルから、少なくとも「20 x TCLKクロック周期 (t_{cYTK})」以上の間、すべてのレジスタに対してリード/ライトを行わないようにしてください。正常にリード/ライトが行えない場合があります。

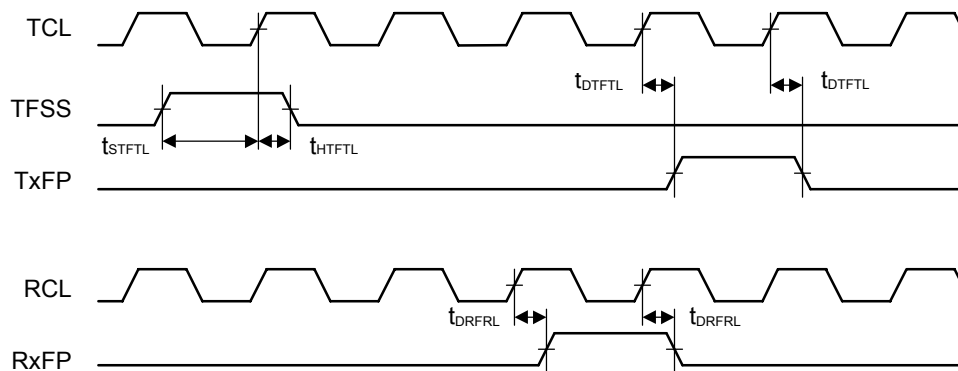
OAM インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
TCLK↑ → PHYALM2-PHYALM0遅延時間	tDARRL	負荷容量 50 pF			25	ns



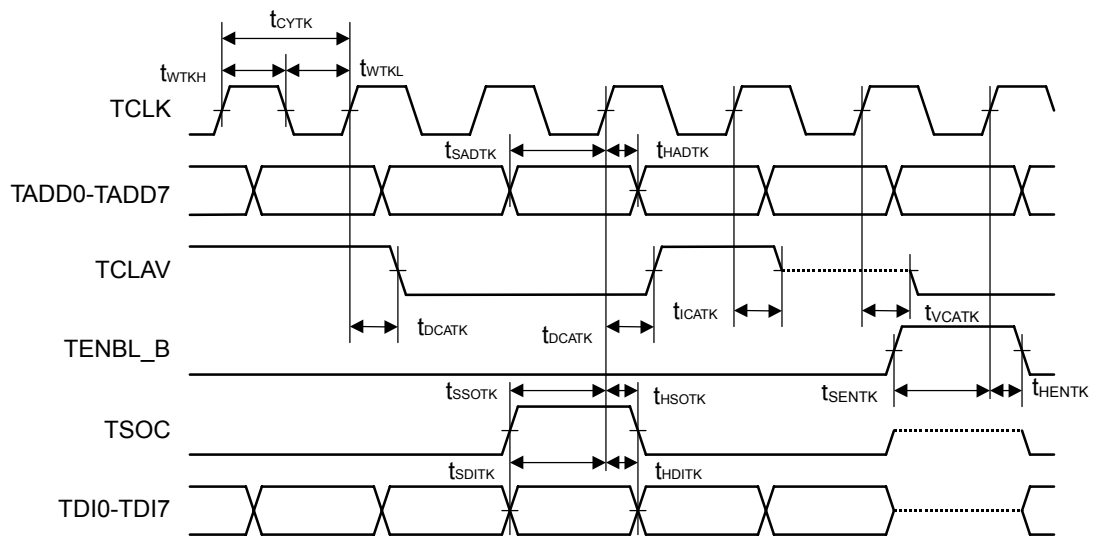
コントロール・シグナル・インタフェース

項目	略号	条件	MIN.	TYP.	MAX.	単位
TFSS 設定時間 (対 TCLK↑)	tSTFTL		20			ns
TFSS 保持時間 (対 TCLK↑)	tHTFTL		5			ns
TCLK↑ → TxFP 遅延時間	tDTFTL	負荷容量 50 pF			25	ns
RCLK↑ → RxFP 遅延時間	tDRFRL	負荷容量 50 pF			25	ns



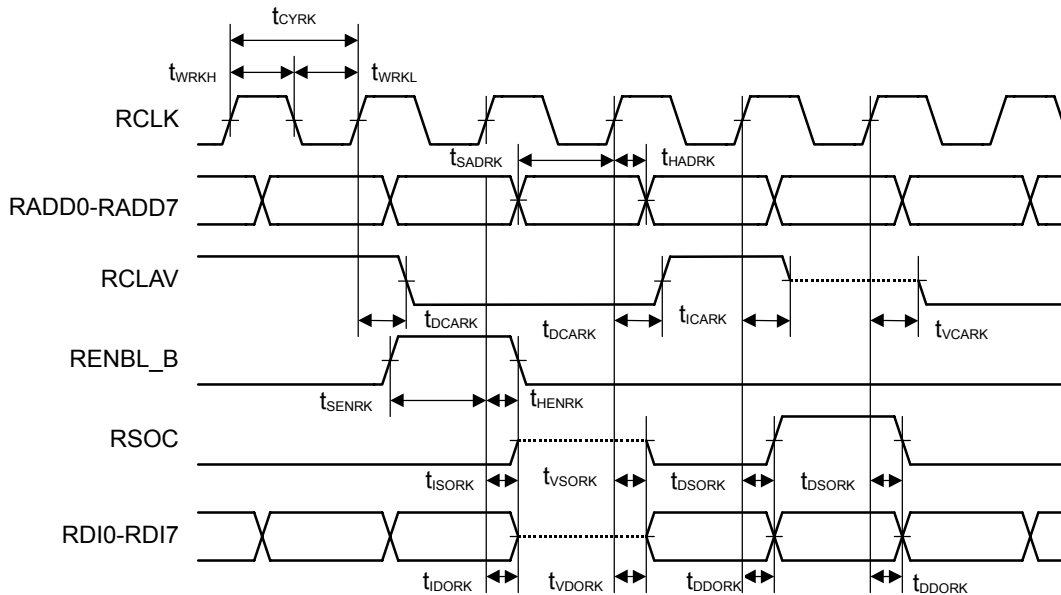
UTOPIA インタフェース (送信側)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TCLK サイクル時間	t _{CYTK}		25		50	ns
TCLK ハイ・レベル幅	t _{WTKH}		0.4 x t _{CYTK}		0.6 x t _{CYTK}	ns
TCLK ロウ・レベル幅	t _{WTKL}		0.4 x t _{CYTK}		0.6 x t _{CYTK}	ns
TCLK↑ → TCLA V↓ 遅延時間	t _{DCATK}	負荷容量 50 pF	1		19	ns
TCLK↑ → TCLA V 出力遅延時間	t _{VCATK}	負荷容量 50 pF	1		19	ns
TCLK↑ → TCLA V データ・フロート遅延時間	t _{ICATK}	負荷容量 50 pF	1		25	ns
TDI0-TDI7 設定時間 (対 TCLK↑)	t _{SDITK}		4			ns
TDI0-TDI7 保持時間 (対 TCLK↑)	t _{HDITK}		1			ns
TSOC 設定時間 (対 TCLK↑)	t _{SSOTK}		4			ns
TSOC 保持時間 (対 TCLK↑)	t _{HSOTK}		1			ns
TADD0-TADD7 設定時間 (対 TCLK↑)	t _{SADTK}		4			ns
TADD0-TADD7 保持時間 (対 TCLK↑)	t _{HADTK}		1			ns
TENBL_B 設定時間 (対 TCLK↑)	t _{SENTK}		4			ns
TENBL_B 保持時間 (対 TCLK↑)	t _{HENTK}		1			ns



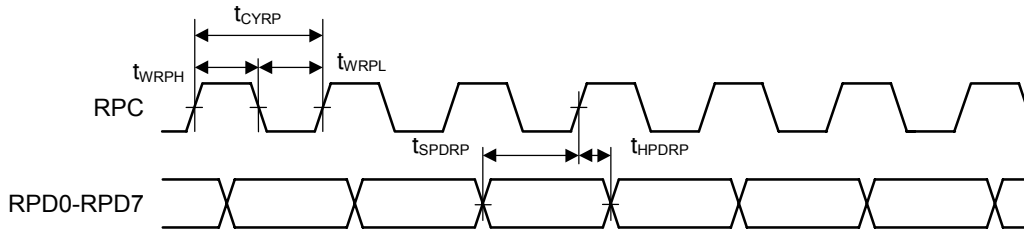
UTOPIA インタフェース (受信側)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RCLK サイクル時間	t _{CYRK}		25			ns
RCLK ハイ・レベル幅	t _{WRKH}		0.4 x t _{CYRK}		0.6 x t _{CYRK}	ns
RCLK ロウ・レベル幅	t _{WRKL}		0.4 x t _{CYRK}		0.6 x t _{CYRK}	ns
RCLK↑ → RCLAV↑↓ 遅延時間	t _{DCARK}	負荷容量 50 pF	1		19	ns
RCLK↑ → RCLAV 出力遅延時間	t _{VCARK}	負荷容量 50 pF	1		19	ns
RCLK↑ → RCLAV データ・フロート遅延時間	t _{ICARK}	負荷容量 50 pF	1		25	ns
RCLK↑ → RDO0-RDO7↑↓ 遅延時間	t _{DDORK}	負荷容量 50 pF	1		19	ns
RCLK↑ → RDO0-RDO7 出力遅延時間	t _{VDORK}	負荷容量 50 pF	1		19	ns
RCLK↑ → RDO0-RDO7 データ・フロート遅延時間	t _{IDORK}	負荷容量 50 pF	1		25	ns
RCLK↑ → RSOC↑↓ 遅延時間	t _{DSORK}	負荷容量 50 pF	1		19	ns
RCLK↑ → RSOC 出力遅延時間	t _{VSORK}	負荷容量 50 pF	1		19	ns
RCLK↑ → RSOC データ・フロート遅延時間	t _{ISORK}	負荷容量 50 pF	1		25	ns
RADD0-RADD7 設定時間 (対 RCLK↑)	t _{SADRK}		4			ns
RADD0-RADD7 保持時間 (対 RCLK↑)	t _{HADRK}		1			ns
RENBL_B 設定時間 (対 RCLK↑)	t _{SENrk}		4			ns
RENBL_B 保持時間 (対 RCLK↑)	t _{HENrk}		1			ns



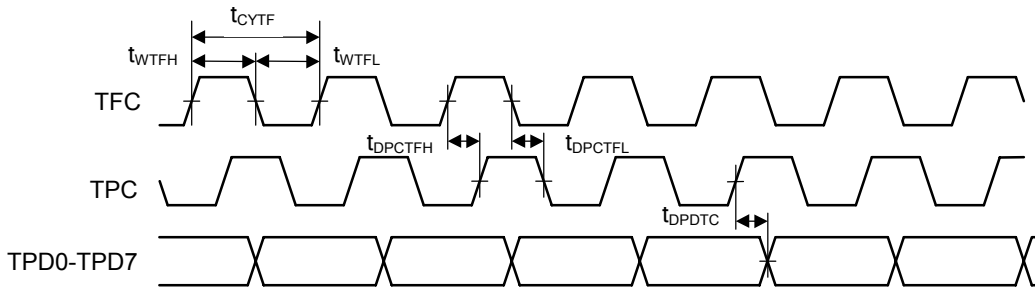
PMD パラレル・インタフェース (受信側)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RPC サイクル時間	t _{CYRP}		50			ns
RPC ハイ・レベル幅	t _{WRPH}		0.4 x t _{CYRP}		0.6 x t _{CYRP}	ns
RPC ロウ・レベル幅	t _{WRPL}		0.4 x t _{CYRP}		0.6 x t _{CYRP}	ns
RPD0-RPD7 設定時間 (対 RPC↑)	t _{SPDRP}		10			ns
RPD0-RPD7 保持時間 (対 RPC↑)	t _{HPDRP}		5			ns



PMD パラレル・インタフェース (送信側)

項目	略号	条件	MIN.	TYP.	MAX.	単位
TFC サイクル時間	t _{CYTF}		50			ns
TFC ハイ・レベル幅	t _{WTFH}		0.4 x t _{CYTF}		0.6 x t _{CYTF}	ns
TFC ロウ・レベル幅	t _{WTFL}		0.4 x t _{CYTF}		0.6 x t _{CYTF}	ns
TFC↑ → TPC↑ 遅延時間	t _{DPCTFH}	負荷容量 50 pF			25	ns
TFC↓ → TPC↓ 遅延時間	t _{DPCTFL}	負荷容量 50 pF			25	ns
TPC↑ → TPD0-TPD7 遅延時間	t _{DPDTC}	負荷容量 50 pF	- 5		+ 5	ns

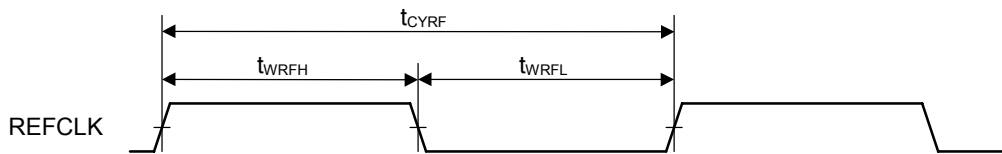


PMD シリアル・インタフェース (送信側)

項目	略号	条件	MIN.	TYP.	MAX.	単位
REFCLK サイクル時間	t _{CYRF}		- 20 ppm	51.4403	+ 20 ppm	ns
REFCLK ハイ・レベル幅	t _{WRFH}		0.4 x t _{CYRF}		0.6 x t _{CYRF}	ns
REFCLK ロウ・レベル幅	t _{WRFL}		0.4 x t _{CYRF}		0.6 x t _{CYRF}	ns
TFKT(C) サイクル時間	t _{CYSF}		- 0.005 UI	6.43	+ 0.005 UI	ns

注意 TCL 信号 0.01 UI 以下のジッタを実現するためには、少なくとも 40 ppm 精度以上の基準信号を入力しなければなりません。

(i) クロック・シンセサイザ利用時

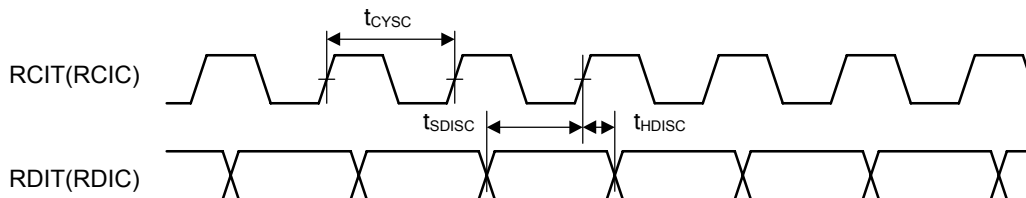


(ii) 外部シリアル・クロック利用時



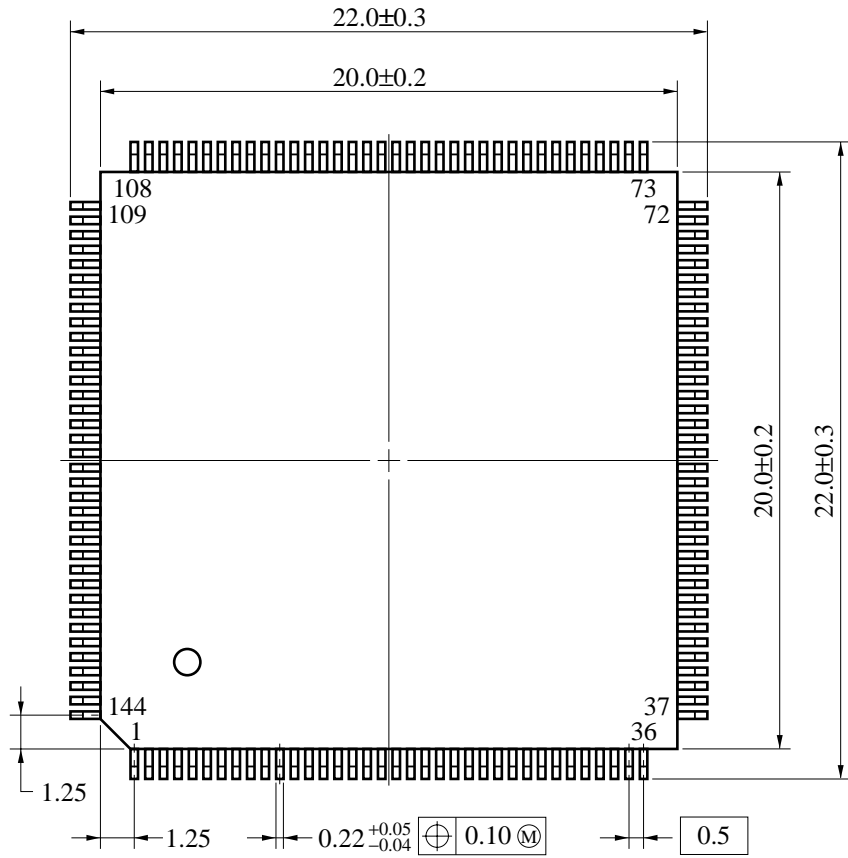
PMD シリアル・インタフェース (受信側)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RCIT(RCIC) サイクル時間	t _{CYSC}		- 0.005 UI	6.43	+ 0.005 UI	ns
RDIT(RDIC) 設定時間	t _{SDISC}		3			ns
RDIT(RDIC) 保持時間	t _{HDISC}		1			ns

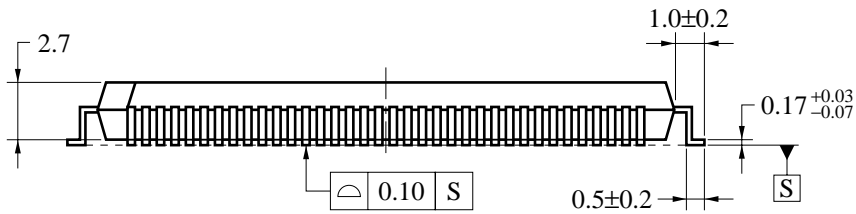
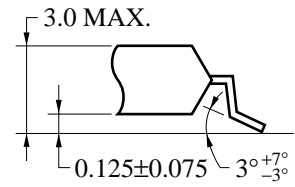


3. 外形図

144ピン・プラスチック QFP (ファインピッチ)(20x20) 外形図 (単位 : mm)



端子先端形状詳細図



S144GJ-50-JEU, KEU-1

4. 半田付け推奨条件

この製品の半田付け実装は、次の条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

表面実装タイプ

μPD98404GJ-KEU：144ピン・プラスチック QFP（ファインピッチ）（20×20）

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上），回数：2回以内，制限日数：3日間 [※] （以降は125℃プリベーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-203-2
★ VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上），回数：2回以内，制限日数：3日間 [※] （以降は125℃プリベーク20時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-203-2
端子部分加熱	端子温度：300℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

[× 毛]

[メ モ]

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-P30, NEASCOT-S40C, NEASCOT-X15 は, 日本電気株式会社の商標です。

- 本資料の内容は予告なく変更することがありますので, 最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して, 当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合, 当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路, ソフトウェア, 及びこれらに付随する情報は, 半導体製品の動作例, 応用例を説明するためのものです。従って, これら回路・ソフトウェア・情報をお客様の機器に使用される場合には, お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して, 当社は一切その責を負いません。
- 当社は品質, 信頼性の向上に努めていますが, 半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として, 人身事故, 火災事故, 社会的な損害等を生じさせない冗長設計, 延焼対策設計, 誤動作防止設計等安全設計に十分ご注意願います。
- 当社は, 当社製品の品質水準を「標準水準」, 「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また, 各品質水準は以下に示す用途に製品が使われることを意図しておりますので, 当社製品の品質水準をご確認の上ご使用願います。

標準水準: コンピュータ, OA機器, 通信機器, 計測機器, AV機器, 家電, 工作機械, パーソナル機器, 産業用ロボット

特別水準: 輸送機器(自動車, 列車, 船舶等), 交通用信号機器, 防災/防犯装置, 各種安全装置, 生命維持を直接の目的としない医療機器

特定水準: 航空機器, 航空宇宙機器, 海底中継機器, 原子力制御システム, 生命維持のための医療機器, 生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で, 特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は, 必ず事前に当社販売窓口までご相談頂きますようお願い致します。

M7 98.8

お問い合わせ先

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話: 午前 9:00 ~ 12:00, 午後 1:00 ~ 5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107, 6108
大阪 (06)6945-3178, 3200, 3208, 3212
広島 (082)242-5504
仙台 (022)267-8740

第二販売事業部

東京 (03)3798-6110, 6111, 6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586, 1622, 1623, 6156
水戸 (029)226-1702
前橋 (027)243-6060
鳥取 (0857)27-5313
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>