

ルネサスIPパートナー

コンサルティング・デザインサポート

株式会社エイシクデザイン

ハイライト（仕様検討から論理回路の設計・検証までお客様の製品開発をサポートします）

- ルネサスエレクトロニクス社製IP導入をご検討されているお客さまに対するコンサルティングや設計サポートを承ります。1980年代のゲートレイからH8、SH、RXシリーズなどのマイコンに搭載されるIPなどの制御回路の設計やカスタムICの論理回路設計などで培ってきた技術を基に高い設計品質をご提供することができます。
- 九州で創業し活動しておりますがリモートアクセスにて迅速な対応を行って参りましたので、お客様のすぐ隣に技術者を置いている感覚で論理回路を構築する上でのアドバイスを差し上げることできますし、設計や検証の様々な場面でも一体となった技術協力を実感いただけます。
- FPGA上にCPUや各種IP、あるいはお客様のオリジナルの回路を実装される際には当社の技術スタッフがお役に立ちます。

FPGAサポートの概要

本社は福岡県筑紫野市ですが設計拠点である福岡デザインセンターは、福岡市内で企業が集まる百道地区にあります。

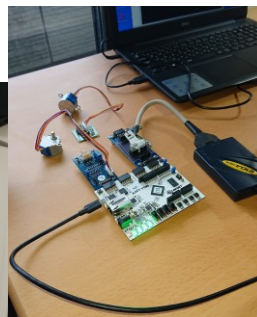
住所： 福岡市早良区百道浜3-8-33
福岡システムLSI総合開発センター514

```
#include <iostream>
#include <verilated.h>
#include <verilated_cfi.h>
#include "Vone"

```

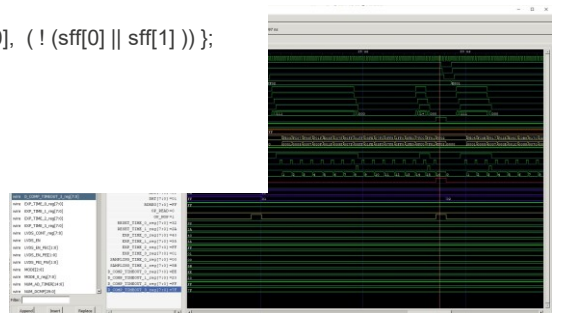
```
int time_counter = 0;
int main(int argc, char** argv) {
    VerilatedCfi* cfi = new VerilatedCfi();
    Verilated::traceEverOn(true);
    VerilatedVcdC* tfp = new VerilatedVcdC();
    dut->trace(tfp, 100);
    tfp->open("sim_veri.vcd");
    dut->clk = 0;
    dut->rstn = 1;
    int cycle = 0;
    while (time_counter < 10) {
        dut->eval();
        tfp->dump(time_counter);
        time_counter++;
    }
    dut->rstn = 0;
    while (time_counter < 500 && !Verilated::gotFinish()) {
        if((time_counter % 10) == 0) {
            dut->clk = !dut->clk;
        }
        dut->eval();
        time_counter++;
    }
}

```



```
always @(posedge clk or negedge rstn)
begin
    if( !rstn )
        sff <= 2'b00;
    else
        sff <= { sff[0], ( ! (sff[0] || sff[1] ) ) };
end
assign oclk = sff[1];
endmodule

```



問合せ先： 〒818-0063 福岡県筑紫野市桜台1-18-5
株式会社エイシクデザイン ☎092-980-1222 sasaki@asicdesign.co.jp

* 本内容はIPパートナーのソリューションであり、IPパートナーからお客様へ提供いたします。