

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

32171 グループ

ユーザーズマニュアル

ルネサス32ビットシングルチップマイクロコンピュータ
M32Rファミリ / M32R/ECUシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は、予告なしに、本資料に記載した製品または仕様を変更することがあります。三菱半導体製品のご購入に当たりましては、事前に三菱電機または特約店へ最新の情報をご確認頂きますとともに、三菱電機半導体情報ホームページ (<http://www.semicon.melco.co.jp/>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、三菱電機はその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- ・本資料の転載、複製については、文書による三菱電機の事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたら三菱電機または特約店までご照会ください。

改訂履歴

32171 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.0	00/03/10	-	初版発行
2.0	01/09/12	全体	M32171F2 の説明を追加
		全体	M32R/E の表記を M32R/ECU に変更
		P1-6	1.1.6 「Full-CAN 機能内蔵」の記述を修正 誤) CAN Specification V2.0B 準拠 正) CAN Specification V2.0B active 準拠
		P1-7	図 1.2.1 中の内蔵フラッシュメモリに M32171F2 を追加
		P1-8	表 1.2.2 のフラッシュメモリに M32171F2 を追加
		P1-10	表 1.2.4 形名一覧を追加
		P1-11	図 1.3.1 の注 1 を修正 誤) 5V 系電源により動作します。 正) 5V 系または 3.3V 系電源により動作します。
		P1-12	表 1.3.1 中の端子名 VCCE および OSC-VCC の機能説明を修正
			表 1.3.1 中のクロックの機能説明に \overline{WR} の説明を追加
		P1-13	表 1.3.1 中の A-D 変換器の説明内容を修正
		P1-17	図 1.4.1 を修正
		P3-5	図 3.1.3 M32171F2 アドレス空間を追加
		P3-6	表 3.2.1 を修正
			表 3.2.1 の注 1 を修正
		P3-7	図 3.2.3 M32171F2 動作モードと内蔵 ROM 領域 / 外部拡張領域を追加
		P3-8	表 3.3.1 に M32171F2 を追加
		P4-25	4.13 「EIT の注意事項」の節を追加
		P5-13	表 5.4.1 に該当要因名を追加
		P5-17	表 5.5.1 に該当要因名を追加
		P5-19	5.5.2 「内蔵周辺 I/O の割り込みハンドラ処理」の (4) 「多重割り込みの許可」に説明内容を追加
		P6-2	6.1 「内蔵メモリ概要」の記述を修正
			表 6.2.1 に注意事項を追加
			表 6.3.1 に M32171F2 を追加
P6-5	注意事項を追加		
P6-7	注意事項 (注 2) を追加		
P6-8	注意事項を追加		
P6-13	図 6.4.4 「FCNT4 レジスタの使用例 2」を追加		

改訂履歴

32171 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
2.0	01/09/12	P6-22	表 6.5.1 を修正
		P6-25	表 6.5.2 に注意事項 (注 2、注 3、注 4) を追加
		P6-27	表 6.5.5 M32171F2 の対象ブロックと指定番地を追加
		P6-30	図 6.5.9 M32171F2 フラッシュメモリのブロック構成を追加
		P6-38	図 6.5.15 および図 6.5.16、図 6.5.17 を修正
		P6-40	6.5.4 「フラッシュ書き込み時間 (参考値)」に (3) M32171F2 を追加
		P6-43	注意事項 (注 2、注 3、注 4) を追加
		P6-46	図 6.7.6 M32171F2 の 8K バイト単位分割の疑似フラッシュエミュレーション領域を追加
			図 6.7.7 M32171F2 の 4K バイト単位分割の疑似フラッシュエミュレーション領域を追加
		P6-47 ~ P6-48	図 6.7.8 ~ 図 6.7.11 中のレジスタ名の誤りを訂正 誤) LBAKNKAD 正) LBANKAD
		P6-49	図 6.7.12 M32171F2 の 8K バイト単位分割時の疑似フラッシュバンクレジスタの設定値を追加
			図 6.7.13 M32171F2 の 4K バイト単位分割時の疑似フラッシュバンクレジスタの設定値を追加
		P6-55	6.9 「内蔵フラッシュメモリのプロテクト機能」の節を追加
		P6-56	6.10 「フラッシュメモリ書き換え時の注意事項」の説明内容変更
		P7-3	表 7.3.1 を修正
		P7-4 ~ P7-7	表 7.3.2 ~ 表 7.3.5 「リセット時の端子状態一覧」を追加修正
		P8-4	表 8.2.1 を修正
			表 8.2.1 の注意事項を修正
		P8-22 ~ P8-25	図 8.4.1 ~ 図 8.4.4 を修正
		P8-26	8.5 「入出力ポートの注意事項」の節を追加
		P9-4	図 9.1.2 DMAC 要求要因接続図を追加
		P10-1 ~ P142	10 章全体 プリスケーラの表記を PRS に統一
		P10-4	図 10.1.1 にポート番号を追加
P10-5	図 10.1.2 にポート番号を追加		
P10-12	図 10.2.2 にポート番号を追加		

改訂履歴

32171 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
2.0	01/09/12	P10-31	図 10.2.5 を変更
		P10-47	図 10.3.1 にポート番号を追加
		P10-55	図 10.3.5 にポート番号を追加
		P10-66	図 10.3.8 を修正
		P10-84	図 10.4.1 にポート番号を追加
		P10-93	図 10.4.5 にポート番号を追加
		P10-96	図 10.4.6 にポート番号を追加
		P10-124	図 10.5.1 にポート番号を追加
		P10-130	図 10.5.3 を修正
		P10-133	図 10.6.1 にポート番号を追加
		P10-141	図 10.6.3 の注 1 を修正
		P11-3	表 11.1.1 を修正
			表 11.1.1 の注意事項を修正
		P11-4	図 11.1.1 のレジスタ名を修正
		P11-35	A-D変換モード時の変換時間算出方法と、コンパレートモード時の変換時間算出方法を分けて説明
			表 11.3.1 と注意事項を修正
			図 11.3.4 「コンパレートモードの変換時間概念図」を追加
			表 11.3.2 「コンパレートモードの変換クロック数一覧表」を追加
		P11-37	11.3.5 「A-D 変換精度の定義」の説明内容変更
		P11-38	図 11.3.5 「A-D 変換器の非直線性誤差」を、図 11.3.5 「A-D 変換器の絶対精度」に変更
			図 11.3.6 および図 11.3.7 削除
		P11-40	11.4 「A-D 変換器の注意事項」に「アナログ入力端子に関して」を追加
			図 11.4.1 「アナログ入力部の内部等価回路」を追加
		P11-41	図 11.4.2 「A-D 変換タイミング図」を追加
		P12-12	図 12.2.4 を修正
		P12-24	12.2.8 「SIO ボーレートレジスタ」最終行の記述を修正 誤) 7 以下 正) 7 以上
		P12-58	図 12.7.5 「スタートビットの検出」を追加
			図 12.7.6 「スタートビットの無効例」を追加
			図 12.7.7 「受信時のディレイ」を追加

改訂履歴

32171 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
2.0	01/09/12	P13-2	13.1「CAN モジュールの概要」の記述を修正 誤) CAN (Controller Area Network) Specification 2.0B 準拠 正) CAN (Controller Area Network) Specification 2.0B active 準拠
			表 13.1.1 中のプロトコルの内容説明を修正 誤) CAN Specification 2.0B 正) CAN Specification 2.0B active
			表 13.1.1 中のアクセプタンスフィルタの説明内容を変更
			表 13.1.1 の注意事項を変更
		P13-3	図 13.1.1 を修正
		P13-19	表 13.2.2「CPU クロック : 32MHz 時のビットタイミング設定例」を追加
		P13-20	注 3 を追加
		P13-28	図 13.2.5 を修正
		P13-29	図 13.2.6 を修正
		P13-30	図 13.2.7 を修正
		P13-35	図 13.2.8「マスクレジスタと適用スロットの対応」を追加
			図 13.2.9「アクセプタンスフィルタ動作説明」を追加
		P13-61	(2) 送信停止の確認の説明修正
		P13-64	図 13.5.2 を修正
		P13-65	(2) 受信停止の確認の説明修正
		P13-68	図 13.6.2 を修正
		P13-71	(2) 送信停止の確認の説明修正
		P13-75	図 13.7.2 を修正
		P13-78	(2) 受信停止の確認の説明修正
		P13-82	図 13.8.2 を修正
		P15-6 ~ P15-11	図 15.2.1 ~ 図 15.2.6 を修正 (アドレス信号 A12 ~ A30 とチップセレクト信号 $\overline{CS0}$, $\overline{CS1}$ を分離表記)
		P15-12, P15-13	図 15.3.1、図 15.3.2 を修正 (アドレス信号 A12 ~ A30 とチップセレクト信号 $\overline{CS0}$, $\overline{CS1}$ を分離表記)
		P16-6 ~ P16-19	図 16.3.1 ~ 図 16.3.14 を修正 (アドレス信号 A12 ~ A30 とチップセレクト信号 $\overline{CS0}$, $\overline{CS1}$ を分離表記)
		P18-2	図 18.1.1 に注意事項を追加
		P19-7	図 19.4.2 を修正
		P19-14	19.5「バウンダリスキャン記述言語」に注意事項を追加

改訂履歴

32171 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
2.0	01/09/12	P19-14	32171 用 BSDL 記述言語 (図 19.5.1 ~ 図 19.5.14) を削除
		P19-15	図 19.6.1 に注意事項を追加
		P19-16	19.7 「 JTAG 未使用時の端子処理 」の節を追加
			図 19.7.1 JTAG 未使用時の端子処理 (144LQFP 使用時) を追加
		P20-1 ~ P20-16	20 章に VCCE=3.3V 時の電源立ち上げ / 立ち下げシーケンスの説明を追加
			20 章全体 「 5V 系 」の表記を 「 外部 I/O 系 」に、「 3.3V 系 」の表記を 「 内部 」に、それぞれ変更
		P20-12	図 20.3.6 を修正
		P20-13	図 20.3.8 を削除
		P20-15	図 20.3.12 を削除
		P21-3, P21-4	推奨動作条件を修正 (アナログ基準電圧の最小値を追加)
		P21-5	(1) f(XIN)=10MHz 時の電気的特性を修正
		P21-7	(3) f(XIN)=8MHz 時の電気的特性を修正
		P21-10	21.1.4 「 A-D 変換特性 」を修正
		P21-11 ~ P21-18	21.2 「 電気的特性 (VCCE=3.3V 時) 」の節を追加
		P21-19	21.3.1 「 タイミング必要条件 」の説明内容を修正
		P21-22	(9) RTD タイミングの規格表を修正
		P21-32	図 21.3.12 を修正
		付録 3	付録 3 「 未使用端子処理 」を追加
		付録 4	付録 4 「 注意事項のまとめ 」を追加
			付録 3 「 ノイズに関する注意事項 」を付録 4 「 注意事項のまとめ 」へ移動
索引	索引を追加		

内蔵周辺I/Oレジスタの表の見方

ビット番号： 各レジスタは16ビット幅の内部バスに接続されています。したがってレジスタのビット番号は、偶数番地はD0～D7に、奇数番地はD8～D15になります。

リセット時の状態： リセット直後の初期状態を16進数で示します（リセット直後不定状態のビットがある場合は別に の欄に示します）。

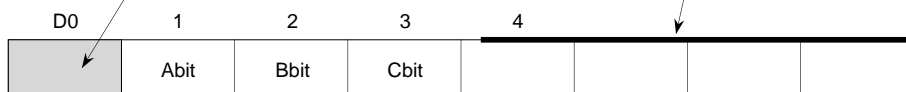
読み出し時の条件：
 ... 読み出し有効
 ? ... 読み出し無効（読み出し時データ不定）
 0 ... 常に "0" が読み出される
 1 ... 常に "1" が読み出される

書き込み時の条件：
 ... 書き込み有効
 ... 書き込みデータ条件付き（書き込みに関し何らかの条件があるもの）
 - ... 書き込み無効（書き込み時は "0" でも "1" でもよい）

< 表記例 >

網掛け部分には何も配置されていません

太枠で囲まれたレジスタはバイト（8ビット）アクセスはできません。ハーフワードまたはワードでのみアクセスできる条件付きレジスタです。



< リセット時 : H'04 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	Abit ()	0 : 1 :		
2	Bbit ()	0 : 1 :		
3	Cbit ()	0 : 1 :		



目次

第1章 概要

1.1	32171の概要	1-2
1.1.1	M32R ファミリ CPU コア	1-2
1.1.2	積和演算機能の内蔵	1-3
1.1.3	フラッシュメモリとRAMの内蔵	1-3
1.1.4	クロック逡倍回路の内蔵	1-4
1.1.5	強力な周辺機能の内蔵	1-4
1.1.6	Full-CAN 機能内蔵	1-6
1.1.7	デバッグ機能内蔵	1-6
1.2	ブロック図	1-7
1.3	端子機能	1-11
1.4	端子配置	1-17

第2章 CPU

2.1	CPU レジスタ	2-2
2.2	汎用レジスタ	2-2
2.3	制御レジスタ	2-3
2.3.1	プロセッサ状態語レジスタ : PSW (CR0)	2-4
2.3.2	条件ビットレジスタ : CBR (CR1)	2-5
2.3.3	割り込み用スタックポインタ : SPI (CR2)	2-5
	ユーザ用スタックポインタ : SPU (CR3)	
2.3.4	バックアップ PC : BPC (CR6)	2-5
2.4	アキュムレータ	2-6
2.5	プログラムカウンタ	2-6
2.6	データフォーマット	2-7
2.6.1	データタイプ	2-7
2.6.2	データフォーマット	2-8

第3章 アドレス空間

3.1	アドレス空間概要	3-2
3.2	動作モード	3-6
3.3	内蔵 ROM 領域 / 外部拡張領域	3-8
3.3.1	内蔵 ROM 領域	3-8
3.3.2	外部拡張領域	3-8
3.4	内蔵 RAM 領域 / SFR 領域	3-9
3.4.1	内蔵 RAM 領域	3-9
3.4.2	SFR (Special Function Register) 領域	3-9
3.5	EIT ベクタエントリ	3-23
3.6	ICU ベクタテーブル	3-24
3.7	アドレス空間の注意事項	3-26

第4章 EIT

4.1	EIT の概要	4-2
4.2	EIT 事象	4-3
4.2.1	例外 (Exception)	4-3
4.2.2	割り込み (Interrupt)	4-3
4.2.3	トラップ (Trap)	4-3
4.3	EIT の処理手順	4-4
4.4	EIT の処理機構	4-6
4.5	EIT 事象の受け付け	4-7
4.6	PC, PSW の退避と復帰	4-8
4.7	EIT ベクタエントリ	4-10
4.8	例外 (Exception) 処理	4-11
4.8.1	予約命令例外 (RIE)	4-11
4.8.2	アドレス例外 (AE)	4-13
4.9	割り込み (Interrupt) 処理	4-15
4.9.1	リセット割り込み (RI)	4-15
4.9.2	システムブレーク割り込み (SBI)	4-16
4.9.3	外部割り込み (EI)	4-18

4.10	トラップ (Trap) 処理	4-20
4.10.1	トラップ (TRAP)	4-20
4.11	EIT の優先順位	4-22
4.12	EIT 処理の例	4-23
4.13	EIT の注意事項	4-25

第5章 割り込みコントローラ (ICU)

5.1	割り込みコントローラ (ICU) 概要	5-2
5.2	内蔵周辺 I/O の割り込み要因	5-4
5.3	ICU 関連レジスタ	5-5
5.3.1	割り込みベクタレジスタ	5-6
5.3.2	割り込みマスクレジスタ	5-7
5.3.3	SBI (システムブレーク割り込み) 制御レジスタ	5-8
5.3.4	割り込み制御レジスタ	5-9
5.4	ICU ベクタテーブル	5-13
5.5	割り込み動作説明	5-16
5.5.1	内蔵周辺 I/O の割り込み受け付け	5-16
5.5.2	内蔵周辺 I/O の割り込みハンドラ処理	5-19
5.6	システムブレーク割り込み (SBI) 動作説明	5-21
5.6.1	SBI の受け付け	5-21
5.6.2	SBI のハンドラ処理	5-21

第6章 内蔵メモリ

6.1	内蔵メモリ概要	6-2
6.2	内蔵 RAM	6-2
6.3	内蔵フラッシュメモリ	6-2
6.4	内蔵フラッシュメモリ関連レジスタ	6-3
6.4.1	フラッシュモードレジスタ	6-4
6.4.2	フラッシュステータスレジスタ	6-5
6.4.3	フラッシュ制御レジスタ	6-8
6.4.4	疑似フラッシュLバンクレジスタ	6-14
6.4.5	疑似フラッシュSバンクレジスタ	6-15

6.5	内蔵フラッシュメモリの書き込み	6-16
6.5.1	フラッシュメモリ書き込みの概要	6-16
6.5.2	フラッシュ書き込み時における動作モードの制御	6-22
6.5.3	内蔵フラッシュメモリへの書き込み手順	6-25
6.5.4	フラッシュ書き込み時間 (参考値)	6-39
6.6	ブートROM	6-41
6.7	疑似フラッシュエミュレーション機能	6-42
6.7.1	疑似フラッシュエミュレーション領域	6-43
6.7.2	疑似フラッシュエミュレーションモードへの移行	6-50
6.7.3	疑似フラッシュエミュレーションモードの応用例	6-51
6.8	シリアルライタとの接続	6-53
6.9	内蔵フラッシュメモリのプロテクト機能	6-55
6.10	フラッシュメモリ書き換え時の注意事項	6-56

第7章 リセット

7.1	リセット概要	7-2
7.2	リセット動作	7-2
7.2.1	電源投入時のリセット	7-2
7.2.2	動作中のリセット	7-2
7.2.3	フラッシュ書き換え時のリセットベクタ移動	7-2
7.3	リセット解除後の内部状態	7-3
7.4	リセット解除後の注意事項	7-4

第8章 入出力ポートと端子機能

8.1	入出力ポート概要	8-2
8.2	端子機能の選択	8-4
8.3	入出力ポート関連レジスタ	8-6
8.3.1	ポートデータレジスタ	8-8
8.3.2	ポート方向レジスタ	8-9
8.3.3	ポート動作モードレジスタ	8-10
8.4	ポート周辺回路	8-22
8.5	入出力ポートの注意事項	8-26

第9章 DMAC

9.1	DMAC 概要	9-2
9.2	DMAC 関連レジスタ	9-5
9.2.1	DMA チャンネル制御レジスタ	9-7
9.2.2	DMA ソフトウェア要求発生レジスタ	9-18
9.2.3	DMA ソースアドレスレジスタ	9-19
9.2.4	DMA デスティネーションアドレスレジスタ	9-20
9.2.5	DMA 転送カウントレジスタ	9-21
9.2.6	DMA 割り込み要求ステータスレジスタ	9-22
9.2.7	DMA 割り込みマスクレジスタ	9-24
9.3	DMAC 機能説明	9-28
9.3.1	DMA 要求要因	9-28
9.3.2	DMA 転送の処理手順	9-32
9.3.3	DMA の起動	9-33
9.3.4	チャンネルの優先順位	9-33
9.3.5	内部バス権の獲得と解放	9-33
9.3.6	転送単位	9-34
9.3.7	転送回数	9-34
9.3.8	アドレス空間	9-34
9.3.9	転送動作	9-34
9.3.10	DMA の終了と割り込み	9-38
9.3.11	DMA 転送終了後の各レジスタの状態	9-38
9.4	DMAC の注意事項	9-39

第10章 マルチジャンクションタイマ

10.1	マルチジャンクションタイマ概要	10-2
10.2	タイマ共通部	10-7
10.2.1	タイマ共通部レジスタマップ	10-7
10.2.2	プリスケアラ部	10-9
10.2.3	クロックバス/入出力イベントバス制御部	10-10
10.2.4	入力処理制御部	10-15
10.2.5	出力フリップフロップ制御部	10-21
10.2.6	割り込み制御部	10-29

10.3 TOP (出力系 16 ビットタイマ).....	10-46
10.3.1 TOP 概要	10-46
10.3.2 TOP 各モードの概要	10-48
10.3.3 TOP 関連レジスタマップ	10-50
10.3.4 TOP 制御レジスタ	10-53
10.3.5 TOP カウンタ (TOP0CT ~ TOP10CT).....	10-60
10.3.6 TOP リロードレジスタ (TOP0RL ~ TOP10RL).....	10-61
10.3.7 TOP 補正レジスタ (TOP0CC ~ TOP10CC).....	10-62
10.3.8 TOP イネーブル制御レジスタ	10-63
10.3.9 TOP ワンショット出力モード (補正機能あり)の動作.....	10-67
10.3.10 TOP ディレイドワンショット出力モード (補正機能あり)の動作.....	10-74
10.3.11 TOP 連続出力モード (補正機能なし)の動作.....	10-79
10.4 TIO (入出力系 16 ビットタイマ).....	10-83
10.4.1 TIO 概要	10-83
10.4.2 TIO 各モードの概要	10-85
10.4.3 TIO 関連レジスタマップ	10-88
10.4.4 TIO 制御レジスタ	10-91
10.4.5 TIO カウンタ (TIO0CT ~ TIO9CT).....	10-102
10.4.6 TIO リロード 0 / 計測レジスタ (TIO0RL0 ~ TIO9RL0).....	10-103
10.4.7 TIO リロード 1 レジスタ (TIO0RL1 ~ TIO9RL1).....	10-104
10.4.8 TIO イネーブル制御レジスタ	10-105
10.4.9 TIO 計測 (フリーラン/クリア)入力モードの動作.....	10-108
10.4.10 TIO ノイズ処理入力モードの動作	10-112
10.4.11 TIO PWM 出力モード動作	10-113
10.4.12 TIO ワンショット出力モード (補正機能なし)の動作.....	10-117
10.4.13 TIO ディレイドワンショット出力モード (補正機能なし)の動作.....	10-119
10.4.14 TIO 連続出力モード (補正機能なし)の動作	10-121
10.5 TMS (入力系 16 ビットタイマ).....	10-123
10.5.1 TMS 概要	10-123
10.5.2 TMS の動作概要	10-123
10.5.3 TMS 関連レジスタマップ	10-125
10.5.4 TMS 制御レジスタ	10-126
10.5.5 TMS カウンタ (TMS0CT, TMS1CT).....	10-128
10.5.6 TMS 計測レジスタ (TMS0MR3 ~ 0, TMS1MR3 ~ 0).....	10-129
10.5.7 TMS 計測入力の動作	10-130
10.6 TML (入力系 32 ビットタイマ).....	10-132

10.6.1	TML 概要	10-132
10.6.2	TML の動作概要	10-133
10.6.3	TML 関連レジスタマップ	10-134
10.6.4	TML 制御レジスタ	10-135
10.6.5	TML カウンタ	10-137
10.6.6	TML 計測レジスタ	10-139
10.6.7	TML 計測入力の動作	10-141

第 11 章 A-D 変換器

11.1	A-D 変換器概要	11-2
11.1.1	変換モード	11-5
11.1.2	動作モード	11-6
11.1.3	特殊動作モード	11-10
11.1.4	A-D 変換器の割り込み要求と DMA 転送要求	11-13
11.2	A-D 変換器関連レジスタ	11-14
11.2.1	A-D 単一モードレジスタ 0	11-16
11.2.2	A-D 単一モードレジスタ 1	11-19
11.2.3	A-D スキャンモードレジスタ 0	11-21
11.2.4	A-D スキャンモードレジスタ 1	11-24
11.2.5	A-D 逐次近似レジスタ	11-26
11.2.6	A-D コンパレートデータレジスタ	11-27
11.2.7	10 ビット A-D データレジスタ	11-28
11.2.8	8 ビット A-D データレジスタ	11-29
11.3	A-D 変換器機能説明	11-30
11.3.1	アナログ入力電圧の求め方	11-30
11.3.2	逐次近似比較方式の A-D 変換	11-31
11.3.3	コンパレータ動作	11-33
11.3.4	A-D 変換時間算出方法	11-34
11.3.5	A-D 変換精度の定義	11-37
11.4	A-D 変換器の注意事項	11-39

第 12 章 シリアル I/O

12.1	シリアル I/O 概要	12-2
12.2	シリアル I/O 関連レジスタ	12-6

12.2.1	SIO 割り込み関連レジスタ	12-7
12.2.2	SIO 割り込み制御レジスタ	12-9
12.2.3	SIO 送信制御レジスタ	12-13
12.2.4	SIO 送受信モードレジスタ	12-15
12.2.5	SIO 送信バッファレジスタ	12-18
12.2.6	SIO 受信バッファレジスタ	12-19
12.2.7	SIO 受信制御レジスタ	12-20
12.2.8	SIO ボーレートレジスタ	12-23
12.3	CSIO モード送信動作説明	12-25
12.3.1	CSIO ボーレートの設定	12-25
12.3.2	CSIO 送信時の初期設定	12-26
12.3.3	CSIO 送信の開始	12-28
12.3.4	CSIO の連続送信	12-28
12.3.5	CSIO 送信完了処理	12-29
12.3.6	送信割り込み	12-29
12.3.7	送信 DMA 転送要求	12-29
12.3.8	CSIO 送信動作例	12-31
12.4	CSIO モード受信動作説明	12-33
12.4.1	CSIO 受信時の初期設定	12-33
12.4.2	CSIO 受信の開始	12-35
12.4.3	CSIO 受信完了処理	12-35
12.4.4	連続受信について	12-36
12.4.5	CSIO 受信動作の状態を示すフラグ	12-37
12.4.6	CSIO 受信動作例	12-38
12.5	CSIO モード時の注意事項	12-40
12.6	UART モード送信動作説明	12-42
12.6.1	UART ボーレートの設定	12-42
12.6.2	UART 送受信データフォーマット	12-43
12.6.3	UART 送信時の初期設定	12-45
12.6.4	UART 送信の開始	12-47
12.6.5	UART の連続送信	12-47
12.6.6	UART 送信完了処理	12-48
12.6.7	送信割り込み	12-48
12.6.8	送信 DMA 転送要求	12-48
12.6.9	UART 送信動作例	12-50

12.7	UART モード受信動作説明	12-52
12.7.1	UART 受信時の初期設定	12-52
12.7.2	UART 受信の開始	12-54
12.7.3	UART 受信完了処理	12-54
12.7.4	UART 受信動作例	12-56
12.7.5	UART 受信時のスタートビットの検出	12-58
12.8	定周期クロック出力機能	12-59
12.9	UART モード時の注意事項	12-60

第 13 章 CAN モジュール

13.1	CAN モジュールの概要	13-2
13.2	CAN モジュール関連レジスタ	13-4
13.2.1	CAN コントロールレジスタ	13-8
13.2.2	CAN ステータレジスタ	13-11
13.2.3	CAN 拡張 ID レジスタ	13-15
13.2.4	CAN コンフィグレーションレジスタ	13-16
13.2.5	CAN タイムスタンプカウントレジスタ	13-20
13.2.6	CAN エラーカウントレジスタ	13-21
13.2.7	CAN ボーレートプリスケラ	13-22
13.2.8	CAN 割り込み関連レジスタ	13-23
13.2.9	CAN マスクレジスタ	13-31
13.2.10	CAN メッセージスロットコントロールレジスタ	13-36
13.2.11	CAN メッセージスロット	13-40
13.3	CAN プロトコル	13-55
13.3.1	CAN プロトコルフレーム	13-55
13.4	CAN モジュール初期設定	13-58
13.4.1	CAN モジュールの初期設定	13-58
13.5	データフレーム送信	13-61
13.5.1	データフレーム送信手順	13-61
13.5.2	データフレーム送信動作	13-63
13.5.3	送信アボート機能	13-64
13.6	データフレーム受信	13-65
13.6.1	データフレーム受信手順	13-65
13.6.2	データフレーム受信動作	13-67

13.6.3	受信データフレームの読み出し	13-69
13.7	リモートフレーム送信	13-71
13.7.1	リモートフレーム送信手順	13-71
13.7.2	リモートフレーム送信動作	13-73
13.7.3	リモートフレーム送信設定時の受信データフレームの読み出し ...	13-76
13.8	リモートフレーム受信	13-78
13.8.1	リモートフレーム受信手順	13-78
13.8.2	リモートフレーム受信動作	13-80

第 14 章 リアルタイムデバッグ (RTD)

14.1	リアルタイムデバッグ (RTD) 概要	14-2
14.2	RTD 端子機能	14-3
14.3	RTD 動作説明	14-4
14.3.1	RTD 動作概要	14-4
14.3.2	RDR (リアルタイム RAM 内容出力) 動作	14-5
14.3.3	WRR (RAM 内容強制書き換え) 動作	14-7
14.3.4	VER (継続モニタ) 動作	14-9
14.3.5	VEI (割り込み要求) 動作	14-10
14.3.6	RCV (暴走状態からの復帰) 動作	14-11
14.3.7	リアルタイムデバッグ使用時の指定アドレス設定方法	14-12
14.3.8	RTD のリセット	14-13
14.4	ホストとの接続例	14-14

第 15 章 外部バスインタフェース

15.1	外部バスインタフェース関連信号	15-2
15.2	リード/ライト動作	15-6
15.3	バスアービトレーション	15-12
15.4	外部拡張メモリ接続例	15-14

第 16 章 ウェイトコントローラ

16.1	ウェイトコントローラ概要	16-2
16.2	ウェイトコントローラ関連レジスタ	16-4
16.2.1	ウェイト数制御レジスタ (WTCCR)	16-5

16.3 ウェイトコントローラ動作例	16-6
--------------------------	------

第 17 章 RAM バックアップモード

17.1 概要	17-2
17.2 電源断時の RAM バックアップ例	17-2
17.2.1 通常動作時の状態	17-3
17.2.2 RAM バックアップ時の状態	17-4
17.3 低消費電力化のための RAM バックアップ例	17-5
17.3.1 通常動作時の状態	17-6
17.3.2 RAM バックアップ時の状態	17-7
17.3.3 電源立ち上げ時の注意事項	17-8
17.4 RAM バックアップモードの解除 (ウエイクアップ)	17-9

第 18 章 発振回路

18.1 発振回路	18-2
18.1.1 発振回路例	18-2
18.1.2 システムクロックの出力機能	18-3
18.1.3 電源投入時の発振安定時間	18-4
18.2 クロック発生回路	18-5

第 19 章 JTAG

19.1 JTAG 概要	19-2
19.2 JTAG 回路構成	19-3
19.3 JTAG レジスタ	19-4
19.3.1 命令レジスタ (JTAGIR)	19-4
19.3.2 データレジスタ	19-5
19.4 JTAG 基本動作	19-6
19.4.1 JTAG 動作概要	19-6
19.4.2 IR パスシーケンス	19-8
19.4.3 DR パスシーケンス	19-10
19.4.4 データレジスタの参照および設定	19-12
19.5 バウンダリスキャン記述言語	19-14

19.6 JTAG 接続時のボード設計注意事項	19-15
19.7 JTAG 未使用時の端子処理	19-16

第 20 章 電源立ち上げ/立ち下げシーケンス

20.1 電源回路の構成	20-2
20.2 電源立ち上げシーケンス	20-4
20.2.1 RAM バックアップ未使用時の電源立ち上げシーケンス	20-4
20.2.2 RAM バックアップ使用時の電源立ち上げシーケンス	20-6
20.3 電源立ち下げシーケンス	20-8
20.3.1 RAM バックアップ未使用時の電源立ち下げシーケンス	20-8
20.3.2 RAM バックアップ使用時の電源立ち下げシーケンス	20-10

第 21 章 電気的特性

21.1 電気的特性 (VCCE=5V 時)	21-2
21.1.1 絶対最大定格	21-2
21.1.2 推奨動作条件	21-3
21.1.3 DC 特性	21-5
21.1.4 A-D 変換特性	21-10
21.2 電気的特性 (VCCE=3.3V 時)	21-11
21.2.1 絶対最大定格	21-11
21.2.2 推奨動作条件	21-12
21.2.3 DC 特性	21-14
21.2.4 A-D 変換特性	21-18
21.3 AC 特性	21-19
21.3.1 タイミング必要条件	21-19
21.3.2 スイッチング特性	21-23
21.3.3 AC 特性	21-26

第 22 章 標準特性

22.1 A-D 変換特性	22-2
---------------------	------

付録 1 機械的仕様

付録 1.1 外形寸法図	付録 1-2
--------------------	--------

付録 2 命令処理時間

付録 2.1 M32R/ECU 命令処理時間	付録 2-2
------------------------------	--------

付録 3 未使用端子の処理

付録 3.1 未使用端子の処理例	付録 3-2
------------------------	--------

付録 4 注意事項のまとめ

付録 4.1 CPU に関する注意事項	付録 4-2
付録 4.1.1 データ転送の注意事項	付録 4-2
付録 4.2 アドレス空間の注意事項	付録 4-2
付録 4.2.1 疑似フラッシュエミュレーション機能	付録 4-2
付録 4.3 EIT の注意事項	付録 4-3
付録 4.4 フラッシュメモリ書き換え時の注意事項	付録 4-3
付録 4.5 リセット解除後の注意事項	付録 4-4
付録 4.5.1 入出力ポート	付録 4-4
付録 4.6 入出力ポートの注意事項	付録 4-4
付録 4.6.1 ポートを出力モードで使用する場合	付録 4-4
付録 4.7 DMAC の注意事項	付録 4-5
付録 4.7.1 DMAC 関連レジスタへの書き込みについて	付録 4-5
付録 4.7.2 DMA 転送による DMAC 関連レジスタの操作	付録 4-6
付録 4.7.3 DMA 割り込み要求ステータスレジスタについて	付録 4-6
付録 4.7.4 DMA 転送の安定動作について	付録 4-6
付録 4.8 マルチジャンクションタイマの注意事項	付録 4-7
付録 4.8.1 TOP ワンショット出力モード使用上の注意	付録 4-7
付録 4.8.2 TOP ディレイドワンショット出力モード使用上の注意	付録 4-9
付録 4.8.3 TOP 連続出力モード使用上の注意	付録 4-10
付録 4.8.4 TIO 計測 (フリーラン/クリア) 入力モード使用上の注意	付録 4-11
付録 4.8.5 TIO ワンショット出力モード使用上の注意	付録 4-11

付録 4.8.6	TIO ディレイドワンショット出力モード使用上の注意	付録 4-11
付録 4.8.7	TIO 連続出力モード使用上の注意	付録 4-12
付録 4.8.8	TMS 計測入力使用上の注意	付録 4-12
付録 4.8.9	TML 計測入力使用上の注意	付録 4-13
付録 4.9	A-D 変換器の注意事項	付録 4-14
付録 4.10	シリアル I/O の注意事項	付録 4-16
付録 4.10.1	CSIO モード時の注意事項	付録 4-18
付録 4.10.2	UART モード時の注意事項	付録 4-20
付録 4.11	RAM バックアップモードの注意事項	付録 4-21
付録 4.11.1	電源立ち上げ時の注意事項	付録 4-21
付録 4.12	JTAG 端子処理の注意事項	付録 4-22
付録 4.12.1	JTAG 接続時のボード設計注意事項	付録 4-22
付録 4.12.2	JTAG 未使用時の端子処理	付録 4-23
付録 4.13	ノイズに関する注意事項	付録 4-24
付録 4.13.1	配線長の短縮	付録 4-24
付録 4.13.2	VSS-VCC ライン間へのバイパスコンデンサ挿入	付録 4-26
付録 4.13.3	アナログ入力端子の配線処理	付録 4-27
付録 4.13.4	発振子への配慮	付録 4-28
付録 4.13.5	入出力ポート処理	付録 4-30

第 1 章

概要

- 1.1 32171の概要
- 1.2 ブロック図
- 1.3 端子機能
- 1.4 端子配置

1.1 32171の概要

1.1.1 M32RファミリCPUコア

(1) RISCアーキテクチャの採用

32171は、32ビットRISCシングルチップマイクロコンピュータで、M32RファミリCPUコア(以下M32Rと略)を中心にして、フラッシュメモリ、RAM、および各種周辺機能を1チップに集積しています。

M32Rは、RISCアーキテクチャを採用しています。メモリアクセスはロード命令とストア命令により行い、各種の演算はレジスタ間演算命令で実行します。内部には32ビット汎用レジスタを16本備え、命令数は83あります。

M32Rは、通常のロード命令、ストア命令に加えて、ロード&アドレス更新、ストア&アドレス更新といった複合命令もサポートしています。これらの命令はデータ転送の高速化に有効です。

(2) 5ステージのパイプライン処理

M32Rは、命令フェッチ、デコード、実行、メモリアクセス、ライトバックの5ステージのパイプライン処理により、命令を処理します。ロード命令、ストア命令、レジスタ間演算命令だけでなく、ロード&アドレス更新、ストア&アドレス更新といった複合命令も1サイクルで実行します。

命令は、フェッチされた順に実行ステージに投入されますが、先に投入されたロード命令やストア命令の実行がメモリアクセスのウエイトサイクルの挿入により延びた場合には、後続のレジスタ間演算命令が先に実行される場合があります。M32Rは、このような「out-of-order-completion」などの採用により、クロックサイクルをむだにしない命令実行制御を行います。

(3) コンパクトな命令コード

M32Rの命令には、16ビット長命令と32ビット長命令の2つの形式があります。特に16ビット長の命令形式の採用により、プログラムのコードサイズを抑えることができます。

32ビット長命令には、実行中の命令のアドレスから±32Mバイトの範囲に直接分岐することができる命令があり、アドレス空間がセグメント化されたアーキテクチャに比べ、プログラミングが容易になっています。

1.1.2 積和演算機能の内蔵

(1) 高速乗算器の内蔵

M32Rは、32ビット×16ビットの高速乗算器の内蔵により、32ビット×32ビットの整数乗算命令を3サイクル(CPUメモリクロック40MHz時、1サイクルは25ns)で実行します。

(2) DSPに匹敵する積和演算命令をサポート

M32Rは、56ビットのアキュムレータによる積和演算命令(または乗算命令)として、次の4つをサポートしており、いずれも1サイクルで実行できます。

レジスタの上位16ビット×レジスタの上位16ビット
レジスタの下位16ビット×レジスタの下位16ビット
レジスタの32ビット全体×レジスタの上位16ビット
レジスタの32ビット全体×レジスタの下位16ビット

M32Rは、アキュムレータに格納された値を16ビットまたは32ビットに丸める命令や、アキュムレータ値の桁合わせのため、シフトしてレジスタに格納する命令を備えています。これらの命令も1サイクルで実行するため、ロード&アドレス更新、ストア&アドレス更新などの高速データ転送命令と組み合わせて使うことにより、DSPに匹敵するデータ処理能力を発揮できます。

1.1.3 フラッシュメモリとRAMの内蔵

32171は、ノーウエイトでアクセスが可能なフラッシュメモリとRAMを内蔵しており、高速な組み込みシステムを構成できます。

内蔵フラッシュメモリは、プリント基板に実装した状態での書き込み(オンボード書き込み)が可能です。フラッシュメモリの採用で開発時のチップがそのまま量産に使い、試作から量産へプリント基板を変更することなくスムーズに移行することができます。

内蔵フラッシュメモリは、100回書き換えることができます。

内蔵フラッシュメモリは、疑似フラッシュエミュレーション機能を備えており、内蔵フラッシュメモリの一部に疑似的に内蔵RAMをマッピングすることができます。この機能と内蔵リアルタイムデバッガ(RTD)を組み合わせることにより、ROMテーブル上のデータチューニングが容易に行えます。

内蔵RAMは、RTD(リアルタイムデバッガ)を使用することで、M32Rとは独立して外部からデータの読み出しや書き替えができます。外部との通信は、RTDの専用クロック同期形シリアルI/Oで行います。

1.1.4 クロック逡倍回路の内蔵

32171は、入力したクロック信号の周波数を内部で4倍(内部周辺クロックは2倍)にして使用しており、入力クロック周波数が10.0MHzの場合、CPUクロック周波数は40MHz、内部周辺クロック周波数は20MHzとなります。

1.1.5 強力な周辺機能の内蔵

(1) マルチジャンクションタイマ (MJT) の内蔵

マルチジャンクションタイマは、下記の37チャンネルのタイマにより構成しています。

- 16ビット出力系タイマ11チャンネル
- 16ビット入出力系タイマ10チャンネル
- 16ビット入力系タイマ8チャンネル
- 32ビット入力系タイマ8チャンネル

各タイマは複数のモードを持ち、用途に応じた選択が可能です。

マルチジャンクションタイマは、内部にクロックバス、入力イベントバス、出力イベントバスを持ち、複数のタイマを内部で組み合わせて利用できます。これによりフレキシブルなタイマ機能の活用が可能です。

出力系タイマ(TOP)は補正機能を備えています。この機能によりカウント中のタイマのカウント値を自由に増減させることができ、リアルタイムな出力制御を実現できます。

(2) 10チャンネルのDMA内蔵

DMAは10チャンネル内蔵しており、内蔵周辺I/O間または内蔵周辺I/Oと内蔵RAM間のデータ転送をサポートします。DMA転送要求はソフトウェアのほか、内蔵周辺I/O(A-D変換器、MJT、シリアルI/O)の発生する信号をトリガとすることができます。

DMAチャンネル間のカスケード接続(あるチャンネルの転送終了で他のチャンネルのDMA転送を起動)もサポートしており、CPUに負荷をかけることなく高度な転送処理が可能です。

(3) 16チャンネルのA-D変換器内蔵

10ビット分解能で16チャンネルのA-D変換器を1つ内蔵しています。

各チャンネル単独のA-D変換のほか、4チャンネル、8チャンネルまたは16チャンネルを1つのグループとした連続的なA-D変換も可能です。

通常のA-D変換のほかに、ある設定値とのA-D変換の結果を比較して、その大小を判別するコンパレータモードをサポートしています。

A-D変換の終了時には割り込みを発生するほか、DMA転送要求を発生することもできます。

A-D変換結果の読み出し機能として、8ビットと10ビットの両モードをサポートしています。

(4) 高速シリアルI/O

シリアルI/Oは3チャンネル内蔵しており、クロック同期形シリアルI/O、またはUARTに設定できます。

転送速度はクロック同期形シリアルI/O時に2Mビット/秒の高速データ転送が可能です。

データ受信完了時、または送信レジスタが空になった時に、DMAの転送要求信号を発生する機能を持ちます。

(5) リアルタイムデバッガ (RTD) の内蔵

リアルタイムデバッガ(RTD)は、M32R/ECUの内蔵RAMを外部から直接アクセスする機能を提供します。外部との通信は、専用のクロック同期形シリアルI/Oで行います。

RTDを使うことで、M32Rとは独立して外部から内蔵RAMの内容を読み出したり、データの書き替えが可能になります。

RTDを使用したデータ送受信の完了を知らせるための、RTD割り込みを発生することができます。

(6) 8レベルの割り込みコントローラ

割り込みコントローラは、各内蔵周辺I/Oからの割り込み要求を、割り込み禁止状態を含めて8レベルの優先順位を設けて管理します。また、電源断検出やウォッチドックタイマで発生した外部割り込み要求をシステムブレーク割り込み(SBI)として受け付けることができます。

(7) 3つの動作モード

M32R/ECUは、シングルチップモード、外部拡張モードおよびプロセッサモードの3つの動作モードを備えています。M32R/ECUのアドレス空間と外部端子機能は各モードに応じて切り替わります。モードの設定は、MOD0, MOD1端子で行います。

(8) ウェイトコントローラ

ウェイトコントローラは、外付けデバイスのアクセスをサポートします。シングルチップモード以外のモードでは、外部拡張領域は最大4Mバイトの空間が用意されています。

1.1.6 Full-CAN機能内蔵

32171は、CAN specification V2.0B active準拠のCANモジュールを内蔵しており、16本のメッセージスロットを有しています。

1.1.7 デバッグ機能内蔵

32171は、JTAGインタフェースをサポートしています。このJTAGインタフェースを用いてバウンダリスキャンテストが可能です。

1.2 ブロック図

図1.2.1に32171のブロック図を示し、それぞれのブロックの特長を表1.2.1～表1.2.3に示します。

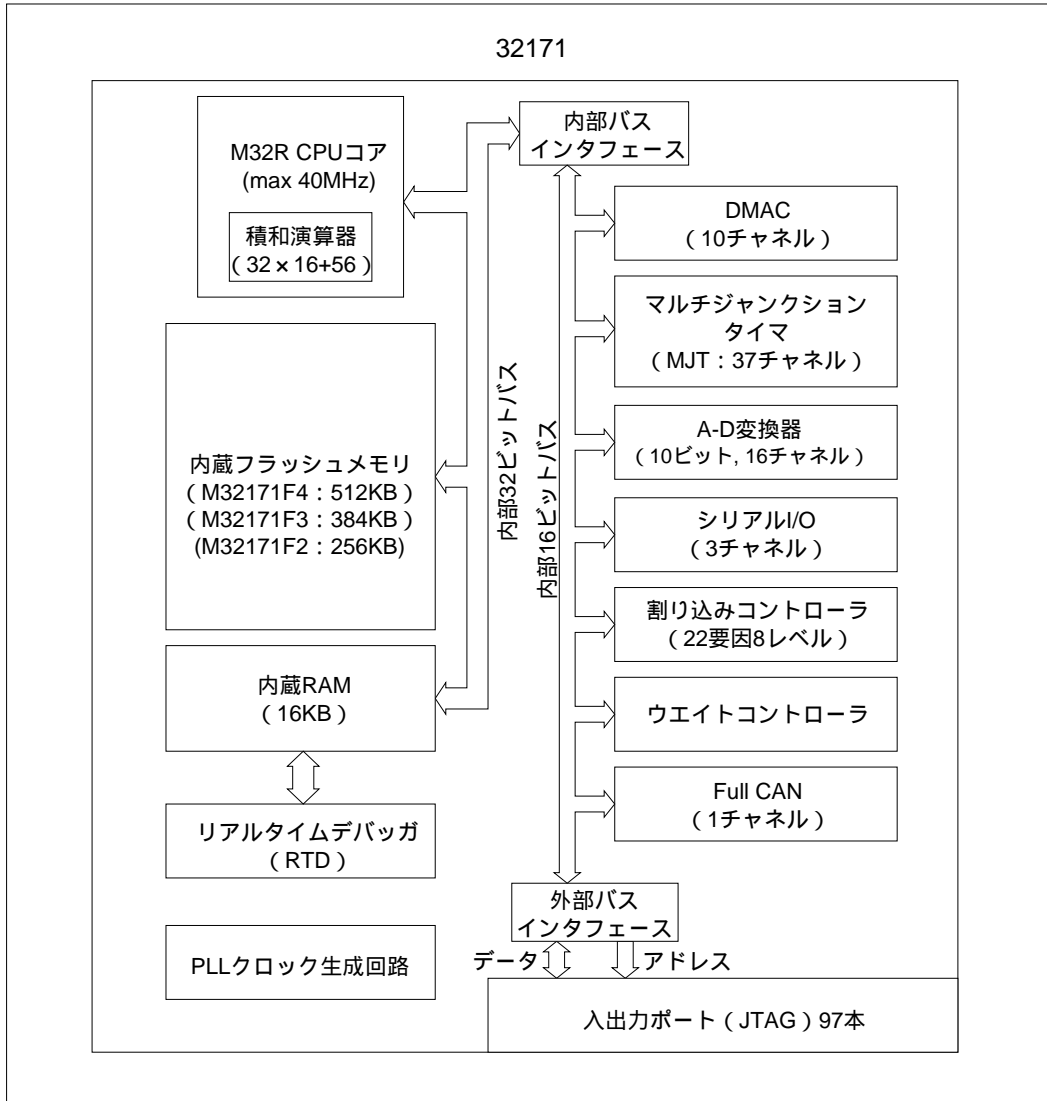


図1.2.1 32171のブロック図

表1.2.1 M32RファミリCPUコアの特長

機能ブロック	特長
M32Rファミリ CPUコア	<p>バス仕様</p> <p>基本バスサイクル：25ns(CPUクロック40MHz時)</p> <p>論理アドレス空間：4Gバイトリニア</p> <p>外部拡張領域：最大4Mバイト</p> <p>外部データバス：16ビット</p> <p>インプリメンテーション：5段パイプライン方式</p> <p>コア内部32ビット構成</p> <p>レジスタ構成</p> <p>汎用レジスタ：32ビット×16本</p> <p>制御レジスタ：32ビット×5本</p> <p>命令セット</p> <p>16ビット/32ビット命令形式</p> <p>83命令/6アドレッシングモード</p> <p>積和演算器内蔵(32 × 16 + 56)</p>

表1.2.2 内蔵メモリの特長

機能ブロック	特長
RAM	<p>容量：16Kバイト</p> <p>ノーウエイトアクセス</p> <p>RTD(リアルタイムデバッグ)を使用することで、M32Rとは独立して外部から内蔵RAMのデータ読み出しや書き替えが可能</p>
フラッシュメモリ	<p>容量：M32171F4：512Kバイト / M32171F3：384Kバイト / M32171F2：256Kバイト</p> <p>ノーウエイトアクセス</p> <p>書き換え回数：100回</p>

表1.2.3 内蔵周辺I/Oの特長

機能ブロック	特長
DMA	10チャンネルのDMAC 内蔵周辺I/O間、内蔵RAM間、または内蔵周辺I/Oと内蔵RAM間の転送サポート 内蔵周辺I/Oとのコンビネーションにより、高度なDMA転送が可能 DMA各チャンネルのカスケード接続(あるチャンネルの転送終了で他のチャンネルの起動)が可能
マルチ ジャンクション	37チャンネルの多機能タイマ 出力系タイマ11チャンネル、入出力系タイマ10チャンネル、16ビット入力系タイマ8チャンネル、32ビット入力系タイマ8チャンネル内蔵 各チャンネルの相互接続によるフレキシブルなタイマ構成が可能
A-D変換器	16チャンネル、10ビット分解能A-D変換器 コンパレータモード内蔵 A-D変換終了時の割り込みまたはDMA転送の起動が可能 8ビット/10ビット変換結果読み出しが可能
シリアルI/O	3チャンネルのシリアルI/O クロック同期形シリアルI/O、またはUARTに設定可能 クロック同期時2Mビット/秒、UART時156Kビット/秒の高速データ転送
リアルタイム デバッガ	外部からのコマンド入力による、CPUとは独立した内蔵RAMの書き換え/モニタ機能 専用クロック同期シリアルポート装備
割り込み コントローラ	内蔵周辺I/Oからの割り込み要求管理 割り込み禁止状態を含めて8レベルの優先順位
ウェイト コントローラ	外部拡張領域のアクセスに対するウェイト制御 ソフトウェア設定による1~4ウェイト挿入 + 外部WAIT信号入力によるウェイト延長
クロックPLL	4逓倍のクロック発生回路 最大CPUクロック40MHz(CPU,内蔵ROM,内蔵RAMのアクセス) 最大内部周辺クロック20MHz(周辺モジュールのアクセス) 最大外部入力クロック周波数は10.0MHz
CAN	16本のメッセージロット
JTAG	バウンダリスキャン機能

表1.2.4 32171形名一覧

形名	RAM容量(Kバイト)	ROM容量(Kバイト)	パッケージ形名	ピン数
M32171F2VFP	16	256	144LQFP	144
M32171F3VFP	16	384	144LQFP	144
M32171F4VFP	16	512	144LQFP	144

1.3 端子機能

図1.3.1に端子機能図を示し、表1.3.1に端子機能説明を示します。

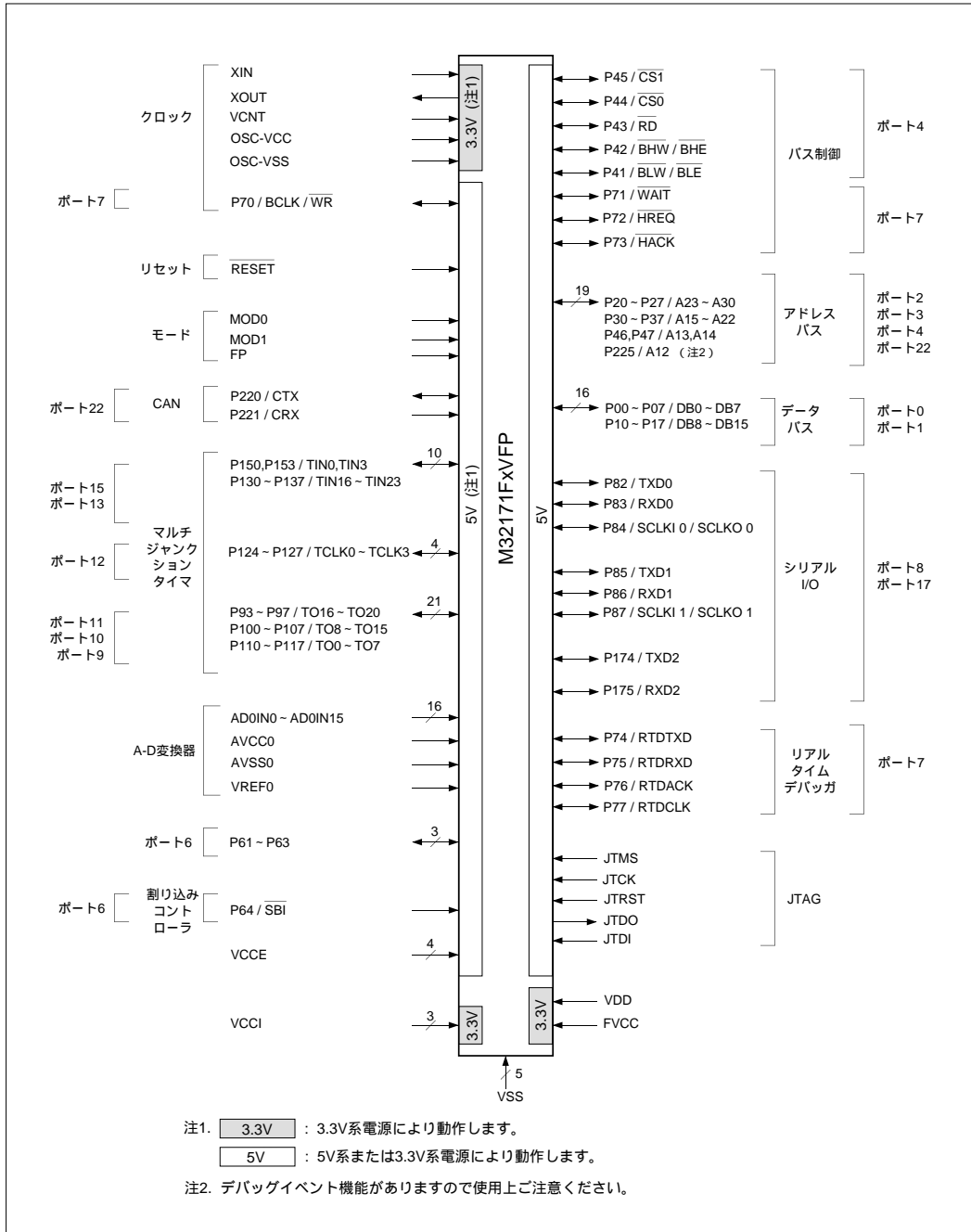


図1.3.1 M32171FxVFPの端子機能図

表1.3.1 端子機能説明(1/5)

種類	端子名	名称	入出力	機能															
電源	VCCE	電源	-	外部I/Oポートへの供給電源(5Vまたは3.3V)															
	VCCI	電源	-	内部ロジックへの供給電源(3.3V)															
	VDD	RAM電源	-	内蔵RAMバックアップ用電源端子(3.3V)															
	FVCC	FLASH電源	-	内蔵フラッシュメモリ用電源端子(3.3V)															
	VSS	グランド	-	VSSはすべてグランド(GND)に接続します。															
クロック	XIN, XOUT	クロック	入力 出力	クロック入出力端子です。PLLによる逡倍回路を内蔵しており、動作周波数の1/4の周波数のクロックを入力します(CPUクロック40MHz時 : XIN入力 = 10.0MHz)															
	BCLK \overline{WR}	システム クロック / ライト	出力	外部入力クロックの2倍の周波数のクロックを出力します(外部入力クロック10MHz時 : BCLK出力 = 20MHz) 外部で同期設計を行う場合に使用します。 \overline{WR} 端子を選択した場合、外部デバイスへのライト時に有効なデータが転送されるバイト位置を示します。															
	OSC-VCC	電源	-	PLL回路の電源です。OSC-VCCは電源(3.3V)に接続します。															
	OSC-VSS	グランド	-	OSC-VSSはグランドに接続します。															
	VCNT	PLL制御	入力	PLL回路の制御端子で、抵抗とコンデンサを接続します。 (外付け回路については、18.1.1「発振回路例」をご覧ください)															
	リセット	\overline{RESET}	リセット	入力	内部回路をリセットします。														
モード	MOD0 MOD1	モード	入力	動作モードを設定します															
				<table border="1"> <thead> <tr> <th>MOD0</th> <th>MOD1</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングルチップモード</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>プロセッサモード (ブートモード) (注)</td> </tr> <tr> <td>1</td> <td>1</td> <td>(Reserved)</td> </tr> </tbody> </table>	MOD0	MOD1	モード	0	0	シングルチップモード	0	1	外部拡張モード	1	0	プロセッサモード (ブートモード) (注)	1	1	(Reserved)
	MOD0	MOD1	モード																
	0	0	シングルチップモード																
	0	1	外部拡張モード																
1	0	プロセッサモード (ブートモード) (注)																	
1	1	(Reserved)																	
アドレス バス	A12~A30 アドレス バス	アドレス バス	出力	最大1MBメモリ空間を2系統外付けするために19本のアドレス(A12~A30)を持っています。A31は出力されません。															

注. ブートモードについては、第6章「内蔵メモリ」をご覧ください。

表1.3.1 端子機能説明(2/5)

種類	端子名	名称	入出力	機能
データバス	DB0 ~ DB15	データバス	入出力	外部デバイス接続用の16ビットデータバスです。ライトサイクルでは16ビットのデータバスのうち、有効な書き込みを行うバイト位置をBHW/BHE, BLW/BLEとして出力します。リードサイクルでは常に16ビットのデータバスを読み込みます。ただしM32Rの内部へは、有効なバイト位置のデータのみが転送されます。
バス制御	CS0, CS1	チップセレクト	出力	外部デバイスのチップセレクト信号です。チップセレクト信号の出力される領域については、第3章「アドレス空間」をご覧ください。
	RD	リード	出力	外部デバイスのリード時に出力される信号です。
	BHW/BHE	バイトハイライト / イネーブル	出力	外部デバイスへのライト時に、有効なデータが転送されるバイト位置を示します。BHW/BHEが上位アドレス側 (D0 ~ D7が有効)、BLW/BLEが下位アドレス側 (D8 ~ D15が有効) に対応しています。
	BLW/BLE	バイトローライト / イネーブル	出力	
	WAIT	ウエイト	入力	M32Rが外部デバイスにアクセスした場合、WAITに"L"信号が入力されていると、ウエイトサイクルが延長されます。
	HREQ	ホールドリクエスト	入力	外部のデバイスが外部バスのバス権を要求するための入力端子です。HREQ端子に"L"信号を入力するとM32Rはホールド状態へ遷移します。
	HACK	ホールドアックノリッジ	出力	M32Rがホールド状態へ遷移し、外部バスのバス権を解放したことを通知するための信号です。
マルチジャンクションタイマ	TIN0, TIN3 TIN16 ~ TIN23	タイマ入力	入力	マルチジャンクションタイマの入力端子です。
	TO0 ~ TO20	タイマ出力	出力	マルチジャンクションタイマの出力端子です。
	TCLK0 ~ TCLK3	タイマクロック	入力	マルチジャンクションタイマのクロック入力端子です。
A-D変換器	AVCC0	アナログ電源	-	AVCC0はA-D0変換器の電源です。AVCC0は電源(5Vまたは3.3V)に接続します。
	AVSS0	アナロググランド	-	AVSS0はA-D0変換器のアナロググランドです。AVSS0はグランドに接続します。

表1.3.1 端子機能説明(3/5)

種類	端子名	名称	入出力	機能
A-D 変換器	AD0IN0 ~ AD0IN15	アナログ入力	入力	A-D0変換器の16チャンネルアナログ入力端子です。
	VREF0	基準電圧入力	入力	VREF0はA-D0変換器の基準電圧入力端子です。
割り込み コント ローラ	SBI	システム ブレーク 割り込み	入力	割り込みコントローラのシステムブレーク割り込み(SBI) 入力端子です。
シリアル I/O	SCLKI0 / SCLKO0	UART送受信 クロック出力 または CSIO送受信 クロック 入出力	入出力	チャンネル0がUARTモードの場合： BRG出力を2分周したクロック出力 チャンネル0がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力
	SCLKI1 / SCLKO1	UART送受信 クロック出力 または CSIO送受信 クロック 入出力	入出力	チャンネル1がUARTモードの場合： BRG出力を2分周したクロック出力 チャンネル1がCSIOモードの場合： 外部クロック選択時の送受信クロック入力 内部クロック選択時の送受信クロック出力
	TXD0	送信データ	出力	シリアルI/Oチャンネル0の送信データ出力端子です。
	RXD0	受信データ	入力	シリアルI/Oチャンネル0の受信データ入力端子です。
	TXD1	送信データ	出力	シリアルI/Oチャンネル1の送信データ出力端子です。
	RXD1	受信データ	入力	シリアルI/Oチャンネル1の受信データ入力端子です。
	TXD2	送信データ	出力	シリアルI/Oチャンネル2の送信データ出力端子です。
	RXD2	受信データ	入力	シリアルI/Oチャンネル2の受信データ入力端子です。
リアル タイム デバッグ	RTDXTD	送信データ	出力	リアルタイムデバッグのシリアルデータ出力端子です。
	RTDRXD	受信データ	入力	リアルタイムデバッグのシリアルデータ入力端子です。
	RTDCLK	クロック入力	入力	リアルタイムデバッグのシリアルデータ送受信クロック入 力端子です。
	RTDACK	アクノリッジ	出力	リアルタイムデバッグのシリアルデータ出力ワードの先頭 クロックに同期して"L"パルスを出力します。"L"パルス幅は リアルタイムデバッグが受信したコマンド/データの種類を 示します。
フラッ シュ専用	FP	Flash Protect	入力	フラッシュメモリに対してE/WをH/Wプロテクトする機能 を持つモード端子です。

表1.3.1 端子機能説明(4/5)

種類	端子名	名称	入出力	機能
CAN	CTX	データ出力	出力	CANモジュールからのデータを出力する端子です。
	CRX	データ入力	入力	CANモジュールへデータを入力する端子です。
JTAG	JTMS	テストモード	入力	テスト回路の状態遷移を制御するテストモード選択入力です。
	JTCK	クロック	入力	デバッグモジュールおよびテスト回路へのクロック入力です。
	JTRST	テスト リセット	入力	テスト回路を非同期に初期化するテストリセット入力です。
	JTDI	シリアル入力	入力	テスト命令コードまたはテストデータをシリアルに入力する端子です。
	JTDO	シリアル出力	出力	テスト命令コードまたはテストデータをシリアルに出力する端子です。
入出力 ポート	P00 ~ P07	入出力ポート0	入出力	プログラマブル入出力ポートです。
(注)	P10 ~ P17	入出力ポート1	入出力	プログラマブル入出力ポートです。
	P20 ~ P27	入出力ポート2	入出力	プログラマブル入出力ポートです。
	P30 ~ P37	入出力ポート3	入出力	プログラマブル入出力ポートです。
	P41 ~ P47	入出力ポート4	入出力	プログラマブル入出力ポートです。
	P61 ~ P64	入出力ポート6	入出力	プログラマブル入出力ポートです。 (ただしP64は入力専用ポートです)
	P70 ~ P77	入出力ポート7	入出力	プログラマブル入出力ポートです。
	P82 ~ P87	入出力ポート8	入出力	プログラマブル入出力ポートです。
	P93 ~ P97	入出力ポート9	入出力	プログラマブル入出力ポートです。
	P100 ~ P107	入出力ポート10	入出力	プログラマブル入出力ポートです。
	P110 ~ P117	入出力ポート11	入出力	プログラマブル入出力ポートです。

注. 入出力ポート5は、将来のために予約されています。

表1.3.1 端子機能説明(5/5)

種類	端子名	名称	入出力	機能
入出力 ポート	P124 ~ P127	入出力ポート12	入出力	プログラマブル入出力ポートです。
(注1)	P130 ~ P137	入出力ポート13	入出力	プログラマブル入出力ポートです。
	P150, P153	入出力ポート15	入出力	プログラマブル入出力ポートです。
	P174, P175	入出力ポート17	入出力	プログラマブル入出力ポートです。
	P220,P221 P225 (注2)	入出力ポート22	入出力	プログラマブル入出力ポートです。 (ただし P221はCAN入力専用端子です)

注1. 32171では、入出力ポート14、16、18、19、20、21は配置されていません。

注2. P225は、デバッグイベント機能がありますのでご注意ください。

1.4 端子配置

図1.4.1に端子配置図を、表1.4.1に端子配列表を示します。

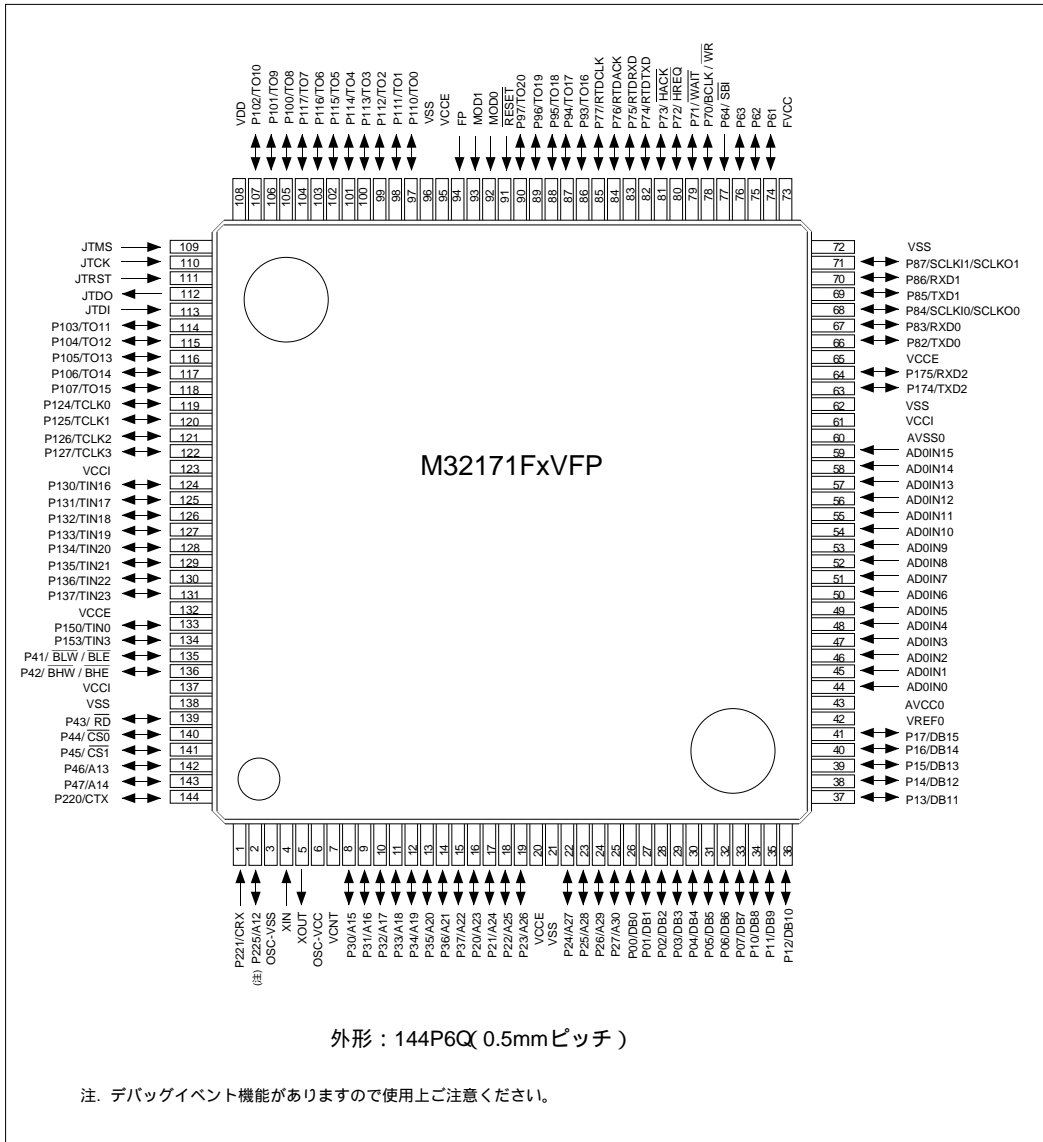


図1.4.1 M32171FxVFPの端子配置図(上面図)

表1.4.1 M32171F_xVFPの端子配列表

No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	P221 / CRX	41	P17 / DB15	81	P73 / HACK	121	P126 / TCLK2
2	P225 / A12	42	VREF0	82	P74 / RTDTXD	122	P127 / TCLK3
3	OSC-VSS	43	AVCC0	83	P75 / RTDRXD	123	VCCI
4	XIN	44	AD0IN0	84	P76 / RTDACK	124	P130 / TIN16
5	XOUT	45	AD0IN1	85	P77 / RTDCLK	125	P131 / TIN17
6	OSC-VCC	46	AD0IN2	86	P93 / TO16	126	P132 / TIN18
7	VCNT	47	AD0IN3	87	P94 / TO17	127	P133 / TIN19
8	P30 / A15	48	AD0IN4	88	P95 / TO18	128	P134 / TIN20
9	P31 / A16	49	AD0IN5	89	P96 / TO19	129	P135 / TIN21
10	P32 / A17	50	AD0IN6	90	P97 / TO20	130	P136 / TIN22
11	P33 / A18	51	AD0IN7	91	RESET	131	P137 / TIN23
12	P34 / A19	52	AD0IN8	92	MOD0	132	VCCE
13	P35 / A20	53	AD0IN9	93	MOD1	133	P150 / TIN0
14	P36 / A21	54	AD0IN10	94	FP	134	P153 / TIN3
15	P37 / A22	55	AD0IN11	95	VCCE	135	P41 / BLW / BLE
16	P20 / A23	56	AD0IN12	96	VSS	136	P42 / BHW / BHE
17	P21 / A24	57	AD0IN13	97	P110 / TO0	137	VCCI
18	P22 / A25	58	AD0IN14	98	P111 / TO1	138	VSS
19	P23 / A26	59	AD0IN15	99	P112 / TO2	139	P43 / RD
20	VCCE	60	AVSS0	100	P113 / TO3	140	P44 / CS0
21	VSS	61	VCCI	101	P114 / TO4	141	P45 / CS1
22	P24 / A27	62	VSS	102	P115 / TO5	142	P46 / A13
23	P25 / A28	63	P174 / TXD2	103	P116 / TO6	143	P47 / A14
24	P26 / A29	64	P175 / RXD2	104	P117 / TO7	144	P220 / CTX
25	P27 / A30	65	VCCE	105	P100 / TO8		
26	P00 / DB0	66	P82 / TXD0	106	P101 / TO9		
27	P01 / DB1	67	P83 / RXD0	107	P102 / TO10		
28	P02 / DB2	68	P84 / SCLK10 / SCLK00	108	VDD		
29	P03 / DB3	69	P85 / TXD1	109	JTMS		
30	P04 / DB4	70	P86 / RXD1	110	JTCK		
31	P05 / DB5	71	P87 / SCLK11 / SCLK01	111	JTRST		
32	P06 / DB6	72	VSS	112	JTDO		
33	P07 / DB7	73	FVCC	113	JTDI		
34	P10 / DB8	74	P61	114	P103 / TO11		
35	P11 / DB9	75	P62	115	P104 / TO12		
36	P12 / DB10	76	P63	116	P105 / TO13		
37	P13 / DB11	77	P64 / SBI	117	P106 / TO14		
38	P14 / DB12	78	P70 / BCLK / WR	118	P107 / TO15		
39	P15 / DB13	79	P71 / WAIT	119	P124 / TCLK0		
40	P16 / DB14	80	P72 / HREQ	120	P125 / TCLK1		

第 2 章

C P U

- 2.1 CPUレジスタ
- 2.2 汎用レジスタ
- 2.3 制御レジスタ
- 2.4 アキュムレータ
- 2.5 プログラムカウンタ
- 2.6 データフォーマット

2.1 CPUレジスタ

M32Rには16本の汎用レジスタ、5本の制御レジスタ、アキュムレータ及びプログラムカウンタがあります。アキュムレータは56ビット、その他のレジスタはすべて32ビット構成になっています。

2.2 汎用レジスタ

汎用レジスタは32ビット幅で16本(R0~R15)あり、データやベースアドレスの保持などに使用します。R14はリンクレジスタとして、R15はスタックポインタとして使用されます。リンクレジスタはサブルーチン呼び出し命令実行の際、戻り先番地の格納に使われます。またスタックポインタは、プロセッサ状態語レジスタ(PSW)のスタックモード(SM)ビットの値に応じて割り込み用スタックポインタ(SPI)と、ユーザ用スタックポインタ(SPU)とに切り替わります。

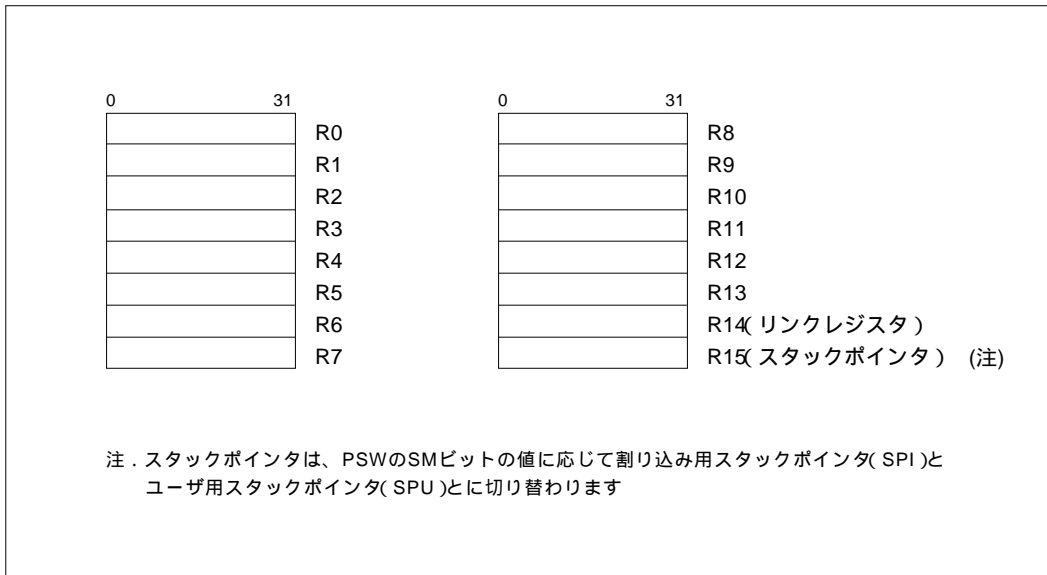


図2.2.1 汎用レジスタ

2.3 制御レジスタ

制御レジスタには、プロセッサ状態語レジスタ(PSW)、条件ビットレジスタ(CBR)、割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)、バックアップPC(BPC)の5つがあります。

これら制御レジスタの設定や読み出しには、専用の「MVTC命令」と「MVFC命令」を使用します。

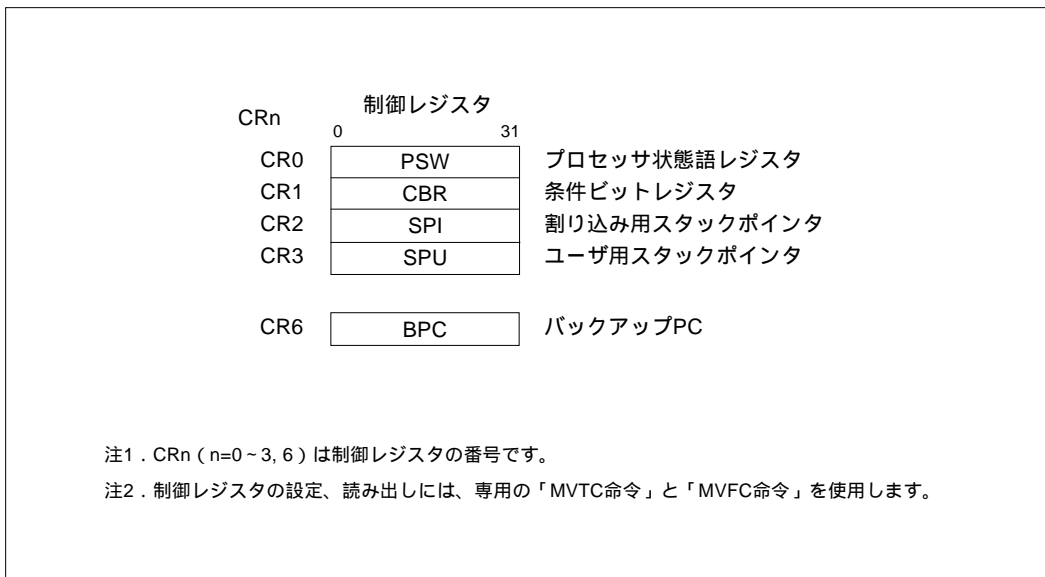


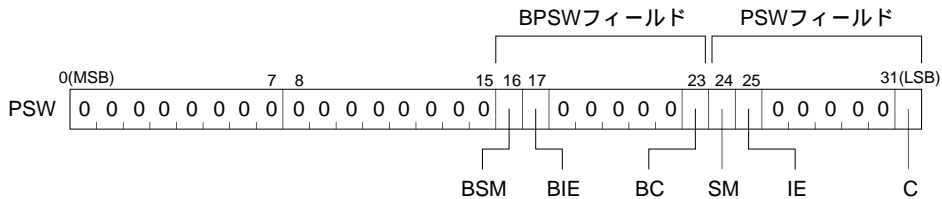
図2.3.1 制御レジスタ

2.3.1 プロセッサ状態語レジスタ：PSW(CR0)

プロセッサ状態語レジスタ(PSW)は、M32Rのステータスを表示するレジスタで、通常使用するPSWフィールドと、EIT発生時にPSWフィールドを待避するためのBPSWフィールドからなります。

PSWフィールドは、スタックモード(SM)，割り込みイネーブル(IE)，条件ビット(C)の各ビットで構成しています。

また、BPSWフィールドはバックアップSMビット(BSM)，バックアップIEビット(BIE)，バックアップCビット(BC)の各ビットで構成しています。



(注1)

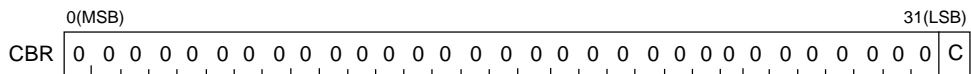
D	ビット名	機能	初	R	W
16	BSM(バックアップSM)	EIT受け付け時に、SMビットの値が保持される。	不定		
17	BIE(バックアップIE)	EIT受け付け時に、IEビットの値が保持される。	不定		
23	BC(バックアップC)	EIT受け付け時に、Cビットの値が保持される。	不定		
24	SM(スタックモード)	0：割り込み用スタックポインタを使用 1：ユーザ用スタックポインタを使用	0		
25	IE(割り込みイネーブル)	0：割り込みを受け付けない 1：割り込みを受け付ける	0		
31	C(条件ビット)	命令の実行に応じて演算結果のキャリー、ポロー、オーバーフローの有無を示す	0		

注1. 初 = リセット直後の状態，R = は読み出し可能を，W = は書き込み可能を示します。

注2. EIT事象発生時の各ビットの変化については、第4章「EIT」をご覧ください。

2.3.2 条件ビットレジスタ：CBR(CR1)

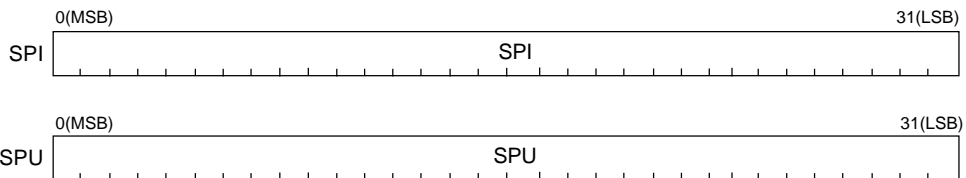
条件ビットレジスタ(CBR)は、PSWのうち条件ビット(C)を抜き出して別レジスタとしたものです。PSWのCビットに書き込まれた値はこのレジスタに反映されます。このレジスタは読み出しのみ可能です(「MVTC命令」で書き込みを行っても無視されます)。



2.3.3 割り込み用スタックポインタ：SPI(CR2)

ユーザ用スタックポインタ：SPU(CR3)

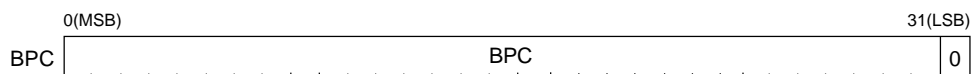
割り込み用スタックポインタ(SPI)、ユーザ用スタックポインタ(SPU)は、現在のスタックポインタのアドレスを保持します。これらのレジスタは、汎用レジスタR15としてアクセスできます。このときR15をSPIとして使用するかSPUとして使用するかは、PSWのスタックモードビット(SM)によって切り替わります。



2.3.4 バックアップPC：BPC(CR6)

バックアップPC(BPC)は、EIT発生時にプログラムカウンタ(PC)の値を退避するためのレジスタです。ビット31は0固定です。

EIT発生時にはEIT発生直前のPCの値または次命令の値がセットされ、「RTE命令」実行時にBPCの値はPCに戻されます。ただし復帰時にPCの下位2ビットは常に"00"になります(常にワード境界に復帰します)。

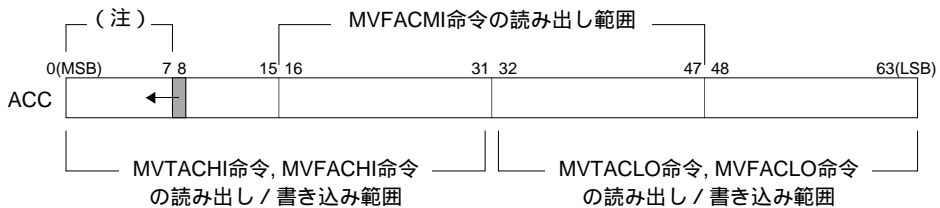


2.4 アキュムレータ

アキュムレータ(ACC)は、DSP機能用命令で使用される56ビットのレジスタです。読み出し時や書き込み時には64ビットのレジスタとして扱われ、読み出し時にはビット8の値が符号拡張されます。書き込み時にはビット0～7は無視されます。また、アキュムレータは乗算命令「MUL」でも使用され、この命令実行の際はアキュムレータの値が破壊されるので注意してください。

アキュムレータへの書き込みには「MVTACHI命令」と「MVTACLO命令」を使用します。「MVTACHI命令」は上位側32ビット(ビット0～31)に、「MVTACLO命令」は下位側32ビット(ビット32～63)にデータを書き込みます。

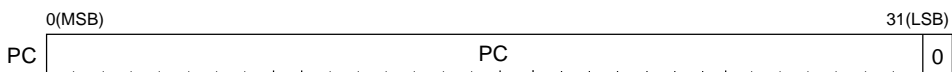
読み出しには「MVFACHI命令」、「MVFACLO命令」および「MVFACMI命令」を使用します。「MVFACHI命令」で上位側32ビット(ビット0～31)を、「MVFACLO命令」で下位側32ビット(ビット32～63)を、また「MVFACMI命令」で中央の32ビット(ビット16～47)のデータをそれぞれ読み出します。



注. ビット0～7は、ビット8の値を符号拡張された値が常に読み出されます。この部分への書き込みは無視されます。

2.5 プログラムカウンタ

プログラムカウンタ(PC)は32ビットのカウンタで、現在実行中の命令アドレスを保持します。M32Rの命令は偶数アドレスから始まるため、LSB(ビット31)は0になります。



2.6 データフォーマット

2.6.1 データタイプ

M32Rの命令セットで扱えるデータタイプは、符号付き、または符号なしの8, 16, 32ビット整数です。符号付き整数の値は2の補数で表現されます。

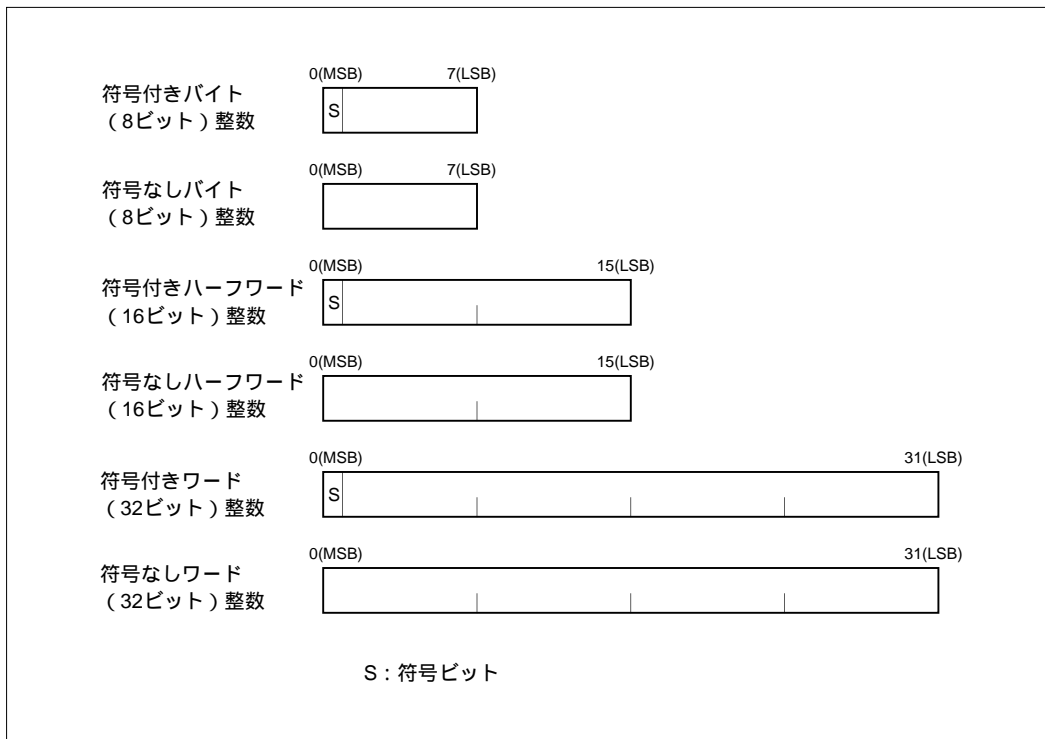


図2.6.1 データタイプ

2.6.2 データフォーマット

(1) レジスタ上のデータフォーマット

M32Rのレジスタ上でのデータサイズは常にワード(32ビット)です。

メモリ上のバイト(8ビット)、ハーフワード(16ビット)のデータをロードする場合は、ワード(32ビット)データに符号拡張(LDB, LDH命令)またはゼロ拡張(LDUB, LDUH命令)後、レジスタに格納されます。

M32Rのレジスタ上のデータをメモリにストアする場合は、ST命令ではレジスタ上の32ビットデータ、STH命令ではLSB側の16ビットデータ、またSTB命令ではLSB側8ビットデータをそれぞれメモリにストアします。

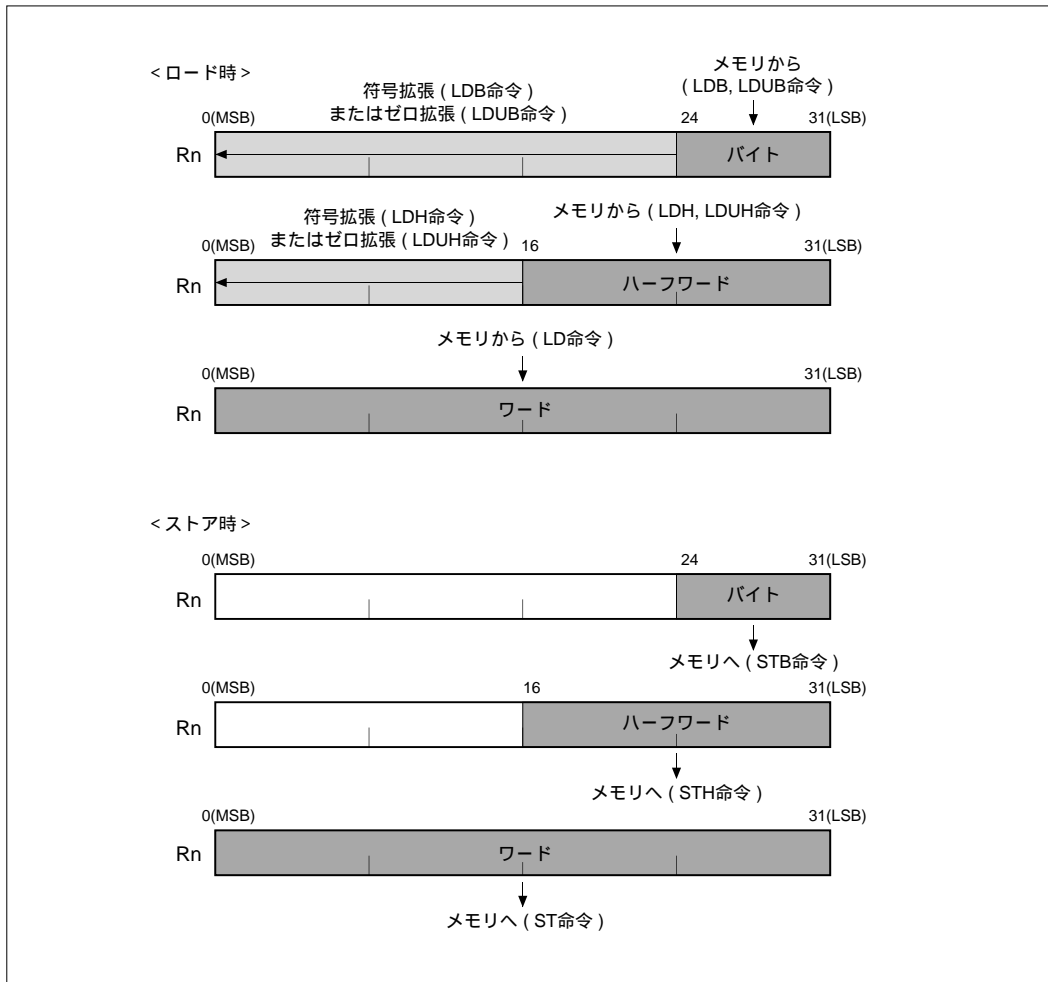


図2.6.2 レジスタ上のデータフォーマット

(2) メモリ上のデータフォーマット

メモリ上でのデータサイズはバイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)の3種類です。バイトデータは任意のアドレスに配置できますが、ハーフワードデータはハーフワード境界(アドレスの最下位ビットが"0"の番地)、またワードデータはワード境界(アドレスの下位2ビットが"00"の番地)に配置されなければなりません。この境界をまたぐメモリデータをアクセスしようとするするとアドレス例外が発生します。

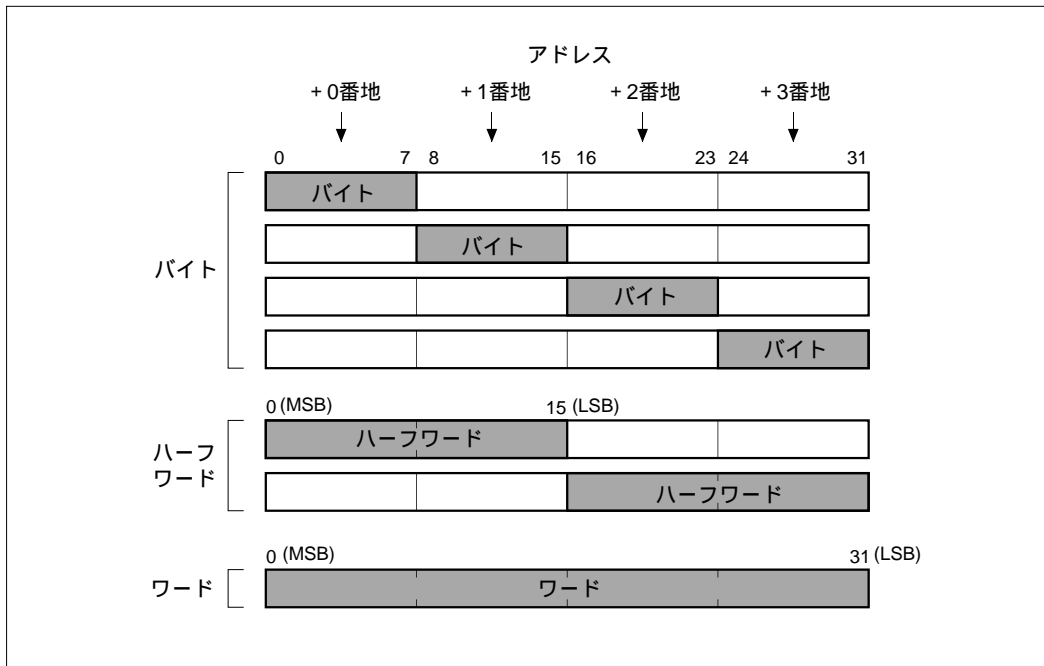


図2.6.3 メモリ上のデータフォーマット

(3) エンディアン

エンディアンの方式およびM32Rファミリのエンディアンを以下に示します。

	ビットエンディアン (H'01)	バイトエンディアン (H'01234567)																		
ビッグエンディアン	<table border="1"> <tr><td>MSB</td><td>LSB</td></tr> <tr><td colspan="2">B'0000001</td></tr> <tr><td>D0</td><td>D7</td></tr> </table>	MSB	LSB	B'0000001		D0	D7	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>H'01</td><td>H'23</td><td>H'45</td><td>H'67</td></tr> <tr><td>HH</td><td>HL</td><td>LH</td><td>LL</td></tr> </table>	MSB			LSB	H'01	H'23	H'45	H'67	HH	HL	LH	LL
MSB	LSB																			
B'0000001																				
D0	D7																			
MSB			LSB																	
H'01	H'23	H'45	H'67																	
HH	HL	LH	LL																	
リトルエンディアン	<table border="1"> <tr><td>MSB</td><td>LSB</td></tr> <tr><td colspan="2">B'0000001</td></tr> <tr><td>D7</td><td>D0</td></tr> </table>	MSB	LSB	B'0000001		D7	D0	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>H'67</td><td>H'45</td><td>H'23</td><td>H'01</td></tr> <tr><td>LL</td><td>LH</td><td>HL</td><td>HH</td></tr> </table>	MSB			LSB	H'67	H'45	H'23	H'01	LL	LH	HL	HH
MSB	LSB																			
B'0000001																				
D7	D0																			
MSB			LSB																	
H'67	H'45	H'23	H'01																	
LL	LH	HL	HH																	

注 . ビットビッグエンディアンであってもH'01がB'10000000ではありません。

図2.6.4 エンディアンの方式

MPU名	7700ファミリ M16Cファミリ	他社マイコン	M32Rファミリ M16ファミリ																								
エンディアン (ビット/バイト)	リトル/リトル	リトル/ビッグ	ビッグ/ビッグ																								
アドレス	+0 +1 +2 +3	+0 +1 +2 +3	+0 +1 +2 +3																								
データ配置	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>LL</td><td>LH</td><td>HL</td><td>HH</td></tr> </table>	MSB			LSB	LL	LH	HL	HH	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>HH</td><td>HL</td><td>LH</td><td>LL</td></tr> </table>	MSB			LSB	HH	HL	LH	LL	<table border="1"> <tr><td>MSB</td><td colspan="2"></td><td>LSB</td></tr> <tr><td>HH</td><td>HL</td><td>LH</td><td>LL</td></tr> </table>	MSB			LSB	HH	HL	LH	LL
MSB			LSB																								
LL	LH	HL	HH																								
MSB			LSB																								
HH	HL	LH	LL																								
MSB			LSB																								
HH	HL	LH	LL																								
ビット番号	31~24 23~16 15~8 7~0	31~24 23~16 15~8 7~0	0~7 8~15 16~23 24~31																								
例:0x01234567	.byte 67,45,23,01	.byte 01,23,45,67	.byte 01,23,45,67																								

注 . M32Rはビット・バイトともにビッグエンディアンです。

図2.6.5 M32Rファミリのエンディアン

(4)転送命令

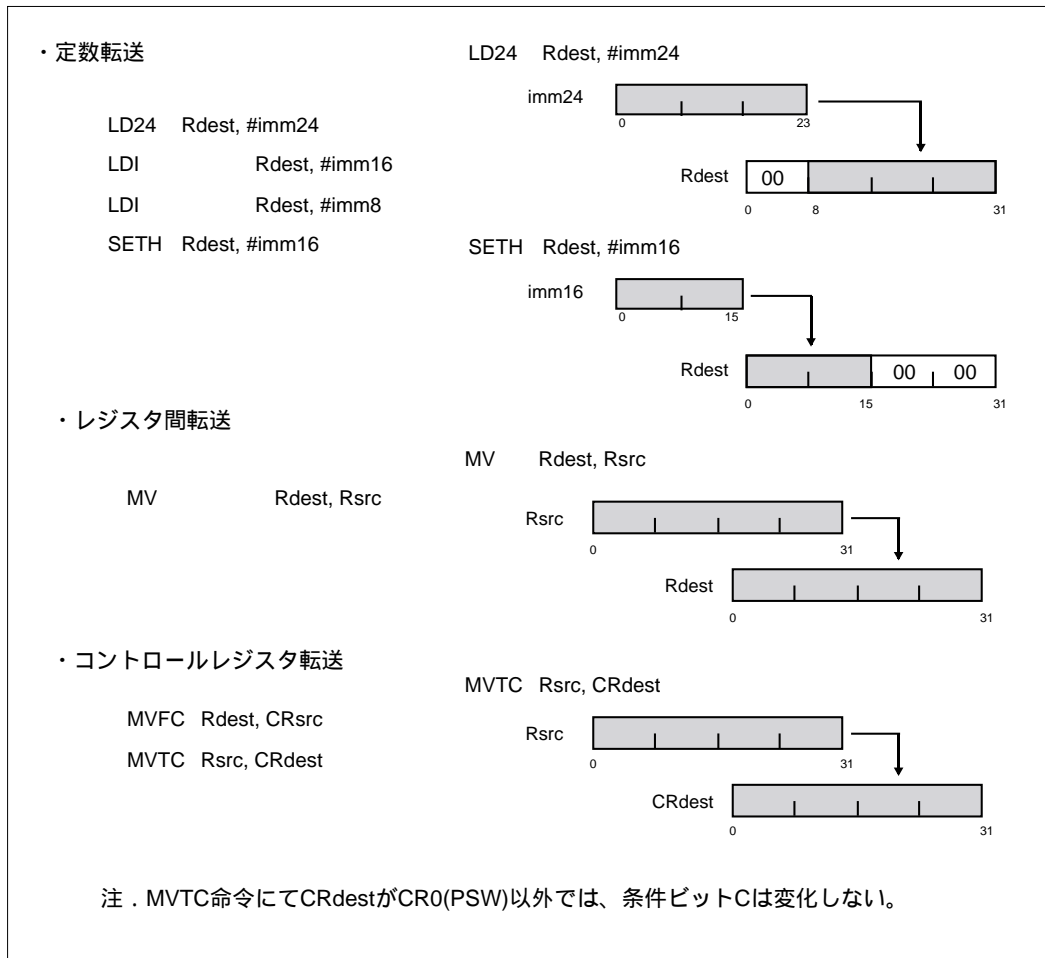


図2.6.6 転送命令

(5)メモリ(符号あり)からレジスタへの転送

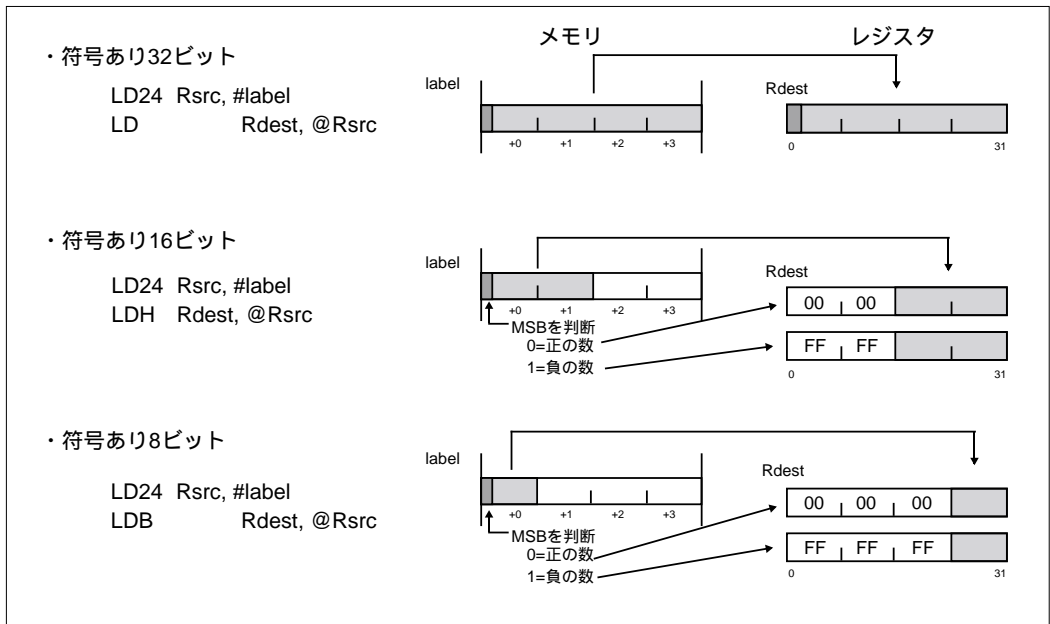


図2.6.7 メモリ(符号あり)からレジスタへの転送

(6)メモリ(符号なし)からレジスタ転送

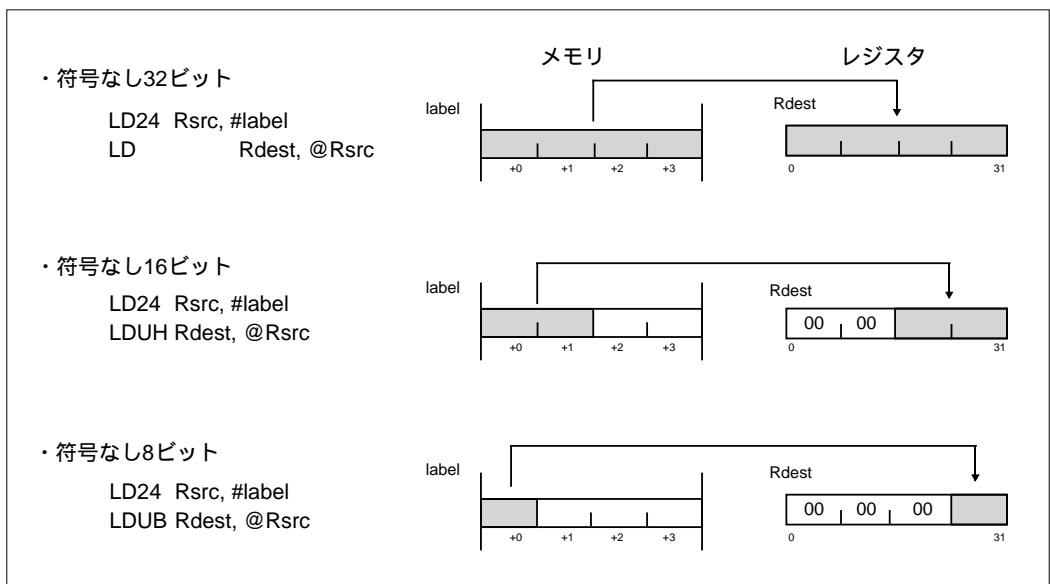


図2.6.8 メモリ(符号なし)からレジスタへの転送

(7)データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。

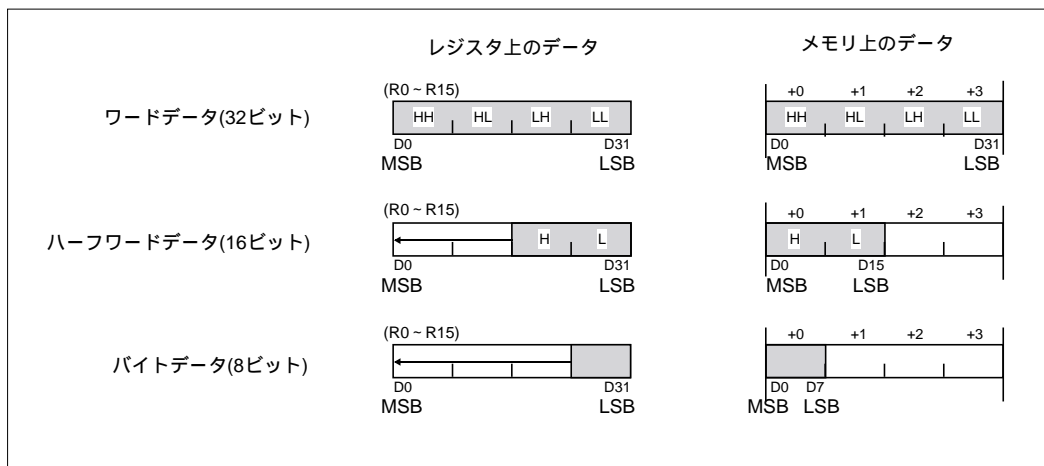


図2.6.9 データ配置の違い

空きページです

第3章

アドレス空間

- 3.1 アドレス空間概要
- 3.2 動作モード
- 3.3 内蔵ROM領域 / 外部拡張領域
- 3.4 内蔵RAM領域 / SFR領域
- 3.5 EITベクタエントリ
- 3.6 ICUベクタテーブル
- 3.7 アドレス空間の注意事項

3.1 アドレス空間概要

M32Rの論理アドレスは常に32ビット幅で扱われ、4Gバイトのリニアな空間を提供します。M32Rのアドレス空間には、以下の空間が存在します。

(1) ユーザ空間

内蔵ROM領域
外部拡張領域
内蔵RAM領域
SFR(Special Function Register)領域

(2) ブートプログラム空間

(3) システム空間(ユーザ非公開領域)

(1) ユーザ空間

H'0000 0000 ~ H'7FFF FFFF番地の2Gバイトはユーザ空間です。この空間には、内蔵ROM領域、外部拡張領域、内蔵RAM領域、SFR(Special Function Register)領域(内蔵周辺I/Oのレジスタ群)などが配置されます。このうち内蔵ROM領域と外部拡張領域は、後で述べるモード設定で配置が異なります。

(2) ブートプログラム空間

H'8000 0000 ~ H'BFFF FFFF番地の1Gバイトはブートプログラム領域です。この空間は、内蔵フラッシュ領域がブランク状態時、オンボード書き込みを可能にするためのプログラム(ブートプログラム)が格納されています。

(3) システム空間

H'C000 0000 ~ H'FFFF FFFF番地の1Gバイトはシステム領域です。この空間は、インサーキットエミュレータや、デバッグ用モニタなどの開発ツール提供のために予約されており、ユーザが使用することはできません。

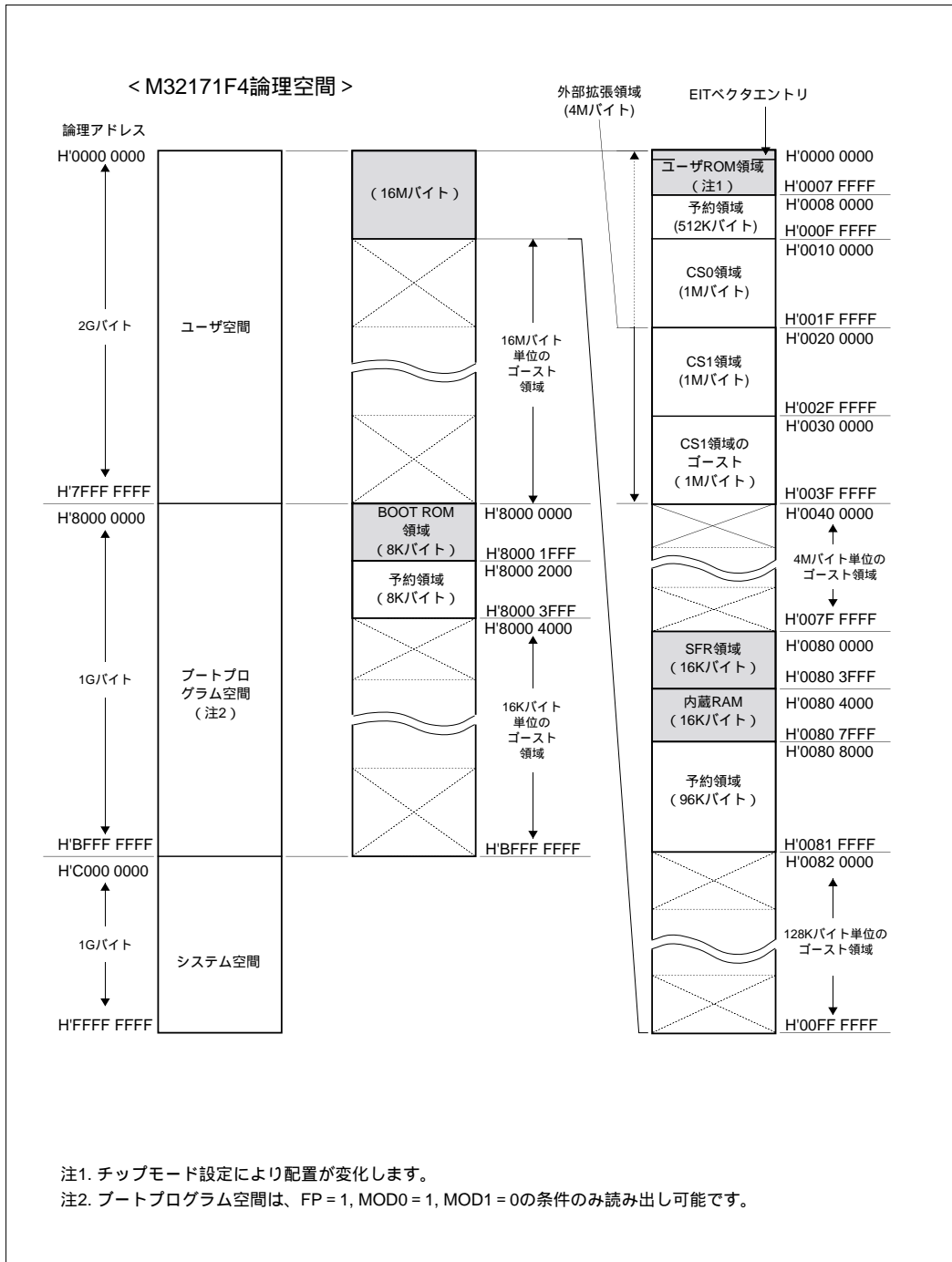


図3.1.1 M32171F4アドレス空間

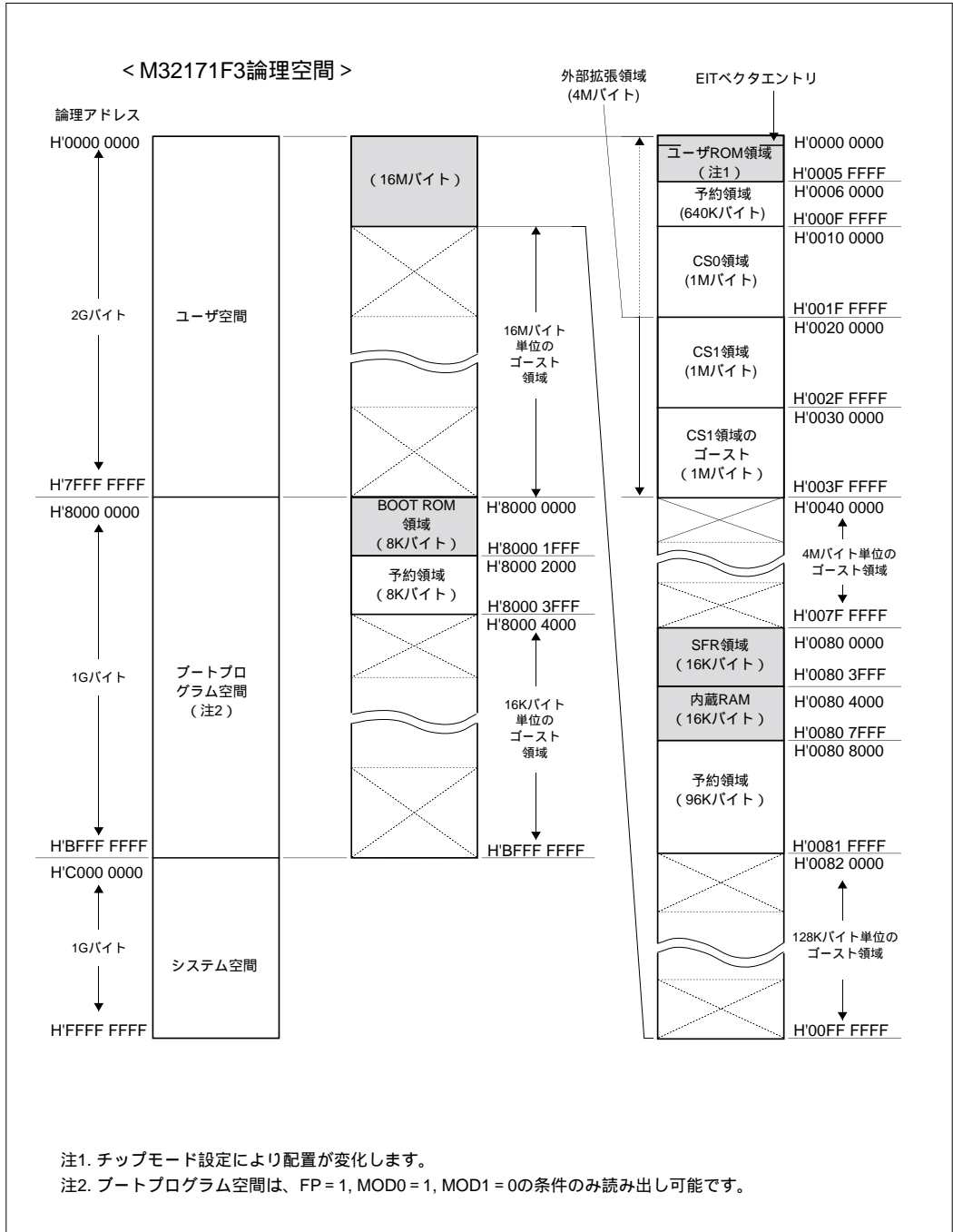


図3.1.2 M32171F3アドレス空間

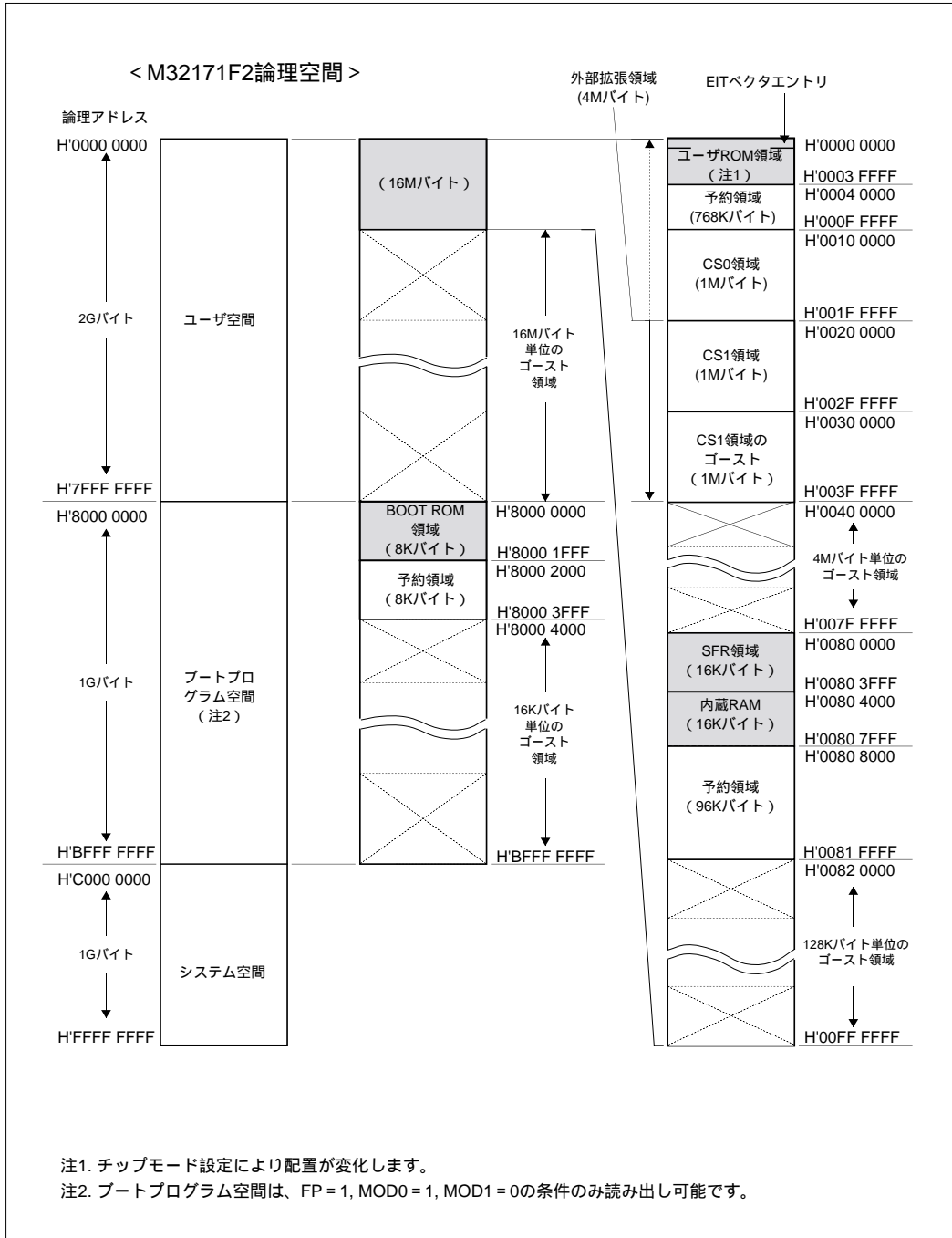


図3.1.3 M32171F2アドレス空間

3.2 動作モード

32171はチップ動作モードの設定(MOD0, MOD1端子の設定)により、以下のモードになります。ただし、内蔵フラッシュメモリ書き替えのためのモードについては、6.5章「内蔵フラッシュメモリの書き込み」をご覧ください。

表3.2.1 動作モードの設定

MOD0	MOD1(注1)	動作モード(注2)
VSS	VSS	シングルチップモード
VSS	VCCE	外部拡張モード
VCCE	VSS	プロセッサモード(FP = VSS)
VCCE	VCCE	reserved(使用禁止)

注1. 各記号、VCCEは5Vまたは3.3Vに、VSSはGNDに接続します。

注2. この表に書かれていないフラッシュ書き替えのためのモード(FP = VCCE時)については、6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

32171の動作モードによって内蔵ROM領域 / 外部拡張領域の配置は異なります(アドレス空間の他の領域は同じ配置です)。以下に各モードにおける内蔵ROM領域 / 外部拡張領域のアドレスマップを示します(フラッシュ書き替え時のモードについては6.5「内蔵フラッシュメモリの書き込み」をご覧ください)。

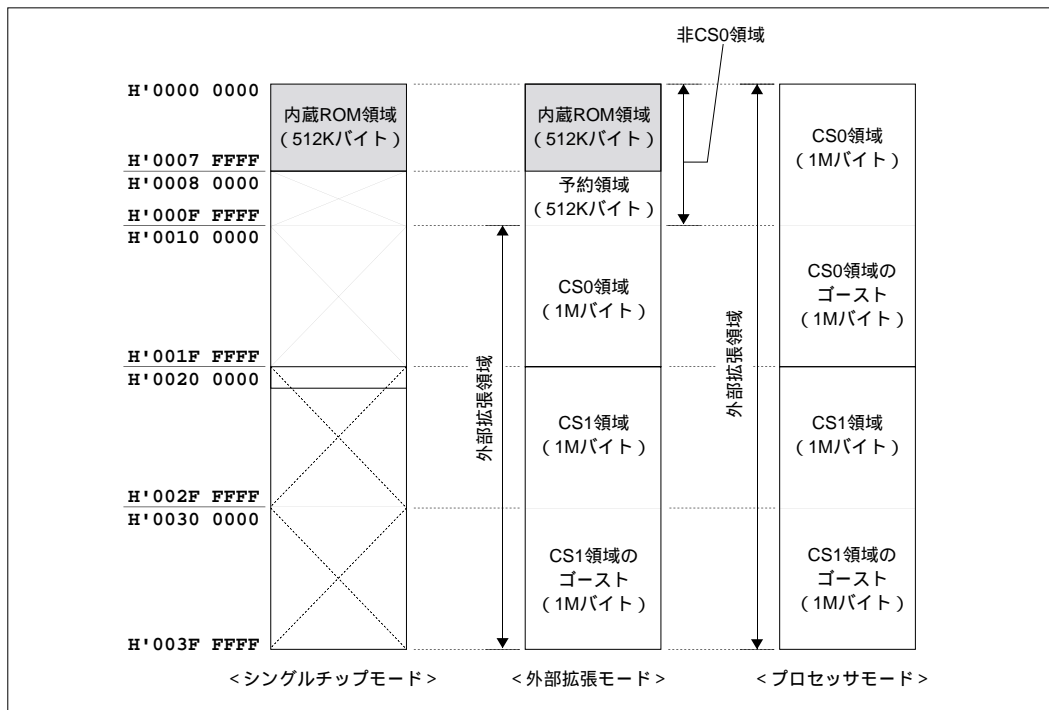


図3.2.1 M32171F4動作モードと内蔵ROM領域 / 外部拡張領域

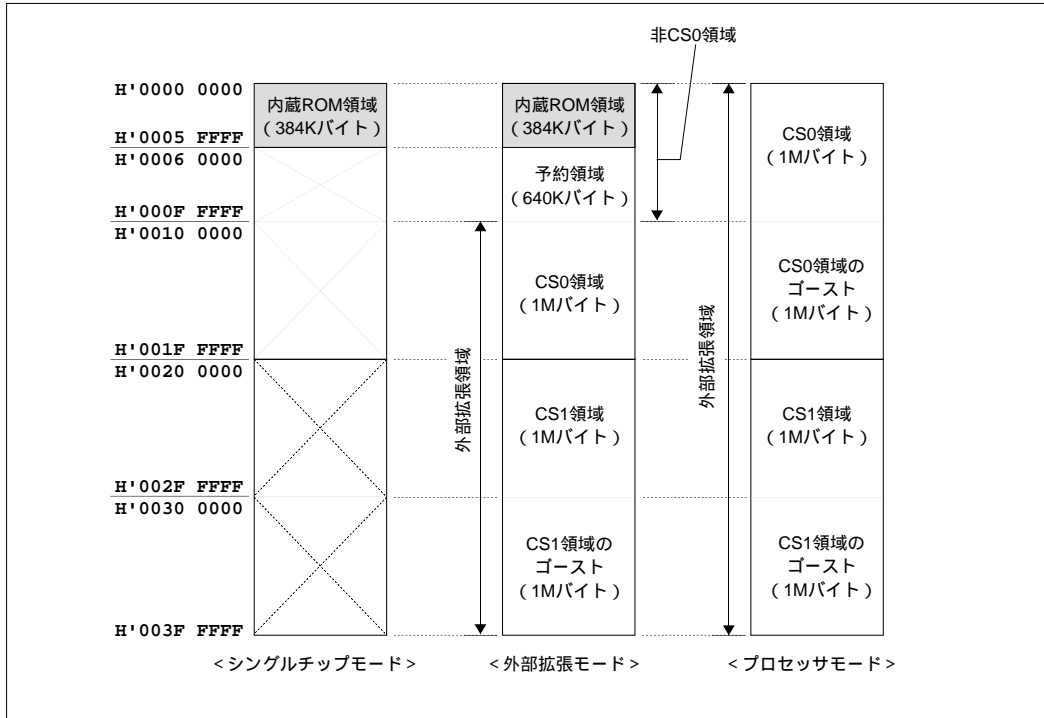


図3.2.2 M32171F3動作モードと内蔵ROM領域 / 外部拡張領域

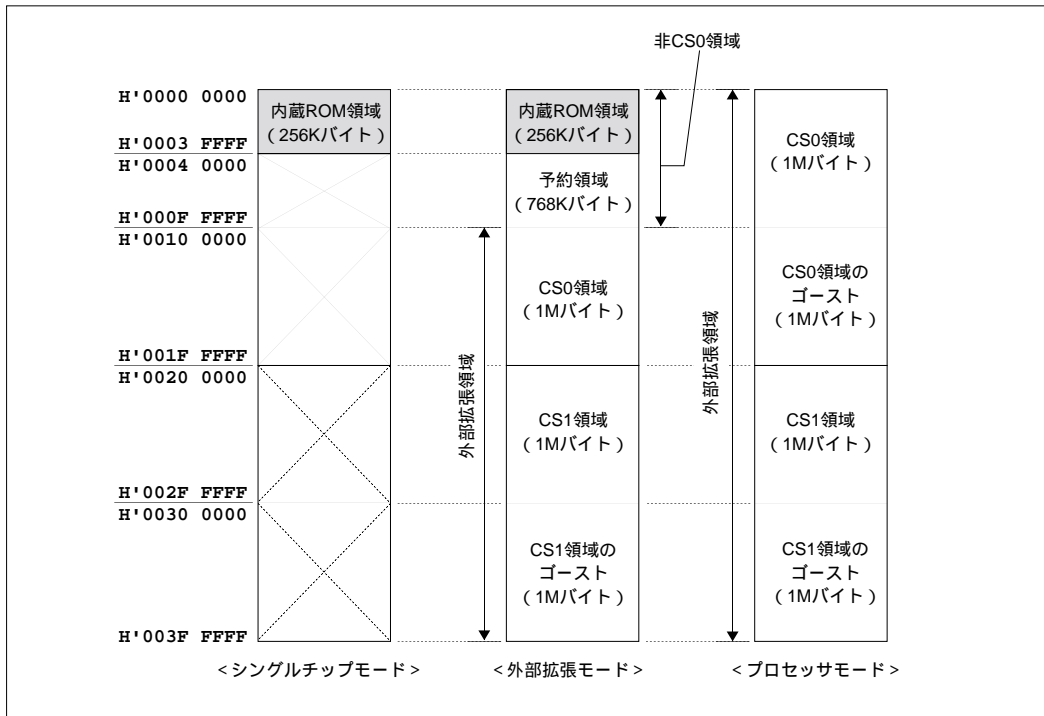


図3.2.3 M32171F2動作モードと内蔵ROM領域 / 外部拡張領域

3.3 内蔵ROM領域 / 外部拡張領域

ユーザ空間内のH'0000 0000 ~ H'007F FFFF番地の8Mバイト領域は、内蔵ROM領域 / 外部拡張領域です。このうち、ユーザが実際に利用可能な空間は、H'0000 0000 ~ H'003F FFFF番地の4Mバイトで、それ以外の領域には4Mバイトのゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

32171の動作モード設定による内蔵ROM領域 / 外部拡張領域の配置の変化については、3.2「動作モード」をご覧ください。

3.3.1 内蔵ROM領域

以下の領域に内蔵ROMが配置されます。この領域の先頭にはEITベクタエントリ(およびICUベクタテーブル)が配置されます。

表3.3.1 32171の内蔵ROM領域

形名	容量	配置アドレス
M32171F4	512Kバイト	H'0000 0000 ~ H'0007 FFFF
M32171F3	384Kバイト	H'0000 0000 ~ H'0005 FFFF
M32171F2	256Kバイト	H'0000 0000 ~ H'0003 FFFF

3.3.2 外部拡張領域

動作モード設定で、外部拡張モードおよびプロセッサモード選択時のみ、外部拡張領域になります。外部拡張領域へのアクセスに対して、外部デバイスのアクセスに必要な制御信号が出力されます。

32171の $\overline{CS0}$ 、 $\overline{CS1}$ 信号は、外部拡張領域のアドレスマッピングに対応して出力します。 $\overline{CS0}$ 信号がCS0領域に、 $\overline{CS1}$ 信号がCS1領域にそれぞれ出力します。

表3.3.2 32171の各動作モードにおける外部拡張領域のマッピング

動作モード	外部拡張領域のアドレスマッピング
シングルチップモード	なし
外部拡張モード	H'0010 0000 ~ H'001F FFFF番地 (CS0領域: 1Mバイト) H'0020 0000 ~ H'002F FFFF番地 (CS1領域: 1Mバイト) (注1)
プロセッサモード	H'0000 0000 ~ H'000F FFFF番地 (CS0領域: 1Mバイト) (注2) H'0020 0000 ~ H'002F FFFF番地 (CS1領域: 1Mバイト) (注2)

注1. 外部拡張モード時、H'0030 0000 ~ H'003F FFFFの領域にはCS1領域のゴースト(1Mバイト)が見えます。

注2. プロセッサモード時、H'0010 0000 ~ H'001F FFFFの領域にCS0領域のゴースト(1Mバイト)が、H'0030 0000 ~ H'003F FFFFの領域にCS1領域のゴースト(1Mバイト)が見えます。

3.4 内蔵RAM領域 / SFR領域

H'0080 0000 ~ H'00FF FFFF番地の8Mバイトの領域は、内蔵RAM領域 / SFR(Special Function Register)領域です。このうち、ユーザが実際に利用可能な空間は、H'0080 0000 ~ H'0081 FFFF番地の128Kバイトの領域で、それ以外の領域には128Kバイト単位のゴーストが見えます(プログラミング時に故意にゴースト領域を使わないでください)。

3.4.1 内蔵RAM領域

H'0080 4000 ~ H'0080 7FFF番地に内蔵RAM(16Kバイト)が配置されます。

3.4.2 SFR(Special Function Register)領域

H'0080 0000 ~ H'0080 3FFF番地はSFR(Special Function Register)領域です。SFR領域には、内蔵周辺I/Oのレジスタが配置されます。

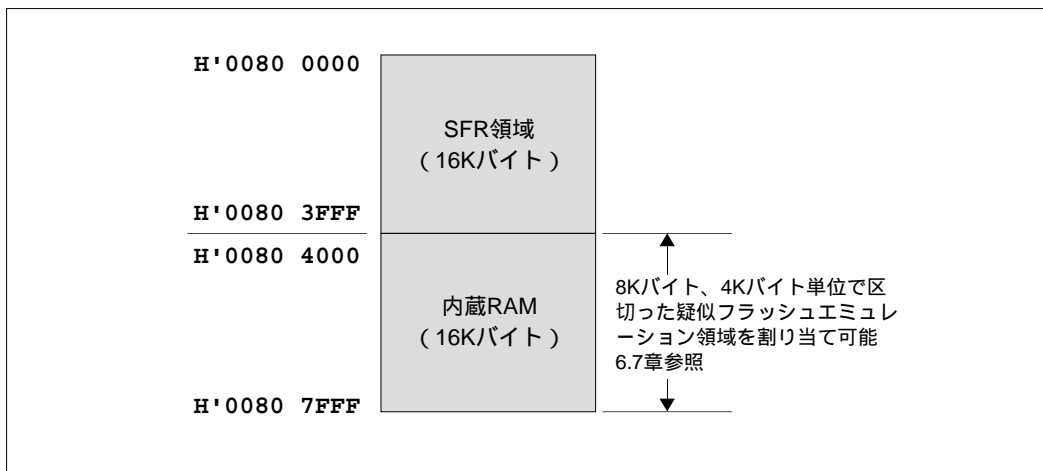


図3.4.1 内蔵RAM領域 / SFR(Special Function Register)領域

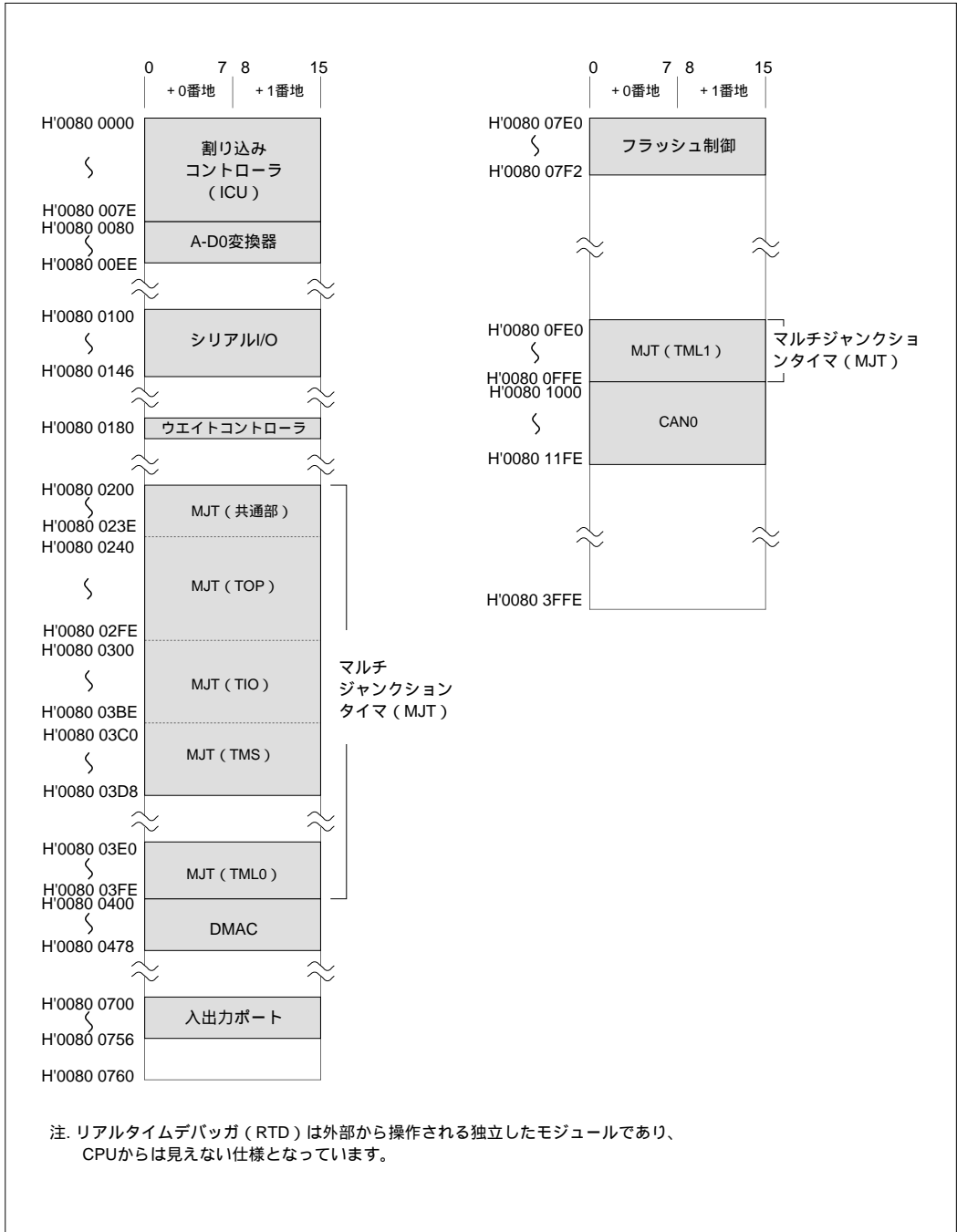


図3.4.2 32171のSFR領域のマッピング概要

番地	+ 0番地	+ 1番地
	D0	D7 D8 D15
H'0080 0000	割り込みベクタレジスタ (IVECT)	
H'0080 0002		
H'0080 0004	割り込みマスクレジスタ (IMASK)	
H'0080 0006	SBI制御レジスタ (SBICR)	
~		
H'0080 0060	CAN0送受信&エラー割り込み制御レジスタ (ICAN0CR)	
H'0080 0062		
H'0080 0064		
H'0080 0066		RTD割り込み制御レジスタ (IRTD CR)
H'0080 0068	SIO2,3送受信割り込み制御レジスタ (ISIO23CR)	DMA5 ~ 9割り込み制御レジスタ (IDMA59CR)
H'0080 006A		
H'0080 006C	A-D0変換割り込み制御レジスタ (IAD0CCR)	SIO0送信割り込み制御レジスタ (ISIO0TXCR)
H'0080 006E	SIO0受信割り込み制御レジスタ (ISIO0RXCR)	SIO1送信割り込み制御レジスタ (ISIO1TXCR)
H'0080 0070	SIO1受信割り込み制御レジスタ (ISIO1RXCR)	DMA0 ~ 4割り込み制御レジスタ (IDMA04CR)
H'0080 0072	MJT出力割り込み制御レジスタ0 (IMJTOCR0)	MJT出力割り込み制御レジスタ1 (IMJTOCR1)
H'0080 0074	MJT出力割り込み制御レジスタ2 (IMJTOCR2)	MJT出力割り込み制御レジスタ3 (IMJTOCR3)
H'0080 0076	MJT出力割り込み制御レジスタ4 (IMJTOCR4)	MJT出力割り込み制御レジスタ5 (IMJTOCR5)
H'0080 0078	MJT出力割り込み制御レジスタ6 (IMJTOCR6)	MJT出力割り込み制御レジスタ7 (IMJTOCR7)
H'0080 007A		MJT入力割り込み制御レジスタ1 (IMJTICR1)
H'0080 007C	MJT入力割り込み制御レジスタ2 (IMJTICR2)	MJT入力割り込み制御レジスタ3 (IMJTICR3)
H'0080 007E	MJT入力割り込み制御レジスタ4 (IMJTICR4)	
H'0080 0080	A-D0単一モードレジスタ0 (AD0SIM0)	A-D0単一モードレジスタ1 (AD0SIM1)
H'0080 0082		
H'0080 0084	A-D0スキャンモードレジスタ0 (AD0SCM0)	A-D0スキャンモードレジスタ1 (AD0SCM1)
H'0080 0086		
H'0080 0088	A-D0逐次近似レジスタ (AD0SAR)	
H'0080 008A		
H'0080 008C	A-D0コンパレートデータレジスタ (AD0CMP)	
~		
H'0080 0090	10ビットA-D0データレジスタ0 (AD0DT0)	
H'0080 0092	10ビットA-D0データレジスタ1 (AD0DT1)	
H'0080 0094	10ビットA-D0データレジスタ2 (AD0DT2)	
H'0080 0096	10ビットA-D0データレジスタ3 (AD0DT3)	
H'0080 0098	10ビットA-D0データレジスタ4 (AD0DT4)	
H'0080 009A	10ビットA-D0データレジスタ5 (AD0DT5)	
H'0080 009C	10ビットA-D0データレジスタ6 (AD0DT6)	
H'0080 009E	10ビットA-D0データレジスタ7 (AD0DT7)	
H'0080 00A0	10ビットA-D0データレジスタ8 (AD0DT8)	
H'0080 00A2	10ビットA-D0データレジスタ9 (AD0DT9)	
H'0080 00A4	10ビットA-D0データレジスタ10 (AD0DT10)	
H'0080 00A6	10ビットA-D0データレジスタ11 (AD0DT11)	
H'0080 00A8	10ビットA-D0データレジスタ12 (AD0DT12)	
H'0080 00AA	10ビットA-D0データレジスタ13 (AD0DT13)	
H'0080 00AC	10ビットA-D0データレジスタ14 (AD0DT14)	
H'0080 00AE	10ビットA-D0データレジスタ15 (AD0DT15)	
~		
H'0080 00D0	8ビットA-D0データレジスタ0 (AD08DT0)	

空き領域は予約領域です。

図3.4.3 SFR領域のレジスタマッピング (1)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 00D2			8ビットA-D0データレジスタ1 (AD08DT1)		
H'0080 00D4			8ビットA-D0データレジスタ2 (AD08DT2)		
H'0080 00D6			8ビットA-D0データレジスタ3 (AD08DT3)		
H'0080 00D8			8ビットA-D0データレジスタ4 (AD08DT4)		
H'0080 00DA			8ビットA-D0データレジスタ5 (AD08DT5)		
H'0080 00DC			8ビットA-D0データレジスタ6 (AD08DT6)		
H'0080 00DE			8ビットA-D0データレジスタ7 (AD08DT7)		
H'0080 00E0			8ビットA-D0データレジスタ8 (AD08DT8)		
H'0080 00E2			8ビットA-D0データレジスタ9 (AD08DT9)		
H'0080 00E4			8ビットA-D0データレジスタ10 (AD08DT10)		
H'0080 00E6			8ビットA-D0データレジスタ11 (AD08DT11)		
H'0080 00E8			8ビットA-D0データレジスタ12 (AD08DT12)		
H'0080 00EA			8ビットA-D0データレジスタ13 (AD08DT13)		
H'0080 00EC			8ビットA-D0データレジスタ14 (AD08DT14)		
H'0080 00EE			8ビットA-D0データレジスタ15 (AD08DT15)		
H'0080 0100	SIO23割り込みステータスレジスタ (SI23STAT)		SIO03割り込みマスクレジスタ (SI03MASK)		
H'0080 0102	SIO03受信割り込み要因選択レジスタ (SI03SEL)				
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)		SIO0送受信モードレジスタ (S0MOD)		
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)				
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)				
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)		SIO0ポーレートレジスタ (S0BAUR)		
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)		SIO1送受信モードレジスタ (S1MOD)		
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)				
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)				
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)		SIO1ポーレートレジスタ (S1BAUR)		
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)		SIO2送受信モードレジスタ (S2MOD)		
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)				
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)				
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)		SIO2ポーレートレジスタ (S2BAUR)		
H'0080 0180	ウェイト数制御レジスタ (WTCCR)				
H'0080 0200	クロックバス&入イベントバス制御レジスタ (CKIEBCR)				
H'0080 0202	プリスケアラレジスタ0 (PRS0)		プリスケアラレジスタ1 (PRS1)		
H'0080 0204	プリスケアラレジスタ2 (PRS2)		出力イベントバス制御レジスタ (OEBCR)		
H'0080 0210	TCLK入力処理制御レジスタ (TCLKCR)				
H'0080 0212	TIN入力処理制御レジスタ0 (TINCR0)				
H'0080 0214					

空き領域は予約領域です。

図3.4.4 SFR領域のレジスタマッピング(2)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 0216					
H'0080 0218		TIN入力処理制御レジスタ3 (TINCR3)			
H'0080 021A		TIN入力処理制御レジスタ4 (TINCR4)			
H'0080 021C					
H'0080 021E					
H'0080 0220		F/Fソース選択レジスタ0 (FFS0)			
H'0080 0222			F/Fソース選択レジスタ1 (FFS1)		
H'0080 0224		F/Fプロテクトレジスタ0 (FFP0)			
H'0080 0226		F/Fデータレジスタ0 (FFD0)			
H'0080 0228			F/Fプロテクトレジスタ1 (FFP1)		
H'0080 022A			F/Fデータレジスタ1 (FFD1)		
~					
H'0080 0230		TOP割り込み制御レジスタ0 (TOPIR0)		TOP割り込み制御レジスタ1 (TOPIR1)	
H'0080 0232		TOP割り込み制御レジスタ2 (TOPIR2)		TOP割り込み制御レジスタ3 (TOPIR3)	
H'0080 0234		TIO割り込み制御レジスタ0 (TIOIR0)		TIO割り込み制御レジスタ1 (TIOIR1)	
H'0080 0236		TIO割り込み制御レジスタ2 (TIOIR2)		TMS割り込み制御レジスタ (TMSIR)	
H'0080 0238		TIN割り込み制御レジスタ0 (TINIR0)		TIN割り込み制御レジスタ1 (TINIR1)	
H'0080 023A					
H'0080 023C		TIN割り込み制御レジスタ4 (TINIR4)		TIN割り込み制御レジスタ5 (TINIR5)	
H'0080 023E		TIN割り込み制御レジスタ6 (TINIR6)			
H'0080 0240		TOP0カウンタ (TOP0CT)			
H'0080 0242		TOP0リロードレジスタ (TOP0RL)			
H'0080 0244					
H'0080 0246		TOP0補正レジスタ (TOP0CC)			
~					
H'0080 0250		TOP1カウンタ (TOP1CT)			
H'0080 0252		TOP1リロードレジスタ (TOP1RL)			
H'0080 0254					
H'0080 0256		TOP1補正レジスタ (TOP1CC)			
~					
H'0080 0260		TOP2カウンタ (TOP2CT)			
H'0080 0262		TOP2リロードレジスタ (TOP2RL)			
H'0080 0264					
H'0080 0266		TOP2補正レジスタ (TOP2CC)			
~					
H'0080 0270		TOP3カウンタ (TOP3CT)			
H'0080 0272		TOP3リロードレジスタ (TOP3RL)			
H'0080 0274					
H'0080 0276		TOP3補正レジスタ (TOP3CC)			
~					
H'0080 0280		TOP4カウンタ (TOP4CT)			
H'0080 0282		TOP4リロードレジスタ (TOP4RL)			
H'0080 0284					
H'0080 0286		TOP4補正レジスタ (TOP4CC)			
~					
H'0080 0290		TOP5カウンタ (TOP5CT)			
H'0080 0292		TOP5リロードレジスタ (TOP5RL)			
H'0080 0294					

空き領域は予約領域です。

図3.4.5 SFR領域のレジスタマッピング(3)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 0296	TOP5補正レジスタ (TOP5CC)				
H'0080 0298					
H'0080 029A	TOP0 ~ 5制御レジスタ0 (TOP05CR0)				
H'0080 029C	TOP0 ~ 5制御レジスタ1 (TOP05CR1)				
H'0080 029E					
H'0080 02A0	TOP6カウンタ (TOP6CT)				
H'0080 02A2	TOP6リロードレジスタ (TOP6RL)				
H'0080 02A4					
H'0080 02A6	TOP6補正レジスタ (TOP6CC)				
H'0080 02A8					
H'0080 02AA	TOP6,7制御レジスタ (TOP67CR)				
⋮					
H'0080 02B0	TOP7カウンタ (TOP7CT)				
H'0080 02B2	TOP7リロードレジスタ (TOP7RL)				
H'0080 02B4					
H'0080 02B6	TOP7補正レジスタ (TOP7CC)				
⋮					
H'0080 02C0	TOP8カウンタ (TOP8CT)				
H'0080 02C2	TOP8リロードレジスタ (TOP8RL)				
H'0080 02C4					
H'0080 02C6	TOP8補正レジスタ (TOP8CC)				
⋮					
H'0080 02D0	TOP9カウンタ (TOP9CT)				
H'0080 02D2	TOP9リロードレジスタ (TOP9RL)				
H'0080 02D4					
H'0080 02D6	TOP9補正レジスタ (TOP9CC)				
⋮					
H'0080 02E0	TOP10カウンタ (TOP10CT)				
H'0080 02E2	TOP10リロードレジスタ (TOP10RL)				
H'0080 02E4					
H'0080 02E6	TOP10補正レジスタ (TOP10CC)				
H'0080 02E8					
H'0080 02EA	TOP8 ~ 10制御レジスタ (TOP810CR)				
⋮					
H'0080 02FA	TOP0 ~ 10外部イネーブル許可レジスタ (TOPEEN)				
H'0080 02FC	TOP0 ~ 10イネーブルプロテクトレジスタ (TOPPRO)				
H'0080 02FE	TOP0 ~ 10カウントイネーブルレジスタ (TOPCEN)				
H'0080 0300	TIO0カウンタ (TIO0CT)				
H'0080 0302					
H'0080 0304	TIO0リロード1レジスタ (TIO0RL1)				
H'0080 0306	TIO0リロード0/計測レジスタ (TIO0RL0)				
⋮					
H'0080 0310	TIO1カウンタ (TIO1CT)				
H'0080 0312					
H'0080 0314	TIO1リロード1レジスタ (TIO1RL1)				
H'0080 0316	TIO1リロード0/計測レジスタ (TIO1RL0)				
H'0080 0318					
H'0080 031A	TIO0 ~ 3制御レジスタ0 (TIO03CR0)				

空き領域は予約領域です。

図3.4.6 SFR領域のレジスタマッピング(4)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 031C	TIO0～3制御レジスタ1 (TIO03CR1)				
H'0080 0320	TIO2カウンタ (TIO2CT)				
H'0080 0322	TIO2リロード1レジスタ (TIO2RL1)				
H'0080 0324	TIO2リロード0/計測レジスタ (TIO2RL0)				
H'0080 0330	TIO3カウンタ (TIO3CT)				
H'0080 0332	TIO3リロード1レジスタ (TIO3RL1)				
H'0080 0334	TIO3リロード0/計測レジスタ (TIO3RL0)				
H'0080 0340	TIO4カウンタ (TIO4CT)				
H'0080 0342	TIO4リロード1レジスタ (TIO4RL1)				
H'0080 0344	TIO4リロード0/計測レジスタ (TIO4RL0)				
H'0080 0348	TIO4制御レジスタ (TIO4CR)				
H'0080 034A	TIO5制御レジスタ (TIO5CR)				
H'0080 0350	TIO5カウンタ (TIO5CT)				
H'0080 0352	TIO5リロード1レジスタ (TIO5RL1)				
H'0080 0354	TIO5リロード0/計測レジスタ (TIO5RL0)				
H'0080 0360	TIO6カウンタ (TIO6CT)				
H'0080 0362	TIO6リロード1レジスタ (TIO6RL1)				
H'0080 0364	TIO6リロード0/計測レジスタ (TIO6RL0)				
H'0080 0368	TIO6制御レジスタ (TIO6CR)				
H'0080 036A	TIO7制御レジスタ (TIO7CR)				
H'0080 0370	TIO7カウンタ (TIO7CT)				
H'0080 0372	TIO7リロード1レジスタ (TIO7RL1)				
H'0080 0374	TIO7リロード0/計測レジスタ (TIO7RL0)				
H'0080 0380	TIO8カウンタ (TIO8CT)				
H'0080 0382	TIO8リロード1レジスタ (TIO8RL1)				
H'0080 0384	TIO8リロード0/計測レジスタ (TIO8RL0)				
H'0080 0388	TIO8制御レジスタ (TIO8CR)				
H'0080 038A	TIO9制御レジスタ (TIO9CR)				
H'0080 0390	TIO9カウンタ (TIO9CT)				
H'0080 0392	TIO9リロード1レジスタ (TIO9RL1)				
H'0080 0394	TIO9リロード0/計測レジスタ (TIO9RL0)				
H'0080 0396					

空き領域は予約領域です。

図3.4.7 SFR領域のレジスタマッピング(5)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 03BC	TIO0~9イネーブルプロテクトレジスタ (TIOPRO)				
H'0080 03BE	TIO0~9カウントイネーブルレジスタ (TIOCEN)				
H'0080 03C0	TMS0カウンタ (TMSOCT)				
H'0080 03C2	TMS0計測3レジスタ (TMSOMR3)				
H'0080 03C4	TMS0計測2レジスタ (TMSOMR2)				
H'0080 03C6	TMS0計測1レジスタ (TMSOMR1)				
H'0080 03C8	TMS0計測0レジスタ (TMSOMR0)				
H'0080 03CA	TMS0制御レジスタ (TMSOCR)		TMS1制御レジスタ (TMS1CR)		
H'0080 03D0	TMS1カウンタ (TMS1CT)				
H'0080 03D2	TMS1計測3レジスタ (TMS1MR3)				
H'0080 03D4	TMS1計測2レジスタ (TMS1MR2)				
H'0080 03D6	TMS1計測1レジスタ (TMS1MR1)				
H'0080 03D8	TMS1計測0レジスタ (TMS1MR0)				
H'0080 03E0	TML0カウンタ上位 (TML0CTH)				
H'0080 03E2	TML0カウンタ下位 (TML0CTL)				
H'0080 03EA	TML0制御レジスタ (TML0CR)				
H'0080 03F0	TML0計測3レジスタ上位 (TML0MR3H)				
H'0080 03F2	TML0計測3レジスタ下位 (TML0MR3L)				
H'0080 03F4	TML0計測2レジスタ上位 (TML0MR2H)				
H'0080 03F6	TML0計測2レジスタ下位 (TML0MR2L)				
H'0080 03F8	TML0計測1レジスタ上位 (TML0MR1H)				
H'0080 03FA	TML0計測1レジスタ下位 (TML0MR1L)				
H'0080 03FC	TML0計測0レジスタ上位 (TML0MR0H)				
H'0080 03FE	TML0計測0レジスタ下位 (TML0MR0L)				
H'0080 0400	DMA0~4割り込み要求ステータスレジスタ (DM04ITST)		DMA0~4割り込みマスクレジスタ (DM04ITMK)		
H'0080 0408	DMA5~9割り込み要求ステータスレジスタ (DM59ITST)		DMA5~9割り込みマスクレジスタ (DM59ITMK)		
H'0080 0410	DMA0チャンネル制御レジスタ (DM0CNT)		DMA0転送カウントレジスタ (DM0TCT)		
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)				
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)				
H'0080 0416					
H'0080 0418	DMA5チャンネル制御レジスタ (DM5CNT)		DMA5転送カウントレジスタ (DM5TCT)		
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)				
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)				
H'0080 041E					
H'0080 0420	DMA1チャンネル制御レジスタ (DM1CNT)		DMA1転送カウントレジスタ (DM1TCT)		
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)				
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)				
H'0080 0426					
H'0080 0428	DMA6チャンネル制御レジスタ (DM6CNT)		DMA6転送カウントレジスタ (DM6TCT)		
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)				
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)				
H'0080 042E					

空き領域は予約領域です。

図3.4.8 SFR領域のレジスタマッピング (6)

番地	D0	+0番地	D7, D8	+1番地	D15
H'0080 0430	DMA2チャンネル制御レジスタ (DM2CNT)		DMA2転送カウントレジスタ (DM2TCT)		
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)				
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)				
H'0080 0436					
H'0080 0438	DMA7チャンネル制御レジスタ (DM7CNT)		DMA7転送カウントレジスタ (DM7TCT)		
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)				
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)				
H'0080 043E					
H'0080 0440	DMA3チャンネル制御レジスタ (DM3CNT)		DMA3転送カウントレジスタ (DM3TCT)		
H'0080 0442	DMA3ソースアドレスレジスタ (DM3SA)				
H'0080 0444	DMA3デスティネーションアドレスレジスタ (DM3DA)				
H'0080 0446					
H'0080 0448	DMA8チャンネル制御レジスタ (DM8CNT)		DMA8転送カウントレジスタ (DM8TCT)		
H'0080 044A	DMA8ソースアドレスレジスタ (DM8SA)				
H'0080 044C	DMA8デスティネーションアドレスレジスタ (DM8DA)				
H'0080 044E					
H'0080 0450	DMA4チャンネル制御レジスタ (DM4CNT)		DMA4転送カウントレジスタ (DM4TCT)		
H'0080 0452	DMA4ソースアドレスレジスタ (DM4SA)				
H'0080 0454	DMA4デスティネーションアドレスレジスタ (DM4DA)				
H'0080 0456					
H'0080 0458	DMA9チャンネル制御レジスタ (DM9CNT)		DMA9転送カウントレジスタ (DM9TCT)		
H'0080 045A	DMA9ソースアドレスレジスタ (DM9SA)				
H'0080 045C	DMA9デスティネーションアドレスレジスタ (DM9DA)				
H'0080 045E					
H'0080 0460	DMA0ソフトウェア要求発生レジスタ (DM0SRI)				
H'0080 0462	DMA1ソフトウェア要求発生レジスタ (DM1SRI)				
H'0080 0464	DMA2ソフトウェア要求発生レジスタ (DM2SRI)				
H'0080 0466	DMA3ソフトウェア要求発生レジスタ (DM3SRI)				
H'0080 0468	DMA4ソフトウェア要求発生レジスタ (DM4SRI)				
⋮					
H'0080 0470	DMA5ソフトウェア要求発生レジスタ (DM5SRI)				
H'0080 0472	DMA6ソフトウェア要求発生レジスタ (DM6SRI)				
H'0080 0474	DMA7ソフトウェア要求発生レジスタ (DM7SRI)				
H'0080 0476	DMA8ソフトウェア要求発生レジスタ (DM8SRI)				
H'0080 0478	DMA9ソフトウェア要求発生レジスタ (DM9SRI)				
⋮					
H'0080 0700	P0データレジスタ (P0DATA)		P1データレジスタ (P1DATA)		
H'0080 0702	P2データレジスタ (P2DATA)		P3データレジスタ (P3DATA)		
H'0080 0704	P4データレジスタ (P4DATA)				
H'0080 0706	P6データレジスタ (P6DATA)		P7データレジスタ (P7DATA)		
H'0080 0708	P8データレジスタ (P8DATA)		P9データレジスタ (P9DATA)		
H'0080 070A	P10データレジスタ (P10DATA)		P11データレジスタ (P11DATA)		
H'0080 070C	P12データレジスタ (P12DATA)		P13データレジスタ (P13DATA)		
H'0080 070E			P15データレジスタ (P15DATA)		
H'0080 0710			P17データレジスタ (P17DATA)		
H'0080 0712					
H'0080 0714					

空き領域は予約領域です。

図3.4.9 SFR領域のレジスタマッピング(7)

番地	+ 0番地	+ 1番地
	D0	D7, D8
		D15
H'0080 0716	P22データレジスタ (P22DATA)	
H'0080 0720	P0方向レジスタ (P0DIR)	P1方向レジスタ (P1DIR)
H'0080 0722	P2方向レジスタ (P2DIR)	P3方向レジスタ (P3DIR)
H'0080 0724	P4方向レジスタ (P4DIR)	
H'0080 0726	P6方向レジスタ (P6DIR)	P7方向レジスタ (P7DIR)
H'0080 0728	P8方向レジスタ (P8DIR)	P9方向レジスタ (P9DIR)
H'0080 072A	P10方向レジスタ (P10DIR)	P11方向レジスタ (P11DIR)
H'0080 072C	P12方向レジスタ (P12DIR)	P13方向レジスタ (P13DIR)
H'0080 072E		P15方向レジスタ (P15DIR)
H'0080 0730		P17方向レジスタ (P17DIR)
H'0080 0732		
H'0080 0734		
H'0080 0736	P22方向レジスタ (P22DIR)	
H'0080 0744		ポート入力機能許可レジスタ (PIEN)
H'0080 0746		P7動作モードレジスタ (P7MOD)
H'0080 0748	P8動作モードレジスタ (P8MOD)	P9動作モードレジスタ (P9MOD)
H'0080 074A	P10動作モードレジスタ (P10MOD)	P11動作モードレジスタ (P11MOD)
H'0080 074C	P12動作モードレジスタ (P12MOD)	P13動作モードレジスタ (P13MOD)
H'0080 074E		P15動作モードレジスタ (P15MOD)
H'0080 0750		P17動作モードレジスタ (P17MOD)
H'0080 0752		
H'0080 0754		
H'0080 0756	P22動作モードレジスタ (P22MOD)	
H'0080 077E		バスモード制御レジスタ (BUSMODC)
H'0080 07E0	フラッシュモードレジスタ (FMOD)	フラッシュステータスレジスタ1 (FSTAT1)
H'0080 07E2	フラッシュ制御レジスタ1 (FCNT1)	フラッシュ制御レジスタ2 (FCNT2)
H'0080 07E4	フラッシュ制御レジスタ3 (FCNT3)	フラッシュ制御レジスタ4 (FCNT4)
H'0080 07E6		
H'0080 07E8	疑似フラッシュバンクレジスタ0 (FELBANK0)	
H'0080 07F0	疑似フラッシュバンクレジスタ0 (FESBANK0)	
H'0080 07F2	疑似フラッシュバンクレジスタ1 (FESBANK1)	
H'0080 0FE0	TML1カウンタ上位 (TML1CTH)	
H'0080 0FE2	TML1カウンタ下位 (TML1CTL)	
H'0080 0FEA		TML1制御レジスタ (TML1CR)
H'0080 0FF0	TML1計測3レジスタ上位 (TML1MR3H)	
H'0080 0FF2	TML1計測3レジスタ下位 (TML1MR3L)	

空き領域は予約領域です。

図3.4.10 SFR領域のレジスタマッピング(8)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 0FF4	TML1計測2レジスタ上位 (TML1MR2H)				
H'0080 0FF6	TML1計測2レジスタ下位 (TML1MR2L)				
H'0080 0FF8	TML1計測1レジスタ上位 (TML1MR1H)				
H'0080 0FFA	TML1計測1レジスタ下位 (TML1MR1L)				
H'0080 0FFC	TML1計測0レジスタ上位 (TML1MR0H)				
H'0080 0FFE	TML1計測0レジスタ下位 (TML1MR0L)				
~					
H'0080 1000	CAN0コントロールレジスタ(CAN0CNT)				
H'0080 1002	CAN0ステータスレジスタ(CAN0STAT)				
H'0080 1004	CAN0拡張IDレジスタ(CAN0EXTID)				
H'0080 1006	CAN0コンフィグレーションレジスタ(CAN0CONF)				
H'0080 1008	CAN0タイムスタンプカウントレジスタ(CAN0TSTMP)				
H'0080 100A	CAN0受信エラーカウントレジスタ(CAN0REC)		CAN0送信エラーカウントレジスタ(CAN0TEC)		
H'0080 100C	CAN0スロット割り込みステータスレジスタ(CAN0SLIST)				
H'0080 100E					
H'0080 1010	CAN0スロット割り込みマスクレジスタ(CAN0SLIMK)				
H'0080 1012					
H'0080 1014	CAN0エラー割り込みステータスレジスタ(CAN0ERIST)		CAN0エラー割り込みマスクレジスタ(CAN0ERIMK)		
H'0080 1016	CAN0ポーレートプリスケアラ(CAN0BRP)				
~					
H'0080 1028	CAN0グローバルマスクレジスタ標準ID0 (C0GMSKS0)		CAN0グローバルマスクレジスタ標準ID1 (C0GMSKS1)		
H'0080 102A	CAN0グローバルマスクレジスタ拡張ID0 (C0GMSKE0)		CAN0グローバルマスクレジスタ拡張ID1 (C0GMSKE1)		
H'0080 102C	CAN0グローバルマスクレジスタ拡張ID2 (C0GMSKE2)				
H'0080 102E					
H'0080 1030	CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0)		CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1)		
H'0080 1032	CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0)		CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)		
H'0080 1034	CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2)				
H'0080 1036					
H'0080 1038	CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0)		CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1)		
H'0080 103A	CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0)		CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)		
H'0080 103C	CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2)				
~					
H'0080 1050	CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT)		CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT)		
H'0080 1052	CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT)		CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT)		
H'0080 1054	CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT)		CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT)		
H'0080 1056	CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT)		CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT)		
H'0080 1058	CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT)		CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT)		
H'0080 105A	CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT)		CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT)		
H'0080 105C	CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT)		CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT)		
H'0080 105E	CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT)		CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT)		
~					

空き領域は予約領域です。

図3.4.11 SFR領域のレジスタマッピング(9)

番地	+ 0番地		+ 1番地	
	D0	D7, D8	D7, D8	D15
H'0080 1100	CAN0メッセージスロット0標準ID0(C0MSL0SID0)	CAN0メッセージスロット0標準ID1(C0MSL0SID1)		
H'0080 1102	CAN0メッセージスロット0拡張ID0(C0MSL0EID0)	CAN0メッセージスロット0拡張ID1(C0MSL0EID1)		
H'0080 1104	CAN0メッセージスロット0拡張ID2(C0MSL0EID2)	CAN0メッセージスロット0データ長レジスタ(C0MSL0DLC)		
H'0080 1106	CAN0メッセージスロット0データ0(C0MSL0DT0)	CAN0メッセージスロット0データ1(C0MSL0DT1)		
H'0080 1108	CAN0メッセージスロット0データ2(C0MSL0DT2)	CAN0メッセージスロット0データ3(C0MSL0DT3)		
H'0080 110A	CAN0メッセージスロット0データ4(C0MSL0DT4)	CAN0メッセージスロット0データ5(C0MSL0DT5)		
H'0080 110C	CAN0メッセージスロット0データ6(C0MSL0DT6)	CAN0メッセージスロット0データ7(C0MSL0DT7)		
H'0080 110E	CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)			
H'0080 1110	CAN0メッセージスロット1標準ID0(C0MSL1SID0)	CAN0メッセージスロット1標準ID1(C0MSL1SID1)		
H'0080 1112	CAN0メッセージスロット1拡張ID0(C0MSL1EID0)	CAN0メッセージスロット1拡張ID1(C0MSL1EID1)		
H'0080 1114	CAN0メッセージスロット1拡張ID2(C0MSL1EID2)	CAN0メッセージスロット1データ長レジスタ(C0MSL1DLC)		
H'0080 1116	CAN0メッセージスロット1データ0(C0MSL1DT0)	CAN0メッセージスロット1データ1(C0MSL1DT1)		
H'0080 1118	CAN0メッセージスロット1データ2(C0MSL1DT2)	CAN0メッセージスロット1データ3(C0MSL1DT3)		
H'0080 111A	CAN0メッセージスロット1データ4(C0MSL1DT4)	CAN0メッセージスロット1データ5(C0MSL1DT5)		
H'0080 111C	CAN0メッセージスロット1データ6(C0MSL1DT6)	CAN0メッセージスロット1データ7(C0MSL1DT7)		
H'0080 111E	CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)			
H'0080 1120	CAN0メッセージスロット2標準ID0(C0MSL2SID0)	CAN0メッセージスロット2標準ID1(C0MSL2SID1)		
H'0080 1122	CAN0メッセージスロット2拡張ID0(C0MSL2EID0)	CAN0メッセージスロット2拡張ID1(C0MSL2EID1)		
H'0080 1124	CAN0メッセージスロット2拡張ID2(C0MSL2EID2)	CAN0メッセージスロット2データ長レジスタ(C0MSL2DLC)		
H'0080 1126	CAN0メッセージスロット2データ0(C0MSL2DT0)	CAN0メッセージスロット2データ1(C0MSL2DT1)		
H'0080 1128	CAN0メッセージスロット2データ2(C0MSL2DT2)	CAN0メッセージスロット2データ3(C0MSL2DT3)		
H'0080 112A	CAN0メッセージスロット2データ4(C0MSL2DT4)	CAN0メッセージスロット2データ5(C0MSL2DT5)		
H'0080 112C	CAN0メッセージスロット2データ6(C0MSL2DT6)	CAN0メッセージスロット2データ7(C0MSL2DT7)		
H'0080 112E	CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)			
H'0080 1130	CAN0メッセージスロット3標準ID0(C0MSL3SID0)	CAN0メッセージスロット3標準ID1(C0MSL3SID1)		
H'0080 1132	CAN0メッセージスロット3拡張ID0(C0MSL3EID0)	CAN0メッセージスロット3拡張ID1(C0MSL3EID1)		
H'0080 1134	CAN0メッセージスロット3拡張ID2(C0MSL3EID2)	CAN0メッセージスロット3データ長レジスタ(C0MSL3DLC)		
H'0080 1136	CAN0メッセージスロット3データ0(C0MSL3DT0)	CAN0メッセージスロット3データ1(C0MSL3DT1)		
H'0080 1138	CAN0メッセージスロット3データ2(C0MSL3DT2)	CAN0メッセージスロット3データ3(C0MSL3DT3)		
H'0080 113A	CAN0メッセージスロット3データ4(C0MSL3DT4)	CAN0メッセージスロット3データ5(C0MSL3DT5)		
H'0080 113C	CAN0メッセージスロット3データ6(C0MSL3DT6)	CAN0メッセージスロット3データ7(C0MSL3DT7)		
H'0080 113E	CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)			
H'0080 1140	CAN0メッセージスロット4標準ID0(C0MSL4SID0)	CAN0メッセージスロット4標準ID1(C0MSL4SID1)		
H'0080 1142	CAN0メッセージスロット4拡張ID0(C0MSL4EID0)	CAN0メッセージスロット4拡張ID1(C0MSL4EID1)		
H'0080 1144	CAN0メッセージスロット4拡張ID2(C0MSL4EID2)	CAN0メッセージスロット4データ長レジスタ(C0MSL4DLC)		
H'0080 1146	CAN0メッセージスロット4データ0(C0MSL4DT0)	CAN0メッセージスロット4データ1(C0MSL4DT1)		
H'0080 1148	CAN0メッセージスロット4データ2(C0MSL4DT2)	CAN0メッセージスロット4データ3(C0MSL4DT3)		
H'0080 114A	CAN0メッセージスロット4データ4(C0MSL4DT4)	CAN0メッセージスロット4データ5(C0MSL4DT5)		
H'0080 114C	CAN0メッセージスロット4データ6(C0MSL4DT6)	CAN0メッセージスロット4データ7(C0MSL4DT7)		
H'0080 114E	CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)			
H'0080 1150	CAN0メッセージスロット5標準ID0(C0MSL5SID0)	CAN0メッセージスロット5標準ID1(C0MSL5SID1)		
H'0080 1152	CAN0メッセージスロット5拡張ID0(C0MSL5EID0)	CAN0メッセージスロット5拡張ID1(C0MSL5EID1)		

空き領域は予約領域です。

図3.4.12 SFR領域のレジスタマッピング(10)

番地	+0番地		+1番地	
	D0	D7, D8	D7, D8	D15
H'0080 1154	CAN0メッセージスロット5拡張ID2(C0MSL5EID2)	CAN0メッセージスロット5データ長レジスタ(C0MSL5DLC)		
H'0080 1156	CAN0メッセージスロット5データ0(C0MSL5DT0)	CAN0メッセージスロット5データ1(C0MSL5DT1)		
H'0080 1158	CAN0メッセージスロット5データ2(C0MSL5DT2)	CAN0メッセージスロット5データ3(C0MSL5DT3)		
H'0080 115A	CAN0メッセージスロット5データ4(C0MSL5DT4)	CAN0メッセージスロット5データ5(C0MSL5DT5)		
H'0080 115C	CAN0メッセージスロット5データ6(C0MSL5DT6)	CAN0メッセージスロット5データ7(C0MSL5DT7)		
H'0080 115E	CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)			
H'0080 1160	CAN0メッセージスロット6標準ID0(C0MSL6SID0)	CAN0メッセージスロット6標準ID1(C0MSL6SID1)		
H'0080 1162	CAN0メッセージスロット6拡張ID0(C0MSL6EID0)	CAN0メッセージスロット6拡張ID1(C0MSL6EID1)		
H'0080 1164	CAN0メッセージスロット6拡張ID2(C0MSL6EID2)	CAN0メッセージスロット6データ長レジスタ(C0MSL6DLC)		
H'0080 1166	CAN0メッセージスロット6データ0(C0MSL6DT0)	CAN0メッセージスロット6データ1(C0MSL6DT1)		
H'0080 1168	CAN0メッセージスロット6データ2(C0MSL6DT2)	CAN0メッセージスロット6データ3(C0MSL6DT3)		
H'0080 116A	CAN0メッセージスロット6データ4(C0MSL6DT4)	CAN0メッセージスロット6データ5(C0MSL6DT5)		
H'0080 116C	CAN0メッセージスロット6データ6(C0MSL6DT6)	CAN0メッセージスロット6データ7(C0MSL6DT7)		
H'0080 116E	CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)			
H'0080 1170	CAN0メッセージスロット7標準ID0(C0MSL7SID0)	CAN0メッセージスロット7標準ID1(C0MSL7SID1)		
H'0080 1172	CAN0メッセージスロット7拡張ID0(C0MSL7EID0)	CAN0メッセージスロット7拡張ID1(C0MSL7EID1)		
H'0080 1174	CAN0メッセージスロット7拡張ID2(C0MSL7EID2)	CAN0メッセージスロット7データ長レジスタ(C0MSL7DLC)		
H'0080 1176	CAN0メッセージスロット7データ0(C0MSL7DT0)	CAN0メッセージスロット7データ1(C0MSL7DT1)		
H'0080 1178	CAN0メッセージスロット7データ2(C0MSL7DT2)	CAN0メッセージスロット7データ3(C0MSL7DT3)		
H'0080 117A	CAN0メッセージスロット7データ4(C0MSL7DT4)	CAN0メッセージスロット7データ5(C0MSL7DT5)		
H'0080 117C	CAN0メッセージスロット7データ6(C0MSL7DT6)	CAN0メッセージスロット7データ7(C0MSL7DT7)		
H'0080 117E	CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)			
H'0080 1180	CAN0メッセージスロット8標準ID0(C0MSL8SID0)	CAN0メッセージスロット8標準ID1(C0MSL8SID1)		
H'0080 1182	CAN0メッセージスロット8拡張ID0(C0MSL8EID0)	CAN0メッセージスロット8拡張ID1(C0MSL8EID1)		
H'0080 1184	CAN0メッセージスロット8拡張ID2(C0MSL8EID2)	CAN0メッセージスロット8データ長レジスタ(C0MSL8DLC)		
H'0080 1186	CAN0メッセージスロット8データ0(C0MSL8DT0)	CAN0メッセージスロット8データ1(C0MSL8DT1)		
H'0080 1188	CAN0メッセージスロット8データ2(C0MSL8DT2)	CAN0メッセージスロット8データ3(C0MSL8DT3)		
H'0080 118A	CAN0メッセージスロット8データ4(C0MSL8DT4)	CAN0メッセージスロット8データ5(C0MSL8DT5)		
H'0080 118C	CAN0メッセージスロット8データ6(C0MSL8DT6)	CAN0メッセージスロット8データ7(C0MSL8DT7)		
H'0080 118E	CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)			
H'0080 1190	CAN0メッセージスロット9標準ID0(C0MSL9SID0)	CAN0メッセージスロット9標準ID1(C0MSL9SID1)		
H'0080 1192	CAN0メッセージスロット9拡張ID0(C0MSL9EID0)	CAN0メッセージスロット9拡張ID1(C0MSL9EID1)		
H'0080 1194	CAN0メッセージスロット9拡張ID2(C0MSL9EID2)	CAN0メッセージスロット9データ長レジスタ(C0MSL9DLC)		
H'0080 1196	CAN0メッセージスロット9データ0(C0MSL9DT0)	CAN0メッセージスロット9データ1(C0MSL9DT1)		
H'0080 1198	CAN0メッセージスロット9データ2(C0MSL9DT2)	CAN0メッセージスロット9データ3(C0MSL9DT3)		
H'0080 119A	CAN0メッセージスロット9データ4(C0MSL9DT4)	CAN0メッセージスロット9データ5(C0MSL9DT5)		
H'0080 119C	CAN0メッセージスロット9データ6(C0MSL9DT6)	CAN0メッセージスロット9データ7(C0MSL9DT7)		
H'0080 119E	CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)			
H'0080 11A0	CAN0メッセージスロット10標準ID0(C0MSL10SID0)	CAN0メッセージスロット10標準ID1(C0MSL10SID1)		
H'0080 11A2	CAN0メッセージスロット10拡張ID0(C0MSL10EID0)	CAN0メッセージスロット10拡張ID1(C0MSL10EID1)		
H'0080 11A4	CAN0メッセージスロット10拡張ID2(C0MSL10EID2)	CAN0メッセージスロット10データ長レジスタ(C0MSL10DLC)		
H'0080 11A6	CAN0メッセージスロット10データ0(C0MSL10DT0)	CAN0メッセージスロット10データ1(C0MSL10DT1)		

空き領域は予約領域です。

図3.4.13 SFR領域のレジスタマッピング(11)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 11A8	CAN0メッセージスロット10データ2(C0MSL10DT2)		CAN0メッセージスロット10データ3(C0MSL10DT3)		
H'0080 11AA	CAN0メッセージスロット10データ4(C0MSL10DT4)		CAN0メッセージスロット10データ5(C0MSL10DT5)		
H'0080 11AC	CAN0メッセージスロット10データ6(C0MSL10DT6)		CAN0メッセージスロット10データ7(C0MSL10DT7)		
H'0080 11AE	CAN0メッセージスロット10タイムスタンプ(C0MSL10TSP)				
H'0080 11B0	CAN0メッセージスロット11標準ID0(C0MSL11SID0)		CAN0メッセージスロット11標準ID1(C0MSL11SID1)		
H'0080 11B2	CAN0メッセージスロット11拡張ID0(C0MSL11EID0)		CAN0メッセージスロット11拡張ID1(C0MSL11EID1)		
H'0080 11B4	CAN0メッセージスロット11拡張ID2(C0MSL11EID2)		CAN0メッセージスロット11データ長レジスタ(C0MSL11DLC)		
H'0080 11B6	CAN0メッセージスロット11データ0(C0MSL11DT0)		CAN0メッセージスロット11データ1(C0MSL11DT1)		
H'0080 11B8	CAN0メッセージスロット11データ2(C0MSL11DT2)		CAN0メッセージスロット11データ3(C0MSL11DT3)		
H'0080 11BA	CAN0メッセージスロット11データ4(C0MSL11DT4)		CAN0メッセージスロット11データ5(C0MSL11DT5)		
H'0080 11BC	CAN0メッセージスロット11データ6(C0MSL11DT6)		CAN0メッセージスロット11データ7(C0MSL11DT7)		
H'0080 11BE	CAN0メッセージスロット11タイムスタンプ(C0MSL11TSP)				
H'0080 11C0	CAN0メッセージスロット12標準ID0(C0MSL12SID0)		CAN0メッセージスロット12標準ID1(C0MSL12SID1)		
H'0080 11C2	CAN0メッセージスロット12拡張ID0(C0MSL12EID0)		CAN0メッセージスロット12拡張ID1(C0MSL12EID1)		
H'0080 11C4	CAN0メッセージスロット12拡張ID2(C0MSL12EID2)		CAN0メッセージスロット12データ長レジスタ(C0MSL12DLC)		
H'0080 11C6	CAN0メッセージスロット12データ0(C0MSL12DT0)		CAN0メッセージスロット12データ1(C0MSL12DT1)		
H'0080 11C8	CAN0メッセージスロット12データ2(C0MSL12DT2)		CAN0メッセージスロット12データ3(C0MSL12DT3)		
H'0080 11CA	CAN0メッセージスロット12データ4(C0MSL12DT4)		CAN0メッセージスロット12データ5(C0MSL12DT5)		
H'0080 11CC	CAN0メッセージスロット12データ6(C0MSL12DT6)		CAN0メッセージスロット12データ7(C0MSL12DT7)		
H'0080 11CE	CAN0メッセージスロット12タイムスタンプ(C0MSL12TSP)				
H'0080 11D0	CAN0メッセージスロット13標準ID0(C0MSL13SID0)		CAN0メッセージスロット13標準ID1(C0MSL13SID1)		
H'0080 11D2	CAN0メッセージスロット13拡張ID0(C0MSL13EID0)		CAN0メッセージスロット13拡張ID1(C0MSL13EID1)		
H'0080 11D4	CAN0メッセージスロット13拡張ID2(C0MSL13EID2)		CAN0メッセージスロット13データ長レジスタ(C0MSL13DLC)		
H'0080 11D6	CAN0メッセージスロット13データ0(C0MSL13DT0)		CAN0メッセージスロット13データ1(C0MSL13DT1)		
H'0080 11D8	CAN0メッセージスロット13データ2(C0MSL13DT2)		CAN0メッセージスロット13データ3(C0MSL13DT3)		
H'0080 11DA	CAN0メッセージスロット13データ4(C0MSL13DT4)		CAN0メッセージスロット13データ5(C0MSL13DT5)		
H'0080 11DC	CAN0メッセージスロット13データ6(C0MSL13DT6)		CAN0メッセージスロット13データ7(C0MSL13DT7)		
H'0080 11DE	CAN0メッセージスロット13タイムスタンプ(C0MSL13TSP)				
H'0080 11E0	CAN0メッセージスロット14標準ID0(C0MSL14SID0)		CAN0メッセージスロット14標準ID1(C0MSL14SID1)		
H'0080 11E2	CAN0メッセージスロット14拡張ID0(C0MSL14EID0)		CAN0メッセージスロット14拡張ID1(C0MSL14EID1)		
H'0080 11E4	CAN0メッセージスロット14拡張ID2(C0MSL14EID2)		CAN0メッセージスロット14データ長レジスタ(C0MSL14DLC)		
H'0080 11E6	CAN0メッセージスロット14データ0(C0MSL14DT0)		CAN0メッセージスロット14データ1(C0MSL14DT1)		
H'0080 11E8	CAN0メッセージスロット14データ2(C0MSL14DT2)		CAN0メッセージスロット14データ3(C0MSL14DT3)		
H'0080 11EA	CAN0メッセージスロット14データ4(C0MSL14DT4)		CAN0メッセージスロット14データ5(C0MSL14DT5)		
H'0080 11EC	CAN0メッセージスロット14データ6(C0MSL14DT6)		CAN0メッセージスロット14データ7(C0MSL14DT7)		
H'0080 11EE	CAN0メッセージスロット14タイムスタンプ(C0MSL14TSP)				
H'0080 11F0	CAN0メッセージスロット15標準ID0(C0MSL15SID0)		CAN0メッセージスロット15標準ID1(C0MSL15SID1)		
H'0080 11F2	CAN0メッセージスロット15拡張ID0(C0MSL15EID0)		CAN0メッセージスロット15拡張ID1(C0MSL15EID1)		
H'0080 11F4	CAN0メッセージスロット15拡張ID2(C0MSL15EID2)		CAN0メッセージスロット15データ長レジスタ(C0MSL15DLC)		
H'0080 11F6	CAN0メッセージスロット15データ0(C0MSL15DT0)		CAN0メッセージスロット15データ1(C0MSL15DT1)		
H'0080 11F8	CAN0メッセージスロット15データ2(C0MSL15DT2)		CAN0メッセージスロット15データ3(C0MSL15DT3)		
H'0080 11FA	CAN0メッセージスロット15データ4(C0MSL15DT4)		CAN0メッセージスロット15データ5(C0MSL15DT5)		
H'0080 11FC	CAN0メッセージスロット15データ6(C0MSL15DT6)		CAN0メッセージスロット15データ7(C0MSL15DT7)		
H'0080 11FE	CAN0メッセージスロット15タイムスタンプ(C0MSL15TSP)				
H'0080 3FFE	空き領域は予約領域です。				

図3.4.14 SFR領域のレジスタマッピング(12)

3.5 EITベクタエントリ

EITベクタエントリは、内蔵ROM領域 / 拡張領域の先頭に置かれ、各EIT事象の処理ハンドラ先頭アドレスへの分岐命令(分岐先アドレスではないことに注意)を、ここに配置します。詳しくは、第4章「EIT」をご覧ください。

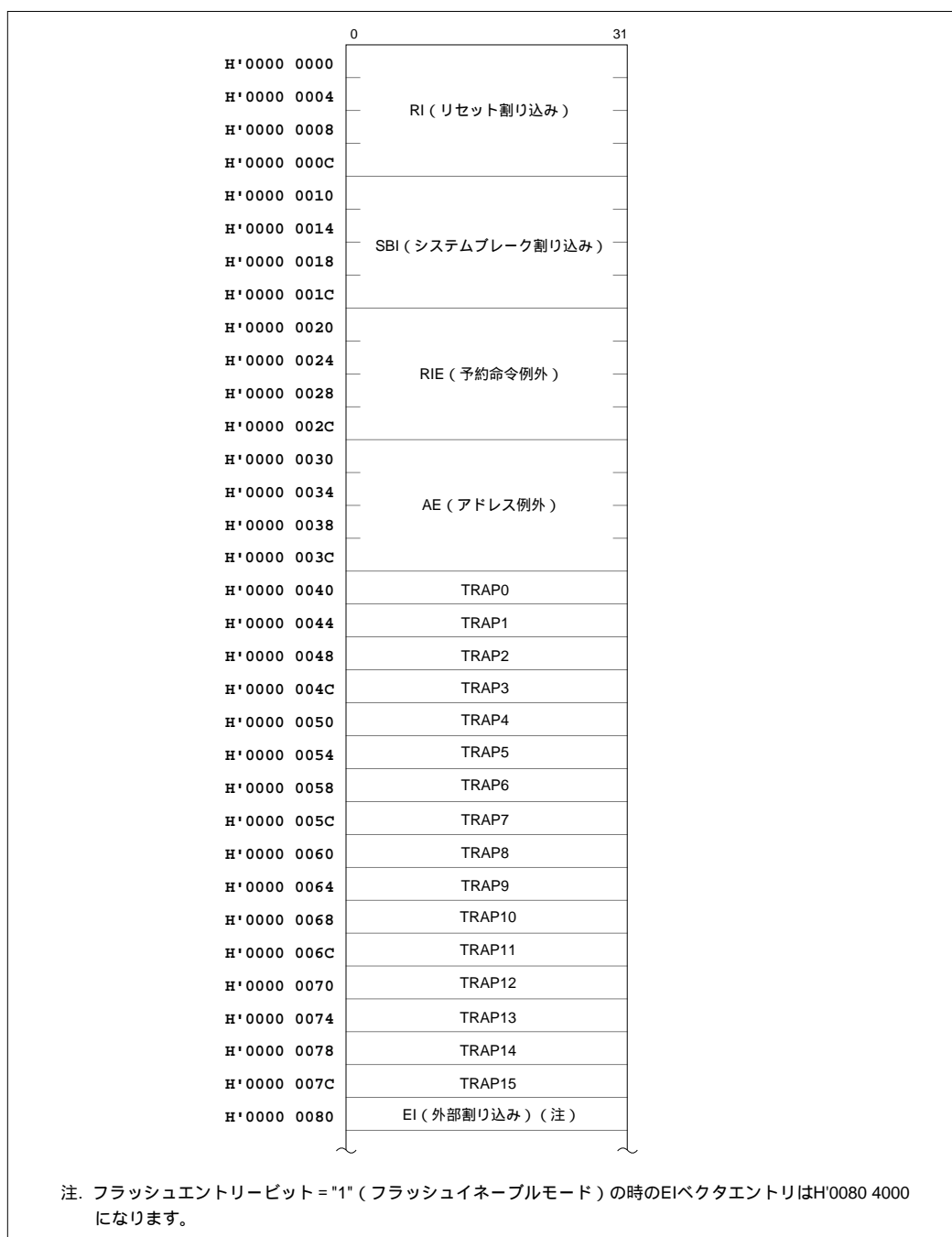


図3.5.1 EITベクタエントリ

3.6 ICUベクタテーブル

ICUベクタテーブルは、内蔵の割り込みコントローラで使用します。各内蔵周辺I/Oの割り込み要求に対応する割り込みハンドラの先頭アドレスを下記アドレスに設定します。詳しくは、第5章「割り込みコントローラ」をご覧ください。

32171のICUベクタテーブルを図3.6.1、図3.6.2に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 0094	MJT入力割り込み4		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 0096	MJT入力割り込み4		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 0098	MJT入力割り込み3		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009A	MJT入力割り込み3		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 009C	MJT入力割り込み2		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009E	MJT入力割り込み2		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A0	MJT入力割り込み1		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00A2	MJT入力割り込み1		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A4	空領域					
H'0000 00A6	空領域					
H'0000 00A8	MJT出力割り込み7		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AA	MJT出力割り込み7		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00AC	MJT出力割り込み6		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AE	MJT出力割り込み6		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B0	MJT出力割り込み5		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B2	MJT出力割り込み5		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B4	MJT出力割り込み4		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B6	MJT出力割り込み4		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B8	MJT出力割り込み3		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BA	MJT出力割り込み3		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00BC	MJT出力割り込み2		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BE	MJT出力割り込み2		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C0	MJT出力割り込み1		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C2	MJT出力割り込み1		ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C4	MJT出力割り込み0		ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C6	MJT出力割り込み0		ハンドラ先頭番地 (A16 ~ A31)			

空き領域は予約領域です

図3.6.1 ICUベクタテーブル(1 / 2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 00C8		DMA0 - 4割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00CA		DMA0 - 4割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00CC		SIO1受信割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00CE		SIO1受信割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00D0		SIO1送信割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00D2		SIO1送信割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00D4		SIO0受信割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00D6		SIO0受信割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00D8		SIO0送信割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00DA		SIO0送信割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00DC		A-D0変換割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00DE		A-D0変換割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00E0						
H'0000 00E2						
H'0000 00E4						
H'0000 00E6						
H'0000 00E8		DMA5 - 9割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00EA		DMA5 - 9割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00EC		SIO2送受信割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00EE		SIO2送受信割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00F0		RTD割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 00F2		RTD割り込み	ハンドラ先頭番地 (A16 - A31)			
H'0000 00F4						
H'0000 00F6						
H'0000 00F8						
H'0000 00FA						
H'0000 00FC						
H'0000 00FE						
H'0000 0100						
H'0000 0102						
H'0000 0104						
H'0000 0106						
H'0000 0108						
H'0000 010A						
H'0000 010C		CAN0送受信&エラー割り込み	ハンドラ先頭番地 (A0 - A15)			
H'0000 010E		CAN0送受信&エラー割り込み	ハンドラ先頭番地 (A16 - A31)			

空き領域は予約領域です

図3.6.2 ICUベクタテーブル(2 / 2)

3.7 アドレス空間の注意事項

疑似フラッシュエミュレーション機能

32171には、内蔵フラッシュメモリを8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイトの1ブロックをマッピングする機能、および内蔵フラッシュメモリを4Kバイト毎に区切った領域(Sバンク)に、内蔵RAMのH'0080 6000の領域から4Kバイト単位のブロック(最大2ブロック)をマッピングする機能があり、これを疑似フラッシュエミュレーション機能と呼びます。この機能については、6.7「疑似フラッシュエミュレーション機能」をご覧ください。

第 4 章

EIT

- 4.1 EITの概要
- 4.2 EIT事象
- 4.3 EITの処理手順
- 4.4 EITの処理機構
- 4.5 EIT事象の受け付け
- 4.6 PC, PSWの退避と復帰
- 4.7 EITベクタエントリ
- 4.8 例外(Exception)処理
- 4.9 割り込み(Interrupt)処理
- 4.10 トラップ(Trap)処理
- 4.11 EITの優先順位
- 4.12 EIT処理の例
- 4.13 EITの注意事項

4.1 EITの概要

CPUが通常のプログラムを実行している途中で、ある事象の発生によりそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して、EIT(Exception, Interrupt, Trap)事象と呼びます。

(1) 例外 (Exception)

実行中のコンテキストに関係する事象であり、命令実行に伴うエラーや違反などによって発生します。M32R/ECUでは、アドレス例外(AE)と予約命令例外(RIE)が、これに該当します。

(2) 割り込み (Interrupt)

実行中のコンテキストとは無関係に発生する事象です。外部からのハードウェア的な信号によって発生します。M32R/ECUでは外部割り込み(EI)とシステムブレーク割り込み(SBI)、およびリセット割り込み(RI)がこれに該当します。

(3) トラップ (Trap)

ソフトウェア割り込みのことで、TRAP命令の実行で発行されます。OSのシステムコールなどのようにプログラマがプログラム中で意識的に発生させるものです。

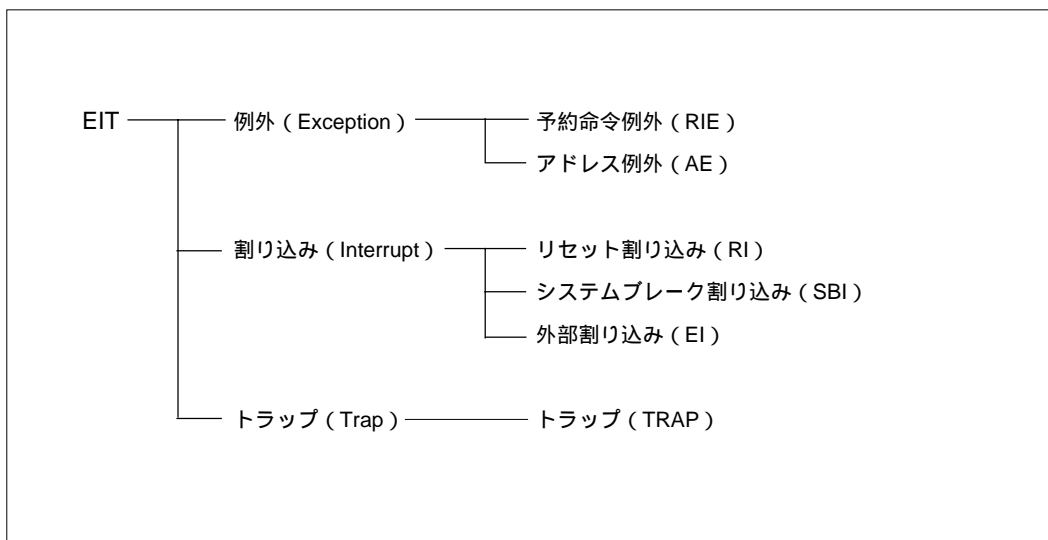


図4.1.1 EITの分類

4.2 EIT事象

4.2.1 例外(Exception)

(1) 予約命令例外 (RIE)

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)の実行を検出した場合に発生します。

(2) アドレス例外 (AE)

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。

4.2.2 割り込み(Interrupt)

(1) リセット割り込み (RI)

リセット割り込み(RI : Reset Interrupt)は、 $\overline{\text{RESET}}$ 信号を入力することにより常に受け付けられます。リセット割り込みは最高位の優先度を持ちます。

(2) システムブレーク割り込み (SBI)

システムブレーク割り込み(SBI : System Brake Interrupt)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用される緊急用割り込みです。割り込み処理後、原則として割り込み発生時に実行していた元のプログラムに復帰しない場合にのみ使用できます。

(3) 外部割り込み (EI)

外部割り込み(EI : External Interrupt)は、割り込みコントローラで管理される各内蔵周辺I/Oからの割り込み要求です。内蔵の割り込みコントローラでは、割り込み禁止を含めて8レベルの優先順位を設けて割り込み管理を行います。

4.2.3 トラップ(Trap)

トラップ(TRAP)とはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。TRAP命令のオペランド0~15に対応して、ベクタアドレスが16種類用意されています。

4.3 EITの処理手順

EIT処理には、ハードウェアが自動的に処理する部分とユーザが記述したプログラム (EITハンドラ) によって処理される部分があります。リセット割り込みを除くEIT受付時の処理手順を以下に示します。

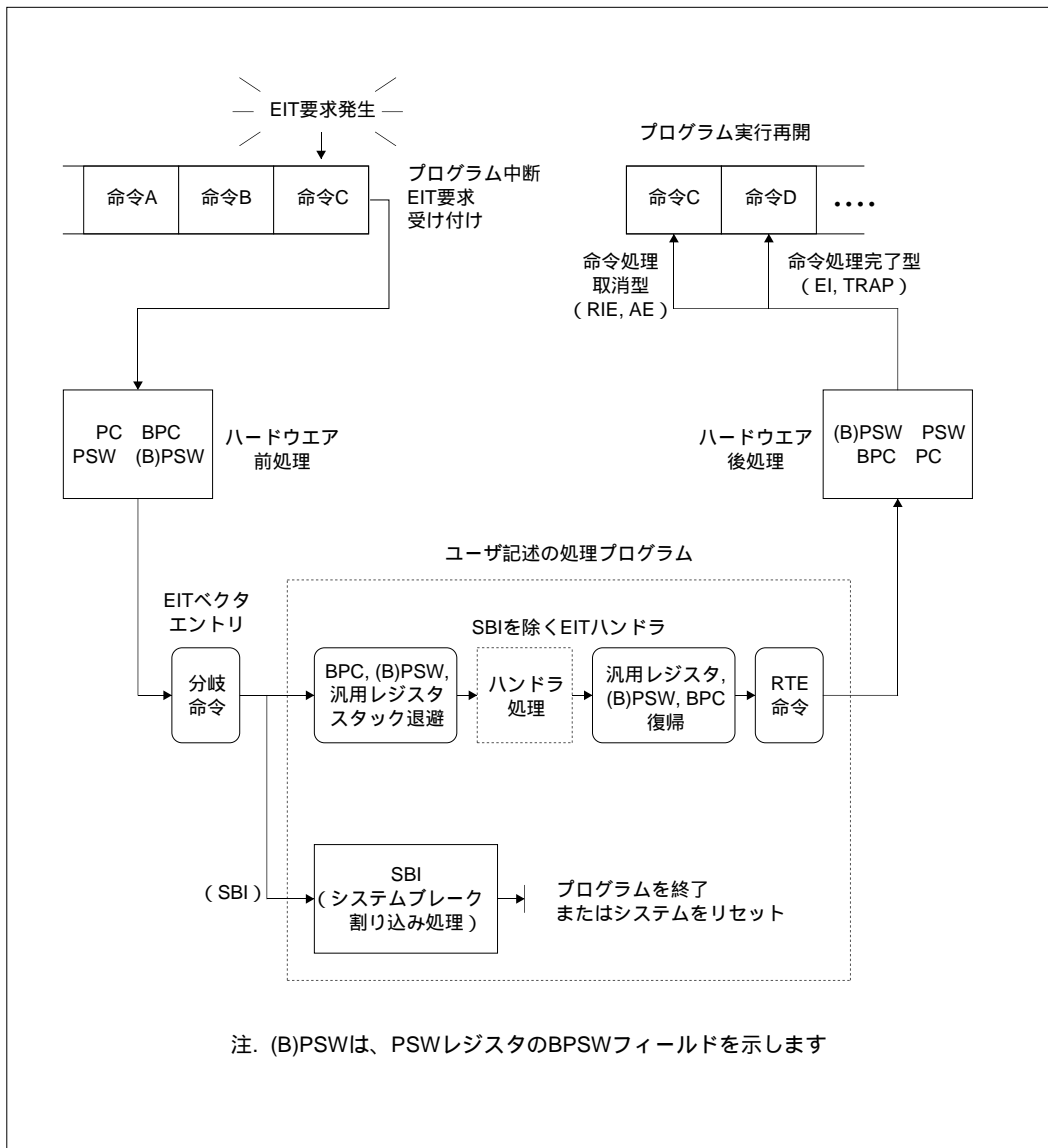


図4.3.1 EIT処理手順の概要

EITが受け付けられると、M32R/ECUはPCとPSWの退避(後述)を行った後、EITベクタに分岐します。EITベクタには各EITごとにエントリアドレスが割り当てられており、そこにEITハンドラへの「BRA命令(分岐命令)」を書きます(分岐先アドレスではないことに注意してください)。

M32R/ECUのハードウェア前処理では、PC、PSWレジスタの内容を、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)へ移す作業のみ行います。

ユーザが記述するEITハンドラ中で、BPCレジスタとPSWレジスタ(BPSWフィールドを含む)、およびEITハンドラ内で使用する汎用レジスタをスタックに退避してください(スタックへの退避は、ユーザがプログラムで行うことに注意してください)。

EITハンドラ処理完了後は、スタックに退避したレジスタを復帰して、最後に「RTE命令」を実行することで、EIT処理から元のプログラムに復帰します(ただしシステムブレーク割り込みは除きます)。

M32R/ECUのハードウェア後処理では、バックアップレジスタ(BPCレジスタ、PSWレジスタのBPSWフィールド)の内容を、PC、PSWレジスタへ戻します。

4.4 EITの処理機構

M32R/ECUのEIT処理機構は、M32R CPUコア部と内蔵周辺I/Oの割り込みコントローラで構成されます。また、PC, PSWのバックアップ用のレジスタ(BPCレジスタ, PSWのBPSWフィールド)を備えています。M32R/ECUの内部EIT処理機構を以下に示します。

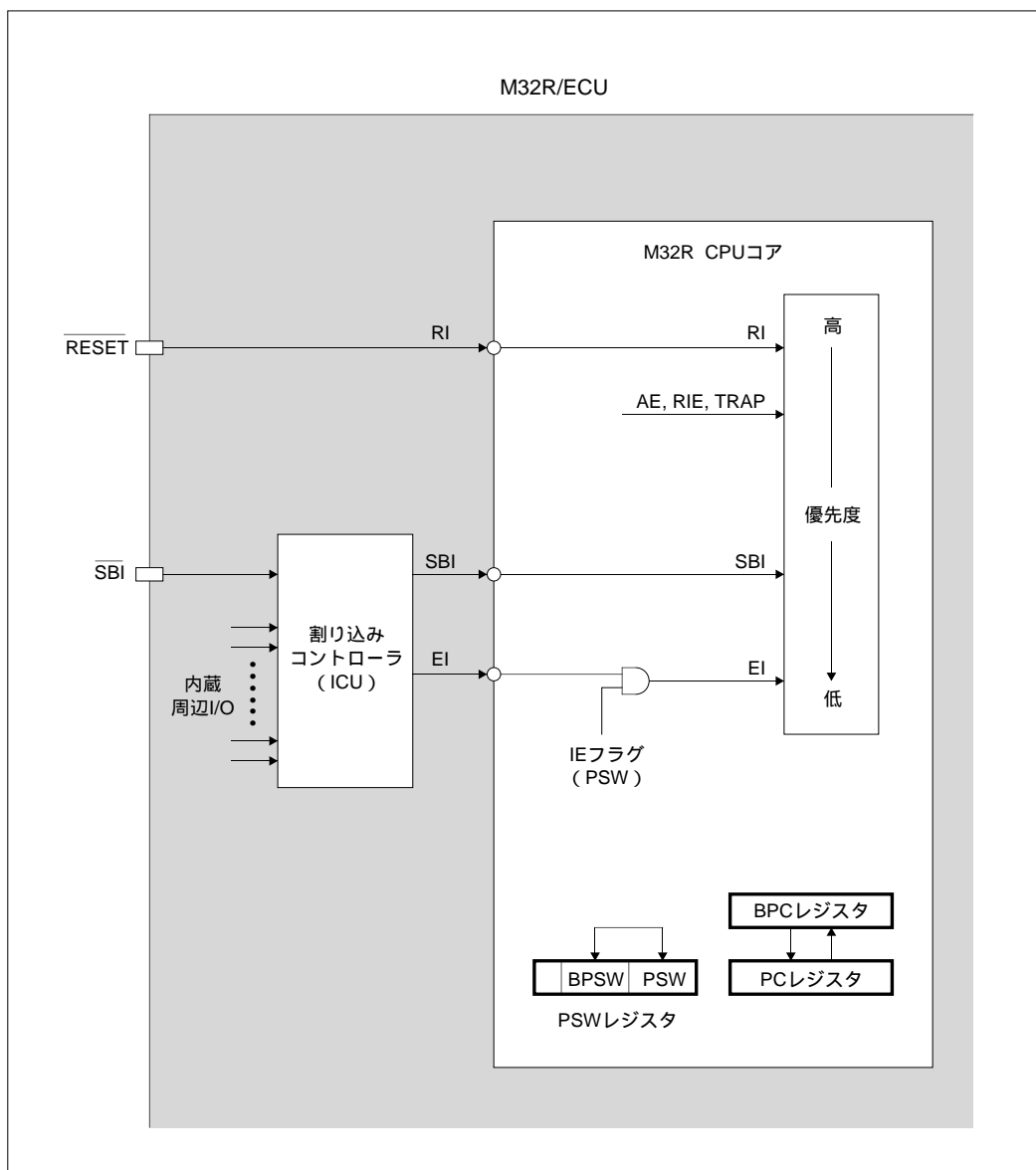


図4.4.1 M32R/ECUのEIT処理機構

4.5 EIT事象の受け付け

M32R/ECUはEIT事象が発生すると、それまで実行していたプログラムを中断して、EITのハンドラ処理に分岐します。各EIT事象の発生条件と受け付けタイミングを以下に示します。

表4.5.1 EIT事象の受け付け

EIT事象	処理型	受付タイミング	BPCレジスタにセットされる値
予約命令例外(RIE)	命令処理取消型	命令実行中	RIEが発生した命令のPC値
アドレス例外(AE)	命令処理取消型	命令実行中	AEが発生した命令のPC値
リセット割り込み(RI)	命令処理放棄型	各マシンスイクル	不定値
システムブレーク 割り込み(SBI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
外部割り込み(EI)	命令処理完了型	命令の区切り (ワード境界のみ)	次命令のPC値
トラップ(TRAP)	命令処理完了型	命令の区切り	TRAP命令のPC値 + 4

4.6 PC, PSWの退避と復帰

EIT受け付け時と「RTE命令」実行時の動作を以下に示します。

(1) EIT受け付け時のハードウェア前処理

PSWレジスタ中のSM, IE, Cビットの退避

BSM	SM
BIE	IE
BC	C

PSWレジスタ中のSM, IE, Cビットの更新

SM	不変(RIE, AE, TRAP), または0をセット(SBI, EI, RI)
IE	0をセット
C	0をセット

PCレジスタの退避

BPC	PC
-----	----

ベクタアドレスをPCレジスタにセット

EITベクタに分岐し、さらにそこに書かれている分岐命令(BRA命令)を実行することで、ユーザが記述したEITハンドラ処理を移します。

(2) 「RTE命令」実行時のハードウェア後処理

① PSWレジスタ中のBSM, BIE, BCビットの復帰

SM	BSM
IE	BIE
C	BC

② BPCレジスタの値をPCレジスタに復帰

PC	BPC
----	-----

(注)「RTE命令」実行後のBPC, PSWレジスタのBSM, BIE, BCビットの値は不定です。

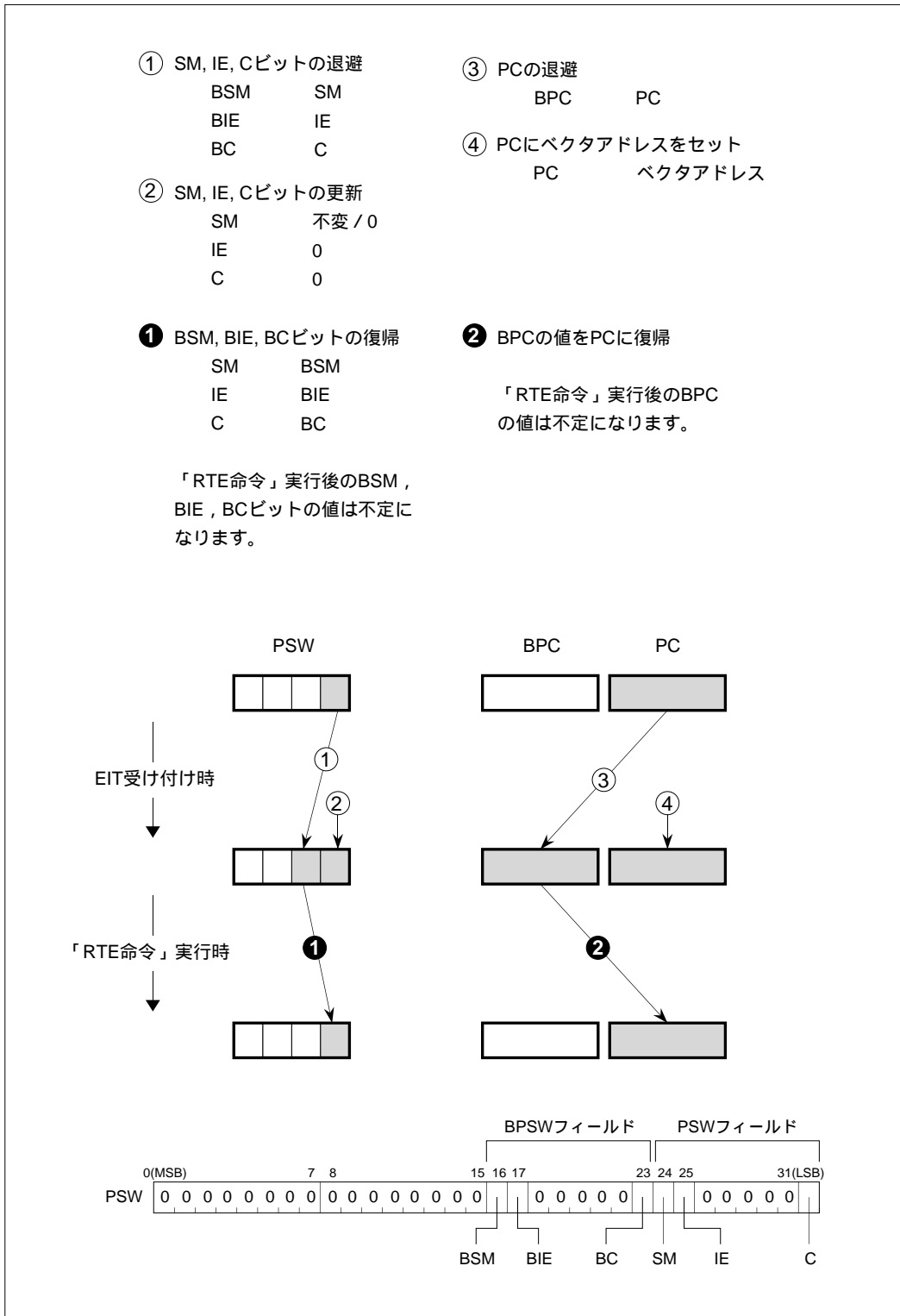


図4.6.1 PC, PSWの退避と復帰

4.7 EITベクタエントリ

EITベクタエントリはユーザ空間のH'0000 0000番地から置かれています。以下にEITベクタエントリの一覧を示します。

表4.7.1 EITベクタエントリ

名称	略号	ベクタアドレス	SM	IE	BPC
リセット割り込み	RI	H'0000 0000(注1)	0	0	不定
システムブレーク 割り込み	SBI	H'0000 0010	0	0	次命令のPC
予約命令例外	RIE	H'0000 0020	不変	0	発生命令のPC
アドレス例外	AE	H'0000 0030	不変	0	発生命令のPC
トラップ	TRAP0	H'0000 0040	不変	0	TRAP命令のPC + 4
	TRAP1	H'0000 0044	不変	0	"
	TRAP2	H'0000 0048	不変	0	"
	TRAP3	H'0000 004C	不変	0	"
	TRAP4	H'0000 0050	不変	0	"
	TRAP5	H'0000 0054	不変	0	"
	TRAP6	H'0000 0058	不変	0	"
	TRAP7	H'0000 005C	不変	0	"
	TRAP8	H'0000 0060	不変	0	"
	TRAP9	H'0000 0064	不変	0	"
	TRAP10	H'0000 0068	不変	0	"
	TRAP11	H'0000 006C	不変	0	"
	TRAP12	H'0000 0070	不変	0	"
	TRAP13	H'0000 0074	不変	0	"
	TRAP14	H'0000 0078	不変	0	"
	TRAP15	H'0000 007C	不変	0	"
外部割り込み	EI	H'0000 0080(注2)	0	0	次命令のPC

注1. ブートモード時は、ブートROMの先頭(H'8000 0000番地)へ移動します。詳しくは、6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

注2. フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します。詳しくは、6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

4.8 例外(Exception)処理

4.8.1 予約命令例外(RIE)

[発生条件]

予約命令例外(RIE : Reserved Instruction Exception)は、予約命令(インプリメントされていない命令)を検出した場合に発生します。命令のチェックは命令のオペコード部に対して行われます。

予約命令例外が発生した場合には、その命令は実行されません。予約命令例外が検出されたときに外部割り込み要求があっても、予約命令例外が受け付けられません。

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

予約命令例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、予約命令例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、予約命令例外を起こした命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

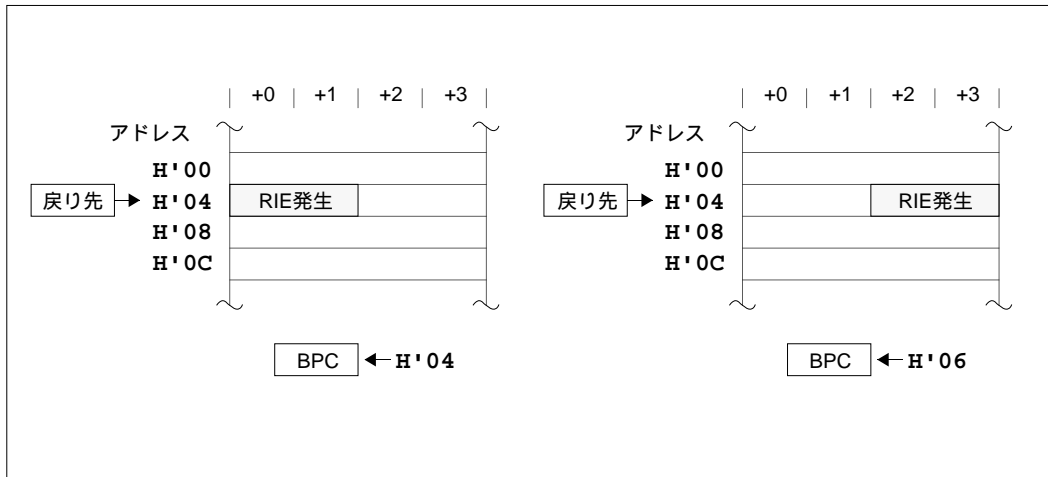


図4.8.1 予約命令例外(RIE)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0020番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0020番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.8.2 アドレス例外(AE)

[発生条件]

アドレス例外(AE : Address Exception)は、ロード命令やストア命令でアライメントのとれていないアドレスにアクセスしようとした場合に発生します。アドレス例外が起動される命令と、アドレスの組み合わせは次のとおりです。

LDH命令、LDUH命令、STH命令でアドレス下位2ビットが "01", "11" の場合。
LD命令、ST命令、LOCK命令、UNLOCK命令でアドレス下位2ビットが "01", "10", "11" の場合。

アドレス例外が発生した場合、その命令によるメモリアクセスは行われません。アドレス例外が検出されたときに外部割り込み要求があってもアドレス例外が受け付けられません。

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

アドレス例外を起こした命令のPC値がBPCレジスタにセットされます。たとえば、アドレス例外を起こした命令が4番地ならBPCレジスタには4がセットされ、6番地ならBPCに6がセットされます。この場合、BPCレジスタのビット30の値は、アドレス例外を起こした命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も4番地になります(PCへの復帰の際に下位 2 ビットが "00" にクリアされるため)。

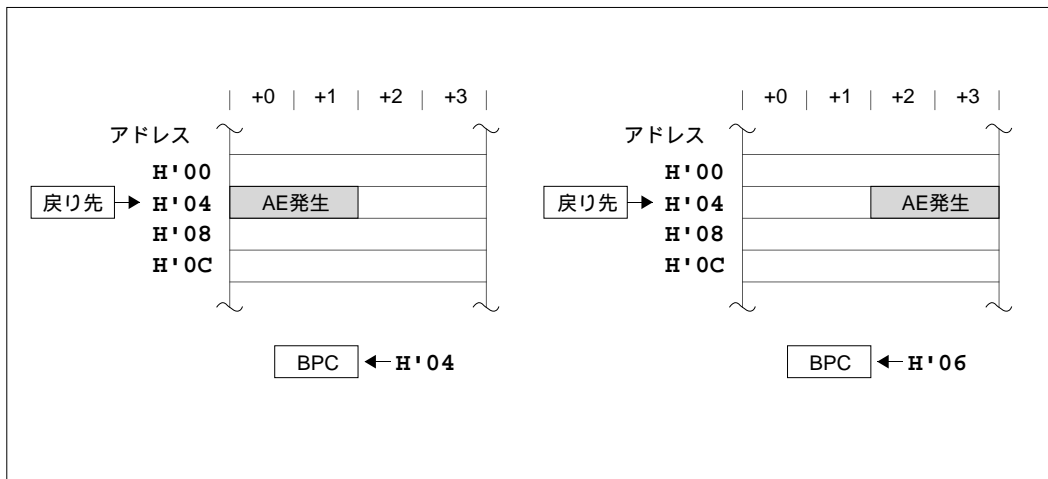


図4.8.2 アドレス例外(AE)の戻り先の例

(4) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0030番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまです。

(5) EITベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0030番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EITハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.9 割り込み(Interrupt)処理

4.9.1 リセット割り込み(RI)

[発生条件]

RESET端子に"L"レベル信号を入力すると、各マシンサイクルごと無条件にリセット割り込みが受け付けられます。リセット割り込みはEITの中で常に最高位の優先度を持ちます。

[EIT処理]

(1) SM, IE, Cビットの初期化

PSWレジスタ中のSM, IE, Cビットを次のように初期化します。

SM	0
IE	0
C	0

リセット割り込みの場合、BSM, BIE, BCビットの値は不定となります。

(2) EITベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0000番地へ分岐します。ただし、ブートモード時は、ブートROMの先頭(H'8000 0000番地)へ移動します(詳しくは6.5「内蔵フラッシュメモリの書き込み」をご覧ください)。

(3) EITベクタエントリからユーザプログラムへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0000番地にユーザが書いた命令を実行します。リセットベクタエントリでは、PSWとSPIレジスタの初期化を行った後、ユーザが記述したプログラムの先頭番地へ分岐してください。

4.9.2 システムブレーク割り込み(SBI)

システムブレーク割り込み(SBI)は、電源断の検出時や外部ウォッチドックタイマからの異常検出時に使用する緊急用割り込みです。システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません。

したがってシステムブレーク割り込みは、割り込みを検出した時点ですでにシステムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

[発生条件]

SBI端子への立ち下がりエッジの入力でシステムブレーク割り込みが受け付けられます(システムブレーク割り込みはPSWレジスタ中のIEビットによるマスクはありません)。

ワード境界から始まる16ビット命令の実行直後に、システムブレーク割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

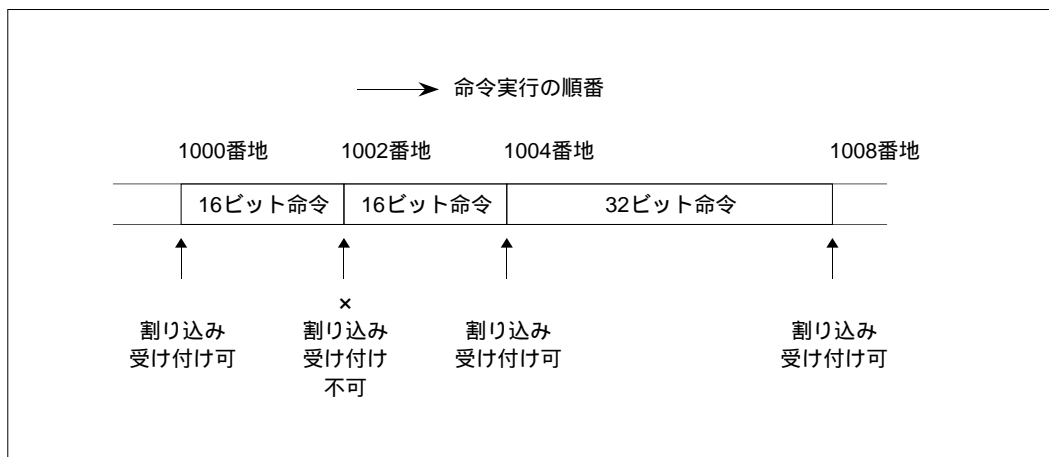


図4.9.1 システムブレーク割り込み(SBI)受け付けタイミング

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PC の退避

PCレジスタの内容(常にワード境界)を、BPCレジスタに退避します。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0010番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0010番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。

システムブレーク割り込みは、システムに何らかの致命的な事象が発生した場合にのみ使用します。SBIハンドラ処理後も、SBI発生時に実行していた元のプログラムに復帰しない条件でご使用ください。

4.9.3 外部割り込み(EI)

外部割り込みは、内蔵の割り込みコントローラから出力された割り込み要求に基づいて発生します。割り込みコントローラでは7レベルの優先順位を設けて、割り込み要求の管理を行っています。割り込みコントローラの詳細については第5章「割り込みコントローラ」を、割り込み要因については内蔵周辺I/Oの各章をご覧ください。

[発生条件]

外部割り込みは、各内蔵周辺I/Oからの割り込み要求に基づいて内蔵割り込みコントローラが管理を行い、それをM32R CPUに伝えます。M32R/ECUは、ワード境界にある命令の切れ目でこの要求をチェックし、割り込み要求があり、かつPSW中のIEフラグが1の時に外部割り込みは受け付けられます。

ワード境界から始まる16ビット命令実行直後に、外部割り込みが起動されることはありません(ただし16ビット分岐命令の場合は、分岐の直後に受け付けられます)。

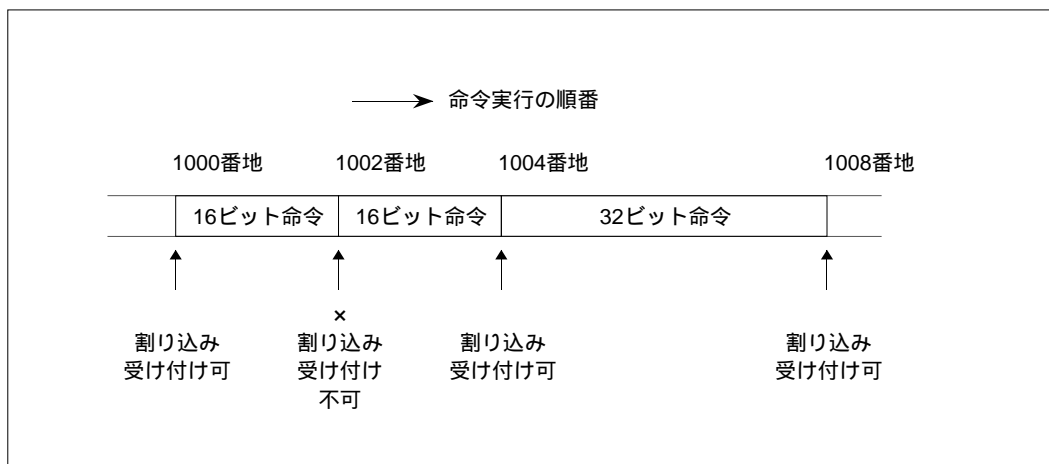


図4.9.2 外部割り込み(EI)受け付けタイミング

[EIT 処理]

(1) SM, IE, C ビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, C ビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	0
IE	0
C	0

(3) PC の退避

PCレジスタの内容(常にワード境界)をBPCレジスタに退避します。

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0080番地へ分岐します。ただし、フラッシュE/Wイネーブルモード時は、内蔵RAMの先頭(H'0080 4000番地)へ移動します(詳しくは、6.5「内蔵フラッシュメモリの書き込み」をご覧ください)。M32R/ECUが行うハードウェア前処理はここまでです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0080番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの手元番地へ分岐します。ユーザ記述のEITハンドラの手元では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.10 トラップ(Trap)処理

4.10.1 トラップ(TRAP)

[発生条件]

トラップとはソフトウェア割り込みのことで、「TRAP命令」の実行により発生します。「TRAP命令」のオペランド0～15に対応して16種類のトラップが発生します。これに対応して、ベクタエントリは16エントリ用意されています。

[EIT 処理]

(1) SM, IE, Cビットの退避

PSWレジスタ中のSM, IE, Cビットを、BSM, BIE, BCビットに退避します。

BSM	SM
BIE	IE
BC	C

(2) SM, IE, Cビットの更新

PSWレジスタ中のSM, IE, Cビットを次のように更新します。

SM	変化しない
IE	0
C	0

(3) PC の退避

トラップ命令を実行すると、(TRAP命令のPC値 + 4)の値がBPCレジスタにセットされます。たとえば、4番地に「TRAP命令」が置かれた場合は、BPCレジスタにH'08がセットされます。同様に6番地に置かれた場合は、BPCレジスタにはH'0Aがセットされます。BPCレジスタのビット30の値は、トラップ命令がワード境界上にあるか(BPC[30]=0)、ワード境界上にないか(BPC[30]=1)を示します。

ただしEITハンドラ終了後の「RTE命令」の戻り先は、先のケースでどちらの場合も8番地になります(PCへの復帰の際に下位2ビットが"00"にクリアされるため)。

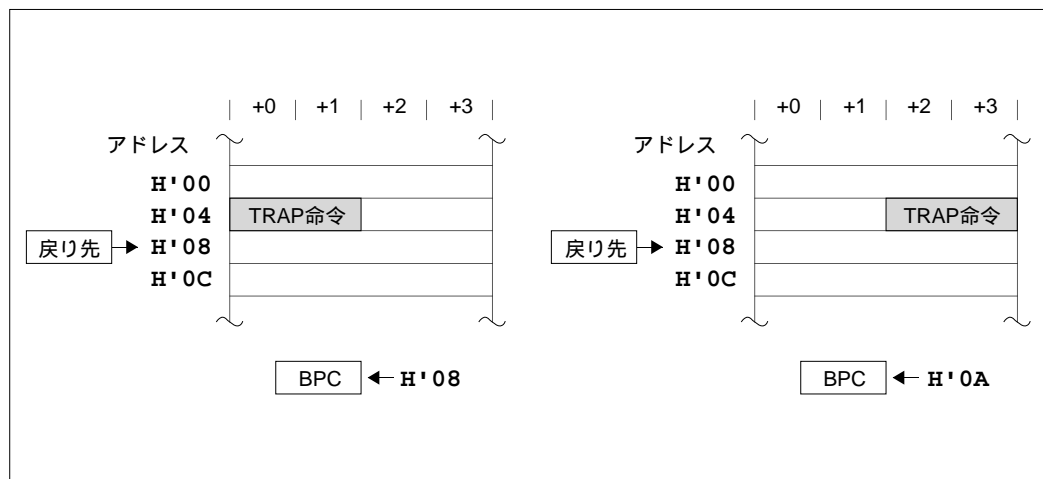


図4.10.1 トラップ(TRAP)の戻り先の例

(4) EIT ベクタエントリへの分岐

ユーザ空間内のアドレスH'0000 0040 ~ H'0000 007C番地へ分岐します。M32R/ECUが行うハードウェア前処理はここまでのです。

(5) EIT ベクタエントリからユーザ記述ハンドラへの分岐

M32R/ECUは、EITベクタエントリのH'0000 0040 ~ H'0000 007C番地にユーザが書いた「BRA命令」を実行して、ユーザが記述したハンドラの先頭番地へ分岐します。ユーザ記述のEITハンドラの先頭では、まずBPCとPSW、および必要な汎用レジスタをスタックに退避する操作を行ってください。

(6) EIT ハンドラからの復帰

EITハンドラの終わりでは、スタックから汎用レジスタ、およびBPCとPSWを復帰して、「RTE命令」を実行してください。「RTE命令」の実行でハードウェア後処理が自動的に行われます。

4.11 EITの優先順位

EIT事象の優先順位は次のとおりです。複数のEITが同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表4.11.1 EIT事象の優先度と復帰形態

優先度	EIT事象	処理型	BPCレジスタにセットされる値
1(最優先)	リセット割り込み(RI)	命令処理放棄型	不定
2	アドレス例外(AE)	命令処理取消型	発生した命令のPC
	予約命令例外(RIE)	命令処理取消型	発生した命令のPC
	トラップ(TRAP)	命令処理完了型	TRAP命令+4
3	システムブレーク 割り込み(SBI)	命令処理完了型	次命令のPC
4	外部割り込み(EI)	命令処理完了型	次命令のPC

なお、外部割り込み(EI)における周辺I/Oからの各割り込み要求の優先順位設定は、内蔵の割り込みコントローラで行います。詳しくは第5章「割り込みコントローラ」をご覧ください。

4.12 EIT処理の例

(1) RIE, AE, SBI, EI, TRAP が単独で発生した場合

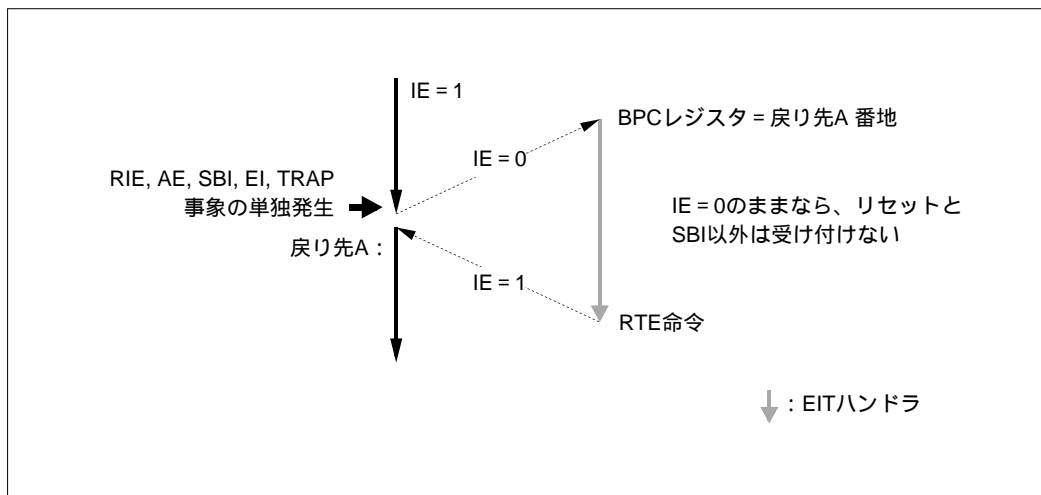


図4.12.1 RIE, AE, SBI, EI, TRAP各事象の処理

(2) RIE, AE, TRAPのいずれかとEIが同時に発生した場合

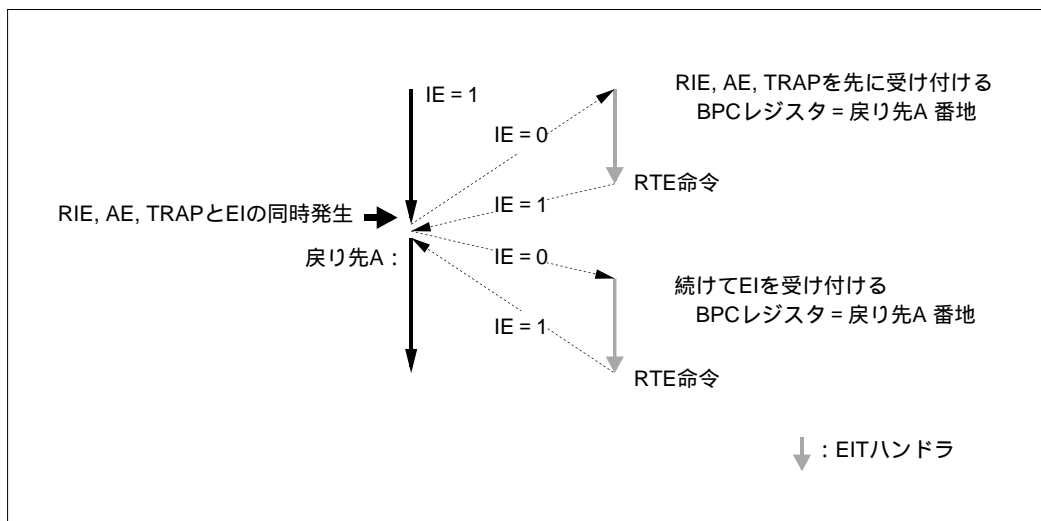


図4.12.2 RIE, AE, TRAPとEIが同時発生した場合の処理

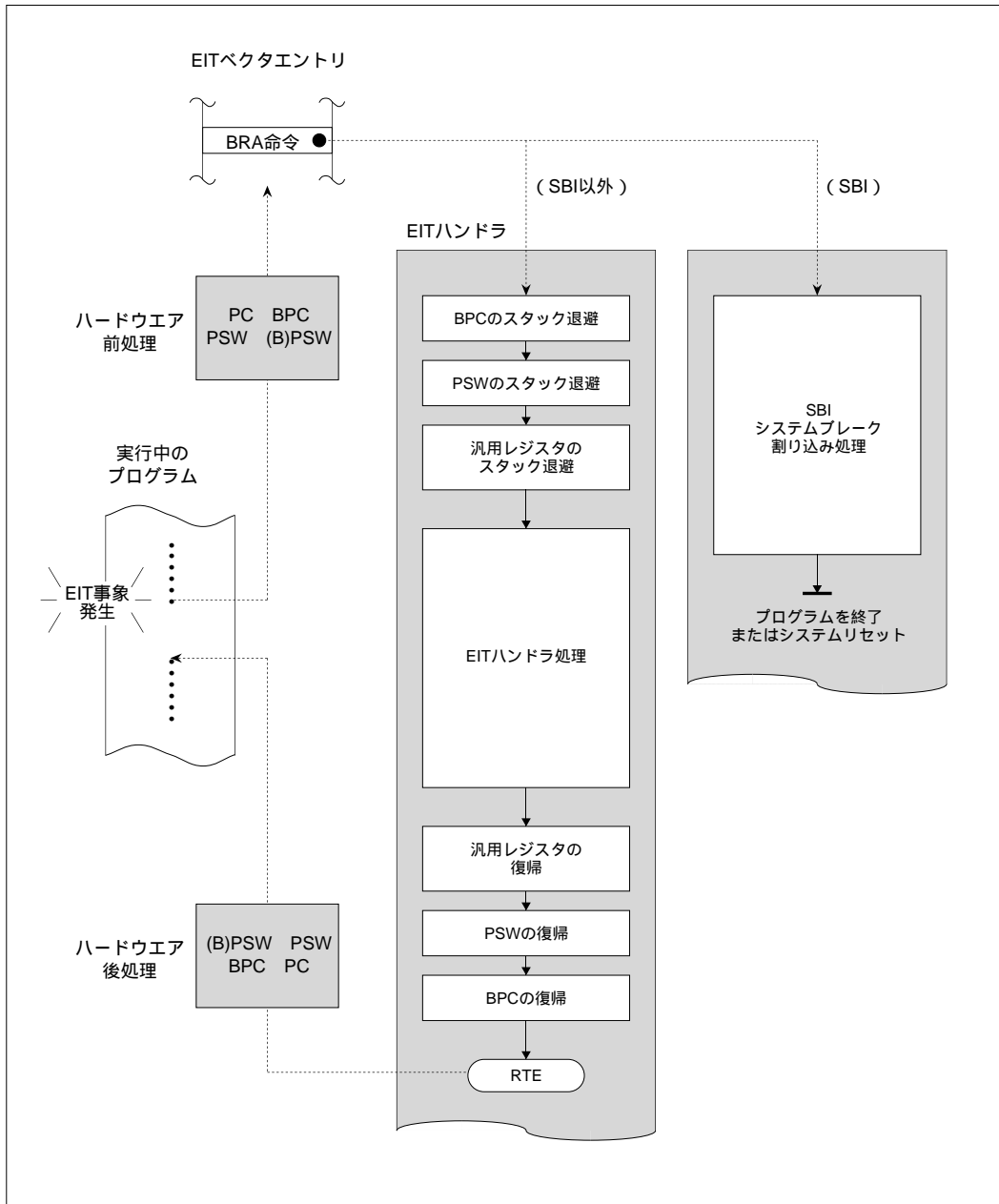


図4.12.3 EIT処理の例

4.13 EITの注意事項

アドレス例外は、「レジスタ間接+レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(Rsrc、Rsrc2)の値が不定となります。

なお、Rsrc、Rsrc2の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

対象命令

LD	Rdest、@Rsrc+
ST	Rsrc1、@-Rsrc2
ST	Rsrc1、@+Rsrc2

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

空きページです

第5章

割り込みコントローラ(ICU)

- 5.1 割り込みコントローラ
(ICU)概要
- 5.2 内蔵周辺I/Oの割り込み
要因
- 5.3 ICU関連レジスタ
- 5.4 ICUベクタテーブル
- 5.5 割り込み動作説明
- 5.6 システムブレーク割り込み
(SBI)動作説明

5.1 割り込みコントローラ(ICU)概要

割り込みコントローラ(ICU)は、内蔵周辺I/Oからのマスク可能な割り込みと、システムブレーク割り込み(SBI)の管理を行います。内蔵周辺I/Oからのマスク可能な割り込みは、外部割り込み(EI)としてM32R CPUに伝えられます。

内蔵周辺I/Oからのマスク可能な割り込みは全部で22要因あり、割り込み禁止を含めて8レベルの優先順位をつけて管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。内蔵周辺I/O内での割り込み要求発生元の特定は、内蔵周辺I/Oの割り込みステータスレジスタを読むことで行います。

一方システムブレーク割り込み(SBI)は、 $\overline{\text{SBI}}$ 信号に立ち下がりエッジが入力された場合に発生する割り込みです。PSWレジスタのIEビットの状態にかかわらず常に受け付けられ、電源の異常検出時や、外部ウォッチドックタイマによる異常検出時に使用される緊急用の割り込みです。SBIに対する処置が終わった後は、割り込み発生時に実行していた元のプログラムには復帰しないで、システムを終了またはリセットしてください。

割り込みコントローラの概要を以下に示します。

表5.1.1 割り込みコントローラ(ICU)の概要

項目	仕様
割り込み要因	内蔵周辺I/Oからのマスク可能な割り込み : 22要因 システムブレーク割り込み : 1要因($\overline{\text{SBI}}$ 端子からの入力)
レベル管理	割り込み禁止を含めて8レベル (ただし同一レベルの場合はハードウェアで固定された優先順位を適用)

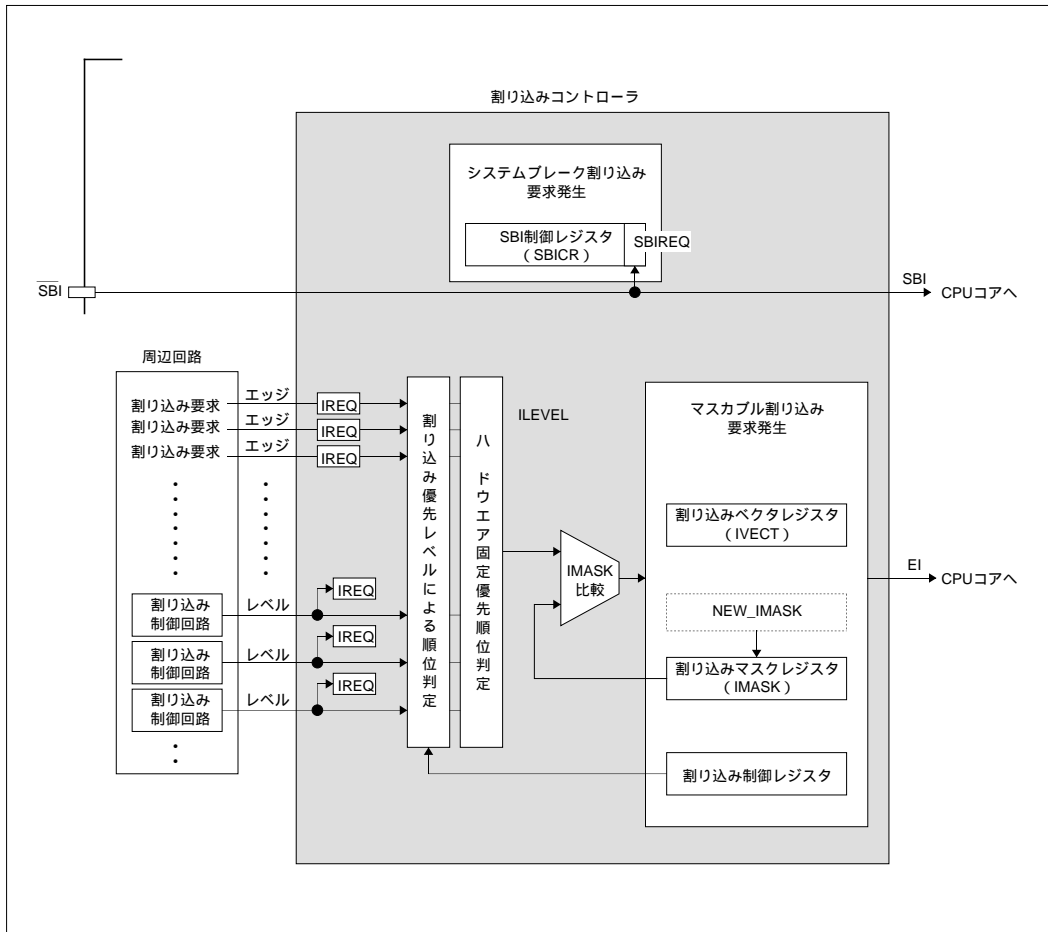


図5.1.1 割り込みコントローラブロック図

5.2 内蔵周辺I/Oの割り込み要因

割り込みコントローラには、MJT(マルチジャンクションタイマ)、DMAC、シリアルI/O、A-D変換器、RTD、CANからの割り込み要求が入力されます。割り込みの詳細については、各内蔵周辺I/Oの章をご覧ください。

表5.2.1 内蔵周辺I/Oの割り込み要因

割り込み要因	内容	入力 要因数	入力要因 タイプ(注)
A-D0変換器割り込み	A-D0変換器のスキャンモードのワンショット終了, 単一モード終了, コンパレータモード終了	1	エッジ
SIO0 送信割り込み	SIO0の送信バッファエンプティ割り込み	1	エッジ
SIO0 受信割り込み	SIO0の受信完了, または受信エラー割り込み	1	エッジ
SIO1 送信割り込み	SIO1の送信バッファエンプティ割り込み	1	エッジ
SIO1 受信割り込み	SIO1の受信完了, または受信エラー割り込み	1	エッジ
SIO2,3送受信割り込み	SIO2の受信完了または受信エラー割り込み, 送信バッファエンプティ割り込み	2	レベル
RTD割り込み	RTD割り込み発生コマンド	1	エッジ
DMA転送割り込み0	DMA0 ~ 4の転送終了	5	レベル
DMA転送割り込み1	DMA5 ~ 9の転送終了	5	レベル
CAN0送受信&エラー割り込み	CAN0送信完了, CAN0受信完了, CAN0エラーパッシブ, CAN0エラーバスオフ, CAN0バスエラー	19	レベル
MJT出力割り込み7	MJT出力割り込みグループ7 (TMS0, TMS1出力)	2	レベル
MJT出力割り込み6	MJT出力割り込みグループ6 (TOP8, TOP9出力)	2	レベル
MJT出力割り込み5	MJT出力割り込みグループ5 (TOP10出力)	1	エッジ
MJT出力割り込み4	MJT出力割り込みグループ4 (TIO4 ~ TIO7出力)	4	レベル
MJT出力割り込み3	MJT出力割り込みグループ3 (TIO8, TIO9出力)	2	レベル
MJT出力割り込み2	MJT出力割り込みグループ2 (TOP0 ~ TOP5出力)	6	レベル
MJT出力割り込み1	MJT出力割り込みグループ1 (TOP6, TOP7出力)	2	レベル
MJT出力割り込み0	MJT出力割り込みグループ0 (TIO0 ~ TIO3出力)	4	レベル
MJT入力割り込み4	MJT入力割り込みグループ4 (TIN3入力)	1	レベル
MJT入力割り込み3	MJT入力割り込みグループ3 (TIN20 ~ TIN23入力)	4	レベル
MJT入力割り込み2	MJT入力割り込みグループ2 (TIN16 ~ TIN19入力)	4	レベル
MJT入力割り込み1	MJT入力割り込みグループ1 (TIN0入力)	1	レベル

注. 入力要因タイプ

エッジ: ICUに入力される割り込み信号の立ち上がりエッジで、割り込み要求が発生します。

レベル: ICUに入力される割り込み信号の"L"レベルの期間中、割り込み要求が発生します。レベルタイプの場合、ICUの割り込み制御レジスタ中IRQビットに対するソフトウェアによるセット/クリアはできません。

5.3 ICU関連レジスタ

割り込みコントローラ(ICU)関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0000	割り込みベクタレジスタ (IVECT)					
H'0080 0002						
H'0080 0004	割り込みマスクレジスタ (IMASK)					
H'0080 0006	SBI制御レジスタ (SBICR)					
	≈			≈		
H'0080 0060	CAN0送受信&エラー割り込み 制御レジスタ(ICAN0CR)					
H'0080 0062						
H'0080 0064						
H'0080 0066				RTD割り込み制御レジスタ (IRTDCR)		
H'0080 0068	SIO2,3送受信割り込み制御レジスタ (ISIO23CR)			DMA5~9割り込み制御レジスタ (IDMA59CR)		
H'0080 006A						
H'0080 006C	A-D0変換割り込み制御レジスタ (IAD0CCR)			SIO0送信割り込み制御レジスタ (ISIO0TXCR)		
H'0080 006E	SIO0受信割り込み制御レジスタ (ISIO0RXCR)			SIO1送信割り込み制御レジスタ (ISIO1TXCR)		
H'0080 0070	SIO1受信割り込み制御レジスタ (ISIO1RXCR)			DMA0~4割り込み制御レジスタ (IDMA04CR)		
H'0080 0072	MJT出力割り込み制御レジスタ0 (IMJTOCR0)			MJT出力割り込み制御レジスタ1 (IMJTOCR1)		
H'0080 0074	MJT出力割り込み制御レジスタ2 (IMJTOCR2)			MJT出力割り込み制御レジスタ3 (IMJTOCR3)		
H'0080 0076	MJT出力割り込み制御レジスタ4 (IMJTOCR4)			MJT出力割り込み制御レジスタ5 (IMJTOCR5)		
H'0080 0078	MJT出力割り込み制御レジスタ6 (IMJTOCR6)			MJT出力割り込み制御レジスタ7 (IMJTOCR7)		
H'0080 007A				MJT入力割り込み制御レジスタ1 (IMJTICR1)		
H'0080 007C	MJT入力割り込み制御レジスタ2 (IMJTICR2)			MJT入力割り込み制御レジスタ3 (IMJTICR3)		
H'0080 007E	MJT入力割り込み制御レジスタ4 (IMJTICR4)					

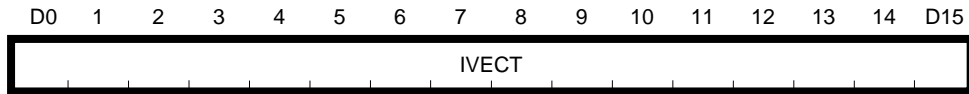
空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図5.3.1 割り込みコントローラ(ICU)関連レジスタマップ

5.3.1 割り込みベクタレジスタ

割り込みベクタレジスタ (IVECT)

<アドレス : H'0080 0000 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	IVECT(ICUベクタテーブルアドレス下位16ビット)	割り込み受け付け時に、受け付けた割り込み要因に対応するICUベクタテーブルアドレスの下位16ビットが格納されます。		-

注 . このレジスタは、必ずハーフワードでアクセスしてください。

割り込みベクタレジスタ(IVECT)は、割り込み受け付け時に、受け付けた割り込み要因のICUベクタテーブルのアドレス下位16ビットが格納されるレジスタです。

ICUベクタテーブル(H'0000 0094 ~ H'0000 010F番地)には、あらかじめ各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定しておきます。割り込み受け付け時には、受け付けた割り込み要因に対応するICUベクタテーブルのアドレス下位16ビットが、このIVECTレジスタにセットされます。EITハンドラでは、このIVECTレジスタの内容を「LDH命令」で読み出すことで、ICUベクタテーブルのアドレスを得ます。

なお、IVECTレジスタを読み出すと、以下の(1)~(4)の動作がハードウェアによって自動的に行われます。

- (1) 受け付けられた新しいIMASK値(NEW_IMASK)を、IMASKレジスタにセット
- (2) 受け付けた割り込み要求をクリア(レベル割り込み要因はクリアされません)
- (3) CPUコアへの割り込み要求(EI)を解除
- (4) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注意

EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みベクタレジスタ(IVECT)の読み出しは行わないでください。またEITハンドラでは、割り込みマスクレジスタ(IMASK)を読み出した後にIVECTレジスタを読み出してください。

5.3.2 割り込みマスクレジスタ

割り込みマスクレジスタ (IMASK)

<アドレス : H'0080 0004 >



<リセット時 : H'07 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5~7	IMASK(割り込みマスク)	000 : マスカブル割り込み禁止 001 : レベル0 割り込み受け付け可 010 : レベル0~1 割り込み受け付け可 011 : レベル0~2 割り込み受け付け可 100 : レベル0~3 割り込み受け付け可 101 : レベル0~4 割り込み受け付け可 110 : レベル0~5 割り込み受け付け可 111 : レベル0~6 割り込み受け付け可		

割り込みマスクレジスタ(IMASK)は、各割り込み要因ごとに設定した優先レベル(割り込み制御レジスタのILEVELビットの設定)と比較して、最終的にその割り込み要求を受け付けるかどうかを決定するレジスタです。

前出の割り込みベクタレジスタ(IVECT)を読み出すと、このIMASKレジスタには新しいマスク値(NEW_IMASK)がセットされます。

なお、IMASKレジスタに書き込みを行うと、以下の(1)~(2)の動作がハードウェアによって自動的に行われます。

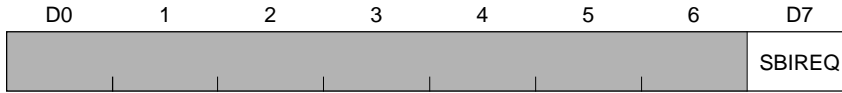
- (1) CPUコアへの割り込み要求(EI)を解除
- (2) ICU内部のシーケンサを起動し、内部処理(割り込み優先度判定)を開始

注意

EITハンドラ(PSWレジスタのIEビットが禁止状態)以外での、割り込みマスクレジスタ(IMASK)への書き込みは行わないでください。

5.3.3 SB(システムブレーク割り込み)制御レジスタ

SB(システムブレーク割り込み)制御レジスタ(SBICR) <アドレス: H'0080 0006>



<リセット時: H'00>

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	SBIREQ(SBI要求)	0: SBI要求なし 1: SBI要求あり		

W = : クリア動作のみ可能(下記参照)

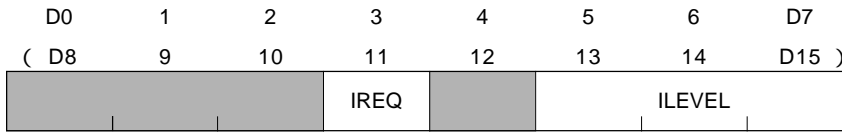
SB(システムブレーク割り込み)は、 $\overline{\text{SBI}}$ 信号に立ち下がりエッジが入力された場合に発生する割り込みです。

SBが発生するとSBI制御レジスタのSBIREQ(SBI要求)ビットが"1"にセットされます。SBIREQビットはソフトウェアでセットすることはできません。セットされたSBIREQをクリアする場合は次の動作を行ってください(ただし、SBI要求が発生していないときに、このクリア動作は行わないでください)。

SBIREQに"1"を書き込み、次にSBIREQに"0"を書き込む。

5.3.4 割り込み制御レジスタ

CAN0 送受信 & エラー割り込み制御レジスタ (ICAN0CR)	< アドレス : H'0080 0060 >
RTD 割り込み制御レジスタ (IRTDCR)	< アドレス : H'0080 0067 >
SIO2,3 送受信割り込み制御レジスタ (ISIO23CR)	< アドレス : H'0080 0068 >
DMA5 ~ 9 割り込み制御レジスタ (IDMA59CR)	< アドレス : H'0080 0069 >
A-D0 変換器割り込み制御レジスタ (IAD0CCR)	< アドレス : H'0080 006C >
SIO0 送信割り込み制御レジスタ (ISIO0TXCR)	< アドレス : H'0080 006D >
SIO0 受信割り込み制御レジスタ (ISIO0RXCR)	< アドレス : H'0080 006E >
SIO1 送信割り込み制御レジスタ (ISIO1TXCR)	< アドレス : H'0080 006F >
SIO1 受信割り込み制御レジスタ (ISIO1RXCR)	< アドレス : H'0080 0070 >
DMA0 ~ 4 割り込み制御レジスタ (IDMA04CR)	< アドレス : H'0080 0071 >
MJT 出力割り込み制御レジスタ 0 (IMJTOCR0)	< アドレス : H'0080 0072 >
MJT 出力割り込み制御レジスタ 1 (IMJTOCR1)	< アドレス : H'0080 0073 >
MJT 出力割り込み制御レジスタ 2 (IMJTOCR2)	< アドレス : H'0080 0074 >
MJT 出力割り込み制御レジスタ 3 (IMJTOCR3)	< アドレス : H'0080 0075 >
MJT 出力割り込み制御レジスタ 4 (IMJTOCR4)	< アドレス : H'0080 0076 >
MJT 出力割り込み制御レジスタ 5 (IMJTOCR5)	< アドレス : H'0080 0077 >
MJT 出力割り込み制御レジスタ 6 (IMJTOCR6)	< アドレス : H'0080 0078 >
MJT 出力割り込み制御レジスタ 7 (IMJTOCR7)	< アドレス : H'0080 0079 >
MJT 入力割り込み制御レジスタ 1 (IMJTICR1)	< アドレス : H'0080 007B >
MJT 入力割り込み制御レジスタ 2 (IMJTICR2)	< アドレス : H'0080 007C >
MJT 入力割り込み制御レジスタ 3 (IMJTICR3)	< アドレス : H'0080 007D >
MJT 入力割り込み制御レジスタ 4 (IMJTICR4)	< アドレス : H'0080 007E >



<リセット時：H'07>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
(8~10)				
3	IREQ(割り込み要求)	0:割り込み要求なし		
(11)		1:割り込み要求あり		
4	何も配置されていません		0	-
(12)				
5~7	ILEVEL(割り込み優先レベル)	000:割り込み優先レベル0		
(13~15)		001:割り込み優先レベル1		
		010:割り込み優先レベル2		
		011:割り込み優先レベル3		
		100:割り込み優先レベル4		
		101:割り込み優先レベル5		
		110:割り込み優先レベル6		
		111:割り込み優先レベル7(割り込み禁止状態)		

W = : 要因入力タイプがエッジタイプ(入力要因が1個の場合)のみセット/クリアできます

(1) IREQ (割り込み要求) ビット (D3またはD11)

内蔵周辺I/Oの割り込み要求が発生すると、IREQ(割り込み要求)ビットが"1"にセットされます。

このビットはエッジタイプ入力の割り込み要因のみソフトウェアでセット/クリアすることができます(レベルタイプは不可)。またエッジタイプ入力の割り込み要因のみ割り込み要求発生でセットされたIREQビットは、割り込みベクタレジスタ(IVECT)を読み出すと、自動的に"0"にクリアされます(ただしレベルタイプはクリアされません)。

割り込み要求発生によるセットとソフトウェアによるクリアが同時に発生した場合は、ソフトウェアによるクリアが優先されます。また、割り込み要求発生によるセットとIVECT読み出しによるクリアが同時に発生した場合は、IVECT読み出しによるクリアが優先されます。

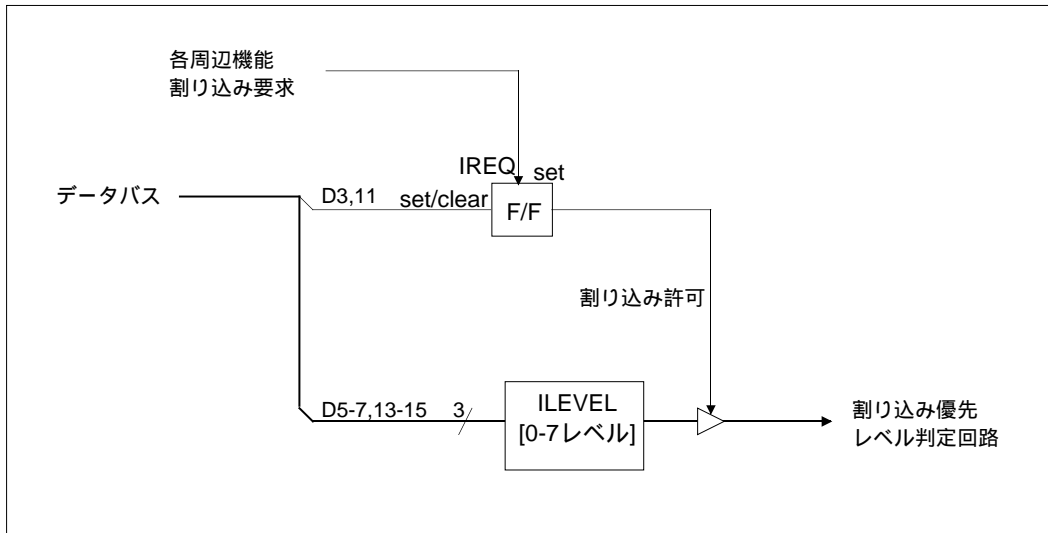


図5.3.2 割り込み制御レジスタ構成(エッジタイプ)

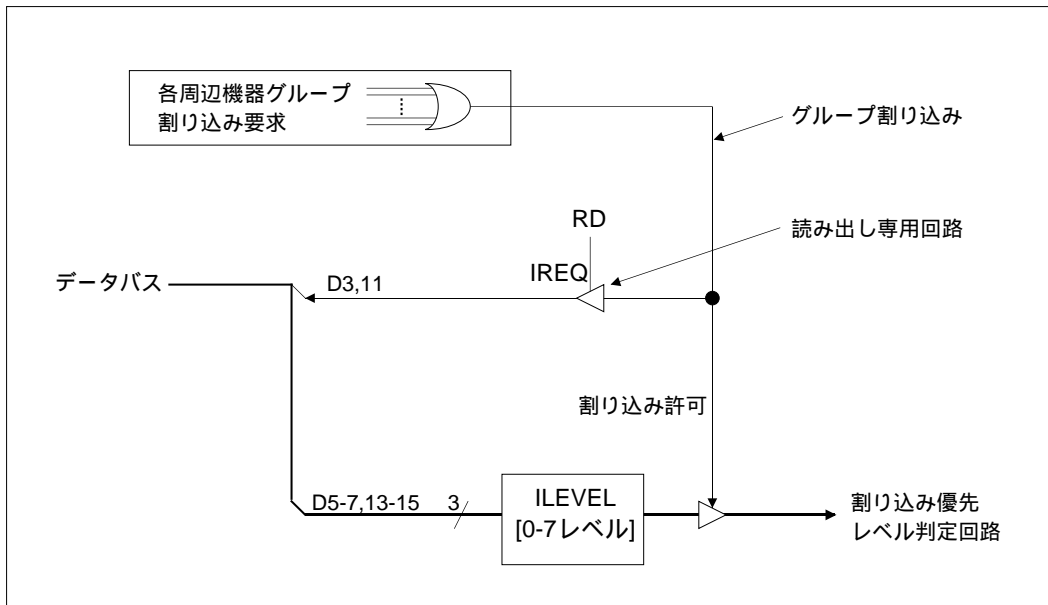


図5.3.3 割り込み制御レジスタ構成(レベルタイプ)

(2) ILEVEL (割り込み優先レベル) (D5 ~ D7またはD13 ~ D15)

各内蔵周辺I/Oの割り込み要求の優先レベルを設定します。内蔵周辺I/Oの割り込みを禁止する場合は7を、割り込みを使用する場合は0~6をセットします。

割り込み発生時、ILEVELの設定をもとに要因間の優先順位を判定するとともに、最終的にIMASKの値と比較してCPUへのEI要求を出力するか、保留するかが決定されます。

ILEVELの設定と受け付けられるIMASK値の関係を以下に示します。

表5.3.1 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0 (ILEVEL = "000")	IMASKが 1~7 のとき受け付けられる
1 (ILEVEL = "001")	IMASKが 2~7 のとき受け付けられる
2 (ILEVEL = "010")	IMASKが 3~7 のとき受け付けられる
3 (ILEVEL = "011")	IMASKが 4~7 のとき受け付けられる
4 (ILEVEL = "100")	IMASKが 5~7 のとき受け付けられる
5 (ILEVEL = "101")	IMASKが 6~7 のとき受け付けられる
6 (ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7 (ILEVEL = "111")	受け付けられない(割り込み禁止状態)

5.4 ICUベクタテーブル

ICUベクタテーブルは、各内蔵周辺I/Oの割り込みハンドラの先頭アドレスを設定するテーブルで、22要因の割り込みに対して以下のアドレスが割り付けられています。

表5.4.1 ICUベクタテーブルアドレス

割り込み要因	ICUベクタテーブルアドレス
MJT入力割り込み4 (TIN3入力)	H'0000 0094 ~ H'0000 0097
MJT入力割り込み3 (TIN20 ~ TIN23入力)	H'0000 0098 ~ H'0000 009B
MJT入力割り込み2 (TIN16 ~ TIN19入力)	H'0000 009C ~ H'0000 009F
MJT入力割り込み1 (TIN0入力)	H'0000 00A0 ~ H'0000 00A3
MJT出力割り込み7 (TMS0, TMS1出力)	H'0000 00A8 ~ H'0000 00AB
MJT出力割り込み6 (TOP8, TOP9出力)	H'0000 00AC ~ H'0000 00AF
MJT出力割り込み5 (TOP10出力)	H'0000 00B0 ~ H'0000 00B3
MJT出力割り込み4 (TIO4 ~ TIO7出力)	H'0000 00B4 ~ H'0000 00B7
MJT出力割り込み3 (TIO8, TIO9出力)	H'0000 00B8 ~ H'0000 00BB
MJT出力割り込み2 (TOP0 ~ TOP5出力)	H'0000 00BC ~ H'0000 00BF
MJT出力割り込み1 (TOP6 ~ TOP7出力)	H'0000 00C0 ~ H'0000 00C3
MJT出力割り込み0 (TIO0 ~ TIO3出力)	H'0000 00C4 ~ H'0000 00C7
DMA0 ~ 4割り込み	H'0000 00C8 ~ H'0000 00CB
SIO1 受信割り込み	H'0000 00CC ~ H'0000 00CF
SIO1 送信割り込み	H'0000 00D0 ~ H'0000 00D3
SIO0 受信割り込み	H'0000 00D4 ~ H'0000 00D7
SIO0 送信割り込み	H'0000 00D8 ~ H'0000 00DB
A-D0変換器割り込み	H'0000 00DC ~ H'0000 00DF
DMA5 ~ 9割り込み	H'0000 00E8 ~ H'0000 00EB
SIO2,3送受信割り込み	H'0000 00EC ~ H'0000 00EF
RTD割り込み	H'0000 00F0 ~ H'0000 00F3
CAN0送受信&エラー割り込み	H'0000 010C ~ H'0000 010F

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 0094		MJT入力割り込み4	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 0096		MJT入力割り込み4	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 0098		MJT入力割り込み3	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009A		MJT入力割り込み3	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 009C		MJT入力割り込み2	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 009E		MJT入力割り込み2	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A0		MJT入力割り込み1	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00A2		MJT入力割り込み1	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00A4						
H'0000 00A6						
H'0000 00A8		MJT出力割り込み7	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AA		MJT出力割り込み7	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00AC		MJT出力割り込み6	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00AE		MJT出力割り込み6	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B0		MJT出力割り込み5	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B2		MJT出力割り込み5	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B4		MJT出力割り込み4	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00B6		MJT出力割り込み4	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00B8		MJT出力割り込み3	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BA		MJT出力割り込み3	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00BC		MJT出力割り込み2	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00BE		MJT出力割り込み2	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C0		MJT出力割り込み1	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C2		MJT出力割り込み1	ハンドラ先頭番地 (A16 ~ A31)			
H'0000 00C4		MJT出力割り込み0	ハンドラ先頭番地 (A0 ~ A15)			
H'0000 00C6		MJT出力割り込み0	ハンドラ先頭番地 (A16 ~ A31)			

空き領域は予約領域です。

図5.4.1 ICUベクタテーブルのメモリマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0000 00C8		DMA0-4割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00CA		DMA0-4割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00CC		SIO1受信割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00CE		SIO1受信割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00D0		SIO1送信割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00D2		SIO1送信割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00D4		SIO0受信割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00D6		SIO0受信割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00D8		SIO0送信割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00DA		SIO0送信割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00DC		A-D0変換割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00DE		A-D0変換割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00E0						
H'0000 00E2						
H'0000 00E4						
H'0000 00E6						
H'0000 00E8		DMA5-9割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00EA		DMA5-9割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00EC		SIO2送受信割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00EE		SIO2送受信割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00F0		RTD割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 00F2		RTD割り込み	ハンドラ先頭番地	(A16-A31)		
H'0000 00F4						
H'0000 00F6						
H'0000 00F8						
H'0000 00FA						
H'0000 00FC						
H'0000 00FE						
H'0000 0100						
H'0000 0102						
H'0000 0104						
H'0000 0106						
H'0000 0108						
H'0000 010A						
H'0000 010C		CAN0送受信&エラー割り込み	ハンドラ先頭番地	(A0-A15)		
H'0000 010E		CAN0送受信&エラー割り込み	ハンドラ先頭番地	(A16-A31)		

空き領域は予約領域です。

図5.4.2 ICUベクタテーブルのメモリマップ(2/2)

5.5 割り込み動作説明

5.5.1 内蔵周辺I/Oの割り込み受け付け

内蔵周辺I/Oからの割り込みは、割り込み制御レジスタで設定したILEVELと、割り込みマスクレジスタのIMASK値を比較して、IMASK値よりも優先度が高ければ受け付けます。ただし同時に複数の割り込み要求が発生した場合は、以下の手順で受け付けるかどうかを判定します。

各内蔵周辺I/Oの割り込み制御レジスタで設定されたILEVEL値の比較
 ILEVEL値が同一の場合は、ハードウェアであらかじめ決められた優先順位の適用
 ILEVEL値とIMASK値の比較

同時に複数の割り込み要求が発生した場合、まず、各割り込み制御レジスタのILEVELで設定した優先度を比較して、優先度のもっとも高い割り込みが選ばれます。ILEVELの値が同じ場合は、ハードウェア固定の優先順位に従います。

最終的に選ばれた割り込みのILEVELとIMASK値を比較して、IMASK値よりも優先度が高ければ、CPUに対してE1要求が出されます。

なお、割り込み要求のマスクは、各内蔵周辺I/Oの割り込みマスクレジスタ、割り込みコントローラのILEVEL設定(レベル7で禁止)、およびPSWレジスタのIEビットの設定で行います。

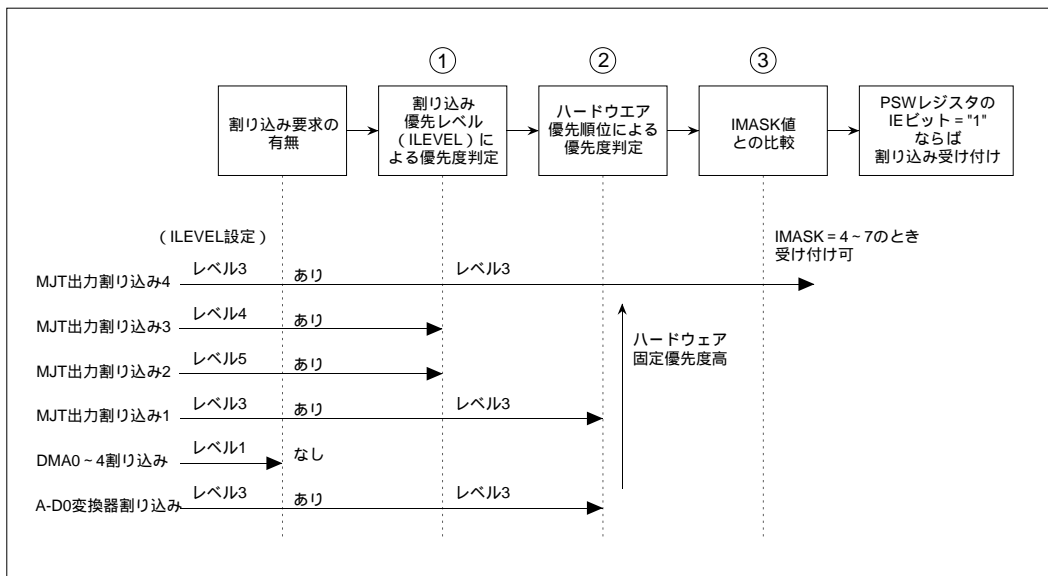


図5.5.1 割り込み受け付け時の優先順位判定例

表5.5.1 ハードウェアで固定された優先順位

優先順位	割り込み要因	ICUベクタテーブルアドレス	入力要因タイプ
高 ↓ 低	MJT入力割り込み4(TIN3入力)	H'0000 0094 ~ H'0000 0097	レベル
	MJT入力割り込み3(TIN20~TIN23入力)	H'0000 0098 ~ H'0000 009B	レベル
	MJT入力割り込み2(TIN16~TIN19入力)	H'0000 009C ~ H'0000 009F	レベル
	MJT入力割り込み1(TIN0入力)	H'0000 00A0 ~ H'0000 00A3	レベル
	MJT出力割り込み7(TMS0, TMS1出力)	H'0000 00A8 ~ H'0000 00AB	レベル
	MJT出力割り込み6(TOP8, TOP9出力)	H'0000 00AC ~ H'0000 00AF	レベル
	MJT出力割り込み5(TOP10出力)	H'0000 00B0 ~ H'0000 00B3	エッジ
	MJT出力割り込み4(TIO4~TIO7出力)	H'0000 00B4 ~ H'0000 00B7	レベル
	MJT出力割り込み3(TIO8, TIO9出力)	H'0000 00B8 ~ H'0000 00BB	レベル
	MJT出力割り込み2(TOP0~TOP5出力)	H'0000 00BC ~ H'0000 00BF	レベル
	MJT出力割り込み1(TOP6, TOP7出力)	H'0000 00C0 ~ H'0000 00C3	レベル
	MJT出力割り込み0(TIO0~TIO3出力)	H'0000 00C4 ~ H'0000 00C7	レベル
	DMA0~4割り込み	H'0000 00C8 ~ H'0000 00CB	レベル
	SIO1受信割り込み	H'0000 00CC ~ H'0000 00CF	エッジ
	SIO1送信割り込み	H'0000 00D0 ~ H'0000 00D3	エッジ
	SIO0受信割り込み	H'0000 00D4 ~ H'0000 00D7	エッジ
	SIO0送信割り込み	H'0000 00D8 ~ H'0000 00DB	エッジ
	A-D0変換器割り込み	H'0000 00DC ~ H'0000 00DF	エッジ
	DMA5~9割り込み	H'0000 00E8 ~ H'0000 00EB	レベル
	SIO2,3送受信割り込み	H'0000 00EC ~ H'0000 00EF	レベル
RTD割り込み	H'0000 00F0 ~ H'0000 00F3	エッジ	
CAN0送受信&エラー割り込み	H'0000 010C ~ H'0000 010F	レベル	

表5.5.2 ILEVELの設定と受け付けられるIMASK値

ILEVEL設定値	割り込みが受け付けられるIMASK値
0(ILEVEL = "000")	IMASKが 1～7 のとき受け付けられる
1(ILEVEL = "001")	IMASKが 2～7 のとき受け付けられる
2(ILEVEL = "010")	IMASKが 3～7 のとき受け付けられる
3(ILEVEL = "011")	IMASKが 4～7 のとき受け付けられる
4(ILEVEL = "100")	IMASKが 5～7 のとき受け付けられる
5(ILEVEL = "101")	IMASKが 6～7 のとき受け付けられる
6(ILEVEL = "110")	IMASKが 7 のとき受け付けられる
7(ILEVEL = "111")	受け付けられない(割り込み禁止状態)

5.5.2 内蔵周辺I/Oの割り込みハンドラ処理

(1) 割り込みハンドラへの分岐

CPUが割り込みを受け付けると、4.3章「EITの処理手順」に示すとおり、ハードウェア前処理を行った後、EITベクタエントリへ分岐します。外部割り込み(EI)に割り当てられたEITベクタエントリは、H'0000 0080番地で、ここには外部割り込みに対する割り込みハンドラプログラムの先頭への分岐命令(分岐先アドレスではないことに注意)を書きます。

(2) 割り込みハンドラでの処理

外部割り込み(EI)のハンドラでは、まずBPCレジスタ、PSWレジスタおよび汎用レジスタをスタックに退避してください。

次に割り込みマスクレジスタ(IMASK)を読み出してスタックに退避し、その後で割り込みベクタレジスタ(IVECT)を読み出します。IMASKは、必ずIVECTリードする前に読み出してください。IMASKへのライトとIVECTのリードは、ともにCPUへの割り込み要求のクリアと次の割り込み受け付けのための動作を引き起こします。またIVECTのリードは、これに加えてIMASKへのNEW_IMASKのセットと、受け付けられた割り込み要求のクリア(ただしレベル割り込み要因はクリアされない)を行います。

IVECTレジスタには、受け付けられた割り込み要因に対応したICUベクタテーブルのアドレスの下位16ビットがセットされています。IVECTレジスタを符号付きハーフワードロード命令(LDH命令)で読み出して、それをアドレスとするICU割り込みベクタテーブルの内容を読み出します。

ICUベクタテーブルには、各内蔵周辺I/Oの割り込みハンドラ先頭アドレスを書いておき、読み出したこのアドレスに分岐して各ハンドラ処理を実行します。

なお、復帰の際は、PSWレジスタのIEビットを"0"にクリアして割り込みを禁止してからIMASK値を戻してください。

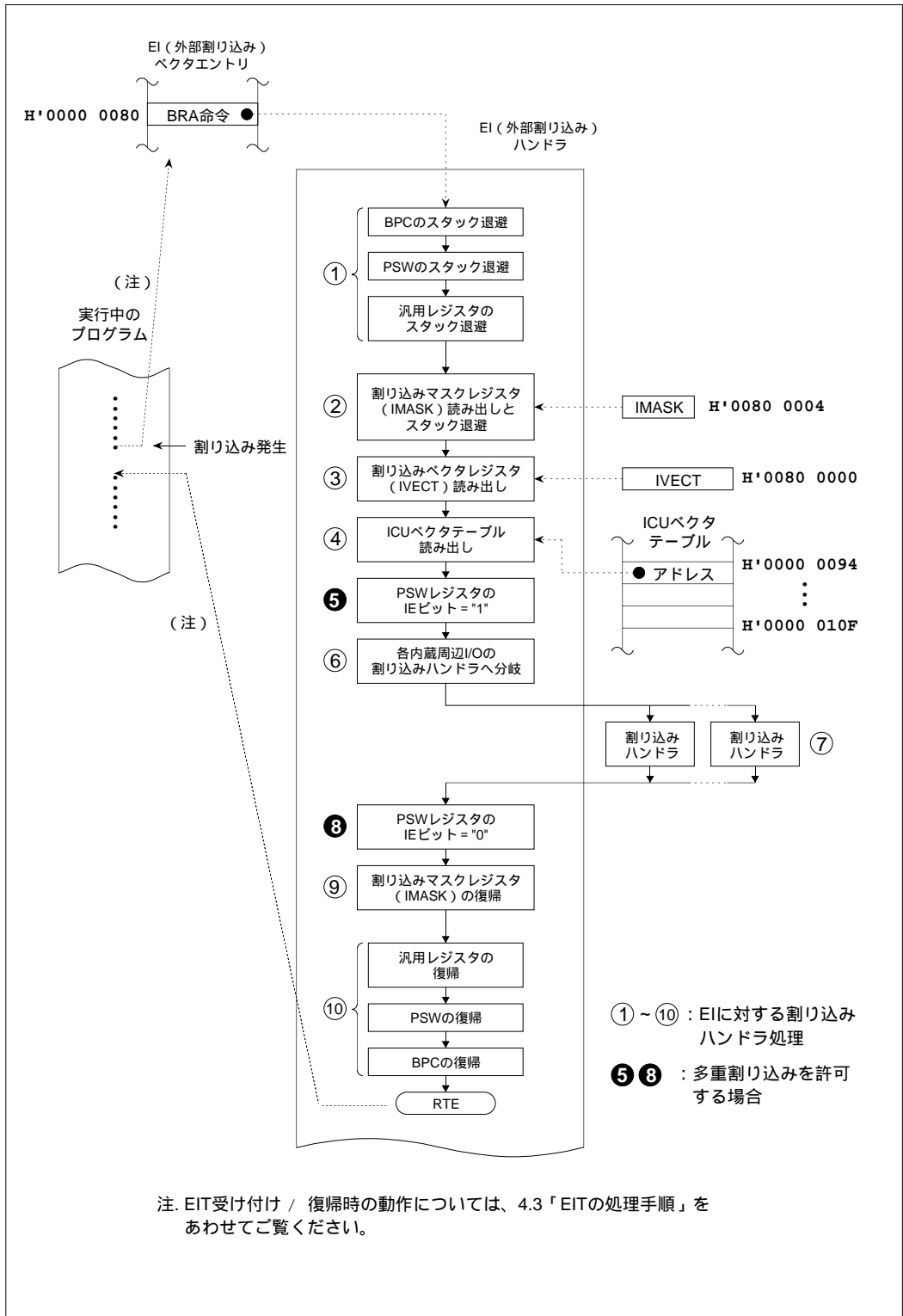
(3) 割り込み発生元の特定

各内蔵周辺I/Oで割り込みに複数の要因がある場合は、各内蔵周辺I/Oの割り込みステータスレジスタで、要因を特定してください。

(4) 多重割り込みの許可

割り込みハンドラ内で多重割り込みを許可する場合は、PSWレジスタのIE(割り込みイネーブル)ビットに"1"をセットして、割り込みの受け付けを許可してください。ただし、IEに"1"を書き込む前に、必ず各レジスタ(BPC, PSW, 汎用レジスタおよびIMASK)をスタックに退避してください。

なお、割り込みの許可は、「図5.5.2 内蔵周辺I/Oからの割り込み動作例」に示すように、割り込みベクタレジスタ(IVECT)読み出し後、ICUベクタテーブルを読み出してから行って下さい。



注. EIT受け付け / 復帰時の動作については、4.3「EITの処理手順」をあわせてご覧ください。

図5.5.2 内蔵周辺I/Oからの割り込み動作例

5.6 システムブレイク割り込み(SBI)動作説明

5.6.1 SBIの受け付け

SBIは、電源の異常検出や外部ウォッチドックタイマの異常検出に対して使用される緊急用の割り込みです。SBIは、PSWレジスタのIEビットの値にかかわらず、SBI信号の立ち下がりエッジの検出で常時受け付けられ、マスクすることはできません。

5.6.2 SBIのハンドラ処理

SBIに対する処置が終わった後は、割り込み発生時に実行していた元のプログラムには復帰しないで、必ずシステムを終了またはリセットしてください。

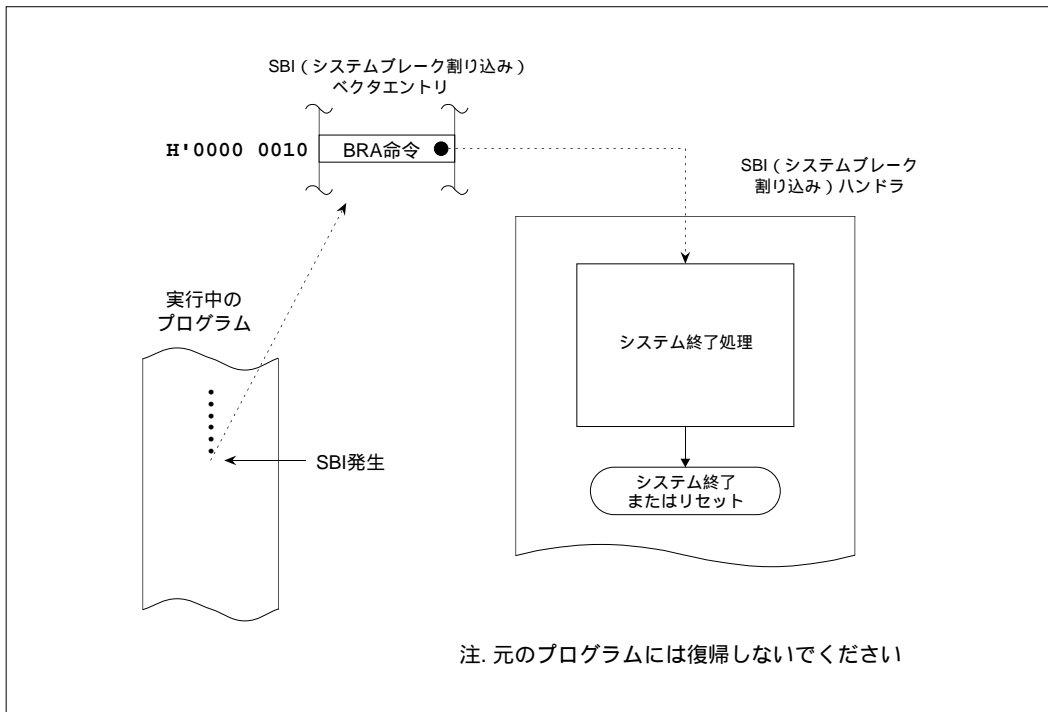


図5.6.1 SBI動作例

空きページです

第 6 章

内蔵メモリ

- 6.1 内蔵メモリ概要
- 6.2 内蔵RAM
- 6.3 内蔵フラッシュメモリ
- 6.4 内蔵フラッシュメモリ関連レジスタ
- 6.5 内蔵フラッシュメモリの書き込み
- 6.6 ブート ROM
- 6.7 疑似フラッシュエミュレーション機能
- 6.8 シリアルライタとの接続
- 6.9 内蔵フラッシュメモリのプロテクト機能
- 6.10 フラッシュメモリ書き換え時の注意事項

6.1 内蔵メモリ概要

32171は、以下のメモリを内蔵しています。

- 16KバイトのRAM
- 512Kバイト、384Kバイト、および256Kバイトのフラッシュメモリ

6.2 内蔵RAM

内蔵RAM仕様を以下に示します。

表6.2.1 内蔵RAMの仕様

項目	仕様
容量	16Kバイト
配置アドレス	H'0080 4000 ~ H'0080 7FFF
ウェイト挿入	ノーウェイト動作(CPUクロック40MHz時)
内部バス接続	32ビットバス接続
デュアルポート	RTD(リアルタイムデバッグ)により、CPUとは独立して外部からシリアル通信で内蔵RAM全域のデータ読み出し(モニタ)、書き込みが可能(第14章「リアルタイムデバッグ」をご覧ください)

注. パワーオンリセット時、内蔵RAMの値は不定です。(ただし、VDD端子に2.0V ~ 3.6V印加された状態でリセットし、リセット解除した場合、リセット前の内容を保持しています。)

6.3 内蔵フラッシュメモリ

内蔵フラッシュメモリ仕様を以下に示します。

表6.3.1 内蔵フラッシュメモリの仕様

項目	仕様
容量	M32171F4 : 512Kバイト、 M32171F3 : 384Kバイト、 M32171F2 : 256Kバイト
配置アドレス	M32171F4 : H'0000 0000 ~ H'0007 FFFF M32171F3 : H'0000 0000 ~ H'0005 FFFF M32171F2 : H'0000 0000 ~ H'0003 FFFF
ウェイト挿入	ノーウェイト動作(CPUクロック40MHz時)
書き換え回数	100回
内部バス接続	32ビットバス接続
その他	疑似フラッシュエミュレーション機能装備 (6.7「疑似フラッシュエミュレーション機能」をご覧ください)

6.4 内蔵フラッシュメモリ関連レジスタ

内蔵フラッシュメモリ関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 07E0	フラッシュモードレジスタ (FMODE)			フラッシュステータスレジスタ1 (FSTAT1)		
H'0080 07E2	フラッシュ制御レジスタ1 (FCNT1)			フラッシュ制御レジスタ2 (FCNT2)		
H'0080 07E4	フラッシュ制御レジスタ3 (FCNT3)			フラッシュ制御レジスタ4 (FCNT4)		
H'0080 07E6						
H'0080 07E8	疑似フラッシュLバンクレジスタ0 (FELBANK0)					
H'0080 07EA						
H'0080 07EC						
H'0080 07EE						
H'0080 07F0	疑似フラッシュSバンクレジスタ0 (FESBANK0)					
H'0080 07F2	疑似フラッシュSバンクレジスタ1 (FESBANK1)					

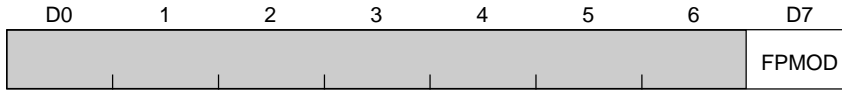
空き領域は予約領域です。

図6.4.1 内蔵フラッシュメモリ関連レジスタマップ

6.4.1 フラッシュモードレジスタ

フラッシュモードレジスタ(FMOD)

<アドレス : H'0080 07E0 >



<リセット時 : H'0? >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	FPMOD (外部FP端子ステータス)	0 : FP端子 = 'L' 1 : FP端子 = 'H'		-

フラッシュモードレジスタ(FMOD)は読み出し専用のステータスレジスタで、FPMODはFP (Flash Protect)端子のステータスを示します。

FPMODが"1"の時のみ、フラッシュメモリへの書き込みが許可状態となり、FPMODが"0"の時に実行したフラッシュメモリへの書き込みは無効となります。

6.4.2 フラッシュステータスレジスタ

32171には、フラッシュメモリのステータスを示すレジスタがSFR領域(アドレス：H'0080 07E1)のフラッシュステータスレジスタ1(FSTAT1)と、フラッシュメモリ内蔵のフラッシュステータスレジスタ2(FSTAT2)があります。フラッシュメモリに対するプログラム、イレーズ時には、両ステータスレジスタ(FSTAT1,FSTAT2)を使用し、制御ください。

フラッシュステータスレジスタ1 (FSTAT1)

<アドレス：H'0080 07E1 >



<リセット時：H'01 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FSTAT	0 : Busy (Ready/Busyステータス)		-
		1 : Ready		

フラッシュステータスレジスタ1(FSTAT1)は、フラッシュメモリに対するプログラム実行中、またはイレーズ実行中を知るための読み出し専用ステータスレジスタです。

注 . FSTATビットが"0"(Busy)の間は、フラッシュ制御レジスタ4(FCNT4)のFRESETビットを操作しないでください。

フラッシュステータスレジスタ2 (FSTAT2)

D8	9	10	11	12	13	14	D15
FBUSY		ERASE	WRERR1	WRERR2			

<リセット時：H'80>

D	ビット名	機能	R	W
8	FBUSY (フラッシュビジー)	0: プログラム or イレーズ中 1: レディ状態		-
9	何も配置されていません		0	-
10	ERASE (オートイレーズの動作状況)	0: イレーズ正常動作中 / 終了 1: イレーズエラー発生		-
11	WRERR1 (プログラム動作状況1)	0: プログラム正常動作中 / 終了 1: プログラムエラー発生		-
12	WRERR2 (プログラム動作状況2)	0: プログラム正常動作中 / 終了 1: 過剰プログラムが発生		-
13~15	何も配置されていません		0	-

フラッシュステータスレジスタ2 (FSTAT2) はフラッシュメモリの動作状態を示す以下の4つの読み出し専用ステータスビットで構成されています。

(1) FBUSY (フラッシュビジー) ビット (D8)

FBUSYビットは、フラッシュメモリへのプログラムおよびイレーズ処理実行時に終了判定を行うビットです。

このビットが"0"のとき処理実行中を示し、"1"のとき終了を示します。

(2) ERASE (オートイレーズの動作状況) ビット (D10)

ERASEビットは、フラッシュメモリへのイレーズ処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときイレーズエラーを示します。

(3) WRERR1 (プログラム動作状況1) ビット (D11)

WRERR1ビットはフラッシュメモリへのプログラム処理完了後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときプログラムエラーを示します。

WRERR1が"1"にセットされる条件は、書き込みデータとフラッシュメモリ上のデータを比較し、"0"にすべきビット以外で"0"のビットが検出された場合です。

(4) WRERR2 (プログラム動作状況2) ビット (D12)

WRERR2ビットは、フラッシュメモリへのプログラム処理実行後エラー判定を行うビットです。

このビットが"0"のとき正常終了を示し、"1"のときプログラムエラーを示します。

WRERR2が"1"にセットされる条件は、書き込み処理を指定回数繰り返しても書き込めない場合です。

注1 . このレジスタは、フラッシュメモリに内蔵されているステータスレジスタで、内蔵フラッシュメモリの任意アドレスにリードステータスコマンド(H'7070)をライトすることで読み出し可能となります。詳しくは、6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

注2 . FBUYビットが"0"(プログラム/イレーズ中)の間は、フラッシュ制御レジスタ4 (FCNT4)のFRESETビットを操作しないでください。

6.4.3 フラッシュ制御レジスタ

フラッシュ制御レジスタ1 (FCNT1)

< アドレス : H'0080 07E2 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	FENTRY (フラッシュモードエントリ)	0 : 通常リード 1 : イレーズ/プログラム可能		
4~6	何も配置されていません		0	-
7	FEMMOD (疑似フラッシュ エミュレーションモード)	0 : 通常モード 1 : 疑似フラッシュエミュレーションモード		

フラッシュ制御レジスタ1(FCNT1)は内蔵フラッシュメモリの制御を行う以下の2つのビットで構成されています。

(1) FENTRY (フラッシュモードエントリ) ビット (D3)

FENTRYビットはフラッシュE/Wイネーブルモードへの移行を制御するビットです。このビットが"1"の場合のみフラッシュE/Wイネーブルモードへ移行します。

FENTRYビットに"1"をセットするには、FP端子 = "H"の状態ではFENTRYビットに連続して"0" "1"の書き込みを行います。

FENTRYビットのクリアには以下の条件があります。

- ・ FENTRYビットへの"0"書き込み
- ・ リセット時
- ・ FP端子を"H"から"L"へ変化させた時

注 . フラッシュメモリへのプログラム/イレーズ中で、フラッシュステータスレジスタ1 (FSTAT1) のFSTATビットが"0"(Busy状態) またはフラッシュステータスレジスタ2 (FSTAT2) のFBUSYビットが"0"(プログラム/イレーズ中)では、FENTRYビットのクリアは行わないでください。

FENTRYビットが"0"でフラッシュ上のプログラムを使用する場合には、EIベクタエントリはフラッシュ上のH'0000 0080になります。FENTRYビットが"1"でフラッシュ書き換えプログラムをRAM上で動作させる場合には、EIベクタエントリはRAM上のH'0080 4000になり、割り込みを使用したフラッシュ書き換え制御が使用できます。

表6.4.1 FENTRYによるEIベクタエントリの遷移

FENTRY	EIベクタエントリ	番地
0	フラッシュ領域	H'0000 0080
1	内蔵RAM領域	H'0080 4000

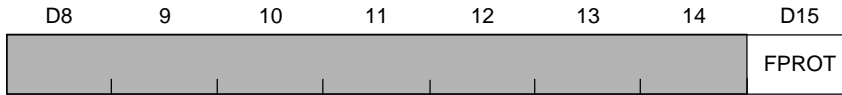
(2) FEMMOD (疑似フラッシュエミュレーションモード) ビット (D7)

FEMMODビットは、疑似フラッシュエミュレーションモードへの移行を制御するビットです。FENTRYビット="0"の状態ではFEMMODビットに"1"をセットすると疑似フラッシュエミュレーションモードへ移行します。

(詳しくは、6.7「疑似フラッシュエミュレーション機能」をご覧ください)。

フラッシュ制御レジスタ2 (FCNT2)

< アドレス : H'0080 07E3 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8 ~ 14	何も配置されていません		0	-
15	FPROT (ロック解除)	0 : ロックビットによるプロテクト有効 1 : ロックビットによるプロテクト無効		

フラッシュ制御レジスタ2(FCNT2)は、内蔵フラッシュメモリのロックビットによるプロテクト(フラッシュメモリへのイレーズ/プログラムの禁止)無効の制御を行います。FPROTビットに"1"をセットすると、フラッシュメモリのプロテクトが無効となり、ロックビットでプロテクトされたブロックに対するイレーズ/プログラムが可能となります。

FPROTビットに"1"をセットするには、FENTRYビット="1"の状態ではFPROTビットに連続して"0" "1"の書き込みを行います。

また、以下の条件でFPROTビットが"0"クリアされます。

- ・リセット解除後
- ・FPROTビットへの"0"書き込み
- ・FP端子 = "L"
- ・FENTRYビットの"0"クリア

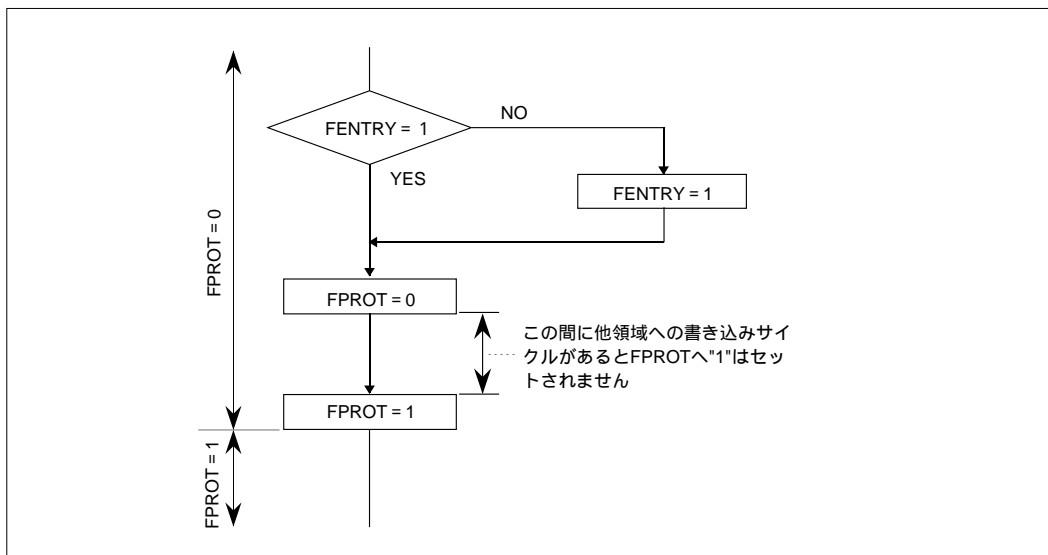
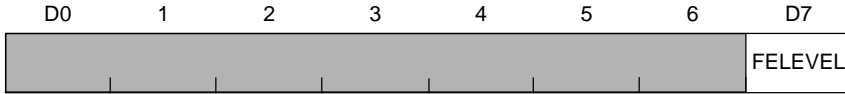


図6.4.2 プロテクト解除フロー

フラッシュ制御レジスタ3 (FCNT3)

<アドレス : H'0080 07E4 >



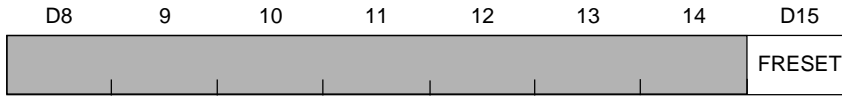
<リセット時 : H'00 >

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
7	FELEVEL (消去マージンアップ)	0 : 通常レベル 1 : 消去マージンアップ		

フラッシュ制御レジスタ3(FCNT3)は、イレーズ系コマンドで内蔵フラッシュメモリの消去する場合、消去レベルの深さの制御を行います。FELEVELビットに"1"をセットすると、フラッシュメモリの消去レベルをより深く行うことができ、信頼性マージンを向上させることができます。

フラッシュ制御レジスタ4 (FCNT4)

< アドレス : H'0080 07E5 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	FRESET (フラッシュリセット)	0 : 何もしません 1 : リセット		

フラッシュ制御レジスタ4(FCNT4)は、プログラム/イレーズ動作途中でキャンセル、またはフラッシュステータスレジスタ2(FSTAT2)の各ステータスビットの初期化を制御するレジスタです。

FRESETビットに"1"をセットすると、プログラム/イレーズ動作途中でキャンセル、および、FSTAT2の各ステータスビットの初期化(H'80)を行います。

FRESETビットは、FENTRYビット = "1"のみ有効です。FENTRYビット = "1"以外は、FRESETビット情報を無視します。

フラッシュメモリへのプログラム/イレーズ時には、FRESETビットを"0"の状態に制御ください。

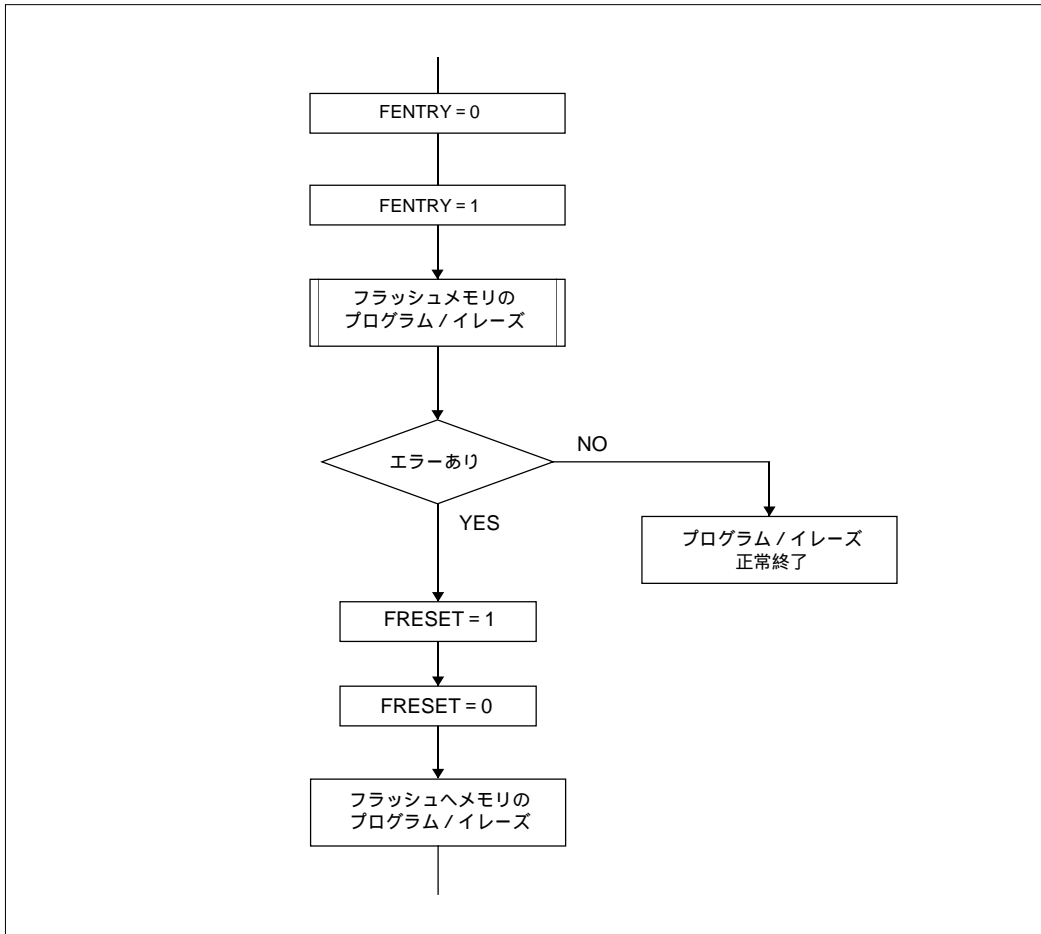


図6.4.3 FCNT4レジスタの使用例1(フラッシュステータスレジスタ2の初期化)

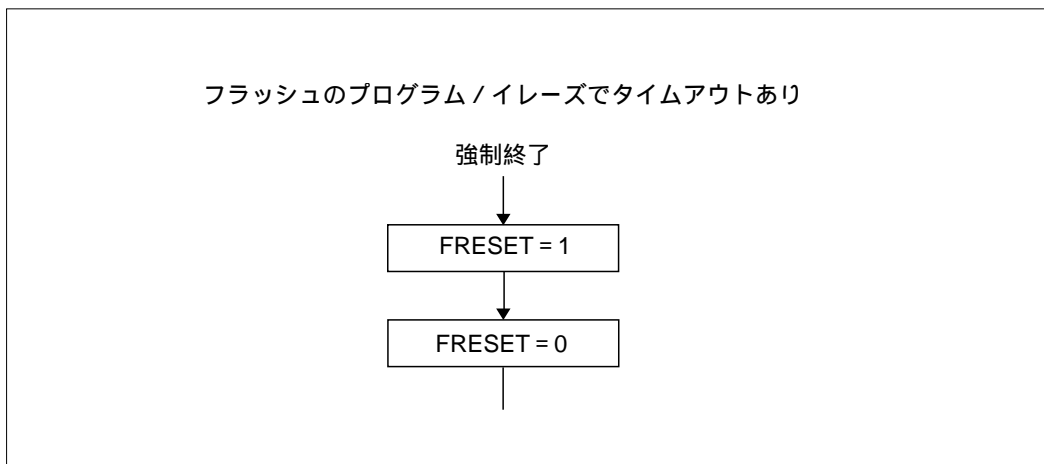


図6.4.4 FCNT4レジスタの使用例2(フラッシュメモリのプログラム/イレーズ強制終了)

6.4.4 疑似フラッシュLバンクレジスタ

疑似フラッシュLバンクレジスタ(FELBANK0)

<アドレス : H'0080 07E8 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0	MODENL (疑似フラッシュ エミュレーションイネーブル)	0 : 疑似フラッシュ機能ディスエーブル 1 : 疑似フラッシュ機能イネーブル		
1~7	何も配置されていません		0	-
8~14	LBANKAD (Lバンクアドレス)	該当Lバンクの先頭アドレスのA12~A18		
15	何も配置されていません		0	-

注. このレジスタは、必ずハーフワードでアクセスしてください。

(1)MODENL (疑似フラッシュエミュレーションイネーブル) ビット (D0)

疑似フラッシュエミュレーションモードへ移行(FENTRYビット = "0"の状態)でFEMMODビットに"1"をセット後、MODENLビットに"1"をセットすることで、LBANKADビットで選択したLバンク領域に対して、疑似フラッシュエミュレーション機能が有効になります。

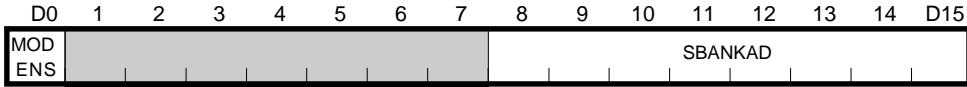
(2)LBANKAD (Lバンクアドレス) ビット (D8 ~ D14)

LBANKADビットは、8KB毎に区切られたLバンクから一つのLバンクを選択するためのビットです。選択したいLバンクの先頭アドレス(32ビット)のA12~A18の7ビットをLBANKADビットに設定します。

(詳しくは、6.7「疑似フラッシュエミュレーション機能」をご覧ください。)

6.4.5 疑似フラッシュSバンクレジスタ

疑似フラッシュSバンクレジスタ0 (FESBANK0) <アドレス : H'0080 07F0>
 疑似フラッシュSバンクレジスタ1 (FESBANK1) <アドレス : H'0080 07F2>



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0	MODENS (疑似フラッシュ エミュレーションイネーブル)	0 : 疑似フラッシュ機能ディスエーブル 1 : 疑似フラッシュ機能イネーブル		
1~7	何も配置されていません		0	-
8~15	SBANKAD (Sバンクアドレス)	該当Sバンクの先頭アドレスのA12~A19		

注. このレジスタは、必ずハーフワードでアクセスしてください。

(1)MODENS (疑似フラッシュエミュレーションイネーブル) ビット (D0)

疑似フラッシュエミュレーションモードへ移行(FENTRYビット = "0"の状態 でFEMMODビットに"1"をセット)後、MODENSビットに"1"をセットすることで、SBANKADビットで選択したSバンク領域に対して、疑似フラッシュエミュレーション機能が有効になります。

(2)SBANKAD (Sバンクアドレス) ビット (D8 ~ D15)

SBANKADビットは、4KB毎に区切られたSバンクから一つのSバンクを選択するためのビットです。選択したいSバンクの先頭アドレス(32ビット)のA12~A19の8ビットをSBANKADビットに設定します。

(詳しくは、6.7「疑似フラッシュエミュレーション機能」をご覧ください)。

6.5 内蔵フラッシュメモリの書き込み

6.5.1 フラッシュメモリ書き込みの概要

内蔵フラッシュメモリへ書き込みを行う場合、次の2つの方法があります。

(1) 内蔵フラッシュメモリ上に書き込みプログラムがない場合

FP端子 = "H"、MOD0 = "H"、MOD1 = "L"に設定し、ブートモードに移行します。このときリセットベクタエントリは、ブートプログラム領域の先頭(H'8000 0000)になります(通常リセットベクタエントリは内蔵フラッシュメモリの先頭番地)。

ブートプログラムを使用して、ブート領域内の「フラッシュ書き込みプログラム」を内蔵RAMに転送します。転送後RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1のFENTRYビットに"1"をセットし、フラッシュメモリへ書き込み可能状態(フラッシュE/Wイネーブルモード)にします。

以後は内蔵RAM上に転送した「フラッシュ書き込みプログラム」により、内蔵フラッシュメモリへの書き込み操作を行います。

(2) 内蔵フラッシュメモリ上にすでに書き込みプログラムがある場合

FP端子 = "H"、MOD0 = "L"、MOD1 = "L"に設定し、シングルチップモードに移行します。あらかじめ内蔵フラッシュメモリ内に用意した「フラッシュ書き込みプログラム」を内蔵RAMに転送します。転送後RAM上へジャンプし、RAM上のプログラムでフラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"にセットし、フラッシュメモリへ書き込み可能状態(フラッシュE/Wイネーブルモード)にします。

以後は内蔵RAM上に転送した「フラッシュ書き込みプログラム」により、内蔵フラッシュメモリへの書き込み操作を行います。

FP端子 = "H"、MOD0 = "L"、MOD1 = "H"に設定し、外部拡張モードでフラッシュE/Wイネーブルモードに移行することもできます。

フラッシュE/Wイネーブルモード(FP端子 = 1、FENTRY = 1)に移行すると、通常モード時はフラッシュ領域(H'0000 0080)にある外部割り込み(EI)のEITベクタエントリが、内蔵RAMの先頭(H'0080 4000)に移動します。

フラッシュE/Wイネーブルモードで外部割り込み(EI)を使用する場合は、内蔵RAMの先頭に、内蔵RAMに転送した外部割り込み(EI)ハンドラへの分岐命令を記述します。また、外部割り込み(EI)ハンドラで読み出すIVECTレジスタには、フラッシュメモリ上のICUベクタテーブルアドレスが格納されます。そのため、フラッシュE/Wイネーブルモード時に使用するICUベクタテーブルを内蔵RAM上に用意し、IVECTレジスタの値を内蔵RAM上のICUベクタテーブルのアドレスに変換(オフセット分を加算など)して、分岐処理を行います。

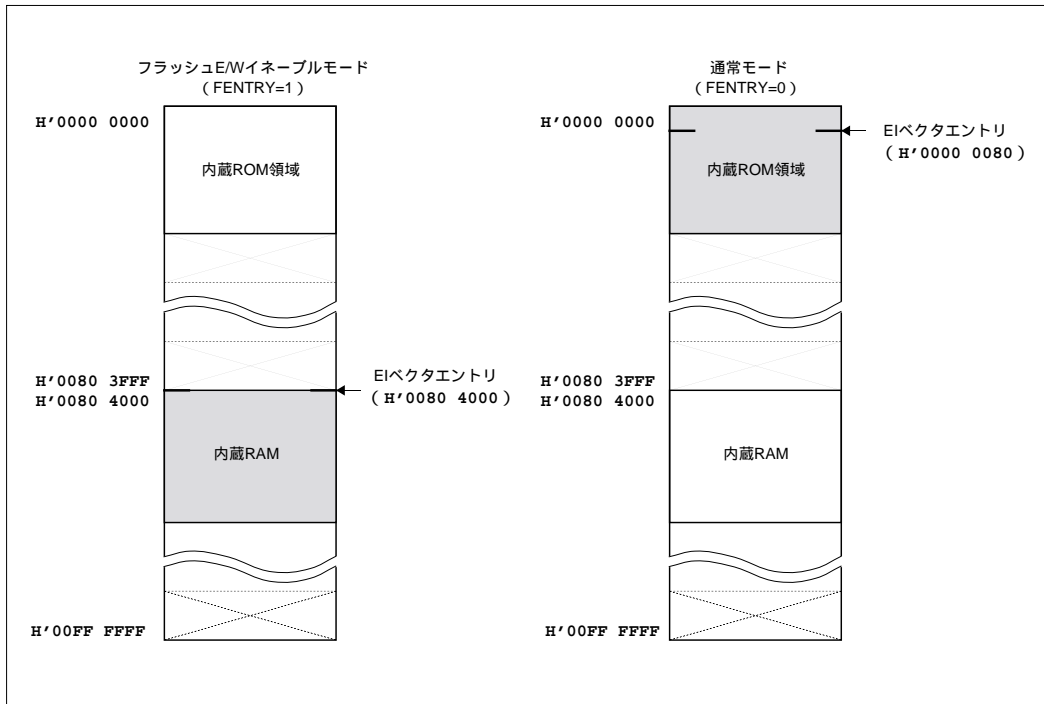


図6.5.1 フラッシュE/Wイネーブルモード時のEIベクタエントリ

(1) 内蔵フラッシュメモリ上に書き込みプログラムがない場合

メモリマップ上に配置したブートROM上のプログラムにより、フラッシュメモリに書き込みます。書き換えデータの転送には、シリアルI/O1をクロック同期シリアルで使用します。フラッシュライターを使用してフラッシュ書き込みを行う場合に使用します。

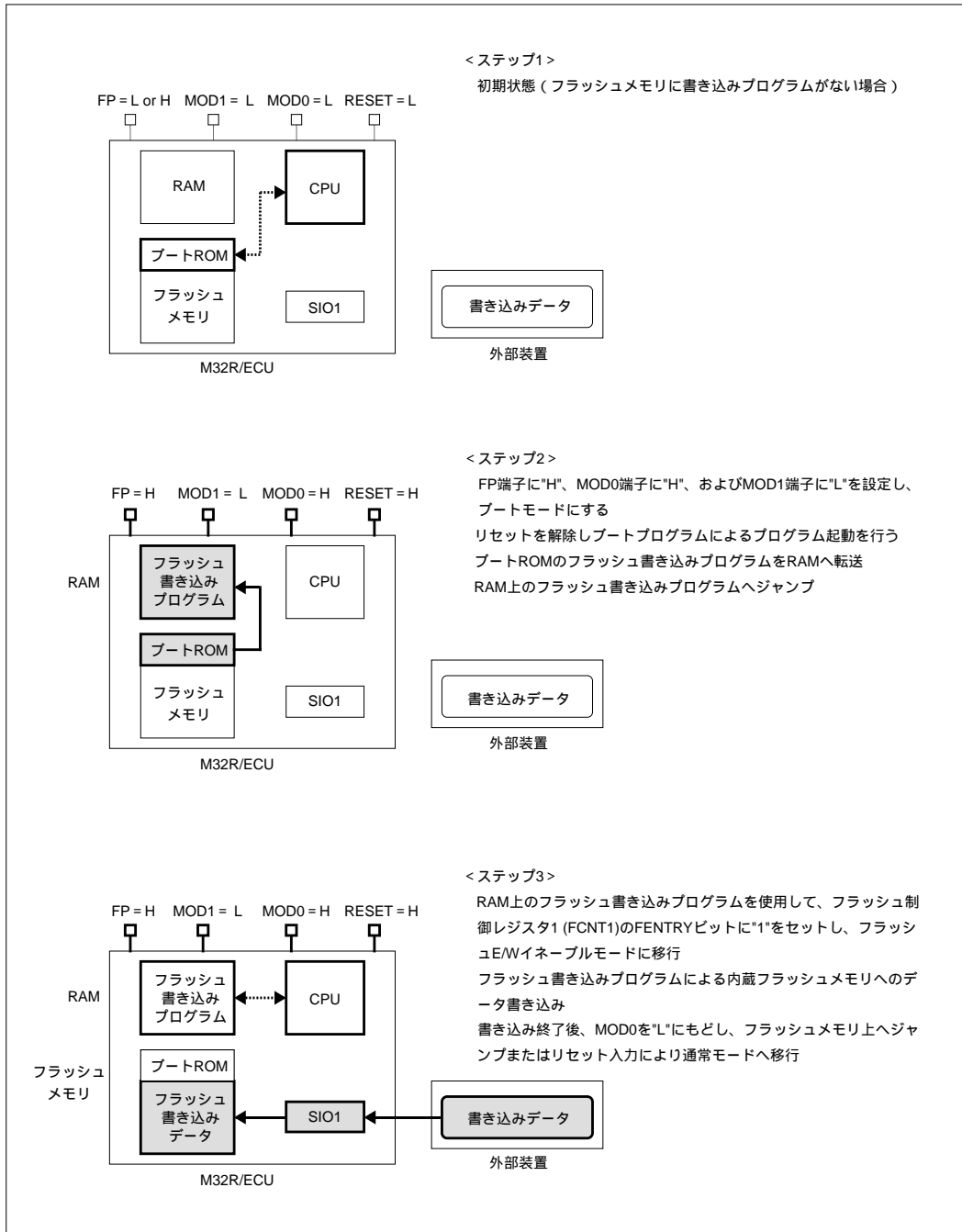


図6.5.2 内蔵フラッシュメモリへの書き込み手順 (書き込みプログラムがフラッシュメモリ上にない場合)

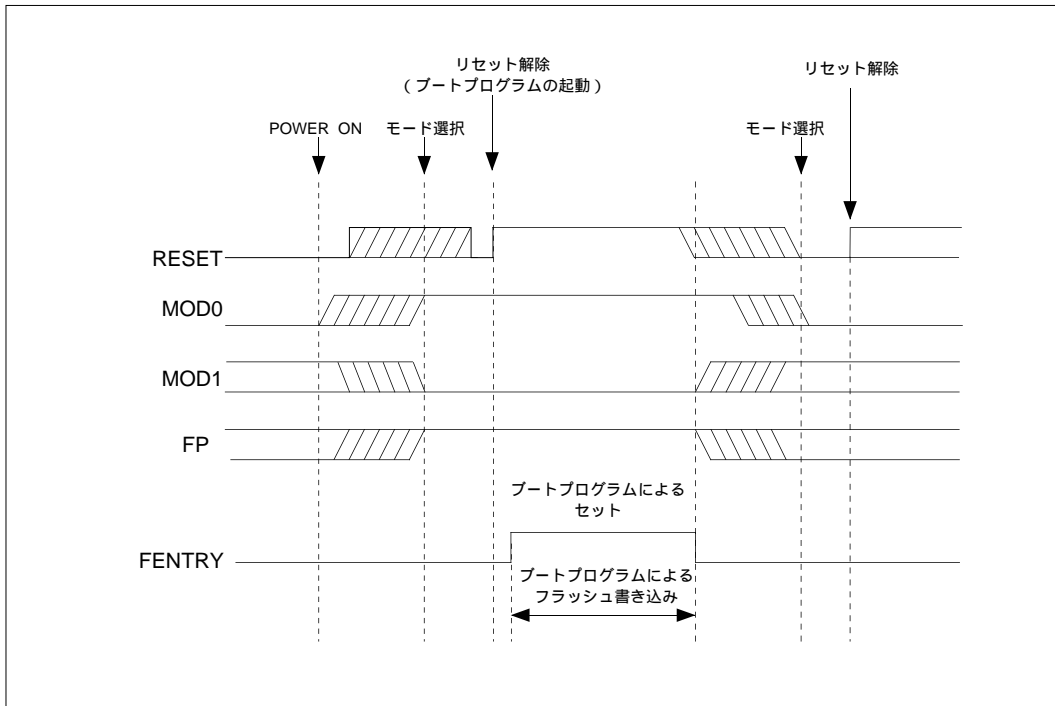


図6.5.3 内蔵フラッシュメモリ書き込みタイミング(書き込みプログラムがフラッシュメモリ上にない場合)

(2) 内蔵フラッシュメモリ上にすでに書き込みプログラムがある場合

内蔵フラッシュメモリ上に配置したフラッシュ書き込みプログラムにより、フラッシュメモリに書き込みます。

書き込みには書き込みシステムに合わせて内蔵周辺回路を使用します。(データバス及びシリアルI/O、ポート等使用できます。)

以下に、シングルチップモードでシリアルI/Oを使用した書き込み例を示します。

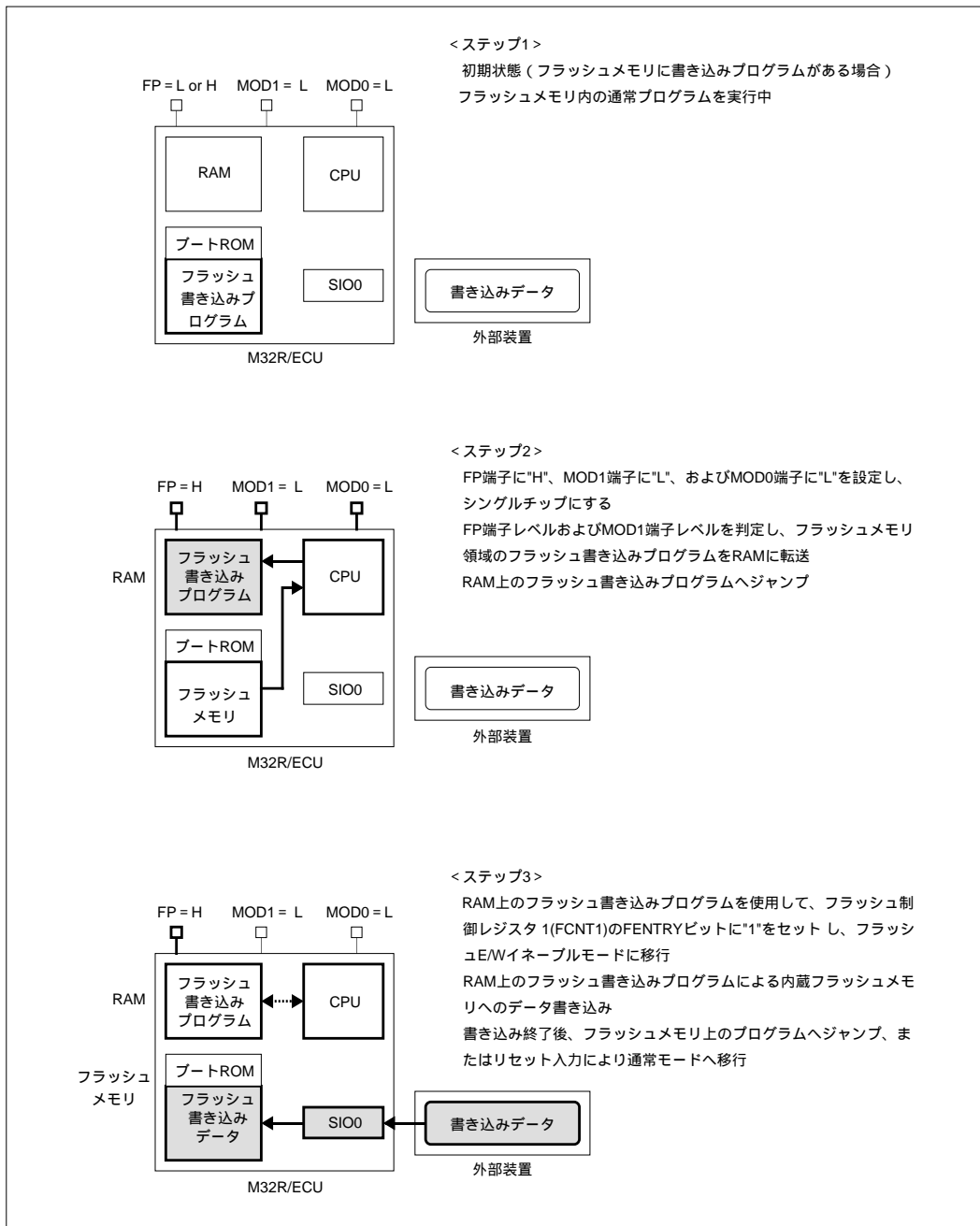


図6.5.4 内蔵フラッシュメモリへの書き込み手順 (書き込みプログラムがフラッシュメモリ上にある場合)

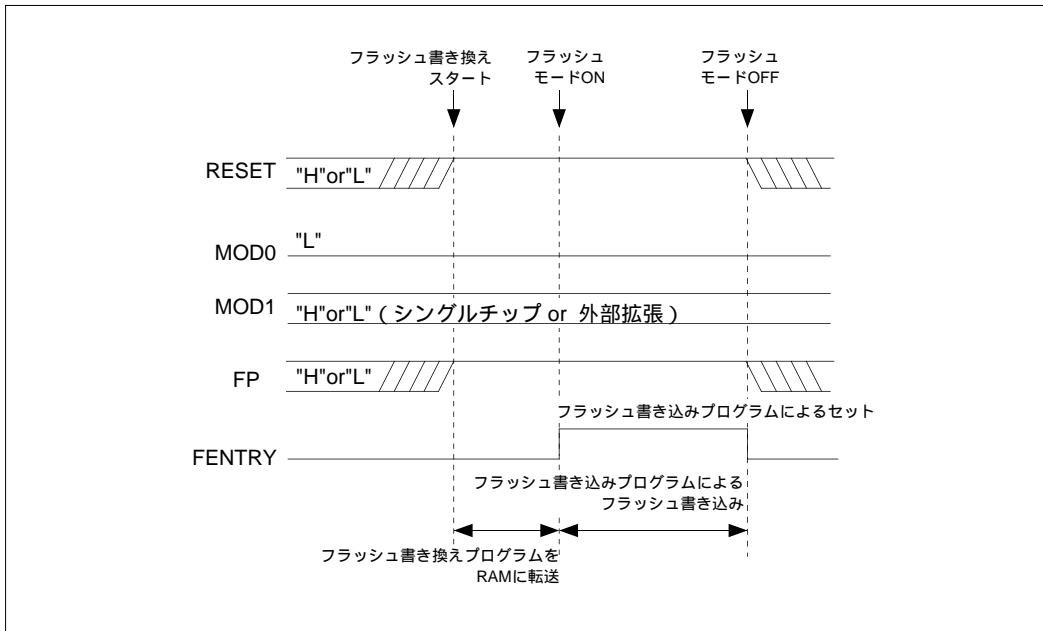


図6.5.5 内蔵フラッシュメモリ書き込みタイミング(書き込みプログラムがフラッシュメモリ上にある場合)

6.5.2 フラッシュ書き込み時における動作モードの制御

32171のチップ動作モードはMOD0、MOD1、およびフラッシュ制御レジスタ1(FCNT1)のFENTRYビットで設定されます。以下にフラッシュ書き込み時における動作モードの一覧を示します。

表6.5.1 フラッシュ書き込み時における動作モードの設定

FP 端子	MOD0 端子	MOD1 端子	FENTRY ビット	動作モード	リセットベクタエントリ	EIベクタエントリ
L	L	L	0	シングルチップ モード	フラッシュメモリ 先頭番地 (H'0000 0000)	フラッシュ領域 (H'0000 0080)
L	H	L	0	プロセッサ モード	外部領域先頭番地 (H'0000 0000)	外部領域 (H'0000 0080)
L	L	H	0	外部拡張 モード	フラッシュメモリ 先頭番地 (H'0000 0000)	フラッシュ領域 (H'0000 0080)
H	L	L	1	シングルチップ モード +フラッシュ E/Wイネーブル	フラッシュメモリ 先頭番地 (H'0000 0000)	内蔵RAMの先頭 (H'0080 4000)
H	H	L	0	ブートモード	ブートプログラム 領域の先頭番地 (H'8000 0000)	フラッシュ領域 (H'0000 0080)
H	H	L	1	ブートモード +フラッシュ E/Wイネーブル	ブートプログラム 領域の先頭番地 (H'8000 0000)	内蔵RAMの先頭 (H'0080 4000)
H	L	H	1	外部拡張モード +フラッシュ E/Wイネーブル	フラッシュメモリ 先頭番地 (H'0000 0000)	内蔵RAMの先頭 (H'0080 4000)
-(注)	H	H	-(注)	reserved(使用禁止)		

注. "-"はDon't Careの状態を示します。

(1) フラッシュE/W イネーブルモード

フラッシュE/Wイネーブルモードは、内蔵フラッシュメモリへの書き込みと消去をするモードです。フラッシュE/Wイネーブルモードでは、内蔵フラッシュメモリ上でのプログラムは実行できません。したがって、フラッシュE/Wイネーブルモード移行前に必要なプログラムを内蔵RAM上に転送し、RAM上でプログラム動作を行う必要があります。

(2) フラッシュE/W イネーブルモードへの移行

フラッシュE/Wイネーブルモードに移行できるのは、シングルチップモードと外部拡張モードだけです。FP端子が"H"レベルで、フラッシュ制御レジスタ1(FCNT1)のFENTRYビットが"1"の場合のみ、「フラッシュE/Wイネーブルモード」に移行します。プロセッサモードおよびFP端子が"L"の場合は移行できません。

(3) MOD0 端子、MOD1 端子レベルの検出

MOD0およびMOD1端子レベル("H" or "L")は、P8データレジスタ(ポートデータレジスタ、H'0080 0708)のMOD0DTビットおよびMOD1DTビットで確認できます。

P8 データレジスタ (P8DATA)

< アドレス : H'0080 0708 >

D0	1	2	3	4	5	6	D7
MOD0DT	MOD1DT	P82DT	P83DT	P84DT	P85DT	P86DT	P87DT

< リセット時 : 不定 >

D	ビット名	機能	R	W
0	MOD0DT (MOD0データ)	0 : MOD0端子 = "L" 1 : MOD0端子 = "H"		-
1	MOD1DT (MOD1データ)	0 : MOD1端子 = "L" 1 : MOD1端子 = "H"		-
2	P82DT (ポートP82データ)	ポート方向レジスタの設定により 方向ビットが"0"(入力モード)の場合		
3	P83DT (ポートP83データ)	0 : ポート入力端子 = "L" 1 : ポート入力端子 = "H"		
4	P84DT (ポートP84データ)	方向ビットが"1"(出力モード)の場合 0 : ポート出力ラッチ = "L"		
5	P85DT (ポートP85データ)	1 : ポート出力ラッチ = "H"		
6	P86DT (ポートP86データ)			
7	P87DT (ポートP87データ)			

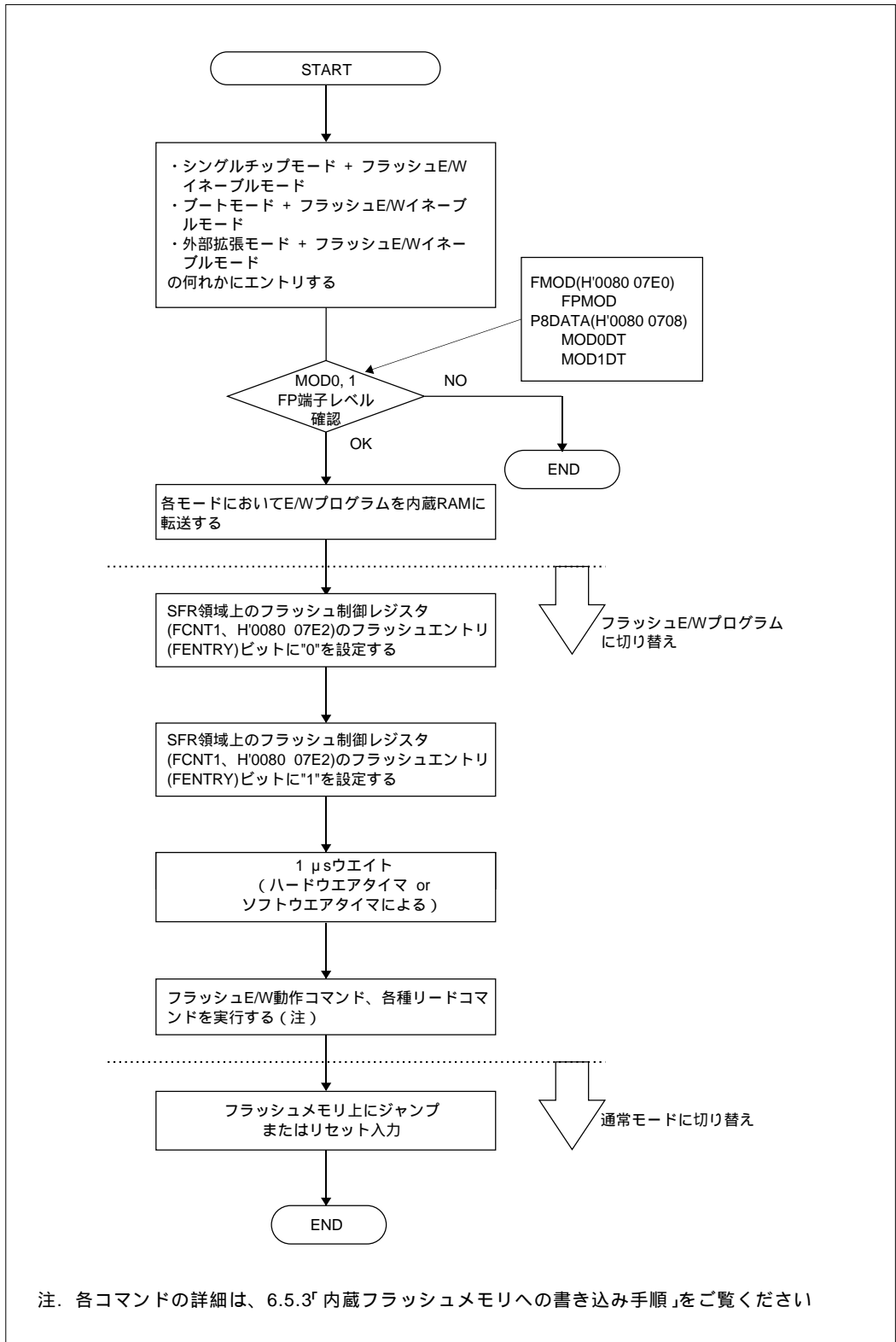


図6.5.6フラッシュE/Wイネーブル移行手順

6.5.3 内蔵フラッシュメモリへの書き込み手順

内蔵フラッシュメモリへの書き込みは、チップモードを制御してフラッシュE/Wイネーブルモードに移行した後、フラッシュメモリから内蔵RAMへ転送したフラッシュ書き込みプログラムで行います。

フラッシュE/Wイネーブルモードでは、通常モードのように内蔵フラッシュメモリからの読み出しができないので、内蔵フラッシュメモリ上のプログラムを実行することができません。そのため、フラッシュE/Wイネーブルモードへ移行する前にフラッシュ書き込みプログラムを内蔵RAM上に用意しておかなければなりません(フラッシュE/Wイネーブルモードへの移行後、フラッシュメモリへのアクセスはフラッシュコマンド以外、禁止します)。

フラッシュE/Wイネーブルモードにおける内蔵フラッシュメモリへのアクセスは、対象となる内蔵フラッシュメモリアドレスに対するコマンド発行により行います。フラッシュE/Wイネーブルモードにおいて発行できるコマンドを以下に示します。

注. フラッシュE/Wイネーブルモード時、フラッシュメモリへのリード/ライトは、ワードアクセスできませんのでご注意ください。

表6.5.2 フラッシュE/Wイネーブルモードにおけるコマンド

コマンド名	発行コマンドデータ
リードアレイコマンド	H'FFFF
ページプログラムコマンド	H'4141
ロックビットプログラムコマンド	H'7777
ブロックイレースコマンド	H'2020
イレース全アンロックブロックコマンド	H'A7A7
リードステータスレジスタコマンド	H'7070
クリアステータスレジスタコマンド	H'5050
リードロックビットステータスコマンド	H'7171
確認コマンド (注1~4)	H'D0D0

注1. このコマンドは、ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックのときに使用します。

注2. このコマンドは、ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックの各コマンドに連続して発行してください。

注3. ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックの各コマンドの後にリードアレイコマンド(H'FFFF)を発行すると、ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックの各コマンドはキャンセルされます。

注4. ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックの各コマンドの後に確認コマンド(H'D0D0)及びリードアレイコマンド(H'FFFF)以外のコマンド発行すると、ロックビットプログラム、ブロックイレース、およびイレース全アンロックブロックの各コマンドが正常に実行されずエラー終了します。

(1) リードアレイコマンド

内蔵フラッシュメモリの任意のアドレスに対して、コマンドデータH'FFFFをライトするとリードモードとなります。次に読み出したいアドレスをリードするとその内容が読み出せます。

フラッシュE/Wイネーブルモードから抜ける場合は、必ずリードアレイコマンドを実行してから抜けてください。

(2) ページプログラムコマンド

フラッシュメモリへのプログラムは、256バイト毎のページ単位(下位アドレスH'00~H'FF)で行います。

フラッシュへのデータ書き込み(プログラム)は、内蔵フラッシュメモリの任意のアドレスに対してプログラムコマンドH'4141をライトし、その後、書き込みたいアドレスにプログラムデータをライトします。

ページプログラムコマンドにおいて、プロテクトされているブロックへの書き込みはできません。

ページプログラムは内部制御回路で自動的に行われ、プログラム完了はフラッシュステータスレジスタ1(FSTAT1)のFSTAT1ビットで確認することができます(6.4.2「フラッシュステータスレジスタ」をご覧ください)。FSTAT1ビットが"0"の間は、次のプログラムは行えません。

(3) ロックビットプログラムコマンド

32171のフラッシュメモリは、ブロック単位にプロテクト(書き込み/イレーズ禁止)が可能です。ロックビットプログラムコマンドは、メモリブロックに対してプロテクトを行うコマンドです。

内蔵フラッシュメモリの任意アドレスに対して、ロックビットコマンドデータH'7777をライトします。次にプロテクトをかけたいブロックの最終偶数アドレスに確認コマンドデータH'D0D0をライトすると、該当メモリブロックがプロテクト(書き込み/イレーズ禁止)状態になります。プロテクトの解除は、フラッシュ制御レジスタ2(FCNT2)のFPROTビット(6.4.3「フラッシュ制御レジスタ」をご覧ください)で、ロックビットによるプロテクトを無効にし、プロテクトを解除したいブロックをイレーズすることにより行います(該当メモリブロックの内容もイレーズされます)。

以下に、確認コマンドデータをライトする際の対象ブロックと指定アドレスを示します。

表6.5.3 M32171F4の対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 3FFE
1	H'0000 5FFE
2	H'0000 7FFE
3	H'0000 FFFE
4	H'0001 FFFE
5	H'0002 FFFE
6	H'0003 FFFE
7	H'0004 FFFE
8	H'0005 FFFE
9	H'0006 FFFE
10	H'0007 FFFE

表6.5.4 M32171F3の対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 3FFE
1	H'0000 5FFE
2	H'0000 7FFE
3	H'0000 FFFE
4	H'0001 FFFE
5	H'0002 FFFE
6	H'0003 FFFE
7	H'0004 FFFE
8	H'0005 FFFE

表6.5.5 M32171F2の対象ブロックと指定番地

対象ブロック	指定番地
0	H'0000 3FFE
1	H'0000 5FFE
2	H'0000 7FFE
3	H'0000 FFFE
4	H'0001 FFFE
5	H'0002 FFFE
6	H'0003 FFFE

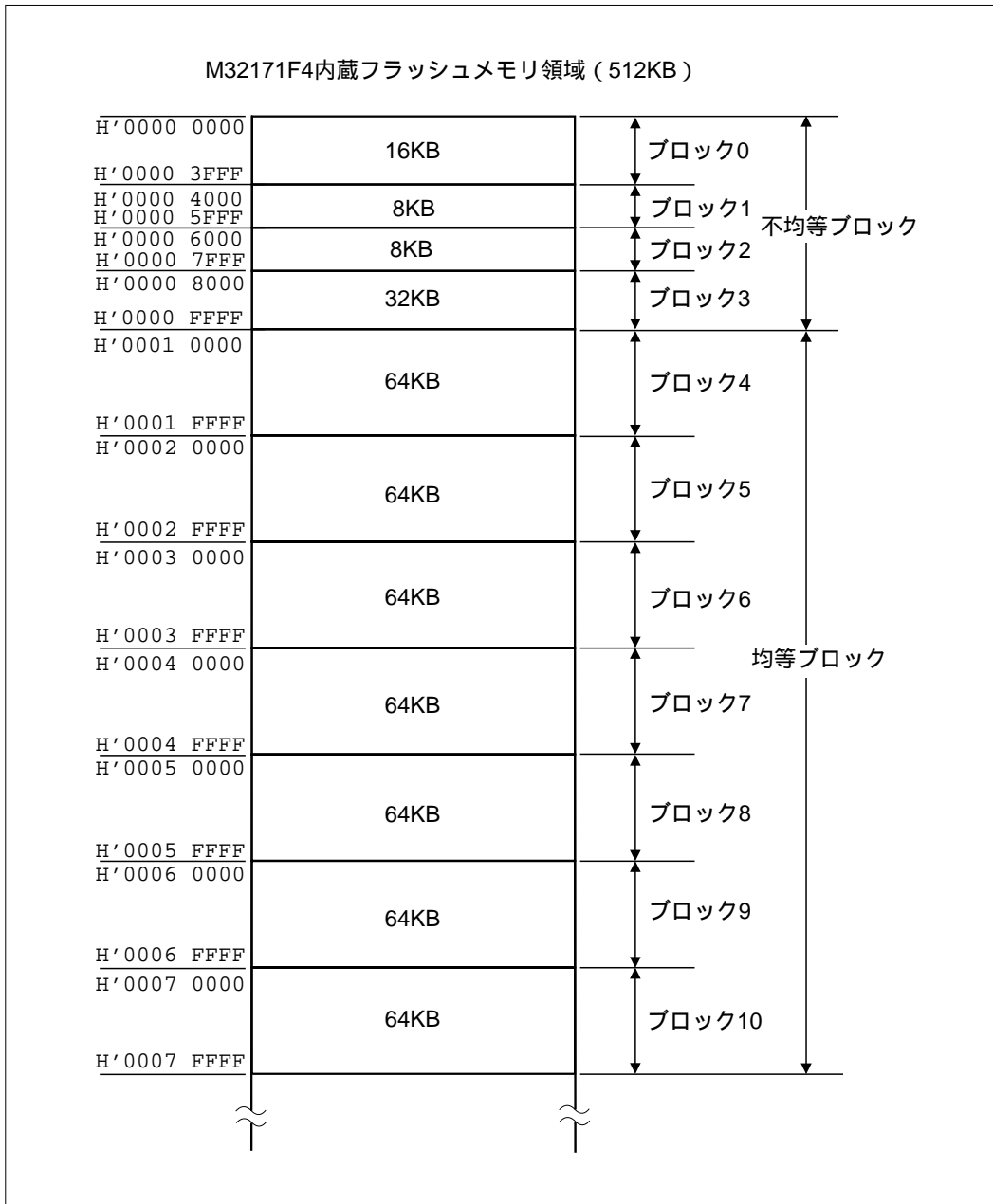


図6.5.7 M32171F4フラッシュメモリのブロック構成

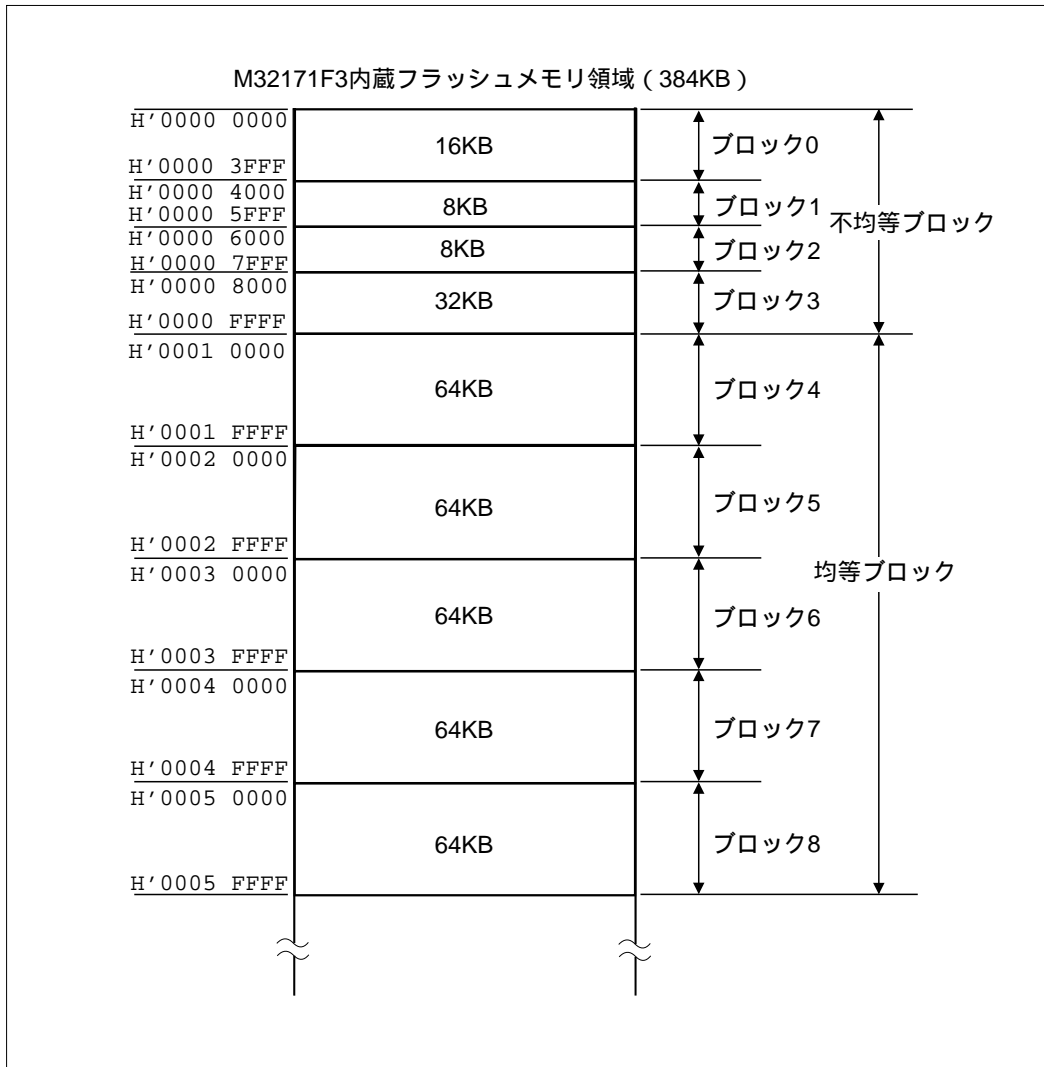


図6.5.8 M32171F3フラッシュメモリのブロック構成

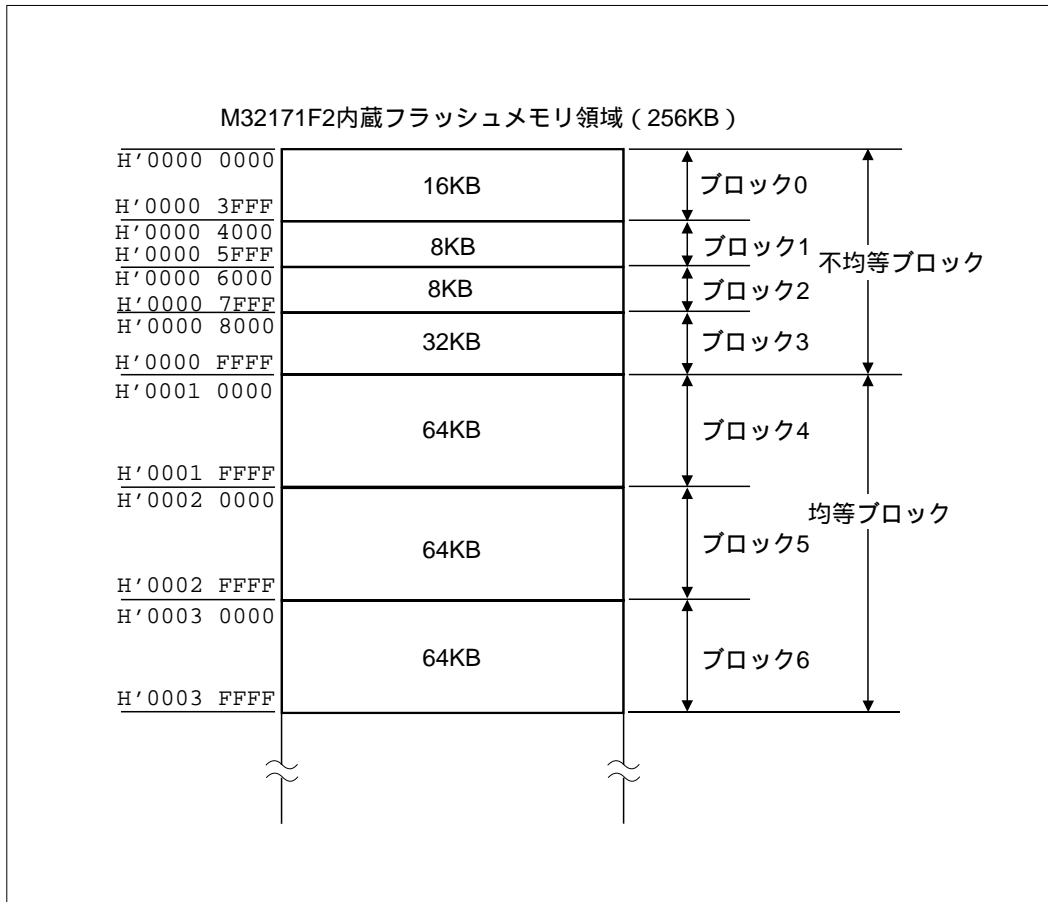


図6.5.9 M32171F2フラッシュメモリのブロック構成

(4) ブロックイレーズコマンド

ブロックイレーズコマンドは、内蔵フラッシュメモリの内容をブロック単位で消去します。ブロックイレーズは内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'2020をライトします。次に、消去したいメモリブロックの最終偶数アドレス(表6.5.3 対象ブロックと指定番地を参照してください。)に確認コマンドデータH'D0D0をライトすることにより、該当メモリブロックの内容を消去します。

ブロックイレーズコマンドにおいて、プロテクトされているいるブロックへのイレーズはできません。

ブロックイレーズは内部制御回路で自動的に行われ、ブロックイレーズ完了はフラッシュステータスレジスタ1(FSTAT1)のFSTAT1ビットで確認することができます(6.4.2「フラッシュステータスレジスタ」をご覧ください)。FSTAT1ビットが"0"の間は、次のブロックイレーズは行えません。

(5) イレーズ全アンロックブロックコマンド

イレーズ全アンロックブロックコマンドは、プロテクトのかかっているすべてのメモリブロックを消去します。全アンロックブロックのイレーズは、内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'A7A7をライトします。次に、内蔵フラッシュメモリの任意アドレスにコマンドデータH'D0D0をライトすると、プロテクトのかかっているすべてのメモリブロックを消去します。

(6) リードステータスレジスタコマンド

リードステータスレジスタコマンドは、フラッシュメモリへの書き込み、消去動作の終了状態(正常、異常)を示すフラッシュステータスレジスタ2(FSTAT2)の内容を読み出します。フラッシュステータスレジスタ2のリードは、内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7070をライトします。次に、内蔵フラッシュメモリの任意アドレスをリードすると、フラッシュステータスレジスタ2(FSTAT2)を読み出します。

(7) クリアステータスレジスタコマンド

クリアステータスレジスタコマンドは、フラッシュステータスレジスタ2(FSTAT2)のERASE(オートイレーズの動作状況)、WRERR1(プログラム動作状況1)、およびWRERR2(プログラム動作状況2)ビットを"0"クリアするコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'5050をライトすると、フラッシュステータスレジスタ2が"0"クリアされます。

フラッシュメモリへの書き込み、消去動作でエラーが発生し、フラッシュステータスレジスタ2(FSTAT2)のERASE(オートイレーズの動作状況)、WRERR1(プログラム動作状況1)、またはWRERR2(プログラム動作状況2)ビットに"1"がセットされた場合、ERASE(オートイレーズの動作状況)、WRERR1(プログラム動作状況1)、およびWRERR2(プログラム動作状況2)を"0"クリアしなければ、次の書き込み、消去はできません。

(8) リードロックビットステータスコマンド

リードロックビットステータスコマンドは、メモリブロックがプロテクト(書き込み/消去禁止)状態か、プロテクト状態でないかを確認するためのコマンドです。内蔵フラッシュメモリの任意アドレスに対して、コマンドデータH'7171をライトします。次に、対象ブロックの最終偶数アドレス(表6.5.3、表6.5.4「対象ブロックと指定番地」を参照してください。)をリードすると、対象ブロックがプロテクト状態か非プロテクト状態かを知ることができます。

リードしたデータのFLBST0(ロックビット0)ビットおよびFLBST1(ロックビット1)ビットが"0"の場合、該当メモリブロックがプロテクト状態であることを示し、FLBST0(ロックビット0)ビットおよびFLBST1(ロックビット1)ビットが"1"の場合、該当メモリブロックが非プロテクト状態であることを示します。

ロックビットステータスレジスタ(FLBST)



<リセット時：不定>

D	ビット名	機能	R	W
0	何も配置されていません		?	-
1	FLBST0 (ロックビット0)	0：プロテクト状態 1：非プロテクト状態		-
2~8	何も配置されていません		?	-
9	FLBST1 (ロックビット1)	0：プロテクト状態 1：非プロテクト状態 (FLBST0と同じ内容が出力されます)		-
10~15	何も配置されていません		?	-

ロックビットステータスレジスタは読み出し専用のレジスタで、各ブロックごとに独立したロックビットを内蔵しています。

ロックビットの書き込みは以下の方法で行います。

a) ロックビットの"0"セット方法(プロテクト状態)

プロテクトしたいメモリブロックにロックビットプログラムコマンド(H'7777)を発行することによって行います。

b) ロックビットの"1"セット方法(非プロテクト状態)

フラッシュ制御レジスタ2のFPROTを"ロックビットによるプロテクト無効"にしたのち、ブロックイレーズコマンド(H'2020)、またはイレーズ全アンロックブロックコマンド(H'A7A7)で、非プロテクト状態にしたいメモリブロックを消去することによってのみ行えます。

ロックビットのみを"1"セットすることはできません。

c) ロックビットのリセット時の状態

ロックビットは不揮発性のビットであるため、リセット及び電源断の影響を受けません。

(9) 各コマンドの実行フロー

以下に各コマンドの実行フロー図を示します。

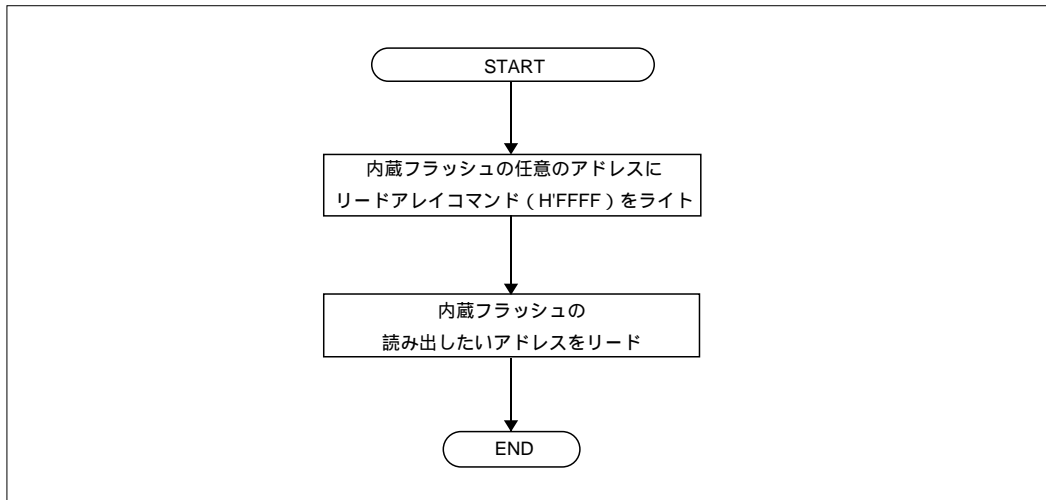


図6.5.10 リードアレイ

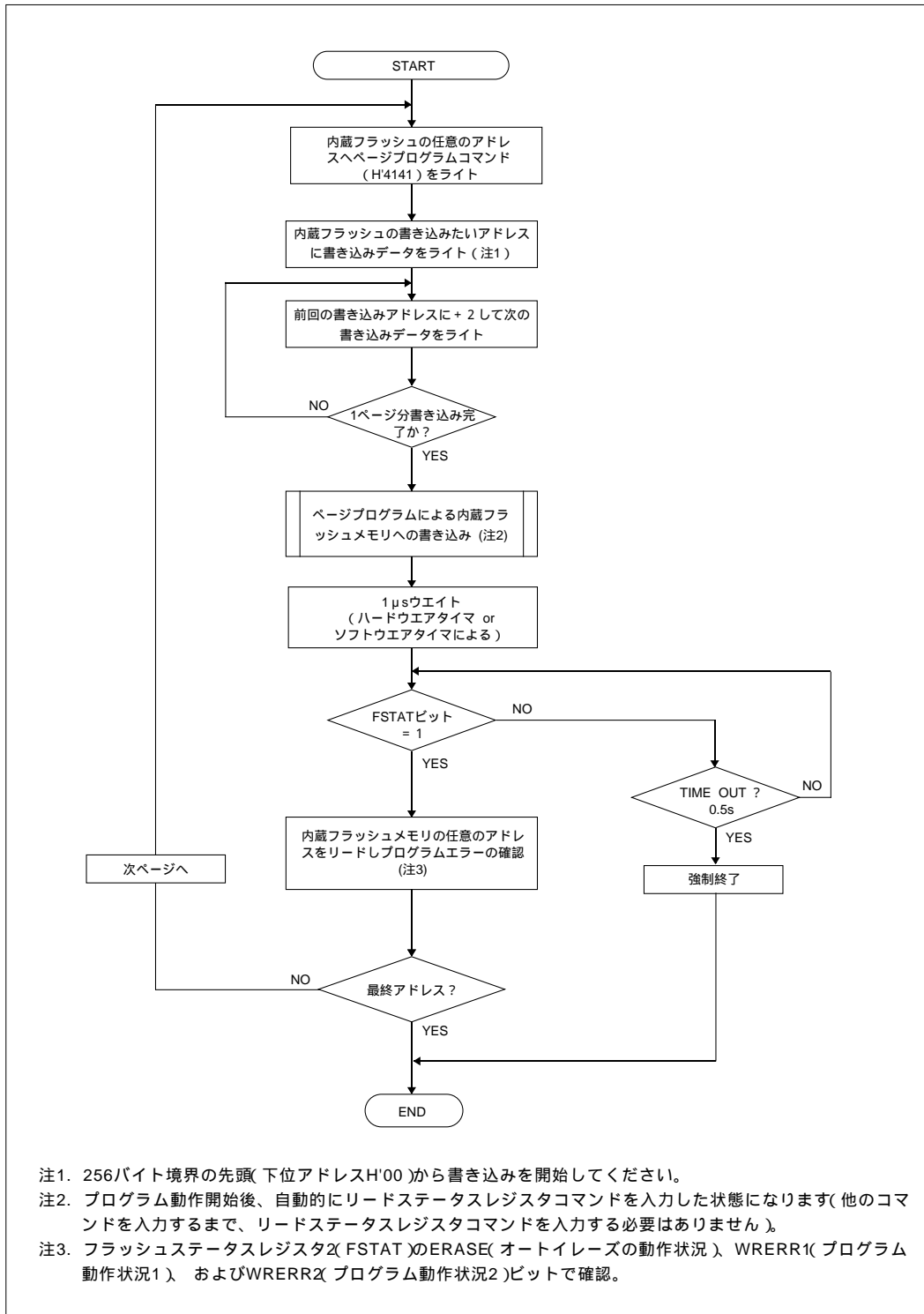


図6.5.11 ページプログラム

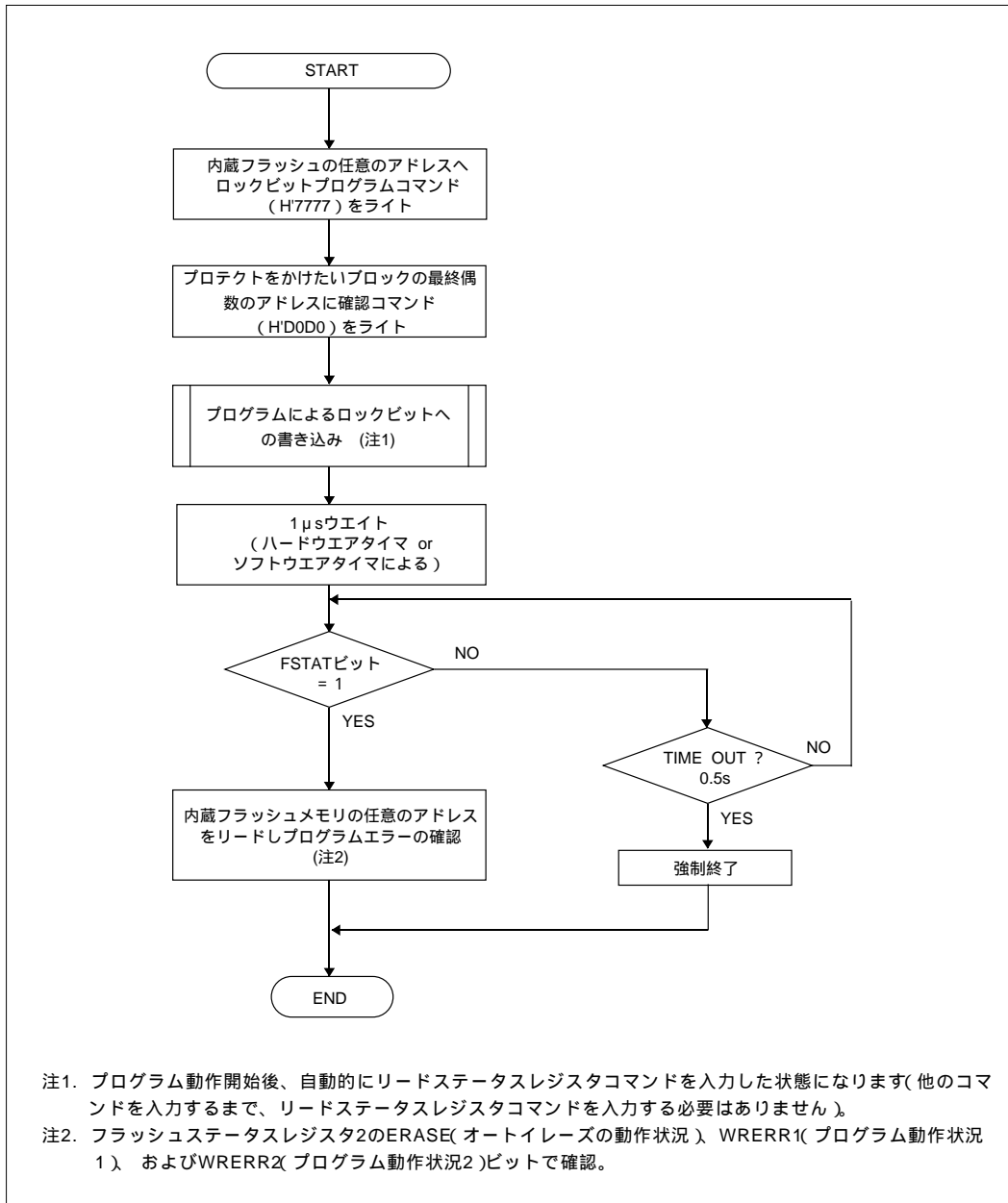


図6.5.12 ロックビットプログラム

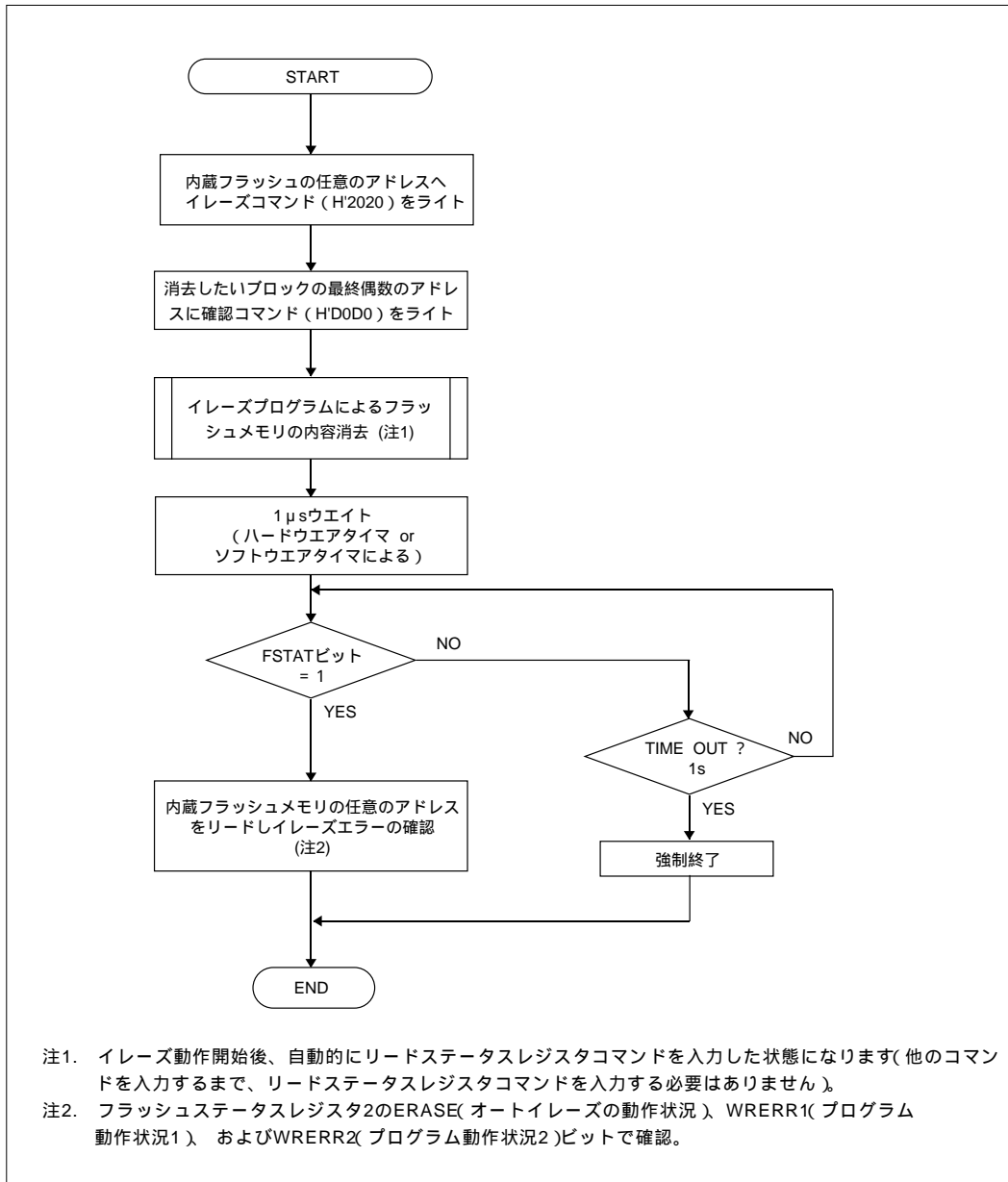


図6.5.13 ブロックイレーズ

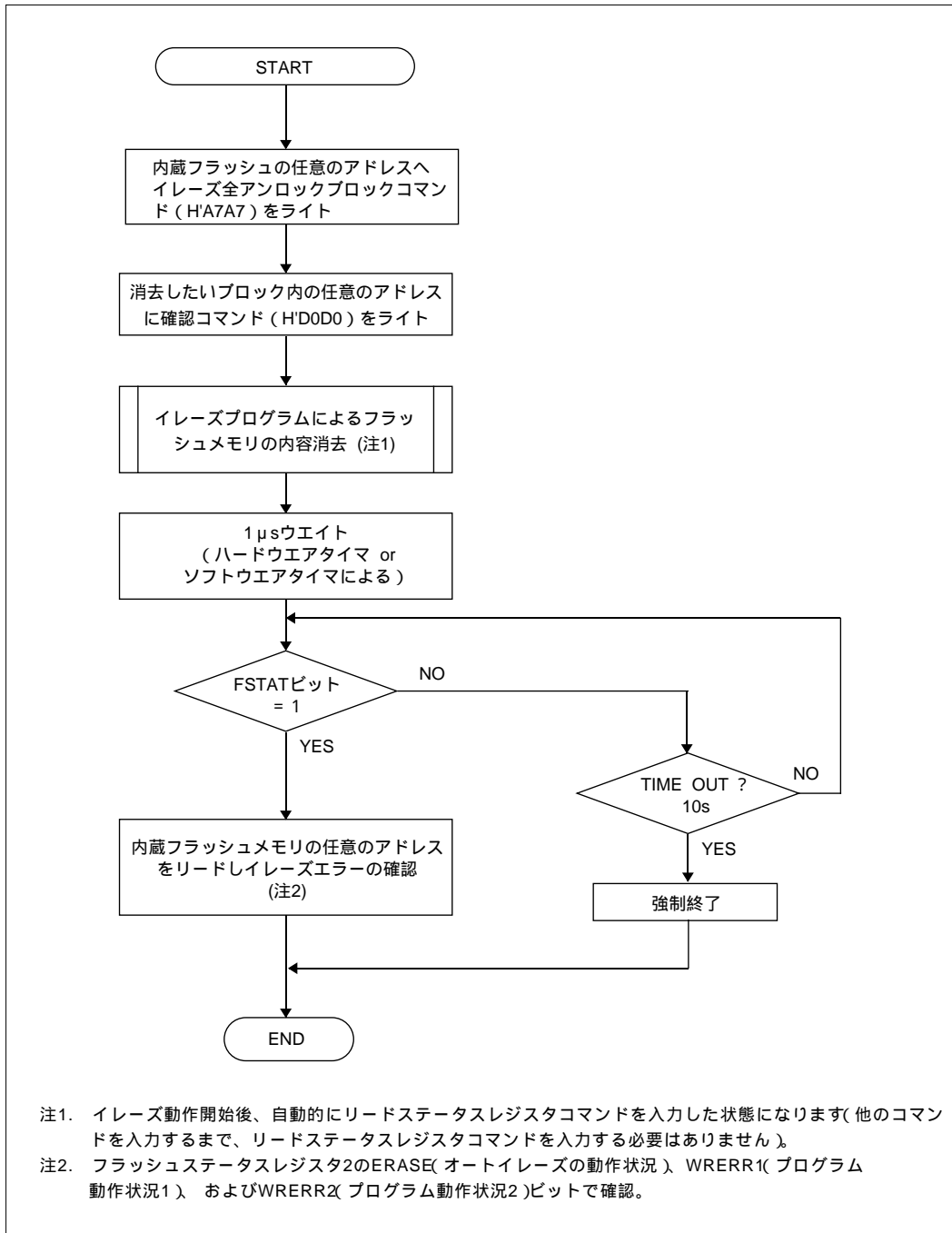


図6.5.14 イレース全アンロックブロックイレース

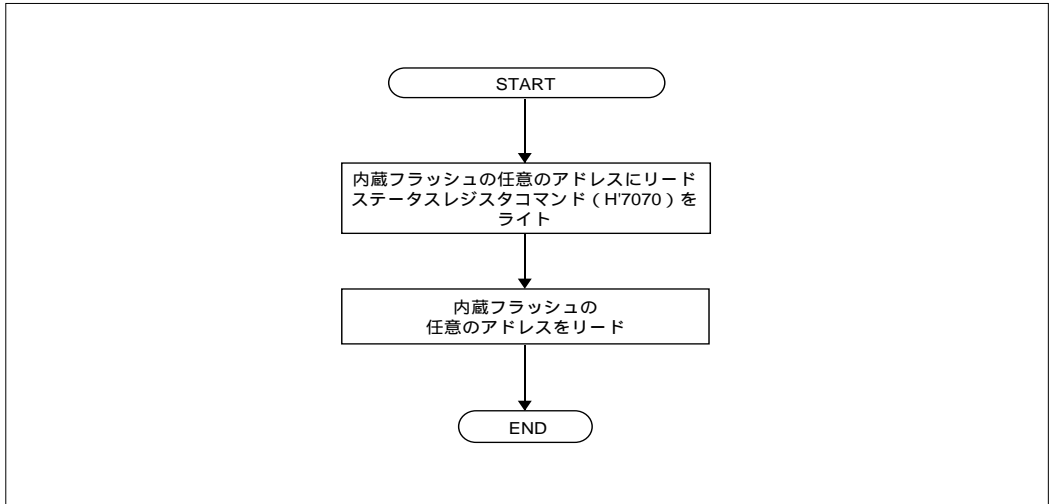


図6.5.15 リードステータスレジスタ

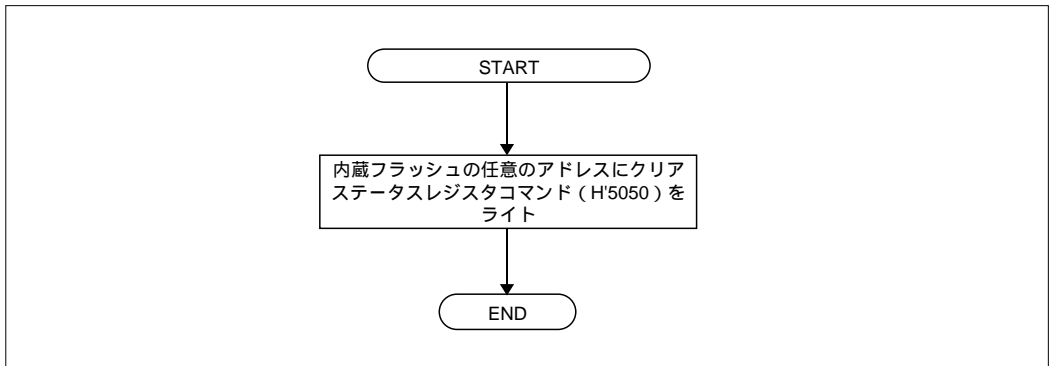


図6.5.16 クリアステータスレジスタ

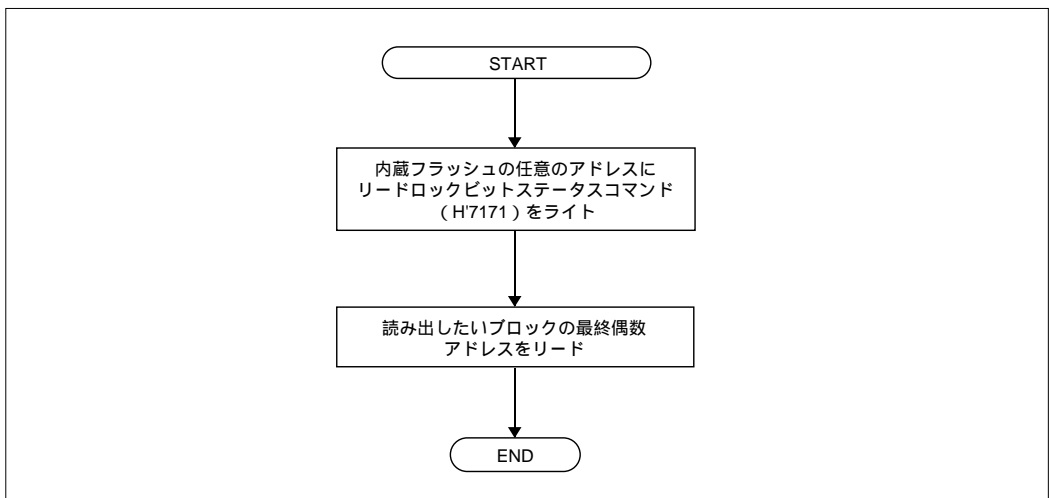


図6.5.17 リードロックビットステータス

6.5.4 フラッシュ書き込み時間(参考値)

内蔵フラッシュメモリへの書き込み時間の参考値を以下に示します。

(1) M32171F4

SIOによる転送時間(転送データ容量:512KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 512\text{KB} = 100.1[\text{s}]$$

フラッシュ書き込み時間

$$512\text{KB}/256\text{バイトブロック} \times 8\text{ms} = 16.4[\text{s}]$$

イレーズ時間(全領域)

$$50\text{ms} \times \text{ブロック数} = 550[\text{ms}]$$

トータルフラッシュ書き込み時間(512KB全領域)

UARTで57600bps通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$+ 101[\text{s}]$$

なお、シリアル通信高速化又は他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$+ 1[\text{s}]$$

(2) M32171F3

SIOによる転送時間(転送データ容量:384KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 384\text{KB} = 75.1[\text{s}]$$

フラッシュ書き込み時間

$$384\text{KB}/256\text{バイトブロック} \times 8\text{ms} = 12.3[\text{s}]$$

イレーズ時間(全領域)

$$50\text{ms} \times \text{ブロック数} = 450[\text{ms}]$$

トータルフラッシュ書き込み時間(384KB全領域)

UARTで57600bps通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$+ 76[\text{s}]$$

なお、シリアル通信高速化又は他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$+ 13[\text{s}]$$

(3) M32171F2

SIOによる転送時間(転送データ容量:256KBの時)

$$1/57600\text{bps} \times 1(\text{フレーム}) \times 11(\text{転送ビット数}) \times 256\text{KB} = 50.1[\text{s}]$$

フラッシュ書き込み時間

$$256\text{KB}/256\text{バイトブロック} \times 8\text{ms} = 8.2[\text{s}]$$

イレーズ時間(全領域)

$$50\text{ms} \times \text{ブロック数} = 350[\text{ms}]$$

トータルフラッシュ書き込み時間(256KB全領域)

UARTで57600pbs通信時には、シリアル通信時間に対してフラッシュ書き込み時間が非常に短い為、無視することができます。

このため、下記計算式によりフラッシュ書き込み時間は計算できます。

$$+ 50.5[\text{s}]$$

なお、シリアル通信高速化又は他の手法で、高速にデータ書き込み時の最速書き込み時間は下記の計算式となります。

$$+ 8.6[\text{s}]$$

6.6 ブートROM

ブートメモリ仕様を以下に示します。

表6.6.1 ブートメモリ仕様

項目	仕様
容量	8Kバイト
配置アドレス	H'8000 0000 ~ H'8000 1FFF
ウェイト挿入	ノーウェイト動作 (内部CPUメモリクロック動作40MHZ時)
内部バス接続	32ビットバス接続
読み出し	FP=1, MOD0=1, MOD1=0の条件でのみ読み出し可能です。他のモードで読み出しを行うと不定値が読み出されます。書き込み処理を行うことはできません。
その他	ブートROM領域はブートモード時のみ使用可能な予約領域のため、プログラムを変更することはできません。

6.7 疑似フラッシュエミュレーション機能

内蔵フラッシュの領域を8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイトの領域をマッピングする機能、および内蔵フラッシュの領域を4Kバイト毎に区切った領域(Sバンク)に、内蔵RAMのH'0080 6000の領域から4Kバイト単位のブロック(最大2ブロック)をマッピングする機能を備えており、これを疑似フラッシュエミュレーション機能と呼びます。

この機能を使用することで、内蔵RAMの8Kバイト単位または4KB単位のブロックに配置したデータはフラッシュメモリ内の疑似フラッシュバンクレジスタで指定したLバンク、またはSバンクと切り換えて使用可能となります。このため、プログラム動作中にデータの変更を必要とするアプリケーションでは、8Kバイトまたは4Kバイト分のRAM領域を使用したダイナミックな変更が可能となります。疑似フラッシュエミュレーションに割り当てられたRAMは、内蔵RAM領域及び内蔵フラッシュ領域の両方からリード、ライトできます。

この機能と内蔵リアルタイムデバッグ(RTD)を組み合わせることで、内蔵フラッシュメモリ上に設けたデータテーブルを外部から参照したり、書き換えることができ、外部からデータテーブルのチューニングが容易に行えます。

内蔵フラッシュメモリに対する書き込み操作を行う場合は、必ずこの疑似フラッシュエミュレーションモードを終了してください。

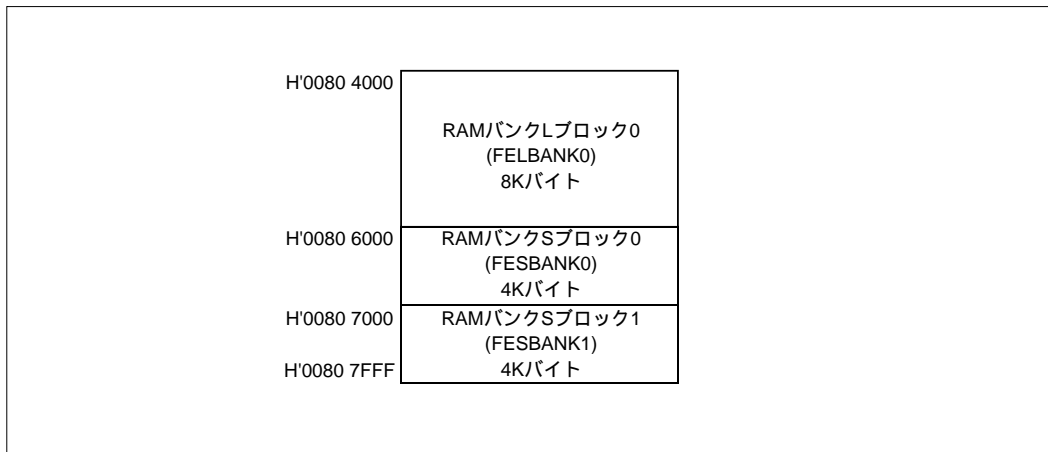


図6.7.1 32171内蔵RAMのバンク構成

6.7.1 疑似フラッシュエミュレーション領域

疑似フラッシュエミュレーション機能が有効な領域を以下に示します。

疑似フラッシュLバンクレジスタ(FELBANK0)によって、フラッシュメモリの8Kバイト毎に区切られた全てのLバンクから、一つのLバンク領域を選択(該当Lバンクの先頭アドレスのうちA12~A18の7ビットを疑似フラッシュLバンクレジスタのLBANKADビットに設定)し、疑似フラッシュLバンクレジスタのMODENLビット(MODENL0ビット)に"1"を設定することで、選択したLバンク領域を内蔵RAMの先頭から8Kバイトの内容で置き換えることができます。

また、疑似フラッシュSバンクレジスタ(FESBANK0、FESBANK1)によって、フラッシュメモリの4Kバイト毎に区切られた全てのSバンクから、それぞれ一つのSバンク領域を選択(該当Sバンクの先頭アドレスのうちA12~A19の8ビットを疑似フラッシュSバンクレジスタのSBANKADビットに設定)し、疑似フラッシュSバンクレジスタのMODENS0,1ビットに"1"を設定することで、選択したSバンク領域を内蔵RAMのH'0080 6000の領域から4Kバイト単位に最大2ブロック置き換えることができます。

8Kバイト単位のLバンクが1バンク、4Kバイト単位のSバンクが2バンクの計3バンク(最大)選択できます。

- 注1. 複数の疑似フラッシュバンクレジスタに同じバンク領域を設定し、疑似フラッシュエミュレーションイネーブルビットをイネーブルにした場合は、FELBANK0 > FESBANK0 > FESBANK1の優先順位で対応する内蔵RAM領域(8Kバイトまたは4Kバイト)が割り当てられます。
- 注2. 疑似フラッシュエミュレーションモード時、内蔵RAM領域と疑似フラッシュ設定領域からRAMのリードライトが可能です。
- 注3. フラッシュ制御レジスタ1の疑似フラッシュエミュレーションモードビットに"1"設定後、疑似フラッシュのリードを行う場合、疑似フラッシュエミュレーションモードビットに"1"設定後3クロック(CPUクロック)以上空けて疑似フラッシュリードを行ってください。
- 注4. 疑似フラッシュバンクレジスタ(Lバンクレジスタ、Sバンクレジスタ)の疑似フラッシュエミュレーションイネーブルビット、バンクアドレスビットに設定後、疑似フラッシュのリードを行う場合、疑似フラッシュバンクレジスタの設定後3クロック(CPUクロック)以上空けて疑似フラッシュリードを行ってください。

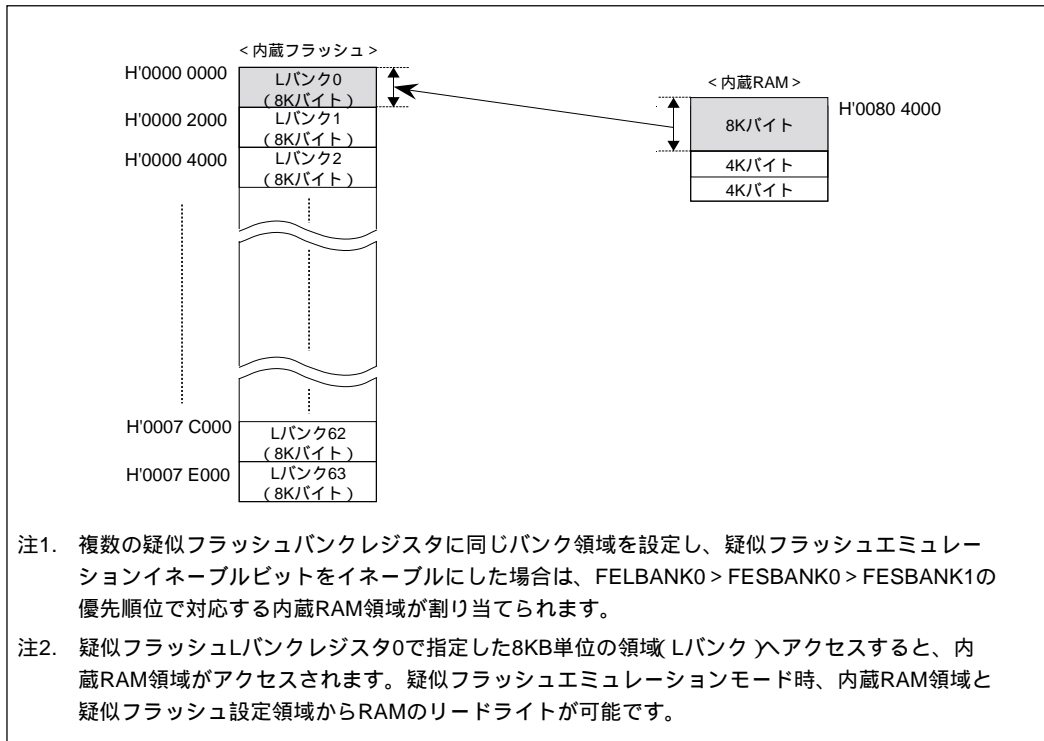


図6.7.2 M32171F4の8Kバイト単位分割の疑似フラッシュエミュレーション領域

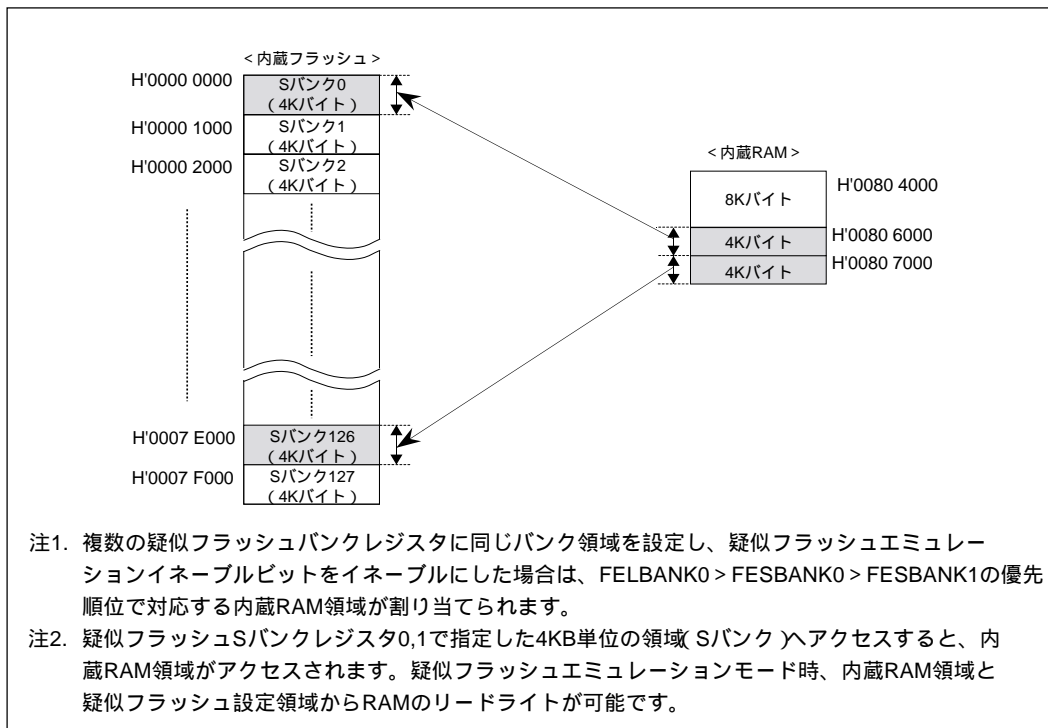


図6.7.3 M32171F4の4Kバイト単位分割の疑似フラッシュエミュレーション領域

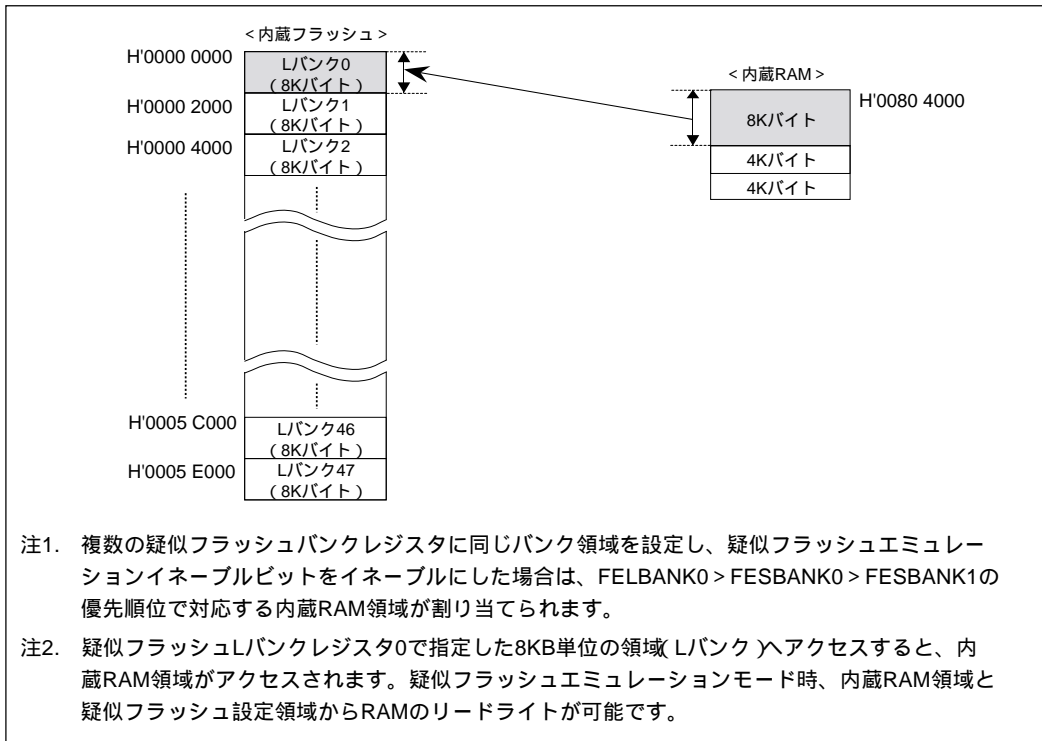


図6.7.4 M32171F3の8Kバイト単位分割の疑似フラッシュエミュレーション領域

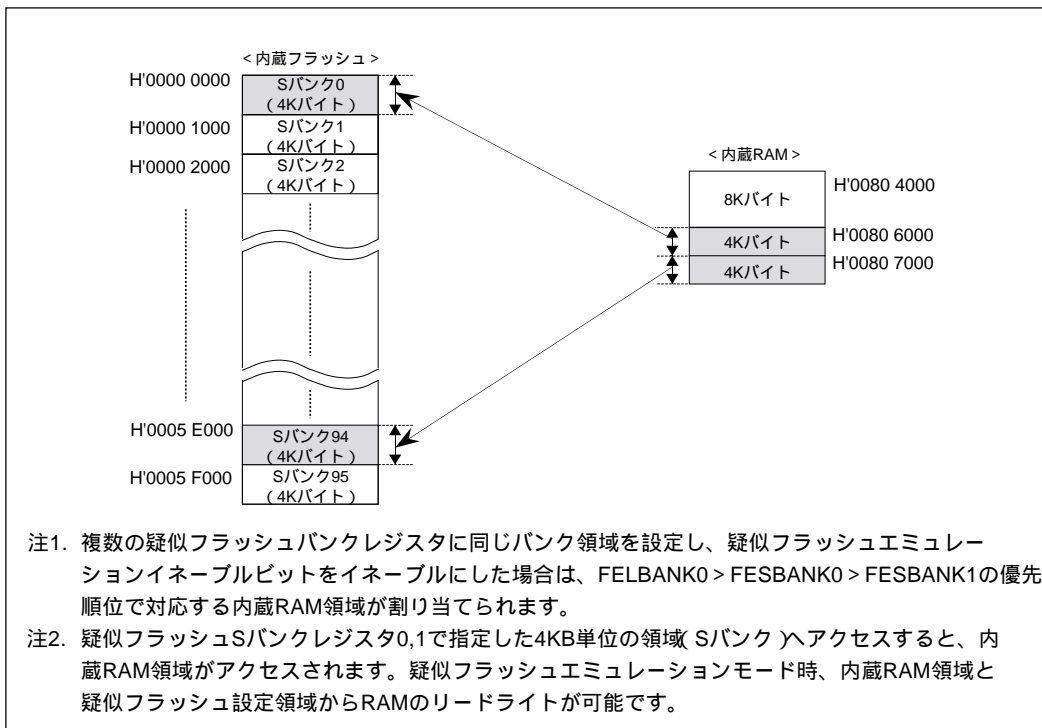


図6.7.5 M32171F3の4Kバイト単位分割の疑似フラッシュエミュレーション領域

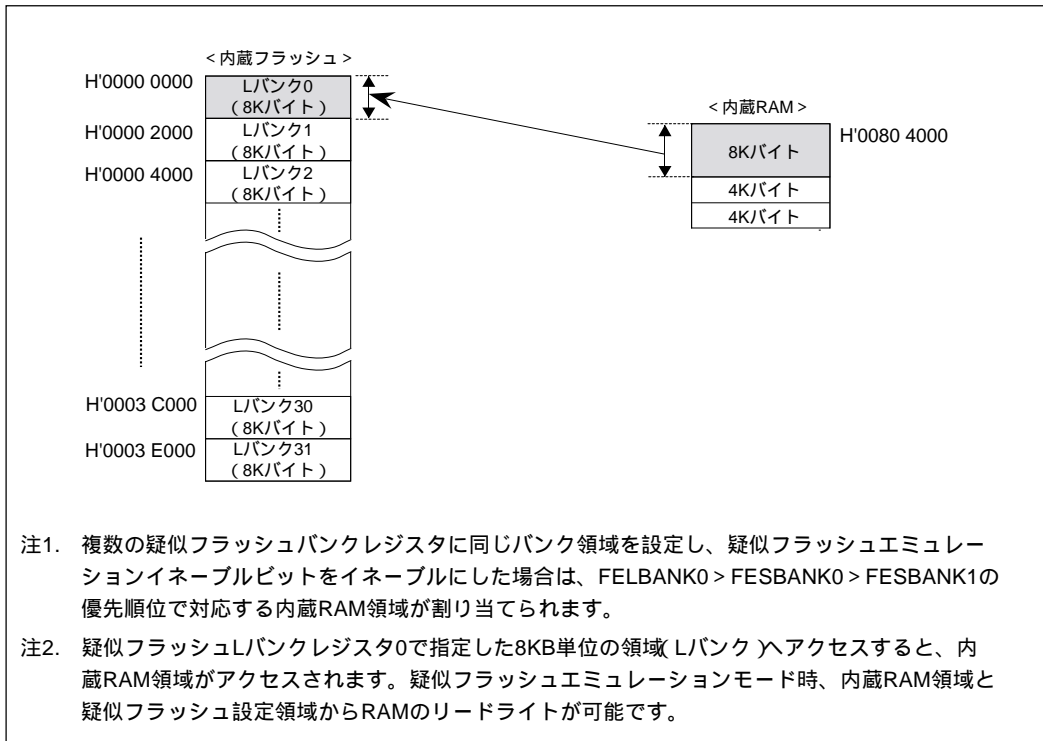


図6.7.6 M32171F2の8Kバイト単位分割の疑似フラッシュエミュレーション領域

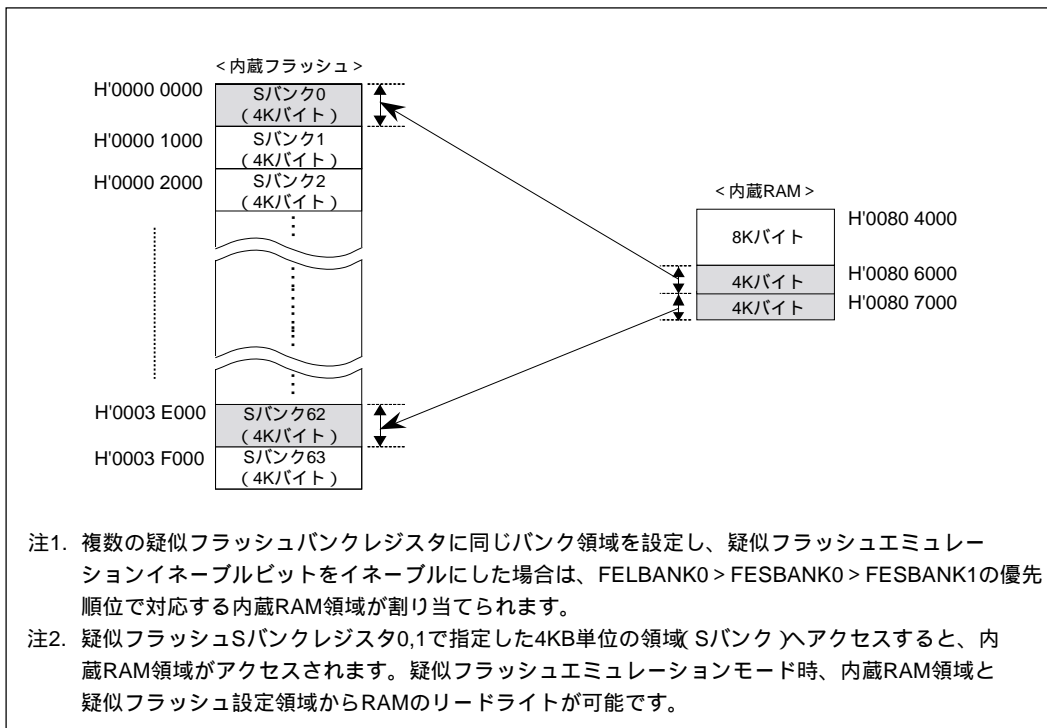


図6.7.7 M32171F2の4Kバイト単位分割の疑似フラッシュエミュレーション領域

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBANKAD) ビット設定値
Lバンク0	H'0000_0000 (注)	H'00
Lバンク1	H'0000_2000	H'02
Lバンク2	H'0000_4000	H'04
⋮		
Lバンク62	H'0007_C000	H'7C
Lバンク63	H'0007_E000	H'7E

注. フラッシュメモリを8KB毎に区切った各Lバンクの先頭アドレス(32ビット)のA12~A18(7ビット)を疑似フラッシュLバンクレジスタのLバンクアドレス(LBANKAD)ビットに設定する。

図6.7.8 M32171F4の8Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Sバンク	フラッシュメモリ上の バンクの先頭アドレス	Sバンクアドレス (SBANKAD) ビット設定値
Sバンク0	H'0000_0000 (注)	H'00
Sバンク1	H'0000_1000	H'01
Sバンク2	H'0000_2000	H'02
⋮		
Sバンク126	H'0007_E000	H'7E
Sバンク127	H'0007_F000	H'7F

注. フラッシュメモリを4KB毎に区切った各Sバンクの先頭アドレス(32ビット)のA12~A19(8ビット)を疑似フラッシュSバンクレジスタのSバンクアドレス(SBANKAD)ビットに設定する。

図6.7.9 M32171F4の4Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBANKAD) ビット設定値
Lバンク0	H'0000_0000 (注)	H'00
Lバンク1	H'0000_2000	H'02
Lバンク2	H'0000_4000	H'04
⋮		
Lバンク46	H'0005_C000	H'5C
Lバンク47	H'0005_E000	H'5E

注. フラッシュメモリを8KB毎に区切った各Lバンクの先頭アドレス(32ビット)のA12~A18(7ビット)を疑似フラッシュLバンクレジスタのLバンクアドレス(LBANKAD)ビットに設定する。

図6.7.10 M32171F3の8Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Sバンク	フラッシュメモリ上の バンクの先頭アドレス	Sバンクアドレス (SBANKAD) ビット設定値
Sバンク0	H'0000_0000 (注)	H'00
Sバンク1	H'0000_1000	H'01
Sバンク2	H'0000_2000	H'02
⋮		
Sバンク94	H'0005_E000	H'5E
Sバンク95	H'0005_F000	H'5F

注. フラッシュメモリを4KB毎に区切った各Sバンクの先頭アドレス(32ビット)のA12~A19(8ビット)を疑似フラッシュSバンクレジスタのSバンクアドレス(SBANKAD)ビットに設定する。

図6.7.11 M32171F3の4Kバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Lバンク	フラッシュメモリ上の バンクの先頭アドレス	Lバンクアドレス (LBANKAD) ビット設定値
Lバンク0	H'0000_0000 (注)	H'00
Lバンク1	H'0000_2000	H'02
Lバンク2	H'0000_4000	H'04
⋮		
Lバンク30	H'0003_C000	H'3C
Lバンク31	H'0003_E000	H'3E

注. フラッシュメモリを8KB毎に区切った各Lバンクの先頭アドレス(32ビット)のA12~A18(7ビット)を疑似フラッシュLバンクレジスタのLバンクアドレス(LBANKAD)ビットに設定する。

図6.7.12 M32171F2の8KBバイト単位分割時の疑似フラッシュバンクレジスタの設定値

Sバンク	フラッシュメモリ上の バンクの先頭アドレス	Sバンクアドレス (SBANKAD) ビット設定値
Sバンク0	H'0000_0000 (注)	H'00
Sバンク1	H'0000_1000	H'01
Sバンク2	H'0000_2000	H'02
⋮		
Sバンク62	H'0003_E000	H'3E
Sバンク63	H'0003_F000	H'3F

注. フラッシュメモリを4KB毎に区切った各Sバンクの先頭アドレス(32ビット)のA12~A19(8ビット)を疑似フラッシュSバンクレジスタのSバンクアドレス(SBANKAD)ビットに設定する。

図6.7.13 M32171F2の4KBバイト単位分割時の疑似フラッシュバンクレジスタの設定値

6.7.2 疑似フラッシュエミュレーションモードへの移行

疑似フラッシュエミュレーションモードに移行するには、フラッシュ制御レジスタ1 (FCNT1)のFEMMODビットに"1"を書き込みます。疑似フラッシュエミュレーションモードに移行後、疑似フラッシュバンクレジスタのMODENビットに"1"を書き込ことで疑似フラッシュエミュレーション機能が有効になります。

疑似フラッシュエミュレーションモード時も、内蔵RAM領域 (H'0080 4000 ~ H'0080 7FFF) は内蔵RAMとしてアクセス可能です。

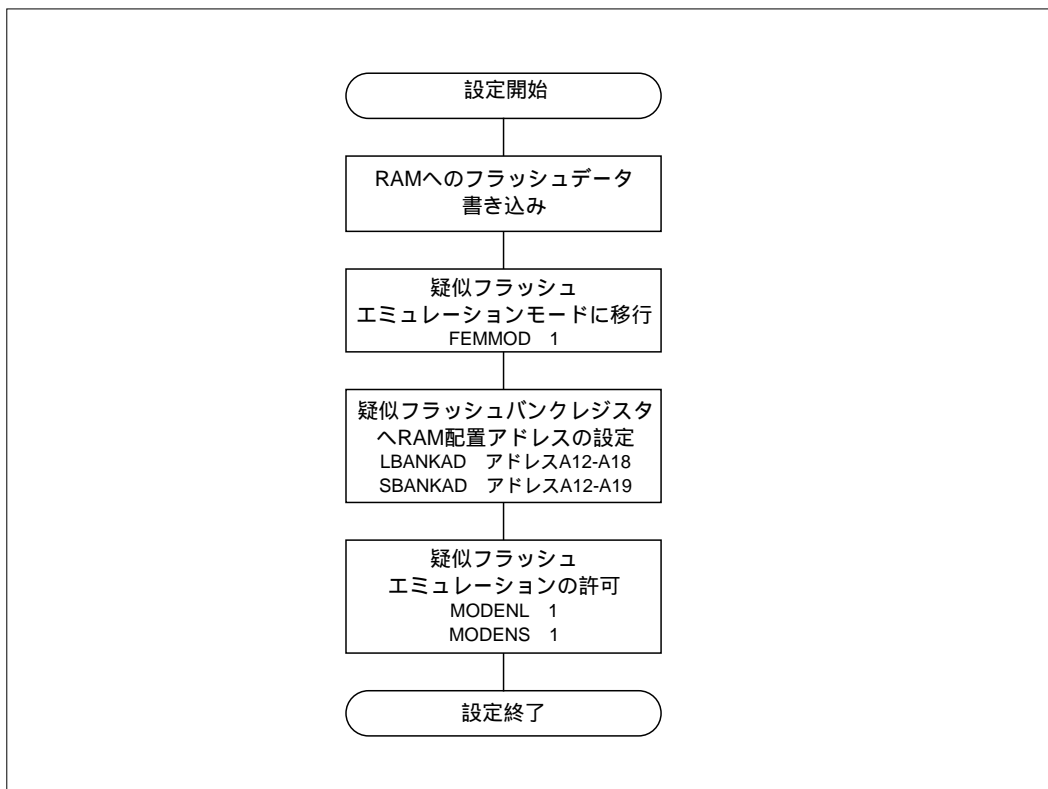


図6.7.14 疑似フラッシュエミュレーションモードシーケンス

6.7.3 疑似フラッシュエミュレーションモードの応用例

疑似フラッシュエミュレーション機能で2領域を同一エリアに配置して使用することで、フラッシュ中のデータを連続的に書き換えることができます。

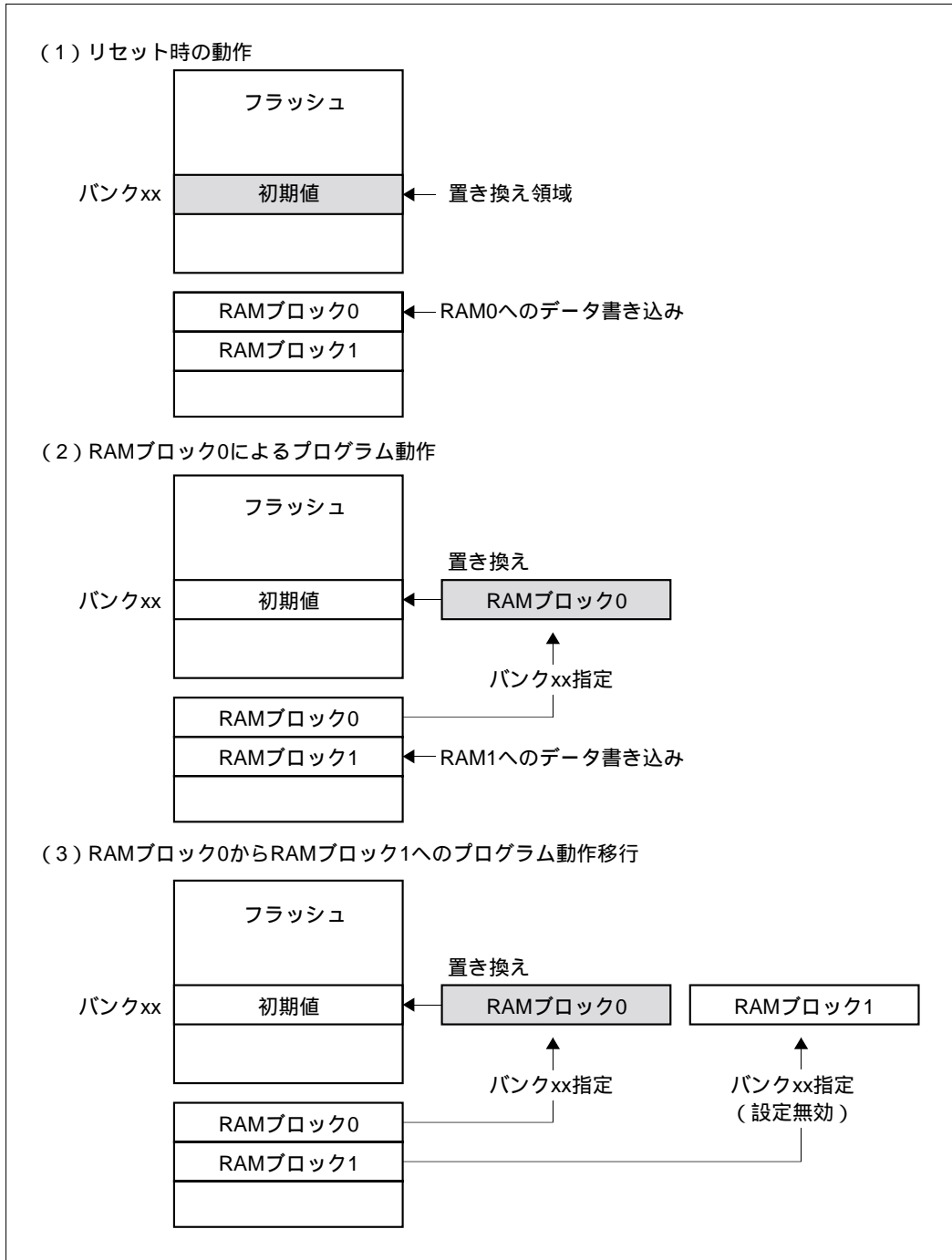


図6.7.15 疑似フラッシュエミュレーション使用例(1/2)

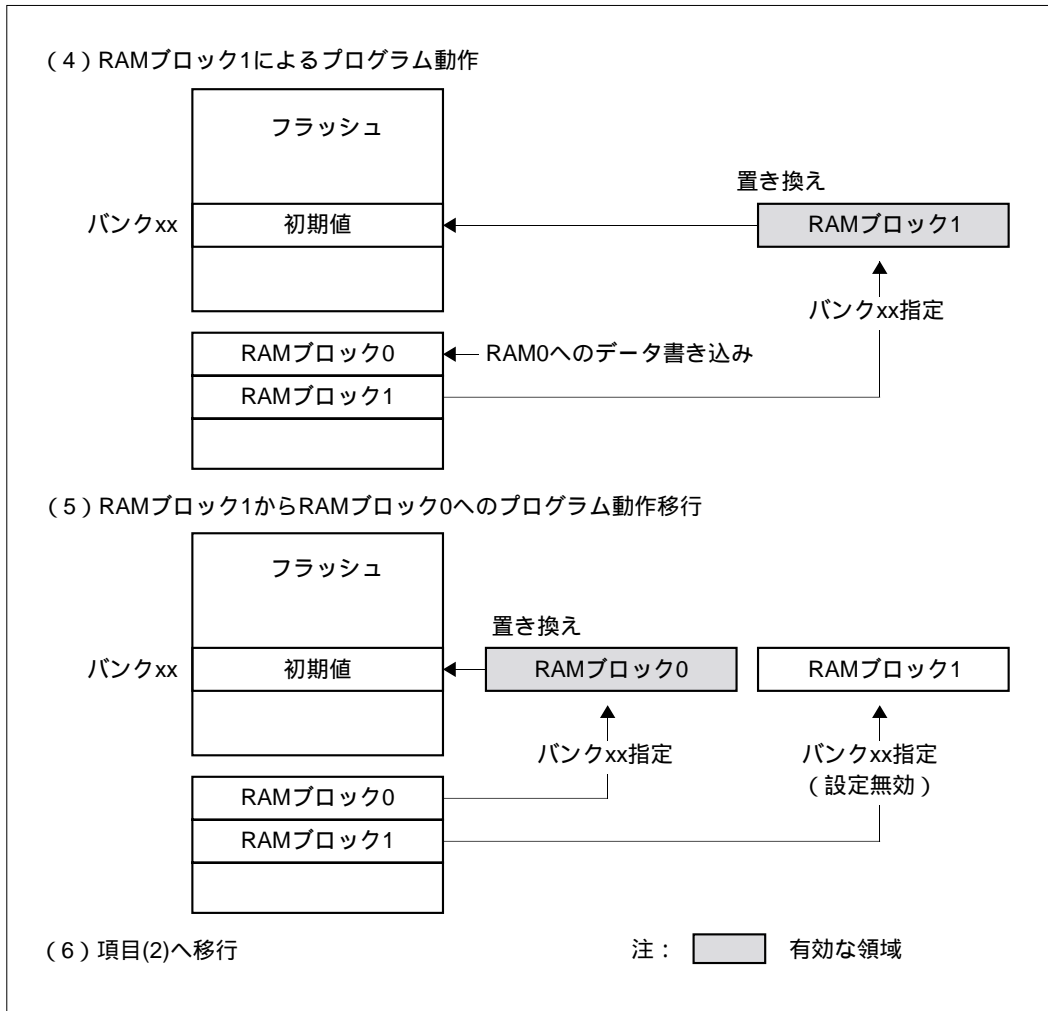


図6.7.16 疑似フラッシュエミュレーション使用例(2/2)

6.8 シリアルライタとの接続

ブートモード+フラッシュE/Wイネーブルモードで汎用シリアルライタを使用して内蔵フラッシュメモリを書き換える場合、下記に示す端子のシリアルライタへ対応した端子処理が必要です。

表6.8.1 32171のシリアルライタ使用時の端子処理

端子名	端子番号	機能	備考
SCLKI1	71	転送クロック入力	プルアップ必要
RXD1	70	シリアルデータ入力 (受信データ)	プルアップ必要
TXD1	69	シリアルデータ出力 (送信データ)	
P84	68	送受信許可出力	プルアップ必要
FP	94	フラッシュメモリのプロテクト	
MOD0	92	動作モード0	
MOD1	93	動作モード1	グラウンドに接続
RESET	91	リセット	
XIN	4	クロック入力	
XOUT	5	クロック出力	
VCNT	7	PLL回路の制御入力	
OSC-VCC	6	PLL回路電源	3.3V系電源に接続
OSC-VSS	3	PLL回路グラウンド	グラウンドに接続
VREF0	42	A-D変換器の基準電圧入力	5V系電源に接続
AVCC0	43	アナログ電源	5V系電源に接続
AVSS0	60	アナロググラウンド	グラウンドに接続
FVCC	73	フラッシュメモリ電源	3.3V系電源に接続
VDD	108	RAMバックアップ電源	3.3V系電源に接続
VCCE	20,65,95,132	5V系電源	
VCCI	61,123,137	3.3V系電源	
VSS	21,62,72,96,138	グラウンド	

注. 上記以外の端子については、端子処理不要です。

シリアルライタ接続時の、ユーザシステム構成例を以下に示します。シリアルライタは、ユーザシステムへ電源投入後、クロック同期形シリアルを使用しフラッシュメモリへの書き込みを行います。また、発振周波数に依存した通信上の問題が発生することはありません。シリアルライタに接続する端子をシステムで使用する場合、シリアルライタ接続時に影響が出ないように考慮が必要です。なお、H'0000 0084 ~ H'0000 0093間はフラッシュメモリプロテクト用のID照合領域としてシリアルライタで使用します。

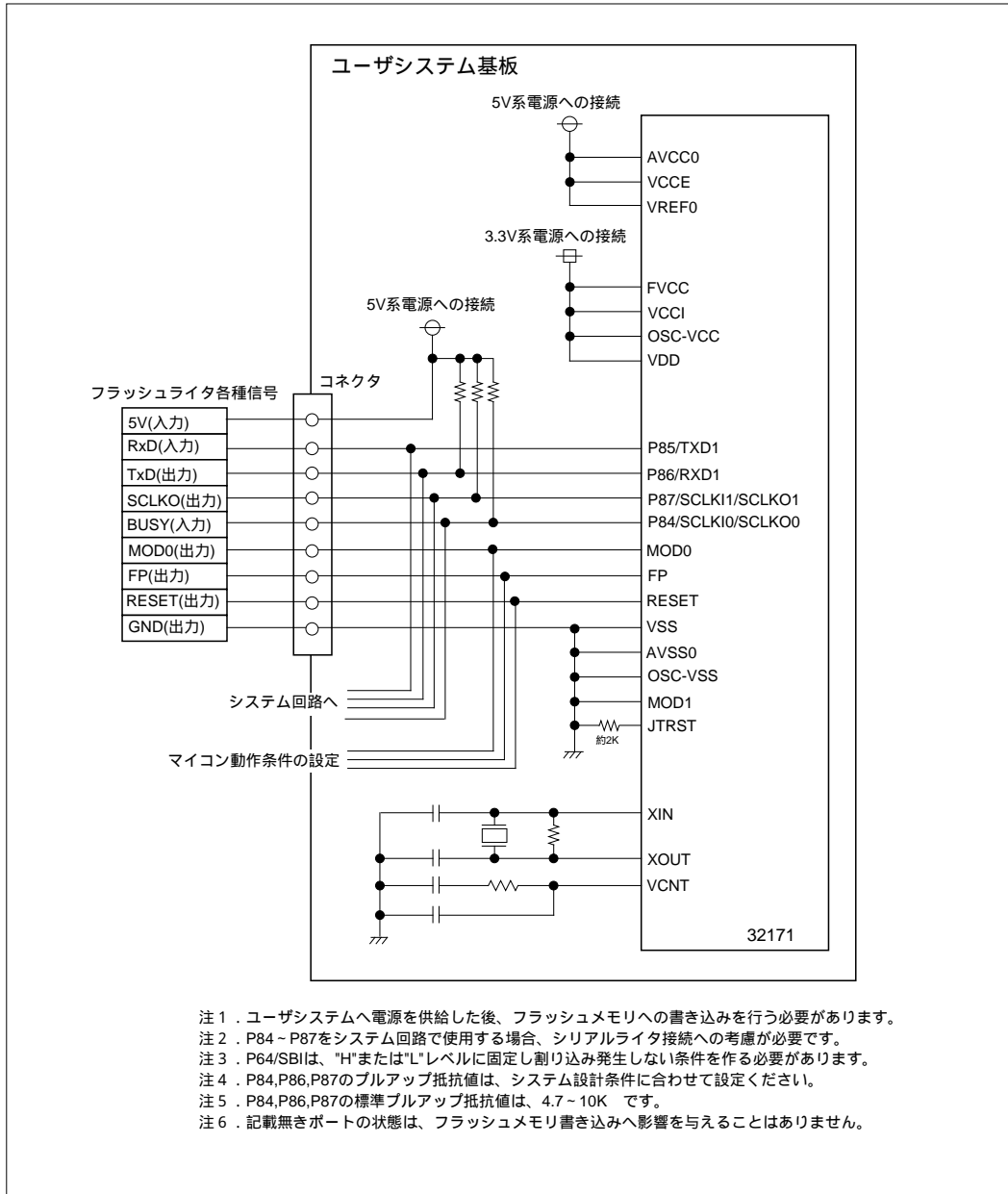


図6.8.1 32171の端子接続図

6.9 内蔵フラッシュメモリのプロテクト機能

32171の内蔵フラッシュメモリは、誤作動による書き換え、不正なコピーや書き換えを防ぐ、以下の4つのプロテクト機能を備えています。

(1) フラッシュメモリプロテクトID

汎用シリアルライター、エミュレータ等のフラッシュメモリを書き換えるツール使用時に、フラッシュメモリ内のIDと照合を行います。正しいIDを入力しないと書き換えを実行できません(一部ツールでは、全領域消去のみ実行可能です)。

(2) FP 端子によるプロテクト

FP(フラッシュプロテクト)端子を"L"レベルにすると、フラッシュメモリに対するE/Wがハードウェア的にプロテクトされます。また、フラッシュ書き込みプログラムで、フラッシュモードレジスタ(FMOD)内のFPMOD(外部FP端子ステータス)ビットを読み出すことによって、FP端子のレベルが判別できるため、ソフトウェア的にプロテクトすることもできます。外部端子設定によるプロテクトを要求されないシステムでは、FP端子を常に"H"レベルに設定することにより、フラッシュメモリ書き換え時の操作を簡略化することができます。

(3) FENTRY ビットによるプロテクト

フラッシュ制御レジスタ1(FCNT1)内のFENTRY(フラッシュモードエントリ)ビットを"1"に設定しないとフラッシュE/Wイネーブルモードに移行しません。また、FENTRYビットを"1"に設定するには、FP端子が"H"レベルの状態、連続して"0" "1"を書き込む必要があります。

(4) ロックビットによるプロテクト

フラッシュメモリのブロック単位に存在するロックビットを"0"にセットし、プロテクト状態にすると、該当するメモリブロックのE/Wが禁止されます。

6.10 フラッシュメモリ書き換え時の注意事項

ブートモード+フラッシュE/Wイネーブルモードで内蔵フラッシュメモリを書き換える場合の注意事項を以下に示します。

フラッシュメモリ書き換え時は、内部で高電圧が生成されています。チップ破壊の原因となり得ますので、書き換え中のモード移行などしないように、モード端子、電源管理を十分に行ってください。

汎用書き換えツールで使用する端子をシステムで使用する場合、ツール接続時に影響がないよう考慮が必要です。

汎用書き換えツール使用時にフラッシュメモリプロテクトが必要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)に任意のIDを設定してください。

汎用書き換えツール使用時にフラッシュメモリプロテクトが不要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)すべてにH'FFを設定してください。

フラッシュステータスレジスタ2(FSTAT2)の各エラーステータスのクリア(初期化H'80)に、フラッシュ制御レジスタ4(FCNT4)のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready) またはフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"でフラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"0"(Busy) またはフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"0"(プログラム/イレーズ中)場合、FENTRYビットのクリアは行わないでください。

第7章

リセット

- 7.1 リセット概要
- 7.2 リセット動作
- 7.3 リセット解除後の内部状態
- 7.4 リセット解除後の注意事項

7.1 リセット概要

RESET端子に"L"レベル信号を入力するとリセット状態に入ります。その後、RESET端子を"H"にするとリセット状態が解除され、PC(プログラムカウンタ)にリセットベクタエントリの番地がセットされ、以後リセットベクタエントリから実行を開始します。

7.2 リセット動作

7.2.1 電源投入時のリセット

電源投入時は、内蔵する4逓倍のクロックジェネレータの発振が安定するまで、RESET端子に"L"レベル信号を入力してください。

7.2.2 動作中のリセット

動作中のリセットは、XIN信号の4クロック以上の幅でRESET端子に"L"レベル信号を入力してください。

7.2.3 フラッシュ書き換え時のリセットベクタ移動

ブートモードにすると、リセットベクタエントリのアドレスはブートプログラム空間の先頭番地(H'8000 0000番地)に移動します。詳しくは6.5「内蔵フラッシュメモリの書き込み」をご覧ください。

7.3 リセット解除後の内部状態

以下にリセット解除後の内部状態を示します。各内蔵周辺I/Oのレジスタ初期状態については、それぞれの内蔵周辺I/Oの章をご覧ください。

表7.3.1 リセット解除後の内部状態

レジスタ	リセット解除後の状態
PSW (CR0)	B'0000 0000 0000 0000 ??00 000? 0000 0000 (BSM, BIE, BCビット = 不定)
CBR (CR1)	H'0000 0000 (Cビット = 0)
SPI (CR2)	不定
SPU (CR3)	不定
BPC (CR6)	不定
PC	H'0000 0000 (H'0000 0000番地から実行) (注)
R0 ~ R15	不定
ACQ (アキュムレ - タ)	不定
RAM	パワーオンリセット時、不定 (ただし、VDD端子に2.0V ~ 3.6V印加された状態でリセットし、リセット解除した場合、リセット前の内容を保持しています。)

注. ブートモード時は、ブートプログラム空間の先頭番地(H'8000 0000番地)になります。

表7.3.2 リセット時の端子状態一覧(1/4)

リセット時に入力になっている端子はハイインピーダンス状態(Hi-z)となります。リセット時とはRESET端子に"L"レベルが入力されている期間(リセット中)とRESET端子を"L"レベルから"H"レベルに変化させたとき(リセット解除時)のことです。

端子番号	端子名	機能			入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外			機能	入出力	リセット中の状態	リセット解除時の状態
1	P221/CRX (注)	P221	CRX	-	入力		P221	入力	Hi-z	Hi-z
2	P225/A12	P225	A12	-	入出力	シングルチップモード時	P225	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A12	出力	Hi-z	不定
3	OSC-VSS	-	OSC-VSS	-	-		OSC-VSS	-	-	-
4	XIN	-	XIN	-	入力		XIN	入力	-	-
5	XOUT	-	XOUT	-	出力		XOUT	出力	XOUT	XOUT
6	OSC-VCC	-	OSC-VCC	-	-		OSC-VCC	-	-	-
7	VCNT	-	VCNT	-	-		VCNT	-	-	-
8	P30/A15	P30	A15	-	入出力	シングルチップモード時	P30	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A15	出力	Hi-z	不定
9	P31/A16	P31	A16	-	入出力	シングルチップモード時	P31	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A16	出力	Hi-z	不定
10	P32/A17	P32	A17	-	入出力	シングルチップモード時	P32	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A17	出力	Hi-z	不定
11	P33/A18	P33	A18	-	入出力	シングルチップモード時	P33	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A18	出力	Hi-z	不定
12	P34/A19	P34	A19	-	入出力	シングルチップモード時	P34	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A19	出力	Hi-z	不定
13	P35/A20	P35	A20	-	入出力	シングルチップモード時	P35	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A20	出力	Hi-z	不定
14	P36/A21	P36	A21	-	入出力	シングルチップモード時	P36	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A21	出力	Hi-z	不定
15	P37/A22	P37	A22	-	入出力	シングルチップモード時	P37	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A22	出力	Hi-z	不定
16	P20/A23	P20	A23	-	入出力	シングルチップモード時	P20	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A23	出力	Hi-z	不定
17	P21/A24	P21	A24	-	入出力	シングルチップモード時	P21	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A24	出力	Hi-z	不定
18	P22/A25	P22	A25	-	入出力	シングルチップモード時	P22	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A25	出力	Hi-z	不定
19	P23/A26	P23	A26	-	入出力	シングルチップモード時	P23	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A26	出力	Hi-z	不定
20	VCCE	-	VCCE	-	-		VCCE	-	-	-
21	VSS	-	VSS	-	-		VSS	-	-	-
22	P24/A27	P24	A27	-	入出力	シングルチップモード時	P24	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A27	出力	Hi-z	不定
23	P25/A28	P25	A28	-	入出力	シングルチップモード時	P25	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A28	出力	Hi-z	不定
24	P26/A29	P26	A29	-	入出力	シングルチップモード時	P26	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A29	出力	Hi-z	不定
25	P27/A30	P27	A30	-	入出力	シングルチップモード時	P27	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A30	出力	Hi-z	不定
26	P00/DB0	P00	DB0	-	入出力	シングルチップモード時	P00	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB0	入力	Hi-z	Hi-z

注. P221はCAN入力専用端子です。

表7.3.3 リセット時の端子状態一覧(2/4)

端子 番号	端子名	機能			入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解 除時の状態
27	P01/DB1	P01	DB1	-	入出力	シングルチップモード時	P01	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB1	入力	Hi-z	Hi-z
28	P02/DB2	P02	DB2	-	入出力	シングルチップモード時	P02	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB2	入力	Hi-z	Hi-z
29	P03/DB3	P03	DB3	-	入出力	シングルチップモード時	P03	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB3	入力	Hi-z	Hi-z
30	P04/DB4	P04	DB4	-	入出力	シングルチップモード時	P04	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB4	入力	Hi-z	Hi-z
31	P05/DB5	P05	DB5	-	入出力	シングルチップモード時	P05	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB5	入力	Hi-z	Hi-z
32	P06/DB6	P06	DB6	-	入出力	シングルチップモード時	P06	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB6	入力	Hi-z	Hi-z
33	P07/DB7	P07	DB7	-	入出力	シングルチップモード時	P07	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB7	入力	Hi-z	Hi-z
34	P10/DB8	P10	DB8	-	入出力	シングルチップモード時	P10	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB8	入力	Hi-z	Hi-z
35	P11/DB9	P11	DB9	-	入出力	シングルチップモード時	P11	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB9	入力	Hi-z	Hi-z
36	P12/DB10	P12	DB10	-	入出力	シングルチップモード時	P12	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB10	入力	Hi-z	Hi-z
37	P13/DB11	P13	DB11	-	入出力	シングルチップモード時	P13	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB11	入力	Hi-z	Hi-z
38	P14/DB12	P14	DB12	-	入出力	シングルチップモード時	P14	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB12	入力	Hi-z	Hi-z
39	P15/DB13	P15	DB13	-	入出力	シングルチップモード時	P15	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB13	入力	Hi-z	Hi-z
40	P16/DB14	P16	DB14	-	入出力	シングルチップモード時	P16	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB14	入力	Hi-z	Hi-z
41	P17/DB15	P17	DB15	-	入出力	シングルチップモード時	P17	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	DB15	入力	Hi-z	Hi-z
42	VREF0	-	VREF0	-	-		VREF0	-	-	-
43	AVCC0	-	AVCC0	-	-		AVCC0	-	-	-
44	AD0IN0	-	AD0IN0	-	入力		AD0IN0	入力	Hi-z	Hi-z
45	AD0IN1	-	AD0IN1	-	入力		AD0IN1	入力	Hi-z	Hi-z
46	AD0IN2	-	AD0IN2	-	入力		AD0IN2	入力	Hi-z	Hi-z
47	AD0IN3	-	AD0IN3	-	入力		AD0IN3	入力	Hi-z	Hi-z
48	AD0IN4	-	AD0IN4	-	入力		AD0IN4	入力	Hi-z	Hi-z
49	AD0IN5	-	AD0IN5	-	入力		AD0IN5	入力	Hi-z	Hi-z
50	AD0IN6	-	AD0IN6	-	入力		AD0IN6	入力	Hi-z	Hi-z
51	AD0IN7	-	AD0IN7	-	入力		AD0IN7	入力	Hi-z	Hi-z
52	AD0IN8	-	AD0IN8	-	入力		AD0IN8	入力	Hi-z	Hi-z
53	AD0IN9	-	AD0IN9	-	入力		AD0IN9	入力	Hi-z	Hi-z
54	AD0IN10	-	AD0IN10	-	入力		AD0IN10	入力	Hi-z	Hi-z
55	AD0IN11	-	AD0IN11	-	入力		AD0IN11	入力	Hi-z	Hi-z
56	AD0IN12	-	AD0IN12	-	入力		AD0IN12	入力	Hi-z	Hi-z
57	AD0IN13	-	AD0IN13	-	入力		AD0IN13	入力	Hi-z	Hi-z
58	AD0IN14	-	AD0IN14	-	入力		AD0IN14	入力	Hi-z	Hi-z
59	AD0IN15	-	AD0IN15	-	入力		AD0IN15	入力	Hi-z	Hi-z
60	AVSS0	-	AVSS0	-	-		AVSS0	-	-	-
61	VCCI	-	VCCI	-	-		VCCI	-	-	-

表7.3.4 リセット時の端子状態一覧(3/4)

端子番号	端子名	機能			入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外			機能	入出力	リセット中の状態	リセット解除時の状態
62	VSS	-	VSS	-	-		VSS	-	-	-
63	P174/TXD2	P174	TXD2	-	入出力		P174	入力	Hi-z	Hi-z
64	P175/RXD2	P175	RXD2	-	入出力		P175	入力	Hi-z	Hi-z
65	VCCE	-	VCCE	-	入出力		VCCE	-	-	-
66	P82/TXD0	P82	TXD0	-	入出力		P82	入力	Hi-z	Hi-z
67	P83/RXD0	P83	RXD0	-	入出力		P83	入力	Hi-z	Hi-z
68	P84/SCLKI0/SCLKO0	P84	SCLKI0	SCLKO0	入出力		P84	入力	Hi-z	Hi-z
69	P85/TXD1	P85	TXD1	-	入出力		P85	入力	Hi-z	Hi-z
70	P86/RXD1	P86	RXD1	-	入出力		P86	入力	Hi-z	Hi-z
71	P87/SCLKI1/SCLKO1	P87	SCLKI1	SCLKO1	入出力		P87	入力	Hi-z	Hi-z
72	VSS	-	VSS	-	-		VSS	-	-	-
73	FVCC	-	FVCC	-	-		FVCC	-	-	-
74	P61	P61	-	-	入出力		P61	入力	Hi-z	Hi-z
75	P62	P62	-	-	入出力		P62	入力	Hi-z	Hi-z
76	P63	P63	-	-	入出力		P63	入力	Hi-z	Hi-z
77	P64/SBI (注1)	P64	SBI	-	入力		SBI	入力	Hi-z	Hi-z
78	P70/BCLK/WR	P70	BCLK	WR	入出力		P70	入力	Hi-z	Hi-z
79	P71/WAIT	P71	WAIT	-	入出力		P71	入力	Hi-z	Hi-z
80	P72/HREQ	P72	HREQ	-	入出力		P72	入力	Hi-z	Hi-z
81	P73/HACK	P73	HACK	-	入出力		P73	入力	Hi-z	Hi-z
82	P74/RTDXTD	P74	RTDXTD	-	入出力		P74	入力	Hi-z	Hi-z
83	P75/RTDRXD	P75	RTDRXD	-	入出力		P75	入力	Hi-z	Hi-z
84	P76/RTDACK	P76	RTDACK	-	入出力		P76	入力	Hi-z	Hi-z
85	P77/RTDCLK	P77	RTDCLK	-	入出力		P77	入力	Hi-z	Hi-z
86	P93/TO16	P93	TO16	-	入出力		P93	入力	Hi-z	Hi-z
87	P94/TO17	P94	TO17	-	入出力		P94	入力	Hi-z	Hi-z
88	P95/TO18	P95	TO18	-	入出力		P95	入力	Hi-z	Hi-z
89	P96/TO19	P96	TO19	-	入出力		P96	入力	Hi-z	Hi-z
90	P97/TO20	P97	TO20	-	入出力		P97	入力	Hi-z	Hi-z
91	RESET	-	RESET	-	入力		RESET	入力	Hi-z	Hi-z
92	MOD0	-	MOD0	-	入力		MOD0	入力	Hi-z	Hi-z
93	MOD1	-	MOD1	-	入力		MOD1	入力	Hi-z	Hi-z
94	FP	-	FP	-	入力		FP	入力	Hi-z	Hi-z
95	VCCE	-	VCCE	-	-		VCCE	-	-	-
96	VSS	-	VSS	-	-		VSS	-	-	-
97	P110/TO0	P110	TO0	-	入出力		P110	入力	Hi-z	Hi-z
98	P111/TO1	P111	TO1	-	入出力		P111	入力	Hi-z	Hi-z
99	P112/TO2	P112	TO2	-	入出力		P112	入力	Hi-z	Hi-z
100	P113/TO3	P113	TO3	-	入出力		P113	入力	Hi-z	Hi-z
101	P114/TO4	P114	TO4	-	入出力		P114	入力	Hi-z	Hi-z
102	P115/TO5	P115	TO5	-	入出力		P115	入力	Hi-z	Hi-z
103	P116/TO6	P116	TO6	-	入出力		P116	入力	Hi-z	Hi-z
104	P117/TO7	P117	TO7	-	入出力		P117	入力	Hi-z	Hi-z
105	P100/TO8	P100	TO8	-	入出力		P100	入力	Hi-z	Hi-z
106	P101/TO9	P101	TO9	-	入出力		P101	入力	Hi-z	Hi-z
107	P102/TO10	P102	TO10	-	入出力		P102	入力	Hi-z	Hi-z
108	VDD	-	VDD	-	-		VDD	-	-	-
109	JTMS (注2)	-	JTMS	-	入力		JTMS	入力	Hi-z	Hi-z
110	JTCK (注2)	-	JTCK	-	入力		JTCK	入力	Hi-z	Hi-z
111	JTRST (注2)	-	JTRST	-	入力		JTRST	入力	Hi-z	Hi-z
112	JTDO (注2)	-	JTDO	-	出力		JTDO	出力	Hi-z	Hi-z
113	JTDI (注2)	-	JTDI	-	入力		JTDI	入力	Hi-z	Hi-z
114	P103/TO11	P103	TO11	-	入出力		P103	入力	Hi-z	Hi-z
115	P104/TO12	P104	TO12	-	入出力		P104	入力	Hi-z	Hi-z
116	P105/TO13	P105	TO13	-	入出力		P105	入力	Hi-z	Hi-z
117	P106/TO14	P106	TO14	-	入出力		P106	入力	Hi-z	Hi-z
118	P107/TO15	P107	TO15	-	入出力		P107	入力	Hi-z	Hi-z
119	P124/TCLK0	P124	TCLK0	-	入出力		P124	入力	Hi-z	Hi-z
120	P125/TCLK1	P125	TCLK1	-	入出力		P125	入力	Hi-z	Hi-z

注1. P64はSBI入力専用端子です。

注2. JTCK端子, JTDI端子, JTDO端子, JTMS端子はRESET端子によってリセットされるのではなく、JTRST端子によってリセットされます。JTRST端子に"L"レベルが入力されている場合、JTCK端子, JTDI端子, JTDO端子, JTMS端子はハイインピーダンス状態です。

表7.3.5 リセット時の端子状態一覧(4/4)

端子 番号	端子名	機能			入出力	条件	リセット時の端子状態			
		ポート	ポート以外	ポート以外			機能	入出力	リセット中 の状態	リセット解 除時の状態
121	P126/TCLK2	P126	TCLK2	-	入出力		P126	入力	Hi-z	Hi-z
122	P127/TCLK3	P127	TCLK3	-	入出力		P127	入力	Hi-z	Hi-z
123	VCCI	-	VCCI	-	-		VCCI	-	-	-
124	P130/TIN16	P130	TIN16	-	入出力		P130	入力	Hi-z	Hi-z
125	P131/TIN17	P131	TIN17	-	入出力		P131	入力	Hi-z	Hi-z
126	P132/TIN18	P132	TIN18	-	入出力		P132	入力	Hi-z	Hi-z
127	P133/TIN19	P133	TIN19	-	入出力		P133	入力	Hi-z	Hi-z
128	P134/TIN20	P134	TIN20	-	入出力		P134	入力	Hi-z	Hi-z
129	P135/TIN21	P135	TIN21	-	入出力		P135	入力	Hi-z	Hi-z
130	P136/TIN22	P136	TIN22	-	入出力		P136	入力	Hi-z	Hi-z
131	P137/TIN23	P137	TIN23	-	入出力		P137	入力	Hi-z	Hi-z
132	VCCE	-	VCCE	-	-		VCCE	-	-	-
133	P150/TIN0	P150	TIN0	-	入出力		P150	入力	Hi-z	Hi-z
134	P153/TIN3	P153	TIN3	-	入出力		P153	入力	Hi-z	Hi-z
135	P41/ $\overline{\text{BLW}}$ / $\overline{\text{BLE}}$	P41	$\overline{\text{BLW}}$	$\overline{\text{BLE}}$	入出力	シングルチップモード時	P41	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	$\overline{\text{BLW}}$	出力	Hi-z	"H"レベル
136	P42/ $\overline{\text{BHW}}$ / $\overline{\text{BHE}}$	P42	$\overline{\text{BHW}}$	$\overline{\text{BHE}}$	入出力	シングルチップモード時	P42	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	$\overline{\text{BHW}}$	出力	Hi-z	"H"レベル
137	VCCI	-	VCCI	-	-		VCCI	-	-	-
138	VSS	-	VSS	-	-		VSS	-	-	-
139	P43/ $\overline{\text{RD}}$	P43	$\overline{\text{RD}}$	-	入出力	シングルチップモード時	P43	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	$\overline{\text{RD}}$	出力	Hi-z	"H"レベル
140	P44/ $\overline{\text{CS0}}$	P44	$\overline{\text{CS0}}$	-	入出力	シングルチップモード時	P44	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	$\overline{\text{CS0}}$	出力	Hi-z	"H"レベル
141	P45/ $\overline{\text{CS1}}$	P45	$\overline{\text{CS1}}$	-	入出力	シングルチップモード時	P45	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	$\overline{\text{CS1}}$	出力	Hi-z	"H"レベル
142	P46/A13	P46	A13	-	入出力	シングルチップモード時	P46	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A13	出力	Hi-z	不定
143	P47/A14	P47	A14	-	入出力	シングルチップモード時	P47	入力	Hi-z	Hi-z
						外部拡張モード時 及びプロセッサモード時	A14	出力	Hi-z	不定
144	P220/CTX	P220	CTX	-	入出力		P220	入力	Hi-z	Hi-z

7.4 リセット解除後の注意事項

入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力機能許可レジスタ(PIEN)のPIEN0で入力許可に設定してください。詳しくは、8.3「入出力ポート関連レジスタ」をご覧ください。

第 8 章

入出力ポートと端子機能

- 8.1 入出力ポート概要
- 8.2 端子機能の選択
- 8.3 入出力ポート関連レジスタ
- 8.4 ポート周辺回路
- 8.5 入出力ポートの注意事項

8.1 入出力ポート概要

32171は、P0～P13、P15、P17、およびP22(ただしP5は将来のために予約)の計97本の入出力ポート(外部端子と接続されているポート)を備えています。

入出力ポートは、方向レジスタにより入力ポートまたは出力ポートとして使用できます。

各入出力ポートは、他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクションあるいはトリプルファンクション端子になっており、チップの動作モード選択、または入出力ポートの動作モードレジスタで端子機能を選択します(内蔵周辺I/Oがさらに複数の機能を持つ場合は、各内蔵周辺I/Oのレジスタ設定が必要です)。

新規機能として、入力ポートの貫通電流対策に使用可能なポート入力機能許可ビットを内蔵しており、リセット直後及びフラッシュ書き換え時のソフトウェア及びハードウェア処理を簡素化できます。

なお、ポートを入力モードで使用する場合には、ポート入力機能許可ビットの設定が必要です。

次ページに入出力ポートの概要を示します。

表8.1.1 入出力ポートの概要

項目	仕様
ポート数	合計97本 P0 : P00 ~ P07 (8本) P1 : P10 ~ P17 (8本) P2 : P20 ~ P27 (8本) P3 : P30 ~ P37 (8本) P4 : P41 ~ P47 (7本) P6 : P61 ~ P64 (4本) P7 : P70 ~ P77 (8本) P8 : P82 ~ P87 (6本) P9 : P93 ~ P97 (5本) P10 : P100 ~ P107 (8本) P11 : P110 ~ P117 (8本) P12 : P124 ~ P127 (4本) P13 : P130 ~ P137 (8本) P15 : P150, P153 (2本) P17 : P174, P175 (2本) P22 : P220, P221, P225, (3本)
ポート機能	入出力ポートの方向制御レジスタにより、各ポート単位で入力ポートまたは出力ポートに設定可能(ただし、P64はSBI入力専用ポートおよびP221はCAN入力専用ポート)
端子機能	周辺I/Oまたは外部拡張信号とのダブルファンクション(または周辺I/Oの複数機能との多重ファンクション)
端子機能切り替え	P0 ~ P4, P225 : CPU動作モード設定(MOD0, MOD1端子)による P6 ~ P22 : 入出力ポートの動作モードレジスタ設定による (ただし周辺I/Oの端子機能は周辺I/Oのレジスタで選択)

注: P14、P16、P18 ~ P21はありません。

8.2 端子機能の選択

各入出力ポートは他の内蔵周辺I/Oまたは外部拡張バスの信号線とダブルファンクション(または周辺I/Oの複数機能とのトリプルファンクション)になっており、動作モードの設定、または入出力ポートの動作モードレジスタで機能を選択します。

P0～P4、P225は、CPUの動作モードを外部拡張モード、またはプロセッサモードに設定した場合、すべて外部アクセスのための信号端子に切り替わります。動作モードはMOD0、MOD1端子の設定で決まります(下表参照)。

表8.2.1 CPU動作モードとP0～P4、P225端子機能

MOD0	MOD1	動作モード	P0～P4、P225端子機能
VSS	VSS	シングルチップモード	入出力ポート端子
VSS	VCCE	外部拡張モード	外部拡張信号端子
VCCE	VSS	プロセッサモード	
VCCE	VCCE	Reserved(使用禁止)	-

注. VCCE = +5Vまたは3.3V, VSS = GNDに接続。

P6～P13、P15、P17、P22(P64、P221、P225は除く)は入出力ポートの動作モードレジスタの設定で、入出力ポート端子と内蔵周辺I/Oの端子に機能が切り替わります。なお、内蔵周辺I/Oが複数の端子機能を備える場合は、それぞれの内蔵周辺I/Oのレジスタで端子機能を選択してください。

なお、内蔵フラッシュメモリ書き込み時の、FP端子とMOD1端子の操作は、端子機能には影響を与えません。

		0	1	2	3	4	5	6	7
チップ 動作モード 設定 (注1)	P0	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7
	P1	DB8	DB9	DB10	DB11	DB12	DB13	DB14	DB15
	P2	A23	A24	A25	A26	A27	A28	A29	A30
	P3	A15	A16	A17	A18	A19	A20	A21	A22
	P4		BLW/ BLE	BHW/ BHE	RD	CS0	CS1	A13	A14
	(予約)								
	P6		(P61)	(P62)	(P63)	SBI			
	P7	BCLK/ WR	WAIT	HREQ	HACK	RTDTXD	RTDRXD	RTDACK	RTDCLK
	P8			TXD0	RXD0	SCLK10/ SCLK00	TXD1	RXD1	SCLK11/ SCLK01
	P9				TO16	TO17	TO18	TO19	TO20
入出力ポート 動作モード レジスタ設定	P10	TO8	TO9	TO10	TO11	TO12	TO13	TO14	TO15
	P11	TO0	TO1	TO2	TO3	TO4	TO5	TO6	TO7
	P12					TCLK0	TCLK1	TCLK2	TCLK3
	P13	TIN16	TIN17	TIN18	TIN19	TIN20	TIN21	TIN22	TIN23
	P14								
	P15	TIN0			TIN3				
	P16								
	P17					TXD2	RXD2		
	P18								
	P19								
	P20								
	P21								
P22	CTX	CRX					A12 (注2)		

注1. MOD0, MOD1端子の設定により、端子機能が切り替わります。
注2. MOD0, MOD1端子の設定により、端子機能が切り替わります。また、デバッグイベント機能がありますので使用上ご注意ください。
注3. M32171では、P14、P16、P18、P19、P20、およびP21は配置されていません。

図8.2.1 入出力ポートと端子機能の割り当て

8.3 入出力ポート関連レジスタ

入出力ポート関連のレジスタには、ポートデータレジスタ、ポート方向レジスタ、ポート動作モードレジスタがあります。このうちポート動作モードレジスタは、P6～P22のみあります。P0～P4、P225は、CPUの動作モード設定(FP, MOD0, MOD1端子)で端子機能がきまります。

なお、P5は将来のために予約されています。以下に入出力ポート関連のレジスタマップを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0700	P0データレジスタ (P0DATA)		P1データレジスタ (P1DATA)			
H'0080 0702	P2データレジスタ (P2DATA)		P3データレジスタ (P3DATA)			
H'0080 0704	P4データレジスタ (P4DATA)					
H'0080 0706	P6データレジスタ (P6DATA)		P7データレジスタ (P7DATA)			
H'0080 0708	P8データレジスタ (P8DATA)		P9データレジスタ (P9DATA)			
H'0080 070A	P10データレジスタ (P10DATA)		P11データレジスタ (P11DATA)			
H'0080 070C	P12データレジスタ (P12DATA)		P13データレジスタ (P13DATA)			
H'0080 070E			P15データレジスタ (P15DATA)			
H'0080 0710			P17データレジスタ (P17DATA)			
H'0080 0712						
H'0080 0714						
H'0080 0716	P22データレジスタ (P22DATA)					
	≈		≈			
H'0080 0720	P0方向レジスタ (P0DIR)		P1方向レジスタ (P1DIR)			
H'0080 0722	P2方向レジスタ (P2DIR)		P3方向レジスタ (P3DIR)			
H'0080 0724	P4方向レジスタ (P4DIR)					
H'0080 0726	P6方向レジスタ (P6DIR)		P7方向レジスタ (P7DIR)			
H'0080 0728	P8方向レジスタ (P8DIR)		P9方向レジスタ (P9DIR)			
H'0080 072A	P10方向レジスタ (P10DIR)		P11方向レジスタ (P11DIR)			
H'0080 072C	P12方向レジスタ (P12DIR)		P13方向レジスタ (P13DIR)			
H'0080 072E			P15方向レジスタ (P15DIR)			
H'0080 0730			P17方向レジスタ (P17DIR)			
H'0080 0732						
H'0080 0734						
H'0080 0736	P22方向レジスタ (P22DIR)					
	≈		≈			

空き領域は予約領域です。
注. P14、P16、P18～P21のデータレジスタ、方向レジスタ、および動作モードレジスタはありません。

図8.3.1 入出力ポート関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0744					ポート入力機能許可レジスタ (PIEN)	
H'0080 0746					P7動作モードレジスタ (P7MOD)	
H'0080 0748		P8動作モードレジスタ (P8MOD)			P9動作モードレジスタ (P9MOD)	
H'0080 074A		P10動作モードレジスタ (P10MOD)			P11動作モードレジスタ (P11MOD)	
H'0080 074C		P12動作モードレジスタ (P12MOD)			P13動作モードレジスタ (P13MOD)	
H'0080 074E					P15動作モードレジスタ (P15MOD)	
H'0080 0750					P17動作モードレジスタ (P17MOD)	
H'0080 0752						
H'0080 0754						
H'0080 0756		P22動作モードレジスタ (P22MOD)				

空き領域は予約領域です。

図8.3.2 入出力ポート関連レジスタマップ (2/2)

8.3.1 ポートデータレジスタ

P0データレジスタ(P0DATA)	<アドレス: H'0080 0700>
P1データレジスタ(P1DATA)	<アドレス: H'0080 0701>
P2データレジスタ(P2DATA)	<アドレス: H'0080 0702>
P3データレジスタ(P3DATA)	<アドレス: H'0080 0703>
P4データレジスタ(P4DATA)	<アドレス: H'0080 0704>
P6データレジスタ(P6DATA)	<アドレス: H'0080 0706>
P7データレジスタ(P7DATA)	<アドレス: H'0080 0707>
P8データレジスタ(P8DATA)	<アドレス: H'0080 0708>
P9データレジスタ(P9DATA)	<アドレス: H'0080 0709>
P10データレジスタ(P10DATA)	<アドレス: H'0080 070A>
P11データレジスタ(P11DATA)	<アドレス: H'0080 070B>
P12データレジスタ(P12DATA)	<アドレス: H'0080 070C>
P13データレジスタ(P13DATA)	<アドレス: H'0080 070D>
P15データレジスタ(P15DATA)	<アドレス: H'0080 070F>
P17データレジスタ(P17DATA)	<アドレス: H'0080 0711>
P22データレジスタ(P22DATA)	<アドレス: H'0080 0716>

	D0	1	2	3	4	5	6	D7
(D8	9	10	11	12	13	14	D15)
	Pn0DT	Pn1DT	Pn2DT	Pn3DT	Pn4DT	Pn5DT	Pn6DT	Pn7DT

注. n = 0 ~ 13, 15, 17, 22 (ただしP5を除く)

<リセット時: 不定>

D	ビット名	機能	R	W
0	Pn0DT(ポートPn0データ)	ポート方向レジスタの設定により		
1	Pn1DT(ポートPn1データ)	方向ビットが"0"(入力モード)の場合		
2	Pn2DT(ポートPn2データ)	0: ポート入力端子="L"		
3	Pn3DT(ポートPn3データ)	1: ポート入力端子="H"		
4	Pn4DT(ポートPn4データ)	方向ビットが"1"(出力モード)の場合		
5	Pn5DT(ポートPn5データ)	0: ポート出力ラッチ="L"		
6	Pn6DT(ポートPn6データ)	1: ポート出力ラッチ="H"		
7	Pn7DT(ポートPn7データ)			

注1. 次のビットは配置されていません(リード時"0", ライト時無効)。

P40, P60, P65 ~ P67, P90 ~ P92, P120 ~ P123, P151, P152, P154 ~ P157,
P170 ~ P173, P176, P177, P222 ~ P224, P226, P227

注2. ポートP64は入力モードのみです。P64DTビットへの書き込みは無効です。

注3. ポートP80, P81は入力モードのみです。P80DT, P81DTビットへの書き込みは無効です。読み出し時
P80からはMOD0、P81からはMOD1の端子レベルが読み出せます。

注4. ポートP221は入力モードのみです。P221DTビットへの書き込みは無効です。

注5. P14, P16, P18 ~ P21のデータレジスタはありません。

8.3.2 ポート方向レジスタ

P0方向レジスタ(P0DIR)	<アドレス : H'0080 0720>
P1方向レジスタ(P1DIR)	<アドレス : H'0080 0721>
P2方向レジスタ(P2DIR)	<アドレス : H'0080 0722>
P3方向レジスタ(P3DIR)	<アドレス : H'0080 0723>
P4方向レジスタ(P4DIR)	<アドレス : H'0080 0724>
P6方向レジスタ(P6DIR)	<アドレス : H'0080 0726>
P7方向レジスタ(P7DIR)	<アドレス : H'0080 0727>
P8方向レジスタ(P8DIR)	<アドレス : H'0080 0728>
P9方向レジスタ(P9DIR)	<アドレス : H'0080 0729>
P10方向レジスタ(P10DIR)	<アドレス : H'0080 072A>
P11方向レジスタ(P11DIR)	<アドレス : H'0080 072B>
P12方向レジスタ(P12DIR)	<アドレス : H'0080 072C>
P13方向レジスタ(P13DIR)	<アドレス : H'0080 072D>
P15方向レジスタ(P15DIR)	<アドレス : H'0080 072F>
P17方向レジスタ(P17DIR)	<アドレス : H'0080 0731>
P22方向レジスタ(P22DIR)	<アドレス : H'0080 0736>

D0 (D8)	1 9	2 10	3 11	4 12	5 13	6 14	D7 (D15)
Pn0DIR	Pn1DIR	Pn2DIR	Pn3DIR	Pn4DIR	Pn5DIR	Pn6DIR	Pn7DIR

注. n = 0 ~ 13,15,17,22 (ただしP5を除く)

<リセット時 : H'00>

D	ビット名	機能	R	W
0	Pn0DIR (ポートPn0 方向ビット)	0 : 入力モード(リセット時)		
1	Pn1DIR (ポートPn1 方向ビット)	1 : 出力モード		
2	Pn2DIR (ポートPn2 方向ビット)			
3	Pn3DIR (ポートPn3 方向ビット)			
4	Pn4DIR (ポートPn4 方向ビット)			
5	Pn5DIR (ポートPn5 方向ビット)			
6	Pn6DIR (ポートPn6 方向ビット)			
7	Pn7DIR (ポートPn7 方向ビット)			

注1. 次のビットは配置されていません(リード時"0", ライト時無効)。

P40, P60, P65 ~ P67, P90 ~ P92, P120 ~ P123, P151, P152, P154 ~ P157,

P170 ~ P173, P176, P177, P222 ~ P224, P226, P227

注2. リセット時は全ポート入力モードに設定されています。

注3. ポートP64は入力モードのみです。P64DIRビットはありません。

注4. ポートP221は入力モードのみです。P221DIRビットはありません。

注5. ポートP80, P81は入力モードのみです。P80DIR, P81DIRビットはありません。

注6. P14, P16, P18 ~ P21の方向レジスタはありません。

8.3.3 ポート動作モードレジスタ

P7 動作モードレジスタ (P7MOD)

<アドレス: H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時: H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0: P70 1: BCLK \overline{WR}		
9	P71MOD (ポートP71動作モード)	0: P71 1: \overline{WAIT}		
10	P72MOD (ポートP72動作モード)	0: P72 1: \overline{HREQ}		
11	P73MOD (ポートP73動作モード)	0: P73 1: \overline{HACK}		
12	P74MOD (ポートP74動作モード)	0: P74 1: RTDTXD		
13	P75MOD (ポートP75動作モード)	0: P75 1: RTDRXD		
14	P76MOD (ポートP76動作モード)	0: P76 1: RTDACK		
15	P77MOD (ポートP77動作モード)	0: P77 1: RTDCLK		

P8 動作モードレジスタ (P8MOD)

<アドレス : H'0080 0748 >

D0	1	2	3	4	5	6	D7
		P82MOD	P83MOD	P84MOD	P85MOD	P86MOD	P87MOD

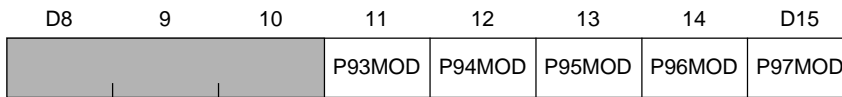
<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	P82MOD (ポートP82動作モード)	0 : P82 1 : TXD0		
3	P83MOD (ポートP83動作モード)	0 : P83 1 : RXD0		
4	P84MOD (ポートP84動作モード)	0 : P84 1 : SCLKI0 / SCLKO0		
5	P85MOD (ポートP85動作モード)	0 : P85 1 : TXD1		
6	P86MOD (ポートP86動作モード)	0 : P86 1 : RXD1		
7	P87MOD (ポートP87動作モード)	0 : P87 1 : SCLKI1 / SCLKO1		

注. ポートP80, P81はありません。

P9 動作モードレジスタ (P9MOD)

<アドレス : H'0080 0749 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	P93MOD (ポートP93動作モード)	0 : P93 1 : TO16		
12	P94MOD (ポートP94動作モード)	0 : P94 1 : TO17		
13	P95MOD (ポートP95動作モード)	0 : P95 1 : TO18		
14	P96MOD (ポートP96動作モード)	0 : P96 1 : TO19		
15	P97MOD (ポートP97動作モード)	0 : P97 1 : TO20		

注. ポートP90~P92はありません。

P10 動作モードレジスタ (P10MOD)

<アドレス : H'0080 074A >

D0	1	2	3	4	5	6	D7
P100MOD	P101MOD	P102MOD	P103MOD	P104MOD	P105MOD	P106MOD	P107MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P100MOD (ポートP100動作モード)	0 : P100 1 : TO8		
1	P101MOD (ポートP101動作モード)	0 : P101 1 : TO9		
2	P102MOD (ポートP102動作モード)	0 : P102 1 : TO10		
3	P103MOD (ポートP103動作モード)	0 : P103 1 : TO11		
4	P104MOD (ポートP104動作モード)	0 : P104 1 : TO12		
5	P105MOD (ポートP105動作モード)	0 : P105 1 : TO13		
6	P106MOD (ポートP106動作モード)	0 : P106 1 : TO14		
7	P107MOD (ポートP107動作モード)	0 : P107 1 : TO15		

P11 動作モードレジスタ (P11MOD)

<アドレス : H'0080 074B >

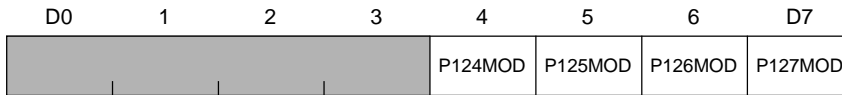
D8	9	10	11	12	13	14	D15
P110MOD	P111MOD	P112MOD	P113MOD	P114MOD	P115MOD	P116MOD	P117MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P110MOD (ポートP110動作モード)	0 : P110 1 : TO0		
9	P111MOD (ポートP111動作モード)	0 : P111 1 : TO1		
10	P112MOD (ポートP112動作モード)	0 : P112 1 : TO2		
11	P113MOD (ポートP113動作モード)	0 : P113 1 : TO3		
12	P114MOD (ポートP114動作モード)	0 : P114 1 : TO4		
13	P115MOD (ポートP115動作モード)	0 : P115 1 : TO5		
14	P116MOD (ポートP116動作モード)	0 : P116 1 : TO6		
15	P117MOD (ポートP117動作モード)	0 : P117 1 : TO7		

P12 動作モードレジスタ (P12MOD)

<アドレス : H'0080 074C >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	P124MOD (ポートP124動作モード)	0 : P124 1 : TCLK0		
5	P125MOD (ポートP125動作モード)	0 : P125 1 : TCLK1		
6	P126MOD (ポートP126動作モード)	0 : P126 1 : TCLK2		
7	P127MOD (ポートP127動作モード)	0 : P127 1 : TCLK3		

注. ポートP120 ~ P123はありません。

P13 動作モードレジスタ (P13MOD)

<アドレス : H'0080 074D >

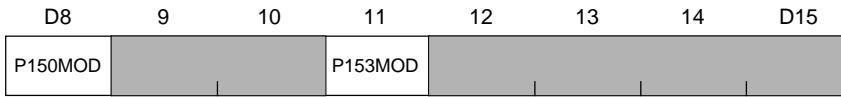
D8	9	10	11	12	13	14	D15
P130MOD	P131MOD	P132MOD	P133MOD	P134MOD	P135MOD	P136MOD	P137MOD

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P130MOD (ポートP130動作モード)	0 : P130 1 : TIN16		
9	P131MOD (ポートP131動作モード)	0 : P131 1 : TIN17		
10	P132MOD (ポートP132動作モード)	0 : P132 1 : TIN18		
11	P133MOD (ポートP133動作モード)	0 : P133 1 : TIN19		
12	P134MOD (ポートP134動作モード)	0 : P134 1 : TIN20		
13	P135MOD (ポートP135動作モード)	0 : P135 1 : TIN21		
14	P136MOD (ポートP136動作モード)	0 : P136 1 : TIN22		
15	P137MOD (ポートP137動作モード)	0 : P137 1 : TIN23		

P15 動作モードレジスタ (P15MOD)

<アドレス : H'0080 074F >



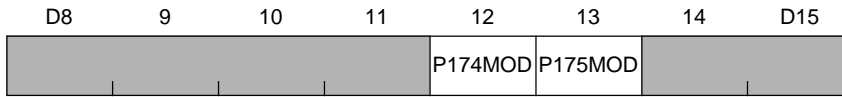
<リセット時 : H'00 >

D	ビット名	機能	R	W
8	P150MOD (ポートP150動作モード)	0 : P150 1 : TIN0		
9,10	何も配置されていません		0	-
11	P153MOD (ポートP153動作モード)	0 : P153 1 : TIN3		
12~15	何も配置されていません		0	-

注. ポートP151,P152,P154~P157はありません。

P17動作モードレジスタ (P17MOD)

<アドレス : H'0080 0751 >



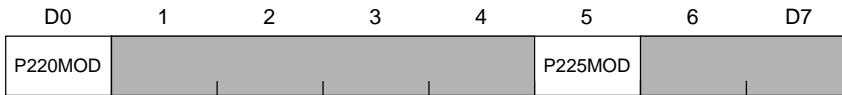
<リセット時 : H'00 >

D	ビット名	機能	R	W
8~11	何も配置されていません		0	-
12	P174MOD (ポートP174動作モード)	0 : P174 1 : TXD2		
13	P175MOD (ポートP175動作モード)	0 : P175 1 : RXD2		
14,15	何も配置されていません		0	-

注. ポートP170~P1713,P176,P177はありません。

P22 動作モードレジスタ (P22MOD)

<アドレス : H'0080 0756 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0	P220MOD (ポートP220動作モード)	0 : P220 1 : CTX		
1~4	何も配置されていません		0	-
5	P225MOD (ポートP225動作モード)	0 : P225 1 : 使用禁止		
6~7	何も配置されていません		0	-

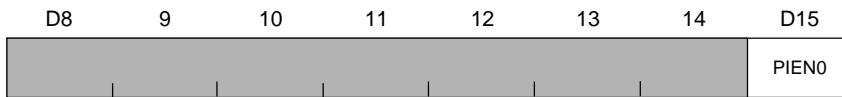
注1. P221はCAN入力専用端子です。

注2. P225はMOD0,MOD1端子の設定により、端子機能が変わります。また、デバッグイベント機能がありますので使用上ご注意ください。

注3. P222~P224,P226,P227はありません。

ポート入力機能許可レジスタ (PIEN)

<アドレス : H'0080 0745 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	PIEN0 (ポート入力機能許可ビット)	0 : 入力禁止 (貫通電流防止) 1 : 入力許可		

ポート入力端子の貫通電流を防止するためのレジスタです。

リセット後は入力禁止になっているため、"1"にして入力処理を行う必要があります。

ブートモード時は、シリアルI/O機能と兼用となっている端子は入力許可となるため、シリアルによるフラッシュ書き換え時には、"0"にしてシリアルI/O機能以外の端子から貫通電流を防止することができます。

各モードにおけるポート機能許可ビットで制御可能な端子を次に示します。

表8.3.2 ポート機能許可ビットで制御可能な端子

モード名	制御可能な端子	制御非対象端子
シングルチップ	P00 ~ P07, P10 ~ P17, P20 ~ P27	P64, P221, FP
	P30 ~ P37, P41 ~ P47, P61 ~ P63	
	P70 ~ P77, P82 ~ P87, P93 ~ P97	
	P100 ~ P107, P110 ~ P117, P124 ~ P127	
	P130 ~ P137, P150, P153, P174, P175 P220, P225	
外部拡張	P61 ~ P63, P70 ~ P77, P82 ~ P87	P00 ~ P07, P10 ~ P17
	P93 ~ P97, P100 ~ P107, P110 ~ P117	P20 ~ P27, P30 ~ P37
マイクロプロセッサ	P124 ~ P127, P130 ~ P137	P41 ~ P47, P64, P221
	P150, P153, P174, P175, P220	P225, FP
ブート (シングルチップ)	P00 ~ P07, P10 ~ P17, P20 ~ P27	P64, P82 ~ P87
	P30 ~ P37, P41 ~ P47, P61 ~ P63	P174, P175, P221, FP
	P67, P70 ~ P77, P93 ~ P97	
	P100 ~ P107, P110 ~ P117, P124 ~ P127	
	P130 ~ P137, P140 ~ P147, P150 ~ P157	
	P160 ~ P167, P172 ~ P173, P180 ~ P187	
	P190 ~ P197, P210 ~ P217, P220 P222 ~ P225	

8.4 ポート周辺回路

図8.4.1 ~ 図8.4.4にポートの周辺回路図を示します。

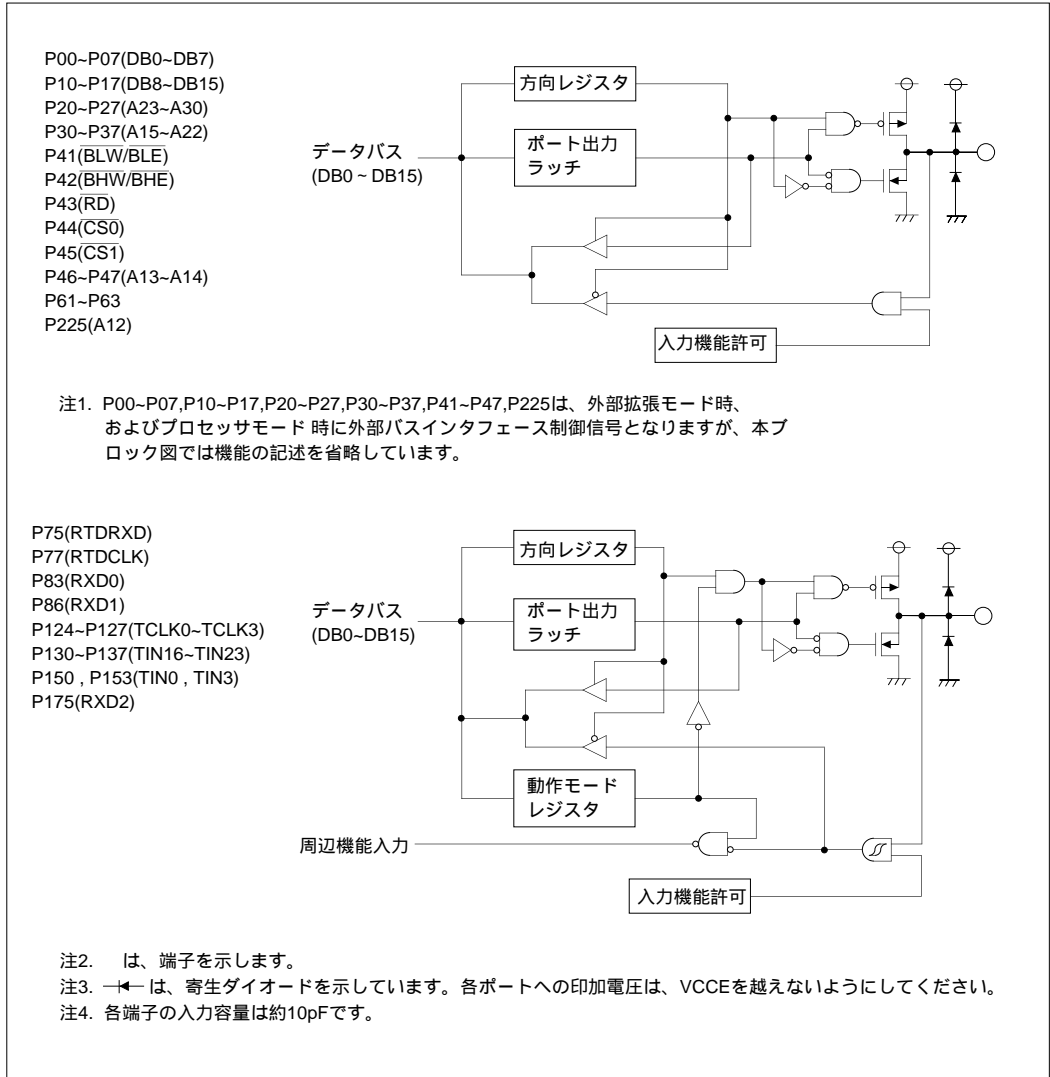


図8.4.1 ポート周辺回路図(1)

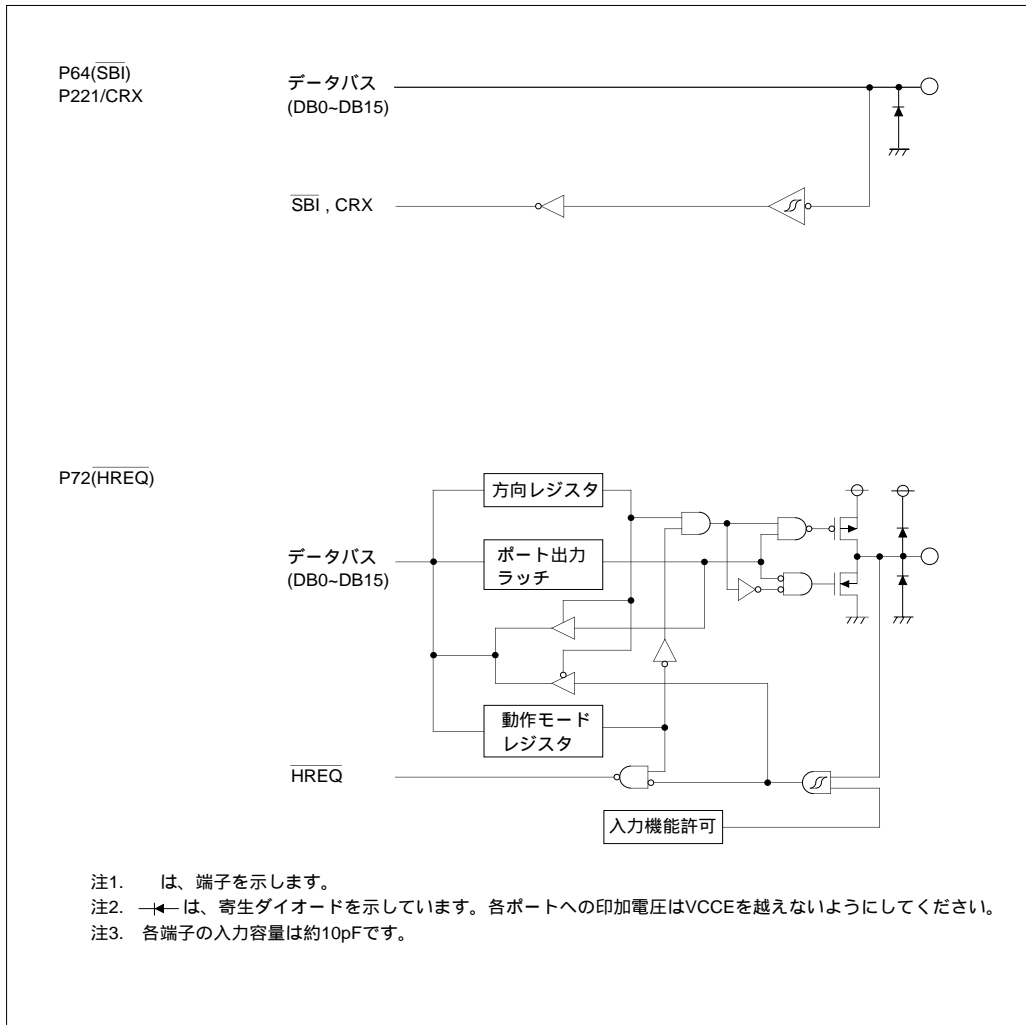


図8.4.2 ポート周辺回路図(2)

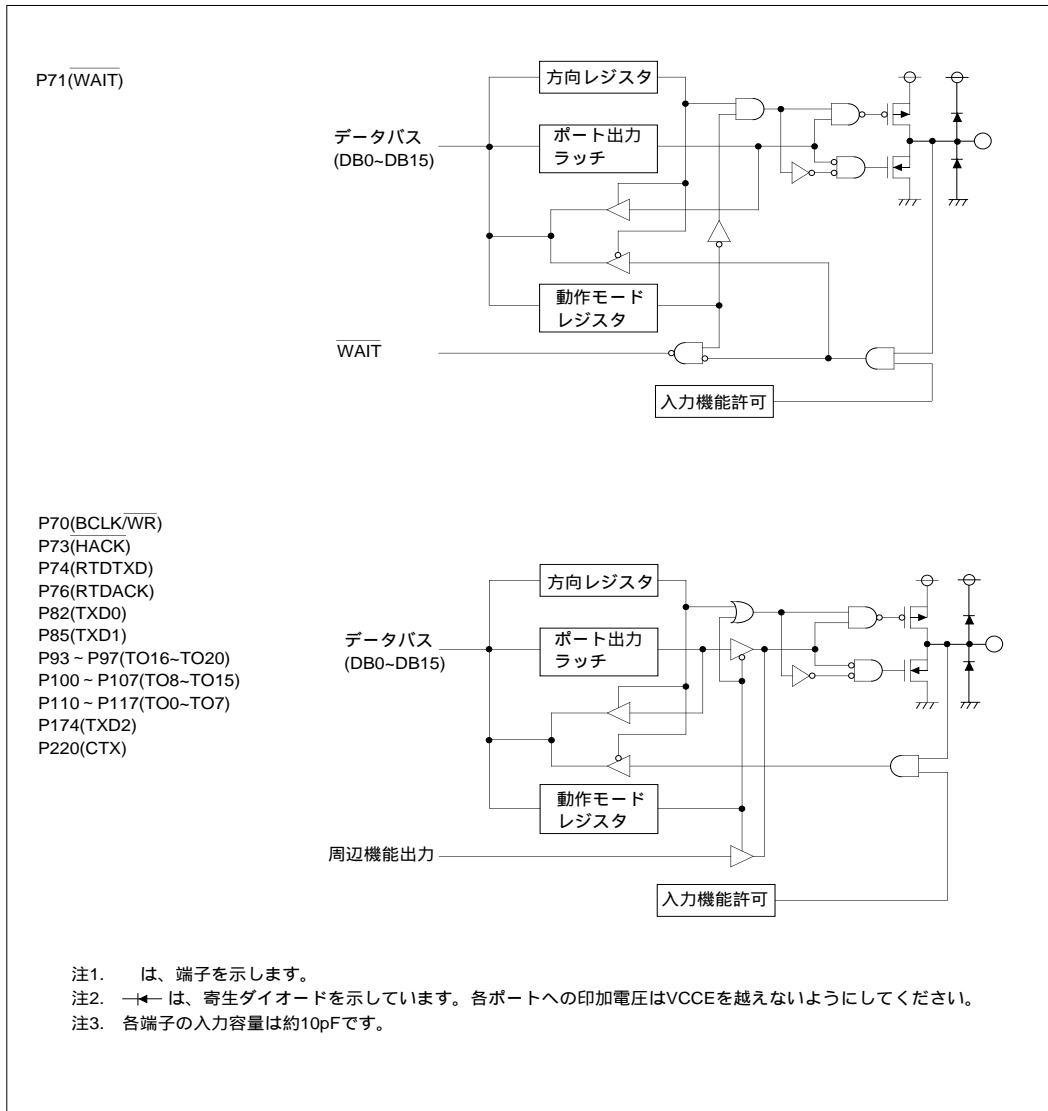


図8.4.3 ポート周辺回路図(3)

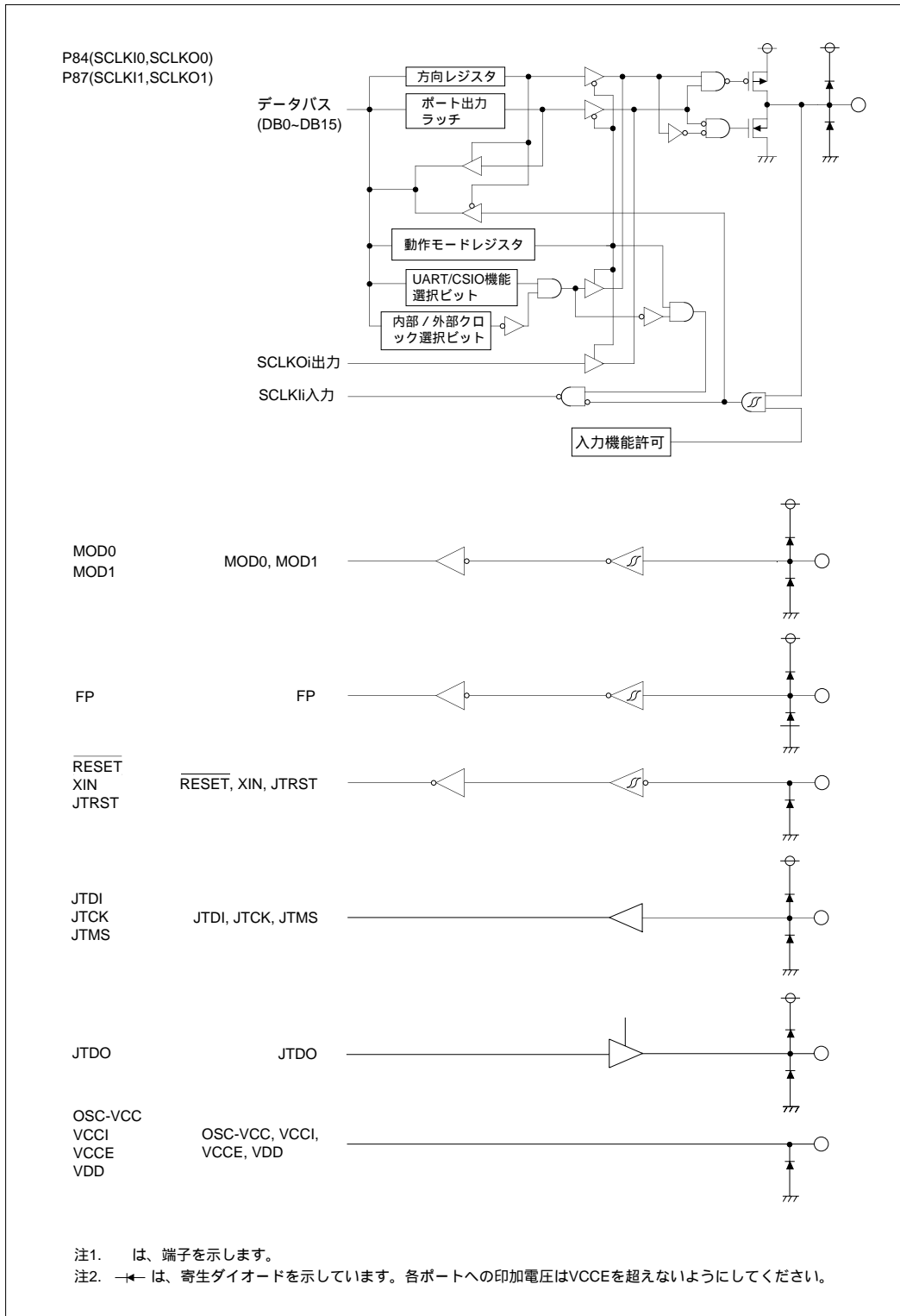


図8.4.4 ポート周辺回路図(4)

8.5 入出力ポートの注意事項

ポートを出力モードで使用する場合

リセット直後のポートデータレジスタ値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力設定するとポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

第9章

DMAC

- 9.1 DMAC概要
- 9.2 DMAC関連レジスタ
- 9.3 DMAC機能説明
- 9.4 DMACの注意事項

9.1 DMAC概要

10チャンネルのDMA(ダイレクトメモリアクセス)を内蔵しており、ソフトウェアトリガや、内蔵周辺I/Oからの要求により、内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間において、高速なデータ転送を行うことができます。

表9.1.1 DMAC概要

項目	内容
チャンネル数	10チャンネル
転送要求	ソフトウェアトリガ 内蔵周辺I/Oからの要求：A-D変換器、マルチジャンクションタイム、およびシリアルI/O 受信完了、送信バッファEMPTY) DMAチャンネル間のカスケード接続可能（注）
最大転送回数	256回
転送可能アドレス空間	64Kバイト(H'0080 0000 ~ H'0080 FFFFのアドレス空間) 内蔵周辺I/O 内蔵周辺I/O間、内蔵RAM 内蔵周辺I/O間、および内蔵RAM 内蔵RAM間の転送をサポート
転送データサイズ	16ビットまたは8ビット
転送方式	単転送方式DMA(1回の転送ごとに内部バス権を解放)、デュアルアドレス転送
転送モード	単転送モード
転送方向	ソースとデスティネーションに対して、3種類のモードを選択可能 アドレス固定 アドレスインクリメント リングバッファ
チャンネル優先度	チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 > チャンネル4 > チャンネル5 > チャンネル6 > チャンネル7 > チャンネル8 > チャンネル9 (優先順位固定)
最大転送速度	13.3Mバイト/秒(内部周辺クロック20MHz時)
割り込み要求	各転送カウントレジスタのアンダフロー発生時にグループ割り込み要求発生可能
転送エリア	H'0080 0000 ~ H'0080 FFFFの64Kバイト (内蔵RAM / SFRの全領域で転送可能)

注. 下記のDMAチャンネルのカスケード接続が可能です。

チャンネル0の1回のDMA転送完了で、チャンネル1のDMA転送を起動
 チャンネル1の1回のDMA転送完了で、チャンネル2のDMA転送を起動
 チャンネル2の1回のDMA転送完了で、チャンネル0のDMA転送を起動
 チャンネル3の1回のDMA転送完了で、チャンネル4のDMA転送を起動
 チャンネル5の1回のDMA転送完了で、チャンネル6のDMA転送を起動
 チャンネル6の1回のDMA転送完了で、チャンネル7のDMA転送を起動
 チャンネル7の1回のDMA転送完了で、チャンネル5のDMA転送を起動
 チャンネル8の1回のDMA転送完了で、チャンネル9のDMA転送を起動
 チャンネル0のDMA全転送終了(転送カウントレジスタのアンダフロー)で、チャンネル5のDMA転送を起動

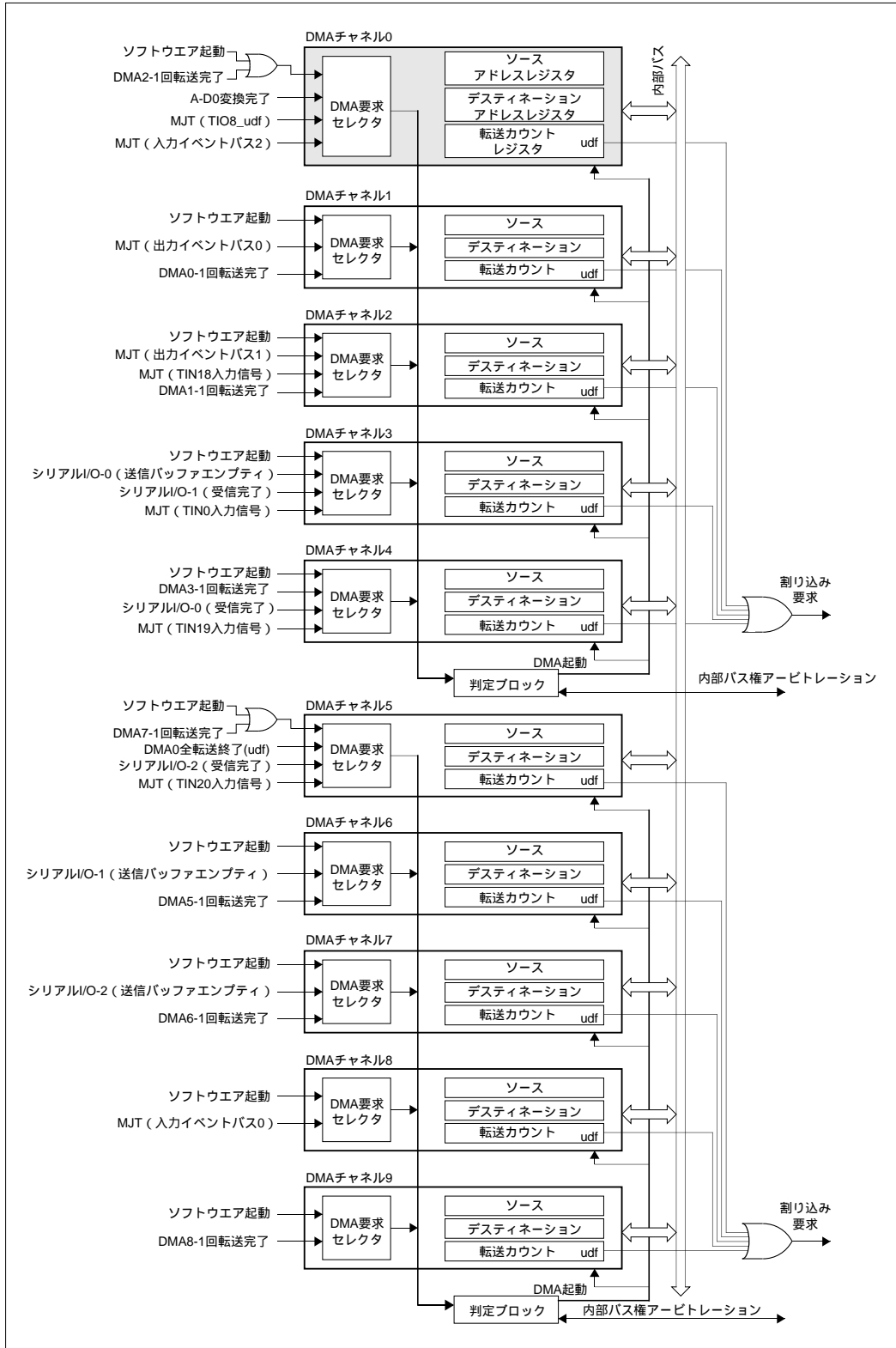


図9.1.1 32171のDMACブロック図

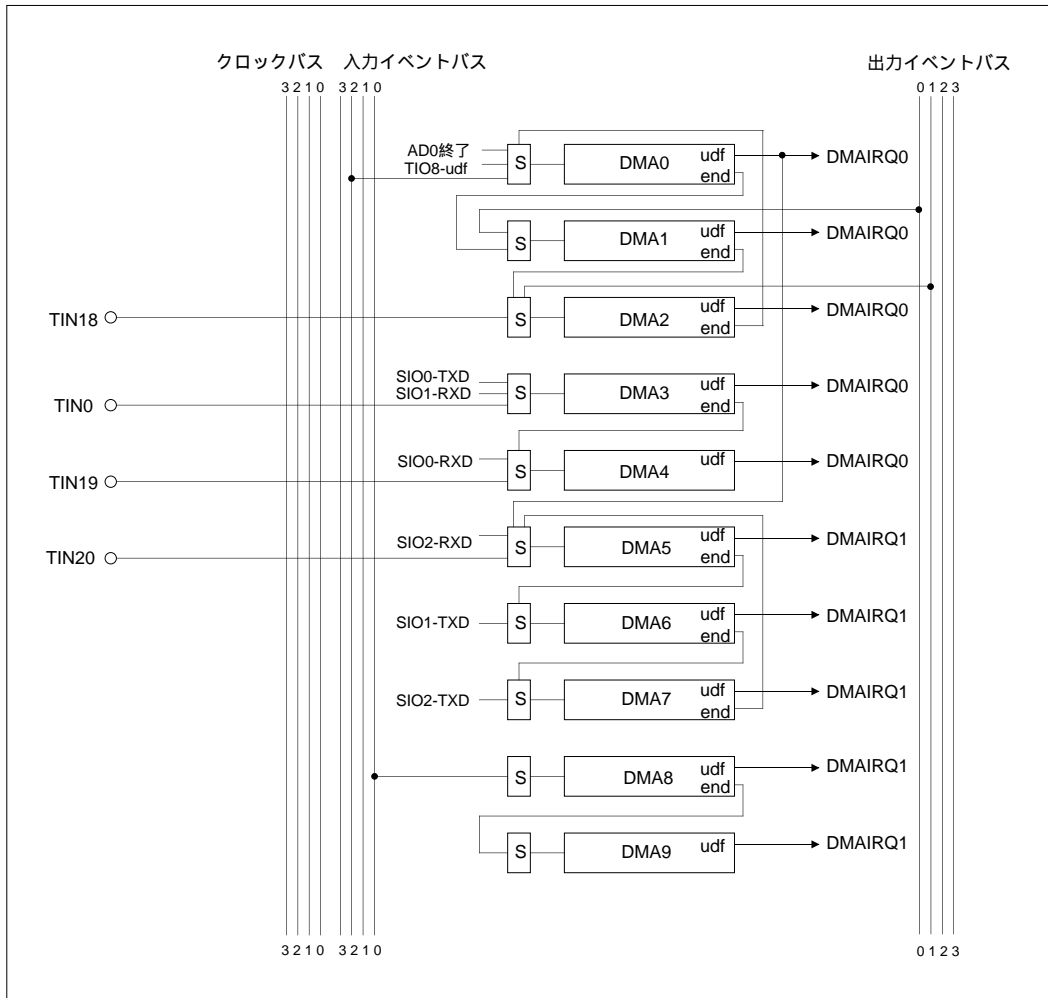


図9.1.2 DMAC要求要因接続図

9.2 DMAC関連レジスタ

DMAC関連レジスタのメモリマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0400	DMA0-4割り込み要求ステータスレジスタ (DM04ITST)			DMA0-4割り込みマスクレジスタ (DM04ITMK)		
	~~~~~			~~~~~		
H'0080 0408	DMA5-9割り込み要求ステータスレジスタ (DM59ITST)			DMA5-9割り込みマスクレジスタ (DM59ITMK)		
	~~~~~			~~~~~		
H'0080 0410	DMA0チャンネル制御レジスタ (DM0CNT)			DMA0転送カウントレジスタ (DM0TCT)		
H'0080 0412	DMA0ソースアドレスレジスタ (DM0SA)					
H'0080 0414	DMA0デスティネーションアドレスレジスタ (DM0DA)					
H'0080 0416						
H'0080 0418	DMA5チャンネル制御レジスタ (DM5CNT)			DMA5転送カウントレジスタ (DM5TCT)		
H'0080 041A	DMA5ソースアドレスレジスタ (DM5SA)					
H'0080 041C	DMA5デスティネーションアドレスレジスタ (DM5DA)					
H'0080 041E						
H'0080 0420	DMA1チャンネル制御レジスタ (DM1CNT)			DMA1転送カウントレジスタ (DM1TCT)		
H'0080 0422	DMA1ソースアドレスレジスタ (DM1SA)					
H'0080 0424	DMA1デスティネーションアドレスレジスタ (DM1DA)					
H'0080 0426						
H'0080 0428	DMA6チャンネル制御レジスタ (DM6CNT)			DMA6転送カウントレジスタ (DM6TCT)		
H'0080 042A	DMA6ソースアドレスレジスタ (DM6SA)					
H'0080 042C	DMA6デスティネーションアドレスレジスタ (DM6DA)					
H'0080 042E						
H'0080 0430	DMA2チャンネル制御レジスタ (DM2CNT)			DMA2転送カウントレジスタ (DM2TCT)		
H'0080 0432	DMA2ソースアドレスレジスタ (DM2SA)					
H'0080 0434	DMA2デスティネーションアドレスレジスタ (DM2DA)					
H'0080 0436						
H'0080 0438	DMA7チャンネル制御レジスタ (DM7CNT)			DMA7転送カウントレジスタ (DM7TCT)		
H'0080 043A	DMA7ソースアドレスレジスタ (DM7SA)					
H'0080 043C	DMA7デスティネーションアドレスレジスタ (DM7DA)					
H'0080 043E						

空き領域は予約領域です。
注：太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図9.2.1 DMAC関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0440		DMA3チャンネル制御レジスタ (DM3CNT)			DMA3転送カウントレジスタ (DM3TCT)	
H'0080 0442		DMA3ソースアドレスレジスタ (DM3SA)				
H'0080 0444		DMA3デスティネーションアドレスレジスタ (DM3DA)				
H'0080 0446						
H'0080 0448		DMA8チャンネル制御レジスタ (DM8CNT)			DMA8転送カウントレジスタ (DM8TCT)	
H'0080 044A		DMA8ソースアドレスレジスタ (DM8SA)				
H'0080 044C		DMA8デスティネーションアドレスレジスタ (DM8DA)				
H'0080 044E						
H'0080 0450		DMA4チャンネル制御レジスタ (DM4CNT)			DMA4転送カウントレジスタ (DM4TCT)	
H'0080 0452		DMA4ソースアドレスレジスタ (DM4SA)				
H'0080 0454		DMA4デスティネーションアドレスレジスタ (DM4DA)				
H'0080 0456						
H'0080 0458		DMA9チャンネル制御レジスタ (DM9CNT)			DMA9転送カウントレジスタ (DM9TCT)	
H'0080 045A		DMA9ソースアドレスレジスタ (DM9SA)				
H'0080 045C		DMA9デスティネーションアドレスレジスタ (DM9DA)				
H'0080 045E						
H'0080 0460		DMA0ソフトウェア要求発生レジスタ (DM0SRI)				
H'0080 0462		DMA1ソフトウェア要求発生レジスタ (DM1SRI)				
H'0080 0464		DMA2ソフトウェア要求発生レジスタ (DM2SRI)				
H'0080 0466		DMA3ソフトウェア要求発生レジスタ (DM3SRI)				
H'0080 0468		DMA4ソフトウェア要求発生レジスタ (DM4SRI)				
H'0080 0470		DMA5ソフトウェア要求発生レジスタ (DM5SRI)				
H'0080 0472		DMA6ソフトウェア要求発生レジスタ (DM6SRI)				
H'0080 0474		DMA7ソフトウェア要求発生レジスタ (DM7SRI)				
H'0080 0476		DMA8ソフトウェア要求発生レジスタ (DM8SRI)				
H'0080 0478		DMA9ソフトウェア要求発生レジスタ (DM9SRI)				

空き領域は予約領域です。
注：太枠内のレジスタは、ハーフワードアクセスのみ可能です。

図9.2.2 DMAC関連レジスタマップ(2/2)

9.2.1 DMAチャンネル制御レジスタ

DMA0チャンネル制御レジスタ (DMOCNT)

<アドレス : H'0080 0410 >

D0	1	2	3	4	5	6	D7
MDSEL0	TREQF0	REQSL0		TENL0	TSZSL0	SADSL0	DADSL0

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL0 (DMA0転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF0 (DMA0転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL0 (DMA0要求要因選択)	00 : ソフトウェア起動 または、DMA2-1回転送完了 01 : A-D0変換終了 10 : MJT(TIO8_udf) 11 : MJT(入カイベントバス2)		
4	TENL0 (DMA0転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL0 (DMA0転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL0 (DMA0ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL0 (DMA0デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持。

DMA1 チャンネル制御レジスタ (DM1CNT)

< アドレス : H'0080 0420 >

D0	1	2	3	4	5	6	D7
MDSEL1	TREQF1	REQSL1		TENL1	TSZSL1	SADSL1	DADSL1

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL1 (DMA1転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF1 (DMA1転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL1 (DMA1要求要因選択)	00 : ソフトウェア起動 01 : MJT(出力イベントバス0) 10 : 使用禁止 11 : DMA0-1回転送完了		
4	TENL1 (DMA1転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL1 (DMA1転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL1 (DMA1ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL1 (DMA1デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA2 チャンネル制御レジスタ (DM2CNT)

<アドレス:H'0080 0430>

D0	1	2	3	4	5	6	D7
MDSEL2	TREQF2	REQSL2		TENL2	TSZSL2	SADSL2	DADSL2

<リセット時:H'00>

D	ビット名	機能	R	W
0	MDSEL2 (DMA2転送モード選択)	0: ノーマルモード 1: リングバッファモード		
1	TREQF2 (DMA2転送要求フラグ)	0: 要求なし 1: 要求あり		
2, 3	REQSL2 (DMA2要求要因選択)	00: ソフトウェア起動 01: MJT(出力イベントバス1) 10: MJT(TIN18入力信号) 11: DMA1-1回転送完了		
4	TENL2 (DMA2転送許可)	0: 転送禁止 1: 転送許可		
5	TSZSL2 (DMA2転送サイズ選択)	0: 16ビット 1: 8ビット		
6	SADSL2 (DMA2ソースアドレス方向選択)	0: 固定 1: インクリメント		
7	DADSL2 (DMA2デスティネーション アドレス方向選択)	0: 固定 1: インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA3 チャンネル制御レジスタ (DM3CNT)

< アドレス : H'0080 0440 >

D0	1	2	3	4	5	6	D7
MDSEL3	TREQF3	REQSL3		TENL3	TSZSL3	SADSL3	DADSL3

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL3 (DMA3転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF3 (DMA3転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL3 (DMA3要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O-α 送信バッファ エンプティ) 10 : シリアルI/O-1(受信完了) 11 : MJT(TIN0入力信号)		
4	TENL3 (DMA3転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL3 (DMA3転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL3 (DMA3ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL3 (DMA3デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA4 チャンネル制御レジスタ (DM4CNT)

< アドレス : H'0080 0450 >

D0	1	2	3	4	5	6	D7
MDSEL4	TREQF4	REQSL4		TENL4	TSZSL4	SADSL4	DADSL4

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL4 (DMA4転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF4 (DMA4転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL4 (DMA4要求要因選択)	00 : ソフトウェア起動 01 : DMA3-1回転送完了 10 : シリアルI/O-α (受信完了) 11 : MJT(TIN19入力信号)		
4	TENL4 (DMA4転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL4 (DMA4転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL4 (DMA4ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL4 (DMA4デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5 チャンネル制御レジスタ (DM5CNT)

< アドレス : H'0080 0418 >

D0	1	2	3	4	5	6	D7
MDSEL5	TREQF5	REQSL5		TENL5	TSZSL5	SADSL5	DADSL5

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL5 (DMA5転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF5 (DMA5転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL5 (DMA5要求要因選択)	00 : ソフトウェア起動 または、DMA7-1回転送完了 01 : DMA0全転送終了 10 : シリアルI/O-2(受信完了) 11 : MJT(TIN20入力信号)		
4	TENL5 (DMA5転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL5 (DMA5転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL5 (DMA5ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL5 (DMA5デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA6 チャンネル制御レジスタ (DM6CNT)

< アドレス : H'0080 0428 >

D0	1	2	3	4	5	6	D7
MDSEL6	TREQF6	REQSL6		TENL6	TSZSL6	SADSL6	DADSL6

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL6 (DMA6転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF6 (DMA6転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL6 (DMA6要求要因選択)	00 : ソフトウェア起動 01 : シリアルI/O-1(送信バッファ エンプティ) 10 : 使用禁止 11 : DMA5-1回転送完了		
4	TENL6 (DMA6転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL6 (DMA6転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL6 (DMA6ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL6 (DMA6デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA7 チャンネル制御レジスタ (DM7CNT)

<アドレス:H'0080 0438 >

D0	1	2	3	4	5	6	D7
MSEL7	TREQF7	REQSL7	TENL7	TSZSL7	SADSL7	DADSL7	

<リセット時:H'00 >

D	ビット名	機能	R	W
0	MSEL7 (DMA7転送モード選択)	0: ノーマルモード 1: リングバッファモード		
1	TREQF7 (DMA7転送要求フラグ)	0: 要求なし 1: 要求あり		
2, 3	REQSL7 (DMA7要求要因選択)	00: ソフトウェア起動 01: シリアルI/O-2 送信バッファ エンプティ) 10: 使用禁止 11: DMA6-1回転送終了		
4	TENL7 (DMA7転送許可)	0: 転送禁止 1: 転送許可		
5	TSZSL7 (DMA7転送サイズ選択)	0: 16ビット 1: 8ビット		
6	SADSL7 (DMA7ソースアドレス方向選択)	0: 固定 1: インクリメント		
7	DADSL7 (DMA7デスティネーション アドレス方向選択)	0: 固定 1: インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA8 チャンネル制御レジスタ (DM8CNT)

<アドレス:H'0080 0448>

D0	1	2	3	4	5	6	D7
MDSEL8	TREQF8	REQSL8		TENL8	TSZSL8	SADSL8	DADSL8

<リセット時:H'00>

D	ビット名	機能	R	W
0	MDSEL8 (DMA8転送モード選択)	0: ノーマルモード 1: リングバッファモード		
1	TREQF8 (DMA8転送要求フラグ)	0: 要求なし 1: 要求あり		
2, 3	REQSL8 (DMA8要求要因選択)	00: ソフトウェア起動 01: MJT(入力イベントバス0) 10: 使用禁止 11: 使用禁止		
4	TENL8 (DMA5転送許可)	0: 転送禁止 1: 転送許可		
5	TSZSL8 (DMA8転送サイズ選択)	0: 16ビット 1: 8ビット		
6	SADSL8 (DMA8ソースアドレス方向選択)	0: 固定 1: インクリメント		
7	DADSL8 (DMA8デスティネーション アドレス方向選択)	0: 固定 1: インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA9 チャンネル制御レジスタ (DM9CNT)

< アドレス : H'0080 0458 >

D0	1	2	3	4	5	6	D7
MDSEL9	TREQF9	REQSL9		TENL9	TSZSL9	SADSL9	DADSL9

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	MDSEL9 (DMA9転送モード選択)	0 : ノーマルモード 1 : リングバッファモード		
1	TREQF9 (DMA9転送要求フラグ)	0 : 要求なし 1 : 要求あり		
2, 3	REQSL9 (DMA9要求要因選択)	00 : ソフトウェア起動 01 : 使用禁止 10 : 使用禁止 11 : DMA8-1回転送完了		
4	TENL9 (DMA7転送許可)	0 : 転送禁止 1 : 転送許可		
5	TSZSL9 (DMA9転送サイズ選択)	0 : 16ビット 1 : 8ビット		
6	SADSL9 (DMA9ソースアドレス方向選択)	0 : 固定 1 : インクリメント		
7	DADSL9 (DMA9デスティネーション アドレス方向選択)	0 : 固定 1 : インクリメント		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMAチャンネル制御レジスタは、各チャンネルのDMA転送モード選択、DMA転送要求フラグ、要求要因選択、DMA転送許可、転送サイズ、ソース/デスティネーションアドレス方向を設定するビットで構成しています。

(1) MDSELn (DMA_n 転送モード選択) ビット (D0)

単転送モードにおいて、ノーマルモードかリングバッファモードかを選択するビットです。このビットを"0"にするとノーマルモードに、"1"にするとリングバッファモードになります。

リングバッファモードでは、転送開始アドレスから32回転送後、再び転送開始アドレスに戻り、転送動作を繰り返します。このとき転送カウンタレジスタはフリーランとなり、転送許可ビットを"0"(転送禁止)にするまで転送動作を継続します。また、DMA転送終了割り込み要求は発生しません。

(2) TREQFn (DMA_n 転送要求フラグ) ビット (D1)

このフラグは、DMA転送要求が発生したとき"1"にセットされます。フラグを読み出すことにより、各チャンネルのDMA転送要求が確認できます。

このビットに"0"を書き込むと、発生したDMA転送要求をクリアします。"1"を書き込んだ場合は、書き込み前の値を保持します。

すでにDMA転送要求フラグが"1"にセットされているチャンネルに対して新たなDMA転送要求が発生しても、そのチャンネルが転送を完了するまで次のDMA転送要求は受け付けられません。

(3) REQSLn (DMA_n 要求要因選択) ビット (D2, D3)

DMAの各チャンネルに対するDMA要求要因を選択します。

(4) TENLn (DMA_n 転送許可) ビット (D4)

このビットを"1"にすると転送が許可され、DMA転送可能状態となります。また、"0"にすると転送が禁止されます。ただし、既に転送要求が受け付けられていた場合は、その転送が完了後に禁止されます。

(5) TSZSLn (DMA_n 転送サイズ選択) ビット (D5)

1回のDMA転送動作(1転送単位)で転送するビット数を選択します。

このビットを"0"にすると1転送単位が16ビット、"1"にすると1転送単位が8ビットになります。

(6) SADSLn (DMA_n ソースアドレス方向選択) ビット (D6)

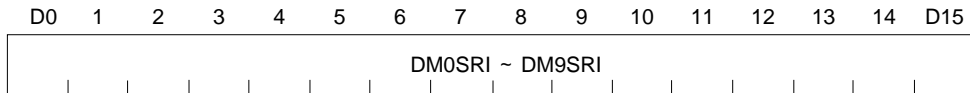
ソースアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

(7) DADSLn (DMA_n デスティネーションアドレス方向選択) ビット (D7)

デスティネーションアドレスの変化する方向を、アドレス固定とアドレス増加(インクリメント)の2種類から選択します。

9.2.2 DMAソフトウェア要求発生レジスタ

DMA0 ソフトウェア要求発生レジスタ (DM0SRI)	< アドレス : H'0080 0460 >
DMA1 ソフトウェア要求発生レジスタ (DM1SRI)	< アドレス : H'0080 0462 >
DMA2 ソフトウェア要求発生レジスタ (DM2SRI)	< アドレス : H'0080 0464 >
DMA3 ソフトウェア要求発生レジスタ (DM3SRI)	< アドレス : H'0080 0466 >
DMA4 ソフトウェア要求発生レジスタ (DM4SRI)	< アドレス : H'0080 0468 >
DMA5 ソフトウェア要求発生レジスタ (DM5SRI)	< アドレス : H'0080 0470 >
DMA6 ソフトウェア要求発生レジスタ (DM6SRI)	< アドレス : H'0080 0472 >
DMA7 ソフトウェア要求発生レジスタ (DM7SRI)	< アドレス : H'0080 0474 >
DMA8 ソフトウェア要求発生レジスタ (DM8SRI)	< アドレス : H'0080 0476 >
DMA9 ソフトウェア要求発生レジスタ (DM9SRI)	< アドレス : H'0080 0478 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0SRI ~ DM9SRI (DMAソフトウェア要求発生)	任意データの書き込みで DMA転送要求を発生	?	?

注. このレジスタはバイトでもハーフワードでもアクセス可能です。

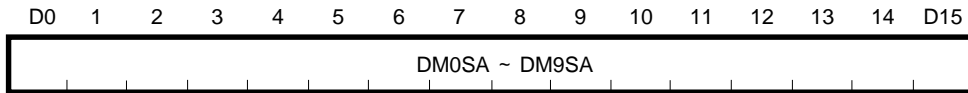
DMAソフトウェア要求発生レジスタは、ソフトウェアでDMA転送要求を発生するためのレジスタで、DMA要求要因として「ソフトウェア起動」を選択しているとき、このレジスタに任意の値を書き込むとDMA転送要求を発生することができます。

DM0SRI ~ DM9SRI (DMAソフトウェア要求発生) ビット

DMA要求要因としてソフトウェアを選択 (DMAチャンネル制御レジスタのD2, D3を"00"に設定) した場合、このレジスタにハーフワード (16ビット) か、偶数もしくは奇数番地で始まるバイト (8ビット) に任意データを書き込むと、ソフトウェアDMA転送要求が発生します。

9.2.3 DMAソースアドレスレジスタ

DMA0 ソースアドレスレジスタ (DM0SA)	< アドレス : H'0080 0412 >
DMA1 ソースアドレスレジスタ (DM1SA)	< アドレス : H'0080 0422 >
DMA2 ソースアドレスレジスタ (DM2SA)	< アドレス : H'0080 0432 >
DMA3 ソースアドレスレジスタ (DM3SA)	< アドレス : H'0080 0442 >
DMA4 ソースアドレスレジスタ (DM4SA)	< アドレス : H'0080 0452 >
DMA5 ソースアドレスレジスタ (DM5SA)	< アドレス : H'0080 041A >
DMA6 ソースアドレスレジスタ (DM6SA)	< アドレス : H'0080 042A >
DMA7 ソースアドレスレジスタ (DM7SA)	< アドレス : H'0080 043A >
DMA8 ソースアドレスレジスタ (DM8SA)	< アドレス : H'0080 044A >
DMA9 ソースアドレスレジスタ (DM9SA)	< アドレス : H'0080 045A >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0SA ~ DMA9SA (DMAソースアドレス)	ソースアドレスのA16 ~ A31 (A0 ~ A15 はH'0080に固定)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

DMAソースアドレスレジスタには、D0がA16、D15がA31になるようにDMA転送元のアドレスを設定します。このレジスタはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウンタレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)になります。

DMAソースアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

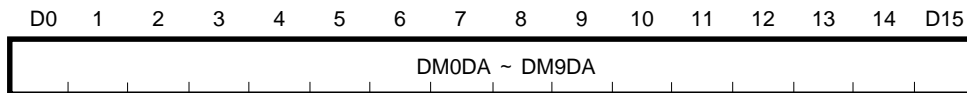
DM0SA ~ DM9SA (ソースアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のソースアドレスを指定します。

ソースアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではソースアドレスの下位16ビットを設定します(D0がソースアドレスのA16、D15がソースアドレスのA31に相当します)。

9.2.4 DMAデスティネーションアドレスレジスタ

DMA0 デスティネーションアドレスレジスタ (DM0DA)	< アドレス : H'0080 0414 >
DMA1 デスティネーションアドレスレジスタ (DM1DA)	< アドレス : H'0080 0424 >
DMA2 デスティネーションアドレスレジスタ (DM2DA)	< アドレス : H'0080 0434 >
DMA3 デスティネーションアドレスレジスタ (DM3DA)	< アドレス : H'0080 0444 >
DMA4 デスティネーションアドレスレジスタ (DM4DA)	< アドレス : H'0080 0454 >
DMA5 デスティネーションアドレスレジスタ (DM5DA)	< アドレス : H'0080 041C >
DMA6 デスティネーションアドレスレジスタ (DM6DA)	< アドレス : H'0080 042C >
DMA7 デスティネーションアドレスレジスタ (DM7DA)	< アドレス : H'0080 043C >
DMA8 デスティネーションアドレスレジスタ (DM8DA)	< アドレス : H'0080 044C >
DMA9 デスティネーションアドレスレジスタ (DM9DA)	< アドレス : H'0080 045C >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	DM0DA ~ DM9DA (DMAデスティネーション アドレス)	デスティネーションアドレスの A16 ~ A31(A0 ~ A15はH'0080に固定)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

DMAデスティネーションアドレスレジスタには、D0がA16、D15がA31になるようにDMA転送先のアドレスを設定します。このレジスタへのアクセスはカレントレジスタで構成されているため、読み出し値は現在値となります。

DMA転送終了時(転送カウントレジスタアンダフロー時)、アドレス方向が固定の場合はDMA転送開始前の設定値のままですが、アドレスインクリメントの場合は最終転送アドレス + 1(8ビット転送時)、または最終転送アドレス + 2(16ビット転送時)になります。

DMAデスティネーションアドレスレジスタは、必ず偶数番地で始まるハーフワード(16ビット)でアクセスしてください。バイトでアクセスした場合、このレジスタの値は不定になります。

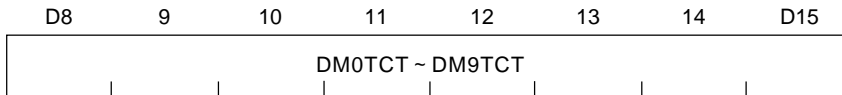
DM0DA ~ DM9DA (デスティネーションアドレスのA16 ~ A31)

このレジスタの設定により、H'0080 0000 ~ H'0080 FFFF番地の内蔵I/OまたはRAM空間のデスティネーションアドレスを指定します。

デスティネーションアドレスの上位16ビット(A0 ~ A15)は、常にH'0080に固定です。このレジスタではデスティネーションアドレスの下位16ビットを設定します(D0がデスティネーションアドレスのA16、D15がデスティネーションアドレスのA31に相当します)。

9.2.5 DMA転送カウントレジスタ

DMA0 転送カウントレジスタ (DM0TCT)	< アドレス : H'0080 0411 >
DMA1 転送カウントレジスタ (DM1TCT)	< アドレス : H'0080 0421 >
DMA2 転送カウントレジスタ (DM2TCT)	< アドレス : H'0080 0431 >
DMA3 転送カウントレジスタ (DM3TCT)	< アドレス : H'0080 0441 >
DMA4 転送カウントレジスタ (DM4TCT)	< アドレス : H'0080 0451 >
DMA5 転送カウントレジスタ (DM5TCT)	< アドレス : H'0080 0419 >
DMA6 転送カウントレジスタ (DM6TCT)	< アドレス : H'0080 0429 >
DMA7 転送カウントレジスタ (DM7TCT)	< アドレス : H'0080 0439 >
DMA8 転送カウントレジスタ (DM8TCT)	< アドレス : H'0080 0449 >
DMA9 転送カウントレジスタ (DM9TCT)	< アドレス : H'0080 0459 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
8 ~ 15	DM0TCT ~ DM9TCT (DMA転送カウント)	DMA転送回数 (32チャンネルリングバッファ モード時は無視)		

DMA転送カウントレジスタは、各チャンネルごとに転送する回数を設定します。ただし、リングバッファモード時はこのレジスタの値は無視されます。

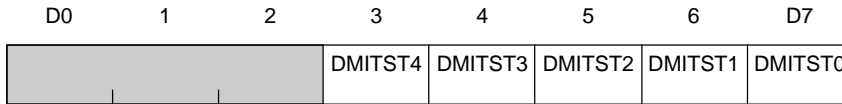
転送回数は(転送カウントレジスタの設定値 + 1)となります。DMA転送カウントレジスタは、カレントレジスタで構成されているため、読み出し値は現在値となります(ただし、転送直後のサイクルで読み出した場合は、転送前のカウントレジスタ値となります)。

また転送終了時は、アンダフロー(読み出し値はH'FF)となります。

なお、カスケード接続されたチャンネルがある場合、DMAの1回転送(バイトまたはハーフワード)完了ごとに、または全転送終了(転送カウントレジスタのアンダフロー)で、カスケード接続されたチャンネルが起動されます。

9.2.6 DMA割り込み要求ステータスレジスタ

DMA0-4 割り込み要求ステータスレジスタ (DM04ITST) <アドレス:H'0080 0400 >



<リセット時: H'00 >

D	ビット名	機能	R	W
0 ~ 2	何も配置されていません		0	-
3	DMITST4 (DMA4割り込み要求ステータス)	0: 割り込み要求なし 1: 割り込み要求あり		
4	DMITST3 (DMA3割り込み要求ステータス)			
5	DMITST2 (DMA2割り込み要求ステータス)			
6	DMITST1 (DMA1割り込み要求ステータス)			
7	DMITST0 (DMA0割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA0-4割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=0\sim 4$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 0 \sim 4$)【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

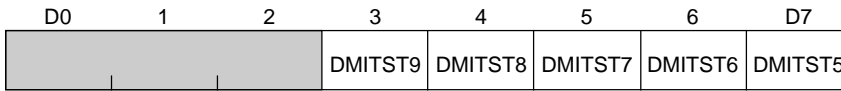
ソフトウェアで"0"を書き込むことによって行います。

注. 割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んでも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA0-4割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

DMA5-9 割り込み要求ステータスレジスタ (DM59ITST)

< アドレス: H'0080 0408 >



< リセット時: H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	DMITST9 (DMA9割り込み要求ステータス)	0: 割り込み要求なし 1: 割り込み要求あり		
4	DMITST8 (DMA8割り込み要求ステータス)			
5	DMITST7 (DMA7割り込み要求ステータス)			
6	DMITST6 (DMA6割り込み要求ステータス)			
7	DMITST5 (DMA5割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

DMA5-9割り込み要求ステータスレジスタで、各チャンネルごとの割り込み要求の状態を知ることができます。DMA n 割り込み要求ステータスビット($n=5\sim 9$)に"1"がセットされている場合、対応するDMA n 割り込み要求が発生しています。

DMITST n (DMA n 割り込み要求ステータス) ビット ($n = 5 \sim 9$)

【DMA n 割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【DMA n 割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

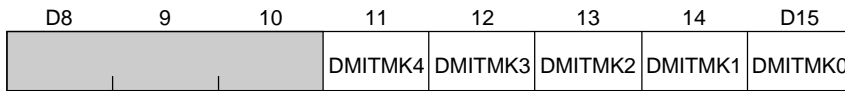
注. 割り込みコントローラにある、DMA割り込み制御レジスタの「割り込み要求ビット」に"0"を書き込んでも、DMA n 割り込み要求ステータスビットはクリアされません。

DMA5-9割り込み要求ステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

9.2.7 DMA割り込みマスクレジスタ

DMA0-4 割り込みマスクレジスタ (DM04ITMK)

< アドレス : H'0080 0401 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8 ~ 10	何も配置されていません		0	-
11	DMITMK4 (DMA4割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク(禁止)		
12	DMITMK3 (DMA3割り込み要求マスク)			
13	DMITMK2 (DMA2割り込み要求マスク)			
14	DMITMK1 (DMA1割り込み要求マスク)			
15	DMITMK0 (DMA0割り込み要求マスク)			

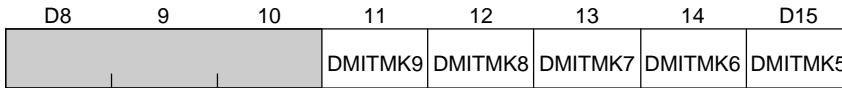
DMA0-4割り込みマスクレジスタは、DMA各チャンネルの割り込み要求をマスクするレジスタです。

DMITMK n (DMA n 割り込み要求マスク) ビット ($n = 0 \sim 4$)

DMAN割り込み要求マスクビットを"1"にすると、DMANの割り込み要求がマスクされます。ただし割り込み要求発生時、DMAN割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

DMA5-9 割り込みマスクレジスタ (DM59ITMK)

< アドレス : H'0080 0409 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	DMITMK9 (DMA9割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク(禁止)		
12	DMITMK8 (DMA8割り込み要求マスク)			
13	DMITMK7 (DMA7割り込み要求マスク)			
14	DMITMK6 (DMA6割り込み要求マスク)			
15	DMITMK5 (DMA5割り込み要求マスク)			

DMA5-9割り込みマスクレジスタは、DMA各チャネルの割り込み要求をマスクするレジスタです。

DMITMKn (DMA n 割り込み要求マスク) ビット (n = 5 ~ 9)

DMA n 割り込み要求マスクビットを"1"にすると、DMA n の割り込み要求がマスクされます。ただし割り込み要求発生時、DMA n 割り込み要求ステータスビットは、このレジスタの内容にかかわらず"1"にセットされます。

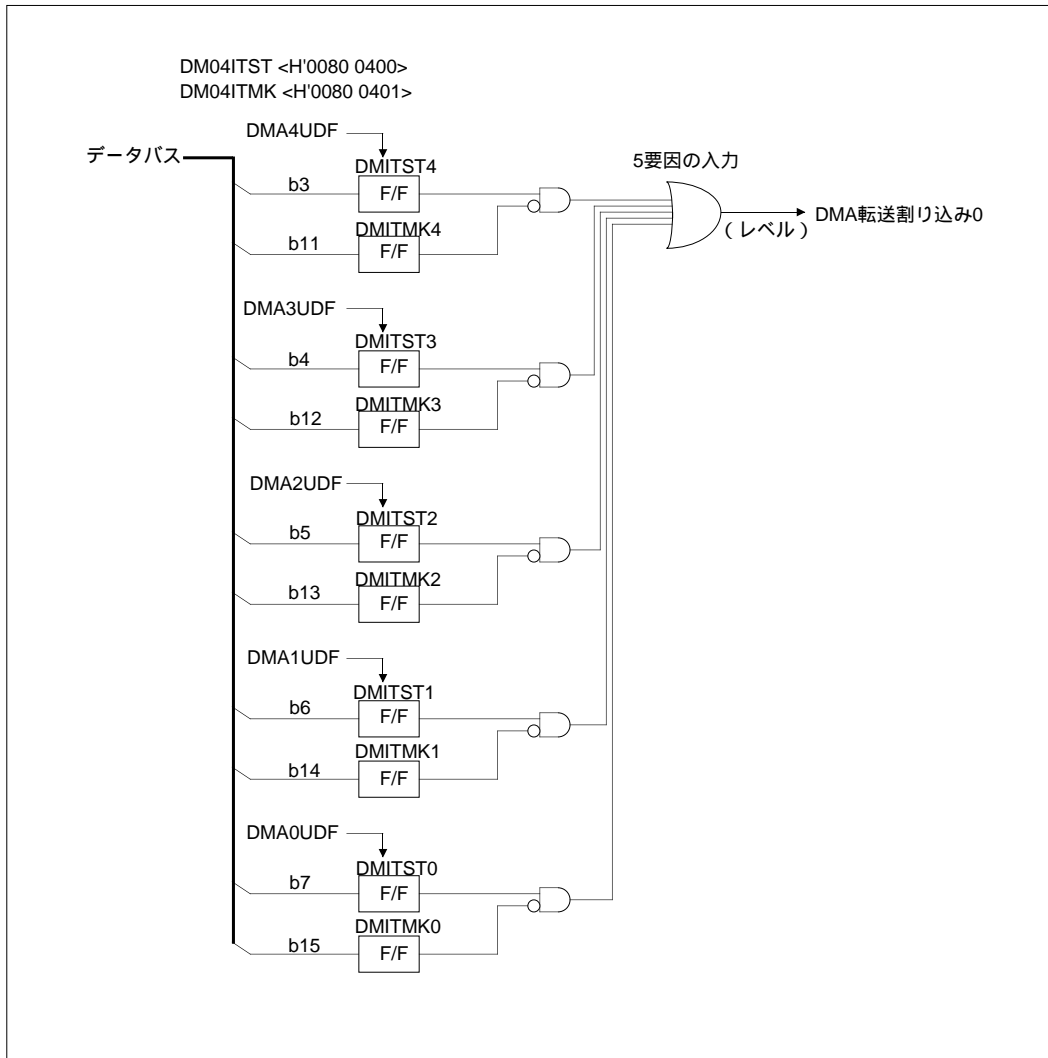


図9.2.3 DMA転送割り込み0ブロック図

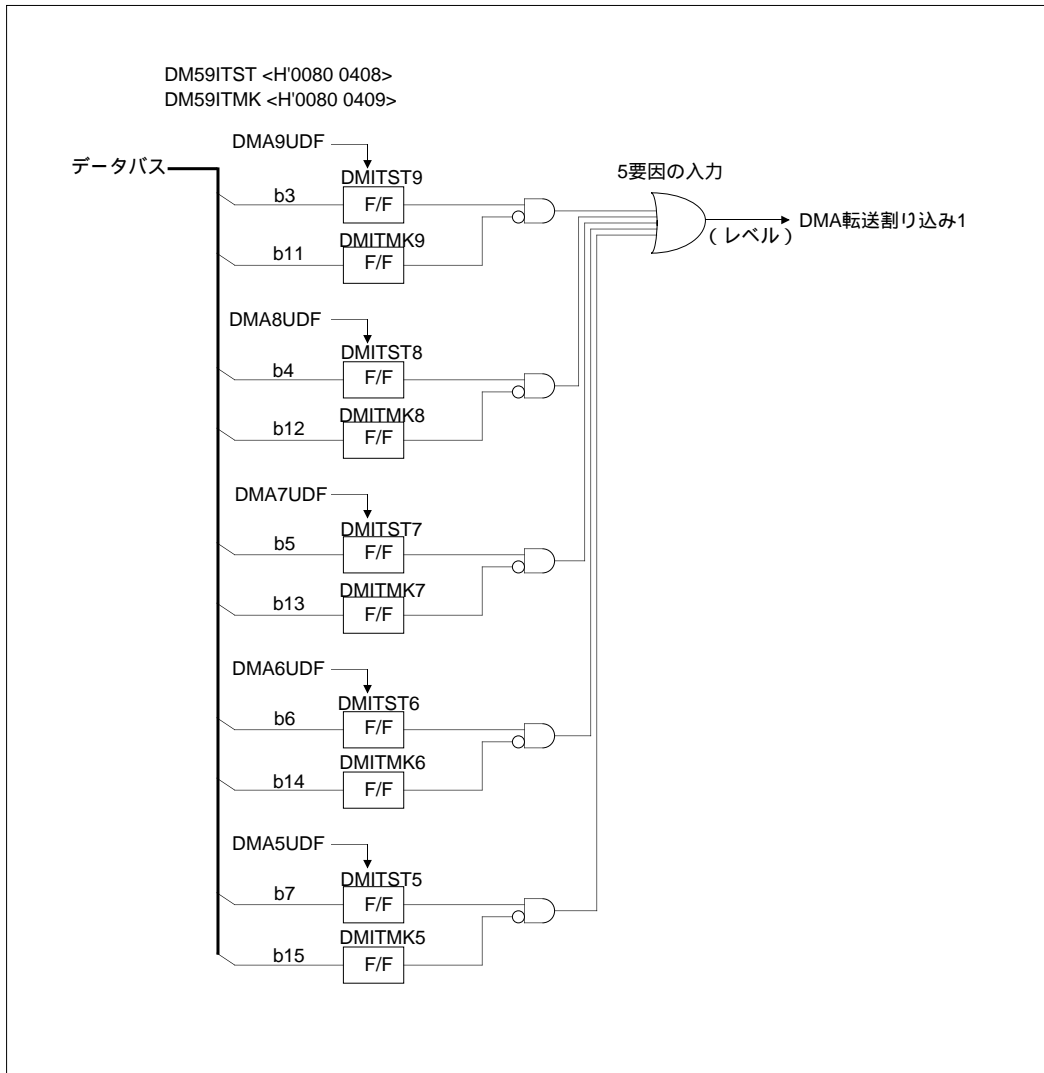


図9.2.4 DMA転送割り込み1ブロック図

9.3 DMAC機能説明

9.3.1 DMA要求要因

DMAは各チャンネル(0~9チャンネル)ごとに、複数の要因からDMA転送を要求することができます。DMA転送の要求要因には、内蔵周辺I/Oによる起動、プログラムによるソフトウェア起動、およびDMA他チャンネルの1回転送完了、または全転送終了による起動(カスケードモード)があります。

DMA要求要因の選択は、各チャンネルの要求要因選択ビットREQSLn(DMA_nチャンネル制御レジスタのD2とD3)で行います。以下に各チャンネルのDMA要求要因の一覧を示します。

表9.3.1 DMA0のDMA要求要因とその発生タイミング

REQSL0	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動 またはDMA2-1回転送完了	DMA0ソフトウェア要求発生レジスタに任意データを書き込んだとき(ソフトウェア起動)、またはDMA2の1回転送完了時(カスケードモード)
0 1	A-D0変換終了	A-D0変換終了時
1 0	MJT(TIO8_udf)	MJTのTIO8アンダフロー発生時
1 1	MJT(入力イベントバス2)	MJTの入力イベントバス2の信号発生時

表9.3.2 DMA1のDMA要求要因とその発生タイミング

REQSL1	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA1ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(出力イベントバス0)	MJTの出力イベントバス0の信号発生時
1 0	なし(使用禁止)	—
1 1	DMA0-1回転送完了	DMA0の1回転送完了時(カスケードモード)

表9.3.3 DMA2のDMA要求要因とその発生タイミング

REQSL2	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA2ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(出カイベントバス1)	MJTの出カイベントバス1の信号発生時
1 0	MJT(TIN18入力信号)	MJTのTIN18入力信号発生時
1 1	DMA1-1回転送完了	DMA1の1回転送完了時(カスケードモード)

表9.3.4 DMA3のDMA要求要因とその発生タイミング

REQSL3	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA3ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアル/O-0 (送信バッファエンプティ)	シリアル/O-0送信バッファが空になった時
1 0	シリアル/O-1(受信完了)	シリアル/O-1の受信完了時
1 1	MJT(TIN0入力信号)	MJTのTIN0入力信号発生時

表9.3.5 DMA4のDMA要求要因とその発生タイミング

REQSL4	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA4ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	DMA3-1回転送完了	DMA3の1回転送完了時(カスケードモード)
1 0	シリアル/O- α (受信完了)	シリアル/O-0受信完了時
1 1	MJT(TIN19入力信号)	MJTのTIN19入力信号発生時

表9.3.6 DMA5のDMA要求要因とその発生タイミング

REQSL5	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動 またはDMA7-1回転送完了	DMA5ソフトウェア要求発生レジスタに任意データを書き込んだとき、またはDMA7の1回転送完了時(カスケードモード)
0 1	DMA0全転送終了	DMA0全転送終了時(カスケードモード)
1 0	シリアルI/O-2(受信完了)	シリアルI/O-2受信完了時
1 1	MJT(TIN20入力信号)	MJTのTIN20入力信号発生時

表9.3.7 DMA6のDMA要求要因とその発生タイミング

REQSL6	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA6ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-1 (送信バッファエンプティ)	シリアルI/O-1送信バッファが空になった時
1 0	なし(使用禁止)	—
1 1	DMA5-1回転送完了	DMA5の1回転送完了時(カスケードモード)

表9.3.8 DMA7のDMA要求要因とその発生タイミング

REQSL7	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA7ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	シリアルI/O-2 (送信バッファエンプティ)	シリアルI/O-2送信バッファが空になった時
1 0	なし(使用禁止)	—
1 1	DMA6-1回転送完了	DMA6の1回転送完了時(カスケードモード)

表9.3.9 DMA8のDMA要求要因とその発生タイミング

REQSL8	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA8ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	MJT(入カイベントバス0)	MJTの入カイベントバス0の信号発生時
1 0	なし(使用禁止)	—
1 1	なし(使用禁止)	—

表9.3.10 DMA9のDMA要求要因とその発生タイミング

REQSL9	DMA要求要因	DMA要求発生タイミング
0 0	ソフトウェア起動	DMA9ソフトウェア要求発生レジスタに任意データを書き込んだとき
0 1	なし(使用禁止)	—
1 0	なし(使用禁止)	—
1 1	DMA8-1回転送完了	DMA8の1回転送完了時(カスケードモード)

9.3.2 DMA転送の処理手順

DMAチャンネル0を使用してDMA転送を行う場合の制御例を以下に示します。

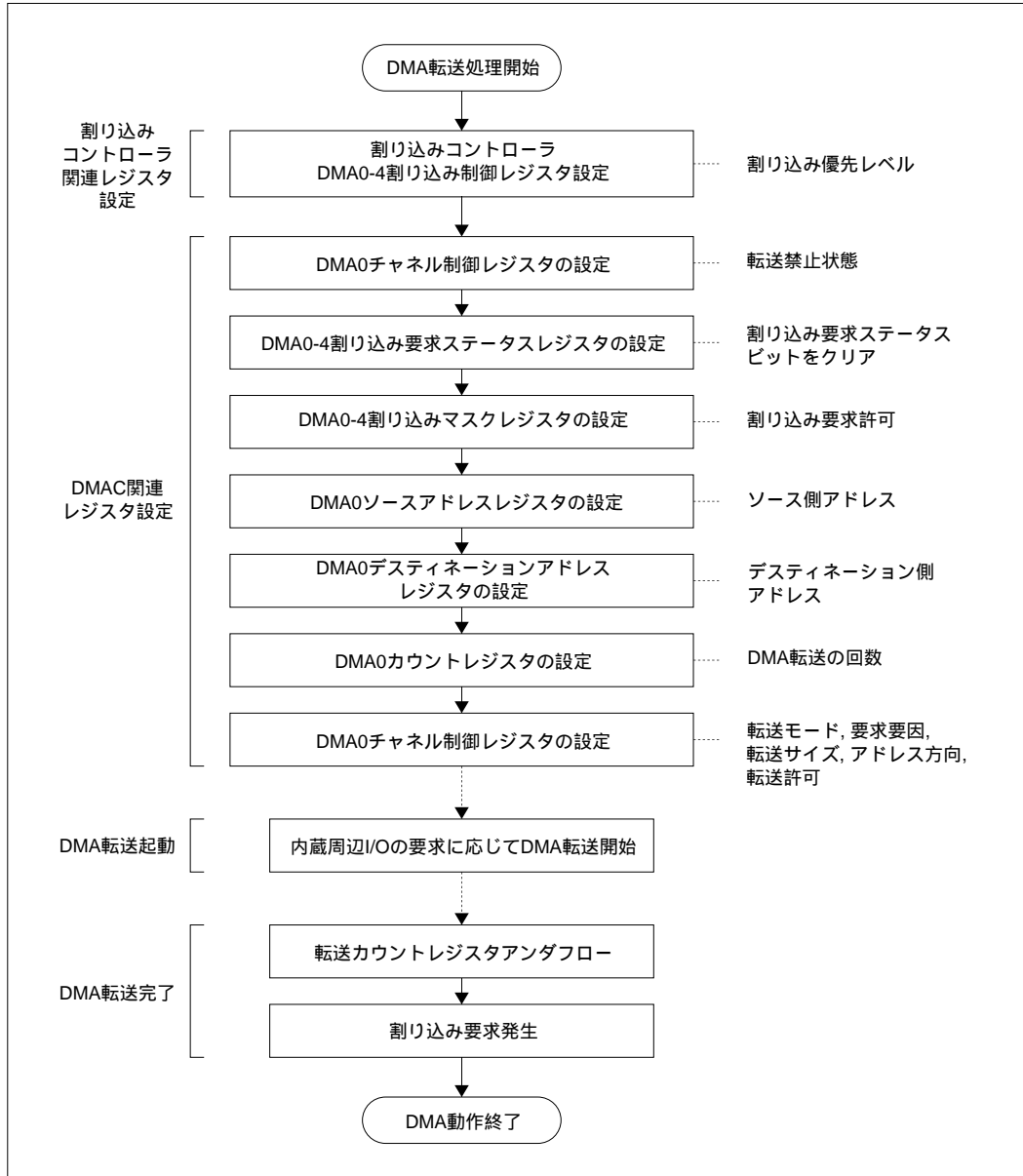


図9.3.1 DMA転送の処理手順(例)

9.3.3 DMAの起動

DMA要求要因は、REQSL(DMA要求要因選択)ビットで設定します。DMAの許可は、TENL(DMA転送許可)ビットを"1"にセットすることにより行います。TENL(DMA転送許可)ビットを"1"にセットし、指定した要求要因が有効になるとDMA転送が開始されます。

9.3.4 チャンネルの優先順位

チャンネルの優先順位はチャンネル0が最優先で、以下、

チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 > チャンネル4 > チャンネル5 >
チャンネル6 > チャンネル7 > チャンネル8 > チャンネル9

の順で固定です。転送サイクル単位(DMAバスサイクル = 3サイクル)ごとに行い、要求の出ているチャンネルの中で最も優先順位の高いチャンネルが選択されます。

9.3.5 内部バス権の獲得と解放

内部バス権の獲得 / 解放は、各チャンネルすべて「単転送方式DMA」で行われます。単転送方式DMAでは、DMA転送要求が受け付けられると内部バス権を獲得し、1回の転送(内部周辺クロックの1リードサイクル + 1ライトサイクル)のDMA転送実行後、CPUへバス権を返します。以下に単転送方式DMAの動作を示します。

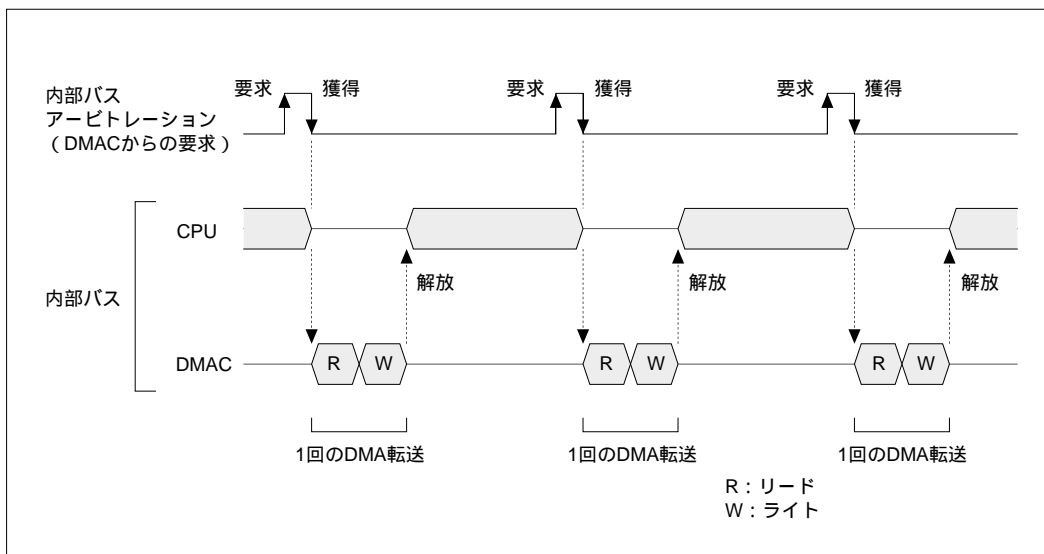


図9.3.2 内部バス権の獲得と解放

9.3.6 転送単位

1回のDMAで転送するビット数(8ビットまたは16ビット)は、チャンネルごとにTSZSL(DMA転送サイズ選択)ビットで設定します。

9.3.7 転送回数

転送回数は、チャンネルごとにDMA転送カウントレジスタに設定します。最大256回まで転送できます。1転送単位を転送するごとに、転送カウントレジスタの値が1ずつダウンカウントします。

リングバッファモードではDMA転送カウントレジスタはフリーランとなり、設定値は無視されます。

9.3.8 アドレス空間

DMA転送が可能なアドレス空間は、ソース/デスティネーションとも内蔵周辺I/OまたはRAM空間の64Kバイト(H'0080 0000 ~ H'0080 FFFF)です。各DMAチャンネルのソース/デスティネーションアドレスは、DMAソースアドレスレジスタおよびDMAデスティネーションアドレスレジスタで設定します。

9.3.9 転送動作

(1) デュアルアドレス転送

転送単位にかかわらずソースリードアクセスと、デスティネーションライトアクセスの2つのバスサイクルによって転送します(転送データは一度、DMA内部のテンポラリレジスタに取り込まれます)。

(2) バスプロトコルおよびバスタイミング

バスインタフェースはCPUと共通であるため、バスプロトコル、バスタイミングともにCPUからの周辺モジュールアクセスと同じです。

(3) 転送速度

最大転送速度は、次式で算出されます。

$$\text{最大転送速度 [バイト / 秒]} = 2\text{バイト} \times \frac{1}{1 / f(\text{BCLK}) \times 3\text{サイクル}}$$

(4) アドレスカウント方向とアドレス変化

ソースアドレス、デスティネーションアドレスのカウント方向(アドレスの固定/インクリメント)は、チャンネルごとにSADSL(ソースアドレス方向選択)ビットと、DADSL(デスティネーションアドレス方向選択)ビットで設定します。

アドレスは、1回のDMA転送につき転送単位が16ビットの場合は+2され、転送単位が8ビットの場合は+1されます。

表9.3.11 アドレスカウント方向とアドレス変化

アドレスカウント方向	転送単位	1回のDMAによるアドレス変化
アドレス固定	8ビット	0
	16ビット	0
アドレスインクリメント	8ビット	+1
	16ビット	+2

(5) 転送カウント値

転送カウント値は、転送単位(8ビット/16ビット)に関係なく、1ずつデクリメントされます。

(6) 転送バイト位置

転送単位が8ビット単位の場合はソース/デスティネーションとも、アドレスレジスタのLSBが有効です(したがって偶数 偶数、奇数 奇数番地転送の他に、偶数 奇数、奇数 偶数番地転送も行われます)。

転送単位が16ビットの場合、アドレスレジスタのLSB(アドレスレジスタのD15)は無視され、常に16ビットバスに対してアライメントのとれた2バイトを転送します。

以下に有効な転送バイト位置を示します。

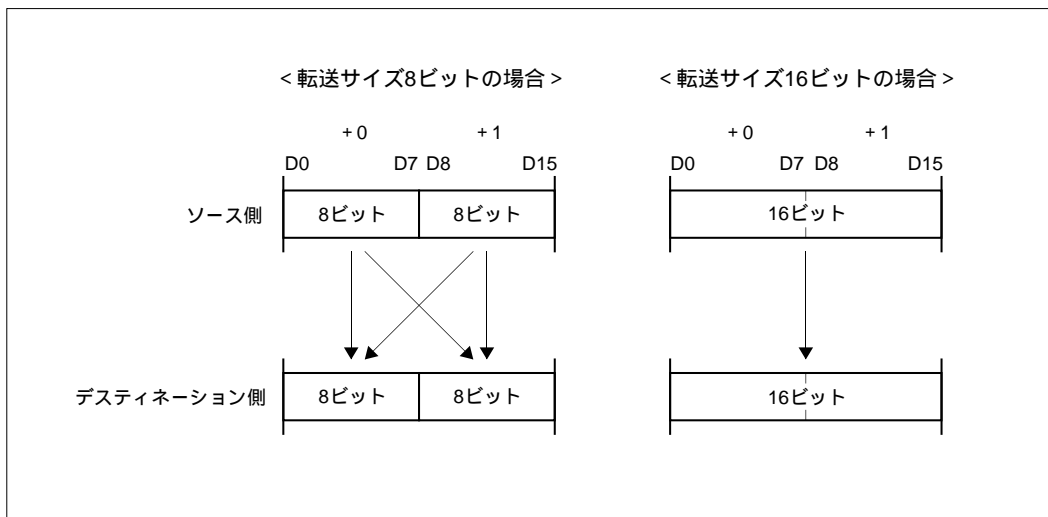


図9.3.3 転送バイト位置

(7) リングバッファモード

リングバッファモードを選択すると、転送開始アドレスから32回転送後再び転送開始アドレスに戻り、転送動作を繰り返します。ただし、リングバッファの開始アドレスの下位5ビットは必ずB'00000でなければなりません。

リングバッファモードにおけるアドレスのインクリメント動作は、次のとおりです。

転送サイズ8ビットの場合

転送開始アドレスの上位27ビットは固定で、下位5ビットが1ずつインクリメントされます。開始アドレスから下位5ビットがB'11111に達したとき、次のインクリメント動作で下位5ビットはB'00000になり開始アドレスに戻ります。

転送サイズ16ビットの場合

転送開始アドレスの上位26ビットは固定で、下位6ビットが2ずつインクリメントされます。開始アドレスから下位6ビットがB'111110に達したとき、次のインクリメント動作で下位6ビットはB'000000になり開始アドレスに戻るようインクリメントされます。

開始アドレスに戻るのは、ソース側がインクリメントに設定されている場合はソースアドレス、デスティネーション側がインクリメントに設定されている場合はデスティネーションアドレスです。

ソース側とデスティネーション側がともにインクリメントの場合は、両方のアドレスが開始アドレスに戻ります。ただしどちらの開始アドレスも初期値の下位5ビットは必ずB'00000でなければなりません。

リングバッファモード時は転送カウンレジスタは無視されます。また、DMA動作開始後はフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。

<転送サイズ8ビットの場合>		<転送サイズ16ビットの場合>	
転送回数	転送アドレス	転送回数	転送アドレス
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
3	H'0080 1002	3	H'0080 1004
}	}	}	}
31	H'0080 101E	31	H'0080 103C
32	H'0080 101F	32	H'0080 103E
1	H'0080 1000	1	H'0080 1000
2	H'0080 1001	2	H'0080 1002
}	}	}	}

図9.3.4 32チャンネルリングバッファモードにおけるアドレスインクリメント動作例

9.3.10 DMAの終了と割り込み

ノーマルモードの場合、DMA転送は転送カウントレジスタのアンダフローで終了します。転送が終了すると、転送許可ビットが"0"にクリアされ転送禁止状態になります。また、転送終了時に割り込み要求が発生しますが、DMA割り込みマスクレジスタで割り込み要求がマスクされているチャンネルについては、割り込みは発生しません。

リングバッファモード時は、転送カウントレジスタはフリーランとなり、転送許可ビットを"0"にクリア(転送禁止)するまで転送を続けます。このため、DMA転送終了割り込み要求は発生しません。また、転送許可ビットをクリアしてリングバッファモード転送を終了したときも、DMA転送終了割り込み要求は発生しません。

9.3.11 DMA転送終了後の各レジスタの状態

DMA転送終了時、ソースアドレスレジスタおよびデスティネーションアドレスレジスタは以下の条件となります。

(1)アドレス固定

DMA転送開始前の設定値のまま固定

(2)アドレスインクリメント時

8ビット転送時、最終転送アドレス+1

16ビット転送時、最終転送アドレス+2

また、転送カウントレジスタはDMA転送終了時、アンダフロー(H'FF)状態となっています。したがって再度DMA転送を行う場合は、256(H'FF)回の転送を行う場合を除き、転送カウントレジスタの再設定を行ってください。

9.4 DMACの注意事項

DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないで下さい。

以下に、各レジスタのライトアクセスの可否を示します。

表9.4.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	その他DMAC関連レジスタ
転送許可状態			×
転送禁止状態			

: 可 × : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守って下さい。

DMA チャンネル制御レジスタの転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んで下さい。なお、転送要求フラグは"0"の書き込みのみ有効です。

DMA 転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

DMA 転送による異なるチャンネルのDMA ソースアドレス、およびDMA デスティネーションアドレスの書き替え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うことにはなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き替えが可能です(例えばチャンネル0による、チャンネル1のDMA_nソースアドレスレジスタとDMA_nデスティネーションアドレスレジスタの書き替え操作など)。

DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んで下さい。"1"を書き込んだビットは、書き込み前のデータが保持されます。

DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。

ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

第10章

マルチジャンクションタイマ

- 10.1 マルチジャンクション
タイマ概要
- 10.2 タイマ共通部
- 10.3 TOP(出力系16ビット
タイマ)
- 10.4 TIQ(入出力系16ビット
タイマ)
- 10.5 TMS(入力系16ビット
タイマ)
- 10.6 TML(入力系32ビット
タイマ)

10.1 マルチジャンクションタイマ概要

マルチジャンクションタイマ(以下MJTと略)には入力イベントバスおよび出力イベントバスが備えられており、タイマ単独での使用に加えてタイマ相互の内部接続が可能です。この機能によりフレキシビリティに富んだタイマが構成でき、多様なアプリケーションに対応できます。タイマが内部のイベントバスとの多数の接続点を持つことからマルチジャンクションの名前が付けられています。

32171のMJTには4種類、合計37チャンネルのタイマがあります。

表10.1.1 MJTの概要

名称	種類	チャンネル数	内容
TOP (Timer OutPut)	出力系 16ビットタイマ (ダウンカウンタ)	11	ソフトウェアにより、3種類の出力モードを選択。 <補正機能あり> ワンショット出力モード ディレイドワンショット出力モード <補正機能なし> 連続出力モード
TIO (Timer Input OutPut)	入出力系 16ビットタイマ (ダウンカウンタ)	10	ソフトウェアにより、3種類の入力モードと4種類の出力モードを選択。 <入力モード> 計測クリア入力モード 計測フリーラン入力モード ノイズ処理入力モード <補正機能なし出力モード> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード
TMS (Timer Measure Small)	入力系 16ビットタイマ (アップカウンタ)	8	16ビット入力計測タイマ。
TML (Timer Measure Large)	入力系 32ビットタイマ (アップカウンタ)	8	32ビット入力計測タイマ。

表10.1.2 MJTの割り込み発生機能

信号名	MJT割り込み要求元	割り込みコントローラ(ICU)入力	入力要因数
IRQ12	TIN3入力	MJT入力割り込み4	1
IRQ11	TIN20～TIN23入力	MJT入力割り込み3	4
IRQ10	TIN16～TIN19入力	MJT入力割り込み2	4
IRQ9	TIN0入力	MJT入力割り込み1	1
IRQ7	TMS0, TMS1出力	MJT出力割り込み7	2
IRQ6	TOP8, TOP9出力	MJT出力割り込み6	2
IRQ5	TOP10出力	MJT出力割り込み5	1
IRQ4	TIO4～7出力	MJT出力割り込み4	4
IRQ3	TIO8, TIO9出力	MJT出力割り込み3	2
IRQ2	TOP0～5出力	MJT出力割り込み2	6
IRQ1	TOP6, TOP7出力	MJT出力割り込み1	2
IRQ0	TIO0～3出力	MJT出力割り込み0	4

表10.1.3 MJTのDMA転送要求発生機能

信号名	DMA転送要求元	DMAC入力チャンネル
DRQ0	TIO8アングダフロー	チャンネル0
DRQ1	入カイベントバス2	チャンネル0
DRQ2	出カイベントバス0	チャンネル1
DRQ4	出カイベントバス1	チャンネル2
DRQ5	TIN18入力	チャンネル2
DRQ6	TIN19入力	チャンネル4
DRQ7	TIN0入力	チャンネル3
DRQ12	TIN20入力	チャンネル5
DRQ13	入カイベントバス0	チャンネル8

表10.1.4 MJTのA-D変換開始要求機能

信号名	A-D変換開始要求元	A-D変換器
AD0TRG	出カイベントバス3	A-D0変換開始トリガに入力可能

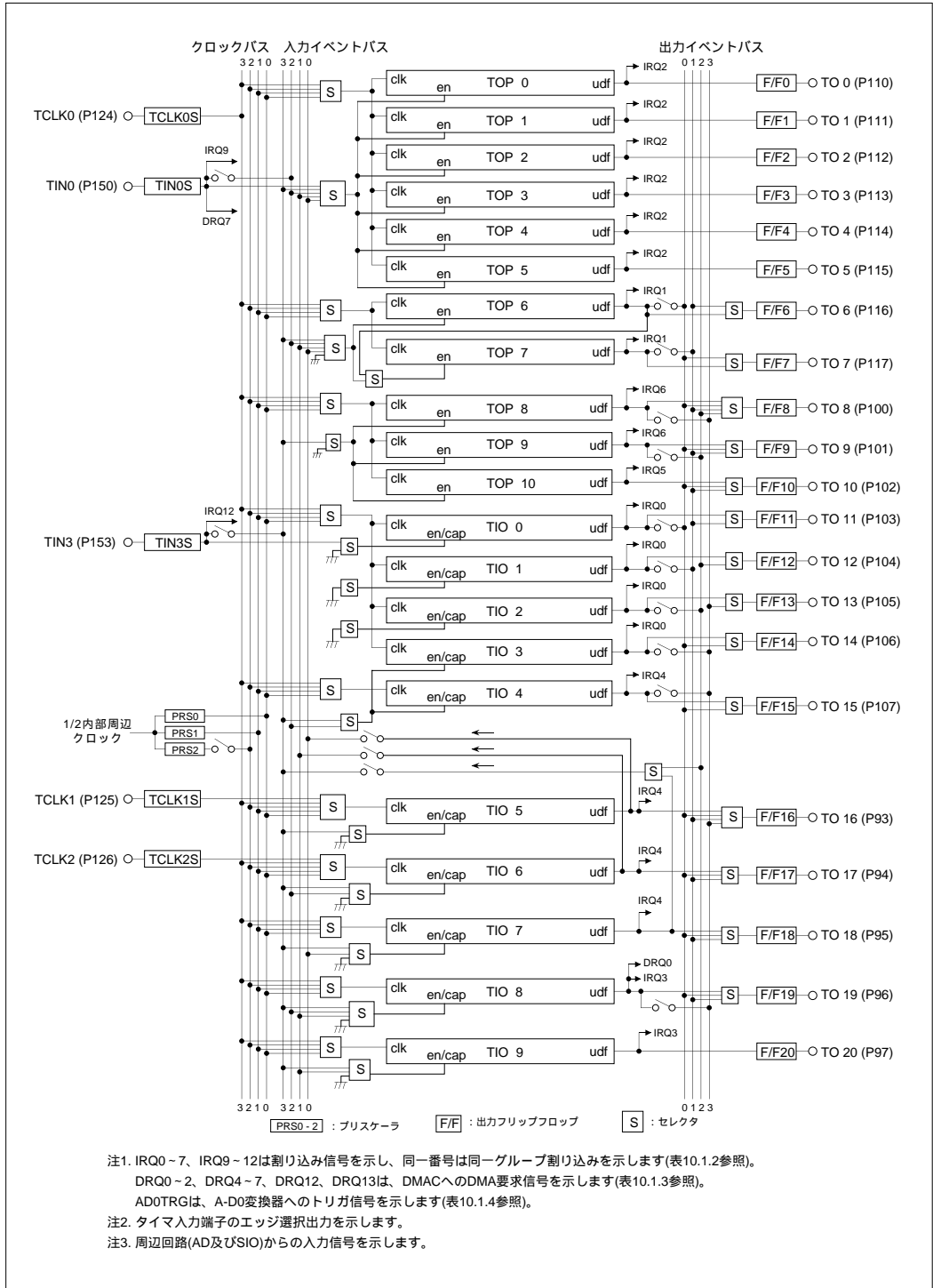


図10.1.1 MJTブロック図(1/3)

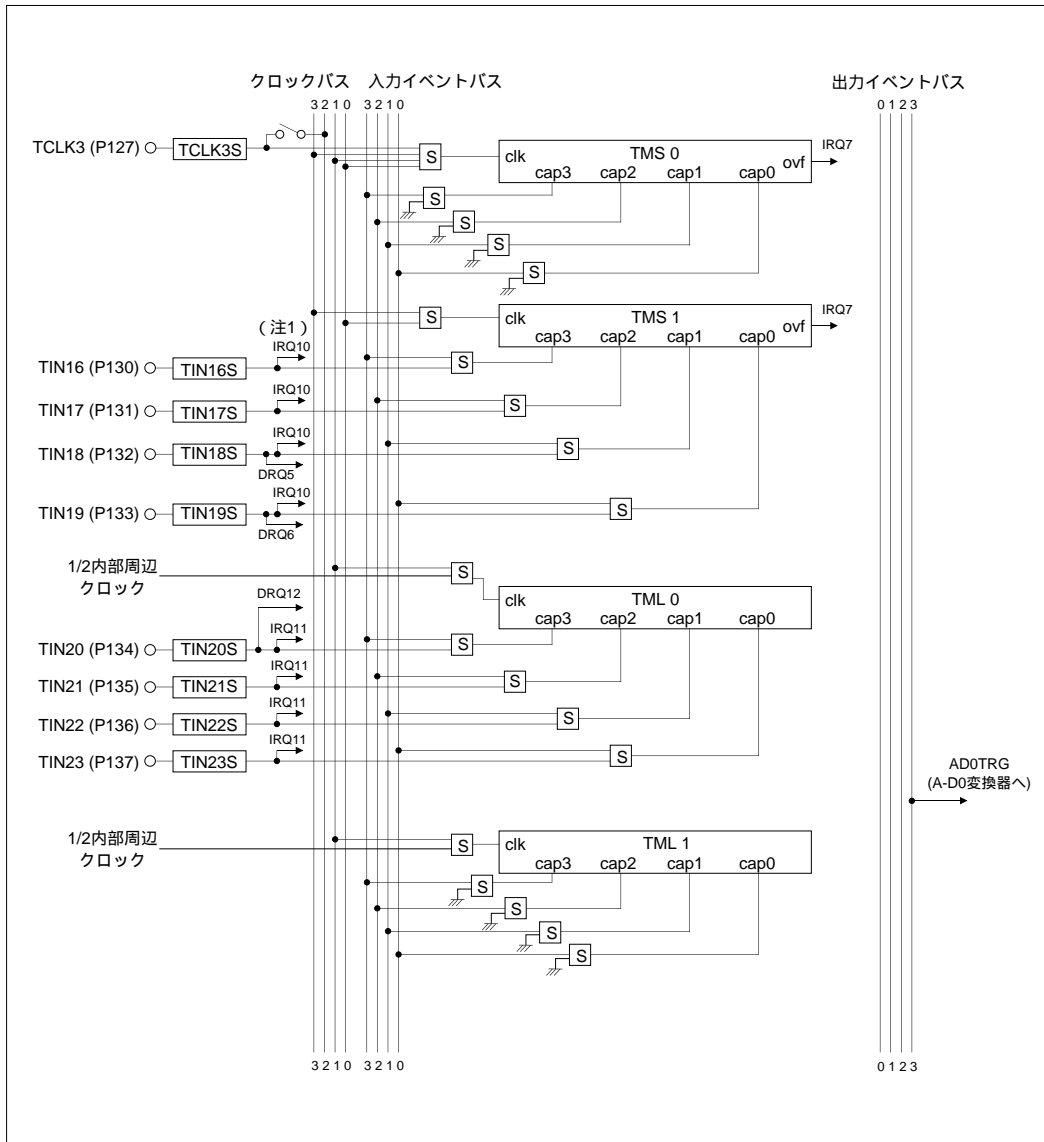


図10.1.2 MJTブロック図 (2/3)

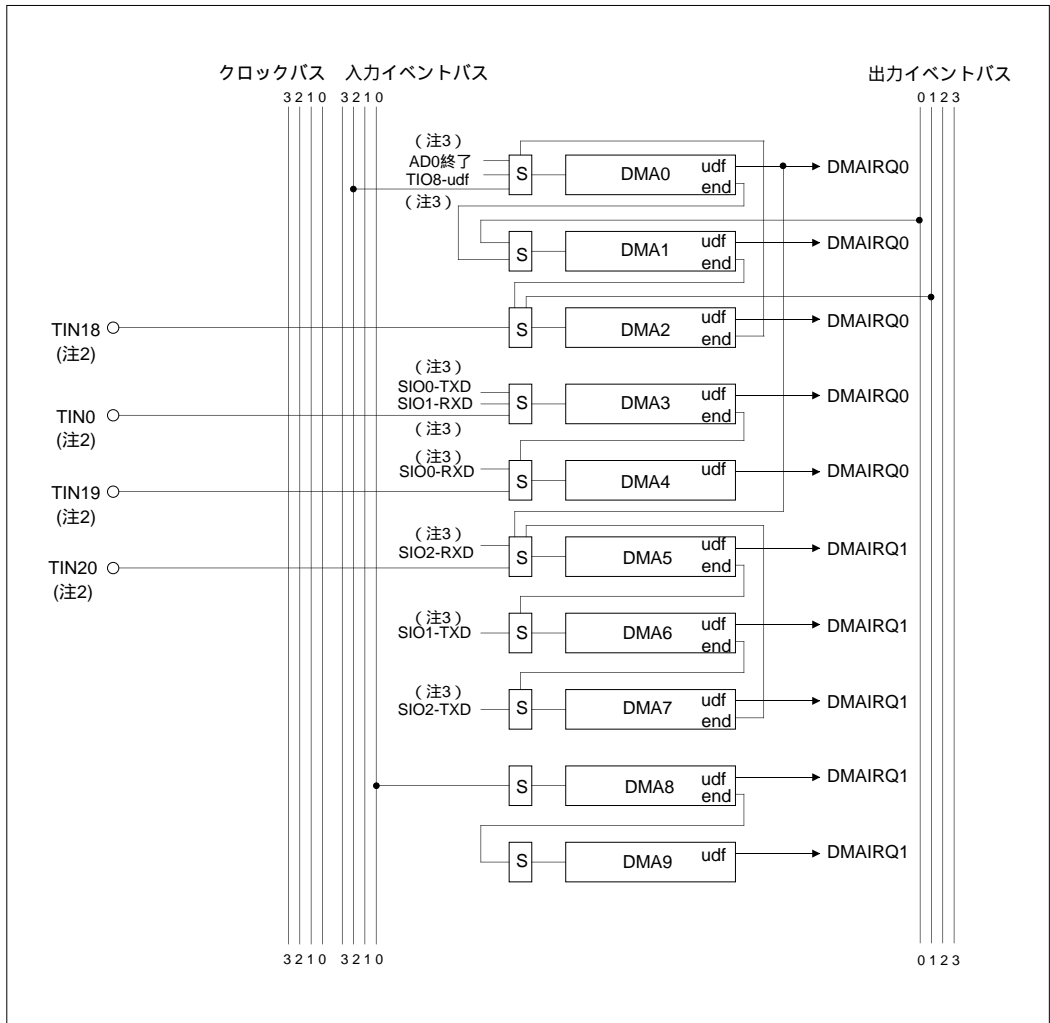


図10.1.3 MJTブロック図(3/3)

10.2 タイマ共通部

タイマ共通部には以下のブロックが含まれます。

- プリスケアラ部
- クロックバス/入出力イベントバス制御部
- 入力処理制御部
- 出力フリップフロップ制御部
- 割り込み制御部

10.2.1 タイマ共通部レジスタマップ

次ページにタイマ共通部のレジスタマップを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0200				クロックバス&入力イベントバス制御レジスタ (CKIEBCR)		
H'0080 0202	プリスケアラレジスタ0 (PRS0)			プリスケアラレジスタ1 (PRS1)		
H'0080 0204	プリスケアラレジスタ2 (PRS2)			出力イベントバス制御レジスタ (OEBCR)		
~						
H'0080 0210	TCLK入力処理制御レジスタ (TCLKCR)					
H'0080 0212	TIN入力処理制御レジスタ0 (TINCR0)					
H'0080 0214						
H'0080 0216						
H'0080 0218	TIN入力処理制御レジスタ3 (TINCR3)					
H'0080 021A	TIN入力処理制御レジスタ4 (TINCR4)					
~						
H'0080 0220	F/Fソース選択レジスタ0 (FFS0)					
H'0080 0222				F/Fソース選択レジスタ1 (FFS1)		
H'0080 0224	F/Fプロテクトレジスタ0 (FFP0)					
H'0080 0226	F/Fデータレジスタ0 (FFD0)					
H'0080 0228				F/Fプロテクトレジスタ1 (FFP1)		
H'0080 022A				F/Fデータレジスタ1 (FFD1)		
~						
H'0080 0230	TOP割り込み制御レジスタ0 (TOPIR0)			TOP割り込み制御レジスタ1 (TOPIR1)		
H'0080 0232	TOP割り込み制御レジスタ2 (TOPIR2)			TOP割り込み制御レジスタ3 (TOPIR3)		
H'0080 0234	TIO割り込み制御レジスタ0 (TIOIR0)			TIO割り込み制御レジスタ1 (TIOIR1)		
H'0080 0236	TIO割り込み制御レジスタ2 (TIOIR2)			TMS割り込み制御レジスタ (TMSIR)		
H'0080 0238	TIN割り込み制御レジスタ0 (TINIR0)			TIN割り込み制御レジスタ1 (TINIR1)		
H'0080 023A						
H'0080 023C	TIN割り込み制御レジスタ4 (TINIR4)			TIN割り込み制御レジスタ5 (TINIR5)		
H'0080 023E	TIN割り込み制御レジスタ6 (TINIR6)					
~						

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.2.1 タイマ共通部レジスタマップ

10.2.2 プリスケアラ部

プリスケアラPRS0～2は、8ビット構成のカウンタで内部周辺クロックの1/2の周波数(内部周辺動作20MHz時は10.0MHz)をもとに、クロックを分周して各タイマ(TOP, TIO, TMS, TML)へクロックを供給します。

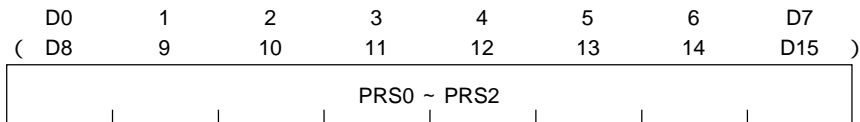
プリスケアラレジスタの値はリセット時にH'00に初期化されます。

また、プリスケアラレジスタの設定値を書き換えると、プリスケアラのアンダフローに同期して、その書き換え値による動作を開始します。

プリスケアラのカウンタレジスタにはH'00～H'FFの値が設定できます。プリスケアラの分周比は次の式で与えられます。

$$\text{プリスケアラ分周比} = \frac{1}{\text{プリスケアラ設定値} + 1}$$

プリスケアラレジスタ0 (PRS0)	<アドレス : H'0080 0202 >
プリスケアラレジスタ1 (PRS1)	<アドレス : H'0080 0203 >
プリスケアラレジスタ2 (PRS2)	<アドレス : H'0080 0204 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
0~7	PRS0,2	プリスケアラ分周値設定		
8~15	PRS1			

プリスケアラレジスタ0～2は、リセット解除後カウント動作を開始します。

10.2.3 クロックバス / 入出力イベントバス制御部

(1) クロックバス

クロックバスは、各タイマにクロックを供給するためのバスで、クロックバス0～3の4本で構成されます。各タイマではこのクロックバス信号をクロック入力信号とすることができます。

クロックバスに入力可能な信号は以下の通りです。

表10.2.1 クロックバス各線に入力可能な信号

クロックバス	入力可能信号
3	TCLK0入力
2	内部プリスケアラ(PRS2) または TCLK3入力
1	内部プリスケアラ(PRS1)
0	内部プリスケアラ(PRS0)

(2) 入力イベントバス

入力イベントバスは、各タイマのカウントイネーブル信号や計測キャプチャ信号を供給するためのバスで、入力イベントバス0～3の4本で構成されます。各タイマではこの入力イベントバス信号をイネーブル(またはキャプチャ)信号入力とすることができます。

入力イベントバスに入力可能な信号は以下の通りです。

表10.2.2 入力イベントバス各線に入力可能な信号

入力イベントバス	入力可能信号
3	TIN3入力、出力イベントバス2 または TIO7アンダフロー信号
2	TIN0入力
1	TIO6アンダフロー信号
0	TIO5アンダフロー信号

(3) 出力イベントバス

出力イベントバスは、各タイマのアンダフロー信号が接続され、出力イベントバス0～3の4本で構成されます。出力イベントバスの信号は出力フリップフロップに接続されるほか、出力イベントバス3はA-D0変換器に、出力イベントバス0はDMAチャンネル1に、出力イベントバス1はDMAチャンネル2に接続できます。また、出力イベントバス2は、入力イベントバス3に接続可能です。

出力イベントバスに接続可能な信号は以下の通りです。

表10.2.3 出力イベントバス各線に接続(入力)可能な信号

出力イベントバス	接続(入力)可能な信号 (注)
3	TOP8、TIO3、TIO4、TIO8アンダフロー信号
2	TOP9 または TIO2アンダフロー信号
1	TOP7 または TIO1アンダフロー信号
0	TOP6 または TIO0アンダフロー信号

注. 出力イベントバス信号の接続先(出力)については、図10.1.1「MJTブロック図」をご覧ください。

なお、各タイマから出力イベントバスに対する信号(およびTIO5,6による入力イベントバスへの信号)が発生するのは、以下のタイミングです(タイマから出力フリップフロップへの信号出力タイミングとは異なるため注意してください)。

表10.2.4 各タイマから出力イベントバスに対する信号発生タイミング

タイマ	モード	出力イベントバスへの信号発生タイミング
TOP	ワンショット出力モード	カウンタアンダフロー時
	ディレイドワンショット出力モード	"
	連続出力モード	"
TIO(注)	計測クリア入力モード	カウンタアンダフロー時
	計測フリーラン入力モード	"
	ノイズ処理入力モード	"
	PWM出力モード	カウンタアンダフロー時
	ワンショット出力モード	"
	ディレイドワンショット出力モード	"
	連続出力モード	"
TMS	(16ビット計測入力)	信号発生機能なし
TML	(32ビット計測入力)	信号発生機能なし

注. TIO5,6は入力イベントバスに対してアンダフロー信号を出力します。

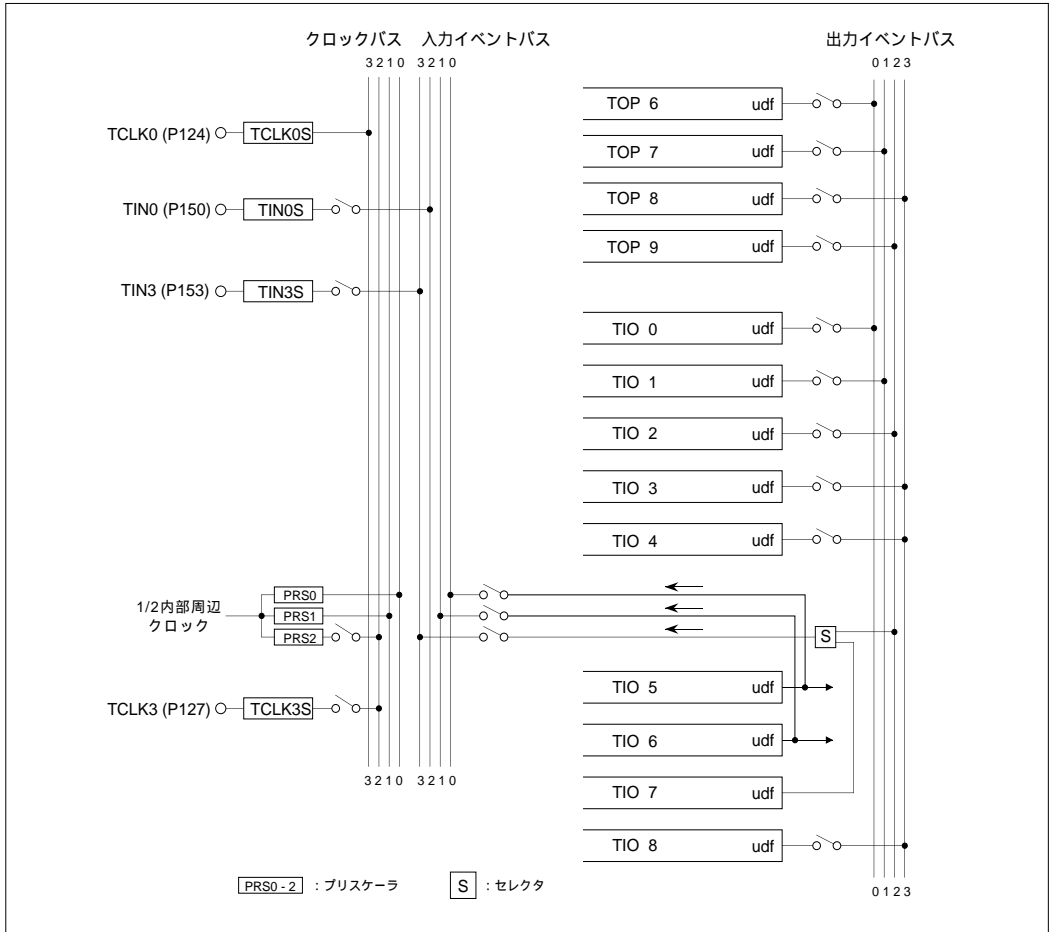
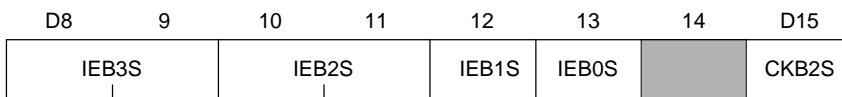


図10.2.2 クロックバス, 入力/出力イベントバスの概念図

クロックバス / 入出力イベントバス制御部には以下のレジスタがあります。

クロックバス&入力イベントバス制御レジスタ (CKIEBCR)
出力イベントバス制御レジスタ (OEBCR)

クロックバス&入力イベントバス制御レジスタ (CKIEBCR) <アドレス: H'0080 0201 >



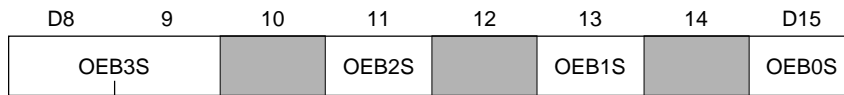
<リセット時: H'00 >

D	ビット名	機能	R	W
8, 9	IEB3S (入力イベントバス3 入力選択)	0X: 外部入力(X TIN3) 選択 10: 出力イベントバス2選択 11: TIO7出力選択		
10, 11	IEB2S (入力イベントバス2 入力選択)	00: 外部入力(X TIN0) 選択 01: 非選択 1X: 非選択		
12	IEB1S (入力イベントバス1 入力選択)	0: 非選択 1: TIO6出力選択		
13	IEB0S (入力イベントバス0 入力選択)	0: 非選択 1: TIO5出力選択		
14	何も配置されていません		0	-
15	CKB2S (クロックバス2 入力選択)	0: プリスケアラ2選択 1: 外部クロック(X TCLK3) 選択		

CKIEBCRは、クロックバスに供給するクロックソースの選択(外部入力またはプリスケアラ)、および入力イベントバスへ供給するカウントイネーブル/キャプチャ信号の選択(外部入力または出力イベントバス)を行うレジスタです。

出カイベントバス制御レジスタ (OEBCR)

<アドレス : H'0080 0205 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8, 9	OEB3S(出カイベントバス3 入力選択)	00 : TOP8出力選択 01 : TIO3出力選択 10 : TIO4出力選択 11 : TIO8出力選択		
10	何も配置されていません		0	-
11	OEB2S(出カイベントバス2 入力選択)	0 : TOP9出力選択 1 : TIO2出力選択		
12	何も配置されていません		0	-
13	OEB1S(出カイベントバス1 入力選択)	0 : TOP7出力選択 1 : TIO1出力選択		
14	何も配置されていません		0	-
15	OEB0S(出カイベントバス0 入力選択)	0 : TOP6出力選択 1 : TIO0出力選択		

OEBCRは、出カイベントバスにどのタイマ(TOP, TIO)のアンダフロー信号を供給するかを選択するレジスタです。

10.2.4 入力処理制御部

入力処理制御部では、TCLK信号およびTIN信号の入力処理を行います。TCLK入力処理部では、TCLK信号のソース、外部入力の場合は信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)でクロックバスへの供給クロック信号を発生させるかを選択します。

またTIN入力処理部では、信号のどのエッジ(立ち上がり/立ち下がり/両エッジ)またはどのレベル(Hレベル/Lレベル)で、各タイマのイネーブル信号/計測信号/カウントソース信号、または各イベントバスへの供給信号を発生させるかを選択します。

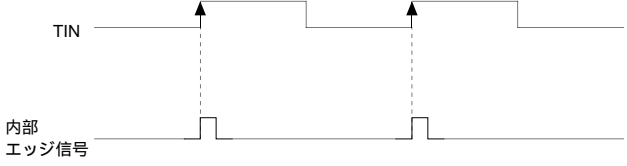
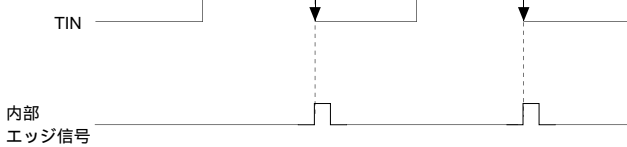
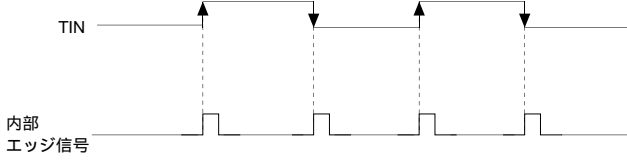


入力処理制御レジスタには以下のものがあります。

TCLK入力処理制御レジスタ(TCLKCR)
TIN入力処理制御レジスタ0(TINCR0)
TIN入力処理制御レジスタ3(TINCR3)
TIN入力処理制御レジスタ4(TINCR4)

(1)TCLK入力処理制御レジスタ機能一覧

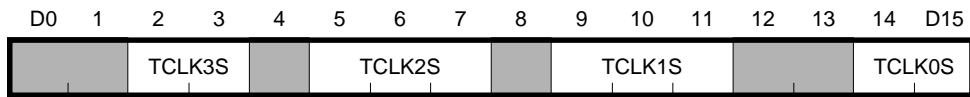
項目	動作機能
1/2内部周辺クロック	
立ち上がりクロック	
立ち下がりクロック	
両エッジ	
Lレベル	
Hレベル	

(2) TIN入力処理制御レジスタ機能一覧

項目	動作機能
立ち上がりエッジ	
立ち下がりエッジ	
両エッジ	
Lレベル	
Hレベル	

TCLK 入力処理制御レジスタ (TCLKCR)

< アドレス : H'0080 0210 >



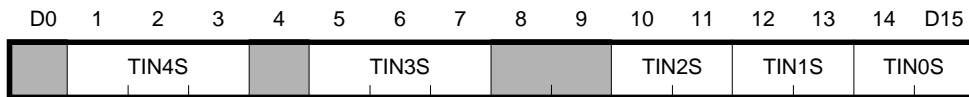
< リセット時 : H'0000 >

D	ビット名	機能	R	W
0, 1	何も配置されていません		0	-
2, 3	TCLK3S (TCLK3 入力処理 選択)	00 : 1/2内部周辺クロック 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		
4	何も配置されていません		0	-
5~7	TCLK2S (TCLK2 入力処理 選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
8	何も配置されていません		0	-
9~11	TCLK1S (TCLK1 入力処理 選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
12, 13	何も配置されていません		0	-
14, 15	TCLK0S (TCLK0 入力処理 選択)	00 : 1/2内部周辺クロック 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIN入力処理制御レジスタ0 (TINCR0)

<アドレス : H'0080 0212 >



<リセット時 : H'0000 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1~3	TIN4S(予約ビット)	000を設定 (注1)		
4	何も配置されていません		0	-
5~7	TIN3S(TIN3 入力処理選択)	000 : 入力を無効にする 001 : 立ち上がりエッジ 010 : 立ち下がりエッジ 011 : 両エッジ 10X : Lレベル 11X : Hレベル		
8,9	何も配置されていません		0	-
10,11	TIN2S(予約ビット)	00を設定 (注2)		
12,13	TIN1S(予約ビット)	00を設定 (注2)		
14,15	TIN0S(TIN0 入力処理選択)	00 : 入力を無効にする 01 : 立ち上がりエッジ 10 : 立ち下がりエッジ 11 : 両エッジ		

注1. TIN4Sビットへは必ず000を設定してください。

注2. TIN2SビットおよびTIN1Sビットへは必ず00を設定してください。

TIN 入力処理制御レジスタ 3 (TINCR3)

< アドレス : H'0080 0218 >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TIN19S		TIN18S		TIN17S		TIN16S		TIN15S		TIN14S		TIN13S		TIN12S	

< リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TIN19S (TIN19 入力処理選択)	00 : 入力を無効にする		
2,3	TIN18S (TIN18 入力処理選択)	01 : 立ち上がりエッジ		
4,5	TIN17S (TIN17 入力処理選択)	10 : 立ち下がりエッジ		
6,7	TIN16S (TIN16 入力処理選択)	11 : 両エッジ		
8,9	TIN15S (予約ビット)	00を設定 (注)		
10,11	TIN14S (予約ビット)			
12,13	TIN13S (予約ビット)			
14,15	TIN12S (予約ビット)			

注. TIN15S、TIN14S、TIN13S、およびTIN12Sへは必ず00を設定してください。

TIN 入力処理制御レジスタ 4 (TINCR4)

< アドレス : H'0080 021A >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TIN33S		TIN32S		TIN31S		TIN30S		TIN23S		TIN22S		TIN21S		TIN20S	

< リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	TIN33S (予約ビット)	00を設定 (注)		
2,3	TIN32S (予約ビット)			
4,5	TIN31S (予約ビット)			
6,7	TIN30S (予約ビット)			
8,9	TIN23S (TIN23 入力処理選択)	00 : 入力を無効にする		
10,11	TIN22S (TIN22 入力処理選択)	01 : 立ち上がりエッジ		
12,13	TIN21S (TIN21 入力処理選択)	10 : 立ち下がりエッジ		
14,15	TIN20S (TIN20 入力処理選択)	11 : 両エッジ		

注. TIN33S、TIN32S、TIN31S、およびTIN30Sへは必ず00を設定してください。

10.2.5 出力フリップフロップ制御部

出力フリップフロップ制御部では、各タイマ出力に設けられたフリップフロップ(F/F)の制御を行います。出力フリップフロップ制御レジスタには以下のものがあります。

F/Fソース選択レジスタ0(FFS0)

F/Fソース選択レジスタ1(FFS1)

F/Fプロテクトレジスタ0(FFP0)

F/Fプロテクトレジスタ1(FFP1)

F/Fデータレジスタ0(FFD0)

F/Fデータレジスタ1(FFD1)

なお、各タイマから出力フリップフロップに対する信号の発生するタイミングを表10.2.5に示します(出力イベントバスへの信号出力タイミングと異なるため注意してください)。

表10.2.5 各タイマから出力フリップフロップに対する信号発生タイミング

タイマ	モード	出力フリップフロップへの信号発生タイミング
TOP	ワンショット出力モード	カウンタインエーブル時およびアンダフロー時
	ディレイドワンショット出力モード	カウンタアンダフロー時
	連続出力モード	カウンタインエーブル時およびアンダフロー時
TIO	計測クリア入力モード	カウンタアンダフロー時
	計測フリーラン入力モード	カウンタアンダフロー時
	ノイズ処理入力モード	カウンタアンダフロー時
	PWM出力モード	カウンタインエーブル時およびアンダフロー時
	ワンショット出力モード	カウンタインエーブル時およびアンダフロー時
	ディレイドワンショット出力モード	カウンタアンダフロー時
	連続出力モード	カウンタインエーブル時およびアンダフロー時
TMS	(16ビット計測入力)	信号発生機能なし
TML	(32ビット計測入力)	信号発生機能なし

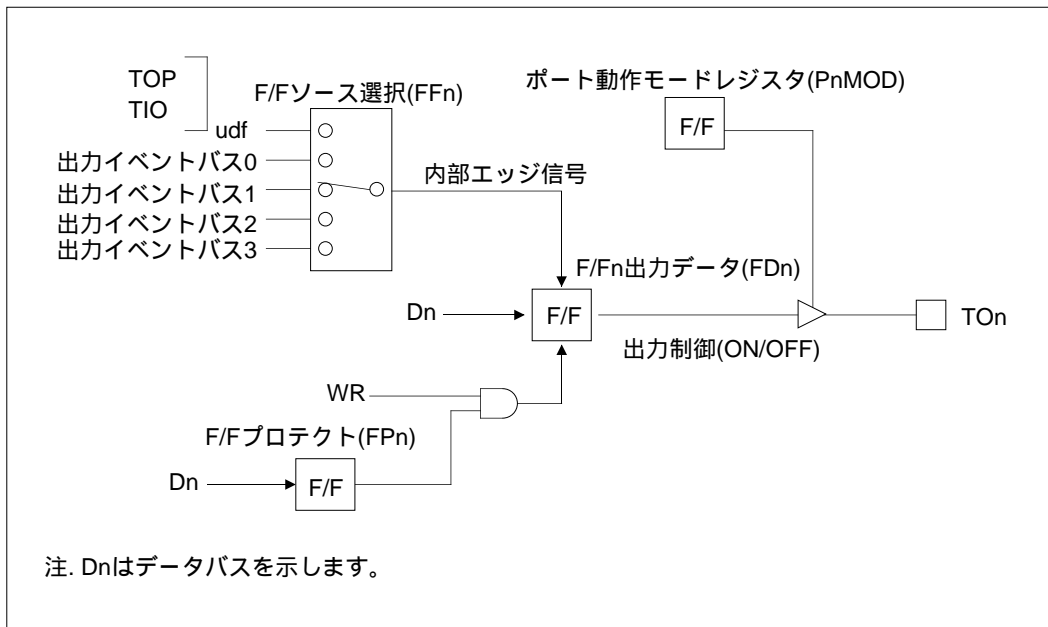
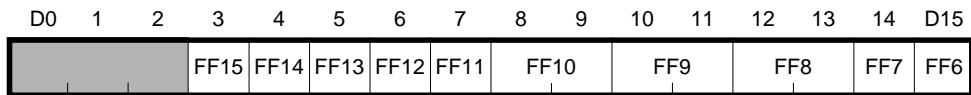


図10.2.3 F/F出力回路構成図

F/F ソース選択レジスタ 0 (FFS0)

< アドレス : H'0080 0220 >



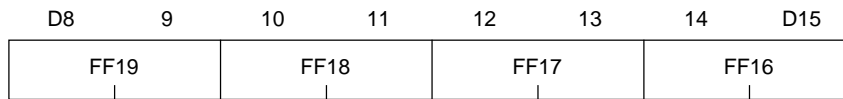
< リセット時 : H'0000 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	FF15 (F/F15 ソース選択)	0 : TIO 4 出力 1 : 出力イベントバス0		
4	FF14 (F/F14 ソース選択)	0 : TIO 3 出力 1 : 出力イベントバス0		
5	FF13 (F/F13 ソース選択)	0 : TIO 2 出力 1 : 出力イベントバス3		
6	FF12 (F/F12 ソース選択)	0 : TIO 1 出力 1 : 出力イベントバス2		
7	FF11 (F/F11 ソース選択)	0 : TIO 0 出力 1 : 出力イベントバス1		
8,9	FF10 (F/F10 ソース選択)	0X : TOP 10 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
10,11	FF9 (F/F9 ソース選択)	0X : TOP 9 出力 10 : 出力イベントバス0 11 : 出力イベントバス1		
12,13	FF8 (F/F8 ソース選択)	00 : TOP 8 出力 01 : 出力イベントバス0 10 : 出力イベントバス1 11 : 出力イベントバス2		
14	FF7 (F/F7 ソース選択)	0 : TOP 7 出力 1 : 出力イベントバス0		
15	FF6 (F/F6 ソース選択)	0 : TOP 6 出力 1 : 出力イベントバス1		

注. このレジスタは、必ずハーフワードでアクセスしてください。

F/F ソース選択レジスタ 1 (FFS1)

<アドレス : H'0080 0223 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	FF19(F/F19 ソース選択)	0X : TIO 8 出力 10 : 出カイベントバス0 11 : 出カイベントバス1		
10,11	FF18(F/F18 ソース選択)	0X : TIO 7 出力 10 : 出カイベントバス0 11 : 出カイベントバス1		
12,13	FF17(F/F17 ソース選択)	0X : TIO 6 出力 10 : 出カイベントバス0 11 : 出カイベントバス1		
14,15	FF16(F/F16 ソース選択)	00 : TIO 5 出力 01 : 出カイベントバス0 10 : 出カイベントバス1 11 : 出カイベントバス3		

FFS0,FFS1は、各出力F/F(フリップフロップ)への信号ソースの選択レジスタです。信号ソースには内部出力バスからの選択、または各タイマからのアンダフロー出力を選択できます。

F/F プロテクトレジスタ 0 (FFP0)

<アドレス : H'0080 0224 >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
FP15	FP14	FP13	FP12	FP11	FP10	FP9	FP8	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0

<リセット時 : H'0000 >

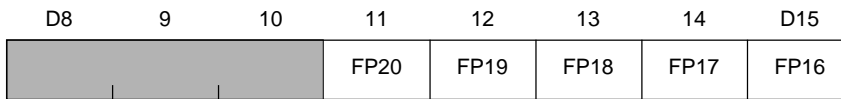
D	ビット名	機能	R	W
0	FP15(F/F15 プロテクト)	0 : F/F出力ビットへの書き込み許可		
1	FP14(F/F14 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
2	FP13(F/F13 プロテクト)			
3	FP12(F/F12 プロテクト)			
4	FP11(F/F11 プロテクト)			
5	FP10(F/F10 プロテクト)			
6	FP9(F/F9 プロテクト)			
7	FP8(F/F8 プロテクト)			
8	FP7(F/F7 プロテクト)			
9	FP6(F/F6 プロテクト)			
10	FP5(F/F5 プロテクト)			
11	FP4(F/F4 プロテクト)			
12	FP3(F/F3 プロテクト)			
13	FP2(F/F2 プロテクト)			
14	FP1(F/F1 プロテクト)			
15	FP0(F/F0 プロテクト)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

各出力F/F(フリップフロップ)への書き込み許可 / 禁止制御を行うレジスタです。書き込みを禁止にした場合は、F/Fデータレジスタへの書き込みは無効になります。

F/F プロテクトレジスタ 1 (FFP1)

<アドレス : H'0080 0229 >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	FP20(F/F20 プロテクト)	0 : F/F出力ビットへの書き込み許可		
12	FP19(F/F19 プロテクト)	1 : F/F出力ビットへの書き込み禁止		
13	FP18(F/F18 プロテクト)			
14	FP17(F/F17 プロテクト)			
15	FP16(F/F16 プロテクト)			

各出力F/F(フリップフロップ)への書き込み許可 / 禁止制御を行うレジスタです。書き込みを禁止にした場合は、F/Fデータレジスタへの書き込みは無効になります。

F/F データレジスタ 0 (FFD0)

<アドレス : H'0080 0226 >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0

<リセット時 : H'0000 >

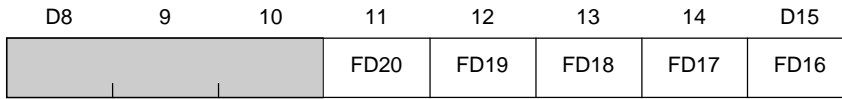
D	ビット名	機能	R	W
0	FD15(F/F15 出力データ)	0 : F/F出力データ = 0		
1	FD14(F/F14 出力データ)	1 : F/F出力データ = 1		
2	FD13(F/F13 出力データ)			
3	FD12(F/F12 出力データ)			
4	FD11(F/F11 出力データ)			
5	FD10(F/F10 出力データ)			
6	FD9(F/F9 出力データ)			
7	FD8(F/F8 出力データ)			
8	FD7(F/F7 出力データ)			
9	FD6(F/F6 出力データ)			
10	FD5(F/F5 出力データ)			
11	FD4(F/F4 出力データ)			
12	FD3(F/F3 出力データ)			
13	FD2(F/F2 出力データ)			
14	FD1(F/F1 出力データ)			
15	FD0(F/F0 出力データ)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定が書き込み許可の場合のみ操作できます。

F/F データレジスタ 1 (FFD1)

<アドレス : H'0080 022B >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	何も配置されていません		0	-
11	FD20 (F/F20 出力データ)	0 : F/F出力データ = 0		
12	FD19 (F/F19 出力データ)	1 : F/F出力データ = 1		
13	FD18 (F/F18 出力データ)			
14	FD17 (F/F17 出力データ)			
15	FD16 (F/F16 出力データ)			

各出力F/F(フリップフロップ)の出力を設定するためのレジスタです。通常F/Fの出力はタイマ出力により変化しますが、このレジスタを操作することでF/Fの出力を任意に操作することができます。F/Fデータレジスタは、前述のF/Fプロテクトレジスタの設定が書き込み許可の場合のみ操作できます。

10.2.6 割り込み制御部

割り込み制御部は、各タイマから割り込みコントローラに出力する割り込み信号を制御します。タイマ割り込み制御レジスタには、各タイマごとに次のレジスタがあります。

TOP割り込み制御レジスタ0 (TOPIR0)
TOP割り込み制御レジスタ1 (TOPIR1)
TOP割り込み制御レジスタ2 (TOPIR2)
TOP割り込み制御レジスタ3 (TOPIR3)
TIO割り込み制御レジスタ0 (TIOIR0)
TIO割り込み制御レジスタ1 (TIOIR1)
TIO割り込み制御レジスタ2 (TIOIR2)
TMS割り込み制御レジスタ (TMSIR)
TIN割り込み制御レジスタ0 (TINIR0)
TIN割り込み制御レジスタ1 (TINIR1)
TIN割り込み制御レジスタ4 (TINIR4)
TIN割り込み制御レジスタ5 (TINIR5)
TIN割り込み制御レジスタ6 (TINIR6)

1つの割り込みベクタテーブルに対して割り込み要因数が1つの割り込みは、タイマ内に割り込み制御レジスタを持っておらず、割り込みコントローラ中で割り込みステータスフラグの管理を自動的に行います。

(詳しくは、第5章「割り込みコントローラ」をご覧ください。)

TOP10 MJT出力割り込み5 (IRQ5)

1つの割り込みベクタテーブルに対して、割り込み要因数が2以上の割り込みは割り込み制御レジスタを使用した割り込み要求制御と割り込み入力の判定を行っています。このため割り込みコントローラ内のステータスフラグは割り込み許可された割り込み要求の判定ビットとしてのみ機能し、書き込み処理は出来ません。

(1) 割り込み要求ステータスビット

割り込み要求を判別するためのステータスビットで、割り込み要求が発生するとハードウェア的にセットされ、ソフトウェア的にセットすることは出来ません。ステータスビットは、"0"を書き込むことによりクリアされ、"1"を書き込むとステータスビットの状態を保持します。なお、割り込みマスクビットの影響を受けず動作しますので、周辺機能の動作確認用にも使用することが出来ます。割り込み処理時には、グルーピングされた割り込みフラグの内、割り込み処理を行ったフラグのみクリアください。割り込み処理を行っていないフラグをクリアすると未実行の割り込み要求もクリアされます。

(2) 割り込みマスクビット

グルーピングされた割り込み要求の中で不要な割り込みを禁止にするためのフラグです。割り込み許可時には"0"、割り込み禁止時には"1"を設定します。

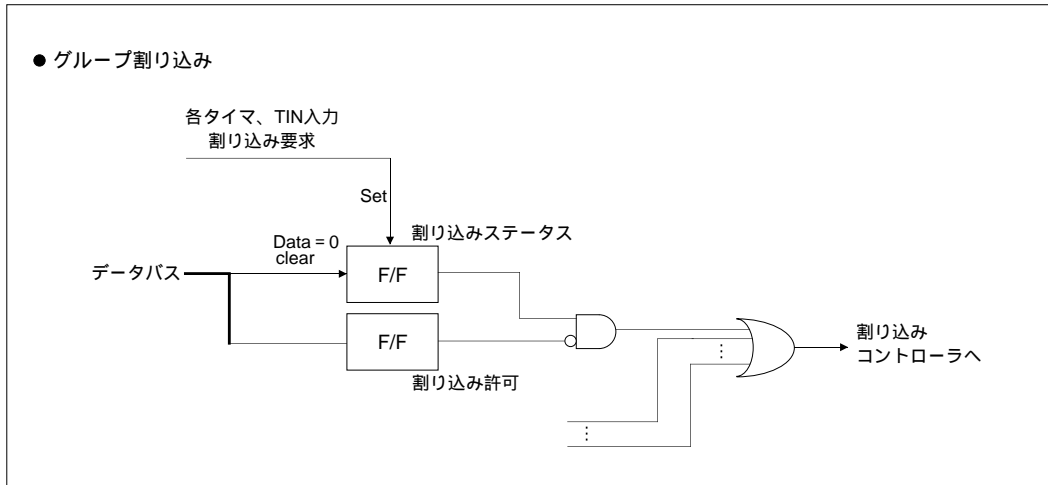
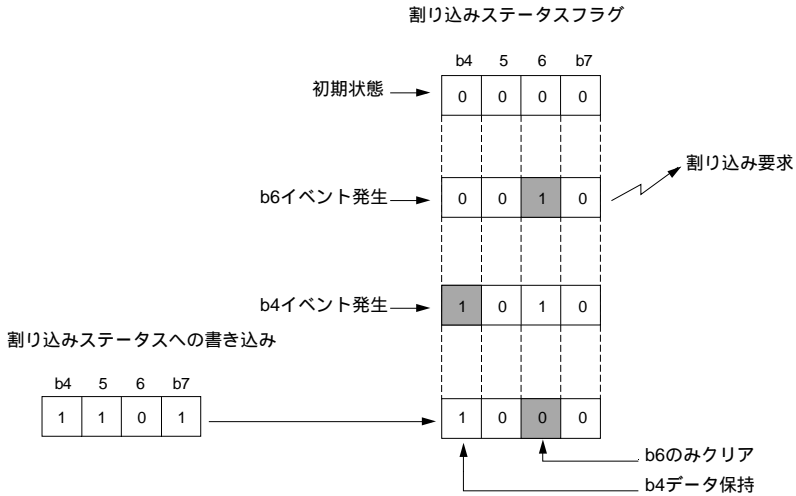


図10.2.4 割り込みステータスレジスタとマスクレジスタ

● 割り込みステータスクリア例



● プログラム例

- ・ TOP割り込み制御レジスタ0(TOPIR0)のTOP1割り込みステータス(TOPIS1)をクリアする場合



```
*TOPIR0 = 0xfd; /*TOPIS1(0x02ビット)のみクリア*/
```

割り込みステータスをクリアする場合は、必ず他のステータスには " 1 " を書き込んで下さい。その際、下のように論理演算を用いるとTOPIR0の読み出し、論理演算、書き込みの3段階の手順となるため、読み出しから書き込みの間に他の割り込み要求が発生した場合に、誤ってクリアする場合があります。



```
*TOPIR0 &= 0xfd; /*TOPIS1(0x02ビット)のみクリア*/
```

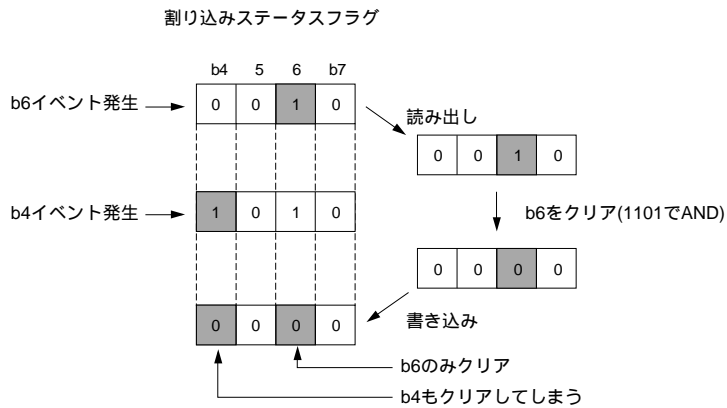


図10.2.5 割り込みステータスクリア例

マルチジャンクションタイマから出力される割り込み信号と、割り込みコントローラの入力の間係を以下に示します。

表10.2.6 MJTで発生する割り込み信号

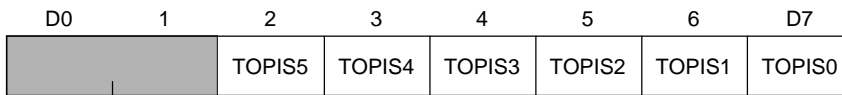
信号名	発生源	ICU割り込み入力要因(注1)	入力要因数
IRQ0	TIO0, TIO1, TIO2, TIO3	MJT出力割り込み0	4
IRQ1	TOP6, TOP7	MJT出力割り込み1	2
IRQ2	TOP0, TOP1, TOP2, TOP3, TOP4, TOP5	MJT出力割り込み2	6
IRQ3	TIO8, TIO9	MJT出力割り込み3	2
IRQ4	TIO4, TIO5, TIO6, TIO7	MJT出力割り込み4	4
IRQ6	TOP8, TOP9	MJT出力割り込み6	2
IRQ7	TMS0, TMS1	MJT出力割り込み7	2
IRQ9	TIN0	MJT入力割り込み1	1
IRQ10	TIN16, TIN17, TIN18, TIN19	MJT入力割り込み2	4
IRQ11	TIN20, TIN21, TIN22, TIN23	MJT入力割り込み3	4
IRQ12	TIN3	MJT入力割り込み4	1

注1. 第5章「割り込みコントローラ」をご覧ください。

注2. TOP10は割り込みグループで1つの要因しかないため、MJTの割り込み制御レジスタにはステータス/マスクレジスタはありません(割り込みコントローラで直接制御します)。

TOP 割り込み制御レジスタ 0 (TOPIR0)

< アドレス : H'0080 0230 >



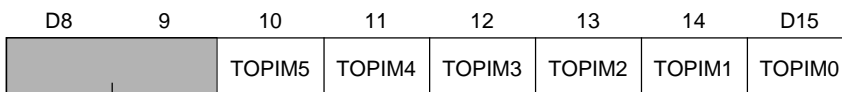
< リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TOPIS5(TOP5 割り込み要求ステータス)	0 : 割り込み要求なし		
3	TOPIS4(TOP4 割り込み要求ステータス)	1 : 割り込み要求あり		
4	TOPIS3(TOP3 割り込み要求ステータス)			
5	TOPIS2(TOP2 割り込み要求ステータス)			
6	TOPIS1(TOP1 割り込み要求ステータス)			
7	TOPIS0(TOP0 割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TOP 割り込み制御レジスタ 1 (TOPIR1)

< アドレス : H'0080 0231 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TOPIM5(TOP5 割り込み要求マスク)	0 : 割り込み要求許可		
11	TOPIM4(TOP4 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		
12	TOPIM3(TOP3 割り込み要求マスク)			
13	TOPIM2(TOP2 割り込み要求マスク)			
14	TOPIM1(TOP1 割り込み要求マスク)			
15	TOPIM0(TOP0 割り込み要求マスク)			

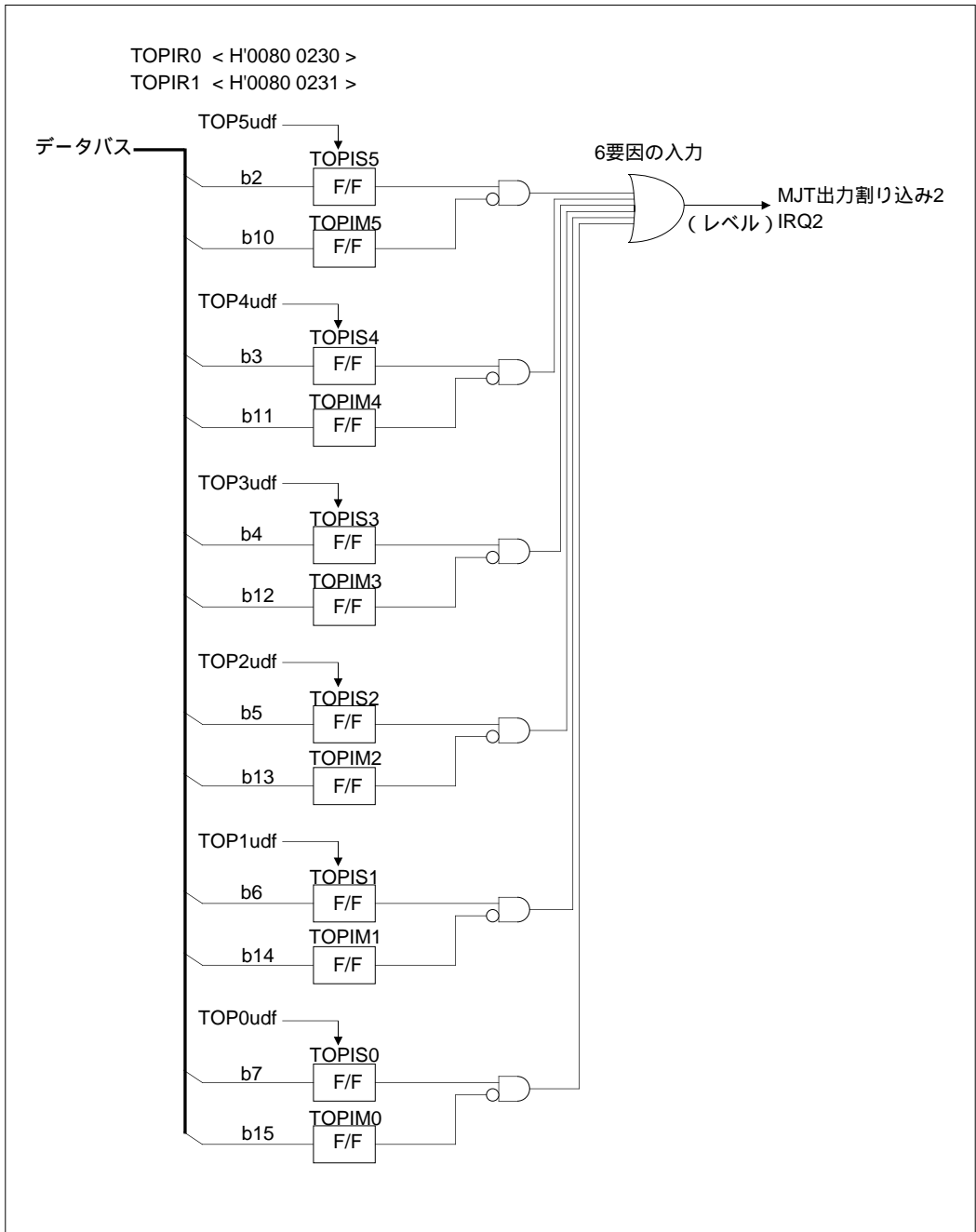
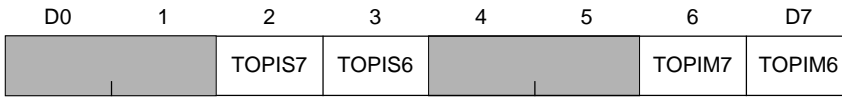


図10.2.6 MJT出力割り込み2ブロック図

TOP 割り込み制御レジスタ 2 (TOPIR2)

< アドレス : H'0080 0232 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TOPIS7 (TOP7 割り込み要求ステータス)	0 : 割り込み要求なし		
3	TOPIS6 (TOP6 割り込み要求ステータス)	1 : 割り込み要求あり		
4,5	何も配置されていません		0	-
6	TOPIM7 (TOP7 割り込み要求マスク)	0 : 割り込み要求許可		
7	TOPIM6 (TOP6 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

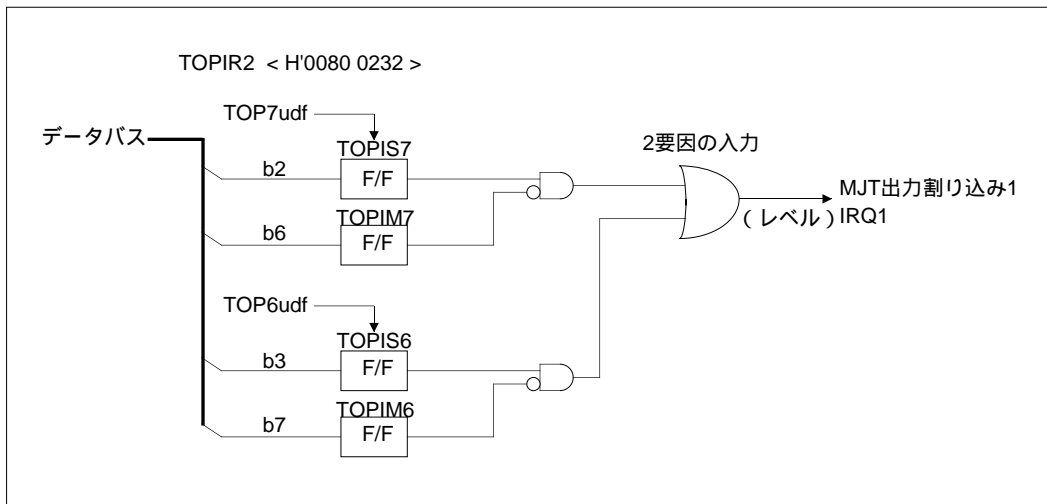
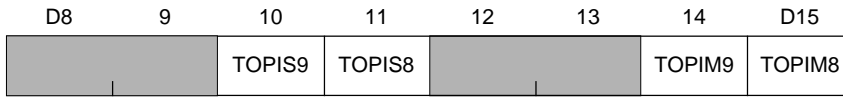


図10.2.7 MJT出力割り込み1ブロック図

TOP 割り込み制御レジスタ 3 (TOPIR3)

< アドレス : H'0080 0233 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TOPIS9(TOP9 割り込み要求ステータス)	0 : 割り込み要求なし		
11	TOPIS8(TOP8 割り込み要求ステータス)	1 : 割り込み要求あり		
12,13	何も配置されていません		0	-
14	TOPIM9(TOP9 割り込み要求マスク)	0 : 割り込み要求許可		
15	TOPIM8(TOP8 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

注. TOP10は割り込みグループで1つの要因しかないため、MJTの割り込み制御レジスタにはステータス / マスクレジスタはありません(割り込みコントローラで直接制御します)。

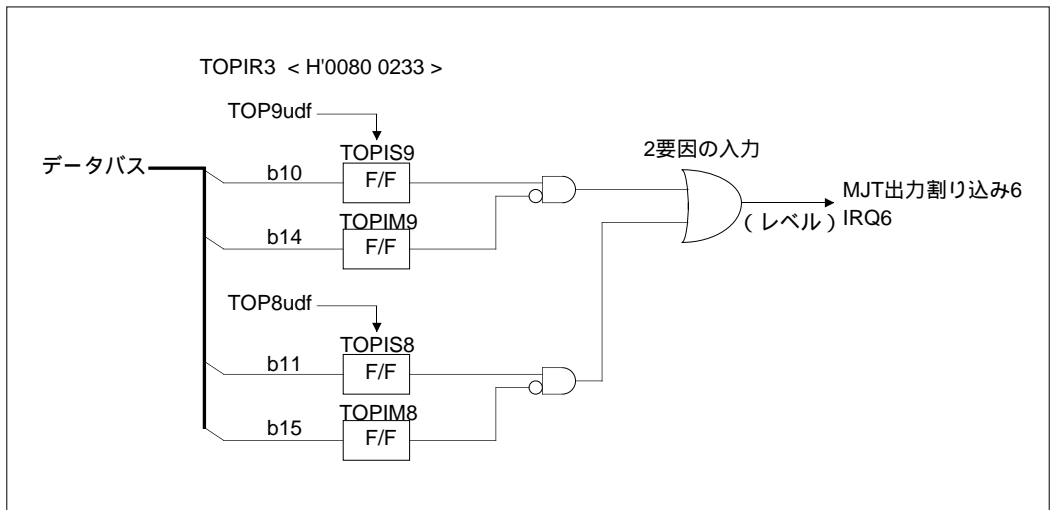


図10.2.8 MJT出力割り込み6ブロック図

TIO 割り込み制御レジスタ 0 (TIOIR0)

< アドレス : H'0080 0234 >

D0	1	2	3	4	5	6	D7
TIOIS3	TIOIS2	TIOIS1	TIOIS0	TIOIM3	TIOIM2	TIOIM1	TIOIM0

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	TIOIS3 (TIO3 割り込み要求ステータス)	0 : 割り込み要求なし		
1	TIOIS2 (TIO2 割り込み要求ステータス)	1 : 割り込み要求あり		
2	TIOIS1 (TIO1 割り込み要求ステータス)			
3	TIOIS0 (TIO0 割り込み要求ステータス)			
4	TIOIM3 (TIO3 割り込み要求マスク)	0 : 割り込み要求許可		
5	TIOIM2 (TIO2 割り込み要求マスク)	1 : 割り込み要求マスク (禁止)		
6	TIOIM1 (TIO1 割り込み要求マスク)			
7	TIOIM0 (TIO0 割り込み要求マスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

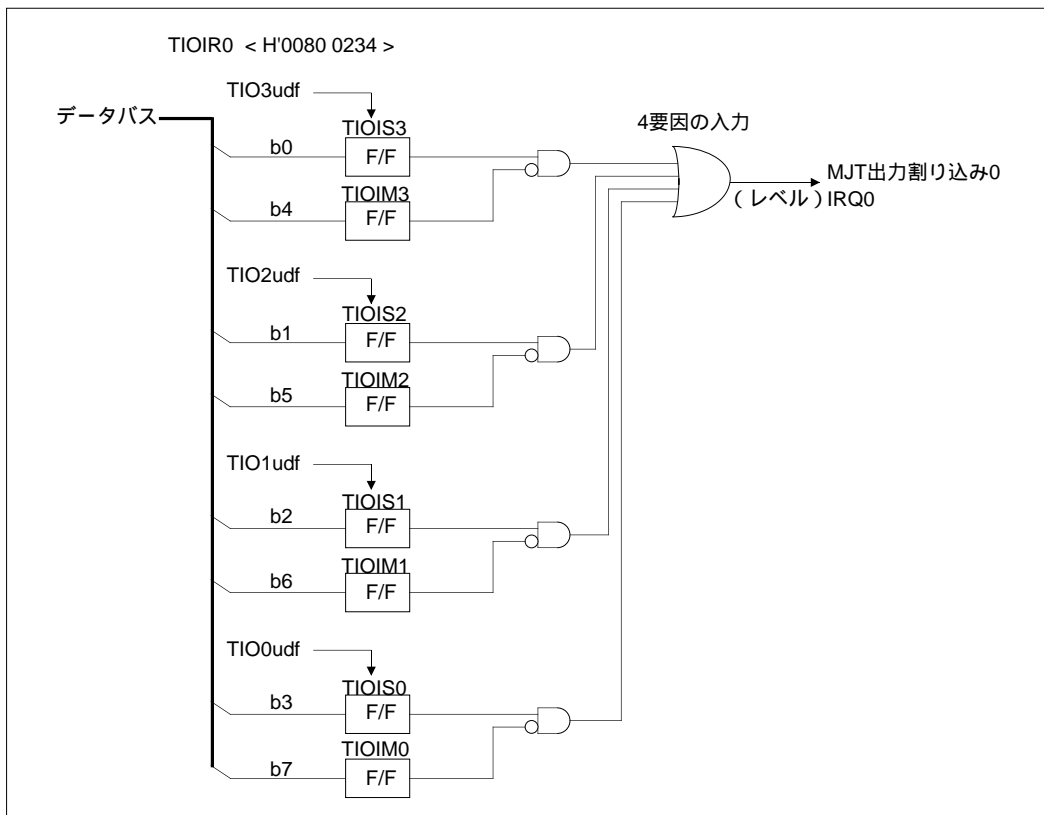


図10.2.9 MJT出力割り込み0ブロック図

TIO 割り込み制御レジスタ 1 (TIOIR1)

< アドレス : H'0080 0235 >

D8	9	10	11	12	13	14	D15
TIOIS7	TIOIS6	TIOIS5	TIOIS4	TIOIM7	TIOIM6	TIOIM5	TIOIM4

< リセット時 : H'00 >

D	ビット名	機能	R	W
8	TIOIS7(TIO7 割り込み要求ステータス)	0 : 割り込み要求なし		
9	TIOIS6(TIO6 割り込み要求ステータス)	1 : 割り込み要求あり		
10	TIOIS5(TIO5 割り込み要求ステータス)			
11	TIOIS4(TIO4 割り込み要求ステータス)			
12	TIOIM7(TIO7 割り込み要求マスク)	0 : 割り込み要求許可		
13	TIOIM6(TIO6 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		
14	TIOIM5(TIO5 割り込み要求マスク)			
15	TIOIM4(TIO4 割り込み要求マスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

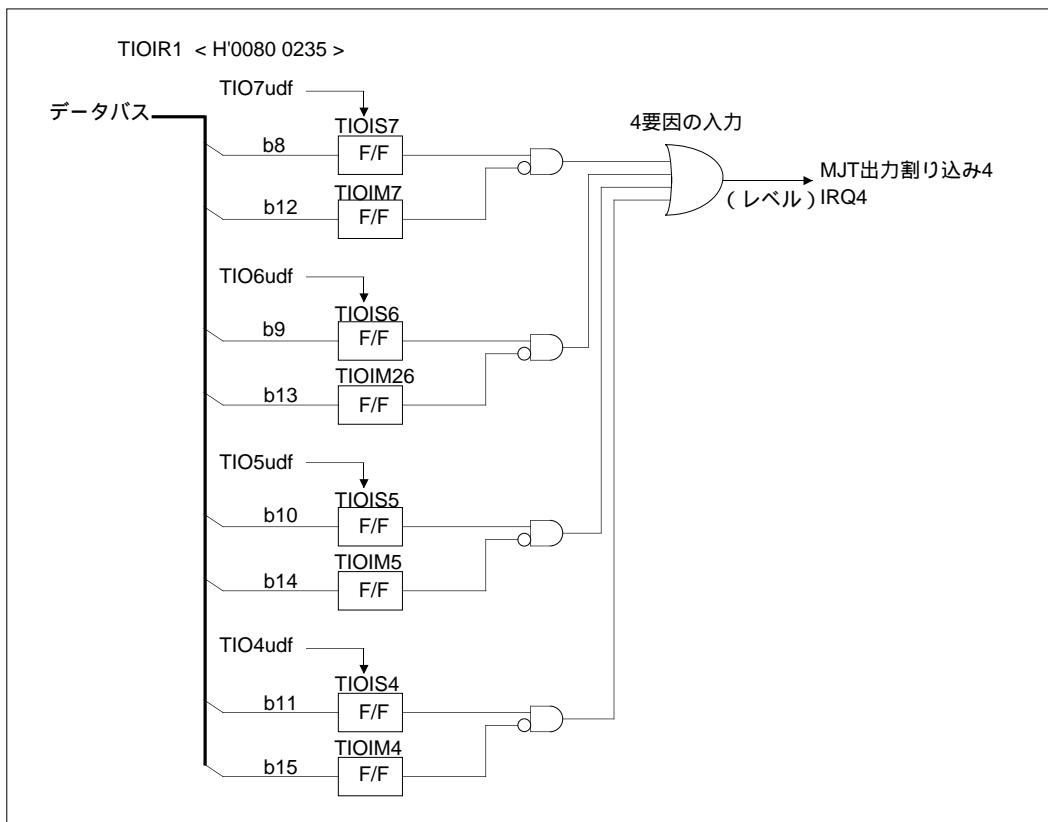
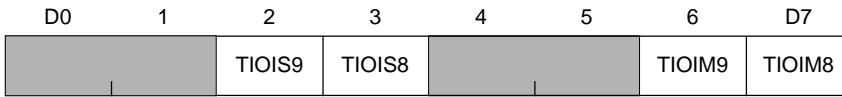


図10.2.10 MJT出力割り込み4ブロック図

TIO 割り込み制御レジスタ 2 (TIOIR2)

< アドレス : H'0080 0236 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2	TIOIS9 (TIO9 割り込み要求ステータス)	0 : 割り込み要求なし		
3	TIOIS8 (TIO8 割り込み要求ステータス)	1 : 割り込み要求あり		
4,5	何も配置されていません		0	-
6	TIOIM9 (TIO9 割り込み要求マスク)	0 : 割り込み要求許可		
7	TIOIM8 (TIO8 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

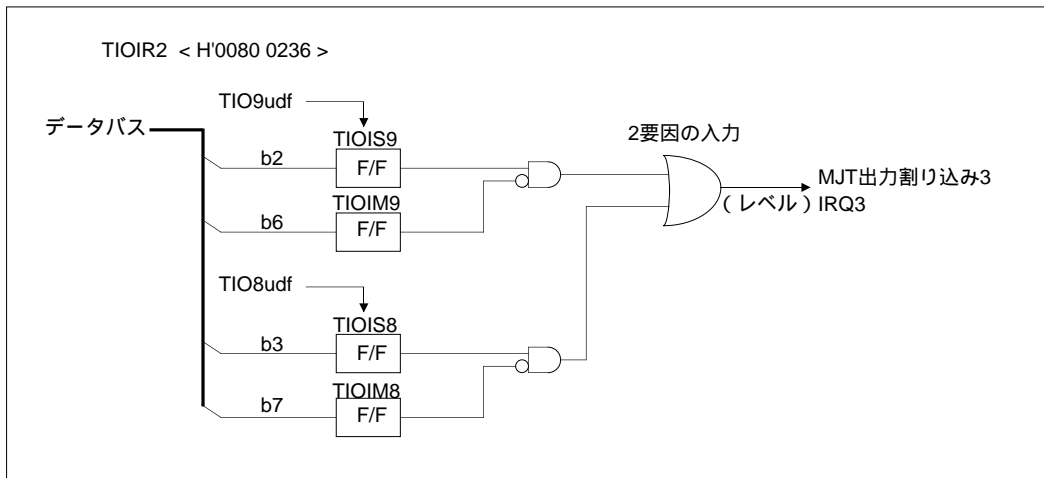
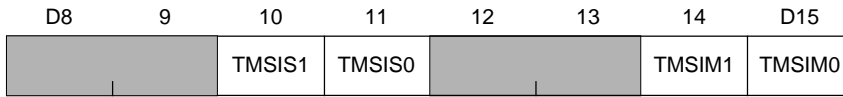


図10.2.11 MJT出力割り込み3ブロック図

TMS 割り込み制御レジスタ (TMSIR)

< アドレス : H'0080 0237 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10	TMSIS1 (TMS1 割り込み要求ステータス)	0 : 割り込み要求なし		
11	TMSIS0 (TMS0 割り込み要求ステータス)	1 : 割り込み要求あり		
12,13	何も配置されていません		0	-
14	TMSIM1 (TMS1 割り込み要求マスク)	0 : 割り込み要求許可		
15	TMSIM0 (TMS0 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

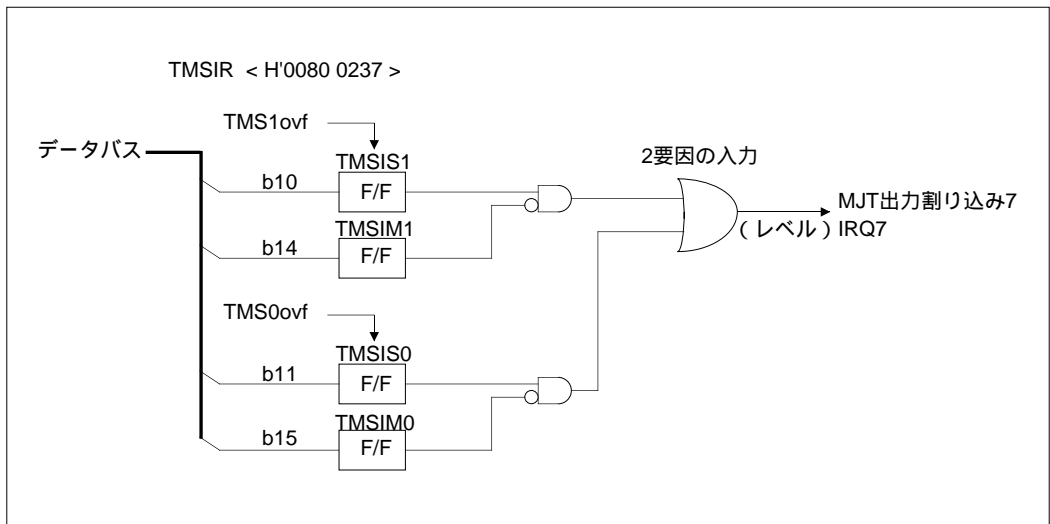
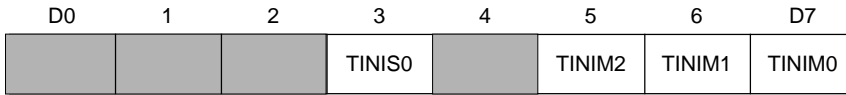


図10.2.12 MJT出力割り込み7ブロック図

TIN 割り込み制御レジスタ 0 (TINIRO)

< アドレス : H'0080 0238 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3	TINIS0(TIN0 割り込み要求ステータス)	0 : 割り込み要求なし 1 : 割り込み要求あり		
4	何も配置されていません		0	-
5	TINIM2(予約ビット)	設定無効		
6	TINIM1(予約ビット)			
7	TINIM0(TIN0 割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク(禁止)		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

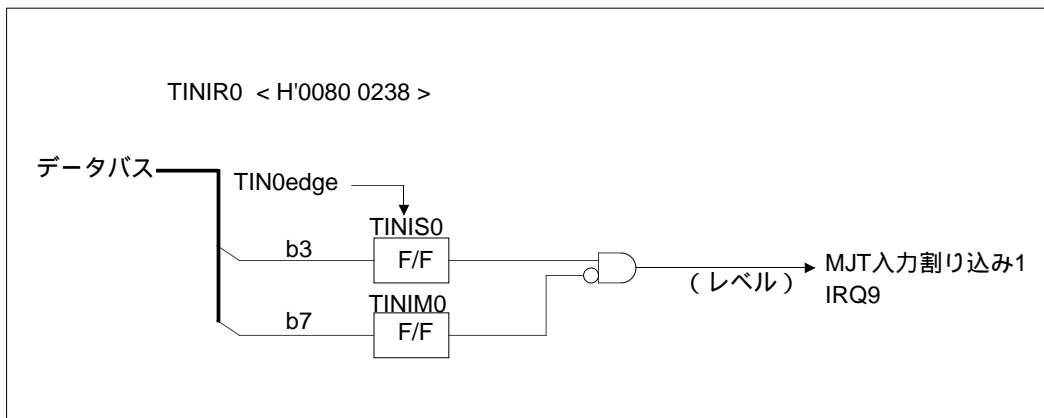
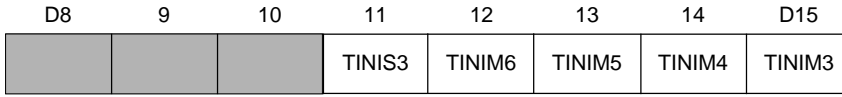


図10.2.13 MJT入力割り込み1ブロック図

TIN 割り込み制御レジスタ 1 (TINIR1)

< アドレス : H'0080 0239 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8 ~ 10	何も配置されていません		0	-
11	TINIS3 (TIN3 割り込み要求ステータス)	0 : 割り込み要求なし 1 : 割り込み要求あり		
12	TINIM6 (予約ビット)	設定無効		
13	TINIM5 (予約ビット)			
14	TINIM4 (予約ビット)			
15	TINIM3 (TIN3 割り込み要求マスク)	0 : 割り込み要求許可 1 : 割り込み要求マスク (禁止)		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

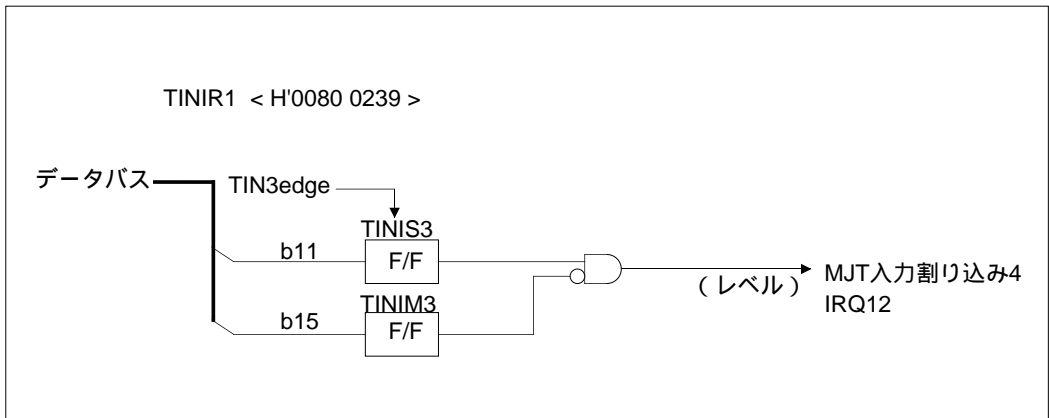


図10.2.14 MJT入力割り込み4ブロック図

TIN 割り込み制御レジスタ 4 (TINIR4)

< アドレス : H'0080 023C >

D0	1	2	3	4	5	6	D7
TINIS19	TINIS18	TINIS17	TINIS16				

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	TINIS19(TIN19 割り込み要求ステータス)	0 : 割り込み要求なし		
1	TINIS18(TIN18 割り込み要求ステータス)	1 : 割り込み要求あり		
2	TINIS17(TIN17 割り込み要求ステータス)			
3	TINIS16(TIN16 割り込み要求ステータス)			
4~7	何も配置されていません		0	-

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

TIN 割り込み制御レジスタ 5 (TINIR5)

< アドレス : H'0080 023D >

D8	9	10	11	12	13	14	D15
TINIM19	TINIM18	TINIM17	TINIM16	TINIM15	TINIM14	TINIM13	TINIM12

< リセット時 : H'00 >

D	ビット名	機能	R	W
8	TINIM19(TIN19 割り込み要求マスク)	0 : 割り込み要求許可		
9	TINIM18(TIN18 割り込み要求マスク)	1 : 割り込み要求マスク(禁止)		
10	TINIM17(TIN17 割り込み要求マスク)			
11	TINIM16(TIN16 割り込み要求マスク)			
12	TINIM15(予約ビット)	設定無効		
13	TINIM14(予約ビット)			
14	TINIM13(予約ビット)			
15	TINIM12(予約ビット)			

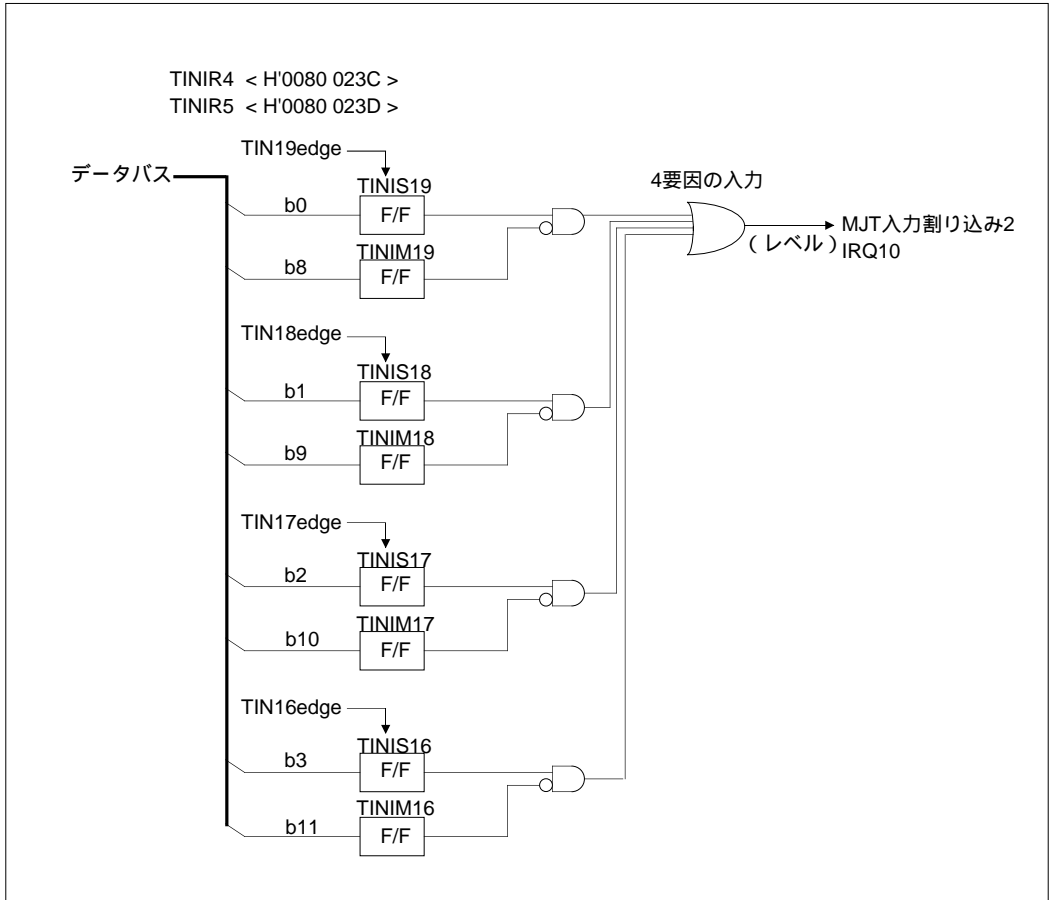


図10.2.15 MJT入力割り込み2ブロック図

TIN 割り込み制御レジスタ 6 (TINIR6)

< アドレス : H'0080 023E >

D0	1	2	3	4	5	6	D7
TINIS23	TINIS22	TINIS21	TINIS20	TINIM23	TINIM22	TINIM21	TINIM20

< リセット時 : H'00 >

D	ビット名	機能	R	W
0	TINIS23 (TIN23 割り込み要求ステータス)	0 : 割り込み要求なし		
1	TINIS22 (TIN22 割り込み要求ステータス)	1 : 割り込み要求あり		
2	TINIS21 (TIN21 割り込み要求ステータス)			
3	TINIS20 (TIN20 割り込み要求ステータス)			
4	TINIM23 (TIN23 割り込み要求マスク)	0 : 割り込み要求許可		
5	TINIM22 (TIN22 割り込み要求マスク)	1 : 割り込み要求マスク (禁止)		
6	TINIM21 (TIN21 割り込み要求マスク)			
7	TINIM20 (TIN20 割り込み要求マスク)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

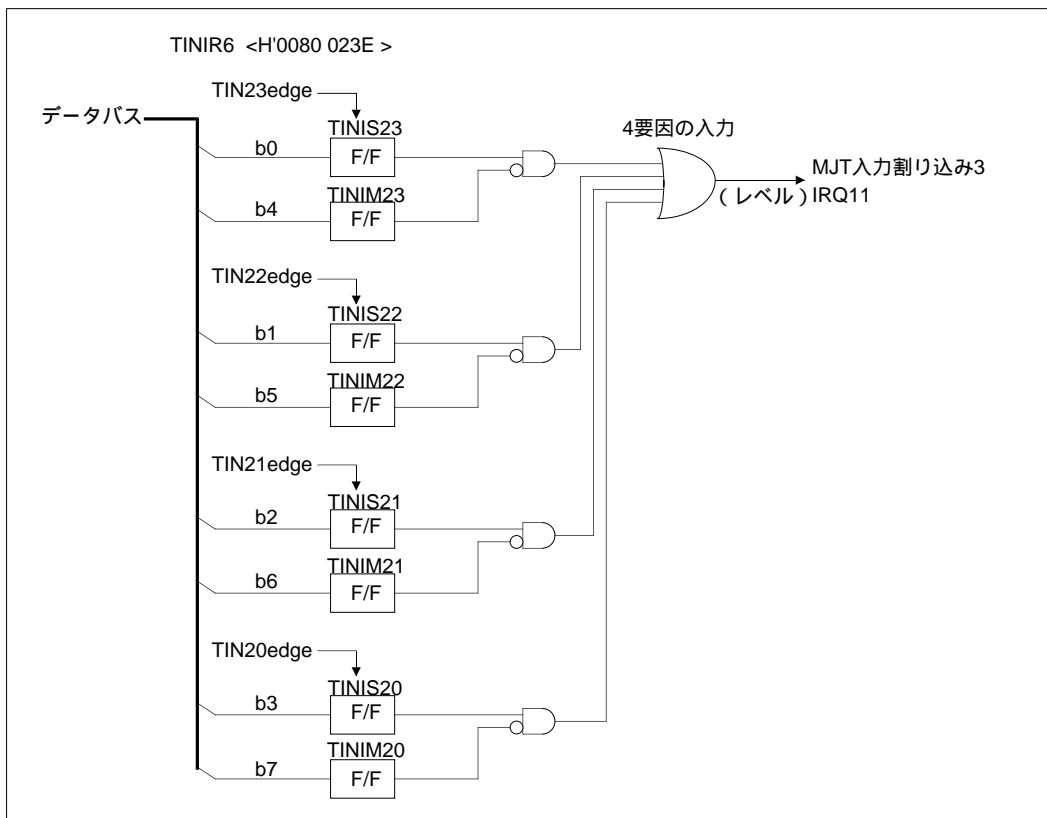


図10.2.16 MJT入力割り込み3ブロック図

10.3 TOP(出力系16ビットタイマ)

10.3.1 TOP概要

TOP(Timer OutPut)は出力系16ビットタイマで、ソフトウェアによるモード切り替えにより以下のモードを選択できます。

ワンショット出力モード
ディレイドワンショット出力モード
連続出力モード

以下にTOPの仕様を表10.3.1に示します。またTOPブロック図を図10.3.1に示します。

表10.3.1 TOP(出力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	11チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
補正レジスタ	16ビット補正レジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル (立ち上がりエッジ/立ち下がりエッジ/両エッジ)
モード切り替え	<補正機能あり> ワンショット出力モード ディレイドワンショット出力モード <補正機能なし> 連続出力モード
割り込み発生	カウンタのアンダフローで発生可能

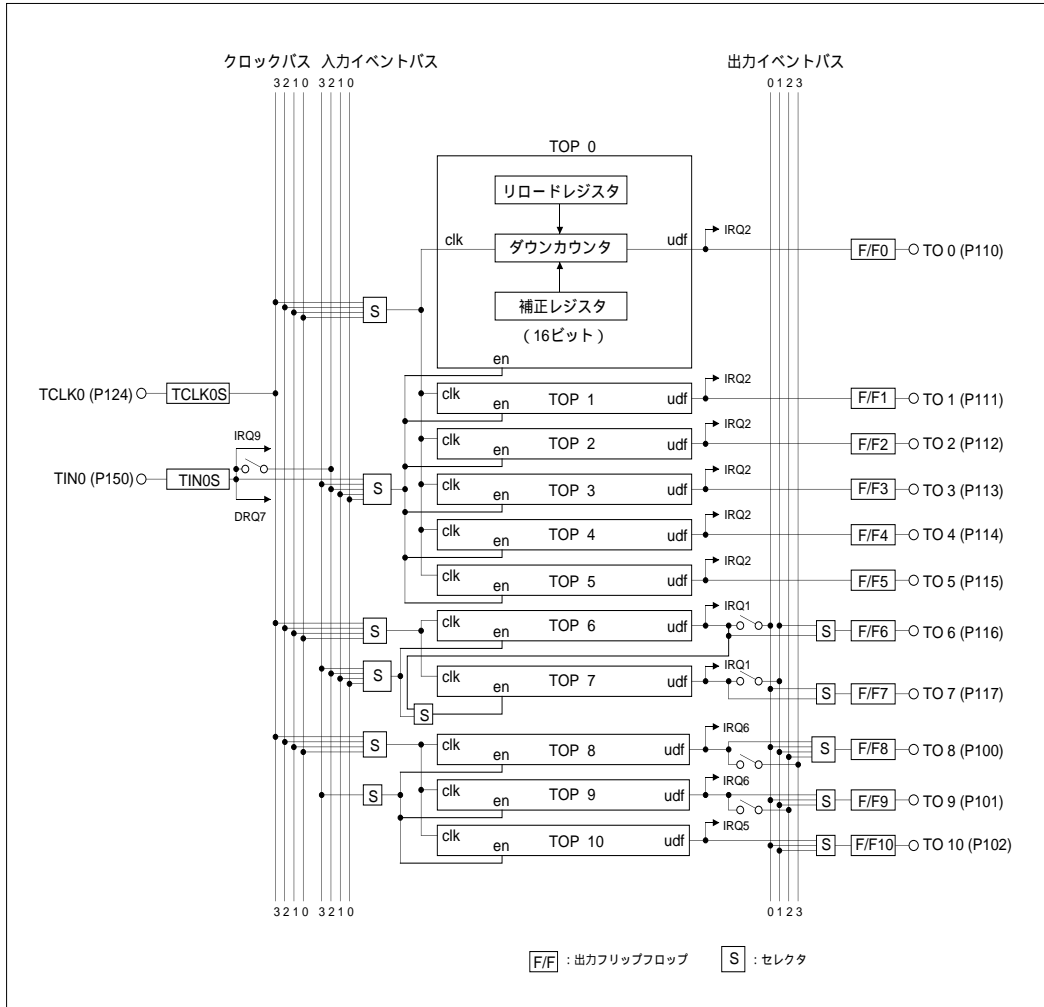


図10.3.1 TOP(出力系16ビットタイマ)ブロック図

10.3.2 TOP各モードの概要

以下にTOPの各モードの概要を示します。なお、TOP各チャンネルのモードは、この中から1つだけを選択できます。

(1) ワンショット出力モード

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みを発生することができます。

(2) ディレイドワンショット出力モード

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

また、1回目のカウンタアンダフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込みを発生することができます。

(3) 連続出力モード

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の幅で反転する波形を持った連続的なパルスを発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込みを発生することができます。

10.3.3 TOP関連レジスタマップ

以下にTOP関連のレジスタマップを示します。

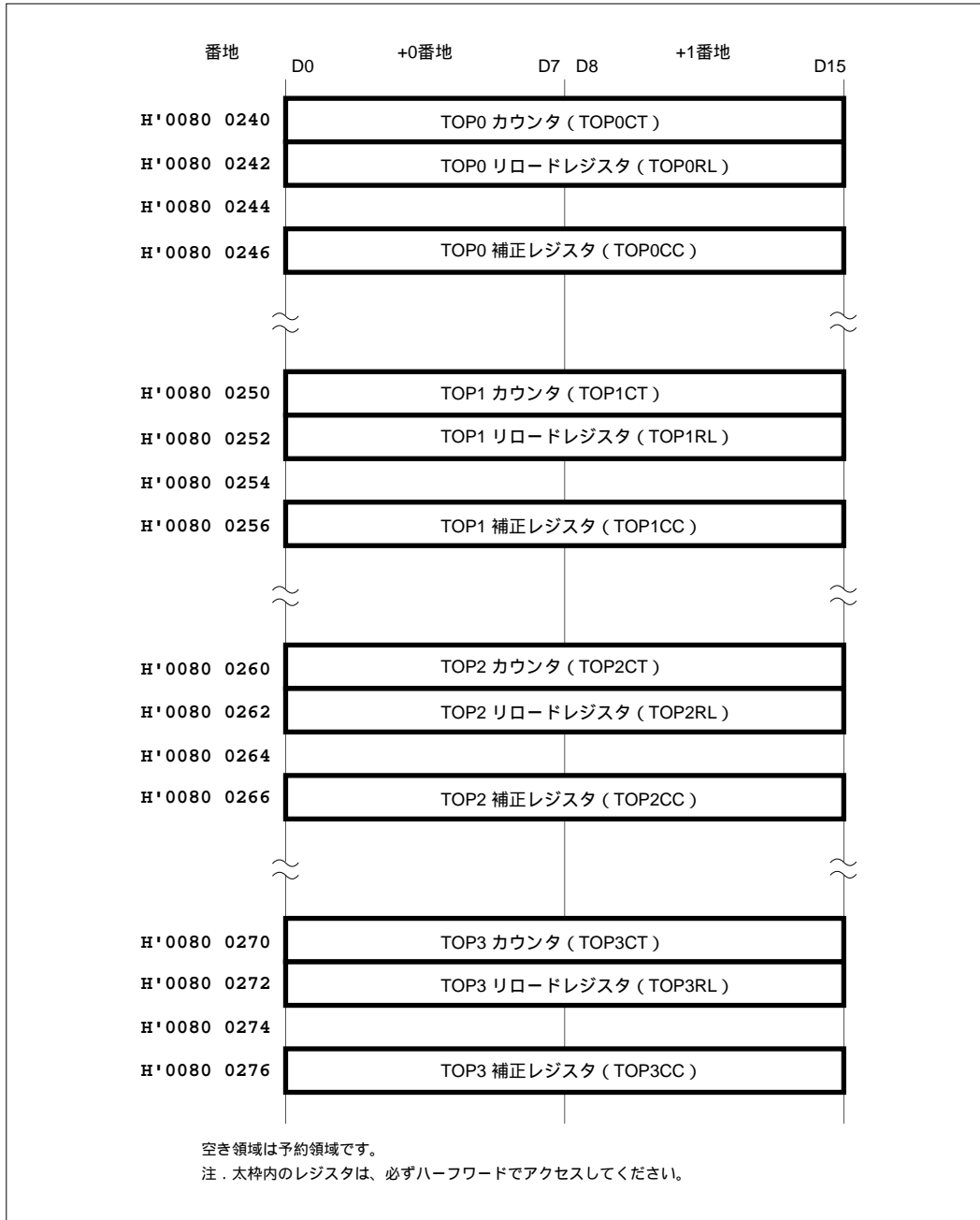


図10.3.2 TOP関連レジスタマップ(1/3)

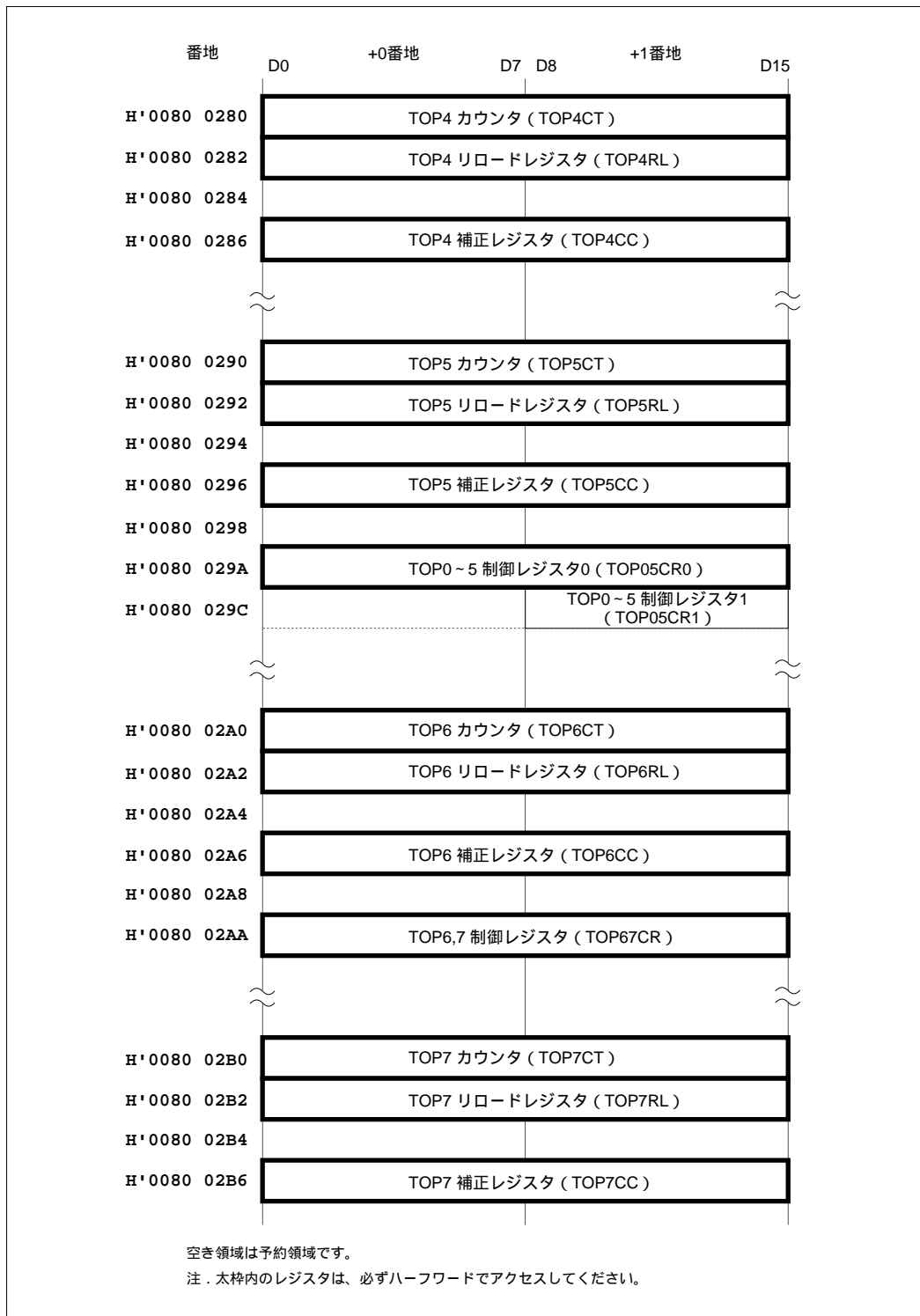


図10.3.3 TOP関連レジスタマップ(2/3)

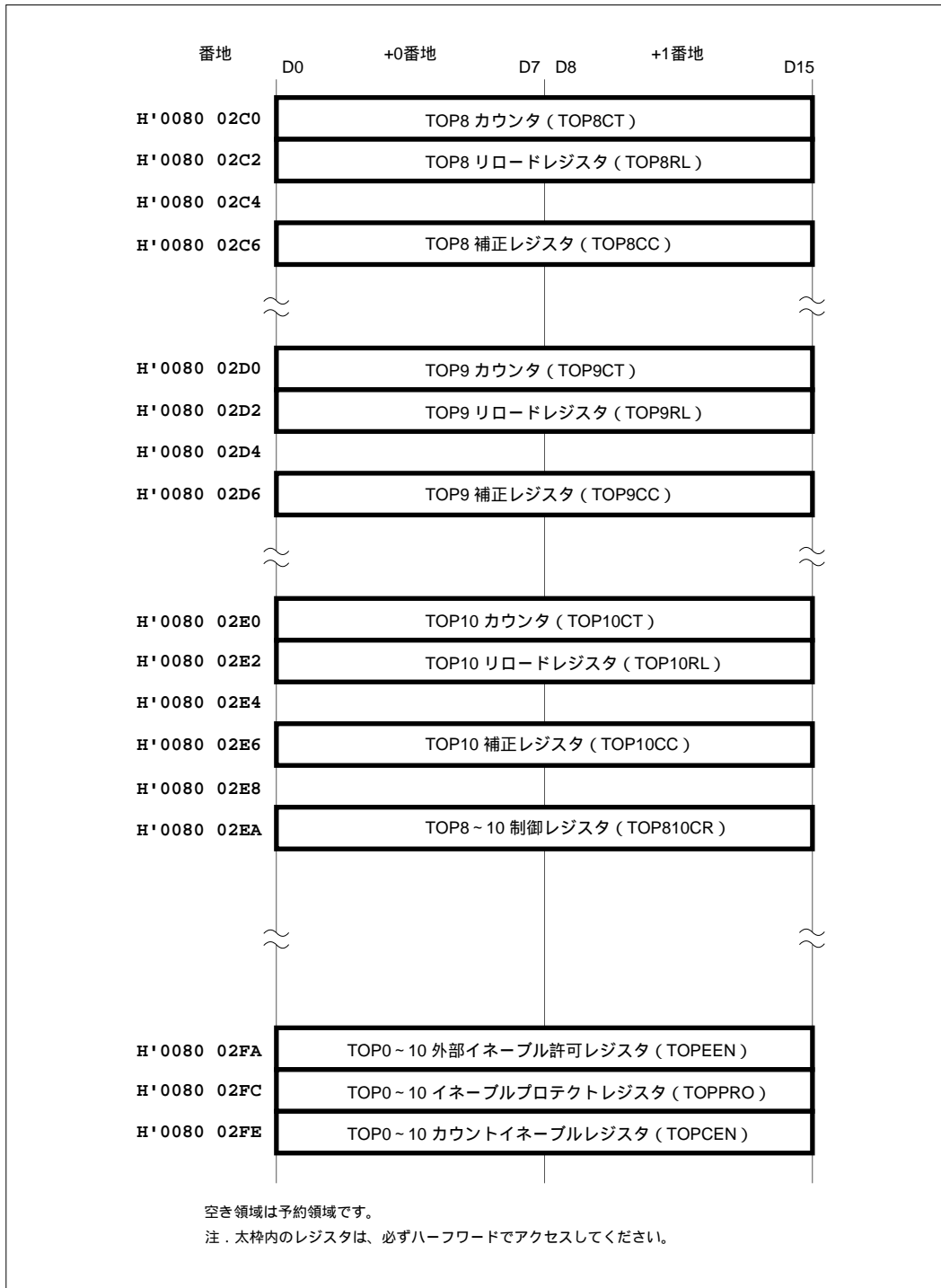


図10.3.4 TOP関連レジスタマップ(3/3)

10.3.4 TOP制御レジスタ

TOP制御レジスタは、TOP0～10の動作モード(ワンショット、ディレイドワンショット、連続出力モード)の選択、カウンタインエーブルの入力選択、およびカウンタクロックの入力選択を行います。

TOP制御レジスタには、タイマのグループごとに次の4つのレジスタがあります。

TOP0～5制御レジスタ0(TOP05CR0)

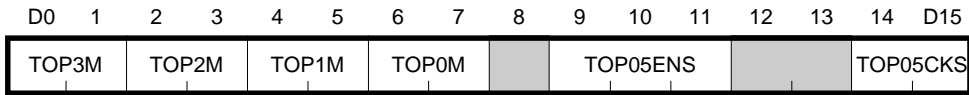
TOP0～5制御レジスタ1(TOP05CR1)

TOP6,7制御レジスタ(TOP67CR)

TOP8～10制御レジスタ(TOP810CR)

TOP0 ~ 5 制御レジスタ 0 (TOP05CR0)

<アドレス : H'0080 029A >



<リセット時 : H'0000 >

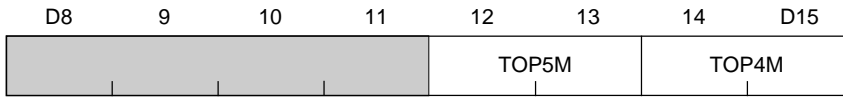
D	ビット名	機能	R	W
0,1	TOP3M(TOP3動作モード選択)	00 : ワンショット出力モード		
2,3	TOP2M(TOP2動作モード選択)	01 : デイレイドワンショット出力モード		
4,5	TOP1M(TOP1動作モード選択)	1X : 連続出力モード		
6,7	TOP0M(TOP0動作モード選択)			
8	何も配置されていません		0	-
9~11	TOP05ENS (TOP0~5イネーブルソース選択)	0XX : 外部TIN0 入力選択 100 : 入カイベントバス0選択 101 : 入カイベントバス1選択 110 : 入カイベントバス2選択 111 : 入カイベントバス3選択		
12,13	何も配置されていません		0	-
14,15	TOP05CKS (TOP0~5クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TOP0 ~ 5 制御レジスタ1 (TOP05CR1)

<アドレス : H'0080 029D >



<リセット時 : H'00 >

D	ビット名	機能	R	W
8~11	何も配置されていません		0	-
12,13	TOP5M(TOP5動作モード選択)	00 : ワンショット出力モード		
14,15	TOP4M(TOP4動作モード選択)	01 : デイレイドワンショット出力モード 1X : 連続出力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

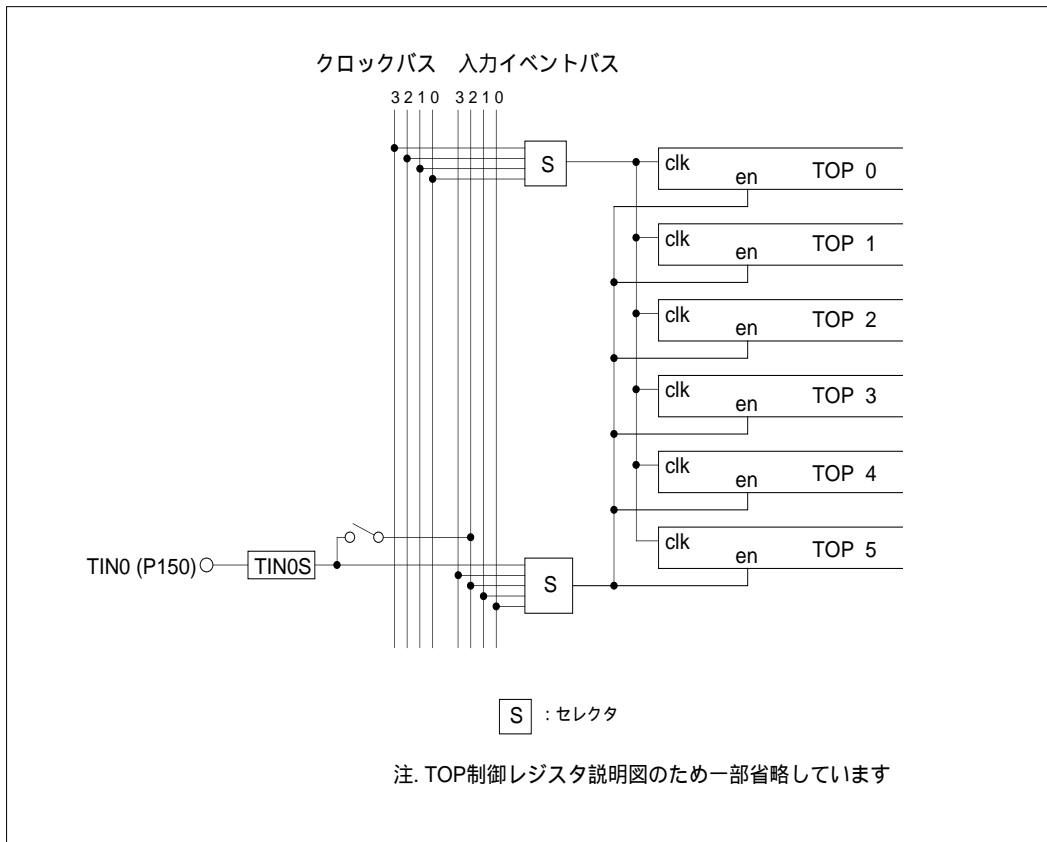
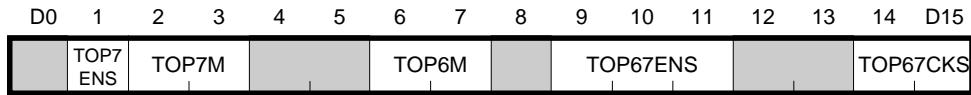


図10.3.5 TOP0~5のクロック/イネーブル入力概略図

TOP6, 7制御レジスタ(TOP67CR)

<アドレス : H'0080 02AA>



<リセット時 : H'0000>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	TOP7ENS (TOP7イネーブルソース選択)	0 : 「TOP67ENS」ビットの選択結果 1 : TOP6出力		
2,3	TOP7M(TOP7動作モード選択)	00 : ワンショット出力モード 01 : デイレイドワンショット出力モード 1X : 連続出力モード		
4,5	何も配置されていません		0	-
6,7	TOP6M(TOP6動作モード選択)	00 : ワンショット出力モード 01 : デイレイドワンショット出力モード 1X : 連続出力モード		
8	何も配置されていません		0	-
9~11	TOP67ENS (TOP6, TOP7イネーブルソース 選択) (注1)	0XX : 非選択 100 : 入力イベントバス0選択 101 : 入力イベントバス1選択 110 : 入力イベントバス2選択 111 : 入力イベントバス3選択		
12,13	何も配置されていません		0	-
14,15	TOP67CKS (TOP6, TOP7クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

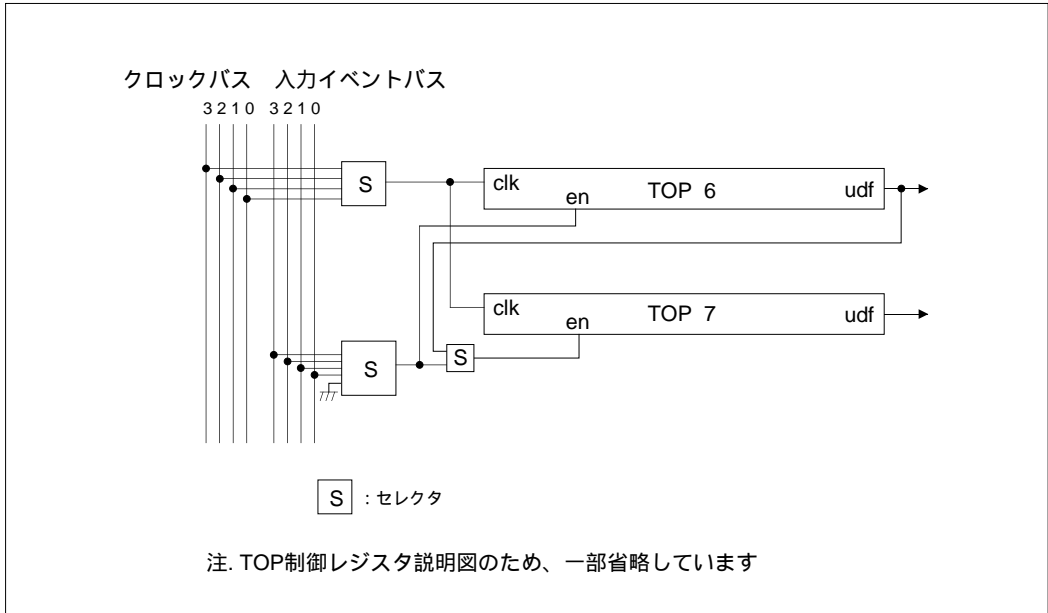


図10.3.6 TOP6, TOP7のクロック/イネーブル入力概略図

TOP8 ~ 10 制御レジスタ (TOP810CR)

< アドレス : H'0080 02EA >



< リセット時 : H'0000 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	TOP10M(TOP10動作モード選択)	00 : ワンショット出力モード		
4,5	TOP9M(TOP9動作モード選択)	01 : デイレイドワンショット出力モード		
6,7	TOP8M(TOP8動作モード選択)	1X : 連続出力モード		
8~10	何も配置されていません		0	-
11	TOP810ENS (TOP8~10イネーブルソース選択)	0 : 非選択 1 : 入力イベントバス3選択		
12,13	何も配置されていません		0	-
14,15	TOP810CKS (TOP8~10クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

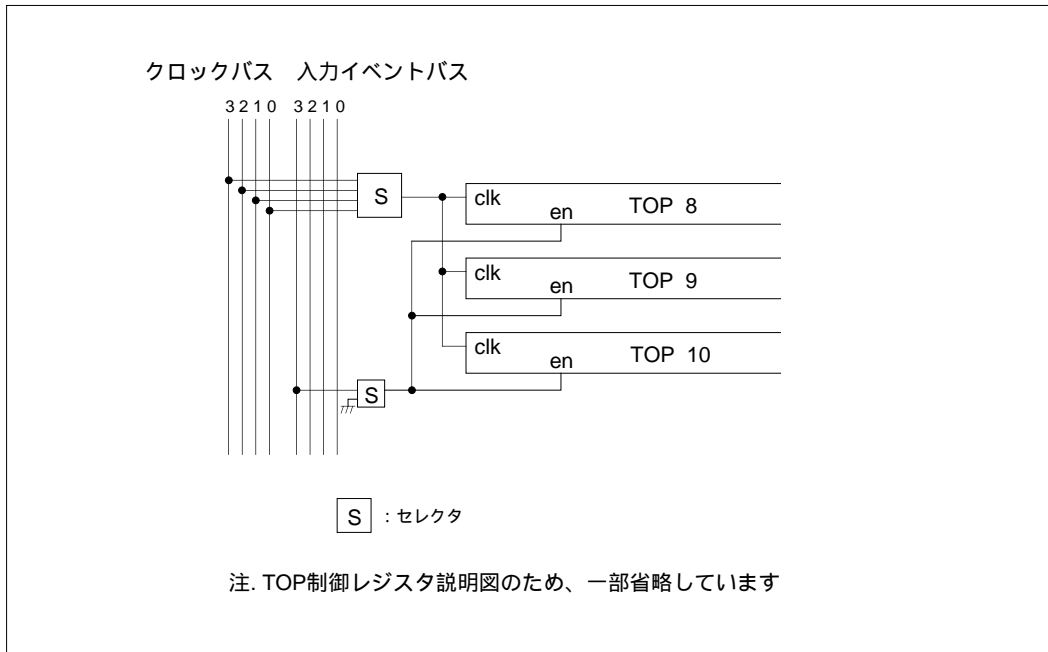
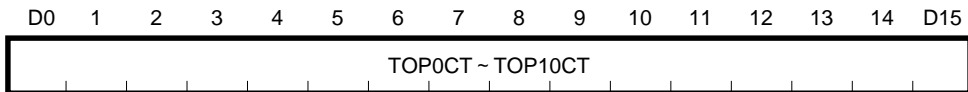


図10.3.7 TOP8~10のクロック/イネーブル入力概略図

10.3.5 TOPカウンタ(TOP0CT~TOP10CT)

TOP0 カウンタ (TOP0CT)	<アドレス : H'0080 0240 >
TOP1 カウンタ (TOP1CT)	<アドレス : H'0080 0250 >
TOP2 カウンタ (TOP2CT)	<アドレス : H'0080 0260 >
TOP3 カウンタ (TOP3CT)	<アドレス : H'0080 0270 >
TOP4 カウンタ (TOP4CT)	<アドレス : H'0080 0280 >
TOP5 カウンタ (TOP5CT)	<アドレス : H'0080 0290 >
TOP6 カウンタ (TOP6CT)	<アドレス : H'0080 02A0 >
TOP7 カウンタ (TOP7CT)	<アドレス : H'0080 02B0 >
TOP8 カウンタ (TOP8CT)	<アドレス : H'0080 02C0 >
TOP9 カウンタ (TOP9CT)	<アドレス : H'0080 02D0 >
TOP10 カウンタ (TOP10CT)	<アドレス : H'0080 02E0 >



<リセット時 : 不定>

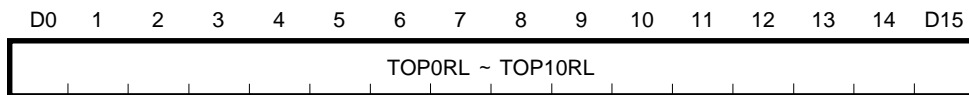
D	ビット名	機能	R	W
0~15	TOP0CT~TOP10CT	16ビットカウンタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOPカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

10.3.6 TOPリロードレジスタ(TOP0RL ~ TOP10RL)

TOP0 リロードレジスタ (TOP0RL)	<アドレス : H'0080 0242 >
TOP1 リロードレジスタ (TOP1RL)	<アドレス : H'0080 0252 >
TOP2 リロードレジスタ (TOP2RL)	<アドレス : H'0080 0262 >
TOP3 リロードレジスタ (TOP3RL)	<アドレス : H'0080 0272 >
TOP4 リロードレジスタ (TOP4RL)	<アドレス : H'0080 0282 >
TOP5 リロードレジスタ (TOP5RL)	<アドレス : H'0080 0292 >
TOP6 リロードレジスタ (TOP6RL)	<アドレス : H'0080 02A2 >
TOP7 リロードレジスタ (TOP7RL)	<アドレス : H'0080 02B2 >
TOP8 リロードレジスタ (TOP8RL)	<アドレス : H'0080 02C2 >
TOP9 リロードレジスタ (TOP9RL)	<アドレス : H'0080 02D2 >
TOP10 リロードレジスタ (TOP10RL)	<アドレス : H'0080 02E2 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0 ~ 15	TOP0RL ~ TOP10RL	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOPリロードレジスタは、TOPカウンタレジスタ(TOP0CT ~ TOP10CT)へデータをロードするためのレジスタです。リロードレジスタの内容がカウンタにロードされるのは、以下の場合です。

ワンショットモードでカウンタがイネーブルになった時
ディレイドワンショットまたは連続出力モードでカウンタがアンダフローした時

リロードレジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

なおアンダフロー後のデータリロードは、アンダフローを起こしたクロックに同期して行われます。

10.3.7 TOP補正レジスタ(TOP0CC ~ TOP10CC)

TOP0 補正レジスタ (TOP0CC)	<アドレス : H'0080 0246 >
TOP1 補正レジスタ (TOP1CC)	<アドレス : H'0080 0256 >
TOP2 補正レジスタ (TOP2CC)	<アドレス : H'0080 0266 >
TOP3 補正レジスタ (TOP3CC)	<アドレス : H'0080 0276 >
TOP4 補正レジスタ (TOP4CC)	<アドレス : H'0080 0286 >
TOP5 補正レジスタ (TOP5CC)	<アドレス : H'0080 0296 >
TOP6 補正レジスタ (TOP6CC)	<アドレス : H'0080 02A6 >
TOP7 補正レジスタ (TOP7CC)	<アドレス : H'0080 02B6 >
TOP8 補正レジスタ (TOP8CC)	<アドレス : H'0080 02C6 >
TOP9 補正レジスタ (TOP9CC)	<アドレス : H'0080 02D6 >
TOP10 補正レジスタ (TOP10CC)	<アドレス : H'0080 02E6 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0 ~ 15	TOP0CC ~ TOP10CC	16ビット補正レジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

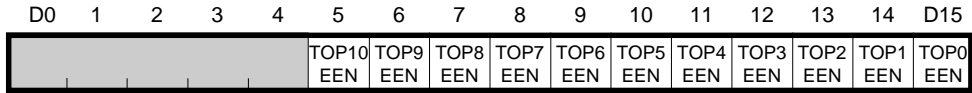
TOP補正レジスタは、TOPカウンタの値を動作途中で補正(加減算)するために使用されます。カウンタの増減を行いたい場合は、カウンタの初めの設定からの増減値をこの補正レジスタに書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込みんだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

たとえばカウンタ初期値が10で、カウンタが5まで来たところで3を補正レジスタに書き込んだ場合、全体としては15をカウントしたところでアンダフローします。

10.3.8 TOPイネーブル制御レジスタ

TOP0 ~ 10 外部イネーブル許可レジスタ (TOPEEN) <アドレス: H'0080 02FA >



<リセット時: H'0000 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	TOP10EEN(TOP10外部イネーブル許可)	0 : 外部イネーブル禁止		
6	TOP9EEN(TOP9外部イネーブル許可)	1 : 外部イネーブル許可		
7	TOP8EEN(TOP8外部イネーブル許可)			
8	TOP7EEN(TOP7外部イネーブル許可)			
9	TOP6EEN(TOP6外部イネーブル許可)			
10	TOP5EEN(TOP5外部イネーブル許可)			
11	TOP4EEN(TOP4外部イネーブル許可)			
12	TOP3EEN(TOP3外部イネーブル許可)			
13	TOP2EEN(TOP2外部イネーブル許可)			
14	TOP1EEN(TOP1外部イネーブル許可)			
15	TOP0EEN(TOP0外部イネーブル許可)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP0 ~ 10外部イネーブル許可レジスタは、TOPカウンタの外部からのイネーブル操作の許可 / 禁止を制御します。

TOP0 ~ 10 イネーブルプロテクトレジスタ (TOPPRO) <アドレス: H'0080 02FC >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
					TOP10 PRO	TOP9 PRO	TOP8 PRO	TOP7 PRO	TOP6 PRO	TOP5 PRO	TOP4 PRO	TOP3 PRO	TOP2 PRO	TOP1 PRO	TOP0 PRO

<リセット時: H'0000 >

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	TOP10PRQ (TOP10イネーブルプロテクト)	0: 書き換え許可		
6	TOP9PRQ (TOP9イネーブルプロテクト)	1: 書き換え禁止		
7	TOP8PRQ (TOP8イネーブルプロテクト)			
8	TOP7PRQ (TOP7イネーブルプロテクト)			
9	TOP6PRQ (TOP6イネーブルプロテクト)			
10	TOP5PRQ (TOP5イネーブルプロテクト)			
11	TOP4PRQ (TOP4イネーブルプロテクト)			
12	TOP3PRQ (TOP3イネーブルプロテクト)			
13	TOP2PRQ (TOP2イネーブルプロテクト)			
14	TOP1PRQ (TOP1イネーブルプロテクト)			
15	TOP0PRQ (TOP0イネーブルプロテクト)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP0 ~ 10 イネーブルプロテクトレジスタは、次ページに示すTOP0 ~ 10 カウントイネーブルビットの書き換えの許可 / 禁止を制御するレジスタです。

TOP0～10カウントイネーブルレジスタ(TOPCEN)

<アドレス: H'0080 02FE>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
					TOP10 CEN	TOP9 CEN	TOP8 CEN	TOP7 CEN	TOP6 CEN	TOP5 CEN	TOP4 CEN	TOP3 CEN	TOP2 CEN	TOP1 CEN	TOP0 CEN

<リセット時: H'0000>

D	ビット名	機能	R	W
0～4	何も配置されていません		0	-
5	TOP10CEN(TOP10カウントイネーブル)	0 : カウント停止		
6	TOP9CEN(TOP9カウントイネーブル)	1 : カウント許可		
7	TOP8CEN(TOP8カウントイネーブル)			
8	TOP7CEN(TOP7カウントイネーブル)			
9	TOP6CEN(TOP6カウントイネーブル)			
10	TOP5CEN(TOP5カウントイネーブル)			
11	TOP4CEN(TOP4カウントイネーブル)			
12	TOP3CEN(TOP3カウントイネーブル)			
13	TOP2CEN(TOP2カウントイネーブル)			
14	TOP1CEN(TOP1カウントイネーブル)			
15	TOP0CEN(TOP0カウントイネーブル)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

TOP0～10カウントイネーブルレジスタは、TOPカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTOP0～10プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TOP0～10イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続出力モード以外ではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTOP0～10イネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

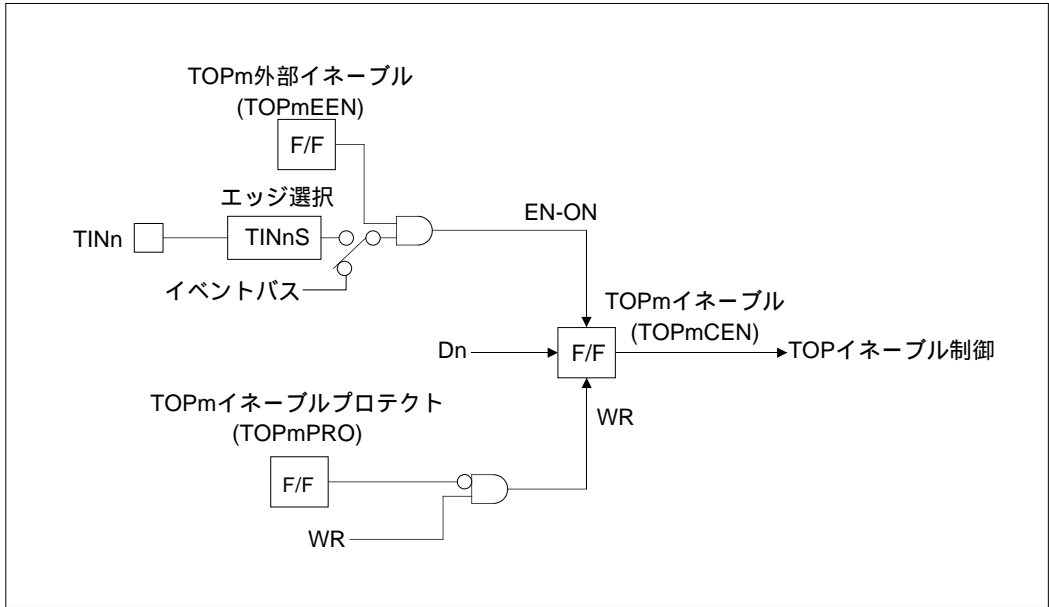


図10.3.8 TOPイネーブル回路構成図

10.3.9 TOPワンショット出力モード(補正機能あり)の動作

(1) TOPワンショット出力モード概要

ワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロードレジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロードレジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みを発生することができます。

カウント値はリロードレジスタの設定値+1です。たとえば以下の例で、リロードレジスタの初期値が7の場合、カウント値は8となります。

すべての内部回路動作が、カウントクロックに同期するため、イネーブル後 F/F出力変化までにプリスケアラ分のディレイを含みます。

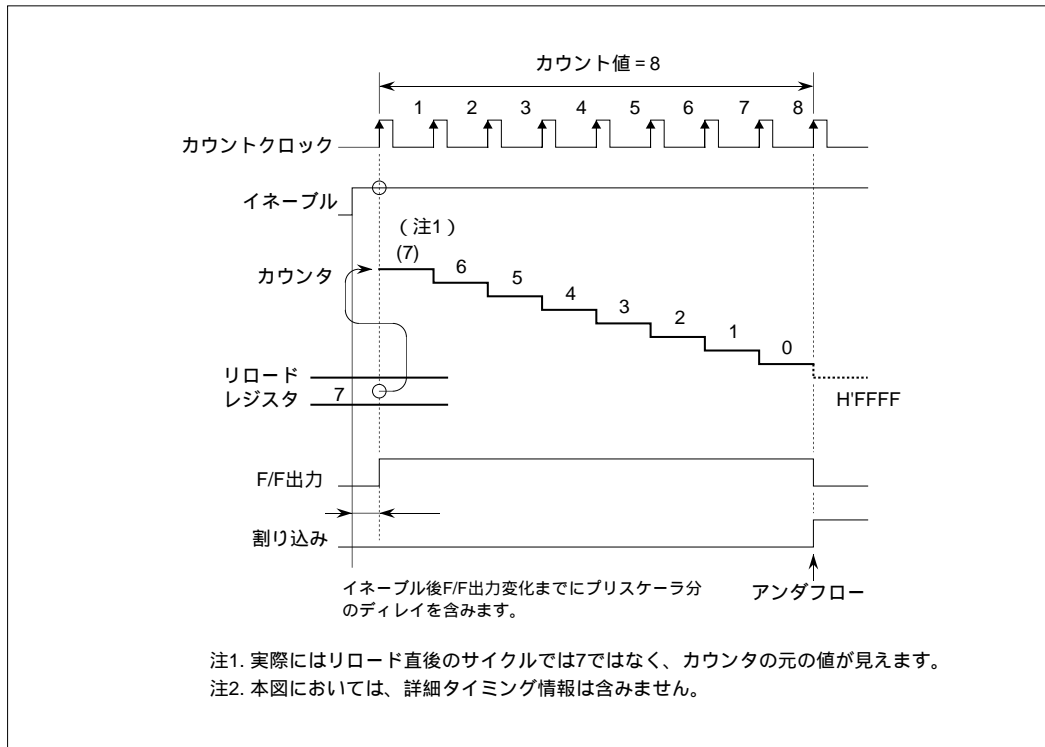


図10.3.9 TOPワンショット出力モードのカウント例

以下の例ではリロードレジスタの初期値にH'A000を設定しています(カウンタの初期値は不定でよい)。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、以後カウンタがアンダフローするまでダウンカウントします。

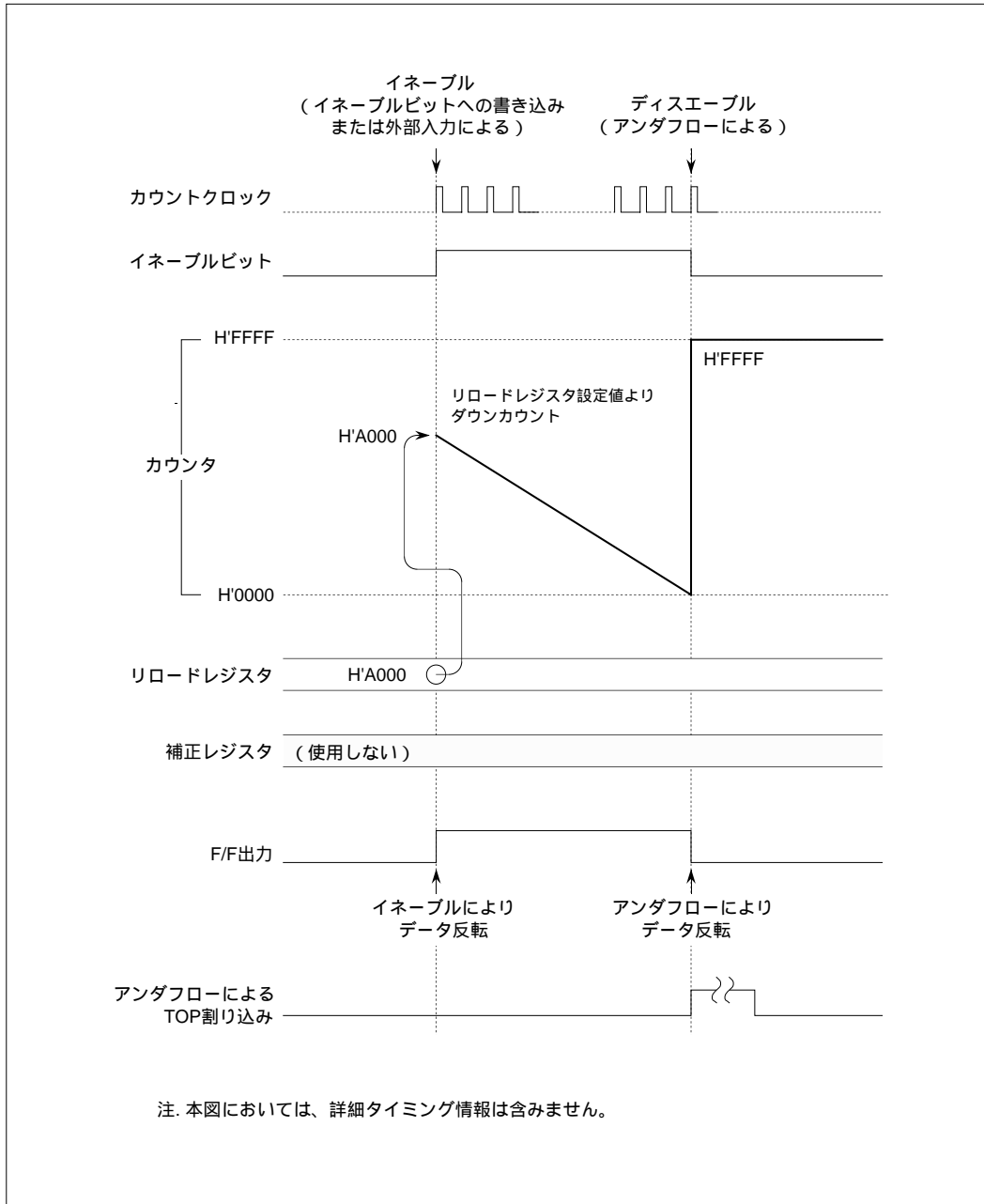


図10.3.10 TOPワンショット出力モード動作例

(2) TOPワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

たとえばカウンタ初期値が7で、カウンタが3まで来たところで3を補正レジスタに書き込んだ場合、全体としては12をカウントしたところでアンダフローします。

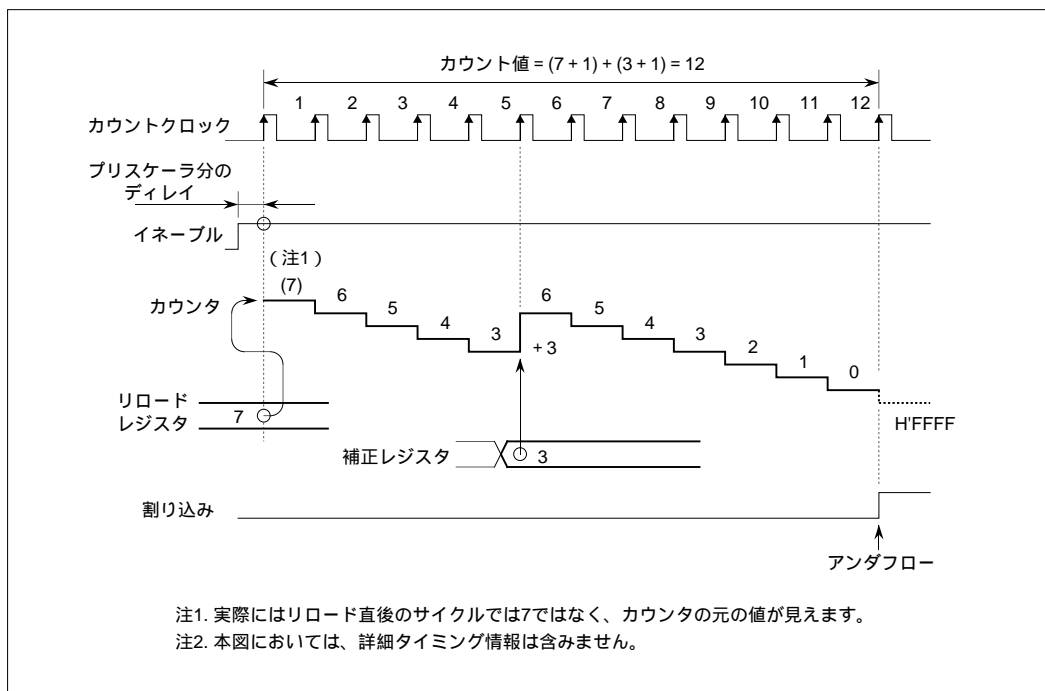


図10.3.11 TOPワンショット出力モード補正時のカウンタ例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万が一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。

次ページの例では、リロードレジスタの初期値にH'8000を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'5000までカウントしたところで、補正レジスタにH'4000を書き込んでいます。この補正の結果、カウンタはH'9000になり、全体としては $(H'8000 + 1 + H'4000 + 1)$ をカウントしたところで停止します。

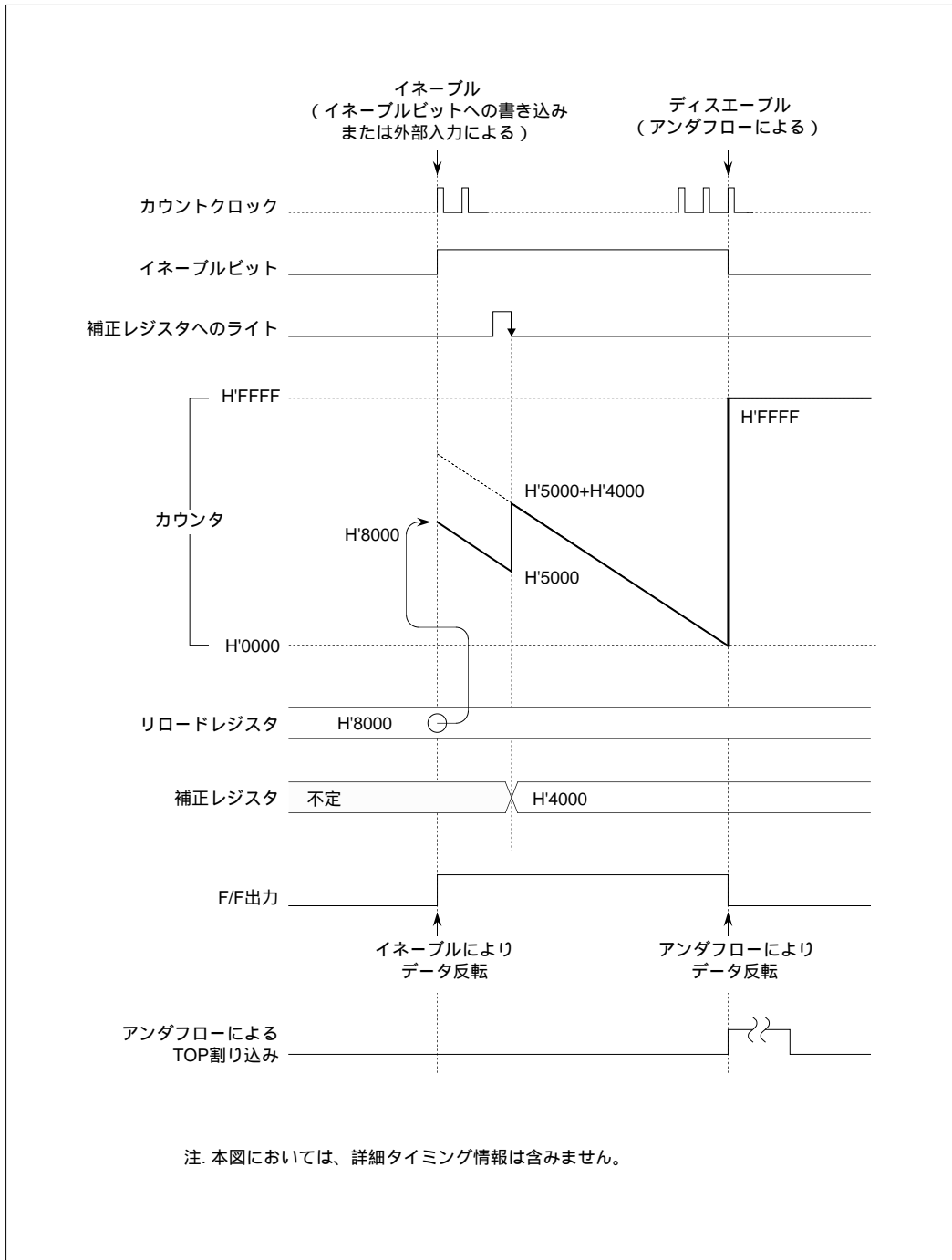


図10.3.12 TOPワンショット出力モード補正時の動作例

(3) TOPワンショット出力モード使用上の注意

TOPワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

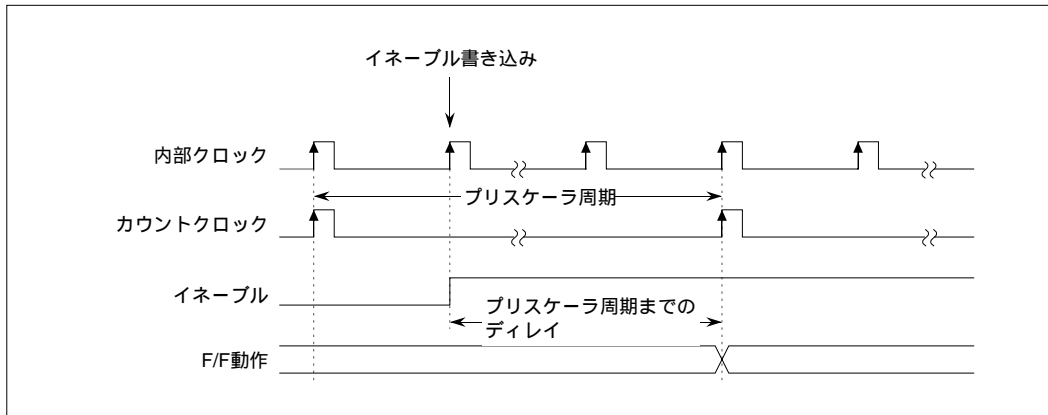


図10.3.13 プリスケアラディレイ

補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込みが発生します。

次ページの例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込みは、オーバーフローした誤った値で発生しています。

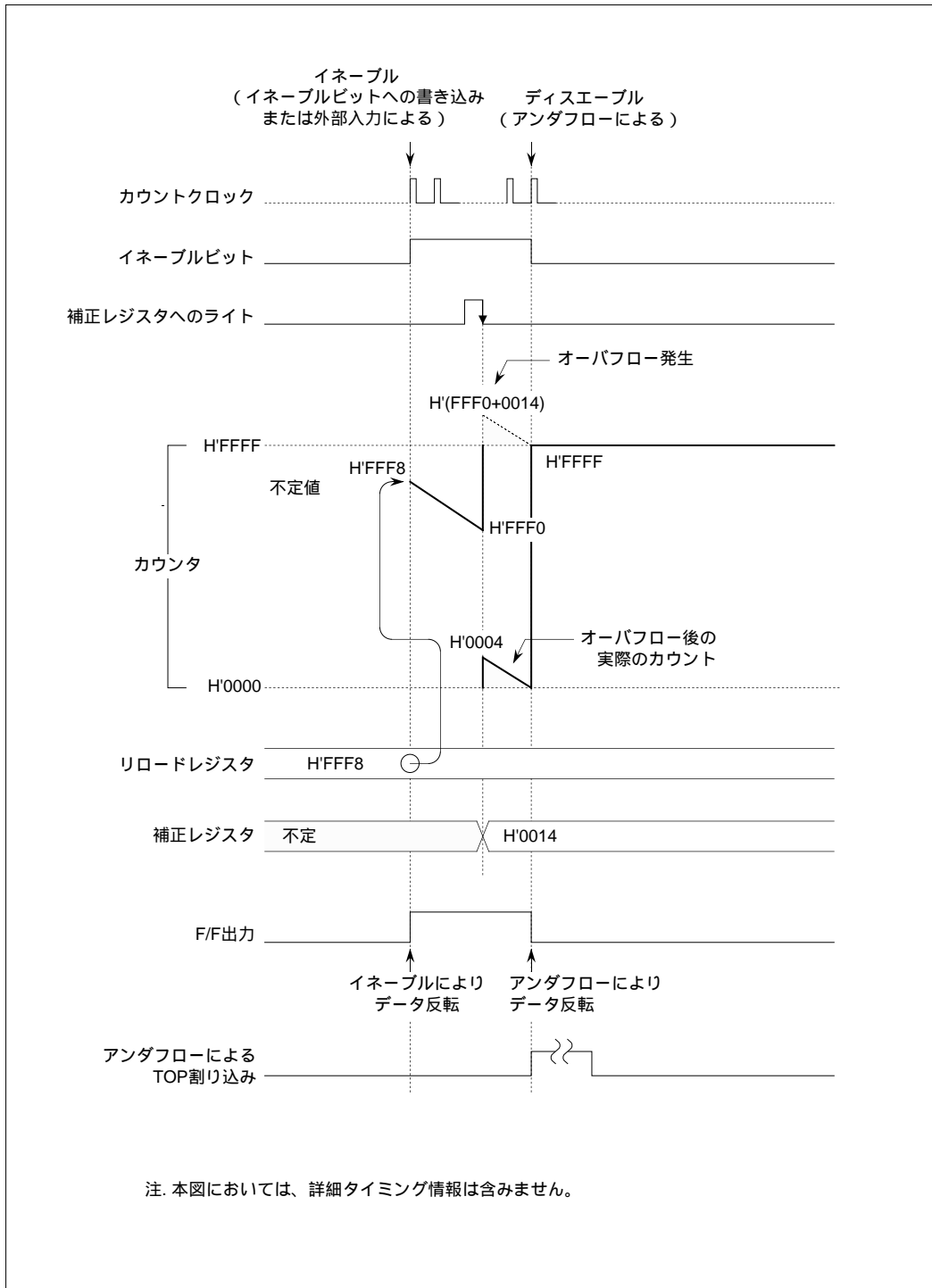


図10.3.14 TOPワンショット出力モード補正実行でオーバーフローした場合の例

10.3.10 TOPディレイドワンショット出力モード(補正機能あり)の動作

(1) TOPディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロードレジスタの設定値+1の幅のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウンタクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロードレジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロードレジスタ設定値+1の幅を持ったワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込みを発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。たとえばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

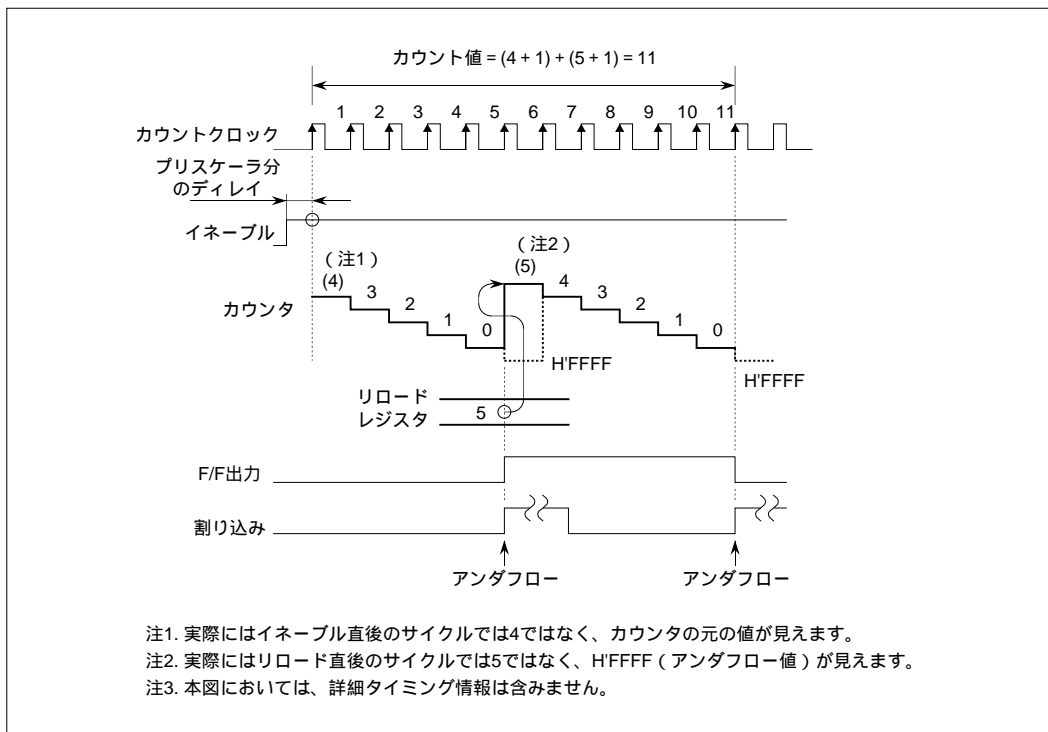


図10.3.15 TOPディレイドワンショット出力モードのカウンタ例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'F000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダフローするとリロードレジスタの内容をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止しています。

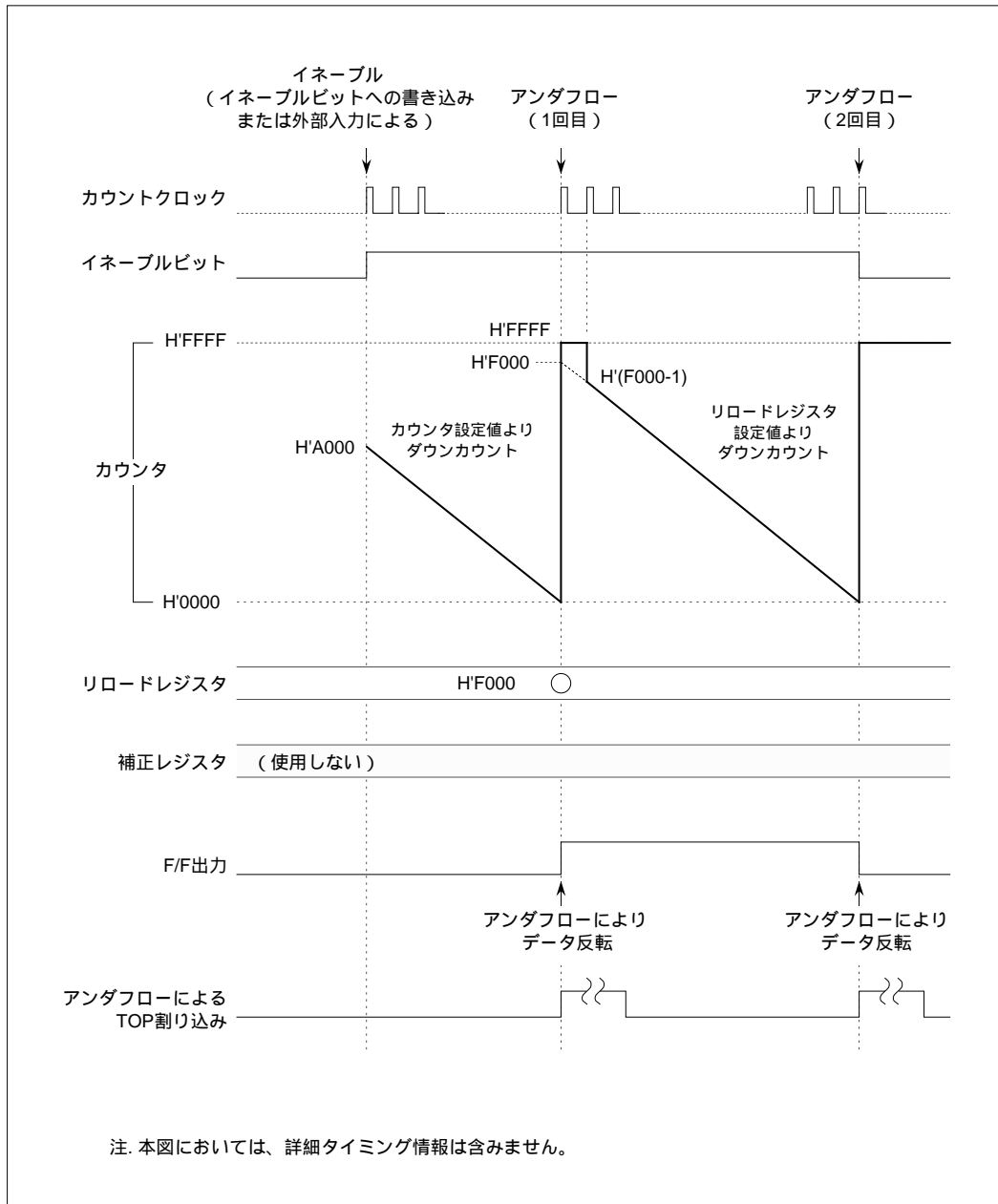


図10.3.16 TOPディレイドワンショット出力モード動作例

(2) TOPディレイドワンショット出力モードの補正機能

動作中のカウンタ値を変更したい場合は、TOP補正レジスタにカウンタの初めの設定からの増減値を書き込みます。加算の場合は加算する値をそのまま補正レジスタに書き込み、減算の場合は減算する値の2の補数を補正レジスタに書き込みます。

カウンタの補正は、TOP補正レジスタに補正値を書き込んだ次のクロックに同期して行われます。補正の動作が行われた場合、そのクロックに同期したダウンカウントが同時にキャンセルされるため、実際には(補正レジスタの値+1)の変更が行われることに注意してください。

たとえばリロードレジスタ値が7で、リロード後カウンタが3まで来たところで3を補正レジスタに書き込むと、リロード後のカウント値は12でアンダフローします。

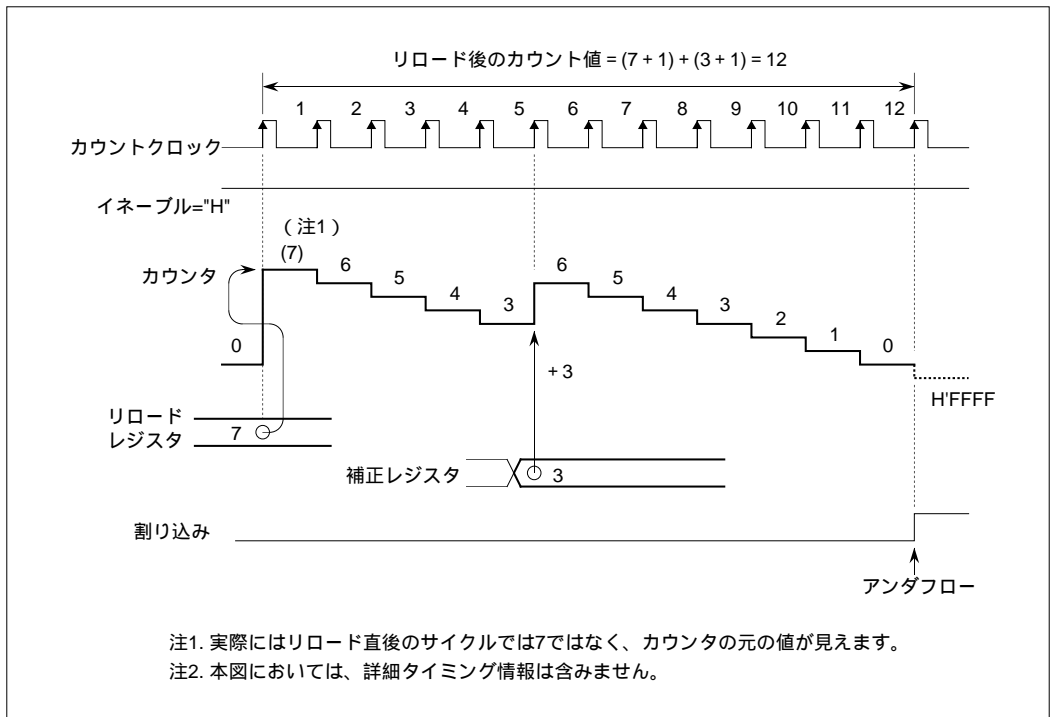


図10.3.17 TOPディレイドワンショット出力モード補正時のカウント例

なお、補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。

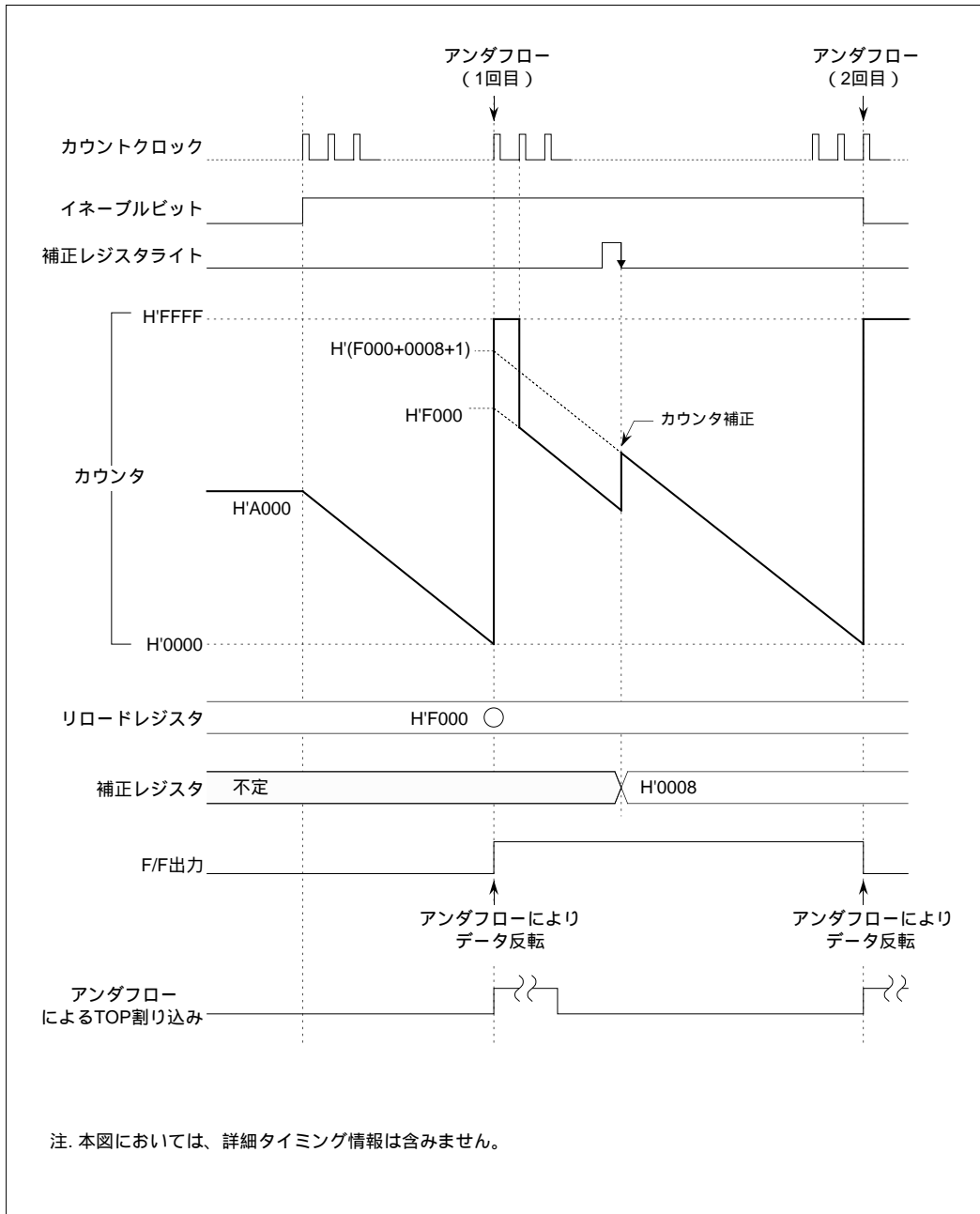


図10.3.18 TOPディレイドワンショット出力モード補正時の動作例

(3) TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

補正レジスタの操作により万一カウンタがオーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込みが発生します。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

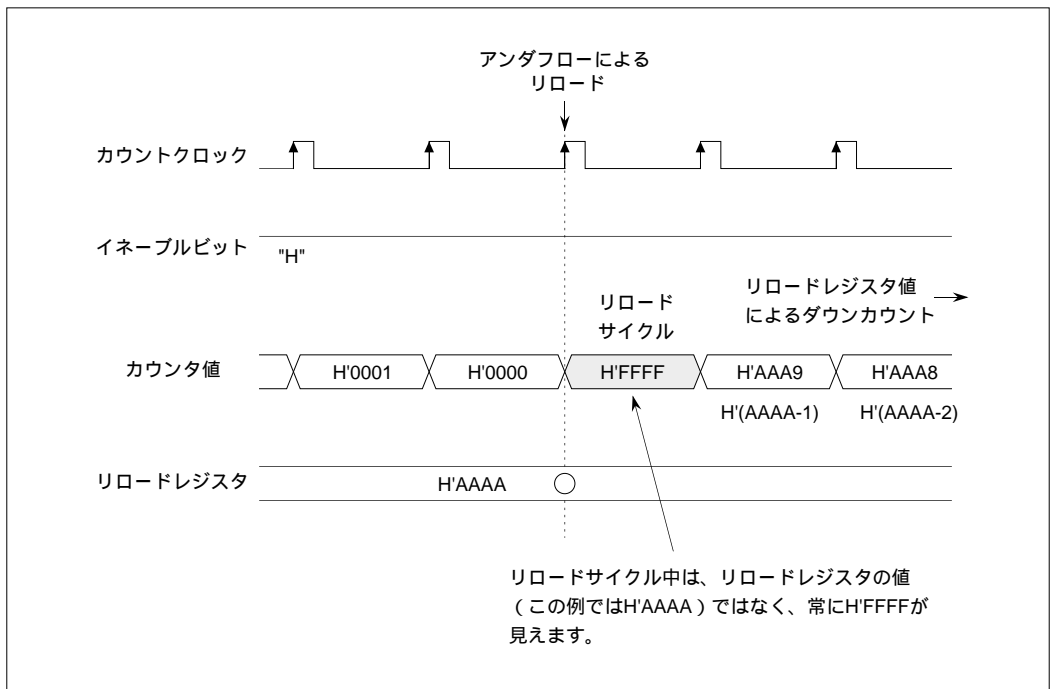


図10.3.19 アンダフロー直後のカウンタ値

10.3.11 TOP連続出力モード(補正機能なし)の動作

(1) TOP 連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロードレジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロードレジスタ設定値+1の幅で反転する連続的なパルスが発生します。

カウンタとリロードレジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローが発生します。

このアンダフローによりリロードレジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。また、カウンタアンダフローごとに、割り込みが発生することができます。

カウンタの設定値+1、リロードレジスタの設定値+1がカウント値として有効です。たとえばカウンタの初期値が4、リロードレジスタの初期値が5の場合の動作を以下に示します。

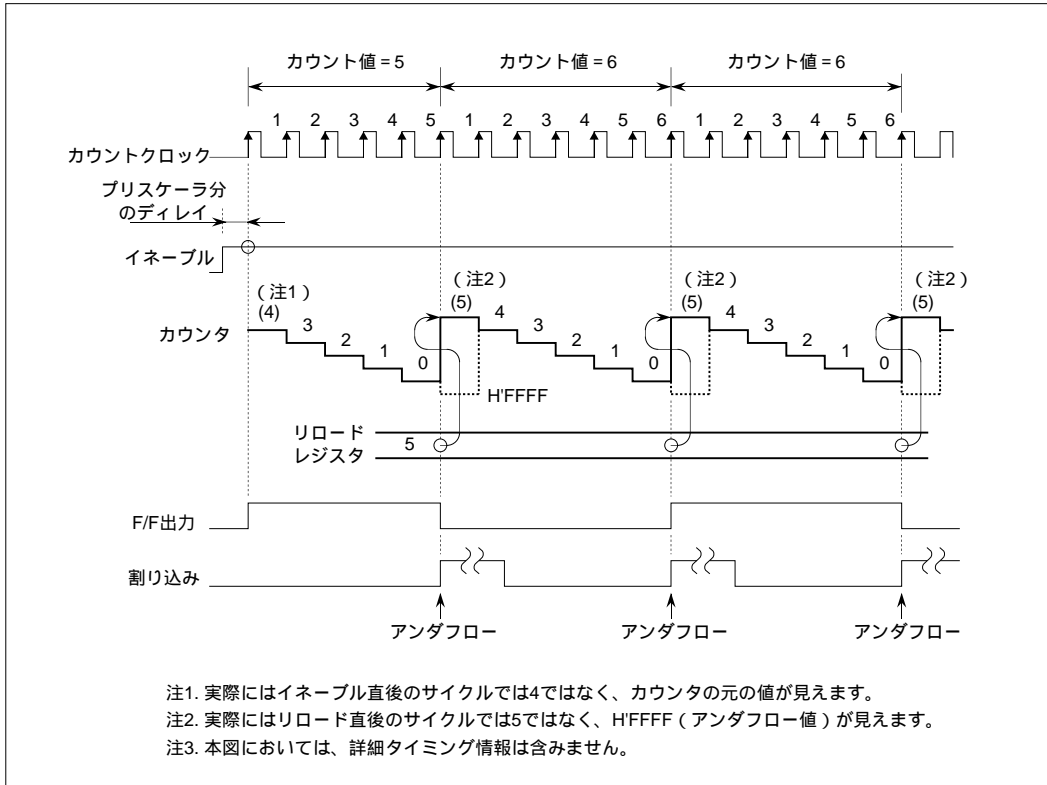


図10.3.20 TOP連続出力モードのカウント例

以下の例では、カウンタの初期値にH'A000を、リロードレジスタの初期値にH'E000を設定しています。タイマが起動するとダウンカウントを開始し、カウンタがアンダフローするごとにリロードレジスタの内容をカウンタにロードし、ダウンカウントを続けます。

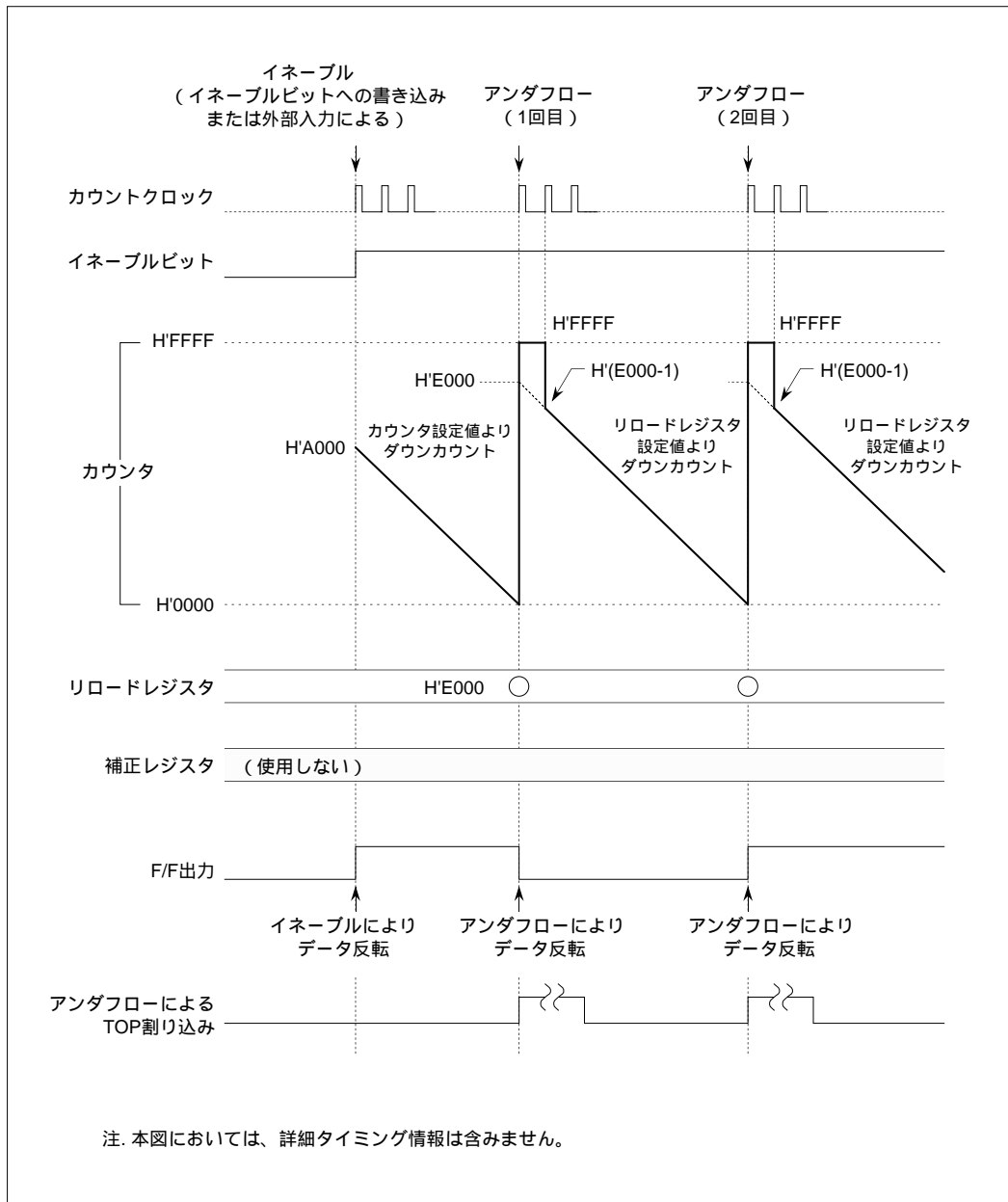


図10.3.21 TOP連続出力モード動作例

(2) TOP 連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

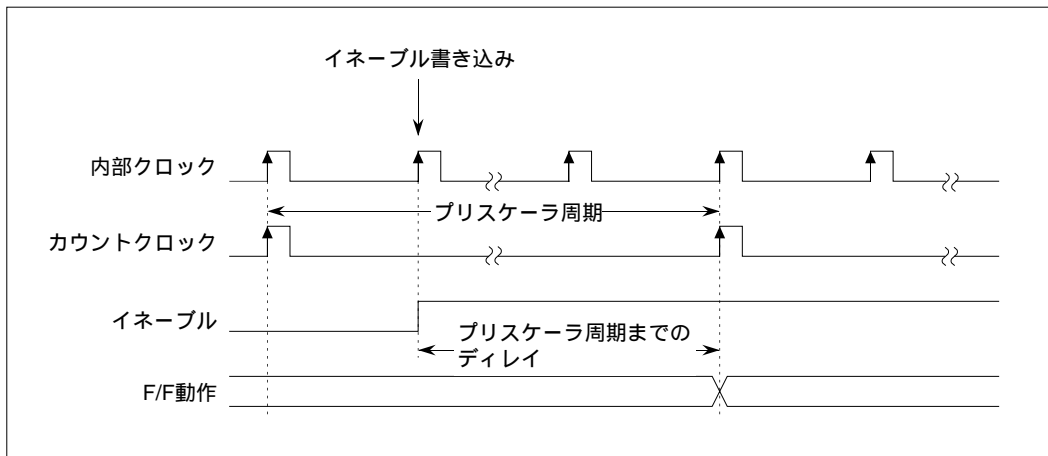


図10.3.22 プリスケアラディレイ

10.4 TIO(入出力系16ビットタイマ)

10.4.1 TIO概要

TIO(Timer Input/Output)は入出力系16ビットタイマで、ソフトウェアによるモード切り替えにより、以下のモードから1つを選択できます。

<入力モード>

- 計測クリア入力モード
- 計測フリーラン入力モード
- ノイズ処理入力モード

<補正機能なし出力モード>

- PWM出力モード
- ワンショット出力モード
- ディレイドワンショット出力モード
- 連続出力モード

以下にTIOの仕様を示します。また、図10.4.1にTIOブロック図を示します。

表10.4.1 TIO(入出力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	10チャンネル
カウンタ	16ビットダウンカウンタ
リロードレジスタ	16ビットリロードレジスタ
計測レジスタ	16ビットキャプチャレジスタ
タイマの起動	イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル(立ち上がりエッジ/立ち下がりエッジ/両エッジ/H/Lレベル)
モード切り替え	<入力モード> <ul style="list-style-type: none"> 計測クリア入力モード 計測フリーラン入力モード ノイズ処理入力モード <補正機能なし出力モード> <ul style="list-style-type: none"> PWM出力モード ワンショット出力モード ディレイドワンショット出力モード 連続出力モード
割り込み発生	カウンタのアンダフローで発生可能

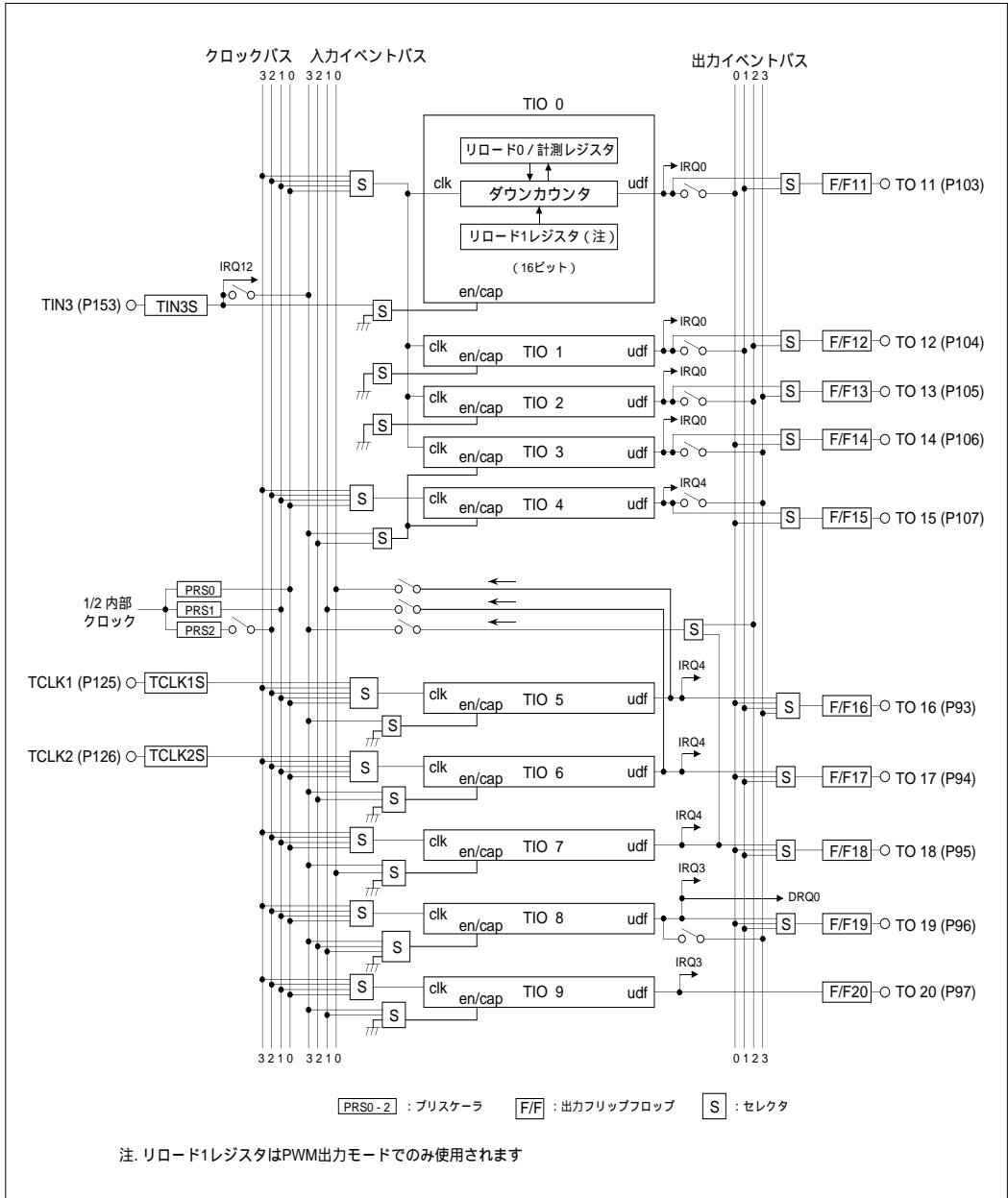


図10.4.1 TIO 入出力系16ビットタイマ)ブロック図

10.4.2 TIO各モードの概要

以下にTIOの各モードの概要を示します。なおTIO各チャンネルのモードは、この中から1つだけを選択できます。

(1) 計測(クリア/フリーラン)入力モード

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。

計測フリーラン入力モードではキャプチャ後もカウンタはそのままダウンカウントを続け、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

なお、カウンタのアンダフローまたは計測動作の実行で割り込みを発生することができます。

(2) ノイズ処理入力モード

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダフローするまで一定時間以上同じ状態であれば、割り込みを発生して停止します。有効なレベルの信号が入力されても、カウンタアンダフロー前に無効レベルになった場合はいったんカウントを停止し、再度有効なレベルが入力されたら初期値をカウンタにリロードしてカウント動作を再開します。

タイマの停止は、カウンタアンダフロー時、またはイネーブルビットへのカウント停止書き込みと同時に Rowe れます。

なお、カウンタのアンダフローで割り込みを発生することができます。

(3) PWM出力モード(補正機能なし)

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。

PWM出力モードのF/F出力波形は、カウント開始時と各アンダフロー発生時に反転します。タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に終わります(PWM出力周期には同期しません)。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込みを発生することができます。

(4) ワンショット出力モード(補正機能なし)

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みを発生することができます。

(5) ディレイドワンショット出力モード(補正機能なし)

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込みを発生することができます。

(6) 連続出力モード (補正機能なし)

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロード0レジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロード0レジスタ設定値 + 1の連続的なパルスを発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローを発生します。

このアンダフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとに繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し、カウント停止まで連続的なパルス波形を出力します。

また、カウンタアンダフローごとに、割り込みを発生することができます。

10.4.3 TIO関連レジスタマップ

以下にTIO関連のレジスタマップを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0300	TIO 0 カウンタ (TIO0CT)					
H'0080 0302						
H'0080 0304	TIO 0 リロード1レジスタ (TIO0RL1)					
H'0080 0306	TIO 0 リロード0 / 計測レジスタ (TIO0RL0)					
	≈					≈
H'0080 0310	TIO 1 カウンタ (TIO1CT)					
H'0080 0312						
H'0080 0314	TIO 1 リロード1レジスタ (TIO1RL1)					
H'0080 0316	TIO 1 リロード0 / 計測レジスタ (TIO1RL0)					
H'0080 0318						
H'0080 031A	TIO 0~3 制御レジスタ0 (TIO03CR0)					
H'0080 031C	TIO 0~3 制御レジスタ1 (TIO03CR1)					
	≈					≈
H'0080 0320	TIO 2 カウンタ (TIO2CT)					
H'0080 0322						
H'0080 0324	TIO 2 リロード1レジスタ (TIO2RL1)					
H'0080 0326	TIO 2 リロード0 / 計測レジスタ (TIO2RL0)					
	≈					≈
H'0080 0330	TIO 3 カウンタ (TIO3CT)					
H'0080 0332						
H'0080 0334	TIO 3 リロード1レジスタ (TIO3RL1)					
H'0080 0336	TIO 3 リロード0 / 計測レジスタ (TIO3RL0)					

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.4.2 TIO関連レジスタマップ(1/3)

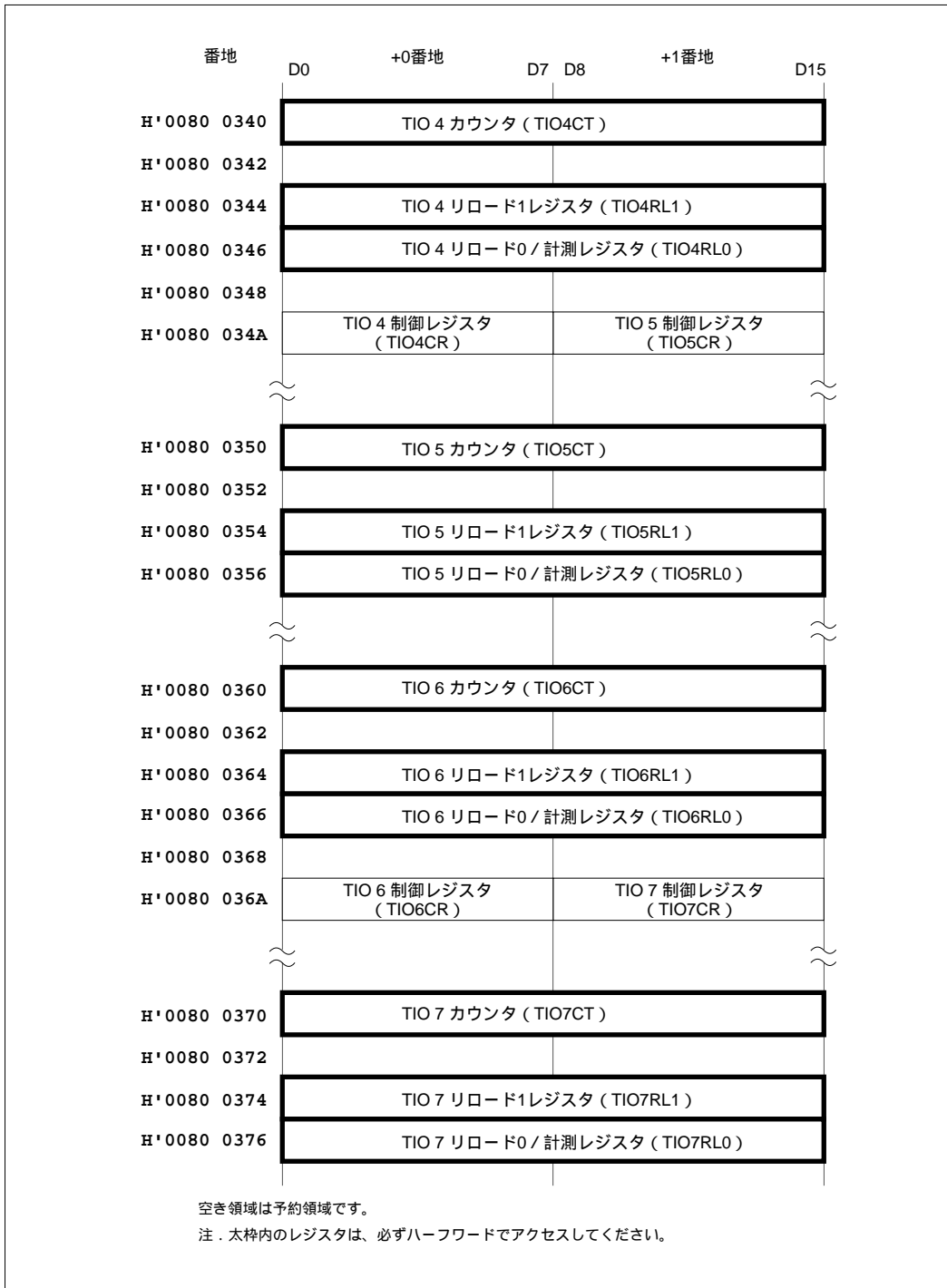


図10.4.3 TIO関連レジスタマップ(2/3)

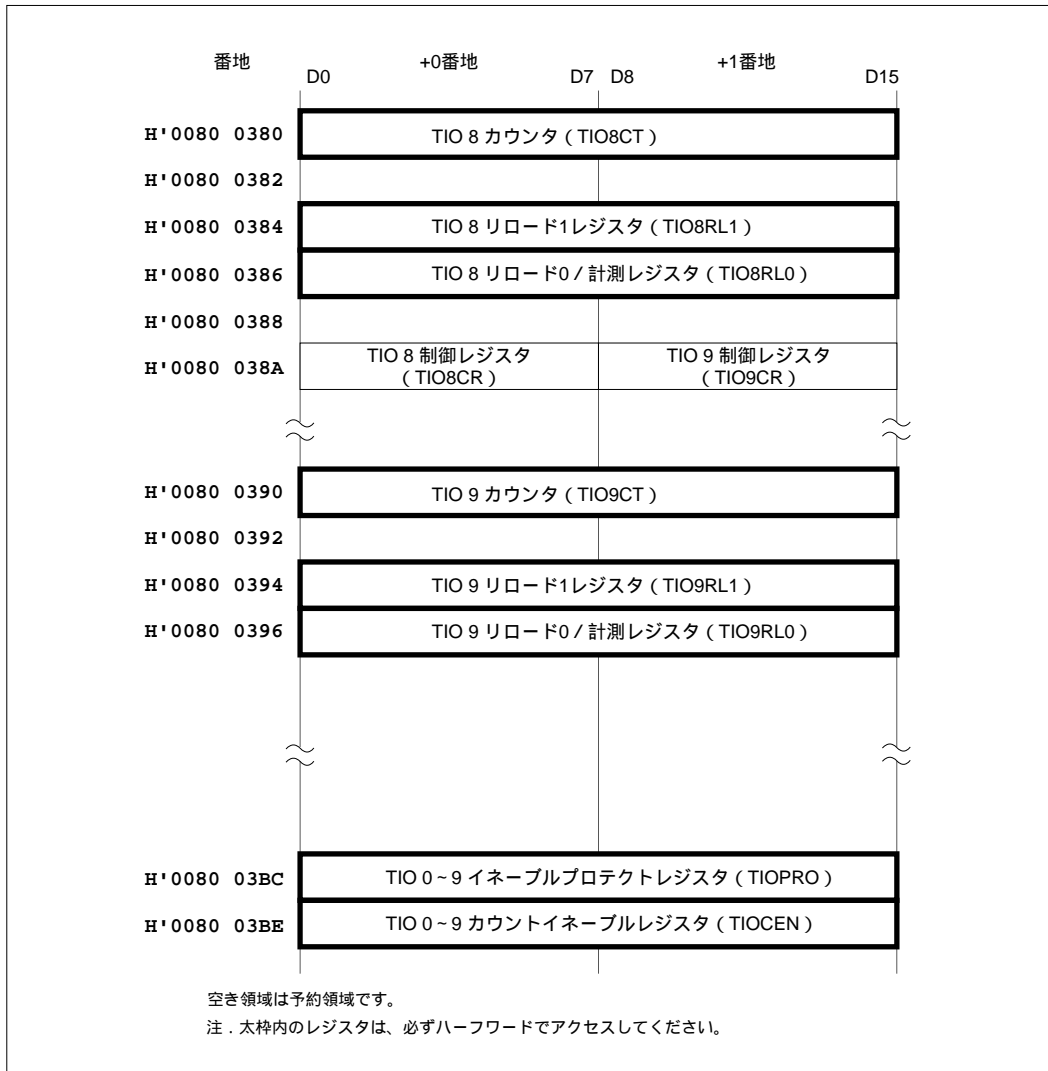


図10.4.4 TIO関連レジスタマップ(3/3)

10.4.4 TIO制御レジスタ

TIO制御レジスタは、TIO0～9の動作モード(計測入力、ノイズ処理入力、PWM出力、ワンショット出力、ディレイドワンショット出力、連続出力モード)の選択、カウンタインープルの入力選択、およびカウンタクロックの入力選択を行います。

TIO制御レジスタには、タイマのグループごとに次の8つのレジスタがあります。

TIO0～3制御レジスタ0(TIO03CR0)

TIO0～3制御レジスタ1(TIO03CR1)

TIO4制御レジスタ(TIO4CR)

TIO5制御レジスタ(TIO5CR)

TIO6制御レジスタ(TIO6CR)

TIO7制御レジスタ(TIO7CR)

TIO8制御レジスタ(TIO8CR)

TIO9制御レジスタ(TIO9CR)

TIO0 ~ 3 制御レジスタ 0 (TIO03CR0)

< アドレス : H'0080 031A >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
TIO3 EEN	TIO3M			TIO2 ENS	TIO2M			TIO1 ENS	TIO1M			TIO0 ENS	TIO0M		

< リセット時 : H'0000 >

D	ビット名	機能	R	W
0	TIO3EEN(TIO3外部入力許可) (注1)	0 : 外部入力禁止 1 : 外部入力許可		
1~3	TIO3M (TIO3動作モード選択)	000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		
4	TIO2ENS(予約ビット)	設定無効		
5~7	TIO2M (TIO2動作モード選択) (注3)	000 : ワンショット出力モード 001 : ディレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : 使用禁止		
8	TIO1ENS(予約ビット)	設定無効		

(次ページへつづく)

注1. TIO3のイネーブル/計測入力ソース選択は、TIO4制御レジスタのTIO34ENS(TIO3, 4イネーブル/計測入力ソース選択)ビットで選択します。

注2. TIO1およびTIO2タイマは、計測(フリーラン/クリア)入力モード時にキャプチャ機能をもちません。

注3. 計測(フリーラン/クリア)入力モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。
ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。

注4. このレジスタは、必ずハーフワードでアクセスしてください。

注5. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

(つづき)

D	ビット名	機能	R	W
9~11	TIO1M (TIO1動作モード選択)	000: ワンショット出力モード 001: デイレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 11X: 使用禁止		
12	TIO0ENS(TIO0イネーブル/ 計測入力ソース選択)	0: 非選択 1: 外部入力TIN3選択		
13~15	TIO0M (TIO0動作モード選択)	000: ワンショット出力モード 001: デイレイドワンショット出力モード 010: 連続出力モード 011: PWM出力モード 100: 計測クリア入力モード 101: 計測フリーラン入力モード 11X: ノイズ処理入力モード		

注1. このレジスタは、必ずハーフワードでアクセスしてください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

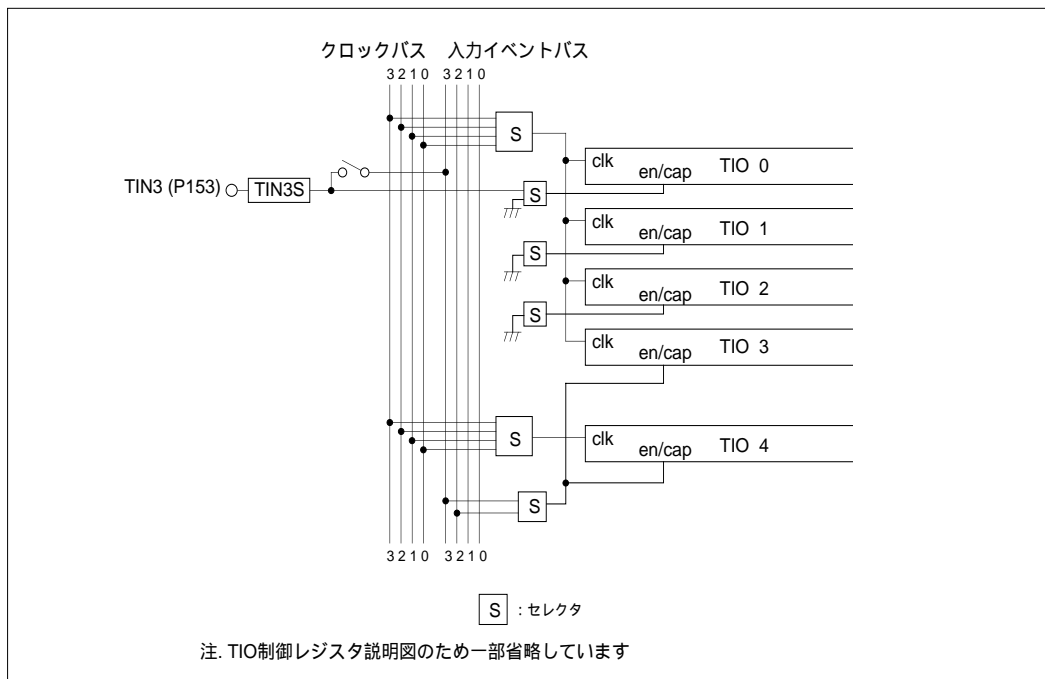
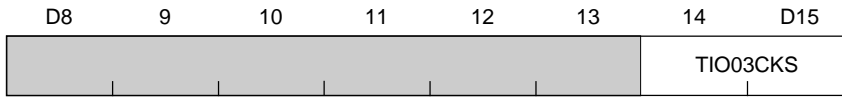


図10.4.5 TIO0~4のクロック/イネーブル入力概略図

TIO0 ~ 3 制御レジスタ 1 (TIO03CR1)

< アドレス : H'0080 031D >

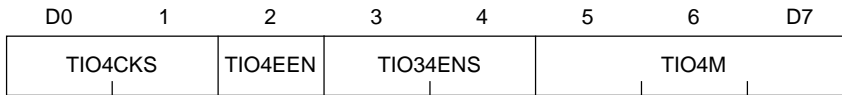


< リセット時 : H'00 >

D	ビット名	機能	R	W
8~13	何も配置されていません		0	-
14,15	TIO03CKS (TIO0 ~ 3クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		

TIO4 制御レジスタ (TIO4CR)

< アドレス : H'0080 034A >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	TIO4CKS (TIO4クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		
2	TIO4EEN (注1) (TIO4外部入力許可)	0 : 外部入力禁止 1 : 外部入力許可		
3,4	TIO34ENS (TIO3,4イネーブル/ 計測入力ソース選択)	0X : 非選択 10 : 入力イベントバス2選択 11 : 入力イベントバス3選択		
5~7	TIO4M (TIO4動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注1. 計測(フリーラン/クリア)入力モード時、本ビットが"0"(外部入力禁止)であっても外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

ただし、計測クリア入力モードでは本ビットが"0"(外部入力禁止)の場合、キャプチャ時にカウンタの値の初期化(H'FFFF)が行われないため、"1"(外部入力許可)にして使用してください。

注2. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

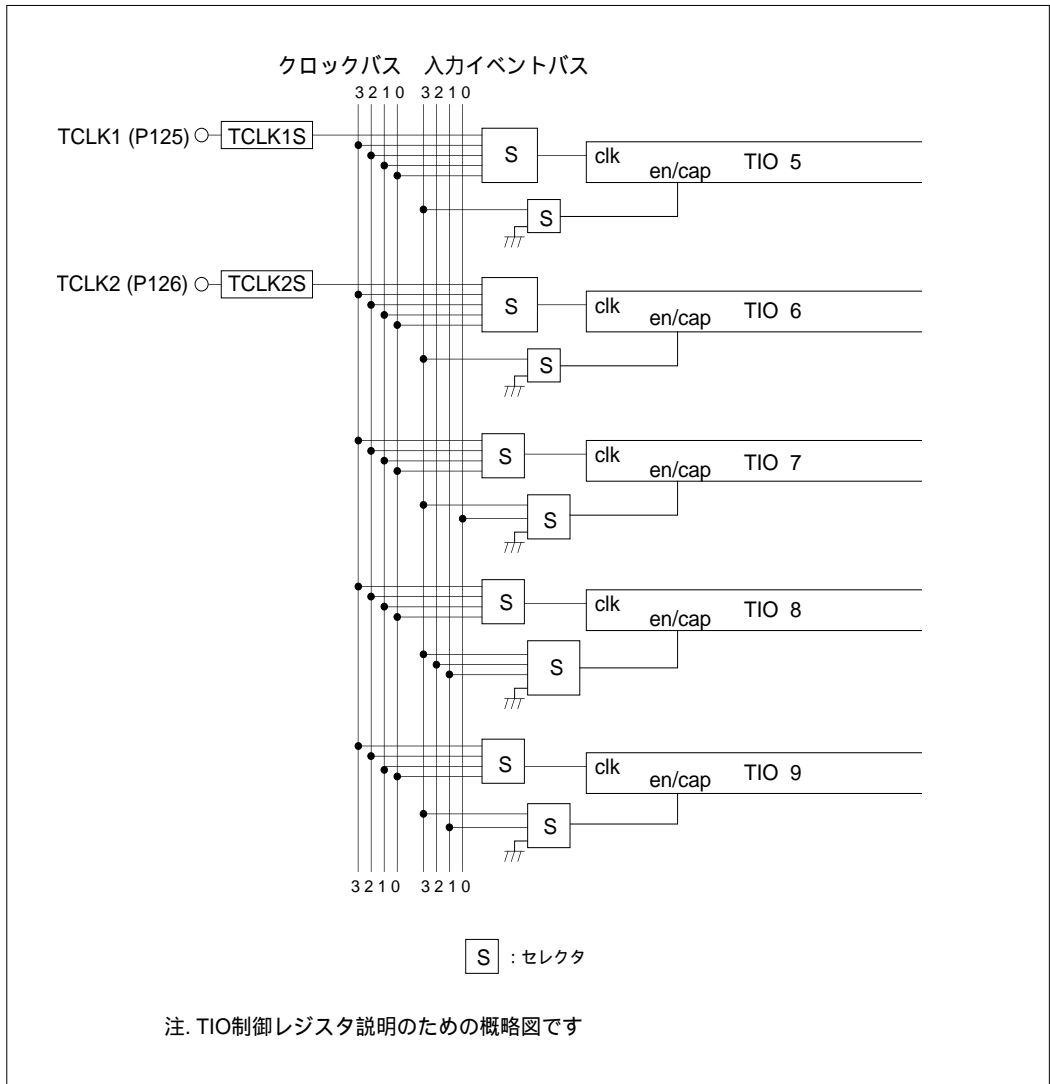
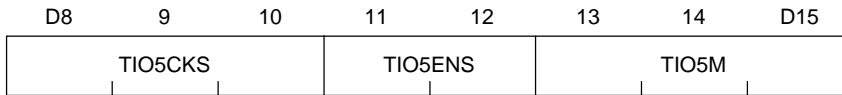


図10.4.6 TIO5~9のクロック/イネーブル入力概略図

TIO5 制御レジスタ (TIO5CR)

< アドレス : H'0080 034B >



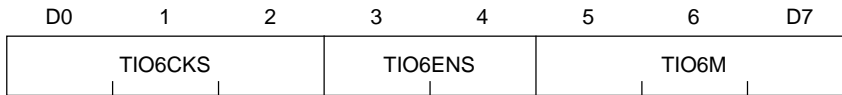
< リセット時 : H'00 >

D	ビット名	機能	R	W
8~10	TIO5CKS (TIO5クロックソース選択)	0XX : 外部入力TCLK1選択 100 : クロックバス0選択 101 : クロックバス1選択 110 : クロックバス2選択 111 : クロックバス3選択		
11,12	TIO5ENS (TIO5イネーブル/ 計測入力ソース選択)	0X : 非選択 10 : 非選択 11 : 入力イベントバス3選択		
13~15	TIO5M (TIO5動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO6 制御レジスタ (TIO6CR)

<アドレス : H'0080 036A >



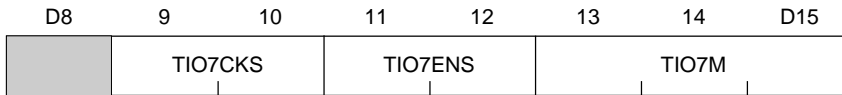
<リセット時 : H'00 >

D	ビット名	機能	R	W
0~2	TIO6CKS (TIO6クロックソース選択)	0XX : 外部入力TCLK2選択 100 : クロックバス0選択 101 : クロックバス1選択 110 : クロックバス2選択 111 : クロックバス3選択		
3,4	TIO6ENS (TIO6イネーブル/ 計測入力ソース選択)	0X : 非選択 10 : 入力イベントバス2選択 11 : 入力イベントバス3選択		
5~7	TIO6M (TIO6動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO7制御レジスタ (TIO7CR)

<アドレス : H'0080 036B >



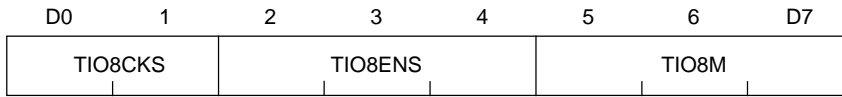
<リセット時 : H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9,10	TIO7CKS (TIO7クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		
11,12	TIO7ENS (TIO7イネーブル/ 計測入力ソース選択)	0X : 非選択 10 : 入力イベントバス0選択 11 : 入力イベントバス3選択		
13~15	TIO7M (TIO7動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO8 制御レジスタ (TIO8CR)

<アドレス : H'0080 038A >



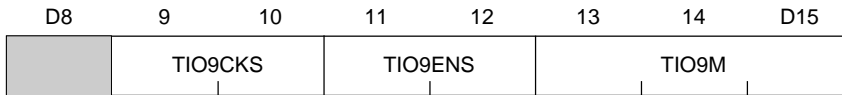
<リセット時 : H'00 >

D	ビット名	機能	R	W
0,1	TIO8CKS (TIO8クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		
2~4	TIO8ENS (TIO8イネーブル/ 計測入力ソース選択)	0XX : 非選択 100 : 非選択 101 : 入力イベントバス1選択 110 : 入力イベントバス2選択 111 : 入力イベントバス3選択		
5~7	TIO8M (TIO8動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

TIO9 制御レジスタ (TIO9CR)

< アドレス : H'0080 038B >



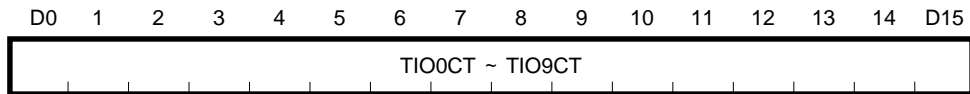
< リセット時 : H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9,10	TIO9CKS (TIO9クロックソース選択)	00 : クロックバス0選択 01 : クロックバス1選択 10 : クロックバス2選択 11 : クロックバス3選択		
11,12	TIO9ENS (TIO9イネーブル/ 計測入力ソース選択)	0X : 非選択 10 : 入力イベントバス1選択 11 : 入力イベントバス3選択		
13~15	TIO9M (TIO9動作モード選択)	000 : ワンショット出力モード 001 : デイレイドワンショット出力モード 010 : 連続出力モード 011 : PWM出力モード 100 : 計測クリア入力モード 101 : 計測フリーラン入力モード 11X : ノイズ処理入力モード		

注. 動作モードの設定、変更は、必ずカウンタ停止状態で行ってください。

10.4.5 TIOカウンタ(TIO0CT ~ TIO9CT)

TIO0 カウンタ (TIO0CT)	<アドレス : H'0080 0300 >
TIO1 カウンタ (TIO1CT)	<アドレス : H'0080 0310 >
TIO2 カウンタ (TIO2CT)	<アドレス : H'0080 0320 >
TIO3 カウンタ (TIO3CT)	<アドレス : H'0080 0330 >
TIO4 カウンタ (TIO4CT)	<アドレス : H'0080 0340 >
TIO5 カウンタ (TIO5CT)	<アドレス : H'0080 0350 >
TIO6 カウンタ (TIO6CT)	<アドレス : H'0080 0360 >
TIO7 カウンタ (TIO7CT)	<アドレス : H'0080 0370 >
TIO8 カウンタ (TIO8CT)	<アドレス : H'0080 0380 >
TIO9 カウンタ (TIO9CT)	<アドレス : H'0080 0390 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	TIO0CT ~ TIO9CT	16ビットカウンタ値		

W = : PWM出力モード時は書き込み不可

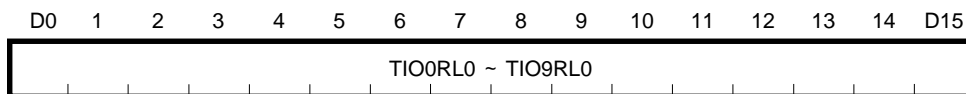
注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOカウンタは16ビットのダウンカウンタで、タイマのイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)後、カウントクロックに同期してカウント動作を開始します。

なお、PWM出力モードでは書き込み不可になります。

10.4.6 TIOリロード0 / 計測レジスタ (TIO0RL0 ~ TIO9RL0)

TIO0 リロード0 / 計測レジスタ (TIO0RL0)	<アドレス : H'0080 0306 >
TIO1 リロード0 / 計測レジスタ (TIO1RL0)	<アドレス : H'0080 0316 >
TIO2 リロード0 / 計測レジスタ (TIO2RL0)	<アドレス : H'0080 0326 >
TIO3 リロード0 / 計測レジスタ (TIO3RL0)	<アドレス : H'0080 0336 >
TIO4 リロード0 / 計測レジスタ (TIO4RL0)	<アドレス : H'0080 0346 >
TIO5 リロード0 / 計測レジスタ (TIO5RL0)	<アドレス : H'0080 0356 >
TIO6 リロード0 / 計測レジスタ (TIO6RL0)	<アドレス : H'0080 0366 >
TIO7 リロード0 / 計測レジスタ (TIO7RL0)	<アドレス : H'0080 0376 >
TIO8 リロード0 / 計測レジスタ (TIO8RL0)	<アドレス : H'0080 0386 >
TIO9 リロード0 / 計測レジスタ (TIO9RL0)	<アドレス : H'0080 0396 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0 ~ 15	TIO0RL0 ~ TIO9RL0	16ビットリロードレジスタ値		

W = : 計測入力モード時は書き込み不可

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード0 / 計測レジスタは、TIOカウンタレジスタ (TIO0CT ~ TIO9CT)へデータをリロードするためのレジスタと、計測入力モードでの計測レジスタを兼ねています。このレジスタは、計測入力モード時には書き込み不可となります。

リロード0レジスタの内容がカウンタにロードされるのは、以下の場合です。

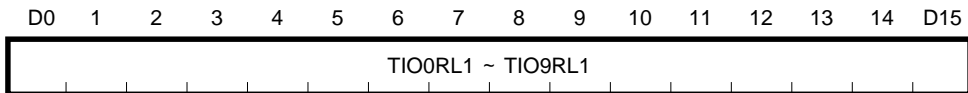
- ノイズ処理入力モードでカウントを開始した後、カウンタアンダフロー前に、入力信号が反転し、再度有効レベルの入力があった時
- ワンショットモードでカウンタがイネーブルになった時
- ディレイドワンショットまたは連続モードでカウンタがアンダフローした時
- PWMモードでイネーブルになった時と、リロード1レジスタでセットしたカウンタ値がアンダフローした時

リロード0レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

一方計測レジスタとして使用する場合は、イベント入力により、カウンタの値をこの計測レジスタに取り込みます。

10.4.7 TIOリロード1レジスタ(TIO0RL1~TIO9RL1)

TIO0 リロード1レジスタ(TIO0RL1)	<アドレス:H'0080 0304 >
TIO1 リロード1レジスタ(TIO1RL1)	<アドレス:H'0080 0314 >
TIO2 リロード1レジスタ(TIO2RL1)	<アドレス:H'0080 0324 >
TIO3 リロード1レジスタ(TIO3RL1)	<アドレス:H'0080 0334 >
TIO4 リロード1レジスタ(TIO4RL1)	<アドレス:H'0080 0344 >
TIO5 リロード1レジスタ(TIO5RL1)	<アドレス:H'0080 0354 >
TIO6 リロード1レジスタ(TIO6RL1)	<アドレス:H'0080 0364 >
TIO7 リロード1レジスタ(TIO7RL1)	<アドレス:H'0080 0374 >
TIO8 リロード1レジスタ(TIO8RL1)	<アドレス:H'0080 0384 >
TIO9 リロード1レジスタ(TIO9RL1)	<アドレス:H'0080 0394 >



<リセット時:不定>

D	ビット名	機能	R	W
0~15	TIO0RL1~TIO9RL1	16ビットリロードレジスタ値		

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIOリロード1レジスタは、TIOカウンタレジスタ(TIO0CT~TIO9CT)へデータをリロードするためのレジスタです。

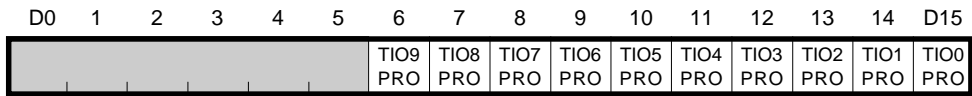
リロード1レジスタの内容がカウンタにロードされるのは、以下の場合です。

PWM出力モードでリロード0レジスタでセットしたカウント値がアンダフローした時

リロード1レジスタにデータを書き込んだ時点では、カウンタにデータはロードされません。

10.4.8 TIOイネーブル制御レジスタ

TIO0 ~ 9 イネーブルプロテクトレジスタ (TIOPRO) <アドレス: H'0080 03BC >



<リセット時: H'0000 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	TIO9PRQ (TIO9イネーブルプロテクト)	0: 書き換え許可		
7	TIO8PRQ (TIO8イネーブルプロテクト)	1: 書き換え禁止		
8	TIO7PRQ (TIO7イネーブルプロテクト)			
9	TIO6PRQ (TIO6イネーブルプロテクト)			
10	TIO5PRQ (TIO5イネーブルプロテクト)			
11	TIO4PRQ (TIO4イネーブルプロテクト)			
12	TIO3PRQ (TIO3イネーブルプロテクト)			
13	TIO2PRQ (TIO2イネーブルプロテクト)			
14	TIO1PRQ (TIO1イネーブルプロテクト)			
15	TIO0PRQ (TIO0イネーブルプロテクト)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIO0 ~ 9イネーブルプロテクトレジスタは、次に示すTIOカウンタイネーブルビットの書き換えの禁止/許可を制御するレジスタです。

TIO0 ~ 9 カウントイネーブルレジスタ (TIOCEN)

< アドレス : H'0080 03BE >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
						TIO9 CEN	TIO8 CEN	TIO7 CEN	TIO6 CEN	TIO5 CEN	TIO4 CEN	TIO3 CEN	TIO2 CEN	TIO1 CEN	TIO0 CEN

< リセット時 : H'0000 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6	TIO9CEN(TIO9カウントイネーブル)	0 : カウント停止		
7	TIO8CEN(TIO8カウントイネーブル)	1 : カウント許可		
8	TIO7CEN(TIO7カウントイネーブル)			
9	TIO6CEN(TIO6カウントイネーブル)			
10	TIO5CEN(TIO5カウントイネーブル)			
11	TIO4CEN(TIO4カウントイネーブル)			
12	TIO3CEN(TIO3カウントイネーブル)			
13	TIO2CEN(TIO2カウントイネーブル)			
14	TIO1CEN(TIO1カウントイネーブル)			
15	TIO0CEN(TIO0カウントイネーブル)			

注. このレジスタは、必ずハーフワードでアクセスしてください。

TIO0 ~ 9カウントイネーブルレジスタは、TIOカウンタの動作を制御します。カウンタをソフトウェアでイネーブルにする場合は、該当するTIO0 ~ 9イネーブルプロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"1"を書き込みます。

カウンタを停止する場合は、TIO0 ~ 9プロテクトレジスタを書き込み許可にし、カウントイネーブルビットに"0"を書き込みます。

連続モード以外ではアンダフローの発生でカウンタが停止すると、カウントイネーブルビットは自動的に"0"に戻ります。したがってTIO0 ~ 9カウントイネーブルレジスタをリードした場合は、カウンタの動作状態(動作中または停止)を示すステータスレジスタとなります。

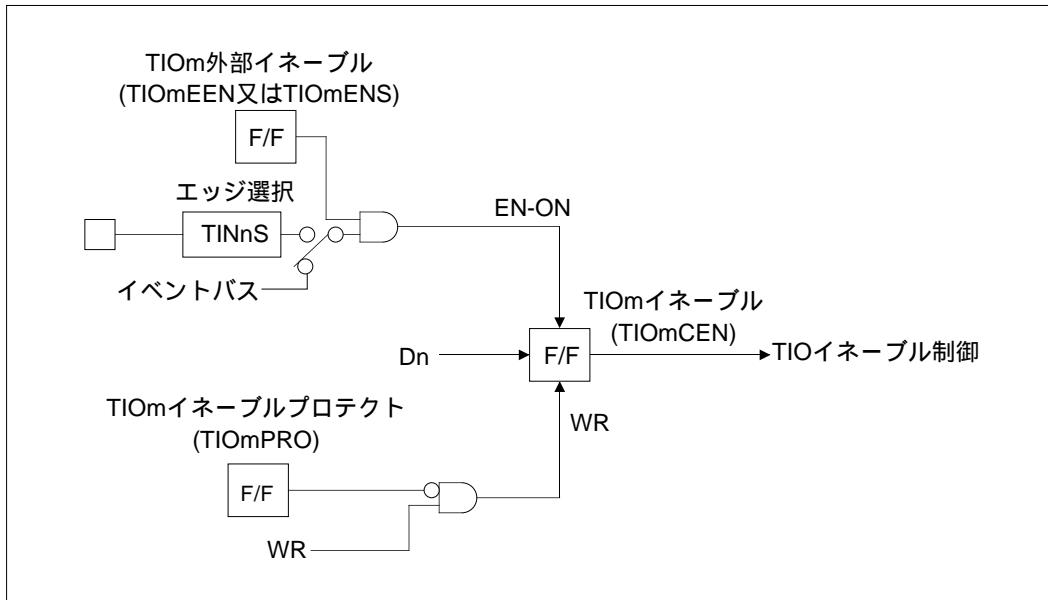


図10.4.7 TIOイネーブル回路構成図

10.4.9 TIO計測(フリーラン/クリア)入力モードの動作

(1) TIO 計測(フリーラン/クリア)入力モード概要

計測(クリア/フリーラン)入力モードは、カウント開始から外部キャプチャ信号入力までの時間を計測するモードです。カウンタのアンダフローまたは計測動作の実行で割り込みを発生することができます。

タイマのイネーブル(イネーブルビットへのソフトウェア書き込み)後、カウンタはカウントクロックに同期してダウンカウントを開始し、外部からのキャプチャ信号により、その時点のカウンタの値を計測レジスタに書き込みます。

計測クリア入力モードでは、キャプチャ時にカウンタの値をH'FFFFに初期化し、ダウンカウントを再開します。アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

計測フリーラン入力モードでは、キャプチャ後もカウンタはそのままダウンカウントを続け、アンダフローするとH'FFFFに戻ってダウンカウントを続けます。

カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

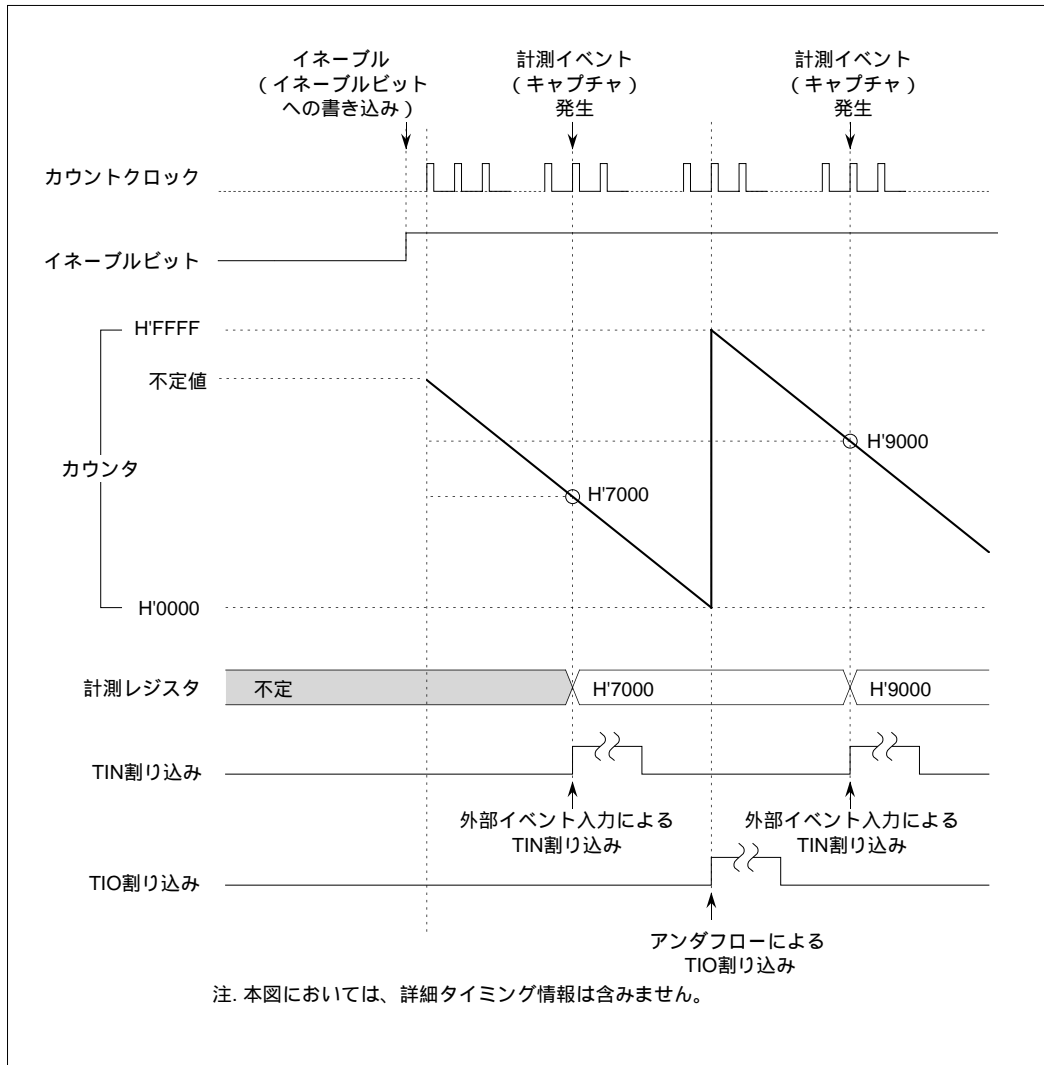


図10.4.8 計測フリーラン入力モードの動作例

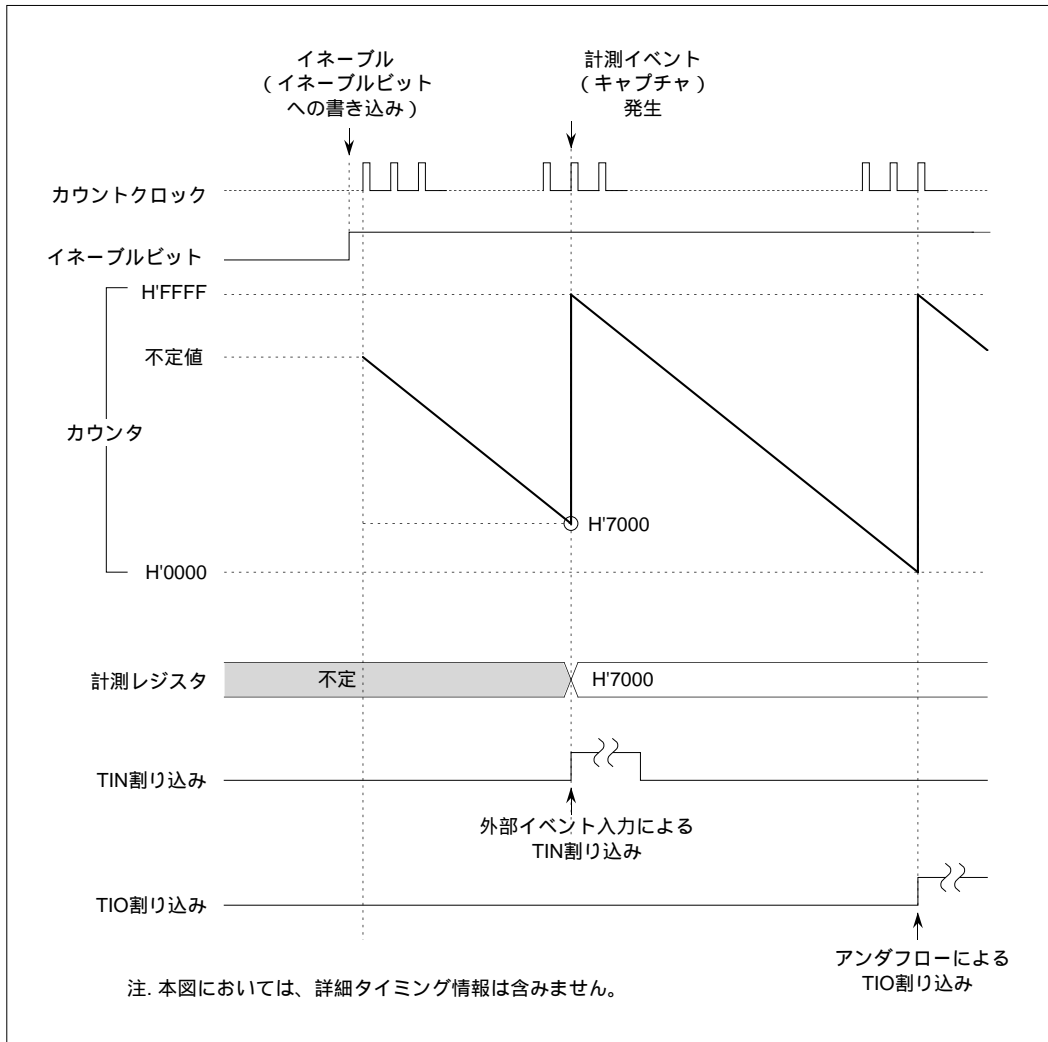


図10.4.9 計測クリア入力モードの動作例

(2) TIO 計測 (フリーラン/クリア) 入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.4.10 TIOノイズ処理入力モードの動作

ノイズ処理入力モードは、入力信号が一定時間以上同じ状態であったことを検出します。

ノイズ処理入力モードでは、外部入力の"L"または"H"レベルでカウンタを動作させ、カウンタがアンダフローするまで一定時間以上同じ状態であれば、割り込みを発生して停止します。有効なレベルの信号が入力されても、カウンタアンダフロー前に無効になった場合はいったんカウントを停止し、再度有効なレベルが入力されたら初期値をカウンタにリロードしてカウント動作を再開します。有効カウント幅はリロードレジスタの設定値+1です。

タイマの停止は、カウンタアンダフロー時、またはイネーブルビットへのカウント停止書き込みと同時にされます。

なお、カウンタのアンダフローで割り込みを発生することができます。

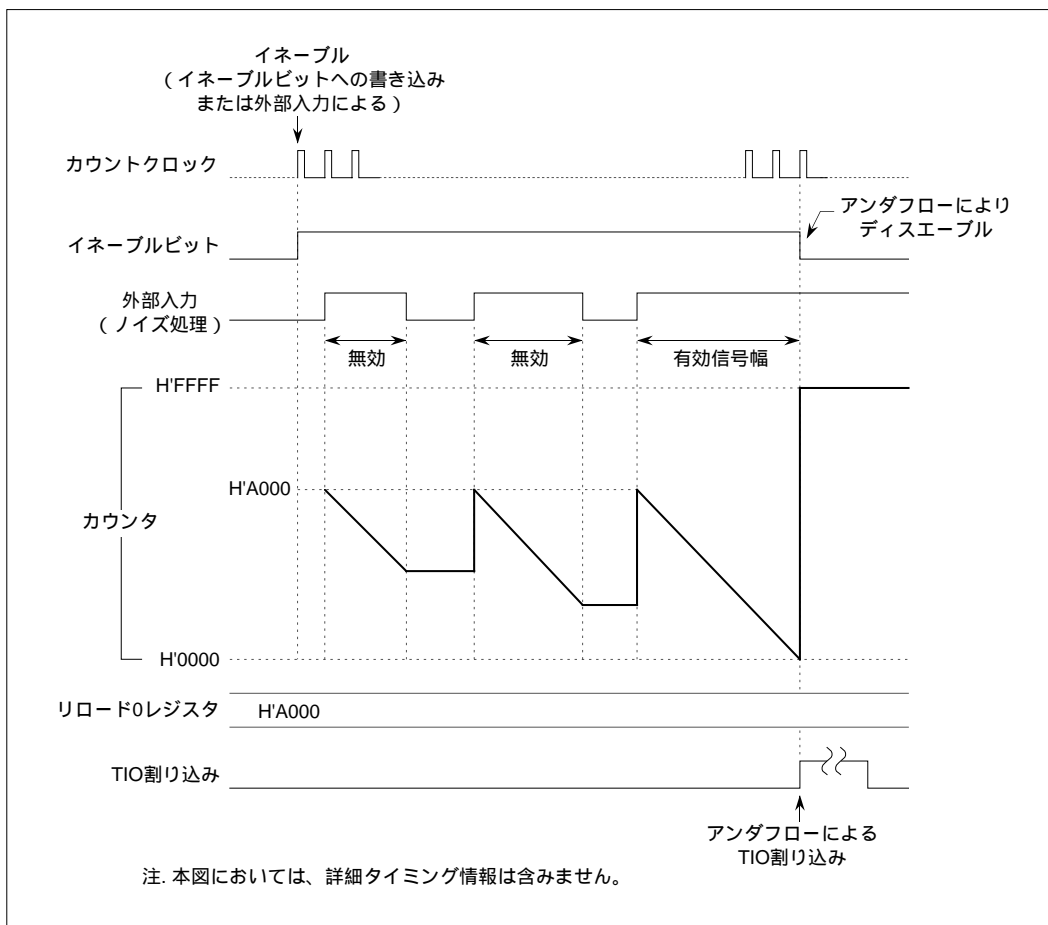


図10.4.10 ノイズ処理入力モードの動作例

10.4.11 TIO PWM出力モード動作

(1) TIO PWM出力モード概要

PWM出力モードは、2つのリロードレジスタを使って、任意のデューティ比の波形を発生するモードです。

リロード0レジスタと、リロード1レジスタに初期値を設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの値をカウンタにロードし、ダウンカウントを開始します。1回目のカウンタアンダフローで、リロード1レジスタの内容をカウンタにロードし、以後アンダフロー発生ごとに、リロード0レジスタとリロード1レジスタのリロードを交互に繰り返します。リロード0レジスタの設定値+1、リロード1レジスタの設定値+1が、それぞれカウント値として有効です。

タイマの停止は、イネーブルビットへのカウント禁止書き込みを行うと同時に Rowe (PWM出力周期には同期しません)。

PWM出力モードのF/F出力波形はカウント開始時と各アンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)します。

また、カウンタイネーブル後の偶数回目のアンダフローで割り込みを発生することができます。

なお、TIOのPWM出力モードには補正機能はありません。

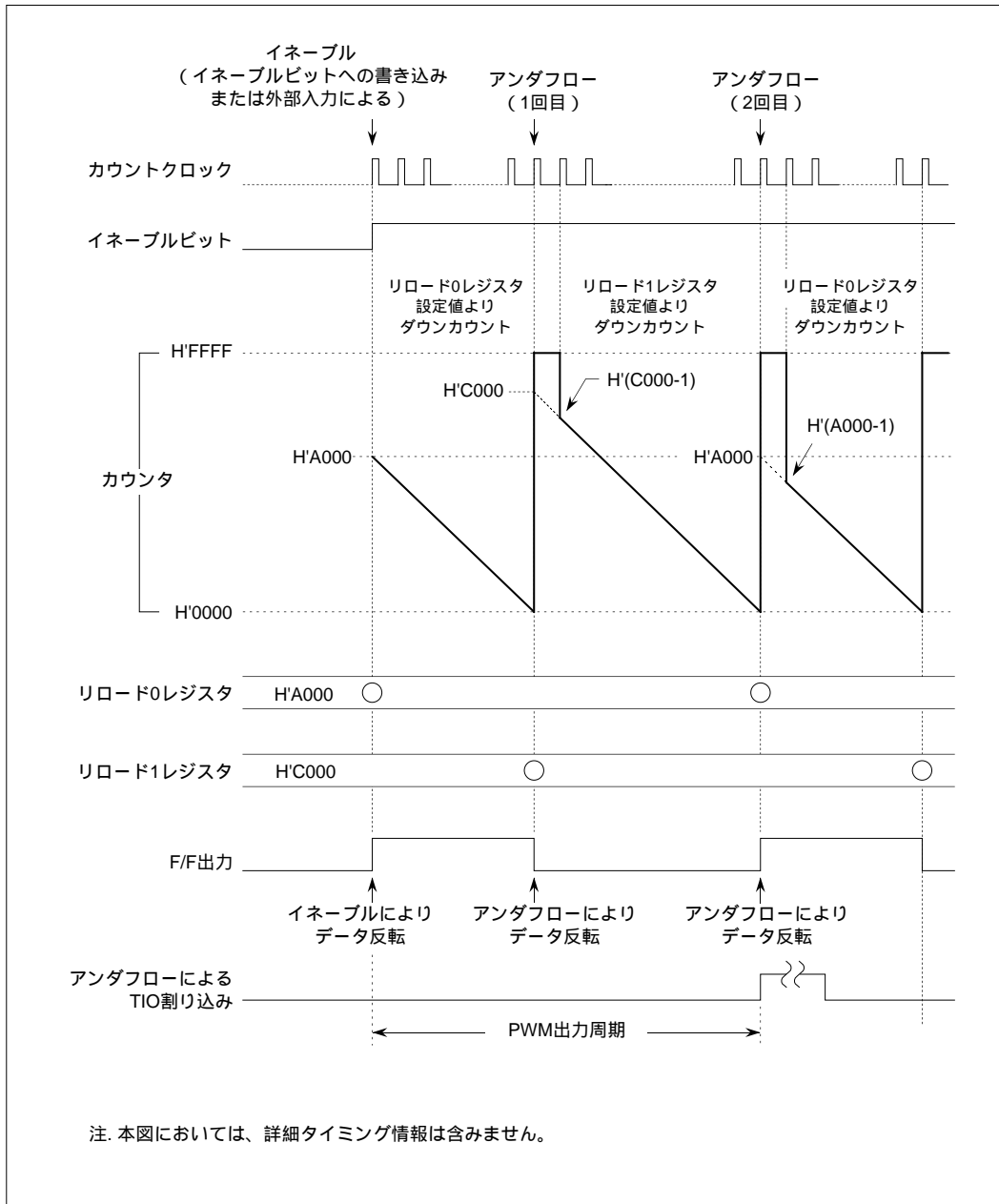


図10.4.11 PWM出力モードの動作例

(2)TIO PWMモードにおけるリロードレジスタの更新

PWM出力モードで、タイマ停止中はリロード0,1レジスタの更新はレジスタへのデータ書き込みと同時に行われますが、タイマ動作中のリロード1レジスタの更新はリロード0レジスタの更新によって行われます。ただし、リロード0,1レジスタをリードすると、常に書き込んだデータが読み出されます。

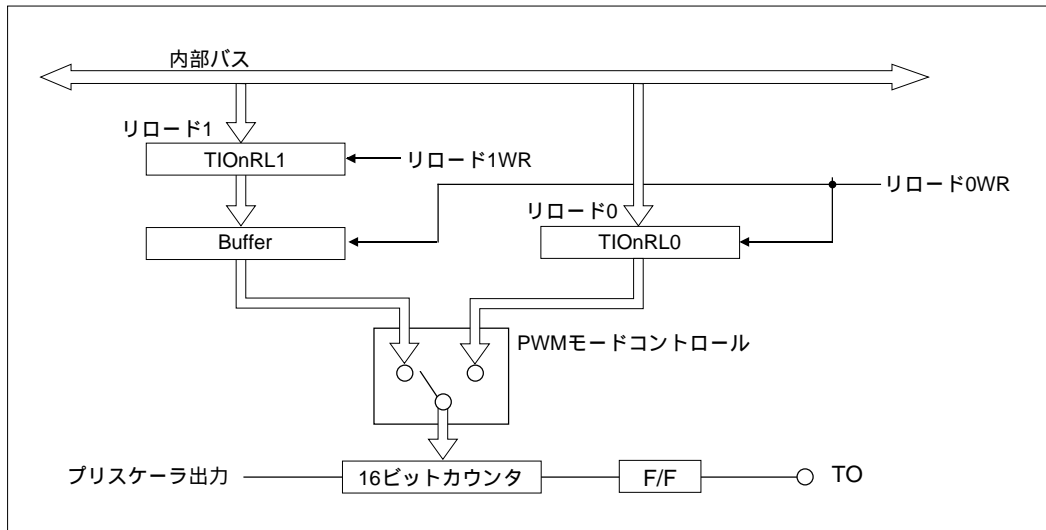


図10.4.12 PWM回路図

タイマ動作中にリロード0レジスタとリロード1レジスタを書き換えたい場合は、まずリロード1レジスタを書き換えてから、リロード0レジスタを書き換えてください。これによりPWM周期に同期してリロード0,1の両方のレジスタが更新された動作になります。

通常この操作はリロード1レジスタのアドレスから始まる32ビットのワードアクセスを行うことで、一括して行うことができます(自動的にリロード1 リロード0レジスタの書き込みが連続して行われます)。

この逆の順でリロード0レジスタ更新後にリロード1レジスタを更新すると、リロード0レジスタのみ更新されます。また、リロード0,1レジスタをリード時、常に書き込んだデータが読み出され、実際に使用されているリロード値は読み出されません。

なお、PWM周期書き換え中、リロード0の書き込みまでにPWM周期が終了した場合、PWM周期の更新は今回行われず次の周期に反映されます。

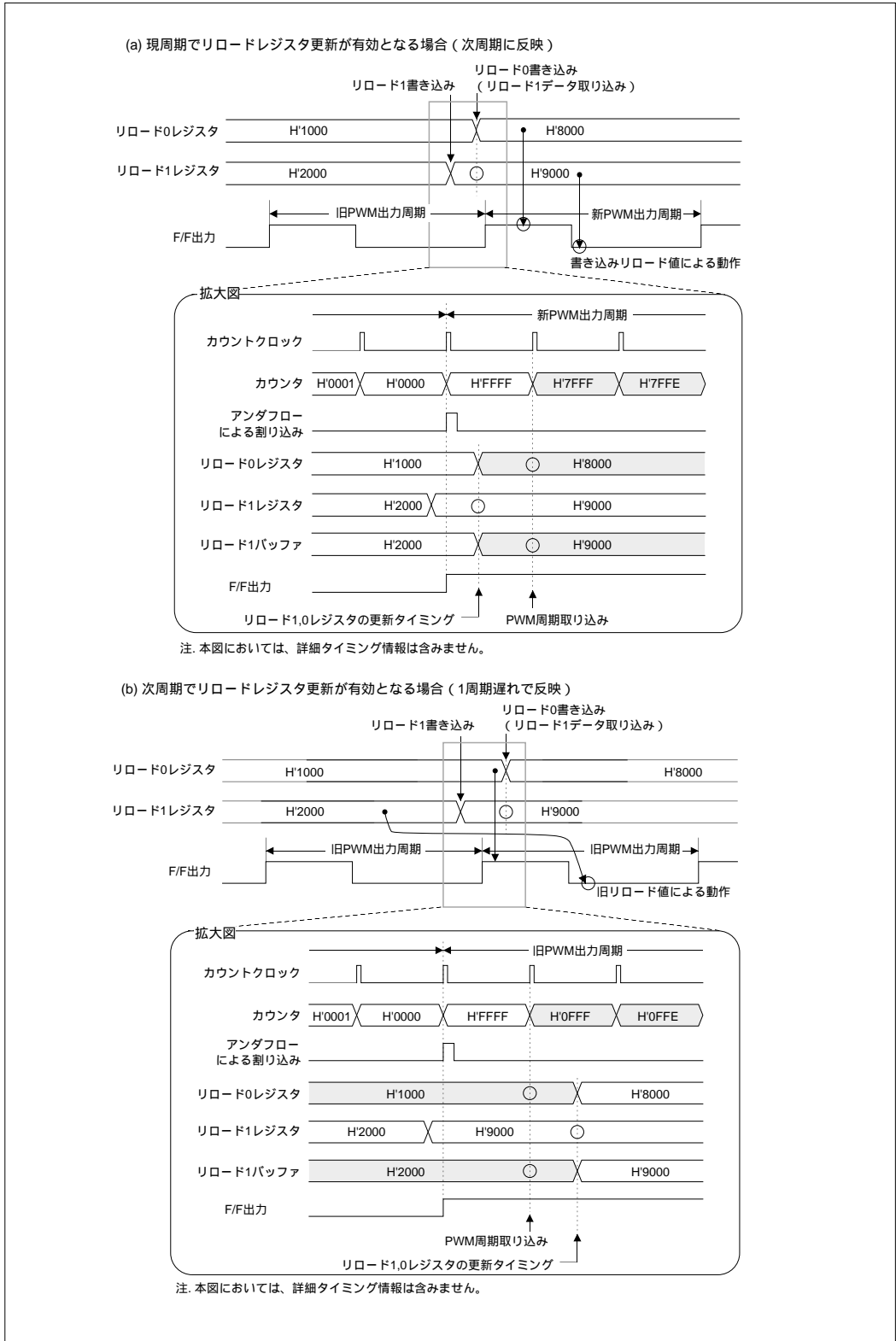


図10.4.13 PWM出力モードにおけるリロード0,1レジスタの更新

10.4.12 TIOワンショット出力モード(補正機能なし)の動作

(1) TIO ワンショット出力モード概要

ワンショット出力モードは、リロード0レジスタの設定値+1の幅のパルスを1回だけ発生して止まるモードです。

リロード0レジスタ設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してリロード0レジスタの内容をカウンタにロードし、カウントを開始します。カウンタはダウンカウントを行い、アンダフローで停止します。

ワンショット出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転し(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形が1回だけ発生します。

また、カウンタアンダフロー時には、割り込みを発生することができます。

カウント値はリロード0レジスタの設定値+1です(カウント動作については10.3.9「TOPワンショット出力モード」も参照してください)。

(2) TIO ワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

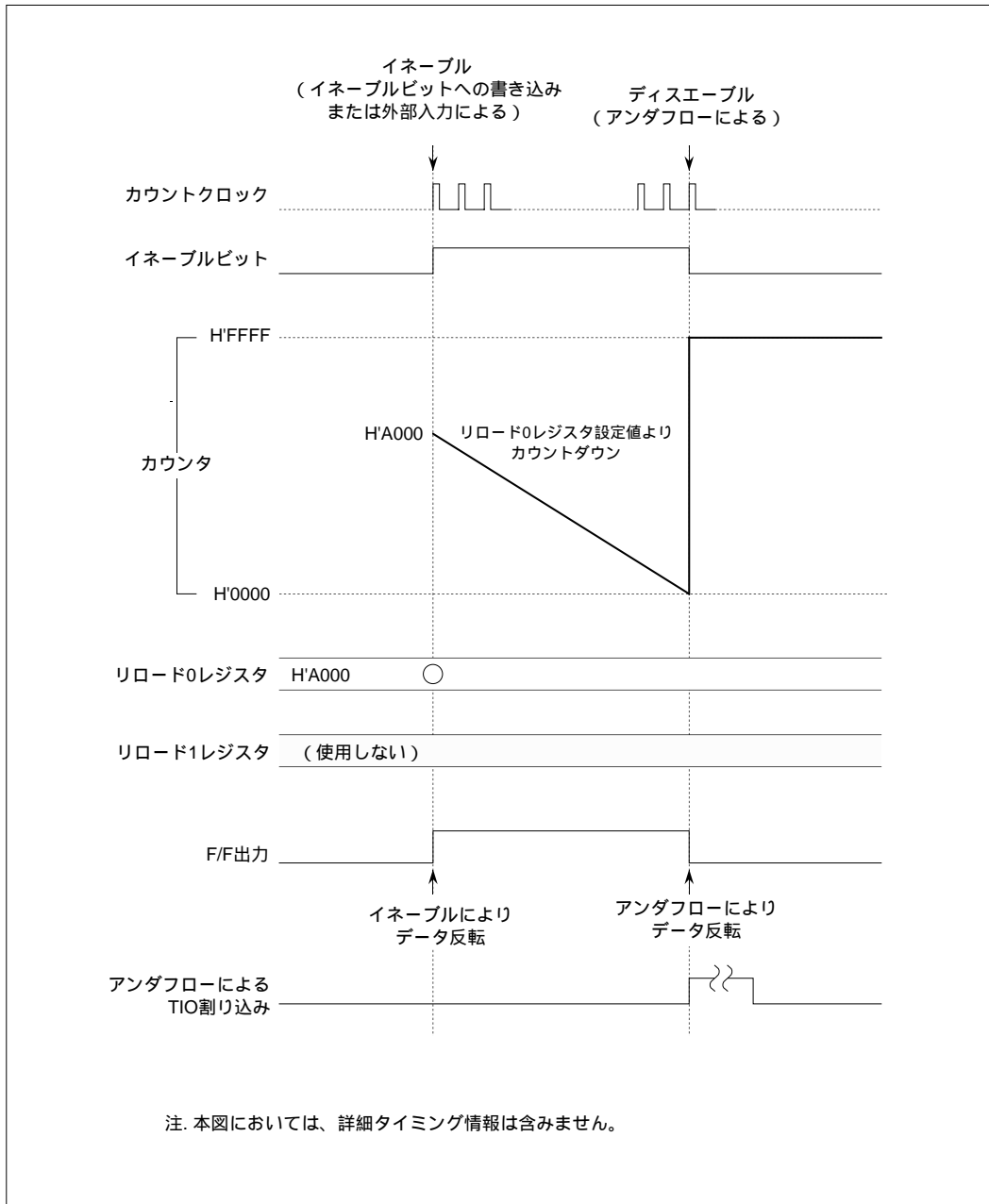


図10.4.14 TIOワンショット出力モード(補正機能なし)の動作例

10.4.13 TIOディレイドワンショット出力モード(補正機能なし)の動作

(1) TIOディレイドワンショット出力モード概要

ディレイドワンショット出力モードは、リロード0レジスタの設定値+1のパルスを、カウンタ設定値+1の分遅れて1回だけ発生して止まるモードです。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウンタクロックに同期してカウンタの設定値からダウンカウントを開始します。

1回目のカウンタアンダフローで、リロード0レジスタの値をカウンタにロードし、さらにダウンカウントを続けて2回目のアンダフローでカウンタを停止します。

ディレイドワンショット出力モードのF/F出力波形は、1回目と2回目のアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、リロード0レジスタ設定値+1のワンショットパルス波形を、最初のカウンタ設定値+1の分遅れて1回だけ発生します。

また、1回目と2回目のカウンタアンダフロー時に、それぞれ割り込みを発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については10.3.10「TOPディレイドワンショット出力モード」も参照してください)。

(2) TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

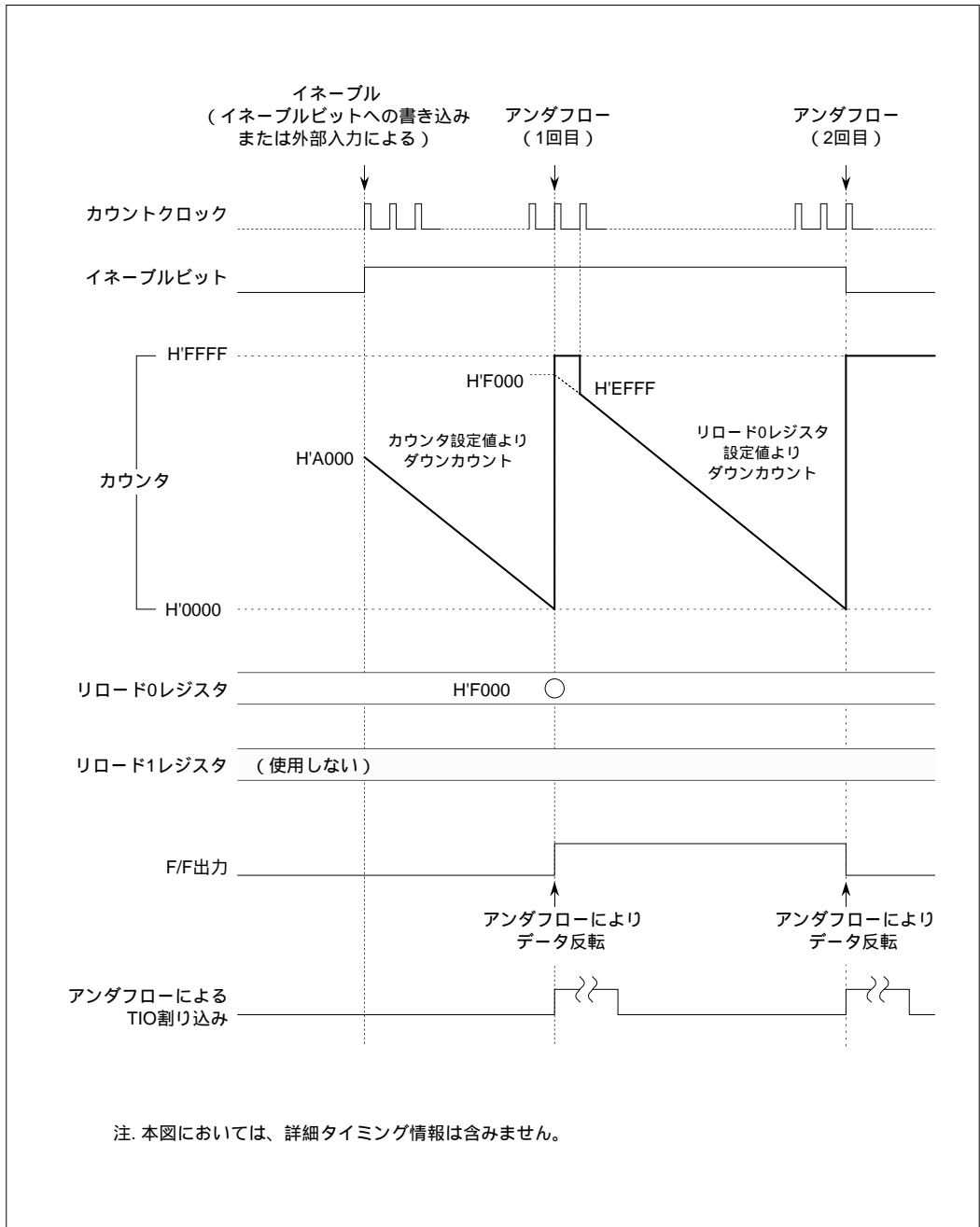


図10.4.15 TIOディレイドワンショット出力モード(補正機能なし)の動作例

10.4.14 TIO連続出力モード(補正機能なし)の動作

(1) TIO 連続出力モード概要

連続出力モードは、カウンタの設定値からダウンカウントを行い、カウンタのアンダフローでリロード0レジスタの値をロードします。以後カウンタのアンダフローごとにこの動作を繰り返し、リロード0レジスタ設定値+1で反転する連続的なパルスが発生します。

カウンタとリロード0レジスタの設定後、タイマをイネーブル(イネーブルビットへのソフトウェア書き込み、または外部入力によるイネーブル)すると、カウントクロックに同期してカウンタ設定値からダウンカウントを開始し、アンダフローが発生します。

このアンダフローによりリロード0レジスタの内容をカウンタにロードし、再度カウントを行います。以後アンダフロー発生ごとにこの動作を繰り返します。カウンタを停止する場合は、イネーブルビットへのソフトウェア書き込みでカウントを禁止します。

連続出力モードのF/F出力波形は、起動時とアンダフロー発生時に反転(F/F出力レベルが"L" "H"、または"H" "L"に変化)し、カウント停止まで連続的なパルス波形を出力します。また、カウンタアンダフローごとに、割り込みが発生することができます。

カウンタの設定値+1、リロード0レジスタの設定値+1がカウント値として有効です(カウント動作については10.3.11「TOP連続出力モード」も参照してください)。

(2) TIO 連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ)出力に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

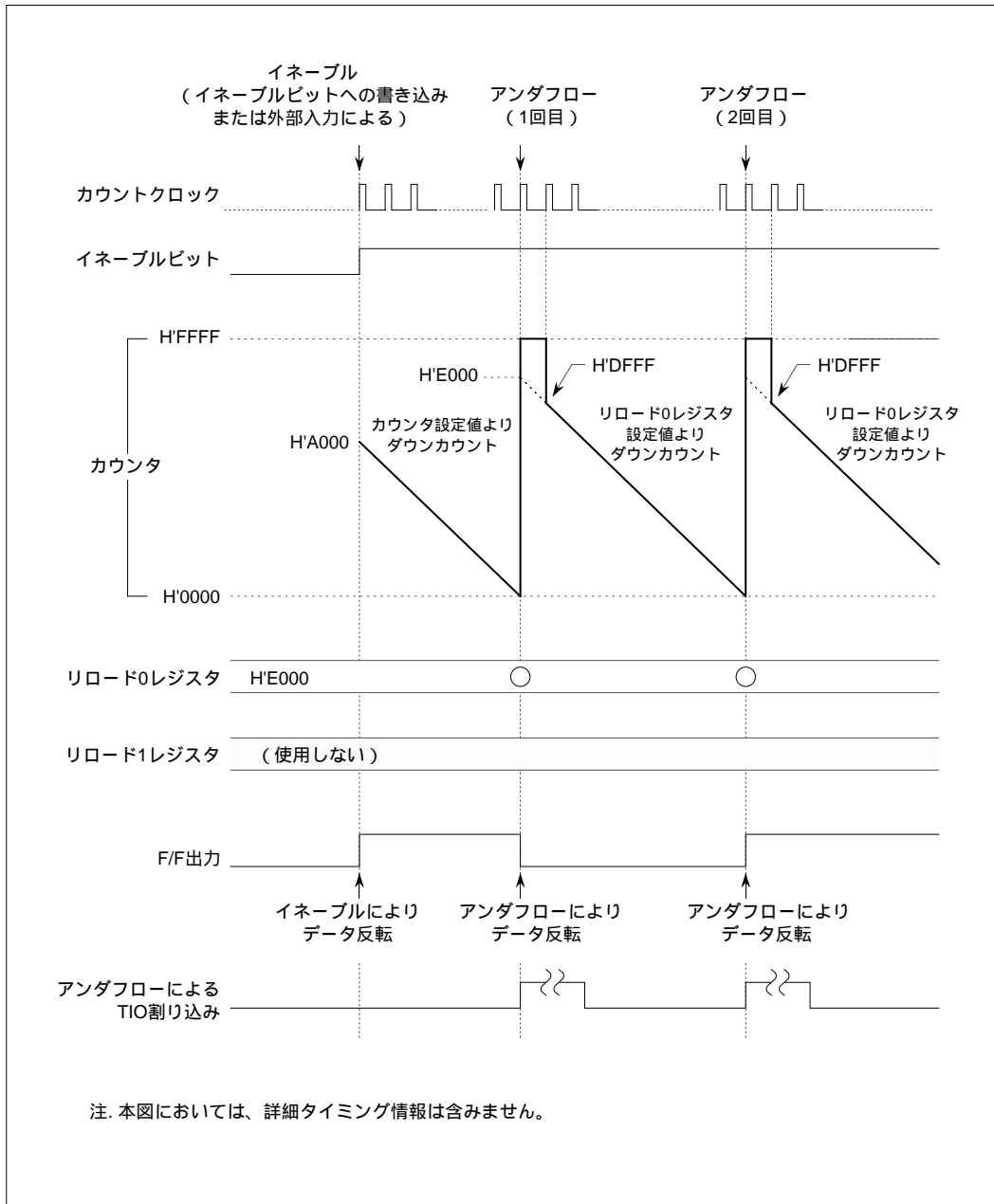


図10.4.16 TIO連続出力モード(補正機能なし)の動作例

10.5 TMS(入力系16ビットタイマ)

10.5.1 TMS概要

TMS(Timer Measure Small)は入力系16ビットタイマで、2系統、計8チャンネルの入力パルス計測が可能です。

以下にTMSの仕様を示します。また、図10.5.1にTMSブロック図を示します。

表10.5.1 TMS(入力系16ビットタイマ)の仕様

項目	仕様
チャンネル数	8チャンネル(2系統 各4チャンネル、計8チャンネル)
カウンタ	16ビットアップカウンタ(2本)
計測レジスタ	16ビット計測レジスタ(8本)
タイマの起動	イネーブルビットへのソフトウェア書き込み
割り込み発生	カウンタのオーバーフローで発生可能

10.5.2 TMSの動作概要

TMSは、タイマの起動(イネーブルビットへのソフトウェア書き込み)により、カウンタの動作を開始します。カウンタは16ビットのアップカウンタで、外部入力による計測信号の発生で、カウンタ値を各計測レジスタに取り込みます。

カウンタの停止は、ソフトウェアによるイネーブルビットへのカウント禁止書き込みと同時に行われます。

外部計測信号の入力でTIN割り込み(TMS0にはTIN割り込みはありません)を、またカウンタのオーバーフロー発生でTMS割り込みを発生することができます。

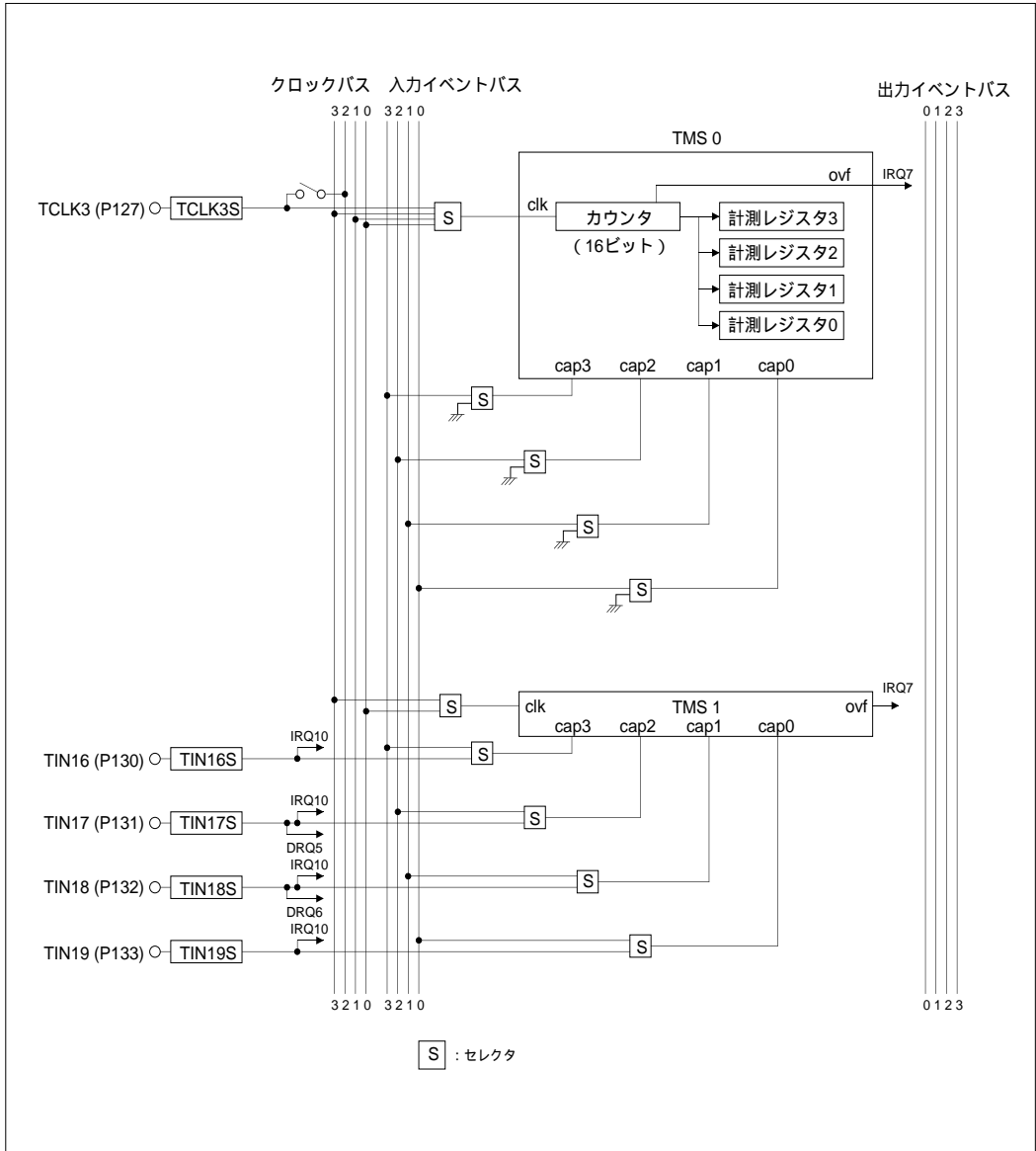


図10.5.1 TMS(入力系16ビットタイマ)ブロック図

10.5.3 TMS関連レジスタマップ

以下にTMS関連のレジスタマッピングを示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 03C0	TMS0カウンタ (TMS0CT)					
H'0080 03C2	TMS0計測3レジスタ (TMS0MR3)					
H'0080 03C4	TMS0計測2レジスタ (TMS0MR2)					
H'0080 03C6	TMS0計測1レジスタ (TMS0MR1)					
H'0080 03C8	TMS0計測0レジスタ (TMS0MR0)					
H'0080 03CA	TMS0制御レジスタ (TMS0CR)			TMS1制御レジスタ (TMS1CR)		
≈ ≈						
H'0080 03D0	TMS1カウンタ (TMS1CT)					
H'0080 03D2	TMS1計測3レジスタ (TMS1MR3)					
H'0080 03D4	TMS1計測2レジスタ (TMS1MR2)					
H'0080 03D6	TMS1計測1レジスタ (TMS1MR1)					
H'0080 03D8	TMS1計測0レジスタ (TMS1MR0)					

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図10.5.2 TMS関連レジスタマップ

10.5.4 TMS制御レジスタ

TMS制御レジスタは、TMS0,1の入カイベント選択、カウンタクロックの入力選択およびカウンタ起動の制御を行います。

TMS制御レジスタには、次の2つのレジスタがあります。

TMS0制御レジスタ(TMS0CR)

TMS1制御レジスタ(TMS1CR)

TMS0 制御レジスタ (TMS0CR)

<アドレス : H'0080 03CA >

D0	1	2	3	4	5	6	D7
TMS0 SS0	TMS0 SS1	TMS0 SS2	TMS0 SS3	TMS0CKS			TMS0CEN

<リセット時 : H'00 >

D	ビット名	機能	R	W
0	TMS0SS0 (TMS0計測0ソース選択)	0 : 非選択 1 : 入力イベントバス0選択		
1	TMS0SS1 (TMS0計測1ソース選択)	0 : 非選択 1 : 入力イベントバス1選択		
2	TMS0SS2 (TMS0計測2ソース選択)	0 : 非選択 1 : 入力イベントバス2選択		
3	TMS0SS3 (TMS0計測3ソース選択)	0 : 非選択 1 : 入力イベントバス3選択		
4,5	TMS0CKS (TMS0クロックソース選択)	00 : 外部入力TCLK3選択 01 : クロックバス0選択 10 : クロックバス1選択 11 : クロックバス3選択		
6	何も配置されていません		0	-
7	TMS0CEN (TMS0カウントイネーブル)	0 : カウント停止 1 : カウント開始		

TMS1 制御レジスタ (TMS1CR)

<アドレス : H'0080 03CB >

D8	9	10	11	12	13	14	D15
TMS1 SS0	TMS1 SS1	TMS1 SS2	TMS1 SS3		TMS1CKS		TMS1CEN

<リセット時 : H'00 >

D	ビット名	機能	R	W
8	TMS1SS0 (TMS1計測0ソース選択)	0 : 外部入力TIN19選択 1 : 入力イベントバス0選択		
9	TMS1SS1 (TMS1計測1ソース選択)	0 : 外部入力TIN18選択 1 : 入力イベントバス1選択		
10	TMS1SS2 (TMS1計測2ソース選択)	0 : 外部入力TIN17選択 1 : 入力イベントバス2選択		
11	TMS1SS3 (TMS1計測3ソース選択)	0 : 外部入力TIN16選択 1 : 入力イベントバス3選択		
12	何も配置されていません		0	-
13	TMS1CKS (TMS1クロックソース選択)	0 : クロックバス0選択 1 : クロックバス3選択		
14	何も配置されていません		0	-
15	TMS1CEN (TMS1カウントイネーブル)	0 : カウント停止 1 : カウント開始		

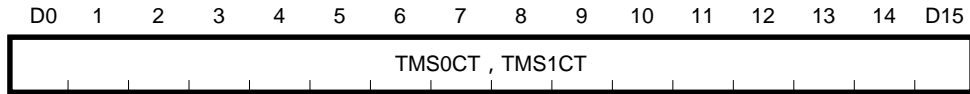
10.5.5 TMSカウンタ(TMS0CT, TMS1CT)

TMS0 カウンタ (TMS0CT)

<アドレス : H'0080 03C0 >

TMS1 カウンタ (TMS1CT)

<アドレス : H'0080 03D0 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	TMS0CT, TMS1CT	16ビットカウンタ値		

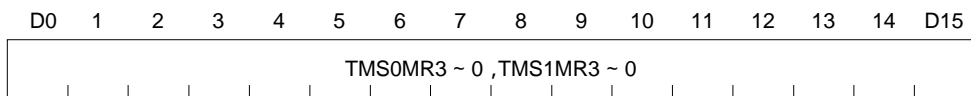
注. このレジスタは、必ずハーフワードでアクセスしてください。

TMSカウンタは16ビットのアップカウンタで、タイマの起動(イネーブルビットへのソフトウェア書き込み)によりカウント動作を開始します。

カウンタは動作中の読み出しが可能です。

10.5.6 TMS計測レジスタ(TMS0MR3~0, TMS1MR3~0)

TMS0 計測 3 レジスタ (TMS0MR3)	<アドレス : H'0080 03C2 >
TMS0 計測 2 レジスタ (TMS0MR2)	<アドレス : H'0080 03C4 >
TMS0 計測 1 レジスタ (TMS0MR1)	<アドレス : H'0080 03C6 >
TMS0 計測 0 レジスタ (TMS0MR0)	<アドレス : H'0080 03C8 >
TMS1 計測 3 レジスタ (TMS1MR3)	<アドレス : H'0080 03D2 >
TMS1 計測 2 レジスタ (TMS1MR2)	<アドレス : H'0080 03D4 >
TMS1 計測 1 レジスタ (TMS1MR1)	<アドレス : H'0080 03D6 >
TMS1 計測 0 レジスタ (TMS1MR0)	<アドレス : H'0080 03D8 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TMS0MR3~TMS0MR0 TMS1MR3~TMS1MR0	16ビットカウンタ値		—

注1. このレジスタは読み出しのみ可能です。

注2. このレジスタはバイトでもハーフワードでもアクセス可能です。

TMS計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TMS計測レジスタは、読み出しのみ可能です。

10.5.7 TMS計測入力の動作

(1) TMS計測入力概要

TMS計測入力では、まずタイマの起動(イネーブルビットへのソフトウェア書き込み)によりアップカウントを開始します。タイマ動作中にTMSイベント入力がある場合、計測レジスタ0~3にカウンタ値を取り込みます。

タイマの停止は、イネーブルビットへのカウンタ停止書き込みと同時に行われます。

外部から計測信号が入力された場合にはTIN割り込み(TMS1のみ。TMS0にはTIN割り込みがありません)を、またカウンタがオーバーフローした場合にはTMS割り込みを発生することができます。

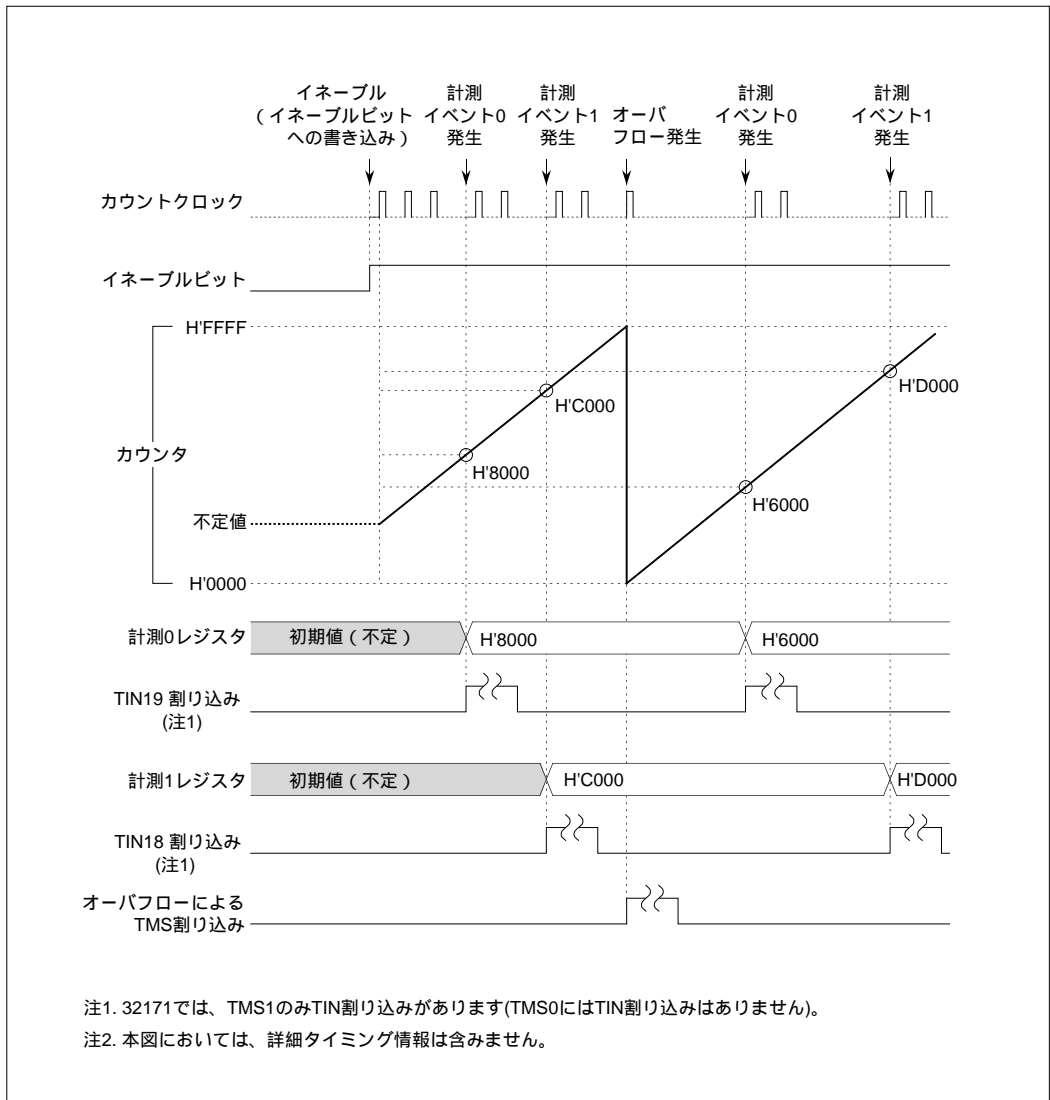


図10.5.3 TMS計測入力の動作例

(2) TMS 計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

10.6 TML(入力系32ビットタイマ)

10.6.1 TML概要

TML(Timer Measure Large)は入力系32ビットタイマで、2系統、計8チャンネルの入力パルス計測が可能です。

以下にTMLの仕様を表10.6.1に示します。図10.6.1にTMLブロック図を示します。

表10.6.1 TML(入力系32ビットタイマ)の仕様

項目	仕様
チャンネル数	8チャンネル(2系統、各4チャンネル、計8チャンネル)
入力クロック	内部周辺動作クロック周波数の1/2(内部周辺クロック動作20MHz時は10.0MHz) または、クロックバス1入力
カウンタ	32ビットアップカウンタ(2本)
計測レジスタ	32ビット計測レジスタ(8本)
タイマの起動	リセット解除後カウント動作開始

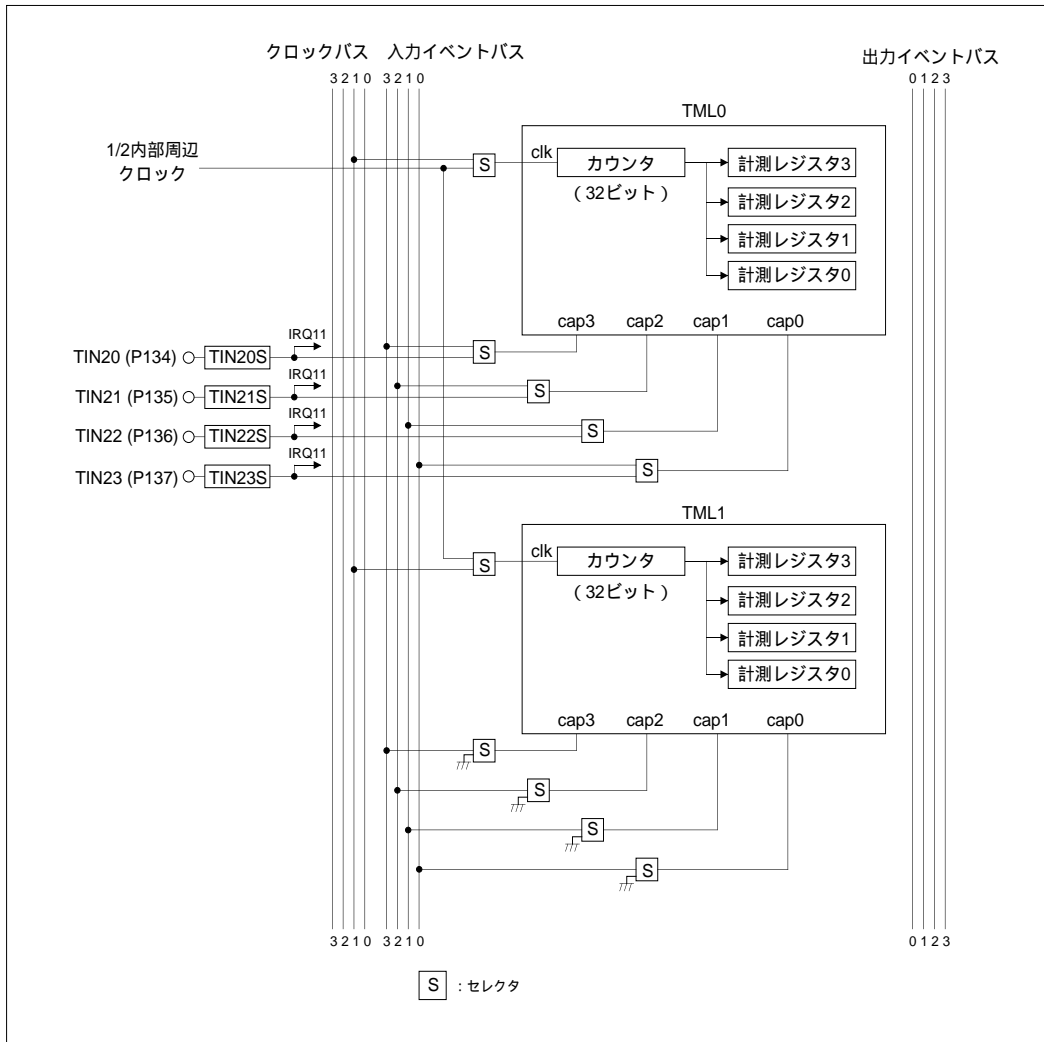


図10.6.1 TML(入力系32ビットタイム)ブロック図

10.6.2 TMLの動作概要

TMLは、リセット解除により、カウンタの動作を開始します。カウンタは32ビットのアップカウンタで、外部入力による計測イベント信号の発生で、その時点のカウンタ値を各計測レジスタ(32ビット)に格納します。

カウンタはリセット解除により、1/2内部周辺クロックで動作を開始します。動作開始後カウンタを停止させることはできません。リセット中のみカウントを停止します。

外部計測信号の入力でTIN割り込みを発生することができます(TML0のみ。TML1にはTIN割り込みがありません)。ただし、TMLカウンタのオーバーフロー割り込みはありません。

10.6.3 TML関連レジスタマップ

以下にTML関連のレジスタマップを示します。

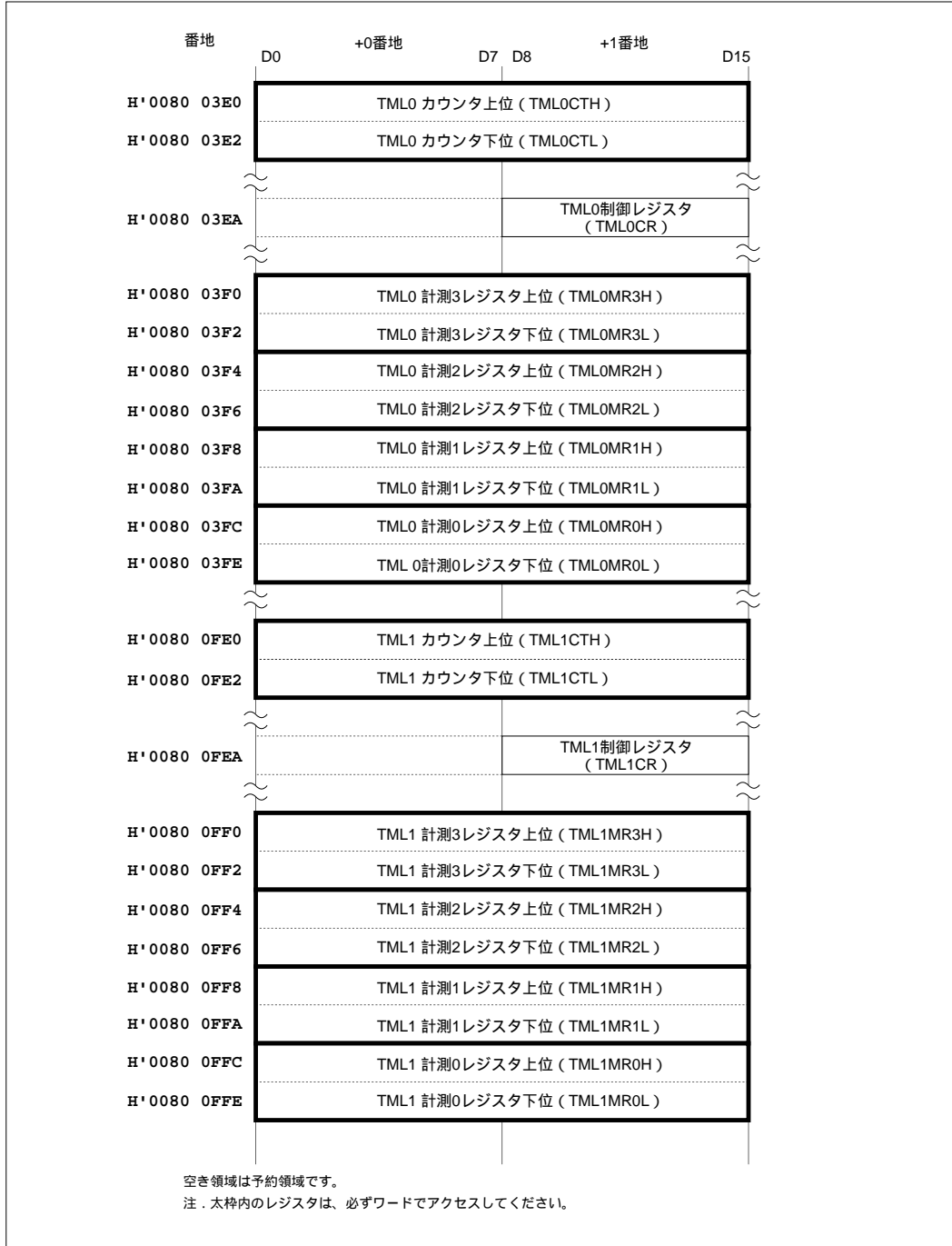
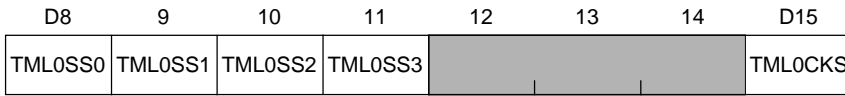


図10.6.2 TML関連レジスタマップ

10.6.4 TML制御レジスタ

TML0 制御レジスタ (TML0CR)

< アドレス : H'0080 03EB >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8	TML0SS0 (TML0計測0ソース選択)	0 : 外部入力TIN23選択 1 : 入力イベントバス0選択		
9	TML0SS1 (TML0計測1ソース選択)	0 : 外部入力TIN22選択 1 : 入力イベントバス1選択		
10	TML0SS2 (TML0計測2ソース選択)	0 : 外部入力TIN21選択 1 : 入力イベントバス2選択		
11	TML0SS3 (TML0計測3ソース選択)	0 : 外部入力TIN20選択 1 : 入力イベントバス3選択		
12 ~ 14	何も配置されていません		0	-
15	TML0CKS (TML0クロックソース選択)	0 : 1/2内部周辺クロック選択 1 : クロックバス1選択		

TML0制御レジスタは、TML0の入力イベント選択およびカウントクロックの選択を行います。

注. クロックソースとして、1/2内部周辺クロックが入力されている場合のみ、カウンタの正常書き込みが可能です。1/2内部周辺クロック以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

TML1 制御レジスタ (TML1CR)

<アドレス : H'0080 0FEB >

D8	9	10	11	12	13	14	D15
TML1SS0	TML1SS1	TML1SS2	TML1SS3				TML1CKS

<リセット時 : H'00 >

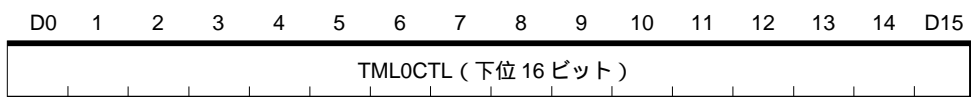
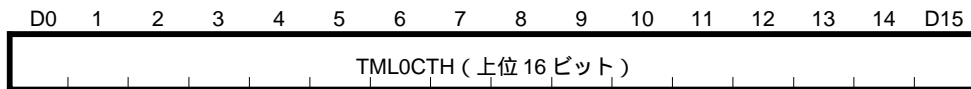
D	ビット名	機能	R	W
8	TML1SS0 (TML1計測0ソース選択)	0 : 非選択 1 : 入力イベントバス0選択		
9	TML1SS1 (TML1計測1ソース選択)	0 : 非選択 1 : 入力イベントバス1選択		
10	TML1SS2 (TML1計測2ソース選択)	0 : 非選択 1 : 入力イベントバス2選択		
11	TML1SS3 (TML1計測3ソース選択)	0 : 非選択 1 : 入力イベントバス3選択		
12~14	何も配置されていません		0	-
15	TML1CKS (TML1クロックソース選択)	0 : 1/2内部周辺クロック選択 1 : クロックバス1選択		

TML1制御レジスタは、TML1の入力イベント選択およびカウントクロックの選択を行います。

注. クロックソースとして、1/2内部周辺クロックが入力されている場合のみ、カウンタの正常書き込みが可能です。1/2内部周辺クロック以外のクロックを使用すると、カウンタの書き込みが正常にできません。この条件でカウンタへの書き込みは行わないでください。

10.6.5 TMLカウンタ

TML0 カウンタ上位 (TML0CTH) <アドレス : H'0080 03E0 >
 TML0 カウンタ下位 (TML0CTL) <アドレス : H'0080 03E2 >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~15	TML0CTH	32ビットカウンタ値(上位16ビット)		
	TML0CTL	32ビットカウンタ値(下位16ビット)		

注. このレジスタは必ずTML0CTHのアドレスから始まるワード(32ビット)でアクセスしてください。

TML0カウンタは32ビットのアップカウンタで、リセット解除後、カウント動作を開始します。TML0CTHが32ビットカウンタの上位16ビット、TML0CTLが下位16ビットのレジスタです。

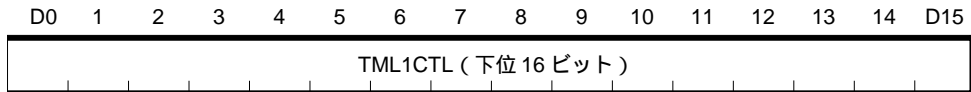
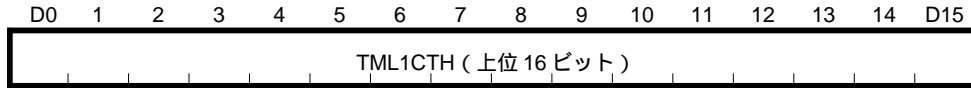
カウンタは動作中の読み出しが可能です。

TML1 カウンタ上位 (TML1CTH)

<アドレス : H'0080 0FE0 >

TML1 カウンタ下位 (TML1CTL)

<アドレス : H'0080 0FE2 >



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~15	TML1CTH	32ビットカウンタ値(上位16ビット)		
	TML1CTL	32ビットカウンタ値(下位16ビット)		

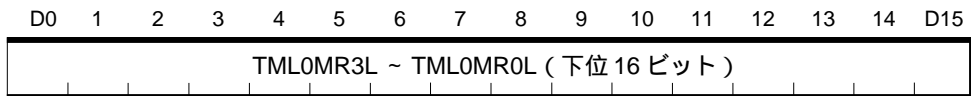
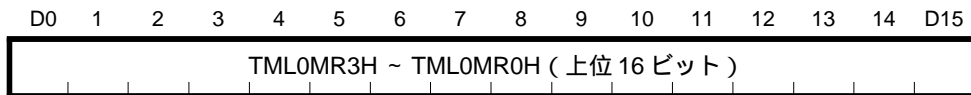
注. このレジスタは必ずTML1CTHのアドレスから始まるワード(32ビット)でアクセスしてください。

TML1カウンタは32ビットのアップカウンタで、リセット解除後、カウント動作を開始します。TML1CTHが32ビットカウンタの上位16ビット、TML1CTLが下位16ビットのレジスタです。

カウンタは動作中の読み出しが可能です。

10.6.6 TML計測レジスタ

TML0 計測 3 レジスタ (TML0MR3H)	<アドレス : H'0080 03F0 >
TML0 計測 3 レジスタ (TML0MR3L)	<アドレス : H'0080 03F2 >
TML0 計測 2 レジスタ (TML0MR2H)	<アドレス : H'0080 03F4 >
TML0 計測 2 レジスタ (TML0MR2L)	<アドレス : H'0080 03F6 >
TML0 計測 1 レジスタ (TML0MR1H)	<アドレス : H'0080 03F8 >
TML0 計測 1 レジスタ (TML0MR1L)	<アドレス : H'0080 03FA >
TML0 計測 0 レジスタ (TML0MR0H)	<アドレス : H'0080 03FC >
TML0 計測 0 レジスタ (TML0MR0L)	<アドレス : H'0080 03FE >



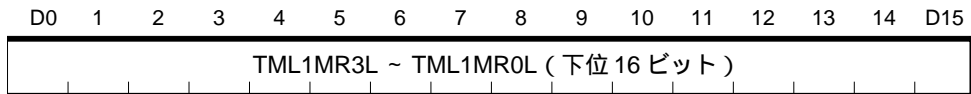
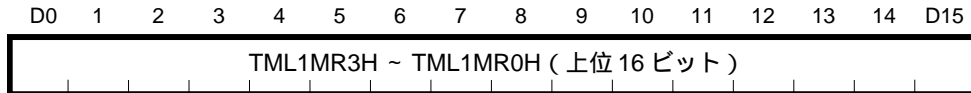
<リセット時 : 不定>				
D	ビット名	機能	R	W
0 ~ 15	TML0MR3H ~ 0H	32ビット計測レジスタ値 (上位16ビット)		—
	TML0MR3L ~ 0L	32ビット計測レジスタ値 (下位16ビット)		—

注1. これらのレジスタは読み出しのみ可能です。

注2. これらのレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TML0計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TML0計測レジスタは32ビット構成でTML0MR3H~0Hが上位16ビット、TML0MR3L~0Lが下位16ビットのレジスタです。TML0計測レジスタは、読み出しのみ可能です。レジスタへのアクセスは必ずワード境界からのワード単位で行ってください。

TML1 計測 3 レジスタ (TML1MR3H)	<アドレス : H'0080 0FF0 >
TML1 計測 3 レジスタ (TML1MR3L)	<アドレス : H'0080 0FF2 >
TML1 計測 2 レジスタ (TML1MR2H)	<アドレス : H'0080 0FF4 >
TML1 計測 2 レジスタ (TML1MR2L)	<アドレス : H'0080 0FF6 >
TML1 計測 1 レジスタ (TML1MR1H)	<アドレス : H'0080 0FF8 >
TML1 計測 1 レジスタ (TML1MR1L)	<アドレス : H'0080 0FFA >
TML1 計測 0 レジスタ (TML1MR0H)	<アドレス : H'0080 0FFC >
TML1 計測 0 レジスタ (TML1MR0L)	<アドレス : H'0080 0FFE >



<リセット時 : 不定>

D	ビット名	機能	R	W
0 ~ 15	TML1MR3H ~ 0H	32ビット計測レジスタ値(上位16ビット)		-
	TML1MR3L ~ 0L	32ビット計測レジスタ値(下位16ビット)		

注1. これらのレジスタは読み出しのみ可能です。

注2. これらのレジスタは必ずワード境界からワード(32ビット)単位でアクセスしてください。

TML1計測レジスタは、イベント入力時にカウンタの内容を取り込むレジスタです。TML1計測レジスタは32ビット構成でTML1MR3H~0Hが上位16ビット、TML1MR3L~0Lが下位16ビットのレジスタです。TML1計測レジスタは、読み出しのみ可能です。レジスタへのアクセスは必ずワード境界からのワード単位で行ってください。

10.6.7 TML計測入力の動作

(1) TML 計測入力概要

TML計測入力では、リセット解除によりアップカウントを開始します。計測レジスタ0～3へイベント入力があると、カウンタ値を計測レジスタに取り込みます。

外部計測信号の入力でTIN割り込みを発生することができます(TML0のみ。TML1にはTIN割り込みはありません)。ただし、カウンタのオーバーフロー割り込みはありません。

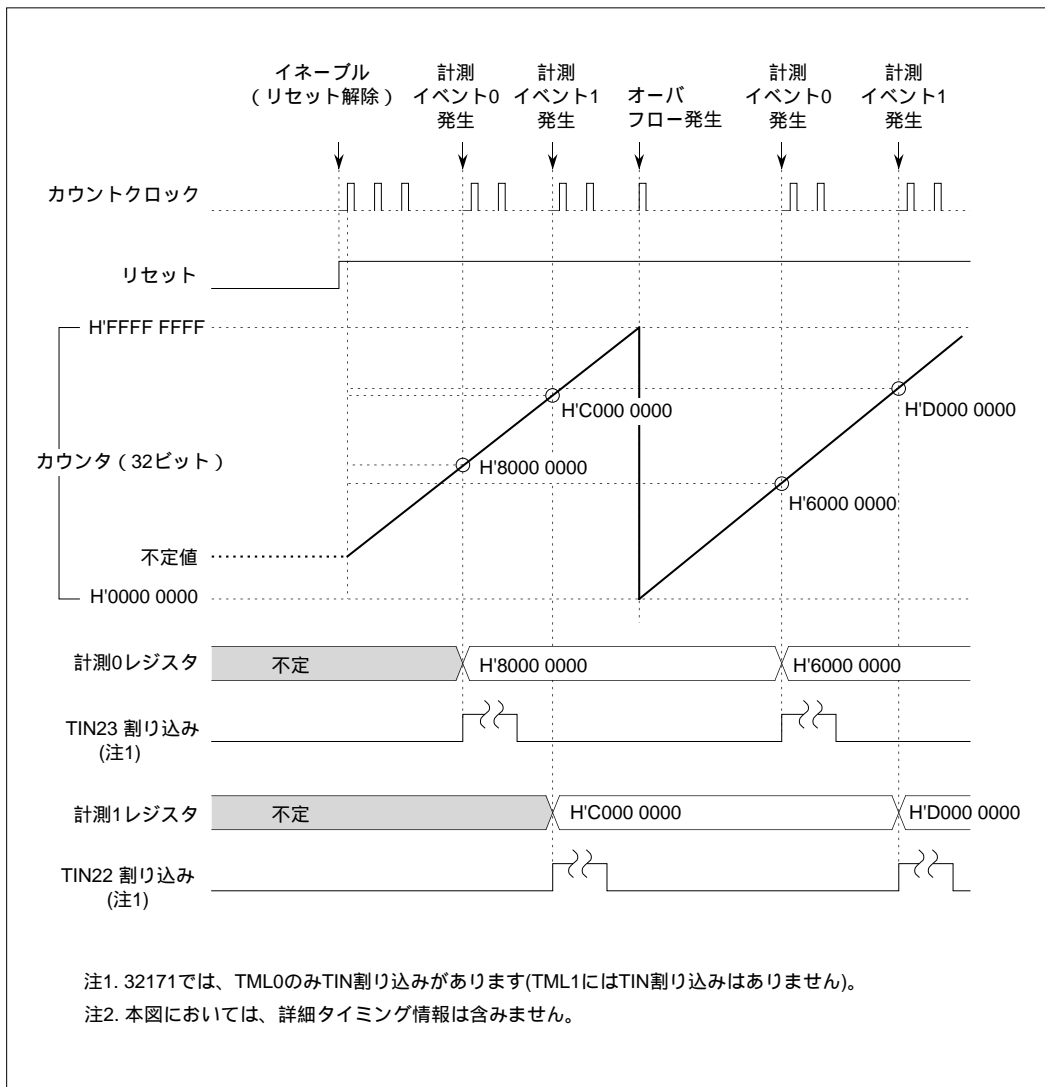


図10.6.3 TML計測入力の動作例

(2) TML 計測入力使用上の注意

TML計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き替え前の)アップカウント値が取り込まれます。

クロックバス1を選択した場合で、1/2内部周辺クロック以外のクロックを使用すると、カウンタへの書き込みが正常にできなくなりますので、1/2内部周辺クロック以外のクロックを使用した場合はカウンタへの書き込みを行わないでください。

クロックバス1を選択した場合で、1/2内部周辺クロック以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも一つ進んだ値を取り込みます。ただし、カウンタクロックから1/2内部周辺クロック周期の間は、カウンタ値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。

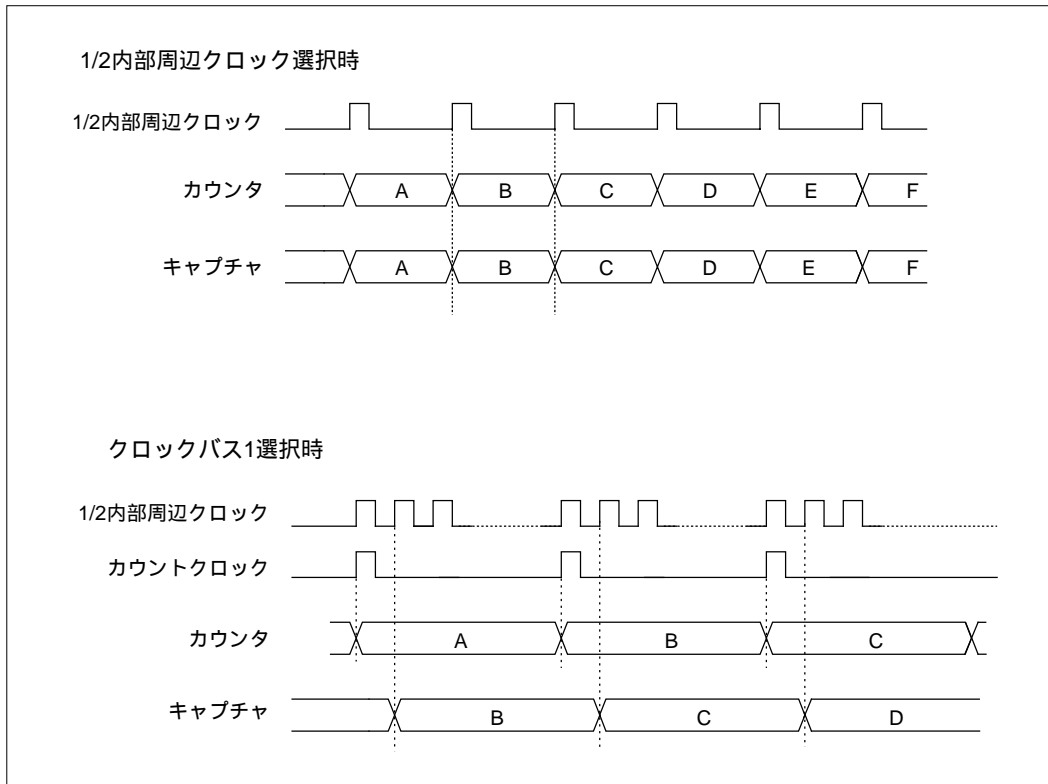


図10.6.4 カウンタ値とキャプチャ値のずれ

第11章

A-D変換器

- 11.1 A-D変換器概要
- 11.2 A-D変換器関連レジスタ
- 11.3 A-D変換器機能説明
- 11.4 A-D変換器の注意事項

11.1 A-D変換器概要

32171は、10ビット分解能を持つ逐次近似比較方式のA-D変換器を内蔵しています。アナログ入力端子(チャンネル)は、AD0IN0～AD0IN15の16チャンネルあります。

また、A-D変換結果の8ビット読み出し機能と10ビット読み出し機能があります。

A-D変換には、以下に示す変換モードと動作モードがあります。

(1) 変換モード

A-D変換モード : 通常のアナログ入力電圧をA-D変換するモード
コンパレータモード(注) : 設定した比較電圧とアナログ入力電圧を比較して、その大小のみを得るモード(単一モードのみ)

(2) 動作モード

単一モード : 1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレート(注)するモード
スキャンモード : 選択された複数チャンネル(4, 8, 16チャンネル単位)のアナログ入力電圧を順次A-D変換するモード

(3) スキャンモードの種類

スキャンワンショットモード : スキャン動作を1周期行うモード
スキャン連続モード : スキャン動作を停止するまで繰り返し行うモード

(4) 特殊動作モード

スキャンモード動作中の単一モード強制実行 :
スキャン動作中に強制的に単一モード変換を実行するモード
単一モード実行後スキャンモード開始 :
単一モードからスキャン動作を連続して起動するモード
変換再スタート :
単一モードまたはスキャンモードで、動作中のA-D変換動作を再スタートするモード

A-D変換およびコンパレート速度は、ノーマルと倍速の2種類から選択できます。また、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。

注. 逐次近似比較方式であるA-D変換器内部の比較動作と、A-D変換器をコンパレータとして使用するコンパレータモードでの動作を区別するために、本書ではコンパレータモードでの比較動作のことを「コンパレート」と呼びます。

表11.1.1にA-D変換器の概要を、図11.1.1にA-D変換器のブロック図を示します。

表11.1.1 A-D変換器の概要

項目	内容		
アナログ入力	16チャンネル		
A-D変換方式	逐次近似比較方式		
分解能	10ビット（8ビット/10ビット変換結果読み出し機能）		
絶対精度(注1)（条件： Ta = 25℃, AVCC0 = VREF0 = 5.12V）	ノーマルモード	±2LSB	
	倍速モード	±2LSB	
変換モード	A-D変換モード, コンパレータモード		
動作モード	単一モード, スキャンモード		
スキャンモード	スキャンワンショットモード, スキャン連続モード		
変換起動トリガ	ソフトウェア起動	A-D変換スタートビットに"1"をセット	
	ハードウェア起動	MJT出力イベントバス3 によるA-D0変換器の起動（注2）	
変換速度	単一モード時 f(BCLK) :	ノーマル	299 × 1 / f(BCLK)
		倍速	173 × 1 / f(BCLK)
	コンパレータモード時 (注3)	ノーマル	47 × 1 / f(BCLK)
		倍速	29 × 1 / f(BCLK)
割り込み要求発生機能	A-D変換終了時, コンパレート終了時		
	スキャンワンショット終了時, スキャン連続モードの1周期終了時		
DMA転送要求発生機能	A-D変換終了時, コンパレート終了時		
	スキャンワンショット終了時, スキャン連続モードの1周期終了時		

注1. 規格値(精度)は、マイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。

注2. 第10章「マルチジャンクションタイマ」をご覧ください。

注3. 入力クロック(XIN) = 10MHzの時、f(BCLK) = 20MHz。

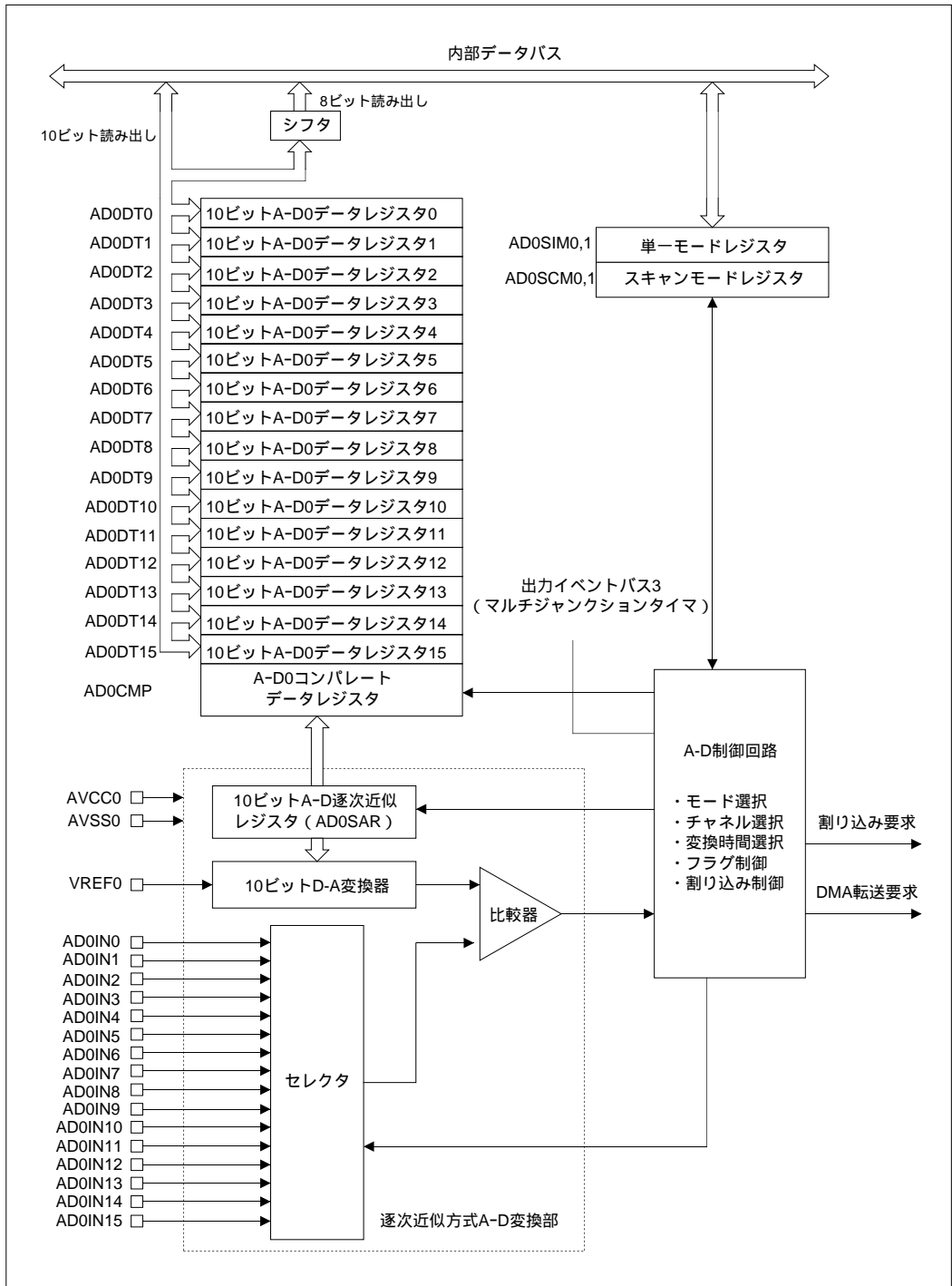


図11.1.1 A-D0変換器のブロック図

11.1.1 変換モード

A-D変換器の変換モードには、「A-D変換モード」と「コンパレータモード」があります。

(1) A-D変換モード

A-D変換モードでは、指定されたチャンネルのアナログ入力電圧をA-D変換します。

単一モードの場合は、単一モードレジスタ1のアナログ入力端子選択ビットで選択されたチャンネルのA-D変換を行います。

スキャンモードの場合は、スキャンモードレジスタ0の設定にしたがい、スキャンモードレジスタ1で選択されたチャンネルのA-D変換を行います。

変換結果はそれぞれのチャンネルに対応した10ビットA-Dデータレジスタに格納します。また、8ビットA-Dデータレジスタからは8ビットA-D変換結果が読み出せます。

単一モードの場合はA-D変換終了時に、またスキャンモードの場合はスキャンループの1周期終了時に、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

(2) コンパレータモード

コンパレータモードでは、指定されたチャンネルのアナログ入力電圧と逐次近似レジスタの値をコンパレート(比較)し、その結果(値の大小)をフラグに返します。

コンパレートするチャンネルの指定は、単一モードレジスタ1のアナログ入力端子選択ビットで行います。またコンパレート結果のフラグ("1"または"0")は、A-Dコンパレートデータレジスタの、選択されたチャンネルに対応するビットにセットされます。

コンパレート終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

11.1.2 動作モード

A-D変換器の動作モードには、「単一モード」と「スキャンモード」があります。

(1) 単一モード

単一モードは、選択された1チャンネルのアナログ入力電圧を1回A-D変換、またはコンパレートするモードです。A-D変換の終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

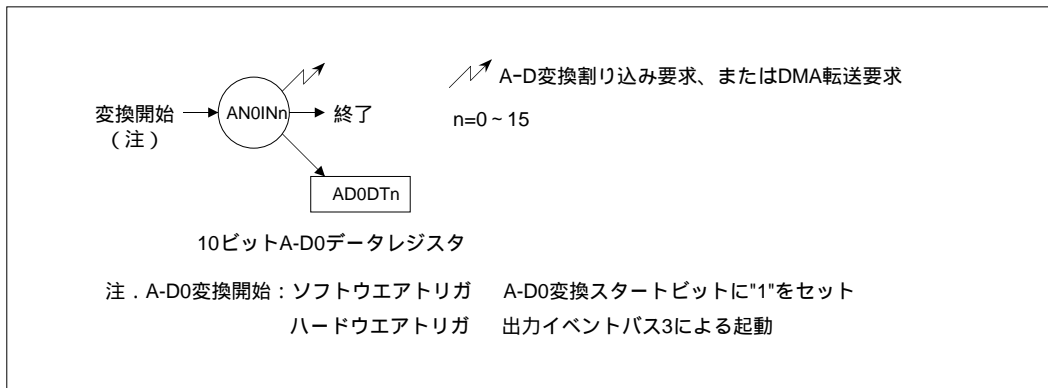


図11.1.2 単一モード動作(A-D変換)

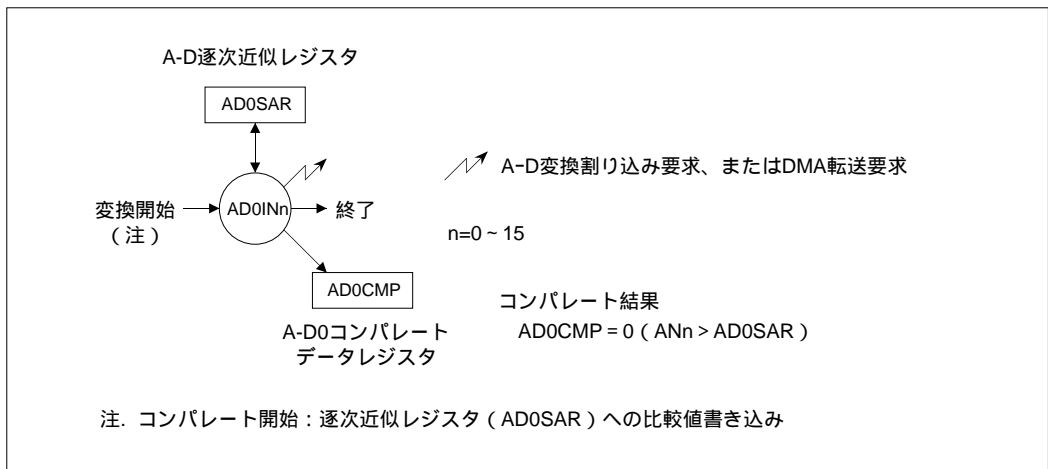


図11.1.3 単一モード動作(コンパレート)

(2) スキャンモード

スキャンモードは、選択された複数チャンネル(4, 8, 16チャンネル単位)のアナログ入力電圧を順次A-D変換するモードです。

スキャンモードには、1周期のスキャン動作でA-D変換を終了する「スキャンワンショットモード」と、スキャンモードレジスタのA-D変換ストップビットに"1"を書き込むまでスキャン動作を継続する「スキャン連続モード」があります。

スキャンモードの選択は、スキャンモードレジスタ0で行います。また、スキャンするチャンネルの選択は、スキャンモードレジスタ1で行います。なおスキャンされるチャンネルの組み合わせと順序は、4、8、16の3種類から選択できます(4チャンネルスキャン時はAD0IN0 ~ AD0IN3、8チャンネルスキャン時はAD0IN0 ~ AD0IN7、16チャンネルスキャン時はAD0IN0 ~ AD0IN15が使用されます)。

1周期のスキャン動作終了時には、A-D変換割り込み要求、またはDMA転送要求を発生することができます。

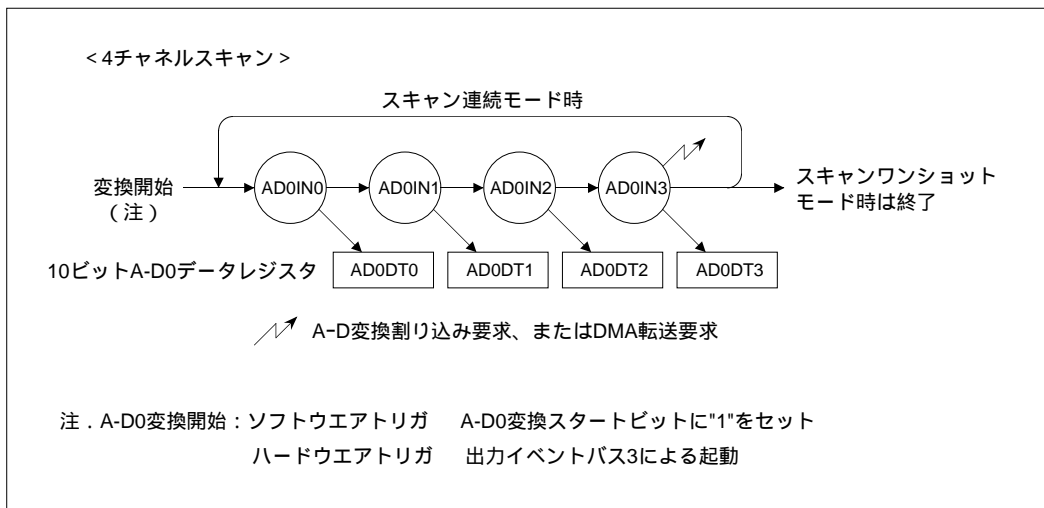


図11.1.4 スキャンモードA-D変換動作(4チャンネルスキャン時)

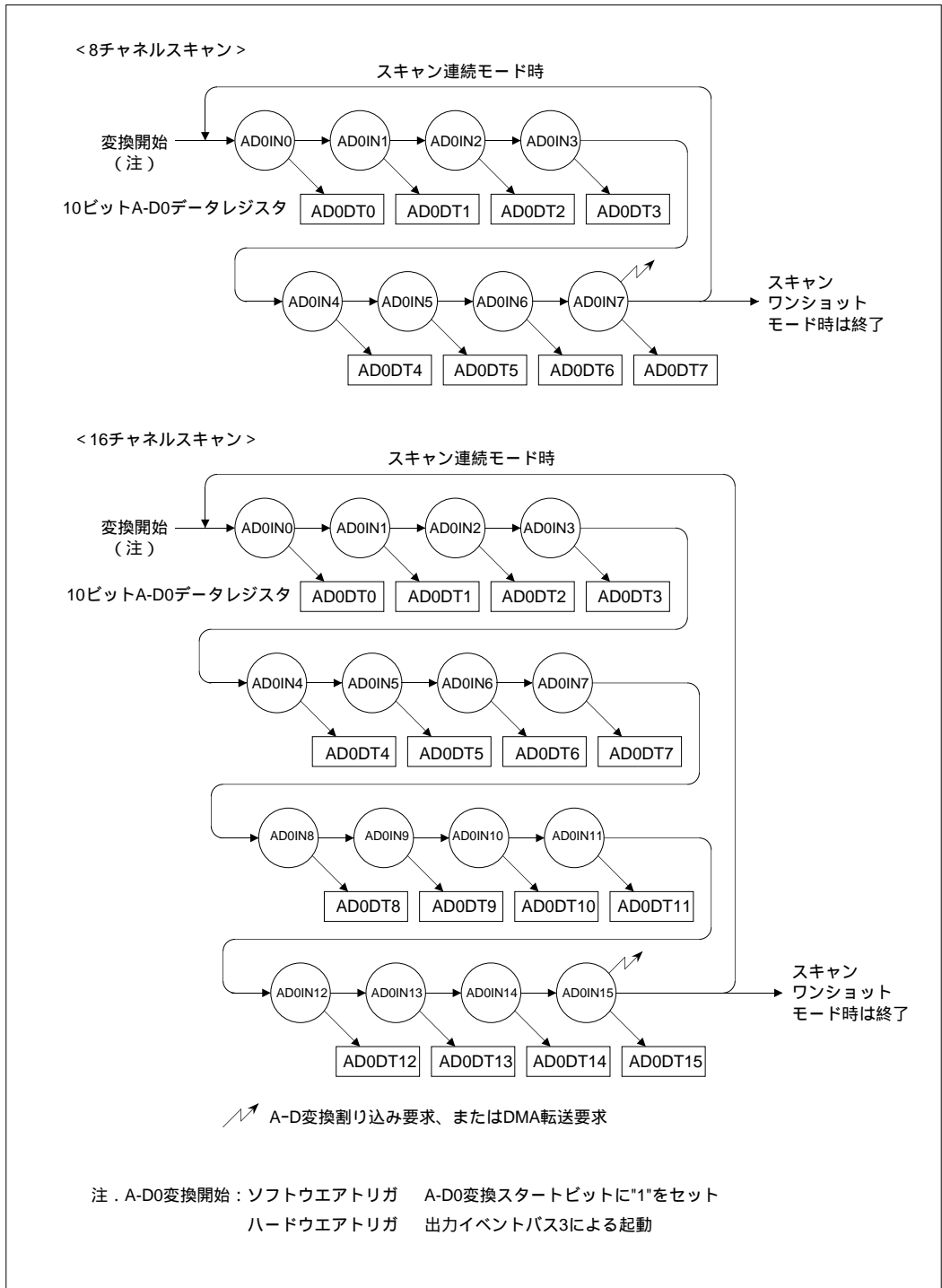


図11.1.5 スキャンモードA-D変換動作(8チャンネル、 16チャンネルスキャン時)

表11.1.2 スキャンモードでのA-D変換結果の格納レジスタ

スキャン ループ選択	スキャンワンショット モード対象チャネル	スキャン連続 モード対象チャネル	A-D変換結果 格納レジスタ
4チャンネルスキャン	AD0IN0	AD0IN0	10ビットA-D0データレジスタ0
	AD0IN1	AD0IN1	10ビットA-D0データレジスタ1
	AD0IN2	AD0IN2	10ビットA-D0データレジスタ2
	AD0IN3	AD0IN3	10ビットA-D0データレジスタ3
	終了	AD0IN0	10ビットA-D0データレジスタ0
		∴ (強制終了まで繰り返し)	∴
8チャンネルスキャン	AD0IN0	AD0IN0	10ビットA-D0データレジスタ0
	AD0IN1	AD0IN1	10ビットA-D0データレジスタ1
	AD0IN2	AD0IN2	10ビットA-D0データレジスタ2
	AD0IN3	AD0IN3	10ビットA-D0データレジスタ3
	AD0IN4	AD0IN4	10ビットA-D0データレジスタ4
	AD0IN5	AD0IN5	10ビットA-D0データレジスタ5
	AD0IN6	AD0IN6	10ビットA-D0データレジスタ6
	AD0IN7	AD0IN7	10ビットA-D0データレジスタ7
	終了	AD0IN0	10ビットA-D0データレジスタ0
	∴ (強制終了まで繰り返し)	∴	
16チャンネルスキャン	AD0IN0	AD0IN0	10ビットA-D0データレジスタ0
	AD0IN1	AD0IN1	10ビットA-D0データレジスタ1
	AD0IN2	AD0IN2	10ビットA-D0データレジスタ2
	AD0IN3	AD0IN3	10ビットA-D0データレジスタ3
	AD0IN4	AD0IN4	10ビットA-D0データレジスタ4
	AD0IN5	AD0IN5	10ビットA-D0データレジスタ5
	AD0IN6	AD0IN6	10ビットA-D0データレジスタ6
	AD0IN7	AD0IN7	10ビットA-D0データレジスタ7
	AD0IN8	AD0IN8	10ビットA-D0データレジスタ8
	AD0IN9	AD0IN9	10ビットA-D0データレジスタ9
	AD0IN10	AD0IN10	10ビットA-D0データレジスタ10
	AD0IN11	AD0IN11	10ビットA-D0データレジスタ11
	AD0IN12	AD0IN12	10ビットA-D0データレジスタ12
	AD0IN13	AD0IN13	10ビットA-D0データレジスタ13
	AD0IN14	AD0IN14	10ビットA-D0データレジスタ14
	AD0IN15	AD0IN15	10ビットA-D0データレジスタ15
終了	AD0IN0	10ビットA-D0データレジスタ0	
	∴ (強制終了まで繰り返し)	∴	

11.1.3 特殊動作モード

(1) スキャンモード動作中の単一モード強制実行

この特殊動作モードは、スキャンモード動作中に指定チャンネルの単一モード変換(A-D変換またはコンパレート)を強制的に実行します。A-D変換モードの場合は、指定チャンネルに対応した10ビットA-Dデータレジスタに、コンパレートモードの場合は10ビットA-Dコンパレートデータレジスタに変換結果を格納します。指定チャンネルのA-D変換またはコンパレートが終了すると、スキャン中にキャンセルされたチャンネルから再びスキャンモードのA-D変換を再開します。

ソフトウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、A-D変換の場合は、同レジスタのA-D変換スタートビットに"1"をセットします。また、コンパレートモードの場合は、スキャンモード動作中にA-D逐次近似レジスタ(AD0SAR)へ比較する値を書き込みます。

ハードウェアでスキャンモード動作中に単一モード変換を起動するには、単一モードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、同レジスタで指定したハードウェアトリガ(出力イベントバス3)を入力します。

指定チャンネルでの変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

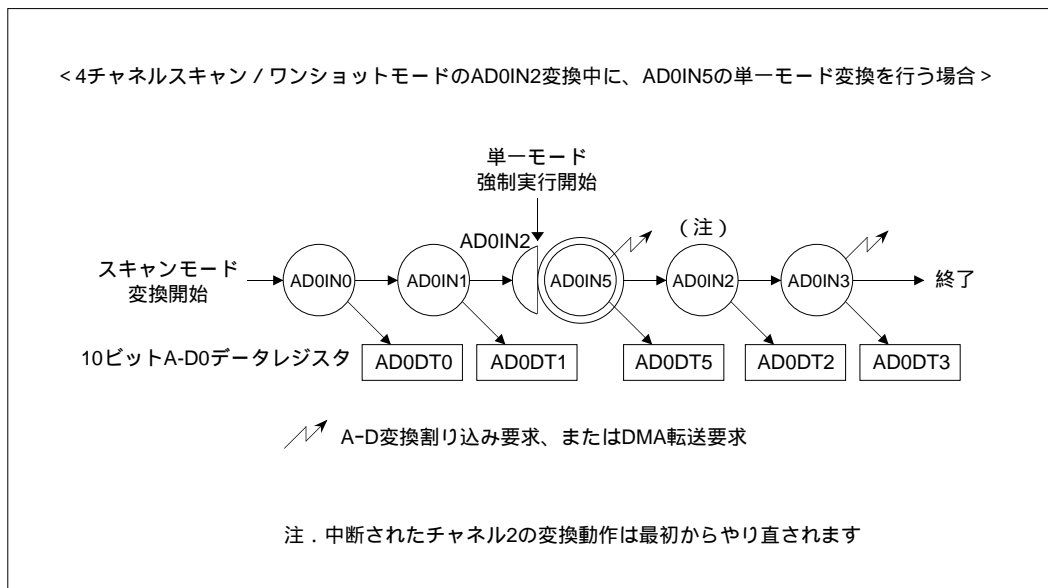


図11.1.6 スキャンモード動作中の単一モード強制実行

(2) 単一モード実行後スキャンモード開始

この特殊動作モードは、単一モード変換(A-D変換またはコンパレート)から連続してスキャン動作を起動します。

ソフトウェアで起動するには、スキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでソフトウェアトリガを選択し、単一モード変換動作中にスキャンモードレジスタ0内のA-D変換スタートビットに"1"をセットします。

ハードウェアで起動するには、スキャンモードレジスタ0内のA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、単一モード変換動作中に同レジスタで指定したハードウェアトリガ(出力イベントバス3)を入力します。

単一モードレジスタ0、およびスキャンモードレジスタ0の両方のレジスタのA-D変換開始トリガ選択ビットでハードウェアトリガを選択し、ハードウェアトリガ(出力イベントバス3)が入力された場合は、最初に単一モード変換を行い、単一モード変換実行後、続けてスキャンモード変換を行います。

指定チャンネルでの単一モード変換終了時、および1周期のスキャン動作終了時にA-D変換割り込み要求またはDMA転送要求を発生することができます。

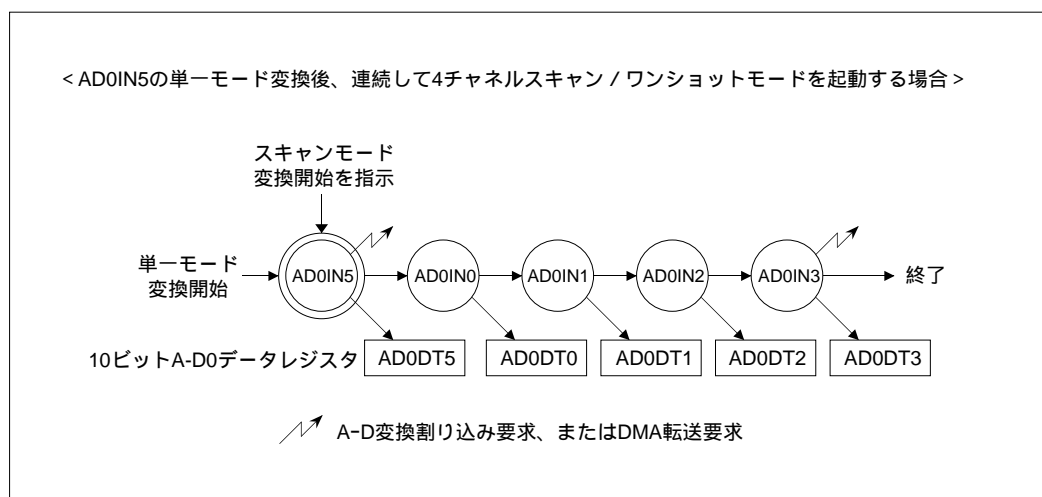


図11.1.7 単一モード実行後スキャンモード開始

(3) 変換再スタート

この特殊動作モードは、単一モードまたはスキャンモードで実行中の動作を中止して、再度最初からやり直すものです。

単一モードの場合は、A-D変換またはコンパレート中に単一モードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ(出力イベントバス3)を入力すると、実行中の動作をやり直します。

スキャンモードの場合は、スキャン動作中にスキャンモードレジスタ0内のA-D変換スタートビットに再度"1"をセットするか、ハードウェアトリガ信号(出力イベントバス3)を入力すると、変換中のチャンネルをキャンセルし、チャンネル0からA-D変換を行います。

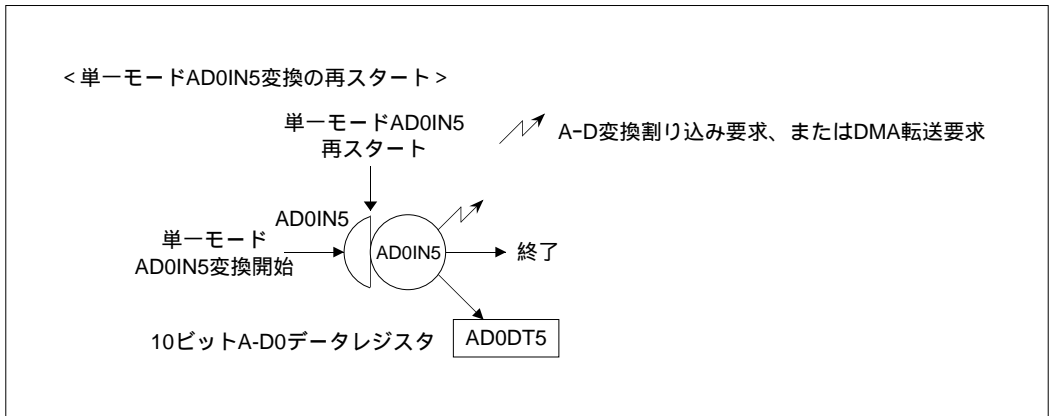


図11.1.8 単一モード動作中の変換再スタート

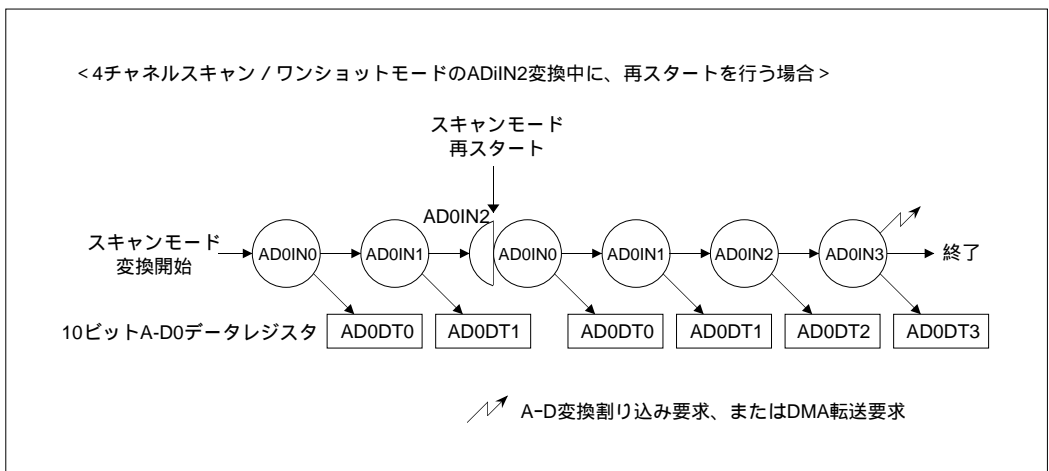


図11.1.9 スキャン動作中の変換再スタート

11.1.4 A-D変換器の割り込み要求とDMA転送要求

A-D変換器では、A-D変換終了時、コンパレート終了時、スキャンワンショット終了時、およびスキャン連続モードの1周期終了ごとに、A-D変換割り込み要求またはDMA転送要求を発生することができます。

A-D変換割り込み要求とDMA転送要求の選択は、単一モードレジスタ0と、スキャンモードレジスタ0で行います。

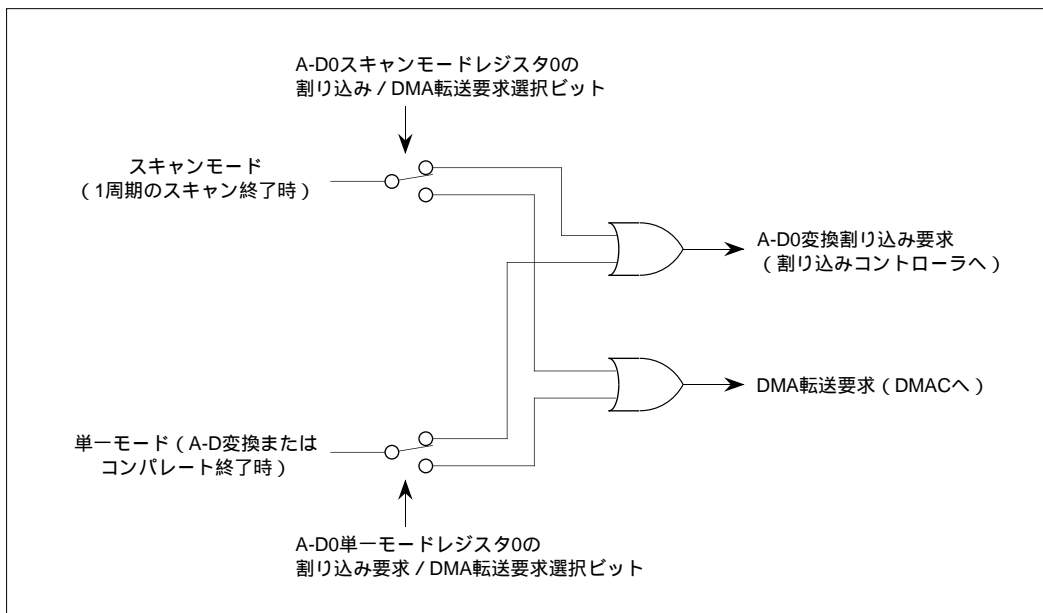


図11.1.10 割り込み要求とDMA転送要求の切り替え

11.2 A-D変換器関連レジスタ

A-D変換器関連レジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0080	A-D0単一モードレジスタ0 (AD0SIM0)			A-D0単一モードレジスタ1 (AD0SIM1)		
H'0080 0082						
H'0080 0084	A-D0スキャンモードレジスタ0 (AD0SCM0)			A-D0スキャンモードレジスタ1 (AD0SCM1)		
H'0080 0086						
H'0080 0088	A-D0逐次近似レジスタ (AD0SAR)					
H'0080 008A						
H'0080 008C	A-D0コンパレートデータレジスタ (AD0CMP)					
	⋮					⋮
H'0080 0090	10ビットA-D0データレジスタ0 (AD0DT0)					
H'0080 0092	10ビットA-D0データレジスタ1 (AD0DT1)					
H'0080 0094	10ビットA-D0データレジスタ2 (AD0DT2)					
H'0080 0096	10ビットA-D0データレジスタ3 (AD0DT3)					
H'0080 0098	10ビットA-D0データレジスタ4 (AD0DT4)					
H'0080 009A	10ビットA-D0データレジスタ5 (AD0DT5)					
H'0080 009C	10ビットA-D0データレジスタ6 (AD0DT6)					
H'0080 009E	10ビットA-D0データレジスタ7 (AD0DT7)					
H'0080 00A0	10ビットA-D0データレジスタ8 (AD0DT8)					
H'0080 00A2	10ビットA-D0データレジスタ9 (AD0DT9)					
H'0080 00A4	10ビットA-D0データレジスタ10 (AD0DT10)					
H'0080 00A6	10ビットA-D0データレジスタ11 (AD0DT11)					
H'0080 00A8	10ビットA-D0データレジスタ12 (AD0DT12)					
H'0080 00AA	10ビットA-D0データレジスタ13 (AD0DT13)					
H'0080 00AC	10ビットA-D0データレジスタ14 (AD0DT14)					
H'0080 00AE	10ビットA-D0データレジスタ15 (AD0DT15)					
	⋮					⋮

空き領域は予約領域です。
注：太枠内のレジスタは、必ずハーフワードでアクセスしてください。

図11.2.1 A-D変換器関連レジスタマップ(1/2)

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 00D0					8ビットA-D0データレジスタ0 (AD08DT0)	
H'0080 00D2					8ビットA-D0データレジスタ1 (AD08DT1)	
H'0080 00D4					8ビットA-D0データレジスタ2 (AD08DT2)	
H'0080 00D6					8ビットA-D0データレジスタ3 (AD08DT3)	
H'0080 00D8					8ビットA-D0データレジスタ4 (AD08DT4)	
H'0080 00DA					8ビットA-D0データレジスタ5 (AD08DT5)	
H'0080 00DC					8ビットA-D0データレジスタ6 (AD08DT6)	
H'0080 00DE					8ビットA-D0データレジスタ7 (AD08DT7)	
H'0080 00E0					8ビットA-D0データレジスタ8 (AD08DT8)	
H'0080 00E2					8ビットA-D0データレジスタ9 (AD08DT9)	
H'0080 00E4					8ビットA-D0データレジスタ10 (AD08DT10)	
H'0080 00E6					8ビットA-D0データレジスタ11 (AD08DT11)	
H'0080 00E8					8ビットA-D0データレジスタ12 (AD08DT12)	
H'0080 00EA					8ビットA-D0データレジスタ13 (AD08DT13)	
H'0080 00EC					8ビットA-D0データレジスタ14 (AD08DT14)	
H'0080 00EE					8ビットA-D0データレジスタ15 (AD08DT15)	

空き領域は予約領域です。

図11.2.2 A-D変換器関連レジスタマップ(2/2)

11.2.1 A-D単一モードレジスタ0

A-D0単一モードレジスタ0 (AD0SIM0)

<アドレス: H'0080 0080 >

D0	1	2	3	4	5	6	D7
		AD0STRG	AD0SSEL	AD0SREQ	AD0SCMP	AD0SSTP	AD0SSTT

<リセット時: H'04 >

D	ビット名	機能	R	W
0, 1	何も配置されていません		0	-
2	AD0STRG	0: 使用禁止 (A-D0ハードウェアトリガ選択) 1: 出カイベントバス3起動		
3	AD0SSEL	0: ソフトウェアトリガ (A-D0変換開始トリガ選択) 1: ハードウェアトリガ		
4	AD0SREQ	0: A-D0割り込み要求 (割り込み要求/DMA要求選択) 1: DMA転送要求		
5	AD0SCMP	0: A-D0変換中/コンパレート中 (A-D0変換/コンパレート終了) 1: A-D0変換終了/コンパレート終了		-
6	AD0SSTP	0: 何もしません (A-D0変換ストップ)	0	
7	AD0SSTT	0: 何もしません (A-D0変換スタート)	0	

A-D0単一モードレジスタ0は、A-D0変換器の単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) AD0STRG (A-D0 ハードウェアトリガ選択) ビット (D2)

A-D0変換器のA-D変換をハードウェアで起動する場合に、MJT出力による起動(出力イベントバス3)を指定するビットです。AD0SSEL(A-D0変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットの内容は無視されます。

(2) AD0SSEL (A-D0 変換開始トリガ選択) ビット (D3)

単一モード時のA-D0変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、AD0SSTT(A-D0変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、AD0STRG(ハードウェアトリガ選択)ビットを"1"にしてMJT出力による起動を指定してください。

(3) AD0SREQ (A-D0 割り込み要求/DMA 転送要求選択) ビット (D4)

単一モード(A-D変換またはコンパレート)終了時に、A-D0変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。

(4) AD0SCMP (A-D0 変換/コンパレート終了) ビット (D5)

読み出し専用のビットで、リセット時は"1"です。A-D0変換器の単一モード(A-D変換またはコンパレート)動作中は"0"になり、終了時に"1"になります。

A-D変換中またはコンパレート中にAD0SSTT(A-D0変換ストップ)ビットを"1"にして、A-D変換動作またはコンパレート動作を強制終了したときも"1"になります。

(5) AD0SSTP (A-D0 変換ストップ) ビット (D6)

A-D0変換器の単一モード(A-D変換またはコンパレート)中にこのビットを"1"にすると、その動作を停止させることができます。単一モードの動作停止中、およびスキャンモードの動作に対しては、このビットの操作は無視されます。

動作の停止はこのビットへの書き込み後直ちに行われ、停止後に「A-D0逐次近似レジスタ」の内容を読み出すと、変換途中の値が読み出されます(A-D0データレジスタへの転送は行われません)。

A-D0変換スタートビットとA-D0変換ストップビットを同時に"1"にした場合、A-D0変換ストップビットが有効になります。

特殊モード「スキャンモード動作中の単一モード強制実行」で、単一モードの動作中にこのビットを"1"にすると単一モード変換のみが停止し、スキャンモード動作が再開されます。

(6) AD0SSTT (A-D0 変換スタート) ビット (D7)

AD0SSEL(A-D0変換開始トリガ選択)ビットでソフトウェアトリガを選択している場合、このビットを"1"にするとA-D0変換器のA-D変換がスタートします。

A-D0変換スタートビットとA-D0変換ストップビットを同時に"1"にした場合、A-D0変換ストップビットが有効になります。

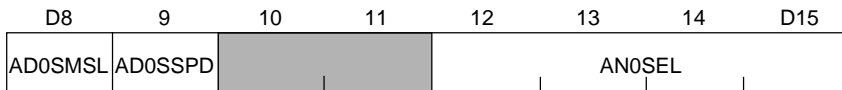
単一モード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、単一モードでの変換を再スタートします。

スキャンモードのA-D変換中にこのビットを"1"にすると、特殊動作モード「スキャンモード動作中の単一モード強制実行」になり、スキャンモードで変換中のチャンネルをキャンセルして単一モード変換を行います。単一モード変換終了後は、キャンセルされたチャンネルからスキャンモードでのA-D変換を再開します。

11.2.2 A-D単一モードレジスタ1

A-D0単一モードレジスタ1 (AD0SIM1)

<アドレス: H'0080 0081 >



<リセット時: H'00 >

D	ビット名	機能	R	W
8	AD0SMSL (A-D0変換モード選択)	0: A-D0変換モード 1: コンパレータモード		
9	AD0SSPD (A-D0変換速度選択)	0: ノーマル 1: 倍速		
10,11	何も配置されていません			0
12~15	AN0SEL (アナログ入力端子選択)	0000: AD0IN0を選択 0001: AD0IN1を選択 0010: AD0IN2を選択 0011: AD0IN3を選択 0100: AD0IN4を選択 0101: AD0IN5を選択 0110: AD0IN6を選択 0111: AD0IN7を選択 1000: AD0IN8を選択 1001: AD0IN9を選択 1010: AD0IN10を選択 1011: AD0IN11を選択 1100: AD0IN12を選択 1101: AD0IN13を選択 1110: AD0IN14を選択 1111: AD0IN15を選択		

W = : "0"のみ書き込み可能。"1"を書き込んだ場合の動作は保証されません。

A-D0単一モードレジスタ1は、A-D0変換器の単一モード時(特殊モード「スキャンモード動作中の単一モード強制実行」を含む)の動作を制御するためのレジスタです。

(1) AD0SMSL (A-D0 変換モード選択) ビット (D8)

A-D0変換器の単一モード時のA-D変換モードを選択するビットです。このビットが"0"のときはA-D変換モード、"1"のときはコンパレータモードになります。

(2) AD0SSPD (A-D0 変換速度選択) ビット (D9)

A-D0変換器の単一モード時のA-D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(3) AN0SEL (アナログ入力端子選択) ビット (D12 ~ D15)

A-D0変換器の単一モード時のアナログ入力端子選択ビットです。このビットで選択されたチャンネルがA-D変換またはコンパレートの対象チャンネルになります。なお、読み出し時は書き込んだ値が読み出されます。

11.2.3 A-Dスキャンモードレジスタ0

A-D0 スキャンモードレジスタ0 (AD0SCM0)

<アドレス : H'0080 0084 >

D0	1	2	3	4	5	6	D7
	AD0CMSL	AD0CTRG	AD0CSEL	AD0CREQ	AD0CCMP	AD0CSTP	AD0CSTT

<リセット時 : H'04 >

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	AD0CMSL (A-D0スキャンモード選択)	0 : ワンショットモード 1 : 連続モード		
2	AD0CTRG (A-D0ハードウェアトリガ選択)	0 : 使用禁止 1 : 出力イベントバス3起動		
3	AD0CSEL (A-D0変換開始トリガ選択)	0 : ソフトウェアトリガ 1 : ハードウェアトリガ		
4	AD0CREQ (割り込み要求 / DMA要求選択)	0 : A-D0割り込み要求 1 : DMA転送要求		
5	AD0CCMP (A-D0変換終了)	0 : A-D0変換中 1 : A-D0変換終了		-
6	AD0CSTP (A-D0変換ストップ)	0 : 何もしません 1 : A-D0変換停止	0	
7	AD0CSTT (A-D0変換スタート)	0 : 何もしません 1 : A-D0変換開始	0	

A-D0スキャンモードレジスタ0は、A-D0変換器のスキャンモード時の動作を制御するためのレジスタです。

(1) AD0CMSL (A-D0 スキャンモード選択) ビット (D1)

このビットでA-D0変換器スキャンワンショットモードと、スキャン連続モードを選択します。

このビットが"0"のときはスキャンワンショットモードになり、AN0SCAN(スキャンループ選択)ビットで選択されたチャンネルのA-D変換を順次行い、すべてのチャンネルのA-D変換が終了すると変換動作は停止します。

このビットが"1"のときはスキャン連続モードになり、スキャンワンショットモードの動作終了後、再び最初のチャンネルからA-D変換を行い、AD0CSTP(A-D0変換ストップ)ビットを"1"にして停止するまでこれを継続します。

(2) AD0CTRG (A-D0 ハードウェアトリガ選択) ビット (D2)

ハードウェアでA-D0変換器のA-D変換を起動する場合に、MJT出力による起動(出力イベントバス3)を指定するビットです。AD0SSEL(A-D変換開始トリガ選択)ビットでソフトウェアスタートを選択している場合、このビットの内容は無視されます。

(3) AD0CSEL (A-D0 変換開始トリガ選択) ビット (D3)

A-D0変換器のスキャンモード時のA-D変換開始トリガをソフトウェアで与えるか、ハードウェアで与えるかを選択するビットです。

ソフトウェアによるトリガを選択した場合は、AD0CSTT(A-D0変換スタート)ビットを"1"にするとA-D変換が起動されます。また、ハードウェアによるトリガを選択した場合は、AD0CTRG(ハードウェアトリガ選択)ビットを"1"にしてMJT出力による起動を指定してください。

(4) AD0CREQ (A-D0 割り込み / DMA 転送要求選択) ビット (D4)

スキャンモードの1周期終了時に、A-D0変換割り込みを要求するか、DMA転送を要求するかを選択するビットです。

(5) AD0CCMP (A-D0 変換終了) ビット (D5)

読み出し専用のビットで、リセット時は"1"です。A-D0変換器のスキャンモードA-D変換動作中は"0"になり、スキャンワンショットモード終了時、またはスキャン連続モードをAD0CSTT(A-D0変換ストップ)ビットを"1"にして停止したとき"1"になります。

(6) AD0CSTP (A-D0変換ストップ)ビット (D6)

A-D0変換器でスキャンモードのA-D変換中に、このビットに"1"を書き込むことで、スキャンモードの動作を停止させることができます。このビットはスキャンモードの動作にのみ有効で、特殊動作モードで、単一モード、スキャンモードが共に起動されている場合でも単一モードの動作には影響を与えません。

動作の停止はこのビットへの書き込み後直ちに行われ、変換途中のチャンネルのA-D変換は途中で打ち切られ、A-Dデータレジスタへの転送は行われません。

A-D0変換スタートビットとA-D0変換ストップビットを同時に"1"にした場合、A-D0変換ストップビットが有効になります。

(7) AD0CSTT (A-D0変換スタート)ビット (D7)

AD0CSEL(A-D0変換開始トリガ選択)ビットで、A-D0変換器のスキャンモードをソフトウェアで起動するためのビットで、ソフトウェアトリガを選択している場合にのみ、このビットを"1"にするとA-D変換がスタートします。

A-D0変換スタートビットとA-D0変換ストップビットを同時に"1"にした場合、A-D0変換ストップビットが有効になります。

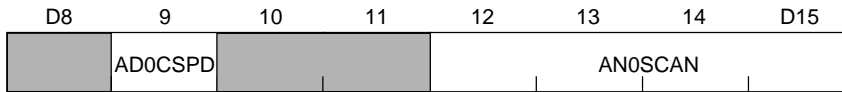
スキャンモード変換中に再度このビットを"1"にすると、特殊動作モード「変換再スタート」になり、スキャンモードレジスタ0およびスキャンモードレジスタ1で設定された内容で、スキャン動作が再起動されます。

単一モードのA-D変換中にこのビットを"1"にすると、特殊動作モード「単一モード実行後スキャンモード開始」になり、単一モード終了後にスキャンモード動作を連続して開始します。

11.2.4 A-Dスキャンモードレジスタ1

A-D0 スキャンモードレジスタ1 (AD0SCM1)

< アドレス : H'0080 0085 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
8	何も配置されていません		0	-
9	AD0CSPD (A-D0変換速度選択)	0 : ノーマル 1 : 倍速		
10,11	何も配置されていません		0	-

D	ビット名	機能
12~15	AN0SCAN (A-D0スキャンループ選択)	< 書き込み時 > 01XX : 4チャンネルスキャン 10XX : 8チャンネルスキャン 11XX : 16チャンネルスキャン 00XX : 16チャンネルスキャン

< 変換中読み出し時 >

0000 : AD0IN0を変換中
 0001 : AD0IN1を変換中
 0010 : AD0IN2を変換中
 0011 : AD0IN3を変換中
 0100 : AD0IN4を変換中
 0101 : AD0IN5を変換中
 0110 : AD0IN6を変換中
 0111 : AD0IN7を変換中
 1000 : AD0IN8を変換中
 1001 : AD0IN9を変換中
 1010 : AD0IN10を変換中
 1011 : AD0IN11を変換中
 1100 : AD0IN12を変換中
 1101 : AD0IN13を変換中
 1110 : AD0IN14を変換中
 1111 : AD0IN15を変換中

A-D0スキャンモードレジスタ1は、A-D0変換器のスキャンモード時の動作を制御するためのレジスタです。

(1) AD0CSPD (A-D0 変換速度選択) ビット (D9)

A-D0変換器のスキャンモード時のA-D変換速度を選択するビットです。このビットが"0"のときはノーマル、"1"のときは倍速です。

(2) AN0SCAN (A-D0 スキャンループ選択) ビット (D12 ~ D15)

AN0SCAN(スキャンループ選択)ビットで、A-D0変換器のスキャンモード時のスキャンチャンネルを設定します。このときD14、D15への書き込みは無効です。

AN0SCAN(A-D0スキャンループ選択)ビットをスキャン動作時に読み出すと、変換中のチャンネルを示すステータスとなります。

単一モード時に、このビットは常に 'B'0000 'が読み出されます。

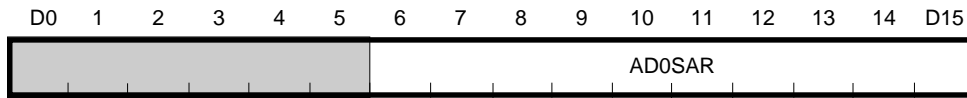
スキャンモード実行中に、スキャンモードレジスタ0のAD0CSTP(A-D0変換ストップ)ビットに"1"をセットしてA-D変換を中止した場合は、A-D変換動作をキャンセルされたチャンネルの値が読み出されます。

また、特殊動作モード「スキャンモード動作中の単一モード強制実行」で単一モード変換中は、スキャン途中でA-D変換動作をキャンセルされたチャンネルの値が読み出されます。

11.2.5 A-D逐次近似レジスタ

A-D0 逐次近似レジスタ (AD0SAR)

< アドレス : H'0080 0088 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	AD0SAR (A-D0逐次近似値 / 比較値)	A-D逐次近似値 (A-D変換モード) 比較値 (コンパレータモード)		

注. このレジスタは、必ずハーフワードでアクセスしてください。

A-D0逐次近似レジスタ(AD0SAR)は、A-D変換モードの場合はA-D0変換器の変換結果を読み出し、コンパレートモードの場合は比較値を書き込むレジスタです。

A-D変換モードでは、A-D変換を逐次近似比較方式で行いますが、この方式では基準電圧VREF0とアナログ入力電圧を上位側から順に1ビット単位で比較した結果を、A-D0逐次近似レジスタ(AD0SAR)の各ビット(D6~D15)に対してセットします。A-D変換終了後はこのレジスタの値が、変換を行ったチャンネルに対応する10ビットA-D0データレジスタ(AD0DTn)に転送されます。なお、A-D変換の途中でこのレジスタを読み出すと、変換の途中結果が読み出されます。

コンパレータモードでは、このレジスタに比較値(コンパレート比較電圧)を書き込みます。書き込みと同時に単一モードレジスタ1で設定したアナログ入力端子とのコンパレート動作が開始されます。コンパレート終了後、結果はA-D0コンパレートデータレジスタ(AD0CMP)に格納されます。

コンパレータモードでA-D0逐次近似レジスタ(AD0SAR)に書き込む比較値の値は、以下の計算式で求めます。

$$\text{比較値} = \text{H}'3\text{FF} \times \frac{\text{コンパレート比較電圧 [V]}}{\text{VREF0入力電圧 [V]}}$$

11.2.6 A-Dコンパレートデータレジスタ

A-D0 コンパレートデータレジスタ (AD0CMP)

< アドレス : H'0080 008C >

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
AD0 CMP0	AD0 CMP1	AD0 CMP2	AD0 CMP3	AD0 CMP4	AD0 CMP5	AD0 CMP6	AD0 CMP7	AD0 CMP8	AD0 CMP9	AD0 CMP10	AD0 CMP11	AD0 CMP12	AD0 CMP13	AD0 CMP14	AD0 CMP15

< リセット時 : 不定 >

D	ビット名	機能	R	W
0 ~ 15	AD0CMP0 ~ AD0CMP15	(注2)0 : アナログ入力電圧 > 比較電圧 (A-D0コンパレート結果フラグ) 1 : アナログ入力電圧 < 比較電圧		-

注1. このレジスタは、必ずハーフワードでアクセスしてください。

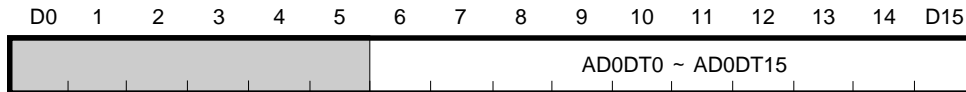
注2. コンパレータモード時に、各ビットがチャンネル0 ~ チャンネル15に対応します。

A-D0単一モードレジスタ1のAD0SMSL(A-D0変換モード選択)ビットでコンパレートモードを選択した場合、選択されたアナログ入力値と、A-D0逐次近似レジスタに書き込んだ値との比較を行い、結果をこのレジスタの対応するビットに格納します。

アナログ入力電圧 > 比較電圧のとき"0"、アナログ入力電圧 < 比較電圧のとき"1"になります。

11.2.7 10ビットA-Dデータレジスタ

10ビット A-D0 データレジスタ 0 (AD0DT0)	<アドレス : H'0080 0090 >
10ビット A-D0 データレジスタ 1 (AD0DT1)	<アドレス : H'0080 0092 >
10ビット A-D0 データレジスタ 2 (AD0DT2)	<アドレス : H'0080 0094 >
10ビット A-D0 データレジスタ 3 (AD0DT3)	<アドレス : H'0080 0096 >
10ビット A-D0 データレジスタ 4 (AD0DT4)	<アドレス : H'0080 0098 >
10ビット A-D0 データレジスタ 5 (AD0DT5)	<アドレス : H'0080 009A >
10ビット A-D0 データレジスタ 6 (AD0DT6)	<アドレス : H'0080 009C >
10ビット A-D0 データレジスタ 7 (AD0DT7)	<アドレス : H'0080 009E >
10ビット A-D0 データレジスタ 8 (AD0DT8)	<アドレス : H'0080 00A0 >
10ビット A-D0 データレジスタ 9 (AD0DT9)	<アドレス : H'0080 00A2 >
10ビット A-D0 データレジスタ 10 (AD0DT10)	<アドレス : H'0080 00A4 >
10ビット A-D0 データレジスタ 11 (AD0DT11)	<アドレス : H'0080 00A6 >
10ビット A-D0 データレジスタ 12 (AD0DT12)	<アドレス : H'0080 00A8 >
10ビット A-D0 データレジスタ 13 (AD0DT13)	<アドレス : H'0080 00AA >
10ビット A-D0 データレジスタ 14 (AD0DT14)	<アドレス : H'0080 00AC >
10ビット A-D0 データレジスタ 15 (AD0DT15)	<アドレス : H'0080 00AE >



<リセット時 : 不定>

D	ビット名	機能	R	W
0~5	何も配置されていません		0	-
6~15	AD0DT0 ~ AD0DT15 (10ビットA-D0データ)	A-D変換結果		-

注. このレジスタは、必ずハーフワードでアクセスしてください。

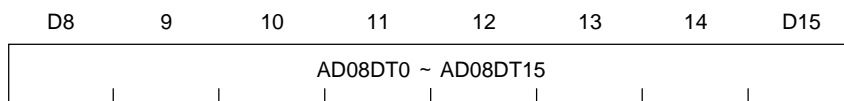
A-D0変換器の単一モードでは、A-D変換の結果が、対応するチャンネルの10ビットA-D0データレジスタに格納されます。

スキャンワンショット / 連続モードでは、各チャンネルのA-D変換終了ごとにA-D0逐次近似レジスタの内容が、対応するチャンネルの10ビットA-D0データレジスタに転送されます。

各10ビットA-D0データレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでも内容を読み出すことができます。

11.2.8 8ビットA-Dデータレジスタ

8ビットA-D0 データレジスタ0 (AD08DT0)	<アドレス : H'0080 00D1 >
8ビットA-D0 データレジスタ1 (AD08DT1)	<アドレス : H'0080 00D3 >
8ビットA-D0 データレジスタ2 (AD08DT2)	<アドレス : H'0080 00D5 >
8ビットA-D0 データレジスタ3 (AD08DT3)	<アドレス : H'0080 00D7 >
8ビットA-D0 データレジスタ4 (AD08DT4)	<アドレス : H'0080 00D9 >
8ビットA-D0 データレジスタ5 (AD08DT5)	<アドレス : H'0080 00DB >
8ビットA-D0 データレジスタ6 (AD08DT6)	<アドレス : H'0080 00DD >
8ビットA-D0 データレジスタ7 (AD08DT7)	<アドレス : H'0080 00DF >
8ビットA-D0 データレジスタ8 (AD08DT8)	<アドレス : H'0080 00E1 >
8ビットA-D0 データレジスタ9 (AD08DT9)	<アドレス : H'0080 00E3 >
8ビットA-D0 データレジスタ10 (AD08DT10)	<アドレス : H'0080 00E5 >
8ビットA-D0 データレジスタ11 (AD08DT11)	<アドレス : H'0080 00E7 >
8ビットA-D0 データレジスタ12 (AD08DT12)	<アドレス : H'0080 00E9 >
8ビットA-D0 データレジスタ13 (AD08DT13)	<アドレス : H'0080 00EB >
8ビットA-D0 データレジスタ14 (AD08DT14)	<アドレス : H'0080 00ED >
8ビットA-D0 データレジスタ15 (AD08DT15)	<アドレス : H'0080 00EF >



<リセット時 : 不定>

D	ビット名	機能	R	W
8~15	AD08DT0 ~ AD08DT15 (8ビットA-D0データ)	8ビットA-D変換結果		-

このA-Dデータレジスタには、A-D0変換器の8ビット変換データが格納されます。

A-D0変換器の単一モードでは、A-D変換の結果が、対応するチャンネルの8ビットA-D0データレジスタに格納されます。

スキャンワンショット / 連続モードでは、各チャンネルのA-D変換終了ごとにA-D0逐次近似レジスタの内容が、対応するチャンネルの8ビットA-D0データレジスタに転送されます。

各8ビットA-D0データレジスタは最終の変換結果を次の変換結果が転送されるまで保持しており、いつでもその内容を読み出すことができます。

11.3 A-D変換器機能説明

11.3.1 アナログ入力電圧の求め方

A-D変換器は、10ビット逐次近似方式を採用しており、A-D変換の実行結果で得られる値(デジタル値)から実際のアナログ入力電圧を求めるには、以下の計算を行います。

$$\text{アナログ入力電圧 [V]} = \frac{\text{A-D変換結果} \times \text{VREF0入力電圧 [V]}}{1024}$$

A-D変換器は10ビット構成であり、分解能は1024となります。A-D変換器の基準電圧は、VREF0端子に入力された電圧になるため、VREF0には正確かつ安定な定電圧電源を接続して下さい。またアナログ系の電源、グラウンド(AVCC0, AVSS0)はデジタル系の電源と分離し、ノイズ対策を十分とってください。

なお、変換の精度については、11.3.5「A-D変換の精度」をご覧ください。

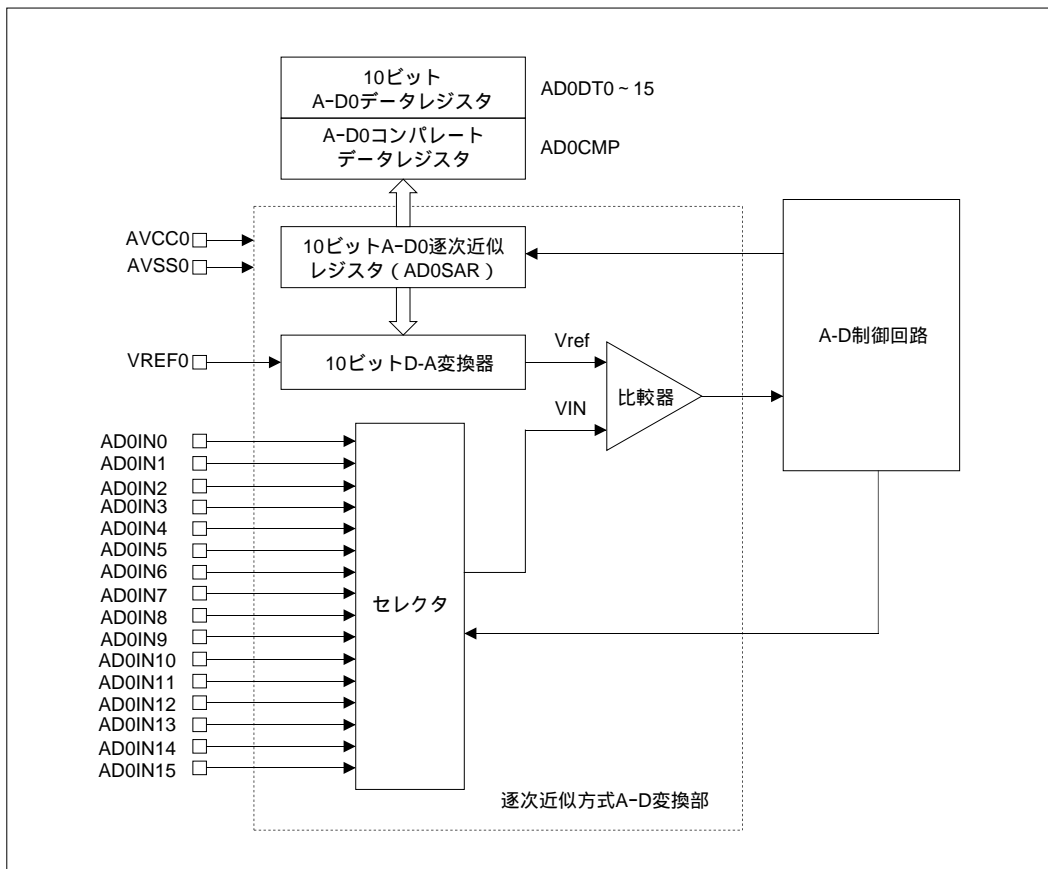


図11.3.1 逐次近似方式A-D変換部概略ブロック図

11.3.2 逐次近似比較方式のA-D変換

A-D変換器は、A-D変換開始トリガ(ソフトウェアまたはハードウェア)によりA-D変換動作を開始します。A-D変換開始後は、以下の動作を自動的に実行します。

単一モード時は単一モードレジスタ0のA-D変換/コンパレート終了ビットを、またスキャンモード時はスキャンモードレジスタ0のA-D変換終了ビットを"0"にクリア

A-D逐次近似レジスタの内容を"H'0000"にクリア

A-D逐次近似レジスタの最上位ビット(D6)を"1"にセット

比較電圧Vref(注)を、D-Aコンバータから比較器へ入力

比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をD6に格納

Vref < VIN ならば、D6 = "1"

Vref > VIN ならば、D6 = "0"

上記(～)の動作を、以下D7～D15までの全ビットに対して実行

D15の比較終了時A-D逐次近似レジスタに格納されている値をA-D変換結果として確定

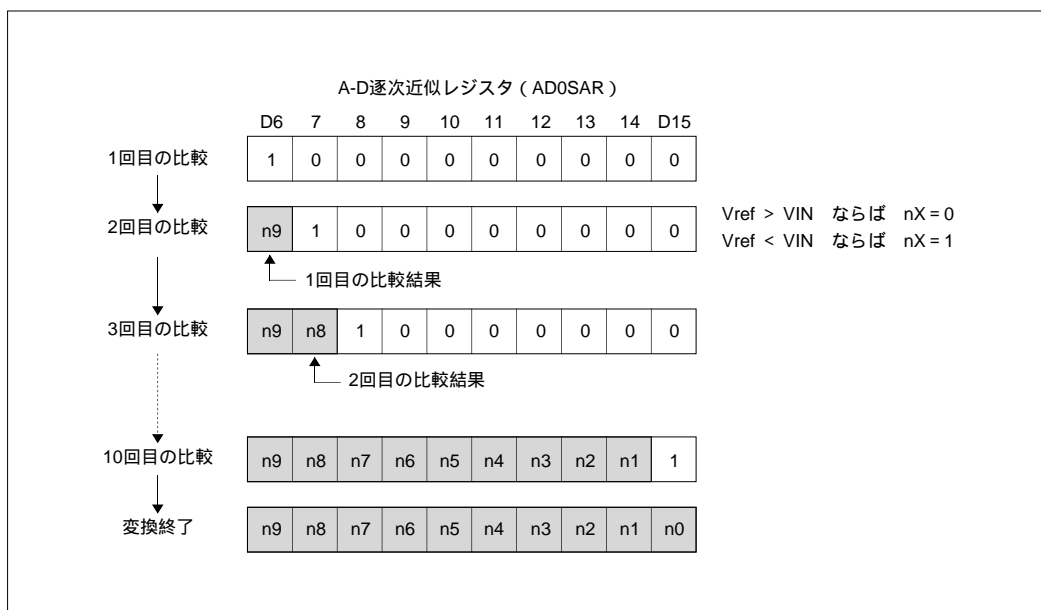


図11.3.2 A-D変換動作中のA-D逐次近似レジスタの変化

注. 比較電圧Vref(D-Aコンバータから比較器へ入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

A-D逐次近似レジスタの内容 = 0の場合

$$V_{ref}[V] = 0$$

A-D逐次近似レジスタの内容 = 1 ~ 1023の場合

$$V_{ref}[V] = (\text{基準電圧 } V_{REF0} / 1024) \times (\text{A-D逐次近似レジスタの内容} - 0.5)$$

比較結果は、変換を行ったチャンネルに対応した10ビットA-Dデータレジスタ(AD0DTn)に格納されます。また、8ビットA-Dデータレジスタ(AD08DTn)からは、10ビットA-D変換結果の上位8ビットが読み出せます。

各動作モードにおける逐次近似比較方式のA-D変換の手順を以下に示します。

(1) 単一モードの場合

A-D逐次近似レジスタのD15ビットの比較が完了すると変換動作は停止します。A-D逐次近似レジスタの内容(A-D変換結果)は、変換を行った10ビットA-Dデータレジスタ0~15に転送されます。

(2) スキャンワンショットモードの場合

指定したあるチャンネルのA-D逐次近似レジスタでD15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記 ~ の変換動作を再び実行します。

スキャンワンショットモード時は、指定した1スキャンループのA-D変換が終了すると、変換動作は停止します。

(3) スキャン連続モードの場合

指定したチャンネルのA-D逐次近似レジスタでD15ビットの比較が完了すると、A-D逐次近似レジスタの内容は対応する10ビットA-Dデータレジスタ0~15に転送され、次の変換対象チャンネルに対して、前記 ~ の変換動作を再び実行します。

スキャン連続モード時は、A-D変換ストップビット(スキャンモードレジスタ0のD6)を"1"にセットし、スキャン動作を強制停止させるまで、連続して変換動作を実行します。

11.3.3 コンパレータ動作

コンパレータモード(単一モードのみ)を選択すると、A-D変換器はソフトウェアによって設定した比較電圧と、アナログ入力電圧を比較するコンパレータとして機能します。

逐次近似レジスタに比較値を書き込むと、単一モードレジスタ1のアナログ入力選択ビットで選択されたアナログ入力電圧と、逐次近似レジスタに書き込んだ値とのコンパレートを開始します。コンパレートが開始すると、以下の動作が自動的に実行されます。

単一モードレジスタ0またはスキャンモードレジスタ0のA-D変換 / コンパレート終了フラグを"0"にクリア

比較電圧Vref(注)を、D-Aコンバータから比較器へ入力

比較電圧Vrefとアナログ入力電圧VINの比較を行い、比較結果をコンパレート結果フラグ(A-DコンパレートデータレジスタのD15)に格納

Vref < VIN ならば、コンパレート結果フラグ = "0"

Vref > VIN ならば、コンパレート結果フラグ = "1"

比較結果を格納後、コンパレート動作を停止

比較結果は、A-D0コンパレートデータレジスタ(AD0CMP)の対応するビットに格納されます。

注. 比較電圧Vref(D-Aコンバータから比較器に入力される電圧)は、A-D逐次近似レジスタの内容変化に対応して決定されます。比較電圧Vrefの計算式は以下のとおりです。

A-D逐次近似レジスタの内容 = 0の場合

$$Vref[V] = 0$$

A-D逐次近似レジスタの内容 = 1 ~ 1023の場合

$$Vref[V] = (\text{基準電圧 } VREF0 / 1024) \times (\text{A-D0逐次近似レジスタの内容} - 0.5)$$

11.3.4 A-D変換時間算出方法

A-D変換時間はダミーサイクル時間と実際の実行サイクル時間との和で表されます。変換時間の算出に必要な各時間は以下の通りです。

開始ダミー時間

CPUがA-D変換の開始命令を実行した時点から、A-D変換器がA-D変換を開始するまでの時間

A-D変換実行サイクル時間

コンパレート実行サイクル時間

終了ダミー時間

A-D変換器がA-D変換を終了した時点から、CPUがその変換結果をA-Dデータレジスタから読み出せる(安定読み出し領域)までの時間

スキャン間ダミー時間

スキャンワンショット/連続モード時、A-D変換器があるチャンネルのA-D変換を終了した時点から、次のチャンネルのA-D変換を開始するまでの時間

A-D変換時間の計算式は以下のとおりです。

$$\begin{aligned}
 \text{A-D変換時間} &= \text{開始ダミー時間} + \text{実行サイクル時間} \\
 & \quad (+ \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\
 & \quad + \text{スキャン間ダミー時間} + \text{実行サイクル時間} \\
 & \quad + \text{スキャン間ダミー時間} \quad + \text{実行サイクル時間}) \\
 & \quad + \text{終了ダミー時間}
 \end{aligned}$$

注.()内はスキャンモードで、2チャンネル目以降の変換時間を示します。

(1) A-D 変換モード時の変換時間算出方法

A-D変換モード時の変換時間算出方法を以下に示します。

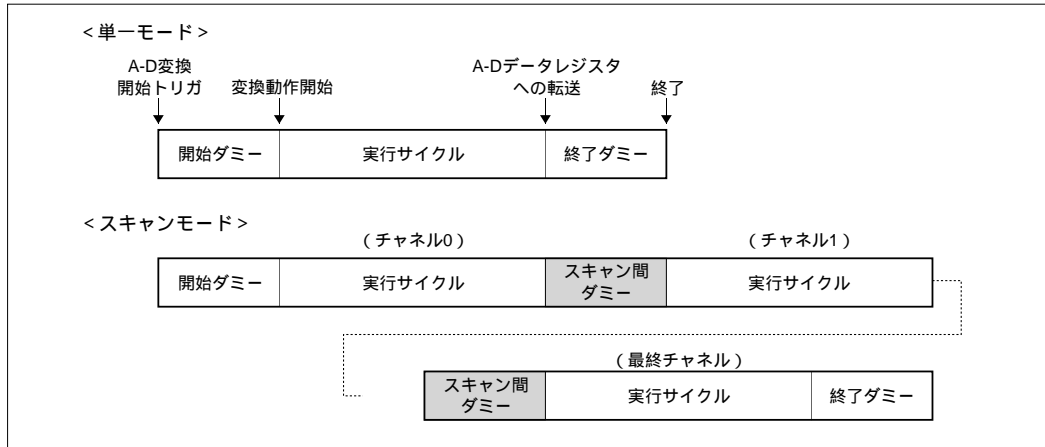


図11.3.3 A-D変換モードの変換時間概念図

表11.3.1 A-D変換モードの変換クロック数一覧

単位：内部周辺クロック

転送速度	開始ダミー	実行サイクル	終了ダミー	スキャン間ダミー(注)
ノーマル	4	294	1	4
倍速	4	168	1	4

注. スキャン動作時のみ、チャンネルごとの実行時間に加算されます。

(2) コンパレートモード時の変換時間算出方法

コンパレートモード時の変換時間算出方法を以下に示します。

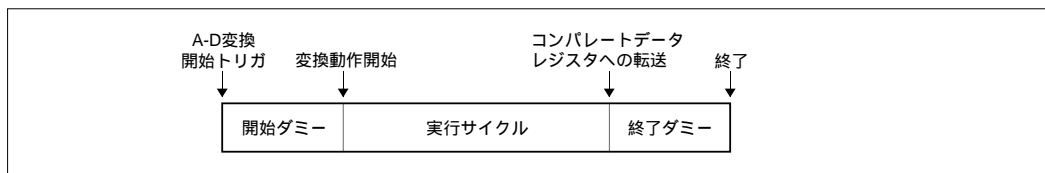


図11.3.4 コンパレートモードの変換時間概念図

表11.3.2 コンパレートモードの変換クロック数一覧

単位：内部周辺クロック

転送速度	開始ダミー	実行サイクル	終了ダミー
ノーマル	4	42	1
倍速	4	24	1

(3) A-D 変換時間

A-D変換時間を以下に示します。

表11.3.3 A-D変換時間(合計時間)

変換開始方法	変換速度	変換モード(注1)	変換時間 [内部周辺クロック]	
ソフトウエアトリガ (注2)	ノーマル	単一モード		299
		スキャンワンショット /連続モード	4チャンネルスキャン	1193
			8チャンネルスキャン	2385
			16チャンネルスキャン	4769
		コンパレータモード	47	
	倍速	単一モード		173
		スキャンワンショット /連続モード	4チャンネルスキャン	689
			8チャンネルスキャン	1377
			16チャンネルスキャン	2753
		コンパレータモード	27	
ハードウエアトリガ (注3)	ノーマル	単一モード		299
		スキャンワンショット /連続モード	4チャンネルスキャン	1193
			8チャンネルスキャン	2385
			16チャンネルスキャン	4769
		コンパレータモード	47	
	倍速	単一モード		173
		スキャンワンショット /連続モード	4チャンネルスキャン	689
			8チャンネルスキャン	1377
			16チャンネルスキャン	2753
		コンパレータモード	27	

注1. 単一モードおよびコンパレータモードは、1チャンネルのA-D変換、コンパレート時間を示します。

スキャンワンショット/連続モードは、1スキャンループのA-D変換時間を示します。

注2. レジスタの書き込みサイクルが終了してから、A-D変換終了割り込み要求が発生するまでの時間を示します。

注3. または出力イベントバス3が起動されてからA-D変換終了割り込み要求が発生するまでの時間を示します。

11.3.5 A-D変換精度の定義

A-D変換器の精度は絶対精度で示します。絶対精度とは、アナログ入力電圧をA-D変換して得られる出力コードと、理想的な特性を持つA-D変換器に期待される出力コードの差をLSBを用いて示した精度です。

精度測定時のアナログ入力電圧は、理想的な特性を持つA-D変換器が同一の出力コードを出力する電圧幅の中点の値とします。例えば、 $V_{REF0} = 5.12V$ の場合、10ビットA-D変換器の1LSBの幅は5mVとなり、アナログ入力電圧の中点として0mV, 5mV, 10mV, 15mV, 20mV, 25mV……が選ばれます。

A-D変換器の絶対精度 = $\pm 2LSB$ とは、例えば入力電圧が25mVの場合、理想的なA-D変換器に期待される出力コードが"H'005"であるのに対して、実際のA-D変換結果は"H'003 ~ H'007"の範囲にあることを示します。なお、絶対精度にはゼロ誤差、フルスケール誤差が含まれます。

実際にA-D変換器を使用するときの、アナログ入力電圧の範囲はAVSS0からVREF0までですが、VREF0の電圧を下げると分解能が悪くなります。また、VREF0からAVCC0までのアナログ入力電圧に対する出力コードは、常に"H'3FF"となります。

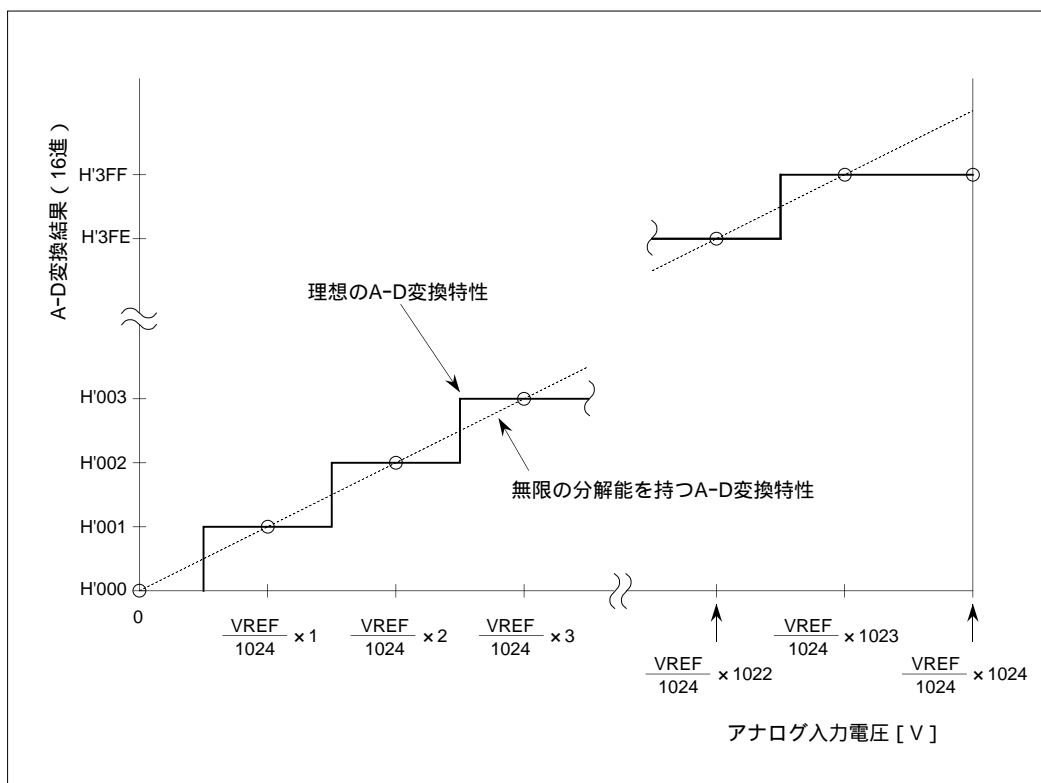


図11.3.5 10ビットA-D変換器のアナログ入力電圧に対する理想的A-D変換特性

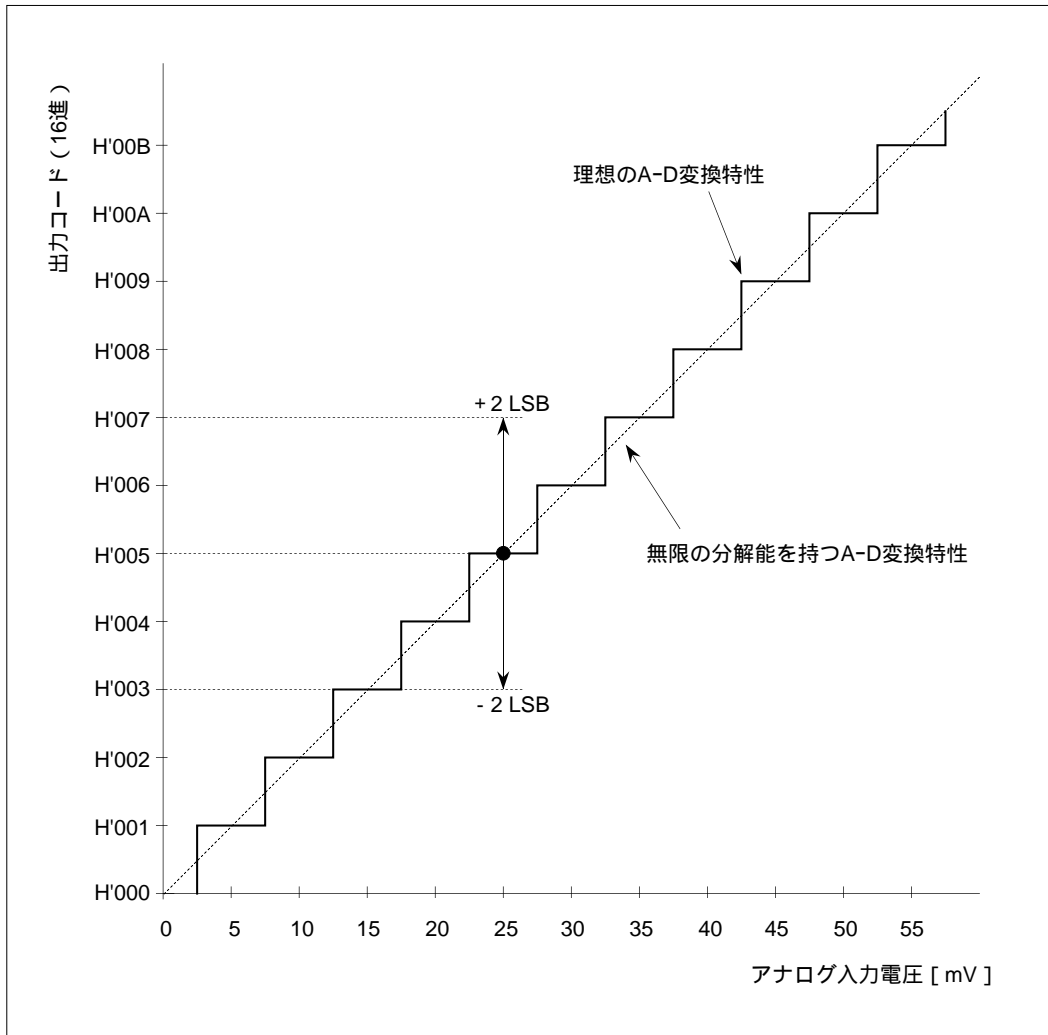


図11.3.6 A-D変換器の絶対精度

11.4 A-D変換器の注意事項

スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット(AD0CSTP)を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

アナログ入力信号の取り扱い

このA-D変換器には、サンプルアンドホールド回路は内蔵されていません。したがって、A-D変換中はアナログ入力レベルを固定してください。

A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のD5ビット、およびスキャンモードレジスタ0のD5ビット)を読み出す場合は、NOP命令などで1サイクル分タイミング調整してから読み出してください。

絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。ボード設計時にはAVCC0/AVSS0/VREF0を他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないようレイアウトには十分注意してください。

アナログ入力端子に関して

図11.4.1にアナログ入力部の内部等価回路を示します。正確なA-D変換結果を得るには、所定の時間(サンプリング時間)内にA-D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不用な場合についての考え方も示します。

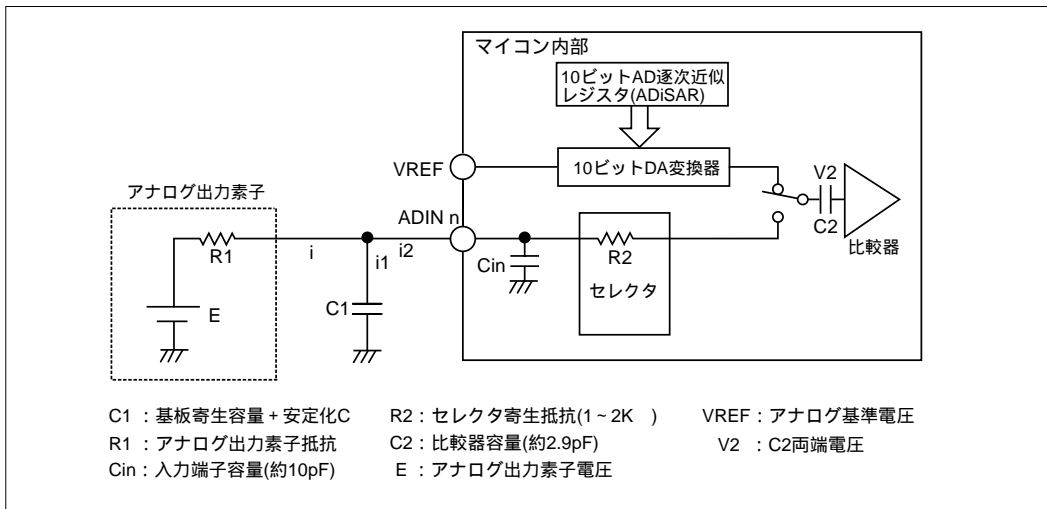


図11.4.1 アナログ入力部の内部等価回路

(a) 外付け安定化コンデンサC1 (付加を推奨) の算出例

図11.4.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VERFを5.12Vとした場合の10ビットA-D変換器では、1LSB判定電圧 = 5.12V / 1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \quad \dots \dots \dots (A-1)式$$

また、Vpは以下の式にても求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} < \frac{V_{REF}}{10 \times 2^x} \quad \dots \dots \dots (A-2)式$$

注1. Vp1は、A-D変換1回目の電位変動
 注2. 10ビット分解能A-D変換器ため、xは"10"です

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ \frac{E - V_2}{V_{p1}} - 1 \right\} \quad \dots \dots \dots (A-3)式$$

$$\therefore C_1 > C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \quad \dots \dots \dots (A-4)式$$

よって、10ビット分解能 = A-D変換器で C2 = 2.9pFの場合のC1は、0.06μF以上となります。C1設定時の参考としてご使用ください。

(b) C1を付加しない場合の出力インピーダンスR1の最大値

図11.4.1において、外付けコンデンサC1を使用しない場合、C2を十分に充電できるかを検討する必要があります。まず、図11.4.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i2 = \frac{C2(E - V2)}{Cin \times R1 + C2(R1 + R2)} \times \exp \left\{ \frac{-t}{Cin \times R1 + C2(R1 + R2)} \right\} \dots \dots \dots (B-1)式$$

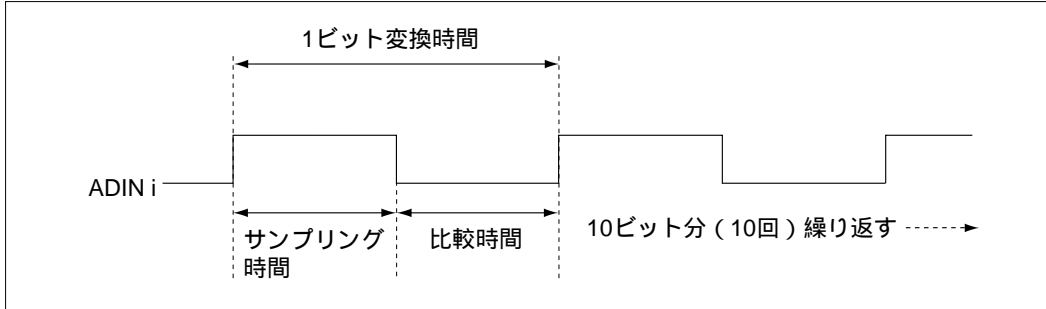


図11.4.2 A-D変換タイミング図

C2への充電に必要な時間は、図11.4.2でのA-D変換タイミング図に示すサンプリング時間/2の時間内に充電する必要があります。t = T(C2充電必要時間)として

$$T = \text{サンプル時間}/2 = \frac{\text{A-D変換時間}}{10(1\text{ビット変換時間}) \times 4}$$

よって、C2を充電するために必要な時間は、(B-1)式より

$$T = (C2\text{充電必要時間}) > Cin \times R1 + C2(R1 + R2) \dots \dots \dots (B-2)式$$

となり、R1の最大値を求める目安の式は、以下のようになります。

$$R1 < \frac{\frac{\text{A-D変換時間}}{10 \times 4} - C2 \times R2}{Cin + C2} \dots \dots \dots (B-3)式$$

以下に、Xin = 10/8MHz時のA-D変換モードでのR1最大値算出例を示します。

Xin	BCLK周期	変換モード	速度モード	変換サイクル	T(C2充電時間):ns	R1最大値()
10MHz	50ns	A-D変換モード/単一	ノーマル	294	367	28,225
		A-D変換モード/単一	倍速	168	210	16,054
8MHz	62.5ns	A-D変換モード/単一	ノーマル	294	459	35,357
		A-D変換モード/単一	倍速	168	262	20,085

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

また、コンパレートモードは、サンプリング/比較が各1回のため以下の式になります。

$$R1 < \frac{\frac{\text{A-D変換時間}}{4} - C2 \times R2}{Cin + C2} \dots \dots \dots \text{(B-4)式}$$

以下に、Xin = 10/8MHz時のコンパレートモードでのR1最大値算出例を示します。

Xin	BCLK周期	変換モード	速度モード	変換サイクル	T(C2充電時間):ns	R1最大値()
10MHz	50ns	コンパレートモード/単一	ノーマル	42	525	40,473
		コンパレートモード/単一	倍速	24	300	23,031
8MHz	62.5ns	コンパレートモード/単一	ノーマル	42	656	50,628
		コンパレートモード/単一	倍速	24	375	28,845

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

第12章

シリアル/O

- 12.1 シリアル/O概要
- 12.2 シリアル/O関連レジスタ
- 12.3 CSIOモード送信動作説明
- 12.4 CSIOモード受信動作説明
- 12.5 CSIOモード時の注意事項
- 12.6 UARTモード送信動作説明
- 12.7 UARTモード受信動作説明
- 12.8 定周期クロック出力機能
- 12.9 UARTモード時の注意事項

12.1 シリアルI/O概要

32171は、SIO0、SIO1、SIO2の計3チャンネルのシリアルI/Oを内蔵しております。SIO0、SIO1はCSIOモード(クロック同期形シリアルI/O)と、UARTモード(クロック非同期形シリアルI/O)を選択できます。SIO2はUARTモード専用となっています。

CSIOモード(クロック同期形シリアルI/O)

転送クロックに同期して通信を行うモードで、送受信間で同一のクロックを使用します。転送データ長は8ビット固定です。

UARTモード(クロック非同期形シリアルI/O)

非同期形通信を行うモードで、転送データ長は7ビット、8ビット、9ビットから選択できます。

シリアルI/O0~2は、それぞれ送信DMA転送要求と受信DMA転送要求を持っています。内蔵DMACを用いることにより、高速なシリアル通信が可能となり、また、データ通信にともなうCPUの負荷も低減されます。

以下にシリアルI/Oの概要を示します。

表12.1.1 シリアルI/Oの概要

項目	内容
チャンネル数	CSIO/UART : 2チャンネル(SIO0,SIO1) UART専用 : 1チャンネル(SIO2)
クロック	CSIOモード時 : 内部クロック / 外部クロック選択可 (注1) UARTモード時 : 内部クロック固定
転送モード	送信半二重, 受信半二重, 送受信全二重
BRGカウントソース	ⓧ(BCLK), ⓧ(BCLK)Y8, ⓧ(BCLK)Y32, ⓧ(BCLK)Y256 (内部クロック選択時) (注2) ⓧ(BCLK): 内部周辺クロック動作周波数
データフォ - マット	CSIOモード : デ - タ長 = 8ビット固定 転送順序 = LSBファ - スト固定 UARTモード : スタ - トビット = 1ビット キャラクタ長 = 7ビット / 8ビット / 9ビット パリティビット = あり / なし (ありの場合、奇数 / 偶数選択可能) ストップビット = 1ビット / 2ビット 転送順序 = LSBファ - スト固定
ボーレート	CSIOモード : 152ビット/秒 ~ 2Mビット/秒 (ⓧ(BCLK) = 20MHz動作時) UARTモード : 19ビット/秒 ~ 156Kビット/秒 (ⓧ(BCLK) = 20MHz動作時)
エラー検出	CSIOモード : オ - バランエラーのみ UARTモード : オ - バランエラー, パリティエラー, フレ - ミングエラー (いずれかのエラーが発生したことはエラーサムビットで表示)
定周期クロック出力機能	SIO0, SIO1をUARTとして用いる場合、SCLK端子からBRGの2分周クロックを出力させる機能

注1 . CSIOモード時の外部クロックの最大入力周波数はⓧ(BCLK)の16分周です。

注2 . BRGカウントソースとしてⓧ(BCLK)を選択した場合、BRG設定値に制限があります。

表12.1.2 シリアルI/Oの割り込み要求発生機能

シリアルI/Oの割り込み要求	ICU割り込み要因
SIO0の送信バッファエンプティ割り込み	SIO0送信割り込み
SIO0の受信完了，または受信エラー割り込み (選択可能)	SIO0受信割り込み
SIO1の送信バッファエンプティ割り込み	SIO1送信割り込み
SIO1の受信完了，または受信エラー割り込み (選択可能)	SIO1受信割り込み
SIO2の送信バッファエンプティ割り込み	SIO2送受信割り込み(グループ割り込み)
SIO2の受信完了，または受信エラー割り込み (選択可能)	SIO2送受信割り込み(グループ割り込み)

表12.1.3 シリアルI/OのDMA転送要求発生機能

シリアルI/OのDMA転送要求	DMAC入力チャンネル
SIO0送信バッファエンプティ	チャンネル3
SIO0受信完了	チャンネル4
SIO1送信バッファエンプティ	チャンネル6
SIO1受信完了	チャンネル3
SIO2送信バッファエンプティ	チャンネル7
SIO2受信完了	チャンネル5

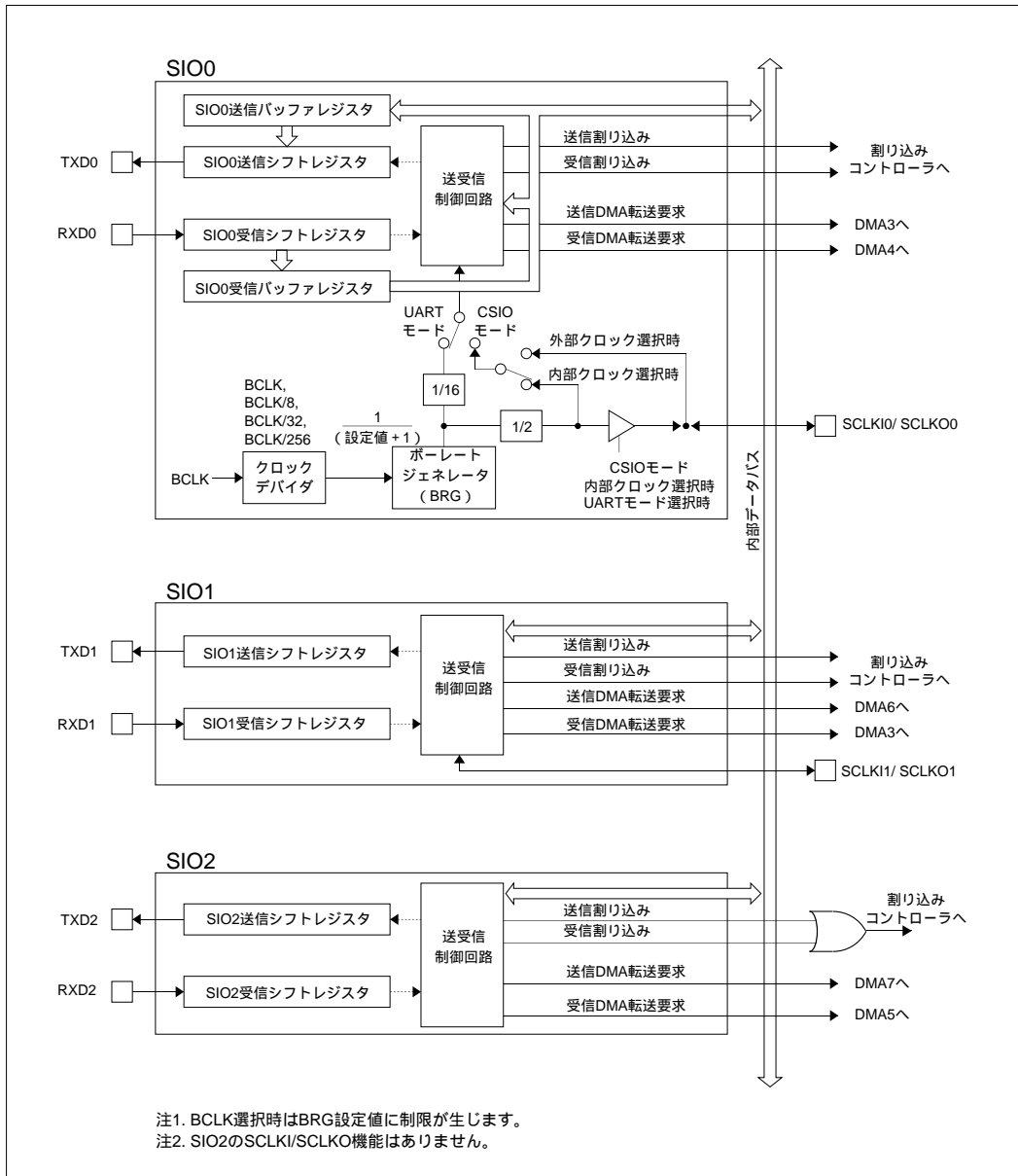


図12.1.1 SIO0 ~ SIO2のブロック図

12.2 シリアルI/O関連レジスタ

シリアルI/O関連のレジスタマップを以下に示します。

番地	D0	+0番地	D7	D8	+1番地	D15
H'0080 0100	SIO23割り込みステータスレジスタ (S123STAT)			SIO03割り込みマスクレジスタ (S103MASK)		
H'0080 0102	SIO03受信割り込み要因選択レジスタ (S103SEL)					
⋯						
H'0080 0110	SIO0送信制御レジスタ (S0TCNT)			SIO0送受信モードレジスタ (S0MOD)		
H'0080 0112	SIO0送信バッファレジスタ (S0TXB)					
H'0080 0114	SIO0受信バッファレジスタ (S0RXB)					
H'0080 0116	SIO0受信制御レジスタ (S0RCNT)			SIO0ポーレートレジスタ (S0BAUR)		
⋯						
H'0080 0120	SIO1送信制御レジスタ (S1TCNT)			SIO1送受信モードレジスタ (S1MOD)		
H'0080 0122	SIO1送信バッファレジスタ (S1TXB)					
H'0080 0124	SIO1受信バッファレジスタ (S1RXB)					
H'0080 0126	SIO1受信制御レジスタ (S1RCNT)			SIO1ポーレートレジスタ (S1BAUR)		
⋯						
H'0080 0130	SIO2送信制御レジスタ (S2TCNT)			SIO2送受信モードレジスタ (S2MOD)		
H'0080 0132	SIO2送信バッファレジスタ (S2TXB)					
H'0080 0134	SIO2受信バッファレジスタ (S2RXB)					
H'0080 0136	SIO2受信制御レジスタ (S2RCNT)			SIO2ポーレートレジスタ (S2BAUR)		
⋯						
空き領域は予約領域です。						

図12.2.1 シリアルI/O関連レジスタマップ

12.2.1 SIO割り込み関連レジスタ

(1) 割り込み要因の選択

各SIOからICU(割り込みコントローラ)へ出力される割り込み信号には、送信割り込みと、受信割り込みとがあります。送信割り込みは、送信バッファエンプティ時に発生します。受信割り込みは、受信完了割り込みと受信エラー割り込みから受信割り込み要因選択レジスタ(SI03SEL)によって選択できます。

注. 割り込み信号は、対応するSIOのTEN(送信許可)ビット、またはREN(受信許可)ビットを許可にし、SIO割り込みマスクレジスタで許可することによってはじめて発生します。

(2) 送信割り込みに関する注意

SIO割り込みマスクレジスタが割り込み許可状態で、対応するTEN(送信許可)ビットを許可にすると、送信割り込みが発生します。

(3) SIOのDMA転送要求について

各SIOは送信DMA転送要求と受信完了DMA転送要求を発生することができます。DMA転送要求は各SIOの対応するTEN(送信許可)ビット、もしくはREN(受信許可)ビットを許可することで発生可能となります。

DMA転送を用いて通信を行う場合は、TENビット、RENビットを許可にする前にDMACの設定を行ってください。

受信エラーが発生した場合、受信完了DMA転送要求は発生しません。

送信DMA転送要求

送信バッファエンプティで、TENビットが許可の場合に発生します。

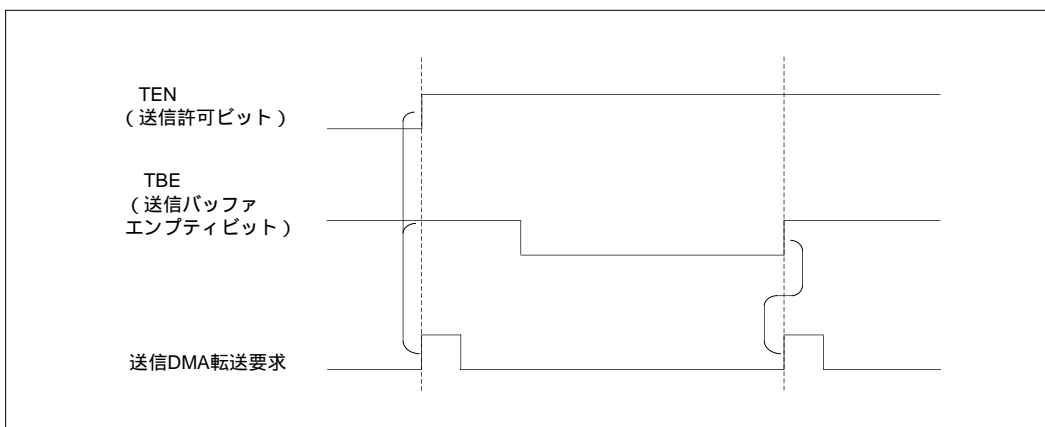


図12.2.2 送信DMA転送要求

受信完了DMA転送要求

受信バッファフルになった時にDMA転送要求を発生します。

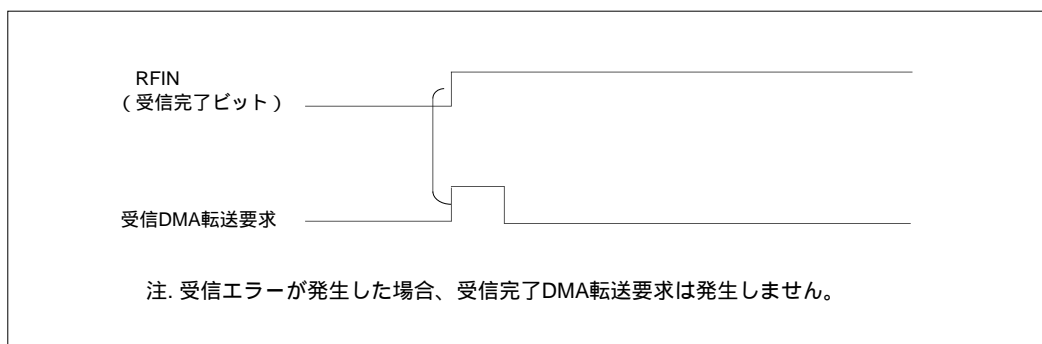


図12.2.3 受信完了DMA転送要求

12.2.2 SIO割り込み制御レジスタ

SIO23 割り込みステータスレジスタ (SI23STAT)

< アドレス : H'0080 0100 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	IRQT2 (SIO2送信完了割り込み要求ステータスビット)	0: 割り込み要求なし 1: 割り込み要求あり		
5	IRQR2 (SIO2受信割り込み要求ステータスビット)	0: 割り込み要求なし 1: 割り込み要求あり		
6~7	何も配置されていません		0	-

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

SIO2からの送受信割り込み要求を示します。

【割り込み要求ステータスビットのセット】

ハードウェアによって行われます。ソフトウェアでセットすることはできません。

【割り込み要求ステータスビットのクリア】

ソフトウェアで"0"を書き込むことによって行います。

注. ハードウェアによるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合、ハードウェアによるステータスのセットが優先されます。

SIO割り込みステータスレジスタ書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

SIO03 割り込みマスクレジスタ (SI03MASK)

<アドレス : H'0080 0101 >

D8	9	10	11	12	13	14	D15
T0MASK	R0MASK	T1MASK	R1MASK	T2MASK	R2MASK		

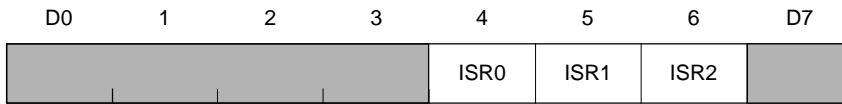
<リセット時 : H'00 >

D	ビット名	機能	R	W
8	T0MASK (SIO0送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
9	R0MASK (SIO0受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
10	T1MASK (SIO1送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
11	R1MASK (SIO1受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
12	T2MASK (SIO2送信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
13	R2MASK (SIO2受信割り込みマスクビット)	0 : 割り込み要求マスク(禁止) 1 : 割り込み要求許可		
14~15	何も配置されていません		0	-

各SIOから出された割り込み要求の許可/不許可を制御するレジスタです。割り込みマスクビットに"1"をセットすると、対応するSIOからの割り込み要求が許可されます。

SIO03 受信割り込み要因選択レジスタ (SIO3SEL)

< アドレス : H'0080 0102 >



< リセット時 : H'00 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	ISR0	0 : 受信完了割り込み (SIO0受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
5	ISR1	0 : 受信完了割り込み (SIO1受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
6	ISR2	0 : 受信完了割り込み (SIO2受信割り込み要因選択ビット) 1 : 受信エラー割り込み		
7	何も配置されていません		0	-

受信動作完了時に生じる割り込み要因が選択されます。

【"0" にセットした場合】

受信完了割り込み(受信バッファフル)が選択されます。受信完了割り込みは、受信エラー発生時でも発生します(オーバランエラーを除く)。

【"1" にセットした場合】

受信エラー割り込みが選択されます。受信エラーで検出されるエラーは以下の通りです。

CSIOモード : オーバランエラー

UARTモード : オーバランエラー、パリティエラー、フレーミングエラー

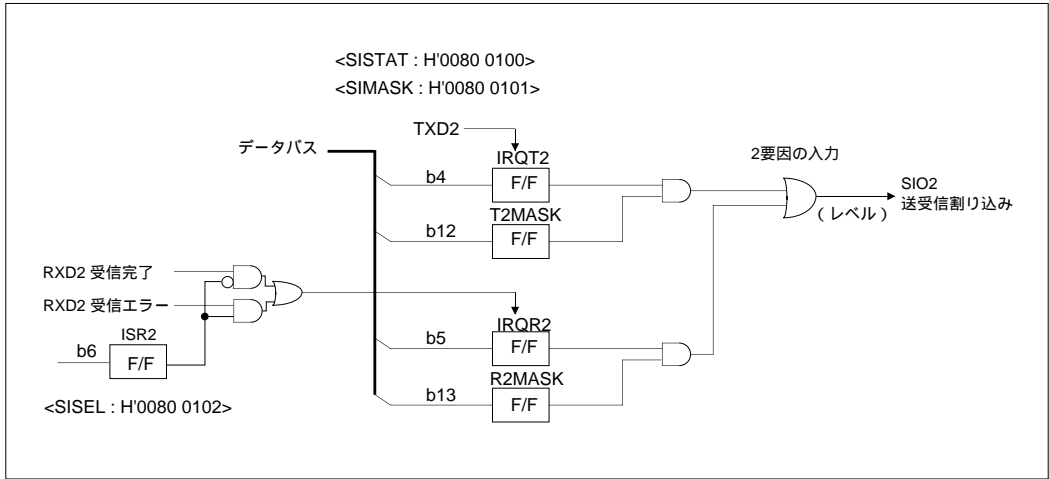
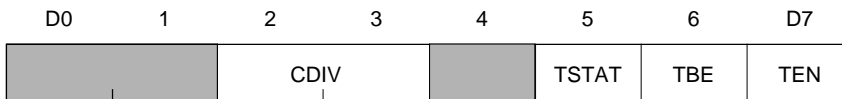


図12.2.4 SIO2送受信割り込み回路構成図

12.2.3 SIO送信制御レジスタ

SIO0 送信制御レジスタ (S0TCNT)	<アドレス : H'0080 0110 >
SIO1 送信制御レジスタ (S1TCNT)	<アドレス : H'0080 0120 >
SIO2 送信制御レジスタ (S2TCNT)	<アドレス : H'0080 0130 >



<リセット時 : H'12 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	CDIV (BRGカウントソース 選択ビット)	00 : (BCLK) を選択 01 : (BCLK) の8分周を選択 10 : (BCLK) の32分周を選択 11 : (BCLK) の256分周を選択		
4	何も配置されていません		0	-
5	TSTAT (送信ステータスビット)	0 : 送信停止 & 送信バッファレジスタ 内にデータなし 1 : 送信中or送信バッファレジスタ 内にデータあり		-
6	TBE (送信バッファ エンプティビット)	0 : 送信バッファレジスタ内に データあり 1 : 送信バッファレジスタ内に データなし		-
7	TEN (送信許可ビット)	0 : 送信禁止 1 : 送信許可		

(1) CDIV (ボーレートジェネレータカウントソース選択) ビット (D2,D3)

ボーレートジェネレータ(BRG)のカウントソースを選択するビットです。

注. BRGのカウントソースとして(BCLK)を選択した場合、ボーレートが最大転送速度を上回ることがないようにBRGを設定する必要があります。詳細は、BRGレジスタの項を参照ください。

(2) TSTAT (送信ステータス) ビット (D5)

[セット条件]

送信許可状態の時に送信バッファレジスタへ書き込むと"1"がセットされます。

[クリア条件]

送信停止(送信シフトレジスタにデータがない) かつ送信バッファレジスタにデータが存在しない場合、"0"にクリアされます。また、送信許可ビットのクリアによってもクリアされます。

(3) TBE (送信バッファエンプティ) ビット (D6)

[セット条件]

送信バッファレジスタから送信シフトレジスタにデータが転送され、送信バッファレジスタが空になると"1"にセットされます。また、送信許可ビットを"0"にクリアするとセットされます。

[クリア条件]

送信許可の状態(TENが"1"にセット)で送信バッファレジスタの下位バイトにデータを書き込むと"0"にクリアされます。

(4) TEN (送信許可) ビット (D7)

このビットを"1"にセットすると送信許可状態になり、"0"にクリアすると送信禁止となります。

データ送信中に"0"にクリアした場合、送信動作は停止します。

12.2.4 SIO送受信モードレジスタ

SIO0 モードレジスタ (S0MOD) <アドレス : H'0080 0111 >
 SIO1 モードレジスタ (S1MOD) <アドレス : H'0080 0121 >
 SIO2 モードレジスタ (S2MOD) <アドレス : H'0080 0131 >

D8	9	10	11	12	13	14	D15
SMOD			CKS	STB	PSEL	PEN	SEN

<リセット時 : 00 >

D	ビット名	機能	R	W
8~10	SMOD (シリアルI/Oモード選択ビット) (注1)	000 : 7ビットUART 001 : 8ビットUART 01X : 9ビットUART 1XX : 8ビットクロック 同期シリアルI/O		
11	CKS(内部 / 外部クロック 選択ビット)	0 : 内部クロック 1 : 外部クロック		(注2)
12	STB(ストップビット長選択ビット、 UARTモード専用)	0 : 1ストップビット 1 : 2ストップビット		(注3)
13	PSEL(パリティ奇 / 偶選択ビット、 UARTモード専用)	0 : 奇数パリティ 1 : 偶数パリティ		(注3)
14	PEN(パリティ許可ビット、 UARTモード専用)	0 : パリティ禁止 1 : パリティ許可		(注3)
15	SEN(スリープ選択ビット、 UARTモード専用)	0 : スリープ機能無効 1 : スリープ機能有効		(注3)

注1. SIO2では、D8ビットはハードウェア的に"0"固定です。D8ビットに"1"を設定(クロック同期シリアルI/Oを選択)することはできません。

注2. UARTモード選択時は無効となります。

注3. クロック同期形モード時、D12~D15は無効になります。

SIO モードレジスタは、シリアルI/Oの動作モード、デ - タフォ - マットおよび通信時に使用する機能を設定するビットで構成されています。

SIO送受信モードレジスタは、必ずシリアルI/Oの動作開始前に設定を行ってください。送受信開始後に設定を変更する場合は、送信および受信動作の完了を確認し、送受信動作を禁止(SIO送信制御レジスタの送信許可ビットおよびSIO受信制御レジスタの受信許可ビットを"0"にクリア)したのち設定してください。

(1) SMOD (シリアルI/Oモード選択) ビット (D8 ~ D10)

シリアルI/Oモード選択ビットは、シリアルI/Oの動作モードを選択するビットです。

(2) CKS (内部/外部クロック選択) ビット (D11)

CSIOモード選択時に有効なビットです。UARTモード選択時は、このビットの設定は無効となり、内部クロックで動作します。

(3) STB (ストップビット長選択) ビット (D12)

UARTモード時に有効なビットです。送信するデータの終わりを示すストップビット長を、このビットで選択します。このビットが"0"のとき1ストップビット、"1"のとき2ストップビットです。

クロック同期形モード時、このビットの内容は無効になります。

(4) PSEL (パリティ奇/偶選択) ビット (D13)

UARTモード時に有効なビットです。パリティを許可(D14="1")した場合、このビットでパリティの属性(奇数/偶数)を選択します。このビットが"0"のとき奇数パリティ、"1"のとき偶数パリティです。

パリティを禁止(D14="0")した場合、およびクロック同期形モード時はこのビットの内容は無効になります。

(5) PEN (パリティ許可) ビット (D14)

UARTモード時に有効なビットです。このビットを"1"にしたとき、送信データのデータビットの直後にパリティビットを付加します。受信データに対しては、パリティチェックを行います。

送信データに付加されるパリティビットは、データビットの"1"の個数とパリティビットの内容を加算した結果の属性(奇数/偶数)が、パリティ奇/偶選択ビット(D13)で選択した属性と一致するように、自動的に"0"又は"1"に決定されます。

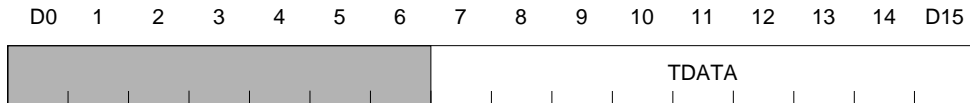
図12.2.4にパリティ許可時のデータフォーマット例を示します。

(6) SEN (スリープ選択) ビット (D15)

UARTモード時に有効なビットです。このビットを"1"にしてスリープ機能を有効にした場合、受信データの最上位ビット(MSB)の内容が"1"の場合だけ、UART受信バッファレジスタへデータを取り込みます。

12.2.5 SIO送信バッファレジスタ

SIO0 送信バッファレジスタ (S0TXB)	< アドレス : H'0080 0112 >
SIO1 送信バッファレジスタ (S1TXB)	< アドレス : H'0080 0122 >
SIO2 送信バッファレジスタ (S2TXB)	< アドレス : H'0080 0132 >



< リセット時 : 不定 >

D	ビット名	機能	R	W
0~6	何も配置されていません		?	
7~15	TDATA (送信データ)	送信データを設定します。	?	

R = ? : 読み出し時不定

SIO送信バッファレジスタは、送信データを設定するレジスタです。このレジスタは書き込み専用レジスタで、このレジスタの内容を読み出すことはできません。データはLSB側につめて設定し、7ビットデータ(UARTモードのみ)時はD9 ~ D15に、8ビットデータ時はD8 ~ D15に、9ビットデータ(UARTモードのみ)時はD7 ~ D15に送信データを書きます。

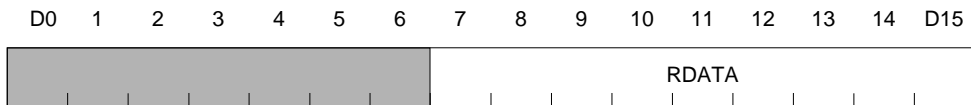
送信データの設定は、送信制御レジスタのTEN(送信許可)ビットを許可("1"にセット)にしてから行ってください。TENビットが不許可("0"にクリア)の状態での書き込みは無効です。

送信許可の状態で送信バッファレジスタにデータが書き込まれると、SIO送信バッファレジスタのデータはSIO送信シフトレジスタに転送され、送信が開始されます。

注. 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.6 SIO受信バッファレジスタ

SIO0受信バッファレジスタ(S0RXB)	<アドレス : H'0080 0114>
SIO1受信バッファレジスタ(S1RXB)	<アドレス : H'0080 0124>
SIO2受信バッファレジスタ(S2RXB)	<アドレス : H'0080 0134>



<リセット時 : 不定>

D	ビット名	機能	R	W
0~6	何も配置されていません		0	-
8~15	RDATA (受信データ)	受信データが格納されます。		-

SIO受信バッファレジスタは、受信データを格納するレジスタです。データの受信が完了すると、SIO受信シフトレジスタの内容がSIO受信バッファレジスタに転送されます。このレジスタは読み出し専用のレジスタです。

7ビットデータ(UARTモードのみ)時は、D9~D15にデータがセットされ、D8、D7には必ず"0"がセットされます。8ビットデータ時は、D8~D15にデータがセットされ、D7には必ず"0"がセットされます。

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバーランエラーが発生し、それ以後受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、受信制御レジスタのREN(受信許可)ビットを"0"にクリアしてください。

注. 7ビットデータおよび8ビットデータ時は、バイトアクセスが可能です。

12.2.7 SIO受信制御レジスタ

SIO0受信制御レジスタ(S0RCNT) <アドレス:H'0080 0116>
 SIO1受信制御レジスタ(S1RCNT) <アドレス:H'0080 0126>
 SIO2受信制御レジスタ(S2RCNT) <アドレス:H'0080 0136>

D0	1	2	3	4	5	6	D7
	RSTAT	RFIN	REN	OVR	PTY	FLM	ERS

<リセット時:H'00>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	RSTAT (受信ステータスビット)	0:受信停止 1:受信中		-
2	RFIN (受信完了ビット)	0:受信バッファレジスタ内に データなし 1:受信バッファレジスタ内に データあり		-
3	REN (受信許可ビット)	0:受信禁止 1:受信許可		-
4	OVR (オーバーランエラービット)	0:オーバーランエラーなし 1:オーバーランエラー発生		-
5	PTY (パリティエラービット、 UARTモード専用)	0:パリティエラーなし 1:パリティエラー発生		-
6	FLM (フレーミングエラービット、 UARTモード専用)	0:フレーミングエラーなし 1:フレーミングエラー発生		-
7	ERS (エラーサムビット)	0:エラーなし 1:エラー発生		-

(1) RSTAT (受信ステータス) ビット (D1)

[セット条件]

受信動作の開始によって"1"にセットされます。このビットが"1"の時は、データ受信中であることを示しています。

[クリア条件]

受信動作の完了、もしくはREN(受信許可)ビットを"0"にクリアすることによってクリアされます。

(2) RFIN (受信完了) ビット (D2)

[セット条件]

受信シフトレジスタにデータが揃い、その内容が受信バッファレジスタに転送された時、"1"にセットされます。

[クリア条件]

受信バッファレジスタの下位バイトの読み出し、もしくはREN(受信許可)ビットのクリアによって行います。ただし、オーバランエラー発生時は、受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(3) REN (受信許可) ビット (D3)

このビットを"1"にセットすると受信許可状態になり、"0"にクリアすると受信禁止となるとともに受信部を初期化します。これに伴い、受信ステータスフラグ、受信完了フラグビット、オーバランエラーフラグ、フレーミングエラーフラグ、パリティエラーフラグ、エラーサムフラグの各ビットがクリアされます。

データ受信中に受信許可ビットを"0"にクリアした場合、受信動作は停止します。

(4) OVR (オーバランエラー) ビット (D4)

[セット条件]

受信バッファレジスタに前回の受信データが存在するにもかかわらず、受信シフトレジスタに次の受信データが揃ってしまった場合、"1"にセットされます。受信データの受信バッファレジスタへの格納は行われません。

オーバランエラーフラグが"1"の状態では受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われません。

正常な受信を再開するためには、このビットをクリアする必要があります。

[クリア条件]

REN(受信許可)ビットを"0"にクリアすることによってのみクリアされます。

(5) PTY (パリティエラー) ビット (D5)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

PTY(パリティエラーフラグ)ビットはSIO送受信モードレジスタのPEN(パリティ有効/無効)ビットが有効でかつ、受信データのパリティ(偶数/奇数)が同じレジスタのPSEL(パリティ選択)ビットで設定した値と異なる場合、"1"がセットされます。

[クリア条件]

PTYビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

ただし、オーバランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。REN(受信許可)ビットを"0"にクリアしてください。

(6) FLM (フレーミングエラー) ビット (D6)

このビットは、UARTモードの場合のみ有効です。CSIOモード時は"0"固定となります。

[セット条件]

FLM(フレーミングエラー)ビットは受信したビットの数が、SIO送受信モードレジスタで選択した数と異なる場合に"1"がセットされます。ただし、オーバランエラー発生時は受信バッファレジスタの下位バイト読み出しによるクリアはできません。

REN(受信許可)ビットを"0"にクリアしてください。

[クリア条件]

FLMビットのクリアは、SIO受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

(7) ERS (エラーサム) ビット (D7)

[セット条件]

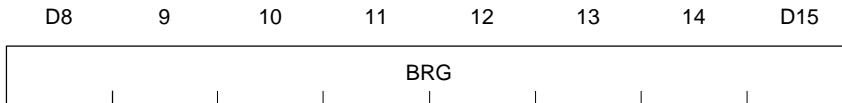
受信完了時にオーバランエラー、フレーミングエラー、およびパリティエラーのうち、いずれかの一つでも発生した場合、このフラグに"1"がセットされます。

[クリア条件]

オーバランエラー発生時は、REN(受信許可)ビットを"0"にクリアすることによって行います。それ以外の場合は、受信バッファレジスタの下位バイトの読み出し、もしくは、SIO受信制御レジスタのREN(受信許可)ビットのクリアで行います。

12.2.8 SIOボーレートレジスタ

SIO0 ボーレートレジスタ (S0BAUR)	<アドレス : H'0080 0117 >
SIO1 ボーレートレジスタ (S1BAUR)	<アドレス : H'0080 0127 >
SIO2 ボーレートレジスタ (S2BAUR)	<アドレス : H'0080 0137 >



<リセット時 : 不定>

D	ビット名	機能	R	W
8 ~ 15	BRG (ボーレート分周値)	SIOモードレジスタで選択された ボーレートカウントソースを、 BRG設定値nにしたがって(n+1) 分周します。		

BRG (ボーレート分周値) (D8 ~ 15)

SIOボーレートレジスタは、SIOモードレジスタで選択したボーレートカウントソースを、BRG設定値に従って(BRG設定値+1)分周します。

初期状態ではBRGの値は不定となっているため、必ずシリアルI/O動作前に分周値を設定してください。送受信中のBRG書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。

CSIOモードで内部クロックを使用する(SCLKO信号を出力する)場合は、内部BCLKをクロックデバイダで分周し、次にBRG設定値に従って(BRG設定値+1)分周後、さらに2分周したクロックを送受信シフトクロックとします。

CSIOモードで外部クロックを使用する場合は、BRGは使用しません(外部から入力されたクロックに同期して送受信が行われます)。

UARTモードでは、内部BCLKをクロックデバイダで分周した後、BRG設定値に従って (BRG設定値 + 1)分周し、さらに16分周したクロックが送受信シフトクロックになります。

SIO0、SIO1をUARTモードで使用する場合、該当ポート(P84、P87)をそれぞれSCLKO端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

内部クロック使用時(内部クロックCSIOモード、UARTモード)で、BRGカウントソースとして(BCLK)を選択した場合、CSIOモードの時には転送速度が2Mビット/秒を越えないように、UARTモードの時にはBRGが7以上となるように設定してください。

12.3 CSIOモード送信動作説明

12.3.1 CSIOボーレートの設定

CSIOモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックを生成するクロックソースは、内部クロック($f(\text{BCLK})$)、または外部クロックから選択します。クロックソースの選択はCKS(内部/外部クロック選択)ビット(SIO送受信モードレジスタのD11)により行います。

送受信のボーレート値の算出式は、内部/外部クロックの選択によって異なります。

(1) CSIOモードで内部クロック選択時

内部クロックを選択した場合、 $f(\text{BCLK})$ はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力されます。

クロックデバイダの分周値は、CDIV(ボーレートジェネレータカウトソース選択)ビット(送信制御レジスタD2,D3)で、1分周、8分周、32分周または256分周から選択します。

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)分周し、さらに2分周したクロックをデータの送受信シフトクロックとします。

CSIOモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート [bps]} = \frac{f(\text{BCLK})}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 2}$$

$f(\text{BCLK})$: 内部周辺クロック動作周波数
 ボーレートレジスタ設定値 = H'00 ~ H'FF (注)
 クロックデバイダ分周値 = 1, 8, 32, 256

注. ボーレートジェネレータカウトソースとして1分周($f(\text{BCLK})$ そのもの)を選択した場合は、2Mbpsを越えないようにボーレートレジスタの値を設定してください。

(2) CSIOモードで外部クロック選択時

ボーレートジェネレータは使用されず、SCLKI端子からの入力クロックが、そのままCSIOの送受信シフトクロックになります。

SCLKI端子への入力クロック最大周波数は、 $f(\text{BCLK})/16$ です。

$$\text{ボーレート [bps]} = \text{SCLKI端子入力クロック}$$

12.3.2 CSIO送信時の初期設定

CSIOで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

CSIOモードに設定
内部クロック / 外部クロック選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(12.3.1「CSIOボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

送信バッファエンプティ割り込みの許可 / 禁止(SIO割り込みマスクレジスタ)

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信時に送信バッファエンプティ割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

送信バッファエンプティ時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

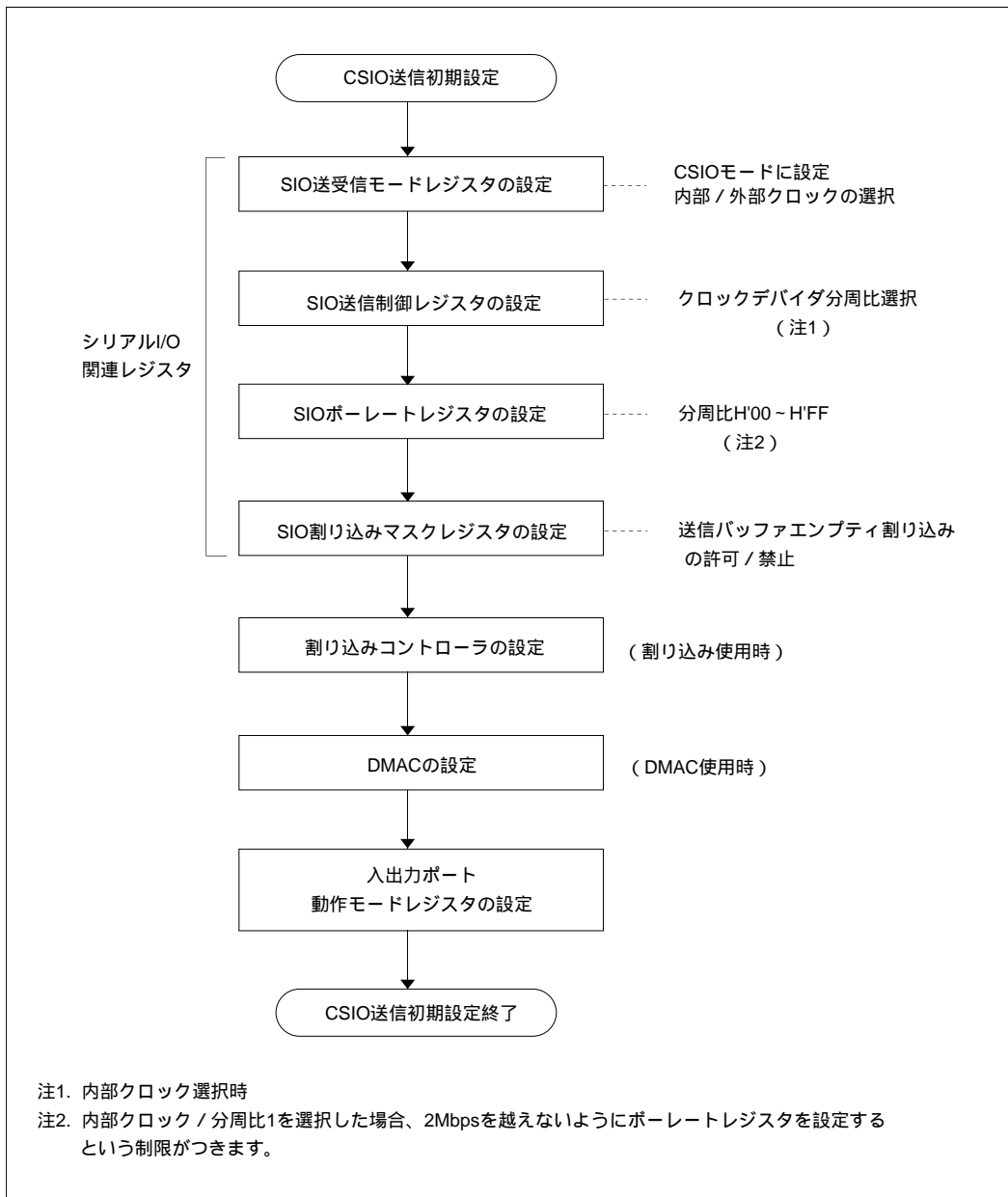


図12.3.1 CSIO送信初期化手順

12.3.3 CSIO送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

(1) CSIO モード内部クロック選択時の送信条件

SIO送信制御レジスタの送信許可ビットに"1"をセット
SIO送信バッファレジスタの下位バイトに送信データ(8ビット)を書き込み
(送信バッファエンプティビットが"0")

(2) CSIO モード外部クロック選択時の送信条件

SIO送信制御レジスタの送信許可ビットに"1"をセット
SIO送信バッファレジスタの下位バイトに送信データを書き込み
(送信バッファエンプティビットが"0")
SCLKI端子へ送信クロックの立ち下がりエッジが入力される

- 注1. 送信許可ビットが"0"にクリアされた状態では、送信バッファレジスタの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。
- 注2. 内部クロック選択時は、上記(注1)の送信バッファレジスタの下位バイトへの書き込みが送信開始のトリガとなります。
- 注3. SIO送信バッファレジスタの下位バイトにデータをセットした時点で、送信ステータスビットが"1"にセットされます。

送信が開始されると以下の手順でデータが送信されます。

SIO送信バッファの内容を、SIO送信シフトレジスタに転送
送信バッファエンプティビットに"1"をセット (注)
シフトクロックに同期してLSBからデータ送信を開始

- 注. 送信バッファエンプティにより送信バッファエンプティ割り込み要求、およびDMA転送要求を発生することができます。

12.3.4 CSIOの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIOステータスレジスタの送信バッファエンプティフラグで確認します。

12.3.5 CSIO送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

送信ステータスビットに"0"をセット

(2) 連続送信の場合

連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.3.6 送信割り込み

SIO割り込みマスクレジスタで送信バッファエンプティ割り込みを許可した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。送信割り込みを使用するためには、割り込みコントローラ(ICU)の設定が必要です。

12.3.7 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMACの設定が必要です。

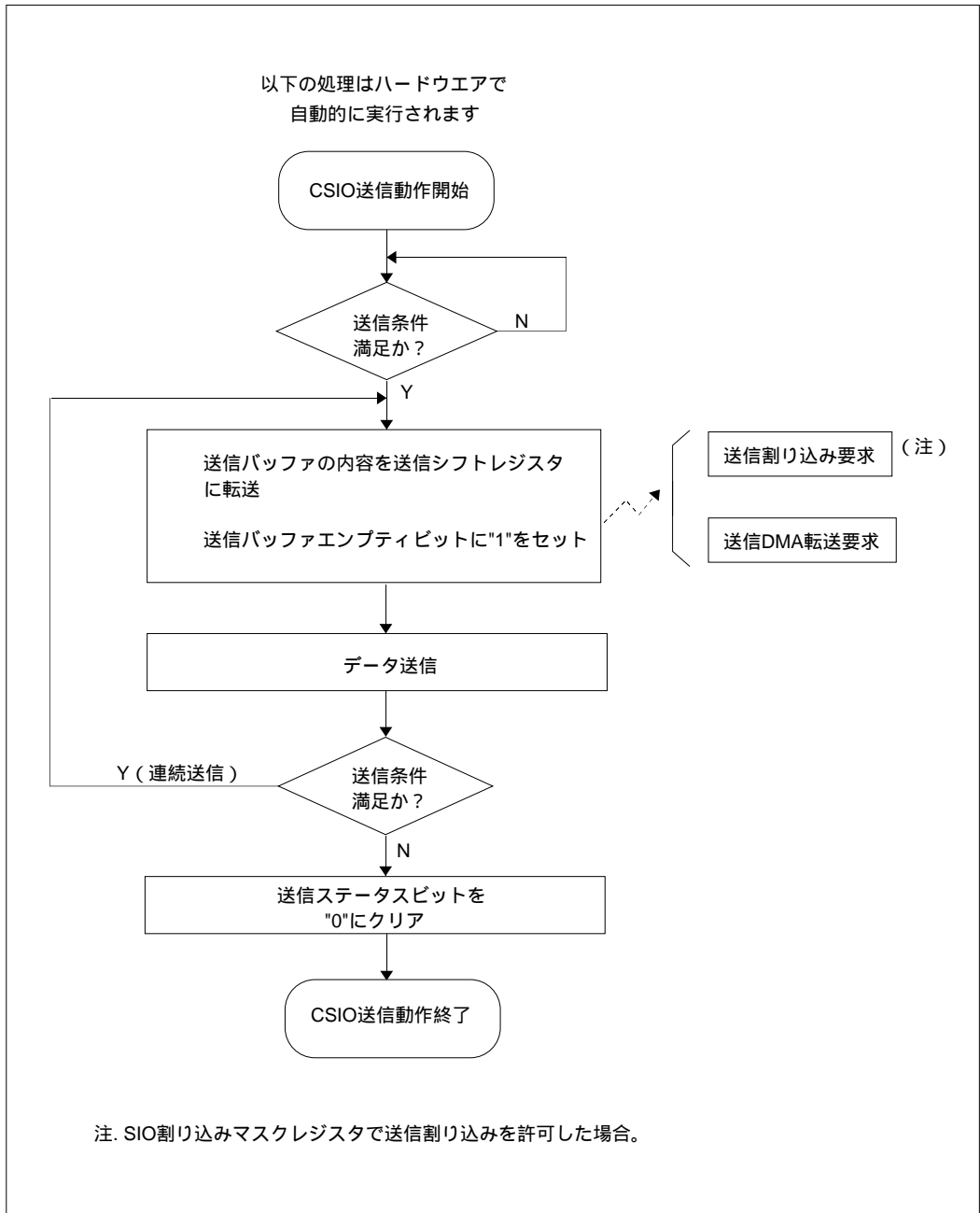


図12.3.2 CSIOモード時の送信動作(ハードウェア処理)

12.3.8 CSIO送信動作例

CSIOモードでの送信動作例を以下に示します。

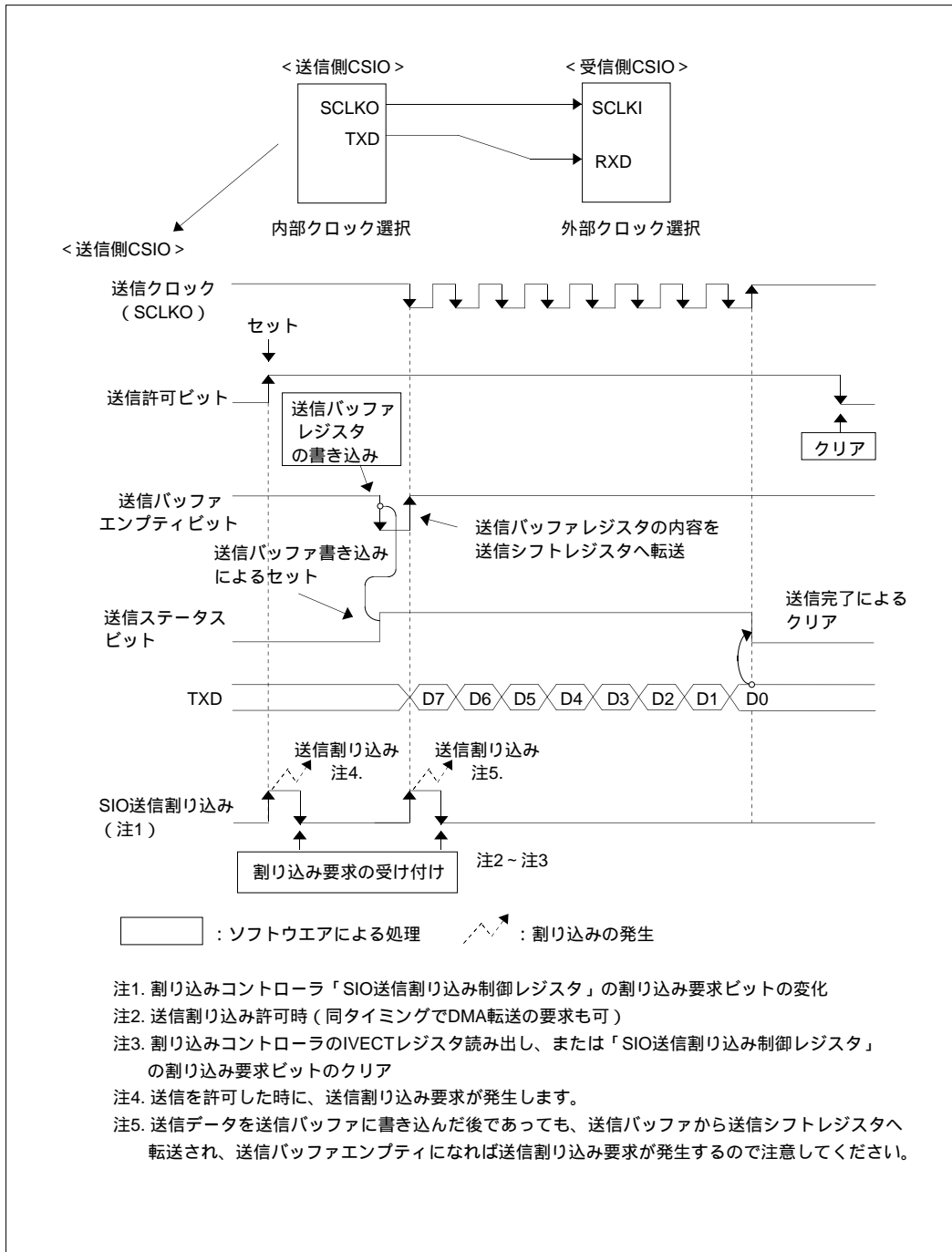


図12.3.3 CSIO送信例(1回だけの送信：送信割り込み使用)

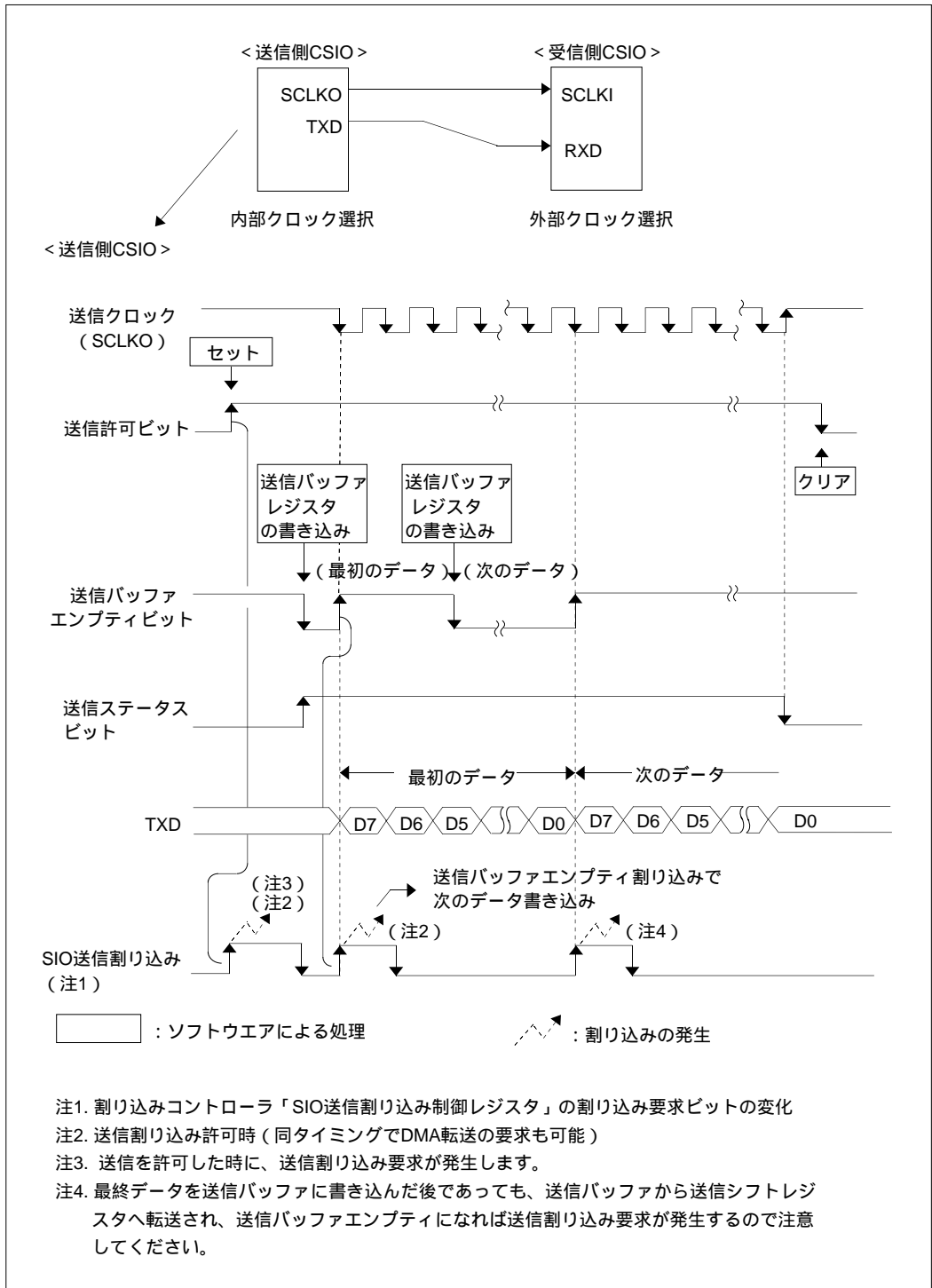


図12.3.4 CSIO送信例(連続送信：送信バッファエンプティ割り込みと送信完了割り込み使用)

12.4 CSIOモード受信動作説明

12.4.1 CSIO受信時の初期設定

CSIOで受信を行う場合は、以下の手順で初期設定を行います。なお、受信シフトクロックは送信回路の動作によって得られますので、受信だけ行う場合にも送信動作を実行させる必要があります。

(1) SIOモードレジスタの設定

CSIOモードに設定
内部クロック / 外部クロックの選択

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の選択(内部クロック選択時)

(3) SIOボーレートレジスタの設定

内部クロック選択時、ボーレートジェネレータの値を設定します(12.3.1「CSIOボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

送受信割り込みの許可 / 禁止(SIO割り込みマスクレジスタ)
受信割り込み要因(受信完了 / エラー)の選択(受信割り込み要因選択レジスタ)

(5) SIO受信制御レジスタの設定

受信許可ビットのセット

(6) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送受信時に送信割り込み、または、受信割り込みを使用する場合は、優先レベルの設定を行います。

(7) DMACの設定

送信バッファエンプティ時、または、送信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(8) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

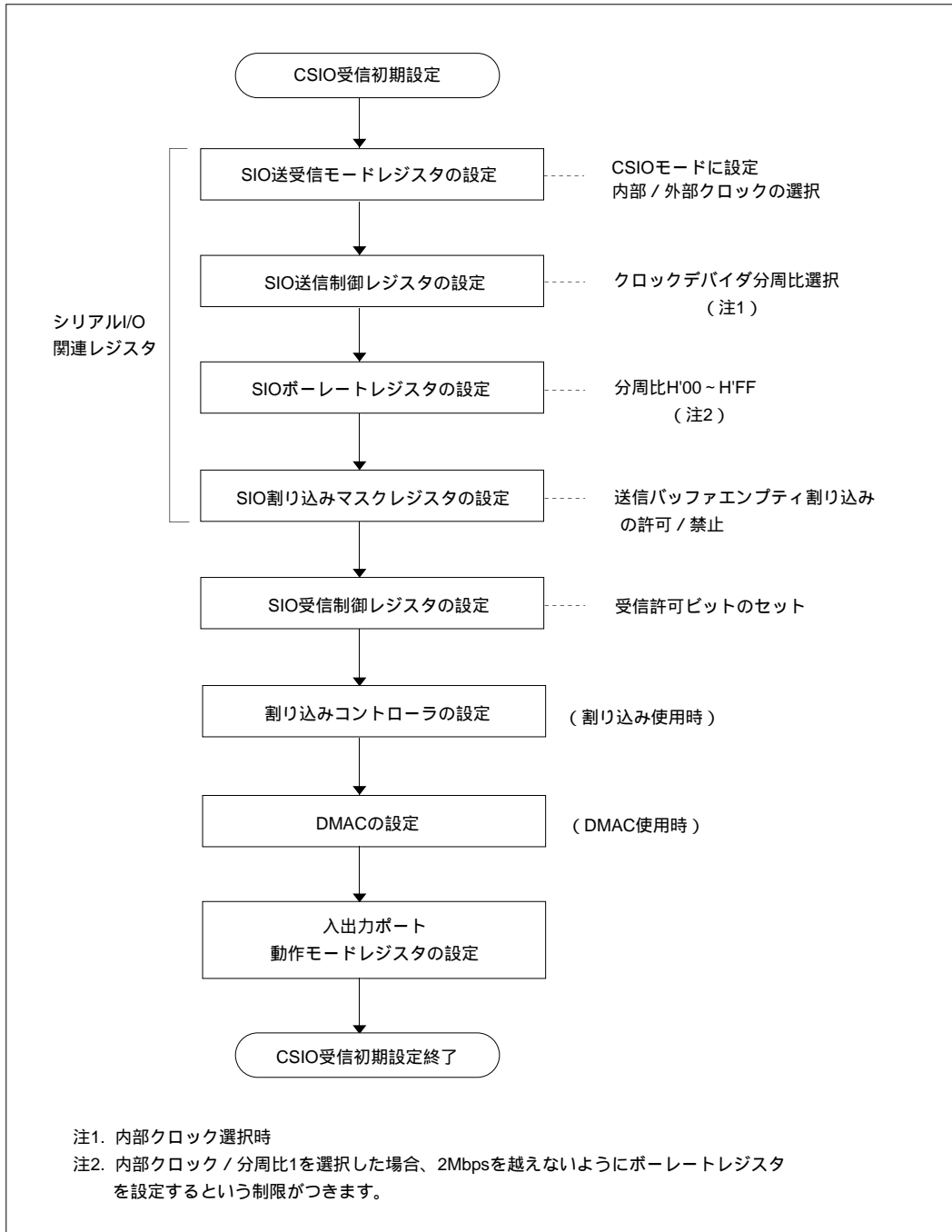


図12.4.1 CSIO受信初期化手順

12.4.2 CSIO受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

(1) CSIOモード内部クロック選択時の受信条件

SIO受信制御レジスタの受信許可ビットに"1"をセット
送信条件が満たされていること(12.3.3「CSIO送信の開始」を参照ください。)

(2) CSIOモード外部クロック選択時の受信条件

SIO受信制御レジスタの受信許可ビットに"1"をセット
送信条件が満たされていること(12.3.3「CSIO送信の開始」を参照ください。)

注. SIO送信バッファレジスタの下位バイトにダミーデータをセットした時点で、受信ステータスビットが"1"にセットされます。

上記の条件が満たされると、受信シフトクロックに同期して、8ビットのシリアルデータの受信(LSBファースト)を行います。

12.4.3 CSIO受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

注1. 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。

注2. DMA転送要求を発生します。

(2) 受信エラーが発生した場合

受信エラー(CSIOモード時はオーバーランエラーのみ発生)時は、オーバーランエラービットと受信エラーサムビットに"1"をセット

注1. 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時は、受信完了割り込み要求もDMA転送要求も発生しません。

注2. 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時に、割り込み要求が許可された場合、受信エラー割り込み要求が発生します。DMA転送要求は発生しません。

12.4.4 連続受信について

データ受信完了時に以下の条件が満たされていれば、連続受信可能となります。

- 受信許可ビットが"1"にセットされていること
- 送信条件が満たされていること
- オーバランエラーが発生していないこと

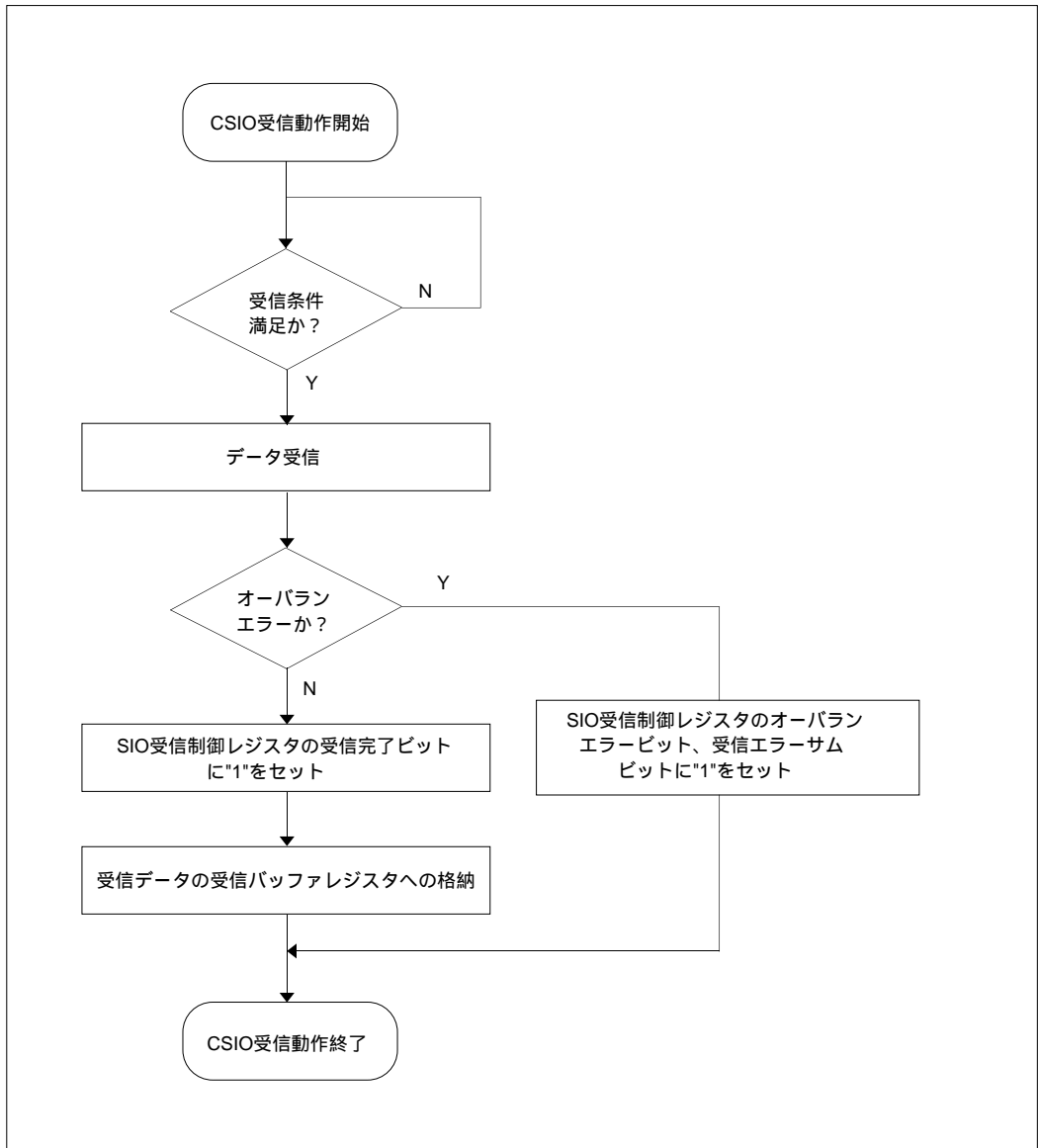


図12.4.2 CSIOモード時の受信動作(ハードウェア処理)

12.4.5 CSIO受信動作の状態を示すフラグ

CSIOモードの受信動作の状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット

受信完了後、SIO受信バッファレジスタの内容を読み出す前に次のデータの受信が完了すると、オーバランエラーが発生し、以後の受信データのSIO受信バッファレジスタへの格納は行われなくなります。

受信を再開するためには、いったん受信許可ビットを"0"にクリアし、受信制御部を初期化してやる必要があります。

上記の受信完了ビットのクリアは、受信エラー(注)が発生していない場合は、SIO受信バッファレジスタの下位バイト読み出し、もしくは、REN(受信許可)ビットのクリアで行います。

受信エラーが発生した場合は、REN(受信許可)ビットのクリアで行います。この場合、SIO受信バッファレジスタの下位バイトの読み出しでのクリアはできませんので、ご注意ください。

注. CSIOモードで検出可能なエラーは、オーバランエラーのみとなっています。

12.4.6 CSIO受信動作例

CSIOモードでの受信動作例を以下に示します。

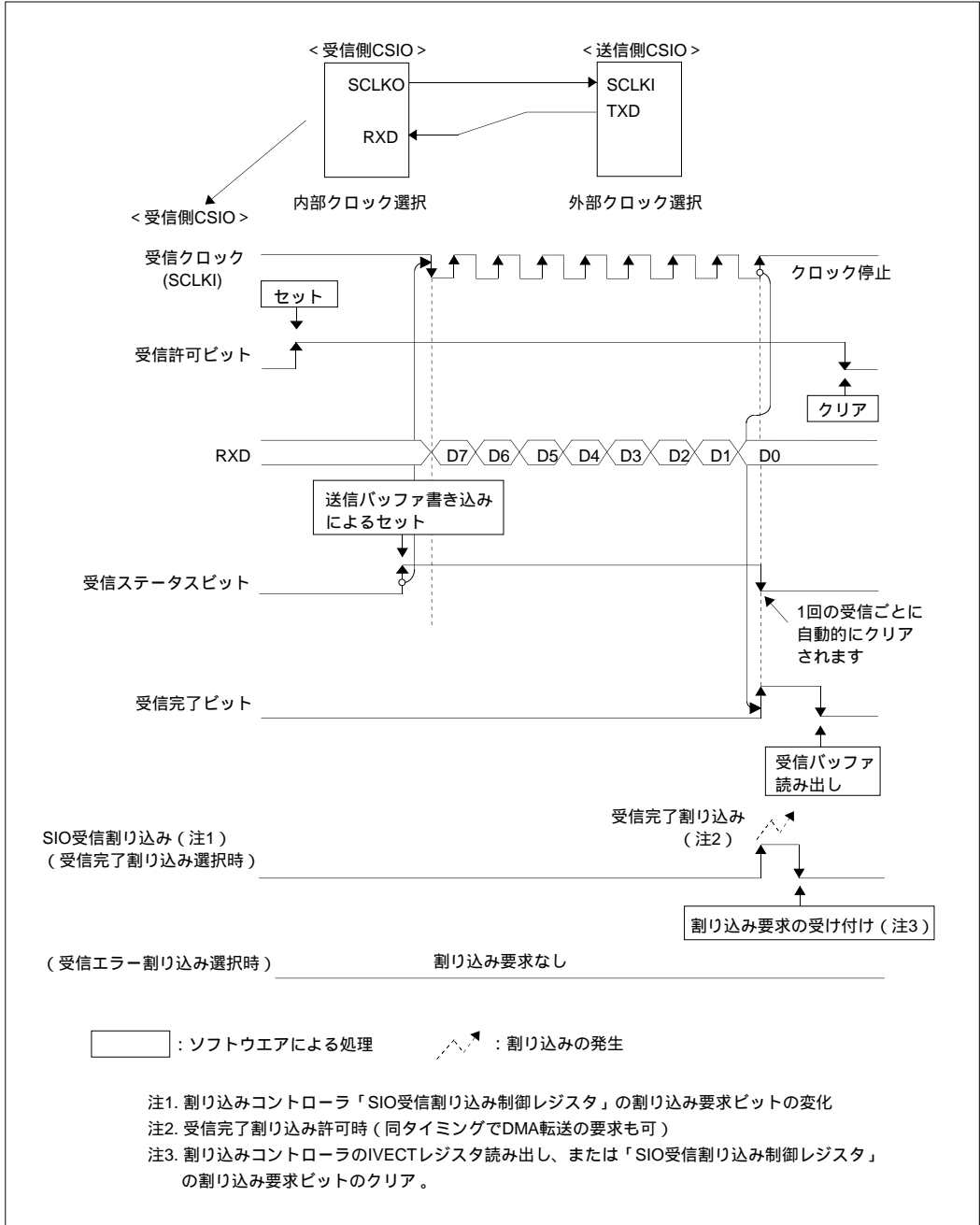


図12.4.3 CSIO受信例(正常受信時)

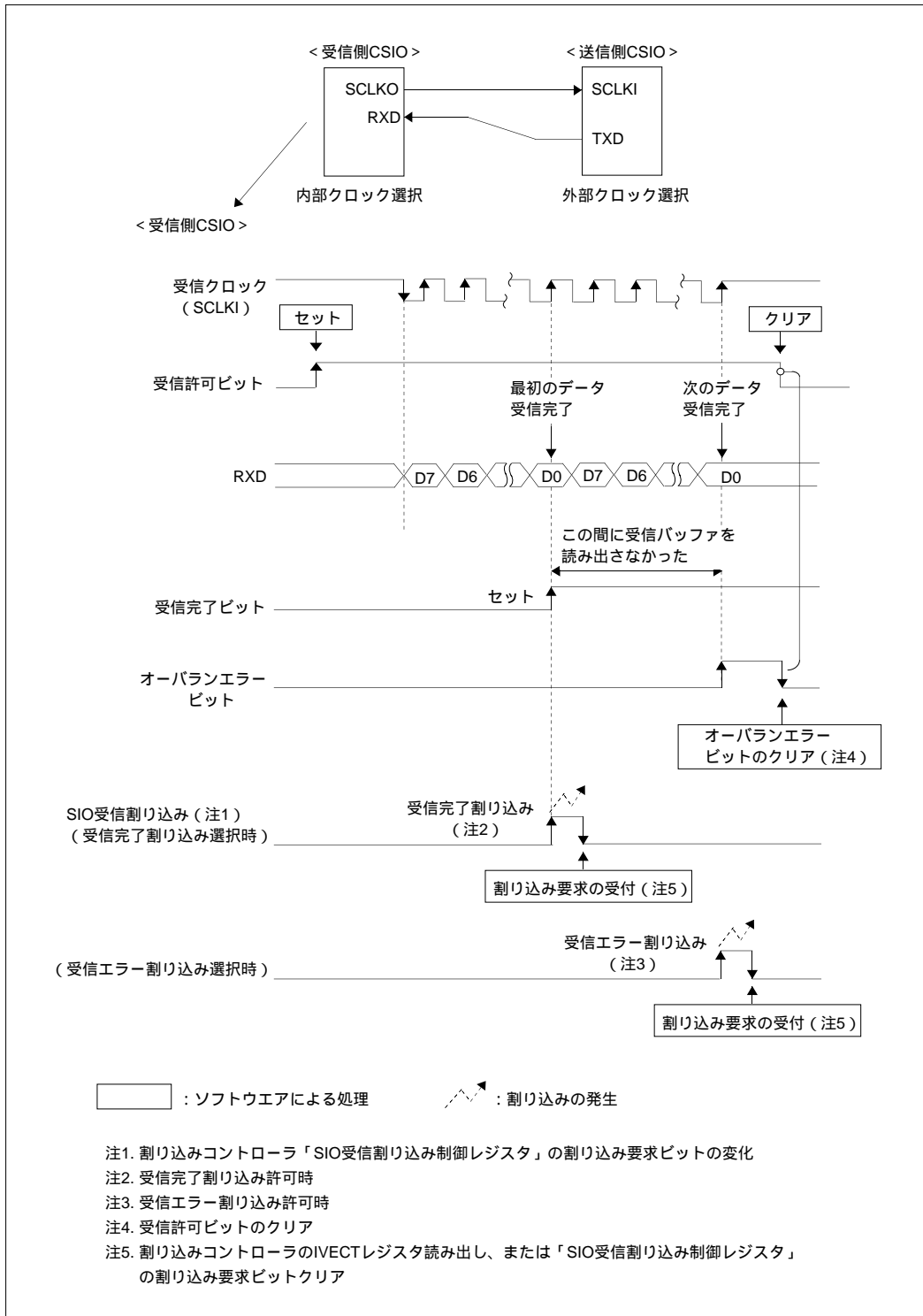


図12.4.4 CSIO受信例(オーバーランエラー発生時)

12.5 CSIOモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず停止中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、2 Mbpsを越えないようにBRGレジスタの値を設定してください。

連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなり(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

SIO送信時DMA転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

SIO受信時DMA転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんのでご注意ください。

12.6 UARTモード送信動作説明

12.6.1 UARTボーレートの設定

UARTモードのボーレート(データ転送速度)は、送受信シフトクロックによって決定されます。送受信シフトクロックのソースは、内部/外部クロック選択ビット(SIO送受信モードレジスタのD11)の内容にかかわらず内部クロックとなります。

(1) UARTモードのボーレート算出

f(BCLK)はクロックデバイダによって分周後、ボーレートジェネレータ(BRG)に入力され、その後さらに16分周されて送受信シフトクロックになります。

クロックデバイダの分周値は、SIO送信制御レジスタのCDIV(ボーレートジェネレータカウンタソース選択)ビット(D2,D3)で、1分周, 8分周, 32分周または256分周から選択します。(注)

ボーレートジェネレータでは、クロックデバイダ出力を(ボーレートレジスタ設定値+1)に分周し、さらにその後16分周して送受信シフトクロックとします。

UARTモードで内蔵クロックを選択時、ボーレートは以下の式で求められます。

$$\text{ボーレート [bps]} = \frac{f(\text{BCLK})}{\text{クロックデバイダ分周値} \times (\text{ボーレートレジスタ設定値} + 1) \times 16}$$

ボーレートレジスタ設定値 = H'00 ~ H'FF (注)

クロックデバイダ分周値 = 1, 8, 32, 256

注. ボーレートジェネレータカウンタソースとして1分周値(f(BCLK)そのもの)を選択した場合、ボーレートレジスタには7以上の値を設定してください。

12.6.2 UART送受信データフォーマット

UARTモード時の送受信データのフォーマットは、SIO送受信モードレジスタで設定します。以下にUARTモードで使用可能な送受信データフォーマットを示します。

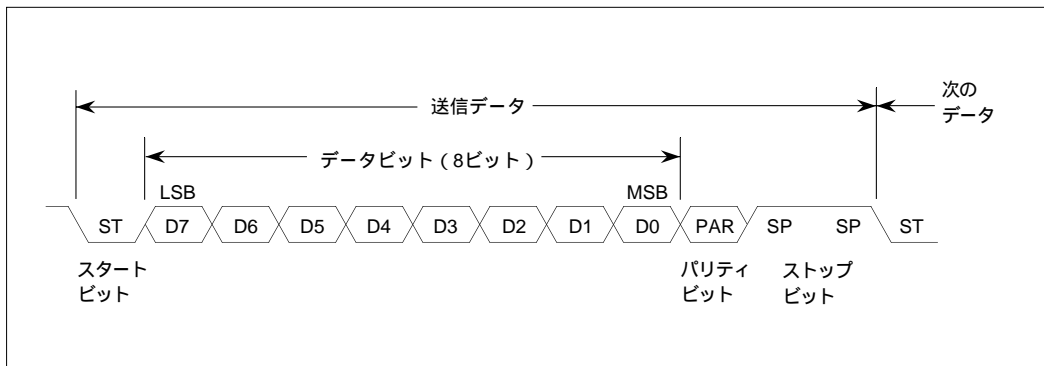


図12.6.1 UARTモード時の転送データフォーマット例

表12.6.1 UARTモード時の転送データ

ビット名称	内容
ST(スタートビット)	データの送信開始を示すビットで、1ビット分の"L"信号が送信データの直前に付加されます。
D0~D8(キャラクタビット)	シリアルI/Oを通じて転送される送受信データです。UARTモードでは7ビット、8ビットデータ、または9ビットデータの送受信が可能です。
PAR(パリティビット)	送受信キャラクタに付加されるビットで、パリティ有効時、偶数/奇数パリティの選択によって、パリティビットを含めたキャラクタ中の"1"の個数が常に偶数、または奇数になるように自動的に設定されます。
SP(ストップビット)	データの送信終了を示すビットで、キャラクタの直後(パリティ有効時はパリティビットの直後)に付加されます。ストップビットは1ビット、または2ビットを選択することができます。

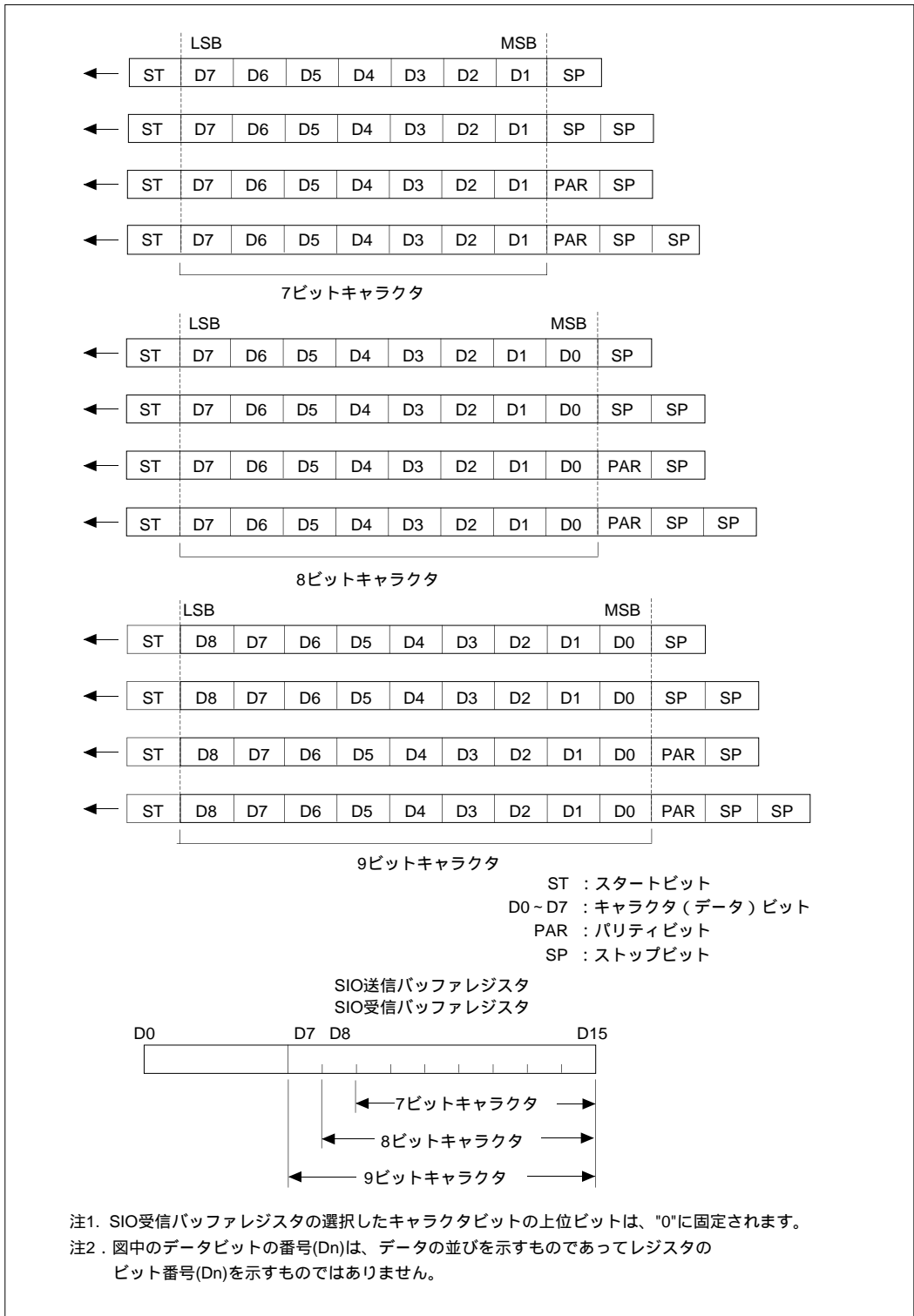


図12.6.2 UARTモード時に選択可能なデータフォーマット一覧

12.6.3 UART送信時の初期設定

UARTで送信を行う場合は、以下の手順で初期設定を行います。

(1) SIO送受信モードレジスタの設定

UARTモードに設定
パリティの設定(有効時は奇数/偶数選択)
ストップビット長の設定
キャラクタ長の設定(注)

注. UARTモード時は、内部/外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比を選択します。

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(12.6.1「UARTボーレートの設定」をご覧ください)。

(4) SIO割り込みマスクレジスタの設定

SIO送信割り込みの許可/禁止

(5) 割り込みコントローラの設定(SIO送信割り込み制御レジスタ)

送信割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

送信バッファエンブティ時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

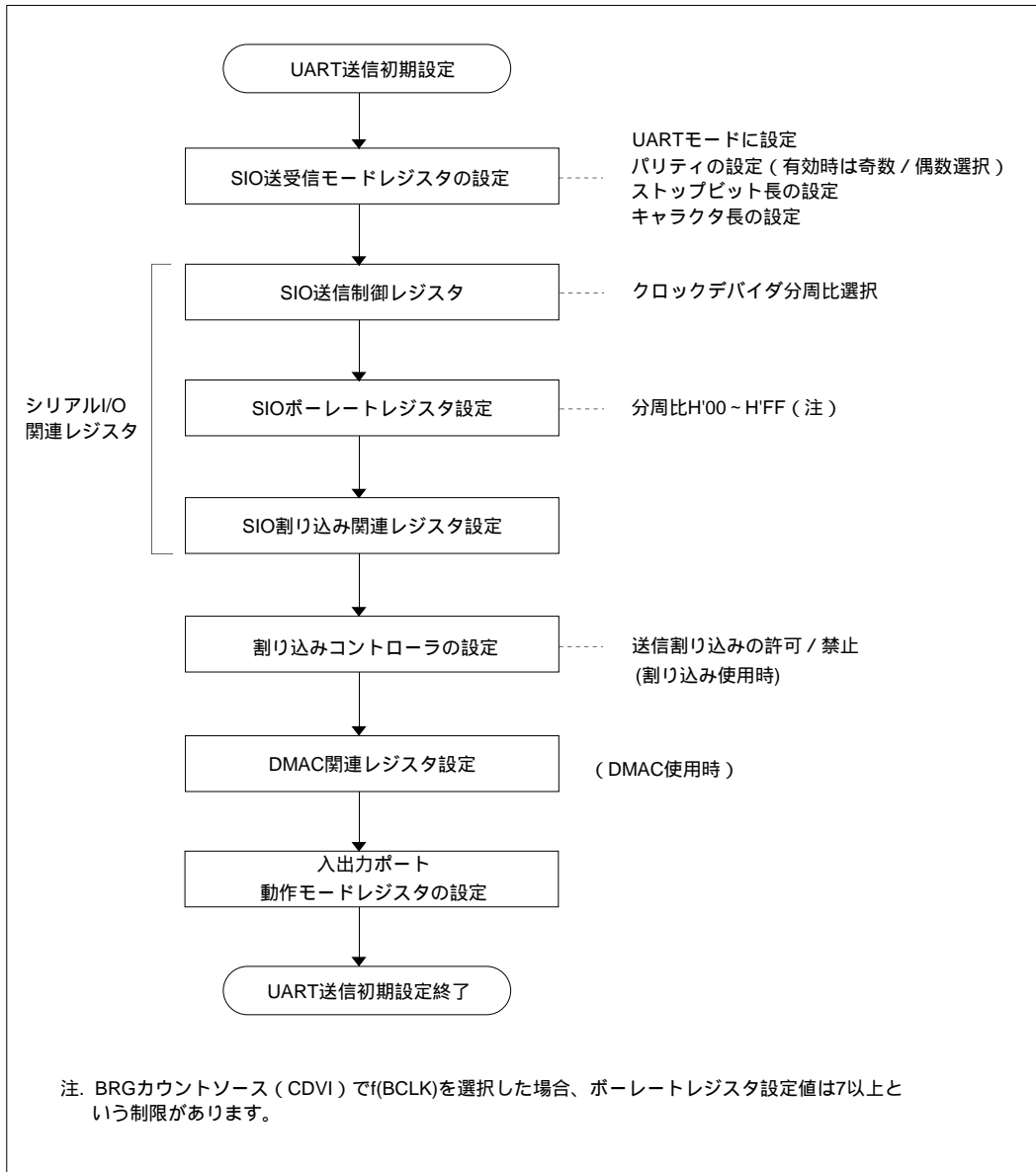


図12.6.3 UART送信初期化手順

12.6.4 UART送信の開始

初期設定終了後、以下の送信条件がすべて満たされると、送信動作を開始します。

SIO送信制御レジスタのTEN(送信許可)ビットに"1"をセット (注)
SIO送信バッファレジスタに送信データを書き込み
(送信バッファエンプティビットが"0")

注. 送信許可ビットが"0"にクリアされている状態では、送信バッファへの書き込みは無視されます。必ず送信許可ビットを"1"にセットしてから送信バッファレジスタへの書き込みを行ってください。

送信が開始されると以下の手順でデータが送信されます。

SIO送信バッファの内容を、SIO送信シフトレジスタに転送
送信バッファエンプティビットに"1"をセット (注)
シフトクロックに同期してデータ送信を開始(LSBファースト)

注. 送信バッファエンプティにより送信バッファエンプティ割り込み要求、およびDMA転送要求を発生することができます。

12.6.5 UARTの連続送信

送信バッファレジスタから、送信シフトレジスタへデータを転送した後は、送信が完了していなくても送信バッファレジスタに次のデータを書き込むことができます。送信完了前に次のデータを送信バッファに書き込んだ場合、連続送信が行われます。

送信バッファレジスタから送信シフトレジスタへデータが転送されたことは、SIO送信制御レジスタの送信バッファエンプティフラグで確認します。

12.6.6 UART送信完了処理

データ送信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 連続送信しない場合

送信ステータスビットに"0"をセット

(2) 連続送信の場合

連続したデータのうち最終データの送信が完了した時、送信ステータスビットに"0"をセット

12.6.7 送信割り込み

SIO割り込みマスクレジスタで送信バッファエンプティ割り込みを許可した場合、送信バッファレジスタから送信シフトレジスタへデータが転送されたとき、送信バッファエンプティ割り込みが発生します。また、送信バッファエンプティ割り込み許可状態でTEN(送信許可)ビットを"1"(禁止 許可)にセットした場合も、送信バッファエンプティ割り込みが発生します。

送信割り込みを使用するためには、割り込みコントローラ(ICU)の設定が必要です。

12.6.8 送信DMA転送要求

送信バッファレジスタから送信シフトレジスタへデータが転送されたときに、対応する送信DMA転送要求がDMACへ出力されます。また、TEN(送信許可)ビットを"1"にセット(禁止許可)した場合も出力されます。

DMA転送を使用して送信を行うためには、DMACの設定が必要となります。

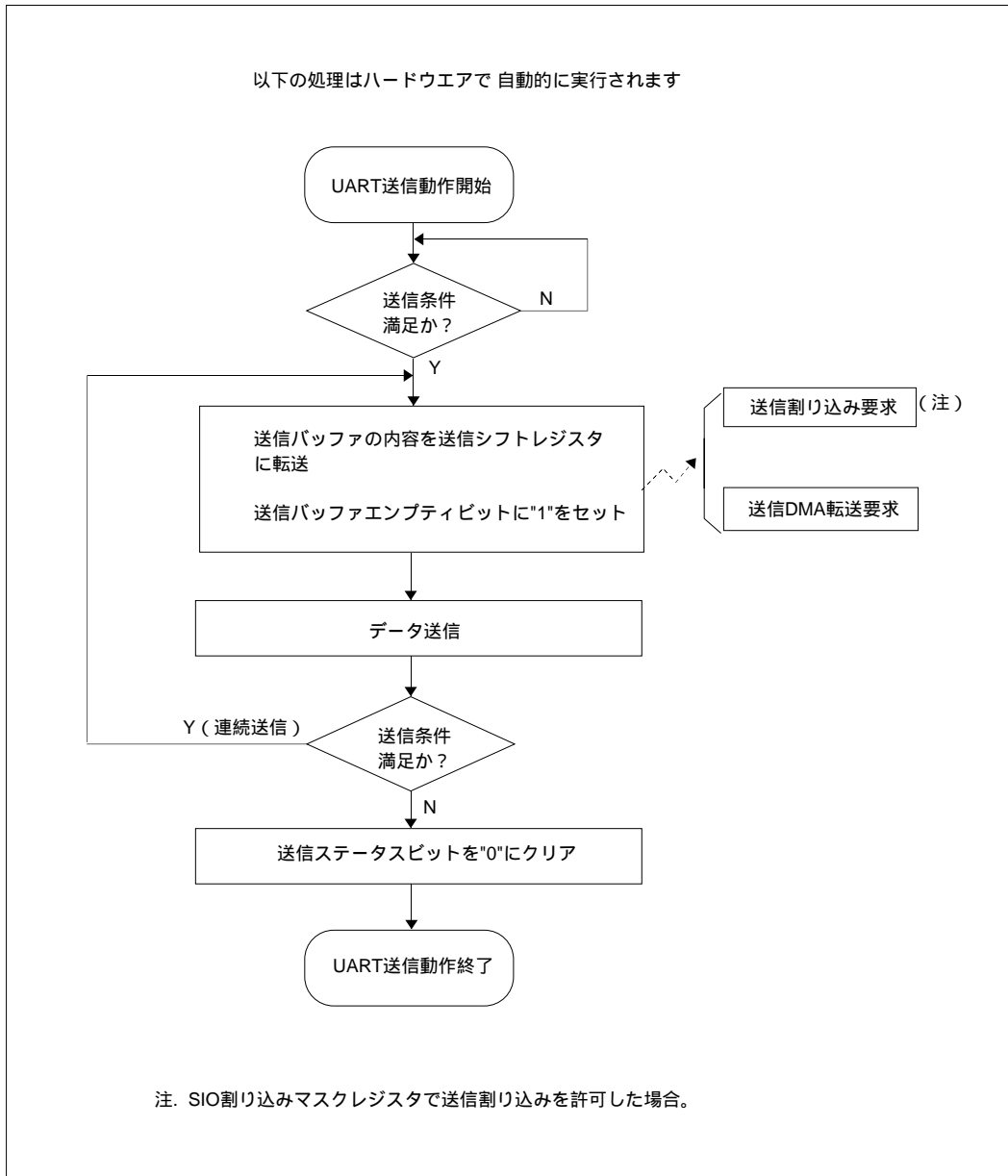


図12.6.4 UARTモード時の送信動作(ハードウェア処理)

12.6.9 UART送信動作例

UARTモードでの送信動作例を以下に示します。

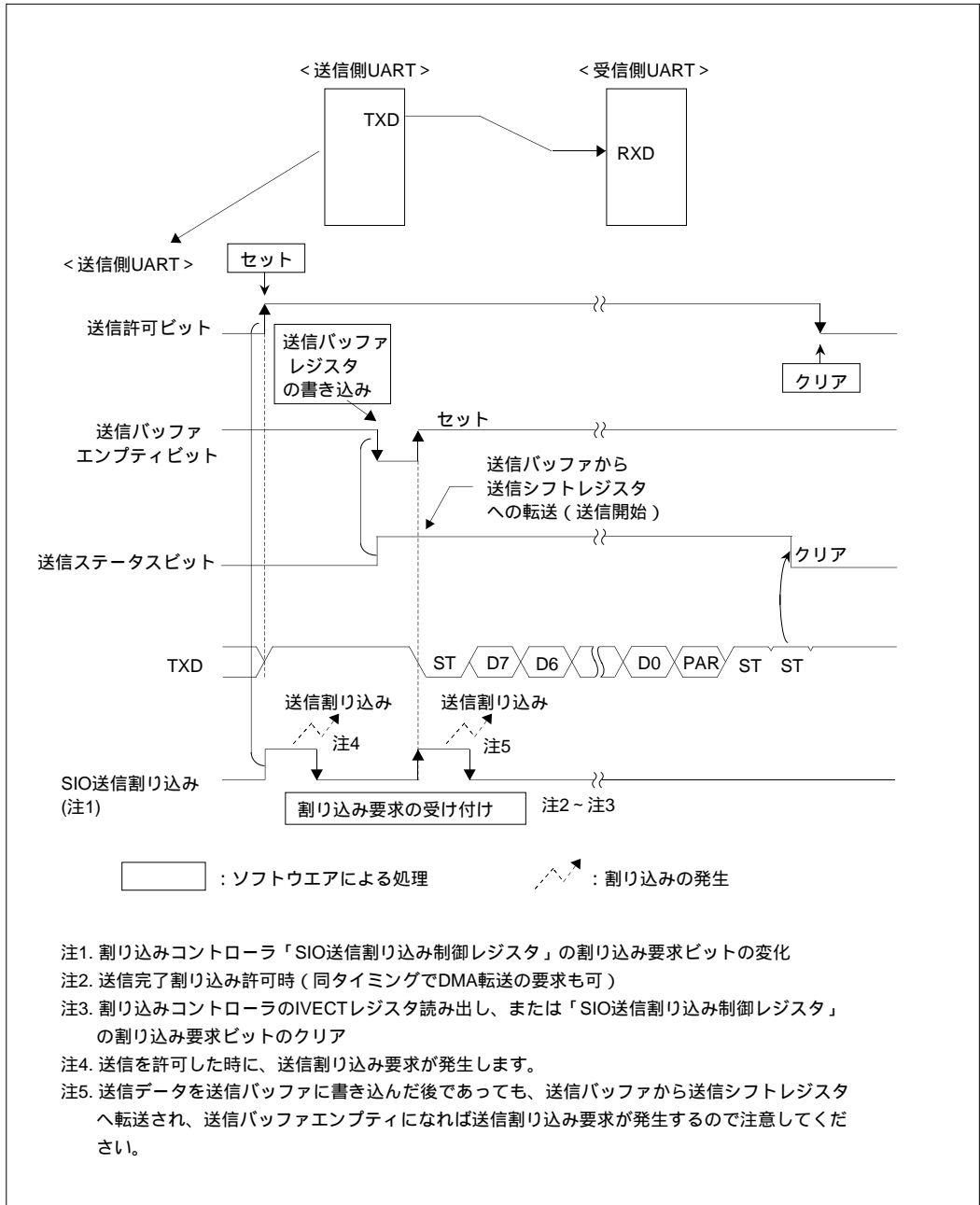


図12.6.5 UART送信例 (1回だけの送信：送信割り込みのみ使用)

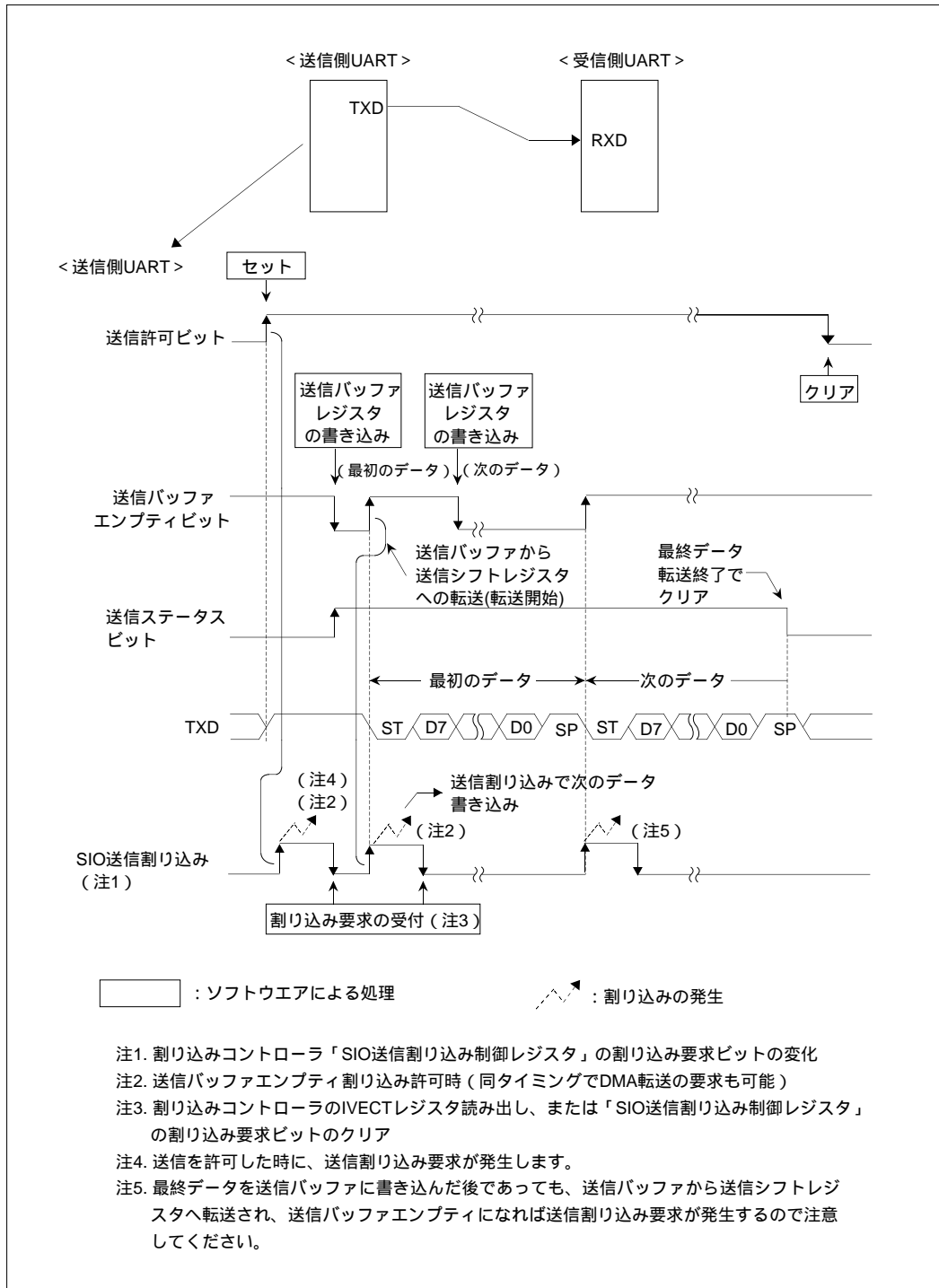


図12.6.6 UART送信例(連続送信:送信割り込み使用)

12.7 UARTモード受信動作説明

12.7.1 UART受信時の初期設定

UARTで受信を行う場合は、以下の手順で初期設定を行います。

(1) SIOモードレジスタの設定

UARTモードに設定
パリティの設定(有効時は奇数 / 偶数選択)
ストップビット長の設定
キャラクタ長の設定

注. UARTモード時は、内部 / 外部クロック選択ビットの設定は無効(内部クロックのみ)となります。

(2) SIO送信制御レジスタの設定

クロックデバイダ分周比の設定

(3) SIOボーレートレジスタの設定

ボーレートジェネレータの値を設定します(12.6.1「UARTボーレートの設定」をご覧ください)。

(4) SIO割り込み関連の設定

受信割り込み要因選択レジスタ
受信割り込み要因の選択(受信完了 / 受信エラー)
割り込みマスクレジスタ
受信割り込みの許可 / 禁止

(5) 割り込みコントローラの設定

受信時に割り込みを使用する場合は、優先レベルの設定を行います。

(6) DMACの設定

受信完了時に内蔵DMACに対してDMA転送を要求する場合は、DMACの設定を行ってください(第9章「DMAC」をご覧ください)。

(7) 端子機能の選択

シリアルI/Oの関連端子は入出力ポートとのダブルファンクションとなっていますので、端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

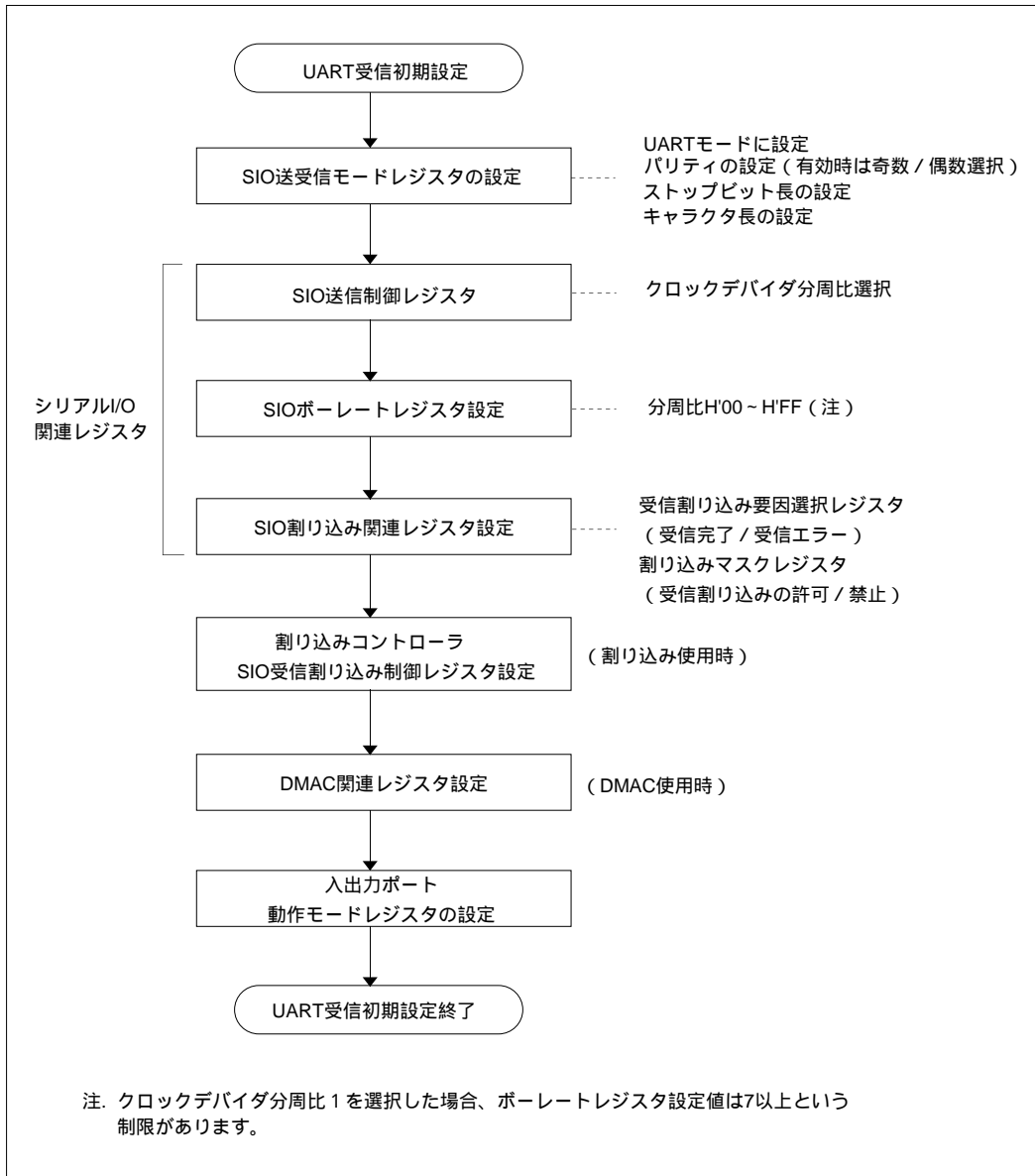


図12.7.1 UART受信初期化手順

12.7.2 UART受信の開始

初期設定終了後、以下の受信条件がすべて満たされると、受信動作を開始します。

SIO受信制御レジスタの受信許可ビットに"1"をセット
RXD端子へのスタートビット(立ち下がりエッジ信号)入力

上記の条件が満たされるとUART受信動作に入ります。ただし、内部受信シフトクロックの最初の立ち上がりでもう一度スタートビットをチェックし、その時ノイズなどにより"H"が検出された場合は、受信動作を停止し、再度スタートビット待ちとなります。

12.7.3 UART受信完了処理

データ受信が完了すると、以下の動作がハードウェアで自動的に行われます。

(1) 正常に受信完了した場合

受信完了(受信バッファフル)ビットに"1"をセット

注1. 受信完了(受信バッファフル)割り込みが許可されていた場合、割り込み要求を発生します。

注2. DMA転送要求を発生します。

(2) 受信エラーが発生した場合

エラー発生時は該当エラービット(OE, FE, PE)と受信エラーサムビットに"1"をセット

注1. 受信完了割り込み選択(SIO受信割り込み要因選択レジスタ)時に、割り込み要求が許可された場合、受信完了割り込み要求が発生します。ただし、オーバランエラー発生時は、受信完了割り込みは発生しませんのでご注意願います。

注2. 受信エラー割り込み選択(SIO受信割り込み要因選択レジスタ)時に、割り込み要求が許可された場合、受信エラー割り込み要求が発生します。

注3. DMA転送要求は発生しません。

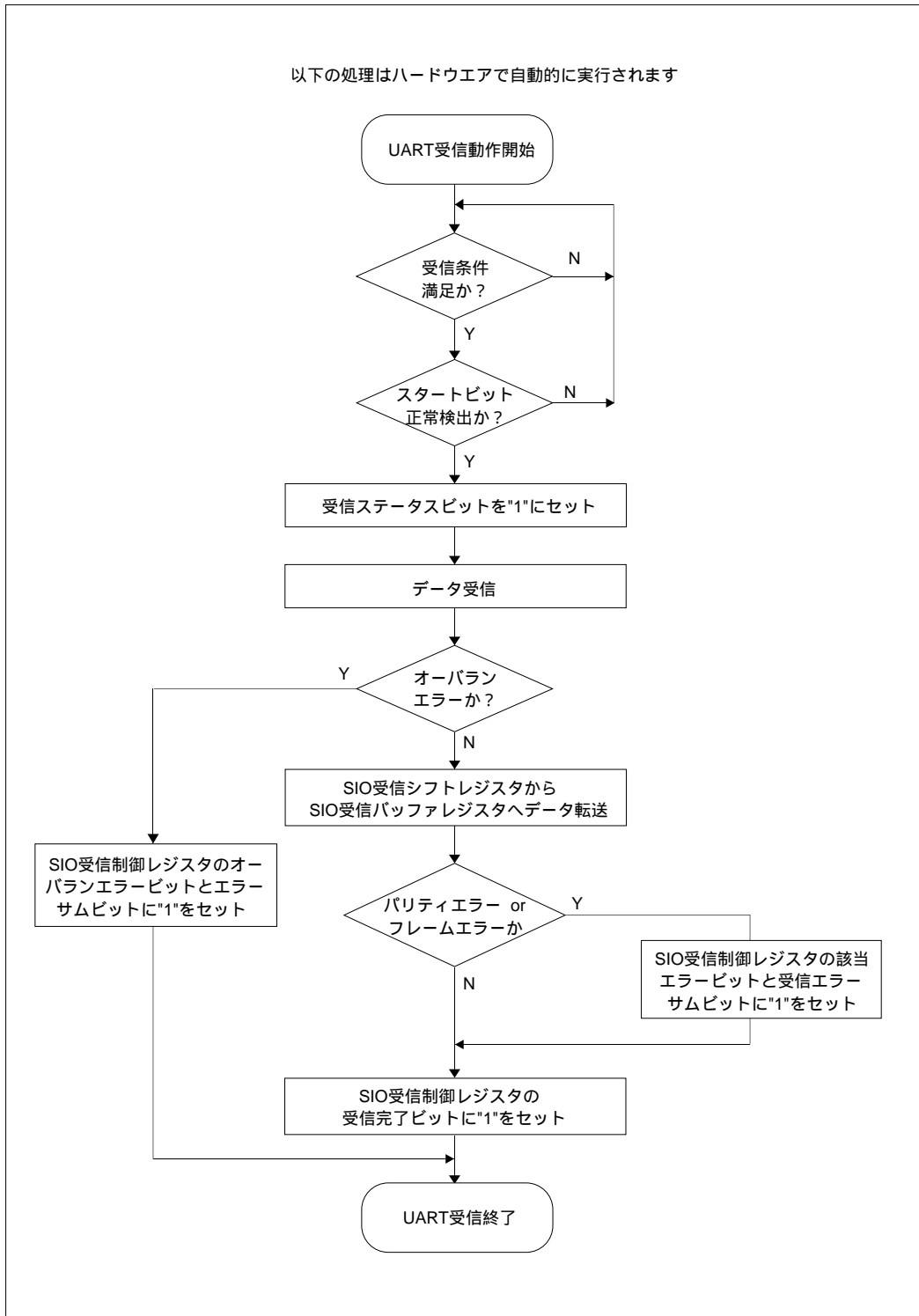


図12.7.2 UARTモード時の受信動作(ハードウェア処理)

12.7.4 UART受信動作例

UARTモードでの受信動作例を以下に示します。

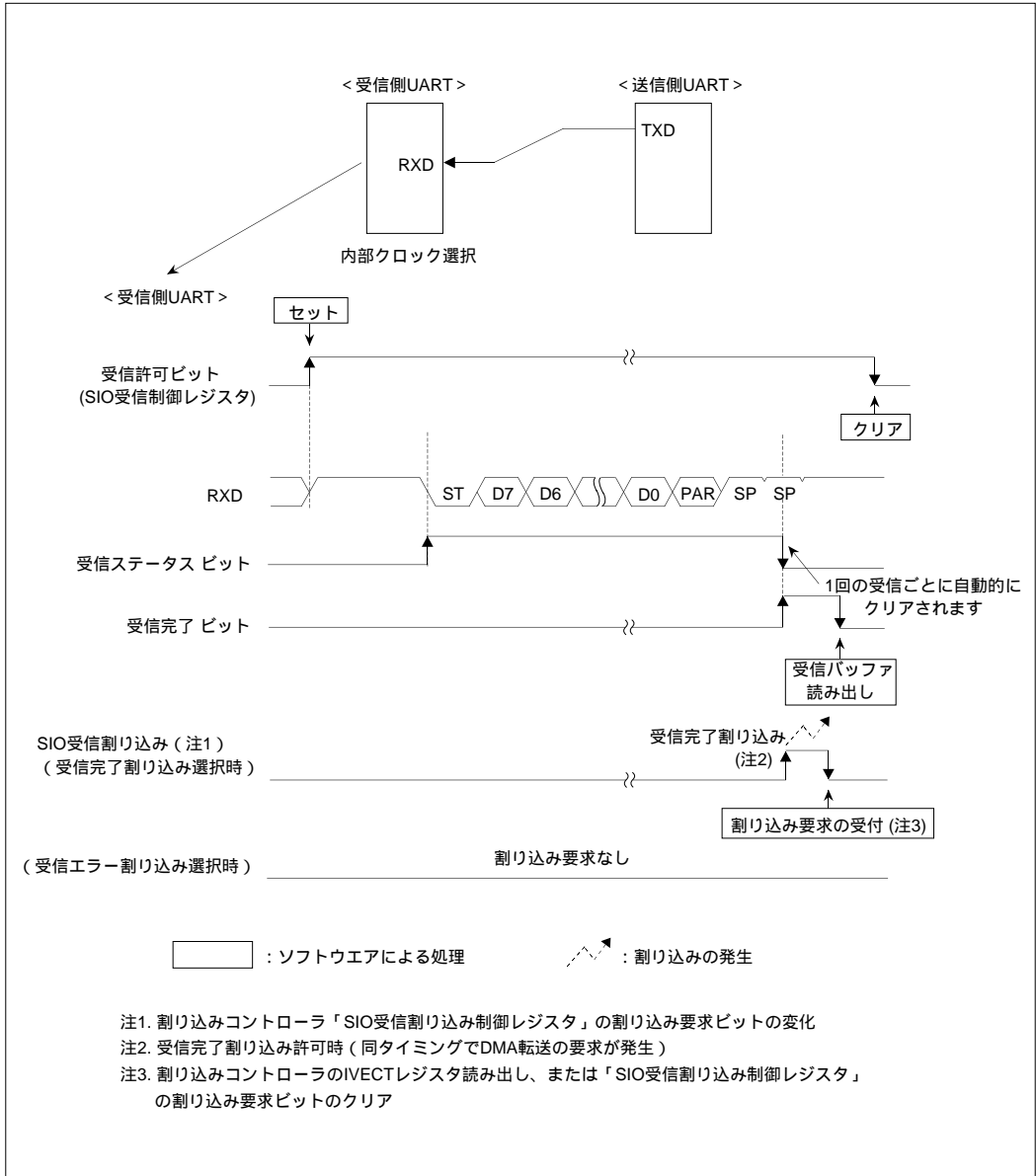


図12.7.3 UART受信例 (正常受信時)

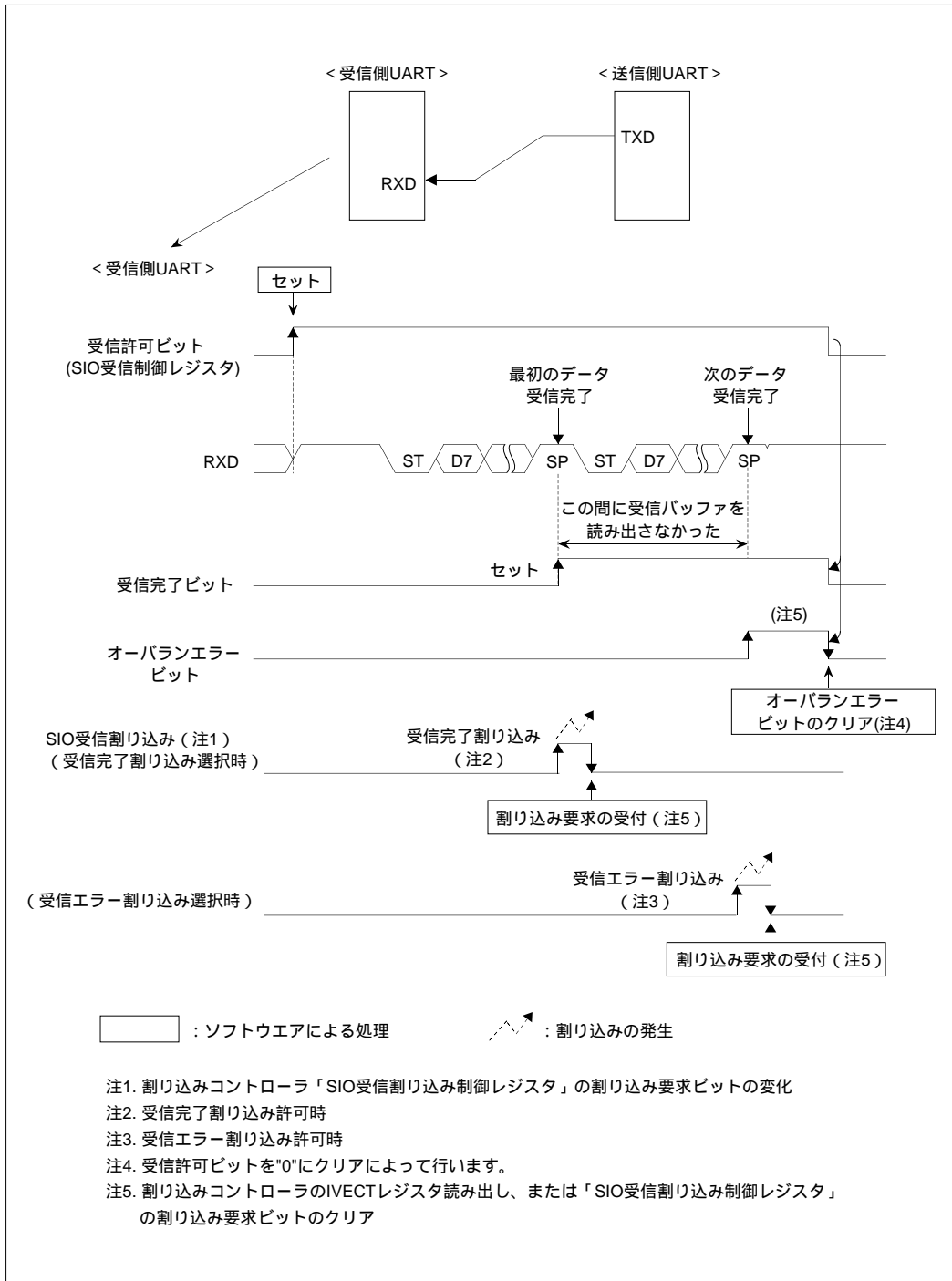


図12.7.4 UART受信例(オーバランエラー発生時)

12.7.5 UART受信時のスタートビットの検出

スタートビットは、内部BRG出力のタイミングでサンプリングします。スタートビットの立ち下がり検出後、内部BRG出力の8サイクル後のレベルが"L"であれば、スタートビットが確定し、更に8サイクル後からをLSBデータ(1ビット目のデータ)として取り込みます。スタートビット確定時に"H"であれば、再度立ち下がりの検出を行います。内部BRGに同期してサンプリングするため、最大BRG出力分のディレイが生じます。以降、ディレイが生じたタイミングで受信します。

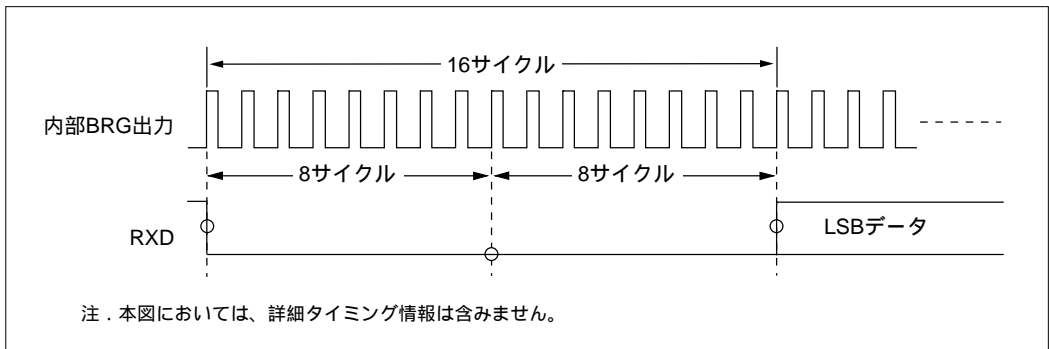


図12.7.5 スタートビットの検出

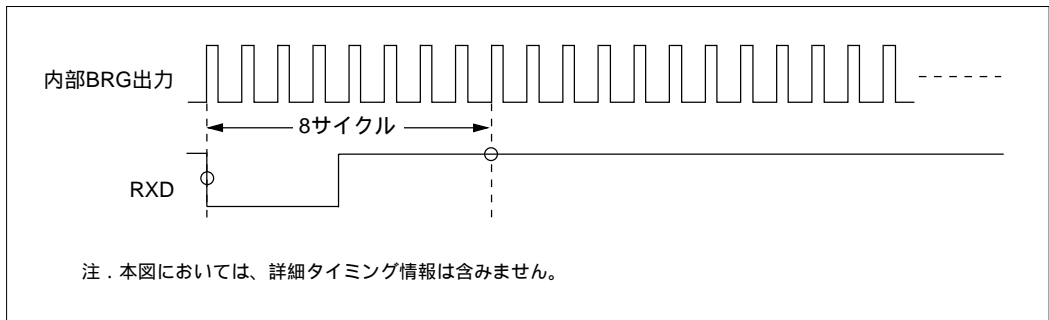


図12.7.6 スタートビット無効例(受信しない)

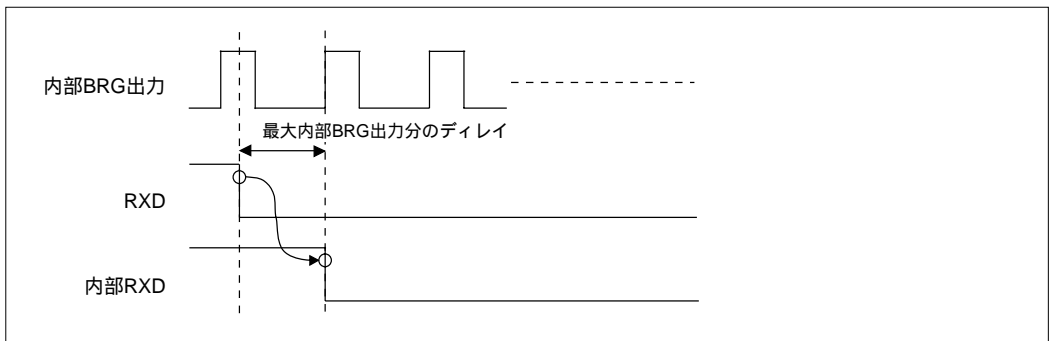


図12.7.7 受信時のディレイ

12.8 定周期クロック出力機能

SIO0、SIO1をUARTモードで使用する場合、該当ポート(P84、P87)をそれぞれSCLKO0端子、SCLKO1端子に切り換えることにより、BRG出力を2分周したクロックを出力することができます。

注. クロック出力はデータ転送時以外も出力されます。

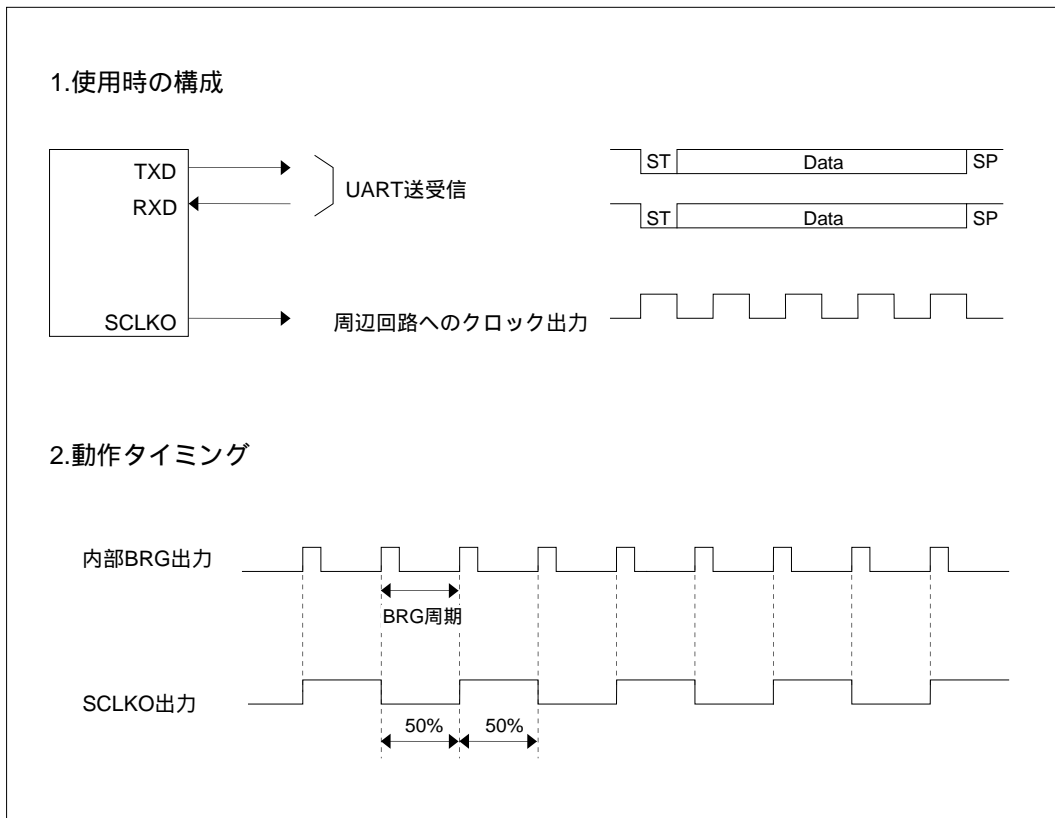


図12.8.1 定周期クロック出力例

12.9 UARTモード時の注意事項

SIO送受信モードレジスタ、SIOボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウンタソース選択ビットは、必ず停止中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG(ボーレート)レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウンタ終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

UART受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバーランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバーランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバーランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバーランエラー発生時】

受信許可ビットを"0"にクリア

空きページです

第13章

CANモジュール

- 13.1 CANモジュールの概要
- 13.2 CANモジュール関連
レジスタ
- 13.3 CANプロトコル
- 13.4 CANモジュール初期設定
- 13.5 データフレーム送信
- 13.6 データフレーム受信
- 13.7 リモートフレーム送信
- 13.8 リモートフレーム受信

表13.1.2 CANモジュールの割り込み発生機能

CANモジュール割り込み要因	ICU割り込み要因
CAN0送信完了割り込み	CAN0送受信&エラー割り込み
CAN0受信完了割り込み	CAN0送受信&エラー割り込み
CAN0バスエラー割り込み	CAN0送受信&エラー割り込み
CAN0エラーパッシブ割り込み	CAN0送受信&エラー割り込み
CAN0バスオフ割り込み	CAN0送受信&エラー割り込み

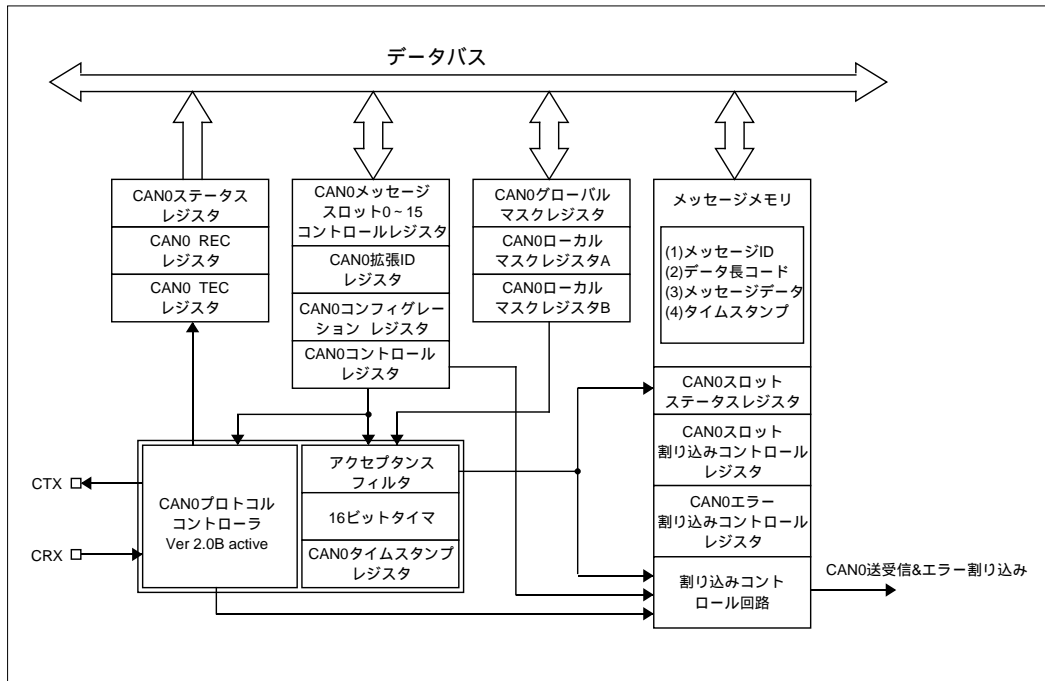


図13.1.1 CANモジュールブロック図

13.2 CANモジュール関連レジスタ

CANモジュール関連のレジスタマップを以下に示します。

番地	+0番地	+1番地
	D0	D7, D8 D15
H'0080 1000	CAN0コントロールレジスタ(CAN0CNT)	
H'0080 1002	CAN0ステータスレジスタ(CAN0STAT)	
H'0080 1004	CAN0拡張IDレジスタ(CAN0EXTID)	
H'0080 1006	CAN0コンフィグレーションレジスタ(CAN0CONF)	
H'0080 1008	CAN0タイムスタンプカウンタレジスタ(CAN0TSTMP)	
H'0080 100A	CAN0受信エラーカウンタレジスタ(CAN0REC)	CAN0送信エラーカウンタレジスタ(CAN0TEC)
H'0080 100C	CAN0スロット割り込みステータスレジスタ(CAN0SLIST)	
H'0080 100E		
H'0080 1010	CAN0スロット割り込みマスクレジスタ(CAN0SLIMK)	
H'0080 1012		
H'0080 1014	CAN0エラー割り込みステータスレジスタ(CAN0ERIST)	CAN0エラー割り込みマスクレジスタ(CAN0ERIMK)
H'0080 1016	CAN0ボーレートプリスケアラ(CAN0BRP)	
~		
H'0080 1028	CAN0グローバルマスクレジスタ標準ID0 (C0GMSKS0)	CAN0グローバルマスクレジスタ標準ID1 (C0GMSKS1)
H'0080 102A	CAN0グローバルマスクレジスタ拡張ID0 (C0GMSKE0)	CAN0グローバルマスクレジスタ拡張ID1 (C0GMSKE1)
H'0080 102C	CAN0グローバルマスクレジスタ拡張ID2 (C0GMSKE2)	
H'0080 102E		
H'0080 1030	CAN0ローカルマスクレジスタA標準ID0 (C0LMSKAS0)	CAN0ローカルマスクレジスタA標準ID1 (C0LMSKAS1)
H'0080 1032	CAN0ローカルマスクレジスタA拡張ID0 (C0LMSKAE0)	CAN0ローカルマスクレジスタA拡張ID1 (C0LMSKAE1)
H'0080 1034	CAN0ローカルマスクレジスタA拡張ID2 (C0LMSKAE2)	
H'0080 1036		
H'0080 1038	CAN0ローカルマスクレジスタB標準ID0 (C0LMSKBS0)	CAN0ローカルマスクレジスタB標準ID1 (C0LMSKBS1)
H'0080 103A	CAN0ローカルマスクレジスタB拡張ID0 (C0LMSKBE0)	CAN0ローカルマスクレジスタB拡張ID1 (C0LMSKBE1)
H'0080 103C	CAN0ローカルマスクレジスタB拡張ID2 (C0LMSKBE2)	
~		
H'0080 1050	CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT)	CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT)
H'0080 1052	CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT)	CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT)
H'0080 1054	CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT)	CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT)
H'0080 1056	CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT)	CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT)
H'0080 1058	CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT)	CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT)
H'0080 105A	CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT)	CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT)
H'0080 105C	CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT)	CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT)
H'0080 105E	CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT)	CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT)

空き領域は予約領域です。

図13.2.1 CANモジュール関連レジスタマップ(1/4)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1100	CAN0メッセージスロット0標準ID0(C0MSL0SID0)		CAN0メッセージスロット0標準ID1(C0MSL0SID1)		
H'0080 1102	CAN0メッセージスロット0拡張ID0(C0MSL0EID0)		CAN0メッセージスロット0拡張ID1(C0MSL0EID1)		
H'0080 1104	CAN0メッセージスロット0拡張ID2(C0MSL0EID2)		CAN0メッセージスロット0データ長レジスタ(C0MSL0DLC)		
H'0080 1106	CAN0メッセージスロット0データ0(C0MSL0DT0)		CAN0メッセージスロット0データ1(C0MSL0DT1)		
H'0080 1108	CAN0メッセージスロット0データ2(C0MSL0DT2)		CAN0メッセージスロット0データ3(C0MSL0DT3)		
H'0080 110A	CAN0メッセージスロット0データ4(C0MSL0DT4)		CAN0メッセージスロット0データ5(C0MSL0DT5)		
H'0080 110C	CAN0メッセージスロット0データ6(C0MSL0DT6)		CAN0メッセージスロット0データ7(C0MSL0DT7)		
H'0080 110E	CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)				
H'0080 1110	CAN0メッセージスロット1標準ID0(C0MSL1SID0)		CAN0メッセージスロット1標準ID1(C0MSL1SID1)		
H'0080 1112	CAN0メッセージスロット1拡張ID0(C0MSL1EID0)		CAN0メッセージスロット1拡張ID1(C0MSL1EID1)		
H'0080 1114	CAN0メッセージスロット1拡張ID2(C0MSL1EID2)		CAN0メッセージスロット1データ長レジスタ(C0MSL1DLC)		
H'0080 1116	CAN0メッセージスロット1データ0(C0MSL1DT0)		CAN0メッセージスロット1データ1(C0MSL1DT1)		
H'0080 1118	CAN0メッセージスロット1データ2(C0MSL1DT2)		CAN0メッセージスロット1データ3(C0MSL1DT3)		
H'0080 111A	CAN0メッセージスロット1データ4(C0MSL1DT4)		CAN0メッセージスロット1データ5(C0MSL1DT5)		
H'0080 111C	CAN0メッセージスロット1データ6(C0MSL1DT6)		CAN0メッセージスロット1データ7(C0MSL1DT7)		
H'0080 111E	CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)				
H'0080 1120	CAN0メッセージスロット2標準ID0(C0MSL2SID0)		CAN0メッセージスロット2標準ID1(C0MSL2SID1)		
H'0080 1122	CAN0メッセージスロット2拡張ID0(C0MSL2EID0)		CAN0メッセージスロット2拡張ID1(C0MSL2EID1)		
H'0080 1124	CAN0メッセージスロット2拡張ID2(C0MSL2EID2)		CAN0メッセージスロット2データ長レジスタ(C0MSL2DLC)		
H'0080 1126	CAN0メッセージスロット2データ0(C0MSL2DT0)		CAN0メッセージスロット2データ1(C0MSL2DT1)		
H'0080 1128	CAN0メッセージスロット2データ2(C0MSL2DT2)		CAN0メッセージスロット2データ3(C0MSL2DT3)		
H'0080 112A	CAN0メッセージスロット2データ4(C0MSL2DT4)		CAN0メッセージスロット2データ5(C0MSL2DT5)		
H'0080 112C	CAN0メッセージスロット2データ6(C0MSL2DT6)		CAN0メッセージスロット2データ7(C0MSL2DT7)		
H'0080 112E	CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)				
H'0080 1130	CAN0メッセージスロット3標準ID0(C0MSL3SID0)		CAN0メッセージスロット3標準ID1(C0MSL3SID1)		
H'0080 1132	CAN0メッセージスロット3拡張ID0(C0MSL3EID0)		CAN0メッセージスロット3拡張ID1(C0MSL3EID1)		
H'0080 1134	CAN0メッセージスロット3拡張ID2(C0MSL3EID2)		CAN0メッセージスロット3データ長レジスタ(C0MSL3DLC)		
H'0080 1136	CAN0メッセージスロット3データ0(C0MSL3DT0)		CAN0メッセージスロット3データ1(C0MSL3DT1)		
H'0080 1138	CAN0メッセージスロット3データ2(C0MSL3DT2)		CAN0メッセージスロット3データ3(C0MSL3DT3)		
H'0080 113A	CAN0メッセージスロット3データ4(C0MSL3DT4)		CAN0メッセージスロット3データ5(C0MSL3DT5)		
H'0080 113C	CAN0メッセージスロット3データ6(C0MSL3DT6)		CAN0メッセージスロット3データ7(C0MSL3DT7)		
H'0080 113E	CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)				
H'0080 1140	CAN0メッセージスロット4標準ID0(C0MSL4SID0)		CAN0メッセージスロット4標準ID1(C0MSL4SID1)		
H'0080 1142	CAN0メッセージスロット4拡張ID0(C0MSL4EID0)		CAN0メッセージスロット4拡張ID1(C0MSL4EID1)		
H'0080 1144	CAN0メッセージスロット4拡張ID2(C0MSL4EID2)		CAN0メッセージスロット4データ長レジスタ(C0MSL4DLC)		
H'0080 1146	CAN0メッセージスロット4データ0(C0MSL4DT0)		CAN0メッセージスロット4データ1(C0MSL4DT1)		
H'0080 1148	CAN0メッセージスロット4データ2(C0MSL4DT2)		CAN0メッセージスロット4データ3(C0MSL4DT3)		
H'0080 114A	CAN0メッセージスロット4データ4(C0MSL4DT4)		CAN0メッセージスロット4データ5(C0MSL4DT5)		
H'0080 114C	CAN0メッセージスロット4データ6(C0MSL4DT6)		CAN0メッセージスロット4データ7(C0MSL4DT7)		
H'0080 114E	CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)				
H'0080 1150	CAN0メッセージスロット5標準ID0(C0MSL5SID0)		CAN0メッセージスロット5標準ID1(C0MSL5SID1)		
H'0080 1152	CAN0メッセージスロット5拡張ID0(C0MSL5EID0)		CAN0メッセージスロット5拡張ID1(C0MSL5EID1)		

空き領域は予約領域です。

図13.2.2 CANモジュール関連レジスタマップ(2/4)

番地	D0	+ 0番地	D7, D8	+ 1番地	D15
H'0080 1154	CAN0メッセージスロット5拡張ID2(C0MSL5EID2)		CAN0メッセージスロット5データ長レジスタ(C0MSL5DLC)		
H'0080 1156	CAN0メッセージスロット5データ0(C0MSL5DT0)		CAN0メッセージスロット5データ1(C0MSL5DT1)		
H'0080 1158	CAN0メッセージスロット5データ2(C0MSL5DT2)		CAN0メッセージスロット5データ3(C0MSL5DT3)		
H'0080 115A	CAN0メッセージスロット5データ4(C0MSL5DT4)		CAN0メッセージスロット5データ5(C0MSL5DT5)		
H'0080 115C	CAN0メッセージスロット5データ6(C0MSL5DT6)		CAN0メッセージスロット5データ7(C0MSL5DT7)		
H'0080 115E	CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)				
H'0080 1160	CAN0メッセージスロット6標準ID0(C0MSL6SID0)		CAN0メッセージスロット6標準ID1(C0MSL6SID1)		
H'0080 1162	CAN0メッセージスロット6拡張ID0(C0MSL6EID0)		CAN0メッセージスロット6拡張ID1(C0MSL6EID1)		
H'0080 1164	CAN0メッセージスロット6拡張ID2(C0MSL6EID2)		CAN0メッセージスロット6データ長レジスタ(C0MSL6DLC)		
H'0080 1166	CAN0メッセージスロット6データ0(C0MSL6DT0)		CAN0メッセージスロット6データ1(C0MSL6DT1)		
H'0080 1168	CAN0メッセージスロット6データ2(C0MSL6DT2)		CAN0メッセージスロット6データ3(C0MSL6DT3)		
H'0080 116A	CAN0メッセージスロット6データ4(C0MSL6DT4)		CAN0メッセージスロット6データ5(C0MSL6DT5)		
H'0080 116C	CAN0メッセージスロット6データ6(C0MSL6DT6)		CAN0メッセージスロット6データ7(C0MSL6DT7)		
H'0080 116E	CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)				
H'0080 1170	CAN0メッセージスロット7標準ID0(C0MSL7SID0)		CAN0メッセージスロット7標準ID1(C0MSL7SID1)		
H'0080 1172	CAN0メッセージスロット7拡張ID0(C0MSL7EID0)		CAN0メッセージスロット7拡張ID1(C0MSL7EID1)		
H'0080 1174	CAN0メッセージスロット7拡張ID2(C0MSL7EID2)		CAN0メッセージスロット7データ長レジスタ(C0MSL7DLC)		
H'0080 1176	CAN0メッセージスロット7データ0(C0MSL7DT0)		CAN0メッセージスロット7データ1(C0MSL7DT1)		
H'0080 1178	CAN0メッセージスロット7データ2(C0MSL7DT2)		CAN0メッセージスロット7データ3(C0MSL7DT3)		
H'0080 117A	CAN0メッセージスロット7データ4(C0MSL7DT4)		CAN0メッセージスロット7データ5(C0MSL7DT5)		
H'0080 117C	CAN0メッセージスロット7データ6(C0MSL7DT6)		CAN0メッセージスロット7データ7(C0MSL7DT7)		
H'0080 117E	CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)				
H'0080 1180	CAN0メッセージスロット8標準ID0(C0MSL8SID0)		CAN0メッセージスロット8標準ID1(C0MSL8SID1)		
H'0080 1182	CAN0メッセージスロット8拡張ID0(C0MSL8EID0)		CAN0メッセージスロット8拡張ID1(C0MSL8EID1)		
H'0080 1184	CAN0メッセージスロット8拡張ID2(C0MSL8EID2)		CAN0メッセージスロット8データ長レジスタ(C0MSL8DLC)		
H'0080 1186	CAN0メッセージスロット8データ0(C0MSL8DT0)		CAN0メッセージスロット8データ1(C0MSL8DT1)		
H'0080 1188	CAN0メッセージスロット8データ2(C0MSL8DT2)		CAN0メッセージスロット8データ3(C0MSL8DT3)		
H'0080 118A	CAN0メッセージスロット8データ4(C0MSL8DT4)		CAN0メッセージスロット8データ5(C0MSL8DT5)		
H'0080 118C	CAN0メッセージスロット8データ6(C0MSL8DT6)		CAN0メッセージスロット8データ7(C0MSL8DT7)		
H'0080 118E	CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)				
H'0080 1190	CAN0メッセージスロット9標準ID0(C0MSL9SID0)		CAN0メッセージスロット9標準ID1(C0MSL9SID1)		
H'0080 1192	CAN0メッセージスロット9拡張ID0(C0MSL9EID0)		CAN0メッセージスロット9拡張ID1(C0MSL9EID1)		
H'0080 1194	CAN0メッセージスロット9拡張ID2(C0MSL9EID2)		CAN0メッセージスロット9データ長レジスタ(C0MSL9DLC)		
H'0080 1196	CAN0メッセージスロット9データ0(C0MSL9DT0)		CAN0メッセージスロット9データ1(C0MSL9DT1)		
H'0080 1198	CAN0メッセージスロット9データ2(C0MSL9DT2)		CAN0メッセージスロット9データ3(C0MSL9DT3)		
H'0080 119A	CAN0メッセージスロット9データ4(C0MSL9DT4)		CAN0メッセージスロット9データ5(C0MSL9DT5)		
H'0080 119C	CAN0メッセージスロット9データ6(C0MSL9DT6)		CAN0メッセージスロット9データ7(C0MSL9DT7)		
H'0080 119E	CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)				
H'0080 11A0	CAN0メッセージスロット10標準ID0(C0MSL10SID0)		CAN0メッセージスロット10標準ID1(C0MSL10SID1)		
H'0080 11A2	CAN0メッセージスロット10拡張ID0(C0MSL10EID0)		CAN0メッセージスロット10拡張ID1(C0MSL10EID1)		
H'0080 11A4	CAN0メッセージスロット10拡張ID2(C0MSL10EID2)		CAN0メッセージスロット10データ長レジスタ(C0MSL10DLC)		
H'0080 11A6	CAN0メッセージスロット10データ0(C0MSL10DT0)		CAN0メッセージスロット10データ1(C0MSL10DT1)		

空き領域は予約領域です。

図13.2.3 CANモジュール関連レジスタマップ(3/4)

番地	+ 0番地		+ 1番地	
	D0	D7, D8	D7, D8	D15
H'0080 11A8	CAN0メッセージスロット10データ2(COMSL10DT2)	CAN0メッセージスロット10データ3(COMSL10DT3)		
H'0080 11AA	CAN0メッセージスロット10データ4(COMSL10DT4)	CAN0メッセージスロット10データ5(COMSL10DT5)		
H'0080 11AC	CAN0メッセージスロット10データ6(COMSL10DT6)	CAN0メッセージスロット10データ7(COMSL10DT7)		
H'0080 11AE	CAN0メッセージスロット10タイムスタンプ(COMSL10TSP)			
H'0080 11B0	CAN0メッセージスロット11標準ID0(COMSL11SID0)	CAN0メッセージスロット11標準ID1(COMSL11SID1)		
H'0080 11B2	CAN0メッセージスロット11拡張ID0(COMSL11EID0)	CAN0メッセージスロット11拡張ID1(COMSL11EID1)		
H'0080 11B4	CAN0メッセージスロット11拡張ID2(COMSL11EID2)	CAN0メッセージスロット11データ長レジスタ(COMSL11DLC)		
H'0080 11B6	CAN0メッセージスロット11データ0(COMSL11DT0)	CAN0メッセージスロット11データ1(COMSL11DT1)		
H'0080 11B8	CAN0メッセージスロット11データ2(COMSL11DT2)	CAN0メッセージスロット11データ3(COMSL11DT3)		
H'0080 11BA	CAN0メッセージスロット11データ4(COMSL11DT4)	CAN0メッセージスロット11データ5(COMSL11DT5)		
H'0080 11BC	CAN0メッセージスロット11データ6(COMSL11DT6)	CAN0メッセージスロット11データ7(COMSL11DT7)		
H'0080 11BE	CAN0メッセージスロット11タイムスタンプ(COMSL11TSP)			
H'0080 11C0	CAN0メッセージスロット12標準ID0(COMSL12SID0)	CAN0メッセージスロット12標準ID1(COMSL12SID1)		
H'0080 11C2	CAN0メッセージスロット12拡張ID0(COMSL12EID0)	CAN0メッセージスロット12拡張ID1(COMSL12EID1)		
H'0080 11C4	CAN0メッセージスロット12拡張ID2(COMSL12EID2)	CAN0メッセージスロット12データ長レジスタ(COMSL12DLC)		
H'0080 11C6	CAN0メッセージスロット12データ0(COMSL12DT0)	CAN0メッセージスロット12データ1(COMSL12DT1)		
H'0080 11C8	CAN0メッセージスロット12データ2(COMSL12DT2)	CAN0メッセージスロット12データ3(COMSL12DT3)		
H'0080 11CA	CAN0メッセージスロット12データ4(COMSL12DT4)	CAN0メッセージスロット12データ5(COMSL12DT5)		
H'0080 11CC	CAN0メッセージスロット12データ6(COMSL12DT6)	CAN0メッセージスロット12データ7(COMSL12DT7)		
H'0080 11CE	CAN0メッセージスロット12タイムスタンプ(COMSL12TSP)			
H'0080 11D0	CAN0メッセージスロット13標準ID0(COMSL13SID0)	CAN0メッセージスロット13標準ID1(COMSL13SID1)		
H'0080 11D2	CAN0メッセージスロット13拡張ID0(COMSL13EID0)	CAN0メッセージスロット13拡張ID1(COMSL13EID1)		
H'0080 11D4	CAN0メッセージスロット13拡張ID2(COMSL13EID2)	CAN0メッセージスロット13データ長レジスタ(COMSL13DLC)		
H'0080 11D6	CAN0メッセージスロット13データ0(COMSL13DT0)	CAN0メッセージスロット13データ1(COMSL13DT1)		
H'0080 11D8	CAN0メッセージスロット13データ2(COMSL13DT2)	CAN0メッセージスロット13データ3(COMSL13DT3)		
H'0080 11DA	CAN0メッセージスロット13データ4(COMSL13DT4)	CAN0メッセージスロット13データ5(COMSL13DT5)		
H'0080 11DC	CAN0メッセージスロット13データ6(COMSL13DT6)	CAN0メッセージスロット13データ7(COMSL13DT7)		
H'0080 11DE	CAN0メッセージスロット13タイムスタンプ(COMSL13TSP)			
H'0080 11E0	CAN0メッセージスロット14標準ID0(COMSL14SID0)	CAN0メッセージスロット14標準ID1(COMSL14SID1)		
H'0080 11E2	CAN0メッセージスロット14拡張ID0(COMSL14EID0)	CAN0メッセージスロット14拡張ID1(COMSL14EID1)		
H'0080 11E4	CAN0メッセージスロット14拡張ID2(COMSL14EID2)	CAN0メッセージスロット14データ長レジスタ(COMSL14DLC)		
H'0080 11E6	CAN0メッセージスロット14データ0(COMSL14DT0)	CAN0メッセージスロット14データ1(COMSL14DT1)		
H'0080 11E8	CAN0メッセージスロット14データ2(COMSL14DT2)	CAN0メッセージスロット14データ3(COMSL14DT3)		
H'0080 11EA	CAN0メッセージスロット14データ4(COMSL14DT4)	CAN0メッセージスロット14データ5(COMSL14DT5)		
H'0080 11EC	CAN0メッセージスロット14データ6(COMSL14DT6)	CAN0メッセージスロット14データ7(COMSL14DT7)		
H'0080 11EE	CAN0メッセージスロット14タイムスタンプ(COMSL14TSP)			
H'0080 11F0	CAN0メッセージスロット15標準ID0(COMSL15SID0)	CAN0メッセージスロット15標準ID1(COMSL15SID1)		
H'0080 11F2	CAN0メッセージスロット15拡張ID0(COMSL15EID0)	CAN0メッセージスロット15拡張ID1(COMSL15EID1)		
H'0080 11F4	CAN0メッセージスロット15拡張ID2(COMSL15EID2)	CAN0メッセージスロット15データ長レジスタ(COMSL15DLC)		
H'0080 11F6	CAN0メッセージスロット15データ0(COMSL15DT0)	CAN0メッセージスロット15データ1(COMSL15DT1)		
H'0080 11F8	CAN0メッセージスロット15データ2(COMSL15DT2)	CAN0メッセージスロット15データ3(COMSL15DT3)		
H'0080 11FA	CAN0メッセージスロット15データ4(COMSL15DT4)	CAN0メッセージスロット15データ5(COMSL15DT5)		
H'0080 11FC	CAN0メッセージスロット15データ6(COMSL15DT6)	CAN0メッセージスロット15データ7(COMSL15DT7)		
H'0080 11FE	CAN0メッセージスロット15タイムスタンプ(COMSL15TSP)			
H'0080 3FFE				

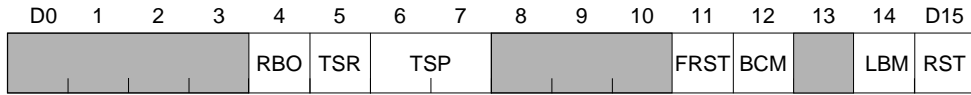
空き領域は予約領域です。

図13.2.4 CANモジュール関連レジスタマップ(4/4)

13.2.1 CANコントロールレジスタ

CAN0コントロールレジスタ(CAN0CNT)

<アドレス : H'0080 1000>



<リセット時 : H'0011>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4	RBO (リターンバスオフ)	0 : 通常動作許可 1 : エラーカウンタのクリアを要求		
5	TSR (タイムスタンプ カウンタリセット)	0 : カウント動作許可 1 : カウントの初期化(H'0000のセット)		
6~7	TSP (タイムスタンププリスケアラ)	D6 D7 0 0 : CANバスビットクロックを選択 0 1 : CANバスビットクロックの2分周を選択 1 0 : CANバスビットクロックの3分周を選択 1 1 : CANバスビットクロックの4分周を選択		
8~9	何も配置されていません		0	-
10	何も配置されていません(必ず"0"を書き込んでください)		0	-
11	FRST (強制リセット)	0 : リセット解除 1 : 強制リセット		
12	BCM (BasicCANモード)	0 : BasicCAN機能無効 1 : BasicCANモード		
13	何も配置されていません		0	-
14	LBM (ループバックモード)	0 : ループバック機能無効 1 : ループバック機能有効		
15	RST (CANリセット)	0 : リセット解除 1 : リセット要求		

W = : 1のみ書き込み可能。"0"へのクリアはハードウェアによって自動的に行われます。

(1) RBO (リターンバスオフ) ビット (D4)

このビットに"1"を設定することによって、受信エラーカウンタ(CAN0REC)/送信エラーカウンタ(CAN0TEC)をクリアし、CANモジュールの状態を強制的にエラーアクティブにする事ができます。

このビットは、エラーアクティブに遷移したとき、クリアされます。

注.エラーカウンタクリア後は、CANバス上に11ビットの連続したレセシブビットを検出した後に通信可能となります。

(2) TSR (タイムスタンプカウンタリセット) ビット (D5)

このビットに"1"を設定することによって、CANタイムスタンプカウンタレジスタ(CAN0TSTMP)の値をH'0000にクリアする事ができます。

このビットは、CANタイムスタンプカウンタレジスタ(CAN0TSTMP)の値がH'0000にクリアされた後、クリアされます。

(3) TSP (タイムスタンププリスケアラ) ビット (D6, D7)

タイムスタンプカウンタのカウントクロックソースを選択します。

注. CAN動作中(CANステータスレジスタのCRSビットが"0")は、TSPビットの設定変更を行わないでください。

(4) FRST(強制リセット)ビット (D11)

FRSTビットに"1"をセットすると、CANモジュールが通信中かどうかに関係なくCANモジュールをCANバスから切り離し、プロトコル制御部がリセットされます。

注1. CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。

注2. 通信中にFRSTビットに"1"をセットした場合、その直後からCTX端子出力は"H"になります。このため、CANフレーム送信中にFRSTビットに"1"をセットした場合、CANバスエラー発生の原因になることがあります。

(5) BCM (BasicCAN モード) ビット (D12)

このビットに"1"をセットすることによって、CANモジュールをBasicCANモードで動作させることができます。

BasicCAN モード時の動作

BasicCANモードでは、ローカルスロット14, 15の2本をダブルバッファとして使用し、アクセプタンスフィルタリングによってIDマッチした受信フレームをスロット14, 15へ交互に格納します。そのときのアクセプタンスフィルタリングには、スロット14がアクティブ(つぎの受信フレームが格納されるスロットが14)の場合はスロット14にセットしたIDとローカルマスクAが、スロット15がアクティブの場合はスロット15にセットしたIDとローカルマスクBが使用されます。また、データフレーム、リモートフレームの2タイプのフレームを受信することができます。

2つのスロットのIDとマスクレジスタの設定を同じにすることによって、多数のIDを持ったフレームを受信する場合などで、メッセージロス発生の可能性を低くすることができます。

BasicCAN モードエントリ手順

初期設定の中で以下の手順で行います。

スロット14, 15のID、およびローカルマスクレジスタA, Bを設定する。(同一値設定を推奨)

スロット14, 15で扱うフレームのタイプ(標準/拡張)をCAN拡張IDレジスタへ設定する。(同一タイプを推奨)

スロット14, 15のメッセージスロットコントロールレジスタをデータフレーム受信に設定する。

BCMビットを"1"にセットする。

注1. CAN動作中(CANステータスレジスタのCRSビットが"0")は、BCMビットの設定変更を行わないでください。

注2. RSTビットクリア後、最初にアクティブなスロットはスロット14です。

注3. BasicCANモードでもスロット0~スロット13は通常動作時と同様に使用できます。

(6) LBM (ループバックモード) ビット (D14)

LBMビットに"1"を設定すると、自分が送信したフレームとIDマッチする受信スロットがあった場合に、そのフレームを受信することができます。

注1. 送信フレームに対するACKは返しません。

注2. CAN動作中(CANステータスレジスタのCRSビットが"0")は、LBMビットの設定変更を行わないでください。

(7) RST (CANリセット) ビット (D15)

RSTビットを"0"にクリアすると、CANモジュールはCANバスと接続され、11ビットの連続したレセプティブビットを検出した後に通信可能となります。また、これによってCANタイムスタンプカウンタレジスタがカウントを開始します。

RSTビットを"1"にセットすると、それまでに送信要求をセットしたスロットのフレームを送信した後、プロトコル制御部がリセット状態になりCANバスから切り離されます。その間受信したフレームは正常に処理されます。

注1. RSTビットを"1"にセットした後、CANステータスレジスタのCRSビットが"1"となってプロトコル制御部がリセット状態になるまでの間、新たな送信要求をセットする事は禁止です。

注2. RSTビットを"1"にセットしプロトコル制御部がリセット状態になると、CANタイムスタンプカウンタレジスタとCAN送受信エラーカウンタレジスタは0に初期化されます。

注3. CAN通信を行うためには、FRSTビットおよびRSTビットを"0"にクリアする必要があります。

13.2.2 CANステータスレジスタ

CAN0ステータスレジスタ(CAN0STAT)

<アドレス : H'0080 1002>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
	BOS	EPS	CBS	BCS		LBS	CRS	RSB	TSB	RSC	TSC			MSN	

<リセット時 : H'0100>

D	ビット名	機能	R	W
0	何も配置されていません		0	-
1	BOS (バスオフステータス)	0: バスオフでない 1: バスオフ状態		-
2	EPS (エラーパッシブステータス)	0: エラーパッシブでない 1: エラーパッシブ状態		-
3	CBS (CANバスエラー)	0: エラー発生なし 1: エラー発生あり		-
4	BCS (BasicCANステータス)	0: 通常モード 1: BasicCANモード		-
5	何も配置されていません		0	-
6	LBS (ループバックステータス)	0: 通常モード 1: ループバックモード		-
7	CRS (CANリセットステータス)	0: 動作中 1: リセット状態		-
8	RSB (受信ステータス)	0: 非受信状態 1: 受信状態		-
9	TSB (送信ステータス)	0: 非送信状態 1: 送信状態		-
10	RSC (受信完了ステータス)	0: 受信未完了 1: 受信完了		-
11	TSC (送信完了ステータス)	0: 送信未完了 1: 送信完了		-

D	ビット名	機能	R	W
12~15	MSN (メッセージスロットナンバー)	送信 / 受信完了したメッセージスロットの番号 0000 : スロット0 0001 : スロット1 0010 : スロット2 0011 : スロット3 0100 : スロット4 0101 : スロット5 0110 : スロット6 0111 : スロット7 1000 : スロット8 1001 : スロット9 1010 : スロット10 1011 : スロット11 1100 : スロット12 1101 : スロット13 1110 : スロット14 1111 : スロット15		-

(1) BOS (バスオフステータス) ビット (D1)

BOSビットが"1"のとき、CANモジュールの状態がバスオフであることを示します。

[セット条件]

送信エラーカウントレジスタの値が255を超えてバスオフになった場合に"1"がセットされます。

[クリア条件]

バスオフ状態から復帰したときにクリアされます。

(2) EPS (エラーパッシブステータス) ビット (D2)

EPSビットが"1"のとき、CANモジュールの状態がエラーパッシブであることを示します。

[セット条件]

送信エラーカウントレジスタの値、あるいは受信エラーカウントレジスタの値が127を超えてエラーパッシブになった場合に"1"がセットされます。

[クリア条件]

エラーパッシブから変化したときにクリアされます。

(3) CBS (CANバスエラー) ビット (D3)

[セット条件]

CANバス上にエラーを検出した場合に"1"がセットされます。

[クリア条件]

正常に送受信が完了したときにクリアされます。

(4) BCS (BasicCAN ステータス) ビット (D4)

BCSビットが"1"のとき、BasicCANモードで動作していることを示します。

[セット条件]

BasicCANモードで動作しているとき、"1"がセットされます。

BasicCANモードは、下記条件で動作します。

- ・CANコントロールレジスタBCMビットが"1"にセットされていること。
- ・スロット14, 15がともにデータフレーム受信にセットされていること。

[クリア条件]

BCMビットを"0"にクリアすると、BCSビットもクリアされます。

(5) LBS (ループバックステータス) ビット (D6)

LBSビットが"1"のとき、ループバックモードで動作していることを示します。

[セット条件]

CANコントロールレジスタのLBM(ループバックモード)ビットに"1"をセットすると"1"がセットされます。

[クリア条件]

LBMビットを"0"にクリアすると、LBSビットもクリアされます。

(6) CRS (CANリセットステータス) ビット (D7)

CRSビットが"1"のとき、プロトコル制御部がリセット状態にあることを示します。

[セット条件]

CANのプロトコル制御部がリセット状態にあるとき、"1"がセットされます。

[クリア条件]

CANコントロールレジスタのRST(CANリセット)ビットを"0"にクリアすると、CRSビットもクリアされます。

(7) RSB (受信ステータス) ビット (D8)

[セット条件]

CANが受信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

送信ノードして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(8) TSB (送信ステータス) ビット (D9)

[セット条件]

CANが送信ノードとして動作中のとき、"1"がセットされます。

[クリア条件]

受信ノードして動作を始めたとき、またはバスアイドル状態になったときにクリアされます。

(9) RSC (受信完了ステータス) ビット (D10)

[セット条件]

CANが正常に受信を完了した(受信条件を満たすスロットの有無にかかわらず)とき、"1"がセットされます。

[クリア条件]

正常に送信完了したときにクリアされます。

(10) TSC (送信完了ステータス) ビット (D11)

[セット条件]

CANが正常に送信を完了したとき、"1"がセットされます。

[クリア条件]

正常に受信完了したときにクリアされます。

(11) MSN (メッセージスロットナンバー) ビット (D12 ~ D15)

送信完了時または受信データ格納完了時に、該当スロット番号を表示します。

MSNビットはソフトウェアによって"0"クリアすることはできません。

13.2.3 CAN拡張IDレジスタ

CAN0拡張IDレジスタ(CAN0EXTID)

<アドレス : H'0080 1004>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
IDE0	IDE1	IDE2	IDE3	IDE4	IDE5	IDE6	IDE7	IDE8	IDE9	IDE10	IDE11	IDE12	IDE13	IDE14	IDE15

<リセット時 : H'0000 >

D	ビット名	機能	R	W
0	IDE0 (拡張ID0)	0 : 標準ID(Standard ID)フォーマット		
1	IDE1 (拡張ID1)	1 : 拡張ID(Extended ID)フォーマット		
2	IDE2 (拡張ID2)			
3	IDE3 (拡張ID3)			
4	IDE4 (拡張ID4)			
5	IDE5 (拡張ID5)			
6	IDE6 (拡張ID6)			
7	IDE7 (拡張ID7)			
8	IDE8 (拡張ID8)			
9	IDE9 (拡張ID9)			
10	IDE10 (拡張ID10)			
11	IDE11 (拡張ID11)			
12	IDE12 (拡張ID12)			
13	IDE13 (拡張ID13)			
14	IDE14 (拡張ID14)			
15	IDE15 (拡張ID15)			

各ビットに対応したメッセージロットで取り扱うフレームのフォーマットを選択します。

"0"を設定した場合、標準(Standard ID)フォーマットが選択されます。

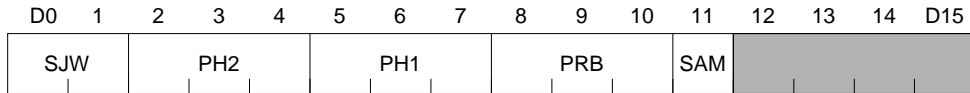
"1"を設定した場合、拡張(Extended ID)フォーマットが選択されます。

注. このレジスタの各ビットの変更は、対応するロットの送信要求 / 受信要求が立っていない状態で行ってください。

13.2.4 CANコンフィグレーションレジスタ

CAN0コンフィグレーションレジスタ(CAN0CONF)

<アドレス : H'0080 1006>



<リセット時 : H'0000>

D	ビット名	機能	R	W
0~1	SJW (reSynchronization Jump Width)	reSynchronization Jump Widthの設定 00 : SJW = 1Tq 01 : SJW = 2Tq 10 : SJW = 3Tq 11 : SJW = 4Tq		
2~4	PH2 (Phase Segment2)	Phase Segment2の設定 000 : 設定禁止 001 : Phase Segment2 = 2Tq 010 : Phase Segment2 = 3Tq 011 : Phase Segment2 = 4Tq 100 : Phase Segment2 = 5Tq 101 : Phase Segment2 = 6Tq 110 : Phase Segment2 = 7Tq 111 : Phase Segment2 = 8Tq		
5~7	PH1 (Phase Segment1)	Phase Segment1の設定 000 : Phase Segment1 = 1Tq 001 : Phase Segment1 = 2Tq 010 : Phase Segment1 = 3Tq 011 : Phase Segment1 = 4Tq 100 : Phase Segment1 = 5Tq 101 : Phase Segment1 = 6Tq 110 : Phase Segment1 = 7Tq 111 : Phase Segment1 = 8Tq		

<リセット時：H'0000>

D	ビット名	機能	R	W
8 ~ 10	PRB (Propagation Segment)	Propagation Segmentの設定 000 : Propagation Segment = 1Tq 001 : Propagation Segment = 2Tq 010 : Propagation Segment = 3Tq 011 : Propagation Segment = 4Tq 100 : Propagation Segment = 5Tq 101 : Propagation Segment = 6Tq 110 : Propagation Segment = 7Tq 111 : Propagation Segment = 8Tq		
11	SAM (サンプルング数)	0 : 1回サンプルング 1 : 3回サンプルング		
12 ~ 15	何も配置されていません。		0	-

(1) SJW ビット (D0 ~ D1)

reSynchronization Jump Widthの幅を設定します。

(2) PH2 ビット (D2 ~ D4)

Phase Segment2の幅を設定します。

注. M32R/ECU内蔵のCANモジュールはIPT(Information Processing Time)=2となっています。PH2ビットは、リセット後"0"になっていますので、2以上の値に変更してからご使用ください。

(3) PH1 ビット (D5 ~ D7)

Phase Segment1の幅を設定します。

(4) PRB ビット (D8 ~ D10)

Propagation Segmentの幅を設定します。

(5) SAM ビット (D11)

1ビットあたりのサンプリング数を設定します。

"0" : Phase Segment1の最後でサンプリングした値をそのビット値とみなします。

"1" : Phase Segment1の最後でサンプリングした値、1Tq前のサンプリング値、および2Tq前のサンプリング値の計3ポイントの値から多数決回路によって、ビットの値を決定します。

表13.2.1 CPUクロック：40MHz時のビットタイミング設定例

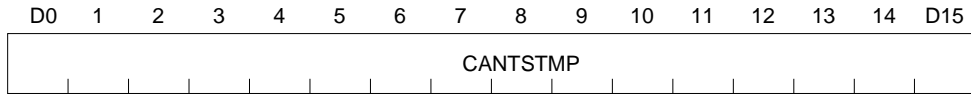
ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PRO+PPH1	Ph2	サンプリングポイント
1M bps	3	100	10	7	2	80%
	3	100	10	6	3	70%
	3	100	10	5	4	60%
	4	125	8	5	2	75%
	4	125	8	4	3	63%
500K bps	4	125	16	13	2	88%
	4	125	16	12	3	81%
	4	125	16	11	4	75%
	7	200	10	7	2	80%
	7	200	10	6	3	70%
	7	200	10	5	4	60%
	9	250	8	5	2	75%
	9	250	8	4	3	63%

表13.2.2 CPUクロック : 32MHz時のビットタイミング設定例

ボーレート	BRP設定値	Tq周期(ns)	1ビットのTq数	PROP+PH1	Ph2	サンプリングポイント
1M bps	1	62.5	16	10	5	69%
	3	125	8	5	2	75%
	3	125	8	4	3	63%
500K bps	3	125	16	13	2	88%
	3	125	16	11	4	75%
	7	250	8	5	2	75%
	7	250	8	4	3	63%

13.2.5 CANタイムスタンプカウントレジスタ

CAN0タイムスタンプカウントレジスタ(CAN0TSTMP) <アドレス: H'0080 1008>



<リセット時: H'0000>

D	ビット名	機能	R	W
0~15	CANTSTMP	16ビットカウンタ値		-

CANモジュールは16ビットのアップカウントレジスタを内蔵しています。カウント周期はCANコントロールレジスタ(CAN0CNT)のTSP(タイムスタンププリスケラ)ビットでCANバスビット周期の1分周、2分周、3分周、4分周のいずれかを選択します。

送信/受信完了時、カウントレジスタ値をキャプチャし、その値をメッセージスロットへ格納します。

カウンタは、CANコントロールレジスタ(CAN0CNT)のRSTビットを"0"クリアすることによってカウント動作を開始します。

注1. CANコントロールレジスタ(CAN0CNT)のRST(CANリセット)ビットを"1"にセットすることによって、プロトコル制御部がリセットされH'0000へ初期化することができます。また、TSR(タイムスタンプカウンタリセット)ビットを"1"にセットすることによって、CANモジュールを動作させたままH'0000へ初期化することができます。

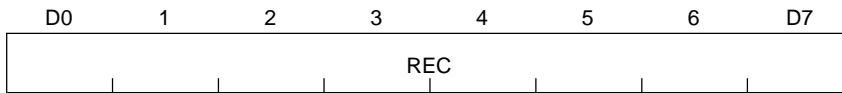
注2. ループバックモード時、IDマッチするスロットが存在する場合には、受信完了時に対応したスロットへタイムスタンプ値が格納されます(送信完了時、タイムスタンプ値の格納は行われません)。

注3. CANタイムスタンプカウントレジスタのカウント周期は、CAN再同期機能により変化します。

13.2.6 CANエラーカウントレジスタ

CAN0受信エラーカウントレジスタ(CAN0REC)

<アドレス : H'0080 100A>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~7	REC (受信エラーカウンタ)	受信エラーカウント値		—

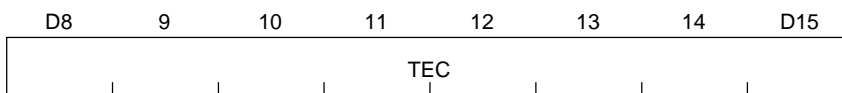
エラーアクティブ/エラーパッシブ状態のときは、受信エラーのカウント値が格納されます。正常受信時ダウンカウントし、エラー発生時にアップカウントします。

REC 128の状態(エラーパッシブ)で正常に受信完了した場合、RECは127にセットされます。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリセットされます。

CAN0送信エラーカウントレジスタ(CAN0TEC)

<アドレス : H'0080 100B>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~15	TEC (送信エラーカウンタ)	送信エラーカウント値		—

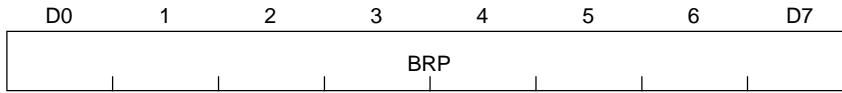
エラーアクティブ/エラーパッシブ状態のときは、送信エラーのカウント値が格納されます。正常送信時ダウンカウントし、エラー発生時にアップカウントします。

バスオフ状態のときは、不定値が格納されます。エラーアクティブ状態へ復帰するとH'00にリセットされます。

13.2.7 CANボーレートプリスケアラ

CAN0ボーレートプリスケアラ(CAN0BRP)

<アドレス : H'0080 1016>



<リセット時 : H'01>

D	ビット名	機能	R	W
0~7	BRP	ボーレート プリスケアラ値の選択		

CANのTq周期を設定します。CANボーレートは、「Tq周期×1ビット内のTqの数」で決定します。

$$\text{Tq周期} = (\text{BRP} + 1) \text{CPUクロック}$$

$$\text{CAN転送ボーレート} = \frac{1}{\text{Tq周期} \times \text{1ビット内のTqの数}}$$

$$\begin{aligned} \text{1ビット内のTqの数} = & \text{Synchronization Segment} + \\ & \text{Propagation Segment} + \\ & \text{Phase Segment 1} + \\ & \text{Phase Segment 2} \end{aligned}$$

注. H'00(1分周)は設定禁止です。

13.2.8 CAN割り込み関連レジスタ

CAN0スロット割り込みステータスレジスタ(CAN0SLIST) <アドレス:H'0080 100C>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
SSB0	SSB1	SSB2	SSB3	SSB4	SSB5	SSB6	SSB7	SSB8	SSB9	SSB10	SSB11	SSB12	SSB13	SSB14	SSB15

<リセット時:H'0000>

D	ビット名	機能	R	W
0	SSB0 (スロット0割り込み要求ステータス)	0: 割り込み要求なし		
1	SSB1 (スロット1割り込み要求ステータス)	1: 割り込み要求あり		
2	SSB2 (スロット2割り込み要求ステータス)			
3	SSB3 (スロット3割り込み要求ステータス)			
4	SSB4 (スロット4割り込み要求ステータス)			
5	SSB5 (スロット5割り込み要求ステータス)			
6	SSB6 (スロット6割り込み要求ステータス)			
7	SSB7 (スロット7割り込み要求ステータス)			
8	SSB8 (スロット8割り込み要求ステータス)			
9	SSB9 (スロット9割り込み要求ステータス)			
10	SSB10 (スロット10割り込み要求ステータス)			
11	SSB11 (スロット11割り込み要求ステータス)			
12	SSB12 (スロット12割り込み要求ステータス)			
13	SSB13 (スロット13割り込み要求ステータス)			
14	SSB14 (スロット14割り込み要求ステータス)			
15	SSB15 (スロット15割り込み要求ステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、どのスロットから割り込み要求があったかをこのレジスタで知ることができます。

送信設定スロット

送信が完了したとき"1"がセットされます。

このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

受信設定スロット

受信が完了し、受信メッセージのメッセージスロットへの格納が終わったとき"1"がセットされます。

このビットの"0"クリアは、ソフトウェアによって"0"を書き込むことで行います。

CANスロット割り込みステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

- 注1. リモートフレーム受信スロットで自動応答機能を有効にしている場合は、リモートフレーム受信後、およびデータフレーム送信後ともにステータスがセットされます。
- 注2. リモートフレーム送信スロットでは、リモートフレーム送信完了後、およびデータフレーム受信完了後ともにステータスがセットされます。
- 注3. 割り込み要求によるステータスのセットとソフトウェアによるステータスのクリアが同時に起こった場合は、割り込み要求によるステータスのセットが優先されます。

CAN0スロット割り込みマスクレジスタ(CAN0SLIMK)

<アドレス : H'0080 1010>

D0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	D15
IRB0	IRB1	IRB2	IRB3	IRB4	IRB5	IRB6	IRB7	IRB8	IRB9	IRB10	IRB11	IRB12	IRB13	IRB14	IRB15

<リセット時 : H'0000 >

D	ビット名	機能	R	W
0	IRB0 (スロット0割り込み要求マスク)	0 : 割り込み要求マスク(禁止)		
1	IRB1 (スロット1割り込み要求マスク)	1 : 割り込み要求許可		
2	IRB2 (スロット2割り込み要求マスク)			
3	IRB3 (スロット3割り込み要求マスク)			
4	IRB4 (スロット4割り込み要求マスク)			
5	IRB5 (スロット5割り込み要求マスク)			
6	IRB6 (スロット6割り込み要求マスク)			
7	IRB7 (スロット7割り込み要求マスク)			
8	IRB8 (スロット8割り込み要求マスク)			
9	IRB9 (スロット9割り込み要求マスク)			
10	IRB10 (スロット10割り込み要求マスク)			
11	IRB11 (スロット11割り込み要求マスク)			
12	IRB12 (スロット12割り込み要求マスク)			
13	IRB13 (スロット13割り込み要求マスク)			
14	IRB14 (スロット14割り込み要求マスク)			
15	IRB15 (スロット15割り込み要求マスク)			

対応するスロットのデータの送信 / 受信完了による割り込み要求の許可 / 禁止を制御するレジスタです。IRBn(n=0 ~ 15)に"1"を設定した場合、対応するスロットの送信 / 受信完了による割り込み要求が許可されます。

どのスロットから割り込み要求があったかは、CANスロット割り込みステータスレジスタ(CAN0SLIST)で確認できます。

CAN0エラー割り込みステータスレジスタ(CAN0ERIST) <アドレス : H'0080 1014>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~4	何も配置されていません		0	-
5	EIS (CANバスエラー割り込みステータス)	0: 割り込み要求なし 1: 割り込み要求あり		
6	PIS (エラーパッシブ割り込みステータス)			
7	OIS (バスオフ割り込みステータス)			

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

CAN割り込みを使用する場合、割り込み要因がエラーに関連するものであったときはこのレジスタでその要因を確認することができます。

(1) EIS (CAN バスエラー割り込みステータス) ビット (D5)

通信エラーが検出された場合、EISビットに"1"がセットされます。
EISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

(2) PIS (エラーパッシブ割り込みステータス) ビット (D6)

CANモジュールの状態がエラーパッシブとなった場合、PISビットに"1"がセットされます。
PISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

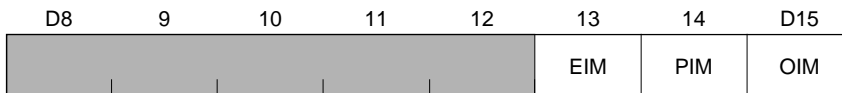
(3) OIS (バスオフ割り込みステータス) ビット (D7)

CANモジュールの状態がバスオフとなった場合、OISビットに"1"がセットされます。
OISビットの"0"クリアは、ソフトウェアで"0"を書き込むことによって行います。

CANエラー割り込みステータス書き込み時は、クリア操作するビットに"0"を、その他のビットには"1"を書き込んでください。"1"を書き込んだビットに対してはソフトウェアによる書き込みの影響はなく、書き込み前の値が保持されます。

CAN0エラー割り込みマスクレジスタ(CAN0ERIMK)

<アドレス : H'0080 1015>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~12	何も配置されていません		0	-
13	EIM (CANバスエラー割り込みマスク)	0: 割り込み要求マスク(禁止) 1: 割り込み要求許可		
14	PIM (エラーパッシブ割り込みマスク)			
15	OIM (バスオフ割り込みマスク)			

(1) EIM (CANバスエラー割り込みマスク) ビット (D5)

CANバスエラーの発生による割り込み要求の許可 / 禁止を制御するビットです。EIMビットに"1"をセットすることによって、CANバスエラー割り込み要求が許可されます。

(2) PIM (エラーパッシブ割り込みマスク) ビット (D6)

CANモジュールの状態がエラーパッシブに遷移したときの割り込み要求の許可 / 禁止を制御するビットです。PIMビットに"1"をセットすることによって、エラーパッシブ割り込み要求が許可されます。

(3) OIM (バスオフ割り込みマスク) ビット (D7)

CANモジュールの状態がバスオフに遷移したときの割り込み要求の許可 / 禁止を制御するビットです。OIMビットに"1"をセットすることによって、バスオフ割り込み要求が許可されます。

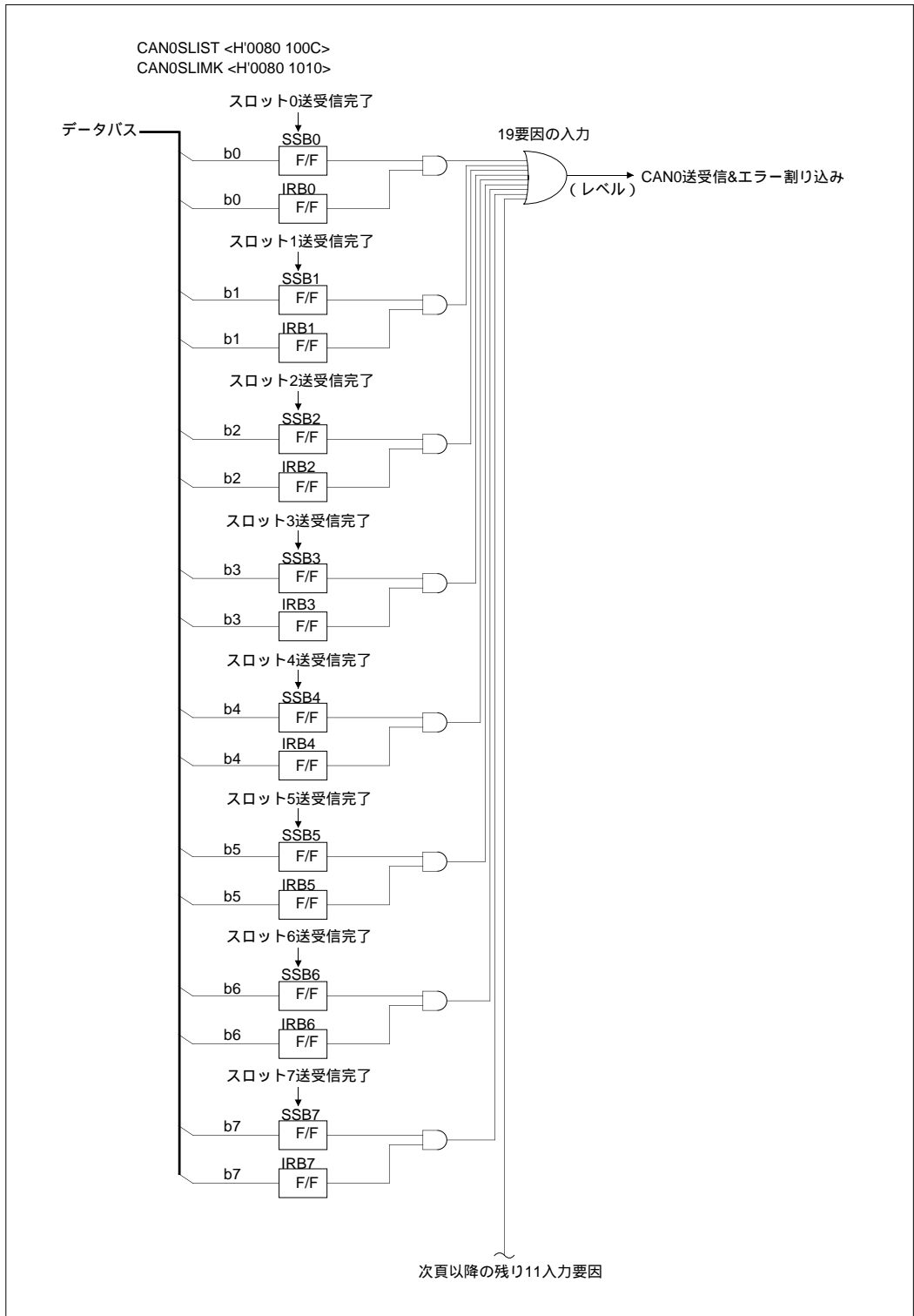


図13.2.5 CAN0送受信&エラー割り込みブロック図(1/3)

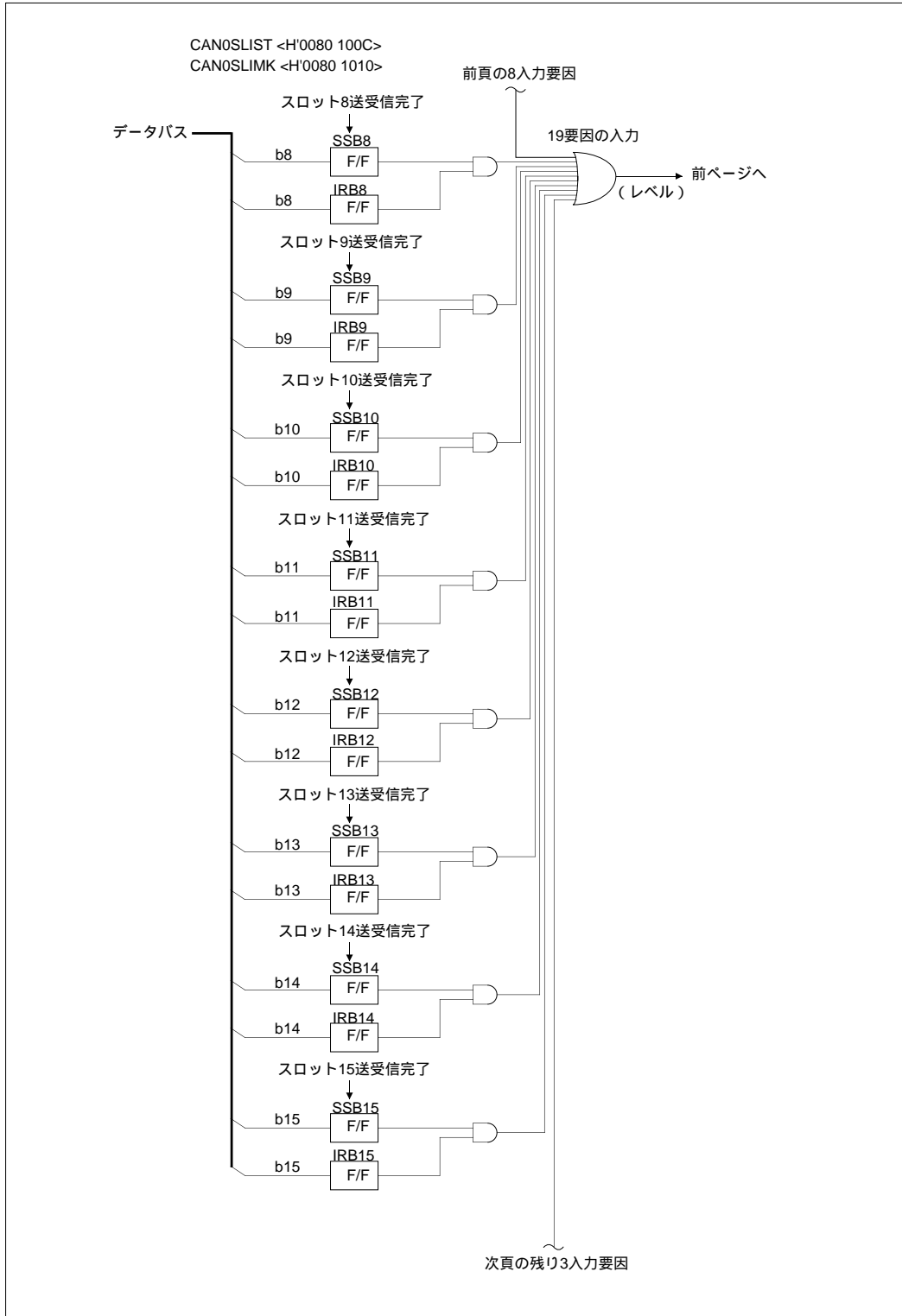


図13.2.6 CAN0送受信&エラー割り込みブロック図(2/3)

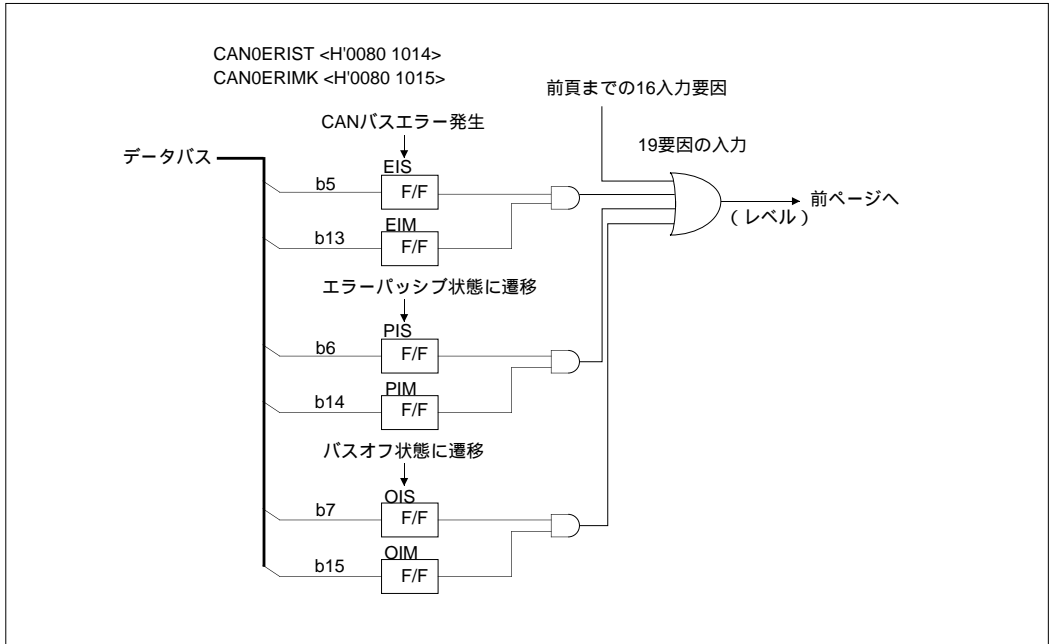
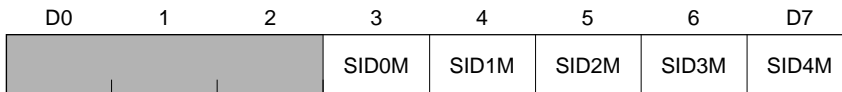


図13.2.7 CAN0送受信&エラー割り込みブロック図(3/3)

13.2.9 CANマスクレジスタ

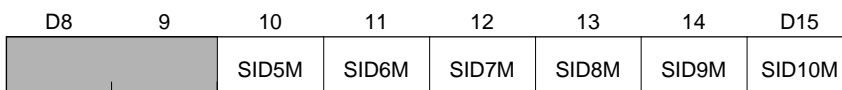
CAN0グローバルマスクレジスタ標準ID α (COGMSKS0) <アドレス : H'0080 1028>
 CAN0ローカルマスクレジスタA標準ID α (COLMSKAS0) <アドレス : H'0080 1030>
 CAN0ローカルマスクレジスタB標準ID α (COLMSKBS0) <アドレス : H'0080 1038>



<リセット時 : H'00>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3~7	SID0M ~ SID4M (標準ID0 ~ 標準ID4)	0 : IDチェックなし 1 : IDチェックあり		

CAN0グローバルマスクレジスタ標準ID1(COGMSKS1) <アドレス : H'0080 1029>
 CAN0ローカルマスクレジスタA標準ID1(COLMSKAS1) <アドレス : H'0080 1031>
 CAN0ローカルマスクレジスタB標準ID1(COLMSKBS1) <アドレス : H'0080 1039>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~9	何も配置されていません		0	-
10~15	SID5M ~ SID10M (標準ID5 ~ 標準ID10)	0 : IDチェックなし 1 : IDチェックあり		

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

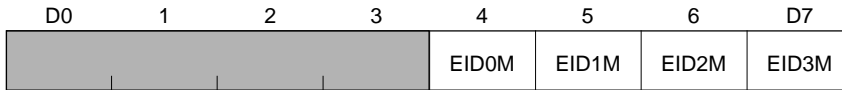
グローバルマスクレジスタはメッセージスロット0～13に、ローカルマスクレジスタA, Bはそれぞれメッセージスロット14, 15に適用されます。

"0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。

"1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

- 注1. SID0Mが標準IDのMSBに対応します。
- 注2. グローバルマスクレジスタの変更は、スロット0～13のどのスロットにも受信要求をセットしていない状態で行ってください。
- 注3. ローカルマスクレジスタAの変更は、スロット14に受信要求をセットしていない状態で行ってください。
- 注4. ローカルマスクレジスタBの変更は、スロット15に受信要求をセットしていない状態で行ってください。

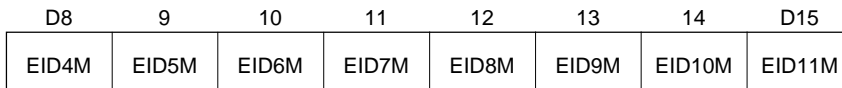
CAN0グローバルマスクレジスタ拡張ID α (C0GMSKE0) <アドレス: H'0080 102A>
 CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE0) <アドレス: H'0080 1032>
 CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE0) <アドレス: H'0080 103A>



<リセット時: H'00>

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	EID0M~EID3M (拡張ID0~拡張ID3)	0: IDチェックなし 1: IDチェックあり		

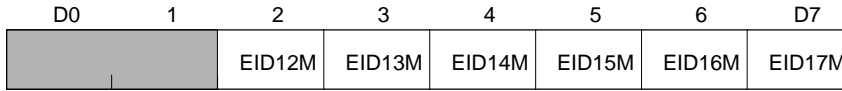
CAN0グローバルマスクレジスタ拡張ID1(C0GMSKE1) <アドレス: H'0080 102B>
 CAN0ローカルマスクレジスタA拡張ID1(C0LMSKAE1) <アドレス: H'0080 1033>
 CAN0ローカルマスクレジスタB拡張ID1(C0LMSKBE1) <アドレス: H'0080 103B>



<リセット時: H'00>

D	ビット名	機能	R	W
8~15	EID4M~EID11M (拡張ID4~拡張ID11)	0: IDチェックなし 1: IDチェックあり		

CAN0グローバルマスクレジスタ拡張ID α (C0GMSKE2)	<アドレス : H'0080 102C>
CAN0ローカルマスクレジスタA拡張ID α (C0LMSKAE2)	<アドレス : H'0080 1034>
CAN0ローカルマスクレジスタB拡張ID α (C0LMSKBE2)	<アドレス : H'0080 103C>



<リセット時 : H'00>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2~7	EID12M~EID17M (拡張ID12~拡張ID17)	0 : IDチェックなし 1 : IDチェックあり		

アクセプタンスフィルタリングに使用するマスクレジスタには、グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタBがあります。

グローバルマスクレジスタはメッセージスロット0~13に、ローカルマスクレジスタA, Bはそれぞれメッセージスロット14, 15に適用されます。

"0"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時にマスク(該当ビットはIDマッチしたものとみなされます)されます。

"1"を設定した場合、該当ビットに対応するIDビットはアクセプタンスフィルタリング時に受信IDと比較され、メッセージスロットに設定されたIDと一致した場合受信データが格納されます。

- 注1. EID0Mが拡張IDのMSBに対応します。
- 注2. グローバルマスクレジスタの変更は、スロット0~13のどのスロットにも受信要求をセットしていない状態で行ってください。
- 注3. ローカルマスクレジスタAの変更は、スロット14に受信要求をセットしていない状態で行ってください。
- 注4. ローカルマスクレジスタBの変更は、スロット15に受信要求をセットしていない状態で行ってください。

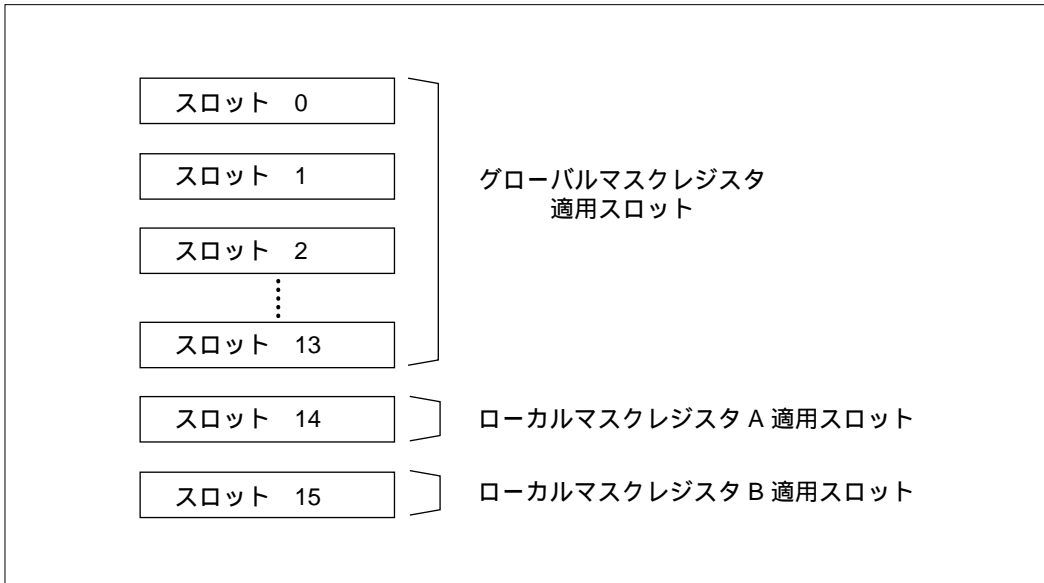


図13.2.8 マスクレジスタと適用スロットの対応

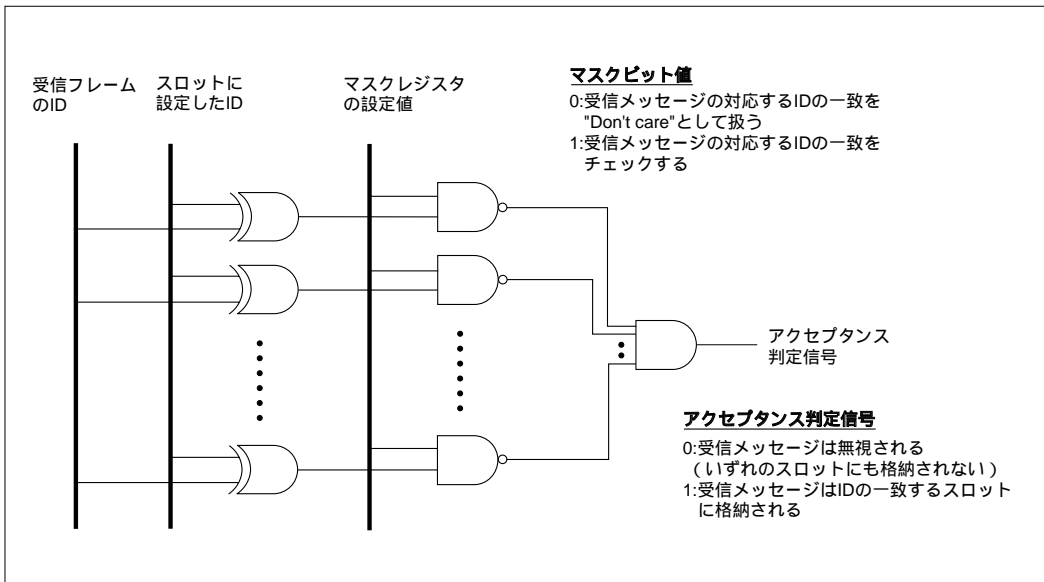


図13.2.9 アクセプタンスフィルタ動作説明

13.2.10 CANメッセージスロットコントロールレジスタ

- CAN0メッセージスロット0コントロールレジスタ(C0MSL0CNT) <アドレス: H'0080 1050>
- CAN0メッセージスロット1コントロールレジスタ(C0MSL1CNT) <アドレス: H'0080 1051>
- CAN0メッセージスロット2コントロールレジスタ(C0MSL2CNT) <アドレス: H'0080 1052>
- CAN0メッセージスロット3コントロールレジスタ(C0MSL3CNT) <アドレス: H'0080 1053>
- CAN0メッセージスロット4コントロールレジスタ(C0MSL4CNT) <アドレス: H'0080 1054>
- CAN0メッセージスロット5コントロールレジスタ(C0MSL5CNT) <アドレス: H'0080 1055>
- CAN0メッセージスロット6コントロールレジスタ(C0MSL6CNT) <アドレス: H'0080 1056>
- CAN0メッセージスロット7コントロールレジスタ(C0MSL7CNT) <アドレス: H'0080 1057>
- CAN0メッセージスロット8コントロールレジスタ(C0MSL8CNT) <アドレス: H'0080 1058>
- CAN0メッセージスロット9コントロールレジスタ(C0MSL9CNT) <アドレス: H'0080 1059>
- CAN0メッセージスロット10コントロールレジスタ(C0MSL10CNT) <アドレス: H'0080 105A>
- CAN0メッセージスロット11コントロールレジスタ(C0MSL11CNT) <アドレス: H'0080 105B>
- CAN0メッセージスロット12コントロールレジスタ(C0MSL12CNT) <アドレス: H'0080 105C>
- CAN0メッセージスロット13コントロールレジスタ(C0MSL13CNT) <アドレス: H'0080 105D>
- CAN0メッセージスロット14コントロールレジスタ(C0MSL14CNT) <アドレス: H'0080 105E>
- CAN0メッセージスロット15コントロールレジスタ(C0MSL15CNT) <アドレス: H'0080 105F>

D0(D8)	1	2	3	4	5	6	D7(D15)
TR	RR	RM	RL	RA	ML	TRSTAT	TRFIN

<リセット時: H'00>

D	ビット名	機能	R	W
0	TR (送信要求)	0: メッセージスロットを送信スロットとして 使用しない 1: メッセージスロットを送信スロットとして 使用する		
1	RR (受信要求)	0: メッセージスロットを受信スロットとして 使用しない 1: メッセージスロットを受信スロットとして 使用する		
2	RM (リモート)	0: データフレームの送受信 1: リモートフレームの送受信		
3	RL (自動応答禁止)	0: リモートフレームに対する自動応答許可 1: リモートフレームに対する自動応答禁止		
4	RA (リモートアクティブ)	BasicCANモード時 0: データフレーム受信(ステータス) 1: リモートフレーム受信(ステータス) 通常モード時 0: データフレーム 1: リモートフレーム		-

D	ビット名	機能	R	W
5	ML (メッセージロスト)	0: メッセージロスト発生なし		
		1: メッセージロスト発生		
6	TRSTAT (送受信ステータス)	送信スロット時		-
		0: 送信停止		
		1: 送信要求受付		
		受信スロット時		
		0: 受信停止		
		1: 受信データ格納中		
7	TRFIN (送受信完了)	送信スロット時		
		0: 未送信		
		1: 送信完了		
		受信スロット時		
		0: 未受信		
		1: 受信完了		

W = : 書き込みは"0"のみ有効。"1"を書き込んだ場合は書き込み前の値を保持します。

(1) TR (送信要求) ビット (D0)

メッセージスロットを送信スロットとして使用する場合に"1"を設定します。

データフレーム受信/リモートフレーム受信スロットとして使用する場合は、"0"を設定してください。

(2) RR (受信要求) ビット (D1)

メッセージボックスを受信スロットとして使用する場合に"1"を設定します。

データフレーム送信/リモートフレーム送信スロットとして使用する場合は、"0"を設定してください。

TR(送信要求)ビットとRR(受信要求)ビットを両方とも"1"に設定した場合、動作は不定になります。

(3) RM (リモート) ビット (D2)

メッセージスロットでリモートフレームを扱う場合に"1"を設定します。
リモートフレームを扱う設定には以下の2通りがあります。

リモートフレーム送信設定

メッセージスロットに設定されているデータをリモートフレームとして送信します。送信終了後は自動的にデータフレーム受信スロットに切り替わります
ただし、リモートフレームの送信が完了する前にデータフレームを受信した場合は、そのデータをメッセージスロットへ格納しリモートフレームの送信は行いません。

リモートフレーム受信設定

リモートフレームを受信します。受信後の処理はRL(自動応答禁止)ビットにより選択します。

(4) RL (自動応答禁止) ビット (D3)

リモートフレーム受信スロットとして設定した場合に有効なビットで、リモートフレーム受信後の処理を選択します。

"0"を設定した場合は、リモートフレーム受信後、自動的に送信スロットに切り替わり、メッセージスロットに設定されているデータをデータフレームとして送信します。
また、"1"を設定した場合は、リモートフレーム受信後、停止します。

注. リモートフレーム受信スロット以外の設定の場合は、必ず"0"を設定してください。

(5) RA (リモートアクティブ) ビット (D4)

スロット0~13までと、スロット14, 15では機能が異なります。

スロット0~13

スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。その後、リモートフレームの送信(受信)が完了すると"0"にクリアされます。

スロット14, 15

CANコントロールレジスタのBCM(BasicCANモード)ビットの設定によって機能が異なります。

BCM="0"(通常動作時): スロットをリモートフレーム送信(受信)として設定した場合、RA(リモートアクティブ)ビットに"1"がセットされます。

BCM="1"(BasicCAN): RAビットは、どのタイプのフレームを受信したかを示します。BasicCANモード時のスロット14,15ではデータフレーム、リモートフレームともに受信データの格納を行います。

RA="0": スロットに格納されているフレームがデータフレームである事を示します。

RA="1": スロットに格納されているフレームがリモートフレームである事を示します。

(6) ML (メッセージロスト) ビット (D5)

受信スロット時に有効なビットで、メッセージスロットに未読の受信データがあり、受信により上書きされた場合に"1"がセットされます。

このビットはソフトウェアによる"0"書き込みでクリアされます。

(7) TRSTAT (送受信ステータス) ビット (D6)

CANモジュールが送受信中で、メッセージスロットへアクセス中であることを示します。アクセス中は"1"がセットされ、アクセスしていないときは"0"がセットされます。

送信スロット時

メッセージスロットの送信要求が受け付けられたとき、"1"がセットされます。アービトラージに敗れた場合、CANバスエラー発生、送信完了によって"0"にクリアされます。

受信スロット時

データ受信中でメッセージスロットに受信データを格納中であるとき、"1"がセットされます。このビットが"1"の間にメッセージスロットから読み出した値は不定値となりますのでご注意ください。

(8) TRFIN (送受信完了) ビット (D7)

CANモジュールが送受信を完了したことを示します。

送信スロット設定時

メッセージスロットのデータが送信完了したとき、"1"がセットされます。

このビットはソフトウェアによる"0"書き込みでクリアされます。ただし、TRSTAT (送受信ステータス) ビットが"1"の場合は"0"クリアできません。

受信スロット設定時

メッセージスロットへ格納すべきデータを正常受信にしたとき、"1"がセットされます。

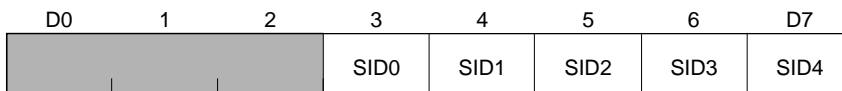
このビットはソフトウェアによる"0"書き込みでクリアされます。ただし、TRSTAT (送受信ステータス) ビットが"1"の場合は"0"クリアできません。

注1. 受信データをメッセージスロットから読み出す場合は、読み出し前にTRFIN(送受信完了)ビットをクリアしてください。また、読み出し後にTRFIN(送受信完了)ビットが"1"にセットされていた場合は、読み出し中に新しい受信データが格納され、読み出し値に不定値が含まれていることを示します。その場合は、読み出しデータを破棄し、TRFIN(送受信完了)ビットをクリア後、再度読み出し処理を行ってください。

注2. リモートフレームの送受信完了時には、TRFIN(送受信完了)ビットはセットされません。

13.2.11 CANメッセージスロット

CAN0メッセージスロット0標準ID α (COMSL0SID0)	<アドレス : H'0080 1100>
CAN0メッセージスロット1標準ID α (COMSL1SID0)	<アドレス : H'0080 1110>
CAN0メッセージスロット2標準ID α (COMSL2SID0)	<アドレス : H'0080 1120>
CAN0メッセージスロット3標準ID α (COMSL3SID0)	<アドレス : H'0080 1130>
CAN0メッセージスロット4標準ID α (COMSL4SID0)	<アドレス : H'0080 1140>
CAN0メッセージスロット5標準ID α (COMSL5SID0)	<アドレス : H'0080 1150>
CAN0メッセージスロット6標準ID α (COMSL6SID0)	<アドレス : H'0080 1160>
CAN0メッセージスロット7標準ID α (COMSL7SID0)	<アドレス : H'0080 1170>
CAN0メッセージスロット8標準ID α (COMSL8SID0)	<アドレス : H'0080 1180>
CAN0メッセージスロット9標準ID α (COMSL9SID0)	<アドレス : H'0080 1190>
CAN0メッセージスロット10標準ID α (COMSL10SID0)	<アドレス : H'0080 11A0>
CAN0メッセージスロット11標準ID α (COMSL11SID0)	<アドレス : H'0080 11B0>
CAN0メッセージスロット12標準ID α (COMSL12SID0)	<アドレス : H'0080 11C0>
CAN0メッセージスロット13標準ID α (COMSL13SID0)	<アドレス : H'0080 11D0>
CAN0メッセージスロット14標準ID α (COMSL14SID0)	<アドレス : H'0080 11E0>
CAN0メッセージスロット15標準ID α (COMSL15SID0)	<アドレス : H'0080 11F0>

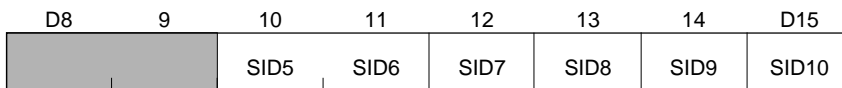


<リセット時 : 不定>

D	ビット名	機能	R	W
0~2	何も配置されていません		0	-
3~7	SID0~SID4 (標準ID0~標準ID4)	標準ID0~標準ID4		

送信フレーム / 受信フレームのメモリスペースです。

CAN0メッセージスロット0標準ID1(C0MSL0SID1)	<アドレス : H'0080 1101>
CAN0メッセージスロット1標準ID1(C0MSL1SID1)	<アドレス : H'0080 1111>
CAN0メッセージスロット2標準ID1(C0MSL2SID1)	<アドレス : H'0080 1121>
CAN0メッセージスロット3標準ID1(C0MSL3SID1)	<アドレス : H'0080 1131>
CAN0メッセージスロット4標準ID1(C0MSL4SID1)	<アドレス : H'0080 1141>
CAN0メッセージスロット5標準ID1(C0MSL5SID1)	<アドレス : H'0080 1151>
CAN0メッセージスロット6標準ID1(C0MSL6SID1)	<アドレス : H'0080 1161>
CAN0メッセージスロット7標準ID1(C0MSL7SID1)	<アドレス : H'0080 1171>
CAN0メッセージスロット8標準ID1(C0MSL8SID1)	<アドレス : H'0080 1181>
CAN0メッセージスロット9標準ID1(C0MSL9SID1)	<アドレス : H'0080 1191>
CAN0メッセージスロット10標準ID1(C0MSL10SID1)	<アドレス : H'0080 11A1>
CAN0メッセージスロット11標準ID1(C0MSL11SID1)	<アドレス : H'0080 11B1>
CAN0メッセージスロット12標準ID1(C0MSL12SID1)	<アドレス : H'0080 11C1>
CAN0メッセージスロット13標準ID1(C0MSL13SID1)	<アドレス : H'0080 11D1>
CAN0メッセージスロット14標準ID1(C0MSL14SID1)	<アドレス : H'0080 11E1>
CAN0メッセージスロット15標準ID1(C0MSL15SID1)	<アドレス : H'0080 11F1>

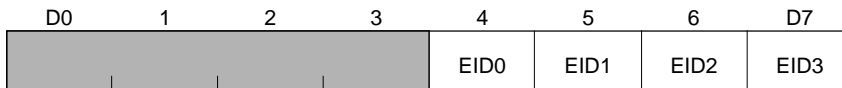


<リセット時 : 不定>

D	ビット名	機能	R	W
8,9	何も配置されていません		0	-
10~15	SID5~SID10 (標準ID5~標準ID10)	標準ID5~標準ID10		

送信フレーム / 受信フレームのメモリスペースです。

CAN0メッセージスロット0拡張ID α (COMSL0EID0)	<アドレス : H'0080 1102>
CAN0メッセージスロット1拡張ID α (COMSL1EID0)	<アドレス : H'0080 1112>
CAN0メッセージスロット2拡張ID α (COMSL2EID0)	<アドレス : H'0080 1122>
CAN0メッセージスロット3拡張ID α (COMSL3EID0)	<アドレス : H'0080 1132>
CAN0メッセージスロット4拡張ID α (COMSL4EID0)	<アドレス : H'0080 1142>
CAN0メッセージスロット5拡張ID α (COMSL5EID0)	<アドレス : H'0080 1152>
CAN0メッセージスロット6拡張ID α (COMSL6EID0)	<アドレス : H'0080 1162>
CAN0メッセージスロット7拡張ID α (COMSL7EID0)	<アドレス : H'0080 1172>
CAN0メッセージスロット8拡張ID α (COMSL8EID0)	<アドレス : H'0080 1182>
CAN0メッセージスロット9拡張ID α (COMSL9EID0)	<アドレス : H'0080 1192>
CAN0メッセージスロット10拡張ID α (COMSL10EID0)	<アドレス : H'0080 11A2>
CAN0メッセージスロット11拡張ID α (COMSL11EID0)	<アドレス : H'0080 11B2>
CAN0メッセージスロット12拡張ID α (COMSL12EID0)	<アドレス : H'0080 11C2>
CAN0メッセージスロット13拡張ID α (COMSL13EID0)	<アドレス : H'0080 11D2>
CAN0メッセージスロット14拡張ID α (COMSL14EID0)	<アドレス : H'0080 11E2>
CAN0メッセージスロット15拡張ID α (COMSL15EID0)	<アドレス : H'0080 11F2>



<リセット時 : 不定 >

D	ビット名	機能	R	W
0~3	何も配置されていません		0	-
4~7	EID0~EID3 (拡張ID0~拡張ID3)	拡張ID0~拡張ID3		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID1(COMSL0EID1)	<アドレス : H'0080 1103>
CAN0メッセージスロット1拡張ID1(COMSL1EID1)	<アドレス : H'0080 1113>
CAN0メッセージスロット2拡張ID1(COMSL2EID1)	<アドレス : H'0080 1123>
CAN0メッセージスロット3拡張ID1(COMSL3EID1)	<アドレス : H'0080 1133>
CAN0メッセージスロット4拡張ID1(COMSL4EID1)	<アドレス : H'0080 1143>
CAN0メッセージスロット5拡張ID1(COMSL5EID1)	<アドレス : H'0080 1153>
CAN0メッセージスロット6拡張ID1(COMSL6EID1)	<アドレス : H'0080 1163>
CAN0メッセージスロット7拡張ID1(COMSL7EID1)	<アドレス : H'0080 1173>
CAN0メッセージスロット8拡張ID1(COMSL8EID1)	<アドレス : H'0080 1183>
CAN0メッセージスロット9拡張ID1(COMSL9EID1)	<アドレス : H'0080 1193>
CAN0メッセージスロット10拡張ID1(COMSL10EID1)	<アドレス : H'0080 11A3>
CAN0メッセージスロット11拡張ID1(COMSL11EID1)	<アドレス : H'0080 11B3>
CAN0メッセージスロット12拡張ID1(COMSL12EID1)	<アドレス : H'0080 11C3>
CAN0メッセージスロット13拡張ID1(COMSL13EID1)	<アドレス : H'0080 11D3>
CAN0メッセージスロット14拡張ID1(COMSL14EID1)	<アドレス : H'0080 11E3>
CAN0メッセージスロット15拡張ID1(COMSL15EID1)	<アドレス : H'0080 11F3>

D8	9	10	11	12	13	14	D15
EID4	EID5	EID6	EID7	EID8	EID9	EID10	EID11

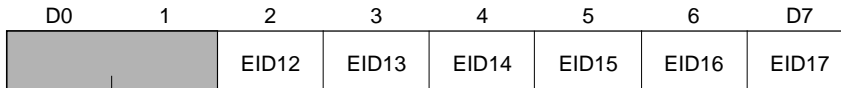
<リセット時 : 不定>

D	ビット名	機能	R	W
8 ~ 15	EID4 ~ EID11 (拡張ID4 ~ 拡張ID11)	拡張ID4 ~ 拡張ID11		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージスロット0拡張ID α (COMSL0EID2)	<アドレス : H'0080 1104>
CAN0メッセージスロット1拡張ID α (COMSL1EID2)	<アドレス : H'0080 1114>
CAN0メッセージスロット2拡張ID α (COMSL2EID2)	<アドレス : H'0080 1124>
CAN0メッセージスロット3拡張ID α (COMSL3EID2)	<アドレス : H'0080 1134>
CAN0メッセージスロット4拡張ID α (COMSL4EID2)	<アドレス : H'0080 1144>
CAN0メッセージスロット5拡張ID α (COMSL5EID2)	<アドレス : H'0080 1154>
CAN0メッセージスロット6拡張ID α (COMSL6EID2)	<アドレス : H'0080 1164>
CAN0メッセージスロット7拡張ID α (COMSL7EID2)	<アドレス : H'0080 1174>
CAN0メッセージスロット8拡張ID α (COMSL8EID2)	<アドレス : H'0080 1184>
CAN0メッセージスロット9拡張ID α (COMSL9EID2)	<アドレス : H'0080 1194>
CAN0メッセージスロット10拡張ID α (COMSL10EID2)	<アドレス : H'0080 11A4>
CAN0メッセージスロット11拡張ID α (COMSL11EID2)	<アドレス : H'0080 11B4>
CAN0メッセージスロット12拡張ID α (COMSL12EID2)	<アドレス : H'0080 11C4>
CAN0メッセージスロット13拡張ID α (COMSL13EID2)	<アドレス : H'0080 11D4>
CAN0メッセージスロット14拡張ID α (COMSL14EID2)	<アドレス : H'0080 11E4>
CAN0メッセージスロット15拡張ID α (COMSL15EID2)	<アドレス : H'0080 11F4>



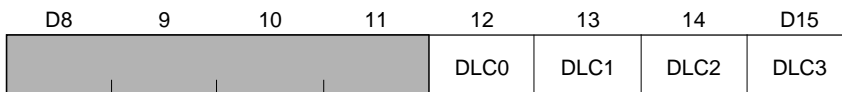
<リセット時 : 不定>

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2~7	EID12~EID17 (拡張ID12~拡張ID17)	拡張ID12~拡張ID17		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロット標準IDフォーマット設定の場合、受信データ格納時のEIDビットには不定値が書き込まれます。

CAN0メッセージロット0データ長レジスタ(C0MSL0DLC) <アドレス: H'0080 1105>
 CAN0メッセージロット1データ長レジスタ(C0MSL1DLC) <アドレス: H'0080 1115>
 CAN0メッセージロット2データ長レジスタ(C0MSL2DLC) <アドレス: H'0080 1125>
 CAN0メッセージロット3データ長レジスタ(C0MSL3DLC) <アドレス: H'0080 1135>
 CAN0メッセージロット4データ長レジスタ(C0MSL4DLC) <アドレス: H'0080 1145>
 CAN0メッセージロット5データ長レジスタ(C0MSL5DLC) <アドレス: H'0080 1155>
 CAN0メッセージロット6データ長レジスタ(C0MSL6DLC) <アドレス: H'0080 1165>
 CAN0メッセージロット7データ長レジスタ(C0MSL7DLC) <アドレス: H'0080 1175>
 CAN0メッセージロット8データ長レジスタ(C0MSL8DLC) <アドレス: H'0080 1185>
 CAN0メッセージロット9データ長レジスタ(C0MSL9DLC) <アドレス: H'0080 1195>
 CAN0メッセージロット10データ長レジスタ(C0MSL10DLC) <アドレス: H'0080 11A5>
 CAN0メッセージロット11データ長レジスタ(C0MSL11DLC) <アドレス: H'0080 11B5>
 CAN0メッセージロット12データ長レジスタ(C0MSL12DLC) <アドレス: H'0080 11C5>
 CAN0メッセージロット13データ長レジスタ(C0MSL13DLC) <アドレス: H'0080 11D5>
 CAN0メッセージロット14データ長レジスタ(C0MSL14DLC) <アドレス: H'0080 11E5>
 CAN0メッセージロット15データ長レジスタ(C0MSL15DLC) <アドレス: H'0080 11F5>

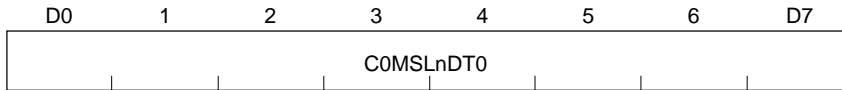


<リセット時:不定>

D	ビット名	機能	R	W
8~11	何も配置されていません		0	-
12~15	DLC0~DLC3 (データ長設定)	0 0 0 0 : 0バイト 0 0 0 1 : 1バイト 0 0 1 0 : 2バイト 0 0 1 1 : 3バイト 0 1 0 0 : 4バイト 0 1 0 1 : 5バイト 0 1 1 0 : 6バイト 0 1 1 1 : 7バイト 1 x x x : 8バイト		

送信フレーム/受信フレームのメモリスペースです。送信時は送信データ長を設定します。受信時は受信DLCが格納されます。

CAN0メッセージスロット0データ(C0MSL0DT0)	<アドレス: H'0080 1106>
CAN0メッセージスロット1データ(C0MSL1DT0)	<アドレス: H'0080 1116>
CAN0メッセージスロット2データ(C0MSL2DT0)	<アドレス: H'0080 1126>
CAN0メッセージスロット3データ(C0MSL3DT0)	<アドレス: H'0080 1136>
CAN0メッセージスロット4データ(C0MSL4DT0)	<アドレス: H'0080 1146>
CAN0メッセージスロット5データ(C0MSL5DT0)	<アドレス: H'0080 1156>
CAN0メッセージスロット6データ(C0MSL6DT0)	<アドレス: H'0080 1166>
CAN0メッセージスロット7データ(C0MSL7DT0)	<アドレス: H'0080 1176>
CAN0メッセージスロット8データ(C0MSL8DT0)	<アドレス: H'0080 1186>
CAN0メッセージスロット9データ(C0MSL9DT0)	<アドレス: H'0080 1196>
CAN0メッセージスロット10データ(C0MSL10DT0)	<アドレス: H'0080 11A6>
CAN0メッセージスロット11データ(C0MSL11DT0)	<アドレス: H'0080 11B6>
CAN0メッセージスロット12データ(C0MSL12DT0)	<アドレス: H'0080 11C6>
CAN0メッセージスロット13データ(C0MSL13DT0)	<アドレス: H'0080 11D6>
CAN0メッセージスロット14データ(C0MSL14DT0)	<アドレス: H'0080 11E6>
CAN0メッセージスロット15データ(C0MSL15DT0)	<アドレス: H'0080 11F6>



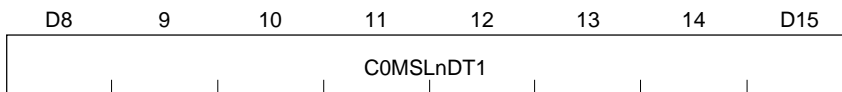
<リセット時: 不定>

D	ビット名	機能	R	W
0~7	C0MSLnDT0	メッセージスロットnデータ0		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が0の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ1(COMSL0DT1)	<アドレス : H'0080 1107>
CAN0メッセージスロット1データ1(COMSL1DT1)	<アドレス : H'0080 1117>
CAN0メッセージスロット2データ1(COMSL2DT1)	<アドレス : H'0080 1127>
CAN0メッセージスロット3データ1(COMSL3DT1)	<アドレス : H'0080 1137>
CAN0メッセージスロット4データ1(COMSL4DT1)	<アドレス : H'0080 1147>
CAN0メッセージスロット5データ1(COMSL5DT1)	<アドレス : H'0080 1157>
CAN0メッセージスロット6データ1(COMSL6DT1)	<アドレス : H'0080 1167>
CAN0メッセージスロット7データ1(COMSL7DT1)	<アドレス : H'0080 1177>
CAN0メッセージスロット8データ1(COMSL8DT1)	<アドレス : H'0080 1187>
CAN0メッセージスロット9データ1(COMSL9DT1)	<アドレス : H'0080 1197>
CAN0メッセージスロット10データ1(COMSL10DT1)	<アドレス : H'0080 11A7>
CAN0メッセージスロット11データ1(COMSL11DT1)	<アドレス : H'0080 11B7>
CAN0メッセージスロット12データ1(COMSL12DT1)	<アドレス : H'0080 11C7>
CAN0メッセージスロット13データ1(COMSL13DT1)	<アドレス : H'0080 11D7>
CAN0メッセージスロット14データ1(COMSL14DT1)	<アドレス : H'0080 11E7>
CAN0メッセージスロット15データ1(COMSL15DT1)	<アドレス : H'0080 11F7>



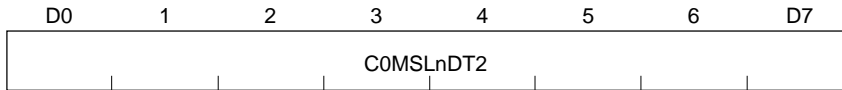
<リセット時 : 不定>

D	ビット名	機能	R	W
8~15	COMSLnDT1	メッセージスロットnデータ1		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が1以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ \times C0MSL0DT2)	<アドレス : H'0080 1108>
CAN0メッセージスロット1データ \times C0MSL1DT2)	<アドレス : H'0080 1118>
CAN0メッセージスロット2データ \times C0MSL2DT2)	<アドレス : H'0080 1128>
CAN0メッセージスロット3データ \times C0MSL3DT2)	<アドレス : H'0080 1138>
CAN0メッセージスロット4データ \times C0MSL4DT2)	<アドレス : H'0080 1148>
CAN0メッセージスロット5データ \times C0MSL5DT2)	<アドレス : H'0080 1158>
CAN0メッセージスロット6データ \times C0MSL6DT2)	<アドレス : H'0080 1168>
CAN0メッセージスロット7データ \times C0MSL7DT2)	<アドレス : H'0080 1178>
CAN0メッセージスロット8データ \times C0MSL8DT2)	<アドレス : H'0080 1188>
CAN0メッセージスロット9データ \times C0MSL9DT2)	<アドレス : H'0080 1198>
CAN0メッセージスロット10データ \times C0MSL10DT2)	<アドレス : H'0080 11A8>
CAN0メッセージスロット11データ \times C0MSL11DT2)	<アドレス : H'0080 11B8>
CAN0メッセージスロット12データ \times C0MSL12DT2)	<アドレス : H'0080 11C8>
CAN0メッセージスロット13データ \times C0MSL13DT2)	<アドレス : H'0080 11D8>
CAN0メッセージスロット14データ \times C0MSL14DT2)	<アドレス : H'0080 11E8>
CAN0メッセージスロット15データ \times C0MSL15DT2)	<アドレス : H'0080 11F8>



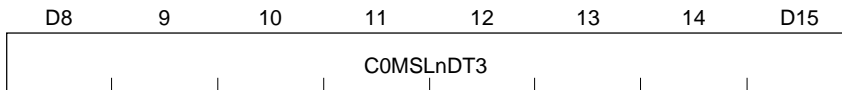
<リセット時 : 不定>

D	ビット名	機能	R	W
0~7	C0MSLnDT2	メッセージスロットnデータ		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が2以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ3 (COMSL0DT3)	<アドレス : H'0080 1109>
CAN0メッセージスロット1データ3 (COMSL1DT3)	<アドレス : H'0080 1119>
CAN0メッセージスロット2データ3 (COMSL2DT3)	<アドレス : H'0080 1129>
CAN0メッセージスロット3データ3 (COMSL3DT3)	<アドレス : H'0080 1139>
CAN0メッセージスロット4データ3 (COMSL4DT3)	<アドレス : H'0080 1149>
CAN0メッセージスロット5データ3 (COMSL5DT3)	<アドレス : H'0080 1159>
CAN0メッセージスロット6データ3 (COMSL6DT3)	<アドレス : H'0080 1169>
CAN0メッセージスロット7データ3 (COMSL7DT3)	<アドレス : H'0080 1179>
CAN0メッセージスロット8データ3 (COMSL8DT3)	<アドレス : H'0080 1189>
CAN0メッセージスロット9データ3 (COMSL9DT3)	<アドレス : H'0080 1199>
CAN0メッセージスロット10データ3 (COMSL10DT3)	<アドレス : H'0080 11A9>
CAN0メッセージスロット11データ3 (COMSL11DT3)	<アドレス : H'0080 11B9>
CAN0メッセージスロット12データ3 (COMSL12DT3)	<アドレス : H'0080 11C9>
CAN0メッセージスロット13データ3 (COMSL13DT3)	<アドレス : H'0080 11D9>
CAN0メッセージスロット14データ3 (COMSL14DT3)	<アドレス : H'0080 11E9>
CAN0メッセージスロット15データ3 (COMSL15DT3)	<アドレス : H'0080 11F9>



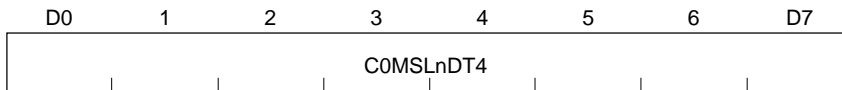
<リセット時 : 不定>

D	ビット名	機能	R	W
8~15	COMSLnDT3	メッセージスロットnデータ3		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が3以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ4(COMSL0DT4)	<アドレス : H'0080 110A>
CAN0メッセージスロット1データ4(COMSL1DT4)	<アドレス : H'0080 111A>
CAN0メッセージスロット2データ4(COMSL2DT4)	<アドレス : H'0080 112A>
CAN0メッセージスロット3データ4(COMSL3DT4)	<アドレス : H'0080 113A>
CAN0メッセージスロット4データ4(COMSL4DT4)	<アドレス : H'0080 114A>
CAN0メッセージスロット5データ4(COMSL5DT4)	<アドレス : H'0080 115A>
CAN0メッセージスロット6データ4(COMSL6DT4)	<アドレス : H'0080 116A>
CAN0メッセージスロット7データ4(COMSL7DT4)	<アドレス : H'0080 117A>
CAN0メッセージスロット8データ4(COMSL8DT4)	<アドレス : H'0080 118A>
CAN0メッセージスロット9データ4(COMSL9DT4)	<アドレス : H'0080 119A>
CAN0メッセージスロット10データ4(COMSL10DT4)	<アドレス : H'0080 11AA>
CAN0メッセージスロット11データ4(COMSL11DT4)	<アドレス : H'0080 11BA>
CAN0メッセージスロット12データ4(COMSL12DT4)	<アドレス : H'0080 11CA>
CAN0メッセージスロット13データ4(COMSL13DT4)	<アドレス : H'0080 11DA>
CAN0メッセージスロット14データ4(COMSL14DT4)	<アドレス : H'0080 11EA>
CAN0メッセージスロット15データ4(COMSL15DT4)	<アドレス : H'0080 11FA>



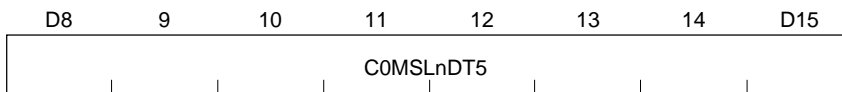
<リセット時 : 不定>

D	ビット名	機能	R	W
0~7	COMSLnDT4	メッセージスロットnデータ4		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が4以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ5 (COMSL0DT5)	<アドレス : H'0080 110B>
CAN0メッセージスロット1データ5 (COMSL1DT5)	<アドレス : H'0080 111B>
CAN0メッセージスロット2データ5 (COMSL2DT5)	<アドレス : H'0080 112B>
CAN0メッセージスロット3データ5 (COMSL3DT5)	<アドレス : H'0080 113B>
CAN0メッセージスロット4データ5 (COMSL4DT5)	<アドレス : H'0080 114B>
CAN0メッセージスロット5データ5 (COMSL5DT5)	<アドレス : H'0080 115B>
CAN0メッセージスロット6データ5 (COMSL6DT5)	<アドレス : H'0080 116B>
CAN0メッセージスロット7データ5 (COMSL7DT5)	<アドレス : H'0080 117B>
CAN0メッセージスロット8データ5 (COMSL8DT5)	<アドレス : H'0080 118B>
CAN0メッセージスロット9データ5 (COMSL9DT5)	<アドレス : H'0080 119B>
CAN0メッセージスロット10データ5 (COMSL10DT5)	<アドレス : H'0080 11AB>
CAN0メッセージスロット11データ5 (COMSL11DT5)	<アドレス : H'0080 11BB>
CAN0メッセージスロット12データ5 (COMSL12DT5)	<アドレス : H'0080 11CB>
CAN0メッセージスロット13データ5 (COMSL13DT5)	<アドレス : H'0080 11DB>
CAN0メッセージスロット14データ5 (COMSL14DT5)	<アドレス : H'0080 11EB>
CAN0メッセージスロット15データ5 (COMSL15DT5)	<アドレス : H'0080 11FB>



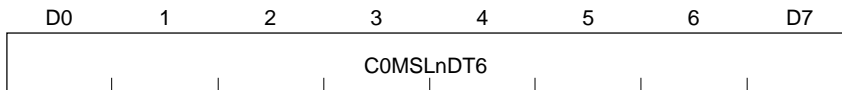
<リセット時 : 不定>

D	ビット名	機能	R	W
8~15	COMSLnDT5	メッセージスロットnデータ5		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長 (DLCの値) が5以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ(COMSL0DT6)	<アドレス : H'0080 110C>
CAN0メッセージスロット1データ(COMSL1DT6)	<アドレス : H'0080 111C>
CAN0メッセージスロット2データ(COMSL2DT6)	<アドレス : H'0080 112C>
CAN0メッセージスロット3データ(COMSL3DT6)	<アドレス : H'0080 113C>
CAN0メッセージスロット4データ(COMSL4DT6)	<アドレス : H'0080 114C>
CAN0メッセージスロット5データ(COMSL5DT6)	<アドレス : H'0080 115C>
CAN0メッセージスロット6データ(COMSL6DT6)	<アドレス : H'0080 116C>
CAN0メッセージスロット7データ(COMSL7DT6)	<アドレス : H'0080 117C>
CAN0メッセージスロット8データ(COMSL8DT6)	<アドレス : H'0080 118C>
CAN0メッセージスロット9データ(COMSL9DT6)	<アドレス : H'0080 119C>
CAN0メッセージスロット10データ(COMSL10DT6)	<アドレス : H'0080 11AC>
CAN0メッセージスロット11データ(COMSL11DT6)	<アドレス : H'0080 11BC>
CAN0メッセージスロット12データ(COMSL12DT6)	<アドレス : H'0080 11CC>
CAN0メッセージスロット13データ(COMSL13DT6)	<アドレス : H'0080 11DC>
CAN0メッセージスロット14データ(COMSL14DT6)	<アドレス : H'0080 11EC>
CAN0メッセージスロット15データ(COMSL15DT6)	<アドレス : H'0080 11FC>



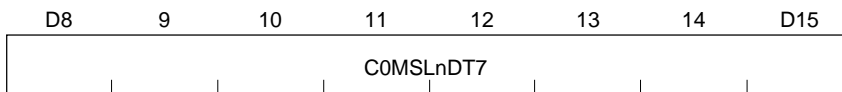
<リセット時 : 不定>

D	ビット名	機能	R	W
0~7	COMSLnDT6	メッセージスロットnデータ6		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が6以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0データ7 (COMSL0DT7)	<アドレス : H'0080 110D>
CAN0メッセージスロット1データ7 (COMSL1DT7)	<アドレス : H'0080 111D>
CAN0メッセージスロット2データ7 (COMSL2DT7)	<アドレス : H'0080 112D>
CAN0メッセージスロット3データ7 (COMSL3DT7)	<アドレス : H'0080 113D>
CAN0メッセージスロット4データ7 (COMSL4DT7)	<アドレス : H'0080 114D>
CAN0メッセージスロット5データ7 (COMSL5DT7)	<アドレス : H'0080 115D>
CAN0メッセージスロット6データ7 (COMSL6DT7)	<アドレス : H'0080 116D>
CAN0メッセージスロット7データ7 (COMSL7DT7)	<アドレス : H'0080 117D>
CAN0メッセージスロット8データ7 (COMSL8DT7)	<アドレス : H'0080 118D>
CAN0メッセージスロット9データ7 (COMSL9DT7)	<アドレス : H'0080 119D>
CAN0メッセージスロット10データ7 (COMSL10DT7)	<アドレス : H'0080 11AD>
CAN0メッセージスロット11データ7 (COMSL11DT7)	<アドレス : H'0080 11BD>
CAN0メッセージスロット12データ7 (COMSL12DT7)	<アドレス : H'0080 11CD>
CAN0メッセージスロット13データ7 (COMSL13DT7)	<アドレス : H'0080 11DD>
CAN0メッセージスロット14データ7 (COMSL14DT7)	<アドレス : H'0080 11ED>
CAN0メッセージスロット15データ7 (COMSL15DT7)	<アドレス : H'0080 11FD>



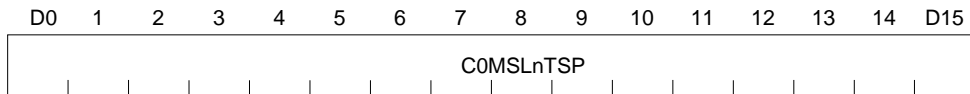
<リセット時 : 不定>

D	ビット名	機能	R	W
0~7	COMSLnDT7	メッセージスロットnデータ7		

送信フレーム / 受信フレームのメモリスペースです。

注. 受信スロットにおいて、データフレーム格納時にデータ長(DLCの値)が7以下の場合には不定値が書き込まれます。

CAN0メッセージスロット0タイムスタンプ(C0MSL0TSP)	<アドレス: H'0080 110E>
CAN0メッセージスロット1タイムスタンプ(C0MSL1TSP)	<アドレス: H'0080 111E>
CAN0メッセージスロット2タイムスタンプ(C0MSL2TSP)	<アドレス: H'0080 112E>
CAN0メッセージスロット3タイムスタンプ(C0MSL3TSP)	<アドレス: H'0080 113E>
CAN0メッセージスロット4タイムスタンプ(C0MSL4TSP)	<アドレス: H'0080 114E>
CAN0メッセージスロット5タイムスタンプ(C0MSL5TSP)	<アドレス: H'0080 115E>
CAN0メッセージスロット6タイムスタンプ(C0MSL6TSP)	<アドレス: H'0080 116E>
CAN0メッセージスロット7タイムスタンプ(C0MSL7TSP)	<アドレス: H'0080 117E>
CAN0メッセージスロット8タイムスタンプ(C0MSL8TSP)	<アドレス: H'0080 118E>
CAN0メッセージスロット9タイムスタンプ(C0MSL9TSP)	<アドレス: H'0080 119E>
CAN0メッセージスロット10タイムスタンプ(C0MSL10TSP)	<アドレス: H'0080 11AE>
CAN0メッセージスロット11タイムスタンプ(C0MSL11TSP)	<アドレス: H'0080 11BE>
CAN0メッセージスロット12タイムスタンプ(C0MSL12TSP)	<アドレス: H'0080 11CE>
CAN0メッセージスロット13タイムスタンプ(C0MSL13TSP)	<アドレス: H'0080 11DE>
CAN0メッセージスロット14タイムスタンプ(C0MSL14TSP)	<アドレス: H'0080 11EE>
CAN0メッセージスロット15タイムスタンプ(C0MSL15TSP)	<アドレス: H'0080 11FE>



<リセット時:不定>

D	ビット名	機能	R	W
0~15	C0MSLnTSP	メッセージスロットnタイムスタンプ		

送信フレーム / 受信フレームのメモリスペースです。送信 / 受信完了時にCAN0タイムスタンプカウントレジスタの値が格納されます。

13.3 CANプロトコル

13.3.1 CANプロトコルフレーム

CANプロトコルで取り扱うフレームは

- (1) データフレーム
- (2) リモートフレーム
- (3) エラーフレーム
- (4) オーバロードフレーム

の4種類があります。各フレームはインタフレームスペースで区切られています。

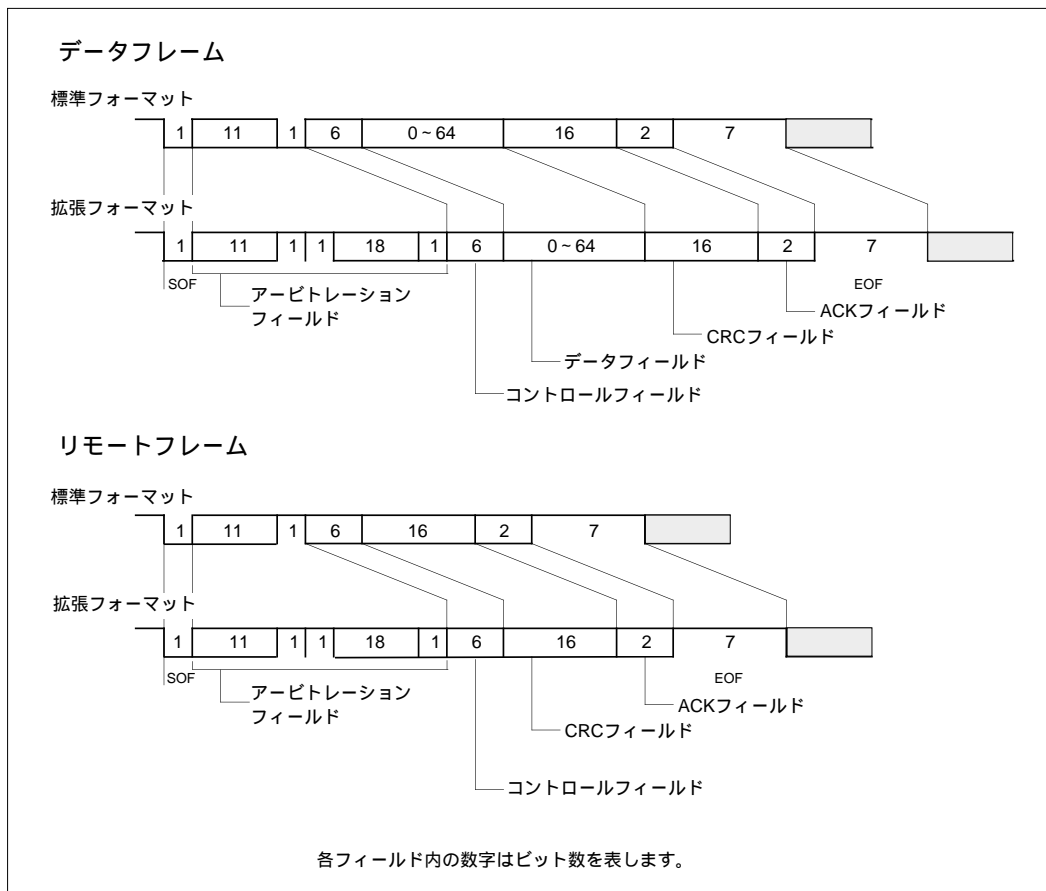


図13.3.1 CANプロトコルフレーム(1)

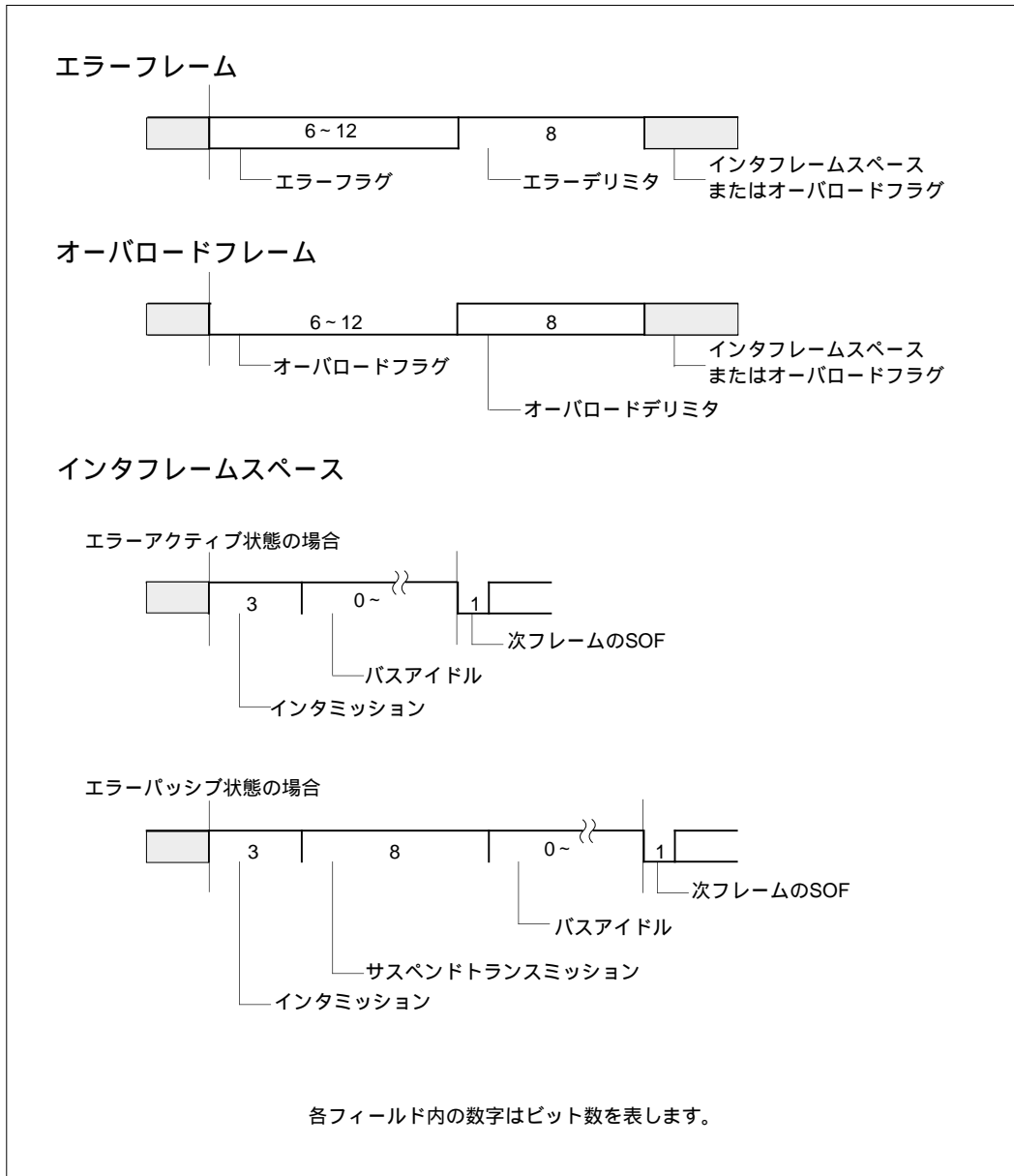


図13.3.2 CANプロトコルフレーム(2)

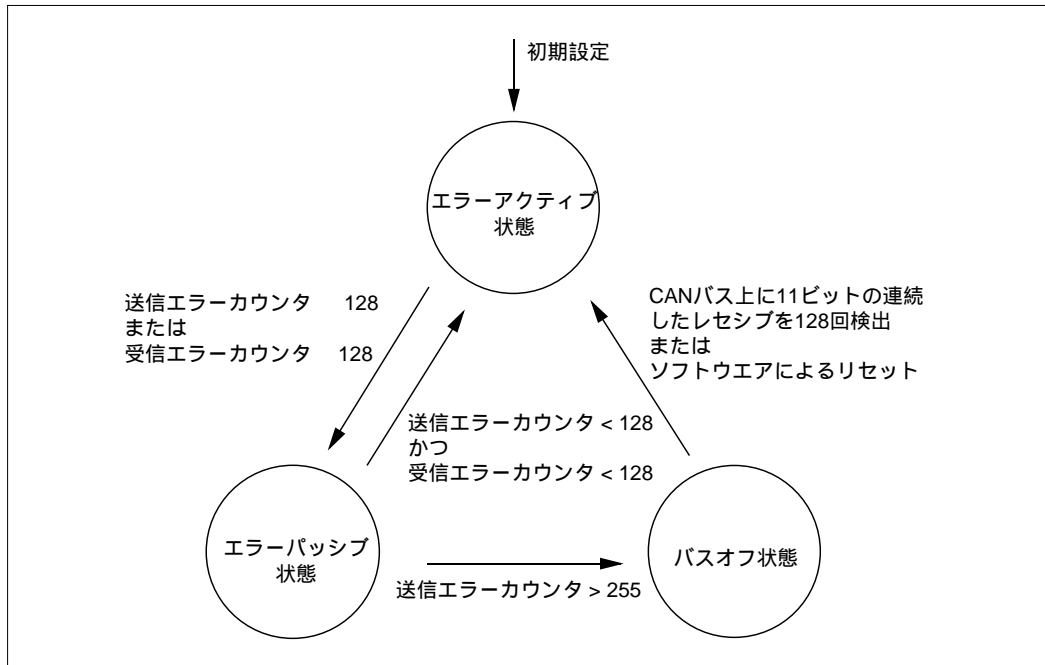


図13.3.3 CANコントローラのエラー状態

CANコントローラは送信エラーカウンタと受信エラーカウンタの値により次の三つのエラー状態をとります。

(1) エラーアクティブ状態

エラーがほとんど発生していない状態。
エラー検出時にアクティブエラーフラグを送信。
初期設定直後のCANコントローラの状態。

(2) エラーパッシブ状態

エラーが多数発生している状態。
エラー検出時にパッシブエラーフラグを送信。

(3) バスオフ状態

エラーが非常に多数発生している状態。
エラーアクティブ状態に戻るまで他のノードとのCAN通信が不可能。

ユニットエラーの状態	送信エラーカウンタ	受信エラーカウンタ
エラーアクティブ状態	0 ~ 127	かつ 0 ~ 127
エラーパッシブ状態	128 ~ 255	または 128 ~
バスオフ状態	256 ~	

13.4 CANモジュール初期設定

13.4.1 CANモジュールの初期設定

通信を行う前に以下の設定を行います。

(1) 端子機能の選択

CAN送信データ出力端子(CTX)、およびCAN受信データ入力端子(CRX)は、入出力ポートとのダブルファンクションになっていますので端子機能の設定を行ってください(第8章「入出力ポートと端子機能」をご覧ください)。

(2) 割り込みコントローラ(ICU)の設定

CANモジュールの割り込みを使用する場合は、割り込み優先レベルの設定を行います。

(3) CANエラー割り込みマスキングレジスタ、CANスロット割り込みマスキングレジスタの設定

CANバスエラー割り込み、CANエラーパッシブ割り込み、CANエラーバスオフ割り込み、あるいはCANスロット割り込みを使用する場合は、対応するビットに"1"をセットして、割り込み要求を許可してください。

(4) ビットタイミング/サンプリング回数の設定

CANコンフィグレーションレジスタとCANボーレートプリスケラでビットタイミングとCANバスのサンプリング回数を設定します。

ビットタイミングの設定

ビットタイミングの基本となる周期Tqと、Propagation Segment、Phase Segment1、Phase Segment2の構成、およびreSynchronization Jump Widthを決めます。

Tqの計算式を以下に示します。

$$Tq = (BRP + 1) / CPUクロック$$

1ビットをいくつのTqで構成するかによってボーレートが決まります。

ボーレートの計算式を以下に示します。

$$\text{ボーレート (bps)} = \frac{1}{Tq周期 \times 1ビット分のTqの数}$$

$$\begin{aligned} 1ビット分のTqの数 = & \text{Synchronization Segment} + \\ & \text{Propagation Segment} + \\ & \text{Phase Segment 1} + \\ & \text{Phase Segment 2} \end{aligned}$$

注. 通信可能な最大ボーレートは、システム構成(バス長、クロック誤差、CANバストラランシーバ、サンプリング位置、ビット構成など)に依存します。
システム構成を考慮したボーレート・Tq数設定を行ってください。

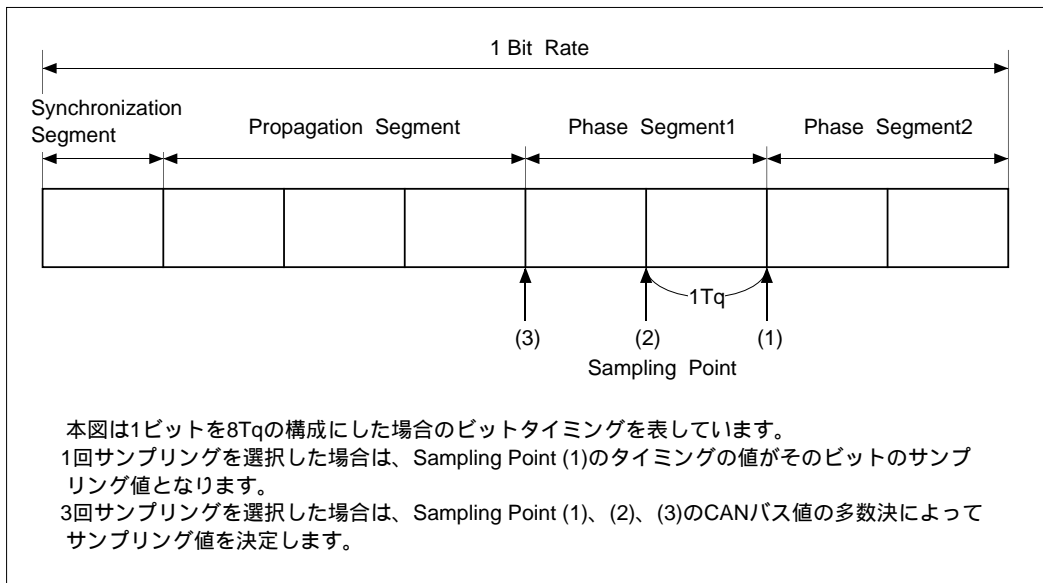


図13.4.1 ビットタイミング例

サンプリング回数の設定

CANバスのサンプリング回数を"1回"と"3回"とから選択します。

1回を選択した場合は、Phase Segment1の最後にサンプリングした値をそのビットの値とみなします。

3回を選択した場合は、1回のサンプリングに加え、そのTq前、および2Tq前のサンプリング値の計3ポイントのサンプリング値による多数決によって、そのビットの値とみなします。

(5) IDマスクレジスタ設定

受信メッセージのアクセプタンスフィルタリングに使用されるIDマスクレジスタ(グローバルマスクレジスタ、ローカルマスクレジスタA、ローカルマスクレジスタB)の値を設定します。

(6) BasicCAN モードで使用する場合の設定

CAN拡張IDレジスタのIDE14, IDE15ビットを設定(同一設定を推奨)

メッセージスロット14, 15へIDを設定

メッセージコントロールレジスタ14, 15をデータフレーム受信(H'40)に設定

(7) CAN モジュールの動作モードの設定

CANコントロールレジスタ(CAN0CNT)によって、CANモジュールの動作モード(BasicCANモード、ループバックモード) およびタイムスタンプカウンタのクロックソースを選択します。

(8) CAN モジュールのリセット解除

(1)~(7)の初期設定完了後、CANコントロールレジスタ(CAN0CNT)の強制リセットビット(FRST)およびリセットビット(RST)を"0"クリアすると、CANバス上に11個の連続した"recessive bit"を検出した後、CANモジュールは通信可能となります。

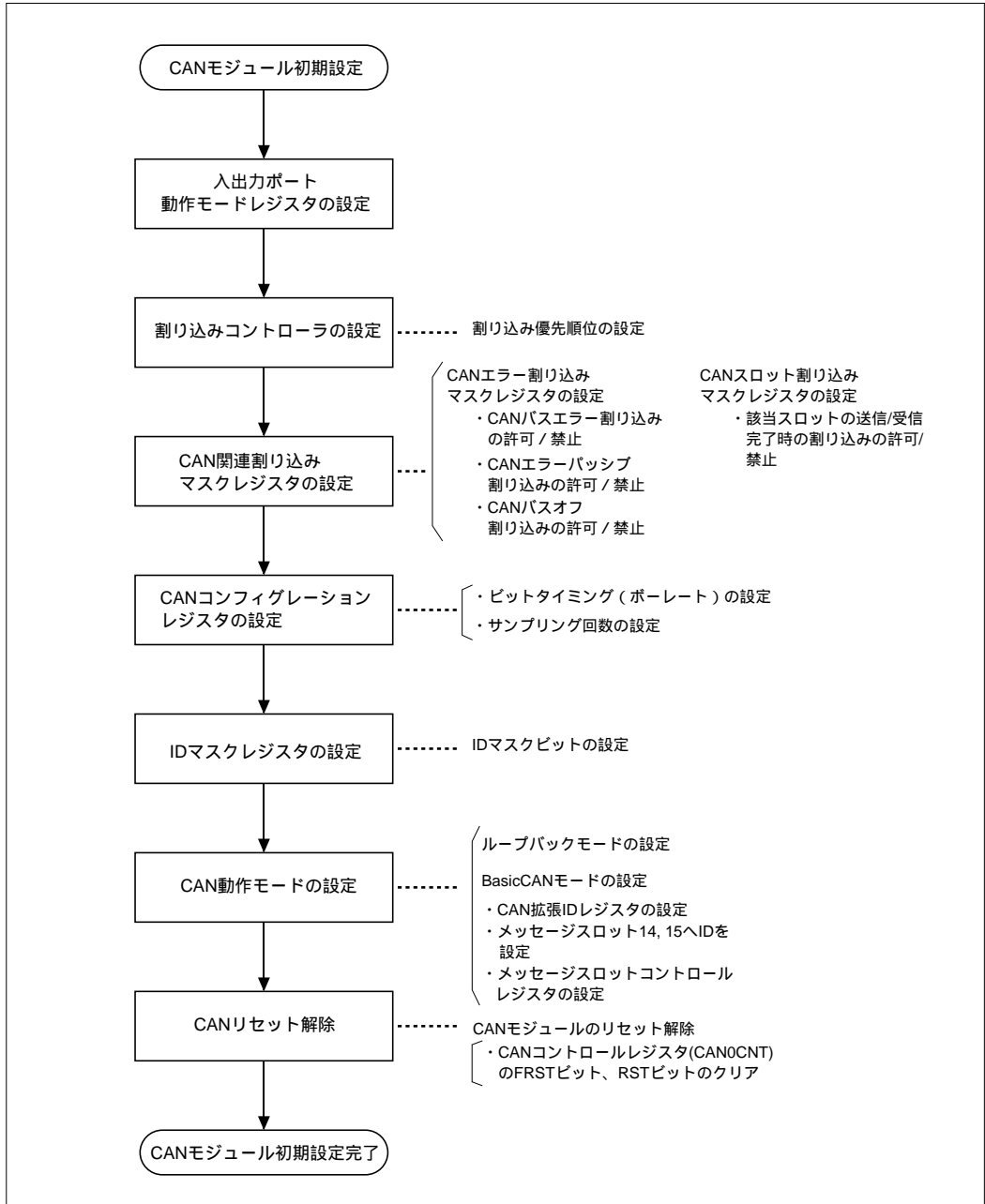


図13.4.2 CANモジュール初期設定

13.5 データフレーム送信

13.5.1 データフレーム送信手順

データフレーム送信手順を以下に示します。

(1) CAN メッセージスロットコントロールレジスタの初期化

送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 送信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT (送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0" クリアされるまで待つ必要があります。

(3) 送信データの設定

送信ID、送信データをメッセージスロットへセットします。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。

(5) CAN メッセージスロットコントロールレジスタの設定

CANメッセージスロットコントロールレジスタへH'80(注)を書き込み、TR(送信要求)ビットに"1"をセットします。

注. データフレーム送信の場合は、必ずH'80を書き込んでください。

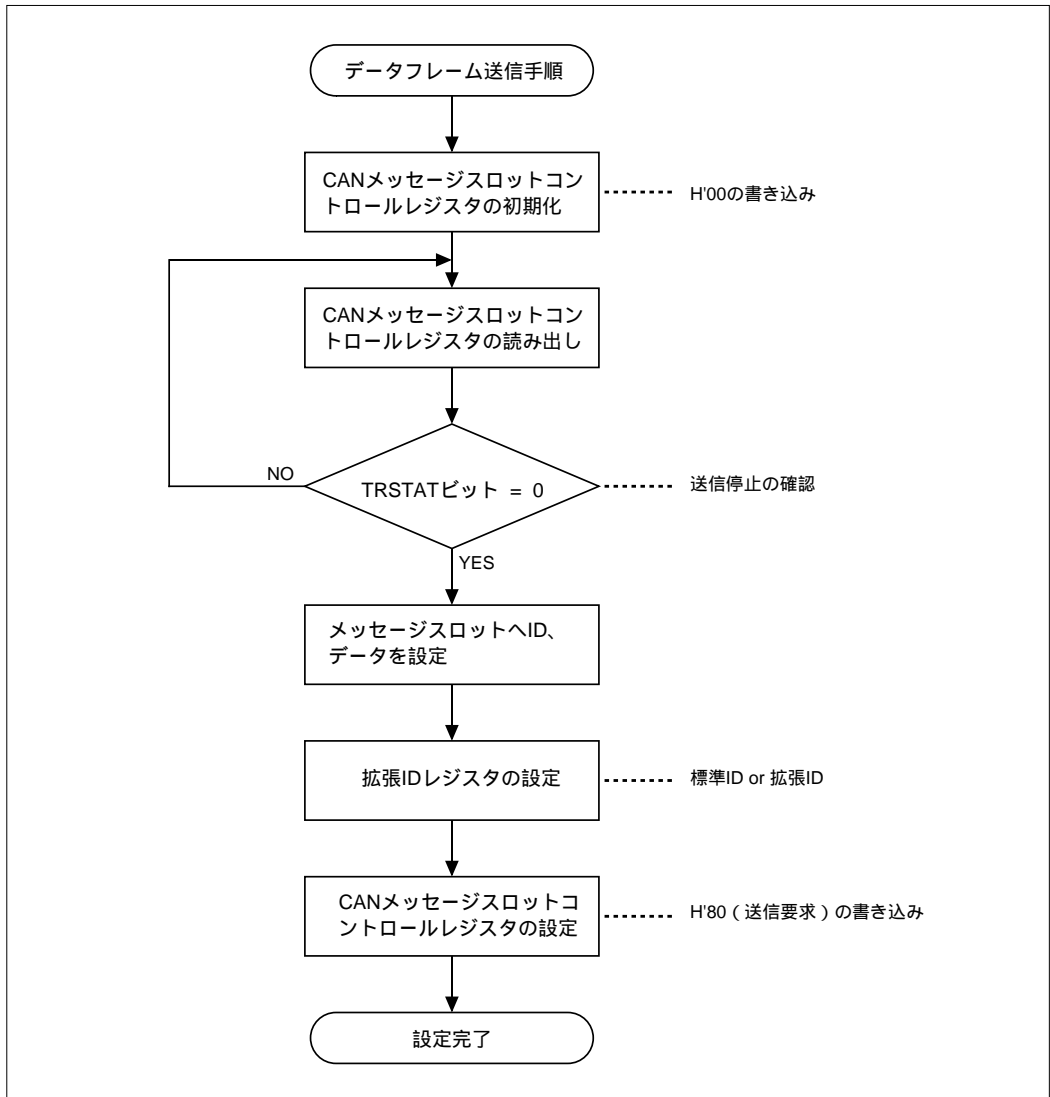


図13.5.1 データフレーム送信手順

13.5.2 データフレーム送信動作

データフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) 送信フレームの選択

CANモジュールはインタミッション毎に送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロットナンバーの小さいものから送信します。

(2) データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットに"1"をセットし、送信を開始します。

(3) CANバス上のアービトレーションに敗れた場合 / CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(4) データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込みステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(COMSLnTSP)へ送信が完了したときのタイムスタンプカウント値を書き込み、送信動作を完了します。

CANスロット割り込みを許可にしていた場合は、送信動作完了で割り込みが発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

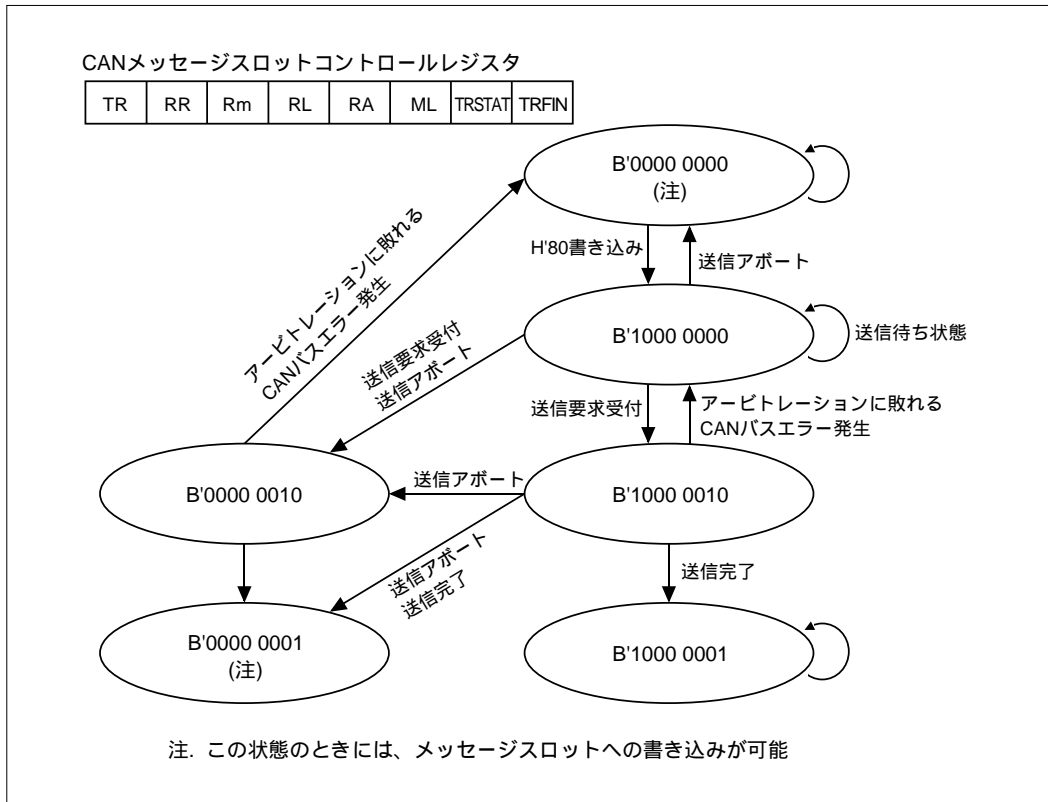


図13.5.2 データフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.5.3 送信アボート機能

送信アボート機能は、一度立てた送信要求をキャンセルする機能です。キャンセルしたいスロットに対応したCANメッセージスロットコントロールレジスタにH'0Fを書き込むことによって行います。

送信アボート機能が受け付けられると、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアし、メッセージスロットへの書き込みが可能になります。

送信アボートが受け付けられる条件を以下に示します。

【条件】

- 対象のメッセージが送信待ち状態の場合
- 送信中にCANバスエラーが発生した場合
- アービトレーションに敗れた場合

13.6 データフレーム受信

13.6.1 データフレーム受信手順

データフレーム受信手順を以下に示します。

- (1) CAN メッセージスロットコントロールレジスタの初期化
受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。
- (2) 受信停止の確認
初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT (送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがメッセージスロットへアクセス中であるため、"0" クリアされるまで待つ必要があります。
- (3) 受信 ID の設定
受信したいIDをメッセージスロットへ設定します。
- (4) 拡張 ID レジスタの設定
拡張IDレジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。
- (5) CAN メッセージスロットコントロールレジスタの設定
CANメッセージスロットコントロールレジスタへH'40を書き込み、RR(受信要求)ビットに"1"をセットします。

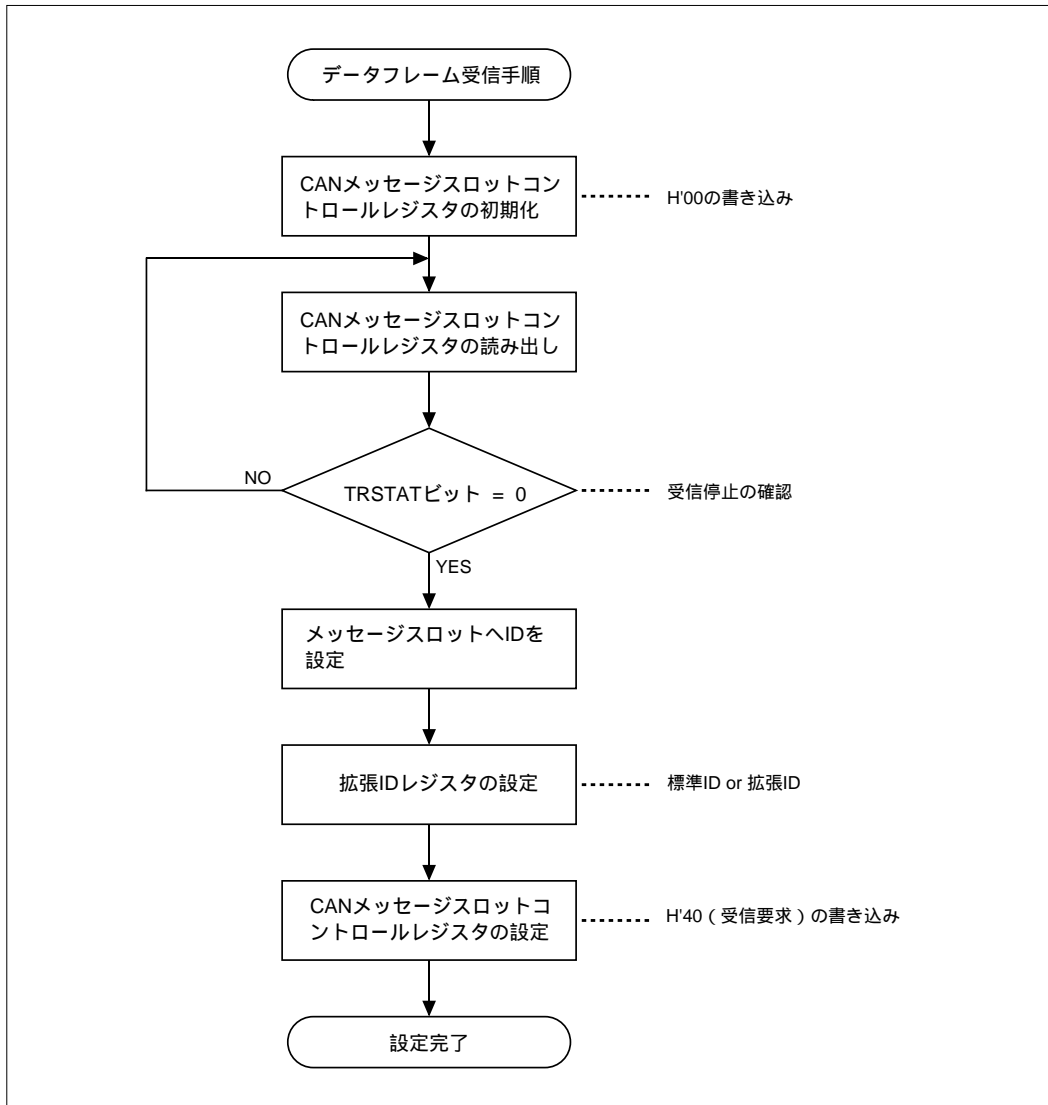


図13.6.1 データフレーム受信手順

13.6.2 データフレーム受信動作

データフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) アクセプトランスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

受信フレームがデータフレームであること。

IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること。

標準/拡張のフレームタイプが同一であること。

注. BasicCANモード時のスロット14,15ではデータフレーム受信設定でリモートフレームの受信も行います。

(2) 受信条件を満たした場合

上記(1)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定し、メッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込みステータスビットへ"1"をセットします。割り込みが許可されていれば割り込みを発生し、次の受信待ち状態となります。

(3) 受信条件を満たしていない場合

受信フレームは破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

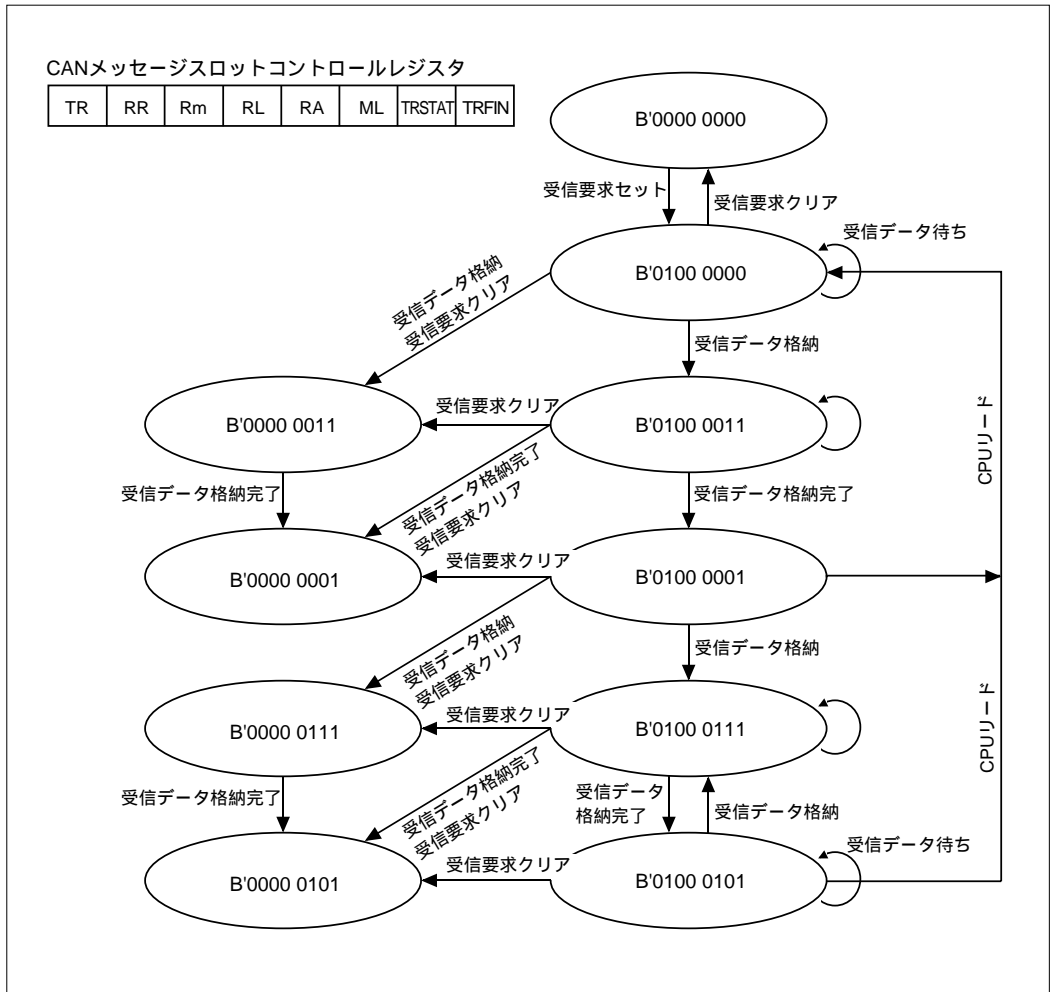


図13.6.2 データフレーム受信時のCANメッセージスロットコントロールレジスタの動作

13.6.3 受信データフレームの読み出し

受信データフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージコントロールレジスタ(COMSLnCNT)にH'4E、H'40またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

COMSLnCNTに書き込む値	書き込み後のスロットの動作
H'4E	データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。
H'40	データフレーム受信スロットとして動作します。 MLビットによる上書き確認はできません。
H'00	スロットは送受信動作を停止します。

注1. MLビットによるメッセージロスチェックが必要な場合には、H'4Eを書き込んでTRFINビットをクリアしてください。

注2. H'4E、H'40またはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。

(2) メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3) TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

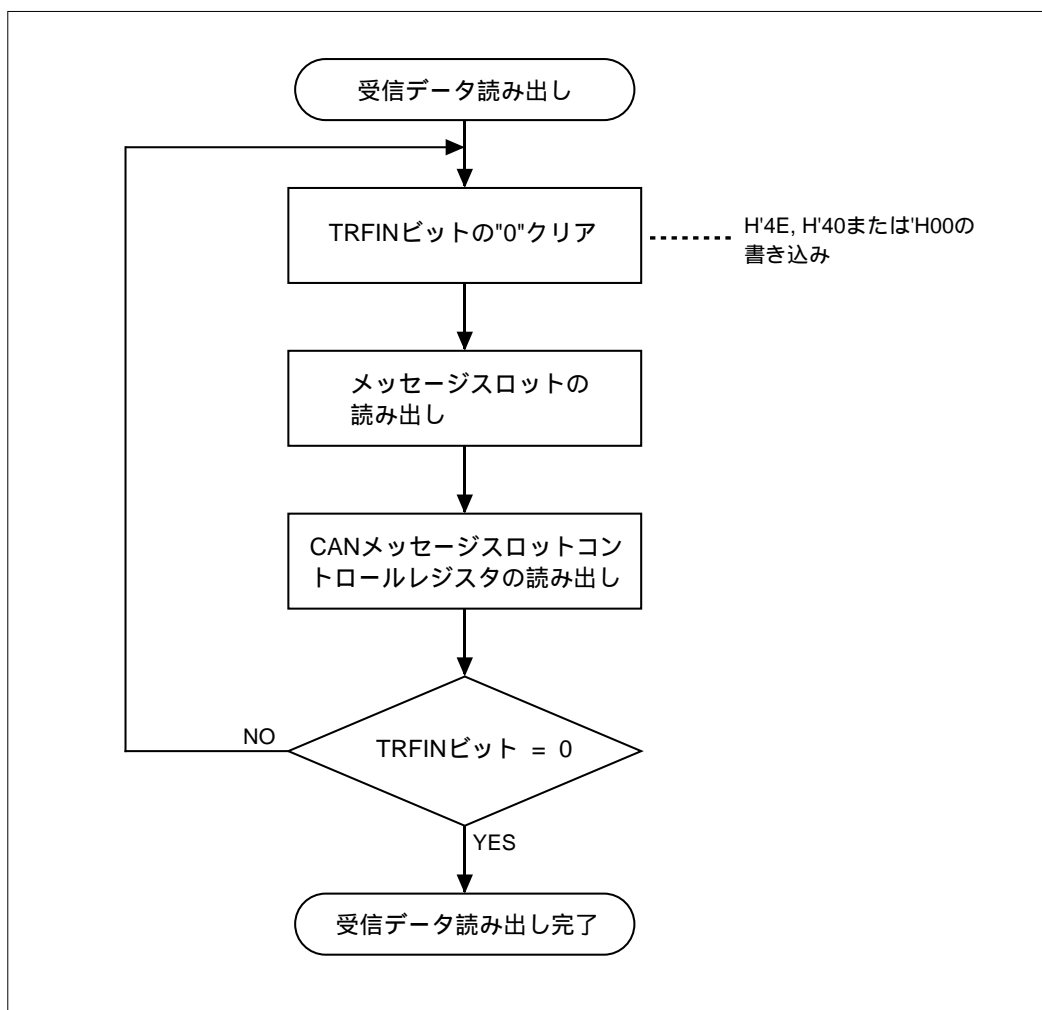


図13.6.3 受信データ読み出し手順

13.7 リモートフレーム送信

13.7.1 リモートフレーム送信手順

リモートフレーム送信手順を以下に示します。

- (1) CAN メッセージスロットコントロールレジスタの初期化
送信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。
- (2) 送信停止の確認
初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT (送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。
- (3) 送信IDのセット
メッセージスロットへ送信すべきIDをセットします。
- (4) 拡張IDレジスタの設定
拡張IDレジスタの対応するビットへ、標準フレームとして送信したい場合は"0"を、拡張フレームとして送信したい場合は"1"をセットします。
- (5) CANメッセージスロットコントロールレジスタの設定
CANメッセージスロットコントロールレジスタへH'A0を書き込み、TR(送信要求)ビット、RM(リモート)ビットに"1"をセットします。

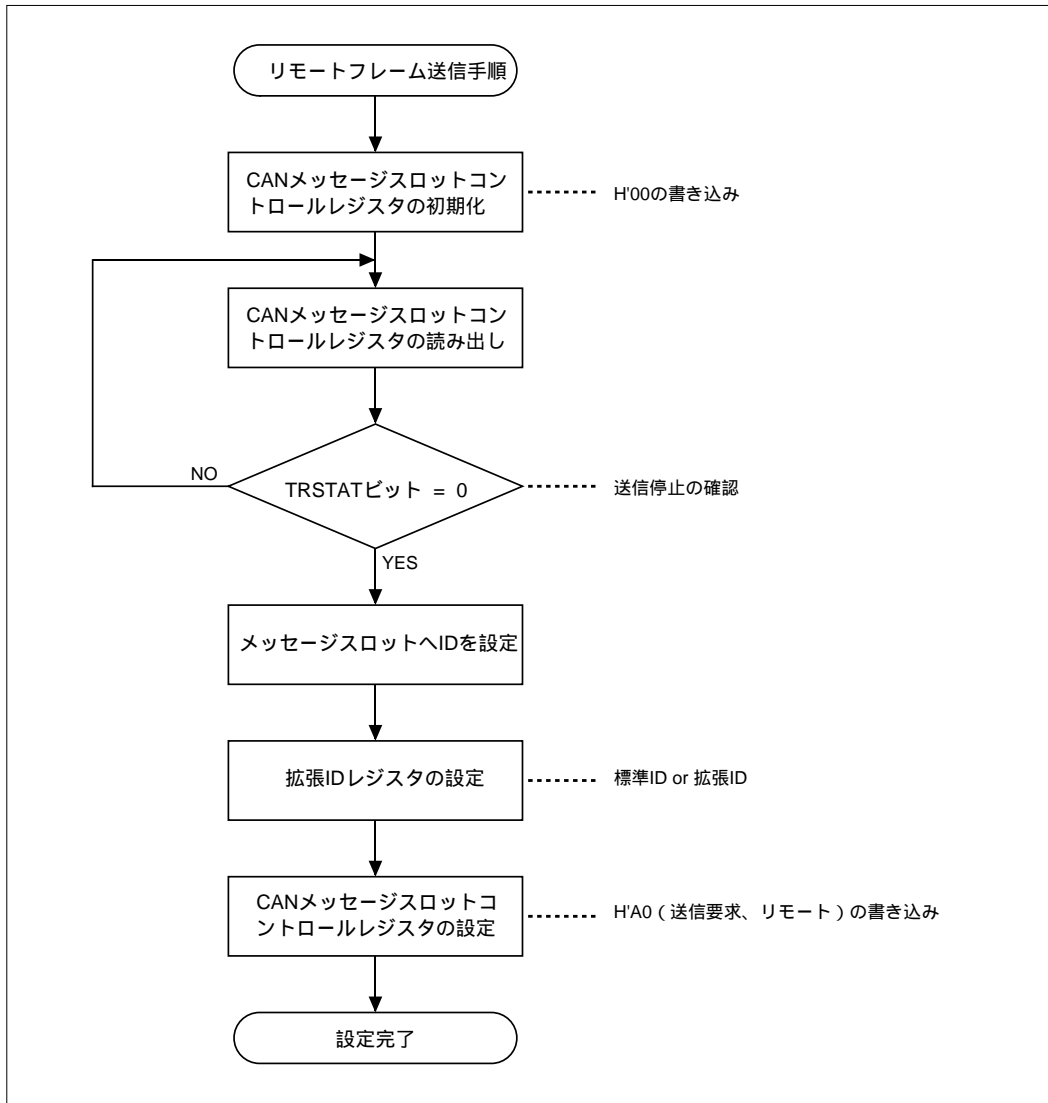


図13.7.1 リモートフレーム送信手順

13.7.2 リモートフレーム送信動作

リモートフレーム送信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA (リモートアクティブ) ビットの設定

CANメッセージスロットコントロールレジスタへH'A0(送信要求、リモート)を書き込むと同時に、対応するスロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) 送信フレームの選択

CANモジュールはインタミッション毎に送信要求のあるスロット(データフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。

送信スロットが複数ある場合は、スロットナンバーの小さいものから送信します。

(3) リモートフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

(4) CANバス上のアービトレーションに敗れた場合 / CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはCANメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

(5) リモートフレーム送信完了

リモートフレームの送信が完了すると、完了したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP)に格納し、CANメッセージスロットコントロールレジスタのRA(リモートアクティブ)ビットを"0"クリアします。

また、送信完了によってCANスロット割り込みステータスビットは"1"がセットされますが、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビットへは"1"がセットされません。

CANスロット割り込みを許可にしていた場合は、送信完了で割り込みが発生します。

(6) データフレーム受信

リモートフレームの送信が完了したら、そのスロットは自動的にデータフレーム受信スロットとして機能します。

(7) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

受信フレームがデータフレームであること。

IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること。

標準 / 拡張のフレームタイプが同一であること。

注. BasicCANモードではスロット14,15を送信スロットとして使用することはできません。

(8) 受信条件を満たした場合

上記(7)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。この時すでにTRFIN(送受信完了)ビットが"1"であった場合には、ML(メッセージロス)ビットにも"1"を設定しメッセージスロットが上書きされたことを示します。メッセージスロットはIDフィールド、DLCフィールドともにすべて上書きし、未使用領域(標準フレーム時の拡張IDフィールド、未使用データフィールド等)には不定値を書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(COMSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込みステータスビットへ"1"をセットします。割り込みが許可されていれば割り込みを発生し、次のフレームの受信待ち状態となります。

注. リモートフレームを送信する前に対応するデータフレームを受信した場合は、データフレームの格納を行いリモートフレームは送信されません。

(9) 受信条件を満たしていない場合

受信フレームを破棄し、次の送受信動作へと進みます。メッセージスロットへの書き込みは行いません。

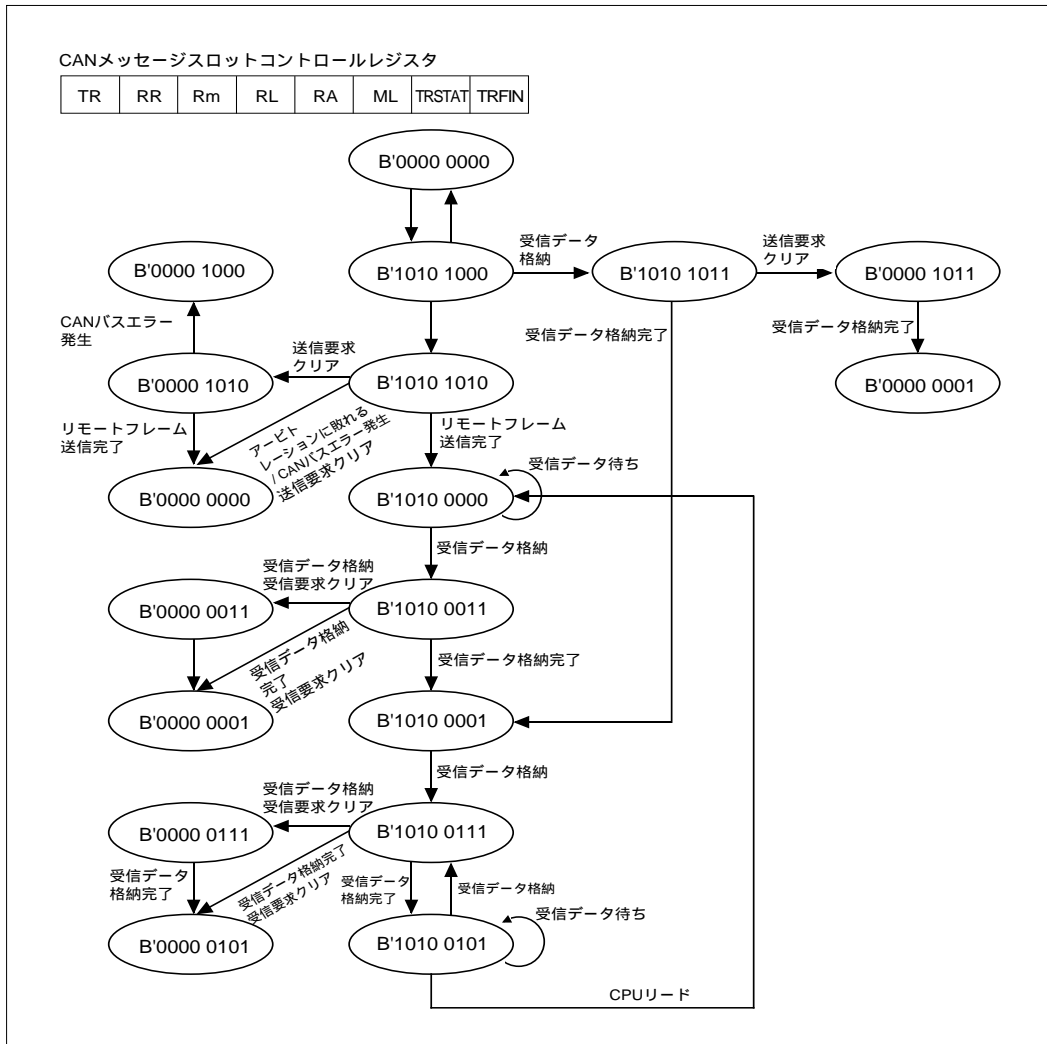


図13.7.2 リモートフレーム送信時のCANメッセージスロットコントロールレジスタの動作

13.7.3 リモートフレーム送信設定時の受信データフレームの読み出し

リモートフレーム送信設定時に受信したデータフレームの読み出し手順を以下に示します。

(1) TRFIN(送受信完了)ビットのクリア

CANメッセージコントロールレジスタ(C0MSLnCNT)にH'AE、またはH'00を書き込みTRFINビットを"0"にクリアします。書き込み後のスロットの動作は以下のようになります。

C0MSLnCNTに書き込む値	書き込み後のスロットの動作
H'AE	データフレーム受信スロットとして動作します。 MLビットによる上書き確認ができます。
H'00	スロットは送受信動作を停止します。

注1. MLビットによるメッセージロスチェックが必要な場合には、H'AEを書き込んでTRFINビットをクリアしてください。

注2. H'AEまたはH'00を書き込むことによってTRFINビットを"0"クリアした場合には、メッセージ読み出し途中で新しいデータの格納が行われる可能性があります。

注3. H'A0を書き込んで受信データフレームを読み出すことはできません。H'A0を書き込んでTRFINビットを"0"クリアした場合は、スロットはリモートフレーム送信動作を行います。

(2) メッセージスロットの読み出し

メッセージスロットからメッセージを読み出します。

(3) TRFIN(送受信完了)ビットのチェック

CANメッセージコントロールレジスタを読み出し、TRFIN(送受信完了)ビットをチェックします。

TRFIN(送受信完了)ビット="1"の場合

(2)の読み出しの途中で、新しいデータの格納が行われたことを示しています。この場合、(2)で読み出した値の中に不定値が含まれていますので、(1)のTRFIN(送受信完了)ビットのクリアからやり直してください。

TRFIN(送受信完了)ビット="0"の場合

正常に読み出しが完了したことを示します。

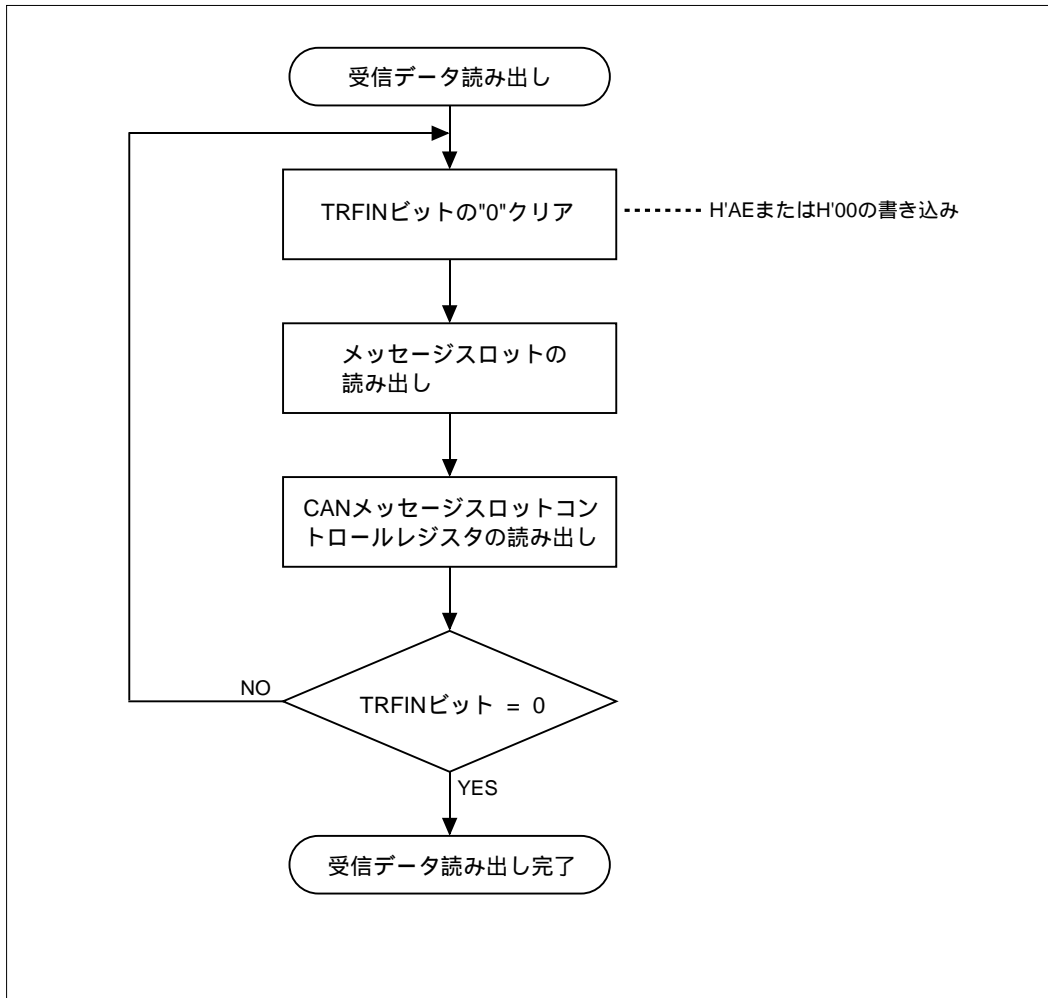


図13.7.3 リモートフレーム送信設定時の受信データ読み出し手順

13.8 リモートフレーム受信

13.8.1 リモートフレーム受信手順

リモートフレーム受信手順を以下に示します。

(1) CANメッセージスロットコントロールレジスタの初期化

受信したいスロットのCANメッセージスロットコントロールレジスタにH'00を書き込み、CANメッセージスロットコントロールレジスタを初期化します。

(2) 受信停止の確認

初期化したCANメッセージスロットコントロールレジスタを読み出し、TRSTAT (送受信ステータス)ビットで送受信停止を確認します。もしこのビットが"1"であった場合は、CANモジュールがCANメッセージスロットへアクセス中であるため、"0"クリアされるまで待つ必要があります。

(3) 受信IDの設定

受信したいIDをメッセージスロットへ設定します。

(4) 拡張IDレジスタの設定

拡張IDレジスタの対応するビットへ、標準フレームを受信したい場合は"0"を、拡張フレームを受信したい場合は"1"をセットします。

(5) CANメッセージスロットコントロールレジスタの設定

リモートフレーム受信に対して自動応答させたい場合(データフレーム送信)

CANメッセージスロットコントロールレジスタへH'60を書き込み、RR(受信要求)ビット、RM(リモート)ビットに"1"をセットします。

リモートフレーム受信に対して自動応答を禁止させたい場合

CANメッセージスロットコントロールレジスタへH'70を書き込み、RR(受信要求)ビット、RM(リモート)ビット、RL(自動応答許可)ビットに"1"をセットします。

注. BasicCANモード時はスロット14,15ではリモートフレーム受信はできますが、自動応答を行うことはできません。

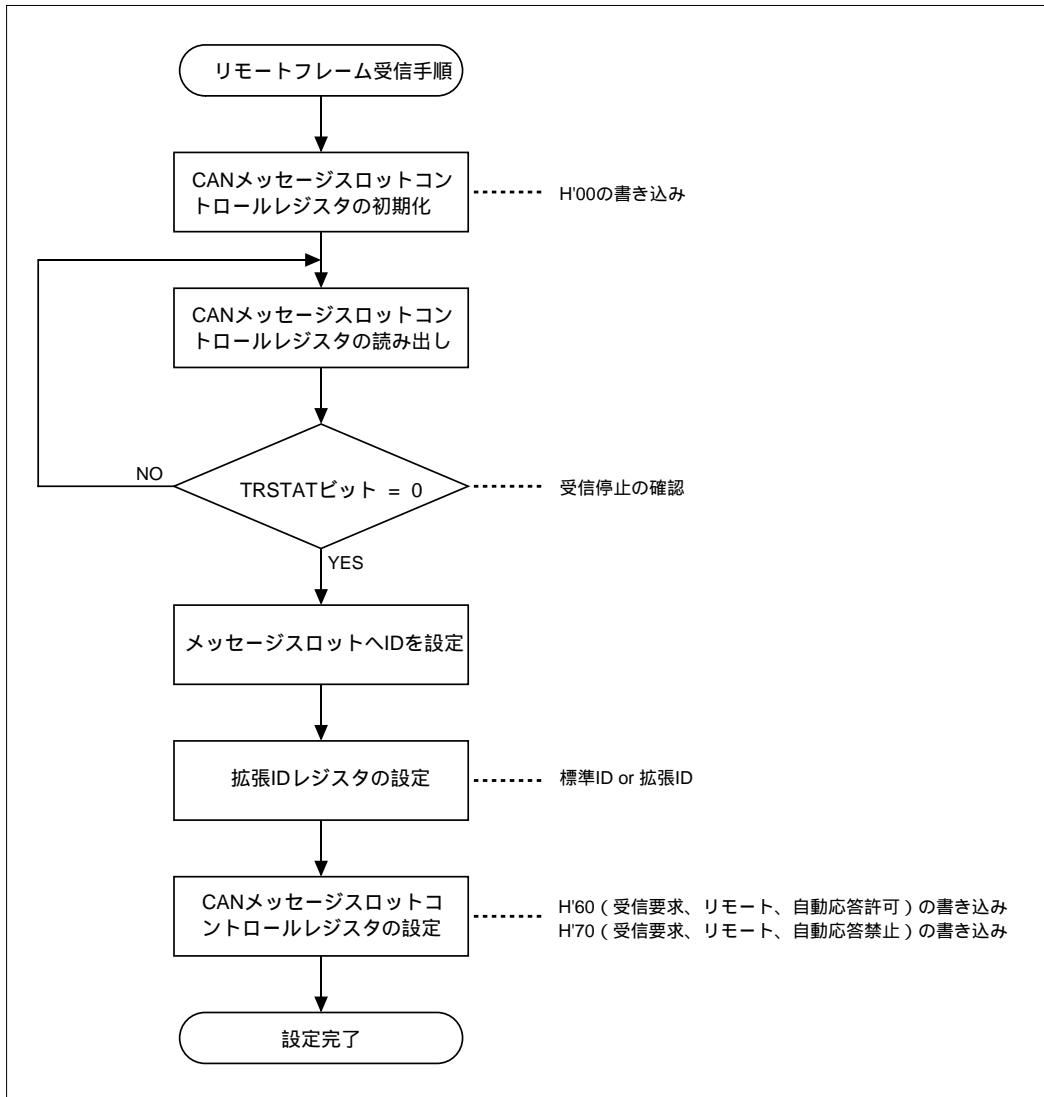


図13.8.1 リモートフレーム受信手順

13.8.2 リモートフレーム受信動作

リモートフレーム受信動作を以下に示します。以下動作はハードウェアで自動的に行います。

(1) RA (リモートアクティブ) ビットの設定

CANメッセージスロットコントロールレジスタへH'60(受信要求、リモート)またはH'70(受信要求、リモート、自動応答禁止)を書き込むと、対応スロットがリモートフレームを扱うビットであることを示すRA(リモートアクティブ)ビットに"1"がセットされます。

(2) アクセプタンスフィルタリング

データ受信が完了するとCANモジュールは受信したメッセージの受信条件を満たすスロットをスロット0から順に(スロット15まで)検索します。

データフレーム受信設定スロットにおける受信条件を以下に示します。

【条件】

受信フレームがリモートフレームであること。

IDマスクレジスタに"0"が設定されているビットを"Don't care bit"として、受信IDとスロットIDが同一であること。

標準/拡張のフレームタイプが同一であること。

(3) 受信条件を満たした場合

上記(2)の受信条件を満たしていた場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットとTRFIN(送受信完了)ビットへ"1"を設定し、同時に受信データをメッセージスロットへ書き込みます。

また、受信データと一緒にメッセージを受信したときのタイムスタンプカウント値をCANメッセージスロットタイムスタンプ(C0MSLnTSP)へ書き込みます。メッセージスロットへの書き込みが終了すると、CANスロット割り込みステータスビットへ"1"をセットします。割り込みが許可されていれば割り込みを発生します。

注1. メッセージスロットにはIDフィールドとDLCの値が書き込まれます。

注2. 標準フォーマット時の拡張ID領域には不定値が書き込まれます。

注3. データフィールドに対しては書き込み動作は行いません。

注4. リモートフレーム受信データの書き込み後、RAビット、TRFINビットは"0"クリアされます。

(4) 受信条件を満たしていない場合

受信データを破棄され、次の受信フレームを待ちます。メッセージスロットへの書き込みは行いません。

(5) リモートフレーム受信後の動作

リモートフレーム受信後の動作は、自動応答の設定によって異なります。

自動応答禁止の場合

受信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで該当スロットの送受信は行われません。

自動応答許可の場合

リモートフレーム受信後、自動的にデータフレーム送信スロットに切り替わり、以下動作で送信処理を行います。その場合、送信されるデータは受信したリモートフレームのID、DLCに従います。

送信フレーム選択

CANモジュールは、インタミッション毎に送信要求のあるスロット(リモートフレーム送信スロットを含む)をチェックし、送信するフレームを決定します。送信スロットが複数ある場合は、スロットナンバーの小さいものから送信されます。

データフレームの送信

送信スロット決定後、対応するCANメッセージスロットコントロールレジスタのTRSTAT(送信ステータス)ビットに"1"をセットし、送信を開始します。

CANバス上のアービトレーションに敗れた場合 / CANバスエラーが発生した場合

CANバス上のアービトレーションに敗れた場合、あるいは送信途中でCANバスエラーが発生した場合、CANモジュールはメッセージスロットコントロールレジスタのTRSTAT(送受信ステータス)ビットを"0"クリアします。

送信アボート要求をしていた場合は、送信アボートが受け付けられメッセージスロットへの書き込みが可能となります。

データフレーム送信完了

データフレームの送信が完了すると、CANメッセージスロットコントロールレジスタのTRFIN(送受信完了)ビット、およびCANスロット割り込みステータスレジスタへ"1"がセットされます。また、CANメッセージスロットタイムスタンプ(COMSLnTSP)へ送信が完了したときのタイムスタンプカウント値を書き込み、送信動作を完了します。

CANスロット割り込みを許可にしていた場合は、送信動作完了で割り込みが発生します。

送信を完了したスロットは非アクティブ状態となり、ソフトウェアによって新たに設定を行うまで送受信は行われません。

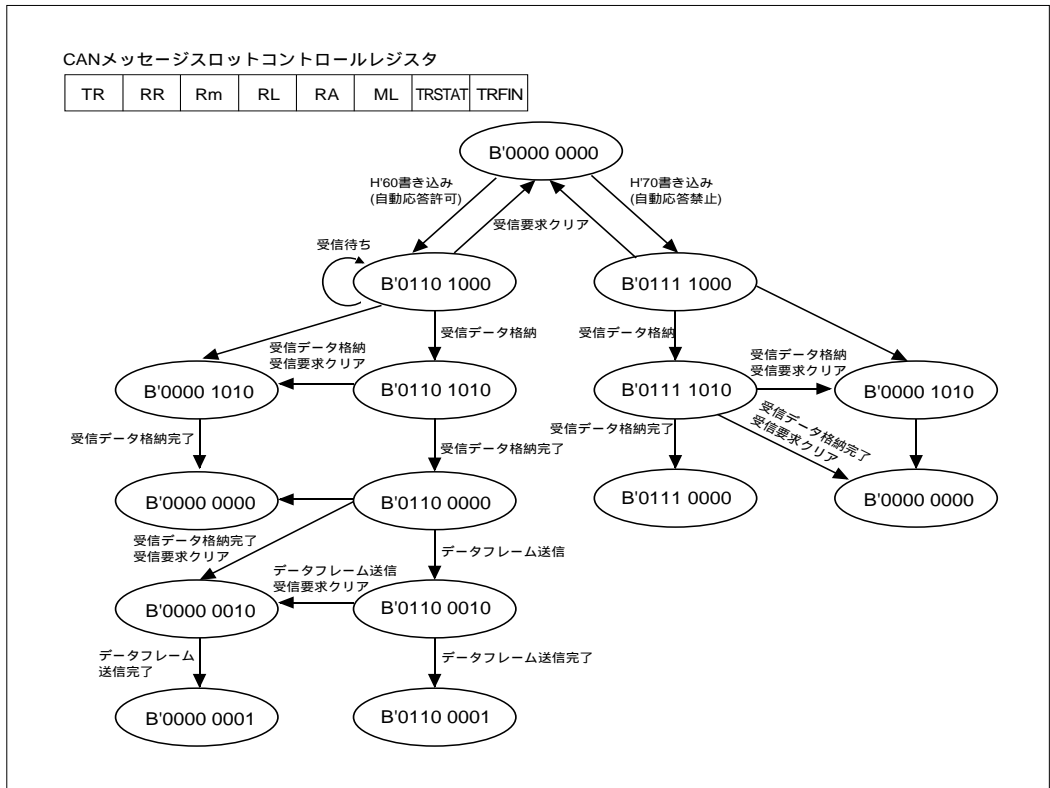


図13.8.2 リモートフレーム受信時のCANメッセージスロットコントロールレジスタの動作

第14章

リアルタイムデバッグ(RTD)

- 14.1 リアルタイムデバッグ
(RTD)概要
- 14.2 RTD端子機能
- 14.3 RTD動作説明
- 14.4 ホストとの接続例

14.1 リアルタイムデバugg(RTD)概要

リアルタイムデバugg(Real Time Debugger)は、内蔵RAM全領域を、マイコン外部からコマンドを使用し、リード/ライトするためのシリアルI/Oです。RTDと内蔵RAM間のデータ転送はM32R CPUと別に内蔵した専用バスを通じて行なうため、M32R CPUの動作を停止させることなく制御することができます。

表14.1.1 リアルタイムデバugg(RTD)の概要

項目	内容
転送方式	クロック同期形シリアルI/O
転送クロックの発生	外部ホスト側が発生
RAMアクセス領域	内蔵RAM全領域(A16 ~ A29による制御)
送受信データ長	32ビット(固定)
ビット転送順序	LSBファースト
最大転送速度	2Mビット/秒
入出力端子	4本(RTDTXD, RTDRXD, RTDACK, RTDCLK)
コマンド数	以下の5機能 継続モニタ リアルタイムRAM内容出力 RAM内容強制書き替え(ベリファイ付き) 暴走状態からの復帰 RTD割り込み要求

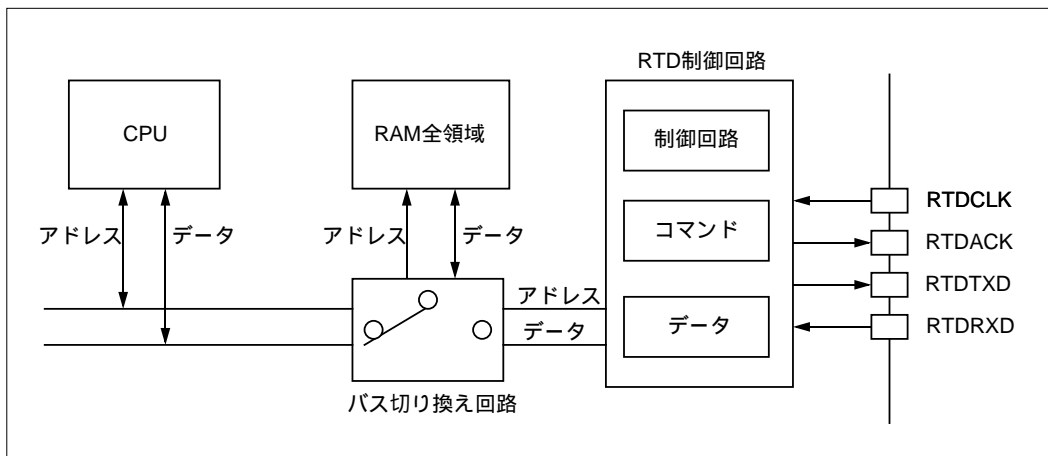


図14.1.1 リアルタイムデバugg(RTD)のブロック図

14.2 RTD端子機能

RTDの端子機能を以下に示します。

表14.2.1 RTD端子機能

端子名	入出力	機能
RTDTXD	出力	RTDシリアルデータ出力
RTDRXD	入力	RTDシリアルデータ入力
RTDACK	出力	出力データワードの先頭クロックに同期した、"L"パルスを出します。 出力される"L"パルスの幅は、RTDが受信した命令/データの種類を示します。 1クロック : VER(継続モニタ)コマンド 1クロック : VEK(RTD割り込み要求)コマンド 2クロック : RDR(リアルタイムRAM内容出力)コマンド 3クロック : WRR(RAM内容強制書き替え)コマンド または、そのデータ 4クロック以上 : RCV(暴走状態からの復帰)コマンド
RTDCLK	入力	RTD転送クロック入力

14.3 RTD動作説明

14.3.1 RTD動作概要

RTDの動作は、チップ外部から入力されたコマンドで指定されます。コマンドは、RTD受信データのビット16～ビット19(注1)により指定します。

表14.3.1 RTDコマンド

RTD受信データ				コマンド	RTD機能
b19	b18	b17	b16	ニーモニック	
0	0	0	0	VER(VERify)	継続モニタ
0	1	0	0		
0	1	0	1		
0	1	1	0	VE(VERify Interrupt request)	RTD割り込み要求
0	0	1	0	RDR(ReaD RAM)	リアルタイムRAM内容出力
0	0	1	1	WRR(WRite RAM)	RAM内容強制書き替え(ベリファイ付き)
1	1	1	1	RCV(ReCoVer)	暴走状態からの復帰 (注2, 注3)
0	0	0	1	システム予約(使用禁止)	

(注1)

- 注1. RTD受信データのビット19は、実際にはコマンドレジスタには格納されず、RCVコマンド以外は、Don't Careとなります(ビット16～18がコマンド指定として有効です)。
 注2. RCVコマンドは必ず2回連続して送信してください。
 注3. RCVコマンドの場合は、ビット16～19以外のビット(ビット0～15, 20～31)もすべて"1"にしてください。

14.3.2 RDR(リアルタイムRAM内容出力)動作

RDR(リアルタイムRAM内容出力)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を外部に転送できます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMのデータを読み出すため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また内蔵RAMからは、32ビット単位で読み出したデータが転送されます。

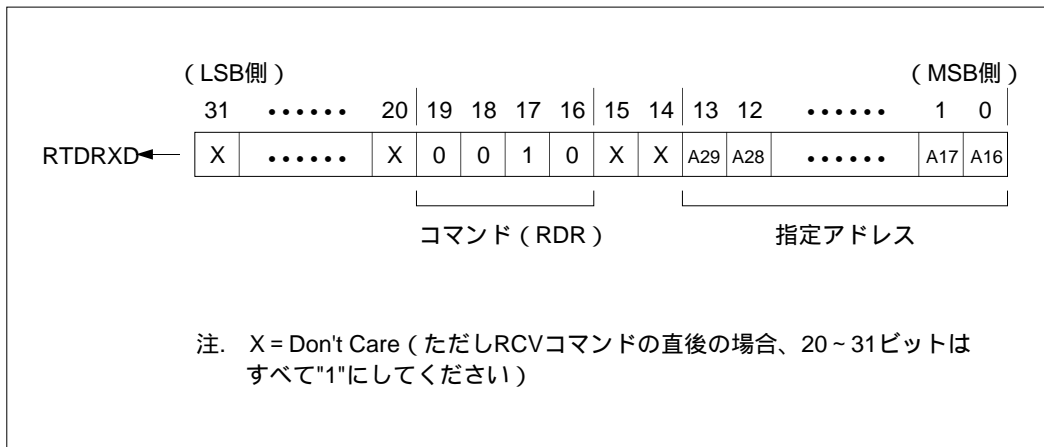


図14.3.1 RDRコマンドデータフォーマット

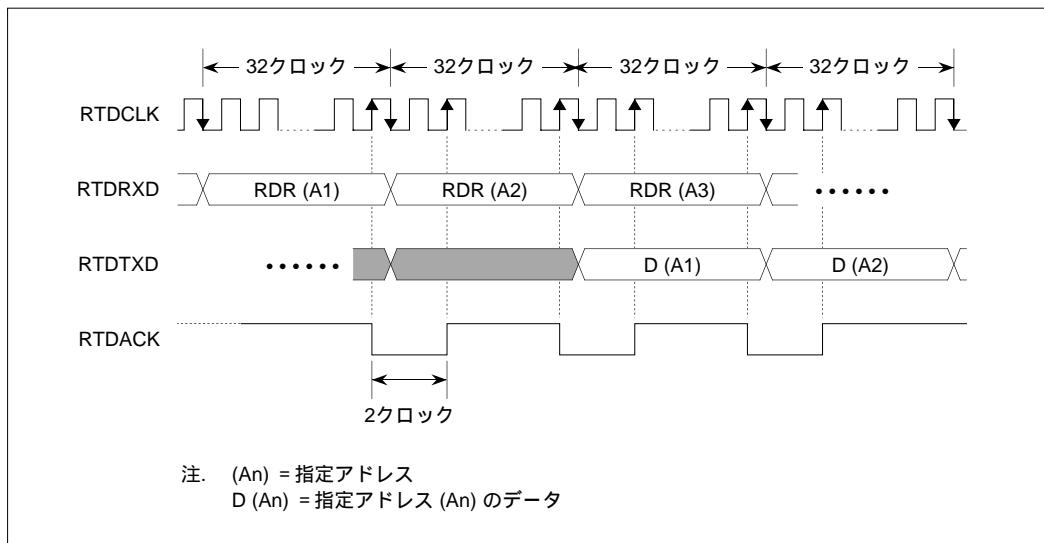


図14.3.2 RDRコマンド動作

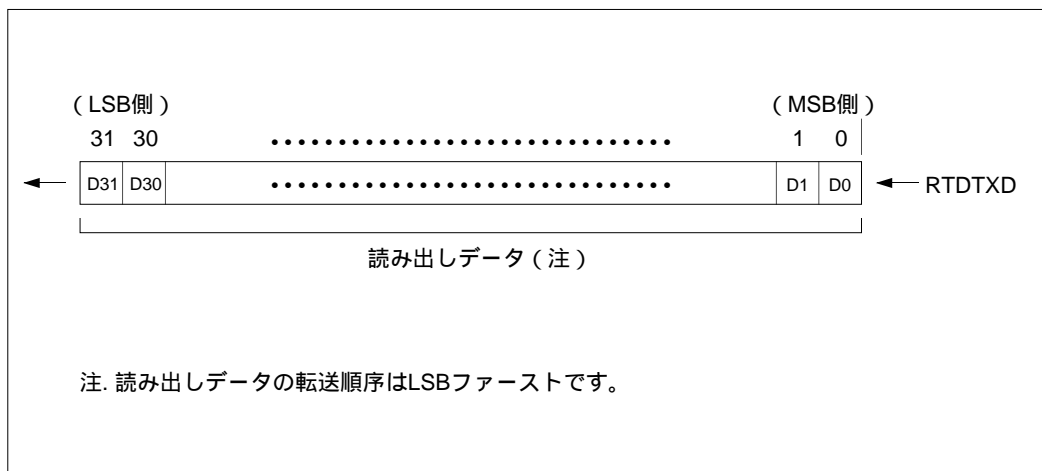


図14.3.3 読み出しデータ転送フォーマット

14.3.3 WRR(RAM内容強制書き替え)動作

WRR(RAM内容強制書き替え)コマンドを発行すると、RTDはCPUの内部バスを停止させることなく、内蔵RAMの内容を強制的に書き替えます。CPUと内蔵RAM間の転送がないときに、RTDが内蔵RAMへデータを書き込むため、CPUに負荷はかかりません。

内蔵RAMの読み出しアドレスは、32ビットのワード境界のみ指定できます(コマンドで指定したアドレスの下位2ビットは無視されます)。また、内蔵RAMへのデータ書き込みは、32ビット単位で行われます。

外部ホストからは、第1フレームでコマンドとアドレスを送信し、第2フレームで書き込みデータを送信します。

RTDから内蔵RAMへの書き込みは、書き込みデータ受信後の第3フレームで行われます。

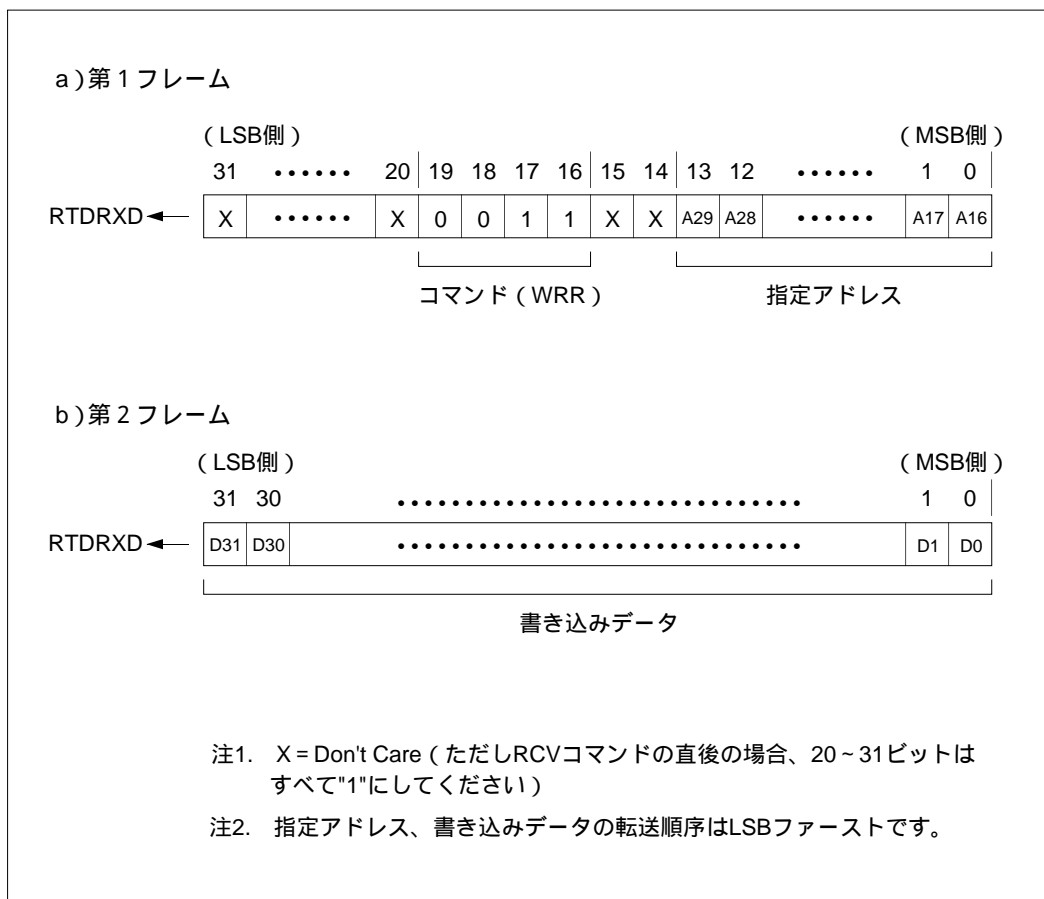


図14.3.4 WRRコマンドデータフォーマット

RTDは指定アドレスのデータを書き込みの前に読み出すとともに、書き込み直後に再度、同一アドレスのデータを読み出します(これによりベリファイができます)。読み出されたデータは以下のタイミングで出力されます。

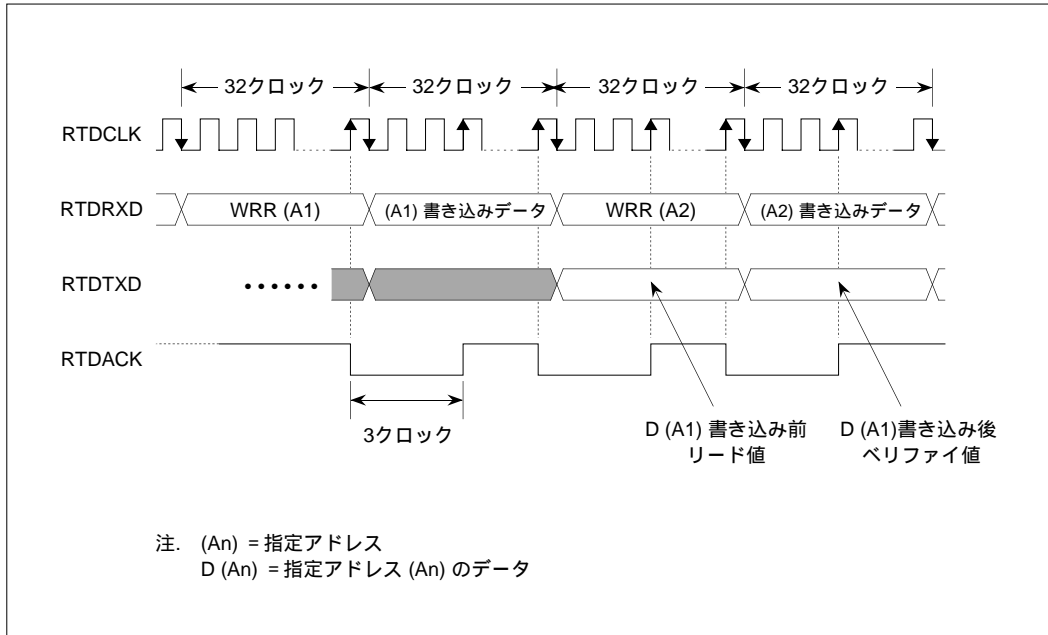


図14.3.5 WRRコマンド動作

14.3.4 VER(継続モニタ)動作

VER(継続モニタ)コマンドを発行すると、RTDはVERコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出力します。



図14.3.6 VER(継続モニタ)コマンドデータフォーマット

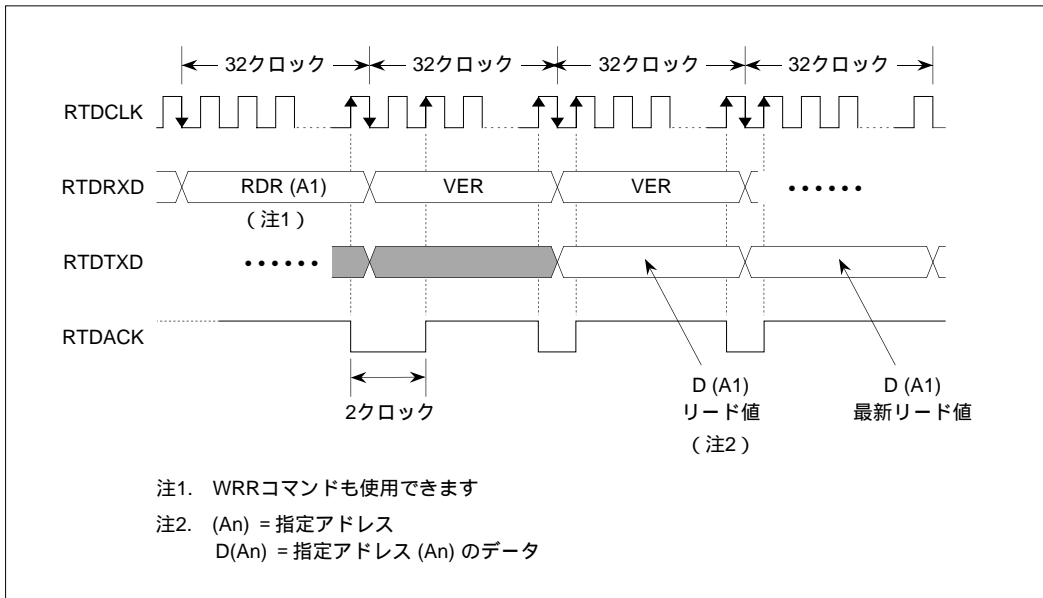


図14.3.7 VER(継続モニタ)コマンド動作

14.3.5 VEI(割り込み要求)動作

VEI(割り込み要求)コマンドを発行すると、RTD割り込み要求が発生します。また、RTDはVEIコマンド受信直前の命令(リードでもライトでもよい)でアクセスした番地のデータを出します。

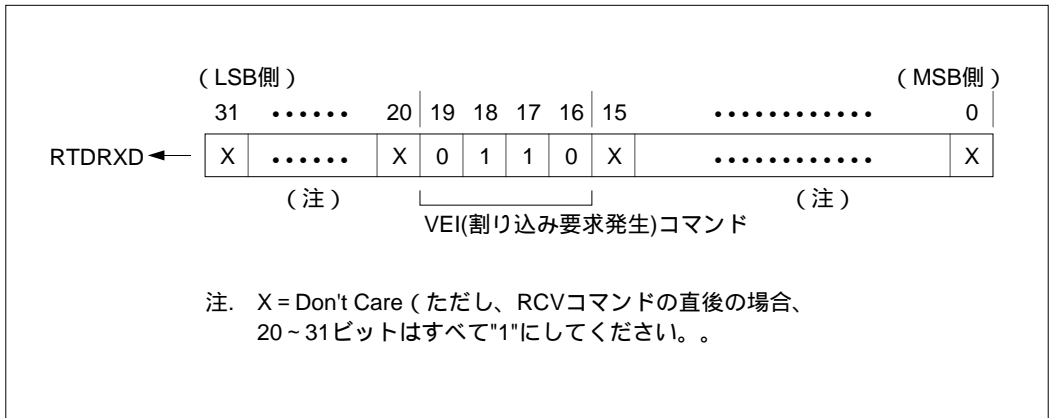


図14.3.8 VEI(割り込み要求)コマンドデータフォーマット

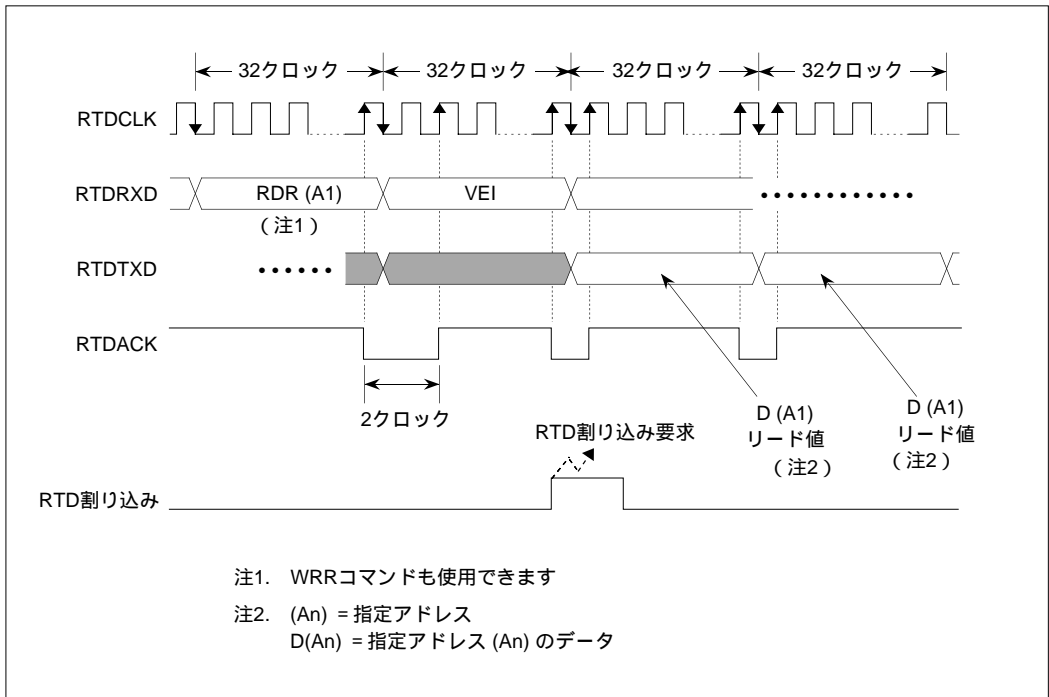


図14.3.9 VEI(割り込み要求)コマンド動作

14.3.7 リアルタイムデバッガ使用時の指定アドレス設定方法

RTDでは内蔵RAM領域の下位16ビットアドレスが設定可能です。内蔵RAM領域がH'0080 4000 ~ H'0080 FFFFの48KB領域内に配置しているため、その下位16ビットアドレス(H'4000 ~ H'FFFF)が設定できます。ただし、RAM配置領域以外はアクセスを禁止します。また、アドレス最下位の2ビットA31、A30はリード、ライトのデータ幅が32ビット固定長のため、常に"0"になります。

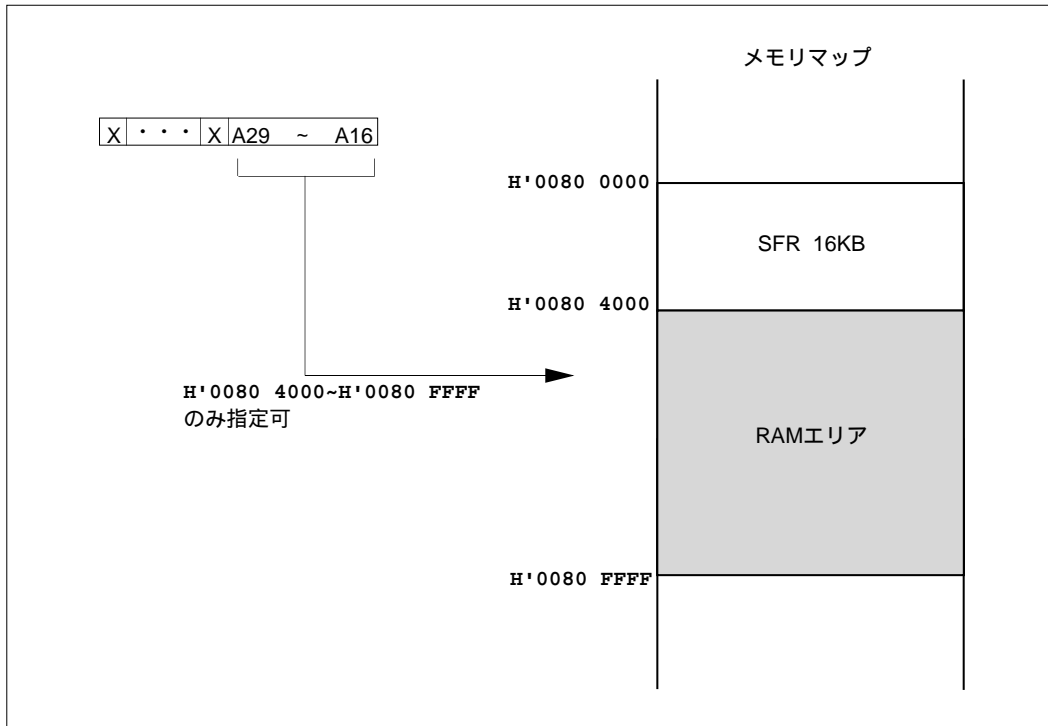


図14.3.12 リアルタイムデバッガのアドレス設定方法

14.3.8 RTDのリセット

RTDは、システムリセット($\overline{\text{RESET}}$ 信号の入力)によりリセットされます。システムリセット後のRTD関連の出力端子の状態は以下のとおりです。

表14.3.2 システムリセット解除後のRTD端子状態

端子名	状態
RTDACK	"H"レベル出力
RTDTXD	"H"レベル出力

RTDのリセットを行った後の最初のコマンド転送は、RTDCLKの立ち下がりエッジに同期してRTDRXD端子へデータを転送することで開始されます。

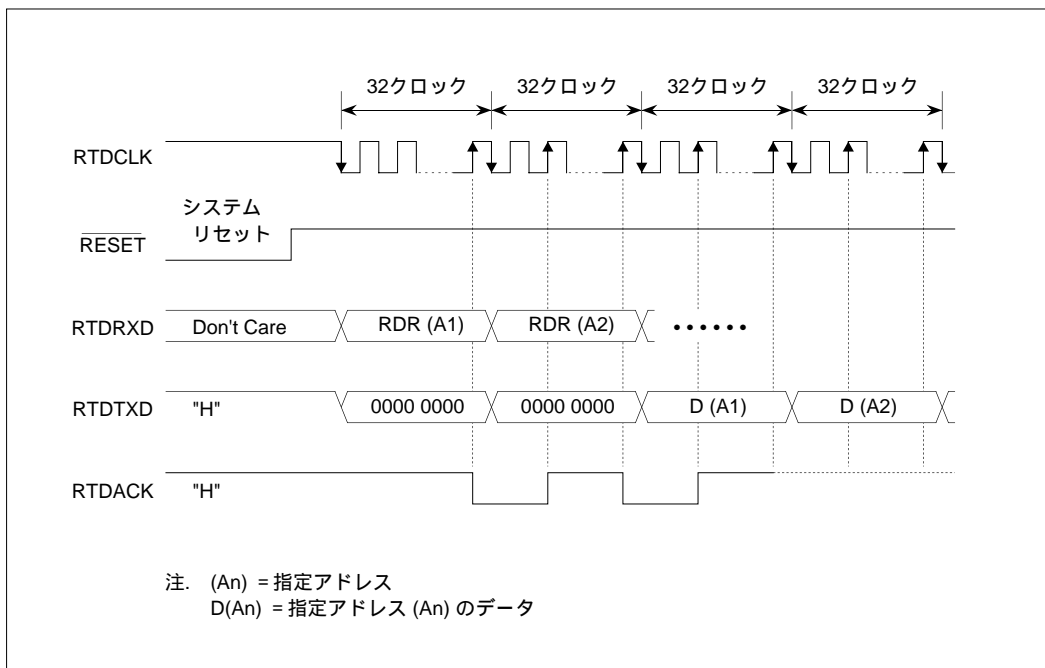


図14.3.13 システムリセット後のRTDへのコマンド転送

14.4 ホストとの接続例

ホスト側ではシリアル同期式のインタフェースで、データの転送を行います。同期通信のクロックは、ホスト側が発生します。RTDとホストの接続例を以下に示します。

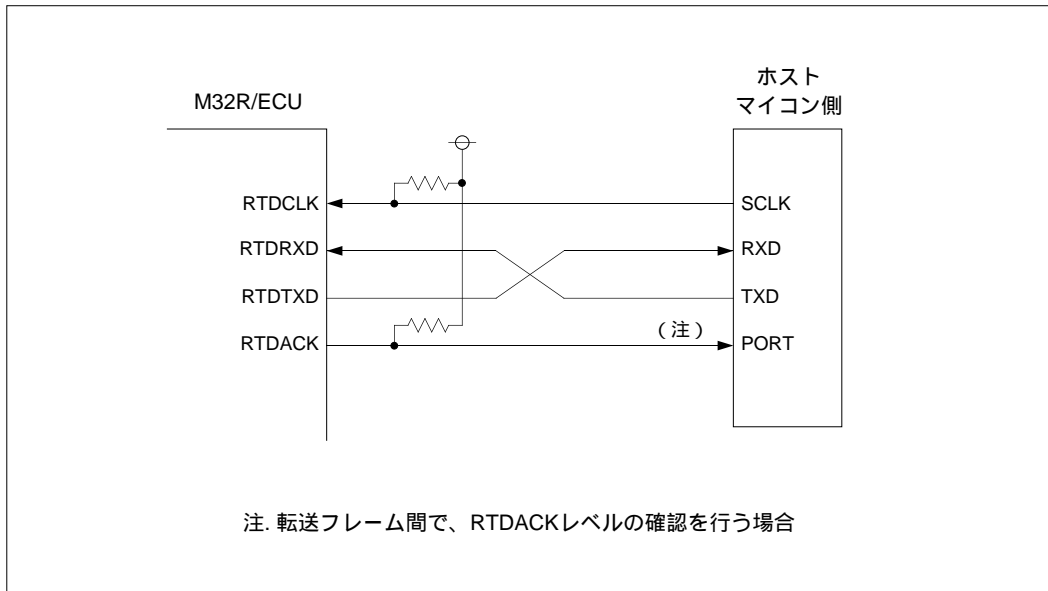


図14.4.1 RTDとホストの接続

1フレーム32ビット固定長のRTD通信は、一般にシリアルインタフェースでは8ビット単位で転送を行うため、8ビット単位で4回に分けて行います。また、通信が正常に行われていることは、RTDACK信号で確認します。

RTDACK信号は、コマンドを送信した後"L"レベルになることで通信状態を確認します。VERコマンド発行時には、1クロック分のみ"L"が出力されるため、シリアルインタフェースで1フレーム32ビットを送信した後、RTDCLKの送出を止めてRTDACKが"L"レベルになっていれば正常に通信できているか容易に判断できます。

なお、RTDACKの幅で送信コマンドの種類まで特定したい場合は、マイコン内蔵の計測タイマを利用(RTDACKが"L"の期間、RTDCLKをカウント)するか、または専用の回路を作成してください。

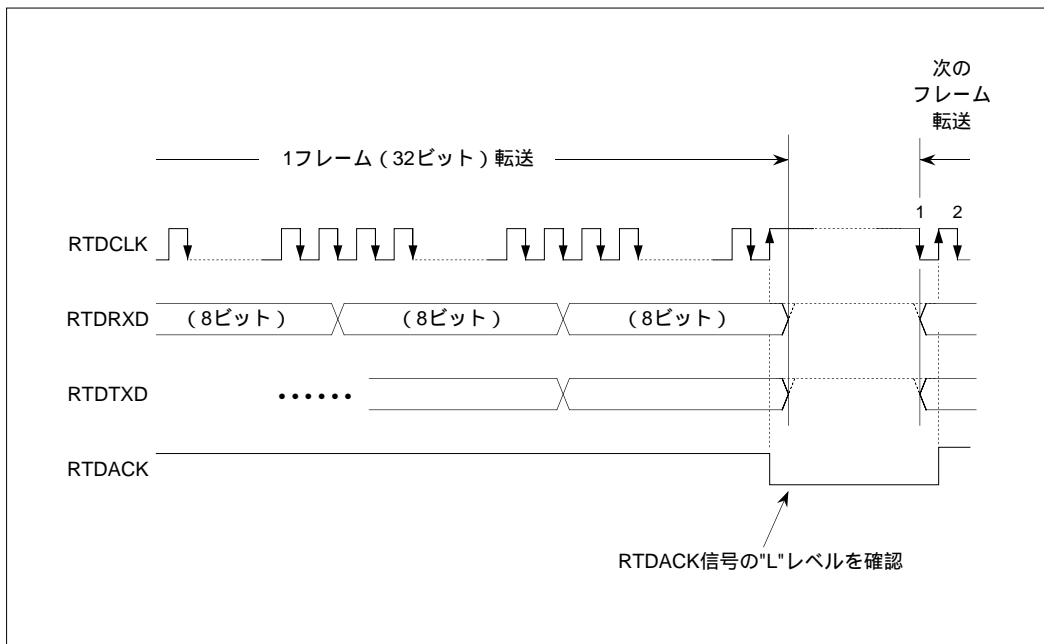


図14.4.2 ホストとの通信動作例(VERコマンド時)

* 空きページです *

第15章

外部バスインタフェース

- 15.1 外部バスインタフェース
関連信号
- 15.2 リード/ライト動作
- 15.3 バスアービトレーション
- 15.4 外部拡張メモリ接続例

15.1 外部バスインタフェース関連信号

32171は、以下に示す外部バスインタフェース関連信号を備えています。これらの信号は、外部拡張モードまたはプロセッサモードで使用できます。

(1) アドレス

1Mバイトの空間をアドレッシングする19ビットのアドレス(A12~A30)を出力します。最下位のA31は出力されず、外部ライトサイクルでは16ビットのデータバスのうち、有効な書き込みを行うバイト位置をBHW、BLW信号で出力します。リードサイクルでは常に16ビットでデータを読み込み、有効なバイト位置のデータのみ転送します。

(2) チップセレクト ($\overline{CS0}$, $\overline{CS1}$)

外部拡張モードまたはプロセッサモードで出力する信号で、2Mバイト毎の外部拡張領域を $\overline{CS0}$ 信号、 $\overline{CS1}$ 信号で出力します。 $\overline{CS0}$ 信号は、プロセッサモードで2Mバイトの領域を示し、外部拡張モードは、1Mバイト領域を示します。(詳しくは第3章「アドレス空間」をご覧ください)。

(3) リードストロープ (\overline{RD})

外部リードサイクル中に出力され、リードデータの読み込みタイミングを示します。ライト時および内蔵機能をアクセス時には"H"を出力します。

(4) バイトハイライト/バイトハイイネーブル ($\overline{BHW/BHE}$)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り替わります。

BUSMOD = 0 でバイトハイライト(\overline{BHW})の場合、外部ライトアクセス時にデータバスの上位側バイト(DB0~DB7)で有効なデータ転送を示します。外部リード時及び内蔵機能をアクセス時には"H"を出力します。

BUSMOD = 1 でバイトハイイネーブル(\overline{BHE})の場合、外部アクセス時にデータバスの上位側バイト(DB0~DB7)で有効なデータ転送を示します。内蔵機能をアクセス時には"H"を出力します。

(5) バイトローライト/バイトローイネーブル ($\overline{BLW/BLE}$)

バスモード制御レジスタ(BUSMODC)により、端子機能が切り替わります。

BUSMOD = 0 でバイトローライト(\overline{BLW})の場合、外部ライトアクセス時にデータバスの下位側バイト(DB8~DB15)で有効なデータ転送を示します。外部リードサイクルには"H"を出力します。

BUSMOD = 1 でバイトローイネーブル(\overline{BLE})の場合、外部アクセス時にデータバスの下位側バイト(DB8~DB15)で有効なデータ転送を示します。内蔵機能をアクセス時には"H"を出力します。

(6) データバス (DB0 ~ DB15)

外部デバイスをアクセスするための16ビットデータバスです。

(7) システムクロック/ライト (BCLK/ \overline{WR})

バスモード制御レジスタ(BUSMODC)により、端子機能が切り替わります。

BUSMOD = 0 でシステムクロック(BCLK)の場合、外部システムで同期設計を行うためのシステムクロックを出力します。CPUクロック40MHzの場合、BCLKには20MHzのクロックが出力します。また、BCLK/ \overline{WR} 機能を未使用時、P7動作モードレジスタのP70MODを"0"にしP70として使用できます。

BUSMOD = 1 でライト(\overline{WR})の場合、外部ライトアクセス時にデータバスの有効なデータ転送を示します。外部リードサイクルおよび内蔵機能をアクセス時には"H"を出力します。

(8) ウェイト (\overline{WAIT})

外部バスサイクルを起動した場合、 \overline{WAIT} 信号が入力されている間、ウェイトサイクルを自動的に挿入します。詳しくは第16章「ウェイトコントローラ」をご覧ください。また、 \overline{WAIT} 機能を未使用時、P7動作モードレジスタのP71MODを"0"にしP71として使用できます。

なお、外部アクセスに対しては常に1ウェイト以上を挿入します。したがって外部デバイスへの最短アクセスは1ウェイト(2 BCLK期間)となります。

(9) ホールド制御 (\overline{HREQ} , \overline{HACK})

ホールド状態とは、バスアクセスを停止し、バスインタフェース関連の各端子がハイインピーダンスになっている状態をいいます。ホールド状態にある間は、外部にあるバスマスタはシステムバスを使用したデータ転送を行うことができます。

\overline{HREQ} 端子に"L"信号を入力すると、ホールド状態へ遷移します。ホールド要求を受け付け後のホールド中およびホールド状態への遷移中は、 \overline{HACK} 端子から"L"信号を出力します。ホールド状態から通常動作状態への復帰には \overline{HREQ} 信号を"H"にして下さい。また、 \overline{HREQ} , \overline{HACK} 機能を未使用時、P7動作モードレジスタのP72MOD, P73MODを"0"にしP72, P73として使用できます。

なお、ホールド中の各端子の状態は以下のようになります。

表15.1.1 ホールド期間中の端子の状態

端子名	端子の状態または動作
A12 ~ A30, DB0 ~ DB15, $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHW} , \overline{BLW} , BHE, BLE, \overline{WR}	ハイインピーダンス
\overline{HACK}	"L"を出力
その他の端子(ポート及びタイマ出力等)	通常動作

(10) ポートP7動作モードレジスタ (P7MOD)

BCLK/ $\overline{\text{WR}}$ 端子はP70、 $\overline{\text{WAIT}}$ 端子はP71、 $\overline{\text{HREQ}}$ 端子はP72、 $\overline{\text{HACK}}$ 端子はP73と共用します。ポートP7動作モードレジスタはポートP7の機能を選択するレジスタです。ポートP7動作モードレジスタの構成を以下に示します。

P7動作モードレジスタ (P7MOD)

<アドレス : H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時 : H'00 >

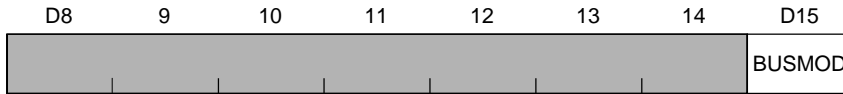
D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0 : P70 1 : BCLK/ $\overline{\text{WR}}$		
9	P71MOD (ポートP71動作モード)	0 : P71 1 : $\overline{\text{WAIT}}$		
10	P72MOD (ポートP72動作モード)	0 : P72 1 : $\overline{\text{HREQ}}$		
11	P73MOD (ポートP73動作モード)	0 : P73 1 : $\overline{\text{HACK}}$		
12	P74MOD (ポートP74動作モード)	0 : P74 1 : RTD $\overline{\text{TXD}}$		
13	P75MOD (ポートP75動作モード)	0 : P75 1 : RTD $\overline{\text{RXD}}$		
14	P76MOD (ポートP76動作モード)	0 : P76 1 : RTD $\overline{\text{ACK}}$		
15	P77MOD (ポートP77動作モード)	0 : P77 1 : RTD $\overline{\text{CLK}}$		

(11) バスモード制御レジスタ (BUSMODC)

32171は、2種類の外部バスモードの切り替え機能を内蔵します。

バスモード制御レジスタ (BUSMODC)

<アドレス : H'0080 077F>



<リセット時 : H'00>

D	ビット名	機能	R	W
8~14	何も配置されていません		0	-
15	BUSMOD	0 : WR信号分離モード (バスモードコントロール)		
		1 : バイトイネーブル分離モード		

プロセッサモードおよび外部拡張モードで、メモリ接続方法を容易にするため使用します。

バスモード制御レジスタ (BUSMOD) が"0"の場合、WR信号をバイト領域毎に分離して出力します。RD, BHW, BLW, BCLK, WAIT信号が使用可能です。ブートモードでメモリ接続時、バスモード制御レジスタは無効となりバスモード制御レジスタ (BUSMOD) が"0"の条件で動作します。

バスモード制御レジスタ (BUSMOD) が"1"の場合、バイトイネーブル信号をバイト領域毎に分離して出力します。RD, BHE, BLE, WR, WAIT信号が使用可能です。WAIT制御回路構成時、BCLKが出力されないため外部でタイミング制御が必要です。

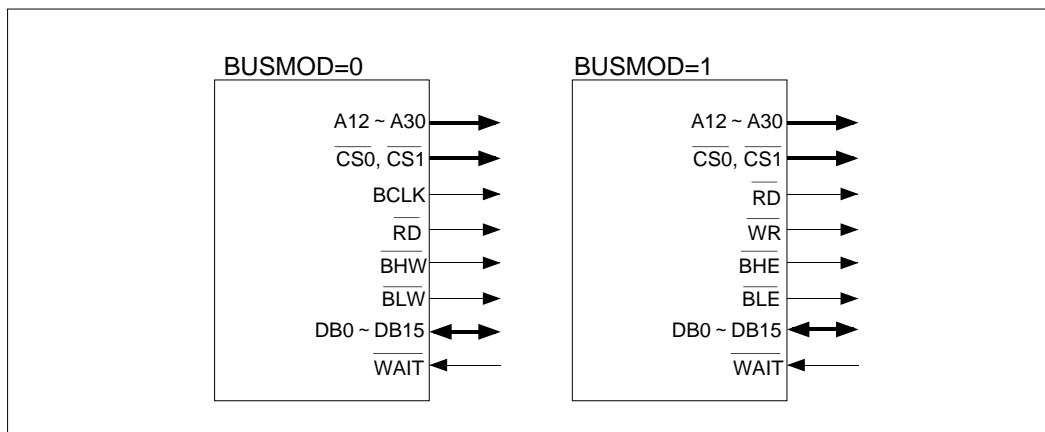


図 15.1.1 バスモード切り換え時の端子機能

15.2 リード/ライト動作

(1) バスモード制御レジスタが0の場合

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHW} , \overline{BLW} , \overline{WAIT} , BCLKの各信号により行います。外部リードサイクルで、 \overline{RD} 信号は"L"、 \overline{BHW} , \overline{BLW} は共に"H"になり、必要なバイト位置のデータのみ読み込みます。

外部ライトサイクルでは、書き込みを行うバイト位置に対応した \overline{BHW} または \overline{BLW} 信号に"L"を出力し、データの書き込みを行います。

外部バスサイクル起動時、 \overline{WAIT} 信号を"L"にするとウエイトサイクルを挿入し続けます。 \overline{WAIT} 信号は必要なとき以外は、常に"H"状態を保ってください。なお外部バスサイクルは、最短でアクセスする場合でも常に1ウエイトが挿入します(最短バスサイクルは2 BCLK期間となります)。

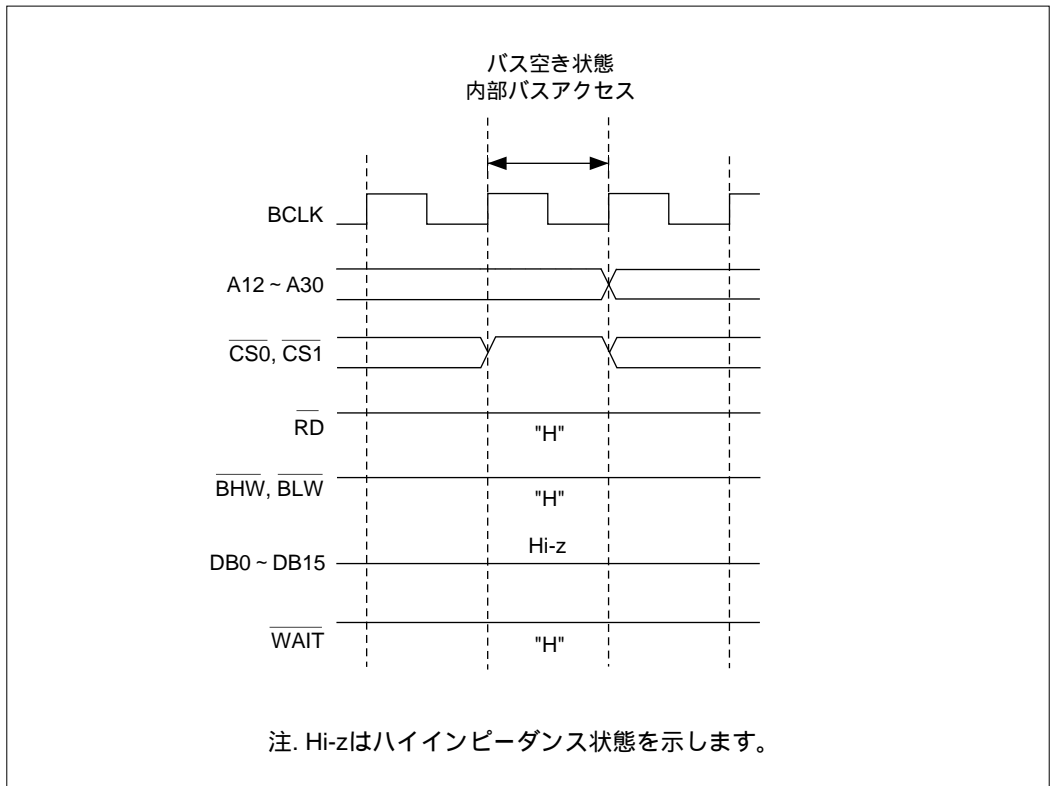


図15.2.1 バス空き状態 / 内部バスアクセス時

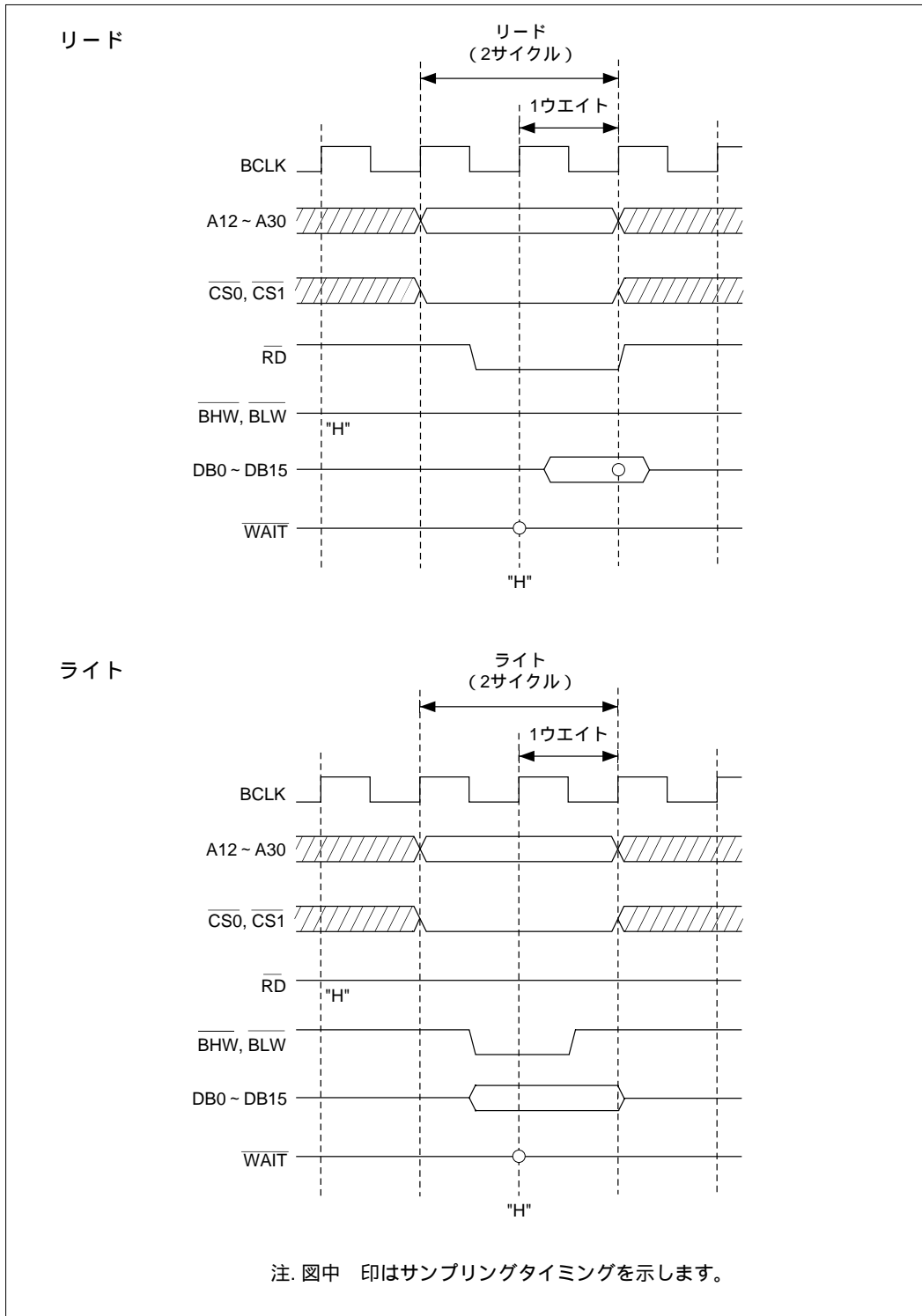


図15.2.2 リード/ライトタイミング(外部最短アクセス時)

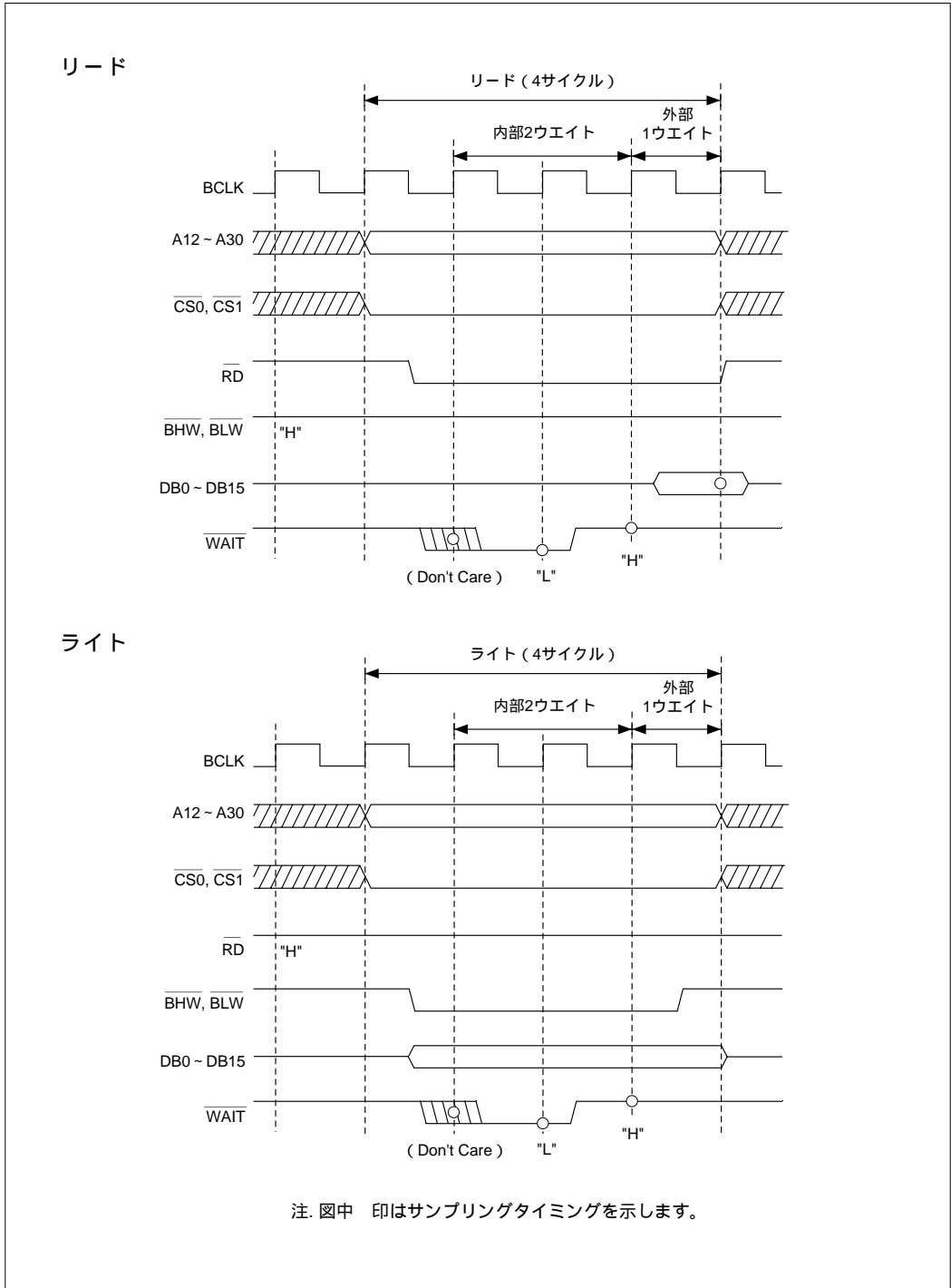


図15.2.3 リード/ライトタイミング(内部2+外部1ウエイトアクセス時)

(2) バスモード制御レジスタが1の場合

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHE} , \overline{BLE} , \overline{WAIT} , \overline{WR} の各信号により行います。外部リードサイクルでは、 \overline{RD} 信号は"L"、読み込みを行うバイト位置に対応した \overline{BHE} , または \overline{BLE} に"L"を出力し、必要なバイト位置のデータの読み込みます。

外部ライトサイクルでは、 \overline{WR} 信号は"L"、書き込みを行うバイト位置に対応した \overline{BHE} , または \overline{BLE} に"L"を出力し、必要なバイト位置のデータの書き込みを行います。

外部バスサイクル起動時、 \overline{WAIT} 信号を"L"にするとウエイトサイクルを挿入し続けます。 \overline{WAIT} 信号は必要なとき以外は、常に"H"状態を保ってください。なお外部バスサイクルは、最短でアクセスする場合でも常に1ウエイトが挿入されます(最短バスサイクルは2 BCLK期間となります)。WAIT機能を使用しない場合、P7動作モードレジスタのP71MODを"0"に設定すると、P71として使用できます。

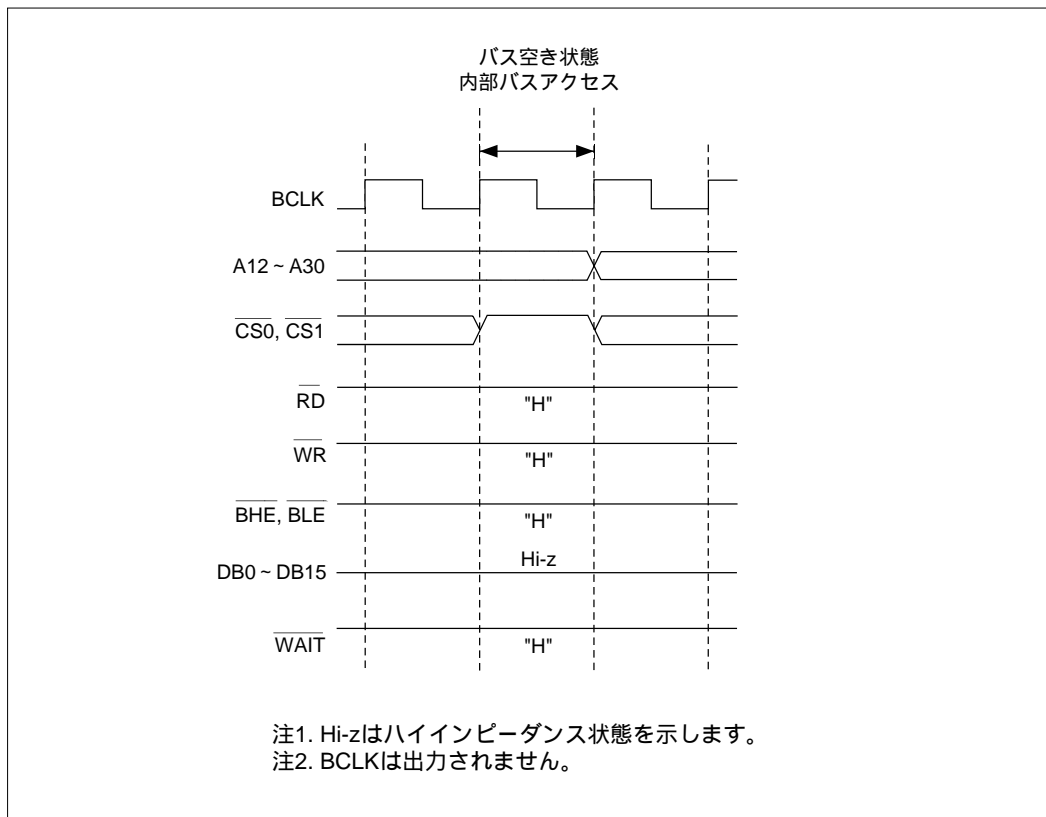


図15.2.4 バス空き状態 / 内部バスアクセス時

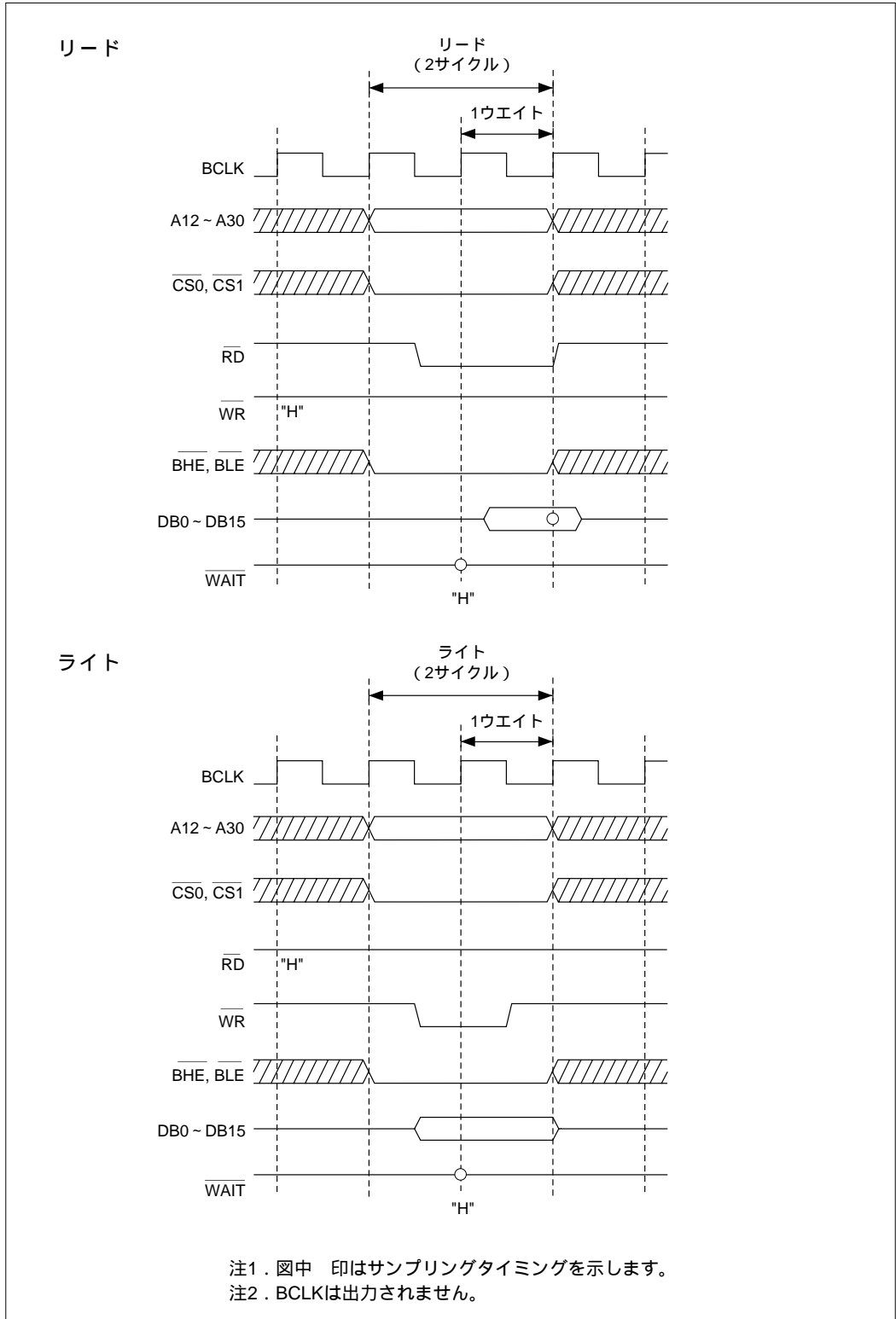


図15.2.5 リード/ライトタイミング(外部最短アクセス時)

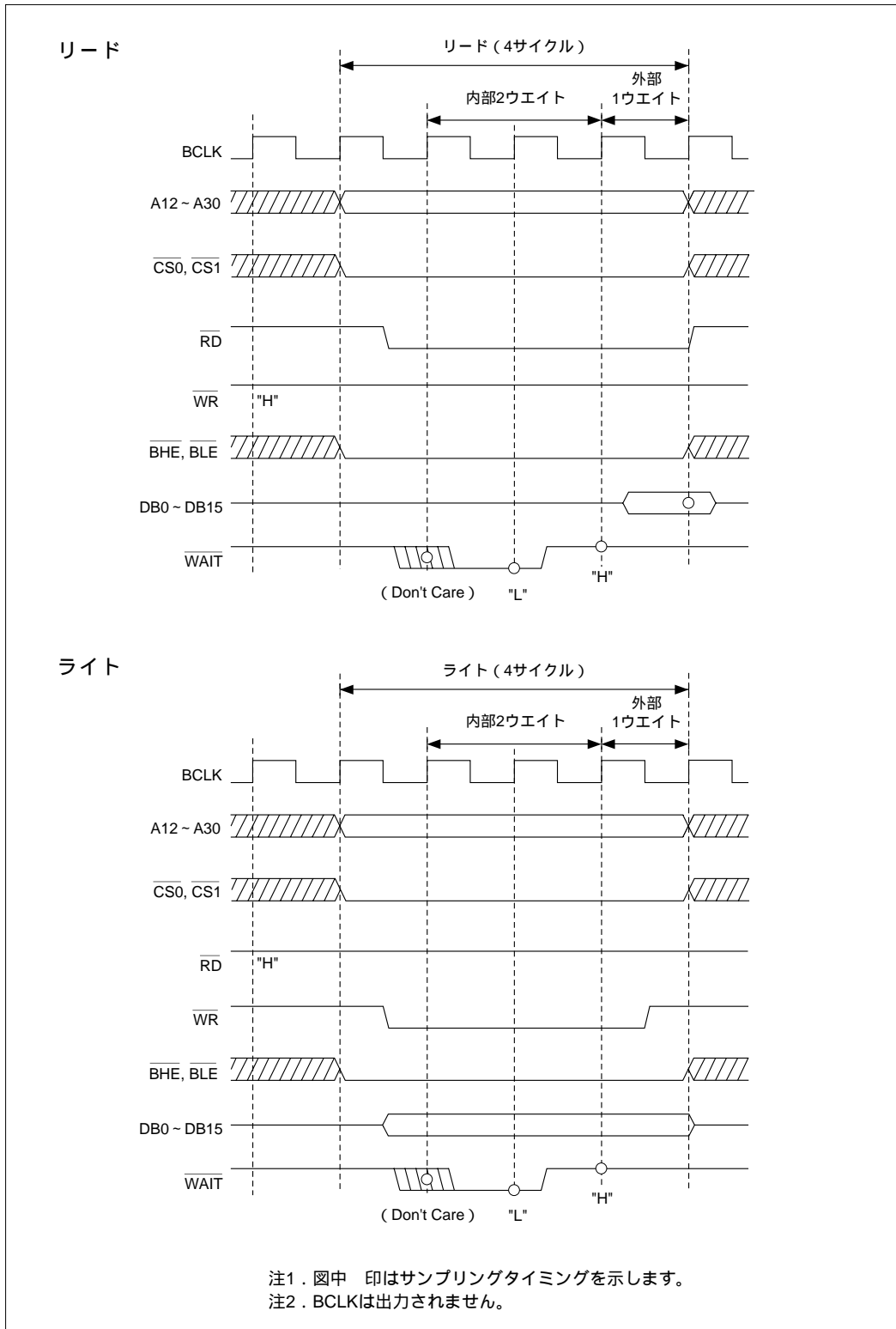


図15.2.6 リード/ライトタイミング(内部2+外部1ウエイトアクセス時)

15.3 バスアービトラーション

(1) バスモード制御レジスタが0の場合

$\overline{\text{HREQ}}$ 端子に"L"信号を入力し、それが受け付けられるとホールド状態へ遷移し、 $\overline{\text{HACK}}$ 端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためにはHREQ信号を"H"にして下さい。

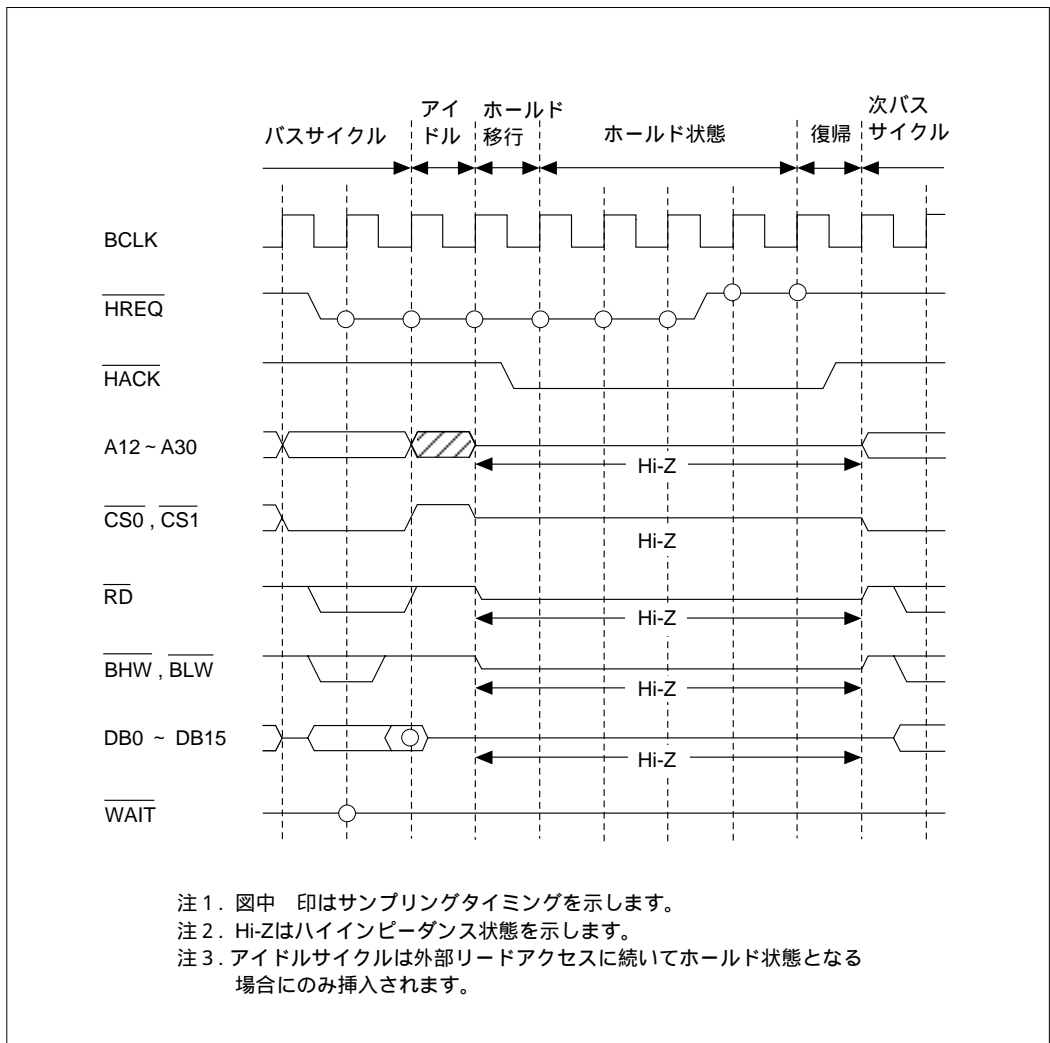


図15.3.1 バスアービトラーションタイミング

(2) バスモード制御レジスタが1の場合

$\overline{\text{HREQ}}$ 端子に"L"信号を入力し、それが受け付けられるとホールド状態へ遷移し、 $\overline{\text{HACK}}$ 端子に"L"を出力します。ホールド中はバス関連端子がハイインピーダンス状態になり、システムバス上でのデータ転送を行うことができますようになります。ホールド状態から通常動作状態へ復帰するためには $\overline{\text{HREQ}}$ 信号を"H"にして下さい。

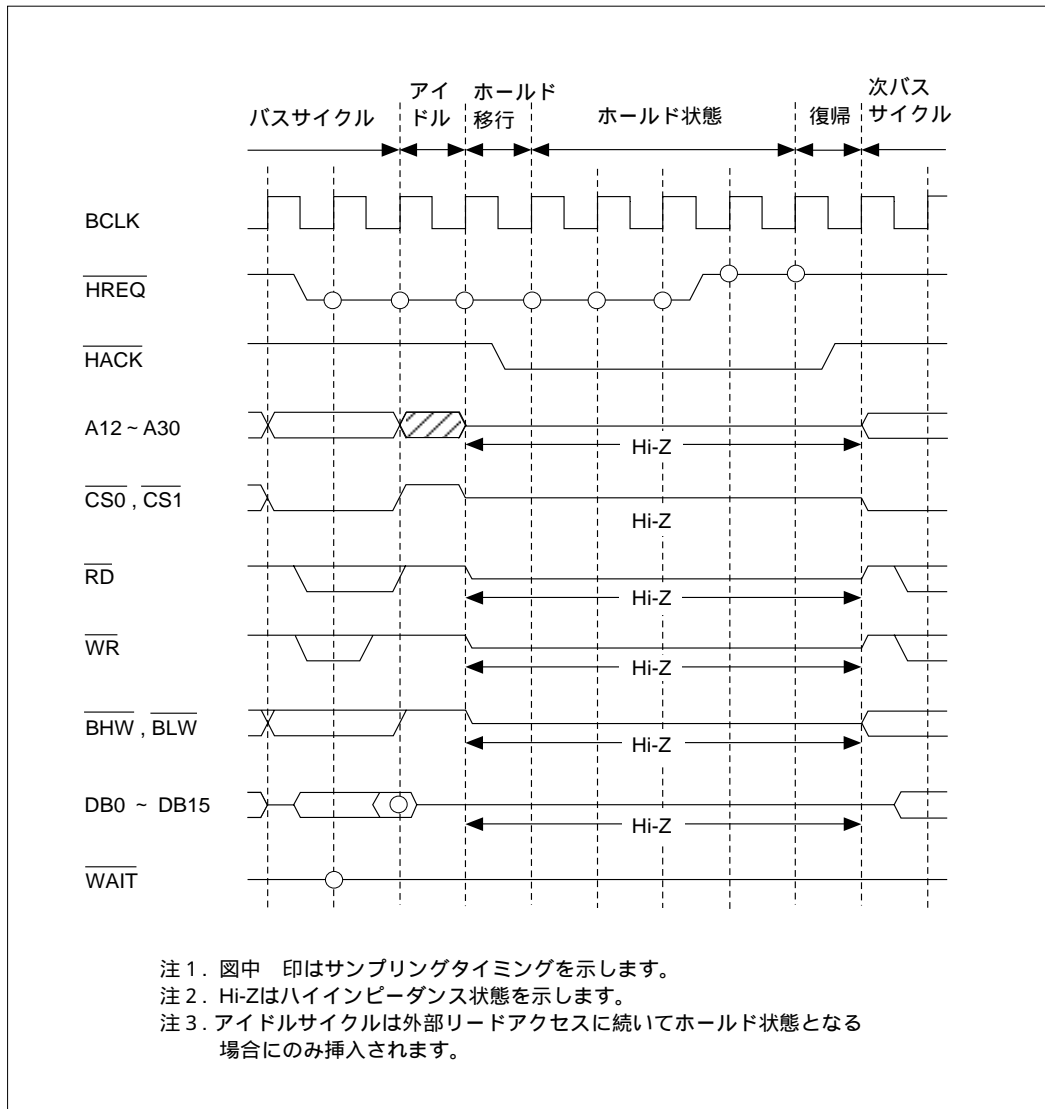


図15.3.2 バスアービトレーションタイミング

15.4 外部拡張メモリ接続例

(1) バスモード制御レジスタが0の場合

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図15.4.1に示します。

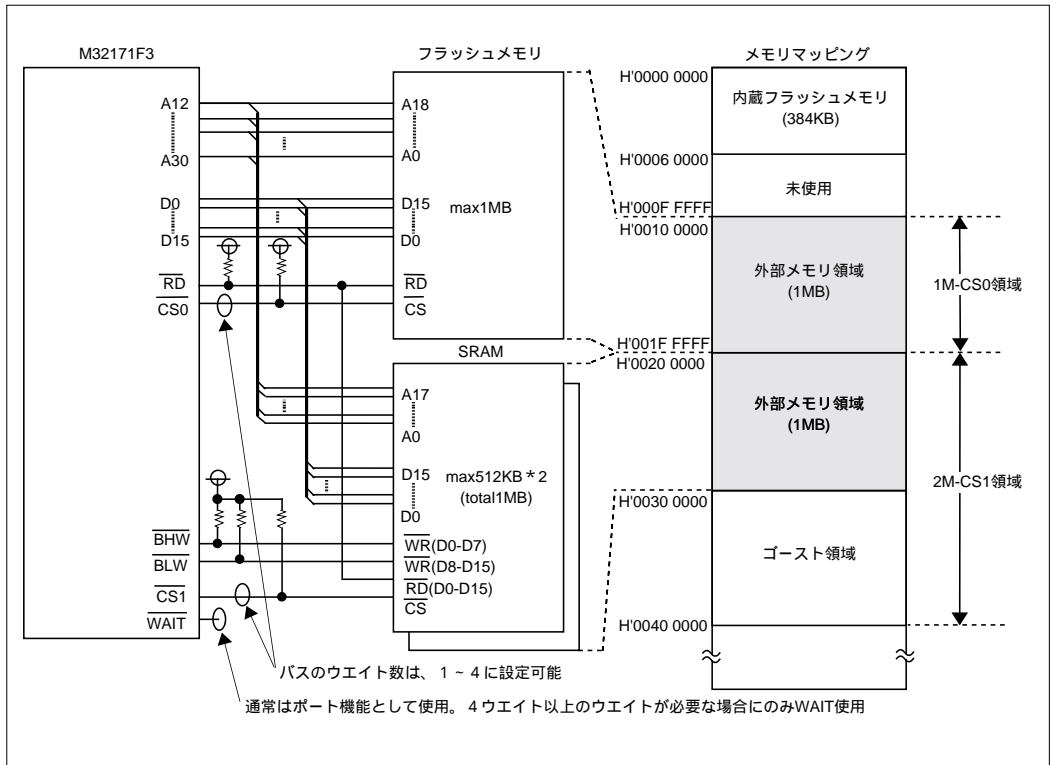


図15.4.1 32171外部拡張メモリ接続例(BUSMOD="0"の場合)

注. M32R/Eのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(2) バスモード制御レジスタが1の場合

外部拡張メモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図15.4.2に示します。

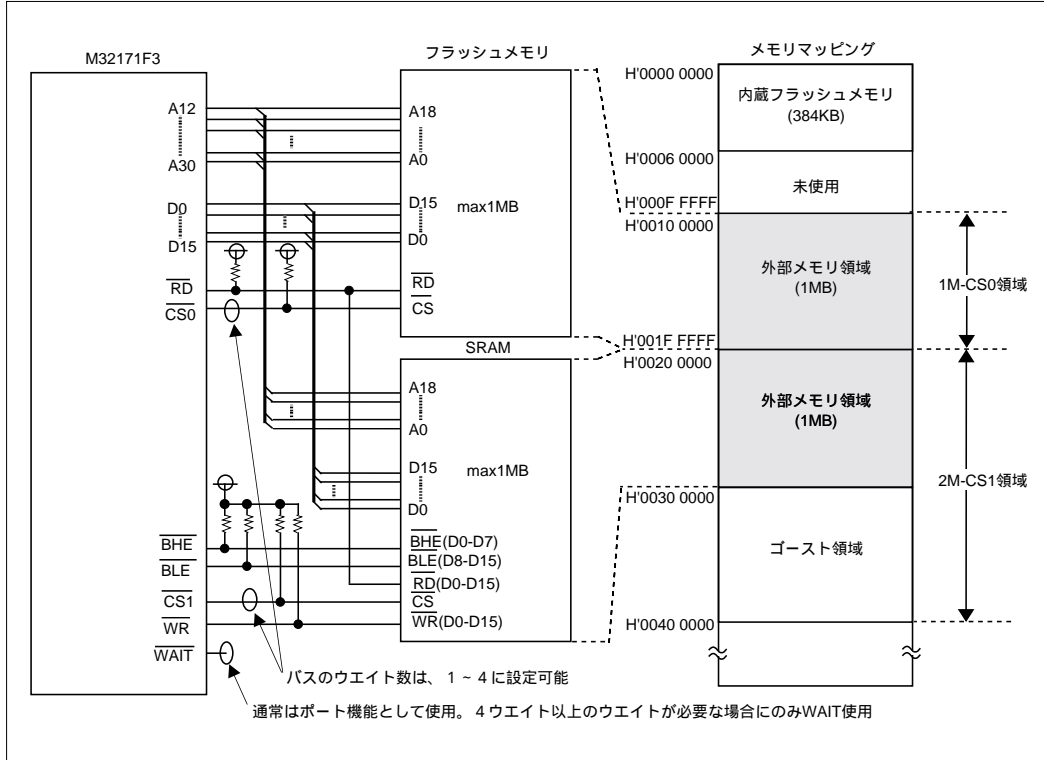


図15.4.2 32171外部拡張メモリ接続例(BUSMOD="1"の場合)

注. M32R/Eのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

(3) バスモード制御レジスタが1で8/16ビットデータバスメモリを混在使用する場合

CS0領域に8ビットデータバスメモリを配置し、CS1領域に16ビットデータバスメモリを使用(外部拡張モード、プロセッサモードのみ外部拡張メモリ使用可能)時の接続例を図15.4.3に示します。

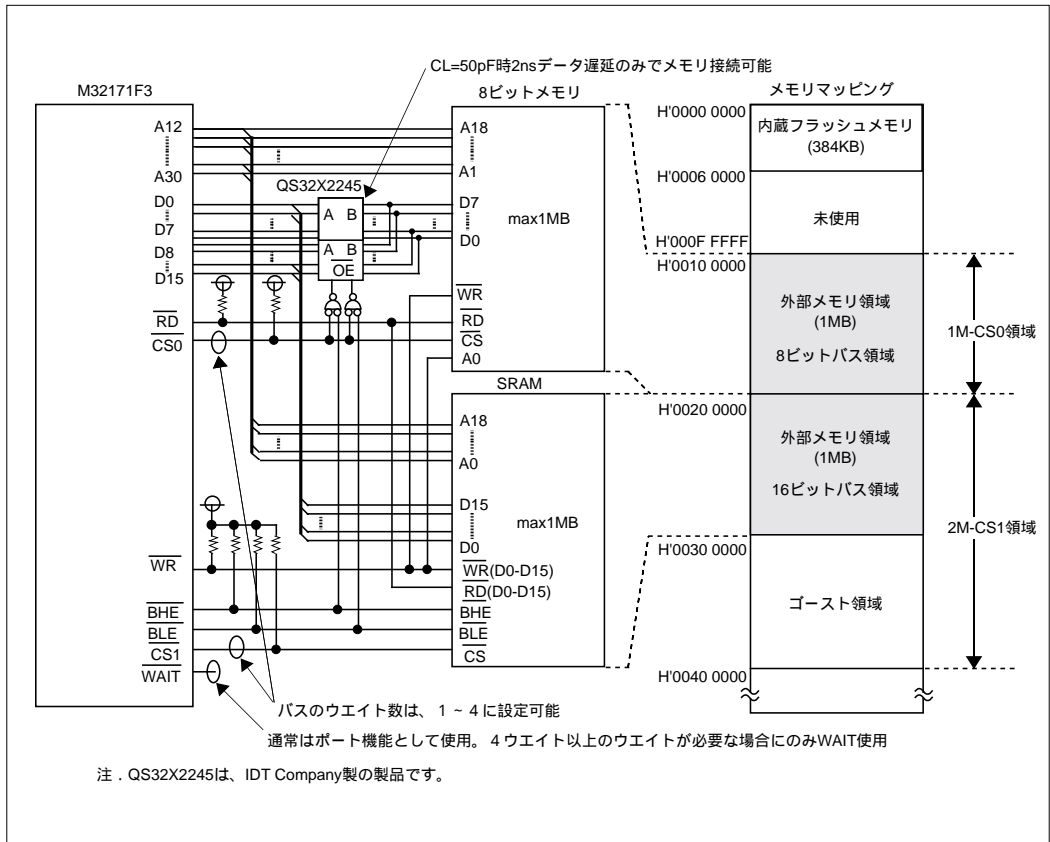


図15.4.3 32171外部拡張メモリ接続例(BUSMOD="1"で8/16ビット混在メモリ使用時)

注. M32R/Eのアドレスおよびデータは、"0"がMSBで"15"がLSBとなります。
外部拡張メモリ接続時にはMSB側とLSB側を逆に接続する必要があります。

第16章

ウェイトコントローラ

- 16.1 ウェイトコントローラ概要
- 16.2 ウェイトコントローラ
関連レジスタ
- 16.3 ウェイトコントローラ
動作例

16.1 ウェイトコントローラ概要

ウェイトコントローラは、外部拡張領域アクセスにおけるバスサイクルの挿入ウェイト数を制御します。以下にウェイトコントローラ概要を示します。

表16.1.1 ウェイトコントローラの概要

項目	仕様
対象空間	動作モードにより以下の空間を制御 シングルチップモード : 対象空間なし (ウェイトコントローラの設定は無効) 外部拡張モード : CS0領域 (1Mバイト), CS1領域 (1Mバイト) プロセッサモード : CS0領域 (1Mバイト), CS1領域 (1Mバイト)
挿入ウェイト数	ソフトウェア設定による1~4ウェイト挿入 + WAIT端子入力による任意のウェイト数 挿入可能 (外部アクセス時のバスサイクルは、1ウェイト挿入が最短となります)

外部拡張モードとプロセッサモードでは、外部拡張領域に対して2本のチップセレクト信号 (CS0, CS1) が出力され、2本のチップセレクト信号に対応した2つの領域をそれぞれCS0領域、CS1領域と呼びます。

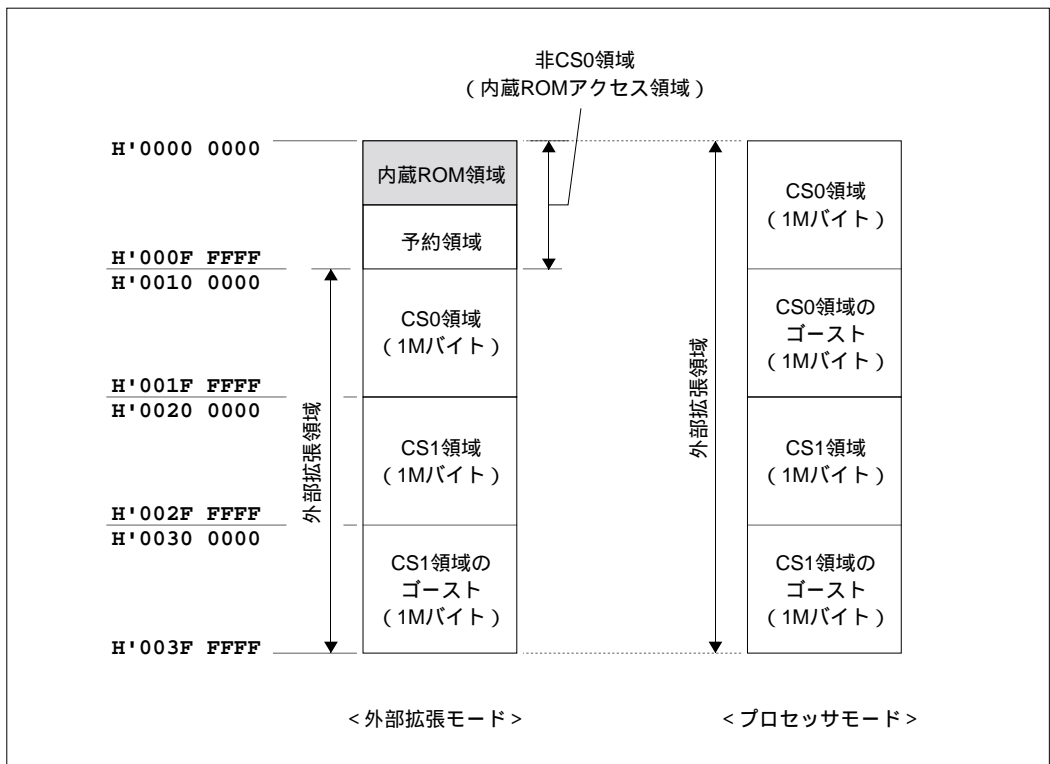


図16.1.1 CS0領域とCS1領域のアドレスマップ

外部拡張領域アクセス時、ウェイトコントローラはソフトウェアで設定されたウェイト数、および $\overline{\text{WAIT}}$ (ウェイト)端子からの入力信号に基づいて、バスサイクルに挿入されるウェイト数を制御します。

ソフトウェアで制御可能なウェイト数は、1から4です(外部アクセスは、1ウェイト挿入が最短のバスサイクルとなります)。

ソフトウェアで設定された内部ウェイトの最終サイクルで $\overline{\text{WAIT}}$ (ウェイト)端子に"L"レベル信号が入力されていると、ウェイトサイクルが延長されます。その後外部 $\overline{\text{WAIT}}$ 端子に"H"レベル信号が入力されると、ウェイトサイクルを終了し、次の新しいバスサイクルに移行します。

表16.1.2 ウェイトコントローラで設定可能なウェイト数

外部拡張領域	アドレス	挿入ウェイト数
CS0領域	H'0010 0000 ~ H'001F FFFF (外部拡張モード)	ソフトウェア設定により1~4ウェイト挿入 + $\overline{\text{WAIT}}$ 端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)
	H'0000 0000 ~ H'000F FFFF (プロセッサモード) (注1)	
CS1領域	H'0020 0000 ~ H'002F FFFF (外部拡張モード およびプロセッサモード) (注2)	ソフトウェア設定により1~4ウェイト挿入 + $\overline{\text{WAIT}}$ 端子入力による任意のウェイト数挿入 (ただしソフトウェアの設定が優先されます)

注1. プロセッサモード時、H'0010 0000 ~ H'001F FFFFの領域にCS0領域のゴースト(1Mバイト)が見えます。

注2. H'0030 0000 ~ H'003F FFFFの領域にCS1領域のゴースト(1Mバイト)が見えます。

16.2 ウェイトコントローラ関連レジスタ

以下にウェイトコントローラ関連のレジスタマップを示します。

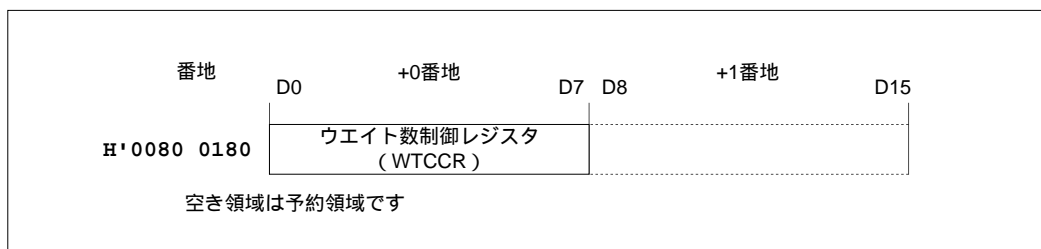
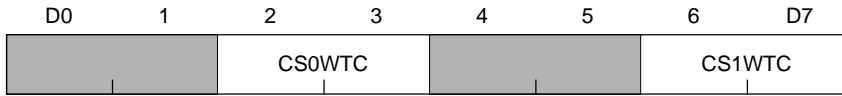


図16.2.1 ウェイトコントローラ関連レジスタマップ

16.2.1 ウエイト数制御レジスタ

ウエイト数制御レジスタ (WTCCR)

<アドレス: H'0080 0180 >



<リセット時: H'00 >

D	ビット名	機能	R	W
0,1	何も配置されていません		0	-
2,3	CS0WTC (CS0ウエイト数制御)	00: 4ウエイト(リセット時) 01: 3ウエイト 10: 2ウエイト 11: 1ウエイト		
4,5	何も配置されていません		0	-
6,7	CS1WTC (CS1ウエイト数制御)	00: 4ウエイト(リセット時) 01: 3ウエイト 10: 2ウエイト 11: 1ウエイト		

16.3 ウェイトコントローラ動作例

以下にウェイトコントローラの動作例を示します。

ウェイトコントローラでは2~5サイクルのバスアクセスが制御可能で、それ以上のアクセスサイクルが必要な場合にはWAIT機能との組み合わせ使用が必要です。

(1) バスモード制御レジスタが0の場合

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHW} , \overline{BLW} , \overline{WAIT} , BCLKの各信号により行います。

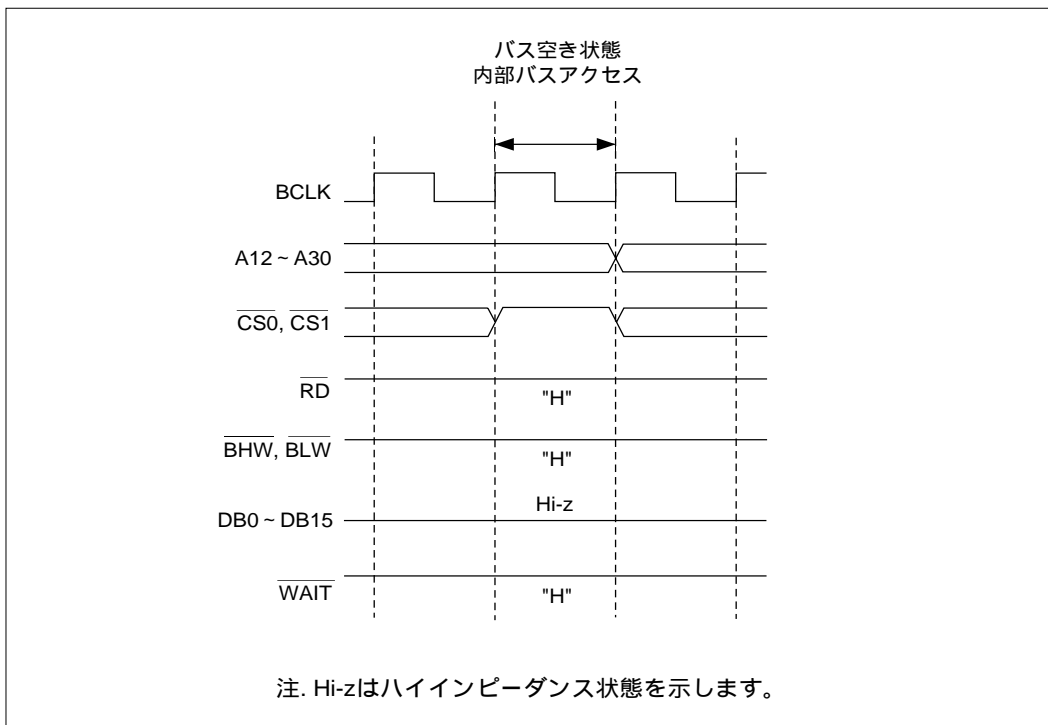


図16.3.1 バス空き状態/内部バスアクセス時

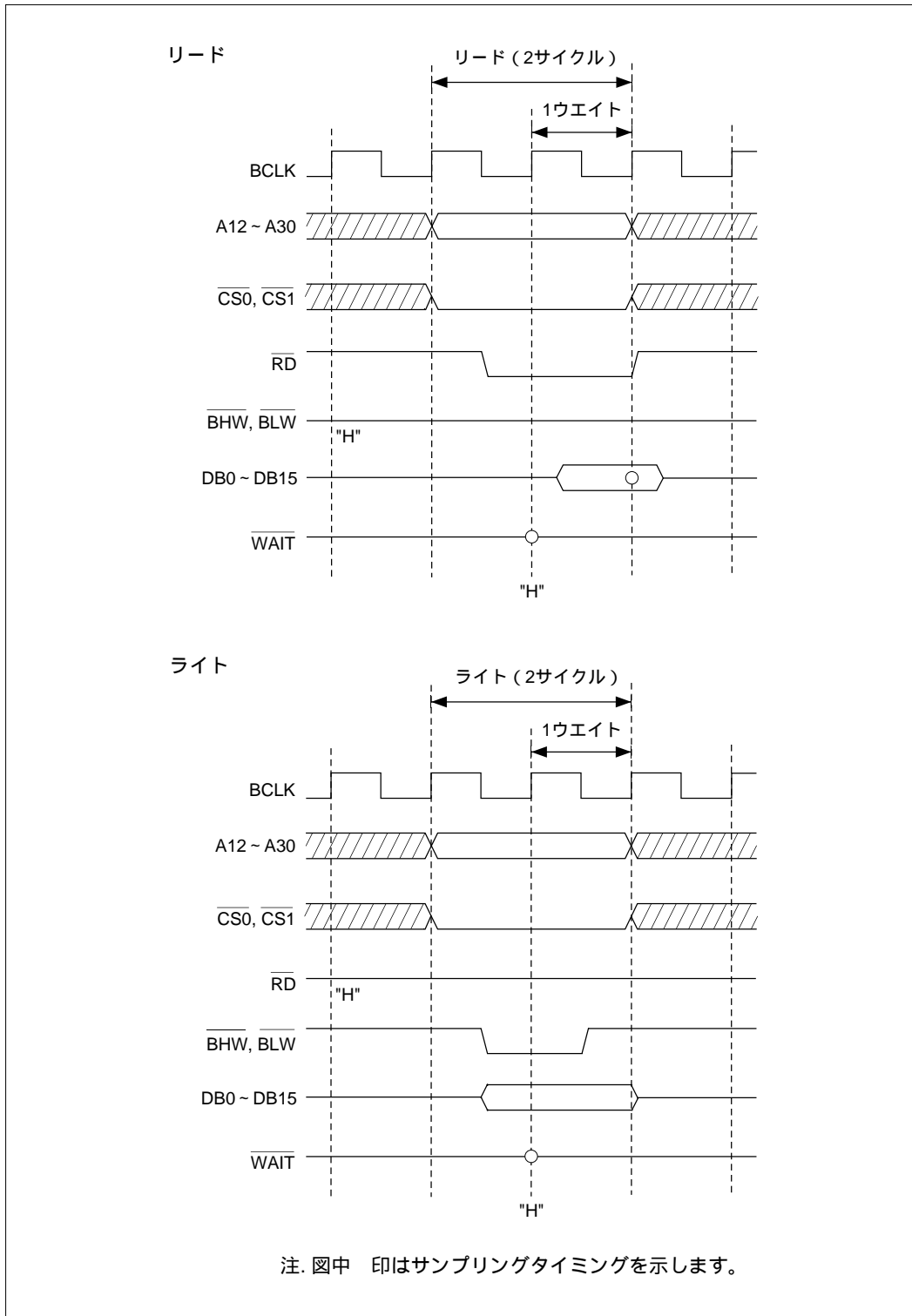


図16.3.2 リード/ライトタイミング(内部1ウェイトアクセス時)

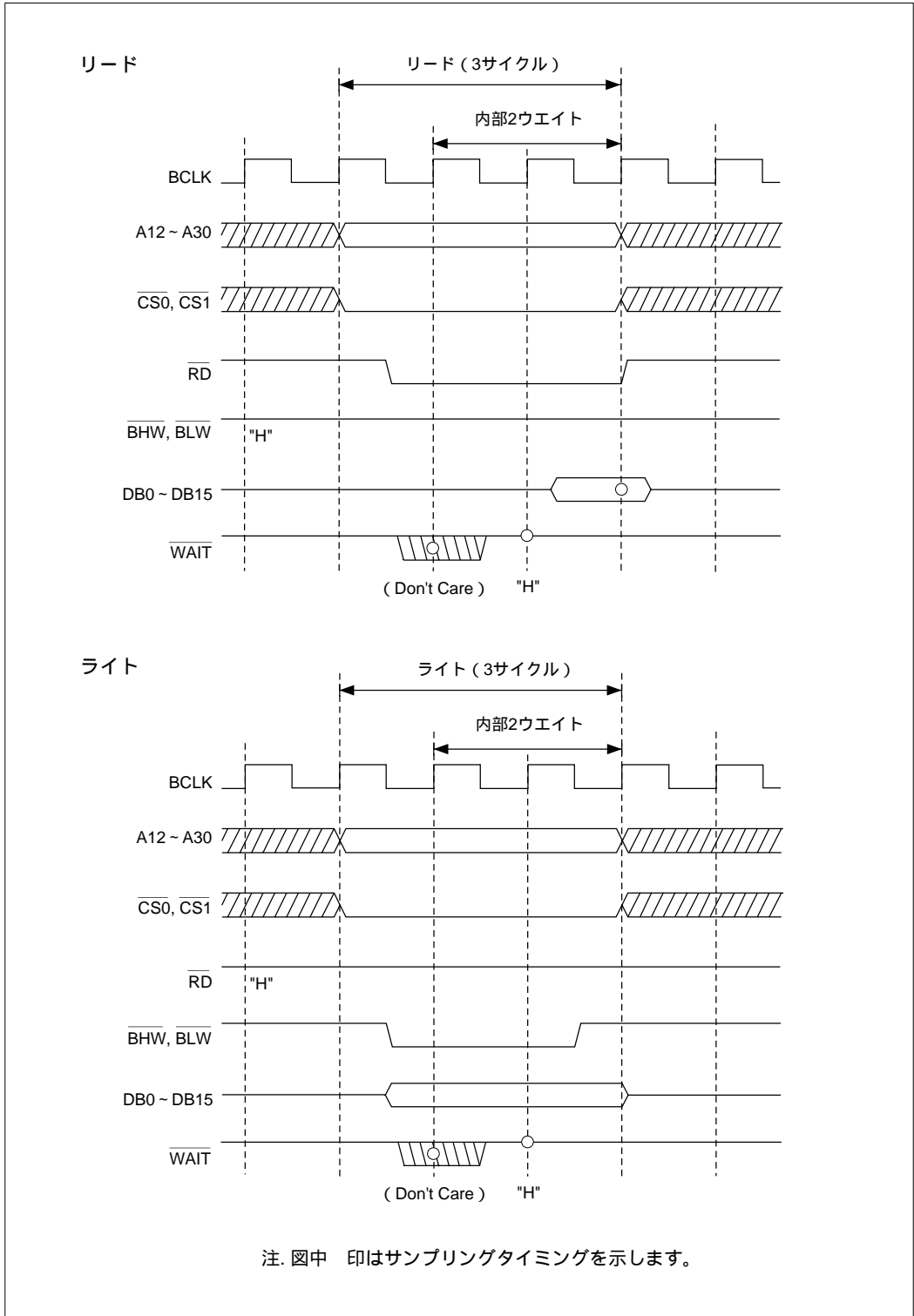


図16.3.3 リード/ライトタイミング(内部2ウェイトアクセス時)

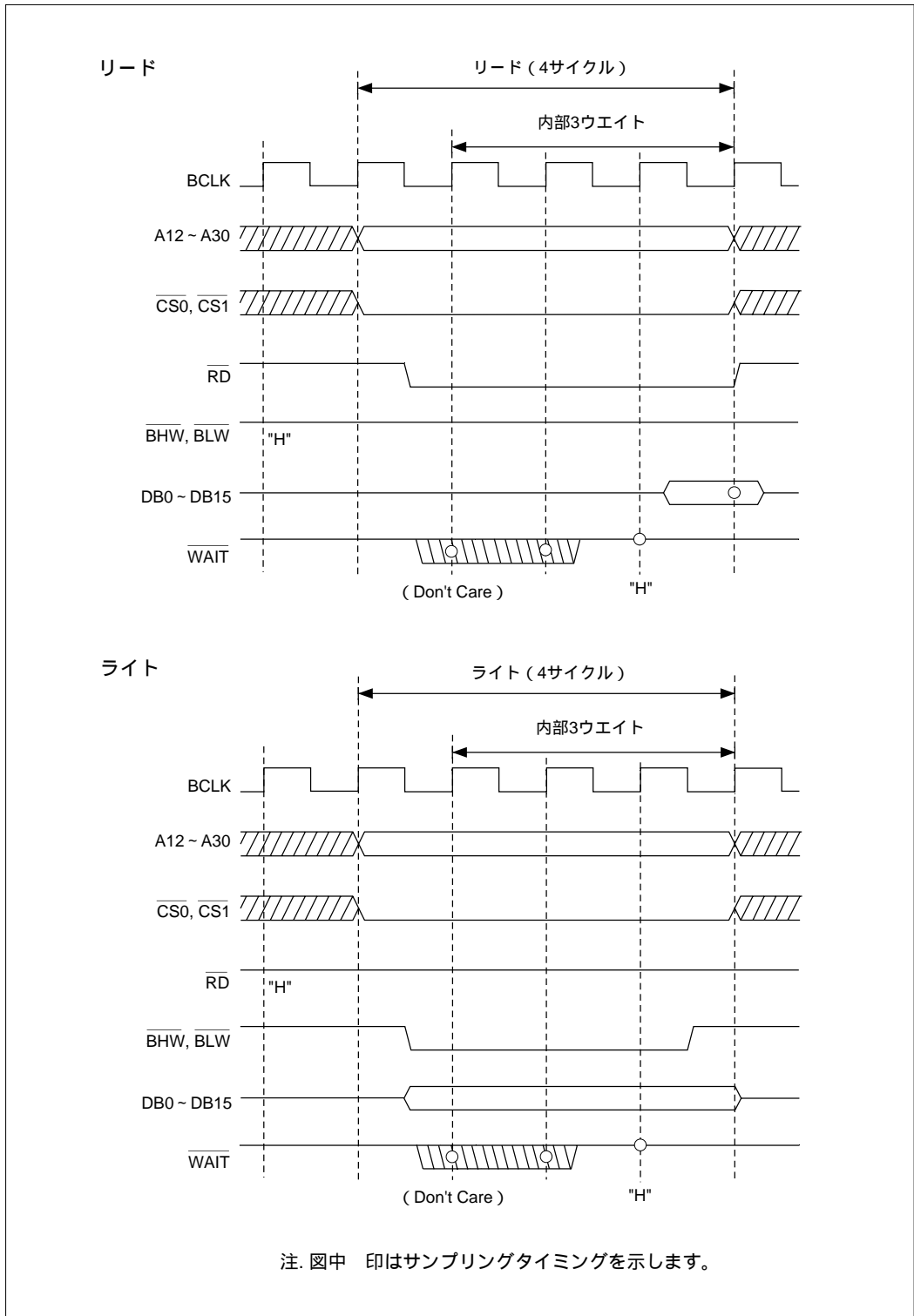


図16.3.4 リード/ライトタイミング(内部3ウェイトアクセス時)

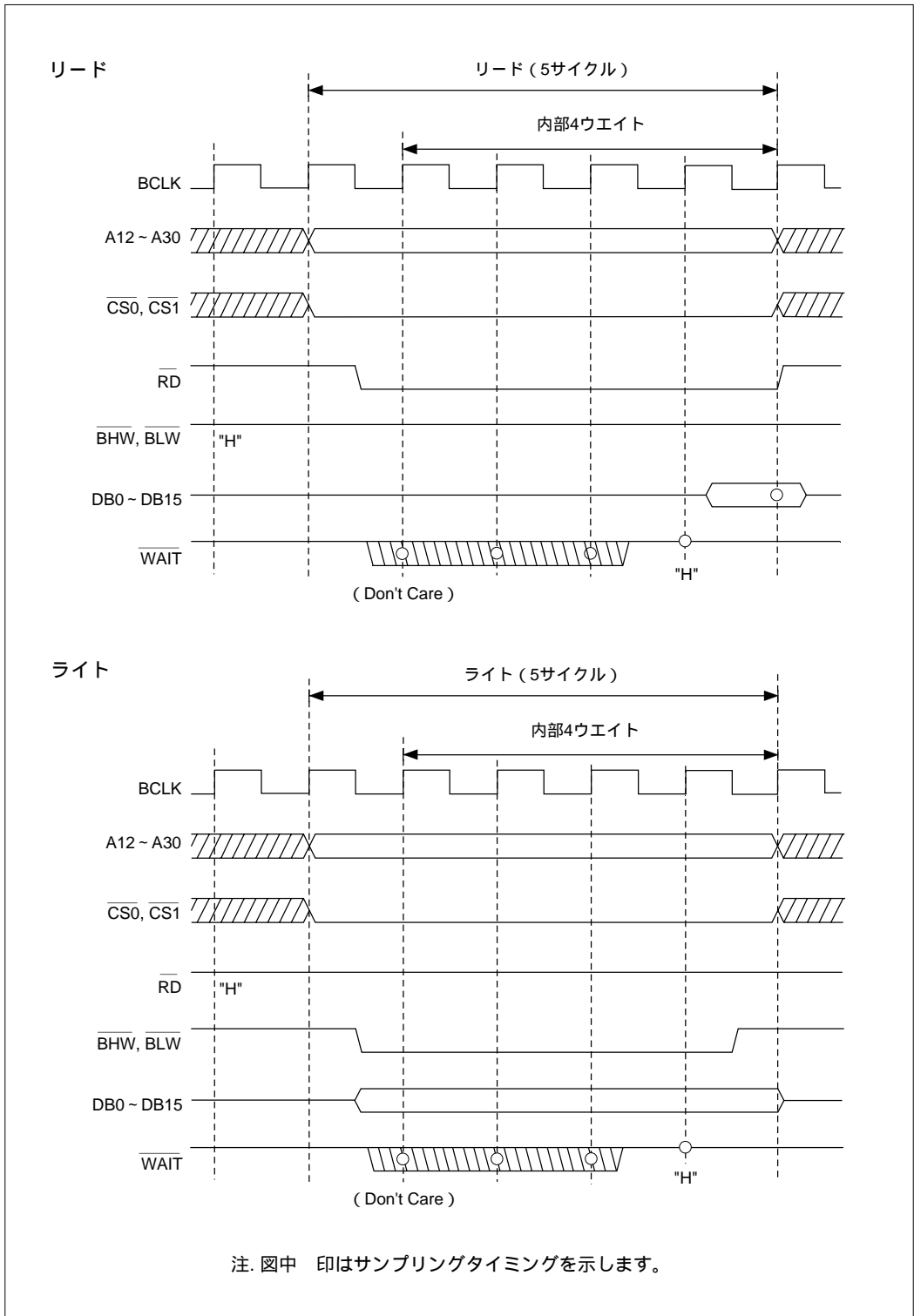


図16.3.5 リード/ライトタイミング(内部4ウェイトアクセス時)

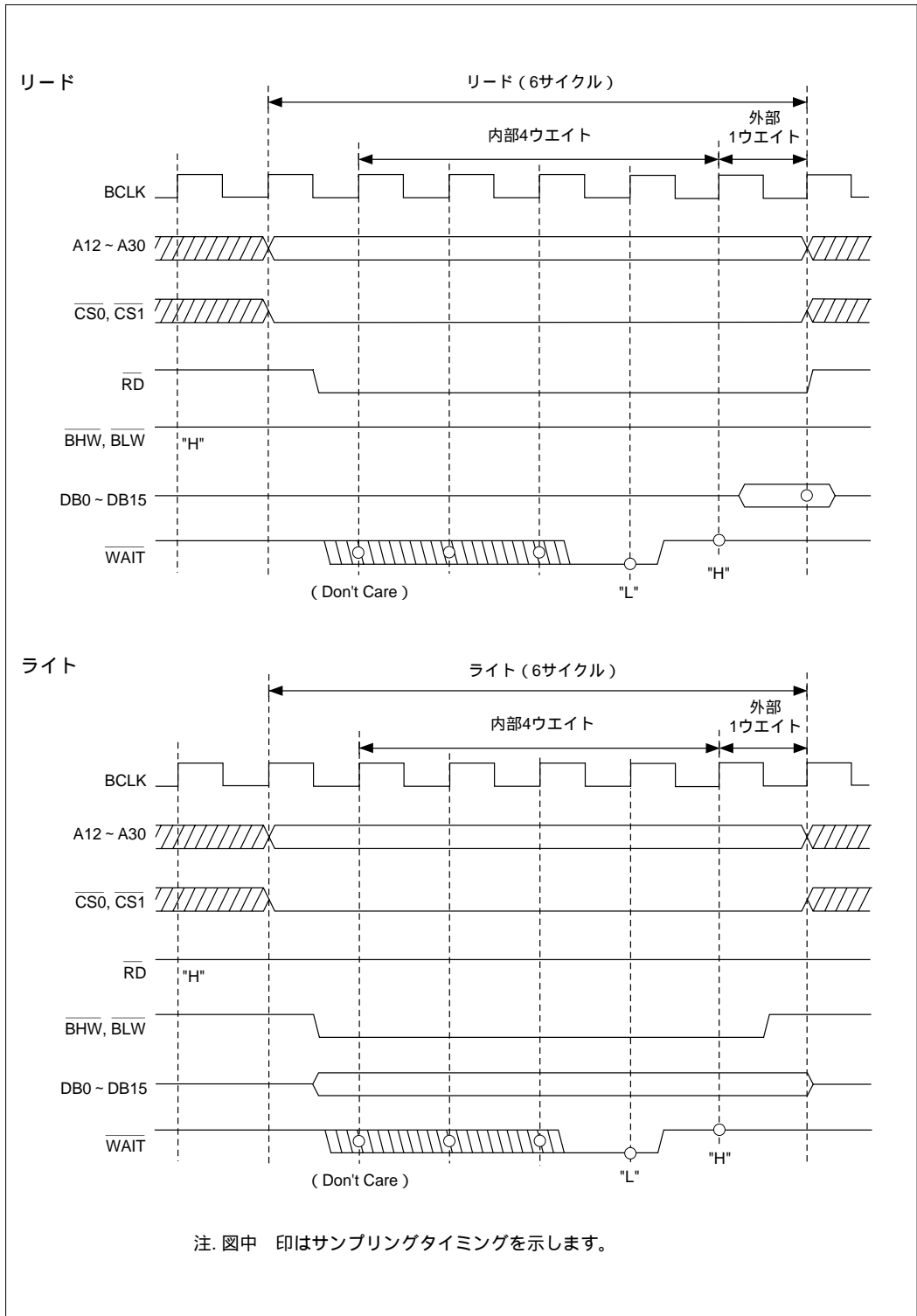


図16.3.6 リード/ライトタイミング(内部4+外部1ウェイトアクセス時)

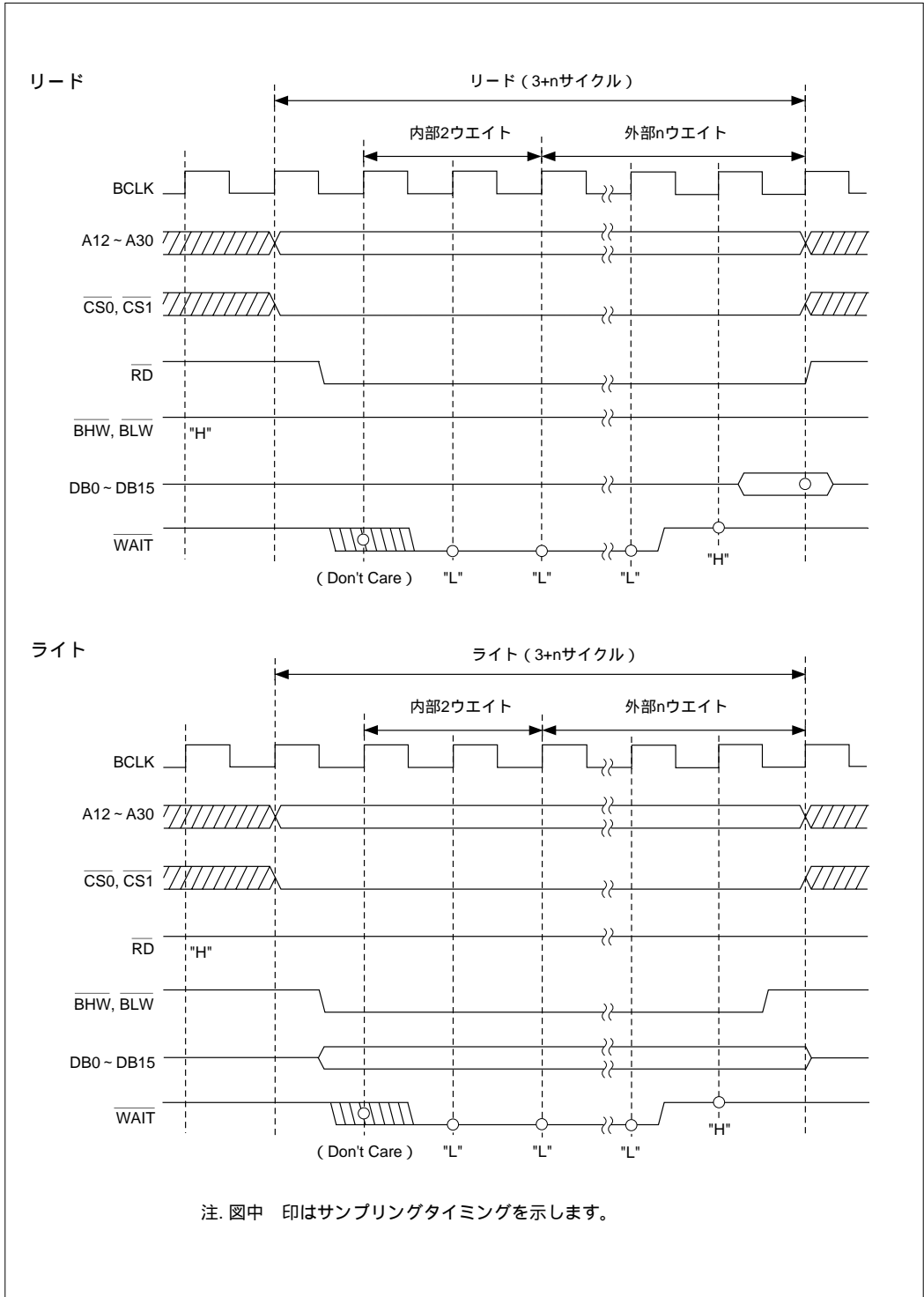


図16.3.7 リード/ライトタイミング(内部2 + 外部nウェイトアクセス時)

(2) バスモード制御レジスタが1の場合

外部リード/ライト動作は、アドレスバス、データバスと $\overline{CS0}$, $\overline{CS1}$, \overline{RD} , \overline{BHE} , \overline{BLE} , \overline{WAIT} , \overline{WR} の各信号により行います。

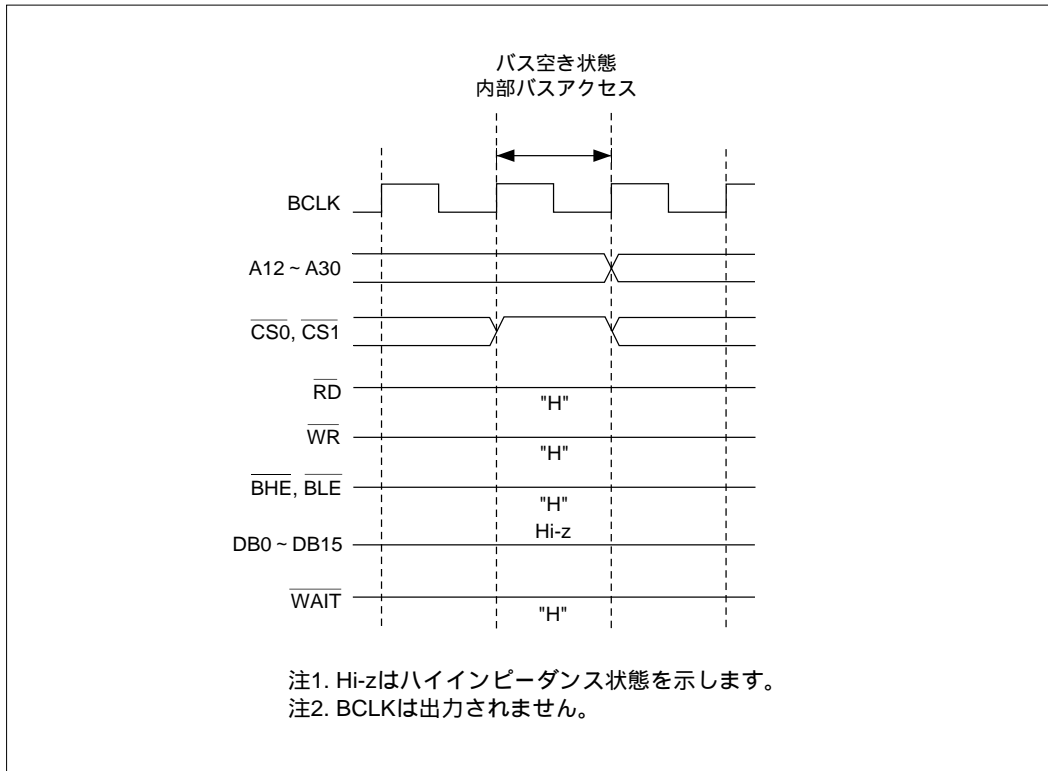


図16.3.8 バス空き状態/内部バスアクセス時

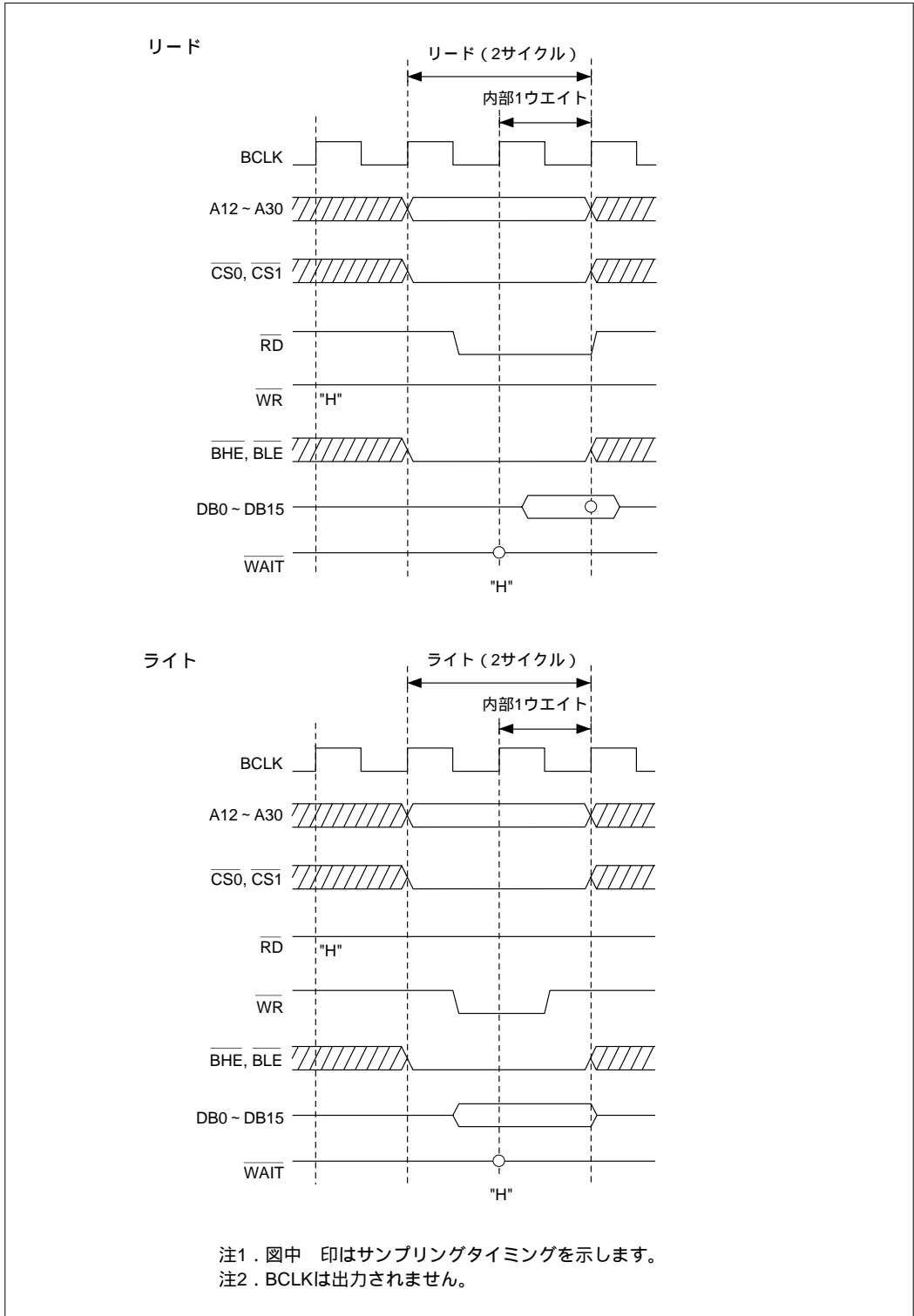


図16.3.9 リード/ライトタイミング(内部1ウェイトアクセス時)

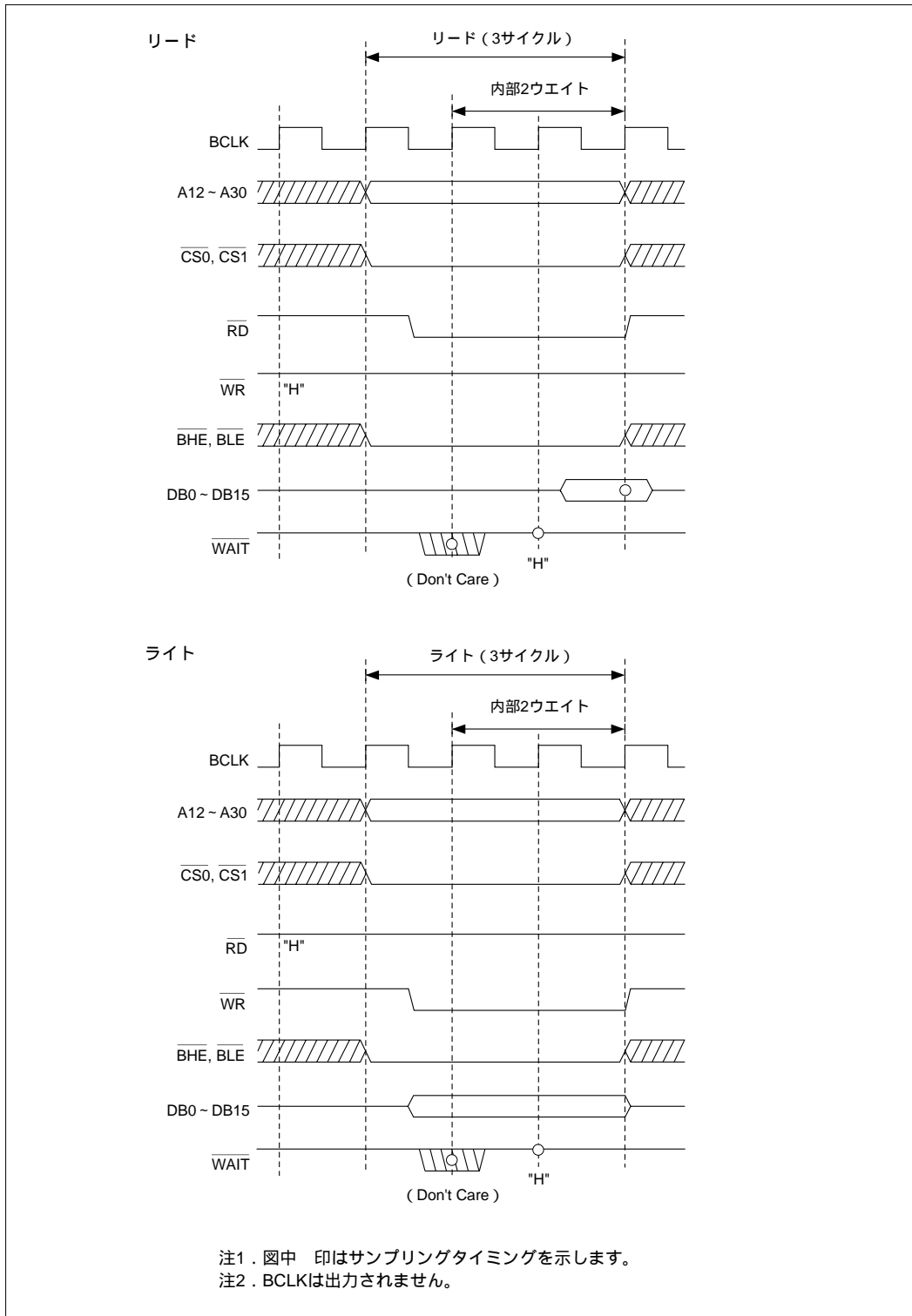


図16.3.10 リード/ライトタイミング(内部2ウェイトアクセス時)

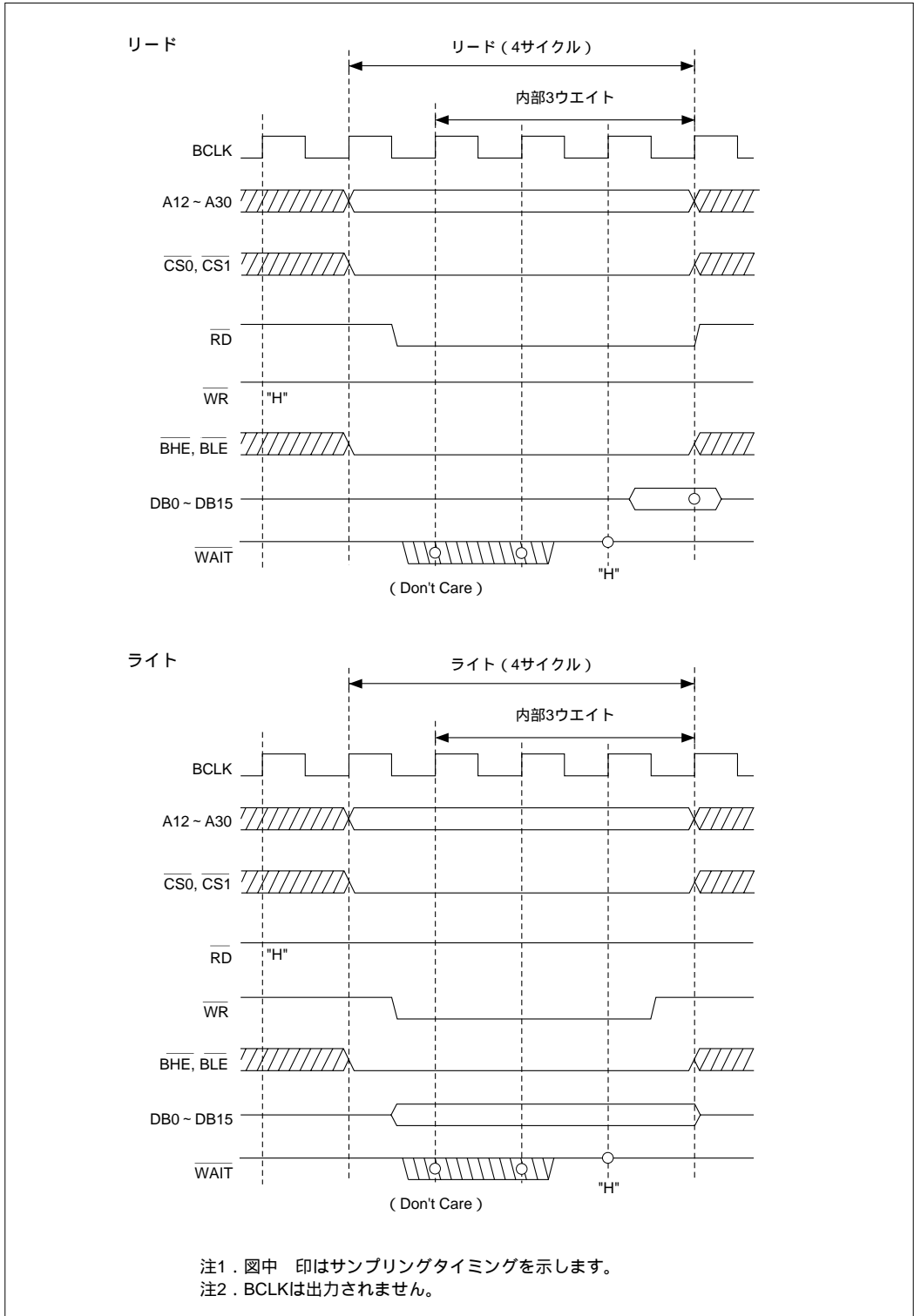


図16.3.11 リード/ライトタイミング(内部3ウェイトアクセス時)

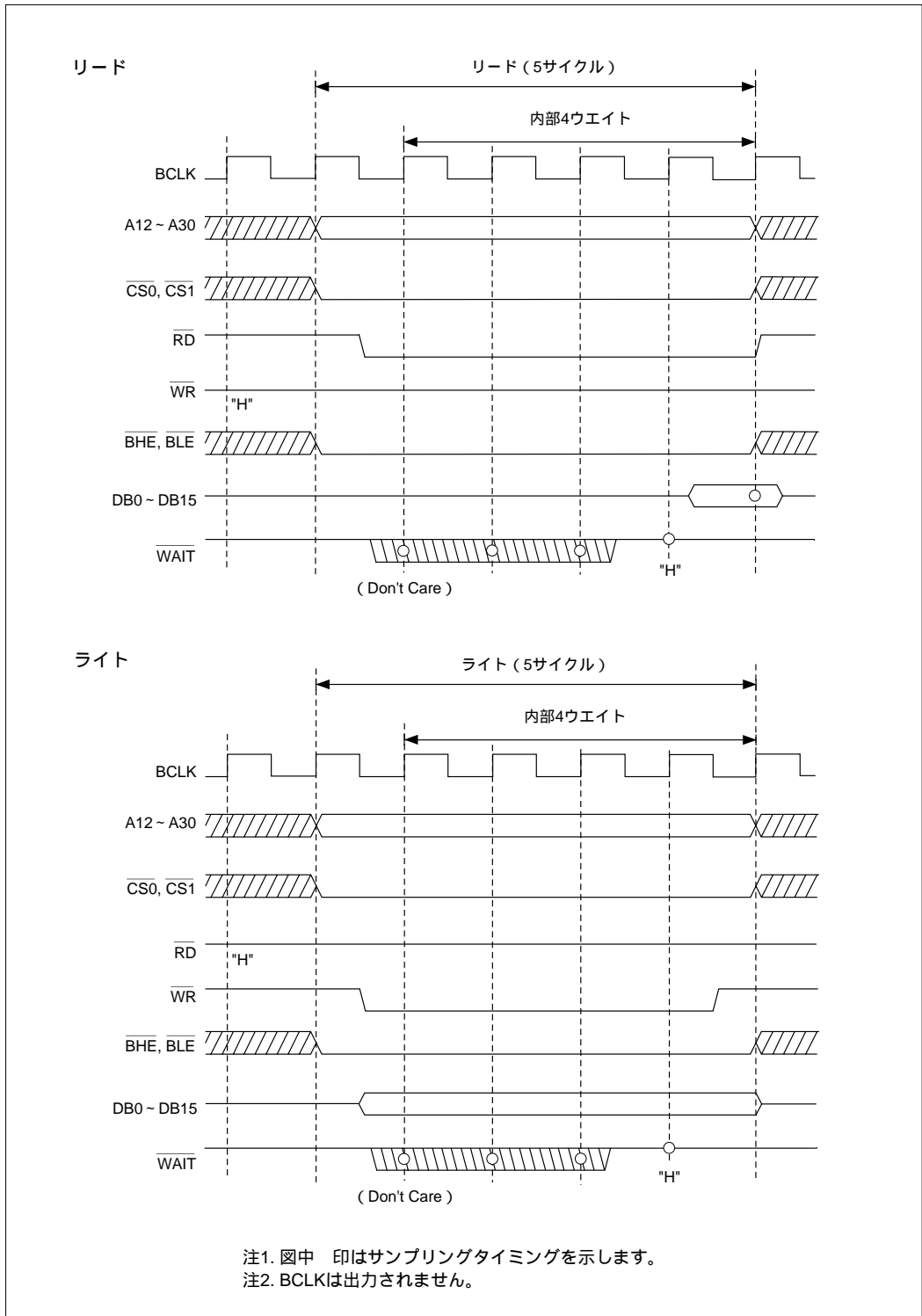


図16.3.12 リード/ライトタイミング(内部4ウェイトアクセス時)

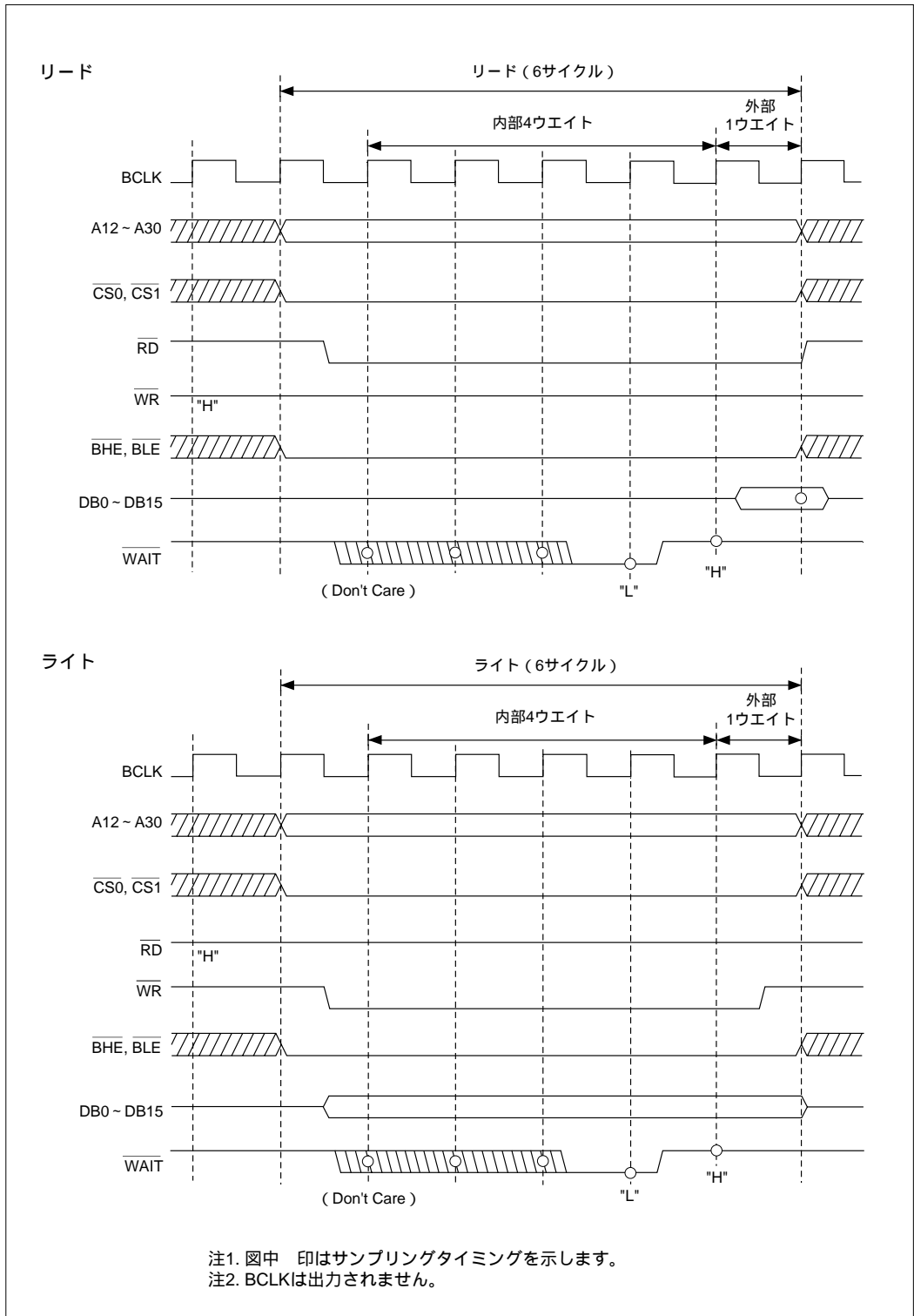


図16.3.13 リード/ライトタイミング(内部4+外部1ウェイトアクセス時)

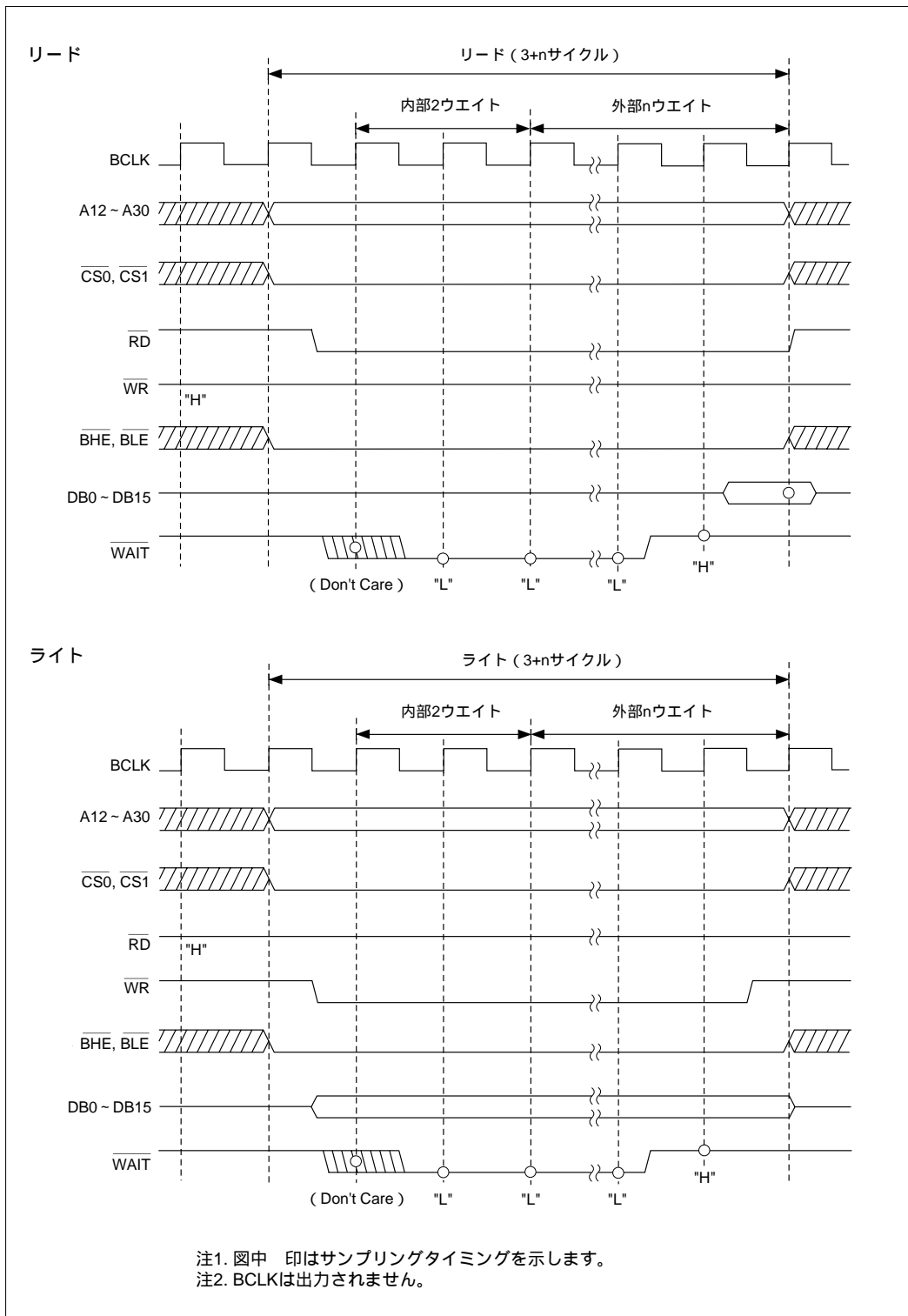


図16.3.14 リード/ライトタイミング(内部2+外部nウェイトアクセス時)

* 空きページです *

第17章

RAMバックアップモード

- 17.1 概要
- 17.2 電源断時のRAMバックアップ例
- 17.3 低消費電力化のためのRAMバックアップ例
- 17.4 RAMバックアップモードの解除(ウエイクアップ)

17.1 概要

RAMバックアップモードは、電源を切った状態で内部RAMの内容を保持するモードです。RAMバックアップモードは、次の二つの目的で使用されます。

電源断時の内蔵RAMデータのバックアップ

システムの低消費電力化のために任意のタイミングでCPUの電源を切りたい場合

RAMバックアップ用のVDD端子に2.0～3.3Vの電圧を印加し、その他の端子に0Vを印加すると、M32R/ECUはRAMバックアップモードになります。

RAMバックアップモード時、内部RAMの内容が保持された状態で、CPUおよび内蔵周辺I/Oは停止しています。また、RAMバックアップモード中はVDD端子以外の端子は“L”レベルのため、効果的な低消費電力が実現できます。

17.2 電源断時のRAMバックアップ例

電源断時のRAMバックアップ回路例を図17.2.1に示します。この回路例を使用した場合のRAMバックアップ例について、以下に説明します。

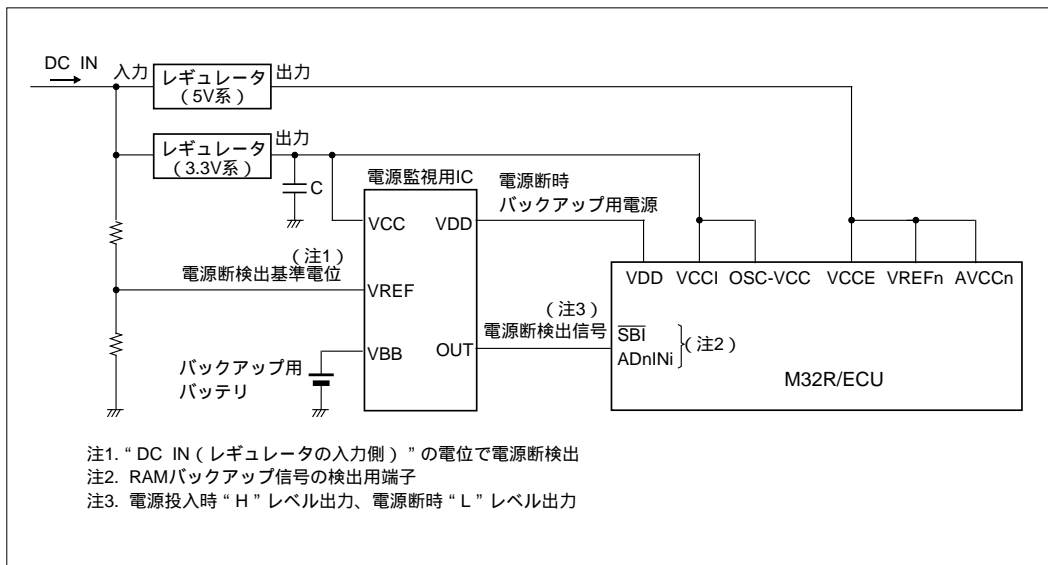


図17.2.1 電源断時のRAMバックアップ回路例

17.2.1 通常動作時の状態

図17.2.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号の検出用の $\overline{\text{SBI}}$ 端子または ADnINi ($i=0 \sim 15$)端子へは“H”レベルが入力されます。

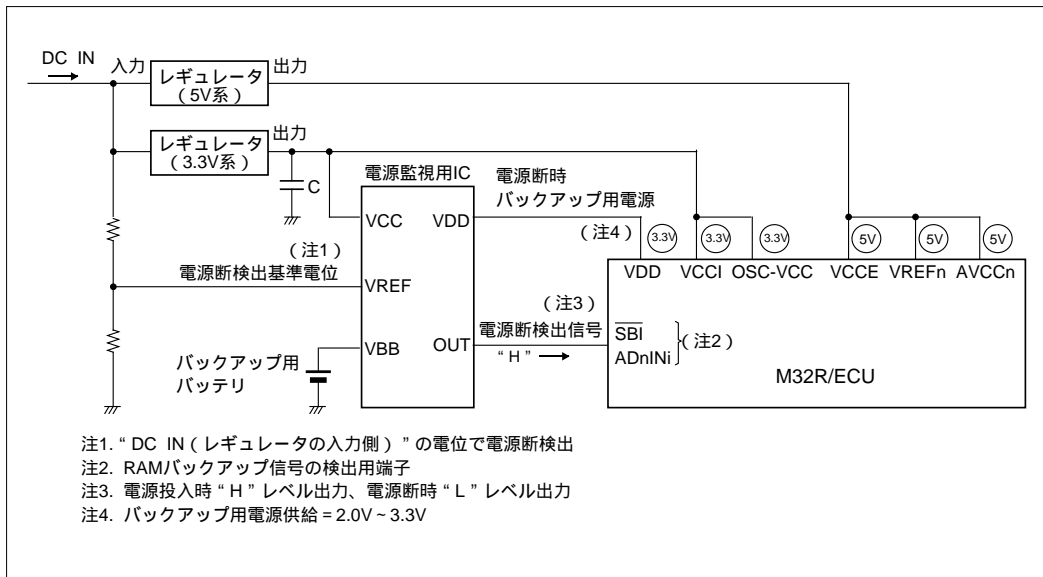


図17.2.2 通常動作時の状態

17.2.2 RAMバックアップ時の状態

図17.2.3に電源断時のRAMバックアップの状態を示します。電源が切れると電源監視用ICによって、バックアップ用バッテリーから電流が供給されます。また、電源監視用ICの電源断検出信号端子から“L”レベルが出力され、SBI端子またはADnINi端子は“L”レベルになりRAMバックアップ信号の発生となります(図17.2.3の)。電源断検出判定は、電源断時のソフトウェア処理時間を確保するため、必ず“DC IN(レギュレータの入力側)”の電位で行う必要があります。

RAMバックアップモードを有効にするためには、次の設定を行ってください。

(1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図17.2.3の)。

(1)の設定後、VCCへの電流の供給が切れると、VDD端子は2.0V～3.3V、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図17.2.3の)。

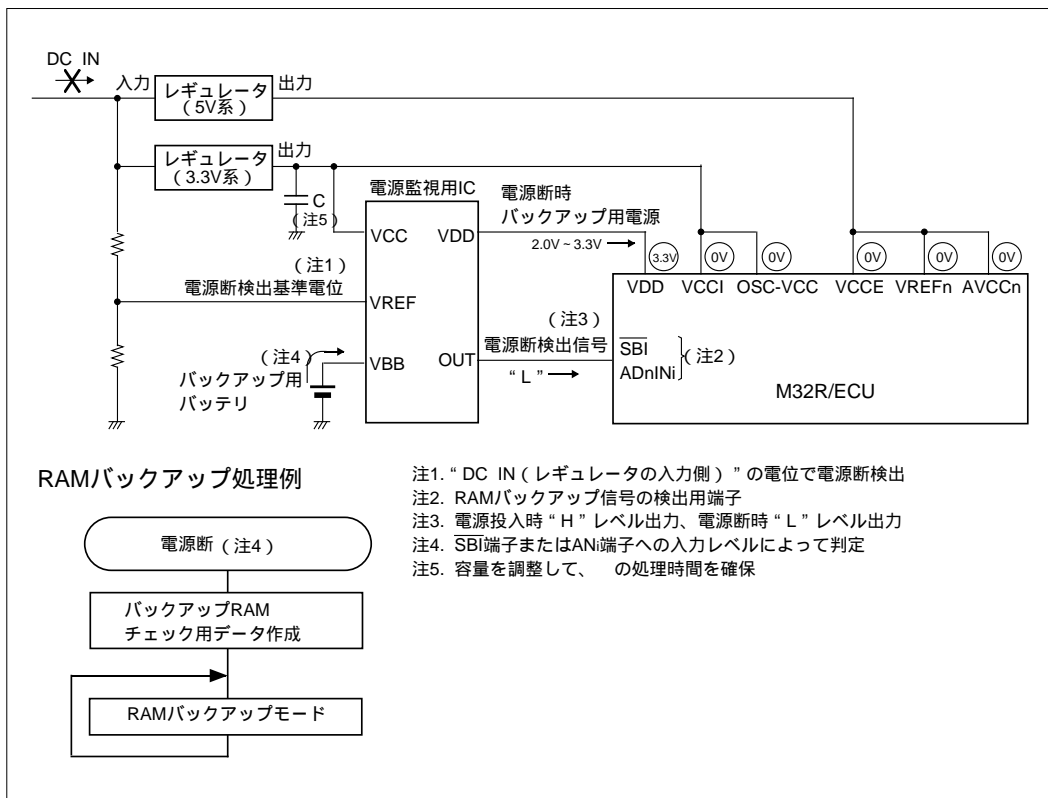


図17.2.3 電源断時のRAMバックアップ時の状態

17.3 低消費電力化のためのRAMバックアップ例

低消費電力化のためのRAMバックアップ回路例を図17.3.1に示します。この回路例を使用した場合の低消費電力化のためのRAMバックアップ例について、以下に説明します。

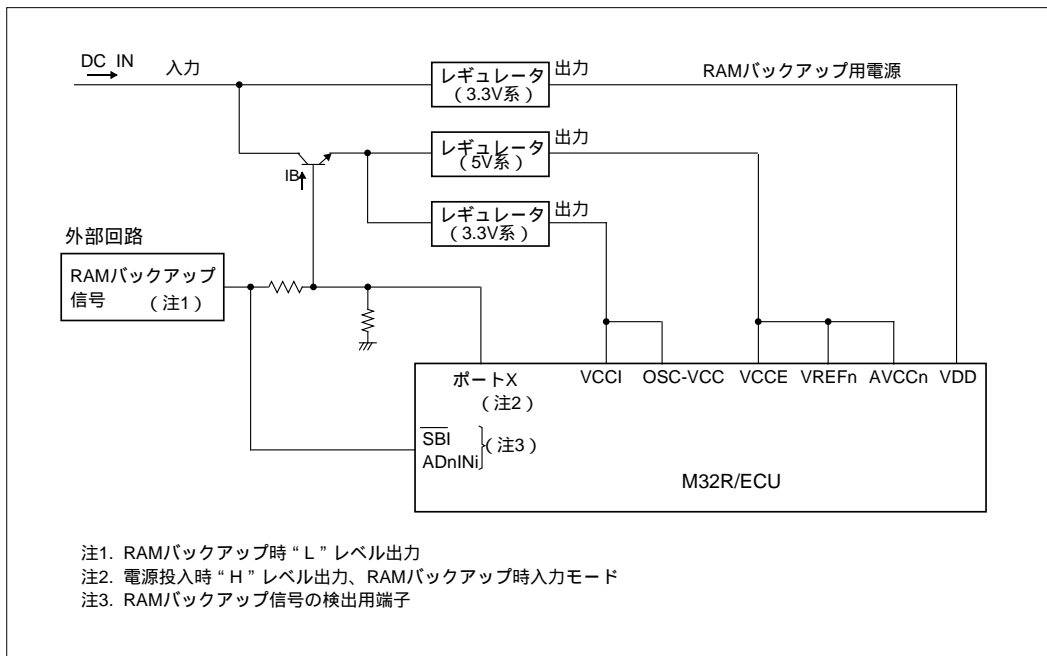


図17.3.1 低消費電力化のためのRAMバックアップ回路例

17.3.1 通常動作時の状態

図17.3.2に通常動作時の状態を示します。通常動作時、RAMバックアップ信号を出力する外部回路からは、“H”レベルが出力されます。RAMバックアップ信号の検出用のSBI端子またはADnINi(i=0～15)端子へは“H”レベルが入力されます。

トランジスタのベース接続端子であるポートXからは、“H”レベルを出力してください。この処置によって、トランジスタのベース電圧IBが“H”レベルになり、トランジスタを経由して電源からVCC端子へ電流が供給されます。

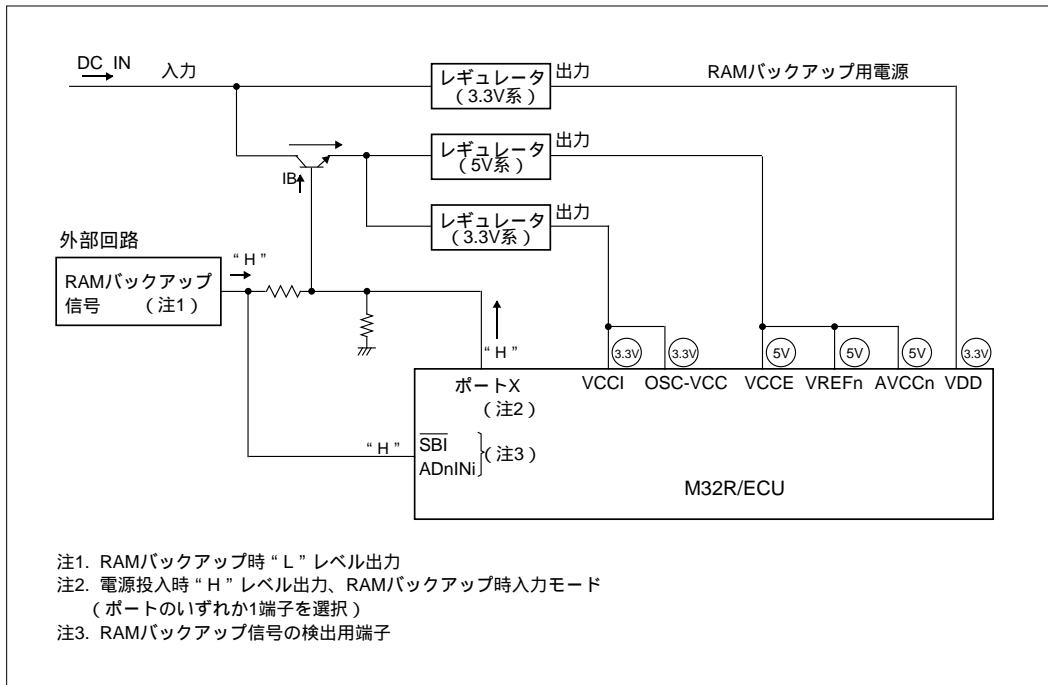


図17.3.2 通常動作時の状態

17.3.2 RAMバックアップ時の状態

図17.3.3にRAMバックアップ時の状態を、図17.3.4にRAMバックアップシーケンスを示します。外部回路から“L”レベルが出力されるとSBI端子またはADnINi端子へ“L”レベルが入力されます。これらの端子への“L”レベル入力が、RAMバックアップ信号の発生となります(図17.3.3のA、)。RAMバックアップモードを有効にするためには、次の設定を行ってください。

- (1) RAMバックアップモードから通常モードに復帰したときに、RAMのデータが正常に保存されていたかのチェック用データを作成(図17.3.3の)。)
 - (2) 低消費電力を実現するために、ポートX以外のプログラマブル入出力ポートをすべて入力モード(又は出力モードで“L”レベル出力)に設定する(図17.3.3の)。
 - (3) ポートXを入力モードに設定する(図17.3.3のB、)。この処置によってトランジスタのベース電圧IBが“L”レベルになり、電流はトランジスタを経由して電源からVCC端子へ流れないため(図17.3.3のC)、VCC端子への電流の供給が切れます(図17.3.3のD)。
- (1)~(3)の設定によってVDD端子は $3.3V \pm 10\%$ 、その他の端子は0Vになり、M32R/ECUはRAMバックアップモードになります(図17.3.3の)。

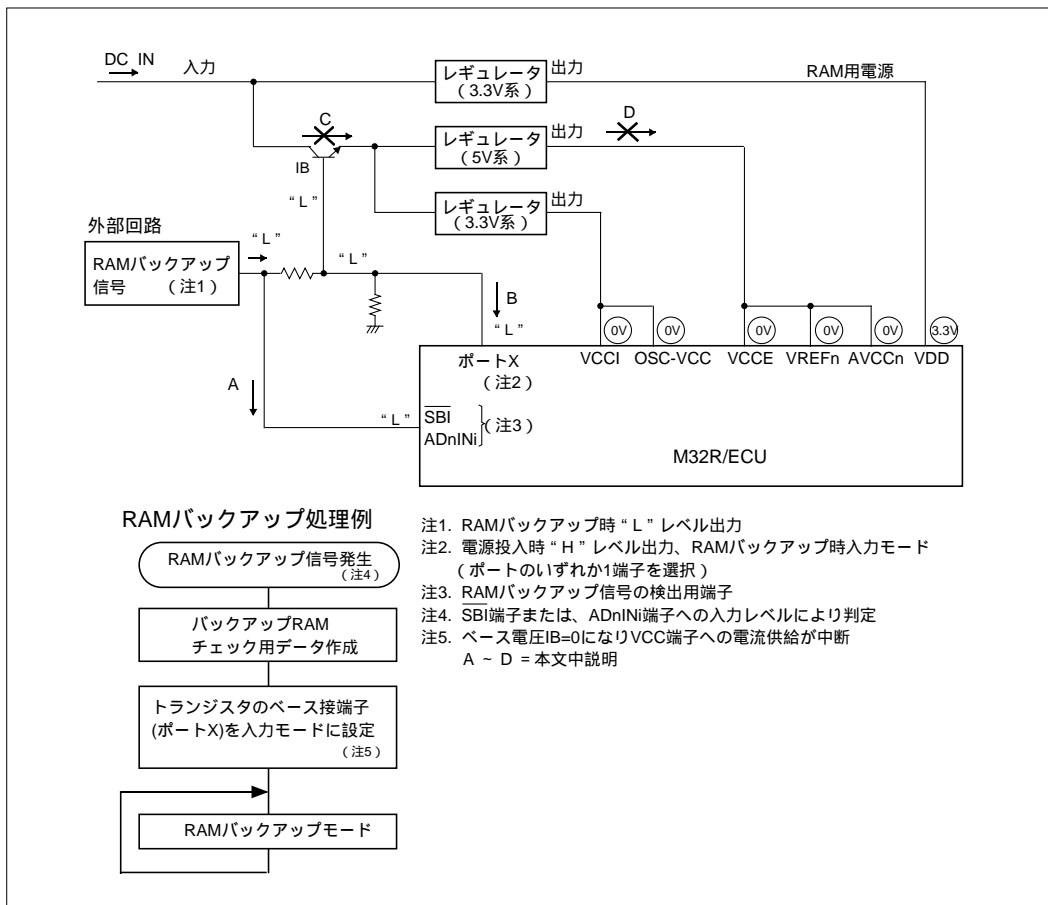


図17.3.3 低消費電力化時のRAMバックアップ時の状態

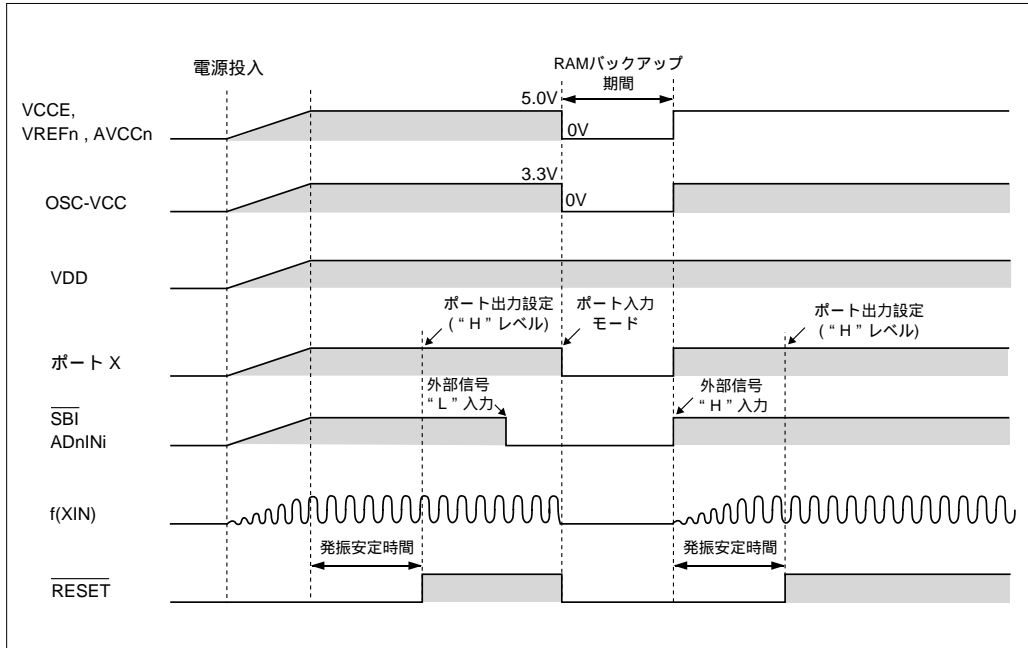


図17.3.4 低消費電力化のためのRAMバックアップシーケンス例

17.3.3 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

ポートXデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベル“H”を設定した後、ポートXを出力モードにしてください。

この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が“L”レベルになり、RAMバックアップモードなることがあります。

17.4 RAMバックアップモードの解除(ウエイクアップ)

RAMバックアップモードを解除して通常動作に復帰するための処理を、ウエイクアップ処理と言います。図17.4.1にウエイクアップ処理例を示します。

ウエイクアップ処理は、リセット入力により行います。ウエイクアップ処理を次に示します。

- (1) リセット動作を実行(図17.4.1の)。
リセットについては「第6章 リセット」を参照。
- (2) ポートXを出力モードに設定し、“H”レベルを出力(図17.4.1の)。(注)
- (3) RAMバックアップモード時に作成した、チェック用データの内容を判定(図17.4.1の)。
- (4) (3)の判定結果が一致しなかった場合、RAMの初期設定を行う(図17.4.1の)。
(3)の判定結果が一致した場合は、保持されていたデータをプログラム中で使用。
- (5) 各初期設定を行った(図17.4.1の)後、メインルーチンへ復帰(図17.4.1の)。

注. 電源断時のRAMバックアップモードのウエイクアップには、ポートXの設定処理は不要となります。

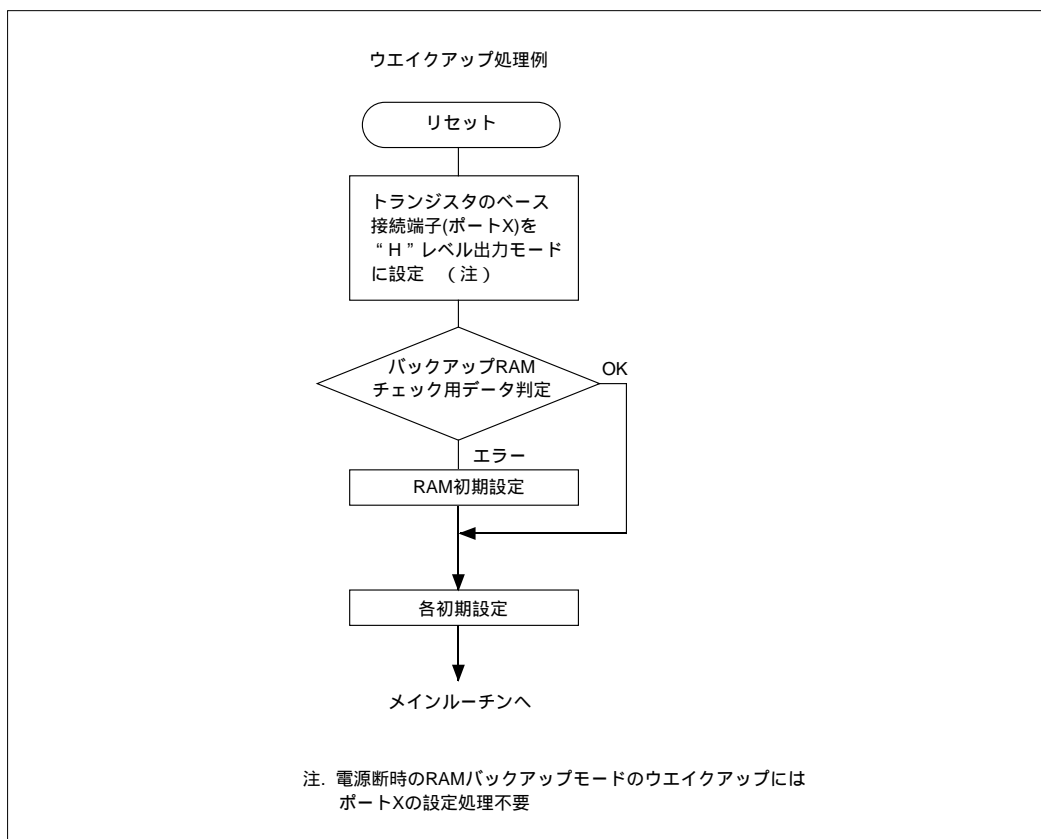


図17.4.1 ウエイクアップ処理

* 空きページです *

第18章

発振回路

- 18.1 発振回路
- 18.2 クロック発生回路

18.1 発振回路

M32R/ECUは、CPUコア、内蔵周辺I/Oおよび内蔵メモリなどの動作クロックを供給する発振回路を内蔵しています。クロック入力端子(XIN)に入力された周波数を内蔵PLL回路により4通倍したクロックがCPUコア、内蔵メモリの動作クロックであるCPUクロックになります。また、4通倍したクロックを2分周したクロックが内部周辺I/Oの動作クロックである内部周辺クロックになります。

18.1.1 発振回路例

XIN端子とXOUT端子の間にセラミック共振子(または水晶発振子)を外付けすることによって、クロック発振回路を構成することができます。

共振子を外付けした場合の回路およびPLL回路の制御端子(VCNT)に接続する回路を示したシステムクロック発生回路例を図18.1.1に示します。Rf,CIN,COUT,Rdなどの定数は、共振子及び発振子メーカーにお問い合わせの上、推奨する値に設定してください。

発振回路を用いずに、外部からクロック信号を入力する場合は、XIN端子にクロック信号を入力し、XOUT端子はオープンにしてください。

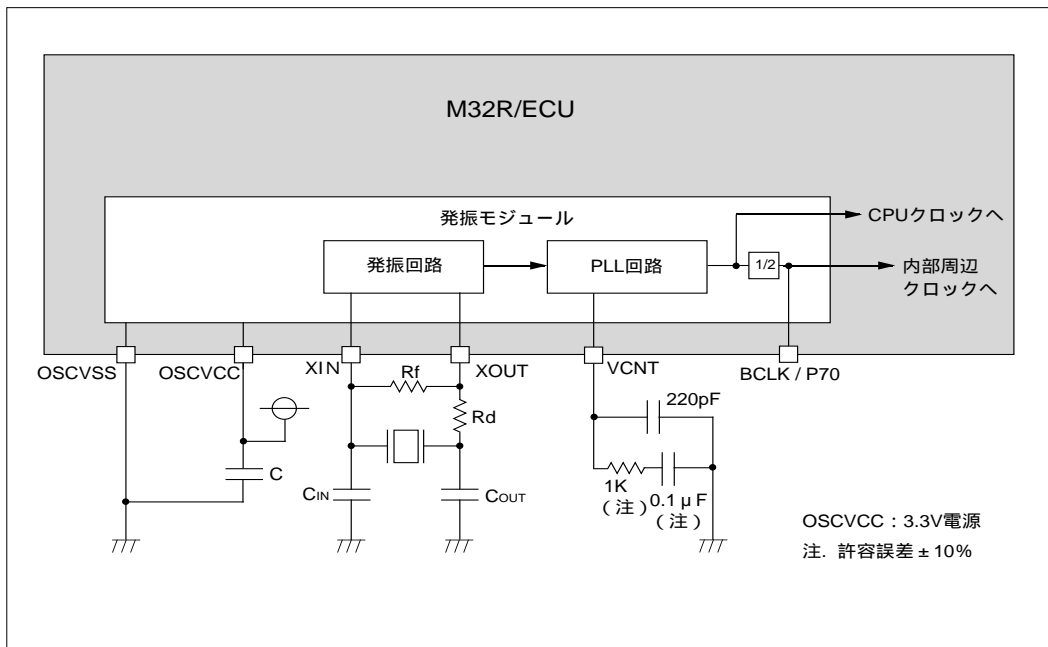


図18.1.1 システムクロック発生回路例

18.1.2 システムクロックの出力機能

入力クロックの2倍の周波数のクロックをBCLK端子から出力させることができます。BCLK端子はポートP70と共用しています。システムクロックを出力させる場合は、P7動作モードレジスタ(P7MOD)のD8を"1"にしてください。

下記にP7動作モードレジスタの構成を示します。

P7動作モードレジスタ(P7MOD)

<アドレス:H'0080 0747 >

D8	9	10	11	12	13	14	D15
P70MOD	P71MOD	P72MOD	P73MOD	P74MOD	P75MOD	P76MOD	P77MOD

<リセット時:H'00 >

D	ビット名	機能	R	W
8	P70MOD (ポートP70動作モード)	0:P70 1:BCLK		
9	P71MOD (ポートP71動作モード)	0:P71 1:WAIT		
10	P72MOD (ポートP72動作モード)	0:P72 1:HREQ		
11	P73MOD (ポートP73動作モード)	0:P73 1:HACK		
12	P74MOD (ポートP74動作モード)	0:P74 1:RTDXTD		
13	P75MOD (ポートP75動作モード)	0:P75 1:RTDRXD		
14	P76MOD (ポートP76動作モード)	0:P76 1:RTDACK		
15	P77MOD (ポートP77動作モード)	0:P77 1:RTDCLK		

18.1.3 電源投入時の発振安定時間

セラミック共振子(または水晶発振子)を使用した発振回路では、電源投入後に発振が安定しない期間があります。このため、使用する発振回路条件に適応した発振安定時間を生成してください。

図18.1.2に電源投入時の発振安定時間を示します。

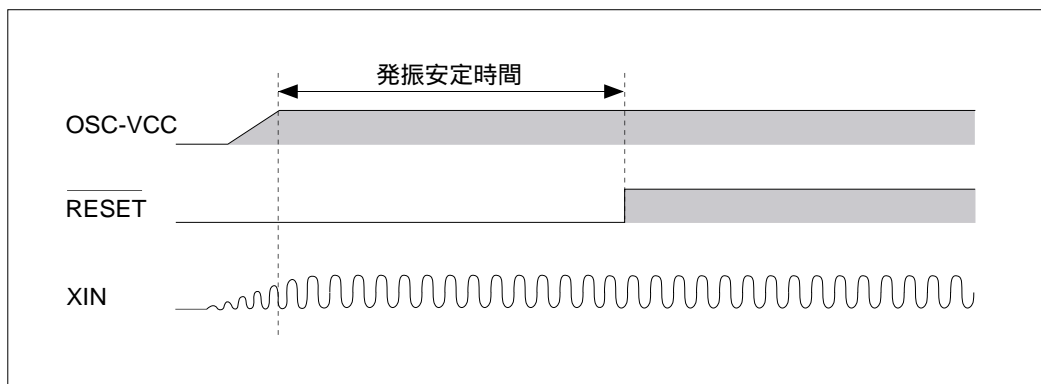


図18.1.2 電源投入時の発振安定時間

18.2 クロック発生回路

CPUおよび周辺回路にそれぞれ独立したクロックを供給します。

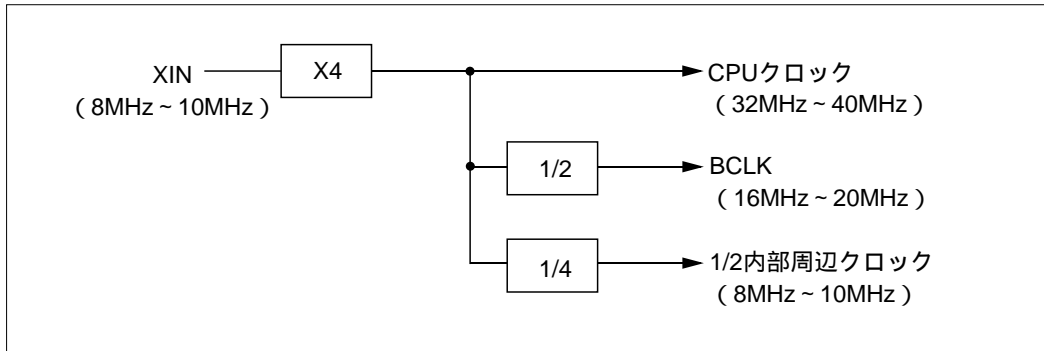


図18.2.1 クロック発生回路の構成

空きページです

第19章

JTAG

- 19.1 JTAG概要
- 19.2 JTAG回路構成
- 19.3 JTAGレジスタ
- 19.4 JTAG基本動作
- 19.5 バウンダリスキャン記述言語
- 19.6 JTAG接続時のボード設計注意事項
- 19.7 JTAG未使用時の端子処理

19.1 JTAG概要

32171は、IEEE 1149.1テストアクセスポート規格(IEEE Standard Test Access Port and Boundary-Scan Architecture(IEEE Std. 1149.1a-1993))に準拠したJTAG(Joint Test Action Group)インタフェースを備えています。

このJTAGインタフェースは、バウンダリスキャンテストのための入出力バス(バウンダリスキャンパス)として使用できます。IEEE 1149.1 JTAGテストアクセスポートの詳細については、「IEEE Std. 1149.1a-1993」の文書を参照してください。

32171に実装されているJTAGインタフェース関連端子の機能を、以下に示します。

表19.1.1 JTAG端子機能

種類	端子名	名称	入出力	機能
TAP (注)	JTCK	テスト クロック	入力	テスト回路へのクロック入力です。
	JTDI	テストデータ 入力	入力	テスト命令コード、テストデータを入力する同期シリアルデータ入力端子です。JTCKの立ち上がりでサンプリングされます。
	JTDO	テストデータ 出力	出力	テスト命令コード、テストデータを出力する同期シリアルデータ出力端子です。JTCKの立ち下がりで変化、Shift-IRもしくはShift-DR状態のときにのみ出力されます。それ以外の状態の時はHi-Zになります。
	JTMS	テストモード セレクト	入力	テスト回路の状態遷移を制御するテストモード選択入力です。JTCKの立ち上がりでサンプリングされます。
	JTRST	テスト リセット	入力	テスト回路を非同期に初期化する"L"アクティブのテストリセット入力です。リセット動作を保証するため、この信号が"L"から"H"に変化する時にはJTMS信号入力を"H"に保つ必要があります。

(注) TAP : Test Access Port、IEEE 1149.1に規定されたJTAGインタフェース

19.2 JTAG回路構成

JTAG回路は、以下のブロックから構成されます。

- バウンダリスキャンパスを通してフェッチされる命令コードを保持する命令レジスタ
- バウンダリスキャンパスを通してアクセスされるデータレジスタ群
- JTAG部の状態遷移を制御するテストアクセスポート(以下TAPと略)コントローラ
- 入力選択、出力選択等の制御ロジック

JTAG回路構成を以下に示します。

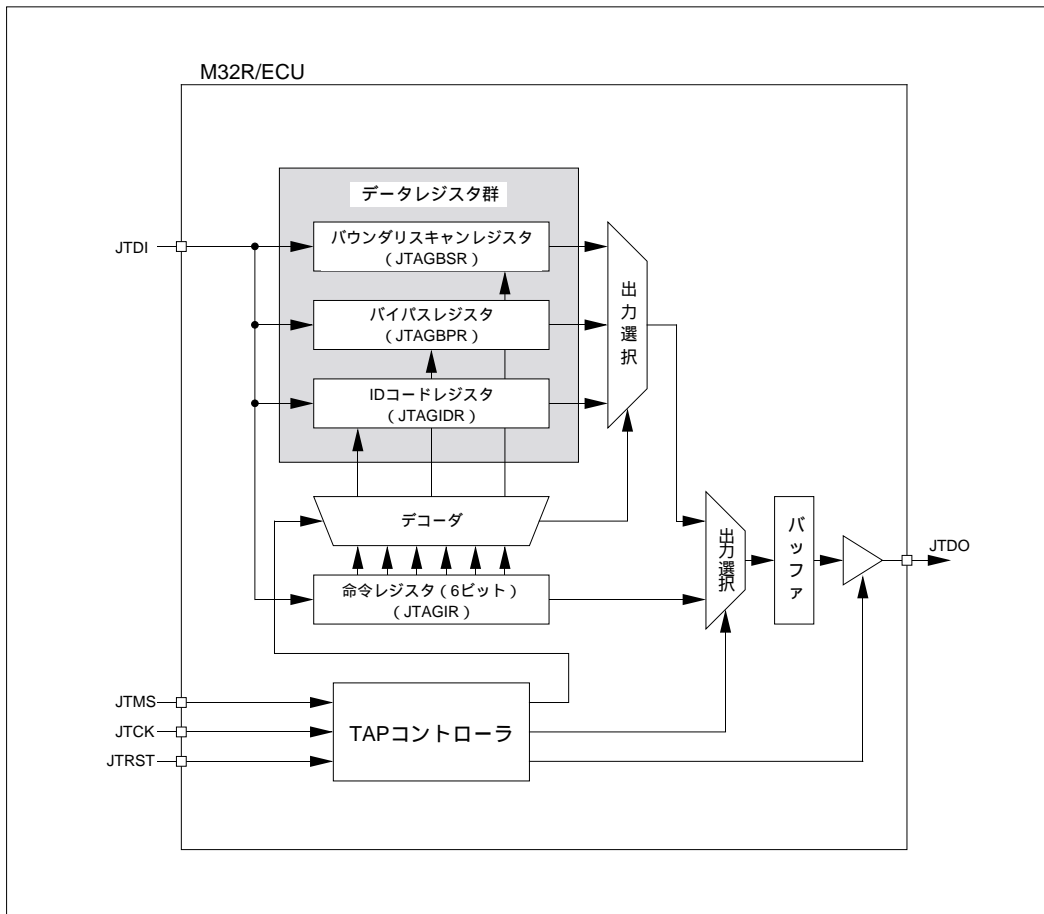


図19.2.1 JTAG回路構成

19.3 JTAGレジスタ

19.3.1 命令レジスタ(JTAGIR)

命令レジスタは、命令コードを保持する6ビットのレジスタであり、IRパスシーケンスで設定します。命令レジスタに設定された命令によって、続くDRパスシーケンスで選択するデータレジスタが決定されます。

テストリセット時(テスト回路の初期化)の初期値はb'000010(ICODE命令)です。テストリセット後は、外部から命令コードが設定されるまでデータレジスタとしてICODEレジスタが選択されています。

「Capture-IR」状態では必ずb'110001(固定値)がロードされます。このため、本レジスタに設定した値にかかわらず、「Shift-IR」状態では必ずb'110001が(LSB側から順に)JTDO端子から出力されます。ただし、通常はこの値が命令コードとして扱われることはありません。

以下の操作は動作保証対象外です。以下の操作を行うと、例外的にb'110001を命令コードとして扱おうとするため、正常動作できなくなりますのでご注意ください。

「Capture-IR」 「Exit1-IR」 「Update-IR」

32171のJTAGインタフェースでは、以下の命令をサポートしています。

IEEE 1149.1で必須として定められた3命令(EXTTEST, SAMPLE/PRELOAD, BYPASS)
デバイス識別レジスタアクセス命令(ICODE)

表19.3.1 JTAG命令一覧

命令コード	命令略称	動作
b'000000	EXTTEST	チップ外の回路 / 基板レベルの接続テストを行います。
b'000001	SAMPLE/PRELOAD	動作中の回路の状態をサンプリングし、JTDO端子から出力すると同時に、次のバウンダリスキャンテストで使用されるデータをJTDI端子から入力し、事前に「バウンダリスキャンレジスタ」に設定します。
b'000010	ICODE	「IDコードレジスタ」を選択し、デバイスおよびメーカー識別データをJTDO端子から出力します。
b'111111	BYPASS	「バイパスレジスタ」を選択し、データの参照 / 設定を行います。

注1. 上記以外の命令コードは、設定しないでください。

注2. 「IRパスシーケンス」、「DRパスシーケンス」、「テストリセット」、「Capture-IR」状態、「Shift-IR」状態、「Exit1-IR」状態、「Update-IR」状態については、19.4章を参照ください。

19.3.2 データレジスタ

(1) バウンダリスキャンレジスタ (JTAGBSR)

バウンダリスキャンレジスタは、バウンダリスキャンテストを行うための471ビットのレジスタです。32171の各端子ごとに割り当てられています。

JTDI / JTDO端子間に接続されており、「EXTEST命令」および「SAMPLE/PRELOAD命令」発行時に選択されます。本レジスタは、「Capture-DR」状態で入力端子または内部ロジック出力値の状態をキャプチャします。「Shift-DR」状態では、サンプリングした値を出力すると並行して、バウンダリスキャンテスト用データを入力し、端子機能(入出力端子、3ステータ出力端子の方向)および出力値を設定します。

(2) バイパスレジスタ (JTAGBPR)

バイパスレジスタは、バウンダリスキャンテストにおいて、32171がその対象とならないときに、バウンダリスキャンパスをバイパスするための1ビットのレジスタです。

JTDI / JTDO端子間に接続されており、「BYPASS命令」発行時に選択されます。本レジスタは、「Capture-DR」状態でb'0(固定値)がロードされます。

(3) IDコードレジスタ (JTAGIDR)

IDコードレジスタは、デバイスおよびメーカーを識別するための32ビットのレジスタであり、以下の情報を保持しています。

バージョン情報(4ビット) : b'0000
 パート番号(16ビット) : b'0011 0010 0010 0000
 製造者ID(11ビット) : b'000 0001 1100

本レジスタは、JTDI / JTDO端子間に接続されており、「IDCODE命令」発行時に選択されます。「Capture-DR」状態で上記IDCODEデータをロードし、「Shift-DR」状態でJTDO端子から出力します。

本レジスタは読み出しのみ可能です。DRパスシーケンスにおけるJTDI端子からの書き込みデータは無視されますので、「Shift-DR」状態中はJTDI="L"を入力してください。

0	3 4	19 20	30 31
バージョン	パート番号	製造者ID	1
4ビット	16ビット	11ビット	

注. 「Capture-DR」状態、「Shift-DR」状態については19.4章を参照ください。

19.4 JTAG基本動作

19.4.1 JTAG動作概要

命令レジスタおよびデータレジスタに対する基本的なアクセスには以下の3動作があり、TAPコントローラの状態遷移にもとづいて行われます。TAPコントローラは、JTMS入力によって状態遷移を行い、それぞれの状態における動作に必要な制御信号を生成し供給します。

キャプチャ (Capture) 動作

バウンダリスキャンテストの結果、またはレジスタごとに定義された固定データをサンプリングします。レジスタの動作としては、データ入力をシフトレジスタステージへロードします。

シフト (Shift) 動作

バウンダリスキャンパスを通して外部からアクセスを行います。外部からのデータ設定を行うと同時に、キャプチャ時にサンプリングした値を外部に出力します。レジスタの動作としては、各ビットのシフトレジスタステージ間で右シフト動作を行います。

アップデート (Update) 動作

シフト時に外部から設定したデータをドライブします。レジスタの動作としては、シフトレジスタステージに設定した値をパラレル出力ステージへ転送します。

JTAGインタフェースは、JTMS入力にしたがって内部状態を遷移し、以下の二つの動作を行います。いずれの場合も基本的に「キャプチャ シフト アップデート」の順で行われます。

IR パスシーケンス

命令コードを命令レジスタに設定して、続くDRパスシーケンスで操作の対象となるデータレジスタを選択します。

DR パスシーケンス

選択されたデータレジスタに対して、データの参照や設定を行います。

TAPコントローラの状態遷移およびJTAG関連レジスタの基本構成を以下に示します。

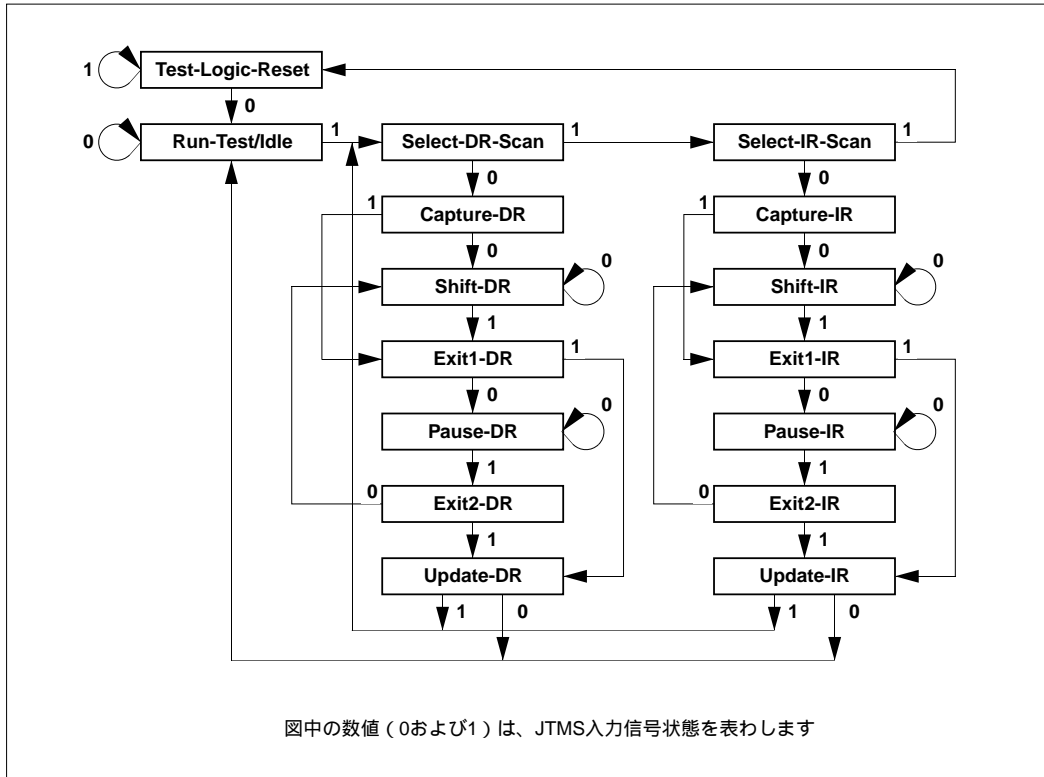


図19.4.1 TAPコントローラの状態遷移

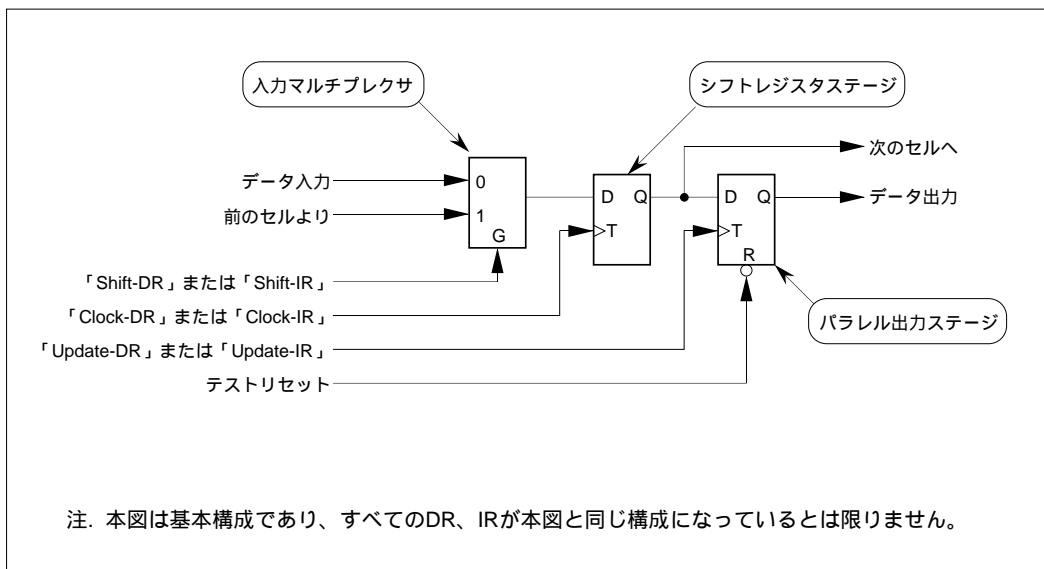


図19.4.2 JTAG関連レジスタの基本構成

19.4.2 IRパスシーケンス

命令レジスタ(JPEGIR)に命令コードを設定し、続くDRパスシーケンスでアクセス対象となるデータレジスタを選択します。IRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS="H"をJTCKの2サイクル期間入力し、「Select-IR-Scan」状態に移行します。
- (2) JTMS="L"にして「Capture-IR」状態に移行します。このとき、b'110001(固定値)が命令レジスタのシフトレジスタステージに設定されます。
- (3) 続けてJTMS="L"を入力すると「Shift-IR」状態に移行します。
「Shift-IR」状態では、各サイクルごとにシフトレジスタステージの値が1ビット右シフトされ、(2)で設定されたb'110001(固定値)がJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される命令コードがシフトレジスタステージに設定されていきます。6ビット構成の命令レジスタのシフトレジスタステージに命令コードを設定するため、「Shift-IR」状態はJTCKの6サイクル期間続けます。
シフト動作を中断したい場合は、一旦「Exit1-IR」状態を経由して「Pause-IR」状態へ移行します(JTMS="H" "L"を入力)。また「Pause-IR」状態から復帰する場合は、一旦「Exit2-IR」状態を経由して「Shift-IR」状態へ移行します(JTMS="H" "L"を入力)。
- (4) JTMS="H"にして「Shift-IR」状態から「Exit1-IR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS="H"を入力すると「Update-IR」状態に移行します。「Update-IR」状態では、命令レジスタのシフトレジスタステージに設定された命令コードが、命令レジスタのパラレル出力ステージに転送され、JTAG命令のデコードが開始されます。
- (6) 続けてJTMS="H"を入力すると「Select-DR-Scan」状態に、JTMS="L"を入力すると「Run-Test/Idle」状態に移行します。

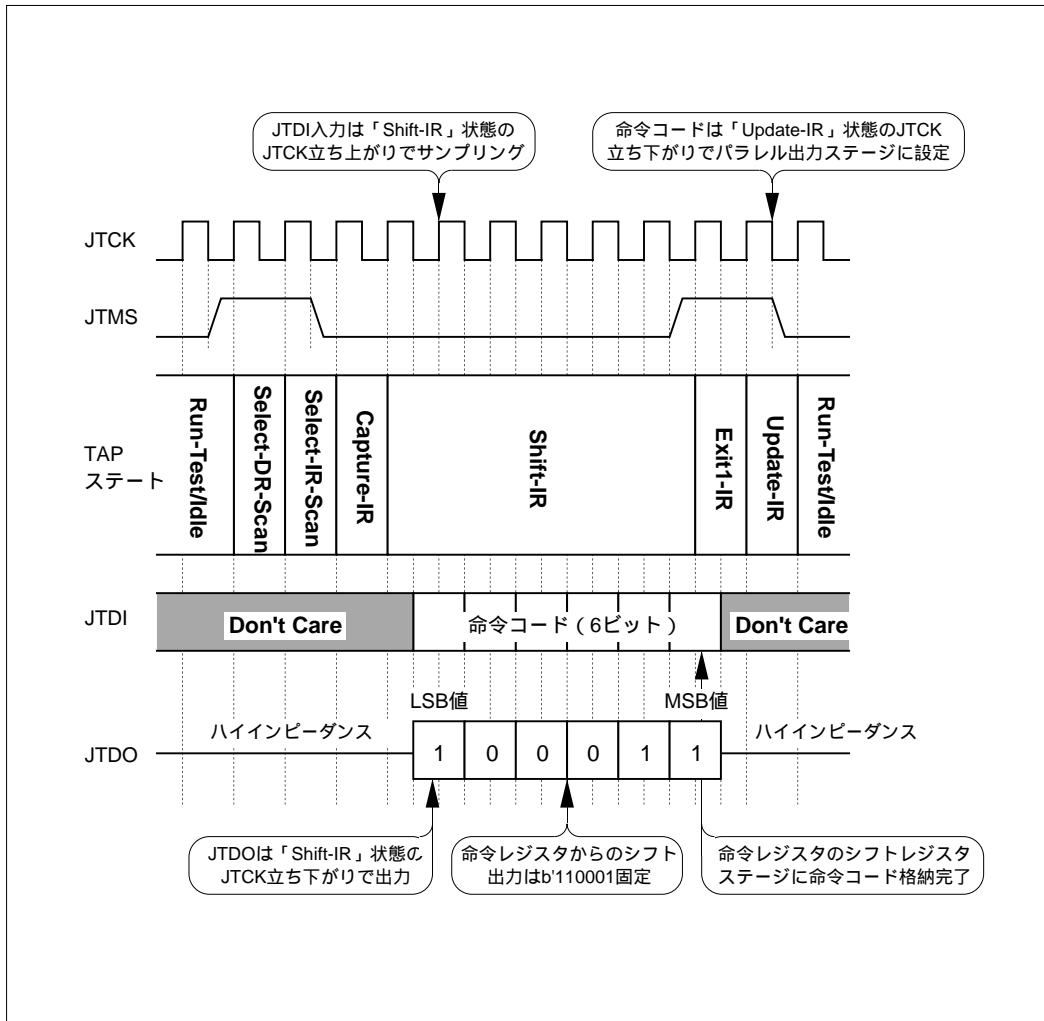


図19.4.3 IRパスシーケンス

19.4.3 DRパスシーケンス

DRパスシーケンスの前に行われたIRパスシーケンスで選択されたデータレジスタに対し、データの参照および設定を行います。DRパスシーケンスは、以下の手順で行います。

- (1) 「Run-Test/Idle」状態からJTMS="H"をJTCKの1サイクル期間入力し、「Select-DR-Scan」状態に移行します。このとき、どのデータレジスタが選択されるかは、DRパスシーケンスの前に行われたIRパスシーケンスで設定された命令によって決まります。
- (2) JTMS="L"にして「Capture-DR」状態に移行します。このとき、データレジスタのシフトレジスタステージに、バウンダリスキャンテストの結果またはレジスタごとに定義された固定データが設定されます。
- (3) 続けてJTMS="L"を入力すると「Shift-DR」状態に移行します。「Shift-DR」状態では、各サイクルごとにDRの値が1ビット右シフトされ、(2)で設定されたデータがJTDO端子からシリアルに出力されます。同時にJTDI端子からシリアルに入力される設定データがデータレジスタのシフトレジスタステージに設定されていきます。「Shift-IR」状態を選択したデータレジスタのビット数分続ける(JTMS="L"を入力する)ことで、シフトレジスタステージ全ビットのデータを設定および読み出すことができます。
シフト動作を中断したい場合は、一旦「Exit1-DR」状態を経由して「Pause-DR」状態へ移行します(JTMS="H" "L"を入力)。また「Pause-DR」状態から復帰する場合は、一旦「Exit2-DR」状態を経由して「Shift-DR」状態へ移行します(JTMS="H" "L"を入力)。
- (4) JTMS="H"にして「Shift-DR」状態から「Exit1-DR」状態に移行します。これでシフト動作完了です。
- (5) 続けてJTMS="H"を入力すると「Update-DR」状態に移行します。「Update-DR」状態では、データレジスタのシフトレジスタステージに設定されたデータがパラレル出力ステージに転送され、設定データが使用可能になります。
- (6) 続けてJTMS="H"を入力すると「Select-DR-Scan」状態に、JTMS="L"を入力すると「Run-Test/Idle」状態に移行します。

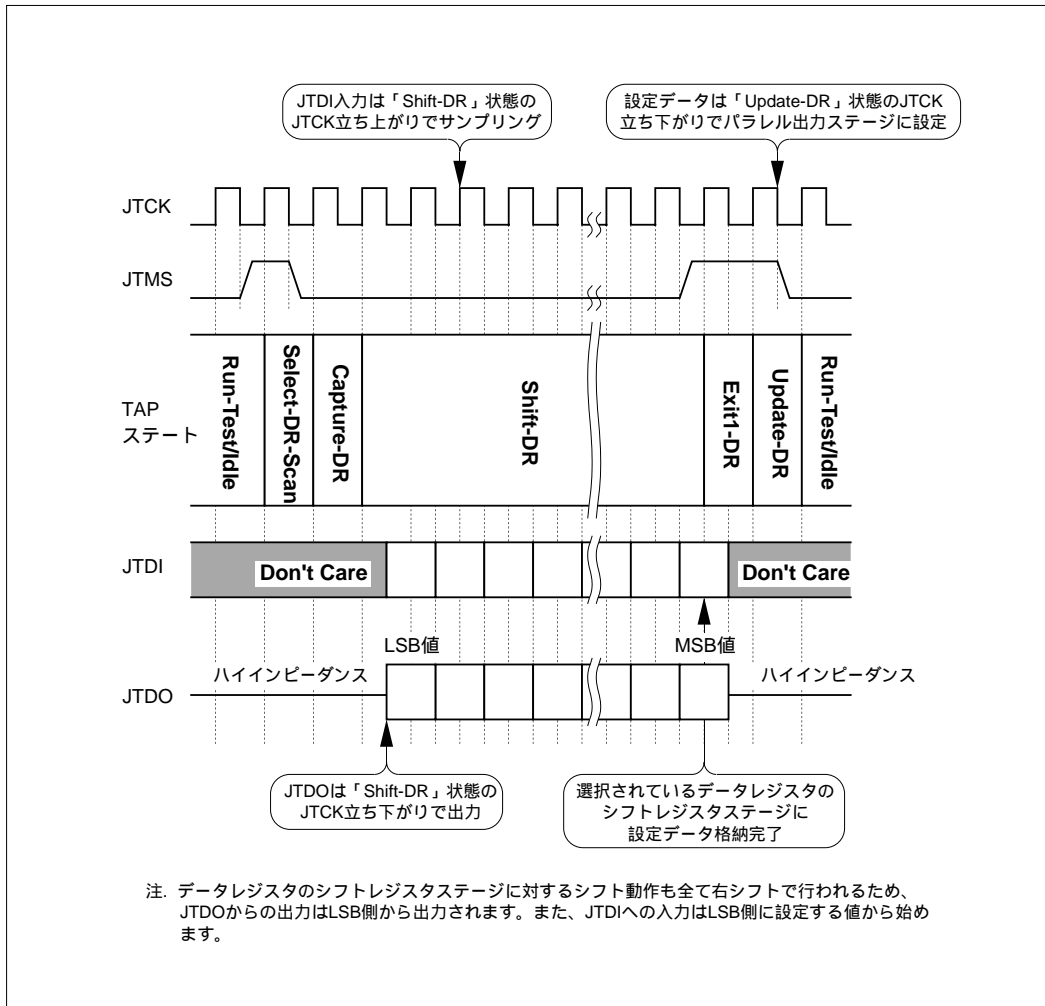


図19.4.4 DRバスシーケンス

19.4.4 データレジスタの参照および設定

データレジスタを参照 / 設定する場合は、以下の手順で行います。

- (1) 最初にテストアクセスポート(JTAG)をアクセスする場合は、テストリセット(テスト回路の初期化)を行います。テストリセットを行うには以下の二つの方法があります。

JTRST端子に"L"を入力する

JTMS端子を"H"にして5サイクル以上JTCKを入力する

- (2) JTMS="L"にして「Run-Test/Idle」状態に移行します。アイドル状態を続ける場合は、JTMS="L"を入力し続けます。
- (3) JTMS="H"にして「Run-Test/Idle」状態を抜け、IRパスシーケンスを行います。IRパスシーケンスでは参照 / 設定したいデータレジスタを指定します。
- (4) 続いてDRパスシーケンスを行います。IRパスシーケンスで指定したデータレジスタに対し、JTDI端子から設定データを入力し、JTDO端子から参照データを読み出します。
- (5) DRパスシーケンス完了後、続けてIRパスシーケンスやDRパスシーケンスを行う場合は、JTMS="H"を入力して「Select-DR-Scan」状態に戻ります。
一連のIR/DRパスシーケンス処理が完了して次の処理を待つ場合は、JTMS="L"を入力して「Run-Test/Idle」状態に移行し、その状態を保ちます。

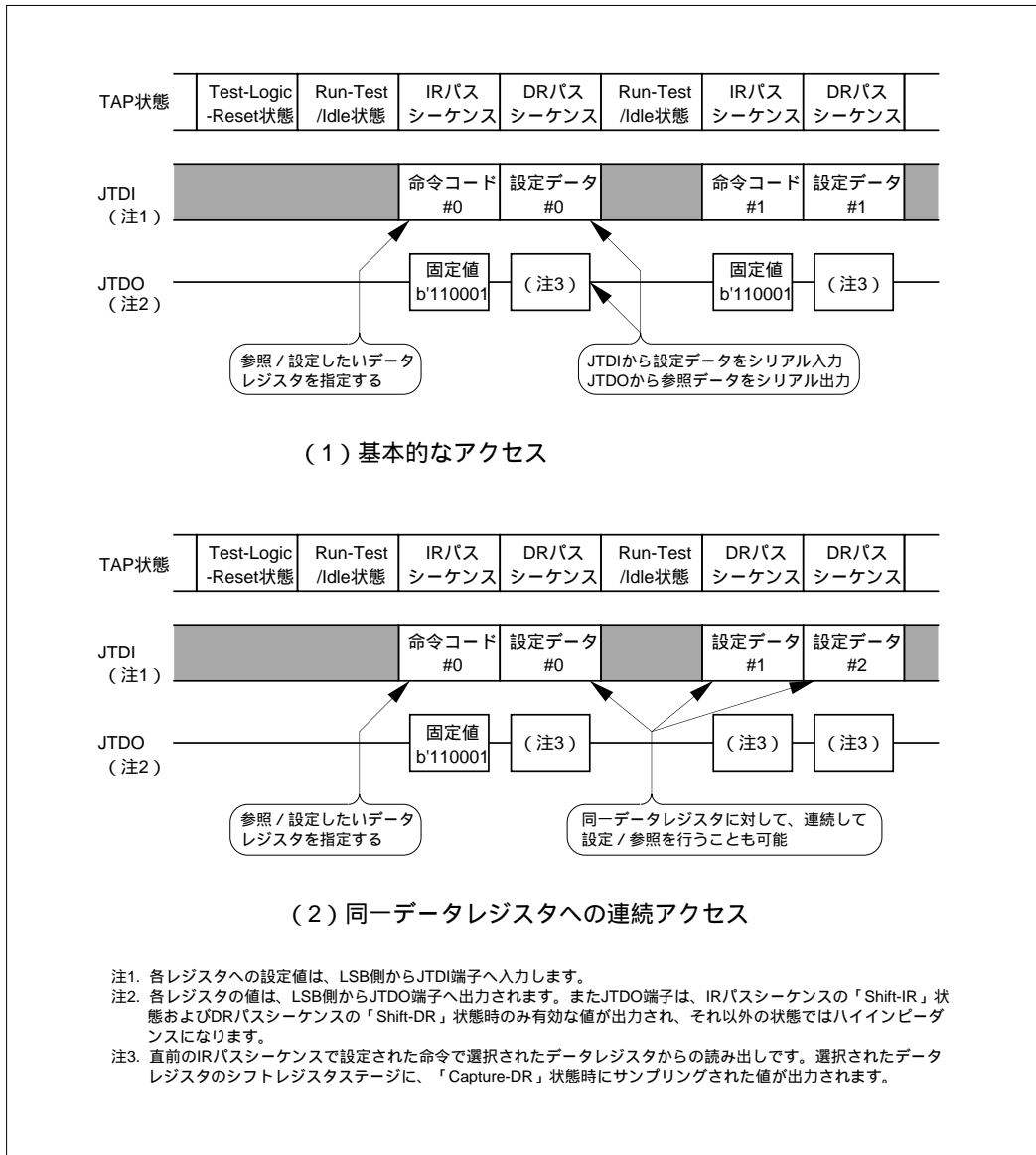


図19.4.5 JTAG連続アクセス

19.5 バウンダリスキャン記述言語

バウンダリスキャン記述言語(以下BSDLと略)は、IEEE 1149.1-1990およびIEEE 1149.1a-1993の「Standard Test Access Port and Boundary-Scan Architecture」に対する補足事項の中で述べられています。

BSDLは、IEEE 1076-1993 Standard VHSIC Hardware Description Language(VHDL)のサブセットです。BSDLでは、基準を満たすコンポーネントのテスト対象の機能を厳密に記述することができます。この言語は、パッケージ接続テストではAutomated Test Pattern Generationツールで、Synthesized Test Logic and VerificationではElectronic Design Automationツールで使用されます。BSDLは、内部のTest Generationで使用可能な、またHardware Debug and Diagnostics用のソフトウェアを記述するための強力な拡張機能を規定します。

BSDLのプライマリセクションには、論理ポート記述、物理ピンマップ、命令セット、およびバウンダリレジスタ記述のステートメントがあります。

論理ポート記述

論理ポート記述は、チップのピンに対して意味のある記号名を割り当てます。ここで、信号フローの論理方向を定義する各ピンの入力、出力、入出力、バッファ、またはリンクの論理タイプが決まります。

物理ピンマップ

物理ピンマップは、チップの論理ポートを各パッケージの物理ピンに関連付けます。各マップを個別の名前にすれば、1つのBSDL記述で複数の物理ピンマップを定義することができます。

命令セットステートメント

命令セットステートメントは、チップの命令レジスタにシフトインすべきビットパターンを記述します。このビットパターンは、基準で定義される各テストモードにチップを移行させるために必要です。また、チップ専用の命令を記述することも可能です。

バウンダリレジスタ記述

バウンダリレジスタ記述は、バウンダリレジスタの各セルまたはシフトステージのリストです。各セルには個別の番号が付きます。番号が0のセルは、テストデータ出力(JTDO)ピンに最も近接するセル、番号が最大のセルはテストデータ入力(JTDI)ピンに最も近接するセルです。セルにはそれ以外の関連情報、つまりセルタイプ、セルに対応する論理ポート、セルの論理機能、安全値、制御セル番号、ディセーブル値、および結果値などの情報も含まれます。

注 . バウンダリスキャン記述言語(BSDL)につきましては、「三菱マイコン技術ホームページ」のM32Rファミリ応用技術資料からダウンロードできます。
以下にホームページのURLを示します。

<http://www.infomicom.maec.co.jp/>

19.6 JTAG接続時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。

以下にJTAGツール使用時の端子処理例を示します。

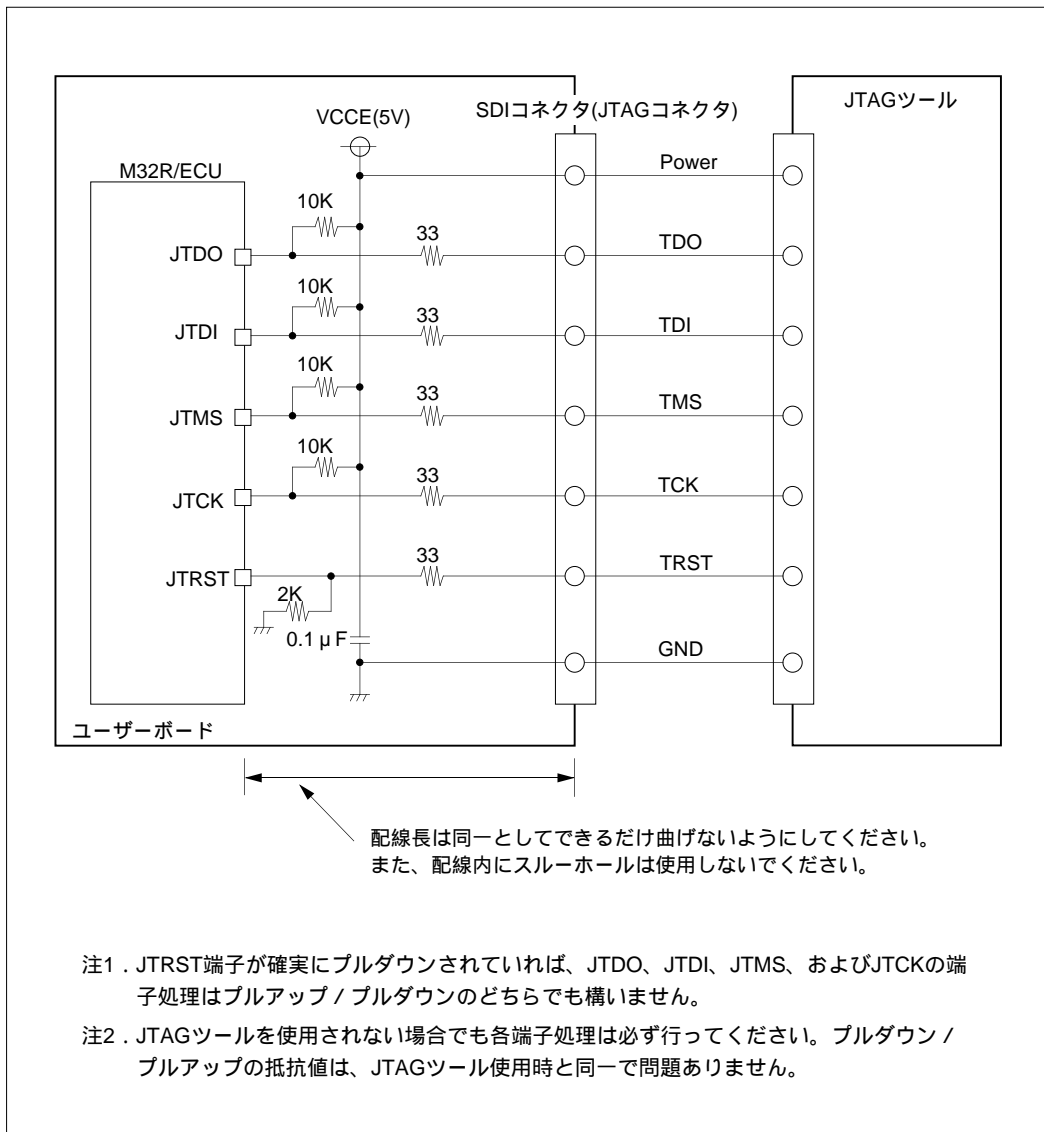


図19.6.1 JTAGツール使用時の端子処理例

19.7 JTAG未使用時の端子処理

JTAG端子を未使用(JTAGツール接続用の端子 / コネクタを持たないボード)の場合の端子処理例を以下に示します。

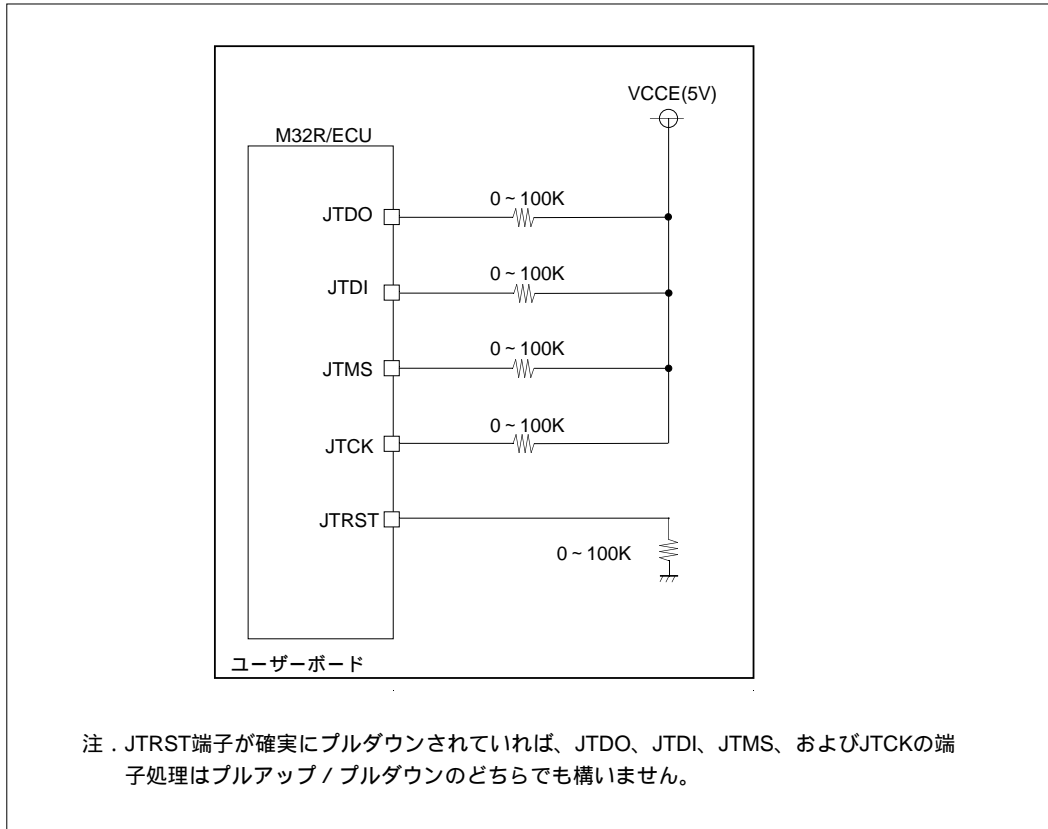


図19.7.1 JTAG未使用時の端子処理例

第20章

電源立ち上げ / 立ち下げシーケンス

- 20.1 電源回路の構成
- 20.2 電源立ち上げシーケンス
- 20.3 電源立ち下げシーケンス

20.1 電源回路の構成

M32R/ECUでは、高速動作と低消費電力を実現するため、外部インターフェースの回路は5V、または3.3V外部I/O電源で動作し、それ以外の回路は3.3V内部電源で動作します。

このため、5V系及び3.3V系電源の制御タイミングを考慮した回路設計が必要となります。

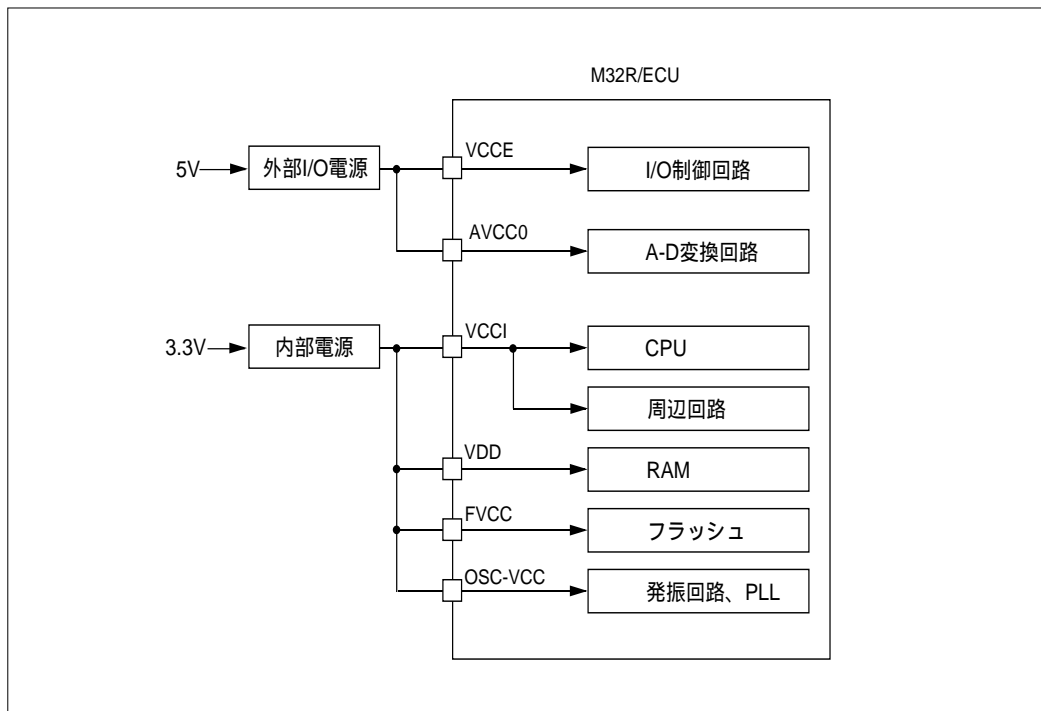


図20.1.1 電源回路構成図(外部I/O電源=5V時)

表20.1.1 電源機能一覧

電源種別	端子名	機能
外部I/O電源	VCCE	外部I/Oポートへの供給電源
	AVCC0	A-D変換器の電源
	VREF0	A-D変換器の基準電圧
内部電源	VCCI	内部ロジックへの供給電源
	FVCC	内部フラッシュメモリ用電源
	VDD	内部RAMバックアップ用電源
	OSC-VCC	発振回路、PLL回路の電源

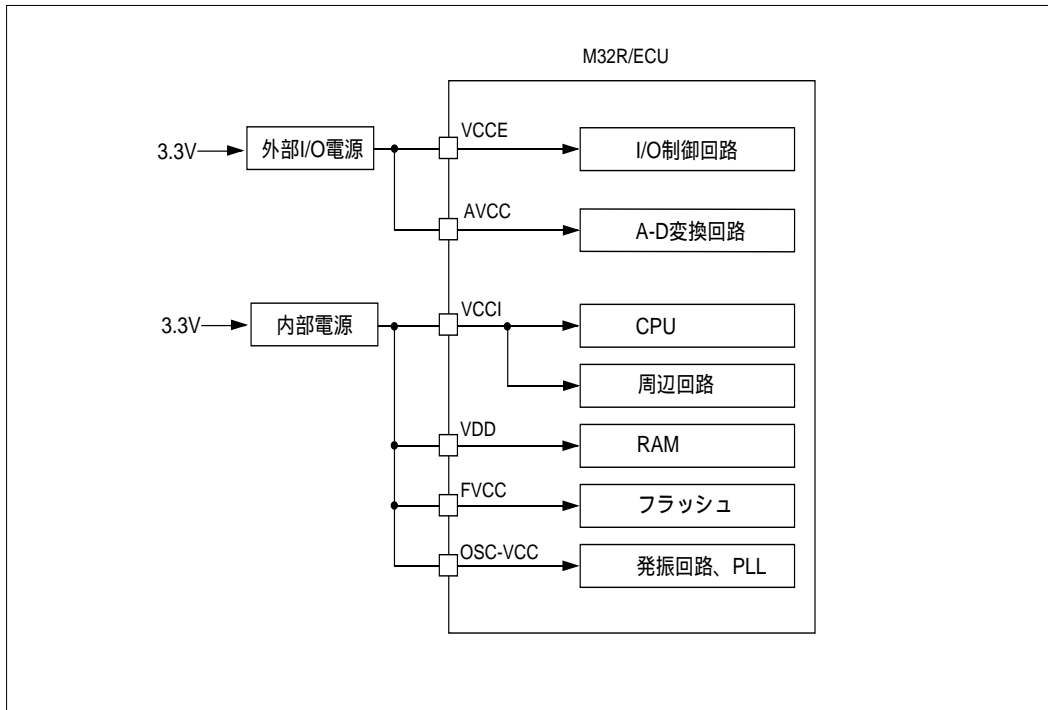


図20.1.2 電源回路構成図(外部I/O電源=3.3V時)

20.2 電源立ち上げシーケンス

20.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス

RAMバックアップ未使用時のM32R/ECUの電源(外部I/O、内部)立ち上げシーケンスを以下に示します。

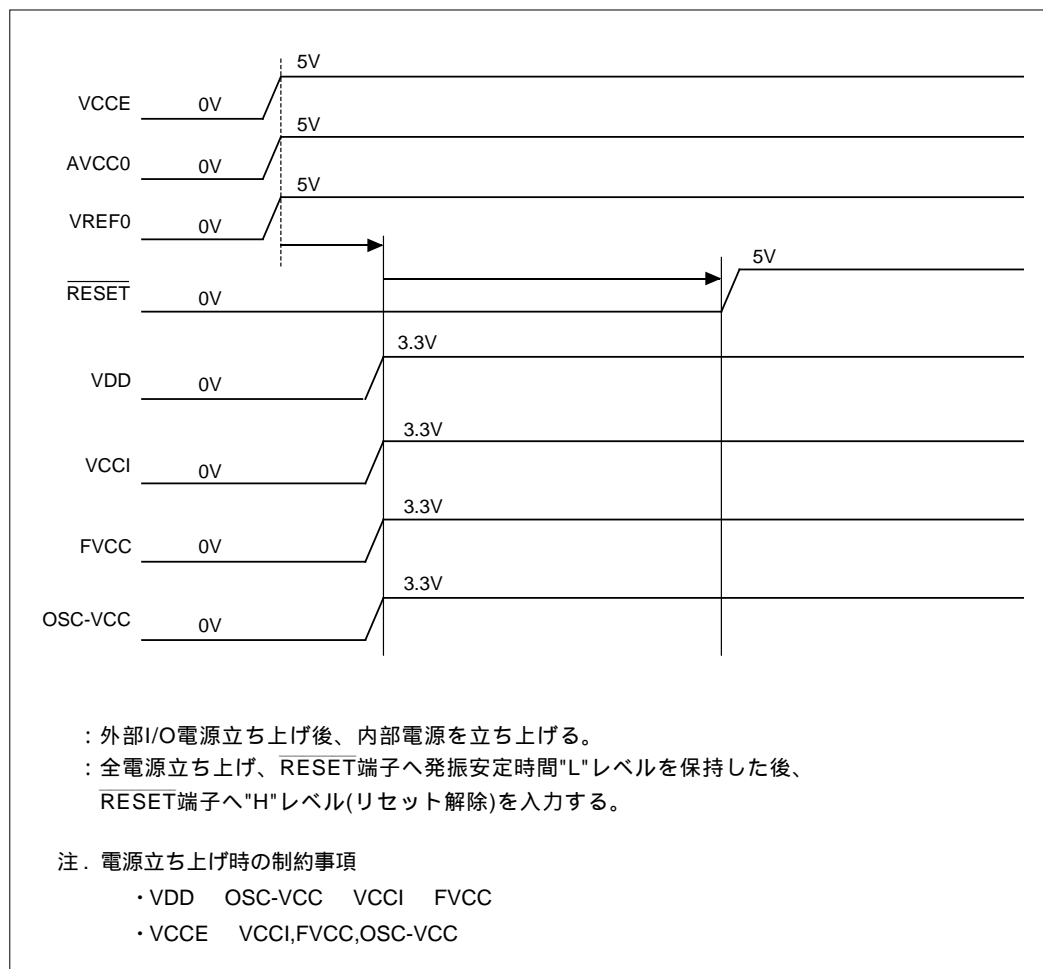


図20.2.1 RAMバックアップ未使用時の電源立ち上げシーケンス(外部I/O電源=5V時)

注. ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには推奨の動作条件を満たす回路設計を行ってください。

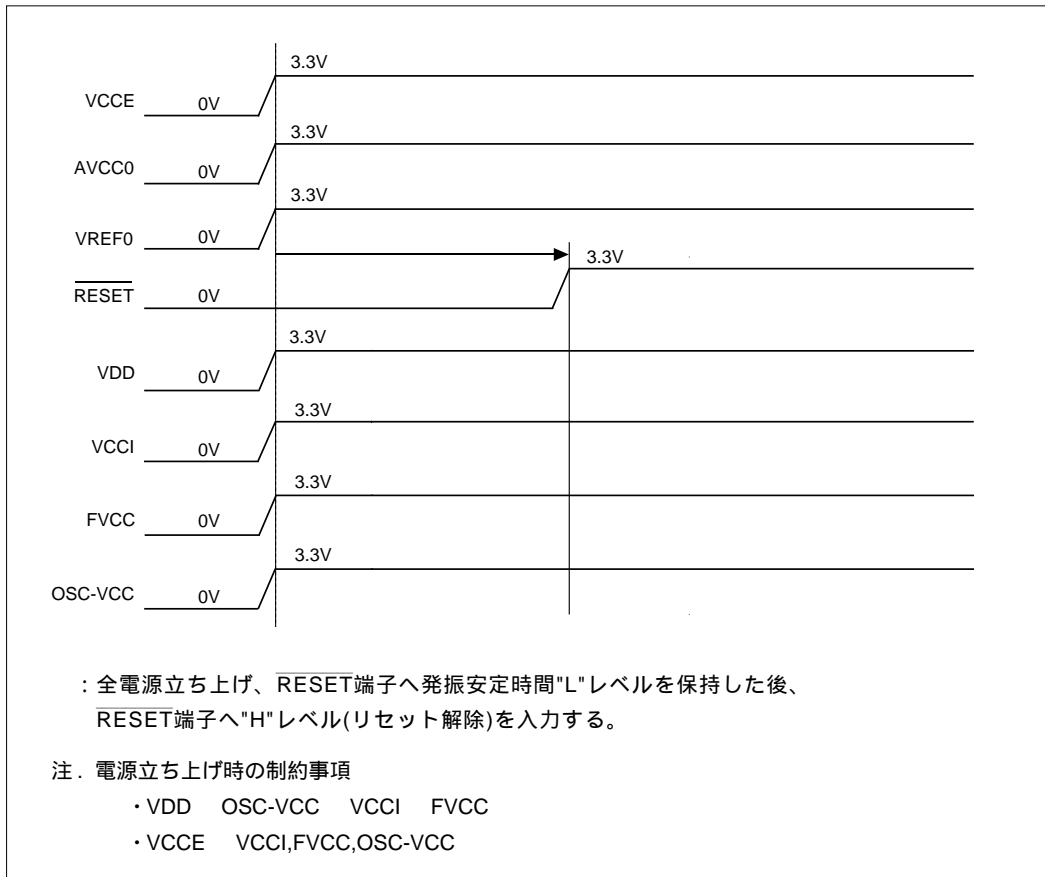


図20.2.2 RAMバックアップ未使用時の電源立ち上げシーケンス(外部I/O電源=3.3V時)

20.2.2 RAMバックアップ使用時の電源立ち上げシーケンス

RAMバックアップ使用時のM32R/ECUの電源(外部I/O、内部)立ち上げシーケンスを以下に示します。

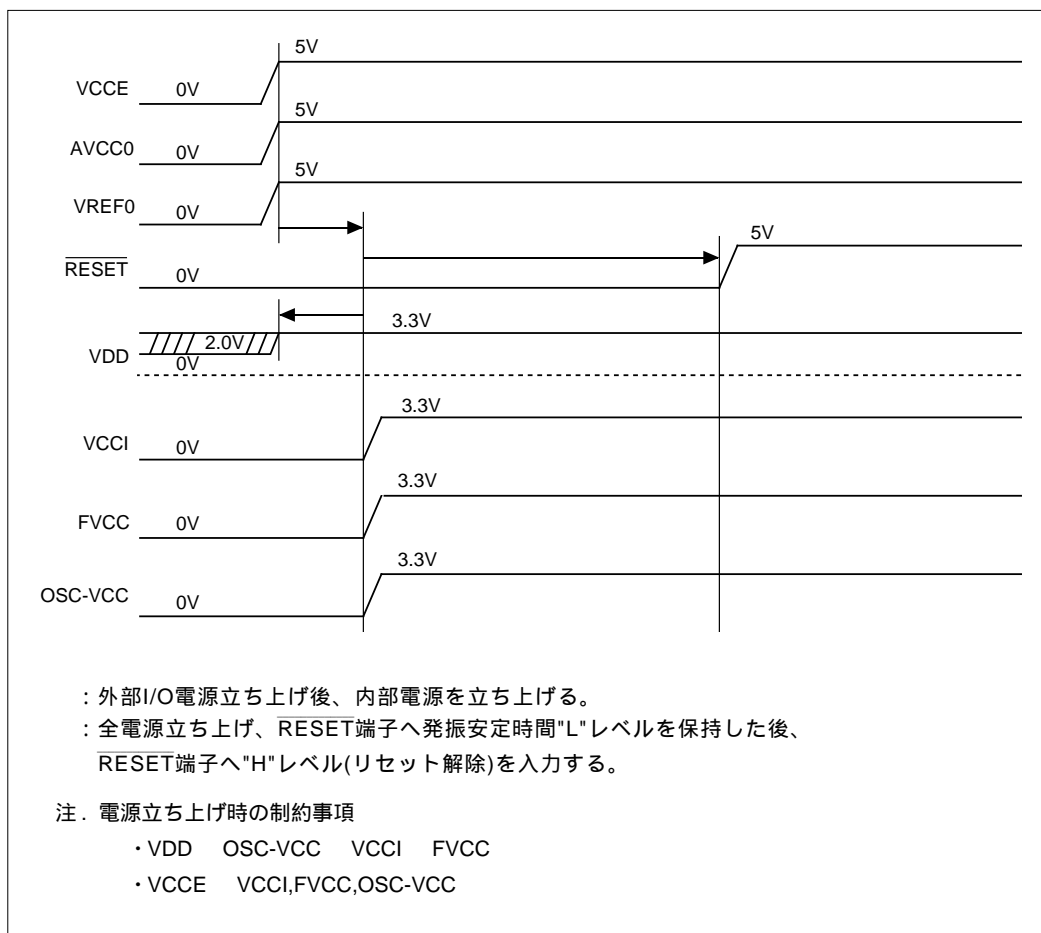


図20.2.3 RAMバックアップ使用時の電源立ち上げシーケンス(外部I/O電源=5V時)

注．ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには以降に記します推奨の動作条件を満たす回路設計を行ってください。

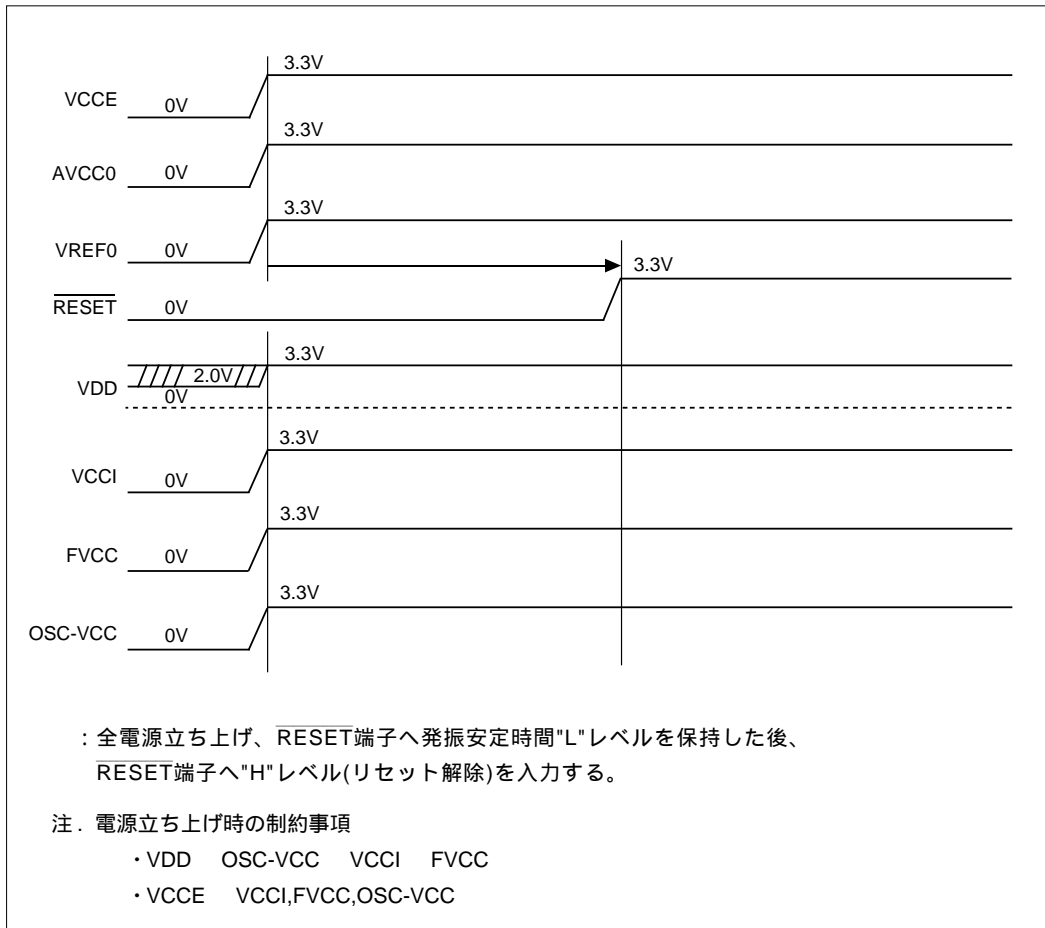


図20.2.4 RAMバックアップ使用時の電源立ち上げシーケンス(外部I/O電源=3.3V時)

20.3 電源立ち下げシーケンス

20.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス

RAMバックアップ未使用時のM32R/ECUの電源(外部I/O、内部)立ち下げシーケンスを以下に示します。

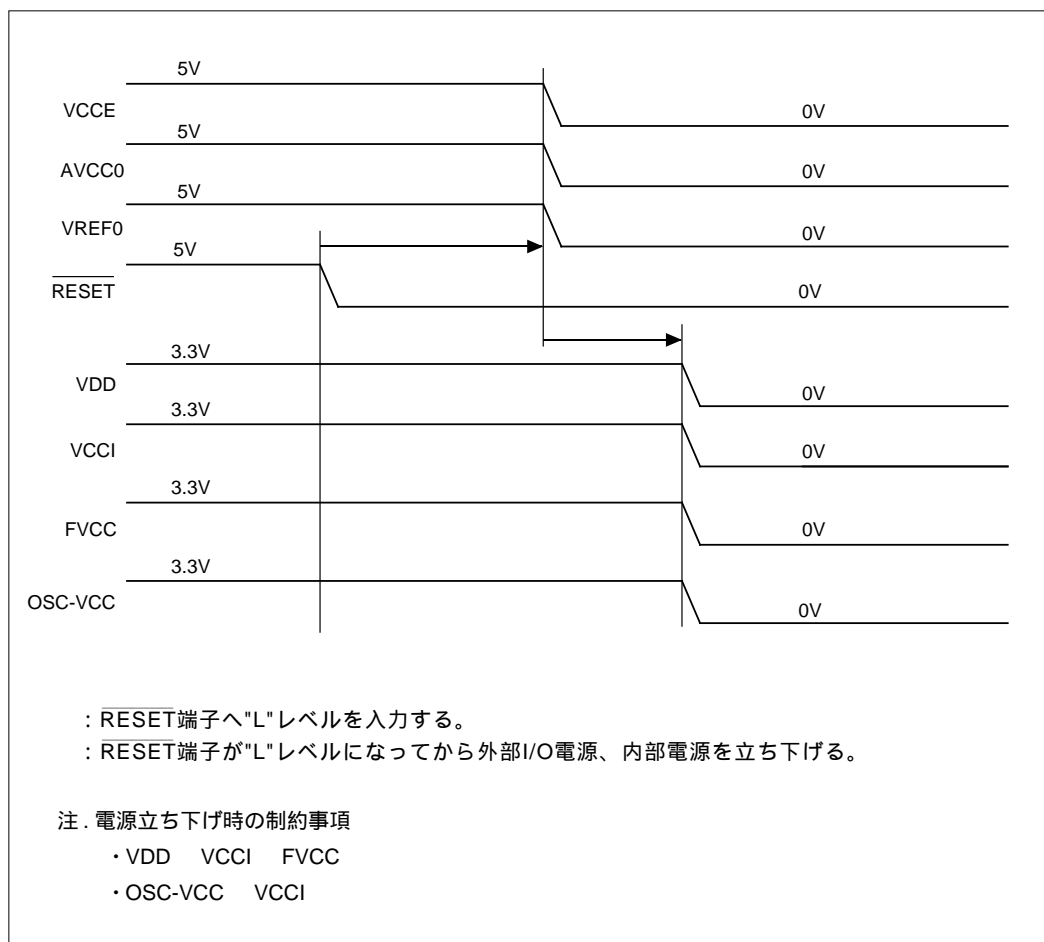


図20.3.1 RAMバックアップ未使用時の電源立ち下げシーケンス(外部I/O電源=5V時)

注. ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには以降に記します推奨の動作条件を満たす回路設計を行ってください。

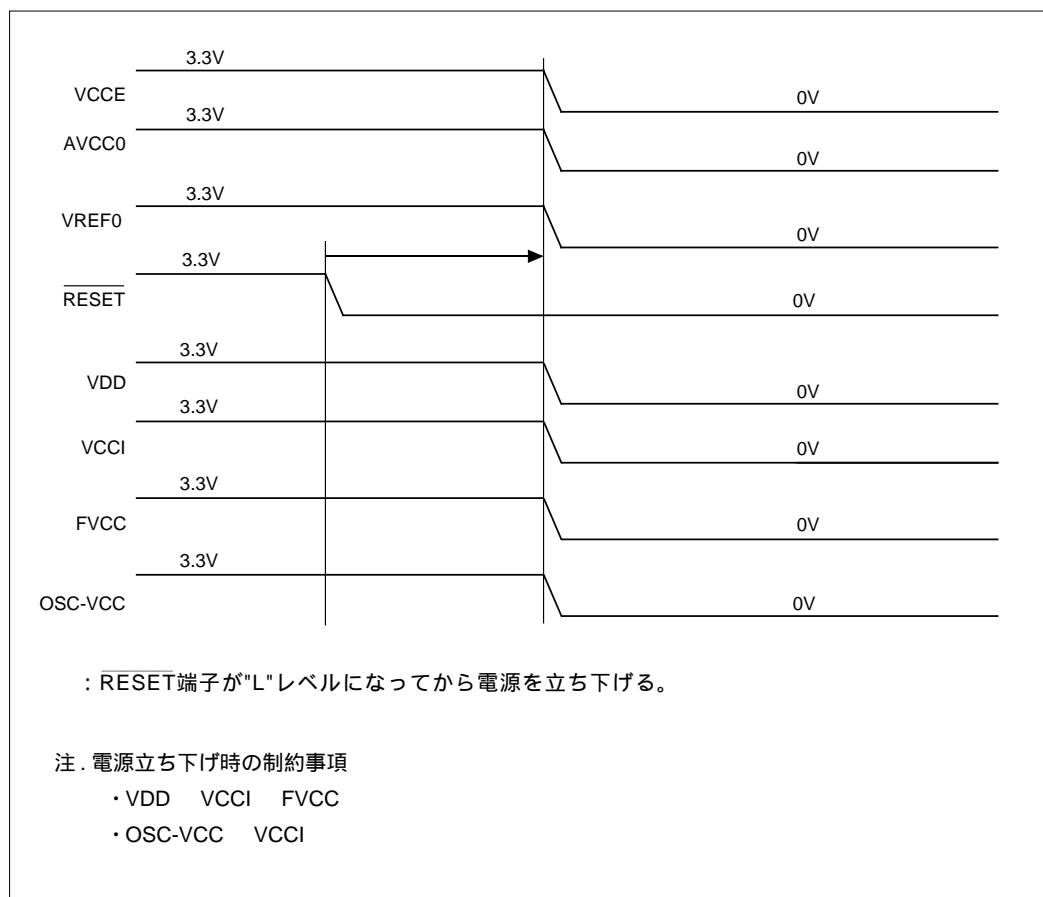


図20.3.2 RAMバックアップ未使用時の電源立ち下げシーケンス(外部I/O電源=3.3V時)

20.3.2 RAMバックアップ使用時の電源立ち下げシーケンス

RAMバックアップ使用時のM32R/ECUの電源(外部I/O、内部)立ち下げシーケンスを以下に示します。

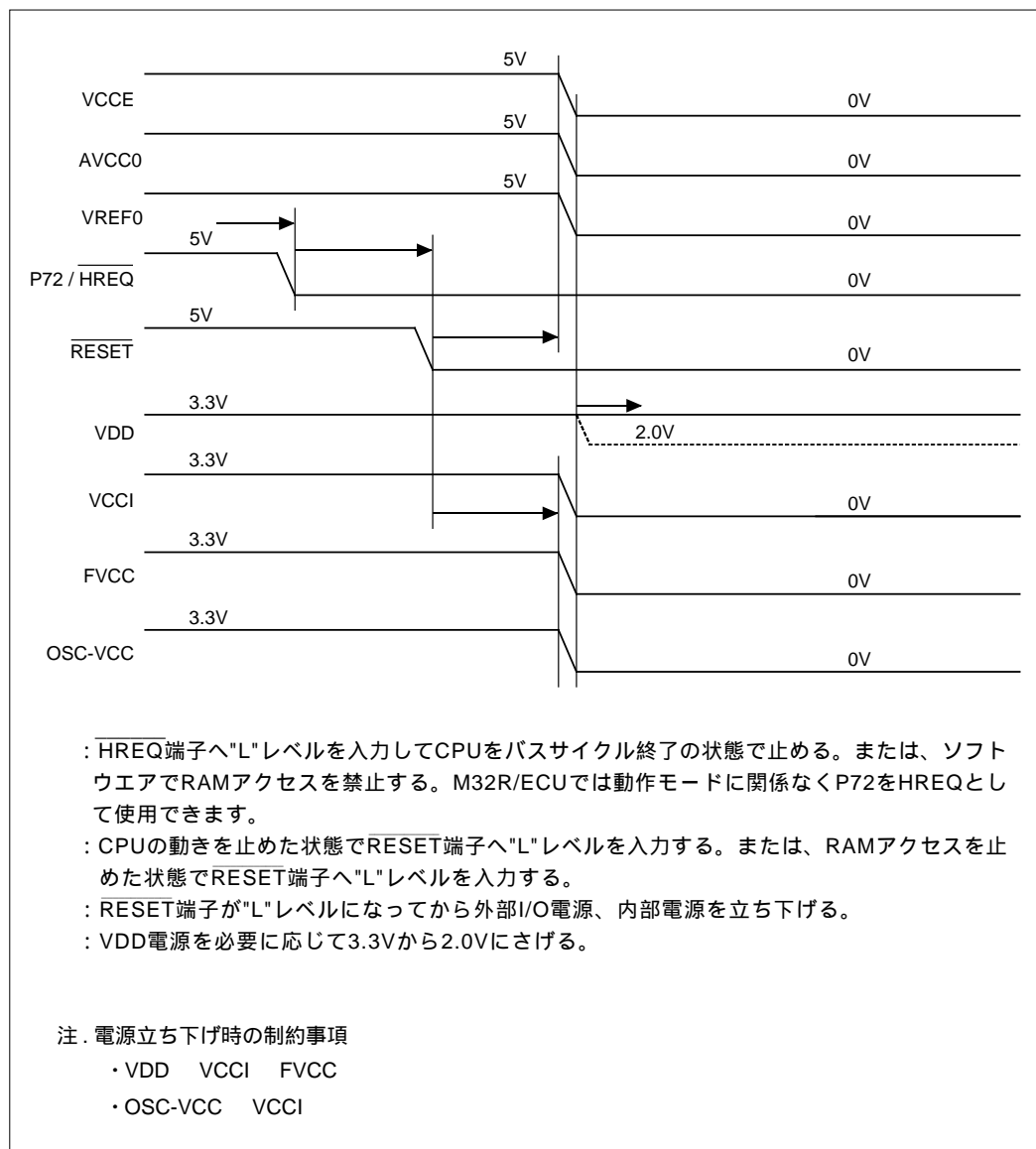


図20.3.3 RAMバックアップ使用時の電源立ち下げシーケンス(外部I/O電源=5V時)

注：ダイオード特性による電流注入が起こらない範囲での電圧レベル差(過渡的に0.1~0.2V程度)であれば位相が反転していても問題になることはありませんが、安定動作のためには以降に記します推奨の動作条件を満たす回路設計を行ってください。

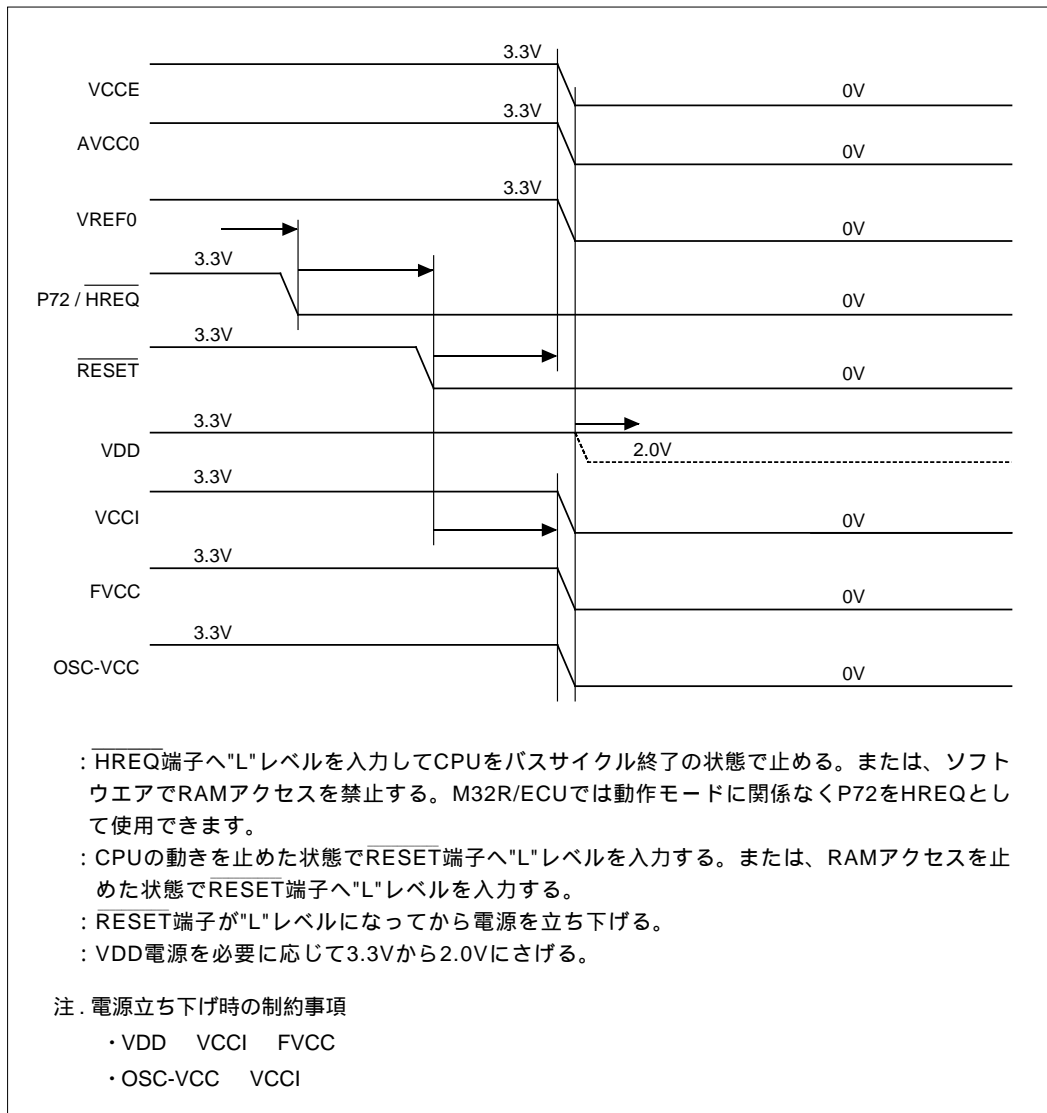


図20.3.4 RAMバックアップ使用時の電源立ち下げシーケンス(外部I/O電源=3.3V時)

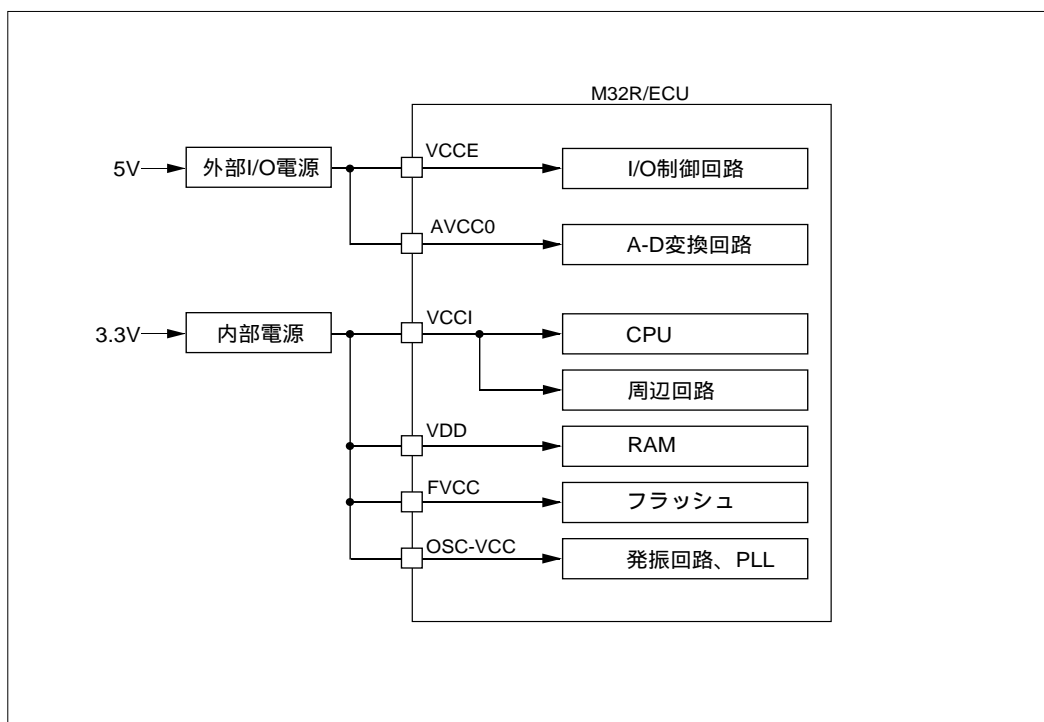


図20.3.5 マイコン動作可能状態(外部I/O電源=5V)

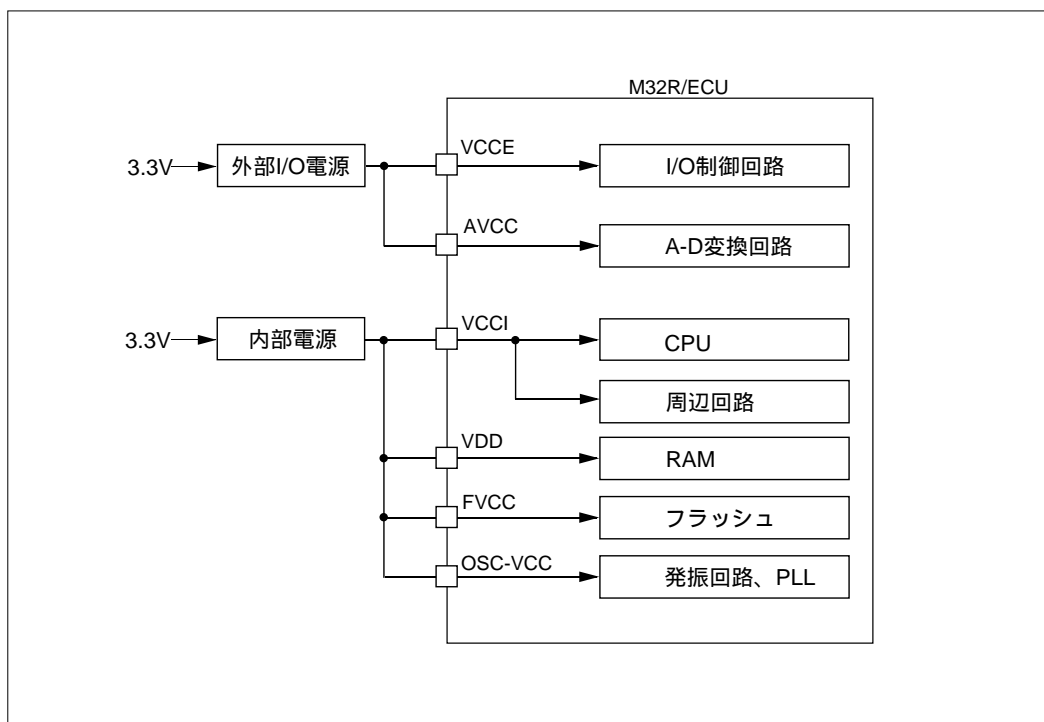


図20.3.6 マイコン動作可能状態(外部I/O電源=3.3V)

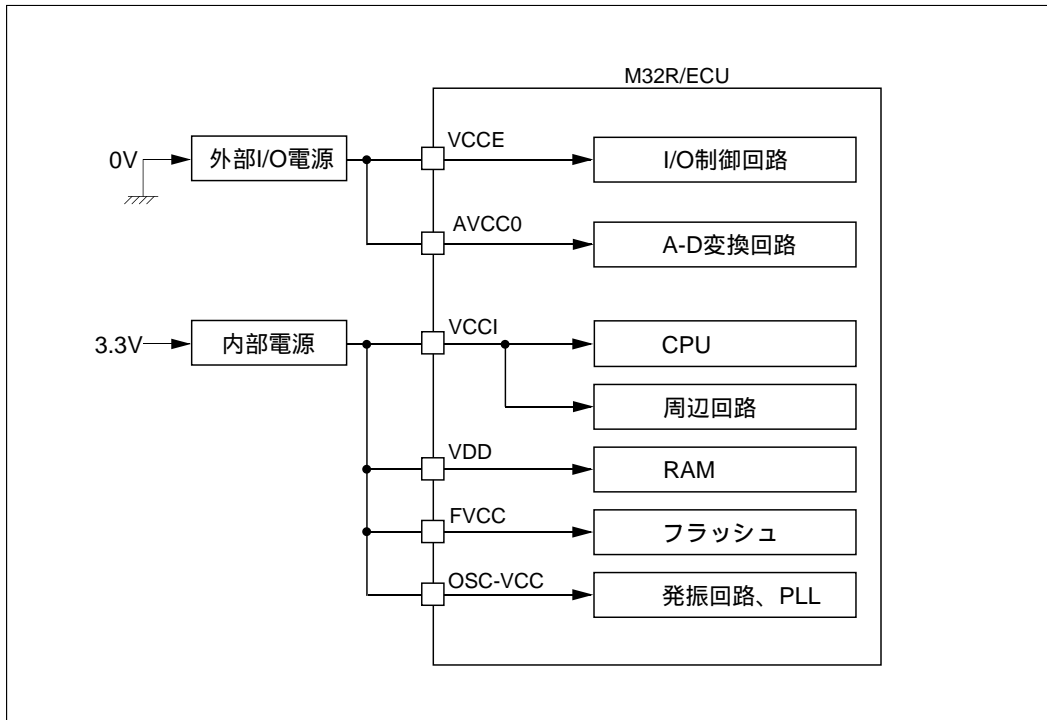


図20.3.7 CPUリセット状態

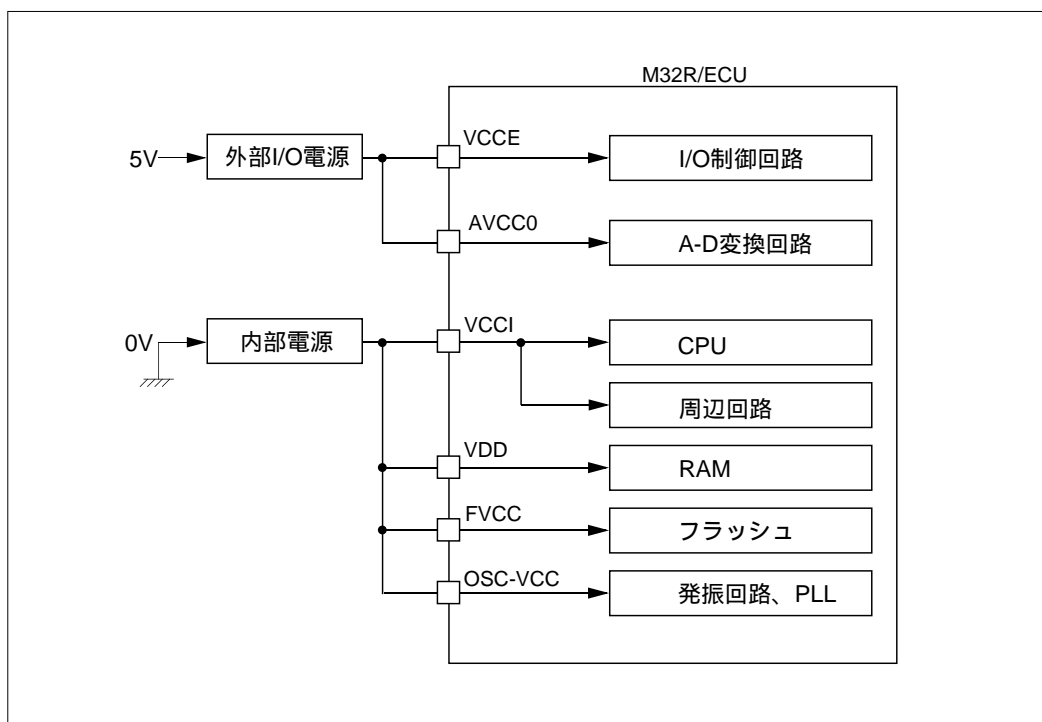


図20.3.8 CPU停止状態(外部I/O電源=5V)

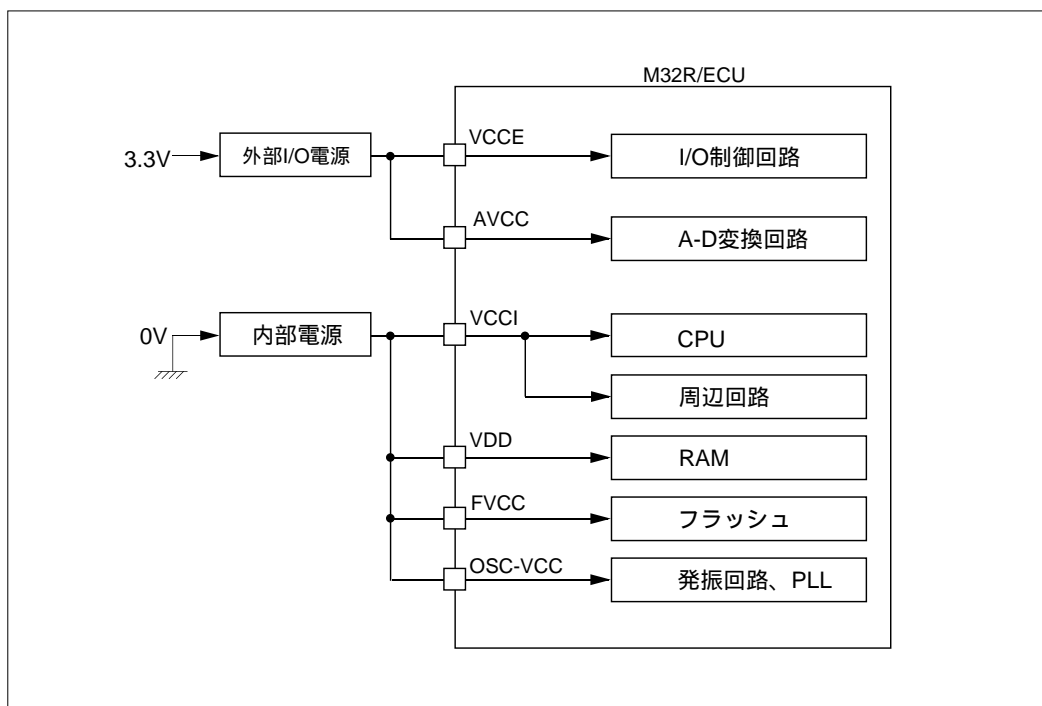


図20.3.9 CPU停止状態(外部I/O電源=3.3V)

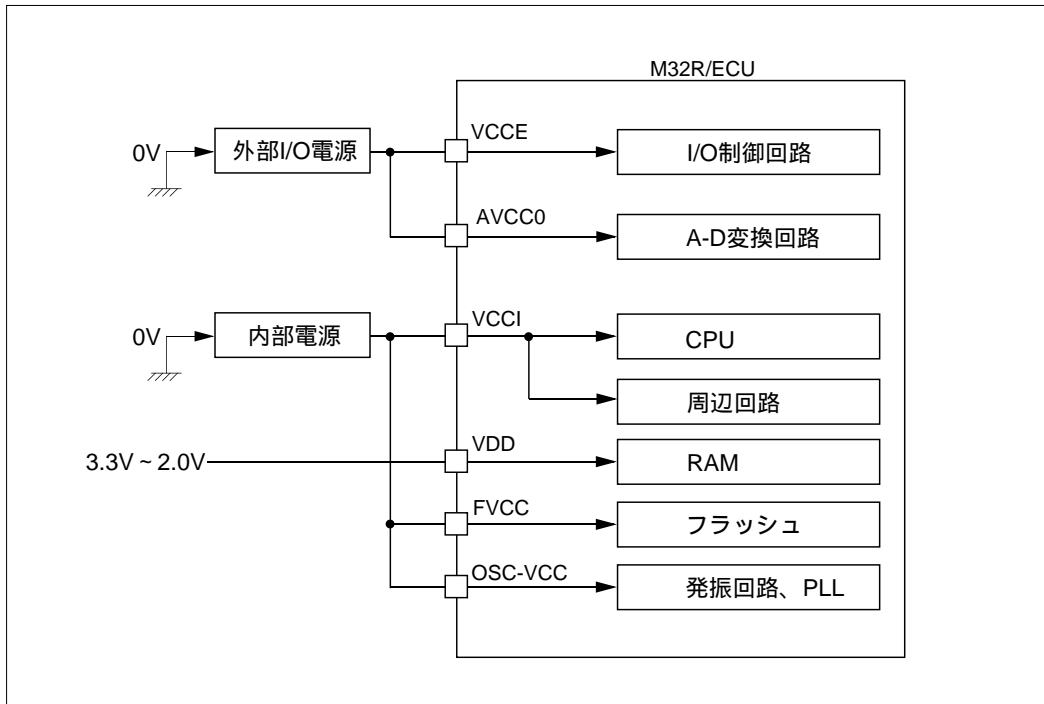


図20.3.10 SRAMデータバックアップ状態

空きページです

第21章

電氣的特性

- 21.1 電氣的特性($V_{CE}=5V$ 時)
- 21.2 電氣的特性($V_{CE}=3.3V$ 時)
- 21.3 AC特性

21.1 電気的特性 (VCCE=5V時)

21.1.1 絶対最大定格

絶対最大定格 (- 40 ~ 125)

記号	項目	条件	定格値	単位
VCCI	内部ロジック電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VDD	RAM電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
OSC-VCC	PLL電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
FVCC	フラッシュ電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VCCE	外部I/Oバッファ電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
AVCC	アナログ電源電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VREF	アナログ基準電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VI	Xin, VCNT		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
VO	Xout		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
Pd	消費電力	Ta = -40 ~ 85	600	mW
		Ta = -40 ~ 125	500	mW
TOPR	動作周囲温度 (注)		- 40 ~ 125	
Tstg	保存温度		- 65 ~ 150	

注 . 125 連続動作を保証するものではありません。125 応用を検討されているお客様は弊社までお問い合わせください。

21.1.2 推奨動作条件

推奨動作条件(指定のない場合は、VCCE = 5V ± 0.5V, VCCI = 3.3V ± 0.3V, Ta = -40 ~ 85)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧 (注1)		4.5	5.0	5.5	V
VCCI	内部ロジック電源電圧 (注2)		3.0	3.3	3.6	V
VDD	RAM電源電圧 (注2)		3.0	3.3	3.6	V
FVCC	フラッシュ電源電圧 (注2)		3.0	3.3	3.6	V
AVCC	アナログ電源電圧 (注1)		4.5	5.0	5.5	V
OSC-VCC	PLL電源電圧 (注2)		3.0	3.3	3.6	V
VREF	アナログ基準電圧 (注1)		4.5	5.0	5.5	V
VIH	"H"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P22 (注3)				-10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P22 (注4)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P22 (注3)				10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P22 (注4)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		10	MHz

注1. 条件 : VCCE AVCC VREF

注2. 条件 : VDD VCCI FVCC OSC-VCC

注3. ポートの出力電流 (peak) の合計は、

ポートP0 + P1 + P2	80mA
ポートP3 + P4 + P13 + P15 + P22	80mA
ポートP6 + P7 + P8 + P9 + P17	80mA
ポートP10 + P11 + P12	80mA

にしてください。

注4. 平均出力電流は、100msの期間内での平均値です。

推奨動作条件(指定のない場合は、VCCE = 5V ± 0.5V, VCCI = 3.3V ± 0.3V, Ta = -40 ~ 125)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧 (注1)		4.5	5.0	5.5	V
VCCI	内部ロジック電源電圧 (注2)		3.0	3.3	3.6	V
VDD	RAM電源電圧 (注2)		3.0	3.3	3.6	V
FVCC	フラッシュ電源電圧 (注2)		3.0	3.3	3.6	V
AVCC	アナログ電源電圧 (注1)		4.5	5.0	5.5	V
OSC-VCC	PLL電源電圧 (注2)		3.0	3.3	3.6	V
VREF	アナログ基準電圧 (注1)		4.5	5.0	5.5	V
VIH	"H"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P22 (注3)				-10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P22 (注4)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P22 (注3)				10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P22 (注4)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		8	MHz

注1. 条件 : VCCE AVCC VREF

注2. 条件 : VDD VCCI FVCC OSC-VCC

注3. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P13 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 + P12 80mA

にしてください。

注4. 平均出力電流は、100msの期間内での平均値です。

21.1.3 DC特性

21.1.3.1 電氣的特性

(1) $f(\text{XIN})=10\text{MHz}$ 時の電氣的特性(指定のない場合は、 $\text{VCCE} = 5\text{V} \pm 0.5\text{V}$, $\text{VCCI} = 3.3\text{V} \pm 0.3\text{V}$, $\text{Ta} = -40 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 5mA	$\text{VCCE} + 0.165 \times \text{IOH (mA)}$		VCCE	V
VOL	"L"出力電圧	IOL 5mA	0		$0.15 \times \text{IOL (mA)}$	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICC-5V	5V系電源電流 (注1)	$f(\text{XIN}) = 10.0\text{MHz}$, リセット時			1	mA
		$f(\text{XIN}) = 10.0\text{MHz}$, 動作時		1	10	
ICCI-3V	3.3V系電源電流 (注2)	$f(\text{XIN}) = 10.0\text{MHz}$, リセット時			75	mA
		$f(\text{XIN}) = 10.0\text{MHz}$, 動作時		75	125	
IDDhold	RAM保持電源電流	Ta = 25			50	μA
		Ta = 85			1500	
$V_{T+} - V_{T-}$	ヒステリシス (注3) RTDCLK、RTDRXD、SCLKI0、1、 RXD0、1、2、TCLK3-0、 TINO、3、16-23、RESET、FP、 MOD0、1、JTMS、JTRST、JTDI	VCCE = 5V	1.0			V
$V_{T+} - V_{T-}$	ヒステリシス (注4) SBI、HREQ	VCCE = 5V	0.3			V

注1. シングルチップモード、 $\text{VCCE} = \text{AVCC} = \text{VREF}$ の全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注2. シングルチップモード、 $\text{VCCI} = \text{VDD} = \text{FVCC} = \text{OSC-VCC}$ の全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注3. RESET端子以外はダブルファンクションとなっています。

注4. HREQ端子はダブルファンクション端子です。

(2) $f(XIN)=10MHz$ 時の各電源端子の電気的特性

(指定のない場合は、 $VCCE = 5V \pm 0.5V$, $VCCI = 3.3V \pm 0.3V$, $Ta = -40 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	$f(XIN) = 10.0MHz$			10	mA
ICCI	動作時VCCI電源電流	$f(XIN) = 10.0MHz$			120	
IOSCVCC	動作時OSCVCC電源電流	$f(XIN) = 10.0MHz$			20	mA
FICC	動作時FVCC電源電流 (注1)	$f(XIN) = 10.0MHz$			50	mA
IDD	動作時VDD電源電流 (注2)	$f(XIN) = 10.0MHz$			35	mA
IAVCC	動作時AVCC電源電流	$f(XIN) = 10.0MHz$			3	mA
IVREF	VREF電源電流	$f(XIN) = 10.0MHz$			1	mA

注1.プログラム時 / イレーズ時の電流を含む最大値。

注2.RAM上でプログラムを実行する場合を含む最大値。

(3) f(XIN)=8MHz時の電氣的特性

(指定のない場合は、VCCE = 5V ± 0.5V, VCCI = 3.3V ± 0.3V, Ta = - 40 ~ 125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH = 5mA	VCCE + 0.165 × IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL = 5mA	0		0.15 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICC-5V	5V系電源電流 (注1)	f(XIN) = 8.0MHz, リセット時			1	mA
		f(XIN) = 8.0MHz, 動作時		1	10	
ICCI-3V	3.3V系電源電流 (注2)	f(XIN) = 8.0MHz, リセット時			70	mA
		f(XIN) = 8.0MHz, 動作時		60	110	
IDDhold	RAM保持電源電流	Ta = 25			50	μA
		Ta = 125			4000	
V _{T+} - V _{T-}	ヒステリシス (注3) RTDCLK, RTDRXD, SCLKI0,1, RXD0, 1, 2, TCLK3-0, TIN0, 3, 16-23, RESET, FP, MOD0,1, JTMS, JTRST, JTDI	VCCE = 5V	1.0			V
V _{T+} - V _{T-}	ヒステリシス (注4) SBI, HREQ	VCCE = 5V	0.3			V

注1. シングルチップモード、VCCE = AVCC = VREFの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注2. シングルチップモード、VCCI = VDD = FVCC = OSC-VCCの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注3. RESET端子以外はダブルファンクションとなっています。

注4. HREQ端子はダブルファンクション端子です。

(4) $f(XIN)=8MHz$ 時の各電源端子の電気的特性

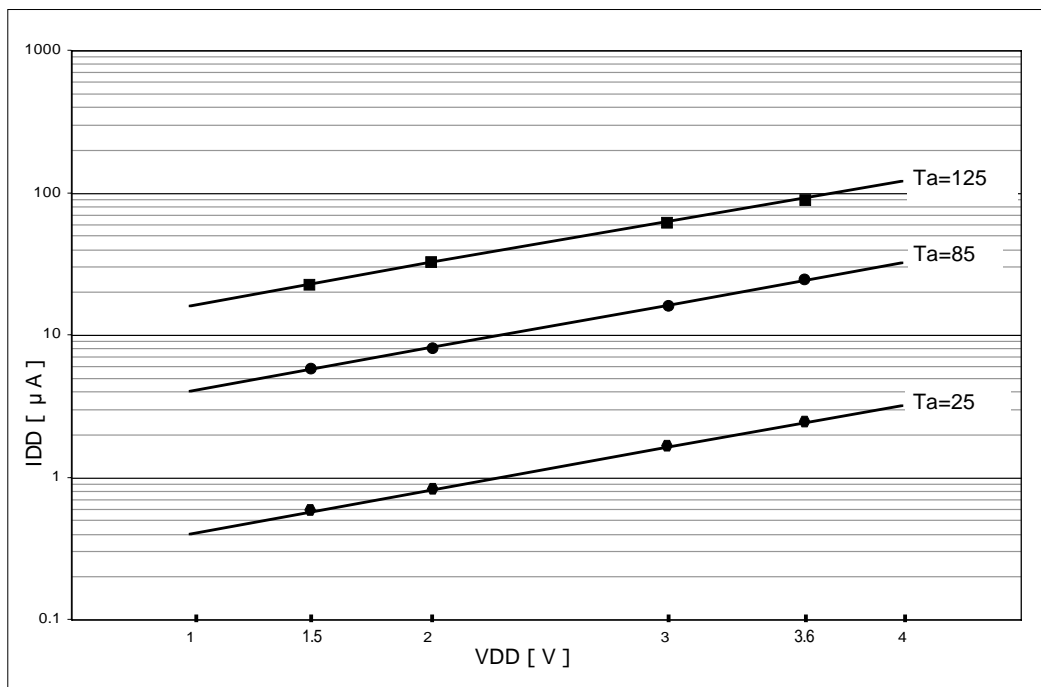
(指定のない場合は、 $VCCE = 5V \pm 0.5V$, $VCCI = 3.3V \pm 0.3V$, $Ta = -40 \sim 125$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	$f(XIN) = 8.0MHz$			10	mA
ICCI	動作時VCCI電源電流	$f(XIN) = 8.0MHz$			105	
IOSCVCC	動作時OSCVCC電源電流	$f(XIN) = 8.0MHz$			16	mA
FICC	動作時FVCC電源電流 (注1)	$f(XIN) = 8.0MHz$			50	mA
IDD	動作時VDD電源電流 (注2)	$f(XIN) = 8.0MHz$			30	mA
IAVCC	動作時AVCC電源電流	$f(XIN) = 8.0MHz$			3	mA
IVREF	VREF電源電流	$f(XIN) = 8.0MHz$			1	mA

注1. プログラム時 / イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

標準サンプルのRAM保持電源電流(参考値)



21.1.3.2 フラッシュ関連電気的特性

フラッシュ関連電気的特性(指定のない場合は、VCCE = 5V ± 0.5V、VCCI = 3.3V ± 0.3V)

記号	項目	測定条件	定格値			単位
			最小	標準	最大	
Ifvcc1	FVCC電源電流(プログラム時)				50	mA
Ifvcc2	FVCC電源電流(イレーズ時)				40	mA
Topr	フラッシュ書き換え周囲温度		0		70	
cycle	書き換え回数				100	回
tPRG	プログラム時間	1 Page		8	120	ms
tBERS	ブロック消去時間	1 Block		50	600	ms

21.1.4 A-D変換特性

A-D変換特性(指定のない場合は、AVCC = VREF = VCCE = 5.12V、Ta = -40 ~ 85、f(XIN) = 10.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		VREF = VCC			10	Bits
—	絶対精度(注)					±2	LSB
TCONV	変換時間	通常モード		14950			ns
		倍速モード		8650			

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} AN_i / 1\text{LSB})$$

AVCC = VREF = 5.12Vの時、1LSB = 5mVです。

A-D変換特性(指定のない場合は、AVCC = VREF = VCCE = 5.12V、Ta = -40 ~ 125、f(XIN) = 8.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		VREF = VCC			10	Bits
—	絶対精度(注)					±2	LSB
TCONV	変換時間	通常モード		18687.5			ns
		倍速モード		10812.5			

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} AN_i / 1\text{LSB})$$

AVCC = VREF = 5.12Vの時、1LSB = 5mVです。

21.2 電気的特性 (VCCE=3.3V時)

21.2.1 絶対最大定格

絶対最大定格(- 40 ~ 125)

記号	項目	条件	定格値	単位
VCCI	内部ロジック電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VDD	RAM電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
OSC-VCC	PLL電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
FVCC	フラッシュ電源電圧	VDD VCCI FVCC = OSC-VCC	- 0.3 ~ 4.2	V
VCCE	外部I/Oバッファ電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
AVCC	アナログ電源電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VREF	アナログ基準電圧	VCCE AVCC VREF	- 0.3 ~ 6.5	V
VI	Xin, VCNT		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
VO	Xout		- 0.3 ~ OSC-VCC + 0.3	V
	その他		- 0.3 ~ VCCE + 0.3	
Pd	消費電力	Ta = -40 ~ 85	600	mW
		Ta = -40 ~ 125	500	mW
TOPR	動作周囲温度(注)		- 40 ~ 125	
Tstg	保存温度		- 65 ~ 150	

注 . 125 連続動作を保証するものではありません。125 応用を検討されているお客様は弊社までお問い合わせください。

21.2.2 推奨動作条件

推奨動作条件(指定のない場合は、VCCE=VCCI = 3.3V ± 0.3V, Ta = -40 ~ 85)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧		3.0	3.3	3.6	V
VCCI	内部ロジック電源電圧		3.0	3.3	3.6	V
VDD	RAM電源電圧		3.0 VCCI-0.3	VCCI	VCCI+0.3 3.6	V
FVCC	フラッシュ電源電圧		3.0 VCCI-0.3	VCCI	VCCI+0.3 3.6	V
AVCC	アナログ電源電圧		3.0 VCCE-0.3	VCCE	VCCE+0.3 3.6	V
OSC-VCC	PLL電源電圧		3.0 VCCI-0.3	VCCI	VCCI+0.3 3.6	V
VREF	アナログ基準電圧		3.0 VCCE-0.3	VCCE	VCCE+0.3 3.6	V
VIH	"H"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P22 (注1)				-10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P22 (注2)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P22 (注1)				10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P22 (注2)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		10	MHz

注1. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P13 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 + P12 80mA

にしてください。

注2. 平均出力電流は、100msの期間内での平均値です。

推奨動作条件(指定のない場合は、VCCE = VCCI = 3.3V ± 0.3V, Ta = -40 ~ 125)

記号	項目		定格値			単位
			最小	標準	最大	
VCCE	外部I/Oバッファ電源電圧		3.0	3.3	3.6	V
VCCI	内部ロジック電源電圧		3.0	3.3	3.6	V
VDD	RAM電源電圧		3.0 VCCI-0.3	VCCI	VCCI+0.3 3.6	V
FVCC	フラッシュ電源電圧		3.0 VCCI-0.3	VCCI	VCCI+0.3 3.6	V
AVCC	アナログ電源電圧		3.0 VCCE-0.3	VCCE	VCCE+0.3 3.6	V
OSC-VCC	PLL電源電圧		3.0 VCCI-0.3	VCCI	VCCI+0.3 3.6	V
VREF	アナログ基準電圧		3.0 VCCE-0.3	VCCE	VCCE+0.3 3.6	V
VIH	"H"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0.8VCCE		VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0.43VCCE		VCCE	V
VIL	"L"入力電圧	ポートP0 ~ P22, RESET, MOD0, MOD1, FP	0		0.2VCCE	V
		ポートP0, P1 (外部拡張/プロセッサモード時のみ), WAIT	0		0.16VCCE	V
IOH(peak)	"H"尖頭出力電流 P0 ~ P22 (注1)				-10	mA
IOH(avg)	"H"平均出力電流 P0 ~ P22 (注2)				-5	mA
IOL(peak)	"L"尖頭出力電流 P0 ~ P22 (注1)				10	mA
IOL(avg)	"L"平均出力電流 P0 ~ P22 (注2)				5	mA
CL	出力負荷容量	JTCK, JTDI, JTMS, JTDO, JTRST			80	PF
		上記以外	15		50	PF
f(XIN)	外部クロック入力周波数		5		8	MHz

注1. ポートの出力電流 (peak) の合計は、
 ポートP0 + P1 + P2 80mA
 ポートP3 + P4 + P13 + P15 + P22 80mA
 ポートP6 + P7 + P8 + P9 + P17 80mA
 ポートP10 + P11 + P12 80mA

にしてください。

注2. 平均出力電流は、100msの期間内での平均値です。

21.2.3 DC特性

21.2.3.1 電気的特性

(1) f(XIN)=10MHz時の電気的特性

(指定のない場合は、VCCE = VCCI = 3.3V ± 0.3V, Ta = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 2mA	VCCE+0.5 × IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 2mA	0		0.225 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICCres	リセット時電源電流 (注1)	f(XIN) = 10.0MHz, リセット時			76	mA
ICC	動作時電源電流 (注1)	f(XIN) = 10.0MHz, 動作時		76	132	
IDDhold	RAM保持電源電流	Ta = 25		RAM保持電 源電流特性 グラフ参照	50	μA
		Ta = 85			1500	
V _{T+} - V _{T-}	ヒステリシス (注2) RTDCLK、RTDRXD、SCLKI0,1、 RXD0,1, 2、TCLK3-0、 TIN0,3,16-23、RESET、FP、 MOD0,1、JTMS、JTRST、JTDI	VCCE = 3.3V	0.65			V
V _{T+} - V _{T-}	ヒステリシス (注3) SBI、HREQ	VCCE = 3.3V	0.2			V

注1. シングルチップモード、VCCE = AVCC = VREF=VCCI=VDD=V_{FVCC}=OSC - VCCの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注2. RESET端子以外はダブルファンクションとなっています。

注3. HREQ端子はダブルファンクション端子です。

(2) f(XIN)=10MHz時の各電源端子の電気的特性

(指定のない場合は、VCCE = VCCI=3.3V ± 0.3V, Ta = - 40 ~ 85)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	f(XIN) = 10.0MHz			7	mA
ICCI	動作時VCCI電源電流	f(XIN) = 10.0MHz			120	
OSC-ICC	動作時OSCVCC電源電流	f(XIN) = 10.0MHz			20	mA
FICC	動作時FVCC電源電流 (注1)	f(XIN) = 10.0MHz			50	mA
IDD	動作時VDD電源電流 (注2)	f(XIN) = 10.0MHz			35	mA
IAVCC	動作時AVCC電源電流	f(XIN) = 10.0MHz			2	mA
IVREF	VREF電源電流	f(XIN) = 10.0MHz			1	mA

注1. プログラム時 / イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

(3) f(XIN)=8MHz時の電気的特性

(指定のない場合は、VCCE = VCCI = 3.3V ± 0.3V, Ta = -40 ~ 125)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	"H"出力電圧	IOH - 2mA	VCCE+0.5 × IOH(mA)		VCCE	V
VOL	"L"出力電圧	IOL 2mA	0		0.225 × IOL (mA)	V
VDD	RAM保持電源電圧	動作時	3.0		VCCI	V
		バックアップ時	2.0		3.6	
IIH	"H"入力電流	VI = VCCE	- 5		5	μA
IIL	"L"入力電流	VI = 0V	- 5		5	μA
ICCres	リセット時電源電流(注1)	f(XIN) = 8.0MHz, リセット時			71	mA
ICC	動作時電源電流(注1)	f(XIN) = 8.0MHz, 動作時		61	117	
IDDhold	RAM保持電源電流	Ta = 25		RAM保持電 源電流特性 グラフ参照	50	μA
		Ta = 125			4000	
VT+ - VT-	ヒステリシス(注2) RTDCLK、RTDRXD、SCLKI0,1、 RXD0,1, 2、TCLK3-0、 TIN0,3,16-23、RESET、FP、 MOD0,1、JTMS、JTRST、JTDI	VCCE = 3.3V	0.65			V
VT+ - VT-	ヒステリシス(注3) SBI、HREQ	VCCE = 3.3V	0.2			V

注1. シングルチップモード、VCCE = AVCC = VREF = VCCI = VDD = FVCC = OSC - VCCの全電流。

各電源端子の電源電流の規格値は次ページを参照ください。

注2. RESET端子以外はダブルファンクションとなっています。

注3. HREQ端子はダブルファンクション端子です。

(4) $f(XIN)=8\text{MHz}$ 時の各電源端子の電氣的特性

(指定のない場合は、 $VCCE = VCCI = 3.3\text{V} \pm 0.3\text{V}$, $Ta = -40 \sim 125$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICCE	動作時VCCE電源電流	$f(XIN) = 8.0\text{MHz}$			7	mA
ICCI	動作時VCCI電源電流	$f(XIN) = 8.0\text{MHz}$			105	
OSC-ICC	動作時OSCVCC電源電流	$f(XIN) = 8.0\text{MHz}$			16	mA
FICC	動作時FVCC電源電流 (注1)	$f(XIN) = 8.0\text{MHz}$			50	mA
IDD	動作時VDD電源電流 (注2)	$f(XIN) = 8.0\text{MHz}$			30	mA
IAVCC	動作時AVCC電源電流	$f(XIN) = 8.0\text{MHz}$			2	mA
IVREF	VREF電源電流	$f(XIN) = 8.0\text{MHz}$			1	mA

注1. プログラム時/イレーズ時の電流を含む最大値。

注2. RAM上でプログラムを実行する場合を含む最大値。

21.2.3.2 フラッシュ関連電氣的特性

フラッシュ関連電氣的特性(指定のない場合は、 $VCCE = VCCI = 3.3\text{V} \pm 0.3\text{V}$)

記号	項目	測定条件	定格値			単位
			最小	標準	最大	
lfvcc1	FVCC電源電流(プログラム時)				50	mA
lfvcc2	FVCC電源電流(イレーズ時)				40	mA
Topr	フラッシュ書き換え周囲温度		0		70	
cycle	書き換え回数				100	回
tPRG	プログラム時間	1 Page		8	120	ms
tBERS	ブロック消去時間	1 Block		50	600	ms

21.2.4 A-D変換特性

A-D変換特性(指定のない場合は、AVCC = VREF = VCCE = 3.3V、Ta = -40 ~ 85、f(XIN) = 10.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		VREF = VCCE			10	Bits
—	絶対精度(注)					±4	LSB
TCONV	変換時間	通常モード		14950			ns
		倍速モード		8650			

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} AN_i / 1\text{LSB})$$

AVCC = VREF = 3.072Vの時、1LSB = 3mVです。

A-D変換特性(指定のない場合は、AVCC = VREF = VCCE = 3.3V、Ta = -40 ~ 125、f(XIN) = 8.0MHz)

記号	項目		測定条件	定格値			単位
				最小	標準	最大	
—	分解能		VREF = VCCE			10	Bits
—	絶対精度(注)					±4	LSB
TCONV	変換時間	通常モード		18687.5			ns
		倍速モード		10812.5			

注. 絶対精度はA-D変換器におけるすべてのエラー・ソース(量子化誤差を含む)を含めた出力コードのアナログ入力に対する正確さを示したもので、下記の式で求められます。

$$\text{絶対精度} = \text{出力コード} - (\text{アナログ入力電圧} AN_i / 1\text{LSB})$$

AVCC = VREF = 3.072Vの時、1LSB = 3mVです。

21.3 AC特性

21.3.1 タイミング必要条件

- ・指定のないタイミング条件は、 $VCCE = 5V \pm 0.5V$ または $VCCE = 3.3V \pm 0.3V$, $VCCI = 3.3V \pm 0.3V$, $Ta = -40 \sim +125$ です。
- ・規格値は測定端子の負荷容量が15pF ~ 50pF時の保証値 (ただし、JTAG関連は80pFの集中キャパシタンス時の保証値)です。

(1)入出力ポート

記号	項目	測定条件	規格値		単位	参照番号 図21.3.1
			最小	最大		
tsu(P-E)	ポート入力セットアップ時間		100		ns	①
th(E-P)	ポート入力ホールド時間		0		ns	②

(2)シリアル/O

a) CSIOモード、内部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図21.3.2
			最小	最大		
tsu(D-CLK)	RxD入力セットアップ時間		150		ns	④
th(CLK-D)	RxD入力ホールド時間		50		ns	⑤

b) CSIOモード、外部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図21.3.2
			最小	最大		
tc(CLK)	CLK入力サイクル時間		640		ns	⑦
tw(CLKH)	CLK入力“H”パルス幅		300		ns	⑧
tw(CLKL)	CLK入力“L”パルス幅		300		ns	⑨
tsu(D-CLK)	RxD入力セットアップ時間		60		ns	⑩
th(CLK-D)	RxD入力ホールド時間		100		ns	⑪

(3)SBI

記号	項目	測定条件	規格値		単位	参照図番 図21.3.3
			最小	最大		
tw(SBIL)	SBI入力Lパルス幅		$\frac{5}{2} t_c(\text{BCLK})$		ns	⑬

(4)TIN(i=0,3,16 ~ 23)

記号	項目	測定条件	規格値		単位	参照図番 図21.3.5
			最小	最大		
tw(TINi)	TINi入力パルス幅		$\frac{7}{2} t_{c(BCLK)}$		ns	⑭

(5)リードおよびライトタイミング

記号	項目	測定条件	規格値		単位	参照図番 図21.3.6 図21.3.7 図21.3.8
			最小	最大		
tsu(D-BCLKH)	BCLK前データ入力セットアップ時間		26		ns	⑳
th(BCLKH-D)	BCLK後データ入力ホールド時間		0		ns	㉑
tsu(WAITL-BCLKH)	BCLK前 \overline{WAIT} 入力セットアップ時間		26		ns	㉒
th(BCLKH-WAITL)	BCLK後 \overline{WAIT} 入力ホールド時間		0		ns	㉓
tsu(WAITH-BCLKH)	BCLK前 \overline{WAIT} 入力セットアップ時間		26		ns	㉔
th(BCLKH-WAITH)	BCLK後 \overline{WAIT} 入力ホールド時間		0		ns	㉕
tw(RDL)	リード“L”パルス幅		$\frac{3}{2} t_{c(BCLK)} - 23$		ns	㉖
tsu(D-RDH)	リード前データ入力セットアップ時間		30		ns	㉗
th(RDH-D)	リード後データ入力ホールド時間		0		ns	㉘
tw(BLWL) tw(BHWL)	ライト“L”パルス幅 (バイトライトモード)		$t_{c(BCLK)} - 25$		ns	㉙
td(RDH-BLWL) td(RDH-BHWL)	リード後ライト遅延時間		$\frac{t_{c(BCLK)}}{2} - 10$		ns	㉚
td(BLWH-RDL) td(BHWH-RDL)	ライト後リード遅延時間		$\frac{t_{c(BCLK)}}{2} - 10$		ns	㉛
tw(WRL)	ライト“L”パルス幅 (バイトイネーブルモード)		$t_{c(BCLK)} - 25$		ns	㉜
td(RDH-BLEL) td(RDH-BHEL)	リード後ライト遅延時間 (バイトイネーブルモード)		$\frac{t_{c(BCLK)}}{2} - 10$		ns	㉝
td(BLEH-RDL) td(BHEH-RDL)	ライト後リード遅延時間 (バイトイネーブルモード)		$\frac{t_{c(BCLK)}}{2} - 10$		ns	㉞

(6) バスアービトラーションタイミング

記号	項目	測定条件	規格値		単位	参照図番 図21.3.9
			最小	最大		
t _{su} (HREQL-BCLKH)	BCLK前HREQ入力セットアップ時間		27		ns	(35)
t _h (BCLKH-HREQL)	BCLK後HREQ入力ホールド時間		0		ns	(36)

(7) JTAG端子の入力遷移時間

記号	測定条件		規格値		単位	参照図番 図21.3.10
			最小	最大		
tr	入力立ち上がり 遷移時間	JTRST端子以外 (JTCK, JTDI, JTMS, JTDO)		10	ns	(58)
		JTRST端子	TAP使用時	10	ns	
			TAP未使用時	2	ms	
tf	入力立ち下がり 遷移時間	JTRST端子以外 (JTCK, JTDI, JTMS, JTDO)		10	ns	(59)
		JTRST端子	TAP使用時	10	ns	
			TAP未使用時	2	ms	

注. 規格値は測定端子の負荷容量CL=80pF時の保証値

(8) JTAGインタフェースタイミング

記号	項目	規格値		単位	参照図番 図21.3.11
		最小	最大		
t _c (JTCK)	JTCK入力サイクル時間	100		ns	(60)
t _w (JTCKH)	JTCK入力“H”パルス幅	40		ns	(61)
t _w (JTCKL)	JTCK入力“L”パルス幅	40		ns	(62)
t _{su} (JTDI-JTCK)	JTDI, JTMS入力セットアップ時間	15		ns	(63)
t _h (JTCK-JTDI)	JTDI, JTMS入力ホールド時間	20		ns	(64)
t _d (JTCK-JTDOV)	JTCK立ち下がり後JTDO出力の遅延時間		40	ns	(65)
t _d (JTCK-JTDOX)	JTCK立ち下がり後JTDO出力Hi-Zまでの遅延時間		40	ns	(66)
t _w (JTRST)	TRST入力“L”パルス幅	t _c (JTCK)		ns	(67)

注. 規格値は測定端子の負荷容量CL=80pF時の保証値

(9) RTDタイミング

記号	項目	規格値		単位	参照図番 図21.3.12
		最小	最大		
tc(RTDCLK)	RTDCLK入力サイクル時間	500		ns	(90)
tw(RTDCLKH)	RTDCLK入力"H"パルス幅	230		ns	(83)
tw(RTDCLKL)	RTDCLK入力"L"パルス幅	230		ns	(84)
td(RTDCLKH-RTDACK)	RTDCLK入力後RTDACK遅延時間		160	ns	(85)
tv(RTDCLKL-RTDACK)	RTDCLK入力後RTDACK有効時間		160	ns	(86)
td(RTDCLKH-RTDXTD)	RTDCLK入力後RTDXTD遅延時間		tw(RTDCLKH)+160	ns	(87)
th(RTDCLKH-RTDRXD)	RTDRXD入力ホールド時間	50		ns	(88)
tv(RTDRXD-RTDCLKL)	RTDRXD入力セットアップ時間	60		ns	(89)

21.3.2 スイッチング特性

(1) 入出力ポート

記号	項目	測定条件	規格値		単位	参照図番 図21.3.1
			最小	最大		
td(E-P)	ポートデータ出力遅延時間			100	ns	③

(2) シリアルI/O

a) CSIOモード、内部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図21.3.2
			最小	最大		
td(CLK-D)	TxD出力遅延時間			60	ns	⑥
th(CLK-D)	TxDホールド時間		0		ns	⑧2

b) CSIOモード、外部クロック選択時

記号	項目	測定条件	規格値		単位	参照図番 図21.3.2
			最小	最大		
td(CLK-D)	TxD出力遅延時間			160	ns	⑫

(3) TOi (i=0~20)

記号	項目	測定条件	規格値		単位	参照図番 図21.3.4
			最小	最大		
td(BCLK-TOi)	TOi 出力遅延時間			100	ns	⑮

(4) リードおよびライトタイミング

記号	項目	測定条件	規格値		単位	参照図番 図21.3.6 図21.3.7 図21.3.8
			最小	最大		
tc(BCLK)	BCLK出力サイクル時間			$\frac{tc(Xin)}{2}$	ns	(16)
tw(BCLKH)	BCLK出力“H”パルス幅		$\frac{tc(BCLK)}{2} - 5$		ns	(17)
tw(BCLKL)	BCLK出力“L”パルス幅		$\frac{tc(BCLK)}{2} - 5$		ns	(18)
td(BCLKH-A)	BCLK後アドレス遅延時間			24	ns	(19)
td(BCLKH-CS)	BCLK後チップセレクト遅延時間			24	ns	(20)
tv(BCLKH-A)	BCLK後アドレス有効時間		-11		ns	(21)
tv(BCLKH-CS)	BCLK後チップセレクト有効時間		-11		ns	(22)
td(BCLKL-RDL)	BCLK後リード遅延時間			10	ns	(23)
tv(BCLKH-RDL)	BCLK後リード有効時間		-12		ns	(24)
td(BCLKL-BLWL) td(BCLKL-BHWL)	BCLK後ライト遅延時間			11	ns	(25)
tv(BCLKL-BLWL) tv(BCLKL-BHWL)	BCLK後ライト有効時間		-12		ns	(26)
td(BCLKL-D)	BCLK後データ出力遅延時間			18	ns	(27)
tv(BCLKH-D)	BCLK後データ出力有効時間		-16		ns	(28)
tpzx(BCLKL-DZ)	BCLK後データ出力イネーブル時間		-19		ns	(29)
tpxz(BCLKH-DZ)	BCLK後データ出力ディスイネーブル時間			5	ns	(30)
td(A-RDL)	リード前アドレス遅延時間		$\frac{tc(BCLK)}{2} - 15$		ns	(39)
td(CS-RDL)	リード前チップセレクト遅延時間		$\frac{tc(BCLK)}{2} - 15$		ns	(40)
tv(RDH-A)	リード後アドレス有効時間		0		ns	(41)
tv(RDH-CS)	リード後チップセレクト有効時間		0		ns	(42)
tpzx(RDH-DZ)	リード後データ出力イネーブル時間		$\frac{tc(BCLK)}{2}$		ns	(46)
td(A-BLWL) td(A-BHWL)	ライト前アドレス遅延時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(47)
td(CS-BLWL) td(CS-BHWL)	ライト前チップセレクト遅延時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(48)
tv(BLWH-A) tv(BHWH-A)	ライト後アドレス有効時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(49)
tv(BLWH-CS) tv(BHWH-CS)	ライト後チップセレクト有効時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(50)

リードおよびライトタイミング(前ページの続き)

記号	項目	測定条件	規格値		単位	参照図番 図21.3.6 図21.3.7 図21.3.8
			最小	最大		
td(BLWL-D) td(BHWL-D)	ライト後データ出力遅延時間 (バイトライトモード)			15	ns	(52)
tv(BLWH-D) tv(BHWH-D)	ライト後データ出力有効時間 (バイトライトモード)		$\frac{tc(BCLK)}{2} - 13$		ns	(53)
tpxz(BLWH-DZ) tpxz(BHWH-DZ)	ライト後データ出力ディスエーブル時間 (バイトライトモード)			$\frac{tc(BCLK)}{2} + 5$	ns	(54)
td(A-WRL)	ライト前アドレス遅延時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(69)
td(CS-WRL)	ライト前チップセレクト遅延時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(70)
tv(WRH-A)	ライト後アドレス有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(71)
tv(WRH-CS)	ライト後チップセレクト有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(72)
td(BLE-WRL) td(BHE-WRL)	ライト前バイトイネーブル遅延時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(73)
tv(WRH-BLE) tv(WRH-BHE)	ライト後バイトイネーブル有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 15$		ns	(74)
td(WRL-D)	ライト後データ出力遅延時間 (バイトイネーブルモード)			15	ns	(75)
tv(WRH-D)	ライト後データ出力有効時間 (バイトイネーブルモード)		$\frac{tc(BCLK)}{2} - 13$		ns	(76)
tpxz(WRH-DZ)	ライト後データ出力ディスエーブル時間 (バイトイネーブルモード)			$\frac{tc(BCLK)}{2} + 5$	ns	(77)
tw(RDH)	リード“H”パルス幅		$\frac{tc(BCLK)}{2} - 3$		ns	(55)

(5)バスアービトラクション

記号	項目	測定条件	規格値		単位	参照図番 図21.3.9
			最小	最大		
td(BCLKL-HACKL)	BCLK後HACK遅延時間			29	ns	(37)
tv(BCLKL-HACKL)	BCLK後HACK有効時間		-11		ns	(38)

21.3.3 AC特性

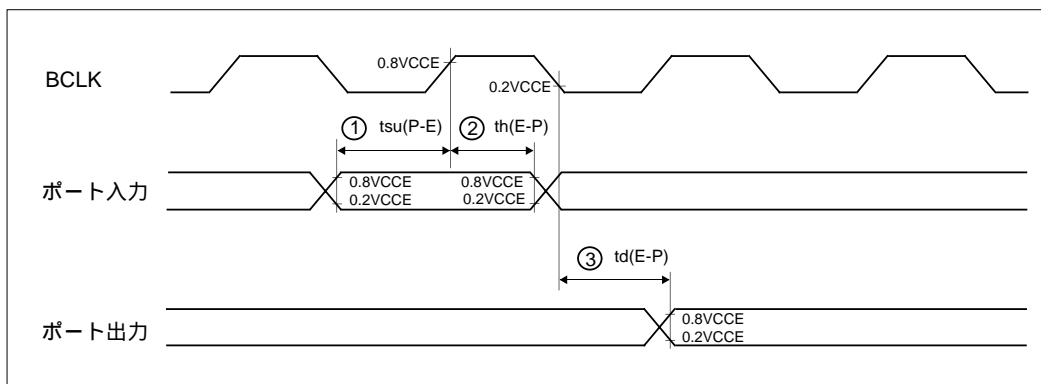


図21.3.1 入出力ポートタイミング

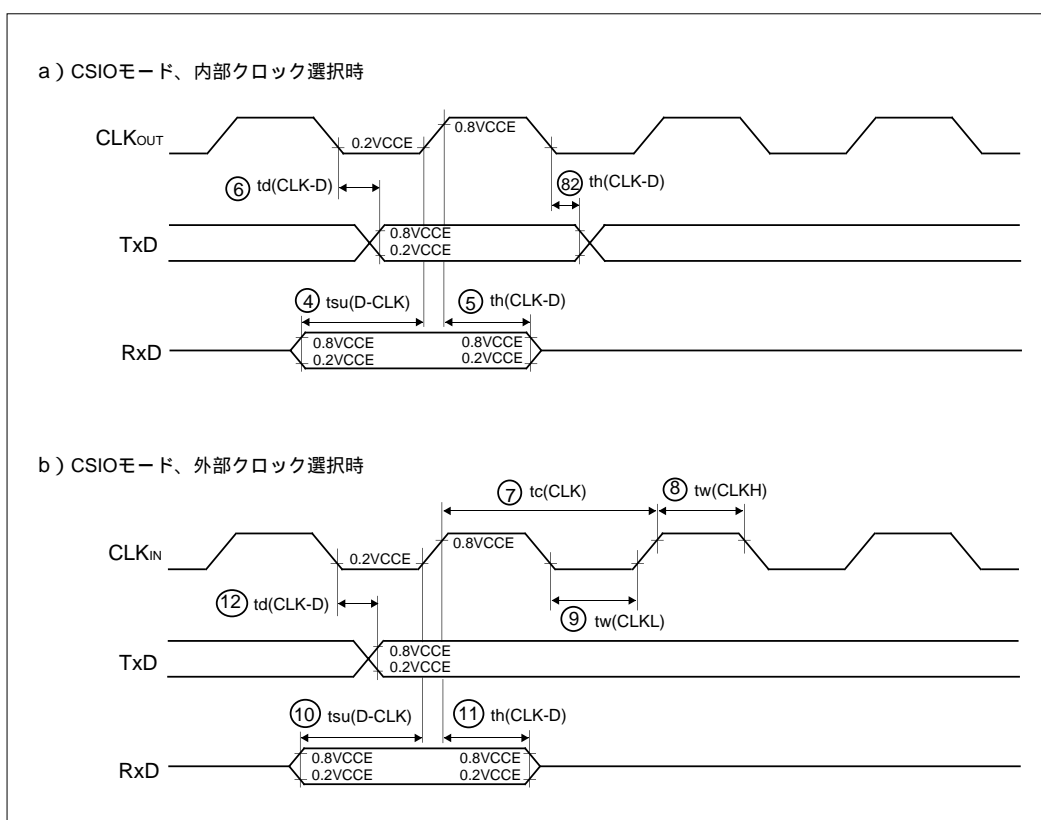


図21.3.2 シリアルI/Oタイミング

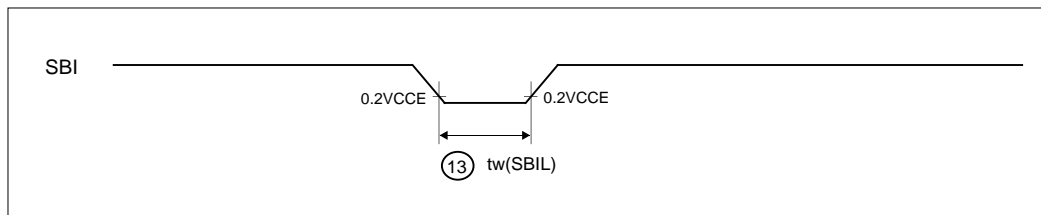


図21.3.3 SBIタイミング

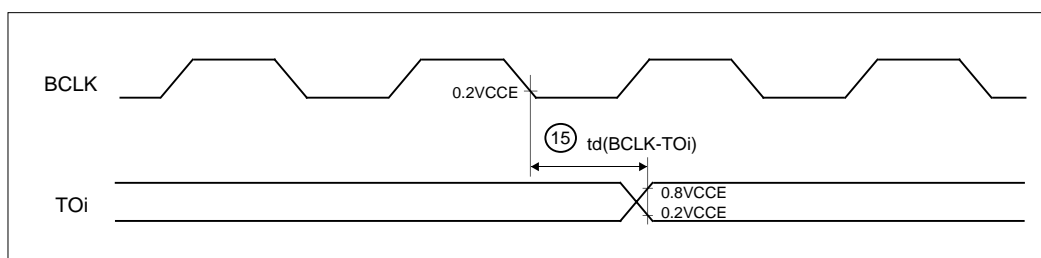


図21.3.4 TOiタイミング

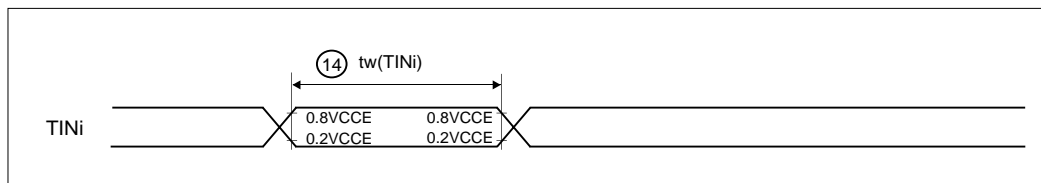


図21.3.5 TINiタイミング

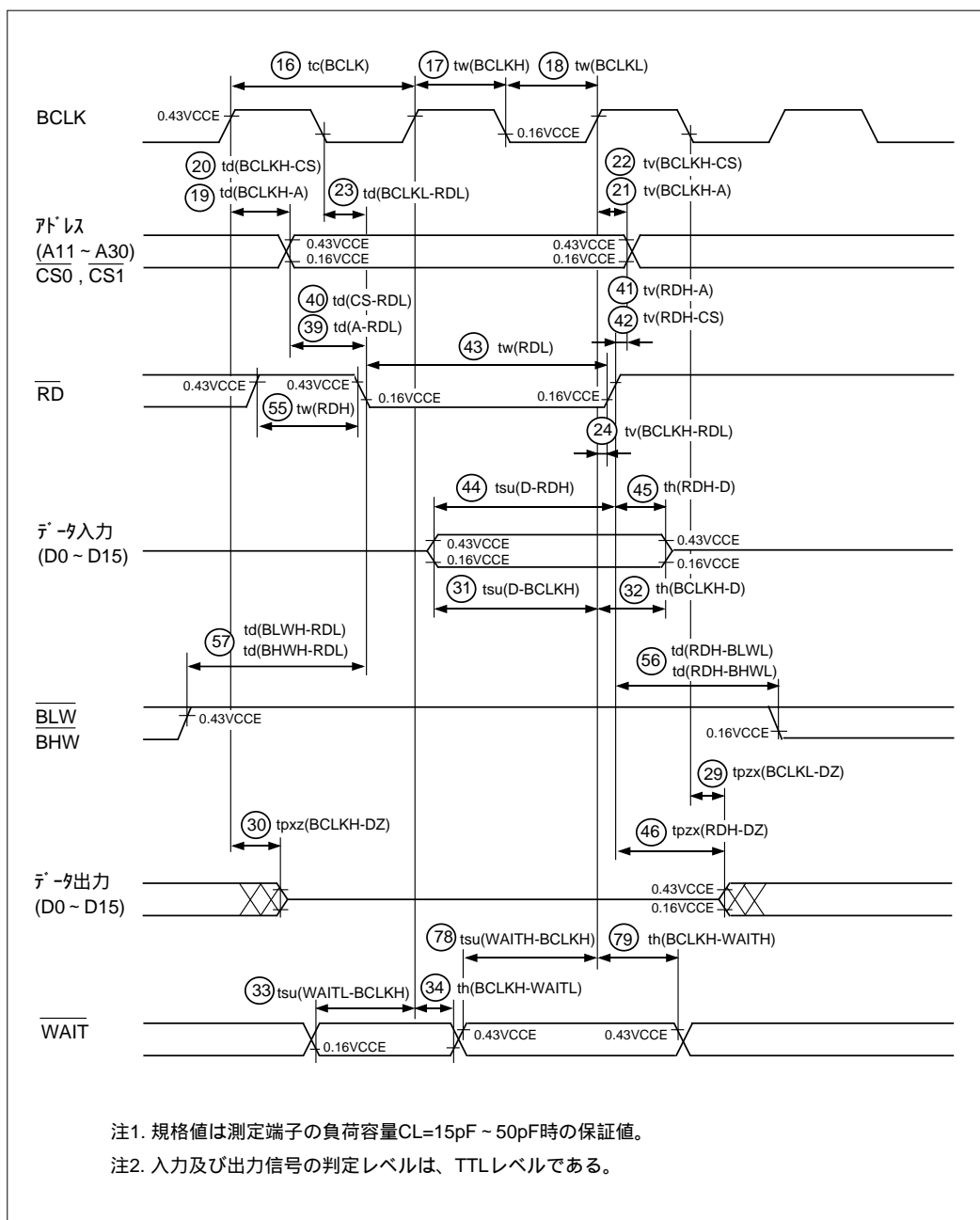


図21.3.6 リードタイミング

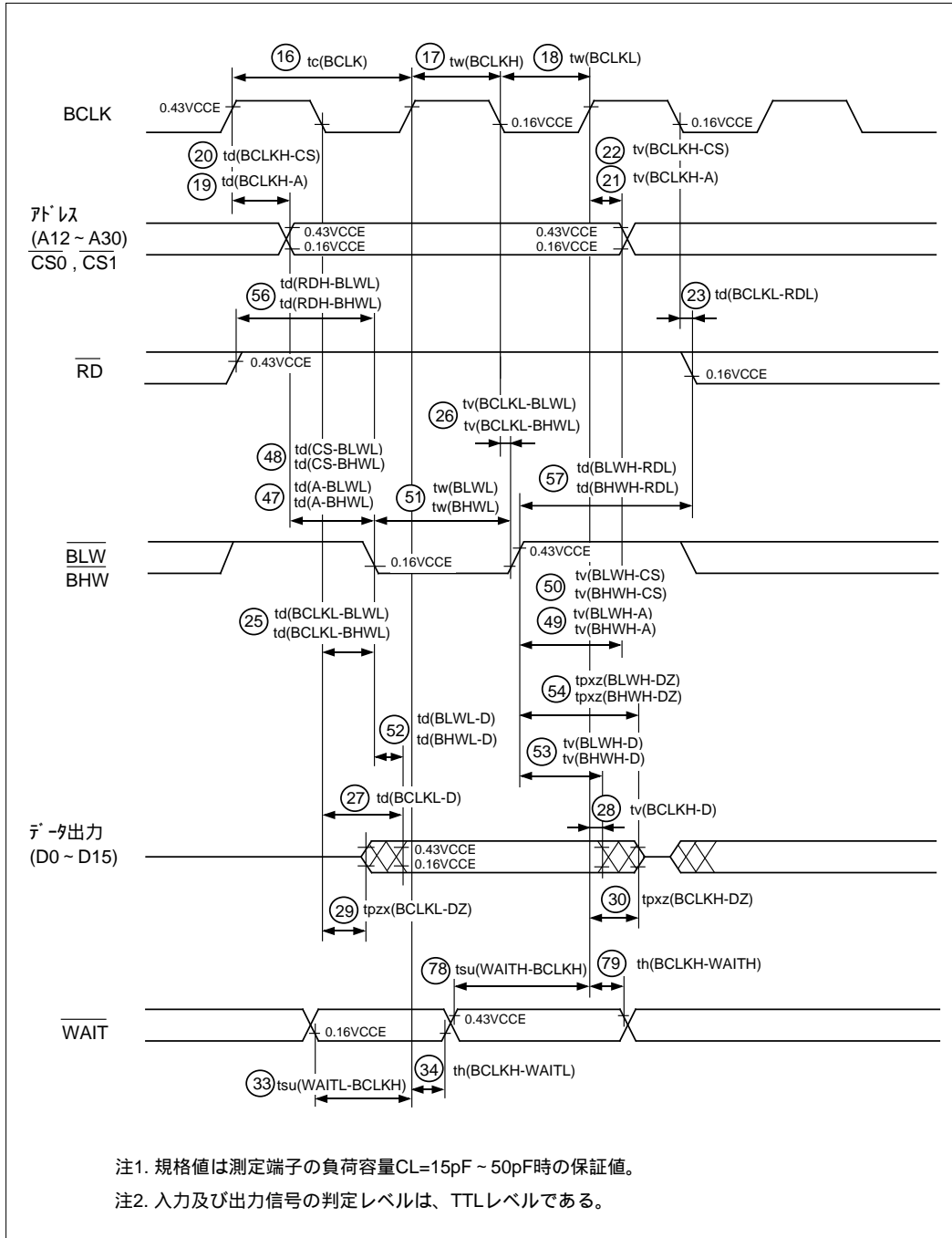


図21.3.7 ライトタイミング

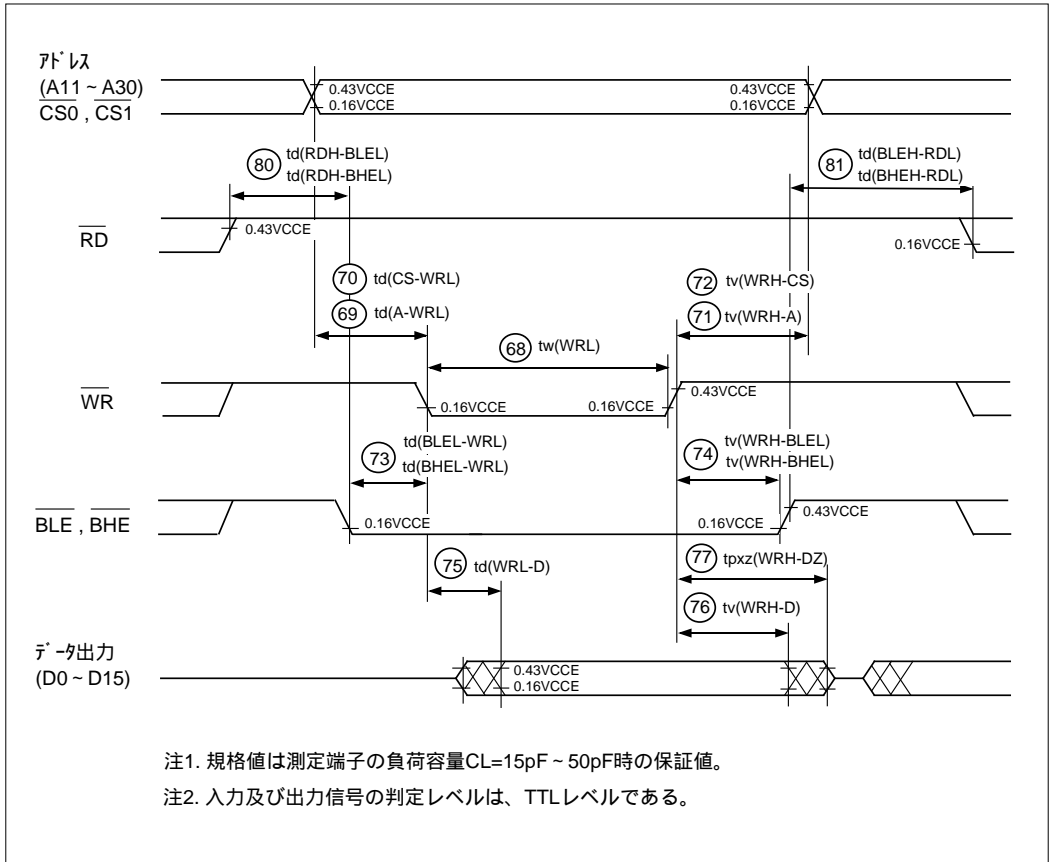


図21.3.8 ライトタイミング(バイトイネーブルモード)

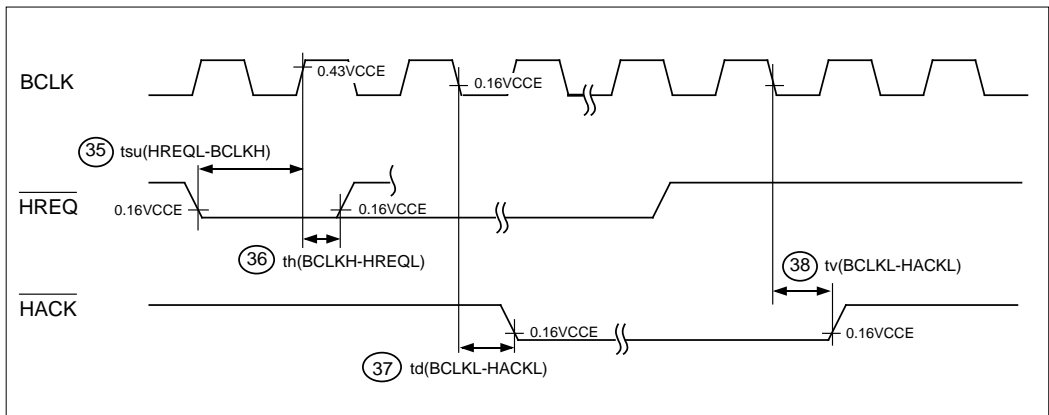


図21.3.9 バスアービトレーションタイミング

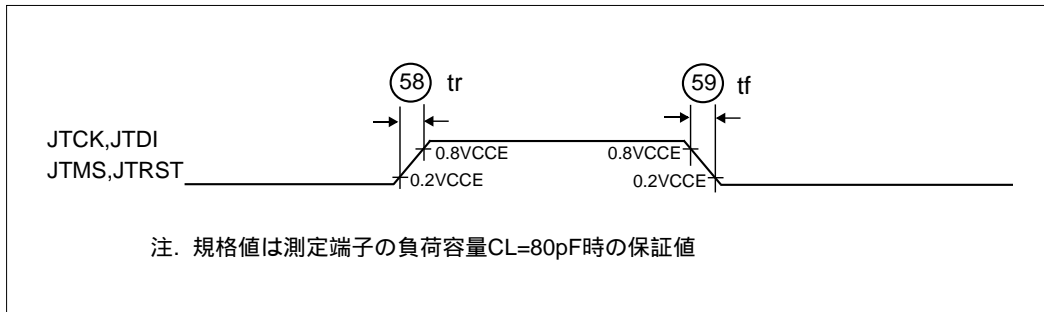


図21.3.10 JTAG端子の入力遷移時間

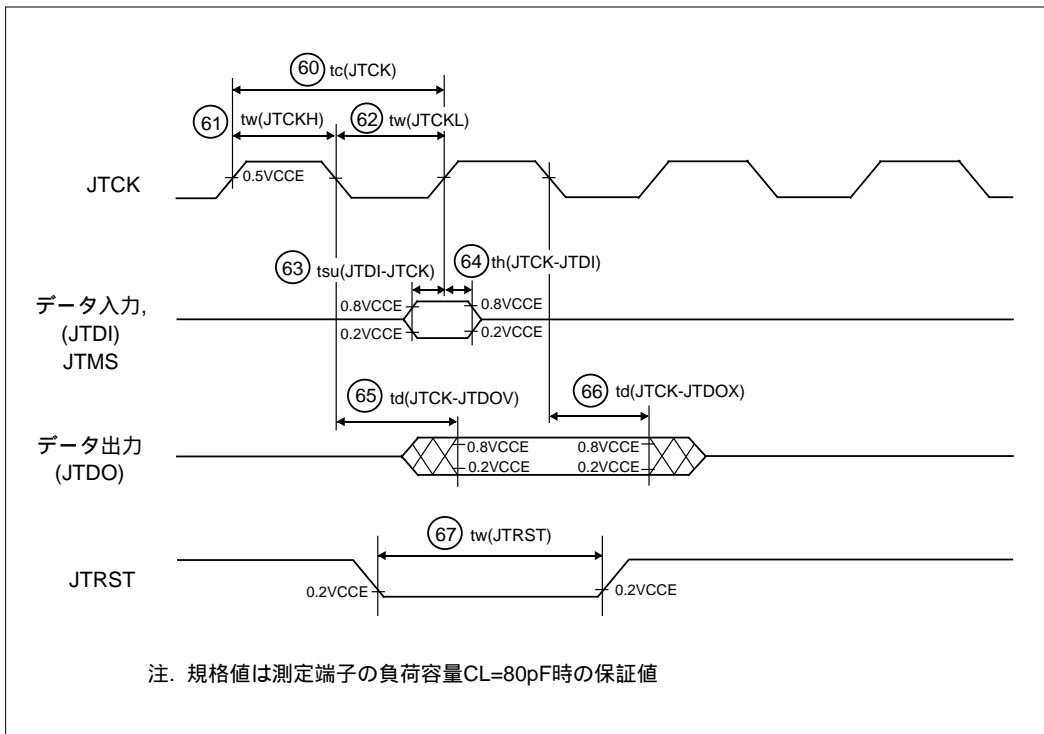


図21.3.11 JTAGインタフェースタイミング

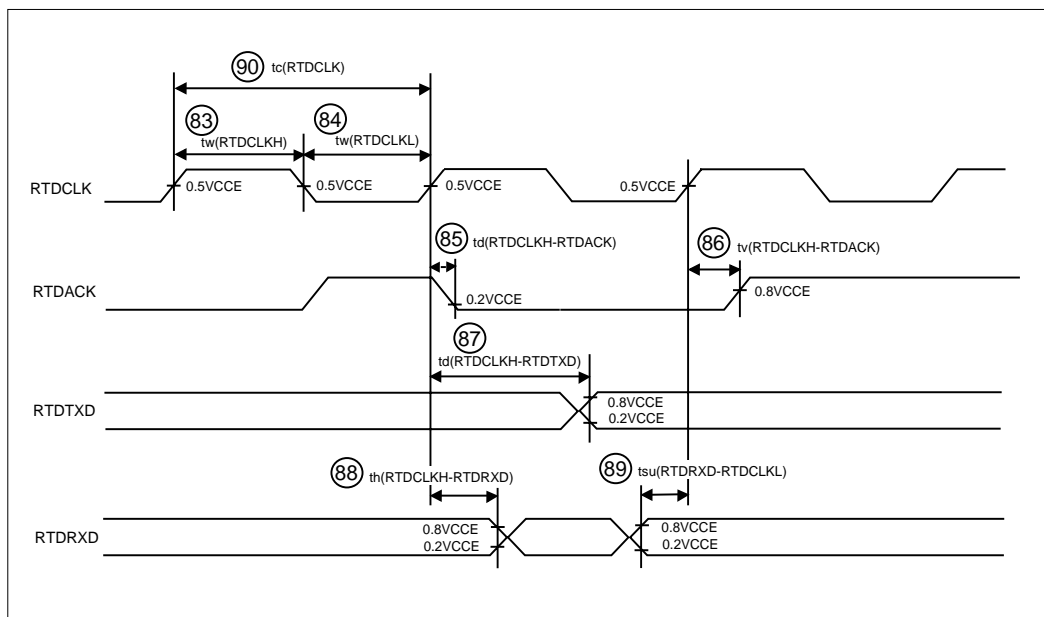


図21.3.12 RTDタイミング

第22章

標準特性

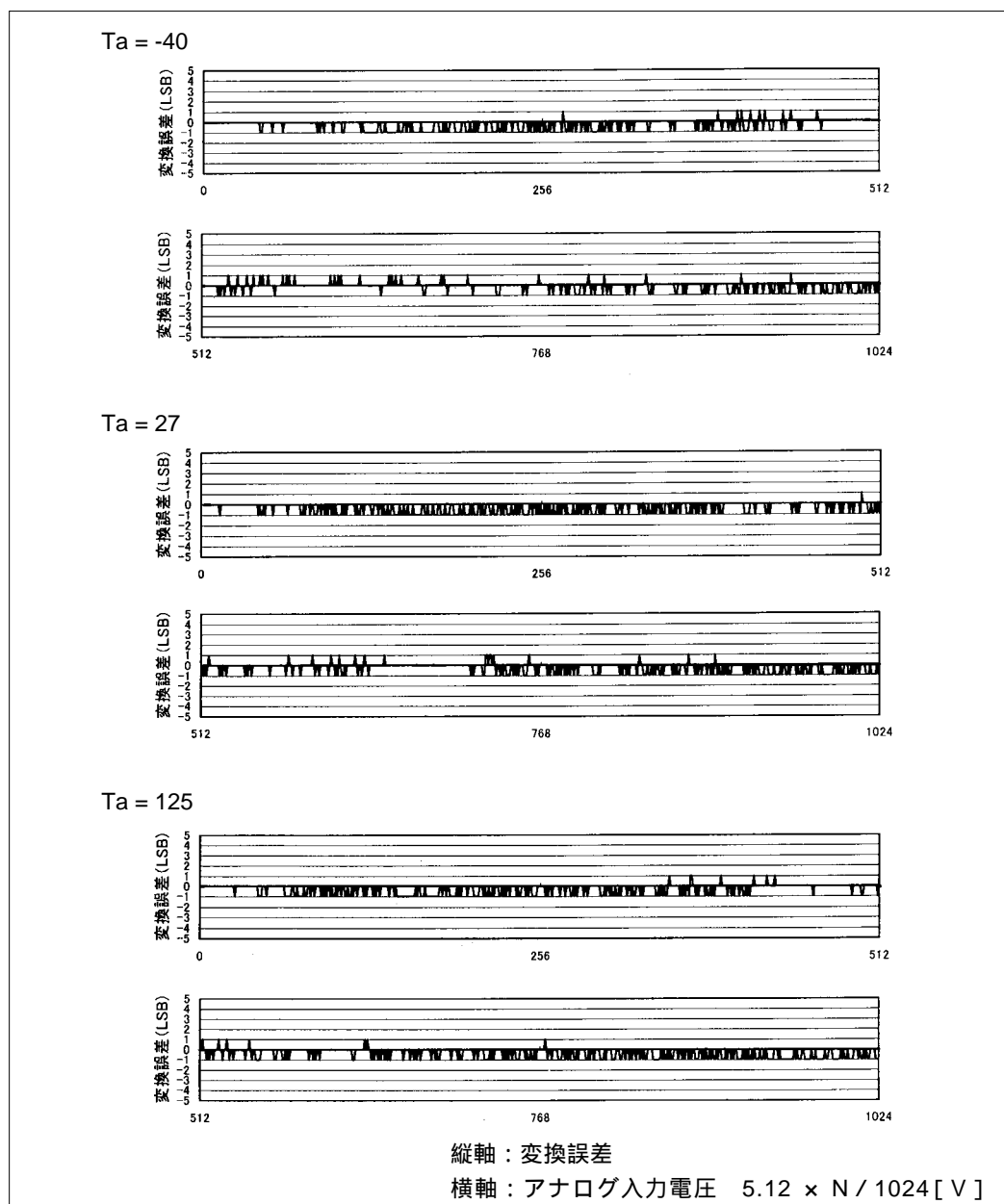
22.1 A-D変換特性

22.1 A-D変換特性

(1) 測定条件

- ・ Ta = -40 、 27 、 125
- ・ 測定電圧(VCC)= 5.12 V
- ・ ノーマルモード、倍速モード

(2) 倍速モード実測値(参考値)



付録 1

機械の仕様

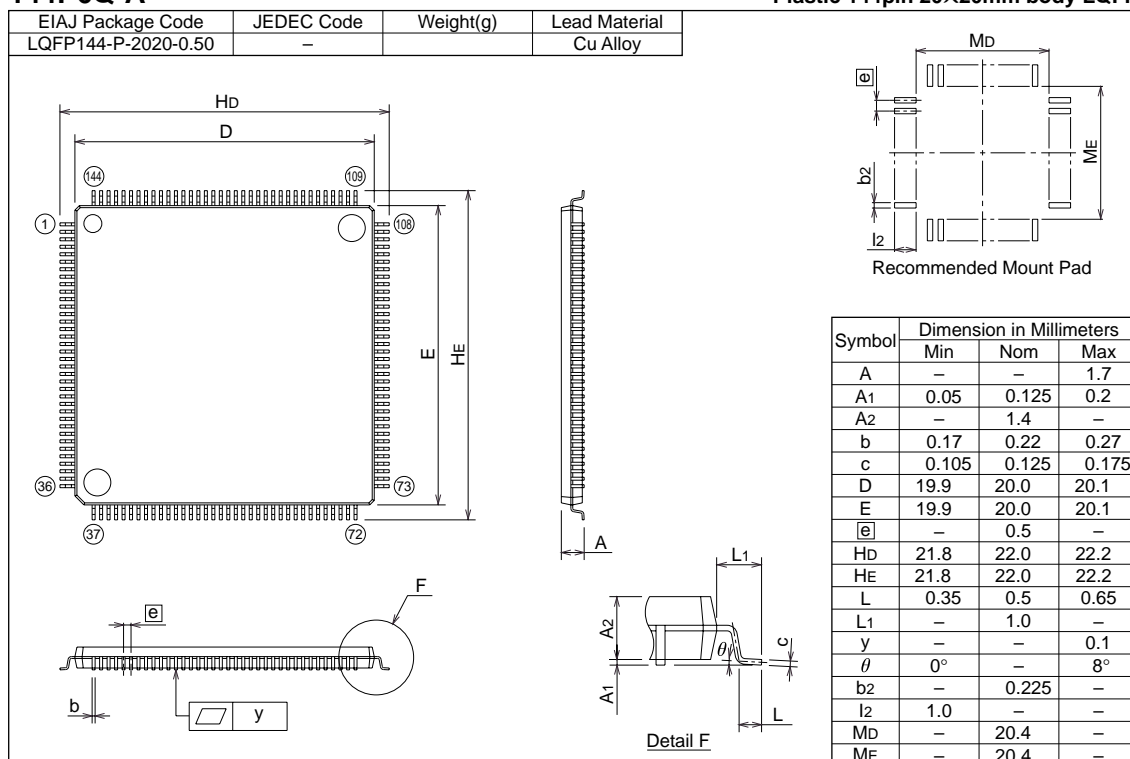
付録1.1 外形寸法図

付録1.1 外形寸法図

(1) 144pin QFP

144P6Q-A

Plastic 144pin 20X20mm body LQFP



付録 2

命令処理時間

付録2.1 M32R/ECU命令処理時間

付録2.1 M32R/ECU命令処理時間

M32R/ECUは、通常Eステージにおける命令実行サイクル数を命令処理時間として代表しますが、パイプラインの動作によっては、それ以外のステージが処理時間に影響を与えることがあります。特に分岐命令を実行した場合の次命令においては、IF(命令フェッチ)、D(デコード)、E(実行)の各ステージの処理時間を考慮に入れることが必要です。

以下にM32R/ECUの各パイプラインステージごとの命令処理時間を示します。

付表2.1.1 各パイプラインステージにおける命令処理時間

命令	各ステージにおける実行サイクル数(注)				
	IF	D	E	MEM	WB
ロード命令(LD, LDB, LDUB, LDH, LDUH, LOCK)	R	1	1	R	1
ストア命令(ST, STB, STH, UNLOCK)	R	1	1	W	-
乗算命令(MUL)	R	1	3	-	1
除算/剰余命令(DIV, DIVU, REM, REMU)	R	1	37	-	1
上記以外の命令 (DSP機能用命令を含む)	R	1	1	-	1

注. R, W : 計算方法は次ページを参照。

以下にIF、MEMステージでのメモリアクセスのサイクル数を示します。ここに示す値は、メモリアクセスのための最小サイクル数です。したがって実際のメモリやバスアクセスにかかるサイクル数とは異なる場合があります。

たとえばライトアクセスについては、CPUはライトバッファに書き込むだけでMEMステージを終了しますが、実際にはその後にメモリのライトが行われます。CPUがメモリアクセス要求した前後のメモリやバスの状態によって、命令処理時間は計算値から増える場合があります。

R (リードサイクル)

	サイクル
命令キューにある場合	1
内蔵リソース(ROM, RAM)をリードした場合	1
内蔵リソース(SFR)をリードした場合(バイト、ハーフワード)..	2
内蔵リソース(SFR)をリードした場合(ワード).....	4
外部メモリをリードした場合(バイト、ハーフワード).....	5(注)
外部メモリをリードした場合(ワード).....	9(注)
外部メモリから連続して命令フェッチした場合	8(注)

W (ライトサイクル)

	サイクル
内蔵リソース(RAM)にライトした場合	1
内蔵リソース(SFR)にライトした場合(バイト、ハーフワード)..	2
内蔵リソース(SFR)にライトした場合(ワード).....	4
外部メモリにライトした場合(バイト、ハーフワード).....	4(注)
外部メモリにライトした場合(ワード).....	8(注)

注. 外部アクセスが1ウエイトの場合です(M32R/ECUが外部アクセスを行う場合は、最低1ウエイトが入ります)。

空きページです

付録3

未使用端子の処理

付録3.1 未使用端子の処理例

付録3.1 未使用端子の処理例

未使用端子の処理例を以下に示します。

(1) 動作モードがシングルチップモードの場合

付表3.1.1 シングルチップモード時の未使用端子の処理例

端子名	処理
入出力ポート (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P41 ~ P47, P61 ~ P63, P70 ~ P77, P82 ~ P87, P93 ~ P97, P100 ~ P107, P110 ~ P117, P124 ~ P127, P130 ~ P137, P150, P153, P174, P175, P220, P221, P225 (注2)	入力モードに設定し、端子ごとに1K ~ 10K の抵抗を介してVSSに接続 (プルダウン)
P64/SBI (注3)	1K ~ 10K の抵抗を介してVSSに接続 (プルダウン)
XOUT (注4)	開放
A-D変換器	
AD0IN0 ~ AD0IN15, AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0 ~ 100K の抵抗を介してVCCEに接続 (プルアップ)、またはVSSに接続 (プルダウン)
JTRST	0 ~ 100K の抵抗を介してVSSに接続 (プルダウン)

注1．入出力ポートはリセット解除後は入力ポートになっています。

注2．P221はCAN入力専用端子です。

注3．P64はSBI入力専用端子です。ノイズ等により立ち下がりエッジ信号が入力されないようご注意ください。
(P64/SBI端子に立ち下がりエッジ信号が入力されシステムブレーク割り込みが発生します。)

注4．XINに外部クロック入力時。

(2) 動作モードが外部拡張モードまたはプロセッサモードの場合

付表3.1.2 外部拡張モードまたはプロセッサモード時の未使用端子の処理例

端子名	処理
入出力ポート (注1) P61 ~ P63, P70 ~ P77, P82 ~ P87, P93 ~ P97, P100 ~ P107, P110 ~ P117, P124 ~ P127, P130 ~ P137, P150, P153, P174, P175, P220, P221, P225 (注2)	入力モードに設定し、端子ごとに1K ~ 10K の抵抗を介してVSSに接続 (プルダウン)
P64/SBI (注3)	1K ~ 10K の抵抗を介してVSSに接続 (プルダウン)
BLW/BLĒ, BHW/BHĒ, CS1	開放
XOUT (注4)	開放
A-D変換器	
AD0IN0 ~ AD0IN15, AVREF0, AVSS0	VSSに接続
AVCC0	VCCEに接続
JTAG	
JTDO, JTMS, JTDI, JTCK	0 ~ 100K の抵抗を介してVCCEに接続 (プルアップ)、またはVSSに接続 (プルダウン)
JTRST	0 ~ 100K の抵抗を介してVSSに接続 (プルダウン)

注1 . 入出力ポートはリセット解除後は入力ポートになっています。

注2 . P221はCAN入力専用端子です。

注3 . P64はSBI入力専用端子です。ノイズ等により立ち下がりエッジ信号が入力されないよう注意してください。
(P64/SBI端子に立ち下がりエッジ信号が入力されるとシステムブレーク割り込みが発生します。)

注4 . XINに外部クロック入力時。

空きページです

付録4

注意事項のまとめ

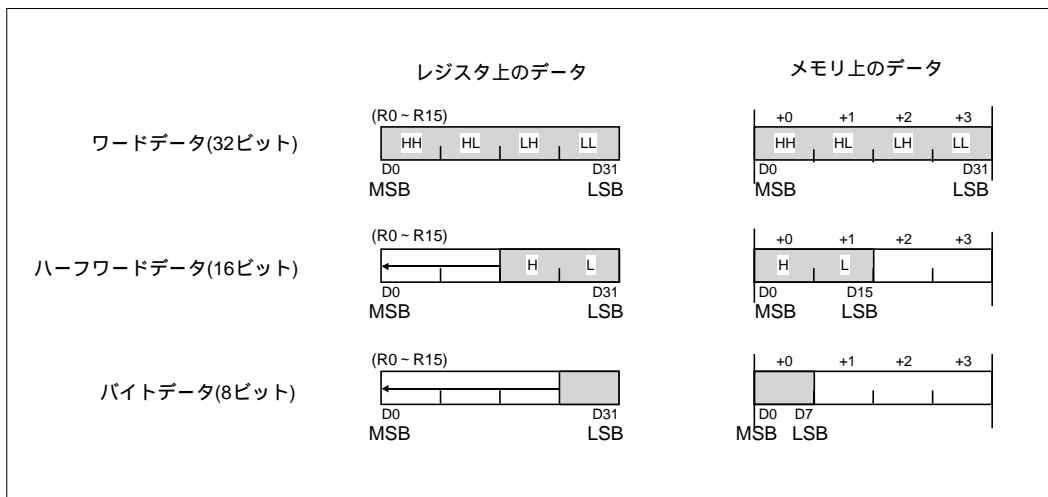
- 付録4.1 CPUに関する注意事項
- 付録4.2 アドレス空間の注意事項
- 付録4.3 EITの注意事項
- 付録4.4 フラッシュメモリ書き換え時の注意事項
- 付録4.5 リセット解除後の注意事項
- 付録4.6 入出力ポートの注意事項
- 付録4.7 DMACの注意事項
- 付録4.8 マルチジャンクションタイマの注意事項
- 付録4.9 A-D変換器の注意事項
- 付録4.10 シリアルI/Oの注意事項
- 付録4.11 RAMバックアップモードの注意事項
- 付録4.12 JTAG端子処理の注意事項
- 付録4.13 ノイズに関する注意事項

付録4. 注意事項のまとめ

付録4.1 CPUに関する注意事項

付録4.1.1 データ転送の注意事項

データの転送は、レジスタのデータ配置とメモリのデータ配置に違いがありますのでご注意ください。



付図4.1.1 データ配置の違い

付録4.2 アドレス空間の注意事項

付録4.2.1 疑似フラッシュエミュレーション機能

32171には、内蔵フラッシュメモリを8Kバイト毎に区切った領域(Lバンク)に、内蔵RAMの先頭から8Kバイトの1ブロックをマッピングする機能、および内蔵フラッシュメモリを4Kバイト毎に区切った領域(Sバンク)に、内蔵RAMのH'0080 6000の領域から4Kバイト単位のブロック(最大2ブロック)をマッピングする機能があり、これを疑似フラッシュエミュレーション機能と呼びます。この機能については、6.7「疑似フラッシュエミュレーション機能」をご覧ください。

付録4.3 EITの注意事項

アドレス例外は、「レジスタ間接+レジスタ更新」アドレッシングモードを使用した命令(以下の3種類)の実行によってアドレス例外が発生した場合、自動更新される側のレジスタ(Rsrc、Rsrc2)の値が不定となります。

なお、Rsrc、Rsrc2の値が不定になる以外は、他のアドレッシングモード使用時と同様の動作を行います。

対象命令

LD	Rdest、@Rsrc+
ST	Rsrc1、@-Rsrc2
ST	Rsrc1、@+Rsrc2

上記に該当する場合、レジスタ値が不定になることを考慮した上でその後のシステム処理を行ってください(アドレス例外が発生した場合、その時点ですでにシステムに何らかの致命的な障害が発生したことを意味します。そのため、アドレス例外ハンドラ処理後、元のプログラムに復帰しない条件でご使用ください)。

付録4.4 フラッシュメモリ書き換え時の注意事項

ブートモード+フラッシュE/Wイネーブルモードで内蔵フラッシュメモリを書き換える場合の注意事項を以下に示します。

フラッシュメモリ書き換え時は、内部で高電圧が生成されています。チップ破壊の原因となり得ますので、書き換え中のモード移行などしないように、モード端子、電源管理を十分に行ってください。

汎用書き換えツールで使用する端子をシステムで使用する場合、ツール接続時に影響がないよう考慮が必要です。

汎用書き換えツール使用時にフラッシュメモリプロテクトが必要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)に任意のIDを設定してください。

汎用書き換えツール使用時にフラッシュメモリプロテクトが不要な場合は、フラッシュメモリプロテクト用ID照合領域(H'0000 0084 ~ H'0000 0093)すべてにH'FFを設定してください。

フラッシュステータスレジスタ2(FSTAT2)の各エラーステータスのクリア(初期化H'80)に、フラッシュ制御レジスタ4(FCNT4)のFRESETビットによるリセットを使用する場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1" "0"にする場合は、フラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"1"(Ready)、及びフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"1"(Ready)であることを確認後実施ください。

フラッシュ制御レジスタ1(FCNT1)のFENTRYビットを"1"でフラッシュステータスレジスタ1(FSTAT1)のFSTATビットが"0"(Busy)、及びフラッシュステータスレジスタ2(FSTAT2)のFBUSYビットが"0"(Busy)場合、FENTRYビットのクリアは行わないでください。

付録4.5 リセット解除後の注意事項

付録4.5.1 入出力ポート

リセット解除後は、貫通電流防止のため、入力禁止状態になっています。ポートを入力モードで使用する場合は、ポート入力機能許可レジスタ(PIEN)のPIEN0で入力許可に設定してください。詳しくは、8.3「入出力ポート関連レジスタ」をご覧ください。

付録4.6 入出力ポートの注意事項

付録4.6.1 ポートを出力モードで使用する場合

リセット直後のポートデータレジスタ値が不定となりますので、ポートデータレジスタ値に出力初期値を書き込んだ後、ポート方向レジスタを出力設定する必要があります。ポートデータレジスタに設定を行う前に、ポート方向レジスタを出力設定するとポートデータレジスタへ書き込みが行われるまでの間、不定値が出力されます。

付録4.7 DMACの注意事項

付録4.7.1 DMAC関連レジスタへの書き込みについて

DMAは内部バスを介してデータをやりとりするため、DMAC関連レジスタへの書き込みは、基本的にはリセット直後または転送禁止状態(転送許可ビットが"0")のときに行ってください。転送許可状態ではDMA転送許可ビット、転送要求フラグおよびハードウェア的にプロテクトされているDMA転送カウントレジスタを除き、DMAC関連レジスタへの書き込みは動作安定のため行わないで下さい。

以下に、各レジスタのライトアクセスの可否を示します。

付表4.7.1 DMAC関連レジスタへのライトアクセスの可否

状態	転送許可ビット	転送要求フラグ	その他DMAC関連レジスタ
転送許可状態			×
転送禁止状態			

: 可 × : 不可

なお、例外的に転送許可状態で書き込み操作を行えるレジスタについても、以下の条件を守って下さい。

DMA チャンネル制御レジスタの転送許可ビット、および転送要求フラグ

チャンネル制御レジスタ中のこれ以外のビットには、書き込み前と同じデータを書き込んで下さい。なお、転送要求フラグは"0"の書き込みのみ有効です。

DMA 転送カウントレジスタ

転送許可状態ではハードウェア的にプロテクトされているため、データの書き込みは無視されます。

DMA 転送による異なるチャンネルのDMA ソースアドレス、およびDMA デスティネーションアドレスの書き替え

この場合DMAの許可状態でDMAC関連レジスタの操作を行うことにはなりますが、問題はありません。ただし、自チャンネルのDMAC関連レジスタへのDMA転送はできません。

付録4.7.2 DMA転送によるDMAC関連レジスタの操作

DMA転送を使って、DMAC関連レジスタの操作(例えば、DMA転送によるDMAC関連レジスタの初期値の再ロードなど)を行う場合は、同一チャンネルによる自チャンネルDMAC関連レジスタへの書き込みは行わないでください(行った場合の動作は保証されません)。

他のチャンネルであれば、DMA転送によるDMAC関連レジスタの書き替えが可能です(例えばチャンネル0による、チャンネル1のDMA_nソースアドレスレジスタとDMA_nデスティネーションアドレスレジスタの書き替え操作など)。

付録4.7.3 DMA割り込み要求ステータスレジスタについて

DMA割り込み要求ステータスレジスタに対してクリア操作を行う場合は、クリアするビット以外のビットには"1"を書き込んで下さい。"1"を書き込んだビットは、書き込み前のデータが保持されます。

付録4.7.4 DMA転送の安定動作について

DMA転送の安定動作のため、DMAC関連レジスタの書き換えは、チャンネル制御レジスタの転送許可ビットを除き、必ずディスイネーブル(転送禁止)時のみ行うようにしてください。

ただし、DMA転送によるチャンネル間のソースアドレスレジスタおよびデスティネーションアドレスレジスタの書き換えはイネーブル(転送許可)時でも可能です。

付録4.8 マルチジャンクションタイマの注意事項

付録4.8.1 TOPワンショット出力モード使用上の注意

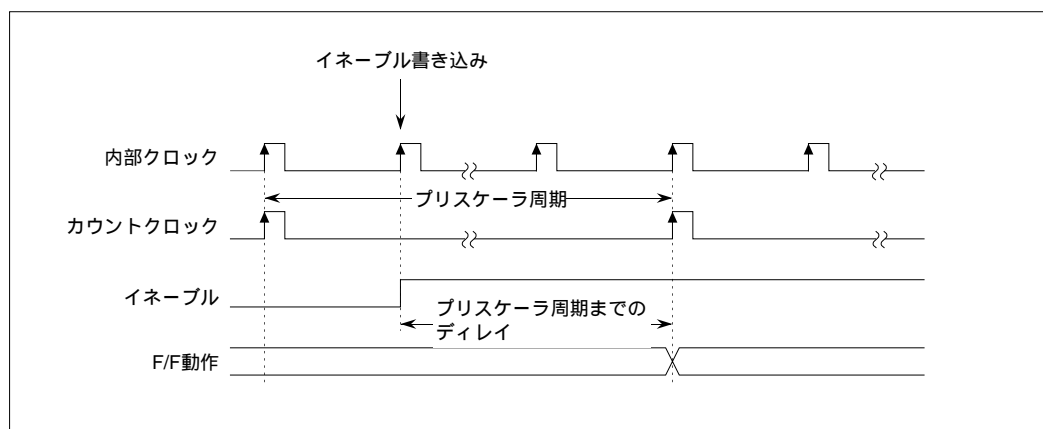
TOPワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

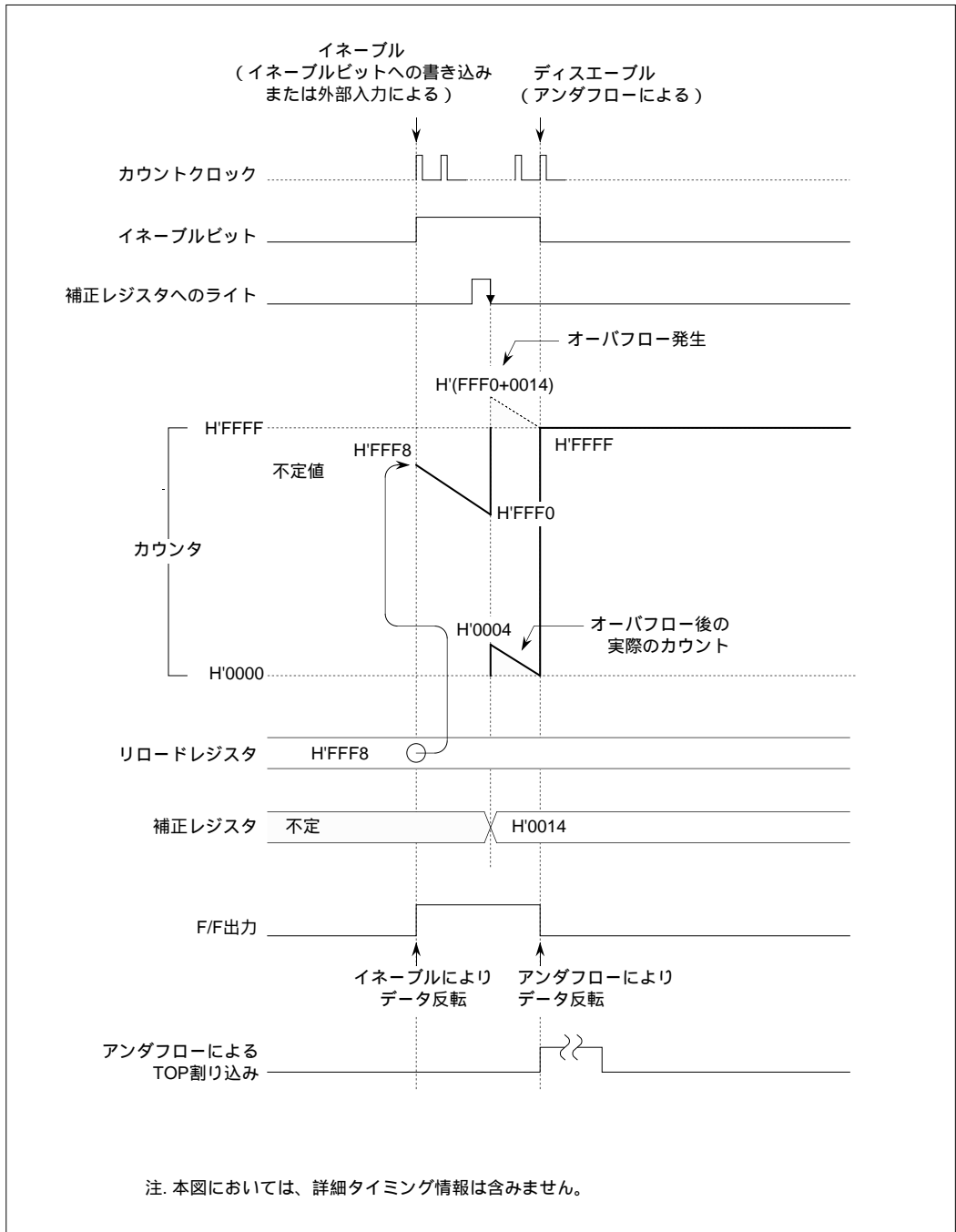


付図4.8.1 プリスケアラディレイ

補正レジスタの操作でカウンタがオーバーフローしないようご注意ください。補正レジスタの操作により万一オーバーフローしても、オーバーフローしたことによる割り込みは発生しません。オーバーフロー後に継続したダウンカウントでアンダフローした場合は、オーバーフローした値での誤ったアンダフロー割り込みが発生します。

次ページの例では、リロードレジスタの初期値にH'FFF8を設定しています。タイマが起動すると、リロードレジスタの値がカウンタにロードされ、ダウンカウントが始まります。図の例ではH'FFF0までカウントしたところで、補正レジスタにH'0014を書き込んでいます。

この補正の結果、カウンタはオーバーフローしてH'0004になり、正常なカウントが行われていません。また割り込みは、オーバーフローした誤った値で発生しています。



付図4.8.2 TOPワンショット出力モード補正実行でオーバーフローした場合の例

付録4.8.2 TOPディレイドワンショット出力モード使用上の注意

TOPディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

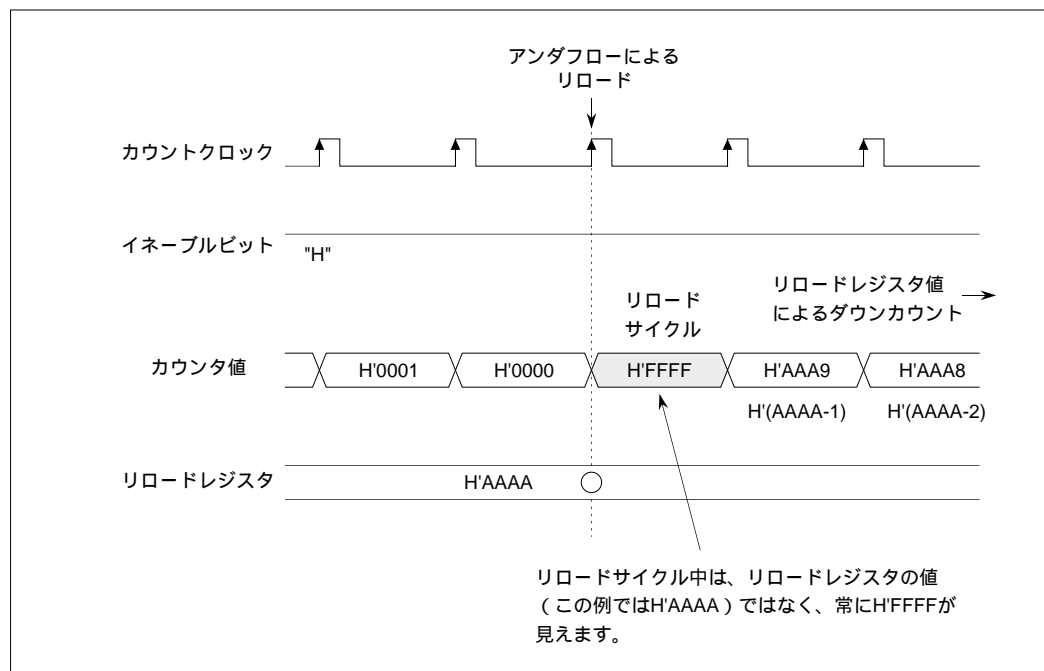
アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

補正レジスタの操作により万が一カウンタがオーバフローしても、オーバフローしたことによる割り込みは発生しません。オーバフロー後に継続したダウンカウントでアンダフローした場合は、オーバフローした値での誤ったアンダフロー割り込みが発生します。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。



付図4.8.3 アンダフロー直後のカウンタ値

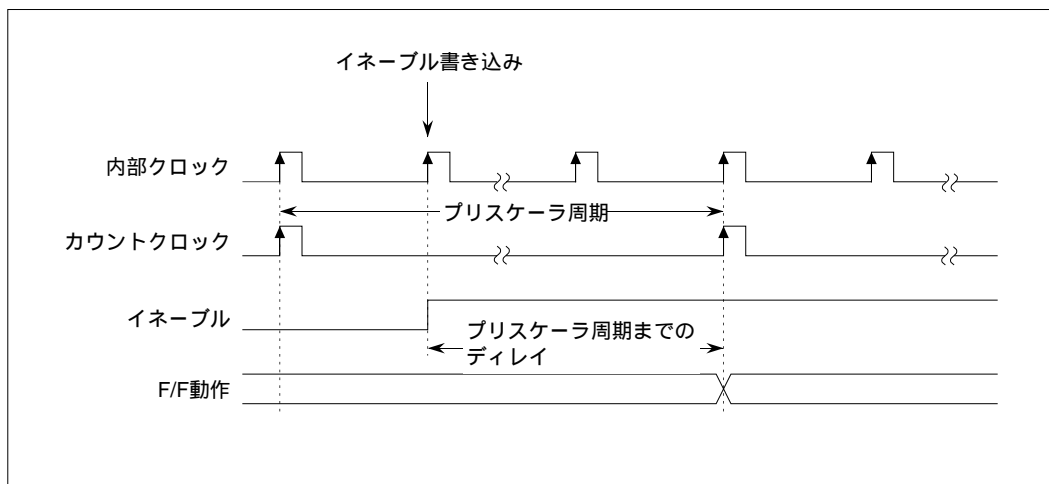
付録4.8.3 TOP連続出力モード使用上の注意

TOP連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。



付図4.8.4 プリスケアラディレイ

付録4.8.4 TIO計測(フリーラン/クリア)入力モード使用上の注意

TIO計測(フリーラン/クリア)入力モードを使用する場合の注意点を以下に示します。

計測イベント入力とカウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

付録4.8.5 TIOワンショット出力モード使用上の注意

TIOワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

内部回路動作はカウントクロック(プリスケアラ出力)に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

付録4.8.6 TIOディレイドワンショット出力モード使用上の注意

TIOディレイドワンショット出力モードを使用する場合の注意点を以下に示します。

アンダフローによるカウンタ停止と外部入力によるイネーブルが同一クロックで重なった場合は、アンダフローによるカウンタ停止が優先されます。

アンダフローによるカウンタ停止とイネーブルビットへのカウント許可書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント許可が優先されます。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、リロード直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

付録4.8.7 TIO連続出力モード使用上の注意

TIO連続出力モードを使用する場合の注意点を以下に示します。

外部入力によるイネーブルとイネーブルビットへのカウント禁止書き込みが同一クロックで重なった場合は、イネーブルビットへのカウント禁止書き込みが優先されます。

アンダフロー時のリロード直後にカウンタを読むと、一時的に値がH'FFFFが読み出されますが、その直後のクロックでカウンタ値はすぐに「リロード値 - 1」となります。

内部回路動作はカウントクロック(プリスケアラ)出力に同期しているため、イネーブル後F/F動作開始までにはプリスケアラ分のディレイを含みます。

付録4.8.8 TMS計測入力使用上の注意

TMS計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされ、計測レジスタにも書き込み値が取り込まれます。

付録4.8.9 TML計測入力使用上の注意

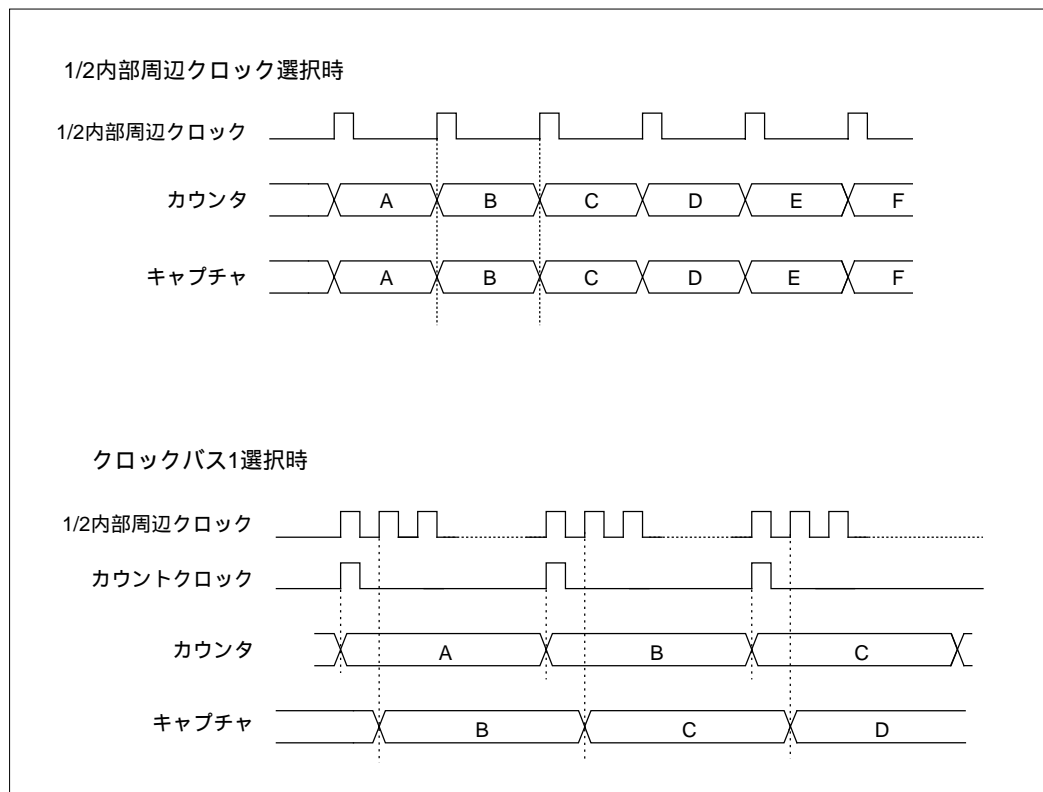
TML計測入力を使用する場合の注意点を以下に示します。

計測イベント入力と、カウンタへの書き込みが同一クロックで重なった場合、カウンタには書き込み値がセットされますが、計測レジスタには(書き替え前の)アップカウント値が取り込まれます。

クロックバス1を選択した場合で、1/2内部周辺クロック以外のクロックを使用すると、カウンタへの書き込みが正常にできなくなりますので、1/2内部周辺クロック以外のクロックを使用した場合はカウンタへの書き込みを行わないでください。

クロックバス1を選択した場合で、1/2内部周辺クロック以外のクロックを使用すると、キャプチャ値として、カウンタ値よりも一つ進んだ値を取り込みます。ただし、カウンタクロックから1/2内部周辺クロック周期の間は、カウンタ値の値を取り込みます。

以下にカウンタ動作とキャプチャ可能なデータの関係を示します。



付図4.8.5 カウンタ値とキャプチャ値のずれ

付録4.9 A-D変換器の注意事項

スキャン動作中の強制終了

スキャンモード動作中に、A-D変換ストップビット(AD0CSTP)を"1"にセットしてA-D変換を強制停止した場合、変換途中のチャンネルに対応するA-Dデータレジスタの内容を読み出すと、強制停止する以前に転送されていた最終の変換結果が読み出されます。

A-D変換器関連レジスタの変更

A-D変換ストップビットを除くA-D変換割り込み制御レジスタ、各モードレジスタおよびA-D逐次近似レジスタの内容の変更は、A-D変換停止中に行うか、変更後に再スタートしてください。A-D変換中に各レジスタの変更を行った場合、変換結果は保証されません。

アナログ入力信号の取り扱い

このA-D変換器には、サンプルアンドホールド回路は内蔵されていません。したがって、A-D変換中はアナログ入力レベルを固定してください。

A-D変換終了ビットの読み出しタイミング

A-D変換起動直後にA-D変換終了ビット(単一モードレジスタ0のD5ビット、およびスキャンモードレジスタ0のD5ビット)を読み出す場合は、NOP命令などで1サイクル分タイミング調整してから読み出してください。

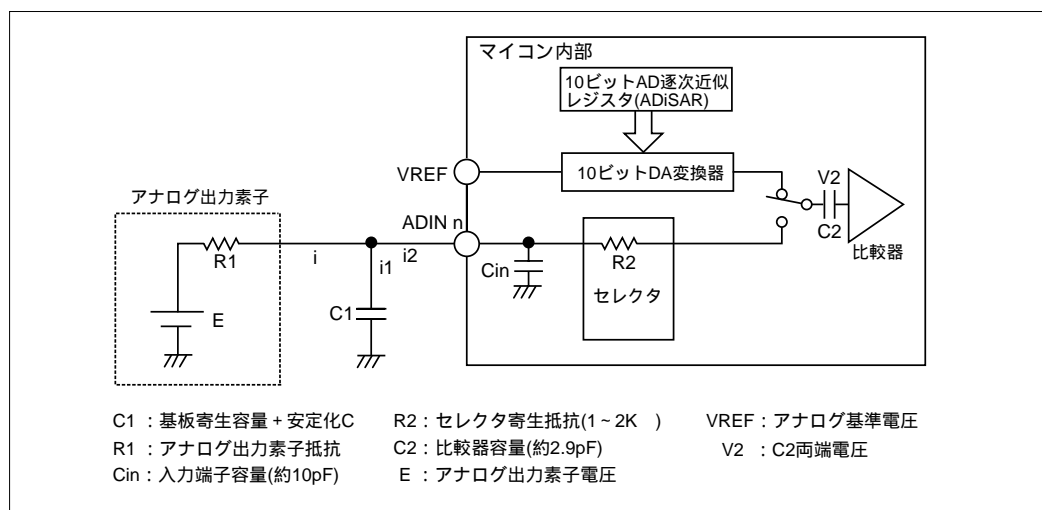
絶対精度の規格値

絶対精度の規格値はマイコン単体の実力値ですのでボード上の電源配線が安定であることやノイズの影響を受けない環境であることが前提です。ボード設計時にはAVCC0/AVSS0/VREF0を他のデジタル系電源と分離したり、アナログ入力端子が他のデジタル信号の影響(ノイズ)を受けないようレイアウトには十分注意してください。

アナログ入力端子に関して

図11.4.1にアナログ入力部の内部等価回路を示します。正確なA-D変換結果を得るには、所定の時間(サンプリング時間)内にA-D変換回路内部のコンデンサC2への充電を完了させることが必要です。このサンプリング時間を満たすために、外付け安定化コンデンサC1の外付けを推奨します。

以下に、アナログ出力素子の出力インピーダンスと、この条件を満たす外付け安定化コンデンサの値の決め方について示します。また、アナログ出力素子の出力インピーダンスが低く、外付け安定化コンデンサC1が不要な場合についての考え方も示します。



付図4.9.1 アナログ入力部の内部等価回路

(a) 外付け安定化コンデンサC1 (付加を推奨) の算出例

図11.4.1にて、R1が に大きく、内部のコンデンサC2に対しての充電はC1から供給するものとし、C1とC2の容量分割による電位変動Vpを0.1LSB以下にするものとしてC1の容量を考えます。VERFを5.12Vとした場合の10ビットA-D変換器では、1LSB判定電圧 = 5.12V / 1024 = 5mVとなります。0.1LSBの電位変動まで考慮すると、0.5mVの変動となります。

C1とC2の容量分割とVpの関連は、以下の式で求められます。

$$V_p = \frac{C_2}{C_1 + C_2} \times (E - V_2) \quad \dots \dots \dots (A-1)式$$

また、Vpは以下の式にても求められます。

$$V_p = V_{p1} \times \sum_{i=0}^{x-1} \frac{1}{2^i} < \frac{V_{REF}}{10 \times 2^x} \quad \dots \dots \dots (A-2)式$$

注. Vp1は、A-D変換1回目の電位変動

(A-1)式と(A-2)式を解くと

$$C_1 = C_2 \left\{ \frac{E - V_2}{V_{p1}} - 1 \right\} \quad \dots \dots \dots (A-3)式$$

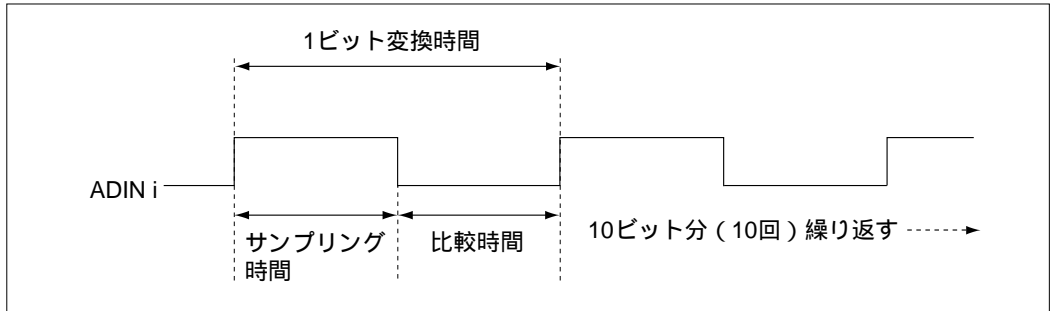
$$\therefore C_1 > C_2 \left\{ 10 \times 2^x \times \sum_{i=0}^{x-1} \frac{1}{2^i} - 1 \right\} \quad \dots \dots \dots (A-4)式$$

よって、10ビット分解能 = A-D変換器で C2 = 2.9pFの場合のC1は、0.06μF以上となります。C1設定時の参考としてご使用ください。

(b) C1 を付加しない場合の出力インピーダンス R1 の最大値

図11.4.1において、外付けコンデンサC1を使用しない場合、C2を十分に充電できるかを検討する必要があります。まず、図11.4.1にて、C1が無い場合での、i2を求める式を以下に示します。

$$i2 = \frac{C2(E - V2)}{Cin \times R1 + C2(R1 + R2)} \times \exp \left\{ \frac{-t}{Cin \times R1 + C2(R1 + R2)} \right\} \dots \dots \dots (B-1)式$$



付図4.9.2 A-D変換タイミング図

C2への充電に必要な時間は、図11.4.2でのA-D変換タイミング図に示すサンプリング時間/2の時間内に充電する必要があります。t = T(C2充電必要時間)として

$$T = \text{サンプル時間} / 2 = \frac{\text{A-D変換時間}}{10(1\text{ビット変換時間}) \times 4}$$

よって、C2を充電するために必要な時間は、(B-1)式より

$$T = (C2\text{充電必要時間}) > Cin \times R1 + C2(R1 + R2) \dots \dots \dots (B-2)式$$

となり、R1の最大値を求める目安の式は、以下のようになります。

$$R1 < \frac{\frac{\text{A-D変換時間}}{10 \times 4} - C2 \times R2}{Cin + C2} \dots \dots \dots (B-3)式$$

以下に、Xin = 10/8MHz時のA-D変換モードでのR1最大値算出例を示します。

Xin	BCLK周期	変換モード	速度モード	変換サイクル	T(C2充電時間):ns	R1最大値()
10MHz	50ns	A-D変換モード/単一	ノーマル	294	367	28,225
		A-D変換モード/単一	倍速	168	210	16,054
8MHz	62.5ns	A-D変換モード/単一	ノーマル	294	459	35,357
		A-D変換モード/単一	倍速	168	262	20,085

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

また、コンパレートモードは、サンプリング/比較が各1回のため以下の式になります。

$$R1 < \frac{\frac{\text{A-D変換時間}}{4} - C2 \times R2}{Cin + C2} \dots \dots \dots (B-4)式$$

以下に、Xin = 10/8MHz時のコンパレートモードでのR1最大値算出例を示します。

Xin	BCLK周期	変換モード	速度モード	変換サイクル	T(C2充電時間):ns	R1最大値()
10MHz	50ns	コンパレートモード/単一	ノーマル	42	525	40,473
		コンパレートモード/単一	倍速	24	300	23,031
8MHz	62.5ns	コンパレートモード/単一	ノーマル	42	656	50,628
		コンパレートモード/単一	倍速	24	375	28,845

注. 変換サイクルは、開始/終了ダミーを除いたサイクル数となります。

付録4.10 シリアルI/Oの注意事項

付録4.10.1 CSIOモード時の注意事項

SIO 送受信モードレジスタ、SIO ボーレートレジスタの設定

SIO送受信モードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず非動作中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG (ボーレート) レジスタの設定

BRGクロックソース選択ビットでf(BCLK)を選択した場合は、2 Mbpsを越えないようにBRGレジスタの値を設定してください。

連続送信について

連続送信を行う場合は、データの送信が完了する前にSIO送信バッファレジスタに次の送信データを設定してください。

受信について

CSIOモードでは受信シフトクロックは送信回路の動作によって得られますので、受信だけを行う場合でも送信動作を実行(ダミーデータを送信)させる必要があります。この場合、ポートの機能をTXD端子(動作モードレジスタを"1"にセット)に設定しているとダミーデータが出力されることとなりますので注意してください。

連続受信について

連続受信を行う場合には、送信側の送信動作が開始する前にSIO送信バッファレジスタにデータ(ダミーデータ)を設定してください。

DMA による送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

受信完了ビットについて

受信エラー(オーバランエラー)発生時は、受信バッファレジスタの読み出しによる受信完了ビットのクリアはできません。この場合は、受信許可ビットをクリアすることで行います。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データが、SIO受信シフトレジスタに揃った場合(オーバランエラー発生)、受信データの受信バッファレジスタへの格納は行われず、受信バッファレジスタには前回受信したデータが残ります。また、それ以降、受信動作は行われますが、受信データの受信バッファレジスタへの格納は行われなくなり(受信ステータスビットが"1"の状態)。

正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグのクリアが可能です。

SIO 送信時 DMA 転送要求発生について

送信許可ビットが"1"にセット(送信許可)された状態で送信バッファレジスタが空(送信バッファエンプティフラグが"1"の状態)の場合、SIO送信バッファエンプティDMA転送要求が発生します。

SIO 受信時 DMA 転送要求発生について

受信完了ビットが"1"にセット(受信バッファレジスタフル)されると、受信完了DMA転送要求が発生します。ただし、オーバランエラー発生時は、受信完了DMA転送要求は発生しませんのでご注意ください。

付録4.10.2 UARTモード時の注意事項

SIO送受信モードレジスタ、SIO ボーレートレジスタの設定

SIOモードレジスタ、SIOボーレートレジスタおよび送信制御レジスタのBRGカウントソース選択ビットは、必ず非動作中に設定してください。送受信中には送信および受信完了を確認し、送信および受信許可ビットをクリアした後、設定を行ってください。

BRG (ボーレート) レジスタの設定

BRGクロックソース選択ビットで(BCLK)を選択した場合は、BRGレジスタには7以上の値を設定してください。

SIOボーレートレジスタへの書き込みは、BRGカウンタがカウント終了後、次の周期より有効となります。ただし、送信及び受信禁止の状態では、書き込みと同時に変更可能です。

DMAによる送受信

DMA要求モードで送受信を行う場合は、DMACを要求受付可能状態にした後(DMAモードレジスタの設定後)にシリアル通信を行ってください。

オーバランエラーについて

SIO受信バッファレジスタを読み出す前に次回の受信データがSIO受信シフトレジスタに揃った場合(オーバランエラー発生) 受信データのSIO受信バッファレジスタへの格納は行われず、SIO受信バッファレジスタには前回受信したデータが残ります。また、いったんオーバランエラーが発生しますと、受信動作は行いますが受信データの受信バッファレジスタへの格納は行われません。正常な受信を再開するためには、受信許可ビットをいったんクリアする必要があります。また、これによってのみオーバランエラーフラグをクリアすることができます。

UART 受信動作の状態を示すフラグ

UARTモード時の受信状態を示すフラグには以下のものがあります。

- SIO受信制御レジスタの受信ステータスビット
- SIO受信制御レジスタの受信完了ビット
- SIO受信制御レジスタの受信エラーサムビット
- SIO受信制御レジスタのオーバランエラービット
- SIO受信制御レジスタのパリティエラービット
- SIO受信制御レジスタのフレームエラービット

受信完了ビット・各種エラービットフラグのクリア方法は、オーバランエラー発生時とそうでない時で異なります。以下にクリア条件を示します。

【オーバランエラー未発生時】

受信バッファレジスタの下位バイトの読み出し、もしくは受信許可ビットの"0"クリア

【オーバランエラー発生時】

受信許可ビットを"0"にクリア

付録4.11 RAMバックアップモードの注意事項

付録4.11.1 電源立ち上げ時の注意事項

電源投入後ポートXを入力モードから出力モードにする場合、以下の点に注意してください。

ポートXデータレジスタへデータを設定しないで出力モードにすると、ポートの初期出力レベルは不安定になります。したがって、ポートXデータレジスタへ出力レベル“H”を設定した後、ポートXを出力モードにしてください。

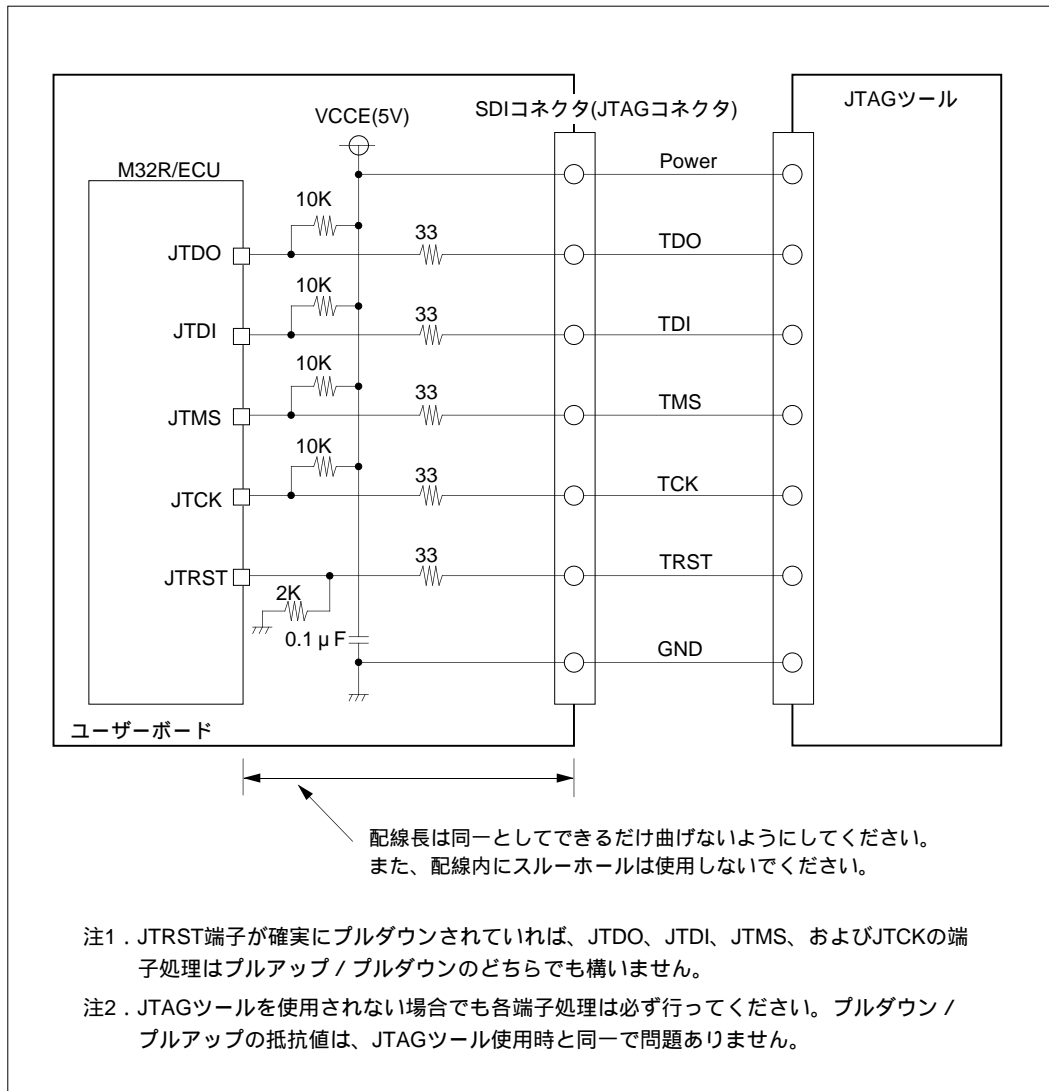
この方法でポートを設定しない場合、発振安定後のポート出力設定と同時にポート出力が“L”レベルになり、RAMバックアップモードなることがあります。

付録4.12 JTAG端子処理の注意事項

付録4.12.1 JTAG接続時のボード設計注意事項

JTAG端子は、JTAGツールとの高速で高信頼性の通信を実現するため、ボード設計時に配線長マッチングが必要です。

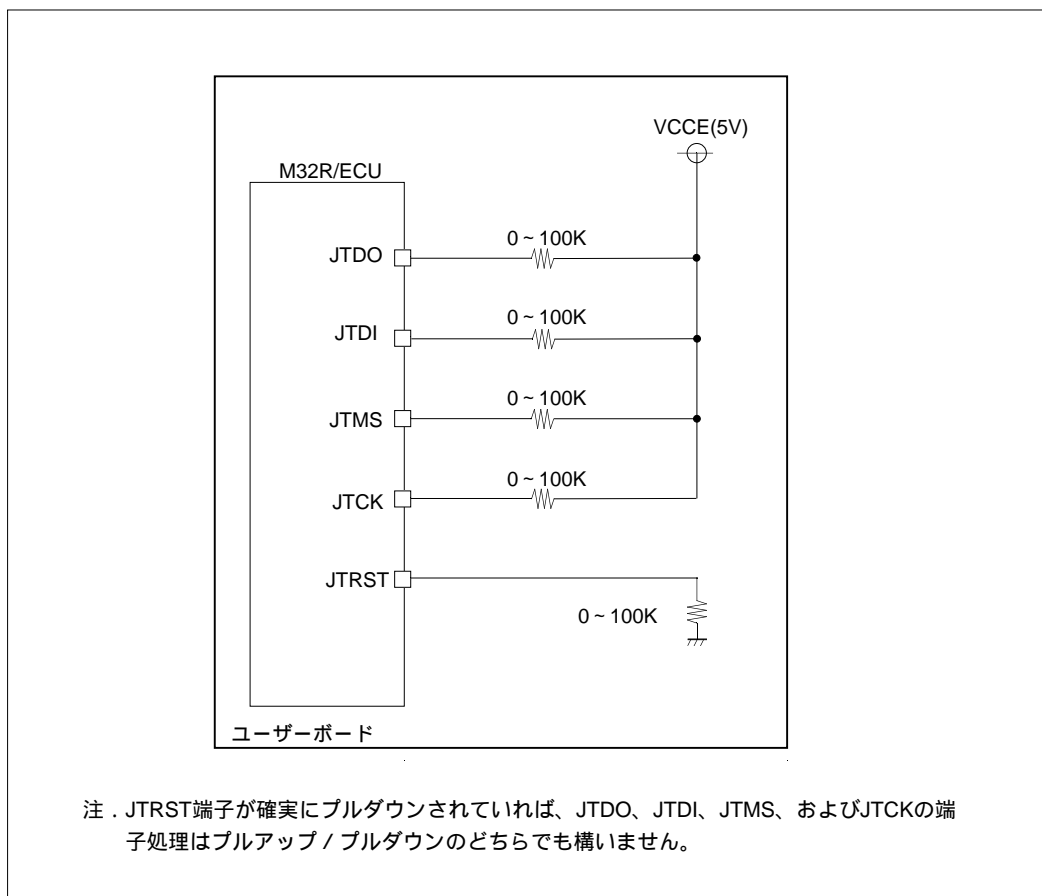
以下にJTAGツール使用時の端子処理例を示します。



付図4.12.1 JTAGツール使用時の端子処理例

付録4.12.2 JTAG未使用時の端子処理

JTAG端子を未使用(JTAGツール接続用の端子 / コネクタを持たないボード)の場合の端子処理例を以下に示します。



付図4.12.2 JTAG未使用時の端子処理例

付録4.13 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策例はノイズに関して理論上有効ですが、実使用に際しては本対策を実施した後も十分なシステム評価を行ってください。文中でのVCCIはVCCE、VCCI、FVCC、OSC-VCCを示します。

付録4.13.1 配線長の短縮

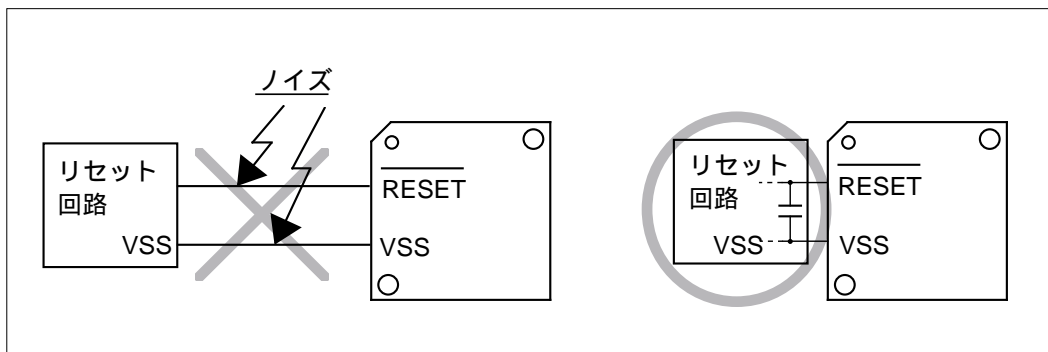
基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短いほど、ノイズをマイコン内部に引き込む可能性は低くなります。

(1) RESET 端子の配線

RESET端子に接続する配線は、短くしてください。特にRESET端子とVSS端子間に接続するコンデンサは、それぞれの端子とのできるだけ短い配線(20mm以内)で接続してください。

<理由>

リセットは、マイコン内部を初期状態にする機能です。RESET端子に入力されるパルス幅は、タイミング必要条件で規定されます。パルス幅が規定幅より短いノイズがRESET端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。



付図4.13.1 RESET端子の配線

(2) クロック入出力端子の配線

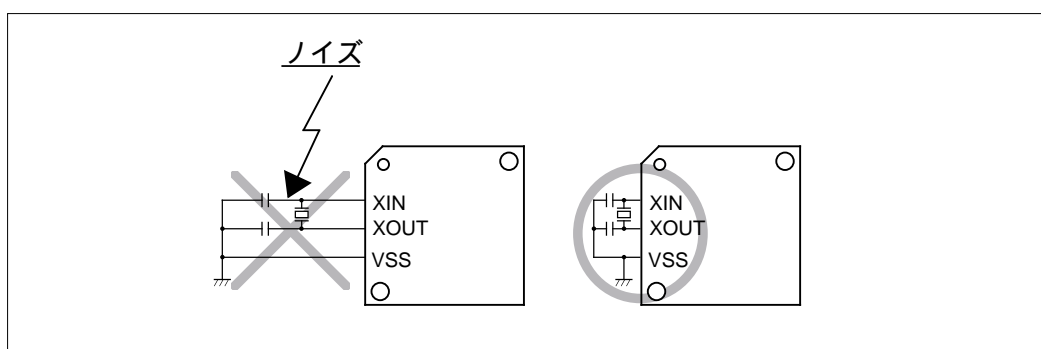
クロック入出力端子に接続する配線は、短くしてください。

発振子に接続するコンデンサの接地側リード線とマイコンのVSS端子とは、最短(20mm以内)の配線で接続してください。

発振用のVSSパターンは発振回路専用とし、他のVSSパターンと分離してください。

<理由>

マイコンは発振子(回路)で生成されたクロックに同期して動作します。クロック入出力端子にノイズが侵入するとクロックの波形が乱れ、誤動作や暴走の原因となります。また、マイコンのVSSレベルと発振子のVSSレベルとの間にノイズによる電位差が生じると、正確なクロックがマイコンに入力されません。



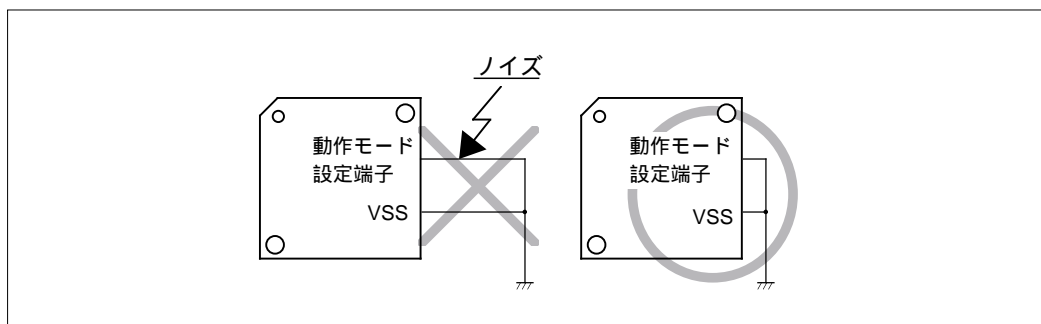
付図4.13.2 クロック入出力端子の配線

(3) 動作モード設定端子の配線

動作モード設定端子とVCC又はVSS端子とを接続する場合、最短の配線で接続してください。

<理由>

動作モード設定端子のレベルは、マイコンの動作モードに影響します。動作モード設定端子とVCC又はVSS端子とを接続する場合、動作モード設定端子とVCC又はVSS端子との間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。



付図4.13.3 MOD0, MOD1端子の配線例

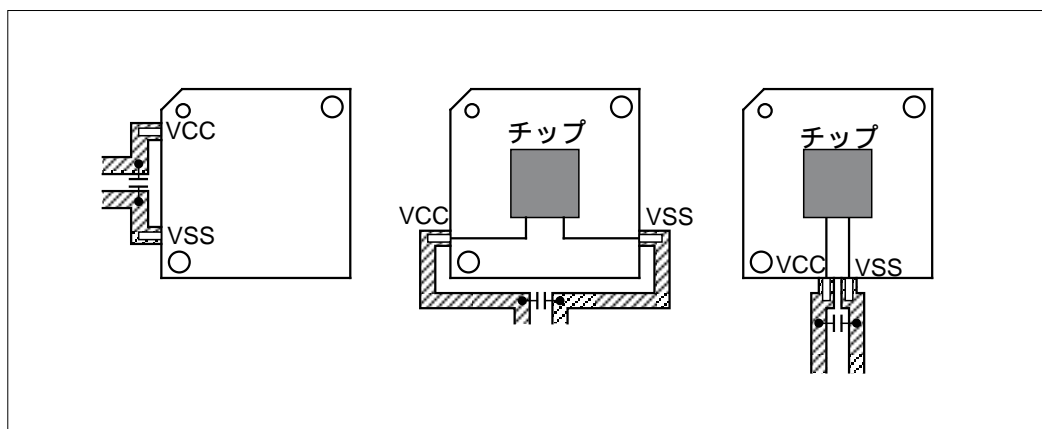
付録4.13.2 VSS - VCCライン間へのバイパスコンデンサ挿入

VSS - VCCライン間に0.1 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を等しくする

VSS端子 - バイパスコンデンサ間の配線長とVCC端子 - バイパスコンデンサ間の配線長を最短とする

VSSライン及びVCCラインは、他の信号線よりも幅の広い配線を使用する



付図4.13.4 VSS - VCCライン間のバイパスコンデンサ

付録4.13.3 アナログ入力端子の配線処理

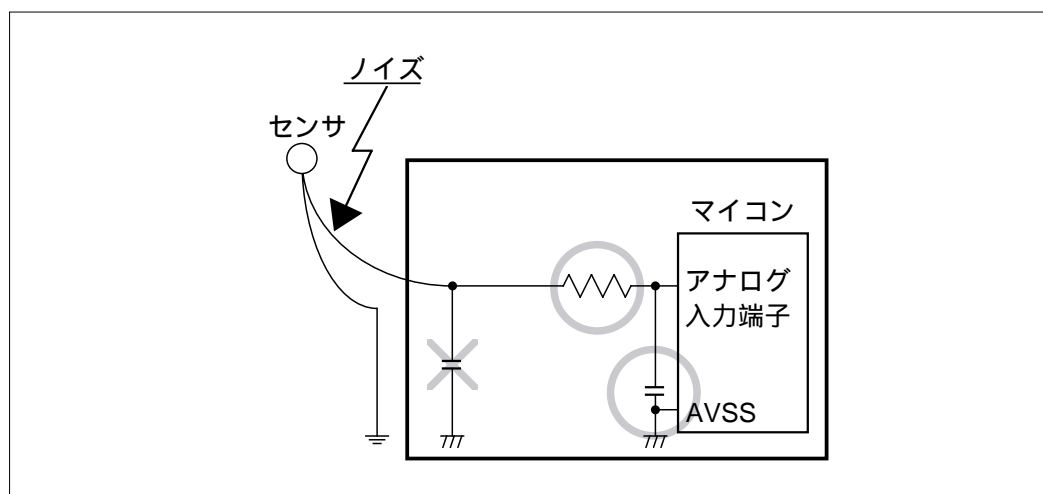
アナログ入力端子に接続されるアナログ信号線のマイコンのできるだけ近い位置に、100～500 程度の抵抗を直列に接続してください。

アナログ入力端子とAVSS端子間の、AVSS端子にできるだけ近い位置に容量100pF程度のコンデンサを挿入してください。

<理由>

通常、アナログ入力端子(A-D変換器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引きこむアンテナとなるため、アナログ入力端子にノイズが引き込まれやすくなります。

また、アナログ入力端子とAVSS端子間のコンデンサをAVSS端子から遠い位置で接地した場合、そのグラウンド上のノイズがコンデンサ経由でマイコンに侵入します。



付図4.13.5 アナログ信号線と抵抗及びコンデンサ

付録4.13.4 発振子への配慮

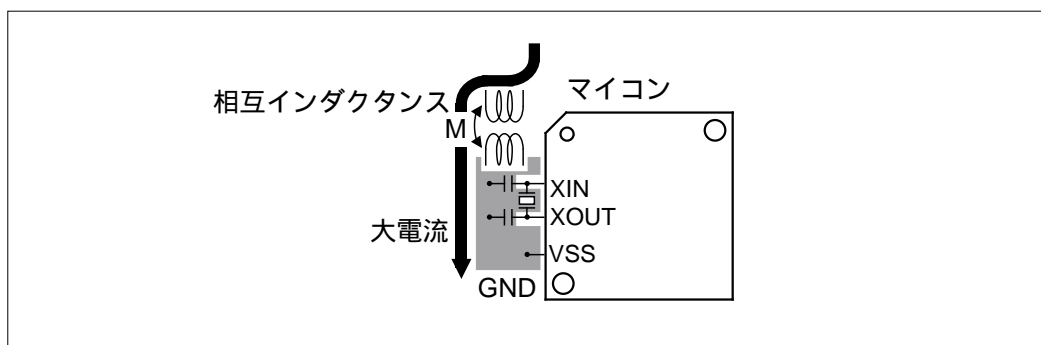
マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を超えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

<理由>

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。



付図4.13.6 大電流が流れる信号線の配線

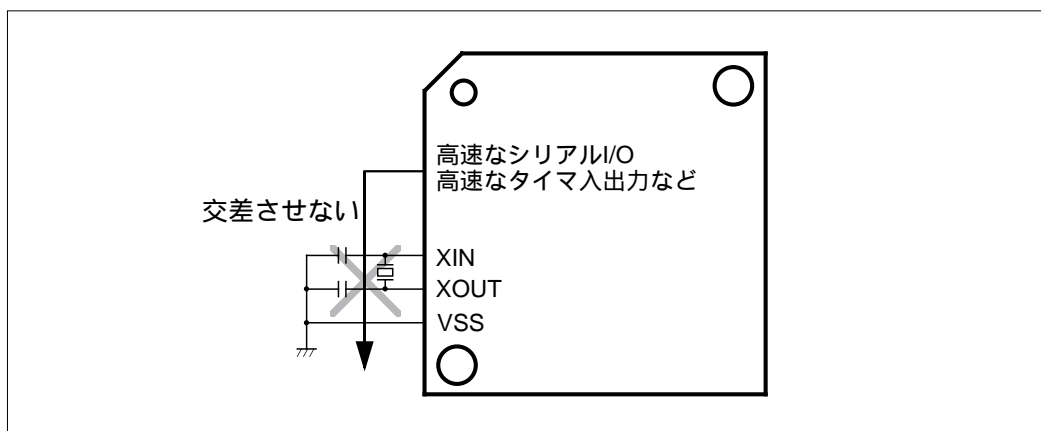
(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子からできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

<理由>

高速にレベル変化する信号線はその信号の立ち上がり、立ち下がり時の影響を他の信号線に与え易く、特にクロック関連の信号線と交差する場合クロックの波形が乱れ、誤動作や暴走の原因となります。



付図4.13.7 高速にレベル変化する信号線の配線 (i=0~3)

付録4.13.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

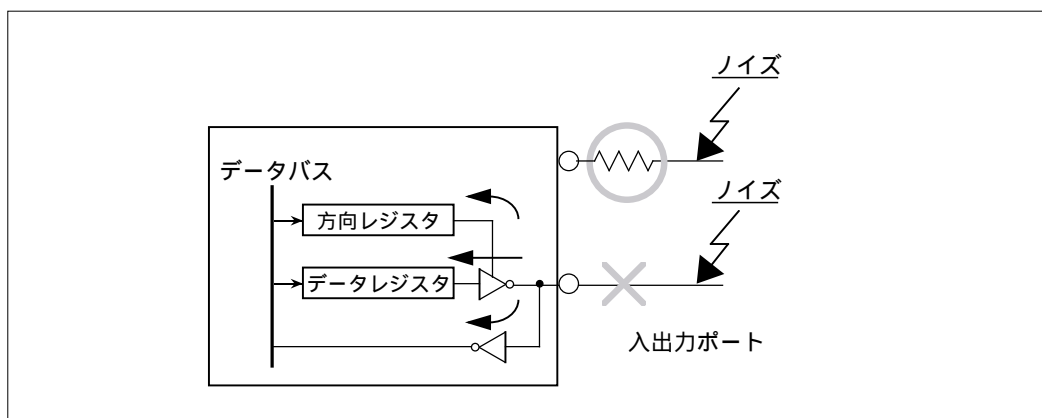
入出力ポートに100 Ω以上の抵抗を直列に挿入する

ソフトウェア面

入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認する

出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行う

一定周期で、方向レジスタの再書き込みを行う



付図4.13.8 入出力ポート処理

索引

索引 (A ~ C)

A

A-D0コンパレート結果グラフ	11-27		
A-D0コンパレートデータレジスタ	11-27		
A-D0スキャンモード選択ビット	11-21, 11-22		
A-D0スキャンモードレジスタ0	11-21		
A-D0スキャンモードレジスタ1	11-24		
A-D0スキャンループ選択ビット	11-24, 11-25		
A-D0単一モードレジスタ0	11-16		
A-D0単一モードレジスタ1	11-19		
A-D0逐次近似値/比較値	11-26		
A-D0逐次近似レジスタ	11-26		
A-D0ハードウェアトリガ選択ビット	11-16, 11-17, 11-21, 11-22		
A-D0変換/コンパレート終了ビット	11-16, 11-17		
A-D0変換開始トリガ選択ビット	11-16, 11-17, 11-21, 11-22		
A-D0変換器割り込み制御レジスタ	5-9		
A-D0変換終了ビット	11-21, 11-22		
A-D0変換スタートビット	11-16, 11-18, 11-21, 11-23		
A-D0変換ストップビット	11-16, 11-17, 11-21, 11-23		
A-D0変換速度選択ビット	11-19, 11-20, 11-24, 11-25		
A-D0変換モード選択ビット	11-19, 11-20		
A-D0割り込み要求/DMA転送要求選択ビット	11-16, 11-17, 11-21, 11-22		
A-D変換器	1-4, 11-2		
A-D変換時間算出方法	11-34		
A-D変換実行サイクル時間	11-34		
A-D変換精度の定義	11-37		
A-D変換特性	21-10, 21-18		
A-D変換モード	11-5		
ACC	2-6		
AD08DT0	11-29		
AD08DT1	11-29		
AD08DT2	11-29		
AD08DT3	11-29		
AD08DT4	11-29		
AD08DT5	11-29		
AD08DT6	11-29		
AD08DT7	11-29		
AD08DT8	11-29		
AD08DT9	11-29		
AD08DT10	11-29		
AD08DT11	11-29		
AD08DT12	11-29		
AD08DT13	11-29		
AD08DT14	11-29		
AD08DT15	11-29		
AD0CCMPビット	11-21, 11-22		
AD0CMP	11-27		
AD0CMP0	11-27		
AD0CMP1	11-27		
AD0CMP2	11-27		
AD0CMP3	11-27		
AD0CMP4	11-27		
AD0CMP5	11-27		
AD0CMP6	11-27		
AD0CMP7	11-27		
AD0CMP8	11-27		
AD0CMP9	11-27		
AD0CMP10	11-27		
AD0CMP11	11-27		
AD0CMP12	11-27		
AD0CMP13	11-27		
AD0CMP14	11-27		
AD0CMP15	11-27		
AD0CMSLビット	11-21, 11-22		
AD0CREQビット	11-21, 11-22		
AD0CSELビット	11-21, 11-22		
AD0CSPDビット	11-24, 11-25		
AD0CSTPビット	11-21, 11-23		
AD0CSTTビット	11-21, 11-23		
AD0CTRGビット	11-21, 11-22		
AD0DT0	11-28		
AD0DT1	11-28		
AD0DT2	11-28		
AD0DT3	11-28		
AD0DT4	11-28		
AD0DT5	11-28		
AD0DT6	11-28		
AD0DT7	11-28		
AD0DT8	11-28		
AD0DT9	11-28		
AD0DT10	11-28		
AD0DT11	11-28		
AD0DT12	11-28		
AD0DT13	11-28		
AD0DT14	11-28		
AD0DT15	11-28		
AD0SAR	11-26		
AD0SCM0	11-21		
AD0SCM1	11-24		
AD0SCMPビット	11-16, 11-17		
AD0SIM0	11-16		
AD0SIM1	11-19		
AD0SMSLビット	11-19, 11-20		
AD0SREQビット	11-16, 11-17		
AD0SSELビット	11-16, 11-17		
AD0SSPDビット	11-19, 11-20		
AD0SSTPビット	11-16, 11-17		
AD0SSTTビット	11-16, 11-18		
AD0STRGビット	11-16, 11-17		
AE	4-3, 4-13		
AN0SCANビット	11-24, 11-25		
AN0SELビット	11-19, 11-20		
B			
BasicCANステータスビット	13-11, 13-13		
BasicCANモードビット	13-8, 13-9		
BC	2-4		
BCMビット	13-8, 13-9		
BCSビット	13-11, 13-13		
BHE	15-2		
BHW	15-2		
BIE	2-4		
BLE	15-2		
BLW	15-2		
BOS	13-11, 13-12		
BPC	2-5		
BPSWフィールド	2-4		
BRG	12-23		
BRGカウントソース選択ビット	12-13		
BRP	13-22		
BSDL	19-14		
BSM	2-4		
BUSMOD	15-5		
BUSMODC	15-5		
BYPASS	19-4		
C			
COGMSKE0	13-33		
COGMSKE1	13-33		
COGMSKE2	13-34		

索引 (C)

C0GMSKS0	13-31	C0MSL3DT3	13-49
C0GMSKS1	13-31	C0MSL3DT4	13-50
C0LMSKAE0	13-33	C0MSL3DT5	13-51
C0LMSKAE1	13-33	C0MSL3DT6	13-52
C0LMSKAE2	13-34	C0MSL3DT7	13-53
C0LMSKAS0	13-31	C0MSL3EID0	13-42
C0LMSKAS1	13-31	C0MSL3EID1	13-43
C0LMSKBE0	13-33	C0MSL3EID2	13-44
C0LMSKBE1	13-33	C0MSL3SID0	13-40
C0LMSKBE2	13-34	C0MSL3SID1	13-41
C0LMSKBS0	13-31	C0MSL3TSP	13-54
C0LMSKBS1	13-31	C0MSL4CNT	13-36
C0MSL0CNT	13-36	C0MSL4DLC	13-45
C0MSL0DLC	13-45	C0MSL4DT0	13-46
C0MSL0DT0	13-46	C0MSL4DT1	13-47
C0MSL0DT1	13-47	C0MSL4DT2	13-48
C0MSL0DT2	13-48	C0MSL4DT3	13-49
C0MSL0DT3	13-49	C0MSL4DT4	13-50
C0MSL0DT4	13-50	C0MSL4DT5	13-51
C0MSL0DT5	13-51	C0MSL4DT6	13-52
C0MSL0DT6	13-52	C0MSL4DT7	13-53
C0MSL0DT7	13-53	C0MSL4EID0	13-42
C0MSL0EID0	13-42	C0MSL4EID1	13-43
C0MSL0EID1	13-43	C0MSL4EID2	13-44
C0MSL0EID2	13-44	C0MSL4SID0	13-40
C0MSL0SID0	13-40	C0MSL4SID1	13-41
C0MSL0SID1	13-41	C0MSL4TSP	13-54
C0MSL0TSP	13-54	C0MSL5CNT	13-36
C0MSL1CNT	13-36	C0MSL5DLC	13-45
C0MSL1DLC	13-45	C0MSL5DT0	13-46
C0MSL1DT0	13-46	C0MSL5DT1	13-47
C0MSL1DT1	13-47	C0MSL5DT2	13-48
C0MSL1DT2	13-48	C0MSL5DT3	13-49
C0MSL1DT3	13-49	C0MSL5DT4	13-50
C0MSL1DT4	13-50	C0MSL5DT5	13-51
C0MSL1DT5	13-51	C0MSL5DT6	13-52
C0MSL1DT6	13-52	C0MSL5DT7	13-53
C0MSL1DT7	13-53	C0MSL5EID0	13-42
C0MSL1EID0	13-42	C0MSL5EID1	13-43
C0MSL1EID1	13-43	C0MSL5EID2	13-44
C0MSL1EID2	13-44	C0MSL5SID0	13-40
C0MSL1SID0	13-40	C0MSL5SID1	13-41
C0MSL1SID1	13-41	C0MSL5TSP	13-54
C0MSL1TSP	13-54	C0MSL6CNT	13-36
C0MSL2CNT	13-36	C0MSL6DLC	13-45
C0MSL2DLC	13-45	C0MSL6DT0	13-46
C0MSL2DT0	13-46	C0MSL6DT1	13-47
C0MSL2DT1	13-47	C0MSL6DT2	13-48
C0MSL2DT2	13-48	C0MSL6DT3	13-49
C0MSL2DT3	13-49	C0MSL6DT4	13-50
C0MSL2DT4	13-50	C0MSL6DT5	13-51
C0MSL2DT5	13-51	C0MSL6DT6	13-52
C0MSL2DT6	13-52	C0MSL6DT7	13-53
C0MSL2DT7	13-53	C0MSL6EID0	13-42
C0MSL2EID0	13-42	C0MSL6EID1	13-43
C0MSL2EID1	13-43	C0MSL6EID2	13-44
C0MSL2EID2	13-44	C0MSL6SID0	13-40
C0MSL2SID0	13-40	C0MSL6SID1	13-41
C0MSL2SID1	13-41	C0MSL6TSP	13-54
C0MSL2TSP	13-54	C0MSL7CNT	13-36
C0MSL3CNT	13-36	C0MSL7DLC	13-45
C0MSL3DLC	13-45	C0MSL7DT0	13-46
C0MSL3DT0	13-46	C0MSL7DT1	13-47
C0MSL3DT1	13-47	C0MSL7DT2	13-48
C0MSL3DT2	13-48	C0MSL7DT3	13-49

索引 (C)

COMSL7DT4	13-50	COMSL11DT5	13-51
COMSL7DT5	13-51	COMSL11DT6	13-52
COMSL7DT6	13-52	COMSL11DT7	13-53
COMSL7DT7	13-53	COMSL11EID0	13-42
COMSL7EID0	13-42	COMSL11EID1	13-43
COMSL7EID1	13-43	COMSL11EID2	13-44
COMSL7EID2	13-44	COMSL11SID0	13-40
COMSL7SID0	13-40	COMSL11SID1	13-41
COMSL7SID1	13-41	COMSL11TSP	13-54
COMSL7TSP	13-54	COMSL12CNT	13-36
COMSL8CNT	13-36	COMSL12DLC	13-45
COMSL8DLC	13-45	COMSL12DT0	13-46
COMSL8DT0	13-46	COMSL12DT1	13-47
COMSL8DT1	13-47	COMSL12DT2	13-48
COMSL8DT2	13-48	COMSL12DT3	13-49
COMSL8DT3	13-49	COMSL12DT4	13-50
COMSL8DT4	13-50	COMSL12DT5	13-51
COMSL8DT5	13-51	COMSL12DT6	13-52
COMSL8DT6	13-52	COMSL12DT7	13-53
COMSL8DT7	13-53	COMSL12EID0	13-42
COMSL8EID0	13-42	COMSL12EID1	13-43
COMSL8EID1	13-43	COMSL12EID2	13-44
COMSL8EID2	13-44	COMSL12SID0	13-40
COMSL8SID0	13-40	COMSL12SID1	13-41
COMSL8SID1	13-41	COMSL12TSP	13-54
COMSL8TSP	13-54	COMSL13CNT	13-36
COMSL9CNT	13-36	COMSL13DLC	13-45
COMSL9DLC	13-45	COMSL13DT0	13-46
COMSL9DT0	13-46	COMSL13DT1	13-47
COMSL9DT1	13-47	COMSL13DT2	13-48
COMSL9DT2	13-48	COMSL13DT3	13-49
COMSL9DT3	13-49	COMSL13DT4	13-50
COMSL9DT4	13-50	COMSL13DT5	13-51
COMSL9DT5	13-51	COMSL13DT6	13-52
COMSL9DT6	13-52	COMSL13DT7	13-53
COMSL9DT7	13-53	COMSL13EID0	13-42
COMSL9EID0	13-42	COMSL13EID1	13-43
COMSL9EID1	13-43	COMSL13EID2	13-44
COMSL9EID2	13-44	COMSL13SID0	13-40
COMSL9SID0	13-40	COMSL13SID1	13-41
COMSL9SID1	13-41	COMSL13TSP	13-54
COMSL9TSP	13-54	COMSL14CNT	13-36
COMSL10CNT	13-36	COMSL14DLC	13-45
COMSL10DLC	13-45	COMSL14DT0	13-46
COMSL10DT0	13-46	COMSL14DT1	13-47
COMSL10DT1	13-47	COMSL14DT2	13-48
COMSL10DT2	13-48	COMSL14DT3	13-49
COMSL10DT3	13-49	COMSL14DT4	13-50
COMSL10DT4	13-50	COMSL14DT5	13-51
COMSL10DT5	13-51	COMSL14DT6	13-52
COMSL10DT6	13-52	COMSL14DT7	13-53
COMSL10DT7	13-53	COMSL14EID0	13-42
COMSL10EID0	13-42	COMSL14EID1	13-43
COMSL10EID1	13-43	COMSL14EID2	13-44
COMSL10EID2	13-44	COMSL14SID0	13-40
COMSL10SID0	13-40	COMSL14SID1	13-41
COMSL10SID1	13-41	COMSL14TSP	13-54
COMSL10TSP	13-54	COMSL15CNT	13-36
COMSL11CNT	13-36	COMSL15DLC	13-45
COMSL11DLC	13-45	COMSL15DT0	13-46
COMSL11DT0	13-46	COMSL15DT1	13-47
COMSL11DT1	13-47	COMSL15DT2	13-48
COMSL11DT2	13-48	COMSL15DT3	13-49
COMSL11DT3	13-49	COMSL15DT4	13-50
COMSL11DT4	13-50	COMSL15DT5	13-51

索引 (C)

COMSL15DT6	13-52	CAN0メッセージロット1拡張ID2	13-44
COMSL15DT7	13-53	CAN0メッセージロット1コントロールレジスタ	13-36
COMSL15EID0	13-42	CAN0メッセージロット1タイムスタンプ	13-54
COMSL15EID1	13-43	CAN0メッセージロット1データ0	13-46
COMSL15EID2	13-44	CAN0メッセージロット1データ1	13-47
COMSL15SID0	13-40	CAN0メッセージロット1データ2	13-48
COMSL15SID1	13-41	CAN0メッセージロット1データ3	13-49
COMSL15TSP	13-54	CAN0メッセージロット1データ4	13-50
COMSLnDT0	13-46	CAN0メッセージロット1データ5	13-51
COMSLnDT1	13-47	CAN0メッセージロット1データ6	13-52
COMSLnDT2	13-48	CAN0メッセージロット1データ7	13-53
COMSLnDT3	13-49	CAN0メッセージロット1データ長レジスタ	13-45
COMSLnDT4	13-50	CAN0メッセージロット1標準ID0	13-40
COMSLnDT5	13-51	CAN0メッセージロット1標準ID1	13-41
COMSLnDT6	13-52	CAN0メッセージロット2拡張ID0	13-42
COMSLnDT7	13-53	CAN0メッセージロット2拡張ID1	13-43
COMSLnTSP	13-54	CAN0メッセージロット2拡張ID2	13-44
CAN0BRP	13-22	CAN0メッセージロット2コントロールレジスタ	13-36
CAN0CNT	13-8	CAN0メッセージロット2タイムスタンプ	13-54
CAN0CONF	13-16	CAN0メッセージロット2データ0	13-46
CAN0ERIMK	13-27	CAN0メッセージロット2データ1	13-47
CAN0ERIST	13-26	CAN0メッセージロット2データ2	13-48
CAN0EXTID	13-15	CAN0メッセージロット2データ3	13-49
CAN0REC	13-21	CAN0メッセージロット2データ4	13-50
CAN0SLIMK	13-25	CAN0メッセージロット2データ5	13-51
CAN0SLIST	13-23	CAN0メッセージロット2データ6	13-52
CAN0STAT	13-11	CAN0メッセージロット2データ7	13-53
CAN0TEC	13-21	CAN0メッセージロット2データ長レジスタ	13-45
CAN0TSTMP	13-20	CAN0メッセージロット2標準ID0	13-40
CAN0エラー割り込みステータスレジスタ	13-26	CAN0メッセージロット2標準ID1	13-41
CAN0エラー割り込みマスクレジスタ	13-27	CAN0メッセージロット3拡張ID0	13-42
CAN0拡張IDレジスタ	13-15	CAN0メッセージロット3拡張ID1	13-43
CAN0グローバルマスクレジスタ拡張ID0	13-33	CAN0メッセージロット3拡張ID2	13-44
CAN0グローバルマスクレジスタ拡張ID1	13-33	CAN0メッセージロット3コントロールレジスタ	13-36
CAN0グローバルマスクレジスタ拡張ID2	13-34	CAN0メッセージロット3タイムスタンプ	13-54
CAN0グローバルマスクレジスタ標準ID0	13-31	CAN0メッセージロット3データ0	13-46
CAN0グローバルマスクレジスタ標準ID1	13-31	CAN0メッセージロット3データ1	13-47
CAN0コントロールレジスタ	13-8	CAN0メッセージロット3データ2	13-48
CAN0コンフィグレーションレジスタ	13-16	CAN0メッセージロット3データ3	13-49
CAN0受信エラーカウントレジスタ	13-21	CAN0メッセージロット3データ4	13-50
CAN0ステータスレジスタ	13-11	CAN0メッセージロット3データ5	13-51
CAN0スロット割り込みステータスレジスタ	13-23	CAN0メッセージロット3データ6	13-52
CAN0スロット割り込みマスクレジスタ	13-25	CAN0メッセージロット3データ7	13-53
CAN0送受信&エラー割り込み制御レジスタ	5-9	CAN0メッセージロット3データ長レジスタ	13-45
CAN0送信エラーカウントレジスタ	13-21	CAN0メッセージロット3標準ID0	13-40
CAN0タイムスタンプカウントレジスタ	13-20	CAN0メッセージロット3標準ID1	13-41
CAN0ポーレートプリスケアラ	13-22	CAN0メッセージロット4拡張ID0	13-42
CAN0メッセージロット0拡張ID0	13-42	CAN0メッセージロット4拡張ID1	13-43
CAN0メッセージロット0拡張ID1	13-43	CAN0メッセージロット4拡張ID2	13-44
CAN0メッセージロット0拡張ID2	13-44	CAN0メッセージロット4コントロールレジスタ	13-36
CAN0メッセージロット0コントロールレジスタ	13-36	CAN0メッセージロット4タイムスタンプ	13-54
CAN0メッセージロット0タイムスタンプ	13-54	CAN0メッセージロット4データ0	13-46
CAN0メッセージロット0データ0	13-46	CAN0メッセージロット4データ1	13-47
CAN0メッセージロット0データ1	13-47	CAN0メッセージロット4データ2	13-48
CAN0メッセージロット0データ2	13-48	CAN0メッセージロット4データ3	13-49
CAN0メッセージロット0データ3	13-49	CAN0メッセージロット4データ4	13-50
CAN0メッセージロット0データ4	13-50	CAN0メッセージロット4データ5	13-51
CAN0メッセージロット0データ5	13-51	CAN0メッセージロット4データ6	13-52
CAN0メッセージロット0データ6	13-52	CAN0メッセージロット4データ7	13-53
CAN0メッセージロット0データ7	13-53	CAN0メッセージロット4データ長レジスタ	13-45
CAN0メッセージロット0データ長レジスタ	13-45	CAN0メッセージロット4標準ID0	13-40
CAN0メッセージロット0標準ID0	13-40	CAN0メッセージロット4標準ID1	13-41
CAN0メッセージロット0標準ID1	13-41	CAN0メッセージロット5拡張ID0	13-42
CAN0メッセージロット1拡張ID0	13-42	CAN0メッセージロット5拡張ID1	13-43
CAN0メッセージロット1拡張ID1	13-43	CAN0メッセージロット5拡張ID2	13-44

索引 (C ~ D)

CAN0メッセージスロット13データ0	13-46	CKIEBCR	10-13
CAN0メッセージスロット13データ1	13-47	CKSビット	12-15, 12-16
CAN0メッセージスロット13データ2	13-48	CPUコア	1-2
CAN0メッセージスロット13データ3	13-49	CPUレジスタ	2-2
CAN0メッセージスロット13データ4	13-50	CRSビット	13-11, 13-13
CAN0メッセージスロット13データ5	13-51	CS0	15-2
CAN0メッセージスロット13データ6	13-52	CS0WTC	16-5
CAN0メッセージスロット13データ7	13-53	CS0ウエイト数制御	16-5
CAN0メッセージスロット13データ長レジスタ	13-45	CS1	15-2
CAN0メッセージスロット13標準ID0	13-40	CS1WTC	16-5
CAN0メッセージスロット13標準ID1	13-41	CS1ウエイト数制御	16-5
CAN0メッセージスロット14拡張ID0	13-42	CSIOモード	12-2
CAN0メッセージスロット14拡張ID1	13-43		
CAN0メッセージスロット14拡張ID2	13-44	D	
CAN0メッセージスロット14コントロールレジスタ	13-36	DADSL0	9-7
CAN0メッセージスロット14タイムスタンプ	13-54	DADSL1	9-8
CAN0メッセージスロット14データ0	13-46	DADSL2	9-9
CAN0メッセージスロット14データ1	13-47	DADSL3	9-10
CAN0メッセージスロット14データ2	13-48	DADSL4	9-11
CAN0メッセージスロット14データ3	13-49	DADSL5	9-12
CAN0メッセージスロット14データ4	13-50	DADSL6	9-13
CAN0メッセージスロット14データ5	13-51	DADSL7	9-14
CAN0メッセージスロット14データ6	13-52	DADSL8	9-15
CAN0メッセージスロット14データ7	13-53	DADSL9	9-16
CAN0メッセージスロット14データ長レジスタ	13-45	DADSLnビット	9-17
CAN0メッセージスロット14標準ID0	13-40	DB0 ~ DB15	15-3
CAN0メッセージスロット14標準ID1	13-41	DLC0	13-45
CAN0メッセージスロット14標準ID2	13-42	DLC1	13-45
CAN0メッセージスロット15拡張ID0	13-42	DLC2	13-45
CAN0メッセージスロット15拡張ID1	13-43	DLC3	13-45
CAN0メッセージスロット15拡張ID2	13-44	DM04ITMK	9-24
CAN0メッセージスロット15コントロールレジスタ	13-36	DM04ITST	9-22
CAN0メッセージスロット15タイムスタンプ	13-54	DM0CNT	9-7
CAN0メッセージスロット15データ0	13-46	DM0DA	9-20
CAN0メッセージスロット15データ1	13-47	DM0SA	9-19
CAN0メッセージスロット15データ2	13-48	DM0SRI	9-18
CAN0メッセージスロット15データ3	13-49	DM0TCT	9-21
CAN0メッセージスロット15データ4	13-50	DM1CNT	9-8
CAN0メッセージスロット15データ5	13-51	DM1DA	9-20
CAN0メッセージスロット15データ6	13-52	DM1SA	9-19
CAN0メッセージスロット15データ7	13-53	DM1SRI	9-18
CAN0メッセージスロット15データ長レジスタ	13-45	DM1TCT	9-21
CAN0メッセージスロット15標準ID0	13-40	DM2CNT	9-9
CAN0メッセージスロット15標準ID1	13-40	DM2DA	9-20
CAN0ローカルマスクレジスタA拡張ID0	13-33	DM2SA	9-19
CAN0ローカルマスクレジスタA拡張ID1	13-33	DM2SRI	9-18
CAN0ローカルマスクレジスタA拡張ID2	13-34	DM2TCT	9-21
CAN0ローカルマスクレジスタA標準ID0	13-31	DM3CNT	9-10
CAN0ローカルマスクレジスタA標準ID1	13-31	DM3DA	9-20
CAN0ローカルマスクレジスタB拡張ID0	13-33	DM3SA	9-19
CAN0ローカルマスクレジスタB拡張ID1	13-33	DM3SRI	9-18
CAN0ローカルマスクレジスタB拡張ID2	13-34	DM3TCT	9-21
CAN0ローカルマスクレジスタB標準ID0	13-31	DM4CNT	9-11
CAN0ローカルマスクレジスタB標準ID1	13-31	DM4DA	9-20
CANTSTMP	13-20	DM4SA	9-19
CANバスエラービット	13-11, 13-13	DM4SRI	9-18
CANバスエラー割り込みステータスビット	13-26	DM4TCT	9-21
CANバスエラー割り込みマスクビット	13-27	DM59ITMK	9-25
CANプロトコル	13-55	DM59ITST	9-23
CANポーレート	13-22	DM5CNT	9-12
CANリセットステータスビット	13-11, 13-13	DM5DA	9-20
CANリセットビット	13-8, 13-10	DM5SA	9-19
CBR	2-5	DM5SRI	9-18
CBSビット	13-11, 13-13	DM5TCT	9-21
CDIVビット	12-13, 12-14	DM6CNT	9-13
CKB2S	10-13		

索引 (D)

DM6DA	9-20	DMA2要求要因選択	9-9
DM6SA	9-19	DMA2割り込み要求ステータス	9-22
DM6SRI	9-18	DMA2割り込み要求マスク	9-24
DM6TCT	9-21	DMA3ソースアドレス方向選択	9-10
DM7CNT	9-14	DMA3ソースアドレスレジスタ	9-19
DM7DA	9-20	DMA3ソフトウェア要求発生レジスタ	9-18
DM7SA	9-19	DMA3チャネル制御レジスタ	9-10
DM7SRI	9-18	DMA3デスティネーションアドレス方向選択	9-10
DM7TCT	9-21	DMA3デスティネーションアドレスレジスタ	9-20
DM8CNT	9-15	DMA3転送カウントレジスタ	9-21
DM8DA	9-20	DMA3転送許可	9-10
DM8SA	9-19	DMA3転送サイズ選択	9-10
DM8SRI	9-18	DMA3転送モード選択	9-10
DM8TCT	9-21	DMA3転送要求フラグ	9-10
DM9CNT	9-16	DMA3要求要因選択	9-10
DM9DA	9-20	DMA3割り込み要求ステータス	9-22
DM9SA	9-19	DMA3割り込み要求マスク	9-24
DM9SRI	9-18	DMA4ソースアドレス方向選択	9-11
DM9TCT	9-21	DMA4ソースアドレスレジスタ	9-19
DMA	1-4, 9-2	DMA4ソフトウェア要求発生レジスタ	9-18
DMA0-4割り込みマスクレジスタ	9-24	DMA4チャネル制御レジスタ	9-11
DMA0-4割り込み要求ステータスレジスタ	9-22	DMA4デスティネーションアドレス方向選択	9-11
DMA0-4割り込み制御レジスタ	5-9	DMA4デスティネーションアドレスレジスタ	9-20
DMA0ソースアドレス方向選択	9-7	DMA4転送カウントレジスタ	9-21
DMA0ソースアドレスレジスタ	9-19	DMA4転送許可	9-11
DMA0ソフトウェア要求発生	9-18	DMA4転送サイズ選択	9-11
DMA0ソフトウェア要求発生レジスタ	9-18	DMA4転送モード選択	9-11
DMA0チャネル制御レジスタ	9-7	DMA4転送要求フラグ	9-11
DMA0デスティネーションアドレス	9-20	DMA4要求要因選択	9-11
DMA0デスティネーションアドレス方向選択	9-7	DMA4割り込み要求ステータス	9-22
DMA0デスティネーションアドレスレジスタ	9-20	DMA4割り込み要求マスク	9-24
DMA0転送カウントレジスタ	9-21	DMA5-9割り込みマスクレジスタ	9-25
DMA0転送許可	9-7	DMA5-9割り込み要求ステータスレジスタ	9-23
DMA0転送サイズ選択	9-7	DMA5-9割り込み制御レジスタ	5-9
DMA0転送モード選択	9-7	DMA5ソースアドレス方向選択	9-12
DMA0転送要求フラグ	9-7	DMA5ソースアドレスレジスタ	9-19
DMA0要求要因選択	9-7	DMA5ソフトウェア要求発生レジスタ	9-18
DMA0割り込み要求ステータス	9-22	DMA5チャネル制御レジスタ	9-12
DMA0割り込み要求マスク	9-24	DMA5デスティネーションアドレス方向選択	9-12
DMA1ソースアドレス方向選択	9-8	DMA5デスティネーションアドレスレジスタ	9-20
DMA1ソースアドレスレジスタ	9-19	DMA5転送カウントレジスタ	9-21
DMA1ソフトウェア要求発生レジスタ	9-18	DMA5転送許可	9-12
DMA1チャネル制御レジスタ	9-8	DMA5転送サイズ選択	9-12
DMA1デスティネーションアドレス方向選択	9-8	DMA5転送モード選択	9-12
DMA1デスティネーションアドレスレジスタ	9-20	DMA5転送要求フラグ	9-12
DMA1転送カウントレジスタ	9-21	DMA5要求要因選択	9-12
DMA1転送許可	9-8	DMA5割り込み要求ステータス	9-23
DMA1転送サイズ選択	9-8	DMA5割り込み要求マスク	9-25
DMA1転送モード選択	9-8	DMA6ソースアドレス方向選択	9-13
DMA1転送要求フラグ	9-8	DMA6ソースアドレスレジスタ	9-19
DMA1要求要因選択	9-8	DMA6ソフトウェア要求発生レジスタ	9-18
DMA1割り込み要求ステータス	9-22	DMA6チャネル制御レジスタ	9-13
DMA1割り込み要求マスク	9-24	DMA6デスティネーションアドレス方向選択	9-13
DMA2ソースアドレス方向選択	9-9	DMA6デスティネーションアドレスレジスタ	9-20
DMA2ソースアドレスレジスタ	9-19	DMA6転送カウントレジスタ	9-21
DMA2ソフトウェア要求発生レジスタ	9-18	DMA6転送許可	9-13
DMA2チャネル制御レジスタ	9-9	DMA6転送サイズ選択	9-13
DMA2デスティネーションアドレス	9-20	DMA6転送モード選択	9-13
DMA2デスティネーションアドレス方向選択	9-9	DMA6転送要求フラグ	9-13
DMA2デスティネーションアドレスレジスタ	9-20	DMA6要求要因選択	9-13
DMA2転送カウントレジスタ	9-21	DMA6割り込み要求ステータス	9-23
DMA2転送許可	9-9	DMA6割り込み要求マスク	9-25
DMA2転送サイズ選択	9-9	DMA7ソースアドレス方向選択	9-14
DMA2転送モード選択	9-9	DMA7ソースアドレスレジスタ	9-19
DMA2転送要求フラグ	9-9	DMA7ソフトウェア要求発生レジスタ	9-18

索引 (D ~ F)

DMA7チャンネル制御レジスタ	9-14	DMITST8	9-23
DMA7デスティネーションアドレス方向選択	9-14	DMITST9	9-23
DMA7デスティネーションアドレスレジスタ	9-20	DRバスシーケンス	19-7, 19-11
DMA7転送カウントレジスタ	9-21		
DMA7転送許可	9-14	E	
DMA7転送サイズ選択	9-14	EI	4-3,4-18
DMA7転送モード選択	9-14	EID0	13-42
DMA7転送要求フラグ	9-14	EID0M	13-33
DMA7要求要因選択	9-14	EID1	13-42
DMA7割り込み要求ステータス	9-23	EID1M	13-33
DMA7割り込み要求マスク	9-25	EID2	13-42
DMA8ソースアドレス方向選択	9-15	EID2M	13-33
DMA8ソースアドレスレジスタ	9-19	EID3	13-42
DMA8ソフトウェア要求発生レジスタ	9-18	EID3M	13-33
DMA8チャンネル制御レジスタ	9-15	EID4	13-43
DMA8デスティネーションアドレス方向選択	9-15	EID4M	13-33
DMA8デスティネーションアドレスレジスタ	9-20	EID5	13-43
DMA8転送カウントレジスタ	9-21	EID5M	13-33
DMA8転送許可	9-15	EID6	13-43
DMA8転送サイズ選択	9-15	EID6M	13-33
DMA8転送モード選択	9-15	EID7	13-43
DMA8転送要求フラグ	9-15	EID7M	13-33
DMA8要求要因選択	9-15	EID8	13-43
DMA8割り込み要求ステータス	9-23	EID8M	13-33
DMA8割り込み要求マスク	9-25	EID9	13-43
DMA9ソースアドレス方向選択	9-16	EID9M	13-33
DMA9ソースアドレスレジスタ	9-19	EID10	13-43
DMA9ソフトウェア要求発生レジスタ	9-18	EID10M	13-33
DMA9チャンネル制御レジスタ	9-16	EID11	13-43
DMA9デスティネーションアドレス方向選択	9-16	EID11M	13-33
DMA9デスティネーションアドレスレジスタ	9-20	EID12	13-44
DMA9転送カウントレジスタ	9-21	EID12M	13-34
DMA9転送許可	9-16	EID13	13-44
DMA9転送サイズ選択	9-16	EID13M	13-34
DMA9転送モード選択	9-16	EID14	13-44
DMA9転送要求フラグ	9-16	EID14M	13-34
DMA9要求要因選択	9-16	EID15	13-44
DMA9割り込み要求ステータス	9-23	EID15M	13-34
DMA9割り込み要求マスク	9-25	EID16	13-44
DMA _n ソースアドレス方向選択ビット	9-17	EID16M	13-34
DMA _n デスティネーションアドレス方向選択ビット	9-17	EID17	13-44
DMA _n 転送許可ビット	9-17	EID17M	13-34
DMA _n 転送サイズ選択ビット	9-17	EIMビット	13-27
DMA _n 転送モード選択ビット	9-17	EISビット	13-26
DMA _n 転送要求フラグビット	9-17	EIT	4-2
DMA _n 要求要因選択ビット	9-17	EITハンドラ	4-4
DMA要因要求	9-28	EITベクタエントリ	3-23, 4-10
DMITMK0	9-24	EPSビット	13-11, 13-12
DMITMK1	9-24	ERASE	6-6
DMITMK2	9-24	ERSビット	12-20, 12-22
DMITMK3	9-24	Exception	4-2, 4-3, 4-11
DMITMK4	9-24	Extended ID フォーマット	13-15
DMITMK5	9-25	EXTEST	19-5
DMITMK6	9-25		
DMITMK7	9-25		
DMITMK8	9-25	F	
DMITMK9	9-25	F/F0出力データ	10-27
DMITST0	9-22	F/F0プロテクト	10-25
DMITST1	9-22	F/F1出力データ	10-27
DMITST2	9-22	F/F1プロテクト	10-25
DMITST3	9-22	F/F2出力データ	10-27
DMITST4	9-22	F/F2プロテクト	10-25
DMITST5	9-23	F/F3出力データ	10-27
DMITST6	9-23	F/F3プロテクト	10-25
DMITST7	9-23	F/F4出力データ	10-27

索引 (F)

F/F4プロテクト	10-25	FD7	10-27
F/F5出力データ	10-27	FD8	10-27
F/F5プロテクト	10-25	FD9	10-27
F/F6出力データ	10-27	FD10	10-27
F/F6ソース選択	10-23	FD11	10-27
F/F6プロテクト	10-25	FD12	10-27
F/F7出力データ	10-27	FD13	10-27
F/F7ソース選択	10-23	FD14	10-27
F/F7プロテクト	10-25	FD15	10-27
F/F8出力データ	10-27	FD16	10-28
F/F8ソース選択	10-23	FD17	10-28
F/F8プロテクト	10-25	FD18	10-28
F/F9出力データ	10-27	FD19	10-28
F/F9ソース選択	10-23	FD20	10-28
F/F9プロテクト	10-25	FELBANK0	6-14
F/F10出力データ	10-27	FELEVEL	6-11
F/F10ソース選択	10-23	FEMMOD	6-8
F/F10プロテクト	10-25	FENTRY	6-8
F/F11出力データ	10-27	FESBANK0	6-15
F/F11ソース選択	10-23	FESBANK1	6-15
F/F11プロテクト	10-25	FF6	10-23
F/F12出力データ	10-27	FF7	10-23
F/F12ソース選択	10-23	FF8	10-23
F/F12プロテクト	10-25	FF9	10-23
F/F13出力データ	10-27	FF10	10-23
F/F13ソース選択	10-23	FF11	10-23
F/F13プロテクト	10-25	FF12	10-23
F/F14出力データ	10-27	FF13	10-23
F/F14ソース選択	10-23	FF14	10-23
F/F14プロテクト	10-25	FF15	10-23
F/F15出力データ	10-27	FF16	10-24
F/F15ソース選択	10-23	FF17	10-24
F/F15プロテクト	10-25	FF18	10-24
F/F16出力データ	10-28	FF19	10-24
F/F16ソース選択	10-24	FFD0	10-27
F/F16プロテクト	10-26	FFD1	10-28
F/F17出力データ	10-28	FFP0	10-25
F/F17ソース選択	10-24	FFP1	10-26
F/F17プロテクト	10-26	FFS0	10-23
F/F18出力データ	10-28	FFS1	10-24
F/F18ソース選択	10-24	FLBST0	6-32
F/F18プロテクト	10-26	FLBST1	6-32
F/F19出力データ	10-28	FLMビット	12-20, 12-22
F/F19ソース選択	10-24	FMOD	6-4
F/F19プロテクト	10-26	FP0	10-25
F/F20出力データ	10-28	FP1	10-25
F/F20プロテクト	10-26	FP2	10-25
F/Fソース選択レジスタ0	10-23	FP3	10-25
F/Fソース選択レジスタ1	10-24	FP4	10-25
F/Fデータレジスタ0	10-27	FP5	10-25
F/Fデータレジスタ1	10-28	FP6	10-25
F/Fプロテクトレジスタ0	10-25	FP7	10-25
F/Fプロテクトレジスタ1	10-26	FP8	10-25
FBUSY	6-6	FP9	10-25
FCNT1	6-8	FP10	10-25
FCNT2	6-10	FP11	10-25
FCNT3	6-11	FP12	10-25
FCNT4	6-12	FP13	10-25
FD0	10-27	FP14	10-25
FD1	10-27	FP15	10-25
FD2	10-27	FP16	10-26
FD3	10-27	FP17	10-26
FD4	10-27	FP18	10-26
FD5	10-27	FP19	10-26
FD6	10-27	FP20	10-26

索引 (F ~ M)

FPMOD	6-4	IRB7	13-25
FPROT	6-10	IRB8	13-25
FRESET	6-12	IRB9	13-25
FRSTビット	13-8, 13-9	IRB10	13-25
FSTAT	6-5	IRB11	13-25
FSTAT1	6-5	IRB12	13-25
FSTAT2	6-6	IRB13	13-25
		IRB14	13-25
		IRB15	13-25
H		IREQビット	5-10
HACK	15-3	IRQR2	12-9
HREQ	15-3	IRQT2	12-9
		IRTDCR	5-9
		IRバスシーケンス	19-6, 19-8
I		ISIO0RXCR	5-9
IAD0CCR	5-9	ISIO0TXCR	5-9
ICAN0CR	5-9	ISIO1RXCR	5-9
ICU	5-2	ISIO1TXCR	5-9
ICUベクタテーブル	3-24, 5-13	ISIO23CR	5-9
IDCODE	19-4	ISR0	12-11
IDE0	13-15	ISR1	12-11
IDE1	13-15	ISR2	12-11
IDE2	13-15	IVECT	5-6
IDE3	13-15		
IDE4	13-15		
IDE5	13-15		
IDE6	13-15		
IDE7	13-15		
IDE8	13-15		
IDE9	13-15		
IDE10	13-15		
IDE11	13-15		
IDE12	13-15		
IDE13	13-15		
IDE14	13-15		
IDE15	13-15		
IDMA04CR	5-9		
IDMA59CR	5-9		
IDコードレジスタ	19-5		
IE	2-4		
IEB0S	10-13		
IEB1S	10-13		
IEB2S	10-13		
IEB3S	10-13		
ILEVEL	5-10, 5-12		
IMASK	5-7		
IMJTICR1	5-9		
IMJTICR2	5-9		
IMJTICR3	5-9		
IMJTICR4	5-9		
IMJTOCR0	5-9		
IMJTOCR1	5-9		
IMJTOCR2	5-9		
IMJTOCR3	5-9		
IMJTOCR4	5-9		
IMJTOCR5	5-9		
IMJTOCR6	5-9		
IMJTOCR7	5-9		
Interrupt	4-2, 4-3, 4-15		
IRB0	13-25		
IRB1	13-25		
IRB2	13-25		
IRB3	13-25		
IRB4	13-25		
IRB5	13-25		
IRB6	13-25		
		J	
		JTAG	19-2
		JTAGBPR	19-5
		JTAGBSR	19-5
		JTAGIDR	19-5
		JTAGIR	19-4
		JTCK	19-2
		JTDI	19-2
		JTDO	19-2
		JTMS	19-2
		JTRST	19-2
		L	
		LBANKAD	6-14
		LBMビット	13-8, 13-10
		LBSビット	13-11, 13-13
		Lバンクアドレス	6-14
		M	
		M32R/E命令処理時間	付録2-2
		MDSEL0	9-7
		MDSEL1	9-8
		MDSEL2	9-9
		MDSEL3	9-10
		MDSEL4	9-11
		MDSEL5	9-12
		MDSEL6	9-13
		MDSEL7	9-14
		MDSEL8	9-15
		MDSEL9	9-16
		MDSELnビット	9-17
		MJT出力割り込み制御レジスタ0	5-9
		MJT出力割り込み制御レジスタ1	5-9
		MJT出力割り込み制御レジスタ2	5-9
		MJT出力割り込み制御レジスタ3	5-9
		MJT出力割り込み制御レジスタ4	5-9
		MJT出力割り込み制御レジスタ5	5-9

索引 (S ~ T)

S2TXB	12-18	SIO1送信制御レジスタ	12-13
SADSL0	9-7	SIO1送信バッファレジスタ	12-18
SADSL1	9-8	SIO1送信割り込み制御レジスタ	5-9
SADSL2	9-9	SIO1送信割り込みマスクビット	12-10
SADSL3	9-10	SIO1ボーレートレジスタ	12-23
SADSL4	9-11	SIO1モードレジスタ	12-15
SADSL5	9-12	SIO2,3送受信割り込み制御レジスタ	5-9
SADSL6	9-13	SIO23割り込みステータスレジスタ	12-9
SADSL7	9-14	SIO2受信制御レジスタ	12-20
SADSL8	9-15	SIO2受信バッファレジスタ	12-19
SADSL9	9-16	SIO2受信割り込みマスクビット	12-10
SADSLnビット	9-17	SIO2受信割り込み要因選択ビット	12-11
SAMPLE/PRELOAD	19-4	SIO2受信割り込み要求ステータスビット	12-9
SAMビット	13-17, 13-18	SIO2送信完了割り込み要求ステータスビット	12-9
SBANKAD	6-15	SIO2送信制御レジスタ	12-13
SBI	4-3, 4-16	SIO2送信バッファレジスタ	12-18
SBI(システムブレーク割り込み)レジスタ	5-8	SIO2送信割り込みマスクビット	12-10
SBICR	5-8	SIO2ボーレートレジスタ	12-23
SBIREQ	5-8	SIO2モードレジスタ	12-15
SBI要求	5-8	SJWビット	13-16, 13-18
SENビット	12-15, 12-16	SM	2-4
SFR	3-9	SMODビット	12-15, 12-16
SI03MASK	12-10	SPI	2-5
SI03SEL	12-11	SPU	2-5
SI23STAT	12-9	SSB0	13-23
SID0	13-40	SSB1	13-23
SID0M	13-31	SSB2	13-23
SID1	13-40	SSB3	13-23
SID1M	13-31	SSB4	13-23
SID2	13-40	SSB5	13-23
SID2M	13-31	SSB6	13-23
SID3	13-40	SSB7	13-23
SID3M	13-31	SSB8	13-23
SID4	13-40	SSB9	13-23
SID4M	13-31	SSB10	13-23
SID5	13-41	SSB11	13-23
SID5M	13-31	SSB12	13-23
SID6	13-41	SSB13	13-23
SID6M	13-31	SSB14	13-23
SID7	13-41	SSB15	13-23
SID7M	13-31	Standard ID フォーマット	13-15
SID8	13-41	STBビット	12-15, 12-16
SID8M	13-31	Sバンクアドレス	6-15
SID9	13-41		
SID9M	13-31		
SID10	13-41		
SID10M	13-31		
SIO03受信割り込み要因選択レジスタ	12-11		
SIO03割り込みマスクレジスタ	12-10		
SIO0受信制御レジスタ	12-20		
SIO0受信バッファレジスタ	12-19		
SIO0受信割り込み制御レジスタ	5-9		
SIO0受信割り込みマスクビット	12-10		
SIO0受信割り込み要因選択ビット	12-11		
SIO0送信制御レジスタ	12-13		
SIO0送信バッファレジスタ	12-18		
SIO0送信割り込み制御レジスタ	5-9		
SIO0送信割り込みマスクビット	12-10		
SIO0ボーレートレジスタ	12-23		
SIO0モードレジスタ	12-15		
SIO1受信制御レジスタ	12-20		
SIO1受信バッファレジスタ	12-19		
SIO1受信割り込み制御レジスタ	5-9		
SIO1受信割り込みマスクビット	12-10		
SIO1受信割り込み要因選択ビット	12-11		
		T	
		T0MASK	12-10
		T1MASK	12-10
		T2MASK	12-10
		TAP	19-2, 19-3
		TBEビット	12-13, 12-14
		TCLK0S	10-18
		TCLK0入力処理選択	10-18
		TCLK1S	10-18
		TCLK1入力処理選択	10-18
		TCLK2S	10-18
		TCLK2入力処理選択	10-18
		TCLK3S	10-18
		TCLK3入力処理選択	10-18
		TCLKCR	10-18
		TCLK入力処理制御レジスタ	10-18
		TDATA	12-18
		TEC	13-21
		TENL0	9-7
		TENL1	9-8

索引 (T)

TENL2	9-9	TINIRO	10-41
TENL3	9-10	TINIR1	10-42
TENL4	9-11	TINIR4	10-43
TENL5	9-12	TINIR5	10-43
TENL6	9-13	TINIR6	10-45
TENL7	9-14	TINIS0	10-41
TENL8	9-15	TINIS3	10-42
TENL9	9-16	TINIS16	10-43
TENLnビット	9-17	TINIS17	10-43
TENビット	12-13, 12-14	TINIS18	10-43
Timer OutPut	10-46	TINIS19	10-43
TIN0S	10-19	TINIS20	10-45
TIN0入力処理選択	10-19	TINIS21	10-45
TIN0割り込み要求ステータス	10-41	TINIS22	10-45
TIN0割り込み要求マスク	10-41	TINIS23	10-45
TIN3S	10-19	TIN入力処理制御レジスタ0	10-19
TIN3入力処理選択	10-19	TIN入力処理制御レジスタ3	10-20
TIN3割り込み要求ステータス	10-42	TIN入力処理制御レジスタ4	10-20
TIN3割り込み要求マスク	10-42	TIN割り込み制御レジスタ0	10-41
TIN4S	10-19	TIN割り込み制御レジスタ1	10-42
TIN16S	10-20	TIN割り込み制御レジスタ4	10-43
TIN16入力処理選択	10-20	TIN割り込み制御レジスタ5	10-43
TIN16割り込み要求ステータス	10-43	TIN割り込み制御レジスタ6	10-45
TIN16割り込み要求マスク	10-43	TIO	10-2, 10-83
TIN17S	10-20	TIO PWM出力モード	10-113
TIN17入力処理選択	10-20	TIO0 ~ 3クロックソース選択	10-94
TIN17割り込み要求ステータス	10-43	TIO0 ~ 3制御レジスタ0	10-92
TIN17割り込み要求マスク	10-43	TIO0 ~ 3制御レジスタ1	10-94
TIN18S	10-20	TIO0 ~ 9イネーブルプロテクトレジスタ	10-105
TIN18入力処理選択	10-20	TIO0 ~ 9カウントイネーブルレジスタ	10-106
TIN18割り込み要求ステータス	10-43	TIO03CKS	10-94
TIN18割り込み要求マスク	10-43	TIO03CR0	10-92
TIN19S	10-20	TIO03CR1	10-94
TIN19入力処理選択	10-20	TIO0CEN	10-106
TIN19割り込み要求ステータス	10-43	TIO0CT	10-102
TIN19割り込み要求マスク	10-43	TIO0CT ~ TIO9CT	10-102
TIN20S	10-20	TIO0ENS	10-93
TIN20入力処理選択	10-20	TIO0M	10-93
TIN20割り込み要求ステータス	10-45	TIO0PRO	10-105
TIN20割り込み要求マスク	10-45	TIO0RL0	10-103
TIN21S	10-20	TIO0RL0 ~ TIO9RL0	10-103
TIN21入力処理選択	10-20	TIO0RL1	10-104
TIN21割り込み要求ステータス	10-45	TIO0RL1 ~ TIO9RL1	10-104
TIN21割り込み要求マスク	10-45	TIO0イネーブル/計測入カソース選択	10-93
TIN22S	10-20	TIO0イネーブルプロテクト	10-105
TIN22入力処理選択	10-20	TIO0カウンタ	10-102
TIN22割り込み要求ステータス	10-45	TIO0カウントイネーブル	10-106
TIN22割り込み要求マスク	10-45	TIO0動作モード選択	10-93
TIN23S	10-20	TIO0リロード0/計測レジスタ	10-103
TIN23入力処理選択	10-20	TIO0リロード1レジスタ	10-104
TIN23割り込み要求ステータス	10-45	TIO0割り込み要求ステータス	10-37
TIN23割り込み要求マスク	10-45	TIO0割り込み要求マスク	10-37
TINCR0	10-19	TIO1CEN	10-106
TINCR3	10-20	TIO1CT	10-102
TINCR4	10-20	TIO1M	10-93
TINIM0	10-41	TIO1PRO	10-105
TINIM3	10-42	TIO1RL0	10-103
TINIM16	10-43	TIO1RL1	10-104
TINIM17	10-43	TIO1イネーブルプロテクト	10-105
TINIM18	10-43	TIO1カウンタ	10-102
TINIM19	10-43	TIO1カウントイネーブル	10-106
TINIM20	10-45	TIO1動作モード選択	10-93
TINIM21	10-45	TIO1リロード0/計測レジスタ	10-103
TINIM22	10-45	TIO1リロード1レジスタ	10-104
TINIM23	10-45	TIO1割り込み要求ステータス	10-37

索引 (T)

TIO1割り込み要求マスク	10-37	TIO5カウントイネーブル	10-106
TIO2CEN	10-106	TIO5クロックソース選択	10-97
TIO2CT	10-102	TIO5制御レジスタ	10-97
TIO2M	10-92	TIO5動作モード選択	10-97
TIO2PRO	10-105	TIO5リロード0/計測レジスタ	10-103
TIO2RL0	10-103	TIO5リロード1レジスタ	10-104
TIO2RL1	10-104	TIO5割り込み要求ステータス	10-38
TIO2イネーブルプロテクト	10-105	TIO5割り込み要求マスク	10-38
TIO2カウンタ	10-102	TIO6CEN	10-106
TIO2カウントイネーブル	10-106	TIO6CKS	10-98
TIO2動作モード選択	10-92	TIO6CR	10-98
TIO2リロード0/計測レジスタ	10-103	TIO6CT	10-102
TIO2リロード1レジスタ	10-104	TIO6M	10-98
TIO2割り込み要求ステータス	10-37	TIO6PRO	10-105
TIO2割り込み要求マスク	10-37	TIO6RL0	10-103
TIO3,4イネーブル/計測入力ソース選択	10-95	TIO6RL1	10-104
TIO34ENS	10-95	TIO6イネーブル/計測入力ソース選択	10-98
TIO3CEN	10-106	TIO6イネーブルプロテクト	10-105
TIO3CT	10-102	TIO6カウンタ	10-102
TIO3EEN	10-92	TIO6カウントイネーブル	10-106
TIO3M	10-92	TIO6クロックソース選択	10-98
TIO3PRO	10-105	TIO6制御レジスタ	10-98
TIO3RL0	10-103	TIO6動作モード選択	10-98
TIO3RL1	10-104	TIO6リロード0/計測レジスタ	10-103
TIO3イネーブルプロテクト	10-105	TIO6リロード1レジスタ	10-104
TIO3外部入力許可	10-92	TIO6割り込み要求ステータス	10-38
TIO3カウンタ	10-102	TIO6割り込み要求マスク	10-38
TIO3カウントイネーブル	10-106	TIO7CEN	10-106
TIO3動作モード選択	10-92	TIO7CKS	10-99
TIO3リロード0/計測レジスタ	10-103	TIO7CR	10-99
TIO3リロード1レジスタ	10-104	TIO7CT	10-102
TIO3割り込み要求ステータス	10-37	TIO7ENS	10-99
TIO3割り込み要求マスク	10-37	TIO7M	10-99
TIO4CEN	10-106	TIO7PRO	10-105
TIO4CKS	10-95	TIO7RL0	10-103
TIO4CR	10-95	TIO7RL1	10-104
TIO4CT	10-102	TIO7イネーブル/計測入力ソース選択	10-99
TIO4EEN	10-95	TIO7イネーブルプロテクト	10-105
TIO4M	10-95	TIO7カウンタ	10-102
TIO4PRO	10-105	TIO7カウントイネーブル	10-106
TIO4RL0	10-103	TIO7クロックソース選択	10-99
TIO4RL1	10-104	TIO7制御レジスタ	10-99
TIO4イネーブルプロテクト	10-105	TIO7動作モード選択	10-99
TIO4外部入力許可	10-95	TIO7リロード0/計測レジスタ	10-103
TIO4カウンタ	10-102	TIO7リロード1レジスタ	10-104
TIO4カウントイネーブル	10-106	TIO7割り込み要求ステータス	10-38
TIO4クロックソース選択	10-95	TIO7割り込み要求マスク	10-38
TIO4制御レジスタ	10-95	TIO8CEN	10-106
TIO4動作モード選択	10-95	TIO8CKS	10-100
TIO4リロード0/計測レジスタ	10-103	TIO8CR	10-100
TIO4リロード1レジスタ	10-104	TIO8CT	10-102
TIO4割り込み要求ステータス	10-38	TIO8ENS	10-100
TIO4割り込み要求マスク	10-38	TIO8M	10-100
TIO5CEN	10-106	TIO8PRO	10-105
TIO5CKS	10-97	TIO8RL0	10-103
TIO5CR	10-97	TIO8RL1	10-104
TIO5CT	10-102	TIO8イネーブル/計測入力ソース選択	10-100
TIO5ENS	10-97	TIO8イネーブルプロテクト	10-105
TIO5M	10-97	TIO8カウンタ	10-102
TIO5PRO	10-105	TIO8カウントイネーブル	10-106
TIO5RL0	10-103	TIO8クロックソース選択	10-100
TIO5RL1	10-104	TIO8制御レジスタ	10-100
TIO5イネーブル/計測入力ソース選択	10-97	TIO8動作モード選択	10-100
TIO5イネーブルプロテクト	10-105	TIO8リロード0/計測レジスタ	10-103
TIO5カウンタ	10-102	TIO8リロード1レジスタ	10-104

索引 (T)

TIO8割り込み要求ステータス	10-39	TML0MR2L	10-139
TIO8割り込み要求マスク	10-39	TML0MR3H	10-139
TIO9CEN	10-106	TML0MR3H - 0H	10-139
TIO9CKS	10-101	TML0MR3L	10-139
TIO9CR	10-101	TML0MR3L - 0L	10-139
TIO9CT	10-102	TML0SS0	10-135
TIO9ENS	10-101	TML0SS1	10-135
TIO9M	10-101	TML0SS2	10-135
TIO9PRO	10-105	TML0SS3	10-135
TIO9RL0	10-103	TML0カウンタ下位	10-137
TIO9RL1	10-104	TML0カウンタ上位	10-137
TIO9イネーブル/計測入カソース選択	10-101	TML0クロックソース選択	10-135
TIO9イネーブルプロテクト	10-105	TML0計測0ソース選択	10-135
TIO9カウンタ	10-102	TML0計測0レジスタ	10-139
TIO9カウントイネーブル	10-106	TML0計測1ソース選択	10-135
TIO9クロックソース選択	10-101	TML0計測1レジスタ	10-139
TIO9制御レジスタ	10-101	TML0計測2ソース選択	10-135
TIO9動作モード選択	10-101	TML0計測2レジスタ	10-139
TIO9リロード0/計測レジスタ	10-103	TML0計測3ソース選択	10-135
TIO9リロード1レジスタ	10-104	TML0計測3レジスタ	10-139
TIO9割り込み要求ステータス	10-39	TML0制御レジスタ	10-135
TIO9割り込み要求マスク	10-39	TML1CKS	10-136
TIOCEN	10-106	TML1CR	10-136
TIOIM0	10-37	TML1CTH	10-138
TIOIM1	10-37	TML1CTL	10-138
TIOIM2	10-37	TML1MR0H	10-140
TIOIM3	10-37	TML1MR0L	10-140
TIOIM4	10-38	TML1MR1H	10-140
TIOIM5	10-38	TML1MR1L	10-140
TIOIM6	10-38	TML1MR2H	10-140
TIOIM7	10-38	TML1MR2L	10-140
TIOIM8	10-39	TML1MR3H	10-140
TIOIM9	10-39	TML1MR3H - 0H	10-140
TIOIR0	10-37	TML1MR3L	10-140
TIOIR1	10-38	TML1MR3L - 0L	10-140
TIOIR2	10-39	TML1SS0	10-136
TIOIS0	10-37	TML1SS1	10-136
TIOIS1	10-37	TML1SS2	10-136
TIOIS2	10-37	TML1SS3	10-136
TIOIS3	10-37	TML1カウンタ下位	10-138
TIOIS4	10-38	TML1カウンタ上位	10-138
TIOIS5	10-38	TML1クロックソース選択	10-136
TIOIS6	10-38	TML1計測0ソース選択	10-136
TIOIS7	10-38	TML1計測0レジスタ	10-140
TIOIS8	10-39	TML1計測1ソース選択	10-136
TIOIS9	10-39	TML1計測1レジスタ	10-140
TIOPRO	10-105	TML1計測2ソース選択	10-136
TIO計測(フリーラン/クリア)入力モード	10-108	TML1計測2レジスタ	10-140
TIOディレイドワンショット出力モード	10-119	TML1計測3ソース選択	10-136
TIOノイズ処理入力モード	10-112	TML1計測3レジスタ	10-140
TIO連続出力モード	10-121	TML1制御レジスタ	10-136
TIO割り込み制御レジスタ0	10-37	TML計測入力	10-141
TIO割り込み制御レジスタ1	10-38	TMS	10-2, 10-123
TIO割り込み制御レジスタ2	10-39	TMS0CEN	10-126
TIOワンショット出力モード	10-117	TMS0CKS	10-126
TML	10-2, 10-132	TMS0CR	10-126
TML0CKS	10-135	TMS0CT	10-128
TML0CR	10-135	TMS0CT, TMS1CT	10-128
TML0CTH	10-137	TMS0MR0	10-129
TML0CTL	10-137	TMS0MR1	10-129
TML0MR0H	10-139	TMS0MR2	10-129
TML0MR0L	10-139	TMS0MR3	10-129
TML0MR1H	10-139	TMS0MR3 ~ TMS0MR0	10-129
TML0MR1L	10-139	TMS0SS0	10-126
TML0MR2H	10-139	TMS0SS1	10-126

索引 (T)

TMS0SS2	10-126	TOP0CT	10-60
TMS0SS3	10-126	TOP0CT ~ TOP10CT	10-60
TMS0カウンタ	10-128	TOP0EEN	10-63
TMS0カウントイネーブル	10-126	TOP0M	10-54
TMS0クロックソース選択	10-126	TOP0PRO	10-64
TMS0計測0ソース選択	10-126	TOP0RL	10-61
TMS0計測0レジスタ	10-129	TOP0RL ~ TOP10RL	10-61
TMS0計測1ソース選択	10-126	TOP0イネーブルプロテクト	10-64
TMS0計測1レジスタ	10-129	TOP0外部イネーブル許可	10-63
TMS0計測2ソース選択	10-126	TOP0カウンタ	10-60
TMS0計測2レジスタ	10-129	TOP0カウントイネーブル	10-65
TMS0計測3ソース選択	10-126	TOP0動作モード選択	10-54
TMS0計測3レジスタ	10-129	TOP0補正レジスタ	10-62
TMS0制御レジスタ	10-126	TOP0リロードレジスタ	10-61
TMS0割り込み要求ステータス	10-40	TOP0割り込み要求ステータス	10-33
TMS0割り込み要求マスク	10-40	TOP0割り込み要求マスク	10-33
TMS1CEN	10-127	TOP10CC	10-62
TMS1CKS	10-127	TOP10CEN	10-65
TMS1CR	10-127	TOP10CT	10-60
TMS1CT	10-128	TOP10EEN	10-63
TMS1MR0	10-129	TOP10M	10-58
TMS1MR1	10-129	TOP10PRO	10-64
TMS1MR2	10-129	TOP10RL	10-61
TMS1MR3	10-129	TOP10イネーブルプロテクト	10-64
TMS1MR3 ~ TMS1MR0	10-129	TOP10外部イネーブル許可	10-63
TMS1SS0	10-127	TOP10カウンタ	10-60
TMS1SS1	10-127	TOP10カウントイネーブル	10-65
TMS1SS2	10-127	TOP10動作モード選択	10-58
TMS1SS3	10-127	TOP10補正レジスタ	10-62
TMS1カウンタ	10-128	TOP10リロードレジスタ	10-61
TMS1カウントイネーブル	10-127	TOP1CC	10-62
TMS1クロックソース選択	10-127	TOP1CEN	10-65
TMS1計測0ソース選択	10-127	TOP1CT	10-60
TMS1計測0レジスタ	10-129	TOP1EEN	10-63
TMS1計測1ソース選択	10-127	TOP1M	10-54
TMS1計測1レジスタ	10-129	TOP1PRO	10-64
TMS1計測2ソース選択	10-127	TOP1RL	10-61
TMS1計測2レジスタ	10-129	TOP1イネーブルプロテクト	10-64
TMS1計測3ソース選択	10-127	TOP1外部イネーブル許可	10-63
TMS1計測3レジスタ	10-129	TOP1カウンタ	10-60
TMS制御レジスタ	10-127	TOP1カウントイネーブル	10-65
TMS1割り込み要求ステータス	10-40	TOP1動作モード選択	10-54
TMS1割り込み要求マスク	10-40	TOP1補正レジスタ	10-62
TMSIM0	10-40	TOP1リロードレジスタ	10-61
TMSIM1	10-40	TOP1割り込み要求ステータス	10-33
TMSIR	10-40	TOP1割り込み要求マスク	10-33
TMSIS0	10-40	TOP2CC	10-62
TMSIS1	10-40	TOP2CEN	10-65
TMS計測入力	10-130	TOP2CT	10-60
TMS割り込み制御レジスタ	10-40	TOP2EEN	10-63
TOP	10-2, 10-46	TOP2M	10-54
TOP0 ~ 10イネーブルプロテクトレジスタ	10-64	TOP2PRO	10-64
TOP0 ~ 10外部イネーブル許可レジスタ	10-63	TOP2RL	10-61
TOP0 ~ 10カウントイネーブルレジスタ	10-65	TOP2イネーブルプロテクト	10-64
TOP0 ~ 5イネーブルソース選択	10-54	TOP2外部イネーブル許可	10-63
TOP0 ~ 5クロックソース選択	10-54	TOP2カウンタ	10-60
TOP0 ~ 5制御レジスタ0	10-54	TOP2カウントイネーブル	10-65
TOP0 ~ 5制御レジスタ1	10-55	TOP2動作モード選択	10-54
TOP05CKS	10-54	TOP2補正レジスタ	10-62
TOP05CR0	10-54	TOP2リロードレジスタ	10-61
TOP05CR1	10-55	TOP2割り込み要求ステータス	10-33
TOP05ENS	10-54	TOP2割り込み要求マスク	10-33
TOP0CC	10-62	TOP3CC	10-62
TOP0CC ~ TOP10CC	10-62	TOP3CEN	10-65
TOP0CEN	10-65	TOP3CT	10-60

索引 (T)

TOP3EEN	10-63	TOP6割り込み要求ステータス	10-35
TOP3M	10-54	TOP6割り込み要求マスク	10-35
TOP3PRO	10-64	TOP7CC	10-62
TOP3RL	10-61	TOP7CEN	10-65
TOP3イネーブルプロテクト	10-64	TOP7CT	10-60
TOP3外部イネーブル許可	10-63	TOP7EEN	10-63
TOP3カウンタ	10-60	TOP7ENS	10-56
TOP3カウントイネーブル	10-65	TOP7M	10-56
TOP3動作モード選択	10-54	TOP7PRO	10-64
TOP3補正レジスタ	10-62	TOP7RL	10-61
TOP3リロードレジスタ	10-61	TOP7イネーブルソース選択	10-56
TOP3割り込み要求ステータス	10-33	TOP7イネーブルプロテクト	10-64
TOP3割り込み要求マスク	10-33	TOP7外部イネーブル許可	10-63
TOP4CC	10-62	TOP7カウンタ	10-60
TOP4CEN	10-65	TOP7カウントイネーブル	10-65
TOP4CT	10-60	TOP7動作モード選択	10-56
TOP4EEN	10-63	TOP7補正レジスタ	10-62
TOP4M	10-55	TOP7リロードレジスタ	10-61
TOP4PRO	10-64	TOP7割り込み要求ステータス	10-35
TOP4RL	10-61	TOP7割り込み要求マスク	10-35
TOP4イネーブルプロテクト	10-64	TOP8 - 10イネーブルソース選択	10-58
TOP4外部イネーブル許可	10-63	TOP8 - 10クロックソース選択	10-58
TOP4カウンタ	10-60	TOP8 - 10制御レジスタ	10-58
TOP4カウントイネーブル	10-65	TOP810CKS	10-58
TOP4動作モード選択	10-55	TOP810CR	10-58
TOP4補正レジスタ	10-62	TOP810ENS	10-58
TOP4リロードレジスタ	10-61	TOP8CC	10-62
TOP4割り込み要求ステータス	10-33	TOP8CEN	10-65
TOP4割り込み要求マスク	10-33	TOP8CT	10-60
TOP5CC	10-62	TOP8EEN	10-63
TOP5CEN	10-65	TOP8M	10-58
TOP5CT	10-60	TOP8PRO	10-64
TOP5EEN	10-63	TOP8RL	10-61
TOP5M	10-55	TOP8イネーブルプロテクト	10-64
TOP5PRO	10-64	TOP8外部イネーブル許可	10-63
TOP5RL	10-61	TOP8カウンタ	10-60
TOP5イネーブルプロテクト	10-64	TOP8カウントイネーブル	10-65
TOP5外部イネーブル許可	10-63	TOP8動作モード選択	10-58
TOP5カウンタ	10-60	TOP8補正レジスタ	10-62
TOP5カウントイネーブル	10-65	TOP8リロードレジスタ	10-61
TOP5動作モード選択	10-55	TOP8割り込み要求ステータス	10-36
TOP5補正レジスタ	10-62	TOP8割り込み要求マスク	10-36
TOP5リロードレジスタ	10-61	TOP9CC	10-62
TOP5割り込み要求ステータス	10-33	TOP9CEN	10-65
TOP5割り込み要求マスク	10-33	TOP9CT	10-60
TOP6,7制御レジスタ	10-56	TOP9EEN	10-63
TOP6,TOP7イネーブルソース選択	10-56	TOP9M	10-58
TOP6,TOP7クロックソース選択	10-56	TOP9PRO	10-64
TOP67CKS	10-56	TOP9RL	10-61
TOP67CR	10-56	TOP9イネーブルプロテクト	10-64
TOP67ENS	10-56	TOP9外部イネーブル許可	10-63
TOP6CC	10-62	TOP9カウンタ	10-60
TOP6CEN	10-65	TOP9カウントイネーブル	10-65
TOP6CT	10-60	TOP9動作モード選択	10-58
TOP6EEN	10-63	TOP9補正レジスタ	10-62
TOP6M	10-56	TOP9リロードレジスタ	10-61
TOP6PRO	10-64	TOP9割り込み要求ステータス	10-36
TOP6RL	10-61	TOP9割り込み要求マスク	10-36
TOP6イネーブルプロテクト	10-64	TOPCEN	10-65
TOP6外部イネーブル許可	10-63	TOPEEN	10-63
TOP6カウンタ	10-60	TOPIM0	10-33
TOP6カウントイネーブル	10-65	TOPIM1	10-33
TOP6動作モード選択	10-56	TOPIM2	10-33
TOP6補正レジスタ	10-62	TOPIM3	10-33
TOP6リロードレジスタ	10-61	TOPIM4	10-33

索引 (T ~ W)

TOPIM5	10-33
TOPIM6	10-35
TOPIM7	10-35
TOPIM8	10-36
TOPIM9	10-36
TOPIR0	10-33
TOPIR1	10-33
TOPIR2	10-36
TOPIR3	10-36
TOPI S0	10-33
TOPI S1	10-33
TOPI S2	10-33
TOPI S3	10-33
TOPI S4	10-33
TOPI S5	10-33
TOPI S6	10-35
TOPI S7	10-35
TOPI S8	10-36
TOPI S9	10-36
TOPPRO	10-64
TOPディレイドワンショット出力モード	10-74
TOP連続出力モード	10-79
TOP割り込み制御レジスタ0	10-33
TOP割り込み制御レジスタ1	10-33
TOP割り込み制御レジスタ2	10-35
TOP割り込み制御レジスタ3	10-36
TOPワンショット出力モード	10-67
Trap	4-2, 4-3, 4-20
TREQF0	9-7
TREQF1	9-8
TREQF2	9-9
TREQF3	9-10
TREQF4	9-11
TREQF5	9-12
TREQF6	9-13
TREQF7	9-14
TREQF8	9-15
TREQF9	9-16
TREQFnビット	9-17
TRFINビット	13-37, 13-39
TRSTATビット	13-37, 13-39
TRビット	13-36, 13-37
TSBビット	13-11, 13-14
TSCビット	13-11, 13-14
TSPビット	13-8, 13-9
TSRビット	13-8, 13-9
TSTATビット	12-13, 12-14
TSZSL0	9-7
TSZSL1	9-8
TSZSL2	9-9
TSZSL3	9-10
TSZSL4	9-11
TSZSL5	9-12
TSZSL6	9-13
TSZSL7	9-14
TSZSL8	9-15
TSZSL9	9-16
TSZSLnビット	9-17

U

UARTモード	12-2
---------	------

V

VEIコマンド	14-10
VERコマンド	14-9

W

WAIT	15-3
WR	15-3
WRERR1	6-6
WRERR2	6-6
WRRコマンド	14-7
WTCCR	16-5

索引 (ア～シ)

ア

アキュムレータ	1-3, 2-6
アドレス例外	4-3, 4-13
アナログ入力端子選択ビット	11-19, 11-20
アナログ入力電圧	11-30

イ

イレース全アンロックブロックコマンド	6-25, 6-31
--------------------	------------

ウ

ウエイクアップ	17-9
ウエイト	15-3
ウエイトコントローラ	1-6, 16-2
ウエイト数制御レジスタ	16-5

エ

エラーアクティブ状態	13-57
エラーサムビット	12-20, 12-22
エラーバッシブ状態	13-57
エラーバッシブステータスビット	13-11, 13-12
エラーバッシブ割り込みステータスビット	13-26
エラーバッシブ割り込みマスクビット	13-27
エラーフレーム	13-55

オ

オートイレースの動作状況	6-6
オーバランエラービット	12-20, 12-21
オーバロードフレーム	13-55

カ

開始タミー時間	11-34
外部FP端子ステータス	6-4
外部拡張モード	3-6
外部割り込み	4-3, 4-18
拡張ID0	13-15, 13-33, 13-42
拡張ID1	13-15, 13-33, 13-42
拡張ID2	13-15, 13-33, 13-42
拡張ID3	13-15, 13-33, 13-42
拡張ID4	13-15, 13-33, 13-43
拡張ID5	13-15, 13-33, 13-43
拡張ID6	13-15, 13-33, 13-43
拡張ID7	13-15, 13-33, 13-43
拡張ID8	13-15, 13-33, 13-43
拡張ID9	13-15, 13-33, 13-43
拡張ID10	13-15, 13-33, 13-43
拡張ID11	13-15, 13-33, 13-43
拡張ID12	13-15, 13-34, 13-44
拡張ID13	13-15, 13-34, 13-44
拡張ID14	13-15, 13-34, 13-44
拡張ID15	13-15, 13-34, 13-44
拡張ID16	13-34, 13-44
拡張ID17	13-34, 13-44
拡張フォーマット	13-15
確認コマンド	6-25

キ

疑似フラッシュバンクレジスタ0	6-14
疑似フラッシュバンクレジスタ0	6-15
疑似フラッシュバンクレジスタ1	6-15
疑似フラッシュエミュレーション	6-42
疑似フラッシュエミュレーションイネーブル	6-14, 6-15
疑似フラッシュエミュレーションモード	6-8
強制リセットビット	13-8, 13-9

ク

クリア/フリーラン入力モード	10-85, 10-108
クリアステータスレジスタコマンド	6-25, 6-31
クロック逡信回路	1-4
クロック同期形シリアルI/O	12-2
クロックバス	10-10
クロックバス&入力イベントバス制御レジスタ	10-13
クロックバス2入力選択	10-13
クロック非同期形シリアルI/O	12-2

ケ

計測入力モード	10-85, 10-108
継続モニタコマンド	14-9

コ

コンパレータ動作	11-33
コンパレータモード	11-5
コンパレート実行サイクル時間	11-34

サ

サンプリング数	13-17
---------	-------

シ

システム空間	3-2
システムクロック	15-3
システムブレーク割り込み	4-3, 4-16
自動応答禁止ビット	13-36, 13-38
終了タミー時間	11-34
受信エラーカウンタ	13-21
受信完了ステータスビット	13-11, 13-14
受信完了ビット	12-20, 12-21
受信許可ビット	12-20, 12-21
受信ステータスビット	12-20, 12-21, 13-11, 13-14
受信設定スロット	13-24
受信データ	12-19
受信要求ビット	13-36, 13-37
出力イベントバス	10-11
出力イベントバス0入力選択	10-14
出力イベントバス1入力選択	10-14
出力イベントバス2入力選択	10-14
出力イベントバス3入力選択	10-14
出力イベントバス制御レジスタ	10-14
消去マージンアップ	6-11
条件ビット(C)	2-4
条件ビットレジスタ	2-5
乗算器	1-3
シリアルI/O	1-5, 12-2
シリアルI/Oモード選択ビット	12-15, 12-16
シリアルライタ	6-53
シングルチップモード	3-6

索引 (ス～ハ)

ス

推奨動作条件	21-3, 21-12
スキャン間ダミー時間	11-34
スキャンモード	11-7
スキャンモード動作中の単一モード強制実行	11-10
スタックモード	2-4
ストップビット長選択ビット	12-16
ストップビット長選択ビット、UARTモード専用	12-15
スリープ選択ビット	12-16
スリープ選択ビット、UARTモード専用	12-15
スロット0割り込み要求ステータス	13-23
スロット0割り込み要求マスク	13-25
スロット1割り込み要求ステータス	13-23
スロット1割り込み要求マスク	13-25
スロット2割り込み要求ステータス	13-23
スロット2割り込み要求マスク	13-25
スロット3割り込み要求ステータス	13-23
スロット3割り込み要求マスク	13-25
スロット4割り込み要求ステータス	13-23
スロット4割り込み要求マスク	13-25
スロット5割り込み要求ステータス	13-23
スロット5割り込み要求マスク	13-25
スロット6割り込み要求ステータス	13-23
スロット6割り込み要求マスク	13-25
スロット7割り込み要求ステータス	13-23
スロット7割り込み要求マスク	13-25
スロット8割り込み要求ステータス	13-23
スロット8割り込み要求マスク	13-25
スロット9割り込み要求ステータス	13-23
スロット9割り込み要求マスク	13-25
スロット10割り込み要求ステータス	13-23
スロット10割り込み要求マスク	13-25
スロット11割り込み要求ステータス	13-23
スロット11割り込み要求マスク	13-25
スロット12割り込み要求ステータス	13-23
スロット12割り込み要求マスク	13-25
スロット13割り込み要求ステータス	13-23
スロット13割り込み要求マスク	13-25
スロット14割り込み要求ステータス	13-23
スロット14割り込み要求マスク	13-25
スロット15割り込み要求ステータス	13-23
スロット15割り込み要求マスク	13-25

セ

制御レジスタ	2-2
積和演算命令	1-3
絶対最大定格	21-2, 21-11

ソ

送受信完了ビット	13-37, 13-39
送受信ステータスビット	13-37, 13-39
送信アポート機能	13-64
送信エラーカウンタ	13-21
送信完了ステータスビット	13-11, 13-14
送信許可ビット	12-13, 12-14
送信ステータスビット	12-13, 12-14, 13-11, 13-14
送信設定スロット	13-24
送信データ	12-18
送信バッファエンティビット	12-13, 12-14
送信要求ビット	13-36, 13-37

タ

タイミング必要条件	21-19
タイムスタンプカウンタリセットビット	13-8, 13-9
タイムスタンププリスケアラビット	13-8, 13-9
ダイレクトメモリアクセス	9-2
単一モード	11-6
単一モード実行後スキャンモード開始	11-11

チ

逐次近似比較方式	11-31
チップセレクト	15-2

テ

ディレイドワンショット出力モード	10-48, 10-74, 10-86, 10-119
データタイプ	2-7
データ長設定	13-45
データバス	15-3
データフォーマット	2-8, 2-9
データフレーム	13-55
データフレーム受信手順	13-65
データフレーム送信手順	13-61
テストアクセスポート	19-3
テストクロック	19-2
テストデータ出力	19-2
テストデータ入力	19-2
テストモードセレクト	19-2
テストリセット	19-2
デュアルアドレス転送	9-34
電源立ち上げシーケンス	20-3
電源立ち下げシーケンス	20-5
転送回数	9-34
転送速度	9-34
転送単位	9-34

ト

動作モード	1-5, 3-6, 11-6
特殊動作モード	11-10
トラップ	4-2, 4-3, 4-20

ナ

内蔵RAM	6-2
内蔵フラッシュメモリ	6-2
内部/外部クロック選択ビット	12-15, 12-16

ニ

入力イベントバス	10-10
入力イベントバス0入力選択	10-13
入力イベントバス1入力選択	10-13
入力イベントバス2入力選択	10-13
入力イベントバス3入力選択	10-13

ノ

ノイズ処理入力モード	10-85, 10-112
------------	---------------

ハ

バイトハイネーブル	15-2
バイトハイライト	15-2

索引 (ホ～ワ)

ポートP136動作モード	8-16
ポートP137動作モード	8-16
ポートP150動作モード	8-17
ポートP153動作モード	8-17
ポートP174動作モード	8-18
ポートP175動作モード	8-18
ポートP220動作モード	8-19
ポートP225動作モード	8-19
ポートPn0データ	8-8
ポートPn0方向ビット	8-9
ポートPn1データ	8-8
ポートPn1方向ビット	8-9
ポートPn2データ	8-8
ポートPn2方向ビット	8-9
ポートPn3データ	8-8
ポートPn3方向ビット	8-9
ポートPn4データ	8-8
ポートPn4方向ビット	8-9
ポートPn5データ	8-8
ポートPn5方向ビット	8-9
ポートPn6データ	8-8
ポートPn6方向ビット	8-9
ポートPn7データ	8-8
ポートPn7方向ビット	8-9
ポート入力機能許可ビット	8-20
ポート入力機能許可レジスタ	8-20
ホールド制御	15-3
ポーレート	12-25
ポーレートジェネレータカウントソース選択ビット	12-14
ポーレート分周値	12-23

マ

マルチジャンクションタイマ	1-4, 10-2
---------------	-----------

メ

命令セットステートメント	19-14
命令レジスタ	19-4
メッセージスロットナンバービット	13-12, 13-14
メッセージロストビット	13-37, 13-39

ユ

ユーザ空間	3-2
ユーザ用スタックポインタ	2-5

ヨ

予約ビット	10-19
予約命令例外	4-3, 4-11

ラ

ライト	15-3
-----	------

リ

リアルタイムRAM内容出力コマンド	14-5
リアルタイムデバッグ	1-5, 14-2
リードアレイコマンド	6-25
リードステータスレジスタコマンド	6-25, 6-31
リードストローブ	15-2

リードロックビットステータスコマンド	6-25, 6-32
リセット	7-2
リセット割り込み	4-3, 4-15
リターンパスオフビット	13-8, 13-9
リトルエンディアン	2-10
リモートアクティブビット	13-36, 13-38
リモートビット	13-36, 13-38
リモートフレーム	13-55
リモートフレーム受信設定	13-38
リモートフレーム受信手順	13-78
リモートフレーム送信設定	13-38
リモートフレーム送信手順	13-71
リングバッファモード	9-37

ル

ループバックステータスビット	13-11, 13-13
ループバックモードビット	13-8, 13-10

レ

例外	4-2, 4-3, 4-11
連続出力モード	10-48, 10-79, 10-87, 10-121

ロ

ロック解除	6-10
ロックビット0	6-32
ロックビット1	6-32
ロックビットプログラムコマンド	6-25, 6-26
論理ポート記述	19-14

ワ

割り込み	4-2, 4-3, 4-15
割り込みイネーブル	2-4
割り込みコントローラ	1-5, 5-2
割り込みベクタレジスタ	5-6
割り込みマスクレジスタ	5-7
割り込み優先レベル	5-10, 5-12
割り込み要求	5-10
割り込み要求/DMA要求選択	11-16
割り込み要求コマンド	14-10
割り込み用スタックポインタ	2-5
ワンショット出力モード	10-48, 10-67, 10-86, 10-117

三菱32ビットRISCシングルチップマイクロコンピュータ
ユーザーズマニュアル
32171グループ Rev. 2.0

発行所 三菱電機株式会社半導体営業統括部
〒100-8310 東京都千代田区丸の内2-2-3
TEL 03-3218-9450

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 2001 MITSUBISHI ELECTRIC CORPORATION

32171 グループ
ユーザーズマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668