

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

78K0/Fx2

8ビット・シングルチップ・マイクロコントローラ

- 78K0/FC2: μ PD78F0881A(A), 78F0882A(A), 78F0883A(A),
78F0884A(A), 78F0885A(A), 78F0886A(A),
78F0894A(A), 78F0895A(A),
78F0881A(A2), 78F0882A(A2), 78F0883A(A2),
78F0884A(A2), 78F0885A(A2), 78F0886A(A2),
78F0894A(A2), 78F0895A(A2)
- 78K0/FE2: μ PD78F0887A(A), 78F0888A(A), 78F0889A(A),
78F0890A(A),
78F0887A(A2), 78F0888A(A2), 78F0889A(A2),
78F0890A(A2)
- 78K0/FF2: μ PD78F0891A(A), 78F0892A(A), 78F0893A(A),
78F0891A(A2), 78F0892A(A2), 78F0893A(A2)

〔メモ〕

目次要約

第1章	概 説	...	19
第2章	端子機能	...	46
第3章	CPUアーキテクチャ	...	77
第4章	メモリ・バンク切り替え機能 (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ)	...	120
第5章	ポート機能	...	131
第6章	クロック発生回路	...	186
第7章	16ビット・タイマ/イベント・カウンタ00-03	...	222
第8章	8ビット・タイマ/イベント・カウンタ50, 51	...	291
第9章	8ビット・タイマH0, H1	...	311
第10章	時計用タイマ	...	337
第11章	ウォッチドッグ・タイマ	...	344
第12章	クロック出力/ブザー出力制御回路	...	351
第13章	A/Dコンバータ	...	356
第14章	シリアル・インタフェースUART60, UART61	...	381
第15章	シリアル・インタフェースCSI10, CSI11	...	435
第16章	CANコントローラ	...	459
第17章	割り込み機能	...	607
第18章	スタンバイ機能	...	629
第19章	リセット機能	...	645
第20章	乗除算器	...	654
第21章	パワーオン・クリア回路	...	664
第22章	低電圧検出回路	...	670
第23章	オプション・バイト	...	688
第24章	フラッシュ・メモリ	...	693
第25章	オンチップ・デバッグ機能	...	736
第26章	命令セットの概要	...	742
第27章	電気的特性 ((A)水準品)	...	757
第28章	電気的特性 ((A2)水準品)	...	780
第29章	外形図	...	802
第30章	半田付け推奨条件	...	808
第31章	ウエイトに関する注意事項	...	809
付録A	開発ツール	...	813
付録B	ターゲット・システム設計上の注意	...	823
付録C	レジスタ索引	...	827
付録D	注意事項一覧	...	837

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

- 本資料に記載されている内容は2009年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは78K0/Fx2マイクロコントローラの拡張規格品 (μ PD78F08xxA) の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- ・ 78K0/FC2の拡張規格品 (μ PD78F088xA) :
 μ PD78F0881A (A), 78F0882A (A), 78F0883A (A), 78F0884A (A), 78F0885A (A), 78F0886A (A),
78F0894A (A), 78F0895A (A), 78F0881A (A2), 78F0882 (A2), 78F0883 (A2), 78F0884A (A2),
78F0885A (A2), 78F0886A (A2), 78F0894A (A2), 78F0895A (A2)
- ・ 78K0/FE2の拡張規格品 (μ PD78F088xA, 78F089xA) :
 μ PD78F0887A (A), 78F0888A (A), 78F0889A (A), 78F0890A (A), 78F0887A (A2),
78F0888A (A2), 78F0889A (A2), 78F0890A (A2)
- ・ 78K0/FF2の拡張規格品 (μ PD78F089xA) :
 μ PD78F0891A (A), 78F0892A (A), 78F0893A (A), 78F0891A (A2), 78F0892A (A2),
78F0893A (A2)

78K0/Fx2マイクロコントローラの従来規格品 (μ PD78F08xx) については、次のマニュアルを参照してください。

資料名	資料番号	
	和文	英文
78K0/FC2 ユーザーズ・マニュアル	U17555J	U17555E
78K0/FE2 ユーザーズ・マニュアル	U17554J	U17554E
78K0/FF2 ユーザーズ・マニュアル	U17553J	U17553E

従来規格品と拡張規格品の違い

78K0/Fx2マイクロコントローラの従来規格品 (μ PD78F08xx) と拡張規格品 (μ PD78F08xxA) の違いは、次のとおりです。

- ・ A/D変換時間
- ・ フラッシュ・メモリ書き換え回数と保持年数
- ・ セルフ・プログラミング・ライブラリの処理時間
- ・ セルフ・プログラミング・ライブラリの割り込み応答時間

詳細については、1.1 **従来規格品 (μ PD78F08xx) と拡張規格品 (μ PD78F08xxA) の違い**を参照してください。

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 78K0/Fx2マイクロコントローラの拡張規格品のマニュアルは、このマニュアルと命令編（78K0シリーズ共通）の2冊に分かれています。

78K0/Fx2 ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

78K0/Fx2マイクロコントローラの拡張規格品の（A）水準品または（A2）水準品のマニュアルとしてお使いになる方へ

（A）水準品と（A2）水準品は品質水準のみが異なります。（A）水準品、（A2）水準品については品名を次のように読み替えてください。

- ・ μ PD78F088yA μ PD78F088yA(A) μ PD78F088yA(A2) (y = 1-9)
- ・ μ PD78F089yA μ PD78F089yA(A) μ PD78F089yA(A2) (y = 0-5)

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... xxx または xxx B
		10進数... xxx
		16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0/Fx2 ユーザーズ・マニュアル	このマニュアル	U19180E
78K0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザーズ・マニュアル ^{注1}	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） ^{注1}	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 Cコンパイラ ユーザーズ・マニュアル ^{注2}	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver.4.00 使用上の留意点（文書） ^{注2}	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
SM+ システム・シミュレータ ユーザーズ・マニュアル	操作編	U18601J	U18601E
	ユーザ・オープン・ インタフェース編	U18212J	U18212E
ID78K0-QB Ver.2.94 統合デバッガ ユーザーズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッガ ユーザーズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 ^{注3} ユーザーズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 ^{注4} ユーザーズ・マニュアル	U18416J	U18416E	

注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。

「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザーズ・マニュアルを参照してください。

2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。

「CC78K0 Ver.4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザーズ・マニュアルを参照してください。

3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。

4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッガ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-78K0FX2 インサーキット・エミュレータ	U17669J	U17669E
QB-78K0MINI オンチップ・デバッグ・エミュレータ	U17029J	U17029E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U18865J	U18865E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U15260J	U15260E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	19
1.1 従来規格品 (μ PD78F08xx) と拡張規格品 (μ PD78F08xxA) の違い ...	19
1.1.1 A/D変換時間 ...	20
1.1.2 (A) 水準品および (A2) 水準品のフラッシュ・メモリ書き換え回数と保持年数 ...	20
1.1.3 セルフ・プログラミング・ライブラリの処理時間 ...	21
1.1.4 セルフ・プログラミング・ライブラリの割り込み応答時間 ...	27
1.2 特 徴 ...	31
1.3 応用分野 ...	32
1.4 オーダ情報 ...	32
1.5 端子接続図 (Top View) ...	34
1.5.1 78K0/FC2 ...	34
1.5.2 78K0/FE2 ...	36
1.5.3 78K0/FF2 ...	37
1.6 端子名称 ...	38
1.7 ブロック図 ...	39
1.7.1 78K0/FC2 ...	39
1.7.2 78K0/FE2 ...	41
1.7.3 78K0/FF2 ...	42
1.8 機能概要 ...	43
第2章 端子機能 ...	46
2.1 端子機能一覧 ...	46
2.1.1 78K0/FC2 ...	47
2.1.2 78K0/FE2 ...	51
2.1.3 78K0/FF2 ...	56
2.2 端子機能の説明 ...	60
2.2.1 P00, P01, P05, P06 (Port 0) ...	60
2.2.2 P10-P17 (Port 1) ...	61
2.2.3 P30-P33 (Port 3) ...	62
2.2.4 P40-P47 (Port 4) ...	64
2.2.5 P50-P57 (Port 5) ...	64
2.2.6 P60-P67 (Port 6) ...	65
2.2.7 P70-P76 (Port 7) ...	65
2.2.8 P80-P87 (Port 8) ...	67
2.2.9 P90-P97 (Port 9) ...	68
2.2.10 P120-P124 (Port 12) ...	69
2.2.11 P130-P132 (Port 13) ...	70
2.2.12 AVREF, AVSS, VDD, EVDD, VSS, EVSS ...	71
2.2.13 $\overline{\text{RESET}}$...	71
2.2.14 REGC ...	72
2.2.15 FLMD0 ...	72
2.3 端子の入出力回路と未使用端子の処理 ...	73

第3章 CPUアーキテクチャ ... 77

- 3.1 メモリ空間 ... 77
 - 3.1.1 内部プログラム・メモリ空間 ... 85
 - 3.1.2 メモリ・バンク (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ) ... 87
 - 3.1.3 内部データ・メモリ空間 ... 89
 - 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 90
 - 3.1.5 データ・メモリ・アドレッシング ... 90
- 3.2 プロセッサ・レジスタ ... 96
 - 3.2.1 制御レジスタ ... 96
 - 3.2.2 汎用レジスタ ... 99
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 101
- 3.3 命令アドレスのアドレッシング ... 108
 - 3.3.1 レラティブ・アドレッシング ... 108
 - 3.3.2 イミディエト・アドレッシング ... 109
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 110
 - 3.3.4 レジスタ・アドレッシング ... 110
- 3.4 オペランド・アドレスのアドレッシング ... 111
 - 3.4.1 インプライド・アドレッシング ... 111
 - 3.4.2 レジスタ・アドレッシング ... 112
 - 3.4.3 ダイレクト・アドレッシング ... 113
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 114
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 115
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 116
 - 3.4.7 ベースト・アドレッシング ... 117
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 118
 - 3.4.9 スタック・アドレッシング ... 119

第4章 メモリ・バンク切り替え機能 (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ) ... 120

- 4.1 メモリ・バンク ... 120
- 4.2 メモリ空間表現の違い ... 121
- 4.3 メモリ・バンク選択レジスタ (BANK) ... 122
- 4.4 メモリ・バンク切り替え使用方法 ... 123
 - 4.4.1 メモリ・バンク間の値の参照 ... 123
 - 4.4.2 メモリ・バンク間の命令分岐 ... 125
 - 4.4.3 メモリ・バンク間のサブルーチン・コール ... 127
 - 4.4.4 割り込みによるバンク・エリアへの命令分岐 ... 129

第5章 ポート機能 ... 131

- 5.1 ポートの機能 ... 131
- 5.2 ポートの構成 ... 134
 - 5.2.1 ポート0 ... 135
 - 5.2.2 ポート1 ... 138
 - 5.2.3 ポート3 ... 144
 - 5.2.4 ポート4 ... 149
 - 5.2.5 ポート5 ... 150
 - 5.2.6 ポート6 ... 151
 - 5.2.7 ポート7 ... 154

- 5.2.8 ポート8 ... 159
- 5.2.9 ポート9 ... 161
- 5.2.10 ポート12 ... 163
- 5.2.11 ポート13 ... 166
- 5.3 ポート機能を制御するレジスタ ... 170
- 5.4 ポート機能の動作 ... 182
 - 5.4.1 入出力ポートへの書き込み ... 182
 - 5.4.2 入出力ポートからの読み出し ... 182
 - 5.4.3 入出力ポートでの演算 ... 182
- 5.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 183
- 5.6 ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令に関する注意事項 ... 185

第6章 クロック発生回路 ... 186

- 6.1 クロック発生回路の機能 ... 186
- 6.2 クロック発生回路の構成 ... 187
- 6.3 クロック発生回路を制御するレジスタ ... 189
- 6.4 システム・クロック発振回路 ... 197
 - 6.4.1 X1発振回路 ... 197
 - 6.4.2 XT1発振回路 ... 197
 - 6.4.3 サブシステム・クロックを使用しない場合 ... 200
 - 6.4.4 高速内蔵発振回路 ... 200
 - 6.4.5 低速内蔵発振回路 ... 200
 - 6.4.6 プリスケーラ ... 200
- 6.5 クロック発生回路の動作 ... 201
- 6.6 クロックの制御 ... 205
 - 6.6.1 高速システム・クロックの制御例 ... 205
 - 6.6.2 高速内蔵発振クロックの制御例 ... 208
 - 6.6.3 サブシステム・クロックの制御例 ... 210
 - 6.6.4 低速内蔵発振クロックの制御例 ... 212
 - 6.6.5 CPUクロック, 周辺ハードウェア・クロックへの供給クロック ... 213
 - 6.6.6 CPUクロック状態移行図 ... 214
 - 6.6.7 CPUクロックの移行前の条件と移行後の処理 ... 219
 - 6.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 220
 - 6.6.9 クロック発振停止前の条件 ... 221

第7章 16ビット・タイマ/イベント・カウンタ00-03 ... 222

- 7.1 16ビット・タイマ/イベント・カウンタ00-03の機能 ... 223
- 7.2 16ビット・タイマ/イベント・カウンタ00-03の構成 ... 224
- 7.3 16ビット・タイマ/イベント・カウンタ00-03を制御するレジスタ ... 235
- 7.4 16ビット・タイマ/イベント・カウンタ00-03の動作 ... 257
 - 7.4.1 インターバル・タイマとしての動作 ... 257
 - 7.4.2 PPG出力としての動作 ... 260
 - 7.4.3 パルス幅測定としての動作 ... 263
 - 7.4.4 外部イベント・カウンタとしての動作 ... 273
 - 7.4.5 方形波出力としての動作 ... 276
 - 7.4.6 ワンショット・パルス出力としての動作 ... 278
- 7.5 TM0nの特殊な使用方法 ... 284
 - 7.5.1 CR01nのTM0n動作中の書き換え ... 284

7.5.2	LVS0n, LVR0nの設定について	...	284
7.6	16ビット・タイマ/イベント・カウンタ00-03の注意事項	...	286
第8章	8ビット・タイマ/イベント・カウンタ50, 51	...	291
8.1	8ビット・タイマ/イベント・カウンタ50, 51の機能	...	291
8.2	8ビット・タイマ/イベント・カウンタ50, 51の構成	...	293
8.3	8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ	...	295
8.4	8ビット・タイマ/イベント・カウンタ50, 51の動作	...	301
8.4.1	インターバル・タイマとしての動作	...	301
8.4.2	外部イベント・カウンタとしての動作	...	304
8.4.3	方形波出力としての動作	...	305
8.4.4	PWM出力としての動作	...	306
8.5	8ビット・タイマ/イベント・カウンタ50, 51の注意事項	...	310
第9章	8ビット・タイマH0, H1	...	311
9.1	8ビット・タイマH0, H1の機能	...	311
9.2	8ビット・タイマH0, H1の構成	...	311
9.3	8ビット・タイマH0, H1を制御するレジスタ	...	315
9.4	8ビット・タイマH0, H1の動作	...	321
9.4.1	インターバル・タイマ/方形波出力としての動作	...	321
9.4.2	PWM出力モードとしての動作	...	324
9.4.3	キャリア・ジェネレータ・モードとしての動作 (8ビット・タイマH1のみ)	...	330
第10章	時計用タイマ	...	337
10.1	時計用タイマの機能	...	337
10.2	時計用タイマの構成	...	338
10.3	時計用タイマを制御するレジスタ	...	339
10.4	時計用タイマの動作	...	341
10.4.1	時計用タイマとしての動作	...	341
10.4.2	インターバル・タイマとしての動作	...	341
10.5	時計用タイマの注意事項	...	343
第11章	ウォッチドッグ・タイマ	...	344
11.1	ウォッチドッグ・タイマの機能	...	344
11.2	ウォッチドッグ・タイマの構成	...	344
11.3	ウォッチドッグ・タイマを制御するレジスタ	...	346
11.4	ウォッチドッグ・タイマの動作	...	347
11.4.1	ウォッチドッグ・タイマの動作制御	...	347
11.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	...	348
11.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	...	349
第12章	クロック出力/ブザー出力制御回路	...	351
12.1	クロック出力/ブザー出力制御回路の機能	...	351
12.2	クロック出力/ブザー出力制御回路の構成	...	352
12.3	クロック出力/ブザー出力制御回路を制御するレジスタ	...	352
12.4	クロック出力/ブザー出力制御回路の動作	...	355
12.4.1	クロック出力としての動作	...	355
12.4.2	ブザー出力としての動作	...	355

第13章	A/Dコンバータ	...	356
13.1	A/Dコンバータの機能	...	356
13.2	A/Dコンバータの構成	...	357
13.3	A/Dコンバータで使用するレジスタ	...	359
13.4	A/Dコンバータの動作	...	369
13.4.1	A/Dコンバータの基本動作	...	369
13.4.2	入力電圧と変換結果	...	371
13.4.3	A/Dコンバータの動作モード	...	373
13.5	A/Dコンバータ特性表の読み方	...	375
13.6	A/Dコンバータの注意事項	...	378
第14章	シリアル・インタフェースUART60, UART61	...	381
14.1	シリアル・インタフェースUART60, UART61の機能	...	381
14.2	シリアル・インタフェースUART60, UART61の構成	...	388
14.3	シリアル・インタフェースUART60, UART61を制御するレジスタ	...	392
14.4	シリアル・インタフェースUART60, UART61の動作	...	412
14.4.1	動作停止モード	...	412
14.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	413
14.4.3	専用ボー・レート・ジェネレータ	...	428
第15章	シリアル・インタフェースCSI10, CSI11	...	435
15.1	シリアル・インタフェースCSI10, CSI11の機能	...	435
15.2	シリアル・インタフェースCSI10, CSI11の構成	...	436
15.3	シリアル・インタフェースCSI10, CSI11を制御するレジスタ	...	438
15.4	シリアル・インタフェースCSI10, CSI11の動作	...	446
15.4.1	動作停止モード	...	446
15.4.2	3線式シリアルI/Oモード	...	447
第16章	CANコントローラ	...	459
16.1	概要	...	459
16.1.1	特徴	...	459
16.1.2	機能概要	...	460
16.1.3	構成	...	461
16.2	CANプロトコル	...	463
16.2.1	フレーム・フォーマット	...	464
16.2.2	フレーム・タイプ	...	464
16.2.3	データ・フレーム/リモート・フレーム	...	465
16.2.4	エラー・フレーム	...	472
16.2.5	オーバーロード・フレーム	...	473
16.3	機能	...	474
16.3.1	バス・プライオリティの決定	...	474
16.3.2	ビット・スタッフ	...	474
16.3.3	マルチマスタ	...	474
16.3.4	マルチキャスト	...	475
16.3.5	CANスリープ・モード/CANストップ・モード機能	...	475
16.3.6	エラー制御機能	...	475
16.3.7	ボー・レート制御機能	...	481
16.4	ターゲット・システムとの接続	...	486

16.5	CANコントローラの内部レジスタ	...	487
16.5.1	CANコントローラの構成	...	487
16.5.2	レジスタ・アクセス・タイプ	...	488
16.5.3	レジスタのビット構成	...	497
16.6	ビットのセット/クリア機能	...	501
16.7	制御レジスタ	...	503
16.8	CANコントローラの初期化处理	...	538
16.8.1	CANモジュールの初期化	...	538
16.8.2	メッセージ・バッファの初期化	...	538
16.8.3	メッセージ・バッファの再定義	...	539
16.8.4	動作モードへの移行	...	541
16.8.5	CANモジュールのエラー・カウンタC0ERCのリセット	...	542
16.9	メッセージ受信	...	543
16.9.1	メッセージ受信	...	543
16.9.2	受信データの読み出し	...	544
16.9.3	受信履歴・リスト機能	...	545
16.9.4	マスク機能	...	547
16.9.5	マルチ・バッファ受信ブロック機能	...	548
16.9.6	リモート・フレーム受信	...	550
16.10	メッセージ送信	...	551
16.10.1	メッセージ送信	...	551
16.10.2	送信履歴・リスト機能	...	553
16.10.3	自動ブロック送信機能 (ABT : Automatic Block Transmission)	...	555
16.10.4	送信中断処理	...	557
16.10.5	リモート・フレーム送信	...	558
16.11	パワー・セーブ・モード	...	559
16.11.1	CANスリープ・モード	...	559
16.11.2	CANストップ・モード	...	562
16.11.3	パワー・セーブ・モード使用例	...	563
16.12	割り込み機能	...	564
16.13	診断機能と特殊動作モード	...	565
16.13.1	受信オンリー・モード	...	565
16.13.2	シングル・ショット・モード	...	566
16.13.3	セルフ・テスト・モード	...	567
16.13.4	各動作モードにおける送受信動作	...	568
16.14	タイム・スタンプ機能	...	569
16.14.1	タイム・スタンプ機能	...	569
16.15	ボー・レート設定について	...	571
16.15.1	ボー・レート設定について	...	571
16.15.2	代表的なボー・レート設定例	...	575
16.16	CANコントローラの動作	...	579

第17章 割り込み機能 ... 607

17.1	割り込み機能の種類	...	607
17.2	割り込み要因と構成	...	607
17.3	割り込み機能を制御するレジスタ	...	611
17.4	割り込み処理動作	...	622
17.4.1	マスカブル割り込み要求の受け付け動作	...	622
17.4.2	ソフトウェア割り込み要求の受け付け動作	...	625

17.4.3	多重割り込み処理	...	625
17.4.4	割り込み要求の保留	...	628
第18章	スタンバイ機能	...	629
18.1	スタンバイ機能と構成	...	629
18.1.1	スタンバイ機能	...	629
18.1.2	スタンバイ機能を制御するレジスタ	...	630
18.2	スタンバイ機能の動作	...	633
18.2.1	HALTモード	...	633
18.2.2	STOPモード	...	638
第19章	リセット機能	...	645
19.1	リセット要因を確認するレジスタ	...	653
第20章	乗除算器	...	654
20.1	乗除算器の機能	...	654
20.2	乗除算器の構成	...	654
20.3	乗除算器を制御するレジスタ	...	659
20.4	乗除算器の動作	...	660
20.4.1	乗算動作	...	660
20.4.2	除算動作	...	662
第21章	パワーオン・クリア回路	...	664
21.1	パワーオン・クリア回路の機能	...	664
21.2	パワーオン・クリア回路の構成	...	665
21.3	パワーオン・クリア回路の動作	...	665
21.4	パワーオン・クリア回路の注意事項	...	668
第22章	低電圧検出回路	...	670
22.1	低電圧検出回路の機能	...	670
22.2	低電圧検出回路の構成	...	671
22.3	低電圧検出回路を制御するレジスタ	...	671
22.4	低電圧検出回路の動作	...	674
22.4.1	リセットとして使用時の設定	...	675
22.4.2	割り込みとして使用時の設定	...	680
22.5	低電圧検出回路の注意事項	...	685
第23章	オプション・バイト	...	688
23.1	オプション・バイトの機能	...	688
23.2	オプション・バイトのフォーマット	...	689
第24章	フラッシュ・メモリ	...	693
24.1	メモリ・サイズ切り替えレジスタ	...	693
24.2	内部拡張RAMサイズ切り替えレジスタ	...	694
24.3	フラッシュ・メモリ・プログラマによる書き込み方法	...	695
24.4	プログラミング環境	...	708
24.5	通信方式	...	708
24.6	オンボード上の端子処理	...	710

24.6.1	FLMD0端子	...	710
24.6.2	シリアル・インタフェース端子	...	710
24.6.3	RESET端子	...	712
24.6.4	ポート端子	...	712
24.6.5	REGC端子	...	712
24.6.6	その他の信号端子	...	713
24.6.7	電 源	...	713
24.7	プログラミング方法	...	714
24.7.1	フラッシュ・メモリ制御	...	714
24.7.2	フラッシュ・メモリ・プログラミング・モード	...	714
24.7.3	通信方式の選択	...	715
24.7.4	通信コマンド	...	716
24.8	セキュリティ設定	...	717
24.9	PG-FP4, PG-FP5使用時の各コマンド処理時間(参考値)	...	719
24.10	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	721
24.10.1	セルフ・プログラミング機能で使用するレジスタ	...	730
24.11	ブート・スワップ機能	...	734

第25章 オンチップ・デバッグ機能 ... 736

25.1	機能概要	...	736
25.2	MINICUBEまたはQB-MINI2との接続	...	737
25.3	接続回路例	...	738
25.4	QB-78K0MINI, QB-MINI2が使用する予約領域	...	740
25.5	オンチップ・デバッグ・セキュリティID	...	741
25.6	オンチップ・デバッグ時の制限事項および注意事項	...	741

第26章 命令セットの概要 ... 742

26.1	凡 例	...	743
26.1.1	オペランドの表現形式と記述方法	...	743
26.1.2	オペレーション欄の説明	...	744
26.1.3	フラグ動作欄の説明	...	744
26.2	オペレーション一覧	...	745
26.3	アドレッシング別命令一覧	...	753

第27章 電気的特性((A)水準品) ... 757

27.1	絶対最大定格	...	759
27.2	発振回路特性	...	761
27.3	DC特性	...	763
27.4	AC特性	...	769
27.5	データ保持特性	...	778
27.6	フラッシュEEPROMプログラミング特性	...	779

第28章 電気的特性((A2)水準品) ... 780

28.1	絶対最大定格	...	782
28.2	発振回路特性	...	784
28.3	DC特性	...	786
28.4	AC特性	...	791
28.5	データ保持特性	...	800

28.6	フラッシュEEPROMプログラミング特性 ...	801
第29章	外形図 ...	802
29.1	78K0/FC2 ...	802
29.2	78K0/FE2 ...	804
29.3	78K0/FF2 ...	806
第30章	半田付け推奨条件 ...	808
第31章	ウエイトに関する注意事項 ...	809
31.1	ウエイトに関する注意事項 ...	809
31.2	ウエイトが発生する周辺ハードウェア ...	810
31.3	ウエイト発生例 ...	812
付録A	開発ツール ...	813
A.1	ソフトウェア・パッケージ ...	817
A.2	言語処理用ソフトウェア ...	817
A.3	フラッシュ・メモリ書き込み用ツール ...	818
A.3.1	フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合 ...	818
A.3.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ...	819
A.4	デバッグ用ツール(ハードウェア) ...	820
A.4.1	インサーキット・エミュレータ QB-78K0FX2を使用する場合 ...	820
A.4.2	オンチップ・デバッグ・エミュレータ QB-78K0MINIを使用する場合 ...	821
A.4.3	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ...	821
A.5	デバッグ用ツール(ソフトウェア) ...	822
付録B	ターゲット・システム設計上の注意 ...	823
付録C	レジスタ索引 ...	827
C.1	レジスタ索引(50音順) ...	827
C.2	レジスタ索引(アルファベット順) ...	832
付録D	注意事項一覧 ...	837

1.1 従来規格品 (μ PD78F08xx) と拡張規格品 (μ PD78F08xxA) の違い

このマニュアルは、78K0/Fx2マイクロコントローラの拡張規格品 (μ PD78F08xxA) の機能について、説明しています。

78K0/Fx2マイクロコントローラの従来規格品 (μ PD78F08xx) と拡張規格品 (μ PD78F08xxA) の違いは、次のとおりです。

- ・ A/D変換時間
- ・ フラッシュ・メモリ書き換え回数と保持年数
- ・ セルフ・プログラミング・ライブラリの処理時間
- ・ セルフ・プログラミング・ライブラリの割り込み応答時間

備考 78K0/Fx2マイクロコントローラの従来規格品 (μ PD78F08xx) については、各製品のマニュアルを参照してください。各製品のマニュアル名および資料番号については、**はじめに**を参照してください。

1.1.1 A/D変換時間

(1) 従来規格品 (μ PD78F08xx)

項目	略号	条件	MIN.	MAX.	単位
変換時間	t _{CONW}	4.0 V AV _{REF} 5.5 V	6.1	36.7	μ s
		2.7 V AV _{REF} < 4.0 V	12.2	36.7	
		2.3 V AV _{REF} < 2.7 V ^注	27	66.6	

(2) 拡張規格品 (μ PD78F08xxA)

項目	略号	条件	MIN.	MAX.	単位
変換時間	t _{CONW}	4.0 V AV _{REF} 5.5 V	6.1	66.6	μ s
		2.7 V AV _{REF} < 4.0 V	12.2	66.6	
		2.3 V AV _{REF} < 2.7 V ^注	27	66.6	

注 (A) 水準品のみ。

1.1.2 (A) 水準品および(A2) 水準品のフラッシュ・メモリ書き換え回数と保持年数

項目	従来規格品 (μ PD78F08xx)	拡張規格品 (μ PD78F08xxA)	
1チップあたりの書き換え回数 (保持年数)	100回 (保持15年)	フラッシュ・メモリ・プログラマ 使用時および当社提供のライブラ リを使用時	1000回 (保持15年)
		当社提供のEEPROMエミュレー ション・ライブラリ使用時, 書き 換えROMサイズ: 4 Kバイト	10000回 (保持5年)
		上記以外の条件	100回 (保持10年)

1.1.3 セルフ・プログラミング・ライブラリの処理時間

(1) 従来規格品 (μ PD78F08xx) (1/3)

高速内蔵発振クロック使用時，エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	4.25			
イニシャライズ・ライブラリ	977.75			
モード・チェック・ライブラリ	753.875		753.125	
ブロック・ブランク・チェック・ライブラリ	12770.875		12765.875	
ブロック・イレース・ライブラリ	36909.5	356318	36904.5	356296.25
ワード・ライト・ライブラリ	1214 (1214.375)	2409 (2409.375)	1207 (1207.375)	2402 (2402.375)
ブロック・ベリファイ・ライブラリ	25618.875		25613.875	
セルフ・プログラミング・エンド・ライブラリ	4.25			
ゲット・インフォメーション・ライブラリ	オプション値: 03H	871.25 (871.375)		866 (866.125)
	オプション値: 04H	863.375 (863.5)		858.125 (858.25)
	オプション値: 05H	1024.75 (1043.625)		1037.5 (1038.375)
セット・インフォメーション・ライブラリ	105524.75	790809.375	105523.75	790808.375
EEPROMライト・ライブラリ	1496.5 (1496.875)	2691.5 (2691.875)	1489.5 (1489.875)	2684.5 (2684.875)

高速内蔵発振クロック使用時，エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	4.25			
イニシャライズ・ライブラリ	443.5			
モード・チェック・ライブラリ	219.625		218.875	
ブロック・ブランク・チェック・ライブラリ	12236.625		12231.625	
ブロック・イレース・ライブラリ	36363.25	355771.75	36358.25	355750
ワード・ライト・ライブラリ	679.75 (680.125)	1874.75 (1875.125)	672.75 (673.125)	1867.75 (1868.125)
ブロック・ベリファイ・ライブラリ	25072.625		25067.625	
セルフ・プログラミング・エンド・ライブラリ	4.25			
ゲット・インフォメーション・ライブラリ	オプション値: 03H	337 (337.125)		331.75 (331.875)
	オプション値: 04H	329.125 (239.25)		323.875 (324)
	オプション値: 05H	502.25 (503.125)		497 (497.875)
セット・インフォメーション・ライブラリ	104978.5	541143.125	104977.5	541142.125
EEPROMライト・ライブラリ	962.25 (962.625)	2157.25 (2157.625)	955.25 (955.625)	2150.25 (2150.625)

備考 ()内は，書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の時間です。

(1) 従来規格品 (μ PD78F08xx) (2/3)

高速システム・クロック(X1発振または外部クロック入力)使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: μ s)				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}				
イニシャライズ・ライブラリ	49/f _{CPU} +485.8125				
モード・チェック・ライブラリ	35/f _{CPU} +374.75		29/f _{CPU} +374.75		
ブロック・ブランク・チェック・ライブラリ	174/f _{CPU} +6382.0625		134/f _{CPU} +6382.0625		
ブロック・イレース・ライブラリ	174/f _{CPU} +31093.875	174/f _{CPU} +298948.125	134/f _{CPU} +31093.875	134/f _{CPU} +298948.125	
ワード・ライト・ライブラリ	318 (321) /f _{CPU} +644.125	318 (321) /f _{CPU} +1491.625	262 (265) /f _{CPU} +644.125	262 (265) /f _{CPU} +1491.625	
ブロック・ベリファイ・ライブラリ	174/f _{CPU} +13448.5625		134/f _{CPU} +13448.5625		
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}				
ゲット・インフォメーション・ライブラリ	オプション値: 03H	171 (172) /f _{CPU} +432.4375		129 (130) /f _{CPU} +432.4375	
	オプション値: 04H	181 (182) /f _{CPU} +427.875		139 (140) /f _{CPU} +427.875	
	オプション値: 05H	404 (411) /f _{CPU} +496.125		362 (369) /f _{CPU} +496.125	
セット・インフォメーション・ライブラリ	75/f _{CPU} +79157.6875	75/f _{CPU} +652400	67/f _{CPU} +79157.6875	67/f _{CPU} +652400	
EEPROMライト・ライブラリ	318 (321) /f _{CPU} +799.875	318 (321) /f _{CPU} +1647.375	262 (265) /f _{CPU} +799.875	262 (265) /f _{CPU} +1647.375	

備考1. ()内は, 書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の時間です。

2. f_{CPU}: CPU動作クロック周波数

(1) 従来規格品 (μ PD78F08xx) (3/3)

高速システム・クロック(X1発振または外部クロック入力)使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	49/f _{CPU} +224.6875			
モード・チェック・ライブラリ	35/f _{CPU} +113.625		29/f _{CPU} +113.625	
ブロック・ブランク・チェック・ライブラリ	174/f _{CPU} +6120.9375		134/f _{CPU} +6120.9375	
ブロック・イレース・ライブラリ	174/f _{CPU} +30820.75	174/f _{CPU} +298675	134/f _{CPU} +30820.75	134/f _{CPU} +298675
ワード・ライト・ライブラリ	318 (321) /f _{CPU} +383	318 (321) /f _{CPU} +1230.5	262 (265) /f _{CPU} +383	262 (265) /f _{CPU} +1230.5
ブロック・ベリファイ・ライブラリ	174/f _{CPU} +13175.4375		134/f _{CPU} +13175.4375	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値: 03H		129 (130) /f _{CPU} +171.3125	
	オプション値: 04H		139 (140) /f _{CPU} +166.75	
	オプション値: 05H		362 (369) /f _{CPU} +231.875	
セット・インフォメーション・ライブラリ	75/f _{CPU} +78884.5625	75/f _{CPU} +527566.875	67/f _{CPU} +78884.5625	67/f _{CPU} +527566.875
EEPROMライト・ライブラリ	318 (321) /f _{CPU} +538.75	318 (321) /f _{CPU} +1386.25	262 (265) /f _{CPU} +538.75	262 (265) /f _{CPU} +1386.25

備考1. ()内は, 書き込み開始アドレス構造体を内部高速RAM以外に配置した場合の時間です。

2. f_{CPU}: CPU動作クロック周波数

(2) 拡張規格品 (μ PD78F08xxA) (1/3)

高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: μ s)				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	4.0	4.5	4.0	4.5	
イニシャライズ・ライブラリ	1105.9	1106.6	1105.9	1106.6	
モード・チェック・ライブラリ	905.7	906.1	904.9	905.3	
ブロック・ブランク・チェック・ライブラリ	12776.1	12778.3	12770.9	12772.6	
ブロック・イレース・ライブラリ	26050.4	349971.3	26045.3	349965.6	
ワード・ライト・ライブラリ	1180.1+203 × w	1184.3+2241 × w	1172.9+203 × w	1176.3+2241 × w	
ブロック・ベリファイ・ライブラリ	25337.9	25340.2	25332.8	25334.5	
セルフ・プログラミング・エンド・ライブラリ	4.0	4.5	4.0	4.5	
ゲット・インフォメーション・ライブラリ	オプション値: 03H	1072.9	1075.2	1067.5	1069.1
	オプション値: 04H	1060.2	1062.6	1054.8	1056.6
	オプション値: 05H	1023.8	1028.2	1018.3	1022.1
セット・インフォメーション・ライブラリ	70265.9	759995.0	70264.9	759994.0	
EEPROMライト・ライブラリ	1316.8+347 × w	1320.9+2385 × w	1309.0+347 × w	1312.4+2385 × w	

高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: μ s)				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	4.0	4.5	4.0	4.5	
イニシャライズ・ライブラリ	449.5	450.2	449.5	450.2	
モード・チェック・ライブラリ	249.3	249.7	248.6	248.9	
ブロック・ブランク・チェック・ライブラリ	12119.7	12121.9	12114.6	12116.3	
ブロック・イレース・ライブラリ	25344.7	349266.4	25339.6	349260.8	
ワード・ライト・ライブラリ	445.8+203 × w	449.9+2241 × w	438.5+203 × w	441.9+2241 × w	
ブロック・ベリファイ・ライブラリ	24682.7	24684.9	24677.6	24679.3	
セルフ・プログラミング・エンド・ライブラリ	4.0	4.5	4.0	4.5	
ゲット・インフォメーション・ライブラリ	オプション値: 03H	417.6	419.8	412.1	413.8
	オプション値: 04H	405.0	407.4	399.5	401.3
	オプション値: 05H	367.4	371.8	361.9	365.8
セット・インフォメーション・ライブラリ	69569.3	759297.3	69568.3	759296.2	
EEPROMライト・ライブラリ	795.1+347 × w	799.3+2385 × w	787.4+347 × w	790.8+2385 × w	

- 備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。
2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. w: 書き込みデータのワード数 (1ワード = 4 バイト)

(2) 拡張規格品 (μ PD78F08xxA) (2/3)

高速システム・クロック(X1発振または外部クロック入力)使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	55/f _{CPU} +594			
モード・チェック・ライブラリ	36/f _{CPU} +495		30/f _{CPU} +495	
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +6429		136/f _{CPU} +6429	
ブロック・イレース・ライブラリ	179/f _{CPU} +19713	179/f _{CPU} +268079	136/f _{CPU} +19713	136/f _{CPU} +268079
ワード・ライト・ライブラリ	333/f _{CPU} +647+136 × w	333/f _{CPU} +647+1647 × w	272/f _{CPU} +647+136 × w	272/f _{CPU} +647+1647 × w
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +13284		136/f _{CPU} +13284	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値: 03H	180/f _{CPU} +581		134f _{CPU} +581
	オプション値: 04H	190/f _{CPU} +574		144/f _{CPU} +574
	オプション値: 05H	350/f _{CPU} +535		304/f _{CPU} +535
セット・インフォメーション・ライブラリ	80/f _{CPU} +43181	80/f _{CPU} +572934	72/f _{CPU} +43181	72/f _{CPU} +572934
EEPROMライト・ライブラリ	333/f _{CPU} +729+209 × w	333/f _{CPU} +729+1722 × w	268/f _{CPU} +729+209 × w	268/f _{CPU} +729+1722 × w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. f_{CPU}: CPU動作クロック周波数
4. w: 書き込みデータのワード数 (1ワード = 4 バイト)

(2) 拡張規格品 (μ PD78F08xxA) (3/3)

高速システム・クロック(X1発振または外部クロック入力)使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	55/f _{CPU} +272			
モード・チェック・ライブラリ	36/f _{CPU} +173		30/f _{CPU} +173	
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +6108		136/f _{CPU} +6108	
ブロック・イレース・ライブラリ	179/f _{CPU} +19371	179/f _{CPU} +267738	136/f _{CPU} +19371	136/f _{CPU} +267738
ワード・ライト・ライブラリ	333/f _{CPU} +247+ 136 × w	333/f _{CPU} +247+ 1647 × w	272/f _{CPU} +247+ 136 × w	272/f _{CPU} +247+ 1647 × w
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +12964		136/f _{CPU} +12964	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値: 03H	180/f _{CPU} +261	134/f _{CPU} +261	
	オプション値: 04H	190/f _{CPU} +254	144/f _{CPU} +254	
	オプション値: 05H	350/f _{CPU} +213	304/f _{CPU} +213	
セット・インフォメーション・ライブラリ	80/f _{CPU} +42839	80/f _{CPU} +572592	72/f _{CPU} +42839	72/f _{CPU} +572592
EEPROMライト・ライブラリ	333/f _{CPU} +516+ 209 × w	333/f _{CPU} +516+ 1722 × w	268/f _{CPU} +516+ 209 × w	268/f _{CPU} +516+ 1722 × w

- 備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。
2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
 3. f_{CPU}: CPU動作クロック周波数
 4. w: 書き込みデータのワード数 (1ワード = 4 バイト)

1.1.4 セルフ・プログラミング・ライブラリの割り込み応答時間

(1) 従来規格品 (μ PD78F08xx) (1/2)

高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	933.6	668.6	927.9	662.9
ブロック・イレース・ライブラリ	1026.6	763.6	1020.9	757.9
ワード・ライト・ライブラリ	2505.8	1942.8	2497.8	1934.8
ブロック・ベリファイ・ライブラリ	958.6	693.6	952.9	687.9
セット・インフォメーション・ ライブラリ	476.5	211.5	475.5	210.5
EEPROMライト・ライブラリ	2760.8	2168.8	2759.5	2167.5

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$179/f_{CPU}+507$	$179/f_{CPU}+407$	$179/f_{CPU}+1650$	$179/f_{CPU}+714$
ブロック・イレース・ライブラリ	$179/f_{CPU}+559$	$179/f_{CPU}+460$	$179/f_{CPU}+1702$	$179/f_{CPU}+767$
ワード・ライト・ライブラリ	$333/f_{CPU}+1589$	$333/f_{CPU}+1298$	$333/f_{CPU}+2732$	$333/f_{CPU}+1605$
ブロック・ベリファイ・ライブラリ	$179/f_{CPU}+518$	$179/f_{CPU}+418$	$179/f_{CPU}+1661$	$179/f_{CPU}+725$
セット・インフォメーション・ ライブラリ	$80/f_{CPU}+370$	$80/f_{CPU}+165$	$80/f_{CPU}+1513$	$80/f_{CPU}+472$
EEPROMライト・ライブラリ ^注	$29/f_{CPU}+1759$	$29/f_{CPU}+1468$	$29/f_{CPU}+1759$	$29/f_{CPU}+1468$
	$333/f_{CPU}+834$	$333/f_{CPU}+512$	$333/f_{CPU}+2061$	$333/f_{CPU}+873$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(1) 従来規格品 (μ PD78F08xx) (2/2)

高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$136/f_{CPU}+507$	$136/f_{CPU}+407$	$136/f_{CPU}+1650$	$136/f_{CPU}+714$
ブロック・イレース・ライブラリ	$136/f_{CPU}+559$	$136/f_{CPU}+460$	$136/f_{CPU}+1702$	$136/f_{CPU}+767$
ワード・ライト・ライブラリ	$272/f_{CPU}+1589$	$272/f_{CPU}+1298$	$272/f_{CPU}+2732$	$272/f_{CPU}+1605$
ブロック・ベリファイ・ライブラリ	$136/f_{CPU}+518$	$136/f_{CPU}+418$	$136/f_{CPU}+1661$	$136/f_{CPU}+725$
セット・インフォメーション・ ライブラリ	$72/f_{CPU}+370$	$72/f_{CPU}+165$	$72/f_{CPU}+1513$	$72/f_{CPU}+472$
EEPROMライト・ライブラリ ^注	$19/f_{CPU}+1759$	$19/f_{CPU}+1468$	$19/f_{CPU}+1759$	$19/f_{CPU}+1468$
	$268/f_{CPU}+834$	$268/f_{CPU}+512$	$268/f_{CPU}+2061$	$268/f_{CPU}+873$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0
3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(2) 拡張規格品 (μ PD78F08xxA) (1/2)

高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング外	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング内	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング外	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	1100.9	431.9	1095.3	426.3
ブロック・イレース・ライブラリ	1452.9	783.9	1447.3	778.3
ワード・ライト・ライブラリ	1247.2	579.2	1239.2	571.2
ブロック・ベリファイ・ライブラリ	1125.9	455.9	1120.3	450.3
セット・インフォメーション・ ライブラリ	906.9	312.0	905.8	311.0
EEPROMライト・ライブラリ	1215.2	547.2	1213.9	545.9

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング外	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング内	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング外	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$179/f_{CPU}+567$	$179/f_{CPU}+246$	$179/f_{CPU}+1708$	$179/f_{CPU}+569$
ブロック・イレース・ライブラリ	$179/f_{CPU}+780$	$179/f_{CPU}+459$	$179/f_{CPU}+1921$	$179/f_{CPU}+782$
ワード・ライト・ライブラリ	$333/f_{CPU}+763$	$333/f_{CPU}+443$	$333/f_{CPU}+1871$	$333/f_{CPU}+767$
ブロック・ベリファイ・ライブラリ	$179/f_{CPU}+580$	$179/f_{CPU}+259$	$179/f_{CPU}+1721$	$179/f_{CPU}+582$
セット・インフォメーション・ ライブラリ	$80/f_{CPU}+456$	$80/f_{CPU}+200$	$80/f_{CPU}+1598$	$80/f_{CPU}+459$
EEPROMライト・ライブラリ ^注	$29/f_{CPU}+767$ ----- $333/f_{CPU}+696$	$29/f_{CPU}+447$ ----- $333/f_{CPU}+376$	$29/f_{CPU}+767$ ----- $333/f_{CPU}+1838$	$29/f_{CPU}+447$ ----- $333/f_{CPU}+700$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP: 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(2) 拡張規格品 (μ PD78F08xxA) (2/2)

高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング外	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング内	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング外	エン트리RAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$136/f_{CPU}+567$	$136/f_{CPU}+246$	$136/f_{CPU}+1708$	$136/f_{CPU}+569$
ブロック・イレース・ライブラリ	$136/f_{CPU}+780$	$136/f_{CPU}+459$	$136/f_{CPU}+1921$	$136/f_{CPU}+782$
ワード・ライト・ライブラリ	$272/f_{CPU}+763$	$272/f_{CPU}+443$	$272/f_{CPU}+1871$	$272/f_{CPU}+767$
ブロック・ベリファイ・ライブラリ	$136/f_{CPU}+580$	$136/f_{CPU}+259$	$136/f_{CPU}+1721$	$136/f_{CPU}+582$
セット・インフォメーション・ ライブラリ	$72/f_{CPU}+456$	$72/f_{CPU}+200$	$72/f_{CPU}+1598$	$72/f_{CPU}+459$
EEPROMライト・ライブラリ ^注	$19/f_{CPU}+767$	$19/f_{CPU}+447$	$19/f_{CPU}+767$	$19/f_{CPU}+447$
	$268/f_{CPU}+696$	$268/f_{CPU}+376$	$268/f_{CPU}+1838$	$268/f_{CPU}+700$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0
3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

1.2 特 徴

高速(0.1 μ s: 高速システム・クロック20 MHz動作時)から超低速(122 μ s: サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間を変更可能

汎用レジスタ: 8ビット×32レジスタ(8ビット×8レジスタ×4バンク)

ROM(フラッシュ・メモリ), RAM容量

ROM ^注	高速RAM ^注	拡張RAM ^注	78K0/FC2		78K0/FE2	78K0/FF2
			44ピン	48ピン	64ピン	80ピン
128 KB	1 KB	6 KB	-	μ PD78F0895A	μ PD78F0890A	μ PD78F0893A
96 KB		4 KB	-	μ PD78F0894A	μ PD78F0889A	μ PD78F0892A
60 KB		2 KB	μ PD78F0883A	μ PD78F0886A	μ PD78F0888A	μ PD78F0891A
48 KB			μ PD78F0882A	μ PD78F0885A	μ PD78F0887A	-
32 KB		1 KB	μ PD78F0881A	μ PD78F0884A	-	-

注 メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能です。IMSとIXSについては、24.1 **メモリ・サイズ切り替えレジスタ**、24.2 **内部拡張RAMサイズ切り替えレジスタ**を参照してください。

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵(ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア(POC)回路、低電圧検出(LVI)回路内蔵

高速内蔵発振器によるCPUデフォルト・スタートにより、ショート・スタート・アップが可能

ウォッチドッグ・タイマ(低速内蔵発振クロックで動作可能)内蔵

10ビット分解能A/Dコンバータ内蔵

乗除算器、クロック出力/ブザー出力制御回路、I/Oポート、タイマ、シリアル・インタフェース、CANコントローラを内蔵

電源電圧: 20 MHz時: $V_{DD} = 2.7 \sim 5.5$ V, 5 MHz時: $V_{DD} = 1.8 \sim 5.5$ V

(高速内蔵発振クロックまたはサブシステム・クロック使用時: $V_{DD} = 1.8 \sim 5.5$ V)

動作周囲温度: $T_A = -40 \sim +85$, $-40 \sim +125$

注意 78K0/Fx2マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.3 応用分野

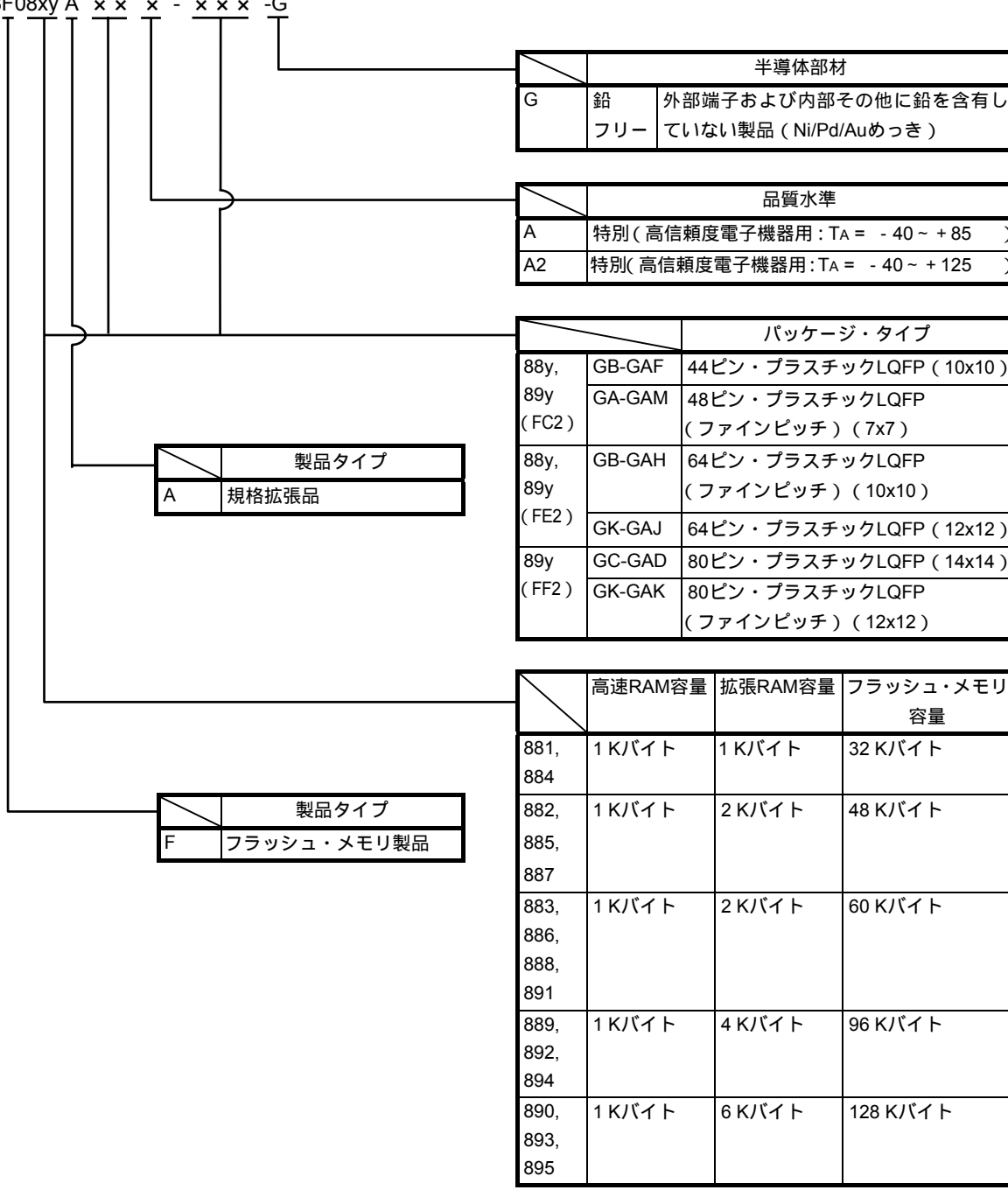
自動車電装（ボディ制御，ドア制御，フロント・ライト制御など）

産業機器（産業用ロボット，ビル制御など）

1.4 オーダ情報

【オーダ名称】

μ PD78F08xy A x x x - x x x -G



半導体部材		
G	鉛フリー	外部端子および内部その他に鉛を含有していない製品（Ni/Pd/Auめっき）

品質水準	
A	特別（高信頼度電子機器用：TA = -40 ~ +85）
A2	特別（高信頼度電子機器用：TA = -40 ~ +125）

製品タイプ	
A	規格拡張品

パッケージ・タイプ		
88y, 89y (FC2)	GB-GAF GA-GAM	44ピン・プラスチックLQFP（10x10） 48ピン・プラスチックLQFP（ファインピッチ）（7x7）
88y, 89y (FE2)	GB-GAH GK-GAJ	64ピン・プラスチックLQFP（ファインピッチ）（10x10） 64ピン・プラスチックLQFP（12x12）
89y (FF2)	GC-GAD GK-GAK	80ピン・プラスチックLQFP（14x14） 80ピン・プラスチックLQFP（ファインピッチ）（12x12）

製品タイプ	
F	フラッシュ・メモリ製品

	高速RAM容量	拡張RAM容量	フラッシュ・メモリ容量
881, 884	1 Kバイト	1 Kバイト	32 Kバイト
882, 885, 887	1 Kバイト	2 Kバイト	48 Kバイト
883, 886, 888, 891	1 Kバイト	2 Kバイト	60 Kバイト
889, 892, 894	1 Kバイト	4 Kバイト	96 Kバイト
890, 893, 895	1 Kバイト	6 Kバイト	128 Kバイト

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号 C11531J）をご覧ください。

【オーダ名称一覧】

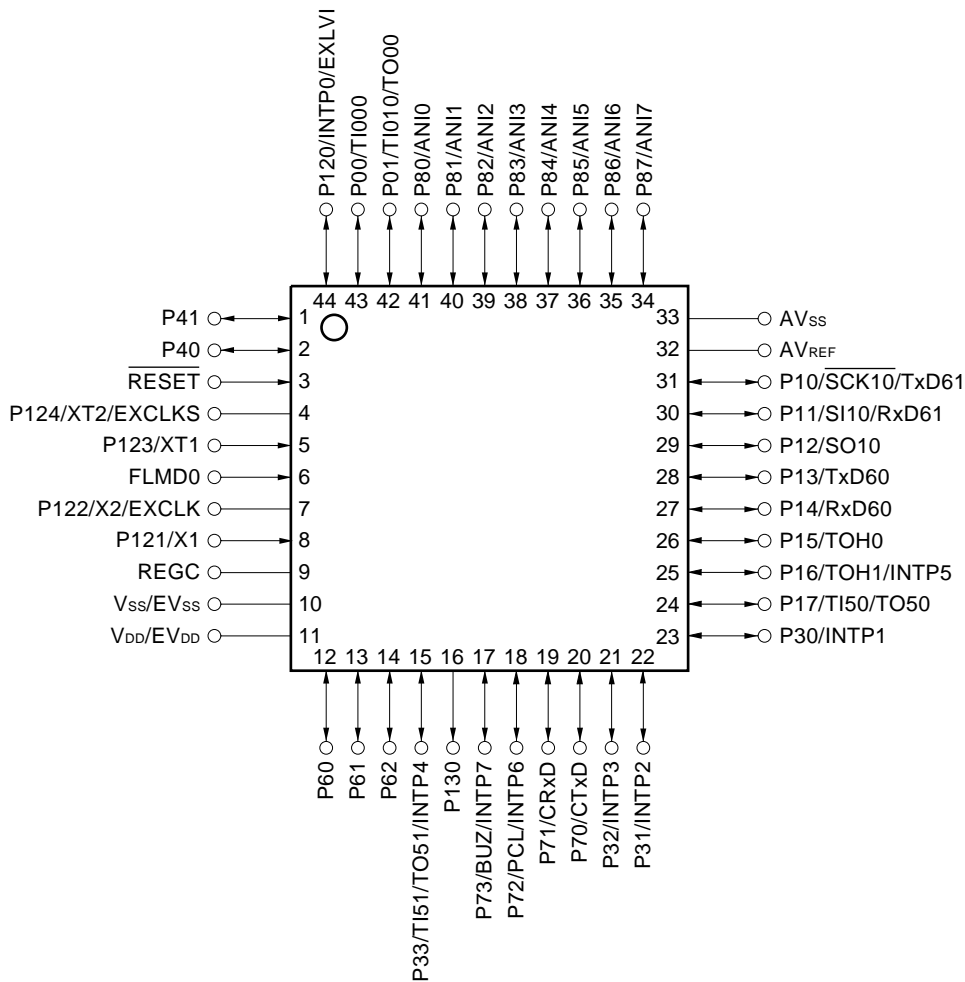
78K0Fx2 マイクロ ントローラ	パッケージ	オーダ名称
78K0/FC2	44ピン・プラスチックLQFP (10x10)	μ PD78F0881AGBA-GAF-G, 78F0882AGBA-GAF-G, 78F0883AGBA-GAF-G, 78F0881AGBA2-GAF-G, 78F0882AGBA2-GAF-G, 78F0883AGBA2-GAF-G
	48ピン・プラスチックLQFP (ファインピッチ) (7x7)	μ PD78F0884AGAA-GAM-G, 78F0885AGAA-GAM-G, 78F0886AGAA-GAM-G, 78F0894AGAA-GAM-G, 78F0895AGAA-GAM-G, 78F0884AGAA2-GAM-G, 78F0885AGAA2-GAM-G, 78F0886AGAA2-GAM-G, 78F0894AGAA2-GAM-G, 78F0895AGAA2-GAM-G
78K0/FE2	64ピン・プラスチックLQFP (12x12)	μ PD78F0887AGKA-GAJ-G, 78F0888AGKA-GAJ-G, 78F0889AGKA-GAJ-G, 78F0890AGKA-GAJ-G, 78F0887AGKA2-GAJ-G, 78F0888AGKA2-GAJ-G, 78F0889AGKA2-GAJ-G, 78F0890AGKA2-GAJ-G
	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	μ PD78F0887AGBA-GAH-G, 78F0888AGBA-GAH-G, 78F0889AGBA-GAH-G, 78F0890AGBA-GAH-G, 78F0887AGBA2-GAH-G, 78F0888AGBA2-GAH-G, 78F0889AGBA2-GAH-G, 78F0890AGBA2-GAH-G
78K0/FF2	80ピン・プラスチックLQFP (14x14)	μ PD78F0891AGCA-GAD-G, 78F0892AGCA-GAD-G, 78F0893AGCA-GAD-G, 78F0891AGCA2-GAD-G, 78F0892AGCA2-GAD-G, 78F0893AGCA2-GAD-G
	80ピン・プラスチックLQFP (ファインピッチ) (12x12)	μ PD78F0891AGKA-GAK-G, 78F0892AGKA-GAK-G, 78F0893AGKA-GAK-G, 78F0891AGKA2-GAK-G, 78F0892AGKA2-GAK-G, 78F0893AGKA2-GAK-G

備考 本製品はすべて鉛フリー製品です。

1.5 端子接続図 (Top View)

1.5.1 78K0/FC2

・44ピン・プラスチックLQFP (10×10)

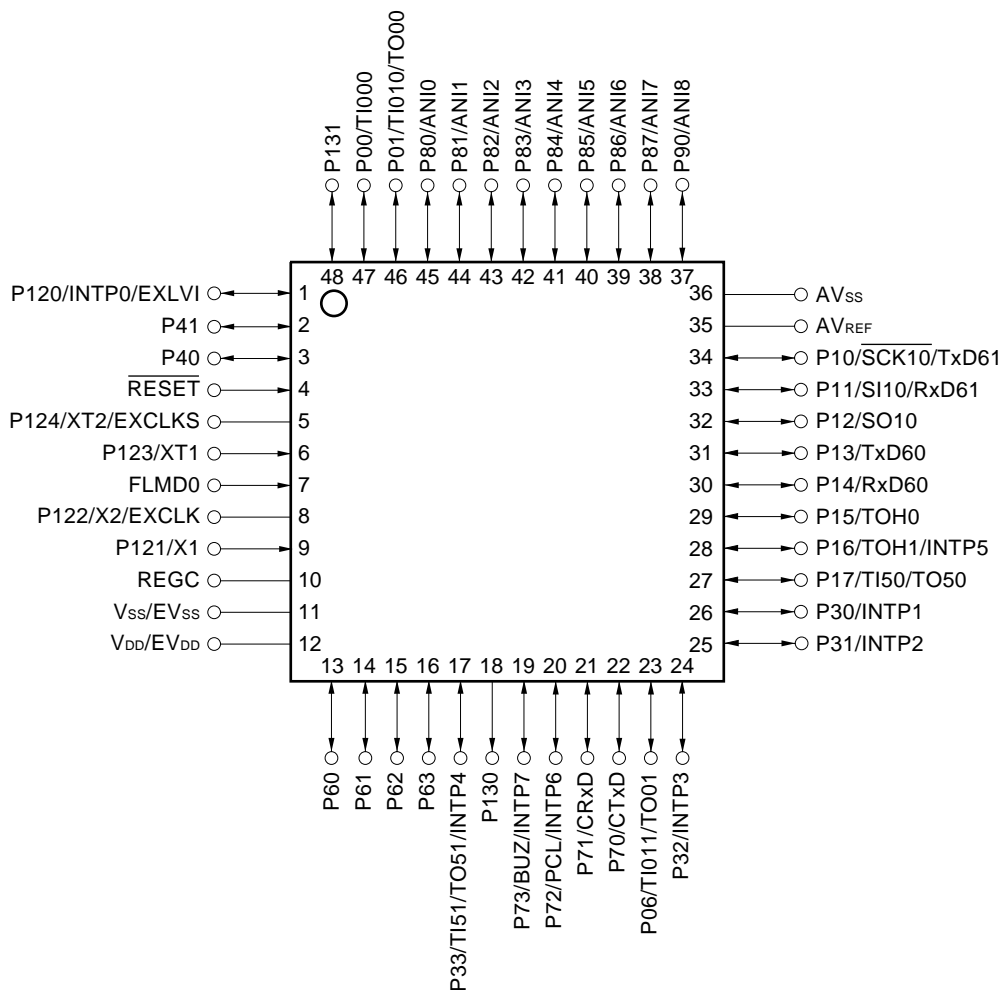


注意1. AVssはVss/EVssと同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) に介し, Vssに接続してください。
3. ANI0/P80-ANI7/P87は, リセット解除後にアナログ入力モードになります。

備考 端子名称は, 1.6 端子名称を参照してください。

・48ピン・プラスチックLQFP (ファインピッチ) (7×7)



注意1. AVssはVss/EVssと同電位にしてください。

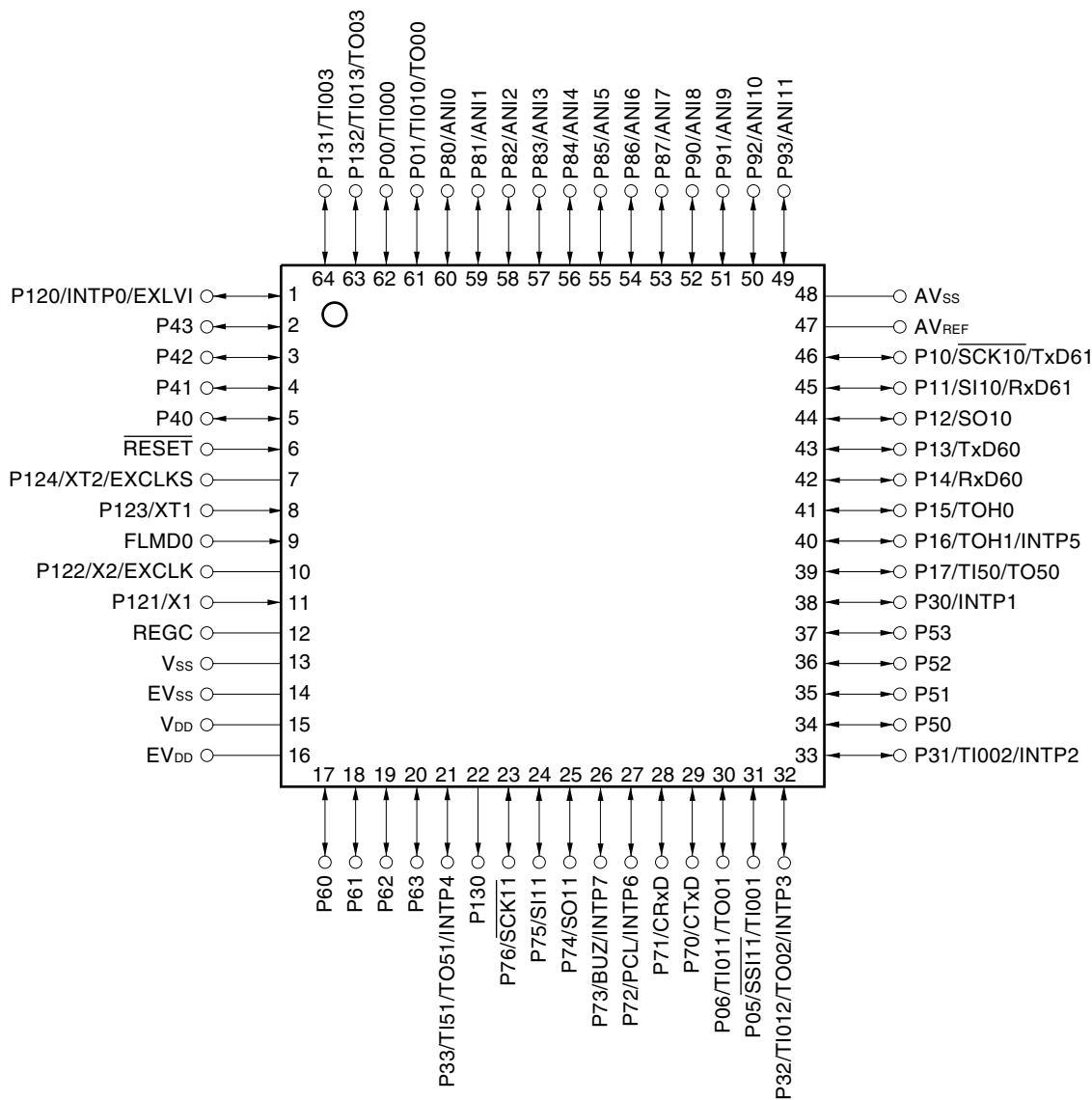
2. REGCはコンデンサ (0.47 ~ 1 μF : 推奨) に介し, Vssに接続してください。

3. ANI0/P80-ANI7/P87, ANI8/P90は, リセット解除後にアナログ入力モードになります。

備考 端子名称は, 1.6 端子名称を参照してください。

1.5.2 78K0/FE2

- ・64ピン・プラスチックLQFP (10×10)
- ・64ピン・プラスチックLQFP (12×12)

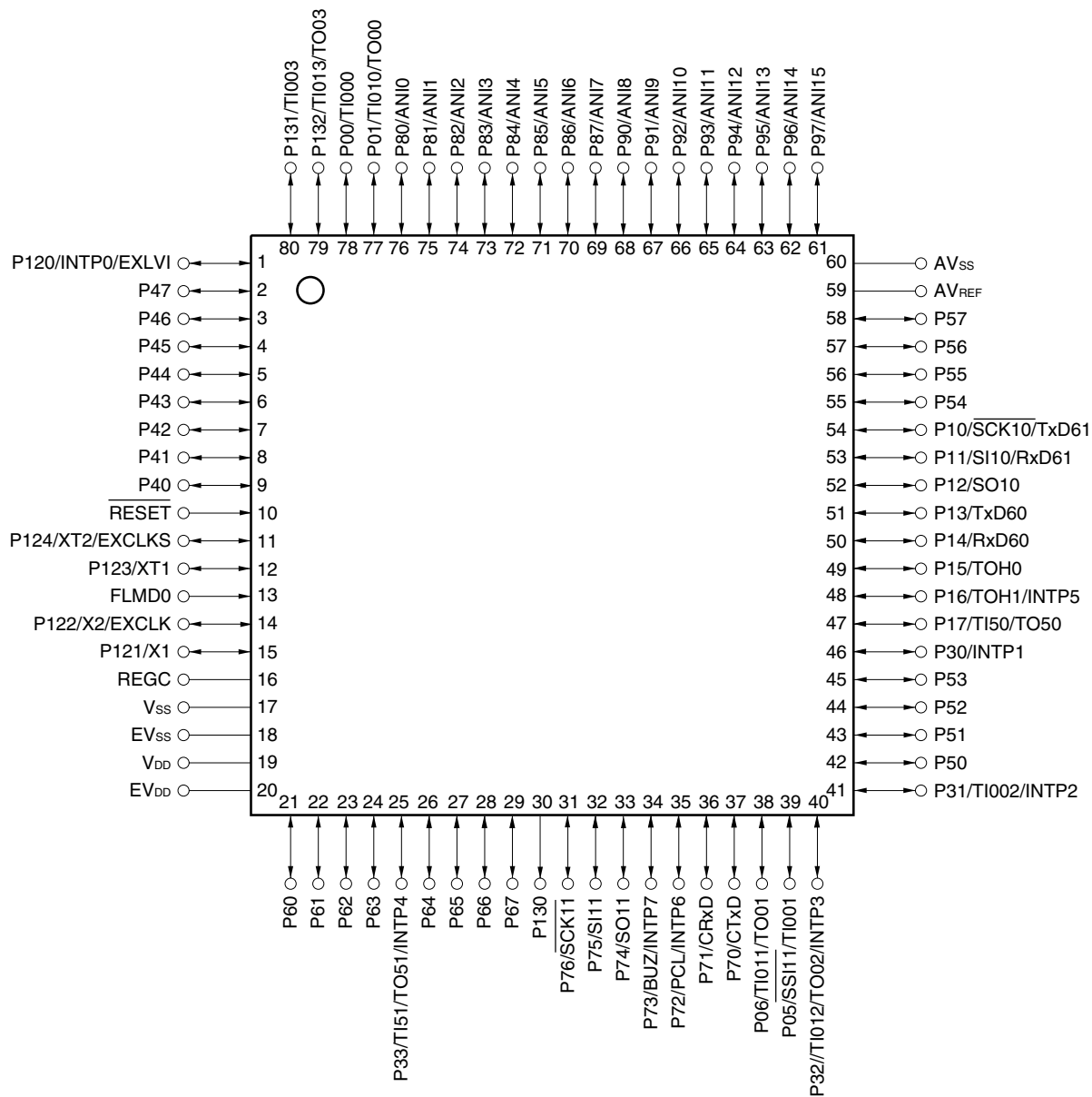


- 注意**
1. AV_{SS}はV_{SS}と同電位にしてください。
 2. EV_{DD}はV_{DD}と同電位にしてください。
 3. REGCはコンデンサ (0.47 ~ 1 μF : 推奨) に介し, V_{SS}に接続してください。
 4. ANI0/P80-ANI7/P87, ANI8/P90-ANI11/P93は, リセット解除後にアナログ入力モードになります。

備考 端子名称は, 1.6 端子名称を参照してください。

1.5.3 78K0/FF2

- ・80ピン・プラスチックLQFP (14×14)
- ・80ピン・プラスチックLQFP (ファインピッチ) (12×12)



- 注意**
1. AV_{SS}はV_{SS}と同電位にしてください。
 2. EV_{DD}はV_{DD}と同電位にしてください。
 3. REGCはコンデンサ (0.47 ~ 1 μF : 推奨) に介し, V_{SS}に接続してください。
 4. ANI0/P80-ANI7/P87, ANI8/P90-ANI15/P97は, リセット解除後にアナログ入力モードになります。

備考 端子名称は, 1.6 端子名称を参照してください。

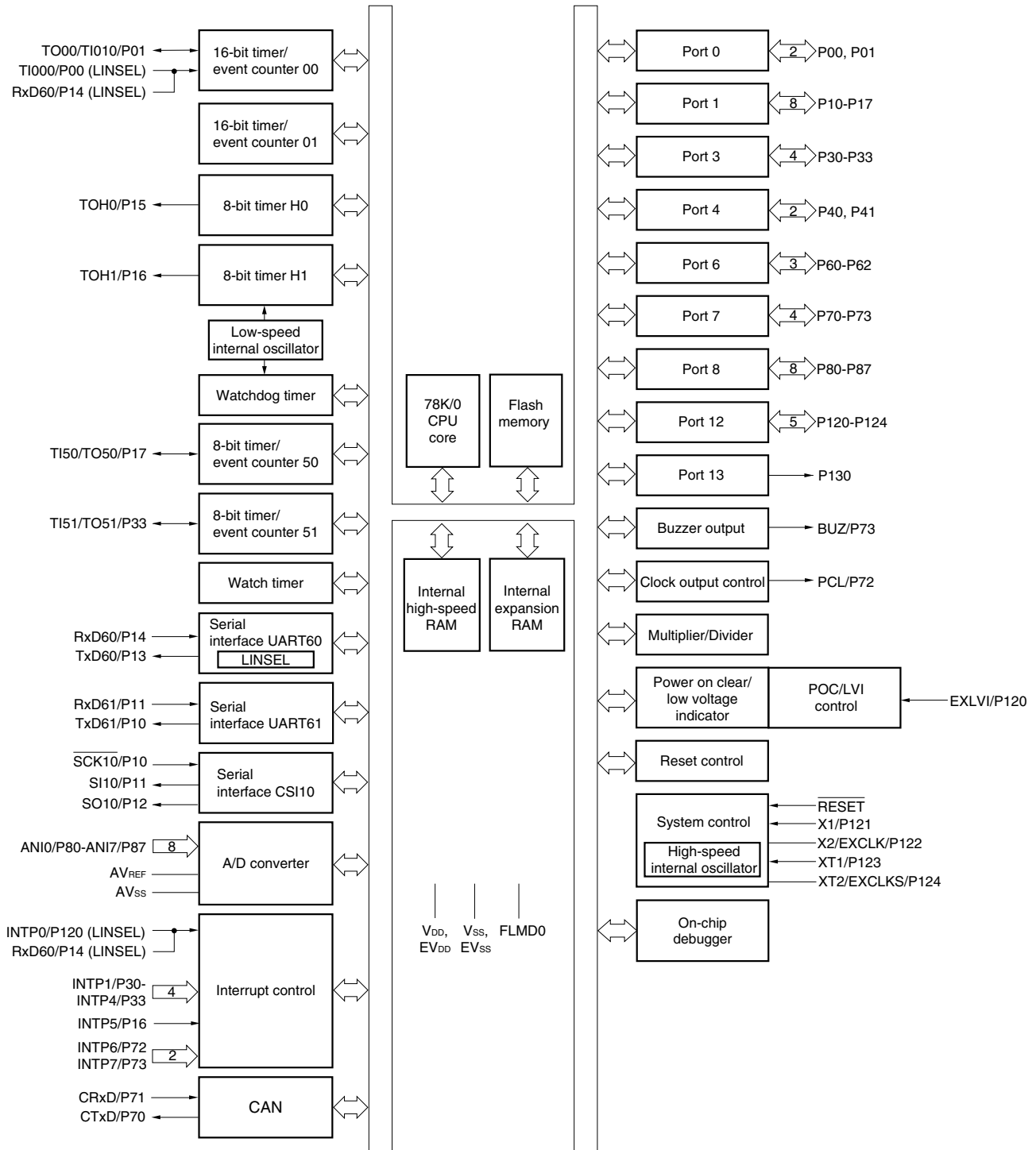
1.6 端子名称

ANI0-ANI15:	Analog Input	P90-P97:	Port 9
AV _{REF} :	Analog Reference Voltage	P120-P124:	Port 12
AV _{SS} :	Analog Ground	P130-P132:	Port 13
BUZ:	Buzzer Output	PCL:	Programmable Clock Output
CRxD:	Receive Data for CAN	REGC:	Regulator Capacitance
CTxD:	Transmit Data for CAN	$\overline{\text{RESET}}$:	Reset
EV _{DD} :	Power Supply for Port	RxD60, RxD61:	Receive Data
EV _{SS} :	Ground for Port	$\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$:	Serial Clock Input/output
EXCLK:	External Clock Input (Main System Clock)	SI10, SI11:	Serial Data Input
EXCLKS:	External Clock Input (Subsystem Clock)	SO10, SO11:	Serial Data Output
EXLVI:	External Potential Input for Low-voltage Detector	$\overline{\text{SSI11}}$:	Serial Interface Chip Select Input
FLMD0:	Flash Programming Mode	TI000, TI010,	
INTP0-INTP7:	External Interrupt Input	TI001, TI011,	
P00, P01,		TI002, TI012,	
P05, P06:	Port 0	TI003, TI013,	
P10-P17:	Port 1	TI50, TI51:	Timer Input
P30-P33:	Port 3	TO00, TO01,	
P40-P47:	Port 4	TO02, TO03,	
P50-P57:	Port 5	TO50, TO51,	
P60-P67:	Port 6	TOH0, TOH1:	Timer Output
P70-P76:	Port 7	TxD60, TxD61:	Transmit Data
P80-P87:	Port 8	V _{DD} :	Power Supply
		V _{SS} :	Ground
		X1, X2:	Crystal Oscillator (High-speed System Clock)
		XT1, XT2:	Crystal Oscillator (Subsystem Clock)

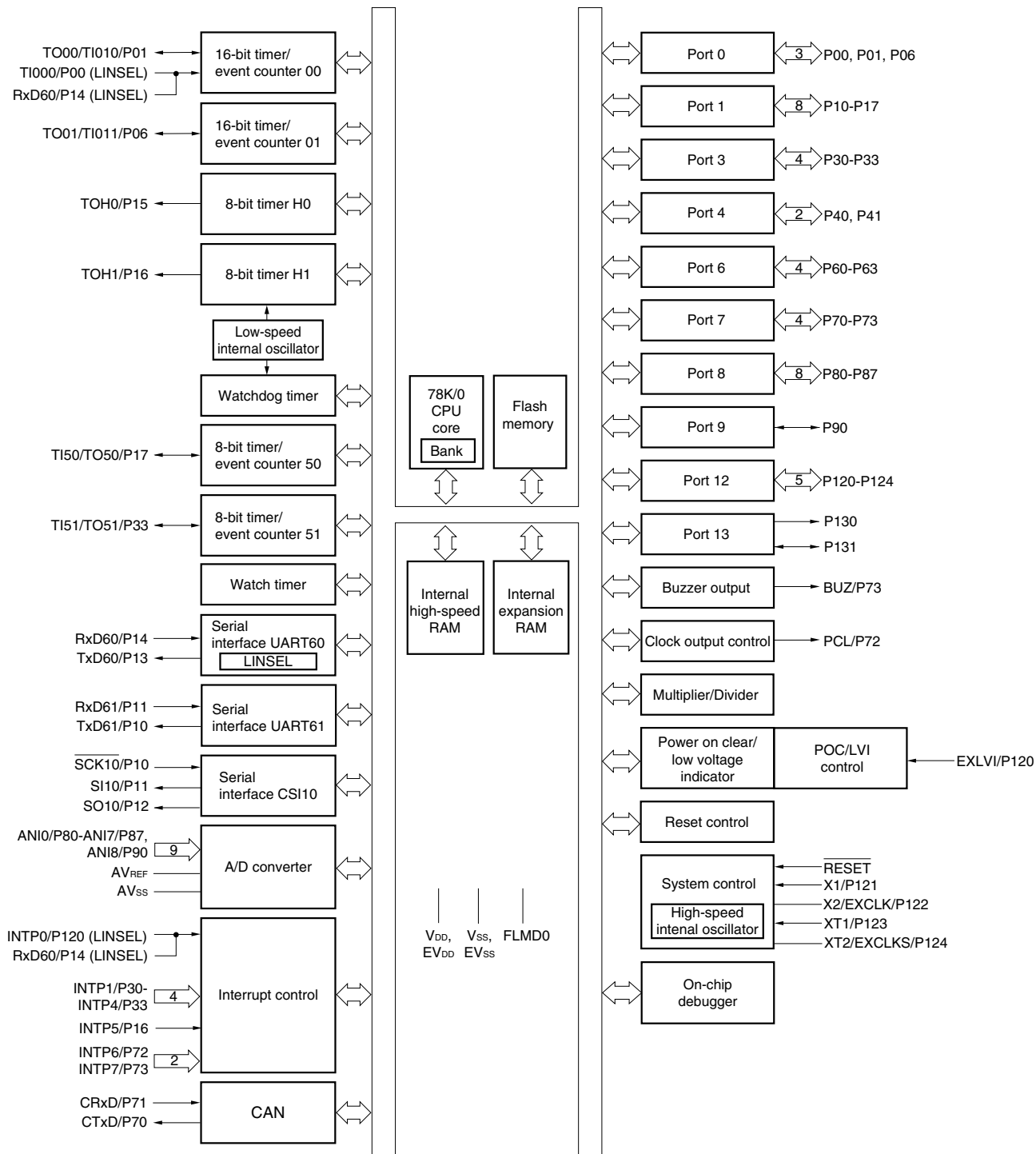
1.7 ブロック図

1.7.1 78K0/FC2

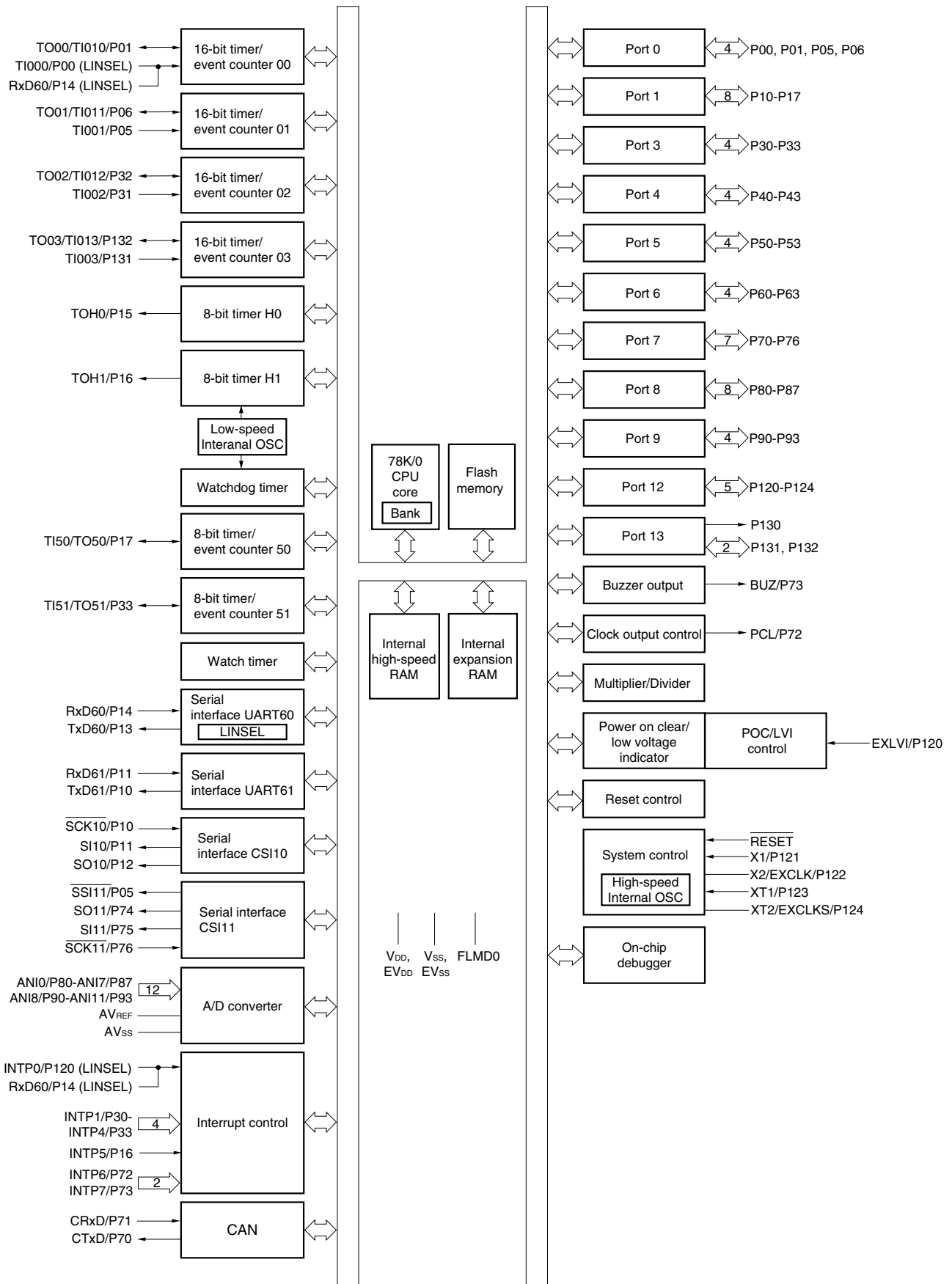
・ μ PD78F0881A, 78F0882A, 78F0883A



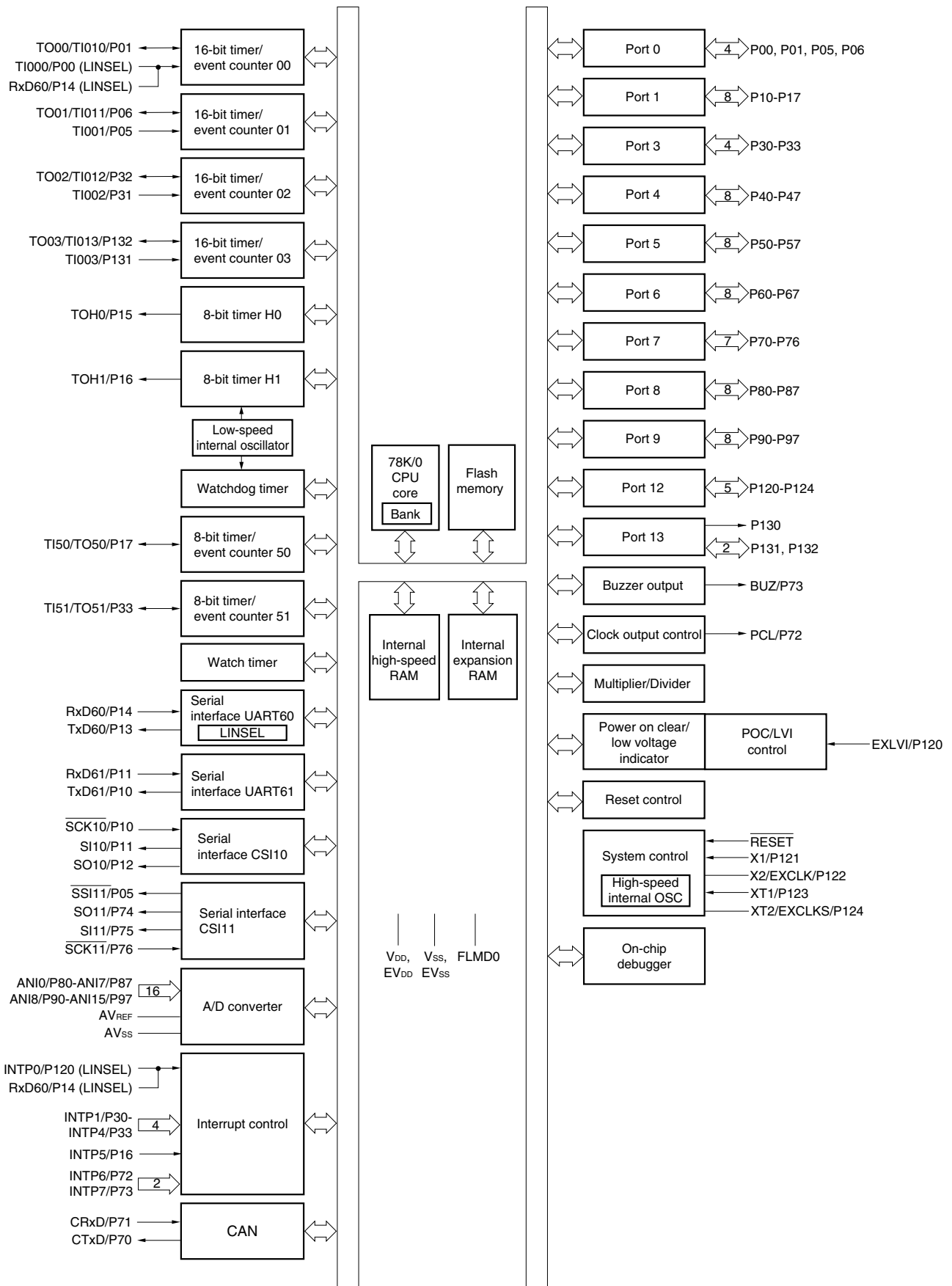
・ μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A



1.7.2 78K0/FE2



1.7.3 78K0/FF2



1.8 機能概要

(1/2)

78K0/Fx2 項 目			78K0/FC2 (μ PD78F088yA, 78F0894A, 78F0895A: y = 0-6)							
			44ピン			48ピン				
フラッシュ・メモリ (Kバイト) ^{注1}			32	48	60	32	48	60	96	128
高速RAM (Kバイト) ^{注1}			1							
拡張RAM (Kバイト) ^{注1}			1	2	2	1	2	2	4	6
バンク (フラッシュ・メモリ)			-						4	6
電源電圧			(A) 水準品: $V_{DD} = 1.8 \sim 5.5 V$, (A2) 水準品: $V_{DD} = 2.7 \sim 5.5 V$							
レギュレータ			内蔵							
最小命令実行時間			$0.1 \mu s$ (20 MHz: $V_{DD} = 2.7 \sim 5.5 V$) / $0.4 \mu s$ (5 MHz: $V_{DD} = 1.8 \sim 5.5 V$) ^{注2}							
クロック	メイン	高速システム	$4 \sim 20$ MHz: $V_{DD} = 2.7 \sim 5.5 V$ / $4 \sim 5$ MHz: $V_{DD} = 1.8 \sim 5.5 V$ ^{注2}							
		高速内蔵発振	8 MHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$ ^{注2}							
	サブ		32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$ ^{注2}							
	低速内蔵発振		240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5 V$ ^{注2}							
ポート	合計		37			41				
	N-ch O.D. (6 V耐圧)		3			4				
タイマ	16ビット (TM0)		2 ch ^{注3}							
	8ビット (TM5)		2 ch							
	8ビット (TMH)		2 ch							
	時計用		1 ch							
	ウォッチドッグ (WDT)		1 ch							
シリアル・インタフェース	CAN		1 ch							
	3線式CSI		-							
フェース	LIN-UART		1 ch							
	LIN-UART/CSI ^{注4}		1 ch							
10ビットA/D			8 ch			9 ch				
割り込み	外部		8							
	内部		22							
リセット	RESET端子		あり							
	POC		$1.59 V \pm 0.15 V$ (検出電圧は固定)							
	LVI		電源電圧の検出レベルを16段階選択可能							
	WDT		あり							
クロック出力 / ブザー出力			あり							
乗除算器			あり							
オンチップ・デバッグ機能			あり							
動作周囲温度			$T_A = -40 \sim +85$, $-45 \sim +125$							

- 注1. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能。
2. 拡張規格品 (μ PD78F08xxA) の(A) 水準品の場合です。(A2) 水準品については、第28章 電気的特性 (A2) 水準品) を参照してください。
3. TM01は、78K0/FC2では次の端子がないため一部機能が制限されています。
 μ PD78F0881A, 78F0882A, 78F0883A : TI001, TI011, TO01
 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A : TI001
4. 端子を兼用しているため、どちらかを選択して使用します。

項 目		78K0/FE2 (μ PD78F088yA, 78F0890A: y = 7-9)				78K0/FF2 (μ PD78F089yA: y = 1-3)		
		64ピン				80ピン		
フラッシュ・メモリ (Kバイト) ^{注1}		48	60	96	128	60	96	128
高速RAM (Kバイト) ^{注1}		1						
拡張RAM (Kバイト) ^{注1}		2	2	4	6	2	4	6
バンク (フラッシュ・メモリ)		-		4	6	-	4	6
電源電圧		(A) 水準品: $V_{DD} = 1.8 \sim 5.5$ V, (A2) 水準品: $V_{DD} = 2.7 \sim 5.5$ V						
レギュレータ		内蔵						
最小命令実行時間		0.1μ s (20 MHz: $V_{DD} = 2.7 \sim 5.5$ V) / 0.4μ s (5 MHz: $V_{DD} = 1.8 \sim 5.5$ V) ^{注2}						
クロック	メイン	高速システム		4 ~ 20 MHz: $V_{DD} = 2.7 \sim 5.5$ V / 4 ~ 5 MHz: $V_{DD} = 1.8 \sim 5.5$ V ^{注2}				
		高速内蔵発振		8 MHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V ^{注2}				
	サブ		32.768 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V ^{注2}					
	低速内蔵発振		240 kHz (TYP.): $V_{DD} = 1.8 \sim 5.5$ V ^{注2}					
ポート	合計		55			71		
	N-ch O.D. (6 V耐圧)		4			4		
タイマ	16ビット (TM0)		4 ch					
	8ビット (TM5)		2 ch					
	8ビット (TMH)		2 ch					
	時計用		1 ch					
	ウォッチドッグ (WDT)		1 ch					
シリアル・インタフェース	CAN		1 ch					
	3線式CSI		1 ch					
フェース	LIN-UART		1 ch					
	LIN-UART/CSI ^{注3}		1 ch					
10ビットA/D		12 ch				16 ch		
割り込み	外部		8					
	内部		27					
リセット	RESET端子		あり					
	POC		1.59 V \pm 0.15 V (検出電圧は固定)					
	LVI		電源電圧の検出レベルを16段階選択可能					
	WDT		あり					
クロック出力 / ブザー出力		あり						
乗除算器		あり						
オンチップ・デバッグ機能		あり						
動作周囲温度		$T_A = -40 \sim +85$, $-45 \sim +125$						

- 注1. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能。
2. 拡張規格品 (μ PD78F08xxA) の(A) 水準品の場合です。(A2) 水準品については、**第28章 電気的特性 (A2) 水準品** を参照してください。
3. 端子を兼用しているため、どちらかを選択して使用します。

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ00-03				8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH0, H1		時計用タイマ	ウォッチドッグ・タイマ
		TM00	TM01	TM02	TM03	TM50	TM51	TMH0	TMH1		
動作モード	インターバル・タイマ	1ch	1ch	1ch	1ch	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^注	1チャンネル
	外部イベント・カウンタ	1ch	1ch	1ch	1ch	1チャンネル	1チャンネル	-	-	-	-
機能	タイマ出力	1	1	1	1	1出力	1出力	1出力	1出力	-	-
	PPG出力	1	1	1	1	-	-	-	-	-	-
	PWM出力	-	-	-	-	1出力	1出力	1出力	1出力	-	-
	パルス幅測定	2	2	2	2	-	-	-	-	-	-
	方形波出力	1	1	1	1	1出力	1出力	1出力	1出力	-	-
	割り込み要因	2	2	2	2	1	1	1	1	1	-

注 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

備考1. TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

2. 製品により、搭載するタイマが異なります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
16ビット・タイマ/イベント・カウンタ00			
16ビット・タイマ/イベント・カウンタ01	注		
16ビット・タイマ/イベント・カウンタ02	-		
16ビット・タイマ/イベント・カウンタ03	-		
8ビット・タイマ/イベント・カウンタ50			
8ビット・タイマ/イベント・カウンタ51			
8ビット・タイマH0			
8ビット・タイマH1			
時計用タイマ			
ウォッチドッグ・タイマ			

注 TM01は、78K0/FC2では次の端子がないため一部機能が制限されています。

μ PD78F0881A, 78F0882A, 78F0883A : TI001, TI011, TO01
 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A : TI001

: 搭載, - : 非搭載

第2章 端子機能

2.1 端子機能一覧

ポート端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源 (AVREF, EVDD/VDD)

- ・ 78K0/FC2: 44ピン・プラスチックLQFP (10x10), 48ピン・プラスチックLQFP (ファインピッチ) (7x7)

電 源	対応する端子
AVREF	P80-P87, P90 ^注
EVDD/VDD	・ P80-P87, P90 ^注 以外のポート端子 ・ ポート以外の端子

注 P90は、 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ

表2 - 2 各端子の入出力バッファ電源 (AVREF, EVDD, VDD)

- ・ 78K0/FE2: 64ピン・プラスチックLQFP (ファインピッチ) (10x10), 64ピン・プラスチックLQFP (12x12)
- ・ 78K0/FF2: 80ピン・プラスチックLQFP (14x14), 80ピン・プラスチックLQFP (ファインピッチ) (12x12)

電 源	対応する端子
AVREF	P80-P87, P90-P97 ^注
EVDD	P80-P87, P90-P97 ^注 , P121-P124以外のポート端子
VDD	・ P121-P124 ・ ポート以外の端子

注 P94-P97は、78K0/FF2のみ

2.1.1 78K0/FC2

(1) ポート端子 : 78K0/FC2

表2-3 ポート端子 : 78K0/FC2 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI000
P01				TI010/TO00
P06 ^注				TI011/TO01
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	SCK10/TxD61
P11				SI10/RxD61
P12				SO10
P13				TxD60
P14				RxD60
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP1
P31				INTP2
P32				INTP3
P33				INTP4/TI51/TO51
P40, P41	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-
P60-P63 ^注	入出力	ポート6。 4ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。	N-chオープン・ドレーン入出力ポート。 入力	-
P70	入出力	ポート7。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	CTxD
P71				CRxD
P72				PCL/INTP6
P73				BUZ/INTP7
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	ANI0-ANI7
P90 ^注	入出力	ポート9。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	ANI8

注 P06, P63, P90は、μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。

表2 - 3 ポート端子 : 78K0/FC2 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P120	入出力	ポート12。 5ビット入出力ポート。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/EXLVI
P121				X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。 P130は1ビット出力専用ポートです。	出力	-
P131 ^注	入出力	P131は1ビット入出力ポートです。 P131はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	-

注 P131は、 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。

(2) ポート以外の端子 : 78K0/FC2

表2 - 4 ポート以外の端子 : 78K0/FC2 (1/2)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力	P120/EXLVI
INTP1				P30
INTP2				P31
INTP3				P32
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P72/PCL
INTP7				P73/BUZ
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P11/RxD61
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P12
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	入力	P10/TxD61
RxD61	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P11/SI10
RxD60				P14
TxD61	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P10/SCK10
TxD60				P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力	入力	P00
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力		
TI011		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001) へのキャプチャ・トリガ入力		
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力	P01/TI010
TO01		16ビット・タイマ/イベント・カウンタ01出力		P06/TI011
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロックのトリミング用)	入力	P72/INTP6
BUZ	出力	ブザー出力	入力	P73/INTP7

表2-4 ポート以外の端子：78K0/FC2（2/2）

端子名称	入出力	機能	リセット時	兼用端子
ANI0-ANI8 ^注	入力	A/Dコンバータのアナログ入力	入力	P80-P87, P90
CTxD	入力	CAN送信データ出力	入力	P70
CRxD	出力	CAN受信データ入力	入力	P71
AV _{REF}	-	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。EV _{SS} またはV _{SS} と同電位にしてください。	-	-
RESET	入力	システム・リセット入力	-	-
X1	入力	高速システム・クロック用発振子接続	入力	P121
X2	-		入力	P122/EXCLK
XT1	入力	サブシステム・クロック用発振子接続	入力	P123
XT2	-		入力	P124/EXCLKS
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力	P122/X2
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力	P124/XT2
EXLVI	入力	外部低電圧検出用電位入力	入力	P120/INTP0
V _{DD}	-	正電源（ポート部を除く）	-	-
EV _{DD}	-	ポート部の正電源	-	-
V _{SS}	-	グランド電位（ポート部を除く）	-	-
EV _{SS}	-	ポート部のグランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
REGC	-	内部動作レギュレータ出力（2.5V）安定容量接続。 コンデンサ（0.47～1μF：推奨）を介し、V _{SS} に接続してください。	-	-

注 ANI8は、μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。

2.1.2 78K0/FE2

(1) ポート端子 : 78K0/FE2

表2-5 ポート端子 : 78K0/FE2 (1/2)

端子名称	入出力	機能		リセット時	兼用端子
P00	入出力	ポート0。		入力	TI000
P01		4ビット入出力ポート。			TI010/TO00
P05		1ビット単位で入力 / 出力の指定可能。			SSI11/TI001
P06		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			TI011/TO01
P10	入出力	ポート1。		入力	SCK10/TxD61
P11		8ビット入出力ポート。			SI10/RxD61
P12		1ビット単位で入力 / 出力の指定可能。			SO10
P13		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			TxD60
P14					RxD60
P15					TOH0
P16					TOH1/INTP5
P17					TI50/TO50
P30	入出力	ポート3。		入力	INTP1
P31		4ビット入出力ポート。			INTP2/TI002
P32		1ビット単位で入力 / 出力の指定可能。			INTP3/TI012/TO02
P33		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			INTP4/TI51/TO51
P40-P43	入出力	ポート4。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	-
P50-P53	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		入力	-
P60-P63	入出力	ポート6。 4ビット入出力ポート 1ビット単位で入力 / 出力の指定可能。	N-chオープン・ドレイン入出力ポート。	入力	-
P70	入出力	ポート7。		入力	CTxD
P71		7ビット入出力ポート。			CRxD
P72		1ビット単位で入力 / 出力の指定可能。			PCL/INTP6
P73		ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。			BUZ/INTP7
P74					SO11
P75					SI11
P76					SCK11
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。		入力	ANI0-ANI7

表2 - 5 ポート端子 : 78K0/FE2 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	ANI8-ANI11
P120	入出力	ポート12。 5ビット入出力ポート。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/EXLVI
P121				X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。	出力	-
P131	入出力	P130は1ビット出力専用ポートです。 P131, P132は2ビット入出力ポートです。 P131, P132はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI003
P132				TI013/TO03

(2) ポート以外の端子 : 78K0/FE2

表2 - 6 ポート以外の端子 : 78K0/FE2 (1/3)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力	P120/EXLVI
INTP1				P30
INTP2				P31/TI002
INTP3				P32/TI012/TO02
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P72/PCL
INTP7				P73/BUZ
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P11/RxD61
SI11				P75
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P12
SO11				P74
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	入力	P10/TxD61
SCK11				P76
SSI11	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P05/TI001
RxD61	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P11/SI10
RxD60				P14
TxD61	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P10/ $\overline{\text{SCK10}}$
TxD60				P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力	P00
TI001		16ビット・タイマ/イベント・カウンタ01への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001, CR011) へのキャプチャ・トリガ入力		P05/ $\overline{\text{SSI11}}$
TI002		16ビット・タイマ/イベント・カウンタ02への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002, CR012) へのキャプチャ・トリガ入力		P31/INTP2
TI003		16ビット・タイマ/イベント・カウンタ03への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ03のキャプチャ・レジスタ (CR003, CR013) へのキャプチャ・トリガ入力		P131

表2-6 ポート以外の端子：78K0/FE2（2/3）

端子名称	入出力	機能	リセット時	兼用端子
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力	入力	P01/TO00
TI011		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ（CR001）へのキャプチャ・トリガ入力		P06/TO01
TI012		16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ（CR002）へのキャプチャ・トリガ入力		P32/TO02/INTP3
TI013		16ビット・タイマ/イベント・カウンタ03のキャプチャ・レジスタ（CR003）へのキャプチャ・トリガ入力		P132/TO03
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力	P01/TO10
TO01		16ビット・タイマ/イベント・カウンタ01出力		P06/TO11
TO02		16ビット・タイマ/イベント・カウンタ02出力		P32/TO12/INTP3
TO03		16ビット・タイマ/イベント・カウンタ03出力		P132/TO13
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P17/TO50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TO51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
PCL	出力	クロック出力（高速システム・クロック，サブシステム・クロックのトリミング用）	入力	P72/INTP6
BUZ	出力	ブザー出力	入力	P73/INTP7
ANI0-ANI11	入力	A/Dコンバータのアナログ入力	入力	P80-P87, P90-P93
CTxD	入力	CAN送信データ出力	入力	P70
CRxD	出力	CAN受信データ入力	入力	P71
AV _{REF}	-	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。EV _{SS} またはV _{SS} と同電位にしてください。	-	-
RESET	入力	システム・リセット入力	-	-
X1	入力	高速システム・クロック用発振子接続	入力	P121
X2	-		入力	P122/EXCLK
XT1	入力	サブシステム・クロック用発振子接続	入力	P123
XT2	-		入力	P124/EXCLKS
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力	P122/X2
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力	P124/XT2
EXLVI	入力	外部低電圧検出用電位入力	入力	P120/INTP0

表2-6 ポート以外の端子：78K0/FE2 (3/3)

端子名称	入出力	機能	リセット時	兼用端子
V _{DD}	-	正電源（ポート部を除く）	-	-
EV _{DD}	-	ポート部の正電源	-	-
V _{SS}	-	グランド電位（ポート部を除く）	-	-
EV _{SS}	-	ポート部のグランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
REGC	-	内部動作用レギュレータ出力（2.5V）安定容量接続。 コンデンサ（0.47～1 μF：推奨）を介し、V _{SS} に接続してください。	-	-

2.1.3 78K0/FF2

(1) ポート端子 : 78K0/FF2

表2-7 ポート端子 : 78K0/FF2 (1/2)

端子名称	入出力	機能		リセット時	兼用端子
P00	入出力	ポート0。		入力	TI000
P01		4ビット入出力ポート。			TI010/TO00
P05		1ビット単位で入力 / 出力の指定可能。			SSI11/TI001
P06		ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。			TI011/TO01
P10	入出力	ポート1。		入力	SCK10/TxD61
P11		8ビット入出力ポート。			SI10/RxD61
P12		1ビット単位で入力 / 出力の指定可能。			SO10
P13		ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。			TxD60
P14					RxD60
P15					TOH0
P16					TOH1/INTP5
P17					TI50/TO50
P30	入出力	ポート3。		入力	INTP1
P31		4ビット入出力ポート。			INTP2/TI002
P32		1ビット単位で入力 / 出力の指定可能。			INTP3/TI012/TO02
P33		ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。			INTP4/TI51/TO51
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。		入力	-
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。		入力	-
P60-P63	入出力	ポート6。 8ビット入出力ポート	N-chオープン・ドレイン入出力ポート。	入力	-
P64-P67		1ビット単位で入力 / 出力の指定可能。	ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。		
P70	入出力	ポート7。		入力	CTxD
P71		7ビット入出力ポート。			CRxD
P72		1ビット単位で入力 / 出力の指定可能。			PCL/INTP6
P73		ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。			BUZ/INTP7
P74					SO11
P75					SI11
P76					SCK11
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。		入力	ANI0-ANI7

表2 - 7 ポート端子 : 78K0/FF2 (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	ANI8-ANI15
P120	入出力	ポート12。 5ビット入出力ポート。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/EXLVI
P121				X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P130	出力	ポート13。	出力	-
P131	入出力	P130は1ビット出力専用ポートです。 P131, P132は2ビット入出力ポートです。 P131, P132はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI003
P132				TI013/TO03

(2) ポート以外の端子 : 78K0/FF2

表2 - 8 ポート以外の端子 : 78K0/FF2 (1/3)

端子名称	入出力	機能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力	P120/EXLVI
INTP1				P30
INTP2				P31/TI002
INTP3				P32/TI012/TO02
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P72/PCL
INTP7				P73/BUZ
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P11/RxD61
SI11				P75
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P12
SO11				P74
SCK10	入出力	シリアル・インタフェースのクロック入力/出力	入力	P10/TxD61
SCK11				P76
SSI11	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P05/TI001
RxD61	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P11/SI10
RxD60				P14
TxD61	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P10/SCK10
TxD60				P13
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力	P00

表2-8 ポート端子：78K0/FF2 (2/3)

端子名称	入出力	機能	リセット時	兼用端子
TI001	入力	16ビット・タイマ/イベント・カウンタ01への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001, CR011) へのキャプチャ・トリガ入力	入力	P05/SSI11
TI002		16ビット・タイマ/イベント・カウンタ02への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002, CR012) へのキャプチャ・トリガ入力		P31/INTP2
TI003		16ビット・タイマ/イベント・カウンタ03への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ03のキャプチャ・レジスタ (CR003, CR013) へのキャプチャ・トリガ入力		P131
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P01/TO00
TI011		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001) へのキャプチャ・トリガ入力		P06/TO01
TI012		16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002) へのキャプチャ・トリガ入力		P32/TO02/INTP3
TI013		16ビット・タイマ/イベント・カウンタ03のキャプチャ・レジスタ (CR003) へのキャプチャ・トリガ入力		P132/TO03
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力	P01/TI010
TO01		16ビット・タイマ/イベント・カウンタ01出力		P06/TI011
TO02		16ビット・タイマ/イベント・カウンタ02出力		P32/TI012/INTP3
TO03		16ビット・タイマ/イベント・カウンタ03出力		P132/TI013
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロックのトリミング用)	入力	P72/INTP6
BUZ	出力	ブザー出力	入力	P73/INTP7
ANI0-ANI15	入力	A/Dコンバータのアナログ入力	入力	P80-P87, P90-P97
CTxD	入力	CAN送信データ出力	入力	P70
CRxD	出力	CAN受信データ入力	入力	P71
AVREF	-	A/Dコンバータの基準電圧入力およびポート2の正電源	-	-
AVSS	-	A/Dコンバータのグランド電位。EV _{SS} またはV _{SS} と同電位にしてください。	-	-
RESET	入力	システム・リセット入力	-	-
X1	入力	高速システム・クロック用発振子接続	入力	P121
X2	-		入力	P122/EXCLK

表2 - 8 ポート端子 : 78K0/FF2 (3/3)

端子名称	入出力	機能	リセット時	兼用端子
XT1	入力	サブシステム・クロック用発振子接続	入力	P123
XT2	-		入力	P124/EXCLKS
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力	P122/X2
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力	P124/XT2
EXLVI	入力	外部低電圧検出用電位入力	入力	P120/INTP0
V _{DD}	-	正電源 (ポート部を除く)	-	-
EV _{DD}	-	ポート部の正電源	-	-
V _{SS}	-	グランド電位 (ポート部を除く)	-	-
EV _{SS}	-	ポート部のグランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
REGC	-	内部動作用レギュレータ出力 (2.5V) 安定容量接続。 コンデンサ (0.47~1 μ F : 推奨) を介し, V _{SS} に接続してください。	-	-

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00, P01, P05, P06 (Port 0)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、シリアル・インタフェースのチップ・セレクト入力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P00/TI000				
P01/TI010/TO00				
P05/TI001/SSI11	-	-		
P06/TI011/TO01	-			

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのチップ・セレクト入力として機能します。

(a) TI000, TI001

16ビット・タイマ/イベント・カウンタ00, 01への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000, CR010またはCR001, CR011) へのキャプチャ・トリガ信号入力端子です。

(b) TI010, TI011

16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000またはCR001) へのキャプチャ・トリガ信号入力端子です。

(c) TO00, TO01

タイマ出力端子です。

(d) SSI11

シリアル・インタフェースのチップ・セレクト入力端子です。

2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P10/SCK10/TxD61			
P11/SI10/RxD61			
P12/SO10			
P13/TxD60			
P14/RxD60			
P15/TOH0			
P16/TOH1/INTP5			
P17/TI50/TO50			

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースのシリアル・データの入力端子です。

(b) SO10

シリアル・インタフェースのシリアル・データの出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(d) RxD61, RxD60

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

(e) TxD61, TxD60

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

(f) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

(g) TO50, TOH0, TOH1

タイマ出力端子です。

(h) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.3 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，タイマ入出力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P30/INTP1			
P31/INTP2/TI002	P31/INTP2 ^{注1}		
P32/INTP3/TI012/ TO02	P32/INTP3 ^{注2}		
P33/INTP4/TI51/ TO51			

注1. TI002端子は搭載していません。TI002以外のポート機能，兼用機能は搭載しています。

2. TI012, TO02端子は搭載していません。TI012, TO02以外のポート機能，兼用機能は搭載しています。

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，タイマの入出力として機能します。

(a) INTP1-INTP4

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) TI002

16ビット・タイマ/イベント・カウンタ02への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002, CR012) へのキャプチャ・トリガ信号入力端子です。

(c) TI012

16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002) へのキャプチャ・トリガ信号入力端子です。

(d) TO02

タイマ出力端子です。

(e) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

(f) TO51

タイマ出力端子です。

注意 1. 誤動作を防ぐため、リセット解除までにP31/TI002/INTP2を必ずプルダウンしてください。

2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/TI002/INTP2を次のように処理してください。

・P31/TI002/INTP2：抵抗 (10 kΩ：推奨) を介してEV_{SS}に接続してください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

備考 P31/TI002/INTP2, P32/TI012/TO02/INTP3は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子として使用できます。オンチップ・デバッグ・エミュレータ (QB-78K0MINIまたはQB-MINI2) との接続については、第25章 オンチップ・デバッグ機能を参照してください。

2.2.4 P40-P47 (Port 4)

8ビットの入出力ポートです。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P40			
P41			
P42	-		
P43	-		
P44	-	-	
P45	-	-	
P46	-	-	
P47	-	-	

備考 : 搭載, - : 非搭載

2.2.5 P50-P57 (Port 5)

8ビットの入出力ポートです。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P50	-		
P51	-		
P52	-		
P53	-		
P54	-	-	
P55	-	-	
P56	-	-	
P57	-	-	

備考 : 搭載, - : 非搭載

2.2.6 P60-P67 (Port 6)

8ビットの入出力ポートです。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。P64-P67はプルアップ抵抗オプション・レジスタ6 (PU6) の設定により、内蔵プルアップ抵抗を使用できます。

P60-P63はN-chオープン・ドレインになっています。

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P60				
P61				
P62				
P63	-			
P64	-	-	-	
P65	-	-	-	
P66	-	-	-	
P67	-	-	-	

備考 : 搭載, - : 非搭載

2.2.7 P70-P76 (Port 7)

7ビットの入出力ポートです。入出力ポートのほかに外部割込み要求入力, CANのデータ入出力, クロック出力, ブザー出力, シリアル・インタフェースのデータ入出力, クロック入出力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5		y = 7-9	y = 1-3
P70/CTxD				
P71/CRxD				
P72/PCL/INTP6				
P73/BUZ/INTP7				
P74/SO11	-			
P75/SI11	-			
P76/SCK11	-			

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, CANのデータ入出力, クロック出力, ブザー出力, シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) INTP6, INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) CRxD

CANの受信データ入力端子です

(c) CTxD

CANの送信データ出力端子です。

(d) PCL

クロック出力端子です。

(e) BUZ

ブザー出力端子です。

(f) SI11

シリアル・インタフェースのシリアル・データの入力端子です。

(g) SO11

シリアル・インタフェースのシリアル・データの出力端子です。

(h) $\overline{\text{SCK11}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

2.2.8 P80-P87 (Port 8)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P80/ANI0			
P81/ANI1			
P82/ANI1			
P83/ANI2			
P84/ANI3			
P85/ANI4			
P86/ANI5			
P87/ANI6			

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合, 13.6 A/Dコンバータの注意事項 (5) P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15を参照してください。

注意 P80/ANI0-P87/ANI7は, リセット解除後はアナログ入力モードになります。

2.2.9 P90-P97 (Port 9)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4.5	y = 7-9	y = 1-3
P90/ANI8	-			
P91/ANI9	-	-		
P92/ANI10	-	-		
P93/ANI11	-	-		
P94/ANI12	-	-	-	
P95/ANI13	-	-	-	
P96/ANI14	-	-	-	
P97/ANI15	-	-	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI8-ANI15) として機能します。アナログ入力端子として使用する場合, 13.6 A/Dコンバータの注意事項 (5) P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15を参照してください。

注意 P90/ANI8-P97/ANI15は, リセット解除後はアナログ入力モードになります。

2.2.10 P120-P124 (Port 12)

5ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P120/INTP0/EXLVI			
P121/X1			
P122/X2/EXCLK			
P123/XT1			
P124/XT2/EXCLK			

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により，P120のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

高速システム・クロック用発振子接続端子です。

外部クロックを供給するときは，X1に入力し，X2にその反転信号を入力してください。

注意 フラッシュ・メモリ・プログラマによる書き込みをする場合，P121/X1を次のように処理してください。

- ・P121/X1をポートとして使用する場合は，抵抗 (10 k Ω : 推奨) を介してV_{SS}に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合，上記の処置は必要ありません。

備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子として使用できます。オンチップ・デバッグ・エミュレータ（QB-78K0MINIまたはQB-MINI2）との接続については、第25章 **オンチップ・デバッグ機能**を参照してください。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

(f) EXCLKS

サブシステム・クロック用外部クロック入力端子です。

2.2.11 P130-P132 (Port 13)

P130は1ビットの出力専用ポートです。P131, P132は2ビットの入出力ポートになります。入出力ポートのほかにタイマの入出力機能があります。

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P130				
P131/TI003	-	P131 ^注		
P132/TI013/TO03	-	-		

注 TI003端子は搭載していません。ポート機能は搭載しています。

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P131, P132はポート・モード・レジスタ13 (PM13) の設定により、入力ポートまたは出力ポートに指定できます。P131, P132はプルアップ抵抗オプション・レジスタ13 (PU13) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのチップ・セレクト入力として機能します。

(a) TI003

16ビット・タイマ/イベント・カウンタ03への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ03のキャプチャ・レジスタ (CR003, CR013) へのキャプチャ・トリガ信号入力端子です。

(b) TI013

16ビット・タイマ/イベント・カウンタ03のキャプチャ・レジスタ (CR003) へのキャプチャ・トリガ信号入力端子です。

(c) TO03

タイマ出力端子です。

2.2.12 AV_{REF} , AV_{SS} , V_{DD} , EV_{DD} , V_{SS} , EV_{SS}

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
AV_{REF}			
AV_{SS}			
V_{DD}			
EV_{DD}			
V_{SS}			
EV_{SS}			

備考 : 搭載

(a) AV_{REF}

A/Dコンバータの基準電圧入力端子です。

A/Dコンバータを使用しない場合は、 EV_{DD} または V_{DD} に直接接続してください^注。

注 ポート8, ポート9をデジタル・ポートとして使用する場合は、 EV_{DD} に直接接続してください。

(b) AV_{SS}

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常に EV_{SS} 端子または V_{SS} 端子と同電位で使用してください。

(c) V_{DD} , EV_{DD}

V_{DD} は、ポート部以外の正電源供給端子です。

EV_{DD} は、ポート部の正電源供給端子です。

(d) V_{SS} , EV_{SS}

V_{SS} は、ポート部以外のグラウンド電位端子です。

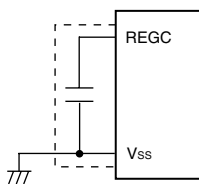
EV_{SS} は、ポート部のグラウンド電位端子です。

2.2.13 \overline{RESET}

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.14 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.15 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には, EV_{SS} または V_{SS} に接続してください。

フラッシュ・メモリ・プログラミング・モード時には, フラッシュ・メモリ・プログラマと必ず接続してください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-9に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

表2-9 各端子の入出力回路タイプ (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P05/SSI11/TI001			
P06/TI011/TO01			
P10/SCK10/TxD61			
P11/SI10/RxD61			
P12/SO10	注1		
P13/TxD60			
P14/RxD60	5-AH		
P15/TOH0	注1		
P16/TOH1/INTP5	5-AH		
P17/TI50/TO50			
P30/INTP1			
P31/TI002/INTP2 ^{注2}			
P32/TI012/TO02/INTP3			
P33/TI51/TO51/INTP4			
P40, P41	注1		
P42-P47	5-AG		
P50-P57			
P60-P63	13-P		入力時：EV _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P64-P67	5-AG		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください

注 1. 「5-H」タイプ : 78K0/FC2

「5-AG」タイプ : 78K0/FE2, 78K0/FF2

2. フラッシュ・メモリ・プログラマによる書き込みをする場合，P31/TI002/INTP2を次のように処理してください。

・ P31/TI002/INTP2 : 抵抗 (10 kΩ : 推奨) を介してEV_{SS}に接続してください。

セルフ・プログラミングによる書き込みをする場合，上記の処置は必要ありません。

表2-9 各端子の入出力回路タイプ (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/CTxD	注1		
P71/CRxD	5-AH		
P72/PCL/INTP6			
P73/BUZ/INTP7			
P74/SO11			
P75/SI11	5-AH		
P76/SCK11			
P80/ANI0-P87/ANI7 ^{注2}	11-G	入出力	<アナログ設定時> AV _{REF} またはAV _{SS} に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P90/ANI8-P97/ANI15 ^{注2}			
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください
P121/X1 ^{注3, 4}	37		
P122/X2/EXCLK ^{注3}			
P123/XT1 ^{注3}			
P124/XT2/EXCLKS ^{注3}			
P130	3-C	出力	オープンにしてください
P131/TI003	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください
P132/TI013/TO03			
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
AV _{REF}	-	-	EV _{DD} またはV _{DD} に直接接続してください。 ^{注5}
AV _{SS}			EV _{SS} またはV _{SS} に直接接続してください。
FLMD0			EV _{SS} またはV _{SS} に接続してください。

注 1. 「5-H」タイプ : 78K0/FC2

「5-AG」タイプ : 78K0/FE2, 78K0/FF2

- リセット解除後はアナログ入力モードになります。
- 未使用時は，入出力ポート・モード (図6-6 クロック動作モード選択レジスタ (OSCCTL) のフォーマットを参照) で上記の推奨接続方法を行ってください。
- フラッシュ・メモリ・プログラマによる書き込みをする場合，P121/X1を次のように処理してください。
・P121/X1をポートとして使用する場合は，抵抗 (10 kΩ : 推奨) を介してV_{SS}に接続 (入力時) またはオープン (出力時) にしてください。
セルフ・プログラミングによる書き込みをする場合，上記の処置は必要ありません。
- ポート8, ポート9をデジタル・ポートとして使用する場合，EV_{DD}に直接接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)

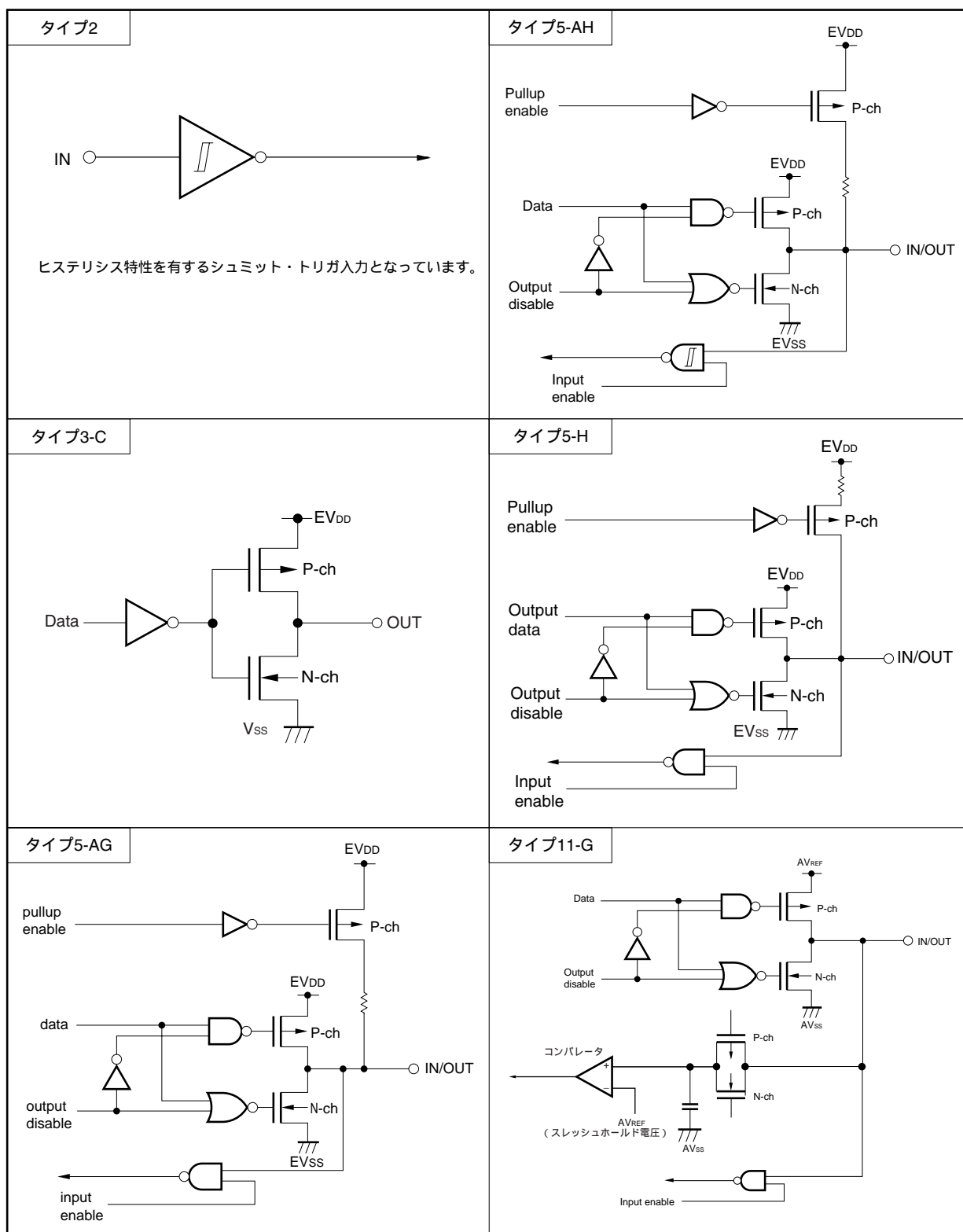
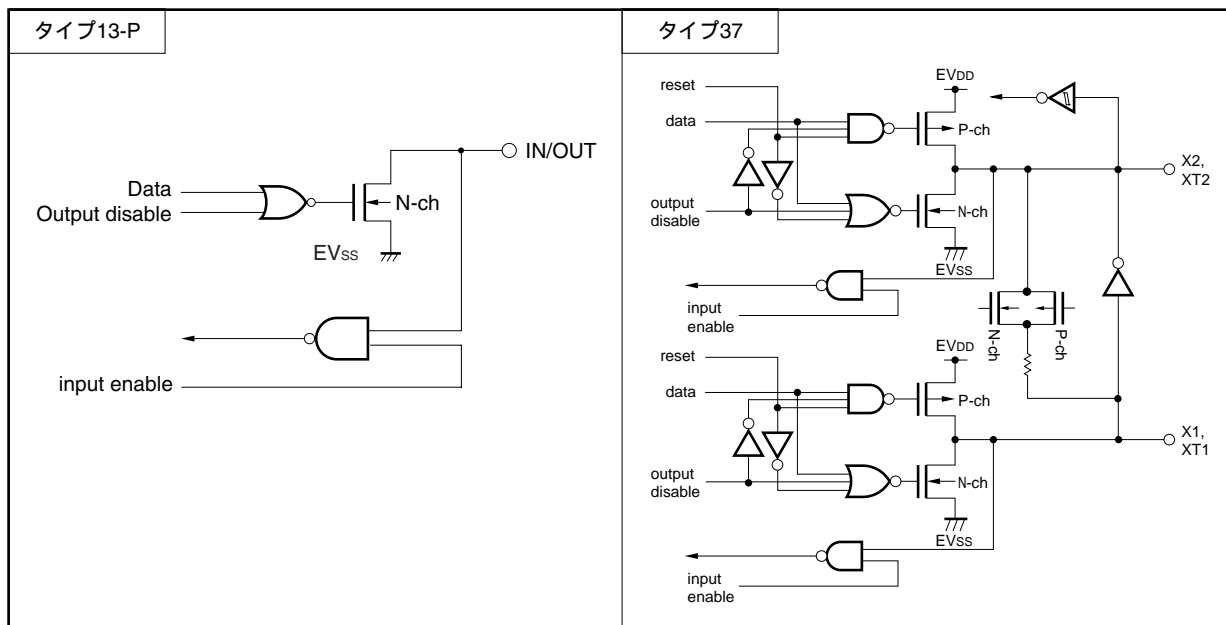


図2 - 1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0/Fx2マイクロコントローラは64 Kバイトのメモリ空間をアクセスできます。図3 - 1 ~ 3 - 5に、メモリ・マップを示します。

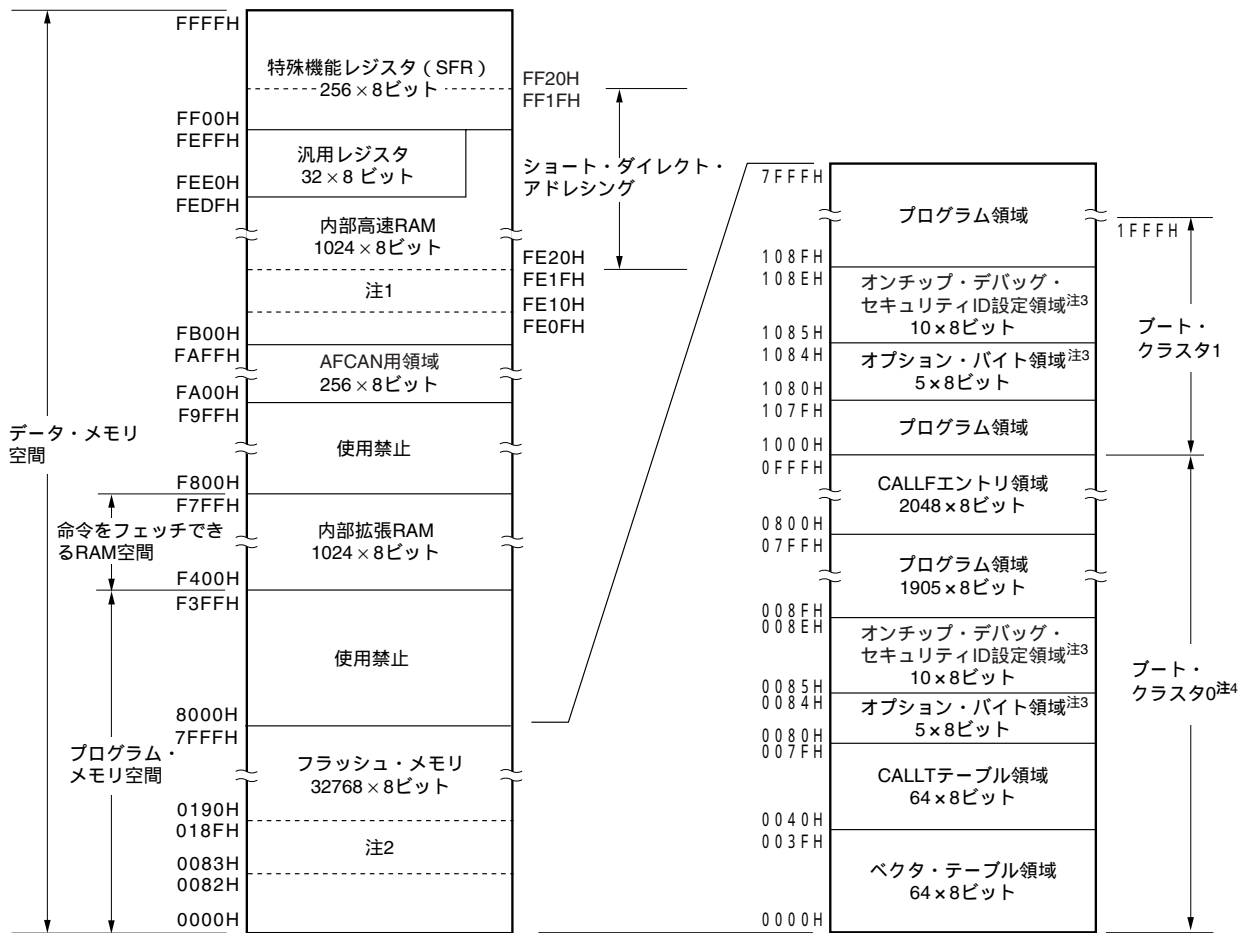
- 注意 1. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Fx2マイクロコントローラのすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、製品ごとに次に示す値を必ず設定してください。
2. メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

78K0/FC2		78K0/FE2	78K0/FF2	IMS	IXS	ROM 容量	内部高速 RAM容量	内部拡張 RAM容量
44ピン	48ピン							
μ PD78F0881A	μ PD78F0884A	-	-	C8H	0AH	32 K バイト	1 K バイト	1 K バイト
μ PD78F0882A	μ PD78F0885A	μ PD78F0887A	-	CCH	08H	48 K バイト		2 K バイト
μ PD78F0883A	μ PD78F0886A	μ PD78F0888A	μ PD78F0891A	CFH	08H	60 K バイト		2 K バイト
-	μ PD78F0894A	μ PD78F0889A	μ PD78F0892A	CCH ^注	04H	96 K バイト		4 K バイト
-	μ PD78F0895A	μ PD78F0890A	μ PD78F0893A	CCH ^注	00H	128 K バイト		6 K バイト

注 μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aの内部ROM容量は、それぞれ96 Kバイトと128 Kバイトですが、メモリ・バンクを使用するため、内部ROM容量が48 Kバイトの製品と同じ設定値になります。メモリ・バンクの設定については、第4章 **メモリ・バンク切り替え機能** (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ) を参照してください。

図3-1 メモリ・マップ (μPD78F0881A, 78F0884A)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (23.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

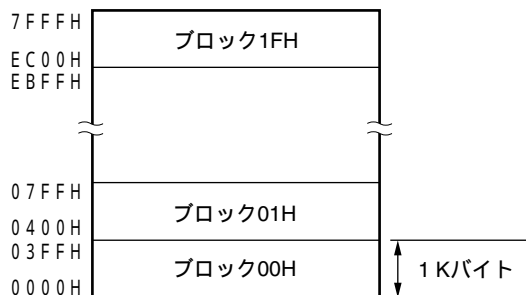
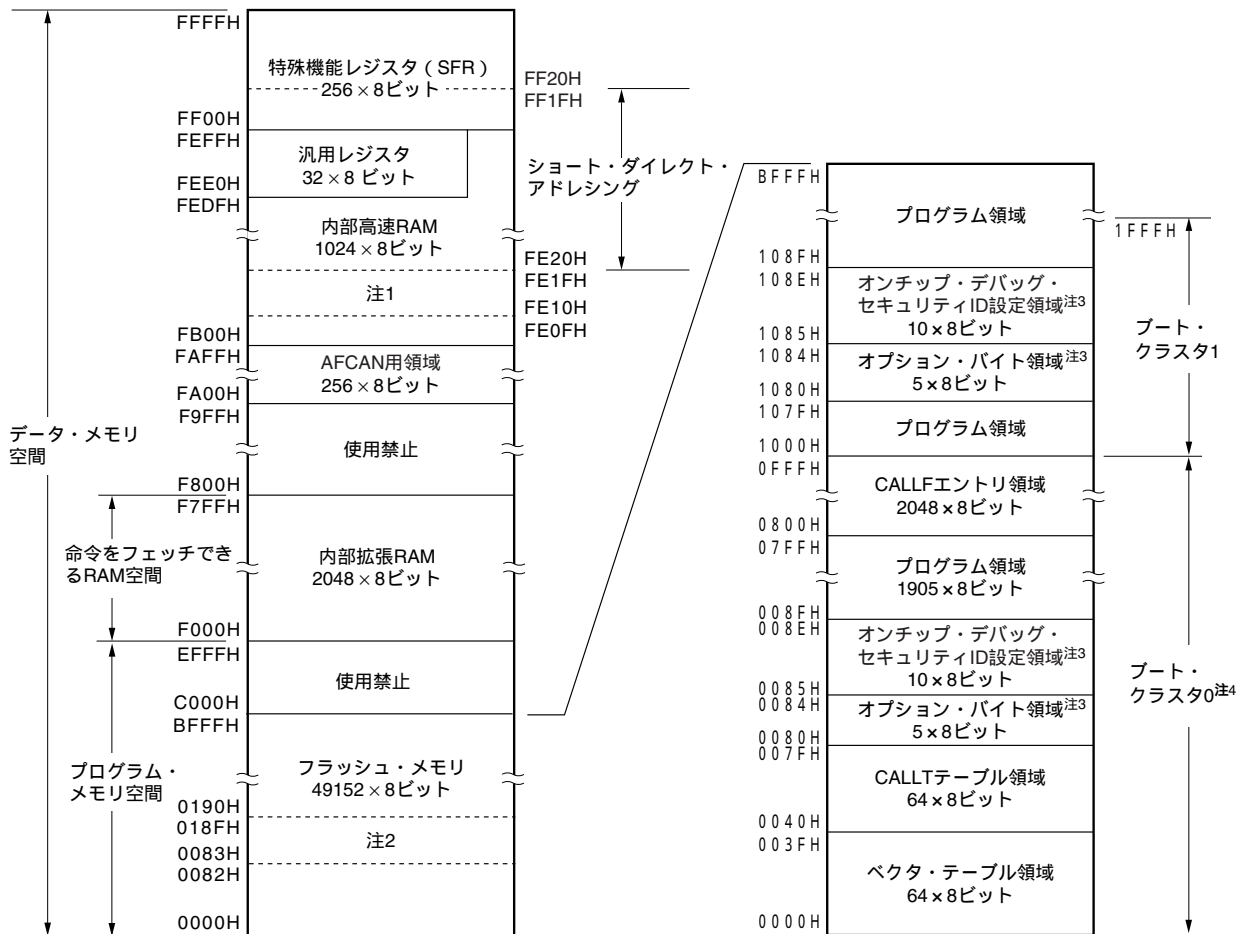


図3-2 メモリ・マップ (μPD78F0882A, 78F0885A, 78F0887A)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (23.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

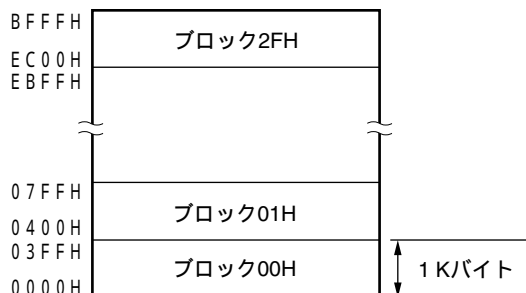
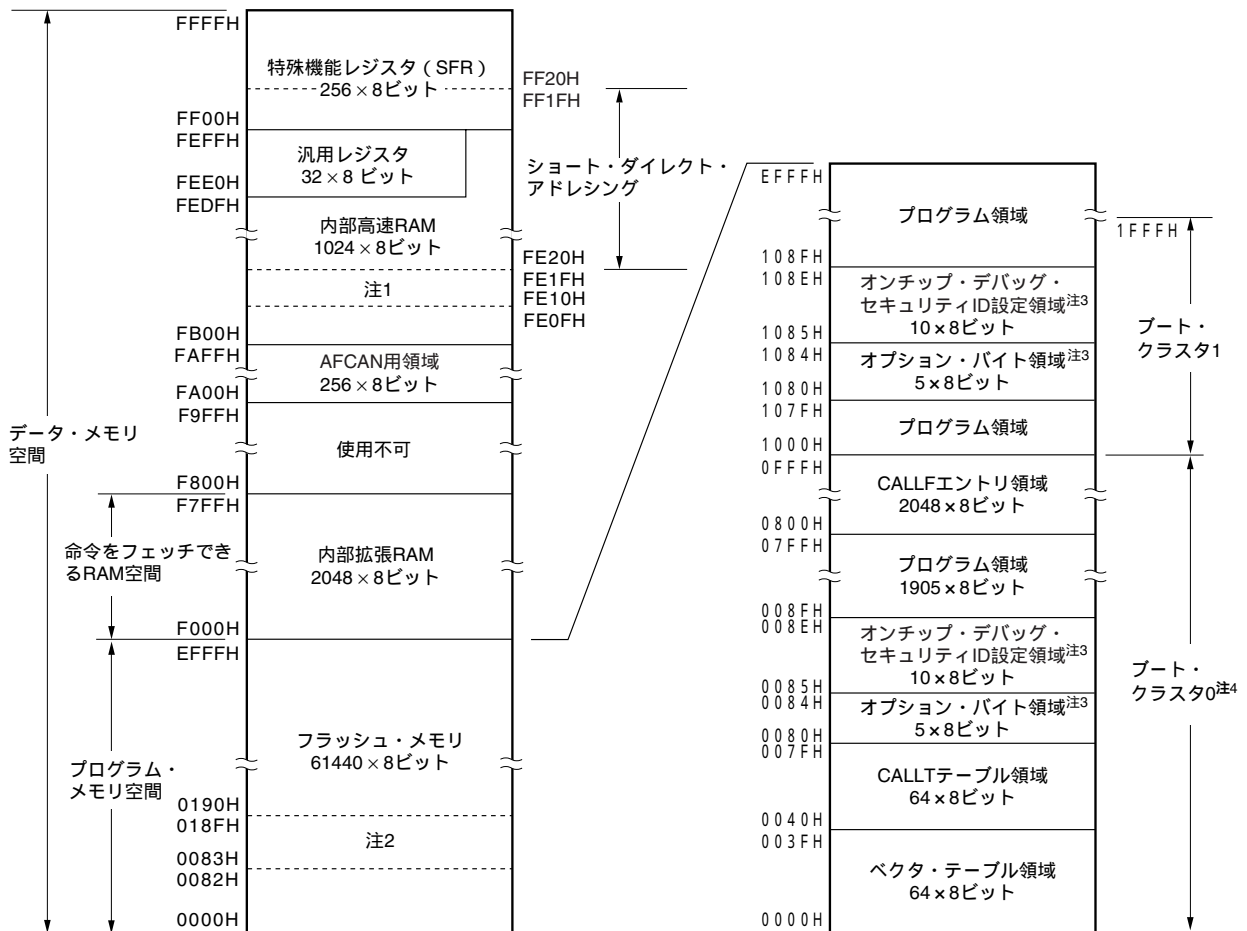


図3-3 メモリ・マップ (μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A)

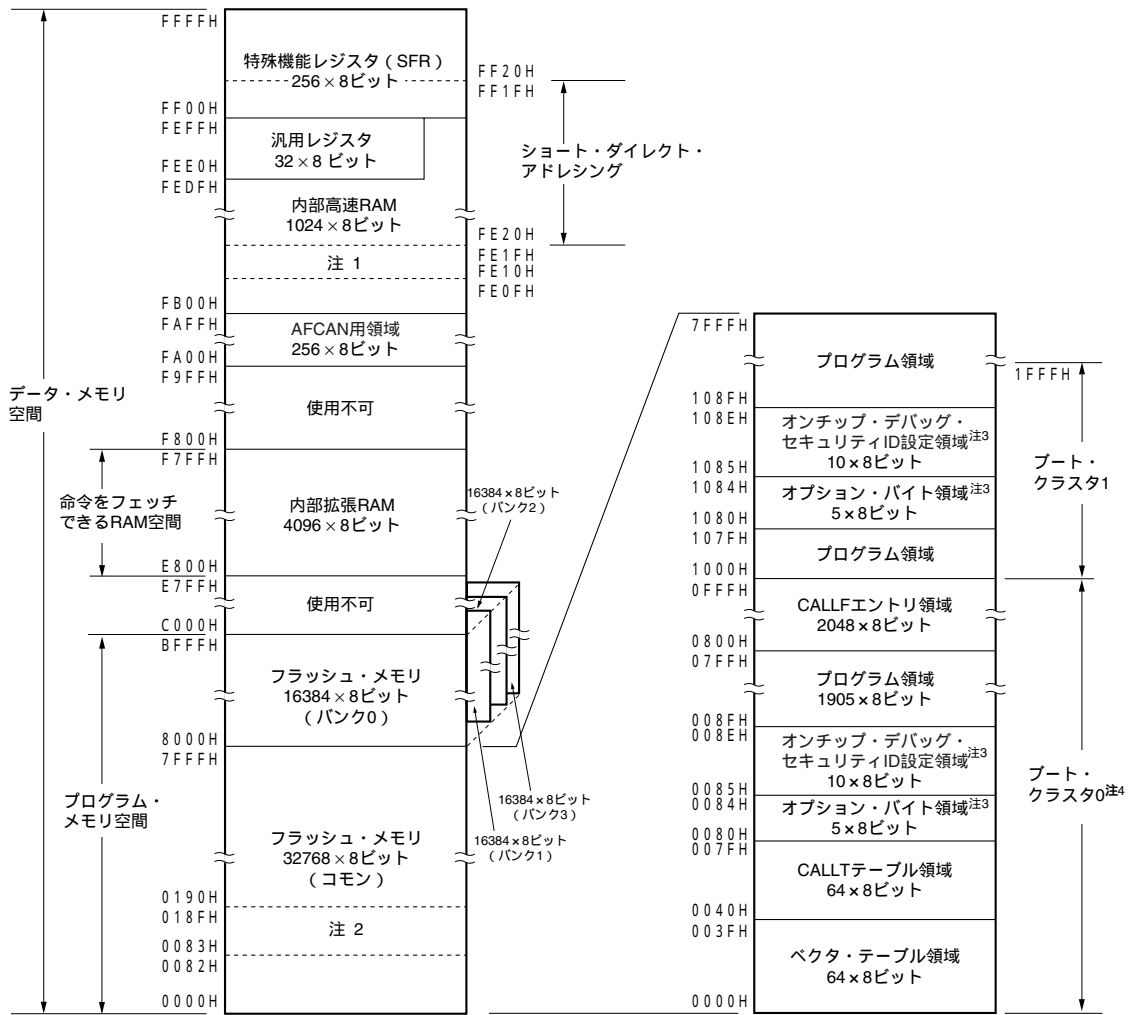


- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (23.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



図3-4 メモリ・マップ (μPD78F0889A, 78F0892A, 78F0894A)

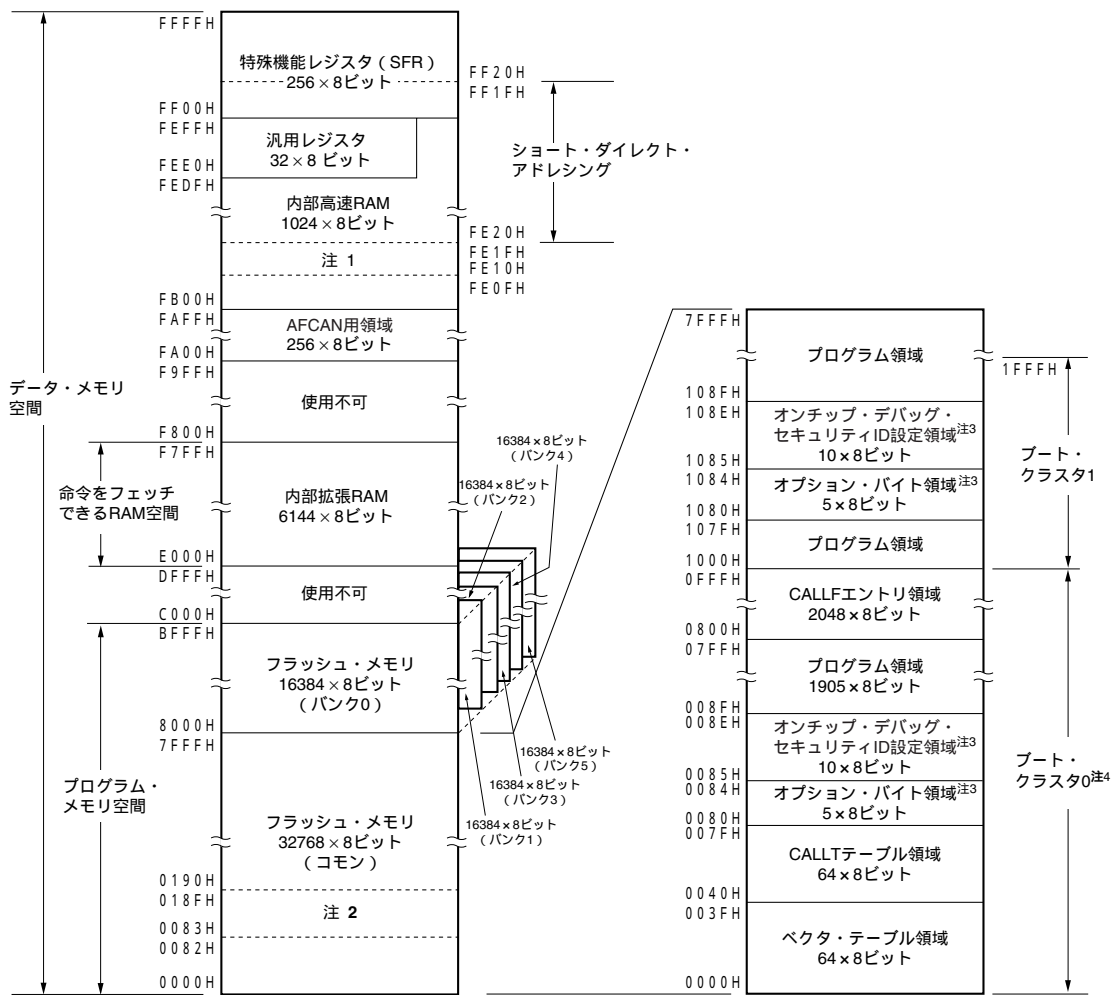


- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (24.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

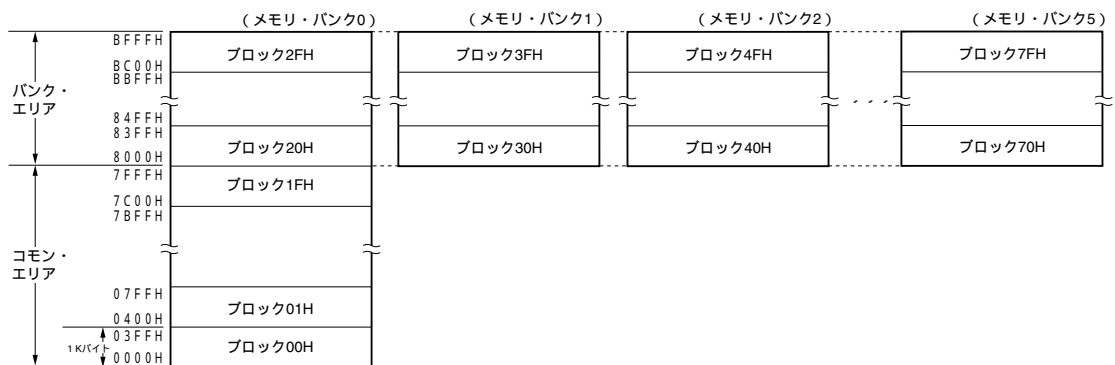
	(メモリ・バンク0)	(メモリ・バンク1)	(メモリ・バンク2)	(メモリ・バンク3)
バンク・エリア	8000H 7FFFH	ブロック20H	ブロック30H	ブロック40H
	84FFH 83FFH	ブロック2FH	ブロック3FH	ブロック4FH
共通・エリア	0000H 03FFH	ブロック00H		
	0400H	ブロック01H		
	07FFH	ブロック1FH		
	7C00H 7BFFH	ブロック2FH	ブロック3FH	ブロック4FH

図3-5 メモリ・マップ (μPD78F0890A, 78F0893A, 78F0895A)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。
3. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
4. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (24.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3 - 2 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/2)

(1) μ PD78F088xA (x = 1-8) , 78F0891A

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-03FFH	00H	4000H-43FFH	10H	8000H-83FFH	20H	C000H-C3FFH	30H
0400H-07FFH	01H	4400H-47FFH	11H	8400H-87FFH	21H	C400H-C7FFH	31H
0800H-0BFFH	02H	4800H-4BFFH	12H	8800H-8BFFH	22H	C800H-CBFFH	32H
0C00H-0FFFH	03H	4C00H-4FFFH	13H	8C00H-8FFFH	23H	CC00H-CFFFH	33H
1000H-13FFH	04H	5000H-53FFH	14H	9000H-93FFH	24H	D000H-D3FFH	34H
1400H-17FFH	05H	5400H-57FFH	15H	9400H-97FFH	25H	D400H-D7FFH	35H
1800H-1BFFH	06H	5800H-5BFFH	16H	9800H-9BFFH	26H	D800H-DBFFH	36H
1C00H-1FFFH	07H	5C00H-5FFFH	17H	9C00H-9FFFH	27H	DC00H-DFFFH	37H
2000H-23FFH	08H	6000H-63FFH	18H	A000H-A3FFH	28H	E000H-E3FFH	38H
2400H-27FFH	09H	6400H-67FFH	19H	A400H-A7FFH	29H	E400H-E7FFH	39H
2800H-2BFFH	0AH	6800H-6BFFH	1AH	A800H-ABFFH	2AH	E800H-EBFFH	3AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH	AC00H-AFFFH	2BH	EC00H-EFFFH	3BH
3000H-33FFH	0CH	7000H-73FFH	1CH	B000H-B3FFH	2CH		
3400H-37FFH	0DH	7400H-77FFH	1DH	B400H-B7FFH	2DH		
3800H-3BFFH	0EH	7800H-7BFFH	1EH	B800H-BBFFH	2EH		
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH	BC00H-BFFFH	2FH		

備考 μ PD78F0881A, 78F0884A : ブロック番号00H-1FH
 μ PD78F0882A, 78F0885A, 78F0887A : ブロック番号00H-2FH
 μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A : ブロック番号00H-3BH

表3 - 2 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/2)

(2) μ PD78F0889A, 78F089xA (x = 0, 2-5)

アドレス値	ブロック番号	アドレス値	メモリ・バンク	ブロック番号	アドレス値	メモリ・バンク	ブロック番号	アドレス値	メモリ・バンク	ブロック番号
0000H-03FFH	00H	8000H-83FFH	0	20H	8000H-83FFH	2	40H	8000H-83FFH	4	60H
0400H-07FFH	01H	8400H-87FFH		21H	8400H-87FFH		41H	8400H-87FFH		61H
0800H-0BFFH	02H	8800H-8BFFH		22H	8800H-8BFFH		42H	8800H-8BFFH		62H
0C00H-0FFFH	03H	8C00H-8FFFH		23H	8C00H-8FFFH		43H	8C00H-8FFFH		63H
1000H-13FFH	04H	9000H-93FFH		24H	9000H-93FFH		44H	9000H-93FFH		64H
1400H-17FFH	05H	9400H-97FFH		25H	9400H-97FFH		45H	9400H-97FFH		65H
1800H-1BFFH	06H	9800H-9BFFH		26H	9800H-9BFFH		46H	9800H-9BFFH		66H
1C00H-1FFFH	07H	9C00H-9FFFH		27H	9C00H-9FFFH		47H	9C00H-9FFFH		67H
2000H-23FFH	08H	A000H-A3FFH		28H	A000H-A3FFH		48H	A000H-A3FFH		68H
2400H-27FFH	09H	A400H-A7FFH		29H	A400H-A7FFH		49H	A400H-A7FFH		69H
2800H-2BFFH	0AH	A800H-ABFFH		2AH	A800H-ABFFH		4AH	A800H-ABFFH		6AH
2C00H-2FFFH	0BH	AC00H-AFFFH		2BH	AC00H-AFFFH		4BH	AC00H-AFFFH		6BH
3000H-33FFH	0CH	B000H-B3FFH		2CH	B000H-B3FFH		4CH	B000H-B3FFH		6CH
3400H-37FFH	0DH	B400H-B7FFH		2DH	B400H-B7FFH		4DH	B400H-B7FFH		6DH
3800H-3BFFH	0EH	B800H-BBFFH		2EH	B800H-BBFFH		4EH	B800H-BBFFH		6EH
3C00H-3FFFH	0FH	BC00H-BFFFH		2FH	BC00H-BFFFH		4FH	BC00H-BFFFH		6FH
4000H-43FFH	10H	8000H-83FFH		1	30H		8000H-83FFH	3		50H
4400H-47FFH	11H	8400H-87FFH	31H		8400H-87FFH	51H	8400H-87FFH		71H	
4800H-4BFFH	12H	8800H-8BFFH	32H		8800H-8BFFH	52H	8800H-8BFFH		72H	
4C00H-4FFFH	13H	8C00H-8FFFH	33H		8C00H-8FFFH	53H	8C00H-8FFFH		73H	
5000H-53FFH	14H	9000H-93FFH	34H		9000H-93FFH	54H	9000H-93FFH		74H	
5400H-57FFH	15H	9400H-97FFH	35H		9400H-97FFH	55H	9400H-97FFH		75H	
5800H-5BFFH	16H	9800H-9BFFH	36H		9800H-9BFFH	56H	9800H-9BFFH		76H	
5C00H-5FFFH	17H	9C00H-9FFFH	37H		9C00H-9FFFH	57H	9C00H-9FFFH		77H	
6000H-63FFH	18H	A000H-A3FFH	38H		A000H-A3FFH	58H	A000H-A3FFH		78H	
6400H-67FFH	19H	A400H-A7FFH	39H		A400H-A7FFH	59H	A400H-A7FFH		79H	
6800H-6BFFH	1AH	A800H-ABFFH	3AH		A800H-ABFFH	5AH	A800H-ABFFH		7AH	
6C00H-6FFFH	1BH	AC00H-AFFFH	3BH		AC00H-AFFFH	5BH	AC00H-AFFFH		7BH	
7000H-73FFH	1CH	B000H-B3FFH	3CH		B000H-B3FFH	5CH	B000H-B3FFH		7CH	
7400H-77FFH	1DH	B400H-B7FFH	3DH		B400H-B7FFH	5DH	B400H-B7FFH		7DH	
7800H-7BFFH	1EH	B800H-BBFFH	3EH		B800H-BBFFH	5EH	B800H-BBFFH		7EH	
7C00H-7FFFH	1FH	BC00H-BFFFH	3FH		BC00H-BFFFH	5FH	BC00H-BFFFH		7FH	

備考 μ PD78F0889A, 78F0892A, 78F0894A : ブロック番号00H-5FH
 μ PD78F0890A, 78F0893A, 78F0895A : ブロック番号00H-7FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスします。

78K0/Fx2マイクロコントローラは、次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3-3 内部ROM容量

78K0/FC2		78K0/FE2	78K0/FF2	内部ROM
44ピン	48ピン			容 量
μ PD78F0881A	μ PD78F0884A	-	-	32768×8ビット (0000H-7FFFH)
μ PD78F0882A	μ PD78F0885A	μ PD78F0887A	-	49152×8ビット (0000H-8FFFH)
μ PD78F0883A	μ PD78F0886A	μ PD78F0888A	μ PD78F0891A	61440×8ビット (0000H-EFFFH)
-	μ PD78F0894A	μ PD78F0889A	μ PD78F0892A	98304×8ビット (0000H-7FFFH (コモン・エリア: 32 KB) + 8000H-BFFFH (バンク・エリア: 16 KB) × 4)
-	μ PD78F0895A	μ PD78F0890A	μ PD78F0893A	131072×8ビット (0000H-7FFFH (コモン・エリア: 32 KB) + 8000H-BFFFH (バンク・エリア: 16 KB) × 6)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・コード領域

0000H-003FHの64バイト領域はベクタ・コード領域として予約されています。ベクタ・コード領域には、リセット信号入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-4 ベクタ・コード

ベクタ・テーブル・アドレス	割り込み要因	FC2	FE2	FF2
0000H	RESET入力, POC, LVI, WDT			
0004H	INTLVI			
0006H	INTP0			
0008H	INTP1			
000AH	INTP2/INTTM002	INTP2 ^{注1}		
000CH	INTP3/INTTM012	INTP3 ^{注2}		
000EH	INTP4/INTTM003	INTP4 ^{注3}		
0010H	INTP5/INTTM013	INTP5 ^{注4}		
0012H	INTC0ERR			
0014H	INTC0WUP			
0016H	INTC0REC			
0018H	INTC0TRX			
001AH	INTSRE60			
001CH	IINTSR60			
001EH	INTST60			
0020H	INTCSI10/INTSRE61			
0022H	INTP6/INTSR61			
0024H	INTP7/INTST61			
0026H	INTTMH1			
0028H	INTTMH0			
002AH	INTTM50			
002CH	INTTM000			
002EH	INTYM010			
0030H	INTAD			
0032H	INTWTI/INTDMU			
0034H	INTTM51			
0036H	INTWT			
0038H	INTCSI11	-		
003AH	INTTM001			
003CH	INTTM011			
003EH	BRK			

注1. INTP2のみ

2. INTP3のみ

3. INTP4のみ

4. INTP5のみ

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080Hの1バイト領域にオプション・バイト領域を用意しています。詳細は第23章 オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域

0085H-008EH, 1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第25章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 メモリ・バンク (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ)

μ PD78F0889A, 78F0892A, 78F0894Aはメモリ・バンク0-3, μ PD78FF0890A, 78F0893A, 78F0895Aはメモリ・バンク0-5が次のように配置されています。

メモリ・バンクの切り替えは、メモリ・バンク選択レジスタ（BANK）で行います（4.3 **メモリ・バンク選択レジスタ（BANK）**を参照）。

- 注意1. 異なるメモリ・バンク間で命令フェッチはできません。
- 異なるメモリ・バンク間での分岐，アクセスは直接実行できません。異なるメモリ・バンク間で分岐，アクセスをする場合は，コモン・エリアを経由してください。
 - 割り込み処理はコモン・エリアに配置してください。
 - 7FFFHから8000Hにまたがる命令は，メモリ・バンク0のみ実行可能です。

図3 - 6 内部ROM（フラッシュ・メモリ）配置（1/2）

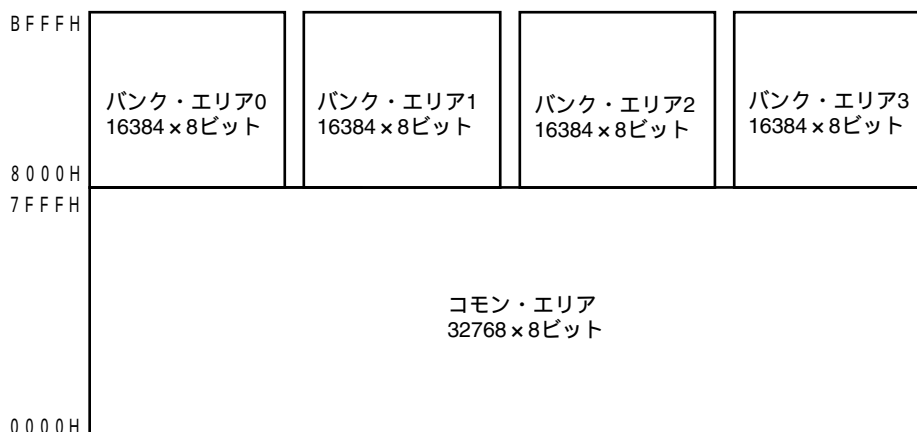
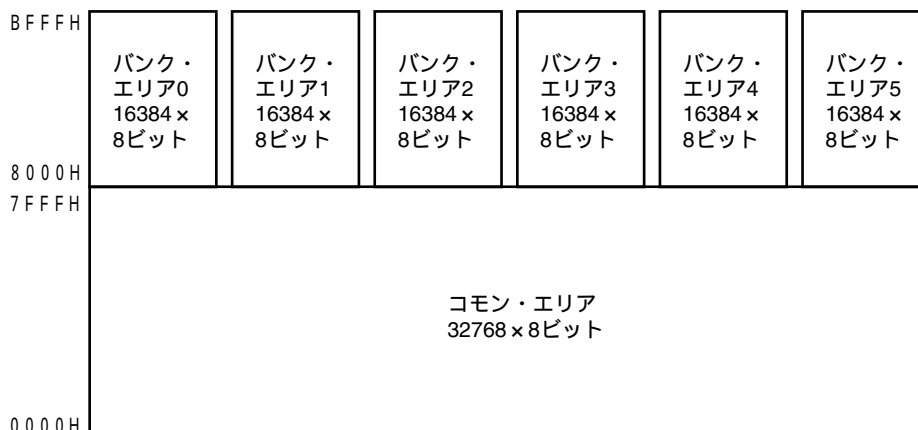
(a) μ PD78F0889A, 78F0892A, 78F0894A

図3 - 6 内部ROM (フラッシュ・メモリ) 配置 (2/2)

(b) μ PD78F0890A, 78F0893A, 78F0895A



バンク番号, CPUアドレスとフラッシュ実アドレスの関係を次に示します。

表3 - 5 バンク番号, CPUアドレスとフラッシュ実アドレス対応表

(a) μ PD78F0889A, 78F0892A, 78F0894A

バンク番号	CPUアドレス	フラッシュ実アドレス
-	0000H-7FFFH (コモン・エリア)	00000H-07FFFH
0	8000H-BFFFH	08000H-0BFFFH
1		0C000H-0FFFFH
2		10000H-13FFFH
3		14000H-17FFFH
4以上	設定禁止	

(b) μ PD78F0890A, 78F0893A, 78F0895A

バンク番号	CPUアドレス	フラッシュ実アドレス
-	0000H-7FFFH (コモン・エリア)	00000H-07FFFH
0	8000H-BFFFH	08000H-0BFFFH
1		0C000H-0FFFFH
2		10000H-13FFFH
3		14000H-17FFFH
4		18000H-1BFFFH
5		1C000H-1FFFFH
6以上	設定禁止	

3.1.3 内部データ・メモリ空間

78K0/Fx2マイクロコントローラは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

表3 - 6 内部高速RAM容量

78K0/FC2		78K0/FE2	78K0/FF2	内部高速RAM
44ピン	48ピン			容 量
μ PD78F0881A	μ PD78F0884A	-	-	1024 × 8ビット (FB00H-FEFFFH)
μ PD78F0882A	μ PD78F0885A	μ PD78F0887A	-	
μ PD78F0883A	μ PD78F0886A	μ PD78F0888A	μ PD78F0891A	
-	μ PD78F0894A	μ PD78F0889A	μ PD78F0892A	
-	μ PD78F0895A	μ PD78F0890A	μ PD78F0893A	

このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、内部高速RAMはスタック・メモリとしても使用できます。

(2) 内部拡張RAM

表3 - 7 内部拡張RAM容量

78K0/FC2		78K0/FE2	78K0/FF2	内部高速RAM
44ピン	48ピン			容 量
μ PD78F0881A	μ PD78F0884A	-	-	1024 × 8ビット (F400H-F7FFFH)
μ PD78F0882A	μ PD78F0885A	μ PD78F0887A	-	2048 × 8ビット (F000H-F7FFFH)
μ PD78F0883A	μ PD78F0886A	μ PD78F0888A	μ PD78F0891A	
-	μ PD78F0894A	μ PD78F0889A	μ PD78F0892A	4096 × 8ビット (E800H-F7FFFH)
-	μ PD78F0895A	μ PD78F0890A	μ PD78F0893A	6144 × 8ビット (E000H-F7FFFH)

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、内部拡張RAMはスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3-8 特殊機能レジスタ一覧参照)。

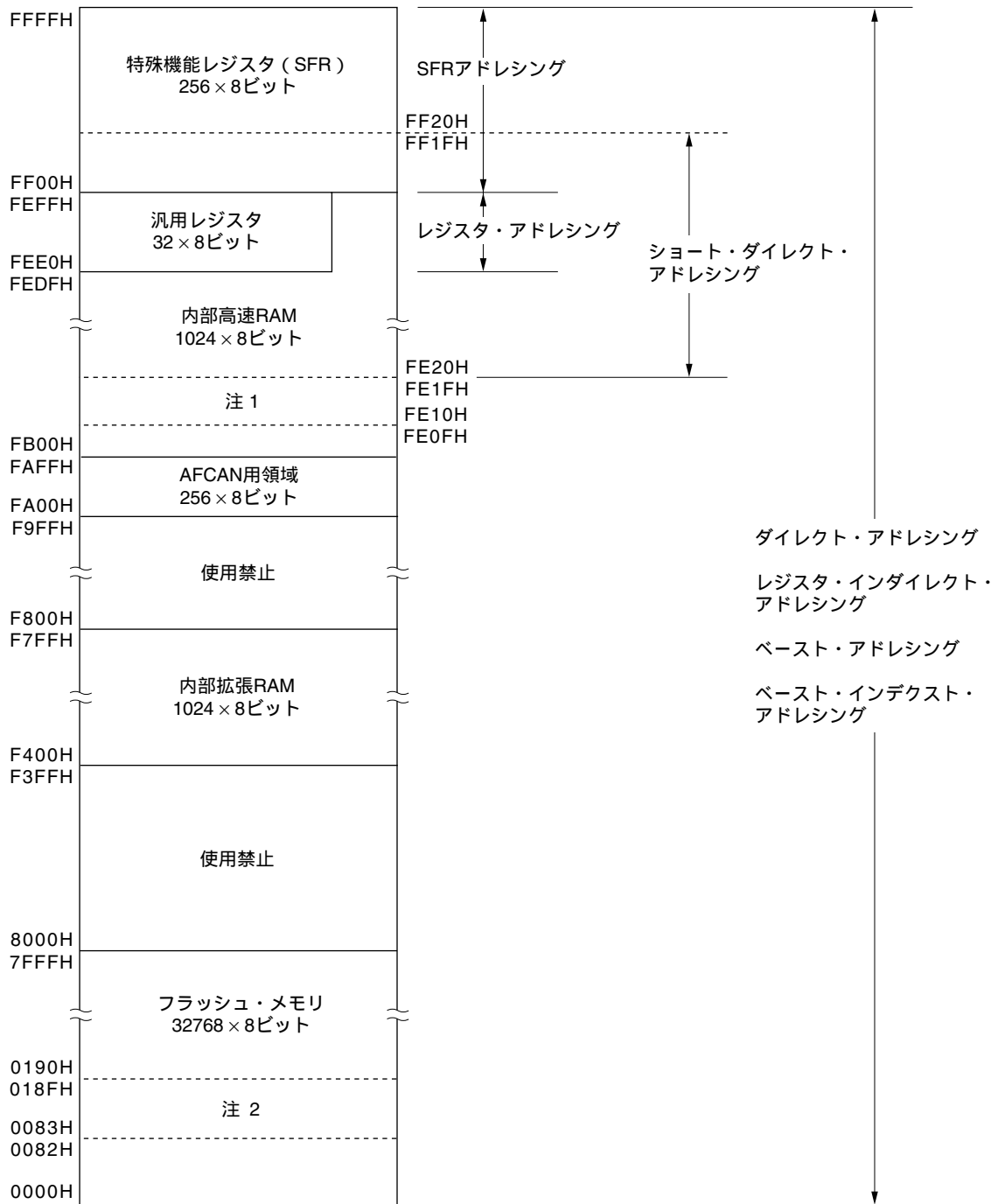
注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

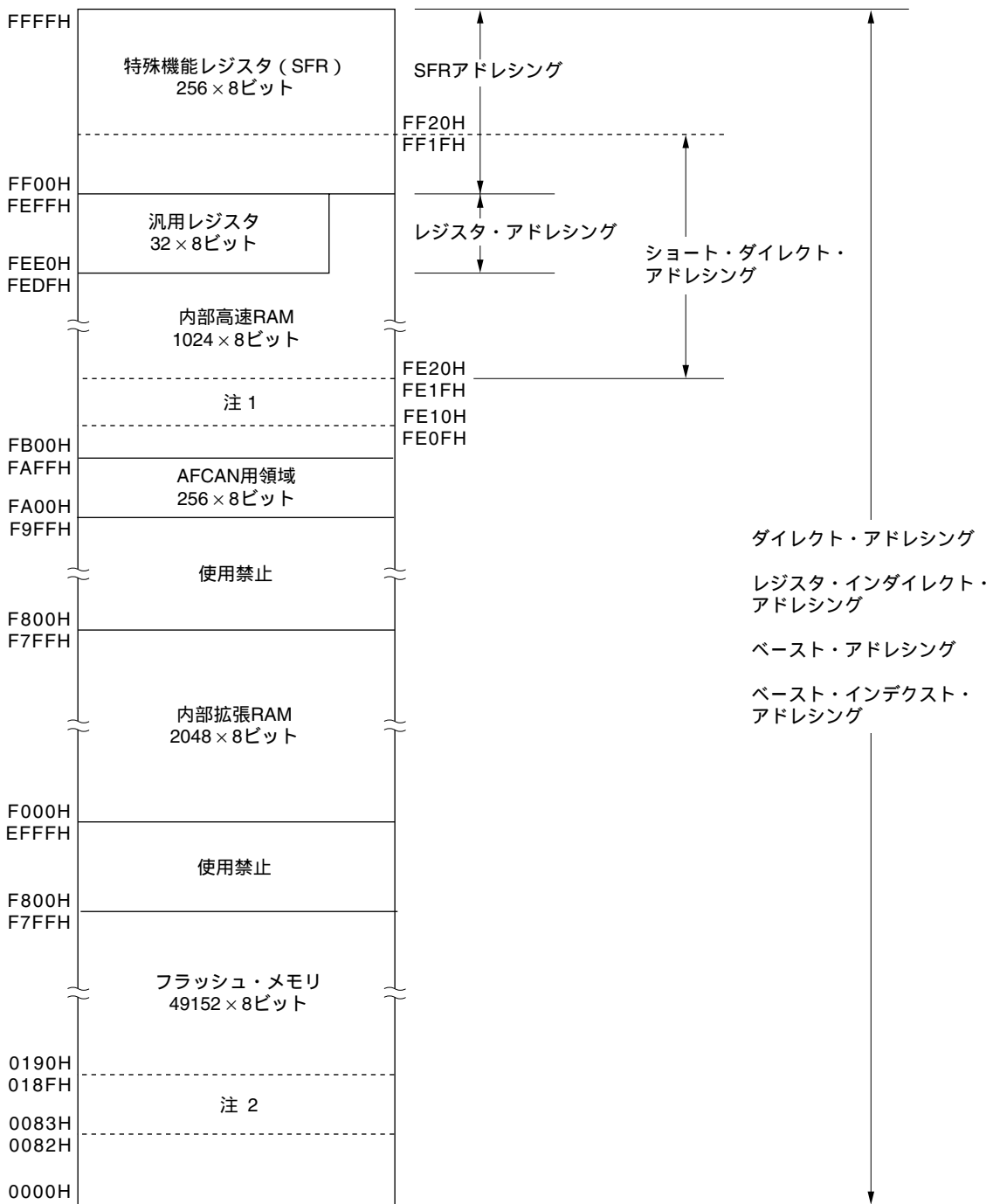
命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Fx2マイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-7~3-11にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-7 データ・メモリとアドレッシングの対応 (μPD78F0881A, 78F0884A)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
 2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

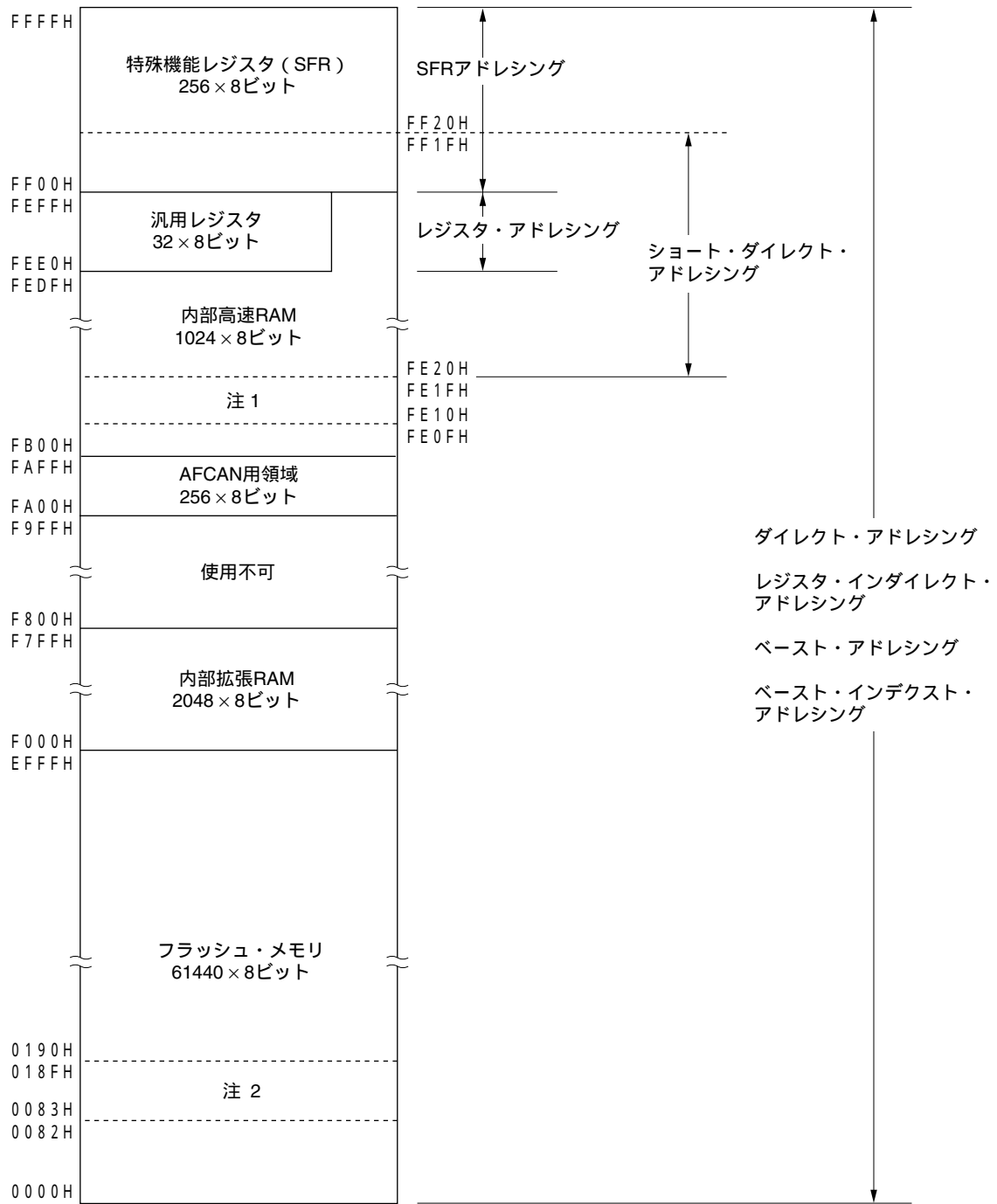
図3 - 8 データ・メモリとアドレッシングの対応 (μPD78F0882A, 78F0885A, 78F0887A)



注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。

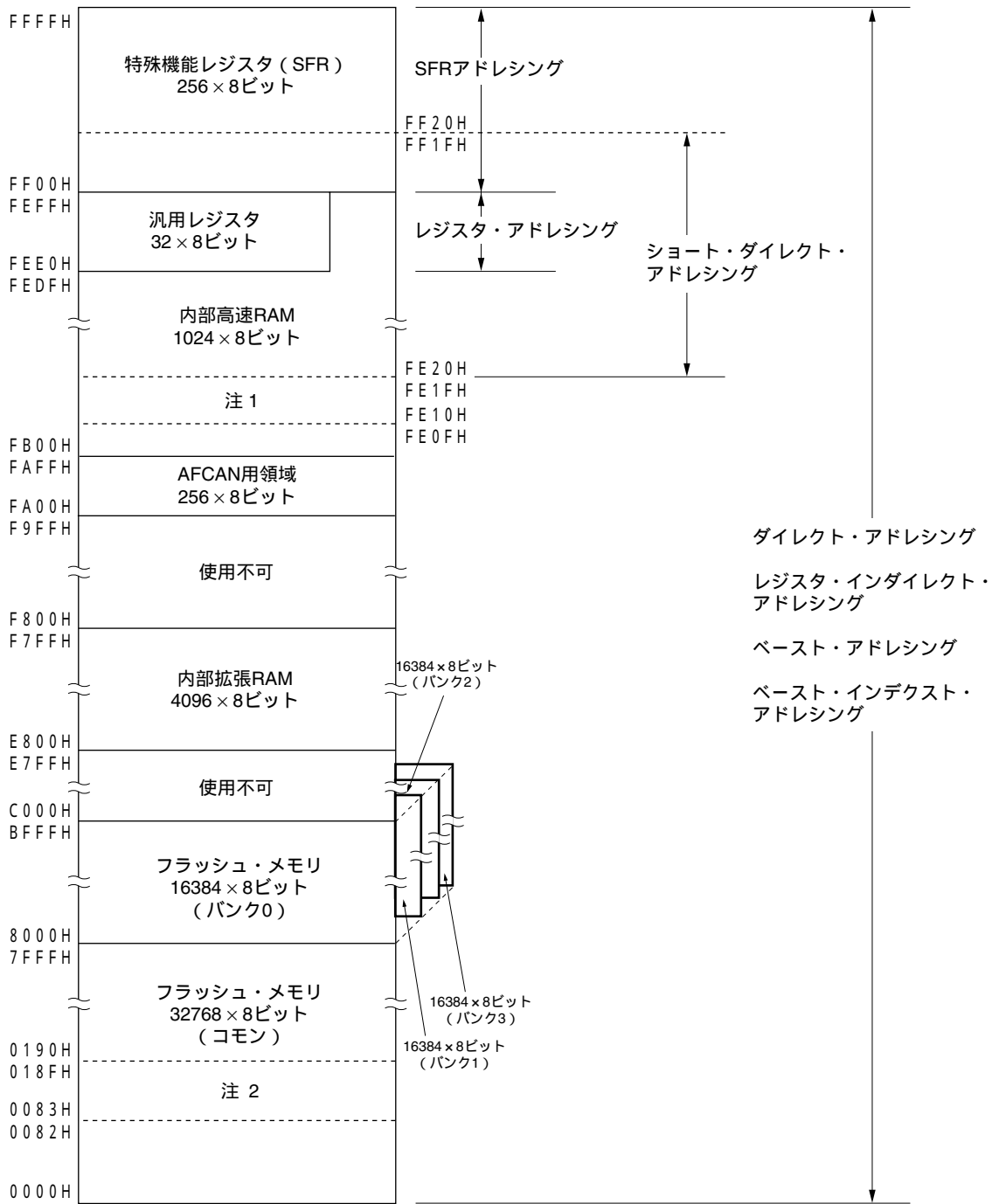
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

図3-9 データ・メモリとアドレッシングの対応 (μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A)



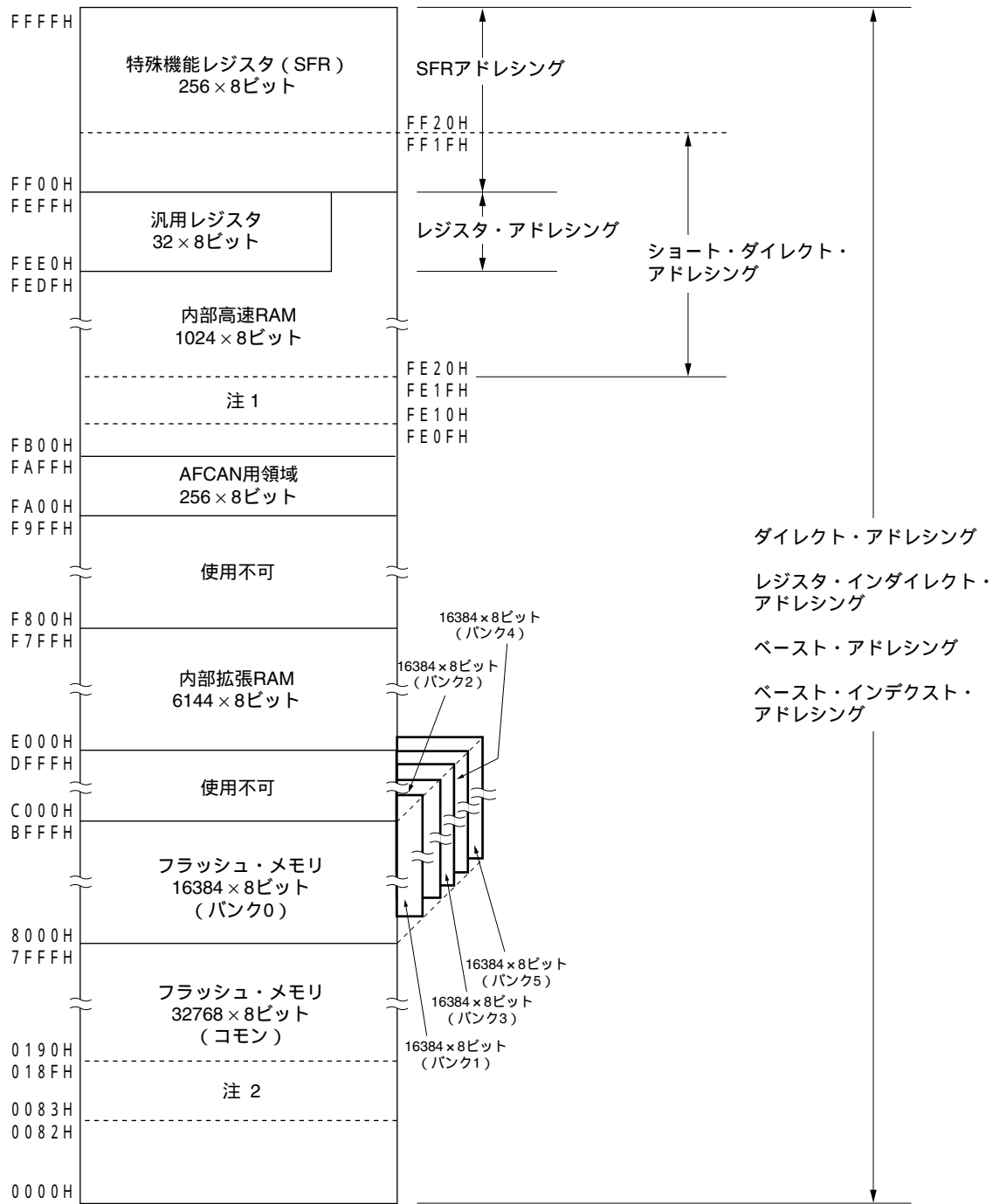
- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

図3 - 10 データ・メモリとアドレッシングの対応 (μ PD78F0889A, 78F0892A, 78F0894A)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
 2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

図3 - 11 データ・メモリとアドレッシングの対応 (μ PD78F0890A, 78F0893A, 78F0895A)



- 注1. オンチップ・デバッグ時は、通信時のユーザ・データのバックアップ領域になるため、使用不可になります。
- 2. オンチップ・デバッグ時は、通信コマンド用領域 (269バイト) となるため、使用不可になります。

3.2 プロセッサ・レジスタ

78K0/Fx2マイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

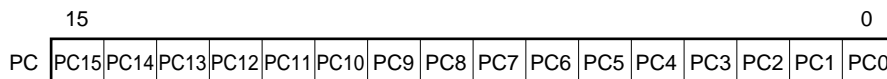
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・コードの値がプログラム・カウンタにセットされます。

図3 - 12 プログラム・カウンタの構成



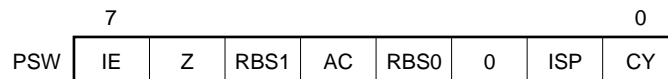
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3 - 13 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (17.3(3) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

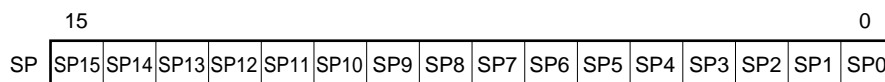
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 14 スタック・ポインタの構成



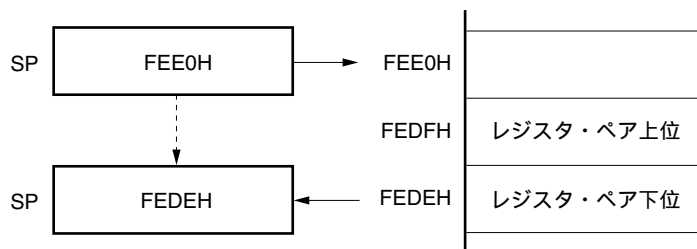
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 15, 3 - 16のようになります。

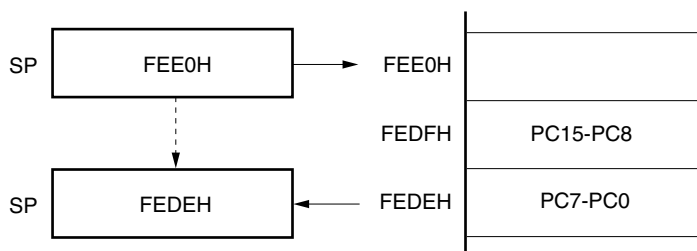
注意 SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 15 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

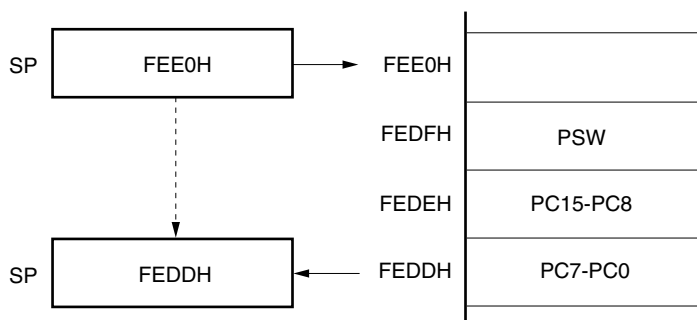
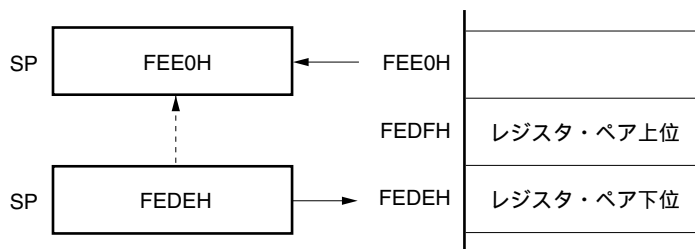
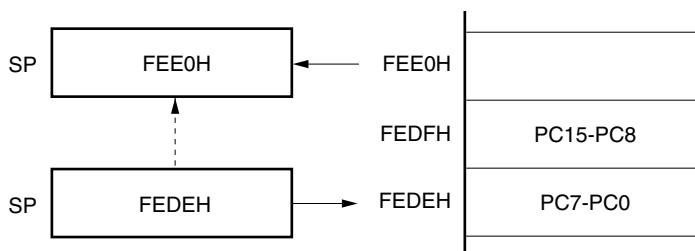


図3 - 16 スタック・メモリから復帰されるデータ

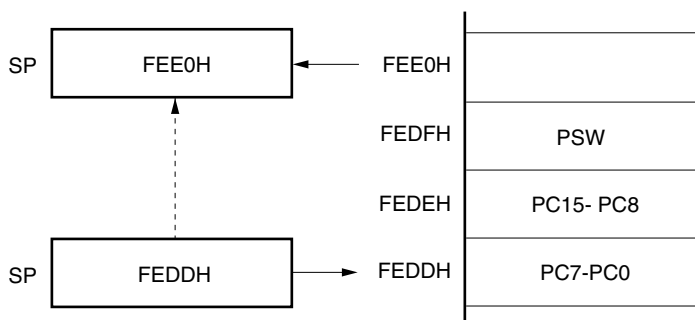
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

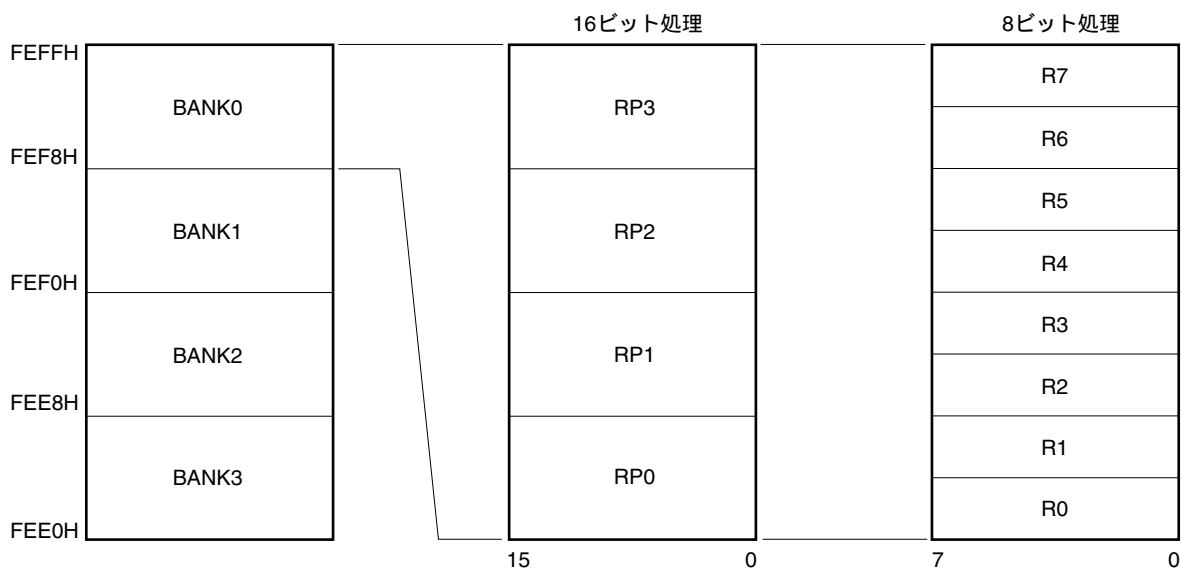
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

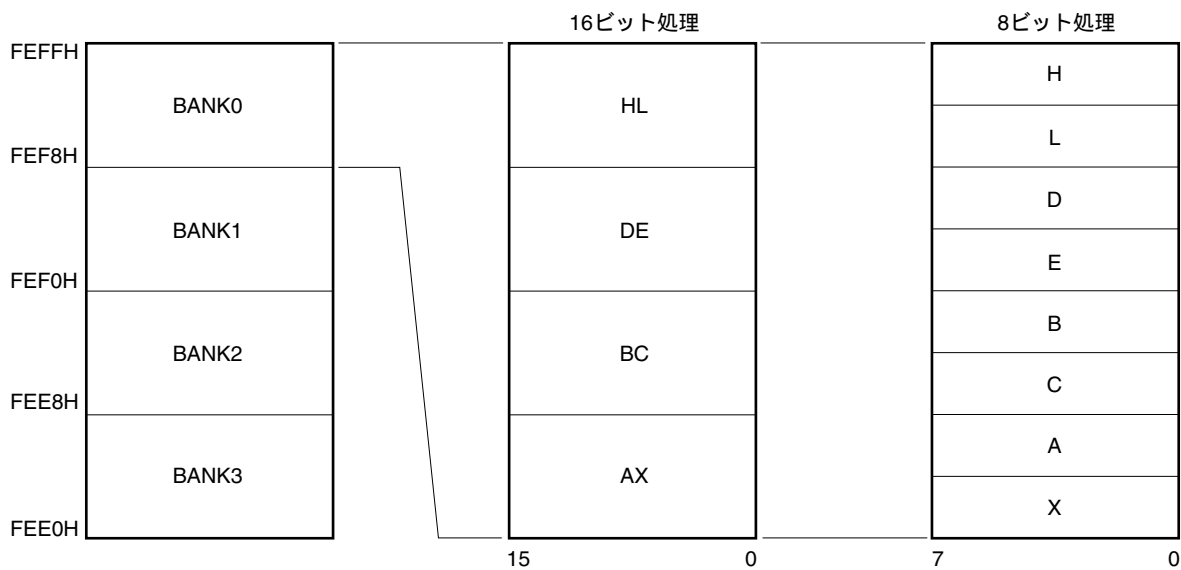
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL Rbn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 17 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 8に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に ,CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

表3-8 特殊機能レジスタ一覧(1/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	F C 2	F E 2	F F 2
				1ビット	8ビット	16ビット				
FF00H	ポート・レジスタ0	P0	R/W			-	00H			
FF01H	ポート・レジスタ1	P1	R/W			-	00H			
FF02H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	-		-	00H			
FF03H	ポート・レジスタ3	P3	R/W			-	00H			
FF04H	ポート・レジスタ4	P4	R/W			-	00H			
FF05H	ポート・レジスタ5	P5	R/W			-	00H	-		
FF06H	ポート・レジスタ6	P6	R/W			-	00H			
FF07H	ポート・レジスタ7	P7	R/W			-	00H			
FF08H	ポート・レジスタ8	P8	R/W			-	00H			
FF09H	ポート・レジスタ9	P9	R/W			-	00H	注		
FF0AH	受信バッファ・レジスタ60	RXB60	R	-		-	FFH			
FF0BH	送信バッファ・レジスタ60	TXB60	R/W	-		-	FFH			
FF0CH	ポート・レジスタ12	P12	R/W			-	00H			
FF0DH	ポート・レジスタ13	P13	R/W			-	00H			
FF0EH	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	-		-	00H			
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H			
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H			
FF11H										
FF12H	16ビット・タイマ・キャプチャ/コンペア・ レジスタ000	CR000	R/W	-	-		0000H			
FF13H										
FF14H	16ビット・タイマ・キャプチャ/コンペア・ レジスタ010	CR010	R/W	-	-		0000H			
FF15H										
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H			
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W			-	00H			
FF18H	10ビットA/D変換結果レジスタ	ADCR	R	-		-	0000H			
FF19H	8ビットA/D変換結果レジスタ	ADCRH	R	-		-	00H			
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-		-	00H			
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-		-	00H			
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H			
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH			
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH			
FF22H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W			-	00H			
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH			
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH			
FF25H	ポート・モード・レジスタ5	PM5	R/W			-	FFH	-		
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH			
FF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH			
FF28H	ポート・モード・レジスタ8	PM8	R/W			-	FFH			
FF29H	ポート・モード・レジスタ9	PM9	R/W			-	FFH	注		
FF2AH	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H			
FF2BH	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H			

注 μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ

表3 - 8 特殊機能レジスタ一覧 (2/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	F C 2	F E 2	F F 2
				1ビット	8ビット	16ビット				
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH			
FF2DH	ポート・モード・レジスタ13	PM13	R/W			-	FEH			
FF2EH	アシンクロナス・シリアル・インタフェース 動作モード・レジスタ61	ASIM61	R/W			-	01H			
FF2FH	アシンクロナス・シリアル・インタフェース 受信エラー・ステータス・レジスタ61	ASIS61	R	-		-	00H			
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H			
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H			
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H			
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H			
FF35H	ブルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H	-		
FF36H	ブルアップ抵抗オプション・レジスタ6	PU6	R/W			-	00H	-	-	
FF37H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H			
FF38H	アシンクロナス・シリアル・インタフェース 送信エラー・ステータス・レジスタ61	ASIF61	R	-		-	00H			
FF39H	クロック選択レジスタ61	CKSR61	R/W	-		-	00H			
FF3AH	受信バッファ・レジスタ61	RXB61	R/W	-		-	FFH			
FF3BH	送信バッファ・レジスタ61	TXB61	R/W	-		-	FFH			
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H			
FF3DH	ブルアップ抵抗オプション・レジスタ13	PU13	R/W			-	00H			
FF3EH	ポー・レート・ジェネレータ・コントロール・ レジスタ61	BRGC61	R/W	-		-	FFH			
FF3FH	アシンクロナス・シリアル・インタフェース・ コントロール・レジスタ61	ASICL61	R/W			-	16H			
FF40H	クロック出力選択レジスタ	CKS	R/W			-	00H			
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W			-	00H			
FF42H	乗除算器コントロール・レジスタ0	DMUC0	R/W			-	00H			
FF43H	8ビット・タイマ・モード・コントロール・ レジスタ51	TMC51	R/W			-	00H			
FF44H	剰余データ・レジスタ0	SDR0	R/W	-			0000H			
FF45H		SDR0L		SDR0H						
FF47H	シリアルI/Oシフト・レジスタ11	SIO11	R	-		-	00H	-		
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H			
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H			
FF4AH	乗除算データ・レジスタA0H	MDA0H	R/W	-			0000H			
FF4BH										
FF4CH	乗除算データ・レジスタA0L	MDA0L	R/W	-			0000H			
FF4DH										
FF4EH	送信バッファ・レジスタ11	SOTB11	R/W	-		-	00H	-		
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H			
FF50H	アシンクロナス・シリアル・インタフェース 動作モード・レジスタ60	ASIM60	R/W			-	01H			
FF51H	プリスケラ・モード・レジスタ03	PRM03	R/W			-	00H	-		

表3 - 8 特殊機能レジスタ一覧 (3/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	F C 2	F E 2	F F 2
				1ビット	8ビット	16ビット				
FF52H	キャプチャ/コンペア・コントロール・レジスタ03	CRC03	R/W			-	00H	-		
FF53H	アシンクロナス・シリアル・インタフェース受信 エラー・ステータス・レジスタ60	ASIS60	R	-		-	00H			
FF54H	16ビット・タイマ・モード・コントロール・ レジスタ02	TMC02	R/W			-	00H	-		
FF55H	アシンクロナス・シリアル・インタフェース送信 ステータス・レジスタ60	ASIF60	R	-		-	00H			
FF56H	クロック選択レジスタ60	CKSR60	R/W	-		-	00H			
FF57H	ポー・レート・ジェネレータ・コントロール・ レジスタ60	BRGC60	R/W	-		-	FFH			
FF58H	アシンクロナス・シリアル・インタフェース・ コントロール・レジスタ60	ASICL60	R/W			-	16H			
FF59H	プリスケアラ・モード・レジスタ02	PRM02	R/W			-	00H	-		
FF5AH	16ビット・タイマ・カウンタ02	TM02	R	-	-		0000H	-		
FF5BH										
FF5CH	キャプチャ/コンペア・コントロール・レジスタ02	CRC02	R/W			-	00H	-		
FF60H	CANモジュール受信履歴・リスト・レジスタ	C0RGPT	R/W	-	-		xx02H			
FF61H										
FF62H	CANモジュール送信履歴・リスト・レジスタ	C0TGPT	R/W	-	-		xx02H			
FF63H										
FF64H	CANグローバル・モジュール制御レジスタ	C0GMCTRL	R/W	-	-		0000H			
FF65H										
FF66H	CANグローバル自動ブロック送信制御レジスタ	C0GMABT	R/W	-	-		0000H			
FF67H										
FF68H	モジュール最終送信ポインタ・レジスタ	C0LOPT	R	-		-	不定			
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W			-	00H			
FF6AH	タイマ・クロック選択レジスタ50	TCL50	R/W			-	00H			
FF6BH	8ビット・タイマ・モード・コントロール・ レジスタ50	TMC50	R/W			-	00H			
FF6CH	16ビット・タイマ・キャプチャ/コンペア・ レジスタ002	CR002	R/W	-	-		0000H	-		
FF6DH										
FF6EH	CANグローバル・モジュール・クロック選択 レジスタ	C0GMCS	R/W	-		-	0FH			
FF6FH	CANグローバル自動ブロック送信遅延レジスタ	C0GMABTD	R/W	-		-	00H			
FF70H	CANモジュール・マスク1レジスタL	C0MASK1L	R/W	-	-		不定			
FF71H										
FF72H	CANモジュール・マスク1レジスタH	C0MASK1H	R/W	-	-		不定			
FF73H										
FF74H	CANモジュール・マスク2レジスタL	C0MASK2L	R/W	-	-		不定			
FF75H										
FF76H	CANモジュール・マスク2レジスタH	C0MASK2H	R/W	-	-		不定			
FF77H										

表3-8 特殊機能レジスタ一覧(4/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	F C 2	F E 2	F F 2
				1ビット	8ビット	16ビット				
FF78H	CANモジュール・マスク3レジスタL	COMASK3L	R/W	-	-		不定			
FF79H										
FF7AH	CANモジュール・マスク3レジスタH	COMASK3H	R/W	-	-		不定			
FF7BH										
FF7CH	CANモジュール・マスク4レジスタL	COMASK4L	R/W	-	-		不定			
FF7DH										
FF7EH	CANモジュール・マスク4レジスタH	COMASK4H	R/W	-	-		不定			
FF7FH										
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H			
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W			-	00H			
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	-		-	00H			
FF88H	シリアル動作モード・レジスタ11	CSIM11	R/W			-	00H	-		
FF89H	シリアル・クロック選択レジスタ11	CSIC11	R/W			-	00H	-		
FF8AH	CANモジュール・タイム・スタンプ・レジスタ	COTS	R/W	-	-		0000H			
FF8BH										
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W			-	00H			
FF8FH	時計用タイマ動作モード・レジスタ	WTM	R/W			-	00H			
FF90H	CANモジュール制御レジスタ	C0CTRL	R/W	-	-		0000H			
FF91H										
FF92H	CANモジュール最終エラー・レジスタ	C0LEC	R/W	-		-	00H			
FF93H	CANモジュール情報レジスタ	C0INFO	R	-		-	00H			
FF94H	CANモジュール・エラー・カウンタ・レジスタ	C0ERC	R	-	-		0000H			
FF95H										
FF96H	CANモジュール割り込み許可レジスタ	C0IE	R/W	-	-		0000H			
FF97H										
FF98H	CANモジュール割り込みステータス・レジスタ	C0INTS	R/W	-	-		0000H			
FF99H										
FF9BH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/9AH ^{注1}			
FF9CH	CANモジュール・ビットレート・レジスタ	C0BTR	R/W	-	-		370FH			
FF9DH										
FF9EH	CANモジュール・ビットレート・プリスケアラ・レジスタ	C0BRP	R/W	-		-	FFH			
FF9FH	CANモジュール最終受信ポインタ・レジスタ	C0LIPT	R	-		-	不定			
FFA0H	内蔵発振モード・レジスタ	RCM	R/W			-	00H ^{注2}			
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W			-	00H			
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W			-	80H			
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H			
FFA4H	発振安定時間選択レジスタ	OSTS	R/W			-	05H			
FFA5H	16ビット・タイマ出力コントロール・レジスタ02	TOC02	R/W			-	00H	-		

注1. WDTEのリセット値は、オプション・バイトの設定で決定します。

2. リセット解除直後は00Hですが、高速内蔵発振安定後に、自動的に80Hに切り替わります。

表3-8 特殊機能レジスタ一覧(5/6)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時	F C 2	F E 2	F F 2
					1ビット	8ビット	16ビット				
FFA6H	16ビット・タイマ・カウンタ03	TM03	R	-	-		0000H	-			
FFA7H											
FFA8H	16ビット・タイマ・キャプチャ/コンペア・レジスタ003	CR003	R/W	-	-		0000H	-			
FFA9H											
FFAAH	16ビット・タイマ・キャプチャ/コンペア・レジスタ013	CR013	R/W	-	-		0000H	-			
FFABH											
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-			00H ^{注1}				
FFADH	16ビット・タイマ・モード・コントロール・レジスタ03	TMC03	R/W				00H	-			
FFAEH	乗除算器データ・レジスタB0	MDB0	R/W	-			0000H				
FFAFH		MDB0L									MDB0H
FFB0H	16ビット・タイマ・カウンタ01	TM01	R	-	-		0000H				
FFB1H											
FFB2H	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	CR001	R/W	-	-		0000H				
FFB3H											
FFB4H	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	CR011	R/W	-	-		0000H				
FFB5H											
FFB6H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W				00H				
FFB7H	プリスケアラ・モード・レジスタ01	PRM01	R/W				00H				
FFB8H	キャプチャ/コンペア・コントロール・レジスタ01	CRC01	R/W				00H				
FFB9H	16ビット・タイマ出力コントロール・レジスタ01	TOC01	R/W				00H				
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W				00H				
FFBBH	プリスケアラ・モード・レジスタ00	PRM00	R/W				00H				
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W				00H				
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W				00H				
FFBEH	低電圧検出レジスタ	LVIM	R/W				00H				
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W				00H				
FFC0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	W	x		x	不定				
FFC2H	フラッシュ・ステータス・レジスタ	PFS	R/W			x	00H				
FFC4H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W			x	08H/0CH ^{注2}				
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W			00H				
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W			00H				

注1. リセット要因により変化します。

2. 動作モードにより異なります。

- ・ユーザ・モード : 08H
- ・オンボード・モード : 0CH

表3-8 特殊機能レジスタ一覧(6/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	F	F	F
				1ビット	8ビット	16ビット		C	E	F
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W				00H		
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W				00H		
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH		
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH		
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W				FFH		
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W				DFH		
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH		
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH		
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W				FFH		
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W				FFH		
FFECH	16ビット・タイマ・キャプチャ/コンペア・レジスタ012	CR012		R/W	-	-		0000H	-	
FFEDH										
FFEEH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1		R/W			-	00H		
FFEFH	クロック動作モード選択レジスタ	OSCCTL		R/W			-	00H		
FFF0H	メモリ・サイズ切り替えレジスタ ^{注1}	IMS		R/W	-		-	CFH		
FFF3H	メモリ・バンク選択レジスタ	BANK		R/W	-		-	00H	注2	注3
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{注1}	IXS		R/W	-		-	0CH		
FFF9H	16ビット・タイマ出力コントロール・レジスタ03	TOC03		R/W			-	00H	-	
FFFAH	8ビット・タイマHモード・レジスタ1	TMHMD1		R/W			-	00H		
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W			-	01H		

注1 メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Fx2マイクロコントローラすべての製品において一定(IMS = CFH, IXS = 0CH)となっています。したがって、リセット解除後、製品ごとに次に示す値を必ず設定してください。

フラッシュ・メモリ製品	IMS	IXS	ROM 容量	内部高速ROM 容量	内部拡張ROM 容量
μ PD78F0881A, 78F0884A	C8H	0AH	32 Kバイト	1 Kバイト	1 Kバイト
μ PD78F0882A, 78F0885A, 78F0887A	CCH	08H	48 Kバイト		2 Kバイト
μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A	CFH	08H	60 Kバイト		2 Kバイト
μ PD78F0889A, 78F0892A, 78F0894A	CCH	04H	96 Kバイト		4 Kバイト
μ PD78F0890A, 78F0893A, 78F0895A	CCH	00H	128 Kバイト		6 Kバイト

2. μ PD78F0894A, 78F0895Aのみ
3. μ PD78F0889A, 78F0890Aのみ

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

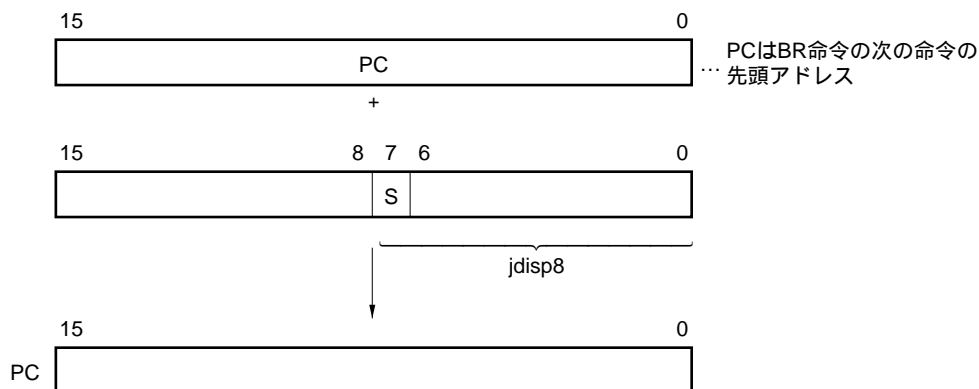
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、 は全ビット0

S = 1のとき、 は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

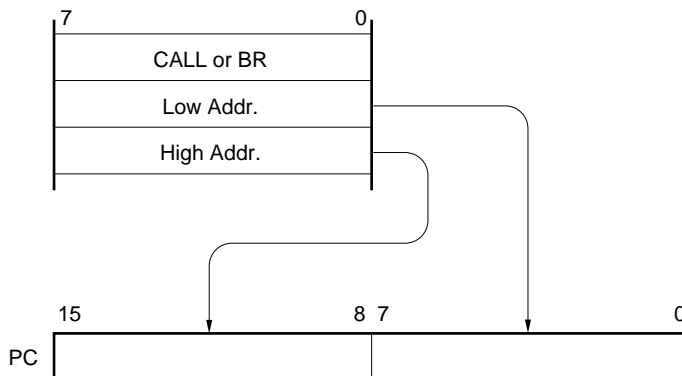
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

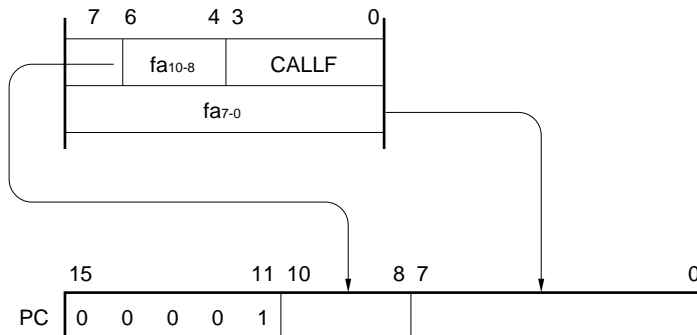
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



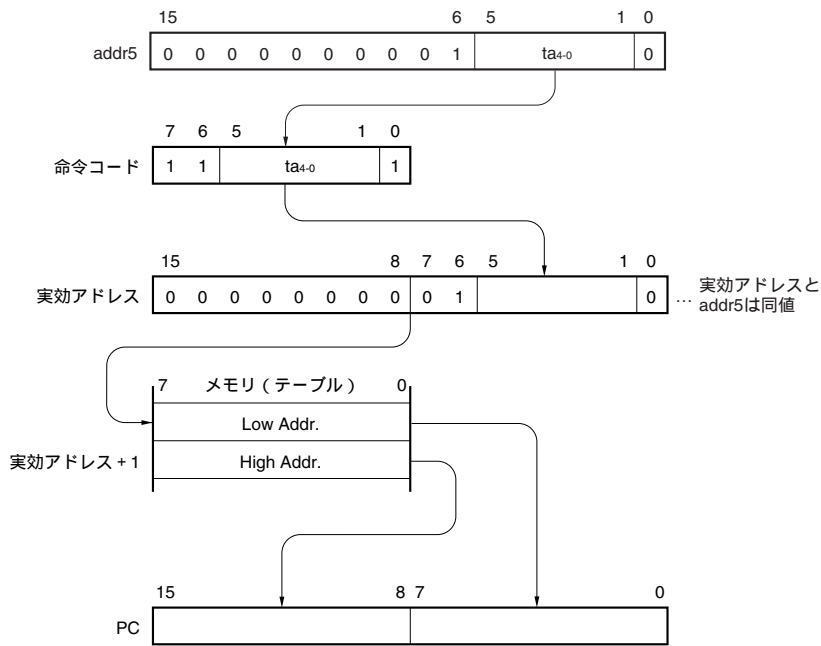
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では0040H-007FHのメモリ・テーブルに格納されたアドレスを参照し、全プログラム・メモリ空間に分岐できます。ただし、メモリ・バンク選択レジスタ（BANK）で設定していないメモリ・バンクに分岐する場合は、BANKでメモリ・バンクの設定を切り替えてから分岐してください。

【図解】



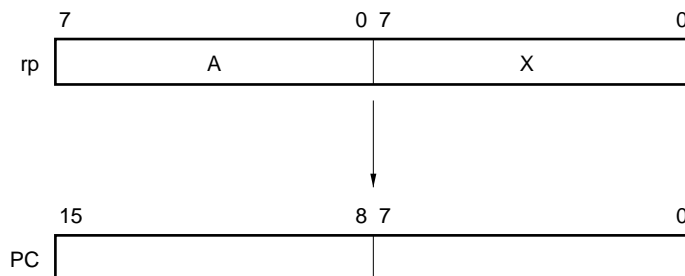
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Fx2の命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

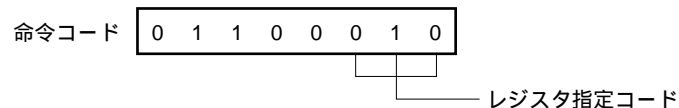
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

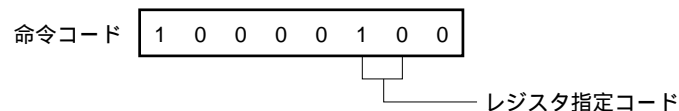
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

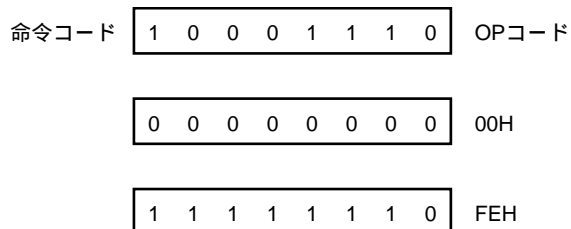
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

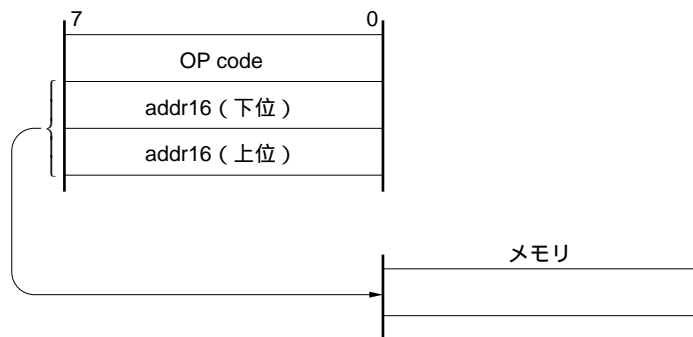
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域 (FF00H-FF1FH) は、全SFR領域の一部分です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

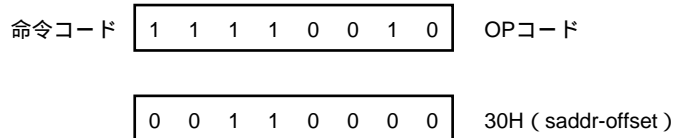
実効アドレスのビット8は、8ビット・イミューディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

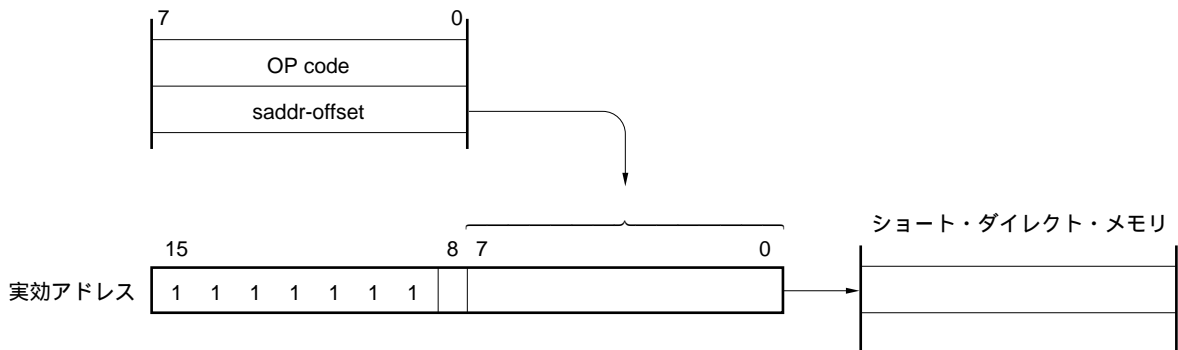
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ (偶数アドレスのみ)

【記述例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



【図解】



8ビット・イミューディエト・データが20H-FFHのとき、 = 0

8ビット・イミューディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

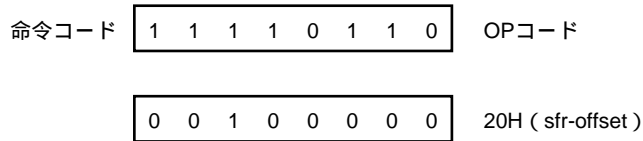
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

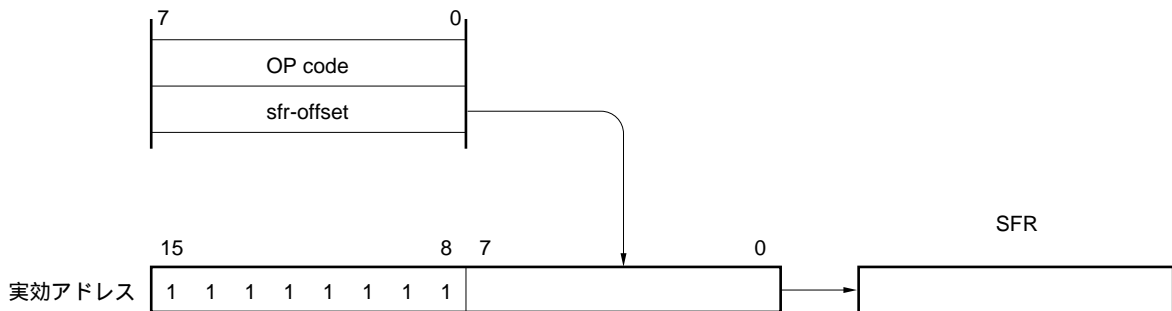
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

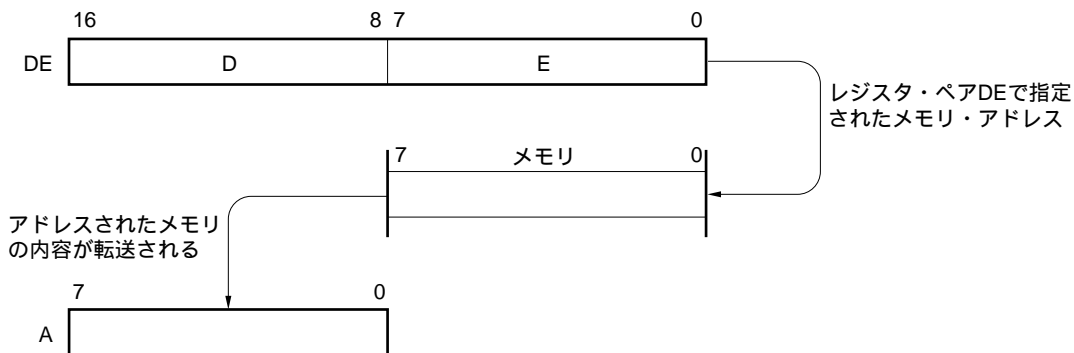
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

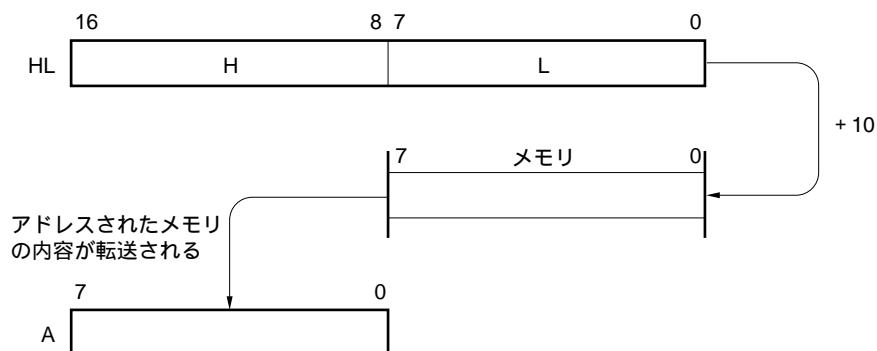
MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

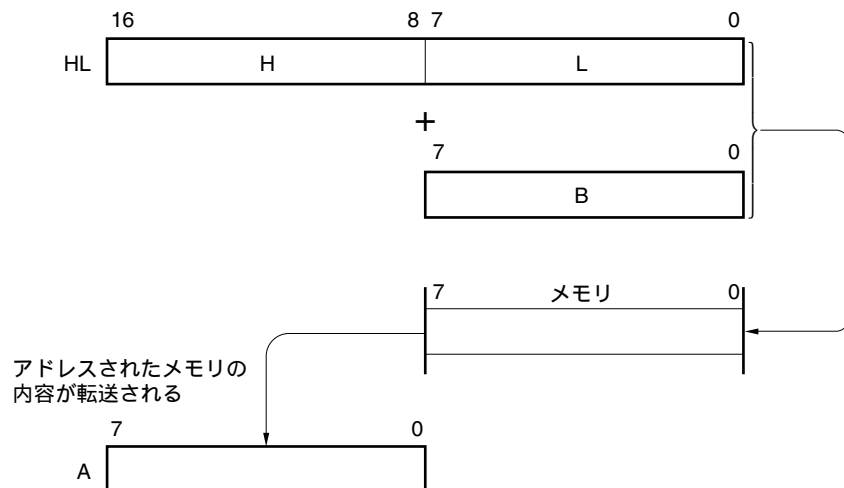
【記述例】

MOV A, [HL+B] (Bレジスタを選択) の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により，スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは，内部高速RAM領域のみアクセスできます。

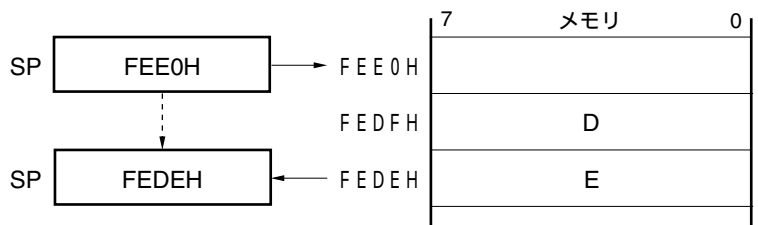
【記述例】

PUSH DE (DEレジスタをセーブ) の場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 メモリ・バンク切り替え機能 (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ)

4.1 メモリ・バンク

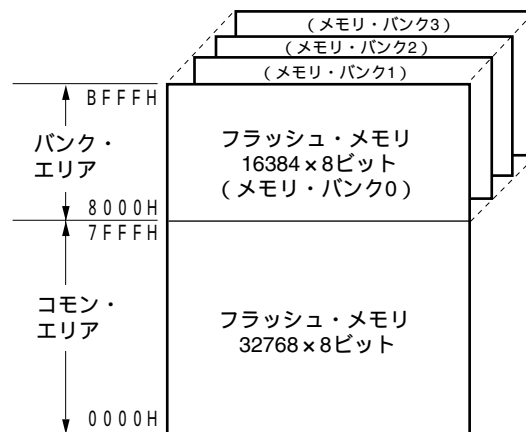
μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aは8000H-BFFFHのメモリ空間をメモリ・バンクとして切り替えることで、96 Kバイト、128 KバイトのROM容量を実現しています。

μ PD78F0889A, 78F0892A, 78F0895Aではメモリ・バンク0-3、 μ PD78F0890A, 78F0893A, 78F0895Aではメモリ・バンク0-5が次のように配置されています。

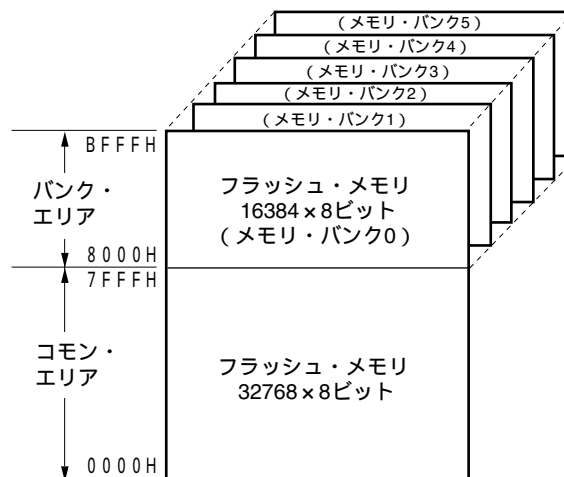
メモリ・バンクの切り替えは、メモリ・バンク選択レジスタ (BANK) で行います。

図4 - 1 内部ROM (フラッシュ・メモリ) 配置

(a) μ PD78F0889A, 78F0892A, 78F0894A



(b) μ PD78F0890A, 78F0893A, 78F0895A

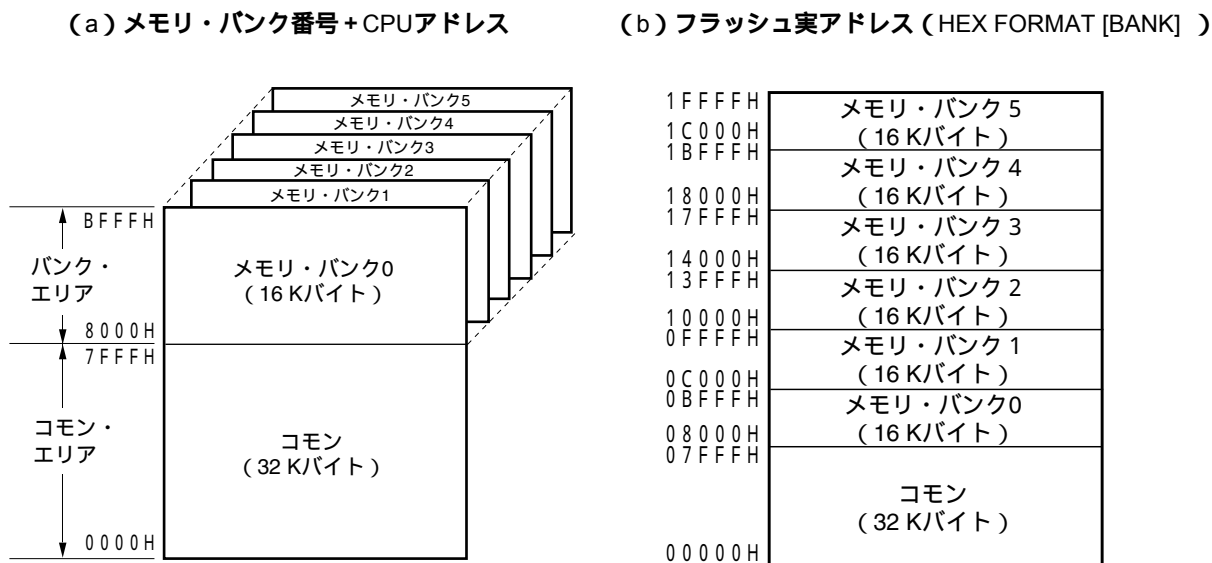


4.2 メモリ空間表現の違い

78K0/Fx2マイクロコントローラのメモリ・バンク対応製品では、アドレスの見え方として、次の2種類があります。

- ・メモリ・バンク番号 + CPUアドレス
- ・フラッシュ実アドレス (HEX FORMAT [BANK])

図4 - 2 アドレスの見え方



メモリ・バンク番号 + CPUアドレスは、アドレス空間に空きがある表現となっているのに対し、フラッシュ実アドレスは、アドレス空間の空きを詰めた表現となっています。

ユーザ・プログラム上でのアドレッシングでは、メモリ・バンク番号 + CPUアドレスを使用します。オンボード・プログラミングおよびセルフ・プログラミング・サンプル・ライブラリを使用しないセルフ・プログラミング^{注1}では、フラッシュ実アドレスを使用します。

アセンブラ (RA78K0) から初期設定で出力されるHEXファイルは、フラッシュ実アドレスとなりますので、ご注意ください。その他シミュレータ、デバッガ^{注2}などのツール類におけるアドレス表現は、表4 - 1を参照してください。

注1. セルフ・プログラミング・サンプル・ライブラリを使用してセルフ・プログラミングを行う場合、アドレスは自動的に変換されるため、メモリ・バンク番号 + CPUアドレスを使用できます。

2. SM+ for 78K0/Fx2, ID78K0-QB

表4-1 メモリ・バンクのアドレス表現

メモリ・バンク番号	CPUアドレス	フラッシュ実アドレス	シミュレータ, デバッガ ^{注1} でのアドレス表現
メモリ・バンク0	08000H-0BFFFFH ^{注2}	08000H-0BFFFFH	08000H-0BFFFFH
メモリ・バンク1		0C000H-0FFFFFH	18000H-1BFFFFH
メモリ・バンク2		10000H-13FFFFH	28000H-2BFFFFH
メモリ・バンク3		14000H-17FFFFH	38000H-3BFFFFH
メモリ・バンク4		18000H-1BFFFFH	48000H-4BFFFFH
メモリ・バンク5		1C000H-1FFFFFH	58000H-5BFFFFH

注1. SM+ for 78K0/Fx2, ID78K0-QB

2. 使用するメモリ・バンクは, メモリ・バンク選択レジスタ (BANK) で設定してください (図4-3を参照)。

詳細については, RA78K0 Ver.3.80 ユーザーズ・マニュアル アセンブラ・パッケージ 操作編 (U17199J) を参照してください。

4.3 メモリ・バンク選択レジスタ (BANK)

メモリ・バンク選択レジスタ (BANK) で, 使用するメモリ・バンクを設定します。

BANKは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4-3 メモリ・バンク選択レジスタ (BANK) のフォーマット

アドレス: FFF3H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
BANK	0	0	0	0	0	BANK2	BANK1	BANK0

BANK2	BANK1	BANK0	バンクの設定	
			μPD78F0889A, 78F0892A, 78F0894A	μPD78F0890A, 78F0893A, 78F0895A
0	0	0	コモン・エリア (32 K) + メモリ・バンク0 (16 K)	
0	0	1	コモン・エリア (32 K) + メモリ・バンク1 (16 K)	
0	1	0	コモン・エリア (32 K) + メモリ・バンク2 (16 K)	
0	1	1	コモン・エリア (32 K) + メモリ・バンク3 (16 K)	
1	0	0	設定禁止	コモン・エリア (32 K) + メモリ・バンク4 (16 K)
1	0	1		コモン・エリア (32 K) + メモリ・バンク5 (16 K)
上記以外			設定禁止	

注意 BANKレジスタの書き換えは, 必ずコモン・エリア(0000H-7FFFFH)内で行ってください。
バンク・エリア (8000H-BFFFFH) 内でBANKレジスタを切り替えると, CPUが暴走してしま
うため, バンク・エリア内でのBANKレジスタの書き換えは 絶対に行わないでください。

4.4 メモリ・バンク切り替え使用方法

メモリ・バンク選択レジスタ (BANK) で設定したメモリ・バンクは、バンク・エリアに反映され、アドレス可能になります。そのため、現在設定しているメモリ・バンクとは異なるメモリ・バンクにアクセスする場合は、BANKレジスタで設定する必要があります。

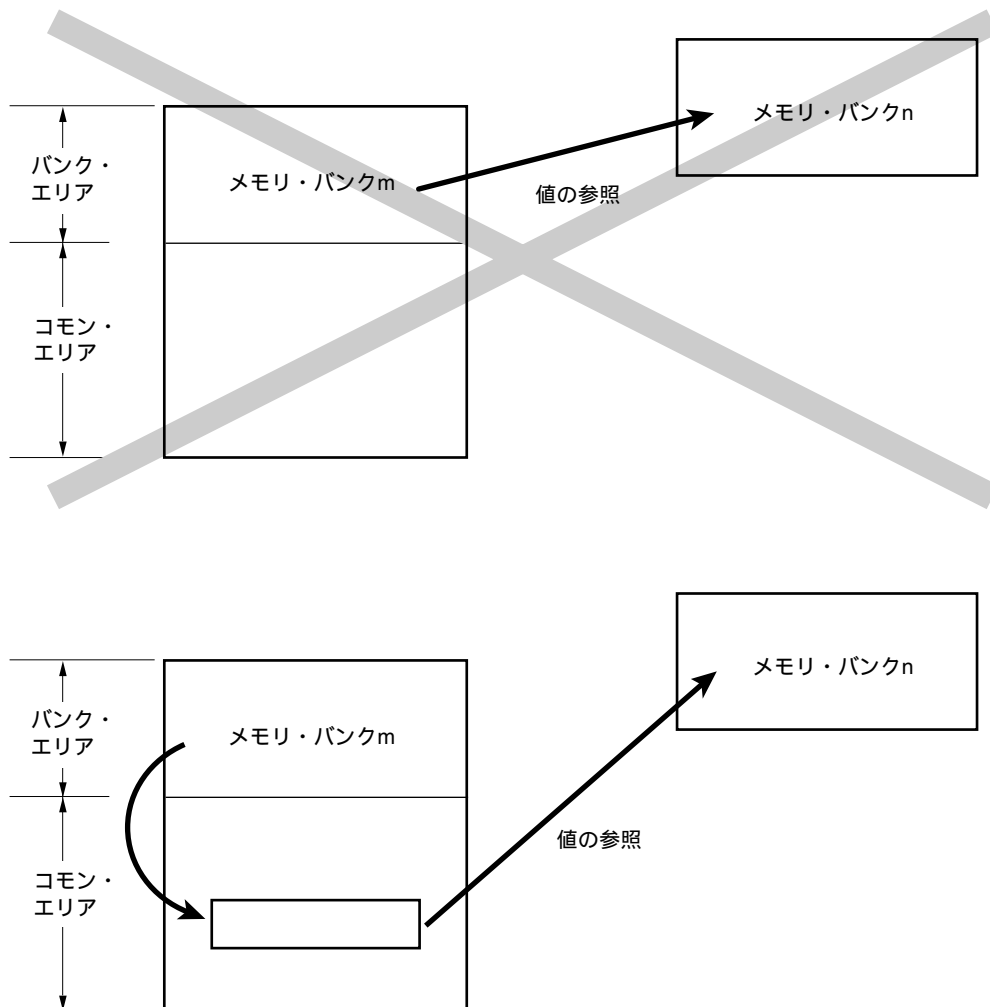
バンク・エリア (8000H-BFFFH) 内でBANKレジスタを書き換える命令を実行することはできないため、メモリ・バンクを切り替える場合は、コモン・エリア (0000H-7FFFH) に命令を分岐し、そこでBANKレジスタを書き換えてください。

- 注意1. 異なるメモリ・バンク間で命令フェッチはできません。**
- 異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。
 - 割り込み処理はコモン・エリアに配置してください。
 - 7FFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。

4.4.1 メモリ・バンク間の値の参照

メモリ・バンクから、他のメモリ・バンクへ直接、値を参照することはできません。

メモリ・バンクから他のメモリ・バンクにアクセスするときは、一度コモン・エリア (0000H-7FFFH) に分岐し、コモン・エリアにてBANKレジスタを書き換えたあとに、値の参照を行ってください。



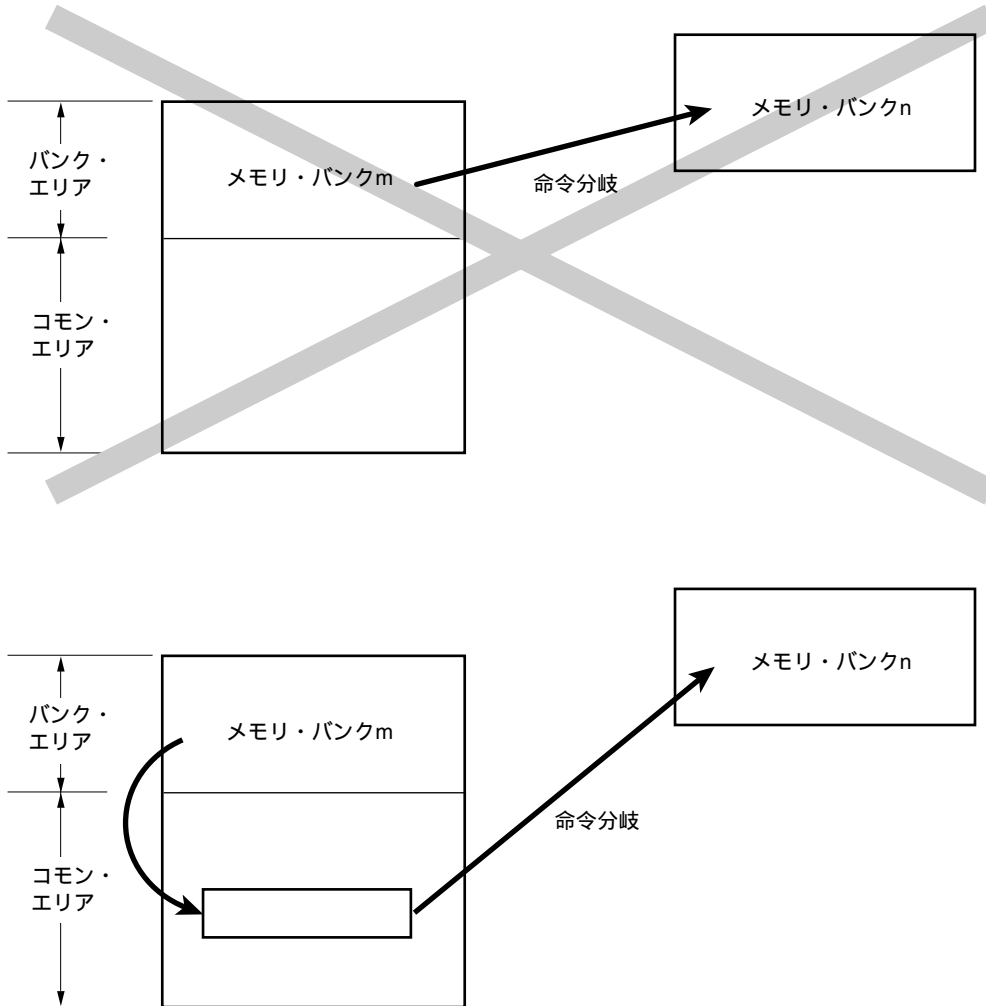
・ソフトウェア例 (Aレジスタに参照する値を格納する場合)

RAMD	DSEG	SADDR	
R_BNKA:	DS	2	;参照先のアドレス指定用RAMを確保
R_BNKN:	DS	1	;参照先のメモリ・バンク番号指定用RAMを確保
R_BNKRN:	DS	1	;参照元のメモリ・バンク番号退避用RAMを確保
ETRC ENTRY:	CSEG	UNIT	
	MOV	R_BNKN,#BANKNUM	DATA1 ;参照先のメモリ・バンク番号を格納
	MOVW	R_BNKA,#DATA1	;参照先のアドレスを格納
	CALL	IBNKRD	;メモリ・バンク間参照用サブルーチンをコール
		:	
		:	
BNKC	CSEG	AT	7000H
BNKRD:			;メモリ・バンク間参照用サブルーチン
	PUSH	HL	;HLレジスタの内容を退避
	MOV	A,R_BNKN	;参照先のメモリ・バンク番号を取得
	XCH	A,BANK	;参照元と参照先のメモリ・バンク番号を交換
	MOV	R_BNKRN,A	;参照元のメモリ・バンク番号を退避
	XCHW	AX,HL	;Xレジスタを退避
	MOVW	AX,R_BNKA	;参照先のアドレスを取得
	XCHW	HL,AX	;参照先のアドレスを指定
	MOV	A,[HL]	;目的の値をリード
	XCH	A,R_BNKRN	;参照元のメモリ・バンク番号を取得
	MOV	BANK,A	;参照元のメモリ・バンク番号を指定
	MOV	A,R_BNKRN	;目的の値をAレジスタにライト
	POP	HL	;HLレジスタの内容を復帰
	RET		;復帰
DATA	CSEG	BANK3	
DATA1:	DB	0AAH	
END			

4.4.2 メモリ・バンク間の命令分岐

メモリ・バンクから他のメモリ・バンクへ、直接に命令分岐はできません。

メモリ・バンクから他のメモリ・バンクへ命令分岐をするときは、一度コモン・エリア (0000H-7FFFH) に分岐し、コモン・エリアでBANKレジスタを書き換えたあと、再度、分岐命令を行ってください。



・ソフトウェア例1 (すべてのエリアから分岐する場合)

```

RAMD   DSEG   SADDR
R_BNKA: DS    2                ;分岐先のメモリ・バンク指定用RAMを確保
R_BNKN: DS    1                ;分岐先のメモリ・バンク番号指定用RAMを確保
RSAVEAX: DS   2                ;AXレジスタ退避用RAMを確保

-----
ETRC    CSEG   UNIT
ENTRY:
      MOV    R_BNKN,#BANKNUM TEST ;分岐先のメモリ・バンク番号をRAMに格納
      MOVW   R_BNKA,#TEST         ;分岐先のアドレスをRAMに格納
      BR    !BNKBR                ;メモリ・バンク間分岐処理に分岐
      :
      :

BNKC    CSEG   AT      7000H    ;
BNKBR:
      MOVW   RSAVEAX,AX          ;AXレジスタを退避
      MOV    A,R_BNKN           ;分岐先のメモリ・バンク番号を取得
      MOV    BANK,A            ;分岐先のメモリ・バンク番号を指定
      MOVW   AX,R_BNKA         ;分岐先のアドレス指定
      PUSH  AX                  ;分岐先のアドレスをスタックにセット
      MOVW   AX,RSAVEAX        ;AXレジスタを復帰
      RET                       ;分岐

BN3     CSEG   BANK3
TEST:
      MOV ...
      :
      :

END
    
```

・ソフトウェア例2 (コモン・エリアから任意のバンク・エリアに分岐する場合)

```

ETRC    CSEG   AT      2000H
ENTRY:
      MOV    R_BNKN,#BANKNUM TEST ;分岐先のメモリ・バンク番号をRAMに格納
      BR    !TEST                ;分岐先のアドレスをRAMに格納

BN3     CSEG   BANK3
TEST:
      MOV ...
      :
      :

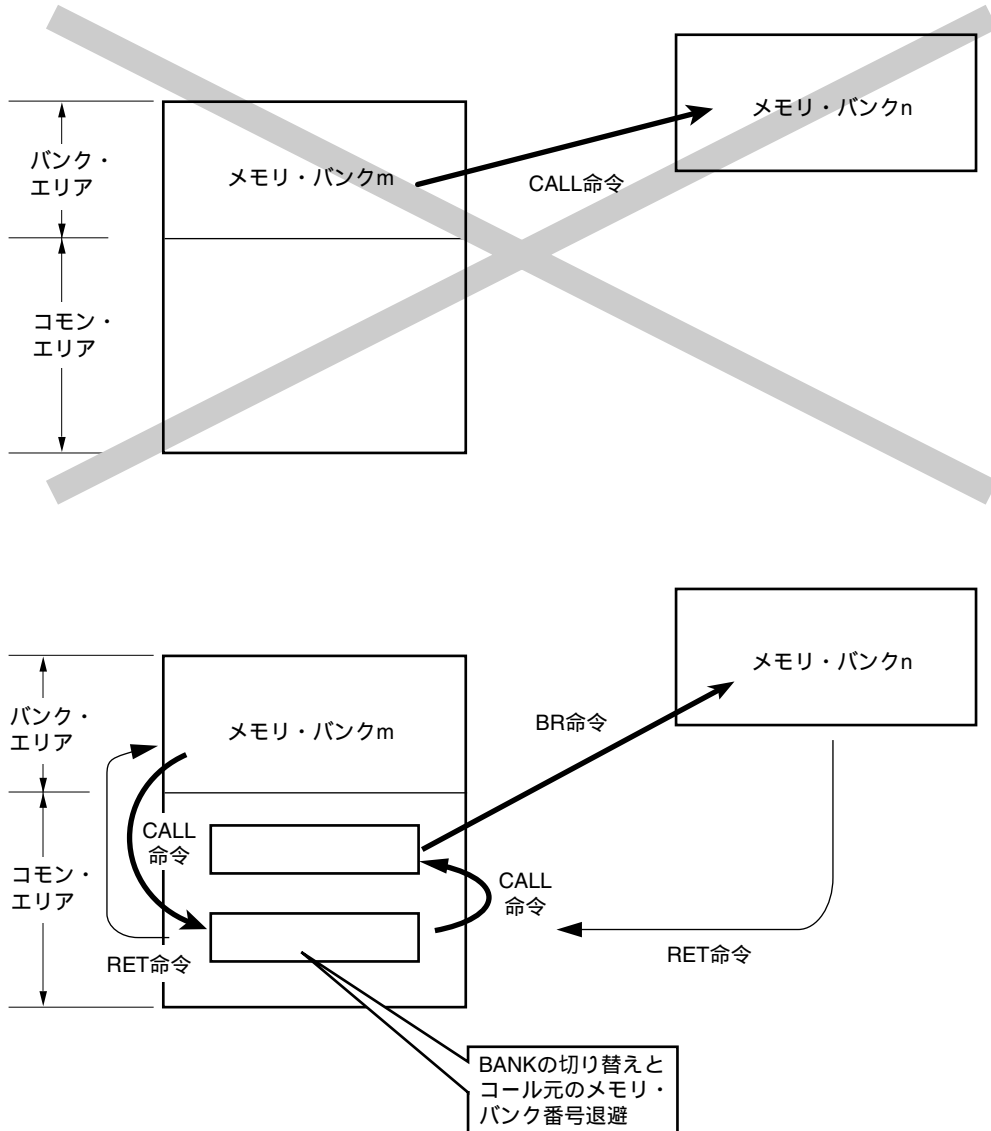
END
    
```


4.4.3 メモリ・バンク間のサブルーチン・コール

メモリ・バンク間で直接サブルーチン・コールをすることはできません。

メモリ・バンク間でサブルーチン・コールをする場合は、一度コモン・エリア (0000H-7FFFH) に分岐し、そこでコール先のメモリ・バンクをBANKレジスタで指定し、CALL命令を実行し、その中でコール先に分岐してください。

このとき、変更前のBANKレジスタの値はRAMなどに退避させ、RET命令を実行する前に、BANKレジスタの値を戻してください。



・ソフトウェア例

```

RAMD   DSEG   SADDR
R_BNKA: DS    2                ;コール先のアドレス指定用RAMを確保
R_BNKN: DS    1                ;コール先のメモリ・バンク番号指定用RAMを確保
R_BNKRN: DS   1                ;コール元のメモリ・バンク番号退避用RAMを確保
RSAVEAX: DS   2                ;AXレジスタ退避用RAMを確保

ETRC    CSEG   UNIT
ENTRY:
  MOV    R_BNKN,#BANKNUM TEST ;コール先のメモリ・バンク番号をRAMに格納
  MOVW   R_BNKA,#TEST        ;コール先のアドレスをRAMに格納
  CALL   !BNKCAL             ;メモリ・バンク間コール処理ルーチンに分岐
      :
      :

BNKC    CSEG   AT      7000H
BNKCAL: ;メモリ・バンク間コール処理ルーチン
  MOVW   RSAVEAX,AX          ;AXレジスタを退避
  MOV    A,R_BNKN           ;コール先のメモリ・バンク番号を取得
  XCH   A,BANK              ;バンク変更とコール元のメモリ・バンク番号を取得
  MOV    R_BNKRN,A          ;コール元のメモリ・バンク番号をRAMに退避
  CALL   !BNKCAL            ;コール先に分岐するためのサブコール

  MOVW   RSAVEAX,AX          ;AXレジスタを退避
  XCH   A,R_BNKRN           ;コール元のメモリ・バンク番号を取得
  MOV    BANK,A             ;コール元のメモリ・バンク番号を指定
  MOVW   RSAVEAX,AX          ;AXレジスタを復帰
  RET                          ;コール元にリターン

BNKCAL:
  MOVW   AX,R_BNKA          ;コール先のアドレス指定
  PUSH   AX                 ;コール先のアドレスをスタックにセット
  MOVW   AX,RSAVEAX         ;元のAXレジスタを復帰
  RET    AX                 ;コール先に分岐

BN3     CSEG   BANK3
TEST:
  MOV ...
  :
  :
  RET

END
    
```

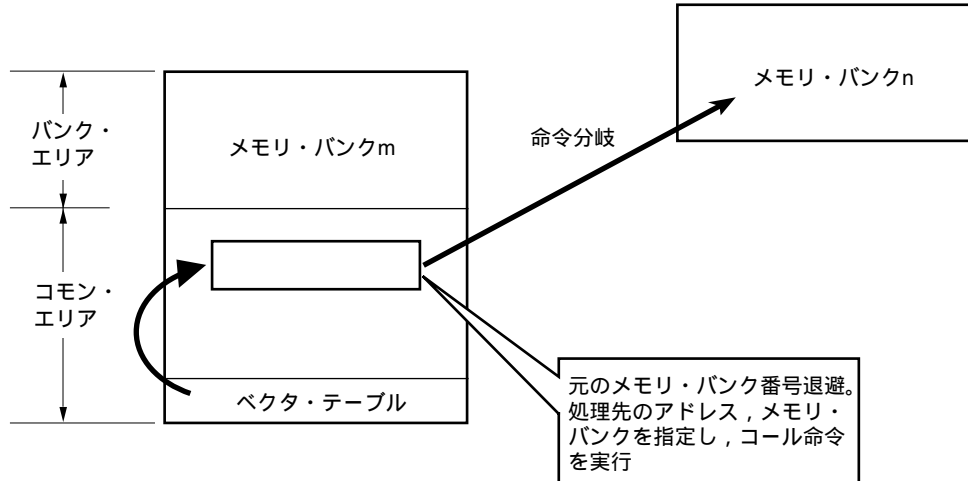
備考 上記のソフトウェア例は、多重の処理には対応していません。

4.4.4 割り込みによるバンク・エリアへの命令分岐

割り込み発生時のベクタ・テーブルによるバンク・エリアへの命令分岐は、割り込み発生時にBANKレジスタで指定されているメモリ・バンクへ分岐することはできますが、割り込み発生時のBANKレジスタを特定することは困難です。

したがって、ベクタ・テーブルで指定する分岐先アドレスをコモン・エリア (0000H-7FFFH) に指定し、コモン・エリアで分岐先のメモリ・バンクをBANKレジスタで指定し、CALL命令を実行してください。このとき、変更前のBANKレジスタの値はRAMに退避し、RETI命令実行前に、BANKレジスタの値を戻してください。

備考 すばやい応答を必要とする割り込み処理は、割り込み処理自体をコモン・エリアに配置してください。



・ソフトウェア例 (16ビット・タイマ/イベント・カウンタ00の割り込み要求発生を使用する場合)

```

VCTBL   CSEG   AT      0020H
        DW     BNKITM000      ;タイマ割り込み先のアドレスを指定

RAMD    DSEG   SADDR
R_BNKRN: DS      1          ;割り込み前のメモリ・バンク番号退避用RAMを確保

BNKC    CSEG   AT      7000H

BNKITM000:      ;メモリ・バンク間割り込み処理ルーチン
        PUSH  AX            ;AXレジスタの内容を退避

        MOV   A,BANK
        MOV   R_BNKRN,A     ;割り込み前のメモリ・バンク番号をRAMに退避
        MOV   BANK,#BANKNUM TEST ;割り込みルーチンのメモリ・バンク番号を指定
        CALL  !TEST        ;割り込みルーチンをコール
        MOV   A,R_BNKRN    ;割り込み前のメモリ・バンク番号を復帰
        MOV   BANK,A

        POP   AX            ;AXレジスタの内容を復帰

        RETI

BN3     CSEG   BANK3
TEST:   ;割り込み処理ルーチン
        MOV   ...
        :
        :
        RET

END
    
```

備考 効率良くバンク切り替え機能を利用するために、次の点を留意してください。

- ・ 頻繁に使用するルーチンは、コモン・エリアに配置してください。
- ・ 参照予定の値をRAMに展開すると、すべての領域から参照可能となります。
- ・ メモリ・バンクに配置したルーチンの参照先や分岐先は、同じメモリ・バンクに配置すると、コード・サイズと処理が効率的になります。
- ・ すばやい応答が要求される割り込み処理は、コモン・エリアに配置してください。

第5章 ポート機能

5.1 ポートの機能

ポート端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表5 - 1 各ポート端子の入出力バッファ電源 (AV_{REF}, EV_{DD}/V_{DD})

- ・ 78K0/FC2: 44ピン・プラスチックLQFP (10x10), 48ピン・プラスチックLQFP (ファインピッチ) (7x7)

電 源	対応する端子
AV _{REF}	P80-P87, P90 ^注
EV _{DD} /V _{DD}	・ P80-P87, P90 ^注 以外のポート端子 ・ ポート以外の端子

注 P90は、 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。

表5 - 2 各ポート端子の入出力バッファ電源 (AV_{REF}, EV_{DD}, V_{DD})

- ・ 78K0/FE2: 64ピン・プラスチックLQFP (ファインピッチ) (10x10), 64ピン・プラスチックLQFP (12x12)
- ・ 78K0/FF2: 80ピン・プラスチックLQFP (14x14), 80ピン・プラスチックLQFP (ファインピッチ) (12x12)

電 源	対応する端子
AV _{REF}	P80-P87, P90-P97 ^注
EV _{DD}	P80-P87, P90-P97 ^注 , P121-P124以外のポート端子
V _{DD}	・ P121-P124 ・ ポート以外の端子

注 P94-P97は、78K0/FF2のみ

78K0/Fx2マイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表5 - 3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

表5-3 ポートの機能 (1/2)

F C 2	F E 2	F F 2	端子名称	入出力	機 能	リセット時	兼用端子
			P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力	Ti000
		P01	Ti010/TO00				
-		P05	SSI11/Ti001				
注1		P06	Ti011/TO01				
			P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力	SCK10/TxD61
		P11	SI10/RxD61				
		P12	SO10				
		P13	TxD60				
		P14	RxD60				
		P15	TOH0				
		P16	TOH1/INTP5				
		P17	Ti50/TO50				
			P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力	INTP1
		P31	INTP2/Ti002 ^{注2}				
		P32	INTP3/Ti012/TO02 ^{注3}				
		P33	INTP4/Ti51/TO51				
			P40, P41	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力	-
-		P42, P43					
-	-	P44-P47					
			P50-P53	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力	-
-	-	P54-P57					
			P60-P62	入出力	ポート6。 8ビット入出力ポート 1ビット単位で入力/出力の指定可能。	入力	-
注1		P63	N-chオープン・ドレイン入出力ポート。				
-	-	P64-P67	ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。				
			P70	入出力	ポート7。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により,内蔵プルアップ抵抗を使用可能。	入力	CTxD
		P71	CRxD				
		P72	PCL/INTP6				
		P73	BUZ/INTP7				
-		P74	SO11				
-		P75	SI11				
-		P76	SCK11				
			P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	ANI0-ANI7

注1. P06, P63は, μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。

2. 78K0/FC2はINTP2のみ
3. 78K0/FC2はINTP3のみ

表5 - 3 ポートの機能 (2/2)

F C 2	F E 2	F F 2	端子名称	入出力	機 能	リセット時	兼用端子
注			P90	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	入力	ANI8
-		P91-P93	ANI9-ANI11				
-	-	P94-P97	ANI12-ANI15				
			P120	入出力	ポート12。 5ビット入出力ポート。 P120はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	INTP0/EXLVI
		P121	X1				
		P122	X2/EXCLK				
		P123	XT1				
		P124	XT2/EXCLKS				
			P130	出力	ポート13。	出力	-
注			P131	入出力	P130は1ビット出力専用ポートです。 P131, P132は2ビット入出力ポートです。 P131, P132はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力	TI003
-			P132				TI013/TO03

注 P90, P131は、 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。

5.2 ポートの構成

ポートは次のハードウェアで構成されています

表5 4 ポートの構成

項 目	構 成
制御レジスタ	<ul style="list-style-type: none"> ・ 78K0/FC2の44ピン ポート・モード・レジスタ (PMxx) : PM0, PM1, PM3, PM4, PM6-PM8, PM12 ポート (Pxx) : P0, P1, P3, P4, P6-P8, P12, P13 プルアップ抵抗 (PUxx) : PU0, PU1, PU3, PU4, PU7, PU12 A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0/FC2の48ピン ポート・モード・レジスタ (PMxx) : PM0, PM1, PM3, PM4, PM6-PM9, PM12, PM13 ポート (Pxx) : P0, P1, P3, P4, P6-P9, P12, P13 プルアップ抵抗 (PUxx) : PU0, PU1, PU3, PU4, PU7, PU12, PU13 A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0/FE2 ポート・モード・レジスタ (PMxx) : PM0, PM1, PM3-PM9, PM12, PM13 ポート (Pxx) : P0, P1, P3-P9, P12, P13 プルアップ抵抗 (PUxx) : PU0, PU1, PU3-PU5, PU7, PU12, PU13 A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0/FF2 ポート・モード・レジスタ (PMxx) : PM0, PM1, PM3-PM9, PM12, PM13 ポート (Pxx) : P0, P1, P3-P9, P12, P13 プルアップ抵抗 (PUxx) : PU0, PU1, PU3-PU7, PU12, PU13 A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	<ul style="list-style-type: none"> ・ 78K0/FC2の44ピン : 合計37本 (CMOS入出力 : 33本, CMOS出力 : 1本 , N-chオープン・ドレイン入出力 : 3本) ・ 78K0/FC2の48ピン : 合計41本 (CMOS入出力 : 36本, CMOS出力 : 1本 , N-chオープン・ドレイン入出力 : 4本) ・ 78K0/FE2 : 合計55本 (CMOS入出力 : 50本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本) ・ 78K0/FF2 : 合計71本 (CMOS入出力 : 66本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本)
プルアップ抵抗	<ul style="list-style-type: none"> ・ 78K0/FC2の44ピン : 合計21本 ・ 78K0/FC2の48ピン : 合計23本 ・ 78K0/FE2 : 合計34本 ・ 78K0/FF2 : 合計46本

5.2.1 ポート0

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P00/TI000				
P01/TI010/TO00				
P05/TI001/SSI11	-	-		
P06/TI011/TO01	-			

備考 : 搭載, - : 非搭載

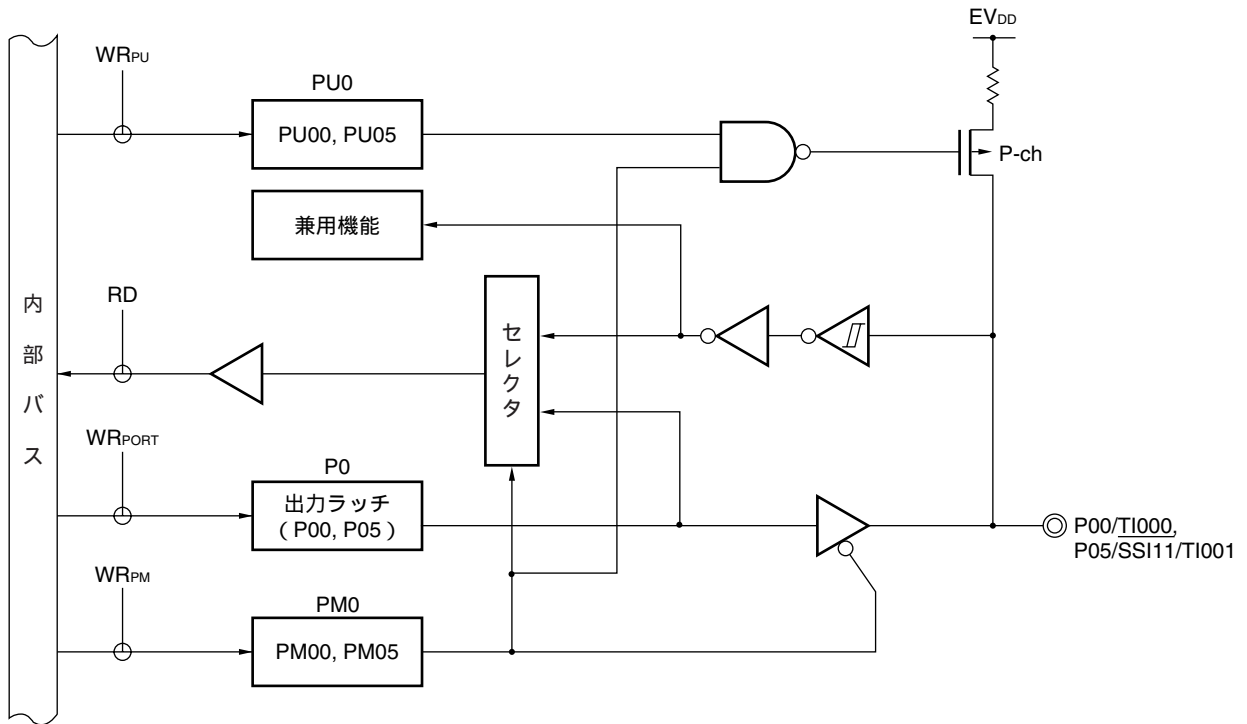
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00, P01, P05, P06端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また, 兼用機能としてタイマの入出力, シリアル・インタフェースのチップ・セレクト入力機能があります。リセット信号の発生により, 入力モードになります。

図5 - 1, 5 - 2にポート0のブロック図を示します。

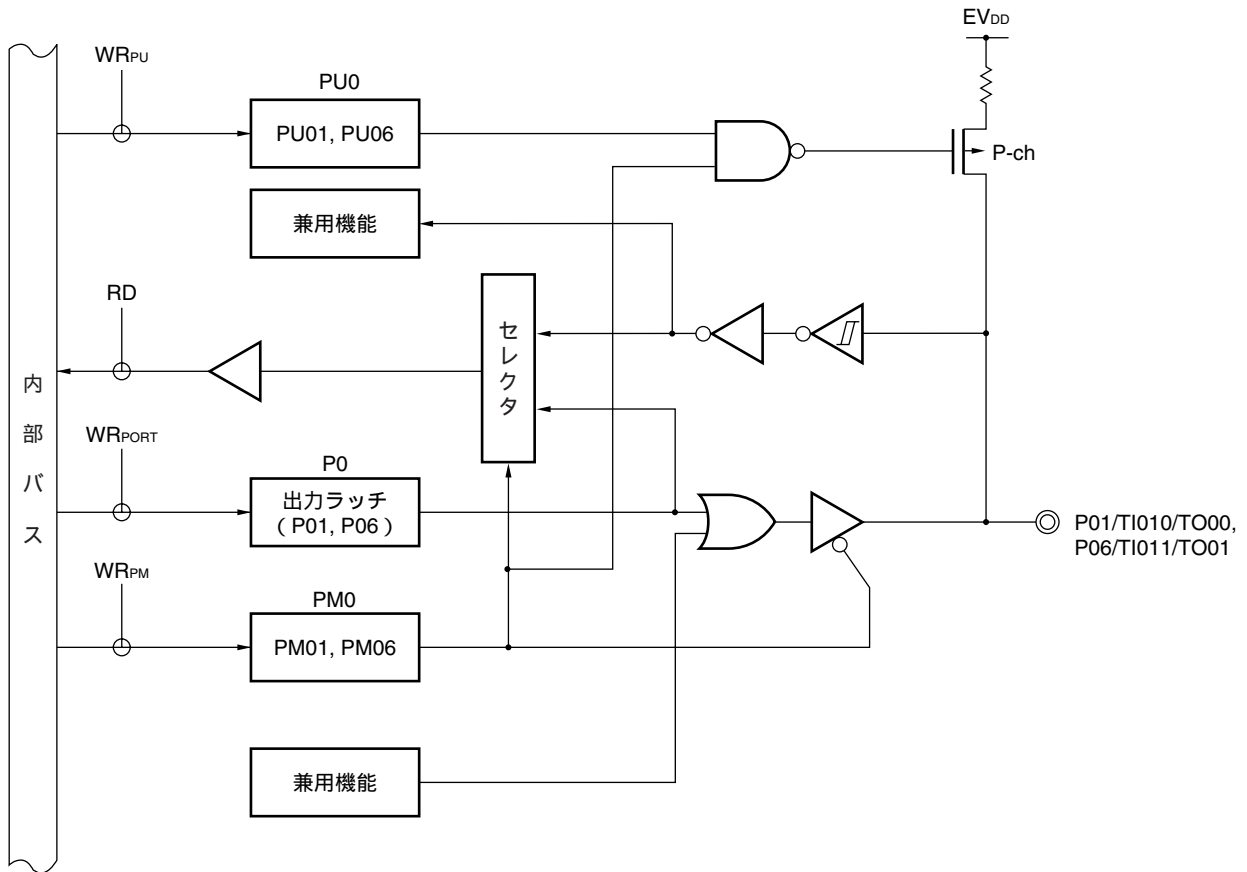
注意 P05/SSI11/TI001を汎用ポートとして使用する場合, シリアル動作モード・レジスタ11 (CSIM11) は初期状態と同じ設定 (00H) にしてください。

図5 - 1 P00, P05のブロック図



- P0 : ポート0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図5 - 2 P01, P06のブロック図



- P0 : ポート0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

5.2.2 ポート1

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P10/ $\overline{\text{SCK10}}$ /TxD61			
P11/SI10/RxD61			
P12/SO10			
P13/TxD60			
P14/RxD60			
P15/TOH0			
P16/TOH1/INTP5			
P17/TI50/TO50			

備考 : 搭載

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

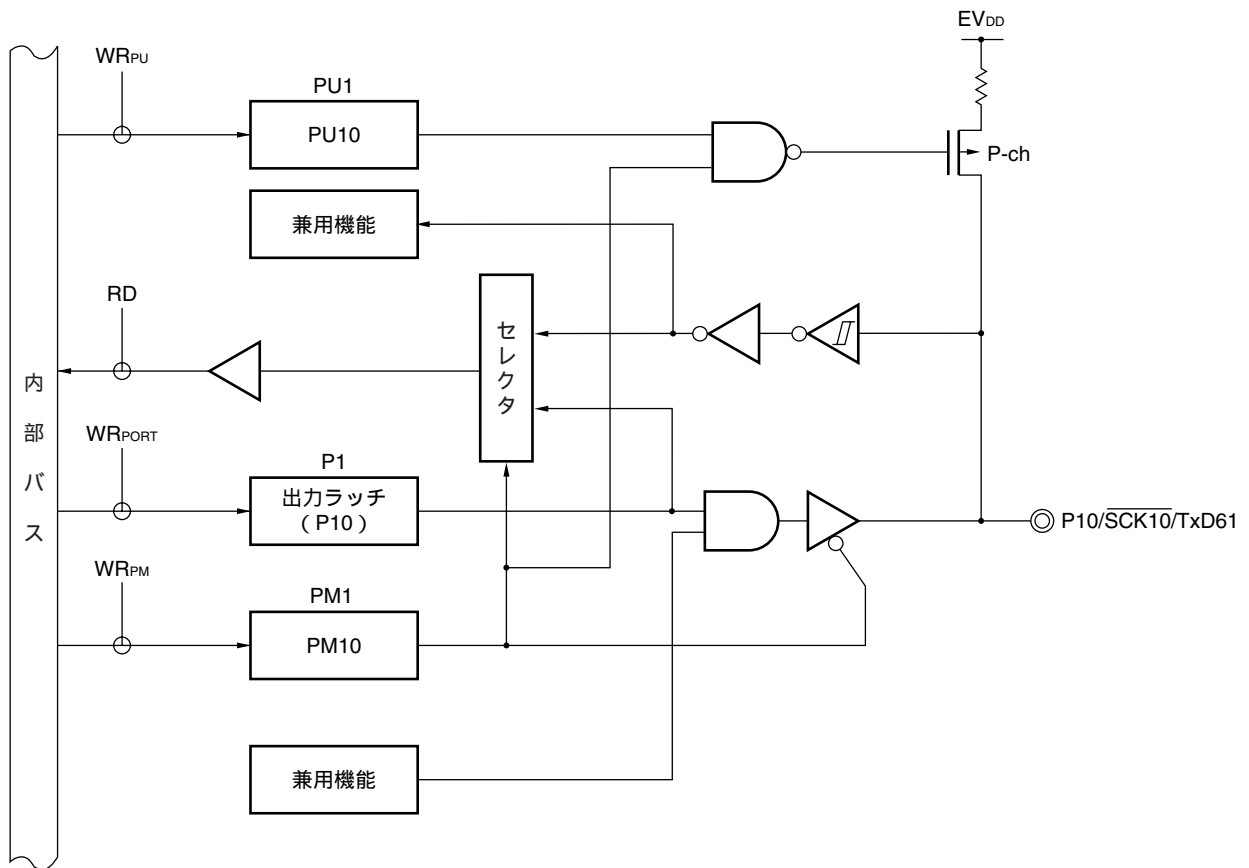
また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図5-3-5-7にポート1のブロック図を示します。

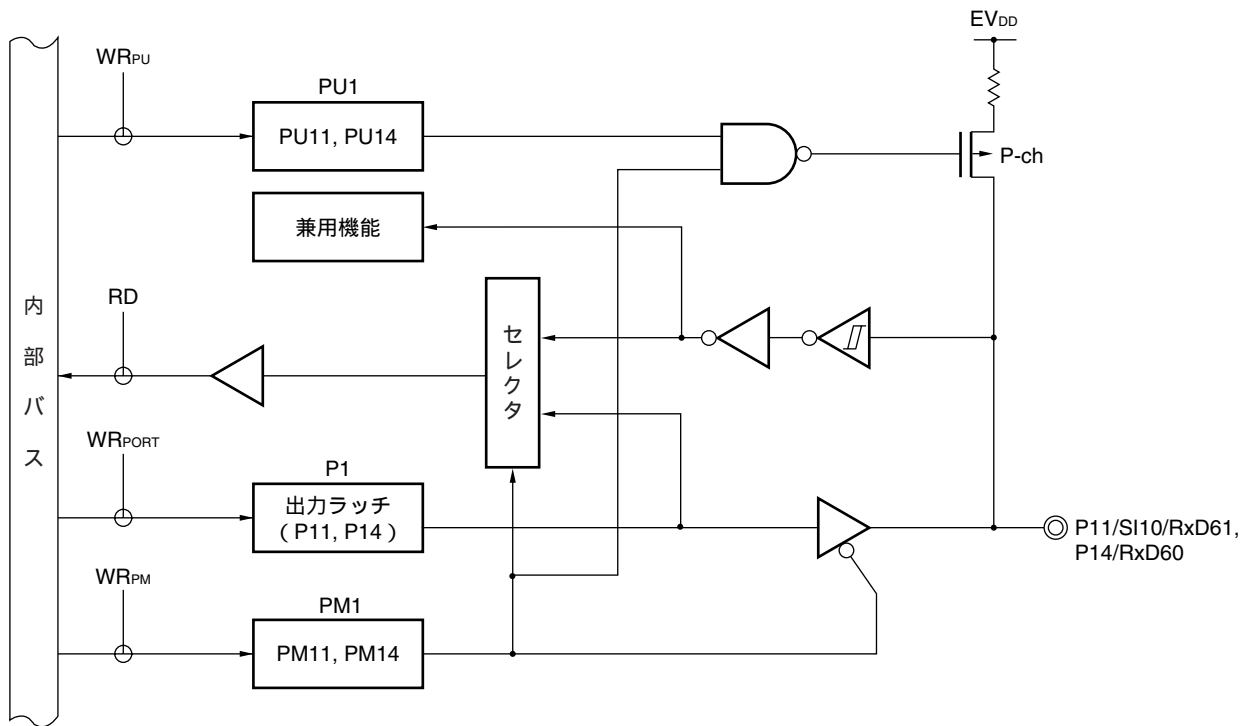
- 注意 1. P10/ $\overline{\text{SCK10}}$ /TxD61, P12/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
2. P10/ $\overline{\text{SCK10}}$ /TxD61, P13/TxD60を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60, 61 (ASICL60, ASICL61) のビット0 (TXDLV60, TXDLV61) を0 (TxD6n通常出力) に設定してください。

図5-3 P10のブロック



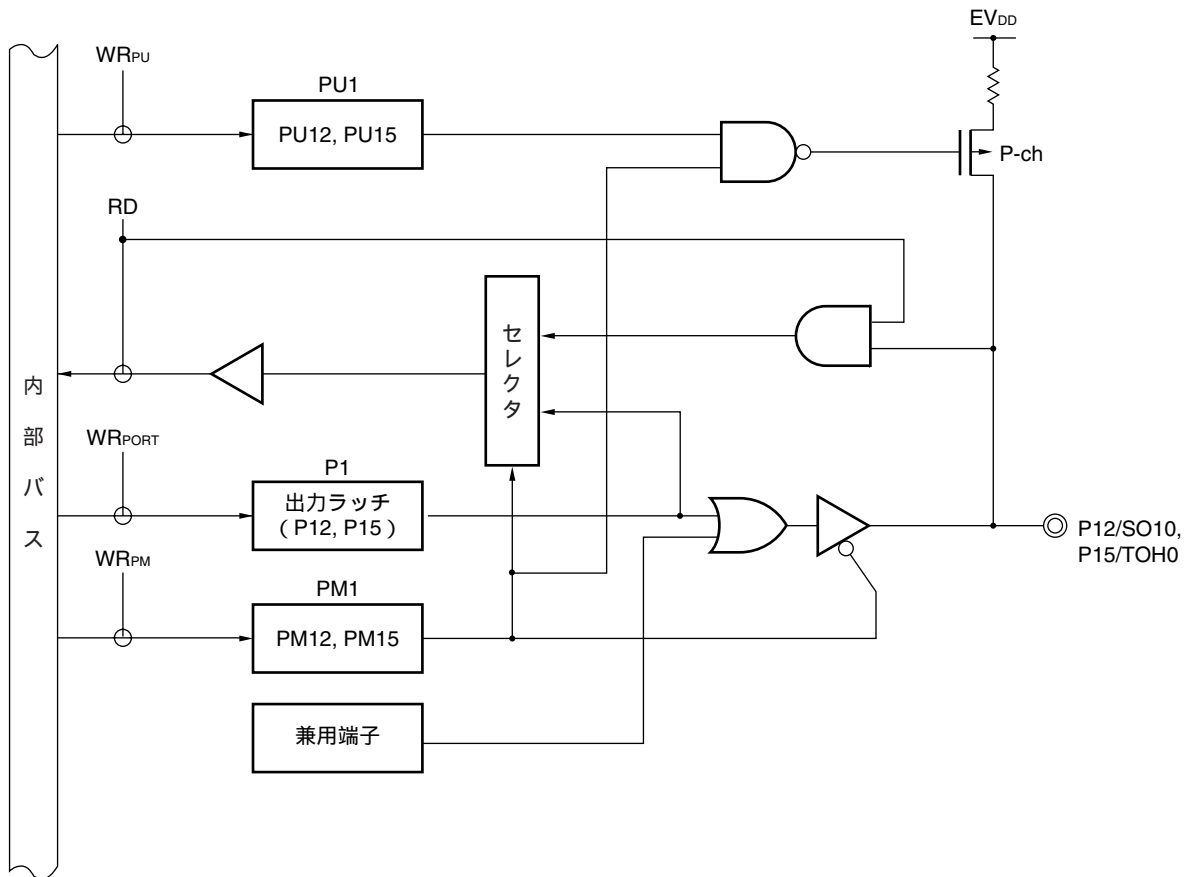
- P1 : ポート1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図5-4 P11, P14のブロック図



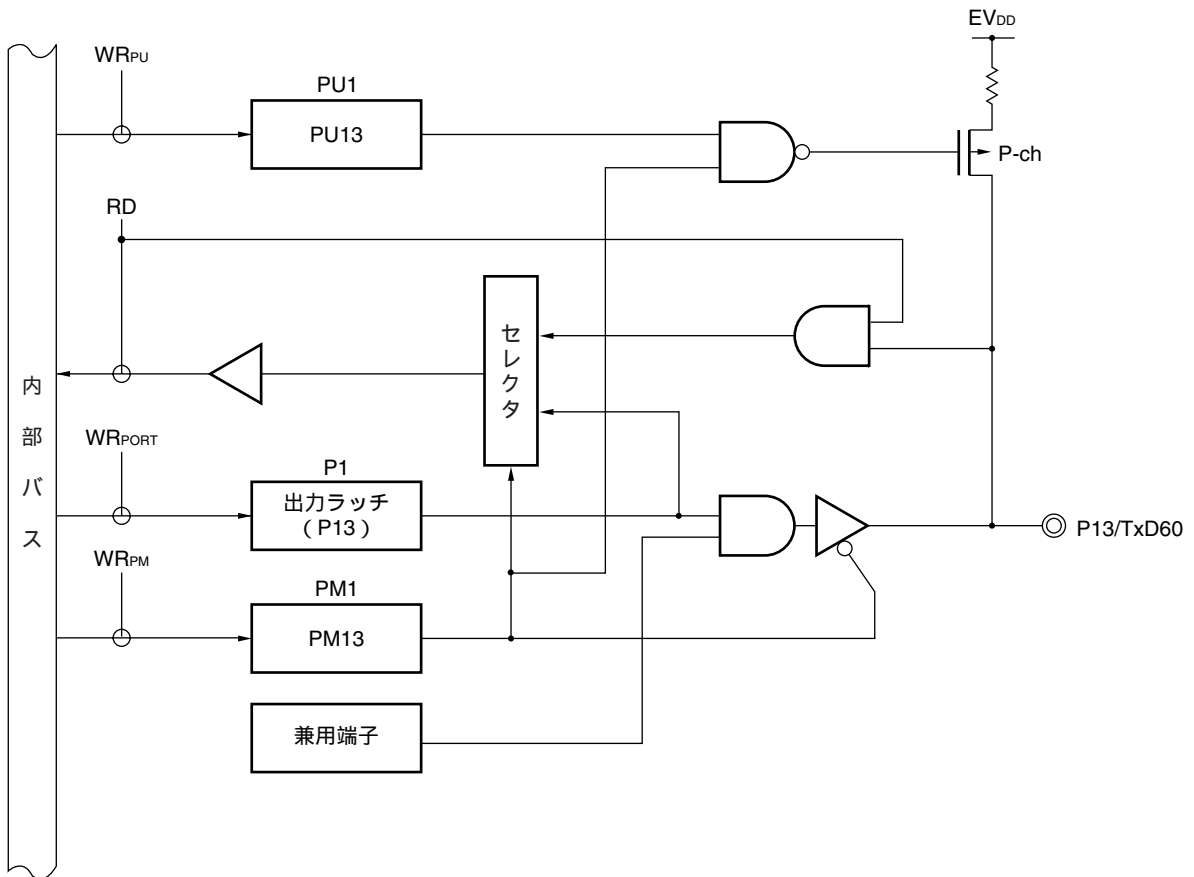
- P1 : ポート1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図5 - 5 P12, P15のブロック図



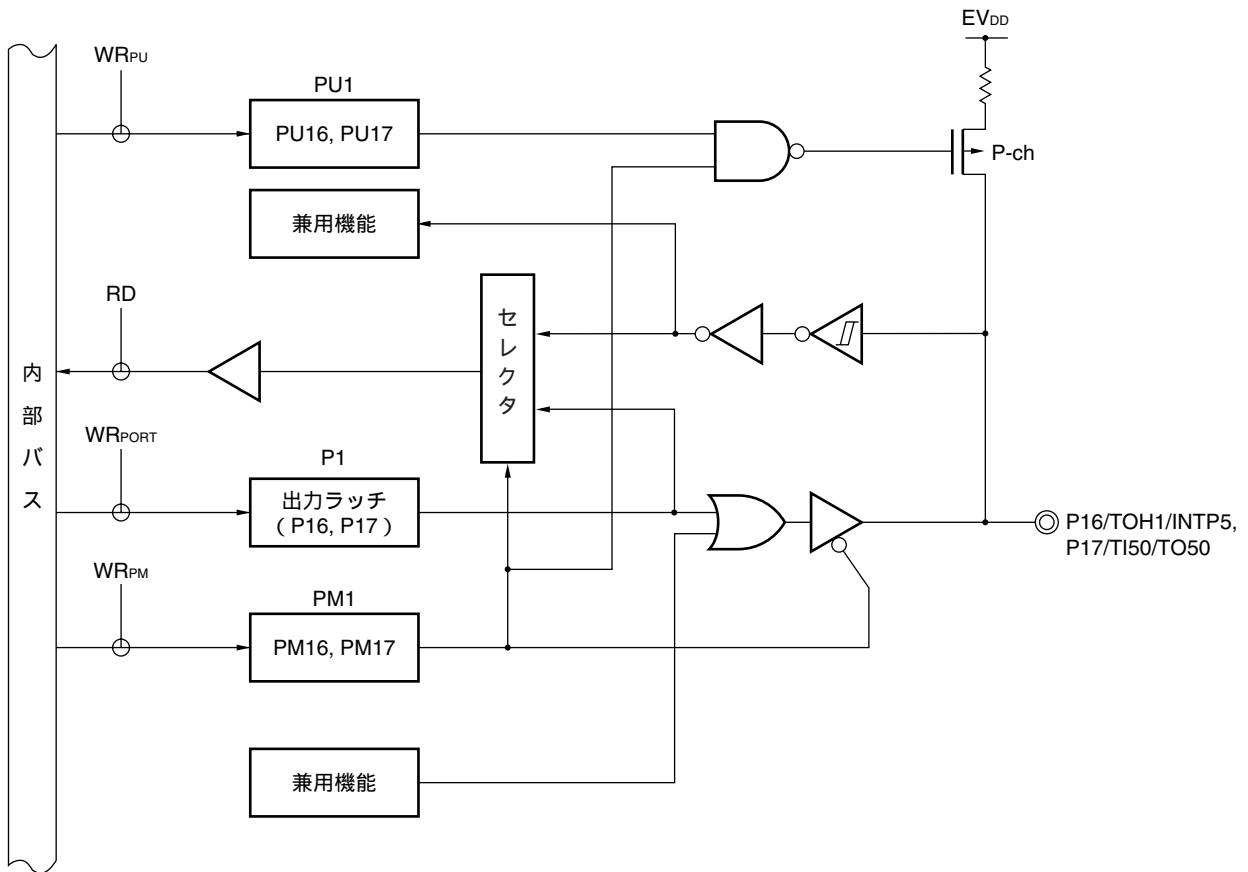
- P1 : ポート1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図5 - 6 P13のブロック図



- P1 : ポート1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図5-7 P16, P17のブロック



- P1 : ポート1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

5.2.3 ポート3

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P30/INTP1			
P31/INTP2/TI002	P31/INTP2 ^{注1}		
P32/INTP3/TI012/ TO02	P32/INTP3 ^{注2}		
P33/INTP4/TI51/ TO51			

注1. TI002端子は搭載していません。TI002以外のポート機能，兼用機能は搭載しています。

2. TI012, TO02端子は搭載していません。TI012, TO02以外のポート機能，兼用機能は搭載しています。

備考 : 搭載

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，タイマの入出力があります。

リセット信号の発生により，入力モードになります。

図5-8, 5-9にポート3のブロック図を示します。

注意1. 誤動作を防ぐため，リセット解除までにP31/INTP2/TI002を必ずプルダウンしてください。

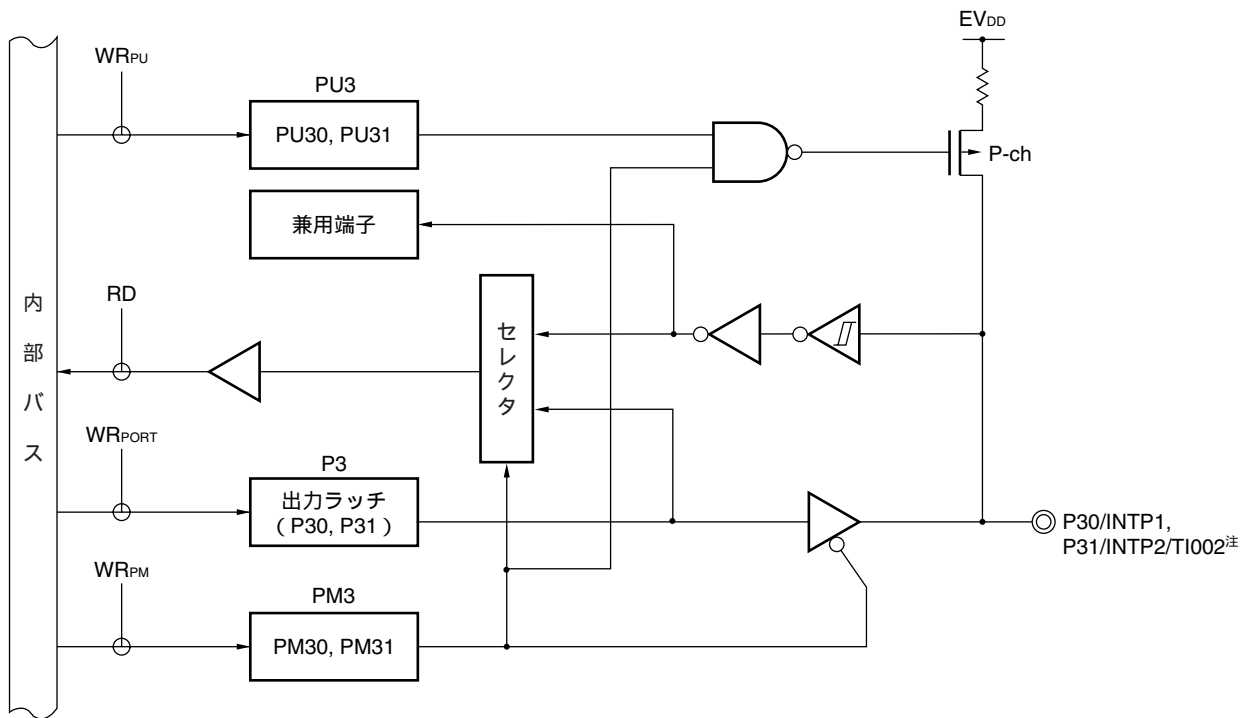
2. フラッシュ・メモリ・プログラマによる書き込みをする場合，P31/INTP2/TI002を次のように処理してください。

・ P31/INTP2/TI002 : 抵抗 (10 k Ω : 推奨) を介してEV_{SS}に接続してください。

セルフ・プログラミングによる書き込みをする場合，上記の処置は必要ありません。

備考 P31/INTP2/TI002, P32/INTP3/TI012/TO02は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用端子として使用できます。オンチップ・デバッグ・エミュレータ (QB-78K0MINIまたはQB-MINI2) との接続については，第25章 オンチップ・デバッグ機能を参照してください。

図5 - 8 P30, P31のブロック図

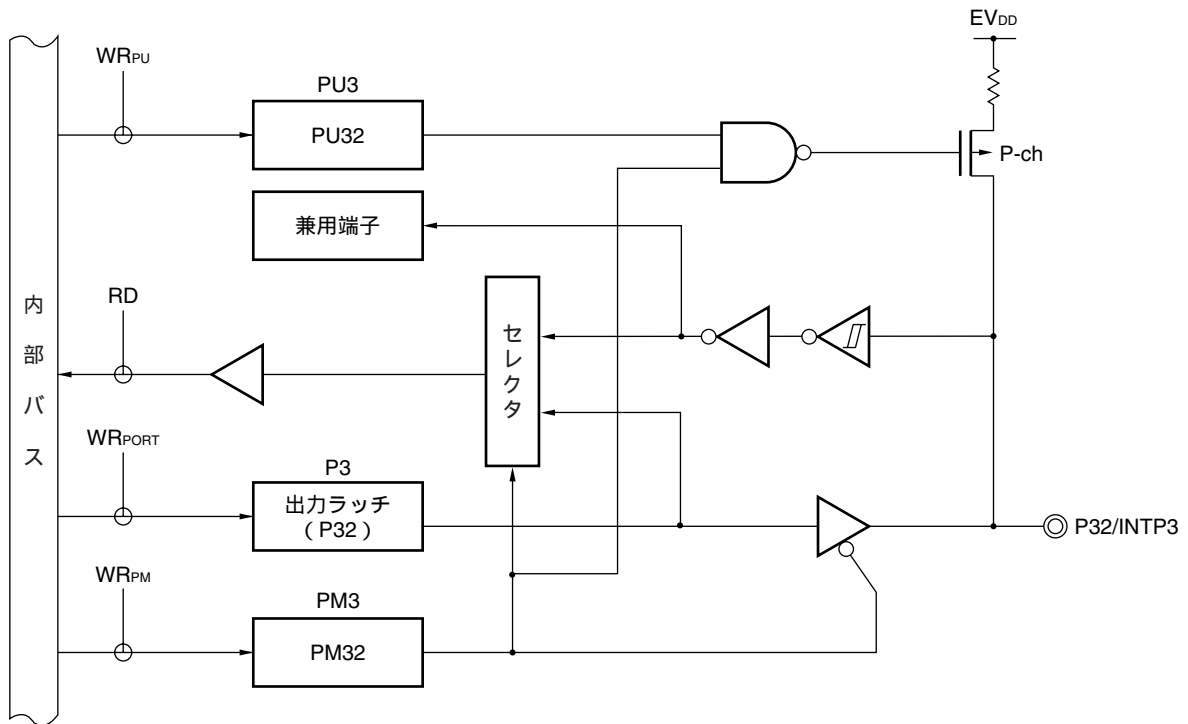


注 TI002は , 78K0/FE2, 78K/FF2のみ

- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

図5-9 P32のブロック図(1/2)

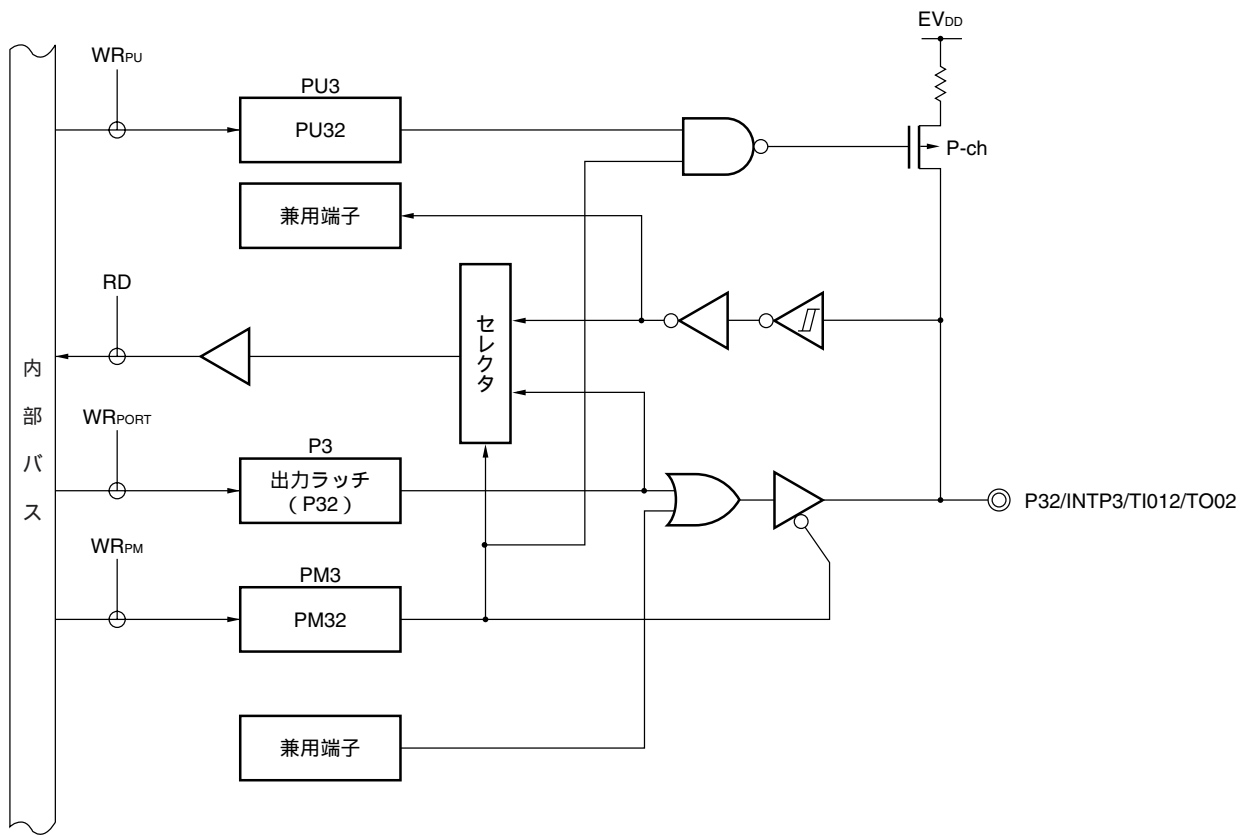
(1) 78K0/FC2



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

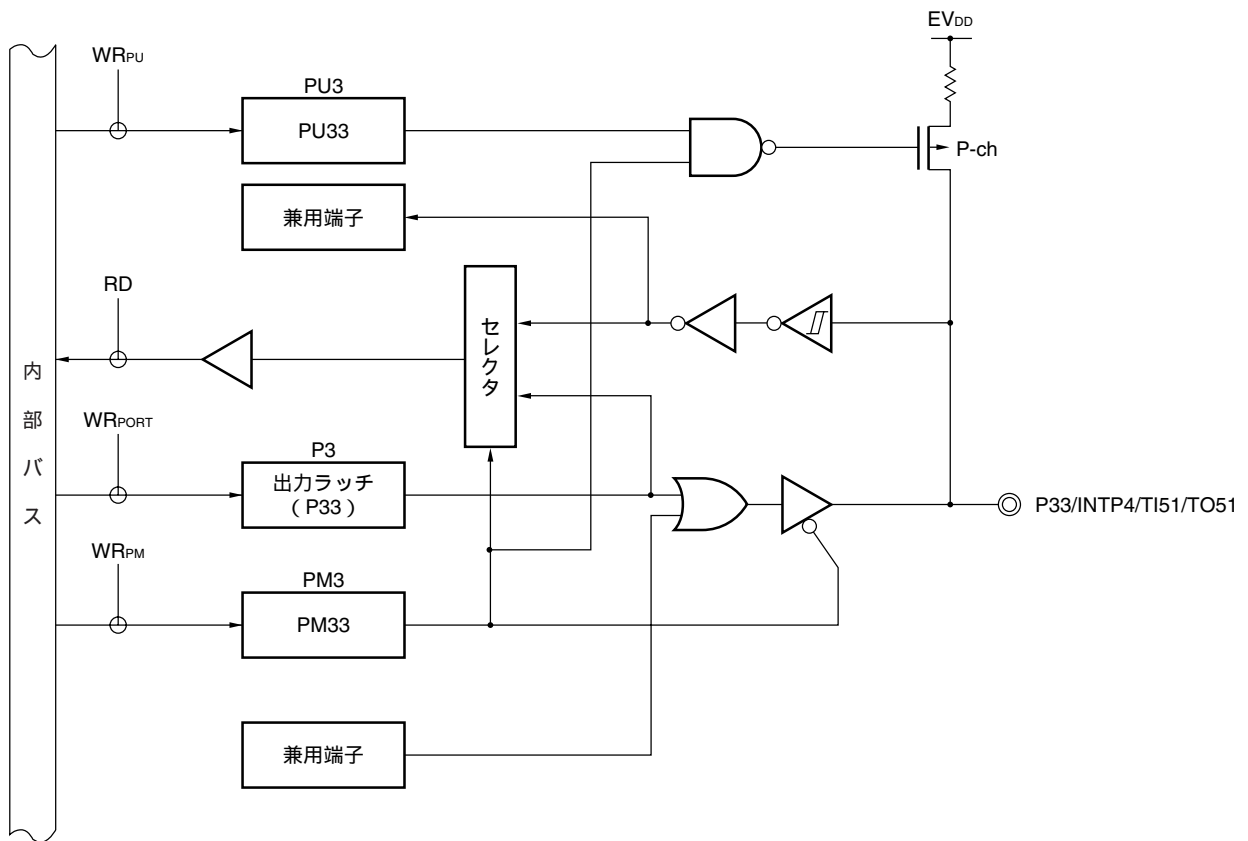
図5-9 P32のブロック図(2/2)

(2) 78K0/FE2, 78K0/FF2



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

図5 - 10 P33のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

5.2.4 ポート4

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P40			
P41			
P42	-		
P43	-		
P44	-	-	
P45	-	-	
P46	-	-	
P47	-	-	

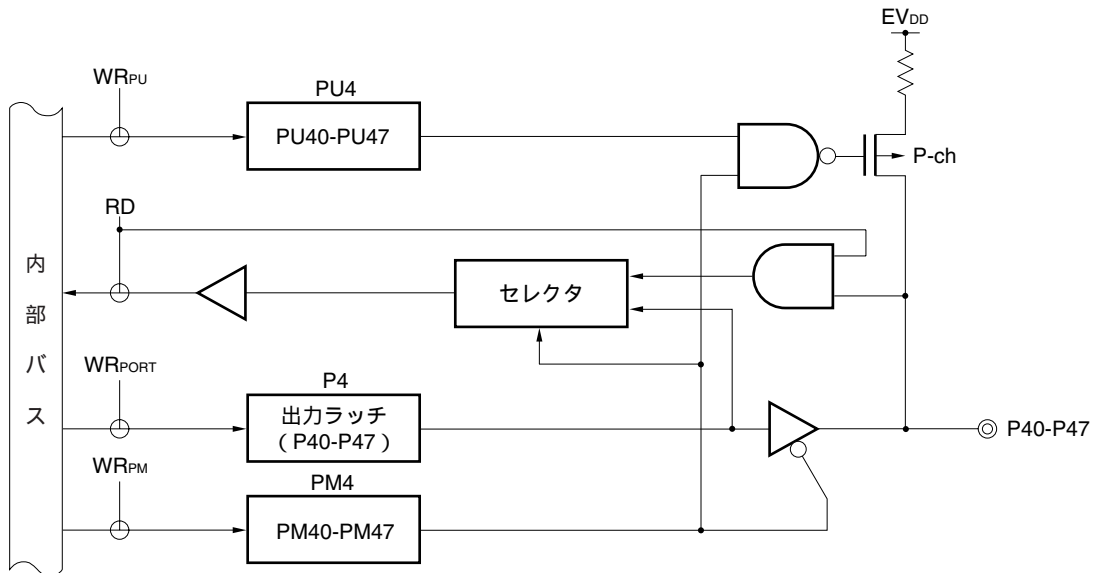
備考 : 搭載, - : 非搭載

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4(PM4)により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4(PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図5 - 11にポート4のブロック図を示します。

図5 - 11 P40-P47のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

5.2.5 ポート5

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P50	-		
P51	-		
P52	-		
P53	-		
P54	-	-	
P55	-	-	
P56	-	-	
P57	-	-	

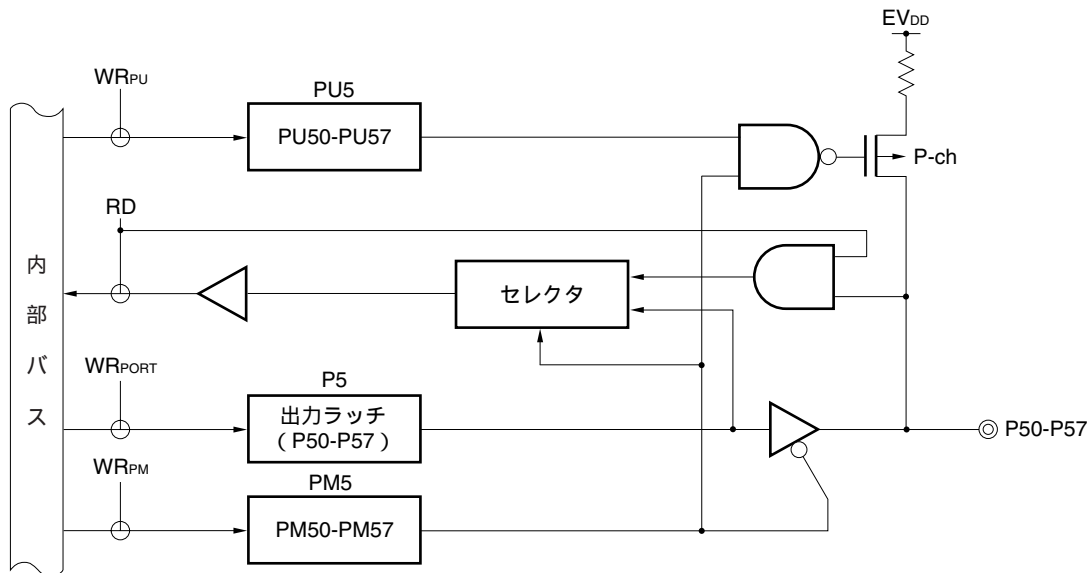
備考 : 搭載, - : 非搭載

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図5 - 12にポート5のブロック図を示します。

図5 - 12 P50-P57のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

5.2.6 ポート6

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P60				
P61				
P62				
P63	-			
P64	-	-	-	
P65	-	-	-	
P66	-	-	-	
P67	-	-	-	

備考 : 搭載, - : 非搭載

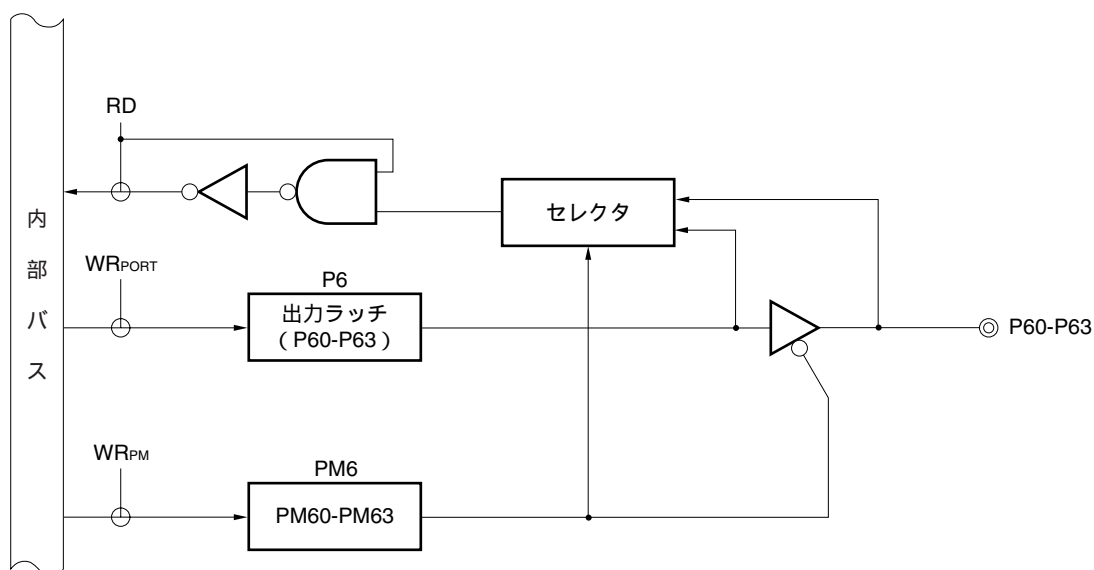
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ6(PM6)により1ビット単位で入力モード/出力モードの指定ができます。P64-P67を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6(PU6)により1ビット単位で内蔵プルアップ抵抗を使用できます。P60-P63には内蔵プルアップ抵抗はありません。

P60-P63端子は、N-chオープン・ドレイン出力(6V耐圧)です。

リセット信号の発生により、入力モードになります。

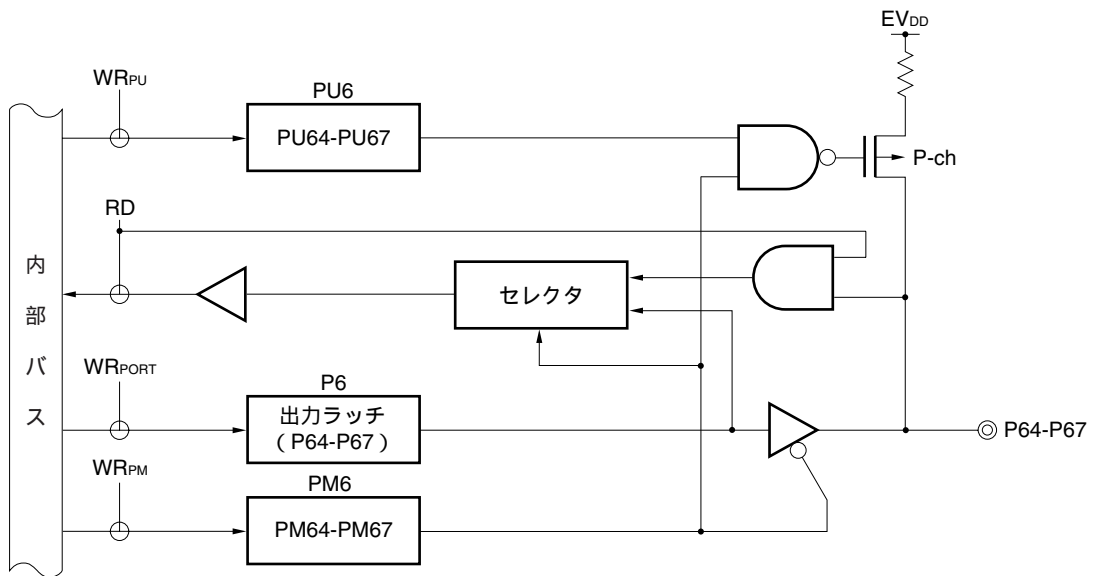
図5-13, 5-14にポート6のブロック図を示します。

図5 - 13 P60-P63のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

図5 - 14 P64-P67のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_{xx} : ライト信号

5.2.7 ポート7

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P70/CTxD			
P71/CRxD			
P72/PCL/INTP6			
P73/BUZ/INTP7			
P74/SO11	-		
P75/SI11	-		
P76/SCK11	-		

備考 : 搭載, - : 非搭載

出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。P70-P76端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

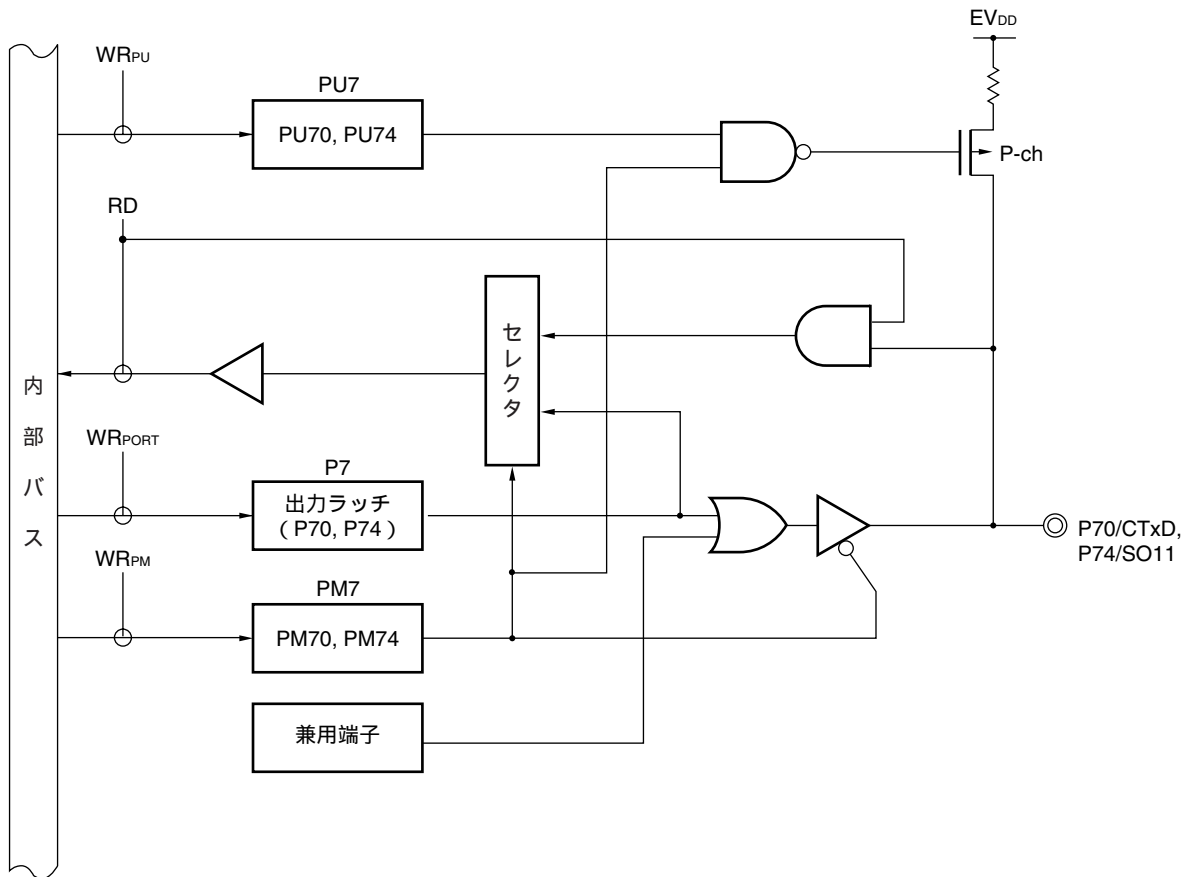
また、兼用機能として外部割込み要求入力、クロック出力、ブザー出力、シリアル・インタフェースのCANデータ入出力、データ入出力、クロック入出力機能があります。

リセット信号の発生により、入力モードになります。

図5 - 15 ~ 5 - 18にポート7のブロック図を示します。

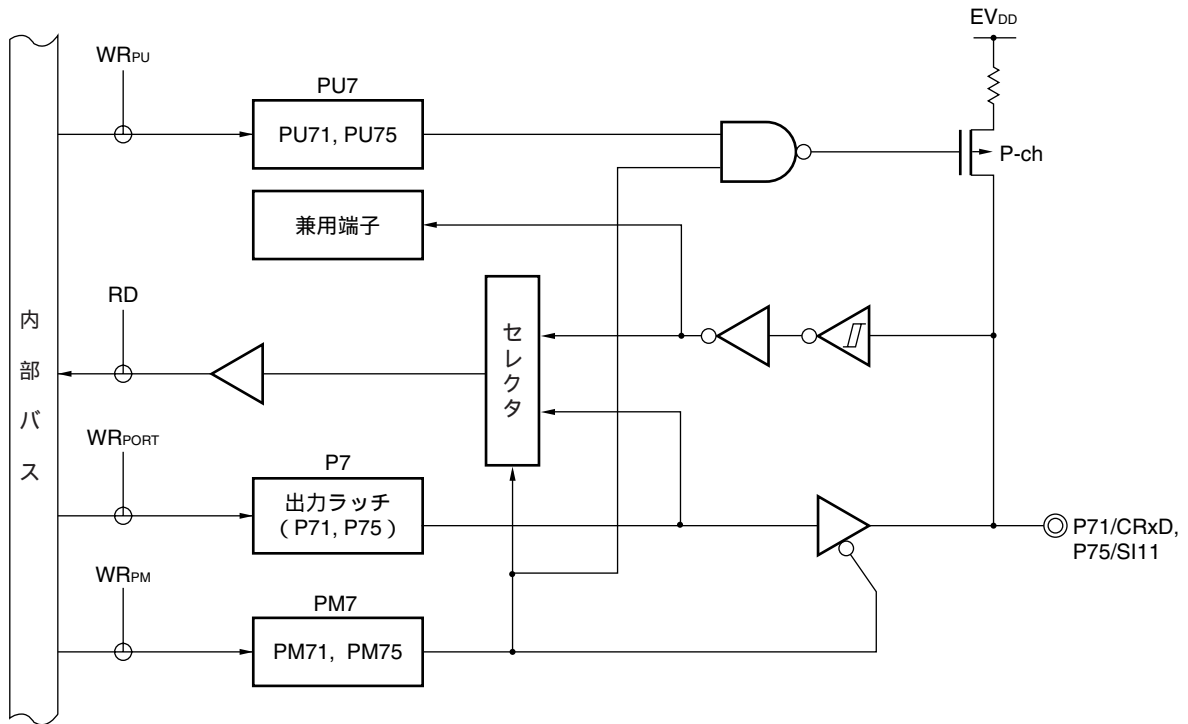
注意 P74/SO11, P76/SCK11を汎用ポートとして使用する場合、シリアル動作モード・レジスタ11 (CSIM11) とシリアル・クロック選択レジスタ11 (CSIC11) は初期状態と同じ設定 (00H) にしてください。

図5 - 15 P70, P74のブロック図



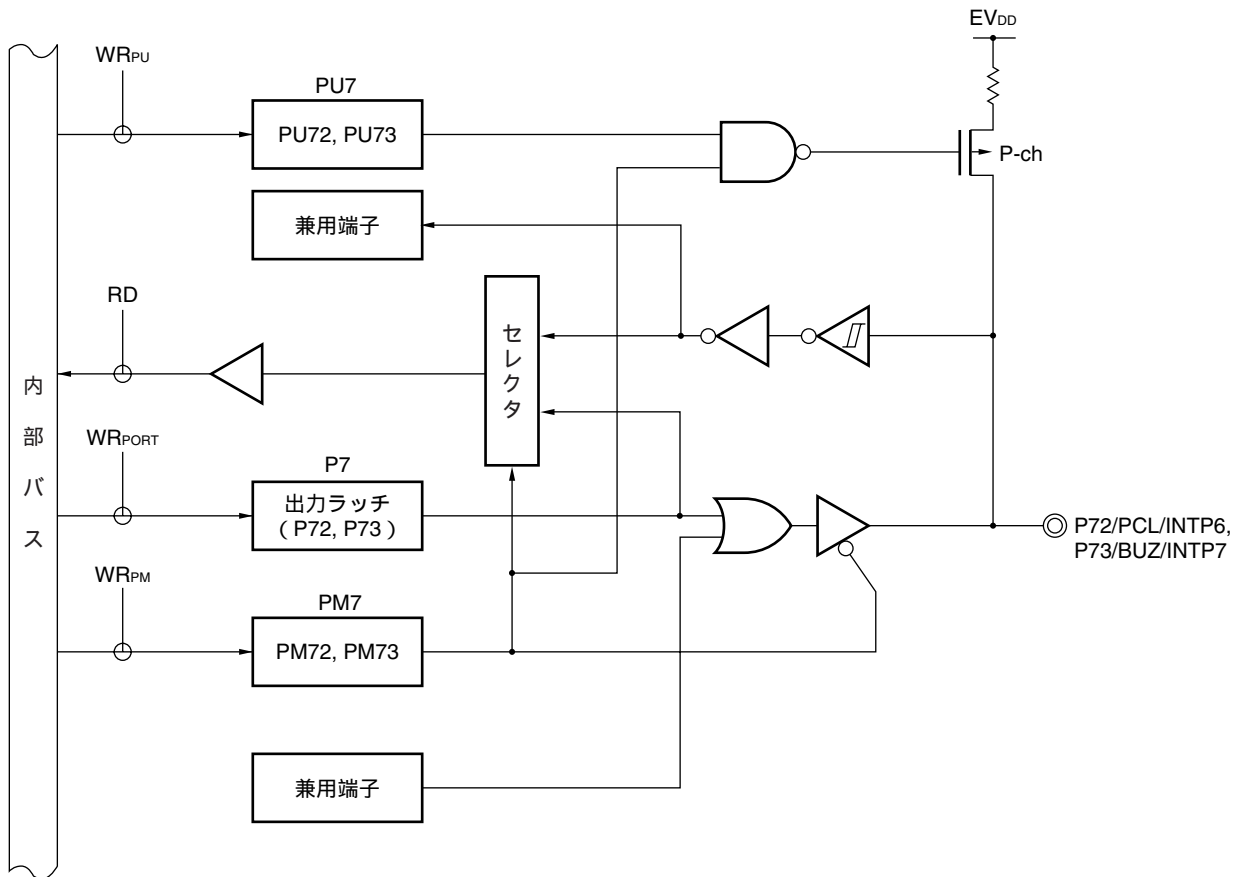
- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_{xx} : ライト信号

図5 - 16 P71, P75のブロック図



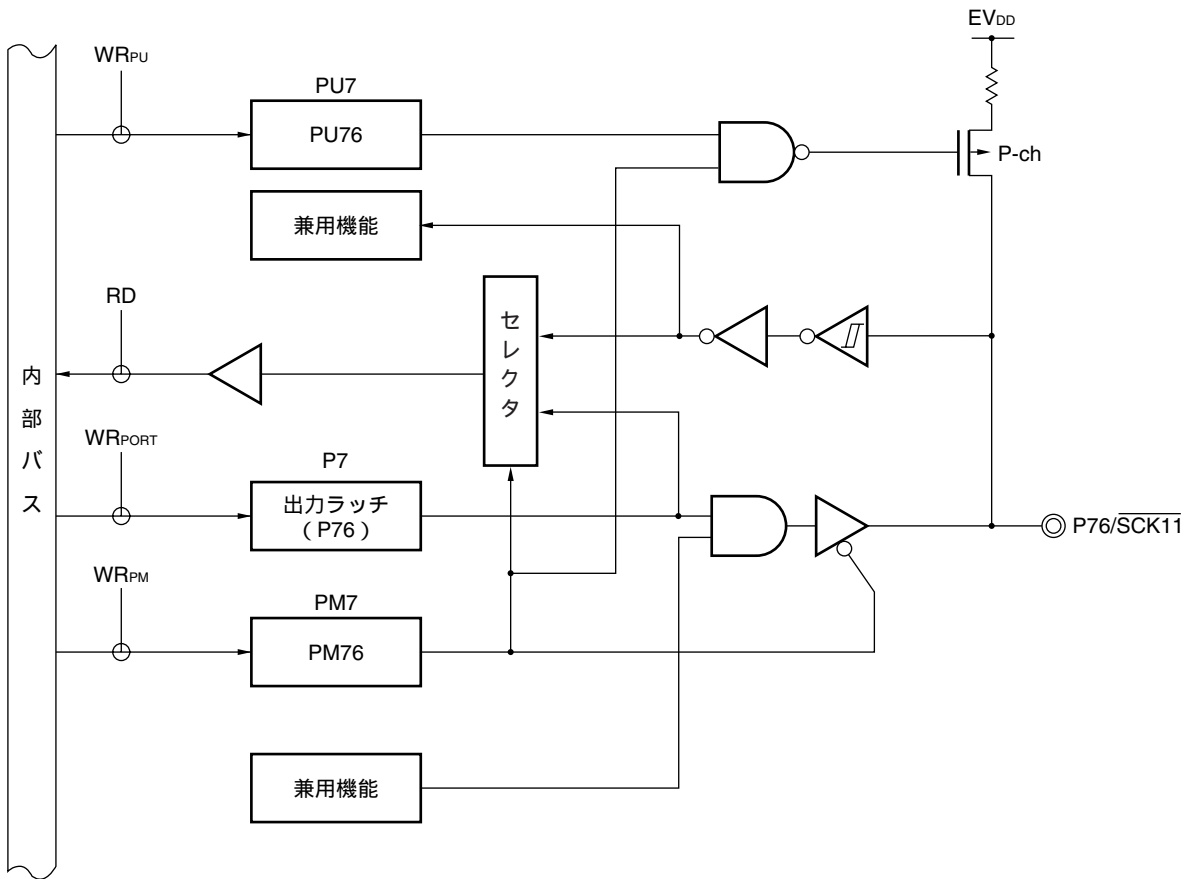
- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

図5 - 17 P72, P73のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_{xx} : ライト信号

図5 - 18 P76のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_{xx} : ライト信号

5.2.8 ポート8

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P80/ANI0			
P81/ANI1			
P82/ANI1			
P83/ANI2			
P84/ANI3			
P85/ANI4			
P86/ANI5			
P87/ANI6			

備考 : 搭載, - : 非搭載

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード / 出力モードの指定ができます。

また, 兼用機能としてA/Dコンバータのアナログ入力があります。

P80/ANI0-P87/ANI7をデジタル入力として使用する場合は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に, かつPM8で入力モードに設定して, 下位ビットから使用してください。

P80/ANI0-P87/ANI7をデジタル出力として使用する場合は, ADPCでデジタル入出力に, かつPM8で出力モードに設定してください。

表5 - 5 P80/ANI0-P87/ANI7端子機能の設定

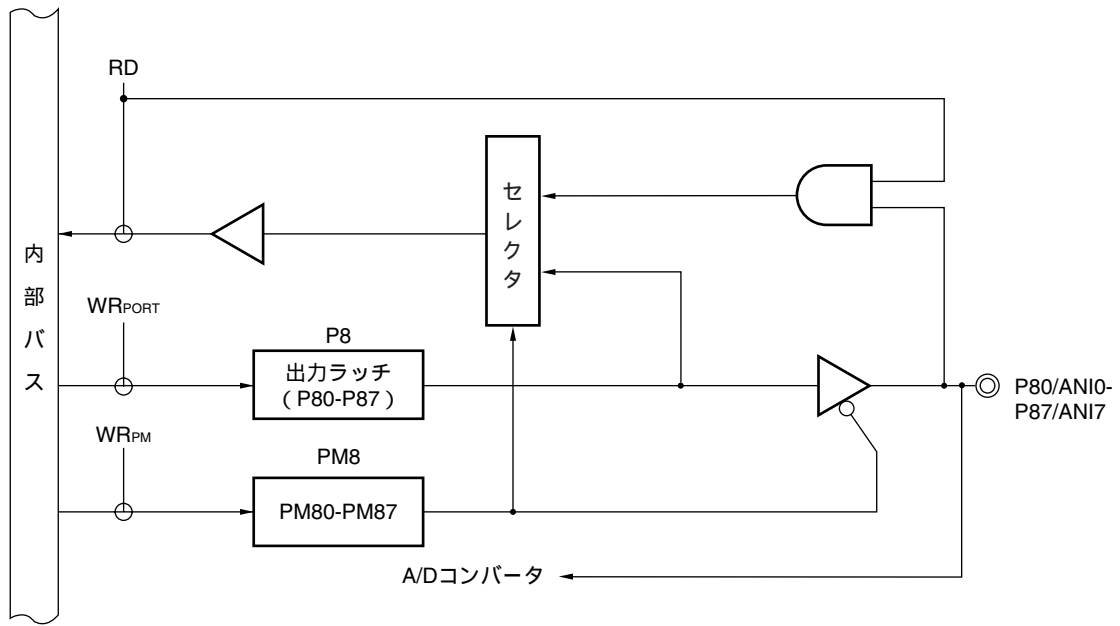
ADPC	PM8	ADS	P80/ANI0-P87/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により, P80/ANI0-P87/ANI7はすべてアナログ入力になります。

図5 - 19にポート8のブロック図を示します。

注意 ポート8をデジタル・ポートとして使用する場合は, AVREFをVDDと同電位にしてください。

図5 - 19 P80-P87のブロック図



- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- RD : リード信号
- WR_x : ライト信号

5.2.9 ポート9

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P90/ANI8	-			
P91/ANI9	-	-		
P92/ANI10	-	-		
P93/ANI11	-	-		
P94/ANI12	-	-	-	
P95/ANI13	-	-	-	
P96/ANI14	-	-	-	
P97/ANI15	-	-	-	

備考 : 搭載, - : 非搭載

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P90/ANI8-P97/ANI15をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM9で入力モードに設定して、下位ビットから使用してください。

P90/ANI8-P97/ANI15をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM9で出力モードに設定してください。

表5 - 6 P90/ANI8-P97/ANI15端子機能の設定

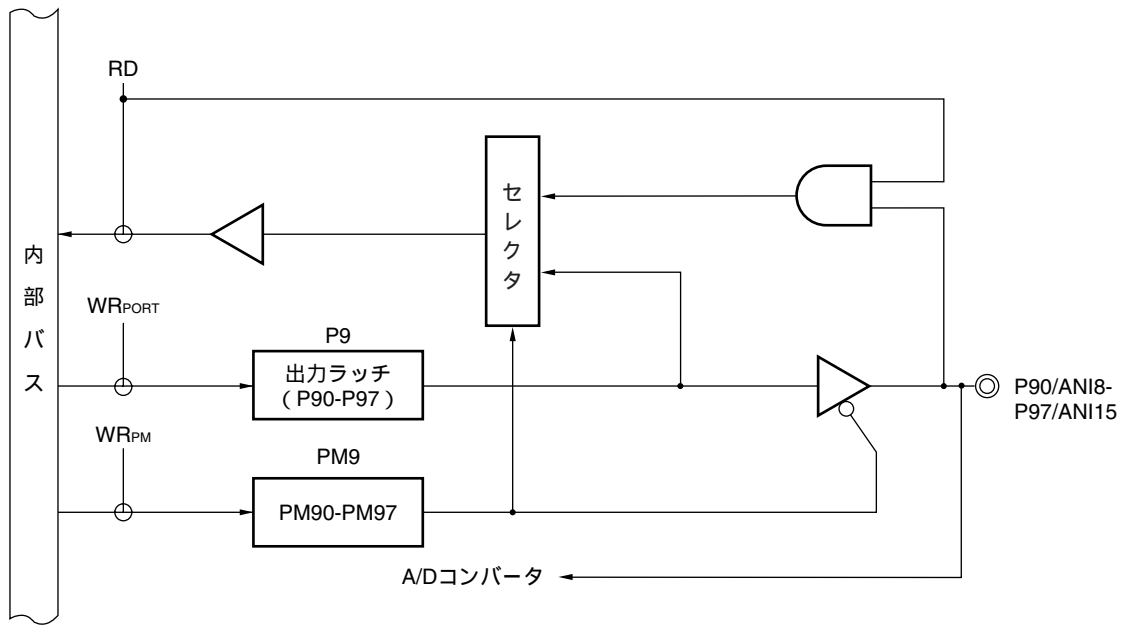
ADPC	PM9	ADS	P90/ANI8-P97/ANI15端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P90/ANI8-P97/ANI15はすべてアナログ入力になります。

図5 - 20にポート9のブロック図を示します。

注意 ポート9をデジタル・ポートとして使用する場合は、AVREFをVDDと同電位にしてください。

図5 - 20 P90-P97のブロック図



- P9 : ポート・レジスタ9
- PM9 : ポート・モード・レジスタ9
- RD : リード信号
- WR_{xx} : ライト信号

5.2.10 ポート12

	78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-6, z = 4, 5	y = 7-9	y = 1-3
P120/INTPO/EXLVI			
P121/X1			
P122/X2/EXCLK			
P123/XT1			
P124/XT2/EXCLK			

備考 : 搭載

出力ラッチ付き5ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード / 出力モードの指定ができます。P120のみ、入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図5 - 21, 5 - 22にポート12のブロック図を示します。

注意1. P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2)、サブシステム・クロック発振子接続 (XT1, XT2)、メイン・システム・クロック用外部クロック入力 (EXCLK)、サブシステム・クロック用外部クロック入力 (EXCLKS) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定してください (詳細は、6.3(5)クロック動作モード選択レジスタ (OSCCTL) を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入出力ポート) となります。このとき、PM121-PM124, P121-P124の設定は不要です。

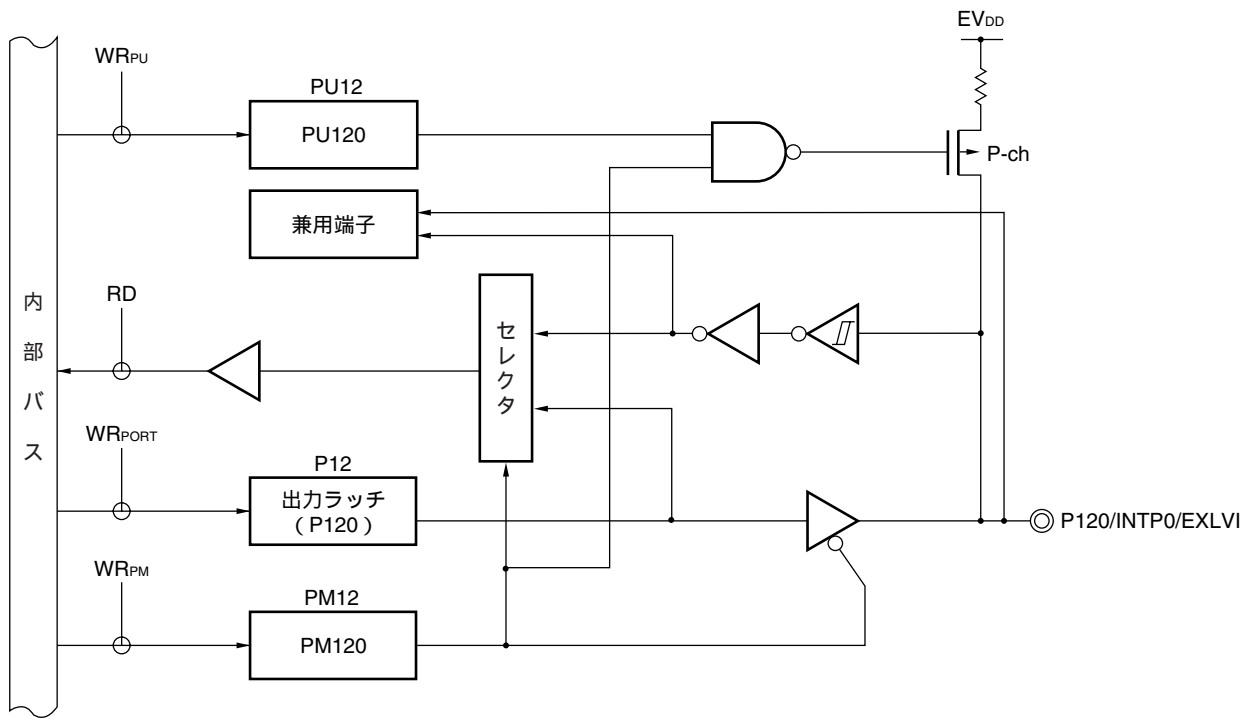
2. フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。

- ・P121/X1をポートとして使用する場合は、抵抗 (10 k Ω : 推奨) を介してV_{SS}に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

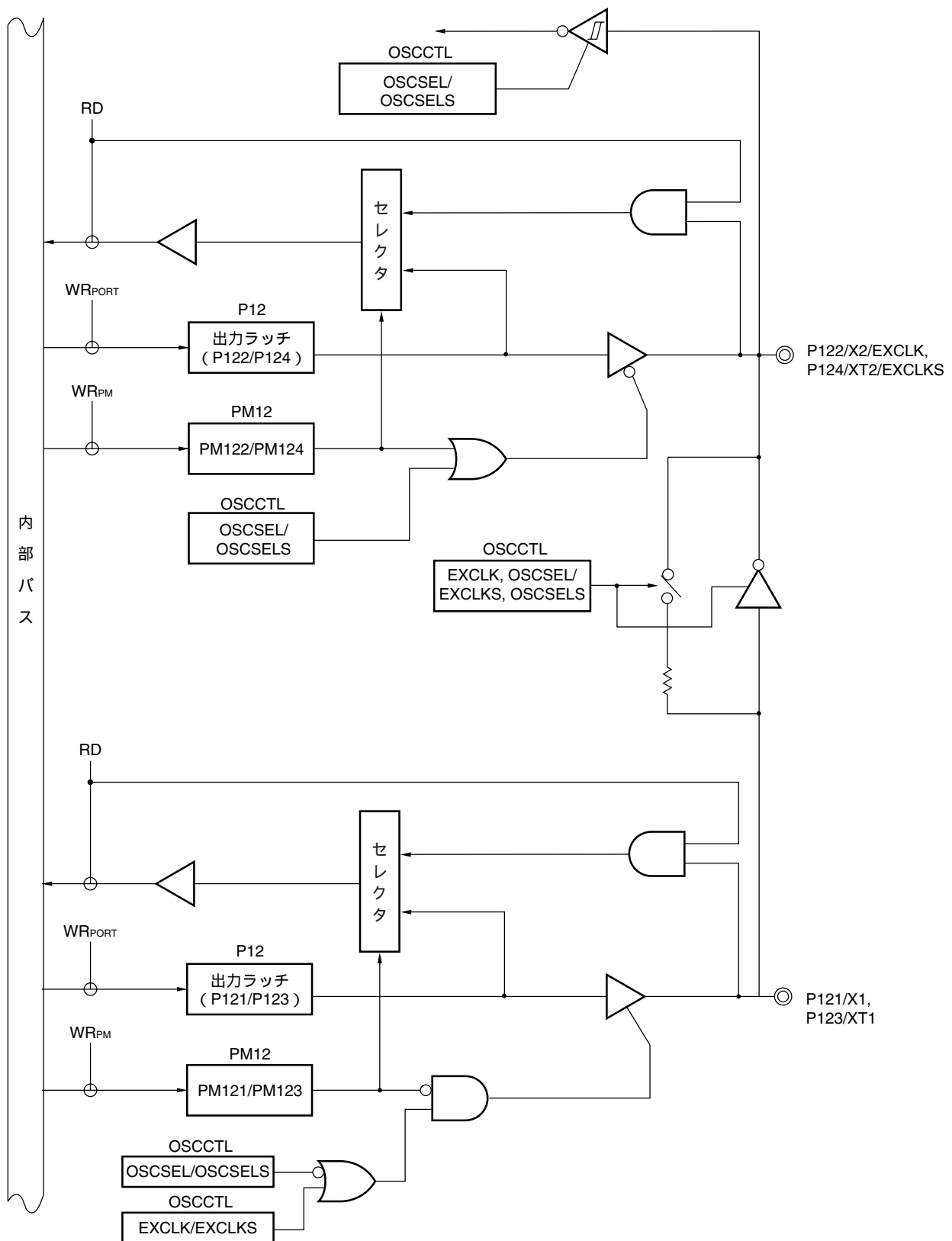
備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子として使用できます。オンチップ・デバッグ・エミュレータ (QB-78K0MINIまたはQB-MINI2) との接続については、第25章 オンチップ・デバッグ機能を参照してください。

図5 - 21 P120のブロック図



- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_x : ライト信号

図5-22 P121-P124のブロック図



- P12 : ポート・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_x : ライト信号

5.2.11 ポート13

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
P130				
P131/TI003	-	P131 ^注		
P132/TI003/TO03	-	-		

注 TI003端子は搭載していません。ポート機能は搭載しています。

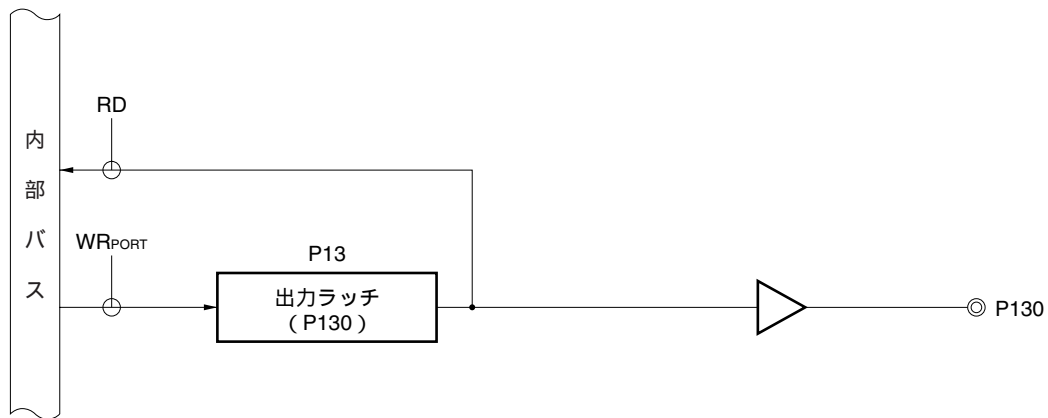
備考 : 搭載, - : 非搭載

P130は1ビット出力専用ポートです。

P131, P132は入出力ポートであり, ポート・モード・レジスタ13 (PM13) により, 1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合, プルアップ抵抗オプション・レジスタ13 (PU13) により内蔵プルアップ抵抗を使用できます。

図5 - 23 ~ 5 - 25にポート13のブロック図を示します。

図5 - 23 P130のブロック図



P13 : ポート・レジスタ13

RD : リード信号

WR_x : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため, リセットがかかる前にP130をハイ・レベル出力にした場合, P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

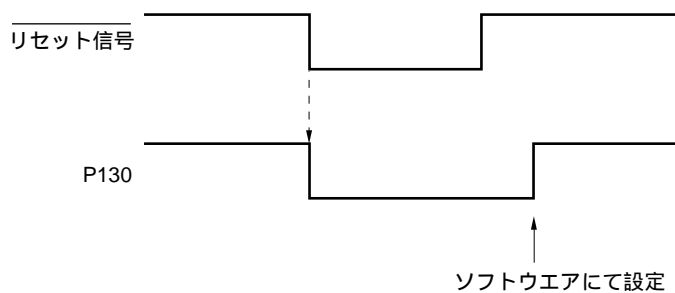
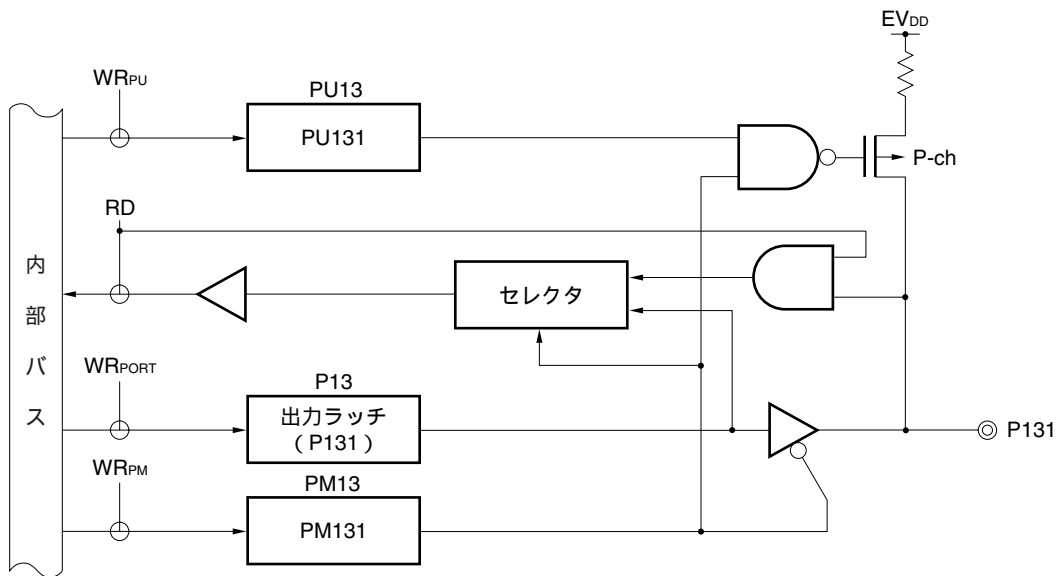


図5 - 24 P131のブロック図 (1/2)

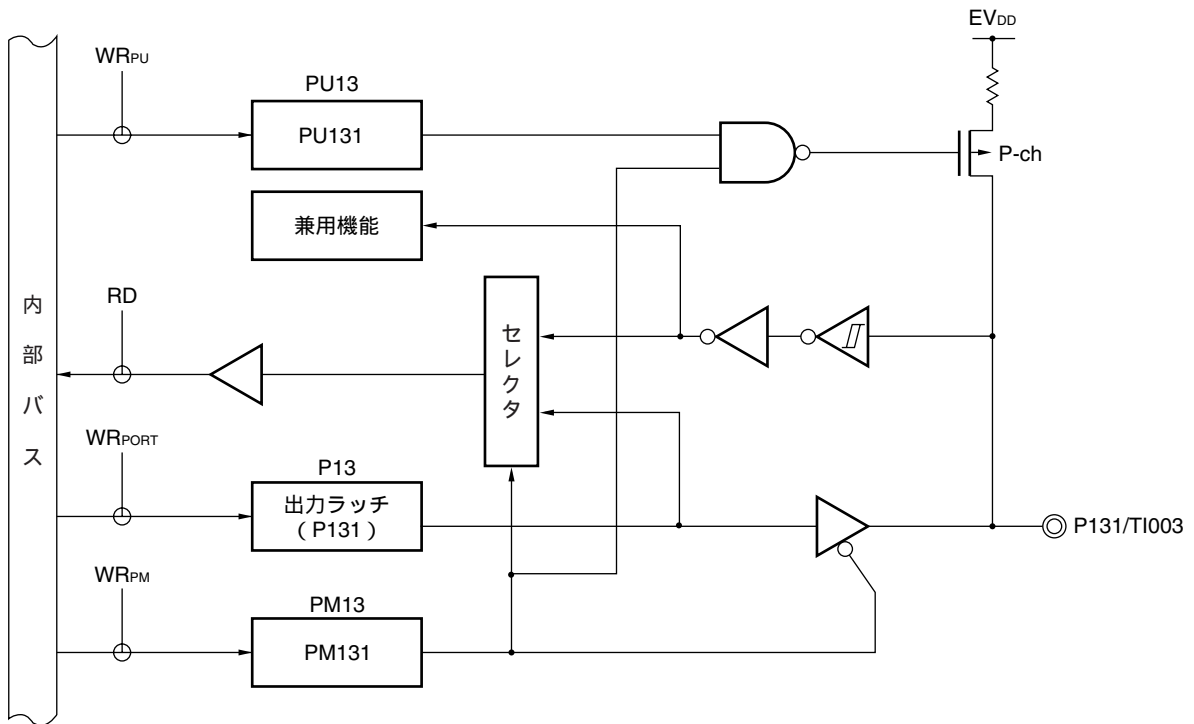
(1) 78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A



- P13 : ポート・レジスタ13
- PU13 : プルアップ抵抗オプション・レジスタ13
- PM13 : ポート・モード・レジスタ13
- RD : リード信号
- WR_x : ライト信号

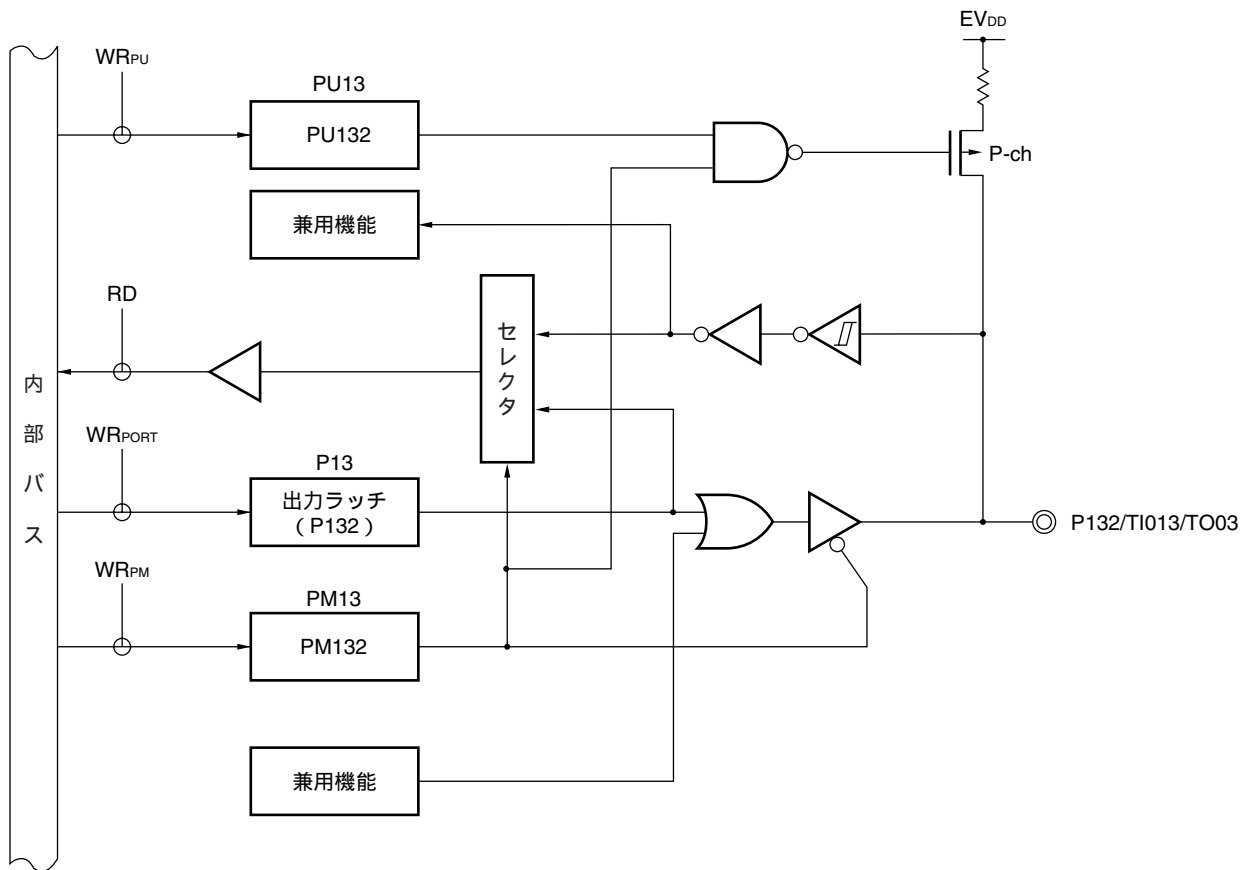
図5 - 24 P131のブロック図 (2/2)

(2) 78K0/FE2, 78K0/FF2



- P13 : ポート・レジスタ13
- PU13 : プルアップ抵抗オプション・レジスタ13
- PM13 : ポート・モード・レジスタ13
- RD : リード信号
- WR_{xx} : ライト信号

図5 - 25 P132のブロック図



- P13 : ポート・レジスタ13
- PU13 : プルアップ抵抗オプション・レジスタ13
- PM13 : ポート・モード・レジスタ13
- RD : リード信号
- WR_x : ライト信号

5.3 ポート機能を制御するレジスタ

ポートは、次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。PM13のみFEHとなります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表5-7のように設定してください。

図5-26 ポート・モード・レジスタのフォーマット (78K0/FC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06 ^注	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM6	1	1	1	1	PM63 ^注	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	1	1	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	1	1	1	1	1	PM90 ^注	FF29H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	1	1	PM131 ^注	0	FF2DH	FEH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 4, 6-9, 12, 13; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 PM06, PM63, PM90, PM131は、 μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。
 μ PD78F0881A, 78F0882A, 78F0883Aでは、PM0のビット6, PM6のビット3, PM9のビット0, PM13のビット1に必ず“1”を設定してください。

図5 - 27 ポート・モード・レジスタのフォーマット (78K0/FE2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	1	1	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	1	PM132	PM131	0	FF2DH	FEH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3-9, 12, 13 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図5 - 28 ポート・モード・レジスタのフォーマット (78K0/FF2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	1	PM132	PM131	0	FF2DH	FEH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3-9, 12, 13 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5 - 29 ポート・レジスタのフォーマット (78K0/FC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06 ^注	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63 ^注	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P9	0	0	0	0	0	0	0	P90 ^注	FF09H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W
P13	0	0	0	0	0	0	P131 ^注	P130	FF0DH	00H (出力ラッチ)	R/W

Pmn	m = 0, 1, 3, 4, 6-9, 12, 13; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P06, P63, P90, P131 は，μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A のみ。
μPD78F0881A, 78F0882A, 78F0883Aでは，P0のビット6, P6のビット3, P9のビット0, P13のビット1に必ず“0”を設定してください。

図5 - 30 ポート・レジスタのフォーマット (78K0/FE2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	P53	P52	P51	P50	FF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P9	0	0	0	0	P93	P92	P91	P90	FF09H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W
P13	0	0	0	0	0	P132	P131	P130	FF0DH	00H (出力ラッチ)	R/W

Pmn	m = 0, 1, 3-9, 12, 13; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

図5 - 31 ポート・レジスタのフォーマット (78K0/FF2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FF09H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W
P13	0	0	0	0	0	P132	P131	P130	FF0DH	00H (出力ラッチ)	R/W

Pmn	m = 0, 1, 3-9, 12, 13; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

(3) ブルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵ブルアップ抵抗を使用するか、しないかを設定するレジスタです。ブルアップ抵抗オプション・レジスタにより内蔵ブルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部ブルアップ抵抗が使用できます。出力モードに設定したビットは、ブルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵ブルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

ブルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 32 ブルアップ抵抗オプション・レジスタのフォーマット (78K0/FC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06 ^注	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	7	6	5	4	3	2	1	0	FF31H	00H	R/W
PU3	7	6	5	4	3	2	1	0	FF33H	00H	R/W
PU4	7	6	5	4	3	2	1	0	FF34H	00H	R/W
PU7	7	6	5	4	3	2	1	0	FF37H	00H	R/W
PU12	7	6	5	4	3	2	1	0	FF3CH	00H	R/W
PU13	7	6	5	4	3	2	1	0	FF3DH	00H	R/W

PU _m _n	PU _m _n の内蔵ブルアップ抵抗の選択 (m = 0, 1, 3, 4, 7, 12, 13; n = 0-7)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

注 PU06, PU131は、μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aのみ。μPD78F0881A, 78F0882A, 78F0883Aでは、PU0のビット6, PU13のビット1に必ず“0”を設定してください。

図5 - 33 プルアップ抵抗オプション・レジスタのフォーマット (78K0/FE2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	0	0	0	0	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU7	0	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU13	0	0	0	0	0	PU132	PU131	0	FF3DH	00H	R/W

PUmn	PUmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 13 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図5 - 34 プルアップ抵抗オプション・レジスタのフォーマット (78K0/FF2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	FF36H	00H	R/W
PU7	0	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU13	0	0	0	0	0	PU132	PU131	0	FF3DH	00H	R/W

PUmn	PUmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-7, 12, 13 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(4) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子を, ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

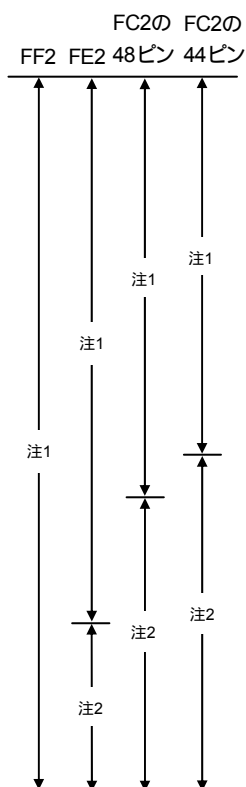
リセット信号の発生により, 00Hになります。

備考	P80/ANI0-P87/ANI7端子	: 78K0/FC2の44ピン
	P80/ANI0-P87/ANI7, P90/ANI8端子	: 78K0/FC2の48ピン
	P80/ANI0-P87/ANI7, P90/ANI8-P93/ANI11端子	: 78K0/FE2
	P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子	: 78K0/FF2

図5 - 35 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : FF22H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0



A D P C	A D P C	A D P C	A D P C	A D P C	アナログ入力 (A) / デジタル入出力 (D) の切り替え															
					P97/ ANI15	P96/ ANI14	P95/ ANI13	P94/ ANI12	P93/ ANI11	P92/ ANI10	P91/ ANI9	P90/ ANI8	P87/ ANI7	P86/ ANI6	P85/ ANI5	P84/ ANI4	P83/ ANI3	P82/ ANI2	P81/ ANI1	P80/ ANI0
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	
0	0	1	0	1	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	
0	0	1	1	0	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	
0	0	1	1	1	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	
0	1	0	0	1	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	
0	1	0	1	1	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
上記以外					設定禁止															

- 注 1. 設定可
- 2. 設定禁止

- 注意 1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ8, 9 (PM8, PM9) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. ADPCにデータを書き込むと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADPCにデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

- 備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品
 ANI0-ANI8端子 : 78K0/FC2の48ピン製品
 ANI0-ANI11端子 : 78K0/FE2
 ANI0-ANI15端子 : 78K0/FF2

5.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

5.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

5.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表5-7のように設定してください。

備考 製品により，搭載しているポート端子が異なります。表5-3 ポートの機能を参照してください。

表5-7 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/2)

端子名称	兼用機能		PM x x	P x x
	名 称	入出力		
P00	TI000	入力	1	x
P01	TI010	入力	1	x
	TO00	出力	0	0
P05	SSI11	入力	1	x
	TI001	入力	1	x
P06	TI011	入力	1	x
	TO01	出力	0	0
P10	SCK10	入力	1	x
		出力	0	1
	TxD61	出力	0	1
P11	SI10	入力	1	x
	RxD61	入力	1	x
P12	SO10	出力	0	0
P13	TxD60	出力	0	1
P14	RxD60	入力	1	x
P15	TOH0	出力	0	0
P16	TOH1	出力	0	0
	INTP5	入力	1	x
P17	TI50	入力	1	x
	TO50	出力	0	0
P30	INTP1	入力	1	x
P31	INTP2	入力	1	x
	TI002	入力	1	x
P32	INTP3	入力	1	x
	TI012	入力	1	x
	TO02	出力	0	0
P33	INTP4	入力	1	x
	TI51	入力	1	x
	TO51	出力	0	0

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

表5-7 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定(2/2)

端子名称	兼用機能		PM××	P××
	名称	入出力		
P70	CTxD	出力	0	1
P71	CRxD	入力	1	×
P72	PCL	出力	0	0
	INTP6	出力	1	×
P73	BUZ	入力	0	0
	INTP7	出力	1	×
P74	SO11	入力	0	0
P75	SI11	出力	1	×
P76	SCK11	入力	1	×
		出力	0	1
P80-P87	ANI0-ANI7	入力	1	×
P90-P97	ANI8-ANI15	入力	1	×
P120	INTP0	入力	1	×
	EXLVI	入力	1	×
P121	X1	入力	1	×
P122	X2	入力	1	×
	EXCLK	入力	1	×
P123	XT1	入力	1	×
P124	XT2	入力	1	×
	EXCLK	入力	1	×
P131	TI003	入力	1	×
P132	TI013	入力	1	×
	TO03	出力	0	0

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15を入力として使用する場合は, PM8, PM9の設定(入力/出力)だけでなく, A/Dポート・コンフィギュレーション・レジスタ(ADPC)を設定(アナログ入力/デジタル入力)する必要があります(詳細は, 13.3(4)アナログ入力チャンネル指定レジスタ(ADS)-(7)ポート・モード・レジスタ9(PM9)を参照)。ADPCのリセット値は, 00H(P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15はすべてアナログ入力)となります。

5.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0/Fx2マイクロコントローラ内部で、次の順序で行われます。

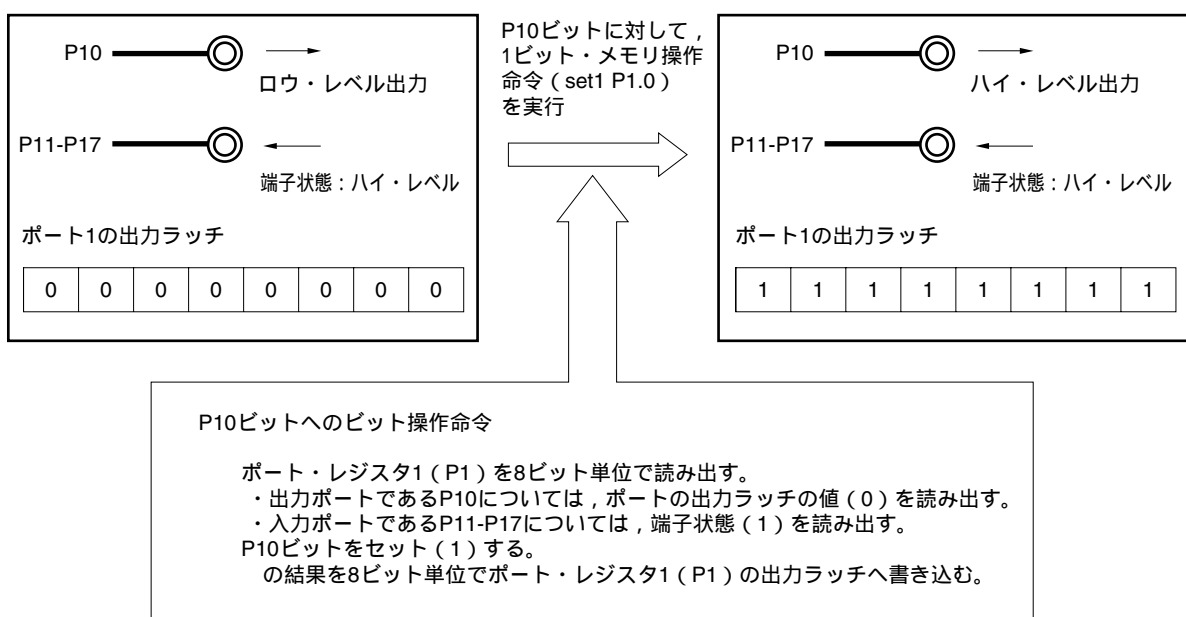
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図5-36 1ビット・メモリ操作命令 (P10の場合)



第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 4 \sim 20$ MHzのクロックを発生します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 8$ MHz (TYP.) のクロックを発生します。 \overline{RESET} 解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

また、EXCLK端子から外部メイン・システム・クロック ($f_{EXCLK} = 4 \sim 20$ MHz) を供給することができます。メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

(2) サブシステム・クロック

・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzの周波数を発生します。プロセッサ・クロック・コントロール・レジスタ (PCC) とクロック動作モード選択レジスタ (OSCCTL) の設定により、発振を停止することができます。

また、EXCLKS端子から外部サブシステム・クロック ($f_{EXCLKS} = 32.768$ kHz) を供給することができます。

備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXCLKS}	: 外部サブシステム・クロック周波数

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・ 低速内蔵発振回路

$f_{RL} = 240 \text{ kHz}$ (TYP.) のクロックを発振します。 $\overline{\text{RESET}}$ 解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・TMH1 (f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$)

備考 f_{RL} : 低速内蔵発振クロック周波数

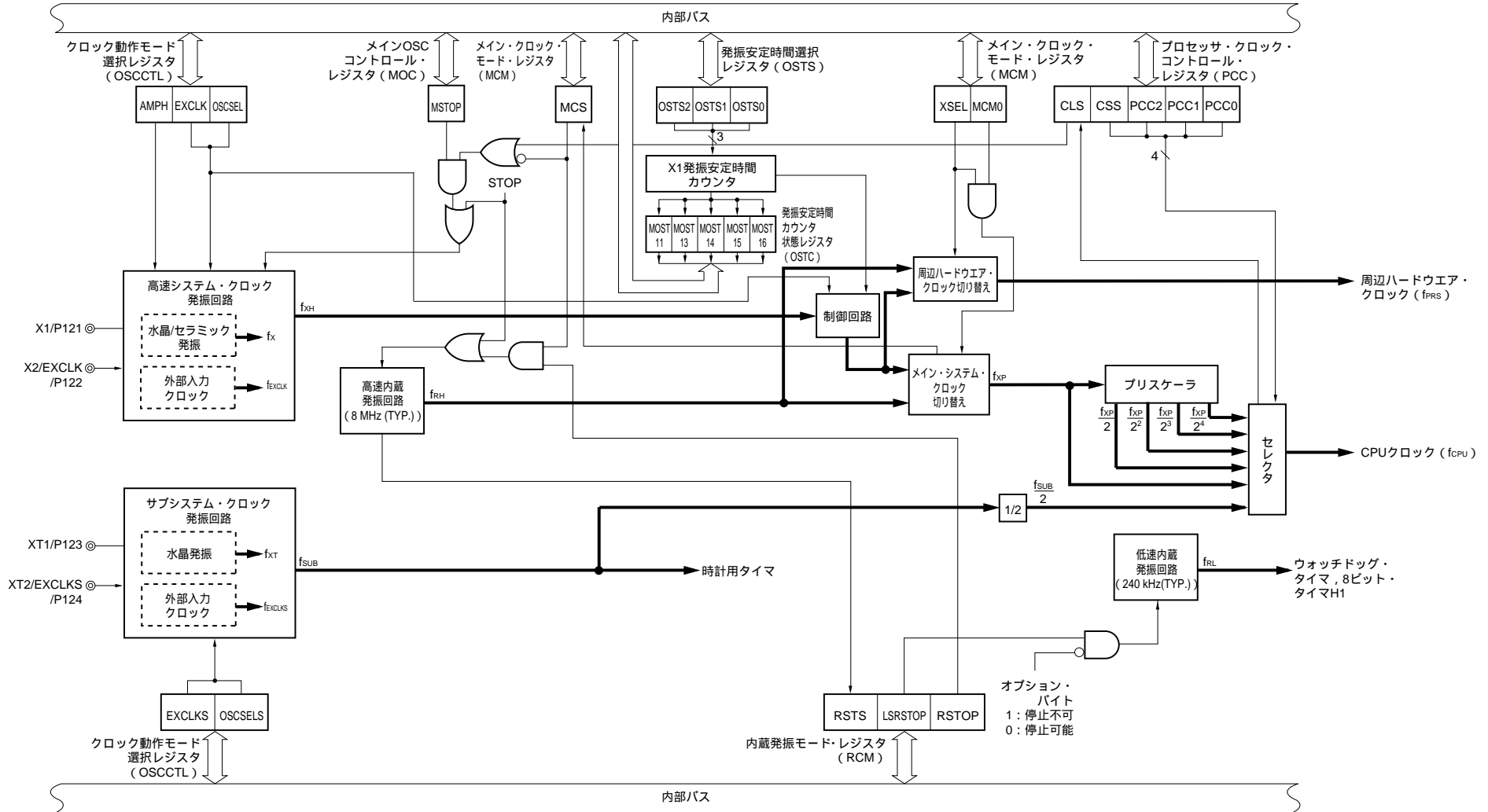
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メイン・クロック・モード・レジスタ (MCM) メインOSCコントロール・レジスタ (MOC) クロック動作モード選択レジスタ (OSCCTL) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図6-1 クロック発生回路のブロック図



備考	f_X	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XH}	: 高速システム・クロック発振周波数
	f_{XP}	: メイン・システム・クロック発振周波数
	f_{PRS}	: 周辺ハードウェア・クロック周波数
	f_{CPU}	: CPUクロック発振周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXCLKS}	: 外部サブシステム・クロック周波数
	f_{SUB}	: サブシステム・クロック周波数
	f_{RL}	: 低速内蔵発振クロック周波数

6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・クロック動作モード選択レジスタ (OSCCTL)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比を設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図6-2 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス : FFFBH リセット時 : 01H R/W^{注1}

略号	7	6	5	4	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS ^{注2}	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注1 . ビット5は、Read Onlyです。

2 . CSSを1 0に切り替える場合は、必ずメイン・クロック・モード・レジスタ (MCM) のビット1 (MCS) = 1, ビット0 (MCM0) = 1の状態で行ってください。

注意 ビット3, 6, 7には、必ず0を設定してください。

備考1 . f_{XP} : メイン・システム・クロック発振周波数

2 . f_{SUB} : サブシステム・クロック周波数

78K0/Fx2マイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表6-2のようになります。

表6 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f _{CPU})	最小命令実行時間：2/f _{CPU}			
	高速システム・クロック ^注		高速内蔵発振クロック ^注	サブシステム・クロック
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f _{XP}	0.2 μs	0.1 μs	0.25 μs (TYP.)	-
f _{XP} /2	0.4 μs	0.2 μs	0.5 μs (TYP.)	-
f _{XP} /2 ²	0.8 μs	0.4 μs	1.0 μs (TYP.)	-
f _{XP} /2 ³	1.6 μs	0.8 μs	2.0 μs (TYP.)	-
f _{XP} /2 ⁴	3.2 μs	1.6 μs	4.0 μs (TYP.)	-
f _{SUB} /2	-		-	122.1 μs

注 CPUクロックの設定（高速システム・クロック / 高速内蔵発振クロック）は、メイン・クロック・モード・レジスタ（MCM）で行います（図6 - 4参照）。

(2) 内蔵発振モード・レジスタ（RCM）

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{注1}になります。

図6 - 3 内蔵発振モード・レジスタ（RCM）のフォーマット

アドレス：FFA0H リセット時：80H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振のステータス
0	高精度モードの高速内蔵発振安定待ち中（低精度モードで高速内蔵発振動作）
1	高精度モードで高速内蔵発振動作

LSRSTOP	低速内蔵発振の発振 / 停止
0	低速内蔵発振
1	低速内蔵発振停止

RSTOP	高速内蔵発振の発振 / 停止
0	高速内蔵発振
1	高速内蔵発振停止

注1. リセット解除直後は00Hですが、高速内蔵発振安定後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、RSTOPに1を設定してください。

- ・MCS = 1のとき（CPUクロックが高速システム・クロックで動作）
- ・CLS = 1のとき（CPUクロックがサブシステム・クロックで動作）

(3) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-4 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス：FFA1H リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})
1	1	高速システム・クロック (f _{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後、1回だけ変更が可能です。

2. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。
3. 次の周辺機能は、XSELとMCM0の設定にかかわらず、f_{PRS}以外のクロックが供給されます。
 - ・ウォッチドッグ・タイマ
 - ・8ビット・タイマH1のカウント・クロックに「f_{RU}/2⁷」を選択時
 - ・クロック・ソースに外部クロックを選択している周辺ハードウェア
(ただし、TM0n (n = 0, 1) の外部カウント・クロック選択時 (TI00n端子の有効エッジ) は除く)
4. CPUクロックの切り替え時間は、1クロックです。

(4) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外によるクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図6 - 5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、MSTOPに1を設定してください。

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(5) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モードを選択するレジスタです。
 OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図6-6 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス : FFEFH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSSEL	EXCLKS	OSCSSELS	0	0	0	AMPH
--------	-------	---------	--------	----------	---	---	---	------

EXCLK	OSCSSEL	高速システム・クロックの動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入出力ポート・モード	入出力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

EXCLKS	OSCSSELS	サブシステム・クロックの動作モード	P123/XT1端子	P124/XT2/EXCLKS端子
0	0	入出力ポート・モード	入出力ポート	
0	1	XT1発振モード	水晶発振子接続	
1	0	入出力ポート・モード	入出力ポート	
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

AMPH	動作周波数の制御
0	4 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

- 注意1. 高速システム・クロック周波数が10 MHzを越える場合は、必ずAMPHに1を設定してください。
- AMPHは、メイン・クロック・モード・レジスタ (MCM) を設定する前に設定してください。
 - AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック (X1発振) を選択する場合は、AMPHに1を設定してから4.06 ~ 16.12 μ s間、CPUクロックに高速システム・クロック (外部クロック入力) を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
 - AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間、CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック (X1発振) のときは、STOPモード解除後に発振安定時間をカウントします。
 - AMPHは、リセット解除後1回のみ変更可能です。
 - EXCLKとOSCSSELを別の値に書き換える場合、メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。

注意7. EXCLKSとOSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (高速システム・クロックでCPU動作) であることを確認してください。

備考 f_{XH} : 高速システム・クロック発振周波数

(6) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックの場合に、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時 (リセット信号の発生、POC, LVI, WDTによるリセット)、STOP命令、MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

図6-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
					$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上	819.2 μs 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上	3.27 ms以上

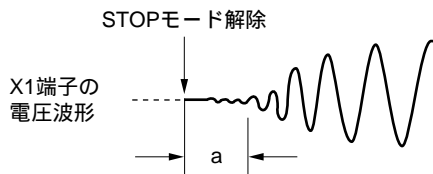
注意1. 上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。

2. CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

発振安定時間カウンタはOSTCで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTCで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. X1クロックの発振安定ウエイト時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(7) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は、CPUクロックにX1クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに高速内蔵発振クロックまたはサブシステム・クロックを選択したときのSTOPモード解除後は、OSTCにより発振安定時間の確認をしてください。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、05Hになります。

図6 - 8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs	102.4 μs
0	1	0	$2^{13}/f_x$	819.2 μs	409.6 μs
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 μs
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。

2 . X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。

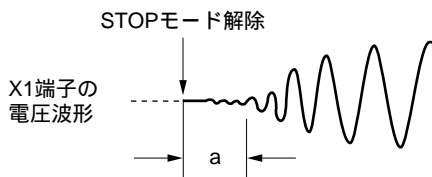
3 . CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。

4 . X1クロックの発振安定ウエイト時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

6.4 システム・クロック発振回路

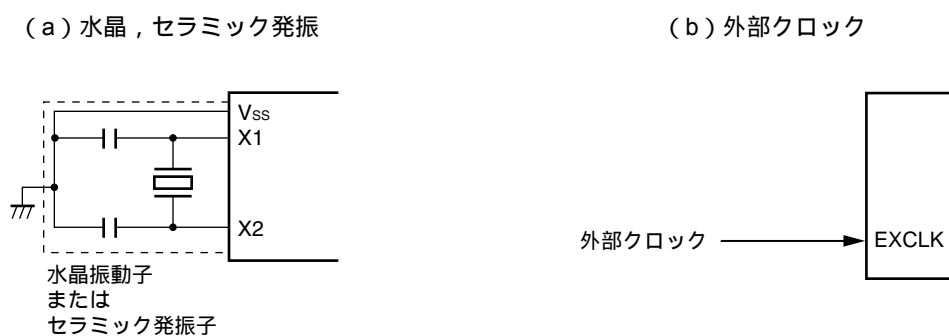
6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（4～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図6-9にX1発振回路の外付け回路例を示します。

図6-9 X1発振回路の外付け回路例



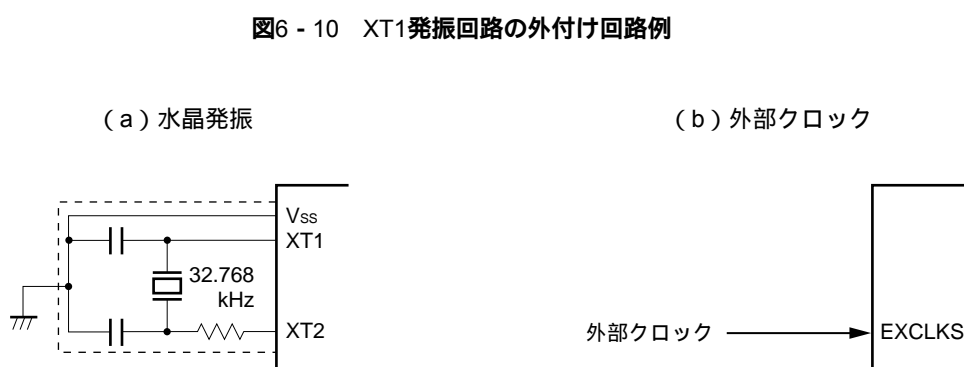
注意を次ページに示します。

6.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。

図6-10にXT1発振回路の外付け回路例を示します。



注意を次ページに示します。

注意1. X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6 - 9, 6 - 10の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

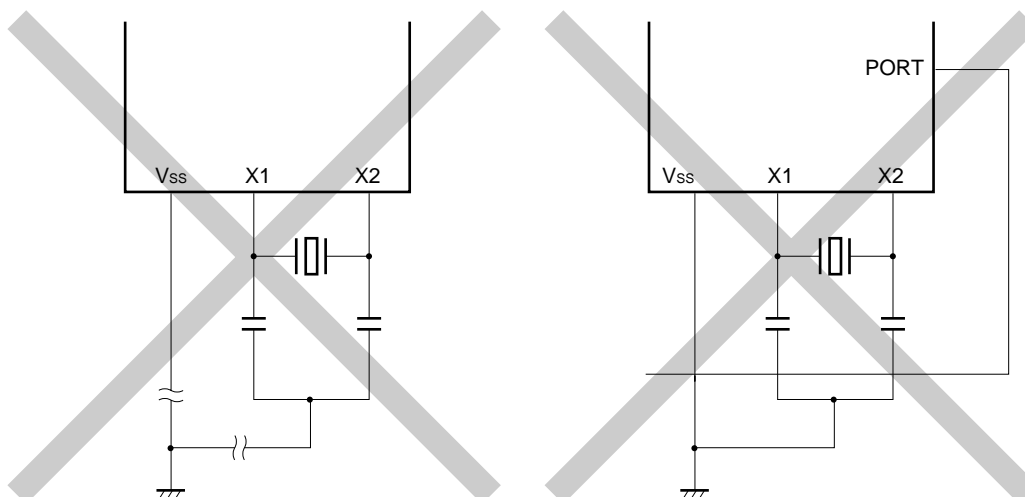
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図6 - 11に発振子の接続の悪い例を示します。

図6 - 11 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

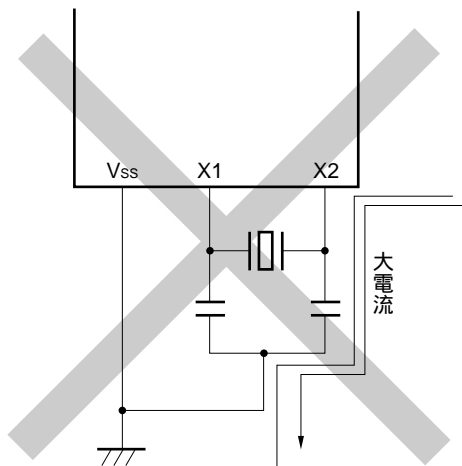
(b) 信号線が交差している



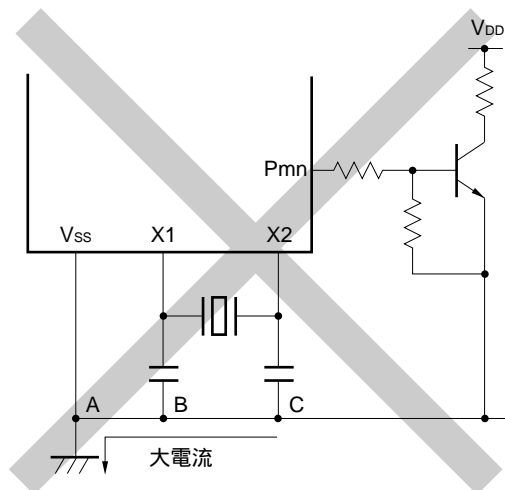
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6 - 11 発振子の接続の悪い例 (2/2)

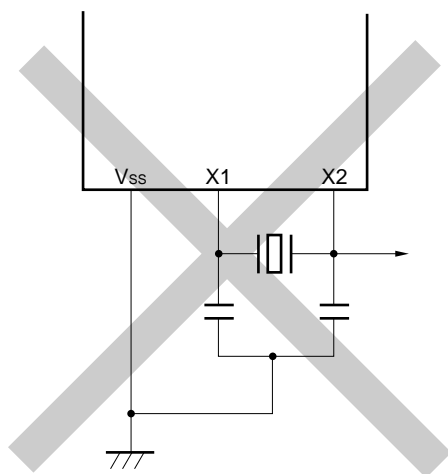
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意2 . X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

6.4.3 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、また入出力ポートとして使用しない場合は、XT1, XT2端子を入出力ポート・モード (OSCSELS = 0) にし、次のように処置してください。

- ・入力時 (PM123/PM124 = 1) :
個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください
- ・出力時 (PM123/PM124 = 0) :
オープンにしてください

備考 OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4
PM123, PM124 : ポート・モード・レジスタ12 (PM12) のビット3, 4

6.4.4 高速内蔵発振回路

78K0/Fx2マイクロコントローラは、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

$\overline{\text{RESET}}$ 解除後、高速内蔵発振クロックは発振を開始します (8 MHz (TYP.))。

6.4.5 低速内蔵発振回路

78K0/Fx2マイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1のクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

$\overline{\text{RESET}}$ 解除後、低速内蔵発振クロックは発振を開始し、ウォッチドッグ・タイマは動作されず (240 kHz (TYP.))。

6.4.6 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、各種クロックを生成します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

メイン・システム・クロック f_{XP}
・高速システム・クロック f_{XH}
 { X1クロック f_X
 外部メイン・システム・クロック f_{EXCLK}
・高速内蔵発振クロック f_{RH}
サブシステム・クロック f_{SUB}
・XT1クロック f_{XT}
・外部サブシステム・クロック f_{EXCLKS}
低速内蔵発振クロック f_{RL}
CPUクロック f_{CPU}
周辺ハードウェア・クロック f_{PRS}

78K0/Fx2マイクロコントローラでは、リセット解除後、CPUは内蔵の高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが内蔵の高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行ったり、最低限の動作でシステムを安全に終了することが可能となります。

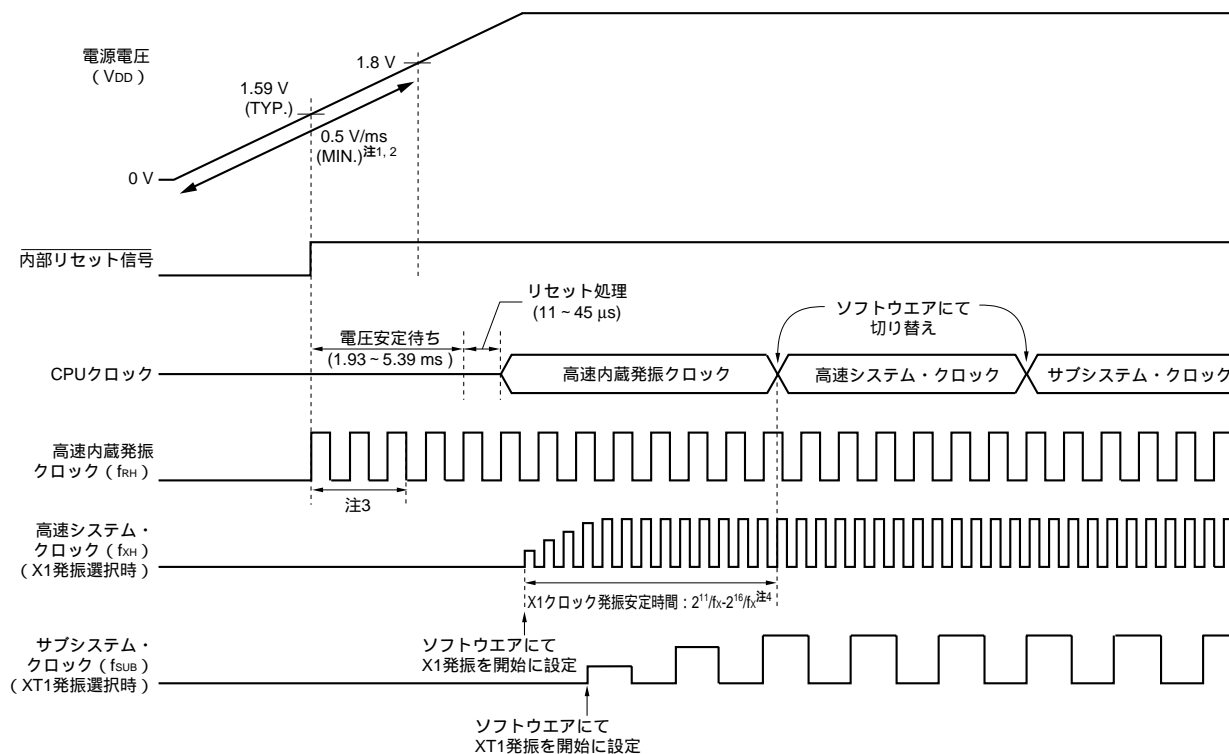
(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図6 - 12, 6 - 13に示します。

図6 - 12 電源電圧投入時のクロック発生回路の動作

(1.59 V POCモード設定時 (オプション・バイト : LVISTART = 0))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源/レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(6.6.1 高速システム・クロックの制御例の(1)、6.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(6.6.1 高速システム・クロックの制御例の(3)、6.6.3 サブシステム・クロックの制御例の(3)を参照)。

注1. (A) 水準品では、電源投入時から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください(図6 - 13参照)。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図6 - 12の以降と同様のタイミングで動作します。

2. (A2) 水準品では、電源投入時から2.7 Vに達するまでの電圧の立ち上がり、0.75 V/ms (MIN.) よりも緩やかな場合は、電源投入時から2.7 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。2.7 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図6 - 12の以降と同様のタイミングで動作します。

3. 高速内蔵発振クロックの発信精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

注4. リセット解除時（上図）およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。またCPUクロックが高速システム・クロック（X1発振）の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ（OSTS）で設定してください。

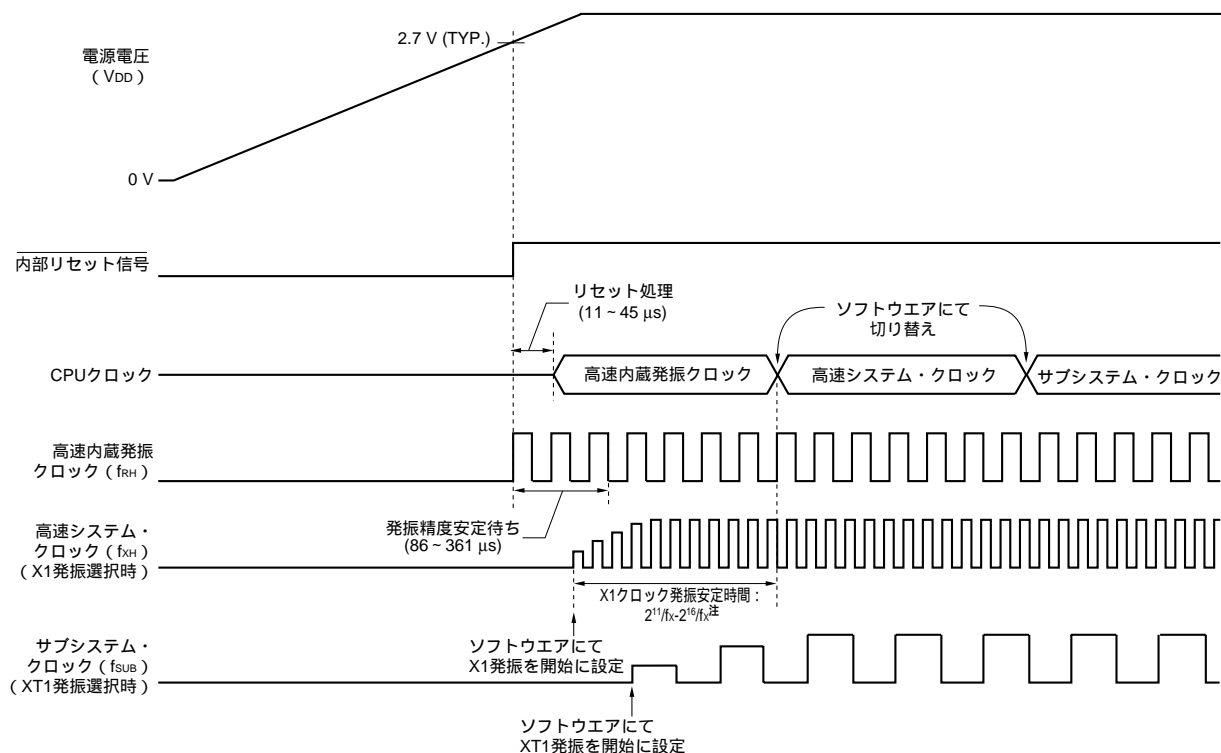
注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりが、0.5 V/ms（MIN.）よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定（LVISTART = 1）してください（図6 - 13参照）。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図6 - 12の以降と同様のタイミングで動作します。

2. EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます（6. 6. 1 高速システム・クロックの制御例の（4）、6. 6. 2 高速内蔵発振クロックの制御例の（3）、6. 6. 3 サブシステム・クロックの制御例の（4）を参照）。

図6 - 13 電源電圧投入時のクロック発生回路の動作

(2.7 V/1.59 V POCモード設定時 (オプション・バイト : LVISTART = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が2.7 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(6.6.1 高速システム・クロックの制御例の(1)、6.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(6.6.1 高速システム・クロックの制御例の(3)、6.6.3 サブシステム・クロックの制御例の(3)を参照)。

注 リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

注意1. 電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。

2. EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(6.6.1 高速システム・クロックの制御例の(4)、6.6.2 高速内蔵発振クロックの制御例の(3)、6.6.3 サブシステム・クロックの制御例の(4)を参照)。

6.6 クロックの制御

6.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数に応じて、内蔵している発振器のゲインを設定します

AMPH ^注	発振周波数の制御
0	4 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから4.06 ~ 16.12 μ s間、CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶 / セラミック発振子接続	

X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. X1クロック動作中にEXCLK, OSCSELを書き換えしないでください

2. 電源電圧が、使用するクロックの動作可能電圧 (第27章 電気的特性 ((A)水準品), 第28章 電気的特性 ((A2)水準品) を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例**周波数の設定 (OSCCTLレジスタ)**

AMPHで、使用する周波数を設定します

AMPH ^注	発振周波数の制御
0	4 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択 (OSCCTLレジスタ)

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御 (MOCレジスタ)

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えしないでください。

2. 電源電圧が、使用するクロックの動作可能電圧 (第27章 電気的特性 ((A)水準品), 第28章 電気的特性 ((A2)水準品) を参照) に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(6.6.1(1) X1クロックを発振する場合の設定手順例，または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合， の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると，メイン・システム・クロックと周辺ハードウェアに，高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
1	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合，周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

メイン・システム・クロックをCPUクロックに選択，分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			設定禁止

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには，次の2つの方法があります。

- ・ STOP命令を実行し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)
- ・ MSTOPを1に設定し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては，第18章 スタンバイ機能を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合**CPUクロックのステータス（PCC, MCMレジスタ）を確認**

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

6.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}**高速内蔵発振クロック発振の再開の設定（RCMレジスタ）**

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち（RCMレジスタ）

RSTSに1がセットされるまでウエイトします^{注2}。

注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。

2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック，高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

- ・高速内蔵発振クロックの発振を再開^注
(6.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。
- ・高速システム・クロックを発振^注
(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。6.6.1(1) X1クロックを発振する場合の設定手順例，(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック，高速システム・クロック動作中の場合， の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で，メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0，PCC1，PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには，次の2つの方法があります。

- ・STOP命令を実行し，STOPモードに移行する
- ・RSTOPを1に設定し，高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては，第18章 スタンバイ機能を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合**CPUクロックのステータスを確認 (PCC, MCMレジスタ)**

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

6.6.3 サブシステム・クロックの制御例

サブシステム・クロックは、次の2種類があります。

- ・XT1クロック : XT1, XT2端子に水晶発振子接続
- ・外部サブシステム・クロック : EXCLKS端子に外部クロック入力

また、未使用時では、XT1/P123, XT2/EXCLKS/P124端子を入出力ポートとして使用できます。

注意 XT1/P123, XT2/EXCLKS/P124端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) 外部サブシステム・クロックを使用する場合
- (3) サブシステム・クロックをCPUクロックとして使用する場合
- (4) サブシステム・クロックを停止する場合

(1) XT1クロックを発振する場合の設定手順例

XT1, XT2端子の設定, 動作モードの選択 (PCC, OSCCTLレジスタ)

EXCLKS, OSCSELSを以下のように設定すると, ポート・モードからXT1発振モードへ切り替わります。

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2/ EXCLKS端子
0	1	XT1発振モード	水晶 / セラミック発振子接続	

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて, サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 サブシステム・クロック動作中にEXCLKS, OSCSELSを書き換えしないでください。

(2) 外部サブシステム・クロックを使用する場合の設定手順例

XT1, XT2端子の設定, XT1クロック / 外部クロックの選択, 発振制御 (PCC, OSCCTLレジスタ)

EXCLKSとOSCSELSを1に設定すると, ポート・モードから外部クロック入力モードへ切り替わります。この場合, EXCLKS/XT2/P124端子に外部クロックを入力してください。

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2/ EXCLKS端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

注意 サブシステム・クロック動作中にEXCLKS, OSCSELSを書き換えしないでください。

(3) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振^注

(6.6.3(1) XT1クロックを発振する場合の設定手順例, (2) 外部サブシステム・クロックを使用する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合, の設定不要です。

CPUクロックの切り替え (PCCレジスタ)

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	上記以外			設定禁止

(4) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	×	サブシステム・クロック

サブシステム・クロックの停止 (OSCCTLレジスタ)

OSCSELSを0に設定すると、XT1発振が停止します (外部クロック入力は無効になります)。

- 注意1. OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで時計用タイマが動作している場合は、時計用タイマの動作を停止してください。
2. STOP命令でサブシステム・クロックの発振を停止することはできません。

6.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (カウント・クロックにf_{RL}を選択した場合)

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))

(1) 低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定 (RCMレジスタ)

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定 (RCMレジスタ)

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

6.6.5 CPUクロック、周辺ハードウェア・クロックへの供給クロック

CPUクロック、周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表6-3 CPUクロック、周辺ハードウェア・クロックへの供給クロックとレジスタの設定

XSEL	CSS	MCM0	EXCLK	供給クロック	
				CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック
0	0	x	x	高速内蔵発振クロック	
0	1	x	x	サブシステム・クロック	高速内蔵発振クロック
1	0	0	0	高速内蔵発振クロック	X1クロック
1	0	0	1		外部メイン・システム・クロック
1	0	1	0	X1クロック	
1	0	1	1	外部メイン・システム・クロック	
1	1	0	0	サブシステム・クロック	X1クロック
1	1	0	1		外部メイン・システム・クロック
1	1	1	0		X1クロック
1	1	1	1		外部メイン・システム・クロック

備考 XSEL : メイン・クロック・モード・レジスタ (MCM) のビット2

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

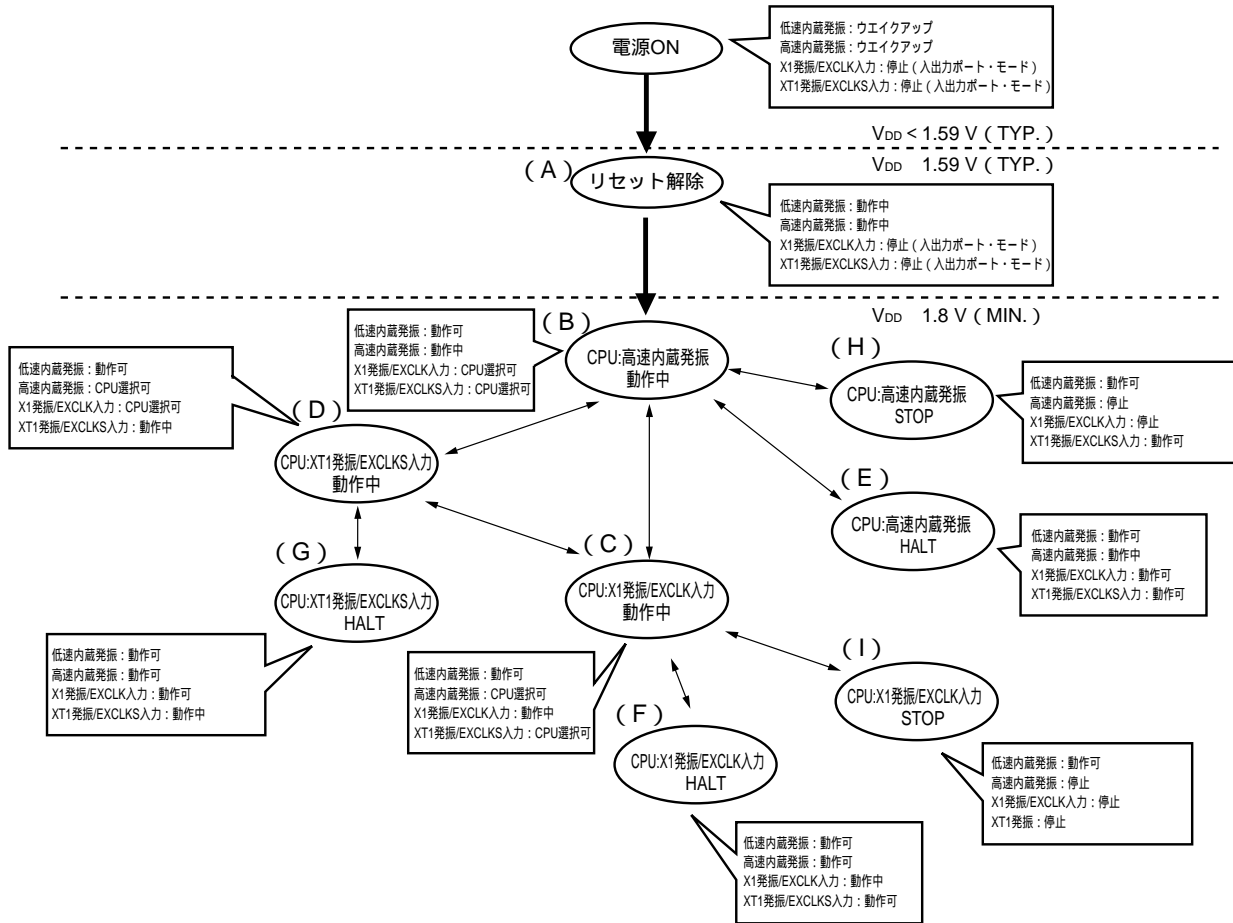
MCM0 : MCMのビット0

EXCLK : クロック動作モード選択レジスタ (OSCCTL) のビット7

6.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6 - 14に示します。

図6 - 14 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト: LVISTART = 0))



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1) では、電源投入後、電源電圧が 2.7 V (TYP.) を越えると上図の (A) に移行し、リセット処理 (11 ~ 45 μs) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表6 - 4に示します。

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/4)

(1) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行
 (リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(A) (B) (C) (X1クロック : 10 MHz未満)		0	0	1	0	確認 必要	1	1
(A) (B) (C) (外部メイン・クロック : 10 MHz未満)		0	1	1	0	確認 不要	1	1
(A) (B) (C) (X1クロック : 10 MHz以上)		1	0	1	0	確認 必要	1	1
(A) (B) (C) (外部メイン・クロック : 10 MHz以上)		1	1	1	0	確認 不要	1	1

(2) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行
 (リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	EXCLKS	OSCSELS	発振安定待ち	CSS
(A) (B) (D) (XT1クロック)		0	1	必要	1
(A) (B) (D) (外部サブシステム・クロック)		1	1	不要	1

備考1. 表6 - 4の (A) - (1) は、図6 - 14の (A) - (1) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH
 : クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0
- MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
- XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
- CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(B) (C) (X1クロック : 10 MHz未満)		0	0	1	0	確認 必要	1	1
(B) (C) (外部メイン・クロック : 10 MHz未満)		0	1	1	0	確認 不要	1	1
(B) (C) (X1クロック : 10 MHz以上)		1	0	1	0	確認 必要	1	1
(B) (C) (外部メイン・クロック : 10 MHz以上)		1	1	1	0	確認 不要	1	1

設定済みの場合は不要
高速システム・クロック動作中の場合は不要
設定済みの場合は不要

(5) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	EXCLKS	OSCSELS	発振安定待ち	CSS
(B) (D) (XT1クロック)		0	1	必要	1
(B) (D) (外部サブシステム・クロック)		1	1	不要	1

サブシステム・クロック動作中の場合は不要

備考1. 表6 - 4の (A) - (I) は、図6 - 14の (A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	RSTOP	RSTS	MCM0
状態遷移 (C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLKS	OSCSELS	発振安定待ち	CSS
状態遷移 (C) (D) (XT1クロック)	0	1	必要	1
(C) (D) (外部サブシステム・クロック)	1	1	不要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0	CSS
状態遷移 (D) (C) (X1クロック : 10 MHz未満)	0	0	1	0	確認 必要	1	1	0
(D) (C) (外部メイン・クロック : 10 MHz未満)	0	1	1	0	確認 不要	1	1	0
(D) (C) (X1クロック : 10 MHz以上)	1	0	1	0	確認 必要	1	1	0
(D) (C) (外部メイン・クロック : 10 MHz以上)	1	1	1	0	確認 不要	1	1	0

設定済みの場合は不要 高速システム・クロック動作中の場合は不要 設定済みの場合は不要

備考1. 表6 - 4の (A) - (I) は、図6 - 14の (A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4, 0

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/4)

(9) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	RSTOP	RSTS	MCM0	CSS
状態遷移 (D) (B)	0	1を確認	0	0

高速内蔵発振クロック動作中の場合は不要
XSELが0の場合は不要

- (10) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
- ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
- ・ CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E)	HALT命令を実行する
(C) (F)	
(D) (G)	

- (11) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
- ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容	
(B) (H)	STOPモード中に動作できない周辺	STOP命令を実行する
(C) (I)	機能を停止する	

- 備考1. 表6 - 4の (A) - (I) は、図6 - 14の (A) - (I) と対応しています。
- 2. MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット0
 - CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
 - RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0

6.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6 - 5 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	・高速内蔵発振器発振停止可能 (RSTOP = 1) ・AMPH = 1を設定した場合, 設定してから4.06 ~ 16.12 μ s間, CPUクロックの供給停止
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	・高速内蔵発振器発振停止可能 (RSTOP = 1) ・AMPH = 1を設定した場合, 設定してからEXCLK端子からの外部クロックの160クロック分, CPUクロックの供給停止
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック	高速内蔵発振クロック		外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
高速内蔵発振クロック	XT1クロック	XT1発振が安定していること ・EXCLKS = 0, OSCSELS = 1 ・発振安定時間経過後	高速内蔵発振器を停止 (RSTOP = 1) すると, 動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック			外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
高速内蔵発振クロック	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・EXCLKS = 1, OSCSELS = 1	高速内蔵発振器を停止 (RSTOP = 1) すると, 動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック			外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
XT1クロック, 外部サブシステム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振され, メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・RSTOP = 0, MCS = 0	XT1発振停止または外部サブシステム・クロック入力を無効に設定可能 (OSCSELS = 0)
	X1クロック	X1発振が安定, かつメイン・システム・クロックに高速システム・クロックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後 ・MCS = 1	・XT1発振停止または外部サブシステム・クロック入力を無効に設定可能 (OSCSELS = 0) ・AMPH = 1を設定した場合, 設定してから4.06 ~ 16.12 μ s間, CPUクロックの供給停止
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効, かつメイン・システム・クロックに高速システム・クロックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1 ・MCS = 1	・XT1発振停止または外部サブシステム・クロック入力を無効に設定可能 (OSCSELS = 0) ・AMPH = 1を設定した場合, 設定してからEXCLK端子からの外部クロックの160クロック分, CPUクロックの供給停止

6.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, PCCを書き換えた直後ではなく, PCCを変更したのち, 数クロックは切り替え前のクロックで動作します (表6-6参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, PCCのビット5 (CLS) で判定できます。

表6-6 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
0	0	0	0	16クロック				16クロック				16クロック				16クロック				2f _{XP} /f _{SUB} クロック							
0	0	0	1	8クロック				8クロック				8クロック				8クロック				f _{XP} /f _{SUB} クロック							
0	0	1	0	4クロック				4クロック				4クロック				4クロック				f _{XP} /2f _{SUB} クロック							
0	0	1	1	2クロック				2クロック				2クロック				2クロック				f _{XP} /4f _{SUB} クロック							
0	1	0	0	1クロック				1クロック				1クロック				1クロック				f _{XP} /8f _{SUB} クロック							
1	x	x	x	2クロック				2クロック				2クロック				2クロック				2クロック							

注意 メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に設定しないでください。
 ただし, メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

- 備考1.** 表6-6のクロック数は, 切り替え前のCPUクロックのクロック数です。
2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は, 小数点以下を切り上げてください。

例 CPUクロックをf_{XP}/2 f_{SUB}/2に切り替える場合 (f_{XP} = 10 MHz, f_{SUB} = 32.768 kHz発振時)
 f_{XP}/f_{SUB} = 10000 / 32.768 305.1 306クロック

また, メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により, メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は, MCM0を書き換えた直後ではなく, MCM0を変更したのち, 数クロックは切り替え前のクロックで動作します (表6-7参照)。

CPUクロックが高速内蔵発振クロックで動作しているか, 高速システム・クロックで動作しているかは, MCMのビット1 (MCS) で判定できます。

表6 - 7 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCM0のビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

- 備考1.** 表6 - 7のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。
2. 表6 - 7のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 8 \text{ MHz}$, $f_{XH} = 10 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \quad \text{2クロック}$$

6.6.9 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

表6 - 8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0またはCLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	OSCSELS = 0
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

第7章 16ビット・タイマ/イベント・カウンタ00-03

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
16ビット・タイマ/ イベント・カウンタ00				
16ビット・タイマ/ イベント・カウンタ01	注1	注2		
16ビット・タイマ/ イベント・カウンタ02	-	-		
16ビット・タイマ/ イベント・カウンタ03	-	-		

注 1. μ PD78F0881A, 78F0882A, 78F0883Aの16ビット・タイマ/イベント・カウンタ01には、次の制限があります。

- ・カウント・クロックにTI001およびTI011を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。

- ・タイマ出力禁止

詳細は、7.6(12) 78K0/FC2の16ビット・タイマ/イベント・カウンタ01についてを参照してください。

2. μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aの16ビット・タイマ/イベント・カウンタ01には、次の制限があります。

- ・カウント・クロックにTI001を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。

詳細は、7.6(12) 78K0/FC2の16ビット・タイマ/イベント・カウンタ01についてを参照してください。

: 搭載, - : 非搭載

7.1 16ビット・タイマ/イベント・カウンタ00-03の機能

16ビット・タイマ/イベント・カウンタ00-03には、次のような機能があります。

- ・ インターバル・タイマ
- ・ PPG出力
- ・ パルス幅測定
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

7.2 16ビット・タイマ/イベント・カウンタ00-03の構成

16ビット・タイマ/イベント・カウンタ00-03は、次のハードウェアで構成されています。

表7-1 16ビット・タイマ/イベント・カウンタ00-03の構成

項目	構成
タイマ/カウンタ	16ビット (TM0n)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ : 16ビット (CR00n, CR01n)
タイマ入力	TI00n, TI01n
タイマ出力	TO0n, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) 16ビット・タイマ・キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) プリスケアラ・モード・レジスタ0n (PRM0n) ポート・モード・レジスタ0, 3, 13 (PM0, PM3, PM13) ポート・レジスタ0, 3, 13 (P0, P3, P13)

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

図7-1~7-6にブロック図を示します。

図7-1 16ビット・タイマ/イベント・カウンタ00のブロック図

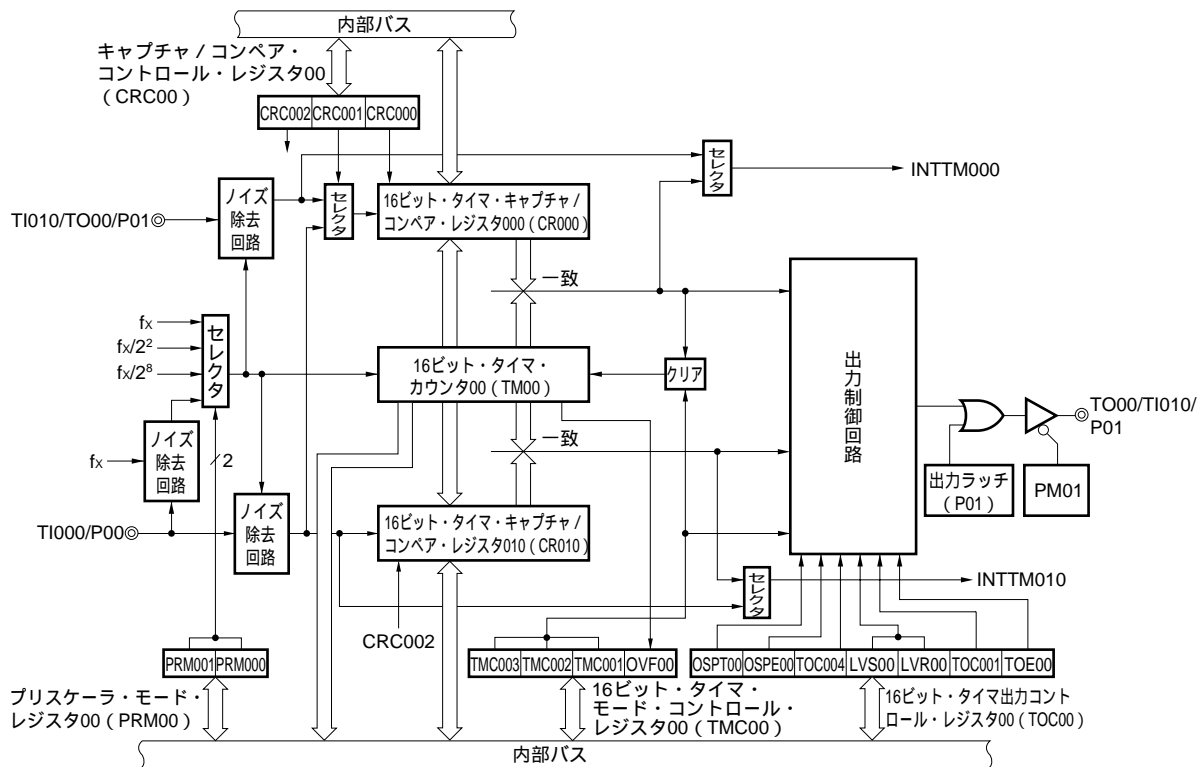


図7-2 16ビット・タイマ/イベント・カウンタ01のブロック図

(78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883A)

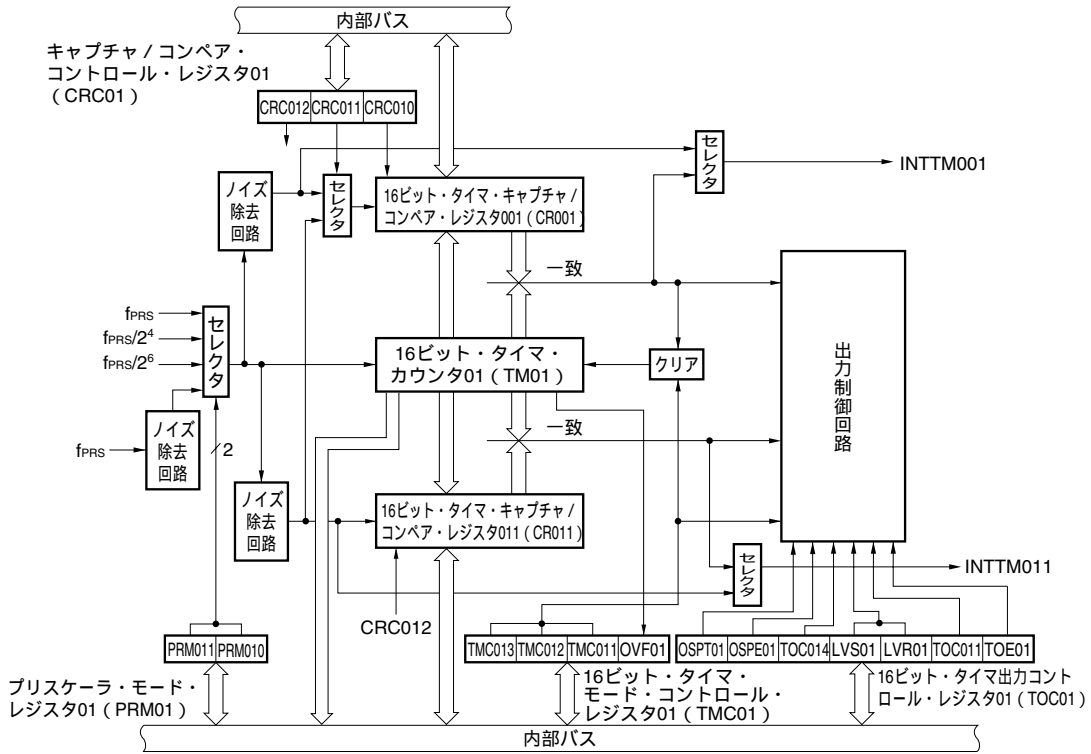


図7-3 16ビット・タイマ/イベント・カウンタ01のブロック図

(78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A)

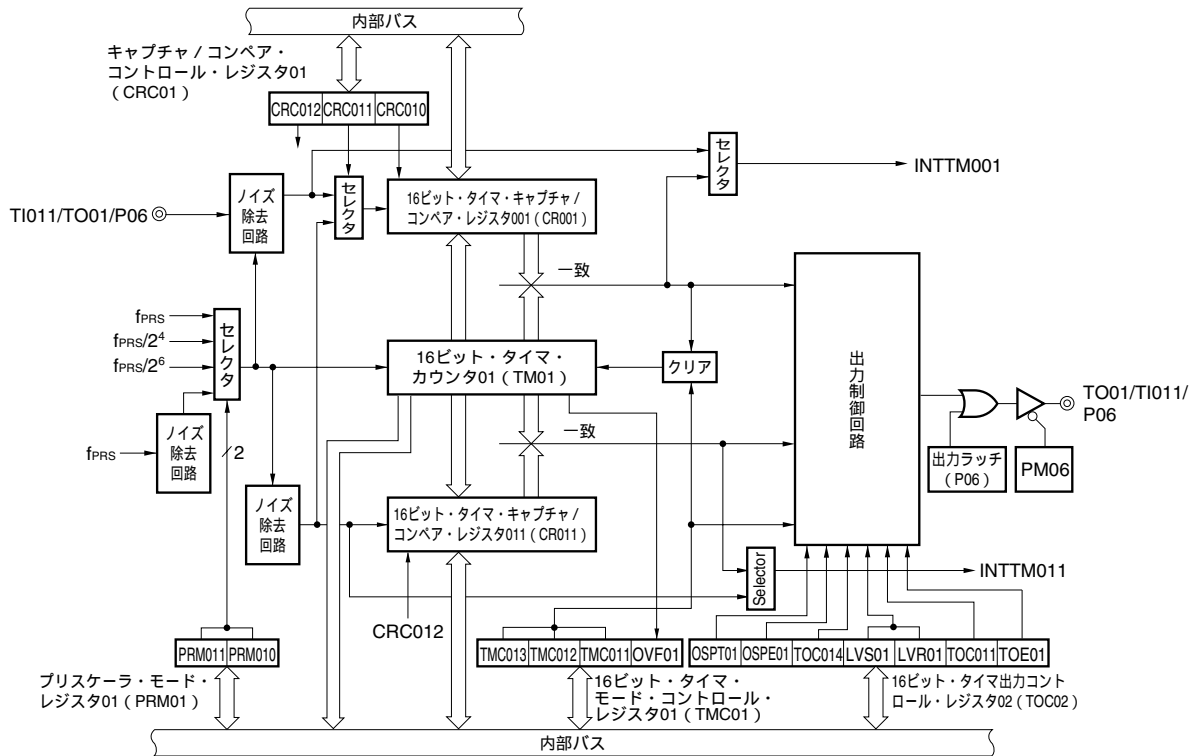


図7-4 16ビット・タイマ/イベント・カウンタ01のブロック図 (78K0/FE2, 78K0/FF2)

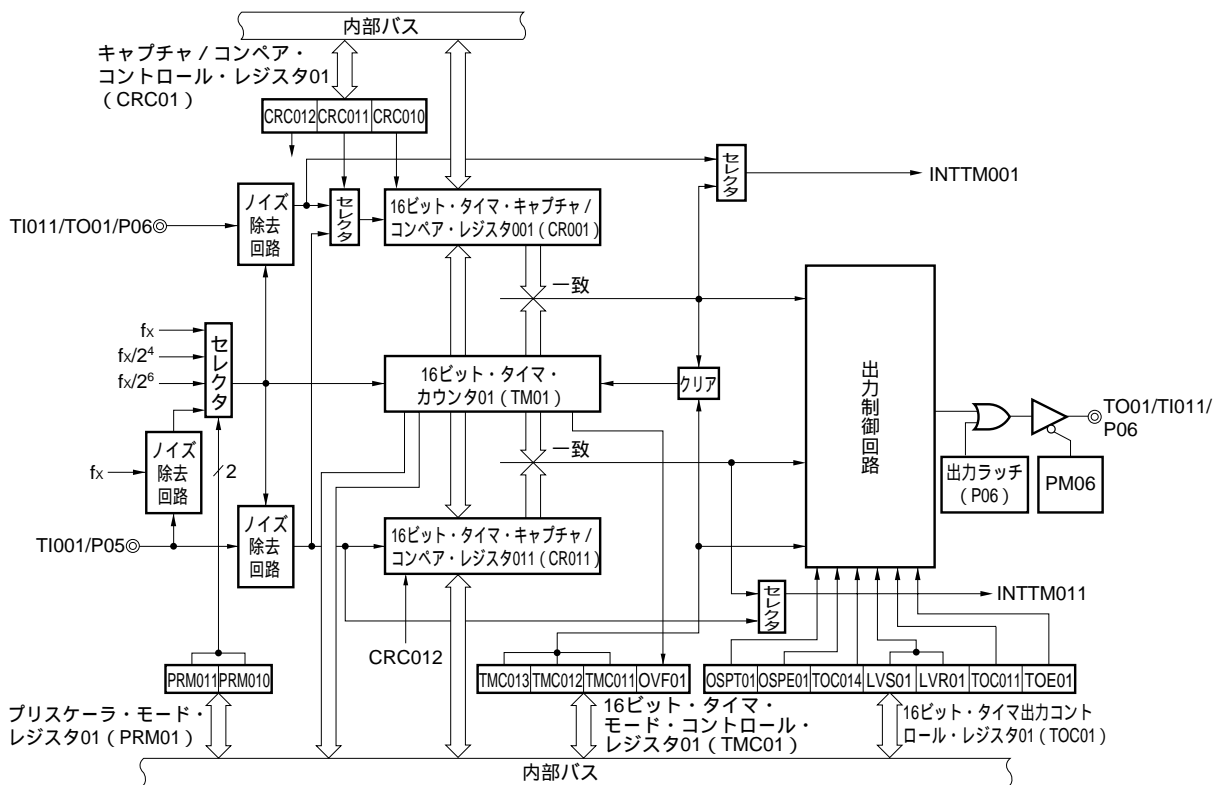


図7-5 16ビット・タイマ/イベント・カウンタ02のブロック図

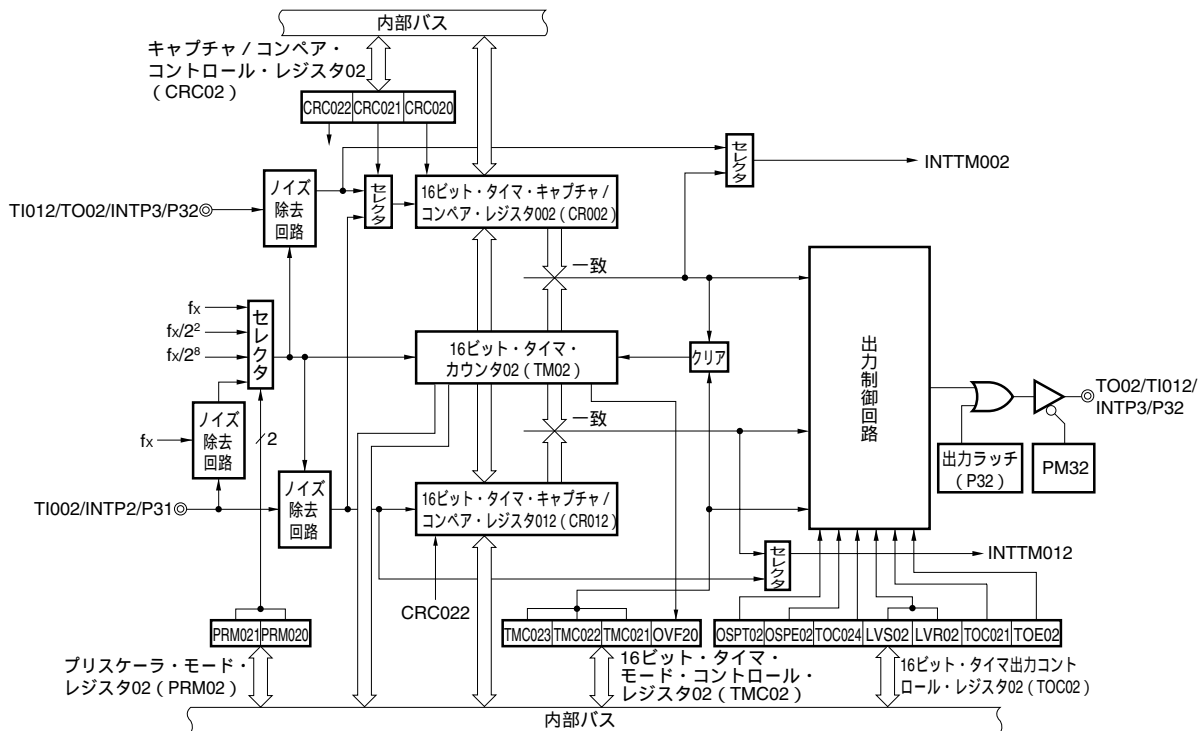
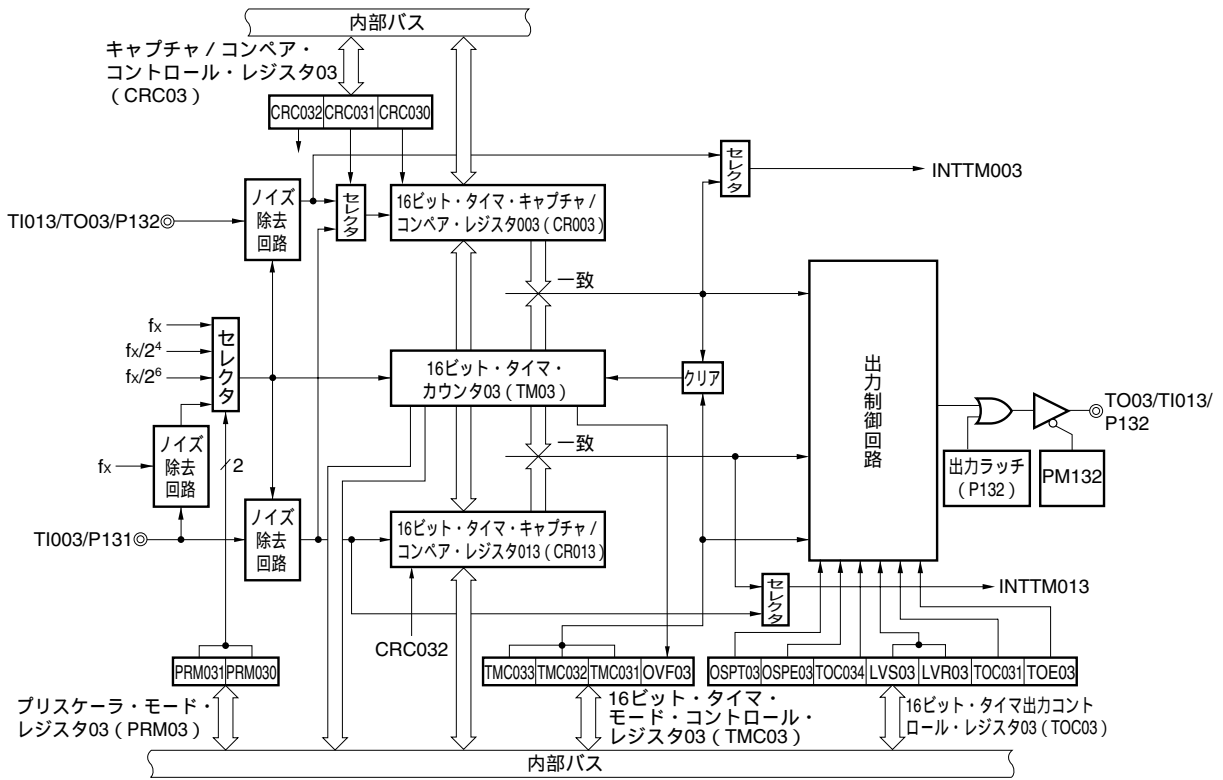


図7-6 16ビット・タイマ/イベント・カウンタ03のブロック図



(1) 16ビット・タイマ・カウンタ0n (TM0n)

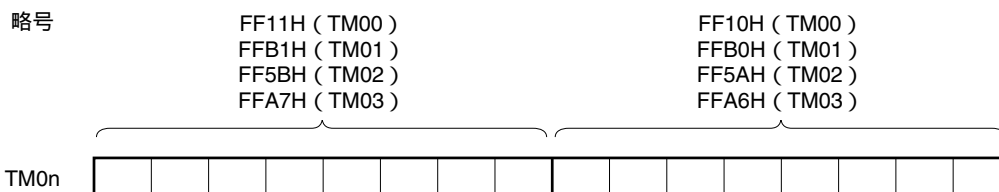
TM0nは、カウント・パルスをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

また、動作中にカウント値を読み出した場合、カウント・クロック入力を一時停止し、その時点でのカウント値を読み出します。

図7-7 16ビット・タイマ・カウンタ0n (TM0n) のフォーマット

アドレス：FF10H, FF11H (TM00), FFB0H, FFB1H (TM01) リセット時：0000H R
FF5AH, FF5BH (TM02), FFA6H, FFA7H (TM03)



次の場合、カウント値は0000Hになります。

リセット信号の発生時

TMC0n3, TMC0n2をクリア

TI00n端子有効エッジ入力でクリア&スタート・モード時にTI00n端子の有効エッジが入力されたとき

CR00nの一致でクリア&スタート・モード時のTM0nとCR00nの一致

ワンショット・パルス出力モードで、OSPT0nをセット(1)したとき、またはTI00n端子に有効エッジが入力されたとき

- 注意**
1. TM0nをリードしても、CR01nにはキャプチャしません。
 2. TM0nをリード時は、カウント・クロックの入力を一時停止し、リード後にカウント・クロックの入力を再開しますので、クロック・ミスは発生しません。
 3. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

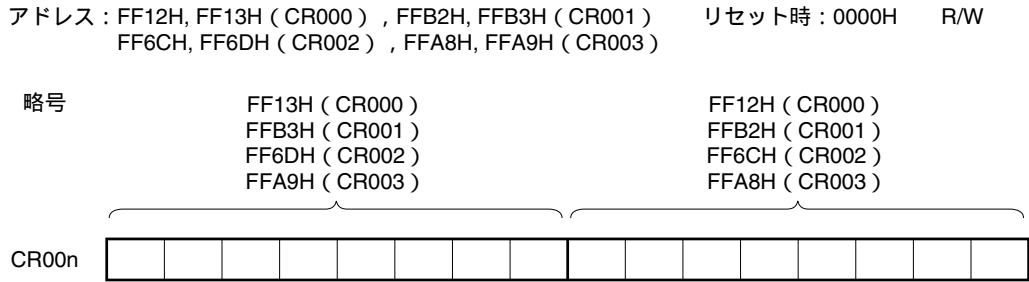
(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n)

CR00nは、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)のビット0 (CRC0n0)により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR00nは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-8 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CRC00n) のフォーマット



・CR00nをコンペア・レジスタとして使用するとき

CR00nに設定した値と16ビット・タイマ・カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00n) を発生します。CR00nを書き換えるまで、設定した値を保持します。

注意 コンペア・モードに設定したCR00nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

・CR00nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子、またはTI01n端子の有効エッジが選択できます。TI00n, TI01nの有効エッジは、プリスケアラ・モード・レジスタ0n (PRM0n) で設定します (表7-2を参照)。

注意 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。

78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

表7-2 CR00nのキャプチャ・トリガとTI00n端子とTI01n端子の有効エッジ

(1) キャプチャ・トリガとしてTI00n端子の有効エッジを選択 (CRC0n1 = 1, CRC0n0 = 1)

CR00nのキャプチャ・トリガ	TI00n端子の有効エッジ		
		ES0n1	ES0n0
立ち下がりエッジ	立ち上がりエッジ	0	1
立ち上がりエッジ	立ち下がりエッジ	0	0
キャプチャ動作しない	立ち上がり, 立ち下がり両エッジ	1	1

(2) キャプチャ・トリガとしてTI01n端子の有効エッジを選択 (CRC0n1 = 0, CRC0n0 = 1)

CR00nのキャプチャ・トリガ	TI01n端子の有効エッジ		
		ES1n1	ES1n0
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ	1	1

- 注意 1. TM0nとCR00nの一致でクリア&スタート・モードの場合, CR00nには0000H以外の値を設定してください。
2. フリーランニング・モードおよびTI00n端子の有効エッジのクリア・モードにおいて, CR00nに0000Hを設定した場合は, TM0nのオーバフロー (FFFFH) 後, 0000Hから0001Hになるときに割り込み要求 (INTTM00n) を発生します。またTM0nとCR00nの一致後, TI01n端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM00nを発生します。
3. P01またはP06をTI01n端子有効エッジの入力として使用するときは, タイマ出力 (TO0n) として使用できません。また, TO0nとして使用するときは, TI01n端子の有効エッジの入力として使用できません。
4. CR00nをキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります (キャプチャ・データ自体は正常値)。また, カウント停止の入力とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。
5. TM0n動作中にCR00nを書き換えしないでください。
6. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

- 備考 1. ES0n1, ES0n0 = 1, 0およびES1n1, ES1n0 = 1, 0は設定禁止です。
2. ES0n1, ES0n0 : プリスケアラ・モード・レジスタ0n (PRM0n) のビット5, 4
ES1n1, ES1n0 : プリスケアラ・モード・レジスタ0n (PRM0n) のビット7, 6
CRC0n1, CRC0n0 : キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット1, 0
3. n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

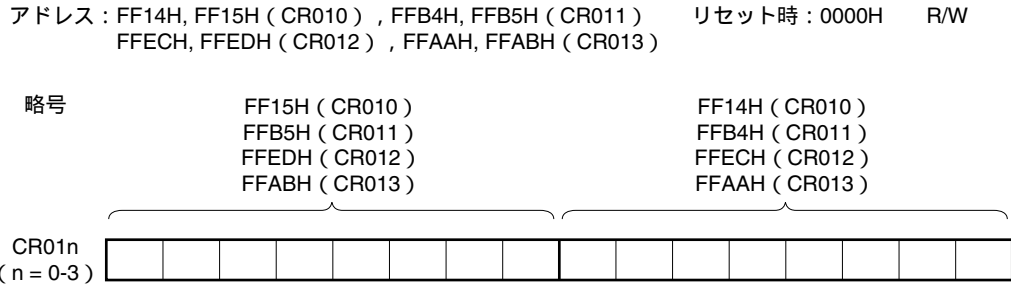
(3) 16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n)

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット2 (CRC0n2) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CR01nは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により0000Hになります。

図7-9 16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) のフォーマット



・CR01nをコンペア・レジスタとして使用するとき

CR01nに設定した値と16ビット・タイマ・カウンタ0n (TM0n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01n) を発生します。CR01nを書き換えるまで、設定した値を保持します。

・CR01nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子の有効エッジが選択できます。TI00n端子の有効エッジは、プリスケラ・モード・レジスタ0n (PRM0n) で設定します (表7-3を参照)。

注意 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
 78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2
 n = 0-3 : 78K0/FE2, 78K0/FF2

表7-3 CR01nのキャプチャ・トリガとTI00n端子の有効エッジ (CRC0n2 = 1)

CR01nのキャプチャ・トリガ	TI00n端子の有効エッジ		
	ES0n1	ES0n0	
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ	1	1

- 注意 1. CR01nレジスタに0000Hを設定した場合は, TM0nのオーバフロー (FFFFH) 後, 0000Hから0001Hになるときに割り込み要求 (INTTM01n) を発生します。またTM0nとCR01nの一致後, TI00n端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM01nを発生します。
2. CR01nをキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります (キャプチャ・データ自体は正常値)。また, カウント停止の入力とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。
3. TM0n動作中にCR01nを書き換えることができます。詳細は7.5.1 CR01nのTM0n動作中の書き換えを参照してください。
4. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

- 備考 1. ES0n1, ES0n0 = 1, 0は設定禁止です。
2. ES0n1, ES0n0 : プリスケアラ・モード・レジスタ0n (PRM0n) のビット5, 4
CRC0n2 : キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット2
3. n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

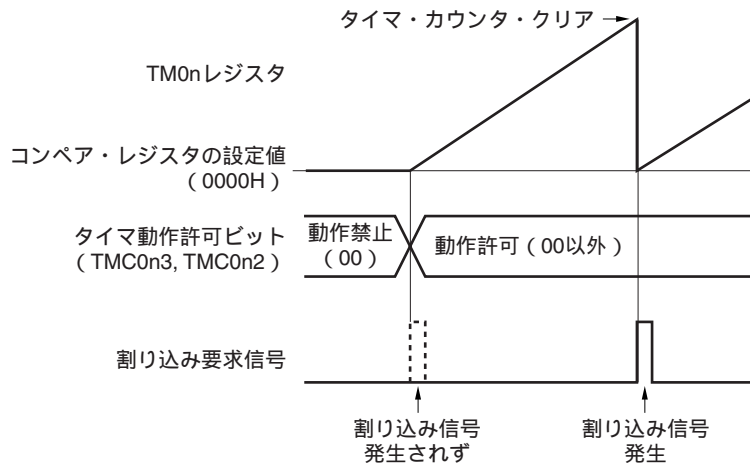
(4) CR00n, CR01nをコンペア・レジスタとして使用した場合の設定範囲

CR00n, CR01nをコンペア・レジスタとして使用するときには、次の範囲で値を設定してください。

動作	CR00nの設定範囲	CR01nの設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H ^注 M FFFFH
方形波出力としての動作		通常、使用しません。一致割り込み信号 (INTTM01n) をマスクしてください。
外部イベント・カウンタとしての動作		
TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H ^注 N FFFFH	0000H ^注 M FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N FFFFH	0000H ^注 M < N
ワンショット・パルス出力としての動作	0000H ^注 N FFFFH (N M)	0000H ^注 M FFFFH (M N)

注 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。0000Hに設定した場合、最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM0nレジスタ) が0000Hから0001Hになるタイミングで発生します。






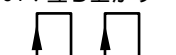

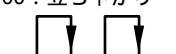
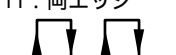

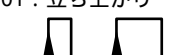
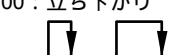
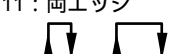
- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI00n端子の有効エッジによるタイマ・カウンタ・クリア時
(TI00n端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM0nとCR00nの一致でクリア&スタート・モード (CR00n = 0000H以外, CR01n = 0000H) のとき)



注意 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

- 備考**
1. N : CR00nの設定値, M : CR01nの設定値
 2. TMC0n3, TMC0n2については、7.3(1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) を参照してください。
 3. n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

表7-4 CR00n, CR01nのキャプチャ動作

外部入力信号	TI00n端子入力 		TI01n端子入力 	
キャプチャ動作				
CR00nのキャプチャ動作	CRC0n1 = 1 TI00n端子入力 (逆相) 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI01n端子入力 	ES1n1, ES1n0の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
	11: 両エッジ (キャプチャできません)		11: 両エッジ 	
割り込み信号	キャプチャしても INTTM00n信号は発生しない		割り込み信号	キャプチャするごとに INTTM00n信号が発生
CR01nのキャプチャ動作	TI00n端子入力 ^注 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
	11: 両エッジ 			
割り込み信号	キャプチャするごとに INTTM01n信号が発生			

注 CR01nのキャプチャ動作には、CRC0n1ビットの設定による影響はありません。

注意 1. TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM00n) は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。

- 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考1. CRC0n1 : 7.3(2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 参照
ES1n1, ES1n0, ES0n1, ES0n0 : 7.3(4) プリスケアラ・モード・レジスタ0n (PRM0n) 参照

- n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

7.3 16ビット・タイマ/イベント・カウンタ00-03を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00-03を制御するレジスタには、次の6種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)
- ・キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)
- ・16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)
- ・プリスケラ・モード・レジスタ0n (PRM0n)
- ・ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ0 (P0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

16ビット・タイマの動作モード、16ビット・タイマ・カウンタ0n (TM0n) のクリア・モード、出力タイミングの設定およびオーバーフローを検出するレジスタです。

TMC0nは、動作中 (TMC0n3, TMC0n2 = 00以外するとき) の書き換えは禁止です。

ただし、TMC0n3, TMC0n2を00 (動作停止) に設定する場合と、OVF0nに0を設定する場合は、書き換え可能です。

TMC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

注意 16ビット・タイマ/イベント・カウンタ0nは、TMC0n3, TMC0n2に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2に0, 0を設定してください。

備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7-10 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。 16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバフロー発生

OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力
でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000H
になるとき、セット (1) されます。
OVF00に1を書き込むことでもセット (1) できます。

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

- 備考 TO00 : 16ビット・タイマ/イベント・カウンタ00の出力端子
 TI000 : 16ビット・タイマ/イベント・カウンタ00の入力端子
 TM00 : 16ビット・タイマ・カウンタ00
 CR000 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ000
 CR010 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ010

図7-11 16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) のフォーマット

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC01	0	0	0	0	TMC013	TMC012	TMC011	OVF01

TMC013	TMC012	16ビット・タイマ/イベント・カウンタ01の動作許可
0	0	16ビット・タイマ/イベント・カウンタ01動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ01をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI001端子の有効エッジ入力 ^{注1} でクリア&スタート・モード ^{注2}
1	1	TM01とCR001の一致でクリア&スタート・モード

TMC011	タイマ出力 (TO01) 反転条件
0	・ TM01とCR001の一致, TM01とCR011の一致
1	・ TM01とCR001の一致, TM01とCR011の一致 ・ TI001端子の有効エッジ ^{注3}

OVF01	TM01のオーバフロー・フラグ
クリア (0)	OVF01への0クリアまたはTMC013, TMC012 = 00
セット (1)	オーバフロー発生
OVF01は, すべての動作モード (フリー・ランニング・タイマ・モード, TI001端子の有効エッジ入力 ^{注3} でクリア&スタート・モード ^{注3} , TM01とCR001の一致でクリア&スタート・モード) でTM01の値がFFFFHから0000Hになるとき, セット (1) されます。 OVF01に1を書き込むことでもセット (1) できます。	

- 注1. TI001端子の有効エッジは, プリスケアラ・モード・レジスタ01 (PRM01) のビット5, 4 (ES011, ES010) で設定します。
2. 78K0/FE2, 78K0/FF2のみ。78K0/FC2では設定禁止です。
3. 78K0/FE2, 78K0/FF2のみ。

備考 TO01 : 16ビット・タイマ/イベント・カウンタ01の出力端子
 TI001 : 16ビット・タイマ/イベント・カウンタ01の入力端子
 TM01 : 16ビット・タイマ・カウンタ01
 CR001 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ001
 CR011 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ011

図7-12 16ビット・タイマ・モード・コントロール・レジスタ02 (TMC02) のフォーマット

アドレス : FF54H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC02	0	0	0	0	TMC023	TMC022	TMC021	OVF02

TMC023	TMC022	16ビット・タイマ/イベント・カウンタ02の動作許可
0	0	16ビット・タイマ/イベント・カウンタ02動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ02 (TM02) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI002端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM02とCR002の一致でクリア&スタート・モード

TMC021	タイマ出力 (TO02) 反転条件
0	・ TM02とCR002の一致, TM02とCR012の一致
1	・ TM02とCR002の一致, TM02とCR012の一致 ・ TI002端子の有効エッジ

OVF02	TM02のオーバフロー・フラグ
クリア (0)	OVF02への0クリアまたはTMC023, TMC022 = 00
セット (1)	オーバフロー発生
OVF02は、すべての動作モード (フリー・ランニング・タイマ・モード, TI002端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM02とCR002の一致でクリア&スタート・モード) でTM02の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF02に1を書き込むことでもセット (1) できます。	

注 TI002端子の有効エッジは、プリスケアラ・モード・レジスタ02 (PRM02) のビット5, 4 (ES021, ES020) で設定します。

- 備考 TO02 : 16ビット・タイマ/イベント・カウンタ02の出力端子
 TI002 : 16ビット・タイマ/イベント・カウンタ02の入力端子
 TM02 : 16ビット・タイマ・カウンタ02
 CR002 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ002
 CR012 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ012

図7-13 16ビット・タイマ・モード・コントロール・レジスタ03 (TMC03) のフォーマット

アドレス : FF54H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC03	0	0	0	0	TMC033	TMC032	TMC031	OVF03

TMC033	TMC032	16ビット・タイマ/イベント・カウンタ03の動作許可
0	0	16ビット・タイマ/イベント・カウンタ03動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ03 (TM03) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI003端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM03とCR002の一致でクリア&スタート・モード

TMC031	タイマ出力 (TO03) 反転条件
0	・ TM03とCR003の一致, TM03とCR013の一致
1	・ TM03とCR003の一致, TM03とCR013の一致 ・ TI003端子の有効エッジ

OVF03	TM03のオーバフロー・フラグ
クリア (0)	OVF03への0クリアまたはTMC033, TMC032 = 00
セット (1)	オーバフロー発生
OVF03は、すべての動作モード (フリー・ランニング・タイマ・モード, TI003端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM03とCR003の一致でクリア&スタート・モード) でTM03の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF03に1を書き込むことでもセット (1) できます。	

注 TI003端子の有効エッジは、プリスケアラ・モード・レジスタ03 (PRM03) のビット5, 4 (ES031, ES030) で設定します。

- 備考 TO03 : 16ビット・タイマ/イベント・カウンタ03の出力端子
 TI003 : 16ビット・タイマ/イベント・カウンタ03の入力端子
 TM03 : 16ビット・タイマ・カウンタ03
 CR003 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ003
 CR013 : 16ビット・タイマ・キャプチャ/コンペア・レジスタ013

(2) キャプチャ/コンペア・コントロール・レジスタ_{0n} (CRC_{0n})

16ビット・タイマ・キャプチャ/コンペア・レジスタ (CR_{00n}, CR_{01n}) の動作を制御するレジスタです。

CRC_{0n}は、動作中 (TMC_{0n3}, TMC_{0n2} = 00以外) の書き換えは禁止です。

CRC_{0n}は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

図7-14 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBC_H リセット時 : 00_H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする ^注

TI010, TI000端子の有効エッジはPRM00レジスタで設定します。
ただし, CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると, TI000端子の有効エッジを検出できません。

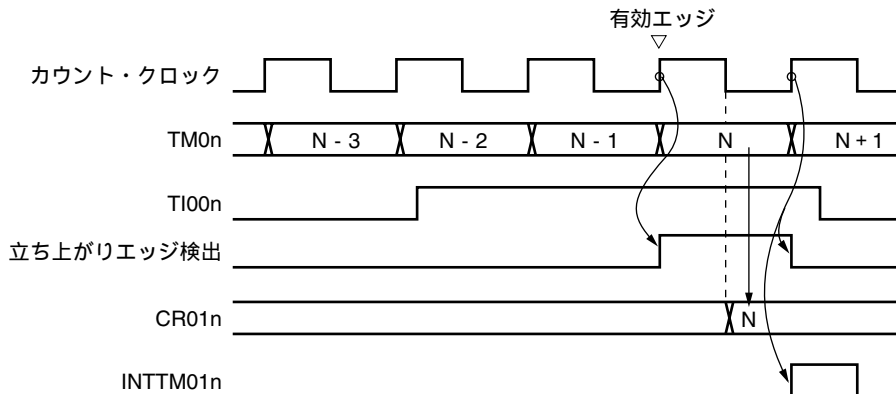
CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は, CRC000には必ず0を設定してください。

注 TI010端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図7-15 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時)



備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 16 キャプチャ/コンペア・コントロール・レジスタ01 (CRC01) のフォーマット

アドレス : FFB8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC01	0	0	0	0	0	CRC012 ^{注1}	CRC011 ^{注2}	CRC010 ^{注1}

CRC012	CR011の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC011	CR001のキャプチャ・トリガの選択
0	TI011端子の有効エッジでキャプチャする
1	TI001端子の有効エッジの逆相でキャプチャする ^{注3}
TI011, TI001端子の有効エッジはPRM01で設定します。 ただし, CRC011 = 1のときにES011, ES010 = 11 (両エッジ) に指定すると, TI001端子の有効エッジを検出できません。	

CRC010	CR001の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC013, TMC012 = 11 (TM01とCR001の一致でクリア&スタート・モード) を設定した場合は, CRC010には必ず0を設定してください。	

- 注 1. 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aでは, 必ず“0”に設定してください。
2. 78K0/FC2では, 必ず“0”に設定してください。
3. TI011端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM001信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ01 (PRM01) で選択したカウント・クロックの2周期分より長いパルスが必要です (図7 - 15 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時) を参照)。

図7 - 17 キャプチャ/コンペア・コントロール・レジスタ02 (CRC02) のフォーマット

アドレス : FF5CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC02	0	0	0	0	0	CRC022	CRC021	CRC020

CRC022	CR012の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC021	CR002のキャプチャ・トリガの選択
0	TI012端子の有効エッジでキャプチャする
1	TI002端子の有効エッジの逆相でキャプチャする ^注
TI012, TI002端子の有効エッジはPRM02で設定します。 ただし, CRC021 = 1のときにES021, ES020 = 11 (両エッジ) に指定すると, TI002端子の有効エッジを検出できません。	

CRC020	CR002の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC023, TMC022 = 11 (TM02とCR002の一致でクリア&スタート・モード) を設定した場合は, CRC020には必ず0を設定してください。	

注 TI012端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM002信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ02 (PRM02) で選択したカウント・クロックの2周期分より長いパルスが必要です (図7 - 15 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時) を参照)。

図7 - 18 キャプチャ/コンペア・コントロール・レジスタ03 (CRC03) のフォーマット

アドレス : FF52H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC03	0	0	0	0	0	CRC032	CRC031	CRC030

CRC032	CR013の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC031	CR003のキャプチャ・トリガの選択
0	TI013端子の有効エッジでキャプチャする
1	TI003端子の有効エッジの逆相でキャプチャする ^注
TI013, TI003端子の有効エッジはPRM03で設定します。 ただし, CRC031 = 1のときにES031, ES030 = 11 (両エッジ) に指定すると, TI003端子の有効エッジを検出できません。	

CRC030	CR003の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC033, TMC032 = 11 (TM03とCR003の一致でクリア&スタート・モード) を設定した場合は, CRC030には必ず0を設定してください。	

注 TI013端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM003信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ03 (PRM03) で選択したカウント・クロックの2周期分より長いパルスが必要です (図7 - 15 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時) を参照)。

(3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

TOC0nは、TO0n端子出力を制御する8ビットのレジスタです。

TOC0nは、OSPT0nだけが動作中 (TMC0n3, TMC0n2 = 00以外するとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR01nの値を変更する手段としての、TOC0n4の書き換えは可能です (7. 5. 1 CR01nのTM0n動作中の書き換えを参照してください)。

TOC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TOC0nを設定するときは、必ず次の順序で設定してください。

TOC0n4, TOC0n1のセット (1)

TOE0nだけを単独でセット (1)

LVS0nまたはLVR0nのどちらか片方だけをセット (1)

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

図7-19 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM00はクリア&スタートします。

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。
TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC004	CR010とTM00の一致によるTO00端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。

LVS00	LVR00	TO00端子出力の状態の設定
0	0	変化しない
0	1	TO00端子出力初期値ロウ・レベル (TO00端子出力をクリア(0))
1	0	TO00端子出力初期値ハイ・レベル (TO00端子出力をセット(1))
1	1	設定禁止

- ・LVS00, LVR00は、TO00端子出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。
- ・LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。
LVS00, LVR00とTOE00を同時にセット(1)することも禁止です。
- ・LVS00, LVR00はトリガ・ビットです。セット(1)することで、TO00端子出力レベルの初期値を設定します。クリア(0)しても、TO00端子出力に影響はありません。
- ・LVS00, LVR00のリード値は常に“0”です。
- ・LVS00, LVR00の設定方法の詳細は、7.5.2 LVS0n, LVR0nの設定についてを参照してください。

TOC001	CR000とTM00の一致によるTO00端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。

TOE00	TO00端子出力制御
0	出力禁止 (TO00端子出力はロウ・レベルに固定)
1	出力許可

図7-20 16ビット・タイマ出力コントロール・レジスタ01 (TOC01) のフォーマット

アドレス：FFB9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC01	0	OSPT01 ^{注1}	OSPE01 ^{注1}	TOC014 ^{注1}	LVS01 ^{注1}	LVR01 ^{注1}	TOC011 ^{注1}	TOE01 ^{注1}

OSPT01	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力
リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM01はクリア&スタートします。	

OSPE01	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI001端子の有効エッジ入力でクリア&スタート・モード ^{注2} のときに、正常に動作します。 TM01とCR001の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。	

TOC014	CR011とTM01の一致によるTO01端子出力の制御
0	反転動作禁止
1	反転動作許可
TOC014 = 0でも、割り込み信号 (INTTM011) は発生します。	

LVS01	LVR01	TO01端子出力の状態の設定
0	0	変化しない
0	1	TO01端子出力初期値ロウ・レベル (TO01端子出力をクリア (0))
1	0	TO01端子出力初期値ハイ・レベル (TO01端子出力をセット (1))
1	1	設定禁止
<ul style="list-style-type: none"> ・LVS01, LVR01は、TO01端子出力レベルの初期値を設定できます。設定が不要な場合は、LVS01, LVR01を00のままにしてください。 ・LVS01, LVR01は、必ずTOE01 = 1のときに設定してください。 LVS01, LVR01とTOE01を同時にセット(1)することも禁止です。 ・LVS01, LVR01はトリガ・ビットです。セット(1)することで、TO01端子出力レベルの初期値を設定します。クリア(0)しても、TO01端子出力に影響はありません。 ・LVS01, LVR01のリード値は常に“0”です。 ・LVS01, LVR01の設定方法の詳細は、7.5.2 LVS0n, LVR0nの設定についてを参照してください。 		

TOC011	CR001とTM01の一致によるTO01端子出力の制御
0	反転動作禁止
1	反転動作許可
TOC011 = 0でも、割り込み信号 (INTTM001) は発生します。	

TOE01	TO01端子出力制御
0	出力禁止 (TO01端子出力はロウ・レベルに固定)
1	出力許可

注1. μPD78F0881A, 78F0882A, 78F0883Aでは、必ず“0”に設定してください。

2. 78K0/FE2, 78K0/FF2のみ。

図7-21 16ビット・タイマ出力コントロール・レジスタ02 (TOC02) のフォーマット

アドレス : FFA5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TOC02	0	OSPT02	OSPE02	TOC024	LVS02	LVR02	TOC021	TOE02

OSPT02	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM02はクリア&スタートします。

OSPE02	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI002端子の有効エッジ入力
でクリア&スタート・モードのときに、正常に動作します。
TM02とCR002の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC024	CR012とTM02の一致によるTO02端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC024 = 0でも、割り込み信号 (INTTM012) は発生します。

LVS02	LVR02	TO02端子出力の状態の設定
0	0	変化しない
0	1	TO02端子出力初期値ロウ・レベル (TO02端子出力をクリア (0))
1	0	TO02端子出力初期値ハイ・レベル (TO02端子出力をセット (1))
1	1	設定禁止

- ・LVS02, LVR02は、TO02端子出力レベルの初期値を設定できます。設定が不要な場合は、LVS02, LVR02を00のままにしてください。
- ・LVS02, LVR02は、必ずTOE02 = 1のときに設定してください。
LVS02, LVR02とTOE02を同時にセット(1)することも禁止です。
- ・LVS02, LVR02はトリガ・ビットです。セット(1)することで、TO02端子出力レベルの初期値を設定します。クリア(0)しても、TO02端子出力に影響はありません。
- ・LVS02, LVR02のリード値は常に“0”です。
- ・LVS02, LVR02の設定方法の詳細は、7.5.2 LVS0n, LVR0nの設定についてを参照してください。

TOC021	CR002とTM02の一致によるTO02端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC021 = 0でも、割り込み信号 (INTTM002) は発生します。

TOE02	TO02端子出力制御
0	出力禁止 (TO02端子出力はロウ・レベルに固定)
1	出力許可

図7-22 16ビット・タイマ出力コントロール・レジスタ03 (TOC03) のフォーマット

アドレス : FFF9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TOC03	0	OSPT03	OSPE03	TOC034	LVS03	LVR03	TOC031	TOE03

OSPT03	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM03はクリア&スタートします。

OSPE03	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI003端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。
TM03とCR003の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC034	CR013とTM03の一致によるTO03端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC034 = 0でも、割り込み信号 (INTTM013) は発生します。

LVS03	LVR03	TO03端子出力の状態の設定
0	0	変化しない
0	1	TO03端子出力初期値ロウ・レベル (TO03端子出力をクリア (0))
1	0	TO03端子出力初期値ハイ・レベル (TO03端子出力をセット (1))
1	1	設定禁止

- ・LVS03, LVR03は、TO03端子出力レベルの初期値を設定できます。設定が不要な場合は、LVS03, LVR03を00のままにしてください。
- ・LVS03, LVR03は、必ずTOE03 = 1のときに設定してください。
LVS03, LVR03とTOE03を同時にセット(1)することも禁止です。
- ・LVS03, LVR03はトリガ・ビットです。セット(1)することで、TO03端子出力レベルの初期値を設定します。クリア(0)しても、TO03端子出力に影響はありません。
- ・LVS03, LVR03のリード値は常に“0”です。
- ・LVS03, LVR03の設定方法の詳細は、7.5.2 LVS0n, LVR0nの設定についてを参照してください。

TOC031	CR003とTM03の一致によるTO03端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC031 = 0でも、割り込み信号 (INTTM003) は発生します。

TOE03	TO03端子出力制御
0	出力禁止 (TO03端子出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ0n (PRM0n)

PRM0nは、TM0nのカウンタ・クロック、およびTI00n, TI01n端子入力の有効エッジを設定するレジスタです。

PRM0nは、動作中 (TMC0n3, TMC0n2ビット = 00以外のとき) の書き換えは禁止です。

PRM0nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 1. PRM0n1, PRM0n0ビット = 11 (カウンタ・クロックをTI00n端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI00n端子の有効エッジでクリア&スタート・モード
- ・ TI00n端子をキャプチャ・トリガに設定

2. リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

3. P01端子はTI010有効エッジとタイマ出力 (TO00) を、P06端子はTI011有効エッジとタイマ出力 (TO01) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。

4. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

図7-23 プリスケアラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

PRM001	PRM000	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 4 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} ^{注2}	4 MHz	5 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	1	f _{PRS} /2 ²	1 MHz	1.25 MHz	2.5 MHz	5 MHz
1	0	f _{PRS} /2 ⁸	15.62 kHz	19.53 kHz	39.06 kHz	78.12 kHz
1	1	TI000有効エッジ ^{注5}				

注1. 周辺ハードウェア・クロック (f_{PRS}) , 電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V (A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は, f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで, 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合, PRM001 = PRM000 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 2.7 V V_{DD} 5.5 Vの場合のみ設定可能です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
- 外部クロックは内部クロック (f_{PRS}) の2周期分より長いパルスが必要とします。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7-24 プリスケアラ・モード・レジスタ01 (PRM01) のフォーマット

アドレス : FFB7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM01	ES111 ^{注1}	ES110 ^{注1}	ES011 ^{注2}	ES010 ^{注2}	0	0	PRM011	PRM010

ES111	ES110	TI011端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES011	ES010	TI001端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM011	PRM010	カウント・クロックの選択 ^{注3}				
		f_{PRS}	$f_{PRS} = 4$ MHz	$f_{PRS} = 5$ MHz	$f_{PRS} = 10$ MHz	$f_{PRS} = 20$ MHz
0	0	f_{PRS} ^{注4}	4 MHz	5 MHz	10 MHz ^{注5}	20 MHz ^{注6}
0	1	$f_{PRS}/2$ ⁴	250 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	$f_{PRS}/2$ ⁶	62.5 kHz	78.125 kHz	156.25 kHz	312.5 kHz
1	1	TI001有効エッジ ^{注7, 8}				

- 注 1. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aでは, 必ず“0”を設定してください。
 2. 78K0/FC2では, 必ず“0”を設定してください。
 3. 周辺ハードウェア・クロック (f_{PRS}) は, 電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
$V_{DD} = 4.0 \sim 5.5$ V	f_{PRS} 20 MHz
$V_{DD} = 2.7 \sim 4.0$ V	f_{PRS} 10 MHz
$V_{DD} = 1.8 \sim 2.7$ V (A) 水準品のみ)	f_{PRS} 5 MHz

(上述の表は, $f_{PRS} = f_{XH}$ ($XSEL = 1$) の場合です)

4. 1.8 V $V_{DD} < 2.7$ Vで, 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している ($XSEL = 0$) 場合, PRM011 = PRM010 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。
 5. 2.7 V $V_{DD} = 5.5$ Vの場合のみ設定可能です。
 6. 4.0 V $V_{DD} = 5.5$ Vの場合のみ設定可能です。
 7. 外部クロックは内部クロック (f_{PRS}) の2周期分より長いパルスが必要とします。
 8. 78K0/FE2, 78K0/FF2のみ。78K0/FC2では設定禁止です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7 - 25 プリスケアラ・モード・レジスタ02 (PRM02) のフォーマット

アドレス : FF59H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM02	ES121	ES120	ES021	ES020	0	0	PRM021	PRM020

ES121	ES120	TI012端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

ES021	ES020	TI002端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ

PRM021	PRM020	カウント・クロックの選択 ^{注1}				
		$f_{PRS} = 4 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$	
0	0	f_{PRS} ^{注2}	4 MHz	5 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	1	$f_{PRS}/2^2$	1 MHz	1.25 MHz	2.5 MHz	5 MHz
1	0	$f_{PRS}/2^8$	15.62 kHz	19.53 kHz	39.06 kHz	78.12 kHz
1	1	TI002有効エッジ ^{注5}				

注 1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
$V_{DD} = 4.0 \sim 5.5 \text{ V}$	$f_{PRS} = 20 \text{ MHz}$
$V_{DD} = 2.7 \sim 4.0 \text{ V}$	$f_{PRS} = 10 \text{ MHz}$
$V_{DD} = 1.8 \sim 2.7 \text{ V}$ (A) 水準品のみ)	$f_{PRS} = 5 \text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ ($XSEL = 1$) の場合です)

- 1.8 V $V_{DD} < 2.7 \text{ V}$ で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している ($XSEL = 0$) 場合、PRM021 = PRM020 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 2.7 V $V_{DD} = 5.5 \text{ V}$ の場合のみ設定可能です。
- 4.0 V $V_{DD} = 5.5 \text{ V}$ の場合のみ設定可能です。
- 外部クロックは内部クロック (f_{PRS}) の2周期分より長いパルスが必要とします。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7 - 26 プリスケアラ・モード・レジスタ03 (PRM03) のフォーマット

アドレス : FF51H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM03	ES131	ES130	ES031	ES030	0	0	PRM031	PRM030

ES131	ES130	TI013端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES031	ES030	TI003端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM031	PRM030	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 4 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} ^{注2}	4 MHz	5 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	1	f _{PRS} /2 ⁴	250 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	f _{PRS} /2 ⁶	62.5 kHz	78.125 kHz	156.25 kHz	312.5 kHz
1	1	TI003有効エッジ ^{注5}				

注 1. 周辺ハードウェア・クロック (f_{PRS}) は, 電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V (A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は, f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで, 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合, PRM031 = PRM030 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 2.7 V V_{DD} 5.5 Vの場合のみ設定可能です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
- 外部クロックは内部クロック (f_{PRS}) の2周期分より長いパルスを必要とします。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(5) ポート・モード・レジスタ0 (PM0)

ポート0の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010, P06/TO01/TI011端子をタイマ出力として使用するとき, PM01, PM06およびP01, P06の出力ラッチに0を設定してください。

P01/TO00/TI010, P06/TO01/TI011端子をタイマ入力として使用するとき, PM01, PM06に1を設定してください。このときP01, P06の出力ラッチは, 0または1のどちらでもかまいません。

PM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7 - 27 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1, 5, 6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/FF2製品のポート・モード・レジスタ0のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては, 5.3 ポート機能を制御するレジスタ (1)ポート・モード・レジスタ (PMxx) を参照してください。

(6) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P32/TI012/TO02/INTP3^{注1}端子をタイマ出力として使用するとき、PM32およびP32の出力ラッチに0を設定してください。

P31/TI002/INTP2^{注2}、P32/TI012/TO02/INTP3^{注1}端子をタイマ入力として使用するとき、PM31、PM32に1を設定してください。このときP32、P31の出力ラッチは、0または1のどちらでもかまいません。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

- 注1. 78K0/FC2はTI002端子を搭載していません。TI002以外のポート機能、兼用機能は搭載しています。
 2. 78K0/FC2はTI012、TO02端子を搭載していません。TI012、TO02以外のポート機能、兼用機能は搭載しています。

図7-28 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)	
0	出力モード (出力バッファ・オン)	
1	入力モード (出力バッファ・オフ)	

(7) ポート・モード・レジスタ13 (PM13)

ポート13の入力/出力を1ビット単位で設定するレジスタです。

P132/TI013/TO03端子をタイマ出力として使用するとき、PM132およびP132の出力ラッチに0を設定してください。

P131/TI003、P132/TI013/TO03端子をタイマ入力として使用するとき、PM131、PM132に1を設定してください。このときP131、P132の出力ラッチは、0または1のどちらでもかまいません。

PM13は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図7-29 ポート・モード・レジスタ13 (PM13) のフォーマット

アドレス: FF2DH リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM13	1	1	1	1	1	PM132	PM131	0

PM13n	P13n端子の入出力モードの選択 (n = 1, 2)	
0	出力モード (出力バッファ・オン)	
1	入力モード (出力バッファ・オフ)	

備考 上記は、78K0/FF2製品のポート・モード・レジスタ13のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては、5.3 ポート機能を制御するレジスタ (1)ポート・モード・レジスタ (PMxx) を参照してください。

7.4 16ビット・タイマ/イベント・カウンタ00-03の動作

7.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) と、キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) を図7 - 30のように設定することにより、インターバル・タイマとして動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- CRC0nレジスタの設定（設定値については図7 - 30参照）
- CR00nレジスタに任意の値を設定
- PRM0nレジスタによりカウント・クロック設定
- TMC0nレジスタ設定：動作開始（設定値については図7 - 30参照）

注意 TM0n動作中にCR00nを書き換えることはできません。

備考 INTTM00n割り込み許可の設定については、第17章 **割り込み機能**を参照してください。

16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

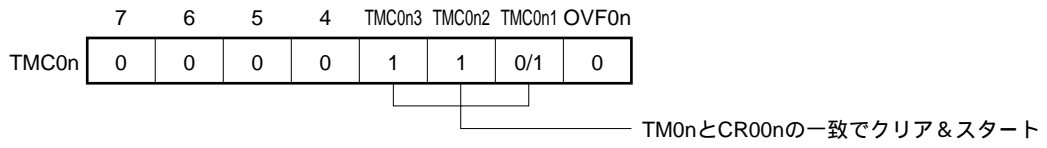
16ビット・タイマ・カウンタ0n (TM0n) のカウント値がCR00nに設定した値と一致したとき、TM0nの値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00n) を発生します。

プリスケアラ・モード・レジスタ0n (PRM0n) のビット0, 1 (PRM0n0, PRM0n1) で16ビット・タイマ/イベント・カウンタ0nのカウント・クロックを選択できます。

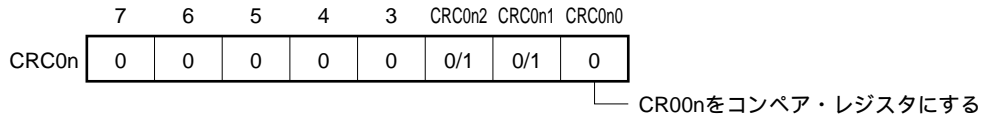
備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 30 インターバル・タイマ動作時の制御レジスタ設定内容

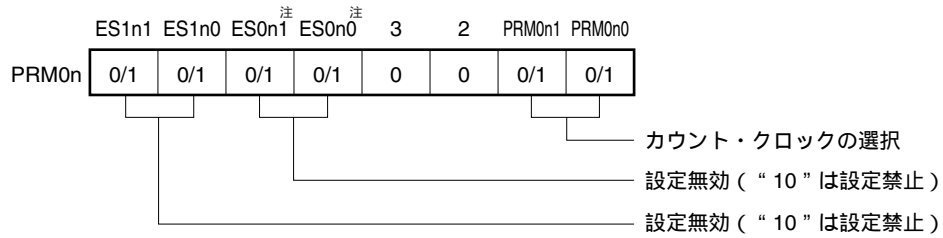
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) プリスケアラ・モード・レジスタ0n (PRM0n)

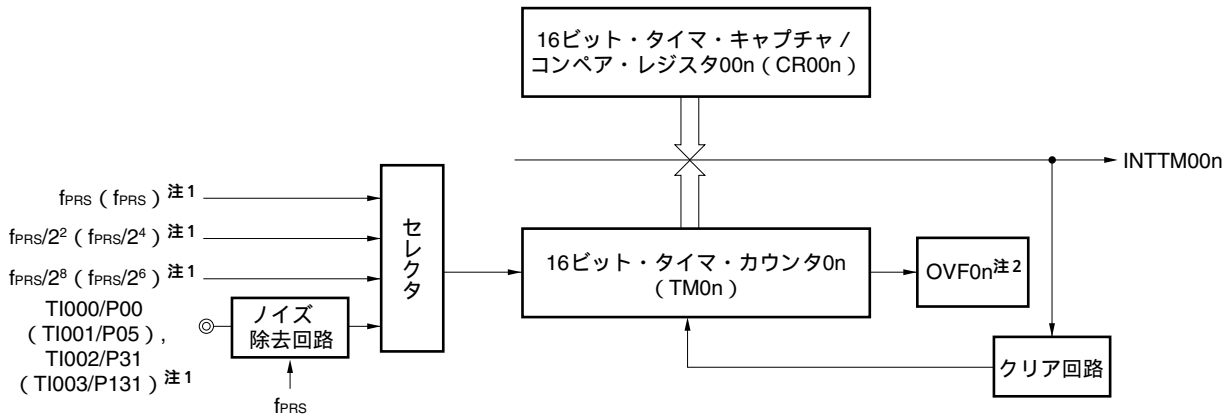


注 78K0/FC2ではPRM00のみ。PRM01では必ず“0”を設定してください。

備考 1. 0/1:0または1を設定することにより、インターバル・タイマと同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

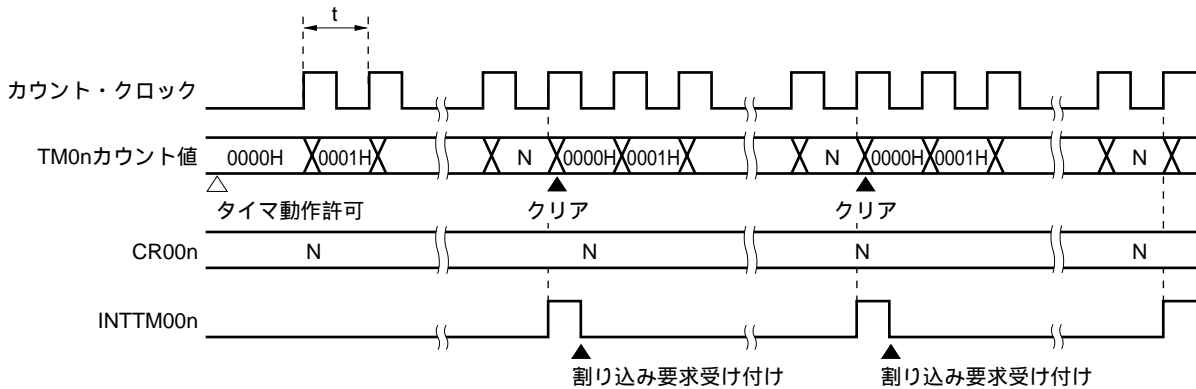
- 2. n = 0, 1 : 78K0/FC2
- n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 31 インターバル・タイマの構成図



- 注1. () なしは16ビット・タイマ/イベント・カウンタ00, 02のとき, () 内は16ビット・タイマ/イベント・カウンタ01, 03のとき
2. 16ビット・タイマ・キャプチャ/コンペア・レジスタ00nにFFFFHを設定した場合のみ, OVF0nは1になります。

図7 - 32 インターバル・タイマ動作のタイミング



- 備考 1. インターバル時間 = (N + 1) × t
 N = 0001H-FFFFH
2. n = 0, 1 : 78K0/FC2
 n = 0-3 : 78K0/FE2, 78K0/FF2

7.4.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) と、キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) を図7 - 33のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

設定方法

基本的な動作設定手順例は次のようになります。

- CRC0nレジスタの設定 (設定値については図7 - 33参照)
- CR00nレジスタに周期となる任意の値を設定
- CR01nレジスタにデューティとなる任意の値を設定
- TOC0nレジスタの設定 (設定値は図7 - 33参照)
- PRM0nレジスタによりカウント・クロック設定
- TMC0nレジスタ設定: 動作開始 (設定値については図7 - 33参照)

注意 動作中にデューティの値 (CR01nレジスタ) を変更する場合は、図7 - 35 PPG出力動作のタイミングの注意2を参照してください。

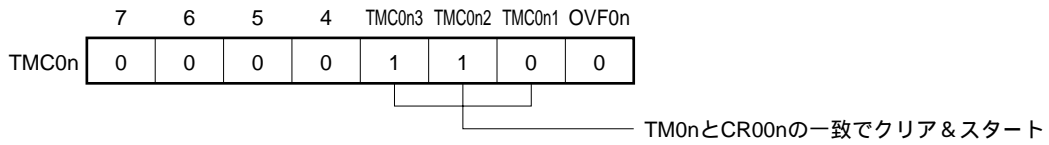
- 備考1.** TO0n端子の設定については、7.3(5)ポート・モード・レジスタ0 (PM0) ~ (7)ポート・モード・レジスタ13 (PM13) を参照してください。
2. INTTM00n割り込み許可の設定については、第17章 割り込み機能を参照してください。

PPG出力パルスは、16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値を1周期とし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0n端子から出力します。

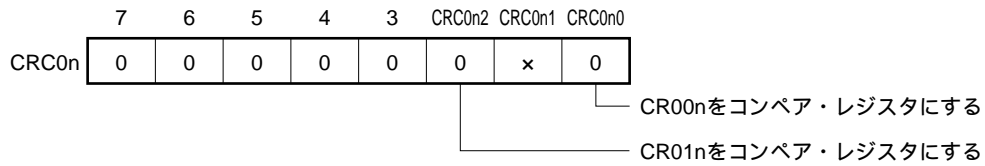
- 備考** n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 33 PPG出力動作時の制御レジスタ設定内容

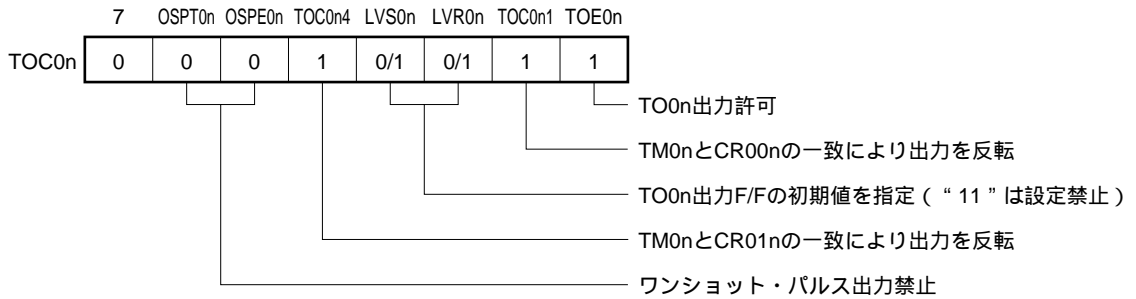
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



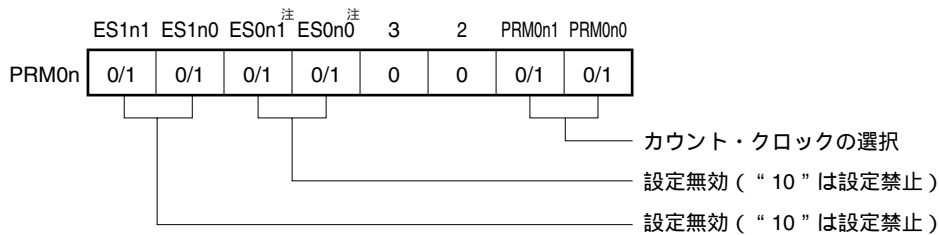
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



(d) プリスケアラ・モード・レジスタ0n (PRM0n)



注 78K0/FC2ではPRM00のみ。PRM01では必ず“0”を設定してください。

注意1. CR00nとCR01nには次の範囲の値を設定してください。

0000H CR01n < CR00n FFFFH

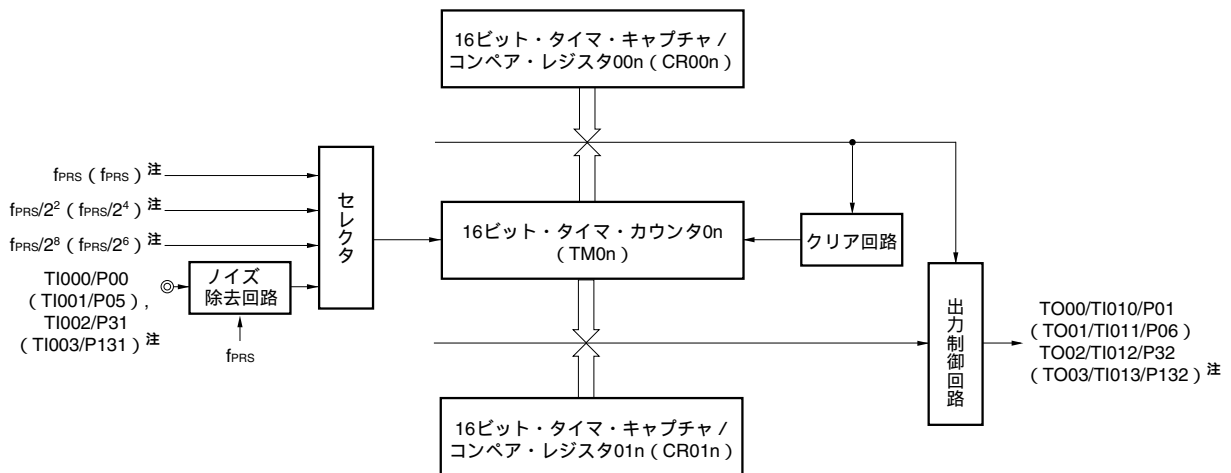
- PPG出力によって生成されるパルスの周期は (CR00nの設定値 + 1) , デューティは (CR01nの設定値 + 1) / (CR00nの設定値 + 1) になります。

備考 x : don't care

n = 0, 1 : 78K0/FC2

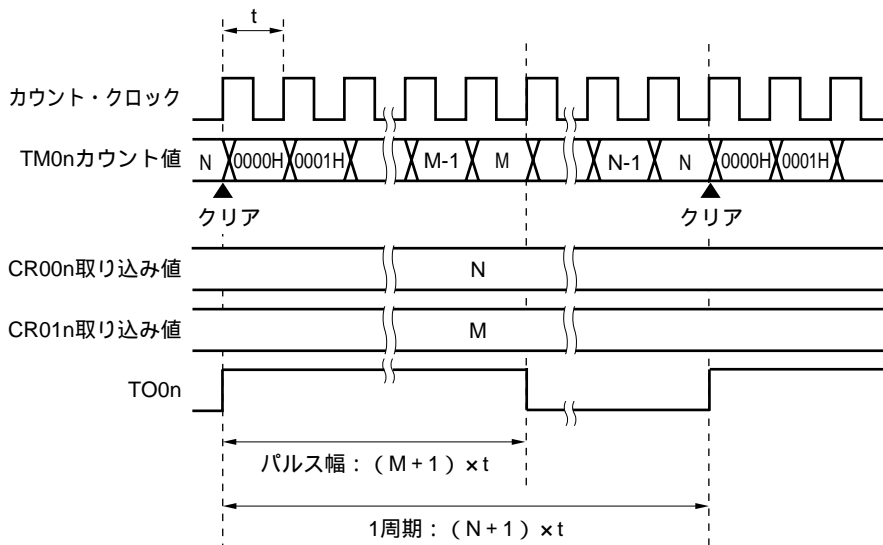
n = 0-3 : 78K0/FE2, 78K0/FF2

図7-34 PPG出力の構成図



注 () なしは16ビット・タイマ/イベント・カウンタ00, 02のとき, () 内は16ビット・タイマ/イベント・カウンタ01, 03のとき

図7-35 PPG出力動作のタイミング



- 注意1. TM0n動作中にCR00nを書き換えることはできません。
 2. PPG出力動作において、TM0nの動作中にパルス幅を変更する (CR01nを書き換える) 場合は、次の手順で行ってください。

- TM0nとCR01nの一致によるタイマ出力反転動作を禁止する (TOC0n4 = 0)
- INTTM01nの割り込みを禁止する (TMMK01n = 1)
- CR01nを書き換える
- TM0nのカウント・クロックの1周期分をウェイトする
- TM0nとCR01nの一致によるタイマ出力反転動作を許可する (TOC0n4 = 1)
- INTTM01nの割り込み要求フラグをクリアする (TMIF01n = 0)
- INTTM01nの割り込みを許可する (TMMK01n = 0)

- 備考 1. 0000H M < N FFFFH
 2. n = 0, 1 : 78K0/FC2
 n = 0-3 : 78K0/FE2, 78K0/FF2

7.4.3 パルス幅測定としての動作

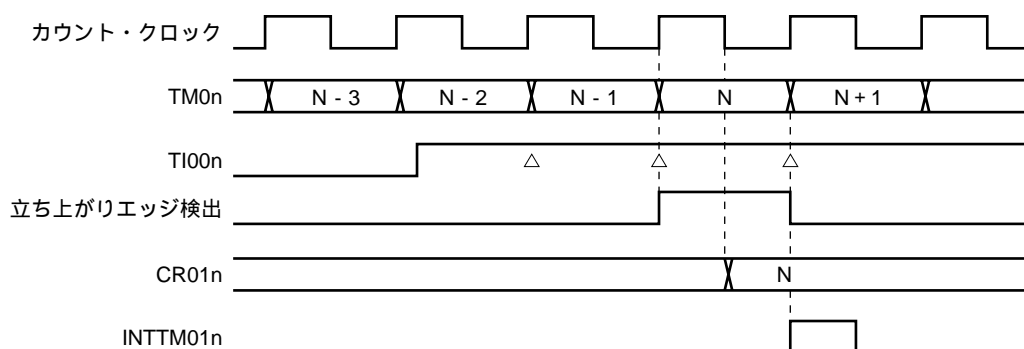
16ビット・タイマ・カウンタ0n (TM0n) を使用し、TI00n端子およびTI01n端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0nをフリー・ランニングさせて測定する方法とTI00n端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値を読み込み、オーバフロー・フラグを確認したあと、必要なパルス幅を計算してください。オーバフロー・フラグは、確認後クリアしてください。

プリスケアラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロック周期でサンプリングを行い、TI00n端子またはTI01n端子の有効レベルを2回検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図7-36 立ち上がりエッジ指定時のCR01nキャプチャ動作



設定方法

基本的な動作設定手順例は次のようになります。

CRC0nレジスタの設定 (設定値については図7-37, 7-40, 7-42, 7-44参照)

PRM0nレジスタによりカウント・クロック設定

TMC0nレジスタ設定: 動作開始 (設定値については図7-37, 7-40, 7-42, 7-44参照)

- 注意 1.** キャプチャ・レジスタを2本使用する場合は、TI00nおよびTI01n端子の設定を行ってください。
- 2.** 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
- 3.** 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

- 備考 1.** TI00n (もしくはTI01n) 端子の設定については、7.3 (5) ポート・モード・レジスタ0 (PM0) ~ (7) ポート・モード・レジスタ13 (PM13) を参照してください。
- 2.** INTTM00n (もしくはINTTM01n) 割り込み許可の設定については、第17章 割り込み機能を参照してください。
- 3.** n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

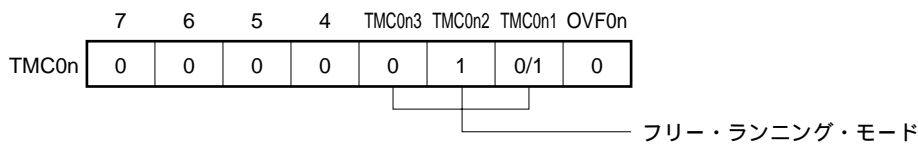
16ビット・タイマ・カウンタ0n (TM0n) をフリー・ランニングで動作させているとき, TI00n端子にプリスケアラ・モード・レジスタ0n (PRM0n) で指定したエッジが入力されるとTM0nの値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込み, 外部割り込み要求信号 (INTTM01n) をセットします。

TI00n端子のエッジはPRM0nのビット4, 5 (ES0n0, ES0n1) で, 立ち上がり, 立ち下りの両エッジを指定します。

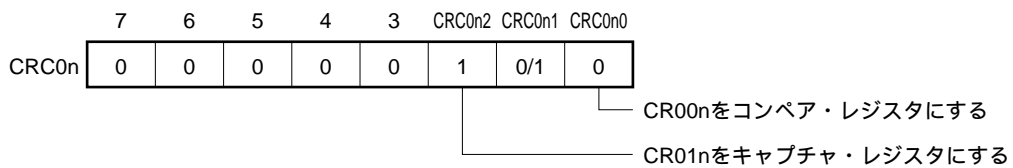
PRM0nで選択したカウント・クロックでサンプリングを行い, TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図7 - 37 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 (TI00nとCR01nを使用した場合)

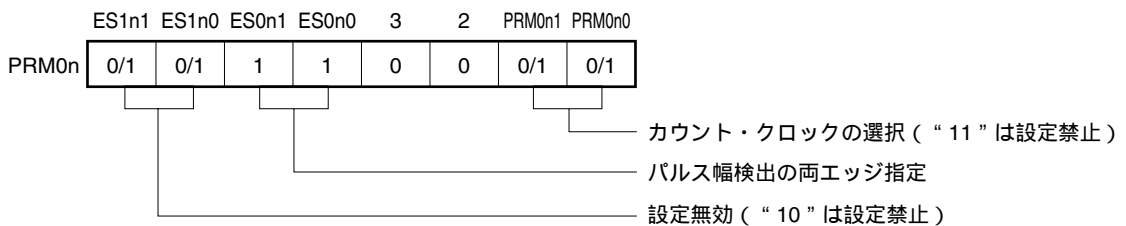
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



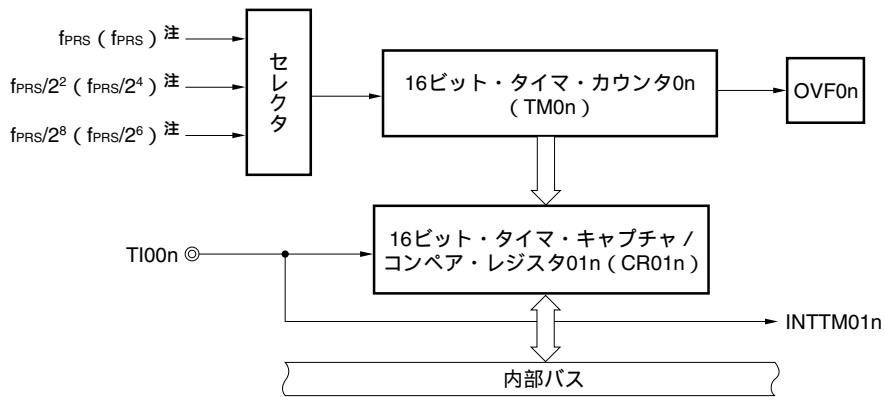
(c) プリスケアラ・モード・レジスタ0n (PRM0n)



- 注意 1.** 78K0/FC2のパルス幅測定は, 16ビット・タイマ/イベント・カウンタ00のみ使用できます。
- 2.** 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。
78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

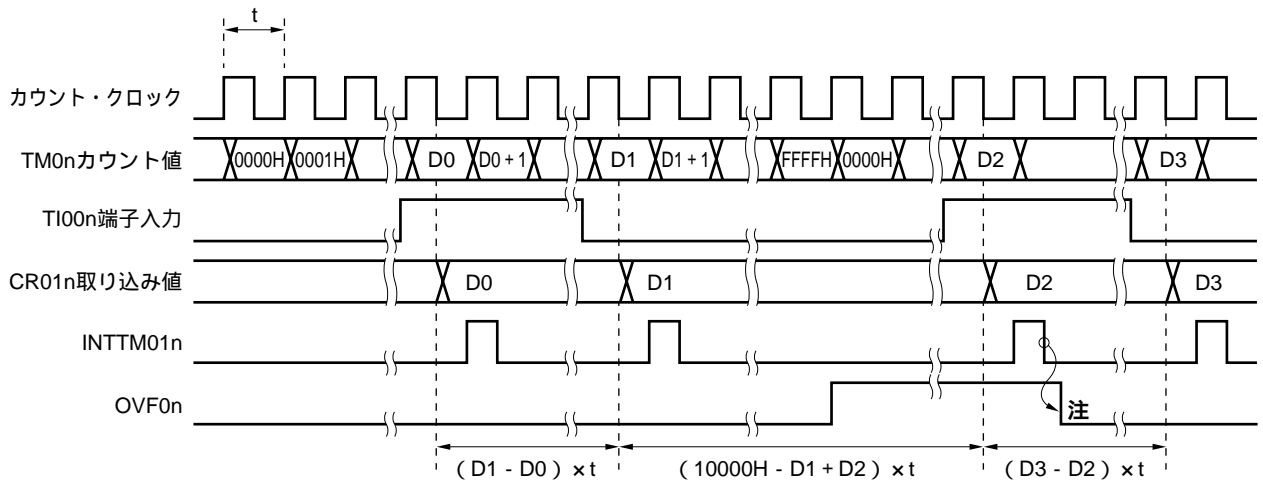
- 備考 1.** 0/1:0または1を設定することにより, パルス幅測定と同時にほかの機能を使用できます。詳細は, 各制御レジスタの説明を参照してください。
- 2.** n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7-38 フリー・ランニング・カウンタによるパルス幅測定の構成図



注 () なしは16ビット・タイマ/イベント・カウンタ00, 02のとき, () 内は16ビット・タイマ/イベント・カウンタ01, 03のとき

図7-39 フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF0nのクリアはソフトウェアで行ってください。

- 注意 1. 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
2. 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0n (TM0n) をフリー・ランニングで動作させているとき, TI00n端子およびTI01n端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00n端子にプリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) で指定したエッジが入力されると, TM0nの値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込み, 割り込み要求信号 (INTTM01n) をセットします。

また, TI01n端子にPRM0nのビット6, 7 (ES1n0, ES1n1) で指定したエッジが入力されると, TM0nの値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) に取り込み, 割り込み要求信号 (INTTM00n) をセットします。

TI00n端子とTI01n端子のエッジは, PRM0nのビット4, 5 (ES0n0, ES0n1) およびビット6, 7 (ES1n0, ES1n1) で, 立ち上がり, 立ち下がりの両エッジを指定します。

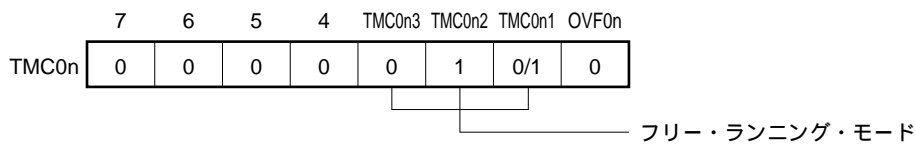
プリスケアラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロック周期でサンプリングを行い, TI00n端子またはTI01n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

- 注意**
1. 78K0/FC2のパルス幅測定は, 16ビット・タイマ/イベント・カウンタ00のみ使用できます。
 2. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

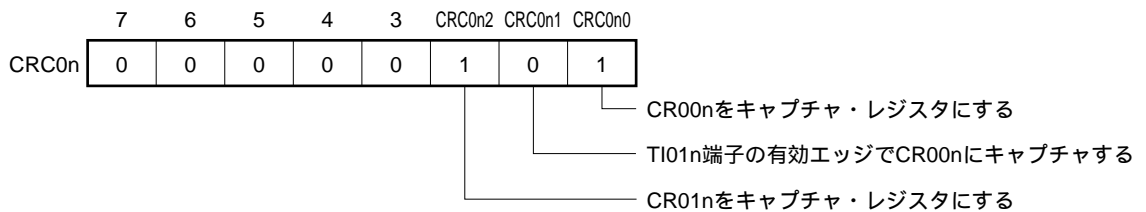
- 備考**
- | | |
|---------|----------------------|
| n = 0 | : 78K0/FC2 |
| n = 0-3 | : 78K0/FE2, 78K0/FF2 |

図7-40 フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

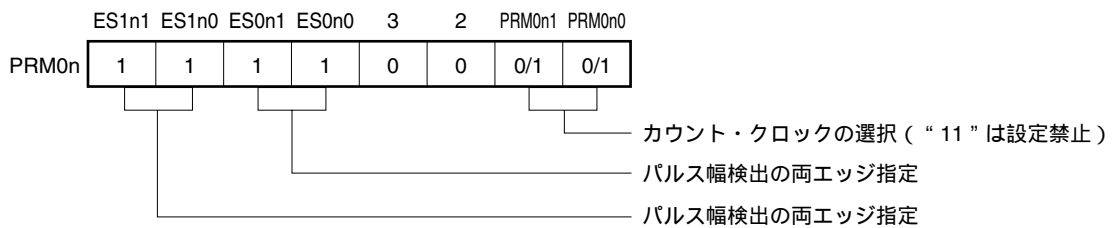
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



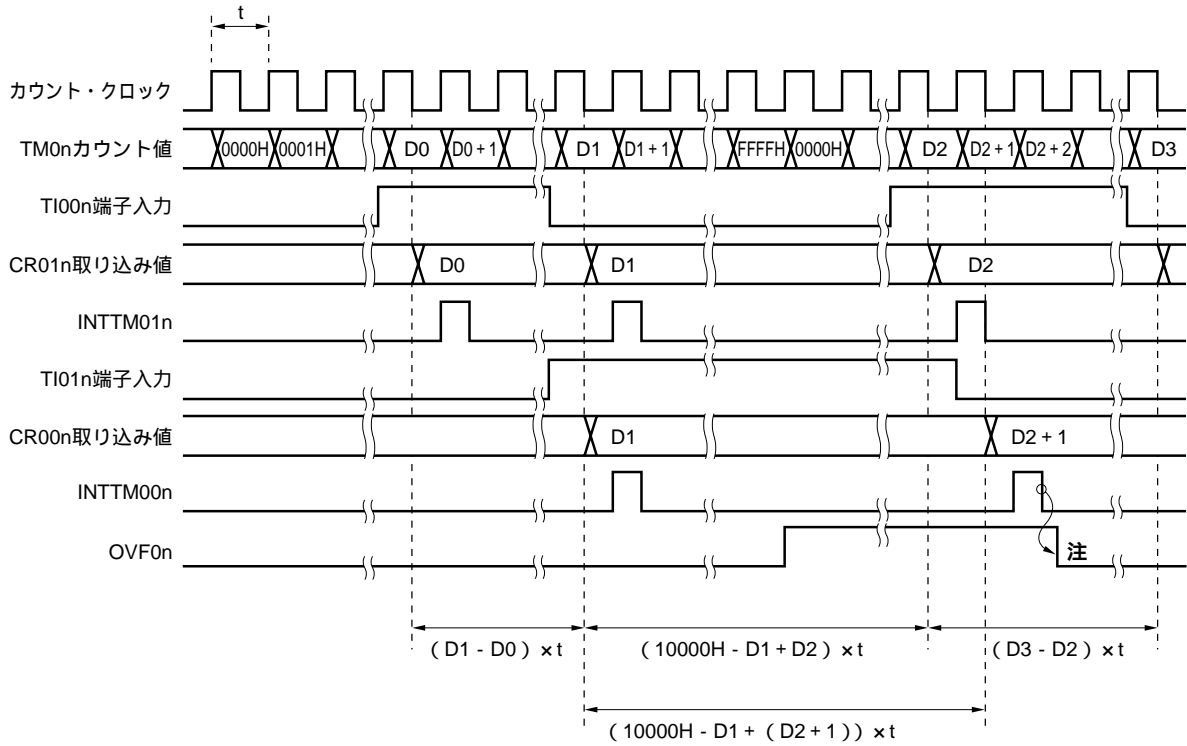
(c) プリスケアラ・モード・レジスタ0n (PRM0n)



- 注意1.** 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
- 2.** 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

- 備考1.** 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。
- 2.** n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7-41 フリー・ランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



注 OVF0nのクリアはソフトウェアで行ってください。

注意1. 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。

2. 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。

78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0n (TM0n) をフリー・ランニングで動作させているとき、TI00n端子に入力する信号のパルス幅を測定できます。

TI00n端子にプリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) で指定した立ち上がりまたは立ち下がりエッジが入力されると、TM0nの値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込み、割り込み要求信号 (INTTM01n) をセットします。

また、CR01nへのキャプチャ動作と逆のエッジ入力で、TM0nの値を16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) に取り込みます。

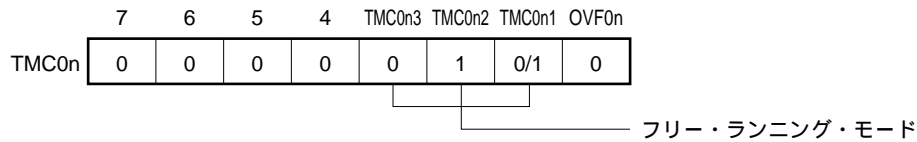
プリスケアラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロック周期でサンプリングを行い、TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

- 注意** 1. 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
 2. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
 78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

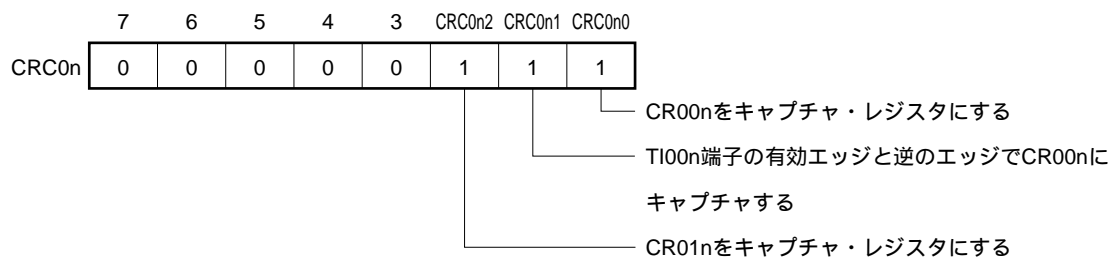
- 備考** n = 0 : 78K0/FC2
 n = 0-3 : 78K0/FE2, 78K0/FF2

図7-42 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容
(立ち上がりエッジ指定時)

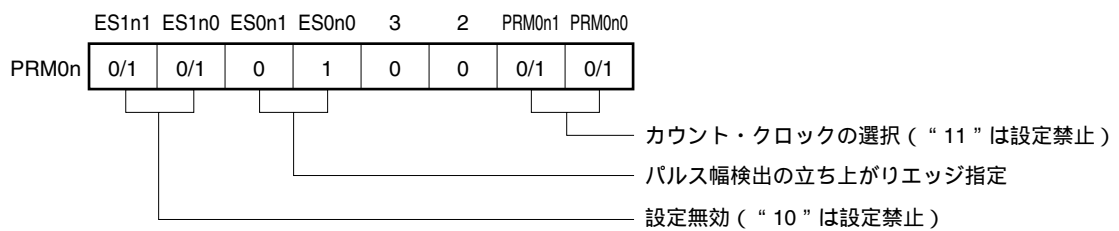
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



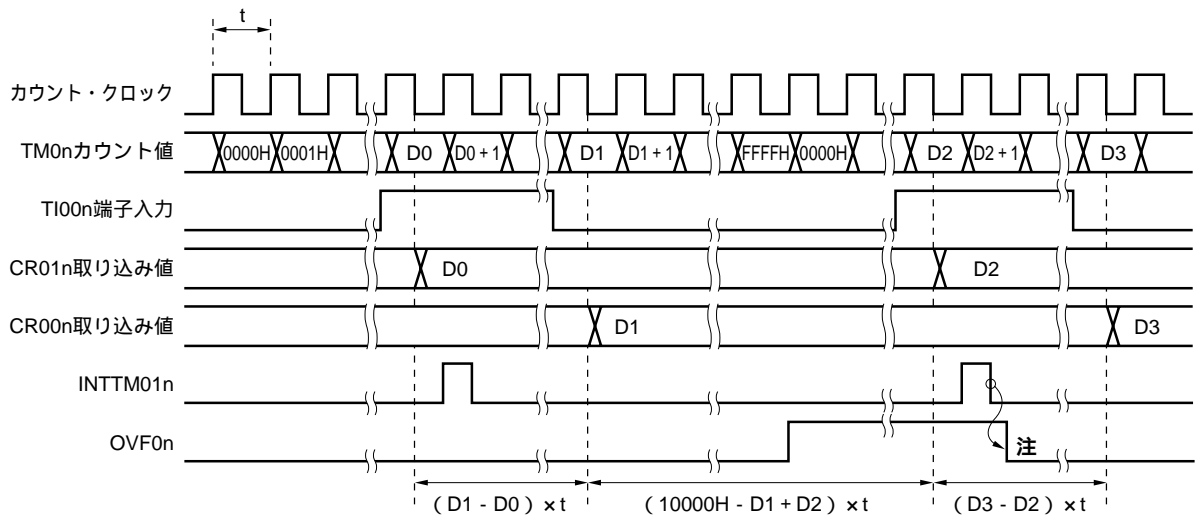
(c) プリスケーラ・モード・レジスタ0n (PRM0n)



- 注意 1.** 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
- 2.** 78K0/FC2のμ PD78F0881A, 78F088A2, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

- 備考 1.** 0/1 : 0または1を設定することにより、パルス幅測定と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。
- 2.** n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7-43 フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



注 OVF0nのクリアはソフトウェアで行ってください。

- 注意 1. 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
2. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

(4) リスタートによるパルス幅測定

TI00n端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0n (TM0n) のカウント値を16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) に取り込んだあと、TM0nをクリアしてカウントを再開することにより、TI00n端子に入力された信号のパルス幅を測定します。

エッジ指定は、プリスケラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) により、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケラ・モード・レジスタ0n (PRM0n) で選択したカウント・クロック周期でサンプリングを行い、TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

- 注意 1. 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
2. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 44 リスタートによるパルス幅測定時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

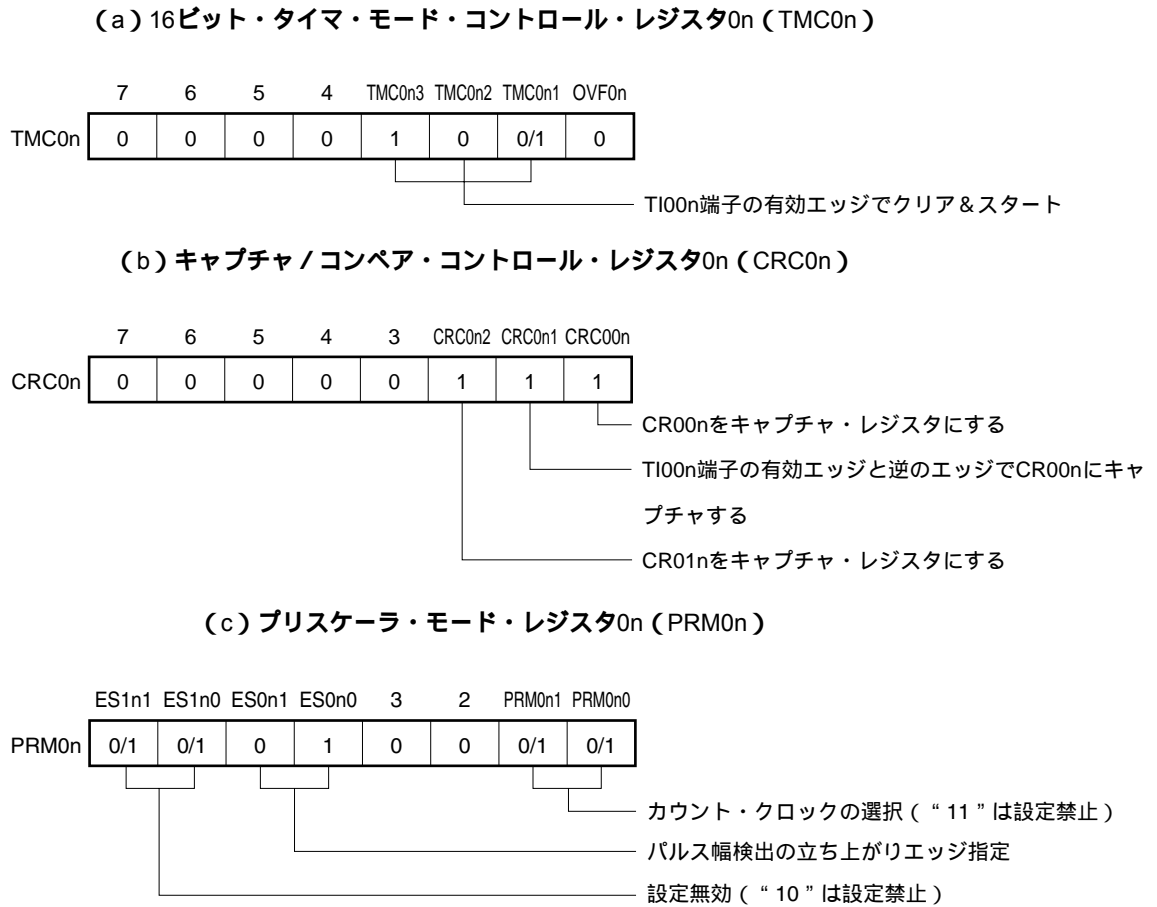
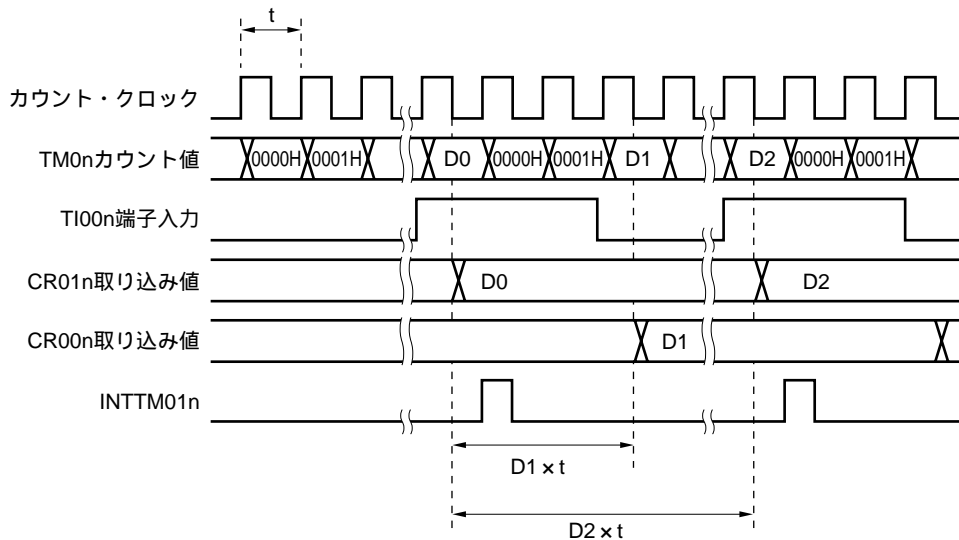


図7 - 45 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



- 注意 1. 78K0/FC2のパルス幅測定は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
2. 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
 78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0 : 78K0/FC2
 n = 0-3 : 78K0/FE2, 78K0/FF2

7.4.4 外部イベント・カウンタとしての動作

設定方法

基本的な動作設定手順例は次のようになります。

- CRC0nレジスタの設定（設定値については図7 - 46参照）
- PRM0nレジスタによりカウント・クロック設定
- CR00nレジスタに任意の値（0000Hは設定できません）を設定
- TMC0nレジスタ設定：動作開始（設定値については図7 - 46参照）

- 備考1.** TI00n端子の設定については、7.3(5) **ポート・モード・レジスタ0 (PM0) ~ (7) ポート・モード・レジスタ13 (PM13)** を参照してください。
- 2.** INTTM00n割り込み許可の設定については、**第17章 割り込み機能**を参照してください。

外部イベント・カウンタは、TI00n端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0n (TM0n) でカウントするものです。

プリスケアラ・モード・レジスタ0n (PRM0n) で指定した有効エッジが入力されるたびに、TM0nがインクリメントされます。

TM0nの計数値が16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) の値と一致すると、TM0nは0にクリアされ、割り込み要求信号 (INTTM00n) が発生します。

なお、CR00nには0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は、プリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) により、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

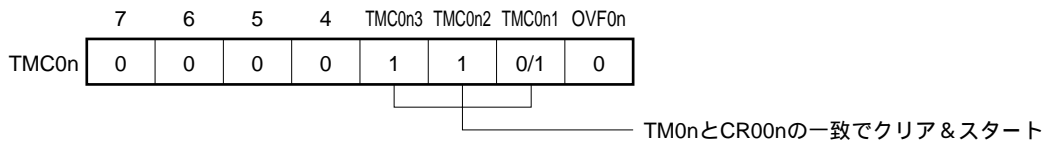
内部クロック (f_{PRS}) でサンプリングを行い、TI00n端子の有効レベルを2回検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

- 注意 1.** 78K0/FC2の外部イベント・カウンタは、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
- 2.** 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

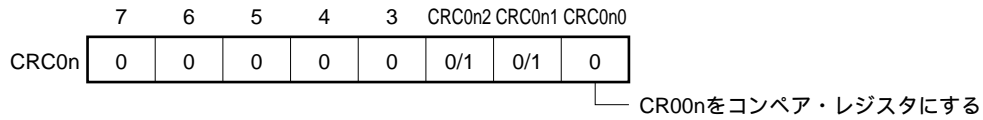
- 備考** n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 46 外部イベント・カウンタ・モード時の制御レジスタ設定内容 (立ち上がりエッジ指定時)

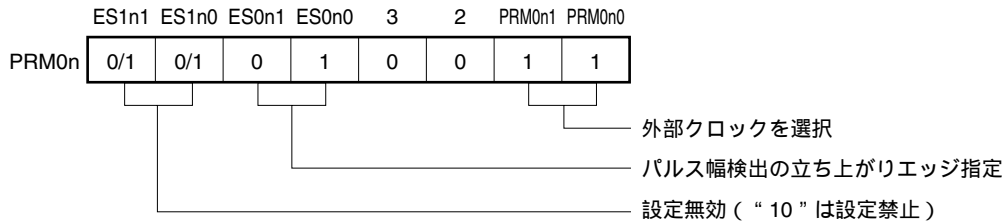
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



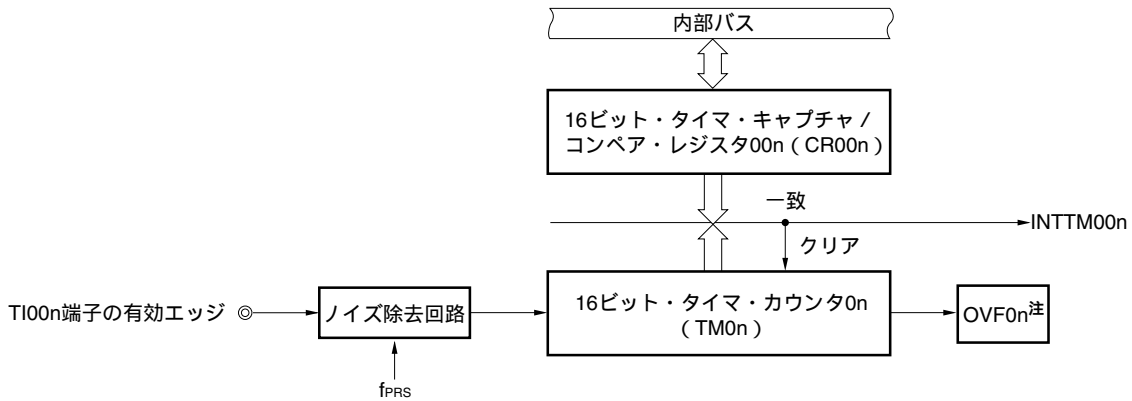
(c) プリスケアラ・モード・レジスタ0n (PRM0n)



- 注意 1. 78K0/FC2の外部イベント・カウンタは、16ビット・タイマ/イベント・カウンタ00のみ使用できません。
2. 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

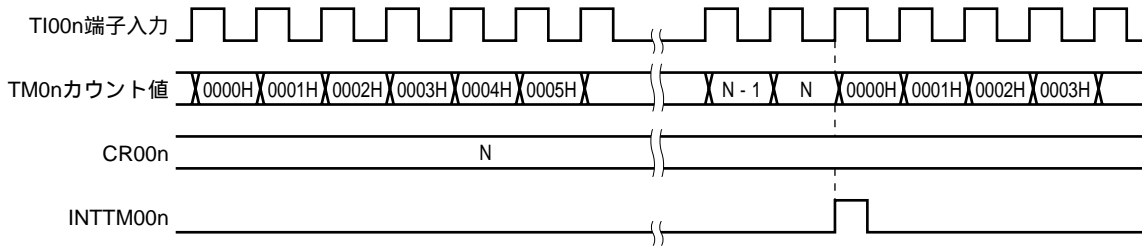
- 備考 1. 0/1:0または1を設定することにより、外部イベント・カウンタと同時にほかの機能を使用できます。
詳細は、各制御レジスタの説明を参照してください。
2. n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 47 外部イベント・カウンタの構成図



注 CR00nにFFFFHを設定した場合のみ、OVF0nは1になります。

図7 - 48 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



- 注意 1. 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0nを読み出してください。
2. 78K0/FC2の外部イベント・カウンタは、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
3. 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

7.4.5 方形波出力としての動作

設定方法

基本的な動作設定手順例は次のようになります。

- PRM0nレジスタによりカウント・クロック設定
- CRC0nレジスタの設定（設定値については図7 - 49参照）
- TOC0nレジスタの設定（設定値については図7 - 49参照）
- CR00nレジスタに任意の値（0000Hは設定できません）を設定
- TMC0nレジスタ設定：動作開始（設定値については図7 - 49参照）

注意 TM0n動作中にCR00nを書き換えることはできません。

- 備考1.** TO0n端子の設定については、7.3(5) **ポート・モード・レジスタ0 (PM0) ~ (7) ポート・モード・レジスタ13 (PM13)** を参照してください。
2. INTTM00n割り込み許可の設定については、**第17章 割り込み機能**を参照してください。

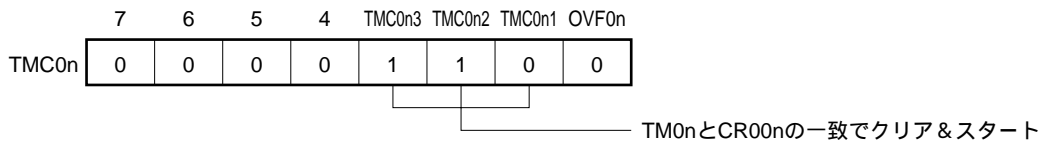
16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値で決まるインターバルの、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) のビット0 (TOE0n) とビット1 (TOC0n1) に1を設定することにより、CR00nにあらかじめ設定したカウント値 + 1で決まるインターバルでTO0n端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

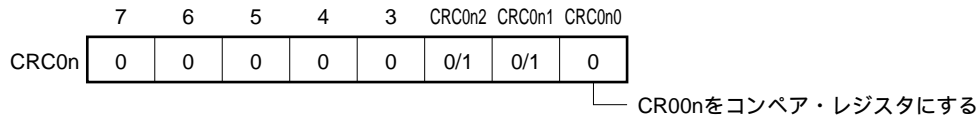
- 備考** n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 49 方形波出力モード時の制御レジスタ設定内容

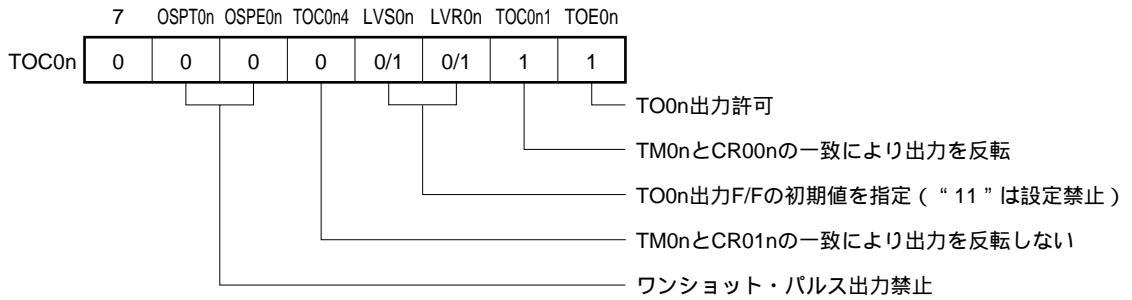
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



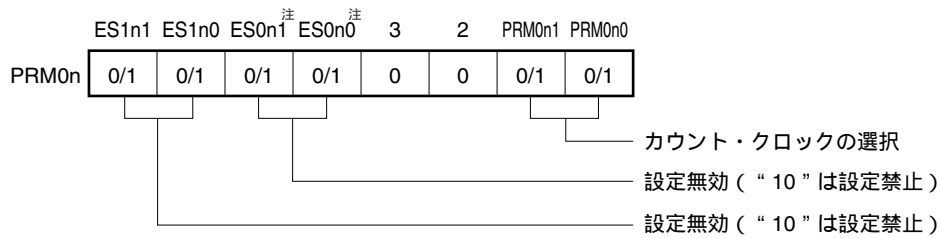
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



(d) プリスケーラ・モード・レジスタ0n (PRM0n)

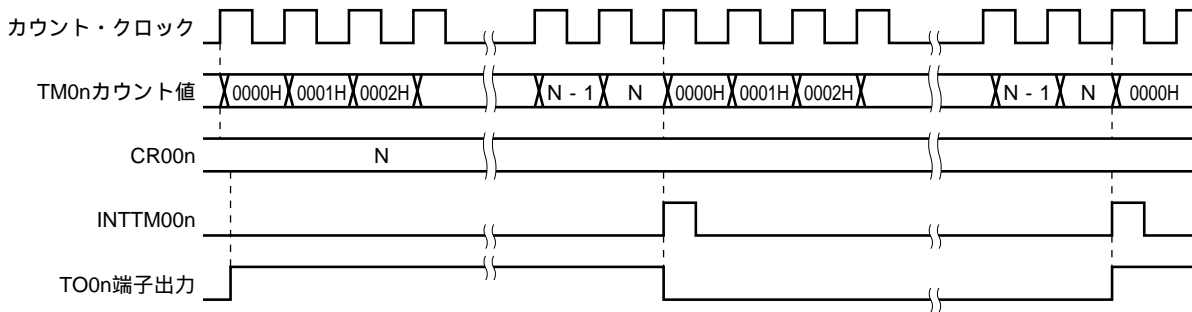


注 78K0/FC2ではPRM00のみ。PRM01では必ず“0”を設定してください。

備考1. 0/1 : 0または1を設定することにより、方形波出力と同時にほかの機能を使用できます。詳細は、各制御レジスタの説明を参照してください。

- 2. n = 0, 1 : 78K0/FC2
- n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 50 方形波出力動作のタイミング



備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

7.4.6 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ(TI00n端子入力)に同期したワンショット・パルスを出力できます。

設定方法

基本的な動作設定手順例は次のようになります。

- PRM0nレジスタによりカウント・クロック設定
- CRC0nレジスタの設定(設定値については図7 - 51, 7 - 53参照)
- TOC0nレジスタの設定(設定値については図7 - 51, 7 - 53参照)
- CR00n, CR01nレジスタに任意の値(0000Hは設定できません)を設定
- TMC0nレジスタ設定: 動作開始(設定値については図7 - 51, 7 - 53参照)

注意 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

- 備考** 1. TO0n端子の設定については, 7.3(5)ポート・モード・レジスタ0(PM0)~(7)ポート・モード・レジスタ13(PM13)を参照してください。
2. INTTM00n(および必要な場合はINTTM01n)割り込み許可の設定については, 第17章 割り込み機能を参照してください。
3. n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

(1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) , キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) および16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を図7 - 51 のように設定し, ソフトウェアでTOC0nレジスタのビット6 (OSPT0n) を1にセットすることにより, ワンショット・パルスをTO0n端子から出力します。

OSPT0nビットを1にセットすることにより, 16ビット・タイマ/イベント・カウンタ0nがクリア&スタートし, 16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) にあらかじめ設定したカウント値 (N) で出力がアクティブになります。その後, 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値 (M) で出力がインアクティブとなります[※]。

ワンショット・パルス出力後も, TM0nレジスタは動作を継続しています。TM0nレジスタを停止させるためには, TMC0nレジスタのTMC0n3, TMC0n2ビットに00を設定する必要があります。

注 ここではN < Mの場合の例です。N > MのときはCR00nレジスタで出力がアクティブになり, CR01nレジスタでインアクティブとなります。N = Mは設定しないでください。

注意1. ワンショット・パルスを出力しているときは, OSPT0nビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。

2. 16ビット・タイマ/イベント・カウンタ0nのワンショット・パルス出力をソフトウェア・トリガで使用する場合, TI00n端子またはその兼用ポート端子のレベルを変化させないでください。

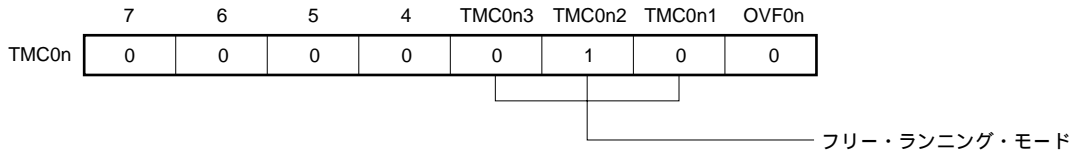
この場合でも外部トリガは有効となっているので, TI00n端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい, 意図しないタイミングでパルスが出力されてしまいます。

2. 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

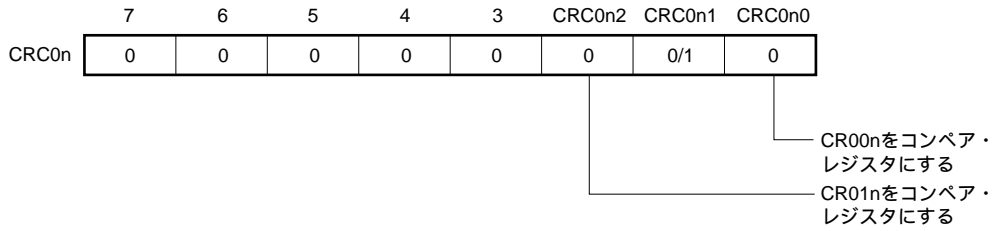
備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 51 ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

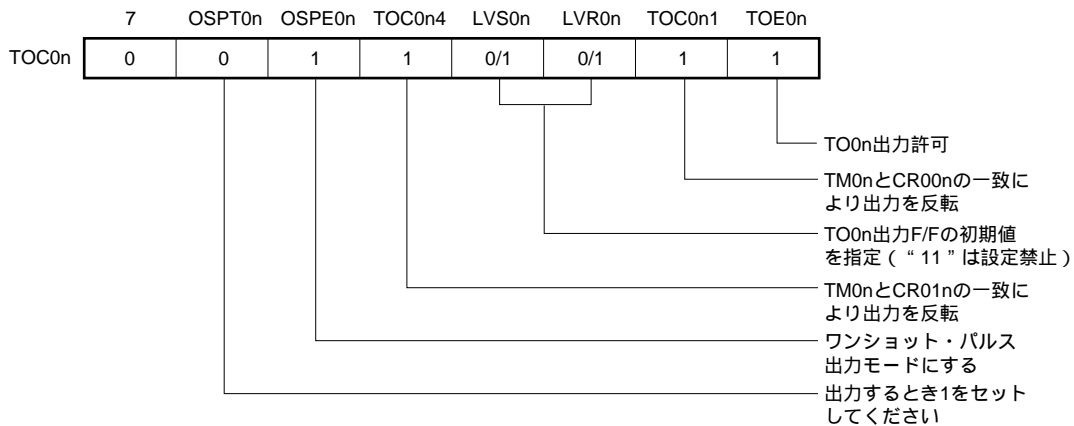
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



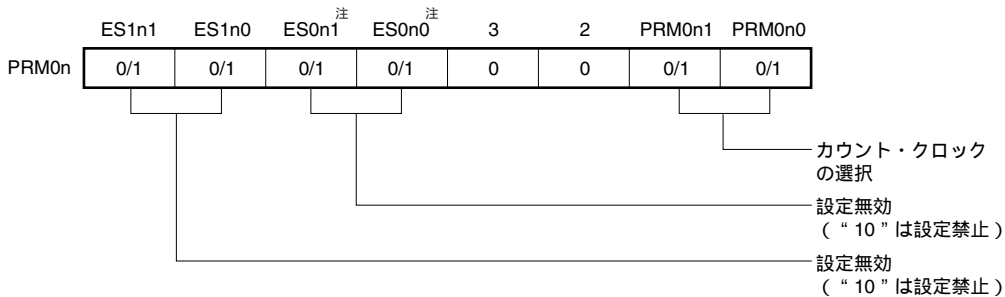
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



(d) プリスケアラ・モード・レジスタ0n (PRM0n)

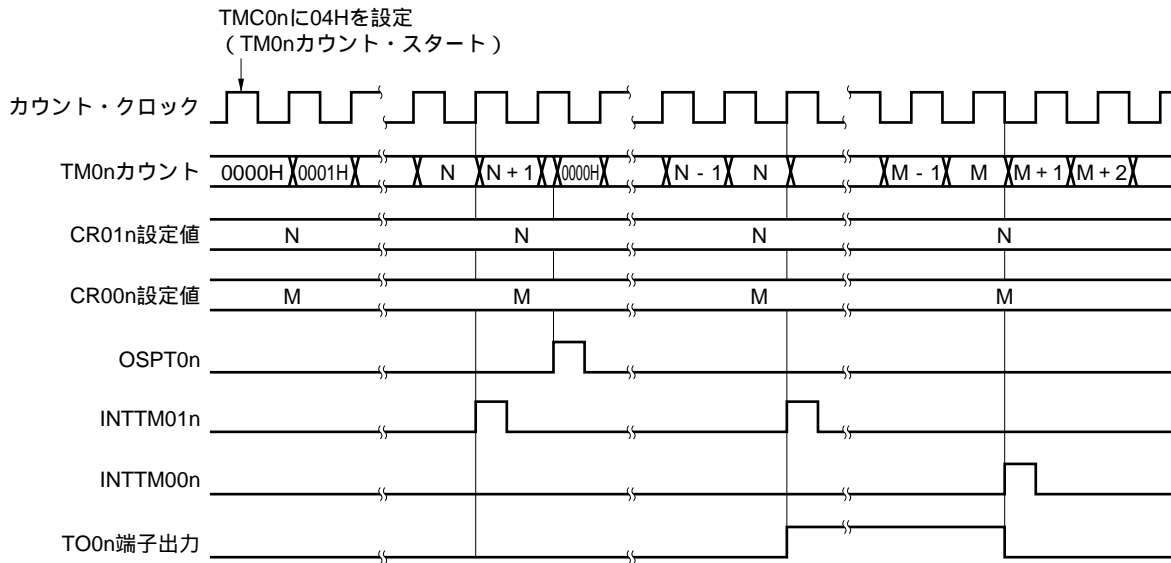


注 78K0/FC2ではPRM00のみ。PRM01では必ず“0”を設定してください。

注意 CR00nレジスタとCR01nレジスタに0000Hを設定しないでください。

備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7 - 52 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング



注意 16ビット・タイマ・カウンタ0nは、TMC0n3, TMC0n2ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。

備考 $N < M$

(2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n), キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) および16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を図7 - 53のように設定し、TI00n端子の有効エッジを外部トリガとしてワンショット・パルス出力をTO0n端子から出力します。

TI00n端子の有効エッジ指定は、プリスケアラ・モード・レジスタ0n (PRM0n) のビット4, 5 (ES0n0, ES0n1) で行い、立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

TI00n端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) にあらかじめ設定したカウント値で出力がインアクティブとなります^注。

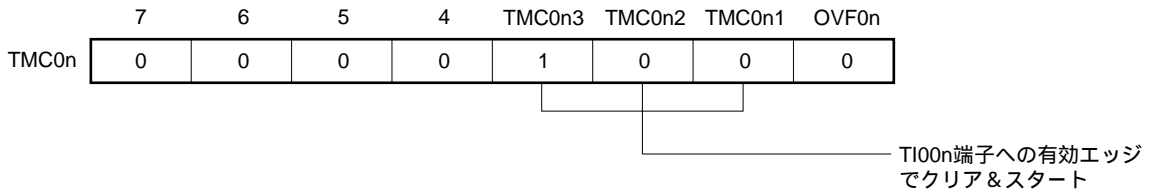
注 ここでは $N < M$ の場合の例です。 $N > M$ のときはCR00nレジスタで出力がアクティブになり、CR01nレジスタでインアクティブとなります。 $N = M$ は設定しないでください。

- 注意1.** ワンショット・パルスを出力しているときに、再度外部トリガが発生しても無視されます。
- 78K0/FC2の外部トリガによるワンショット・パルス出力は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
 - 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

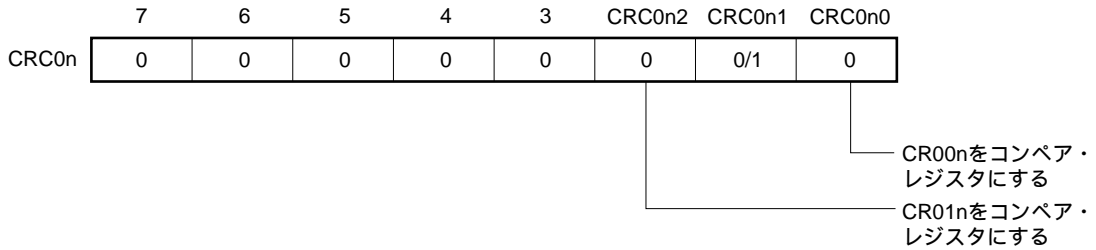
備考 $n = 0$: 78K0/FC2
 $n = 0-3$: 78K0/FE2, 78K0/FF2

図7-53 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容（立ち上がりエッジ指定時）

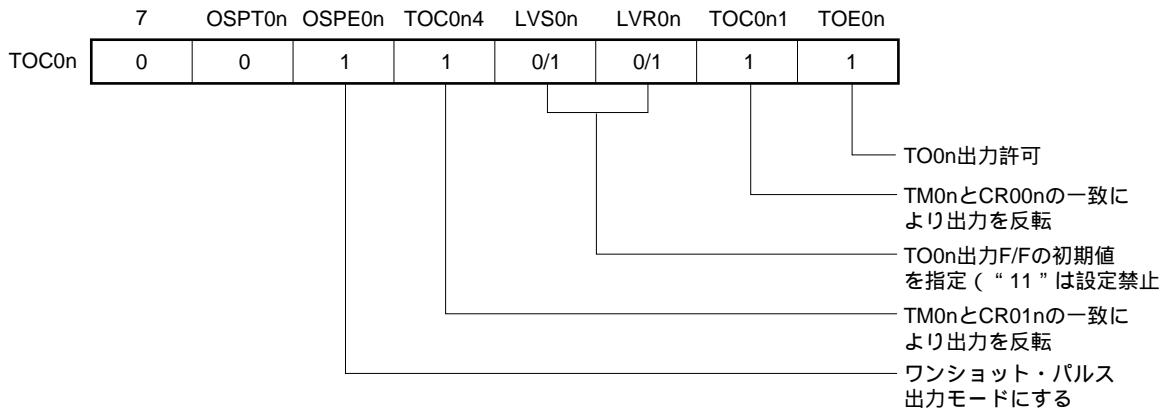
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



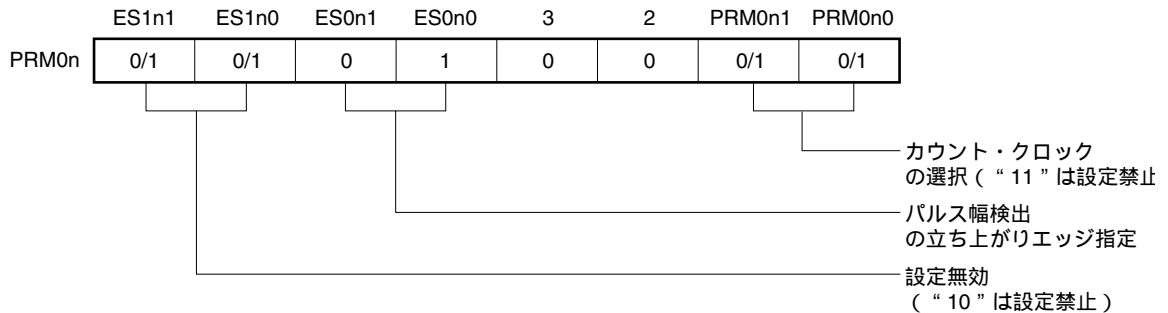
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



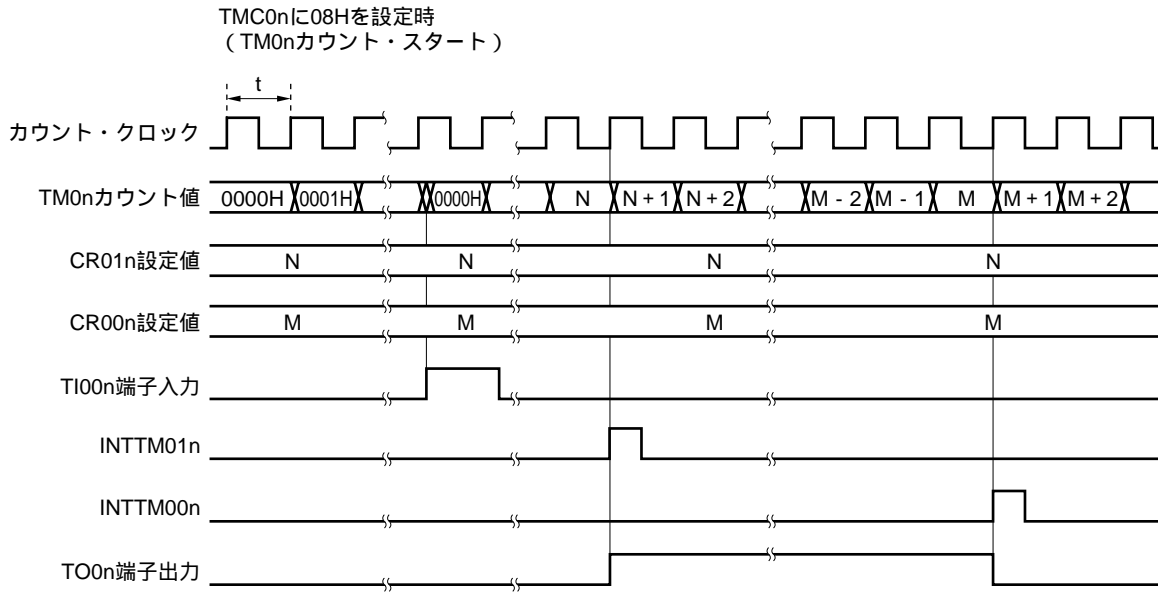
(d) プリスケアラ・モード・レジスタ0n (PRM0n)



- 注意 1. CR00nレジスタとCR01nレジスタに0000Hを設定しないでください。
2. 78K0/FC2の外部トリガによるワンショット・パルス出力は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
3. 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

図7-54 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時)



- 注意 1. 16ビット・タイマ・カウンタ0nは、TMC0n3, TMC0n2ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。
2. 78K0/FC2の外部トリガによるワンショット・パルス出力は、16ビット・タイマ/イベント・カウンタ00のみ使用できます。
3. 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 N < M

n = 0 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

7.5 TM0nの特殊な使用方法

7.5.1 CR01nのTM0n動作中の書き換え

78K0/Fx2マイクロコントローラでは、TM0n動作中（TMC0n3, TMC0n2 = 00以外）のとき、コンペア・レジスタとして使用するCR00nとCR01nの書き換えは原則禁止です。

ただし、CR01nだけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM0n動作中でも書き換えができます（CR01nの値を現在の設定値よりも小さくする場合には、CR01nとTM0nの一致直後に、CR01nの値を現在の設定値よりも大きくする場合には、CR00nとTM0nの一致直後に、CR01nの値を書き換えてください。CR01nとTM0nまたはCR00nとTM0nの一致直前で書き換えると、想定しない動作を起こす場合があります）。

CR01nの書き換え手順

INTTM01nの割り込みを禁止する（TMMK01n = 1）。

TM0nとCR01nの一致によるタイマ出力反転動作を禁止する（TOC0n4 = 0）。

CR01nを書き換える。

TM0nのカウント・クロックの1周期分ウェイトする。

TM0nとCR01nの一致によるタイマ出力反転動作を許可する（TOC0n4 = 1）。

INTTM01nの割り込みフラグをクリア（0）する（TMIF01n = 0）。

INTTM01nの割り込みを許可する（TMMK01n = 0）

備考 TMIF01n, TMMK01nについては第17章 **割り込み機能**を参照してください。

7.5.2 LVS0n, LVR0nの設定について

(1) LVS0n, LVR0nの使用用途

LVS0n, LVR0nは、TO0n端子出力の初期値を設定したいときや、タイマを動作許可しない（TMC0n3, TMC0n2 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS0n, LVR0nは0（初期値ロウ・レベル出力）に設定してください。

LVS0n	LVR0n	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

注意 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。

78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

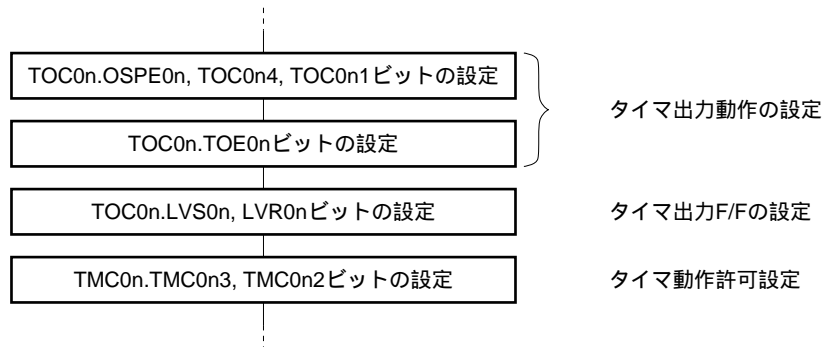
備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

(2) LVS0n, LVR0nの設定方法

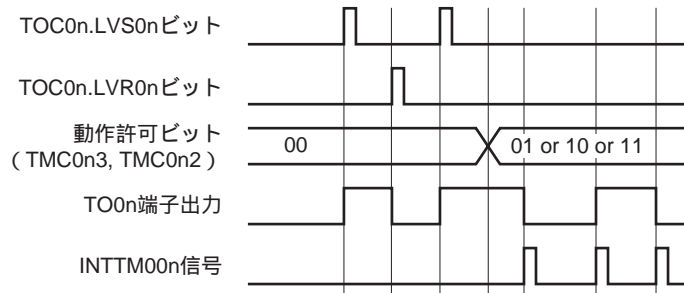
LVS0n, LVR0nは次の手順で設定してください。

図7 - 55 LVS0n, LVR0nビットの設定フロー例



注意 LVS0n, LVR0nは必ず上記 , , の手順で設定してください。
 の設定をしてから , の設定をするまでの間であれば , の設定ができます。

図7 - 56 LVR0n, LVS0nのタイミング例



LVS0n, LVR0n = 10に設定することにより, TO0n端子出力がハイ・レベルになります。

LVS0n, LVR0n = 01に設定することにより, TO0n端子出力がロウ・レベルになります (LVS0n, LVR0n = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC0n3, TMC0n2 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS0n, LVR0nの設定が10だったので, TO0n端子出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC0n3, TMC0n2 = 00 (タイマ動作禁止) にするまで, LVS0n, LVR0nの設定は禁止です。

割り込み信号 (INTTM00n) が発生するたびに, TO0n端子出力のレベルが反転します。

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

7.6 16ビット・タイマ/イベント・カウンタ00-03の注意事項

(1) 16ビット・タイマ/イベント・カウンタ0nの各チャネルの制限事項

表7-5に各チャネルの制限事項を示します。

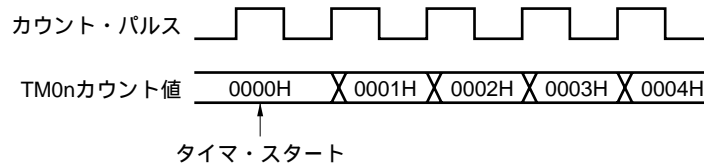
表7-5 16ビット・タイマ/イベント・カウンタ0nの各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	-
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI01n端子の有効エッジ検出を使用する場合、タイマ出力(TO0n)は使用禁止 (TOC0n = 00Hに設定)
フリー・ランニング・タイマとしての動作	-
PPG出力としての動作	0000H CP01n < CR00n FFFFH
ワンショット・パルス出力としての動作	CR00nとCP01nには同値は設定禁止
パルス幅測定としての動作	タイマ出力(TO0n)は使用禁止(TOC0n = 00Hに設定)

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nのカウント・スタートが非同期で行われるためです。

図7-57 TM0nのカウント・スタート・タイミング



(3) CR00n, CR01nの設定 (TM0nとCR00nの一致でクリア&スタート・モードの場合)

CR00n, CR01nには,0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合,1パルスのカウント動作はできません)。

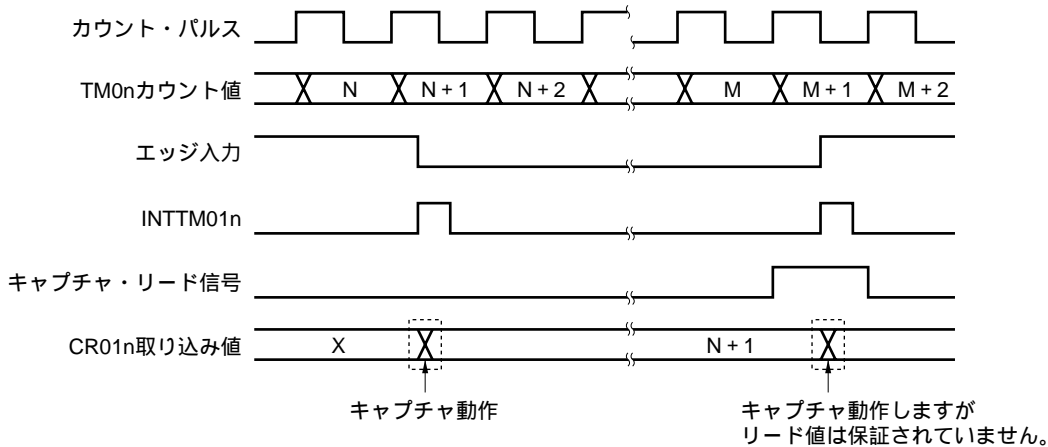
注意 78K0/FC2のμPD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。
78K0/FC2のμPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

(4) キャプチャ・レジスタのデータ保持タイミング

(a) CR00n/CR01nの読み出し中にTI00n/TI01n端子の有効エッジ入力，TI00n端子の逆相のエッジを検出したとき，CR01nはキャプチャ動作を行います，CR00n/CR01nの読み出し値は保証されません。このとき，TI00n/TI01n端子の有効エッジの検出による割り込み信号（INTTM00n/INTTM01n）は発生しません（TI00n端子の逆相のエッジ検出時は，割り込み信号を発生しません）。TI00n/TI01n端子の有効エッジの検出によるキャプチャ時に，CR00n/CR01nの値を読み出す場合は，INTTM00n/INTTM01n発生後に行ってください。

図7 - 58 キャプチャ・レジスタのデータ保持タイミング



(b) 16ビット・タイマ/イベント・カウンタ0n停止後のCR00n, CR01nの値は保証されません。

(5) 有効エッジの設定

TI00n端子の有効エッジの設定は，タイマ動作が停止（TMC0n3, TMC0n2 = 00）しているときに行ってください。有効エッジの設定は，ES0n0, ES0n1で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

注意 78K0/FC2のμ PD78F0881A, 78F0882A, 78F0883Aは，TI001, TI011端子を選択禁止です。
78K0/FC2のμ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは，TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

(7) OVF0nフラグの動作

(a) OVF0nフラグのセット(1)

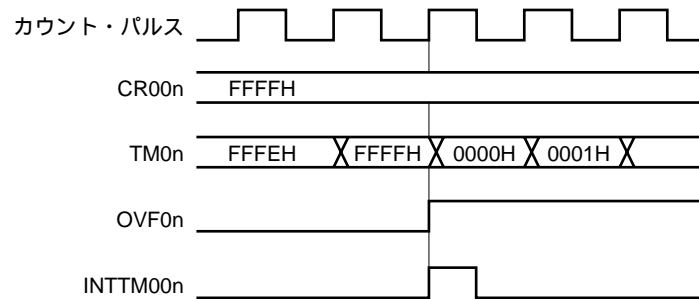
OVF0nフラグは、TM0nがオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM0nとCR00nの一致でクリア&スタート・モードを選択

CR00nをFFFFHに設定

TM0nがCR00nとの一致によりFFFFHから0000Hにクリアされるとき

図7-59 OVF0nフラグの動作タイミング



(b) OVF0nフラグのクリア

TM0nがオーバーフロー後、次のカウント・クロックがカウントされる(TM0nが0001Hになる)前に OVF0nフラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI00n端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

注意 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。

78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2

n = 0-3 : 78K0/FE2, 78K0/FF2

(9) キャプチャ動作**(a) カウント・クロックにTI00nの有効エッジを指定した場合**

カウント・クロックにTI00nの有効エッジを指定した場合，TI00nをトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI01n, TI00n端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして，TI00n, TI01n端子に入力するパルスには，PRM0nで選択したカウント・クロックの2回分より長いパルス幅が必要です（図7 - 15を参照）。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが，割り込み信号（INTTM00n, INTTM01n）は次のカウント・クロックの立ち上がりで発生します（図7 - 15を参照）。

(d) CRC0n1（キャプチャ/コンペア・コントロール・レジスタ0n（CRC0n）のビット1） = 1に設定したときの注意

TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合，キャプチャ後に割り込み要求信号（INTTM00n）は発生しません。この動作中に，TI01n端子から有効エッジが検出された場合，キャプチャ動作は行われませんが，外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は，INTTM00n信号をマスクしてください。

(10) エッジ検出**(a) リセット後の有効エッジ指定**

リセット後，TI00n端子またはTI01n端子がハイ・レベルの状態で，TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して，16ビット・タイマ/イベント・カウンタ0nの動作を許可すると，そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI00nの有効エッジをカウント・クロックで使用する場合と，キャプチャ・トリガとして使用する場合で，ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で，後者はPRM0nで選択したカウント・クロックでサンプリングします。

TI00n端子入力信号をサンプリングして，2回連続して有効レベルを検出したときに，はじめて有効エッジと判断します。したがって，短いパルス幅のノイズを除去できます（図7 - 15を参照）。

注意 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは，TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは，TI001端子を選択禁止です。

備考 1. f_{PRS} ：周辺ハードウェア・クロック周波数

2. $n = 0, 1$ ：78K0/FC2

$n = 0-3$ ：78K0/FE2, 78K0/FF2

(11) タイマ動作について

CPUの動作モードに関係なく、タイマが停止していると、TI00n/TI01n端子への入力信号は受け付けられません。

注意 78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは、TI001, TI011端子を選択禁止です。
78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは、TI001端子を選択禁止です。

備考 n = 0, 1 : 78K0/FC2
n = 0-3 : 78K0/FE2, 78K0/FF2

(12) 78K0/FC2の16ビット・タイマ/イベント・カウンタ01について

78K0/FC2の16ビット・タイマ/イベント・カウンタ01は、製品によってタイマ入出力端子の構成が異なるため、16ビット・タイマ/イベント・カウンタ00と機能に差があります。

製品による16ビット・タイマ/イベント・カウンタ01入出力端子の違いを次に示します。

端子 \ 製品	78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883A	78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A
TI001	なし	なし
TI011	なし	あり
TO01	なし	あり

μ PD78F0881A, 78F0882A, 78F0883Aの16ビット・タイマ/イベント・カウンタ01には、次の制限があります。

- ・カウント・クロックにTI001およびTI011を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。
- ・タイマ出力禁止

μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aの16ビット・タイマ/イベント・カウンタ01には、次の制限があります。

- ・カウント・クロックにTI001を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。

第8章 8ビット・タイマ/イベント・カウンタ50, 51

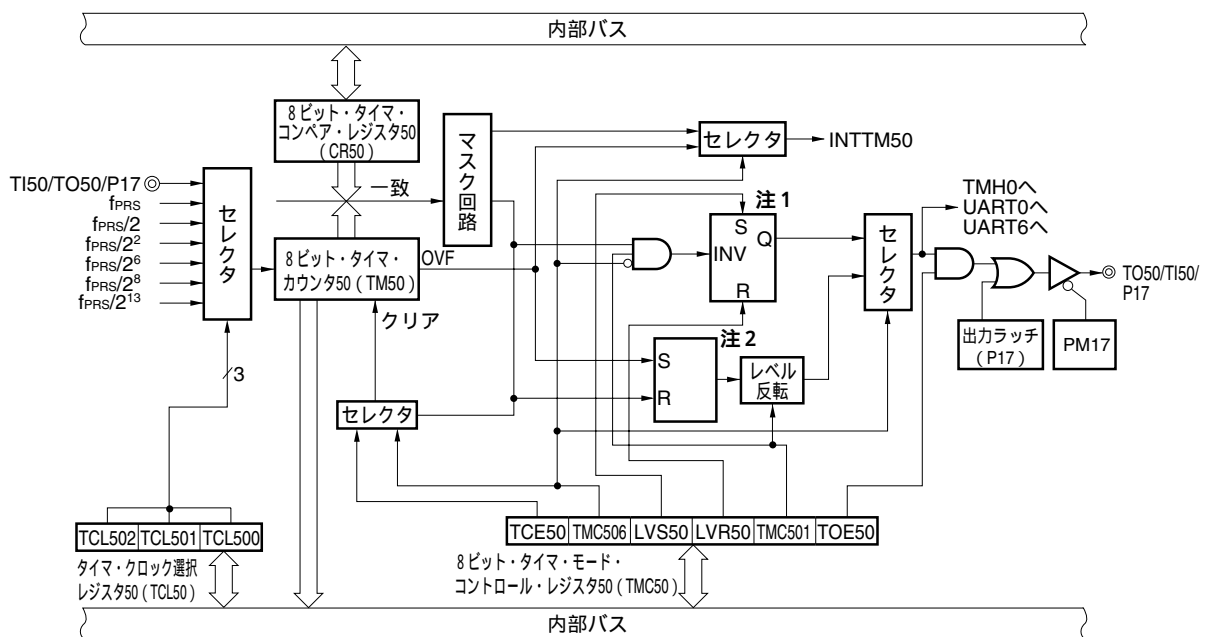
8.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は,78K0/Fx2マイクロコントローラの全製品に搭載されています。
8ビット・タイマ/イベント・カウンタ50, 51は, 次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

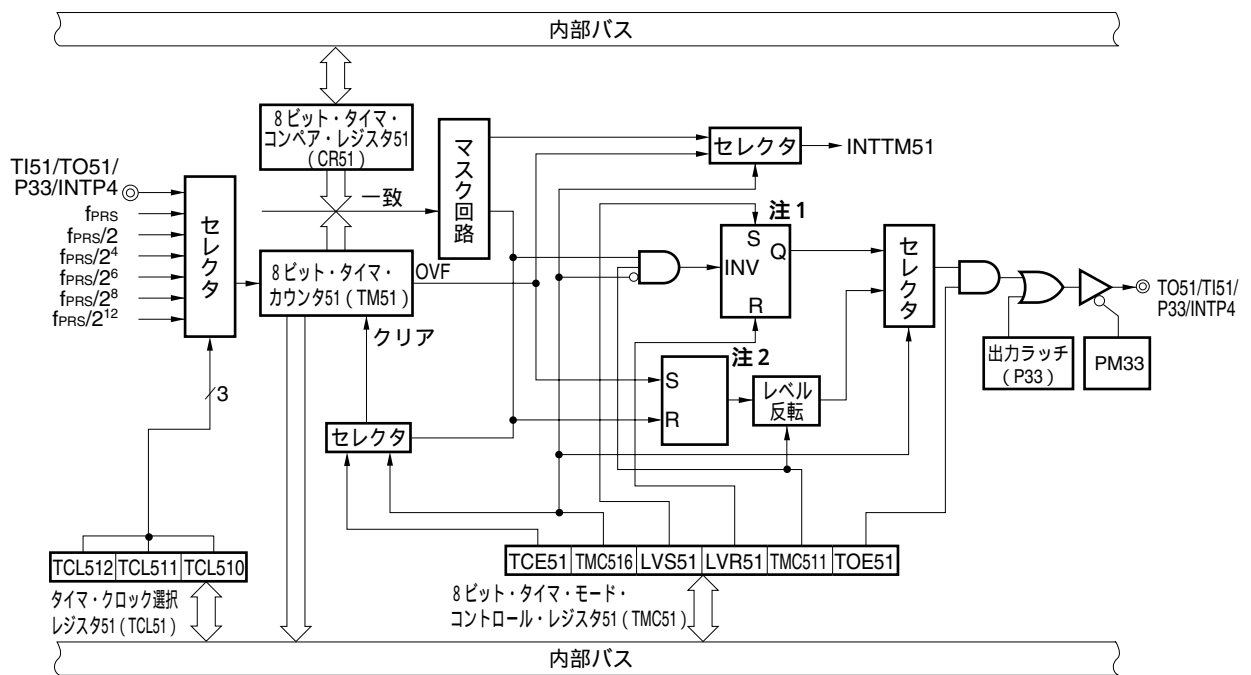
図8 - 1, 8 - 2に, 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

図8 - 1 8ビット・タイマ/イベント・カウンタ50のブロック図



- 注1. タイマ出力F/F
2. PWM出力F/F

図8-2 8ビット・タイマ/イベント・カウンタ51のブロック図



注1. タイマ出力F/F

2. PWM出力F/F

8.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表8-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

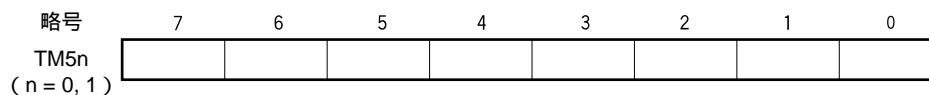
項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3) ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。
カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図8-3 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット

アドレス：FF16H (TM50) , FF1FH (TM51) リセット時：00H R



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

PWMモード時は、TM5nのオーバフローによりTO5n端子がアクティブ・レベルになり、TM5nとCR5nの値が一致するとTO5n端子はインアクティブ・レベルになります。

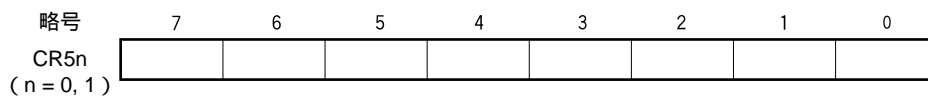
CR5nの値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図8 - 4 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット

アドレス：FF17H (CR50) , FF41H (CR51) リセット時：00H R/W



- 注意1. TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。
2. PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

8.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウンタ・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

備考 n = 0, 1

図8-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF6AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 4 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	TI50端子の立ち下がりエッジ ^{注2}				
0	0	1	TI50端子の立ち上がりエッジ ^{注3}				
0	1	0	f _{PRS} ^{注4}	4 MHz	8 MHz	10 MHz ^{注5}	20 MHz ^{注6}
0	1	1	f _{PRS} /2	2 MHz	4 MHz	5 MHz	10 MHz ^{注5}
1	0	0	f _{PRS} /2 ²	1 MHz	2 MHz	2.5 MHz	5 MHz
1	0	1	f _{PRS} /2 ⁶	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz
1	1	0	f _{PRS} /2 ⁸	15.62 kHz	31.25 kHz	39.06 kHz	78.13 kHz
1	1	1	f _{PRS} /2 ¹³	0.48 kHz	0.97 kHz	1.22 kHz	2.44 kHz

注 1. 周辺ハードウェア・クロック (f_{PRS}) , 電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V ((A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は , f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- オンボード・モード時は , FLMD0端子の立ち下がりエッジです。
- オンボード・モード時は , FLMD0端子の立ち上がりエッジです。
- 1.8 V V_{DD} < 2.7 Vで , 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合 , TCL502, TCL501, TCL500 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 2.7 V V_{DD} 5.5 Vの場合のみ設定可能です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。

注意 1. TCL50を同一データ以外に書き換える場合は , いったんタイマ動作を停止させてから書き換えてください。

- ビット3-7には必ず “ 0 ” を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図8-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 4 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	TI51端子の立ち下がりエッジ				
0	0	1	TI51端子の立ち上がりエッジ				
0	1	0	f _{PRS} ^{注2}	4 MHz	8 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	1	1	f _{PRS} /2	2 MHz	4 MHz	5 MHz	10 MHz ^{注3}
1	0	0	f _{PRS} /2 ⁴	250 kHz	500 kHz	625 kHz	1.25 MHz
1	0	1	f _{PRS} /2 ⁶	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz
1	1	0	f _{PRS} /2 ⁸	15.62 kHz	31.25 kHz	39.06 kHz	78.13 kHz
1	1	1	f _{PRS} /2 ¹²	0.97 kHz	1.95 kHz	2.44 kHz	4.88 kHz

注 1. 周辺ハードウェア・クロック (f_{PRS}) , 電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V ((A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は , f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V < V_{DD} < 2.7 V で , 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合 , TCL512, TCL511, TCL510 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。
- 2.7 V < V_{DD} < 5.5 V の場合のみ設定可能です。
- 4.0 V < V_{DD} < 5.5 V の場合のみ設定可能です。

注意 1. TCL51を同一データ以外に書き換える場合は , いったんタイマ動作を停止させてから書き換えてください。

- ビット3-7には必ず “ 0 ” を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により00Hになります。

備考 n = 0, 1

図8-7 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア & スタート・モード
1	PWM (フリー・ランニング) モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0) (TO50出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	PWMモード以外 (TMC506 = 0)	PWMモード (TMC506 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止 (TM50の出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

(注意と備考は次ページにあります。)

図8 - 8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0) (TO51出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO51出力初期値ハイ・レベル)
1	1	設定禁止

TMC511	PWMモード以外 (TMC516 = 0)	PWMモード (TMC516 = 1)
	タイマF/Fの制御	
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止 (TM51の出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

注意 1. LVS5nとLVR5nの設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC5n1, TMC5n6を設定 : 動作モードの設定

出力を許可する場合, TOE5nを設定 : タイマ出力許可

LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定

TCE5nを設定

3. TMC5n6を書き換える場合は, 動作を停止してから行ってください。

備考 1. PWMモード時は, TCE5n = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS5n, LVR5nは読み出すと, 0になっています。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は, TCE5nの値に関係なくTO5n端子に反映されます。

4. n = 0, 1

(3) ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力/出力を1ビット単位で設定するレジスタです。

P17/TO50/TI50, P33/TO51/TI51/INTP4端子をタイマ出力として使用するとき, PM17, PM33およびP17, P33の出力ラッチに0を設定してください。

P17/TO50/TI50, P33/TO51/TI51/INTP4端子をタイマ入力として使用するとき, PM17, PM33に1を設定してください。このとき, P17, P33の出力ラッチは0または1のどちらでもかまいません。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図8 - 9 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM1n	P1n端子の入出力モードの選択 (n = 0-7)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

図8 - 10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30
PM3n	P3n端子の入出力モードの選択 (n = 0-3)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

8.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

8.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

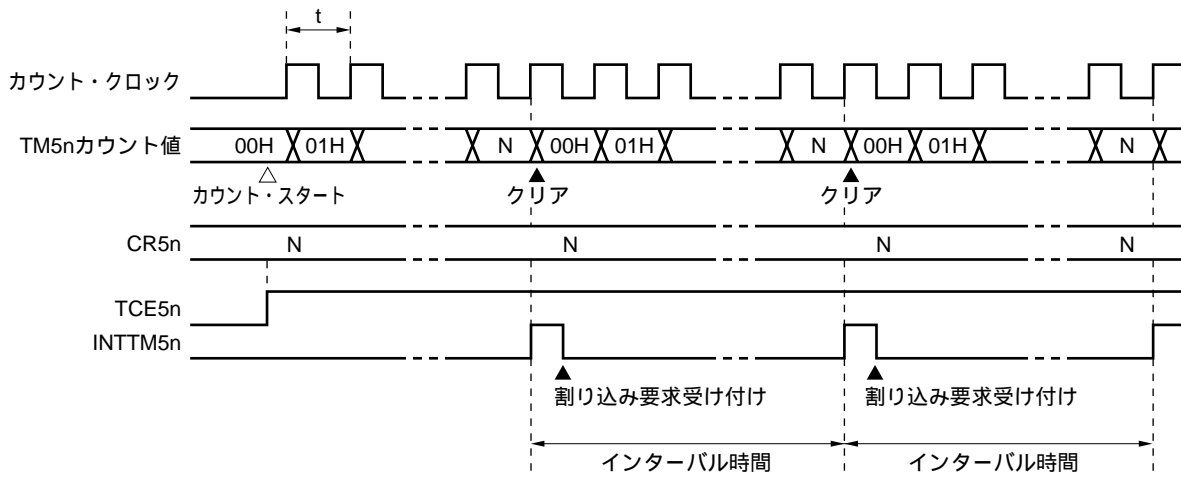
以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

注意 動作中にCR5nに異なる値を書き込まないでください。

備考 n = 0, 1

図8 - 11 インターバル・タイマ動作のタイミング (1/2)

(a) 基本動作



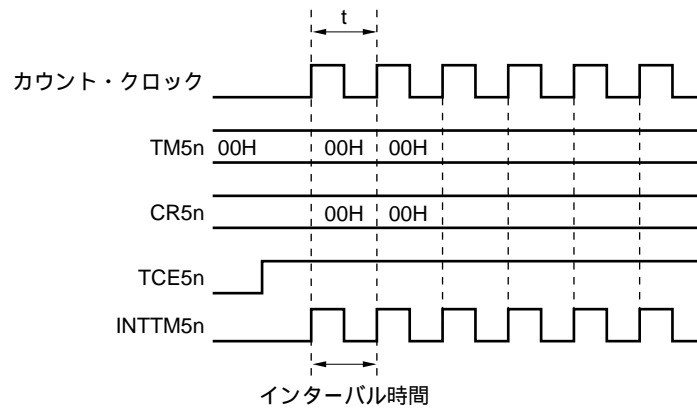
備考 インターバル時間 = $(N + 1) \times t$

$N = 00H\text{-}FFH$

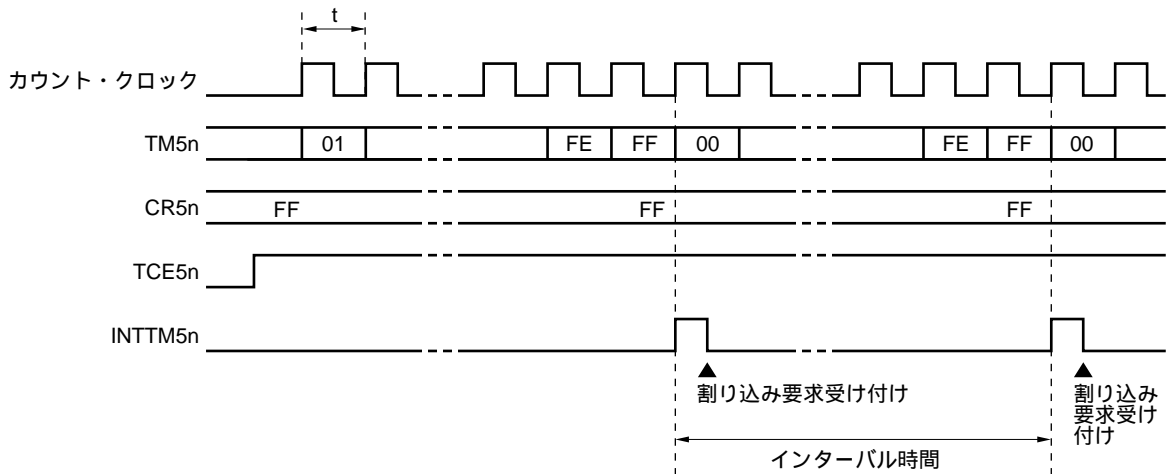
$n = 0, 1$

図8 - 11 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

8.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM17, PM33) ^注に “ 1 ” を設定
- ・TCL5n : TI5n端子入力のエッジ選択
TI5n端子の立ち下がり TCL5n = 00H
TI5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
(TMC5n = 0000 x x 00B x = don't care)

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

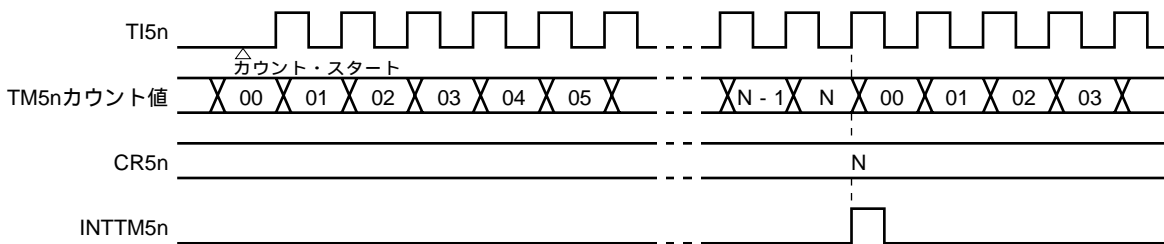
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ/イベント・カウンタ50 : PM17

8ビット・タイマ/イベント・カウンタ51 : PM33

図8 - 12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

8.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17, P33)^注, ポート・モード・レジスタ (PM17, PM33)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2t(N+1)$
(N : 00H-FFH)

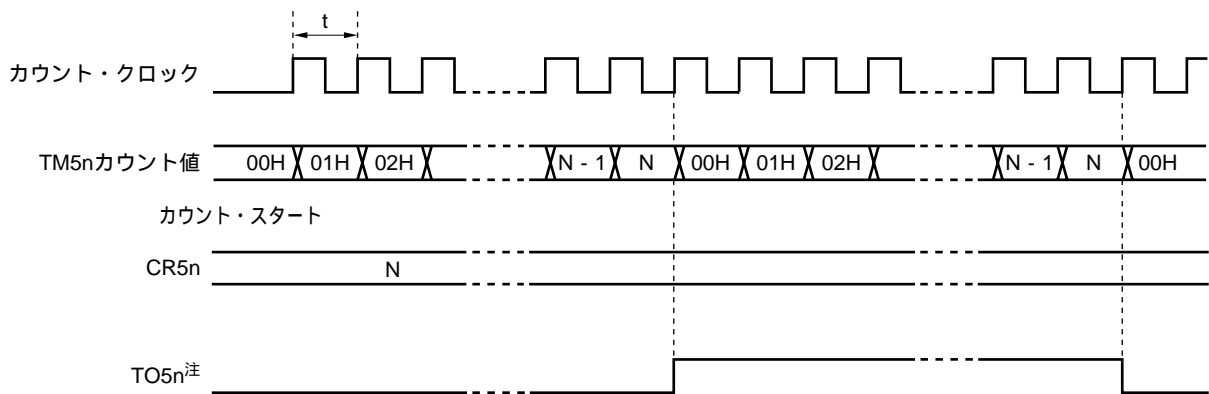
注 8ビット・タイマ/イベント・カウンタ50 : P17, PM17

8ビット・タイマ/イベント・カウンタ51 : P33, PM33

注意 動作中にCR5nに異なる値を書き込まないでください。

備考 n = 0, 1

図8 - 13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

8.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P17, P33)^注, ポート・モード・レジスタ (PM17, PM33)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P17, PM17

8ビット・タイマ/イベント・カウンタ51 : P33, PM33

PWM出力の動作

PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図8 - 14, 8 - 15を参照してください。

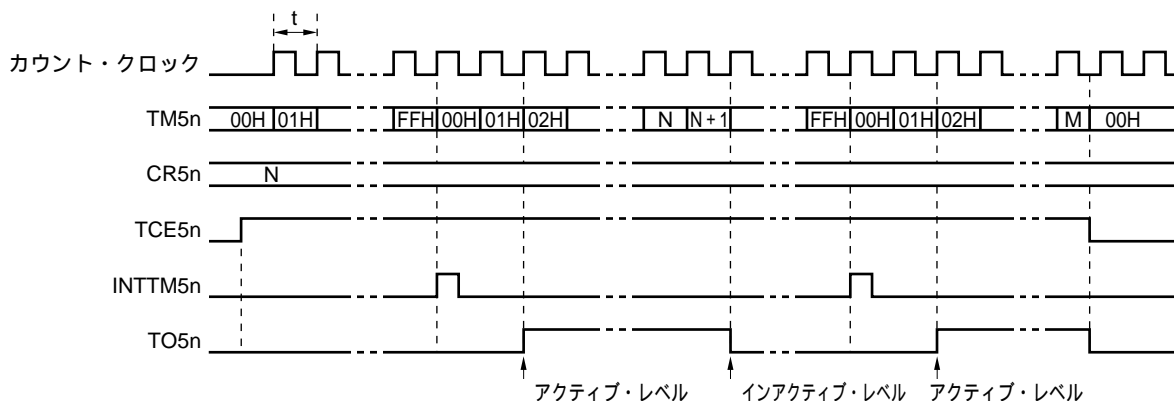
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

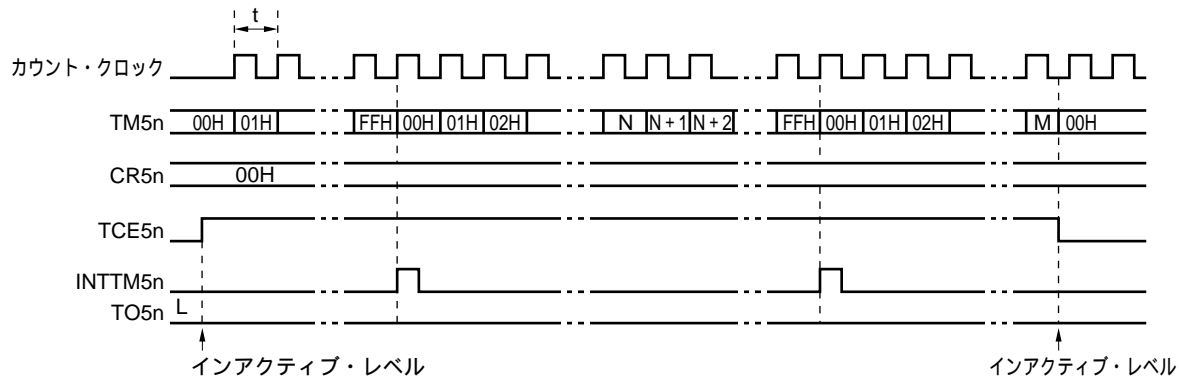
備考 n = 0, 1

図8 - 14 PWM出力動作のタイミング

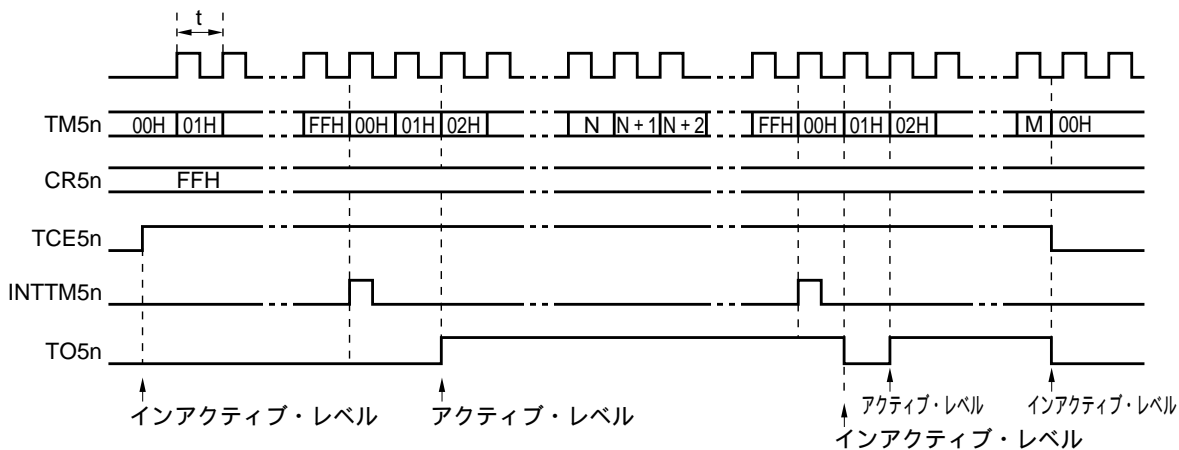
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



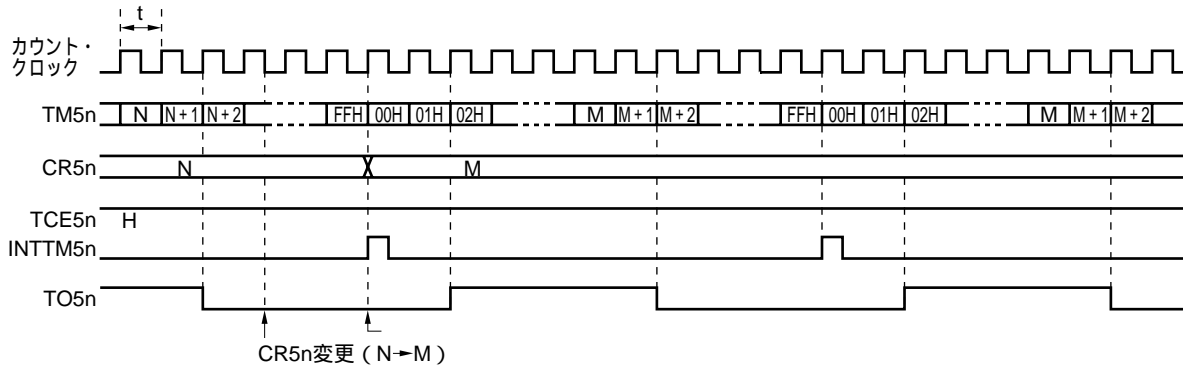
備考1. 図8 - 14 (a) の - , は, 8. 4. 4 (1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. n = 0, 1

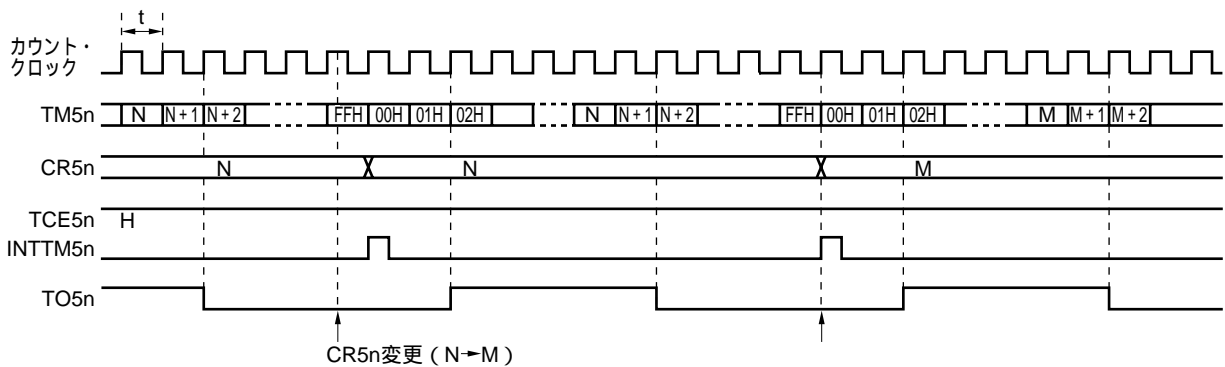
(2) CR5n変更による動作

図8 - 15 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



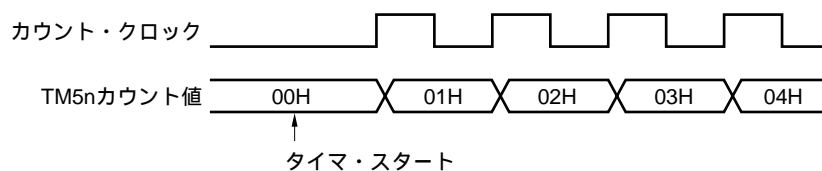
注意 図8 - 15の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

8.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後,一致信号が発生するまでの時間は,最大で1クロック分の誤差が生じます。これは,カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

図8 - 16 8ビット・タイマ・カウンタ5nのスタート・タイミング



備考 n = 0, 1

第9章 8ビット・タイマH0, H1

9.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1は、78K0/Fx2マイクロコントローラの全製品に搭載されています。
8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力モード
- ・方形波出力
- ・キャリア・ジェネレータ・モード (8ビット・タイマH1のみ)

9.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表9 - 1 8ビット・タイマH0, H1の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) 注 ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

備考 n = 0, 1

図9 - 1と9 - 2にブロック図を示します。

図9-1 8ビット・タイマH0のブロック図

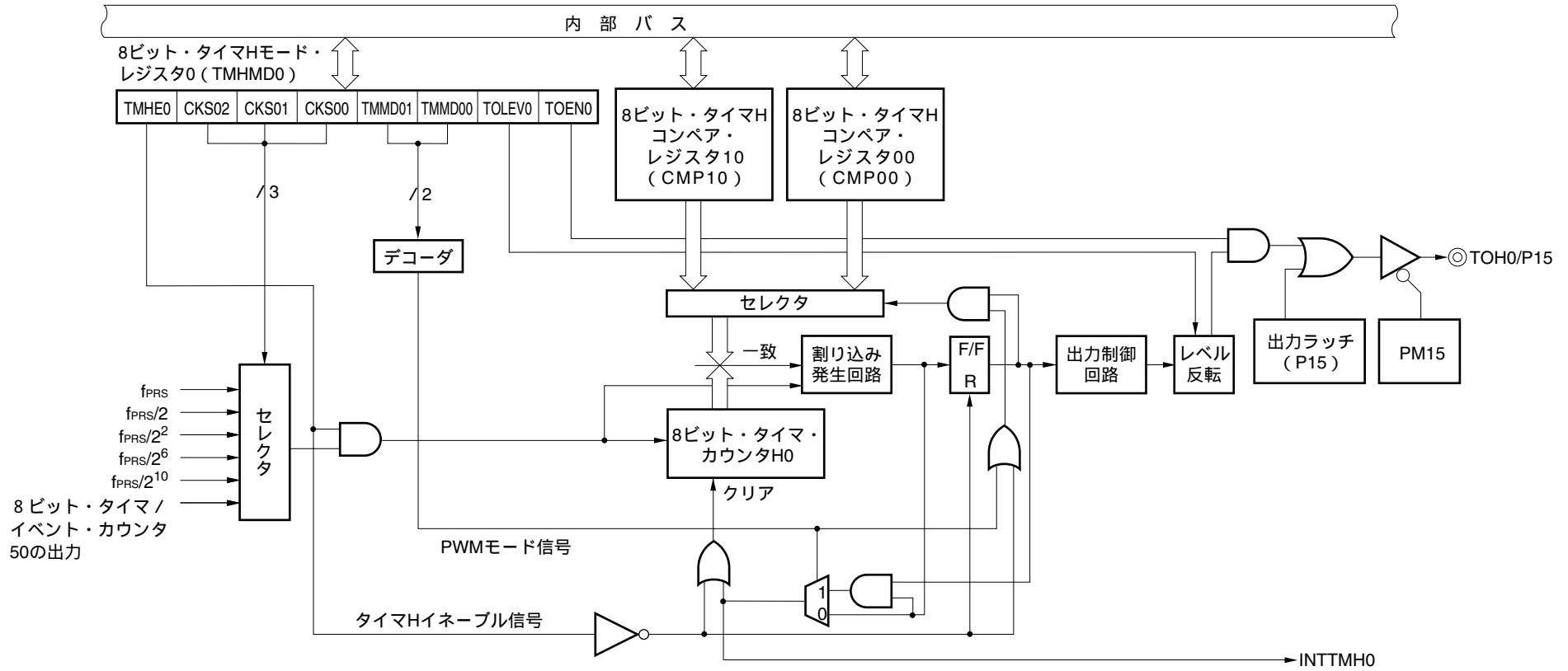
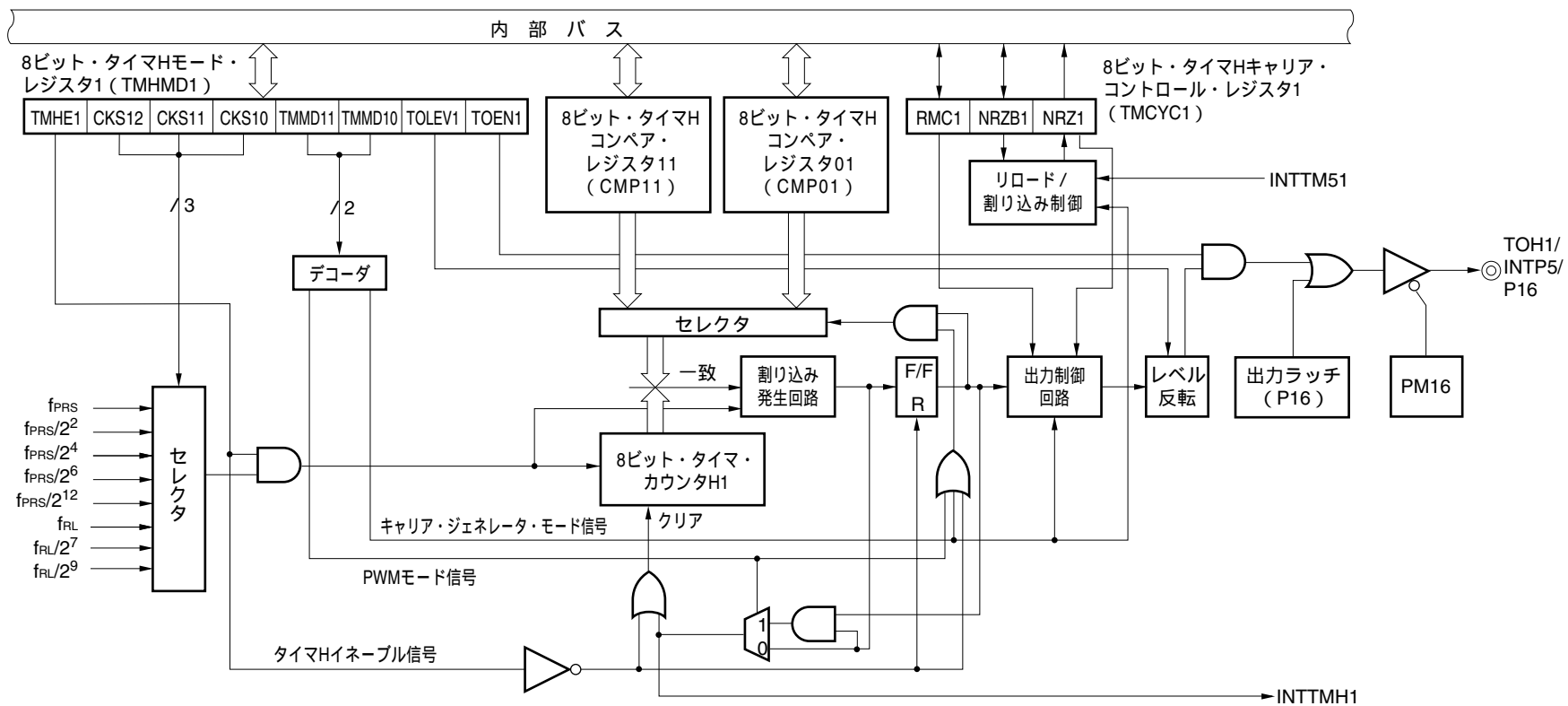


図9-2 8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

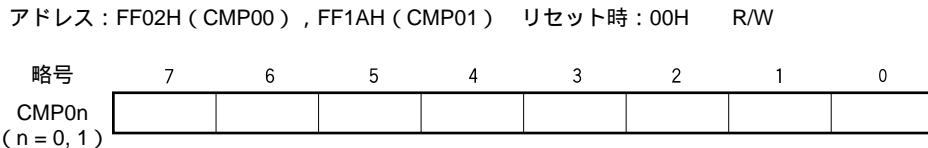
8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により00Hになります。

図9-3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット



注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

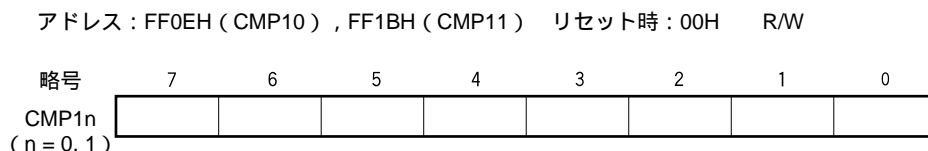
キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウント値はクリアされます。

CMP1nは、タイマ・カウント動作中にリフレッシュ (同値書き込み) および値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウント値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウント値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図9-4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

9.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

備考 $n = 0, 1$

図9-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウントは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロックの選択 ^{注1}				
			f _{PRS} = 4 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz ^{注3}	f _{PRS} = 20 MHz ^{注4}	
0	0	0	f _{PRS} ^{注2}	4 MHz	8 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	0	1	f _{PRS} /2	2 MHz	4 MHz	5 MHz	10 MHz ^{注3}
0	1	0	f _{PRS} /2 ²	1 MHz	2 MHz	2.5 MHz	5 MHz
0	1	1	f _{PRS} /2 ⁶	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz
1	0	0	f _{PRS} /2 ¹⁰	3.90 kHz	7.81 kHz	9.77 kHz	19.54 kHz
1	0	1	TM50の出力 ^{注5}				
上記以外			設定禁止				

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (f_{PRS}) , 電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V ((A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は, f_{PRS} = f_{XH} (XSEL = 1) の場合です)

2. 1.8 V < V_{DD} < 2.7 Vで, 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合, CKS02 = CKS01 = CKS00 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。

- 注3. 2.7 V V_{DD} 5.5 Vの場合のみ設定可能です。
4. 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
5. TM50の出力をカウント・クロックとして選択する場合
- ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0) には次の手順のあと、設定するようにしてください。
 - タイマF/Fの反転動作を許可 (TMC501 = 1) する。
 - 8ビット・タイマ/イベント・カウンタ50の動作を開始する。
 - ・PWMモード (TMC506 = 1) には次の手順のあと、設定するようにしてください。
 - デューティ50 %のクロックになるように設定する。
 - 8ビット・タイマ/イベント・カウンタ50の動作を開始する。
- どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。
- 注意1. TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください)。
- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

図9-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FFFAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウントは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10		カウント・クロックの選択 ^{注1}			
				f _{PRS} = 4 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	0	f _{PRS} ^{注2}	4 MHz	8 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	0	1	f _{PRS} /2 ²	1 MHz	2 MHz	2.5 MHz	5 MHz
0	1	0	f _{PRS} /2 ⁴	250 kHz	500 kHz	625 kHz	1.25 MHz
0	1	1	f _{PRS} /2 ⁶	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz
1	0	0	f _{PRS} /2 ¹²	0.97 kHz	1.95 kHz	2.44 kHz	4.88 kHz
1	0	1	f _{RL} /2 ⁷	1.88 kHz (TYP.)			
1	1	0	f _{RL} /2 ⁹	0.47 kHz (TYP.)			
1	1	1	f _{RL}	240 kHz (TYP.)			
上記以外				設定禁止			

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注 1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V (A) 水準品のみ	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 注2. 1.8 V $V_{DD} < 2.7$ Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している ($XSEL = 0$) 場合、 $CKS12 = CKS11 = CKS10 = 0$ (カウント・クロック: f_{PRS}) は設定禁止です。
3. 2.7 V $V_{DD} = 5.5$ Vの場合のみ設定可能です。
4. 4.0 V $V_{DD} = 5.5$ Vの場合のみ設定可能です。

- 注意1. $TMHE1 = 1$ のとき、 $TMHMD1$ の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 ($TMHE1 = 0$) 設定後、タイマ・カウント動作を開始する ($TMHE1 = 1$) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。
3. キャリア・ジェネレータ・モードを使用する場合、 $TMH1$ のカウント・クロック周波数を $TM51$ のカウント・クロック周波数の6倍以上になるように設定してください。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
2. f_{RL} : 低速内蔵発振クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により00Hになります。

図9-7 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス: FFEEH リセット時: 00H R/W ^注

	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1: キャリア・パルス出力, RMC1 = 0: ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 $TMHE1 = 1$ のとき、RMC1を書き換えないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P15/TOH0, P16/TOH1/INTP5端子をタイマ出力として使用するとき, PM15, PM16およびP15, P16の出力ラッチに0を設定してください。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図9 - 8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 8ビット・タイマH0, H1の動作

9.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

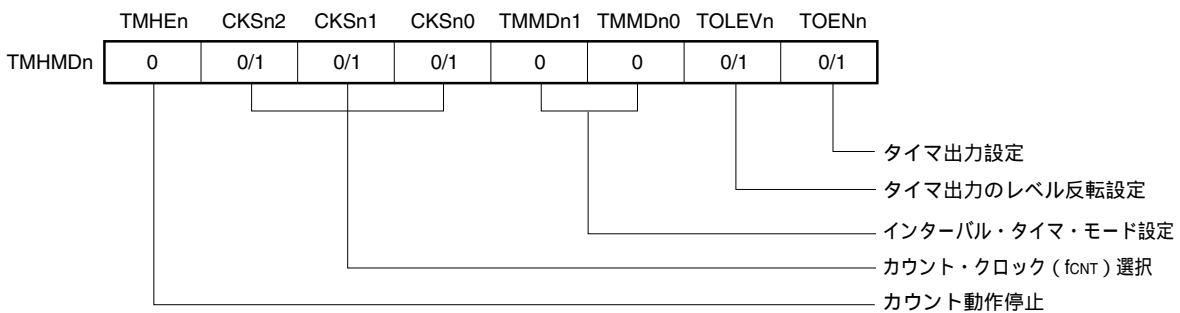
(1) 使用方法

同一間隔でINTTMHn信号を繰り返し発生します。

各レジスタの設定を行います。

図9-9 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHEn = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

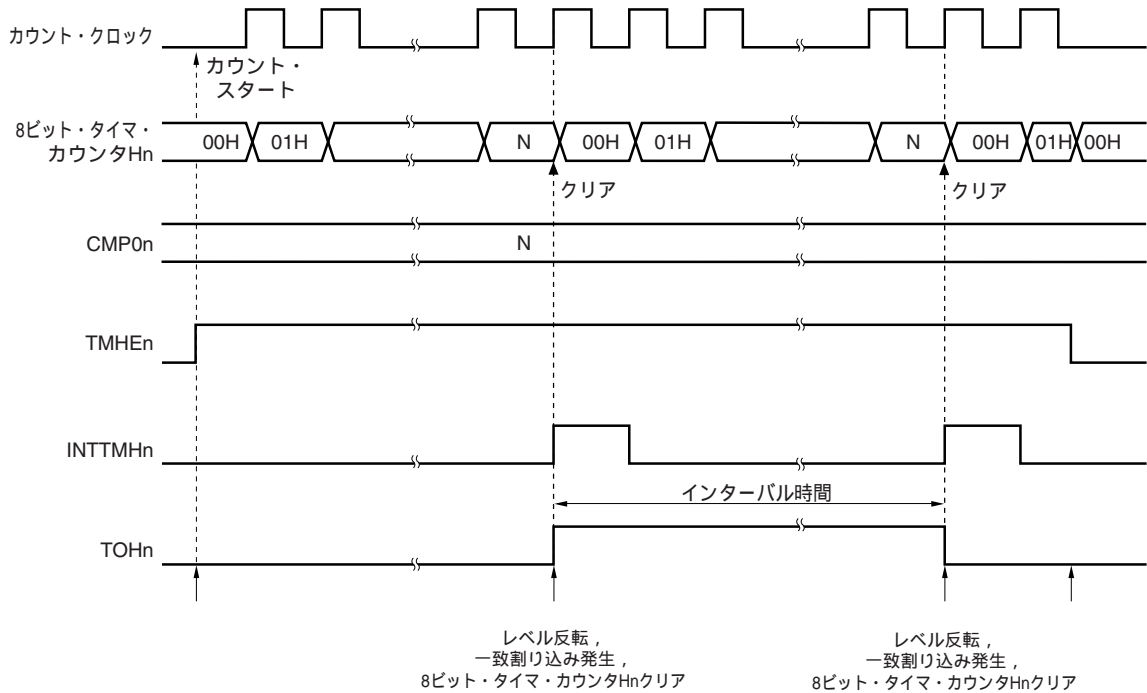
備考 n = 0, 1

(2) タイミング・チャート

インターバル・タイマ / 方形波出力動作のタイミングを次に示します。

図9 - 10 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてカウント・スタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルを反転させ、INTTMHn信号を出力します。

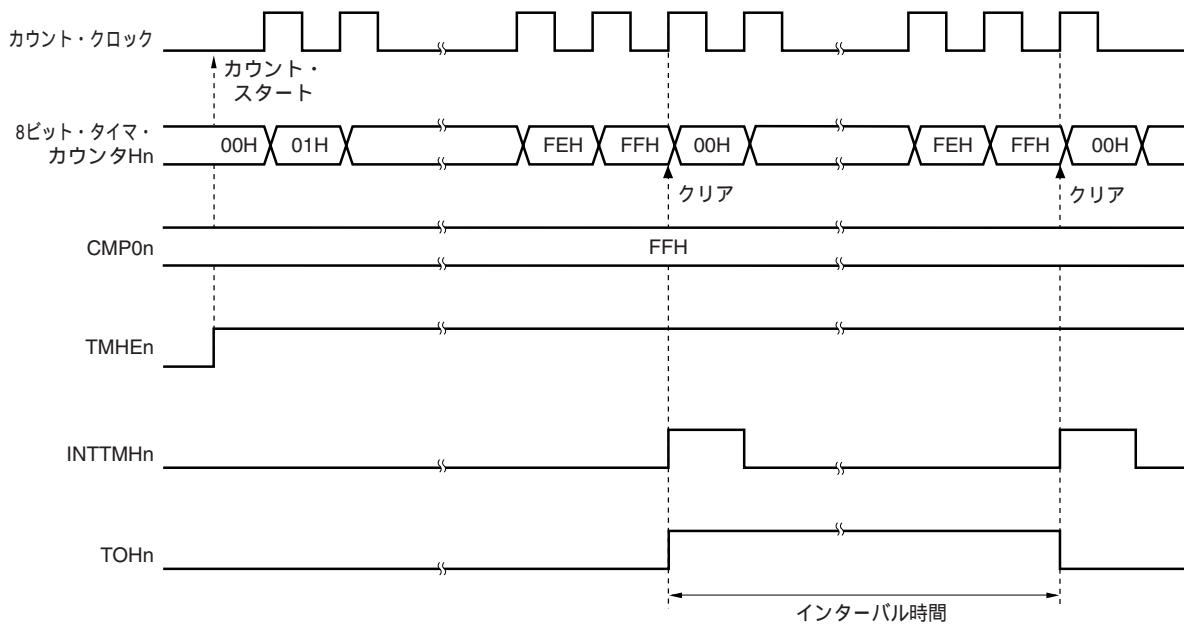
タイマH動作中にTMHEnビットを0にすることで、INTTMHn信号およびTOHn出力がインアクティブになります。はじめからインアクティブの場合はレベルを保持します。

備考 n = 0, 1

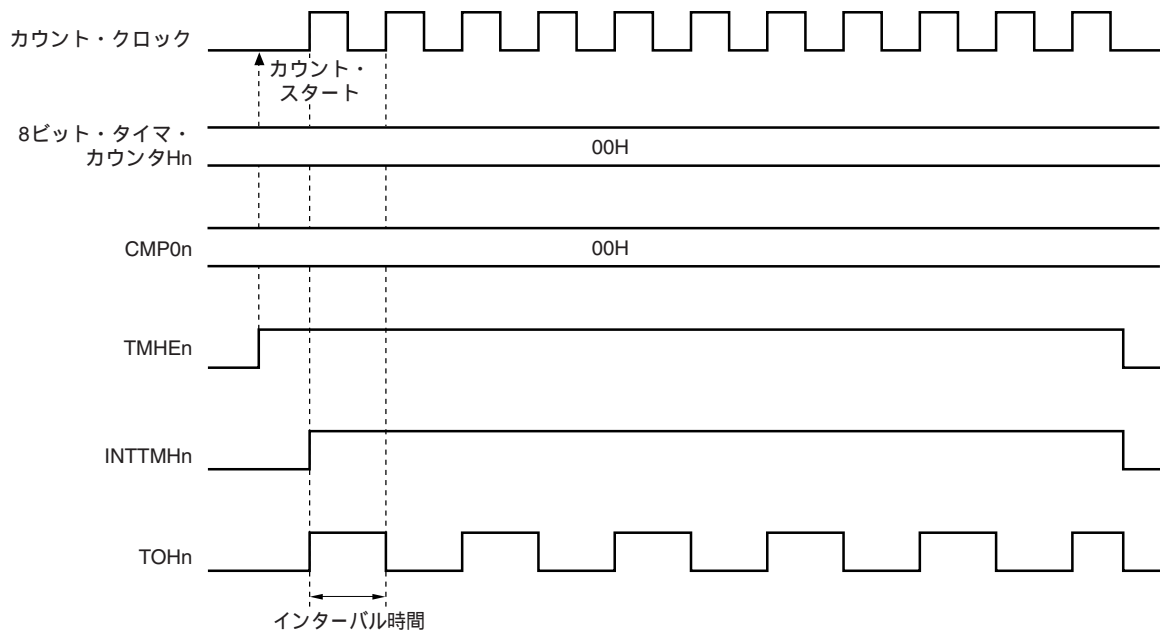
N = 01H-FEH

図9-10 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

9.4.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。8ビット・タイマ・カウンタHnとCMP1nレジスタが一致するとTOHn出力はインアクティブとなります。

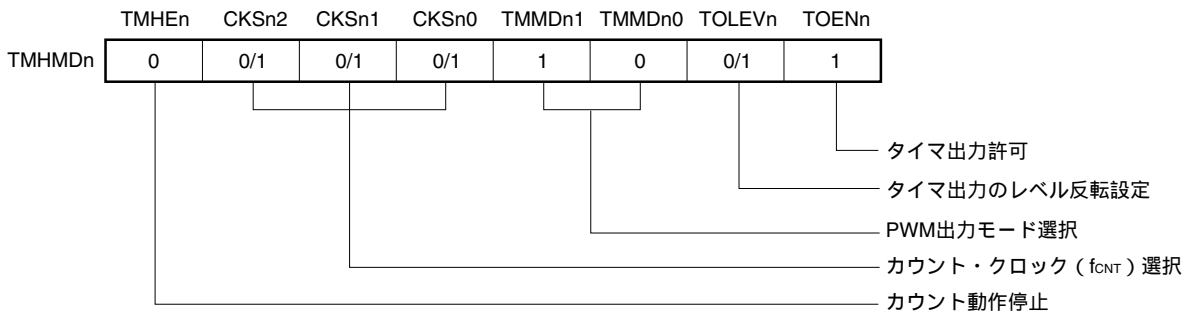
(1) 使用方法

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

各レジスタの設定を行います。

図9 - 11 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1. n = 0, 1

2. 00H CMP1n (M) < CMP0n (N) FFH

TMHEn = 1によりカウント動作を開始します。

カウンタ動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号（INTTMHn）が発生し、TOHn出力がアクティブになります。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、TOHn出力がインアクティブになり、同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を（N）、CMP1nレジスタを（M）、カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\begin{aligned} \text{PWMパルス出力周期} &= (N + 1) / f_{CNT} \\ \text{デューティ} = \text{アクティブ幅} : \text{PWM全体の幅} &= (M + 1) : (N + 1) \end{aligned}$$

- 注意1.** PWM出力モード時は、CMP1nレジスタを書き換えてからレジスタに転送するのに、動作クロック（TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号）の3クロック分を必要とします。
- 2.** タイマ・カウント動作停止（TMHEn = 0）設定後、タイマ・カウント動作を開始する（TMHEn = 1）場合、必ずCMP1nレジスタを設定してください（CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください）。

(2) タイミング・チャート

PWM出力モード時の動作タイミングを次に示します。

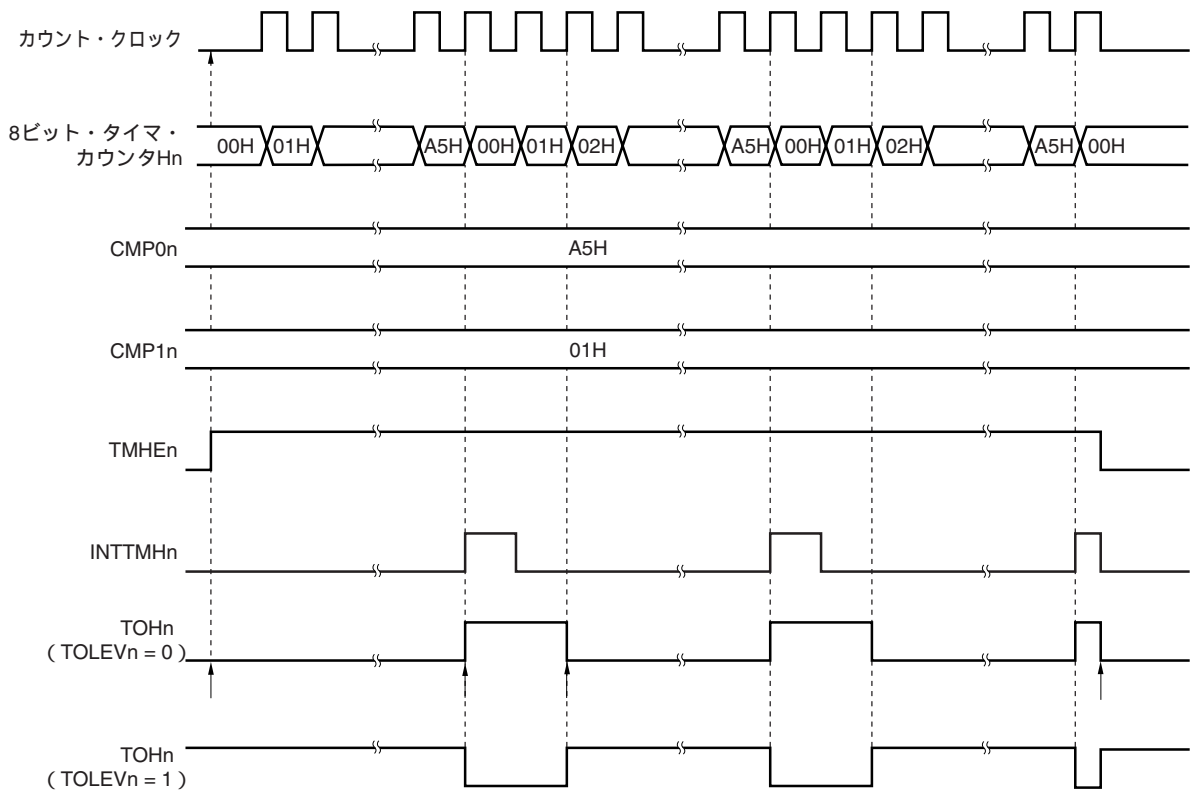
注意 CMP1nレジスタの設定値（M）、CMP0nレジスタの設定値（N）は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n (M)} < \text{CMP0n (N)} \leq FFH$$

備考 n = 0, 1

図9 - 12 PWM出力モード動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときPWM出力はインアクティブ・レベルを出力します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

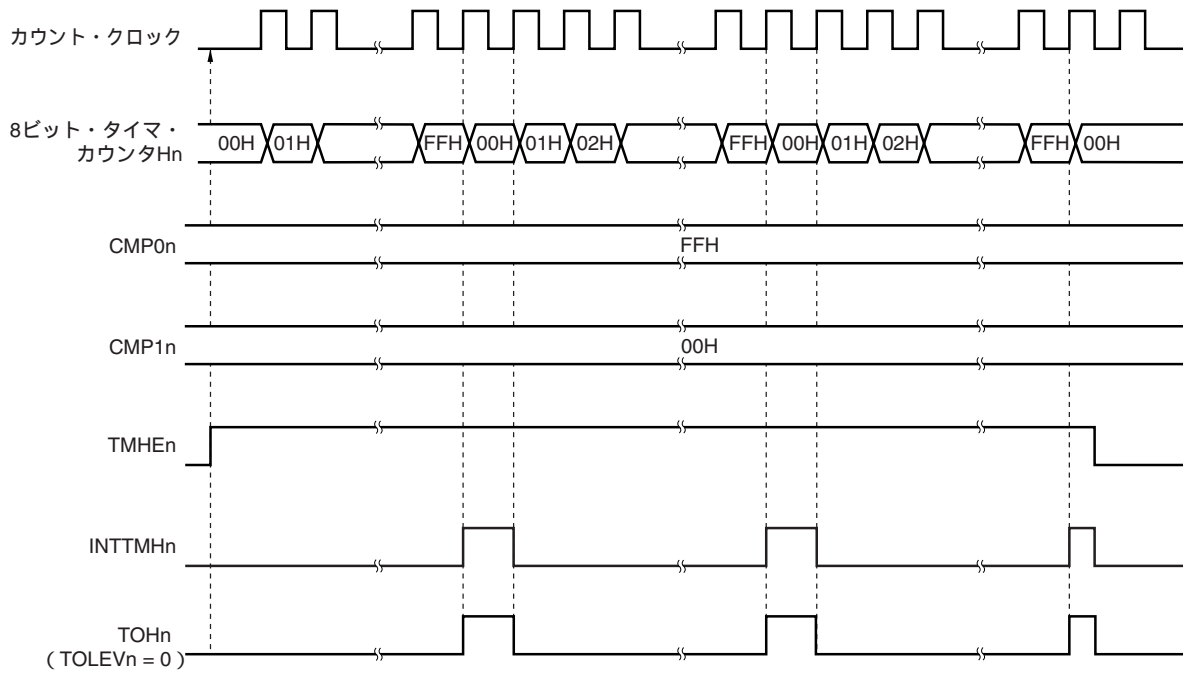
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

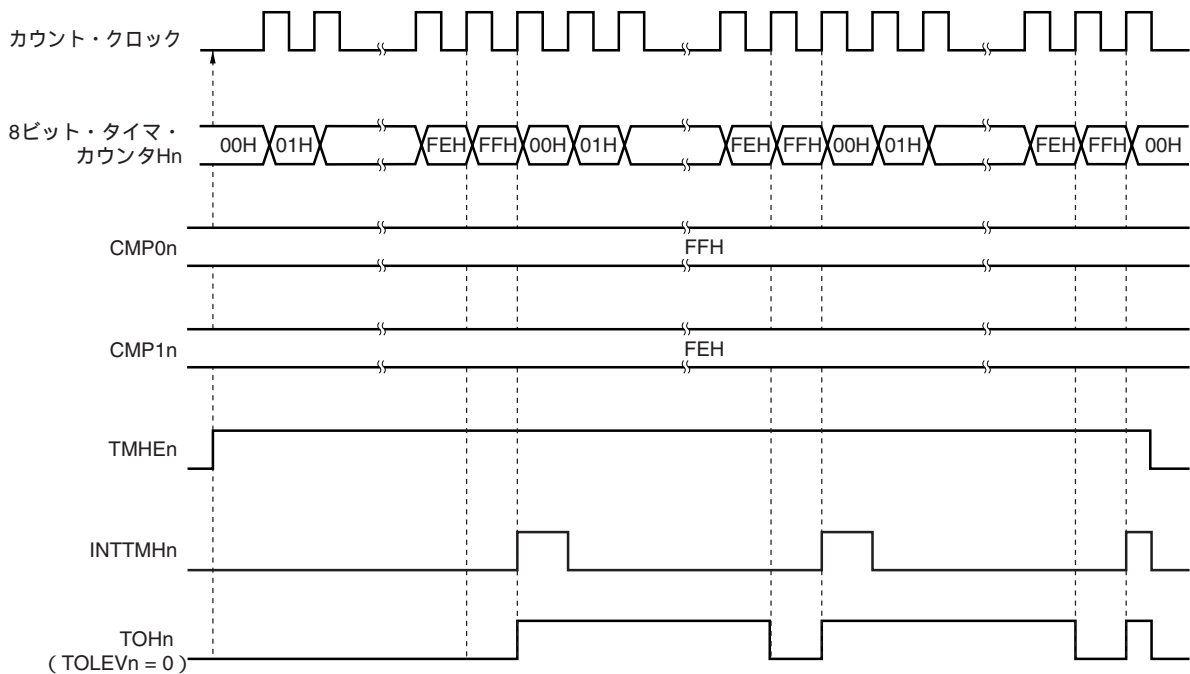
備考 n = 0, 1

図9 - 12 PWM出力モード動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



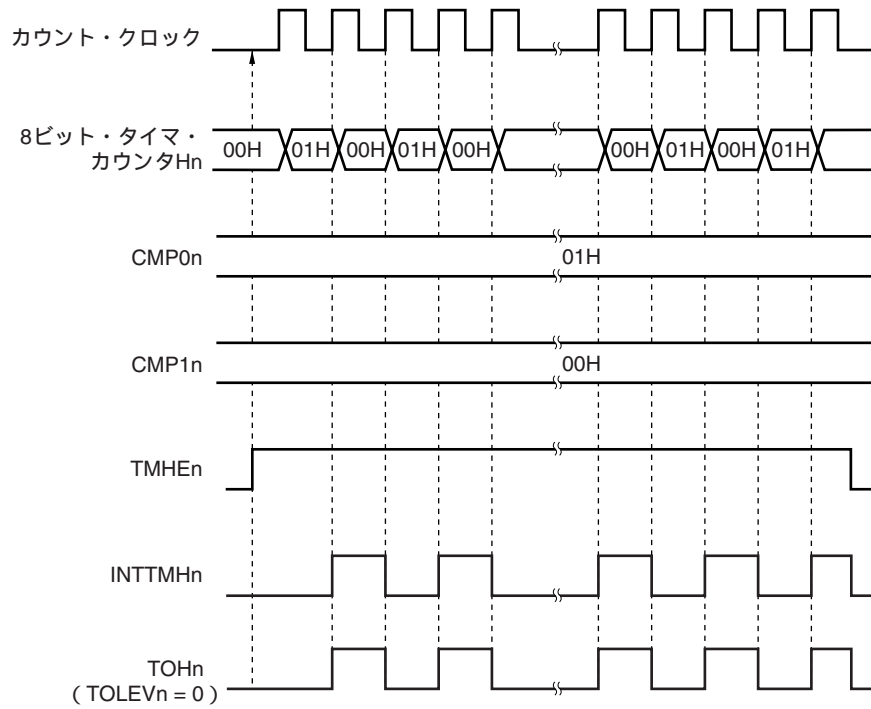
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図9 - 12 PWM出力モード動作のタイミング (3/4)

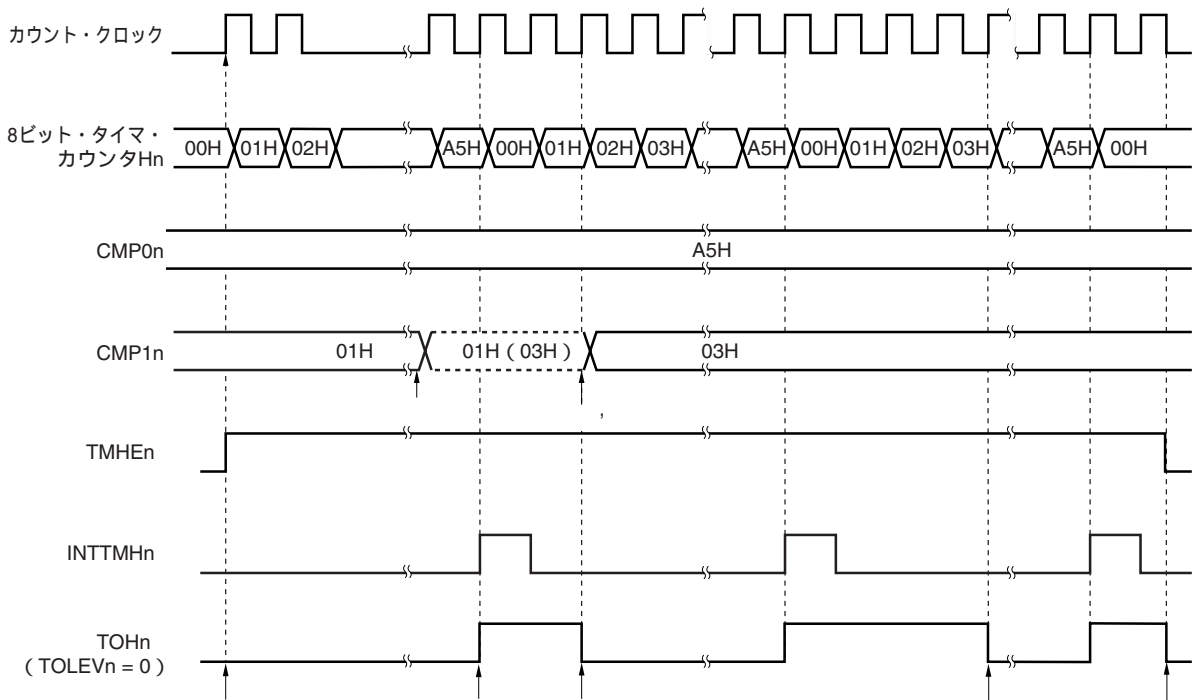
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図9 - 12 PWM出力モード動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 01H 03H, CMP0n = A5H)



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、アクティブ・レベルを出力し、INTTMHn信号が発生します。

CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます（'）。

ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0, 1

9.4.3 キャリア・ジェネレータ・モードとしての動作 (8ビット・タイマH1のみ)

8ビット・タイマH1で生成されるキャリア・クロックを、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力します。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出力します。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01 (CMP01) はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11 (CMP11) はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き替えることは禁止です。

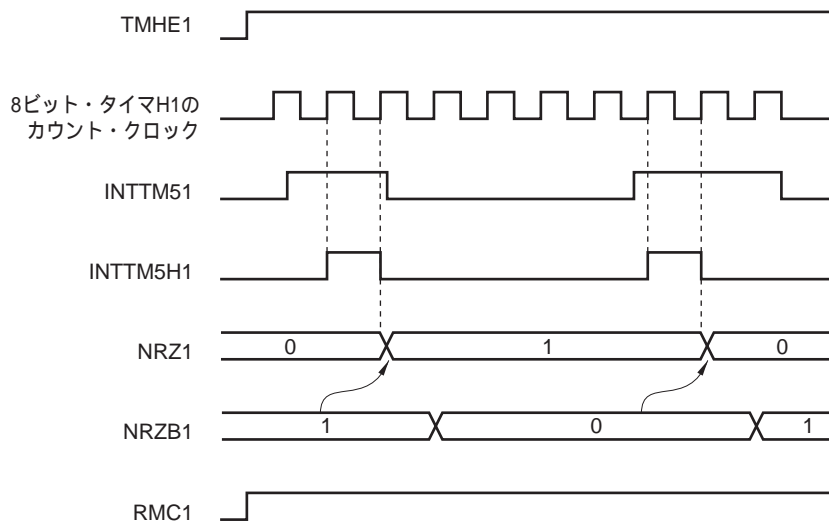
(2) キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号 (INTTM51) と8ビット・タイマHキャリア・コントロール・レジスタ (TMCYC1) のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力します。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図9 - 13 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

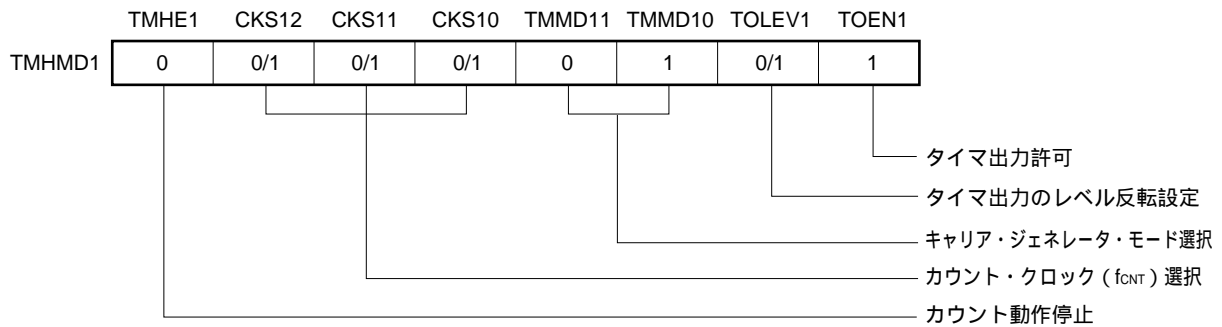
(3) 使用方法

任意のキャリア・クロックをTOH1端子より出力することができます。

各レジスタの設定を行います。

図9 - 14 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・8.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされ、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタへ切り替えます。

8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされ、同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタへ切り替えます。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1ビットがハイ・レベルのとき、キャリア・クロックがTOH1端子より出力されます。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウント・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

$$\text{キャリア・クロック出力周期} = (N + M + 2) / f_{CNT}$$

$$\text{デューティ} = \text{ハイ・レベル幅} : \text{キャリア・クロック出力幅} = (M + 1) : (N + M + 2)$$

- 注意1.** タイマ・カウント動作停止(TMHE1 = 0)設定後、タイマ・カウント動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。
2. TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。

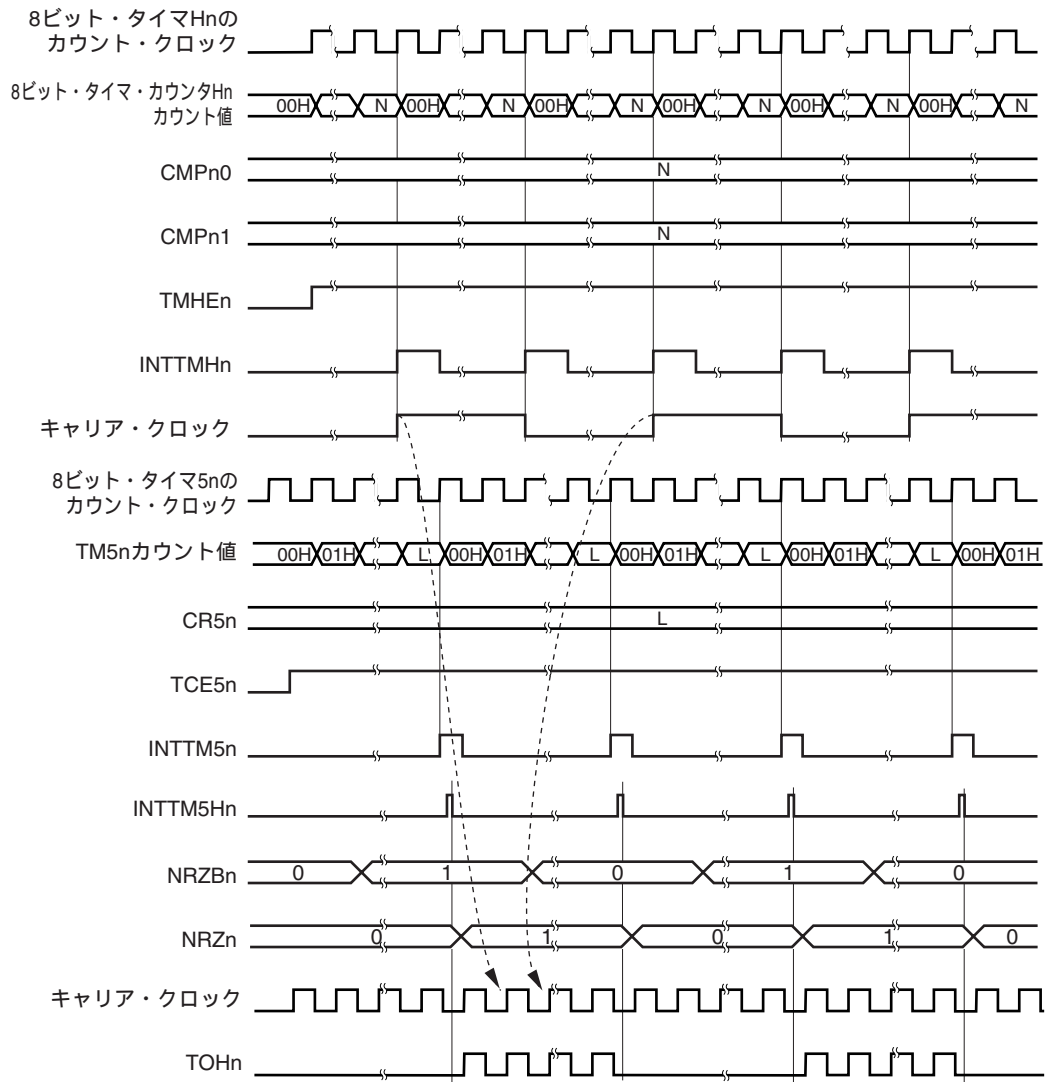
(4) タイミング・チャート

キャリアの出力制御タイミングを次に示します。

- 注意1.** CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
2. キャリア・ジェネレータ・モード時は、CMP11レジスタを書き換えてから、実際にレジスタに転送するのに動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分を必要とします。
3. RMC1ビットの設定はカウント動作開始前に必ず設定してください。

図9-15 キャリア・ジェネレータ・モード動作のタイミング (1/3)

(a) CMP01 = N, CMP11 = Nに設定したときの動作



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。

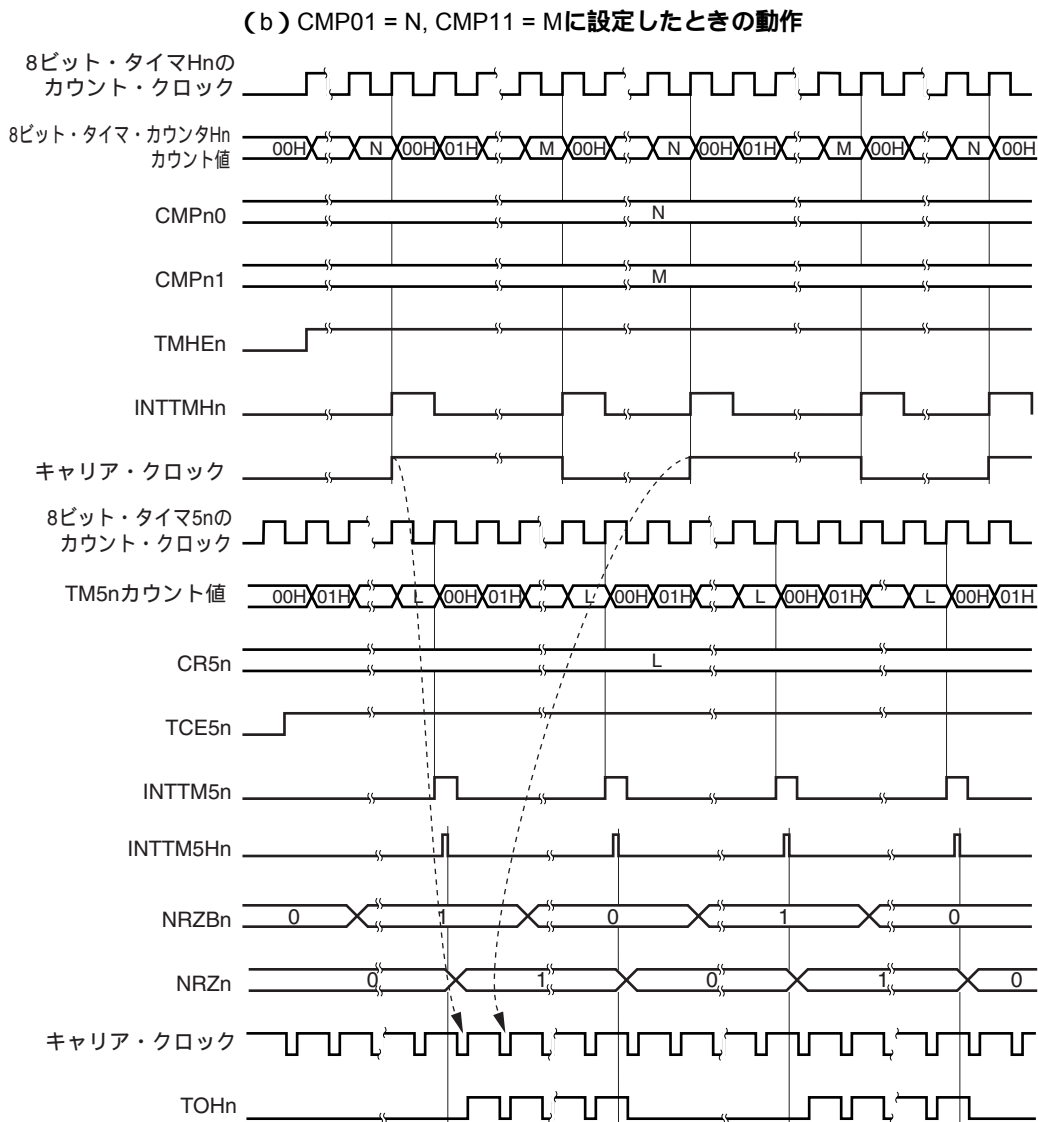
8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力します。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZ1 = 0により、TOH1出力はロウ・レベルになります。

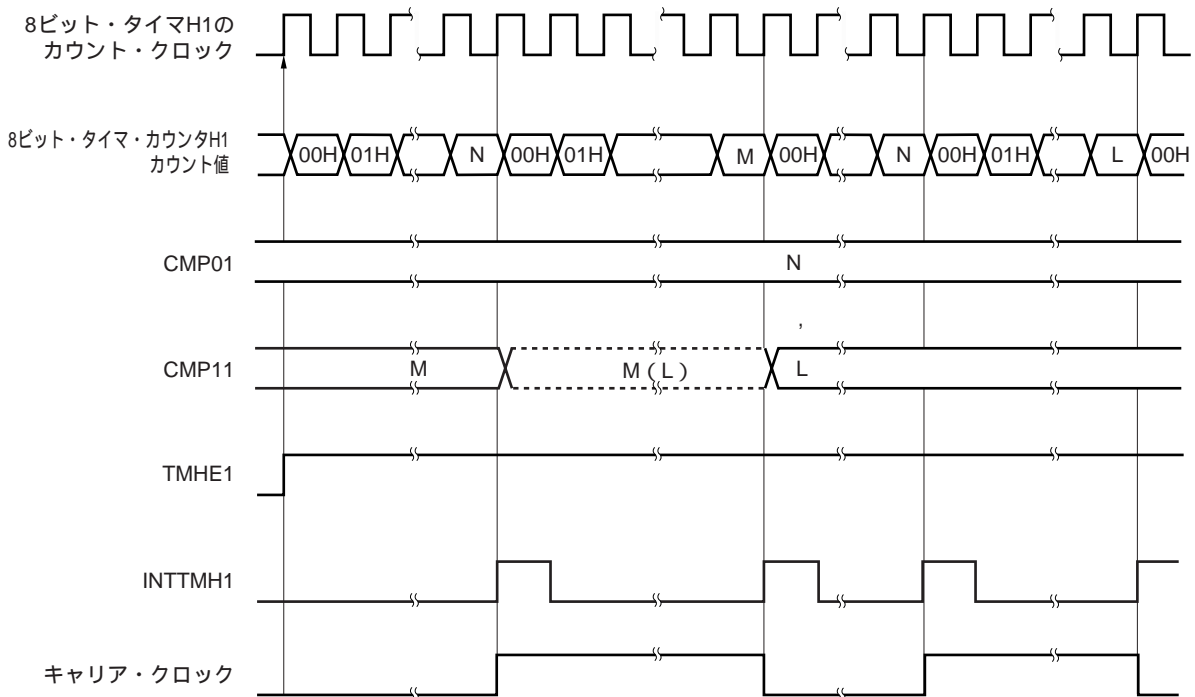
図9 - 15 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。
 TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。
 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。
 とを繰り返し、デューティ固定（50 %以外）のキャリア・クロックを生成します。
 INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力します。
 NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。
 NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

図9 - 15 キャリア・ジェネレータ・モード動作のタイミング (3/3)

(c) CMP11変更による動作



TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、8ビット・タイマ・カウンタH1をクリアし、INTTMH1信号を出力します。

CMP11レジスタは8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。CMP11レジスタが変更されるのは、8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値(M)が一致したとき(')です。

8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。

再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

第10章 時計用タイマ

10.1 時計用タイマの機能

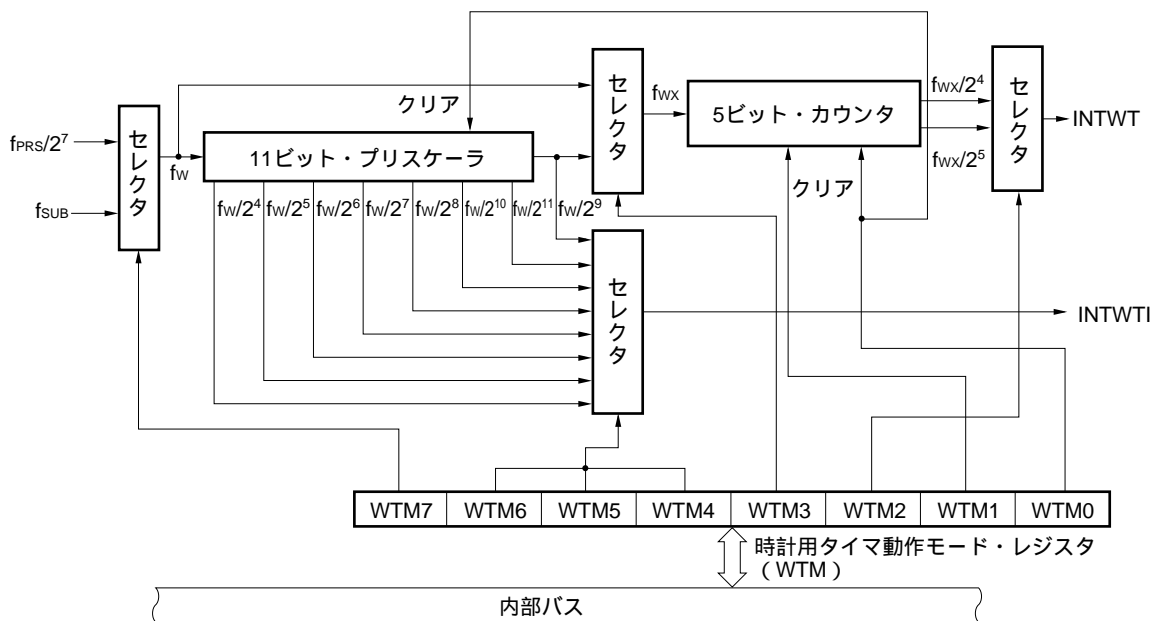
時計用タイマは、78K0/Fx2マイクロコントローラの全製品に搭載されています。
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図10 - 1に、時計用タイマのブロック図を示します。

図10 - 1 時計用タイマのブロック図



- 備考**
- f_{PRS} : 周辺ハードウェア・クロック周波数
 - f_{SUB} : サブシステム・クロック周波数
 - f_w : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})
 - f_{wx} : f_w または $f_w/2^9$

(1) 時計用タイマ

高速システム・クロックまたはサブシステム・クロックを使用することで、あらかじめ設定した時間間隔で割り込み要求 (INTWT) を発生します。

表10 - 1 時計用タイマの割り込み時間

割り込み時間	f _{SUB} = 32.768 kHz動作時	f _{PRS} = 4 MHz 動作時	f _{PRS} = 5 MHz 動作時	f _{PRS} = 10 MHz 動作時	f _{PRS} = 20 MHz 動作時
2 ⁴ /f _w	488 μs	0.51 ms	410 μs	205 μs	102 μs
2 ⁵ /f _w	977 μs	1.03 ms	819 μs	410 μs	205 μs
2 ¹³ /f _w	0.25 s	0.26 s	0.210 s	0.105 s	520 μs
2 ¹⁴ /f _w	0.5 s	0.53 s	0.419 s	0.210 s	0.105 s

備考 f_{PRS} : 周辺ハードウェア・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
 f_w : 時計用タイマ・クロック周波数 (f_{PRS}/2⁷またはf_{SUB})

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表10 - 2 インターバル・タイマのインターバル時間

割り込み時間	f _{SUB} = 32.768 kHz動作時	f _{PRS} = 4 MHz 動作時	f _{PRS} = 5 MHz 動作時	f _{PRS} = 10 MHz 動作時	f _{PRS} = 20 MHz 動作時
2 ⁴ /f _w	488 μs	0.51 ms	410 μs	205 μs	102 μs
2 ⁵ /f _w	977 μs	1.03 ms	820 μs	410 μs	205 μs
2 ⁶ /f _w	1.95 ms	2.05 ms	1.64 ms	820 μs	410 μs
2 ⁷ /f _w	3.91 ms	4.1 ms	3.28 ms	1.64 ms	820 μs
2 ⁸ /f _w	7.81 ms	8.2 ms	6.55 ms	3.28 ms	1.64 ms
2 ⁹ /f _w	15.6 ms	16.4 ms	13.1 ms	6.55 ms	3.28 ms
2 ¹⁰ /f _w	31.3 ms	32.75 ms	26.2 ms	13.1 ms	6.55 ms
2 ¹¹ /f _w	62.5 ms	65.55 ms	52.4 ms	26.2 ms	13.1 ms

備考 f_{PRS} : 周辺ハードウェア・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
 f_w : 時計用タイマ・クロック周波数 (f_{PRS}/2⁷またはf_{SUB})

10.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表10 - 3 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	11ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ (WTM)

10.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ動作モード・レジスタ (WTM) があります。

- ・時計用タイマ動作モード・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図10-2 時計用タイマ動作モード・レジスタ (WTM) のフォーマット

アドレス : FF8FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計用タイマのカウンタ・クロック選択 (f_w) ^注					
		$f_{SUB} = 32.768 \text{ kHz}$	$f_{PRS} = 4 \text{ MHz}$	$f_{PRS} = 8 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$
0	$f_{PRS}/2^7$	-	31.25 kHz	62.5 kHz	78.125 kHz	156.25 kHz
1	f_{SUB}	32.768 kHz	-			

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
1	1	0	$2^{10}/f_w$
1	1	1	$2^{11}/f_w$

WTM3	WTM2	割り込み時間の選択
0	0	$2^{14}/f_w$
0	1	$2^{13}/f_w$
1	0	$2^5/f_w$
1	1	$2^4/f_w$

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
$V_{DD} = 4.0 \sim 5.5 \text{ V}$	$f_{PRS} = 20 \text{ MHz}$
$V_{DD} = 2.7 \sim 4.0 \text{ V}$	$f_{PRS} = 10 \text{ MHz}$
$V_{DD} = 1.8 \sim 2.7 \text{ V}$ ((A) 水準品のみ)	$f_{PRS} = 5 \text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ ($XSEL = 1$) の場合です)

注意 時計用タイマ動作中に、カウンタ・クロック、インターバル時間の変更 (WTMのビット4-7 (WTM4-WTM7) で設定) をしないでください。

備考 f_w : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})
 f_{PRS} : 周辺ハードウェア・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

10.4 時計用タイマの動作

10.4.1 時計用タイマとしての動作

時計用タイマは、周辺ハードウェア・クロックまたはサブシステム・クロックを使用し、一定の時間間隔ごとに、割り込み要求信号 (INTWT) を発生します。

時計用タイマ動作モード・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、11ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後最初のオーバーフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

割り込み要求の時間間隔は、次のようになります。

表10-4 時計用タイマの割り込み時間

WTM3	WTM2	割り込み時間の選択	$f_{SUB} = 32.768$ kHz動作時 (WTM7 = 1)	$f_{PRS} = 4$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 5$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 10$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 20$ MHz 動作時 (WTM7 = 0)
0	0	$2^{14}/f_w$	0.5 s	0.53 s	0.419 s	0.210 s	0.105 s
0	1	$2^{13}/f_w$	0.25 s	0.26 s	0.210 s	0.105 s	52.5 ms
1	0	$2^5/f_w$	977 μ s	1.03 ms	819 μ s	410 μ s	205 μ s
1	1	$2^4/f_w$	488 μ s	0.51 ms	410 μ s	205 μ s	102 μ s

備考1. f_w : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTWTI) を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。WTMのビット0 (WTM0) に1を設定するとカウント動作がスタートし、0を設定することにより、カウント動作が停止します。

表10-5 インターバル・タイマのインターバル時間

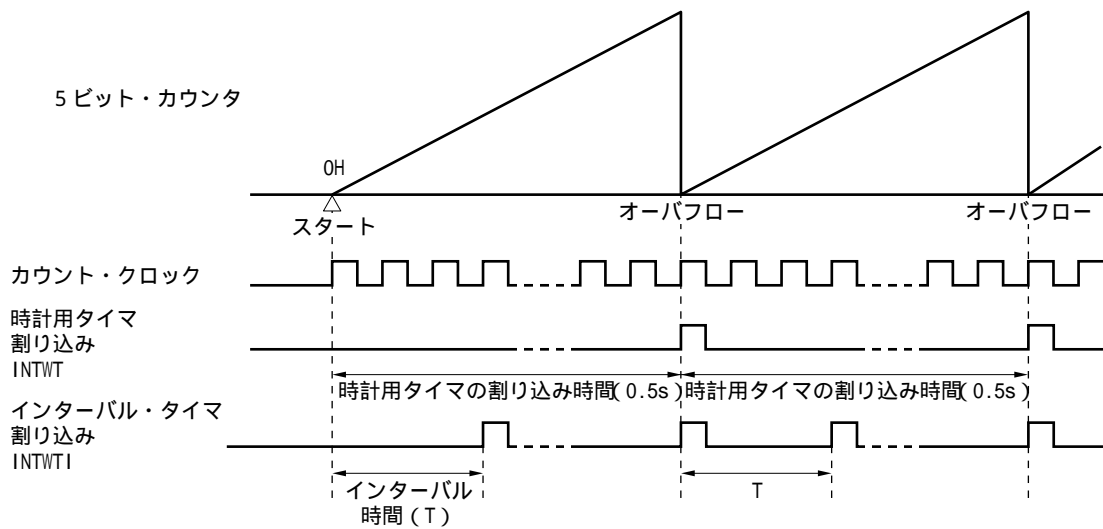
WTM6	WTM5	WTM4	インターバル 時間	$f_{SUB} = 32.768$ kHz動作時 (WTM7 = 1)	$f_{PRS} = 4$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 5$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 10$ MHz 動作時 (WTM7 = 0)	$f_{PRS} = 20$ MHz 動作時 (WTM7 = 0)
0	0	0	$2^4/f_w$	488 μ s	0.51 ms	410 μ s	205 μ s	102 μ s
0	0	1	$2^5/f_w$	977 μ s	1.03 ms	820 μ s	410 μ s	205 μ s
0	1	0	$2^6/f_w$	1.95 ms	2.05 ms	1.64 ms	820 μ s	410 μ s
0	1	1	$2^7/f_w$	3.91 ms	4.1 ms	3.28 ms	1.64 ms	820 μ s
1	0	0	$2^8/f_w$	7.81 ms	8.2 ms	6.55 ms	3.28 ms	1.64 ms
1	0	1	$2^9/f_w$	15.6 ms	16.4 ms	13.1 ms	6.55 ms	3.28 ms
1	1	0	$2^{10}/f_w$	31.3 ms	32.75 ms	26.2 ms	13.1 ms	6.55 ms
1	1	1	$2^{11}/f_w$	62.5 ms	65.55 ms	52.4 ms	26.2 ms	13.1 ms

備考1. f_w : 時計用タイマ・クロック周波数 ($f_{PRS}/2^7$ または f_{SUB})

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数

図10-3 時計用タイマ/インターバル・タイマの動作タイミング



備考 f_w : 時計用タイマ・クロック周波数

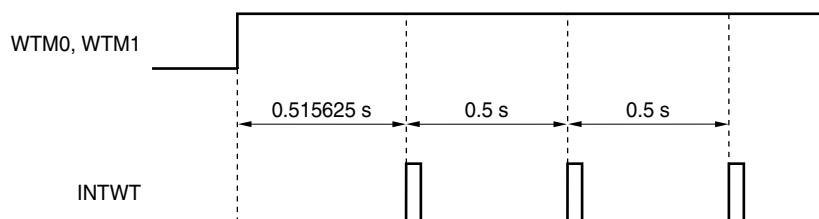
() 内は, $f_w = 32.768$ kHz動作時 (WTM7 = 1, WTM3, WTM2 = 0, 0)。

10.5 時計用タイマの注意事項

時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTMのビット0 (WTM0) およびビット1 (WTM1) を1にセット) したとき, 設定後の最初の割り込み要求 (INTWT) までの時間は, 正確にWTMのビット2, 3 (WTM2, WTM3) の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。

図10 - 4 時計用タイマ割り込み要求 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)

1回目のINTWTが発生するまでに, 最大0.515625 sかかります ($2^9 \times 1/32768 = 0.015625$ s長くかかります)。そのあとは0.5 sごとにINTWTが発生します。



第11章 ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0/Fx2マイクロコントローラの全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域(ただしFB00H-FFCFH, FFE0H-FFFFHは除く)にアクセスした場合
(CPU暴走時の異常アクセス検出)

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第19章 **リセット機能**を参照してください。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

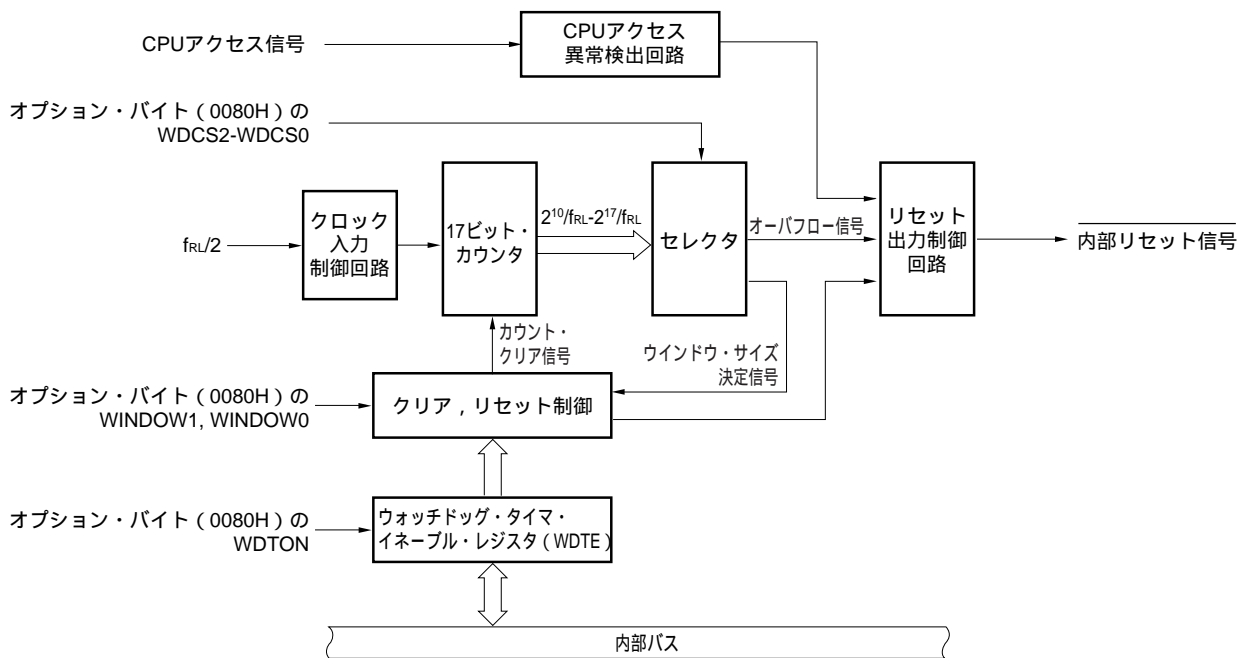
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表11-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2-WDCS0)

備考 オプション・バイトについては、第23章 **オプション・バイト**を参照してください。

図11-1 ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により9AHまたは1AH^注になります。

図11-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF9BH リセット時 : 9AH/1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第23章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ制御 / 不正アクセス検出の動作制御
0	カウント動作禁止（リセット後、カウント停止）、不正アクセス検出動作禁止
1	カウント動作許可（リセット後、カウント開始）、不正アクセス検出動作許可

・オプション・バイト（0080H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、11.4.2および第23章を参照）。

・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、11.4.3および第23章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・オープン期間以外に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタで設定していない領域からフェッチした場合（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタで設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合（CPU暴走時の異常アクセス検出）

- 注意1.** リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイト (0080H) のビット0 (LSROSC) の設定値により, ウォッチドッグ・タイマの HALTおよびSTOPモード時の動作は, 次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合, HALTおよびSTOPモード解除後は, ウォッチドッグ・タイマのカウンタを再開します。このとき, カウンタはクリア (0) されず, 停止前の値からカウント開始します。

また, LSROSC = 0設定時に, LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も, ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は, オプション・バイト (0080H) のビット3-1 (WDSC2-WDSC0) で設定します。

オーバフロー時は, 内部リセット信号を発生します。オーバフロー時間前の, ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより, カウンタはクリアされ, 再度カウント動作を開始します。

設定するオーバフロー時間を次に示します。

表11-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDSC2	WDSC1	WDSC0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意1. WDSC2 = WDSC1 = WDSC0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

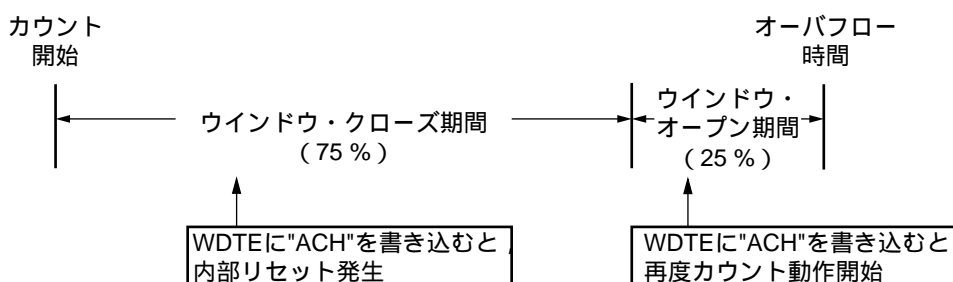
- () 内は $f_{RL} = 264 \text{ kHz (MAX.)}$ の場合

11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表11-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- 1.8 V $V_{DD} < 2.7$ Vで使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{11}/f_{RL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 7.11 ms	0 ~ 4.74 ms	0 ~ 2.37 ms	なし
ウインドウ・オープン時間	7.11 ~ 7.76 ms	4.74 ~ 7.76 ms	2.37 ~ 7.76 ms	0 ~ 7.76 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/264 \text{ kHz} (\text{MAX.}) = 7.76 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 7.11 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{11}/264 \text{ kHz} (\text{MAX.}) \\ = 7.11 \sim 7.76 \text{ ms}$$

第12章 クロック出力/ブザー出力制御回路

12.1 クロック出力/ブザー出力制御回路の機能

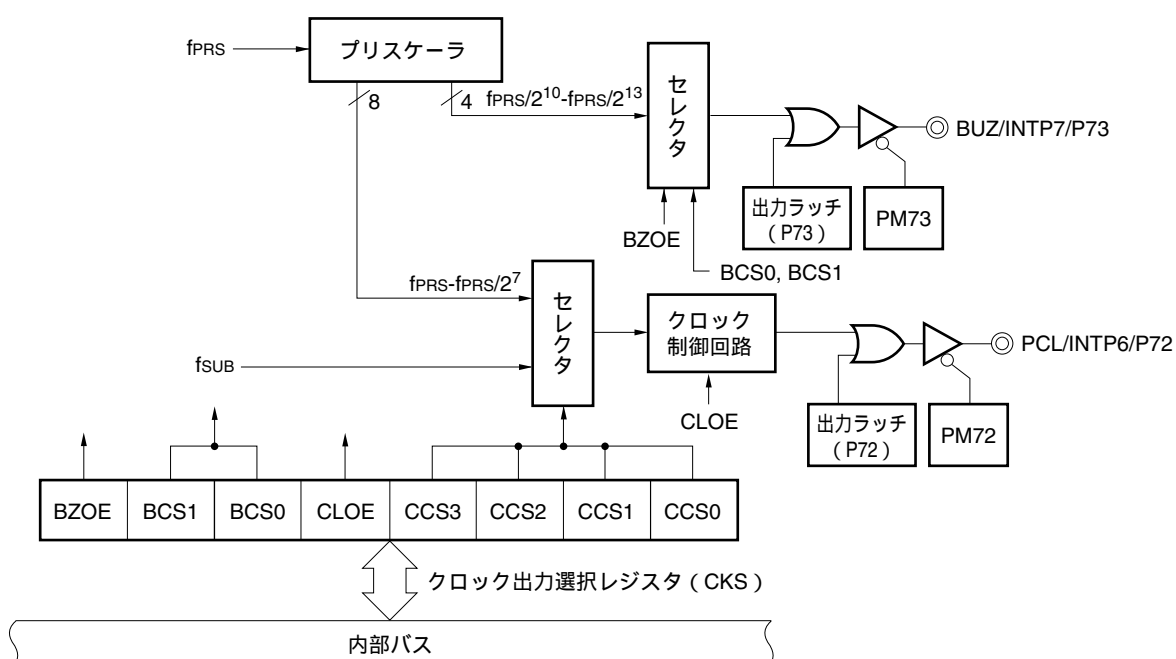
クロック出力/ブザー出力制御回路は、78K0/Fx2マイクロコントローラの全製品に搭載されています。

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図12 - 1にクロック出力/ブザー出力制御回路のブロック図を示します。

図12 - 1 クロック出力/ブザー出力制御回路のブロック図



12.2 クロック出力/ブザー出力制御回路の構成

クロック出力/ブザー出力制御回路は、次のハードウェアで構成されています。

表12-1 クロック出力/ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ7 (PM7) ポート・レジスタ7 (P7)

12.3 クロック出力/ブザー出力制御回路を制御するレジスタ

クロック出力/ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ7 (PM7)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可/禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} /2 ¹⁰	9.77 kHz	19.54 kHz
0	1	f _{PRS} /2 ¹¹	4.88 kHz	9.77 kHz
1	0	f _{PRS} /2 ¹²	2.44 kHz	4.88 kHz
1	1	f _{PRS} /2 ¹³	1.22 kHz	2.44 kHz

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択 ^{注1}			
				f _{SUB} = 32.768 kHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	-	10 MHz	設定禁止 ^{注3}
0	0	0	1	f _{PRS} /2	-	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	-	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	-	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	-	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	-	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	-	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	-	78.125 kHz	156.25 kHz
1	0	0	0	f _{SUB}	32.768 kHz	-	-
上記以外				設定禁止			

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V (A) 水準品のみ	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロックが高速内蔵発振クロックで動作している場合、CCS3 = CCS2 = CCS1 = CCS0 = 0 (PCLの出力クロック : f_{PRS}) は設定禁止です。
- PCLの出力クロックは、10 MHzを越えると設定禁止です。

- 注意1. BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。
2. CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P72/INTP6/PCL端子をクロック出力機能として、P73/INTP7/BUZ端子をブザー出力機能として使用する
 とき、PM72, PM73およびP72, P73の出力ラッチに0を設定してください。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図12-3 ポート・モード・レジスタ7 (PM7) のフォ - マット

アドレス : FF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/FF2製品のポート・モード・レジスタ7のフォーマットです。他の製品のポート・モード・レジスタ7のフォーマットについては、5.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

12.4 クロック出力/ブザー出力制御回路の動作

12.4.1 クロック出力としての動作

クロック・パルスは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

CKSのビット4 (CLOE) に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可/禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図12-4に示すように、必ずクロックのロウ期間から出力を開始します (図中の*印参照)。また、停止する場合には、クロックのハイ期間後に、出力を停止します。

図12-4 リモコン出力応用例



12.4.2 ブザー出力としての動作

ブザー・クロックは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット5, 6 (BCS0, BCS1) でブザー出力周波数を選択する (ブザー出力は禁止の状態)。

CKSのビット7 (BZOE) に1を設定し、ブザー出力を許可する。

第13章 A/Dコンバータ

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
10ビット A/Dコンバータ	8 ch	9 ch	12 ch	16 ch

13.1 A/Dコンバータの機能

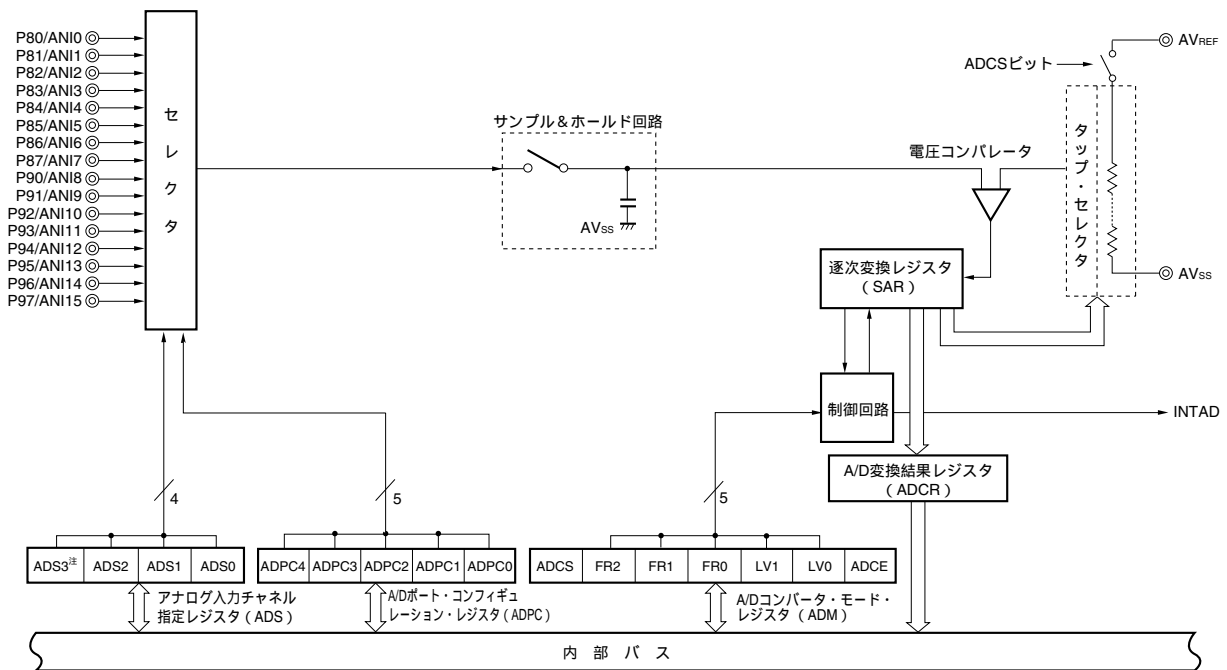
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大16チャンネル (ANI0-ANI15) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- ・10ビット分解能A/D変換

アナログ入力をANI0-ANI15から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図13-1 A/Dコンバータのブロック図



注 ADS3は、78K0/FC2の48ピン製品、78K0/FE2, 78K0/FF2のみ

- 備考 ANI0-ANI17 : 78K0/FC2の44ピン製品
 ANI0-ANI18 : 78K0/FC2の48ピン製品
 ANI0-ANI11 : 78K0/FE2
 ANI0-ANI15 : 78K0/FF2

13.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI15端子

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品
 ANI0-ANI8端子 : 78K0/FC2の48ピン製品
 ANI0-ANI11端子 : 78K0/FE2
 ANI0-ANI15端子 : 78K0/FF2

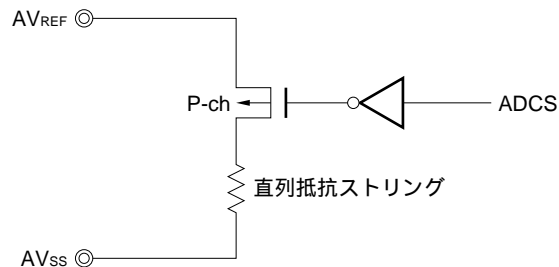
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - AV_{SS} 間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図13 - 2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

注意 ADCR, ADCRHからデータを読み出すと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADが発生します。

(9) AV_{REF}端子

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。ポート8, ポート9をデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて、ANI0-ANI15に入力される信号をデジタル信号に変換します。

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

(13) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(14) ポート・モード・レジスタ8 (PM8)

P80/ANI0-P87/ANI7端子を、入力/出力に切り替えるレジスタです。

(15) ポート・モード・レジスタ9 (PM9)

P90/ANI8-P97/ANI15端子を、入力/出力に切り替えるレジスタです。

備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品

ANI0-ANI8端子 : 78K0/FC2の48ピン製品

ANI0-ANI11端子 : 78K0/FE2

ANI0-ANI15端子 : 78K0/FF2

13.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ8 (PM8)
- ・ ポート・モード・レジスタ9 (PM9)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF2AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	コンパレータの動作制御 ^{注2}
0	コンパレータの動作停止
1	コンパレータの動作許可

注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表13-2 A/D変換時間の選択を参照してください。

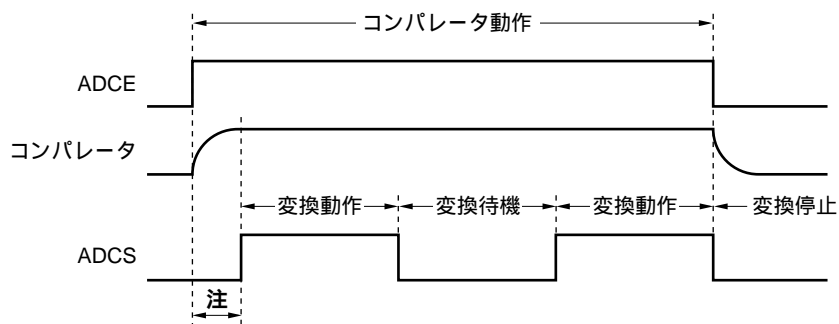
2. コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表13 - 1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (コンパレータ動作, コンパレータのみ電力消費)
1	0	変換モード (コンパレータ動作停止 ^注)
1	1	変換モード (コンパレータ動作)

注 最初の変換データは, 保証値の範囲外のため, 無視してください。

図13 - 4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから, ADCSの立ち上がりまでの時間は, 内部回路安定のため, $1 \mu\text{s}$ 以上必要です。

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに行ってください。

2. ADMにデータを書き込むと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADMにデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

表13-2 A/D変換時間の選択

(1) 2.7 V AVREF 5.5 V (LV0 = 0)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換クロック (fAD)
FR2	FR1	FR0	LV1	LV0	fPRS = 4 MHz	fPRS = 10 MHz	fPRS = 20 MHz		
0	0	0	0	0	264/fPRS	66.0 μs	26.4 μs	13.2 μs	fPRS/12
0	0	1	0	0	176/fPRS	44.0 μs	17.6 μs	8.8 μs ^注	fPRS/8
0	1	0	0	0	132/fPRS	33.0 μs	13.2 μs	6.6 μs ^注	fPRS/6
0	1	1	0	0	88/fPRS	22.0 μs	8.8 μs ^注	設定禁止	fPRS/4
1	0	0	0	0	66/fPRS	16.5 μs	6.6 μs ^注		fPRS/3
1	0	1	0	0	44/fPRS	11.0 μs ^注	設定禁止		fPRS/2
上記以外					設定禁止				

注 4.0 V AVREF 5.5 V時のみ設定可能

(2) 2.3 V AVREF 5.5 V (LV0 = 1)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択			変換クロック (fAD)
FR2	FR1	FR0	LV1	LV0	fPRS = 4 MHz	fPRS = 5 MHz		
0	0	0	0	1	480/fPRS	設定禁止	設定禁止	fPRS/12
0	0	1	0	1	320/fPRS		64.0 μs	fPRS/8
0	1	0	0	1	240/fPRS	60.0 μs	48.0 μs	fPRS/6
0	1	1	0	1	160/fPRS	40.0 μs	32.0 μs	fPRS/4
1	0	0	0	1	120/fPRS	30.0 μs	24.0 μs ^注	fPRS/3
上記以外					設定禁止			

注 2.7 V AVREF 5.5 V時のみ設定可能

注意1. 変換時間は、次の条件で設定してください。

(1) 2.7 V AVREF 5.5 V (LV0 = 0)

- 4.0 V AVREF 5.5 Vの場合：fAD = 0.33 ~ 3.6 MHz
- 2.7 V AVREF < 4.0 Vの場合：fAD = 0.33 ~ 1.8 MHz

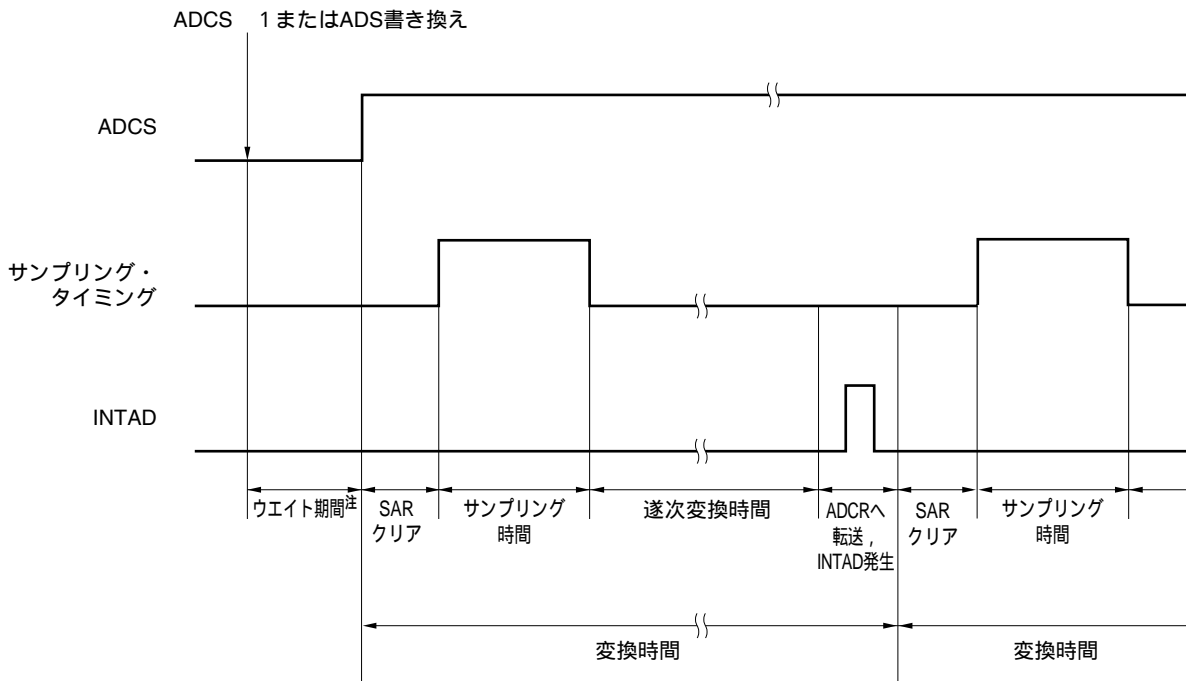
(2) 2.3 V AVREF 5.5 V (LV0 = 1)

- 4.0 V AVREF 5.5 Vの場合：fAD = 0.6 ~ 3.6 MHz
- 2.7 V AVREF < 4.0 Vの場合：fAD = 0.6 ~ 1.8 MHz
- 2.3 V AVREF < 2.7 Vの場合：fAD = 0.6 ~ 1.48 MHz ((A) 水準品のみ)

- FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止(ADCS = 0)させたのちに行ってください。
- 2.3 V AVREF < 2.7 Vの場合、LV1, LV0をデフォルト値から変更してください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 fPRS：周辺ハードウェア・クロック周波数

図13 - 5 A/DコンバータのサンプリングとA/D変換のタイミング



注 ウェイト期間の詳細は、第31章 ウェイトに関する注意事項を参照してください。

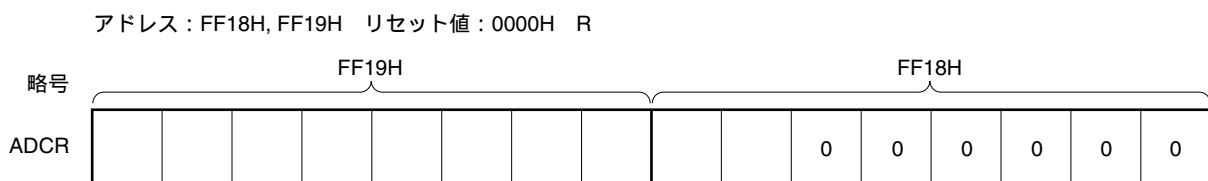
(2) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRにはFF19Hのビット7から順に格納されます。FF19Hには変換結果の上位8ビットが、FF18Hには変換結果の下位2ビットが入ります。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図13 - 6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意1. A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRの内容は不定となることがあります。変換結果は、変換動作終了後, ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

2. ADCRからデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCRからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

(3) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図13 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FF19H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意1 . A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS, ADPC に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

2 . ADCRHからデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADCRHからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

(4) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

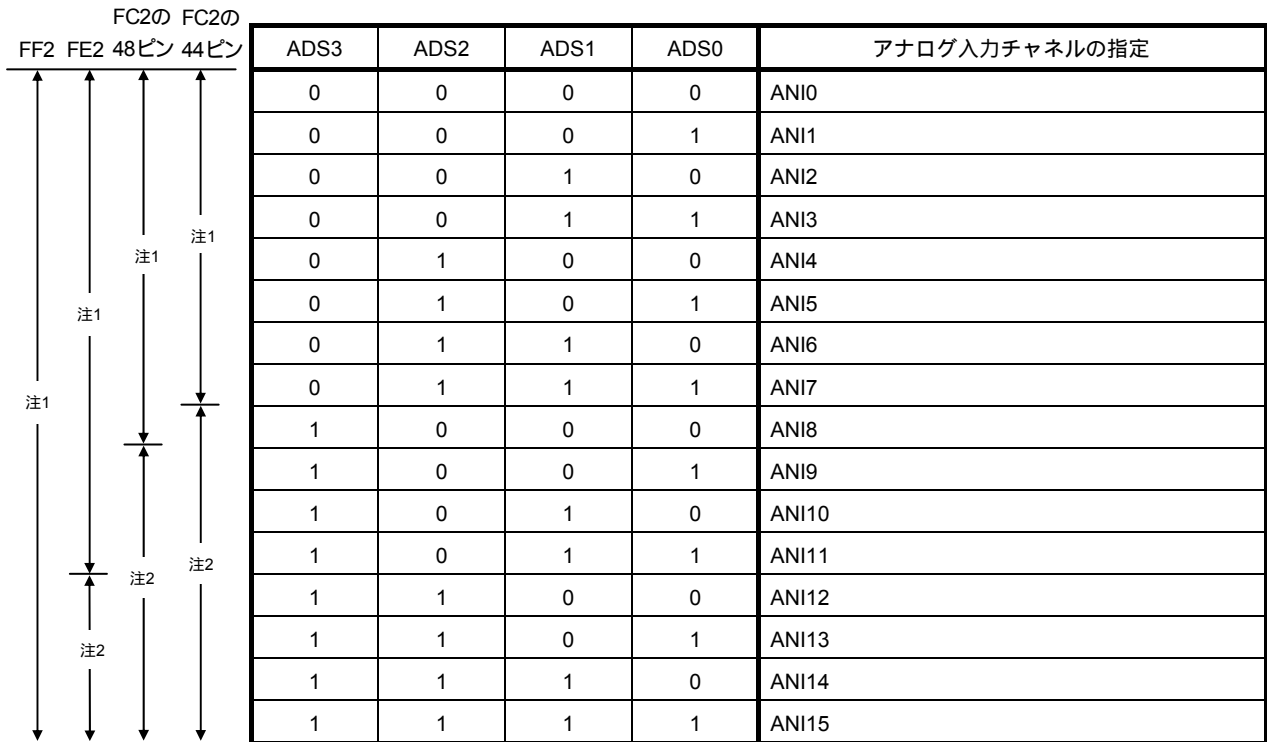
ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF2BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0



- 注 1. 設定可
- 2. 設定禁止

- 注意 1. ビット4-7には必ず0を設定してください。
- 2. ADSとADPCは入力/出力制御をしていないので、A/D変換で使用するチャンネルをポート・モード・レジスタ8, 9 (PM8, PM9) で入力モードに選択してください。出力モードに選択した場合、ADPCの選択は無効になります。
 - 3. ADPCでデジタル入力として設定する端子を、ADSで設定しないでください。
 - 4. ADSにデータを書き込むと、ウエイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADSにデータを書き込まないでください。詳細は第31章 ウエイトに関する注意事項を参照してください。

備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品
 ANI0-ANI8端子 : 78K0/FC2の48ピン製品
 ANI0-ANI11端子 : 78K0/FE2
 ANI0-ANI15端子 : 78K0/FF2

(5) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子を, A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図13-9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス: FF22H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

A D P C	A D P C	A D P C	A D P C	A D P C	アナログ入力 (A) / デジタル入出力 (D) の切り替え															
					P97/ ANI15	P96/ ANI14	P95/ ANI13	P94/ ANI12	P93/ ANI11	P92/ ANI10	P91/ ANI9	P90/ ANI8	P87/ ANI7	P86/ ANI6	P85/ ANI5	P84/ ANI4	P83/ ANI3	P82/ ANI2	P81/ ANI1	P80/ ANI0
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	
0	0	1	1	0	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	
0	0	1	1	1	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	
0	1	0	0	0	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	
0	1	0	0	1	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	
0	1	0	1	0	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	
0	1	0	1	1	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	
上記以外					設定禁止															

- 注 1. 設定可
- 2. 設定禁止

- 注意 1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ8, 9 (PM8, PM9) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を, アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. ADPCにデータを書き込むと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADPCにデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。

- 備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品
- ANI0-ANI8端子 : 78K0/FC2の48ピン製品
- ANI0-ANI11端子 : 78K0/FE2
- ANI0-ANI15端子 : 78K0/FF2

(6) ポート・モード・レジスタ8 (PM8)

P80/ANI0-P87/ANI7端子をアナログ入力ポートとして使用するとき、PM80-PM87にそれぞれ1を設定してください。このときP80-P87の出力ラッチは、0または1のどちらでもかまいません。

PM80-PM87にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM8は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図13 - 10 ポート・モード・レジスタ8 (PM8) のフォーマット

アドレス：FF28H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

PM8n	P8n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(7) ポート・モード・レジスタ9 (PM9)

P90/ANI8-P97/ANI15端子をアナログ入力ポートとして使用するとき、PM90-PM97にそれぞれ1を設定してください。このときP90-P97の出力ラッチは、0または1のどちらでもかまいません。

PM90-PM97にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 ANI8端子 : 78K0/FC2の48ピン製品

ANI8-ANI11端子 : 78K0/FE2

ANI8-ANI15端子 : 78K0/FF2

図13 - 11 ポート・モード・レジスタ9 (PM9) のフォーマット

アドレス：FF29H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	P9n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/FF2製品のポート・モード・レジスタ9のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては、5.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子の機能は, ADPC, ADS, PM8, PM9の設定で決定します。

表13 - 3 P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子機能の設定

ADPC	PM8, PM9	ADS	P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15端子
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力

備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品
 ANI0-ANI8端子 : 78K0/FC2の48ピン製品
 ANI0-ANI11端子 : 78K0/FE2
 ANI0-ANI15端子 : 78K0/FF2

13.4 A/Dコンバータの動作

13.4.1 A/Dコンバータの基本動作

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ8, 9 (PM8, PM9) で入力モードに設定してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ビット9 = 1 : (3/4) AV_{REF}
- ・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

- ・サンプリングされた電圧 > 電圧タップ : ビット8 = 1
- ・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

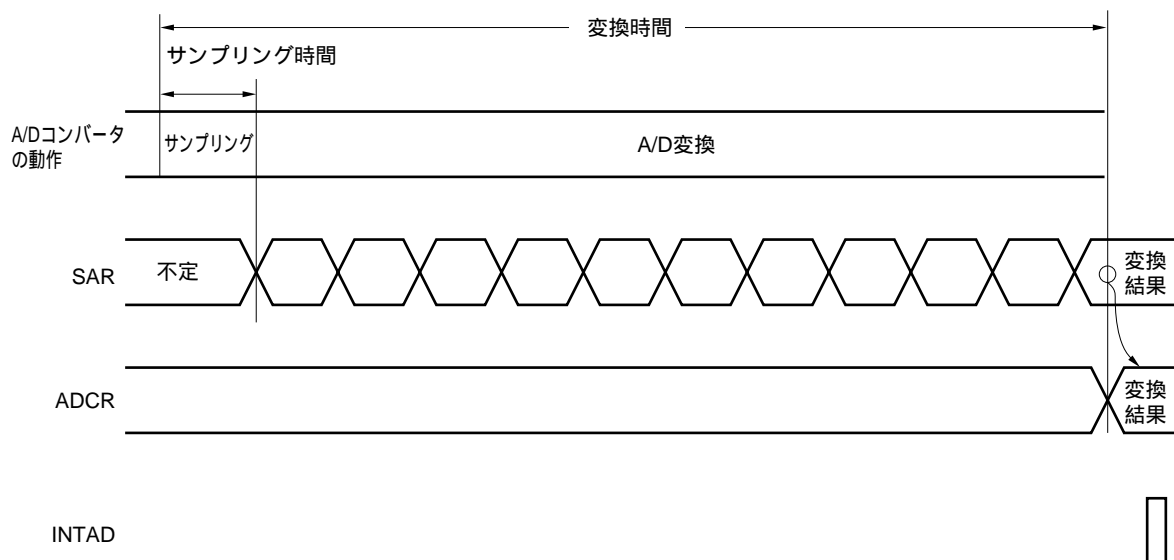
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図13 - 12 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

13.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または、

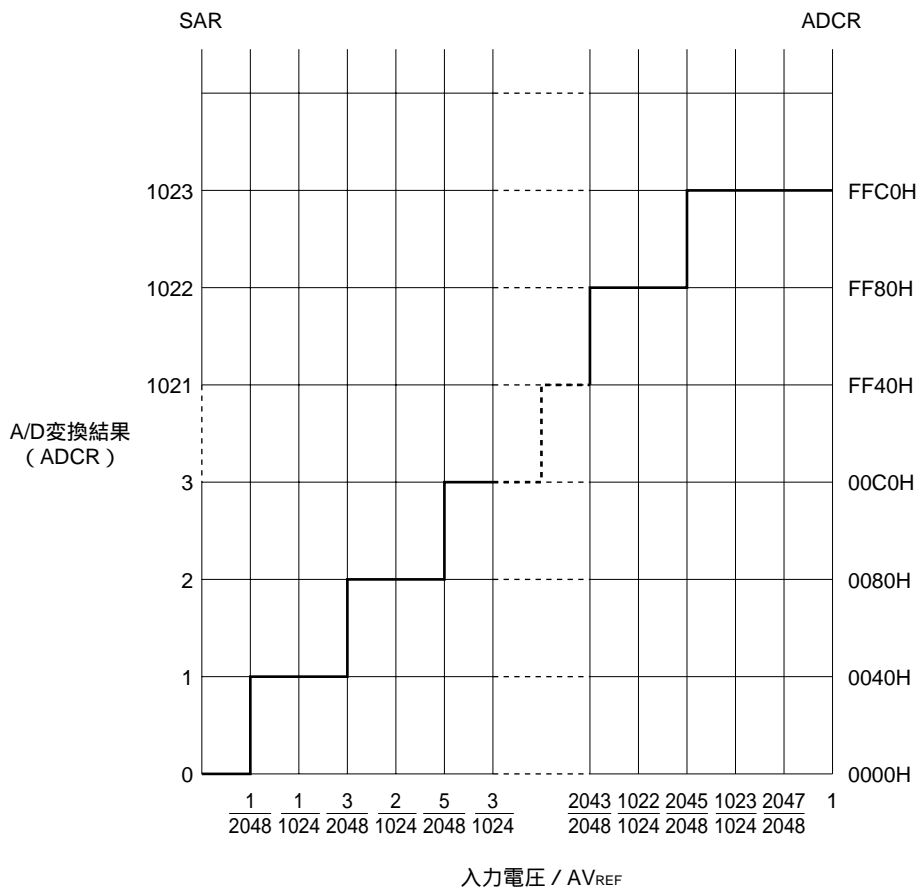
$$\left(\text{ADCR} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\text{ADCR} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

- INT () : () 内の値の整数部を返す関数
 V_{AIN} : アナログ入力電圧
 V_{REF} : V_{REF} 端子電圧
ADCR : A/D変換結果レジスタ (ADCR) の値
SAR : 逐次変換レジスタ

- 備考** ANI0-ANI7端子 : 78K0/FC2の44ピン製品
ANI0-ANI8端子 : 78K0/FC2の48ピン製品
ANI0-ANI11端子 : 78K0/FE2
ANI0-ANI15端子 : 78K0/FF2

図13 - 13にアナログ入力電圧とA/D変換結果の関係を示します。

図13 - 13 アナログ入力電圧とA/D変換結果の関係



13.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ (ADS) によってANI0-ANI15からアナログ入力を1チャネル選択し、A/D変換を行います。

備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品
 ANI0-ANI8端子 : 78K0/FC2の48ピン製品
 ANI0-ANI11端子 : 78K0/FE2
 ANI0-ANI15端子 : 78K0/FF2

(1) A/D変換動作

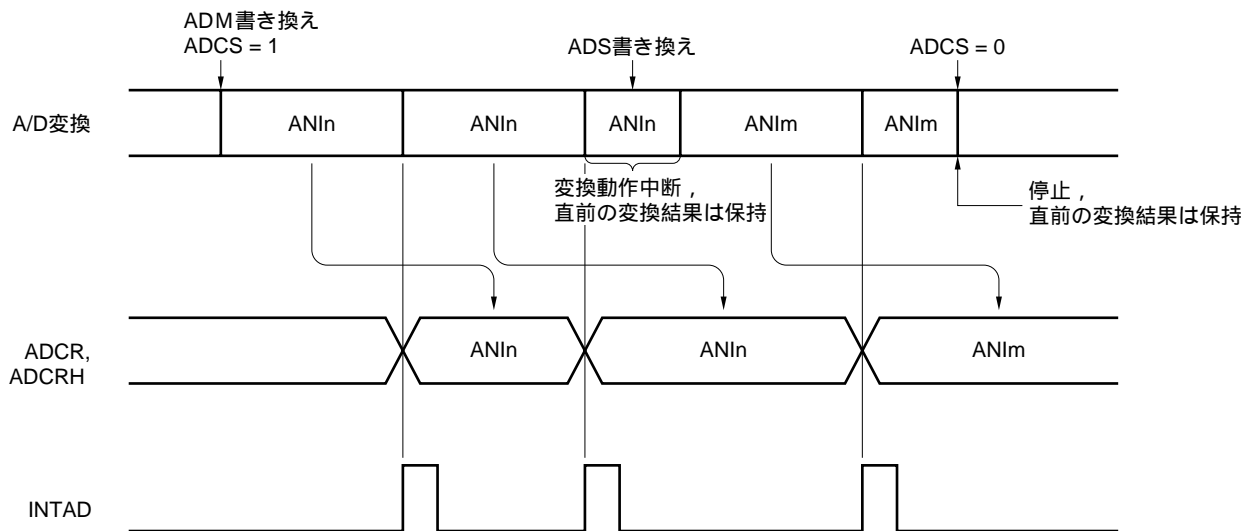
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図13 - 14 A/D変換動作



- 備考 1.** 78K0/FC2の44ピン製品 : $n = 0-7$, 78K0/FC2の48ピン製品 : $n = 0-8$, 78K0/FE2 : $n = 0-11$,
 78K0/FF2 : $n = 0-15$
- 2.** 78K0/FC2の44ピン製品 : $m = 0-7$, 78K0/FC2の48ピン製品 : $m = 0-8$, 78K0/FE2 : $m = 0-11$,
 78K0/FF2 : $m = 0-15$

次に設定方法を説明します。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)
A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0) ,
ポート・モード・レジスタ8 (PM8) のビット7-0 (PM87-PM80) , ポート・モード・レジスタ
9 (PM9) のビット7-0 (PM97-PM90) で使用するチャンネルをアナログ入力に設定
ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を選択
アナログ入力チャンネル指定レジスタ (ADS) のビット3-0 (ADS3-ADS0) で使用するチャンネル
を選択
ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始
1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生
A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<チャンネルを変更する>

ADSのビット3-0 (ADS3-ADS0) で, チャンネルを変更し, A/D変換動作開始
1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生
A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<A/D変換を終了する>

ADCSをクリア (0)
ADCEをクリア (0)

- 注意1. から までの間は $1\mu\text{s}$ 以上空けてください。
- は, から までの間に行っても, 問題ありません。
 - は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
 - から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

13.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図13-15 総合誤差

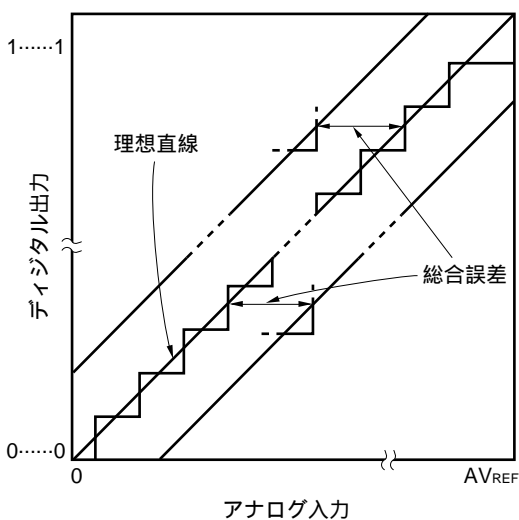
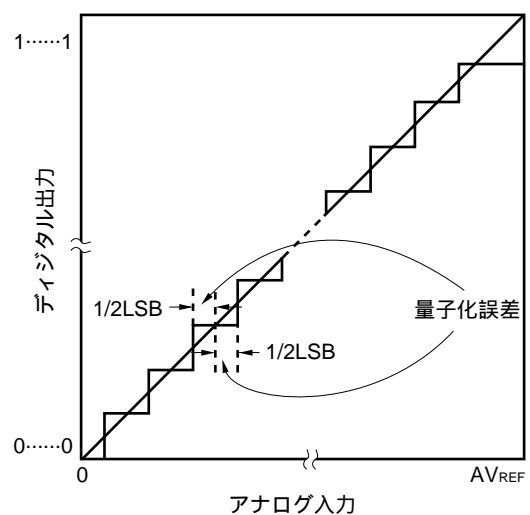


図13-16 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（ $1/2$ LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（ $3/2$ LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - $3/2$ LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図13 - 17 ゼロスケール誤差

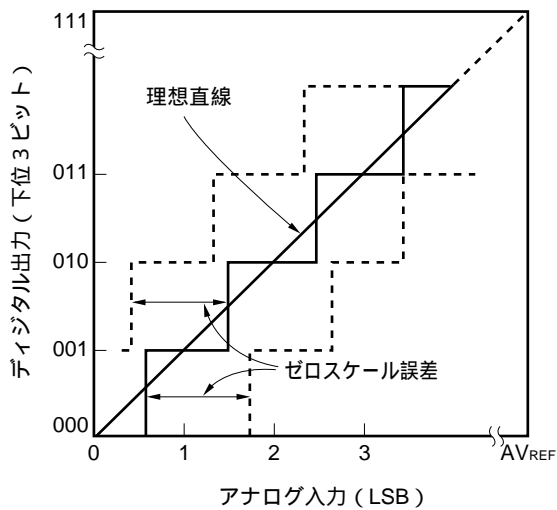


図13 - 18 フルスケール誤差

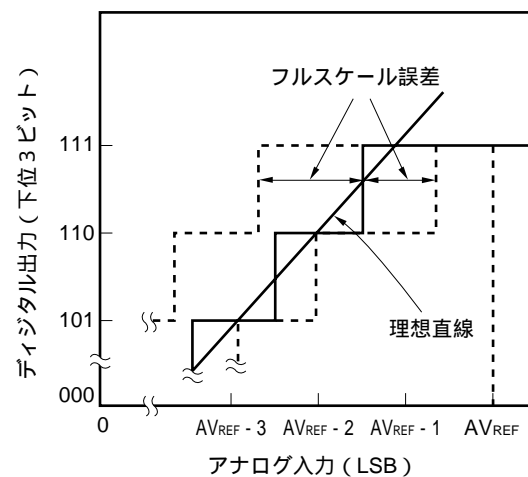


図13 - 19 積分直線性誤差

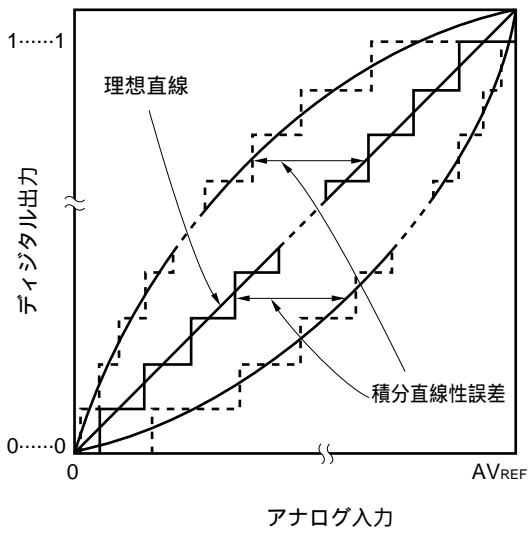
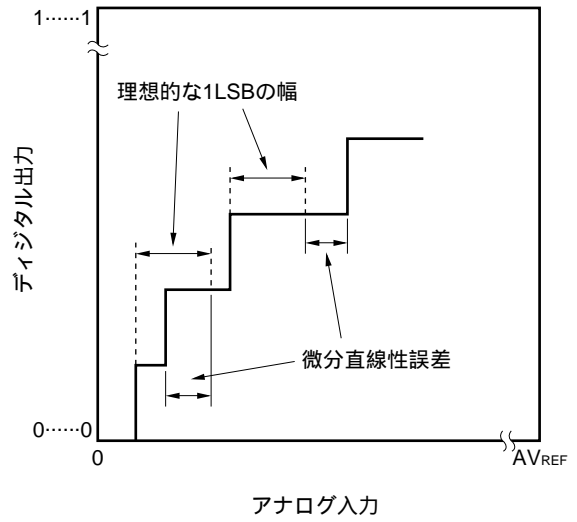


図13 - 20 微分直線性誤差

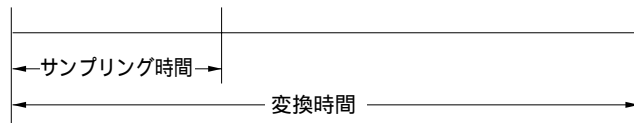


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



13.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット6 (ADIF) をクリア (0) してから、動作開始してください。

(2) ANI0-ANI15入力範囲について

ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI0-ANI15端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-21のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

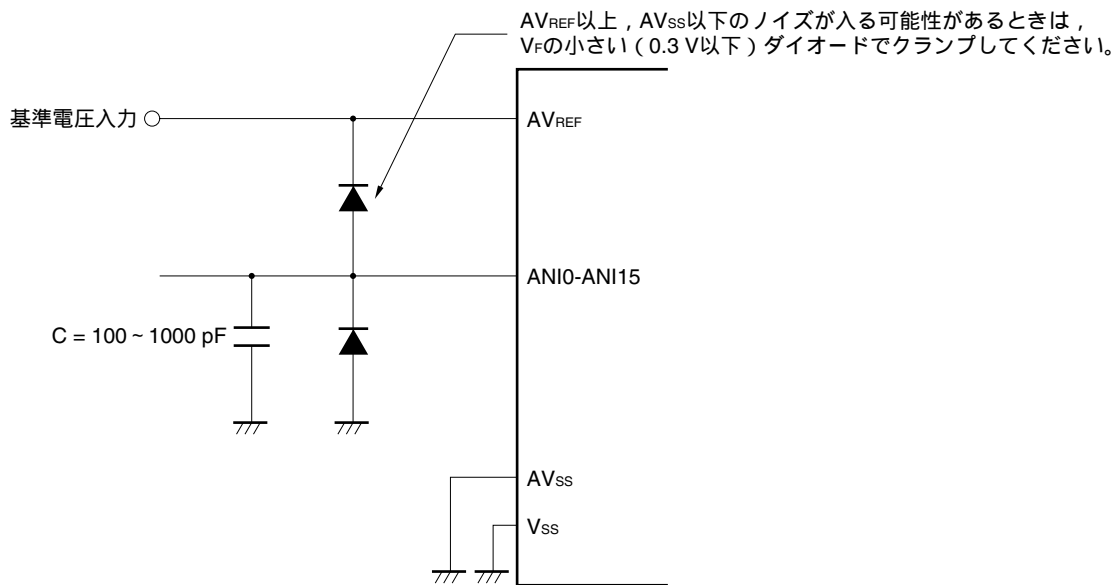
備考 ANI0-ANI7端子 : 78K0/FC2の44ピン製品

ANI0-ANI8端子 : 78K0/FC2の48ピン製品

ANI0-ANI11端子 : 78K0/FE2

ANI0-ANI15端子 : 78K0/FF2

図13 - 21 アナログ入力端子の処理



(5) P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15

アナログ入力 (ANI0-ANI15) 端子は入力ポート (P80-P87, P90-P97) 端子と兼用になっています。

ANI0-ANI15のいずれかを選択してA/D変換をする場合, 変換中にP80-P87, P90-P97に対してアクセスしないでください。変換分解能が低下することがあります。またP80-P87, P90-P97として使用する端子の選択は, AV_{REF}から最も遠いP80/ANI0より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI15端子の入力インピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを10 kΩ以下にし, 出力インピーダンスが高いときはANI0-ANI15端子に100 pF程度のコンデンサを付けることを推奨します (図13 - 21参照)。

備考	ANI0-ANI7端子	: 78K0/FC2の44ピン製品
	ANI0-ANI8端子	: 78K0/FC2の48ピン製品
	ANI0-ANI11端子	: 78K0/FE2
	ANI0-ANI15端子	: 78K0/FF2

(7) AVREF端子の入力インピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

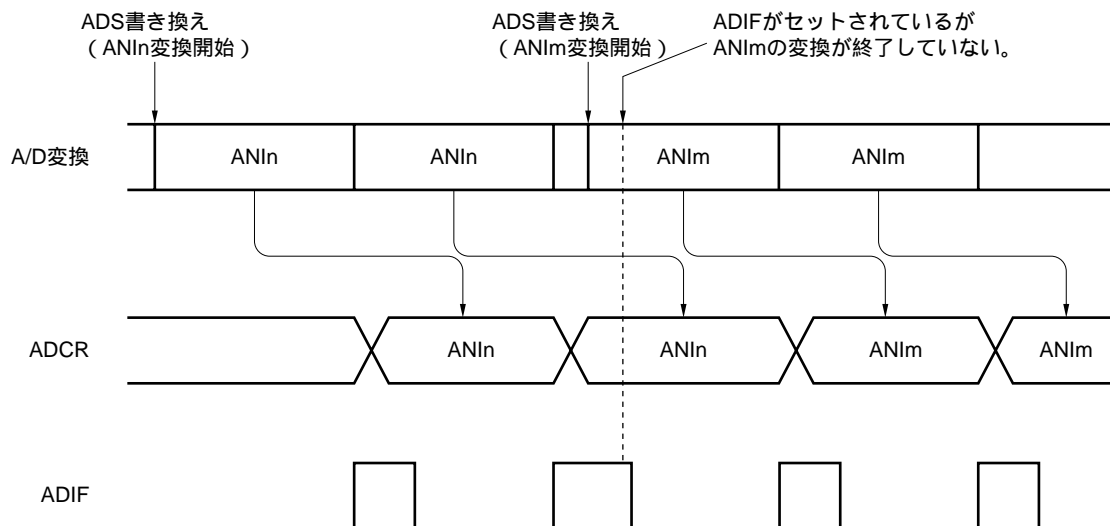
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図13 - 22 A/D変換終了割り込み要求発生タイミング



備考1. 78K0/FC2の44ピン製品 : n = 0-7, 78K0/FC2の48ピン製品 : n = 0-8, 78K0/FE2 : n = 0-11, 78K0/FF2 : n = 0-15

2. 78K0/FC2の44ピン製品 : m = 0-7, 78K0/FC2の48ピン製品 : m = 0-8, 78K0/FE2 : m = 0-11, 78K0/FF2 : m = 0-15

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCR, ADCRHの内容は不定となることがあります。変換結果は , 変換動作終了後 , ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは , 正しい変換結果が読み出されないことがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図13 - 23 ANIn端子内部等価回路

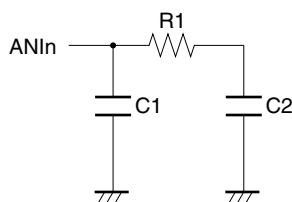


表13 - 4 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R1	C1	C2
4.0 V AV_{REF} 5.5 V	8.1 k Ω	8 pF	5 pF
2.7 V $AV_{REF} < 4.0$ V	31 k Ω	8 pF	5 pF
2.3 V $AV_{REF} < 2.7$ V	381 k Ω	8 pF	5 pF

備考1 . 表13 - 4の各抵抗と容量値は保証値ではありません。

2 . 78K0/FC2の44ピン製品 : n = 0-7, 78K0/FC2の48ピン製品 : n = 0-8, 78K0/FE2 : n = 0-11, 78K0/FF2 : n = 0-15

第14章 シリアル・インタフェースUART60, UART61

14.1 シリアル・インタフェースUART60, UART61の機能

シリアル・インタフェースUART60, UART61は、78K0/Fx2マイクロコントローラ的全製品に搭載されています。シリアル・インタフェースUART60, UART61には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については14.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) -bus対応のUARTモードです。機能の概要を次に示します。

詳細については14.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**, 14.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：625 kbps
- ・2端子構成 TxD6n：送信データの出力端子
RxD6n：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・動作クロックは、12本のクロック入力選択可能
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

- 注意 1.** TxD6n出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6n出力反転機能を使用する場合、相手側も反転レベルで受信してください。
- 2.** シリアル・インタフェースUART60, UART61への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART60, UART61への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6n端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6n = 0, RXE6n = 0, TXE6n = 0として、回路をリセットしてください。
- 3.** 通信開始する場合、POWER6n = 1に設定後、TXE6n = 1 (送信) またはRXE6n = 1 (受信) に設定してください。

- 注意4. TXE6nとRXE6nは、CKSR6nで設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
- TXE6n = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6nに送信データを設定してください。
 - 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考1. LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1 ~ 20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

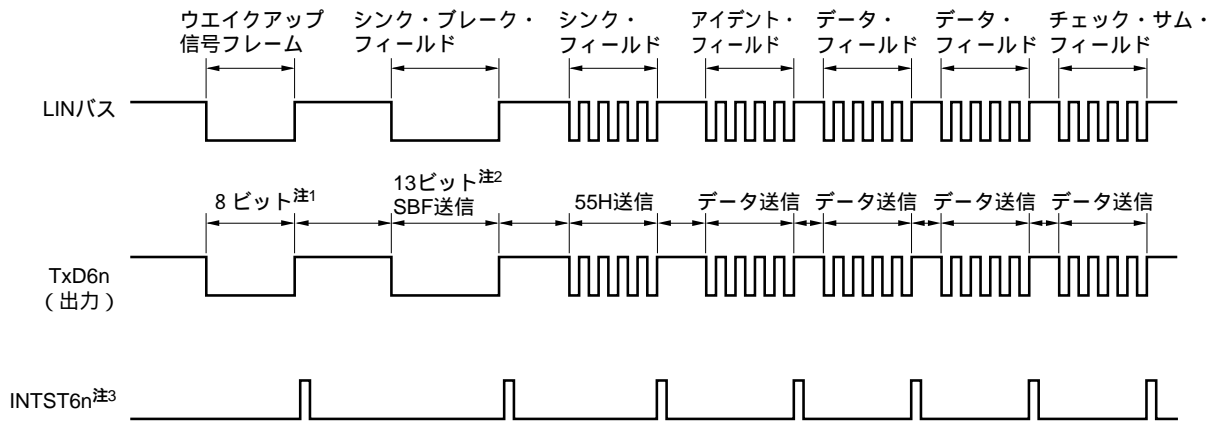
また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

- $n = 0, 1$

LINの送信操作と受信操作の概略を、図14 - 1, 14 - 2に示します。

図14 - 1 LINの送信操作



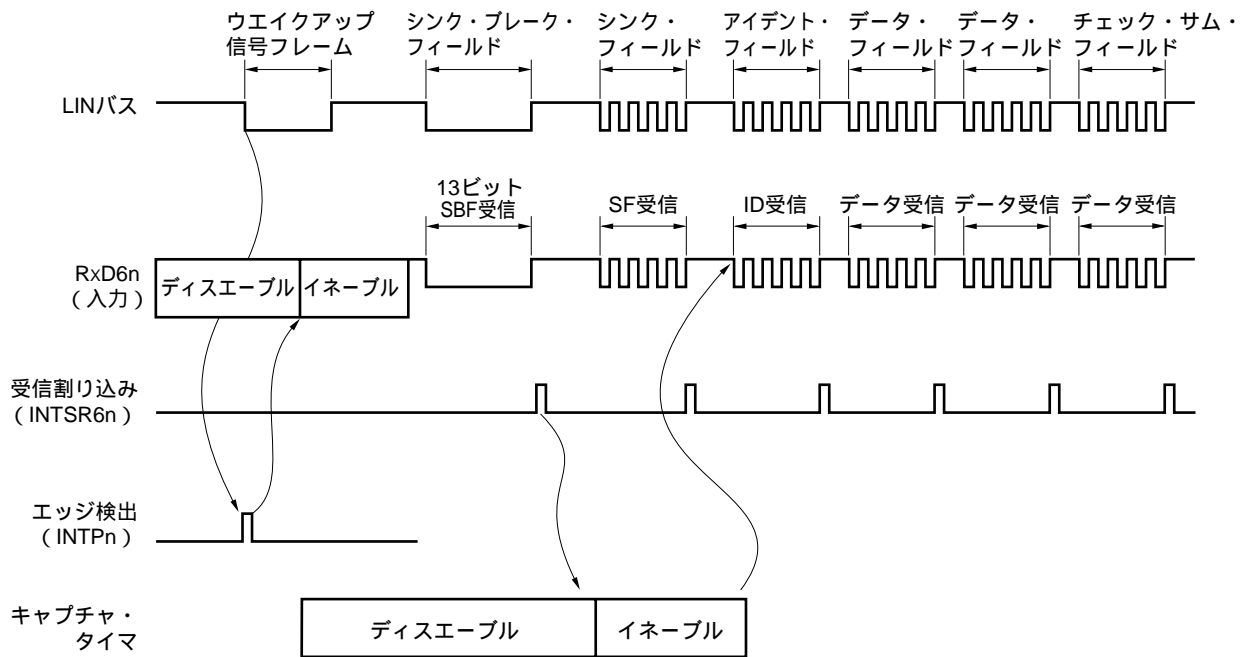
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット4-2 (SBL62n-SBL60n) で設定したビット長になります。さらに細かい出力幅調整が必要な場合は、ポーレート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) で調整してください (14.4.2 (2) (h) SBF送信を参照)。
3. 各送信終了時にはINTST6nを出力します。またSBF送信時もINTST6nを出力します。

備考1. 各フィールド間の間隔はソフトウェアで制御します。

2. $n = 0, 1$

図14 - 2 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6nをイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ/イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（7.4.3 **パルス幅測定としての動作**を参照）。また、OVE6n, PE6n, FE6nの各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6nのデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からボー・レート誤差を算出し、SF受信後にUART6nのイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) を再セットしてください。

チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6nを初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

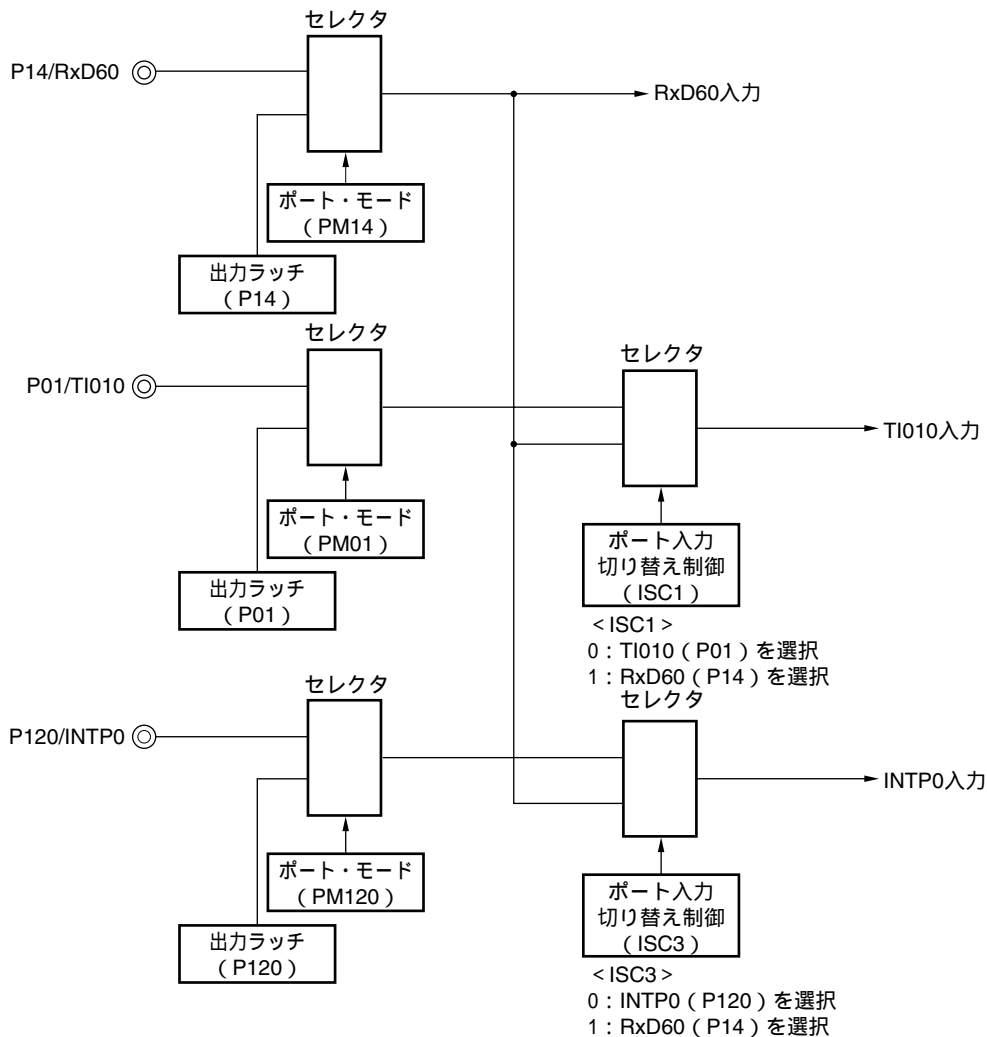
備考 n = 0, 1

LINの受信操作を行う場合は図14 - 3 ~ 14 - 5のような構成となります。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み (INTP0, INTP1) のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00, 01の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC) により、外部でRxD60, RxD61とINTP0, INTP1, TI001, TI010の結線をせずに、受信用ポート入力 (RxD60, RxD61) の入力ソースを外部割り込み (INTP0, INTP1) および16ビット・タイマ/イベント・カウンタ00, 01へ入力することができます。

図14 - 3 LINの受信操作のポート構成図 (UART60)



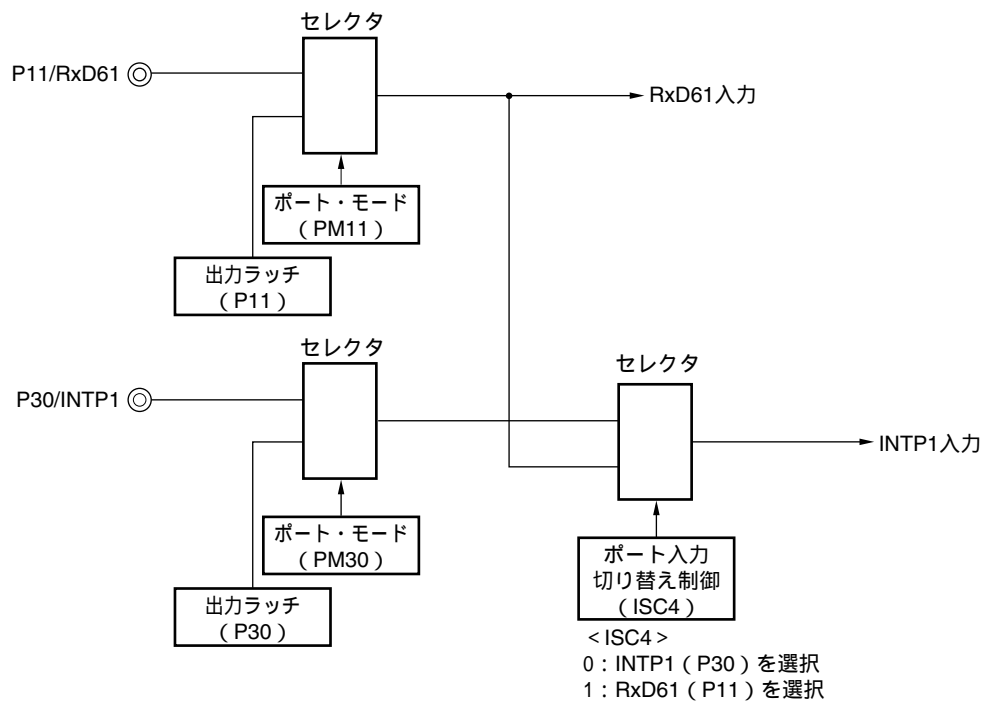
備考 ISC1, ISC3 : 入力切り替え制御レジスタ (ISC) のビット1, 3 (図14 - 20参照)

LIN通信動作で使用する周辺機能を次に示します。

< 使用する周辺機能 >

- ・ 外部割り込み (INTP0) ; ウエイクアップ信号検出
用途 : ウエイクアップ信号のエッジを検出し、通信開始を検出
- ・ 16ビット・タイマ/イベント・カウンタ00 (TI010) ; ボー・レート誤差検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (TI010 入力エッジの間隔をキャプチャ・モードで測定)
- ・ シリアル・インタフェースUART60

図13 - 4 LINの受信操作のポート構成図：78K0/FC2 (UART61)



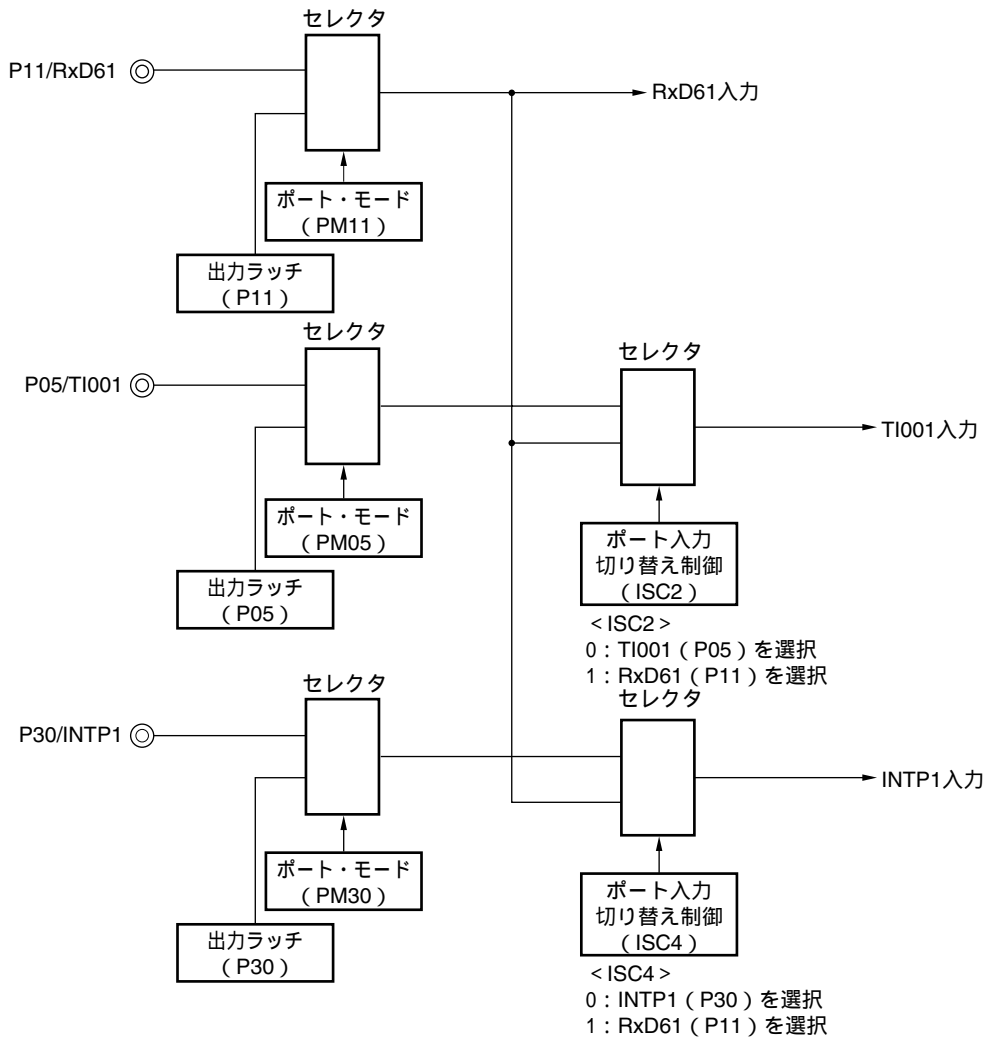
備考 ISC4 : 入力切り替え制御レジスタ (ISC) のビット4 (図13 - 20参照)

LIN通信動作で使用する周辺機能を次に示します。

< 使用する周辺機能 >

- ・外部割り込み (INTP1) ; ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・シリアル・インタフェースUART61

図14 - 5 LINの受信操作のポート構成図 : 78K0/FE2, 78K0/FF2 (UART61)



備考 ISC2, ISC4 : 入力切り替え制御レジスタ (ISC) のビット2, 4 (図14 - 20参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP1) ; ウェイクアップ信号検出
 用途 : ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・16ビット・タイマ/イベント・カウンタ00 (TI001) ; ボー・レート誤差検出
 用途 : シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI001
 入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・インタフェースUART61

14.2 シリアル・インタフェースUART60, UART61の構成

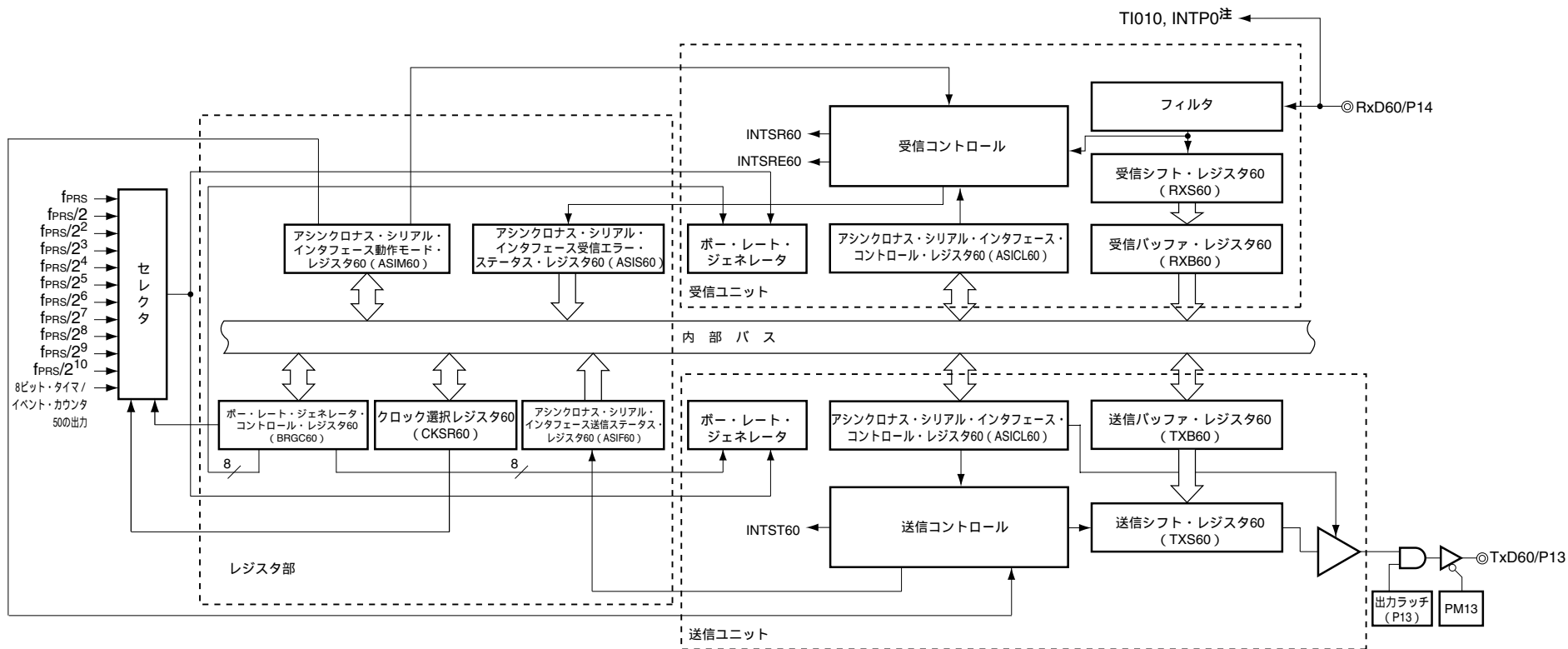
シリアル・インタフェースUART60, UART61は、次のハードウェアで構成しています。

表14 - 1 シリアル・インタフェースUART60, UART61の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6n (RXB6n) 受信シフト・レジスタ6n (RXS6n) 送信バッファ・レジスタ6n (TXB6n) 送信シフト・レジスタ6n (TXS6n)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) クロック選択レジスタ6n (CKSR6n) ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

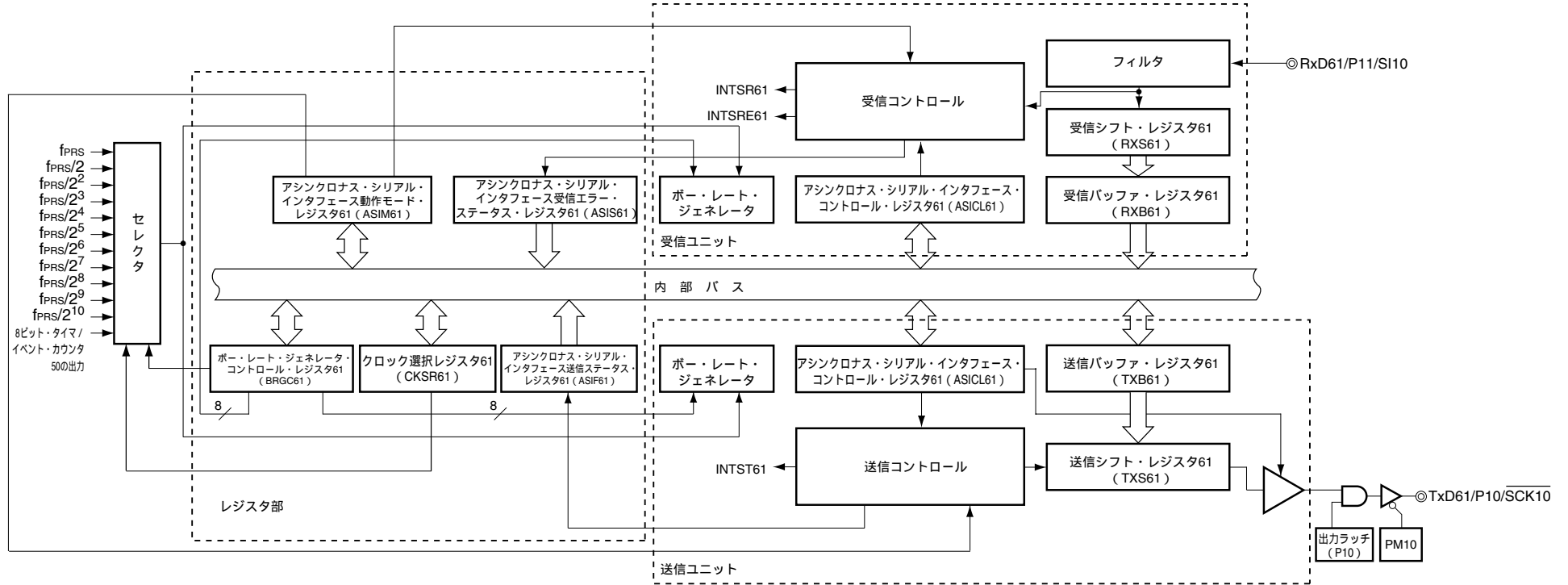
備考 n = 0, 1

図14 - 6 シリアル・インタフェースUART60のブロック図



注 入力切り替え制御レジスタ (ISC) にて選択可能。

図14-7 シリアル・インタフェースUART61のブロック図



(1) 受信バッファ・レジスタ6n (RXB6n)

受信シフト・レジスタ6n (RXS6n) で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとにRXS6nから新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6nのビット0-6に転送され、RXB6nのMSBは必ず0になります。
- ・MSBファースト受信時では、受信データはRXB6nのビット1-7に転送され、RXB6nのLSBは必ず0になります。

オーバラン・エラー (OVE6n) が発生した場合、そのときの受信データはRXB6nには転送されません。

RXB6nは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6n (RXS6n)

RxD6n端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6nはプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6n (TXB6n)

送信データを設定する、バッファ・レジスタです。TXB6nへ送信データを書き込むことにより、送信動作が開始されます。

TXB6nは8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

- 注意 1.** アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) のビット1 (TXBF6n) が1のとき、TXB6nにデータを書き込まないでください。
- 2.** 通信動作中(アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでTXB6nへのリフレッシュ (同値書き込み) 動作を行わないでください。
- 3.** TXE6n = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6nに送信データを設定してください。

(4) 送信シフト・レジスタ6n (TXS6n)

TXB6nから転送されたデータをシリアル・データとしてTxD6n端子から送信します。TXB6nからのデータ転送は、最初の送信時ではTXB6nの書き込み直後、連続送信時では1フレーム送信後のINTST6n発生直前のタイミングで転送されます。またTXB6nからのデータ転送とTxD6n端子からの送信は、基本クロックの立ち下がりのタイミングで行われます。

TXS6nはプログラムで直接操作できません。

備考 n = 0, 1

14.3 シリアル・インタフェースUART60, UART61を制御するレジスタ

シリアル・インタフェースUART60, UART61は、次の9種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)
- ・クロック選択レジスタ6n (CKSR6n)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)
- ・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)

シリアル・インタフェースUART60, UART61のシリアル通信動作を制御する8ビット・レジスタです。ASIM6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、01Hになります。

- 備考1.** 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASIM6nへのリフレッシュ (同値書き込み) 動作を行うことができます。
2. n = 0, 1

図14 - 8 アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のフォーマット (1/2)

アドレス : FF50H リセット値 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM60	POWER60	TXE60	RXE60	PS610	PS600	CL60	SL60	ISRM60

POWER60	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE60	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE60	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

- 注1. 送信中にPOWER60 = 0にすると, TxD60端子の出力はハイ・レベルに固定されます (TXDLV60 = 0の場合)。また, RxD60端子からの入力もハイ・レベルに固定されます。
- 注2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60), アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット7 (SBRF60) とビット6 (SBRT60), 受信バッファ・レジスタ60 (RXB60) です。

図14 - 8 アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のフォーマット (2/2)

PS610	PS600	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL60	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL60	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM60	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSRE60” が発生 (このときINTSR60は発生しない)
1	エラー発生時の割り込みに “INTSR60” が発生 (このときINTSRE60は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) のビット2 (PE60) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER60 = 1にしてから、TXE60 = 1としてください。送信停止するときにはTXE60 = 0にしてから、POWER60 = 0としてください。
2. 受信開始するときはPOWER60 = 1にしてから、RXE60 = 1としてください。受信停止するときにはRXE60 = 0にしてから、POWER60 = 0としてください。
3. RxD60端子にハイ・レベルが入力された状態でPOWER60 = 1 RXE60 = 1と設定してください。ロウ・レベルのときにPOWER60 = 1 RXE60 = 1と設定すると、受信を開始してしまいます。
4. TXE60とRXE60は、CKSR60で設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE60 = 0またはRXE60 = 0に設定してから基本クロック2クロック以内にTXE60 = 1またはRXE60 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE60 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待つから、TXB60に送信データを設定してください。
6. PS610, PS600, CL60ビットを書き換えるときは、TXE60, RXE60ビットをクリア (0) してから行ってください。
7. LIN通信動作で使用する場合、PS610, PS600ビットを0に固定してください。
8. SL60ビットを書き換えるときは、TXE60をクリア (0) してから行ってください。また、受信は常に “ストップ・ビット数 = 1” として動作するので、SL60ビットの設定値の影響は受けません。
9. ISRM60ビットを書き換えるときは、RXE60 = 0にしてから行ってください。

図14 - 9 アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のフォーマット (1/2)

アドレス : FF2EH リセット値 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM61	POWER61	TXE61	RXE61	PS611	PS601	CL61	SL61	ISRM61

POWER61	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE61	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE61	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

- 注1. 送信中にPOWER61 = 0にすると, TxD61端子の出力はハイ・レベルに固定されます (TXDLV61 = 0の場合)。また, RxD61端子からの入力もハイ・レベルに固定されます。
2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61 (ASIF61), アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) のビット7 (SBRF61) とビット6 (SBRT61), 受信バッファ・レジスタ61 (RXB61) です。

図14 - 9 アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のフォーマット (2/2)

PS611	PS601	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL61	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL61	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM61	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSRE61” が発生 (このときINTSR61は発生しない)
1	エラー発生時の割り込みに “INTSR61” が発生 (このときINTSRE61は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61) のビット2 (PE61) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER61 = 1にしてから、TXE61 = 1としてください。送信停止するときにはTXE61 = 0にしてから、POWER61 = 0としてください。
2. 受信開始するときはPOWER61 = 1にしてから、RXE61 = 1としてください。受信停止するときにはRXE61 = 0にしてから、POWER61 = 0としてください。
3. RxD61端子にハイ・レベルが入力された状態でPOWER61 = 1 RXE61 = 1と設定してください。ロウ・レベルのときにPOWER61 = 1 RXE61 = 1と設定すると、受信を開始してしまいます。
4. TXE61とRXE61は、CKSR61で設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE61 = 0またはRXE61 = 0に設定してから基本クロック2クロック以内にTXE61 = 1またはRXE61 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE61 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待つから、TXB61に送信データを設定してください。
6. PS611, PS601, CL61ビットを書き換えるときは、TXE61, RXE61ビットをクリア (0) してから行ってください。
7. LIN通信動作で使用する場合、PS611, PS601ビットを0に固定してください。
8. SL61ビットを書き換えるときは、TXE61をクリア (0) してから行ってください。また、受信は常に “ストップ・ビット数 = 1” として動作するので、SL61ビットの設定値の影響は受けません。
9. ISRM61ビットを書き換えるときは、RXE61 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)

シリアル・インタフェースUART60, UART61の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6n, FE6n, OVE6n) で構成されています。

ASIS6nは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6nのビット7 (POWER6n) = 0, ビット5 (RXE6n) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6nを読み出したあと, 受信バッファ・レジスタ6n (RXB6n) を読み出し, エラー・フラグをクリアしてください。

備考 n = 0, 1

図14 - 10 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) のフォーマット

アドレス : FF53H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS60	0	0	0	0	0	PE60	FE60	OVE60

PE60	パリティ・エラーを示すステータス・フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき, または, ASIS60レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE60	フレーミング・エラーを示すステータス・フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき, または, ASIS60レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE60	オーバラン・エラーを示すステータス・フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき, または, ASIS60レジスタのリード
1	RXB60レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE60ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のPS610, PS600ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ60 (RXB60) には書き込まれず, データは破棄されます。
 4. ASIS60からデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ高速システム・クロックが停止しているときに, ASIS60からデータを読み出さないでください。詳細は, 第31章 ウェイトに関する注意事項を参照してください。

図14 - 11 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61) のフォーマット

アドレス : FF2FH リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS61	0	0	0	0	0	PE61	FE61	OVE61

PE61	パリティ・エラーを示すステータス・フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき、または、ASIS61レジスタのリード
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき

FE61	フレーミング・エラーを示すステータス・フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき、または、ASIS61レジスタのリード
1	受信完了時、ストップ・ビットが検出されないとき

OVE61	オーバラン・エラーを示すステータス・フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき、または、ASIS61レジスタのリード
1	RXB61レジスタに受信データがセットされ、それを読み出す前に次の受信動作が完了したとき

- 注意1. PE61ビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) のPS611, PS601ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ61 (RXB61) には書き込まれず、データは破棄されます。
 4. ASIS61からデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ高速システム・クロックが停止しているときに、ASIS61からデータを読み出さないでください。詳細は、第31章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)

シリアル・インタフェースUART60, UART61の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6n, TXSF6n) で構成されています。

TXB6nレジスタからTXS6nレジスタへデータが転送されたあとに、次のデータをTXB6nレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6nは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6nのビット7 (POWER6n) = 0, ビット6 (TXE6n) = 0により、00Hになります。

備考 n = 0, 1

図14 - 12 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60) のフォーマット

アドレス : FF55H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF60	0	0	0	0	0	0	TXBF60	TXSF60

TXBF60	送信バッファ・データ・フラグ
0	POWER60 = 0またはTXE60 = 0に設定したとき、または、送信シフト・レジスタ60 (TXS60) にデータを転送したとき
1	送信バッファ・レジスタ60 (TXB60) にデータを書き込んだとき (TXB60にデータが存在するとき)

TXSF60	送信シフト・レジスタ・データ・フラグ
0	POWER60 = 0またはTXE60 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ60 (TXB60) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ60 (TXB60) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB60レジスタに書き込んだあと、必ずTXBF60フラグが “0” であることを確認してから次の送信データ (2バイト目) をTXB60レジスタに書き込んでください。TXBF60フラグが “1” のときにTXB60レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF60フラグが “0” であることを確認してから初期化を実行してください。TXSF60フラグが “1” のときに初期化を実行した場合の送信データは保証できません。

図14 - 13 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61 (ASIF61) のフォーマット

アドレス : FF38H リセット値 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF61	0	0	0	0	0	0	TXBF61	TXSF61

TXBF61	送信バッファ・データ・フラグ
0	POWER61 = 0またはTXE61 = 0に設定したとき、または、送信シフト・レジスタ61 (TXS61) にデータを転送したとき
1	送信バッファ・レジスタ61 (TXB61) にデータを書き込んだとき (TXB61にデータが存在するとき)

TXSF61	送信シフト・レジスタ・データ・フラグ
0	POWER61 = 0またはTXE61 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ61 (TXB61) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ61 (TXB61) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB61レジスタに書き込んだあと、必ずTXBF61フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB61レジスタに書き込んでください。TXBF61フラグが“1”のときにTXB61レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF61フラグが“0”であることを確認してから初期化を実行してください。TXSF61フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6n (CKSR6n)

シリアル・インタフェースUART60, UART61の基本クロックを選択するレジスタです。

CKSR6nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考1. 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでCKSR6nへのリフレッシュ動作 (同値書き込み) を行うことができます。

2. n = 0, 1

図14 - 14 クロック選択レジスタ60 (CKSR60) のフォーマット

アドレス : FF56H リセット値 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR60	0	0	0	0	TPS630	TPS620	TPS610	TPS600

TPS630	TPS620	TPS610	TPS600	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 4 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	4 MHz	5 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	0	0	1	f _{PRS} /2	2 MHz	2.5 MHz	5 MHz	10 MHz ^{注3}
0	0	1	0	f _{PRS} /2 ²	1 MHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	500 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	250 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	125 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	62.5 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	31.25 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	15.625 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f _{PRS} /2 ⁹	7.813 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	3.906 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注5}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V ((A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS630 = TPS620 = TPS610 = TPS600 = 0 (基本クロック : f_{PRS}) は設定禁止です。
- 2.7 V V_{DD} 5.5 Vの場合のみ設定可能です。
- 4.0 V V_{DD} 5.5 Vの場合のみ設定可能です。
- TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
 タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード (TMC506 = 1)
 デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

注意 TPS630-TPS600を書き換える場合は、POWER60 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
 TMC501 : TMC50のビット1

図14 - 15 クロック選択レジスタ61 (CKSR61) のフォーマット

アドレス : FF39H リセット値 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR61	0	0	0	0	TPS631	TPS621	TPS611	TPS601

TPS631	TPS621	TPS611	TPS601	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 4 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS} ^{注2}	4 MHz	5 MHz	10 MHz ^{注3}	20 MHz ^{注4}
0	0	0	1	f _{PRS} /2	2 MHz	2.5 MHz	5 MHz	10 MHz ^{注3}
0	0	1	0	f _{PRS} /2 ²	1 MHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	500 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	250 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	125 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	62.5 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	31.25 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	f _{PRS} /2 ⁸	15.625 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	f _{PRS} /2 ⁹	7.813 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	3.906 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注5}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V ((A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

- 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS631 = TPS621 = TPS611 = TPS601 = 0 (基本クロック : f_{PRS}) は設定禁止です。
- 2.7 V < V_{DD} < 5.5 Vの場合のみ設定可能です。
- 4.0 V < V_{DD} < 5.5 Vの場合のみ設定可能です。
- TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。
 - ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
 - タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・PWMモード (TMC506 = 1)
 - デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 どちらのモードの場合でも、TO50端子をタイマ出力許可する必要はありません。

注意 TPS631-TPS601を書き換える場合は、POWER61 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)

シリアル・インタフェースUART60, UART61の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6nは、8ビット・メモリ操作命令で設定します。

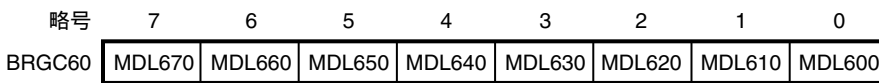
リセット信号の発生により、FFHになります。

備考1. 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでBRGC6nへのリフレッシュ動作 (同値書き込み) を行うことができます。

2. n = 0, 1

図14 - 16 ポー・レート・ジェネレータ・コントロール・レジスタ60 (BRGC60) のフォーマット

アドレス : FF57H リセット値 : FFH R/W



MDL670	MDL660	MDL650	MDL640	MDL630	MDL620	MDL610	MDL600	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
.
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL670-MDL600ビットを書き換える場合は、ASIM60レジスタのビット6 (TXE60) = 0、ビット5 (RXE60) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

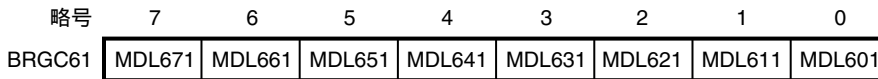
備考1. f_{XCLK6} : CKSR60レジスタのTPS630-TPS600ビットで選択した基本クロックの周波数

2. k : MDL670-MDL600ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. x : 任意

図14 - 17 ポー・レート・ジェネレータ・コントロール・レジスタ61 (BRGC61) のフォーマット

アドレス : FF3EH リセット値 : FFH R/W



MLD671	MLD661	MLD651	MLD641	MLD631	MLD621	MLD611	MLD601	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
.
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL671-MDL601ビットを書き換える場合は、ASIM61レジスタのビット6 (TXE61) = 0、ビット5 (RXE61) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK6} : CKSR61レジスタのTPS631-TPS601ビットで選択した基本クロックの周波数

2. k : MDL671-MDL601ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)

シリアル・インタフェースUART60, UART61のシリアル通信動作を制御するレジスタです。

ASICL6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

注意 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASICL6nへのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、SBF受信 (SBRF6n = 1) またはSBF送信 (SBTT6n) をセット (1) 後からINTST6n発生までの間に、リフレッシュ動作でSBRT6n = 1, SBTT6n = 1 に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

備考 n = 0, 1

図14 - 18 アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のフォーマット (1/2)

アドレス : FF58H リセット値 : 16H R/W注

略号	7	6	5	4	3	2	1	0
ASICL60	SBRF60	SBRT60	SBTT60	SBL620	SBL610	SBL600	DIR60	TXDLV60

SBRF60	SBF受信状態フラグ
0	POWER60 = 0およびRXE60 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信

SBRT60	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT60	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図14 - 18 アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のフォーマット
(2/2)

SBL620	SBL610	SBL600	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR60	先頭ビットの指定
0	MSB
1	LSB

TXDLV60	TxD6n出力反転許可 / 禁止
0	TxD60通常出力
1	TxD60反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF60フラグの状態は保持(1)されます。
- SBRT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット5 (RXE60) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT60ビットをクリア(0)しないでください。
 - SBRT60ビットのリード値は常に0です。SBF受信正常終了後、SBRT60は自動的にクリア(0)されます。
 - SBTT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット6 (TXE60) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT60ビットをクリア(0)しないでください。
 - SBTT60ビットのリード値は常に0です。SBF送信終了後、SBTT60は自動的にクリア(0)されます。
 - SBRT60ビットは受信動作中に、SBTT60ビットは送信動作中に、セット(1)しないでください。
 - DIR60, TXDLV60ビットを書き換えるときは、TXE60, RXE60ビットをクリア(0)にしてから行ってください。
 - TXDLV60ビットを1(TxD60反転出力)に設定している場合、POWER60, TXE60の設定に関係なく、TxD60/P13端子を汎用ポートとして使用することはできません。TxD60/P13端子を汎用ポートとして使用する場合は、TXDLV60ビットを0(TxD60通常出力)に設定してください。

図14 - 19 アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) のフォーマット
(1/2)

アドレス : FF3FH リセット値 : 16H R/W^注

略号	[7]	[6]	5	4	3	2	1	0
ASICL61	SBRF61	SBRT61	SBTT61	SBL621	SBL611	SBL601	DIR61	TXDLV61

SBRF61	SBF受信状態フラグ
0	POWER61 = 0およびRXE61 = 0に設定したとき, またはSBF受信が正常終了したとき
1	SBF受信中

SBRT61	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT61	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図14 - 19 アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) のフォーマット
(2/2)

SBL621	SBL611	SBL601	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR61	先頭ビットの指定
0	MSB
1	LSB

TXDLV61	TxD6n出力反転許可 / 禁止
0	TxD61通常出力
1	TxD61反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF61フラグの状態は保持(1)されます。
- SBRT61ビットは、ASIM61のビット7 (POWER61) = 1, かつビット5 (RXE61) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT61ビットをクリア(0)しないでください。
 - SBRT61ビットのリード値は常に0です。SBF受信正常終了後、SBRT61は自動的にクリア(0)されます。
 - SBTT61ビットは、ASIM61のビット7 (POWER61) = 1, かつビット6 (TXE61) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT61ビットをクリア(0)しないでください。
 - SBTT61ビットのリード値は常に0です。SBF送信終了後、SBTT61は自動的にクリア(0)されます。
 - SBRT61ビットは受信動作中に、SBTT61ビットは送信動作中に、セット(1)しないでください。
 - DIR61, TXDLV61ビットを書き換えるときは、TXE61, RXE61ビットをクリア(0)にしてから行ってください。
 - TXDLV61ビットを1(TxD61反転出力)に設定している場合、POWER61, TXE61の設定に関係なく、TxD61/SCK10/P10端子を汎用ポートとして使用することはできません。TxD61/SCK10/P10端子を汎用ポートとして使用する場合は、TXDLV61ビットを0(TxD61通常出力)に設定してください。

(7) 入力切り替え制御レジスタ (ISC)

LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。ISCの設定により、入力ソースを切り替えることができます。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 20 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	0	0	ISC4	ISC3	ISC2 ^注	ISC1	ISC0

ISC7	割り込みソースの選択	
0	INTWTI	
1	INTDMU	

ISC4	INTP1入力ソースの選択	
0	INTP1 (P30)	
1	RxD61 (P11)	

ISC3	INTP0入力ソースの選択	
0	INTP0 (P120)	
1	RxD60 (P14)	

ISC2 ^注	TI001入力ソースの選択	
0	TI001 (P05)	
1	RxD61 (P11)	

ISC1	TI010入力ソースの選択	
0	TI010 (P01)	
1	RxD60 (P14)	

ISC0	TI000入力ソースの選択	
0	TI000 (P00)	
1	TSOUT	

注 78K0/FC2では、必ず“0”に設定してください。

(8) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P13/TxD60, P10/SCK10/TxD61端子をシリアル・インタフェースのデータ出力として使用するとき, PM13, PM10に0を, P13, P10の出力ラッチに1を設定してください。

P14/RxD60, P11/SI10/RxD61端子をシリアル・インタフェースのデータ入力として使用するとき, PM14, PM11に1を設定してください。このときP14, P11の出力ラッチは, 0または1のどちらでもかまいません。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14 - 21 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

14.4 シリアル・インタフェースUART60, UART61の動作

シリアル・インタフェースUART60, UART61は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

14.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6nのビット7, 6, 5 (POWER6n, TXE6n, RXE6n) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) で行います。

ASIM6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H/FF2EH リセット値：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6n	POWER6n	TXE6n	RXE6n	PS61n	PS60n	CL6n	SL6n	ISRM6n

POWER6n	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6n	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6n	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. POWER6n = 0にすると、TxD6n端子の出力はハイ・レベルに固定されます (TXDLV6n = 0の場合)。また、RxD6n端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット7 (SBRF6n) とビット6 (SBRT6n), 受信バッファ・レジスタ6n (RXB6n) です。

注意 動作停止するときは、TXE6n = 0, RXE6n = 0にしてから、POWER6n = 0 にしてください。通信開始するときは、POWER6n = 1 にしてから、TXE6n = 1, RXE6n = 1にしてください。

備考1. RxD60/P14, RxD61/P11/SI10, TxD60/P13, TxD61/P10/SCK10端子を汎用ポートとして使用する場合は、第5章 ポート機能を参照してください。

2. n = 0, 1

14.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)
- ・ クロック選択レジスタ6n (CKSR6n)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1 (PM1)
- ・ ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6nレジスタを設定 (図14 - 14, 14 - 15を参照)

BRGC6nレジスタを設定 (図14 - 16, 14 - 17を参照)

ASIM6nレジスタのビット0-4 (ISRM6n, SL6n, CL6n, PS60n, PS61n) を設定 (図14 - 8, 14 - 9を参照)

ASICL6nレジスタのビット0, 1 (TXDLV6n, DIR6n) を設定 (図14 - 18, 14 - 19を参照)

ASIM6nレジスタのビット7 (POWER6n) をセット (1)

ASIM6nレジスタのビット6 (TXE6n) をセット (1) 送信可能

ASIM6nレジスタのビット5 (RXE6n) をセット (1) 受信可能

送信バッファ・レジスタ6n (TXB6n) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

備考 n = 0, 1

レジスタの設定と端子の関係を次に示します。

表14 - 2 レジスタの設定と端子の関係

(a) UART60

POWER6n	TXE6n	RXE6n	PM13	P13	PM14	P14	UART60 の動作	端子機能	
								TxD60/P13	RxD60/P14
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P13	P14
1	0	1	x ^注	x ^注	1	x	受信	P13	RxD60
	1	0	0	1	x ^注	x ^注	送信	TxD60	P14
	1	1	0	1	1	x	送受信	TxD60	RxD60

(b) UART61

POWER6n	TXE6n	RXE6n	PM10	P10	PM11	P11	UART61 の動作	端子機能	
								TxD61/P10/SCK11	RxD61/P11/SI10
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P10	P11
1	0	1	x ^注	x ^注	1	x	受信	P10	RxD61
	1	0	0	1	x ^注	x ^注	送信	TxD61	P11
	1	1	0	1	1	x	送受信	TxD61	RxD61

注 ポート機能として設定することができます。

備考 x : don't care

POWER6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7

TXE6n : ASIM6nのビット6

RXE6n : ASIM6nのビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出カラッチ

n = 0, 1

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

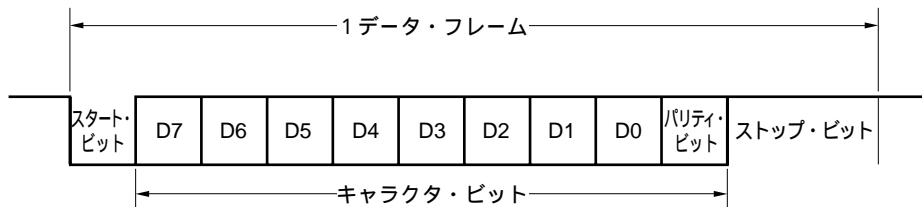
通常送受信データのフォーマットと波形例を図14 - 22, 14 - 23に示します。

図14 - 22 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット / 8ビット
- ・パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット / 2ビット

1データ・フレーム内のキャラクタ・ビット長の指定, パリティ選択, ストップ・ビット長の指定は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) によって行います。

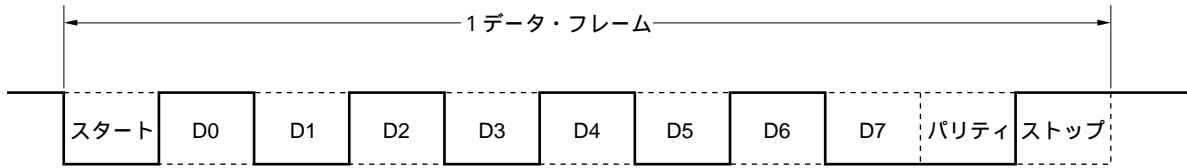
データはLSBファースト / MSBファーストをアシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット1 (DIR6n) で設定して通信します。

また, TxD6n端子の通常出力 / 反転出力をASICL6nのビット0 (TXDLV6n) で設定します。

備考 n = 0, 1

図14 - 23 通常UART送受信データの波形例

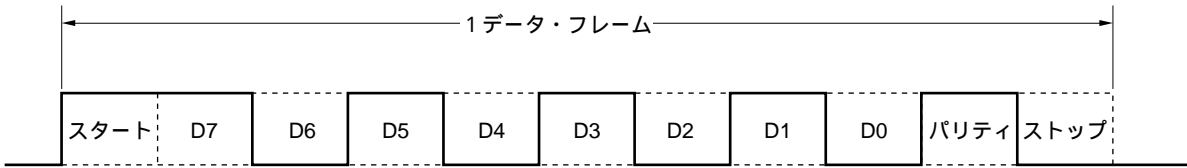
1. データ長：8ビット，LSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



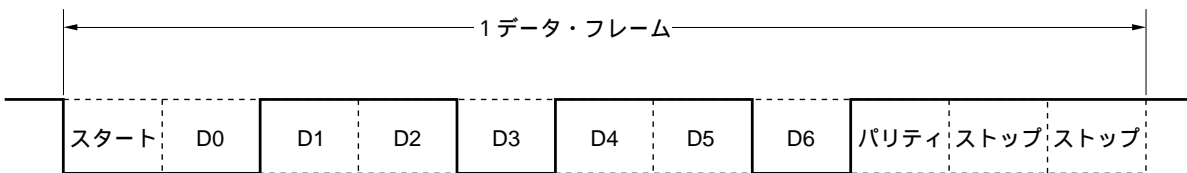
2. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



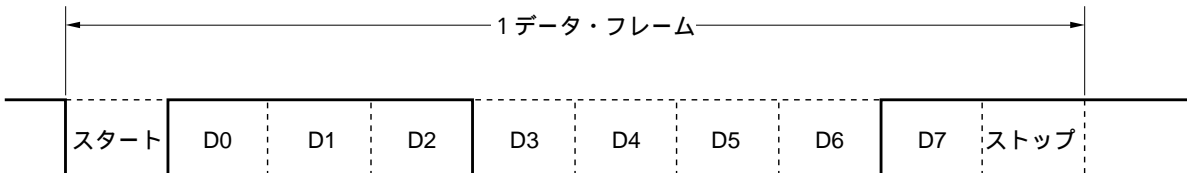
3. データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H, Tx D6n端子反転出力



4. データ長：7ビット，LSBファースト，パリティ：奇数パリティ，ストップ・ビット：2ビット，通信データ：36H



5. データ長：8ビット，LSBファースト，パリティ：パリティなし，ストップ・ビット：1ビット，通信データ：87H



備考 n = 0, 1

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61n, PS60nビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

備考 n = 0, 1

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し, 次にASIM6nのビット6 (TXE6n) をセット (1) すると送信許可状態になり, 送信バッファ・レジスタ6n (TXB6n) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

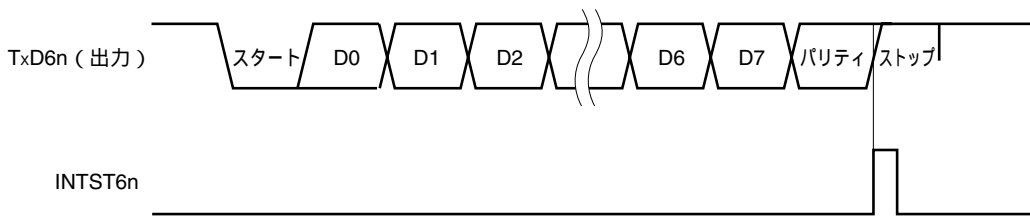
送信動作の開始により, TXB6n内のデータは送信シフト・レジスタ6n (TXS6n) に転送されます。その後, 送信データがTXS6nより順次, TxD6n端子に出力されます。送信が完了すると, ASIM6nで設定したパリティ・ビット, ストップ・ビットが付加され, 送信完了割り込み要求 (INTST6n) が発生します。

次に送信するデータをTXB6nに書き込むまで, 送信動作は中断します。

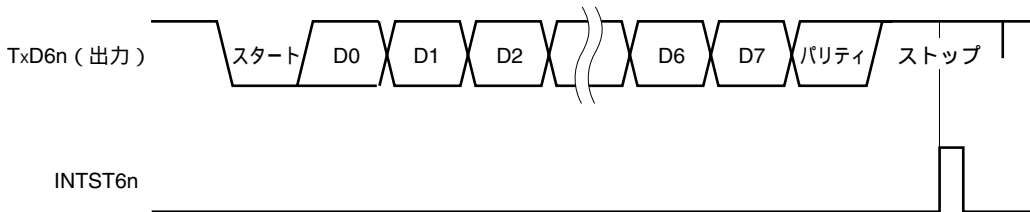
送信完了割り込み要求 (INTST6n) のタイミングを図14 - 24に示します。INTST6nは, 最後のストップ・ビット出力と同時に発生します。

図14 - 24 通常送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



備考 n = 0, 1

(d) 連続送信

送信シフト・レジスタ6n(TXS6n)がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6n(TXB6n)へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6n割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n(ASIF6n)のビット0(TXSF6n)を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回(2バイト)のTXB6nレジスタへの書き込みができます。

連続送信する場合は、必ずASIF6nレジスタを参照し、送信状態とTXB6nレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1. 連続送信でASIF6nレジスタのTXBF6n, TXSF6nフラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6n, TXSF6nフラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6nフラグのみを読み出してください。
2. LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n(ASIF6n)が00Hになっていることを確認してから、送信バッファ・レジスタ6n(TXB6n)に送信データを書き込んでください。

TXBF6n	TXB6nレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ(1バイト目)をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが“0”であることを確認してから次の送信データ(2バイト目)をTXB6nレジスタに書き込んでください。TXBF6nフラグが“1”のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF6nフラグで、通信状態を確認することができます。

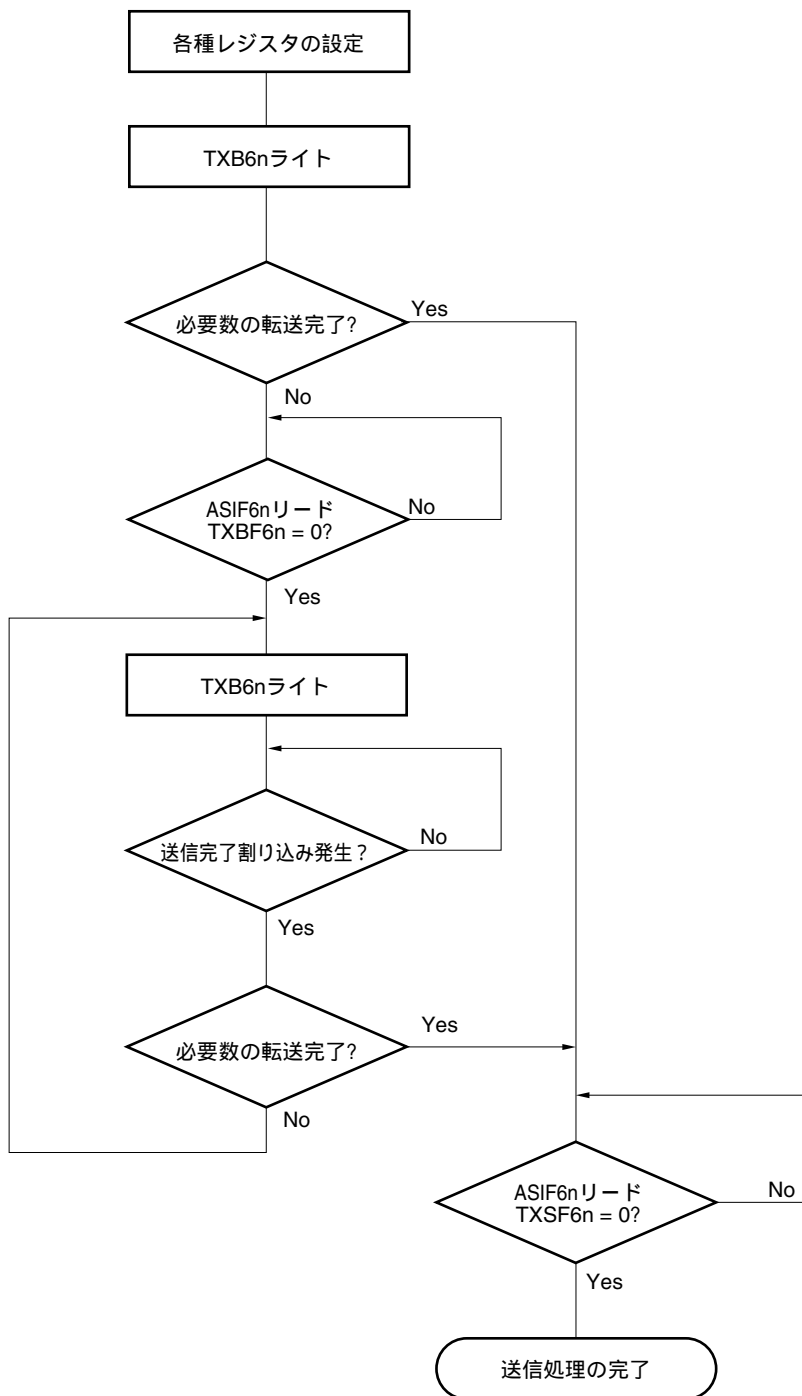
TXSF6n	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが“0”であることを確認してから初期化を実行してください。TXSF6nフラグが“1”のときに初期化を実行した場合の送信データは保証できません。
2. 連続送信時には、1データ・フレーム送信後のINTST6n割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6nフラグを参照することで検出できます。

備考 n = 0, 1

連続送信の処理フロー例を図14 - 25に示します。

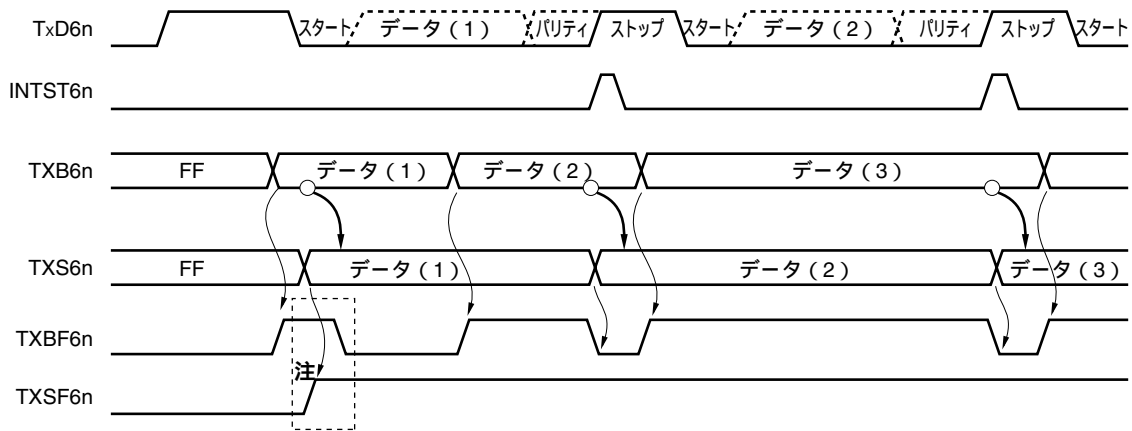
図14 - 25 連続送信の処理フロー例



- 備考** TXB6n : 送信バッファ・レジスタ6n
 ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n
 TXBF6n : ASIF6nのビット1 (送信バッファ・データ・フラグ)
 TXSF6n : ASIF6nのビット0 (送信シフト・レジスタ・データ・フラグ)
 n = 0, 1

連続送信を開始する際のタイミングを図14 - 26に，連続送信を終了する際のタイミングを図14 - 27に示します。

図14 - 26 連続送信を開始する際のタイミング



注 ASIF6nをリードした場合，TXBF6n, TXSF6n = 1, 1の期間が存在します。したがって，書き込み可否はTXBF6nビットのみで判断してください。

備考 TxD6n : TxD6n端子 (出力)

INTST6n : 割り込み要求信号

TXB6n : 送信バッファ・レジスタ6n

TXS6n : 送信シフト・レジスタ6n

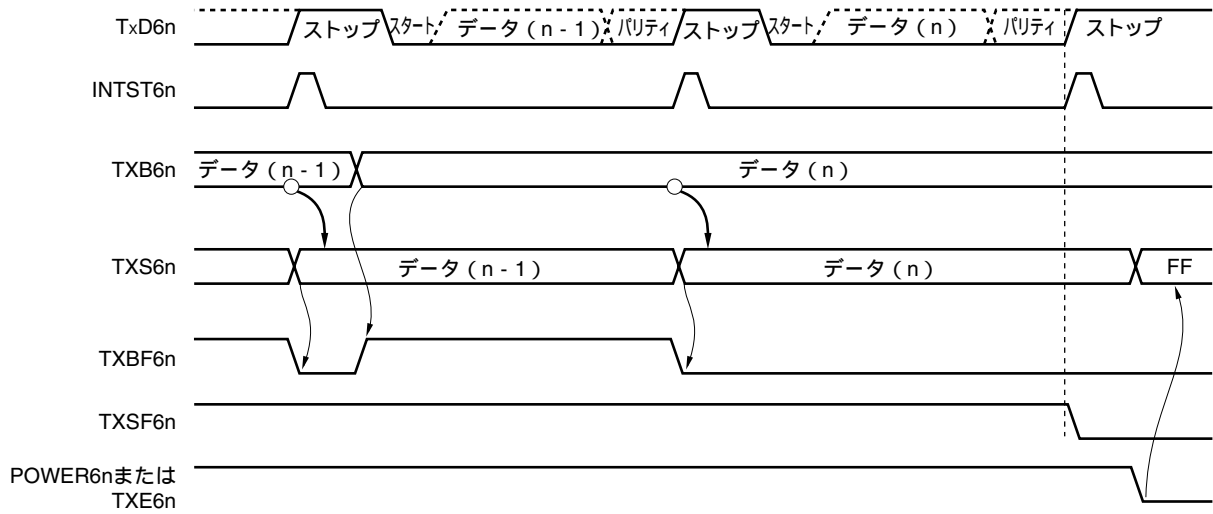
ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n

TXBF6n : ASIF6nのビット1

TXSF6n : ASIF6nのビット0

n = 0, 1

図14 - 27 連続送信を終了する際のタイミング



- 備考**
- TxD6n : TxD6n端子 (出力)
 - INTST6n : 割り込み要求信号
 - TXB6n : 送信バッファ・レジスタ6n
 - TXS6n : 送信シフト・レジスタ6n
 - ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n
 - TXBF6n : ASIF6nのビット1
 - TXSF6n : ASIF6nのビット0
 - POWER6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)のビット7
 - TXE6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)のビット6
- n = 0, 1

(e) 通常受信

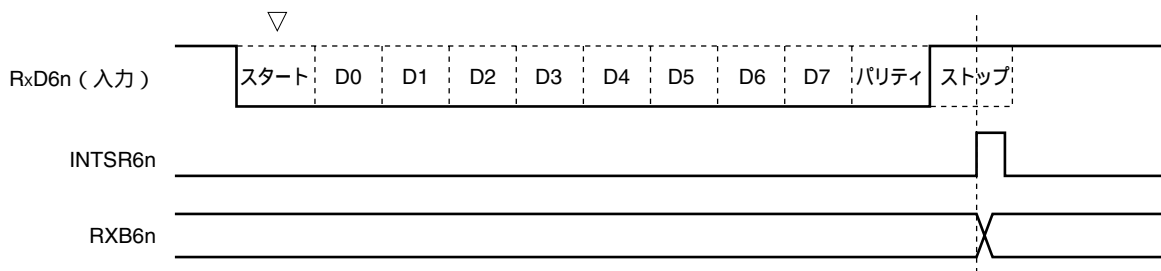
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット5 (RXE6n) をセット (1) すると受信許可状態となり、RxD6n端子入力のサンプリングを行います。

RxD6n端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの8ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) の設定値をカウントした時点で、再度RxD6n端子入力をサンプリング(図14-28の印に相当)した結果、RxD6n端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6n (RXS6n) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6n) を発生すると同時に、RXS6nのデータは受信バッファ・レジスタ6n (RXB6n) に書き込まれます。ただし、オーバラン・エラー (OVE6n) が発生した場合、そのときの受信データはRXB6nに書き込みません。

受信途中に、パリティ・エラー (PE6n) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み (INTSR6n/INTSRE6n) を発生します。

図14-28 受信完了割り込み要求タイミング



- 注意1.** 受信エラーが発生した場合は、ASIS6nを読み出したあと、RXB6nを読み出し、エラー・フラグをクリアしてください。RXB6nを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6nを読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) を読み出してください。

備考 n = 0, 1

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) 内に立つと、受信エラー割り込み (INTSR6n/INTSRE6n) を発生します。

受信エラー割り込み (INTSR6n/INTSRE6n) 処理内で、ASIS6nの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14 - 10, 14 - 11参照)。

ASIS6nの内容は、ASIS6nを読み出すことによって、クリア (0) されます。

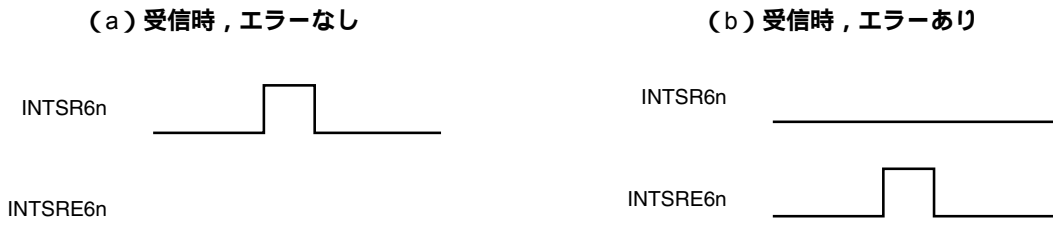
表14 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6n (RXB6n) からデータを読み出す前に次のデータ受信完了

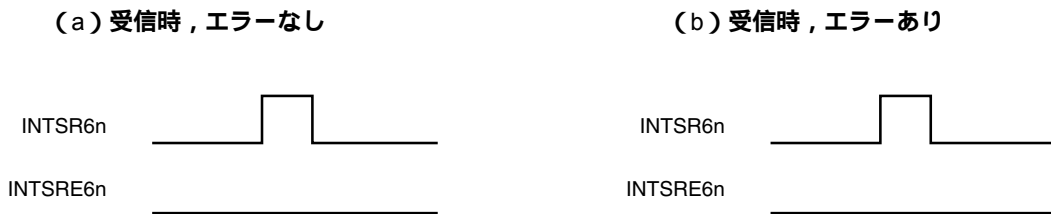
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット0 (ISRM6n) に0を設定することにより、エラー割り込みを受信完了割り込み (INTSR6n) とエラー割り込み (INTSRE6n) とに分離することができます。

図14 - 29 受信エラー割り込み

1. ISRM6nに0を設定した場合 (受信完了割り込み (INTSR6n) とエラー割り込み (INTSRE6n) とに分離する)



2. ISRM6nに1を設定した場合 (エラー割り込みもINTSR6nに含める)



備考 n = 0, 1

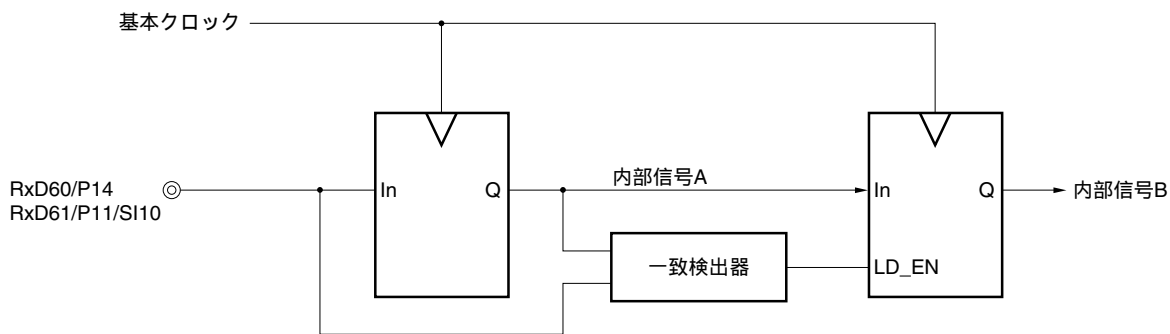
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6n信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図14 - 30のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図14 - 30 ノイズ・フィルタ回路



備考 n = 0, 1

(h) SBF送信

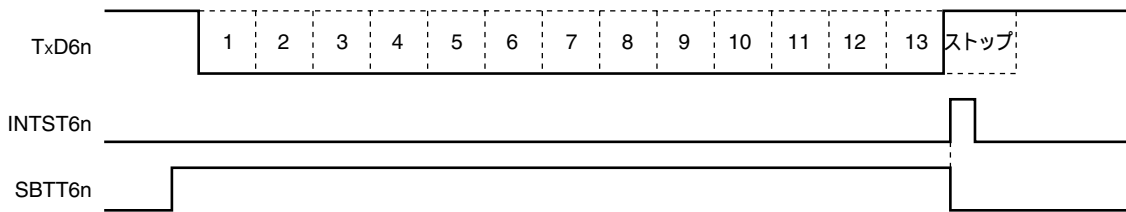
LIN通信動作で使用する場合、送信ではSBF (Synch Break Field) 送信制御機能を使用します。LINの送信操作については図14 - 1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット6 (TXE6n) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット5 (SBTT6n) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL6nのビット4-2 (SBL62n-SBL60n) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6n) を発生し、SBTT6nは自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6n (TXB6n) に書き込む、あるいはSBTT6nをセット (1) するまで、送信動作は中断します。

図14 - 31 SBF送信



- 備考** TxD6n : TxD6n端子 (出力)
 INTST6n : 送信完了割り込み要求
 SBTT6n : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット5
 n = 0, 1

(i) SBF受信

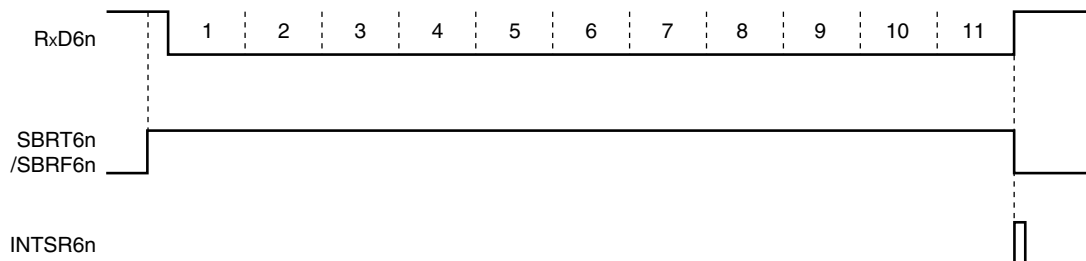
LIN通信動作で使用する場合、受信ではSBF (Synch Break Field) 受信制御機能を使用します。LINの受信操作については図14 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット5 (RXE6n) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット6 (SBRT6n) をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6n端子をサンプリングし、スタート・ビットの検出を行います。

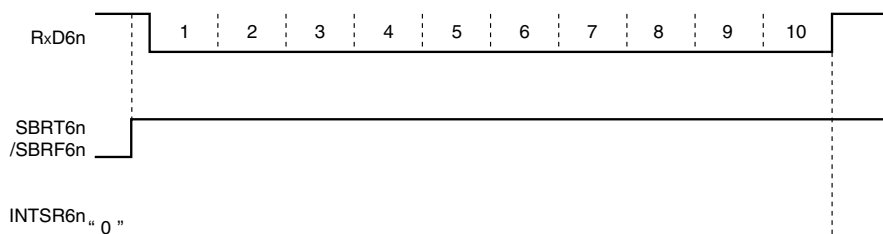
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6n (RXS6n) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6n) を発生します。このときSBRF6n, SBRT6nビットは自動的にクリアされ、SBF受信を終了します。OVE6n, PE6n, FE6n (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6n (RXS6n) と受信バッファ・レジスタ6n (RXB6n) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6n, SBRT6nビットはクリアされません。

図14 - 32 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



備考 RxD6n : RxD6n端子 (入力)

SBRT6n : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット6

SBRF6n : ASICL6nのビット7

INTSR6n : 受信完了割り込み要求

n = 0, 1

14.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART60, UART61における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7(POWER6n) = 1のとき、クロック選択レジスタ6n(CKSR6n)のビット3-0(TPS63n-TPS60n)で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6n = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7(POWER6n) = 0またはビット6(TXE6n) = 0のときはクリア(0)の状態で作動を停止します。

POWER6n = 1かつTXE6n = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6n(TXB6n)への書き込みでカウンタをクリア(0)します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア(0)します。次の送信データがなかった場合、カウンタはクリア(0)されず、POWER6nまたはTXE6nがクリア(0)されるまでカウント動作をそのまま続けます。

・受信用カウンタ

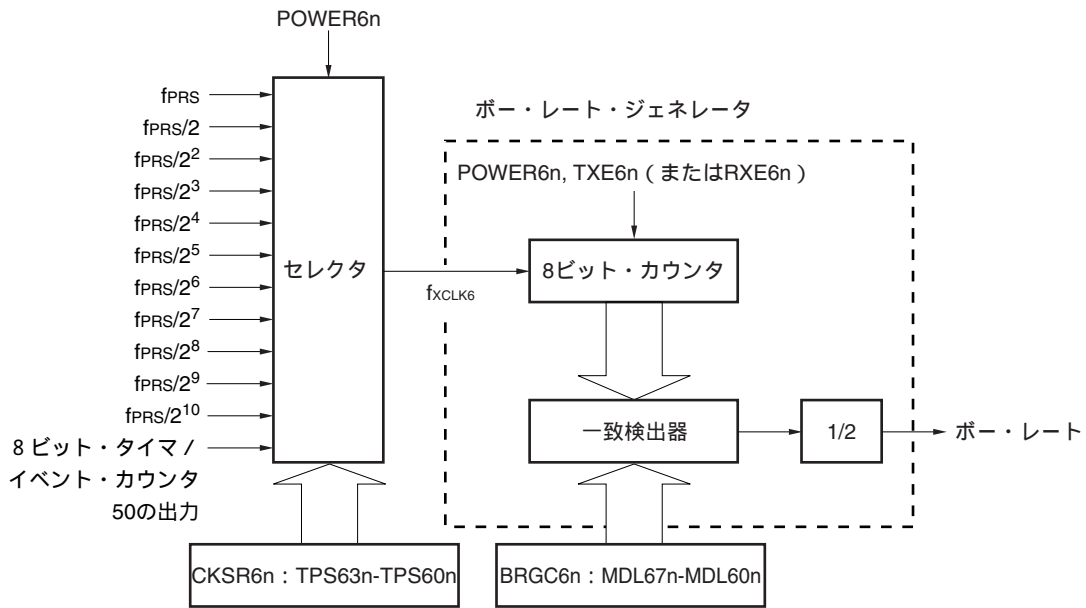
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7(POWER6n) = 0またはビット5(RXE6n) = 0のときはクリア(0)の状態で作動を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

備考 n = 0, 1

図14 - 33 ポー・レート・ジェネレータの構成



- 備考** $POWER_{6n}$: アシクロナス・シリアル・インタフェース動作モード・レジスタ6n ($ASIM_{6n}$) のビット7
 TXE_{6n} : $ASIM_{6n}$ のビット6
 RXE_{6n} : $ASIM_{6n}$ のビット5
 $CKSR_{6n}$: クロック選択レジスタ6n
 $BRGC_{6n}$: ポー・レート・ジェネレータ・コントロール・レジスタ6n
 $n = 0, 1$

(2) シリアル・クロックの生成

クロック選択レジスタ6n (CKSR6n) とポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) の設定により、シリアル・クロックを生成できます。

CKSR6nのビット3-0 (TPS63n-TPS60n) により、8ビット・カウンタへの入力クロックを選択します。

BRGC6nのビット7-0 (MDL67n-MDL60n) により、8ビット・カウンタの分周値を設定できます。

(a) ポー・レート

ポー・レートは次の式によって求められます。

$$\cdot \text{ポー・レート} = \frac{f_{\text{CLK6}}}{2 \times k} \text{ [bps]}$$

f_{CLK6} : CKSR6nレジスタのTPS63n-TPS60nビットで選択した基本クロックの周波数

k : BRGC6nレジスタのMDL67n-MDL60nビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(b) ポー・レートの誤差

ポー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のポー・レート (誤差のあるポー・レート)}}{\text{希望するポー・レート (正常なポー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のポー・レート誤差は、受信先の許容誤差以内になしてください。

2. 受信時のポー・レート誤差は、(4) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6nレジスタのMDL67n-MDL60nビットの設定値 = 00100001B ($k = 33$)

目標ポー・レート = 153600 bps

$$\begin{aligned} \text{ポー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515 / 153600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

備考 $n = 0, 1$

(3) ボー・レート設定例

表14-4 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz				f _{PRS} = 20.0 MHz			
	TPS63n- TPS60n	k	算出値	ERR [%]	TPS63n- TPS60n	k	算出値	ERR [%]	TPS63n- TPS60n	k	算出値	ERR [%]
300	7H	65	301	0.16	8H	65	301	0.16	9H	65	301	0.16
600	6H	65	601	0.16	7H	65	601	0.16	8H	65	601	0.16
1200	5H	65	1202	0.16	6H	65	1202	0.16	7H	65	1202	0.16
2400	4H	65	2404	0.16	5H	65	2404	0.16	6H	65	2404	0.16
4800	3H	65	4808	0.16	4H	65	4808	0.16	5H	65	4808	0.16
9600	2H	65	9615	0.16	3H	65	9615	0.16	4H	65	9615	0.16
19200	1H	65	19231	0.16	2H	65	19231	0.16	3H	65	19231	0.16
24000	3H	13	24038	0.16	4H	13	24038	0.16	5H	13	24038	0.16
31250	4H	5	31250	0	5H	5	31250	0	6H	5	31250	0
38400	0H	65	38462	0.16	1H	65	38462	0.16	2H	65	38462	0.16
48000	2H	13	48077	0.16	3H	13	48077	0.16	4H	13	48077	0.16
76800	0H	33	75758	- 1.36	0H	65	76923	0.16	1H	65	76923	0.16
115200	1H	11	113636	- 1.36	0H	43	116279	0.94	0H	87	114943	- 0.22
153600	1H	8	156250	1.73	0H	33	151515	- 1.36	1H	33	151515	- 1.36
312500	0H	8	312500	0	1H	8	312500	0	2H	8	312500	0
625000	0H	4	625000	0	1H	4	625000	0	2H	4	625000	0

備考 TPS63n-TPS60n : クロック選択レジスタ6n (CKSR6n) のビット3-0 (基本クロック (f_{XCLK6}) 設定)
k : ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) のMDL67n-
MDLn60ビットで設定した値 (k = 4, 5, 6, ..., 255)
f_{PRS} : 周辺ハードウェア・クロック周波数
ERR : ボー・レート誤差
n = 0, 1

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 34 受信時の許容ポー・レート範囲

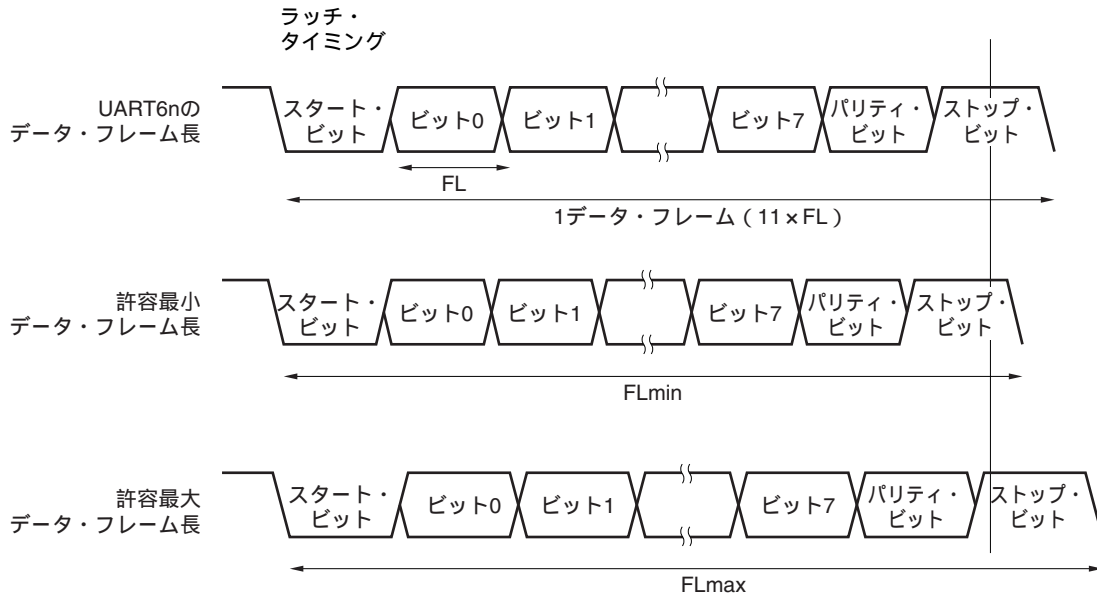


図14 - 34に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART60, UART61のポー・レート

k : BRGC6nの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

備考 n = 0, 1

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART60, UART61と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-5 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.33 %	- 2.44 %
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

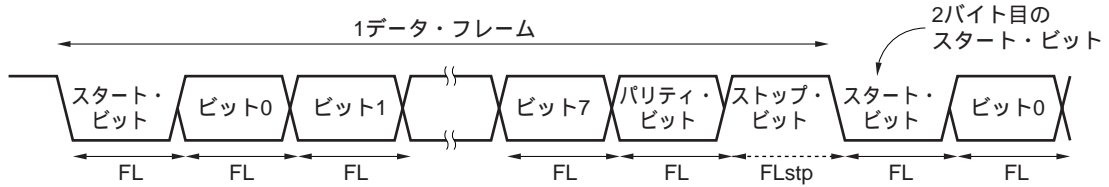
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC6nの設定値 (n = 0, 1)

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図14 - 35 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{XCLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

第15章 シリアル・インタフェースCSI10, CSI11

	78K0/FC2 (μ PD78F088yA, 78F089zA)		78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
	y = 1-3	y = 4-6, z = 4, 5	y = 7-9	y = 1-3
シリアル・インタフェースCSI10				
シリアル・インタフェースCSI11	-			

備考 : 搭載, - : 非搭載

15.1 シリアル・インタフェースCSI10, CSI11の機能

シリアル・インタフェースCSI10, CSI11には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアル/Oモード

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については15.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアル/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCK1n}$) とシリアル・データ (SI1n, SO1n) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアル/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアル/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については15.4.2 **3線式シリアル/Oモード**を参照してください。

備考 n = 0 : 78K0/FC2

n = 0, 1 : 78K0/FE2, 78K0/FF2

15.2 シリアル・インタフェースCSI10, CSI11の構成

シリアル・インタフェースCSI10, CSI11は、次のハードウェアで構成しています。

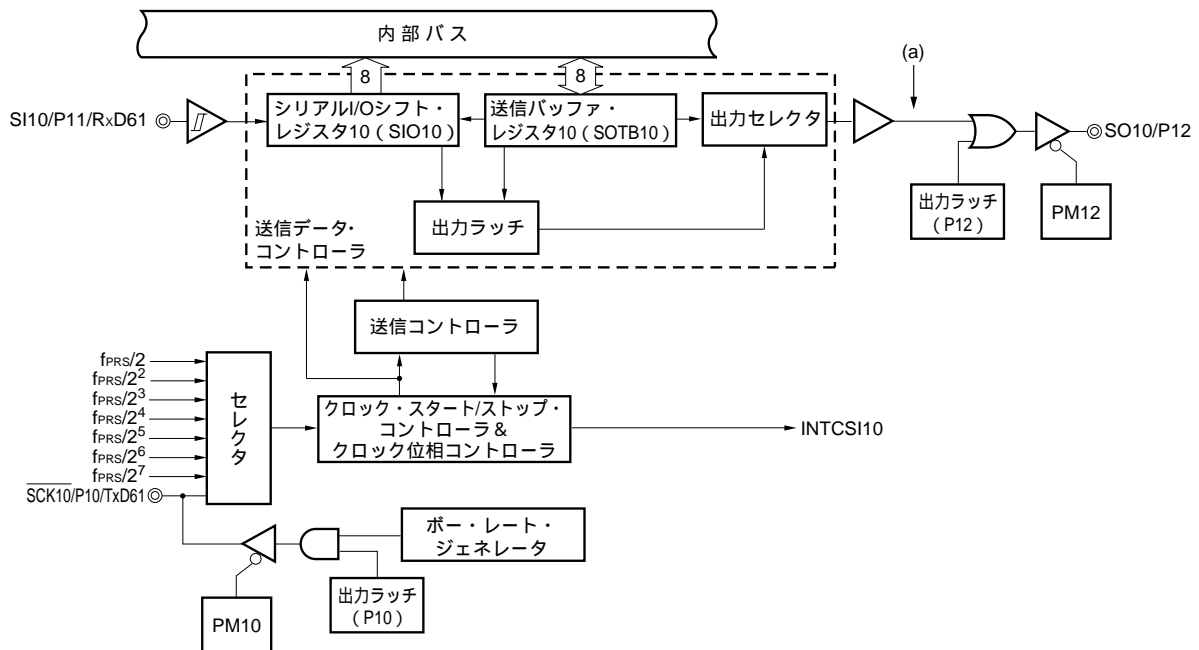
表15-1 シリアル・インタフェースCSI10, CSI11の構成

項目	構成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ1n (SOTB1n) シリアルI/Oシフト・レジスタ1n (SIO1n)
制御レジスタ	シリアル動作モード・レジスタ1n (CSIM1n) シリアル・クロック選択レジスタ1n (CSIC1n) ポート・モード・レジスタ0 (PM0) , ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ (PM7) ポート・レジスタ0 (P0) , ポート・レジスタ1 (P1) またはポート・レジスタ7 (P7)

備考 n = 0 : 78K0/FC2

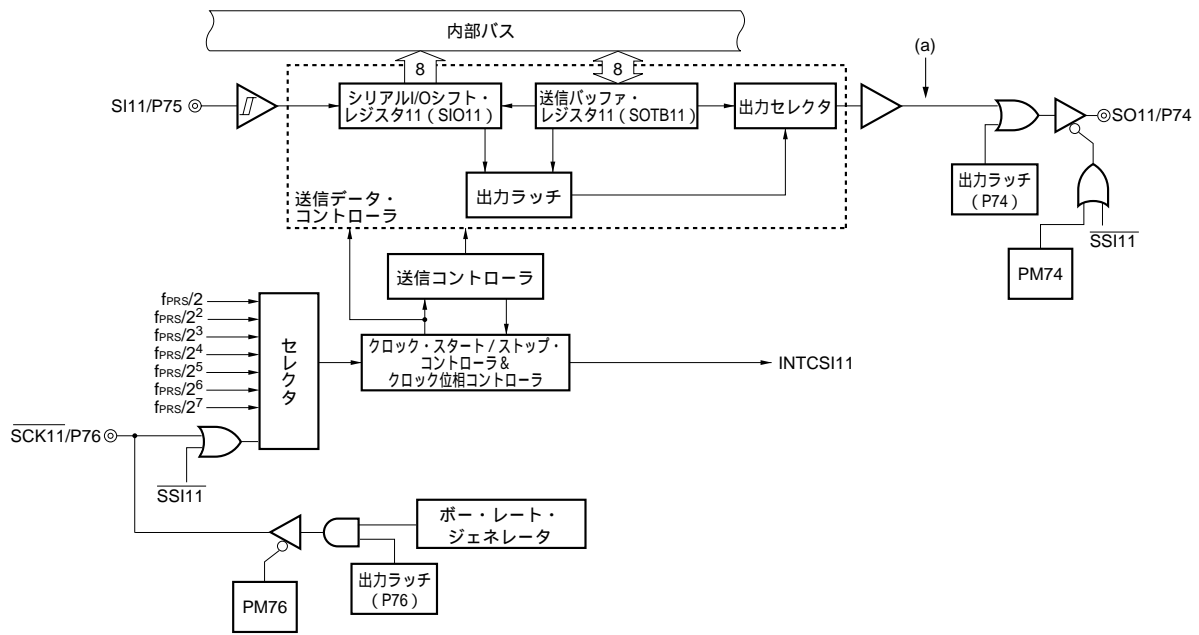
n = 0, 1 : 78K0/FE2, 78K0/FF2

図15-1 シリアル・インタフェースCSI10のブロック図



備考 (a) : SO10出力

図15-2 シリアル・インタフェースCSI11のブロック図



備考 (a) : SO11出力

(1) 送信バッファ・レジスタ1n (SOTB1n)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1n (CSIM1n)のビット7 (CSIE1n)とビット6 (TRMD1n)が1のとき、SOTB1nにデータを書き込むことにより送受信動作が開始されます。

SOTB1nに書き込まれたデータは、シリアルI/Oソフト・レジスタ1nでパラレル・データからシリアル・データに変換され、シリアル出力 (SO1n) に出力されます。

SOTB1nは、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意1. CSOT1n = 1 (シリアル通信中) のとき、SOTB1nへのアクセスは行わないでください。

- スレーブ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SOTB1nにデータを書き込むと送受信が開始されます。送受信動作の詳細については、15. 4. 2 (2) 通信動作を参照してください。

(2) シリアルI/Oソフト・レジスタ1n (SIO1n)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO1nは、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ1n (CSIM1n)のビット6 (TRMD1n) が0のとき、SIO1nからデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI1n) からSIO1nに読み込まれます。

リセット信号の発生により、00Hになります。

注意1. CSOT1n = 1 (シリアル通信中) のとき、SIO1nへのアクセスは行わないでください。

- スレーブ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SIO1nからデータを読み出すと受信が開始されます。受信動作の詳細については、15. 4. 2 (2) 通信動作を参照してください。

15.3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ

シリアル・インタフェースCSI10, CSI11は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ7 (PM7) ,
ポート・モード・レジスタ0 (PM0)
- ・ポート・レジスタ1 (P1) , ポート・レジスタ7 (P7) , ポート・レジスタ0 (P0)

備考 n = 0 : 78K0/FC2

n = 0, 1 : 78K0/FE2, 78K0/FF2

(1) シリアル動作モード・レジスタ1n (CSIM1n)

動作モード，動作の許可 / 不許可を設定するレジスタです。

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考 n = 0 : 78K0/FC2
n = 0, 1 : 78K0/FE2, 78K0/FF2

図15 - 3 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス : FF80H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注2} ，内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

- 注1. ビット0はRead Onlyです。
2. P10/SCK10/TxD61, P12/SO10を汎用ポートとして使用する場合は，CSIM10を初期状態と同じ設定 (00H) にしてください。
 3. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。
 4. CSOT10 = 1 (シリアル通信中) のとき，TRMD10を書き換えないでください。
 5. TRMD10が0のとき，SO10出力 (図15 - 1の (a) 参照) はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。
 6. CSOT10 = 1 (シリアル通信中) のとき，DIR10を書き換えないでください。

注意 ビット5には必ず0を設定してください。

図15 - 4 シリアル動作モード・レジスタ11 (CSIM11) のフォーマット

アドレス : FF88H リセット時 : 00H R/W^{注1}

略号	[7]	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注2} , 内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD11 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

SSE11 ^{注6,7}	SSI11端子の使用の選択
0	SSI11端子を使用しない
1	SSI11端子を使用する

DIR11 ^{注8}	先頭ビットの指定
0	MSB
1	LSB

CSOT11	通信状態フラグ
0	通信停止
1	通信中

- 注1. ビット0はRead Onlyです。
- P74/SO11, P76/SCK11, P05/SSI11/TI001を汎用ポートとして使用する場合は, CSIM11を初期状態と同じ設定 (00H) にしてください。
 - リセットされるのはCSIM11のビット0 (CSOT11) とシリアルI/Oシフト・レジスタ11 (SIO11) です。
 - CSOT11 = 1 (シリアル通信中) のとき, TRMD11を書き換えないでください。
 - TRMD11が0のとき, SO11出力 (図15 - 2の (a) 参照) はロウ・レベルに固定されます。SIO11からデータを読み出すと受信が開始します。
 - CSOT11 = 1 (シリアル通信中) のとき, 上書きをしないでください。
 - SSE11を1に設定する前に, SSI11端子の入力レベルを0または1に固定してください。
 - CSOT11 = 1 (シリアル通信中) のとき, DIR11を書き換えないでください。

(2) シリアル・クロック選択レジスタ1n (CSIC1n)


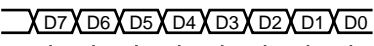
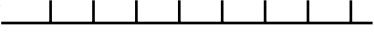

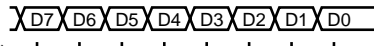
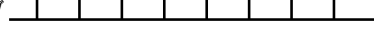

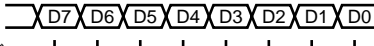
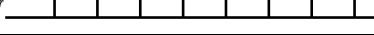

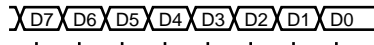
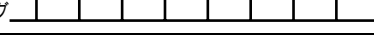
データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。
 CSIC1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

図15 - 5 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス : FF81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	SCK10  SO10  SI10入カタイミング 	1
0	1	$\overline{\text{SCK10}}$  SO10  SI10入カタイミング 	2
1	0	$\overline{\text{SCK10}}$  SO10  SI10入カタイミング 	3
1	1	$\overline{\text{SCK10}}$  SO10  SI10入カタイミング 	4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 ^{注1,2}				モード	
			f _{PRS} = 4 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz		
0	0	0	f _{PRS} /2	2 MHz	2.5 MHz	5 MHz	10 MHz	マスタ・ モード
0	0	1	f _{PRS} /2 ²	1 MHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	f _{PRS} /2 ³	500 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	f _{PRS} /2 ⁴	250 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	f _{PRS} /2 ⁵	125 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	f _{PRS} /2 ⁶	62.5 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	f _{PRS} /2 ⁷	31.25 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK10への外部クロック入力				スレーブ・ モード	

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
$V_{DD} = 4.0 \sim 5.5 \text{ V}$	$f_{PRS} \quad 20 \text{ MHz}$
$V_{DD} = 2.7 \sim 4.0 \text{ V}$	$f_{PRS} \quad 10 \text{ MHz}$
$V_{DD} = 1.8 \sim 2.7 \text{ V}$ (A) 水準品のみ)	$f_{PRS} \quad 5 \text{ MHz}$

(上述の表は、 $f_{PRS} = f_{XH}$ ($XSEL = 1$) の場合です)

2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	(A) 水準品	(A2) 水準品
4.0 V $V_{DD} \geq 5.5 \text{ V}$	シリアル・クロック 5 MHz	シリアル・クロック 5 MHz
2.7 V $V_{DD} < 4.0 \text{ V}$	シリアル・クロック 2.5 MHz	シリアル・クロック 2.5 MHz
1.8 V $V_{DD} < 2.7 \text{ V}$	シリアル・クロック 1.66 MHz	-

注意1. $CSIE10 = 1$ (動作許可) のとき、 $CSIC10$ への書き込みを行わないでください。

2. $P10/\overline{SCK10}/TxD61$, $P12/SO10$ を汎用ポートとして使用する場合は、 $CSIC10$ を初期状態と同じ設定 (00H) にしてください。
3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図15-6 シリアル・クロック選択レジスタ11 (CSIC11) のフォーマット

アドレス : FF89H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC11	0	0	0	CKP11	DAP11	CKS112	CKS111	CKS110

CKP11	DAP11	データ送受信タイミングの指定		タイプ
0	0		1	
0	1		2	
1	0		3	
1	1		4	

CKS112	CKS111	CKS110	CSI11のシリアル・クロックの選択 ^{注1, 2}				モード	
			f _{PRS} = 4 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz		
0	0	0	f _{PRS} /2	2 MHz	2.5 MHz	5 MHz	10 MHz	マスタ・ モード
0	0	1	f _{PRS} /2 ²	1 MHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	f _{PRS} /2 ³	500 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	f _{PRS} /2 ⁴	250 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	f _{PRS} /2 ⁵	125 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	f _{PRS} /2 ⁶	62.5 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	f _{PRS} /2 ⁷	31.25 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	SCK11への外部クロック入力				スレーブ・ モード	

注1. 周辺ハードウェア・クロック (f_{PRS}) は、電源電圧により使用できる周波数が異なります。

電源電圧	周辺ハードウェア・クロック周波数
V _{DD} = 4.0 ~ 5.5 V	f _{PRS} 20 MHz
V _{DD} = 2.7 ~ 4.0 V	f _{PRS} 10 MHz
V _{DD} = 1.8 ~ 2.7 V ((A) 水準品のみ)	f _{PRS} 5 MHz

(上述の表は、f_{PRS} = f_{XH} (XSEL = 1) の場合です)

2. シリアル・クロックは次の条件を満たすように設定してください。

電源電圧	(A) 水準品	(A2) 水準品
V _{DD} = 4.0 ~ 5.5 V	シリアル・クロック 5 MHz	シリアル・クロック 5 MHz
V _{DD} = 2.7 ~ 4.0 V	シリアル・クロック 2.5 MHz	シリアル・クロック 2.5 MHz
V _{DD} = 1.8 ~ 2.7 V	シリアル・クロック 1.66 MHz	-

- 注意1. CSIE11 = 1 (動作許可) のとき, CSIC11への書き込みを行わないでください。
2. P74/SO11, P76/SCK11を汎用ポートとして使用する場合は, CSIC11を初期状態と同じ設定 (00H) にしてください。
3. リセット後のデータ・クロックの位相タイプは, タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) ポート・モード・レジスタ0, 1, 7 (PM0, PM1, PM7)

ポート0, 1, 7の入力 / 出力を1ビット単位で設定するレジスタです。

P10/SCK10, P76/SCK11をシリアル・インタフェースのクロック出力として使用するとき, PM10, PM76に0, P10, P76の出力ラッチに1を設定してください。

P12/SO10, P74/SO11をシリアル・インタフェースのデータ出力として使用するとき, PM12, PM74およびP12, P74の出力ラッチに0を設定してください。

P10/SCK10, P76/SCK11をシリアル・インタフェースのクロック入力, P11/SI10/RxD61, P75/SI11をシリアル・インタフェースのデータ入力, P05/SSI11/TI001をシリアル・インタフェースのチップ・セレクト入力として使用するとき, PM10, PM76, PM11, PM75, PM05に1を設定してください。このとき, P10, P76, P11, P75, P05の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM1, PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図15 - 7 ポート・モード・レジスタ0 (PM0) のフォーマット

アドレス : FF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1, 5, 6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/FF2製品のポート・モード・レジスタ0のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては, 5.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

図15 - 8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図15 - 9 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス : FF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/FF2製品のポート・モード・レジスタ0のフォーマットです。他の製品のポート・モード・レジスタ0のフォーマットについては、5.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

15.4 シリアル・インタフェースCSI10, CSI11の動作

シリアル・インタフェースCSI10, CSI11は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P10/ $\overline{\text{SCK10}}$ /TxD61, P11/SI10/RxD61, P12/SO10, P74/SO11, P75/SI11, P76/ $\overline{\text{SCK11}}$ を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ1n (CSIM1n)で行います。

動作停止モードにする場合は、CSIM1nのビット7 (CSIE1n) に0を設定してください。

(a) シリアル動作モード・レジスタ1n (CSIM1n)

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0 : 78K0/FC2
n = 0, 1 : 78K0/FE2, 78K0/FF2

・シリアル動作モード・レジスタ10 (CSIM10)

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} 、内部回路を非同期リセットする ^{注2}

注1. P10/ $\overline{\text{SCK10}}$ /TxD61, P12/SO10を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定(00H)にしてください。

2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oソフト・レジスタ10 (SIO10) です。

・シリアル動作モード・レジスタ11 (CSIM11)

アドレス : FF88H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} , 内部回路を非同期リセットする ^{注2}

注1. P74/SO11, P76/SCK11, P05/SSI11/TI001を汎用ポートとして使用する場合は, CSIM11を初期状態と同じ設定(00H)にしてください。

2. リセットされるのはCSIM11のビット0 (CSOT11) とシリアルI/Oシフト・レジスタ11 (SIO11) です。

15.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック (SCK1n), シリアル出力 (SO1n), シリアル入力 (SI1n) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ7 (PM7)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ7 (P7)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIC1nレジスタを設定 (図15-5, 図15-6を参照)
 CSIM1nレジスタのビット0, 4-6 (CSOT1n, DIR1n, SSE11 (シリアル・インタフェースCSI11のみ), TRMD1n) を設定 (図15-3, 図15-4を参照)
 CSIM1nレジスタのビット7 (CSIE1n) をセット (1) 送受信可能
 送信バッファ・レジスタ1n (SOTB1n) にデータを書き込み データ送受信開始
 シリアルI/Oシフト・レジスタ1n (SIO1n) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は, 通信相手との関係を考慮して, 行ってください。

備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

レジスタの設定と端子の関係を次に示します。

表15 - 2 レジスタの設定と端子の関係 (1/2)

(a) シリアル・インタフェースCSI10

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10 の動作	端子機能		
									SI10/RxD61/ P11	SO10/P12	SCK10/ TxD61/P10
0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	RxD61/P11	P12	TxD61/ P10 ^{注2}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注3}	SI10	P12	SCK10 (入力) ^{注3}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注3}	RxD61/P11	SO10	SCK10 (入力) ^{注3}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注3}	SI10	SO10	SCK10 (入力) ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	P12	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	RxD61/P11	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P10/SCK10/TxD61をポート機能として使用する場合、CKP10を0に設定してください。

3. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

- 備考
- x : don't care
 - CSIE10 : シリアル動作モード・レジスタ10 (CSIM10) のビット7
 - TRMD10 : CSIM10のビット6
 - CKP10 : シリアル・クロック選択レジスタ10 (CSIC10) のビット4
 - CKS102, CKS101, CKS100 : CSIC10のビット2-0
 - PM1 x : ポート・モード・レジスタ1のビット2-0
 - P1 x : ポート1の出力ラッチ

表15 - 2 レジスタの設定と端子の関係 (2/2)

(b) シリアル・インタフェースCSI11

CSIE11	TRMD11	SSE11	PM75	P75	PM74	P74	PM76	P76	PM05	P05	CSI11 の動作	端子機能			
												SI11/ P75	SO11/ P74	SCK11/ P76	SSI11/ TI001/P05
0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	P75	P74	P76 ^{注2}	TI001/ P05
1	0	0	1	x	x ^{注1}	x ^{注1}	1	x	x ^{注1}	x ^{注1}	スレーブ 受信 ^{注3}	SI11	P74	SCK11 (入力) ^{注3}	TI001/ P05
		1													SSI11
1	1	0	x ^{注1}	x ^{注1}	0	0	1	x	x ^{注1}	x ^{注1}	スレーブ 送信 ^{注3}	P75	SO11	SCK11 (入力) ^{注3}	TI001/ P05
		1													SSI11
1	1	0	1	x	0	0	1	x	x ^{注1}	x ^{注1}	スレーブ 送受信 ^{注3}	SI11	SO11	SCK11 (入力) ^{注3}	TI001/ P05
		1													SSI11
1	0	0	1	x	x ^{注1}	x ^{注1}	0	1	x ^{注1}	x ^{注1}	マスタ 受信	SI11	P74	SCK11 (出力)	TI001/ P05
1	1	0	x ^{注1}	x ^{注1}	0	0	0	1	x ^{注1}	x ^{注1}	マスタ 送信	P75	SO11	SCK11 (出力)	TI001/ P05
1	1	0	1	x	0	0	0	1	x ^{注1}	x ^{注1}	マスタ 送受信	SI11	SO11	SCK11 (出力)	TI001/ P05

注1. ポート機能として設定することができます。

2. P76/SCK11をポート機能として使用する場合、CKP11を0に設定してください。

3. スレーブとして使用する場合、CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

- 備考
- x : don't care
 - CSIE11 : シリアル動作モード・レジスタ11 (CSIM11) のビット7
 - TRMD11 : CSIM11のビット6
 - CKP11 : シリアル・クロック選択レジスタ11 (CSIC11) のビット4
 - CKS112, CKS111, CKS110 : CSIC11のビット2-0
 - PM7 x : ポート・モード・レジスタ7のビット6-4
 - P7 x : ポート7の出力ラッチ
 - PM05 : ポート・モード・レジスタ0のビット5
 - P05 : ポート0の出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が1の場合、データの送受信が可能です。送信バッファ・レジスタ1n (SOTB1n) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ1n (SIO1n) からデータを読み出すことにより、受信動作が開始されます。

ただし、シリアル・インタフェースCSI11では、スレーブ・モード時、CSIM11のビット5 (SSE11) が1の場合は次のようになります。

$\overline{\text{SSI11}}$ 端子にロウ・レベル入力

SOTB11への書き込みで送受信、またはSIO11からの読み出しで受信が開始されます

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力

送受信保留または受信保留状態になるため、SOTB11への書き込みまたはSIO11からの読み出しを行っても、送受信または受信は開始されません

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力しているときに、SOTB11へデータを書き込みまたはSIO11からデータを読み出し、その後 $\overline{\text{SSI11}}$ 端子にロウ・レベル入力

送受信または受信が開始されます

送受信または受信中に、 $\overline{\text{SSI11}}$ 端子にハイ・レベル入力

送受信または受信が中断されます

通信開始後、CSIM1nのビット0 (CSOT1n) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF1n) がセットされ、CSOT1nは0にクリアされます。そして次の通信が可能になります。

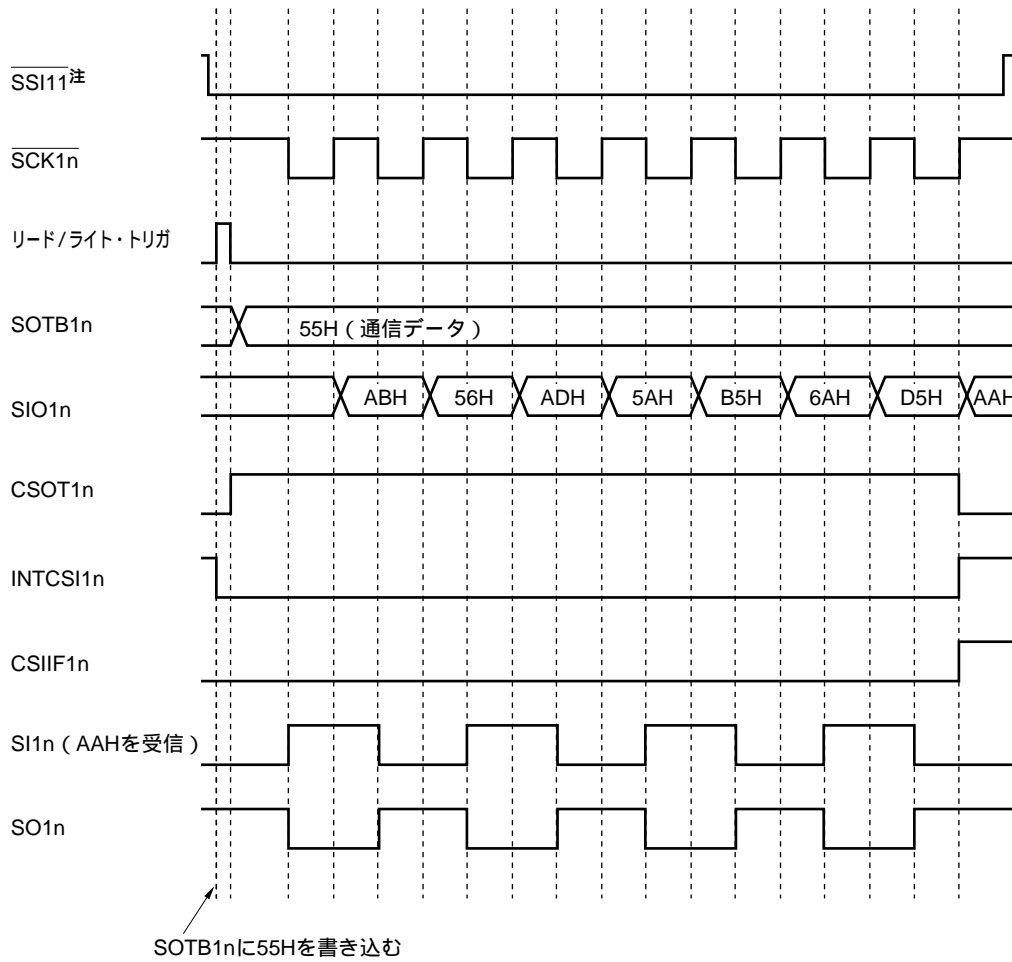
- 注意1.** CSOT1n = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。
- 2.** シリアル・インタフェースCSI11では、スレーブ・モードの場合、 $\overline{\text{SSI11}}$ 端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起す可能性があります。

備考 n = 0 : 78K0/FC2

n = 0, 1 : 78K0/FE2, 78K0/FF2

図15 - 10 3線式シリアルI/Oモードのタイミング (1/2)

(1) 送受信タイミング (タイプ1 ; TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 0, SSE11 = 1^注)

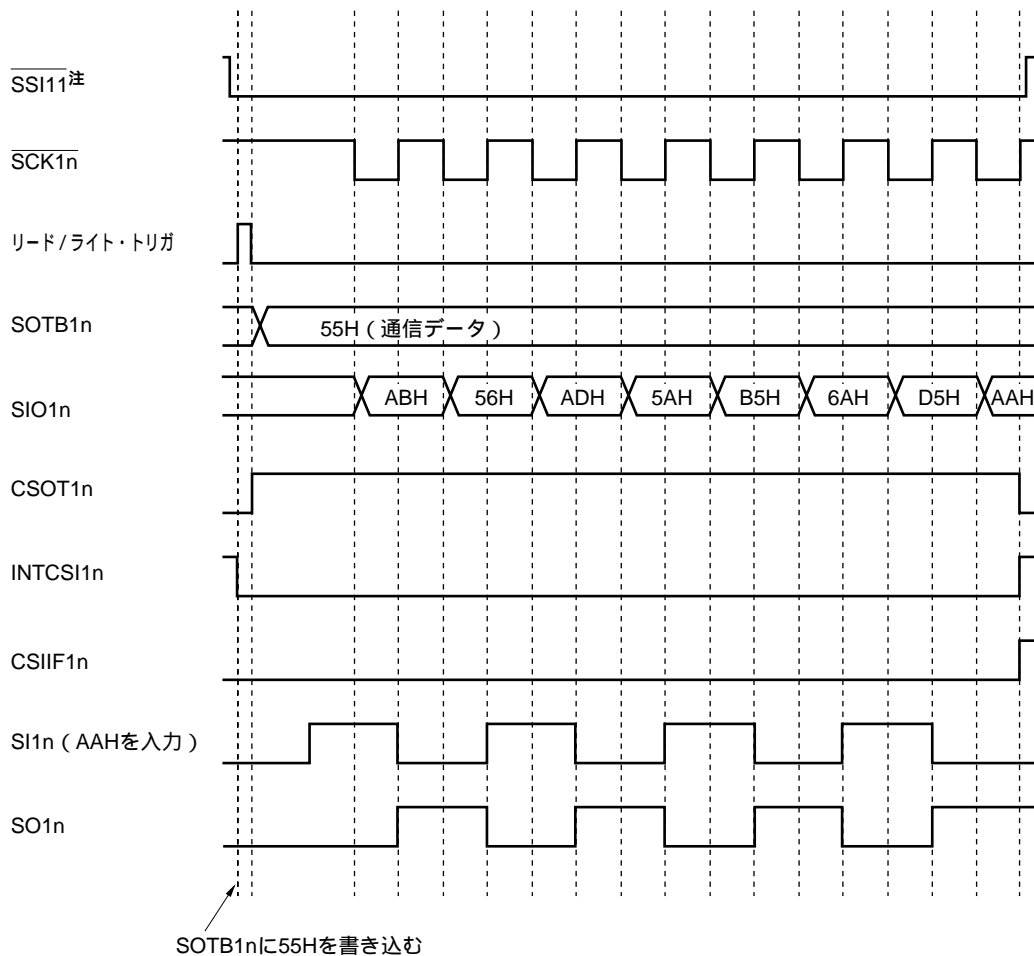


注 SSE11フラグ, $\overline{\text{SSI11}}$ 端子はシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用しません。

備考 n = 0 : 78K0/FC2
n = 0, 1 : 78K0/FE2, 78K0/FF2

図15 - 10 3線式シリアルI/Oモードのタイミング (2/2)

(2) 送受信タイミング (タイプ2 ; TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 1, SSE11 = 1^注)

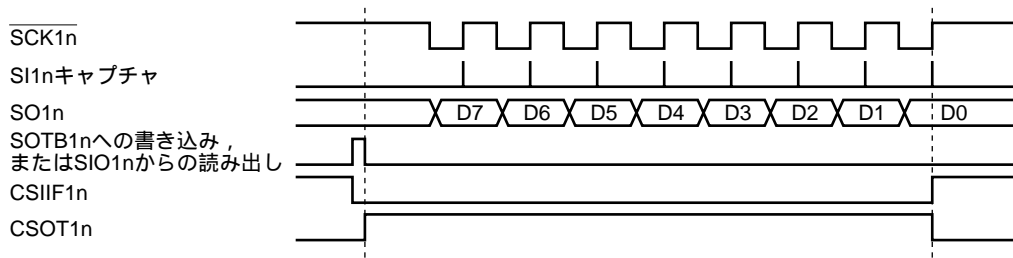


注 SSE11フラグ, $\overline{\text{SSI11}}$ 端子はシリアル・インタフェースCSI11のみ。スレープ・モード時に使用しません。

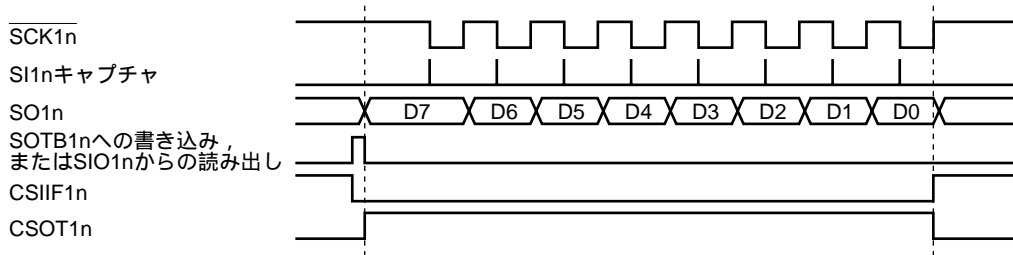
備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

図15 - 11 クロック/データ位相のタイミング

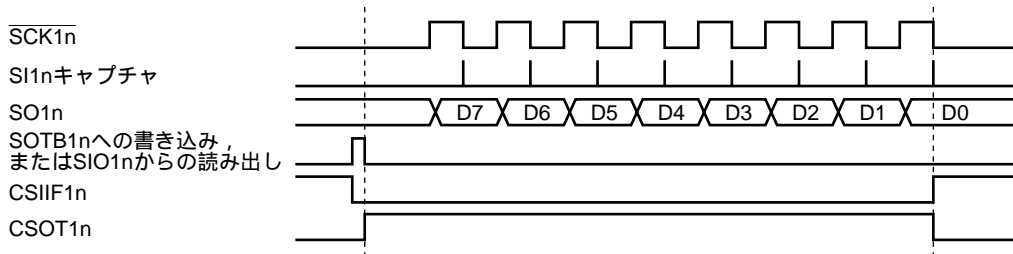
(a) タイプ1 ; CKP1n = 0, DAP1n = 0, DIR1n = 0



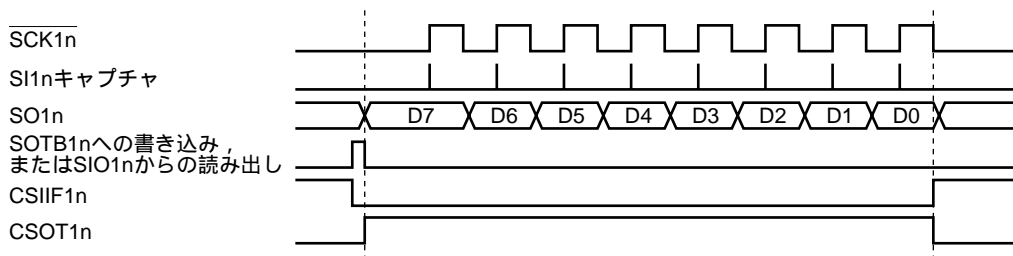
(b) タイプ2 ; CKP1n = 0, DAP1n = 1, DIR1n = 0



(c) タイプ3 ; CKP1n = 1, DAP1n = 0, DIR1n = 0



(d) タイプ4 ; CKP1n = 1, DAP1n = 1, DIR1n = 0



備考 1. 上図は、MSBファーストの通信動作です。

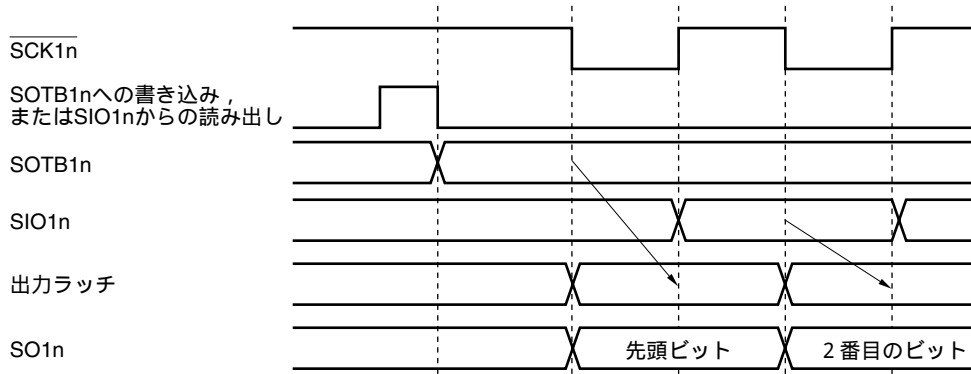
2. n = 0 : 78K0/FC2
- n = 0, 1 : 78K0/FE2, 78K0/FF2

(3) SO1n端子への出力タイミング (先頭ビット)

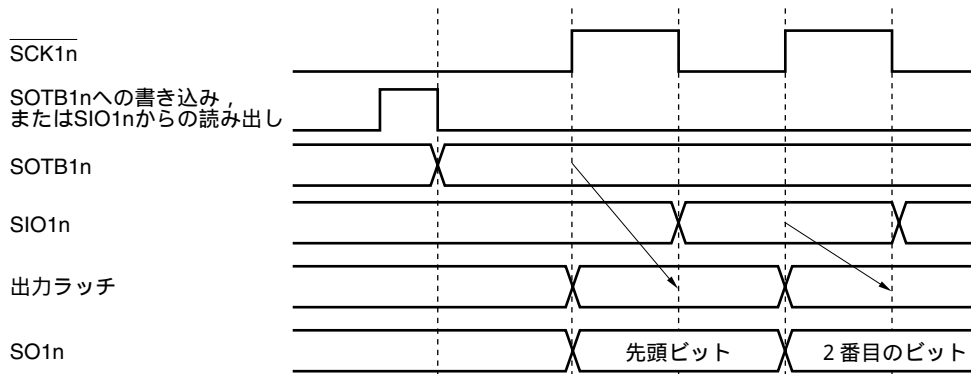
通信開始時、送信バッファ・レジスタ1n (SOTB1n) の値は、SO1n端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図15 - 12 先頭ビットの出力動作 (1/2)

(a) タイプ1 : CKP1n = 0, DAP1n = 0



(b) タイプ3 : CKP1n = 1, DAP1n = 0



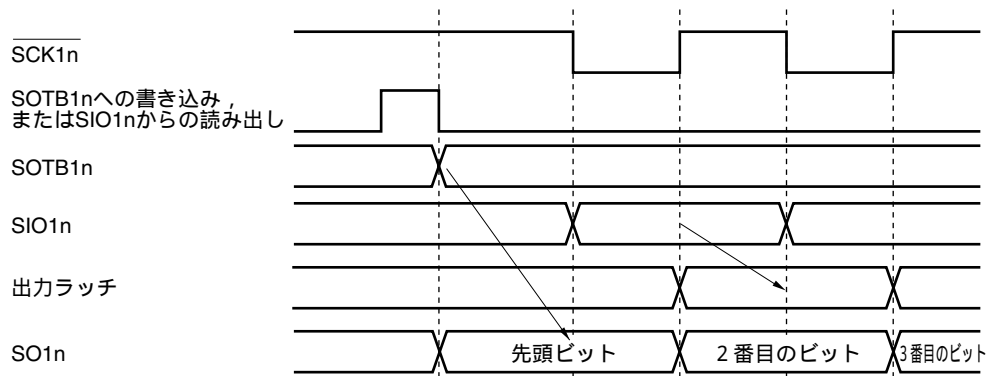
先頭ビットは、 $\overline{SCK1n}$ の立ち下がり(または立ち上がり)エッジでSOTB1nレジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO1n端子から出力されます。次の $\overline{SCK1n}$ の立ち上がり(または立ち下がり)エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSI1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次の $\overline{SCK1n}$ の立ち下がり(または立ち上がり)エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

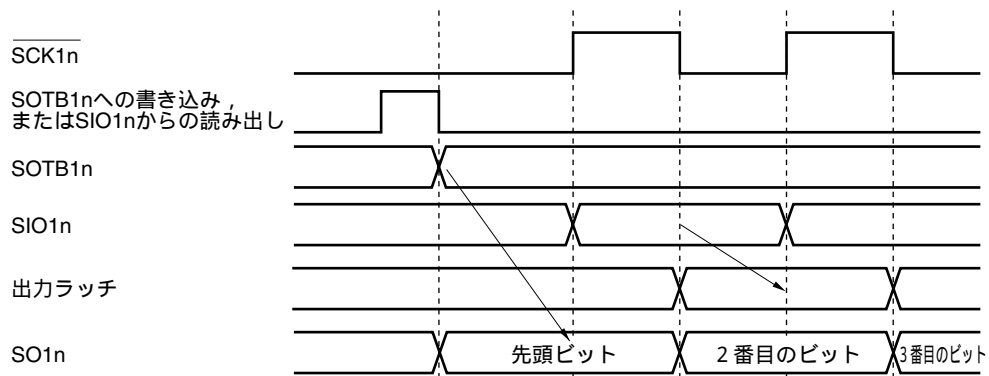
備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

図15 - 12 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



先頭ビットは、SOTB1nのライト信号またはSIO1nレジスタのリード信号の立ち下がりエッジでSOTB1nレジスタから直接、出力セクタを通してSO1n端子から出力されます。次のSCK1nの立ち下がり（または立ち上がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSI1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次のSCK1nの立ち上がり（または立ち下がり）エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

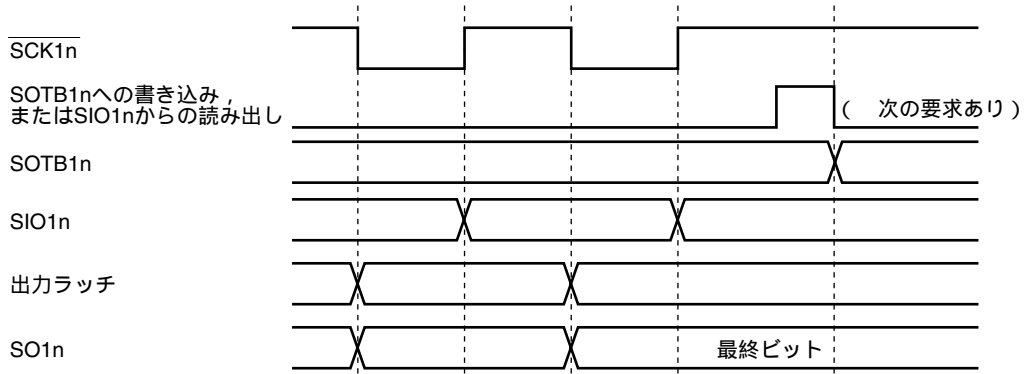
備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

(4) SO1n端子の出力値 (最終ビット)

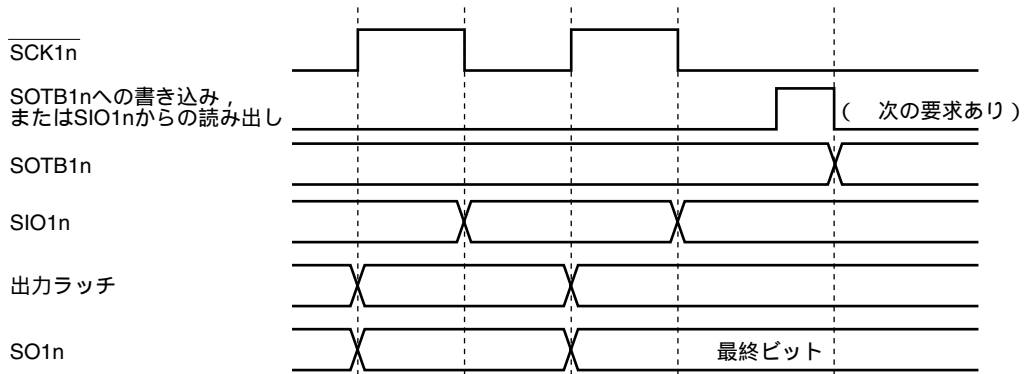
通信終了後, SO1n端子の出力は, 最終ビットの出力値を保持します。

図15 - 13 SO1n端子の出力値 (最終ビット) (1/2)

(a) タイプ1 : CKP1n = 0, DAP1n = 0



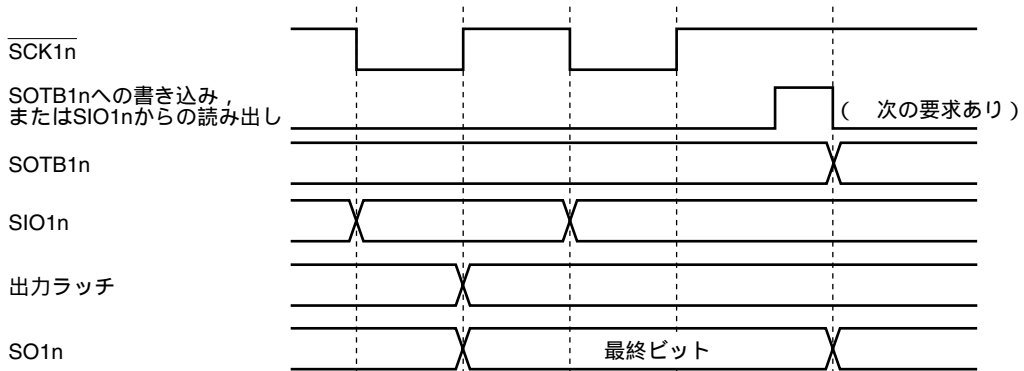
(b) タイプ3 : CKP1n = 1, DAP1n = 0



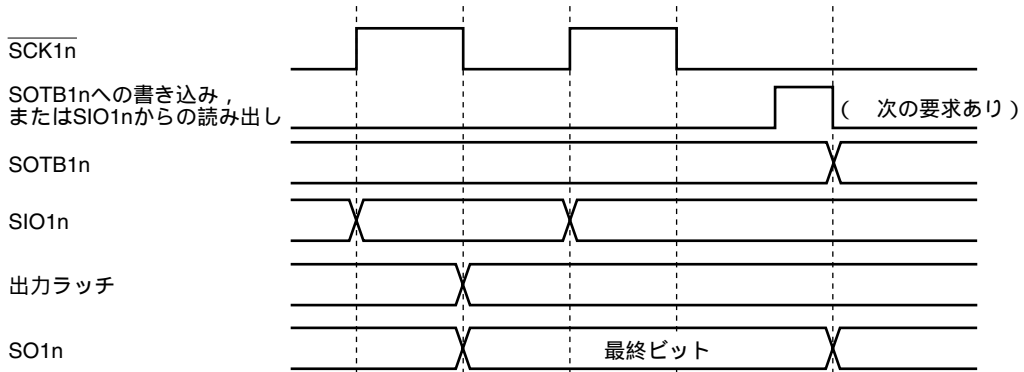
備考 n = 0, 1

図15 - 13 SO1n端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

(5) SO1n出力 (図15 - 1, 15 - 2参照) について

CSIE1n, TRMD1n, DAP1n, DIR1nの設定により, SO1n出力は次のようになります。

表15 - 3 SO1n出力の状態

CSIE1n	TRMD1n	DAP1n	DIR1n	SO1n出力 ^{注1}
CSIE1n = 0 ^{注2}	TRMD1n = 0 ^{注2, 3}	-	-	ロウ・レベル出力 ^{注2}
		DAP1n = 0	-	ロウ・レベル出力
	TRMD1n = 1	DAP1n = 1	DIR1n = 0	SOTB1nのビット7の値
			DIR1n = 1	SOTB1nのビット0の値
CSIE1n = 1	TRMD1n = 0 ^{注3}	-	-	ロウ・レベル出力
	TRMD1n = 1	-	-	送信データ ^{注4}

注1. 実際のSO10/P12, SO11/P02端子の出力は, SO1n出力のほかにPM12とP12, PM02とP02によって決まります。

2. リセット時の状態です。
3. P12/SO10, P02/SO11を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ1n (CSIC1n) は初期状態と同じ設定 (00H) にしてください。
4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE1n, TRMD1n, DAP1n, DIR1nに値を書き込むと, SO1nの出力値が変わります。

備考 n = 0 : 78K0/FC2
 n = 0, 1 : 78K0/FE2, 78K0/FF2

第16章 CANコントローラ

16.1 概要

78K0/Fx2マイクロコントローラの全製品は、CANプロトコルISO11898に準拠したCAN (Controller Area Network) コントローラを1チャンネル内蔵しています。

16.1.1 特徴

CANプロトコル ISO11898準拠, ISO/DIS16845 (CANコンFORMANCE・テスト) 実施

標準フレーム, 拡張フレームの送信 / 受信が可能

転送速度 最大1 Mbps (CANクロック入力 8 MHz時)

16メッセージ・バッファ / 1チャンネル

受信 / 送信履歴・リスト機能

自動ブロック送信機能

マルチ・バッファ受信ブロック機能

チャンネルごとに4パターンのマスクを設定可能

16.1.2 機能概要

表16 - 1に機能概要を示します。

表16 - 1 機能概要

機 能	詳 細
プロトコル	CANプロトコル ISO11898 (標準および拡張フレームの送受信)
ポー・レート	最大1 Mbps (CANクロック入力 8 MHz時)
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	<ul style="list-style-type: none"> ・16メッセージ・バッファ / 1チャンネル ・各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・チャンネルごとに4パターンのマスクを設定可能 ・メッセージ・バッファごとに受信完了割り込みの許可 / 禁止が設定可能 ・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能 (マルチ・バッファ受信ブロック機能) ・受信履歴・リスト機能
メッセージ送信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可 / 禁止が設定可能 ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABTと記述)) ・送信履歴・リスト機能
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> ・16ビット・タイマとの併用でメッセージ受信に対してタイム・スタンプ機能を設定可能 ・タイム・スタンプ・キャプチャ・トリガの選択が可能 (CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能)
診断機能	<ul style="list-style-type: none"> ・リード可能なエラー・カウンタ ・バス接続確認用 “有効プロトコル動作フラグ” ・受信オンリー・モード ・シングル・ショット・モード ・CANプロトコル・エラーの判別 ・セルフ・テスト・モード
バスオフ強制復帰機能	<ul style="list-style-type: none"> ・ソフトウェアにより強制的にバスオフから復帰させることが可能 ・バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)
パワー・セーブ・モード	<ul style="list-style-type: none"> ・CANスリープ・モード (CANバスによりウエイク・アップ可能) ・CANストップ・モード (CANバスによるウエイク・アップ不可)

注意 CANコントローラを使用する場合、P70に“1”を設定してください。

16.1.3 構成

CANコントローラは、次の4つのブロックから構成されています。

(1) NPBインタフェース

NPB (NEC周辺I/Oバス)とのインタフェースと、CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

(2) MCM (Message Control Module)

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

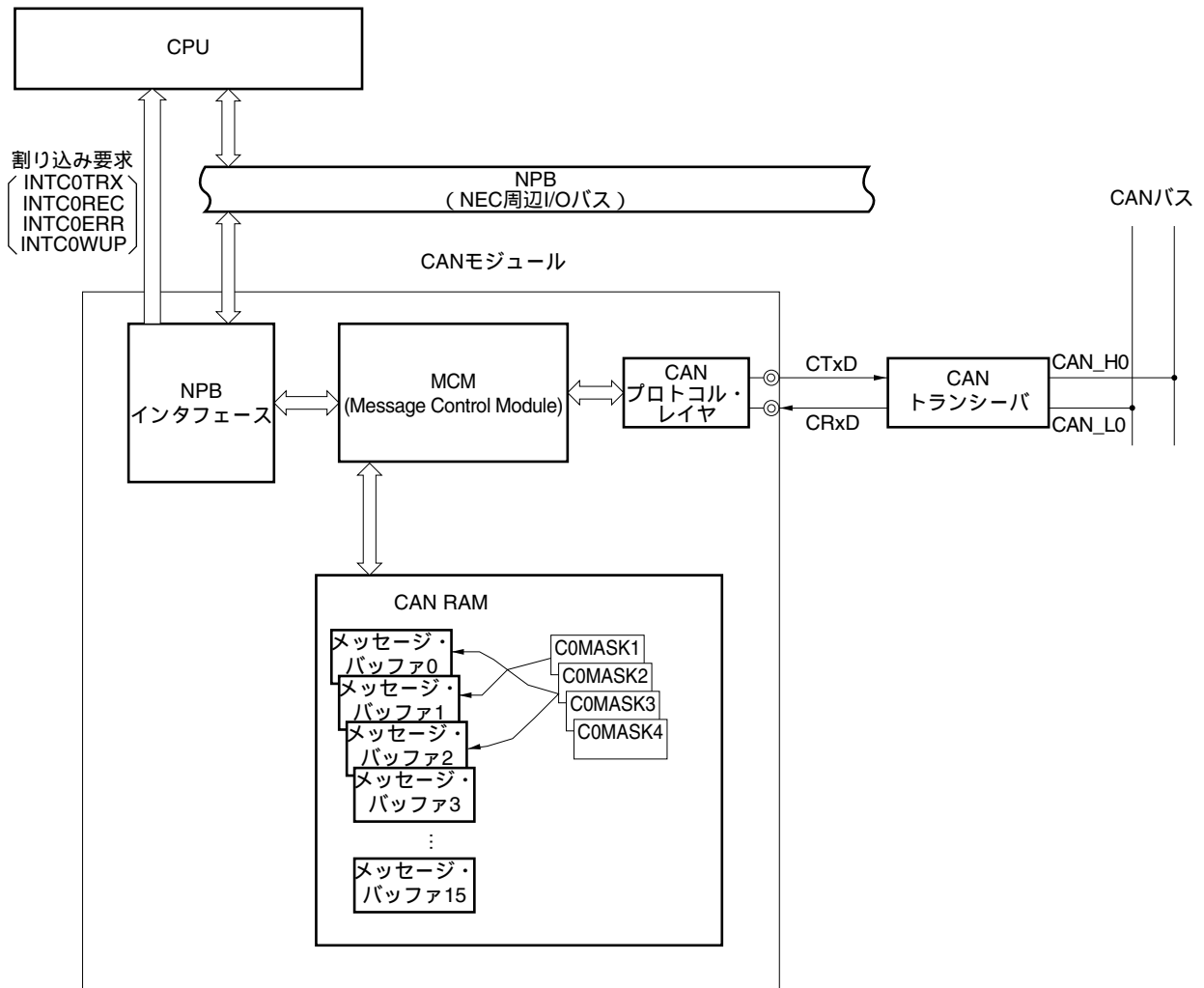
(3) CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

(4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図16-1 CANのブロック図



16.2 CANプロトコル

CAN (Controller Area Network) は、車輦内リアルタイム通信用 (クラスC) 高速多重通信プロトコルです。CAN はISO 11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図16 - 2 各レイヤの構成

上位 ↑ ↓ 下位	データ・リンク・レイヤ ^注	・ロジカル・リンク・コントロール (LLC) ・メディアム・アクセス・コントロール (MAC)	・アクセプタンス・フィルタリング ・オーバロード通知 ・リカバリ・マネージメント ・フレーム・コーディング (スタッフイング / 非スタッフイング) ・メディアム・アクセス・マネージメント ・エラー検知 ・エラー通知 ・アクノリッジ ・シリアル化 / 非シリアル化
	物理レイヤ		信号レベル, ビット表現の規定

注 CANコントローラ仕様

16.2.1 フレーム・フォーマット

(1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が 2048×2^{18} 個になります。
- ・アービトラージ・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合、拡張フォーマット・フレームになります。

16.2.2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表16-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には、ドミナントとレセシブの2通りがあります。

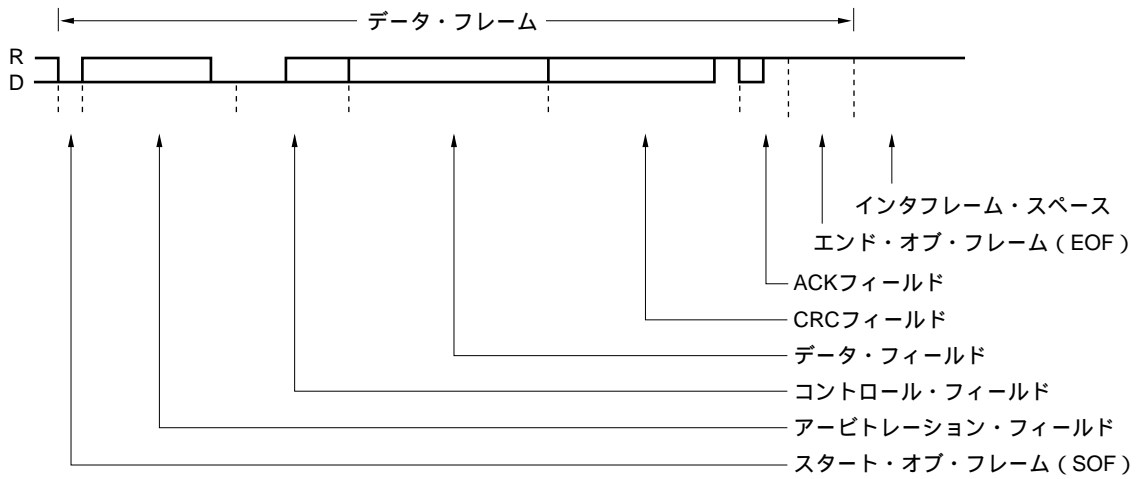
- ・ドミナント・レベルは論理0で表します。
- ・レセシブ・レベルは論理1で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

16.2.3 データ・フレーム/リモート・フレーム

(1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

図16-3 データ・フレーム

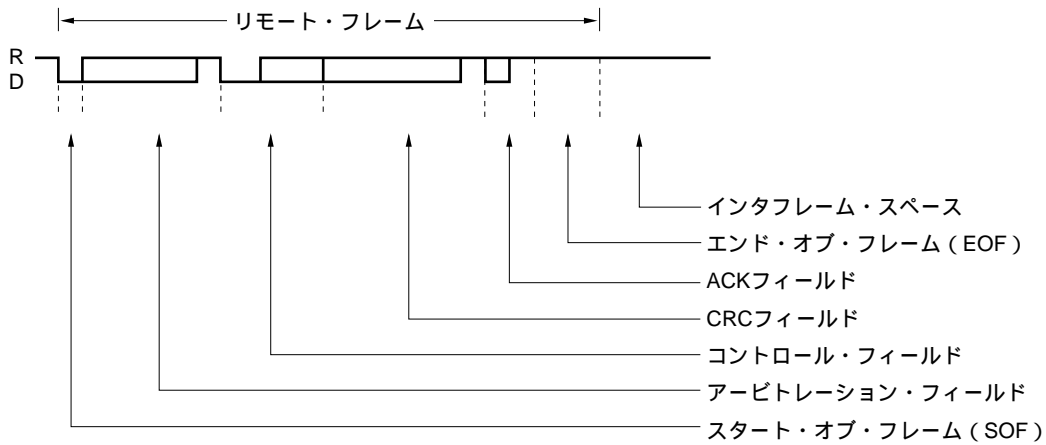


備考 D: ドミナント = 0
R: レセシブ = 1

(2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図16-4 リモート・フレーム



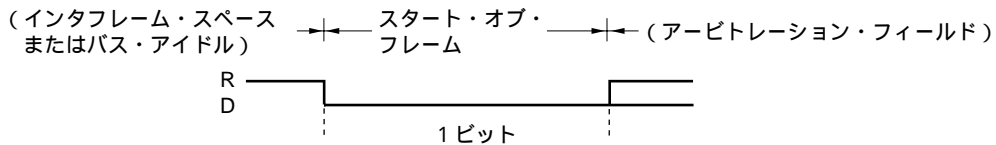
- 備考1. コントロール・フィールドのデータ長コード 0000Bでもデータ・フィールドは転送しません。
2. D: ドミナント = 0
R: レセシブ = 1

(3) 各フィールドの説明

スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図16-5 スタート・オブ・フレーム (SOF)



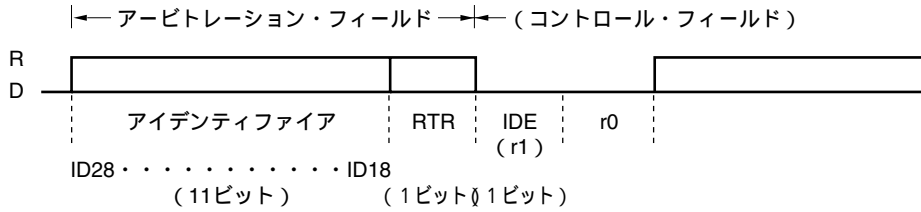
- 備考 D: ドミナント = 0
R: レセシブ = 1

- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます(その際、該当するTQがシンク・セグメントになります)。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットはSOFになります。もし、レセシブ・レベルが検出されたときは、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

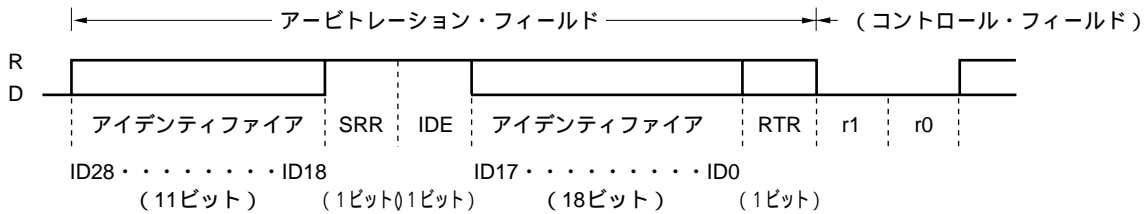
図16-6 アービトレーション・フィールド(標準フォーマット・モード時)



- 注意1. ID28-ID18は、アイデンティファイアです。
- 2. アイデンティファイアは、MSBファーストで送信されます。

備考 D: ドミナント = 0
R: レセシブ = 1

図16-7 アービトレーション・フィールド(拡張フォーマット・モード時)



- 注意1. ID28-ID0は、アイデンティファイアです。
- 2. アイデンティファイアは、MSBファーストで送信されます。

備考 D: ドミナント = 0
R: レセシブ = 1

表16-3 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

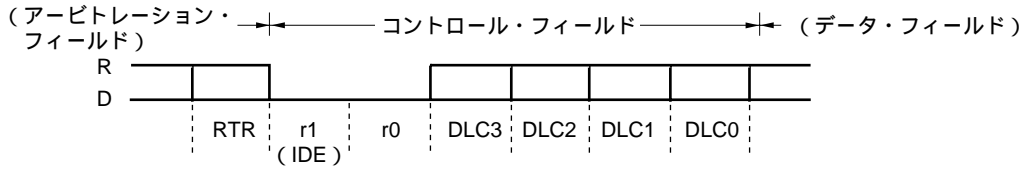
表16-4 フレーム・フォーマットの設定 (IDEビット) とアイデンティファイア (ID) のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

コントロール・フィールド

コントロール・フィールドは、データ・フィールドのデータ・バイト数DLCの設定をします(N = 0-8)。

図16 - 8 コントロール・フィールド



備考 D : ドミナント = 0

R : レセシブ = 1

標準フォーマット・フレームでは、コントロール・フィールドのIDEビットとr1ビットは、同一となります。

表16 - 5 データ長の設定

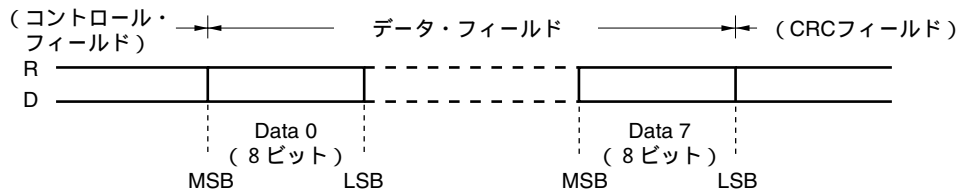
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意 リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。

データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大8データ設定できます。

図16 - 9 データ・フィールド

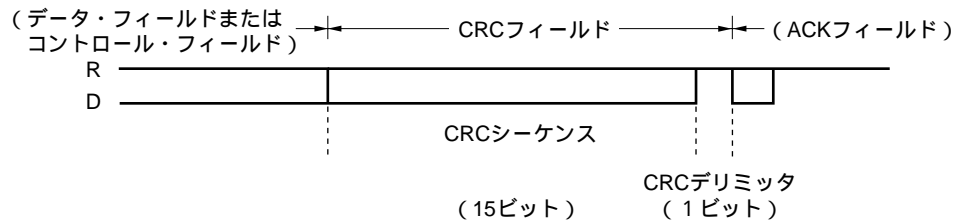


備考 D : ドミナント = 0
R : レセシブ = 1

CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。

図16 - 10 CRCフィールド



備考 D : ドミナント = 0
R : レセシブ = 1

- ・15ビットのCRCシーケンスを生成する多項式 $P(X)$ は、次のようになります。

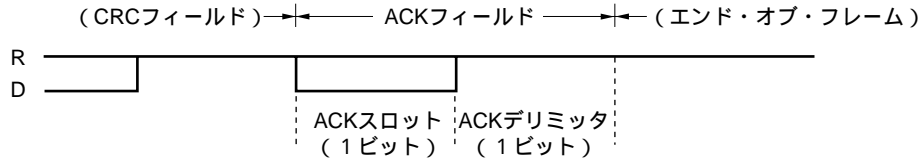
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシーケンスを送信します。
- ・受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールドのCRCシーケンスを比較します。一致しない場合、ノードはエラー・フレームを送信します。

ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図16 - 11 ACKフィールド



備考 D : ドミナント = 0

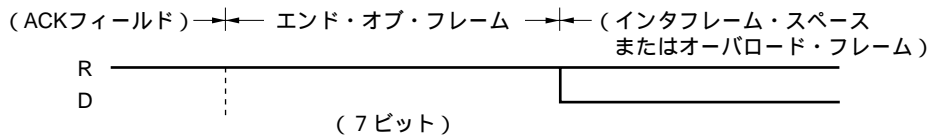
R : レセシブ = 1

- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図16 - 12 エンド・オブ・フレーム (EOF)



備考 D : ドミナント = 0

R : レセシブ = 1

インタフレーム・スペース

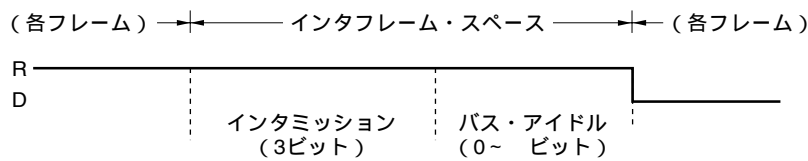
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバーロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

(i) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成

図16 - 13 インタフレーム・スペース（エラー・アクティブ状態のノードの場合）



備考1. バス・アイドル：各ノードがバスを使用していない状態を示します。

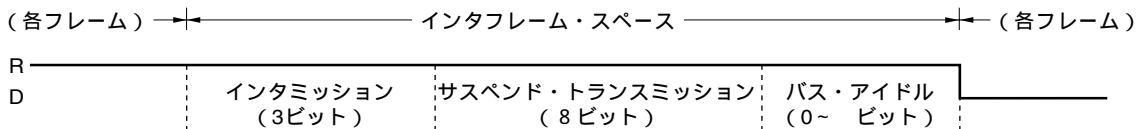
2. D：ドミナント = 0

R：レセシブ = 1

(ii) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成

図16 - 14 インタフレーム・スペース（エラー・パッシブ状態のノードの場合）



備考1. バス・アイドル：各ノードがバスを使用していない状態を示します。

サスペンド・トランスミッション：エラー・パッシブ状態にあるノードにより送信される8ビットのレセシブ

2. D：ドミナント = 0

R：レセシブ = 1

通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

・エラー状態による動作

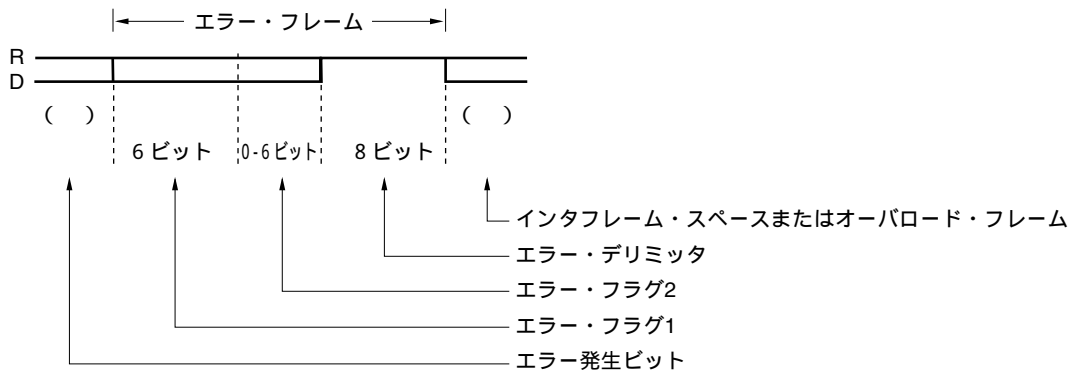
表16 - 6 エラー状態による動作

エラー状態	動作
エラー・アクティブ	3ビットのインタミッション後，ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから，さらに8ビット待つて送信可能状態になります。

16.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図16 - 15 エラー・フレーム



備考 D : ドミナント = 0

R : レセシブ = 1

表16 - 7 エラー・フレームの各フィールドの定義

No.	名称	ビット数	定義
	エラー・フラグ1	6	エラー・アクティブ・ノード：6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード：6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
	エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
	エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
	エラー発生ビット	-	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
	インタフレーム・スペース / オーバロード・フレーム	-	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

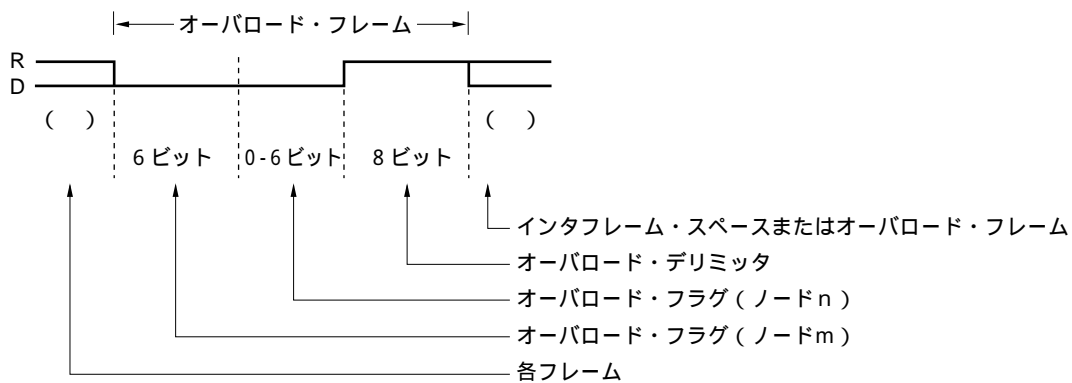
16.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき[※]
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット(7ビット目),またはエラー・デリミッタ/オーバロード・デリミッタの最終ビット(8ビット目)にドミナント・レベルを検出したとき

注 CANでは、内部処理が十分に早いいため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図16-16 オーバロード・フレーム



備考 D:ドミナント = 0
R:レセシブ = 1

表16-8 オーバロード・フレームの各フィールドの定義

No.	名称	ビット数	定義
	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
	他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検索した場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	-	エンド・オブ・フレーム,エラー・デリミッタ,オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース/ オーバロード・フレーム	-	インタフレーム・スペース,またはオーバロード・フレームが続きます。

16.3 機能

16.3.1 バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

- ・アービトレーション・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります）。
- ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表16-9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトレーション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

注意 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合）、標準フォーマット・フレームのリモート・フレームが優先されます。

16.3.2 ビット・スタッフ

ビット・スタッフは、バースト・エラーを防ぐために、同一レベルが5ビット連続した場合、1ビットの反転データを付加して、同期をとる仕組みです。

表16-10 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

16.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため、どのノードでもバス・マスタになることができます。

16.3.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

16.3.5 CANスリープ・モード/CANストップ・モード機能

CANスリープ・モード/CANストップ・モード機能により、CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

16.3.6 エラー制御機能

(1) エラーの種類

表16 - 11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信 / 受信ノード	フィールド / フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信 / 受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム, エラー・フレーム, オーバロード・フレームでバス上にデータを出力しているビット
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド / フレームのチェック	固定フォーマット違反の検出	受信ノード	<ul style="list-style-type: none"> ・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表16 - 12 エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー, スタッフ・エラー, フォーム・エラー, ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。
(ただし、シングル・ショット・モード時には再送は行いません。)

(4) エラー状態

(a) エラー状態の種類

CANスベックで規定されているエラーの状態には次の3種類があります。

エラー・アクティブ
エラー・パッシブ
バスオフ

これらは、CANエラー・カウンタ・レジスタ (C0ERC) のTEC7-TEC0ビット (送信エラー・カウンタ・ビット) およびREC6-REC0ビット (受信エラー・カウンタ・ビット) の値によって表16 - 13のように分類されます。

現在のエラー状態はCANモジュール情報レジスタ (C0INFO) に表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル (96) 以上になると、C0INFOレジスタのTECS0ビットあるいはRECS0ビットが1にセットされます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると、エラー・パッシブ状態となり、C0INFOレジスタのTECS1ビットあるいはRECS1ビットがセット(1)されます。

- ・送信エラー・カウンタ値が256以上 (実際には送信エラー・カウンタ値は256以上の値は表示しません) になると、バスオフ状態となり、C0INFOレジスタのBOFFビットがセット (1) されます。
- ・スタート・アップ時、バス上に1個のノードしかアクティブでない場合 (= 自局のみバスに接続されているような特定のケース)、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとの送信エラー・カウンタはインクリメントされず、バスオフには移行しません。

表16 - 13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	C0INFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて8ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128以上	RECS1, RECS0が11	
バスオフ	送信	256以上(表示はしない) ^注	BOFFが1, TECS1, TECS0が11	・通信できません。 ただし、フレーム受信時にメッセージは格納しませんが、以下の , , の動作を行います。 TSOUTがトグルします。 RECが +/- します。 VALIDビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11ビット連続したレセシブ・レベルが128回発生すると、エラー・カウンタが0にリセットされ、エラー・アクティブ状態に戻ることができます。

注 送信エラー・カウンタ (TEC) の値は、BOFFビットがセットされたときには意味を持ちません。送信エラー・カウンタが248-255の範囲の値のとき、さらに+8のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにバスオフ状態となります。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表16 - 14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0ビット)	受信エラー・カウンタ (REC6-REC0ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ, オーバロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPSビット = 0時)
受信ノードがエラー・フレームのエラー・フラグ出力の次に ドミナント・レベルを検出	変化なし	+8 (REPSビット = 0時)
送信ノードがエラー・フラグを送信 [例外として, 次の場合のエラー・カウンタは変化しません] エラー・パッシブ状態で, ACKエラーを検出しパッシブ・ エラー・フラグを出力中にドミナント・レベルを未検出 アービトラージョン・フィールド中にスタッフ・エラーを 検出し, それがスタッフ・ビットとしてレセシブ・レベル を送信したが, ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中 のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ, オーバロード・フラグ出力中 のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPSビット = 0時)
各ノードがアクティブ・エラー・フラグ, オーバロード・フ ラグの最初から14個の連続したドミナント・レベルを検出, およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと, 8個連続のドミ ナント・レベルを検出	+8 (送信時)	+8 (受信時, REPSビッ ト = 0時)
送信ノードがエラーなしで, 送信を完了 (エラー・カウンタ = 0の場合は±0)	- 1	変化なし
受信ノードがエラーなしで, 受信を完了	変化なし	・ - 1 (1 REC6-REC0 127, REPSビット = 0時) ・ ±0 (REC6-REC0 = 0, REPSビット = 0時) ・ 119 ~ 127のいずれかの値 をセット (REPSビット = 1時)

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

注意 エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

(5) バスオフ状態からの復帰動作

CANモジュールが、バスオフ状態になった場合、CANバスから切り離された送信端子 (CTxD) は、常にレセシブ・レベルの出力となります。

バスオフ状態からの復帰は、以下に示すバスオフ復帰 (リカバリ) シーケンスにより行います。

CAN初期化モードへの移行要求

CAN動作モードへの移行要求

- (a) 通常リカバリ・シーケンスによる復帰動作
- (b) リカバリ・シーケンスをスキップする強制復帰動作

(a) 通常リカバリ・シーケンスによるバスオフからの復帰動作

まず、初期化モードへの移行要求を行います (図16 - 17中のタイミング 参照)。この移行要求はただちに受け付けられ、C0CTRLレジスタのOPMODEビットは000Bとなります。アプリケーション・ソフトウェアにより、バスオフの原因となった故障の解析、CANモジュールおよびメッセージ・バッファの再定義、あるいはGOMビットをクリア(0)することで、CANモジュール自体の動作停止といった処置を行うことが可能です。

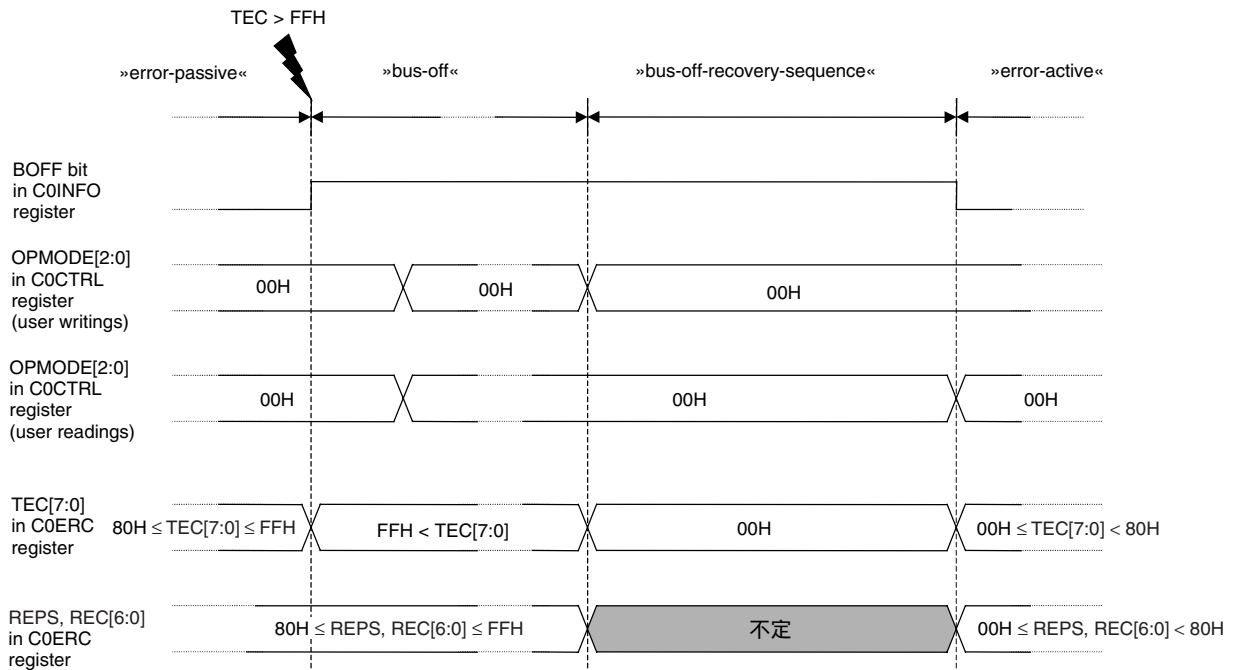
次に、初期化モードから任意の動作モードへの移行要求を行います (図16 - 17中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バスオフからのリカバリ動作が開始されます。バスオフからのリカバリ条件は、CANプロトコルISO11898に規定されており、11ビットの連続したレセシブ・ビットを128回検出することが必要です。このとき、任意の動作モードへの移行要求はバスオフのリカバリ条件が満足するまでは保留され、バスオフのリカバリ条件が満足した時点 (図16 - 17中のタイミング 参照)でCANモジュールは要求された動作モードに移行します。この間、CANモジュールは初期化モードを維持し、任意の動作モードへの移行の完了は、C0CTRLレジスタのOPMODEビットをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE [2:0] = 000Bがリードされます。

バスオフ期間中およびバスオフ・リカバリ・シーケンス中は、C0INFOレジスタのBOFFビットはセット (1) を継続します。バスオフ・リカバリ・シーケンスは、受信エラー・カウンタ (REC[6:0]) により、バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC[6:0]ビットをリードすることにより復帰状況を確認することができます。

- 注意1.** バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバスオフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。
- 2.** バスオフ・リカバリ・シーケンス中は、REC [6:0]ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウントアップ (+1) します。

バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには、初期化モードにいったん移行する必要がありますが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへは移行することができません。この場合は、初期化モードへの移行を行われなくても、CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウェアによるPSMODEビットのクリアのほかにも、CANバス上のドミナント・エッジ検知によるウエイク・アップによっても、バスオフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるPSMODEのクリアが必要になります)。

図16 - 17 通常リカバリ・シーケンスによるバスオフからの復帰動作



(b) バスオフ・リカバリ・シーケンスをスキップする強制復帰動作

バスオフ・リカバリ・シーケンスをスキップすることで、バスの状態によらずCANモジュールを強制的にバスオフから復帰させることが可能です。手順を以下に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、前述の(a)通常リカバリ・シーケンスによるバスオフからの復帰動作を参照してください。

次に、任意の動作モードへの移行要求を行い、同時にCOCTRLレジスタのCCERCビットをセット(1)します。

これにより、CANプロトコルISO11898で規定されているバスオフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CANバスへの再接続はCANモジュールが連続した11ビットのレセプ・ビットのモニタ後に行われます。詳細は、図16 - 56の処理を参照してください。

注意 この機能は、CANプロトコルISO11898に規定されておりませんので、ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。

(6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ(C0ERC)の初期化

プログラム・デバッグや評価のために、CANモジュール・エラー・カウンタ・レジスタ (C0ERC)、およびCANモジュール情報レジスタ (C0INFO) の初期化が必要となる場合には、初期化モード中にC0CTRLレジスタのCCERCビットをセット(1)することで、C0ERC、C0INFOレジスタは初期値に初期化されます。初期化が完了すると、CCERCビットは自動的にクリア(0)されます。

- 注意 1.** この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット(1)したとしても、C0ERC、C0INFOレジスタは初期化されません。
- 2.** CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。

16.3.7 ボー・レート制御機能

(1) プリスケーラ

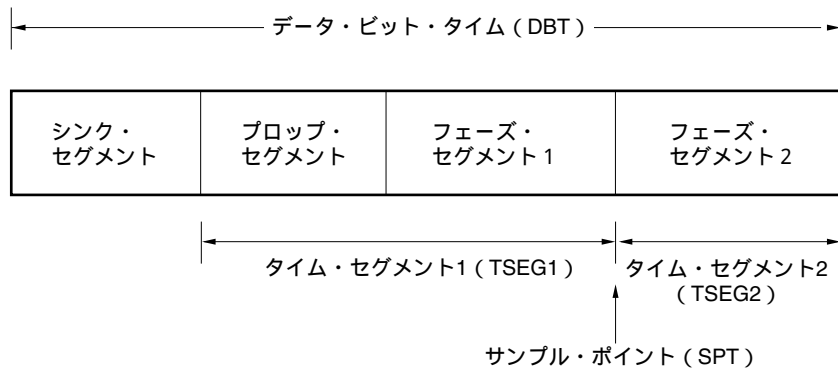
CANコントローラは、CANへの供給クロック (f_{CAN}) を分周するプリスケーラを持っています。また、プリスケーラは、CANモジュール・システム・クロック (f_{CANMOD}) を1-256分周したCANプロトコル・レイヤ基本クロック (f_{TQ}) を発生します (16.6 (12) CANモジュール・ビット・レート・プリスケーラ・レジスタ (C0BRP) 参照)。

(2) データ・ビット・タイム (8-25 Time Quantum)

1データ・ビット・タイムは、図16-18のように定義されています。図16-18で示すようなタイム・セグメント1、タイム・セグメント2、同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定されます。

タイム・セグメント1は、CANプロトコル使用で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は、フェーズ・セグメント2に該当します

図16 - 18 セグメントの設定



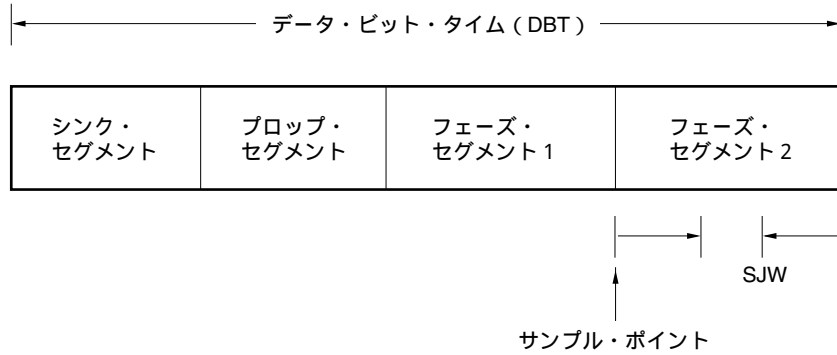
セグメント名	設定可能範囲	CANスペック準拠のための設定上の注意
タイム・セグメント1 (TSEG1)	2TQ-16TQ	-
タイム・セグメント2 (TSEG2)	1TQ-8TQ	CANコントローラのIPTは0TQです。このため、CANプロトコル仕様に準拠するためには、フェーズ・セグメント1と等しい長さがここに設定されなければなりません。すなわち、タイム・セグメント1の長さから1TQを引いた長さがタイム・セグメント2の設定上限となります。
同期ジャンプ幅 (SJW)	1TQ-4TQ	タイム・セグメント1から1TQを引いた長さまたは4TQの小さいほうの値。

備考 IPT : Information Processing Time

TQ : Time Quanta

参考 CAN標準仕様ISO11898では、データ・ビット・タイムを構成する各セグメントは、図16 - 19のように規定されています。

図16 - 19 CANスペック上でのデータ・ビット・タイムの構成



セグメント名	セグメント長	説明
シンク・セグメント (Synchronization Segment)	1	ハードウェア同期がかかると、レセプシブからドミナントに移行するエッジでこのセグメントが始まります。
プロップ・セグメント (Propagation Segment)	1-8のプログラマブル、またはそれ以上	出力バッファ、CANバス、入力バッファの遅延を吸収するためのセグメントです。 フェーズ・セグメント1の開始までにACKが戻ってくるように設定します。 プロップ・セグメントの時間 (出力バッファの遅延) + 2 × (CANバスの遅延) + (入力バッファの遅延)
フェーズ・セグメント1 (Phase Buffer Segment 1)	1-8のプログラマブル	データ・ビット・タイムの誤差を補償するためのセグメントで、大きいほど許容範囲が大きくとれますが、通信スピードは遅くなります。
フェーズ・セグメント2 (Phase Buffer Segment 2)	フェーズ・セグメント1とIPTとのうち大きい方の値	
SJW (reSynchronization Jump Width)	1TQからセグメント1TQまたは4TQの小さい方までの範囲でプログラマブル	再同期の際のフェーズ・セグメントの伸縮の上限を設定します。

備考 IPT : Information Processing Time

TQ : Time Quanta

(3) データ・ビットの同期

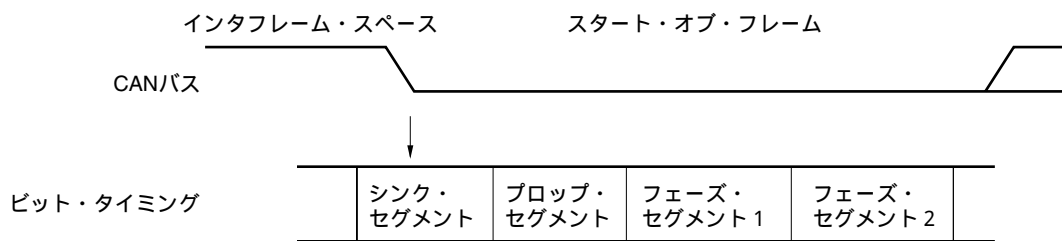
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのTQがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWには無関係に同期をとります。

図16 - 20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期



(b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセプブ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。

< 位相誤差の符号 >

0：エッジがシンク・セグメント内にある場合

正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）

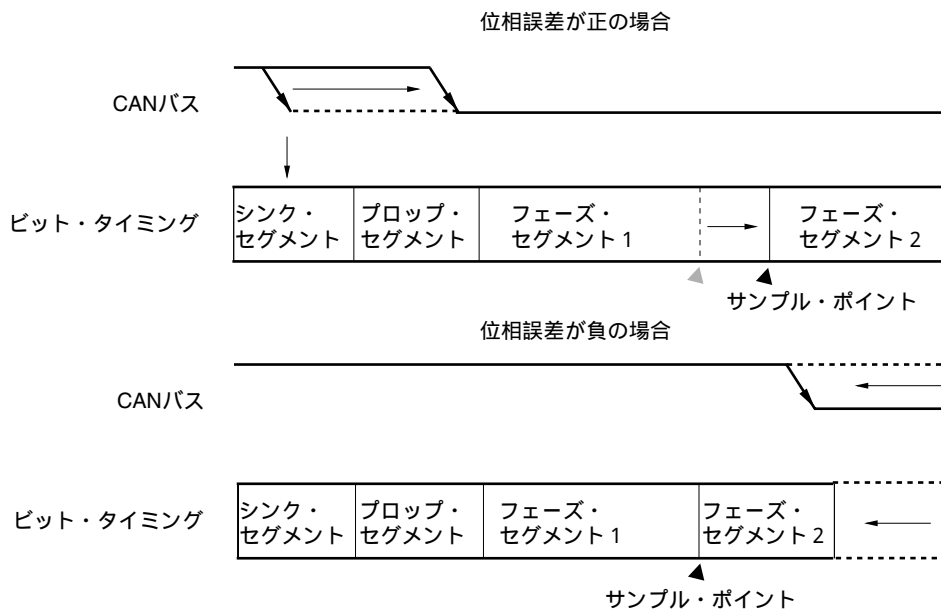
負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）

位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。

位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。

- ・送信ノードと受信ノードのポー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

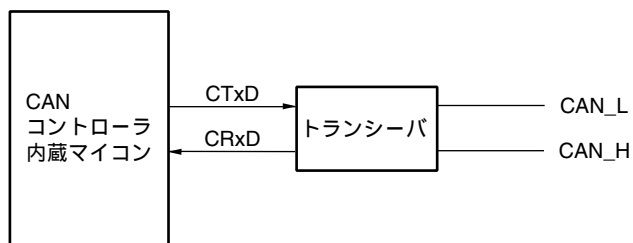
図16 - 21 再同期



16.4 ターゲット・システムとの接続

CANモジュールは、外部トランシーバを使用してCANバスに接続しなければなりません。

図16 - 22 CANバスへの接続



16.5 CANコントローラの内部レジスタ

16.5.1 CANコントローラの構成

表16-15 CANコントローラのレジスタ一覧

項 目	レジスタ名
CANグローバル・レジスタ	CANグローバル・モジュール制御レジスタ (C0GMCTRL)
	CANグローバル・モジュール・クロック選択レジスタ (C0GMCS)
	CANグローバル自動ブロック送信制御レジスタ (C0GMABT)
	CANグローバル自動ブロック送信遅延レジスタ (C0GMABTD)
CANモジュール・レジスタ	CANモジュール・マスク1レジスタ (C0MASK1L, C0MASK1H)
	CANモジュール・マスク2レジスタ (C0MASK2L, C0MASK2H)
	CANモジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)
	CANモジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)
	CANモジュール制御レジスタ (C0CTRL)
	CANモジュール最終エラー・レジスタ (C0LEC)
	CANモジュール情報レジスタ (C0INFO)
	CANモジュール・エラー・カウンタ・レジスタ (C0ERC)
	CANモジュール割り込み許可レジスタ (C0IE)
	CANモジュール割り込みステータス・レジスタ (C0INTS)
	CANモジュール・ビットレート・プリスケラ・レジスタ (C0BRP)
	CANモジュール・ビットレート・レジスタ (C0BTR)
	CANモジュール最終受信ポインタ・レジスタ (C0LIPT)
	CANモジュール受信履歴・リスト・レジスタ (C0RGPT)
	CANモジュール最終送信ポインタ・レジスタ (C0LOPT)
	CANモジュール送信履歴・リスト・レジスタ (C0TGPT)
	CANモジュール・タイム・スタンプ・レジスタ (C0TS)
メッセージ・バッファ・レジスタ	CANメッセージ・データ・バイト01レジスタm (C0MDATA01m)
	CANメッセージ・データ・バイト0レジスタm (C0MDATA0m)
	CANメッセージ・データ・バイト1レジスタm (C0MDATA1m)
	CANメッセージ・データ・バイト23レジスタm (C0MDATA23m)
	CANメッセージ・データ・バイト2レジスタm (C0MDATA2m)
	CANメッセージ・データ・バイト3レジスタm (C0MDATA3m)
	CANメッセージ・データ・バイト45レジスタm (C0MDATA45m)
	CANメッセージ・データ・バイト4レジスタm (C0MDATA4m)
	CANメッセージ・データ・バイト5レジスタm (C0MDATA5m)
	CANメッセージ・データ・バイト67レジスタm (C0MDATA67m)
	CANメッセージ・データ・バイト6レジスタm (C0MDATA6m)
	CANメッセージ・データ・バイト7レジスタm (C0MDATA7m)
	CANメッセージ・データ長レジスタm (C0MDLCm)
	CANメッセージ・コンフィギュレーション・レジスタm (C0MCONFm)
	CANメッセージIDレジスタm (C0MIDLm, C0MIDHm)
CANメッセージ制御レジスタm (C0MCTRLm)	

備考1. CANグローバル・レジスタは、C0GM<レジスタ機能>によって定義されます。

CANモジュール・レジスタは、C0<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、C0M<レジスタ機能>によって定義されます。

2. m = 0-15

16.5.2 レジスタ・アクセス・タイプ

表16-16 レジスタ・アクセス・タイプ (1/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA00H	CAN0メッセージ・データ・バイト01レジスタ00	COMDATA0100	R/W				不定
FA00H	CAN0メッセージ・データ・バイト0レジスタ00	COMDATA0000					不定
FA01H	CAN0メッセージ・データ・バイト1レジスタ00	COMDATA1000					不定
FA02H	CAN0メッセージ・データ・バイト23レジスタ00	COMDATA2300					不定
FA02H	CAN0メッセージ・データ・バイト2レジスタ00	COMDATA2000					不定
FA03H	CAN0メッセージ・データ・バイト3レジスタ00	COMDATA3000					不定
FA04H	CAN0メッセージ・データ・バイト45レジスタ00	COMDATA4500					不定
FA04H	CAN0メッセージ・データ・バイト4レジスタ00	COMDATA4000					不定
FA05H	CAN0メッセージ・データ・バイト5レジスタ00	COMDATA5000					不定
FA06H	CAN0メッセージ・データ・バイト67レジスタ00	COMDATA6700					不定
FA06H	CAN0メッセージ・データ・バイト6レジスタ00	COMDATA6000					不定
FA07H	CAN0メッセージ・データ・バイト7レジスタ00	COMDATA7000					不定
FA08H	CAN0メッセージ・データ長レジスタ00	COMDLC00					0000xxxxB
FA09H	CAN0メッセージ・コンフィギュレーション・レジスタ00	COMCONF00					不定
FA0AH	CAN0メッセージIDレジスタ00	COMIDL00					不定
FA0CH		COMIDH00					不定
FA0EH	CAN0メッセージ制御レジスタ00	COMCTRL00					00x00000 000xx000B
FA10H	CAN0メッセージ・データ・バイト01レジスタ01	COMDATA0101					不定
FA10H	CAN0メッセージ・データ・バイト0レジスタ01	COMDATA0001					不定
FA11H	CAN0メッセージ・データ・バイト1レジスタ01	COMDATA1001					不定
FA12H	CAN0メッセージ・データ・バイト23レジスタ01	COMDATA2301					不定
FA12H	CAN0メッセージ・データ・バイト2レジスタ01	COMDATA2001					不定
FA13H	CAN0メッセージ・データ・バイト3レジスタ01	COMDATA3001					不定
FA14H	CAN0メッセージ・データ・バイト45レジスタ01	COMDATA4501					不定
FA14H	CAN0メッセージ・データ・バイト4レジスタ01	COMDATA4001					不定
FA15H	CAN0メッセージ・データ・バイト5レジスタ01	COMDATA5001					不定
FA16H	CAN0メッセージ・データ・バイト67レジスタ01	COMDATA6701					不定
FA16H	CAN0メッセージ・データ・バイト6レジスタ01	COMDATA6001					不定
FA17H	CAN0メッセージ・データ・バイト7レジスタ01	COMDATA7001					不定
FA18H	CAN0メッセージ・データ長レジスタ01	COMDLC01					0000xxxxB
FA19H	CAN0メッセージ・コンフィギュレーション・レジスタ01	COMCONF01				不定	
FA1AH	CAN0メッセージIDレジスタ01	COMIDL01				不定	
FA1CH		COMIDH01				不定	
FA1EH	CAN0メッセージ制御レジスタ01	COMCTRL01				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (2/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA20H	CAN0メッセージ・データ・バイト01レジスタ02	C0MDATA0102	R/W				不定
FA20H	CAN0メッセージ・データ・バイト0レジスタ02	C0MDATA002					不定
FA21H	CAN0メッセージ・データ・バイト1レジスタ02	C0MDATA102					不定
FA22H	CAN0メッセージ・データ・バイト23レジスタ02	C0MDATA2302					不定
FA22H	CAN0メッセージ・データ・バイト2レジスタ02	C0MDATA202					不定
FA23H	CAN0メッセージ・データ・バイト3レジスタ02	C0MDATA302					不定
FA24H	CAN0メッセージ・データ・バイト45レジスタ02	C0MDATA4502					不定
FA24H	CAN0メッセージ・データ・バイト4レジスタ02	C0MDATA402					不定
FA25H	CAN0メッセージ・データ・バイト5レジスタ02	C0MDATA502					不定
FA26H	CAN0メッセージ・データ・バイト67レジスタ02	C0MDATA6702					不定
FA26H	CAN0メッセージ・データ・バイト6レジスタ02	C0MDATA602					不定
FA27H	CAN0メッセージ・データ・バイト7レジスタ02	C0MDATA702					不定
FA28H	CAN0メッセージ・データ長レジスタ02	C0MDLC02					0000xxxxB
FA29H	CAN0メッセージ・コンフィギュレーション・レジスタ02	C0MCONF02					不定
FA2AH	CAN0メッセージIDレジスタ02	C0MIDL02					不定
FA2CH		C0MIDH02					不定
FA2EH	CAN0メッセージ制御レジスタ02	C0MCTRL02					00x00000 000xx000B
FA30H	CAN0メッセージ・データ・バイト01レジスタ03	C0MDATA0103					不定
FA30H	CAN0メッセージ・データ・バイト0レジスタ03	C0MDATA003					不定
FA31H	CAN0メッセージ・データ・バイト1レジスタ03	C0MDATA103					不定
FA32H	CAN0メッセージ・データ・バイト23レジスタ03	C0MDATA2303					不定
FA32H	CAN0メッセージ・データ・バイト2レジスタ03	C0MDATA203					不定
FA33H	CAN0メッセージ・データ・バイト3レジスタ03	C0MDATA303					不定
FA34H	CAN0メッセージ・データ・バイト45レジスタ03	C0MDATA4503					不定
FA34H	CAN0メッセージ・データ・バイト4レジスタ03	C0MDATA403					不定
FA35H	CAN0メッセージ・データ・バイト5レジスタ03	C0MDATA503					不定
FA36H	CAN0メッセージ・データ・バイト67レジスタ03	C0MDATA6703					不定
FA36H	CAN0メッセージ・データ・バイト6レジスタ03	C0MDATA603					不定
FA37H	CAN0メッセージ・データ・バイト7レジスタ03	C0MDATA703				不定	
FA38H	CAN0メッセージ・データ長レジスタ03	C0MDLC03				0000xxxxB	
FA39H	CAN0メッセージ・コンフィギュレーション・レジスタ03	C0MCONF03				不定	
FA3AH	CAN0メッセージIDレジスタ03	C0MIDL03				不定	
FA3CH		C0MIDH03				不定	
FA3EH	CAN0メッセージ制御レジスタ03	C0MCTRL03				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (3/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA40H	CAN0メッセージ・データ・バイト01レジスタ04	C0MDATA0104	R/W				不定
FA40H	CAN0メッセージ・データ・バイト0レジスタ04	C0MDATA004					不定
FA41H	CAN0メッセージ・データ・バイト1レジスタ04	C0MDATA104					不定
FA42H	CAN0メッセージ・データ・バイト23レジスタ04	C0MDATA2304					不定
FA42H	CAN0メッセージ・データ・バイト2レジスタ04	C0MDATA204					不定
FA43H	CAN0メッセージ・データ・バイト3レジスタ04	C0MDATA304					不定
FA44H	CAN0メッセージ・データ・バイト45レジスタ04	C0MDATA4504					不定
FA44H	CAN0メッセージ・データ・バイト4レジスタ04	C0MDATA404					不定
FA45H	CAN0メッセージ・データ・バイト5レジスタ04	C0MDATA504					不定
FA46H	CAN0メッセージ・データ・バイト67レジスタ04	C0MDATA6704					不定
FA46H	CAN0メッセージ・データ・バイト6レジスタ04	C0MDATA604					不定
FA47H	CAN0メッセージ・データ・バイト7レジスタ04	C0MDATA704					不定
FA48H	CAN0メッセージ・データ長レジスタ04	C0MDLC04					0000xxxxB
FA49H	CAN0メッセージ・コンフィギュレーション・レジスタ04	C0MCONF04					不定
FA4AH	CAN0メッセージIDレジスタ04	C0MIDL04					不定
FA4CH		C0MIDH04					不定
FA4EH	CAN0メッセージ制御レジスタ04	C0MCTRL04					00x00000 000xx000B
FA50H	CAN0メッセージ・データ・バイト01レジスタ05	C0MDATA0105					不定
FA50H	CAN0メッセージ・データ・バイト0レジスタ05	C0MDATA005					不定
FA51H	CAN0メッセージ・データ・バイト1レジスタ05	C0MDATA105					不定
FA52H	CAN0メッセージ・データ・バイト23レジスタ05	C0MDATA2305					不定
FA52H	CAN0メッセージ・データ・バイト2レジスタ05	C0MDATA205					不定
FA53H	CAN0メッセージ・データ・バイト3レジスタ05	C0MDATA305					不定
FA54H	CAN0メッセージ・データ・バイト45レジスタ05	C0MDATA4505					不定
FA54H	CAN0メッセージ・データ・バイト4レジスタ05	C0MDATA405					不定
FA55H	CAN0メッセージ・データ・バイト5レジスタ05	C0MDATA505					不定
FA56H	CAN0メッセージ・データ・バイト67レジスタ05	C0MDATA6705					不定
FA56H	CAN0メッセージ・データ・バイト6レジスタ05	C0MDATA605					不定
FA57H	CAN0メッセージ・データ・バイト7レジスタ05	C0MDATA705					不定
FA58H	CAN0メッセージ・データ長レジスタ05	C0MDLC05					0000xxxxB
FA59H	CAN0メッセージ・コンフィギュレーション・レジスタ05	C0MCONF05				不定	
FA5AH	CAN0メッセージIDレジスタ05	C0MIDL05				不定	
FA5CH		C0MIDH05				不定	
FA5EH	CAN0メッセージ制御レジスタ05	C0MCTRL05				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (4/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA60H	CAN0メッセージ・データ・バイト01レジスタ06	C0MDATA0106	R/W				不定
FA60H	CAN0メッセージ・データ・バイト0レジスタ06	C0MDATA006					不定
FA61H	CAN0メッセージ・データ・バイト1レジスタ06	C0MDATA106					不定
FA62H	CAN0メッセージ・データ・バイト23レジスタ06	C0MDATA2306					不定
FA62H	CAN0メッセージ・データ・バイト2レジスタ06	C0MDATA206					不定
FA63H	CAN0メッセージ・データ・バイト3レジスタ06	C0MDATA306					不定
FA64H	CAN0メッセージ・データ・バイト45レジスタ06	C0MDATA4506					不定
FA64H	CAN0メッセージ・データ・バイト4レジスタ06	C0MDATA406					不定
FA65H	CAN0メッセージ・データ・バイト5レジスタ06	C0MDATA506					不定
FA66H	CAN0メッセージ・データ・バイト67レジスタ06	C0MDATA6706					不定
FA66H	CAN0メッセージ・データ・バイト6レジスタ06	C0MDATA606					不定
FA67H	CAN0メッセージ・データ・バイト7レジスタ06	C0MDATA706					不定
FA68H	CAN0メッセージ・データ長レジスタ06	C0MDLC06					0000xxxxB
FA69H	CAN0メッセージ・コンフィギュレーション・レジスタ06	C0MCONF06					不定
FA6AH	CAN0メッセージIDレジスタ06	C0MIDL06					不定
FA6CH		C0MIDH06					不定
FA6EH	CAN0メッセージ制御レジスタ06	C0MCTRL06					00x00000 000xx000B
FA70H	CAN0メッセージ・データ・バイト01レジスタ07	C0MDATA0107					不定
FA70H	CAN0メッセージ・データ・バイト0レジスタ07	C0MDATA007					不定
FA71H	CAN0メッセージ・データ・バイト1レジスタ07	C0MDATA107					不定
FA72H	CAN0メッセージ・データ・バイト23レジスタ07	C0MDATA2307					不定
FA72H	CAN0メッセージ・データ・バイト2レジスタ07	C0MDATA207					不定
FA73H	CAN0メッセージ・データ・バイト3レジスタ07	C0MDATA307					不定
FA74H	CAN0メッセージ・データ・バイト45レジスタ07	C0MDATA4507					不定
FA74H	CAN0メッセージ・データ・バイト4レジスタ07	C0MDATA407					不定
FA75H	CAN0メッセージ・データ・バイト5レジスタ07	C0MDATA507					不定
FA76H	CAN0メッセージ・データ・バイト67レジスタ07	C0MDATA6707					不定
FA76H	CAN0メッセージ・データ・バイト6レジスタ07	C0MDATA607				不定	
FA77H	CAN0メッセージ・データ・バイト7レジスタ07	C0MDATA707				不定	
FA78H	CAN0メッセージ・データ長レジスタ07	C0MDLC07				0000xxxxB	
FA79H	CAN0メッセージ・コンフィギュレーション・レジスタ07	C0MCONF07				不定	
FA7AH	CAN0メッセージIDレジスタ07	C0MIDL07				不定	
FA7CH		C0MIDH07				不定	
FA7EH	CAN0メッセージ制御レジスタ07	C0MCTRL07				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (5/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FA80H	CAN0メッセージ・データ・バイト01レジスタ08	C0MDATA0108	R/W				不定
FA80H	CAN0メッセージ・データ・バイト0レジスタ08	C0MDATA008					不定
FA81H	CAN0メッセージ・データ・バイト1レジスタ08	C0MDATA108					不定
FA82H	CAN0メッセージ・データ・バイト23レジスタ08	C0MDATA2308					不定
FA82H	CAN0メッセージ・データ・バイト2レジスタ08	C0MDATA208					不定
FA83H	CAN0メッセージ・データ・バイト3レジスタ08	C0MDATA308					不定
FA84H	CAN0メッセージ・データ・バイト45レジスタ08	C0MDATA4508					不定
FA84H	CAN0メッセージ・データ・バイト4レジスタ08	C0MDATA408					不定
FA85H	CAN0メッセージ・データ・バイト5レジスタ08	C0MDATA508					不定
FA86H	CAN0メッセージ・データ・バイト67レジスタ08	C0MDATA6708					不定
FA86H	CAN0メッセージ・データ・バイト6レジスタ08	C0MDATA608					不定
FA87H	CAN0メッセージ・データ・バイト7レジスタ08	C0MDATA708					不定
FA88H	CAN0メッセージ・データ長レジスタ08	C0MDLC08					0000xxxxB
FA89H	CAN0メッセージ・コンフィギュレーション・レジスタ08	C0MCONF08					不定
FA8AH	CAN0メッセージIDレジスタ08	C0MIDL08					不定
FA8CH		C0MIDH08					不定
FA8EH	CAN0メッセージ制御レジスタ08	C0MCTRL08					00x00000 000xx000B
FA90H	CAN0メッセージ・データ・バイト01レジスタ09	C0MDATA0109					不定
FA90H	CAN0メッセージ・データ・バイト0レジスタ09	C0MDATA009					不定
FA91H	CAN0メッセージ・データ・バイト1レジスタ09	C0MDATA109					不定
FA92H	CAN0メッセージ・データ・バイト23レジスタ09	C0MDATA2309					不定
FA92H	CAN0メッセージ・データ・バイト2レジスタ09	C0MDATA209					不定
FA93H	CAN0メッセージ・データ・バイト3レジスタ09	C0MDATA309					不定
FA94H	CAN0メッセージ・データ・バイト45レジスタ09	C0MDATA4509					不定
FA94H	CAN0メッセージ・データ・バイト4レジスタ09	C0MDATA409					不定
FA95H	CAN0メッセージ・データ・バイト5レジスタ09	C0MDATA509					不定
FA96H	CAN0メッセージ・データ・バイト67レジスタ09	C0MDATA6709					不定
FA96H	CAN0メッセージ・データ・バイト6レジスタ09	C0MDATA609					不定
FA97H	CAN0メッセージ・データ・バイト7レジスタ09	C0MDATA709					不定
FA98H	CAN0メッセージ・データ長レジスタ09	C0MDLC09					0000xxxxB
FA99H	CAN0メッセージ・コンフィギュレーション・レジスタ09	C0MCONF09				不定	
FA9AH	CAN0メッセージIDレジスタ09	C0MIDL09				不定	
FA9CH		C0MIDH09				不定	
FA9EH	CAN0メッセージ制御レジスタ09	C0MCTRL09				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (6/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FAA0H	CAN0メッセージ・データ・バイト01レジスタ10	C0MDATA0110	R/W				不定
FAA0H	CAN0メッセージ・データ・バイト0レジスタ10	C0MDATA010					不定
FAA1H	CAN0メッセージ・データ・バイト1レジスタ10	C0MDATA110					不定
FAA2H	CAN0メッセージ・データ・バイト23レジスタ10	C0MDATA2310					不定
FAA2H	CAN0メッセージ・データ・バイト2レジスタ10	C0MDATA210					不定
FAA3H	CAN0メッセージ・データ・バイト3レジスタ10	C0MDATA310					不定
FAA4H	CAN0メッセージ・データ・バイト45レジスタ10	C0MDATA4510					不定
FAA4H	CAN0メッセージ・データ・バイト4レジスタ10	C0MDATA410					不定
FAA5H	CAN0メッセージ・データ・バイト5レジスタ10	C0MDATA510					不定
FAA6H	CAN0メッセージ・データ・バイト67レジスタ10	C0MDATA6710					不定
FAA6H	CAN0メッセージ・データ・バイト6レジスタ10	C0MDATA610					不定
FAA7H	CAN0メッセージ・データ・バイト7レジスタ10	C0MDATA710					不定
FAA8H	CAN0メッセージ・データ長レジスタ10	C0MDLC10					0000xxxxB
FAA9H	CAN0メッセージ・コンフィギュレーション・レジスタ10	C0MCONF10					不定
FAAAH	CAN0メッセージIDレジスタ10	C0MIDL10					不定
FAACH		C0MIDH10					不定
FAAEH	CAN0メッセージ制御レジスタ10	C0MCTRL10					00x00000 000xx000B
FAB0H	CAN0メッセージ・データ・バイト01レジスタ11	C0MDATA0111					不定
FAB0H	CAN0メッセージ・データ・バイト0レジスタ11	C0MDATA011					不定
FAB1H	CAN0メッセージ・データ・バイト1レジスタ11	C0MDATA111					不定
FAB2H	CAN0メッセージ・データ・バイト23レジスタ11	C0MDATA2311					不定
FAB2H	CAN0メッセージ・データ・バイト2レジスタ11	C0MDATA211					不定
FAB3H	CAN0メッセージ・データ・バイト3レジスタ11	C0MDATA311					不定
FAB4H	CAN0メッセージ・データ・バイト45レジスタ11	C0MDATA4511					不定
FAB4H	CAN0メッセージ・データ・バイト4レジスタ11	C0MDATA411					不定
FAB5H	CAN0メッセージ・データ・バイト5レジスタ11	C0MDATA511					不定
FAB6H	CAN0メッセージ・データ・バイト67レジスタ11	C0MDATA6711					不定
FAB6H	CAN0メッセージ・データ・バイト6レジスタ11	C0MDATA611				不定	
FAB7H	CAN0メッセージ・データ・バイト7レジスタ11	C0MDATA711				不定	
FAB8H	CAN0メッセージ・データ長レジスタ11	C0MDLC11				0000xxxxB	
FAB9H	CAN0メッセージ・コンフィギュレーション・レジスタ11	C0MCONF11				不定	
FABAH	CAN0メッセージIDレジスタ11	C0MIDL11				不定	
FABCH		C0MIDH11				不定	
FABEH	CAN0メッセージ制御レジスタ11	C0MCTRL11				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (7/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FAC0H	CAN0メッセージ・データ・バイト01レジスタ12	C0MDATA0112	R/W				不定
FAC0H	CAN0メッセージ・データ・バイト0レジスタ12	C0MDATA012					不定
FAC1H	CAN0メッセージ・データ・バイト1レジスタ12	C0MDATA112					不定
FAC2H	CAN0メッセージ・データ・バイト23レジスタ12	C0MDATA2312					不定
FAC2H	CAN0メッセージ・データ・バイト2レジスタ12	C0MDATA212					不定
FAC3H	CAN0メッセージ・データ・バイト3レジスタ12	C0MDATA312					不定
FAC4H	CAN0メッセージ・データ・バイト45レジスタ12	C0MDATA4512					不定
FAC4H	CAN0メッセージ・データ・バイト4レジスタ12	C0MDATA412					不定
FAC5H	CAN0メッセージ・データ・バイト5レジスタ12	C0MDATA512					不定
FAC6H	CAN0メッセージ・データ・バイト67レジスタ12	C0MDATA6712					不定
FAC6H	CAN0メッセージ・データ・バイト6レジスタ12	C0MDATA612					不定
FAC7H	CAN0メッセージ・データ・バイト7レジスタ12	C0MDATA712					不定
FAC8H	CAN0メッセージ・データ長レジスタ12	C0MDLC12					0000xxxxB
FAC9H	CAN0メッセージ・コンフィギュレーション・レジスタ12	C0MCONF12					不定
FACAH	CAN0メッセージIDレジスタ12	C0MIDL12					不定
FACCH		C0MIDH12					不定
FACEH	CAN0メッセージ制御レジスタ12	C0MCTRL12					00x00000 000xx000B
FAD0H	CAN0メッセージ・データ・バイト01レジスタ13	C0MDATA0113					不定
FAD0H	CAN0メッセージ・データ・バイト0レジスタ13	C0MDATA013					不定
FAD1H	CAN0メッセージ・データ・バイト1レジスタ13	C0MDATA113					不定
FAD2H	CAN0メッセージ・データ・バイト23レジスタ13	C0MDATA2313					不定
FAD2H	CAN0メッセージ・データ・バイト2レジスタ13	C0MDATA213					不定
FAD3H	CAN0メッセージ・データ・バイト3レジスタ13	C0MDATA313					不定
FAD4H	CAN0メッセージ・データ・バイト45レジスタ13	C0MDATA4513					不定
FAD4H	CAN0メッセージ・データ・バイト4レジスタ13	C0MDATA413					不定
FAD5H	CAN0メッセージ・データ・バイト5レジスタ13	C0MDATA513					不定
FAD6H	CAN0メッセージ・データ・バイト67レジスタ13	C0MDATA6713					不定
FAD6H	CAN0メッセージ・データ・バイト6レジスタ13	C0MDATA613				不定	
FAD7H	CAN0メッセージ・データ・バイト7レジスタ13	C0MDATA713				不定	
FAD8H	CAN0メッセージ・データ長レジスタ13	C0MDLC13				0000xxxxB	
FAD9H	CAN0メッセージ・コンフィギュレーション・レジスタ13	C0MCONF13				不定	
FADAH	CAN0メッセージIDレジスタ13	C0MIDL13				不定	
FADCH		C0MIDH13				不定	
FADEH	CAN0メッセージ制御レジスタ13	C0MCTRL13				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (8/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FAE0H	CAN0メッセージ・データ・バイト01レジスタ14	C0MDATA0114	R/W				不定
FAE0H	CAN0メッセージ・データ・バイト0レジスタ14	C0MDATA014					不定
FAE1H	CAN0メッセージ・データ・バイト1レジスタ14	C0MDATA114					不定
FAE2H	CAN0メッセージ・データ・バイト23レジスタ14	C0MDATA2314					不定
FAE2H	CAN0メッセージ・データ・バイト2レジスタ14	C0MDATA214					不定
FAE3H	CAN0メッセージ・データ・バイト3レジスタ14	C0MDATA314					不定
FAE4H	CAN0メッセージ・データ・バイト45レジスタ14	C0MDATA4514					不定
FAE4H	CAN0メッセージ・データ・バイト4レジスタ14	C0MDATA414					不定
FAE5H	CAN0メッセージ・データ・バイト5レジスタ14	C0MDATA514					不定
FAE6H	CAN0メッセージ・データ・バイト67レジスタ14	C0MDATA6714					不定
FAE6H	CAN0メッセージ・データ・バイト6レジスタ14	C0MDATA614					不定
FAE7H	CAN0メッセージ・データ・バイト7レジスタ14	C0MDATA714					不定
FAE8H	CAN0メッセージ・データ長レジスタ14	C0MDLC14					0000xxxxB
FAE9H	CAN0メッセージ・コンフィギュレーション・レジスタ14	C0MCONF14					不定
FAEAH	CAN0メッセージIDレジスタ14	C0MIDL14					不定
FAECH		C0MIDH14					不定
FAEEH	CAN0メッセージ制御レジスタ14	C0MCTRL14					00x00000 000xx000B
FAF0H	CAN0メッセージ・データ・バイト01レジスタ15	C0MDATA0115					不定
FAF0H	CAN0メッセージ・データ・バイト0レジスタ15	C0MDATA015					不定
FAF1H	CAN0メッセージ・データ・バイト1レジスタ15	C0MDATA115					不定
FAF2H	CAN0メッセージ・データ・バイト23レジスタ15	C0MDATA2315					不定
FAF2H	CAN0メッセージ・データ・バイト2レジスタ15	C0MDATA215					不定
FAF3H	CAN0メッセージ・データ・バイト3レジスタ15	C0MDATA315					不定
FAF4H	CAN0メッセージ・データ・バイト45レジスタ15	C0MDATA4515					不定
FAF4H	CAN0メッセージ・データ・バイト4レジスタ15	C0MDATA415					不定
FAF5H	CAN0メッセージ・データ・バイト5レジスタ15	C0MDATA515					不定
FAF6H	CAN0メッセージ・データ・バイト67レジスタ15	C0MDATA6715					不定
FAF6H	CAN0メッセージ・データ・バイト6レジスタ15	C0MDATA615					不定
FAF7H	CAN0メッセージ・データ・バイト7レジスタ15	C0MDATA715				不定	
FAF8H	CAN0メッセージ・データ長レジスタ15	C0MDLC15				0000xxxxB	
FAF9H	CAN0メッセージ・コンフィギュレーション・レジスタ15	C0MCONF15				不定	
FAFAH	CAN0メッセージIDレジスタ15	C0MIDL15				不定	
FAFCH		C0MIDH15				不定	
FAFEH	CAN0メッセージ制御レジスタ15	C0MCTRL15				00x00000 000xx000B	

表16 - 16 レジスタ・アクセス・タイプ (9/9)

アドレス	レジスタ名	略号	R/W	操作可能ビット			初期値
				1	8	16	
FF60H	CAN0モジュール受信履歴・リスト・レジスタ	C0RGPT	R/W	-	-	○	xx02H
FF62H	CAN0モジュール・送信履歴・リスト・レジスタ	C0TGPT	R/W	-	-	○	xx02H
FF64H	CAN0グローバル制御レジスタ	C0GMCTRL	R/W	-	-	○	0000H
FF66H	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT	R/W	-	-	○	0000H
FF68H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R	-	○	-	不定
FF6EH	CAN0グローバル・クロック選択レジスタ	C0GMCS	R/W	-	○	-	0FH
FF6FH	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD	R/W	-	○	-	00H
FF70H	CAN0モジュール・マスク1レジスタ	C0MASK1L	R/W	-	-	○	不定
FF72H		C0MASK1H					
FF74H	CAN0モジュール・マスク2レジスタ	C0MASK2L	R/W	-	-	○	不定
FF76H		C0MASK2H					
FF78H	CAN0モジュール・マスク3レジスタ	C0MASK3L	R/W	-	-	○	不定
FF7AH		C0MASK3H					
FF7CH	CAN0モジュール・マスク4レジスタ	C0MASK4L	R/W	-	-	○	不定
FF7EH		C0MASK4H					
FF8AH	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS	R/W	-	-	○	0000H
FF90H	CAN0モジュール制御レジスタ	C0CTRL	R/W	-	-	○	0000H
FF92H	CAN0モジュール最終エラー情報レジスタ	C0LEC	R/W	-	○	-	00H
FF93H	CAN0モジュール情報レジスタ	C0INFO	R	-	○	-	00H
FF94H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC	R	-	-	○	0000H
FF96H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W	-	-	○	0000H
FF98H	CAN0モジュール割り込みステータス・レジスタ	C0INTS	R/W	-	-	○	0000H
FF9CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR	R/W	-	-	○	370FH
FF9EH	CAN0モジュール・ビット・レート・プリスケアラ・レジスタ	C0BRP	R/W	-	○	-	FFH
FF9FH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R	-	○	-	不定

16.5.3 レジスタのビット構成

表16 - 17 CANグローバル・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FF64H	COGMCTRL (W)	0	0	0	0	0	0	0	Clear GOM
FF65H		0	0	0	0	0	0	Set EFSD	Set GOM
FF64H	COGMCTRL (R)	0	0	0	0	0	0	EFSD	GOM
FF65H		MBON	0	0	0	0	0	0	0
FF66H	COGMABT (W)	0	0	0	0	0	0	0	Clear ABTTRG
FF67H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
FF66H	COGMABT (R)	0	0	0	0	0	0	ABTCLR	ABTTRG
FF67H		0	0	0	0	0	0	0	0
FF6EH	COGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
FF6FH	COGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\begin{aligned} \text{レジスタ・アドレス} &= \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ &+ \text{上表に示すレジスタ個別のオフセット・アドレス} \end{aligned}$$

備考 (R) リード時
(W) ライト時

表16 - 18 CANモジュール・レジスタのビット構成 (1/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FF60H	C0RGPT (W)	0	0	0	0	0	0	0	Clear ROVF
FF61H		0	0	0	0	0	0	0	0
FF60H	C0RGPT (R)	0	0	0	0	0	0	RHPM	ROVF
FF61H		RGPT [7:0]							
FF62H	C0LOPT	LOPT [7:0]							
FF64H	C0TGPT (W)	0	0	0	0	0	0	0	Clear TOVF
FF65H		0	0	0	0	0	0	0	0
FF64H	C0TGPT (R)	0	0	0	0	0	0	THPM	TOVF
FF65H		TGPT [7:0]							
FF70H	C0MASK1L	CM1ID [7:0]							
FF71H		CM1ID [15:8]							
FF72H	C0MASK1H	CM1ID [23:16]							
FF73H		0	0	0	CM1ID [28:24]				
FF74H	C0MASK2L	CM2ID [7:0]							
FF75H		CM2ID [15:8]							
FF76H	C0MASK2H	CM2ID [23:16]							
FF77H		0	0	0	CM2ID [28:24]				
FF78H	C0MASK3L	CM3ID [7:0]							
FF79H		CM3ID [15:8]							
FF7AH	C0MASK3H	CM3ID [23:16]							
FF7BH		0	0	0	CM3ID [28:24]				
FF7CH	C0MASK4L	CM4ID [7:0]							
FF7DH		CM4ID [15:8]							
FF7EH	C0MASK4H	CM4ID [23:16]							
FF7FH		0	0	0	CM4ID [28:24]				
FF8AH	C0TS (W)	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
FF8BH		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
FF8AH	C0TS (R)	0	0	0	0	0	TSLOCK	TSSEL	TSEN
FF8BH		0	0	0	0	0	0	0	0

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 (R) リード時
(W) ライト時

表16 - 18 CANモジュール・レジスタのビット構成 (2/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FF90H	COCTRL (W)	Clear CCERC	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
FF91H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
FF90H	COCTRL (R)	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0
FF91H		0	0	0	0	0	0	RSTAT	TSTAT
FF92H	COLEC (W)	0	0	0	0	0	0	0	0
FF92H	COLEC (R)	0	0	0	0	0	LEC2	LEC1	LEC0
FF93H	C0INFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
FF94H	COERC	TEC [7:0]							
FF95H		REPS	REC [6:0]						
FF96H	C0IE (W)	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
FF97H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
FF96H	C0IE (R)	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
FF97H		0	0	0	0	0	0	0	0
FF98H	C0INTS (W)	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
FF99H		0	0	0	0	0	0	0	0
FF98H	C0INTS (R)	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
FF99H		0	0	0	0	0	0	0	0
FF9CH	C0BTR	0	0	0	0	TSEG1 [3:0]			
FF9DH		0	0	SJW [1:0]		0	TSEG2 [2:0]		
FF9EH	C0BRP	TQPRS [7:0]							
FF9FH	C0LIPT	LIPT [7:0]							

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 (R) リード時
(W) ライト時

表16 - 19 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
FAx0H	C0MDATA01m	メッセージ・データ (バイト0)							
FAx1H		メッセージ・データ (バイト1)							
FAx0H	C0MDATA0m	メッセージ・データ (バイト0)							
FAx1H	C0MDATA1m	メッセージ・データ (バイト1)							
FAx2H	C0MDATA23m	メッセージ・データ (バイト2)							
FAx3H		メッセージ・データ (バイト3)							
FAx2H	C0MDATA2m	メッセージ・データ (バイト2)							
FAx3H	C0MDATA3m	メッセージ・データ (バイト3)							
FAx4H	C0MDATA45m	メッセージ・データ (バイト4)							
FAx5H		メッセージ・データ (バイト5)							
FAx4H	C0MDATA4m	メッセージ・データ (バイト4)							
FAx5H	C0MDATA5m	メッセージ・データ (バイト5)							
FAx6H	C0MDATA67m	メッセージ・データ (バイト6)							
FAx7H		メッセージ・データ (バイト7)							
FAx6H	C0MDATA6m	メッセージ・データ (バイト6)							
FAx7H	C0MDATA7m	メッセージ・データ (バイト7)							
FAx8H	C0MDLcM	0	0	0	0	MDLc3	MDLc2	MDLc1	MDLc0
FAx9H	C0MCONFm	OwS	RTR	MT2	MT1	MT0	0	0	MA0
FAxAH	C0MIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
FAxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
FAxCH	C0MIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
FAxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
FAxEH	C0MCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
FAxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
FAxEH	C0MCTRLm (R)	0	0	0	MOW	IE	DN	TRQ	RDY
FAxFH		0	0	MUC	0	0	0	0	0

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 1. (R) リード時
(W) ライト時

2. m = 0-15

16.6 ビットのセット/クリア機能

CANの制御レジスタには、ビットのセット/クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANグローバル・モジュール制御レジスタ (C0GMCTRL)
- ・ CANグローバル自動ブロック送信制御レジスタ (C0GMABT)
- ・ CANモジュール制御レジスタ (C0CTRL)
- ・ CANモジュール割り込み許可レジスタ (C0IE)
- ・ CANモジュール割り込みステータス・レジスタ (C0INTS)
- ・ CANモジュール受信履歴・リスト・レジスタ (C0RGPT)
- ・ CANモジュール送信履歴・リスト・レジスタ (C0TGPT)
- ・ CANモジュール・タイム・スタンプ・レジスタ (C0TS)
- ・ CANメッセージ制御レジスタm (C0MCTRLm)

備考 m = 0-15

上記レジスタの16ビットは、すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図16 - 23の手順で行ってください。

上記レジスタの下位8ビットのセット/クリアは、上位8ビットと下位8ビットの組み合わせで行います（図16 - 24 **セット/クリア設定後のビット状態参照**）。図16 - 23のように、setビットとclearビットの値により、該当するレジスタのビットをセット/クリア/変化なしと操作できます。

図16 - 23 ビットのセット/クリアの操作例

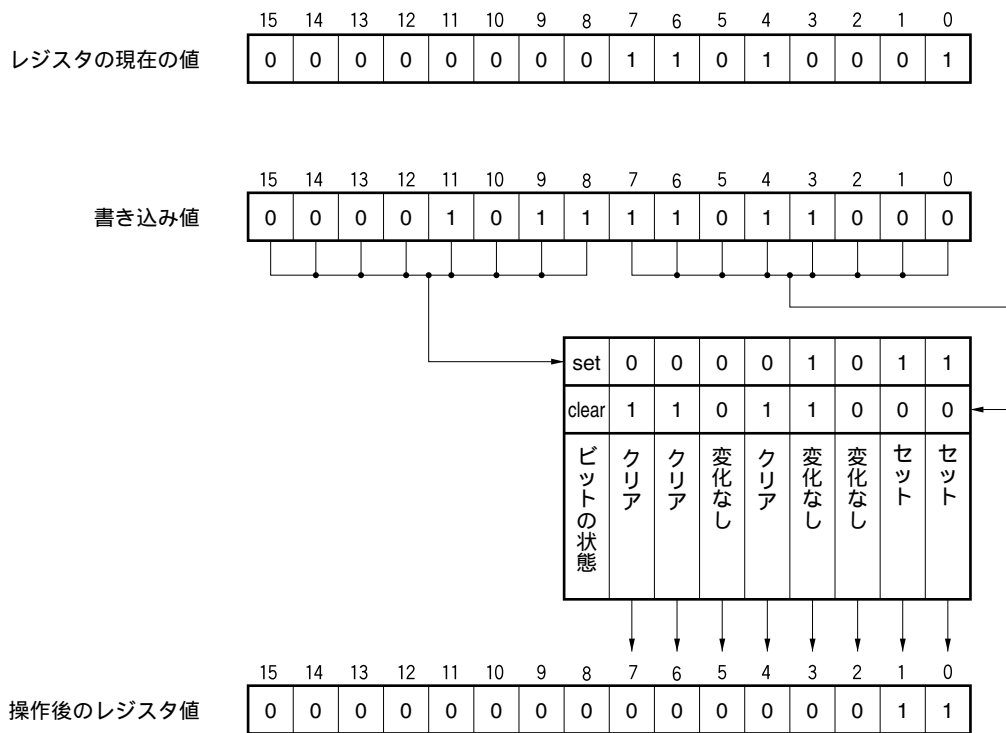


図16 - 24 セット/クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット/クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考 n = 0-7

16.7 制御レジスタ

備考 m = 0-15

(1) CANグローバル・モジュール制御レジスタ (COGMCTRL)

COGMCTRLレジスタは、CANモジュールの動作を制御します。

リセット時：0000H R/W アドレス：FF64H, FF65H

(a) リード時

	15	14	13	12	11	10	9	8
COGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

(b) ライト時

	15	14	13	12	11	10	9	8
COGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

(a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信 / 受信履歴・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信 / 受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信 / 受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

- 注意 1.** MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (C0MDATA0m, C0MDATA1m, C0MDATA01m, C0MDATA2m, C0MDATA3m, C0MDATA23m, C0MDATA4m, C0MDATA5m, C0MDATA45m, C0MDATA6m, C0MDATA7m, C0MDATA67m, C0MDLCm, C0MCONFm, C0MIDLm, C0MIDHm, C0MCTRLm) および送信履歴、受信履歴に関連したレジスタ (C0LOPT, C0TGPT, C0LIPT, C0RGPT) へのアクセスは無効です。
- 2.** このビットはリード・オンリーです。MBON = 0の状態でも1を書き込みしても、MBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴、受信履歴に関連したレジスタへのアクセスは無効のままです。

備考 CANスリープ・モード / CANストップ・モードに移行した場合、または、GOMビットをクリア (0) した場合に、MBONビットがクリア (0) されます。
CANスリープ・モード / CANストップ・モードを解除した場合、またはGOMビットをセット (1) した場合に、MBONビットがセット (1) されます。

EFSD	強制シャット・ダウン有効ビット
0	GOM = 0による強制シャット・ダウンは無効
1	GOM = 0による強制シャット・ダウンは有効

注意 強制シャット・ダウンの要求を行う場合は、EFSDビットをセット(1)した直後に、GOMビットをクリア(0)しなければなりません。EFSDビットをセット(1)した直後にGOMビットをクリア(0)しないで、その他のレジスタ・アクセス(C0GMCTRLレジスタのリード含む)の実行をすると、EFSDビットは自動的にクリア(0)され、強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

注意 GOMビットは、初期化モードのとき、またはEFSDビットをセット(1)した直後にのみクリア(0)可能です。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット(1)する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア(0)する
1	0	GOMビットをセット(1)する
上記以外		GOMビットの変更なし

注意 GOMビットの設定とEFSDビットの設定は、常に別々に行ってください。

(2) CANグローバル・モジュール・クロック選択レジスタ (C0GMCS)

C0GMCSレジスタは、CANモジュール・システム・クロックを選択します。

リセット時：0FH R/W アドレス：FF6EH

	7	6	5	4	3	2	1	0
C0GMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック (f _{CANMOD})
0	0	0	0	f _{CAN} /1
0	0	0	1	f _{CAN} /2
0	0	1	0	f _{CAN} /3
0	0	1	1	f _{CAN} /4
0	1	0	0	f _{CAN} /5
0	1	0	1	f _{CAN} /6
0	1	1	0	f _{CAN} /7
0	1	1	1	f _{CAN} /8
1	0	0	0	f _{CAN} /9
1	0	0	1	f _{CAN} /10
1	0	1	0	f _{CAN} /11
1	0	1	1	f _{CAN} /12
1	1	0	0	f _{CAN} /13
1	1	0	1	f _{CAN} /14
1	1	1	0	f _{CAN} /15
1	1	1	1	f _{CAN} /16 (初期値)

備考 f_{CAN} = CANへの供給クロック

(3) CANグローバル自動ブロック送信制御レジスタ (C0GMABT)

C0GMABTレジスタは、自動ブロック送信 (ABT) 動作を制御します。

リセット時 : 0000H R/W アドレス : FF66H, FF67H

(a) リード時

	15	14	13	12	11	10	9	8
C0GMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

(b) ライト時

	15	14	13	12	11	10	9	8
C0GMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

注意 ABT付き通常動作モードから初期化モードに移行する前には、C0GMABTレジスタには必ず初期値 (00H) を設定し、設定後はC0GMABTレジスタが0000Hに初期化されたことを確実に確認してください。

(a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

- 備考** 1. ABTCLRビットはABTTRGビットがクリア (0) されている状態でセット (1) してください。ABTTRGビットがセット (1) されている状態で、ABTCLRビットをセット (1) した場合には動作保証いたしません。
2. ABTCLRビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア (0) されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

注意 初期化モード中にABTTRGビットを設定 (ABTTRG = 1) しないでください。初期化モード中にABTTRGビットを設定した場合、ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット (1) されている間は、ABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前に、TSTAT = 0であることを直接事前に確認してください。

(b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRGビットのセット(1)による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

注意 ABTTRGビットをセット(1)しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ(メッセージ・バッファ8~メッセージ・バッファ15)を送信していた場合などの状況により、即時に送信を行わない可能性があります。
また、ABTTRGビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を継続します。

(4) CANグローバル自動ブロック送信遅延レジスタ (C0GMABTD)

C0GMABTDレジスタは、ABT付き通常動作モードにおいて、ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H R/W アドレス：FF6FH

	7	6	5	4	3	2	1	0
C0GMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔 (単位はデータ・ビット・タイム; DBT)
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 ⁵ DBT
0	0	1	0	2 ⁶ DBT
0	0	1	1	2 ⁷ DBT
0	1	0	0	2 ⁸ DBT
0	1	0	1	2 ⁹ DBT
0	1	1	0	2 ¹⁰ DBT
0	1	1	1	2 ¹¹ DBT
1	0	0	0	2 ¹² DBT
上記以外				設定禁止

- 注意 1. ABTTRGビットがセット(1)されている場合は、C0GMABTDレジスタの内容は変更しないでください。
2. 実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~メッセージ・バッファ15)に対する送信要求の設定状況によって変化します。

(5) CANモジュール・マスク・レジスタ (COMASKaL, COMASKaH)(a = 1, 2, 3, 4)

COMASKaL/COMASKaHレジスタにより, メッセージのアイデンティファイア (ID) の一部をマスクすることで, マスクされた部分のID比較を無効にし, 同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

・CANモジュール・マスク1レジスタ (COMASK1L, COMASK1H)

リセット時: 不定 R/W アドレス: COMASK1L FF70H, FF71H
 COMASK1H FF72H, FF73H

	15	14	13	12	11	10	9	8
COMASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
COMASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CANモジュール・マスク2レジスタ (COMASK2L, COMASK2H)

リセット時: 不定 R/W アドレス: COMASK2L FF74H, FF75H
 COMASK2H FF76H, FF77H

	15	14	13	12	11	10	9	8
COMASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
COMASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CANモジュール・マスク3レジスタ (C0MASK3L, C0MASK3H)

リセット時：不定 R/W アドレス：C0MASK3L FF78H, FF79H
C0MASK3H FF7AH, FF7BH

	15	14	13	12	11	10	9	8
C0MASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CANモジュール・マスク4レジスタ (C0MASK4L, C0MASK4H)

リセット時：不定 R/W アドレス：C0MASK4L FF7CH, FF7DH
C0MASK4H FF7EH, FF7FH

	15	14	13	12	11	10	9	8
C0MASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません(マスクします)。

備考 マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合、CMID17-CMID0は無視されます。したがって、受信IDはCMID28-CMID18のみマスクされます。なお、標準および拡張IDはともに同一マスクを使用することができます。

(6) CANモジュール制御レジスタ (C0CTRL)

C0CTRLレジスタは、CANモジュールの動作モードを制御します。

リセット時：0000H R/W アドレス：FF90H, FF91H

(a) リード時

	15	14	13	12	11	10	9	8
C0CTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

(b) ライト時

	15	14	13	12	11	10	9	8
C0CTRL	Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
	7	6	5	4	3	2	1	0
	Clear CCERC	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0

(a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

備考 - RSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・受信フレームのSOFビット
- ・送信フレーム中のアービトラクション・ロスト発生時

- RSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

備考 - TSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・送信フレームのSOFビット

- TSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・バスオフ移行時
- ・送信フレーム中のアービトラクション・ロスト発生時
- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタのクリア中ではありません。
1	初期化モードにおいて、C0ERCレジスタとC0INFOレジスタがクリア中です。

- 備考** 1. CCERCビットは、再初期化やバスオフ強制復帰の際に、C0ERCレジスタとC0INFOレジスタをクリアするために使用します。初期化モードでのみ、セット(1)が可能です。
2. C0ERCおよびC0INFOレジスタがクリアされるとCCERCビットも自動的にクリア(0)されます。
3. 初期化モードから任意の動作モードへの遷移要求と同時にCCERCビットのセット(1)が可能です。
4. セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット(1)した場合、受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。
1	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されます。

備考 ALビットは、シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア(0)されてから、有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア(0)されてから、有効なメッセージ・フレーム受信があります。

- 備考** 1. 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納(データ・フレーム)または送信メッセージ・バッファへの格納(リモート・フレーム)の有無に依存しません。
2. 初期化モードから任意の動作モードに移行する前に、VALIDビットをクリア(0)してください。
3. CANバスにCANノードが2つのみ接続され、一方のCANノードが通常動作モードでメッセージ・フレームを送信し、もう一方のCANノードが受信オンリー・モードである場合は、受信オンリー・モードではACKが発生しないため、VALIDビットは送信ノードがエラー・パッシブになる前にセット(1)されることはありません。
4. VALIDビットをクリアする際は、Clear VALIDビットをセット(1)したあと、VALIDビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

- 注意1. CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。
2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にC0GMCTRLレジスタのMBONフラグを確認する必要があります。
 3. CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません (CANモジュールは初期化モード状態)
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード (ABT付き通常動作モード)
0	1	1	受信専用モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

注意 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。

備考 CANスリープ・モードまたはCANストップ・モード中、OPMODE[2:0]ビットはリード・オンリーです。

(b) ライト時

Set CCERC	Clear CCERC	CCERCビットの設定
0	1	CCERCビットをクリア (0) する
1	0	CCERCビットをセット (1) する
上記以外		CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア (0) する
1	0	ALビットをセット (1) する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア (0) する

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア (0) する
1	0	PSMODE0ビットをセット (1) する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア (0) する
1	0	PSMODE1ビットをセット (1) する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア (0) する
1	0	OPMODE0ビットをセット (1) する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア (0) する
1	0	OPMODE1ビットをセット (1) する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア (0) する
1	0	OPMODE2ビットをセット (1) する
上記以外		OPMODE2ビットの変更なし

(7) CANモジュール最終エラー・レジスタ (COLEC)

COLECレジスタは、CANプロトコルのエラー情報を示します。

リセット時：00H R/W アドレス：FF92H

	7	6	5	4	3	2	1	0
COLEC	0	0	0	0	0	LEC2	LEC1	LEC0

- 備考** 1. COLECレジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。
2. COLECレジスタに対してソフトウェアにより00H以外の値を書き込みしようとした場合、アクセスは無視されます。

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー (CANモジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CANバス上の値はドミナント・ビットであった場合)
1	0	1	ビット・エラー (CANモジュールは送信メッセージ、ACKビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CANバス上の値はレセシブ・ビットであった場合)
1	1	0	CRCエラー
1	1	1	未定義

(8) CANモジュール情報レジスタ (C0INFO)

C0INFOレジスタは、CANモジュールのステータスを示します。

リセット時：00H R アドレス：FF93H

	7	6	5	4	3	2	1	0
C0INFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バスオフ状態ビット
0	バスオフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが256未満)
1	バスオフ状態 (送信エラー・カウンタ > 255) (送信エラーのカウンタが256以上)

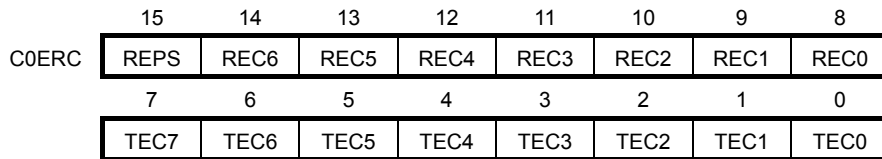
TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバスオフ範囲 (128)

RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満 (< 96)
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96-127)
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲 (128)

(9) CANモジュール・エラー・カウンタ・レジスタ (C0ERC)

C0ERCレジスタは、送受信エラー・カウンタのカウンタ値を示します。

リセット時：0000H R アドレス：FF94H, FF95H



REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは、エラー・パッシブではない (< 128)
1	受信エラー・カウンタは、エラー・パッシブ範囲 (128)

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウンタ数 受信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 受信エラー・パッシブ状態 (RECS[1:0] = 11B) では、受信エラー・カウンタREC6-REC0は無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウンタ数 送信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 バスオフ中 (BOFF = 1) では、送信エラー・カウンタTEC7-TEC0は無効です。

(10) CANモジュール割り込み許可レジスタ (C0IE)

C0IEレジスタは、CANモジュールの割り込み許可/禁止を設定します。

リセット時：0000H R/W アドレス：FF96H, FF97H

(a) リード時

	15	14	13	12	11	10	9	8
C0IE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(b) ライト時

	15	14	13	12	11	10	9	8
C0IE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0

(a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタのCINTS5-CINTS0ビットに対応する割り込み出力禁止
1	割り込みステータス・レジスタのCINTS5-CINTS0ビットに対応する割り込み出力許可

(b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア (0) する
1	0	CIE5ビットをセット (1) する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア (0) する
1	0	CIE4ビットをセット (1) する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア (0) する
1	0	CIE3ビットをセット (1) する
上記以外		CIE3ビットの変更なし

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア (0) する
1	0	CIE2ビットをセット (1) する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア (0) する
1	0	CIE1ビットをセット (1) する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア (0) する
1	0	CIE0ビットをセット (1) する
上記以外		CIE0ビットの変更なし

(11) CANモジュール割り込みステータス・レジスタ (C0INTS)

C0INTSレジスタは、CANモジュールの割り込みステータスを示します。

リセット時：0000H R/W アドレス：FF98H, FF99H

(a) リード時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(b) ライト時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear	Clear	Clear	Clear	Clear	Clear
			CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベントの保留なし
1	関連する割り込みソース・イベントの保留中

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイク・アップ割り込み ^注
CINTS4	アービトラージ・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注 CANバス動作によるCANスリープ・モードからのウエイク・アップによってのみ、CINTS5ビットがセットされます。ソフトウェアによるCANスリープ・モードの解除ではCINTS5ビットはセットされません。

(b) ライト時

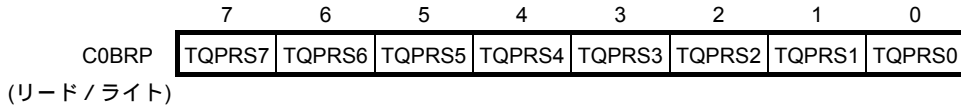
Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア(0)する

注意 このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。

(12) CANモジュール・ビットレート・プリスケアラ・レジスタ (C0BRP)

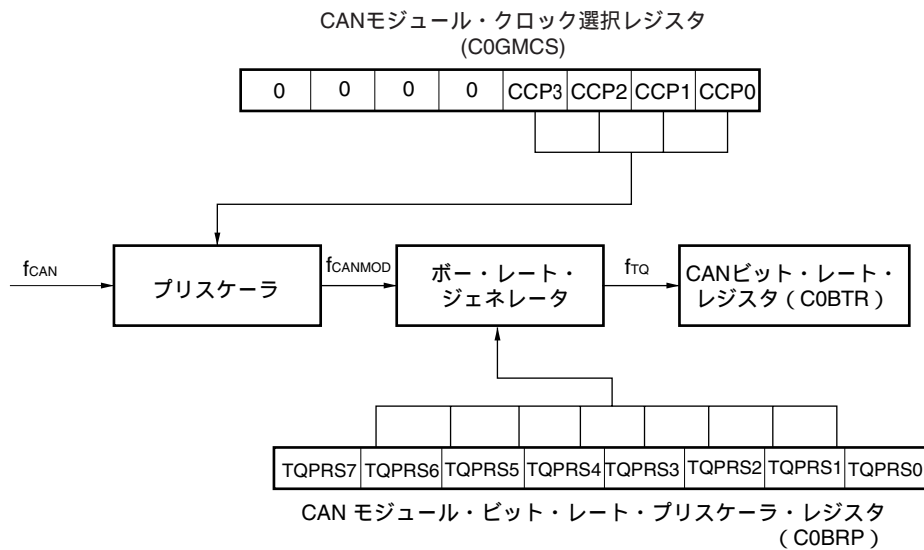
C0BRPレジスタは、CANプロトコル・レイヤ基本クロック (f_{TQ}) を選択します。また、通信ポー・レートは、C0BTRレジスタに設定されます。

リセット時：FFH R/W アドレス：FF9EH



TQPRS7-TQPRS0	CANプロトコル・レイヤ基本システム・クロック (f_{TQ})
0	$f_{CANMOD}/1$
1	$f_{CANMOD}/2$
:	:
n	$f_{CANMOD}/(n+1)$
:	:
255	$f_{CANMOD}/256$ (初期値)

図16 - 25 CANモジュールのクロック



注意 C0BRPレジスタは、初期化モードのときのみライト・アクセス可能です。

- 備考**
- f_{CAN} : CANへの供給クロック = f_{PRS}
 - f_{CANMOD} : CANモジュール・システム・クロック
 - f_{TQ} : CANプロトコル・レイヤ基本システム・クロック

(13) CANモジュール・ビットレート・レジスタ (C0BTR)

C0BTRレジスタは、通信ボー・レートのデータ・ビット・タイムを制御します。

リセット時：370FH R/W アドレス：FF9CH, FF9DH

	15	14	13	12	11	10	9	8
C0BTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

図16 - 26 データ・ビット・タイム



SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ (初期値)

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ (初期値)

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ ^注
0	0	1	0	3TQ ^注
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ (初期値)

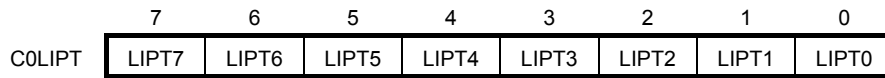
注 COBRPレジスタ = 00Hの場合は、本設定は使用できません。

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)

(14) CANモジュール最終受信ポインタ・レジスタ (COLIPT)

COLIPTレジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：FF9FH



LIPT7-LIPT0	最終受信ポインタ・レジスタ (COLIPT)
0-15	COLIPTレジスタをリードすると、受信履歴・リストの最終受信ポインタ (LIPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、COLIPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にCORGPTレジスタのRHMPビットがセット(1)されている場合には、COLIPTレジスタの読み出し値は不定となります。

(15) CANモジュール受信ヒストリ・リスト・レジスタ (C0RGPT)

C0RGPTレジスタは、受信ヒストリ・リストを読み出すためのレジスタです。

リセット時：xx02H R/W アドレス：FF60H, FF61H

(a) リード時

	15	14	13	12	11	10	9	8
C0RGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0RGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

(a) リード時

RGPT7-RGPT0	受信ヒストリ・リスト読み出しポインタ
0-15	C0RGPTレジスタをリードすると、受信ヒストリ・リストの読み出しポインタ (RGPT) でインデクスされるエントリの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM ^注	受信ヒストリ・リストのポインタ一致
0	受信ヒストリ・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには、リードされていないメッセージ・バッファ番号がありません。

注 RHPM = 1のとき、RGPT0-RGPT7のリード値は無効です。

ROVF ^注	受信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます (受信ヒストリ・リストに空きのエントリが存在します)。
1	ホスト・プロセッサが受信ヒストリ・リスト (RHL) を最後に使用 (例えば、CnRGPTレジスタの読み込みなど) してから少なくとも23個のエントリが格納されています。 ROVFビットがセットされていると、すべてのメッセージ・バッファ番号はLIPT - 1に格納されるため、最初の22個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信するたびに上書きされます。したがって、受信した順番を完全に回復することが出来ません。

注 ROVFビットがセット (1) されている状態で、CnRGPTレジスタによりすべての受信履歴が読み出されている場合、RHPMビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

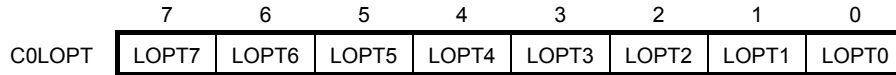
(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア (0) する

(16) CANモジュール最終送信ポインタ・レジスタ (C0LOPT)

C0LOPTレジスタは、最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定 R アドレス：FF68H



LOPT7-LOPT0	送信履歴・リストの最終送信ポインタ (LOPT)
0-15	C0LOPTレジスタをリードすると、送信履歴・リストの最終送信ポインタ (LOPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、C0LOPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にTHPMビットがセット (1) されている場合には、C0LOPTレジスタの読み出し値は不定となります。

(17) CANモジュール送信履歴・リスト・レジスタ (C0TGPT)

C0TGPTレジスタは、送信履歴・リストを読み出すためのレジスタです。

リセット時：xx02H R/W アドレス：FF62H, FF63H

(a) リード時

	15	14	13	12	11	10	9	8
C0TGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0TGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

(a) リード時

TGPT7-TGPT0	送信履歴・リスト読み出しポインタ
0-15	C0TGPTレジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデックスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM ^注	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

注 THPM = 1のとき、TGPT0-TGPT7のリード値は無効です。

TOVF ^注	送信履歴・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば、C0TGPTレジスタの読み込みなど) してから少なくとも7個のエントリが格納されています。TOVFビットがセットされていると、すべてのメッセージ・バッファ番号はLOPT - 1に格納されるため、最初の6個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって、送信した順番を完全に回復することができません。

注 TOVFビットがセット (1) されている状態で、CnTGPTレジスタによりすべての送信履歴が読み出されている場合、THPMビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

備考 ABT付き通常動作モードでは、メッセージ・バッファ0-7からの送信は送信履歴・リストには記録されません。

(b) ライト時

Clear TOVF	TOVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア (0) する

(18) CANモジュール・タイム・スタンプ・レジスタ (C0TS)

C0TSレジスタは、タイム・スタンプ機能を制御します。

リセット時：0000H R/W アドレス：FF8AH, FF8BH

(a) リード時

	15	14	13	12	11	10	9	8
C0TS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

(b) ライト時

	15	14	13	12	11	10	9	8
C0TS	0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN

備考 ABT付き通常動作モードの場合は、タイム・スタンプ機能のロック機能を使用することができません。

(a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。ただし、メッセージ・バッファ0にデータ・フレームが正常に受信されたあとは、TSOUT信号の出力がロックされます ^注 。

注 TSENビットは自動的にクリア (0) されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT信号動作設定ビット
0	TSOUT信号トグル動作禁止
1	TSOUT信号トグル動作許可

備考 TSOUT信号はCANコントローラからタイマへ出力されます。詳細については図14 - 19を参照してください。

(b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア(0)する
1	0	TSLOCKビットをセット(1)する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア(0)する
1	0	TSSELビットをセット(1)する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア(0)する
1	0	TSENビットをセット(1)する
上記以外		TSENビットの変更なし

(19) CANメッセージ・データ・バイト・レジスタ m (COMDATA xm)($x = 0-7$),(COMDATA zm)($z = 01, 23, 45, 67$)

COMDATA xm , COMDATA zm レジスタは、送受信メッセージのデータを格納します。COMDATA xm レジスタは、8ビット単位でアクセス可能なレジスタです。COMDATA zm レジスタは、COMDATA xm レジスタを16ビット単位でアクセス可能なレジスタです。

リセット時：不定 R/W アドレス：表16 - 16を参照してください。

・COMDATA xm レジスタ

	7	6	5	4	3	2	1	0
COMDATA0m	MDATA 07	MDATA 06	MDATA 05	MDATA 04	MDATA 03	MDATA 02	MDATA 01	MDATA 00

	7	6	5	4	3	2	1	0
COMDATA1m	MDATA 17	MDATA 16	MDATA 15	MDATA 14	MDATA 13	MDATA 12	MDATA 11	MDATA 10

	7	6	5	4	3	2	1	0
COMDATA2m	MDATA 27	MDATA 26	MDATA 25	MDATA 24	MDATA 23	MDATA 22	MDATA 21	MDATA 20

	7	6	5	4	3	2	1	0
COMDATA3m	MDATA 37	MDATA 36	MDATA 35	MDATA 34	MDATA 33	MDATA 32	MDATA 31	MDATA 30

	7	6	5	4	3	2	1	0
COMDATA4m	MDATA 47	MDATA 46	MDATA 45	MDATA 44	MDATA 43	MDATA 42	MDATA 41	MDATA 40

	7	6	5	4	3	2	1	0
COMDATA5m	MDATA 57	MDATA 56	MDATA 55	MDATA 54	MDATA 53	MDATA 52	MDATA 51	MDATA 50

	7	6	5	4	3	2	1	0
COMDATA6m	MDATA 67	MDATA 66	MDATA 65	MDATA 64	MDATA 63	MDATA 62	MDATA 61	MDATA 60

	7	6	5	4	3	2	1	0
COMDATA7m	MDATA 77	MDATA 76	MDATA 75	MDATA 74	MDATA 73	MDATA 72	MDATA 71	MDATA 70

・COMDATAzmレジスタ

	15	14	13	12	11	10	9	8
COMDATA01m	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	0115	0114	0113	0112	0111	0110	019	018
	7	6	5	4	3	2	1	0
	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	017	016	015	014	013	012	011	010

	15	14	13	12	11	10	9	8
COMDATA23m	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	2315	2314	2313	2312	2311	2310	239	238
	7	6	5	4	3	2	1	0
	MDATA2	MDATA2	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	37	36	235	234	233	232	231	230

	15	14	13	12	11	10	9	8
COMDATA45m	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	4515	4514	4513	4512	4511	4510	459	458
	7	6	5	4	3	2	1	0
	MDATA	MDATA	MDATA	MDATA4	MDATA	MDATA	MDATA	MDATA
	457	456	455	54	453	452	451	450

	15	14	13	12	11	10	9	8
COMDATA67m	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	6715	6714	6713	6712	6711	6710	679	678
	7	6	5	4	3	2	1	0
	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA	MDATA
	677	676	675	674	673	672	671	670

(20) CANメッセージ・データ長レジスタm (C0MDLcM)

C0MDLcMレジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB R/W アドレス：表16 - 16を参照してください。

	7	6	5	4	3	2	1	0
C0MDLcM	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0

MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止 (送信時に設定した場合、データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし、実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります) ^注 。
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注 CANバス上に実際に送信されるデータとDLC値は以下のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 (ただしDLC 8の場合は8バイト)	MDLC[3:0]
リモート・フレーム	0バイト	

注意 1. ビット7-4には必ず0000Bを設定してください。

2. メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のC0MDATAxmレジスタに受信データが格納されます。データが格納されなかったC0MDATAxmレジスタは不定です。

(21) CANメッセージ・コンフィギュレーション・レジスタm (COMCONFm)

COMCONFmレジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。

リセット時：不定 R/W アドレス：表16 - 16を参照してください。

	7	6	5	4	3	2	1	0
COMCONFm	OVS	RTR	MT2	MT1	MT0	0	0	MA0

OVS	オーバーライト制御ビット
0	すでに受信しているメッセージ・バッファ ^注 に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して、新しく受信したデータ・フレームを上書きします。

注 “すでに受信しているメッセージ・バッファ”とは、DNビットがセット(1)されている受信メッセージ・バッファを意味します。

備考 リモート・フレームの受信格納に際しては、OVSビットおよびDNビットの設定には依存せず、その他の条件が合致 (IDが一致、RTR = 0、TRQ = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納(割り込み生成、DNフラグのセット、MDLC[3:0]ビットの更新、および受信ヒストリ・リストへの記録)されます。

RTR	リモート・フレームの要求ビット ^注
0	データ・フレーム送信
1	リモート・フレーム送信

注 RTRビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なりモート・フレームを受信しても、受信した送信メッセージ・バッファのRTRはクリア(0)されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット(1)した状態で、CANバスからIDが合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納(割り込み生成、DNフラグのセット、MDLC[3:0]ビットの更新および受信ヒストリ・リストへの記録)は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ (マスク設定なし)
0	1	0	受信メッセージ・バッファ (マスク1設定)
0	1	1	受信メッセージ・バッファ (マスク2設定)
1	0	0	受信メッセージ・バッファ (マスク3設定)
1	0	1	受信メッセージ・バッファ (マスク4設定)
上記以外			設定禁止

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

注意 ビット2, 1には, 必ず0を書き込んでください。

(22) CANメッセージIDレジスタm (C0MIDLm, C0MIDHm)

C0MIDLm, C0MIDHmレジスタは, アイデンティファイア (ID) を設定します。

リセット時: 不定 R/W アドレス: 表16 - 16を参照してください。

C0MIDLm	15	14	13	12	11	10	9	8
	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

C0MIDHm	15	14	13	12	11	10	9	8
	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード (ID28-ID18 : 11ビット) ^注
1	拡張フォーマット・モード (ID28-ID0 : 29ビット)

注 ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値 (IDE = 0のとき)
ID28-ID0	29ビットの拡張ID値 (IDE = 1のとき)

- 注意** 1. C0MIDHmレジスタのビット14, 13には, 必ず0を書き込んでください。
 2. 必ず, このレジスタに与えられたビット位置に従って登録するID値を並べてください。
 標準IDに関してID値はID28からID18のビット位置をシフトしてください。

(23) CANメッセージ制御レジスタm (COMCTRLm)

COMCTRLmレジスタは、メッセージ・バッファの動作を制御します。

リセット時：00x000000 R/W アドレス：表16 - 16を参照してください。
00000000B

(a) リード時

	15	14	13	12	11	10	9	8
COMCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

(b) ライト時

	15	14	13	12	11	10	9	8
COMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

(a) リード時

MUC ^注	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注 MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

備考 DN = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、MOWビットはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

注意 TRQビットとRDYビットを同時にセット（1）しないでください。TRQビットをセット（1）する場合は、事前にRDYビットを必ずセット（1）してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウェアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウェアによるメッセージ・バッファへの書き込みは無視されます (RDYビット, TRQビット, DNビットおよびMOWビットへのライト・アクセスを除く)。CANモジュールはメッセージ・バッファに書き込みが可能です。

- 注意1. メッセージ送信中に, RDY ビットをクリア (0) しないでください。再定義のための RDY ビットのクリアは, 送信中断処理に従ってください。
- RDY ビットのクリア処理を行ってもクリアされていない場合は, もう一度クリア処理を行ってください。
 - メッセージ・バッファ・レジスタに書き込む前に, RDY ビットがクリア (0) されたことを確認してください。確認は RDY ビットを読み返して行ってください。
ただし, COMCTRLm レジスタの TRQ ビットまたは RDY ビットのセット (1), DN ビットまたは MOW ビットのクリア (0) については確認する必要はありません。

(b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア (0) する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア (0) する
1	0	IEビットをセット (1) する
上記以外		IEビットの変更なし

注意 IEビットの設定とRDYビットの設定は, 常に別々に行ってください。

Clear DN	DNビットの設定
0	DNビットの変更なし
1	DNビットをクリア (0) する

注意 ソフトウェアにより, DNビットをセット (1) しないでください。ビット10には, 必ず0を書き込んでください。

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリア (0) する
1	0	TRQビットをセット (1) する
上記以外		TRQビットの変更なし

注意 TRQビットをセット(1)しても, 他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により, 即時に送信を行わない可能性があります。

また, TRQビットをクリア (0) しても, 送信の途中で中断されることはありません。送信中の場合には, 送信が完了 (成功 / 失敗問わず) するまで送信を続けます。

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア(0)する
1	0	RDYビットをセット(1)する
上記以外		RDYビットの変更なし

注意 TRQビットの設定とRDYビットの設定は、常に別々に行ってください。

16.8 CANコントローラの初期化処理

16.8.1 CANモジュールの初期化

CANモジュールの動作を許可する前に、ソフトウェアによりC0GMCSレジスタのCCP[3:0]ビットを設定し、CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は、CANモジュールの動作が許可されたあととは変更できません。

CANモジュールは、C0GMCTRLレジスタのGOMビットをセット(1)することで動作を許可します。初期化処理手順については、16.16 CANコントローラの動作を参照してください。

16.8.2 メッセージ・バッファの初期化

CANモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても以下の設定を行ってください。

- ・C0MCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア(0)する。
- ・C0MCONFmレジスタのMA0ビットをクリア(0)する。

備考 m = 0-15

16. 8. 3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信時または送信中に他の送受信動作に影響を与えることなく、メッセージ・バッファのIDや制御情報を変更することをいいます。

(1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

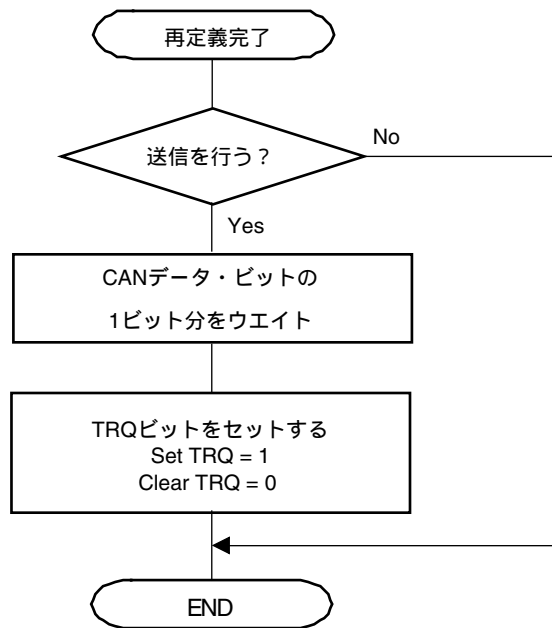
(2) 受信中にメッセージ・バッファの再定義を行う場合

図16 - 41にしたがって処理してください。

(3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には、送信中断処理(16. 10. 4 (1) **自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理**, 16. 10. 4 (2) **自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理参照**)を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、以下の処理手順にしたがって処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1ビット分のウエイトは必要ありません。

図16 - 27 送信メッセージ・バッファの再定義後の送信要求 (TRQ) の設定



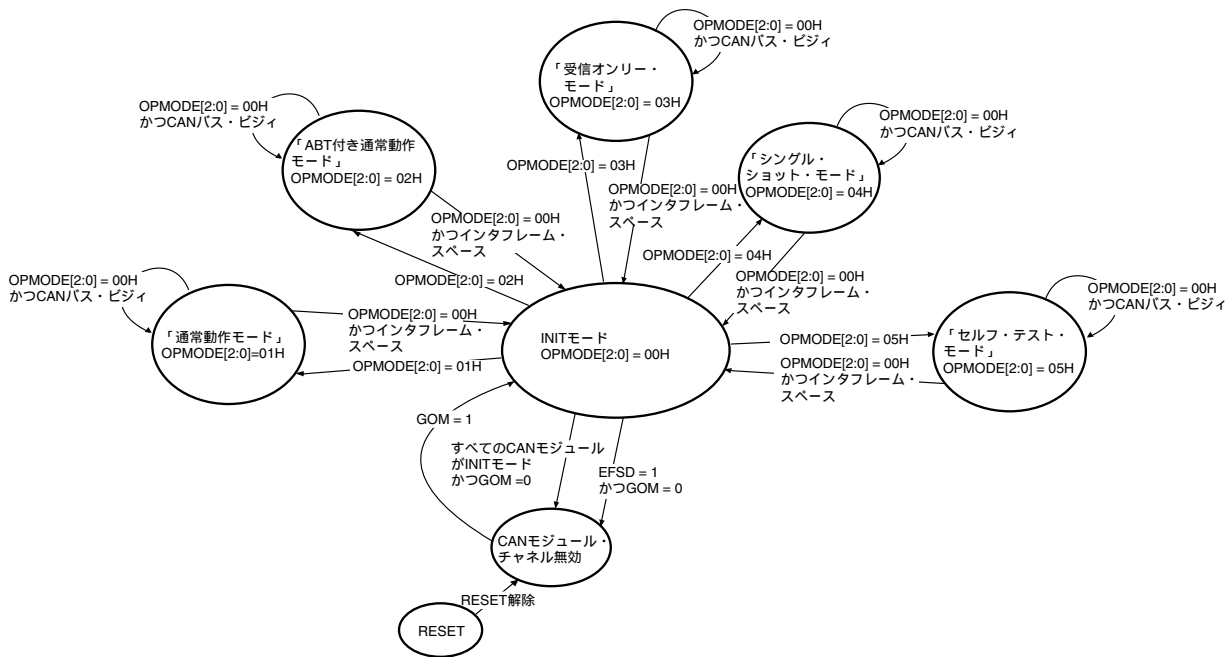
- 注意 1. メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図16 - 40の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図16 - 41の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

16.8.4 動作モードへの移行

CANモジュールは、次の動作モードに切り替えることができます。

- ・通常動作モード
- ・ABT付き通常動作モード
- ・受信オンリー・モード
- ・シングル・ショット・モード
- ・セルフ・テスト・モード

図16 - 28 動作モードへの移行



初期化モードから動作モードへの移行は、COCTRLレジスタのOPMODE[2:0]ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作保証はいたしません。

動作モードから初期化モードへの移行要求は、CANバスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE[2:0]ビットの値が00Hに変化します）。初期化モードへの移行要求のあとは、OPMODE[2:0]ビットが000Bになるまで、OPMODE[2:0]ビットをリードして、初期化モードへ移行したことを確認してください(図16 - 37参照)。

16.8.5 CANモジュールのエラー・カウンタC0ERCのリセット

再初期化やバスオフ強制復帰の際に、CANモジュール・エラー・カウンタC0ERCと、CANモジュール情報レジスタC0INFOをリセットする必要がある場合には、初期化モード中にC0CTRLレジスタのCCERCビットをセット（1）してください。CCERCビットをセット（1）すると、CANモジュール・エラー・カウンタC0ERCとCANモジュール情報レジスタC0INFOは初期値にクリアされます。

16.9 メッセージ受信

16.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

- ・メッセージ・バッファとして使用している。
(COMCONFmレジスタのMA0ビットを1Bに設定)
- ・受信用メッセージ・バッファとして設定している。
(COMCONFmレジスタのMT[2:0]ビットを001B, 010B, 011B, 100B, 101Bに設定)
- ・受信準備ができています。
(COMCTRLmレジスタのRDYビットがセット(1)されている)

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件（たとえば、OWS = 0により上書き禁止ですすでに受信しているDN = 1の場合など）でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1 (高)	マスクされていないメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
2	マスク1とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
3	マスク2とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
4	マスク3とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1
5 (低)	マスク4とリンクしたメッセージ・バッファ	DN = 0
		DN = 1かつOWS = 1

備考 m = 0-15

16.9.2 受信データの読み出し

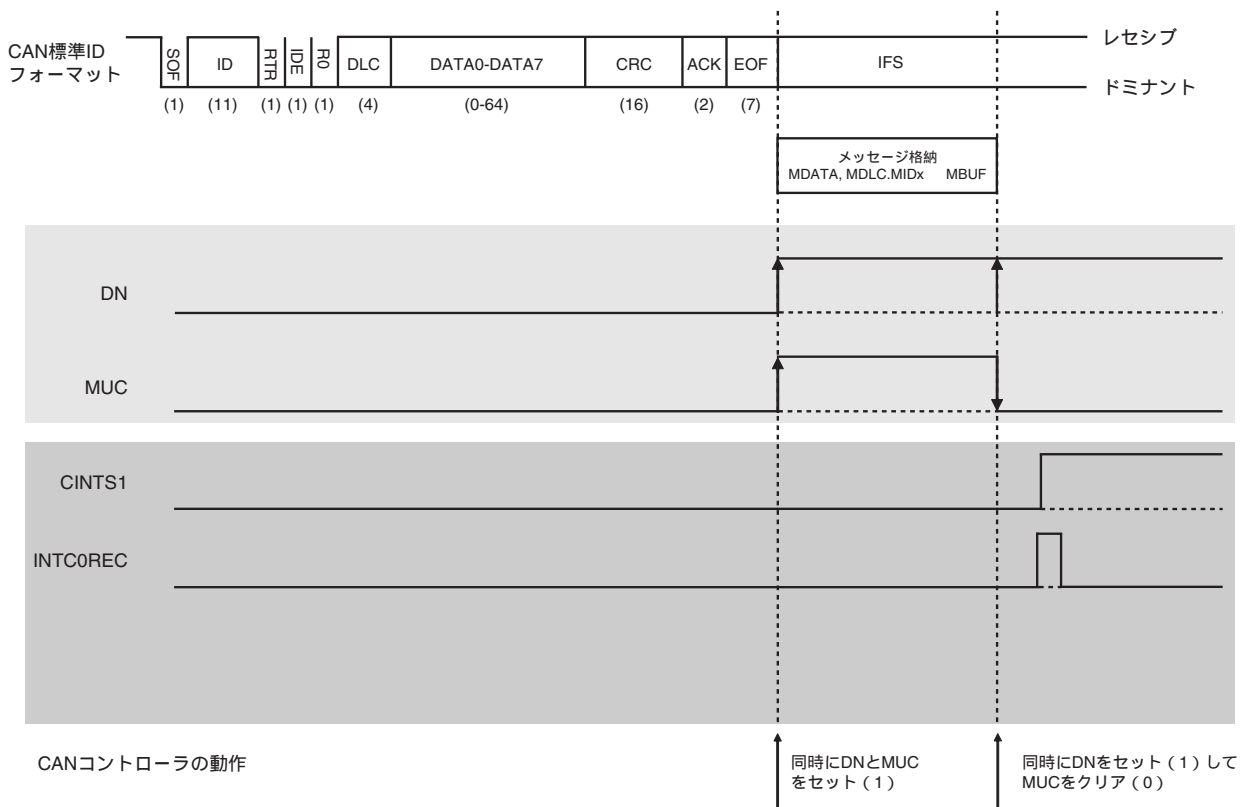
ソフトウェアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には、図16-51～16-53の推奨処理手順で行ってください。

メッセージ受信中、CANモジュールはC0MCTRLmレジスタのDNビットをメッセージ・バッファへのデータの格納処理の始まりと、この格納処理の終わりに2回セット(1)します。この格納処理の間、メッセージ・バッファのC0MCTRLmレジスタのMUCビットはセット(1)されています(図16-29参照)。

データ格納が完了する前には受信履歴・リストへの書き込みが行われます。またこのデータ格納期間(MUC = 1)は、格納対象となっているメッセージ・バッファのC0MCTRLmレジスタのRDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

備考 m = 0-15

図16-29 DN, MUCビットのセット期間(標準IDフォーマットの場合)



16.9.3 受信履歴・リスト機能

受信履歴・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信履歴・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは、最大23メッセージ分の格納エレメントと、受信履歴・リスト書き込みポインタ (LIPT) に対応するC0LIPTレジスタ、および受信履歴・リスト読み出しポインタ (RGPT) に対応するC0RGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHLは不定です。

C0LIPTレジスタは、LIPTポインタ - 1で示されるRHLエレメントの内容を保持しますので、C0LIPTレジスタを読み出すことで一番最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは、RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに、LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは、記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウェアにより、C0RGPTレジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。C0RGPTレジスタからメッセージ・バッファ番号を読み出すごとに、RGPTポインタは自動的にインクリメントされます。

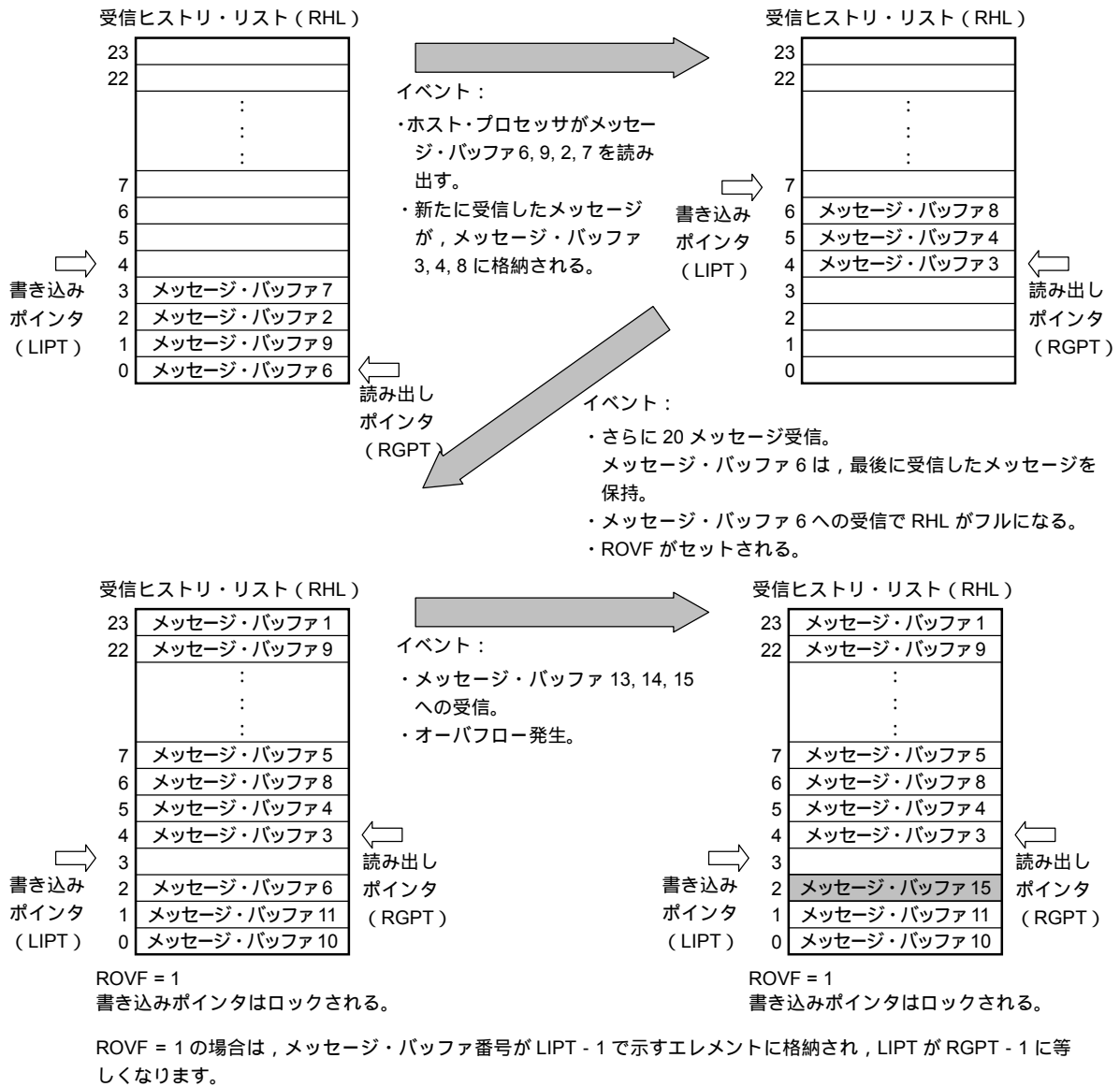
RGPTポインタとLIPTポインタが一致した場合には、C0RGPTレジスタのRHPMビット (受信履歴・リスト・ポインタ一致) がセット (1) されます。RHPMビットがセット (1) されていることで、RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPTポインタがインクリメントされポインタが一致なくなり、RHPMビットはクリア (0) されます。つまり、RHL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLIPTポインタがRGPTポインタ1と一致した場合には、C0RGPTレジスタのROVFビット (受信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合、ROVFビットがセット (1) されたあと、RHLに保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

注意 受信履歴・リストがオーバーフローした状態 (ROVF = 1) でも、未読の履歴がなくなりRHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバーフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVF = 1かつRHPM = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

受信履歴・リストは未読の状態では23個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合には、受信格納順は完全には読み出せないことがあります。

図16 - 30 受信履歴・リスト



16.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4つのグローバル受信マスクの1つを割り当てるか、またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため、1つのバッファの中にいくつかの異なるIDの受信を許容します。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25が“0”、ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合、次に示す手順で行ってください。

メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

x = don't care

メッセージ・バッファ14に設定したアイデンティファイア (例)

(CAN0メッセージIDレジスタL14, H14 (COMIDL14, COMIDH14) を使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25が“0”に設定され、ID24とID22が“1”に設定されているIDをメッセージ・バッファ14に登録(初期化)します。

備考 メッセージ・バッファ14をマスク1にリンクする (COMCONF14レジスタのMT[2:0] = 010Bに設定) 標準フォーマット・アイデンティファイアとして設定します。

CANモジュール1 (マスク1) のマスク設定 (例)

(CAN1アドレス・マスク1レジスタL, H (C1MASK1L, C1MASK1H) を使用)

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1 : 比較しない (マスクする)

0 : 比較する

CMID27-CMID24およびCMID22のビットは“0”, CMID28, CMID23, CMID21-CMID0のビットは“1”に設定します。

16.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以下, MBRBと記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより, CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。

たとえば, メッセージ・バッファ10からメッセージ・バッファ14の5個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には, 最初にIDが一致するメッセージを受信した場合, メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, IDが一致するメッセージを受信した場合, メッセージ・バッファ11に受信格納されます。以降, IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13, 14とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, IDが一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファのCOMCTRLmレジスタのIEビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックがk個のメッセージで構成されている場合は, データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から (k-2) までは, IEビットをクリア (0) しておき (割り込み無効), メッセージ・バッファk-1では, IEビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファk-1への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRBがフルになったことを知ることができます。あるいは, メッセージ・バッファ0から (k-3) までは, IEビットをクリア (0) しておきメッセージ・バッファk-2のIEビットをセット (1) しておくことで, MBRBがオーバーフローしそうであることのワーニングとすることができます。

MBRBにおいても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意1. MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なっても、IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。
2. MBRBは、リング構造をもっていません。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。
3. MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。
4. MBRBにおける「IDが一致する」とは「マスク後のIDが一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
5. 各MBRB間の優先順位は16.9.1 メッセージ受信で示す優先順位に従います。

備考 m = 0-15

16.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。
(COMCONFmレジスタのMA0ビットを1Bに設定)
- ・送信用メッセージ・バッファとして設定している。
(COMCONFmレジスタのMT[2:0]ビットを000Bに設定)
- ・受信準備ができています。
(COMCTRLmレジスタのRDYビットがセット(1)されている)
- ・メッセージ送信に設定されている。
(COMCONFmレジスタのRTRビットがクリア(0)されている)
- ・送信要求が設定されていない。
(COMCTRLmレジスタのTRQビットがクリア(0)されている)

上記の条件を満足し、かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては、以下の受信格納動作が行われます。

- ・COMDLCmレジスタのMDLC[3:0]ビットは受信したDLC値を格納します。
- ・データ領域COMDATA0m-COMDATA7mは更新されません(受信前のデータが保存されます)。
- ・COMCTRLmレジスタのDNビットがセット(1)されます。
- ・COINTSレジスタのCINTS1ビットがセット(1)されます(受信格納するメッセージ・バッファのCOMCTRLmレジスタのIEビットがセット(1)されている場合)。
- ・受信完了割り込み(INTC0REC)が出力されます(受信格納するメッセージ・バッファのCOMCTRLmレジスタのIEビットがセット(1)されており、かつC0IEレジスタのCIE1ビットがセット(1)されている場合)。
- ・メッセージ・バッファ番号を受信履歴・リストに記録します

注意 リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCOMCONFmレジスタのOWSビットによるオーバーライト制御の設定およびCOMCTRLmレジスタのDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット(1)されます。

複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

備考 m = 0-15

16. 10 メッセージ送信

16. 10. 1 メッセージ送信

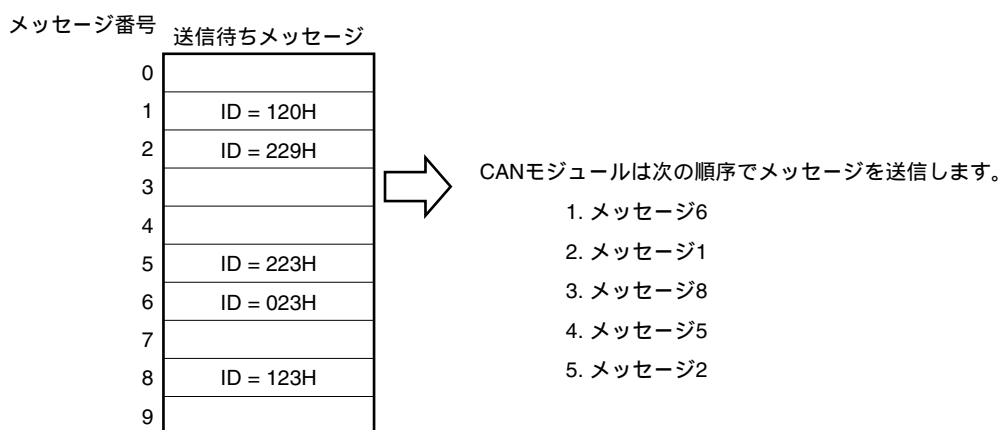
すべての動作モードで、次の条件を満たすメッセージ・バッファにTRQビットがセット(1)されているとき、送信するメッセージ・バッファの検索を行います。

- ・メッセージ・バッファとして使用している。
(COMCONFmレジスタのMA0ビットを1Bに設定)
- ・送信用メッセージ・バッファとして設定している。
(COMCONFmレジスタのMT[2:0]ビットを000Bに設定)
- ・送信準備ができています。
(COMCTRLmレジスタのRDYビットがセット(1)されている)

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア(ID)による送信プライオリティ制御を行います。

図16 - 31 メッセージ処理例



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ (TRQビットがあらかじめセット(1)されたメッセージ・バッファ)のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。ただし、すでに低位の優先度を持つ送信メッセージの送信が開始されている場合には、新しい送信要求はあとで送信されます。この優先度の逆転を解決するために、ソフトウェアにより低優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条 件	説 明
1 (高)	IDの先頭11ビットの値 [ID28-ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は、11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム (RTRビットがクリア(0))は、標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム (IDEビットがクリア(0))は、拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17-ID0]	IDの先頭11ビットが同じ値を持ち、フレーム・タイプが同じ (RTRビット値が等しい)、拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合、拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

備考1. ABT付き通常動作モードで、自動ブロック送信要求ABTTRGビットをセット(1)した場合、ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット(1)されます。ABT付き通常動作モードでは、ABTTRGビットにより開始されるとABT領域(バッファ0~7)に1つのTRQビットがセットされます。このTRQビット以外に、アプリケーションは、ABT領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理(TXサーチ)により、検索されたメッセージが次に送信されます。この検索処理は、TRQビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合(たとえば同一IDなど)、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。メッセージ・フレームの送信が成功すると、次の動作を行います。

- ・ 対応する送信メッセージ・バッファのTRQビットが自動的にクリア(0)されます。
 - ・ COINTSレジスタの送信完了ステータス・ビットCINTS0がセット(1)されます。
(対応する送信メッセージ・バッファの割り込み許可ビット(IE)がセット(1)されている場合)
 - ・ COIEレジスタのCIE0ビットをセット(1)、かつ対応する送信メッセージ・バッファの割り込み許可ビット(IE)がセット(1)されている場合、INTC0TRXの割り込み要求信号が出力されます。
2. 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中、RDYフラグが一時的にロックされている可能性があるため、変更後はRDYフラグの状態をソフトウェアにより確認する必要があります。
 3. $m = 0-15$

16. 10. 2 送信履歴・リスト機能

送信履歴・リスト機能は、データ・フレームまたはリモート・フレームを送信するごとに送信履歴・リスト (THL) ヘメッセージ・バッファ番号の記録を行います。THLは、最大7メッセージ分の格納エレメントと、送信履歴・リスト書き込みポインタ (LOPT) に対応するC0LOPTレジスタおよび送信履歴・リスト読み出しポインタ (TGPT) に対応するC0TGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THLは不定です。

C0LOPTポインタは、LOPTポインタ-1で示されるTHLエレメントの内容を保持しますので、C0LOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは、THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに、LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

TGPTポインタは、記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウェアにより、C0TGPTレジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。C0TGPTレジスタからメッセージ・バッファ番号を読み出すごとに、TGPTポインタは自動的にインクリメントされます。

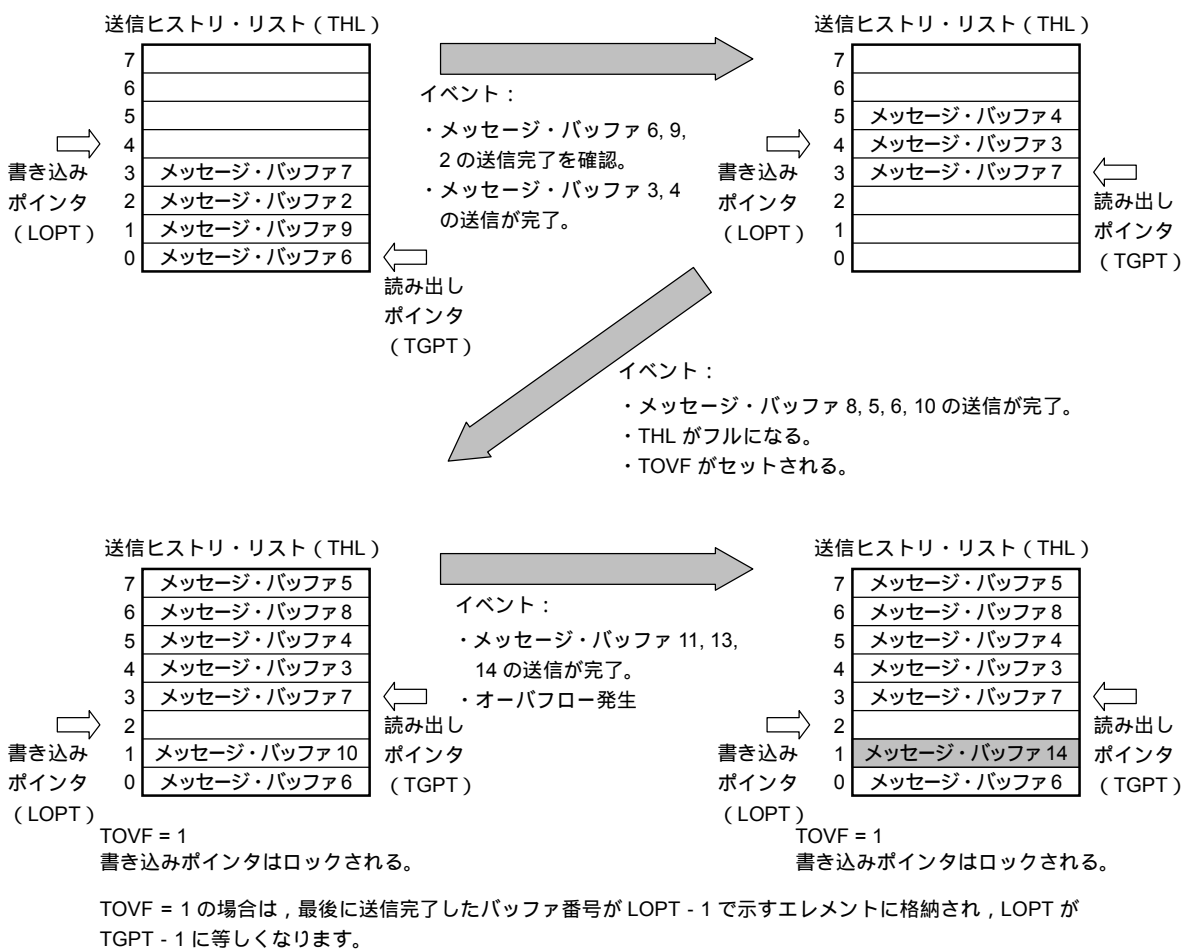
TGPTポインタとLOPTポインタが一致した場合には、C0TGPTレジスタのTHPMビット (送信履歴・リスト・ポインタ一致) がセット (1) されます。THPMビットがセット (1) されていることで、THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPTポインタがインクリメントされポインタが一致なくなり、THPMビットはクリア (0) されます。つまり、THL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLOPTポインタがTGPTポインタ - 1と一致した場合には、C0TGPTレジスタのTOVFビット (送信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。その場合、TOVFビットがセット (1) されたあと、THLに保持しているメッセージ・バッファ番号は完全に時系列にはなくなります。ただし、その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPUが送信再設定を行う前に実行)。TOVFに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

注意 送信履歴・リストがオーバーフローした状態 (TOVF = 1) でも、未読の履歴がなくなりTHPMビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (=オーバーフローしている) を継続します。この状態では、TOVFビットがクリア (0) されないかぎりには新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア (0) されません。したがって、TOVF = 1かつTHPM = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

備考 m = 0-15

図16 - 32 送信履歴・リスト



16. 10. 3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以下, ABTと記述) は, CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは, C0CTRLレジスタのOPMODE [2:0]ビットを010Bに設定することで, “自動ブロック送信機能付き通常動作モード”(以下, ABT付き通常動作モードと記述) に選択できます。

ABTの送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して, MA0ビットをセット(1)し, さらにMT [2:0]ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは, すべてのメッセージ・バッファのIDが同一として使用する場合でも, 必ず各メッセージ・バッファにIDを設定してください。また, 複数のIDを使用する場合は, C0MIDLm, C0MIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。C0MDLCmレジスタおよびC0MDATA0m-C0MDATA7mレジスタは, ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに, RDYビットをセット(1)してください。ABTでは, TRQビットをソフトウェアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, ABTTRGビットをセット(1)することで開始されます。ABTが開始されると, 最初のメッセージ・バッファ(メッセージ・バッファ0)のTRQビットが自動的にセット(1)され送信が始まります。メッセージ・バッファ0の送信が終了したら, 次のメッセージ・バッファ1のTRQビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求 (TRQ) の自動セットをする間隔にプログラマブルで遅延の挿入ができます。挿入する遅延量はC0GMABTDレジスタで設定を行い, 単位はDBT (データ・ビット・タイム) です。DBTはC0BRPレジスタおよびC0BTRレジスタで設定される時間に依存します。

ABTは, ABT送信バッファ内での送信IDの優先順位の検索は行わず, メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し, メッセージ・バッファ7からのデータ・フレームの送信が完了すると, ABTTRGビットは自動的にクリア(0)され, ABT送信が完了します。

ABT送信中に, ABT用メッセージ・バッファの中にRDYビットがクリア(0)されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。その後, ソフトウェアによりRDYビットをセット(1)し, ABTTRGビットをセット(1)することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT送信が停止しABTTRGビットがクリア(0)された状態でABTCLRビットをセット(1)することで内部のABT送信エンジンをリセットすることができます。この場合, ABTCLRビットをクリア(0)後, ABTTRGビットをセット(1)するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外のC0MCTRLmレジスタのIEビットをクリア(0)しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ(メッセージ・バッファ8~バッファ15)が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は, 送信履歴・リスト (THL) に記録されません。

- 注意 1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTCLRビットはABTTRGビットがクリア(0)されている状態でセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証いたしません。
2. ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。
 3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証いたしません。
 4. ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証いたしません。
 5. COGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~バッファ15)に対する送信要求の設定状況に依存して変化します。
 6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(COGMABTD = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。
 7. ABTTRG = 1の状態では、RDYビットをクリア(0)しないでください。
 8. ABT付き通常動作モード時、他ノードからメッセージを受信した場合、COGMABTDレジスタ = 00Hの設定時でも1フレーム分待ってからABTメッセージを送信する場合があります。

備考 m = 0-15

16. 10. 4 送信中断処理

(1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、C0MCTRLmレジスタのTRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すC0CTRLレジスタのTSTATビットとC0TGPTレジスタを確認してください(詳細は、図16 - 47の処理を参照してください)。

(2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理

送信要求を中断する必要がある場合には、最初にC0GMABTレジスタのABTTRGビットをクリア(0)します。C0GMABTレジスタのABTTRGビットがクリア(0)されたことを確認したあとで、C0MCTRLmレジスタのTRQビットをクリアします。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すC0CTRLレジスタのTSTATビットとC0TGPTレジスタを確認してください(詳細は、図16 - 48の処理を参照してください)。

(3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は、C0GMABTレジスタのABTTRGビットをクリア(0)します。この場合、ABTTRGビットは、現在ABTメッセージの送信であれば、送信が完了(成功、失敗問わず)するまでABTTRG = 1を保持し、送信が完了した時点でABTTRGビットはクリア(0)されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア(0)要求をする時点で、TRQビットがセット(1)されている場合には、内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています(詳細は、図16 - 49の処理を参照してください)。ABTTRGビットのクリア(0)要求をする時点で、TRQビットがクリア(0)されている場合には、内部ABTポインタは+1インクリメントされ、ABT領域の次のメッセージ・バッファを指します(詳細は、図16 - 50の処理を参照してください)。

注意 ABT送信の中断は必ずABTTRG = 0によって行ってください。RDYビットのクリアによる送信中断を要求した場合は、動作を保証いたしません。

ABT中断後にABTTRGビットをセット(1)することでABT付き通常動作モードが再開する場合、再開後に送信されるABTメッセージ・バッファは次の通りです。

ABT用メッセージ・ バッファのTRQの状態	成功送信完了後に中断	送信エラー後に中断
セット(1)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の同じメッセージ・バッファ
クリア(0)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の次のメッセージ・バッファ ^注

注 ABT領域に、ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ7のABT送信中に発行された中断要求は、メッセージ・バッファ7の送信が成功完了した場合は、ABTTRG = 0となっても中断ではなくABT送信の完了とみなされます。またABT領域の次のメッセージ・バッファのRDYビットがクリア(0)されている場合などは、内部ABTポインタは保持されますが、ABTTRGビットをセット(1)しても再開動作は行わずにただちにABT送信を終了します。

備考 m = 0-15

16. 10. 5 リモート・フレーム送信

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。COMCONFmレジスタのRTRビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット(1)することにより、リモート・フレーム送信ができます。

備考 m = 0-15

16. 11 パワー・セーブ・モード

16. 11. 1 CANスリープ・モード

CANスリープ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは、すべての動作モードから移行することができます。CANスリープ・モードが解除されても、CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは、送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANスリープ・モードへの移行

COCTRLレジスタのPSMODE[1:0]ビットを01Bに設定することで、CANスリープ・モードの要求を行います。この要求は以下の場合に受け付けられます。

- ・ CANモジュールがすでに次の動作モードにある場合
 - ・ 通常動作モード
 - ・ ABT付き通常動作モード
 - ・ 受信オンリー・モード
 - ・ シングル・ショット・モード
 - ・ セルフ・テスト・モード
 - ・ 上記のすべての動作モードにおいてCANストップ・モードである
- ・ CANバス状態がパス・アイドルの場合（インタフレーム・スペースの4ビット目がレセシブである）[※]
- ・ 送信要求が保留されていない

注 CANバスがドミナントに固着している場合には、CANスリープ・モードへの移行要求は保留されます。また、CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

備考 CANスリープ・モード遷移要求が保留されている状態で受信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく、受信格納が処理されてから受け付けられCANスリープ・モードに移行します。このとき、CPUが受信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび受信ヒストリ・レジスタへのアクセス可否を確認する必要があります。

同様に、CANスリープ・モード遷移要求が保留されている状態で送信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく受け付けられ、CANスリープ・モードに移行します。このとき、CPUが送信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび送信ヒストリ・レジスタへのアクセス可否を確認する必要があります。

上記の条件の1つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいてCANスリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信時）ときにCANスリープ・モードの要求が行われた場合、CANスリープ・モードへただちに移行しません。その場合、CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE[1:0]ビットは00Bの設定のままになっていますが、移行が完了するとPSMODE[1:0] = 01Bになります。
- ・任意の動作モードにおいて、初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- ・また、初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば、CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点でCANスリープ・モード要求はただちに無効となります。また初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合、CANスリープ・モード要求の発行時点でただちにCANスリープ・モード要求が無効になります。

(2) CANスリープ・モードの状態

CANスリープ・モードへ移行後は、CANモジュールは下記の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CANバスからのウエイク・アップのためにCAN受信端子（CRxD）の立ち下がりエッジ検出は機能しています。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（C0CTRL）のPSMODE[1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みできません。
- ・CANモジュール・レジスタからの読み出しは、C0LIPT, C0RGPT, C0LOPT, C0TGPTを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル制御レジスタ（C0GMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- ・ C0CTRLレジスタのPSMODE[1:0]ビットに00Bを設定した場合
- ・ CAN受信端子 (CRxD) の立ち下がりエッジの検出 (レセシブからドミナントへのCANバス変化)

- 注意1.** 立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージは受信および格納はされません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE [1:0] ビットは01Bのままとなります。また、それ以降の受信メッセージについても受信されません。
- 2.** CANクロックが供給されている状態で、CAN受信端子 (CRxD) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図16 - 54の処理を参照してください)。

CANスリープ・モードが解除されたあとは、CANスリープ・モードが要求される前の動作モードに戻り、C0CTRLレジスタのPSMODE[1:0]ビットは00Bにリセットされます。CANスリープ・モードが、CANバス変化によって解除された場合、C0IEレジスタのCIEビットに関わらずC0INTSレジスタのCINTS5ビットがセット (1) されます。またCANスリープ・モード解除後は、CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前にMBON = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANスリープ・モードをいったん解除してください。

- 注意** CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

備考 m = 0-15

16.11.2 CANストップ・モード

CANストップ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは、CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって、CANスリープ・モードに移行します。

CANストップ・モードは、C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能で、CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANストップ・モードへの移行

C0CTRLレジスタのPSMODE[1:0]ビットを11Bに設定することで、CANストップ・モードの要求を行います。CANストップ・モードの要求は、CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では、CANストップ・モードの移行要求は無視されます。

注意 CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE[1:0] = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子（CRxD）のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります（ただし、CANクロックが供給されている状態では、CAN受信端子（CRxD）のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。

(2) CANストップ・モードの状態

CANストップ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（C0CTRL）のPSMODE[1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- ・CANモジュール・レジスタからの読み出しは、C0LIPT、C0RGPT、C0LOPT、C0TGPTを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル制御レジスタ（C0GMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANストップ・モードの解除

CANストップ・モードは、C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANストップ・モードを解除し、さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

備考 m = 0-15

16. 11. 3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CANモジュールをCANスリープ・モードに移行させます (PSMODE [1:0]ビット = 01B)。次に、CPUをパワー・セーブ・モードに移行させます。この状態で、CAN受信端子 (CRxD) がレセプシブからドミナントへのエッジ変化を検出した場合、CANモジュールのCINTS5ビットがセット (1) され、さらにC0CTRLレジスタのCIE5ビットがセット (1) されている場合には、ウエイク・アップ割り込み (INTC0WUP) が発生します。

CANモジュールは、CANスリープ・モードが自動的に解除 (PSMODE [1:0]ビット = 00B) され、通常動作モードに復帰します (ただし、CANクロックが供給されている状態では、CAN受信端子 (CRxD) のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。一方、CPUはINTC0WUPを受けて、CPU自身のパワー・セーブ・モードを解除し、通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために、CANモジュールを含めた内部クロックを停止させることがあります。この場合、上述のように、CANモジュールをCANスリープ・モードに移行させたあとに、CANモジュールに供給されている動作クロックを停止します。その後、CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で、CAN受信端子 (CRxD) がレセプシブからドミナントへのエッジ変化を検出した場合、CANモジュールはクロック供給がない状態でもCINTS5ビットのセット (1) とウエイク・アップ割り込み (INTC0WUP) を発生することが可能です。ただし、それ以外の機能は、CANモジュールへのクロック供給が止まっているため動作せず、CANスリープ・モード状態を維持します。CPUは、INTC0WUPを受けて、CPUのパワー・セーブ・モードを解除し、たとえば発振安定時間経過後に、CANモジュールへのクロックを含めた内部クロックの供給を再開し、所定の命令実行動作を開始します。CANモジュールは、クロック供給が再開されるとただちにCANスリープ・モードを解除し、通常動作モード (PSMODE [1:0]ビット = 00B) に復帰します。

16.12 割り込み機能

CANモジュールには、6つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6つの割り込み要因から、4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア(0)する必要があります。

表16-20 CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 ^{注1}	COINTS	CIE0 ^{注1}	COIE	INTC0TRX	メッセージ・バッファからのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 ^{注1}	COINTS	CIE1 ^{注1}	COIE	INTC0REC	メッセージ・バッファへの有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	COINTS	CIE2	COIE	INTC0ERR	CANモジュール・エラー状態割り込み ^{注2}
4	CINTS3	COINTS	CIE3	COIE		CANモジュール・プロトコル・エラー割り込み ^{注3}
5	CINTS4	COINTS	CIE4	COIE		CANモジュール・アービトレーション・ロスト割り込み
6	CINTS5	COINTS	CIE5	COIE	INTC0WUP	CANスリープ・モードからのウエイク・アップ割り込み ^{注4}

注1. メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファのCOMCTRLレジスタのIEビット(メッセージ・バッファ割り込み許可ビット)をセット(1)する必要があります。

- 送受信エラー・カウンタがワーニング・レベル、エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。
- スタッフ・エラー、フォーム・エラー、ACKエラー、ビット・エラー、CRCエラーが要因で発生する割り込みです。
- CAN受信端子の立ち下がりエッジの検出(レセプブからドミナントへのCANバス変化)によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考 m = 0-15

16. 13 診断機能と特殊動作モード

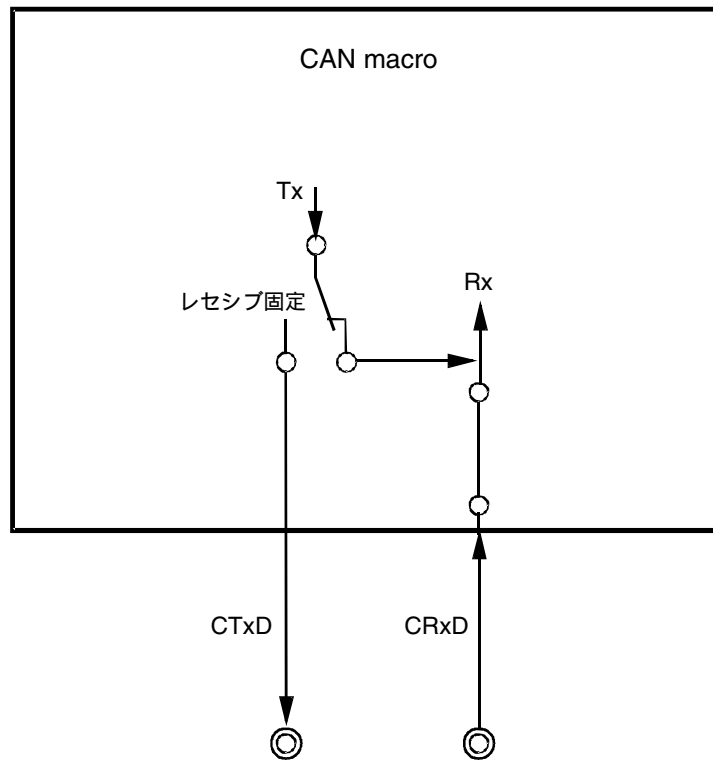
CANモジュールは、CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます

16. 13. 1 受信オンリー・モード

受信オンリー・モードは、CANバスに影響を与えずに受信メッセージをモニタするモードで、CANバス分析ノード用に使用できます。

たとえば、自動ボー・レート検出に利用できます。“有効な受信”が検出されるまでCANモジュールのボー・レートを変化させ、互いのボー・レートを合わせ込むことができます(“有効な受信”とは、エラーが発生せず、CANバスに接続されたノードによる適切なACK応答を伴って、CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します)。有効な受信では、受信メッセージ・バッファ(データ・フレーム)または送信メッセージ・バッファ(リモート・フレーム)へのメッセージ・フレームの格納は必要ありません。有効な受信は、COCTRLレジスタのVALIDビットがセット(1)されることで確認できます。

図16 - 33 受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードは、CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CANモジュールのCAN送信端子 (CTxD) は、レセプ・レベルに固定されています。したがって、メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも、CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また、CANモジュールから送信を発行できないため、送信エラー・カウンタTECは更新されません。したがって、受信オンリー・モードのCANモジュールは、バスオフ状態になりません。

さらに、受信オンリー・モードは、有効なメッセージ・フレームの受信時に、CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバロード・フレームをCANバスに送信することができません。

注意 2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・パッシブになります (エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合)。メッセージ・フレームの17回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット (1) されます。

16.13.2 シングル・ショット・モード

シングル・ショット・モードでは、CANプロトコルで定義された自動再送信は行いません (CANプロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります)。シングル・ショット・モードのその他の動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードでは、C0CTRLレジスタのALビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア (0) されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット (1) されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファのTRQビットは、次のイベントでクリア (0) されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、それぞれC0INTSレジスタのCINTS4ビット、CINTS3ビットを確認し、エラーの種類はC0LECレジスタのLEC [2:0]ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、C0INTSレジスタの送信完了割り込みCINTS0は、セット (1) されます。そのとき、C0IEレジスタのCIE0ビットがセット (1) されている場合には、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイム・トリガの通信方法 (TTCANレベル1など) をエミュレートするために使用することができます。

注意 ALビットは、シングル・ショット・モードでのみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。

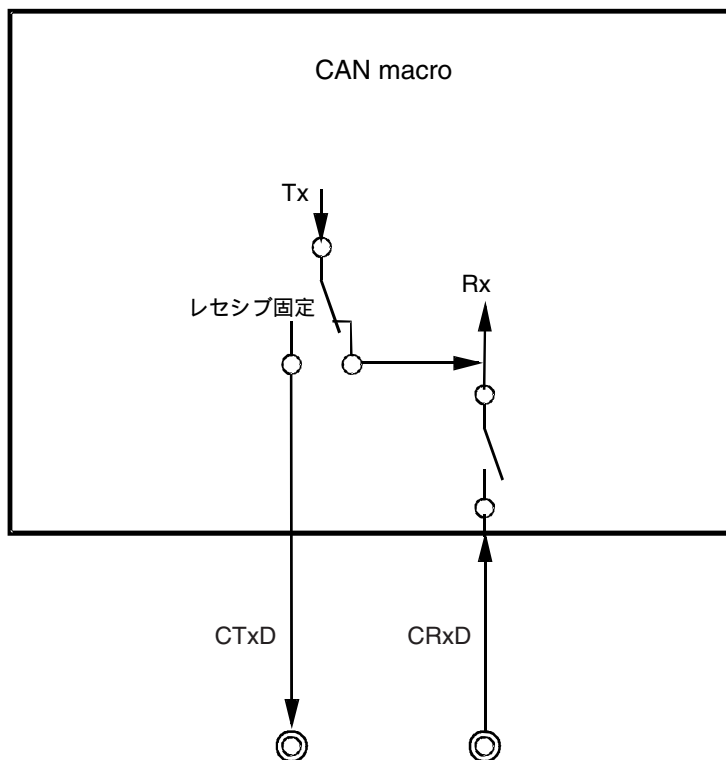
16.13.3 セルフ・テスト・モード

セルフ・テスト・モードは、CANノードをCANバスに接続することなく、つまり、CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードは、CANモジュールがCANバスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN送信端子（CTxD）は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードでCANスリープ・モードに移行したあと、CAN受信端子（CRxD）の立ち下がりエッジの検出をすると、他の動作モードと同様にCANスリープ・モードから解除されます（ただし、CANクロックが供給されている状態でスリープ・モードを解除したい場合は、CAN受信端子（CRxD）の立ち下がりエッジの検出後、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。CANスリープ・モードから解除されないようにするには、CAN受信端子（CRxD）をポートに切り替えて使用してください。

図16 - 34 セルフ・テスト・モードにおけるCAN端子接続



16. 13. 4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表16 - 21に示します。

表16 - 21 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム /リモート・ フレーム送信	ACK送信	エラー・フレーム /オーバーロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビットの セット	メッセージ・ バッファへの データ格納
初期化モード	-	-	-	-	-	-	-
通常動作モード					-		
ABT付き通常動作 モード							
受信オンリー・ モード	-	-	-	-	-		
シングル・ ショット・モード				注1	-		
セルフ・テスト・ モード	注2	注2	注2	注2	-	注2	注2

注1. アービトレーション・ロスト時，COCTRLレジスタのALビットにより，再送信の設定が可能です。

2. 各信号は外部に出力されませんが，CANモジュール内部で発生します。

16.14 タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって、CANバスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していません）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となる場合があります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CANバス上の信号をトリガとしてタイム値をキャプチャすることです。

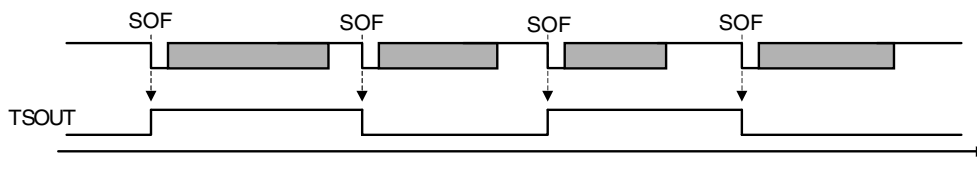
16.14.1 タイム・スタンプ機能

CANコントローラは、特定フレームをトリガとしてタイム値をキャプチャする場合に必要な機能をサポートしています。そのために、CANコントローラに加え製品に内蔵されている16ビットのキャプチャ/タイム・ユニットを使用します。この場合、16ビット・キャプチャ・タイム・ユニットは、CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号(TSOUT)に応じて、タイム値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUTは、次の2つのイベント・ソースから選択することができ、C0TSレジスタのTSSELビットにより指定します。

- ・SOFイベント（スタート・オブ・フレーム）（TSSEL = 0）
- ・EOFイベント（エンド・オブ・フレームの最終ビット）（TSSEL = 1）

またTSOUT信号は、C0TSレジスタのTSENビットをセット（1）することで動作許可状態になります。

図16 - 35 キャプチャ用信号TSOUTのタイミング図



TSOUT信号は、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします（図16 - 35は、SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUT信号によるキャプチャを行うためには、キャプチャ/タイム・ユニット側では、キャプチャ信号の検出は立ち上がり、および立ち下りの両エッジで行う必要があります。

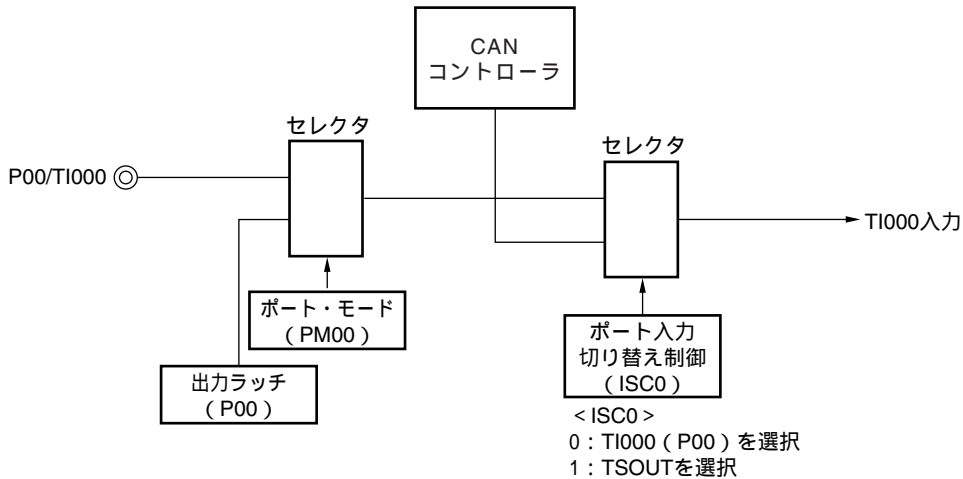
これらのタイム・スタンプの機能は、C0TSレジスタのTSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルします。TSLOCKビットがセット（1）されている場合には、選択したイベントが発生するたびにTSOUT信号がトグルしますが、データ・フレームがメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで、トグル動作を停止させることができます。これにより、以降のTSOUT信号のトグル発生を抑え、最後にトグルした（= 最後にキャプチャした）タイム・スタンプ値を、メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

注意 TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUT信号のトグルは停止しません。

上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。

ポート入力切り替え制御（ISC0）により、外部でTSOUTとTI000の結線をせずに、キャプチャ用のトリガ信号（TSOUT）の入力ソースを16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図16 - 36 ポート入力切り替え制御



備考 ISC0 : 入力切り替え制御レジスタ (ISC) のビット0 (図14 - 18参照)

16. 15 ボー・レート設定について

16. 15. 1 ボー・レート設定について

CANを正常に動作させるために、次の条件に設定してください。

- (a) $5TQ \leq SPT$ (サンプル・ポイント) $\leq 17TQ$
 $SPT = TSEG1 + 1TQ$
- (b) $8TQ \leq DBT$ (データ・ビット・タイム) $\leq 25TQ$
 $DBT = TSEG1 + TSEG2 + 1TQ = TSEG2 + SPT$
- (c) $1TQ \leq SJW$ (同期ジャンプ幅) $\leq 4TQ$
 $SJW = DBT - SPT$
- (d) $4TQ \leq TSEG1$ $\leq 16TQ$ [3 TSEG1[3:0]の設定値 ≤ 15]
- (e) $1TQ \leq TSEG2$ $\leq 8TQ$ [0 TSEG2[2:0]の設定値 ≤ 7]

備考 $TQ = 1/f_{TQ}$ (f_{TQ} : CANプロトコル・レイヤ基本システム・クロック)

TSEG1[3:0]: CAN0ビット・レート・レジスタ (C0BTR) のビット3-ビット0

TSEG2[2:0]: CAN0ビット・レート・レジスタ (C0BTR) のビット10-ビット8

上記条件を満たすビット・レートの組み合わせを表16 - 22に示します。

表16 - 22 設定可能なビット・レート組み合わせ (1/3)

DBTの長さ	有効なビット・レート設定				COBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1[3:0]	TSEG2[2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

表16 - 22 設定可能なビット・レート組み合わせ (2/3)

DBTの長さ	有効なビット・レート設定				COBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1[3:0]	TSEG2[2:0]	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

表16 - 22 設定可能なビット・レート組み合わせ (3/3)

DBTの長さ	有効なビット・レート設定				C0BTRレジスタ設定値		サンプル・ポイント (単位：%)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1[3:0]	TSEG2[2:0]	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 ^注	1	2	2	2	0011	001	71.4
7 ^注	1	4	1	1	0100	000	85.7
6 ^注	1	1	2	2	0010	001	66.7
6 ^注	1	3	1	1	0011	000	83.3
5 ^注	1	2	1	1	0010	000	80.0
4 ^注	1	1	1	1	0001	000	75.0

注 DBT値が7以下の設定は、C0BRPレジスタ = 00H以外の場合のみ有効です。

注意 表16 - 22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

16. 15. 2 代表的なボー・レート設定例

代表的なボー・レート設定例を表16 - 23および表16 - 24に示します。

表16 - 23 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz設定時)(1/2)

ボー・レート設定値 (単位 : kbps)	COBRPによる分周比	COBRPレジスタ設定値 TQPRS[7:0]	有効なビット・レート設定 (単位 : TQ)					COBTRレジスタ設定値		サンプル・ポイント (単位 : %)
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT NT1	PHASE SEGMENT NT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意 表16 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表16 - 23 代表的なボー・レート設定例 ($f_{CANMOD} = 8 \text{ MHz}$ 設定時)(2/2)

ボー・レート 設定値 (単位： kbps)	COBRP による 分周比	COBRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定 (単位：TQ)					COBTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGME NT	PROP SEGME NT	PHASE SEGME NT1	PHASE SEGME NT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 表16 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表16 - 24 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時)(1/2)

ボー・レート 設定値 (単位： kbps)	C0BRP による 分周比	C0BRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定 (単位：TQ)					C0BTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGME NT	PROP SEGME NT	PHASE SEGME NT1	PHASE SEGME NT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表16 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表16 - 24 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時)(2/2)

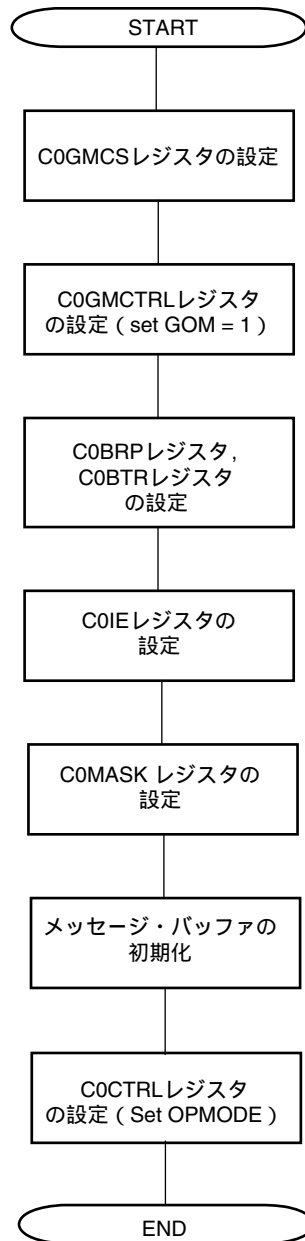
ボー・レート 設定値 (単位： kbps)	C0BRP による 分周比	C0BRP レジスタ 設定値 TQPRS[7:0]	有効なビット・レート設定 (単位：TQ)					C0BTRレジスタ 設定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGME NT	PROP SEGME NT	PHASE SEGME NT1	PHASE SEGME NT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意 表16 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

16.16 CANコントローラの動作

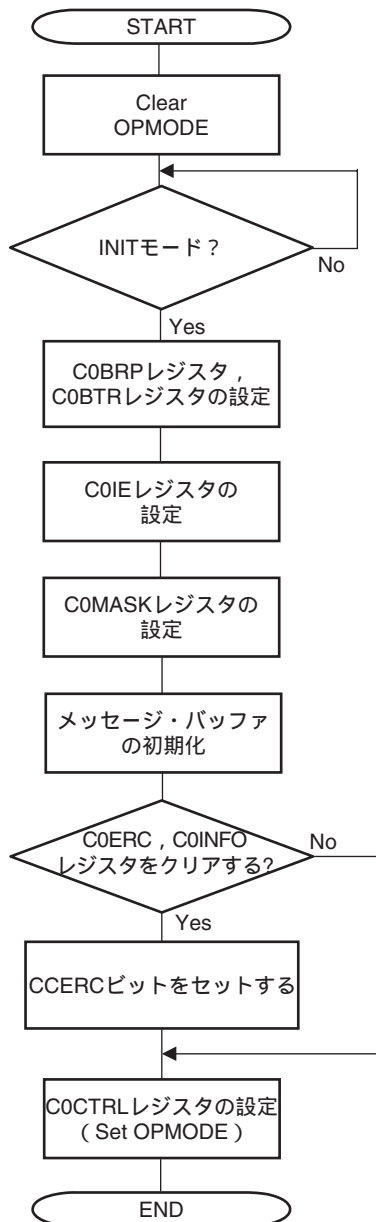
備考 m = 0-15

図16 - 37 初期化



備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

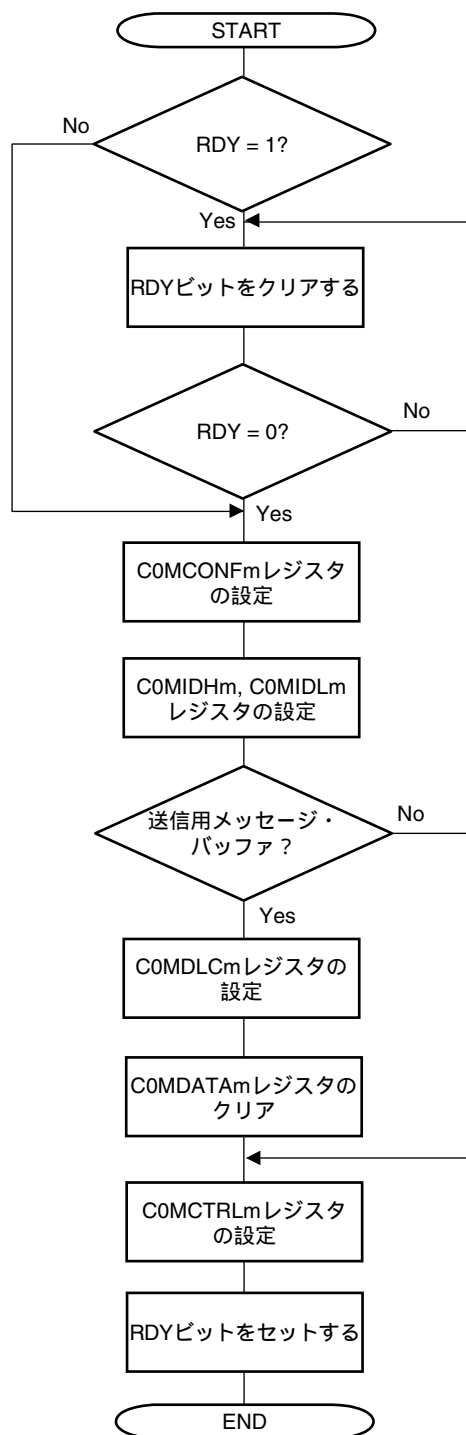
図16 - 38 再初期化



注意 初期化モードへ移行したあとに、連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には、必ずCOCTRL, COGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。

備考 OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

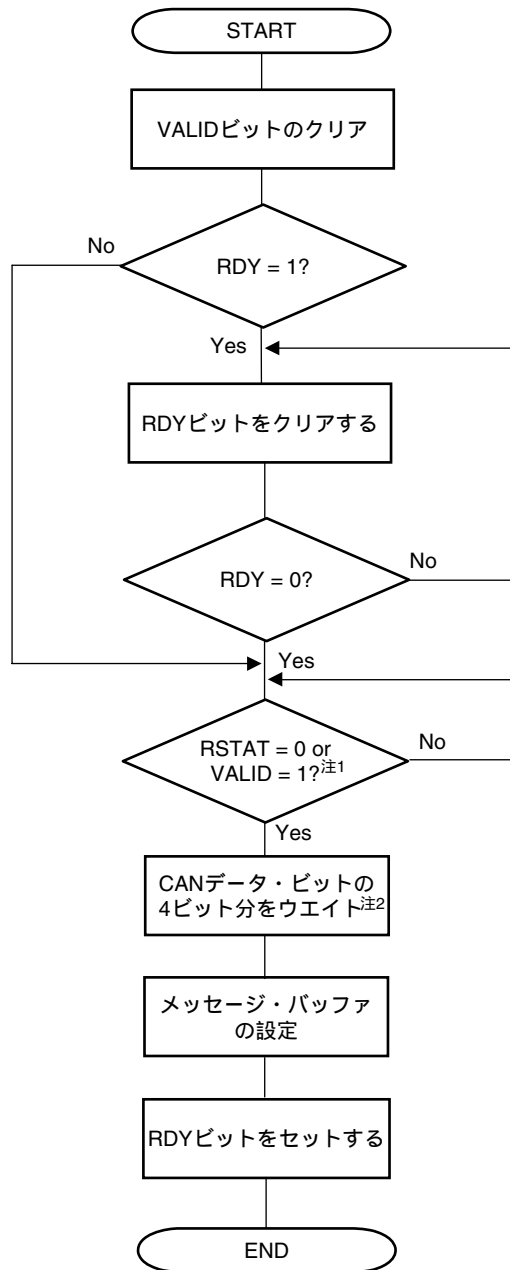
図16 - 39 メッセージ・バッファの初期化



- 注意 1. メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。
2. アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。
- ・COMCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア(0)する。
 - ・COMCONFmレジスタのMA0ビットをクリア(0)する。

図16 - 40は、受信メッセージ・バッファに対する処理です(COMCONFmレジスタのMT[2:0]ビット = 001B-101B)。

図16 - 40 メッセージ・バッファの再定義



注1. メッセージ受信中に再定義を行った場合には、受信が終わってからRDYビットをセットしなければならないため、受信中かどうかを確認する必要があります。

2. この4ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能性があります。

図16 - 41は、送信中の送信メッセージ・バッファに対する処理です (COMCONFmレジスタのMT[2:0]ビット = 000B)。

図16 - 41 送信中のメッセージ・バッファの再定義

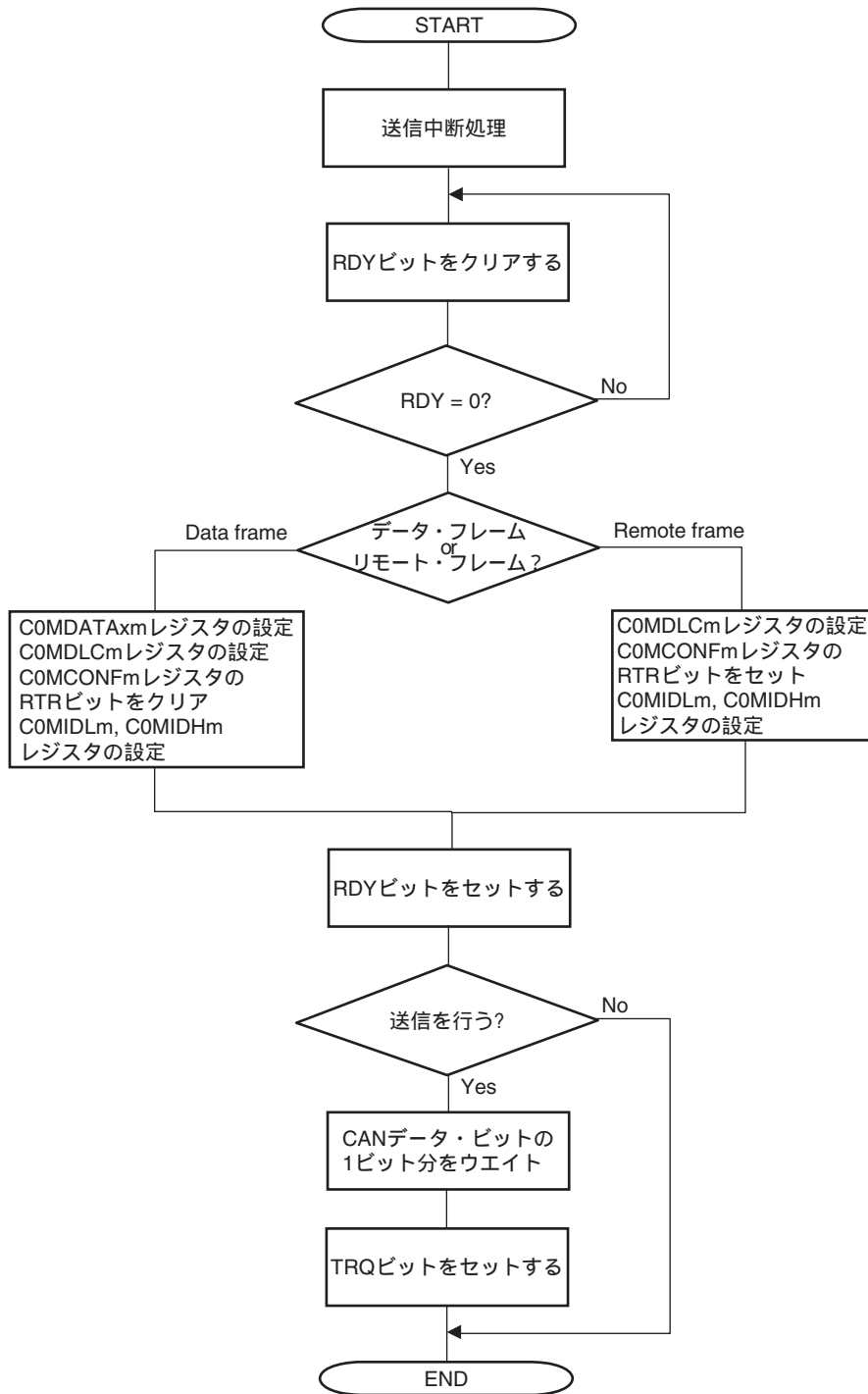
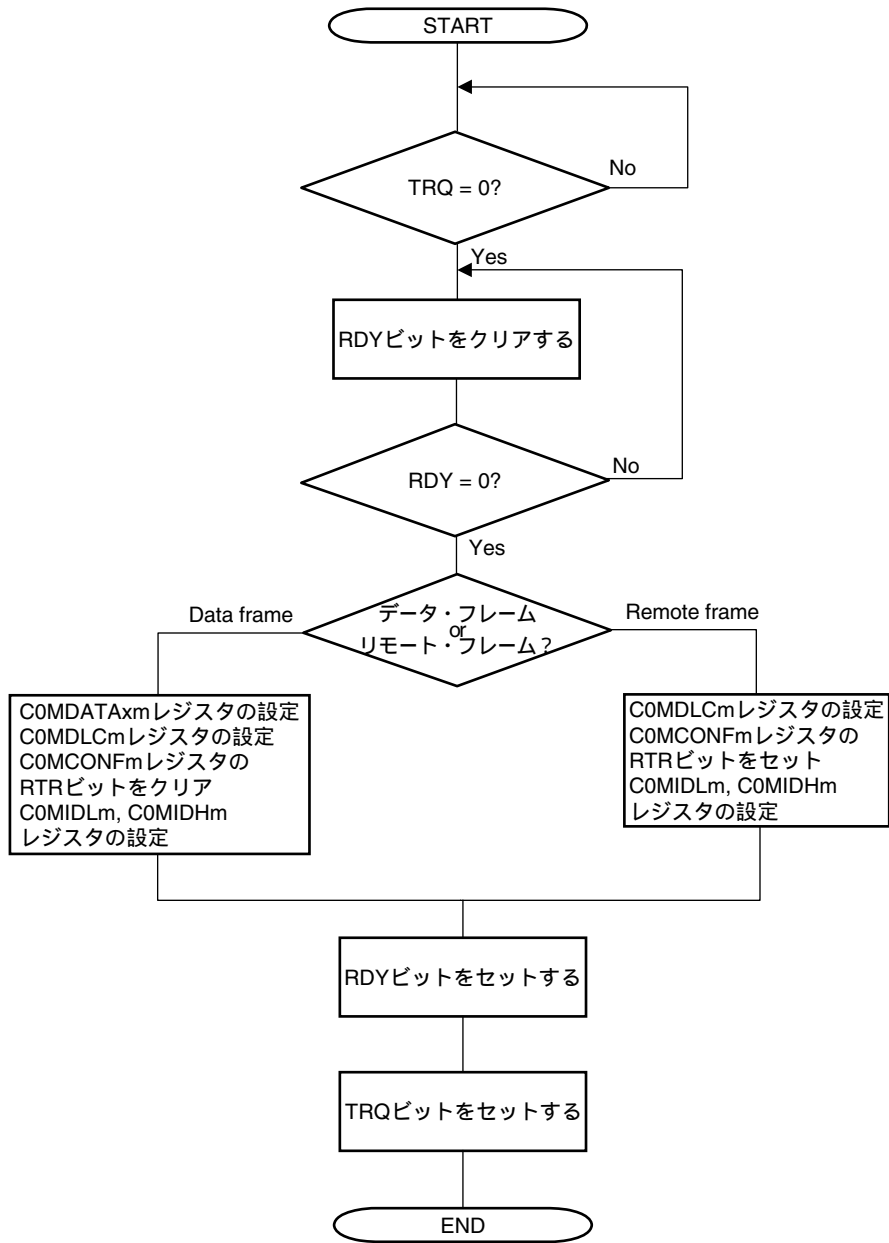


図16 - 42は、送信メッセージ・バッファに対する処理です (COMCONFmレジスタのMT[2:0]ビット = 000B)。

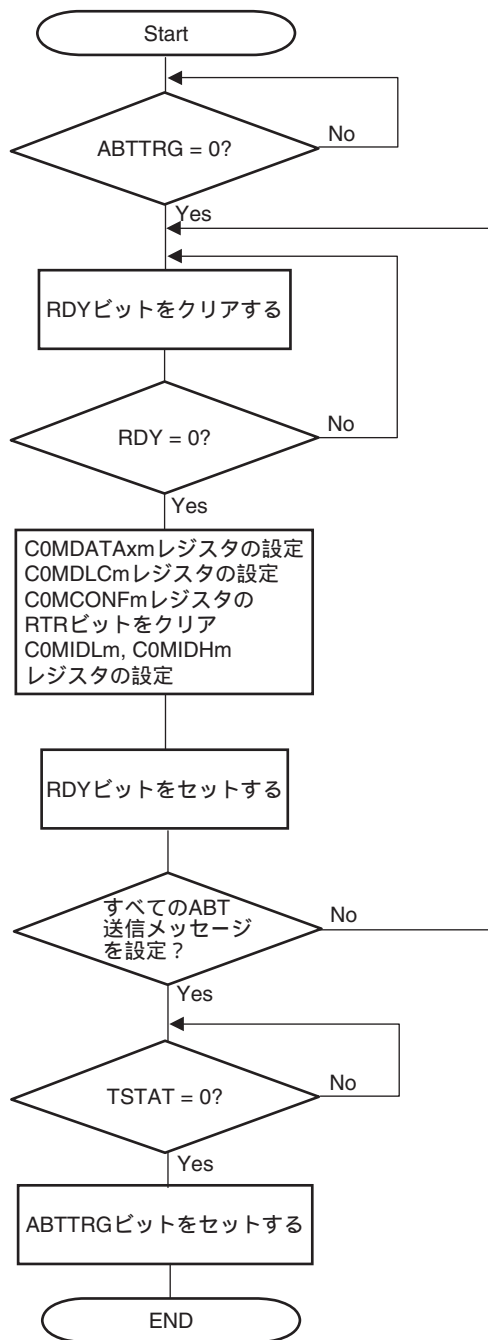
図16 - 42 メッセージ送信処理



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。
 2. RDYビットとTRQビットは同時に設定しないでください。

図16 - 43は、送信メッセージ・バッファに対する処理です (COMCONFmレジスタのMT[2:0]ビット = 000B)。

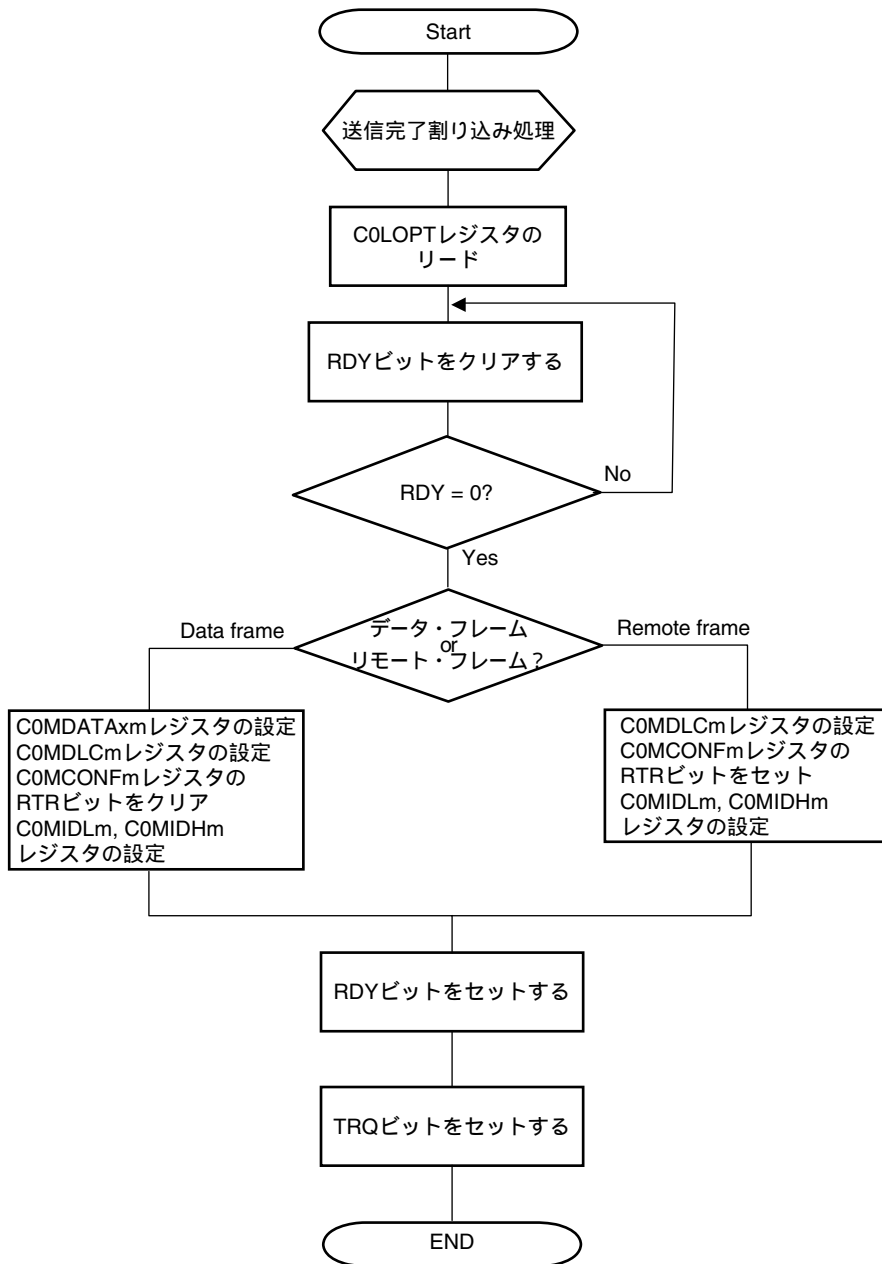
図16 - 43 ABTメッセージ送信処理



注意 ABTTRGビットのセット(1)は、TSTATビットがクリア(0)されてから行ってください。TSTATビットの確認とABTTRGビットのセット(1)は、連続的に処理を行う必要があります。

備考 本処理(ABTメッセージ送信処理)は、メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては、図16 - 42を参照してください。

図16 - 44 割り込みによる送信処理 (C0LOPTレジスタを使用する処理)

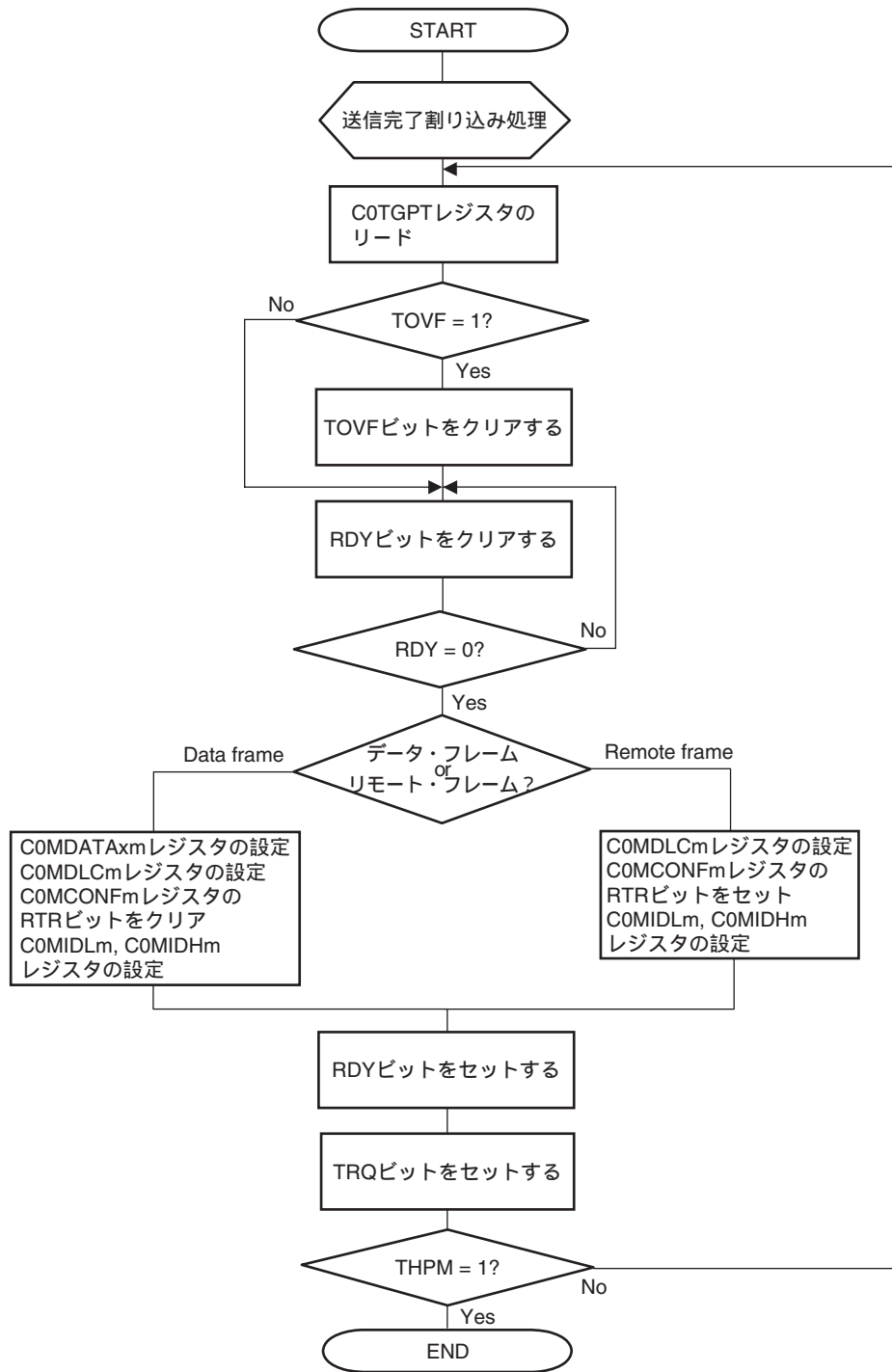


注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

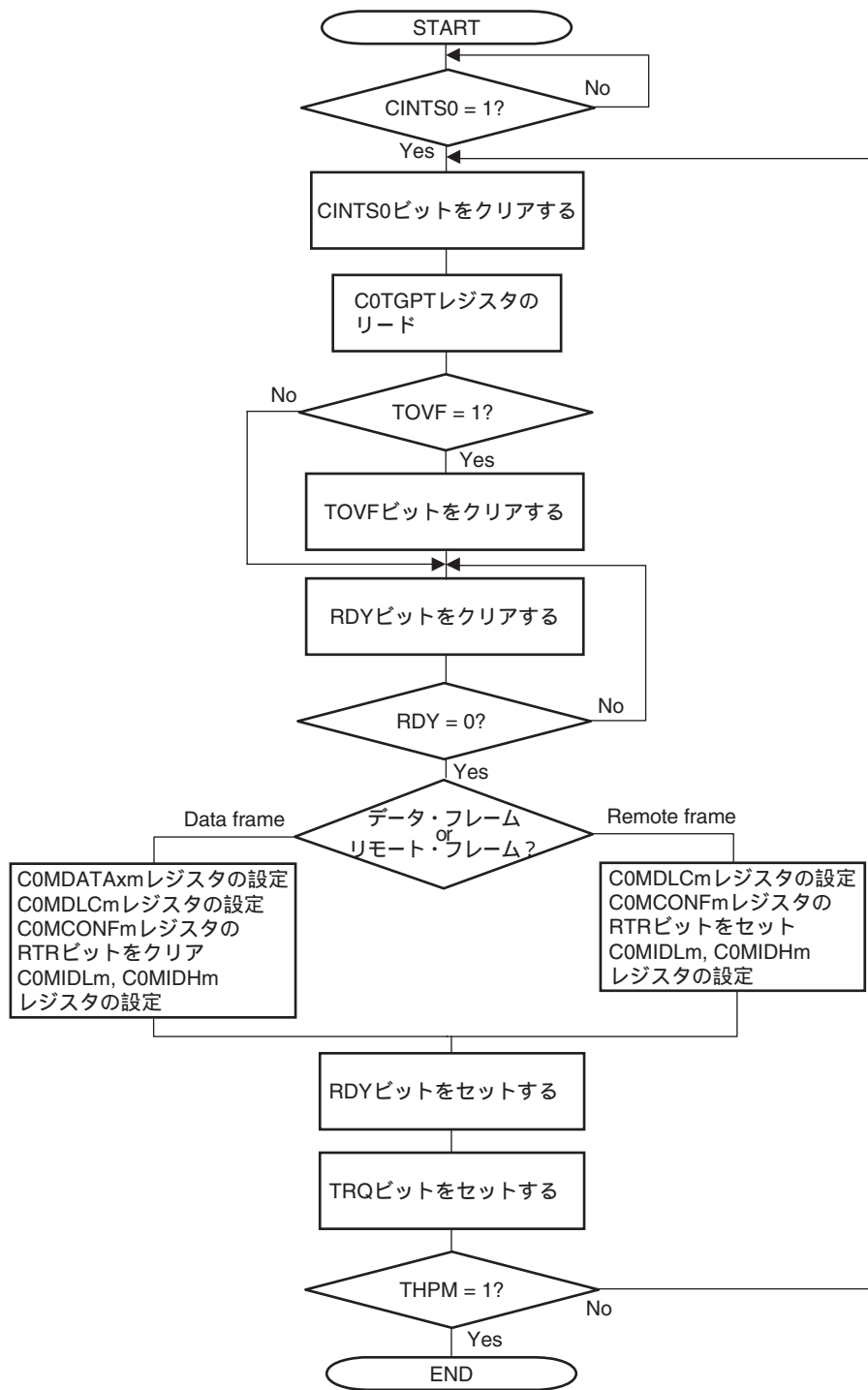
図16 - 45 割り込みによる送信処理 (C0TGPTレジスタを使用する場合)



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。
 2. RDYビットとTRQビットは同時に設定しないでください。

- 備考** 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されていた場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. TOVFビットが一度セット（1）された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

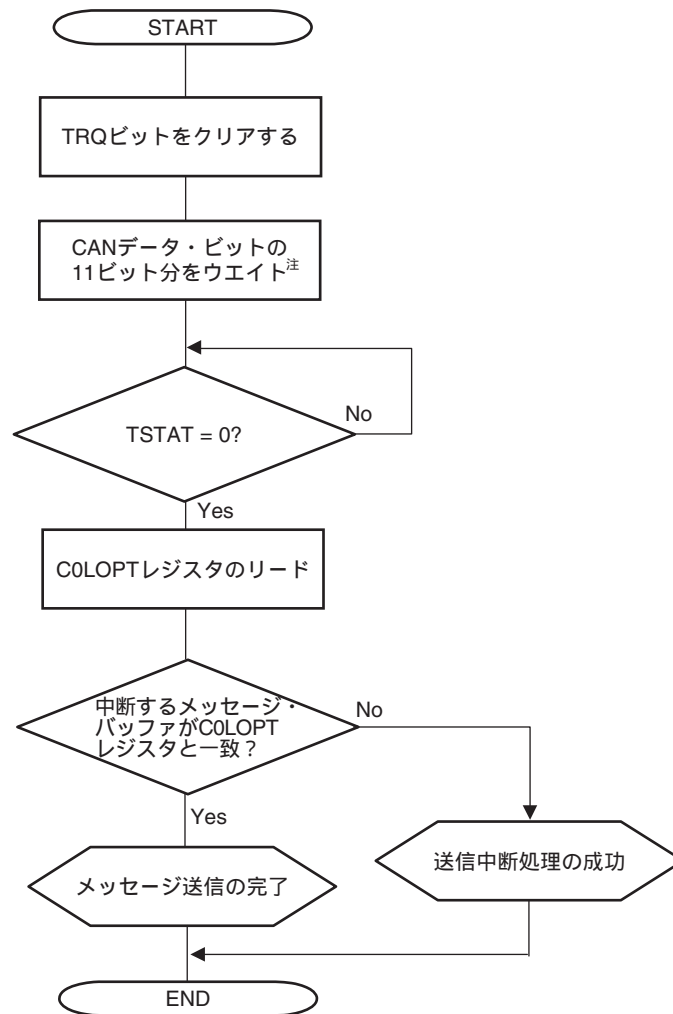
図16 - 46 ソフトウェア・ポーリングによる送信処理



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。
 2. RDYビットとTRQビットは同時に設定しないでください。

- 備考** 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されていた場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. TOVFビットが一度セット（1）された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

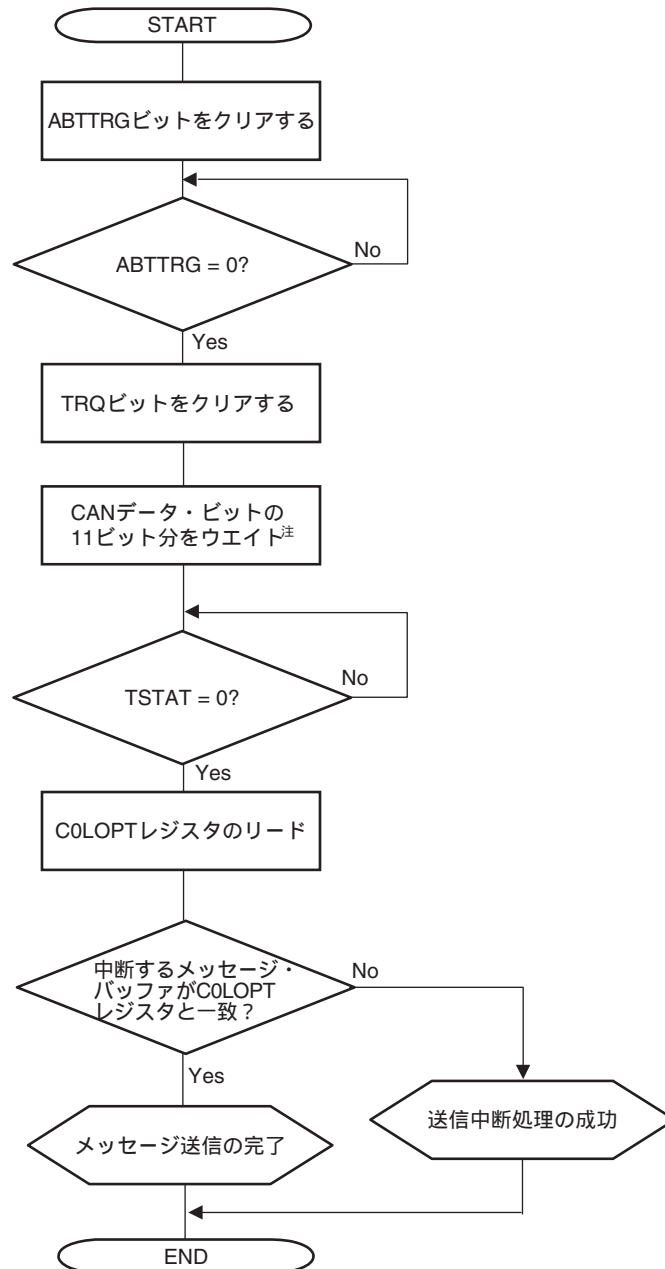
図16 - 47 送信中断処理 (ABT付き通常動作モード以外)



注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意 1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
4. 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
5. 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、COTGPTの履歴情報などを使用することにより判定を行ってください。

図16 - 48 ABT送信以外の送信中断処理 (ABT付き通常動作モード)

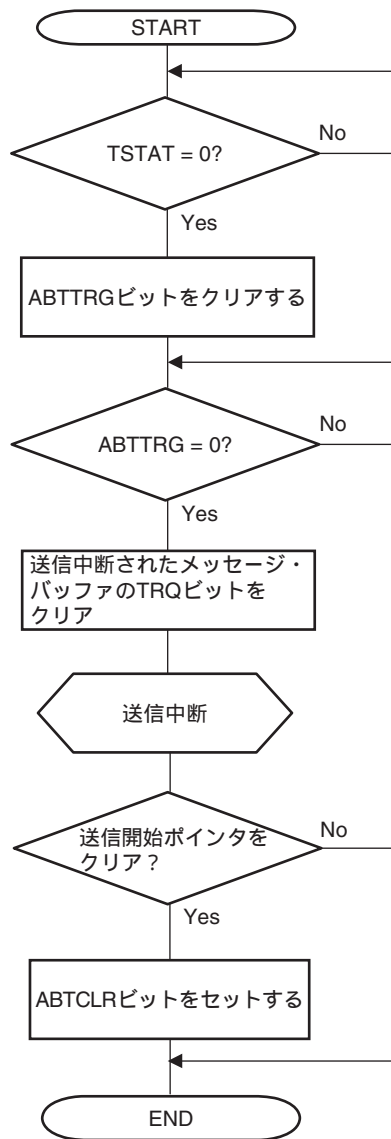


注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意 1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
2. スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。
3. TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
4. 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
5. 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、COTGPTの履歴情報などを使用することにより判定を行ってください。

図16 - 49は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図16 - 49 ABT送信中断処理 (ABT付き通常動作モード)

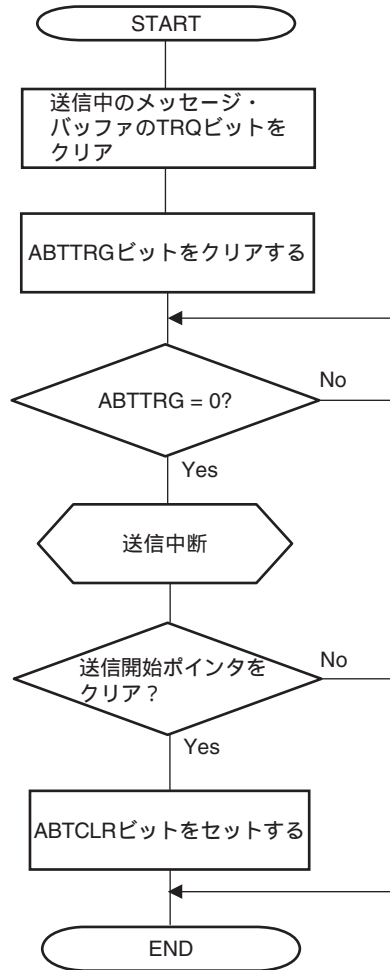


注意 1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。

2. CANスリープ・モード / CANストップ・モードの要求は、図16 - 49または図16 - 50により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図16 - 47に従ってください。

図16 - 50は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

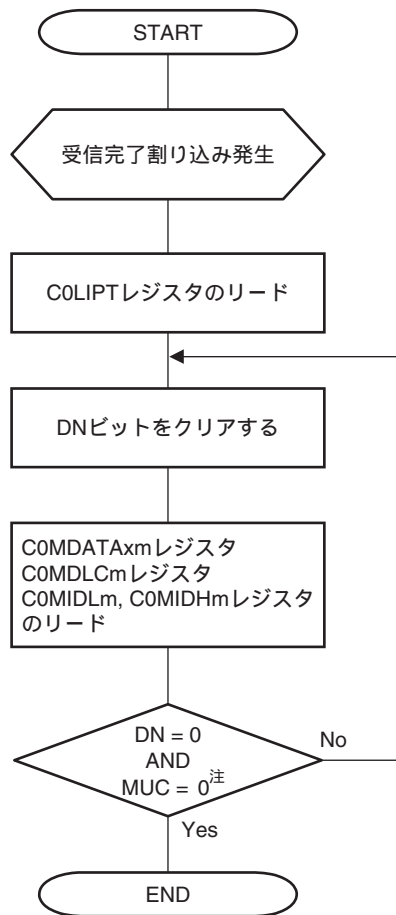
図16 - 50 ABT送信中断処理 (ABT付き通常動作モード)



注意 1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。

2. CANスリープ・モード/CANストップ・モードの要求は、図16 - 49または図16 - 50により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図16 - 47に従ってください。

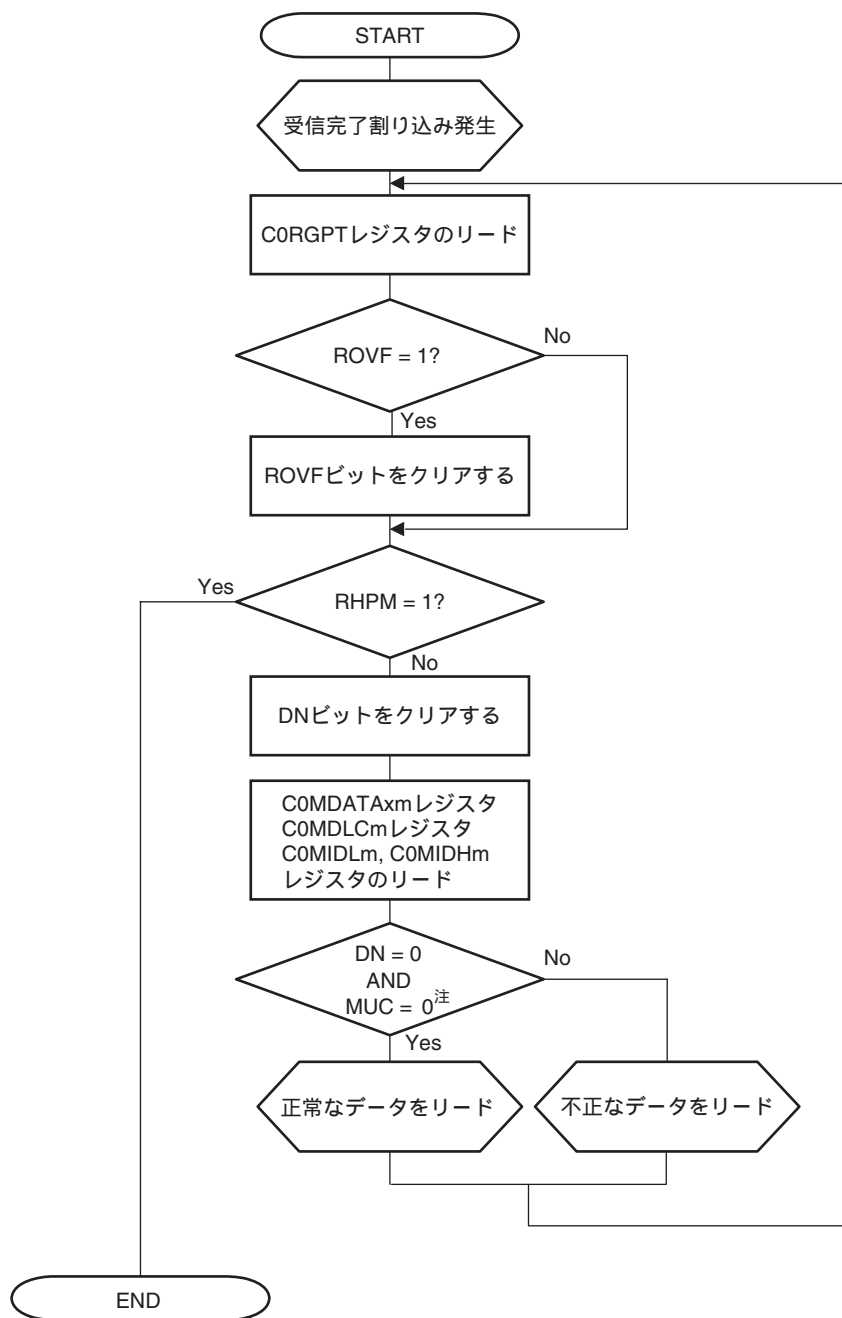
図16 - 51 割り込みによる受信処理 (COLIPTレジスタを使用する場合)



注 MUCビットとDNビットは別々にリードしないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

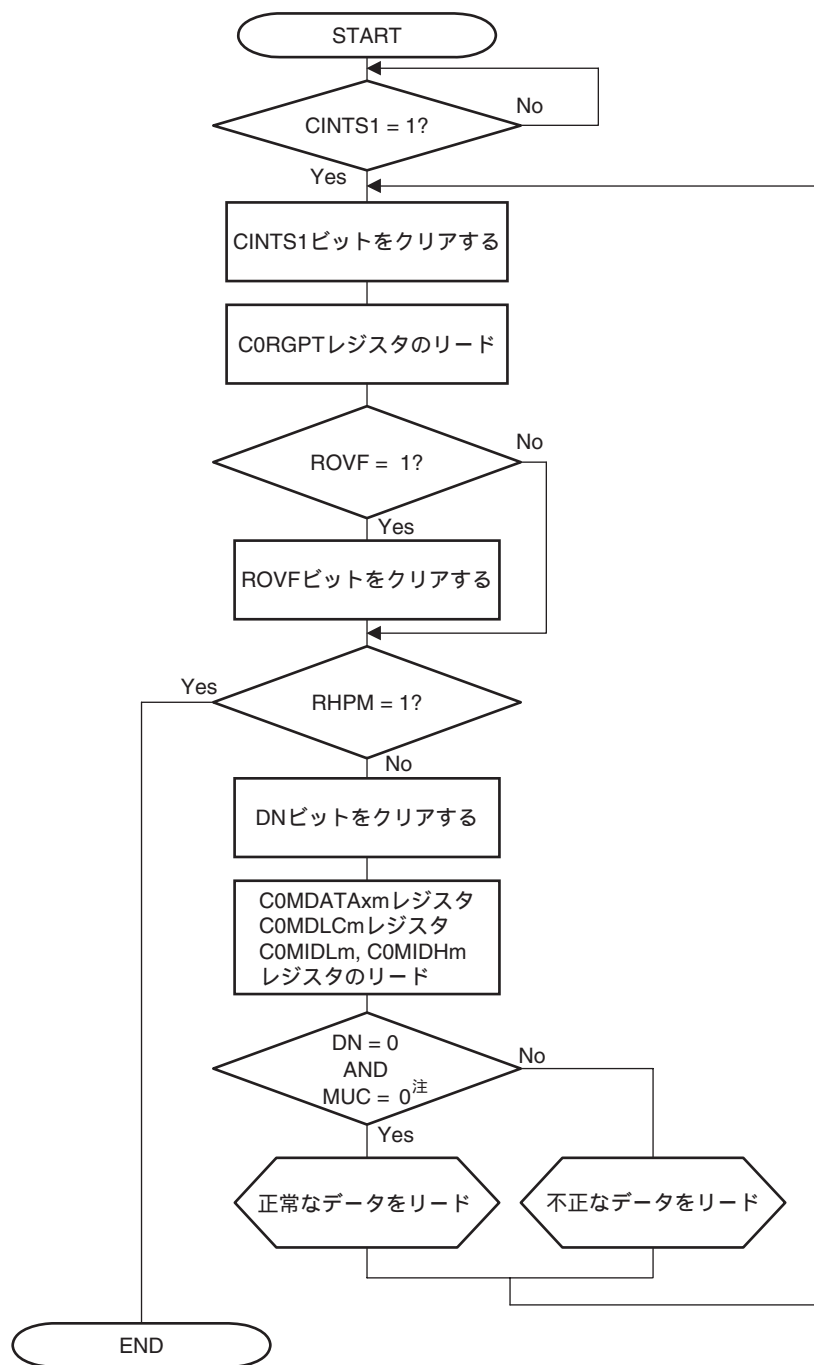
図16 - 52 割り込みによる受信処理 (C0RGPTレジスタを使用する場合)



注 MUCビットとDNビットは別々にリードしないでください。

- 備考 1.** 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セット(1)されたあとで処理を再実行してください。このような理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
- 2.** ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

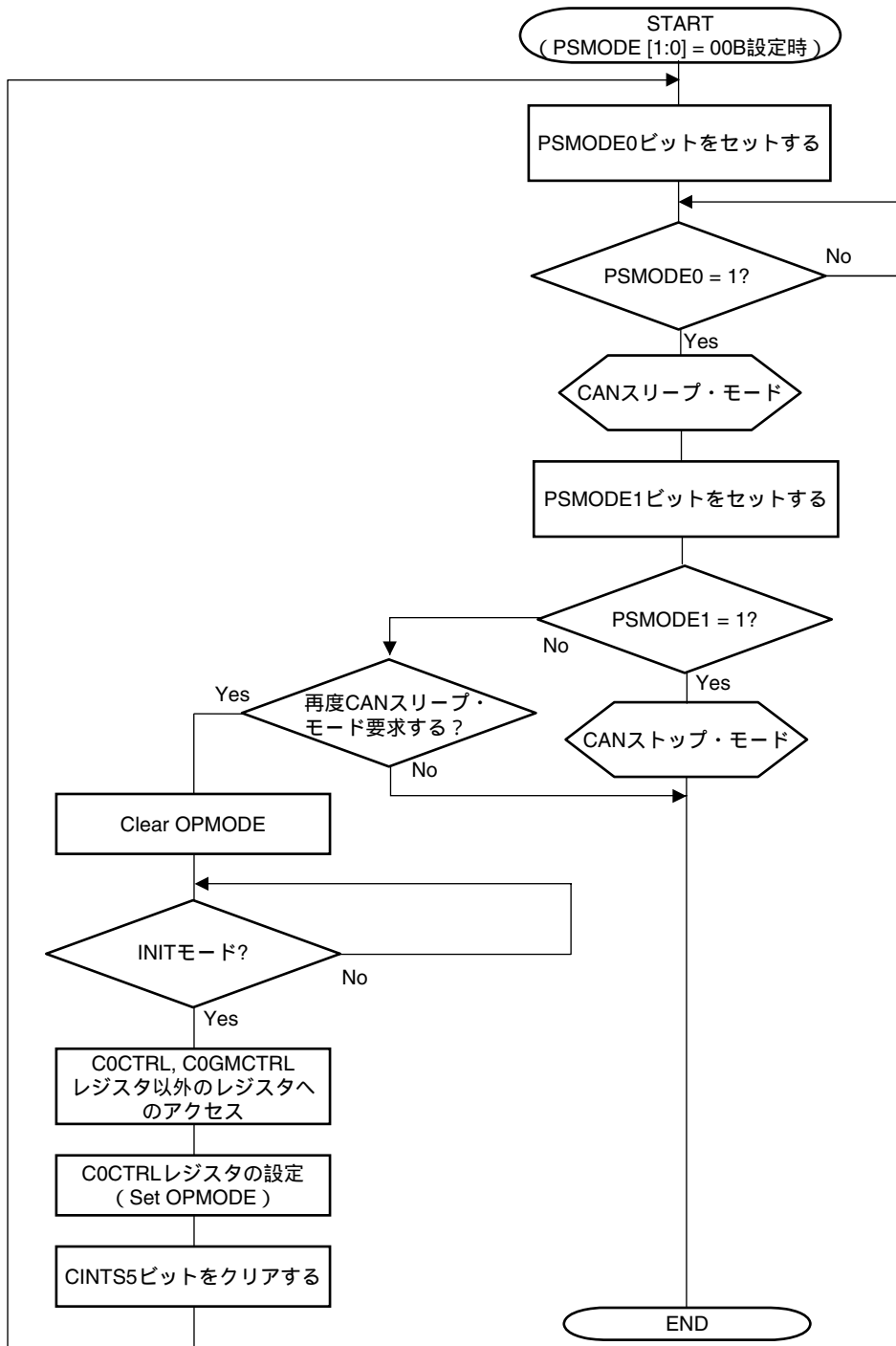
図16 - 53 ソフトウェア・ポーリングによる受信処理



注 MUCビットとDNビットは別々にリードしないでください。

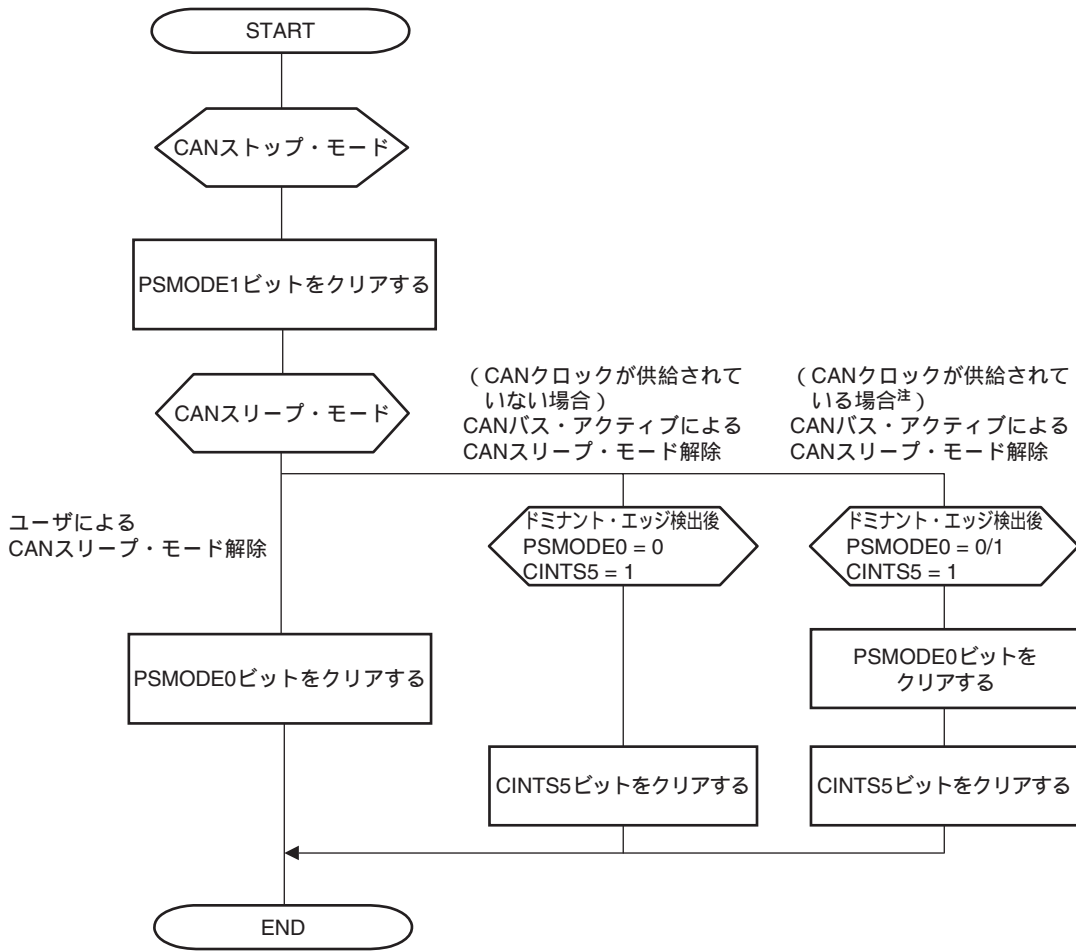
- 備考 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア(0)されていた場合には、実行中の処理を中止し、MBONビットが再度セットされたあとで処理を再実行してください。この様な理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. ROVFビットが一度セット(1)された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図16 - 54 CANスリープ・モード/CANストップ・モードの設定



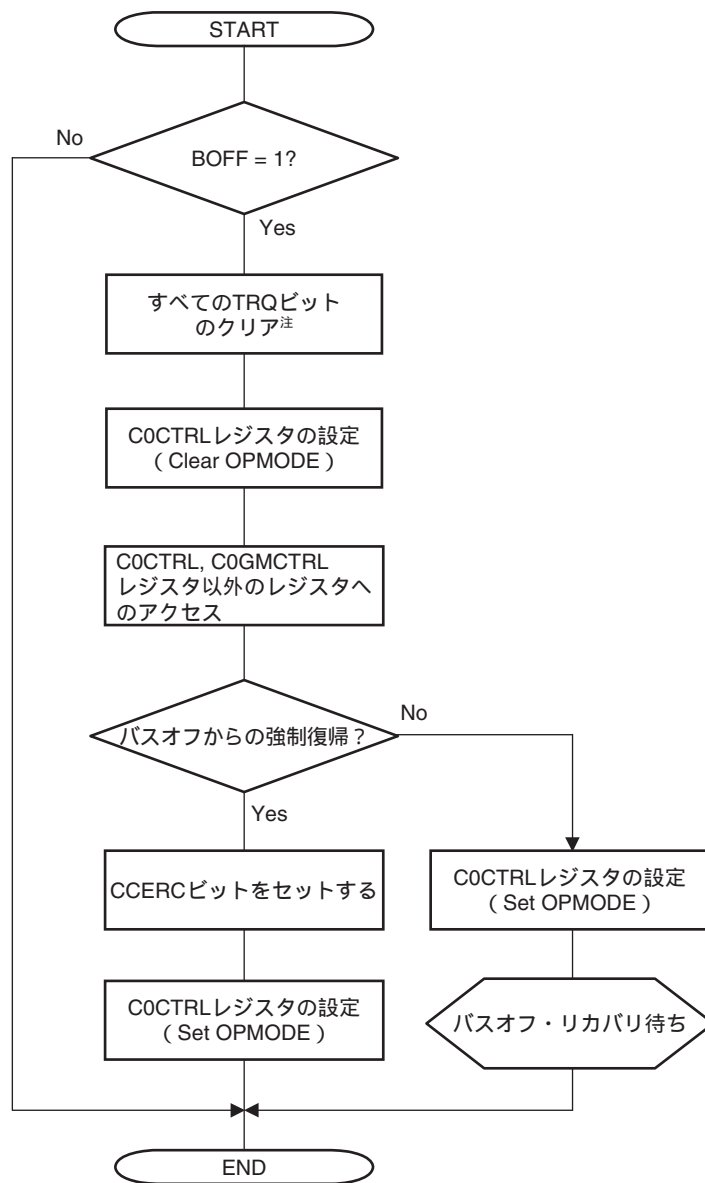
注意 CANスリープ・モードの要求前に送信中断を行う場合は、図16 - 47 ~ 16 - 50に従って処理してください。

図16 - 55 CANスリープ・モード/CANストップ・モードの解除



備考 CANクロックが供給されている場合とは、CPUスタンバイ・モードに設定せずに、CANスリープ・モードに設定されている状態を指します。

図16 - 56 バスオフからのリカバリ処理 (ABT付き通常動作モード以外の場合)

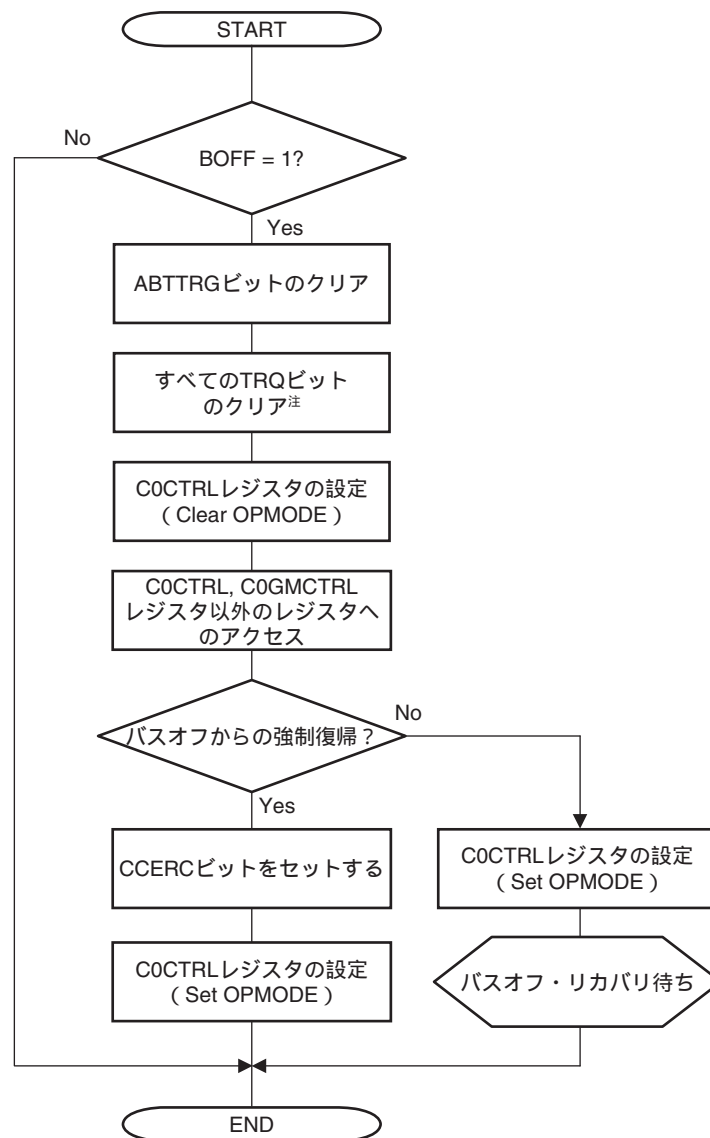


注 バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

注意 バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセプ・ビットを128回検出する必要があります。

備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図16 - 57 バスオフからのリカバリ処理 (ABT付き通常動作モードの場合)



注 バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

注意 バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図16 - 58 通常シャット・ダウン処理

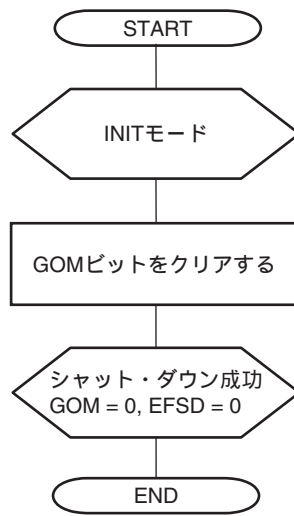
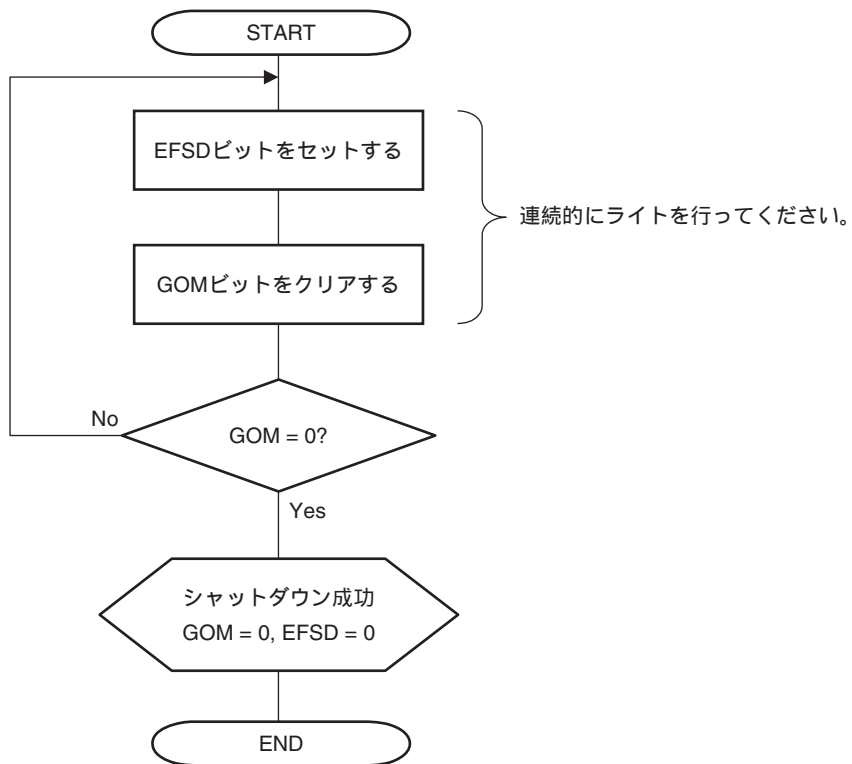


図16 - 59 強制シャット・ダウン処理



注意 EFSDビットのセットとGOMビットのクリアの間に、ソフトウェアによる他のレジスタへのリード/ライト・アクセスを行わないでください。

図16 - 60 エラー処理

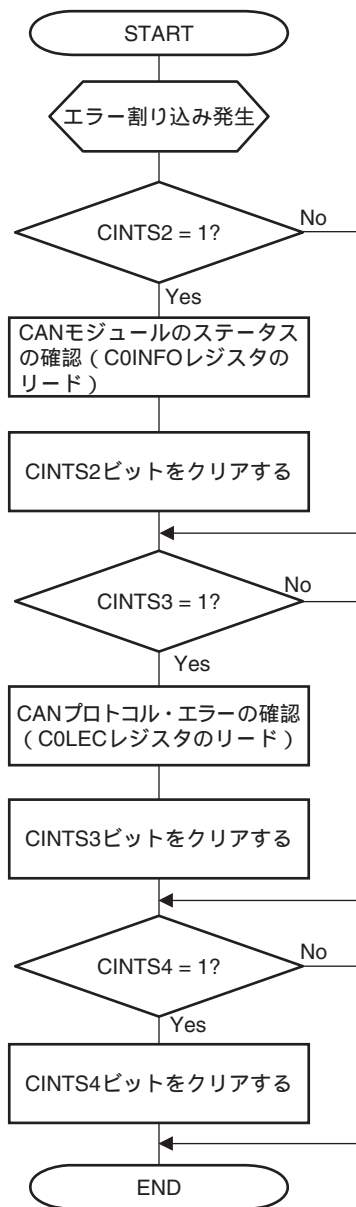
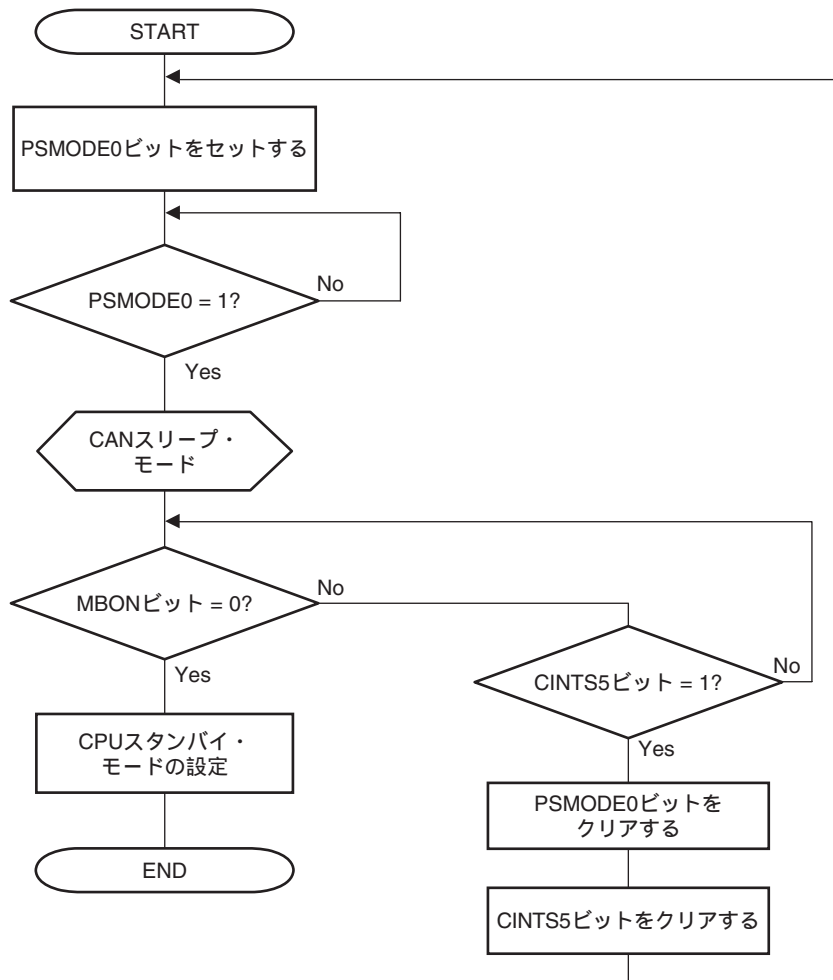
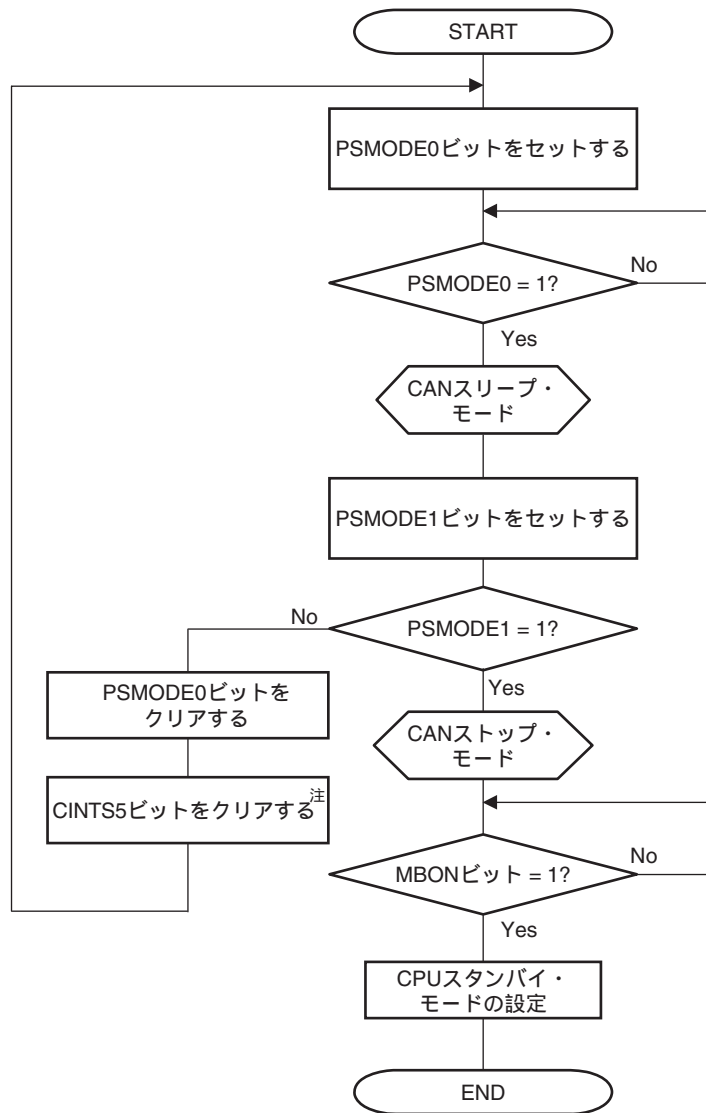


図16 - 61 CPUスタンバイ処理 (CANスリープ・モードからの移行)



注意 CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイク・アップによって、CANスリープ・モードが解除されることがあります。

図16 - 62 CPUスタンバイ処理 (CANストップ・モードからの移行)



注 ウェイク・アップ割り込み使用時

注意 CANストップ・モードは、COCTRLレジスタのPSMODE[1:0]ビットを01Bに設定することでのみ解除が可能で、CANバスの変化によって解除されません。

第17章 割り込み機能

		78K0/FC2 (μ PD78F088yA, 78F089zA)	78K0/FE2 (μ PD78F088yA, 78F0890A)	78K0/FF2 (μ PD78F089yA)
		y = 1-6, z = 4, 5	y = 7-9	y = 1-3
マスカブル 割り込み	外部	8		
	内部	22	27	

17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表17 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

17.2 割り込み要因と構成

割り込み要因には、マスカブル割り込みとソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります (表17 - 1参照)。

表17-1 割り込み要因一覧(1/2)

割り込みの種類	内部 / 外部	基本構成タイプ ^{注1}	デフォルト・プライオリティ ^{注2}	割り込み要因		ベクタ・テーブル・アドレス	F C 2	F E 2	F F 2			
				名称	トリガ							
マスク ブル	内部	(A)	0	INTLVI	低電圧検出 ^{注3}	0004H						
	外部	(B)	1	INTP0	端子入力エッジ検出	0006H						
			2	INTP1		0008H						
			3	INTP2		000AH						
	内部	(A)		INTTM002	TM02とCR002の一致 (コンペア・レジスタ指定時) TI012端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		-					
	外部	(B)	4	INTP3	端子入力エッジ検出	000CH						
	内部	(A)		INTTM012			TM02とCR012の一致 (コンペア・レジスタ指定時) TI002端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		-			
	外部	(B)	5	INTP4	端子入力エッジ検出	000EH						
	内部	(A)		INTTM003			TM03とCR003の一致 (コンペア・レジスタ指定時) TI013端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		-			
	外部	(B)	6	INTP5	端子入力エッジ検出	0010H						
	内部	(A)		INTTM013			TM03とCR013の一致 (コンペア・レジスタ指定時) TI003端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		-			
				7			INTC0ERR	AFCAN0エラー	0012H			
				8			INTC0WUP	AFCAN0ウエイクアップ	0014H			
				9			INTC0REC	AFCAN0受信完了	0016H			
				10			INTC0TRX	AFCAN0送信完了	0018H			
				11			INTSRE60	UART60受信エラー発生	001AH			
				12			INTSR60	UART60受信完了	001CH			
				13			INTST60	UART60送信完了	001EH			
				14			INTCSI10	CSI10送信完了	0020H			
				INTSRE61	UART61受信エラー発生							
外部	(B)	15	INTP6	端子入力エッジ検出	0022H							
内部	(A)		INTSR61			UART61受信完了						
外部	(B)	16	INTP7	端子入力エッジ検出	0024H							
内部	(A)		INTST61			UART61送信完了						

注1. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、28が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図17-1の(A)-(C)に対応しています。

3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=0選択時。

表17-1 割り込み要因一覧(2/2)

割り込みの種類	内部 / 外部	基本構成タイプ ^{注1}	デフォルト・プライオリティ ^{注2}	割り込み要因		ベクタ・テーブル・アドレス	F C 2	F E 2	F F 2
				名称	トリガ				
マスク ブル	内部	(A)	17	INTTMH1	TMH1とCMP01の一致 (コンペア・レジスタ指定時)	0026H			
			18	INTTMH0	TMH0とCMP00の一致 (コンペア・レジスタ指定時)	0028H			
			19	INTTM50	TM50とCR50の一致 (コンペア・レジスタ指定時)	002AH			
			20	INTTM000	TM00とCR000の一致 (コンペア・レジスタ指定時) TI010端子の有効エッジ検出 (キャプチャ・レジスタ指定時)	002CH			
			21	INTTM010	TM00とCR010の一致 (コンペア・レジスタ指定時) TI000端子の有効エッジ検出 (キャプチャ・レジスタ指定時)	002EH			
			22	INTAD	A/D変換終了	0030H			
			23	INTWTI ----- INTDMU	時計用タイマの基準時間間隔信号 DMU演算終了	0032H			
			24	INTTM51 ^{注3}	TM51とCR51の一致 (コンペア・レジスタ指定時)	0034H			
			25	INTWT	時計用タイマのオーバフロー	0036H			
			26	INTCSI11	CSI11通信完了	0038H	-		
			27	INTTM001	TM01とCR001の一致 (コンペア・レジスタ指定時) , TI011端子の有効エッジ検出 (キャプチャ・レジスタ指定時)	003AH			
			28	INTTM011	TM01とCR011の一致 (コンペア・レジスタ指定時) , TI001端子の有効エッジ検出 (キャプチャ・レジスタ指定時)	003CH			
ソフト ウェア	-	(C)	-	BRK	BRK命令の実行	003EH			
リセット	-	-	-	RESET	リセット入力	0000H			
				POC	パワーオン・クリア				
				LVI	低電圧検出 ^{注4}				
				WDT	WDTのオーバフロー				

注1. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に優先する順位で、0が最高順位、28が最低順位です。

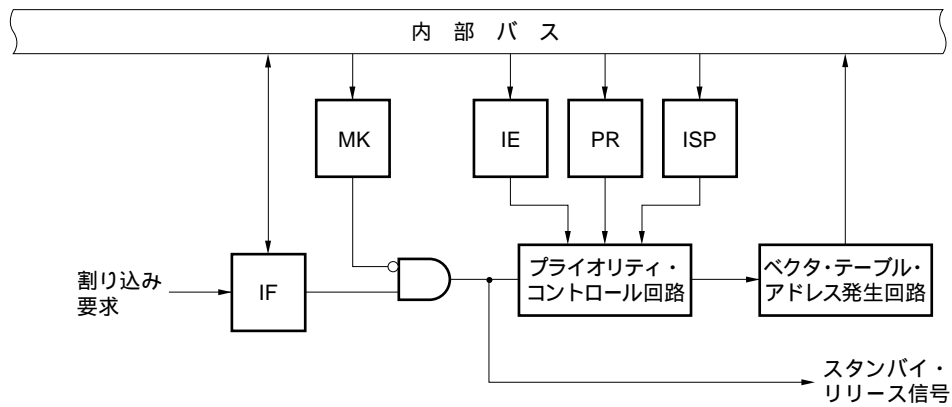
2. 基本構成タイプの(A)-(C)は、それぞれ図17-1の(A)-(C)に対応しています。

3. 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、割り込み要因はINTTM5H1となります(図9-13 転送タイミングを参照)。

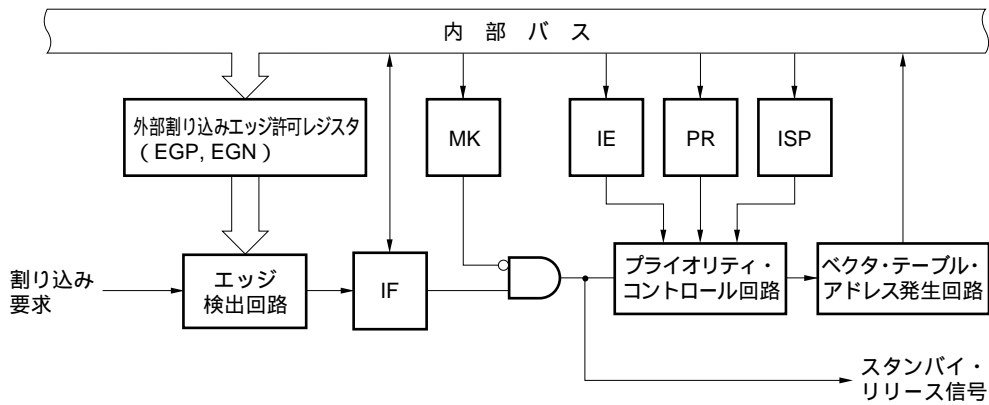
4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

図17-1 割り込み機能の基本構成

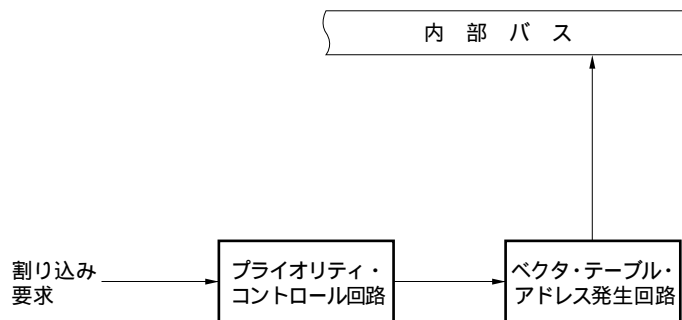
(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTP0-INTP7)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP : インサーピス・プライオリティ・フラグ
- MK : 割り込みマスク・フラグ
- PR : 優先順位指定フラグ

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17 - 2に示します。

表17-2 割り込み要求ソースに対応する各種フラグ

F C 2	F E 2	F F 2	割り込み 要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
				レジスタ		レジスタ		レジスタ	
			INTLVI	LVIIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
			INTP0	PIF0		PMK0		PPR0	
			INTP1	PIF1		PMK1		PPR1	
-	-	-	INTP2	PIF2	DUALIF3 注1	PMK2	DUALMK3 注2	PPR2	DUALPR3 注2
			INTTM002	TMIF002		TMMK002		TMPR002	
-	-	-	INTP3	PIF3	DUALIF4 注1	PMK3	DUALMK4 注2	PPR3	DUALPR4 注2
			INTTM012	TMIF012		TMMK012		TMPR012	
-	-	-	INTP4	PIF4	DUALIF5 注1	PMK4	DUALMK5 注2	PPR4	DUALPR5 注2
			INTTM003	TMIF003		TMMK003		TMPR003	
-	-	-	INTP5	PIF5	DUALIF6 注1	PMK5	DUALMK6 注2	PPR5	DUALPR6 注2
			INTTM013	TMIF013		TMMK013		TMPR013	
			INTC0ERR	C0ERRIF		C0ERRMK		C0ERRPR	
			INTC0WUP	C0WUPIF	IF0H	C0WUPMK	MK0H	C0WUPPR	PR0H
			INTC0REC	C0RECIF		C0RECMK		C0RECPR	
			INTC0TRX	C0TRXIF		C0TRXMK		C0TRXPR	
			INTSRE60	SREIF60		SREMK60		SREPR60	
			INTSR60	SRIF60		SRMK60		SRPR60	
			INTST60	STIF60		STMK60		STPR60	
			INTC0ERR	C0ERRIF		C0ERRMK		C0ERRPR	
-	-	-	INTCSI10	CSIIF10	DUALIF0 注1	CSIMK10	DUALMK0 注2	CSIPR10	DUALPR0 注2
			INTSRE61	SREIF61		SREMK61		SPEPR61	
-	-	-	INTP6	PIF6	DUALIF1 注1	PMK6	DUALMK1 注2	PPR6	DUALPR1 注2
			INTSR61	SRIF61		SRMK61		SRPR61	
-	-	-	INTP7	PIF7	DUALIF2 注1	PMK7	DUALMK2 注2	PPR7	DUALPR2 注2
			INTST61	STIF61		STMK61		STPR61	
			INTTMH1	TMIFH1	IF1L	TMMKH1	MK1L	TMPRH1	PR1L
			INTTMH0	TMIFH0		TMMKH0		TMPRH0	
			INTTM50	TMIF50		TMMK50		TMPR50	
			INTTM000	TMIF000		TMMK000		TMPR000	
			INTTM010	TMIF010		TMMK010		TMPR010	
			INTAD	ADIF		ADMK		ADPR	
-	-	-	INTWTI	WTIIF	DUALIF7 注1	WTIMK	DUALMK7 注2	WTIPR	DUALPR7 注2
			INTDMU	DMUIF		DMUMK		DMUPR	
			INTTM51 ^{注3}	TMIF51	IF1H	TMMK51	MK1H	TMPR51	PR1H
			INTWT	WTIF		WTMK		WTPR	
-	-	-	INTCSI11	CSIIF11		CSIMK11		CSIPR11	
			INTTM001	TMIF001		TMMK001		TMPR001	
			INTTM011	TMIF011		TMMK011		TMPR011	

注1. 2種類の割り込み要因のうち、どちらかが発生したらセット(1)されます。

2. 2種類の割り込み要因の両方に対応しています。

3. 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、割り込み要因はINTTM5H1となります(図9-13 転送タイミングを参照)。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時、または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

- 注意 1. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。
なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

図17-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/FC2)

アドレス : FFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	COERRIF	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	DUALIF1 PIF6 SRIF61	DUALIF0 CSIIIF10 SREIF61	STIF60	SRIF60	SREIF60	COTRXIF	CORECIF	COWUPIF

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	DUALIF7 WTIIF DMUIF	ADIF	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF2 PIF7 STIF61

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	TMIF011	TMIF001	0	WTIF	TMIF51

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF1Hのビット2, 5-7には、必ず0を設定してください。

図17-3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (78K0/FE2, 78K0/FF2)

アドレス : FFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	COERRIF	DUALIF6 PIF5 TMIF013	DUALIF5 PIF4 TMIF003	DUALIF4 PIF3 TMIF012	DUALIF3 PIF2 TMIF002	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	DUALIF1 PIF6 SRIF61	DUALIF0 CSIIF10 SREIF61	STIF60	SRIF60	SREIF60	COtrxIF	CORECIIF	COwUPIF

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	DUALIF7 WTIIF DMUIF	ADIF	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF2 PIF7 STIF61

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	TMIF011	TMIF001	CSIIF11	WTIF	TMIF51

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF1Hのビット5-7には、必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17-4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (78K0/FC2)

アドレス : FFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	COERRMK	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	DUALMK1 PMK6 SRMK61	DUALMK0 CSIMK10 SREMK61	STMK60	SRMK60	SREMK60	C0TRXMK	C0RECMK	C0WUPMK

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	DUALMK7 WTIMK DMUMK	ADMK	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK2 PMK7 STMK61

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	TMMK011	TMMK001	1	WTMK	TMMK51

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK1Hのビット2, 5-7には、必ず1を設定してください。

図17 - 5 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H)のフォーマット(78K0/FE2, 78K0/FF2)

アドレス : FFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	C0ERRMK	DUALMK6 PMK5 TMMK013	DUALMK5 PMK4 TMMK003	DUALMK4 PMK3 TMMK012	DUALMK3 PMK2 TMMK002	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	DUALMK1 PMK6 SRMK61	DUALMK0 CSIMK10 SREMK61	STMK60	SRMK60	SREMK60	C0TRXMK	C0RECMK	C0WUPMK

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	DUALMK7 WTIMK DMUMK	ADMK	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK2 PMK7 STMK61

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	TMMK011	TMMK001	CSIMK11	WTMK	TMMK51

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK1Hのビット5-7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17-6 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/FC2)

アドレス：FFE8H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	C0ERRPR	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	DUALPR1 PPR6 SRPR61	DUALPR0 CSIPR10 SREPR61	STPR60	SRPR60	SREPR60	C0TRXPR	C0RECPR	C0WUPPR

アドレス：FFEAH リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR1L	DUALPR7 WTIPR DMUPR	ADPR	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR2 PPR7 STPR61

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	[4]	[3]	2	[1]	[0]
PR1H	1	1	1	TMPR011	TMPR001	1	WTPR	TMPR51

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR1Hのビット2, 5-7には、必ず1を設定してください。

図17-7 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (78K0/FE2, 78K0/FF2)

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	C0ERRPR	DUALPR6 PPR5 TMPR013	DUALPR5 PPR4 TMPR003	DUALPR4 PPR3 TMPR012	DUALPR3 PPR2 TMPR002	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	DUALPR1 PPR6 SRPR61	DUALPR0 CSIPR10 SREPR61	STPR60	SRPR60	SREPR60	C0TRXPR	C0RECPR	C0WUPPR

アドレス : FFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	DUALPR7 WTIPR DMUPR	ADPR	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR2 PPR7 STPR61

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	TMPR011	TMPR001	CSIPR11	WTPR	TMPR51

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意 PR1Hのビット5-7には、必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 8 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表17 - 3に示します。

表17 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31	INTP2
EGP3	EGN3	P32	INTP3
EGP4	EGN4	P33	INTP4
EGP5	EGN5	P16	INTP5
EGP6	EGN6	P72	INTP6
EGP7	EGN7	P73	INTP7

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-7

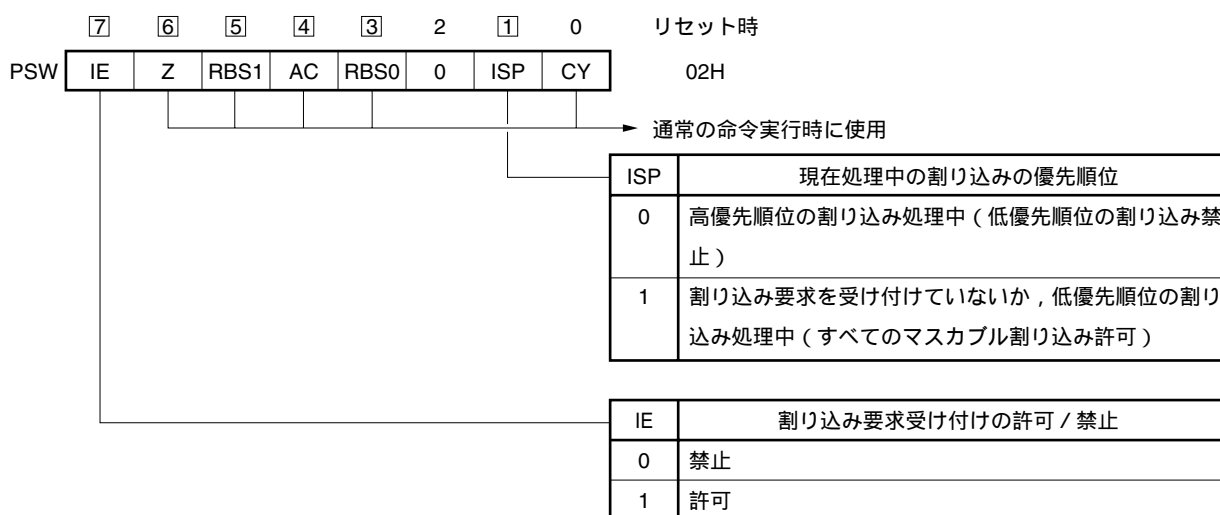
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図17-9 プログラム・ステータス・ワードの構成



17.4 割り込み処理動作

17.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表17-4のようになります。割り込み要求の受け付けタイミングについては、図17-11, 17-12を参照してください。

表17-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

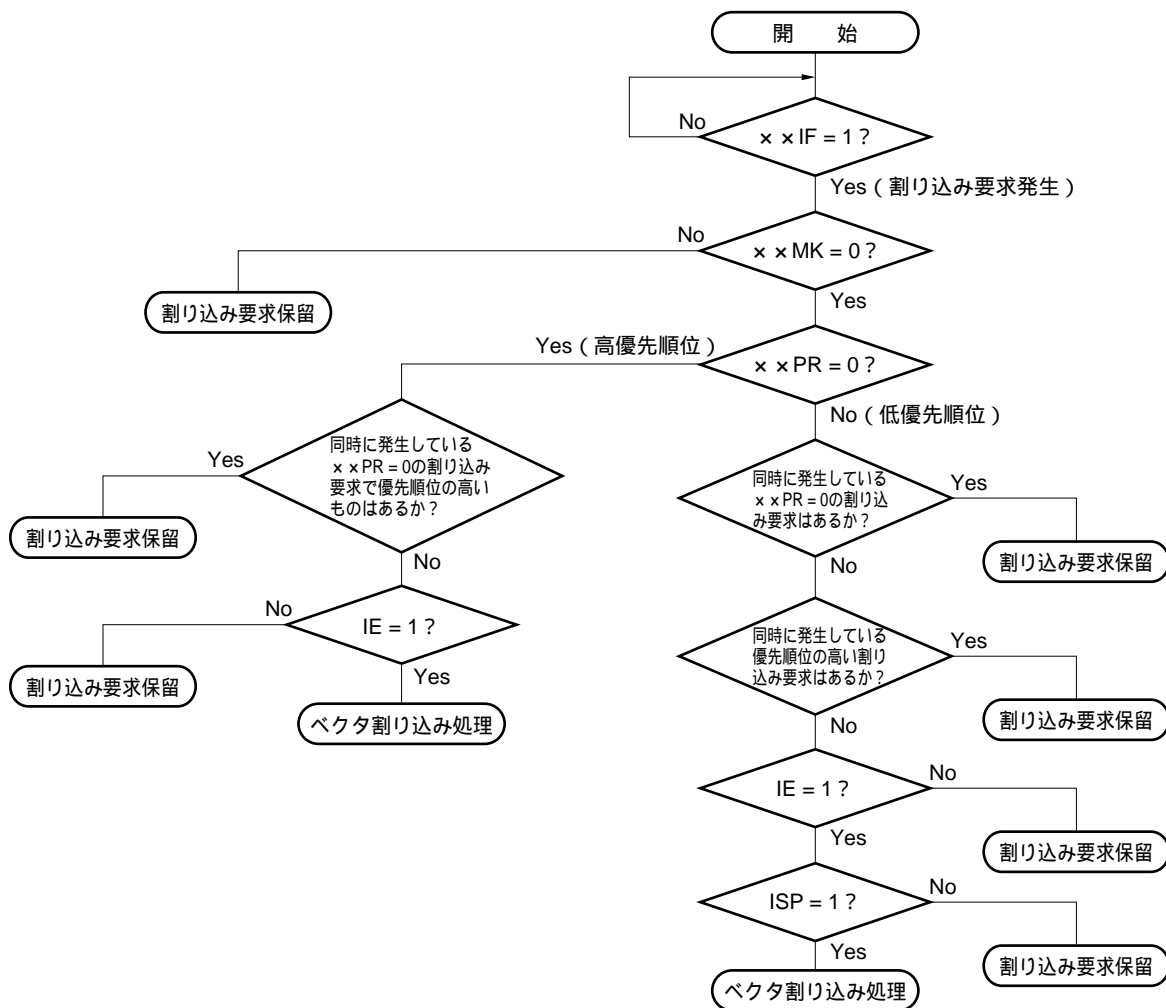
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17-10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図17 - 10 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

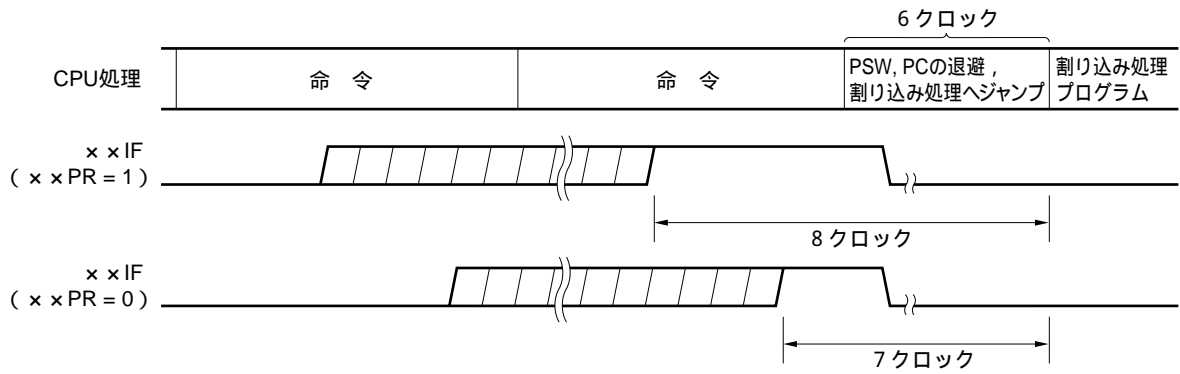
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

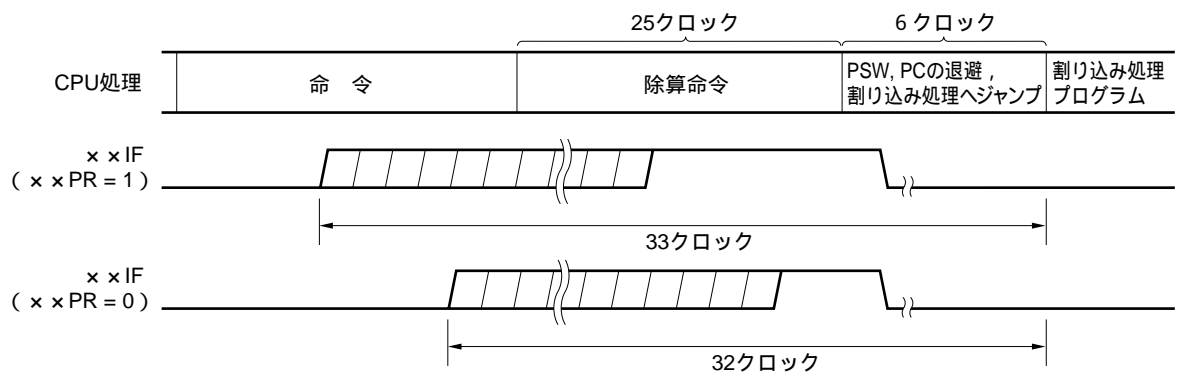
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図17 - 11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図17 - 12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

17.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

17.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表17-5に多重割り込み可能な割り込み要求の関係を、図17-13に多重割り込みの例を示します。

表17-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
処理中の割り込み						
マスカブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

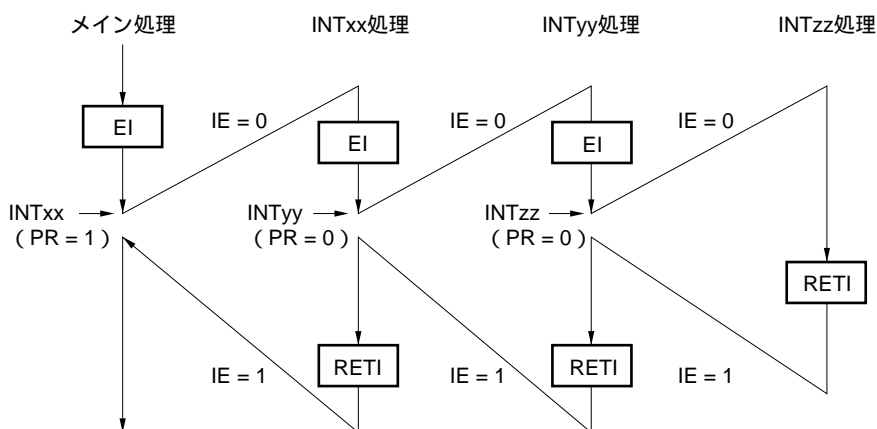
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

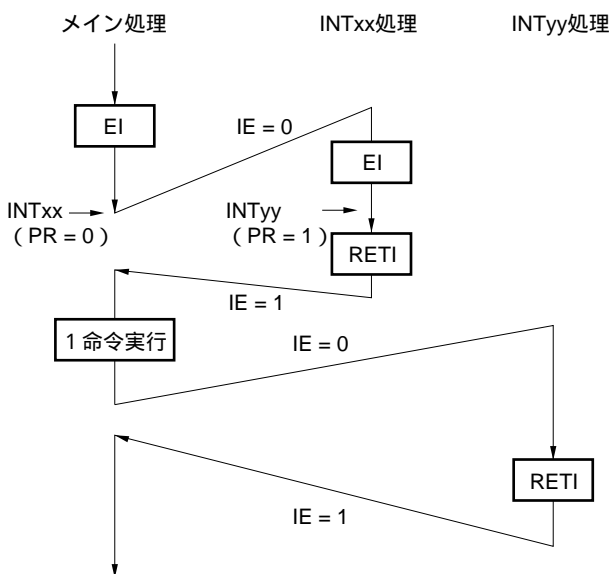
図17 - 13 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

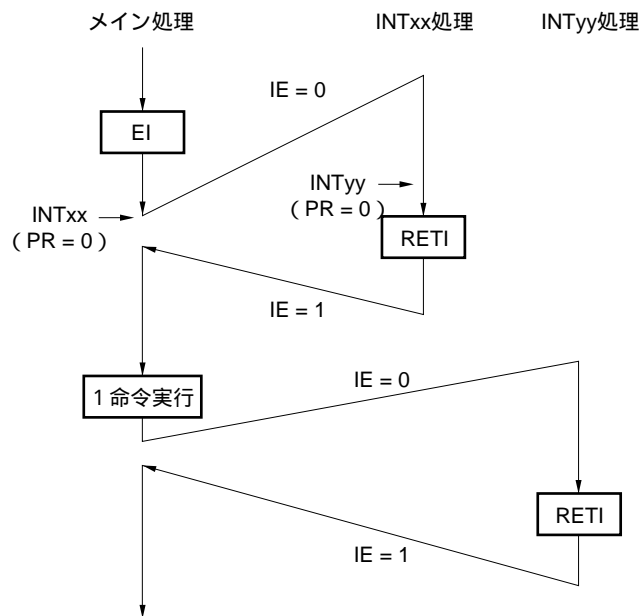


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図17 - 13 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

17.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図17 - 14に示します。

図17 - 14 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
 3. $x \times IF$ （割り込み要求）の動作は、 $x \times PR$ （優先順位レベル）の値の影響を受けません。

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、78K0/Fx2マイクロコントローラの全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 2.** STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
- 3.** A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

18.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第6章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したとき、X1クロックの発振安定時間を確認することができます。

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により、00Hになります。

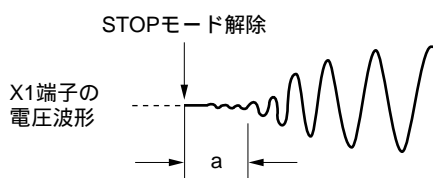
図18 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス				
					$f_x = 4 \text{ MHz}$ 時	$f_x = 5 \text{ MHz}$ 時	$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	512 μs 以上	409.6 μs 以上	204.8 μs 以上	102.4 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	2.05 ms以上	1.64 ms以上	819.2 μs 以上	409.6 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	4.10 ms以上	3.27 ms以上	1.64 ms以上	819.2 μs 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	8.19 ms以上	6.55 ms以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	16.38 ms以上	13.11 ms以上	6.55 ms以上	3.27 ms以上

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていき, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,05Hになります。

図18-2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択			
				f _x = 4 MHz時	f _x = 5 MHz時	f _x = 10 MHz時	f _x = 20 MHz時
0	0	1	2 ¹¹ /f _x	512 μs	409.6 μs	204.8 μs	102.4 μs
0	1	0	2 ¹³ /f _x	2.05 ms	1.64 ms	819.2 μs	409.6 μs
0	1	1	2 ¹⁴ /f _x	4.10 ms	3.27 ms	1.64 ms	819.2 μs
1	0	0	2 ¹⁵ /f _x	8.19 ms	6.55 ms	3.27 ms	1.64 ms
1	0	1	2 ¹⁶ /f _x	16.38 ms	13.11 ms	6.55 ms	3.27 ms
上記以外			設定禁止				

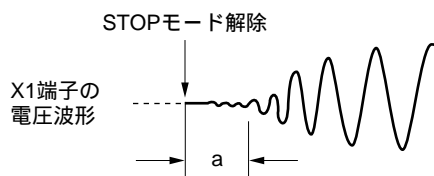
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は,STOP命令を実行する前にOSTSを設定してください。

- X1クロックの発振安定時間中は,OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に,STOPモードに入り,解除するときは,OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって,STOPモード解除後のOSTCは,OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

- X1クロックの発振安定時間は,クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表18 - 1 HALTモード時の動作状態 (1/2)

HALTモード の設定 項目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・ クロック (f_{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_x	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	f_{EXCLK}	外部クロックの入力により動作または停止		動作継続 (停止不可)
サブシステム・クロック	f_{XT}	HALTモード設定前の状態を継続		
	f_{EXCLKS}	外部クロックの入力により動作または停止		
	f_{RL}	HALTモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		HALTモード設定前の状態を保持		
ポート (ラッチ)		HALTモード設定前の状態を保持		
16ビット・タイマ / イベント・カウンタ	00	動作可能		
	01			
	02			
	03			
8ビット・タイマ / イベント・カウンタ	50	動作可能		
	51			
8ビット・タイマ	H0	動作可能		
	H1			
時計用タイマ		動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		動作可能		
ブザー出力		動作可能		
A/Dコンバータ		動作可能		
シリアル・ インタフェース	UART60	動作可能		
	UART61			
	CSI10			
	CSI11			
CANコントローラ		動作可能		
乗除算器		動作可能		
パワーオン・クリア機能		動作可能		
低電圧検出機能		動作可能		
外部割り込み		動作可能		

- 備考 1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック
2. 製品により、搭載している機能が異なります。1.7 **ブロック図**, 1.8 **機能概要**を参照してください。

表18 - 1 HALTモード時の動作状態 (2/2)

HALTモード の設定 項目		サブシステム・クロックでCPU動作中のHALT命令実行時	
		XT1クロック (f_{XT}) でCPU動作時	外部サブシステム・クロック (f_{EXCLKS}) で CPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f_{RH}	HALTモード設定前の状態を継続	
	f_X		
	f_{EXCLK}	外部クロックの入力により動作または停止	
サブシステム・クロック	f_{XT}	動作継続 (停止不可)	HALTモード設定前の状態を継続
	f_{EXCLKS}	外部クロックの入力により動作または停止	動作継続 (停止不可)
f_{RL}		HALTモード設定前の状態を継続	
CPU		動作停止	
フラッシュ・メモリ		動作停止	
RAM		HALTモード設定前の状態を保持	
ポート (ラッチ)		HALTモード設定前の状態を保持	
16ビット・タイマ / イベント・カウンタ	00 ^注	動作可能	
	01 ^注		
	02 ^注		
	03 ^注		
8ビット・タイマ / イベント・カウンタ	50 ^注		
	51 ^注		
8ビット・タイマ	H0		
	H1		
時計用タイマ			
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。	
クロック出力		動作可能	
ブザー出力		動作可能。ただし周辺ハードウェア・クロック (f_{PRS}) 停止時は動作禁止。	
A/Dコンバータ			
シリアル・インタフェース	UART60	動作可能	
	UART61		
	CSI10 ^注		
	CSI11 ^注		
CANコントローラ			
乗除算器			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			

注 CPUがサブシステム・クロック動作中で、高速内蔵発振クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

- 備考 1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.7 **ブロック図**, 1.8 **機能概要**を参照してください。

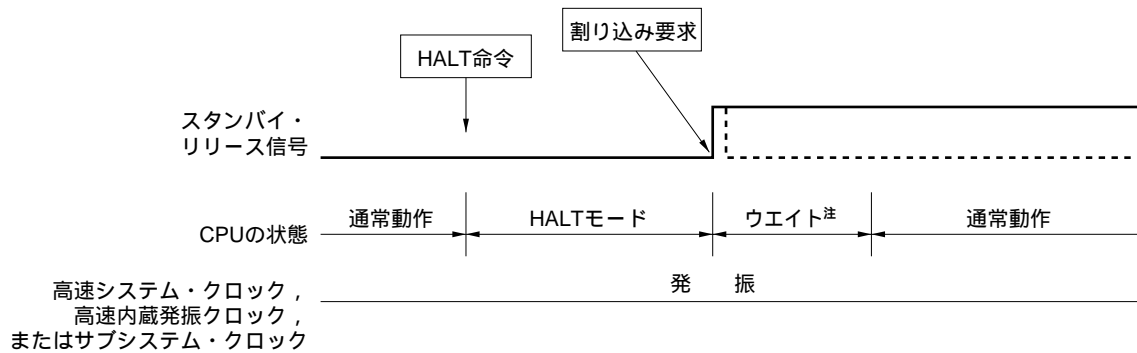
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11~12クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

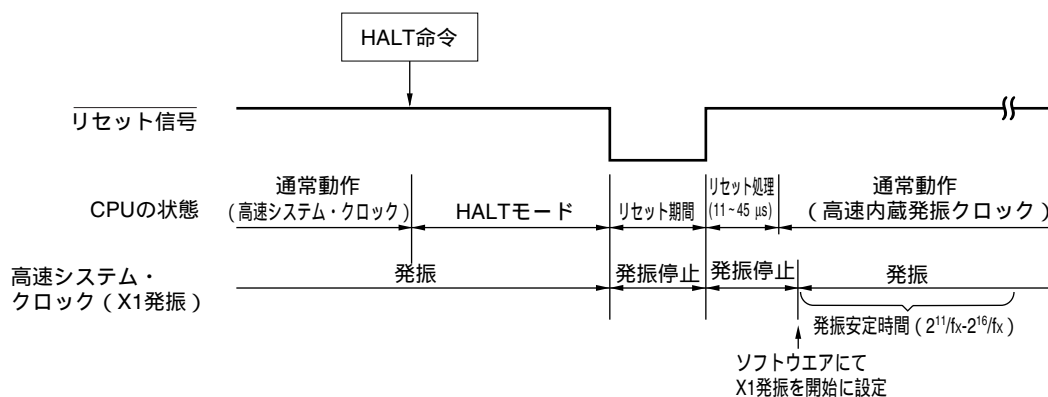
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

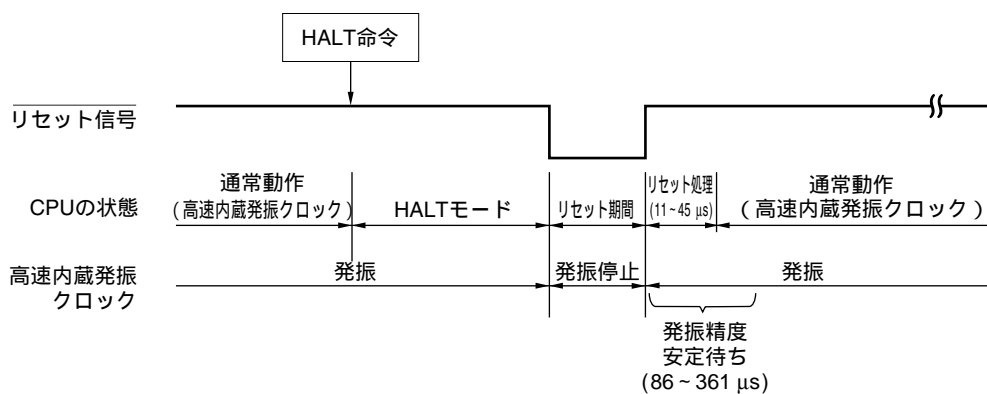
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図18 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図18-4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合

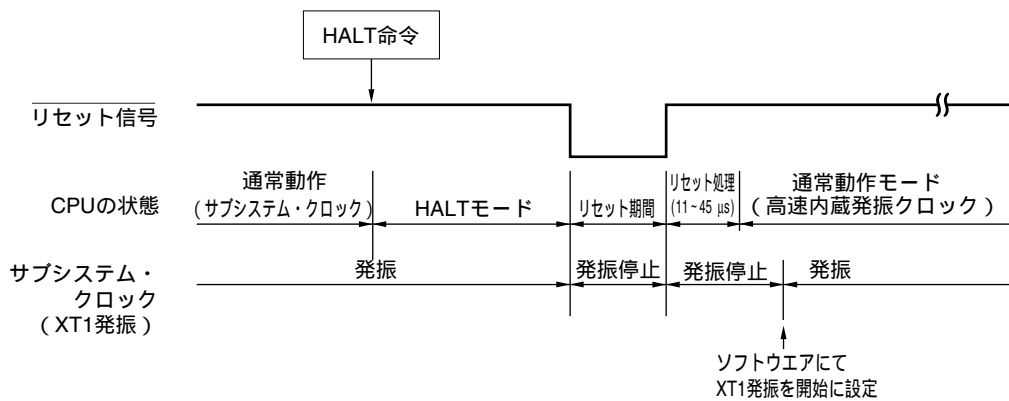


表18-2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
1	x	x	x	HALTモード保持	
リセット信号入力	-	-	x	x	リセット処理

x : don't care

18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表18-3 STOPモード時の動作状態

STOPモード の設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f _{RH}) で CPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・ クロック (f _{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _{RH}	停止		
	f _X			
	f _{EXCLK}	入力無効		
サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続		
	f _{EXCLKS}	外部クロックの入力により動作または停止		
f _{RL}		STOPモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		STOPモード設定前の状態を保持		
ポート (ラッチ)		STOPモード設定前の状態を保持		
16ビット・タイマ/ イベント・カウンタ	00 ^注	動作停止		
	01 ^注			
	02 ^注			
	03 ^注			
8ビット・タイマ/ イベント・カウンタ	50 ^注	カウント・クロックをTI50選択時のみ動作可能		
	51 ^注	カウント・クロックをTI51選択時のみ動作可能		
8ビット・タイマ	H0	8ビット・タイマ/イベント・カウンタ50動作時に、カウント・クロックをTM50出力選択時のみ動作可能		
	H1	カウント・クロックをf _{RL} , f _{RL} /2 ⁷ , f _{RL} /2 ⁹ 選択時のみ動作可能		
時計用タイマ		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ブザー出力		動作停止		
A/Dコンバータ				
シリアル・ インタフェース	UART60	8ビット・タイマ/イベント・カウンタ50動作時に、シリアル・クロックをTM50出力選択時のみ動作可能		
	UART61			
	CSI10 ^注	シリアル・クロックに外部クロック選択時のみ動作可能		
	CSI11 ^注			
CANコントローラ		動作停止。スリープ・モードからのウエイク・アップは可能		
乗除算器		動作停止		
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				

注 STOPモード中は、周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

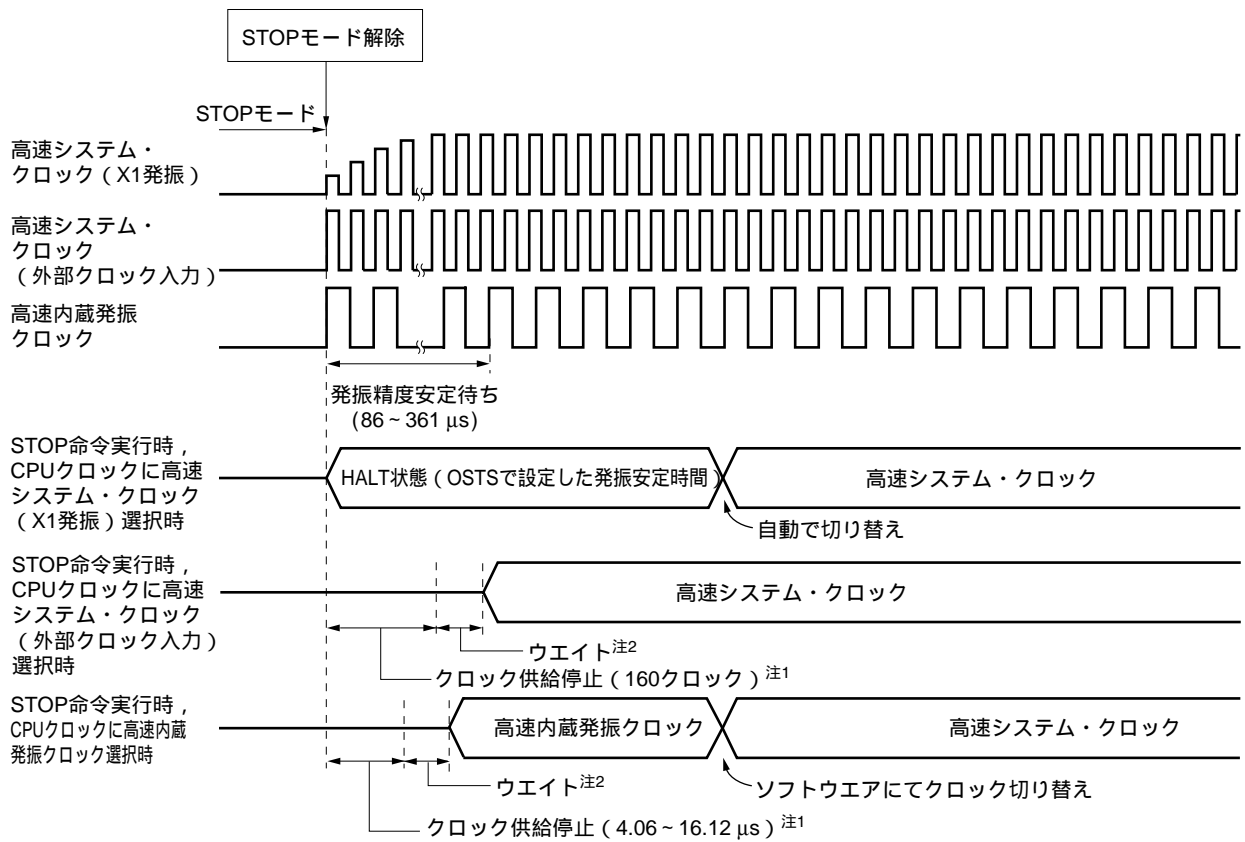
(注意と備考は次頁にあります)

- 注意 1. STOPモード中に動作停止する周辺ハードウェア，および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は，周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても，STOPモード時には低速内蔵発振クロックは，STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は，ソフトウェアにて，低速内蔵発振器の発振を停止してから，STOP命令を実行してください。
 3. 高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，次のSTOP命令実行前に，CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後，CPUクロックを高速内蔵発振クロックから高速システム・クロック（X1発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから，行ってください。
 4. AMPH = 1設定時にSTOP命令を実行した場合，CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間，CPUクロックが高速システム・クロック(外部クロック入力)のときはSTOPモード解除後に外部クロックの160クロック分，CPUクロックの供給が停止されます。
 5. STOP命令は，必ず高速内蔵発振器安定動作（RSTS = 1）になっていることを確認してから行ってください。

- 備考 1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック
2. 製品により，搭載している機能が異なります。1.7 **ブロック図**，1.8 **機能概要**を参照してください。

(2) STOPモードの解除

図18-5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注 1. AMPH = 1設定時

2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

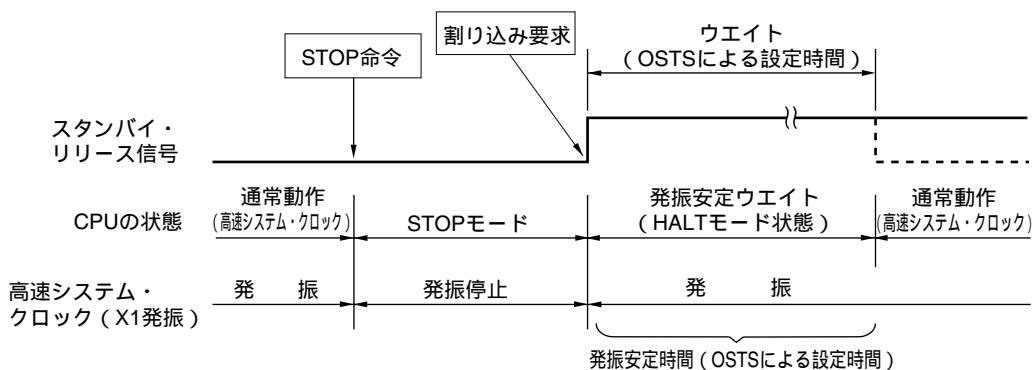
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

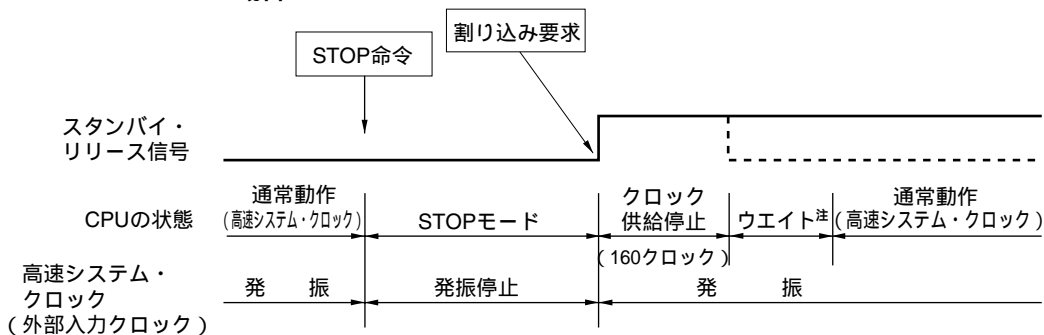
図18 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合

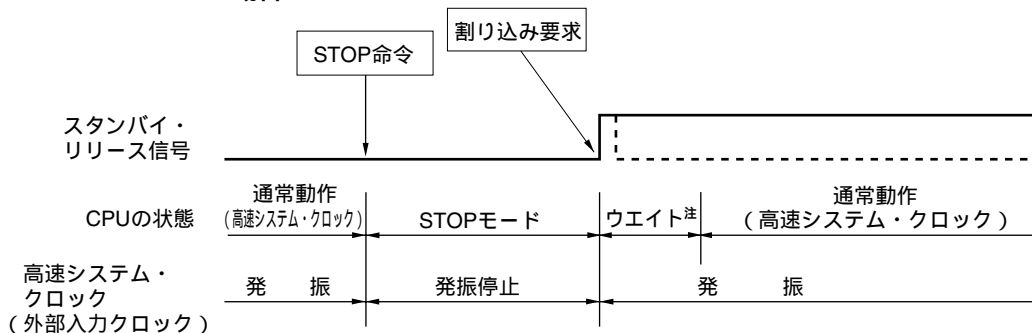


(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

・ AMPH = 1の場合



・ AMPH = 0の場合



注 ウエイト時間は次のようになります。

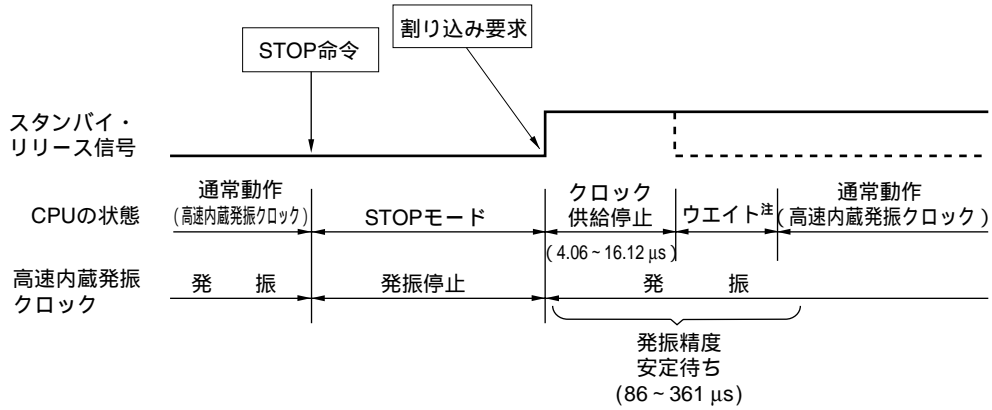
- ・ ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

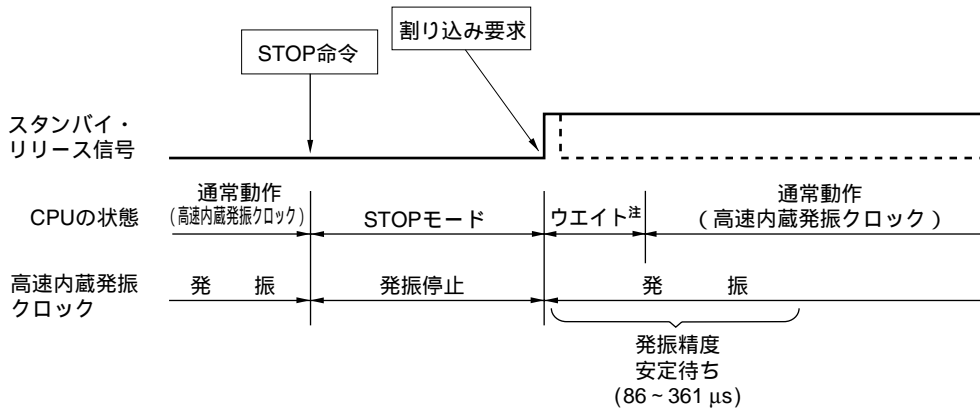
図18-6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合

・ AMPH = 1の場合



・ AMPH = 0の場合



注 ウェイト時間は次のようになります。

- ・ ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

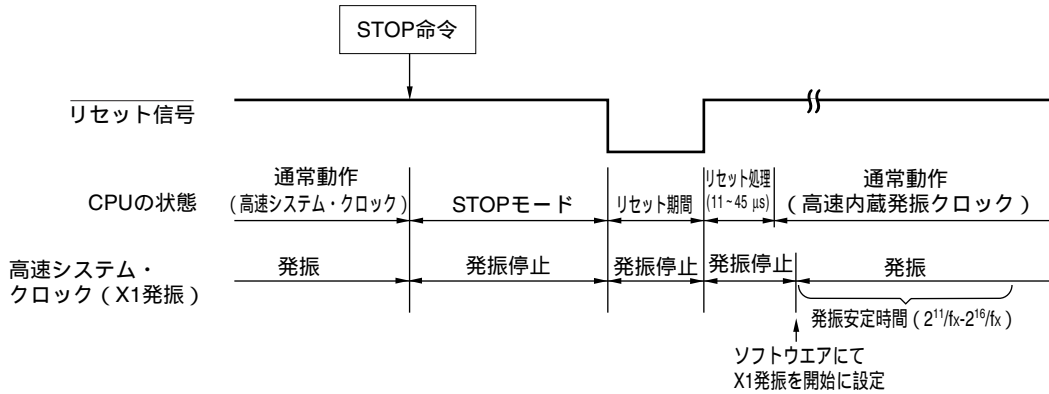
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

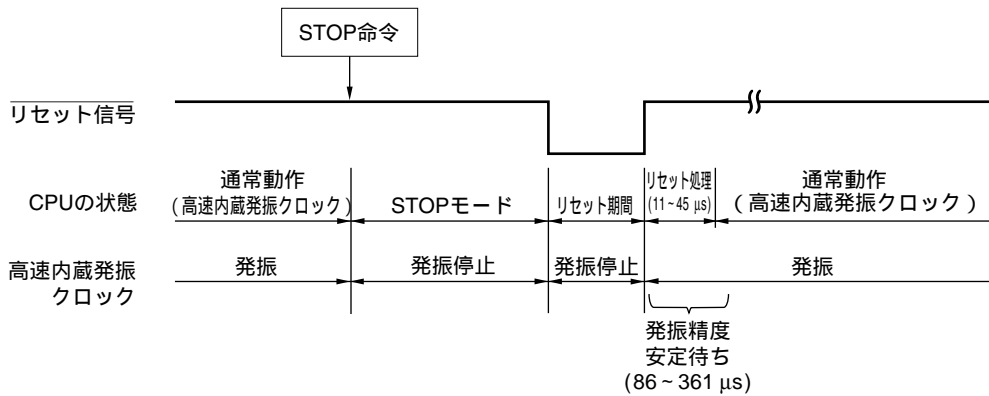
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18-7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表18-4 STOPモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
	1	x	x	x	STOPモード保持
リセット信号入力	-	-	x	x	リセット処理

x : don't care

第19章 リセット機能

リセット機能は、78K0/Fx2マイクロコントローラの全製品に搭載されています。

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

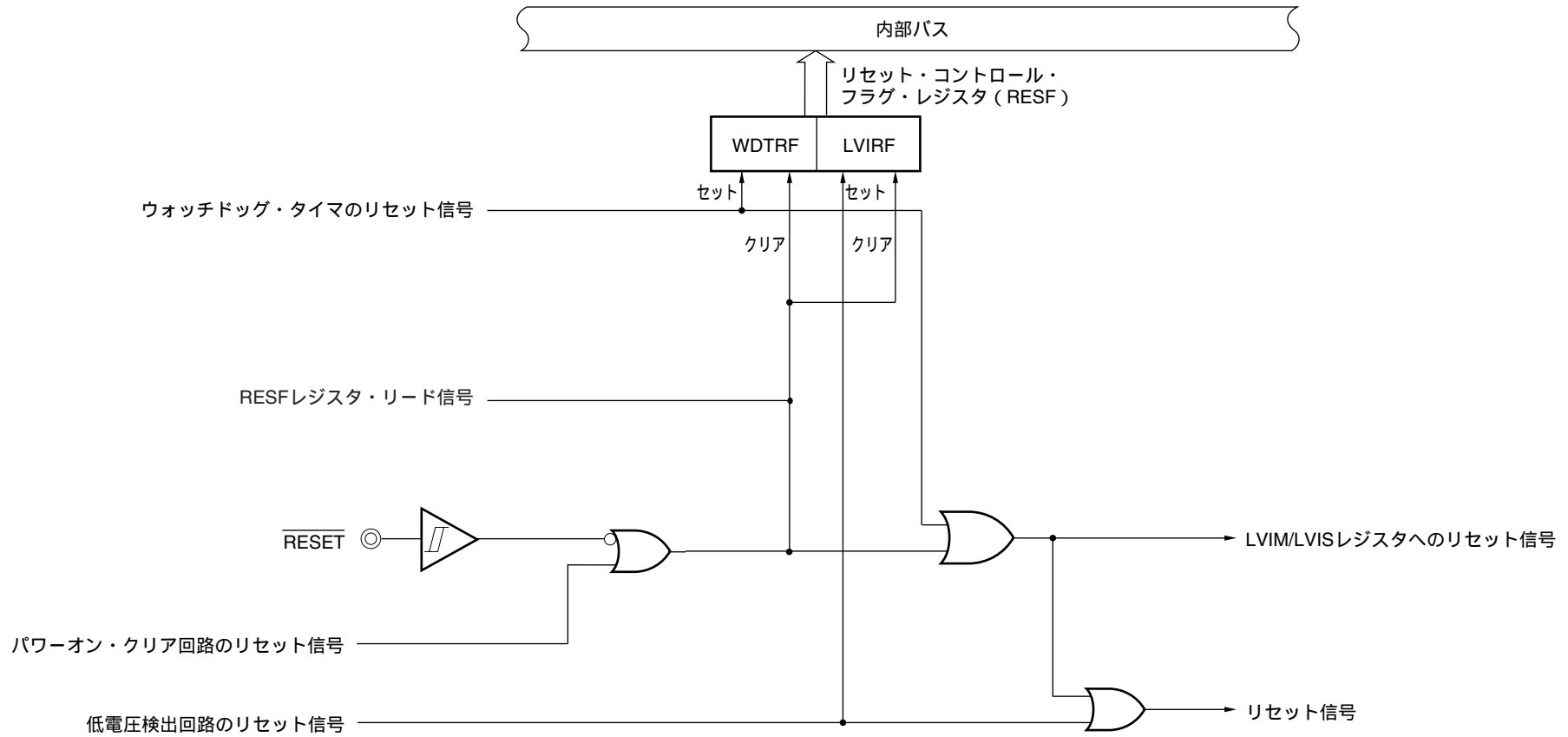
外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表19 - 1, 19 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(図19 - 2から図19 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(第21章 パワーオン・クリア回路と第22章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、P130はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。

図19 - 1 リセット機能のブロック図

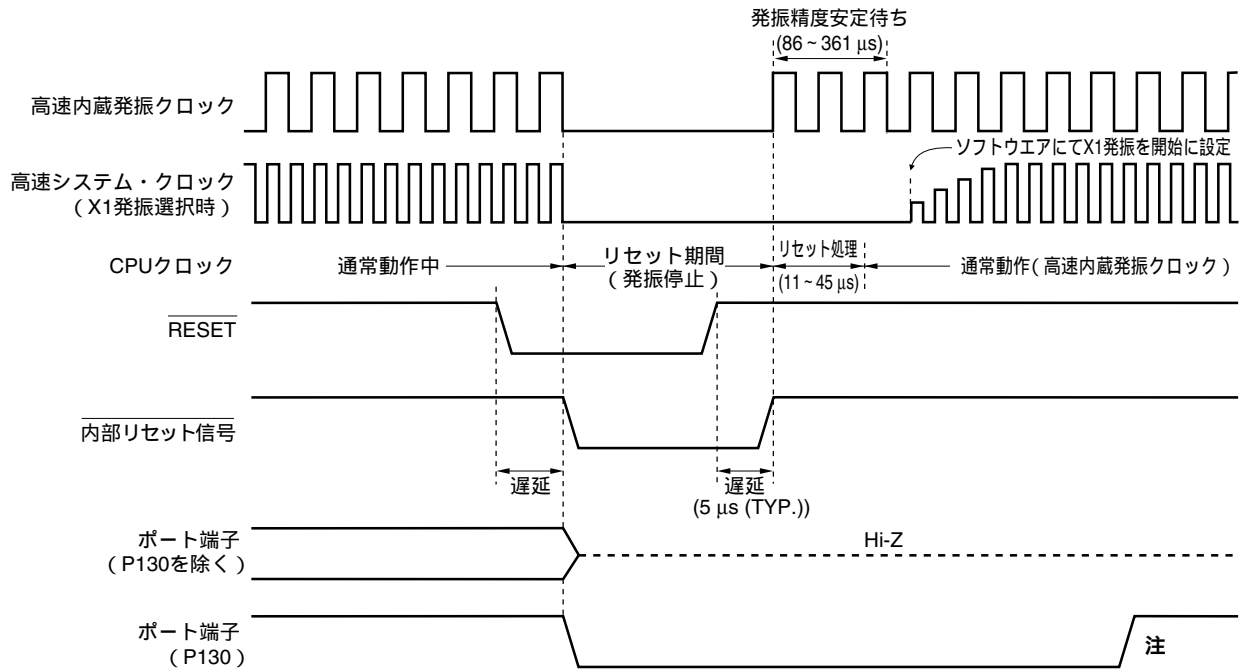


注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1. LVIM：低電圧検出レジスタ

2. LVIS：低電圧検出レベル選択レジスタ

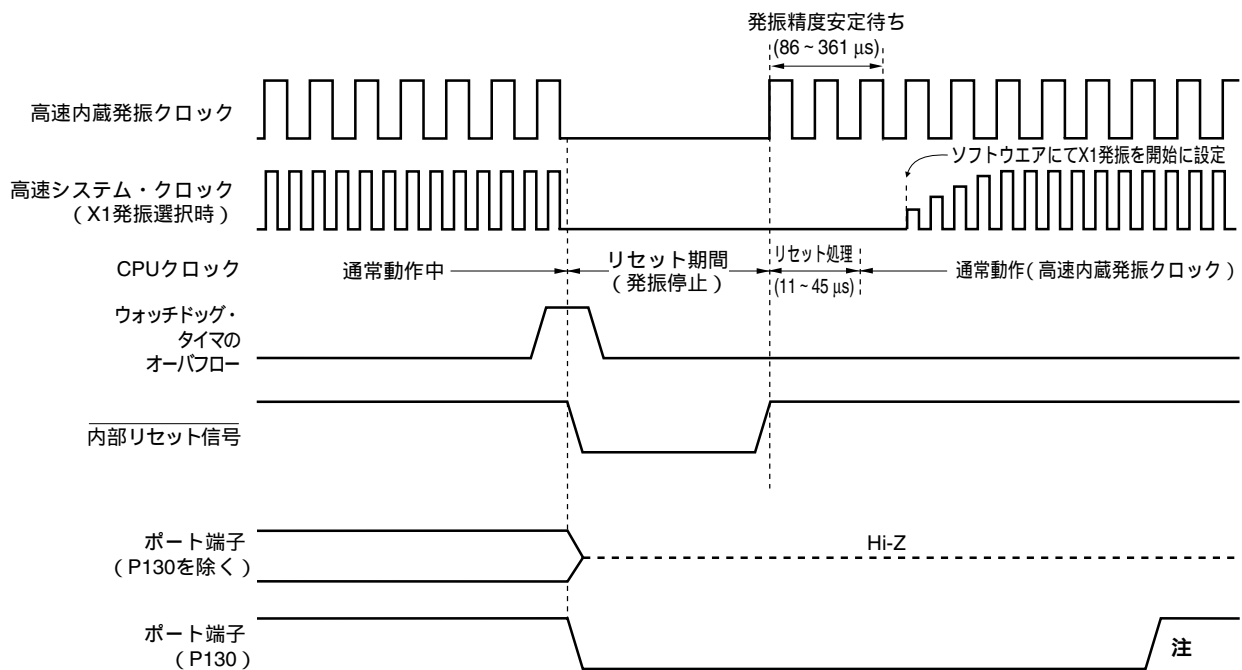
図19-2 RESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図19-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

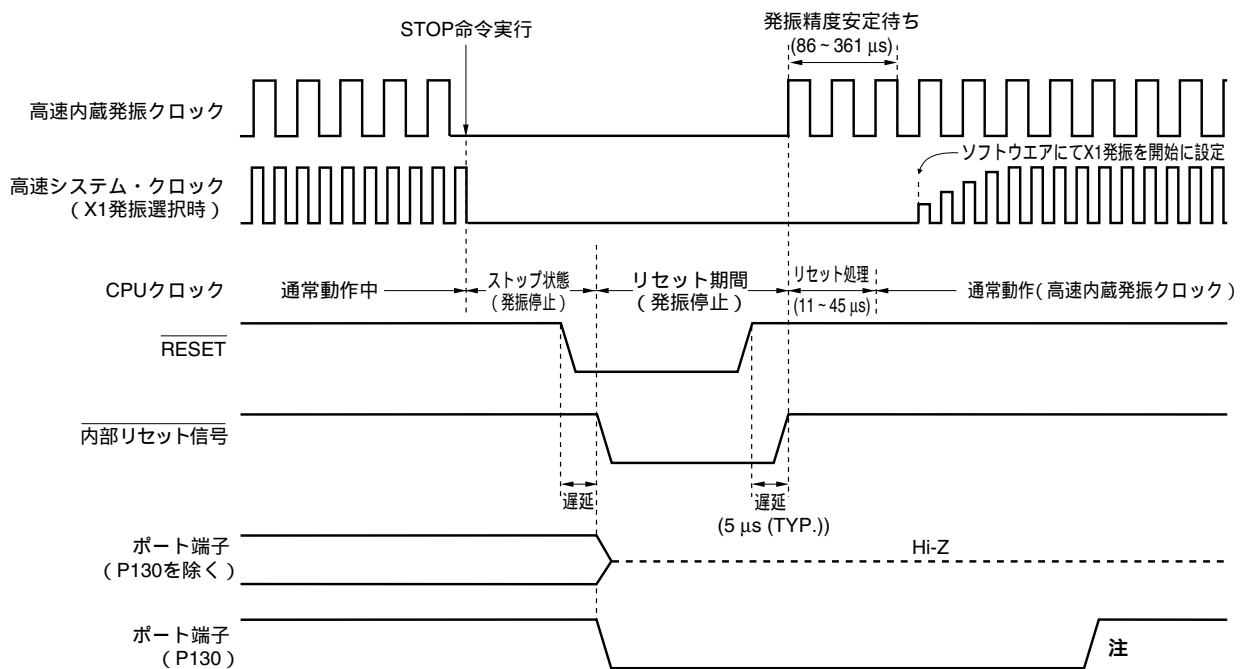


注 ソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図19-4 STOPモード中のRESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

- 備考1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。
2. パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第21章 パワーオン・クリア回路と第22章 低電圧検出回路を参照してください。

表19 - 1 リセット期間中の動作状態

項目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{RH}	動作停止
	f _X	動作停止 (端子は入出力ポート・モード)
	f _{EXCLK}	クロックの入力無効 (端子は入出力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (端子は入出力ポート・モード)
	f _{EXCLKS}	クロックの入力無効 (端子は入出力ポート・モード)
f _{RL}	動作停止	
CPU		
フラッシュ・メモリ		
RAM		
レギュレータ	動作可能	
ポート (ラッチ)	動作停止	
16ビット・タイマ / イベント・カウンタ	00	
	01	
	02	
	03	
8ビット・タイマ / イベント・カウンタ	50	
	51	
8ビット・タイマ	H0	
	H1	
時計用タイマ		
ウォッチドッグ・タイマ		
クロック出力		
ブザー出力		
A/Dコンバータ		
シリアル・インタフェース	UART60	
	UART61	
	CSI10	
	CSI11	
CANコントローラ		
乗除算器		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止	
外部割り込み		

- 備考 1. f_{RH} : 高速内蔵発振クロック周波数, f_X : X1クロック発振周波数
 f_{EXCLK} : 外部メイン・システム・クロック周波数, f_{XT} : XT1クロック発振周波数
 f_{EXCLKS} : 外部サブシステム・クロック周波数, f_{RL} : 低速内蔵発振クロック周波数
2. 製品により, 搭載している機能が異なります。1.7 **ブロック図**, 1.8 **機能概要**を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (1/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0, P1, P3-P9, P12, P13) (出力ラッチ)		00H
ポート・モード・レジスタ	PM0, PM1, PM3-PM9, PM12	FFH
	PM13	FEH
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU13)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注3}
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3}
バンク選択レジスタ (BANK)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
クロック動作モード選択レジスタ (OSCCTL)		00H
内蔵発振モード・レジスタ (RCM)		00H ^{注4}
メイン・クロック・モード・レジスタ (MCM)		00H
メインOSCコントロール・レジスタ (MOC)		80H
発振安定時間選択レジスタ (OSTS)		05H
発振安定時間カウンタ状態レジスタ (OSTC)		00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Fx2マイクロコントローラすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、各製品ごとに次に示す値を必ず設定してください。

フラッシュ・メモリ製品 (78K0/Fx2マイクロコントローラ)	IMS	IXS
μ PD78F0881A, 78F0884A	C8H	0AH
μ PD78F0882A, 78F0885A, 78F0887A	CCH	08H
μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A	CFH	08H
μ PD78F0889A, 78F0892A, 78F0894A	CCH	04H
μ PD78F0890A, 78F0893A, 78F0895A	CCH	00H

4. リセット解除直後は00Hですが、高速内蔵発振安定後に、自動的に80Hに切り替わります。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (2/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
16ビット・タイマ/ イベント・カウンタ00-03	タイマ・カウンタ00-03 (TM00-TM03)	0000H
	キャプチャ/コンペア・レジスタ000-003, 010-013 (CR000-CR003, CR010-CR013)	0000H
	モード・コントロール・レジスタ00-03 (TMC00-TMC03)	00H
	プリスケアラ・モード・レジスタ00-03 (PRM00-PRM03)	00H
	キャプチャ/コンペア・コントロール・レジスタ00-03 (CRC00-CRC03)	00H
	タイマ出力コントロール・レジスタ00-03 (TOC00-TOC03)	00H
8ビット・タイマ/ イベント・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	00H
	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H
8ビット・タイマH0, H1	コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11)	00H
	モード・レジスタ (TMHMD0, TMHMD1)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
時計用タイマ	動作モード・レジスタ (WTM)	00H
クロック出力/ ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	アナログ入力チャンネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	00H
シリアル・インタフェース UART60, UART61	受信バッファ・レジスタ60, 61 (RXB60, RXB61)	FFH
	送信バッファ・レジスタ60, 61 (TXB60, TXB61)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ60, 61 (ASIM60, ASIM61)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60, 61 (ASIS60, ASIS61)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60, 61 (ASIF60, ASIF61)	00H
	クロック選択レジスタ60, 61 (CKSR60, CKSR61)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ60, 61 (BRGC60, BRGC61)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60, 61 (ASICL60, ASICL61)	16H
	入力切り替え制御レジスタ (ISC)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 8ビット・タイマH1のみ。

3. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (3/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
シリアル・インタフェース CSI10, CSI11	送信バッファ・レジスタ10, 11 (SOTB10, SOTB11)	00H
	シリアルI/Oシフト・レジスタ10, 11 (SIO10, SIO11)	00H
	シリアル動作モード・レジスタ10, 11 (CSIM10, CSIM11)	00H
	シリアル・クロック選択レジスタ10, 11 (CSIC10, CSIC11)	00H
乗除算器	剰余データ・レジスタ0 (SDR0)	0000H
	乗除算データ・レジスタA0 (MDA0H, MDA0L)	0000H
	乗除算データ・レジスタB0 (MDB0)	0000H
	乗除算器コントロール・レジスタ0 (DMUC0)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

リセット要因 レジスタ		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRFビット	クリア (0)	クリア (0)	セット (1)	保持
	LVIRFビット			保持	セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

19.1 リセット要因を確認するレジスタ

78K0/Fx2マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図19 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表19 - 3に示します。

表19 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第20章 乗除算器

20.1 乗除算器の機能

乗除算器は、78K0/Fx2マイクロコントローラの全製品に搭載されています。

乗除算器には、次のような機能を持ちます。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷16ビット = 32ビット 剰余16ビット (除算)

20.2 乗除算器の構成

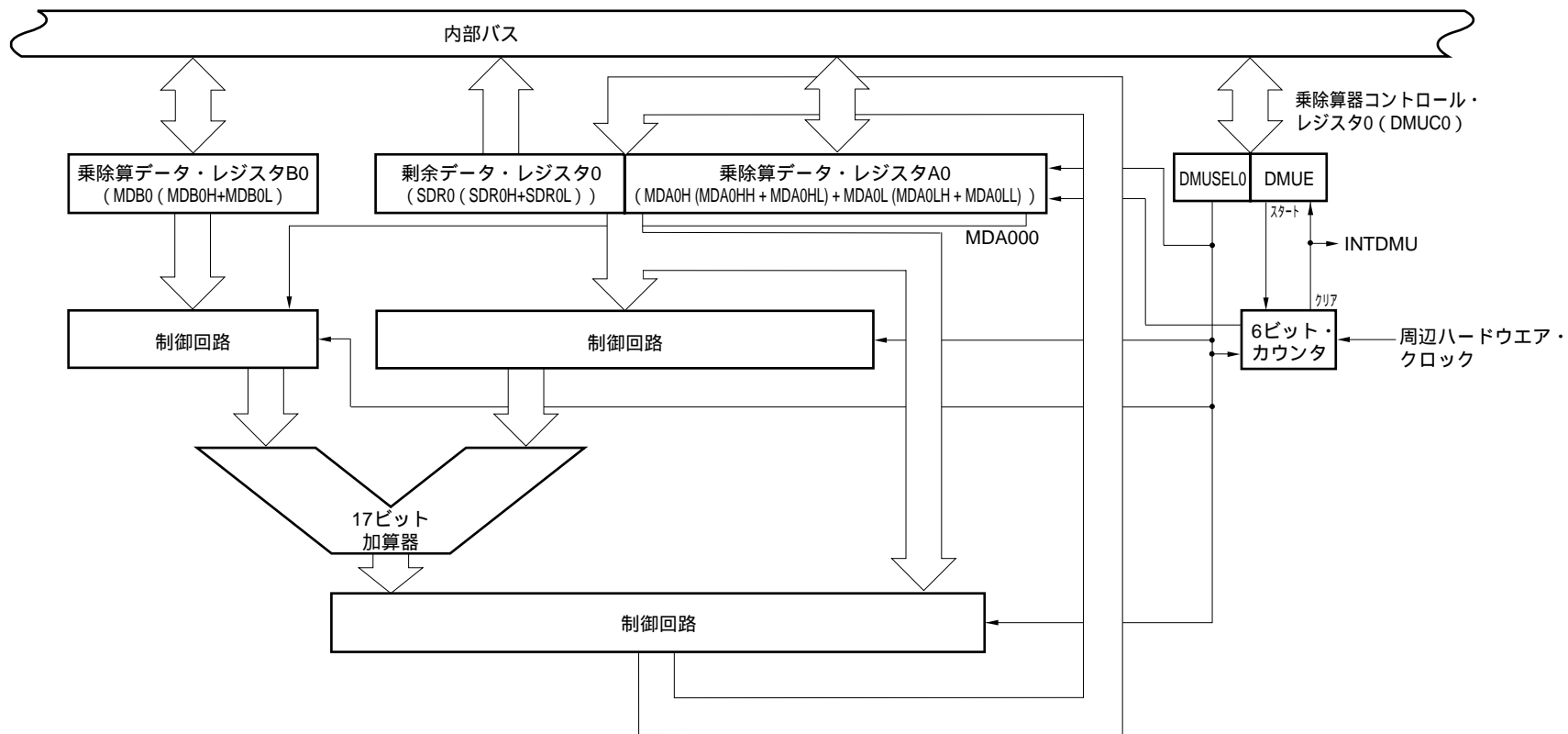
乗除算器は、次のハードウェアで構成されています。

表20 - 1 乗除算器の構成

項 目	構 成
レジスタ	剰余データ・レジスタ0 (SDR0) 乗除算データ・レジスタA0 (MDA0H, MDA0L) 乗除算データ・レジスタB0 (MDB0)
制御レジスタ	乗除算器コントロール・レジスタ0 (DMUC0)

乗除算器のブロック図を図20 - 1に示します。

図20 - 1 乗除算器のブロック図



(1) 剰余データ・レジスタ0 (SDR0)

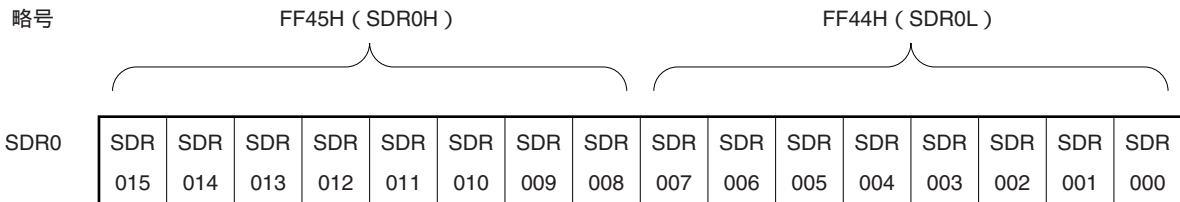
SDR0は、剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”を、除算モード時は演算結果の“剰余”を格納します。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

リセット信号の発生により、0000Hになります。

図20 - 2 剰余データ・レジスタ0 (SDR0) のフォーマット

アドレス：FF44H, FF45H リセット時：0000H R



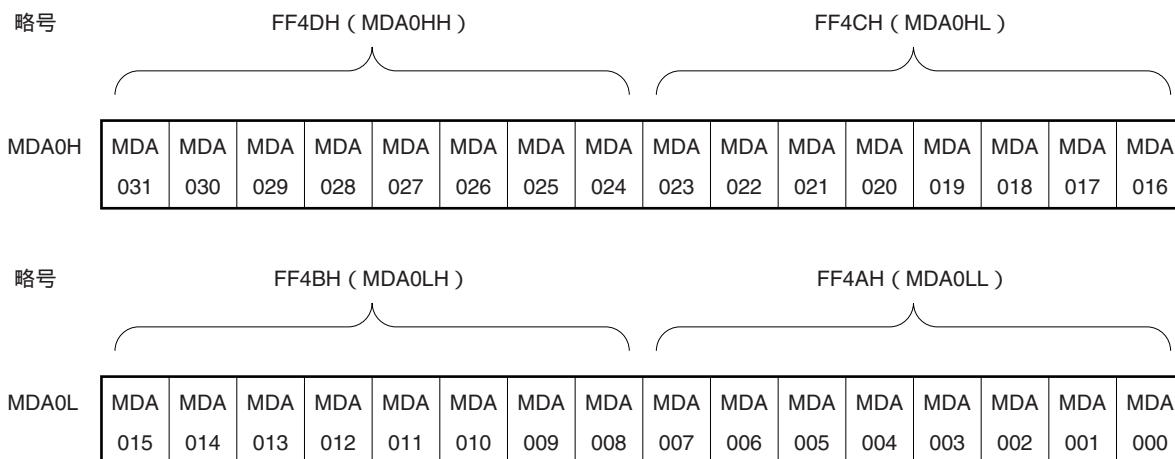
- 注意 1.** 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）にSDR0の値を読み出した場合、その値は保証されません。
- 2.** 演算開始時（DMUEを1に設定するとき）、SDR0はリセットされます。

(2) 乗除算データ・レジスタA0 (MDA0H, MDA0L)

MDA0は、乗算モード時は16ビットの乗数Aを、除算モード時は32ビットの被除数を設定し、32ビットの演算結果を格納するレジスタです (上位16ビット: MDA0H, 下位16ビット: MDA0L)。

図20 - 3 乗除算データ・レジスタA0 (MDA0H, MDA0L) のフォーマット

アドレス : FF4AH, FF4BH, FF4CH, FF4DH リセット時 : 0000H, 0000H R/W



- 注意 1. 乗算モードでの演算開始時 (乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき)、MDA0Hはクリア (0) されます。
2. 演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDA0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。
3. 演算処理中 (DMUEが1のとき) にMDA0の値を読み出した場合、その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表20 - 2 MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果 (商)
1	乗算モード	上位16ビット: "0", 下位16ビット: 乗数A	乗算結果 (積)

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数A > < 乗数B > < 積 >

$$MDA0 \text{ (ビット15-0)} \times MDB0 \text{ (ビット15-0)} = MDA0 \text{ (ビット31-0)}$$

・除算時のレジスタ構成

< 被除数 > < 除数 > < 商 > < 剰余 >

$$MDA0 \text{ (ビット31-0)} \div MDB0 \text{ (ビット15-0)} = MDA0 \text{ (ビット31-0)} \dots SDR0 \text{ (ビット15-0)}$$

MDA0は乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1に設定されている間、クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

(3) 乗除算データ・レジスタB0 (MDB0)

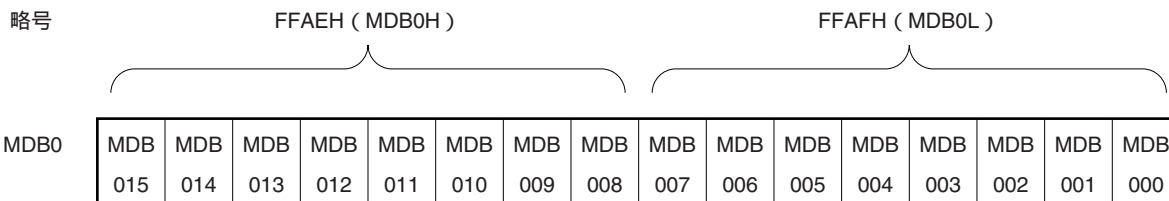
MDB0は、乗算モード時は16ビットの乗数Bを、除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

図20 - 4 乗除算データ・レジスタB0 (MDB0) のフォーマット

アドレス: FFAEH, FFAFH リセット時: 0000H R/W



注意 1. 演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDB0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。

2. 除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。

20.3 乗除算器を制御するレジスタ

乗除算器は、乗除算器コントロール・レジスタ0 (DMUC0) で制御します。

(1) 乗除算器コントロール・レジスタ0 (DMUC0)

DMUC0は、乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 5 乗除算器コントロール・レジスタ0 (DMUC0) のフォーマット

アドレス：FF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0

DMUE ^注	演算動作の開始 / 停止
0	演算動作停止
1	演算動作開始

DMUSEL0	演算モード (乗算 / 除算) の選択
0	除算モード
1	乗算モード

注 DMUEをセット(1)すると、演算動作を開始します。演算終了後は自動的にDMUEがクリア(0)されます。

- 注意 1. 演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。
2. 演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0 (MDA0)、剰余データ・レジスタ0 (SDR0) に格納されます。
3. 演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0 (MDA0)、乗除算データ・レジスタB0 (MDB0)、乗除算器コントロール・レジスタ0 (DMUC0)を設定し、演算動作を開始 (DMUE = 1) してください。

20.4 乗除算器の動作

20.4.1 乗算動作

- ・初期設定

1. 乗除算データ・レジスタA0L (MDA0L) と乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算器コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) とビット7 (DMUE) にそれぞれ1を設定してください。演算動作が開始します。

- ・演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の16クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタに格納されるデータは演算途中データであるため, リード値は保証しません)。

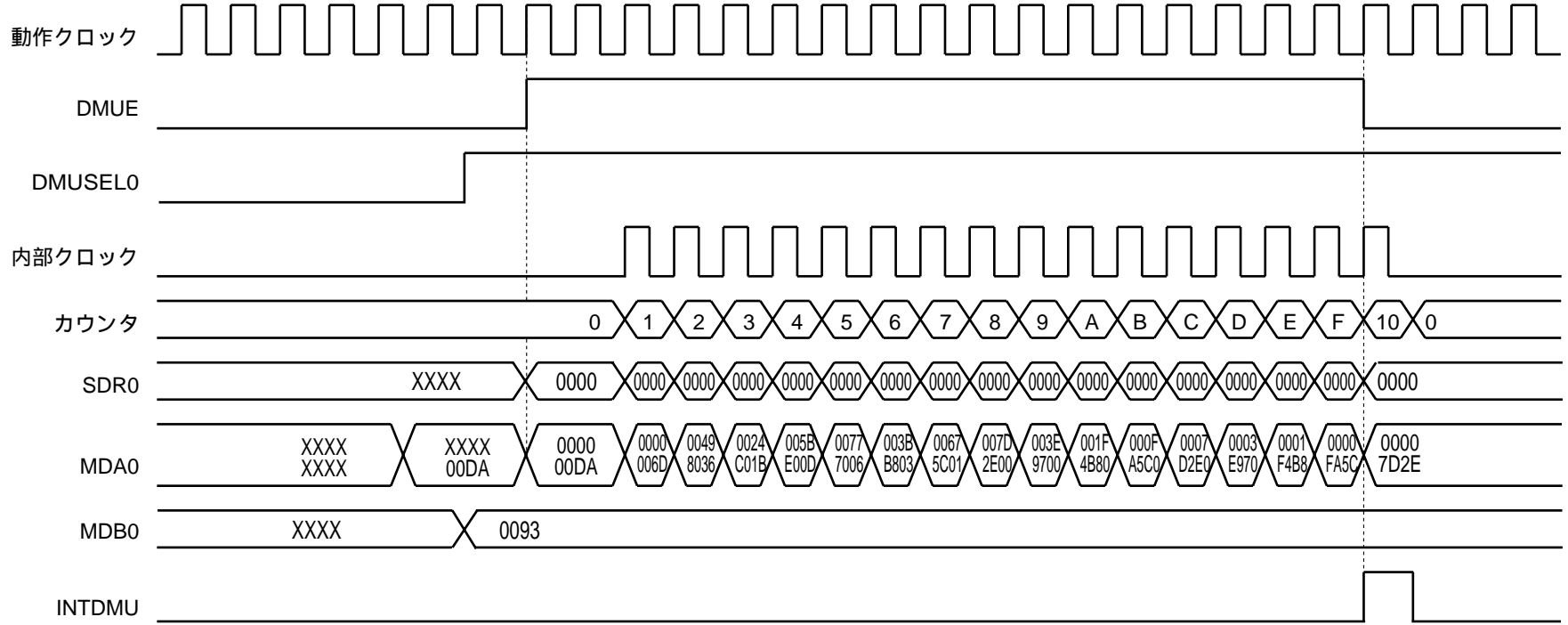
- ・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタに, 演算結果データが格納されます。
5. DMUEがクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

- ・次回演算

7. 次に乗算を行う場合は, 20.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 20.4.2 **除算動作**の初期設定から行ってください。

図20 - 6 乗算動作のタイミング図 (00DAH × 0093H)



20.4.2 除算動作

・初期設定

1. 乗除算データ・レジスタA0 (MDA0L, MDA0H), 乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) に0, ビット7 (DMUE) に1を設定してください。演算動作が開始します。

・演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の32クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタ, 剰余データ・レジスタ0 (SDR0) に格納されるデータは演算途中データであるため, リード値は保証しません)。

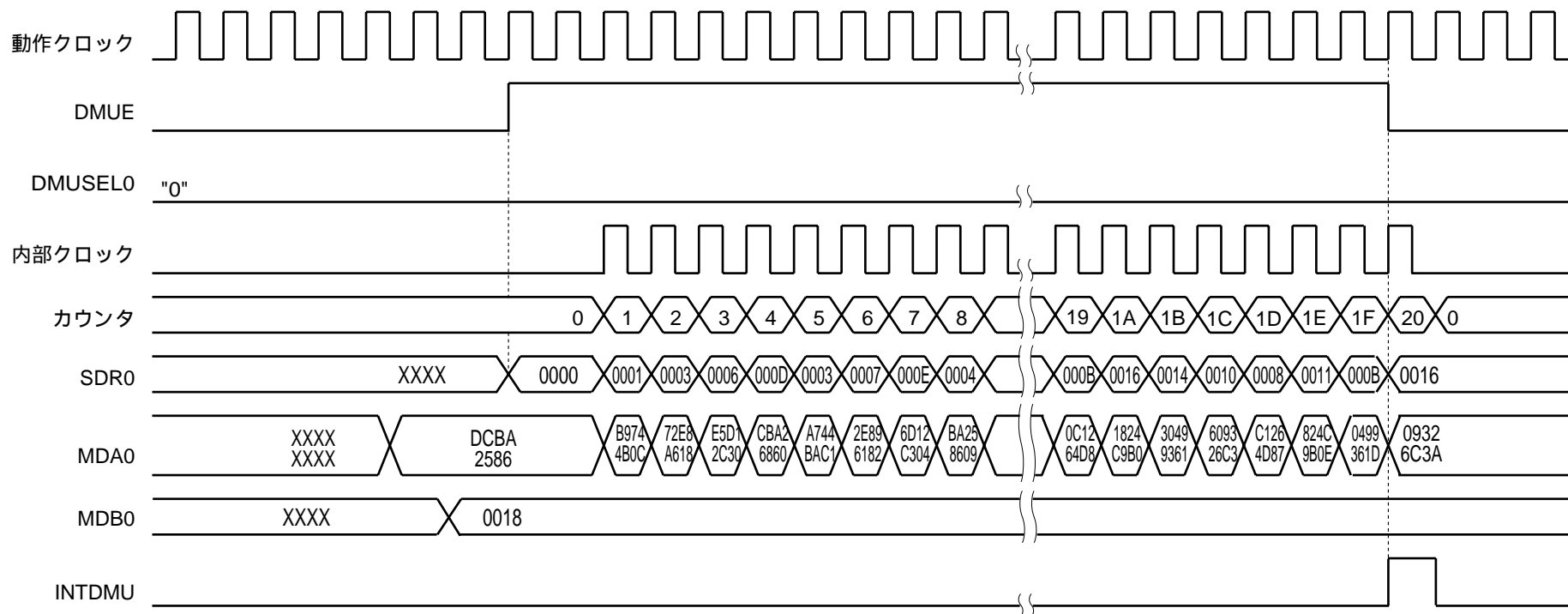
・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタ, SDR0レジスタに, 演算結果データが格納されます。
5. DMUEがクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

・次回演算

7. 次に乗算を行う場合は, 20.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 20.4.2 **除算動作**の初期設定から行ってください。

図20 - 7 除算動作のタイミング図 (DCBA2586H ÷ 0018H)



第21章 パワーオン・クリア回路

21.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は、78K0/Fx2マイクロコントローラの全製品に搭載されています。パワーオン・クリア回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
1.59 V POCモード設定時 (オプション・バイト: LVISTART = 0) は、電源電圧 (V_{DD}) が $1.59\text{ V} \pm 0.15\text{ V}$ を越えた場合に、リセットを解除します。
2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1) 時は、電源電圧 (V_{DD}) が $2.7\text{ V} \pm 0.2\text{ V}$ を越えた場合に、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

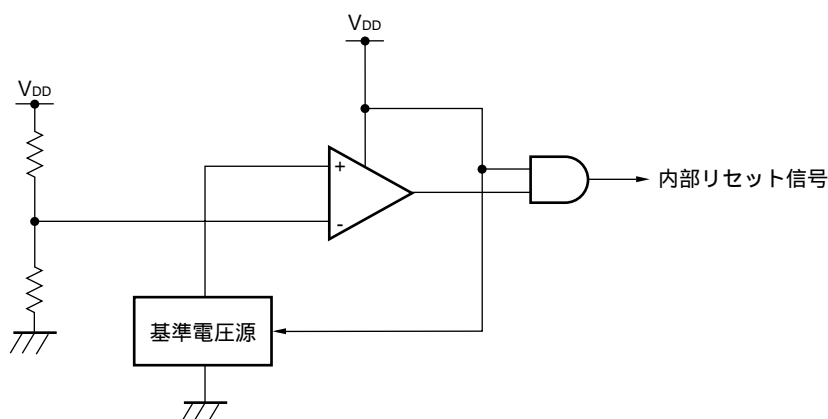
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 78K0/Fx2マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT/LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第19章 リセット機能**を参照してください。

21.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図21 - 1に示します。

図21 - 1 パワーオン・クリア回路のブロック図



21.3 パワーオン・クリア回路の動作

(1) 1.59 V POCモード設定時 (オプション・バイト : LVISTART = 0)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

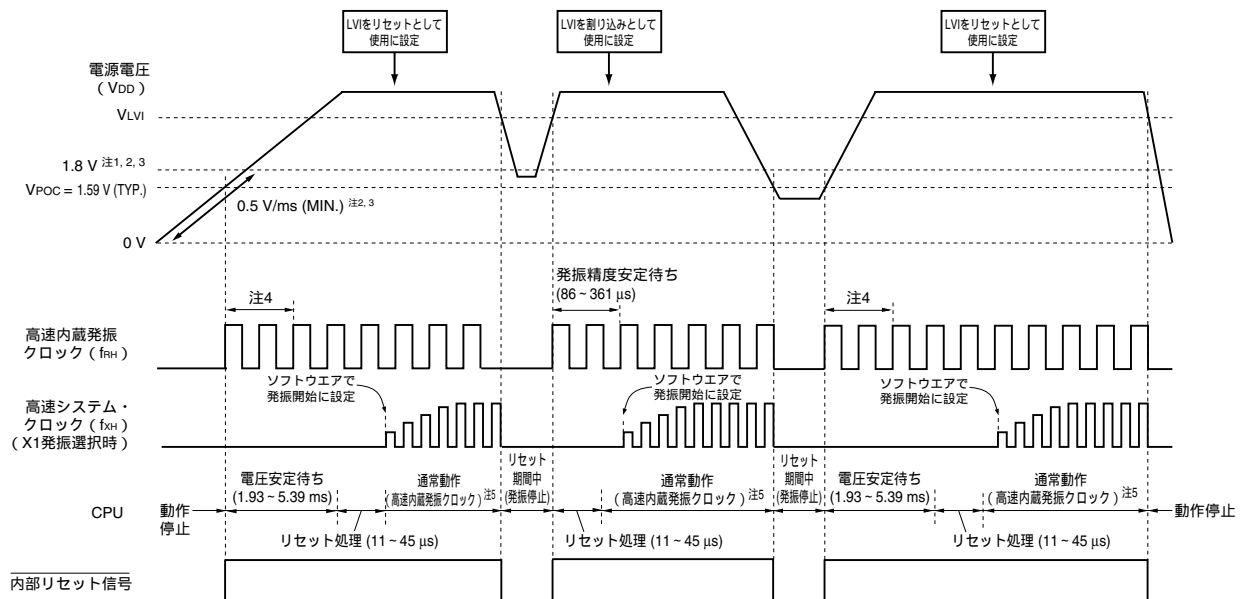
(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : LVISTART = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト : LVISTART = 0)



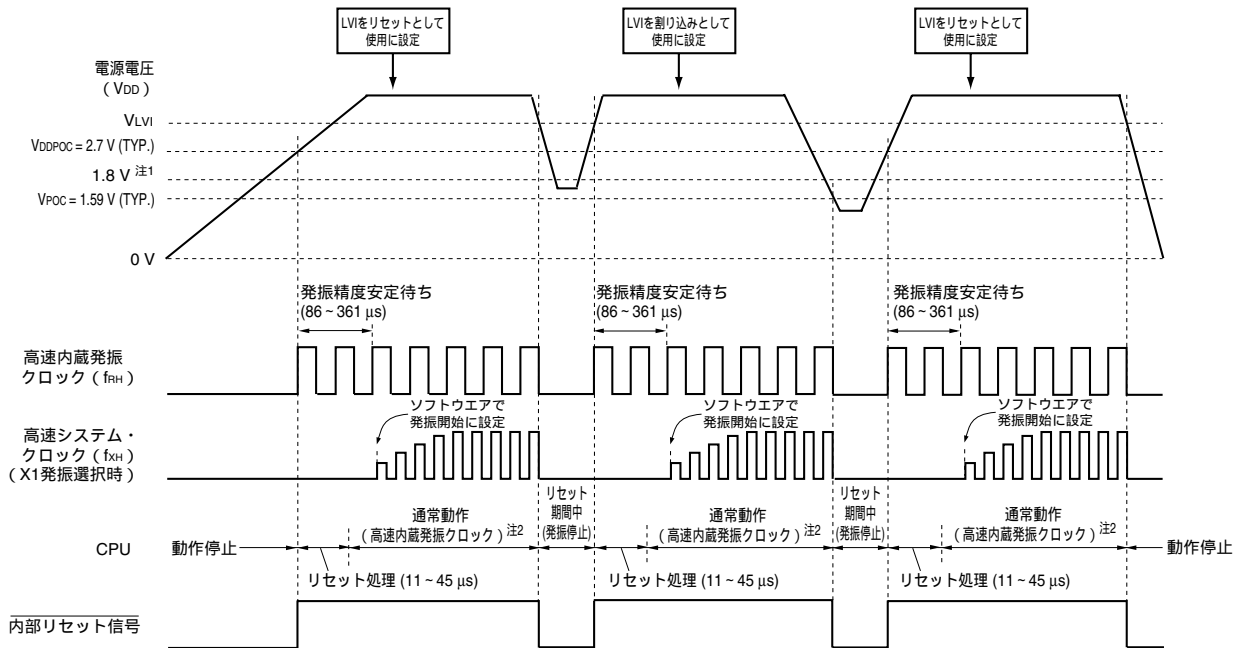
- 注1. (A)水準品の動作保証範囲は1.8 V V_{DD} 5.5 V, (A2)水準品の動作保証範囲は, 2.7 V V_{DD} 5.5 Vです。電源立ち上がり時に動作保証範囲未達の電圧範囲をリセット状態にしたい場合は, 低電圧検出回路のリセット機能を使用, またはRESET端子にロウ・レベルを入力してください。
2. (A)水準品では, 電源投入時から1.8 Vに達するまでの電圧の立ち上がり, が, 0.5 V/ms (MIN.) よりも緩やかな場合は, 電源投入時から1.8 Vに達するまで, RESET端子にロウ・レベルを入力するか, オプション・バイトで2.7 V/1.59 V POCモードを設定 (LVISTART = 1) してください。
3. (A2)水準品では, 電源投入時から2.7 Vに達するまでの電圧の立ち上がり, が, 0.75 V/ms (MIN.) よりも緩やかな場合は, 電源投入時から2.7 Vに達するまで, RESET端子にロウ・レベルを入力してください。
4. 高速内蔵発振クロックの発振精度安定待ち時間は, 内部の電圧安定待ち時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで, XT1クロックを使用する場合はタイマ機能などを用いて, 発振安定時間を確認してから, 切り替えてください。

注意 低電圧検出回路の設定は, リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
V_{POC} : POC検出電圧

図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: LVISTART = 1)



注1. (A)水準品の動作保証範囲は1.8 V V_{DD} 5.5 V, (A2)水準品の動作保証範囲は, 2.7 V V_{DD} 5.5 Vです。電源立ち下がり時に動作補償範囲未満の電圧範囲をリセット状態にしたい場合は, 低電圧検出回路のリセット機能を使用, またはRESET端子にロウ・レベルを入力してください。

2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで, XT1クロックを使用する場合はタイマ機能などを用いて, 発振安定時間を確認してから, 切り替えてください。

注意1. 低電圧検出回路の設定は, リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。

2. 電源電圧が1.59 V (TYP.)に達したあと, 1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.)から2.7 V (TYP.)に達する時間が, 1.93 ms以内の場合は, リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

21.4 パワーオン・クリア回路の注意事項

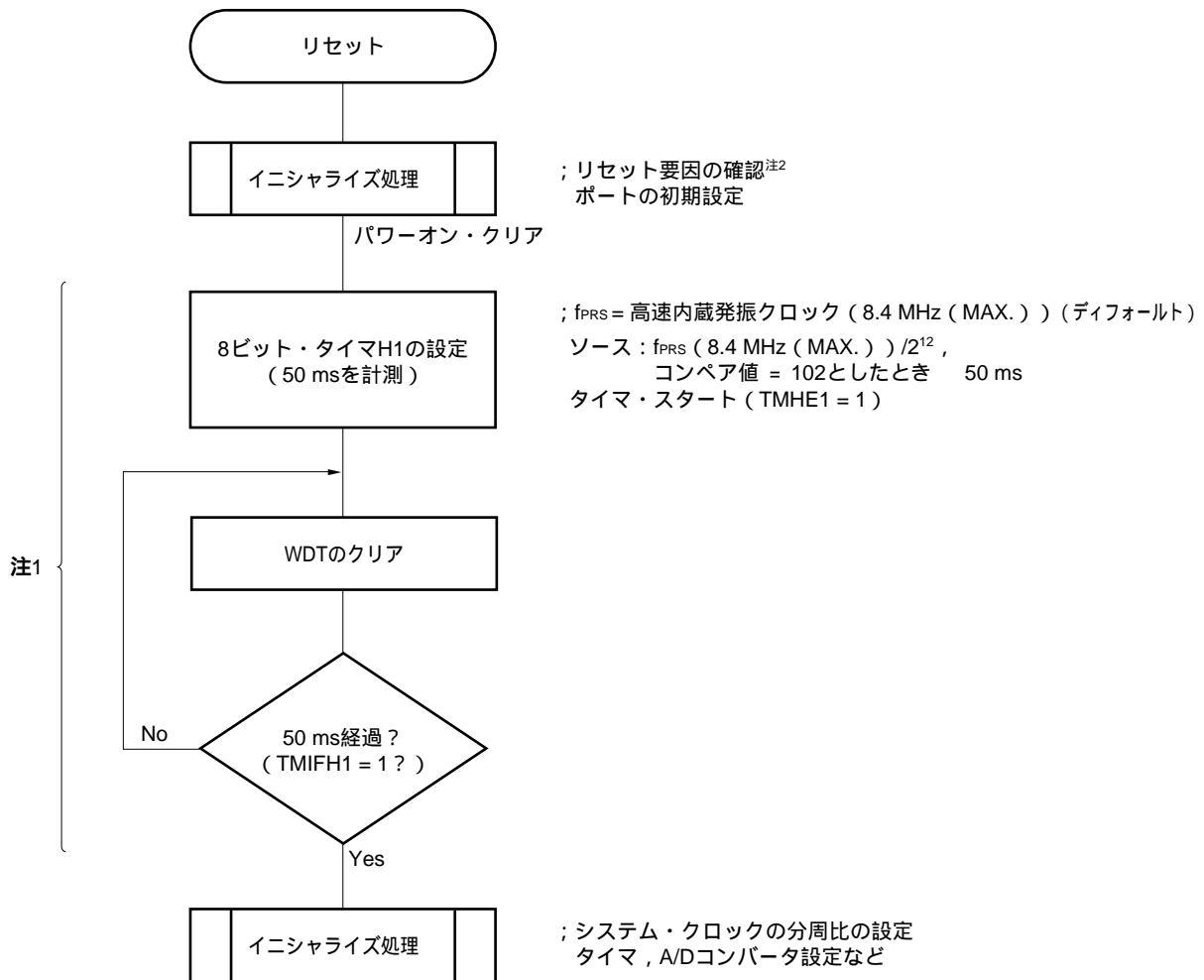
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図21-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

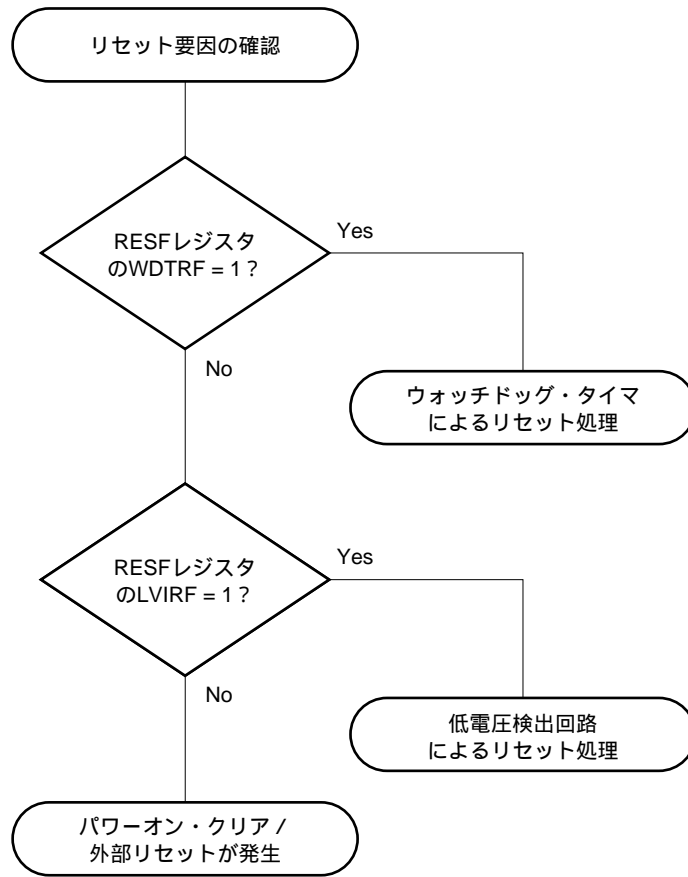


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次頁にフロー・チャートを示します。

図21 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第22章 低電圧検出回路

22.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0/Fx2マイクロコントローラの全製品に搭載されています。

低電圧検出回路は次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$: 固定) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は、ソフトウェアにて選択できます。
- ・リセット / 割り込みは、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを16段階^注より選択できます。
- ・STOPモード時においても動作可能です。

注 (A) 水準品: 16段階

(A2) 水準品: 10段階

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ (LVIM) のビット2

$LVIMD$: LVIMのビット1

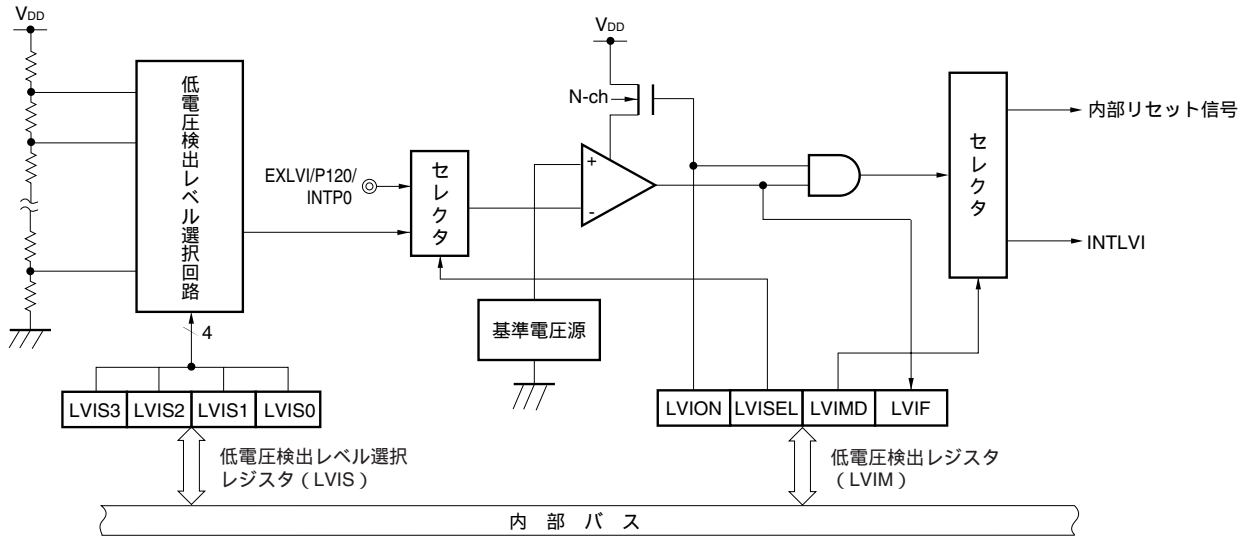
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 ($LVIRF$) がセット (1) されます。RESFについての詳細は、第19章 リセット機能を参照してください。

22.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図22 - 1に示します。

図22 - 1 低電圧検出回路のブロック図



22.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図22 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFBEH リセット時：00H R/W^{注1}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注2, 3}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注2}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注2}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL = 0の場合，電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき，または，電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL = 1の場合，電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき，または電圧上昇時にEXLVI > V_{EXLVI}になったとき，割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL = 0の場合，電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生，V_{DD} > V_{LVI}時に内部リセット解除 LVISEL = 1の場合，外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生，EXLVI > V_{EXLVI}時に内部リセット解除

LVIF ^{注4}	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL = 0の場合，電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})，または動作禁止時 LVISEL = 1の場合，外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})，または動作禁止時
1	<ul style="list-style-type: none"> LVISEL = 0の場合，電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL = 1の場合，外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. ビット0はRead Onlyです。

- LVION, LVIMD, LVISELはLVリセット以外のリセット時にクリア (0) されます。LVリセットではクリア (0) されません。
- LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してから動作が安定するまでの時間 (10 μs (MIN.)) を，ソフトウェアでウェイトしてください。また動作安定後，LVI検出電圧未満の状態になってからLVIFがセット (1) されるまで，200 μs以上の外部入力 (最小パルス幅：200 μs (MIN.)) が必要です。
- LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

- 注意 1. LVIを停止する場合は、次のいずれかの手順を行ってください。
- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
 - ・1ビット・メモリ操作命令の場合：LVIONをクリア(0)
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
3. LVIを割り込みとして使用する場合、LVI検出電圧未満の状態ではLVIONをクリア(0)すると、INTLVI信号が発生し、LVIIFが1になります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図22 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH リセット時：00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V_{LV10} (4.24 V \pm 0.1 V)
0	0	0	1	V_{LV11} (4.09 V \pm 0.1 V)
0	0	1	0	V_{LV12} (3.93 V \pm 0.1 V)
0	0	1	1	V_{LV13} (3.78 V \pm 0.1 V)
0	1	0	0	V_{LV14} (3.62 V \pm 0.1 V)
0	1	0	1	V_{LV15} (3.47 V \pm 0.1 V)
0	1	1	0	V_{LV16} (3.32 V \pm 0.1 V)
0	1	1	1	V_{LV17} (3.16 V \pm 0.1 V)
1	0	0	0	V_{LV18} (3.01 V \pm 0.1 V)
1	0	0	1	V_{LV19} (2.85 V \pm 0.1 V)
1	0	1	0	V_{LV110} (2.70 V \pm 0.1 V) ^{注2}
1	0	1	1	V_{LV111} (2.55 V \pm 0.1 V) ^{注2}
1	1	0	0	V_{LV112} (2.39 V \pm 0.1 V) ^{注2}
1	1	0	1	V_{LV113} (2.24 V \pm 0.1 V) ^{注2}
1	1	1	0	V_{LV114} (2.08 V \pm 0.1 V) ^{注2}
1	1	1	1	V_{LV115} (1.93 V \pm 0.1 V) ^{注2}

注 1. LVIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H”にクリアされます。

2. (A2) 水準品は、 V_{LV110} - V_{LV115} を設定しないでください。

注意 1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。
3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 ($V_{EXLVI} = 1.21$ V (TYP.)) です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図22-4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120

PM12n	P12n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

22.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット1

LVISEL : LVIMのビット2

22.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ ($LVIM$) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ ($LVIS$) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

$LVIM$ のビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) + 最小パルス幅をウエイトする

$LVIM$ のビット0 ($LVIF$) で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ

$LVIM$ のビット1 ($LVIMD$) に “1” (レベル検出時に内部リセット信号発生) を設定する

図22 - 5に, ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。 $LVIMK = 0$ になっている場合, の処理を行った時点で割り込みが発生する場合があります。

2. $LVIMD = 1$ とした時点で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

次のいずれかの手順を, 必ず実行してください。

・ 8ビット・メモリ操作命令の場合 :

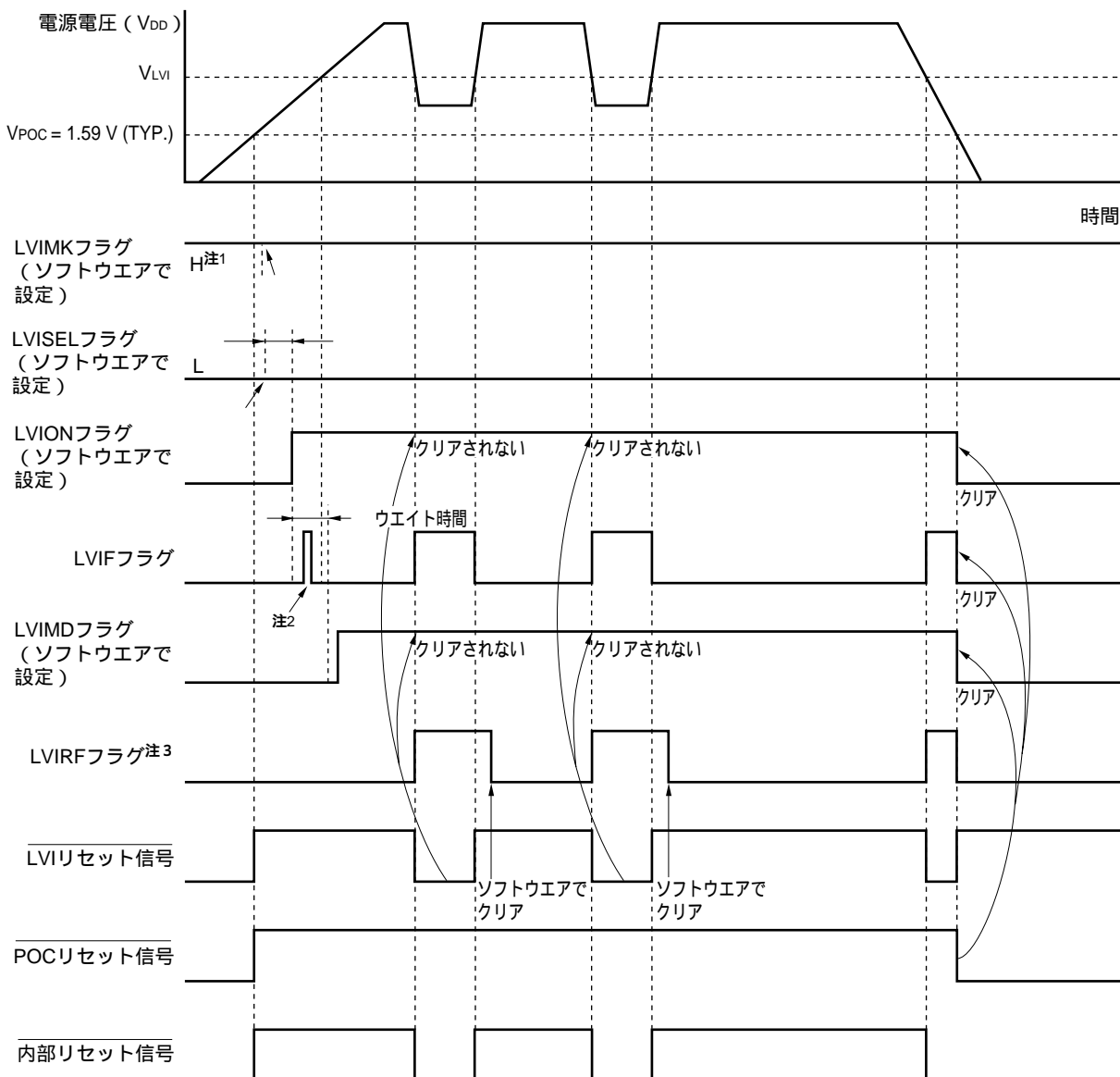
$LVIM$ に “00H” を書き込む

・ 1ビット・メモリ操作命令の場合 :

$LVIMD$ をクリア (0) $LVION$ をクリア (0)

図22 - 5 低電圧検出回路の内部リセット信号発生タイミング(電源電圧(V_{DD})のレベルを検出)(1/2)

(1) 1.59 V POCモード設定時(オプション・バイト: LVISTART = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

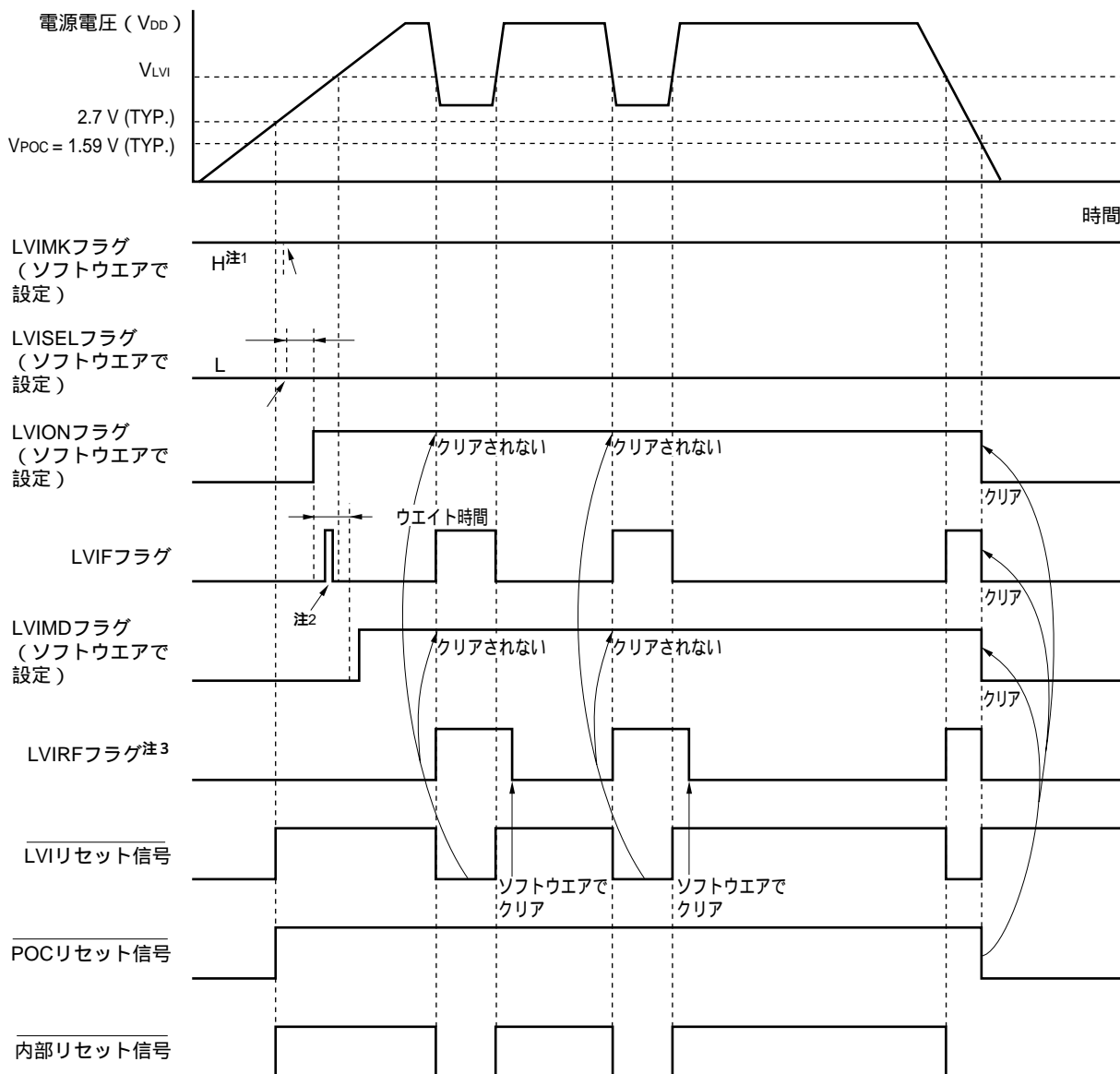
2. LVIFフラグがセット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。RESFについての詳細は、**第19章 リセット機能**を参照してください。

備考 図22 - 5の ~ は、22.4.1(1)電源電圧(V_{DD})のレベルを検出する場合 動作開始時の ~ と対応しています。

図22 - 5 低電圧検出回路の内部リセット信号発生タイミング(電源電圧(V_{DD})のレベルを検出)(2/2)

(2) 2.7 V/1.59 V POCモード設定時(オプション・バイト: LVISTART = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグがセット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。RESFについての詳細は、**第19章 リセット機能**を参照してください。

備考 図22 - 5の ~ は、22.4.1(1)電源電圧(V_{DD})のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MIN.)) + 最小パルス幅をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを確認する
- LVIMのビット1(LVIMD)に“1”(レベル検出時に内部リセット信号発生)を設定する

図22 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

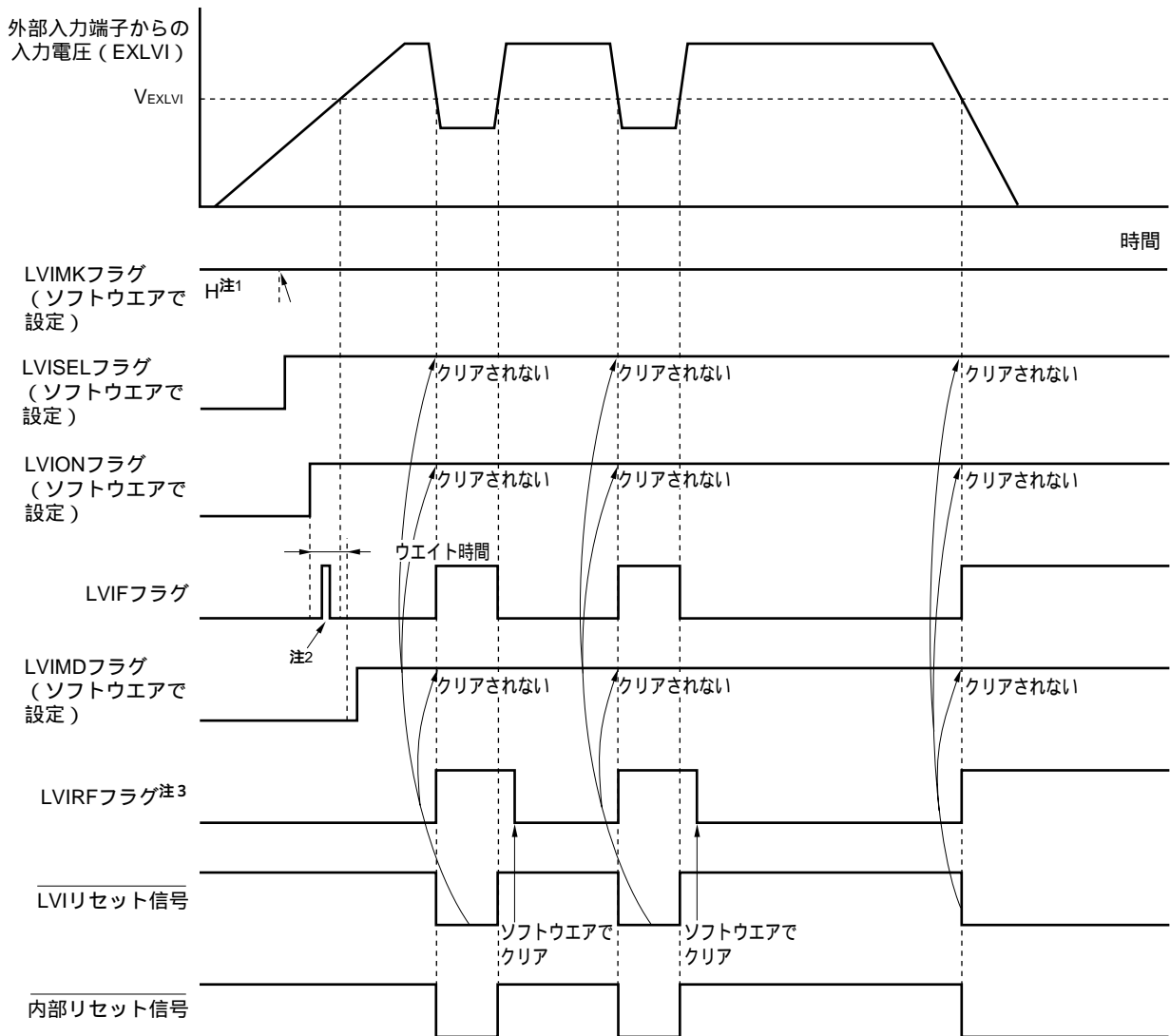
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
LVIMDをクリア(0) LVIONをクリア(0)

図22 - 6 低電圧検出回路の内部リセット信号発生タイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注 1 . LVIMKフラグはリセット信号の発生により, “1” になっています。

2 . LVIFフラグがセット (1) される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第19章 リセット機能を参照してください。

備考 図22 - 6の ~ は, 22. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合動作開始時の ~ と対応しています。

22.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) + 最小パルス幅をウエイトする

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」であることを確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

(ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：

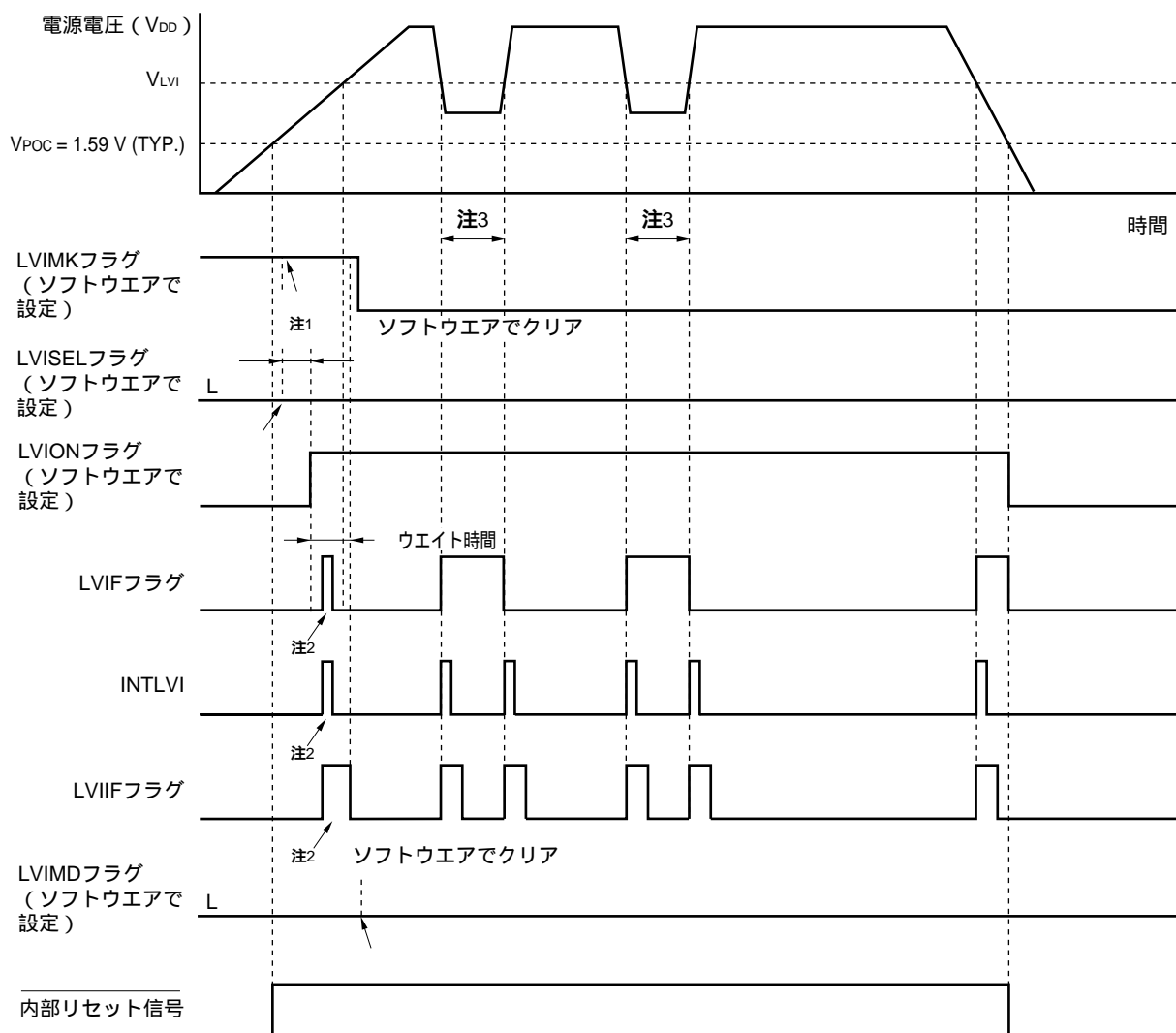
LVIMに “00H” を書き込む

- ・ 1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図22-7 低電圧検出回路の割り込み信号発生タイミング(電源電圧(V_{DD})のレベルを検出)(1/2)

(1) 1.59 V POCモード設定時(オプション・バイト: LVISTART = 0)



注1. LVIMKフラグはリセット信号の発生により, “1” になっています。

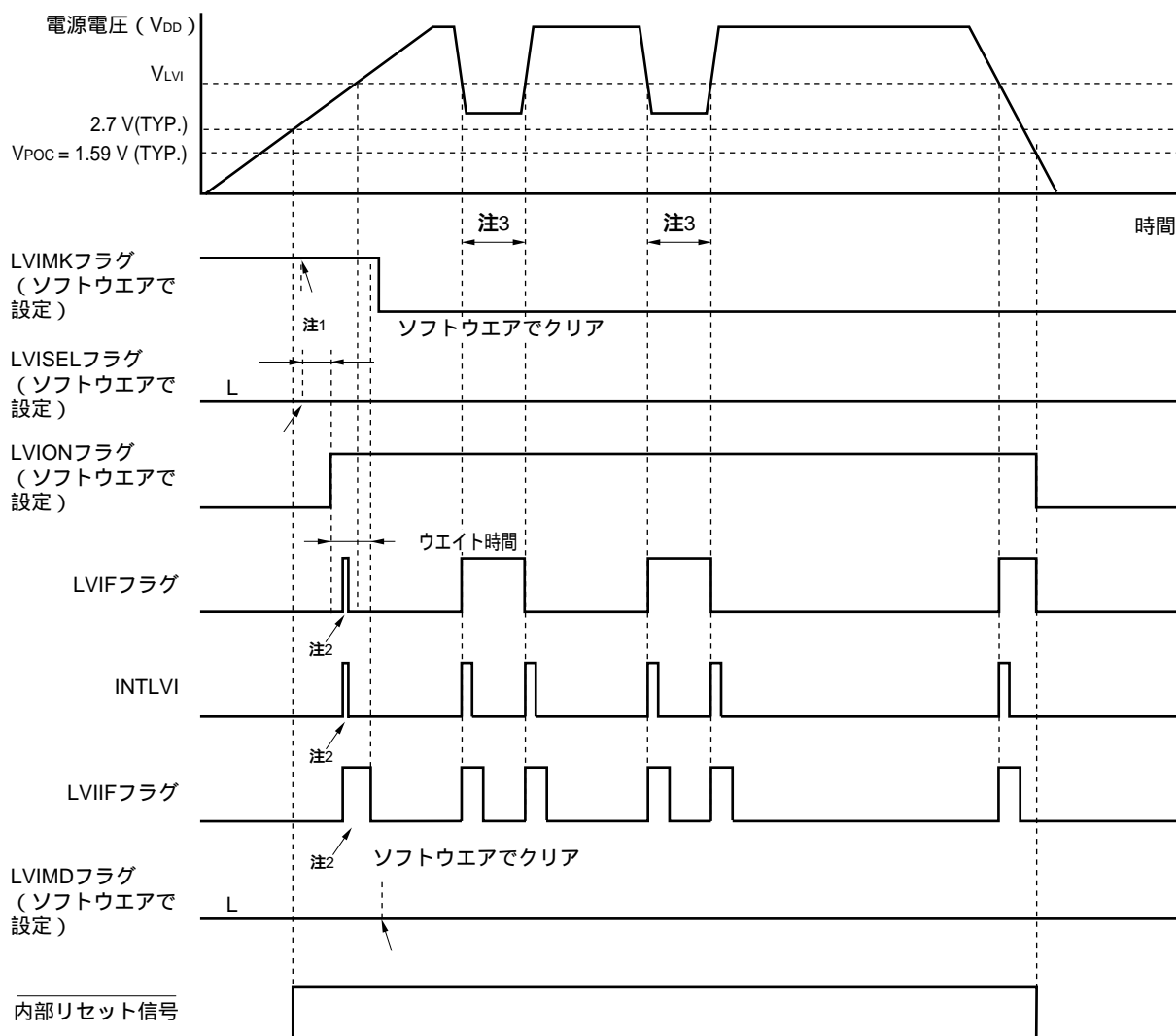
2. 割り込み要求信号(INTLVI)が発生し, LVIFフラグ, LVIIIFフラグがセット(1)される可能性があります。

3. LVI検出電圧未満の状態(LVIONをクリア(0)した場合), INTLVI信号が発生し, LVIIIFが“1”になります。

備考 図22-7の ~ は, 22.4.2(1)電源電圧(V_{DD})のレベルを検出する場合 動作開始時の ~ と対応しています。

図22-7 低電圧検出回路の割り込み信号発生タイミング(電源電圧(V_{DD})のレベルを検出)(2/2)

(2) 2.7 V/1.59 V POCモード設定時(オプション・バイト: LVISTART = 1)



注1. LVIMKフラグはリセット信号の発生により, “1” になっています。

2. 割り込み要求信号(INTLVI)が発生し, LVIFフラグ, LVIIIFフラグがセット(1)される可能性があります。

3. LVI検出電圧未満の状態(LVIONをクリア(0)した場合), INTLVI信号が発生し, LVIIIFが“1”になります。

備考 図22-7の ~ は, 22.4.2(1)電源電圧(V_{DD})のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 (10 μ s (MIN.)) + 最小パルス幅をウエイトする
- LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する
- LVIの割り込みマスク・フラグ (LVIMK) を解除する
- LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- (ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

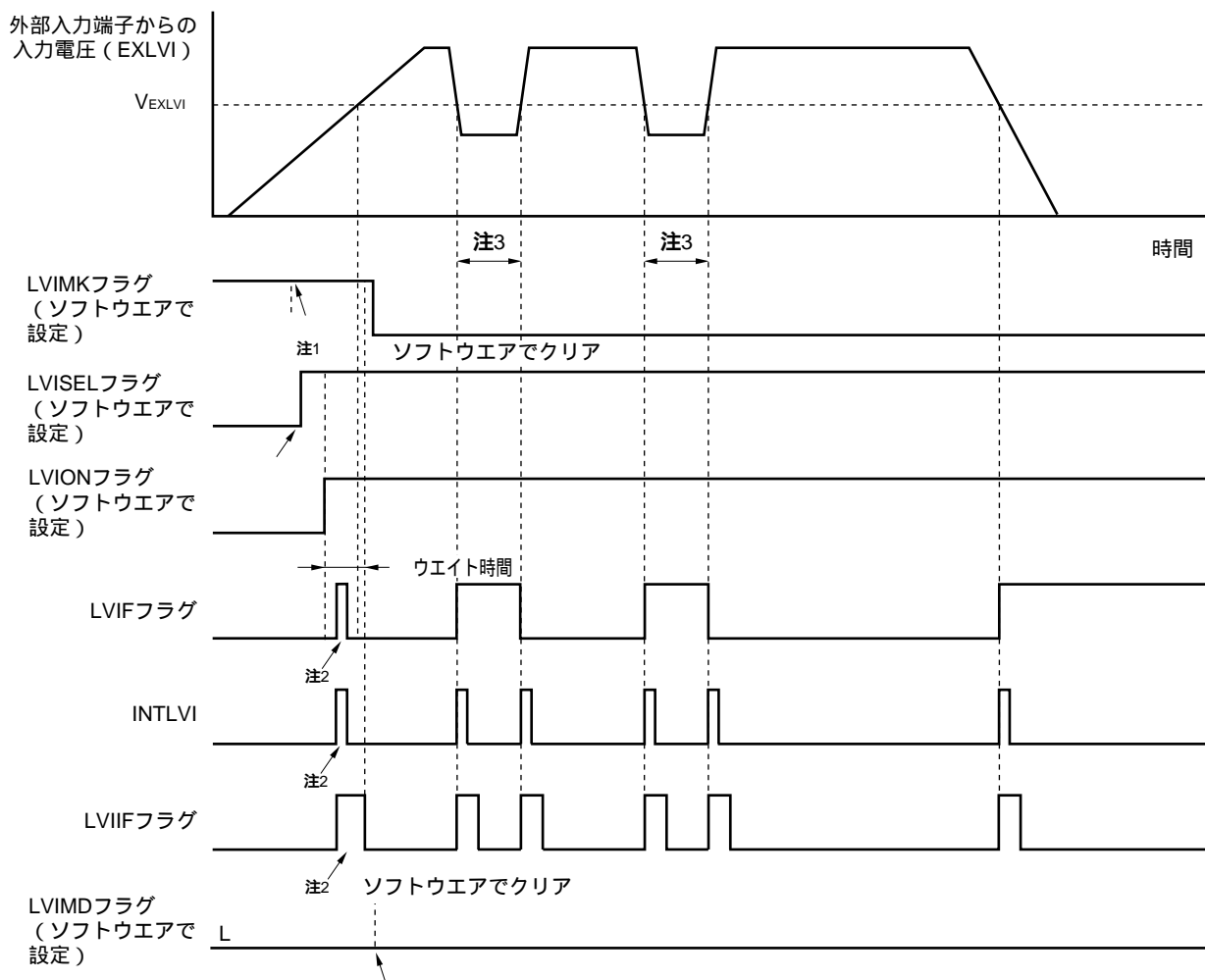
注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0)

図22 - 8 低電圧検出回路の割り込み信号発生タイミング
 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注 1. LVIMKフラグはリセット信号の発生により, “1” になっています。

2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。

3. LVI検出電圧未満の状態 でLVIONをクリア (0) した場合, INTLVI信号が発生し, LVIIIFが “1” になります。

備考 図22 - 8の ~ は, 22. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合
 動作開始時の ~ と対応しています。

22.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

このようなシステム構成の場合、次の処置をしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください (図22-9を参照)。

(2) 割り込みとして使用する場合

(a) LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット0 (LVIF) をクリア (0) してください。

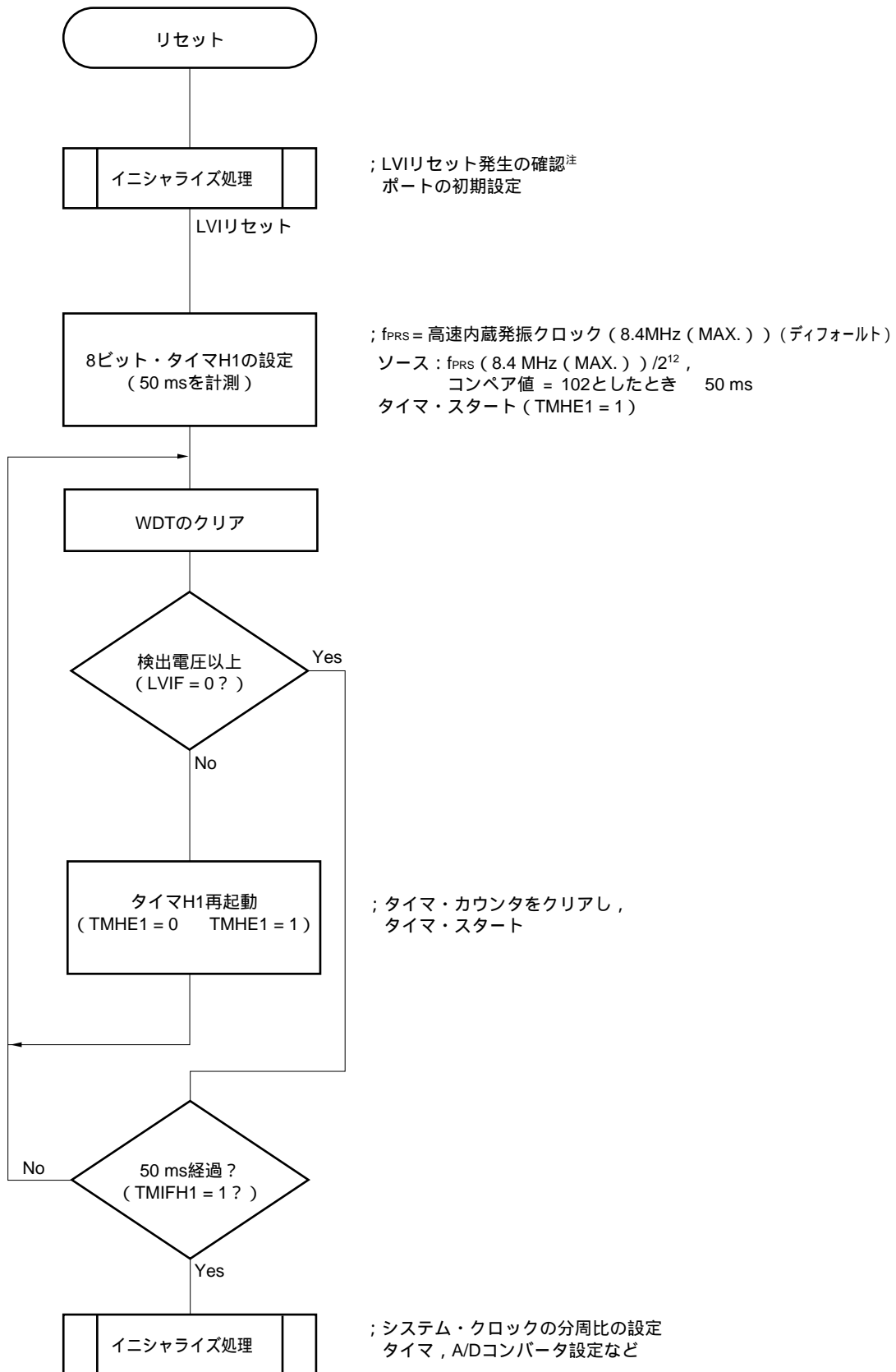
(b) LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとに、LVIFフラグにて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、LVIFフラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図22 - 9 リセット解除後のソフト処理例 (1/2)

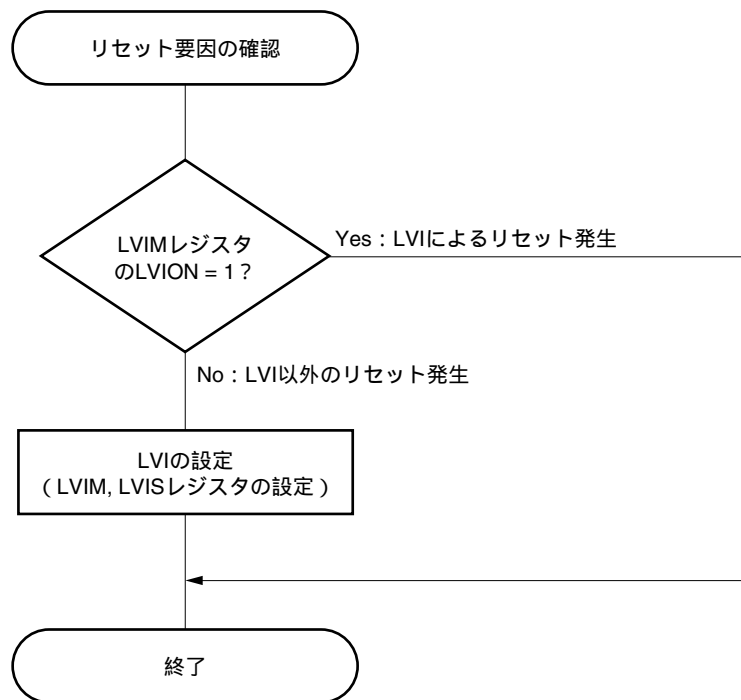
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図22 - 9 リセット解除後のソフト処理例 (2/2)

- ・リセット要因の確認



第23章 オプション・バイト

23.1 オプション・バイトの機能

78K0/Fx2マイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

注意 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H, 1083H) には、必ず00Hを設定してください。

(1) 0080H/080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのインターバル時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

注意 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

(2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (LVISTART = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えたりリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。

(A) 水準品では、電源投入から1.8 Vに達するまでの電圧の立ち上がりが、0.5 V/ms (MIN.) よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

- ・1.59 V POCモード動作時 (LVISTART = 0)

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えたりリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、LVISTARTを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

(3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・ オンチップ・デバッグ動作禁止
- ・ オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・ オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 オンチップ・デバッグ機能を使用する場合は, 0084Hに02Hまたは03Hを設定してください。また, ブート・スワップ時は, 0084Hと1084Hが切り替わるので, あらかじめ1084Hにも0084Hと同じ値を設定してください。

23.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図23 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H^注

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウント / 不正アクセス検出の動作制御
0	カウント動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウント動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット0 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

- 注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。
 - LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット0 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウント・クロックは供給されません。
ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウント・クロックが供給されます。
 - ビット7には必ず0を書き込んでください。

- 備考1. f_{RL} : 低速内蔵発振クロック周波数
- () 内は $f_{RL} = 264 \text{ kHz (MAX.)}$ の場合

図23 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H^{注1, 2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LVISTART

LVISTART	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

- 注1. LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、LVISTARTを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。
2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去（チップ消去）後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H, 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第25章 **オンチップ・デバッグ機能**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION: DB	30H		; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第19章 リセット機能**を参照してください。

第24章 フラッシュ・メモリ

78K0/Fx2マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

24.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表24 - 1に示す値を設定してください。

図24 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : FFF0H リセット時 : CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
1	0	0	0	32 Kバイト
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

注意 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表24 - 1 メモリ・サイズ切り替えレジスタの設定値

78K0/Fx2マイクロコントローラ	IMSの設定値
μ PD78F0881A, 78F0884A	C8H
μ PD78F0882A, 78F0885A, 78F0887A	CCH
μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A	CFH
μ PD78F0889A, 78F0892A, 78F0894A	CCH ^注
μ PD78F0890A, 78F0893A, 78F0895A	CCH ^注

注 μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aの内部ROM容量は、それぞれ96 Kバイトと128 Kバイトですが、メモリ・バンクを使用するため、内部ROM容量が48 Kバイトの製品と同じ設定値になります。メモリ・バンクの設定については、第4章 メモリ・バンク切り替え機能(μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ)を参照してください。

24.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量を選択できます。

IXSは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0CHになります。

注意 リセット解除後に各製品ごとに表24 - 2に示す値を設定してください。

図24 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

アドレス: FFF4H リセット時: 0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	0	1	0	1024バイト
0	1	0	0	0	2048バイト
0	0	1	0	0	4096バイト
0	0	0	0	0	6144バイト
上記以外					設定禁止

注意 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表24 - 2 内部拡張RAMサイズ切り替えレジスタの設定値

78K0/Fx2マイクロコントローラ	IXSの設定値
μ PD78F0881A, 78F0884A	0AH
μ PD78F0882A, 78F0885A, 78F0887A	08H
μ PD78F0883A, 78F0886A, 78F0888A, 78F0891A	08H
μ PD78F0889A, 78F0892A, 78F0894A	04H
μ PD78F0890A, 78F0893A, 78F0895A	00H

24.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/Fx2マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0/Fx2マイクロコントローラを実装する前に専用プログラム・アダプタ(FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

表24 - 3 78K0/FC2と専用フラッシュ・メモリ・プログラムの配線表 (μ PD78F0881A, 78F0882A, 78F0883A)

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		UART60使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	29	TxD60/P13	28
SO/TxD	出力	送信信号	SI10/RxD61/P11	30	RxD60/P14	27
SCK	出力	転送クロック	SCK10/TxD61/P10	31	-	-
CLK	出力	78K0/FC2へのクロック	- ^{注1}	-	注2	注2
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	3	$\overline{\text{RESET}}$	3
FLMD0	出力	モード信号	FLMD0	6	FLMD0	6
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	11	V _{DD}	11
			EV _{DD}	11	EV _{DD}	11
			AV _{REF}	32	AV _{REF}	32
GND	-	グラウンド	V _{SS}	10	V _{SS}	10
			EV _{SS}	10	EV _{SS}	10
			AV _{SS}	33	AV _{SS}	33

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラムのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラムの種類により、接続する端子が異なります。

・ PG-FP5, FL-PR5, PG-FP4, FL-PR4 : プログラムのCLKとEXCLK/X2/P122 (ピン番号 : 7) を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図24 - 3 3線式シリアルI/O (CSI10)方式でのフラッシュ書き込み用アダプタ配線例
(78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883A)

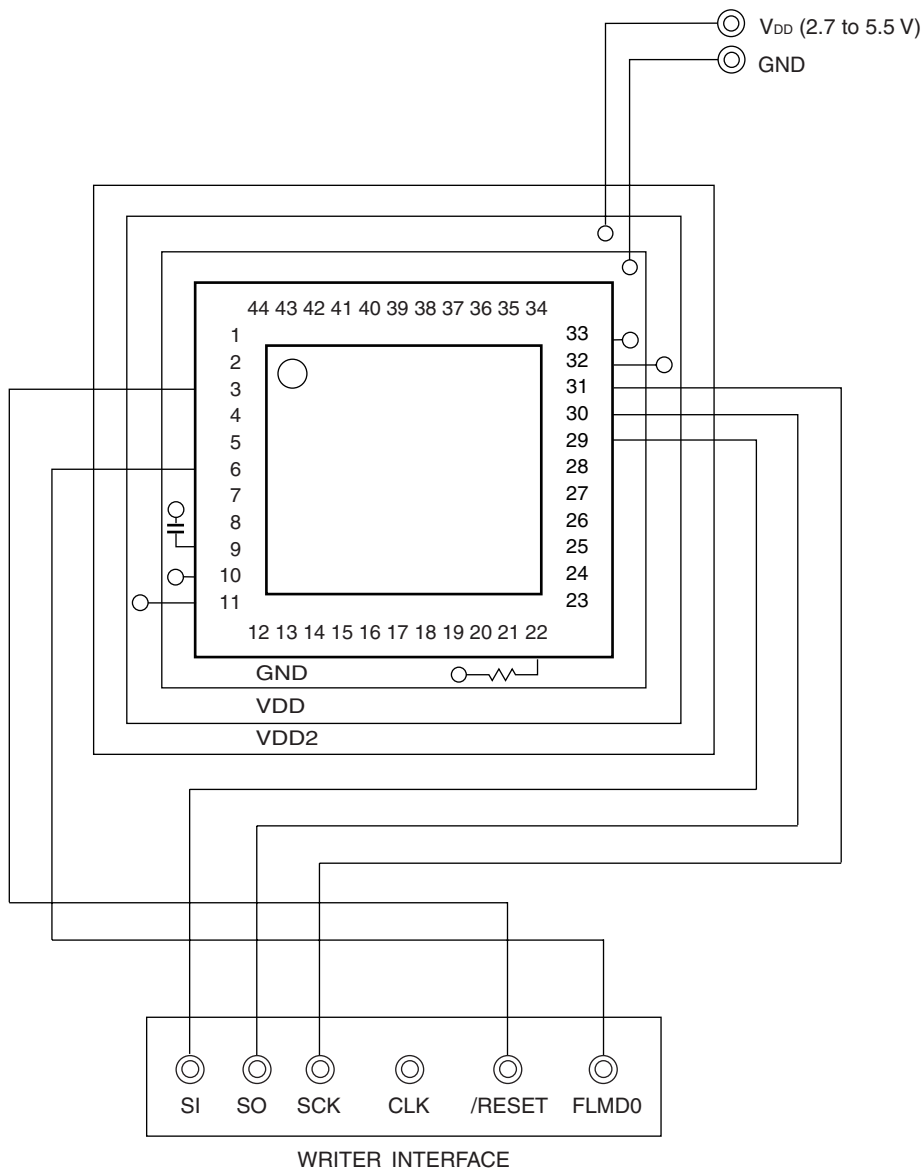
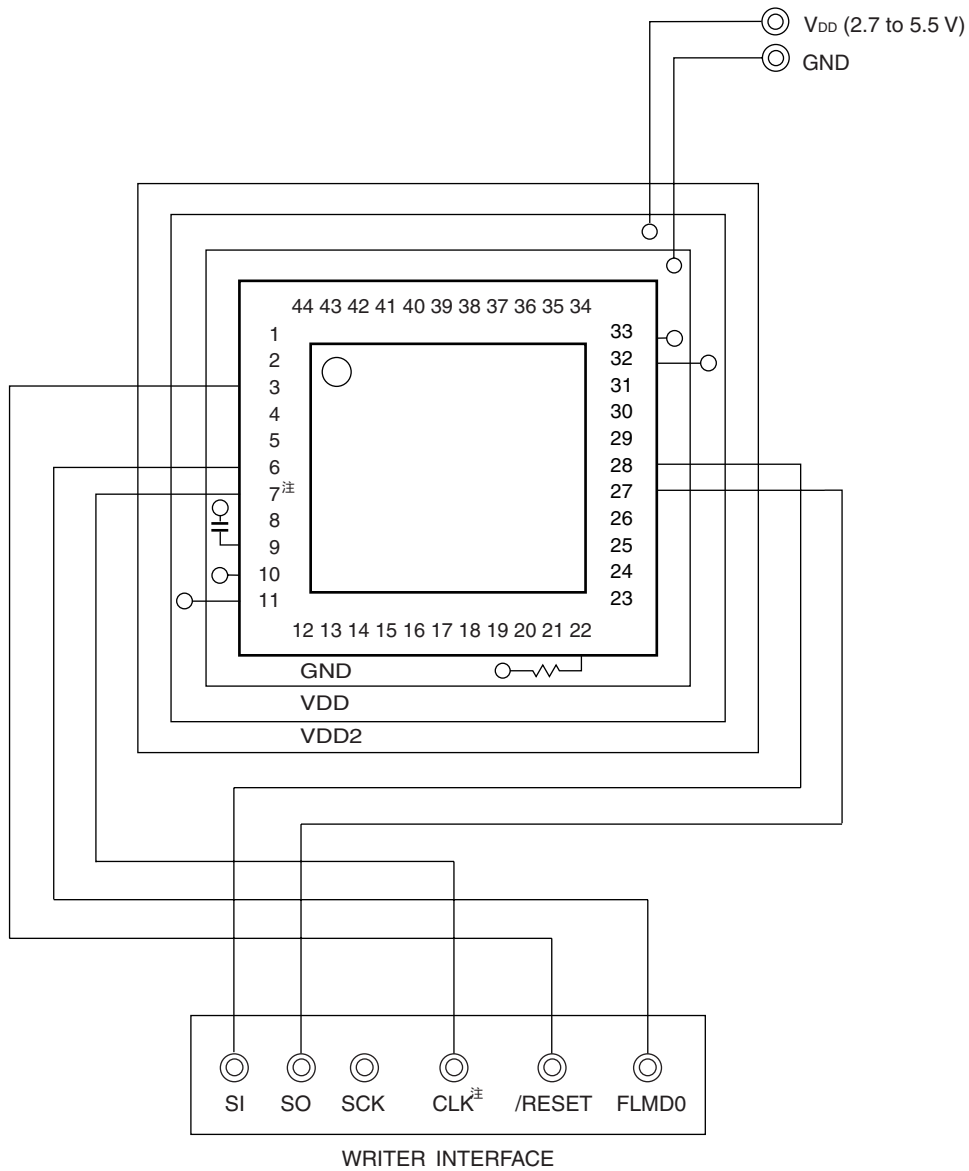


図24 - 4 UART (UART60) 方式でのフラッシュ書き込み用アダプタ配線例
 (78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883A)



注 上図は、PG-FP5, FL-PR5, PG-FP4, FL-PR4のクロック・アウトを使用する場合の配線例です。

表24 - 4 78K0/FC2と専用フラッシュ・メモリ・プログラムの配線表
 (μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A)

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		UART60使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	32	TxD60/P13	31
SO/TxD	出力	送信信号	SI10/RxD61/P11	33	RxD60/P14	30
SCK	出力	転送クロック	$\overline{\text{SCK10/TxD61/P10}}$	34	-	-
CLK	出力	78K0/FC2へのクロック	- 注1	-	注2	注2
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	4	$\overline{\text{RESET}}$	4
FLMD0	出力	モード信号	FLMD0	7	FLMD0	7
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	12	V _{DD}	12
			EV _{DD}	12	EV _{DD}	12
			AV _{REF}	35	AV _{REF}	35
GND	-	グラウンド	V _{SS}	11	V _{SS}	11
			EV _{SS}	11	EV _{SS}	11
			AV _{SS}	36	AV _{SS}	36

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラムのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラムの種類により、接続する端子が異なります。

・ PG-FP5, FL-PR5, PG-FP4, FL-PR4 : プログラムのCLKとEXCLK/X2/P122 (ピン番号 : 8) を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図24 - 5 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例
 (78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A)

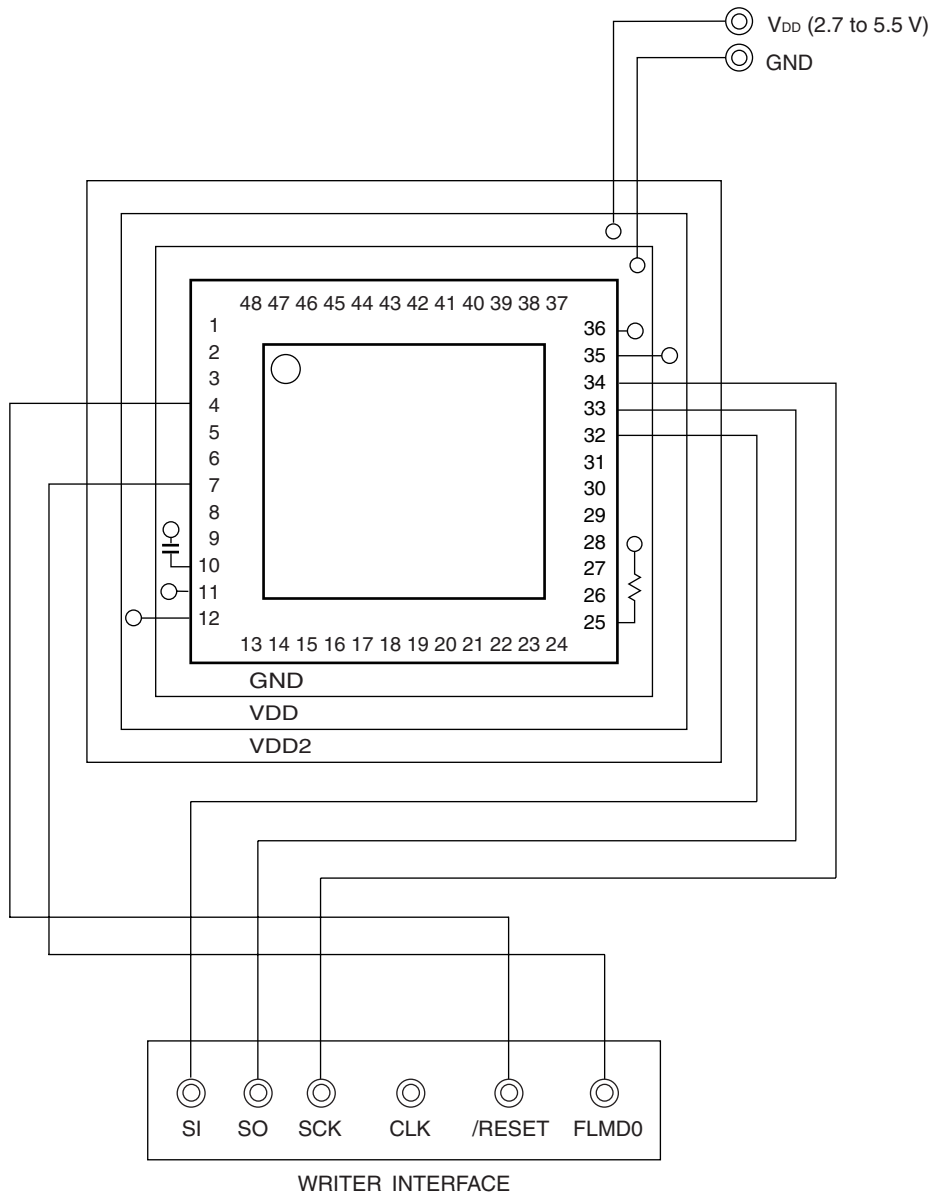
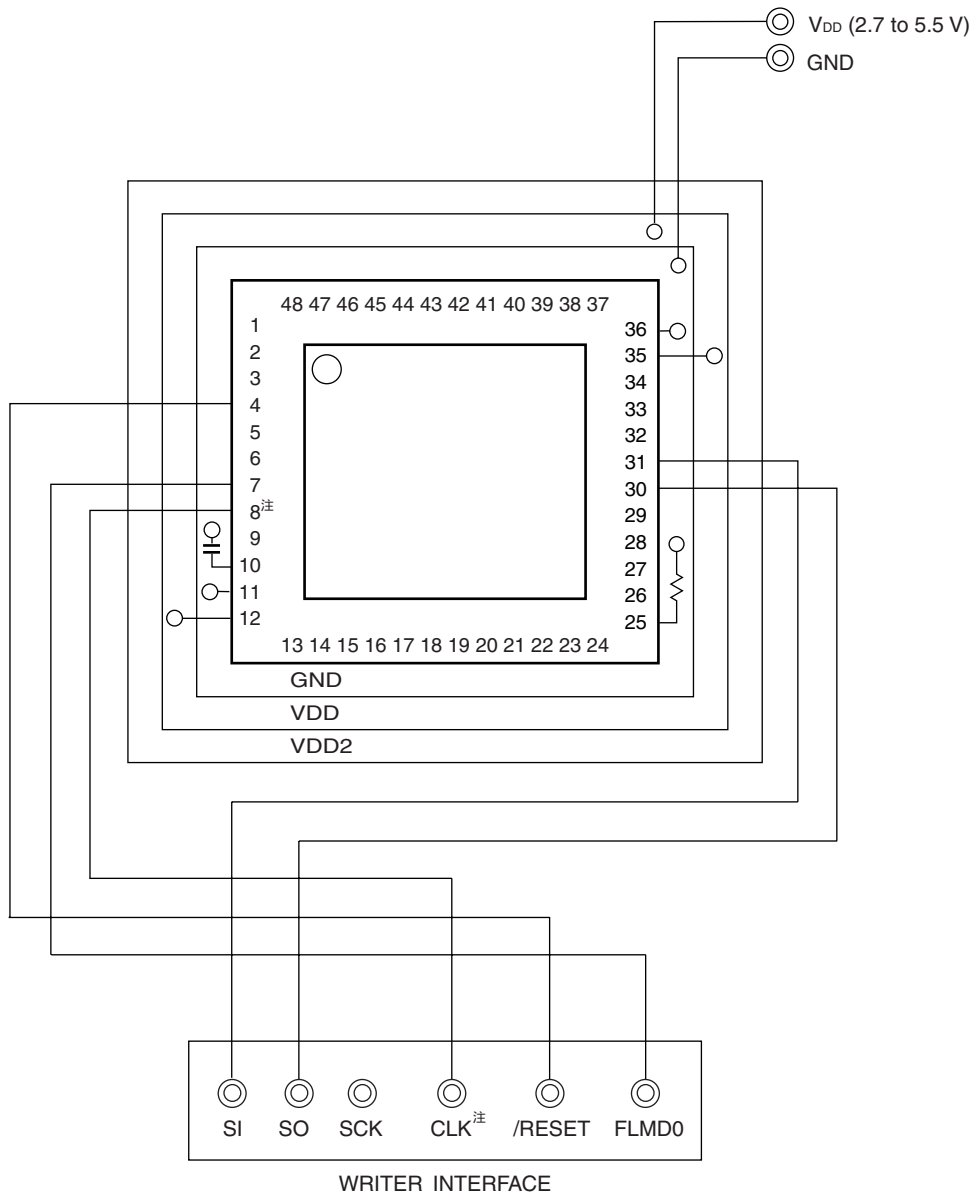


図24 - 6 UART (UART60) 方式でのフラッシュ書き込み用アダプタ配線例
 (78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895A)



注 上図は , PG-FP5, FL-PR5, PG-FP4, FL-PR4のクロック・アウトを使用する場合の配線例です。

表24 - 5 78K0/FE2と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		UART60使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	44	TxD60/P13	43
SO/TxD	出力	送信信号	SI10/RxD61/P11	45	RxD60/P14	42
SCK	出力	転送クロック	$\overline{\text{SCK10/TxD61/P10}}$	46	-	-
CLK	出力	78K0/FE2へのクロック	- ^{注1}	-	注2	注2
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	6	$\overline{\text{RESET}}$	6
FLMD0	出力	モード信号	FLMD0	9	FLMD0	9
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	15	V _{DD}	15
			EV _{DD}	16	EV _{DD}	16
			AV _{REF}	47	AV _{REF}	47
GND	-	グラウンド	V _{SS}	13	V _{SS}	13
			EV _{SS}	14	EV _{SS}	14
			AV _{SS}	48	AV _{SS}	48

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラムのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラムの種類により、接続する端子が異なります。

・ PG-FP5, FL-PR5, PG-FP4, FL-PR4 : プログラムのCLKとEXCLK/X2/P122 (ピン番号: 10) を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図24 - 7 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例 (78K0/FE2)

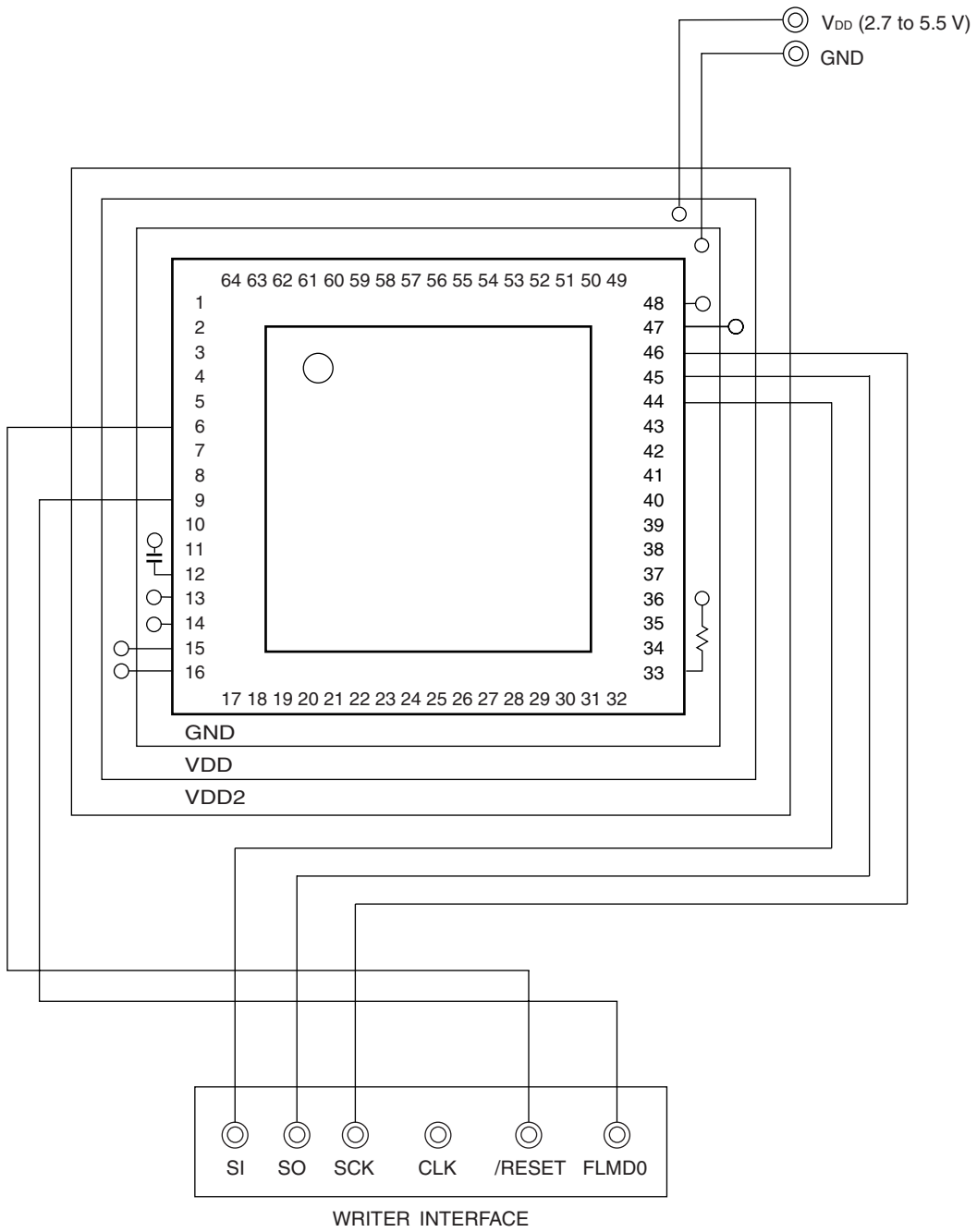
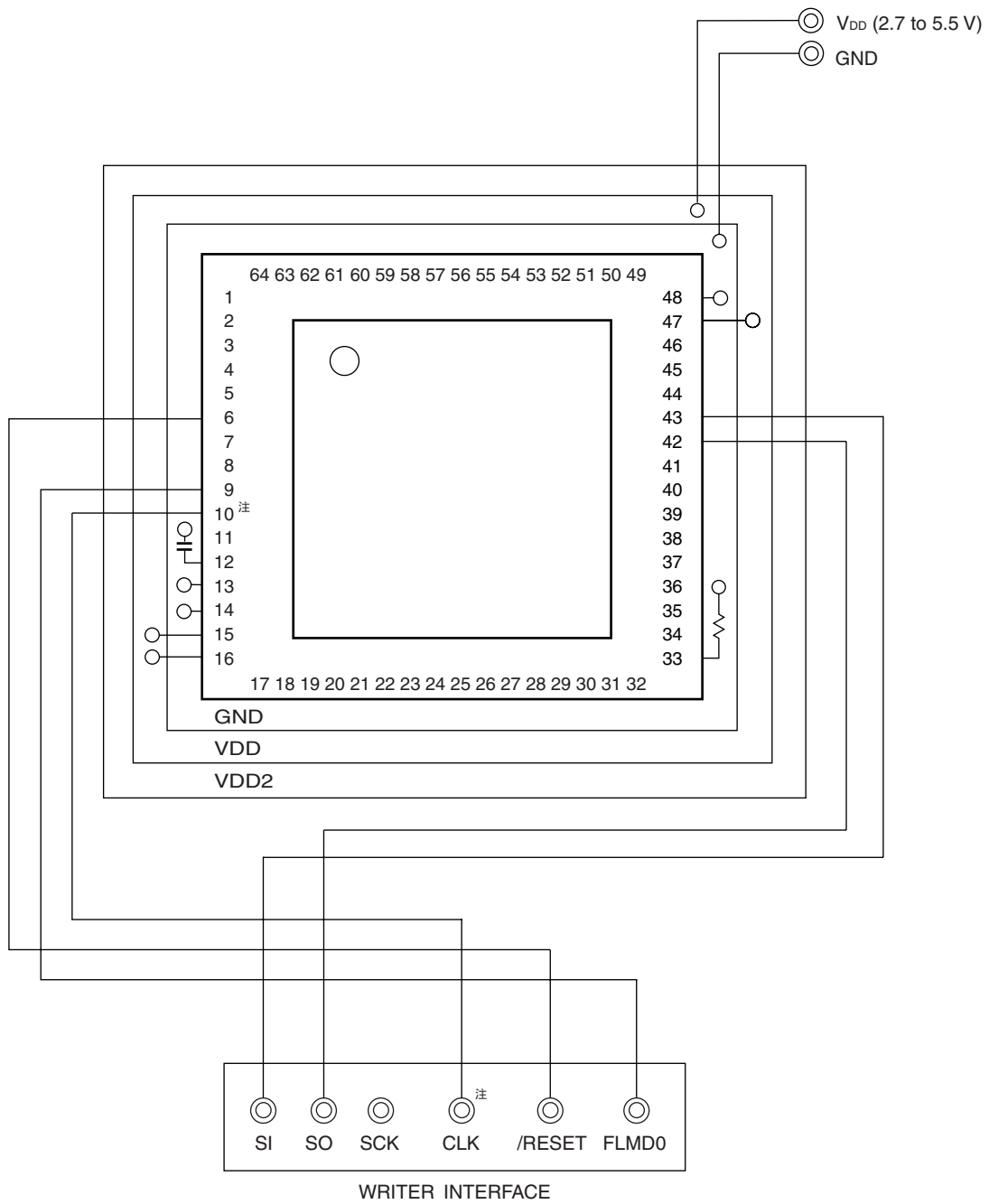


図24 - 8 UART (UART60) 方式でのフラッシュ書き込み用アダプタ配線例 (78K0/FE2)



注 上図は , PG-FP5, FL-PR5, PG-FP4, FL-PR4のクロック・アウトを使用する場合の配線例です。

表24 - 6 78K0/FF2と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		UART60使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	52	TxD60/P13	51
SO/TxD	出力	送信信号	SI10/RxD61/P11	53	RxD60/P14	50
SCK	出力	転送クロック	SCK10/TxD61/P10	54	-	-
CLK	出力	78K0/Fx2へのクロック	- 注1	-	注2	注2
/RESET	出力	リセット信号	RESET	10	RESET	10
FLMD0	出力	モード信号	FLMD0	13	FLMD0	13
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	19	V _{DD}	19
			EV _{DD}	20	EV _{DD}	20
			AV _{REF}	59	AV _{REF}	59
GND	-	グラウンド	V _{SS}	17	V _{SS}	17
			EV _{SS}	18	EV _{SS}	18
			AV _{SS}	60	AV _{SS}	60

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラムのクロック・アウトを使用する場合、専用フラッシュ・メモリ・プログラムの種類により、接続する端子が異なります。

・ PG-FP5, FL-PR5, PG-FP4, FL-PR4 : プログラムのCLKとEXCLK/X2/P122 (ピン番号: 14) を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図24 - 9 3線式シリアルI/O (CSI10) 方式でのフラッシュ書き込み用アダプタ配線例 (78K0/FF2)

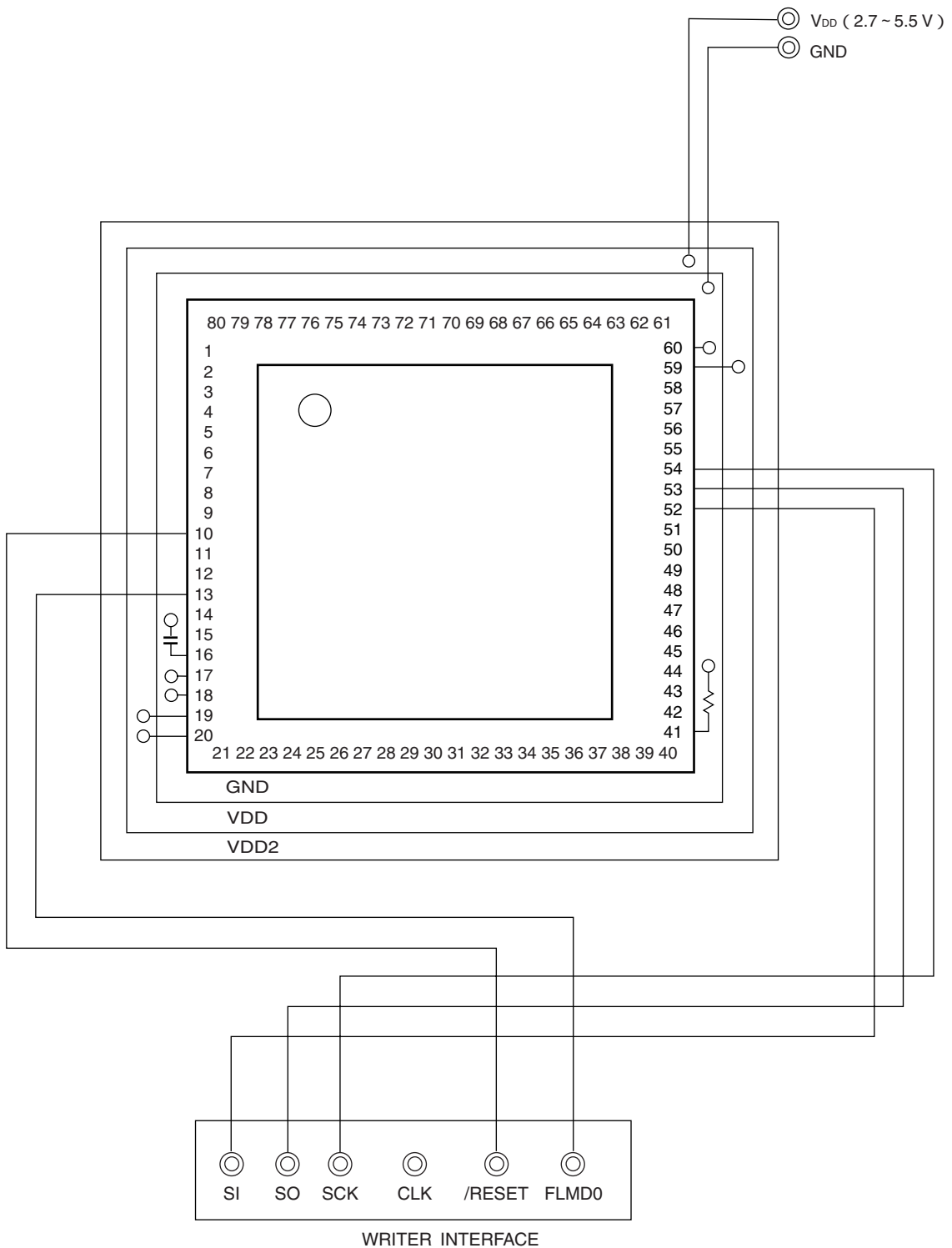
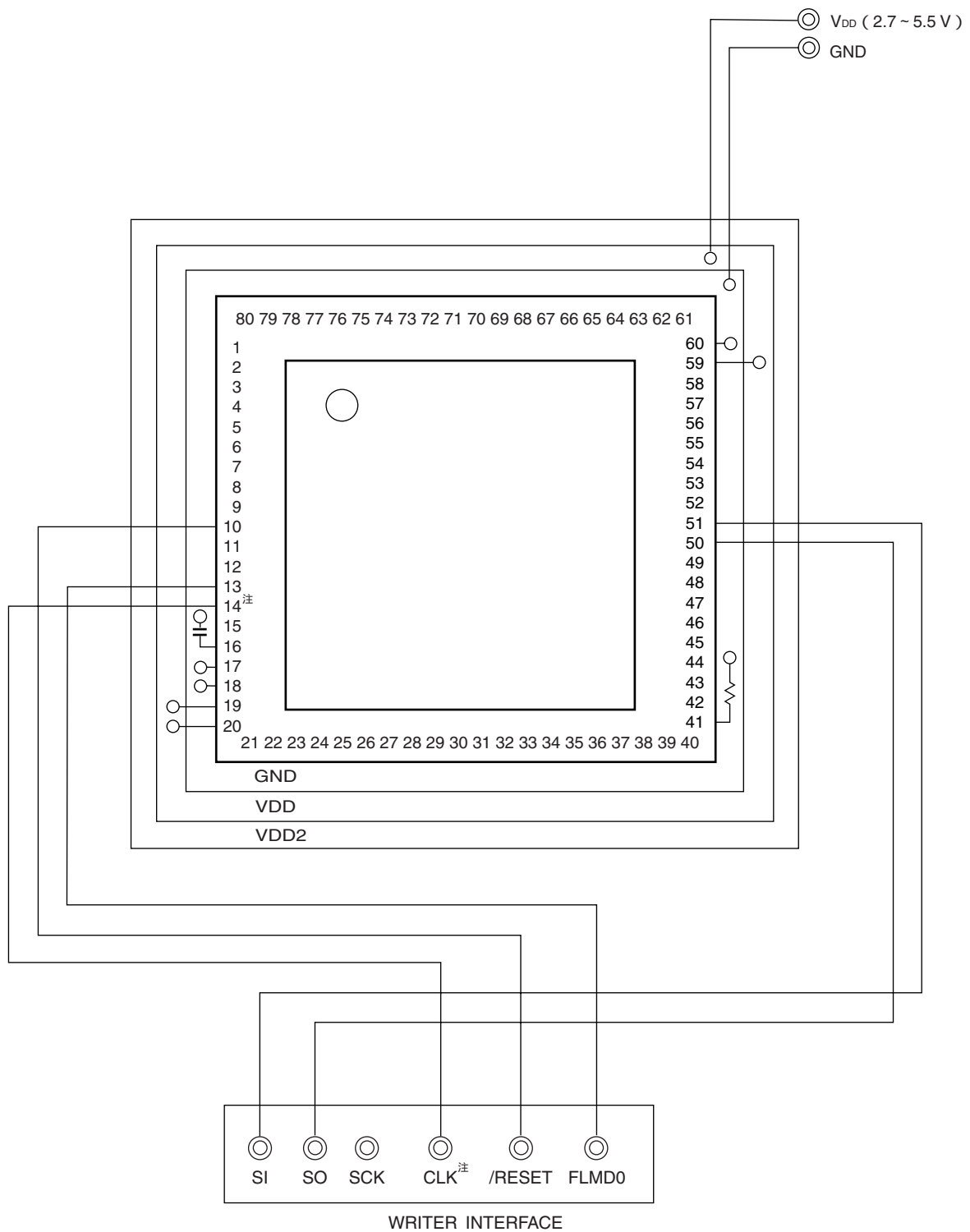


図24 - 10 UART (UART60) 方式でのフラッシュ書き込み用アダプタ配線例 (78K0/FF2)

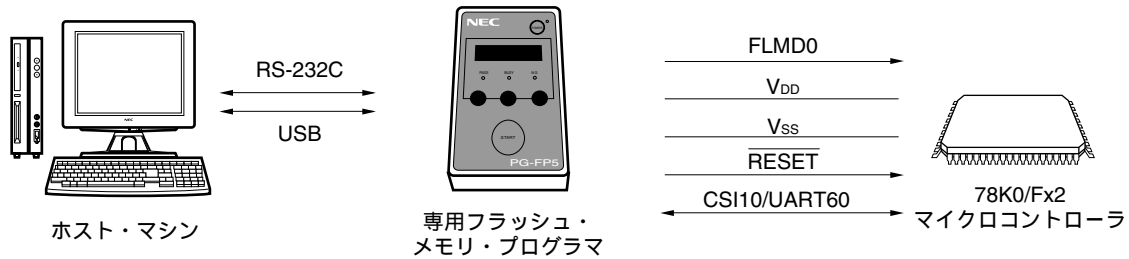


注 上図は , PG-FP5, FL-PR5, PG-FP4, FL-PR4のクロック・アウトを使用する場合の配線例です。

24.4 プログラミング環境

78K0/Fx2マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24 - 11 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Fx2マイクロコントローラとのインタフェースはCSI10またはUART60を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

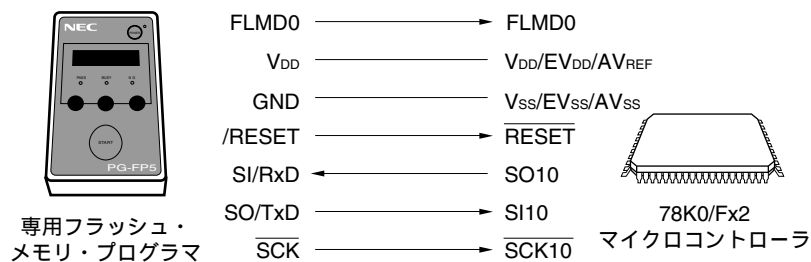
24.5 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Fx2マイクロコントローラとの通信は、78K0/Fx2マイクロコントローラのCSI10またはUART60によるシリアル通信で行います。

(1) CSI10

転送レート：2.4 kHz～2.5 MHz

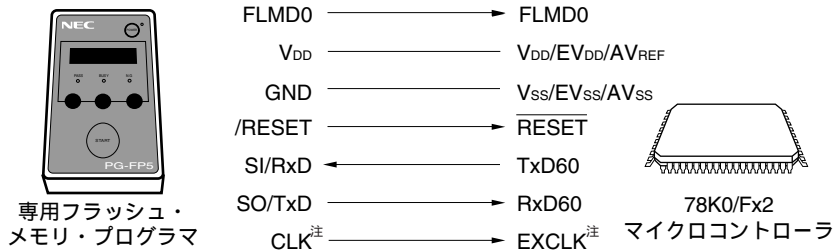
図24 - 12 専用フラッシュ・メモリ・プログラマとの通信（CSI10）



(2) UART60

転送レート : 115200 bps

図24 - 13 専用フラッシュ・メモリ・プログラマとの通信 (UART60)



注 上図は , PG-FP5, FL-PR5, PG-FP4, FL-PR4のクロック・アウトを使用する場合のものです。

専用フラッシュ・メモリ・プログラマは78K0/Fx2マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5, PG-FP4またはFL-PR4のマニュアルを参照してください。

表24 - 7 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/Fx2マイクロコントローラ	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART60
FLMD0	出力	モード信号	FLMD0		
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD} , AV _{REF}		
GND	-	グラウンド	V _{SS} , EV _{SS} , AV _{SS}		
CLK	出力	78K0/Fx2マイクロコントローラへのクロック出力	注1	x ^{注2}	注1
/RESET	出力	リセット信号	RESET		
SI/RxD	入力	受信信号	SO10/TxD60		
SO/TxD	出力	送信信号	SI10/RxD60		
SCK	出力	転送クロック	SCK10		x

注1. UART60使用時は, X1クロック (fx) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合, 専用フラッシュ・メモリ・プログラマの種類により, 接続する端子が異なります。

・ PG-FP5, FL-PR5, PG-FP4, FL-PR4 : プログラマのCLKとEXCLK/X2/P122を接続してください。

2. CSI10使用時は, 高速内蔵発振クロック (f_{RH}) のみ使用できます。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば, 接続の必要はありません。

x : 接続の必要はありません。

24.6 オンボード上の端子処理

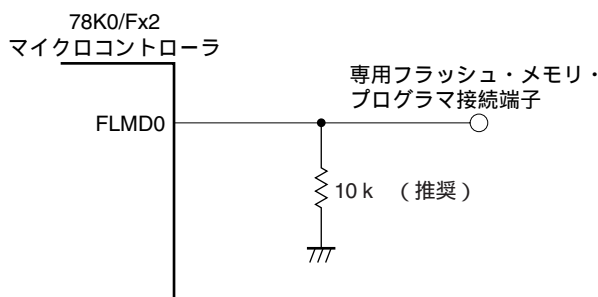
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

24.6.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図24 - 14 FLMD0端子の接続例



24.6.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表24 - 8 各シリアル・インタフェースが使用する端子

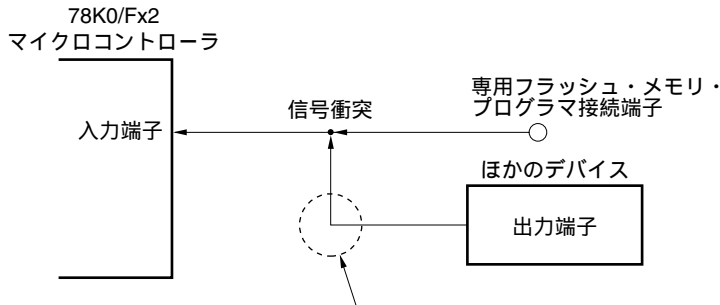
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, SCK10
UART60	TxD60, RxD60

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図24 - 15 信号の衝突（シリアル・インタフェースの入力端子）

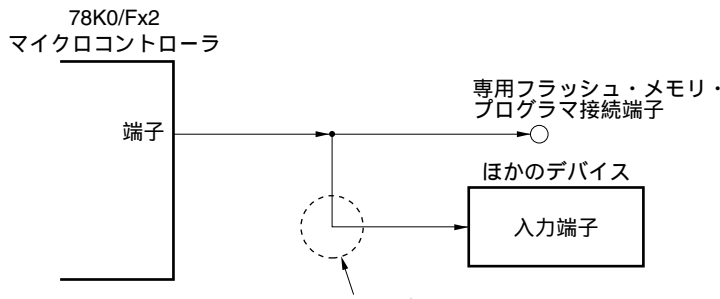


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

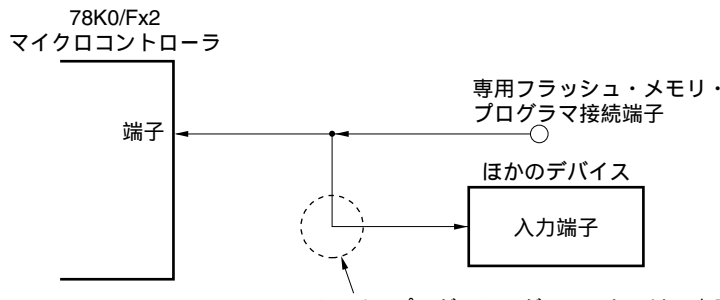
(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図24 - 16 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、78K0/Fx2マイクロコントローラが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



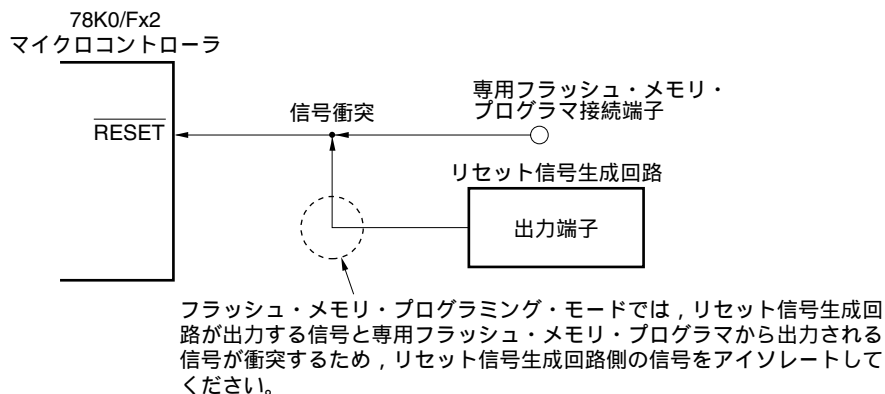
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・メモリ・プログラマが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

24.6.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図24 - 17 信号の衝突 (RESET端子)



24.6.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

24.6.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF : 推奨) を介し、GNDに接続してください。

24.6.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。
ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合、次のように接続してください。

・PG-FP5, FL-PR5, PG-FP4, FL-PR4：プログラマのCLKとEXCLK/X2/P122を接続してください。

注意1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。

3. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/TI002/INTP2, P121/X1を次のように処理してください。

・P31/TI002/INTP2：抵抗 (10 k Ω ：推奨) を介してEV_{SS}に接続してください。

・P121/X1：ポートとして使用する場合は、抵抗 (10 k Ω ：推奨) を介してV_{SS}に接続 (入力時) またはオープン (出力時) にしてください。

セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。

24.6.7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}, GNDと必ず接続してください。

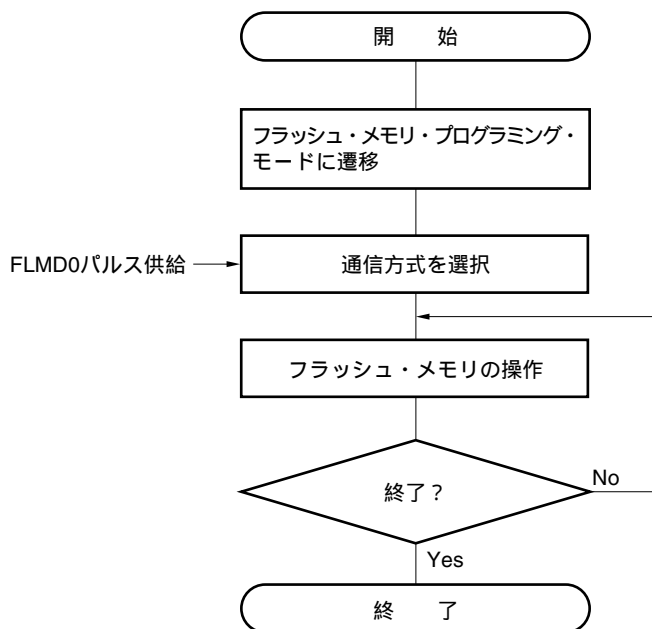
その他の電源 (EV_{DD}, EV_{SS}, AV_{REF}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

24.7 プログラミング方法

24.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図24 - 18 フラッシュ・メモリの操作手順



24.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Fx2 マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図24 - 19 フラッシュ・メモリ・プログラミング・モード

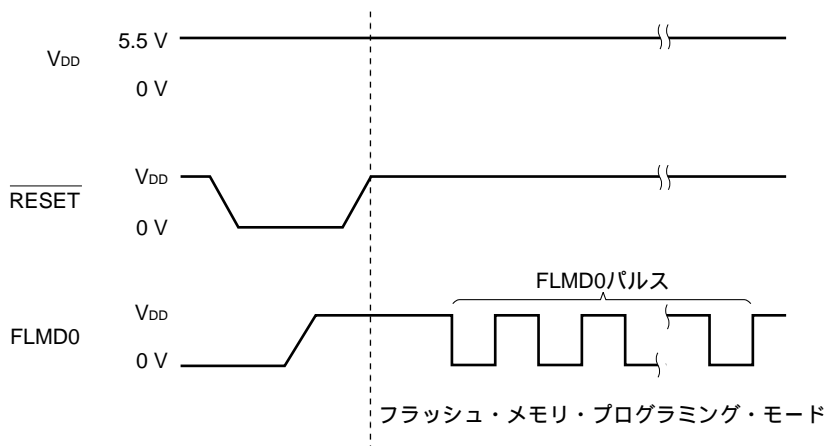


表24 - 9 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

24.7.3 通信方式の選択

78K0/Fx2マイクロコントローラでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大8パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表24 - 10 通信方式一覧

通信方式	Standard設定 ^{注1}				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART60)	UART-Ext-Osc	115200 bps ^{注3}	2 M-20 MHz ^{注2}	1.0	TxD60,	f _x	0
	UART-Ext-FP4CK				RxD60	f _{EXCLK}	3
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz-2.5 MHz	-		SO10, SI10, SCK10	f _{RH}	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第27章 電気的特性(A)水準品, 第28章 電気的特性(A2)水準品)を参照してください。
3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

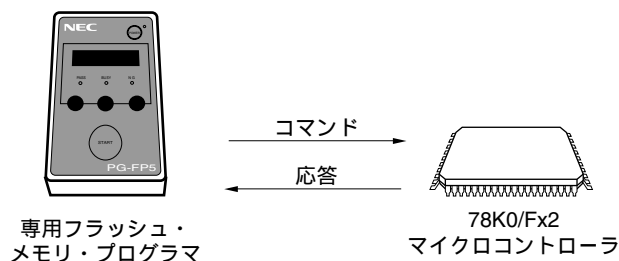
注意 UART60選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

備考 f_x : X1クロック
f_{EXCLK} : 外部メイン・システム・クロック
f_{RH} : 高速内蔵発振クロック

24.7.4 通信コマンド

78K0/Fx2マイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0/Fx2マイクロコントローラへ送られる信号を「コマンド」と呼び、78K0/Fx2マイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図24 - 20 通信コマンド



78K0/Fx2マイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Fx2マイクロコントローラがコマンドに対応した各処理を行います。

表24 - 11 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	78K0/Fx2情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Fx2バージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、78K0/Fx2マイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0/Fx2マイクロコントローラが送出する応答名称を次に示します。

表24 - 12 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

24.8 セキュリティ設定

78K0/Fx2マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、一括消去（チップ消去）コマンド、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Fx2マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24 - 13に示します。

表24 - 13 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表24 - 14に示します。

表24 - 14 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

24.9 PG-FP4, PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP4, PG-FP5を使用した場合の、各コマンド処理時間（参考値）を次に示します。

表24 - 15 PG-FP4, PG-FP5使用時の各コマンド処理時間（参考値）（1/2）

(1) μ PD78F0881A, 78F0884A（内部ROM容量：32 Kバイト）

PG-FP4, PG-FP5のコ マンド	Port: CSI-Internal-OSC（高速内蔵発 振クロック（ f_{RH} ）使用）, Speed:2.5 MHz,	Port: UART-Ext-FP4CK （外部メイン・システム・クロック（ f_{EXCLK} ）使用）, Speed:115200 bps,	
		Frequency:2.0 MHz	Frequency:20 MHz
Signature	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Blankcheck	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Erase	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Program	2.5 s (TYP.)	5 s (TYP.)	5 s (TYP.)
Verify	1.5 s (TYP.)	4 s (TYP.)	3.5 s (TYP.)
E.P.V	3.5 s (TYP.)	6 s (TYP.)	6 s (TYP.)
Checksum	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Security	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

(2) μ PD78F0883A, 78F0886A（内部ROM容量：60 Kバイト）

PG-FP4, PG-FP5のコ マンド	Port: CSI-Internal-OSC（高速内蔵発 振クロック（ f_{RH} ）使用）, Speed:2.5 MHz	Port: UART-Ext-FP4CK （外部メイン・システム・クロック（ f_{EXCLK} ）使用）, Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Signature	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Program	5 s (TYP.)	9 s (TYP.)	9 s (TYP.)
Verify	2 s (TYP.)	6.5 s (TYP.)	6.5 s (TYP.)
E.P.V	6 s (TYP.)	10.5 s (TYP.)	10.5 s (TYP.)
Checksum	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

表24 - 15 PG-FP4, PG-FP5使用時の各コマンド処理時間(参考値)(2/2)

(3) μ PD78F0890A, 78F0893A, 78F0895A (内部ROM容量: 128 Kバイト)

PG-FP4, PG-FP5のコ マンド	Port: CSI-Internal-OSC (高速内蔵発 振クロック (f _{RH}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f _{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Signature	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Program	9.5 s (TYP.)	18 s (TYP.)	18 s (TYP.)
Verify	4.5 s (TYP.)	13.5 s (TYP.)	13.5 s (TYP.)
E.P.V	11 s (TYP.)	19.5 s (TYP.)	19.5 s (TYP.)
Checksum	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)

注意 ブート・スワップを行う場合,専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

24.10 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Fx2マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0/Fx2セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

備考 セルフ・プログラミング機能の詳細および78K0/Fx2セルフ・プログラミング・ライブラリの詳細については、発行予定の別ドキュメント(資料名:78K0/Fx2 アプリケーション・ノート,発行時期:未定)を参照してください。

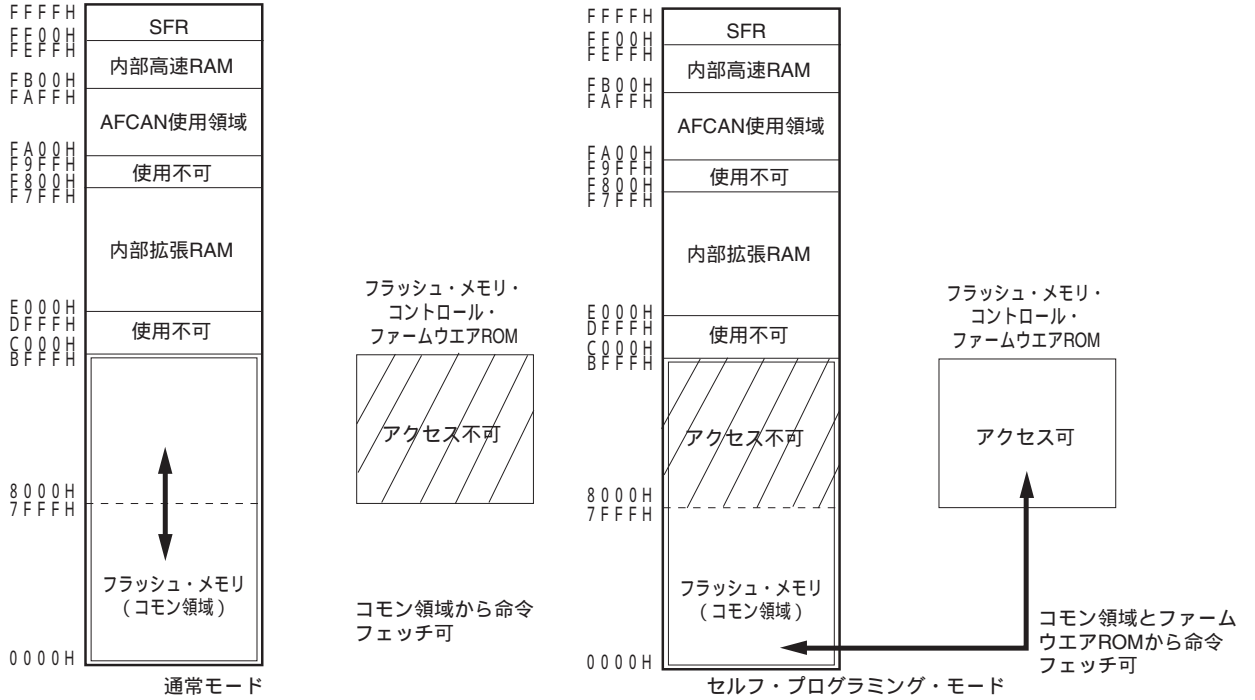
- 注意1.** CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
2. セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
 3. セルフ・プログラミング開始前に必ずDI命令を実行してください。
セルフ・プログラミング機能は割り込み要求フラグ(IF0L, IF0H, IF1L, IF1H)を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
 4. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H)で割り込みをマスクしてください。
 5. セルフ・プログラミングは、高速内蔵発振クロックで動作します。したがって、CPUがX1クロックまたは外部メイン・システム・クロックの場合、セルフ・プログラミング中に高速内蔵発振クロックの発振安定ウエイト時間が生じます。

(注意6と注意7は次頁にあります。)

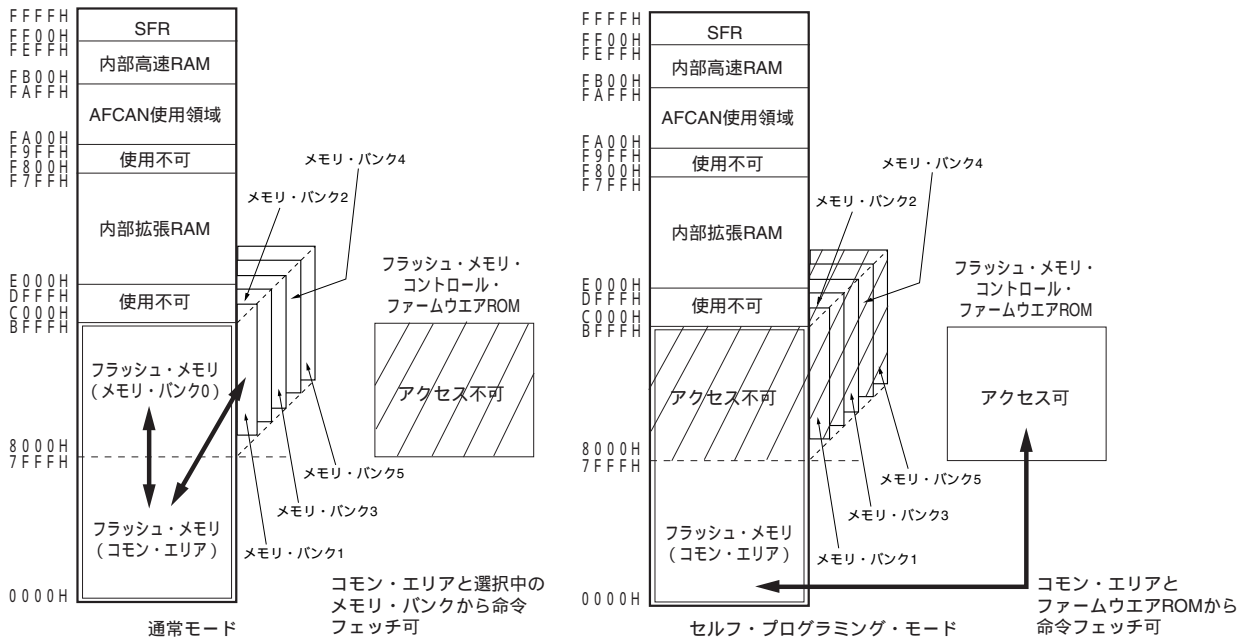
注意6. セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHのコモン・エリアに配置してください。

図24 - 21 セルフ・プログラミングの動作モードとメモリ・マップ

(1) μ PD78F0883A, 78F0886Aの場合



(2) μ PD78F0890A, 78F0893A, 78F0895Aの場合



7. フラッシュ・メモリ・サイズが96 KBおよび128 KBの場合、フラッシュ書き込み/消去アドレスは、CPUアドレスではなく、フラッシュ実アドレスを指定してください。

表24 - 16 バンク番号, CPUアドレスとフラッシュ実アドレス対応表

(a) μ PD78F0889A, 78F0892A, 78F0894A

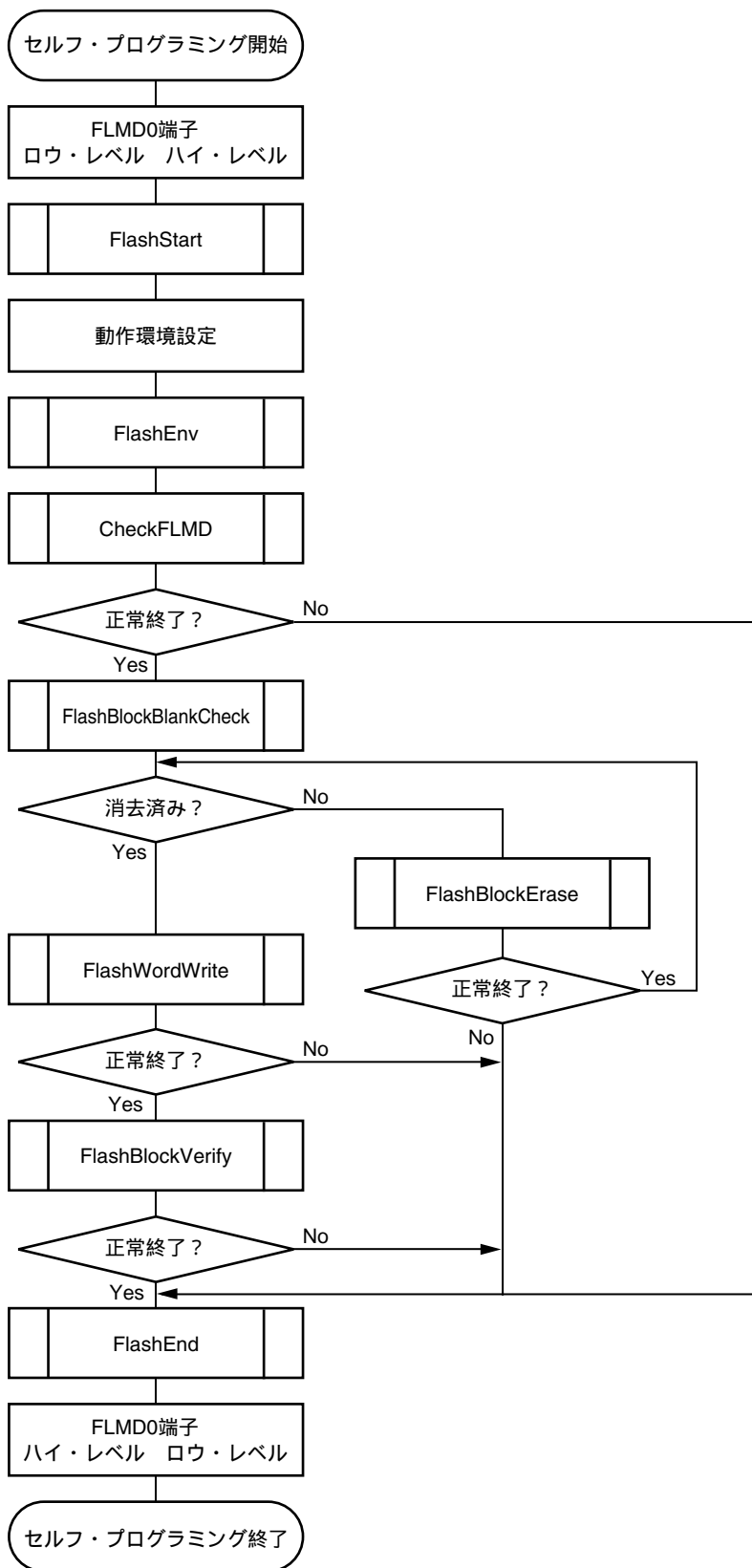
バンク番号	CPUアドレス	フラッシュ実アドレス
-	0000H-7FFFH (コモン・エリア)	00000H-07FFFH
0	8000H-BFFFH	08000H-0BFFFH
1		0C000H-0FFFFH
2		10000H-13FFFH
3		14000H-17FFFH
4以上	設定禁止	

(b) μ PD78F0890A, 78F0893A, 78F0895A

バンク番号	CPUアドレス	フラッシュ実アドレス
-	0000H-7FFFH (コモン・エリア)	00000H-07FFFH
0	8000H-BFFFH	08000H-0BFFFH
1		0C000H-0FFFFH
2		10000H-13FFFH
3		14000H-17FFFH
4		18000H-1BFFFH
5		1C000H-1FFFFH
6以上	設定禁止	

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図24 - 22 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



次に、セルフ・プログラミング・ライブラリの処理時間と割り込み応答時間を示します。

表24 - 17 セルフ・プログラミング・ライブラリの処理時間 (1/3)

(1) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: μ s)				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	4.0	4.5	4.0	4.5	
イニシャライズ・ライブラリ	1105.9	1106.6	1105.9	1106.6	
モード・チェック・ライブラリ	905.7	906.1	904.9	905.3	
ブロック・ブランク・チェック・ライブラリ	12776.1	12778.3	12770.9	12772.6	
ブロック・イレース・ライブラリ	26050.4	349971.3	26045.3	349965.6	
ワード・ライト・ライブラリ	1180.1+203 × w	1184.3+2241 × w	1172.9+203 × w	1176.3+2241 × w	
ブロック・ベリファイ・ライブラリ	25337.9	25340.2	25332.8	25334.5	
セルフ・プログラミング・エンド・ライブラリ	4.0	4.5	4.0	4.5	
ゲット・インフォメーション・ライブラリ	オプション値: 03H	1072.9	1075.2	1067.5	1069.1
	オプション値: 04H	1060.2	1062.6	1054.8	1056.6
	オプション値: 05H	1023.8	1028.2	1018.3	1022.1
セット・インフォメーション・ライブラリ	70265.9	759995.0	70264.9	759994.0	
EEPROMライト・ライブラリ	1316.8+347 × w	1320.9+2385 × w	1309.0+347 × w	1312.4+2385 × w	

(2) 高速内蔵発振クロック使用時、エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: μ s)				
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ		
	Min.	Max.	Min.	Max.	
セルフ・プログラミング・スタート・ライブラリ	4.0	4.5	4.0	4.5	
イニシャライズ・ライブラリ	449.5	450.2	449.5	450.2	
モード・チェック・ライブラリ	249.3	249.7	248.6	248.9	
ブロック・ブランク・チェック・ライブラリ	12119.7	12121.9	12114.6	12116.3	
ブロック・イレース・ライブラリ	25344.7	349266.4	25339.6	349260.8	
ワード・ライト・ライブラリ	445.8+203 × w	449.9+2241 × w	438.5+203 × w	441.9+2241 × w	
ブロック・ベリファイ・ライブラリ	24682.7	24684.9	24677.6	24679.3	
セルフ・プログラミング・エンド・ライブラリ	4.0	4.5	4.0	4.5	
ゲット・インフォメーション・ライブラリ	オプション値: 03H	417.6	419.8	412.1	413.8
	オプション値: 04H	405.0	407.4	399.5	401.3
	オプション値: 05H	367.4	371.8	361.9	365.8
セット・インフォメーション・ライブラリ	69569.3	759297.3	69568.3	759296.2	
EEPROMライト・ライブラリ	795.1+347 × w	799.3+2385 × w	787.4+347 × w	790.8+2385 × w	

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

3. w: 書き込みデータのワード数 (1ワード = 4 バイト)

表24 - 17 セルフ・プログラミング・ライブラリの処理時間 (2/3)

(3) 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング外の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	55/f _{CPU} +594			
モード・チェック・ライブラリ	36/f _{CPU} +495		30/f _{CPU} +495	
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +6429		136/f _{CPU} +6429	
ブロック・イレース・ライブラリ	179/f _{CPU} +19713	179/f _{CPU} +268079	136/f _{CPU} +19713	136/f _{CPU} +268079
ワード・ライト・ライブラリ	333/f _{CPU} +647+136 × w	333/f _{CPU} +647+1647 × w	272/f _{CPU} +647+136 × w	272/f _{CPU} +647+1647 × w
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +13284		136/f _{CPU} +13284	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値: 03H	180/f _{CPU} +581		134/f _{CPU} +581
	オプション値: 04H	190/f _{CPU} +574		144/f _{CPU} +574
	オプション値: 05H	350/f _{CPU} +535		304/f _{CPU} +535
セット・インフォメーション・ライブラリ	80/f _{CPU} +43181	80/f _{CPU} +572934	72/f _{CPU} +43181	72/f _{CPU} +572934
EEPROMライト・ライブラリ	333/f _{CPU} +729+209 × w	333/f _{CPU} +729+1722 × w	268/f _{CPU} +729+209 × w	268/f _{CPU} +729+1722 × w

備考1. 上記の処理時間は, 書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で, かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. f_{CPU}: CPU動作クロック周波数
4. w: 書き込みデータのワード数 (1ワード = 4 バイト)

表24 - 17 セルフ・プログラミング・ライブラリの処理時間 (3/3)

(4) 高速システム・クロック (X1発振または外部クロック入力) 使用時, エントリRAMの配置がショート・ダイレクト・アドレッシング内の場合

ライブラリ名	処理時間 (単位: μ s)			
	Cコンパイラの ノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	Min.	Max.	Min.	Max.
セルフ・プログラミング・スタート・ライブラリ	34/f _{CPU}			
イニシャライズ・ライブラリ	55/f _{CPU} +272			
モード・チェック・ライブラリ	36/f _{CPU} +173		30/f _{CPU} +173	
ブロック・ブランク・チェック・ライブラリ	179/f _{CPU} +6108		136/f _{CPU} +6108	
ブロック・イレース・ライブラリ	179/f _{CPU} +19371	179/f _{CPU} +267738	136/f _{CPU} +19371	136/f _{CPU} +267738
ワード・ライト・ライブラリ	333/f _{CPU} +247+ 136 × w	333/f _{CPU} +247+ 1647 × w	272/f _{CPU} +247+ 136 × w	272/f _{CPU} +247+ 1647 × w
ブロック・ベリファイ・ライブラリ	179/f _{CPU} +12964		136/f _{CPU} +12964	
セルフ・プログラミング・エンド・ライブラリ	34/f _{CPU}			
ゲット・インフォメーション・ライブラリ	オプション値: 03H	180/f _{CPU} +261	134/f _{CPU} +261	
	オプション値: 04H	190/f _{CPU} +254	144/f _{CPU} +254	
	オプション値: 05H	350/f _{CPU} +213	304/f _{CPU} +213	
セット・インフォメーション・ライブラリ	80/f _{CPU} +42839	80/f _{CPU} +572592	72/f _{CPU} +42839	72/f _{CPU} +572592
EEPROMライト・ライブラリ	333/f _{CPU} +516+ 209 × w	333/f _{CPU} +516+ 1722 × w	268/f _{CPU} +516+ 209 × w	268/f _{CPU} +516+ 1722 × w

備考1. 上記の処理時間は、書き込み開始アドレス構造体を内部高速RAMに配置した場合の時間で、かつ高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7
3. f_{CPU}: CPU動作クロック周波数
4. w: 書き込みデータのワード数 (1ワード = 4 バイト)

表24 - 18 セルフ・プログラミング・ライブラリの割り込み応答時間 (1/2)

(1) 高速内蔵発振クロック使用時

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	Cコンパイラのノーマル・モデル		Cコンパイラのスタティック・モデル/ アセンブラ	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	1100.9	431.9	1095.3	426.3
ブロック・イレース・ライブラリ	1452.9	783.9	1447.3	778.3
ワード・ライト・ライブラリ	1247.2	579.2	1239.2	571.2
ブロック・ベリファイ・ライブラリ	1125.9	455.9	1120.3	450.3
セット・インフォメーション・ ライブラリ	906.9	312.0	905.8	311.0
EEPROMライト・ライブラリ	1215.2	547.2	1213.9	545.9

備考1. 上記の割り込み応答時間は、高速内蔵発振器の安定動作中 (RSTS = 1) の時間です。

2. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

(2) 高速システム・クロック使用時 (Cコンパイラのノーマル・モデル)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ラ イブラリ	$179/f_{CPU}+567$	$179/f_{CPU}+246$	$179/f_{CPU}+1708$	$179/f_{CPU}+569$
ブロック・イレース・ライブラリ	$179/f_{CPU}+780$	$179/f_{CPU}+459$	$179/f_{CPU}+1921$	$179/f_{CPU}+782$
ワード・ライト・ライブラリ	$333/f_{CPU}+763$	$333/f_{CPU}+443$	$333/f_{CPU}+1871$	$333/f_{CPU}+767$
ブロック・ベリファイ・ライブラリ	$179/f_{CPU}+580$	$179/f_{CPU}+259$	$179/f_{CPU}+1721$	$179/f_{CPU}+582$
セット・インフォメーション・ ライブラリ	$80/f_{CPU}+456$	$80/f_{CPU}+200$	$80/f_{CPU}+1598$	$80/f_{CPU}+459$
EEPROMライト・ライブラリ ^注	$29/f_{CPU}+767$ ----- $333/f_{CPU}+696$	$29/f_{CPU}+447$ ----- $333/f_{CPU}+376$	$29/f_{CPU}+767$ ----- $333/f_{CPU}+1838$	$29/f_{CPU}+447$ ----- $333/f_{CPU}+700$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP: 内蔵発振モード・レジスタ (RCM) のビット0

3. RSTS: 内蔵発振モード・レジスタ (RCM) のビット7

表24 - 18 セルフ・プログラミング・ライブラリの割り込み応答時間 (2/2)

(3) 高速システム・クロック使用時 (Cコンパイラのスタティック・モデル/アセンブラ)

ライブラリ名	割り込み応答時間 (単位: μ s (Max.))			
	RSTOP = 0, RSTS = 1		RSTOP = 1	
	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内	エントリRAMの配置 がショート・ダイレク ト・アドレッシング外	エントリRAMの配置 がショート・ダイレク ト・アドレッシング内
ブロック・ブランク・チェック・ ライブラリ	$136/f_{CPU}+567$	$136/f_{CPU}+246$	$136/f_{CPU}+1708$	$136/f_{CPU}+569$
ブロック・イレース・ライブラリ	$136/f_{CPU}+780$	$136/f_{CPU}+459$	$136/f_{CPU}+1921$	$136/f_{CPU}+782$
ワード・ライト・ライブラリ	$272/f_{CPU}+763$	$272/f_{CPU}+443$	$272/f_{CPU}+1871$	$272/f_{CPU}+767$
ブロック・ベリファイ・ライブラリ	$136/f_{CPU}+580$	$136/f_{CPU}+259$	$136/f_{CPU}+1721$	$136/f_{CPU}+582$
セット・インフォメーション・ ライブラリ	$72/f_{CPU}+456$	$72/f_{CPU}+200$	$72/f_{CPU}+1598$	$72/f_{CPU}+459$
EEPROMライト・ライブラリ ^注	$19/f_{CPU}+767$	$19/f_{CPU}+447$	$19/f_{CPU}+767$	$19/f_{CPU}+447$
	$268/f_{CPU}+696$	$268/f_{CPU}+376$	$268/f_{CPU}+1838$	$268/f_{CPU}+700$

注 EEPROMライト・ライブラリの割り込み応答時間は、 f_{CPU} の値によって、どちらか長い時間のほうがMAX.値となります。

備考1. f_{CPU} : CPU動作クロック周波数

2. RSTOP : 内蔵発振モード・レジスタ (RCM) のビット0
3. RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

24. 10. 1 セルフ・プログラミング機能で使用するレジスタ

セルフ・プログラミング機能は、次の3種類のレジスタを使用します。

- ・フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- ・フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- ・フラッシュ・ステータス・レジスタ (PFS)

(1) フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

セルフ・プログラミング時のフラッシュ・メモリへの書き込み / 消去の可否、セルフ書き込み時の動作モードを設定するレジスタです。

FLPMCは、ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止しないようにするため、特定シーケンス (24. 10. 1 (2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) を参照) で書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

FLPMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0XH[※]になります。

注 動作モードにより異なります。

- ・ユーザ・モード : 08H
- ・オンボード・モード : 0CH

図 24 - 23 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : FFC4H リセット時 : 0XH^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	0	FWEDIS	FWEPR	FLSPM1	FLSPM0

FWEDIS	フラッシュ・メモリの書き込み / 消去の制御
0	書き込み / 消去許可 ^{注3}
1	書き込み / 消去禁止

FWEPR	FLMD0端子のステータス
0	ロウ・レベル
1	ハイ・レベル ^{注3}

FLSPM1 ^{注4}	FLSPM0 ^{注4}	セルフ書き込み時の動作モード選択
0	0	通常モード ・フラッシュ・メモリの全アドレス領域に対して、アクセス(命令のフェッチ, データのリード)が可能
0	1	セルフ・プログラミング・モード ・ファームウェアの実行“CALL #8100H”が可能 ・フラッシュ・メモリに対して、アクセス(命令フェッチ, データのリード)が可能
1	0	設定禁止
1	1	

- 注 1. 動作モードにより異なります。
- ・ユーザ・モード : 08H
 - ・オンボード・モード : 0CH
2. ビット2 (FWEPR) はRead Onlyです。
3. 実際の書き込み / 消去は、FWEDIS = 0となるほかに、FLMD0端子がハイ・レベル (FWEPR = 1) になっていなければなりません。

FWEDIS	FWEPR	フラッシュ・メモリの書き込み / 消去の可否
0	1	書き込み / 消去可能
上記以外		書き込み / 消去不可

4. FLSPM1とFLSPM0により、ユーザROM (フラッシュ・メモリ) とファームROMの切り替えが制御でき、応用システム上でモード端子を通して、設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。

- 注意 1. フラッシュ・メモリの書き込みおよび消去が終了するまで、必ずFWEDISを0にしてください。
2. 通常モード時は、必ずFWEDIS = 1にしてください。
3. FLSPM1とFLSPM0は、内蔵RAMに分岐してから、操作を行ってください。フラッシュ・メモリのアドレス指定は、FLSPM1 = 0のときはCPUからのアドレス信号、FLSPM1 = 1のときは、書き込みのファームウェアの設定値になります。また、オンボード・モード時には、FLSPM1とFLSPM0の指定は無視されます。

(2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

ノイズやプログラムの暴走などの誤動作によって、応用システムが不用意に停止した場合、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作はシステムに重大な影響を与える可能性があります。PFCMDは、このFLPMCへの書き込み動作に対して、応用システムが不用意に停止しないようにプロテクションを施すために使用するレジスタです。

次に示す特定シーケンスで書き込み動作を行った場合のみ、FLPMCへの書き込みが有効となります。

PFCMDに特定の値 (PFCMD = A5H) を書き込む

FLPMCに、設定したい値を書き込む (このステップでの書き込みは無効)

FLPMCに、設定したい値の反転値を書き込む

FLPMCに、設定したい値を書き込む (このステップでの書き込みは有効)

これにより、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

不正なストア動作の発生は、フラッシュ・ステータス・レジスタ (PFS) のビット0 (FPRERR) で確認できます。

なお、FLPMCを変更するたび、PFCMDにA5Hを書き込む必要があります。

PFCMDは、8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、不定になります。

図 24 - 24 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス : FFC0H リセット時 : 不定 W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) フラッシュ・ステータス・レジスタ (PFS)

プロテクション対象のフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に対して、正しいシーケンス (フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) への書き込みを含む) で書き込み動作を行わなかった場合、FLPMCへの書き込みは行われず、プロテクション・エラーが発生します。このとき、PFSのビット0 (FPRERR) がセット (1) されます。

このフラグが蓄積フラグです。FPRERRをチェックしたあと、0を書き込むことによって、FPRERRをクリアします。

PFSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 24 - 25 フラッシュ・ステータス・レジスタ (PFS) のフォーマット

アドレス : FFC2H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERRフラグの動作条件を次に示します。

< セット条件 >

- ・最近の周辺レジスタに対するストア命令動作が、PFCMDへの特定値 (PFCMD = A5H) の書き込み動作ではない状態で、PFCMDへの書き込みを行ったとき
- ・後の最初のストア命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・後の最初のストア命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・後の最初のストア命令動作で、FLPMCに設定したい値の反転値以外の値を書き込んだとき
- ・後の最初のストア命令動作が、FLPMC以外の周辺レジスタに対するとき
- ・後の最初のストア命令動作で、FLPMCに設定したい値 (の書き込み値) 以外の値を書き込んだとき

備考 上記の丸数字は、前述の (2) フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) の丸数字と対応しています。

< リセット条件 >

- ・FPRERRフラグに0を書き込んだとき
- ・リセット信号が発生したとき

< 特定シーケンスの記述例 >

FLPMCに05Hを書き込む場合

```
MOV  PFCMD, #0A5H    ; PFCMDにA5Hを書き込む。
MOV  FLPMC, #05H     ; FLPMCに05Hを書き込む。
MOV  FLPMC, #0FAH    ; FLPMCに0FAH (05Hの反転) を書き込む。
MOV  FLPMC, #05H     ; FLPMCに05Hを書き込む。
```

24.11 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[※]の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Fx2マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Fx2マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

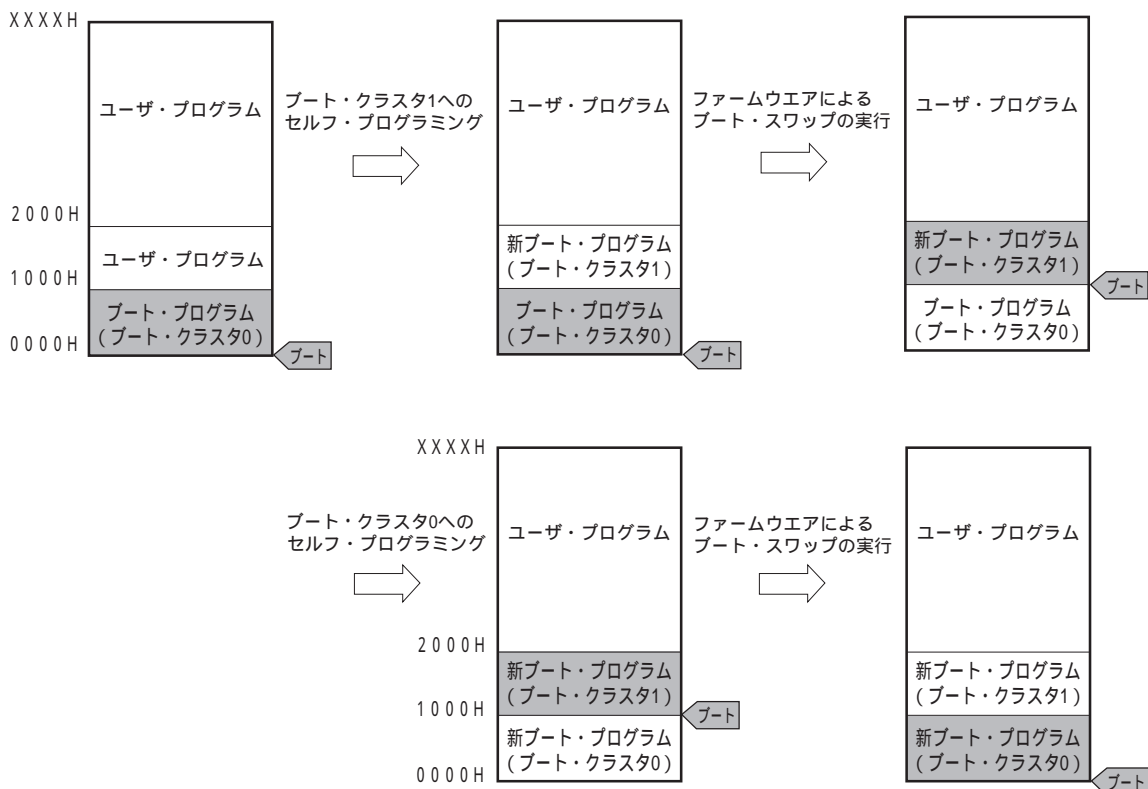
注 ブート・クラスタは4 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H ~ 0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H ~ 1FFFH) : ブート・スワップ対象の領域です。

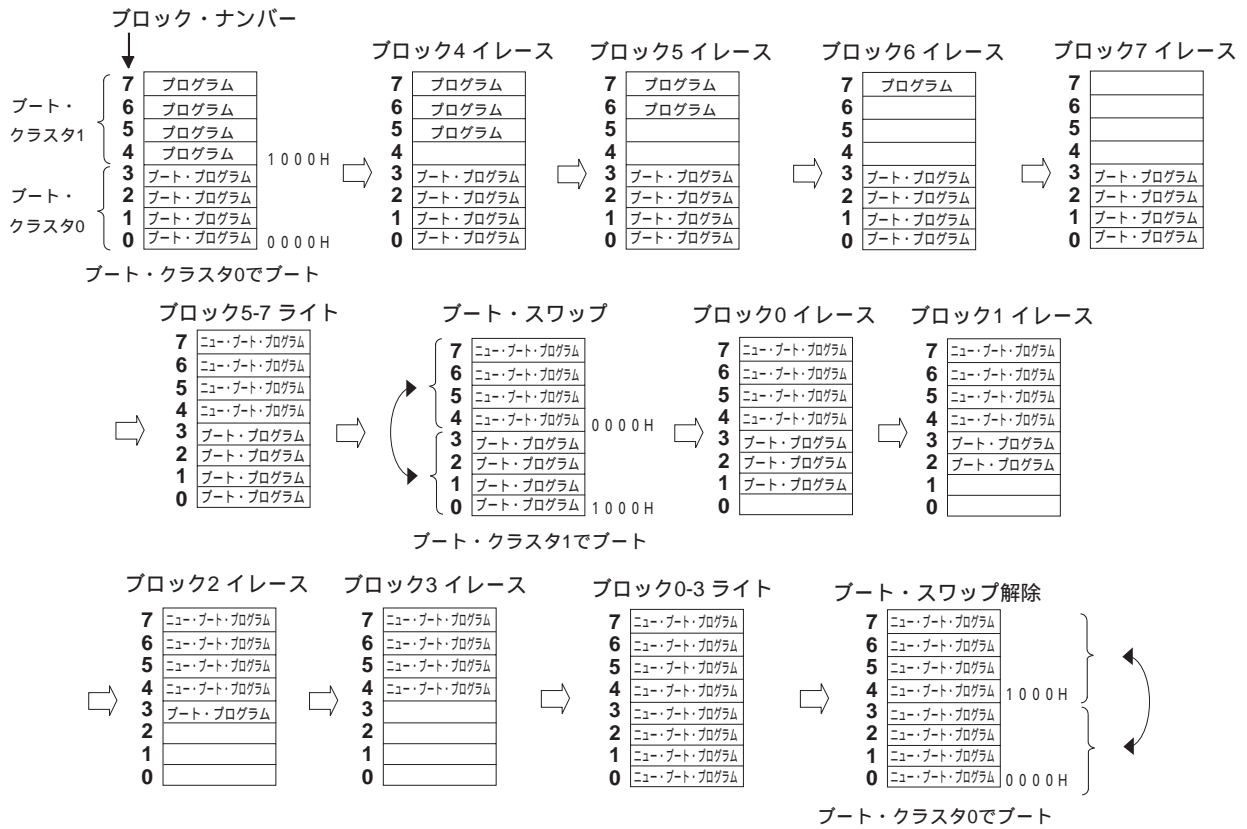
注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

図24 - 26 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図24 - 27 ブート・スワップの実行例



第24章
フラッシュ・メモリ

第25章 オンチップ・デバッグ機能

25.1 機能概要

オンチップ・デバッグ機能は、78K0/Fx2マイクロコントローラの全製品に搭載されています。

78K0/Fx2マイクロコントローラは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-78K0MINIまたはQB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} , FLMD0, \overline{RESET} , X1 (またはP31), X2 (またはP32), V_{SS} 端子を使用します。X1とP31, X2とP32はどちらを使用するか、選択できます。

注意 78K0/Fx2マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

25.2 MINICUBEまたはQB-MINI2との接続

QB-78K0MINIまたはQB-MINI2を接続するためには、ターゲット・システム上にエミュレータ接続用コネクタと接続用回路を実装する必要があります。

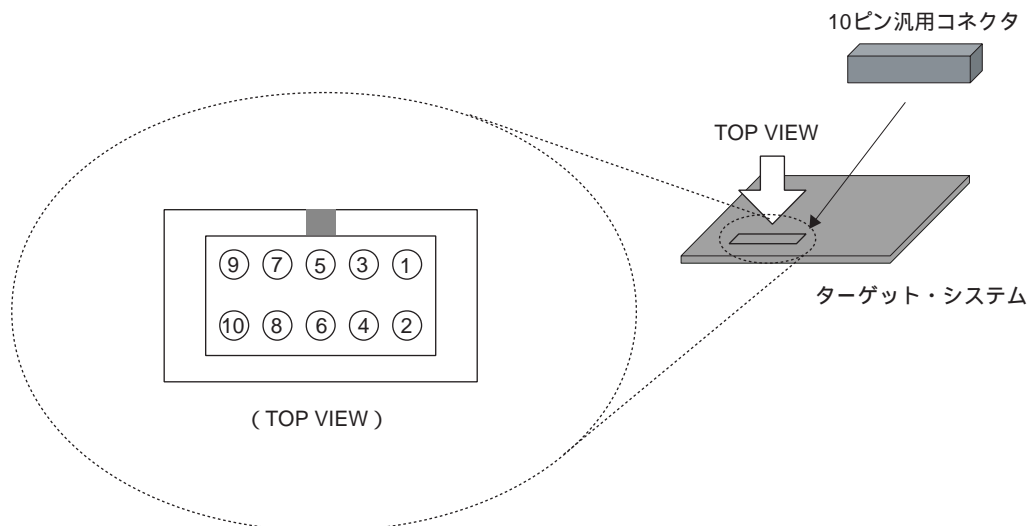
OCD用のコネクタ（誤挿入防止溝付き2列2.54ピッチタイプ）は次のとおりです。

推奨コネクタ（ストレート） :HIF3F-10PA-2.54DSA（ヒロセ）
 （ライトアングル） :HIF3F-10PA-2.54DS（ヒロセ）

ピン番	名称	IN/OUT	備考
1	RESET_IN	IN	ターゲット・リセットの入力信号
2	RESET_OUT	OUT	対象デバイスへリセット信号を出力
3	FLMD0	OUT	オンチップ・デバッグ機能を制御する出力信号 ^注
4	VDD_IN	IN	ターゲット・システムのVDDを検出して、インタフェース出力信号を生成
5	X2	IN/OUT	データ通信用の双方向の信号
6	GND	-	GNDに接続
7	X1	OUT	クロックを供給するための出力用の信号
8	GND	-	GNDに接続
9	RESERVED	-	オープン
10	RESERVED	-	オープン

注 オンチップ・デバッグ中はFLMD0がハイ・レベルになります。

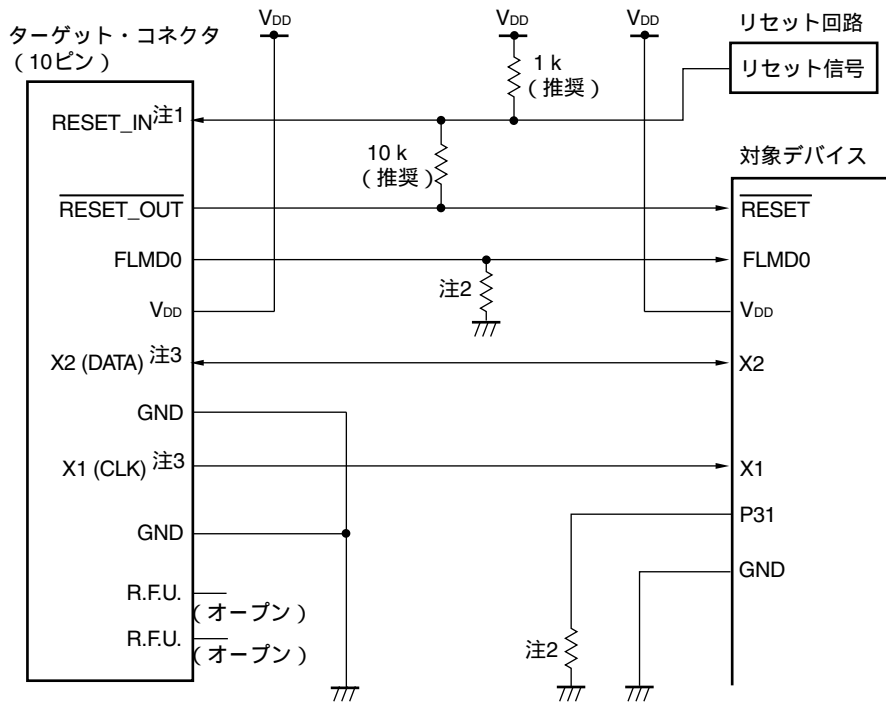
図25 - 1 コネクタ・ピン配置図



25.3 接続回路例

QB-78K0MINIまたはQB-MINI2を接続するために必要となるターゲット・システムの回路例を示します。

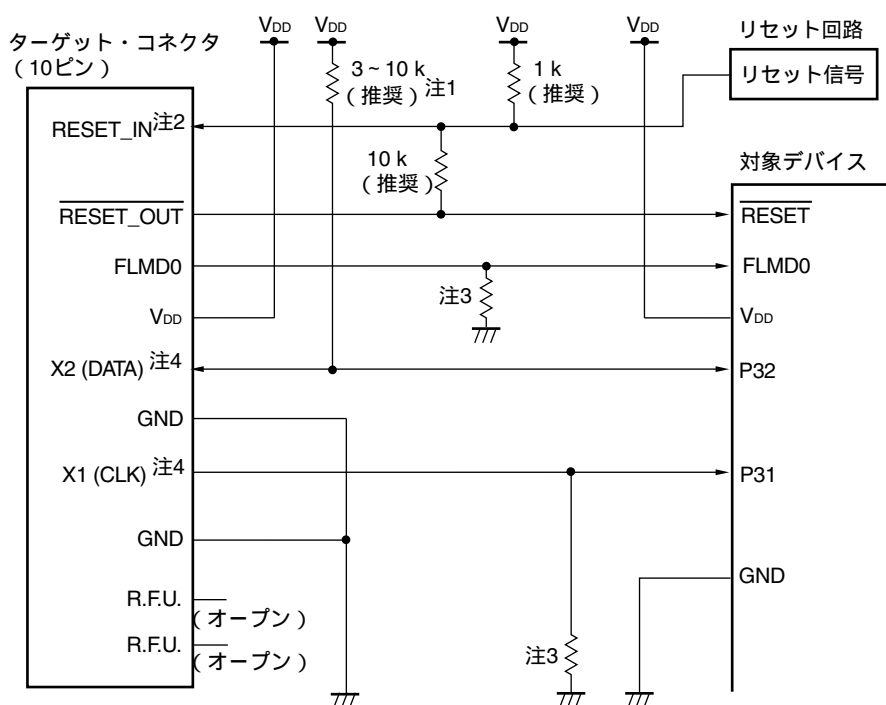
図25 - 2 QB-78K0MINIまたはQB-MINI2と78K0/Fx2マイクロコントローラの接続例 (X1, X2使用時)



- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-78K0MINI ユーザーズ・マニュアル (U17029J) またはQB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. プルダウン抵抗値は470 Ω以上 (10 kΩ : 推奨) にしてください。
3. () なしはQB-78K0MINIの名称, () 内はQB-MINI2の名称です。

- 注意1. オンチップ・デバッグ時は、X1端子よりクロック入力します。
2. X1, X2端子を使用する場合、P31端子を外部でプルダウンするか、またはP130端子（リセットがかかるとロウ・レベルを出力）を使用した外付け回路で制御してください。

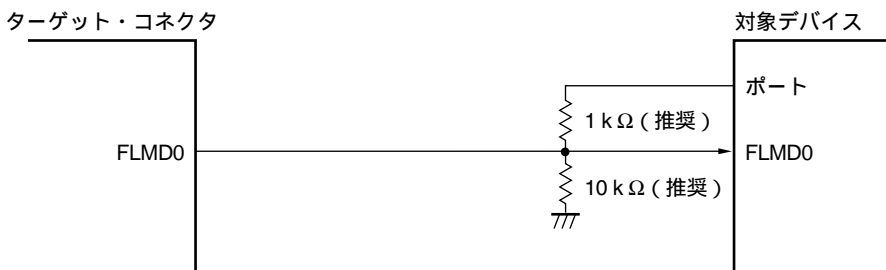
図25 - 3 QB-78K0MINIまたはQB-MINI2と78K0/Fx2マイクロコントローラの接続例 (P31, P32使用時)



- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-78K0MINI ユーザーズ・マニュアル (U17029J) またはQB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
- 2. P32を入力ポートに設定している場合の端子処理です (QB-78K0MINIまたはQB-MINI2未接続時にオープンになるのを防ぐため)。
- 3. プルダウン抵抗値は470 Ω以上 (10 kΩ：推奨) にしてください。
- 4. () なしはQB-78K0MINIの名称, () 内はQB-MINI2の名称です。

オンチップ・デバッグでセルフ・プログラミングを行う場合, FLMD0端子を次の図のように接続してください。

図25 - 4 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



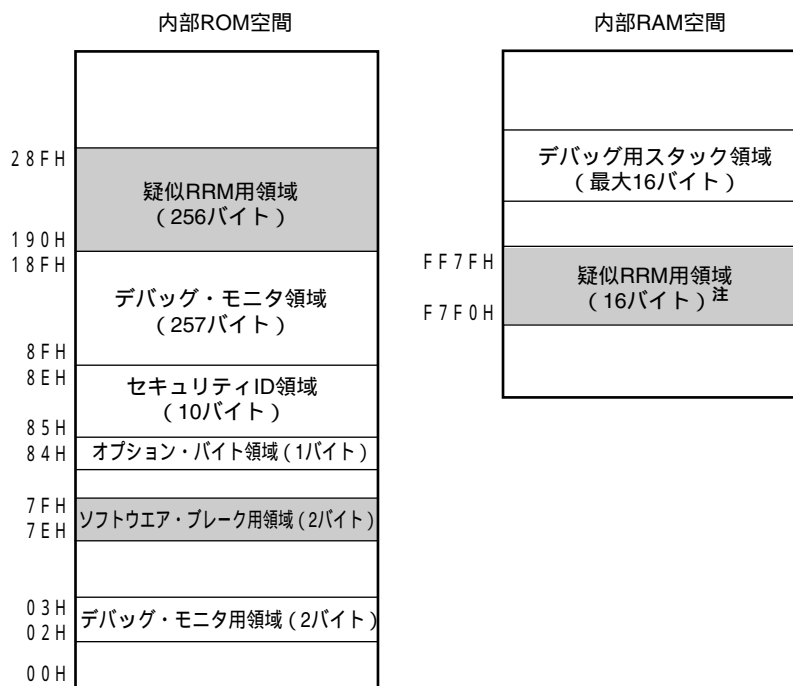
25.4 QB-78K0MINI, QB-MINI2が使用する予約領域

QB-78K0MINIとQB-MINI2は、78K0/Fx2マイクロコントローラとの通信，または各デバッグ機能を実現するために，図25 - 5で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し，それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては，QB-78K0MINI **ユーザズ・マニュアル (U17029J)** またはQB-MINI2 **ユーザズ・マニュアル (U18371J)** を参照してください。

図25 - 5 QB-78K0MINI, QB-MINI2が使用する予約領域



備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
 それ以外の予約領域 : デバッグ時に必ず使用する領域

25.5 オンチップ・デバッグ・セキュリティID

78K0/Fx2マイクロコントローラでは、フラッシュ・メモリの0084Hにオンチップ・デバッグ動作制御フラグ(第23章 オプション・バイトを参照)を、0085H-008EHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、0084H、0085H-008EHと1084H、1085H-108EHが切り替わるので、あらかじめ1084H、1085H-108EHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-78K0MINI ユーザーズ・マニュアル(U17029J)またはQB-MINI2 ユーザーズ・マニュアル(U18371J)を参照してください。

表25-1 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
0085H-008EH	10バイトの任意のIDコード
1085H-108EH	

25.6 オンチップ・デバッグ時の制限事項および注意事項

- ・X1, X2端子を使用せずに、通常ポートにてオンチップ・デバッグ・モードに引き込む場合はポート2本が使用できません。
- ・QB-78K0MINIが使用する予約領域について
QB-78K0MINIが使用する予約領域は次のとおりです。

(a) フラッシュ・メモリ領域

- ・0x02, 0x03番地
- ・0x7E, 0x7F番地(ソフトウェア・ブ레이크を使用する場合)
- ・0x84番地
- ・0x85 ~ 0x8E番地
- ・0x8F ~ 0x18F番地・・・プログラムの標準値
(疑似リアルタイムRAMモニタ機能を使用する場合は+256バイト)
(16ビット操作可能なSFRが10個を越えるデバイス使用時は+越えた個数×6バイト)

(b) 内部拡張RAM領域

- ・0xF7F0 ~ 0xF7FF番地(疑似リアルタイムRAMモニタ機能を使用する場合)

(c) 内部高速RAM領域

- ・スタックとして7バイト・・・スタックの標準値
(ソフトウェア・ブ레이크を使用する場合は+2バイト)
(疑似リアルタイムRAMモニタ機能を使用する場合は+7バイト)

詳細はQB-78K0MINI ユーザーズ・マニュアル(U17029J) 第5章 制限事項, 第6章 注意事項またはQB-MINI2 ユーザーズ・マニュアル(U18371J)を参照してください。

第26章 命令セットの概要

78K0/Fx2マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

26.1 凡 例

26.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表26 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 8 特殊機能レジスタ一覧を参照してください。

26.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

26.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

26.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
A, [DE]		1	4	6	A (DE)				
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

- 注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
 2. 内部高速RAM以外の領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。
 2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <small>注3</small>	1	4	-	AX rp			
		rp, AX <small>注3</small>	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp <small>注3</small>	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r <small>注4</small>	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]	2	8	9	A, CY A + (HL + C) + CY	x	x	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. rp = BC, DE, HLのときのみ。
4. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	OR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	XOR	A, #byte	2	4	-	A A byte		x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte		x		
		A, r <small>注3</small>	2	4	-	A A r		x		
		r, A	2	4	-	r r A		x		
		A, saddr	2	4	5	A A (saddr)		x		
		A, !addr16	3	8	9	A A (addr16)		x		
		A, [HL]	1	4	5	A A (HL)		x		
		A, [HL + byte]	2	8	9	A A (HL + byte)		x		
		A, [HL + B]	2	8	9	A A (HL + B)		x		
	A, [HL + C]	2	8	9	A A (HL + C)		x			
	CMP	A, #byte	2	4	-	A - byte		x	x	x
		saddr, #byte	3	6	8	(saddr) - byte		x	x	x
		A, r <small>注3</small>	2	4	-	A - r		x	x	x
		r, A	2	4	-	r - A		x	x	x
		A, saddr	2	4	5	A - (saddr)		x	x	x
		A, !addr16	3	8	9	A - (addr16)		x	x	x
		A, [HL]	1	4	5	A - (HL)		x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)		x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)		x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)		x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word		x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word		x	x	x
	CMPW	AX, #word	3	6	-	AX - word		x	x	x
乗除算	MULU	X	2	16	-	AX A × X				
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C				

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

- 内部高速RAM以外の領域をアクセスしたとき。
- r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

- クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
[HL].bit		2	6	8	(HL).bit 0				
SET1	CY	1	2	-	CY 1			1	
CLR1	CY	1	2	-	CY 0			0	
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr16		3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{cpu})の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if(saddr) 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE 1(Enable Interrupt)			
	DI		2	-	6	IE 0(Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

26.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$saddr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第27章 電気的特性 ((A)水準品)

対象製品 78K0/FC2: μ PD78F0881A (A), 78F0882A (A), 78F0883A (A), 78F0884A (A), 78F0885A (A),
 78F0886A (A), 78F0894A (A), 78F0895A (A)
 78K0/FE2: μ PD78F0887A (A), 78F0888A (A), 78F0889A (A), 78F0890A (A)
 78K0/FF2: μ PD78F0891A (A), 78F0892A (A), 78F0893A (A)

- 注意 1. 78K0/Fx2マイクロコントローラには開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/FC2		78K0/FE2	78K0/FF2
	44ピン	48ピン	64ピン	80ピン
ポート0	P00, P01	P00, P01, P06	P00, P01, P05, P06	
ポート1	P10-P17			
ポート3	P30-P33			
ポート4	P40, P41		P40-P43	P40-P47
ポート5	-		P50-P53	P50-P57
ポート6	P60-P62	P60-P63		P60-P67
ポート7	P70-P73		P70-P76	
ポート8	P80-P87			
ポート9	-	P90	P90-P93	P90-P97
ポート12	P120-P124			
ポート13	P130	P130, P131	P130-P132	

(次ページに、続きの表があります)

(2) ポート以外の機能

機能	78K0/FC2		78K0/FE2	78K0/FF2
	44ピン	48ピン	64ピン	80ピン
電源, グランド	V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}			
レギュレータ	REGC			
リセット	RESET			
クロック発振	X1, X2, XT1, XT2, EXCLK, EXCLKS			
フラッシュ書き込み	FLMD0			
割り込み	INTP0-INTP7			
タイム	TM00	TI000, TI010, TO00		
	TM01	-	TI011, TO01	TI001, TI011, TO01
	TM02	-		TI002, TI012, TO02
	TM03	-		TI003, TI013, TO03
	TM50	TI50, TO50		
	TM51	TI51, TO51		
	TMH0	TOH0		
	TMH1	TOH1		
シリアル・インタフェース	UART60	RxD60, TxD60		
	UART61	RxD61, TxD61		
	CSI10	SCK10, SI10, SO10		
	CSI11	-	SCK11, SI11, SO11, SSI11	
A/Dコンバータ	ANI0-ANI7	ANI0-ANI8	ANI0-ANI11	ANI0-ANI15
CANコントローラ	CRxD, CTxD			
クロック出力	PCL			
ブザー出力	BUZ			
LVI回路	EXLVI			

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

27.1 絶対最大定格

絶対最大定格 (1/2)

($T_A = 25$)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^注	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{REGC}		- 0.5 ~ + 3.6 かつ, V _{DD}	V
入力電圧	V _{I1}	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P80-P87, P90-P97, P120, P131, P132, X1, X2, XT1, XT2, RESET, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^注	V
	V _{I2}	P60-P63 N-chオープン・ドレイン時	- 0.3 ~ + 6.5	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}	ANI0-ANI15	- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (2/2)

(TA = 25)

項目	略号	条件		定格	単位	
ハイ・レベル出力電流	I _{OH1}	1端子	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P120, P130, P131, P132	- 10	mA	
		端子合計 - 80 mA	P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P76, P130	- 55		
			P00, P01, P40-P47, P120, P131, P132	- 25		
	I _{OH2}	1端子	P80-P87, P90-P97	- 0.5	mA	
		端子合計		- 2		
	I _{OH3}	1端子	P121-P124	- 1	mA	
		端子合計		- 4		
	ロウ・レベル出力電流	I _{OL1}	1端子	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P76, P120, P130, P131, P132	30	mA
			端子合計 200 mA	P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P76, P130	140	
			P00, P01, P40-P47, P120, P131, P132	60		
I _{OL2}		1端子	P80-P87, P90-P97	1	mA	
		端子合計		5		
I _{OL3}		1端子	P121-P124	4	mA	
		端子合計		10		
動作周囲温度		T _A	通常動作時	- 40 ~ + 85		
			フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T _{stg}		- 65 ~ + 150			

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

27.2 発振回路特性

(1) メイン・システム・クロック (水晶/セラミック) 発振回路特性

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数 (f_x) ^注	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	4.0		20	MHz
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	4.0		10	
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	4.0		5.0	
水晶振動子		発振周波数 (f_x) ^注	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	4.0		20	MHz
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	4.0		10	
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	4.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) 内蔵発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

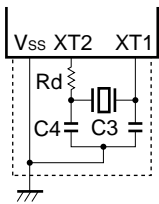
発振子	項目	条件		MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器 ^注	高速内蔵発振クロック 周波数 (f_{RH})	RSTS = 1	2.7 V $V_{DD} 5.5\text{ V}$	7.6	8	8.4	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$	7.6	8	10.4	MHz
	RSTS = 0		2.48	5.6	9.86	MHz	
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f_{RL})	2.7 V $V_{DD} 5.5\text{ V}$	216	240	264	kHz	
		1.8 V $V_{DD} < 2.7\text{ V}$	192	240	264	kHz	

注 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(3) サブシステム・クロック発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

27.3 DC特性

DC特性 (1/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P120, P130-P132 1端子	4.0 V $V_{DD} = 5.5$ V			- 3.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 2.5	mA
			1.8 V $V_{DD} < 2.7$ V			- 1.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P76, P130 合計 ^{注2}	4.0 V $V_{DD} = 5.5$ V			- 18.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 15.0	mA
			1.8 V $V_{DD} < 2.7$ V			- 10.0	mA
		P00, P01, P40-P47, P120, P131, P132 合計 ^{注2}	4.0 V $V_{DD} = 5.5$ V			- 12.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 7.0	mA
			1.8 V $V_{DD} < 2.7$ V			- 5.0	mA
	全端子合計 ^{注2}	4.0 V $V_{DD} = 5.5$ V			- 23.0	mA	
		2.7 V $V_{DD} < 4.0$ V			- 18.0	mA	
		1.8 V $V_{DD} < 2.7$ V			- 15.0	mA	
	I _{OH2}	P80-P87, P90-P97 1端子	$AV_{REF} = V_{DD}$			- 100	μA
P121-P124 1端子					- 100	μA	

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH}のデューティがn %の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > デューティ = 50 %, I_{OH} = 20.0 mAの場合

端子合計の出力電流 = $(20.0 \times 0.7) / (50 \times 0.01) = 28.0$ mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, AV_{REF} $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P120, P130-P132 1端子	4.0 V V_{DD} 5.5 V			8.5	mA
			2.7 V $V_{DD} < 4.0$ V			5.0	mA
			1.8 V $V_{DD} < 2.7$ V			2.0	mA
		P60-63 1端子	4.0 V V_{DD} 5.5 V			15.0	mA
			2.7 V $V_{DD} < 4.0$ V			5.0	mA
			1.8 V $V_{DD} < 2.7$ V			2.0	mA
		P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P76, P130 合計 ^{注2}	4.0 V V_{DD} 5.5 V			45.0	mA
			2.7 V $V_{DD} < 4.0$ V			35.0	mA
			1.8 V $V_{DD} < 2.7$ V			20.0	mA
	P00, P01, P40-P47, P120, P131, P132 合計 ^{注2}	4.0 V V_{DD} 5.5 V			20.0	mA	
		2.7 V $V_{DD} < 4.0$ V			15.0	mA	
		1.8 V $V_{DD} < 2.7$ V			9.0	mA	
	全端子合計 ^{注2}	4.0 V V_{DD} 5.5 V			65.0	mA	
		2.7 V $V_{DD} < 4.0$ V			50.0	mA	
		1.8 V $V_{DD} < 2.7$ V			29.0	mA	
IOL2	P80-P87, P90-P97 1端子	$AV_{REF} = V_{DD}$			400	μ A	
	P121-P124 1端子				400	μ A	

注1. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$, 電流を出力しない時間が $0.3 \times t$ の場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH} のデューティがn %の場合: 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > デューティ = 50 %, $I_{OH} = 20.0$ mAの場合

端子合計の出力電流 = $(20.0 \times 0.7) / (50 \times 0.01) = 28.0$ mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P12, P13, P15, P40-P47, P50-P57, P64-P67, P70, P74, P121-P124	0.7 V_{DD}		V_{DD}	V	
	V_{IH2}	P00, P01, P05, P06, P10, P11, P14, P16, P17, P30-P33, P71-P73, P75, P76, P120, P131, P132, RESET, EXCLK, EXCLKS	0.8 V_{DD}		V_{DD}	V	
	V_{IH3}	P80-P87, P90-P97	$AV_{REF} = V_{DD}$		AV_{REF}	V	
	V_{IH4}	P60-P63			6.0	V	
ロウ・レベル入力電圧	V_{IL1}	P12, P13, P15, P40-P47, P50-P57, P60-P67, P70, P74, P121-P124	0		0.3 V_{DD}	V	
	V_{IL2}	P00, P01, P05, P06, P10, P11, P14, P16, P17, P30-P33, P71-P73, P75, P76, P120, P131, P132, RESET, EXCLK, EXCLKS	0		0.2 V_{DD}	V	
	V_{IL3}	P80-P87, P90-P97	$AV_{REF} = V_{DD}$	0	0.3 AV_{REF}	V	
ハイ・レベル出力電圧	V_{OH1}	$I_{OH} = -3.0$ mA	P00, P01, P05, P06, P10-P17, P30-P33,	4.0 V V_{DD} 5.5 V	$V_{DD} - 0.7$		V
		$I_{OH} = -2.5$ mA	P40-P47, P50-P57,	2.7 V $V_{DD} < 4.0$ V	$V_{DD} - 0.5$		V
		$I_{OH} = -1.0$ mA	P64-P67, P70-P76, P120, P130-P132	1.8 V $V_{DD} < 2.7$ V	$V_{DD} - 0.5$		V
	V_{OH2}	$I_{OH} = -100$ μ A	P80-P87, P90-P97 P121-P124	$AV_{REF} = V_{DD}$	$V_{DD} - 0.5$		V
ロウ・レベル出力電圧	V_{OL1}	$I_{OL} = 8.5$ mA	P00, P01, P05, P06,	4.0 V V_{DD} 5.5 V		0.7	V
		$I_{OL} = 5.0$ mA	P10-P17, P30-P33,	2.7 V $V_{DD} < 4.0$ V		0.7	V
		$I_{OL} = 2.0$ mA	P40-P47, P50-P57,	1.8 V $V_{DD} < 2.7$ V		0.5	V
		$I_{OL} = 1.0$ mA	P64-P67, P70-P76,			0.5	V
		$I_{OL} = 0.5$ mA	P120, P130-P132			0.4	V
	V_{OL2}	$I_{OL} = 400$ μ A	P80-P87, P90-P97 P121-P124	$AV_{REF} = V_{DD}$		0.4	V
	V_{OL3}	$I_{OL} = 15$ mA	P60-P63	4.0 V V_{DD} 5.5 V		2.0	V
		$I_{OL} = 5.0$ mA		2.7 V $V_{DD} < 4.0$ V		0.4	V
		$I_{OL} = 3.0$ mA		2.7 V $V_{DD} < 4.0$ V		0.4	V
		$I_{OL} = 2.0$ mA		1.8 V $V_{DD} < 2.7$ V			V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, 2.3 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル入力 リーク電流	I_{LIH1}	$V_i = V_{DD}$	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P76, P120, P131, P132, FLMD0, \overline{RESET}			1	μA	
	I_{LIH2}	$V_i = AV_{REF}$	P80-P87, P90-P97		$AV_{REF} = V_{DD}$	1	μA	
	I_{LIH3}	$V_i = V_{DD}$	P121-P124 (X1, X2, XT1, XT2)	I/Oポートモード		1	μA	
						OSCモード	20	μA
ロウ・レベル入力 リーク電流	I_{LIL1}	$V_i = V_{SS}$	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P76, P120, P131, P132, FLMD0, \overline{RESET}			- 1	μA	
	I_{LIL2}		P80-P87, P90-P97		$AV_{REF} = V_{DD}$	- 1	μA	
	I_{LIL3}		P121-P124 (X1, X2, XT1, XT2)	I/Oポートモード		- 1	μA	
						OSCモード	- 20	μA
プルアップ抵抗値	R_U	$V_i = V_{SS}$		10	20	100	$k\Omega$	
FLMD0電源電圧	V_{IL}	通常動作時		0		$0.2V_{DD}$	V	
	V_{IH}	セルフ・プログラミング時		$0.8V_{DD}$		V_{DD}	V	
外部クロック	V_{IL}	P122, P124 外部クロック・モード時		0		$0.2V_{DD}$	V	
入力電圧	V_{IH}	P122, P124 外部クロック・モード時		$0.8V_{DD}$		V_{DD}	V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} 5.5 V, 2.3 V$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	水晶 / セラミック 発振動作モード	$f_x = 20 \text{ MHz}$ ^{注2} , $V_{DD} = 5.0 \text{ V}$	方形波入力	3.4	6.8	mA
				発振子接続	4.7	8.2	
			$f_x = 10 \text{ MHz}$ ^{注2, 3} , $V_{DD} = 5.0 \text{ V}$	方形波入力	1.8	3.6	
				発振子接続	2.5	4.7	
			$f_x = 10 \text{ MHz}$ ^{注2, 3} , $V_{DD} = 3.0 \text{ V}$	方形波入力	1.7	3.5	
				発振子接続	2.4	4.0	
			$f_x = 5 \text{ MHz}$ ^{注2, 3} , $V_{DD} = 3.0 \text{ V}$	方形波入力	1.0	2.0	
				発振子接続	1.4	2.4	
			$f_x = 5 \text{ MHz}$ ^{注2, 3} , $V_{DD} = 2.0 \text{ V}$	方形波入力	0.8	1.7	
	発振子接続	1.1		1.9			
	$f_{RH} = 8 \text{ MHz}, V_{DD} = 5.0 \text{ V}$ ^{注4}				1.5	2.7	
	$f_{XT} = 32.768 \text{ kHz}$ ^{注5} , $V_{DD} = 5.0 \text{ V}$	方形波入力	6	30	μA		
		発振子接続	15	35			
	I _{DD2}	水晶 / セラミック 発振HALTモード	$f_x = 20 \text{ MHz}$ ^{注2} , $V_{DD} = 5.0 \text{ V}$	方形波入力	1.0	3.9	mA
				発振子接続	2.2	5.7	
$f_x = 10 \text{ MHz}$ ^{注2, 3} , $V_{DD} = 5.0 \text{ V}$			方形波入力	0.6	2.0		
			発振子接続	1.2	3.1		
$f_x = 5 \text{ MHz}$ ^{注2, 3} , $V_{DD} = 3.0 \text{ V}$			方形波入力	0.3	1.00		
			発振子接続	0.6	1.50		
$f_{RH} = 8 \text{ MHz}, V_{DD} = 5.0 \text{ V}$ ^{注4}				0.5	1.4		
$f_{XT} = 32.768 \text{ kHz}$ ^{注5} , $V_{DD} = 5.0 \text{ V}$	方形波入力	3.0	27	μA			
	発振子接続	12	32				
I _{DD3} ^{注6}	STOPモード	$V_{DD} = 5.0 \text{ V}$		1	20	μA	

注1. 内部電源 (V_{DD}, EV_{DD}) に流れるトータル電流です。周辺動作電流, 入力端子を V_{DD} または, V_{SS} に固定した状態での入力リーク電流を含みます。ただし, ポートのプルアップ抵抗と出力電流は含みません。

- 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません
- AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
- X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。また, CANの動作電流は含みません。
- X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。
- 240 kHz内蔵発振器, XT1発振回路の動作電流, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

備考1. f_x : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{XT} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (6/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} \ 5.5 \text{ V}, 2.3 \text{ V}$ $AV_{REF} \ V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
A/Dコンバータ電流	I_{ADC} ^{注1}	ADCE = 1	2.3 V $AV_{REF} \ V_{DD}$		0.86	1.9	mA
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注2}	240 kHz低速内蔵発振クロック動作時			5	10	μA
LVI動作電流	I_{LVI} ^{注3}				9	18	μA

注1. A/Dコンバータ (AV_{REF} 端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Fx2マイクロコントローラの電流値となります。

2. ウォッチドッグ・タイマ (V_{DD} 端子) にのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Fx2マイクロコントローラの電流値となります。

3. LVI回路 (V_{DD} 端子) にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Fx2マイクロコントローラの電流値となります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

27.4 AC特性

(1) 基本動作

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$)

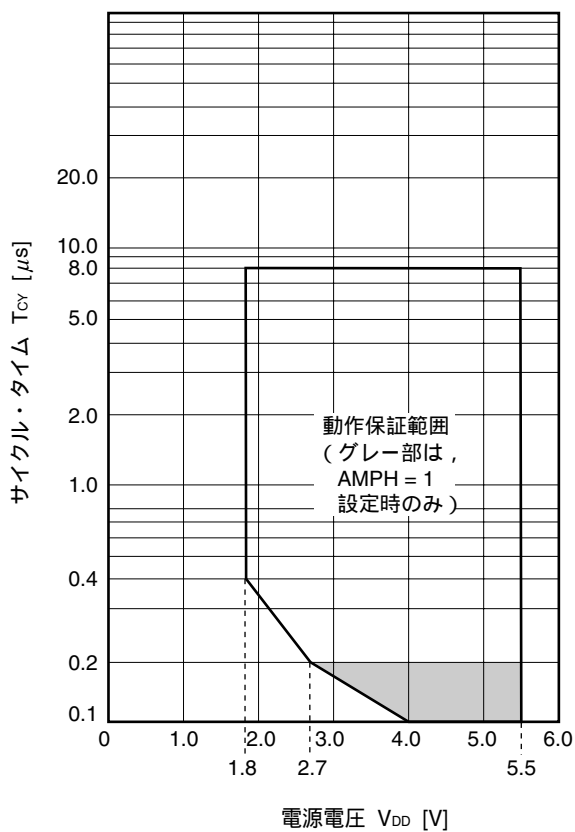
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・ クロック動作	4.0 V $V_{DD} = 5.5$ V	0.1		8	μ s
			2.7 V $V_{DD} < 4.0$ V	0.2		8	
			1.8 V $V_{DD} < 2.7$ V	0.4 ^{注1}		8	
		サブシステム・クロック動作		114	122	125	μ s
周辺ハードウェア・ クロック周波数	f _{PRS}	f _{PRS} = f _X	4.0 V $V_{DD} = 5.5$ V			20	MHz
			2.7 V $V_{DD} < 4.0$ V			10	
			1.8 V $V_{DD} < 2.7$ V			5	
	f _{PRS} = f _{RH}	2.7 V $V_{DD} = 5.5$ V	7.6		8.4		
		1.8 V $V_{DD} < 2.7$ V ^{注2}	7.6		10.4		
外部クロック入力周波数	f _{EXT}	4.0 V $V_{DD} = 5.5$ V	4.0		20	MHz	
		2.7 V $V_{DD} < 4.0$ V	4.0		10		
		1.8 V $V_{DD} < 2.7$ V	4.0		5		
外部クロック入力ハイ・レベ ル幅, ロウ・レベル幅	f _{EXTH}	4.0 V $V_{DD} = 5.5$ V	24			ns	
	f _{EXTL}	2.7 V $V_{DD} < 4.0$ V	48				
		1.8 V $V_{DD} < 2.7$ V	96				
外部サブクロック入力周波数	f _{EXTS}		32	32.768	35	kHz	
外部サブクロック入力ハイ・ レベル幅, ロウ・レベル幅	f _{EXTSH}		12			μ s	
	f _{EXTSL}						
TI000, TI001, TI010, TI011, TI002, TI012, TI003, TI013 入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0}	4.0 V $V_{DD} = 5.5$ V				μ s	
	t _{TIL0}	2.7 V $V_{DD} < 4.0$ V					
		1.8 V $V_{DD} < 2.7$ V					
TI50, TI51入力周波数	f _{TI5}	4.0 V $V_{DD} = 5.5$ V			10	MHz	
		2.7 V $V_{DD} < 4.0$ V			10		
		1.8 V $V_{DD} < 2.7$ V			5		
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5}	4.0 V $V_{DD} = 5.5$ V	50			ns	
	t _{TIL5}	2.7 V $V_{DD} < 4.0$ V	50				
		1.8 V $V_{DD} < 2.7$ V	100				
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INH}		1			μ s	
	t _{NIL}						
RESETロウ・レベル幅	t _{RSL}		10			μ s	

注1. f_{RH}で動作時は0.38 μ sです。

- メイン・システム・クロック周波数の特性です。周辺機能で選択設定する分周クロックは、f_{RH}/2以下としてください。
- プリスケアラ・モード・レジスタ0n (PRM0n) のビット0, 1 (PRM0n0, PRM0n1フラグ) で選択したカウント・クロック (f_{PRS}, f_{PRS}/4, f_{PRS}/256) によりサンプリングを行います。
ただし、カウント・クロックとしてTI00nの有効エッジを選択した場合は、f_{sam} = f_{PRS}となります。

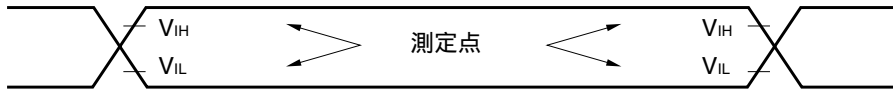
備考 n = 0-3

T_{cy} vs V_{DD} (メイン・システム・クロック動作時)

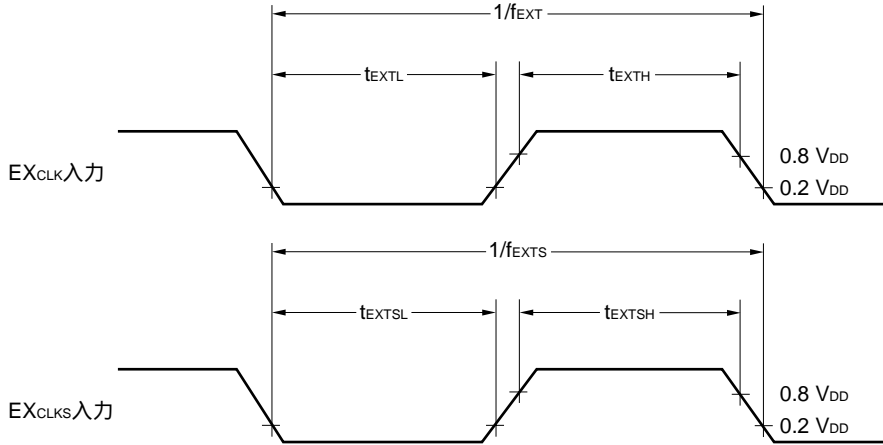


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

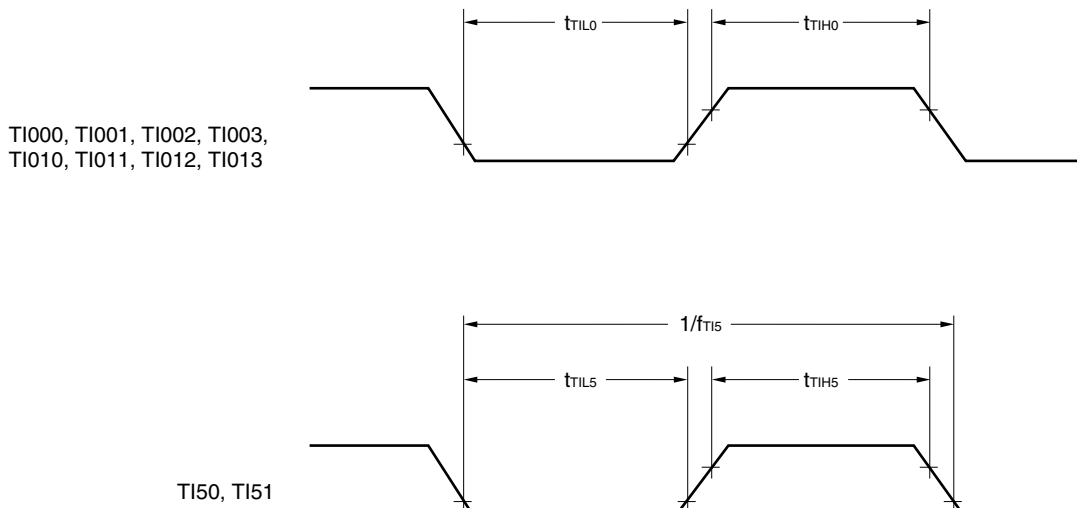
ACタイミング測定点 (外部クロック入力を除く)



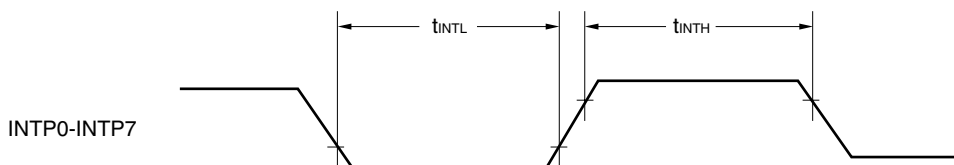
外部クロック入力タイミング



T1タイミング

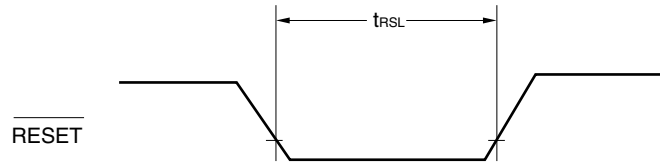


割り込み要求入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

RESET入力タイミング



(2) シリアル・インタフェース

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(a) UARTモード (UART6n, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	Kbps

(b) 3線式シリアル/Oモード (マスタ・モード, $\overline{SCK1n}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1nサイクル・タイム	t_{kCY1}	4.0 V $V_{DD} = 5.5\text{ V}$	200			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	400			ns
		1.8 V $V_{DD} < 2.7\text{ V}$	600			ns
SCK1nハイ・レベル幅, ロウ・レベル幅 ^{注1}	t_{KH1}	4.0 V $V_{DD} = 5.5\text{ V}$	$t_{kCY1}/2 - 20$			ns
	t_{KL1}	2.7 V $V_{DD} < 4.0\text{ V}$	$t_{kCY1}/2 - 30$			
	t_{KL1}	1.8 V $V_{DD} < 2.7\text{ V}$	$t_{kCY1}/2 - 60$			
SI1nセットアップ時間 (対 $\overline{SCK1n}$)	t_{sIK1}	4.0 V $V_{DD} = 5.5\text{ V}$	70			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	100			
		1.8 V $V_{DD} < 2.7\text{ V}$	190			
SI1nホールド時間 (対 $\overline{SCK1n}$)	t_{KS1}		30			ns
$\overline{SCK1n}$ SO1n出力遅延時間	t_{kSO1}	$C = 50\text{ pF}$ ^{注2}			40	ns

注1. f_x 使用時の値です。 f_{RH} 使用時はスペックが異なるので注意してください。

2. Cは、 $\overline{SCK1n}$, SO1n出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(c) 3線式シリアルI/Oモード (スレーブ・モード, $\overline{\text{SCK1n}}$...外部クロック入力)

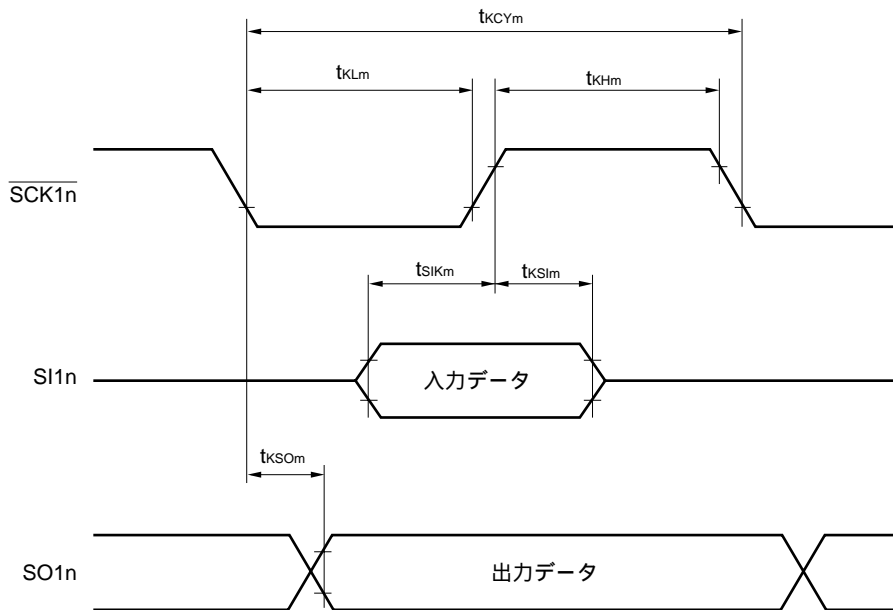
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK1n}}$ サイクル・タイム	t_{CY2}		400			ns
$\overline{\text{SCK1n}}$ ハイ・レベル幅, ロウ・レベル幅	$t_{\text{KH2}},$ t_{KL2}		$t_{\text{CY2}}/2$			ns
SI1n セットアップ時間 (対 $\overline{\text{SCK1n}}$)	t_{SIK2}		80			ns
SI1n ホールド時間 (対 $\overline{\text{SCK1n}}$)	t_{SIL2}		50			ns
$\overline{\text{SCK1n}}$ SO1n 出力遅延時間	t_{SO2}	$C = 50 \text{ pF}^{\text{注}}$ 4.0 V $V_{\text{DD}} = 5.5 \text{ V}$			120	ns
		2.7 V $V_{\text{DD}} < 4.0 \text{ V}$			120	
		1.8 V $V_{\text{DD}} < 2.7 \text{ V}$			180	

注 Cは、 SO1n 出力ラインの負荷容量です。

備考 $n = 0, 1$

シリアル転送タイミング

3線式シリアルI/Oモード



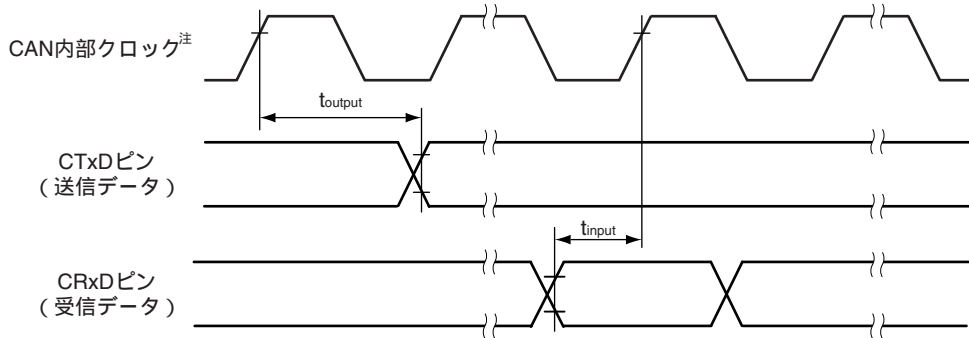
備考 $m = 1, 2$
 $n = 0, 1$

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(3) CANコントローラ

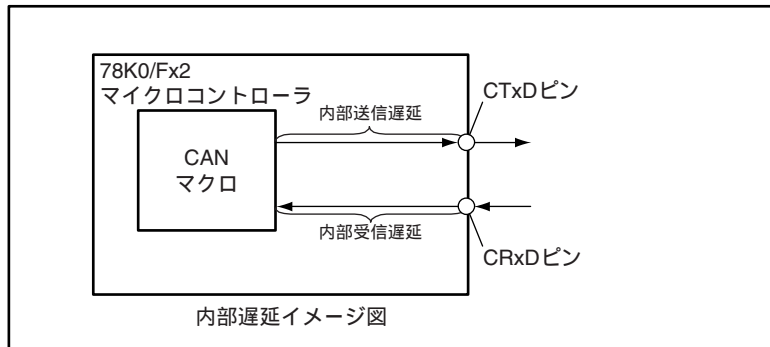
($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} \ 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t _{NODE}				100	ns



内部遅延時間 (t_{NODE}) = 内部送信時間 (t_{output}) + 内部受信時間 (t_{input})

注 CAN内部クロック (f_{CAN}) : CANボー・レート・クロック



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(4) A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.3 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	
		2.3 V $AV_{REF} < 2.7$ V			± 1.2	
変換時間	t _{CONV}	4.0 V $AV_{REF} = 5.5$ V	6.1		66.6	μ s
		2.7 V $AV_{REF} < 4.0$ V	12.2		66.6	
		2.3 V $AV_{REF} < 2.7$ V	27		66.6	
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	
		2.3 V $AV_{REF} < 2.7$ V			± 0.6	
フルスケール誤差 ^{注1, 2}	E _{FS}	4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	
		2.3 V $AV_{REF} < 2.7$ V			± 0.6	
積分直線性誤差 ^{注1}	I _{LE}	4.0 V $AV_{REF} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 4.5	
		2.3 V $AV_{REF} < 2.7$ V			± 6.5	
微分直線性誤差 ^{注1}	D _{LE}	4.0 V $AV_{REF} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 2.0	
		2.3 V $AV_{REF} < 2.7$ V			± 2.0	
アナログ入力電圧	V _{AIN}		AV _{SS}		AV _{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

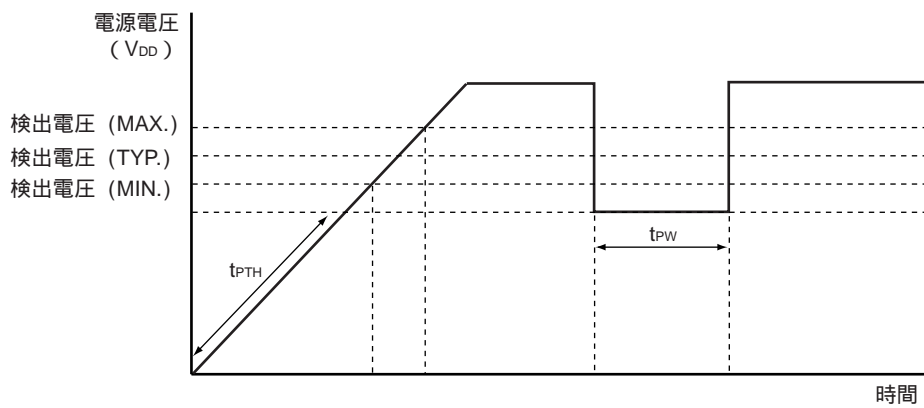
(5) POC回路特性

($T_A = -40 \sim +85$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		1.44	1.59	1.74	V
一次電源傾き	t_{PTH}	$V_{DD} : 0V$ V_{POCO} の変化傾き	0.5			V/ms
最小パルス幅 ^注	t_{PW}	電源降下時	200			μs

注 最小パルス幅より短い幅で電源降下時は、POC検出の動作は保証しません。

POC回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(6) LVI回路特性

($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

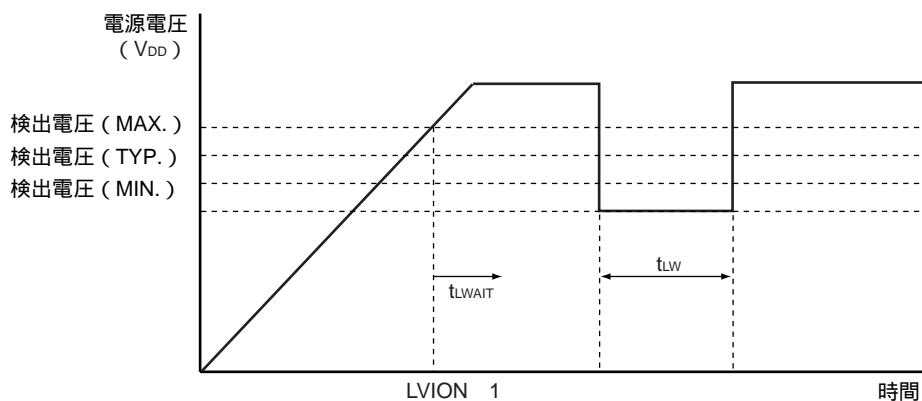
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.14	4.24	4.34	V
		V_{LVI1}	3.99	4.09	4.19	V
		V_{LVI2}	3.83	3.93	4.03	V
		V_{LVI3}	3.68	3.78	3.88	V
		V_{LVI4}	3.52	3.62	3.72	V
		V_{LVI5}	3.37	3.47	3.57	V
		V_{LVI6}	3.22	3.32	3.42	V
		V_{LVI7}	3.06	3.16	3.26	V
		V_{LVI8}	2.91	3.01	3.11	V
		V_{LVI9}	2.75	2.85	2.95	V
		V_{LVI10}	2.60	2.70	2.80	V
		V_{LVI11}	2.45	2.55	2.65	V
		V_{LVI12}	2.29	2.39	2.49	V
		V_{LVI13}	2.14	2.24	2.34	V
		V_{LVI14}	1.98	2.08	2.18	V
V_{LVI15}	1.83	1.93	2.03	V		
外部入力端子 ^{注1} レベル	EX_{LVI}	$EX_{LVI} < V_{DD}$, 1.8 V $V_{DD} = 5.5 V$	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧レベル	VDD_{LVI}	LVI_{START} (オプション・バイト) = 1	2.50	2.70	2.90	V
最小パルス幅	t_{LW}		200			μS
動作安定待ち時間 ^{注2}	t_{LWAIT}		10			μS

注1. P120/INTP0端子と兼用です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$ ($n = 1-15$)

LVI回路タイミング



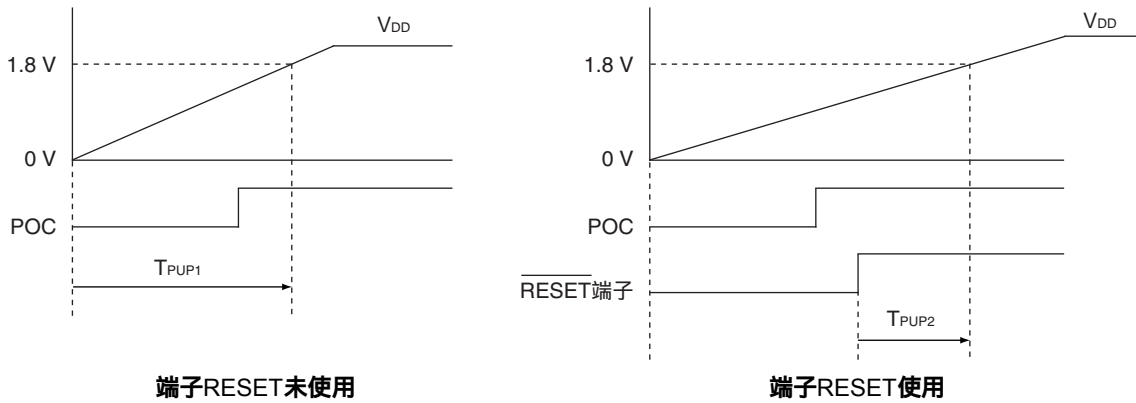
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(7) 電源立ち上げ時間

($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略称	条件	MIN.	TYP.	MAX.	単位
V_{DDmin} (1.8 V) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V \sim 1.8 V$)	T_{PUP1}	LVI起動オプション無効 端子RESET未使用時			3.6	ms
V_{DDmin} (1.8 V) までの立ち上げ最大時間 ^注 (端子RESET解除 $V_{DD} : 1.8 V$)	T_{PUP2}	LVI起動オプション無効 端子RESET使用時			1.9	ms

注 LVI起動オプション無効時には、これより短い時間で電源を立ち上げてください。



27.5 データ保持特性

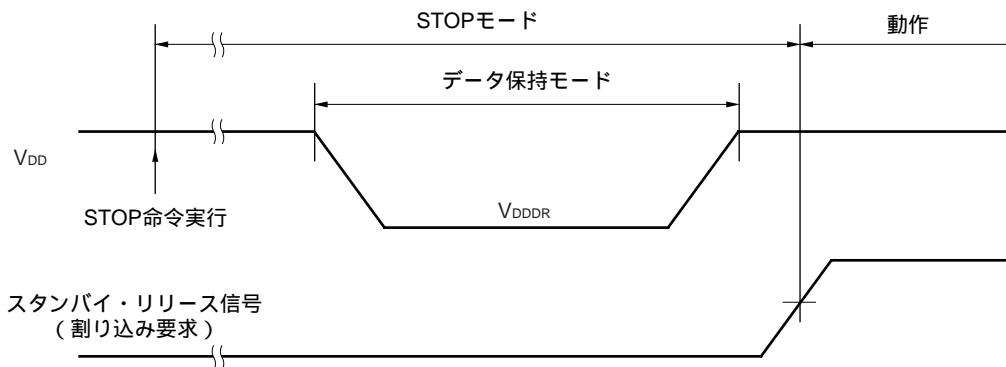
データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持、POCリセットが掛かった場合のデータは保証されません。

データ保持タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

27.6 フラッシュEEPROMプログラミング特性

(1) 基本特性

($T_A = -40 \sim +85$, $2.7V \leq V_{DD} = EV_{DD} \leq 5.5V$, $V_{SS} = EV_{SS} = 0V$)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
V _{DD} 電源電圧	I _{DD}	TYP. 10 MHz, MAX. 20 MHz				4.5	11.0	mA	
消去時間 ^{注1,2}	チップ単位	T _{ERACA}					20	200	ms
	セクタ単位	T _{ERASA}					20	200	ms
書き込み時間	T _{WRWA}					10	100	μs	
1チップあたりの書き換え回数	C _{enwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注3} 。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時	保持 15年	1000			回	
			当社提供のEEPROMエミュレーション・ライブラリ使用時、書き換えROMサイズ: 4 Kバイト	保持 5年	10000			回	
			上記以外の条件	保持 10年	100			回	

注1. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

- フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間とは異なります。
- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

第28章 電気的特性 (A2)水準品)

対象製品 78K0/FC2: μ PD78F0881A (A2), 78F0882A (A2), 78F0883A (A2), 78F0884A (A2), 78F0885A (A2),
78F0886A (A2), 78F0894A (A2), 78F0895A (A2)
78K0/FE2: μ PD78F0887A (A2), 78F0888A (A2), 78F0889A (A2), 78F0890A (A2)
78K0/FF2: μ PD78F0891A (A2), 78F0892A (A2), 78F0893A (A2)

- 注意 1. 78K0/Fx2マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/FC2		78K0/FE2	78K0/FF2
	44ピン	48ピン	64ピン	80ピン
ポート0	P00, P01	P00, P01, P06	P00, P01, P05, P06	
ポート1	P10-P17			
ポート3	P30-P33			
ポート4	P40, P41		P40-P43	P40-P47
ポート5	-		P50-P53	P50-P57
ポート6	P60-P62	P60-P63		P60-P67
ポート7	P70-P73		P70-P76	
ポート8	P80-P87			
ポート9	-	P90	P90-P93	P90-P97
ポート12	P120-P124			
ポート13	P130	P130, P131	P130-P132	

(次ページに、続きの表があります)

(2) ポート以外の機能

機能	78K0/FC2		78K0/FE2	78K0/FF2
	44ピン	48ピン	64ピン	80ピン
電源, グランド	V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}			
レギュレータ	REGC			
リセット	RESET			
クロック発振	X1, X2, XT1, XT2, EXCLK, EXCLKS			
フラッシュ書き込み	FLMD0			
割り込み	INTP0-INTP7			
タイム	TM00	TI000, TI010, TO00		
	TM01	-	TI011, TO01	TI001, TI011, TO01
	TM02	-		TI002, TI012, TO02
	TM03	-		TI003, TI013, TO03
	TM50	TI50, TO50		
	TM51	TI51, TO51		
	TMH0	TOH0		
	TMH1	TOH1		
シリアル・インタフェース	UART60	RxD60, TxD60		
	UART61	RxD61, TxD61		
	CS110	SCK10, SI10, SO10		
	CS111	-	SCK11, SI11, SO11, SSI11	
A/Dコンバータ	ANI0-ANI7	ANI0-ANI8	ANI0-ANI11	ANI0-ANI15
CANコントローラ	CRxD, CTxD			
クロック出力	PCL			
ブザー出力	BUZ			
LVI回路	EXLVI			

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

28.1 絶対最大定格

絶対最大定格 (1/2)

($T_A = 25$)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^注	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{REGC}		- 0.5 ~ + 3.6 かつ, V _{DD}	V
入力電圧	V _{I1}	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P80-P87, P90-P97, P120, P131, P132, X1, X2, XT1, XT2, RESET, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^注	V
	V _{I2}	P60-P63 N-chオープン・ドレイン時	- 0.3 ~ + 6.5	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}	ANI0-ANI15	- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (2/2)

(TA = 25)

項目	略号	条件		定格	単位	
ハイ・レベル出力電流	I _{OH1}	1端子	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P120, P130, P131, P132	- 10	mA	
		端子合計 - 80 mA	P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P76, P130	- 55		
			P00, P01, P40-P47, P120, P131, P132	- 25		
	I _{OH2}	1端子	P80-P87, P90-P97	- 0.5	mA	
		端子合計		- 2		
	I _{OH3}	1端子	P121-P124	- 1	mA	
		端子合計		- 4		
	ロウ・レベル出力電流	I _{OL1}	1端子	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P76, P120, P130, P131, P132	30	mA
			端子合計 200 mA	P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P76, P130	140	
			P00, P01, P40-P47, P120, P131, P132	60		
I _{OL2}		1端子	P80-P87, P90-P97	1	mA	
		端子合計		5		
I _{OL3}		1端子	P121-P124	4	mA	
		端子合計		10		
動作周囲温度		T _A	通常動作時		- 40 ~ + 125	
			フラッシュ・メモリ・プログラミング時		- 40 ~ + 125	
保存温度	T _{stg}			- 65 ~ + 150		

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

28.2 発振回路特性

(1) メイン・システム・クロック (水晶/セラミック) 発振回路特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数 (f_x) ^注	4.0 V V_{DD} 5.5 V	4.0		20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	4.0		10	
水晶振動子		発振周波数 (f_x) ^注	4.0 V V_{DD} 5.5 V	4.0		20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$	4.0		10	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) 内蔵発振回路特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

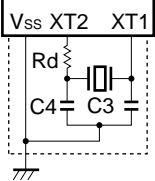
発振子	項目	条件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器 ^注	高速内蔵発振クロック	RSTS = 1 2.7 V V_{DD} 5.5 V	7.6	8	8.46	MHz
	周波数 (f_{RH})	RSTS = 0	2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック	2.7 V V_{DD} 5.5 V	216	240	264	kHz
	周波数 (f_{RL})					

注 発振回路の特性だけを示すものです。命令実行時間はAC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

(3) サブシステム・クロック発振回路特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間については、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

28.3 DC特性

DC特性 (1/5)

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P120, P130-P132 1端子	4.0 V V_{DD} 5.5 V		- 1.5	mA	
			2.7 V $V_{DD} < 4.0$ V		- 1.0	mA	
		P05, P06, P10-P17, P30-P33, P50-P57, P64-P67, P70-P76, P130 合計 ^{注2}	4.0 V V_{DD} 5.5 V		- 10.0	mA	
			2.7 V $V_{DD} < 4.0$ V		- 8.0	mA	
		P00, P01, P40-P47, P120, P131, P132 合計 ^{注2}	4.0 V V_{DD} 5.5 V		- 6.0	mA	
			2.7 V $V_{DD} < 4.0$ V		- 4.0	mA	
		全端子合計 ^{注2}	4.0 V V_{DD} 5.5 V		- 14.0	mA	
			2.7 V $V_{DD} < 4.0$ V		- 12.0	mA	
		IOH2	P80-P87, P90-P97 1端子	$AV_{REF} = V_{DD}$		- 100	μ A
			P121-P124 1端子			- 100	μ A
ロウ・レベル出力電流 ^{注3}	IOL1	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P76, P120, P130-P132 1端子	4.0 V V_{DD} 5.5 V		4.0	mA	
			2.7 V $V_{DD} < 4.0$ V		2.0	mA	
		P60-P63 1端子	4.0 V V_{DD} 5.5 V		8.0	mA	
			2.7 V $V_{DD} < 4.0$ V		2.0	mA	
		P05, P06, P10-P17, P30-P33, P50-P57, P60-P67, P70-P76, P130 合計 ^{注2}	4.0 V V_{DD} 5.5 V		20.0	mA	
			2.7 V $V_{DD} < 4.0$ V		16.0	mA	
		P00, P01, P40-P47, P120, P131, P132 合計 ^{注2}	4.0 V V_{DD} 5.5 V		10.0	mA	
			2.7 V $V_{DD} < 4.0$ V		8.0	mA	
			全端子合計 ^{注2}	4.0 V V_{DD} 5.5 V		30.0	mA
				2.7 V $V_{DD} < 4.0$ V		24.0	mA
		IOL2	P80-P87, P90-P97 1端子	$AV_{REF} = V_{DD}$		400	μ A
			P121-P124 1端子			400	μ A

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I_{OH}のデューティがn %の場合：端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50 %, I_{OH} = 20.0 mAの場合

端子合計の出力電流 = $(20.0 \times 0.7) / (50 \times 0.01) = 28.0$ mA

ただし、1端子当たりには流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/5)

($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V$, $AV_{REF} \leq V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	P12, P13, P15, P40-P47, P50-P57, P64-P67, P70, P74, P121-P124		0.7V _{DD}		V _{DD}	V
	V _{IH2}	P00, P01, P05, P06, P10, P11, P14, P16, P17, P30-P33, P71-P73, P75, P76, P120, P131, P132, RESET, EXCLK, EXCLKS		0.8V _{DD}		V _{DD}	V
	V _{IH3}	P80-P87, P90-P97	AV _{REF} = V _{DD}	0.7AV _{REF}		AV _{REF}	V
	V _{IH4}	P60-P63		0.7V _{DD}		6.0	V
ロウ・レベル入力電圧	V _{IL1}	P12, P13, P15, P40-P47, P50-P57, P60-P67, P70, P74, P121-P124		0		0.3V _{DD}	V
	V _{IL2}	P00, P01, P05, P06, P10, P11, P14, P16, P17, P30-P33, P71-P73, P75, P76, P120, P131, P132, RESET, EXCLK, EXCLKS		0		0.2V _{DD}	V
	V _{IL3}	P80-P87, P90-P97	AV _{REF} = V _{DD}	0		0.3AV _{REF}	V
ハイ・レベル出力電圧	V _{OH1}	I _{OH} = -1.5mA	P00, P01, P05, P06, P10-P17, P30-P33,	4.0 V V _{DD} 5.5 V	V _{DD} - 0.7		V
		I _{OH} = -1.0mA	P40-P47, P50-P57, P64-P67, P70-P76, P120, P130-P132	2.7 V V _{DD} < 4.0 V	V _{DD} - 0.7		V
	V _{OH2}	I _{OH} = -100 μA	P80-P87, P90-P97, P121-P124	AV _{REF} = V _{DD}	V _{DD} - 0.5		V
ロウ・レベル出力電圧	V _{OL1}	I _{OL} = 4.0 mA	P00, P01, P05, P06, P10-P17, P30-P33,	4.0 V V _{DD} 5.5 V		0.7	V
		I _{OL} = 2.0 mA	P40-P47, P50-P57, P64-P67, P70-P76, P120, P130-P132	2.7 V V _{DD} 5.5 V		0.7	V
	V _{OL2}	I _{OL} = 400 μA	P80-P87, P90-P97	AV _{REF} = V _{DD}		0.4	V
			P121-P124				
	V _{OL3}	I _{OL} = 8.0 mA	P60-P63	4.0 V V _{DD} 5.5 V		2.0	V
				4.0 V V _{DD} 5.5 V		0.6	V
2.7 V V _{DD} < 4.0V					0.6	V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/5)

($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	$V_i = V_{DD}$	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P76, P120, P131, P132, FLMD0, \overline{RESET}			5	μA
	I _{LIH2}	$V_i = AV_{REF}$	P80-P87, P90-P97 $AV_{REF} = V_{DD}$			5	μA
	I _{LIH3}	$V_i = V_{DD}$	P121-P124 (X1, X2, XT1, XT2)	I/Oポートモード OSCモード		5 20	μA μA
ロウ・レベル入力リーク電流	I _{LIL1}	$V_i = V_{SS}$	P00, P01, P05, P06, P10-P17, P30-P33, P40-P47, P50-P57, P60-P67, P70-P76, P120, P131, P132, FLMD0, \overline{RESET}			- 5	μA
	I _{LIL2}		P80-P87, P90-P97 $AV_{REF} = V_{DD}$			- 5	μA
	I _{LIL3}		P121-P124 (X1, X2, XT1, XT2)	I/Oポートモード OSCモード		- 5 - 20	μA μA
プルアップ抵抗値	R _U	$V_i = V_{SS}$		10	20	100	k Ω
FLMD0電源電圧	V _{IL}	通常動作時		0		0.2V _{DD}	V
	V _{IH}	セルフ・プログラミング時		0.8V _{DD}		V _{DD}	V
外部クロック入力電圧	V _{IL}	P122, P124 外部クロック・モード時		0		0.2V _{DD}	V
	V _{IH}	P122, P124 外部クロック・モード時		0.8V _{DD}		V _{DD}	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/5)

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	水晶 / セラミック 発振動作モード	$f_x = 20$ MHz ^{注2} , $V_{DD} = 5.0$ V	方形波入力		3.4	10.3	mA
				発信子接続		4.7	12.5	
			$f_x = 10$ MHz ^{注2,3} , $V_{DD} = 5.0$ V	方形波入力		1.8	5.4	
				発信子接続		2.5	7.2	
			$f_x = 10$ MHz ^{注2,3} , $V_{DD} = 3.0$ V	方形波入力		1.7	5.4	
				発信子接続		2.4	6.0	
			$f_x = 5$ MHz ^{注2,3} , $V_{DD} = 3.0$ V	方形波入力		1.0	3.0	
				発信子接続		1.4	3.6	
			$f_{RH} = 8$ MHz, $V_{DD} = 5.0$ V ^{注4}				1.5	
	$f_{XT} = 32.768$ kHz ^{注5} , $V_{DD} = 5.0$ V	方形波入力		6	138	μA		
		発信子接続		15	145			
	IDD2	水晶 / セラミック 発振HALTモード	$f_x = 20$ MHz ^{注2} , $V_{DD} = 5.0$ V	方形波入力		1.0	5.9	mA
				発信子接続		2.2	8.6	
			$f_x = 10$ MHz ^{注2,3} , $V_{DD} = 5.0$ V	方形波入力		0.6	3.1	
				発信子接続		1.2	4.7	
$f_x = 5$ MHz ^{注2,3} , $V_{DD} = 3.0$ V			方形波入力		0.3	1.6		
			発信子接続		0.6	2.4		
$f_{RH} = 8$ MHz, $V_{DD} = 5.0$ V ^{注4}					0.5	2.1		
$f_{XT} = 32.768$ kHz ^{注5} , $V_{DD} = 5.0$ V			方形波入力		3.0	133	μA	
			発信子接続		12	138		
IDD3 ^{注6}	STOPモード	$V_{DD} = 5.0$ V		1	100	μA		

- 注1. 内部電源 (V_{DD} , EV_{DD}) に流れるトータル電流です。周辺動作電流、入力端子を V_{DD} または、 V_{SS} に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。
2. 8 MHz内蔵発振器、240 kHz内蔵発振器、XT1発振回路の動作電流、A/Dコンバータ、ウォッチドッグ・タイマ、LVI回路に流れる電流は含みません
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路、XT1発振回路、240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ、ウォッチドッグ・タイマ、LVI回路に流れる電流は含みません。また、CANの動作電流は含みません。
5. X1発振回路、8 MHz内蔵発振器、240 kHz内蔵発振器の動作電流は含みません。A/Dコンバータ、ウォッチドッグ・タイマ、LVI回路に流れる電流は含みません。
6. 240 kHz内蔵発振器、XT1発振回路の動作電流、A/Dコンバータ、ウォッチドッグ・タイマ、LVI回路に流れる電流は含みません。

- 備考1. f_x : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{XT} : サブシステム・クロック周波数 (XT1クロック発振周波数または外部サブシステム・クロック周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/5)

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
A/Dコンバータ電流	I_{ADC} ^{注1}	ADCE = 1	2.7 V $AV_{REF} = V_{DD}$		0.86	2.9	mA
ウォッチドッグ・ タイマ動作電流	I_{WDT} ^{注2}	240 kHz低速内蔵発振クロック動作時			5	15	μA
LVI動作電流	I_{LVI} ^{注3}				9	27	μA

注1. A/Dコンバータ(AV_{REF} 端子)にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Fx2マイクロコントローラの電流値となります。

2. ウォッチドッグ・タイマ(V_{DD} 端子)にのみ流れる電流です(240 kHz内蔵発振器の動作電流を含みます)。HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Fx2マイクロコントローラの電流値となります。

3. LVI回路(V_{DD} 端子)にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Fx2マイクロコントローラの電流値となります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

28.4 AC特性

(1) 基本動作

($T_A = -40 \sim +125$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

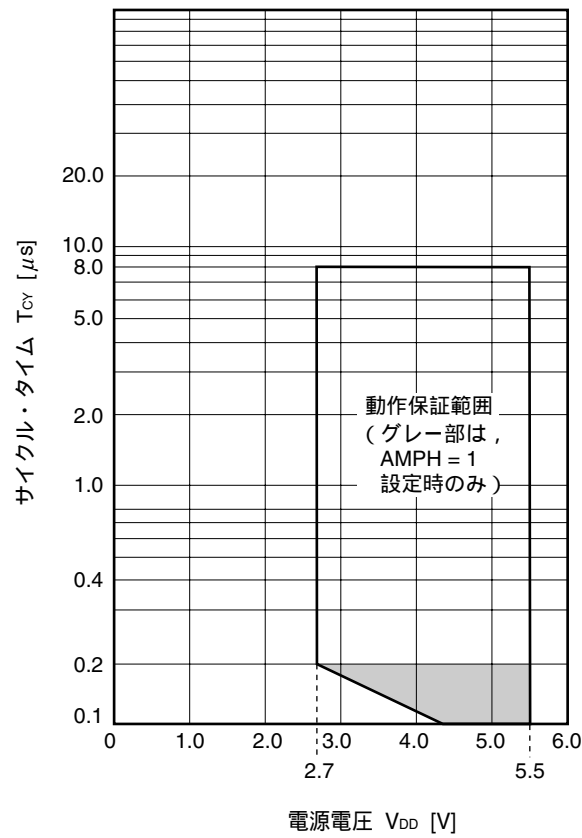
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・ クロック動作	4.0 V $V_{DD} \leq 5.5\text{ V}$	0.1		8	$\mu\text{ s}$
			2.7 V $V_{DD} < 4.0\text{ V}$	0.2		8	$\mu\text{ s}$
		サブシステム・クロック動作		114	122	125	$\mu\text{ s}$
周辺ハードウェア・ クロック周波数	f _{PRS}	f _{PRS} = f _X	4.0 V $V_{DD} \leq 5.5\text{ V}$			20	MHz
			2.7 V $V_{DD} < 4.0\text{ V}$ ^{注1}			10	
		f _{PRS} = f _{RH}	2.7 V $V_{DD} \leq 5.5\text{ V}$	7.6		8.46	MHz
外部クロック入力周波数	f _{EXT}	4.0 V $V_{DD} \leq 5.5\text{ V}$	4.0		20	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$	4.0		10		
外部クロック入力ハイ・レ ベル幅, ロウ・レベル幅	f _{EXTH}	4.0 V $V_{DD} \leq 5.5\text{ V}$	24			ns	
	f _{EXTL}	2.7 V $V_{DD} < 4.0\text{ V}$	48				
外部サブクロック入力周波数	f _{EXTS}		32	32.768	35	kHz	
外部サブクロック入力ハイ・ レベル幅, ロウ・レベル幅	f _{EXTSH}		12			$\mu\text{ s}$	
	f _{EXTSL}						
TI000, TI001, TI010, TI011, TI002, TI012, TI003, TI013 入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0}	4.0 V $V_{DD} \leq 5.5\text{ V}$				$\mu\text{ s}$	
	t _{TIL0}	2.7 V $V_{DD} < 4.0\text{ V}$					
TI150, TI151入力周波数	f _{TI15}	4.0 V $V_{DD} \leq 5.5\text{ V}$			10	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$			10		
TI150, TI151入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5}	4.0 V $V_{DD} \leq 5.5\text{ V}$	50			ns	
	t _{TIL5}	2.7 V $V_{DD} < 4.0\text{ V}$	50				
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH}		1			$\mu\text{ s}$	
	t _{TIL}						
RESETロウ・レベル幅	t _{RSL}		10			$\mu\text{ s}$	

注1. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{XH}/2$ (10 MHz) 以下にしてください。ただし乗除算器回路については、 f_{XH} (20 MHz) での動作が可能です。

2. プリスケアラ・モード・レジスタ0n (PRM0n) のビット0, 1 (PRM0n0, PRM0n1) により、 $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ または f_{PRS} , $f_{PRS}/16$, $f_{PRS}/64$ の選択が可能です。ただし、カウント・クロックとしてTI00n有効エッジを選択した場合は、 $f_{sam} = f_{PRS}$ となります。

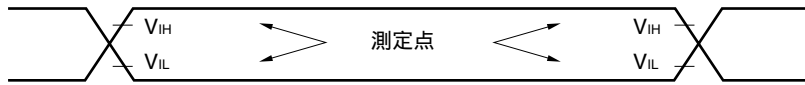
備考 n = 0-3

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

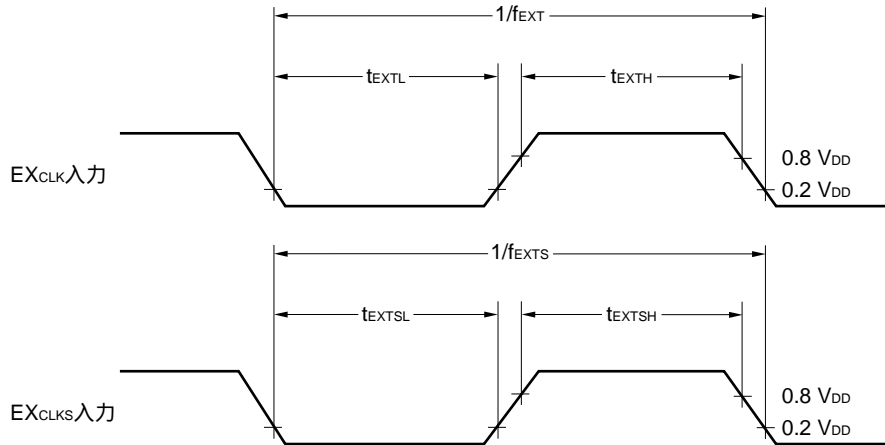


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

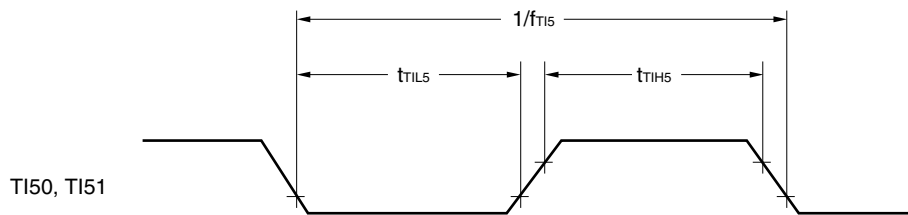
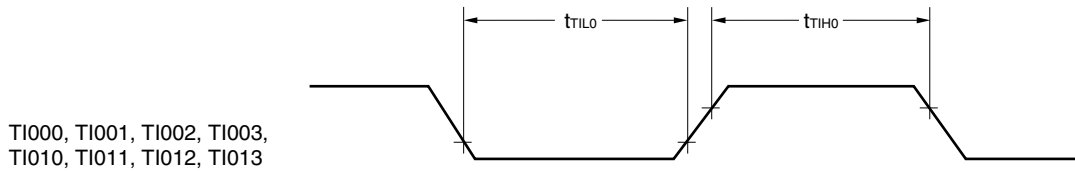
ACタイミング測定点 (外部クロック入力を除く)



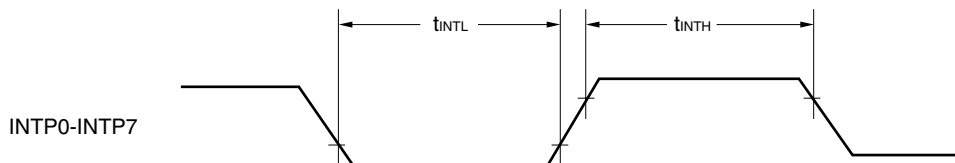
外部クロック入力タイミング



T1タイミング

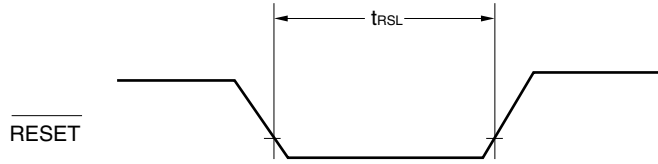


割り込み要求入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

RESET入力タイミング



(2) シリアル・インタフェース

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

(a) UARTモード (UART6n, 専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	Kbps

(b) 3線式シリアルI/Oモード (マスタ・モード, SCK1n...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1nサイクル・タイム	t _{KCY1}	4.0 V $V_{DD} = 5.5$ V	200			ns
		2.7 V $V_{DD} < 4.0$ V	400			ns
SCK1nハイ・レベル幅, ロウ・レベル幅	t _{KH1}	4.0 V $V_{DD} = 5.5$ V	t _{KCY1} /2 - 20 ^{注1}			ns
	t _{KL1}	2.7 V $V_{DD} < 4.0$ V	t _{KCY1} /2 - 30 ^{注1}			ns
SI1nセットアップ時間 (対SCK1n)	t _{SIK1}	4.0 V $V_{DD} = 5.5$ V	70			ns
		2.7 V $V_{DD} < 4.0$ V	100			ns
SI1nホールド時間 (対SCK1n)	t _{SI1}		30			ns
SCK1n SO1n出力遅延時間	t _{KSO1}	C = 50 pF ^{注2}			40	ns

注1. f_x使用時の値です。f_{RH}使用時はスペックが異なるので注意してください。

2. Cは、SCK1n, SO1n出力ラインの負荷容量です。

(c) 3線式シリアルI/Oモード (スレーブ・モード, SCK1n...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK1nサイクル・タイム	t _{KCY2}		400			ns
SCK1nハイ・レベル幅, ロウ・レベル幅	t _{KH2}		t _{KCY2} /2			ns
	t _{KL2}					
SI1nセットアップ時間 (対SCK1n)	t _{SIK2}		80			ns
SI1nホールド時間 (対SCK1n)	t _{SI2}		50			ns
SCK1n SO1n出力遅延時間	t _{KSO2}	C = 50 pF ^注				
		4.0 V $V_{DD} = 5.5$ V			120	ns
		2.7 V $V_{DD} < 4.0$ V			120	

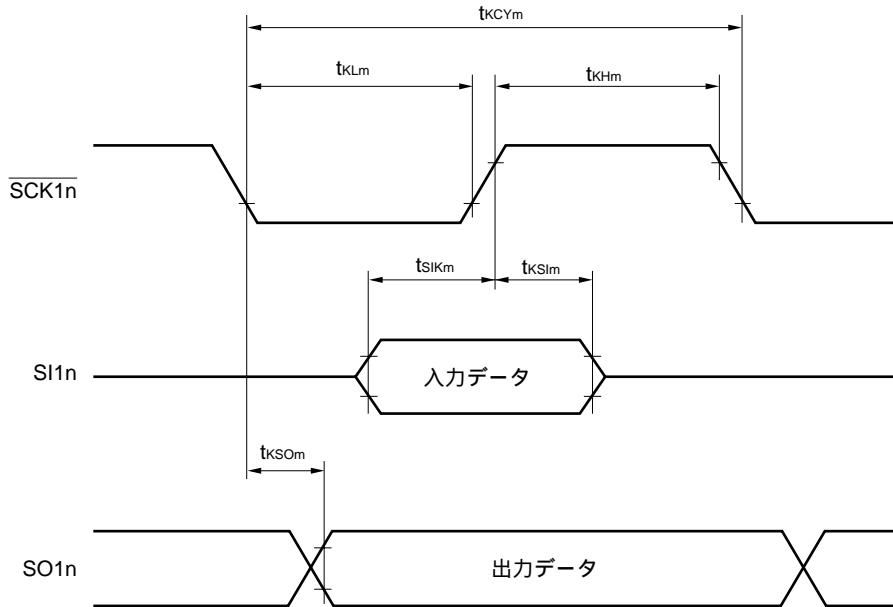
注 Cは、SO1n出力ラインの負荷容量です。

備考 n = 0, 1

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

シリアル転送タイミング

3線式シリアルI/Oモード



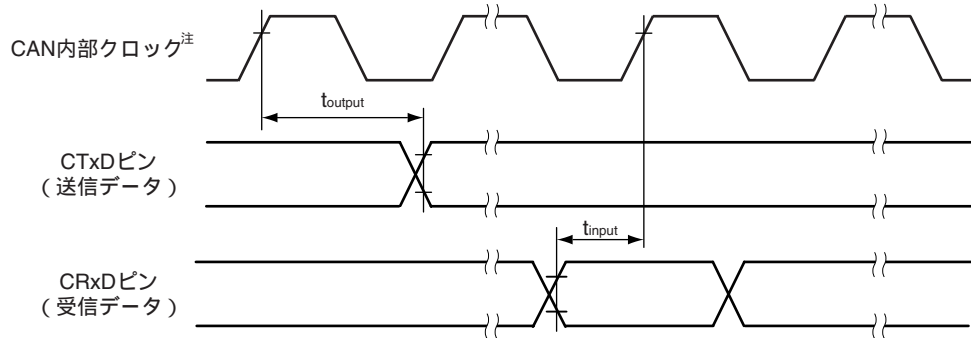
備考 m = 1, 2
n = 0, 1

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(3) CANコントローラ

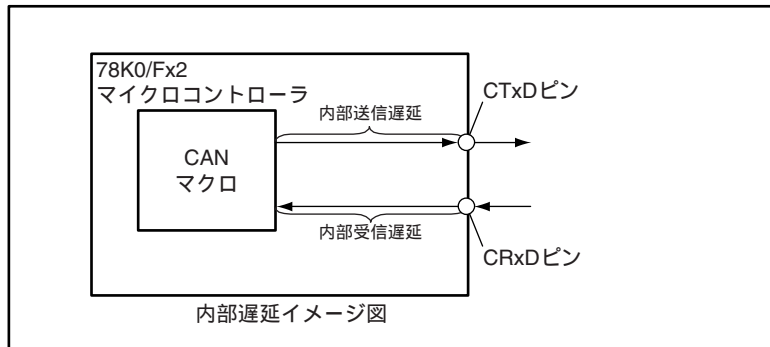
($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V$, $V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t _{NODE}				100	ns



内部遅延時間 (t_{NODE}) = 内部送信時間 (t_{output}) + 内部受信時間 (t_{input})

注 CAN内部クロック (f_{CAN}) : CANポーレート・クロック



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(4) A/Dコンバータ特性

($T_A = -40 \sim +125$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	
変換時間	t_{CONV}	4.0 V $AV_{REF} = 5.5$ V	6.1		66.6	μ s
		2.7 V $AV_{REF} < 4.0$ V	12.2		66.6	
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	
フルスケール誤差 ^{注1, 2}	E _{FS}	4.0 V $AV_{REF} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	
積分直線性誤差 ^{注1}	I _{LE}	4.0 V $AV_{REF} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 4.5	
微分直線性誤差 ^{注1}	D _{LE}	4.0 V $AV_{REF} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 2.0	
アナログ入力電圧	V _{AIN}		AV_{SS}		AV_{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

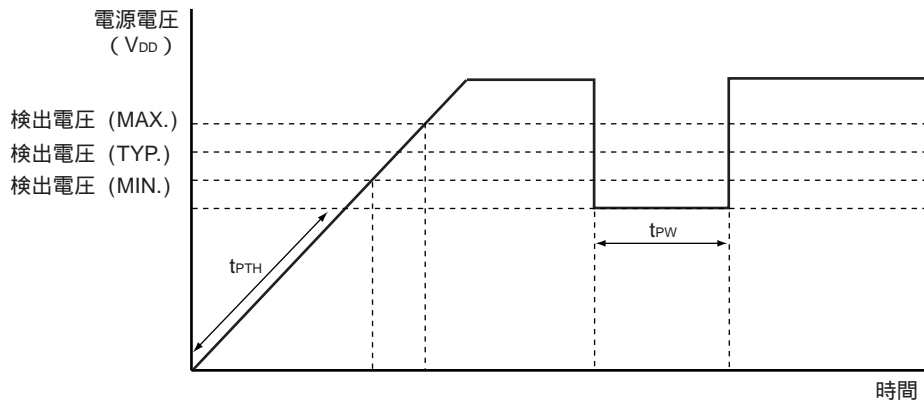
(5) POC回路特性

($T_A = -40 \sim +125$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POCO}		1.44	1.59	1.74	V
一次電源傾き	t_{PTH}	$V_{DD} : 0 V$ V_{POCO} の変化傾き	0.5			V/ms
最小パルス幅 ^注	t_{PW}	電源降下時	200			μs

注 最小パルス幅より短い幅で電源降下時は、POC検出の動作は保証しません。

POC回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(6) LVI回路特性

($T_A = -40 \sim +125$, $V_{POC} = V_{DD} = EV_{DD} = 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

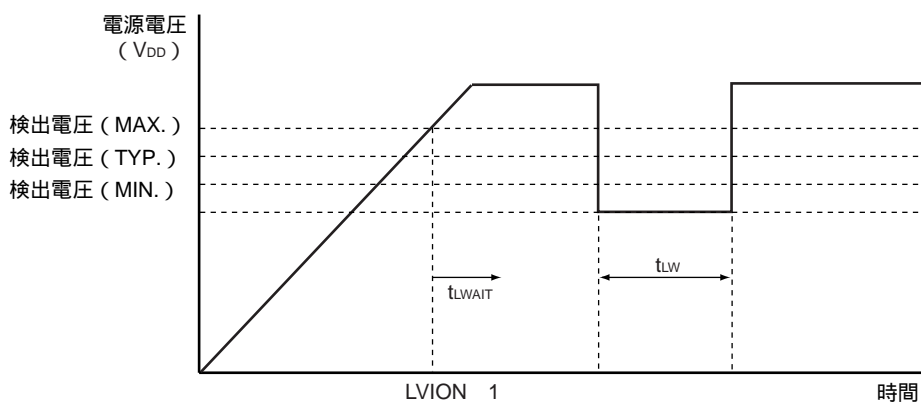
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.14	4.24	4.34	V
		V_{LVI1}	3.99	4.09	4.19	V
		V_{LVI2}	3.83	3.93	4.03	V
		V_{LVI3}	3.68	3.78	3.88	V
		V_{LVI4}	3.52	3.62	3.72	V
		V_{LVI5}	3.37	3.47	3.57	V
		V_{LVI6}	3.22	3.32	3.42	V
		V_{LVI7}	3.06	3.16	3.26	V
		V_{LVI8}	2.91	3.01	3.11	V
		V_{LVI9}	2.75	2.85	2.95	V
外部入力端子 ^{注1} レベル	EX_{LVI}	$EX_{LVI} < V_{DD}, 2.7 V$ $V_{DD} = 5.5 V$	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧レベル	V_{DDLVI}		2.50	2.70	2.90	V
最小パルス幅	t_{LW}		200			μS
動作安定待ち時間 ^{注2}	t_{LWAIT}		10			μS

注1. P120/INTP0端子と兼用です。

2. LVIONに1を設定してから、動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} (n = 1-9)$

LVI回路タイミング



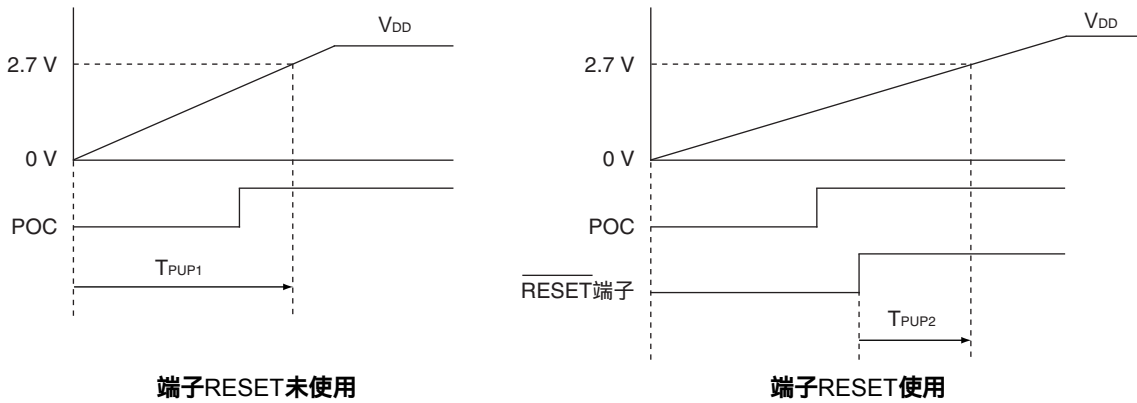
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(7) 電源立ち上げ時間

($T_A = -40 \sim +125$, $V_{SS} = 0 V$)

項目	略称	条件	MIN.	TYP.	MAX.	単位
V_{DDmin} (2.7 V) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V \sim 2.7 V$)	T_{PUP1}	LVI起動オプション無効 端子RESET未使用時			3.6	ms
V_{DDmin} (2.7 V) までの立ち上げ最大時間 ^注 (端子RESET解除 $V_{DD} : 2.7 V$)	T_{PUP2}	LVI起動オプション無効 端子RESET使用時			1.9	ms

注 LVI起動オプション無効時には、これより短い時間で電源を立ち上げてください。



28.5 データ保持特性

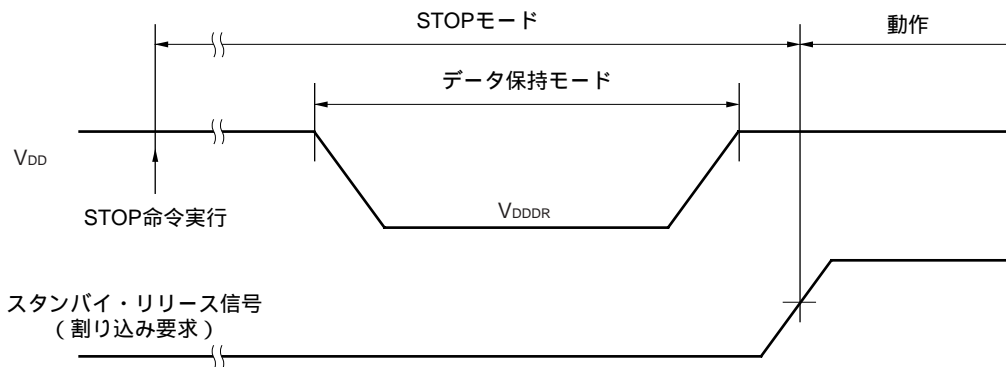
データ・メモリSTOPモード低電源電圧データ保持特性

($T_A = -40 \sim +125$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持、POCリセットが掛かった場合のデータは保証されません。

データ保持タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

28.6 フラッシュEEPROMプログラミング特性

(1) 基本特性

($T_A = -40 \sim +125$, $2.7 V \leq V_{DD} \leq 5.5 V$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
V _{DD} 電源電圧	I _{DD}	TYP. 10 MHz, MAX. 20 MHz				4.5	16	mA	
消去時間 ^{注1,2}	全ブロック	T _{ERACA}					20	200	ms
	ブロック単位	T _{ERASA}					20	200	ms
書き込み時間	T _{WRWA}					10	100	μs	
1チップあたりの書き換え回数	C _{enwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注3} 。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時	保持15年	1000				回
			当社提供のEEPROMエミュレーション・ライブラリ使用時、書き換えROMサイズ: 4 Kバイト	保持5年	10000				回
			上記以外の条件	保持10年	100				回

注1. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。

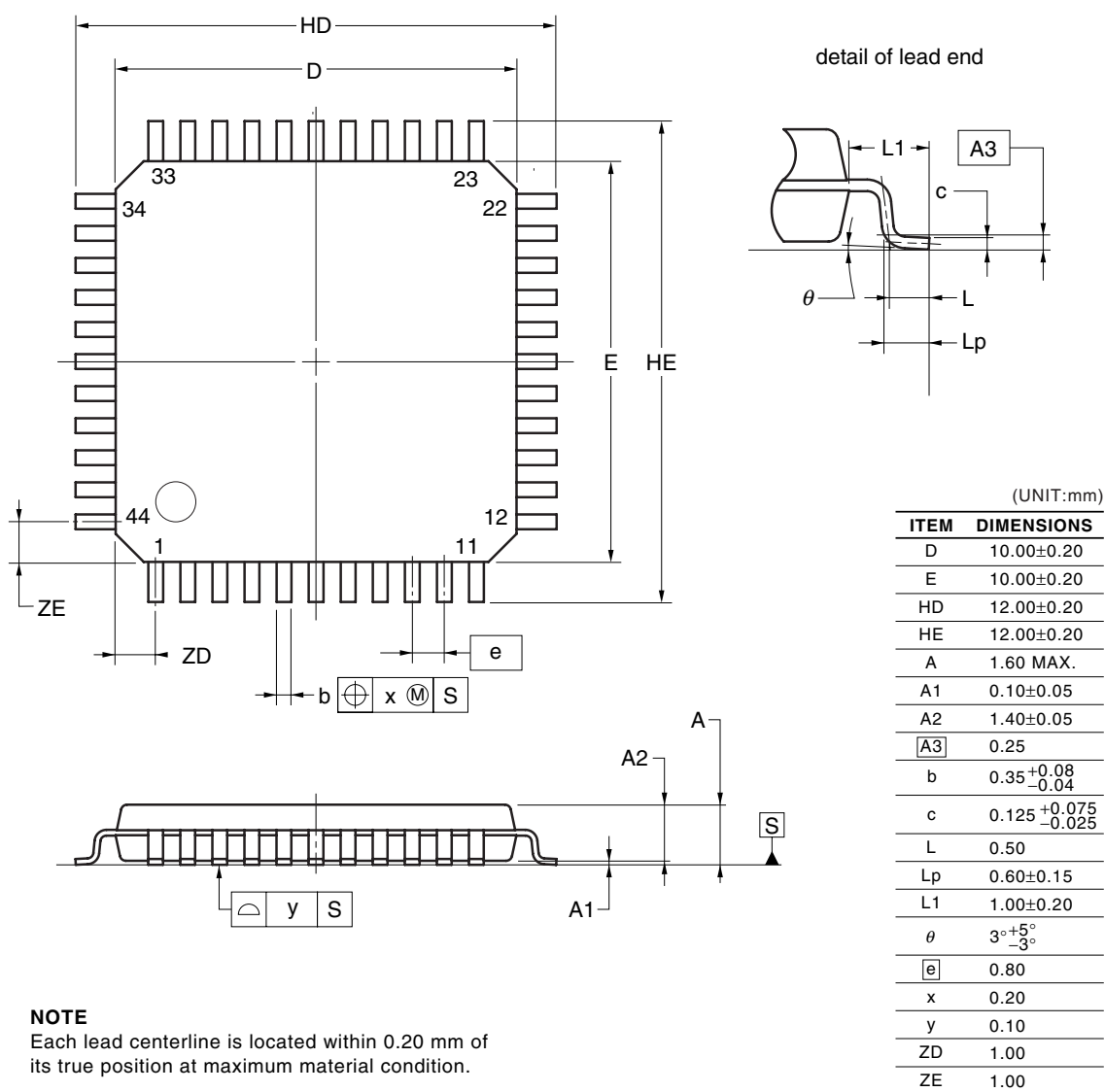
- フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間とは異なります。
- 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

第29章 外形図

29.1 78K0/FC2

- μ PD78F0881AGBA-GAF-G, 78F0881AGBA2-GAF-G, 78F0882AGBA-GAF-G, 78F0882AGBA2-GAF-G, 78F0883AGBA-GAF-G, 78F0883AGBA2-GAF-G

44ピン・プラスチック LQFP (10x10)



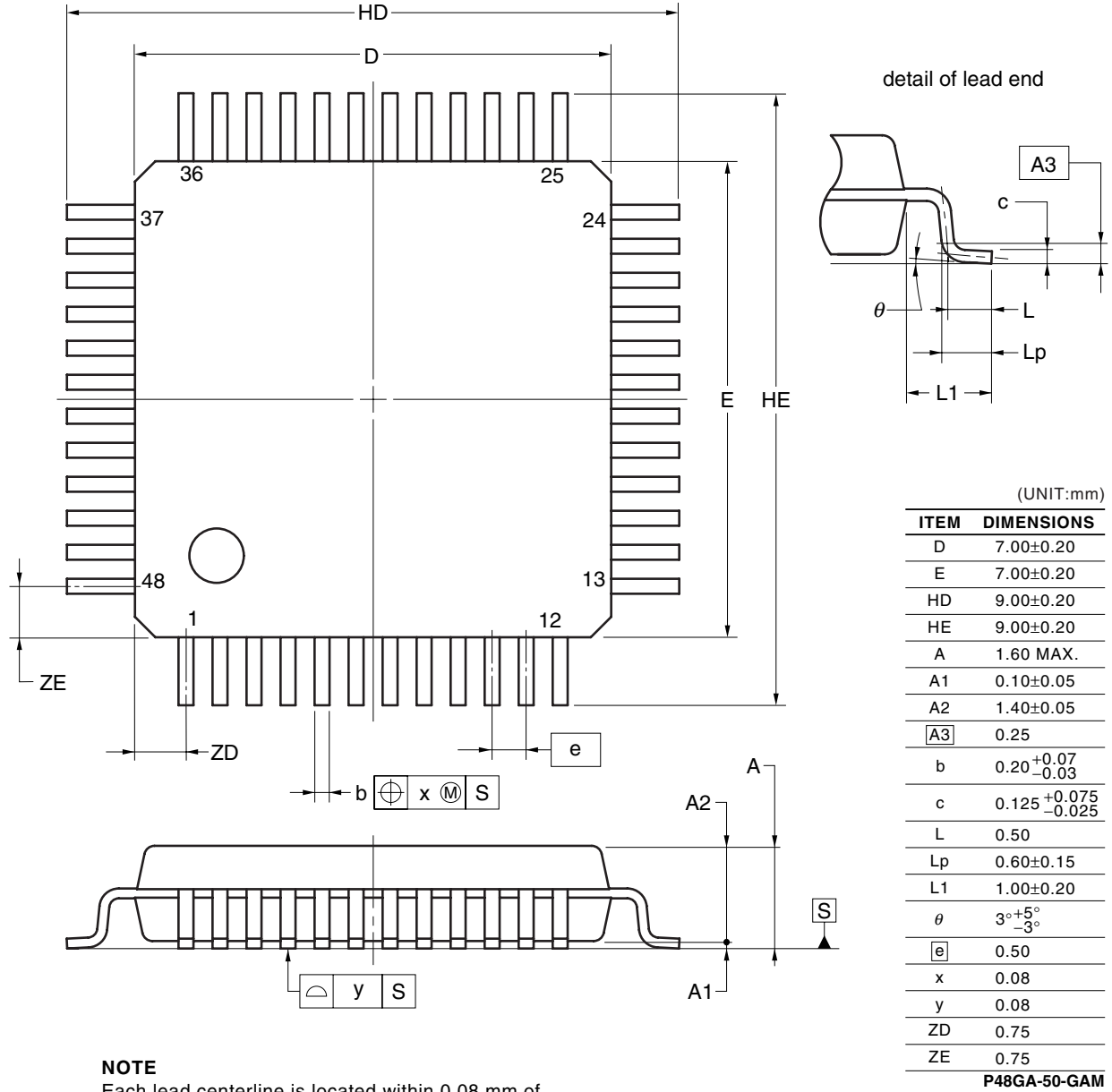
NOTE

Each lead centerline is located within 0.20 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

- μ PD78F0884AGAA-GAM-G, 78F0884AGAA2-GAM-G, 78F0885AGAA-GAM-G, 78F0885AGAA2-GAM-G, 78F0886AGAA-GAM-G, 78F0886AGAA2-GAM-G, 78F0894AGAA-GAM-G, 78F0894AGAA2-GAM-G, 78F0895AGAA-GAM-G, 78F0895AGAA2-GAM-G

48ピン・プラスチック LQFP (ファインピッチ) (7x7)



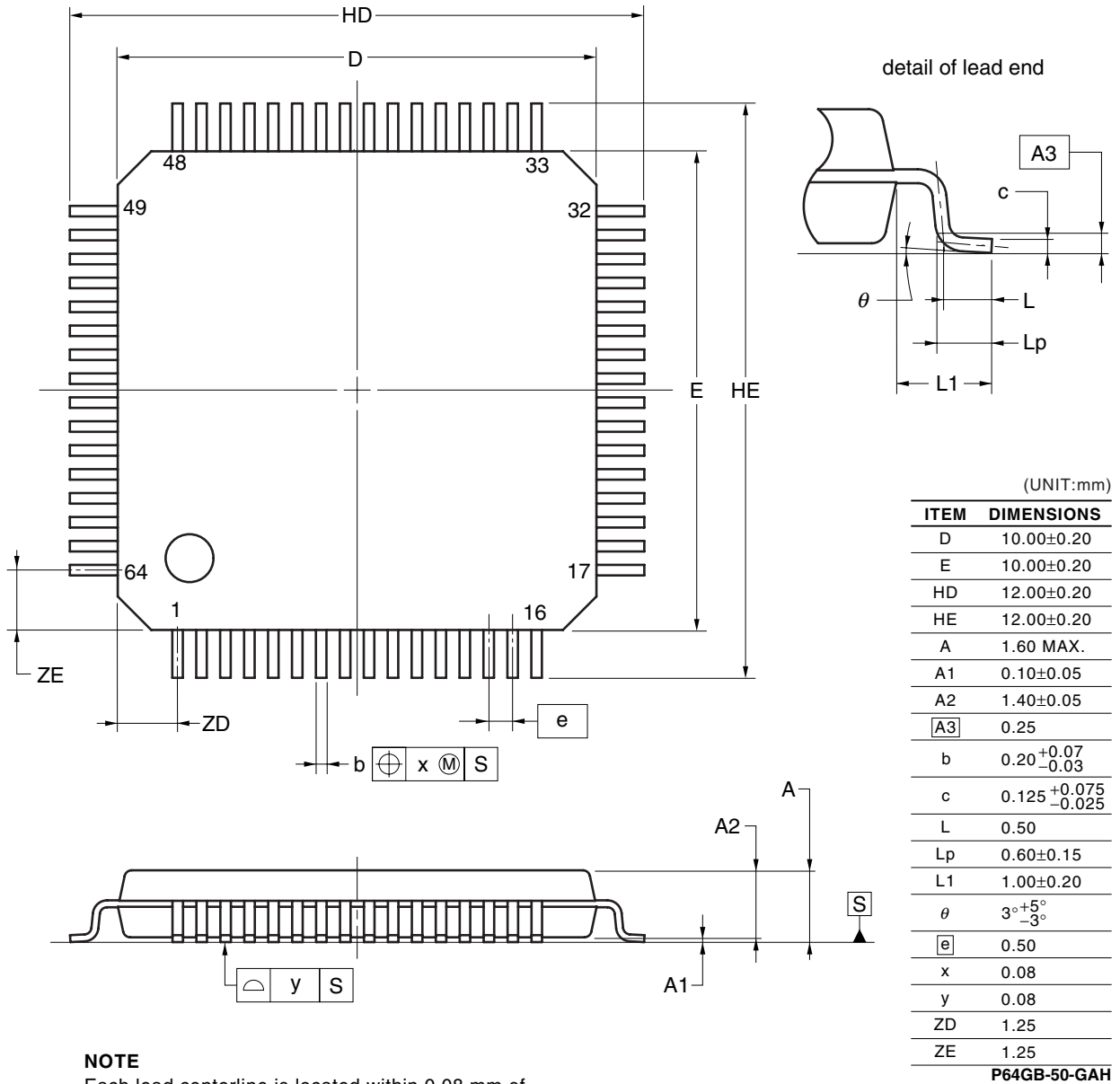
NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

29.2 78K0/FE2

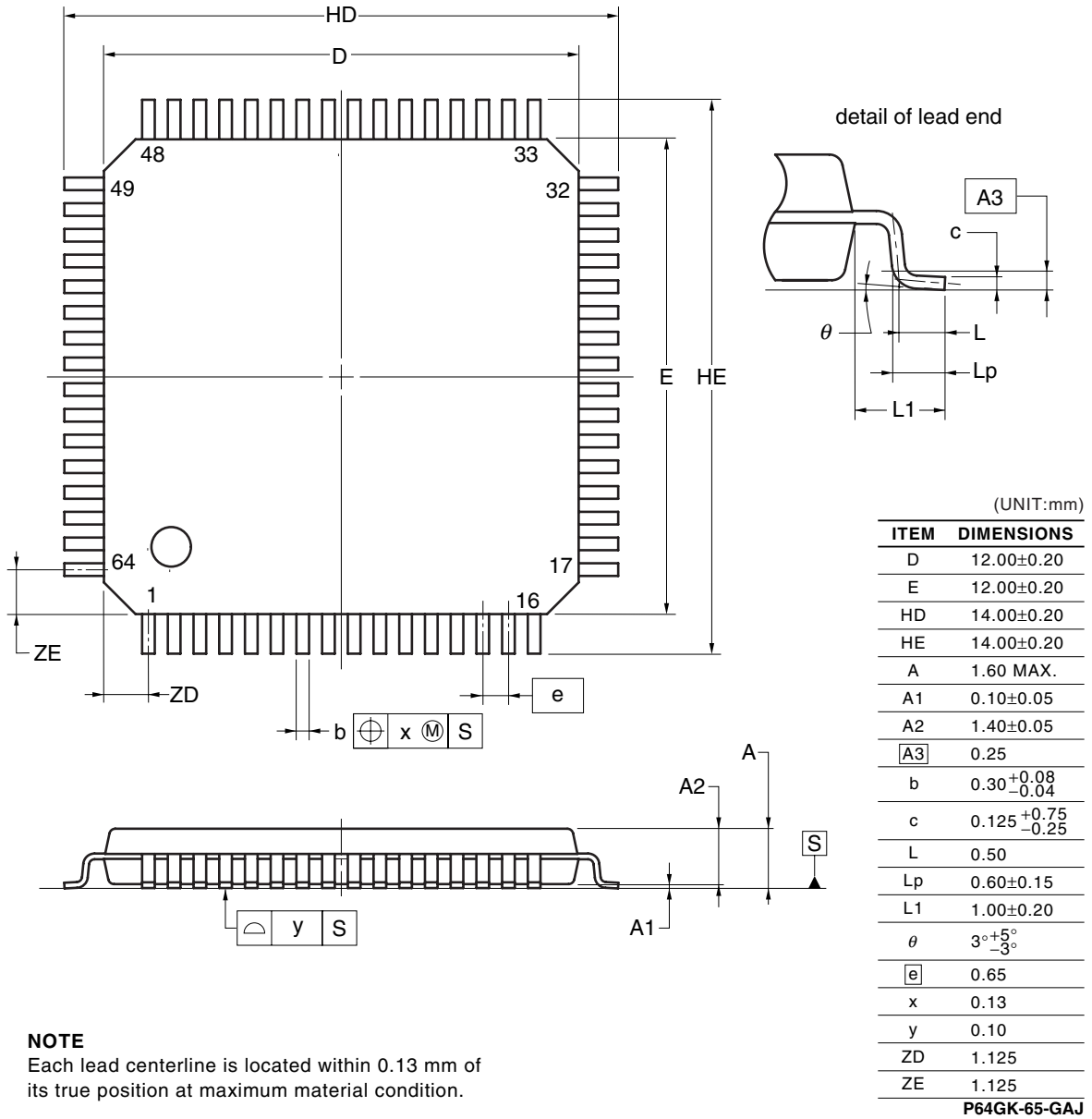
- μ PD78F0887AGBA-GAH-G, 78F0887AGBA2-GAH-G, 78F0888AGBA-GAH-G, 78F0888AGBA2-GAH-G, 78F0889AGBA-GAH-G, 78F0889AGBA2-GAH-G, 78F0890AGBA-GAH-G, 78F0890AGBA2-GAH-G

64ピン・プラスチック LQFP (ファインピッチ) (10x10) 外形図



- μ PD78F0887AGKA-GAJ-G, 78F0887AGKA2-GAJ-G, 78F0888AGKA-GAJ-G, 78F0888AGKA2-GAJ-G, 78F0889AGKA-GAJ-G, 78F0889AGKA2-GAJ-G, 78F0890AGKA-GAJ-G, 78F0890AGKA2-GAJ-G

64ピン・プラスチックLQFP (12x12) 外形図



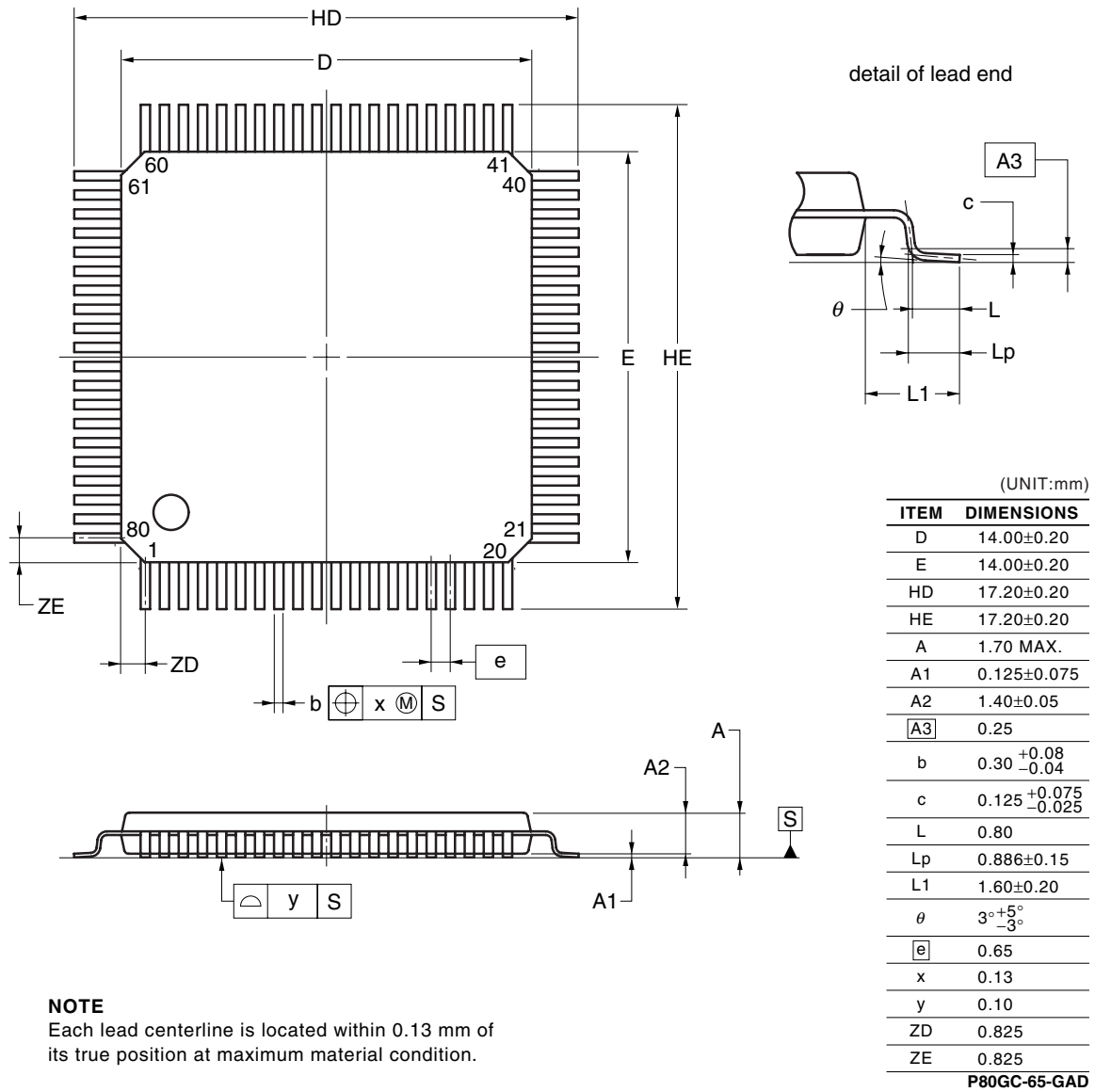
NOTE
Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

29.3 78K0/FF2

- μ PD78F0891AGCA-GAD-G, 78F0891AGCA2-GAD-G, 78F0892AGCA-GAD-G, 78F0892AGCA2-GAD-G, 78F0893AGCA-GAD-G, 78F0893AGCA2-GAD-G

80ピン・プラスチック LQFP (14x14) 外形図

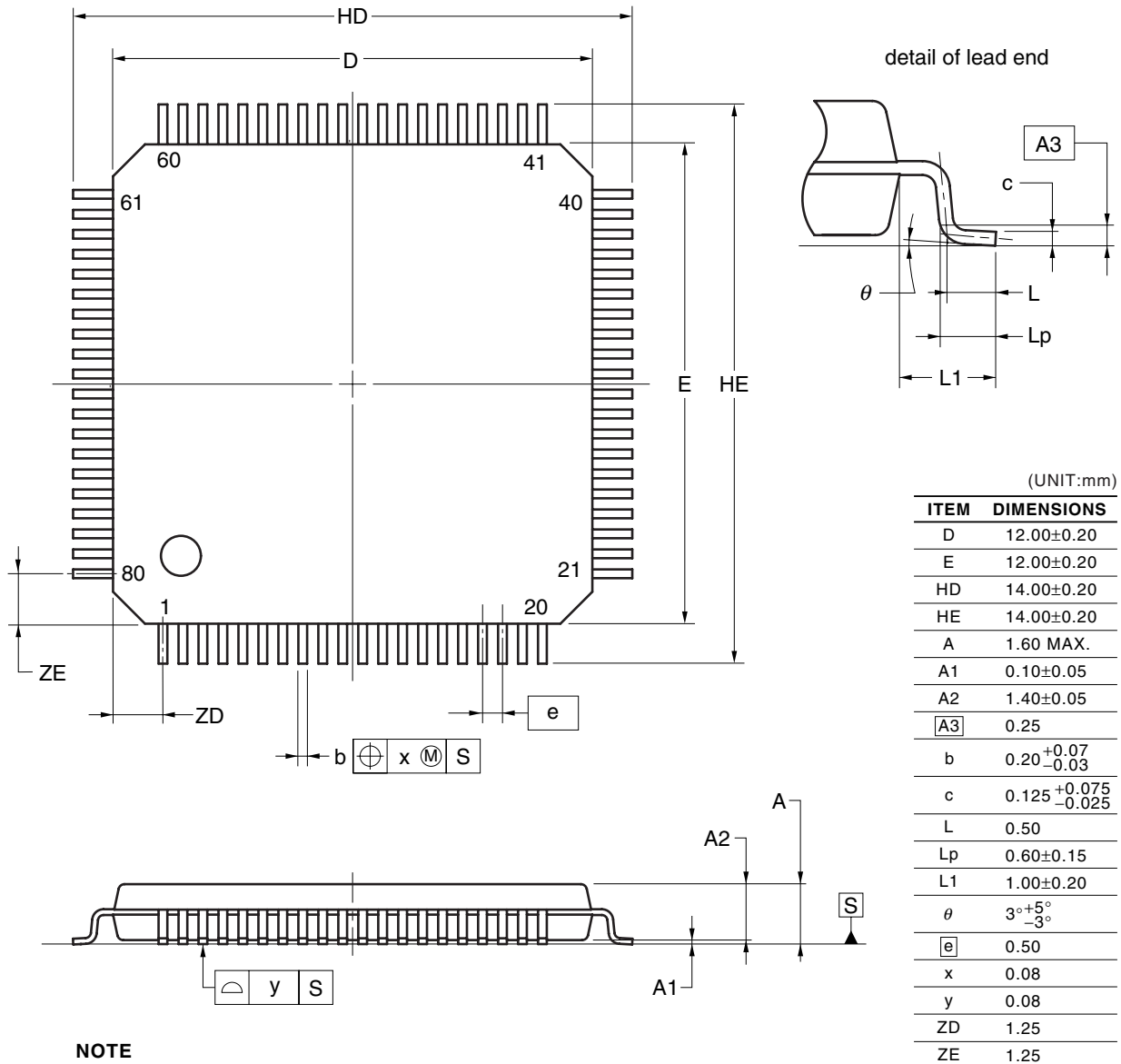


NOTE

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

- μ PD78F0891AGKA-GAK-G, 78F0891AGKA2-GAK-G, 78F0892AGKA-GAK-G, 78F0892AGKA2-GAK-G, 78F0893AGKA-GAK-G, 78F0893AGKA2-GAK-G

80ピン・プラスチックLQFP (ファインピッチ) (12x12) 外形図



NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

第30章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表30 - 1 表面実装タイプの半田付け条件

- ・ 44ピン・プラスチック LQFP (10 × 10)
 μ PD78F0881AGBA-GAF-G, 78F0881AGBA2-GAF-G, 78F0882AGBA-GAF-G, 78F0882AGBA2-GAF-G,
 78F0883AGBA-GAF-G, 78F0883AGBA2-GAF-G
- ・ 48ピン・プラスチック LQFP (7 × 7)
 μ PD78F0884AGAA-GAM-G, 78F0884AGAA2-GAM-G, 78F0885AGAA-GAM-G, 78F0885AGAA2-GAM-G,
 78F0886AGAA-GAM-G, 78F0886AGAA2-GAM-G, 78F0894AGAA-GAM-G, 78F0894AGAA2-GAM-G,
 78F0895AGAA-GAM-G, 78F0895AGAA2-GAM-G
- ・ 64ピン・プラスチックLQFP (12 × 12)
 μ PD78F0887AGKA-GAJ-G, 78F0887AGKA2-GAJ-G, 78F0888AGKA-GAJ-G, 78F0888AGKA2-GAJ-G,
 78F0889AGKA-GAJ-G, 78F0889AGKA2-GAJ-G, 78F0890AGKA-GAJ-G, 78F0890AGKA2-GAJ-G
- ・ 64ピン・プラスチックLQFP (10 × 10)
 μ PD78F0887AGBA-GAH-G, 78F0887AGBA2-GAH-G, 78F0888AGBA-GAH-G, 78F0888AGBA2-GAH-G,
 78F0889AGBA-GAH-G, 78F0889AGBA2-GAH-G, 78F0890AGBA-GAH-G, 78F0890AGBA2-GAH-G
- ・ 80ピン・プラスチックLQFP (14 × 14)
 μ PD78F0891AGCA-GAD-G, 78F0891AGCA2-GAD-G, 78F0892AGCA-GAD-G, 78F0892AGCA2-GAD-G,
 78F0893AGCA-GAD-G, 78F0893AGCA2-GAD-G
- ・ 80ピン・プラスチックLQFP (12 × 12)
 μ PD78F0891AGKA-GAK-G, 78F0891AGKA2-GAK-G, 78F0892AGKA-GAK-G, 78F0892AGKA2-GAK-G,
 78F0893AGKA-GAK-G, 78F0893AGKA2-GAK-G

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間（以降は125℃プリベーク20～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

第31章 ウェイトに関する注意事項

31.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表31-1, 31-2を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

31.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表31 - 1に示します。

表31 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART60	ASIS60	リード	1クロック (固定)
シリアル・インタフェース UART61	ASIS61	リード	1クロック (固定)
A/Dコンバータ	ADM	ライト	1~5クロック ($f_{AD} = f_{PRS}/2$ 選択時)
	ADS	ライト	1~7クロック ($f_{AD} = f_{PRS}/3$ 選択時)
	ADPC	ライト	1~9クロック ($f_{AD} = f_{PRS}/4$ 選択時)
	ADCR	リード	2~13クロック ($f_{AD} = f_{PRS}/6$ 選択時) 2~17クロック ($f_{AD} = f_{PRS}/8$ 選択時) 2~25クロック ($f_{AD} = f_{PRS}/12$ 選択時)
<p>上記のクロック数は、f_{CPU}とf_{PRS}に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。</p> <p>ウェイト・クロック数算出式</p> <p>・ウェイト・クロック数 = $\frac{2 f_{CPU}}{f_{AD}} + 1$</p> <p>小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 > 0.5の場合は切り上げる。</p> <p>f_{AD} : A/D変換クロック周波数 ($f_{PRS}/2$-$f_{PRS}/12$)</p> <p>f_{CPU} : CPUクロック周波数</p> <p>f_{PRS} : 周辺ハードウェア・クロック周波数</p> <p>f_{XP} : メイン・システム・クロック周波数</p> <p>最大/最小ウェイト・クロック数条件</p> <p>・最大回数: CPU最高速 (f_{XP}), A/D変換クロック最低速 ($f_{PRS}/12$)</p> <p>・最小回数: CPU最低速 ($f_{SUB}/2$), A/D変換クロック最高速 ($f_{PRS}/2$)</p>			

注意 CPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

備考 クロックは、CPUクロック (f_{CPU}) を示します。

表31 - 2 ウェイトが発生するRAMアクセスとCPUのウェイト・クロック数

周辺ハード ウェア	対象レジスタ	対象アクセス	ウェイト・クロック数		理 由
			MIN.	MAX.	
CAN	Global Reg.	Read/Write	1	1	synchronizaition of NPB signals with VPCLK < ウェイト・クロック数算出式 > MIN. ROUNDUP[(1/FVPCLK) × 1/ (1/FVPSTB)] MAX. ROUNDUP[(1/FVPCLK) × 2/ (1/FVPSTB)]
	CANmodule Reg.				
	C0RGPT	Read	2	14	Synchronization of NPB signals with VPCLK RAM access delay (1 RAM - RD access) < ウェイト・クロック数算出式 > MIN. ROUNDUP[(1/FCANCLK) × 3/ (1/FVPSTB)] MAX. ROUNDUP[(1/FCANCLK) × 4/ (1/FVPSTB)]
	C0LIPT				
	C0TGPT				
	C0LOPT				
	Message Buf.				
Message Buf.	Write(8 bit)	2	17	synchronization of NPB signals with VPCLK RAM access delay (1RAM - RD + 1RAM-WR access) < ウェイト・クロック数算出式 > MIN. ROUNDUP[(1/FCANCLK) × 4/ (1/FVPSTB)] MAX. ROUNDUP[(1/FCANCLK) × 5/ (1/FVPSTB)]	
Message Buf.	Write(16 bit)	1	11	synchronization of NPB signals with VPCLK RAM access delay (1 RAM - WR access) < ウェイト・クロック数算出式 > MIN. ROUNDUP[(1/FCANCLK) × 2/ (1/FVPSTB)] MAX. ROUNDUP[(1/FCANCLK) × 3/ (1/FVPSTB)]	

注意 CANMOD (CANモジュール・システム・クロック) 2 MHzの場合の値

備考 FVPCLK : VPCLKの周波数
FVPSTB : VPSTBの周波数
FCANCLK : AFCANマクロの周波数

31.3 ウェイト発生例

・シリアル・インタフェースUART61

MOV A, ASIS61 実行時

実行クロック数：6クロック

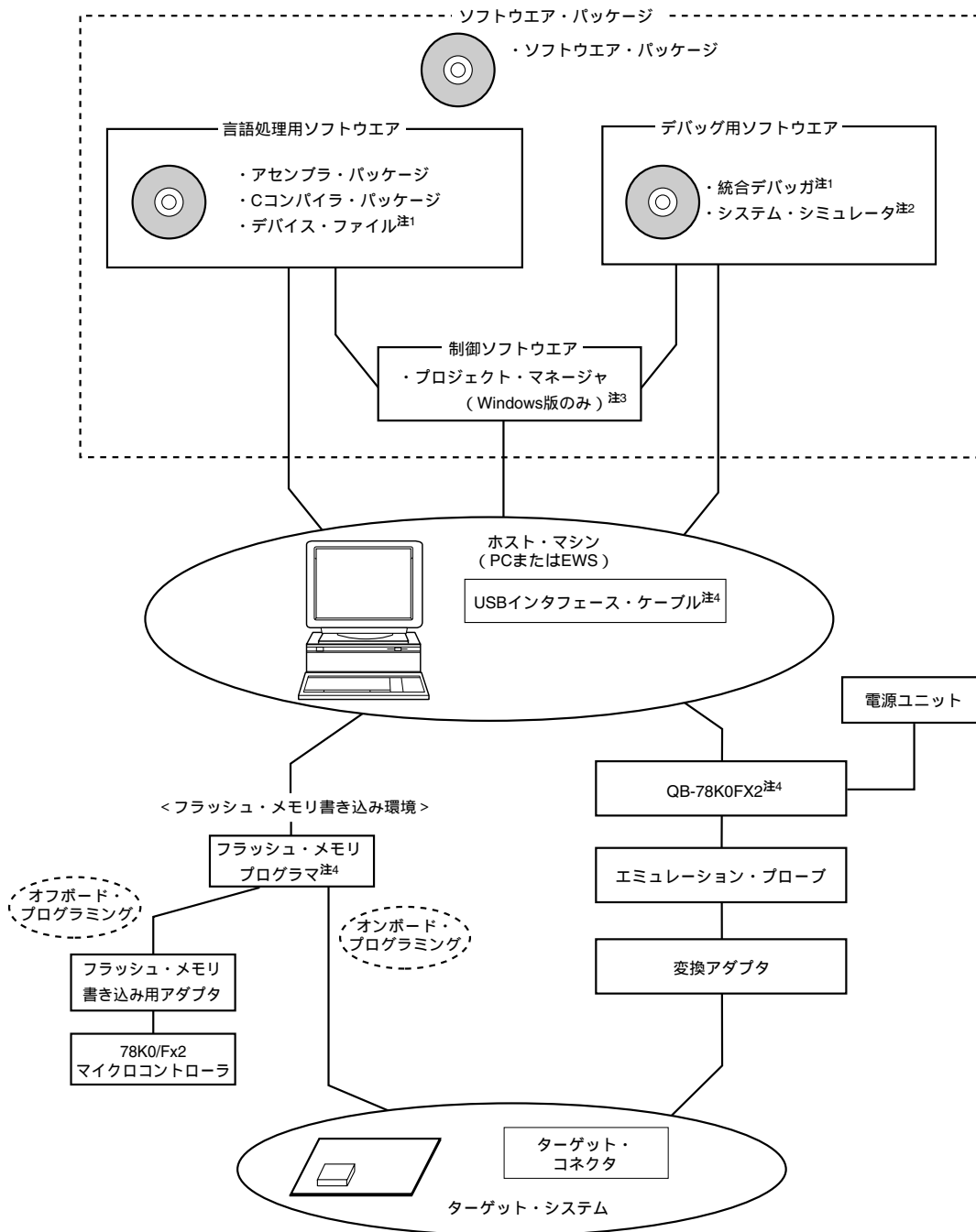
(ウェイトが発生しないレジスタからの読み出し時は (MOV A, sfr) の場合, 5クロック)

付録A 開発ツール

78K0/Fx2マイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

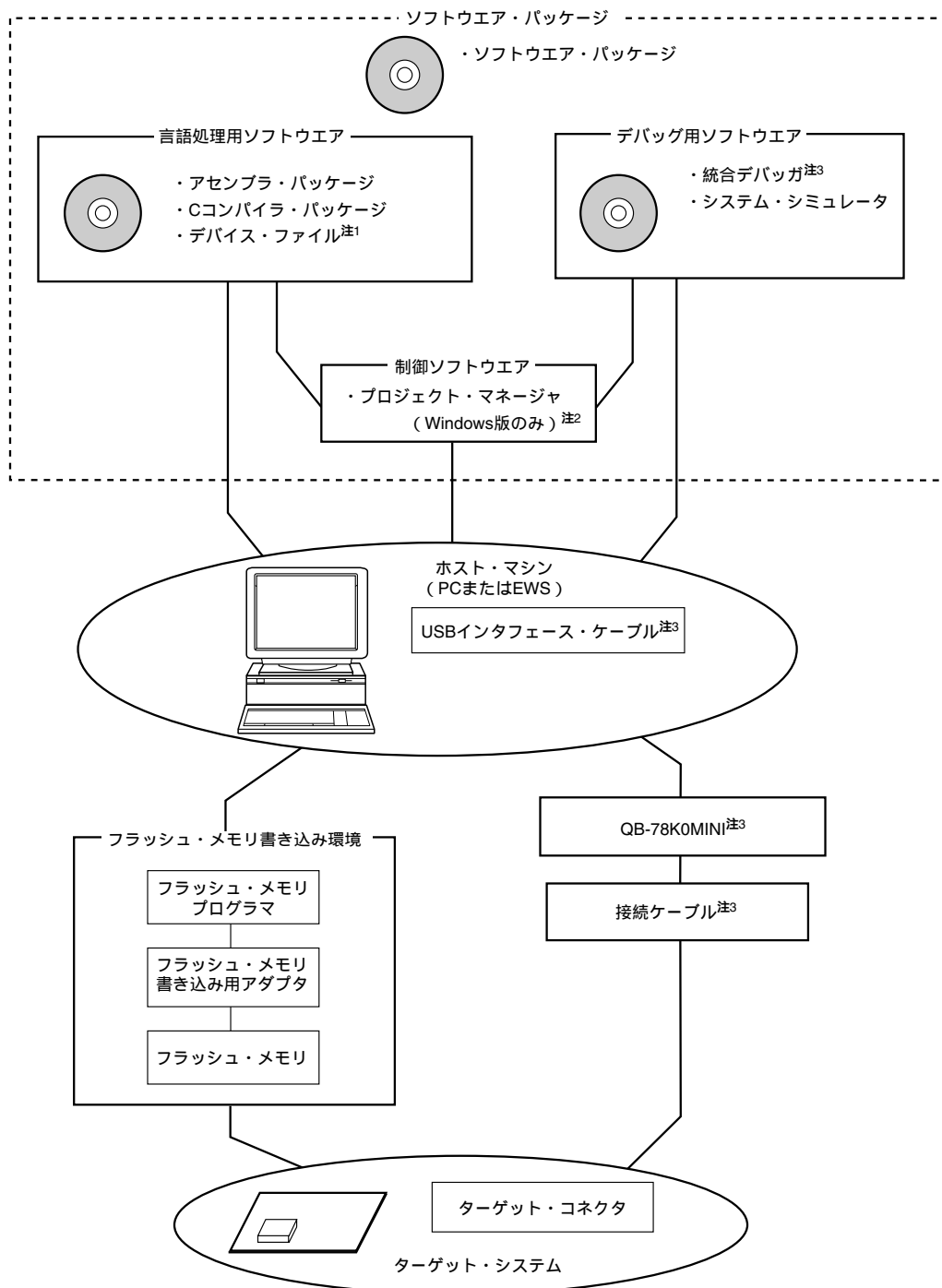
(1) インサーキット・エミュレータ QB-78K0FX2を使用する場合



- 注1. 78K0/Fx2マイクロコントローラ用のデバイス・ファイル(DF780893),および統合デバッガ ID78K0-QBは, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/index.html>) より入手してください。
2. SM+ for 78K0(命令シミュレーション版)は,ソフトウェア・パッケージに含まれています。SM+ for 78K0/Fx2 (命令+周辺シミュレーション版)は,含まれていません。
3. プロジェクト・マネージャ PM+は,アセンブラ・パッケージに入っています。また,Windows[®]以外ではPM+は使用できません。
4. QB-78K0FX2は,統合デバッガ ID78K0-QB, USBインタフェース・ケーブル,プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル(10ピン・ケーブル,16ピン・ケーブル),78K0-OCD ボードを添付しています。それ以外の製品はオプションです。

図A-1 開発ツール構成 (2/3)

(2) オンチップ・デバッグ・エミュレータ QB-78K0MINIを使用する場合



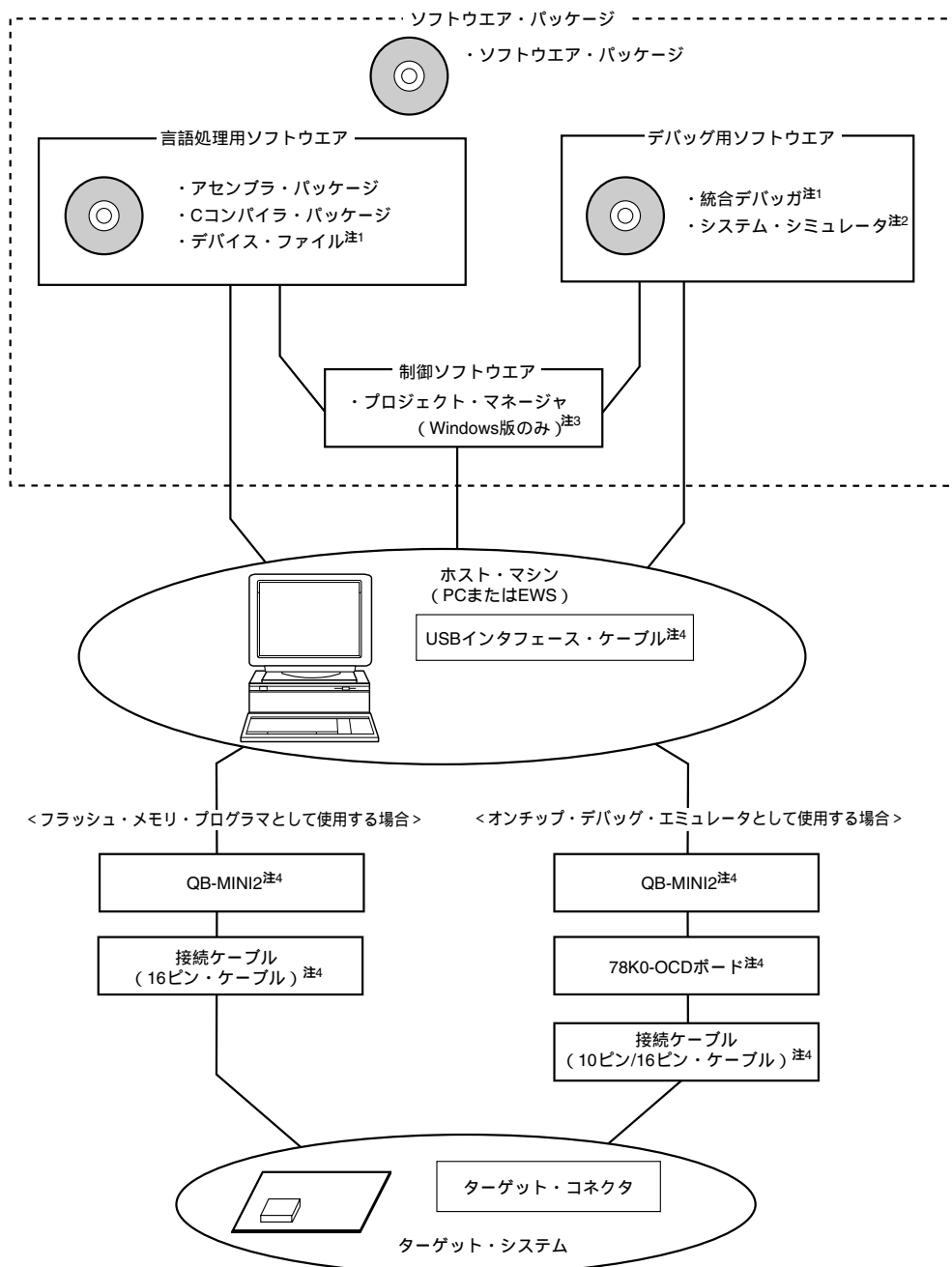
注1 . 78K0/Fx2マイクロコントローラ用のデバイス・ファイル (DF780893) は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用しません。

3 . QB-78K0MINIは、統合デバッガ ID78K0-QB, USBインタフェース・ケーブル, 接続ケーブルを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (3/3)

(3) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



- 注1. 78K0/Fx2マイクロコントローラ用のデバイス・ファイル(DF780893),および統合デバッガ ID78K0-QBは, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/index.html>) より入手してください。
2. SM+ for 78K0(命令シミュレーション版)は,ソフトウェア・パッケージに含まれています。SM+ for 78K0/Fx2 (命令+周辺シミュレーション版)は,含まれていません。
3. プロジェクト・マネージャ PM+は,アセンブラ・パッケージに入っています。また,Windows以外ではPM+は使用できません。
4. QB-MINI2は,USBインタフェース・ケーブル,接続ケーブル(10ピン・ケーブル,16ピン・ケーブル),78K0-OCDボードを添付しています。それ以外の製品はオプションです。また, QB-MINI2を操作するためのソフトウェアを,開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/index.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

A.2 言語処理用ソフトウェア

RA78K0 ^{注1} アセンブラ・パッケージ	<p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>デバイス・ファイル(DF780893)と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 ^{注1} Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(アセンブラ・パッケージに含まれています)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
DF780893 ^{注2} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ)と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p>

- 注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。
2. DF780893は、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト(<http://www.necel.com/micro/ja/ods/index.html>)より入手してください。

A.3 フラッシュ・メモリ書き込み用ツール

A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合

FL-PR5, PG-FP5, FL-PR4, PG-FP4 ^{注1} フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-xxxx ^{注2} フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注1. 保守品

2. フラッシュ・メモリ書き込み用アダプタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		フラッシュ・メモリ書き込み用 アダプタ
78K0/FC2	44ピン・プラスチックLQFP (GB-UES, GB-GAFタイプ)	FA-44GB-GAF-B, FA-78F0883GB-GAF-RX, FA-78F0883GB-UES-MX
	48ピン・プラスチックLQFP (GA-GAMタイプ)	FA-48GA-GAM-B, FA-78F0886GA-GAM-RX
78K0/FE2	64ピン・プラスチックLQFP (GB-UEU, GB-GAHタイプ)	FA-64GB-GAH-B, FA-78F0890GB-GAH-RX, FA-78F0890GB-UEU-MX
	64ピン・プラスチックLQFP (GK-UET, GK-GAJタイプ)	FA-64GK-GAJ-B, FA-78F0890GK-GAJ-RX, FA-78F0890GK-UET-MX
78K0/FF2	80ピン・プラスチックLQFP (GC-UBT, GC-GADタイプ)	FA-80GC-GAD-B, FA-78F0893GC-GAD-RX, FA-78F0893GC-UBT-MX
	80ピン・プラスチックLQFP (GK-GAKタイプ)	FA-80GK-GAK-B, FA-78F0893GK-GAK-RX

備考 1. FL-PR5, FL-PR4, FA-xxxxは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Fx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

- 備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。
2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

A. 4 デバッグ用ツール（ハードウェア）

A. 4.1 インサーキット・エミュレータ QB-78K0FX2を使用する場合

QB-78K0FX2 インサーキット・エミュレータ	78K0/Fx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ(ID78K0-QB)に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-xxxx-EA-xxx ^注 エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-xxxx-YS-xxx ^注 スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さが必要に応じて調節するアダプタです。
QB-xxxx-YQ-xxx ^注 YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。
QB-xxxx-HQ-xxx ^注 マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-xxxx-NQ-xxx ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

注 エクステンジ・アダプタ、スペース・アダプタ、YQコネクタ、マウント・アダプタ、ターゲット・コネクタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ	エクステンジ・アダプタ	スペース・アダプタ	YQコネクタ	マウント・アダプタ	ターゲット・コネクタ	
78K0/FC2	44ピン・プラスチックLQFP (GB-GAFタイプ)	QB-44GB- EA-02T	QB-44GB- YS-01T	QB-44GB- YQ-01T	QB-44GB- HQ-01T	QB-44GB- NQ-01T
	48ピン・プラスチックLQFP (GA-GAMタイプ)	QB-48GA- EA-01T	QB-48GA- YS-01T	QB-48GA- YQ-01T	QB-48GA- HQ-01T	QB-48GA- NQ-01T
78K0/FE2	64ピン・プラスチックLQFP (GB-GAHタイプ)	QB-64GB- EA-03T	QB-64GB- YS-01T	QB-64GB- YQ-01T	QB-64GB- HQ-01T	QB-64GB- NQ-01T
	64ピン・プラスチックLQFP (GK-GAJタイプ)	QB-64GK- EA-03T	QB-64GK- YS-01T	QB-64GK- YQ-01T	QB-64GK- HQ-01T	QB-64GK- NQ-01T
78K0/FF2	80ピン・プラスチックLQFP (GC-GADタイプ)	QB-80GC- EA-01T	QB-80GC- YS-01T	QB-80GC- YQ-01T	QB-80GC- HQ-01T	QB-80GC- NQ-01T
	80ピン・プラスチックLQFP (GK-GAKタイプ)	QB-80GK- EA-01T	QB-80GK- YS-01T	QB-80GK- YQ-01T	QB-80GK- HQ-01T	QB-80GK- NQ-01T

備考1. QB-78K0FX2は、統合デバッグ ID78K0-QB、USBインタフェース・ケーブル、電源ユニット、オンチップ・デバッグ・エミュレータ QB-MINI2、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。

QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

2. オーダ名称により、梱包内容は次のように異なります。

オーダ名称	梱包内容 インサートキット・ エミュレータ	エミュレーショ ン・プローブ	エクステンジ アダプタ	YQコネクタ	ターゲット・ コネクタ
QB-78K0FX2-ZZZ	QB-78K0FX2	なし			
QB-78K0FX2-T44GB		QB-80-EP-01T	QB-44GB-EA-02T	QB-44GB-YQ-01T	QB-44GB-NQ-01T
QB-78K0FX2-T48GA			QB-48GA-EA-01T	QB-48GA-YQ-01T	QB-48GA-NQ-01T
QB-78K0FX2-T64GB			QB-64GB-EA-03T	QB-64GB-YQ-01T	QB-64GB-NQ-01T
QB-78K0FX2-T64GK			QB-64GK-EA-03T	QB-64GK-YQ-01T	QB-64GK-NQ-01T
QB-78K0FX2-T80GC			QB-80GC-EA-01T	QB-80GC-YQ-01T	QB-80GC-NQ-01T
QB-78K0FX2-T80GK			QB-80GK-EA-01T	QB-80GK-YQ-01T	QB-80GK-NQ-01T

A. 4.2 オンチップ・デバッグ・エミュレータ QB-78K0MINIを使用する場合

QB-78K0MINI ^{注1, 2} オンチップ・デバッグ・エミュレータ	78K0/Fx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。付属の統合デバッグ（ID78K0-QB）に対応しています。付属の接続ケーブル、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタ

注1. QB-78K0MINIは、USBインタフェース・ケーブル、接続ケーブルを添付しています。また、コントロール・ソフトウェアとして、統合デバッグ ID78K0-QBを添付しています。

2. 保守品

A. 4.3 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Fx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラムとしても使用できます。添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

A.5 デバッグ用ツール(ソフトウェア)

ID78K0-QB ^{注1} 統合デバッガ	<p>78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。ID78K0-QBは、Windowsベースのソフトウェアです。</p> <p>C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。</p> <p>デバイス・ファイル(DF780893)と組み合わせて使用します。</p>
SM+ for 78K0 SM+ for 78K0/Fx2 システム・シミュレータ	<p>システム・シミュレータは、Windowsベースのソフトウェアです。</p> <p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。</p> <p>システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。</p> <p>デバイス・ファイル(DF780893)と組み合わせて使用します。</p> <p>78K0/Fx2マイクロコントローラをサポートするシステム・シミュレータには、次の2種類があります。</p> <ul style="list-style-type: none"> ・ SM+ for 78K0 (命令シミュレーション版) CPUのみシミュレーション可能です。ソフトウェア・パッケージに同梱されています。 ・ SM+ for 78K0/Fx2 (命令+周辺シミュレーション版) CPUと周辺ハードウェア(ポート、タイマ、シリアル・インタフェースなど)のシミュレーション可能です。ソフトウェア・パッケージとは別売です。

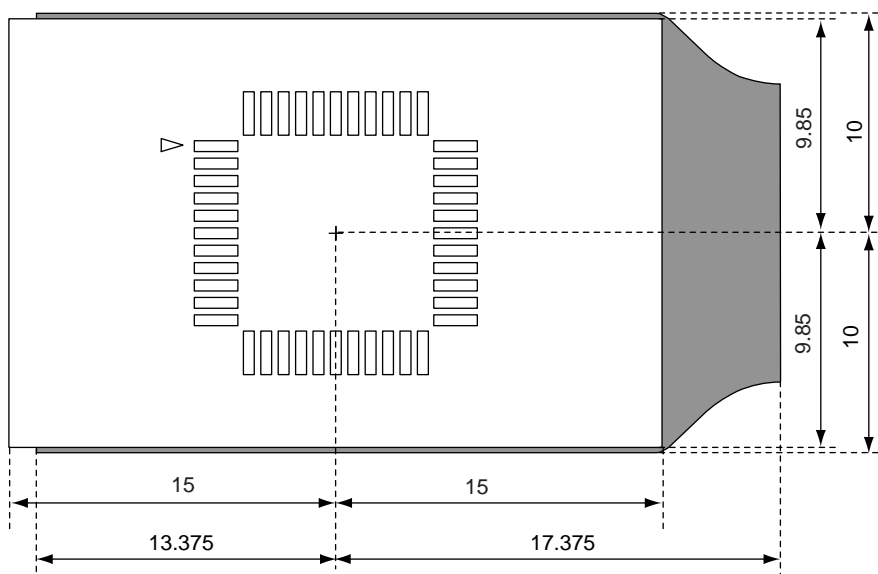
注 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/index.html>) より入手してください。

付録B ターゲット・システム設計上の注意

本章ではQB-78K0FX2を使用する場合のターゲット・システム設計上の注意として、ターゲット・システム上の部品実装禁止領域、部品実装高さの制限がある領域を示します。

(a) 44ピンGBパッケージの場合

図B - 1 ターゲット・システム上の制限領域 (44ピンGBパッケージの場合)

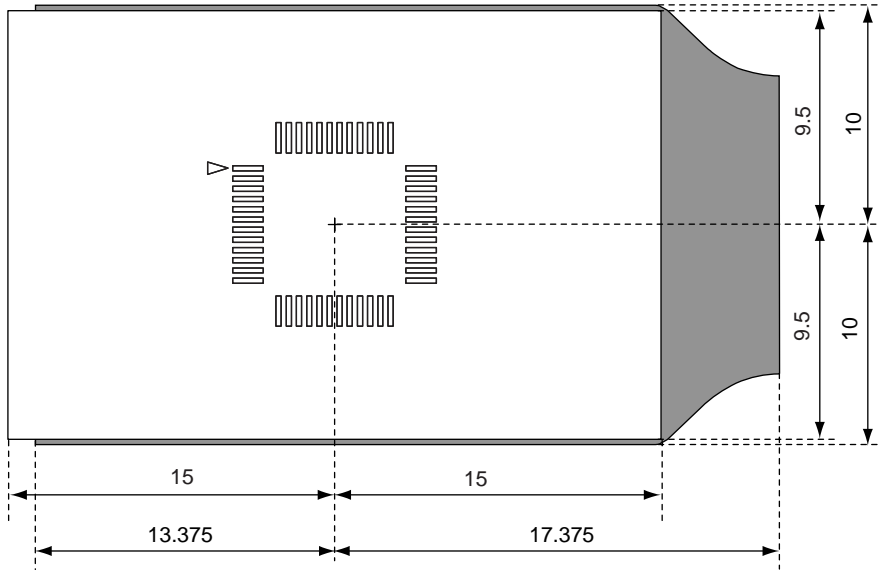


- | | | |
|---|----------------------|-------------------------------------|
| □ | : エクスチェンジ・アダプタ領域 | : 高さ17.45 mmまでの部品を実装可能 [※] |
| ■ | : エミュレーション・プローブ先端部領域 | : 高さ24.45 mmまでの部品を実装可能 [※] |

注 スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

(b) 48ピンGAパッケージの場合

図B - 2 ターゲット・システム上の制限領域 (48ピンGAパッケージの場合)

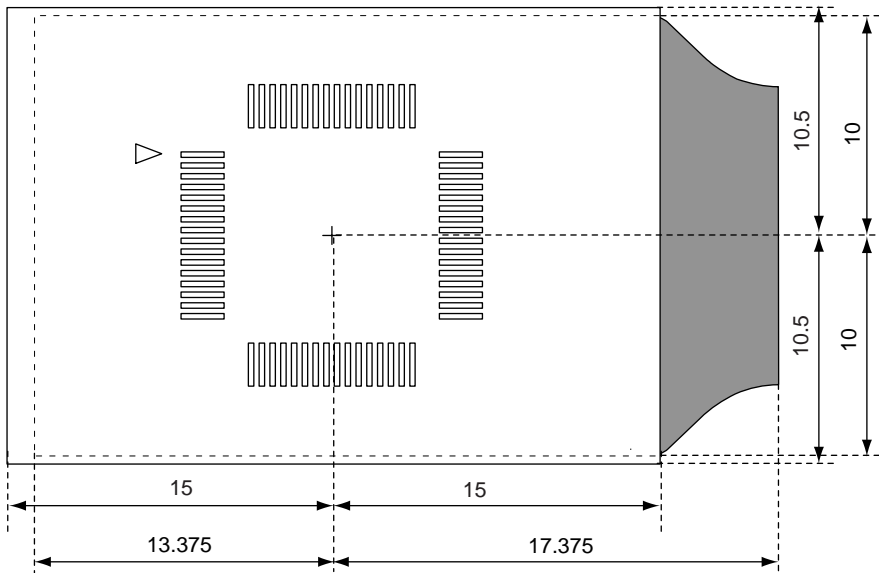


- : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
- : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]

注 スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

(c) 64ピンGBパッケージの場合

図B - 3 ターゲット・システム上の制限領域 (64ピンGBパッケージの場合)

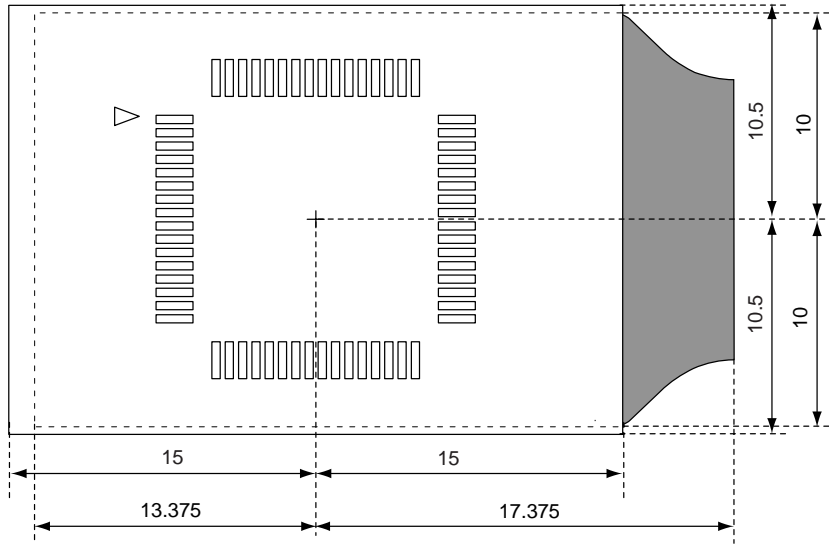


- : エクスチェンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
- : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]

注 スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

(d) 64ピンGKパッケージの場合

図B - 4 ターゲット・システム上の制限領域 (64ピンGKパッケージの場合)

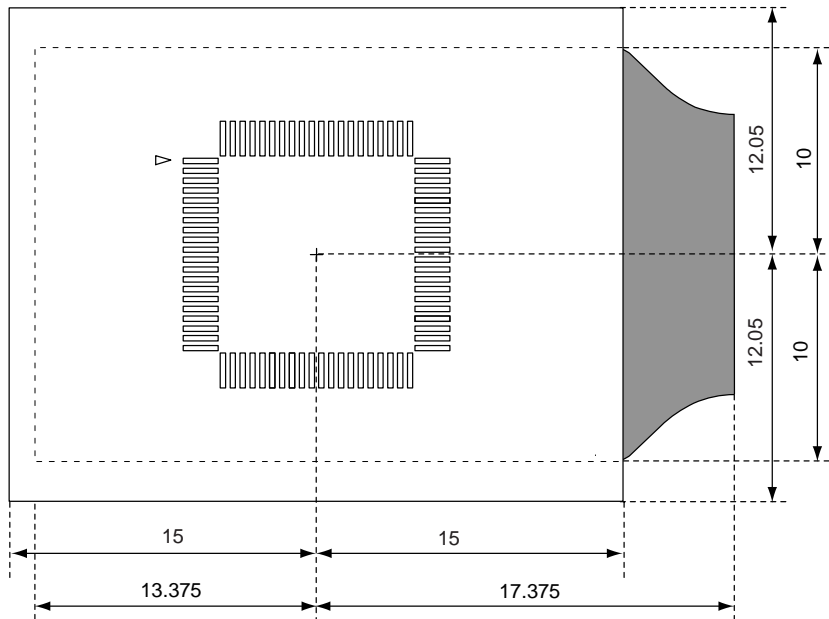


- : エクステンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
- : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]

注 スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

(e) 80ピンGCパッケージの場合

図B - 5 ターゲット・システム上の制限領域 (80ピンGCパッケージの場合)

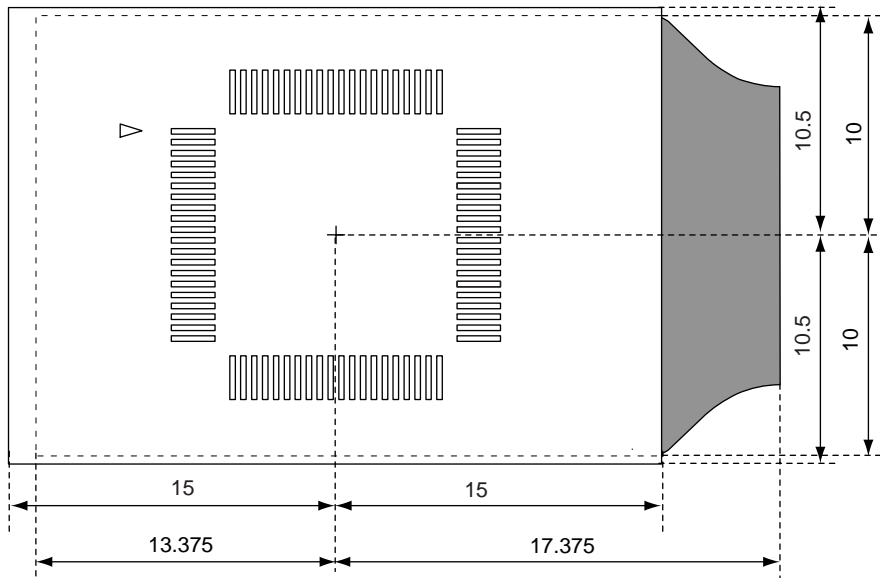


- : エクステンジ・アダプタ領域 : 高さ17.45 mmまでの部品を実装可能[※]
- : エミュレーション・プローブ先端部領域 : 高さ24.45 mmまでの部品を実装可能[※]

注 : スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

(f) 80ピンGKパッケージの場合

図B - 6 ターゲット・システム上の制限領域 (80ピンGKパッケージの場合)



- | | | |
|---|----------------------|-------------------------------------|
| □ | : エクステンジ・アダプタ領域 | : 高さ17.45 mmまでの部品を実装可能 [※] |
| ■ | : エミュレーション・プローブ先端部領域 | : 高さ24.45 mmまでの部品を実装可能 [※] |

注: スペース・アダプタを使用することで高さ調節可能 (1個当たり2.4 mm増)

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) ...	406
アシンクロナス・シリアル・インタフェース・コントロール・レジスタ61 (ASICL61) ...	406
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) ...	397
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 (ASIS61) ...	397
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60) ...	399
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ61 (ASIF61) ...	399
アシンクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) ...	392
アシンクロナス・シリアル・インタフェース動作モード・レジスタ61 (ASIM61) ...	392
アナログ入力チャネル指定レジスタ (ADS) ...	364
ウォッチドッグ・タイム・イネーブル・レジスタ (WDTE) ...	346
A/Dコンバータ・モード・レジスタ (ADM) ...	359
A/Dポート・コンフィギュレーション・レジスタ (ADPC) ...	180, 365

【か行】

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	620
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	620
CANグローバル自動ブロック送信制御レジスタ (COGMABT) ...	506
CANグローバル自動ブロック送信遅延レジスタ (COGMABTD) ...	508
CANグローバル・モジュール・クロック選択レジスタ (COGMCS) ...	505
CANグローバル・モジュール制御レジスタ (COGMCTRL) ...	503
CANメッセージIDレジスタHm (COMIDHm) ...	534
CANメッセージIDレジスタLm (COMIDLm) ...	534
CANメッセージ・コンフィギュレーション・レジスタm (COMCONFm) ...	533
CANメッセージ制御レジスタm (COMCTRLm) ...	535
CANメッセージ・データ長レジスタm (COMDLCm) ...	532
CANメッセージ・データ・バイト・レジスタxm (COMDATAxm) ...	530
CANメッセージ・データ・バイト・レジスタzm (COMDATAzm) ...	530
CANモジュール・エラー・カウンタ・レジスタ (COERC) ...	517
CANモジュール最終エラー・レジスタ (COLEC) ...	515
CANモジュール最終受信ポインタ・レジスタ (COLIPT) ...	524
CANモジュール最終送信ポインタ・レジスタ (COLOPT) ...	526
CANモジュール受信ヒストリ・リスト・レジスタ (CORGPT) ...	525
CANモジュール情報レジスタ (COINFO) ...	516

CANモジュール制御レジスタ (C0CTRL) ...	511
CANモジュール送信履歴・リスト・レジスタ (C0TGPT) ...	527
CANモジュール・タイム・スタンプ・レジスタ (C0TS) ...	528
CANモジュール・ビットレート・プリスケアラ・レジスタ (C0BRP) ...	521
CANモジュール・ビットレート・レジスタ (C0BTR) ...	522
CANモジュール・マスク1レジスタH (C0MASK1H) ...	509
CANモジュール・マスク1レジスタL (C0MASK1L) ...	509
CANモジュール・マスク2レジスタH (C0MASK2H) ...	509
CANモジュール・マスク2レジスタL (C0MASK2L) ...	509
CANモジュール・マスク3レジスタH (C0MASK3H) ...	509
CANモジュール・マスク3レジスタL (C0MASK3L) ...	509
CANモジュール・マスク4レジスタH (C0MASK4H) ...	509
CANモジュール・マスク4レジスタL (C0MASK4L) ...	509
CANモジュール割り込み許可レジスタ (C0IE) ...	518
CANモジュール割り込みステータス・レジスタ (C0INTS) ...	520
キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) ...	240
キャプチャ/コンペア・コントロール・レジスタ01 (CRC01) ...	240
キャプチャ/コンペア・コントロール・レジスタ02 (CRC02) ...	240
キャプチャ/コンペア・コントロール・レジスタ03 (CRC03) ...	240
クロック出力選択レジスタ (CKS) ...	352
クロック選択レジスタ60 (CKSR60) ...	401
クロック選択レジスタ61 (CKSR61) ...	401
クロック動作モード選択レジスタ (OSCCTL) ...	194

[さ行]

10ビットA/D変換結果レジスタ (ADCR) ...	362
16ビット・タイマ・カウンタ00 (TM00) ...	228
16ビット・タイマ・カウンタ01 (TM01) ...	228
16ビット・タイマ・カウンタ02 (TM02) ...	228
16ビット・タイマ・カウンタ03 (TM03) ...	228
16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) ...	229
16ビット・タイマ・キャプチャ/コンペア・レジスタ001 (CR001) ...	229
16ビット・タイマ・キャプチャ/コンペア・レジスタ002 (CR002) ...	229
16ビット・タイマ・キャプチャ/コンペア・レジスタ003 (CR003) ...	229
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) ...	231
16ビット・タイマ・キャプチャ/コンペア・レジスタ011 (CR011) ...	231
16ビット・タイマ・キャプチャ/コンペア・レジスタ012 (CR012) ...	231
16ビット・タイマ・キャプチャ/コンペア・レジスタ013 (CR013) ...	231
16ビット・タイマ出力コントロール・レジスタ00 (TOC00) ...	245
16ビット・タイマ出力コントロール・レジスタ01 (TOC01) ...	245
16ビット・タイマ出力コントロール・レジスタ02 (TOC02) ...	245
16ビット・タイマ出力コントロール・レジスタ03 (TOC03) ...	245
16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) ...	235

16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) ...	235
16ビット・タイマ・モード・コントロール・レジスタ02 (TMC02) ...	235
16ビット・タイマ・モード・コントロール・レジスタ03 (TMC03) ...	235
受信シフト・レジスタ60 (RXS60) ...	391
受信シフト・レジスタ61 (RXS61) ...	391
受信バッファ・レジスタ60 (RXB60) ...	391
受信バッファ・レジスタ61 (RXB61) ...	391
乗除算器コントロール・レジスタ0 (DMUC0) ...	659
乗除算データ・レジスタA0H (MDA0H) ...	657
乗除算データ・レジスタA0L (MDA0L) ...	657
乗除算データ・レジスタB0 (MDB0) ...	658
剰余データ・レジスタ0 (SDR0) ...	656
シリアルI/Oシフト・レジスタ10 (SIO10) ...	438
シリアルI/Oシフト・レジスタ11 (SIO11) ...	438
シリアル・クロック選択レジスタ10 (CSIC10) ...	441
シリアル・クロック選択レジスタ11 (CSIC11) ...	441
シリアル動作モード・レジスタ10 (CSIM10) ...	439
シリアル動作モード・レジスタ11 (CSIM11) ...	439
送信シフト・レジスタ60 (TXS60) ...	391
送信シフト・レジスタ61 (TXS61) ...	391
送信バッファ・レジスタ10 (SOTB10) ...	438
送信バッファ・レジスタ11 (SOTB11) ...	438
送信バッファ・レジスタ60 (TXB60) ...	391
送信バッファ・レジスタ61 (TXB61) ...	391

【た行】

タイマ・クロック選択レジスタ50 (TCL50) ...	295
タイマ・クロック選択レジスタ51 (TCL51) ...	295
低電圧検出レジスタ (LVIM) ...	672
低電圧検出レベル選択レジスタ (LVIS) ...	673
時計用タイマ動作モード・レジスタ (WTM) ...	339

【な行】

内蔵発振モード・レジスタ (RCM) ...	191
内部拡張RAMサイズ切り替えレジスタ (IXS) ...	694
入力切り替え制御レジスタ (ISC) ...	410

【は行】

8ビットA/D変換結果レジスタ (ADCRH) ...	363
8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ...	319
8ビット・タイマHコンペア・レジスタ00 (CMP00) ...	314
8ビット・タイマHコンペア・レジスタ01 (CMP01) ...	314
8ビット・タイマHコンペア・レジスタ10 (CMP10) ...	314

8ビット・タイマHコンペア・レジスタ11 (CMP11) ...	314
8ビット・タイマHモード・レジスタ0 (TMHMD0) ...	315
8ビット・タイマHモード・レジスタ1 (TMHMD1) ...	315
8ビット・タイマ・カウンタ50 (TM50) ...	293
8ビット・タイマ・カウンタ51 (TM51) ...	293
8ビット・タイマ・コンペア・レジスタ50 (CR50) ...	293
8ビット・タイマ・コンペア・レジスタ51 (CR51) ...	293
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	298
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	298
発振安定時間カウンタ状態レジスタ (OSTC) ...	195, 631
発振安定時間選択レジスタ (OSTS) ...	196, 632
プリスケアラ・モード・レジスタ00 (PRM00) ...	250
プリスケアラ・モード・レジスタ01 (PRM01) ...	250
プリスケアラ・モード・レジスタ02 (PRM02) ...	250
プリスケアラ・モード・レジスタ03 (PRM03) ...	250
プルアップ抵抗オプション・レジスタ0 (PU0) ...	177
プルアップ抵抗オプション・レジスタ1 (PU1) ...	177
プルアップ抵抗オプション・レジスタ12 (PU12) ...	177
プルアップ抵抗オプション・レジスタ13 (PU13) ...	177
プルアップ抵抗オプション・レジスタ3 (PU3) ...	177
プルアップ抵抗オプション・レジスタ4 (PU4) ...	177
プルアップ抵抗オプション・レジスタ5 (PU5) ...	177
プルアップ抵抗オプション・レジスタ6 (PU6) ...	177
プルアップ抵抗オプション・レジスタ7 (PU7) ...	177
プログラム・ステータス・ワード (PSW) ...	621
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	189
ポート・モード・レジスタ0 (PM0) ...	171
ポート・モード・レジスタ1 (PM1) ...	171
ポート・モード・レジスタ12 (PM12) ...	171
ポート・モード・レジスタ13 (PM13) ...	171
ポート・モード・レジスタ3 (PM3) ...	171
ポート・モード・レジスタ4 (PM4) ...	171
ポート・モード・レジスタ5 (PM5) ...	171
ポート・モード・レジスタ6 (PM6) ...	171
ポート・モード・レジスタ7 (PM7) ...	171
ポート・モード・レジスタ8 (PM8) ...	171
ポート・モード・レジスタ9 (PM9) ...	171
ポート・レジスタ0 (P0) ...	174
ポート・レジスタ1 (P1) ...	174
ポート・レジスタ12 (P12) ...	174
ポート・レジスタ13 (P13) ...	174
ポート・レジスタ3 (P3) ...	174
ポート・レジスタ4 (P4) ...	174

ポート・レジスタ5 (P5) ...	174
ポート・レジスタ6 (P6) ...	174
ポート・レジスタ7 (P7) ...	174
ポート・レジスタ8 (P8) ...	174
ポート・レジスタ9 (P9) ...	174
ポー・レート・ジェネレータ・コントロール・レジスタ60 (BRGC60) ...	404
ポー・レート・ジェネレータ・コントロール・レジスタ61 (BRGC61) ...	404

[ま行]

メインOSCコントロール・レジスタ (MOC) ...	193
メイン・クロック・モード・レジスタ (MCM) ...	192
メモリ・サイズ切り替えレジスタ (IMS) ...	693
メモリ・バンク選択レジスタ (BANK) ...	122

[や行]

優先順位指定フラグ・レジスタ0H (PR0H) ...	618
優先順位指定フラグ・レジスタ0L (PR0L) ...	618
優先順位指定フラグ・レジスタ1H (PR1H) ...	618
優先順位指定フラグ・レジスタ1L (PR1L) ...	618

[ら行]

リセット・コントロール・フラグ・レジスタ (RESF) ...	653
---------------------------------	-----

[わ行]

割り込みマスク・フラグ・レジスタ0H (MK0H) ...	616
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	616
割り込みマスク・フラグ・レジスタ1H (MK1H) ...	616
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	616
割り込み要求フラグ・レジスタ0H (IF0H) ...	613
割り込み要求フラグ・レジスタ0L (IF0L) ...	613
割り込み要求フラグ・レジスタ1H (IF1H) ...	613
割り込み要求フラグ・レジスタ1L (IF1L) ...	613

C.2 レジスタ索引 (アルファベット順)

[A]

ADCR	: 10ビットA/D変換結果レジスタ ...	362
ADCRH	: 8ビットA/D変換結果レジスタ ...	363
ADM	: A/Dコンバータ・モード・レジスタ ...	359
ADPC	: A/Dポート・コンフィギュレーション・レジスタ ...	180, 365
ADS	: アナログ入力チャンネル指定レジスタ ...	364
ASICL60	: アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 ...	406
ASICL61	: アシクロナス・シリアル・インタフェース・コントロール・レジスタ61 ...	406
ASIF60	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ60 ...	399
ASIF61	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ61 ...	399
ASIM60	: アシクロナス・シリアル・インタフェース動作モード・レジスタ60 ...	392
ASIM61	: アシクロナス・シリアル・インタフェース動作モード・レジスタ61 ...	392
ASIS60	: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 ...	397
ASIS61	: アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61 ...	397

[B]

BANK	: メモリ・バンク選択レジスタ ...	122
BRGC60	: ボー・レート・ジェネレータ・コントロール・レジスタ60 ...	404
BRGC61	: ボー・レート・ジェネレータ・コントロール・レジスタ61 ...	404

[C]

C0BRP	: CANモジュール・ビットレート・プリスケラ・レジスタ ...	521
C0BTR	: CANモジュール・ビットレート・レジスタ ...	522
C0CTRL	: CANモジュール制御レジスタ ...	511
C0ERC	: CANモジュール・エラー・カウンタ・レジスタ ...	517
C0GMABT	: CANグローバル自動ブロック送信制御レジスタ ...	506
C0GMABTD	: CANグローバル自動ブロック送信遅延レジスタ ...	508
C0GMCS	: CANグローバル・モジュール・クロック選択レジスタ ...	505
C0GMCTRL	: CANグローバル・モジュール制御レジスタ ...	503
C0IE	: CANモジュール割り込み許可レジスタ ...	518
C0INFO	: CANモジュール情報レジスタ ...	516
C0INTS	: CANモジュール割り込みステータス・レジスタ ...	520
C0LEC	: CANモジュール最終エラー・レジスタ ...	515
C0LIPT	: CANモジュール最終受信ポインタ・レジスタ ...	524
C0LOPT	: CANモジュール最終送信ポインタ・レジスタ ...	526
C0MASK1H	: CANモジュール・マスク1レジスタH ...	509
C0MASK1L	: CANモジュール・マスク1レジスタL ...	509
C0MASK2H	: CANモジュール・マスク2レジスタH ...	509
C0MASK2L	: CANモジュール・マスク2レジスタL ...	509

C0MASK3H	: CANモジュール・マスク3レジスタH ...	509
C0MASK3L	: CANモジュール・マスク3レジスタL ...	509
C0MASK4H	: CANモジュール・マスク4レジスタH ...	509
C0MASK4L	: CANモジュール・マスク4レジスタL ...	509
C0MCONFm	: CANメッセージ・コンフィギュレーション・レジスタm ...	533
C0MCTRLm	: CANメッセージ制御レジスタm ...	535
C0MDATAxm	: CANメッセージ・データ・バイト・レジスタxm ...	530
C0MDATAzm	: CANメッセージ・データ・バイト・レジスタzm ...	530
C0MDLCm	: CANメッセージ・データ長レジスタm ...	532
C0MIDHm	: CANメッセージIDレジスタHm ...	534
C0MIDLm	: CANメッセージIDレジスタLm ...	534
C0RGPT	: CANモジュール受信履歴・リスト・レジスタ ...	525
C0TGPT	: CANモジュール送信履歴・リスト・レジスタ ...	527
C0TS	: CANモジュール・タイム・スタンプ・レジスタ ...	528
CKS	: クロック出力選択レジスタ ...	352
CKSR60	: クロック選択レジスタ60 ...	401
CKSR61	: クロック選択レジスタ61 ...	401
CMP00	: 8ビット・タイマHコンペア・レジスタ00 ...	314
CMP01	: 8ビット・タイマHコンペア・レジスタ01 ...	314
CMP10	: 8ビット・タイマHコンペア・レジスタ10 ...	314
CMP11	: 8ビット・タイマHコンペア・レジスタ11 ...	314
CR000	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 ...	229
CR001	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ001 ...	229
CR002	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ002 ...	229
CR003	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ003 ...	229
CR010	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 ...	231
CR011	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ011 ...	231
CR012	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ012 ...	231
CR013	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ013 ...	231
CR50	: 8ビット・タイマ・コンペア・レジスタ50 ...	293
CR51	: 8ビット・タイマ・コンペア・レジスタ51 ...	293
CRC00	: キャプチャ・コンペア/コントロール・レジスタ00 ...	240
CRC01	: キャプチャ・コンペア/コントロール・レジスタ01 ...	240
CRC02	: キャプチャ・コンペア/コントロール・レジスタ02 ...	240
CRC03	: キャプチャ・コンペア/コントロール・レジスタ03 ...	240
CSIC10	: シリアル・クロック選択レジスタ10 ...	441
CSIC11	: シリアル・クロック選択レジスタ11 ...	441
CSIM10	: シリアル動作モード・レジスタ10 ...	439
CSIM11	: シリアル動作モード・レジスタ11 ...	439

[D]

DMUC0	: 乗除算器コントロール・レジスタ0 ...	659
-------	------------------------	-----

【E】

- EGN : 外部割り込み立ち下がりエッジ許可レジスタ ... 620
EGP : 外部割り込み立ち上がりエッジ許可レジスタ ... 620

【I】

- IF0H : 割り込み要求フラグ・レジスタ0H ... 613
IF0L : 割り込み要求フラグ・レジスタ0L ... 613
IF1H : 割り込み要求フラグ・レジスタ1H ... 613
IF1L : 割り込み要求フラグ・レジスタ1L ... 613
IMS : メモリ・サイズ切り替えレジスタ ... 693
ISC : 入力切り替え制御レジスタ ... 410
IXS : 内部拡張RAMサイズ切り替えレジスタ ... 694

【L】

- LVIM : 低電圧検出レジスタ ... 672
LVIS : 低電圧検出レベル選択レジスタ ... 673

【M】

- MCM : メイン・クロック・モード・レジスタ ... 192
MDA0H : 乗除算データ・レジスタA0H ... 657
MDA0L : 乗除算データ・レジスタA0L ... 657
MDB0 : 乗除算データ・レジスタB0 ... 658
MK0H : 割り込みマスク・フラグ・レジスタ0H ... 616
MK0L : 割り込みマスク・フラグ・レジスタ0L ... 616
MK1H : 割り込みマスク・フラグ・レジスタ1H ... 616
MK1L : 割り込みマスク・フラグ・レジスタ1L ... 616
MOC : メインOSCコントロール・レジスタ ... 193

【O】

- OSCCTL : クロック動作モード選択レジスタ ... 194
OSTC : 発信安定時間カウンタ状態レジスタ ... 195, 631
OSTS : 発信安定時間選択レジスタ ... 196, 632

【P】

- P0 : ポート・レジスタ0 ... 174
P1 : ポート・レジスタ1 ... 174
P12 : ポート・レジスタ12 ... 174
P13 : ポート・レジスタ13 ... 174
P3 : ポート・レジスタ3 ... 174
P4 : ポート・レジスタ4 ... 174
P5 : ポート・レジスタ5 ... 174
P6 : ポート・レジスタ6 ... 174
P7 : ポート・レジスタ7 ... 174

P8	: ポート・レジスタ8 ...	174
P9	: ポート・レジスタ9 ...	174
PCG	: プロセッサ・クロック・コントロール・レジスタ ...	189
PM0	: ポート・モード・レジスタ0 ...	171
PM1	: ポート・モード・レジスタ1 ...	171
PM12	: ポート・モード・レジスタ12 ...	171
PM13	: ポート・モード・レジスタ13 ...	171
PM3	: ポート・モード・レジスタ3 ...	171
PM4	: ポート・モード・レジスタ4 ...	171
PM5	: ポート・モード・レジスタ5 ...	171
PM6	: ポート・モード・レジスタ6 ...	171
PM7	: ポート・モード・レジスタ7 ...	171
PM8	: ポート・モード・レジスタ8 ...	171
PM9	: ポート・モード・レジスタ9 ...	171
PR0H	: 優先順位指定フラグ・レジスタ0H ...	618
PR0L	: 優先順位指定フラグ・レジスタ0L ...	618
PR1H	: 優先順位指定フラグ・レジスタ1H ...	618
PR1L	: 優先順位指定フラグ・レジスタ1L ...	618
PRM00	: プリスケアラ・モード・レジスタ00 ...	250
PRM01	: プリスケアラ・モード・レジスタ01 ...	250
PRM02	: プリスケアラ・モード・レジスタ02 ...	250
PRM03	: プリスケアラ・モード・レジスタ03 ...	250
PSW	: プログラム・ステータス・ワード ...	621
PU0	: ブルアップ抵抗オプション・レジスタ0 ...	177
PU1	: ブルアップ抵抗オプション・レジスタ1 ...	177
PU12	: ブルアップ抵抗オプション・レジスタ12 ...	177
PU13	: ブルアップ抵抗オプション・レジスタ13 ...	177
PU3	: ブルアップ抵抗オプション・レジスタ3 ...	177
PU4	: ブルアップ抵抗オプション・レジスタ4 ...	177
PU5	: ブルアップ抵抗オプション・レジスタ5 ...	177
PU6	: ブルアップ抵抗オプション・レジスタ6 ...	177
PU7	: ブルアップ抵抗オプション・レジスタ7 ...	177

【R】

RCM	: 内蔵発振モード・レジスタ ...	191
RESF	: リセット・コントロール・フラグ・レジスタ ...	653
RXB60	: 受信バッファ・レジスタ60 ...	391
RXB61	: 受信バッファ・レジスタ61 ...	391
RXS60	: 受信シフト・レジスタ60 ...	391
RXS61	: 受信シフト・レジスタ61 ...	391

【S】

SDR0	: 剰余データ・レジスタ0 ...	656
------	-------------------	-----

SIO10	: シリアルI/Oシフト・レジスタ10 ...	438
SIO11	: シリアルI/Oシフト・レジスタ11 ...	438
SOTB10	: 送信バッファ・レジスタ10 ...	438
SOTB11	: 送信バッファ・レジスタ11 ...	438

【T】

TCL50	: タイマ・クロック選択レジスタ50 ...	295
TCL51	: タイマ・クロック選択レジスタ51 ...	295
TM00	: 16ビット・タイマ・カウンタ00 ...	228
TM01	: 16ビット・タイマ・カウンタ01 ...	228
TM02	: 16ビット・タイマ・カウンタ02 ...	228
TM03	: 16ビット・タイマ・カウンタ03 ...	228
TM50	: 8ビット・タイマ・カウンタ50 ...	293
TM51	: 8ビット・タイマ・カウンタ51 ...	293
TMC00	: 16ビット・タイマ・モード・コントロール・レジスタ00 ...	235
TMC01	: 16ビット・タイマ・モード・コントロール・レジスタ01 ...	235
TMC02	: 16ビット・タイマ・モード・コントロール・レジスタ02 ...	235
TMC03	: 16ビット・タイマ・モード・コントロール・レジスタ03 ...	235
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ...	298
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51 ...	298
TMCYC1	: 8ビット・タイマHキャリア・コントロール・レジスタ1 ...	319
TMHMD0	: 8ビット・タイマHモード・レジスタ0 ...	315
TMHMD1	: 8ビット・タイマHモード・レジスタ1 ...	315
TOC00	: 16ビット・タイマ出力コントロール・レジスタ00 ...	245
TOC01	: 16ビット・タイマ出力コントロール・レジスタ01 ...	245
TOC02	: 16ビット・タイマ出力コントロール・レジスタ02 ...	245
TOC03	: 16ビット・タイマ出力コントロール・レジスタ03 ...	245
TXB60	: 送信バッファ・レジスタ60 ...	391
TXB61	: 送信バッファ・レジスタ61 ...	391
TXS60	: 送信シフト・レジスタ60 ...	391
TXS61	: 送信シフト・レジスタ61 ...	391

【W】

WDTE	: ウォッチドッグ・タイマ・イネーブル・レジスタ ...	346
WTM	: 時計用タイマ動作モード・レジスタ ...	339

付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」の区別は、次のとおりです。

ハード：マイコン内部/外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/30)

章	分類	機能	機能の詳細	注意事項	頁
第1章	ハード	端子機能	オンチップ・デバッグ機能	78K0/Fx2マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.31
			AVss	AVssはVss/EVssと同電位にしてください。	p.34, 35
			AVss	AVssはVssと同電位にしてください。	p.36, 37
			EVDD	EVDDは、VDDと同電位にしてください。	p.36, 37
			REGC	REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し、Vssに接続してください。	p.34-37
			ANI0/P80-ANI0/P8n, ANI8/P90-ANI8/P9n	ANI0/P80-ANI0/P8n, ANI8/P90-ANI8/P9nは、リセット解除後にアナログ入力モードになります。	p.34-37
第2章	ハード	端子機能	P31/TI002/INTP2	誤動作を防ぐため、リセット解除までにP31/TI002/INTP2を必ずプルダウンしてください。	p.63
				フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/TI002/INTP2を次のように処理してください。 ・ P31/TI002/INTP2 : 抵抗 (10 k Ω : 推奨) を介してEVssに接続してください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p.63
			ANI0/P80-ANI7/P87	P80/ANI0-P87/ANI7は、リセット解除後はアナログ入力モードになります。	p.67
			ANI8/P90-ANI15/P97	P90/ANI8-P97/ANI15は、リセット解除後にアナログ入力モードになります。	p.68
			P121/X1	フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。 ・ P121/X1をポートとして使用する場合は、抵抗 (10 k Ω : 推奨) を介してVssに接続 (入力時) またはオープン (出力時) にしてください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p.69
			REGC端子	上図の破線部分の配線を極力短くしてください。	p.72
第3章	ソフト	メモリ空間	IMS, IXS : メモリ・サイズ切り替えレジスタ, 内部拡張RAMサイズ切り替えレジスタ	メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Fx2マイクロコントローラのすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。	p.77
				メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。	p.77

章	分類	機能	機能の詳細	注意事項	頁	
第3章	ソフト	メモリ空間	メモリ・バンク	異なるメモリ・バンク間で命令フェッチはできません。	p.87	
				異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。	p.87	
				割り込み処理はコモン・エリアに配置してください。	p.87	
				7FFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。	p.87	
		SFR：特殊機能レジスタ	SFRが割り付けられていないアドレスにアクセスしないでください。	p.90		
		SP：スタック・ポインタ	SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。	p.97		
第4章	ソフト	メモリ・バンク切り替え機能 (μ PD78F0889A, 78F0890A, 78F0892A-78F0895Aのみ)	BANK：メモリ・バンク選択レジスタ	BANKレジスタの書き換えは、必ずコモン・エリア(0000H-7FFFH)内で行ってください。バンク・エリア(8000H-BFFFFH)内でBANKレジスタを切り替えると、CPUが暴走してしまうため、バンク・エリア内でのBANKレジスタの書き換えは、絶対に行わないでください。	p.122	
				メモリ・バンク	異なるメモリ・バンク間で命令フェッチはできません。	p.123
					異なるメモリ・バンク間での分岐、アクセスは直接実行できません。異なるメモリ・バンク間で分岐、アクセスをする場合は、コモン・エリアを経由してください。	p.123
					割り込み処理はコモン・エリアに配置してください。	p.123
			7FFFHから8000Hにまたがる命令は、メモリ・バンク0のみ実行可能です。	p.123		
第5章	ソフト	ポート機能	P05/SSI11/TI001	P05/SSI11/TI001を汎用ポートとして使用する場合は、シリアル動作モード・レジスタ11(CSIM11)は初期状態と同じ設定(00H)にしてください。	p.135	
				P10/SCK10/TxD61, P12/SO10	P10/SCK10/TxD61, P12/SO10を汎用ポートとして使用する場合は、シリアル動作モード・レジスタ10(CSIM10)とシリアル・クロック選択レジスタ10(CSIC10)は初期状態と同じ設定(00H)にしてください。	p.138
				P10/SCK10/TxD61, P13/TxD60	P10/SCK10/TxD61, P13/TxD60を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60, 61(ASICL60, ASICL61)のビット0(TXDLV60, TXDLV61)を0(TxD6n通常出力)に設定してください。	p.138
	ハード		P31/INTP2/TI002	誤動作を防ぐため、リセット解除までにP31/INTP2/TI002を必ずプルダウンしてください。	p.144	
				フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/INTP2/TI002を次のように処理してください。 ・P31/INTP2/TI002：抵抗(10k Ω ：推奨)を介してEV _{SS} に接続してください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p.144	
	ソフト		P74/SO11, P76/SCK11	P74/SO11, P76/SCK11を汎用ポートとして使用する場合は、シリアル動作モード・レジスタ11(CSIM11)とシリアル・クロック選択レジスタ11(CSIC11)は初期状態と同じ設定(00H)にしてください	p.154	
	ハード		ポート8	ポート8をデジタル・ポートとして使用する場合は、AV _{REF} をV _{DD} と同電位にしてください。	p.159	
			ポート9	ポート9をデジタル・ポートとして使用する場合は、AV _{REF} をV _{DD} と同電位にしてください。	p.161	
	ソフト		P121/X1, P122/X2/EXCLK, P123/XT1, P124/XT2/EXCLKS	P121-P124端子を、メイン・システム・クロック用発振子接続(X1, X2)、サブシステム・クロック発振子接続(XT1, XT2)、メイン・システム・クロック用外部クロック入力(EXCLK)、サブシステム・クロック用外部クロック入力(EXCLKS)として使用する場合は、クロック動作モード選択レジスタ(OSCCTL)でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定してください(詳細は、6.3(5)クロック動作モード選択レジスタ(OSCCTL)を参照)。OSCCTLのリセット値は00H(P121-P124はすべて入出力ポート)となります。このとき、PM121-PM124, P121-P124の設定は不要です。	p.163	
	ハード			フラッシュ・メモリ・プログラマによる書き込みをする場合、P121/X1を次のように処理してください。 ・P121/X1をポートとして使用する場合は、抵抗(10k Ω ：推奨)を介してV _{SS} に接続(入力時)またはオープン(出力時)にしてください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p.163	

章	分類	機能	機能の詳細	注意事項	頁	
第5章	ソフト	ポート機能	ADPC: A/Dポート・コンフィギュレーション・レジスタ	A/D変換で使用するチャンネルは、ポート・モード・レジスタ8, 9 (PM8, 9) で入力モードに選択してください。	p.181	
				ADPCでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ(ADS) で設定しないでください。	p.181	
				ADPCにデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPCにデータを書き込まないでください。詳細は第31章ウエイトに関する注意事項を参照してください。	p.181	
			ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令	入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。 そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。	p.185	
第6章	ソフト	クロック発生回路	PCC: プロセッサ・クロック・コントロール・レジスタ	ビット3, 6, 7には、必ず0を設定してください。	p.190	
				RCM: 内蔵発振モード・レジスタ	RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、RSTOPに1を設定してください。 ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作) ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)	p.191
			ハード	MCM: メイン・クロック・モード・レジスタ	XSELはリセット解除後、1回だけ設定が可能です。	p.192
					周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。	p.192
					次の周辺機能には、XSELとMCM0の設定によらず、fPRS以外のクロックが供給されません。 ・ウォッチドッグ・タイマ ・8ビット・タイマH1のカウント・クロックに「fRL/2 ⁷ 」を選択時 ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし、TM0n (n = 0, 1) の外部カウント・クロック選択時 (TI00n端子の有効エッジは除く) CPUクロックの切り替え時間は、1クロックです。	p.192
	ソフト	MOC: メインOSCコントロール・レジスタ	MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件のときに、MSTOPに1を設定してください。 ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作) ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作) また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。	p.193		
			クロック動作モード選択レジスタ(OSCCTL)のビットα(OSCSEL)が0のとき、MSTOPに0を設定しないでください。	p.193		
			周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。	p.193		
			OSCSTL: クロック動作モード選択レジスタ	高速システム・クロック周波数が10 MHzを越える場合は、必ずAMPHに1を設定してください。	p.194	
			AMPHは、メイン・クロック・モード・レジスタ (MCM) を設定する前に設定してください。	p.194		
AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック (X1発振) を選択する場合は、AMPHに1を設定してから4.06 ~ 16.12 μs間、CPUクロックに高速システム・クロック (外部クロック入力) を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。	p.194					

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	クロック発生回路	OSCSTL:クロック動作モード選択レジスタ	AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間、CPUクロックが高速システム・クロック（外部クロック入力）のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック（X1発振）のときは、STOPモード解除後に発振安定時間をカウントします。	p.194
				AMPHは、リセット解除後1回のみ変更可能です。	p.194
				EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ（MOC）のビット7（MSTOP）が1（X1発振回路停止またはEXCLK端子からの外部クロック無効）であることを必ず確認してください。	p.194
				EXCLKSとOSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット5（CLS）が0（高速システム・クロックでCPU動作）であることを確認してください。	p.195
				OSTC:発振安定時間カウンタ状態レジスタ	上記時間経過後、MOST11から順番に“1”となっていき、そのまま“1”を保持します。
	ハード	ソフト	OSTS:発振安定時間選択レジスタ	CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.195
				X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。	p.195
				CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。 X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p.196
	ハード	X1/XT1発振回路	-	CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック時に、STOPモードに入り、解除するときは、発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.196
				X1クロックの発振安定ウエイト時間は、クロック発振を開始するまでの時間（下図a）は含みません。	p.196
X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-12、6-13の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。 特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。				p.198	
電源電圧投入時のクロック発生回路動作	-	X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。	p.199		
		電源投入時から1.8Vに達するまでの電圧の立ち上がり率が、0.5V/ms（MIN.）よりも緩やかな場合は、電源投入時から1.8Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトで2.7V/1.59V POCモードを設定（LVISTART = 1）してください（図6-13参照）。1.8Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図6-12の以降と同様のタイミングで動作します。	p.203		
			EXCLK端子およびEXCLKS端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。	p.203, 204	

章	分類	機能	機能の詳細	注意事項	頁
第6章	ハード	電源電圧投入時のクロック発生回路動作	-	電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。	p.204
	ソフト	高速システム・クロックの制御	X1/P121, X2/EXCLK/P122	X1/P121, X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。	p.205
			X1クロック	X1クロック動作中にEXCLK, OSCSELを書き換えしないでください。	p.206
				電源電圧が、使用するクロックの動作可能電圧(第27章 電気的特性(A)水準品)、第28章 電気的特性(A2)水準品)を参照)に達してから、X1クロックの設定を行ってください。	p.206
			外部メイン・システム・クロック	外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えしないでください。	p.206
				電源電圧が、使用するクロックの動作可能電圧(第27章 電気的特性(A)水準品)、第28章 電気的特性(A2)水準品)を参照)に達してから、外部メイン・システム・クロックの設定を行ってください。	p.206
			メイン・システム・クロック	メイン・システム・クロックに高速システム・クロックを選択した場合、周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。	p.207
		高速システム・クロック	MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。	p.208	
		高速内蔵発振クロックの制御	高速内蔵発振クロック	RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。	p.210
	サブシステム・クロックの制御	XT1/P123, XT2/EXCLKS/P124	XT1/P123, XT2/EXCLKS/P124端子のリセット解除時は、入出力ポート・モードです。	p.210	
		XT1クロック, 外部サブシステム・クロック	サブシステム・クロック動作中にEXCLKS, OSCSELSを書き換えしないでください。	p.211	
		サブシステム・クロック		OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで時計用タイマが動作している場合は、時計用タイマの動作を停止してください。	p.212
				STOP命令でサブシステム・クロックの発振を停止することはできません。	p.212
		低速内蔵発振クロックの制御	低速内蔵発振クロック	オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。	p.213
	CPUクロック		-	メイン・システム・クロックの分周の選択(PCC0-PCC2)とメイン・システム・クロックからサブシステム・クロックへの切り替え(CSSを0 1)を同時に設定しないでください。ただし、メイン・システム・クロックの分周の選択(PCC0-PCC2)とサブシステム・クロックからメイン・システム・クロックへの切り替え(CSSを1 0)は同時に設定可能です。	p.220
			高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2(XSEL)を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。	p.221	
第7章	ハード	16ビット・タイマ/イベント・カウンタ00, 01	-	<ul style="list-style-type: none"> μPD78F0881A, 78F0882A, 78F0883Aの16ビット・タイマ/イベント・カウンタ01には、次の制限があります。 ・カウント・クロックにTI001およびTI011を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。 ・タイマ出力禁止 詳細は、7.6(12)78K0/FC2の16ビット・タイマ/イベント・カウンタ01についてを参照してください。	p.222
				<ul style="list-style-type: none"> μPD78F0884A, 78F0885A, 78F0886Aの16ビット・タイマ/イベント・カウンタ01には、次の制限があります。 ・カウント・クロックにTI001を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。 詳細は、7.6(12)78K0/FC2の16ビット・タイマ/イベント・カウンタ01についてを参照してください。	p.222

章	分類	機能	機能の詳細	注意事項	頁	
第7章	ハード	16ビット・タイマ/イベント・カウンタ00, 01	-	78K0/FC2の μ PD78F0881A, 78F0882A, 78F0883Aは, TI001, TI011端子を選択禁止です。 78K0/FC2の μ PD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895Aは, TI001端子を選択禁止です。	p.228-234, 250, 263-275, 278, 279, 281-284, 286-289	
			ソフト	TM0n : 16ビット・タイマ・カウンタ0n	TM0nをリードしても, CR01nにはキャプチャしません。 TM0nをリード時は, カウント・クロックの入力を一時停止し, リード後にカウント・クロックの入力を再開しますので, クロック・ミスは発生しません。	p.228 p.228
				CR00n : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n	コンペア・モードに設定したCR00nはキャプチャ・トリガが入力されても, キャプチャ動作を行いません。	p.229
					TM0nとCR00nの一致でクリア&スタート・モードの場合, CR00nには0000H以外の値を設定してください。	p.230
					フリー・ランニング・モードおよびTI00n端子の有効エッジのクリア・モードにおいて, CR00nに0000Hを設定した場合は, TM0nのオーバフロー(FFFFH)後, 0000Hから0001Hになるときに割り込み要求(INTTM00n)を発生します。またTM0nとCR00nの一致後, TI01n端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM00nを発生します。	p.230
					P01またはP06をTI01n端子有効エッジの入力として使用するときは, タイマ出力(TO0n)として使用できません。また, TO0nとして使用するときは, TI01n端子の有効エッジの入力として使用できません。	p.230
					CR00nをキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります(キャプチャ・データ自体は正常値)。また, カウント停止の入力とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。	p.230
					TM0n動作中にCR00nを書き換えしないでください。	p.230
				CR01n : 16ビット・タイマ・キャプチャ/コンペア・レジスタ01n	CR01nレジスタに0000Hを設定した場合は, TM0nのオーバフロー(FFFFH)後, 0000Hから0001Hになるときに割り込み要求(INTTM01n)を発生します。またTM0nとCR01nの一致後, TI00n端子の有効エッジ検出後, ワンショット・トリガによるクリア後にINTTM01nを発生します。	p.232
					CR01nをキャプチャ・レジスタとして使用時, レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合, リード・データは不定となります(キャプチャ・データ自体は正常値)。 また, カウント停止の入力とキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。	p.232
					TM0n動作中にCR01nを書き換えることができます。詳細は7.5.1 CR01nのTM0n動作中の書き換えを参照してください。	p.232
				-	TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合, キャプチャ後に割り込み要求信号(INTTM00n)は発生しません。この動作中に, TI01n端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は, INTTM00n信号をマスクしてください。	p.234
				TMC0n : 16ビット・タイマ・モード・コントロール・レジスタ0n	16ビット・タイマ/イベント・カウンタ0nは, TMC0n3, TMC0n2に0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。動作を停止させるには, TMC0n3, TMC0n2に0, 0を設定してください。	p.235
				ハード	CRC0n : キャプチャ/コンペア・コントロール・レジスタ0n	キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ0n (PRM0n)で選択したカウント・クロックの2周期分より長いパルスが必要です。
TOC0n : 16ビット・タイマ出力コントロール・レジスタ0n	TOC0nを設定するときは, 必ず次の順序で設定してください。 TOC0n4, TOC0n1のセット(1) TOE0nだけを単独でセット(1) LVS0nまたはLVR0nのどちらか片方だけをセット(1)	p.245				

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ/イベント・カウンタ00, 01	PRM0n : プリスケラ・モード・レジスタ0n	PRM0n1, PRM0n0ビット =11 (カウント・クロックをTI00n端子の有効エッジに指定)に設定する場合, 次の設定は禁止です。 ・TI00n端子の有効エッジでクリア&スタート・モード ・TI00n端子をキャプチャ・トリガに設定	p.250
				リセット後, TI00n端子またはTI01n端子がハイ・レベルの状態, TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して, 16ビット・タイマ/イベント・カウンタ0nの動作を許可すると, そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし, いったん動作を停止させたあとの再動作許可時には, 立ち上がりエッジは検出されません。	p.250
	ハード			P01端子はTI010有効エッジとタイマ出力 (TO00) を, P06端子はTI011有効エッジとタイマ出力 (TO01) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。	p.250
	ソフト	インターバル・タイマ		TM0n動作中にCR00nを書き換えることはできません。	p.257
PPG出力		動作中にデューティの値 (CR01nレジスタ) を変更する場合は, 図7 - 35 PPG出力動作のタイミングの注意2を参照してください。	p.260		
		CR00nとCR01nには次の範囲の値を設定してください。 0000H CR01n < CR00n FFFFH	p.261		
		PPG出力によって生成されるパルスの周期は (CR00nの設定値 + 1), デューティは (CR01nの設定値 + 1) / (CR00nの設定値 + 1) になります。	p.261		
		TM0n動作中にCR00nを書き換えることはできません。	p.262		
		PPG出力動作において, TM0nの動作中にパルス幅を変更する (CR01nを書き換える) 場合は, 次の手順で行ってください。 TM0nとCR01nの一致によるタイマ出力反転動作を禁止する (TOC0n4 = 0) INTTM01nの割り込みを禁止する (TMMK01n = 1) CR01nを書き換える TM0nのカウント・クロックの1周期分をウエイトする TM0nとCR01nの一致によるタイマ出力反転動作を許可する (TOC0n4 = 1) INTTM01nの割り込み要求フラグをクリアする (TMIF01n = 0) INTTM01nの割り込みを許可する (TMMK01n = 0)	p.262		
パルス幅測定としての動作		キャプチャ・レジスタを2本使用する場合は, TI00nおよびTI01n端子の設定を行ってください。	p.263		
		78K0/FC2のパルス幅測定は, 16ビット・タイマ・カウンタ00 (TM00) のみ使用できません。	p.263-272		
外部イベント・カウンタ		78K0/FC2の外部イベント・カウンタは, 16ビット・タイマ・カウンタ00 (TM00) のみ使用できます。	p.273-275		
		外部イベント・カウンタのカウント値を読み出す場合は, TM0nを読み出してください。	p.275		
方形波出力		TM0n動作中にCR00nを書き換えることはできません。	p.276		
ワンショット・パルス出力		ワンショット・パルスを出力しているときは, OSPT0nビットを1にセットしないでください。 再度ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで行ってください。	p.279		
		16ビット・タイマ/イベント・カウンタ0nのワンショット・パルス出力をソフトウェア・トリガで使用する場合, TI00n端子またはその兼用ポート端子のレベルを変化させないでください。 この場合でも外部トリガは有効となっているので, TI00n端子またはその兼用ポート端子のレベルでもタイマがクリア&スタートしてしまい, 意図しないタイミングでパルスが出力されてしまいます。	p.279		
	CR00nレジスタとCR01nレジスタに0000Hを設定しないでください。	p.280, 282			
	16ビット・タイマ・カウンタ0nは, TMC0n3, TMC0n2ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。	p.281, 283			
	ワンショット・パルスを出力しているときに, 再度外部トリガが発生しても無視されません。	p.281			

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ/イベント・カウンタ00, 01	ワンショット・パルス出力	78K0/FC2の外部トリガによるワンショット・パルス出力は、16ビット・タイマ・カウンタ00 (TM00) のみ使用できます。	p.281-283
			LVS0n, LVRn0	LVS0n, LVR0nは必ず上記 , , の手順で設定してください。 の設定をしてから, の設定をするまでの間であれば, の設定ができます。	p.285
			-	表7-5に各チャネルの制限事項を示します。	p.286
	ハード	タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nのカウント・スタートが非同期で行われるためです。	p.286	
	ソフト	CR00n, CR01n : 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n, 01n	TM0nとCR00nの一致でクリア&スタート・モードの場合、CR00n, CR01nには、0000H以外の値を設定してください (外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。	p.286	
			CR00n/CR01nの読み出し中にTI00n/TI01n端子の有効エッジ入力、TI00n端子の逆相のエッジを検出したとき、CR01nはキャプチャ動作を行います。CR00n/CR01nの読み出し値は保証されません。このとき、TI00n/TI01n端子の有効エッジの検出による割り込み信号 (INTTM00n/INTTM01n) は発生しません (TI00n端子の逆相のエッジ検出時は、割り込み信号を発生しません)。 TI00n/TI01n端子の有効エッジの検出によるキャプチャ時に、CR00n/CR01nの値を読み出す場合は、INTTM00n/INTTM01n発生後に行ってください。	p.287	
			16ビット・タイマ/イベント・カウンタ0n停止後のCR00n, CR01nの値は保証されません。	p.287	
		ES0n0, ES0n1	TI00n端子の有効エッジの設定は、タイマ動作が停止 (TMC0n3, TMC0n2 = 00) しているときに行ってください。有効エッジの設定は、ES0n0, ES0n1で行います。	p.287	
		ワンショット・パルスの再トリガ	ワンショット・パルス出力モードで、アクティブ・レベルを出力中に、トリガが発生しないようにしてください。次のトリガ入力は、必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。	p.287	
		OVF0n	OVF0nフラグは、TM0nがオーバフローしたとき以外に、次のときにもセット (1) されます。 TM0nとCR00nの一致でクリア&スタート・モードを選択 CR00nをFFFFHに設定 TM0nがCR00nとの一致によりFFFFHから0000Hにクリアされるとき	p.288	
			TM0nがオーバフロー後、次のカウント・クロックがカウントされる (TM0nが0001Hになる) 前にOVF0nフラグをクリア (0) しても、再度セット (1) されクリアは無効となります。	p.288	
	ワンショット・パルス出力	ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI00n端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。	p.288		
	TI00n	カウント・クロックにTI00nの有効エッジを指定した場合、TI00nをトリガに指定したキャプチャ・レジスタは正常に動作しません。	p.289		
	ハード	TI00n, TI01n	確実にキャプチャするためのキャプチャ・トリガとして、TI00n, TI01n端子に入力するパルスには、PRM0nで選択したカウント・クロックの2回分より長いパルス幅が必要です (図7-15を参照)。	p.289	
		INTTM00n, INTTM01n	キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号 (INTTM00n, INTTM01n) は次のカウント・クロックの立ち上がりで発生します (図7-15を参照)。	p.289	
	ソフト	CRC0n1 = 1	TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM00n) は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。	p.289	
ハード	リセット後の有効エッジ指定	リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。	p.289		

章	分類	機能	機能の詳細	注意事項	頁			
第7章	ハード	16ビット・タイマ/イベント・カウンタ00, 01	ノイズ除去のためのサンプリング・クロック	TI00nの有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者はfPRS固定で、後者はPRM0nで選択したカウント・クロックでサンプリングします。TI00n端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます(図7-15を参照)。	p.289			
			TI00n/TI01n	CPUの動作モードに関係なく、タイマが停止していると、TI00n/TI01n端子への入力信号は受け付けられません。	p.290			
			78K0/FC2の16ビット・タイマ/イベント・カウンタ01	78K0/FC2の16ビット・タイマ/イベント・カウンタ01は、製品によってタイマ入出力端子の構成が異なるため、16ビット・タイマ/イベント・カウンタ00と機能に差があります。 製品によるTM01入出力端子の違いを次に示します。	p.290			
			μPD78F0881A, 78F0882A, 78F0883AのTM01には、次の制限があります。 ・カウント・クロックにTI001およびTI011を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。 ・タイマ出力禁止 μPD78F0884A, 78F0885A, 78F0886A, 78F0894A, 78F0895AのTM01には、次の制限があります。 ・カウント・クロックにTI001を選択禁止。ただし、TI001をUART61のボー・レート誤差の算出用として使用する場合は対象外です。	p.290				
第8章	ソフト	8ビット・タイマ/イベント・カウンタ50, 51	CR5n : 8ビット・タイマ・コンペア・レジスタ5n	TM5nとCR5nの一致でクリア&スタート・モード(TMC5n6 = 0)時は、動作中にCR5nに異なる値を書き込まないでください。 PWMモード時は、CR5nの書き換え間隔をカウント・クロック(TCL5nで選択したクロック)の3カウント・クロック以上にしてください。	p.294 p.294			
			TCL50 : タイマ・クロック選択レジスタ50	TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。 ビット3-7には必ず“0”を設定してください。	p.296 p.296			
			TCL51 : タイマ・クロック選択レジスタ51	TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。 ビット3-7には必ず“0”を設定してください。	p.297 p.297			
			TMC5n : 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)	LVS5nとLVR5nの設定は、PWMモード時以外で有効になります。 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。 TMC5n1, TMC5n6を設定 : 動作モードの設定 出力を許可する場合, TOE5nを設定 : タイマ出力許可 LVS5n, LVR5nを設定 : タイマF/Fの設定 TCE5nを設定	p.299 p.299			
				TMC5n6を書き換える場合は、動作を停止してから行ってください。	p.299			
			インターバル・タイマ	動作中にCR5nに異なる値を書き込まないでください。	p.301			
			方形波出力	動作中にCR5nに異なる値を書き込まないでください。	p.305			
			PWM出力	PWMモード時は、CR5nの書き換え間隔をカウント・クロック(TCL5nで選択したクロック)の3カウント・クロック以上にしてください。 図8-15の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。	p.306 p.309			
			タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51(TM50, TM51)が非同期でスタートするためです。	p.310			
			第9章	ソフト	8ビット・タイマH0, H1	CMP0n : 8ビット・タイマHコンペア・レジスタ0n (CMP0n)	CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ(同値書き込み)することは可能です。	p.314
						CMP1n : 8ビット・タイマHコンペア・レジスタ1n (CMP1n)	PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止(TMHEn = 0)設定後、タイマ・カウント動作を開始する(TMHEn = 1)場合、必ずCMP1nを設定してください(CMP1nへの設定値が同値の場合でも、必ず再設定してください)。	p.314

章	分類	機能	機能の詳細	注意事項	頁
第9章	ソフト	8ビット・タイマH0、H1	TMHMD0: 8ビット・タイマHモード・レジスタ0	TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ（同値書き込み）することは可能です。	p.317
				PWM出力モードでは、タイマ・カウント動作停止（TMHE0 = 0）設定後、タイマ・カウント動作を開始する（TMHE0 = 1）場合、必ず8ビット・タイマHコンペア・レジスタ10（CMP10）を設定してください（CMP10への設定値が同値の場合でも、必ず再設定してください）。	p.317
			TMHMD1: 8ビット・タイマHモード・レジスタ1	TMHE1 = 1のとき、TMHMD1の他のビットを設定することは禁止です。ただし、リフレッシュ（同値書き込み）することは可能です。	p.319
				PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ず8ビット・タイマHコンペア・レジスタ11（CMP11）を設定してください（CMP11への設定値が同値の場合でも、必ず再設定してください）。	p.319
			キャリア・ジェネレータ・モードを使用する場合、TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。	p.319	
	TMCYC1: 8ビット・タイマHキャリア・レジスタ1	TMHE1 = 1のとき、RMC1を書き換えないでください。ただし、TMCYC1にリフレッシュ（同値書き込み）することは可能です。	p.319		
	ハード	ソフト	PWM出力1	PWM出力モード時は、CMP1nレジスタを書き換えてからレジスタに転送するのに、動作クロック（TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号）の3クロック分を必要とします。	p.325
				タイマ・カウント動作停止（TMHEn = 0）設定後、タイマ・カウント動作を開始する（TMHEn = 1）場合、必ずCMP1nレジスタを設定してください（CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください）。	p.325
				CMP1nレジスタの設定値（M）、CMP0nレジスタの設定値（N）は、必ず次の範囲内にしてください。00H CMP1n（M） < CMP0n（N） FFH	p.325
			キャリア・ジェネレータ（8ビット・タイマH1のみ）	NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。	p.331
				8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。	p.331
				タイマ・カウント動作停止（TMHE1 = 0）設定後、タイマ・カウント動作を開始する（TMHE1 = 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。	p.333
				TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。	p.333
				CMP01、CMP11レジスタの値は、01H-FFHの範囲で設定してください。	p.333
キャリア・ジェネレータ・モード時は、CMP11レジスタを書き換えてから、実際にレジスタに転送するのに動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分を必要とします。				p.333	
RMC1ビットの設定はカウント動作開始前に必ず設定してください。				p.333	
第10章	ソフト	時計用タイマ	WTM: 時計用タイマ動作モード・レジスタ	時計用タイマ動作中に、カウント・クロック、インターバル時間の変更（WTMのビット4-7（WTM4-WTM7）で設定）をしないでください。	p.340
	ハード		割り込み要求	時計用タイマ・モード・コントロール・レジスタ（WTM）で時計用タイマおよび5ビット・カウンタを動作許可（WTMのビット0（WTM0）およびビット1（WTM1）を1にセット）したとき、設定後の最初の割り込み要求（INTWT）までの時間は、正確にWTMのビット2、3（WTM2、WTM3）の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。	p.343
第11章	ソフト	ウォッチドッグ・タイマ	WDTE: ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに"ACH"以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。	p.346
				WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。	p.346

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	ウォッチドッグ・タイマ	WDTE:ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEのリード値は、“9AH/1AH”（書き込んだ値（“ACH”）とは異なる値）になります。	p.346
			動作制御	リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。	p.347
				WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大2/f _{RL} 秒の誤差が生じる場合があります。	p.347
				ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。	p.347
				オプション・バイトのビット0（LSROSC）の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります（p.348の表を参照）。LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア（0）されず、停止前の値からカウント開始します。また、LSROSC = 0設定時に、LSRSTOP（内蔵発振モード・レジスタ（RCM）のビット1）= 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア（0）されません。	p.348
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROM [®] エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.348, 349
			オーバフロー時間の設定, ウィンドウ・オープン期間の設定	WDCS2 = WDCS1 = WDSC0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p.348, 349
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.348, 349
			ウィンドウ・オープン期間の設定	リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。	p.349
				1.8 V V _{DD} < 2.7 Vで使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。	p.349
第12章	ソフト	クロック出力 / ブザー出力制御回路	CKS:クロック出力選択レジスタ	BCS1, BCS0の設定は、ブザー出力動作停止時（BZOE = 0）に行ってください。	p.354
				CCS3-CCS0の設定は、クロック出力動作停止時（CLOE = 0）に行ってください。	p.354
第13章	ソフト	A/Dコンバータ	ADCR: 10ビット A/D変換レジスタ, ADCRH: 8ビット A/D変換レジスタ	ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。	p.358
			ADM: A/Dコンバータ・モード・レジスタ	FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。	p.360
				ADMにデータを書き込むと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADMにデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。	p.360
			A/D変換時間の選択	変換時間は、次の条件で設定してください。（p.361を参照）	p.361
				FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止（ADCS = 0）させたのちに行ってください。	p.361
				2.3 V AV _{REF} < 2.7 Vの場合、LV1, LV0をデフォルト値から変更してください。	p.361
				前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。	p.361

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	ADCR: 10ビット A/D変換レジスタ	A/Dコンバータ・モード・レジスタ(ADM), アナログ入力チャネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC) に対して書き込み動作を行ったとき, ADCRの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。	p.362
				ADCRからデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADCRからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。	p.362
		ADCRH: 8ビット A/D変換レジスタ	A/Dコンバータ・モード・レジスタ(ADM), アナログ入力チャネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC) に対して書き込み動作を行ったとき, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。	p.363	
			ADCRHからデータを読み出すと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADCRHからデータを読み出さないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。	p.363	
		ADS: アナログ入力チャネル指定レジスタ	ビット4-7には必ず0を設定してください。	p.364	
			ADSとADPCは入力/出力制御をしていないので, A/D変換で使用するチャンネルをポート・モード・レジスタ8, 9 (PM8, PM9) で入力モードに選択してください。出力モードに選択した場合, ADPCの選択は無効になります。	p.364	
			ADPCでデジタル入力として設定する端子を, ADSで設定しないでください。	p.364	
			ADSにデータを書き込むと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADSにデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。	p.364	
		ADPC: A/Dポート・コンフィギュレーション・レジスタ(ADPC)	A/D変換で使用するチャンネルは, ポート・モード・レジスタ8, 9 (PM8, PM9) で入力モードに選択してください。	p.365	
			ADPCでデジタル入出力として設定する端子を, アナログ入力チャネル指定レジスタ(ADS) で設定しないでください。	p.365	
			ADPCにデータを書き込むと, ウェイトが発生します。またCPUがサブシステム・クロックで動作し, かつ周辺ハードウェア・クロックが停止しているときに, ADPCにデータを書き込まないでください。詳細は第31章 ウェイトに関する注意事項を参照してください。	p.365	
		A/D変換の基本動作	から までの間は1 μ s以上空けてください。	p.368	
		A/D変換動作	から までの間は1 μ s以上空けてください。	p.373	
			は, から までの間に行っても, 問題ありません。	p.373	
			は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。	p.373	
			から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。	p.373	
		STOPモード時の動作電流	A/Dコンバータは, STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にすることにより, 動作電流を低減させることができます。スタンバイ状態から再度動作する場合, 割り込み要求フラグ・レジスタ1L(IF1L)のビット0(ADIF)をクリア(0)してから, 動作開始してください。	p.377	
ハード	ANI0-ANI15入力範囲	ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特にAVREF以上, AVSS以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャンネルの変換値が不定となります。また, ほかのチャンネルの変換値にも影響を与えることがあります。	p.377		

章	分類	機能	機能の詳細	注意事項	頁	
第13章	ソフト	A/Dコンバータ	競合動作	変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードが競合した場合, ADCR, ADCRHリードが優先されます。リードしたあと, 新しい変換結果がADCR, ADCRHにライトされます。	p.377	
				変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト, アナログ入力チャネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトが競合した場合, ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また, 変換終了割り込み信号 (INTAD) も発生しません。	p.377	
	ハード			ノイズ対策	10ビット分解能を保つためには, AVREF, ANIO-ANI15端子へのノイズに注意する必要があります。 電源には等価抵抗が小さく, 周波数応答のよいコンデンサを接続してください。 アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので, ノイズを低減するために図13 - 21のようにCを外付けすることを推奨します。 変換中においては, 他の端子とスイッチングしないようにしてください。 変換開始直後にHALTモードに設定すると, 精度が向上します。	p.377
				P80/ANI0-P87/ANI7, P90/ANI8-P97/ANI15	アナログ入力 (ANI0-ANI15) 端子は入力ポート (P80-P87, P90-P97) 端子と兼用になっています。ANI0-ANI15のいずれかを選択してA/D変換をする場合, 変換中にP80-P87, P90-P97に対してアクセスしないでください。変換分解能が低下することがあります。またP80-P87, P90-P97として使用する端子の選択は, AVREFから最も遠いP80/ANI0より行うことを推奨します。	p.378
					A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p.378
				ANI0-ANI15端子の入力インピーダンス	このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。 ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを10kΩ以下にし, 出力インピーダンスが高いときはANI0-ANI15端子に100 pF程度のコンデンサを付けることを推奨します (図13 - 21参照)。	p.378
				AVREF端子の入力インピーダンス	AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。したがって, 基準電圧源の出力インピーダンスが高い場合, AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり, 基準電圧の誤差が大きくなります。	p.379
				割り込み要求フラグ (ADIF)	アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。したがって, A/D変換中にアナログ入力端子の変更を行った場合, ADS書き換え直前に, 変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと, 変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。また, A/D変換を一度停止させて再開する場合は, 再開する前にADIFをクリア (0) してください。	p.379
				A/D変換スタート直後の変換結果	ADCEビット = 1にしてから, 1 μs以内にADCSビット = 1にした場合, もしくはADCEビット = 0の状態では, ADCSビット = 1にした場合は, A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし, 最初の変換結果を廃棄するなどの対策を行ってください。	p.379
				A/D変換結果レジスタ (ADCR, ADCRH) の読み出し	A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCR, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。	p.380
	ハード		内部等価回路	アナログ入力部の等価回路を次に示します。(図13 - 23, 表13 - 4を参照)	p.380	

章	分類	機能	機能の詳細	注意事項	頁	
第14章	ソフト	シリアル・インタフェース UART60. UART61	UARTモード	TxD6n出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6n出力反転機能を使用する場合、相手側も反転レベルで受信してください。	p.381	
				シリアル・インタフェースUART60, UART61への供給クロックが停止しない場合(例: HALTモード)では、正常動作が続きます。シリアル・インタフェースUART60, UART61への供給クロックが停止する場合(例: STOPモード)では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6n端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6n = 0, RXE6n = 0, TXE6n = 0として、回路をリセットしてください。	p.381	
				通信開始する場合、POWER6n = 1に設定後、TXE6n = 1(送信)またはRXE6n = 1(受信)に設定してください。	p.381	
				TXE6nとRXE6nは、CKSR6nで設定した基本クロック(fxCLK6)により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると送信回路または受信回路を初期化できない場合があります。	p.382	
				TXE6n = 1に設定したあと、基本クロック(fxCLK6)1クロック以上待ってから、TXB6nに送信データを設定してください。	p.382	
				連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。	p.382	
				TXB6n: 送信バッファ・レジスタ6n	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n(ASIF6n)のビット1(TXBF6n)が1のとき、TXB6nにデータを書き込まないでください。	p.391
				通信動作中(アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n(ASIM6n)のビット7, 6(POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5(POWER6n, RXE6n) = 1, 1)に、ソフトウェアでTXB6nへのリフレッシュ(同値書き込み)動作を行わないでください。	p.391	
				TXE6n = 1に設定したあと、基本クロック(fxCLK6)1クロック以上待ってから、TXB6nに送信データを設定してください。	p.391	
				ASIM6n: アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n	送信開始するときはPOWER6n = 1にしてから、TXE6n = 1としてください。送信停止するときにはTXE6n = 0にしてから、POWER6n = 0としてください。	p.394, 396
		受信開始するときはPOWER6n = 1にしてから、RXE6n = 1としてください。受信停止するときにはRXE6n = 0にしてから、POWER6n = 0としてください。	p.394, 396			
		RxD6n端子にハイ・レベルが入力された状態でPOWER6n = 1 RXE6n = 1と設定してください。ロウ・レベルのときにPOWER6n = 1 RXE6n = 1と設定すると、受信を開始してしまいます。	p.394, 396			
		TXE6nとRXE6nは、CKSR6nで設定した基本クロック(fxCLK6)により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。	p.394, 396			
		TXE6n = 1に設定したあと、基本クロック(fxCLK6)1クロック以上待ってから、TXB6nに送信データを設定してください。	p.394, 396			
		PS61n, PS60n, CL6nビットを書き換えるときは、TXE6n, RXE6nビットをクリア(0)してから行ってください。	p.394, 396			
		LIN通信動作で使用する場合、PS61n, PS60nビットを0に固定してください。	p.394, 396			
		SL6nビットを書き換えるときは、TXE6nをクリア(0)してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6nビットの設定値の影響は受けません。	p.394, 396			
		ISRM6nビットを書き換えるときは、RXE6n = 0にしてから行ってください。	p.394, 396			

章	分類	機能	機能の詳細	注意事項	頁	
第14章	ソフト	シリアル・インタフェース UART60, UART61	ASIS6n : アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n	PE6nビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のPS61n, PS60nビットの設定値により異なります。	p.397, 398	
				受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p.397, 398	
				オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6n (RXB6n) には書き込まれず、データは破棄されます。	p.397, 398	
				ASIS6nからデータを読み出すと、ウエイトが発生します。またサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ASIS6nからデータを読み出さないでください。詳細は、第31章 ウエイトに関する注意事項を参照してください。	p.397, 398	
				ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n	連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが " 0 " であることを確認してから次の送信データ (2バイト目) をTXB6nレジスタに書き込んでください。TXBF6nフラグが " 1 " のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。	p.399, 400
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが " 0 " であることを確認してから初期化を実行してください。TXSF6nフラグが " 1 " のときに初期化を実行した場合の送信データは保証できません。	p.399, 400	
	ハード	ソフト	CKSR6n : クロック選択レジスタ6n	TPS63n-TPS60nを書き換える場合は、POWER6n = 0としてから行ってください。	p.402, 403	
				BRGC6n : ポーレート・ジェネレータ・コントロール・レジスタ6n	MDL67n-MDL60nビットを書き換える場合は、ASIM6nレジスタのビット6 (TXE6n) = 0, ビット5 (RXE6n) = 0にしてから行ってください。	p.404, 450
					8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポーレート値となります。	p.404, 405
				ASICL6n : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n	通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASICL6nへのリフレッシュ動作 (同値書き込み) を行うことができます。ただし、SBF受信 (SBRF6n = 1) またはSBF送信 (SBTT6nをセット (1) 後からINTST6n発生までの間) に、リフレッシュ動作でSBRT6n = 1, SBTT6n = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。	p.406
					SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6nフラグの状態は保持 (1) されます。	p.407, 409
					SBRT6nビットは、ASIM6nのビット7 (POWER6n) = 1, かつビット5 (RXE6n) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF受信が終了 (割り込み要求信号が発生) する前に、SBRT6nビットをクリア (0) しないでください。	p.407, 409
					SBRT6nビットのリード値は常に0です。SBF受信正常終了後、SBRT6nは自動的にクリア (0) されます。	p.407, 409
					SBTT6nビットは、ASIM6nのビット7 (POWER6n) = 1, かつビット6 (TXE6n) = 1としてからセット (1) にしてください。また、セット (1) 後、SBF送信が終了 (割り込み要求信号が発生) する前に、SBTT6nビットをクリア (0) しないでください。	p.407, 409
SBTT6nビットのリード値は常に0です。SBF送信終了後、SBTT6nは自動的にクリア (0) されます。	p.407, 409					
SBRT6nビットは受信動作中に、SBTT6nビットは送信動作中に、セット (1) しないでください。	p.407, 409					
DIR6n, TXDLV6nビットを書き換えるときは、TXE6n, RXE6nビットをクリア (0) にしてから行ってください。	p.407, 409					
TXDLV6nビットを1 (TxD6n反転出力) に設定している場合、POWER6n, TXE6nの設定に関係なく、TxD60/P13またはTxD61/SCK10/P10端子を汎用ポートとして使用することはできません。TxD60/P13またはTxD61/SCK10/P10端子を汎用ポートとして使用する場合は、TXDLV6nビットを0 (TxD6n通常出力) に設定してください。	p.407, 409					
POWER6n, TXE6n, RXE6n : ASIM6nのビット7, 6, 5	動作停止するときは、TXE6n = 0, RXE6n = 0にしてから、POWER6n = 0 にしてください。通信開始するときは、POWER6n = 1 にしてから、TXE6n = 1, RXE6n = 1にしてください。	p.412				

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	シリアル・インタフェース UART60, UART61	UARTモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。	p.413
			パリティの種類と動作	LIN通信動作で使用する場合、PS61n, PS60nビットを0に固定してください。	p.417
			連続送信	連続送信でASIF6nレジスタのTXBF6n, TXSF6nフラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6n, TXSF6nフラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6nフラグのみを読み出してください。	p.419
				LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) が00Hになっていることを確認してから、送信バッファ・レジスタ6n (TXB6n) に送信データを書き込んでください。	p.419
				連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが「0」であることを確認してから次の送信データ (2バイト目) をTXB6nレジスタに書き込んでください。TXBF6nフラグが「1」のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。	p.419
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが「0」であることを確認してから初期化を実行してください。TXSF6nフラグが「1」のときに初期化を実行した場合の送信データは保証できません。	p.419
				連続送信時には、1データ・フレーム送信後のINTST6n割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6nフラグを参照することで検出できます。	p.419
				通常受信	受信エラーが発生した場合は、ASIS6nを読み出したあと、RXB6nを読み出し、エラー・フラグをクリアしてください。RXB6nを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
			受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。	p.423	
			RXB6nを読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) を読み出してください。	p.423	
			ポー・レートの誤差	送信時のポー・レート誤差は、受信先の許容誤差以内にしてください。	p.430
			受信時のポー・レート誤差は、(4) 受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。	p.430	
			受信時の許容ポー・レート範囲	受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p.432
			第15章	ソフト	シリアル・インタフェース CSI10, CSI11
スレーブ・モードでは、SSI11端子にロウ・レベルが入力された状態で、SOTB11にデータを書き込むと送受信が開始されます。送受信動作の詳細については、15.4.2(2) 通信動作を参照してください。	p.438				
SIO1n: シリアルI/Oシフト・レジスタ1n	CSOT1n = 1 (シリアル通信中) のとき、SIO1nへのアクセスは行わないでください。	p.438			
スレーブ・モードでは、SSI11端子にロウ・レベルが入力された状態で、SIO11からデータを読み出すと受信が開始されます。受信動作の詳細については、15.4.2(2) 通信動作を参照してください。	p.438				
CSIM10: シリアル動作モード・レジスタ10	ビット5には必ず0を設定してください。	p.439			
CSIC10: シリアル・クロック選択レジスタ10	CSIE10 = 1 (動作許可) のとき、CSIC10への書き込みを行わないでください。	p.442			
P10/SCCK10/TxD0, P12/SO10を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ設定 (00H) にしてください。	p.442				
リセット後のデータ・クロックの位相タイプは、タイプ1になります。	p.442				

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	シリアル・インタフェース CSI10, CSI11	CSIC11：シリアル・クロック選択レジスタ11	CSIE11 = 1 (動作許可) のとき、CSIC11への書き込みを行わないでください。	p.444
				P02/SO11, P04/SCK11を汎用ポートとして使用する場合は、CSIC11を初期状態と同じ設定 (00H) にしてください。	p.444
				リセット後のデータ・クロックの位相タイプは、タイプ1になります。	p.444
			3線式シリアルI/Oモード	ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。	p.447
			通信動作	CSOT1n = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。	p.450
				シリアル・インタフェースCSI11では、スレープ・モードの場合、SSI11端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。	p.450
SO1n出力	CSIE1n, TRMD1n, DAP1n, DIR1nに値を書き込むと、SO1nの出力値が変わります。	p.458			
第16章	ソフト	CANコントローラ	機能概要	CANコントローラを使用する場合、P70に“1”を設定してください。	p.460
			アービトラージョン・フィールド	ID28-ID18は、アイデンティファイアです。	p.467
				アイデンティファイアは、MSBファーストで送信されます。	p.467
				ID28-ID0は、アイデンティファイアです。	p.467
			データ長	リモート・フレームの場合、データ長コード 0000Bであってもデータ・フィールドは発生しません。	p.468
			パス・プライオリティ	拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合 (双方のID28-ID18が同じ場合)、標準フォーマット・フレームのリモート・フレームが優先されます。	p.474
			ビット・エラー	エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。	p.478
			通常リカバリ・シーケンスによるバスオフからの復帰動作	バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバスオフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセプ・ビットを128回カウントすることになります。	p.479
				バスオフ・リカバリ・シーケンス中は、REC [6:0]ビットは11ビットの連続したレセプ・ビットを検出するたびにカウントアップ (+1) します。 バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには、初期化モードにいったん移行する必要がありますが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへは移行することができません。この場合は、初期化モードへの移行を行われなくても、CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウェアによるPSMODEビットのクリアのほかにも、CANバス上のドミナント・エッジ検知によるウエイク・アップによっても、バスオフ・リカバリ・シーケンスは開始されます (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるPSMODEのクリアが必要になります)。	p.479
			バスオフ・リカバリ・シーケンスをスキップする強制復帰動作	この機能は、CANプロトコルISO11898に規定されておりませんので、ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。	p.480
初期化モード中のCANモジュール・エラー・カウンタ・レジスタ (C0ERC) の初期化	この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット (1) したとしても、C0ERC, C0INFOレジスタは初期化されません。	p.481			
	CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。	p.481			

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	CANコントローラ	セグメントの設定	CANコントローラのIPTは0TQです。このため、CANプロトコル仕様に準拠するためには、フェーズ・セグメント1と等しい長さがここに設定されなければなりません。すなわち、タイム・セグメント1の長さから1TQを引いた長さがタイム・セグメント2の設定上限となります。	p.482
				タイム・セグメント1から1TQを引いた長さまたは4TQの小さいほうの値。	p.482
			レジスタのビット構成	実際のレジスタ・アドレスは、次のように計算されます。 レジスタ・アドレス = CANグローバル・レジスタ領域のオフセット・アドレス（チャネルごとに異なります）+ 上表に示すレジスタ個別のオフセット・アドレス	p.497-500
			COGMCTRL : CANグローバル・モジュール制御レジスタ	MBONビットがクリア（0）されている間は、ソフトウェアによるメッセージ・バッファ（COMDATA0m, COMDATA1m, COMDATA01m, COMDATA2m, COMDATA3m, COMDATA23m, COMDATA4m, COMDATA5m, COMDATA45m, COMDATA6m, COMDATA7m, COMDATA67m, COMDLCm, COMCONFm, COMIDLm, COMIDHm, COMCTRLm）および送信ヒストリ、受信ヒストリに関連したレジスタ（COLOPT, COTGPT, COLIPT, CORGPT）へのアクセスは無効です。	p.503
		このビットはリード・オンリーです。MBON = 0の状態では書き込みしても、MBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信ヒストリ、受信ヒストリに関連したレジスタへのアクセスは無効のままです。		p.503	
		強制シャット・ダウンの要求を行う場合は、EFSDビットをセット（1）した直後に、GOMビットをクリア（0）しなければなりません。EFSDビットをセット（1）した直後にGOMビットをクリア（0）しないで、その他のレジスタ・アクセス（COGMCTRLレジスタのリード含む）の実行をすると、EFSDビットは自動的にクリア（0）され、強制シャット・ダウンの要求は無効になります。		p.504	
		GOMビットは、初期化モードのとき、またはEFSDビットをセット（1）した直後にのみクリア（0）可能です。		p.504	
		GOMビットの設定とEFSDビットの設定は、常に別々に行ってください。		p.504	
			COGMABT : CANグローバル自動ブロック送信制御レジスタ	ABT付き通常動作モードから初期化モードに移行する前には、COGMABTレジスタには必ず初期値（00H）を設定し、設定後はCOGMABTレジスタが0000Hに初期化されたことを確実に確認してください。	p.506
		初期化モード中にABTTRGビットを設定（ABTTRG = 1）しないでください。初期化モード中にABTTRGビットを設定した場合、ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット（1）されている間は、ABTTRGビットをセット（1）しないでください。ABTTRGビットをセット（1）する前に、TSTAT = 0であることを直接事前に確認してください。		p.506	
		ABTTRGビットをセット（1）しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ（メッセージ・バッファ8～メッセージ・バッファ15）を送信していた場合などの状況により、即時に送信を行わない可能性があります。また、ABTTRGビットをクリア（0）しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了（成功 / 失敗問わず）するまで送信を続けます。		p.507	
			COGMABTD : CANグローバル自動ブロック送信遅延レジスタ	ABTTRGビットがセット（1）されている場合は、COGMABTDレジスタの内容は変更しないでください。	p.508
		実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ（メッセージ・バッファ8～メッセージ・バッファ15）に対する送信要求の設定状況によって変化します。		p.508	
			COCTRL : CANモジュール制御レジスタ	CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。	p.513
		パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にCOGMCTRLレジスタのMBONフラグを確認する必要があります。		p.513	
CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。	p.513				
初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。	p.513				

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	CANコントローラ	C0INTS : CANモジュール割り込みステータス・レジスタ	このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア(0)を行ってください。	p.520
			C0BRP : CANモジュール・ビットレート・プリスケラ・レジスタ	C0BRPレジスタは、初期化モードのときのみライト・アクセス可能です。	p.521
			C0MDLCm : CANメッセージ・データ長レジスタm	ビット7-4には必ず0000Bを設定してください。	p.532
				メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のC0MDATAxm レジスタに受信データが格納されます。データが格納されなかったC0MDATAxmレジスタは不定です。	p.532
			C0MCONFm : CANメッセージ・コンフィギュレーション・レジスタm	ビット2, 1には、必ず0を書き込んでください。	p.534
			C0MIDLm, C0MIDHm : CANメッセージIDレジスタm	C0MIDHmレジスタのビット14, 13には、必ず0を書き込んでください。	p.534
				必ず、このレジスタに与えられたビット位置に従って登録するID値を並べてください。標準IDに関してID値はID28からID18のビット位置をシフトしてください。	p.534
			C0MCTRLm : CANメッセージ制御レジスタm	TRQビットとRDYビットを同時にセット(1)しないでください。TRQビットをセット(1)する場合は、事前にRDYビットを必ずセット(1)してください。	p.535
				メッセージ送信中に、RDYビットをクリア(0)しないでください。再定義のためのRDYビットのクリアは、送信中断処理に従ってください。	p.536
				RDYビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。	p.536
				メッセージ・バッファ・レジスタに書き込む前に、RDYビットがクリア(0)されたことを確認してください。確認はRDYビットを読み返して行ってください。ただし、C0MCTRLmレジスタのTRQビットまたはRDYビットのセット(1)、DNビットまたはMOWビットのクリア(0)については確認する必要はありません。	p.536
				IEビットの設定とRDYビットの設定は、常に別々に行ってください。	p.536
				ソフトウェアにより、DNビットをセット(1)しないでください。ビット10には、必ず0を書き込んでください。	p.536
				TRQビットをセット(1)しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。また、TRQビットをクリア(0)しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了(成功/失敗問わず)するまで送信を続けます。	p.536
				TRQビットの設定とRDYビットの設定は、常に別々に行ってください。	p.537
			メッセージ・バッファの再定義	メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図16-40の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果(受信フィルタリング結果)が矛盾する場合があります。そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。	p.540

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	CANコントローラ	メッセージ・バッファの再定義	メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図16-41の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。	p.540
			受信履歴・リスト機能	受信履歴・リストがオーバーフローした状態（ROVF = 1）でも、未読の履歴がなくなりRHPMビットがセット（1）されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア（0）されるまではセット（1）された状態（= オーバーフローしている）を継続します。この状態では、ROVFビットがクリア（0）されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア（0）されません。したがって、ROVF = 1かつRHPM = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。	p.545
			マルチ・バッファ受信ブロック機能	MBRBは、同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって、メッセージ・バッファ・タイプが異なっても、IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも、そのメッセージ・バッファには格納を行わず、受信メッセージは破棄されます。	p.549
				MBRBは、リング構造をもっています。したがって、MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては、再び一番小さいメッセージ・バッファから順に格納を行いません。	p.549
				MBRBは、受信格納条件に基づく動作であり、機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し、同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。	p.549
				MBRBにおける「IDが一致する」とは「マスク後のIDが一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても、マスク・レジスタによるマスク後のIDが一致するものは、IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。	p.549
			各MBRB間の優先順位は16.9.1 メッセージ受信で示す優先順位に従います。	p.549	
			リモート・フレーム受信	リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCOMCONFmレジスタのOWSビットによるオーバーライト制御の設定およびCOMCTRLmレジスタのDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット（1）されます。複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。	p.550
送信履歴・リスト機能	送信履歴・リストがオーバーフローした状態（TOVF = 1）でも、未読の履歴がなくなりTHPMビットがセット（1）されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア（0）されるまではセット（1）された状態（= オーバーフローしている）を継続します。この状態では、TOVFビットがクリア（0）されないかぎりには新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア（0）されません。したがって、TOVF = 1かつTHPM = 1で送信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。	p.553			

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	CANコントローラ	自動ブロック送信機能 (ABT: Automatic Block Transmission)	ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTCLRビットはABTTRGビットがクリア(0)されている状態でセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証いたしません。	p.556
				ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。	p.556
				初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証いたしません。	p.556
				ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証いたしません。	p.556
				COGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~バッファ15)に対する送信要求の設定状況に依存して変化します。	p.556
				ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(COGMABTD = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。	p.556
				ABTTRG = 1の状態では、RDYビットをクリア(0)しないでください。	p.556
				ABT付き通常動作モード時、他ノードからメッセージを受信した場合、COGMABTDレジスタ = 00Hの設定時でも1フレーム分待つてからABTメッセージを送信する場合があります。	p.556
			送信中断処理	ABT送信の中断は必ずABTTRG = 0によって行ってください。RDYビットのクリアによる送信中断を要求した場合は、動作を保証いたしません。	p.557
			CANスリープ・モードの解除	立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージは受信および格納はされません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE[1:0]ビットは01Bのままとなります。また、それ以降の受信メッセージについても受信されません。	p.561
				CANクロックが供給されている状態で、CAN受信端子(CRxD)に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります(詳細は、図16-54の処理を参照してください)。	p.561
				CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。	p.561
			CANストップ・モード	CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE[1:0] = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子(CRxD)のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります(ただし、CANクロックが供給されている状態では、CAN受信端子(CRxD)のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります)。	p.562

章	分類	機能	機能の詳細	注意事項	頁	
第16章	ソフト	CANコントローラ	受信オンリー・モード	2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・バツシブになります（エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに、送信ノードはバツシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット（1）されます。		p.566
			シングル・ショット・モード	ALビットは、シングル・ショット・モードでのみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。		p.566
			タイム・スタンプ機能	TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUT信号のトグルは停止しません。上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。		p.570
			設定可能なビット・レート組み合わせ	表16 - 22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。		p.574
			代表的なボーレート設定例（f _{CANMOD} = 8 MHz設定時）	表16 - 23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。		p.575, 576
			代表的なボーレート設定例（f _{CANMOD} = 16 MHz設定時）	表16 - 24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。		p.577, 578
			再初期化	初期化モードへ移行したあとに、連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には、必ずCOCTRL, COGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。		p.580
			メッセージ・バッファの初期化	メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。		p.581
				アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。 ・COMCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア（0）する。 ・COMCONFmレジスタのMA0ビットをクリア（0）する。		p.581
			メッセージ送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p.584
				RDYビットとTRQビットは同時に設定しないでください。		p.584
			ABTメッセージ送信処理	ABTTRGビットのセット（1）は、TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は、連続的に処理を行う必要があります。		p.585
			割り込みまたはポーリングによる送信処理	RDYビットはTRQビットを設定する前に必ず設定してください。		p.586, 587, 589
RDYビットとTRQビットは同時に設定しないでください。		p.586, 587, 589				

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	CANコントローラ	送信中断処理	送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。	p.591, 592
				スリープ要求を行う場合は、本フローにより送信要求が完全になくなったことを確認したあとに行ってください。	p.591, 592
				TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。	p.591, 592
				送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。	p.591, 592
				同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、C0TGPTの履歴情報などを使用することにより判定を行ってください。	p.591, 592
			ABT送信中断処理	ABT送信中断処理中は、いかなる送信要求もセットしないでください。	p.593, 594
				CANスリープ・モード/CANストップ・モードの要求は、図16-49または図16-50により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図16-47に従ってください。	p.593, 594
			CANスリープ・モード/CANストップ・モードの設定	CANスリープ・モードの要求前に送信中断を行う場合は、図16-47～16-50に従って処理してください。	p.598
			バスオフからのリカバリ処理	バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ（REC [6:0]）がクリアされます。 したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出することが必要です。	p.600, 601
			強制シャット・ダウン処理	EFSDビットのセットとGOMビットのクリアの間に、ソフトウェアによる他のレジスタへのリード/ライト・アクセスを行わないでください。	p.603
CPUスタンバイ処理（CANスリープ・モードからの移行）	CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイク・アップによって、CANスリープ・モードが解除されることがあります。	p.605			
CPUスタンバイ処理（CANストップ・モードからの移行）	CANストップ・モードは、C0CTRLレジスタのPSMODE[1:0]ビットを01Bに設定することでのみ解除が可能で、CANバスの変化によって解除されません。	p.606			
第17章	ソフト	割り込み機能	1F0L, 1F0L, 1F1L, 1F1H: 割り込み要求フラグ・レジスタ	タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。	p.613
				割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。 なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。 mov a, IF0L and a, #0FEH mov IF0L, a この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。	p.613
				IF1Hのビット2, 5-7には、必ず0を設定してください。（78K0/FC2）	p.614
				IF1Hのビット5-7には、必ず0を設定してください。（78K0/FE2, 78K0/FF2）	p.615

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	割り込み機能	MK0L, MK0H, MK1L, MK1H: 割り込みマスク・フラグ・レジスタ	MK1Hのビット2, 5-7には、必ず1を設定してください。(78K0/FC2)	p.616
				MK1Hのビット5-7には、必ず1を設定してください。(78K0/FE2, 78K0/FF2)	p.617
			PR0L, PR0H, PR1L, PR1H: 優先順位指定フラグ・レジスタ	PR1Hのビット2, 5-7には、必ず1を設定してください。(78K0/FC2)	p.618
				PR1Hのビット5-7には、必ず1を設定してください。(78K0/FE2, 78K0/FF2)	p.619
			EGP, EGN: 外部割り込み立ち上がり, 立ち下がりエッジ許可レジスタ	外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。	p.620
			ソフトウェア割り込み要求	ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。	p.625
			BRK命令	BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。	p.628
第18章	ソフト	スタンバイ機能	スタンバイ機能	STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。	p.629
				STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。	p.629
				A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。	p.629
				上記時間経過後、MOST11から順番に“1”となっていく、そのまま“1”を保持します。	p.631
		OSTC: 発振安定時間カウンタ状態レジスタ	発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.631	
	ハード		X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。	p.631	
	ソフト	OSTS: 発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。	p.632	
			X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p.632	
			発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.632	
	ハード		X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。	p.632	

章	分類	機能	機能の詳細	注意事項	頁	
第18章	ソフト	スタンバイ機能	STOPモード	スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウェイトしたあと動作モードに戻ります。	p.638	
				STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。	p.640	
				オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時では低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合はソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。	p.640	
				高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、次のSTOP命令実行前に、CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、行ってください。	p.640	
				AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間、CPUクロックに高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。	p.640	
				STOP命令は、必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。	p.640	
第19章	ハード	リセット機能	-	外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。	p.645	
				リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。	p.645	
				リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、P130はロウ・レベル出力に、それ以外はハイ・インピーダンスとなります。	p.645	
				リセット機能のブロック図	LVI回路の内部リセットの場合、LVI回路はリセットされません。	p.646
				ウォッチドッグ・タイマのオーバフロー	ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。	p.647
	ソフト	RESF: リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p.653		
第20章	ソフト	乗除算器	SDR0: 剰余データ・レジスタ0	演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) にSDR0の値を読み出した場合、その値は保証されません。	p.656	
				演算開始時 (DMUEを1に設定するとき)、SDR0はリセットされます。	p.656	
			MDA0H, MDA0L: 乗除算データ・レジスタA0	乗算モードでの演算開始時 (乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき)、MDA0Hはクリア (0) されます。	p.657	
				演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDA0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。	p.657	
			MDB0: 乗除算データ・レジスタB0	演算処理中 (DMUEが1のとき) にMDA0の値を読み出した場合、その値は保証しません。	p.657	
				演算処理中 (乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき) に、MDB0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。	p.658	
除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。	p.658					

章	分類	機能	機能の詳細	注意事項	頁	
第20章	ソフト	乗除算器	DMUC0: 乗除算器コントロールレジスタ0	演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。	p.659	
				演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えしないでください。書き換えた場合、演算結果が不定値となって乗除算データレジスタA0 (MDA0)、剰余データレジスタ0 (SDR0) に格納されます。	p.659	
				演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データレジスタA0 (MDA0)、乗除算データレジスタB0 (MDB0)、乗除算器コントロールレジスタ0 (DMUC0) を設定し、演算動作を開始 (DMUE = 1) してください。	p.659	
第21章	ソフト	パワーオン・クリア回路	-	POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグレジスタ (RESF) がクリア (00H) されます。	p.664	
				低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。	p.666, 667	
			2.7 V/1.59 V POCモード設定時	電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生します。	p.667	
			パワーオン・クリア回路の注意事項	電源電圧 (V _{DD}) がPOC検出電圧 (V _{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。	p.668	
第22章	ソフト	低電圧検出回路	LVIM: 低電圧検出レジスタ	LVIを停止する場合は、次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合: LVIMに "00H" を書き込む ・1ビット・メモリ操作命令の場合: LVIONをクリア (0)	P673	
				外部入力端子からの入力電圧 (EXLVI) は、EXLVI < V _{DD} でなければなりません。	p.673	
	ハード	低電圧検出レベル選択レジスタ	LVIS: 低電圧検出レベル選択レジスタ	LVIを割り込みとして使用する場合、LVI検出電圧未満の状態ではLVIONをクリア (0) すると、INTLVI信号が発生し、LVIFが1になります。	p.673	
				ビット4-7には必ず "0" を設定してください。 LVI動作中に、LVISの値を変更しないでください。	p.673	
	ソフト	低電圧検出レベル選択レジスタ	LVIS: 低電圧検出レベル選択レジスタ	外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V _{EXLVI} = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。	p.673	
				リセットとして使用 (電源電圧 (V _{DD}) のレベルを検出の場合)	は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。 LVIMD = 1とした時点で、「電源電圧 (V _{DD}) 検出電圧 (V _{LVI})」であれば内部リセット信号は発生しません。	p.675
				リセットとして使用 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出の場合)	は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。 LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) 検出電圧 (V _{EXLVI} = 1.21 V (TYP.))」であれば内部リセット信号は発生しません。	p.678
				外部入力端子からの入力電圧 (EXLVI) は、EXLVI < V _{DD} でなければなりません。	p.678	
				外部入力端子からの入力電圧 (EXLVI) は、EXLVI < V _{DD} でなければなりません。	p.678	
				外部入力端子からの入力電圧 (EXLVI) は、EXLVI < V _{DD} でなければなりません。	p.683	
ハード	低電圧検出レベル選択レジスタ	外部入力端子からの入力電圧 (EXLVI) は、EXLVI < V _{DD} でなければなりません。	p.683			

章	分類	機能	機能の詳細	注意事項	頁
第22章	ソフト	低電圧検出回路	低電圧検出回路の注意事項	電源電圧 (V _{DD}) がLVI検出電圧 (V _{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。 (1) リセットとして使用する場合 リセット状態 / リセット解除状態を繰り返すことがあります。 後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。 (2) 割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。	p.685
第23章	ソフト	オプション・バイト	0082H, 0083H / 1082H, 1083H	0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。	p.688
			0080H/1080H	ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください	p.688
			0081H/1081H	LVISTARTは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、LVISTARTを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。	p.688
			0084H/1084H	オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。	p.689
			0080H/1080H	WDSC2 = WDSC1 = WDSC0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。	p.690
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.690
			0081H/1081H	LSROSC = 0(ソフトウェアにより停止可能)の場合、内蔵発振モード・レジスタ(RCM)のビット0(LSRSTOP)の設定に関係なく、HALT/STOPモード時では、ウォッチドッグ・タイマにカウント・クロックは供給されません。ただし、低速内蔵発振クロックで8ビット・タイマH1が動作している場合は、HALT/STOPモード時でも、8ビット・タイマH1にカウント・クロックが供給されます。 ビット7には必ず0を書き込んでください。	p.690
0081H/1081H	ビット7-1には必ず0を書き込んでください。	p.691			
第24章	ソフト	フラッシュ・メモリ	IMS: メモリ・サイズ切り替えレジスタ, IXS: 内部拡張RAMサイズ切り替えレジスタ	リセット解除後に各製品ごとに表24-1に示す値を設定してください。	p.693
				リセット解除後に各製品ごとに表24-2に示す値を設定してください。	p.694
				メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。	p.693, 694
		動作クロック	CSI10使用時は、高速内蔵発振クロック (f _{RH}) のみ使用できます。	p.713	
			UART60使用時は、X1クロック (f _X) または外部メイン・システム・クロック (f _{EXCLK}) のみ使用できます。	p.713	
		X1, P31端子の処理	フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/TI002/INTP2, P121/X1を次のように処理してください。 ・P31/TI002/INTP2: 抵抗 (10 kΩ: 推奨) を介してEV _{SS} に接続してください。 ・P121/X1: ポートとして使用する場合は、抵抗 (10 kΩ: 推奨) を介してV _{SS} に接続 (入力時) またはオープン (出力時) にしてください。 セルフ・プログラミングによる書き込みをする場合、上記の処置は必要ありません。	p.713	
通信方式の選択	UART60選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。	p.715			

章	分類	機能	機能の詳細	注意事項	頁	
第24章	ハード	フラッシュ・メモリ	セキュリティの設定	一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。	p.717	
				ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。	p.717	
				E.P.Vコマンドの使用	ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。	p.719, 720
				セルフ書き込みによるフラッシュ・メモリ・プログラミング	CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。	p.721
					セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。	p.721
					セルフ・プログラミング開始前に必ずDI命令を実行してください。	p.721
					セルフ・プログラミング機能は割り込み要求フラグ（IF0L, IF0H, IF1L, IF1H）を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。	p.721
					セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）で割り込みをマスクしてください。	p.721
					セルフ・プログラミングは、高速内蔵発振クロックで動作します。したがって、CPUがX1クロックまたは外部メイン・システム・クロックの場合、セルフ・プログラミング中に高速内蔵発振クロックの発振安定ウエイト時間が生じます。	p.721
					セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHのコモン・エリアに配置してください。	p.722
				フラッシュ・メモリ・サイズが96 KBおよび128 KBの場合、フラッシュ書き込み/消去アドレスは、CPUアドレスではなく、フラッシュ実アドレスを指定してください。	p.722	
				FLPMC：フラッシュ・プログラミング・モード・コントロール・レジスタ	フラッシュ・メモリの書き込みおよび消去が終了するまで、必ずFWEDISを0にしてください。	p.731
					通常モード時は、必ずFWEDIS = 1にしてください。	p.731
				ブート・スワップ機能	FLSPM1とFLSPM0は、内蔵RAMに分歧してから、操作を行ってください。フラッシュ・メモリのアドレス指定は、FLSPM1 = 0のときはCPUからのアドレス信号、FLSPM1 = 1のときは、書き込みのファームウェアの設定値になります。また、オンボード・モード時には、FLSPM1とFLSPM0の指定は無視されます。	p.731
ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。	p.734					
第25章	ハード	オンチップ・デバッグ機能	78K0/Fx2マイクロコントローラ	78K0/Fx2マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.736	
				X1, X2使用時	オンチップ・デバッグ時は、X1端子よりクロック入力します。	p.738
					X1, X2端子を使用する場合、P31端子を外部でプルダウンするか、またはP130端子（リセットがかかるとロウ・レベルを出力）を使用した外付け回路で制御してください。	p.738
				オンチップ・デバッグ時の制限事項および注意事項	・X1, X2端子を使用せずに、通常ポートにてオンチップ・デバッグ・モードに引き込む場合はポート2本が使用できません。	p.741

章	分類	機能	機能の詳細	注意事項	頁
第25章	ソフト	オンチップ・デバッグ機能	オンチップ・デバッグ時の制限事項および注意事項	<ul style="list-style-type: none"> ・QB-78K0MINIが使用する予約領域について ・QB-78K0MINIが使用する予約領域は次のとおりです。 (a) フラッシュ・メモリ領域 <ul style="list-style-type: none"> ・0x02, 0x03番地 ・0x7E, 0x7F番地 (ソフトウェア・ブレイクを使用する場合) ・0x84番地 ・0x85 ~ 0x8E番地 ・0x8F ~ 0x18F番地・・・プログラムの標準値 (疑似リアルタイムRAMモニタ機能を使用する場合は+256バイト) (16ビット操作可能なSFRが10個を越えるデバイス使用時は+越えた個数×6バイト) (b) 内部拡張RAM領域 <ul style="list-style-type: none"> ・0xF7F0 ~ 0xF7FF番地 (疑似リアルタイムRAMモニタ機能を使用する場合) (c) 内部高速RAM領域 <ul style="list-style-type: none"> ・スタックとして7バイト・・・スタックの標準値 (ソフトウェア・ブレイクを使用する場合は+2バイト) (疑似リアルタイムRAMモニタ機能を使用する場合は+7バイト) 	p.741
第27・28章	ハード	電気的特性	78K0/Fx2マイクロコントローラ	78K0/Fx2マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.757, 780
			-	製品により、搭載している端子が異なります。	p.757, 759-769, 771-779, 780, 782-791, 793-801
			絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.759, 760, 782, 783
			X1発振回路特性	<p>X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。</p> <ul style="list-style-type: none"> ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。 <p>リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。</p>	p.761, 784
			XT1発振回路特性	<p>XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。</p> <ul style="list-style-type: none"> ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。 <p>XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。</p>	p.762, 785
					p.762, 785

章	分類	機能	機能の詳細	注意事項	頁
第30章	ハード	半田付け推奨条件	-	半田付け方式の併用は避けください(ただし、端子部分加熱方式は除く)。	p.808
第31章	ソフト	ウェイト	-	CPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。	p.810
				CANMOD (CANモジュール・システム・クロック) 2 MHzの場合の値	p.811

(メモ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00, 午後 1:00～5:00)

電 話 : (044)435-9494

E-mail : info@necel.com