

78K0/Kx2-C

ユーザーズマニュアル ハードウェア編

8 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

目次要約

第1章	概 説	...	18
第2章	端子機能	...	29
第3章	CPUアーキテクチャ	...	59
第4章	ポート機能	...	97
第5章	クロック発生回路	...	155
第6章	16ビット・タイマ/イベント・カウンタ00, 01, 02	...	193
第7章	8ビット・タイマ/イベント・カウンタ50, 51	...	279
第8章	8ビット・タイマH0, H1	...	297
第9章	リアルタイム・カウンタ	...	324
第10章	ウォッチドッグ・タイマ	...	352
第11章	クロック出力/ブザー出力制御回路	...	359
第12章	A/Dコンバータ	...	365
第13章	シリアル・インタフェースUART0	...	387
第14章	シリアル・インタフェースUART60, UART61	...	409
第15章	シリアル・インタフェースCSI10, CSI11	...	452
第16章	シリアル・インタフェースIICA00, IICA01, IICA02	...	477
第17章	CEC送受信回路	...	556
第18章	リモコン受信回路	...	614
第19章	乗除算器	...	657
第20章	割り込み機能	...	667
第21章	キー割り込み機能	...	688
第22章	スタンバイ機能	...	691
第23章	リセット機能	...	705
第24章	パワーオン・クリア回路	...	716
第25章	低電圧検出回路	...	722
第26章	オプション・バイト	...	740
第27章	フラッシュ・メモリ	...	745
第28章	オンチップ・デバッグ機能	...	764
第29章	命令セットの概要	...	767
第30章	電気的特性	...	782
第31章	外形図	...	815
付録A	開発ツール	...	817
付録B	改版履歴	...	823

(メ モ)

このマニュアルの使い方

対象者 このマニュアルは78K0/Kx2-Cの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ 78K0/KC2-C : μ PD78F0760, 78F0761, 78F0762
- ・ 78K0/KE2-C : μ PD78F0763, 78F0764, 78F0765

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0/Kx2-Cのマニュアルは、このマニュアルと命令編（78K0マイクロコントローラ共通）の2冊に分かれています。

78K0/Kx2-C ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この " " をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr 指令で、sfr変数として定義されているものです。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

凡 例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxxxB 10進数... xxx 16進数... xxxH

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0/Kx2-C ユーザーズ・マニュアル	このマニュアル	R01UH0014E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 ^注	U18274J	U18274E
78K0マイクロコントローラ ユーザーズ・マニュアル EEPROM [®] エミュレーション・ライブラリ Type01 ^注	U18275J	U18275E

注 この資料は技術管理です。当社販売員にお問い合わせください。

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0 Ver.3.70 Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
ID78K0-QB Ver.3.00 統合デバッガ	操作編	U18492J	U18492E
PM+ Ver.6.30		U18416J	U18416E
CubeSuite+ V1.00.00 統合開発環境 ^注	起動編	R20UT0545J	R20UT0545E
	78K0 設計編	R20UT0546J	R20UT0546E
	78K0 コーディング編	R20UT0551J	R20UT0551E
	78K0 ビルド編	R20UT0555J	R20UT0555E
	78K0 デバッグ編	R20UT0559J	R20UT0559E
	解析編	R20UT0563J	R20UT0563E
	メッセージ編	R20UT0407J	R20UT0407E

注 CubeSuite+の最新情報は下記のホーム・ページからご確認ください。

和文：<http://japan.renesas.com/cubesuite+>

英文：<http://www.renesas.com/cubesuite+>

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	R20UT0449J	R20UT0449E
QB-78K0KX2C インサーキット・エミュレータ	U19841J	U19841E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料（ユーザズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R02UT0008J	R02UT0008E

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/prod/package/manual/index.html>

英文：<http://www.renesas.com/prod/package/manual/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目次

第1章 概 説 ... 18

- 1.1 特 徴 ... 18
- 1.2 応用分野 ... 19
- 1.3 オーダ情報 ... 19
- 1.4 端子接続図 (Top View) ... 20
 - 1.4.1 78K0/KC2-C ... 20
 - 1.4.2 78K0/KE2-C ... 22
- 1.5 78K0/Kx2-Cマイクロコントローラの製品展開 ... 24
- 1.6 ブロック図 ... 25
 - 1.6.1 78K0/KC2-C ... 25
 - 1.6.2 78K0/KE2-C ... 26
- 1.7 機能概要 ... 27

第2章 端子機能 ... 29

- 2.1 端子機能一覧 ... 29
 - 2.1.1 78K0/KC2-C ... 30
 - 2.1.2 78K0/KE2-C ... 34
- 2.2 端子機能の説明 ... 39
 - 2.2.1 P00-P06 (Port 0) ... 39
 - 2.2.2 P10-P17 (Port 1) ... 40
 - 2.2.3 P20-P27 (Port 2) ... 41
 - 2.2.4 P30-P33 (Port 3) ... 42
 - 2.2.5 P40-P43 (Port 4) ... 43
 - 2.2.6 P50-P53 (Port 5) ... 44
 - 2.2.7 P60-P63 (Port 6) ... 45
 - 2.2.8 P70-P77 (Port 7) ... 45
 - 2.2.9 P120-P124 (Port 12) ... 47
 - 2.2.10 P130 (Port 13) ... 48
 - 2.2.11 P140, P141 (Port 14) ... 48
 - 2.2.12 AVREF, AVSS, VDD, EVDD, VSS, EVSS ... 49
 - 2.2.13 $\overline{\text{RESET}}$... 50
 - 2.2.14 REGC ... 50
 - 2.2.15 FLMD0 ... 50
- 2.3 端子の入出力回路と未使用端子の処理 ... 51
 - 2.3.1 78K0/KC2-C ... 51
 - 2.3.2 78K0/KE2-C ... 54

第3章 CPUアーキテクチャ ... 59

- 3.1 メモリ空間 ... 59
 - 3.1.1 内部プログラム・メモリ空間 ... 64
 - 3.1.2 内部データ・メモリ空間 ... 66
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 66
 - 3.1.4 データ・メモリ・アドレッシング ... 66

- 3.2 プロセッサ・レジスタ ... 70
 - 3.2.1 制御レジスタ ... 70
 - 3.2.2 汎用レジスタ ... 73
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 75
 - 3.2.4 拡張機能レジスタ (EFR : Extended Function Register) ... 82
- 3.3 命令アドレスのアドレッシング ... 85
 - 3.3.1 レラティブ・アドレッシング ... 85
 - 3.3.2 イミューディエト・アドレッシング ... 86
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 87
 - 3.3.4 レジスタ・アドレッシング ... 87
- 3.4 オペランド・アドレスのアドレッシング ... 88
 - 3.4.1 インプライド・アドレッシング ... 88
 - 3.4.2 レジスタ・アドレッシング ... 89
 - 3.4.3 ダイレクト・アドレッシング ... 90
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 91
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 92
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 93
 - 3.4.7 ベースト・アドレッシング ... 94
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 95
 - 3.4.9 スタック・アドレッシング ... 96

第4章 ポート機能 ... 97

- 4.1 ポートの機能 ... 97
- 4.2 ポートの構成 ... 100
 - 4.2.1 ポート0 ... 101
 - 4.2.2 ポート1 ... 107
 - 4.2.3 ポート2 ... 113
 - 4.2.4 ポート3 ... 115
 - 4.2.5 ポート4 ... 118
 - 4.2.6 ポート5 ... 123
 - 4.2.7 ポート6 ... 126
 - 4.2.8 ポート7 ... 128
 - 4.2.9 ポート12 ... 133
 - 4.2.10 ポート13 ... 136
 - 4.2.11 ポート14 ... 137
- 4.3 ポート機能を制御するレジスタ ... 139
- 4.4 ポート機能の動作 ... 150
 - 4.4.1 入出力ポートへの書き込み ... 150
 - 4.4.2 入出力ポートからの読み出し ... 150
 - 4.4.3 入出力ポートでの演算 ... 150
- 4.5 兼用機能使用時のPF4, PF7, ポート・モード・レジスタ, 出力ラッチの設定 ... 151
- 4.6 ポート・レジスタ n (P_n) に対する1ビット・メモリ操作命令に関する注意事項 ... 154

第5章 クロック発生回路 ... 155

- 5.1 クロック発生回路の機能 ... 155
- 5.2 クロック発生回路の構成 ... 156
- 5.3 クロック発生回路を制御するレジスタ ... 158
- 5.4 システム・クロック発振回路 ... 167

- 5.4.1 X1発振回路 ... 167
- 5.4.2 XT1発振回路 ... 167
- 5.4.3 サブシステム・クロックを使用しない場合 ... 170
- 5.4.4 高速内蔵発振回路 ... 170
- 5.4.5 低速内蔵発振回路 ... 170
- 5.4.6 プリスケーラ ... 170
- 5.5 クロック発生回路の動作 ... 171
- 5.6 クロックの制御 ... 175
 - 5.6.1 高速システム・クロックの制御例 ... 175
 - 5.6.2 高速内蔵発振クロックの制御例 ... 178
 - 5.6.3 サブシステム・クロックの制御例 ... 181
 - 5.6.4 低速内蔵発振クロックの制御例 ... 182
 - 5.6.5 CPUクロック, 周辺ハードウェア・クロックへの供給クロック ... 183
 - 5.6.6 CPUクロック状態移行図 ... 184
 - 5.6.7 CPUクロックの移行前の条件と移行後の処理 ... 189
 - 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 190
 - 5.6.9 クロック発振停止前の条件 ... 191
 - 5.6.10 周辺ハードウェアとソース・クロック ... 192

第6章 16ビット・タイマ/イベント・カウンタ00, 01, 02 ... 193

- 6.1 16ビット・タイマ/イベント・カウンタ00, 01, 02の機能 ... 193
- 6.2 16ビット・タイマ/イベント・カウンタ00, 01, 02の構成 ... 194
- 6.3 16ビット・タイマ/イベント・カウンタ00, 01, 02を制御するレジスタ ... 201
- 6.4 16ビット・タイマ/イベント・カウンタ00, 01, 02の動作 ... 217
 - 6.4.1 インターバル・タイマとしての動作 ... 217
 - 6.4.2 方形波出力としての動作 ... 220
 - 6.4.3 外部イベント・カウンタとしての動作 ... 224
 - 6.4.4 TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作 ... 228
 - 6.4.5 フリー・ランニング・タイマとしての動作 ... 244
 - 6.4.6 PPG出力としての動作 ... 254
 - 6.4.7 ワンショット・パルス出力としての動作 ... 258
 - 6.4.8 パルス幅測定としての動作 ... 263
- 6.5 TM0nの特殊な使用方法 ... 272
 - 6.5.1 CR01nのTM0n動作中の書き換え ... 272
 - 6.5.2 LVS0n, LVR0nの設定について ... 272
- 6.6 16ビット・タイマ/イベント・カウンタ00, 01, 02の注意事項 ... 274

第7章 8ビット・タイマ/イベント・カウンタ50, 51 ... 279

- 7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能 ... 279
- 7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成 ... 279
- 7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ ... 282
- 7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作 ... 288
 - 7.4.1 インターバル・タイマとしての動作 ... 288
 - 7.4.2 外部イベント・カウンタとしての動作 ... 290
 - 7.4.3 方形波出力としての動作 ... 291
 - 7.4.4 PWM出力としての動作 ... 292
 - 7.4.5 キャリア・ジェネレータとしての動作 (8ビット・タイマ51のみ) ... 295
- 7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項 ... 296

第8章 8ビット・タイマH0, H1 ... 297

- 8.1 8ビット・タイマH0, H1の機能 ... 297
- 8.2 8ビット・タイマH0, H1の構成 ... 297
- 8.3 8ビット・タイマH0, H1を制御するレジスタ ... 301
- 8.4 8ビット・タイマH0, H1の動作 ... 307
 - 8.4.1 インターバル・タイマ / 方形波出力としての動作 ... 307
 - 8.4.2 PWM出力としての動作 ... 310
 - 8.4.3 キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ) ... 316
 - 8.4.4 タイマ51カウンタによるキャリア・クロック数の制御 ... 323

第9章 リアルタイム・カウンタ ... 324

- 9.1 リアルタイム・カウンタの機能 ... 324
- 9.2 リアルタイム・カウンタの構成 ... 324
- 9.3 リアルタイム・カウンタを制御するレジスタ ... 326
- 9.4 リアルタイム・カウンタの動作 ... 340
 - 9.4.1 リアルタイム・カウンタの動作開始 ... 340
 - 9.4.2 動作開始後のSTOPモードへの移行 ... 341
 - 9.4.3 リアルタイム・カウンタのカウント読み出し / 書き込み ... 342
 - 9.4.4 リアルタイム・カウンタのアラーム設定 ... 344
 - 9.4.5 リアルタイム・カウンタの1 Hz出力 ... 345
 - 9.4.6 リアルタイム・カウンタの32.768 kHz出力 ... 345
 - 9.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力 ... 346
 - 9.4.8 リアルタイム・カウンタの時計誤差補正例 ... 347

第10章 ウォッチドッグ・タイマ ... 352

- 10.1 ウォッチドッグ・タイマの機能 ... 352
- 10.2 ウォッチドッグ・タイマの構成 ... 353
- 10.3 ウォッチドッグ・タイマを制御するレジスタ ... 354
- 10.4 ウォッチドッグ・タイマの動作 ... 355
 - 10.4.1 ウォッチドッグ・タイマの動作制御 ... 355
 - 10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 356
 - 10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 357

第11章 クロック出力 / ブザー出力制御回路 ... 359

- 11.1 クロック出力 / ブザー出力制御回路の機能 ... 359
- 11.2 クロック出力 / ブザー出力制御回路の構成 ... 360
- 11.3 クロック出力 / ブザー出力制御回路を制御するレジスタ ... 360
- 11.4 クロック出力 / ブザー出力制御回路の動作 ... 364
 - 11.4.1 クロック出力としての動作 ... 364
 - 11.4.2 ブザー出力としての動作 ... 364

第12章 A/Dコンバータ ... 365

- 12.1 A/Dコンバータの機能 ... 365

- 12.2 A/Dコンバータの構成 ... 366
- 12.3 A/Dコンバータで使用するレジスタ ... 368
- 12.4 A/Dコンバータの動作 ... 375
 - 12.4.1 A/Dコンバータの基本動作 ... 375
 - 12.4.2 入力電圧と変換結果 ... 376
 - 12.4.3 A/Dコンバータの動作モード ... 378
- 12.5 A/Dコンバータ特性表の読み方 ... 380
- 12.6 A/Dコンバータの注意事項 ... 383

第13章 シリアル・インタフェースUART0 ... 387

- 13.1 シリアル・インタフェースUART0の機能 ... 387
- 13.2 シリアル・インタフェースUART0の構成 ... 388
- 13.3 シリアル・インタフェースUART0を制御するレジスタ ... 391
- 13.4 シリアル・インタフェースUART0の動作 ... 396
 - 13.4.1 動作停止モード ... 396
 - 13.4.2 アシクロナス・シリアル・インタフェース (UART) モード ... 397
 - 13.4.3 専用ボー・レート・ジェネレータ ... 403
 - 13.4.4 ボー・レートの算出 ... 405

第14章 シリアル・インタフェースUART60, UART61 ... 409

- 14.1 シリアル・インタフェースUART60, UART61の機能 ... 409
- 14.2 シリアル・インタフェースUART60, UART61の構成 ... 414
- 14.3 シリアル・インタフェースUART60, UART61を制御するレジスタ ... 417
- 14.4 シリアル・インタフェースUART60, UART61の動作 ... 428
 - 14.4.1 動作停止モード ... 428
 - 14.4.2 アシクロナス・シリアル・インタフェース (UART) モード ... 429
 - 14.4.3 専用ボー・レート・ジェネレータ ... 444
 - 14.4.4 ボー・レートの算出 ... 446

第15章 シリアル・インタフェースCSI10, CSI11 ... 452

- 15.1 シリアル・インタフェースCSI10, CSI11の機能 ... 452
- 15.2 シリアル・インタフェースCSI10, CSI11の構成 ... 453
- 15.3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ ... 456
- 15.4 シリアル・インタフェースCSI10, CSI11の動作 ... 463
 - 15.4.1 動作停止モード ... 463
 - 15.4.2 3線式シリアルI/Oモード ... 464

第16章 シリアル・インタフェースIICA00, IICA01, IICA02 ... 477

- 16.1 シリアル・インタフェースIICA00, IICA01, IICA02の機能 ... 477
- 16.2 シリアル・インタフェースIICA00, IICA01, IICA02の構成 ... 480
- 16.3 シリアル・インタフェースIICA00, IICA01, IICA02を制御するレジスタ ... 483
- 16.4 I²Cバス・モードの機能 ... 497
 - 16.4.1 端子構成 ... 497
 - 16.4.2 IICAWL0n, IICAWH0nレジスタによる転送クロック設定方法 ... 498
- 16.5 I²Cバスの定義および制御方法 ... 499
 - 16.5.1 スタート・コンディション ... 500

- 16.5.2 アドレス ... 500
- 16.5.3 転送方向指定 ... 501
- 16.5.4 アクノリッジ ($\overline{\text{ACK}}$) ... 501
- 16.5.5 ストップ・コンディション ... 503
- 16.5.6 ウエイト ... 504
- 16.5.7 ウエイト解除方法 ... 506
- 16.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびウエイト制御 ... 507
- 16.5.9 アドレスの一致検出方法 ... 508
- 16.5.10 エラーの検出 ... 508
- 16.5.11 拡張コード ... 509
- 16.5.12 アービトレーション ... 510
- 16.5.13 ウエイク・アップ機能 ... 512
- 16.5.14 通信予約 ... 515
- 16.5.15 その他の注意事項 ... 518
- 16.5.16 通信動作 ... 520
- 16.5.17 I²C割り込み要求 (INTIICAn) の発生タイミング ... 528
- 16.6 タイミング・チャート ... 549

第17章 CEC送受信回路 ... 556

- 17.1 CEC送受信回路の機能 ... 556
- 17.2 CEC送受信回路の構成 ... 559
- 17.3 用語の説明 ... 560
- 17.4 CEC送受信回路を制御するレジスタ ... 561
- 17.5 スタート・ビットとデータ・ビットのレジスタ ... 576
 - 17.5.1 CEC送信データのロウ・レベル幅/ビット幅設定 ... 576
 - 17.5.2 CEC受信データのタイミング・チェック ... 578
 - 17.5.3 CEC受信データの1/0判定 ... 581
 - 17.5.4 エラー・ハンドリング, シグナル・フリー・タイム, バス・ロック検出の1ビット・データ幅設定 ... 582
- 17.6 CEC送受信回路の動作 ... 583
 - 17.6.1 CEC送受信データ・フォーマット ... 583
 - 17.6.2 通信種別 ... 583
 - 17.6.3 ビット・タイミング ... 584
 - 17.6.4 ヘッダ/データ・ブロック ... 585
 - 17.6.5 EOM (End of Message) ... 585
 - 17.6.6 ACK (Acknowledge) ... 586
- 17.7 CEC通信機能 ... 587
 - 17.7.1 通信ビット幅調整機能 ... 587
 - 17.7.2 受信ビット・タイミング・チェック機能 ... 588
 - 17.7.3 CEC通信初期設定 ... 589
 - 17.7.4 CEC送信 ... 592
 - 17.7.5 CEC受信 ... 595
 - 17.7.6 エラー検出機能 ... 602
 - 17.7.7 エラー・フラグのクリア方法 ... 611
 - 17.7.8 シグナル・フリー・タイム ... 612

第18章 リモコン受信回路 ... 614

- 18.1 リモコン受信回路の機能 ... 614
- 18.2 リモコン受信回路の構成 ... 615
- 18.3 リモコン受信回路を制御するレジスタ ... 620
- 18.4 リモコン受信回路のコンペア・レジスタ ... 625
- 18.5 リモコン受信回路の動作 ... 636
 - 18.5.1 A方式受信モードのフォーマット ... 637
 - 18.5.2 A方式受信モードの動作フロー ... 637
 - 18.5.3 B方式受信モードのフォーマット ... 639
 - 18.5.4 B方式受信モードの動作フロー ... 639
 - 18.5.5 C方式受信モードのフォーマット ... 641
 - 18.5.6 C方式受信モードの動作フロー ... 641
 - 18.5.7 タイミング説明 ... 643
 - 18.5.8 コンペア・レジスタ設定 ... 649
 - 18.5.9 エラー割り込み発生タイミング ... 651

第19章 乗除算器 ... 657

- 19.1 乗除算器の機能 ... 657
- 19.2 乗除算器の構成 ... 657
- 19.3 乗除算器を制御するレジスタ ... 662
- 19.4 乗除算器の動作 ... 663
 - 19.4.1 乗算動作 ... 663
 - 19.4.2 除算動作 ... 665

第20章 割り込み機能 ... 667

- 20.1 割り込み機能の種類 ... 667
- 20.2 割り込み要因と構成 ... 667
- 20.3 割り込み機能を制御するレジスタ ... 672
- 20.4 割り込み処理動作 ... 681
 - 20.4.1 マスカブル割り込み要求の受け付け動作 ... 681
 - 20.4.2 ソフトウェア割り込み要求の受け付け動作 ... 684
 - 20.4.3 多重割り込み処理 ... 684
 - 20.4.4 割り込み要求の保留 ... 687

第21章 キー割り込み機能 ... 688

- 21.1 キー割り込みの機能 ... 688
- 21.2 キー割り込みの構成 ... 689
- 21.3 キー割り込みを制御するレジスタ ... 690

第22章 スタンバイ機能 ... 691

- 22.1 スタンバイ機能と構成 ... 691
 - 22.1.1 スタンバイ機能 ... 691
 - 22.1.2 スタンバイ機能を制御するレジスタ ... 692
- 22.2 スタンバイ機能の動作 ... 694

- 22.2.1 HALTモード ... 694
- 22.2.2 STOPモード ... 699

第23章 リセット機能 ... 705

- 23.1 リセット要因を確認するレジスタ ... 715

第24章 パワーオン・クリア回路 ... 716

- 24.1 パワーオン・クリア回路の機能 ... 716
- 24.2 パワーオン・クリア回路の構成 ... 717
- 24.3 パワーオン・クリア回路の動作 ... 717
- 24.4 パワーオン・クリア回路の注意事項 ... 720

第25章 低電圧検出回路 ... 722

- 25.1 低電圧検出回路の機能 ... 722
- 25.2 低電圧検出回路の構成 ... 722
- 25.3 低電圧検出回路を制御するレジスタ ... 723
- 25.4 低電圧検出回路の動作 ... 726
 - 25.4.1 リセットとして使用時の設定 ... 727
 - 25.4.2 割り込みとして使用時の設定 ... 732
- 25.5 低電圧検出回路の注意事項 ... 737

第26章 オプション・バイト ... 740

- 26.1 オプション・バイトの機能 ... 740
- 26.2 オプション・バイトのフォーマット ... 741

第27章 フラッシュ・メモリ ... 745

- 27.1 メモリ・サイズ切り替えレジスタ ... 745
- 27.2 内部拡張RAMサイズ切り替えレジスタ ... 746
- 27.3 フラッシュ・メモリ・プログラマによる書き込み方法 ... 747
- 27.4 プログラミング環境 ... 747
- 27.5 通信方式 ... 748
- 27.6 オンボード上の端子処理 ... 750
 - 27.6.1 FLMD0端子 ... 750
 - 27.6.2 シリアル・インタフェース端子 ... 750
 - 27.6.3 RESET端子 ... 752
 - 27.6.4 ポート端子 ... 752
 - 27.6.5 REGC端子 ... 752
 - 27.6.6 その他の信号端子 ... 753
 - 27.6.7 電 源 ... 753
- 27.7 プログラミング方法 ... 753
 - 27.7.1 フラッシュ・メモリ制御 ... 753
 - 27.7.2 フラッシュ・メモリ・プログラミング・モード ... 754
 - 27.7.3 通信方式の選択 ... 755
 - 27.7.4 通信コマンド ... 755

- 27.8 セキュリティ設定 ... 757
- 27.9 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 759
 - 27.9.1 ブート・スワップ機能 ... 762

第28章 オンチップ・デバッグ機能 ... 764

- 28.1 QB-MINI2と78K0/Kx2-Cの接続 ... 764
- 28.2 QB-MINI2が使用する予約領域 ... 766

第29章 命令セットの概要 ... 767

- 29.1 凡 例 ... 768
 - 29.1.1 オペランドの表現形式と記述方法 ... 768
 - 29.1.2 オペレーション欄の説明 ... 769
 - 29.1.3 フラグ動作欄の説明 ... 769
- 29.2 オペレーション一覧 ... 770
- 29.3 アドレッシング別命令一覧 ... 778

第30章 電気的特性 ... 782

第31章 外形図 ... 815

- 31.1 78K0/KC2-C ... 815
- 31.2 78K0/KE2-C ... 816

付録A 開発ツール ... 817

- A.1 ソフトウェア・パッケージ ... 820
- A.2 言語処理用ソフトウェア ... 820
- A.3 フラッシュ・メモリ書き込み用ツール ... 821
 - A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ... 821
 - A.3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 821
- A.4 デバッグ用ツール(ハードウェア) ... 822
 - A.4.1 インサーキット・エミュレータを使用する場合 ... 822
 - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 822
- A.5 デバッグ用ツール(ソフトウェア) ... 822

付録B 改版履歴 ... 823

- B.1 本版で改訂された主な箇所 ... 823
- B.2 前版までの改版履歴 ... 824

第1章 概 説

1.1 特 徴

高速(0.1 μ s : 高速システム・クロック20 MHz動作時)から超低速(122 μ s : サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

フラッシュROM ^注	RAM ^注	78K0/KC2-C	78K0/KE2-C
		48ピン	64ピン
60 KB	3 KB	μ PD78F0762	μ PD78F0765
48 KB	2 KB	μ PD78F0761	μ PD78F0764
32 KB	1 KB	μ PD78F0760	μ PD78F0763

注 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部フラッシュ・メモリ、内部高速RAM容量、内部拡張RAM容量の変更可能です。IMSとIXSについては、
27.1 **メモリ・サイズ切り替えレジスタ**、27.2 **内部拡張RAMサイズ切り替えレジスタ**を参照してください。

高速内蔵発振クロック内蔵

- ・8 MHz高速内蔵発振クロック : 8 MHz \pm 5 %

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング機能対応 (ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ内蔵 (専用の低速内蔵発振クロックで動作可能)

乗除算器 (16ビット×16ビット, 32ビット÷16ビット) 内蔵

キー割り込み機能内蔵

クロック出力 / ブザー出力制御回路内蔵

I/Oポート

78K0/KC2-C : 41本 (N-chオープン・ドレイン : 10本)

78K0/KE2-C : 55本 (N-chオープン・ドレイン : 12本)

タイマ : 9チャンネル

- ・16ビット・タイマ / イベント・カウンタ : 3チャンネル^注
- ・8ビット・タイマ / イベント・カウンタ : 2チャンネル
- ・8ビット・タイマ : 2チャンネル
- ・リアルタイム・カウンタ (RTC) : 1チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル

注 78K0/KC2-CのTM01, TM02は、タイマ入出力端子がありません。

シリアル・インタフェース

- ・ CSI : 1チャンネル / UART : 1チャンネル
- ・ CSI : 1チャンネル^{注1}
- ・ UART (LIN (Local Interconnect Network) -bus対応) : 1チャンネル
- ・ UART : 1チャンネル^{注2}
- ・ I²C : 3チャンネル

10ビット分解能A/Dコンバータ (AV_{REF} = 2.3 ~ 5.5 V) : 8チャンネル

CEC送受信回路

リモコン受信回路

電源電圧 : V_{DD} = 1.8 ~ 5.5 V

動作周囲温度 : T_A = - 40 ~ + 85

注1. 78K0/KE2-CのCSI11のみSPI対応

2. 78K0/KE2-Cのみ

1.2 応用分野

デジタルAV機器

1.3 オーダ情報

・フラッシュ・メモリ製品

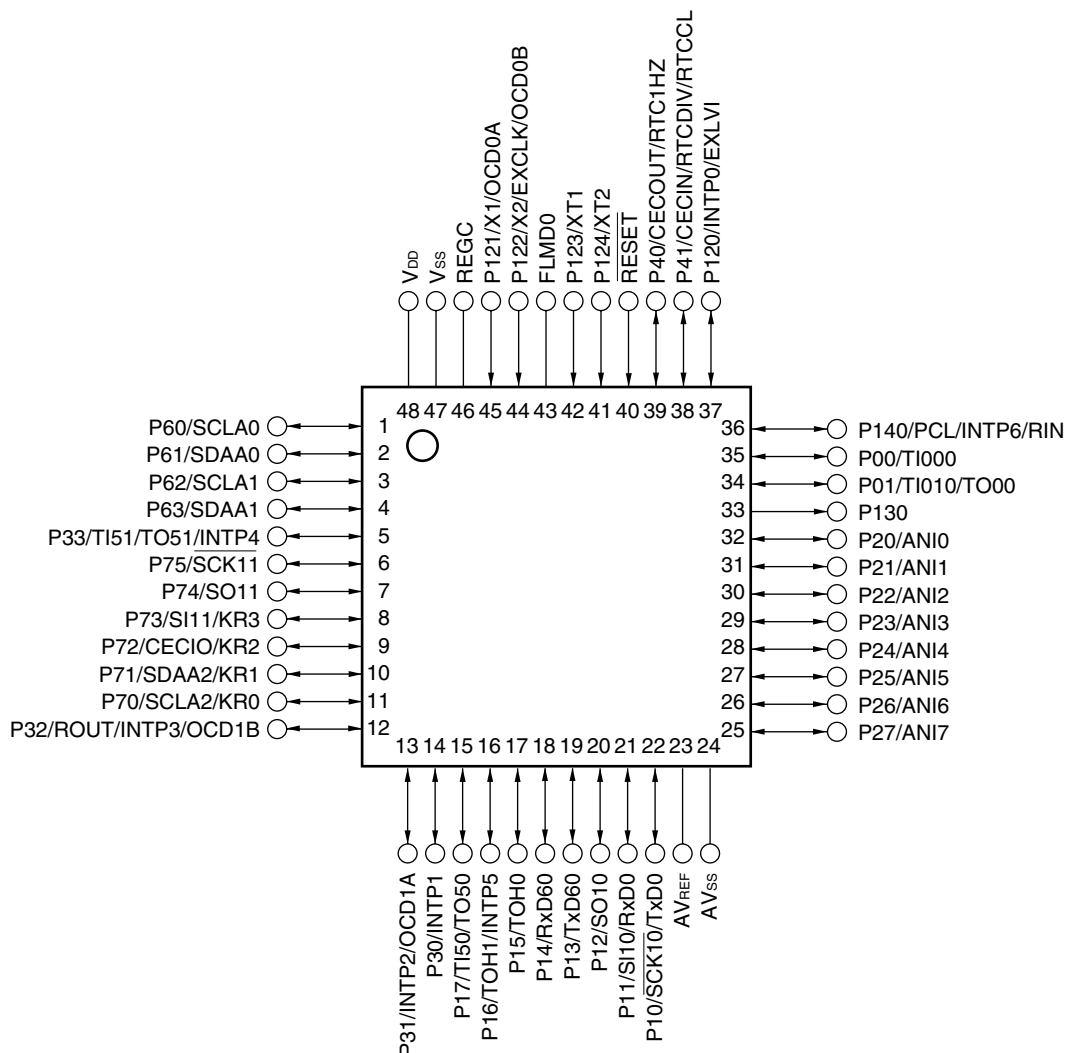
78K0/Kx2-C マイクロコン トローラ	パッケージ	オーダ名称
78K0/KC2-C	48ピン・プラスチックLQFP (ファインピッチ) (7x7)	μ PD78F0760GA-GAM-AX, 78F0761GA-GAM-AX, 78F0762GA-GAM-AX
78K0/KE2-C	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	μ PD78F0763GB-GAH-AX, 78F0764GB-GAH-AX, 78F0765GB-GAH-AX

注意 78K0/Kx2-Cには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.4 端子接続図 (Top View)

1.4.1 78K0/KC2-C

・48ピン・プラスチックLQFP (ファインピッチ) (7x7)



注意1. AV_{SS}はV_{SS}と同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し、V_{SS}に接続してください。
3. ANI0/P20-ANI7/P27は、リセット解除後はアナログ入力モードになります。

備考 INTP4/INTDA, INTP5/INTCE/INTERR : CEC送受信回路を使用すると、INTP4とINTP5は使用できません。INTP4またはINTP5を使用すると、CEC送受信回路は使用できません。

INTP6/INTRIN/PCL : INTP6とリモコン受信回路とクロック出力 (PCL) のうち使用できるのは1つです。

INTCSI10/INTST0 : CSI10とUART0のうち使用できるのは1つです。

INTRTC/INTRTCI : リアルタイム・カウンタの定周期信号 / アラーム一致検出と、リアルタイム・カウンタのインターバル信号検出のうち使用できるのは1つです。

INTKR/INTIICA2 : キー割り込み機能とIICA02のうち使用できるのは1つです。

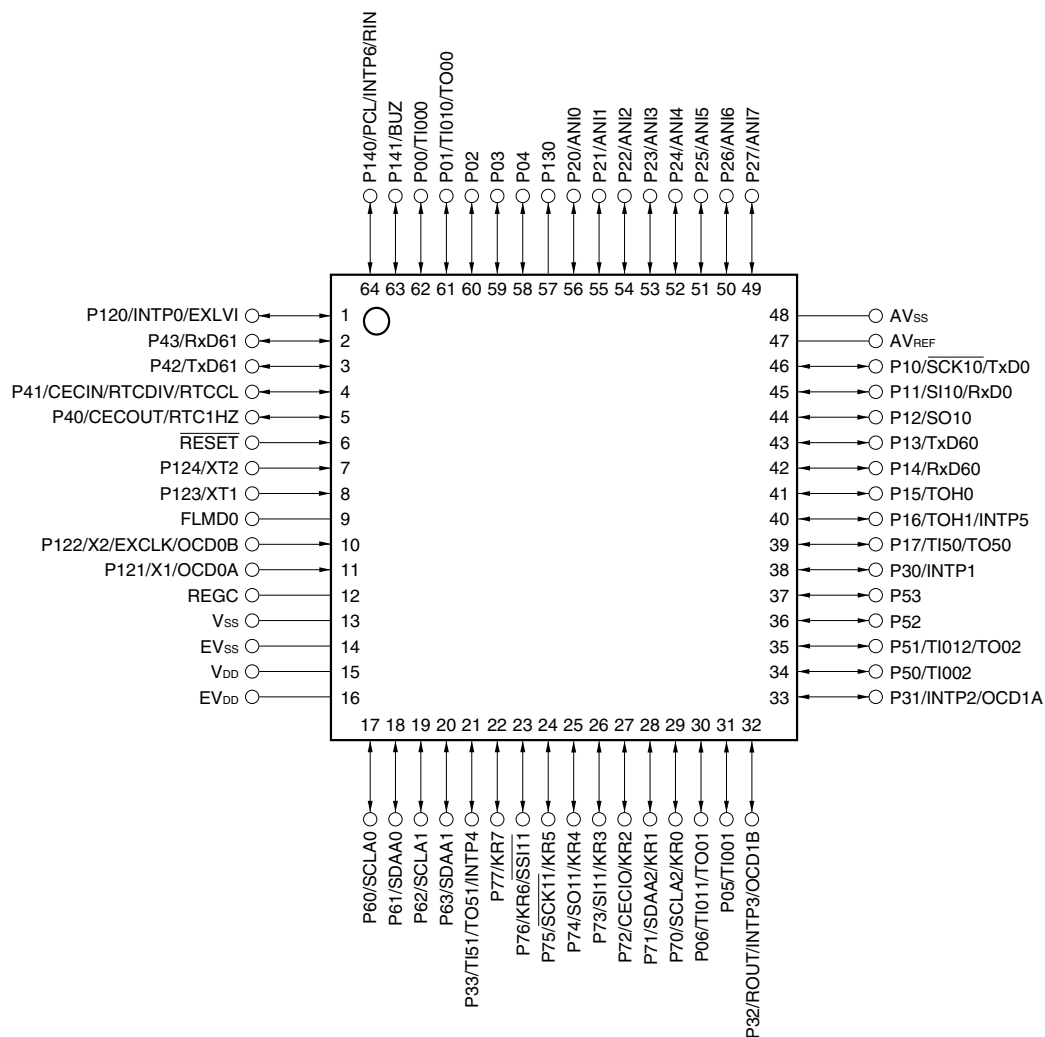
INTTM012/INTDMU : TM02のINTTM012が発生する場合は、TM02と乗除算器のうち使用できるのは1つです。

端子名称

ANI0-ANI7	: Analog Input	REGC	: Regulator Capacitance
AV _{REF}	: Analog Reference Voltage	$\overline{\text{RESET}}$: Reset
AV _{SS}	: Analog Ground	RIN	: Remote Control Input
CECIN	: Consumer Electronics Control Input	ROUT	: Remote Control Output
CECIO	: Consumer Electronics Control Input/Output	RTC1HZ	: Real-time Counter Correction Clock (1 Hz) Output
CECOUT	: Consumer Electronics Control Output	RTCCL	: Real-time Counter Clock (32 kHz Original Oscillation) Output
EXCLK	: External Clock Input (Main System Clock)	RTCDIV	: Real-time Counter Clock (32 kHz Divided Frequency) Output
EXLVI	: External potential Input for Low-voltage detector	RxD0, RxD60	: Receive Data
FLMD0	: Flash Programming Mode	$\overline{\text{SCK10}}, \overline{\text{SCK11}}$: Serial Clock Input/Output
INTP0-INTP6	: External Interrupt Input	SCLA0, SCLA1,	: Serial Clock Input/Output
KR0-KR3	: Key Return	SCLA2	
OCD0A, OCD0B, OCD1A, OCD1B	: On Chip Debug Input/Output	SDAA0, SDAA1,	: Serial Data Input/Output
P00, P01	: Port 0	SDAA2	
P10-P17	: Port 1	SI10, SI11	: Serial Data Input
P20-P27	: Port 2	SO10, SO11	: Serial Data Output
P30-P33	: Port 3	TI000, TI010,	: Timer Input
P40, P41	: Port 4	TI50, TI51	
P60-P63	: Port 6	TO00,	: Timer Output
P70-P75	: Port 7	TO50, TO51,	
P120-P124	: Port 12	TOH0, TOH1	
P130	: Port 13	TxD0, TxD60	: Transmit Data
P140	: Port 14	V _{DD}	: Power Supply
PCL	: Programmable Clock Output	V _{SS}	: Ground
		X1, X2	: Crystal Oscillator (Main System Clock)
		XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1.4.2 78K0/KE2-C

・64ピン・プラスチックLQFP（ファインピッチ）（10x10）



- 注意1.** AV_{SS}とEV_{SS}は、V_{SS}と同電位にしてください。
 2. EV_{DD}は、V_{DD}と同電位にしてください。
 3. REGCはコンデンサ（0.47～1 μF：推奨）を介し、V_{SS}に接続してください。
 4. ANI0/P20-ANI7/P27は、リセット解除後にアナログ入力モードになります。

備考 INTP4/INTDA, INTP5/INTCE/INTERR : CEC送受信回路を使用すると、INTP4とINTP5は使用できません。INTP4またはINTP5を使用すると、CEC送受信回路は使用できません。

INTP6/INTRIN/PCL : INTP6とリモコン受信回路とクロック出力（PCL）のうち使用できるのは1つです。

INTCSI10/INTST0 : CSI10とUART0のうち使用できるのは1つです。

INTRTC/INTRTCI : リアルタイム・カウンタの定周期信号 / アラーム一致検出と、リアルタイム・カウンタのインターバル信号検出のうち使用できるのは1つです。

INTKR/INTIICA2 : キー割り込み機能とIICA02のうち使用できるのは1つです。

INTTM001/INTSR6/INTSRE6 : TM01でINTTM001が発生する場合は、TM01とUART61の受信のうち使用できるのは1つです。

INTTM011/INTST6 : TM01でINTTM011が発生する場合は、TM01とUART61の送信のうち使用できるのは1つです。

INTTM012/INTDMU : TM02のINTTM012が発生する場合は、TM02と乗除算器のうち使用できるのは1つです。

端子名称

ANI0-ANI7	: Analog Input	PCL	: Programmable Clock Output
AV _{REF}	: Analog Reference Voltage	REGC	: Regulator Capacitance
AV _{SS}	: Analog Ground	$\overline{\text{RESET}}$: Reset
BUZ	: Buzzer Output	RIN	: Remote Control Input
CECIN	: Consumer Electronics Control Input	ROUT	: Remote Control Output
CECIO	: Consumer Electronics Control Input/Output	RTC1HZ	: Real-time Counter Correction Clock (1 Hz) Output
CECOUT	: Consumer Electronics Control Output	RTCCL	: Real-time Counter Clock (32 kHz Original Oscillation) Output
EV _{DD}	: Power Supply for Port	RTCDIV	: Real-time Counter Clock (32 kHz Divided Frequency) Output
EV _{SS}	: Ground for Port	RxD0, RxD60, RxD61	: Receive Data
EXCLK	: External Clock Input (Main System Clock)	$\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$: Serial Clock Input/Output
EXLVI	: External potential Input for Low-voltage detector	SCLA0, SCLA1, SCLA2	: Serial Clock Input/Output
FLMD0	: Flash Programming Mode	SDAA0, SDAA1, SDAA2	: Serial Data Input/Output
INTP0-INTP6	: External Interrupt Input	SI10, SI11	: Serial Data Input
KR0-KR7	: Key Return	SO10, SO11	: Serial Data Output
OCD0A, OCD0B, OCD1A, OCD1B	: On Chip Debug Input/Output	$\overline{\text{SSI11}}$: Serial Interface Chip Select Input
P00-P06	: Port 0	TI000, TI001, TI002, TI010, TI011, TI012,	: Timer Input
P10-P17	: Port 1	TI50, TI51	
P20-P27	: Port 2	TO00, TO01, TO02,	: Timer Output
P30-P33	: Port 3	TO50, TO51,	
P40-P43	: Port 4	TOH0, TOH1	
P50-P53	: Port 5	TxD0, TxD60, TxD61	: Transmit Data
P60-P63	: Port 6	V _{DD}	: Power Supply
P70-P77	: Port 7	V _{SS}	: Ground
P120-P124	: Port 12	X1, X2	: Crystal Oscillator (Main System Clock)
P130	: Port 13		
P140, P141	: Port 14	XT1, XT2	: Crystal Oscillator (Subsystem Clock)

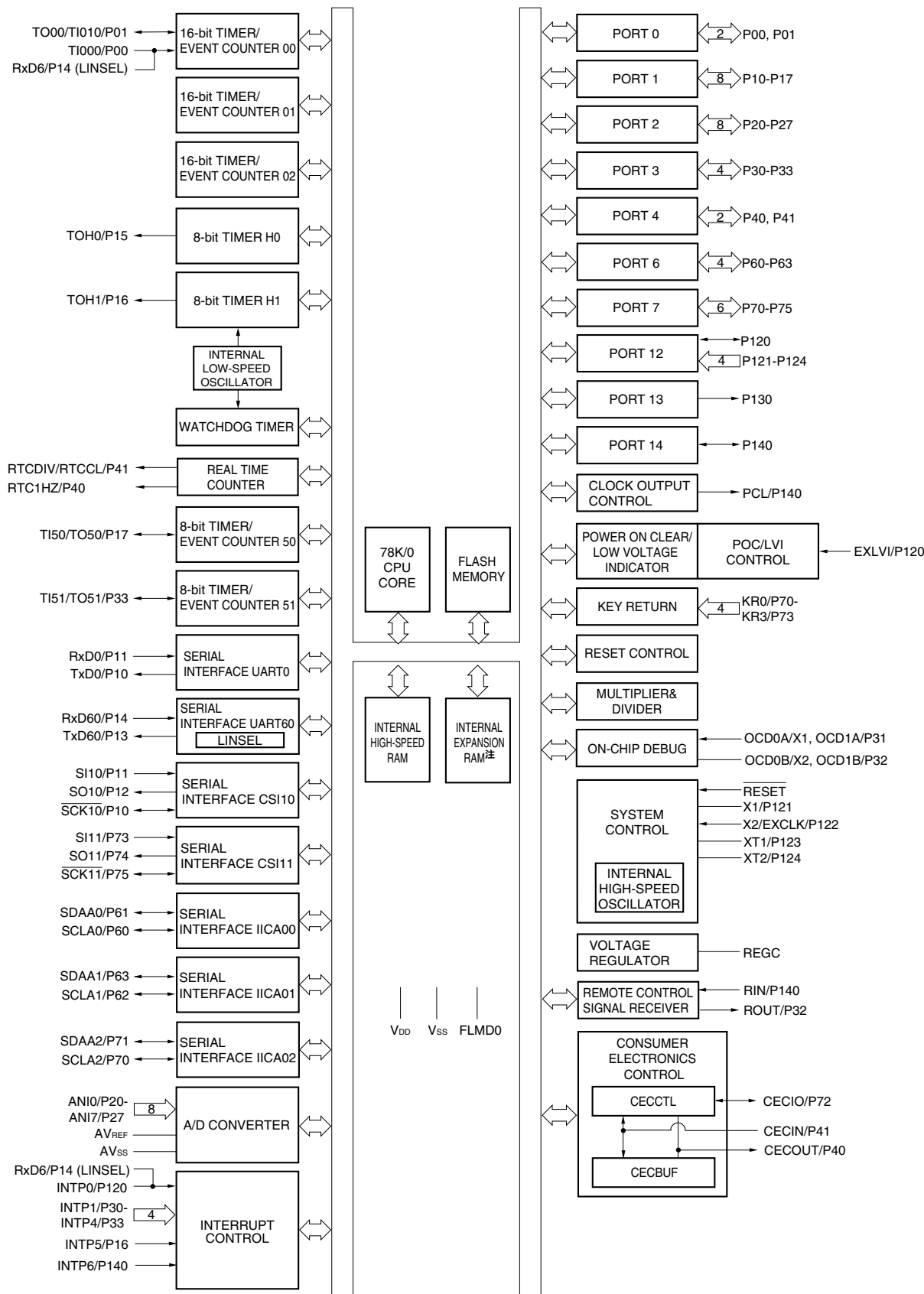
1.5 78K0/Kx2-Cマイクロコントローラの製品展開

ROM ^注	RAM ^注	78K0/KC2-C	78K0/KE2-C
		48ピン	64ピン
60 KB	3 KB	μPD78F0762	μPD78F0765
48 KB	2 KB	μPD78F0761	μPD78F0764
32 KB	1 KB	μPD78F0760	μPD78F0763

注 メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部フラッシュ・メモリ，内部高速RAM容量，内部拡張RAM容量の変更可能です。IMSとIXSについては，27.1 **メモリ・サイズ切り替えレジスタ**，27.2 **内部拡張RAMサイズ切り替えレジスタ**を参照してください。

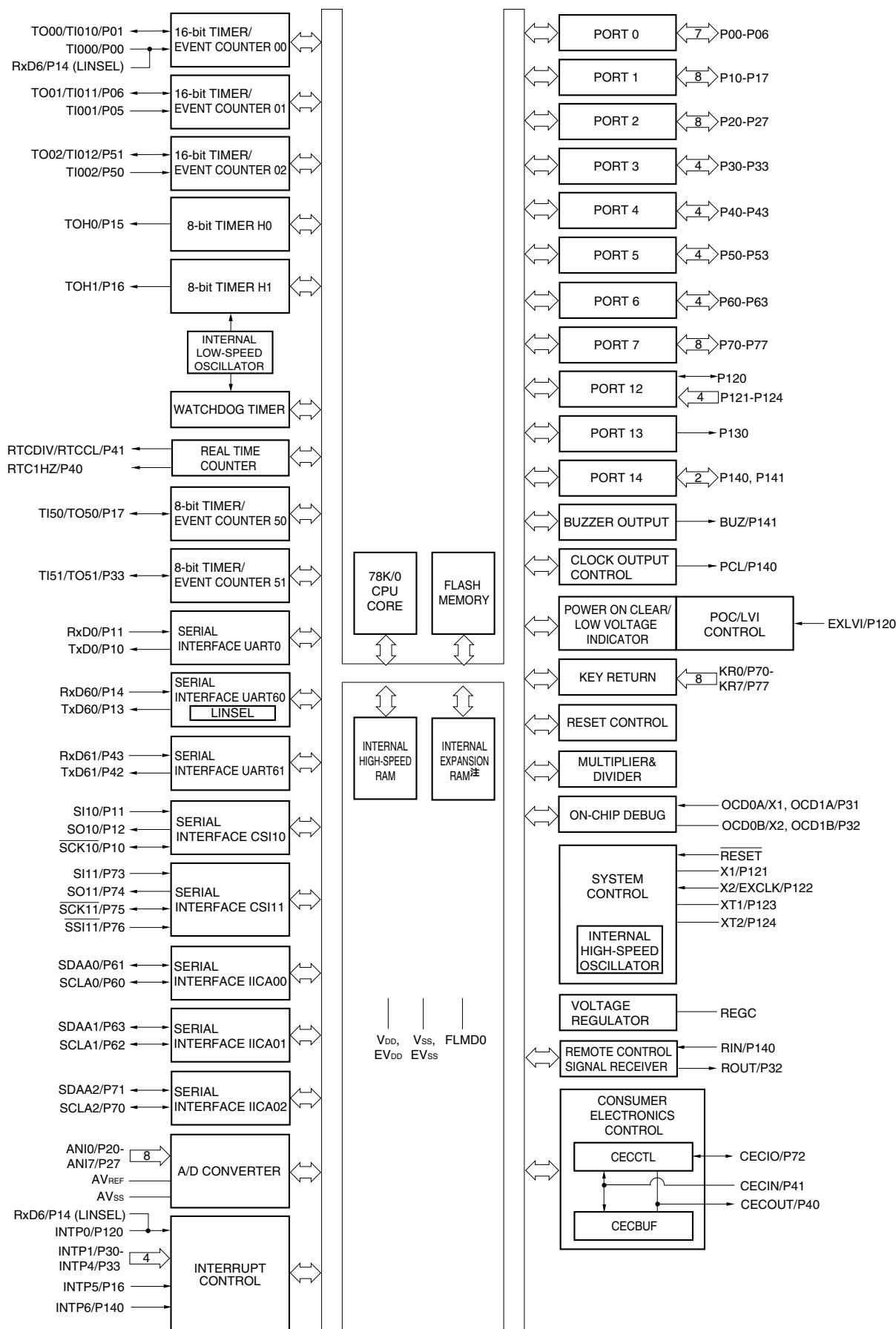
1.6 ブロック図

1.6.1 78K0/KC2-C



注 フラッシュ・メモリが48 Kバイトと60 Kバイトの製品のみ。

1.6.2 78K0/KE2-C



注 フラッシュ・メモリが48 Kバイトと60 Kバイトの製品のみ。

1.7 機能概要

項目	78K0/KC2-C			78K0/KE2-C		
	μPD78F0760	μPD78F0761	μPD78F0762	μPD78F0763	μPD78F0764	μPD78F0765
フラッシュ・メモリ (Kバイト)	32	48	60	32	48	60
高速RAM (Kバイト)	1	1	1	1	1	1
拡張RAM (Kバイト)	-	1	2	-	1	2
電源電圧	V _{DD} = 1.8 ~ 5.5 V					
レギュレータ	内蔵					
最小命令実行時間	0.1 μs (20 MHz)					
クロック	メイン	高速システム	2 ~ 20 MHz			
		高速内蔵発振	8 MHz ± 5 %			
	サブ		32.768 kHz (TYP.)			
	低速内蔵発振		240 kHz ± 10 %			
ポート	合計	41			55	
	N-ch O.D. (6 V耐圧)	10			12	
タイマ	16ビット (TM0)		3 ch ^注			
	8ビット (TM5)		2 ch			
	8ビット (TMH)		2 ch			
	リアルタイム・カウンタ (RTC)		1 ch			
	ウォッチドッグ (WDT)		1 ch			
シリアルインターフェース	3線式CSI/UART		1 ch			
	3線式CSI		1 ch		1 ch (SPI対応)	
	LIN-bus対応UART		1 ch			
	UART		-		1 ch	
	I ² Cバス		3 ch			
CEC送受信回路		内蔵				
リモコン受信回路		内蔵				
10ビットA/D		8 ch				
割り込み	外部		8			
	内部		27			
キー割り込み		4 ch			8 ch	
リセット	RESET端子		あり			
	POC		1.59 V ± 0.15 V			
	LVI		電源電圧の検出レベルを選択可能			
	WDT		あり			
クロック出力/ブザー出力		クロック出力のみ			あり	
乗除算器		あり				
オンチップ・デバッグ機能		あり				
動作周囲温度		T _A = -40 ~ +85				
パッケージ		48ピン・プラスチックLQFP (ファインピッチ) (7x7)			64ピン・プラスチックLQFP (ファインピッチ) (10x10)	

注 78K0/KC2-CのTM01, TM02はタイマ入出力端子がありません。

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ00, 01, 02			8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH0, H1		ウォッチドッグ・タイマ
		TM00	TM01 ^{注1}	TM02 ^{注1}	TM50	TM51	TMH0	TMH1	
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	-
	外部イベント・カウンタ	1チャンネル	1チャンネル ^{注2}	1チャンネル ^{注2}	1チャンネル	1チャンネル	-	-	-
	PPG出力	1出力	1出力 ^{注2}	1出力 ^{注2}	-	-	-	-	-
	PWM出力	-	-	-	1出力	1出力	1出力	1出力	-
	パルス幅測定	2入力	2入力 ^{注2}	2入力 ^{注2}	-	-	-	-	-
	方形波出力	1出力	1出力 ^{注2}	1出力 ^{注2}	1出力	1出力	1出力	1出力	-
	キャリア・ジェネレータ	-	-	-	-	-	-	1出力 ^{注3}	-
	ウォッチドッグ・タイマ	-	-	-	-	-	-	-	1チャンネル
割り込み要因		2	2	2	1	1	1	1	-

注1. 78K0/KC2-CのTM01, TM02はタイマ入出力端子がありません。

2. 78K0/KE2-Cのみ

3. TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源 (AV_{REF}, V_{DD})

- ・ 78K0/KC2-C : 48ピン・プラスチックLQFP (ファインピッチ) (7x7)

電源	対応する端子
AV _{REF}	P20-P27
V _{DD}	P20-P27以外の端子

表2 - 2 各端子の入出力バッファ電源 (AV_{REF}, EV_{DD}, V_{DD})

- ・ 78K0/KE2-C : 64ピン・プラスチックLQFP (ファインピッチ) (10x10)

電源	対応する端子
AV _{REF}	P20-P27
EV _{DD}	P20-P27, P121-P124以外のポート端子
V _{DD}	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子

2.1.1 78K0/KC2-C

(1) ポート機能 (1/2) : 78K0/KC2-C

機能名称	入出力	機 能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD60
P14				RxD60
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A
P32				ROUT/INTP3/ OCD1B
P33				TI51/TO51/INTP4
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	CECOUT/RTC1HZ
P41				CECIN/RTCDIV/ RTCCL
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCLA0
P61				SDAA0
P62				SCLA1
P63				SDAA1
P70	入出力	ポート7。 6ビット入出力ポート。 N-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力 / 出力の指定可能。 P72のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA2/KR0
P71				SDAA2/KR1
P72				CECIO/KR2
P73				SI11/KR3
P74				SO11
P75				SCK11
P120	入出力	ポート12。 1ビットの入出力ポートと4ビットの入力ポート。 P120のみ、入力 / 出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2

(1) ポート機能 (2/2) : 78K0/KC2-C

機能名称	入出力	機能	リセット時	兼用機能
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	-
P140	入出力	ポート14。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6/RIN

(2) ポート以外の機能 (1/2) : 78K0/KC2-C

機能名称	入出力	機 能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P27
CECIN	入力	CECのシリアル・データ入力	入力ポート	P41/RTCDIV/ RTCCL
CECIO	入出力	CECのシリアル・データ入出力	入力ポート	P72/KR2
CECOUT	出力	CECのシリアル・データ出力	入力ポート	P40/RTC1HZ
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OCD1A
INTP3				P32/ROUT/OCD1B
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL/RIN
KR0	入力	キー割り込み入力	入力ポート	P70/SCLA2
KR1				P71/SDAA2
KR2				P72/CECIO
KR3				P73/SI11
PCL	出力	クロック出力 (高速システム・クロック, サブシステム・クロックのトリミング用)	入力ポート	P140/INTP6/RIN
REGC	-	内部動作レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力。	-	-
RIN	入力	リモコン受信データ入力	入力ポート	P140/PCL/INTP6
ROUT	出力	リモコン受信データ出力	入力ポート	P32/INTP3/OCD1B
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	入力ポート	P40/CECOUT
RTCCL	出力	リアルタイム・カウンタ・クロック (32 kHz原発) 出力	入力ポート	P41/CECIN/ RTCDIV
RTCDIV	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	入力ポート	P41/CECIN/RTCCL
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD60	入力	UART60のシリアル・データ入力	入力ポート	P14
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCK11	入出力	CSI11のクロック入出力	入力ポート	P75
SCLA0	入出力	IICA00のクロック入力/出力	入力ポート	P60
SCLA1	入出力	IICA01のクロック入力/出力	入力ポート	P62
SCLA2	入出力	IICA02のクロック入力/出力	入力ポート	P70/KR0
SDAA0	入出力	IICA00のシリアル・データ入出力	入力ポート	P61
SDAA1	入出力	IICA01のシリアル・データ入出力	入力ポート	P63
SDAA2	入出力	IICA02のシリアル・データ入出力	入力ポート	P71/KR1
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SI11	入力	CSI11のシリアル・データ入力	入力ポート	P73/KR3
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
SO11	出力	CSI11のシリアル・データ出力	入力ポート	P74

(2) ポート以外の機能 (2/2) : 78K0/KC2-C

機能名称	入出力	機能	リセット時	兼用機能
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力。 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力。	入力ポート	P00
TI010	入力	16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力	入力ポート	P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TO10
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TO50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TO51/INTP4
TOH0	出力	8ビット・タイマH0出力	入力ポート	P15
TOH1		8ビット・タイマH1出力		P16/INTP5
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD60	出力	UART60のシリアル・データ出力	入力ポート	P13
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OC0A
X2	-		入力ポート	P122/EXCLK/ OC0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	P20-P27以外の正電源	-	-
AV _{REF}	-	A/Dコンバータの基準電圧入力およびP20-P27, A/Dコンバータの正電源	-	-
V _{SS}	-	P20-P27以外のグランド電位	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
OC0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OC01A				P31/INTP2
OC0B	-			P122/X2/EXCLK
OC01B				P32/ROUT/INTP3

2.1.2 78K0/KE2-C

(1) ポート機能 (1/2) : 78K0/KE2-C

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P02				-
P03				-
P04				-
P05				TI001
P06				TI011/TO01
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD60
P14				RxD60
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ入力	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P31				INTP2/OCD1A
P32				ROUT/INTP3/ OCD1B
P33				TI51/TO51/INTP4
P40	入出力	ポート4。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	CECOUT/RTC1HZ
P41				CECIN/RTCDIV/ RTCCL
P42				TxD61
P43				RxD61
P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	TI002
P51				TI012/TO02
P52, P53				-
P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力 (6V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCLA0
P61				SDAA0
P62				SCLA1
P63				SDAA1

(1) ポート機能 (2/2) : 78K0/KE2-C

機能名称	入出力	機 能	リセット時	兼用機能
P70	入出力	ポート7。 8ビット入出力ポート。 N-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 P72のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA2/KR0
P71				SDAA2/KR1
P72				CECIO/KR2
P73				SI11/KR3
P74				SO11/KR4
P75				SCK11/KR5
P76				KR6/SSI11
P77				KR7
P120	入出力	ポート12。 1ビットの入出力ポートと4ビットの入力ポート。 P120のみ, 入力/出力の指定可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OC0A
P122				X2/EXCLK/OC0B
P123				XT1
P124				XT2
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	-
P140	入出力	ポート14。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6/RIN
P141				BUZ

(2) ポート以外の機能 (1/3) : 78K0/KE2-C

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P27
BUZ	出力	ブザー出力	入力ポート	P141
CECIN	入力	CECのシリアル・データ入力	入力ポート	P41/RTCDIV/ RTCCL
CECIO	入出力	CECのシリアル・データ入出力	入力ポート	P72/KR2
CECOUT	出力	CECのシリアル・データ出力	入力ポート	P40/RTC1HZ
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P30
INTP2				P31/OCD1A
INTP3				P32/ROUT/OCD1B
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL/RIN
KR0	入力	キー割り込み入力	入力ポート	P70/SCLA2
KR1				P71/SDAA2
KR2				P72/CECIO
KR3				P73/SI11
KR4				P74/SO11
KR5				P75/SCK11
KR6				P76/SSI11
KR7				P77
PCL	出力	クロック出力(高速システム・クロック, サブシステム・クロックのトリミング用)	入力ポート	P140/INTP6/RIN
REGC	-	内部動作レギュレータ出力(2.5V)安定容量接続。 コンデンサ(0.47~1μF:推奨)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力。	-	-
RIN	入力	リモコン受信データ入力	入力ポート	P140/PCL/INTP6
ROUT	出力	リモコン受信データ出力	入力ポート	P32/INTP3/OCD1B
RTC1HZ	出力	リアルタイム・カウンタ補正クロック(1Hz)出力	入力ポート	P40/CECOUT
RTCCL	出力	リアルタイム・カウンタ・クロック(32kHz原発)出力	入力ポート	P41/CECIN/ RTCDIV
RTCDIV	出力	リアルタイム・カウンタ・クロック(32kHz分周)出力	入力ポート	P41/CECIN/RTCCL
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD60		UART60のシリアル・データ入力		P14
RxD61		UART61のシリアル・データ入力		P43
SCK10	入出力	CSI10のクロック入出力	入力ポート	P10/TxD0
SCK11		CSI11のクロック入出力		P75/KR5
SCLA0	入出力	IICA00のクロック入力/出力	入力ポート	P60
SCLA1	入出力	IICA01のクロック入力/出力	入力ポート	P62
SCLA2	入出力	IICA02のクロック入力/出力	入力ポート	P70/KR0

(2) ポート以外の機能 (2/3) : 78K0/KE2-C

機能名称	入出力	機能	リセット時	兼用機能		
SDAA0	入出力	IICA00のシリアル・データ入出力	入力ポート	P61		
SDAA1	入出力	IICA01のシリアル・データ入出力	入力ポート	P63		
SDAA2	入出力	IICA02のシリアル・データ入出力	入力ポート	P71/KR1		
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P11/RxD0		
SI11		CSI11のシリアル・データ入力		P73/KR3		
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12		
SO11		CSI11のシリアル・データ出力		P74/KR4		
SSI11	入力	CSI11のチップ・セレクト入力	入力ポート	P76/KR6		
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P00		
TI001		16ビット・タイマ/イベント・カウンタ01への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001, CR011) へのキャプチャ・トリガ入力		P05		
TI002		16ビット・タイマ/イベント・カウンタ02への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002, CR012) へのキャプチャ・トリガ入力		P50		
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P01/TO00		
TI011		16ビット・タイマ/イベント・カウンタ01のキャプチャ・レジスタ (CR001) へのキャプチャ・トリガ入力		P06/TO01		
TI012		16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002) へのキャプチャ・トリガ入力		P51/TO02		
TI50		入力		8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51				8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TO10		
TO01		16ビット・タイマ/イベント・カウンタ01出力		P06/TO11		
TO02		16ビット・タイマ/イベント・カウンタ02出力		P51/TO12		
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TO50		
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TO51/INTP4		
TOH0	出力	8ビット・タイマH0出力	入力ポート	P15		
TOH1		8ビット・タイマH1出力		P16/INTP5		
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10		
TxD60		UART60のシリアル・データ出力		P13		
TxD61		UART61のシリアル・データ出力		P42		

(2) ポート以外の機能 (3/3) : 78K0/KE2-C

機能名称	入出力	機能	リセット時	兼用機能
X1	入力	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-			P122/EXCLK/ OCD0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B
XT1	入力	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	P121-P124の正電源, およびポート部以外の正電源	-	-
EV _{DD}	-	P20-P27, P121-P124以外のポート部の正電源。V _{DD} と同電位にしてください。	-	-
AV _{REF}	入力	A/Dコンバータの基準電圧入力およびP20-P27, A/Dコンバータの正電源	-	-
V _{SS}	-	P121-P124のグランド電位, およびポート部以外のグランド電位	-	-
EV _{SS}	-	P20-P27, P121-P124以外のポート部のグランド電位。V _{SS} と同電位にしてください。	-	-
AV _{SS}	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
OCD0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OCD1A				P31/INTP2
OCD0B				P122/X2/EXCLK
OCD1B				P32/ROUT/INTP3

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00-P06 (Port 0)

入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P00/TI000		
P01/TI010/TO00		
P02	-	
P03	-	
P04	-	
P05/TI001	-	
P06/TI011/TO01	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI000, TI001

16ビット・タイマ/イベント・カウンタ00, 01への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000, CR010またはCR001, CR011) へのキャプチャ・トリガ信号入力端子です。

(b) TI010, TI011

16ビット・タイマ/イベント・カウンタ00, 01のキャプチャ・レジスタ (CR000またはCR001) へのキャプチャ・トリガ信号入力端子です。

(c) TO00, TO01

16ビット・タイマ/イベント・カウンタ00, 01のタイマ出力端子です。

2.2.2 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P10/SCK10/TxD0		
P11/SI10/RxD0		
P12/SO10		
P13/TxD60		
P14/RxD60		
P15/TOH0		
P16/TOH1/INTP5		
P17/TOH0/INTP5		

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(e) RxD60

シリアル・インタフェースUART60のシリアル・データ入力端子です。

(f) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(g) TxD60

シリアル・インタフェースUART60のシリアル・データ出力端子です。

(h) TI50

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

(i) TO50

8ビット・タイマ/イベント・カウンタ50のタイマ出力端子です。

(j) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(k) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.3 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P20/ANI0		
P21/ANI1		
P22/ANI2		
P23/ANI3		
P24/ANI4		
P25/ANI5		
P26/ANI6		
P27/ANI7		

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合、12.6 A/Dコンバータの注意事項 (5) ANI0/P20-ANI7/P27を参照してください。

注意 ANI0/P20-ANI7/P27は、リセット解除後はアナログ入力モードになります。

2.2.4 P30-P33 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、リモコン受信データ出力、タイマ入出力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P30/INTP1		
P31/INTP2/OCD1A		
P32/ROUT/INTP3/OCD1B		
P33/INTP4/TI51/TO51		

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、リモコン受信データ出力、タイマの入出力として機能します。

(a) INTP1-INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) ROUT

リモコン受信データ出力端子です。

(c) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

(d) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

注意1. 誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。

注意2. P31/INTP2/OCD1A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A
フラッシュ・メモリ・プログラマ接続		抵抗を介してEV _{SS} [※] に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、EV _{DD} [※] またはEV _{SS} [※] に接続してください。 出力時：オープンにしてください。
	リセット解除時	

注 EV_{SS}端子がない78K0/KC2-Cは、V_{SS}に接続してください。EV_{DD}端子がない78K0/KC2-Cは、V_{DD}に接続してください。

備考 P31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子(OCD1A, OCD1B)として使用できます。オンチップ・デバッグ・エミュレータ(QB-MINI2)との接続については、第28章 オンチップ・デバッグ機能を参照してください。

2.2.5 P40-P43 (Port 4)

入出力ポートです。入出力ポートのほかにCECのシリアル・データ入出力、リアルタイム・カウンタの補正クロック出力、リアルタイム・カウンタのクロック出力、シリアル・インタフェースのデータ入出力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P40/CECOUT/RTC1HZ		
P41/CECIN/RTCDIV/RTCCCL		
P42/TxD61	-	
P43/RxD61	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

CECのシリアル・データ入出力、リアルタイム・カウンタの補正クロック出力、リアルタイム・カウンタのクロック出力、シリアル・インタフェースのデータ入出力として機能します。

(a) CECIN

CECのシリアル・データ入力端子です。

(b) CECOUT

CECのシリアル・データ出力端子です。

(c) RTC1HZ

リアルタイム・カウンタの補正クロック (1 Hz) 出力端子です。

(d) RTCDIV

リアルタイム・カウンタ・クロック (32 kHz分周) 出力端子です。

(e) RTCCL

リアルタイム・カウンタ・クロック (32 kHz原発) 出力端子です。

(f) RxD61

シリアル・インタフェースUART61のシリアル・データ入力端子です。

(g) TxD61

シリアル・インタフェースUART61のシリアル・データ出力端子です。

注意 RTCCLとRTCDIVは同時に出力許可設定にしないでください。

2.2.6 P50-P53 (Port 5)

入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P50/TI002	-	
P51/TI012/TO02	-	
P52	-	
P53	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI002

16ビット・タイマ/イベント・カウンタ02への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002, CR012) へのキャプチャ・トリガ信号入力端子です。

(b) TI012

16ビット・タイマ/イベント・カウンタ02のキャプチャ・レジスタ (CR002) へのキャプチャ・トリガ信号入力端子です。

(c) TO02

16ビット・タイマ/イベント・カウンタ02のタイマ出力端子です。

2.2.7 P60-P63 (Port 6)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力, クロック入出力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P60/SCLA0		
P61/SDAA0		
P62/SCLA1		
P63/SDAA1		

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) SDAA0, SDAA1

シリアル・インタフェースIICA00, IICA01のシリアル・データ入出力端子です。

(b) SCLA0, SCLA1

シリアル・インタフェースIICA00, IICA01のシリアル・クロック入出力端子です。

2.2.8 P70-P77 (Port 7)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力, クロック入出力, チップ・セレクト入力, CECのシリアル・データ入出力, キー割り込み入力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P70/SCLA2/KR0		
P71/SDAA2/KR1		
P72/CEC10/KR2		
P73/SI11/KR3		
P74/SO11/KR4	P74/SO11 ^注	
P75/SCK11/KR5	P75/SCK11 ^注	
P76/KR6/SSI11	-	
P77/KR7	-	

注 78K0/KC2-Cには、KR4, KR5端子はありません。

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、P72のみ内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、CECのシリアル・データ入出力、キー割り込み入力端子として機能します。

(a) SDAA2

シリアル・インタフェースIICA02のシリアル・データ入出力端子です。

(b) SCLA2

シリアル・インタフェースIICA02のシリアル・クロック入出力端子です。

(c) KR0-KR7

キー割り込み入力端子です。

(d) CEC10

CECのシリアル・データ入出力端子です。

(e) SI11

シリアル・インタフェースCSI11のシリアル・データ入力端子です。

(f) SO11

シリアル・インタフェースCSI11のシリアル・データ出力端子です。

(g) $\overline{\text{SCK11}}$

シリアル・インタフェースCSI11のシリアル・クロック入出力端子です。

(h) $\overline{\text{SSI11}}$

シリアル・インタフェースCSI11のチップ・セレクト入力端子です。

2.2.9 P120-P124 (Port 12)

P120は1ビットの入出力ポートです。P121-P124は4ビットの入力ポートです。そのほかに外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P120/INTP0/EXLVI		
P121/X1/OCD0A		
P122/X2/EXCLK/OCD0B		
P123/XT1		
P124/XT2		

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

注意 P121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続 (ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
	リセット解除時	

備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については、第28章 **オンチップ・デバッグ機能**を参照してください。

2.2.10 P130 (Port 13)

出力専用ポートです。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P130		

備考1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます (4.2.10 **ポート13の備考の図**を参照)。

2. : 搭載

2.2.11 P140, P141 (Port 14)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、クロック出力、ブザー出力、リモコン受信データ入力機能があります。

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P140/PCL/INTP6/RIN		
P141/BUZ	-	

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、クロック出力、ブザー出力、リモコン受信データ入力として機能します。

(a) INTP6

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) PCL

クロック出力端子です。

(c) BUZ

ブザー出力端子です。

(d) RIN

リモコン受信データ入力端子です。

2.2.12 AVREF, AVSS, VDD, EVDD, VSS, EVSS

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
AVREF		
AVSS		
VDD		
EVDD	-	
VSS		
EVSS	-	

備考 : 搭載, - : 非搭載

(a) AVREF

A/Dコンバータの基準電圧入力, およびP20-P27, A/Dコンバータの正電源供給端子です。
A/Dコンバータを使用しない場合は, EVDDまたはVDDに直接接続してください^注。

注 ポート2をデジタル・ポートとして使用する場合は, VDDと同電位にしてください。

(b) AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも, 常にVSSと同電位で使用してください。

(c) V_{DD} , EV_{DD}

V_{DD} は、P121-P124の正電源、およびポート部以外の正電源供給端子です^注。

EV_{DD} は、P20-P27, P121-P124以外の、ポート部の正電源供給端子です。

V_{DD} と EV_{DD} は、常に同電位で使用してください。

注 EV_{DD} 端子が搭載されていない78K0/KC2-Cでは、 V_{DD} をP20-P27以外の正電源供給端子として使用してください。

(d) V_{SS} , EV_{SS}

V_{SS} は、P121-P124のグランド電位、およびポート部以外のグランド電位端子です^注。

EV_{SS} は、P20-P27, P121-P124以外の、ポート部のグランド電位端子です。

V_{SS} と EV_{SS} は、常に同電位で使用してください。

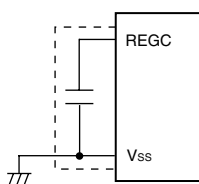
注 EV_{SS} 端子が搭載されていない78K0/KC2-Cでは、 V_{SS} をP20-P27以外のグランド電位端子として使用してください。

2.2.13 \overline{RESET}

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.14 REGC

内部動作レギュレータ出力(2.5V)安定容量接続端子です。コンデンサ(0.47~1 μ F:推奨)を介し、 V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.15 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0を EV_{SS} または V_{SS} に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

2.3 端子の入出力回路と未使用端子の処理

2.3.1 78K0/KC2-C

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-3 各端子の入出力回路タイプ (78K0/KC2-C) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AH	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P10/SCK10/TxD0			
P11/SI10/RxD0			
P12/SO10	5-AG		
P13/TxD60			
P14/RxD60	5-AH		
P15/TOH0	5-AG		
P16/TOH1/INTP5	5-AH		
P17/TI50/TO50			
P20/ANI0-P27/ANI7 ^注	11-G		< デジタル入力設定時およびアナログ入力設定時 > 個別に抵抗を介して、 AV_{REF} または AV_{SS} に接続してください。 < デジタル出力設定時 > オープンにしてください。

注 P20/ANI0-P27/ANI7は、リセット解除後はアナログ入力モードになります。

表2-3 各端子の入出力回路タイプ (78K0/KC2-C) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P30/INTP1	5-AH	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P31/INTP2/OCD1A ^{注1}			
P32/ROUT/INTP3/OCD1B			
P33/TI51/TO51/INTP4			
P40/CECOUT/RTC1HZ			
P41/CECIN/RTCDIV/ RTCCL			
P60/SCLA0	13-AI	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続、または V_{SS} に直接接続してください。 出力時：ポートの出力ラッチに0を設定してロウ・レベル出力でオープンにしてください。
P61/SDAA0			
P62/SCLA1			
P63/SDAA1			
P70/SCLA2/KR0			
P71/SDAA2/KR1			
P72/CECIO/KR2	13-AJ	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P73/SI11/KR3	13-AI		
P74/SO11			
P75/SCK1			
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCD0A ^{注1, 2}	37-A	入力	個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。
P122/X2/EXCLK/OCD0B ^{注2}			
P123/XT1 ^{注2}			
P124/XT2 ^{注2}			

注1. P31/INTP2/OCD1A端子とP121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A	P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介して V_{SS} に接続してください。	
オンチップ・デバッグ・エミュレータ接続（ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合）	リセット時		
	リセット解除時	入力時：抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。	

2. 未使用時は、入出力ポート・モード（図5-2 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

表2-3 各端子の入出力回路タイプ (78K0/KC2-C) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P130	3-C	出力	オープンにしてください。
P140/PCL/INTP6/RIN	5-AH	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
AV_{REF}	-	-	V_{DD} に直接接続してください。 ^{注1}
AV_{SS}	-	-	V_{SS} に直接接続してください。
FLMD0	38-A	-	V_{SS} に接続してください。 ^{注2}
REGC	-	-	コンデンサ (0.47 ~ 1 μ F) を介し、 V_{SS} に接続してください。
\overline{RESET}	2	入力	V_{DD} に直接接続または抵抗を介して接続してください。

注1. ポート2をデジタル・ポートとして使用する場合は、 V_{DD} と同電位にしてください。

2. FLMD0は、フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は、抵抗 (10 k Ω : 推奨) を介して、 V_{SS} に接続してください。オンチップ・デバッグを行う場合も同様です。

2.3.2 78K0/KE2-C

各端子の入出力タイプと、未使用端子の処理を表2-4に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-4 各端子の入出力回路タイプ(78K0/KE2-C)(1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P02	5-AG		
P03			
P04			
P05/TI001			
P06/TI011/TO01	5-AH		
P10/SCK10/TxD0			
P11/SI10/RxD0			
P12/SO10			
P13/TxD60	5-AG		
P14/RxD60	5-AH		
P15/TOH0	5-AG		
P16/TOH1/INTP5	5-AH		
P17/TI50/TO50			
P20/ANI0-P27/ANI7 ^注	11-G		

注 P20/ANI0-P27/ANI7は、リセット解除後はアナログ入力モードになります。

表2-4 各端子の入出力回路タイプ (78K0/KE2-C) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P30/INTP1	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P31/INTP2/OCD1A ^{注1}			
P32/ROUT/INTP3/OCD1B			
P33/TI51/TO51/INTP4			
P40/CECOUT/RTC1HZ			
P41/CECIN/RTCDIV/ RTCCL			
P42/TxD61			
P43/RxD61			
P50/TI002			
P51 /TI012/TO02			
P52			
P53			
P60/SCLA0	13-AI		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続，またはEV _{SS} に直接接続してください。 出力時：ポートの出カラッチに0を設定してロウ・レベル出力でオープンにしてください。
P61/SDAA0			
P62/SCLA1			
P63/SDAA1			
P70/SCLA2/KR0			
P71/SDAA2/KR1			
P72/CECIO/KR2			
P73/SI11/KR3	13-AI		
P74/SO11/KR4			
P75/SCK11/KR5			
P76/KR6/SSI11			
P77/KR7			
P120/INTP0/EXLVI	5-AH		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCD0A ^{注1, 2}	37-A	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK/OCD0B ^{注2}			
P123/XT1 ^{注2}			
P124/XT2 ^{注2}			

注1. P31/INTP2/OCD1A端子とP121/X1/OCD0A端子が，フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合，次のように処理してください。

	P31/INTP2/OCD1A	P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続	抵抗を介してEV _{SS} に接続してください。	抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続（ただし，オンチップ・デバッグ・モード引き込み用端子として使用しない場合）	リセット時 リセット解除時	
	入力時：抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	入力時：抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。

2. 未使用時は，入出力ポート・モード（**図5-2 クロック動作モード選択レジスタ（OSCCTL）のフォーマット**を参照）で上記の推奨接続方法を行ってください。

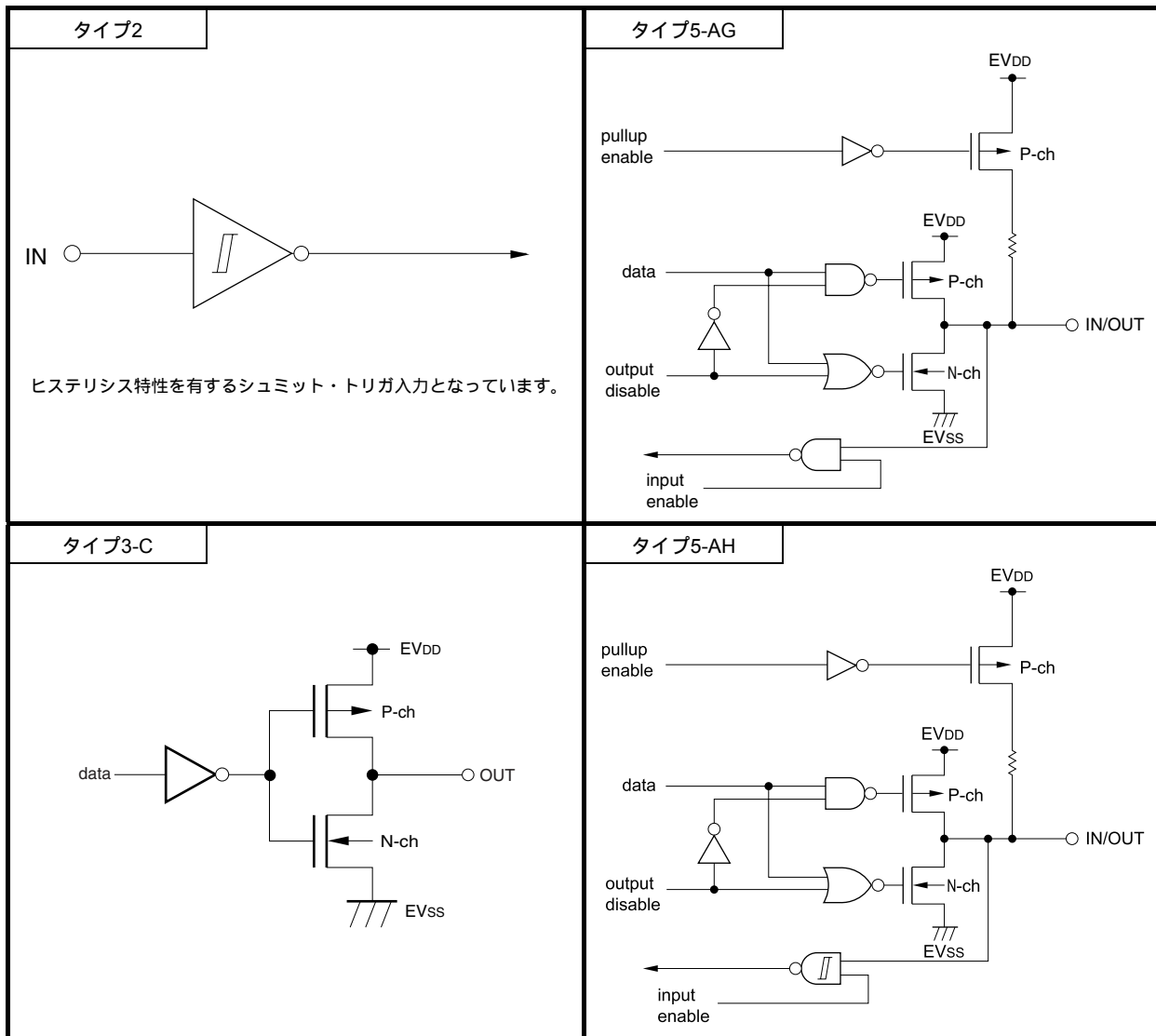
表2 - 4 各端子の入出力回路タイプ (78K0/KE2-C) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P130	3-C	出力	オープンにしてください。
P140/PCL/INTP6/RIN	5-AH	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P141/BUZ	5-AG		
AV _{REF}	-	-	EV _{DD} またはV _{DD} に直接接続してください。 ^{注1}
AV _{SS}	-	-	EV _{SS} またはV _{SS} に直接接続してください。
FLMD0	38-A	-	EV _{SS} またはV _{SS} に接続してください。 ^{注2}
REGC	-	-	コンデンサ (0.47 ~ 1 μ F) を介し，V _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。

注1. ポート2をデジタル・ポートとして使用する場合は，V_{DD}と同電位にしてください。

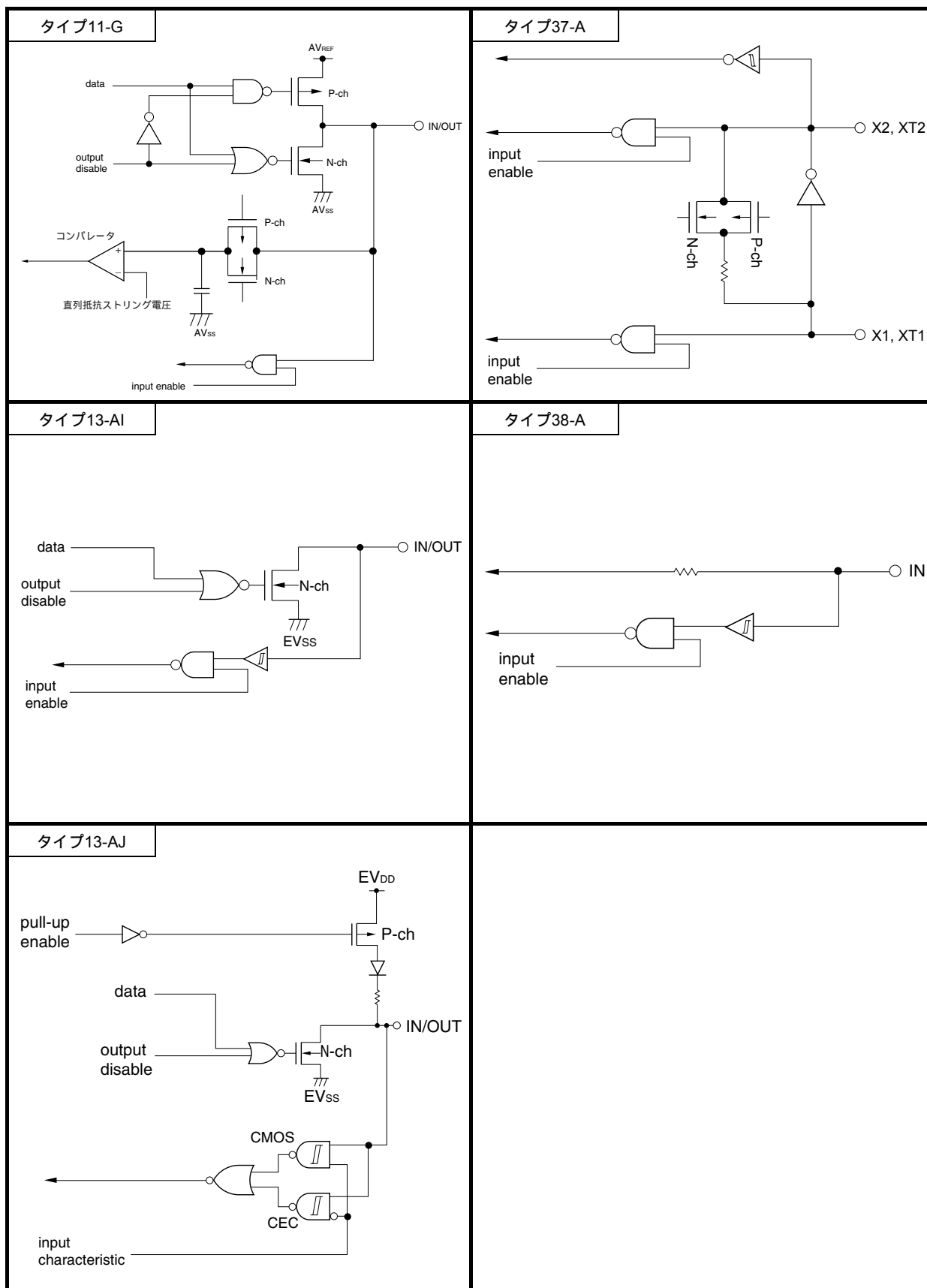
2. FLMD0は，フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は，抵抗 (10 k Ω : 推奨) を介して，EV_{SS}またはV_{SS}に接続してください。オンチップ・デバッグを行う場合も同様です。

図2-1 端子の入出力回路一覧(1/2)



備考 EV_{DD}, EV_{SS}端子がない78K0/KC2-Cは, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図2-1 端子の入出力回路一覧(2/2)



備考 EV_{DD}, EV_{SS}端子がない78K0/KC2-Cは, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0/Kx2-Cは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 3に、メモリ・マップを示します。

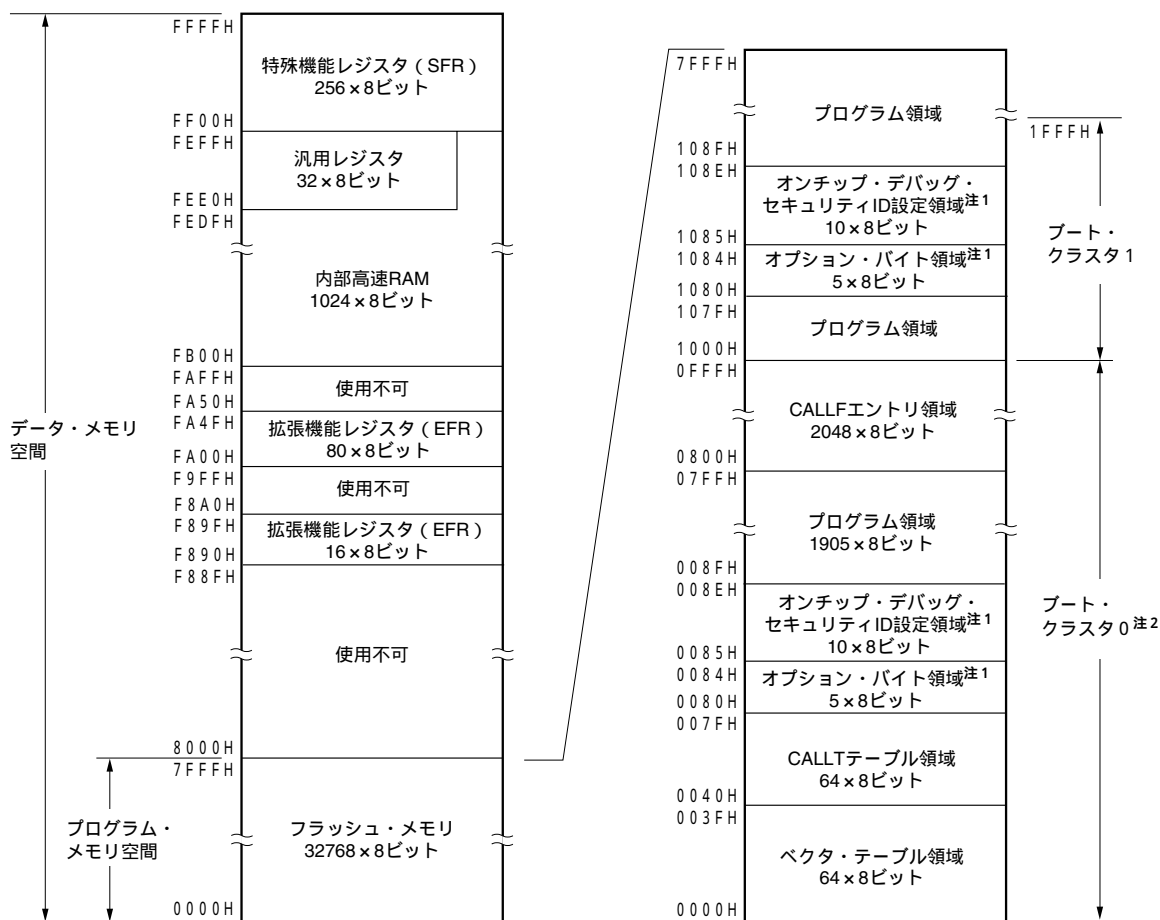
- 注意1. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2-Cすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。
2. メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

78K0/KC2-C	78K0/KE2-C	IMS	IXS	ROM 容量	内部高速 RAM容量	内部拡張 RAM容量
μPD78F0760 ^{注1}	μPD78F0763 ^{注1}	C8H	0CH	32 Kバイト	1 Kバイト	-
μPD78F0761 ^{注2}	μPD78F0764 ^{注2}	CCH	0AH	48 Kバイト		1 Kバイト
μPD78F0762 ^{注2}	μPD78F0765 ^{注2}	CFH		60 Kバイト		2 Kバイト

- 注1. 内部拡張RAMを内蔵していない製品は、IXSを搭載していません。
2. IMSとIXSの設定によりROM容量とRAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSとIXSの設定は、デバッグ対象の製品に合わせてください。

図3-1 メモリ・マップ (μPD78F0760, 78F0763)



注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定

2. セキュリティの設定により，ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

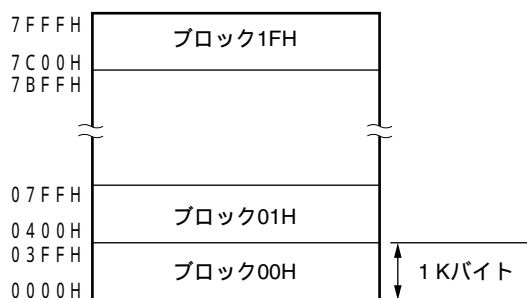
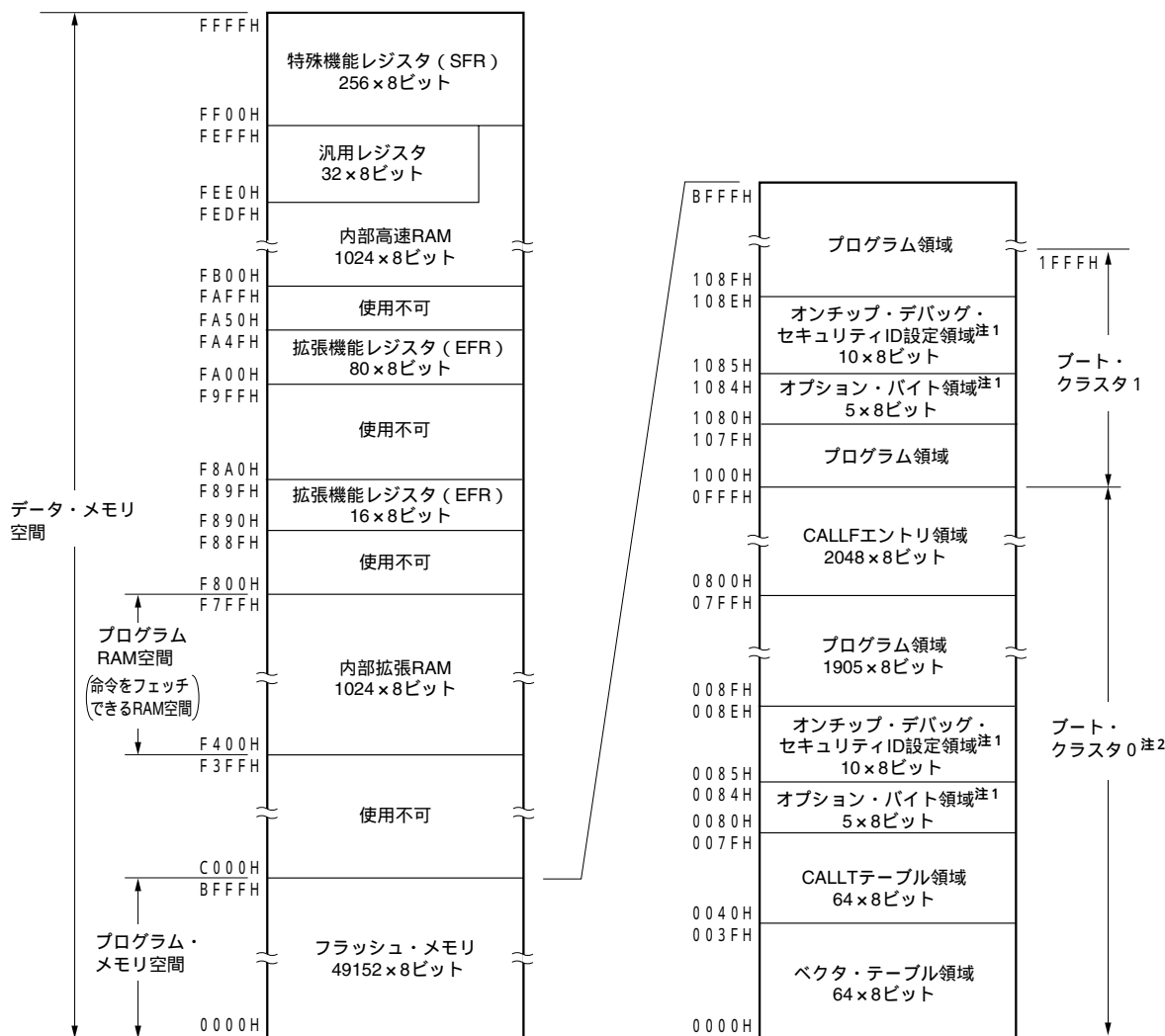


図3-2 メモリ・マップ (μPD78F0761, 78F0764)



- 注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EHにオンチップ・デバッグ・セキュリティID設定
2. セキュリティの設定により，ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については，表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

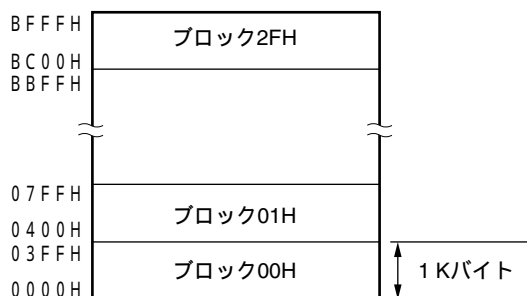
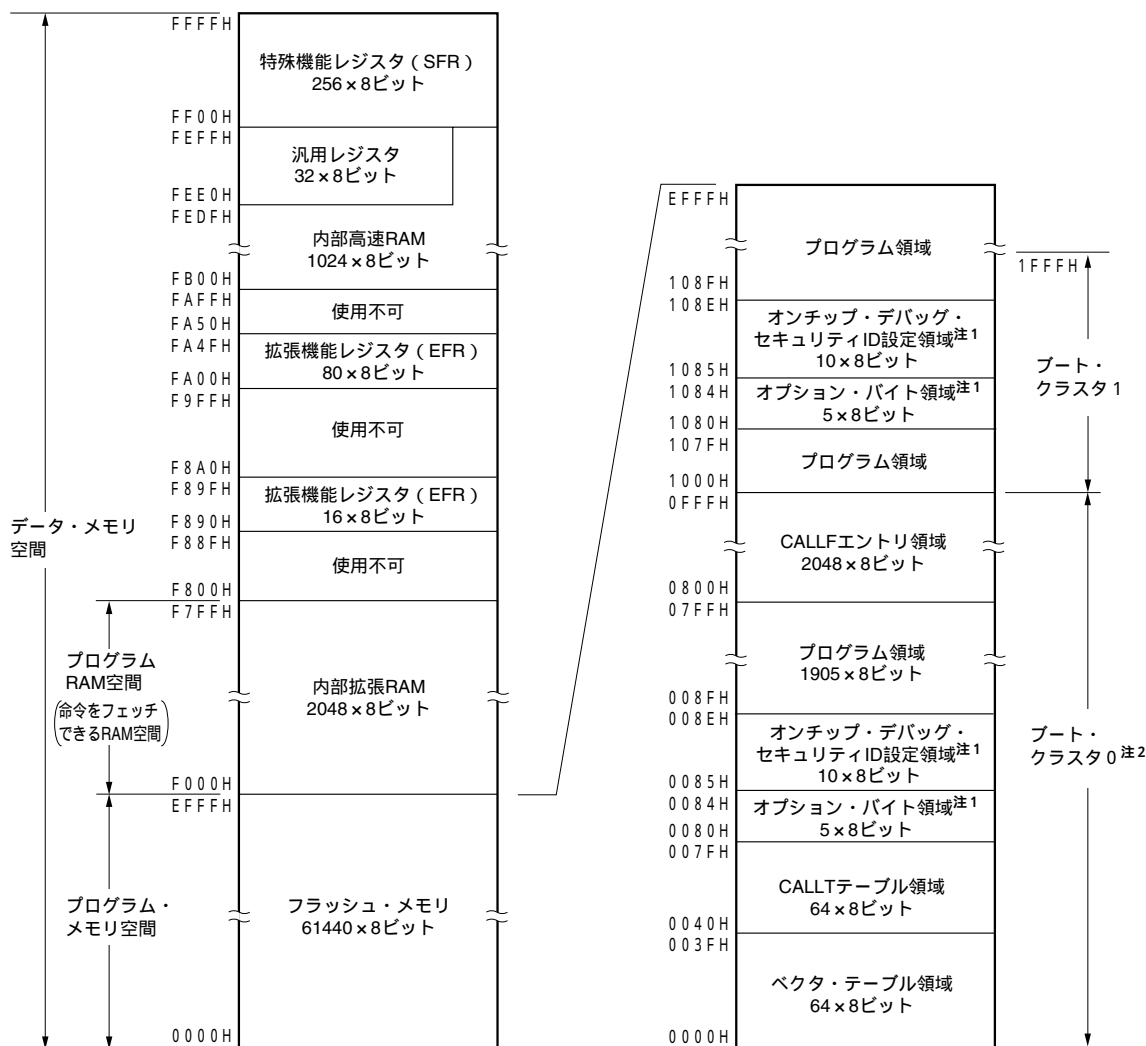
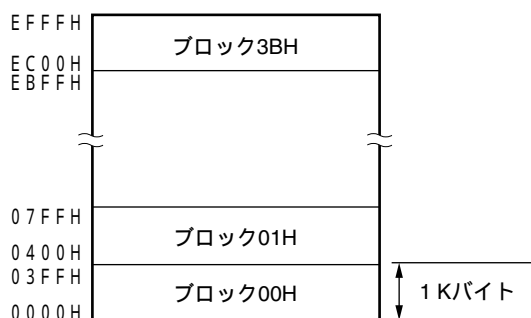


図3-3 メモリ・マップ (μPD78F0762, 78F0765)



- 注1. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティID設定
2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます (27.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については, 表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-03FFH	00H	4000H-43FFH	10H	8000H-83FFH	20H	C000H-C3FFH	30H
0400H-07FFH	01H	4400H-47FFH	11H	8400H-87FFH	21H	C400H-C7FFH	31H
0800H-0BFFH	02H	4800H-4BFFH	12H	8800H-8BFFH	22H	C800H-CBFFH	32H
0C00H-0FFFH	03H	4C00H-4FFFH	13H	8C00H-8FFFH	23H	CC00H-CFFFH	33H
1000H-13FFH	04H	5000H-53FFH	14H	9000H-93FFH	24H	D000H-D3FFH	34H
1400H-17FFH	05H	5400H-57FFH	15H	9400H-97FFH	25H	D400H-D7FFH	35H
1800H-1BFFH	06H	5800H-5BFFH	16H	9800H-9BFFH	26H	D800H-DBFFH	36H
1C00H-1FFFH	07H	5C00H-5FFFH	17H	9C00H-9FFFH	27H	DC00H-DFFFH	37H
2000H-23FFH	08H	6000H-63FFH	18H	A000H-A3FFH	28H	E000H-E3FFH	38H
2400H-27FFH	09H	6400H-67FFH	19H	A400H-A7FFH	29H	E400H-E7FFH	39H
2800H-2BFFH	0AH	6800H-6BFFH	1AH	A800H-ABFFH	2AH	E800H-EBFFH	3AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH	AC00H-AFFFH	2BH	EC00H-EFFFH	3BH
3000H-33FFH	0CH	7000H-73FFH	1CH	B000H-B3FFH	2CH		
3400H-37FFH	0DH	7400H-77FFH	1DH	B400H-B7FFH	2DH		
3800H-3BFFH	0EH	7800H-7BFFH	1EH	B800H-BBFFH	2EH		
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH	BC00H-BFFFH	2FH		

備考 μ PD78F0760, 78F0763 : ブロック番号00H-1FH

μ PD78F0761, 78F0764 : ブロック番号00H-2FH

μ PD78F0762, 78F0765 : ブロック番号00H-3BH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0/Kx2-Cは、製品ごとに次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-3 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μPD78F0760, 78F0763	フラッシュ ・メモリ	32768×8ビット（0000H-7FFFH）
μPD78F0761, 78F0764		49152×8ビット（0000H-BFFFH）
μPD78F0762, 78F0765		61440×8ビット（0000H-EFFFH）

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット信号入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-4 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	RESET入力, POC, LVI, WDT	0020H	INTTM000
0002H	INTCK2	0022H	INTTM010
	INTNMI	0024H	INTAD
0004H	INTLVI	0026H	INTSR0/INTSRE0
0006H	INTP0	0028H	INTRTC/INTRTCI
0008H	INTP1	002AH	INTTM51
000AH	INTP2	002CH	INTIICA0
000CH	INTP3	002EH	INTIICA1
000EH	INTP4/INTDA	0030H	INTKR/INTIICA2
0010H	INTP5/INTCE/INTERR	0032H	INTCS11
0012H	INTP6/INTRIN	0034H	INTTM001/INTSR61/INTSRE61
0014H	INTSR60/INTSRE60	0036H	INTTM011/INTST61
0016H	INTST60	0038H	INTTM002
0018H	INTCS110/INTST0	003AH	INTTM012/INTDMU
001AH	INTTMH1	003CH	INTRERR/INTGP/INTREND/ INTDFULL
001CH	INTTMH0		
001EH	INTTM50	003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084H, 1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時は0080H-0084Hに、ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第26章 **オプション・バイト**を参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域

0085H-008EH, 1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第28章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 内部データ・メモリ空間

78K0/Kx2-Cは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

表3 - 5 内部高速RAM容量

製 品	内部高速RAM
μPD78F0760, 78F0763	1024×8ビット (FB00H-FEFFFH)
μPD78F0761, 78F0764	
μPD78F0762, 78F0765	

プログラム領域として命令を書いて実行することはできません。

また、スタック・メモリは内部高速RAMを使用します。

(2) 内部拡張RAM

表3 - 6 内部拡張RAM容量

製 品	内部拡張RAM
μPD78F0760, 78F0763	-
μPD78F0761, 78F0764	1024×8ビット (F400H-F7FFFH)
μPD78F0762, 78F0765	2048×8ビット (F000H-F7FFFH)

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、スタック・メモリは内部拡張RAMを使用することができません。

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3 - 7 特殊機能レジスタ一覧参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Kx2-Cでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3 - 4から図3 - 6にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、

3.4 オペランド・アドレスのアドレッシングを参照してください。

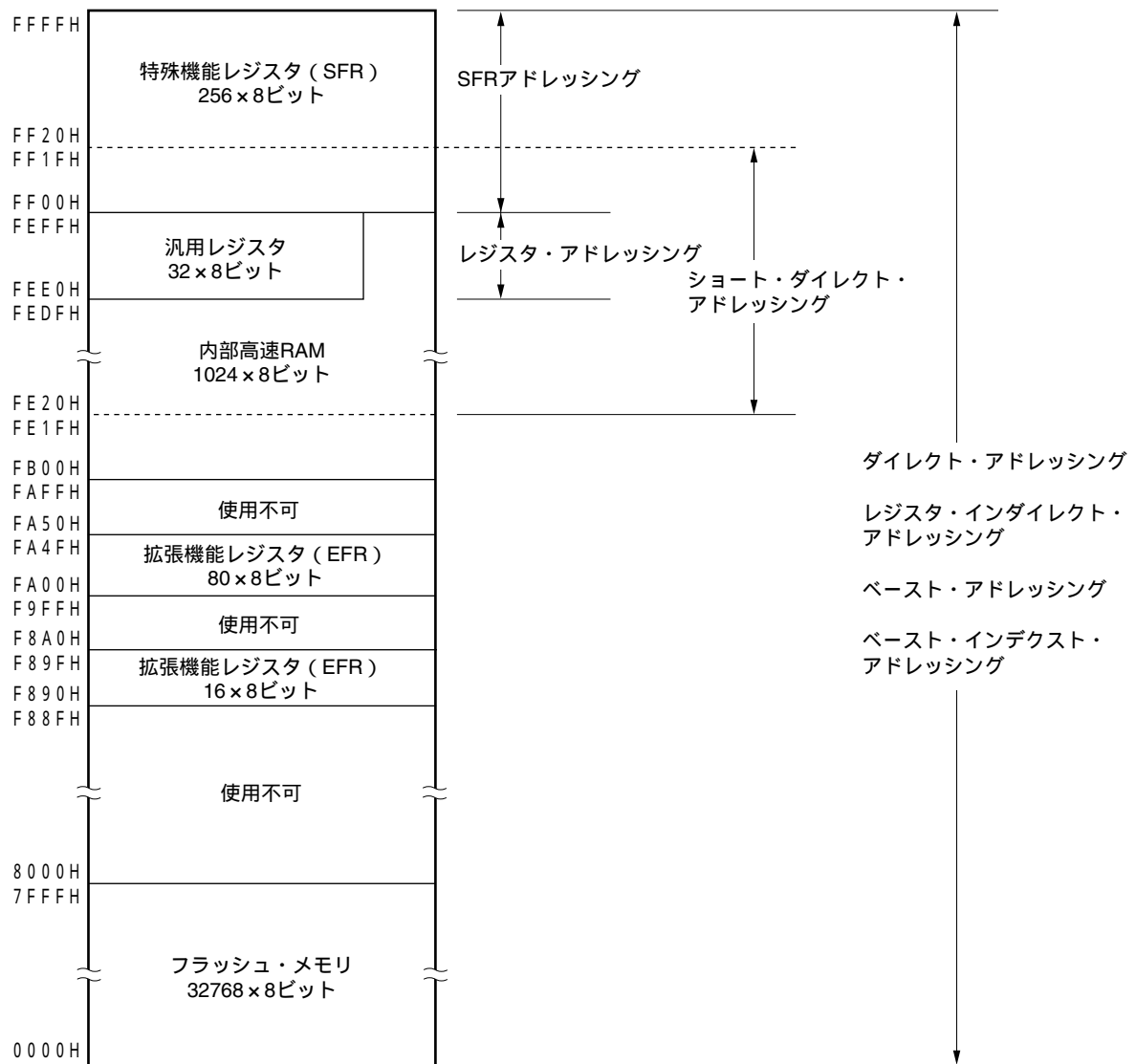
図3-4 データ・メモリとアドレッシングの対応 (μ PD78F0760, 78F0763)

図3-5 データ・メモリとアドレッシングの対応 (μ PD78F0761, 78F0764)

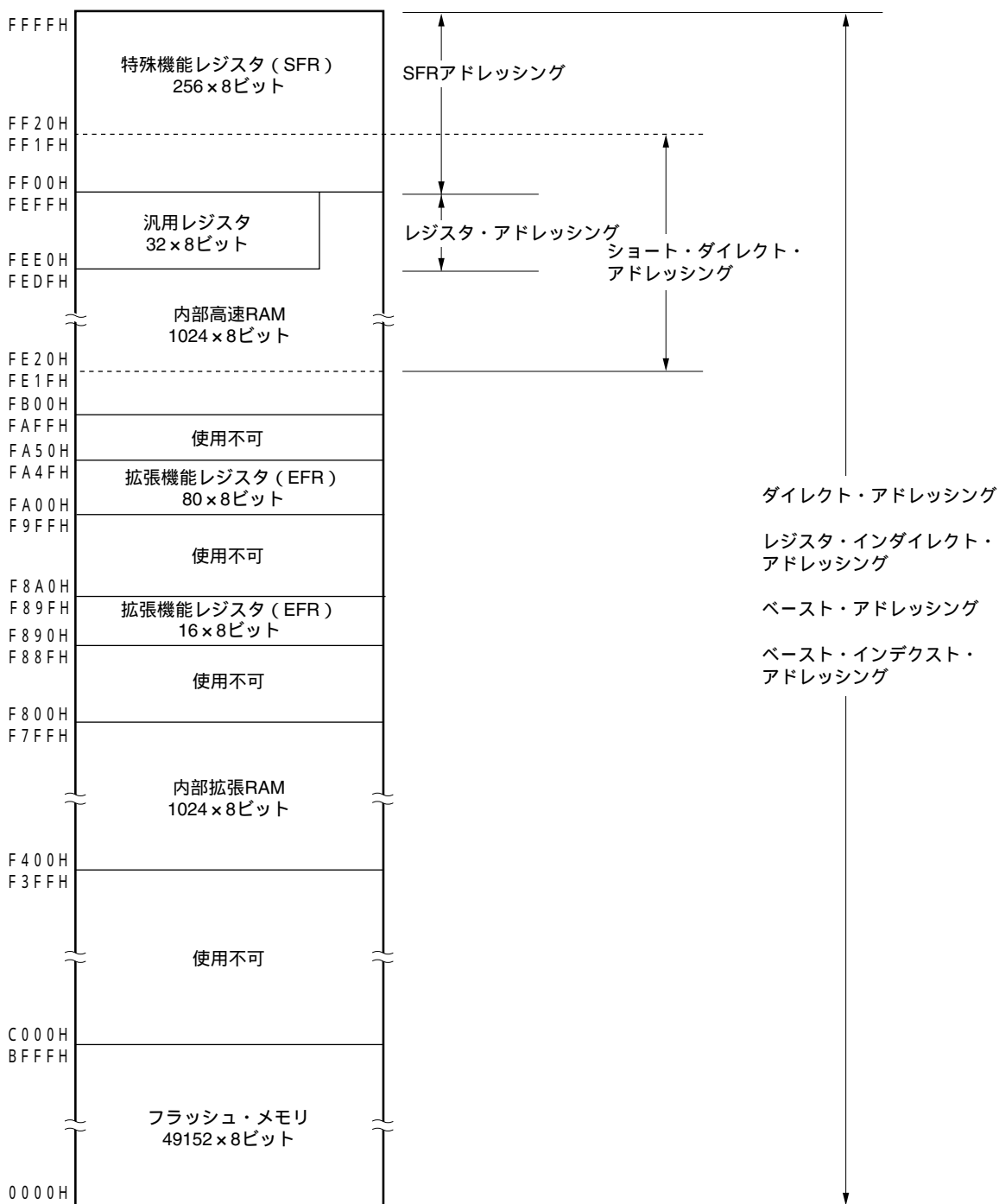
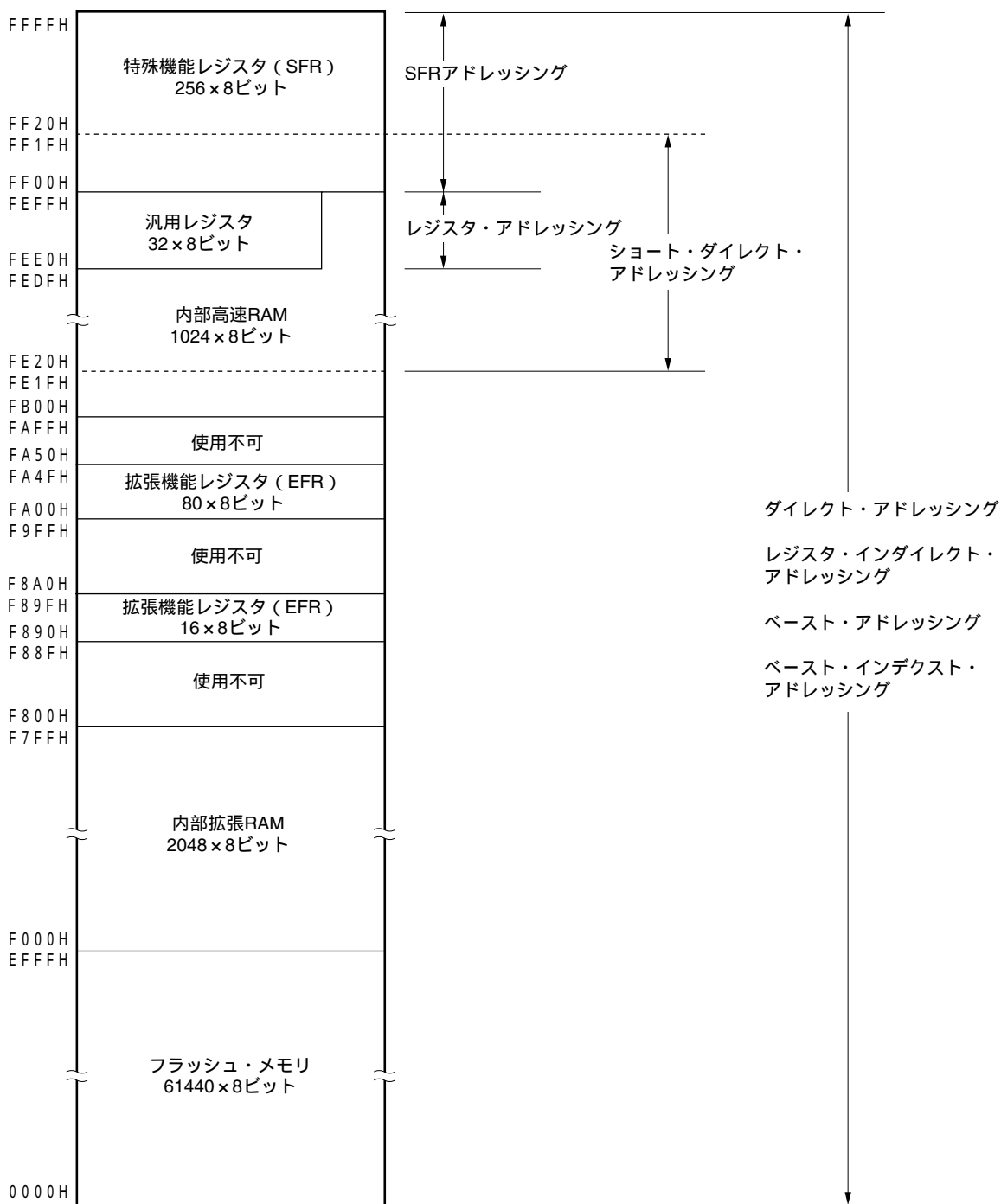


図3-6 データ・メモリとアドレッシングの対応 (μ PD78F0762, 78F0765)



3.2 プロセッサ・レジスタ

78K0/Kx2-Cは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

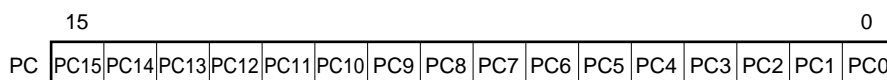
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



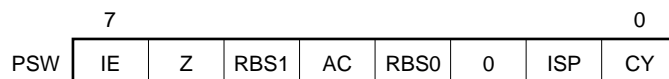
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサート・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (20.3(3) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

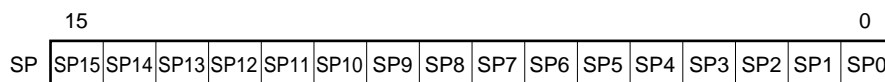
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 9 スタック・ポインタの構成



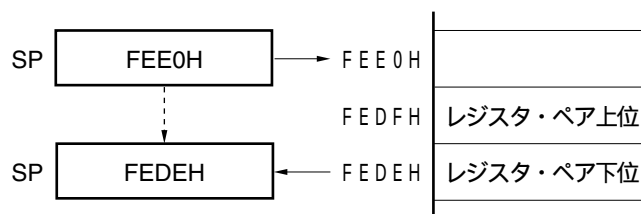
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 図3 - 11のようになります。

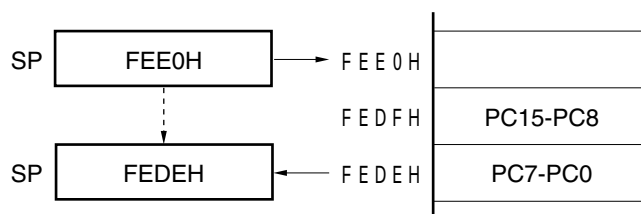
注意 SPの内容は、リセット信号の発生により不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-10 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

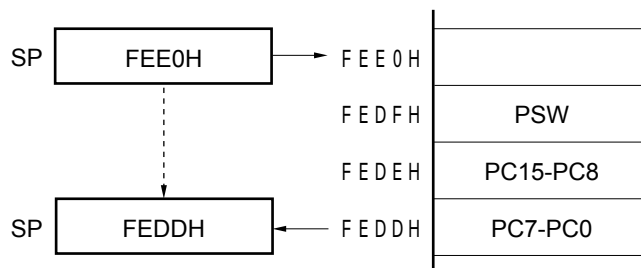
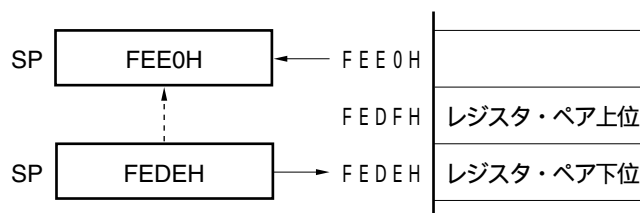
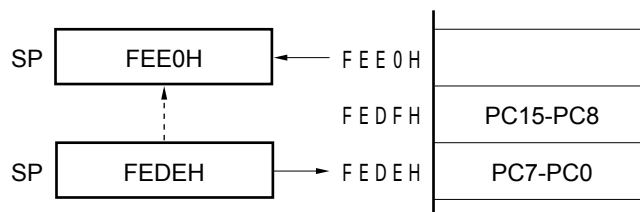


図3 - 11 スタック・メモリから復帰されるデータ

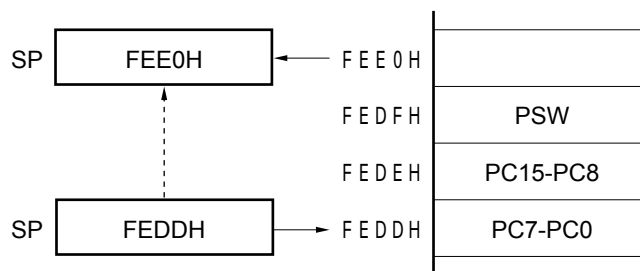
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

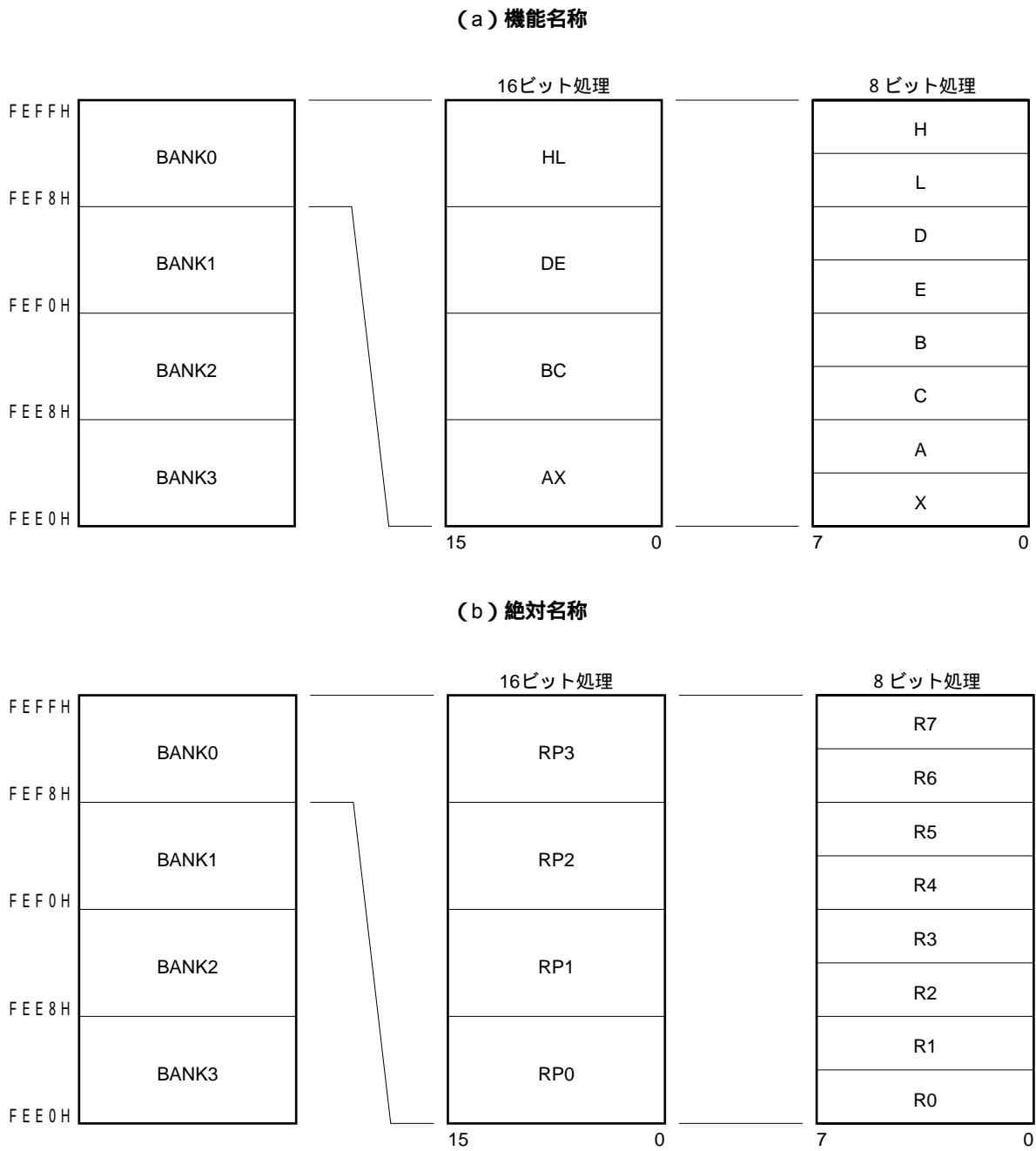
汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 12 汎用レジスタの構成



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

CPUの特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-7に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QBおよびSM+使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能なビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

表3-7 特殊機能レジスタ一覧(1/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	KC2-C	KE2-C
				1ビット	8ビット	16ビット			
FF00H	ポート・レジスタ0	P0	R/W			-	00H		
FF01H	ポート・レジスタ1	P1	R/W			-	00H		
FF02H	ポート・レジスタ2	P2	R/W			-	00H		
FF03H	ポート・レジスタ3	P3	R/W			-	00H		
FF04H	ポート・レジスタ4	P4	R/W			-	00H		
FF05H	ポート・レジスタ5	P5	R/W			-	00H	-	
FF06H	ポート・レジスタ6	P6	R/W			-	00H		
FF07H	ポート・レジスタ7	P7	R/W			-	00H		
FF08H	10ビットA/D変換結果レジスタ	ADCR	R	-	-		0000H		
FF09H	8ビットA/D変換結果レジスタ	ADCRH	R	-	-		00H		
FF0AH	受信バッファ・レジスタ60	RXB60	R	-	-		FFH		
FF0BH	送信バッファ・レジスタ60	TXB60	R/W	-	-		FFH		
FF0CH	ポート・レジスタ12	P12	R/W			-	00H		
FF0DH	ポート・レジスタ13	P13	R/W			-	00H		
FF0EH	ポート・レジスタ14	P14	R/W			-	00H		
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-	-		00H		
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H		
FF11H									
FF12H	16ビット・タイマ・キャプチャ/コンペア・レジスタ000	CR000	R/W	-	-		0000H		
FF13H									
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H		
FF15H									
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-	-		00H		
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-	-		00H		
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	-	-		00H		
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	-	-		00H		
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-	-		00H		
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-	-		00H		
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	-	-		00H		
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH		
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH		
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH		
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH		
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH		
FF25H	ポート・モード・レジスタ5	PM5	R/W			-	FFH	-	
FF26H	ポート・モード・レジスタ6	PM6	R/W			-	FFH		
FF27H	ポート・モード・レジスタ7	PM7	R/W			-	FFH		
FF28H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H		
FF29H	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H		
FF2AH	CEC自局アドレス設定レジスタ	CADR	R/W	-	-		0000H		
FF2BH									
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH		
FF2DH	ポート入力モード・レジスタ7	PIM7	R/W			-	FFH		
FF2EH	ポート・モード・レジスタ14	PM14	R/W			-	FFH		

表3-7 特殊機能レジスタ一覧(2/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	KC2-C	KE2-C
				1ビット	8ビット	16ビット			
FF2FH	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W			-	00H		
FF30H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H		
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H		
FF32H	ポート・ファンクション・レジスタ4	PF4	R/W			-	00H		
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H		
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H		
FF35H	ブルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H	-	
FF36H	ポート・ファンクション・レジスタ7	PF7	R/W			-	00H		
FF37H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H		
FF38H	16ビット・タイマ・キャプチャ/コンペア・レジスタ001	CR001	R/W	-	-		0000H		
FF39H									
FF3AH	16ビット・タイマ・キャプチャ/コンペア・レジスタ011	CR011	R/W	-	-		0000H		
FF3BH									
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H		
FF3DH	IICAシフト・レジスタ02	IICA02	R/W	-		-	00H		
FF3EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H		
FF3FH	リモコン受信制御レジスタ	RMCN	R/W			-	00H		
FF40H	クロック出力選択レジスタ	CKS	R/W			-	00H		
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	-		-	00H		
FF42H	CECコントロール・レジスタ0	CECCTL0	R/W			-	00H		
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W			-	00H		
FF44H	16ビット・タイマ・カウンタ01	TM01	R	-	-		0000H		
FF45H									
FF47H	CECコントロール・レジスタ1	CECCTL1	R/W			-	00H		
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H		
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H		
FF4AH	シリアルI/Oシフト・レジスタ11	SIO11	R	-		-	00H		
FF4BH	リアルタイム・カウンタ・クロック選択レジスタ	RTCCL	R/W			-	00H		
FF4CH	送信バッファ・レジスタ11	SOTB11	R/W	-		-	00H		
FF4DH	時計誤差補正レジスタ	SUBCUD	R/W			-	00H		
FF4EH	リモコン受信カウンタ・レジスタ	RMSCR	R	-		-	00H		
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H		
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ60	ASIM60	R/W			-	01H		
FF51H	CEC送信バッファ・レジスタ	CTXD	R/W	-		-	00H		
FF52H	CEC受信バッファ・レジスタ	CRXD	R	-		-	00H		
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60	ASIS60	R	-		-	00H		

表3-7 特殊機能レジスタ一覧(3/6)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時	KC2-C	KE2-C
					1ビット	8ビット	16ビット			
FF54H	リモコン受信データ・レジスタ	RMDR		R	-		-	00H		
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60	ASIF60		R	-		-	00H		
FF56H	クロック選択レジスタ60	CKSR60		R/W	-		-	00H		
FF57H	ポーレート・ジェネレータ・コントロール・レジスタ60	BRGC60		R/W	-		-	FFH		
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60	ASICL60		R/W			-	16H		
FF59H	アラーム分レジスタ	ALARMWM		R/W	-		-	00H		
FF5AH	アラーム時レジスタ	ALARMWH		R/W	-		-	12H		
FF5BH	アラーム曜日レジスタ	ALARMWW		R/W	-		-	00H		
FF5CH	16ビット・タイマ・キャプチャ/コンペア・レジスタ002	CR002		R/W	-	-		0000H		
FF5DH										
FF5EH	16ビット・タイマ・キャプチャ/コンペア・レジスタ012	CR012		R/W	-	-		0000H		
FF5FH										
FF60H	剰余データ・レジスタ0	SDR0	SDR0L	R	-			00H		
FF61H			SDR0H					00H		
FF62H	乗除算データ・レジスタA0	MDA0L	MDA0LL	R/W	-			00H		
FF63H			MDA0LH					00H		
FF64H		MDA0H	MDA0HL	R/W	-			00H		
FF65H			MDA0HH					00H		
FF66H			乗除算データ・レジスタB0					MDB0		
FF67H	MDB0H	00H								
FF68H	乗除算器コントロール・レジスタ0	DMUC0		R/W			-	00H		
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0		R/W			-	00H		
FF6AH	タイマ・クロック選択レジスタ50	TCL50		R/W			-	00H		
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W			-	00H		
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1		R/W			-	00H		
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1		R/W			-	00H		
FF6EH	キー・リターン・モード・レジスタ	KRM		R/W			-	00H		
FF6FH	リモコン受信シフト・レジスタ	RMSR		R	-		-	00H		
FF70H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	ASIM0		R/W			-	01H		
FF71H	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGC0		R/W	-		-	1FH		
FF72H	受信バッファ・レジスタ0	RXB0		R	-		-	FFH		
FF73H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	ASIS0		R	-		-	00H		
FF74H	送信シフト・レジスタ0	TXS0		W	-		-	FFH		

表3-7 特殊機能レジスタ一覧(4/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	KC2-C	KE2-C
				1ビット	8ビット	16ビット			
FF7AH	IICAコントロール・レジスタ02	IICACTL02	R/W			-	00H		
FF7BH	IICAコントロール・レジスタ12	IICACTL12	R/W			-	00H		
FF7CH	IICAフラグ・レジスタ02	IICAF02	R/W			-	00H		
FF7DH	IICAステータス・レジスタ02	IICAS02	R			-	00H		
FF7EH	IICAロウ・レベル幅設定レジスタ02	IICAWL02	R/W	-		-	FFH		
FF7FH	IICAハイ・レベル幅設定レジスタ02	IICAWH02	R/W	-		-	FFH		
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H		
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W			-	00H		
FF82H	16ビット・タイマ・カウンタ02	TM02	R	-	-		0000H		
FF83H									
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	-		-	00H		
FF85H	IICAシフト・レジスタ01	IICA01	R/W	-		-	00H		
FF86H	スレーブ・アドレス・レジスタ01	SVA01	R/W	-		-	00H		
FF87H	IICAフラグ・レジスタ01	IICAF01	R/W			-	00H		
FF88H	シリアル動作モード・レジスタ11	CSIM11	R/W			-	00H		
FF89H	シリアル・クロック選択レジスタ11	CSIC11	R/W			-	00H		
FF8AH	IICAコントロール・レジスタ01	IICACTL01	R/W			-	00H		
FF8BH	IICAコントロール・レジスタ11	IICACTL11	R/W			-	00H		
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W			-	00H		
FF90H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ61	ASIM61	R/W			-	01H	-	
FF92H	受信バッファ・レジスタ61	RXB61	R	-		-	FFH	-	
FF93H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ61	ASIS61	R	-		-	00H	-	
FF94H	送信バッファ・レジスタ61	TXB61	R/W	-		-	FFH	-	
FF95H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ61	ASIF61	R	-		-	00H	-	
FF96H	クロック選択レジスタ61	CKSR61	R/W	-		-	00H	-	
FF97H	ポーレート・ジェネレータ・コントロール・レジスタ61	BRGC61	R/W	-		-	FFH	-	
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/ 9AH ^注		
FF9AH	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W			-	00H		
FF9BH	プリスケラ・モード・レジスタ01	PRM01	R/W			-	00H		
FF9CH	キャプチャ/コンペア・コントロール・レジスタ01	CRC01	R/W			-	00H	-	
FF9DH	16ビット・タイマ出力コントロール・レジスタ01	TOC01	R/W			-	00H	-	

注 WDTEのリセット値は、オプション・バイトの設定で決定します。

表3-7 特殊機能レジスタ一覧(5/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	K2-C	KE2-C
				1ビット	8ビット	16ビット			
FF9EH	スレーブ・アドレス・レジスタ02	SVA02	R/W	-		-	00H		
FF9FH	クロック動作モード選択レジスタ	OSCCTL	R/W			-	00H		
FFA0H	内蔵発振モード・レジスタ	RCM	R/W			-	80H ^{注1}		
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W			-	00H		
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W			-	80H		
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H		
FFA4H	発振安定時間選択レジスタ	OSTS	R/W	-		-	05H		
FFA5H	CEC通信エラー・ステータス・レジスタ	CECES	R	-		-	00H		
FFA6H	CEC通信ステータス・レジスタ	CECS	R	-		-	00H		
FFA7H	CEC通信エラー・フラグ・クリア・トリガ・レジスタ	CEFC	R/W			-	00H		
FFA8H	16ビット・タイマ出力コントロール・レジスタ02	TMC02	R/W			-	00H		
FFA9H	ブリスケーラ・モード・レジスタ02	PRM02	R/W			-	00H		
FFAAH	キャプチャ/コンペア・コントロール・レジスタ02	CRC02	R/W			-	00H	-	
FFABH	16ビット・タイマ出力コントロール・レジスタ02	TOC02	R/W			-	00H	-	
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注2}		
FFADH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H		
FFAEH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H		
FFAFH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H		
FFB0H	IICAシフト・レジスタ00	IICA00	R/W	-		-	00H		
FFB1H	スレーブ・アドレス・レジスタ00	SVA00	R/W	-		-	00H		
FFB2H	IICAコントロール・レジスタ00	IICACTL00	R/W			-	00H		
FFB3H	IICAコントロール・レジスタ10	IICACTL10	R/W			-	00H		
FFB4H	IICAフラグ・レジスタ00	IICAF00	R/W			-	00H		
FFB5H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ61	ASICL61	R/W			-	16H	-	
FFB6H	IICAステータス・レジスタ00	IICAS00	R			-	00H		
FFB7H	リモコン受信データ出力制御レジスタ	RMSW	R/W			-	00H		
FFB8H	IICAロウ・レベル幅設定レジスタ00	IICAWL00	R/W	-		-	FFH		
FFB9H	IICAハイ・レベル幅設定レジスタ00	IICAWH00	R/W	-		-	FFH		
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W			-	00H		
FFBBH	ブリスケーラ・モード・レジスタ00	PRM00	R/W			-	00H		

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. RESFのリセット値は、リセット要因により変化します。

表3-7 特殊機能レジスタ一覧(6/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	KE2-C	KE2-C
				1ビット	8ビット	16ビット			
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W			-	00H		
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W			-	00H		
FFBEH	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注1}		
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	00H ^{注1}		
FFC0H	-	PFCMD ^{注2}	-	-	-	-	不定		
FFC2H	-	PFS ^{注2}	-	-	-	-	不定		
FFC4H	-	FLPMC ^{注2}	-	-	-	-	不定		
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W			00H		
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W			00H		
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W			00H		
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W			00H		
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W			FFH		
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W			FFH		
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W			FFH		
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W			FFH		
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W			FFH		
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W			FFH		
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W			FFH		
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W			FFH		
FFEDH	IICAステータス・レジスタ01	IICAS01	R			-	00H		
FFEEH	IICAロウ・レベル幅設定レジスタ01	IICAWL01	R/W	-		-	FFH		
FFEFH	IICAハイ・レベル幅設定レジスタ01	IICAWH01	R/W	-		-	FFH		
FFF0H	メモリ・サイズ切り替えレジスタ ^{注3,4}	IMS	R/W	-		-	CFH		
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{注3,4}	IXS	R/W	-		-	0CH	注5	注5
FFF9H	リモコン受信割り込みステータス・レジスタ	INTS	R			-	00H		
FFFAH	リモコン受信割り込みステータス・クリア・レジスタ	INTC	R/W			-	00H		
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W			-	01H		

注1. LVIM, LVISのリセット値は、リセット要因により変化します。

- セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。
- IMSとIXSのリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2-Cすべての製品において一定(IMS = CFH, IXS = 0CH)となっています。したがって、リセット解除後、製品ごとに表3-1に示す値を必ず設定してください。
- オンチップ・デバッグ機能搭載品はIMSとIXSの設定により、ROM容量とRAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSとIXSの設定は、デバッグ対象の製品に合わせてください。
- 内部拡張RAMを内蔵している製品のみ内蔵。

備考 拡張機能レジスタ(EFR)については、表3-8 拡張機能レジスタ(EFR)一覧を参照してください。

3.2.4 拡張機能レジスタ (EFR : Extended Function Register)

拡張機能レジスタ (EFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

EFR空間は、F890H-F89FHとFA00H-FA4FHの領域です。SFR領域 (FF00H-FFFFH) 以外のSFRが割り付けられています。

EFRは、演算命令、転送命令、ビット操作命令などにより、操作できます。操作可能なビット単位 (1, 8, 16) は、各EFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

HLレジスタにEFRのアドレスを指定し、1ビット操作命令のオペランド ([HL].bit) を記述します。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6にEFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

EFRのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QBおよびSM+ for 78K0/KX2使用時に命令のオペランドとして記述できます。

- **R/W**

該当するEFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 EFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.3 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3-8 拡張機能レジスタ (EFR) 一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	KE2-C	KE2-C
				1ビット	8ビット	16ビット			
F890H F891H	サブカウント・レジスタ	RSUBC	R	-	-		0000H		
F892H	秒カウント・レジスタ	SEC	R/W	-		-	00H		
F893H	分カウント・レジスタ	MIN	R/W	-		-	00H		
F894H	時カウント・レジスタ	HOUR	R/W	-		-	12H		
F895H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H		
F896H	日カウント・レジスタ	DAY	R/W	-		-	01H		
F897H	月カウント・レジスタ	MONTH	R/W	-		-	01H		
F898H	年カウント・レジスタ	YEAR	R/W	-		-	00H		
FA04H FA05H	CEC送信スタート・ビットのビット幅設定レジスタ	STATB	R/W	-	-		0000H		
FA06H FA07H	CEC送信スタート・ビットのロウ幅設定レジスタ	STATL	R/W	-	-		0000H		
FA08H FA09H	CEC送信ロジカル0のロウ幅設定レジスタ	LGC0L	R/W	-	-		0000H		
FA0AH FA0BH	CEC送信ロジカル1のロウ幅設定レジスタ	LGC1L	R/W	-	-		0000H		
FA0CH FA0DH	CEC送信データ・ビットのビット幅設定レジスタ	DATB	R/W	-	-		0000H		
FA0EH FA0FH	CEC受信データ・サンプリング時間設定レジスタ	NOMT	R/W	-	-		0000H		
FA10H FA11H	CEC受信スタート・ビット・ロウ幅のMIN.値設定レジスタ	STATLL	R/W	-	-		0000H		
FA12H FA13H	CEC受信スタート・ビット・ロウ幅のMAX.値設定レジスタ	STATLH	R/W	-	-		0000H		
FA14H FA15H	CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ	STATBL	R/W	-	-		0000H		
FA16H FA17H	CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ	STATBH	R/W	-	-		0000H		
FA18H FA19H	CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ	LGC0LL	R/W	-	-		0000H		
FA1AH FA1BH	CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ	LGC0LH	R/W	-	-		0000H		
FA1CH FA1DH	CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ	LGC1LL	R/W	-	-		0000H		
FA1EH FA1FH	CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ	LGC1LH	R/W	-	-		0000H		
FA20H FA21H	CEC受信データ・ビットのビット幅のMIN.値設定レジスタ	DATBL	R/W	-	-		0000H		
FA22H FA23H	CEC受信データ・ビットのビット幅のMAX.値設定レジスタ	DATBH	R/W	-	-		0000H		

表3-8 拡張機能レジスタ (EFR) 一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	KE2-C	KE1-C
				1ビット	8ビット	16ビット			
FA24H FA25H	CECデータ・ビットの1ビット幅設定レジスタ	NOMP	R/W	-	-		0000H		
FA44H	リモコン受信GPLSコンペア・レジスタ	RMGPLS	R/W	-		-	00H		
FA45H	リモコン受信GPLLコンペア・レジスタ	RMGPLL	R/W	-		-	00H		
FA46H	リモコン受信GPHSコンペア・レジスタ	RMGPHS	R/W	-		-	00H		
FA47H	リモコン受信GPHLコンペア・レジスタ	RMGPHL	R/W	-		-	00H		
FA48H	リモコン受信DLSコンペア・レジスタ	RMDLS	R/W	-		-	00H		
FA49H	リモコン受信DLLコンペア・レジスタ	RMDLL	R/W	-		-	00H		
FA4AH	リモコン受信DH0Sコンペア・レジスタ	RMDH0S	R/W	-		-	00H		
FA4BH	リモコン受信DH0Lコンペア・レジスタ	RMDH0L	R/W	-		-	00H		
FA4CH	リモコン受信DH1Sコンペア・レジスタ	RMDH1S	R/W	-		-	00H		
FA4DH	リモコン受信DH1Lコンペア・レジスタ	RMDH1L	R/W	-		-	00H		
FA4EH	リモコン受信エンド幅選択レジスタ	RMER	R/W	-		-	00H		

備考 SFR領域のSFRについては、表3-7 特殊機能レジスタ一覧を参照してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

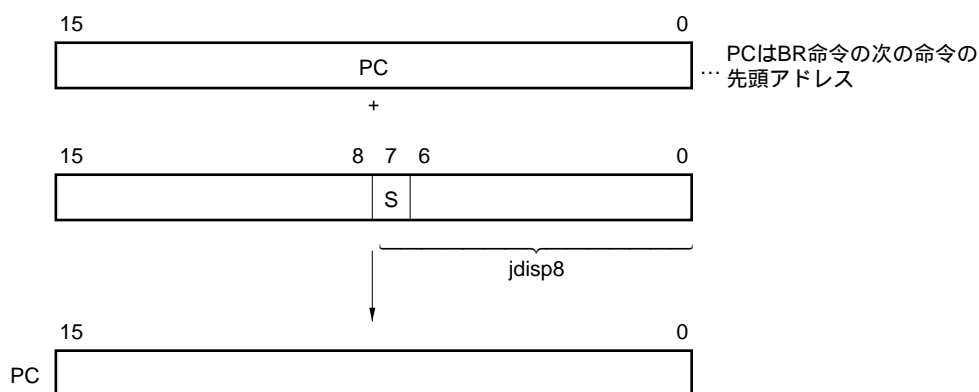
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、 は全ビット0

S = 1のとき、 は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

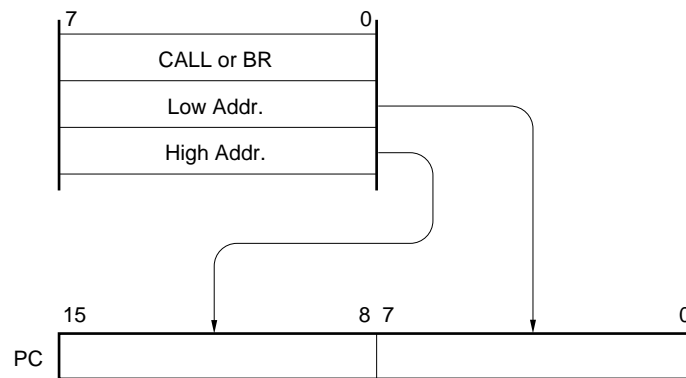
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

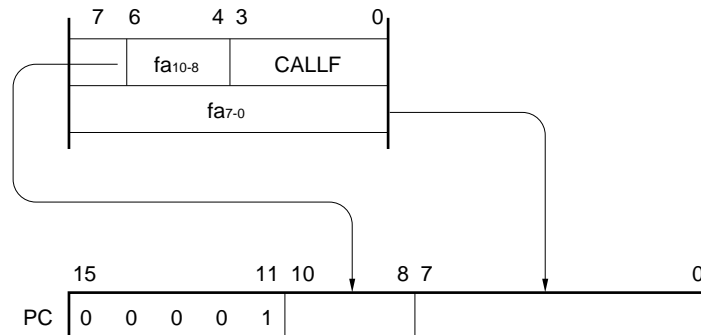
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



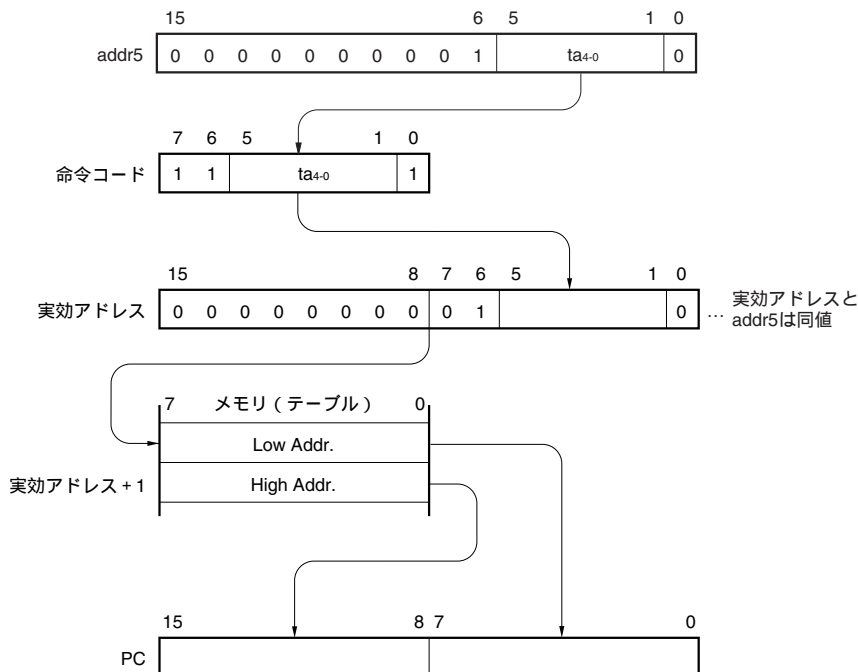
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



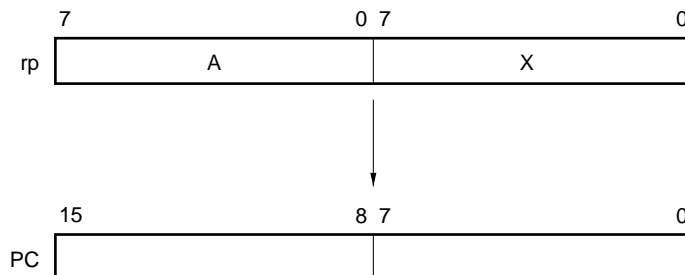
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Kx2-Cの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, PRn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

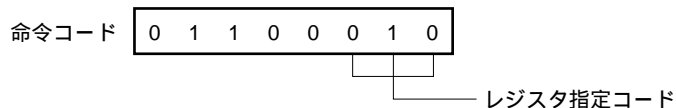
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

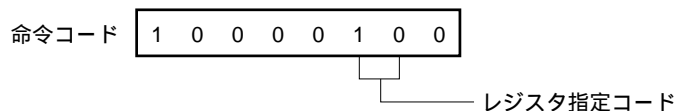
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

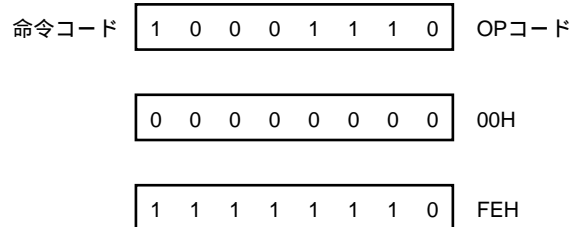
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

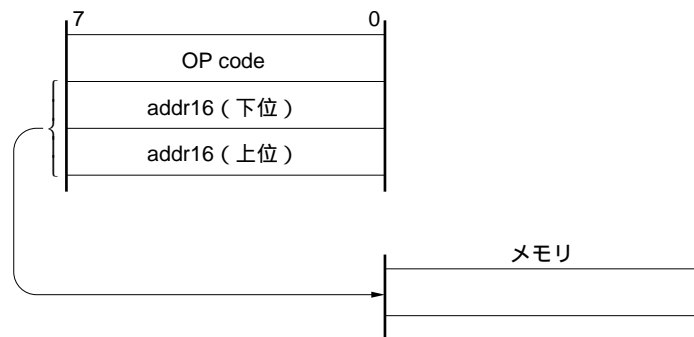
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域 (FF00H-FF1FH) は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

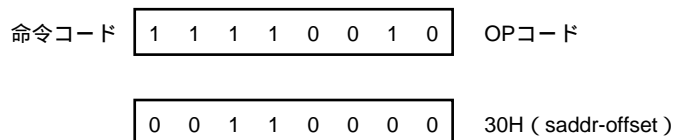
実効アドレスのビット8は、8ビット・イミューディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

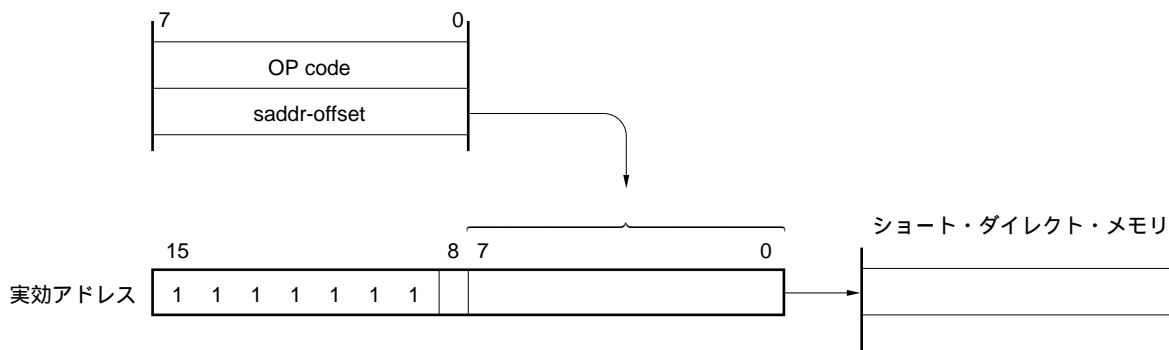
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ (偶数アドレスのみ)

【記述例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



【図解】



8ビット・イミューディエト・データが20H-FFHのとき、 = 0

8ビット・イミューディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

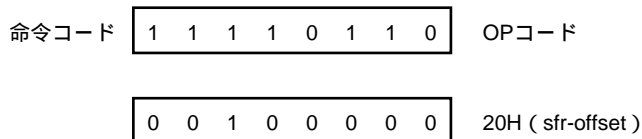
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

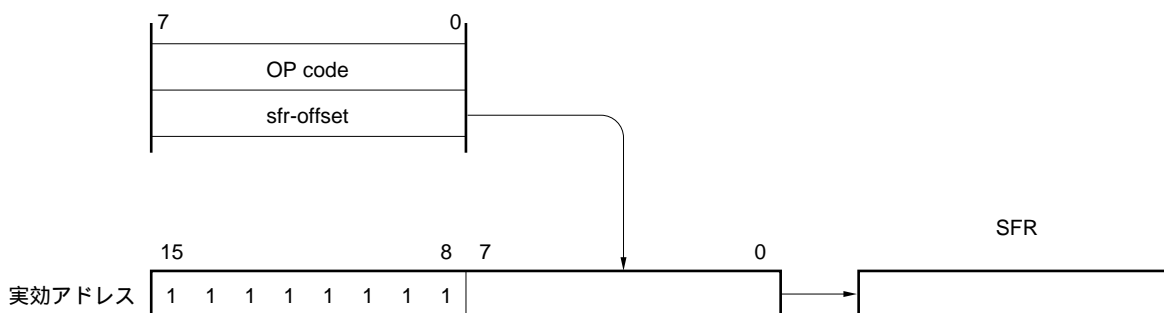
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

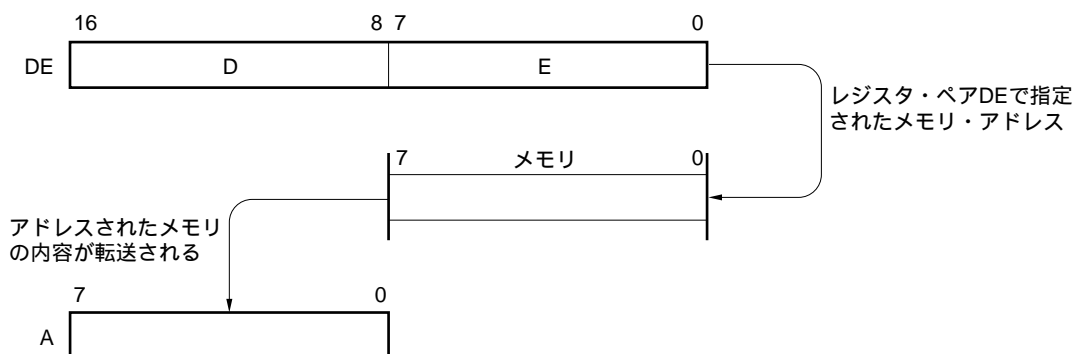
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

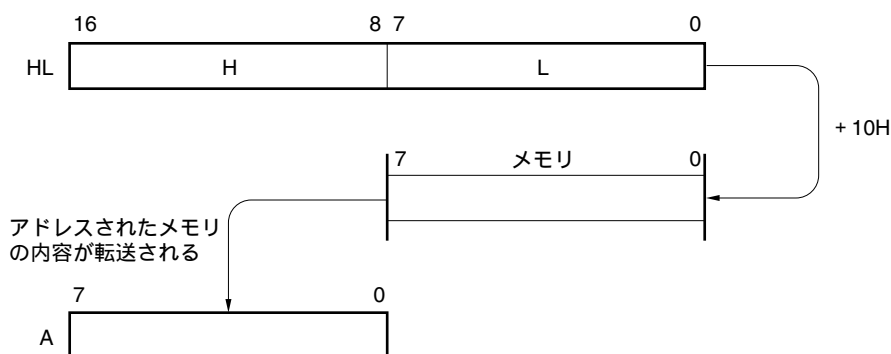
MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

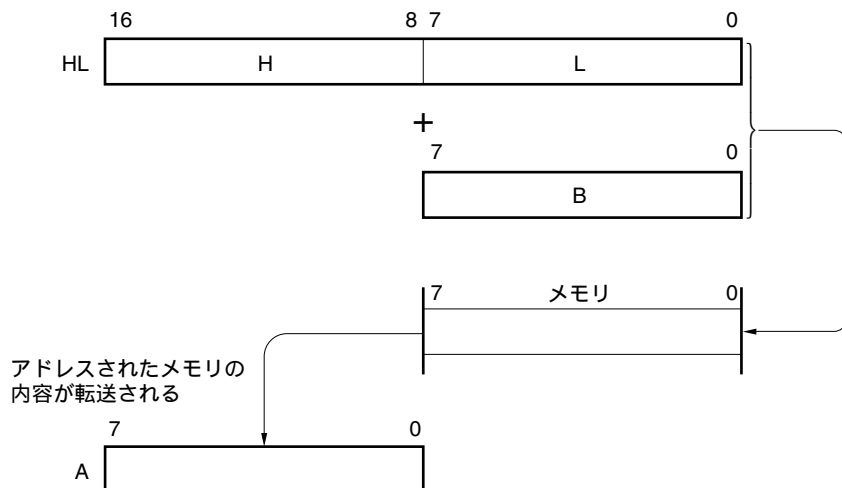
【記述例】

MOV A, [HL+B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

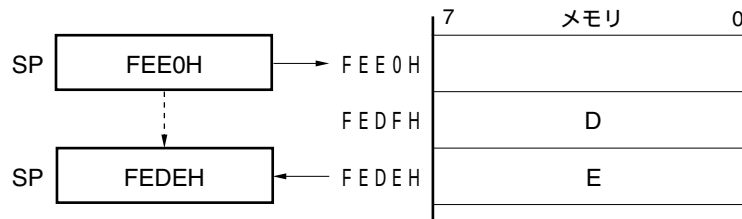
【記述例】

PUSH DE ; DEレジスタを退避する場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源 (AV_{REF}, V_{DD})

- ・ 78K0/KC2-C : 48ピン・プラスチックLQFP (ファインピッチ) (7x7)

電源	対応する端子
AV _{REF}	P20-P27
V _{DD}	P20-P27以外の端子

表4 - 2 各端子の入出力バッファ電源 (AV_{REF}, EV_{DD}, V_{DD})

- ・ 78K0/KE2-C : 64ピン・プラスチックLQFP (ファインピッチ) (10x10)

電源	対応する端子
AV _{REF}	P20-P27
EV _{DD}	P20-P27, P121-P124以外のポート端子
V _{DD}	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子

78K0/Kx2-Cは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 **端子機能**を参照してください。

表4-3 ポートの機能(1/2)

KE2C	KE2C	機能名称	入出力	機能	リセット時	兼用機能
		P00	入出力	ポート0。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
		P01				TI010/TO00
-		P02				-
-		P03				-
-		P04				-
-		P05				TI001
-		P06				TI011/TO01
		P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
		P11				SI10/RxD0
		P12				SO10
		P13				TxD60
		P14				RxD60
		P15				TOH0
		P16				TOH1/INTP5
		P17				TI50/TO50
		P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ入力	ANI0-ANI7
		P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
		P31				INTP2/OCD1A
		P32				ROUT/INTP3/ OCD1B
		P33				TI51/ TO51/ INTP4
		P40	入出力	ポート4。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	CECOUT/RTC1HZ
		P41				CECIN/RTCDIV/ RTCCCL
-		P42				TxD61
-		P43				RxD61
-		P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI002
-		P51				TI012/TO02
-		P52, P53				-
		P60	入出力	ポート6。 4ビット入出力ポート。 N-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCLA0
		P61				SDAA0
		P62				SCLA1
		P63				SDAA1

備考 : 搭載, - : 非搭載

表4-3 ポートの機能(2/2)

KC2C	KE2C	機能名称	入出力	機能	リセット時	兼用機能
		P70	入出力	ポート7。 入出力ポート。 N-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCLA2/KR0
		P71				SDAA2/KR1
		P72				CECIO/KR2
		P73				SI11/KR3
注		P74				SO11/KR4
注		P75				SCK11/KR5
-		P76				KR6/SSI11
-		P77				KR7
		P120	入出力	ポート12。 1ビットの入出力ポートと4ビットの入力ポート。 P120のみ、入力/出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
		P121				X1/OCD0A
		P122				X2/EXCLK/OCD0B
		P123				XT1
		P124				XT2
		P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	-
		P140	入出力	ポート14。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL/INTP6/RIN
-		P141				BUZ

注 78K0/KC2-Cは、KR4, KR5端子はありません。

備考 : 搭載, - : 非搭載

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-4 ポートの構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> ・ 78K0/KC2-C <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM0-PM4, PM6, PM7, PM12, PM14 ポート・レジスタ (Pxx) : P0-P4, P6, P7, P12-P14 プルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3, PU4, PU7, PU12, PU14 ・ 78K0/KE2-C <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM0-PM7, PM12, PM14 ポート・レジスタ (Pxx) : P0-P7, P12-P14 プルアップ抵抗オプション・レジスタ (PUxx) : PU0, PU1, PU3-PU5, PU7, PU12, PU14 ・ 共通 <ul style="list-style-type: none"> ポート・ファンクション・レジスタ4 (PF4) ポート・ファンクション・レジスタ7 (PF7) ポート出力モード・レジスタ7 (PIM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	<ul style="list-style-type: none"> ・ 78K0/KC2-C : 合計41本 (CMOS入出力 : 26本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 10本) ・ 78K0/KE2-C : 合計55本 (CMOS入出力 : 38本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 12本)
プルアップ抵抗	<ul style="list-style-type: none"> ・ 78K0/KC2-C : 合計19本 ・ 78K0/KE2-C : 合計31本

4.2.1 ポート0

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P00/TI000		
P01/TI010/TO00		
P02	-	
P03	-	
P04	-	
P05/TI001	-	
P06/TI011/TO01	-	

備考 : 搭載, - : 非搭載

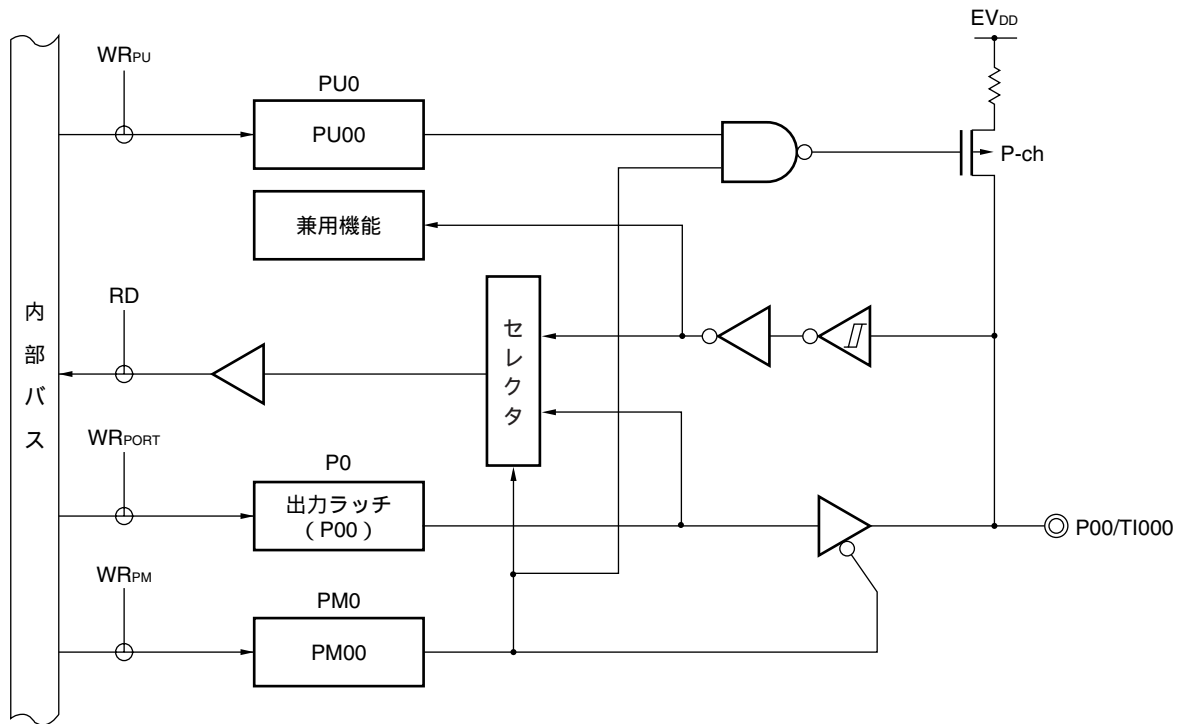
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P06端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力があります。

リセット信号の発生により、入力モードになります。

図4-1～図4-5にポート0のブロック図を示します。

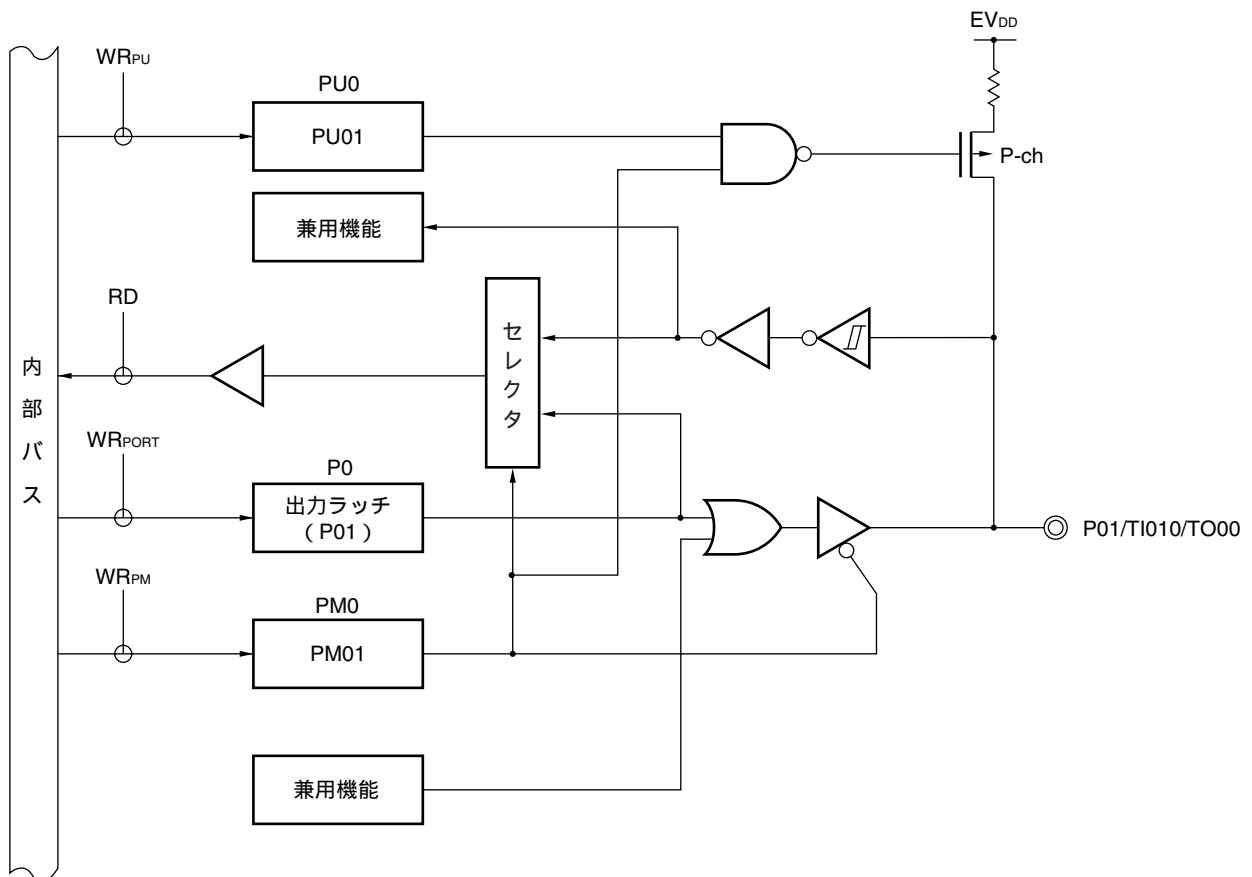
図4 - 1 P00のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

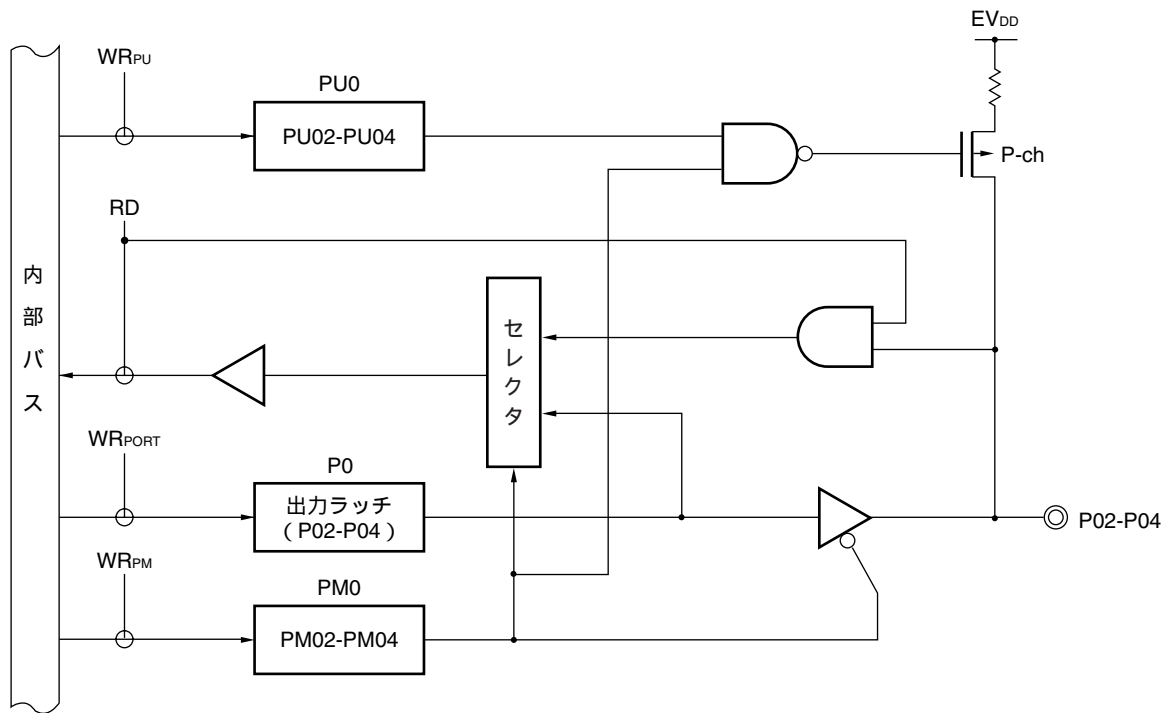
図4-2 P01のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

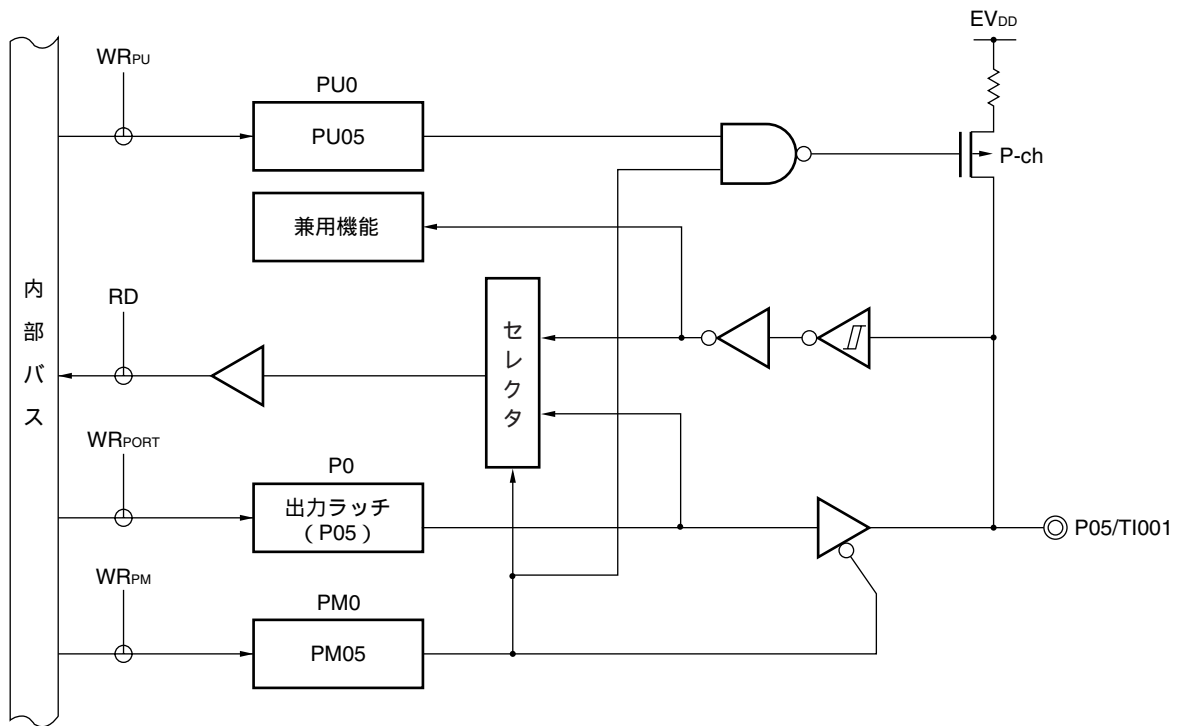
備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

図4-3 P02-P04のブロック図



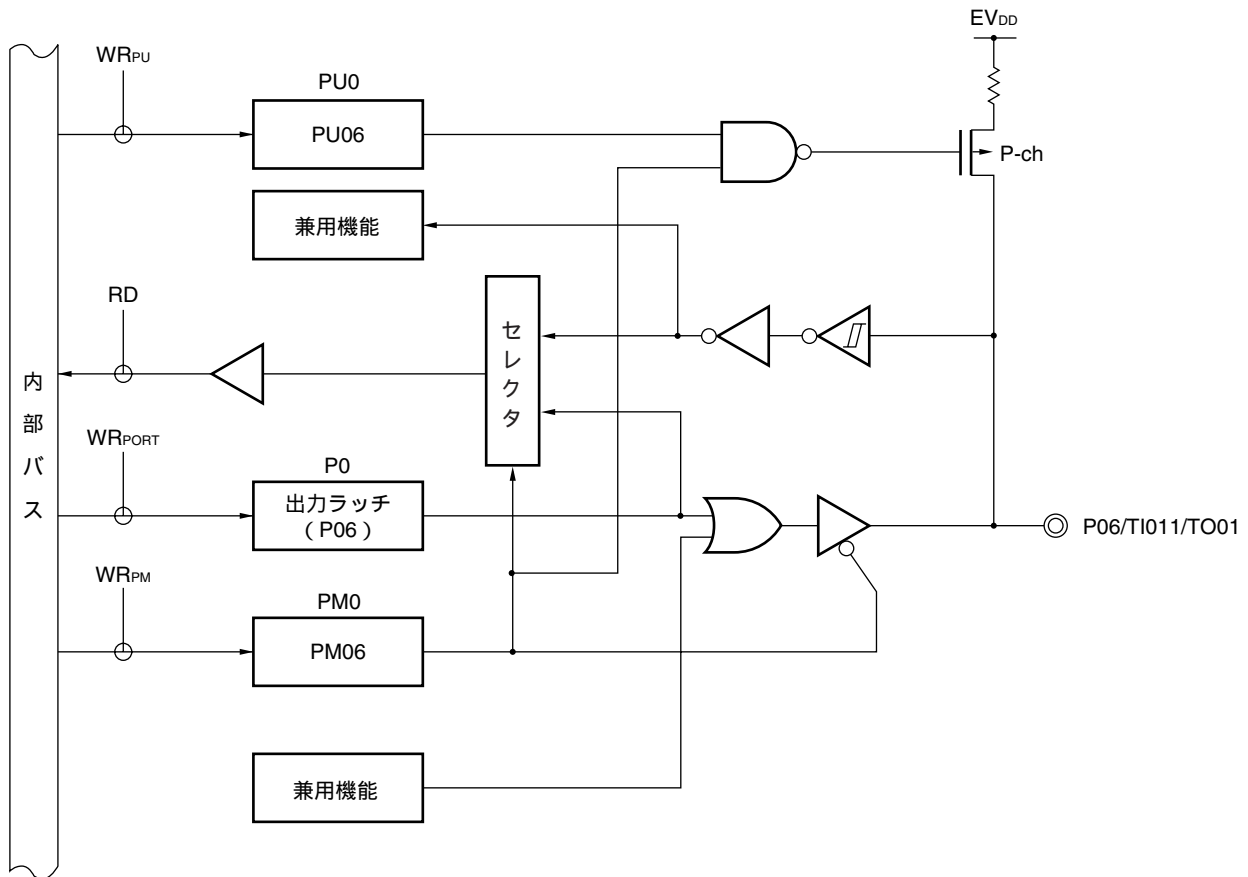
- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

図4-4 P05のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図4 - 5 P06のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

4.2.2 ポート1

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P10/SCK10/TxD0		
P11/SI10/RxD0		
P12/SO10		
P13/TxD60		
P14/RxD60		
P15/TOH0		
P16/TOH1/INTP5		
P17/TI50/TO50		

備考 : 搭載

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

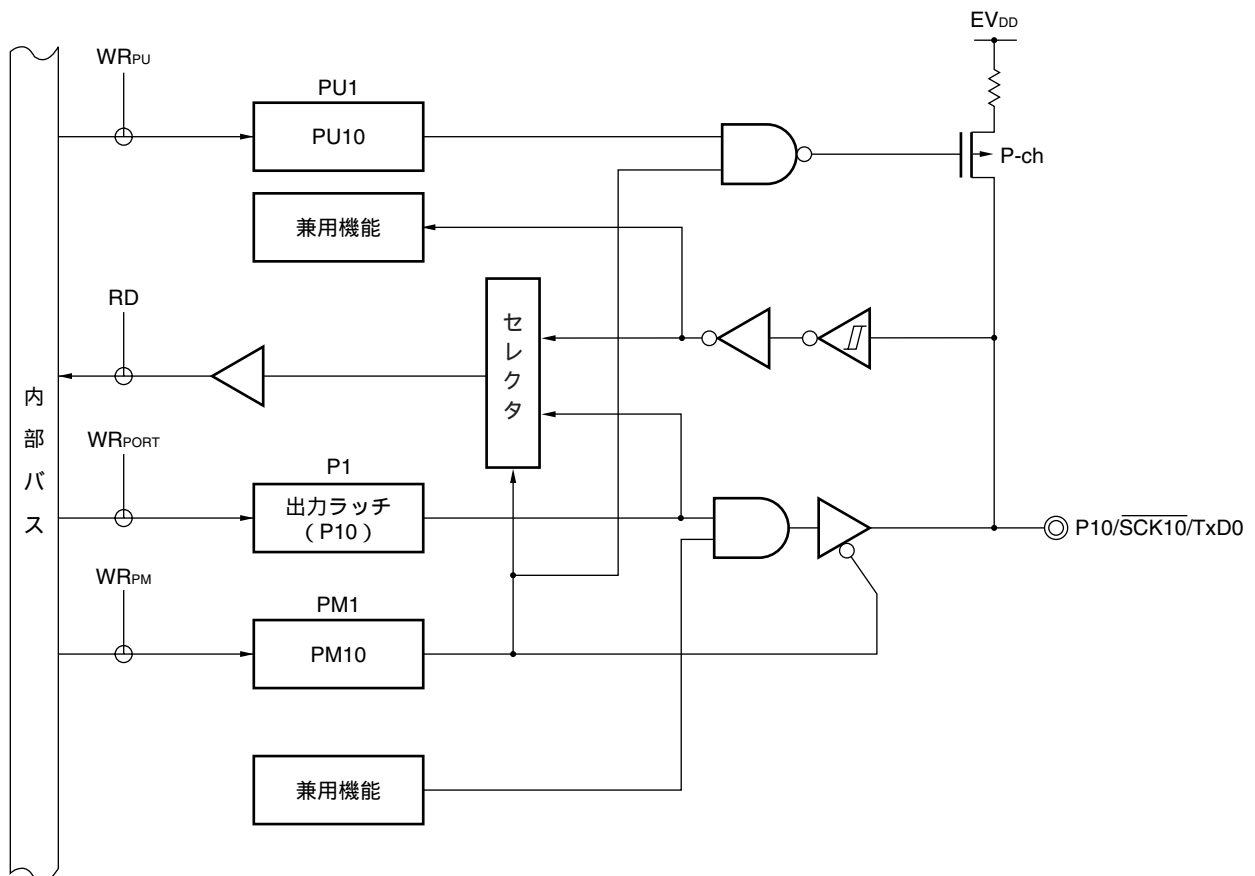
また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 6 ~ 図4 - 10にポート1のブロック図を示します。

- 注意1.** P10/SCK10/TxD0, P12/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
- 2.** P13/TxD60を汎用ポートとして使用する場合は、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット0 (TXDLV60) を0 (TxD60通常出力) に設定してください。

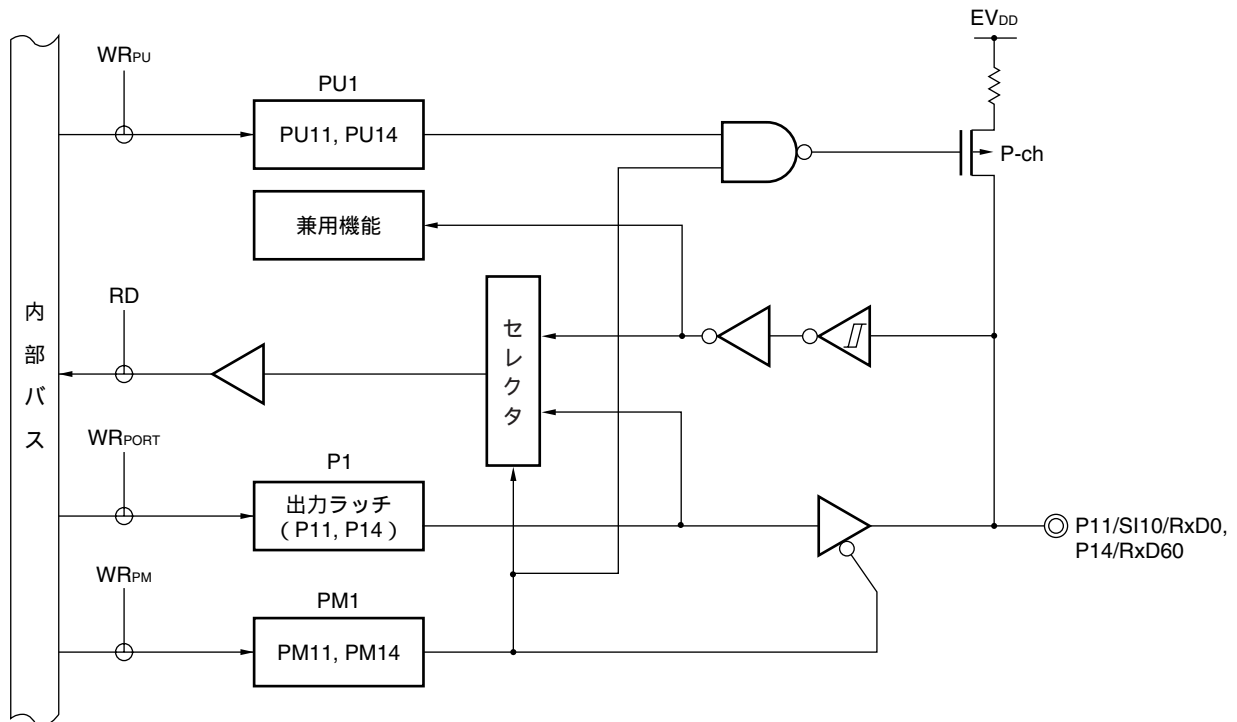
図4-6 P10のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

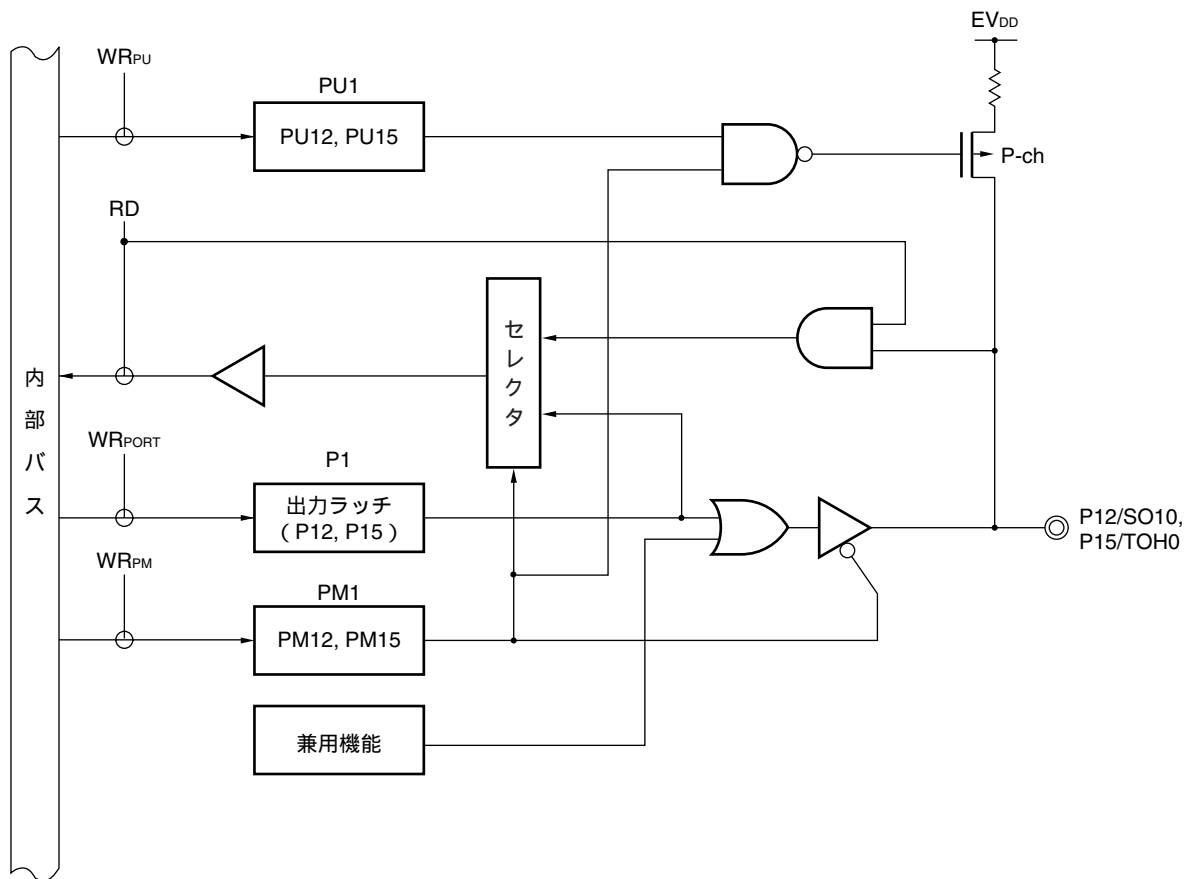
図4-7 P11, P14のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{x} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は, EV_{DD} を V_{DD} に, EV_{SS} を V_{SS} に置き替えてください。

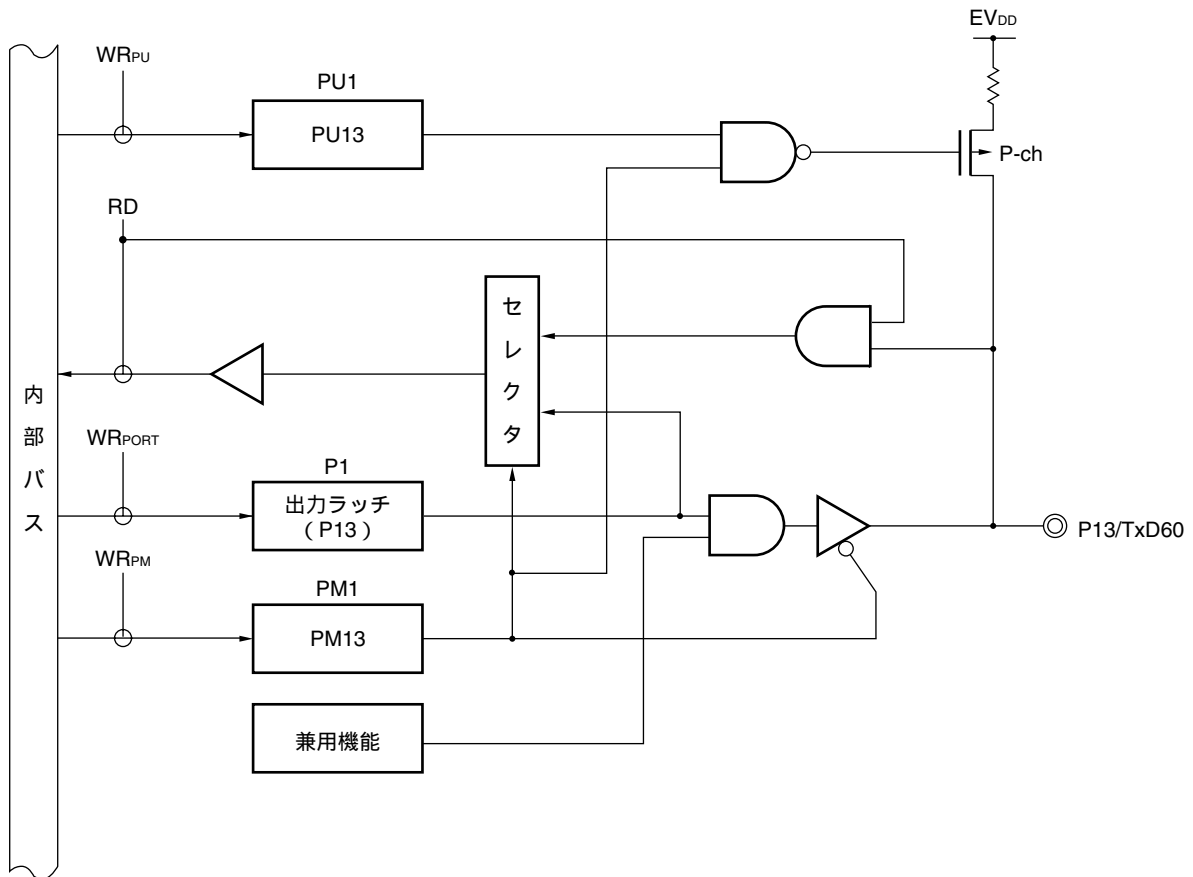
図4-8 P12, P15のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

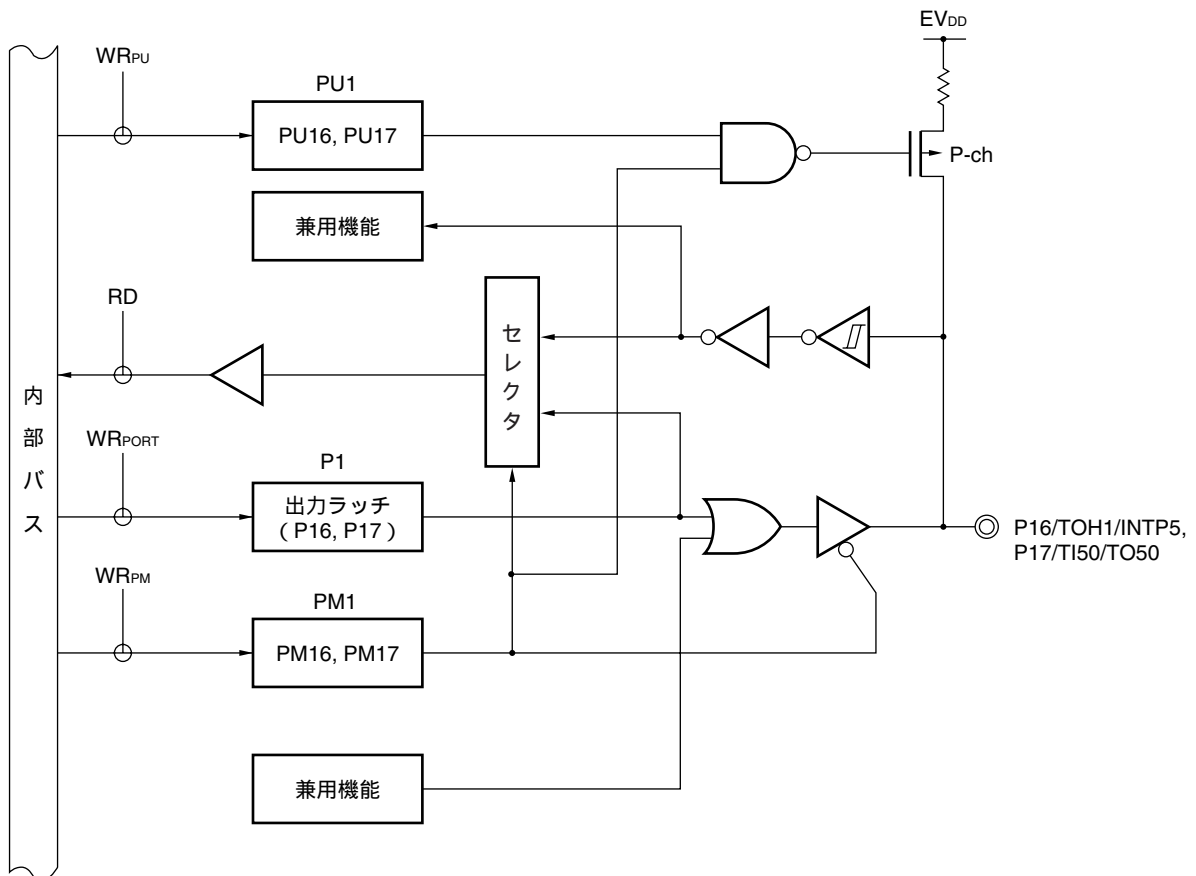
図4-9 P13のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

図4 - 10 P16, P17のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

4.2.3 ポート2

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P20/ANI0		
P21/ANI1		
P22/ANI2		
P23/ANI3		
P24/ANI4		
P25/ANI5		
P26/ANI6		
P27/ANI7		

備考 : 搭載

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

表4 - 5 P20/ANI0-P27/ANI7端子機能の設定

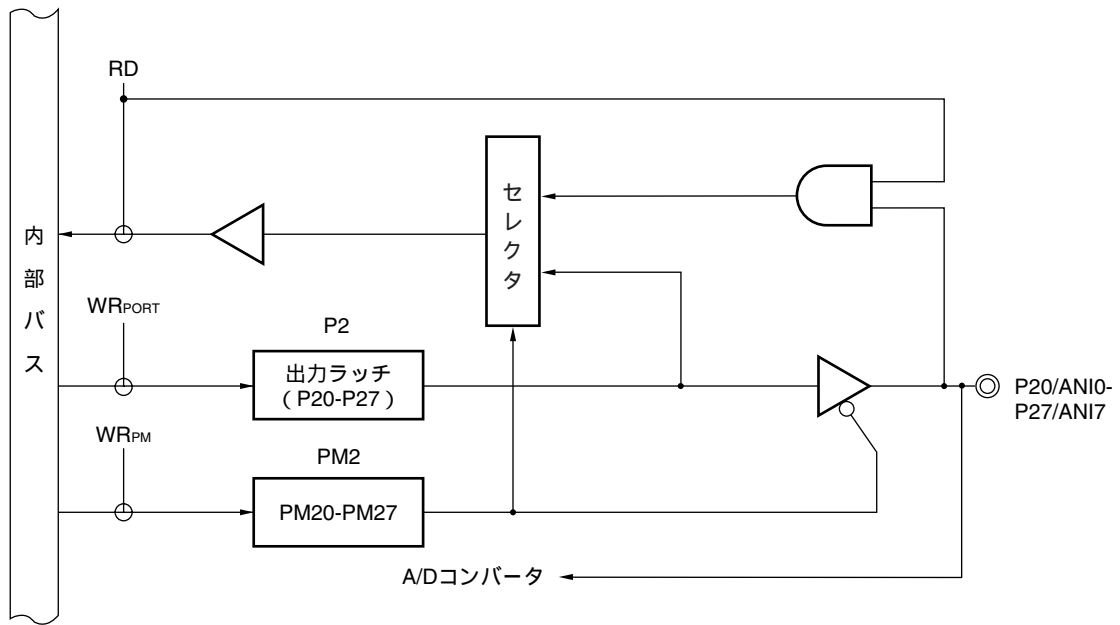
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてアナログ入力になります。

図4 - 11にポート2のブロック図を示します。

注意 ポート2をデジタル・ポートとして使用する場合は、 AV_{REF} を V_{DD} と同電位にしてください。

図4 - 11 P20-P27のブロック図



- P2 : ポート・レジスタ2
 PM2 : ポート・モード・レジスタ2
 RD : リード信号
 WR_{xx} : ライト信号

4.2.4 ポート3

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P30/INTP1		
P31/INTP2/OCD1A		
P32/ROUT/INTP3/OCD1B		
P33/INTP4/TI51/TO51		

備考 : 搭載

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30-P33端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、リモコン受信データ出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4-12、図4-13にポート3のブロック図を示します。

注意1. 誤動作を防ぐため、リセット解除までにP31/INTP2/OCD1Aを必ずプルダウンしてください。

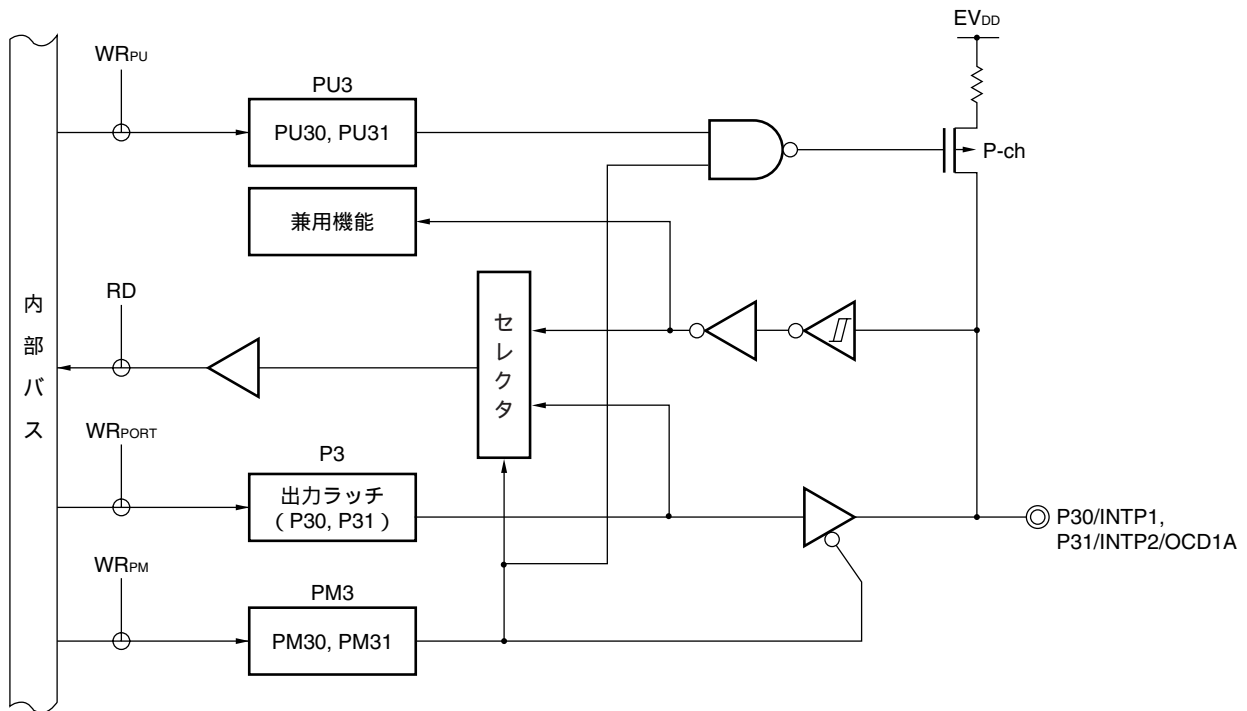
2. P31/INTP2/OCD1A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P31/INTP2/OCD1A
フラッシュ・メモリ・プログラマ接続		抵抗を介してEV _{SS} [※] に接続してください。
オンチップ・デバッグ・エミュレータ接続(ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	入力時：抵抗を介して、EV _{DD} [※] またはEV _{SS} [※] に接続してください。 出力時：オープンにしてください。
	リセット解除時	

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

備考 P31, P32は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用(OCD1A, OCD1B)として使用できます。オンチップ・デバッグ・エミュレータ(QB-MINI2)との接続については、第28章 **オンチップ・デバッグ機能**を参照してください。

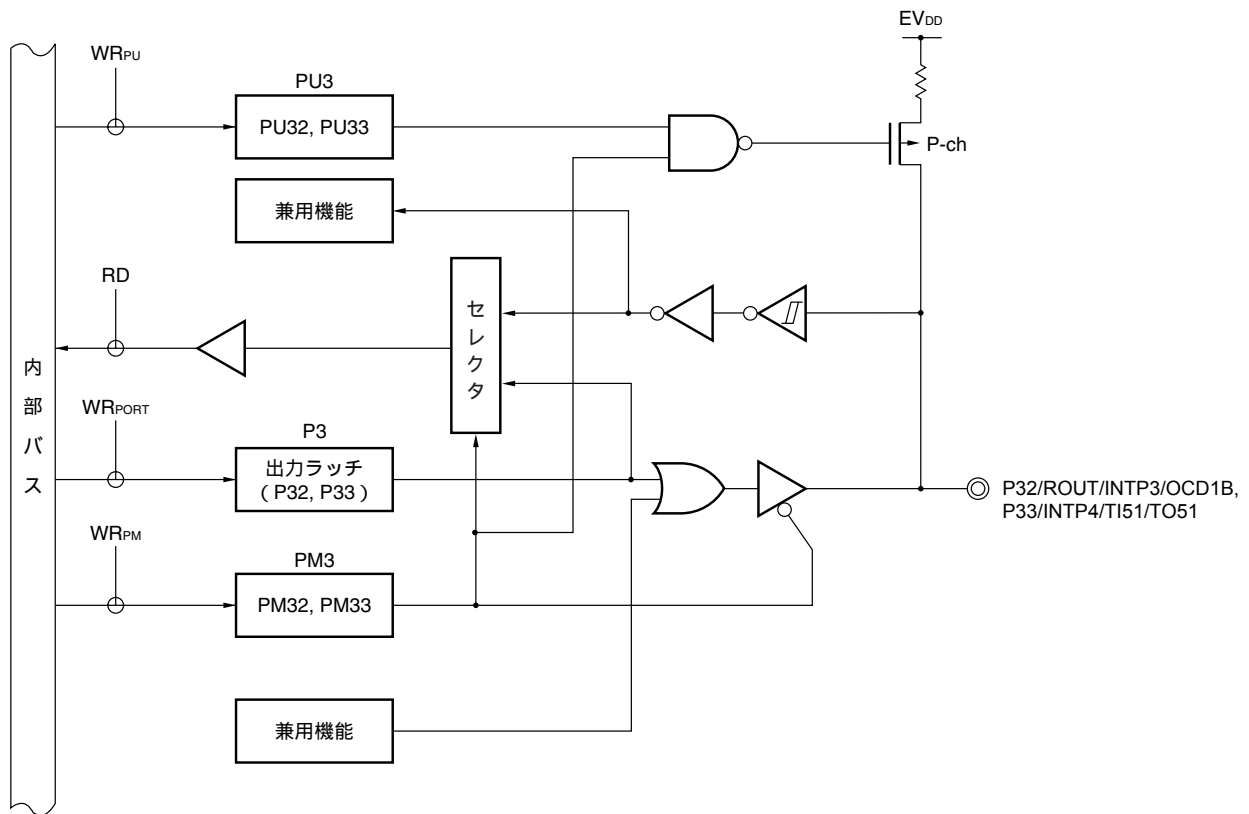
図4 - 12 P30, P31のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

図4 - 13 P32, P33のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

4.2.5 ポート4

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P40/CECOUT/RTC1HZ		
P41/CECIN/RTCDIV/RTCCL		
P42/TxD61	-	
P43/RxD61	-	

備考 : 搭載, - : 非搭載

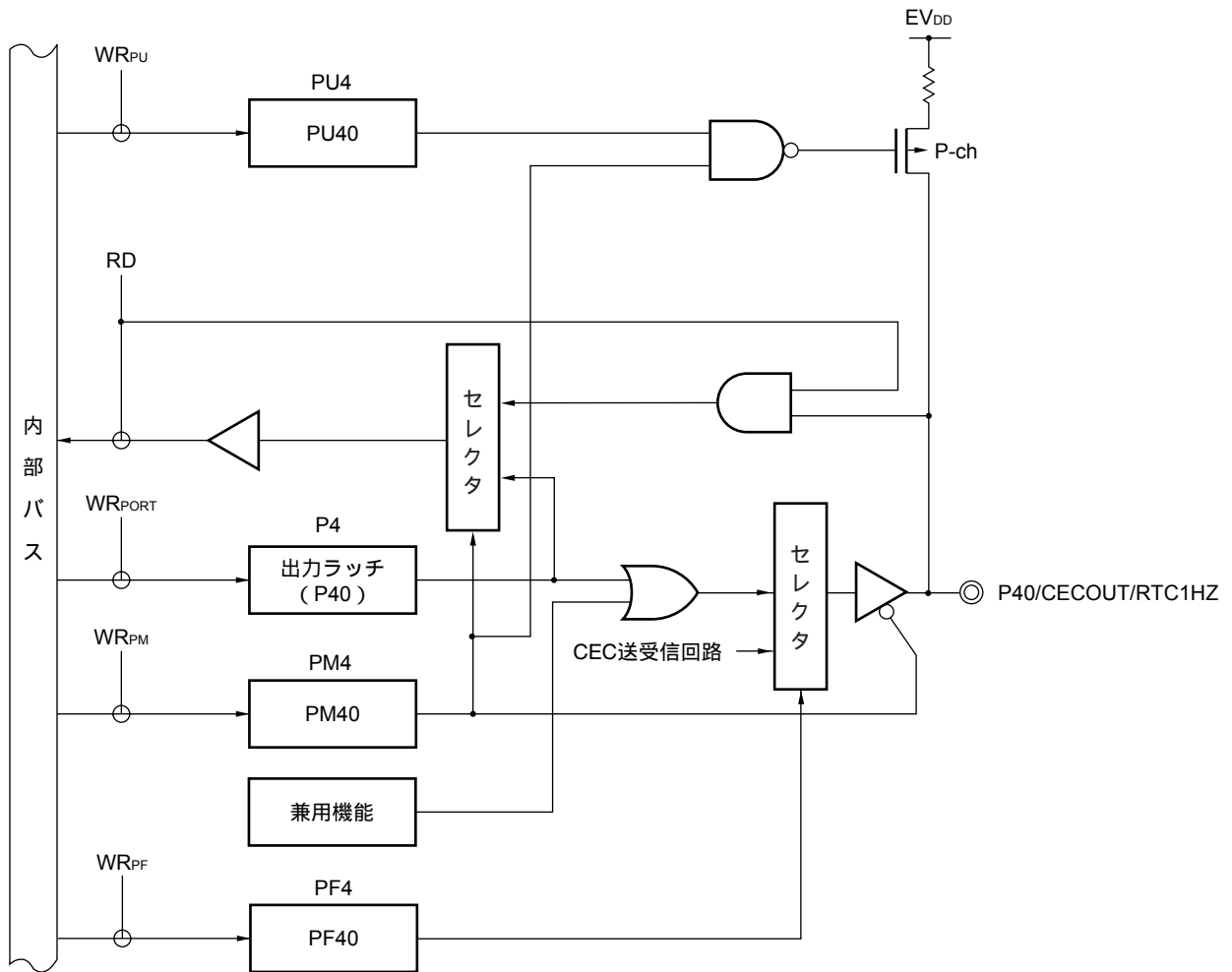
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード / 出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてCECのシリアル・データ入出力, リアルタイム・カウンタの補正クロック出力, リアルタイム・カウンタのクロック出力, シリアル・インタフェースのデータ入出力があります。

リセット信号の発生により, 入力モードになります。

図4 - 14 ~ 図4 - 17にポート4のブロック図を示します。

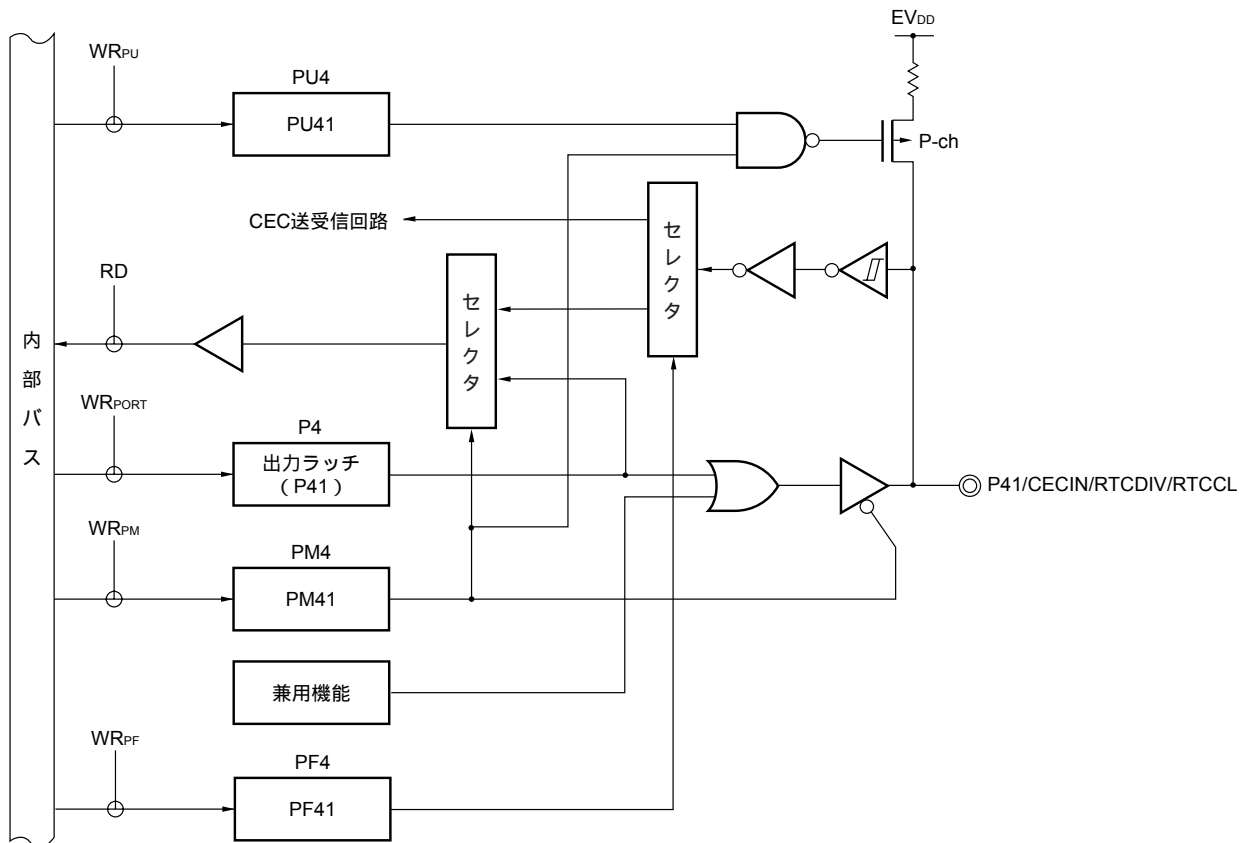
図4 - 14 P40のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 PF4 : ポート・ファンクション・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

備考 EVDD, EVSS端子がない製品は, EVDDをVDDに, EVSSをVSSに置き替えてください。

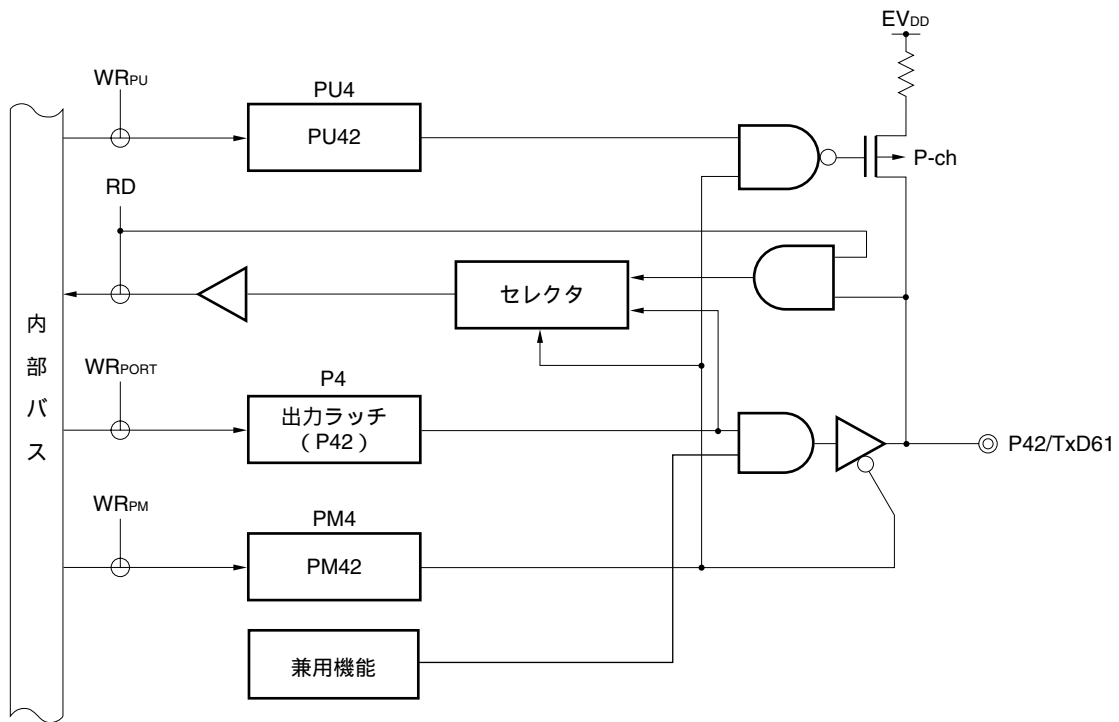
図4 - 15 P41のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 PF4 : ポート・ファンクション・レジスタ4
 RD : リード信号
 WR_x : ライト信号

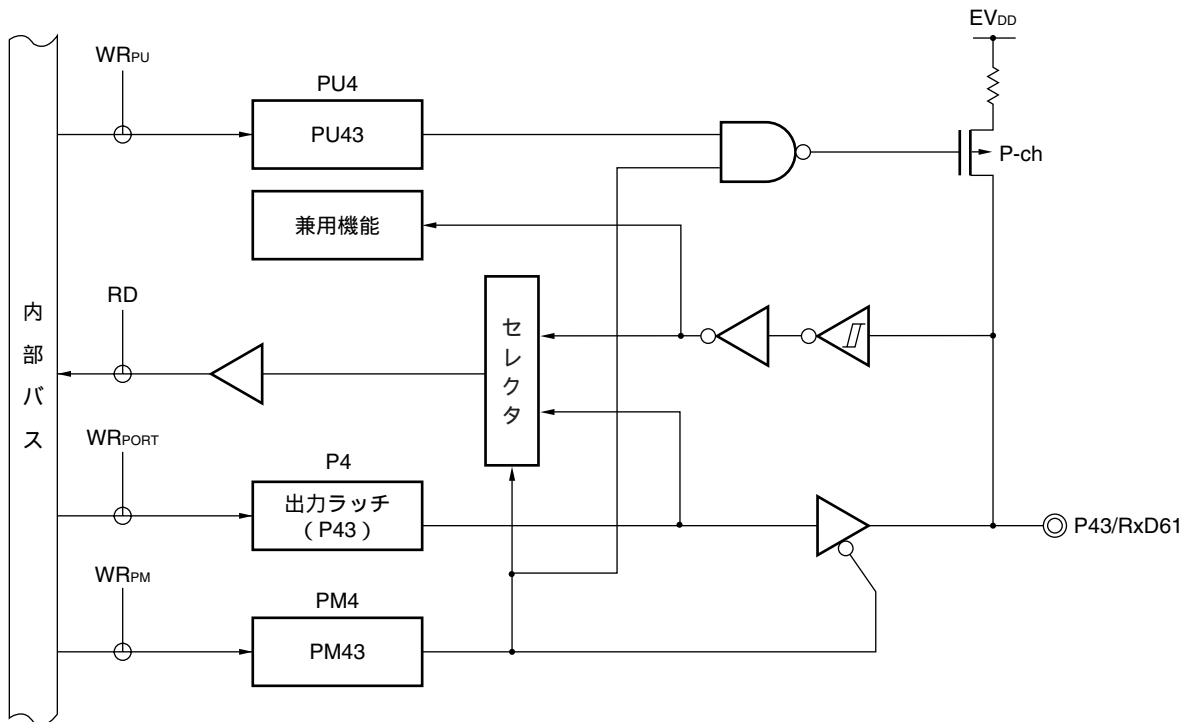
備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

図4 - 16 P42のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 17 P43のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

4.2.6 ポート5

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P50/TI002	-	
P51/TI012/TO02	-	
P52	-	
P53	-	

備考 : 搭載, - : 非搭載

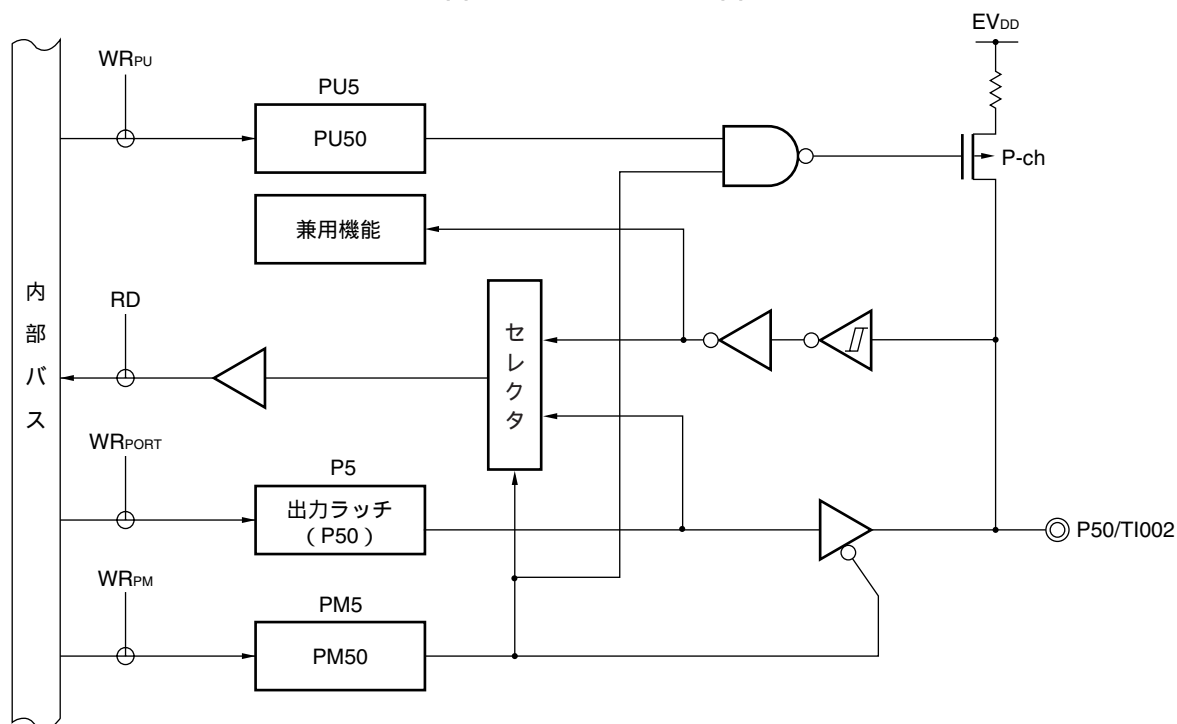
出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード/出力モードの指定ができます。P50-P53端子を入力ポートとして使用の場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力があります。

リセット信号の発生により、入力モードになります。

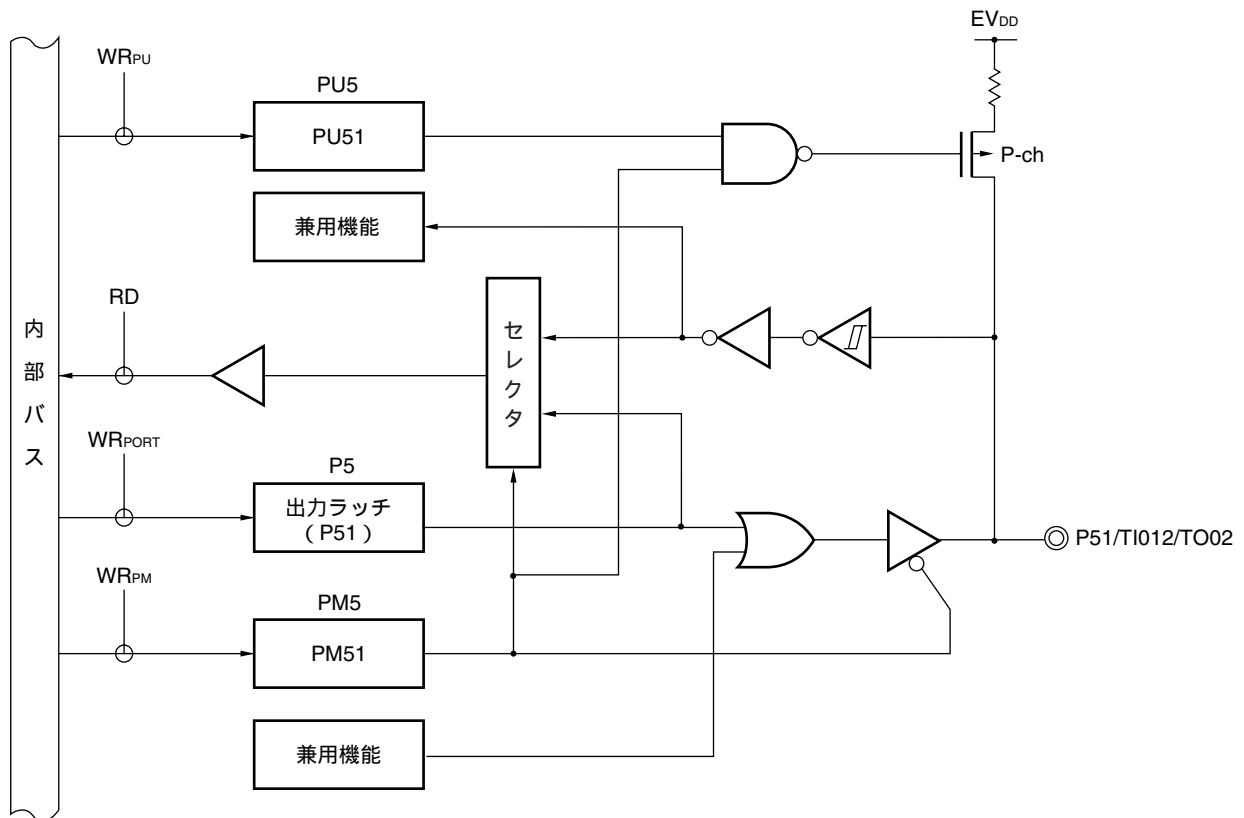
図4 - 18 ~ 図4 - 20にポート5のブロック図を示します。

図4 - 18 P50のブロック図



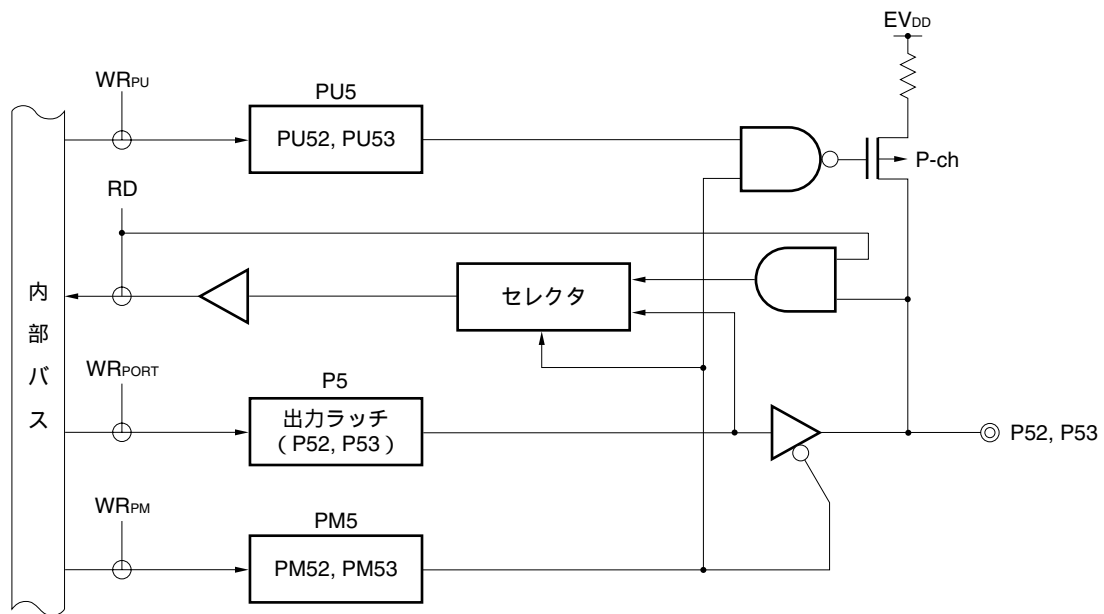
- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

図4 - 19 P51のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

図4 - 20 P52, P53のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- $WR_{x \times}$: ライト信号

4.2.7 ポート6

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P60/SCLA0		
P61/SDAA0		
P62/SCLA1		
P63/SDAA1		

備考 : 搭載

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード / 出力モードの指定ができます。

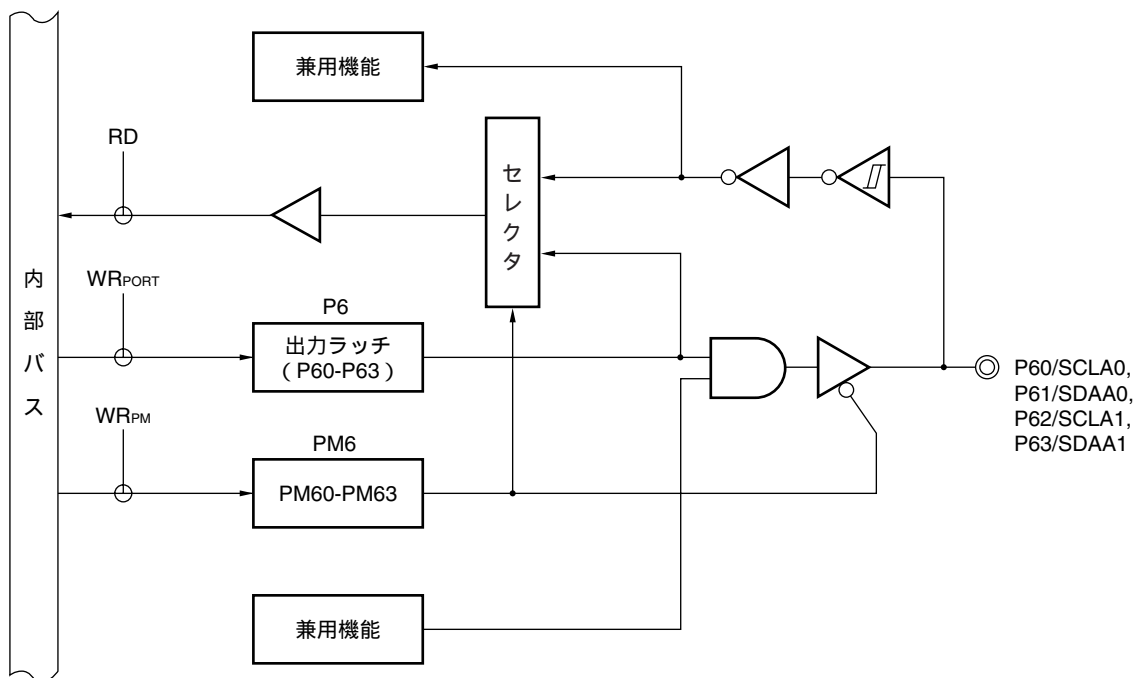
P60-P63端子の出力は、N-chオープン・ドレイン出力 (6V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロックの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 21にポート6のブロック図を示します。

図4 - 21 P60-P63のブロック図



- P6 : ポート・レジスタ6
 PM6 : ポート・モード・レジスタ6
 RD : リード信号
 WR_x : ライト信号

注意 P60-P63は出力モード時においても、入力バッファがオンになっているため、中間電位を入れた場合、貫通電流が流れます。したがって、P60-P63が出力モードの場合には、中間電位を入れないでください。

4.2.8 ポート7

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P70/SCLA2/KR0		
P71/SDAA2/KR1		
P72/CEC10/KR2		
P73/SI11/KR3		
P74/SO11/KR4	P74/SO11 ^注	
P75/SCK11/KR5	P75/SCK11 ^注	
P76/KR6/SSI11	-	
P77/KR7	-	

注 78K0/KC2-Cには、KR4, KR5端子はありません。

備考 : 搭載, - : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。P72のみ、入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ7 (PU7) により内蔵プルアップ抵抗を使用できます。

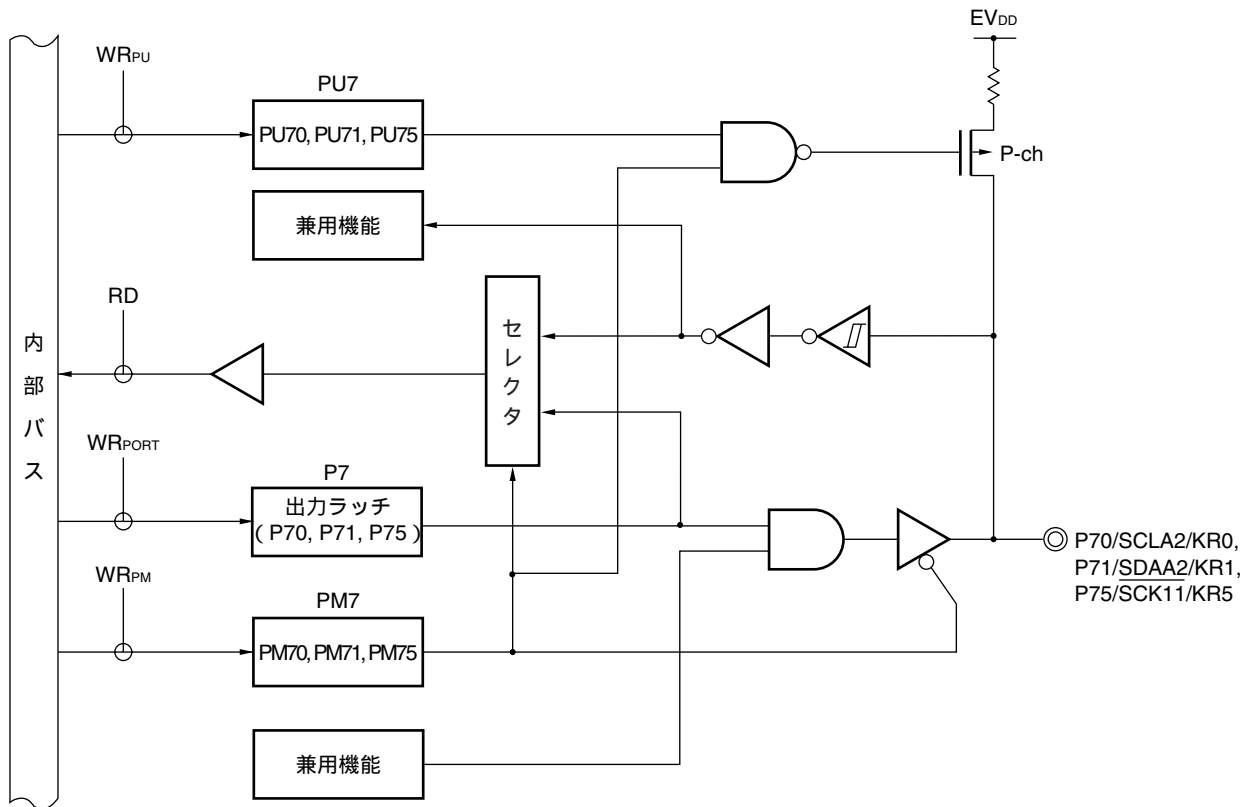
P70-P77端子の出力は、N-chオープン・ドレイン出力 (6V耐圧) です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、CECのシリアル・データ入出力、キー割り込み入力があります。

リセット信号の発生により、入力モードになります。

図4 - 22 ~ 図4 - 25にポート7のブロック図を示します。

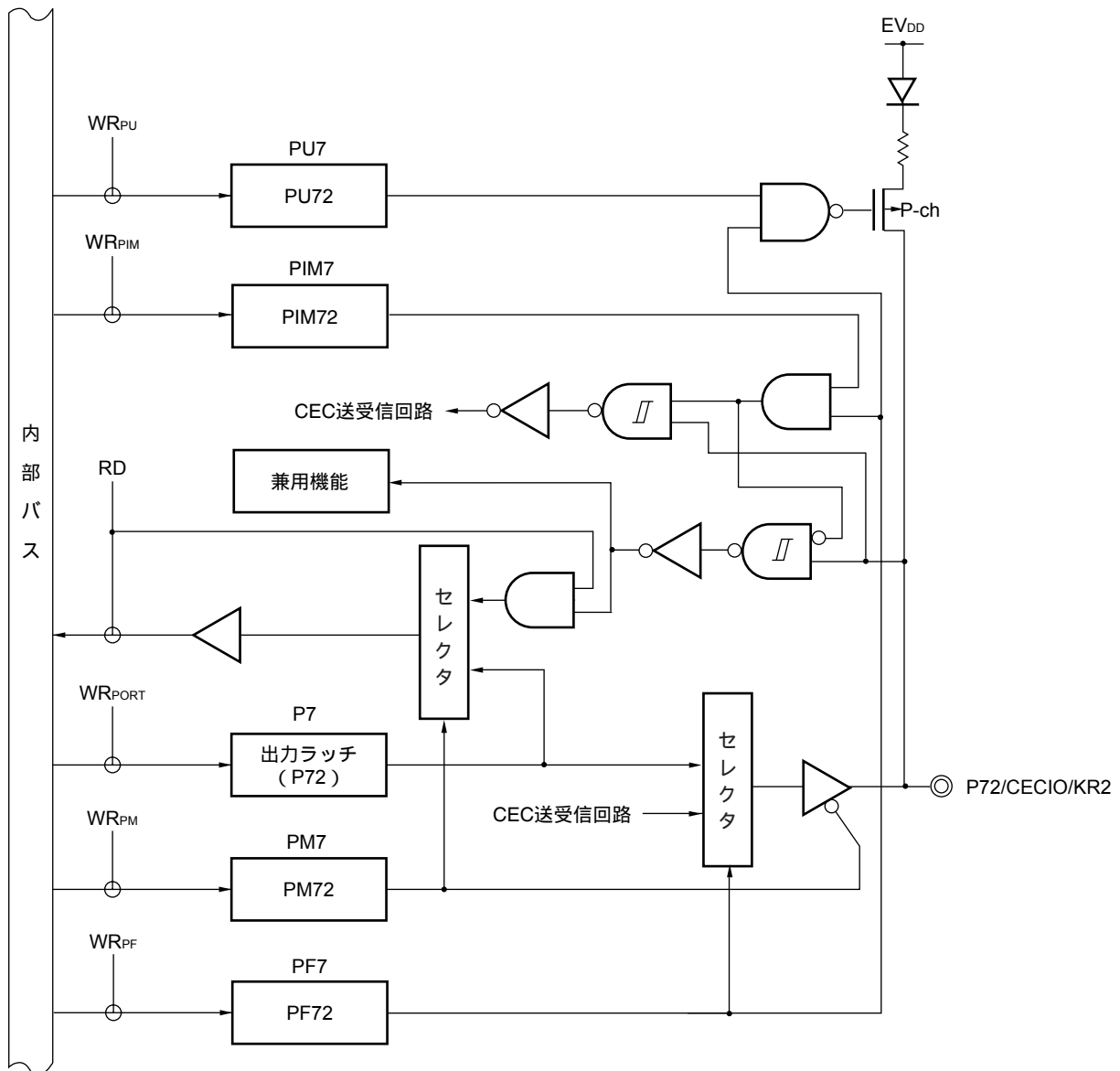
図4 - 22 P70, P71, P75のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

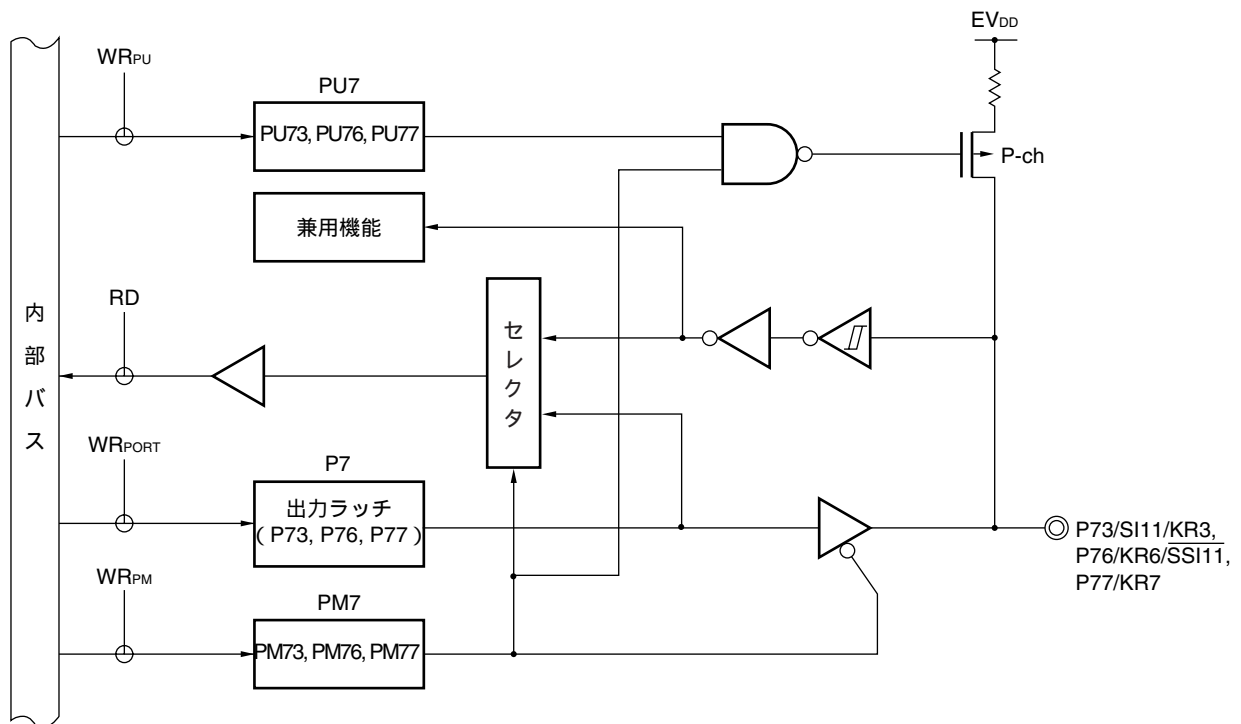
図4-23 P72のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

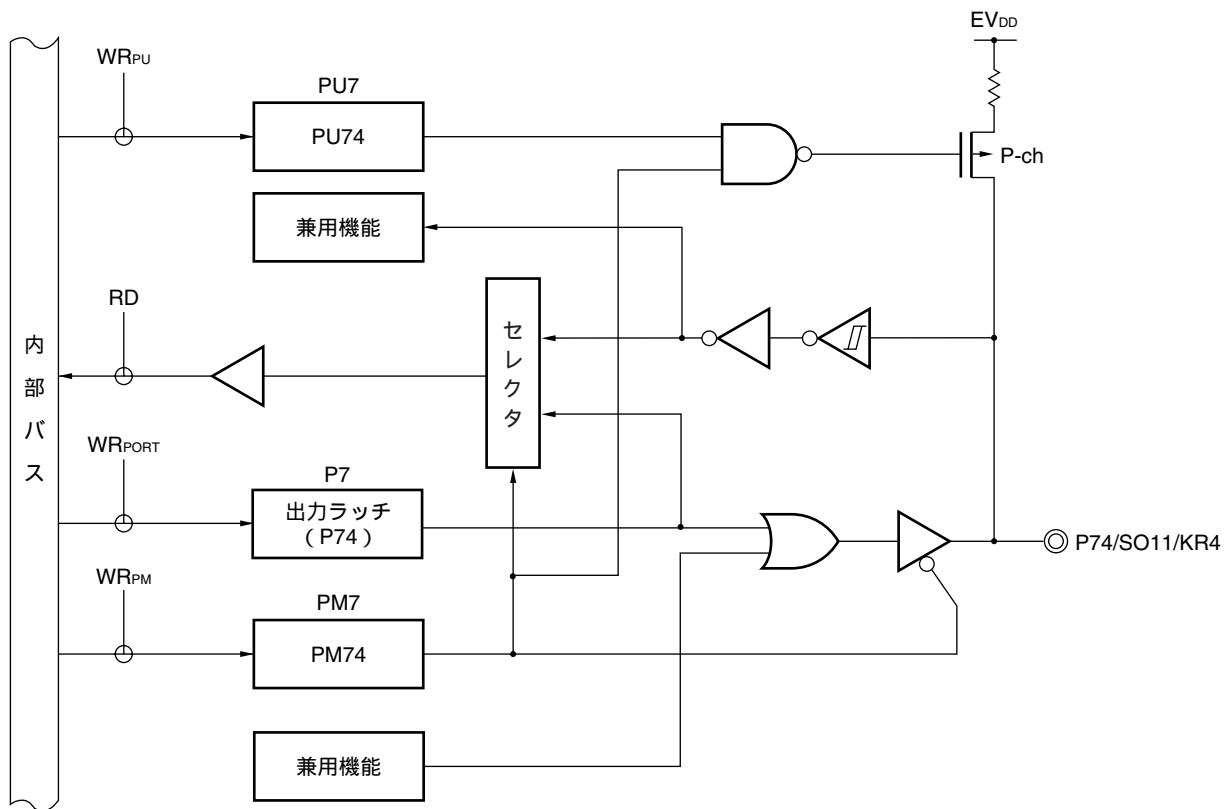
図4 - 24 P73, P76, P77のブロック図



- P7 : ポート・レジスタ7
 PU7 : プルアップ抵抗オプション・レジスタ7
 PM7 : ポート・モード・レジスタ7
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

図4 - 25 P74のブロック図



- P7 : ポート・レジスタ7
 PU7 : プルアップ抵抗オプション・レジスタ7
 PM7 : ポート・モード・レジスタ7
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

4.2.9 ポート12

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P120/INTP0/EXLVI		
P121/X1/OCD0A		
P122/X2/EXCLK/OCD0B		
P123/XT1		
P124/XT2		

備考 : 搭載

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図4 - 26、図4 - 27にポート12のブロック図を示します。

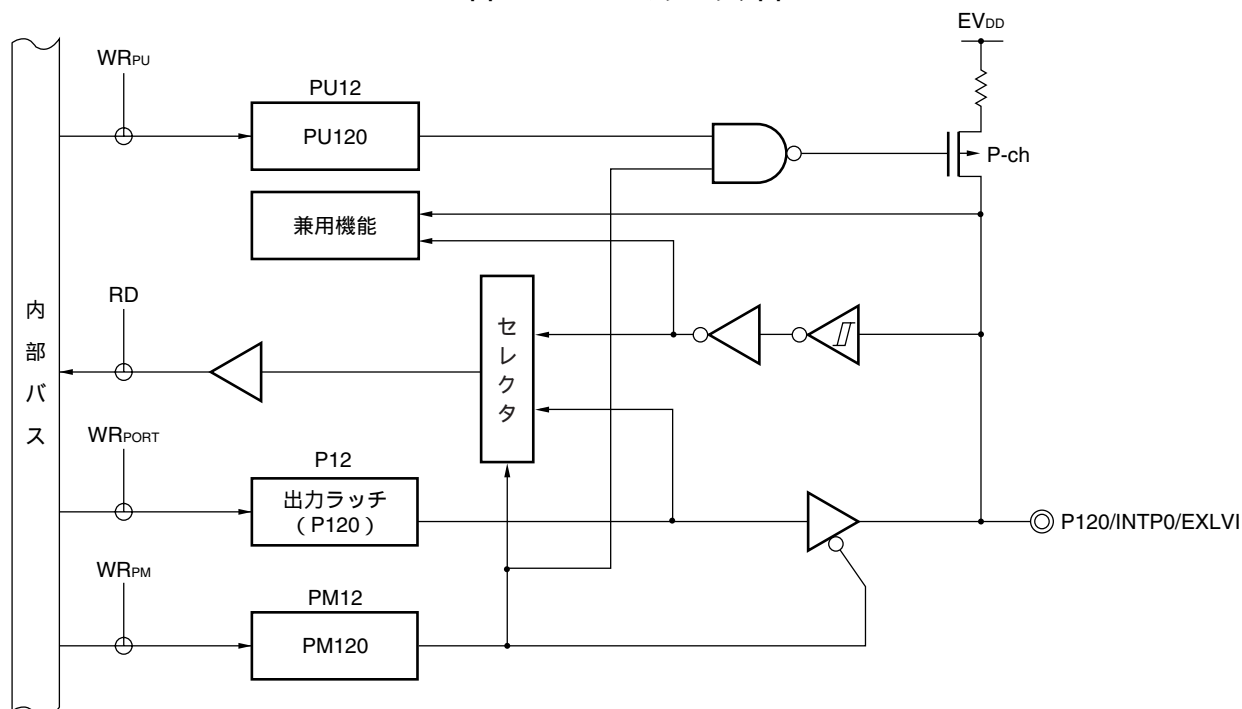
注意1. P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2)、サブシステム・クロック発振子接続 (XT1, XT2)、メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定してください (詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL)、(3) サブシステム・クロック端子の動作モードの設定方法を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。このとき、P121- P124の設定は不要です。

注意2. P121/X1/OCD0A端子が、フラッシュ・メモリ・プログラマおよびオンチップ・デバッグ・エミュレータ接続時に未使用の場合、次のように処理してください。

		P121/X1/OCD0A
フラッシュ・メモリ・プログラマ接続		抵抗を介してV _{SS} に接続してください。
オンチップ・デバッグ・エミュレータ接続(ただし、オンチップ・デバッグ・モード引き込み用端子として使用しない場合)	リセット時	抵抗を介して、V _{DD} またはV _{SS} に接続してください。
	リセット解除時	

備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用(OCD0A, OCD0B)として使用できます。オンチップ・デバッグ・エミュレータ(QB-MINI2)との接続については、第28章 オンチップ・デバッグ機能を参照してください。

図4 - 26 P120のブロック図



P12 : ポート・レジスタ12

PU12 : プルアップ抵抗オプション・レジスタ12

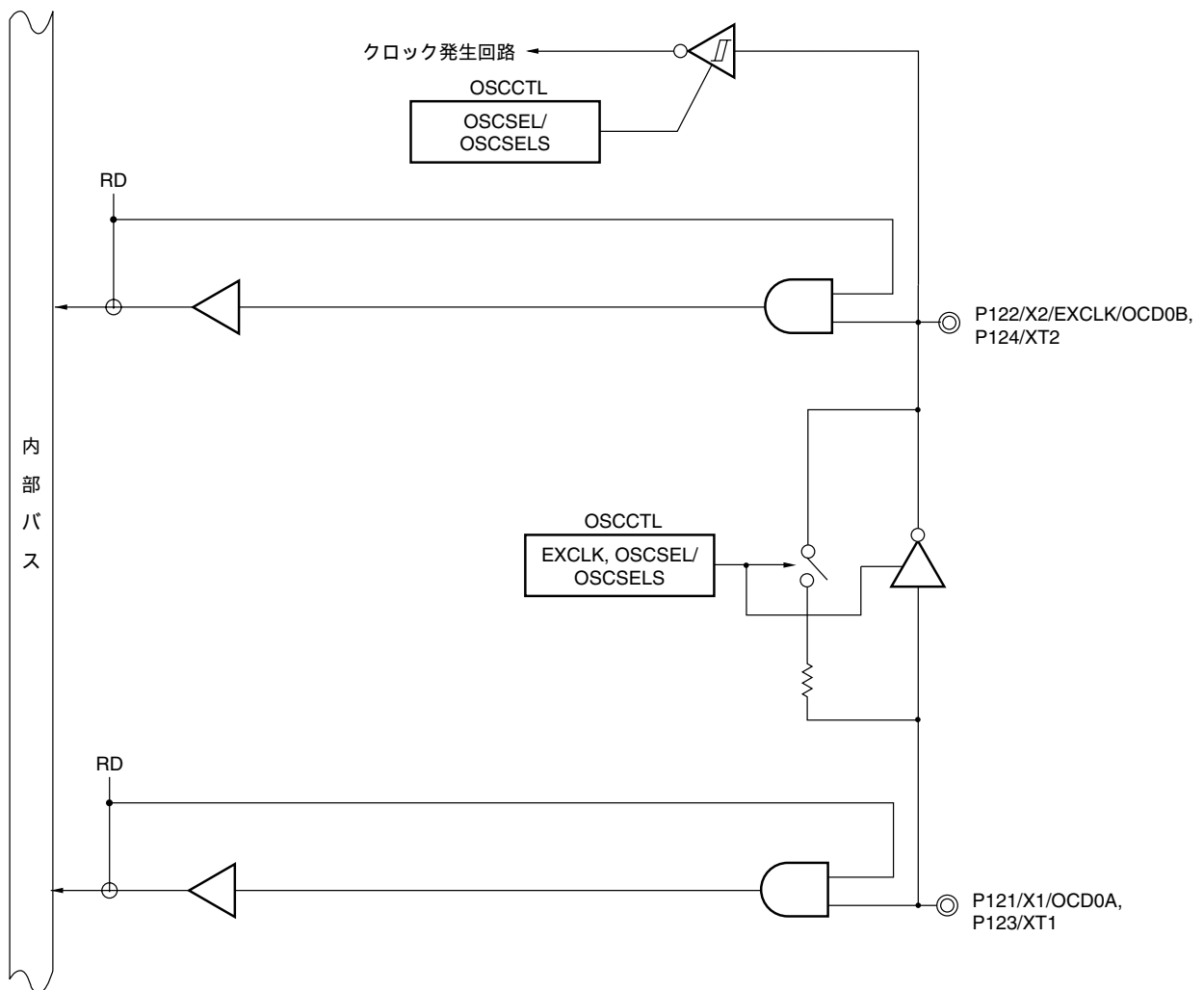
PM12 : ポート・モード・レジスタ12

RD : リード信号

WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き替えてください。

図4-27 P121-P124のブロック図



OSCCTL : クロック動作モード選択レジスタ

RD : リード信号

4.2.10 ポート13

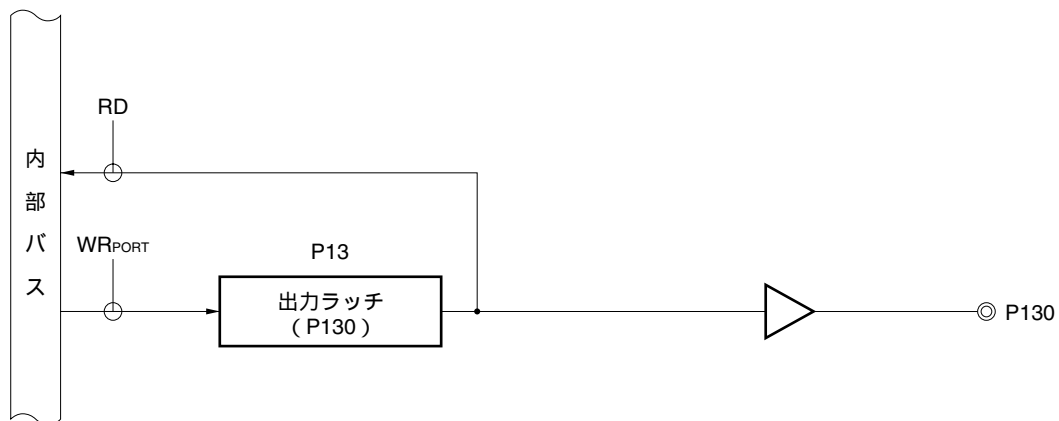
	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P130		

備考 : 搭載

出力専用ポートです。

図4 - 28にポート13のブロック図を示します。

図4 - 28 P130のブロック図

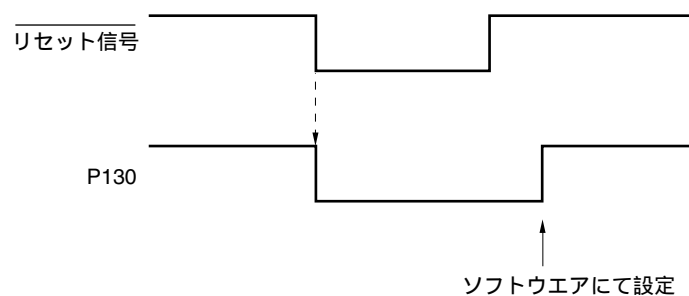


P13 : ポート・レジスタ13

RD : リード信号

WR_x : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.11 ポート14

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
P140/PCL/INTP6/RIN		
P141/BUZ	-	

備考 : 搭載, - : 非搭載

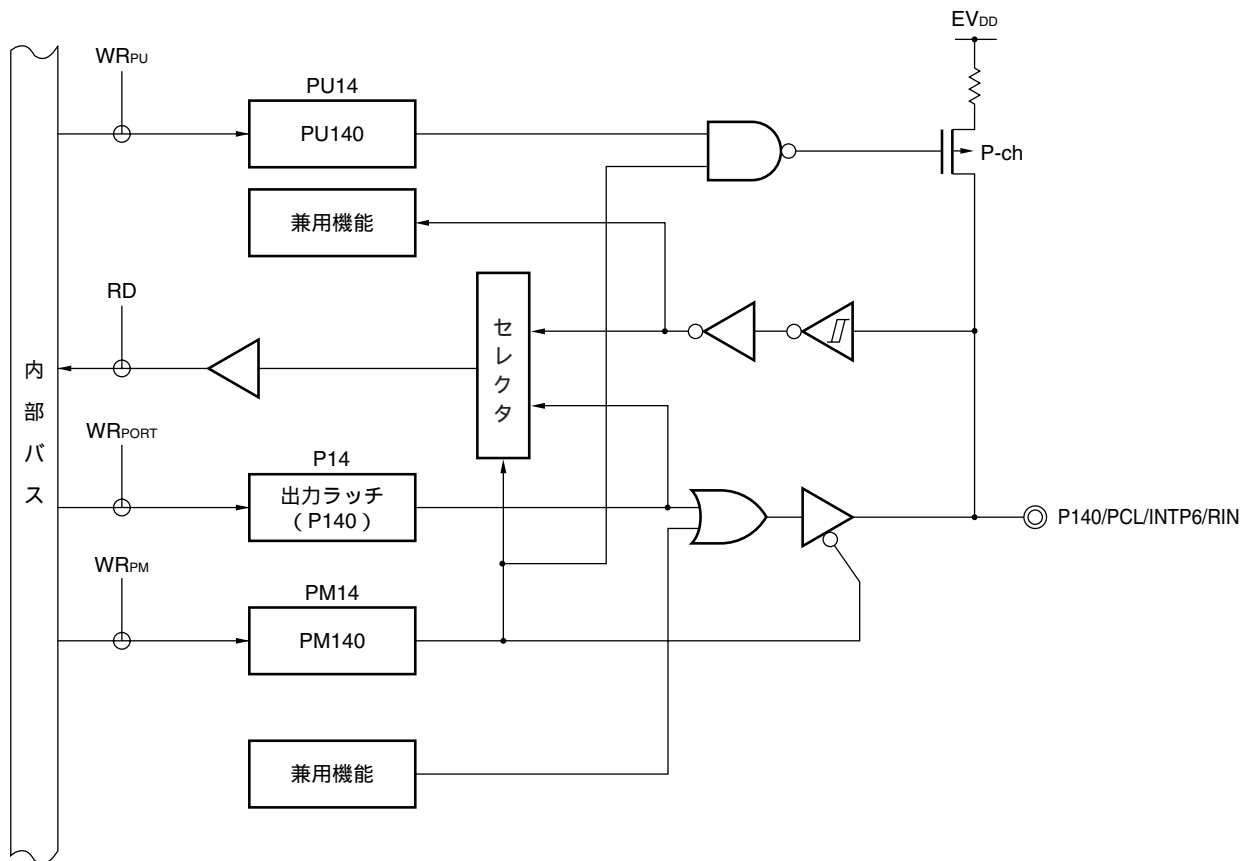
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140, P141端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また, 兼用機能として外部割り込み要求入力, ブザー出力, クロック出力, リモコン受信データ入力があります。

リセット信号の発生により, 入力モードになります。

図4 - 29, 図4 - 30にポート14のブロック図を示します。

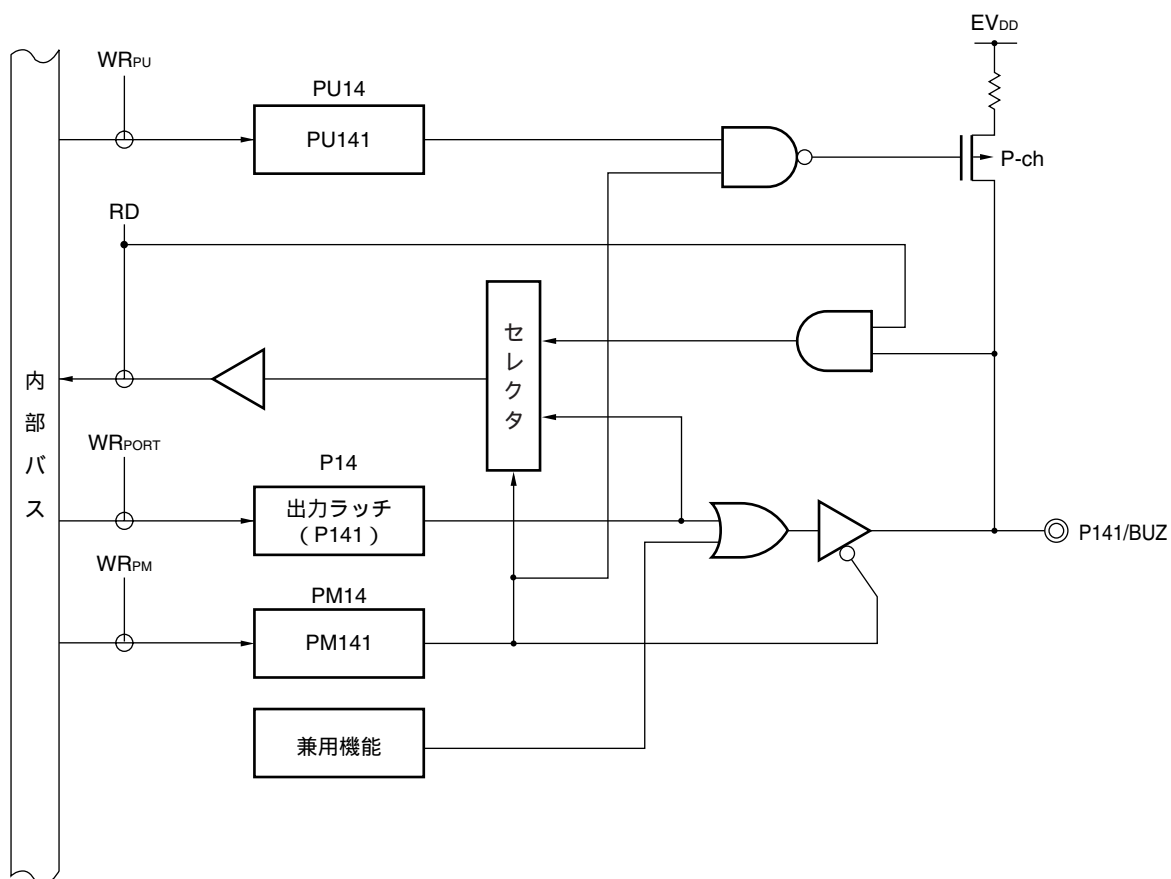
図4 - 29 P140のブロック図



- P14 : ポート・レジスタ14
 PU14 : プルアップ抵抗オプション・レジスタ14
 PM14 : ポート・モード・レジスタ14
 RD : リード信号
 WR_{xx} : ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は, EV_{DD} を V_{DD} に, EV_{SS} を V_{SS} に置き替えてください。

図4-30 P141のブロック図



- P14 : ポート・レジスタ14
 PU14 : プルアップ抵抗オプション・レジスタ14
 PM14 : ポート・モード・レジスタ14
 RD : リード信号
 WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き替えてください。

4.3 ポート機能を制御するレジスタ

ポートは, 次の4種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM_{xx})
- ・ポート・レジスタ (P_{xx})
- ・プルアップ抵抗オプション・レジスタ (PU_{xx})
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4-31 ポート・モード・レジスタのフォーマット (78K0/KC2-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM140	FF2EH	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-4, 6, 7, 12, 14 ; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注意 PM0のビット2-7, PM3のビット4-7, PM4のビット2-7, PM6のビット4-7, PM7のビット6, 7, PM12のビット1-7, PM14のビット1-7には必ず1を設定してください。

図4-32 ポート・モード・レジスタのフォーマット (78K0/KE2-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	1	1	PM141	PM140	FF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット7, PM3のビット4-7, PM4のビット4-7, PM5のビット4-7, PM6のビット4-7, PM12のビット1-7, PM14のビット2-7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 33 ポート・レジスタのフォーマット (78K0/KC2-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FF0CH	不定	R/W [※]
P13	0	0	0	0	0	0	0	P130	FF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	0	0	0	0	P140	FF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-4, 6, 7, 12-14; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

図4 - 34 ポート・レジスタのフォーマット (78K0/KE2-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	P53	P52	P51	P50	FF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FF0CH	不定	R/W ^注
P13	0	0	0	0	0	0	0	P130	FF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	0	0	0	P141	P140	FF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-7, 12-14; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 35 プルアップ抵抗オプション・レジスタのフォーマット (78K0/KC2-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	FF34H	00H	R/W
PU7	0	0	0	0	0	PU72	0	0	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU140	FF3EH	00H	R/W
PU _m n	P _m nの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 4, 7, 12, 14 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

図4 - 36 PU7レジスタとPF7レジスタの関係

PU72	PF72	ダイオード接続の使用可否
0	0	プルアップ抵抗とダイオードを接続しない
1	0	
0	1	
1	1	プルアップ抵抗とダイオードを接続

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF72 = 1のとき、PF40, PF41に1を設定しないでください。

PF40 = 1, PF41 = 1のとき、PF72に1を設定しないでください。

図4 - 37 ブルアップ抵抗オプション・レジスタのフォーマット (78K0/KE2-C)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	0	0	0	0	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU7	0	0	0	0	0	PU72	0	0	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	0	0	PU141	PU140	FF3EH	00H	R/W

PUmn	Pmnの内蔵ブルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 14 ; n = 0-7)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

図4 - 38 PU7レジスタとPF7レジスタの関係

PU72	PF72	ダイオード接続の使用可否
0	0	ブルアップ抵抗とダイオードを接続しない
1	0	
0	1	
1	1	ブルアップ抵抗とダイオードを接続

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF72 = 1のとき, PF40, PF41に1を設定しないでください。

PF40 = 1, PF41 = 1のとき, PF72に1を設定しないでください。

(4) ポート・ファンクション・レジスタ4 (PF4)

ポート4のP40/CECOUT/RTC1HZ端子を入出力ポート・モードまたはリアルタイム・カウンタの補正クロック出力 / CECOUTモードのどちらで使用するかを設定するレジスタです。

ポート4のP41/CECIN/RTCDIV/RTCCL端子を入出力ポート・モードまたはリアルタイム・カウンタ・クロック出力 / CECINモードのどちらで使用するかを設定するレジスタです。

図4 - 39 ポート・ファンクション・レジスタ4 (PF4) のフォーマット

アドレス : FF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	0	PF41	PF40

PF40	P40端子の動作モード選択
0	入出力ポート・モードまたはリアルタイム・カウンタの補正クロック出力
1	CECOUTモード

PF41	P41端子の動作モード選択
0	入出力ポート・モードまたはリアルタイム・カウンタ・クロック出力
1	CECINモード

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF72 = 1のとき, PF40, PF41に1を設定しないでください。

PF40 = 1, PF41 = 1のとき, PF72に1を設定しないでください。

(5) ポート・ファンクション・レジスタ7 (PF7)

ポート7のP72/CECIO/KR2端子を入出力ポート・モードまたはキー割り込み入力 / CECIOモードのどちらで使用するかを設定するレジスタです。

PF7レジスタとポート入力モード・レジスタ7 (PIM7) の設定により、通常入力バッファ / CEC入力バッファに指定できます。

PF7レジスタとプルアップ抵抗オプション・レジスタ7 (PU7) の設定により、ダイオード接続を使用するかを設定できます。

図4 - 40 ポート・ファンクション・レジスタ7 (PF7) のフォーマット

アドレス : FF36H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF7	0	0	0	0	0	PF72	0	0

PF72	P72端子の動作モード選択
0	入出力ポート・モードまたはキー割り込み入力
1	CECIOモード

図4 - 41 PF7レジスタとPIM7レジスタ, PU7レジスタの関係

PF72	PIM72	入力バッファの選択
0	0	通常入力バッファ
0	1	
1	0	
1	1	CEC入力バッファ

PF72	PU72	ダイオード接続の使用可否
0	0	プルアップ抵抗とダイオードを接続しない
0	1	
1	0	
1	1	プルアップ抵抗とダイオードを接続

注意1. CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF72 = 1のとき, PF40, PF41に1を設定しないでください。

PF40 = 1, PF41 = 1のとき, PF72に1を設定しないでください。

2. PF72 = 1に設定した場合, PM72 = 0, P72 = 1に設定してください。

(6) ポート入力モード・レジスタ7 (PIM7)

PIM7レジスタとポート・ファンクション・レジスタ7 (PF7) の設定により、P72の入力バッファを通常入力バッファ / CEC入力バッファに指定できます。

PIM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 42 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM7	0	0	0	0	0	PIM72	0	0	FF2DH	00H	R/W

図4 - 43 PIM7レジスタとPF7レジスタの関係

PIM72	PF72	入力バッファの選択
0	0	通常入力バッファ
0	1	
1	0	
1	1	CEC入力バッファ

(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7端子を、ポートのデジタル入出力/A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 44 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：FF2FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	デジタル入出力 (D) / アナログ入力 (A) の切り替え							
				P27/ ANI7	P26/ ANI6	P25/ ANI5	P24/ ANI4	P23/ ANI3	P22/ ANI2	P21/ ANI1	P20/ ANI0
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPCにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロックが停止しているときに、ADPCにデータを書き込まないでください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.5 兼用機能使用時のPF4, PF7, ポート・モード・レジスタ, 出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合, PF4, PF7, ポート・モード・レジスタ, 出力ラッチを表4-6のように設定してください。

備考 製品により, 搭載しているポート端子が異なります。表4-3 ポートの機能を参照してください。

表4-6 兼用機能使用時のPF4, PF7, ポート・モード・レジスタ, 出力ラッチの設定 (1/3)

端子名称	兼用機能		PF4	PF7	PM $\times\times$	P $\times\times$
	名称	入出力				
P00	TI000	入力			1	×
P01	TI010	入力			1	×
	TO00	出力			0	0
P05	TI001	入力			1	×
P06	TI011	入力			1	×
	TO01	出力			0	0
P10	SCK10	入力			1	×
		出力			0	1
	TxD0	出力			0	1
P11	SI10	入力			1	×
	RxD0	入力			1	×
P12	SO10	出力			0	0
P13	TxD60	出力			0	1
P14	RxD60	入力			1	×
P15	TOH0	出力			0	0
P16	TOH1	出力			0	0
	INTP5	入力			1	×
P17	TI50	入力			1	×
	TO50	出力			0	0
P20-P27 [※]	ANI0-ANI7 [※]	入力			1	×

注 ANI0/P20-ANI7/P27端子の機能は, A/Dポート・コンフィギュレータ・レジスタ (ADPC), アナログ入力チャネル指定レジスタ (ADS), PM2の設定で決定します。

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力

備考 × : don't care

PM $\times\times$: ポート・モード・レジスタ

P $\times\times$: ポートの出力ラッチ

表4-6 兼用機能使用時のPF4, PF7, ポート・モード・レジスタ, 出力ラッチの設定 (2/3)

端子名称	兼用機能		PF4	PF7	PM××	P××
	名称	入出力				
P30	INTP1	入力			1	×
P31	INTP2	入力			1	×
P32	ROUT	出力			0	0
	INTP3	入力			1	×
P33	TI51	入力			1	×
	TO51	出力			0	0
	INTP4	入力			1	×
P40	CECOUT	出力	PF40 = 1	PF72 = 0	0	×
	RTC1HZ	出力	PF40 = 0		0	0
P41	CECIN	入力	PF41 = 1	PF72 = 0	1	×
	RTCDIV	出力	PF41 = 0		0	0
	RTCCL	出力	PF41 = 0		0	0
P42	TxD61	出力			0	1
P43	RxD61	入力			1	×
P50	TI002	入力			1	×
P51	TI012	入力			1	×
	TO02	出力			0	0
P60	SCLA0	入出力			0	1
P61	SDAA0	入出力			0	1
P62	SCLA1	入出力			0	1
P63	SDAA1	入出力			0	1

備考1. x : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

2. X1, X2, P31, P32は, オンチップ・デバッグ機能を使用するとき, オンチップ・デバッグ・モード引き込み用 (OCD0A, OCD0B, OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については, 第28章 **オンチップ・デバッグ機能**を参照してください。

表4-6 兼用機能使用時のPF4, PF7, ポート・モード・レジスタ, 出力ラッチの設定 (3/3)

端子名称	兼用機能		PF4	PF7	PM××	P××
	名称	入出力				
P70	SCLA2	入出力			0	1
	KR0	入力			1	×
P71	SDAA2	入出力			0	1
	KR1	入力			1	×
P72	CECIO	入出力	PF40 = 0, PF41 = 0	PF72 = 1	0	×
	KR2	入力		PF72 = 0	1	×
P73	SI11	入力			1	×
	KR3	入力			1	×
P74	SO11	出力			0	0
	KR4 ^{注1}	入力			1	×
P75	SCK11	入力			1	×
		出力			0	1
P76	KR5 ^{注1}	入力			1	×
	KR6	入力			1	×
P77	SSI11	入力			1	×
	KR7	入力			1	×
P120	INTP0	入力			1	×
	EXLVI	入力			1	×
P121	X1 ^{注2}	-			×	×
P122	X2 ^{注2}	-			×	×
	EXCLK ^{注2}	入力			×	×
P123	XT1 ^{注2}	-			×	×
P124	XT2 ^{注2}	-			×	×
P140	PCL	出力			0	0
	INTP6	入力			1	×
	RIN	入力			1	×
P141	BUZ	出力			0	0

注1. 78K0/KC2-Cは, KR4, KR5端子はありません。

- P121-P124端子を, メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は, クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は, 5.3 (1) クロック動作モード選択レジスタ (OSCCTL), (3) サブシステム・クロック端子の動作モードの設定方法を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。このとき, P121-P124の設定は不要です。

備考1. x : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

- X1, X2, P31, P32は, オンチップ・デバッグ機能を使用するとき, オンチップ・デバッグ・モード引き込み用 (OCD0A, OCD0B, OCD1A, OCD1B) として使用できます。オンチップ・デバッグ・エミュレータ (QB-MINI2) との接続については, 第28章 オンチップ・デバッグ機能を参照してください。

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

説明：PM_{nm}ビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0/Kx2-C内部で、次の順序で行われます。

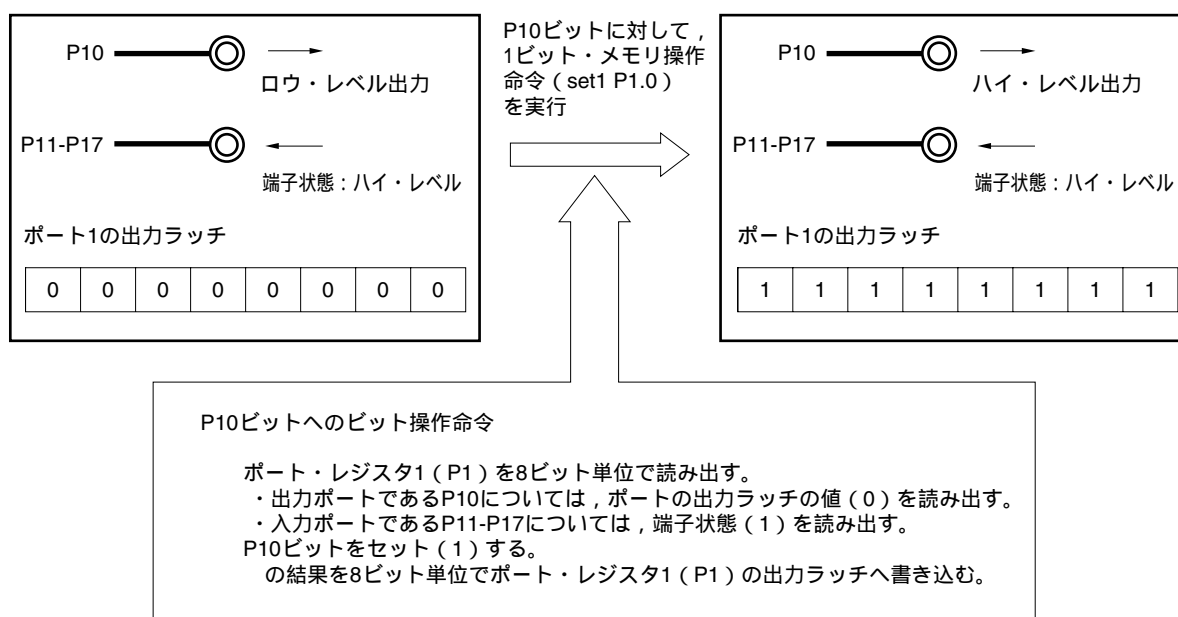
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4-45 1ビット・メモリ操作命令（P10の場合）



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ(MOC)により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 8$ MHz (TYP.) のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ(RCM)の設定により、発振を停止することができます。

また、OCD0B/EXCLK/X2/P122端子から外部メイン・システム・クロック($f_{EXCLK} = 2 \sim 20$ MHz)を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ(MCM)で高速システム・クロック(X1クロックまたは外部メイン・システム・クロック)と高速内蔵発振クロックを切り替えられます。

(2) サブシステム・クロック

・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振します。プロセッサ・クロック・コントロール・レジスタ(PCC)とクロック動作モード選択レジスタ(OSCCTL)の設定により、発振を停止することができます。

備考1. f_x	: X1クロック発振周波数
2. f_{RH}	: 高速内蔵発振クロック周波数
3. f_{EXCLK}	: 外部メイン・システム・クロック周波数
4. f_{XT}	: XT1クロック発振周波数

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・ 低速内蔵発振回路

$f_{RL} = 240\text{kHz}$ (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (カウント・クロックに f_{RL} , $f_{RL}/2^7$ または $f_{RL}/2^9$ を選択した場合)

備考 f_{RL} : 低速内蔵発振クロック周波数

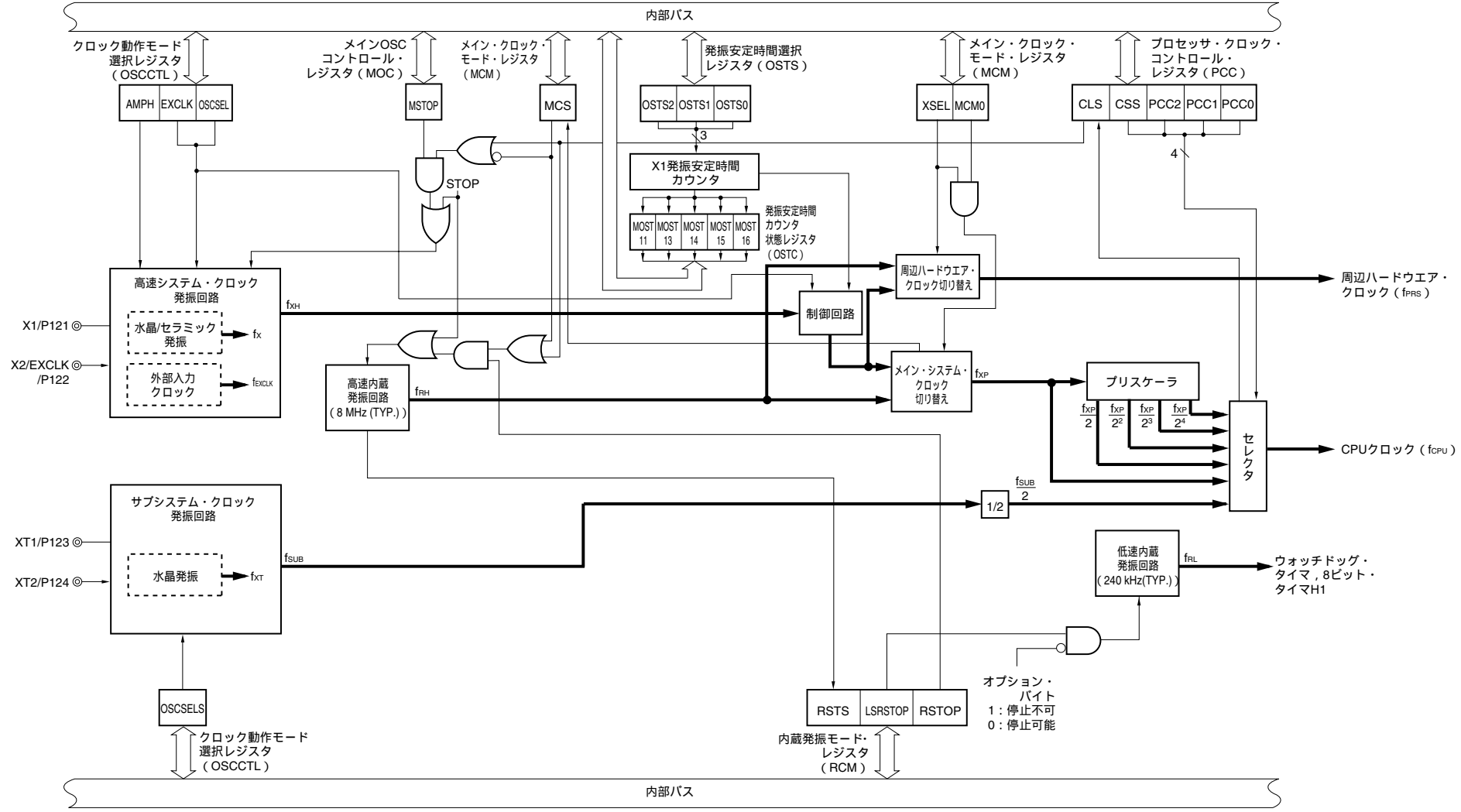
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



- 備考1. f_x : X1クロック発振周波数
2. f_{RH} : 高速内蔵発振クロック周波数
3. f_{EXCLK} : 外部メイン・システム・クロック周波数
4. f_{XH} : 高速システム・クロック周波数
5. f_{XP} : メイン・システム・クロック周波数
6. f_{PRS} : 周辺ハードウェア・クロック周波数
7. f_{CPU} : CPUクロック周波数
8. f_{XT} : XT1クロック発振周波数
9. f_{SUB} : サブシステム・クロック周波数
10. f_{RL} : 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の7種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モード、内蔵している発振器のゲインを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス : FF9FH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
--------	-------	--------	---	---------	---	---	---	------

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	発振周波数の制御
0	1 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

- 注意1. 高速システム・クロック周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
2. AMPHは、メイン・システム・モード・レジスタ (MCM) を設定する前に設定してください。
 3. AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。CPUクロックに高速システム・クロック (X1発振) を選択する場合は、AMPHに1を設定してから4.06 ~ 16.12 μ s間、CPUクロックに高速システム・クロック (外部クロック入力) を選択する場合は、AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。
 4. AMPH = 1設定時にSTOP命令を実行した場合、CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間、CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分、CPUクロックの供給が停止されます。CPUクロックが高速システム・クロック (X1発振) のときは、STOPモード解除後に発振安定時間をカウントします。
 5. EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。
 6. ビット5, 3-1には、必ず0を設定してください。

備考 f_{XH} : 高速システム・クロック発振周波数

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比, サブシステム・クロックの動作モードを設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス: FFFBH リセット時: 01H RW^注

略号	7	6	5	4	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注 ビット5は, Read Onlyです。

注意 ビット7, 6, 3には, 必ず0を設定してください。

備考1. f_{XP} : メイン・システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

78K0/Kx2-Cの一番速い命令はCPUクロック2クロックで実行されます。したがって, CPUクロック (f_{cpu}) と最小命令実行時間の関係は, 表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f _{CPU})	最小命令実行時間: 2/f _{CPU}			
	メイン・システム・クロック			サブシステム・クロック
	高速システム・クロック ^注		高速内蔵発振クロック ^注	
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f _{XP}	0.2 μs	0.1 μs	0.25 μs (TYP.)	-
f _{XP} /2	0.4 μs	0.2 μs	0.5 μs (TYP.)	-
f _{XP} /2 ²	0.8 μs	0.4 μs	1.0 μs (TYP.)	-
f _{XP} /2 ³	1.6 μs	0.8 μs	2.0 μs (TYP.)	-
f _{XP} /2 ⁴	3.2 μs	1.6 μs	4.0 μs (TYP.)	-
f _{SUB} /2	-		-	122.1 μs

注 CPUクロックに供給するメイン・システム・クロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5-6参照)。

(3) サブシステム・クロック端子の動作モードの設定方法

サブシステム・クロック端子の動作モードは、クロック動作モード選択レジスタ (OSCCTL) のビット4 (OSCELS) で設定します。

表5-3 サブシステム・クロック端子の動作モードの設定

OSCCTLのビット4	サブシステム・クロック端子の 動作モード	P123/XT1端子	P124/XT2端子
OSCELS			
0	入力ポート・モード	入力ポート	
1	XT1発振モード	水晶発振子接続	

注意 OSCELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (メイン・システム・クロックでCPU動作) であることを確認してください。

(4) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図5-4 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス：FFA0H リセット時：80H^{※1} RW^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

- ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。

(5) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSSEL) が0のとき (入出力ポート・モード)、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(6) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-6 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス: FFA1H リセット時: 00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})
1	1	高速システム・クロック (f _{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後, 1回だけ設定が可能です。

2. 次の周辺機能には, XSELとMCM0の設定によらず, f_{PRS}以外のクロックが供給されます。

- ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
- ・8ビット・タイマH1のカウント・クロックに「f_{R1}」, 「f_{R1}/2⁷」または「f_{R1}/2⁹」を選択時 (低速内蔵発振クロックで動作)
- ・クロック・ソースに外部クロックを選択している周辺ハードウェア
(ただし, TM00の外部カウント・クロック選択時 (TI000端子の有効エッジ) は除く)

(7) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

図5-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
					$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上

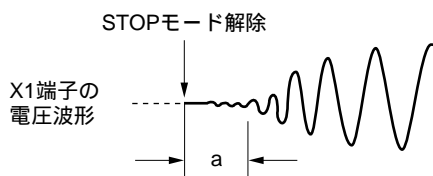
注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(8) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

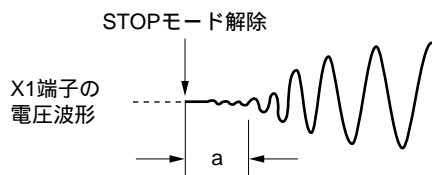
図5 - 8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	1	$2^{11}/f_x$	204.8 μs	102.4 μs
0	1	0	$2^{13}/f_x$	819.2 μs	409.6 μs
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 μs
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

- 注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- 2 . X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 3 . 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
- 4 . X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

5.4 システム・クロック発振回路

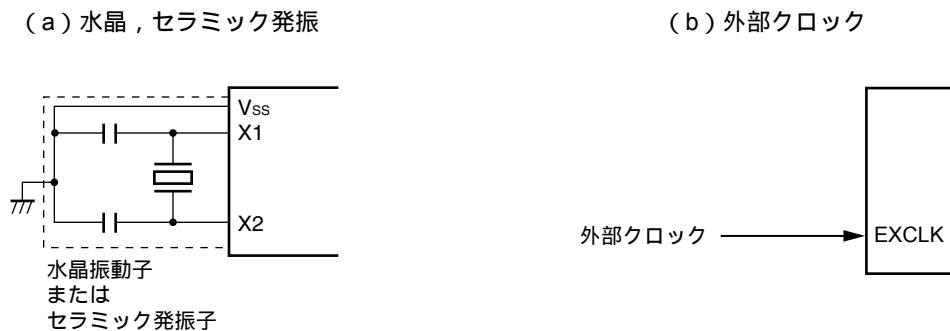
5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図5-9にX1発振回路の外付け回路例を示します。

図5-9 X1発振回路の外付け回路例（水晶，セラミック発振）

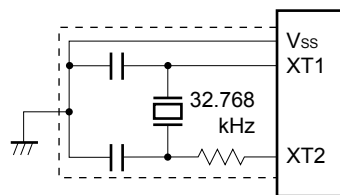


5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

図5-10にXT1発振回路の外付け回路例を示します。

図5-10 XT1発振回路の外付け回路例（水晶発振）



注意1．X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-9、図5-10の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

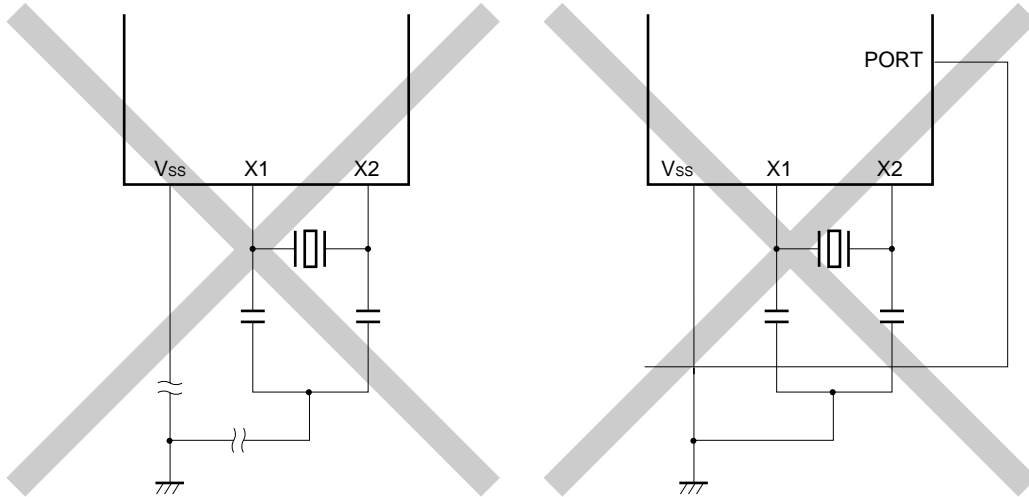
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図5 - 11に発振子の接続の悪い例を示します。

図5 - 11 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

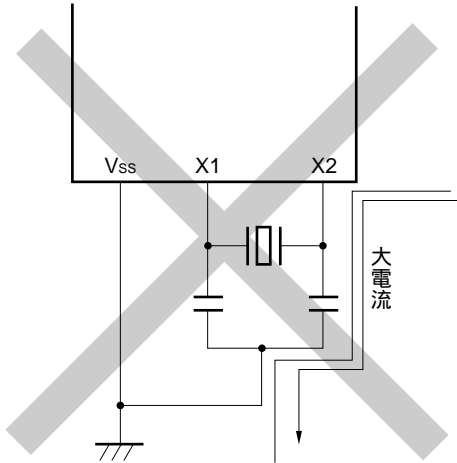
(b) 信号線が交差している



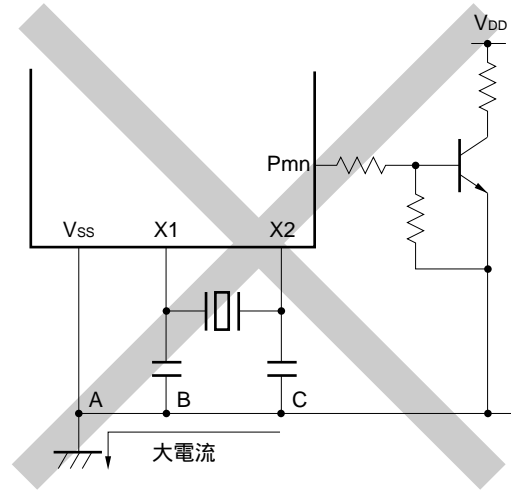
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-11 発振子の接続の悪い例 (2/2)

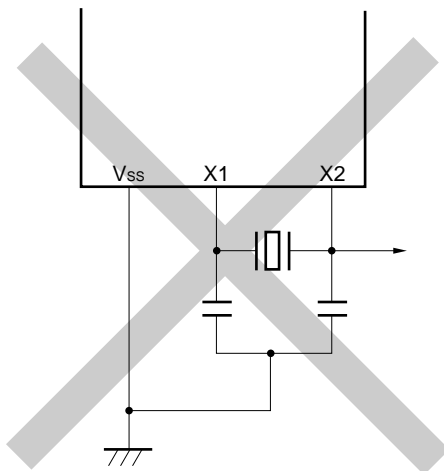
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意2 . X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

5.4.3 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作などのためにサブシステム・クロックを使用する必要のない場合、また入出力ポートとして使用しない場合は、XT1, XT2端子を入力ポート・モード (OSCSELS = 0) にし、個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。

備考 OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4

5.4.4 高速内蔵発振回路

78K0/Kx2-Cは、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します (8 MHz (TYP.))。

5.4.5 低速内蔵発振回路

78K0/Kx2-Cは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマおよび8ビット・タイマH1としてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))。

5.4.6 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

メイン・システム・クロック f_{XP}
・高速システム・クロック f_{XH}
 X1クロック f_X
 外部メイン・システム・クロック f_{EXCLK}
・高速内蔵発振クロック f_{RH}
サブシステム・クロック f_{SUB}
・XT1クロック f_{XT}
低速内蔵発振クロック f_{RL}
CPUクロック f_{CPU}
周辺ハードウェア・クロック f_{PRS}

78K0/Kx2-Cでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

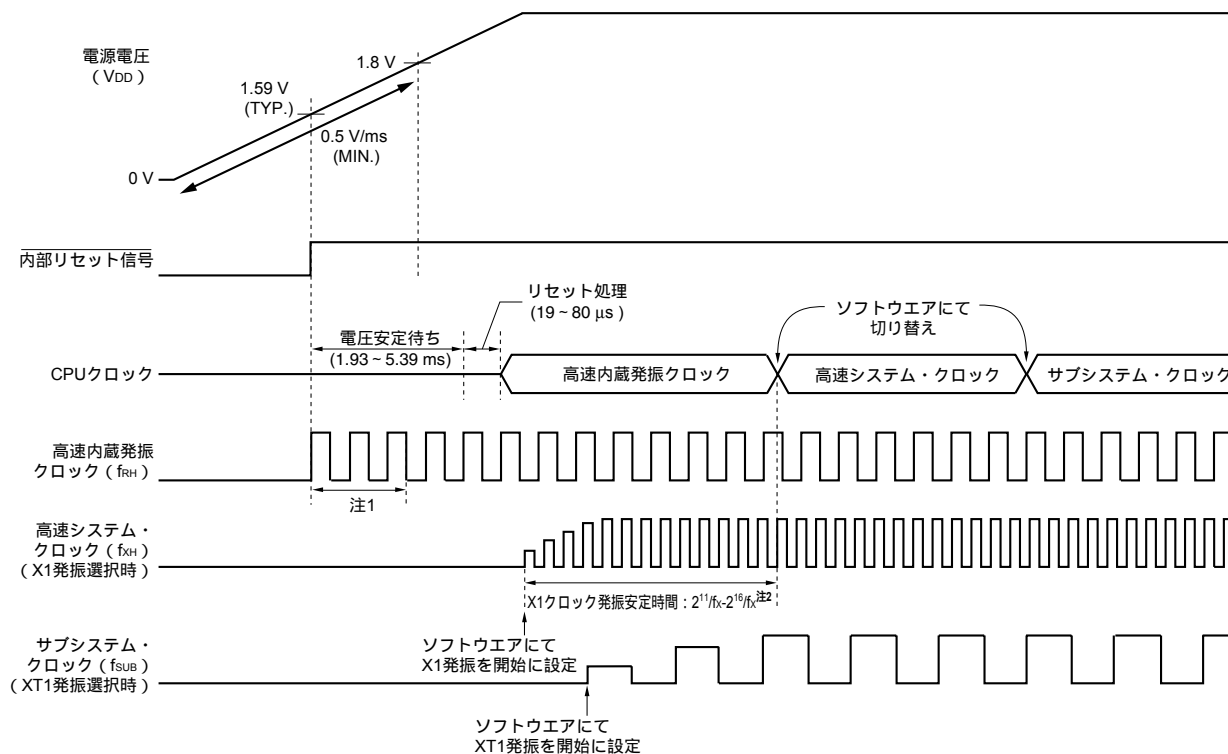
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 12に示します。

図5 - 12 電源電圧投入時のクロック発生回路の動作
 (1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



電源投入後，パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると，リセットが解除され，高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると，リセット解除後に電源 / レギュレータの電圧安定待ち時間が経過してから，リセット処理が行われたのちに，CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは，ソフトウェアにて発振開始を設定してください (5.6.1 高速システム・クロックの制御例の(1)，5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウェアにて切り替えを設定してください (5.6.1 高速システム・クロックの制御例の(3)，5.6.3 サブシステム・クロックの制御例の(3)を参照)。

(注，注意，備考は次ページにあります。)

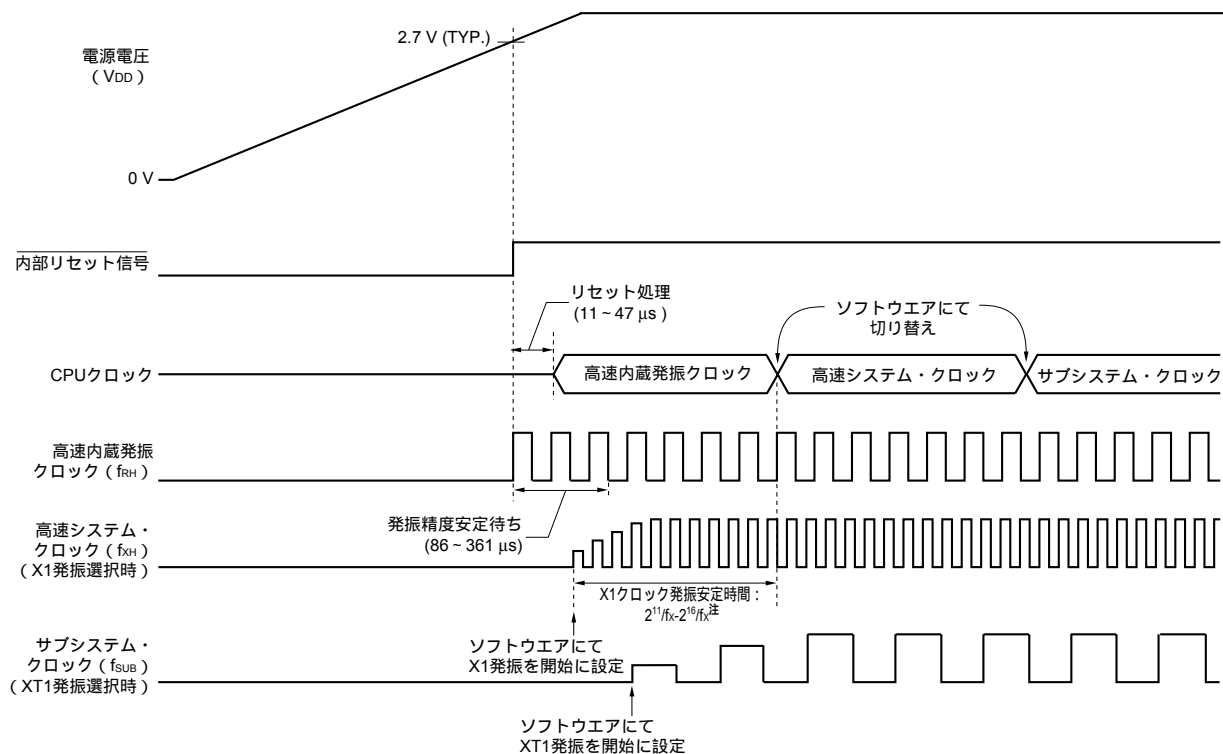
- 注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
2. リセット解除時（上図）およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。またCPUクロックが高速システム・クロック（X1発振）の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ（OSTS）で設定してください。

注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりは、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定（POCMODE = 1）してください（図5 - 13参照）。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5 - 12の以降と同様のタイミングで動作します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックは、STOP命令の実行によりクロックを停止することができます（5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(4)を参照）。

図5 - 13 電源電圧投入時のクロック発生回路の動作
(2.7 V/1.59V POCモード設定時 (オプション・バイト: POCMODE = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が2.7 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (5.6.1 高速システム・クロックの制御例の(1)、5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.1 高速システム・クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(3)を参照)。

注 リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

- 注意 1.** 電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ~ 5.39 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生し、リセット処理時間が19 ~ 80 μsになります。
- 2.** EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックは、STOP命令の実行によりクロックを停止することができます (5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(4)を参照)。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、OCD0A/X1/P121, OCD0B/X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 OCD0A/X1/P121, OCD0B/X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

周波数の設定 (OSCCTLレジスタ)

AMPHで、使用する周波数に応じて、内蔵している発振器のゲインを設定します

AMPH ^注	発振周波数の制御
0	1 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから4.06 ~ 16.12 μ s間, CPUクロックの供給が停止されます。

備考 f_{XH} : 高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶 / セラミック発振子接続	

X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

- 注意1. X1クロック動作中にEXCLK, OSCSELを書き換えないでください
2. 電源電圧が、使用するクロックの動作可能電圧（第30章 電気的特性を参照）に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

周波数の設定（OSCCTLレジスタ）

AMPHで、使用する周波数を設定します

AMPH ^注	発振周波数の制御
0	1 MHz f_{XH} 10 MHz
1	10 MHz < f_{XH} 20 MHz

注 AMPHは、リセット解除後、周辺機能を設定する前に設定してください。リセット解除後1回のみ設定可能です。AMPHに1を設定してから外部クロックの160クロック分、CPUクロックの供給が停止されます。

備考 f_x : 高速システム・クロック周波数

P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択（OSCCTLレジスタ）

EXCLK, OSCSELをそれぞれ1に設定すると、ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御（MOCレジスタ）

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

- 注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。
2. 電源電圧が、使用するクロックの動作可能電圧（第30章 電気的特性を参照）に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5.6.1(1) X1クロックを発振する場合の設定手順例，または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合， の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると，メイン・システム・クロックと周辺ハードウェアに，高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
1	1	高速システム・クロック (f _{XH})	高速システム・クロック (f _{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合，周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

メイン・システム・クロックをCPUクロックに選択，分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			設定禁止

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには，次の2つの方法があります。

- ・STOP命令を実行し，STOPモードに移行する
- ・MSTOPを1に設定し，X1発振を停止する (外部クロックを使用している場合は，クロック入力無効)

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては，第22章 スタンバイ機能を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合，STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合**CPUクロックのステータス（PCC, MCMレジスタ）を確認**

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速システム・クロックの停止（MOCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}**高速内蔵発振クロック発振の再開の設定（RCMレジスタ）**

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち（RCMレジスタ）

RSTSに1がセットされるまでウエイトします^{注2}。

注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。

2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック，高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

・高速内蔵発振クロックの発振を再開^注

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振^注

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例，(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック，高速システム・クロック動作中の場合， の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で，メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		
1	0		高速システム・クロック (f _{XH})

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると，CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は，PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
	上記以外			設定禁止

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合**周辺ハードウェアの設定**

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第22章 **スタンバイ機能**を参照してください）。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合**CPUクロックのステータスを確認（PCC，MCMレジスタ）**

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止（RCMレジスタ）

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

サブシステム・クロックは、次の水晶発振子接続があります。

- ・XT1クロック : XT1, XT2端子に水晶発振子接続

また、未使用時では、XT1/P123, XT2/P124端子を入力ポートとして使用できます。

注意 XT1/P123, XT2/P124端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) サブシステム・クロックをCPUクロックとして使用する場合
- (3) サブシステム・クロックを停止する場合

(1) XT1クロックを発振する場合の設定手順例

XT1, XT2端子の設定，動作モードの選択（PCC, OSCCTLレジスタ）

OSCSELSを次のように設定すると、ポート・モードからXT1発振モードへ切り替わります。

OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2
1	XT1発振モード	水晶 / セラミック発振子接続	

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 サブシステム・クロック動作中にOSCSELSを書き換えしないでください。

(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振[※]

(5.6.3(1) XT1クロックを発振する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、 の設定不要です。

CPUクロックの切り替え（PCCレジスタ）

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択
1	0	0	0	f _{sub} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

(3) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの停止 (OSCCTLレジスタ)

OSCSELSを0に設定すると、XT1発振が停止します。

- 注意1. OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで周辺ハードウェアが動作している場合は、周辺ハードウェアの動作を停止してください。
2. STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (カウント・クロックに f_{RL} , $f_{RU}/2^7$ または $f_{RU}/2^9$ を選択した場合)

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))

(1) 低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定 (RCMレジスタ)

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定 (RCMレジスタ)

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

5.6.5 CPUクロック，周辺ハードウェア・クロックへの供給クロック

CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表5 - 4 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定

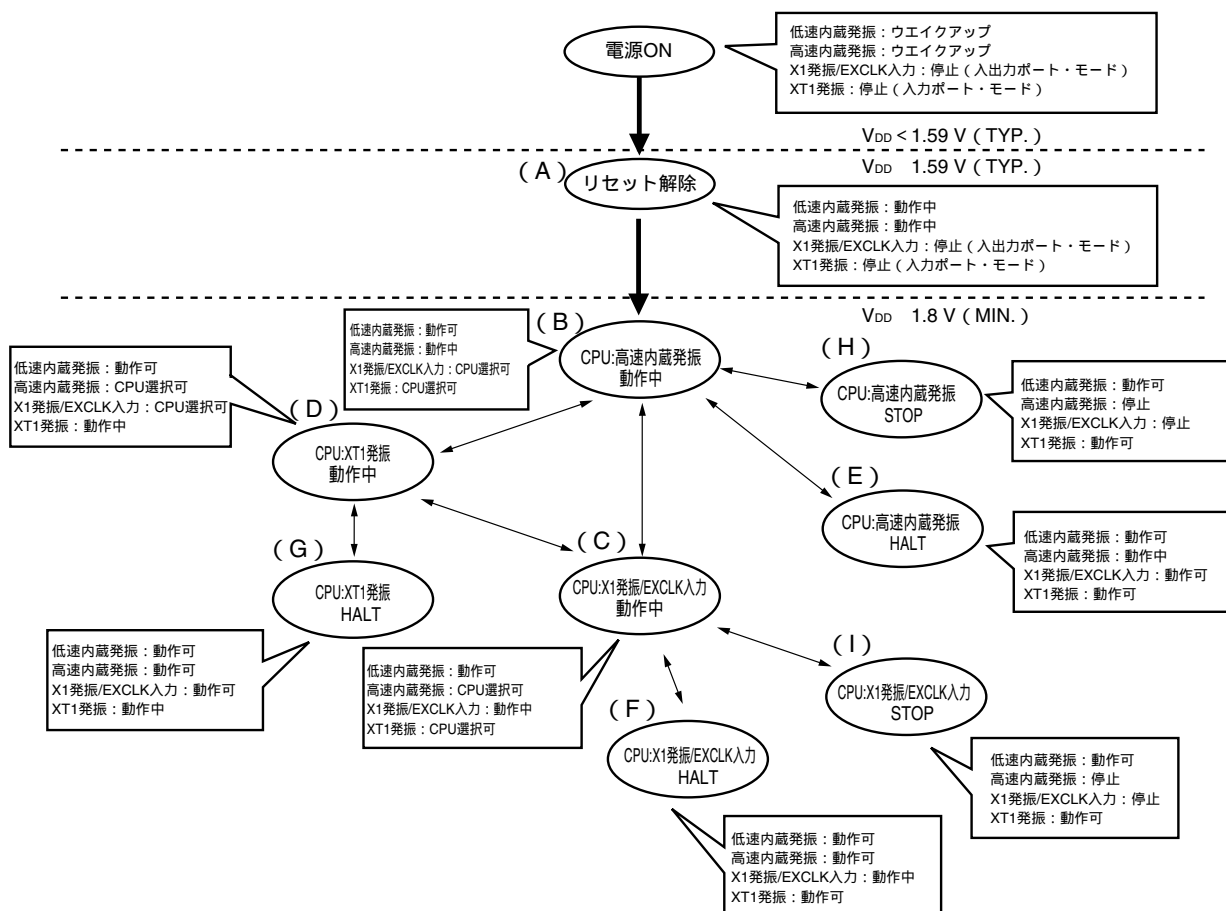
供給クロック		XSEL	CSS	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック				
高速内蔵発振クロック		0	0	x	x
高速内蔵発振クロック	X1クロック	1	0	0	0
	外部メイン・システム・クロック	1	0	0	1
X1クロック		1	0	1	0
外部メイン・システム・クロック		1	0	1	1
サブシステム・クロック	高速内蔵発振クロック	0	1	x	x
	X1クロック	1	1	0	0
		1	1	1	0
	外部メイン・システム・クロック	1	1	0	1
1		1	1	1	

- 備考1. XSEL :メイン・クロック・モード・レジスタ (MCM) のビット2
2. CSS :プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
3. MCM0 :MCMのビット0
4. EXCLK :クロック動作モード選択レジスタ (OSCCTL) のビット7
5. x : don't care

5.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 14に示します。

図5 - 14 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1) では, 電源投入後, 電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し, リセット処理 (11~47 μ s (TYP.)) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 5に示します。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (1/4)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
状態遷移 (A) (B) (C) (X1クロック: 1 MHz f_{XH} 10 MHz)	0	0	1	0	確認必要	1	1
(A) (B) (C) (外部メイン・システム・ クロック: 1 MHz f_{XH} 10 MHz)	0	1	1	0	確認不要	1	1
(A) (B) (C) (X1クロック: 10 MHz < f_{XH} 20 MHz)	1	0	1	0	確認必要	1	1
(A) (B) (C) (外部メイン・システム・ クロック: 10 MHz < f_{XH} 20 MHz)	1	1	1	0	確認不要	1	1

注意 設定するクロックの動作可能電圧 (第30章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	OSCSELS	発振安定待ち	CSS
状態遷移 (A) (B) (D)	1	必要	1

備考1. 表5 - 5の (A) - (I) は、図5 - 14の (A) - (I) と対応しています。

2. EXCLK, OSCSEL, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 4

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH ^注	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
状態遷移 (B) (C) (X1クロック: 1 MHz f_{XH} 10 MHz)	0	0	1	0	確認必要	1	1
(B) (C) (外部メイン・システム・クロック: 1 MHz f_{XH} 10 MHz)	0	1	1	0	確認不要	1	1
(B) (C) (X1クロック: 10 MHz < f_{XH} 20 MHz)	1	0	1	0	確認必要	1	1
(B) (C) (外部メイン・システム・クロック: 10 MHz < f_{XH} 20 MHz)	1	1	1	0	確認不要	1	1

設定済みの場合は不要
高速システム・クロック動作中の場合は不要

注 リセット解除後, 1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第30章 電気的特性を参照) に電源電圧が達してから, クロックを設定してください。

(5) CPUを高速内蔵発振クロック動作 (B) から, サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	OSCSELS	発振安定待ち	CSS
状態遷移 (B) (D)	1	必要	1

備考1. 表5 - 5の (A) - (I) は, 図5 - 14の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, OSCSELS, AMPH

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 4

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0
状態遷移	(C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		OSCSLS	発振安定待ち	CSS
状態遷移	(C) (D)	1	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0	CSS
状態遷移	(D) (B)	0	1を確認	0	0

高速内蔵発振クロック動作中の場合は不要

XSELが0の場合は不要

備考1. 表5 - 5の (A) - (I) は、図5 - 14の(A) - (I) と対応しています。

2. MCM0 : メイン・クロック・モード・レジスタ(MCM)のビット0
- OSCSLS : クロック動作モード選択レジスタ (OSCCCTL) のビット4
- RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0
- CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (4/4)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	AMPH ^注	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0	CSS
状態遷移 (D) (C) (X1クロック : 1 MHz f_{XH} 10 MHz)	0	0	1	0	確認必要	1	1	0
(D) (C) (外部メイン・システム・ クロック : 1 MHz f_{XH} 10 MHz)	0	1	1	0	確認不要	1	1	0
(D) (C) (X1クロック : 10 MHz < f_{XH} 20 MHz)	1	0	1	0	確認必要	1	1	0
(D) (C) (外部メイン・システム・ クロック : 10 MHz < f_{XH} 20 MHz)	1	1	1	0	確認不要	1	1	0

設定済みの場合は不要
高速システム・ク
ロック動作中の
場合は不要
設定済みの場合は
不要

注 リセット解除後，1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧（第30章 電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G)	HALT命令を実行する

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容	
(B) (H) (C) (I)	STOPモード中に動作できない周辺 機能を停止する	STOP命令を実行する

備考1. 表5 - 5の (A) - (I) は，図5 - 14の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, AMPH : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6
 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
 XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

5.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5 - 6 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	・高速内蔵発振器停止可能 (RSTOP = 1) ・AMPH = 1を設定した場合、設定してから4.06 ~ 16.12 μ s間、CPUクロックの供給停止
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	・高速内蔵発振器停止可能 (RSTOP = 1) ・AMPH = 1を設定した場合、設定してからEXCLK端子からの外部クロックの160クロック分、CPUクロックの供給停止
X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されていること ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック			外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
高速内蔵発振 クロック	XT1クロック	XT1発振が安定していること ・OSCSELS = 1 ・発振安定時間経過後	高速内蔵発振器を停止 (RSTOP = 1) すると、動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック			外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
XT1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・RSTOP = 0, MCS = 0	XT1発振停止に設定可能 (OSCSELS = 0)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後 ・MCS = 1	・XT1発振停止に設定可能 (OSCSELS = 0) ・AMPH = 1を設定した場合、設定してから4.06 ~ 16.12 μ s間、CPUクロックの供給停止
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1 ・MCS = 1	・XT1発振停止に設定可能 (OSCSELS = 0) ・AMPH = 1を設定した場合、設定してからEXCLK端子からの外部クロックの160クロック分、CPUクロックの供給停止

5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, PCCを書き換えた直後ではなく, PCCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-7参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, PCCのビット5 (CLS) で判定できます。

表5-7 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
0	0	0	0	16クロック				16クロック				16クロック				16クロック				2f _{XP} /f _{SUB} クロック							
0	0	1	0	8クロック				8クロック				8クロック				8クロック				f _{XP} /f _{SUB} クロック							
0	1	0	0	4クロック				4クロック				4クロック				4クロック				f _{XP} /2f _{SUB} クロック							
0	1	1	0	2クロック				2クロック				2クロック				2クロック				f _{XP} /4f _{SUB} クロック							
0	1	0	1	1クロック				1クロック				1クロック				1クロック				f _{XP} /8f _{SUB} クロック							
1	x	x	x	2クロック				2クロック				2クロック				2クロック				2クロック							

注意 メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に設定しないでください。

ただし, メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

備考1. 表5-7のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は, 小数点以下を切り上げてください。

例 CPUクロックをf_{XP}/2 f_{SUB}/2に切り替える場合 (f_{XP} = 10 MHz, f_{SUB} = 32.768 kHz発振時)

$$f_{XP}/f_{SUB} = 10000 / 32.768 \div 305.1 \quad 306 \text{クロック}$$

また, メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により, メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は, MCM0を書き換えた直後ではなく, MCM0を変更したのち, 数クロックは切り替え前のクロックで動作します (表5-8参照)。

CPUクロックが高速内蔵発振クロックで動作しているか, 高速システム・クロックで動作しているかは, MCMのビット1 (MCS) で判定できます。

表5-8 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

- 備考**1. 表5-8のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。
 2. 表5-8のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 8 \text{ MHz}$, $f_{XH} = 10 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \quad 2\text{クロック}$$

5.6.9 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-9 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	OSCSELS = 0

5.6.10 周辺ハードウェアとソース・クロック

78K0/Kx2-Cに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

表5 - 10 周辺ハードウェアとソース・クロック

ソース・クロック		周辺ハードウェア・クロック (fPRS)	サブシステム・クロック (fSUB)	低速内蔵発振 クロック (fRL)	TM50出力	周辺ハードウェア の端子からの外部 クロック
周辺ハードウェア						
16ビット・タイマ/ イベント・カウンタ	00		×	×	×	(TI000端子) ^{注1}
	01		×	×	×	(TI001端子) ^{注1,2}
	02		×	×	×	(TI002端子) ^{注1,2}
8ビット・タイマ/ イベント・カウンタ	50		×	×	×	(TI50端子) ^{注1}
	51		×	×	×	(TI51端子) ^{注1}
8ビット・タイマ	H0		×	×		×
	H1		×		×	×
リアルタイム・カウンタ				×	×	×
ウォッチドッグ・タイマ		×	×		×	×
ブザー出力 ^{注3}			×	×	×	×
クロック出力				×	×	×
A/Dコンバータ			×	×	×	×
シリアル・ インタフェース	UART0		×	×		×
	UART60		×	×		×
	UART61 ^{注3}		×	×	×	×
	CSI10		×	×	×	(SCK10端子) ^{注1}
	CSI11		×	×	×	(SCK11端子) ^{注1}
	IICA00		×	×	×	(SCLA0端子) ^{注1}
	IICA01		×	×	×	(SCLA1端子) ^{注1}
	IICA02		×	×	×	(SCLA2端子) ^{注1}
CEC送受信回路				×	×	×
リモコン受信回路				×	×	×

注1. CPUがサブシステム・クロック動作中で、高速内蔵発振クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

- 78K0/KC2-CのTM01, TM02はタイマ入出力端子がありません。
- 78K0/KE2-Cのみ

備考 : 選択可能, × : 選択不可

第6章 16ビット・タイマ/イベント・カウンタ00, 01, 02

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
16ビット・タイマ/イベント・カウンタ00		
16ビット・タイマ/イベント・カウンタ01		注
16ビット・タイマ/イベント・カウンタ02		注

注 78K0/KC2-CのTM01, TM02はタイマ入出力端子がありません。

注意 TM01でINTTM001が発生する場合は, UART61の受信は使用できません(64ピンのみ)。

TM01でINTTM011が発生する場合は, UART61の送信は使用できません(64ピンのみ)。

TM02でINTTM012が発生する場合は, 乗除算器は使用できません。

備考 : 搭載

6.1 16ビット・タイマ/イベント・カウンタ00, 01, 02の機能

16ビット・タイマ/イベント・カウンタ00, 01, 02には, 次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

6.2 16ビット・タイマ/イベント・カウンタ00, 01, 02の構成

16ビット・タイマ/イベント・カウンタ0nは、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタ0nの構成

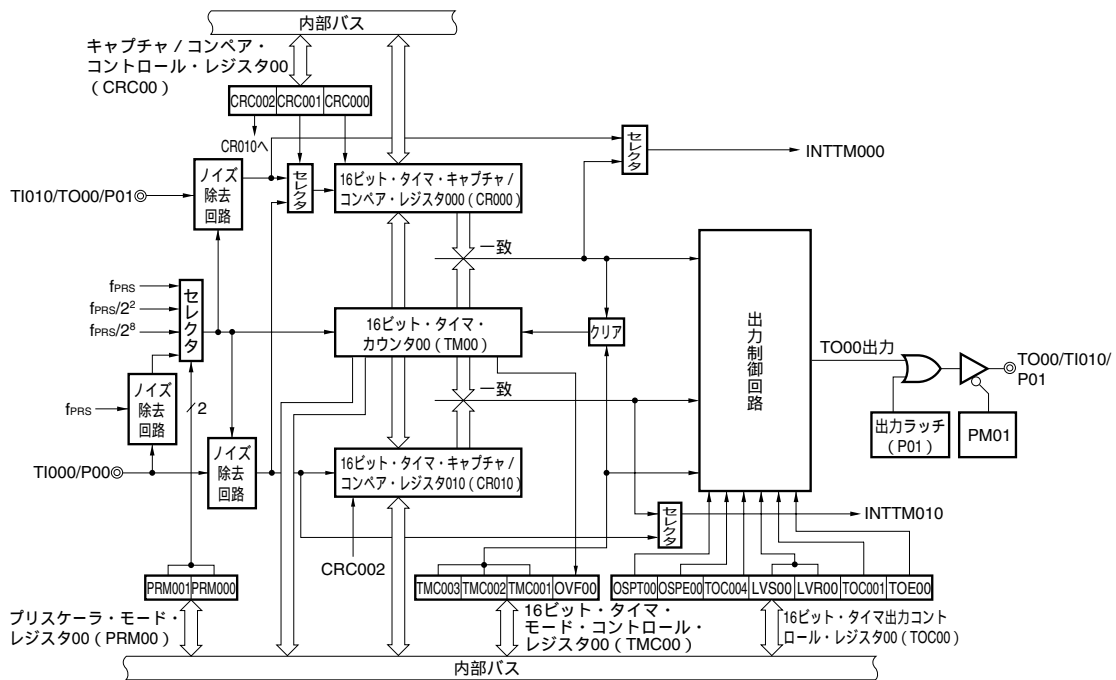
項 目	構 成
タイマ/カウンタ	16ビット・タイマ・カウンタ0n (TM0n)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ00n, 01n (CR00n, CR01n)
タイマ入力	TI00n, TI01n端子
タイマ出力	TO0n端子, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) プリスケーラ・モード・レジスタ0n (PRM0n) ポート・モード・レジスタ0, 5 ^注 (PM0, PM5 ^注) ポート・レジスタ0, 5 ^注 (P0, P5 ^注)

注 78K0/KE2-Cのみ

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

図6-1 ~ 図6-3にブロック図を示します。

図6-1 16ビット・タイマ/イベント・カウンタ00のブロック図



(注意1~3は、次々ページにあります。)

図6-2 16ビット・タイマ/イベント・カウンタ01, 02のブロック図 (78K0/KC2-C)

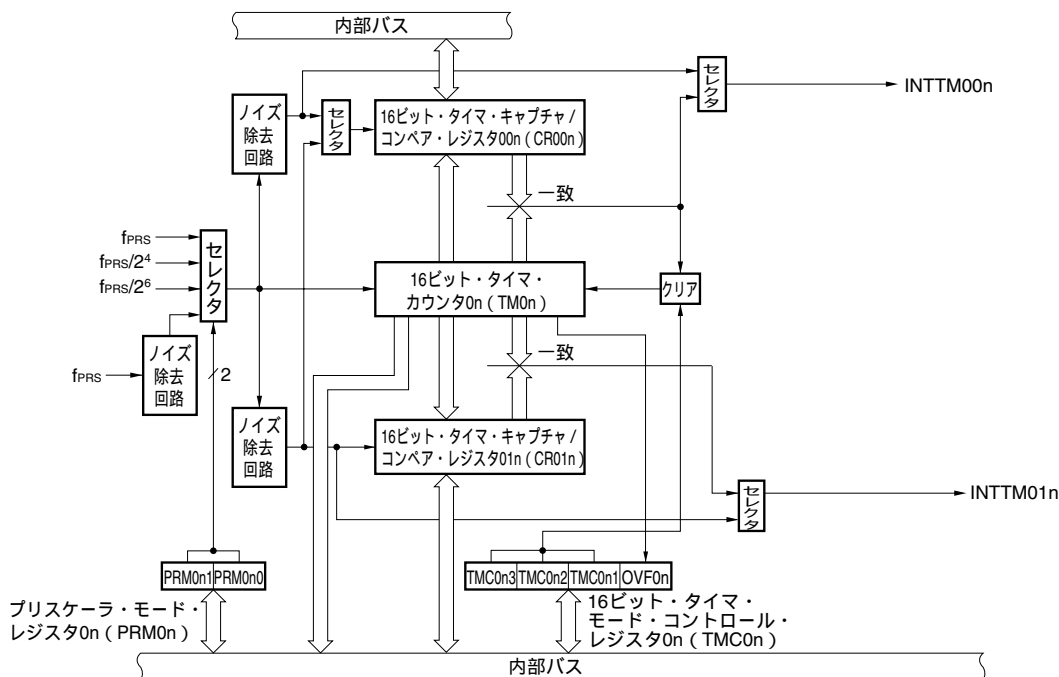
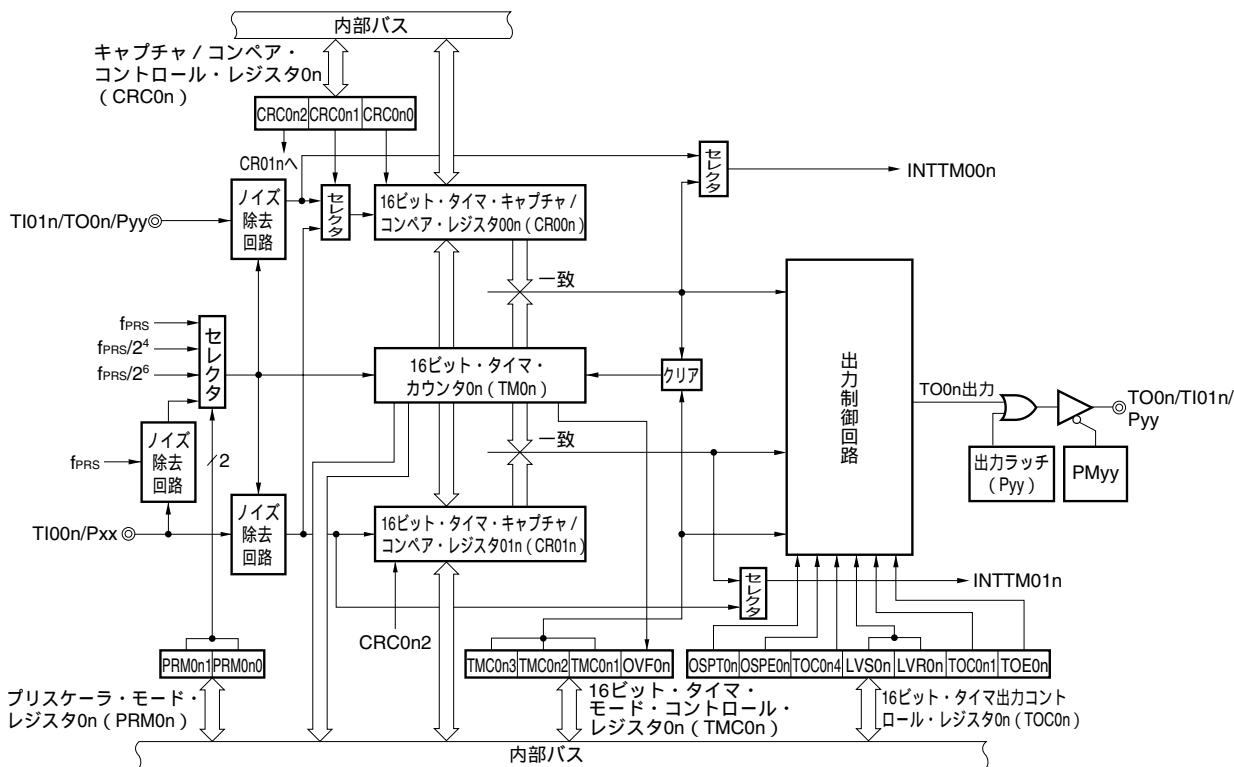


図6-3 16ビット・タイマ/イベント・カウンタ01, 02のブロック図 (78K0/KE2-C)



備考1. n = 1, 2

2. n = 1 の場合 : xx = 05, yy = 06

n = 2 の場合 : xx = 50, yy = 51

(注意1~3は, 次ページにあります。)

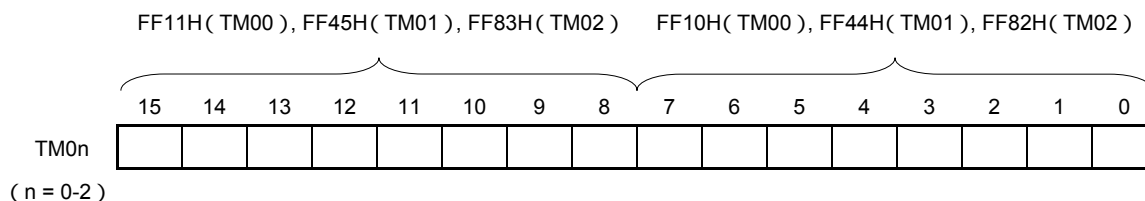
- 注意1. P01端子はTI010有効エッジとタイマ出力(TO00)を, P06端子はTI011有効エッジとタイマ出力(TO01)を, P51端子はTI012有効エッジとタイマ出力(TO02)をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。
2. 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合, キャプチャ・データは不定となります。
3. キャプチャ・モードからコンペア・モードに変更する場合は, いったんTMC0n3, TMC0n2ビット = 00にしてから, 設定を変更してください。
なお, 一度キャプチャした値は, リセットしないかぎりCR00nに格納されたままです。コンペア・モードに変更したあとは, 必ずコンペア値を設定してください。

(1) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nは, カウント・パルスをカウントする16ビットのリード専用レジスタです。
カウント・クロックの立ち上がり同期して, カウンタをインクリメントします。

図6-4 16ビット・タイマ・カウンタ0n (TM0n) のフォーマット

アドレス: FF10H, FF11H (TM00), FF44H, FF45H (TM01), リセット時: 0000H R
FF82H, FF83H (TM02)



TM0nを16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 00以外のときにリードすることにより, カウント値をリードできます。TMC0n3, TMC0n2 = 00の状態でもリードした場合には, 0000Hがリードされます。

次の場合, カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC0n3, TMC0n2をクリア(00)したとき
- ・TI00n端子の有効エッジ入力でクリア&スタート・モード時, TI00n端子に有効エッジが入力されたとき
- ・TM0nとCR00nの一致でクリア&スタート・モード時, TM0nとCR00nが一致したとき
- ・ワンショット・パルス出力モードで, OSPT0nをセット(1)したとき, またはTI00n端子に有効エッジが入力されたとき

注意 TM0nをリードしても, CR01nにはキャプチャしません。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子(TI00n)の場合: n = 0)

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n),
16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC0nで行います。

CR00nはタイマ停止中 (TMC0n3, TMC0n2 = 00) に書き換えを行ってください。

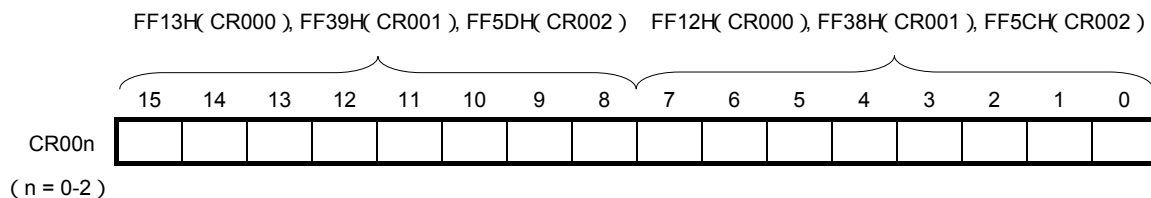
CR01nは、所定の方法で設定した場合、動作中に書き換え可能です。詳細は6.5.1 CR01nのTM0n動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-5 16ビット・タイマ・キャプチャ/コンペア・レジスタ00n (CR00n) のフォーマット

アドレス : FF12H, FF13H (CR000), FF38H, FF39H (CR001), リセット時 : 0000H R/W
FF5CH, FF5DH (CR002)



(i) CR00nをコンペア・レジスタとして使用するとき

CR00nに設定した値とTM0nのカウント値を常に比較し、一致したときに割り込み信号 (INTTM00n) を発生します。書き換えられるまで値を保持します。

注意 コンペア・モードに設定したCR00nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) CR00nをキャプチャ・レジスタとして使用するとき

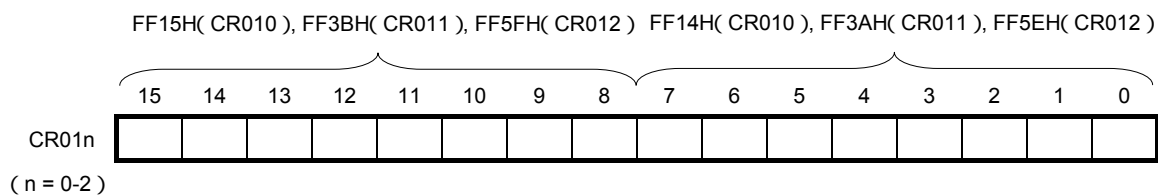
キャプチャ・トリガの入力により、TM0nのカウント値をCR00nにキャプチャします。

キャプチャ・トリガとして、TI00n端子の逆相のエッジかTI01n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC0n, PRM0nで設定します。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n), CRC0nレジスタの場合 : n = 0)

図6-6 16ビット・タイマ・キャプチャ/コンペア・レジスタ01n (CR01n) のフォーマット

アドレス : FF14H, FF15H (CR010), FF3AH, FF3BH (CR011), リセット時 : 0000H R/W
FF5EH, FF5FH (CR012)



(i) CR01nをコンペア・レジスタとして使用するとき

CR01nに設定した値とTM0nのカウント値を常に比較し、一致したときに割り込み信号 (INTTM01n) を発生します。

注意 コンペア・モードに設定したCR01nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) CR01nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nのカウント値をCR01nにキャプチャします。

キャプチャ・トリガとして、TI00n端子の有効エッジの選択ができます。TI00n端子の有効エッジは、PRM0nで設定します。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n) の場合 : n = 0)

(iii) CR00n, CR01nをコンペア・レジスタとして使用した場合の設定範囲

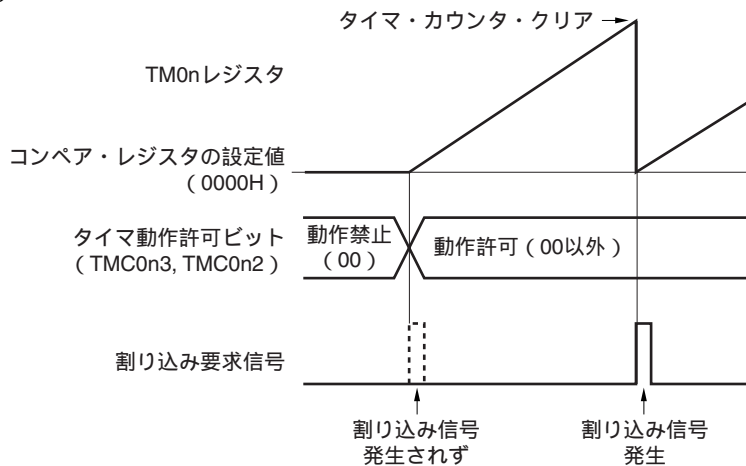
CR00n, CR01nをコンペア・レジスタとして使用するときには、次の範囲で値を設定してください。

動作	CR00nの設定範囲	CR01nの設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H ^注 M FFFFH
方形波出力としての動作		通常、使用しません。一致割り込み信号 (INTTM01n) をマスクしてください。
外部イベント・カウンタとしての動作		
TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H ^注 N FFFFH	0000H ^注 M FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N FFFFH	0000H ^注 M < N
ワンショット・パルス出力としての動作	0000H ^注 N FFFFH (N M)	0000H ^注 M FFFFH (M N)

注 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。

0000Hに設定した場合、最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM0nレジスタ) が0000Hから0001Hになるタイミングで発生します。

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI00n端子の有効エッジによるタイマ・カウンタ・クリア時
(TI00n端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM0nとCR00nの一致でクリア&スタート・モード (CR00n = 0000H以外, CR01n = 0000H) のとき)







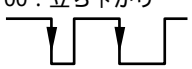
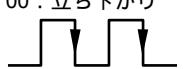



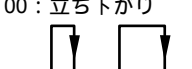
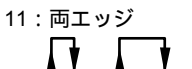


備考1. N : CR00nの設定値, M : CR01nの設定値

2. TMC0n3, TMC0n2については、6.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ 0n (TMC0n) を参照してください。

3. n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n) の場合 : n = 0)

表6 - 2 CR00n, CR01nのキャプチャ動作

外部入力信号	TI00n端子入力 		TI01n端子入力 	
キャプチャ動作				
CR00n の キャプチャ動作	CRC0n1 = 1 TI00n端子入力 (逆相) 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI01n端子入力 	ES1n1, ES1n0の設定値 キャプチャするエッジの位置
		01 : 立ち上がり 		01 : 立ち上がり 
		00 : 立ち下がり 		00 : 立ち下がり 
	11 : 両エッジ (キャプチャできません)		11 : 両エッジ 	
割り込み信号	キャプチャしても INTTM00n信号は発生しない		割り込み信号	キャプチャするごとに INTTM00n信号が発生
CR01n の キャプチャ動作	TI00n端子入力 ^注 	ES0n1, ES0n0の設定値 キャプチャするエッジの位置		
		01 : 立ち上がり 		
		00 : 立ち下がり 		
	11 : 両エッジ 			
割り込み信号	キャプチャするごとに INTTM01n信号が発生			

注 CR01nのキャプチャ動作には、CRC0n1ビットの設定による影響はありません。

注意 TI00n端子入力の逆相でTM0nレジスタのカウンタ値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM00n) は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。

- 備考1.** CRC0n1 : 6.3 (2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 参照
 ES1n1, ES1n0, ES0n1, ES0n0 : 6.3 (4) プリスケラ・モード・レジスタ0n (PRM0n) 参照
2. n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) の場合 : n = 0)

6.3 16ビット・タイマ/イベント・カウンタ00, 01, 02を制御するレジスタ

16ビット・タイマ/イベント・カウンタ0nを制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)
- ・キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)
- ・16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)
- ・プリスケアラ・モード・レジスタ0n (PRM0n)
- ・ポート・モード・レジスタ0, 5[※] (PM0, PM5[※])
- ・ポート・レジスタ0, 5[※] (P0, P5[※])

注 78K0/KE2-Cのみ

(1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0nは、16ビット・タイマ/イベント・カウンタ0nの動作モード、TM0nのクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC0nは、動作中 (TMC0n3, TMC0n2 = 00以外) の書き換えは禁止です。

ただし、TMC0n3, TMC0n2を00 (動作停止) に設定する場合と、OVF0nに0を設定する場合は、書き換え可能です。

TMC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ/イベント・カウンタ0nは、TMC0n3, TMC0n2に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2に00を設定してください。

備考 n = 0-2 (ただし、78K0/KC2-CのCRC0n, TOC0nレジスタの場合：n = 0)

図6-7 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき, セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

図6-8 16ビット・タイマ・モード・コントロール・レジスタ01 (TMC01) のフォーマット

アドレス : FF9AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	<input type="checkbox"/>
TMC01	0	0	0	0	TMC013	TMC012	TMC011	OVF01

TMC013	TMC012	16ビット・タイマ/イベント・カウンタ01の動作許可
0	0	16ビット・タイマ/イベント・カウンタ01動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ01 (TM01) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI001端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM01とCR001の一致でクリア&スタート・モード

TMC011	タイマ出力 (TO01) 反転条件
0	・ TM01とCR001の一致, TM01とCR011の一致
1	・ TM01とCR001の一致, TM01とCR011の一致 ・ TI001端子の有効エッジ

OVF01	TM01のオーバフロー・フラグ
クリア (0)	OVF01への0クリアまたはTMC013, TMC012 = 00
セット (1)	オーバフロー発生
OVF01は、すべての動作モード (フリー・ランニング・タイマ・モード, TI001端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM01とCR001の一致でクリア&スタート・モード) でTM01の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF01に1を書き込むことでもセット (1) できます。	

注 TI001端子の有効エッジは、プリスケアラ・モード・レジスタ01 (PRM01) のビット5, 4 (ES011, ES010) で設定します。

図6-9 16ビット・タイマ・モード・コントロール・レジスタ02 (TMC02) のフォーマット

アドレス : FFA8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC02	0	0	0	0	TMC023	TMC022	TMC021	OVF02

TMC023	TMC022	16ビット・タイマ/イベント・カウンタ02の動作許可
0	0	16ビット・タイマ/イベント・カウンタ02動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ02 (TM02) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI002端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM02とCR002の一致でクリア&スタート・モード

TMC021	タイマ出力 (TO02) 反転条件
0	・ TM02とCR002の一致, TM02とCR012の一致
1	・ TM02とCR002の一致, TM02とCR012の一致 ・ TI002端子の有効エッジ

OVF02	TM02のオーバフロー・フラグ
クリア (0)	OVF02への0クリアまたはTMC023, TMC022 = 00
セット (1)	オーバフロー発生
OVF02は、すべての動作モード (フリー・ランニング・タイマ・モード, TI002端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM02とCR002の一致でクリア&スタート・モード) でTM02の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF02に1を書き込むことでもセット (1) できます。	

注 TI002端子の有効エッジは、プリスケアラ・モード・レジスタ02 (PRM02) のビット5, 4 (ES021, ES020) で設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

CRC0nは、CR00n, CR01nの動作を制御するレジスタです。

CRC0nは、動作中 (TMC0n3, TMC0n2 = 00以外) の書き換えは禁止です。

CRC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 CRC01, CRC02レジスタは、78K0/KE2-Cのみです。78K0/KC2-Cでは、CR001, CR011, CR002, CR012レジスタをコンペア・レジスタとしてのみ使用できます。

備考 n = 0-2 (ただし、78K0/KC2-Cの場合 : n = 0)

図6-10 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBC_H リセット時 : 00_H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする ^注

TI010, TI000端子の有効エッジはPRM00で設定します。
ただし, CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると, TI000端子の有効エッジを検出できません。

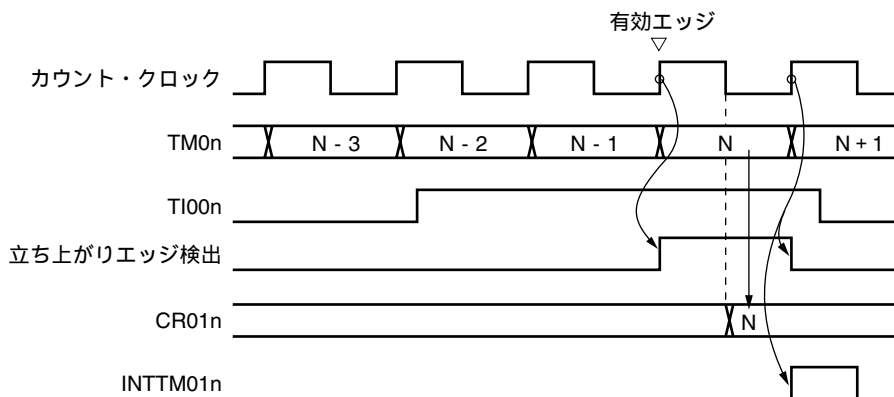
CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は, CRC000には必ず0を設定してください。

注 TI010端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図6-11 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時)



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子 (TI00n) の場合 : n = 0)

図6 - 12 キャプチャ/コンペア・コントロール・レジスタ01 (CRC01) のフォーマット (78K0/KE2-Cのみ)

アドレス : FF9CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC01	0	0	0	0	0	CRC012	CRC011	CRC010

CRC012	CR011の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC011	CR001のキャプチャ・トリガの選択
0	TI011端子の有効エッジでキャプチャする
1	TI001端子の有効エッジの逆相でキャプチャする ^注
TI011, TI001端子の有効エッジはPRM01で設定します。 ただし, CRC011 = 1のときにES011, ES010 = 11 (両エッジ) に指定すると, TI001端子の有効エッジを検出できません。	

CRC010	CR001の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC013, TMC012 = 11 (TM01とCR001の一致でクリア&スタート・モード) を設定した場合は, CRC010には必ず0を設定してください。	

注 TI011端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM001信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケラ・モード・レジスタ01 (PRM01) で選択したカウント・クロックの2周期分より長いパルスが必要です (図6 - 11 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時) を参照)。

図6 - 13 キャプチャ/コンペア・コントロール・レジスタ02 (CRC02) のフォーマット (78K0/KE2-Cのみ)

アドレス : FFAAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC02	0	0	0	0	0	CRC022	CRC021	CRC020

CRC022	CR012の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC012	CR002のキャプチャ・トリガの選択
0	TI012端子の有効エッジでキャプチャする
1	TI002端子の有効エッジの逆相でキャプチャする ^注
TI012, TI002端子の有効エッジはPRM02で設定します。 ただし, CRC021 = 1のときにES021, ES020 = 11 (両エッジ) に指定すると, TI002端子の有効エッジを検出できません。	

CRC020	CR002の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC023, TMC022 = 11 (TM02とCR002の一致でクリア&スタート・モード) を設定した場合は, CRC020には必ず0を設定してください。	

注 TI012端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM002信号が発生します。

注意 キャプチャを確実にするためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ02 (PRM02) で選択したカウント・クロックの2周期分より長いパルスが必要です (図6 - 11 CR01nのキャプチャ動作例 (立ち上がりエッジ指定時) を参照)。

(3) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

TOC0nは、TO0n出力を制御する8ビットのレジスタです。

TOC0nは、OSPT0nだけが動作中 (TMC0n3, TMC0n2 = 00以外のとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR01nの値を変更する手段としての、TOC0n4の書き換えは可能です (6. 5. 1 CR01nのTM0n動作中の書き換えを参照してください)。

TOC0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. TOC01, TOC02レジスタは、78K0/KE2-Cのみです。78K0/KC2-CのTM01, TM02はタイマ入出力端子がありません。

2. TOC0nを設定するときは、必ず次の順序で設定してください。

TOC0n4, TOC0n1のセット (1)

TOE0nだけを単独でセット (1)

LVS0nまたはLVR0nのどちらか片方だけをセット (1)

備考 n = 0-2 (ただし、78K0/KC2-Cの場合 : n = 0)

図6-14 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス：FFBDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM00はクリア&スタートします。

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。
TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC004	CR010とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可

TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。

LVS00	LVR00	TO00出力の状態の設定
0	0	変化しない
0	1	TO00出力初期値ロウ・レベル (TO00出力をクリア (0))
1	0	TO00出力初期値ハイ・レベル (TO00出力をセット (1))
1	1	設定禁止

- ・LVS00, LVR00は、TO00出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。
- ・LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。
LVS00, LVR00とTOE00を同時にセット(1)することも禁止です。
- ・LVS00, LVR00はトリガ・ビットです。セット(1)することで、TO00出力レベルの初期値を設定します。
クリア(0)しても、TO00出力に影響はありません。
- ・LVS00, LVR00のリード値は常に“0”です。
- ・LVS00, LVR00の設定方法の詳細は、6.5.2 LVS0n, LVR0nの設定についてを参照してください。
- ・実際のTO00/TI010/P01端子の出力はTO00出力のほかに、PM01とP01によって決まります。

TOC001	CR000とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可

TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。

TOE00	TO00出力制御
0	出力禁止 (TO00出力はロウ・レベルに固定)
1	出力許可

図6 - 15 16ビット・タイマ出力コントロール・レジスタ01 (TOC01) のフォーマット (78K0/KE2-Cのみ)

アドレス : FF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TOC01	0	OSPT01	OSPE01	TOC014	LVS01	LVR01	TOC011	TOE01
OSPT01	ソフトウェアによるワンショット・パルス出力トリガ							
0	-							
1	ワンショット・パルス出力							
リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM01はクリア&スタートします。								
OSPE01	ワンショット・パルス出力動作の制御							
0	連続パルス出力							
1	ワンショット・パルス出力							
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI001端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。 TM01とCR001の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。								
TOC014	CR011とTM01の一致によるTO01出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC014 = 0でも、割り込み信号 (INTTM011) は発生します。								
LVS01	LVR01	TO01出力の状態の設定						
0	0	変化しない						
0	1	TO01出力初期値ロウ・レベル (TO01出力をクリア (0))						
1	0	TO01出力初期値ハイ・レベル (TO01出力をセット (1))						
1	1	設定禁止						
<ul style="list-style-type: none"> ・LVS01, LVR01は、TO01出力レベルの初期値を設定できます。設定が不要な場合は、LVS01, LVR01を00のままにしてください。 ・LVS01, LVR01は、必ずTOE01 = 1のときに設定してください。 LVS01, LVR01とTOE01を同時にセット(1)することも禁止です。 ・LVS01, LVR01はトリガ・ビットです。セット(1)することで、TO01出力レベルの初期値を設定します。 クリア(0)しても、TO01出力に影響はありません。 ・LVS01, LVR01のリード値は常に“0”です。 ・LVS01, LVR01の設定方法の詳細は、6.5.2 LVS0n, LVR0nの設定についてを参照してください。 ・実際のTO01/TI011/P06端子の出力はTO01出力のほかに、PM06とP06によって決まります。 								
TOC011	CR001とTM01の一致によるTO01出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC011 = 0でも、割り込み信号 (INTTM001) は発生します。								
TOE01	TO01出力制御							
0	出力禁止 (TO01出力はロウ・レベルに固定)							
1	出力許可							

図6 - 16 16ビット・タイマ出力コントロール・レジスタ02 (TOC02) のフォーマット (78K0/KE2-Cのみ)

アドレス : FFABH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TOC02	0	OSPT02	OSPE02	TOC024	LVS02	LVR02	TOC021	TOE02
OSPT02	ソフトウェアによるワンショット・パルス出力トリガ							
0	-							
1	ワンショット・パルス出力							
リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。セット(1)すると、TM02はクリア&スタートします。								
OSPE02	ワンショット・パルス出力動作の制御							
0	連続パルス出力							
1	ワンショット・パルス出力							
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI002端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。 TM02とCR002の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。								
TOC024	CR012とTM02の一致によるTO02出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC024 = 0でも、割り込み信号 (INTTM012) は発生します。								
LVS02	LVR02	TO02出力の状態の設定						
0	0	変化しない						
0	1	TO02出力初期値ロウ・レベル (TO02出力をクリア (0))						
1	0	TO02出力初期値ハイ・レベル (TO02出力をセット (1))						
1	1	設定禁止						
<ul style="list-style-type: none"> ・LVS02, LVR02は、TO02出力レベルの初期値を設定できます。設定が不要な場合は、LVS02, LVR02を00のままにしてください。 ・LVS02, LVR02は、必ずTOE02 = 1のときに設定してください。 LVS02, LVR02とTOE02を同時にセット(1)することも禁止です。 ・LVS02, LVR02はトリガ・ビットです。セット(1)することで、TO02出力レベルの初期値を設定します。 クリア(0)しても、TO02出力に影響はありません。 ・LVS02, LVR02のリード値は常に“0”です。 ・LVS02, LVR02の設定方法の詳細は、6.5.2 LVS0n, LVR0nの設定についてを参照してください。 ・実際のTO02/TI012/P51端子の出力はTO02出力のほかに、PM51とP51によって決まります。 								
TOC021	CR002とTM02の一致によるTO02出力の制御							
0	反転動作禁止							
1	反転動作許可							
TOC021 = 0でも、割り込み信号 (INTTM002) は発生します。								
TOE02	TO02出力制御							
0	出力禁止 (TO02出力はロウ・レベルに固定)							
1	出力許可							

(4) プリスケアラ・モード・レジスタ0n (PRM0n)

PRM0nは、TM0nのカウント・クロック、およびTI00n, TI01n端子入力の有効エッジを設定するレジスタです。

PRM0nは、動作中 (TMC0n3, TMC0n2ビット = 00以外のとき) の書き換えは禁止です。

PRM0n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM0n1, PRM0n0ビット = 11 (カウント・クロックをTI00n端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI00n端子の有効エッジでクリア&スタート・モード
- ・ TI00n端子をキャプチャ・トリガに設定

2. リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

3. P01端子はTI010有効エッジとタイマ出力 (TO00) を、P06端子はTI011有効エッジとタイマ出力 (TO01) を、P51端子はTI012有効エッジとタイマ出力 (TO02) をそれぞれ同時に使用できません。どちらかの機能を選択して使用してください。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) の場合 : n = 0)

図6 - 17 プリスケアラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択				
		$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$	
0	0	f_{PRS}	2 MHz	5 MHz	10 MHz	20 MHz
0	1	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	$f_{PRS}/2^8$	7.81 kHz	19.53 kHz	39.06 kHz	78.12 kHz
1	1	TI000有効エッジ ^{注1, 2}				

注1. TI000端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI000端子からの外部クロックでタイマ動作を開始させないでください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図6 - 18 プリスケアラ・モード・レジスタ01 (PRM01) のフォーマット

アドレス : FF9BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM01	ES111	ES110	ES011	ES010	0	0	PRM011	PRM010

ES111	ES110	TI011端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES011	ES010	TI001端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM011	PRM010	カウント・クロックの選択				
			$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$
0	0	f_{PRS}	2 MHz	5 MHz	10 MHz	20 MHz
0	1	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	$f_{PRS}/2^6$	31.25 kHz	78.125 kHz	156.25 kHz	312.5 kHz
1	1	TI001有効エッジ ^{注1, 2}				

注1. TI001端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。

2. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI001端子からの外部クロックでタイマ動作を開始させないでください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図6 - 19 プリスケアラ・モード・レジスタ02 (PRM02) のフォーマット

アドレス : FFA9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM02	ES121	ES120	ES021	ES020	0	0	PRM021	PRM020

ES121	ES120	TI012端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES021	ES020	TI002端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM021	PRM020	カウント・クロックの選択				
		$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$	
0	0	f_{PRS}	2 MHz	5 MHz	10 MHz	20 MHz
0	1	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	$f_{PRS}/2^6$	31.25 kHz	78.125 kHz	156.25 kHz	312.5 kHz
1	1	TI002有効エッジ ^{注1, 2}				

注1. TI002端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI002端子からの外部クロックでタイマ動作を開始させないでください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(5) ポート・モード・レジスタ0, 5 (PM0, PM5)

ポート0, 5の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010, P06/TO01/TI011, P51/TO02/TI012端子をタイマ出力として使用するとき, PM01, PM06, PM51およびP01, P06, P51の出力ラッチに0を設定してください。

P00/TI000, P01/TO00/TI010, P05/TI001, P06/TO01/TI011, P50/TI002, P51/TO02/TI012端子をタイマ入力として使用するとき, PM00, PM01, PM05, PM06, PM50, PM51に1を設定してください。このときP00, P01, P05, P06, P50, P51の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM5は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図6-20 ポート・モード・レジスタのフォーマット (78K0/KC2-C)

アドレス: FF20H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	1	1	PM01	PM00

PM0n	P0n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図6-21 ポート・モード・レジスタのフォーマット (78K0/KE2-C)

アドレス: FF20H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス: FF25H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	1	1	1	1	PM53	PM52	PM51	PM50

PMmn	Pmn端子の入出力モードの選択 (m = 0, 5; n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ/イベント・カウンタ00, 01, 02の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 11 (TM0nとCR00nの一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nとCR00nの値が一致すると、TM0nを0000Hにクリアし、一致割り込み信号 (INTTM00n) を発生します。この一定間隔で発生するINTTM00n信号により、インターバル・タイマとして動作します。

- 備考1.** 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0, 5 (PM0, PM5)** を参照してください。
2. INTTM00n信号の割り込み許可については、**第20章 割り込み機能**を参照してください。

図6-22 インターバル・タイマ動作のブロック図

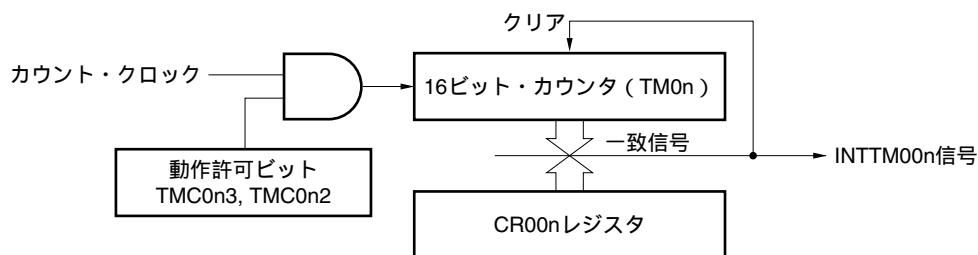
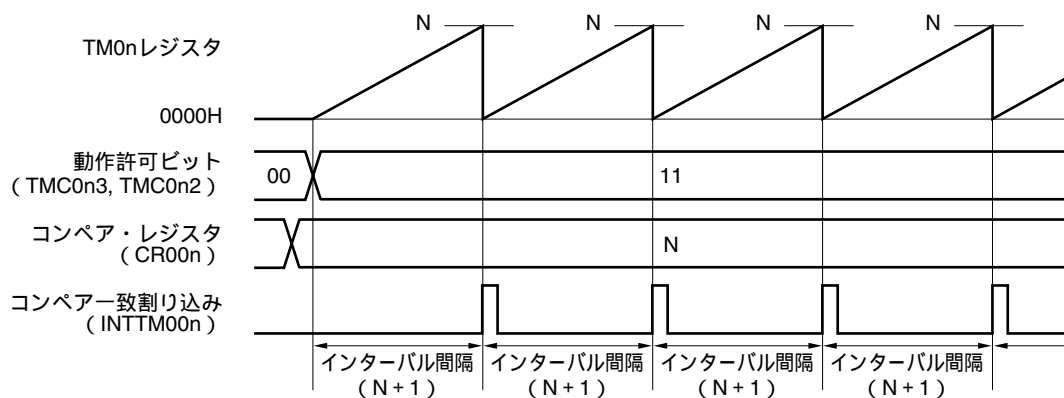


図6-23 インターバル・タイマ動作の基本タイミング例



備考 n = 0-2

図6-24 インターバル・タイマ動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR00nの一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

CR00nをコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ00n (CR00n)

CR00nにMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

CR00nへの0000Hの設定は禁止です。

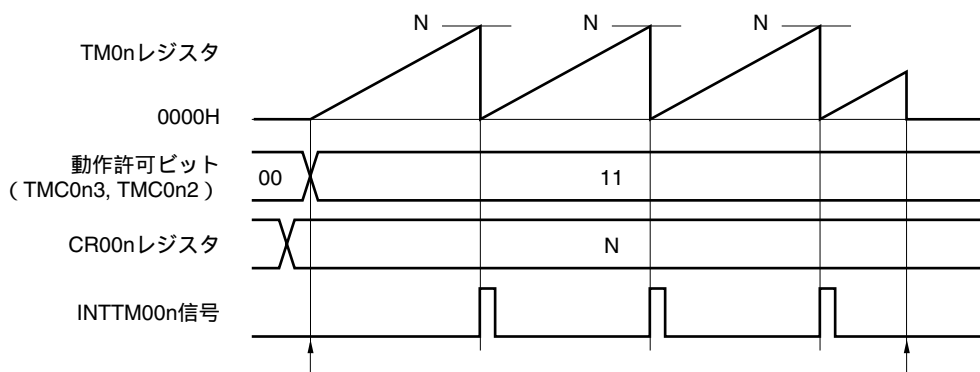
(g) 16ビット・キャプチャ/コンペア・レジスタ01n (CR01n)

インターバル・タイマ機能では、通常、CR01nを使用しません。しかしCR01nの設定値と、TM0nの値が一致するとコンペア一致割り込み (INTTM01n) が発生します。

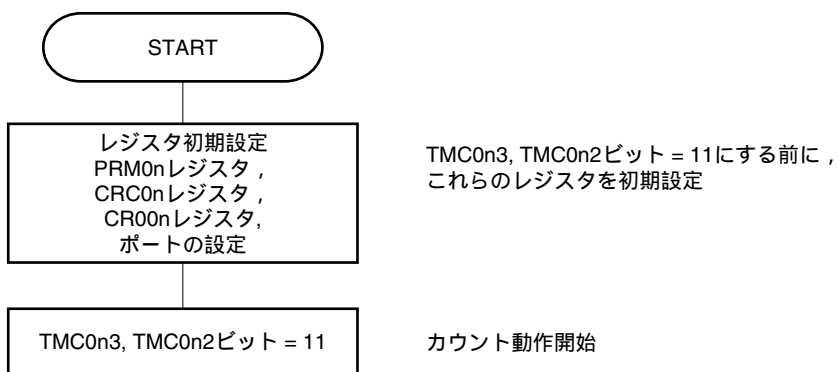
したがって、割り込みマスク・フラグ (TMMK01n) でマスク設定をしておいてください。

備考 n = 0-2 (ただし、78K0/KC2-CのCRC0n, TOC0nレジスタの場合：n = 0)

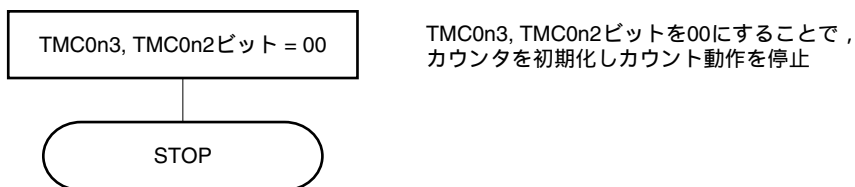
図6 - 25 インターバル・タイマ機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



備考 n = 0-2 (ただし, 78K0/KC2-CのCRC0nレジスタの場合 : n = 0)

6.4.2 方形波出力としての動作

インターバル・タイマ (6.4.1参照) として動作させたとき、16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) = 03Hに設定することにより、TO0n端子から方形波を出力できます。

TMC0n3, TMC0n2 = 11 (TM0nとCR00nの一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nとCR00nの値が一致すると、TM0nを0000Hにクリアし、割り込み信号 (INTTM00n) を発生し、TO0n出力を反転します。この一定間隔で反転するTO0n出力により、方形波出力として動作します。

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0, 5 (PM0, PM5)** を参照してください。

2. INTTM00n信号の割り込み許可については、**第20章 割り込み機能**を参照してください。

図6-26 方形波出力動作のブロック図

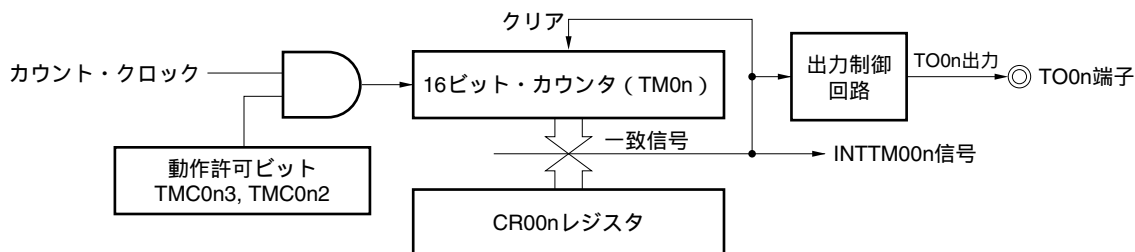
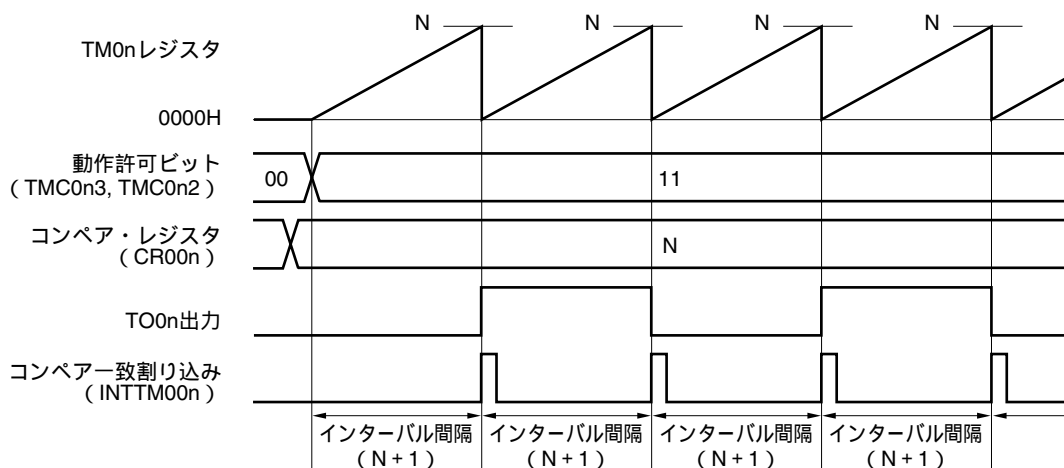


図6-27 方形波出力動作の基本タイミング例



備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ出力端子 (TO0n) , TOC0nレジスタの場合 : n = 0)

図6 - 28 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR00nの一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

CR00nをコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	1	1

TO0n出力許可

TM0nとCR00nの一致に
よりTO0n出力を反転

TO0n出力F/Fの初期値を指定

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 28 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ00n (CR00n)

CR00nにMを設定した場合，方形波の周波数は次のようになります。

$$\cdot \text{方形波の周波数} = 1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

CR00nへの0000Hの設定は禁止です。

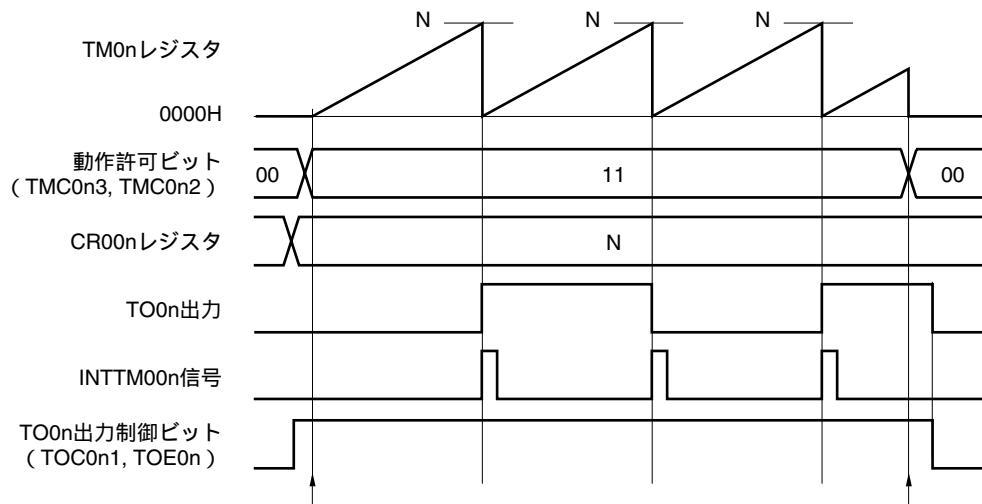
(g) 16ビット・キャプチャ/コンペア・レジスタ01n (CR01n)

方形波出力機能では，通常，CR01nを使用しません。しかしCR01nの設定値と，TM0nの値が一致するとコンペア一致割り込み (INTTM01n) が発生します。

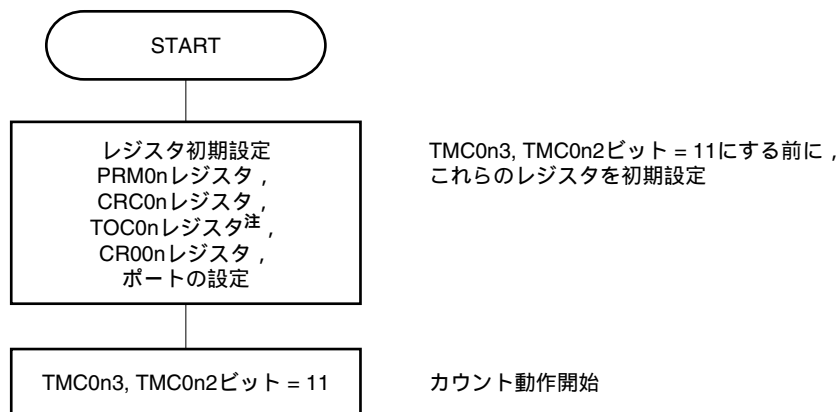
したがって，割り込みマスク・フラグ (TMMK01n) でマスク設定をしておいてください。

備考 n = 0-2

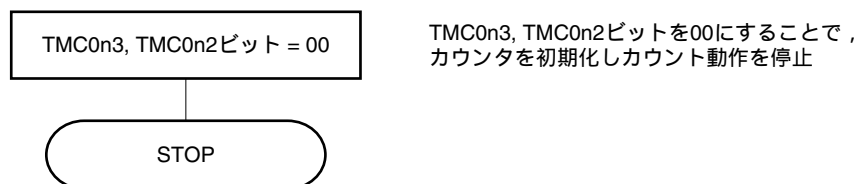
図6-29 方形波出力機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)を参照してください。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n), CRC0n, TOC0nレジスタの場合: n = 0)

6.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ0n (PRM0n) のビット1, 0 (PRM0n1, PRM0n0) = 11 (TI00n端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM0nとCR00nとの一致割り込み信号 (INTTM00n) を発生します。

外部イベント入力の端子にはTI00n端子を使用します。したがって, TI00n有効エッジ入力によるクリア&スタート・モード (TMC0n3, TMC0n2 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM00n信号は, 次のタイミングごとに発生します。

- ・ INTTM00n信号発生タイミング (2回目以降)
 - = 外部イベント入力の有効エッジ検出回数 × (CR00n設定値 + 1)

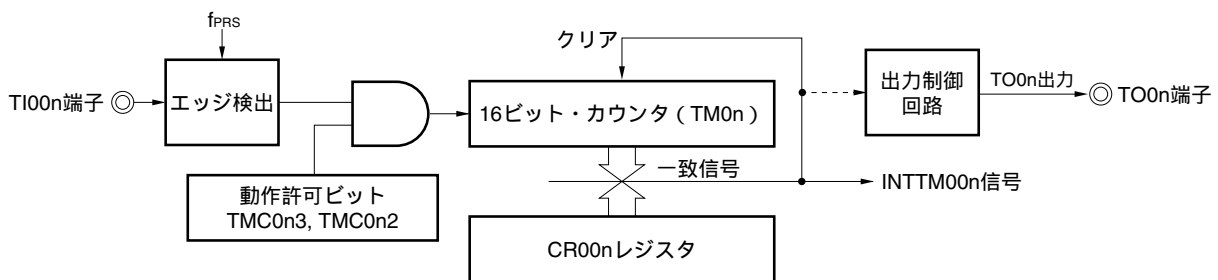
ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・ INTTM00n信号発生タイミング (初回のみ)
 - = 外部イベント入力の有効エッジ検出回数 × (CR00n設定値 + 2)

有効エッジは, TI00n端子入力信号をfPRSのクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

- 備考1.** 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0, 5 (PM0, PM5)** を参照してください。
- 2.** INTTM00n信号の割り込み許可については, **第20章 割り込み機能** を参照してください。

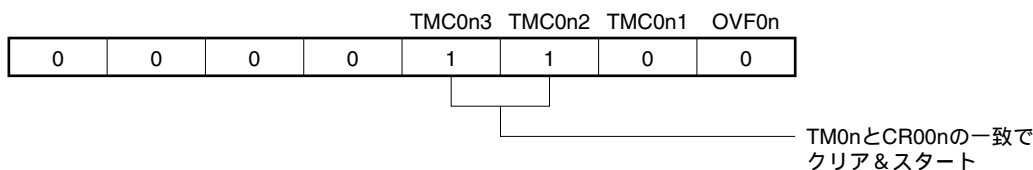
図6-30 外部イベント・カウンタとしての動作のブロック図



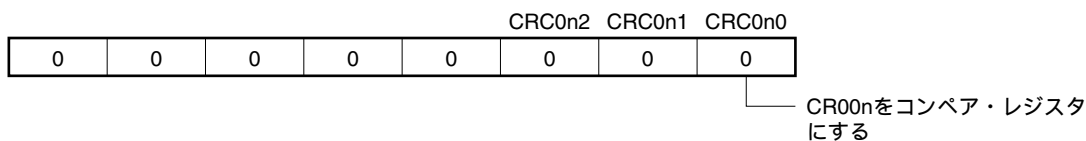
備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) の場合 : n = 0)

図6-31 外部イベント・カウンタ・モード時のレジスタ設定内容例(1/2)

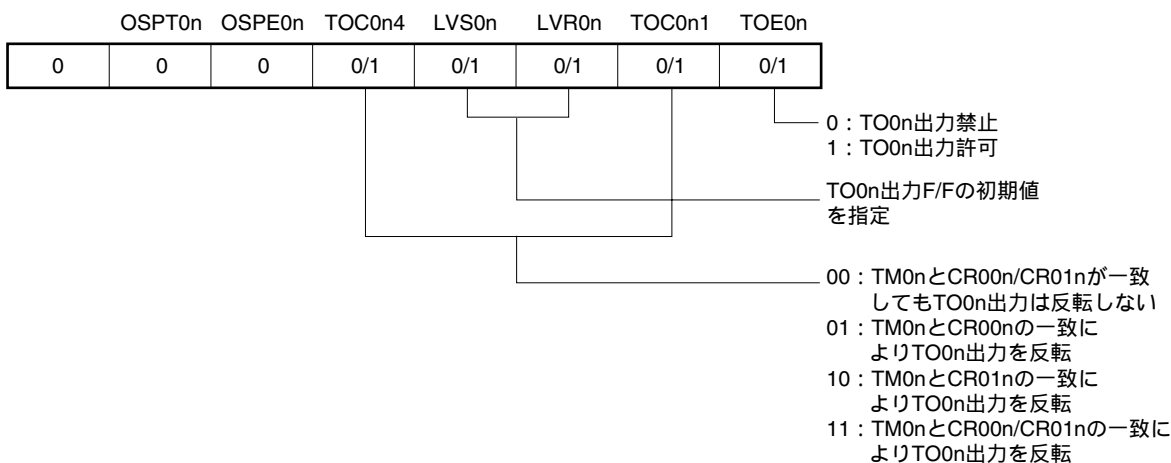
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



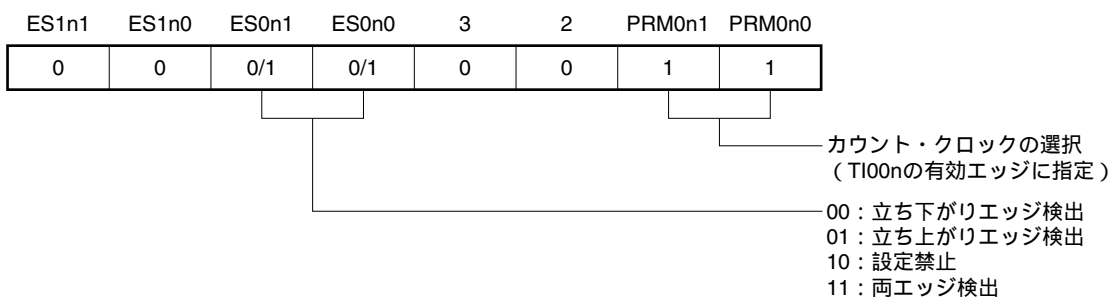
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



(d) プリスケアラ・モード・レジスタ0n (PRM0n)



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 31 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ00n (CR00n)

CR00nにMを設定した場合、外部イベントがM + 1回入力されると、割り込み信号 (INTTM00n) が発生します。

CR00nへの0000Hの設定は禁止です。

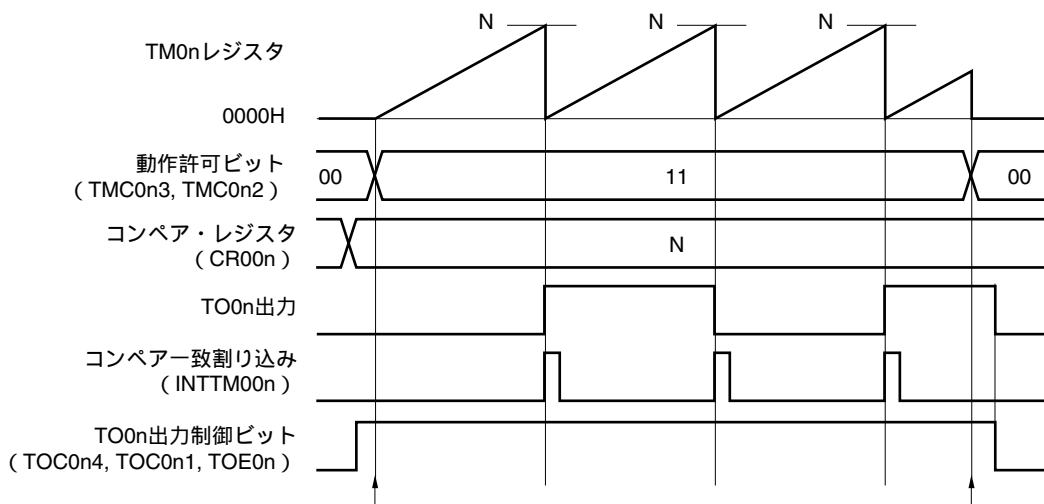
(g) 16ビット・キャプチャ/コンペア・レジスタ01n (CR01n)

外部イベント・カウンタ・モード動作時では、通常、CR01nを使用しません。しかしCR01nの設定値と、TM0nの値が一致するとコンペア一致割り込み (INTTM01n) が発生します。

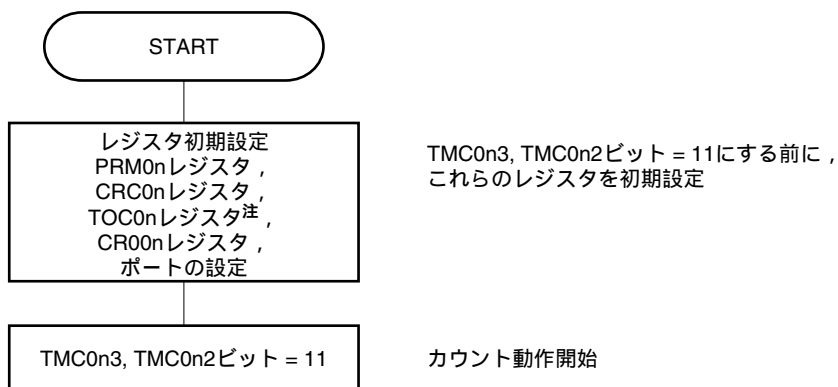
したがって、割り込みマスク・フラグ (TMMK01n) でマスク設定をしておいてください。

備考 n = 0-2

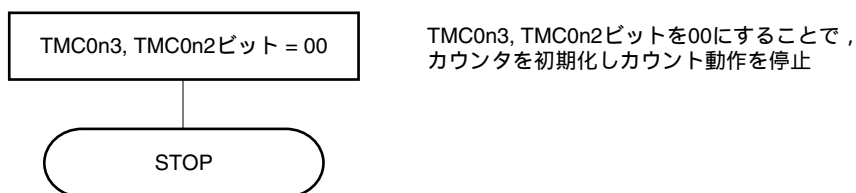
図6 - 32 外部イベント・カウンタ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの場合: n = 0)

6.4.4 TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 10 (TI00n端子の有効エッジ入力によるクリア&スタート・モード) に設定し、カウント・クロック (PRM0nにて設定) を供給すると、TM0nがカウント・アップを開始します。カウント動作中にTI00n端子の有効エッジを検出すると、TM0nを0000Hにクリアして、再度カウント・アップします。TI00n端子の有効エッジがない場合、TM0nはオーバフローして、カウントを続けます。

TI00n端子の有効エッジは、TM0nのクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR00n, CR01nは、コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR00n, CR01nをコンペア・レジスタとして使用した場合

TM0nとCR00n, CR01nの一致でINTTM00n, INTTM01n信号が発生します。

(b) CR00n, CR01nをキャプチャ・レジスタとして使用した場合

TI01n端子に有効エッジが入力される(またはTI00n端子に有効エッジの逆相が入力される)と、TM0nのカウント値をCR00nにキャプチャし、INTTM00n信号が発生します。

TI00n端子に有効エッジが入力されると、TM0nのカウント値をCR01nにキャプチャし、INTTM01n信号が発生します。TI00n端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

注意 カウント・クロックをTI00n端子の有効エッジ (PRM0n1, PRM0n0 = 11) に設定しないでください。

PRM0n1, PRM0n0 = 11に設定すると、TM0nがクリアされてしまいます。

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0, 5 (PM0, PM5)** を参照してください。

2. INTTM00n信号の割り込み許可については、**第20章 割り込み機能**を参照してください。

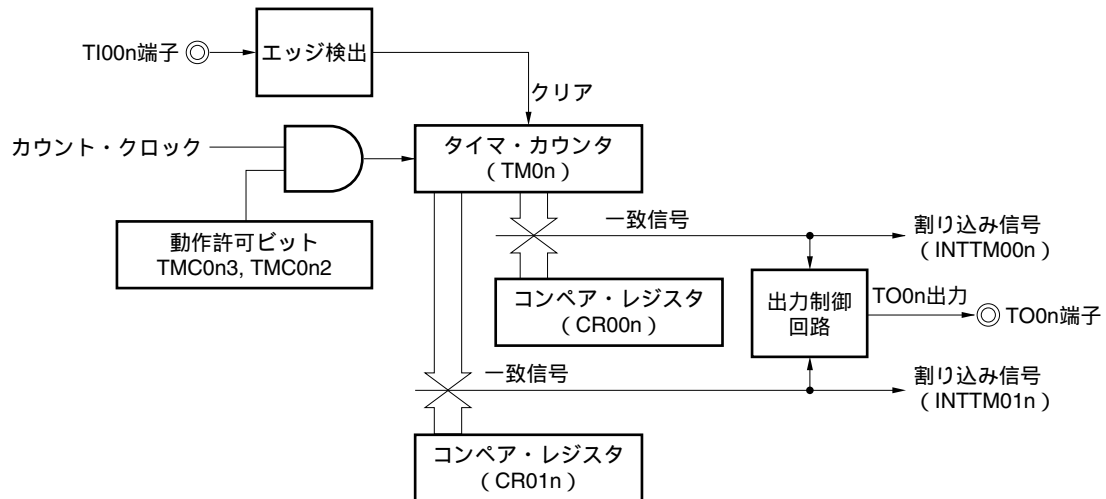
3. n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) の場合 : n = 0)

(1) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n : コンペア・レジスタ, CR01n : コンペア・レジスタ設定時)

図6 - 33 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

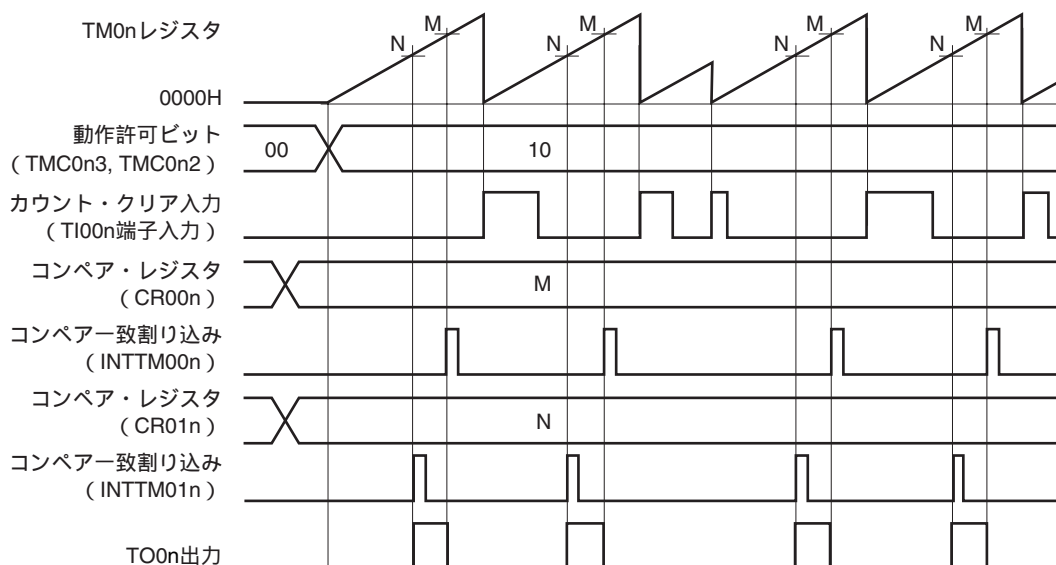
(CR00n : コンペア・レジスタ / CR01n : コンペア・レジスタ)



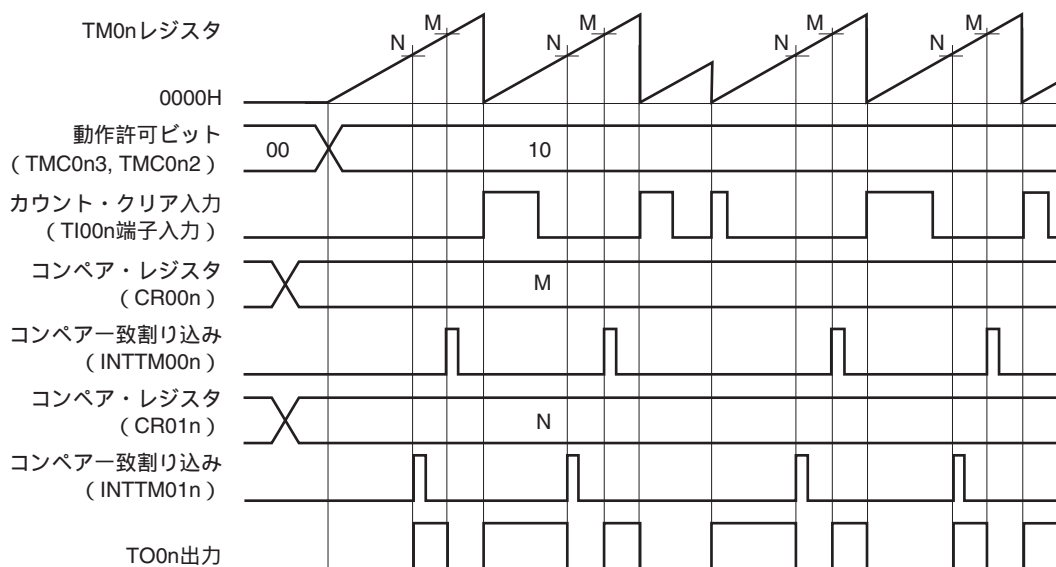
備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) の場合 : n = 0)

図6-34 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR00n : コンペア・レジスタ / CR01n : コンペア・レジスタ)

(a) TOC0n = 13H, PRM0n = 10H, CRC0n = 00H, TMC0n = 08H



(b) TOC0n = 13H, PRM0n = 10H, CRC0n = 00H, TMC0n = 0AH



16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット1 (TMC0n1) の設定により, (a) と (b) には次のような違いがあります。

(a) TM0nとコンペア・レジスタが一致したときに, TO0nの出力レベルが反転

(b) TM0nとコンペア・レジスタが一致したとき, またはTI00n端子の有効エッジを検出したときに, TO0nの出力レベルが反転

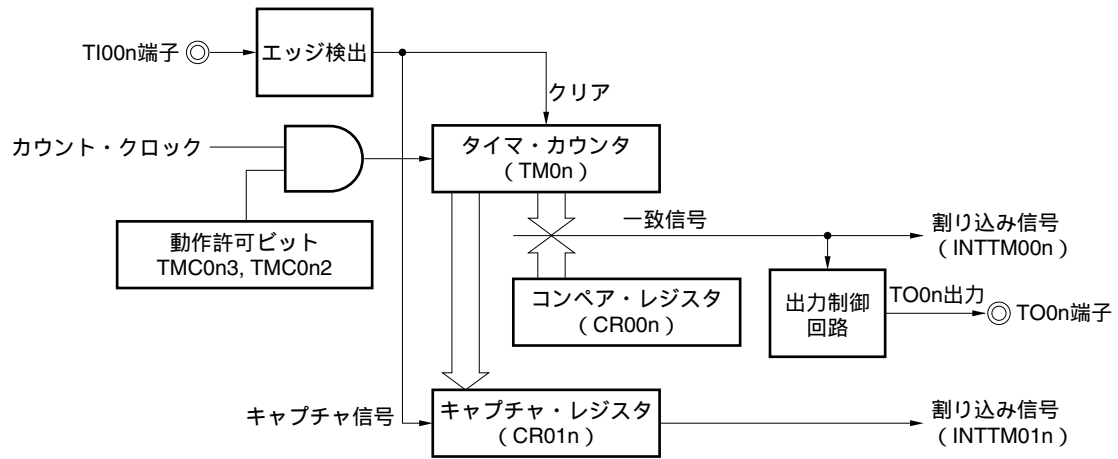
備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの場合: n = 0)

(2) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n : コンペア・レジスタ, CR01n : キャプチャ・レジスタ設定時)

図6 - 35 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n : コンペア・レジスタ / CR01n : キャプチャ・レジスタ)

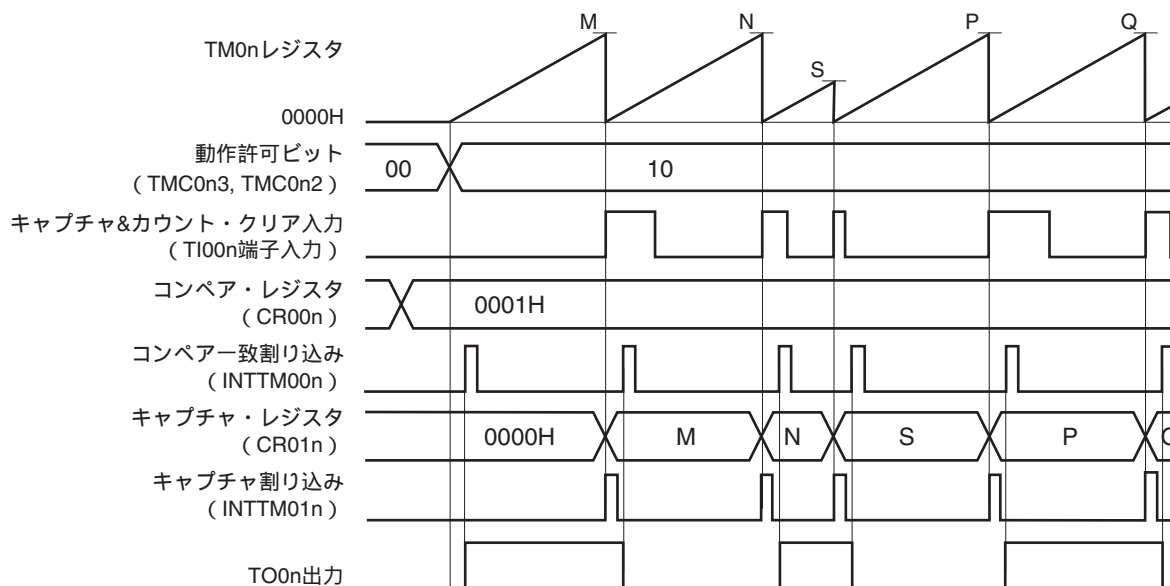


備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) の場合 : n = 0)

図6-36 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n : コンペア・レジスタ / CR01n : キャプチャ・レジスタ) (1/2)

(a) TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 08H, CR00n = 0001H



キャプチャ&クリア後に、TO0n出力レベルを反転したい場合のアプリケーション例です。

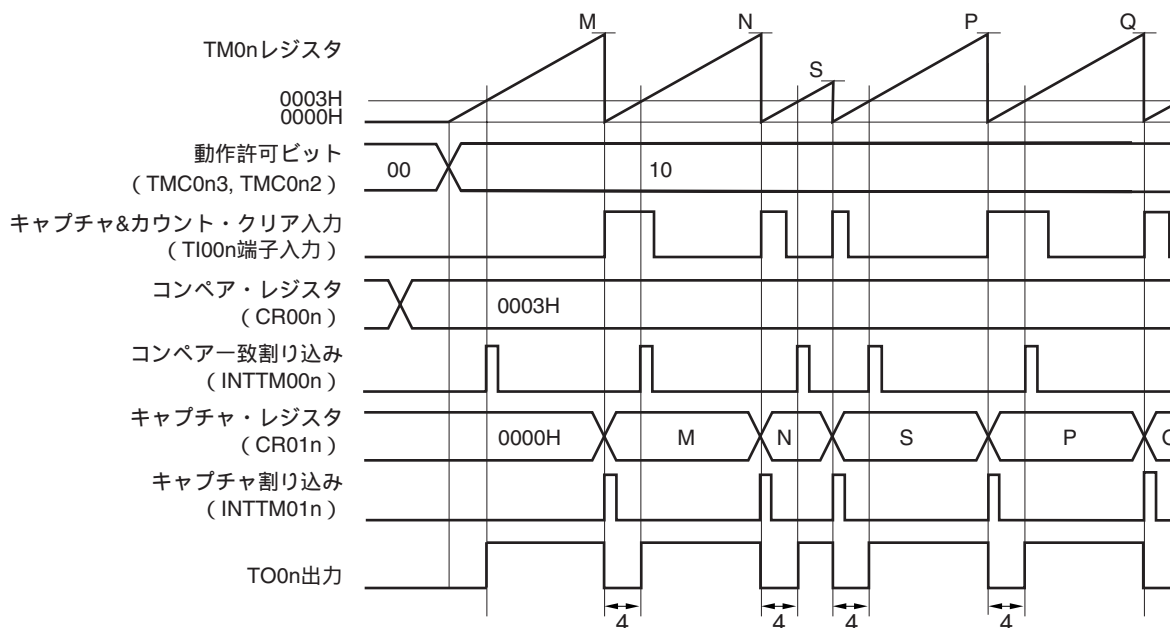
TI00n端子の有効エッジ検出で、CR01nにキャプチャし、TM0nをクリア(0000H)します。TM0nのカウンタ値が0001Hになると、コンペア一致割り込み信号(INTTM00n)が発生し、TO0n出力レベルが反転します。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子(TI00n, TO0n)、CRC0n, TOC0nレジスタの場合 : n = 0)

図6-36 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n : コンペア・レジスタ / CR01n : キャプチャ・レジスタ) (2/2)

(b) TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 0AH, CR00n = 0003H



キャプチャ&クリア後に、CR00nに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI00n端子の有効エッジ検出で、CR01nにキャプチャし、キャプチャ割り込み信号（INTTM01n）が発生し、TM0nをクリア（0000H）し、TO0n出力を反転します。TM0nのカウント値が0003Hになる（4クロックをカウントすると）、コンペア一致割り込み信号（INTTM00n）が発生し、TO0n出力レベルが反転します。

備考 n = 0-2（ただし、78K0/KC2-Cのタイマ入出力端子（TI00n, TO0n）、CRC0n, TOC0nレジスタの場合：n = 0）

(3) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n : キャプチャ・レジスタ , CR01n : コンペア・レジスタ設定時)

図6 - 37 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n : キャプチャ・レジスタ / CR01n : コンペア・レジスタ)

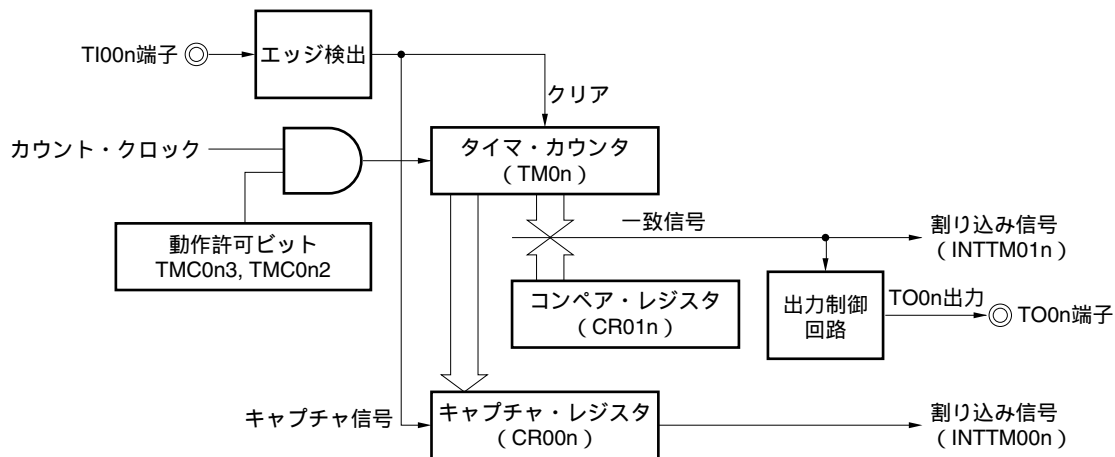
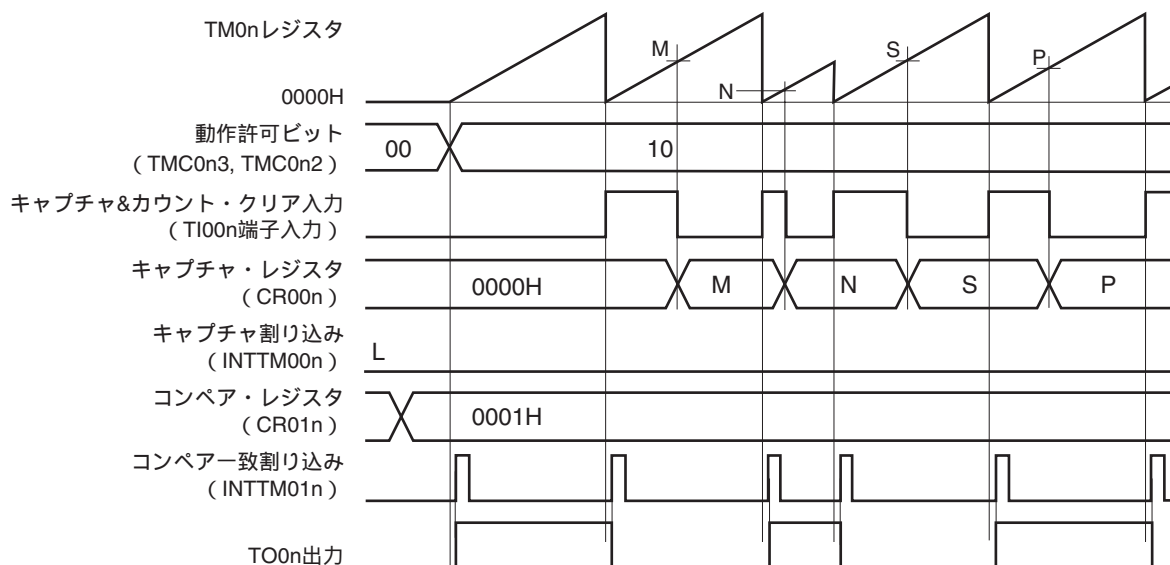
**備考** n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) の場合 : n = 0)

図6 - 38 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n : キャプチャ・レジスタ / CR01n : コンペア・レジスタ) (1/2)

(a) TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 08H, CR01n = 0001H



キャプチャ&クリア後に、TO0n出力レベルを反転したい場合のアプリケーション例です。

TI00n端子の立ち上がりエッジ検出で、TM0nをクリアします。TI00n端子の立ち下がりエッジ検出で、CR00nにキャプチャします。

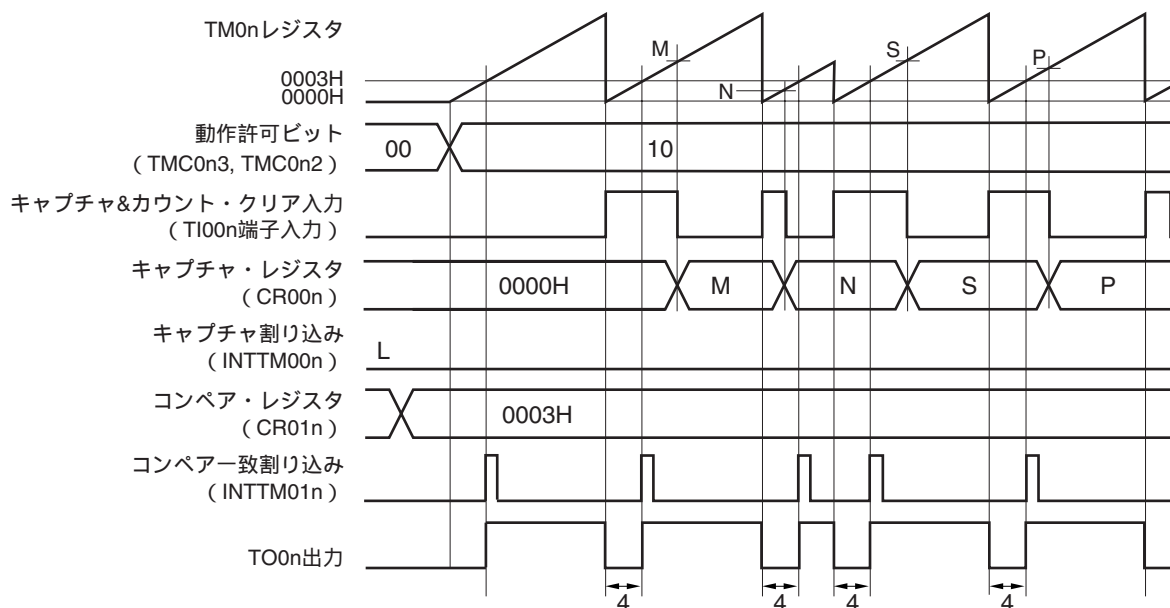
キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット1 (CRC0n1) = 1の設定により、TI00n端子入力の逆相でTM0nのカウント値をCR00nにキャプチャしますが、キャプチャ割り込み信号 (INTTM00n) は発生しません。しかし、TI01n端子の有効エッジ検出により、INTTM00n信号が発生します。INTTM00n信号を使用しない場合は、INTTM00n信号をマスクしてください。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n) , CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 38 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR00n : キャプチャ・レジスタ / CR01n : コンペア・レジスタ) (2/2)

(b) TOC0n = 13H, PRM0n = 10H, CRC0n = 03H, TMC0n = 0AH, CR01n = 0003H



キャプチャ&クリア後に、CR01nに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI00n端子の立ち上がりエッジ検出で、TM0nをクリア（0000H）します。TI00n端子の立ち下がりエッジ検出で、CR00nにキャプチャします。TO0n出力は、TI00n端子の立ち上がりエッジ検出によるTM0nのクリア（0000H）が、TM0nとコンペア・レジスタ（CR01n）の一致で反転します。

キャプチャ/コンペア・コントロール・レジスタ0n（CRC0n）のビット1（CRC0n1）= 1の設定により、TI00n端子入力の逆相でTM0nのカウント値をCR00nにキャプチャしますが、キャプチャ割り込み信号（INTTM0n）は発生しません。しかし、TI01n端子の有効エッジ検出により、INTTM0n割り込みが発生します。INTTM0n信号を使用しない場合はINTTM0n信号をマスクしてください。

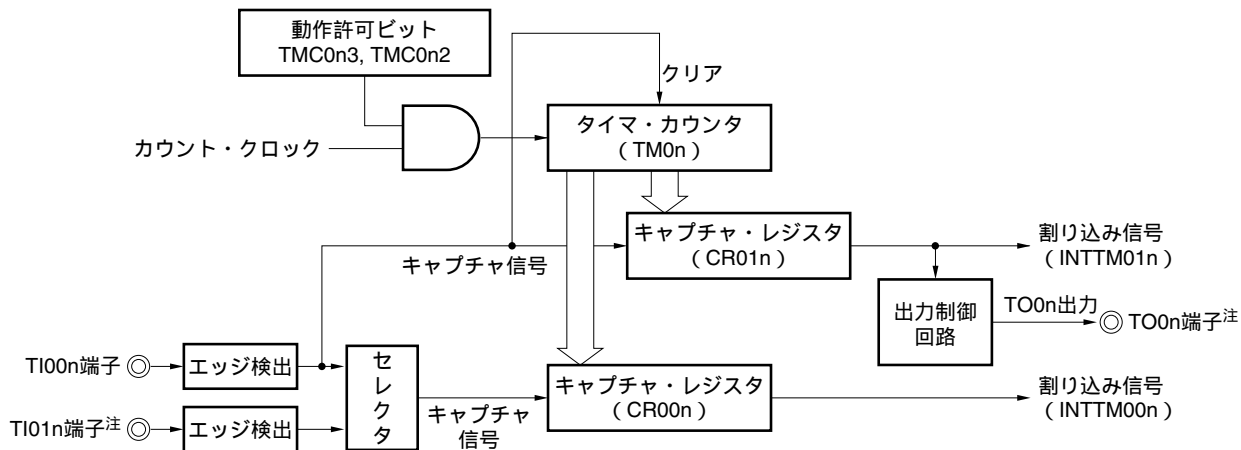
備考 n = 0-2（ただし、78K0/KC2-Cのタイマ入出力端子（TI00n, TI01n, TO0n）、CRC0n, TOC0nレジスタの場合：n = 0）

(4) TI00n端子の有効エッジ入力によるクリア&スタート・モード動作

(CR00n : キャプチャ・レジスタ , CR01n : キャプチャ・レジスタ設定時)

図6 - 39 TI00n端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ)

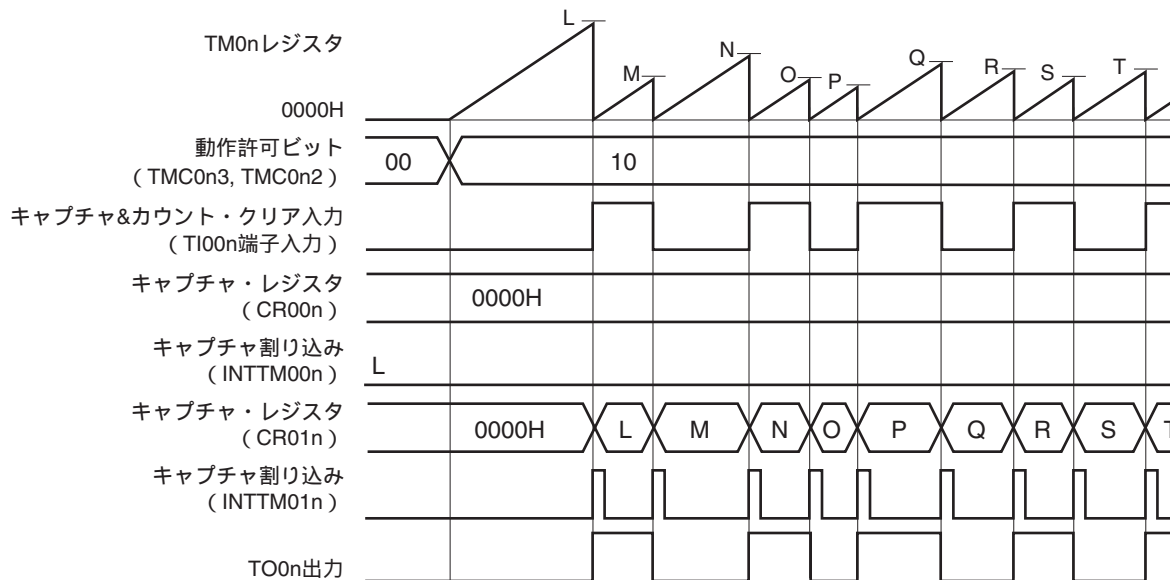


注 TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用できません。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n) の場合 : n = 0)

図6-40 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ) (1/3)

(a) TOC0n = 13H, PRM0n = 30H, CRC0n = 05H, TMC0n = 0AH



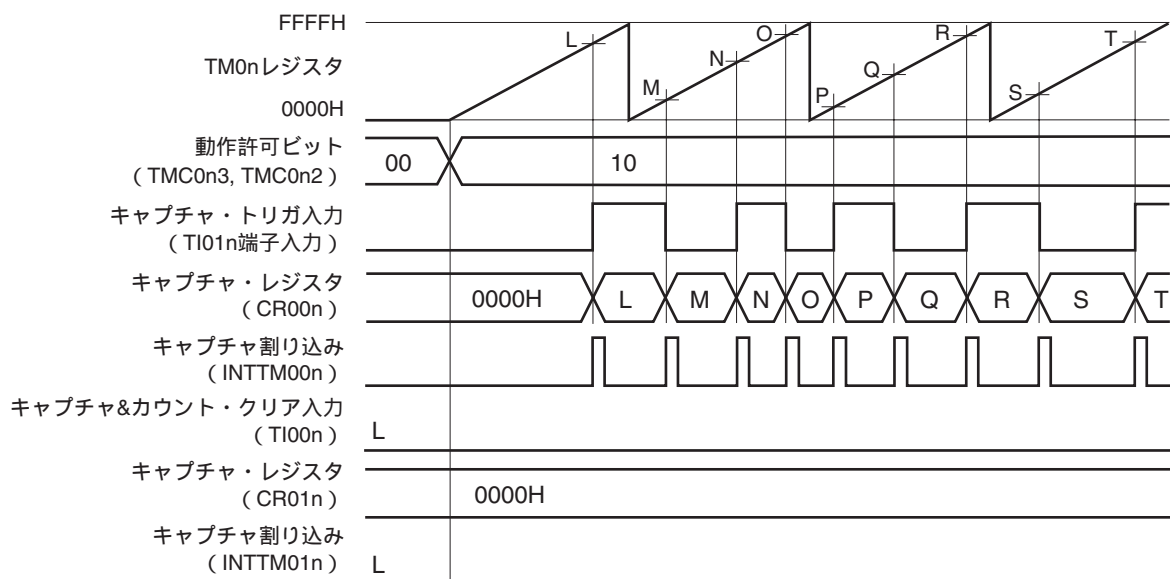
TI00n端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR01nにキャプチャし、TM0nをクリアし、TO0n出力を反転させるアプリケーション例です。

TI01n端子のエッジ検出により、割り込み信号 (INTTM00n) が発生します。INTTM00n信号を使用しない場合には、INTTM00n信号をマスクしてください。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n) , CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 40 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ) (2/3)

(b) TOC0n = 13H, PRM0n = C0H, CRC0n = 05H, TMC0n = 0AH

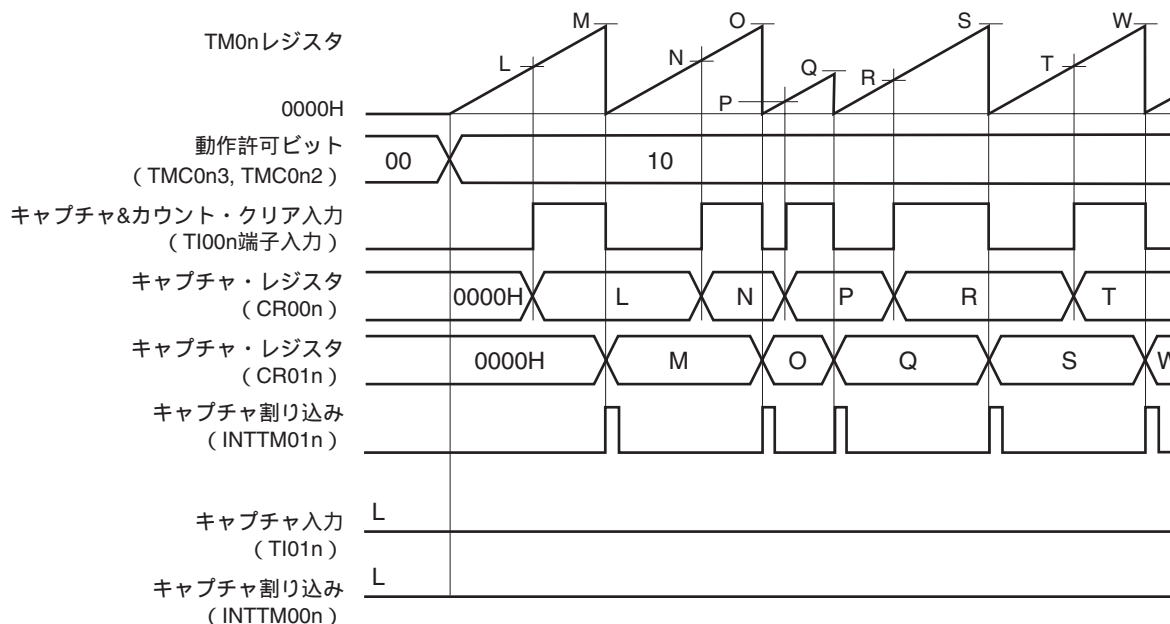


TI01n端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR00nにキャプチャするアプリケーションにおいて、TI00n端子にエッジが入力されないときのタイミング例です。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) , CRC0n, TOC0nレジスタの場合 : n = 0)

図6-40 TI00n端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ) (3/3)

(c) TOC0n = 13H, PRM0n = 00H, CRC0n = 07H, TMC0n = 0AH



TI00n端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC0nの設定により、TI00n端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR00nにキャプチャし、TI00n端子の立ち下がりエッジ検出でCR01nにキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

- ・ハイ・レベル幅 = [CR01n値] - [CR00n値] × [カウント・クロック周期]
- ・ロウ・レベル幅 = [CR00n値] × [カウント・クロック周期]

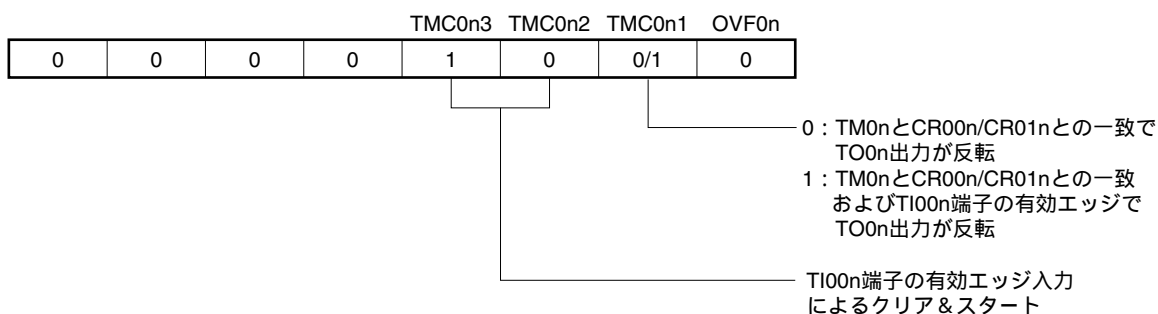
CR00nへのキャプチャ・トリガとしてTI00n端子の逆相を選択した場合、INTTM00n信号は発生しません。パルス幅測定のためのCR00n, CR01n値のリードは、INTTM01n信号発生直後に行ってください。

ただし、TI01n端子にプリスケアラ・モード・レジスタ0n (PRM0n) のビット6, 5 (ES1n1, ES1n0) で指定した有効エッジが入力されると、キャプチャ動作はしませんが、INTTM00n信号は発生します。TI00n端子のパルス幅を測定する場合、INTTM00n信号を使用しないときは、INTTM00n信号をマスクしてください。

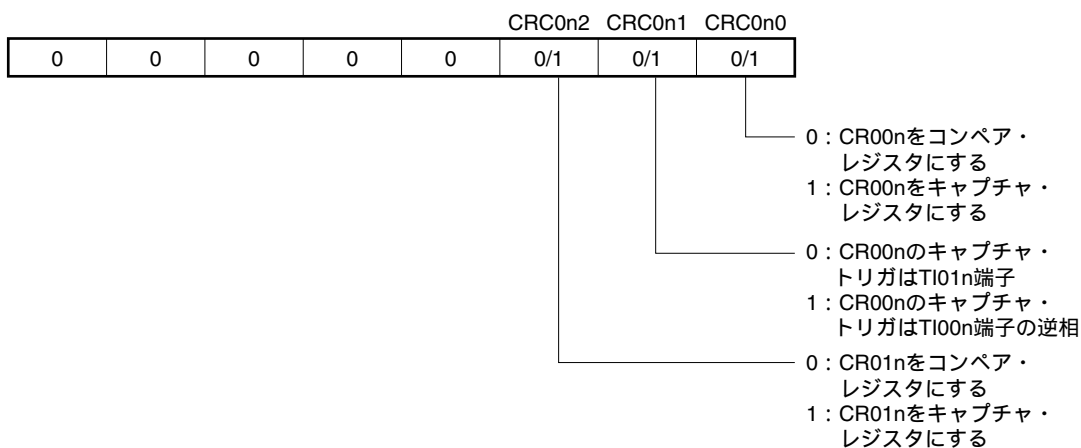
備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) , CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 41 TI00n端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

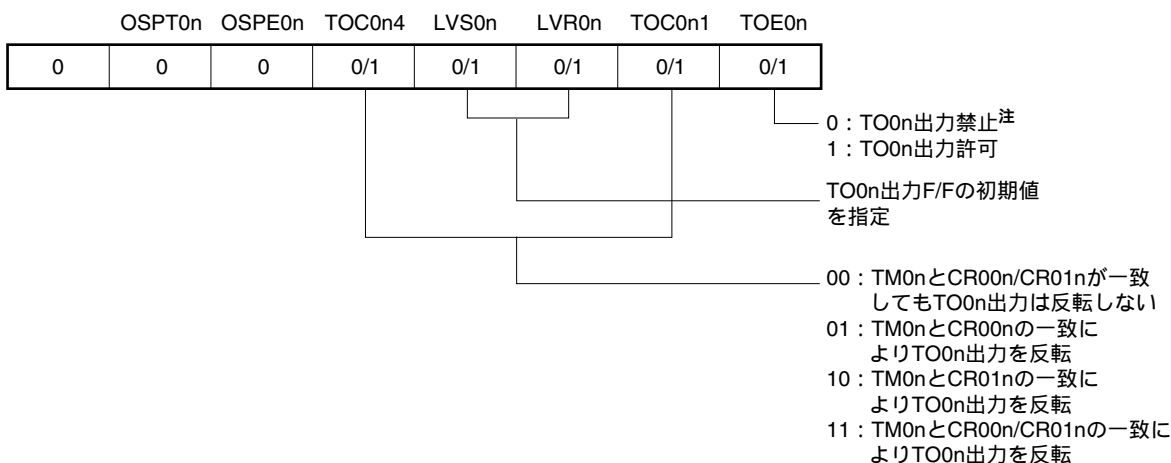
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

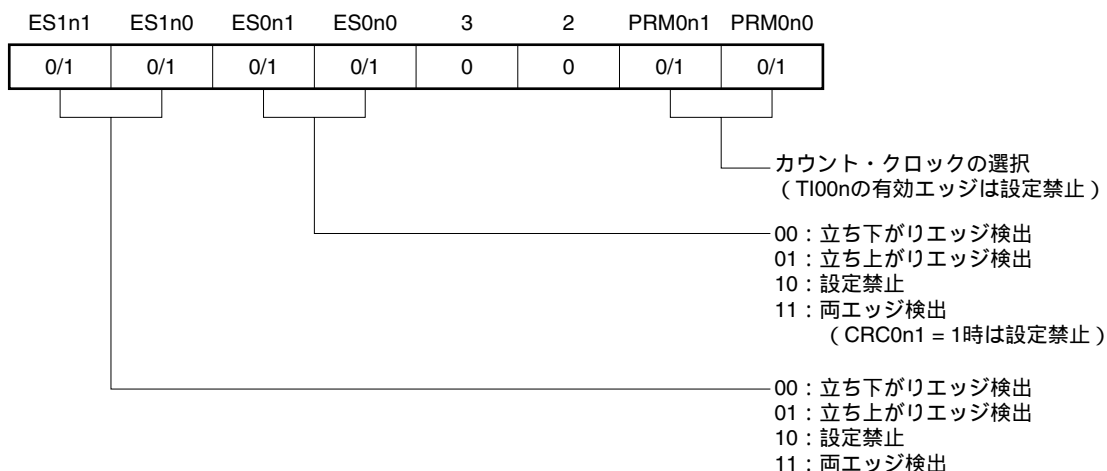


注 TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用できません。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 41 TI00n端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ0n (PRM0n)



(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ00n (CR00n)

コンペア・レジスタとして使用する場合は、TM0nとの一致で割り込み信号 (INTTM00n) が発生します。TM0nのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI00n, TI01n端子^注入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM0nのカウント値をCR00nに格納します。

注 TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用できません。

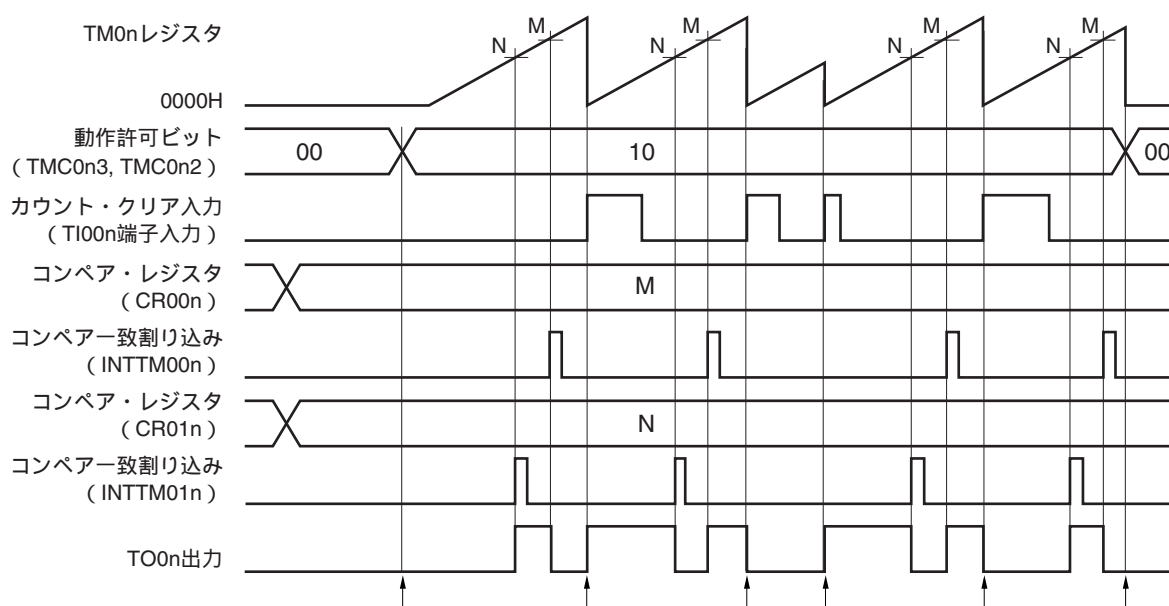
(g) 16ビット・キャプチャ/コンペア・レジスタ01n (CR01n)

コンペア・レジスタとして使用する場合は、TM0nとの一致で割り込み信号 (INTTM01n) が発生します。TM0nのカウント値はクリアされません。

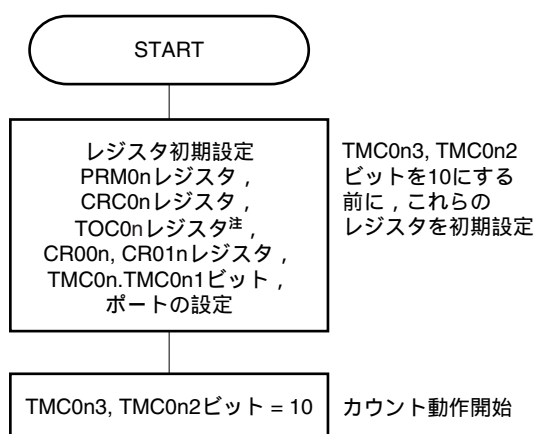
キャプチャ・レジスタとして使用する場合は、TI00n端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM0nのカウント値をCR01nに格納します。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) の場合 : n = 0)

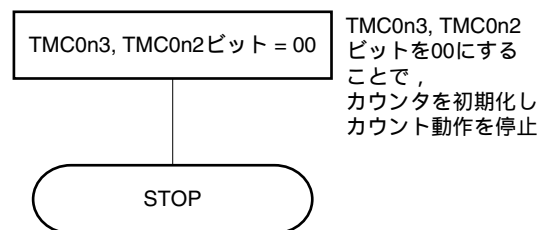
図6-42 TI00n端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



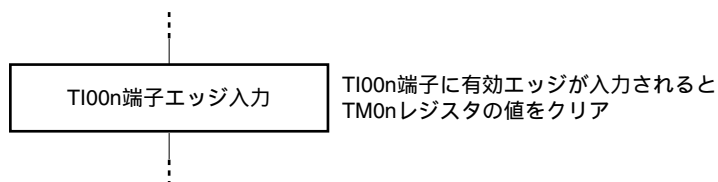
カウント動作開始フロー



カウント動作停止フロー



TM0nレジスタ・クリア&スタート・フロー



注 TOC0nの設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)を参照してください。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

6.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバフロー・フラグ (OVF0n) がセット (1) されるとともに、TM0nをクリア (0000H) し、カウント動作を継続します。OVF0nは、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR00n, CR01nを両方ともコンペア・レジスタとして使用
- ・ CR00n, CR01nの一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR00n, CR01nを両方ともキャプチャ・レジスタとして使用

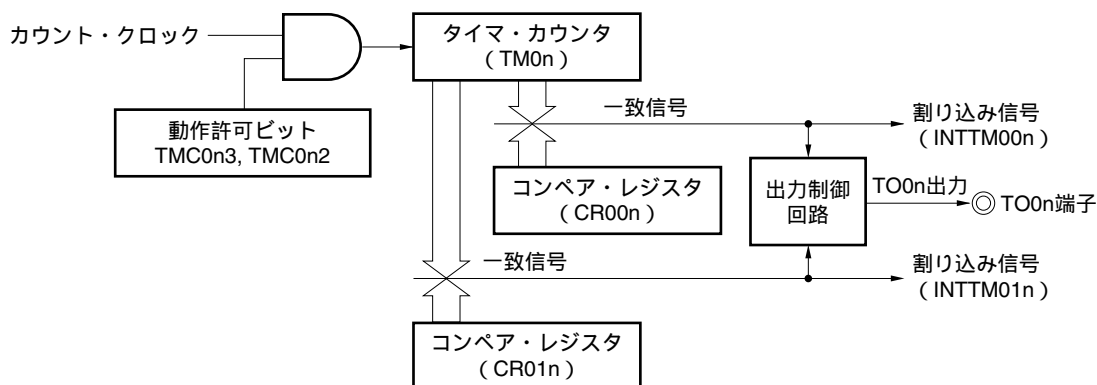
備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0, 5 (PM0, PM5)** を参照してください。

2. INTTM00n信号の割り込み許可については、**第20章 割り込み機能**を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR00n : コンペア・レジスタ, CR01n : コンペア・レジスタ設定時)

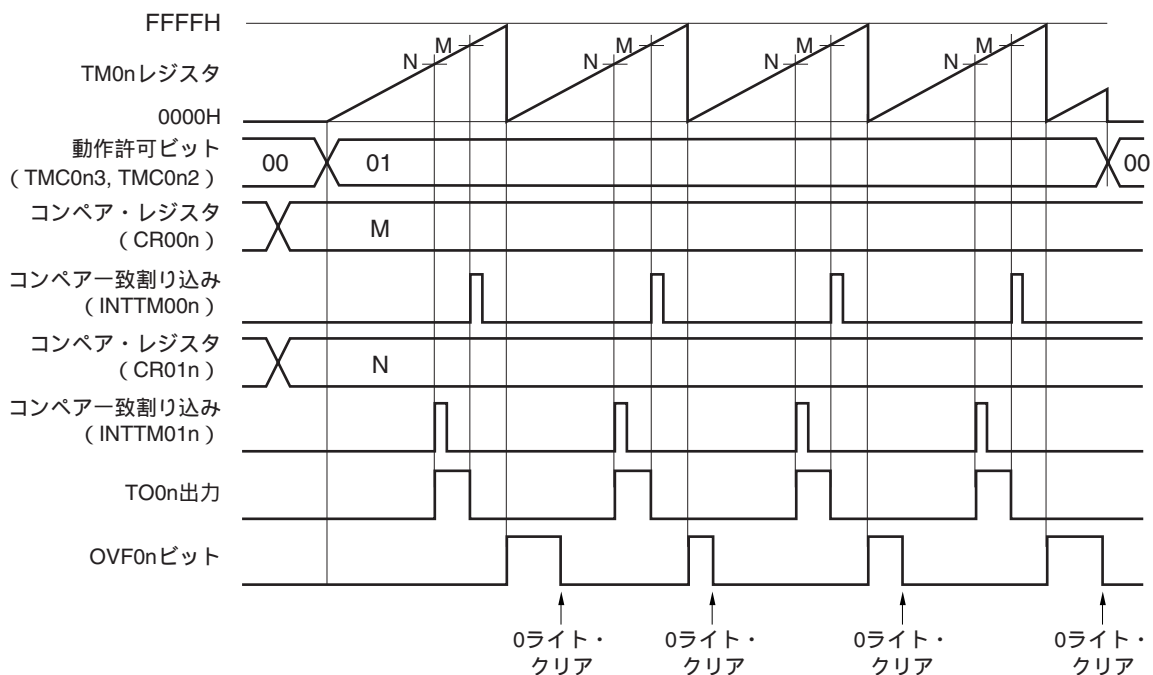
図6-43 フリー・ランニング・タイマ・モードのブロック図
(CR00n : コンペア・レジスタ / CR01n : コンペア・レジスタ)



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n) の場合 : n = 0)

図6-44 フリー・ランニング・タイマ・モードのタイミング例
 (CR00n : コンペア・レジスタ / CR01n : コンペア・レジスタ)

・ TOC0n = 13H, PRM0n = 00H, CRC0n = 00H, TMC0n = 04H



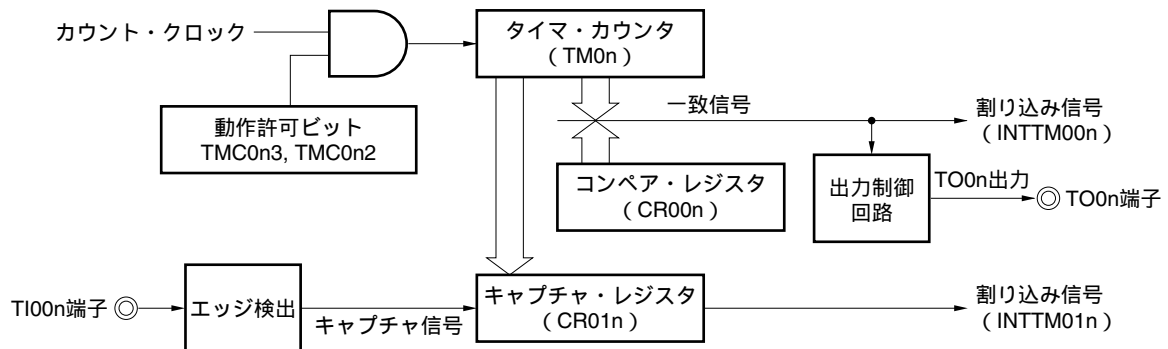
フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。
 TO0n出力レベルは、CR00n、CR01nの設定値とTM0nのカウンタ値が一致することに反転します。また、一致するタイミングで、INTTM00n、INTTM01n信号がそれぞれ発生します。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ出力端子 (TO0n)、CRC0n、TOC0nレジスタの場合 : n = 0)

(2) フリー・ランニング・タイマ・モード動作

(CR00n : コンペア・レジスタ, CR01n : キャプチャ・レジスタ設定時)

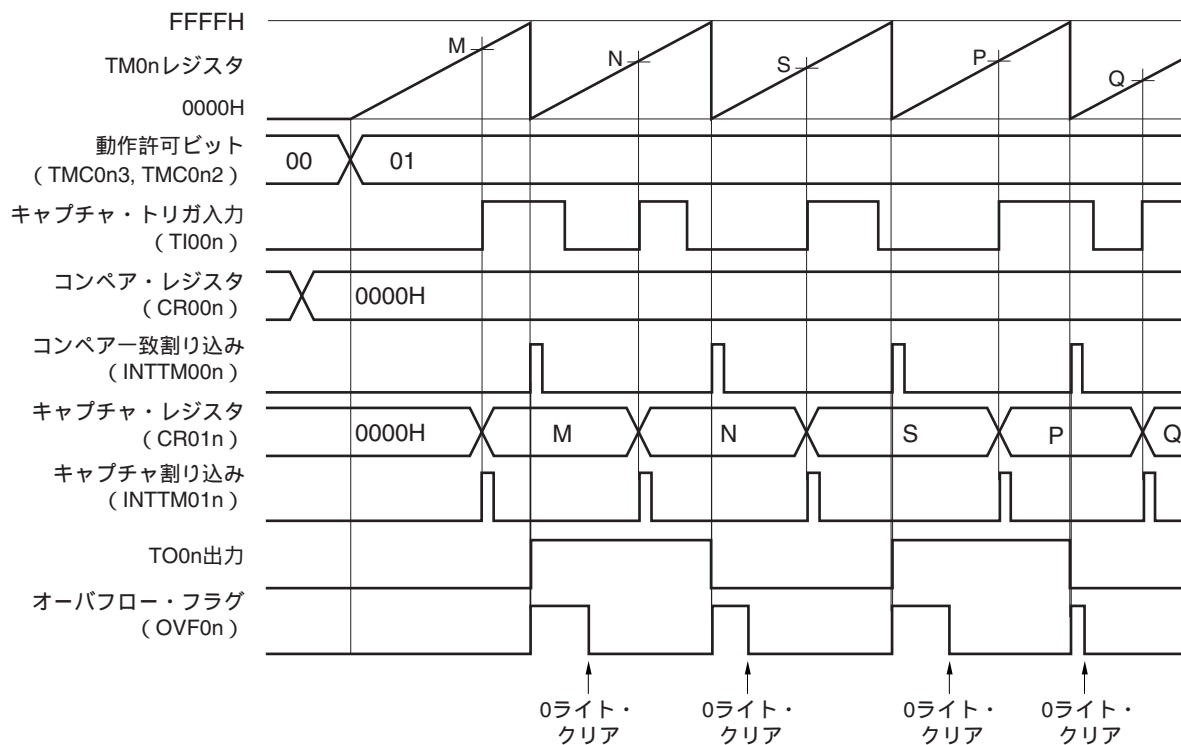
図6 - 45 フリー・ランニング・タイマ・モードのブロック図
 (CR00n : コンペア・レジスタ / CR01n : キャプチャ・レジスタ)



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) の場合 : n = 0)

図6-46 フリー・ランニング・タイマ・モードのタイミング例
 (CR00n : コンペア・レジスタ / CR01n : キャプチャ・レジスタ)

・ TOC0n = 13H, PRM0n = 10H, CRC0n = 04H, TMC0n = 04H



フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

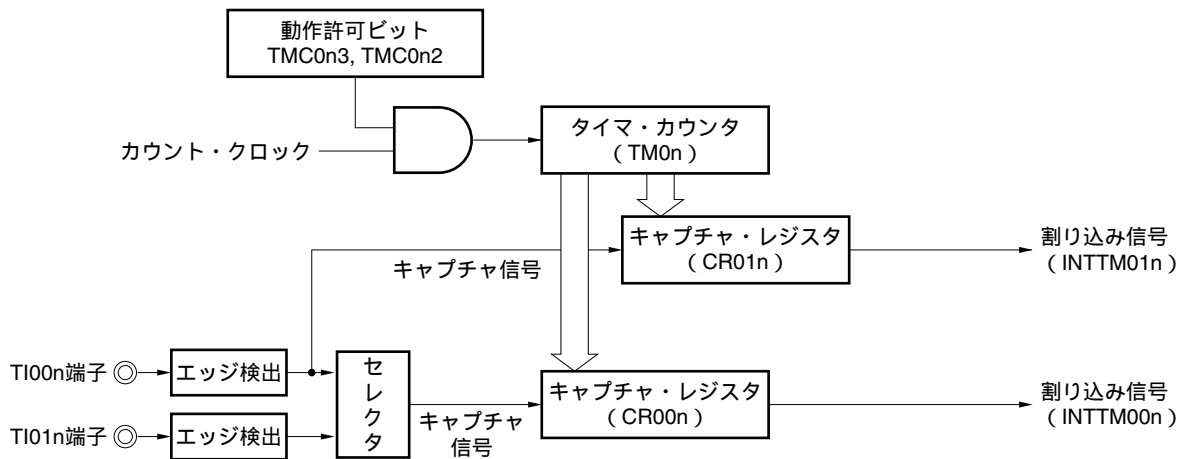
この例では、CR00n(コンペア・レジスタ)の設定値とTM0nのカウント値が一致するごとに、INTTM00n信号を発生し、TO0n出力を反転します。また、TI00n端子の有効エッジを検出するごとに、INTTM01n信号を発生し、TM0nのカウント値をCR01nにキャプチャします。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n) , CRC0n, TOC0nレジスタの場合 : n = 0)

(3) フリー・ランニング・タイマ・モード動作

(CR00n : キャプチャ・レジスタ, CR01n : キャプチャ・レジスタ設定時)

図6 - 47 フリー・ランニング・タイマ・モードのブロック図
 (CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ)



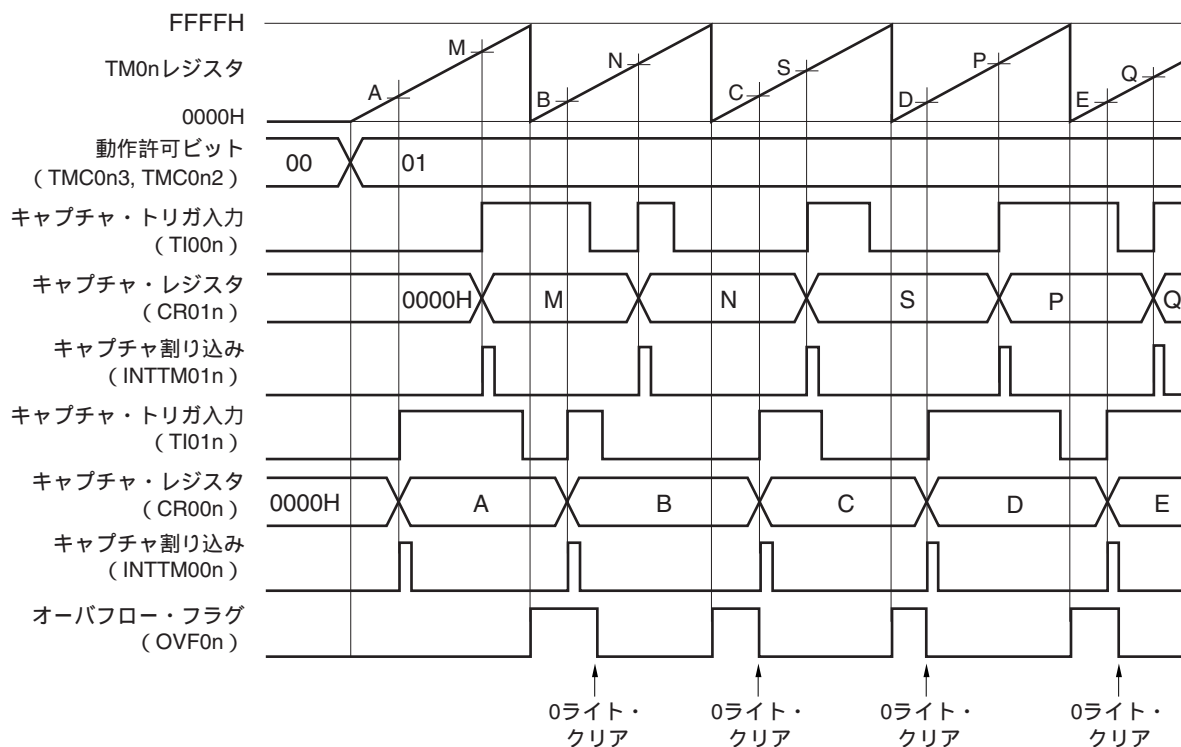
備考1. フリー・ランニング・タイマ・モードで、CR00n, CR01nを両方ともキャプチャ機能に設定した場合、TO0n出力レベルは反転しません。

ただし、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット1 (TMC0n1) = 1に設定することにより、TI00n端子の有効エッジを検出するごとにTO0n出力レベルを反転させることができます。

2. n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n) の場合 : n = 0)

図6-48 フリー・ランニング・タイマ・モードのタイミング例
 (CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ) (1/2)

(a) TOC0n = 13H, PRM0n = 50H, CRC0n = 05H, TMC0n = 04H



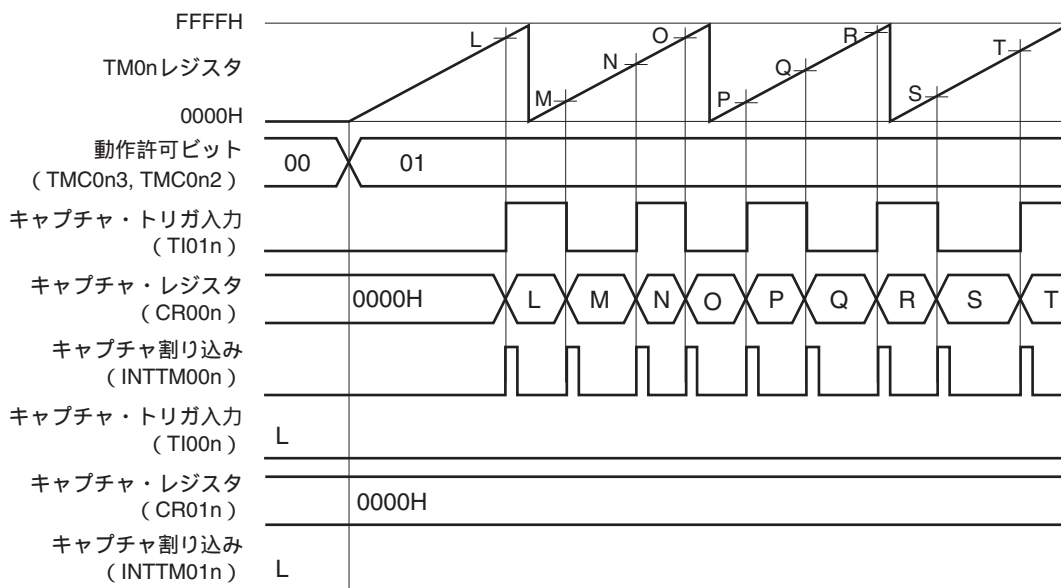
フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI00n端子入力の有効エッジ検出でCR01nにキャプチャします。TI01n端子入力の有効エッジ検出でCR00nにキャプチャします。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) , CRC0n, TOC0nレジスタの場合 : n = 0)

図6-48 フリー・ランニング・タイマ・モードのタイミング例
 (CR00n : キャプチャ・レジスタ / CR01n : キャプチャ・レジスタ) (2/2)

(b) TOC0n = 13H, PRM0n = C0H, CRC0n = 05H, TMC0n = 04H



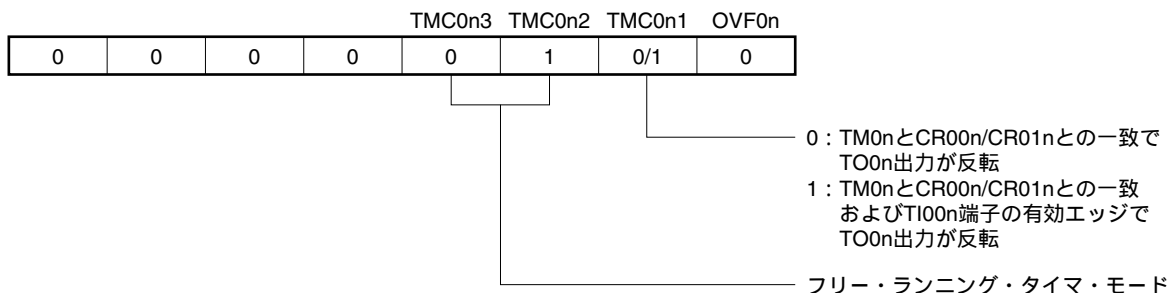
フリー・ランニング・タイマ・モードで、TI01n端子の両エッジ検出に設定し、CR00nにキャプチャするアプリケーション例です。

CR00n, CR01nを両方ともキャプチャ・レジスタとして使用し、TI01n端子だけからの有効エッジを検出する場合、CR01nにキャプチャすることはできません。

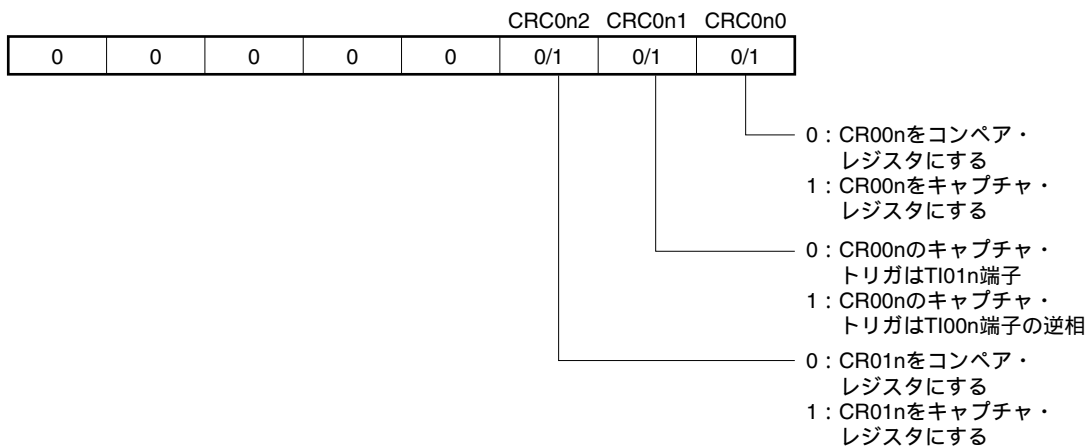
備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) , CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 49 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

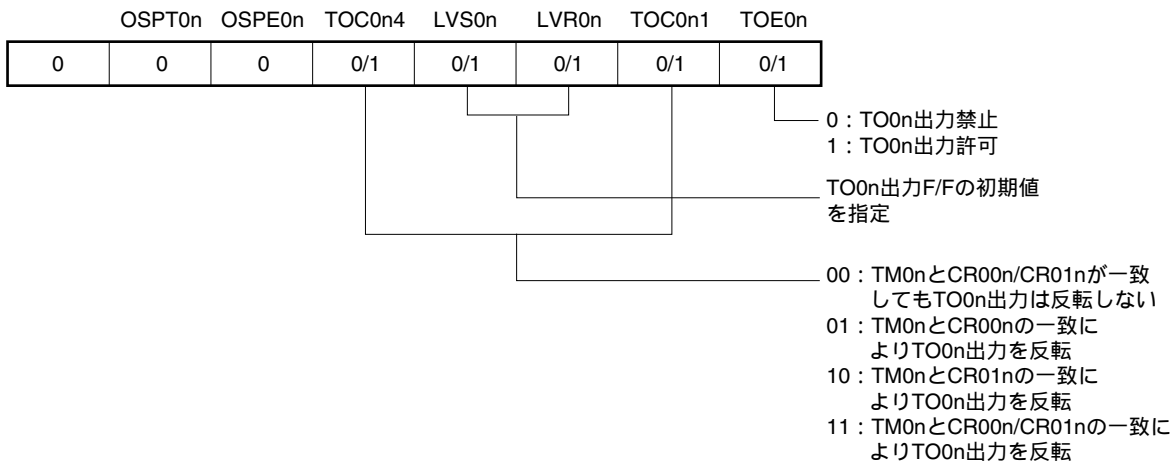
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



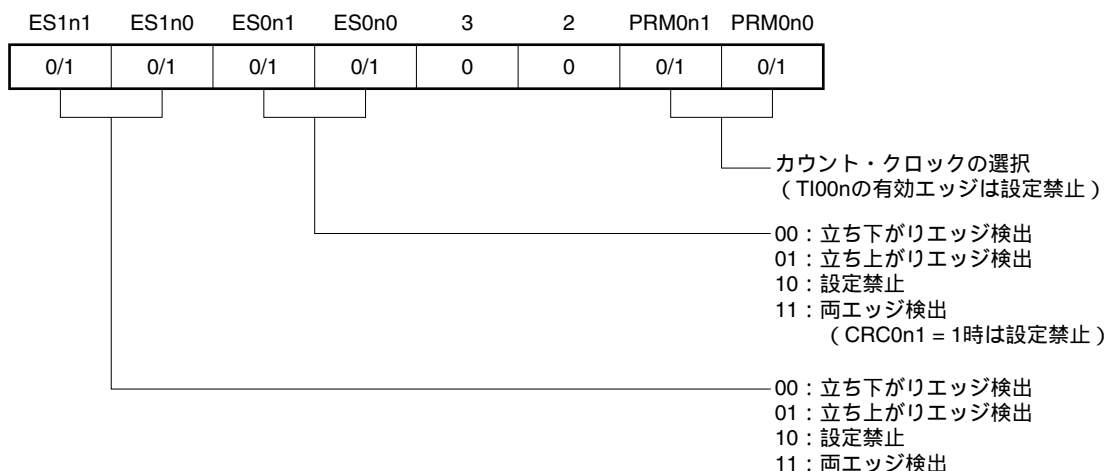
(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 49 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケーラ・モード・レジスタ0n (PRM0n)



(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ00n (CR00n)

コンペア・レジスタとして使用する場合は、TM0nとの一致で割り込み信号 (INTTM00n) が発生します。TM0nのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI00n, TI01n端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM0nのカウント値をCR00nに格納します。

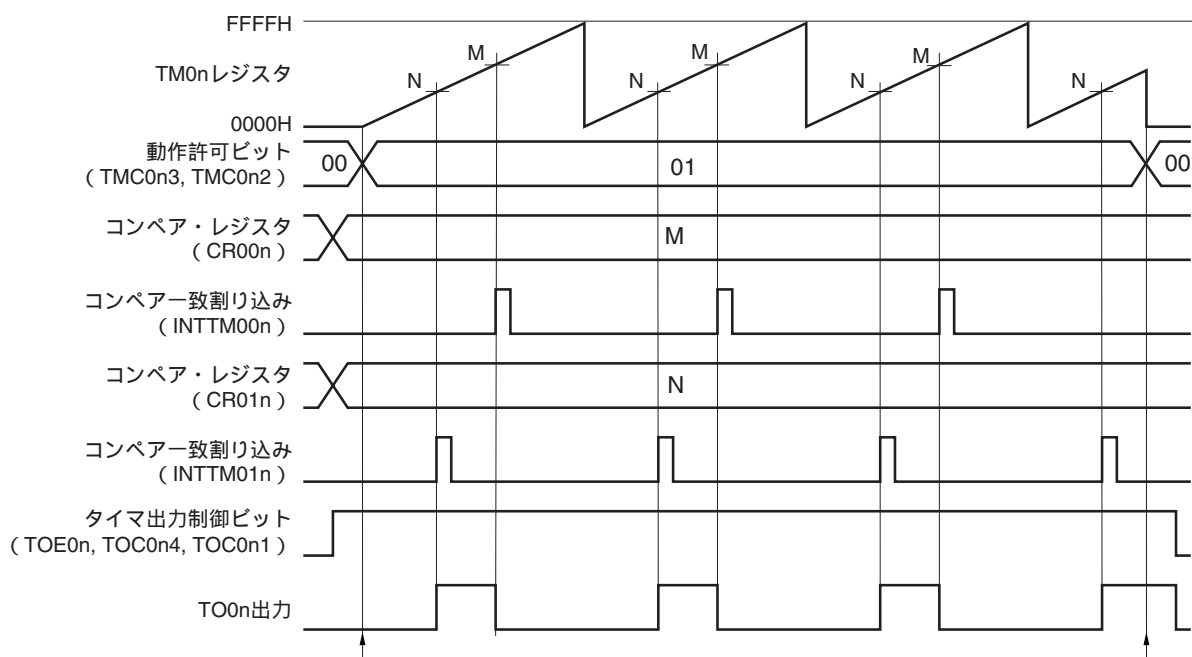
(g) 16ビット・キャプチャ/コンペア・レジスタ01n (CR01n)

コンペア・レジスタとして使用する場合は、TM0nとの一致で割り込み信号 (INTTM01n) が発生します。TM0nのカウント値はクリアされません。

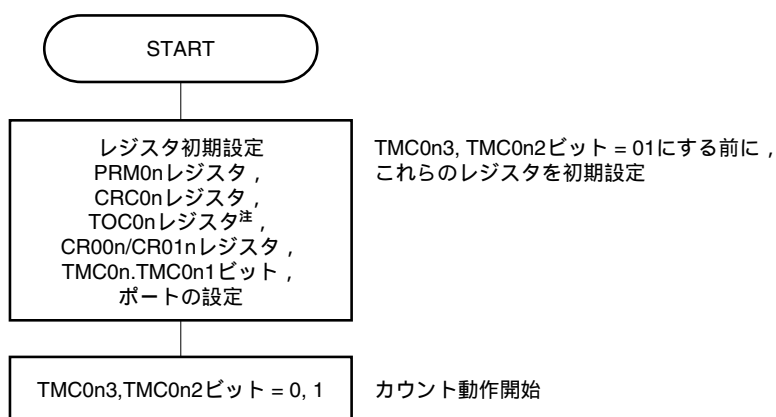
キャプチャ・レジスタとして使用する場合は、TI00n端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM0nのカウント値をCR01nに格納します。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n), CRC0nレジスタの場合: n = 0)

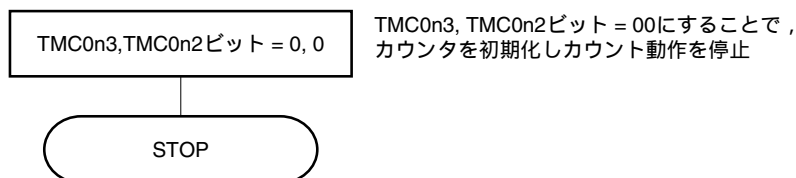
図6-50 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

6.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 11 (TM0nとCR00nの一致によるクリア&スタート) に設定し, CR00nにあらかじめ設定した値を1周期とし, CR01nにあらかじめ設定した値をパルス幅とする矩形波を, TO0n端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

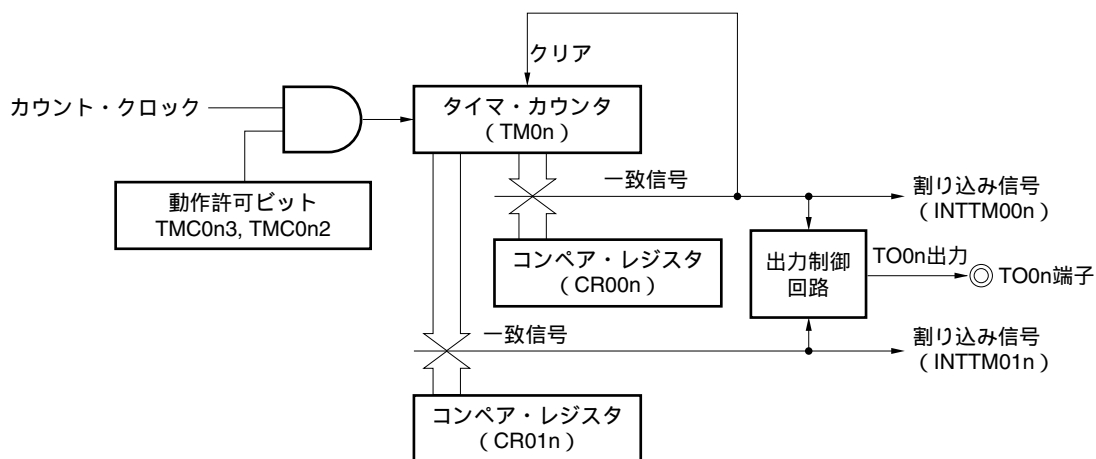
- ・パルス周期 = (CR00nの設定値 + 1) × カウント・クロック周期
- ・デューティ = (CR01nの設定値 + 1) / (CR00nの設定値 + 1)

注意 動作中にデューティの値 (CR01n) を変更したい場合は, 6.5.1 CR01nのTM0n動作中の書き換えを参照してください。

備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ0, 5 (PM0, PM5) を参照してください。

2. INTTM00n信号の割り込み許可については, 第20章 割り込み機能を参照してください。

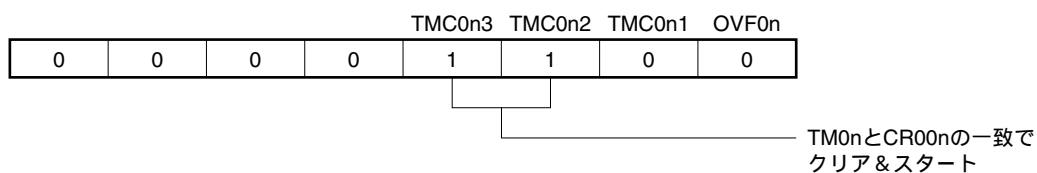
図6-51 PPG出力としての動作のブロック図



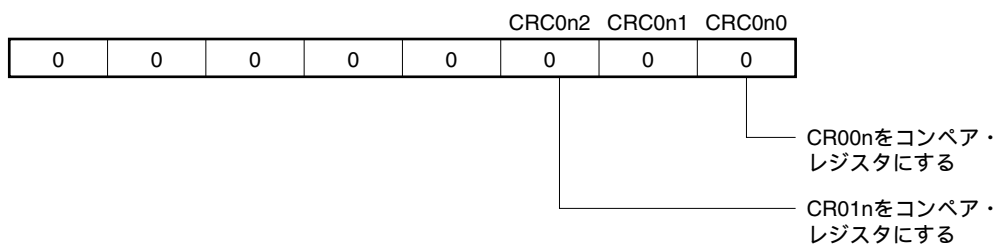
備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n) の場合: n = 0)

図6 - 52 PPG出力動作時のレジスタ設定内容例 (1/2)

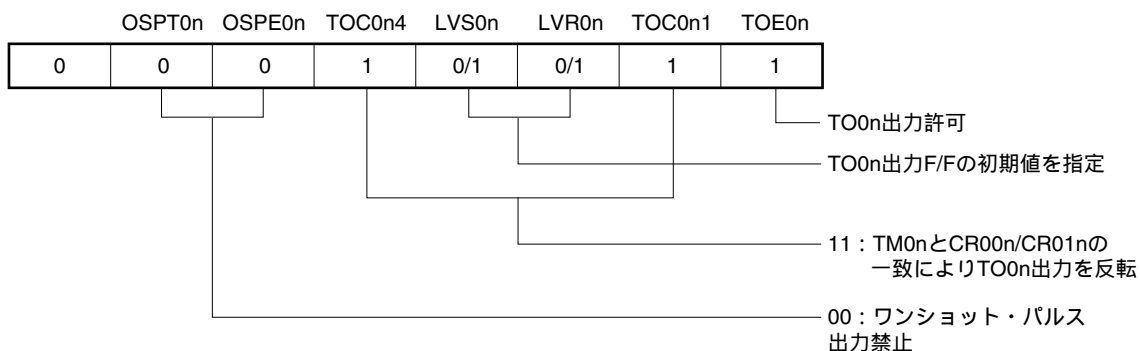
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)



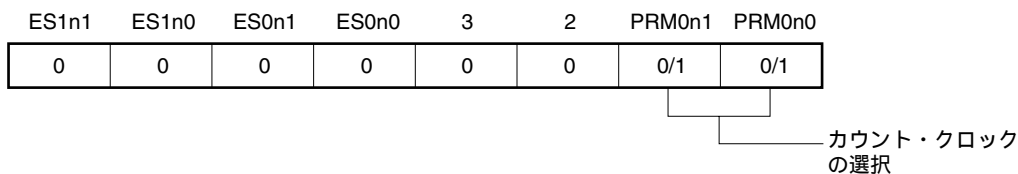
(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)



(d) プリスケアラ・モード・レジスタ0n (PRM0n)



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

図6 - 52 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ $0n$ (TM $0n$)

TM $0n$ をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ $00n$ (CR $00n$)

TM $0n$ との一致で割り込み信号 (INTTM $00n$) を発生します。TM $0n$ のカウント値はクリアされません。

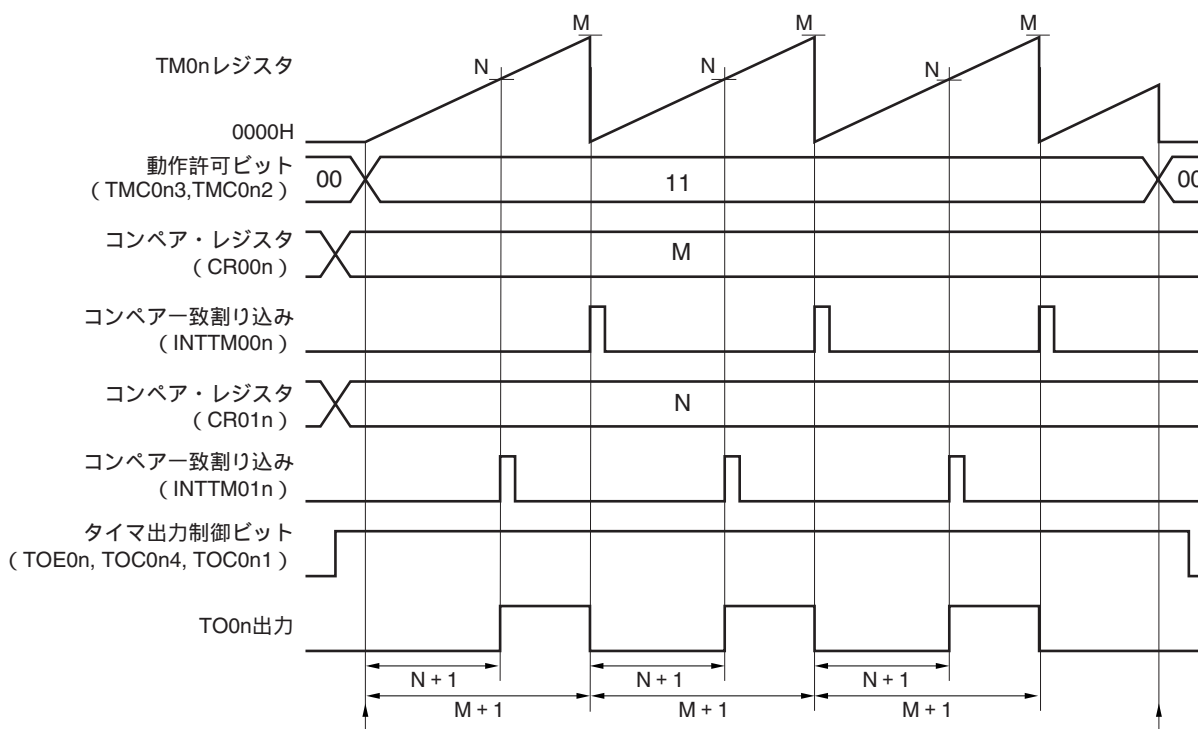
(g) 16ビット・キャプチャ/コンペア・レジスタ $01n$ (CR $01n$)

TM $0n$ との一致で割り込み信号 (INTTM $01n$) を発生します。TM $0n$ のカウント値はクリアされません。

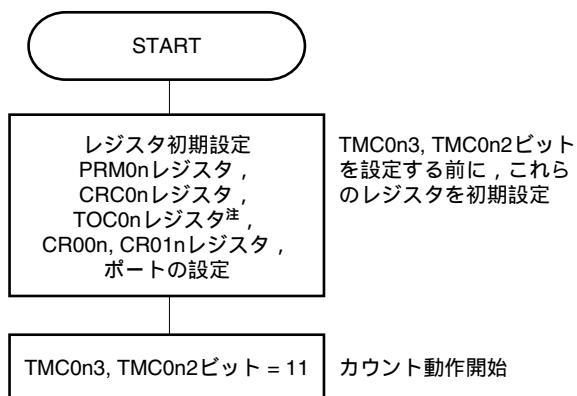
注意 CR $00n$, CR $01n$ には, 0000H CR $01n$ < CR $00n$ FFFFHの値を設定してください。

備考 n = 0-2

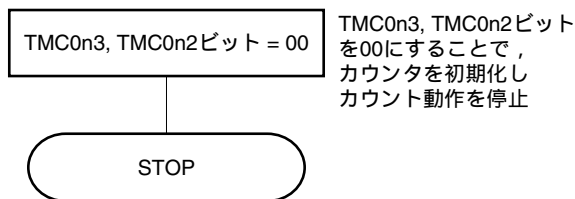
図6 - 53 PPG出力動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)を参照してください。

備考1. PPGのパルス周期 = (M + 1) × カウント・クロック周期

PPGのデューティ = (N + 1) / (M + 1)

2. n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n), CRC0n, TOC0nレジスタの場合 : n = 0)

6.4.7 ワンショット・パルス出力としての動作

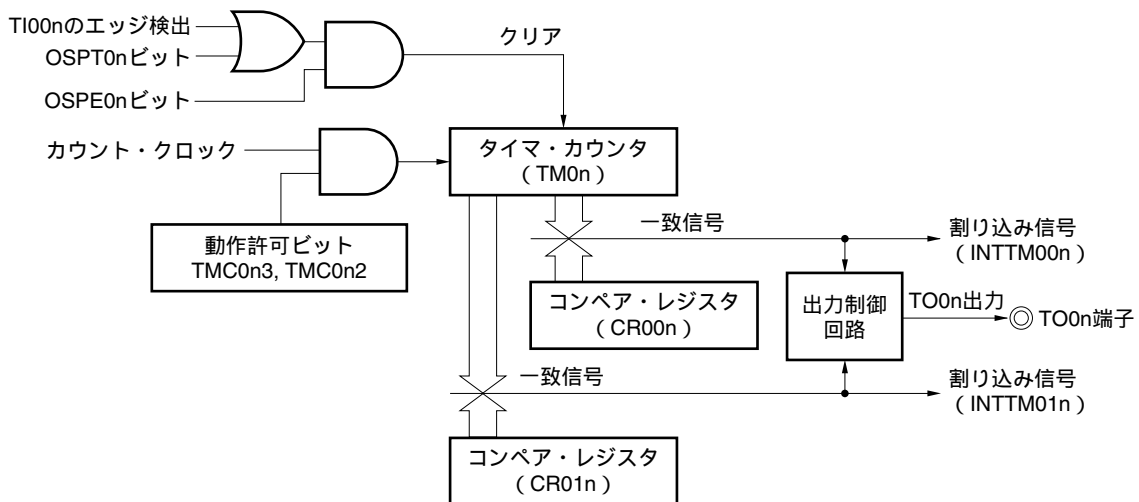
16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット3, 2 (TMC0n3, TMC0n2) = 01 (フリー・ランニング・タイマ・モード), またはTMC0n3, TMC0n2 = 10 (TI00n端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) のビット5 (OSPE0n) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC0nのビット6 (OSPT0n) をセット (1) するか, またはTI00n端子に有効エッジが入力されると, それがトリガとなり, TM0nのクリア&スタート後, CR00n, CR01nに設定した差分のパルスを1回だけTO0n端子から出力します。

- 注意1.** ワンショット・パルスを出力中に, さらにトリガ (OSPT0nのセット (1), またはTI00n端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
- 2.** OSPT0nのセット (1) のみをワンショット・パルス出力のトリガとする場合, TI00n端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1.** 入出力端子の設定については6.3 (5) ポート・モード・レジスタ0, 5 (PM0, PM5) を参照してください。
- 2.** INTTM00n信号の割り込み許可については, 第20章 割り込み機能を参照してください。

図6-54 ワンショット・パルス出力としての動作のブロック図



- 備考** n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), TOC0nレジスタの場合: n = 0)

図6 - 55 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI00n端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

CR00nをコンペア・
レジスタにする
CR01nをコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0/1	1	1	0/1	0/1	1

TO0n出力許可
TO0n出力の初期値を
指定
TM0nとCR00n/CR01nの
一致によりTO0n出力を反転
ワンショット・パルス
出力許可
1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0	0	0	0	0	0	0/1	0/1

カウント・クロック
の選択

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), CRC0n, TOC0nレジスタの
場合: n = 0)

図6 - 55 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ $0n$ (TM $0n$)

TM $0n$ をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ $00n$ (CR $00n$)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM $0n$ とCR $00n$ の値が一致すると、割り込み信号 (INTTM $00n$) を発生し、TO $0n$ 出力レベルを反転します。

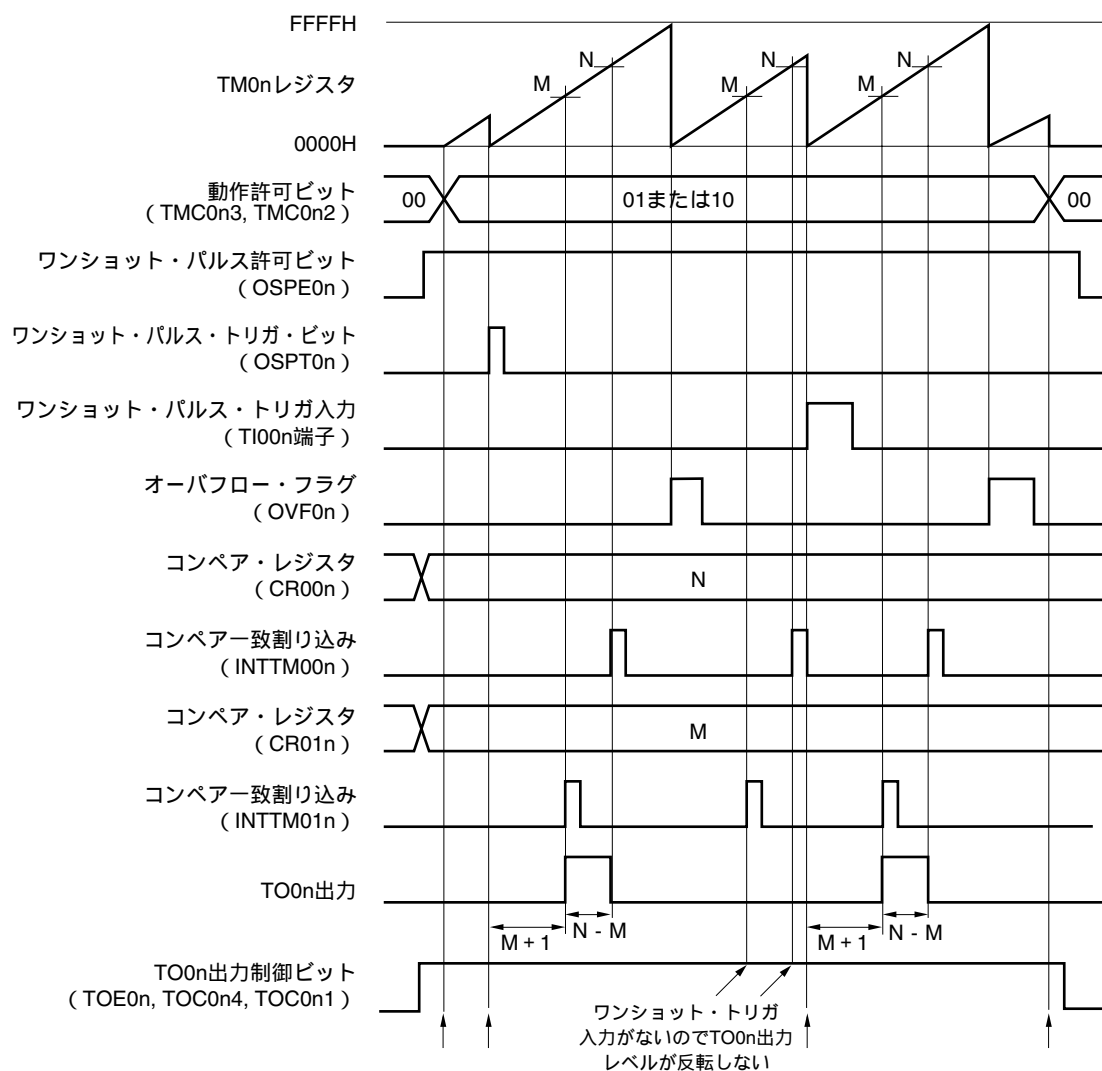
(g) 16ビット・キャプチャ/コンペア・レジスタ $01n$ (CR $01n$)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM $0n$ とCR $01n$ の値が一致すると、割り込み信号 (INTTM $01n$) を発生し、TO $0n$ 出力レベルを反転します。

注意 CR $00n$ とCR $01n$ には同値を設定しないでください。

備考 $n = 0-2$ (ただし、78K0/KC2-Cのタイマ出力端子 (TO $0n$) の場合 : $n = 0$)

図6 - 56 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)

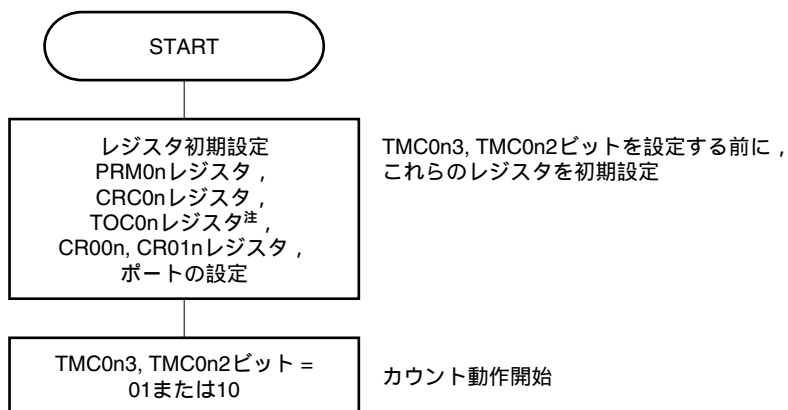


- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
= $(M + 1) \times \text{カウント} \cdot \text{クロック周期}$
- ・ワンショット・パルス出力アクティブ・レベル幅
= $(N - M) \times \text{カウント} \cdot \text{クロック周期}$

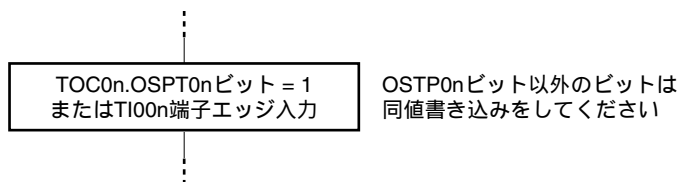
備考 $n = 0-2$ (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TO0n), TOC0nレジスタの場合: $n = 0$)

図6 - 56 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

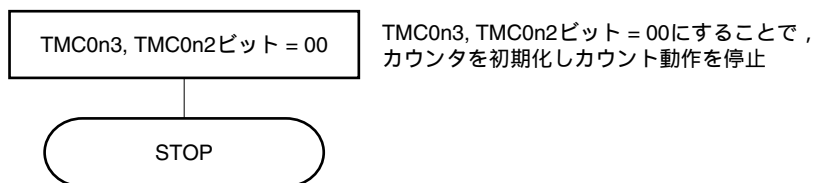
カウント動作開始フロー



ワンショット・トリガ入力フロー



カウント動作停止フロー



注 TOC0nの設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)を参照してください。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子 (TI00n), CRC0n, TOC0nレジスタの場合: n = 0)

6.4.8 パルス幅測定としての動作

TM0nを使用し、TI00n端子およびTI01n端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ0nをフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI00n端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット0 (OVF0n) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図6 - 57 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

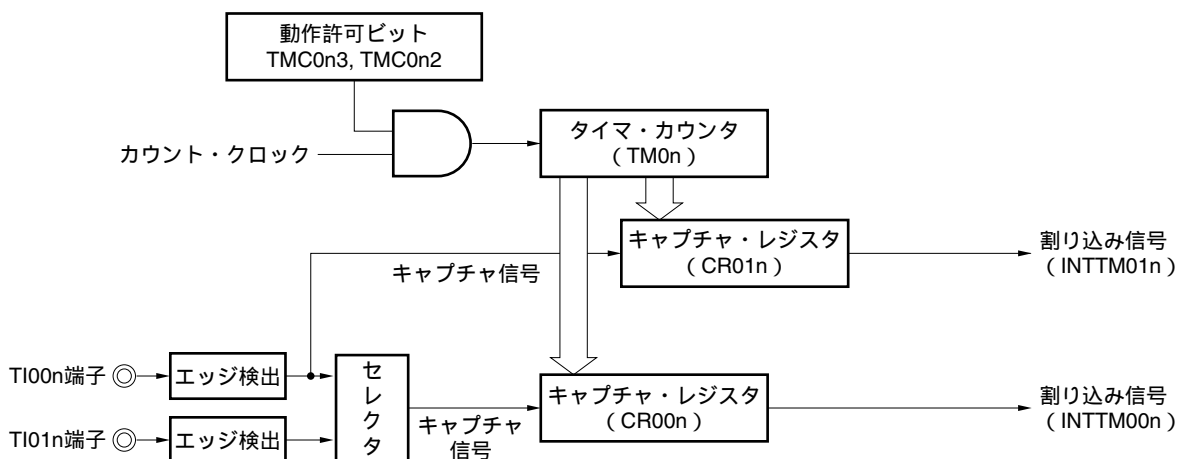
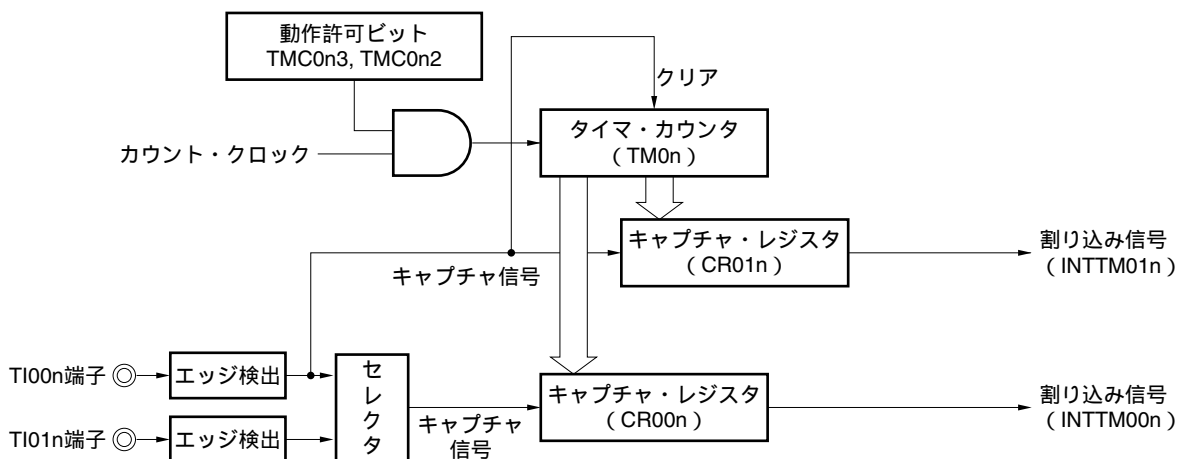


図6 - 58 パルス幅測定 (TI00n端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n) の場合 : n = 0)

パルス幅測定をするには、次の3つの方法があります。

- ・ TI00n端子およびTI01n端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI00n端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI00n端子1本の入力信号でパルス幅を測定（TI00n端子の有効エッジ入力によるクリア&スタート・モード）

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ0, 5 (PM0, PM5)**を参照してください。

2. INTTM00n信号の割り込み許可については、**第20章 割り込み機能**を参照してください。
3. $n = 0-2$ （ただし、78K0/KC2-Cのタイマ入出力端子（TI00n, TI01n, TO0n）の場合： $n = 0$ ）

(1) TI00n端子およびTI01n端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

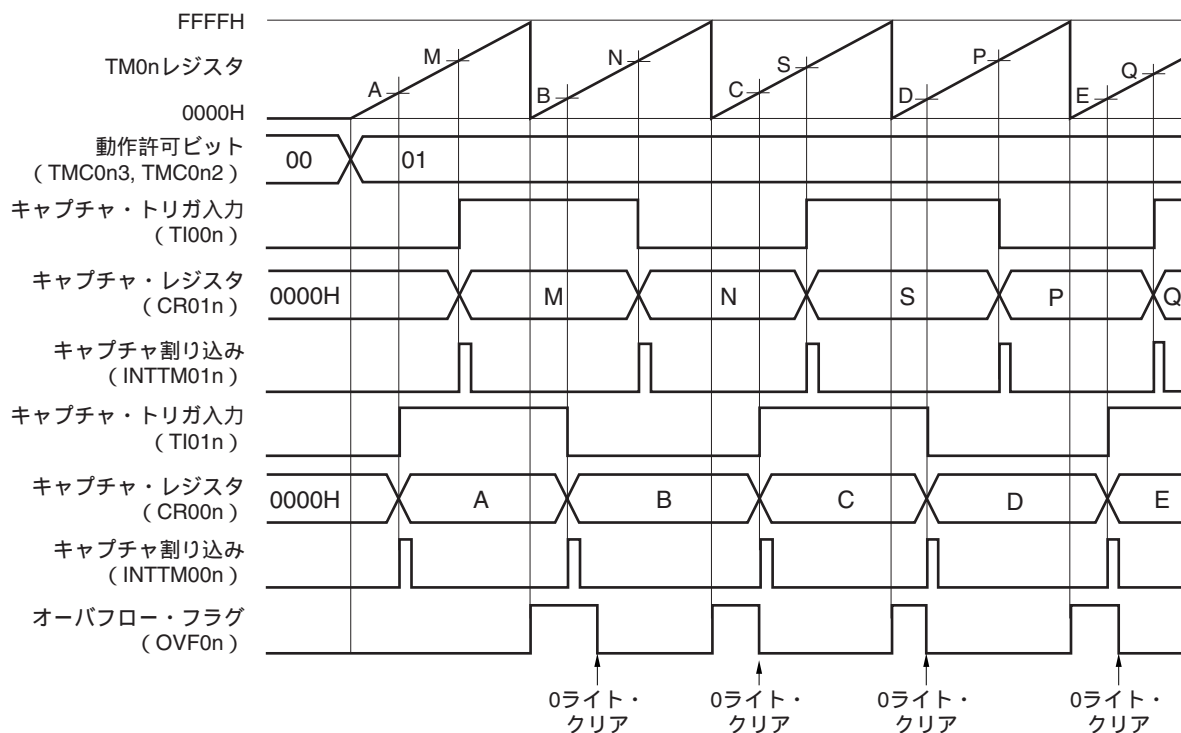
フリー・ランニング・タイマ・モード(TMC0n3, TMC0n2 = 01)に設定します。TI00n端子の有効エッジ検出により, TM0nのカウント値をCR01nにキャプチャします。TI01n端子の有効エッジ検出により, TM0nのカウント値をCR00nにキャプチャします。TI00n端子とTI01n端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(プログラム・ステータス・ワード(PSW)のビット0(CY)がセット(1)されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)のビット0(OVF0n)をクリア(0)してください。

図6 - 59 パルス幅測定のタイミング例(1)

・ TMC0n = 04H, PRM0n = F0H, CRC0n = 05H



備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n) の場合: n = 0)

(2) TI00n端子1本の入力信号でパルス幅を測定 (フリー・ランニング・タイマ・モード)

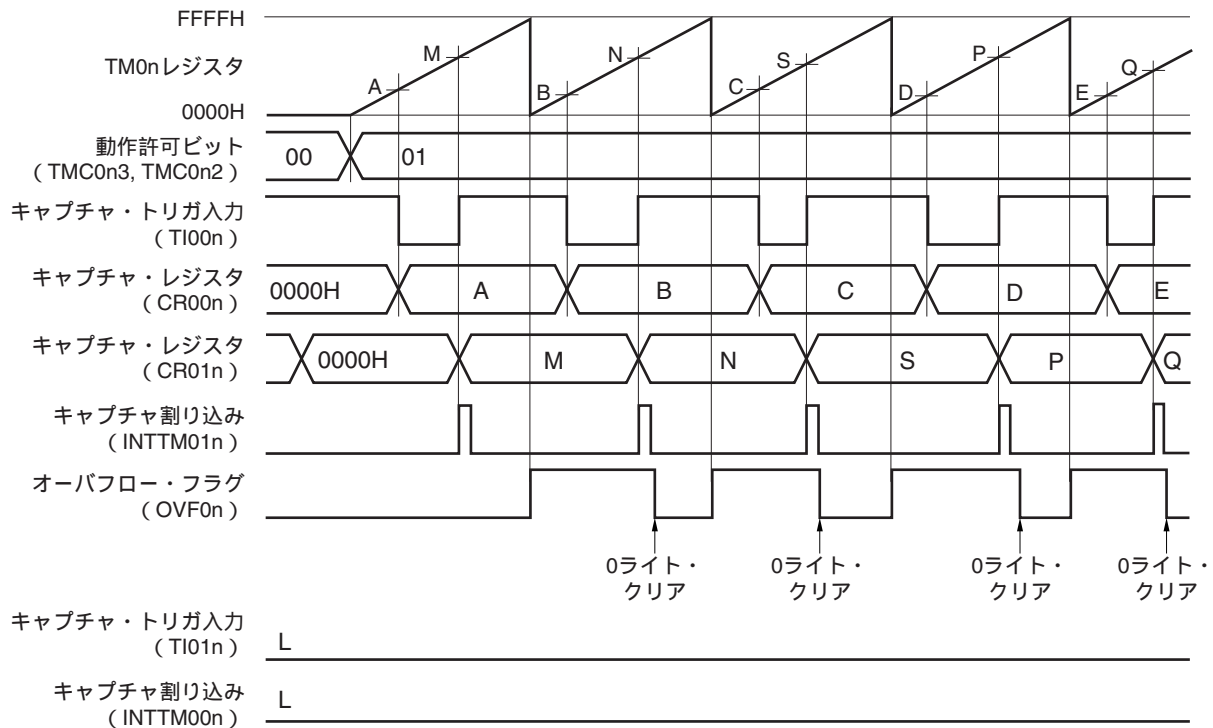
フリー・ランニング・タイマ・モード (TMC0n3, TMC0n2 = 01) に設定します。TI00n端子の有効エッジ検出の逆相で、TM0nのカウント値をCR00nにキャプチャします。TI00n端子の有効エッジ検出で、TM0nのカウント値をCR01nにキャプチャします。

この測定方法では、エッジからエッジまでの幅を測定する場合に、別々のキャプチャ・レジスタに値を格納するため、キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅、ロウ・レベル幅、周期を算出します。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ボローが発生します (プログラム・ステータス・ワード (PSW) のビット0 (CY) がセット (1) されます)。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) のビット0 (OVF0n) をクリア (0) してください。

図6-60 パルス幅測定のタイミング例 (2)

・ TMC0n = 04H, PRM0n = 10H, CRC0n = 07H



備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n, TO0n), CRC0n, TOC0nレジスタの場合: n = 0)

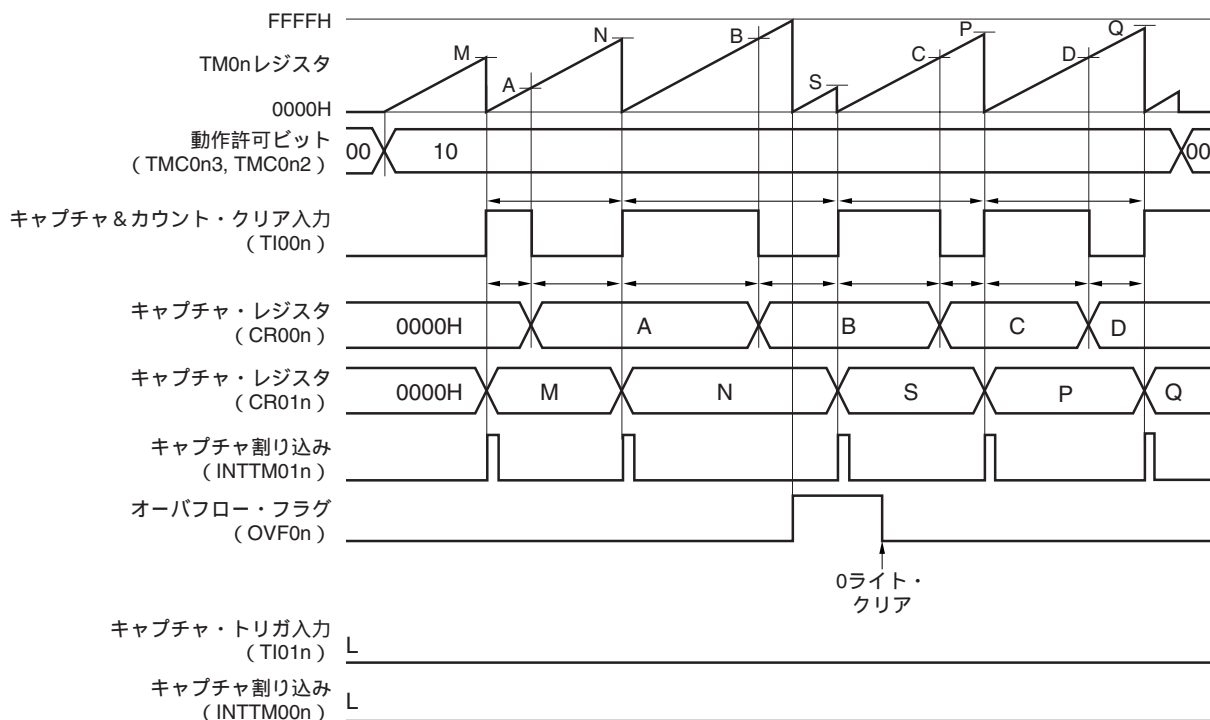
(3) TI00n端子1本の入力信号でパルス幅を測定(TI00n端子の有効エッジ入力によるクリア&スタート・モード)

TI00n端子の有効エッジによるクリア&スタート・モード(TMC0n3, TMC0n2 = 10)に設定します。TI00n端子の有効エッジ検出の逆相で、TM0nのカウンタ値をCR00nにキャプチャします。TI00n端子の有効エッジ検出で、TM0nのカウンタ値をCR01nにキャプチャし、TM0nをクリア(0000H)します。したがって、TM0nがオーバフローしなければ、CR01nには周期が格納されます。

オーバフローが発生した場合は、CR01nに格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ0n(TMC0n)のビット0(OVF0n)をクリア(0)してください。

図6-61 パルス幅測定のタイミング例(3)

・ TMC0n = 08H, PRM0n = 10H, CRC0n = 07H



パルスの周期 = (10000H × OVF0nビットがセット(1)された回数 + CR01nのキャプチャ値) × カウント・クロック周期

パルスのハイ・レベル幅 = (10000H × OVF0nビットがセット(1)された回数 + CR00nのキャプチャ値) × カウント・クロック周期

パルスのロウ・レベル幅 = (パルスの周期 - パルスのハイ・レベル幅)

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子(TI00n, TI01n), CRC0nレジスタの場合: n = 0)

図6 - 62 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

- 01 : フリー・ランニング・タイマ・モード
- 10 : TI00n端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0/1	1

- 1 : CR00nをキャプチャ・レジスタにする
- 0 : CR00nのキャプチャ・トリガはTI01n端子
- 1 : CR00nのキャプチャ・トリガはTI00n端子の逆相
- 1 : CR01nをキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ0n (PRM0n)

ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
0/1	0/1	0/1	0/1	0	0	0/1	0/1

- カウント・クロックの選択
(TI00nの有効エッジは設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出
(CRC0n1 = 1時は設定禁止)
- 00 : 立ち下がりエッジ検出
- 01 : 立ち上がりエッジ検出
- 10 : 設定禁止
- 11 : 両エッジ検出

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) の場合 : n = 0)

図6 - 62 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ $0n$ (TM $0n$)

TM $0n$ をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ $00n$ (CR $00n$)

キャプチャ・レジスタとして使用します。TI $00n$ /TI $01n$ 端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM $0n$ のカウント値をCR $00n$ に格納します。

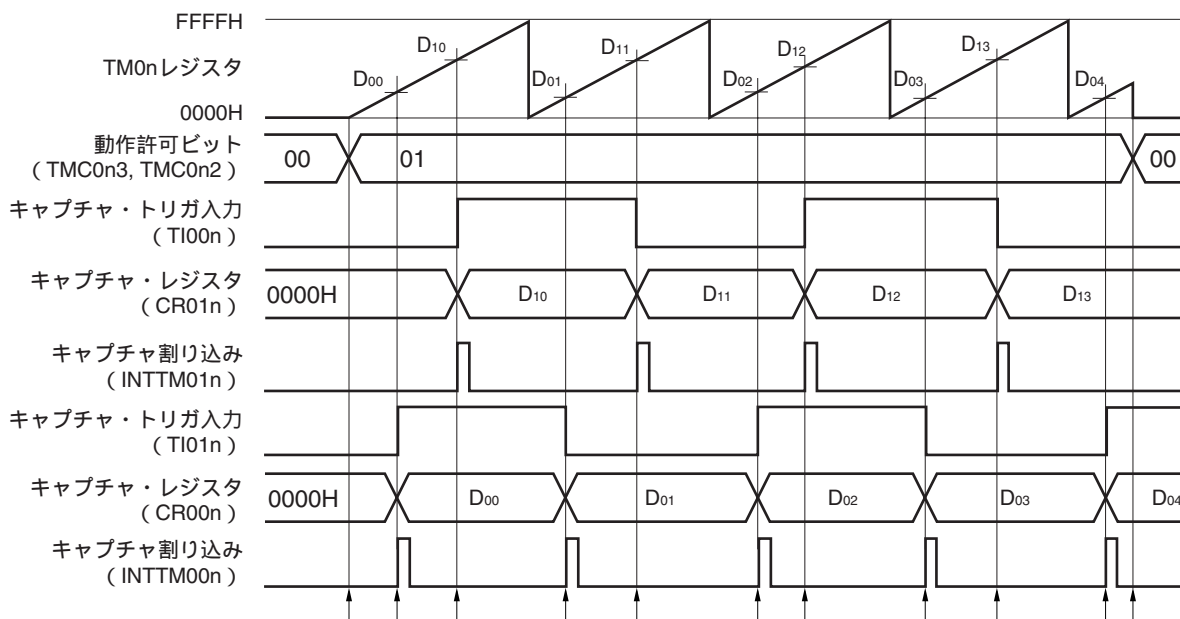
(g) 16ビット・キャプチャ/コンペア・レジスタ $01n$ (CR $01n$)

キャプチャ・レジスタとして使用します。TI $00n$ 端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM $0n$ のカウント値をCR $01n$ に格納します。

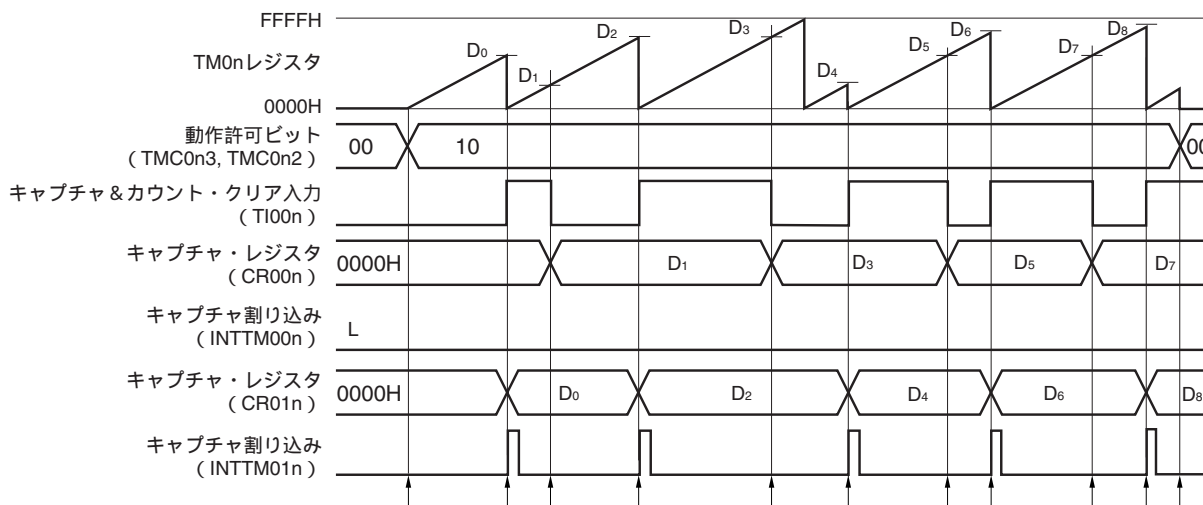
備考 $n = 0-2$ (ただし、78K0/KC2-Cのタイマ入力端子 (TI $00n$, TI $01n$) の場合: $n = 0$)

図6 - 63 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



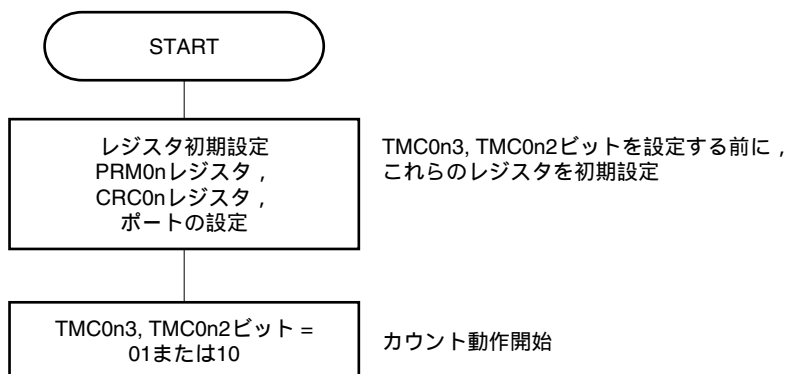
(b) TI00n端子の有効エッジによるクリア&スタート・モードの例



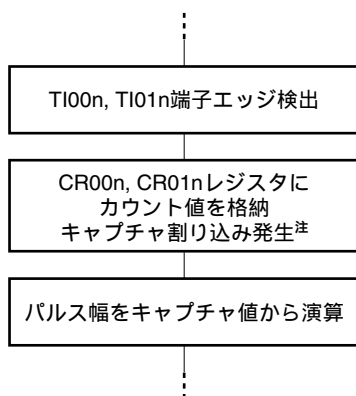
備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) の場合 : n = 0)

図6 - 63 パルス幅測定時のソフトウェア処理例 (2/2)

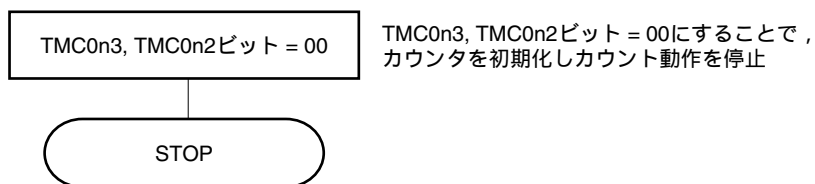
カウント動作開始フロー



キャプチャ・トリガ入力フロー



カウント動作停止フロー



注 CR00nの有効エッジにTI00n端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM00n) は発生しません。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n), CRC0nレジスタの場合: n = 0)

6.5 TM0nの特殊な使用方法

6.5.1 CR01nのTM0n動作中の書き換え

78K0/Kx2-Cでは、TM0n動作中（TMC0n3, TMC0n2 = 00以外）のとき、コンペア・レジスタとして使用するCR00nとCR01nの書き換えは原則禁止です。

ただし、CR01nだけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM0n動作中でも書き換えができます（CR01nの値を現在の設定値よりも小さくする場合には、CR01nとTM0nの一致直後に、CR01nの値を現在の設定値よりも大きくする場合には、CR00nとTM0nの一致直後に、CR01nの値を書き換えてください。CR01nとTM0nまたはCR00nとTM0nの一致直前で書き換えると、想定しない動作を起こす場合があります）。

CR01nの書き換え手順

INTTM01nの割り込みを禁止する（TMMK01n = 1）。

TM0nとCR01nの一致によるタイマ出力反転動作を禁止する（TOC0n4 = 0）。

CR01nを書き換える。

TM0nのカウント・クロックの1周期分ウェイトする。

TM0nとCR01nの一致によるタイマ出力反転動作を許可する（TOC0n4 = 1）。

INTTM01nの割り込みフラグをクリア（0）する（TMIF01n = 0）。

INTTM01nの割り込みを許可する（TMMK01n = 0）

備考 TMIF01n, TMMK01nについては第20章 **割り込み機能**を参照してください。

6.5.2 LVS0n, LVR0nの設定について

(1) LVS0n, LVR0nの使用用途

LVS0n, LVR0nは、TO0n出力の初期値を設定したいときや、タイマを動作許可しない（TMC0n3, TMC0n2 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS0n, LVR0nは00（初期値ロウ・レベル出力）に設定してください。

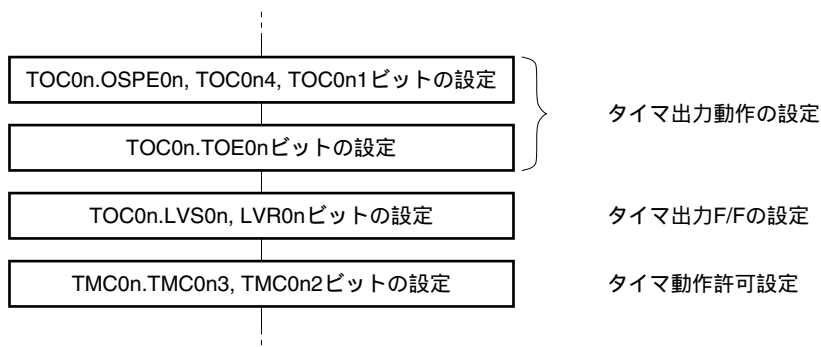
LVS0n	LVR0n	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

備考 n = 0-2（ただし、78K0/KC2-Cのタイマ出力端子（TO0n）、TOC0nレジスタの場合：n = 0）

(2) LVS0n, LVR0nの設定方法

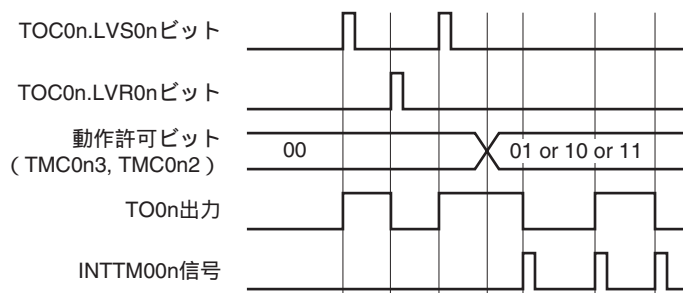
LVS0n, LVR0nは次の手順で設定してください。

図6 - 64 LVS0n, LVR0nビットの設定フロー例



注意 LVS0n, LVR0nは必ず上記 , , の手順で設定してください。
 の設定をしてから , の設定をするまでの間であれば , の設定ができます。

図6 - 65 LVR0n, LVS0nのタイミング例



LVS0n, LVR0n = 10に設定することにより, TO0n出力がハイ・レベルになります。

LVS0n, LVR0n = 01に設定することにより, TO0n出力がロウ・レベルになります
 (LVS0n, LVR0n = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC0n3, TMC0n2 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS0n, LVR0nの設定が10だったので, TO0n出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC0n3, TMC0n2 = 00(タイマ動作禁止)にするまで, LVS0n, LVR0nの設定は禁止です。

割り込み信号 (INTTM00n) が発生するたびに, TO0n出力のレベルが反転します。

備考 n = 0-2 (ただし, 78K0/KC2-Cのタイマ出力端子 (TO0n), TOC0nレジスタの場合: n = 0)

6.6 16ビット・タイマ/イベント・カウンタ00, 01, 02の注意事項

(1) 16ビット・タイマ/イベント・カウンタ0nの各チャネルの制限事項

表6-3に各チャネルの制限事項を示します。

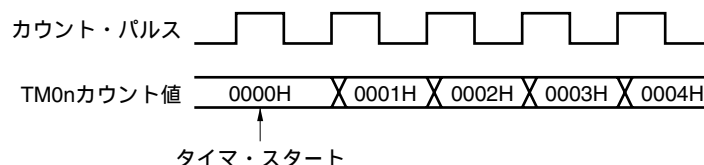
表6-3 16ビット・タイマ/イベント・カウンタ0nの各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	-
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI00n端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI01n端子の有効エッジ検出を使用する場合、タイマ出力 (TO0n) は使用禁止 (TOC0n = 00Hに設定)
フリー・ランニング・タイマとしての動作	-
PPG出力としての動作	0000H CP01n < CR00n FFFFH
ワンショット・パルス出力としての動作	CR00nとCP01nには同値は設定禁止
パルス幅測定としての動作	タイマ出力 (TO0n) は使用禁止 (TOC0n = 00Hに設定)

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nのカウント・スタートが非同期で行われるためです。

図6-66 TM0nのカウント・スタート・タイミング



(3) CR00n, CR01nの設定 (TM0nとCR00nの一致でクリア&スタート・モードの場合)

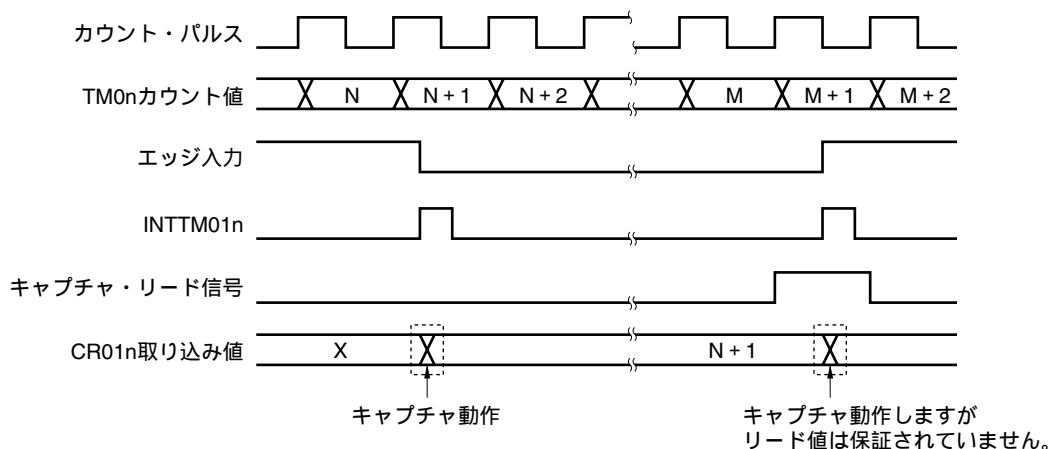
CR00n, CR01nには、0000H以外の値を設定してください (外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入出力端子 (TI00n, TI01n, TO0n), TOC0nレジスタの場合 : n = 0)

(4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR00n/CR01nの読み出し中にTI00n/TI01n端子の有効エッジ入力，TI00n端子の逆相のエッジを検出したとき，CR01nはキャプチャ動作を行います，CR00n/CR01nの読み出し値は保証されません。このとき，TI00n/TI01n端子の有効エッジの検出による割り込み信号（INTTM00n/INTTM01n）は発生しません（TI00n端子の逆相のエッジ検出時は，割り込み信号を発生しません）。
TI00n/TI01n端子の有効エッジの検出によるキャプチャ時に，CR00n/CR01nの値を読み出す場合は，INTTM00n/INTTM01n発生後に行ってください。

図6 - 67 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ/イベント・カウンタ0n停止後のCR00n, CR01nの値は保証されません。

(5) 有効エッジの設定

TI00n端子の有効エッジの設定は，タイマ動作が停止（TMC0n3, TMC0n2 = 00）しているときに行ってください。有効エッジの設定は，ES0n0, ES0n1で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

備考 n = 0-2（ただし，78K0/KC2-Cのタイマ入力端子（TI00n, TI01n）の場合：n = 0）

(7) OVF0nフラグの動作

(a) OVF0nフラグのセット(1)

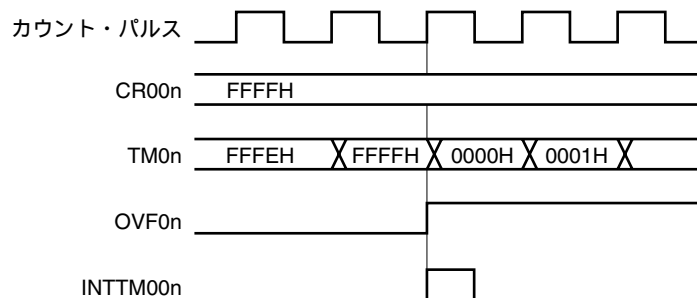
OVF0nフラグは、TM0nがオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM0nとCR00nの一致でクリア&スタート・モードを選択

CR00nをFFFFHに設定

TM0nがCR00nとの一致によりFFFFHから0000Hにクリアされるとき

図6 - 68 OVF0nフラグの動作タイミング



(b) OVF0nフラグのクリア

TM0nがオーバーフロー後、次のカウント・クロックがカウントされる(TM0nが0001Hになる)前に OVF0nフラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI00n端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nとCR00nの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

(9) キャプチャ動作

(a) カウント・クロックにTI00nの有効エッジを指定した場合

カウント・クロックにTI00nの有効エッジを指定した場合、TI00nをトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI01n, TI00n端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI00n, TI01n端子に入力するパルスには、PRM0nで選択したカウント・クロックの2回分より長いパルス幅が必要です(図6 - 11を参照)。

備考 n = 0-2 (ただし、78K0/KC2-Cのタイマ入力端子(TI00n, TI01n)の場合: n = 0)

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号 (INTTM00n, INTTM01n) は次のカウント・クロックの立ち上がりで発生します (図6-11を参照)。

(d) CRC0n1 (キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) のビット1) = 1に設定したときの注意

TI00n端子入力の逆相でTM0nレジスタのカウント値をCR00nレジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM00n) は発生しません。この動作中に、TI01n端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM00n信号が発生します。外部割り込みを使用しない場合は、INTTM00n信号をマスクしてください。

(10) エッジ検出**(a) リセット後の有効エッジ指定**

リセット後、TI00n端子またはTI01n端子がハイ・レベルの状態、TI00n端子またはTI01n端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI00nの有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM0nで選択したカウント・クロックでサンプリングします。

TI00n端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます (図6-11を参照)。

(11) タイマ動作について

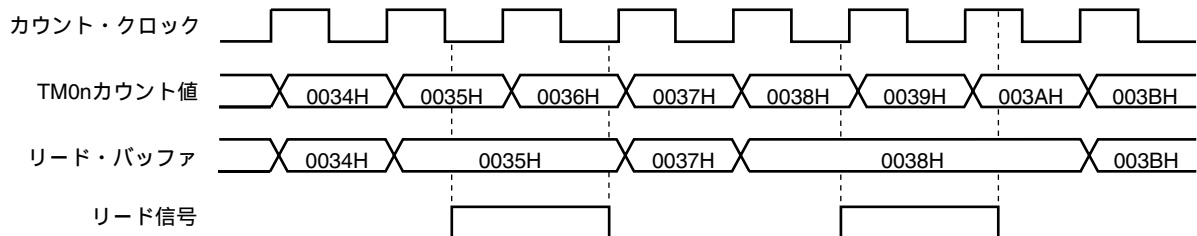
CPUの動作モードに関係なく、タイマが停止していると、TI00n/ TI01n端子への入力信号は受け付けられません。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. $n = 0-2$ (ただし、78K0/KC2-Cのタイマ入力端子 (TI00n, TI01n) , CRC0nレジスタの場合 : $n = 0$)

(12) 16ビット・タイマ・カウンタ $0n$ (TM $0n$) のリードについて

TM $0n$ は、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図6 - 69 16ビット・タイマ・カウンタ $0n$ (TM $0n$) のリード・タイミング

備考 n = 0-2

第7章 8ビット・タイマ/イベント・カウンタ50, 51

7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51は、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ (8ビット・タイマ51のみ)^注

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3) ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

図7-1, 図7-2に, 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

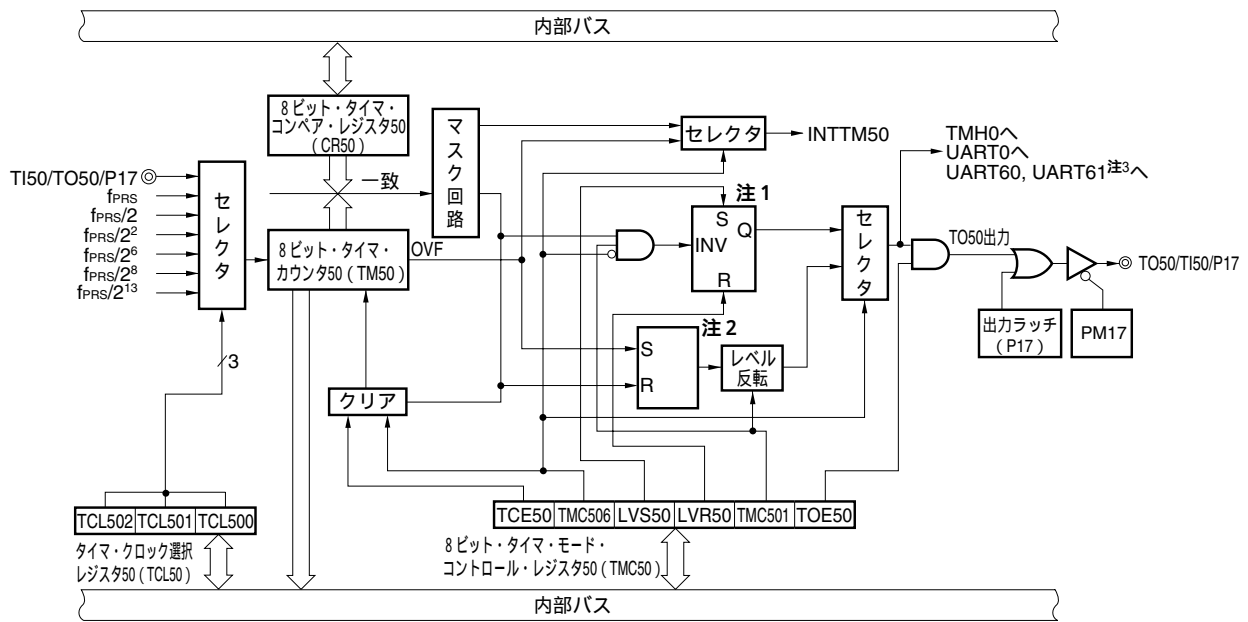
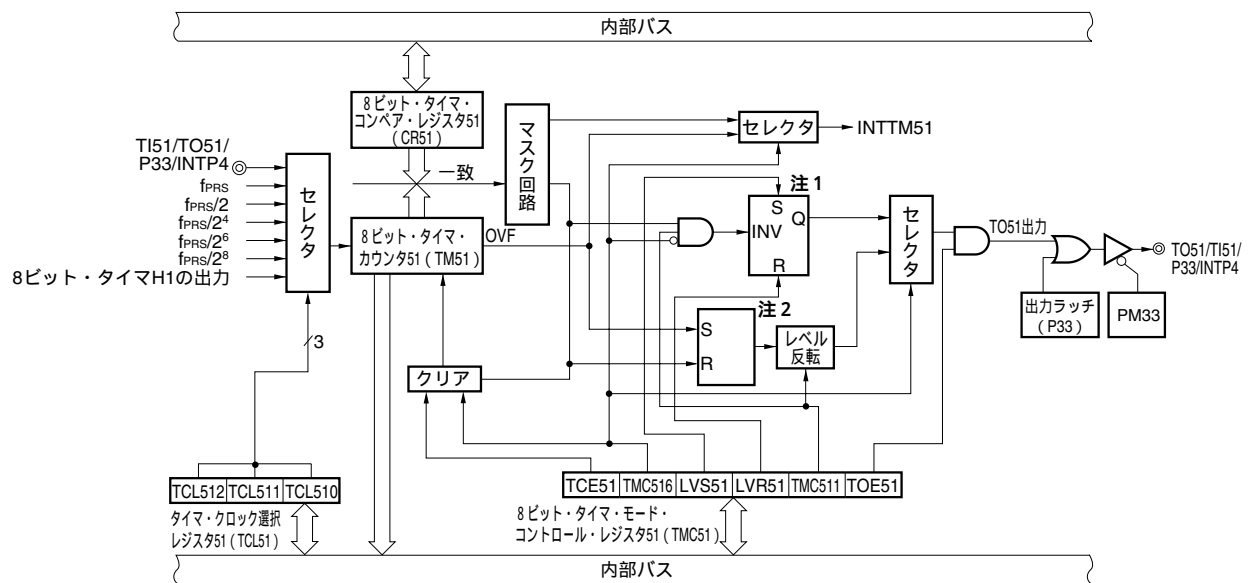


図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図



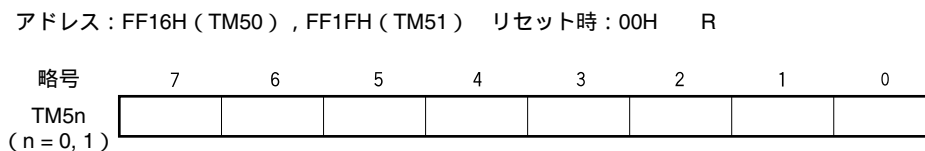
注1. タイマ出力F/F

2. PWM出力F/F

3. 78K0/KE2-Cのみ

(1) 8ビット・タイマ・カウンタ_{5n} (TM_{5n})

TM_{5n}は、カウント・パルスをカウントする8ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-3 8ビット・タイマ・カウンタ_{5n} (TM_{5n}) のフォーマット

次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE_{5n}をクリア
- TM_{5n}とCR_{5n}の一致でクリア&スタート・モード時のTM_{5n}とCR_{5n}の一致

(2) 8ビット・タイマ・コンペア・レジスタ_{5n} (CR_{5n})

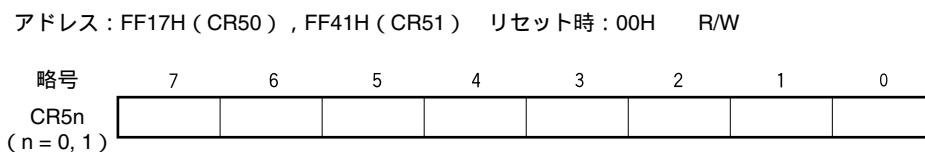
CR_{5n}は、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR_{5n}に設定した値と、8ビット・タイマ・カウンタ_{5n} (TM_{5n}) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM_{5n}) を発生します。

PWMモード時は、TM_{5n}とCR_{5n}の値の一致により、TO_{5n}出力はインアクティブ・レベルになりますが、割り込みは発生しません。

CR_{5n}の値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図7-4 8ビット・タイマ・コンペア・レジスタ_{5n} (CR_{5n}) のフォーマット

注意1. TM_{5n}とCR_{5n}の一致でクリア&スタート・モード (TMC_{5n6} = 0) 時は、動作中にCR_{5n}に異なる値を書き込まないでください。

2. PWMモード時は、CR_{5n}の書き換え間隔をカウント・クロック (TCL_{5n}で選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ3 (P3)

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図7-5 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF6AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	TI50端子の立ち下がりエッジ ^注				
0	0	1	TI50端子の立ち上がりエッジ ^注				
0	1	0	fPRS	2 MHz	5 MHz	10 MHz	20 MHz
0	1	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
1	0	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	fPRS/2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	fPRS/2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz	2.44 kHz

注 CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI50端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 fPRS : 周辺ハードウェア・クロック周波数

図7-6 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択				
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	TI51端子の立ち下がりエッジ ^注				
0	0	1	TI51端子の立ち上がりエッジ ^注				
0	1	0	f _{PRS}	2 MHz	5 MHz	10 MHz	20 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	1	1	タイマH1の出力信号				

注 CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI51端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生00Hになります。

備考 n = 0, 1

図7-7 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット

アドレス: FF6BH リセット時: 00H R/W^注

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50
TCE50	TM50のカウント動作制御							
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)							
1	カウント動作開始							
TMC506	TM50の動作モード選択							
0	TM50とCR50の一致でクリア & スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS50	LVR50	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC501	PWMモード以外 (TMC506 = 0)				PWMモード (TMC506 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE50	タイマ出力の制御							
0	出力禁止 (TO50出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

(注意と備考は次ページにあります。)

図7-8 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51
TCE51	TM51のカウンタ動作制御							
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)							
1	カウンタ動作開始							
TMC516	TM51の動作モード選択							
0	TM51とCR51の一致でクリア&スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS51	LVR51	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをクリア (0) (TO51出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TO51出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC511	PWMモード以外 (TMC516 = 0)				PWMモード (TMC516 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE51	タイマ出力の制御							
0	出力禁止 (TO51出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

注意1. LVS5nとLVR5nの設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC5n1, TMC5n6を設定 : 動作モードの設定

出力を許可する場合, TOE5nを設定 : タイマ出力許可

LVS5n, LVR5nを設定 (注意1) : タイマF/Fの設定

TCE5nを設定

3. TCE5n = 1のとき, TMC5nの他のビットを設定することは禁止です。

4. 実際のTO50/TI50/P17, TO51/TI51/P33/INTP4端子の出力は, TO5n出力のほかにPM17とP17, PM33とP33によって決まります。

備考1. PWMモード時は, TCE5n = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS5n, LVR5nは読み出すと, 0になっています。

3. TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は, TCE5nの値に関係なくTO5n出力に反映されます。

4. n = 0, 1

(3) ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力/出力を1ビット単位で設定するレジスタです。

P17/TO50/TI50, P33/TO51/TI51/INTP4端子をタイマ出力として使用するとき, PM17, PM33およびP17, P33の出力ラッチに0を設定してください。

P17/TO50/TI50, P33/TO51/TI51/INTP4端子をタイマ入力として使用するとき, PM17, PM33に1を設定してください。このとき, P17, P33の出力ラッチは0または1のどちらでもかまいません。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7-9 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM1n	P1n端子の入出力モードの選択 (n = 0-7)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

図7-10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30
PM3n	P3n端子の入出力モードの選択 (n = 0-3)							
0	出力モード (出力バッファ・オン)							
1	入力モード (出力バッファ・オフ)							

7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1を設定すると、カウント動作を開始します。

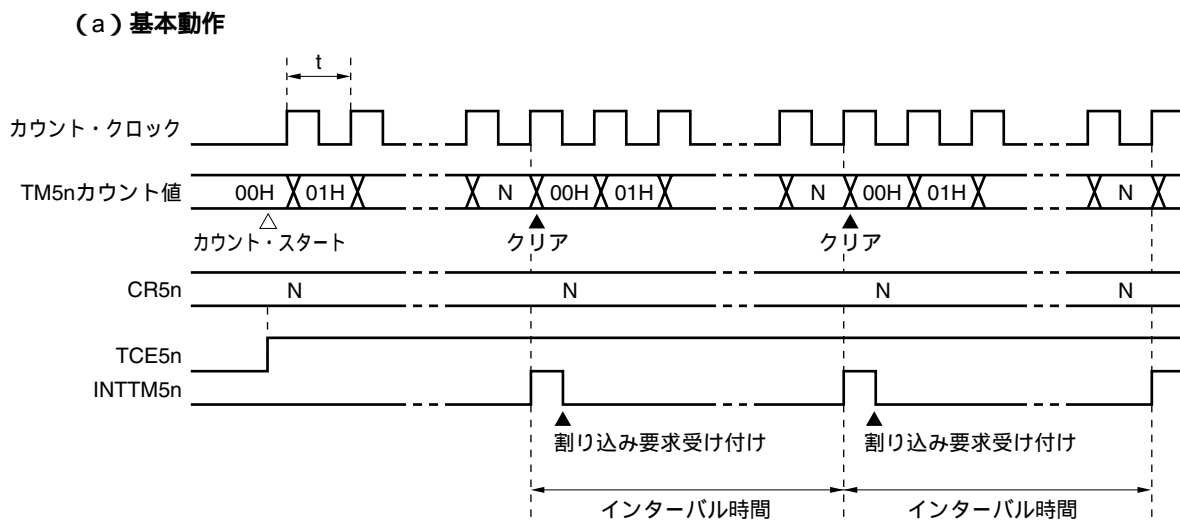
TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

注意 動作中にCR5nに異なる値を書き込まないでください。

備考 INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図7-11 インターバル・タイマ動作のタイミング (1/2)



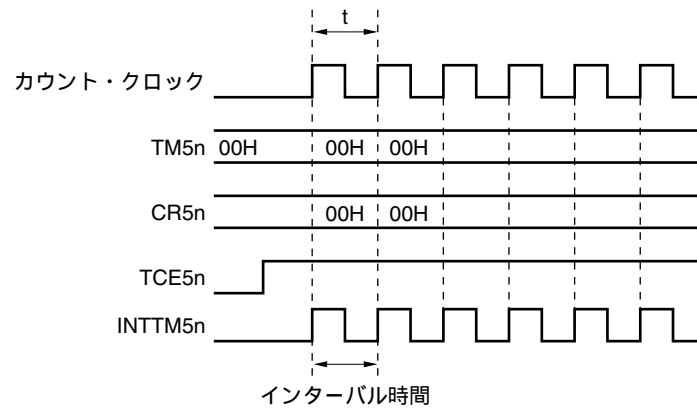
備考 インターバル時間 = (N + 1) × t

N = 01H-FFH

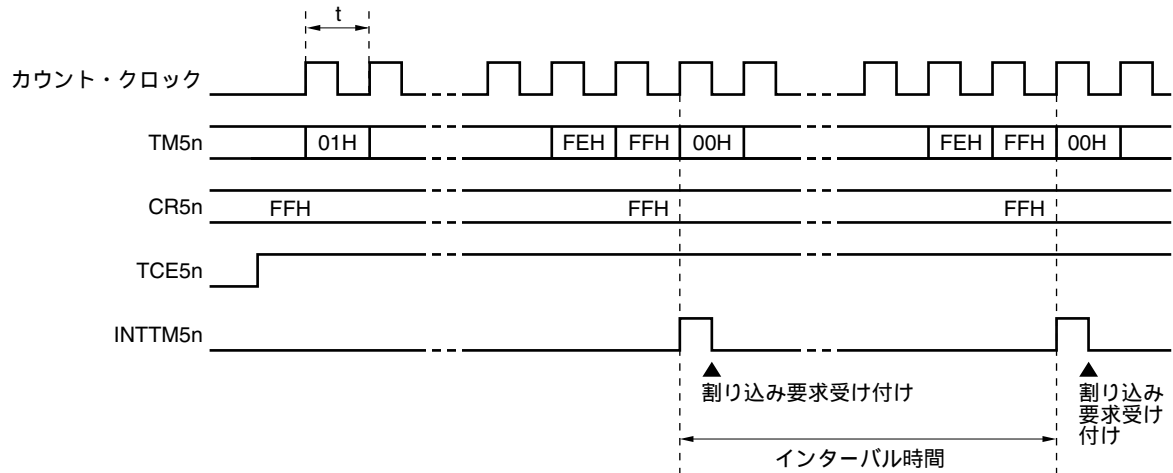
n = 0, 1

図7-11 インターバル・タイマ動作のタイミング (2/2)

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0, 1

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM17, PM33) ^注に “1” を設定
- ・TCL5n : TI5n端子入力のエッジ選択
TI5n端子の立ち下がり TCL5n = 00H
TI5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止
(TMC5n = 00000000B)

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

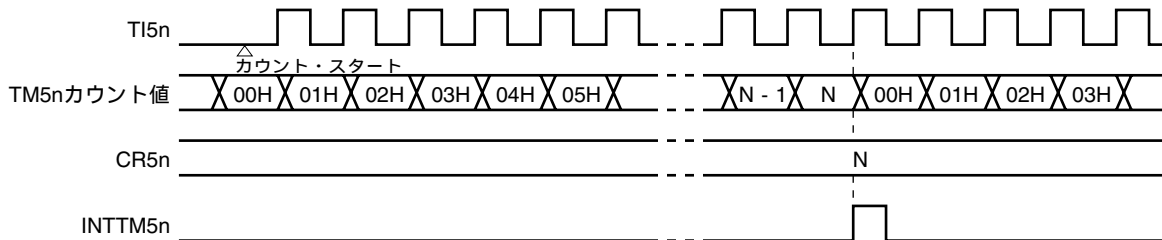
以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ/イベント・カウンタ50 : PM17

8ビット・タイマ/イベント・カウンタ51 : PM33

備考 INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図7-12 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH

n = 0, 1

7.4.3 方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P17, P33)^注, ポート・モード・レジスタ (PM17, PM33)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	1	タイマ出力F/Fをクリア (0) (TO5n出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO5n出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2 t (N + 1)$
(N : 00H-FFH)

注 8ビット・タイマ/イベント・カウンタ50 : P17, PM17

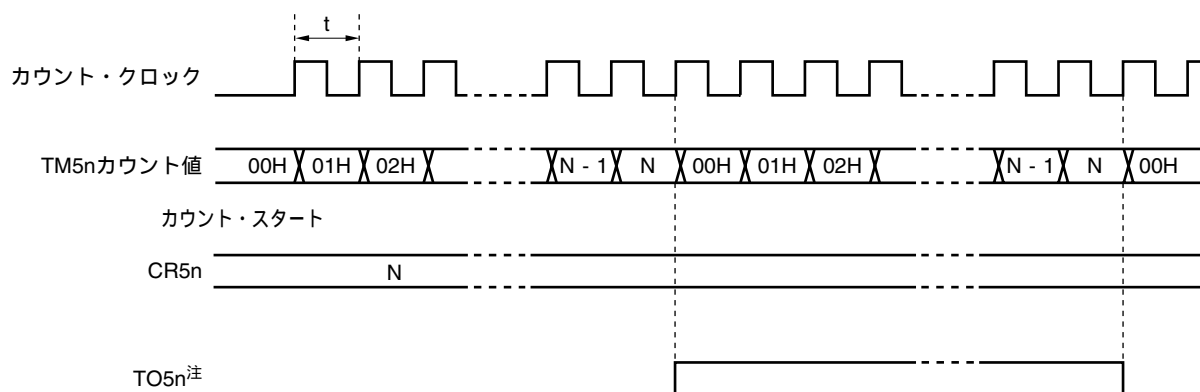
8ビット・タイマ/イベント・カウンタ51 : P33, PM33

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

2. n = 0, 1

図7-13 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

7.4.4 PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P17, P33)^注, ポート・モード・レジスタ (PM17, PM33)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P17, PM17

8ビット・タイマ/イベント・カウンタ51 : P33, PM33

PWM出力の動作

PWM出力 (TO5n出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7-14, 7-15を参照してください。

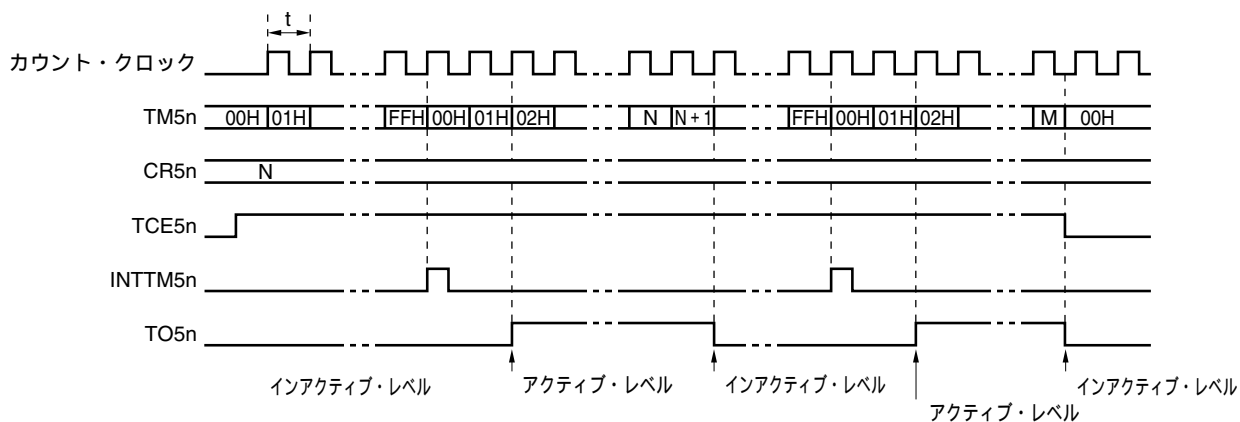
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

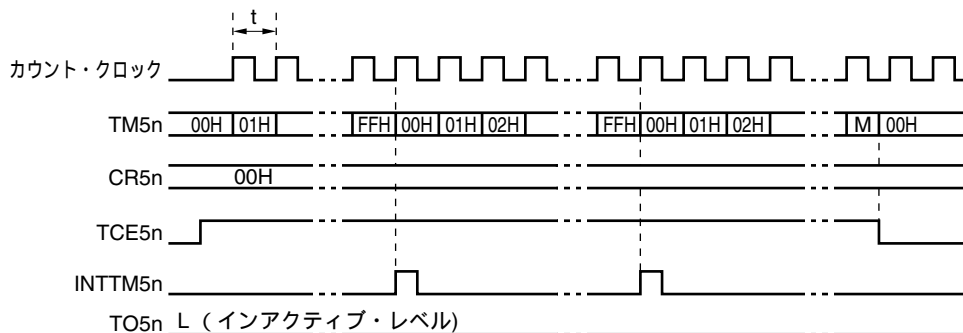
備考 n = 0, 1

図7-14 PWM出力動作のタイミング

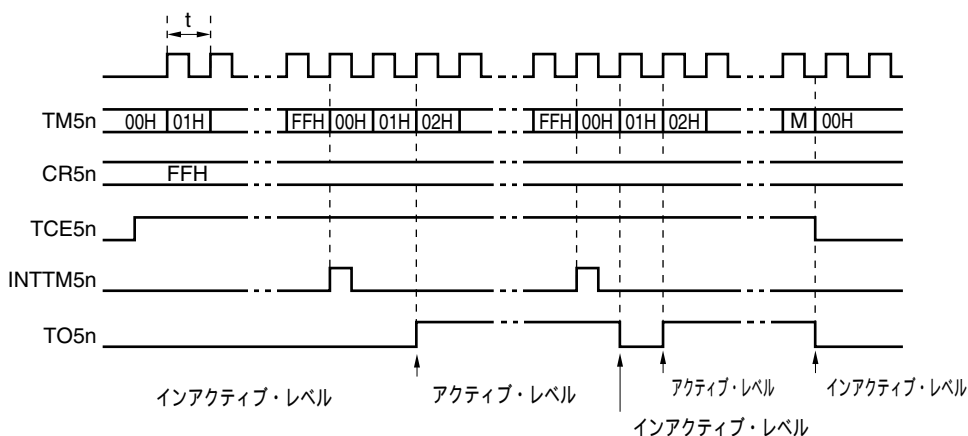
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



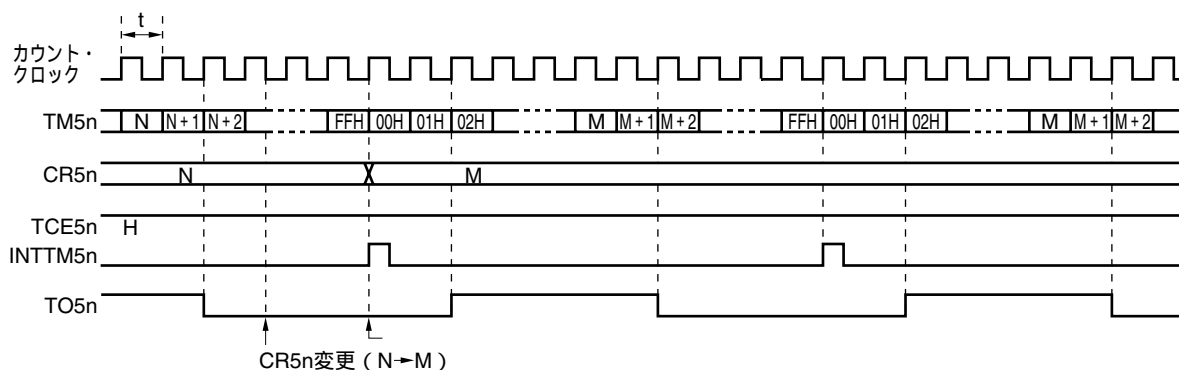
備考1. 図7-14(a)と(c)の - , は, 7.4.4(1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. n = 0, 1

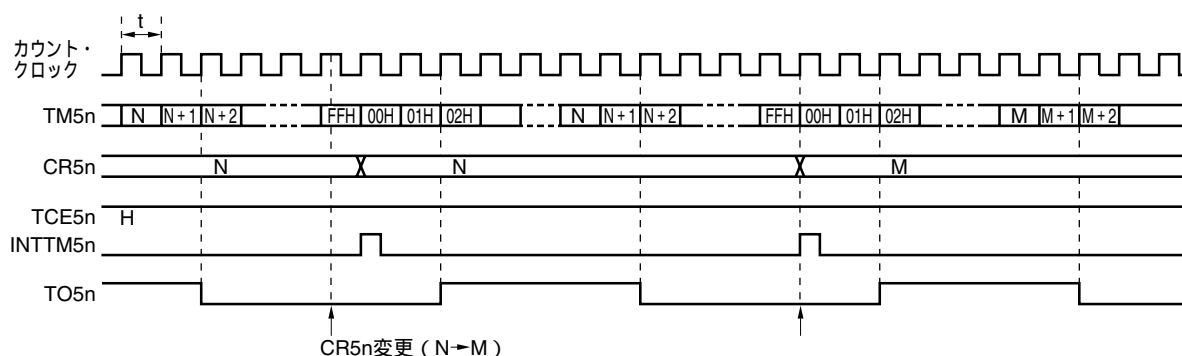
(2) CR5n変更による動作

図7-15 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



注意 図7-15の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

7.4.5 キャリア・ジェネレータとしての動作(8ビット・タイマ51のみ)

TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

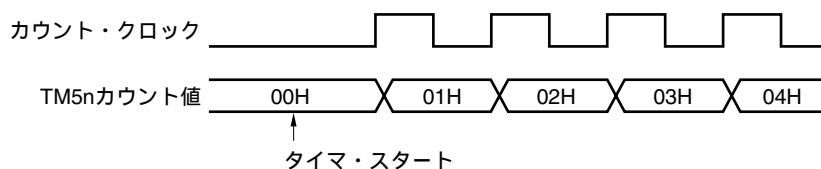
詳しくは、8.4.3 キャリア・ジェネレータとしての動作(8ビット・タイマH1のみ)を参照してください。

7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51 (TM50, TM51) が非同期でスタートするためです。

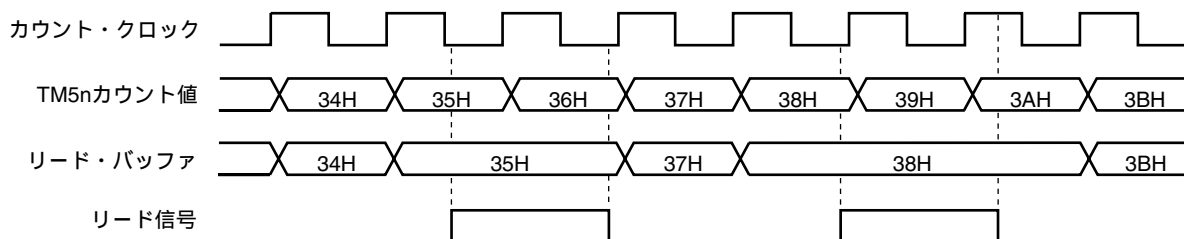
図7-16 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング



(2) 8ビット・タイマ・カウンタ5n (TM5n) のリードについて

TM5nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図7-17 8ビット・タイマ・カウンタ5n (TM5n) のリード・タイミング



備考 n = 0, 1

第8章 8ビット・タイマH0, H1

8.1 8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・キャリア・ジェネレータ (8ビット・タイマH1のみ)^注

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

8.2 8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn, 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ^注 ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

備考 n = 0, 1

図8 - 1と8 - 2にブロック図を示します。

図8-1 8ビット・タイマH0のブロック図

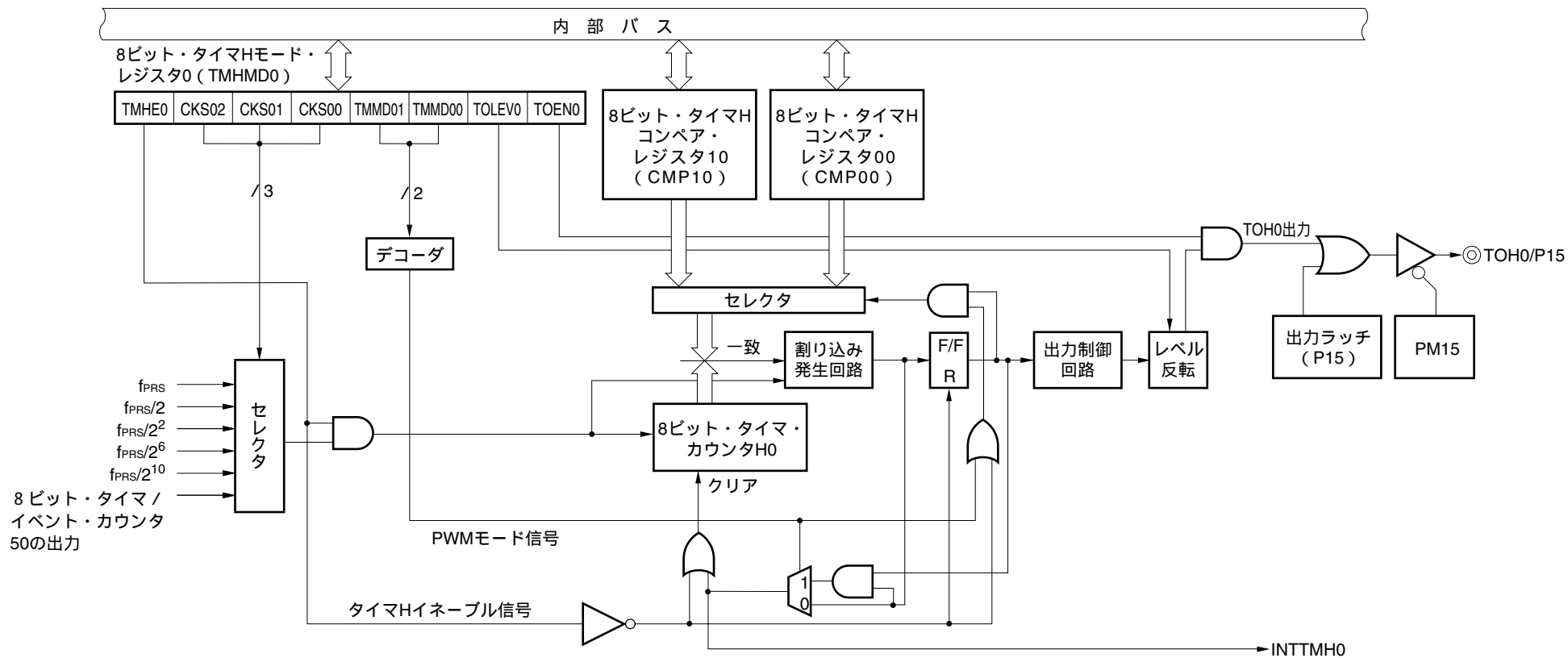
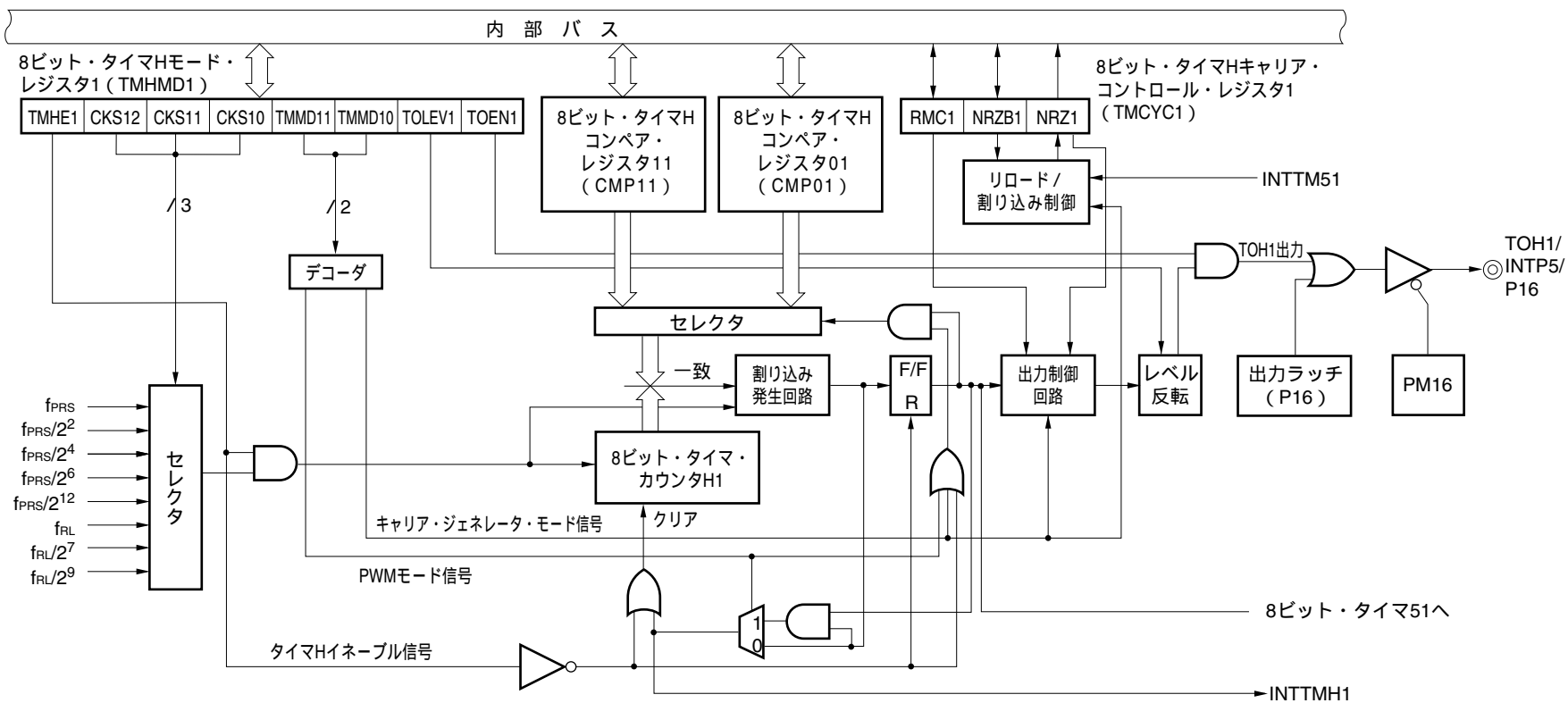


図8-2 8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

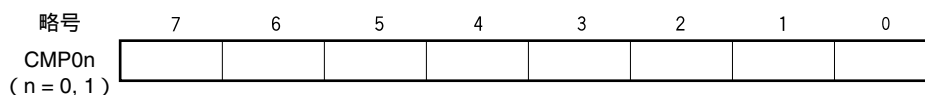
CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図8-3 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス: FF18H (CMP00), FF1AH (CMP01) リセット時: 00H R/W



注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウント値はクリアされます。

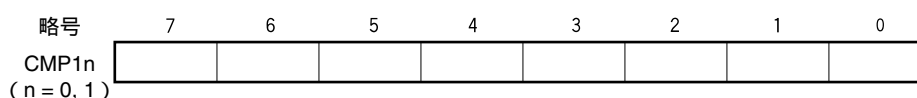
CMP1nは、タイマ・カウント動作中にリフレッシュ (同値書き込み) および値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウント値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウント値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図8-4 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス: FF19H (CMP10), FF1BH (CMP11) リセット時: 00H R/W



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0, 1

8.3 8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 $n = 0, 1$

図8-5 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス：FF69H リセット時：00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロックの選択				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	fPRS	2 MHz	5 MHz	10 MHz	20 MHz
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.54 kHz
1	0	1	TM50の出力 ^注				
上記以外			設定禁止				

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注 TM50の出力をカウント・クロックとして選択する場合，次の内容に注意してください。

- ・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し，事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し，事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも，TO50出力を許可 (TOE50 = 1) する必要はありません。

- 注意1. TMHE0 = 1 のとき, TMHMD0の他のビットを設定することは禁止です。ただし, リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードでは, タイマ・カウント動作停止 (TMHE0 = 0) 設定後, タイマ・カウント動作を開始する(TMHE0 = 1)場合, 必ず8ビット・タイマHコンペア・レジスタ10(CMP10)を設定してください (CMP10への設定値が同値の場合でも, 必ず再設定してください)。
 3. 実際のTOH0/P15端子の出力は, TOH0出力のほかにPM15とP15によって決まります。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
 3. TMC501 : TMC50のビット1

図8-6 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス : FF6CH リセット時 : 00H R/W

略号 [7] 6 5 4 3 2 [1] [0]

TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1
--------	-------	-------	-------	-------	--------	--------	--------	-------

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択				
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	fPRS = 20 MHz	
0	0	0	fPRS	2 MHz	5 MHz	10 MHz	20 MHz
0	0	1	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
1	0	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz	4.88 kHz
1	0	1	fRL/2 ⁷	1.88 kHz (TYP.)			
1	1	0	fRL/2 ⁹	0.47 kHz (TYP.)			
1	1	1	fRL	240 kHz (TYP.)			

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

- 注意1. TMHE1 = 1のとき、TMHMD1の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHE1 = 0) 設定後、タイマ・カウント動作を開始する (TMHE1 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも、必ず再設定してください)。
3. キャリア・ジェネレータ・モードを使用する場合、TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。

注意4. 実際のTOH1/INTP5/P16端子の出力は、TOH1出力のほかにPM16とP16によって決まります。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
 2. f_{RL} : 低速内蔵発振クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図8-7 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス：FF6DH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1 : キャリア・パルス出力, RMC1 = 0 : ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 TMHE1 = 1のとき、RMC1を書き換えしないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P15/TOH0, P16/TOH1/INTP5端子をタイマ出力として使用するとき, PM15, PM16およびP15, P16の出力ラッチに0を設定してください。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図8-8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 8ビット・タイマH0, H1の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

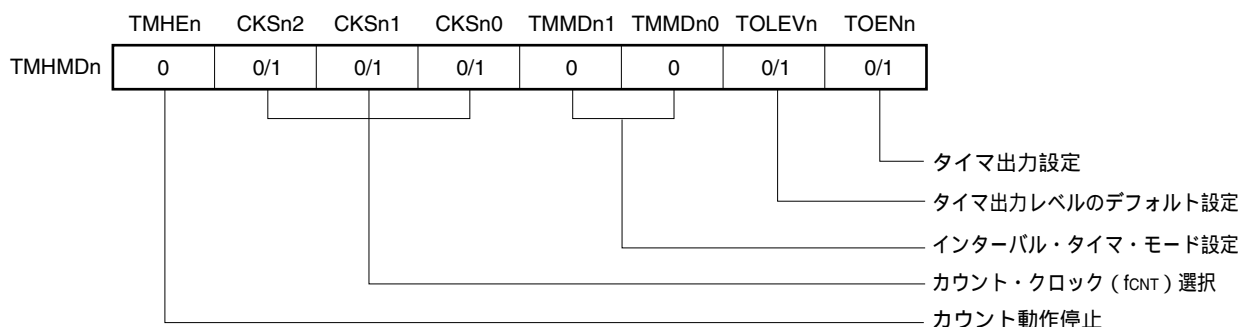
また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

設定方法

各レジスタの設定を行います。

図8-9 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (N + 1) / f_{\text{CNT}}$$

TMHEn = 1によりカウント動作を開始します。

8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

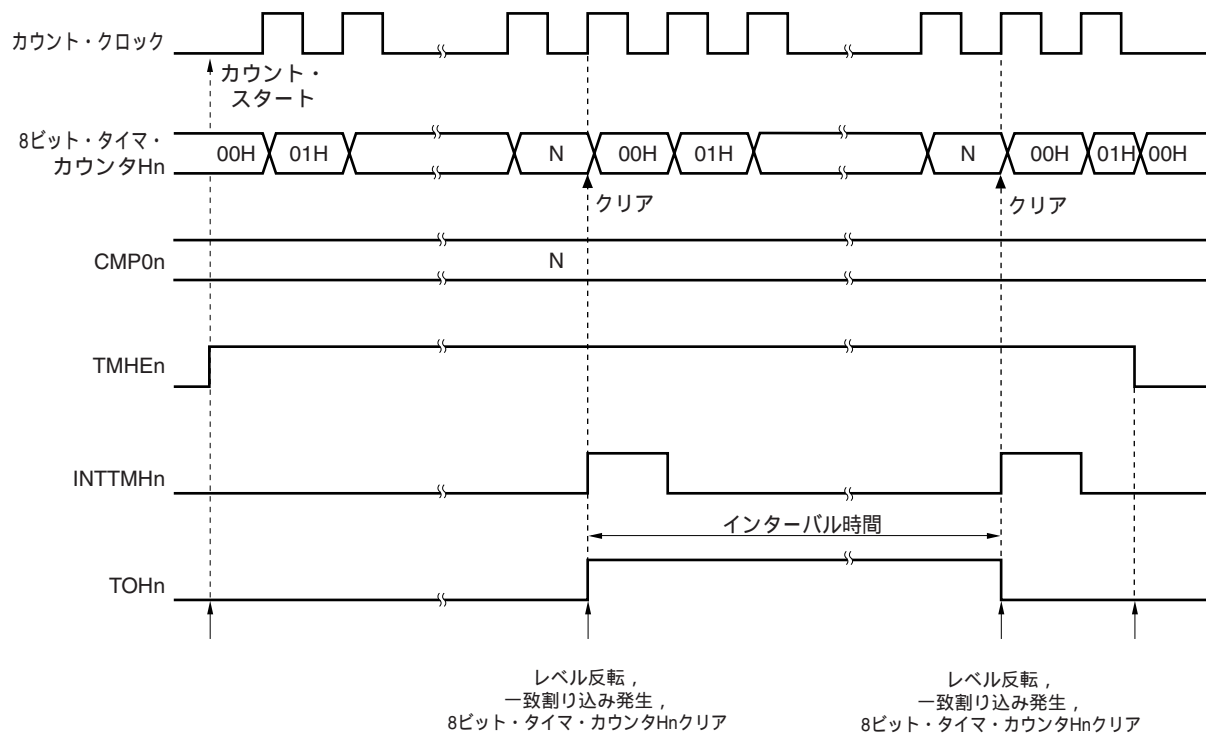
備考1. 出力端子の設定については8.3(3) **ポート・モード・レジスタ1 (PM1)** を参照してください。

2. INTTMHn信号の割り込み許可については、**第20章 割り込み機能**を参照してください。

3. n = 0, 1

図8-10 インターバル・タイマ/方形波出力動作のタイミング (1/2)

(a) 基本動作 (01H CMP0n FEH時の動作)



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。

タイマH動作中にTMHEnビットを0にすると、INTTMHn信号およびTOHn出力はデフォルト状態になります。

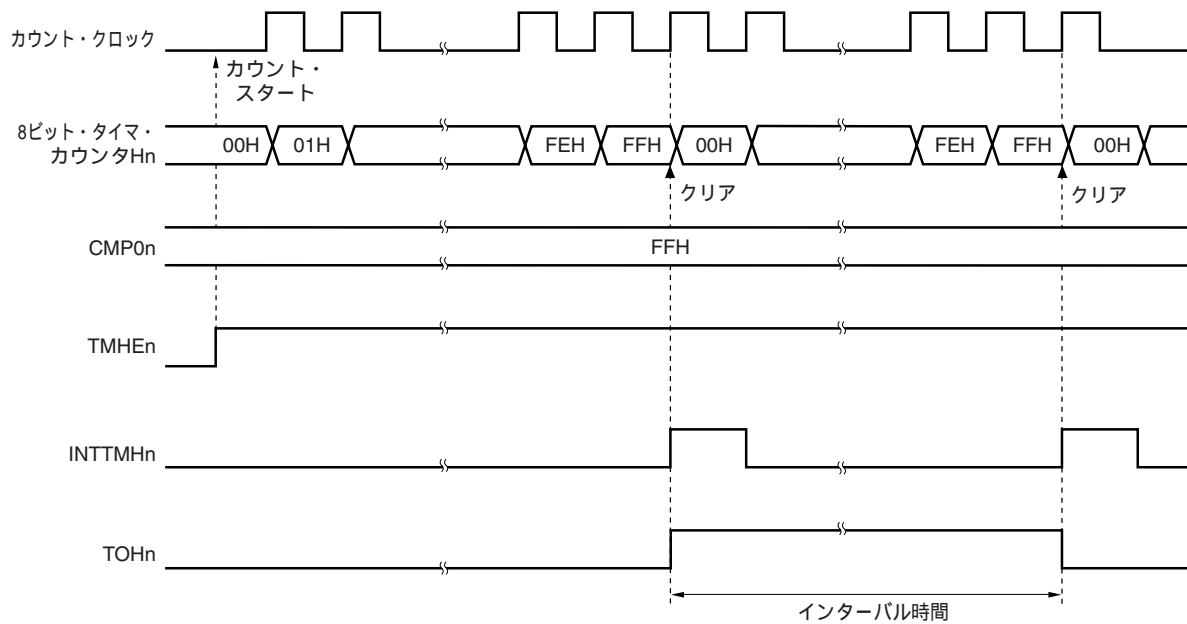
TMHEnビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

備考 n = 0, 1

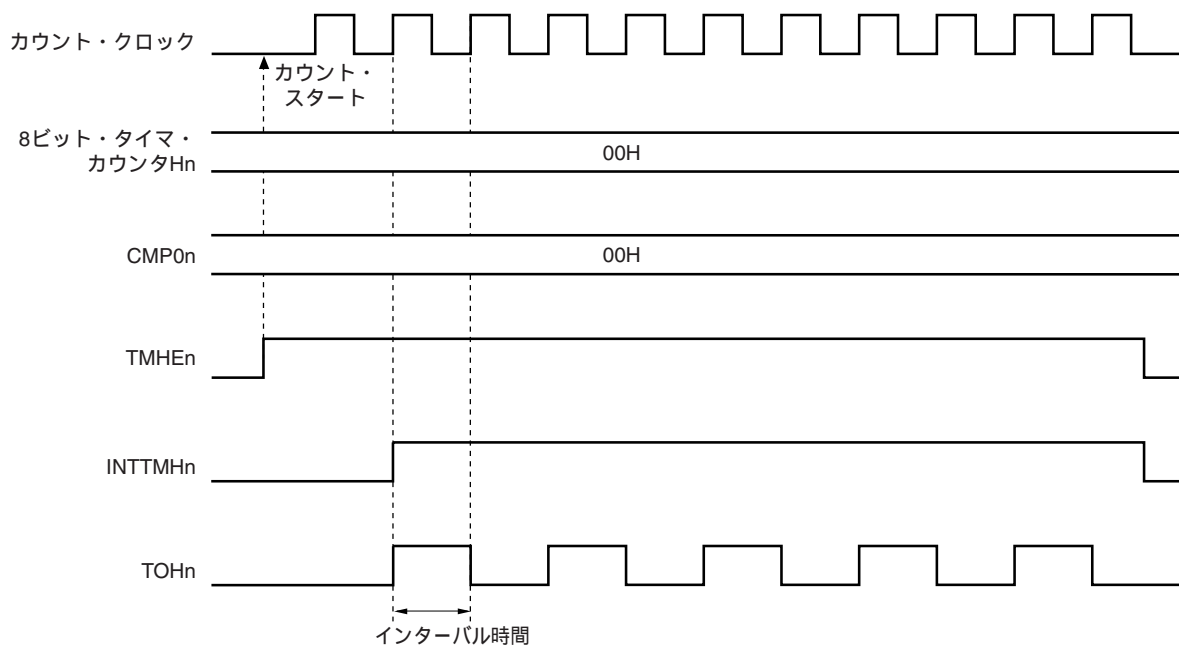
01H N FEH

図8-10 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0, 1

8.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

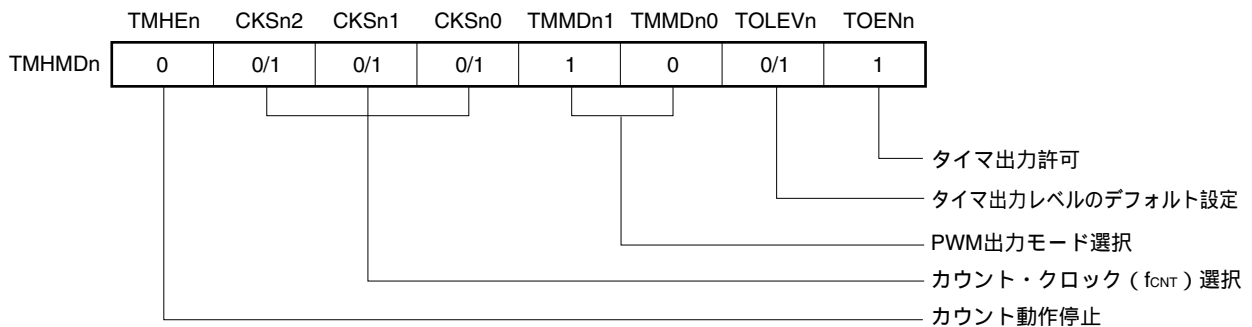
タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。また8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、PWM出力 (TOHn出力) はインアクティブ・レベルを出力します。

設定方法

各レジスタの設定を行います。

図8 - 11 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0, 1

$$2.00H \quad CMP1n(M) < CMP0n(N) \quad FFH$$

TMHEn = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を (N)、CMP1nレジスタを (M)、カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

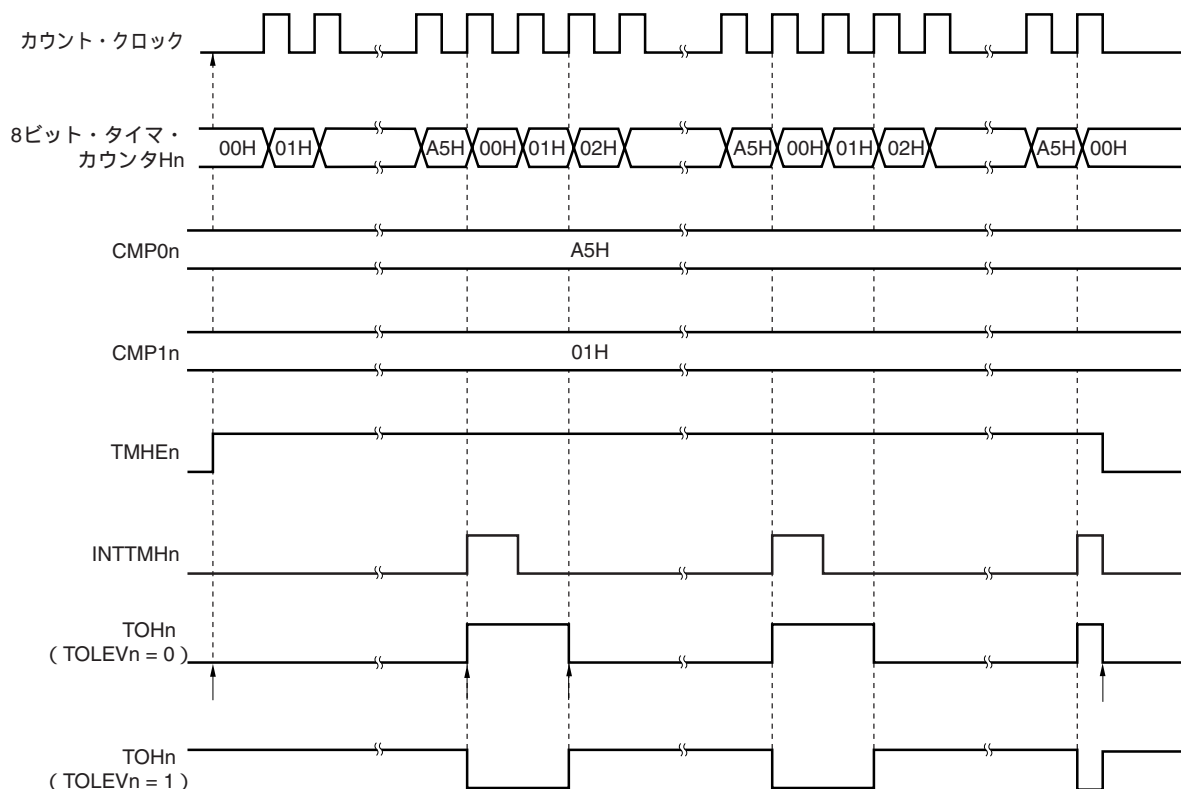
- ・PWMパルス出力周期 = $(N + 1) / f_{CNT}$
- ・デューティ = $(M + 1) / (N + 1)$

- 注意1.** タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号)の3クロック分以上かかります。
- 2.** タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。
- 3.** CMP1nレジスタの設定値 (M)、CMP0nレジスタの設定値 (N) は、必ず次の範囲内にしてください。
- 00H CMP1n (M) < CMP0n (N) FFH

- 備考1.** 出力端子の設定については8.3 (3) **ポート・モード・レジスタ1 (PM1)** を参照してください。
2. INTTMHn信号の割り込み許可については、**第20章 割り込み機能**を参照してください。
3. n = 0, 1

図8 - 12 PWM出力動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのときPWM出力はインアクティブ・レベルを出力します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

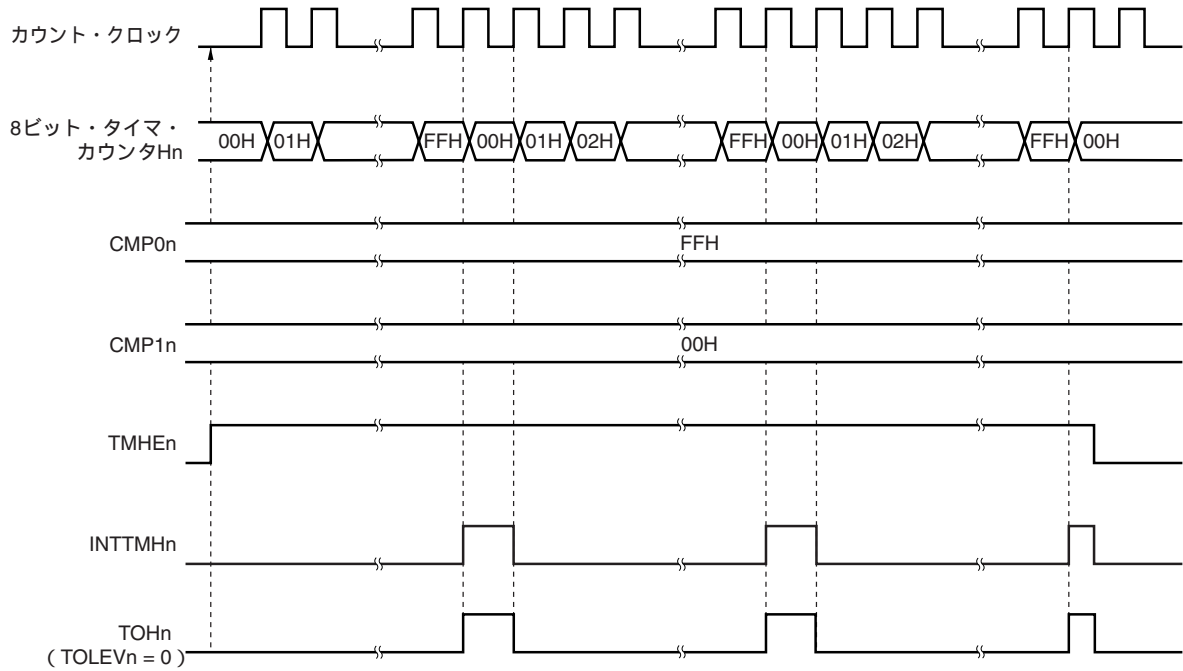
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

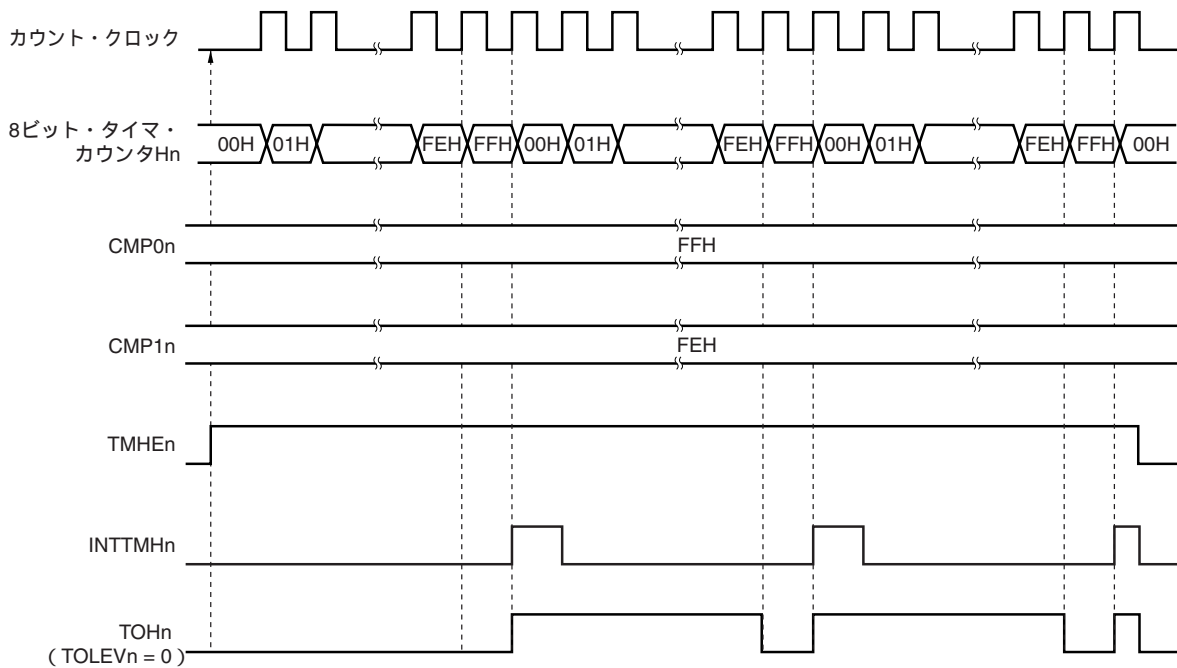
備考 n = 0, 1

図8 - 12 PWM出力動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



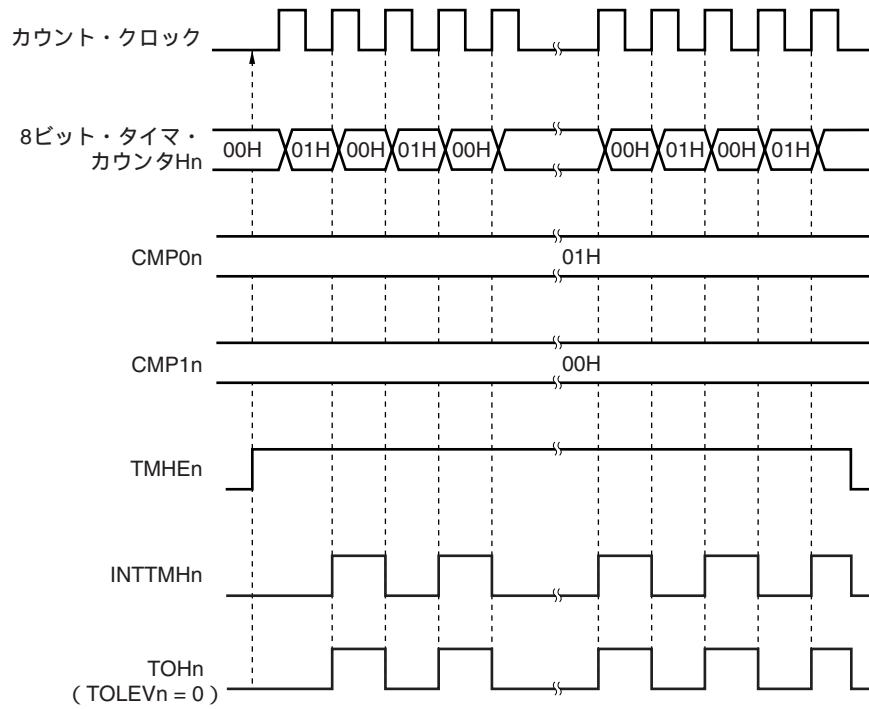
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0, 1

図8 - 12 PWM出力動作のタイミング (3/4)

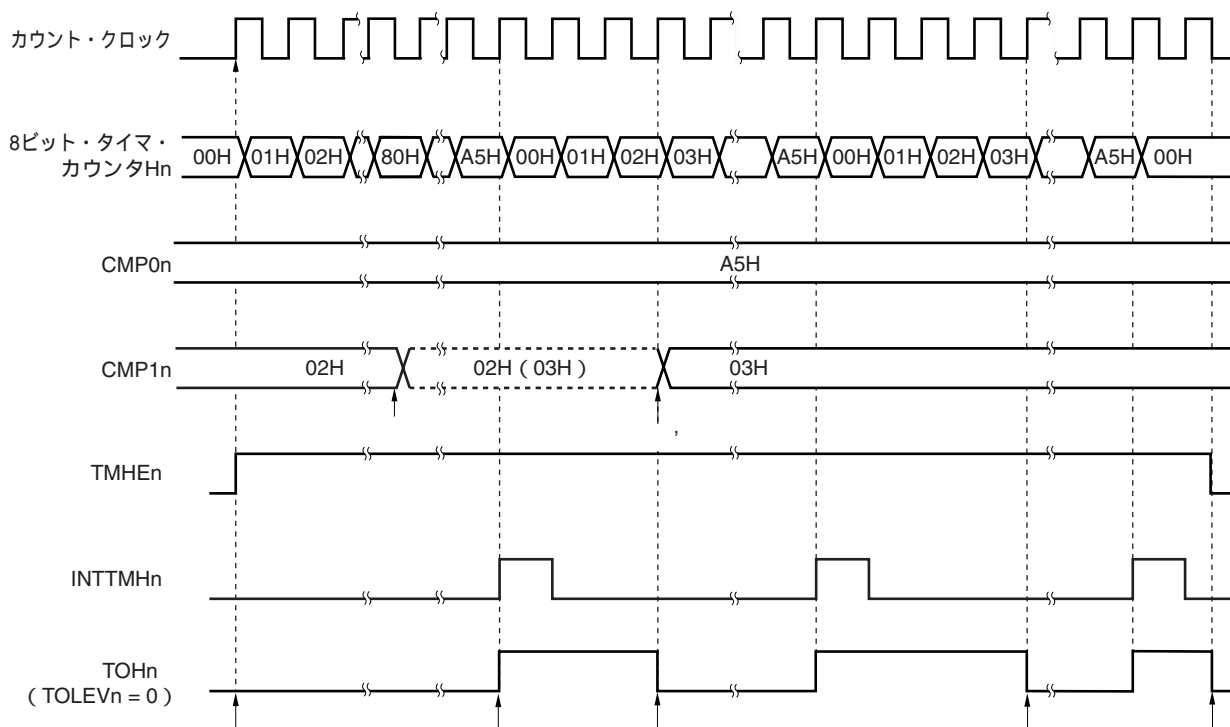
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0, 1

図8 - 12 PWM出力動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 02H 03H, CMP0n = A5H)



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、アクティブ・レベルを出力し、INTTMHn信号が発生します。

CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます（'）。

ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号がデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0, 1

8.4.3 キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ)

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出します。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01 (CMP01) はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11 (CMP11) はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

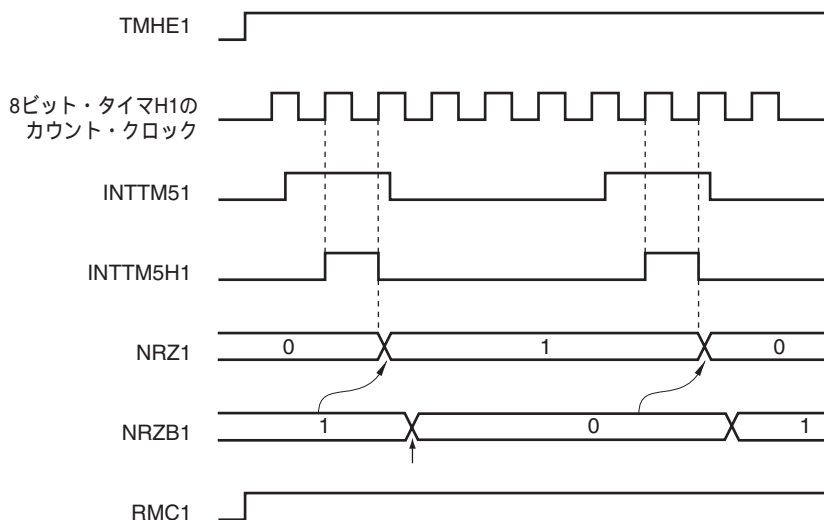
(2) キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号 (INTTM51) と8ビット・タイマHキャリア・コントロール・レジスタ (TMCYC1) のNRZB1ビット, RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 13 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1.** NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2.** 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

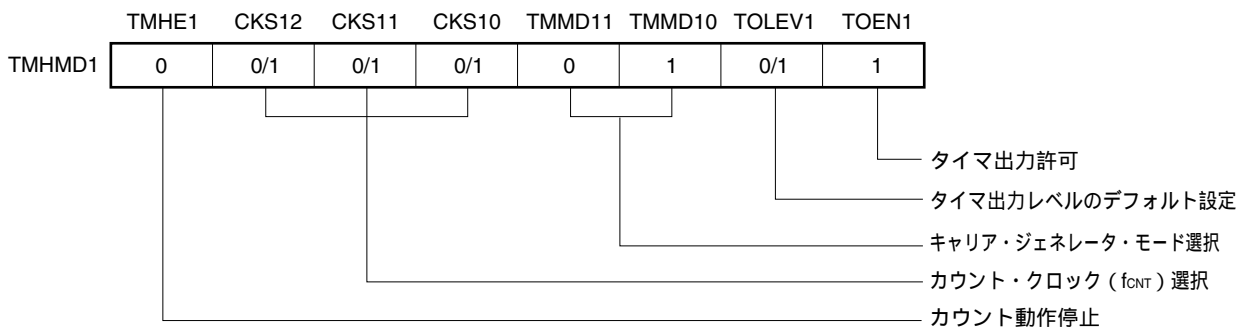
備考 INTTM5H1は内部信号で、割り込み要因ではありません。

設定方法

各レジスタの設定を行います。

図8 - 14 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・8.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウント動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されません。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウンタするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、TOH1出力よりキャリア・クロックを出力します。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウンタ動作を停止するときはTMHE1 = 0にします。

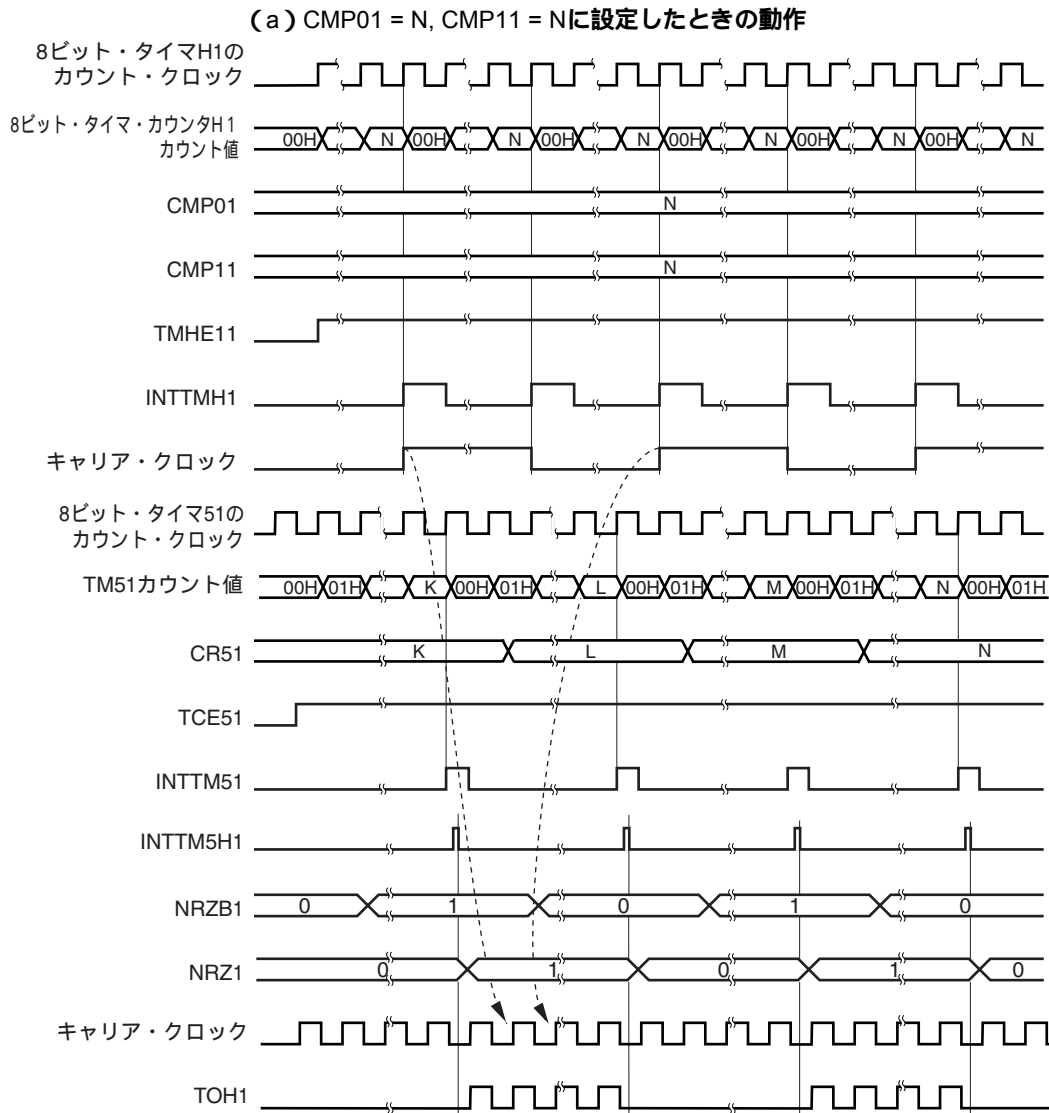
CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウンタ・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 = $(M + 1) / (N + M + 2)$

- 注意1.** タイマ・カウンタ動作停止(TMHE1 = 0)設定後、タイマ・カウンタ動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。
2. TMH1のカウンタ・クロック周波数をTM51のカウンタ・クロック周波数の6倍以上になるように設定してください。
 3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
 4. タイマ・カウンタ動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
 5. RMC1ビットの設定はカウンタ動作開始前に必ず設定してください。

- 備考1.** 出力端子の設定については8.3(3) ポート・モード・レジスタ1(PM1)を参照してください。
2. INTTMH1信号の割り込み許可については、第20章 割り込み機能を参照してください。

図8 - 15 キャリア・ジェネレータ・モード動作のタイミング (1/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

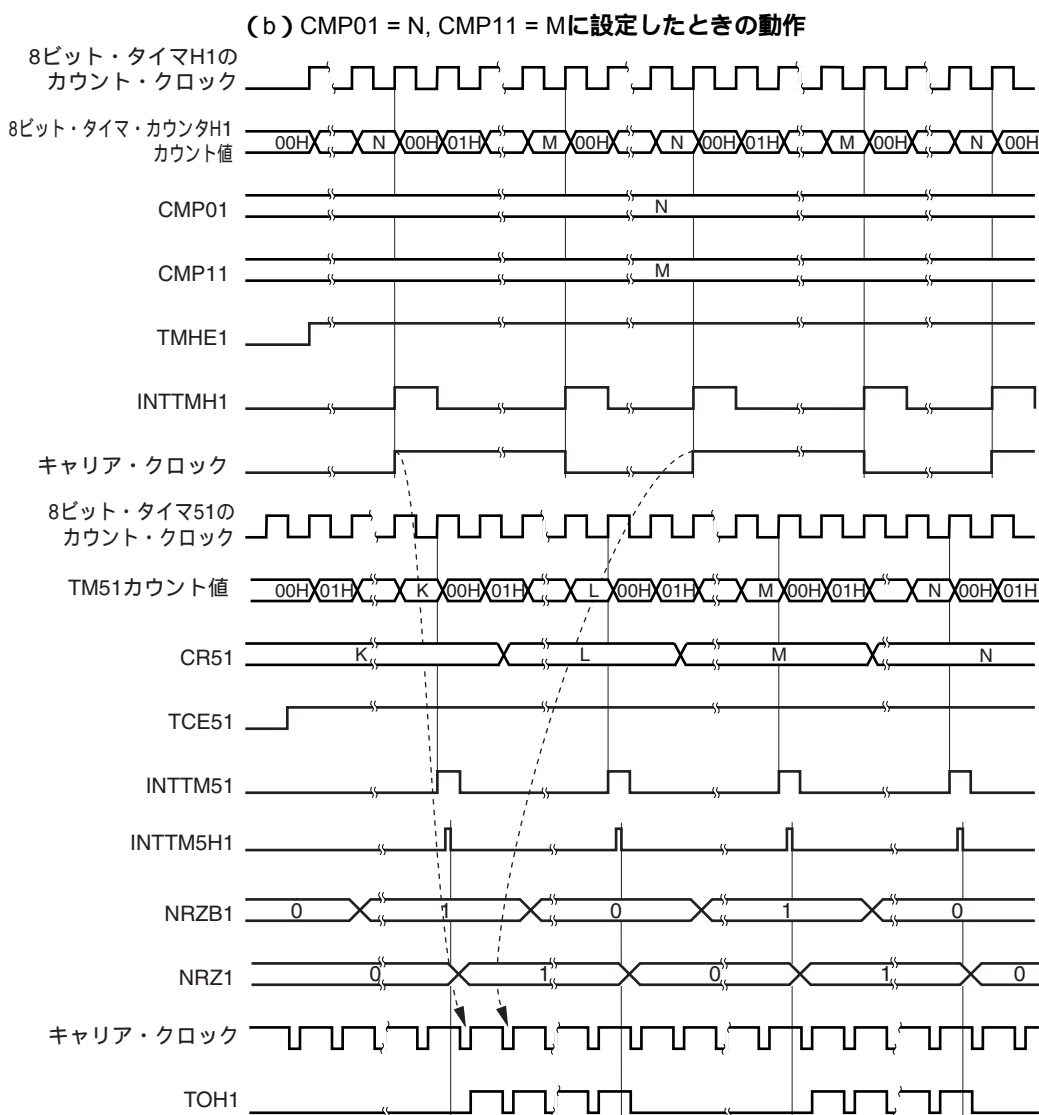
INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により、TOH1出力はロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 15 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ固定（50 %以外）のキャリア・クロックを生成します。

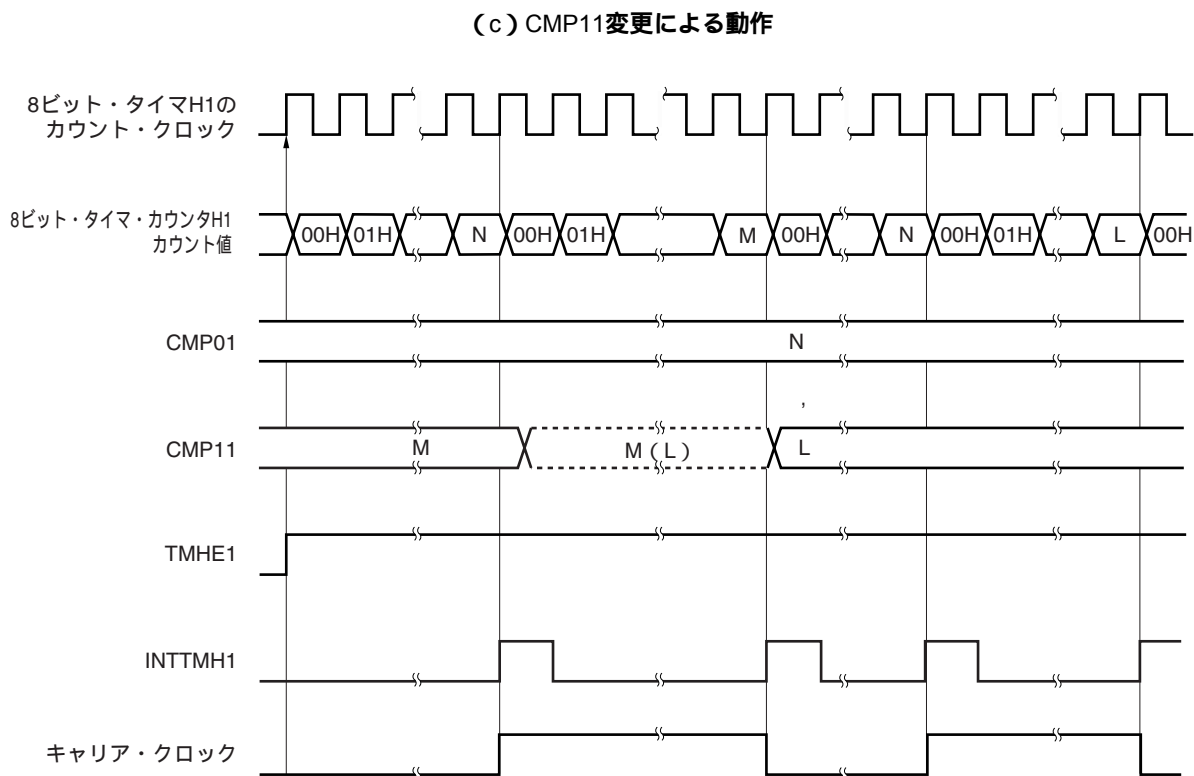
INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 15 キャリア・ジェネレータ・モード動作のタイミング (3/3)



TMHE1 = 1を設定すると、カウンタ動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウンタ値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。

CMP11レジスタはカウンタ・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタの変更前の値(M)が一致したタイミングで、CMP11レジスタが変更されます()。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1のカウンタ値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。

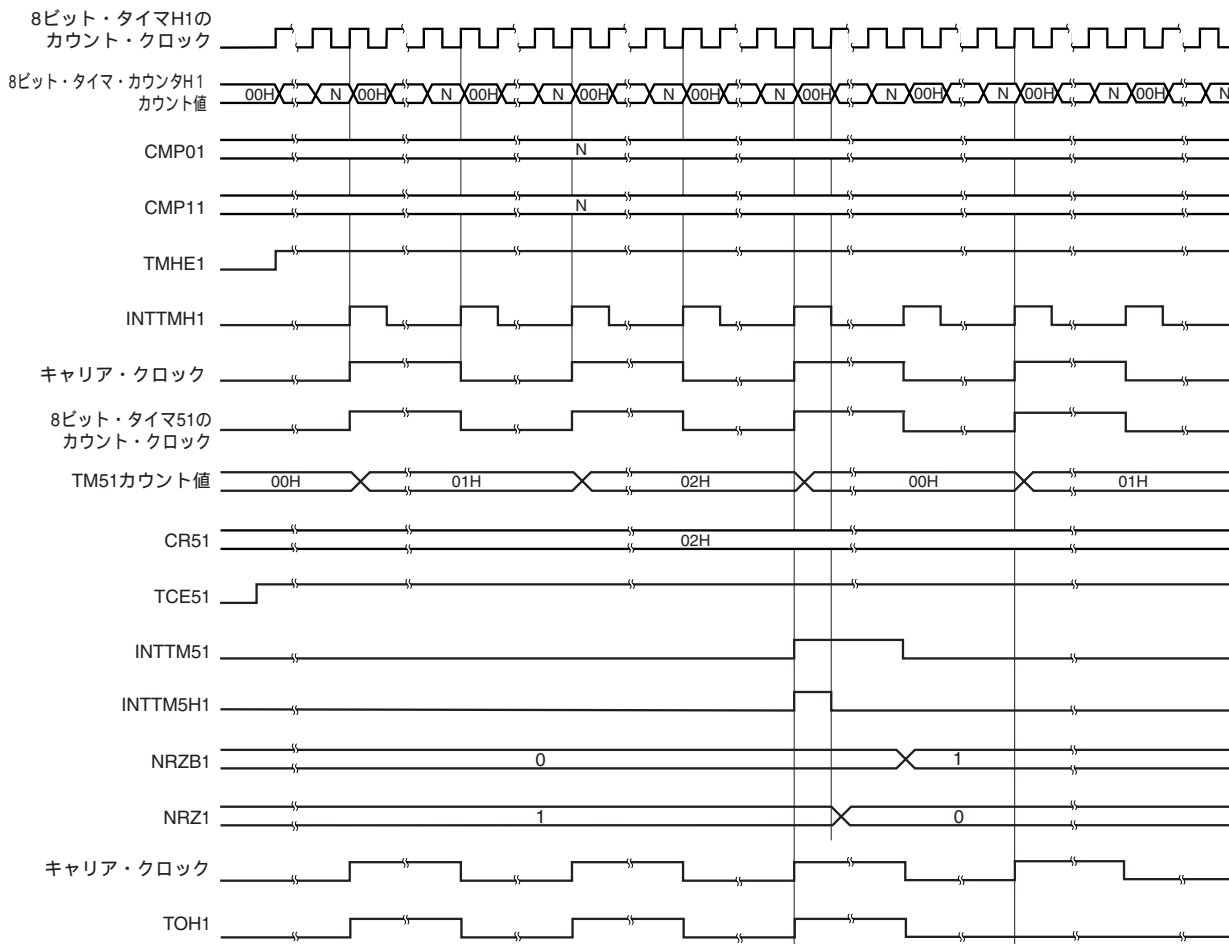
再度8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

8.4.4 タイマ51カウンタによるキャリア・クロック数の制御

8ビット・タイマ51のカウンタ・クロックにタイマH1出力信号を選択することにより、TOH1端子から出力するキャリア・クロック数を制御することができます。

TOH1端子からキャリア・クロックを3クロック出力したい場合の制御例を、図8 - 16に示します。

図8 - 16 タイマ51カウンタによるキャリア・クロック数の制御例
(タイマ51のカウンタ・クロックをタイマH1の出力信号に設定 (TCL51 = 07H))



TOH1端子からキャリア・クロックを3クロック出力したい場合、CR51レジスタに02Hを設定します。

TM51のカウンタ値がCR51レジスタの値(02H)と一致したときに、INTTM51信号が発生します。その信号は8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。このときの転送タイミングは、INTTM5H1信号の立ち上がりから、タイマH1のカウンタ・クロックの1クロック後になります。

NRZ1 = 0により、TOH1出力はキャリア・クロックの3クロック目を出力後、ロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

第9章 リアルタイム・カウンタ

注意 リアルタイム・カウンタの定周期信号 / アラーム一致検出と、リアルタイム・カウンタのインターバル信号検出のうち使用できるのは1つです。

9.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能
- ・1 Hzの端子出力機能
- ・512 Hz, 16.384 kHz, 32.768 kHzのいずれかの端子出力機能

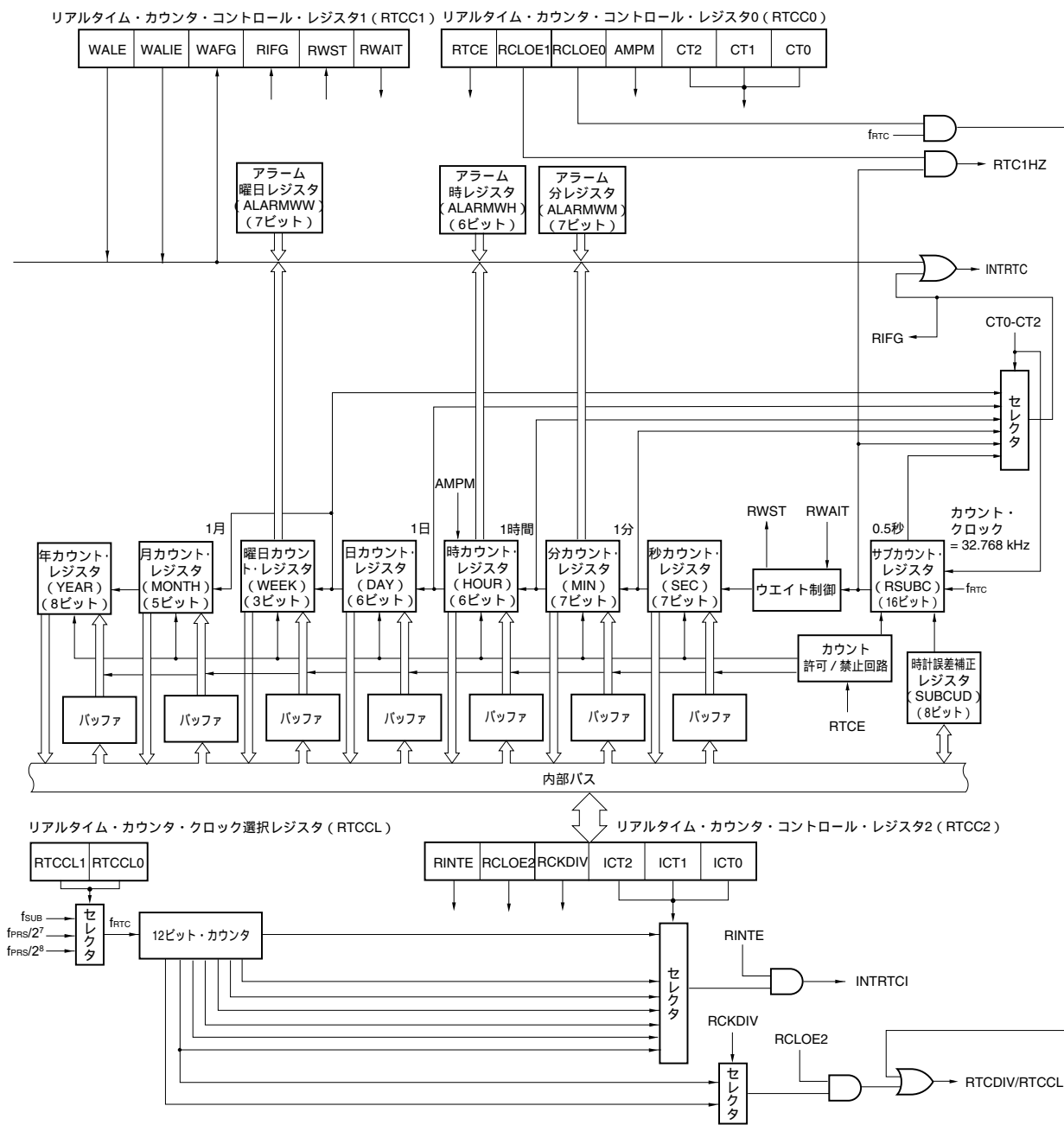
9.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表9 - 1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・クロック選択レジスタ (RTCCL) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) サブカウント・レジスタ (RSUBC) 秒カウント・レジスタ (SEC) 分カウント・レジスタ (MIN) 時カウント・レジスタ (HOUR) 日カウント・レジスタ (DAY) 曜日カウント・レジスタ (WEEK) 月カウント・レジスタ (MONTH) 年カウント・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW) ポート・モード・レジスタ4 (PM4) ポート・レジスタ4 (P4)

図9-1 リアルタイム・カウンタのブロック図



9.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の18種類のレジスタで制御します。

- ・リアルタイム・カウンタ・クロック選択レジスタ (RTCCL)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)
- ・ポート・モード・レジスタ4 (PM4)
- ・ポート・レジスタ4 (P4)

(1) リアルタイム・カウンタ・クロック選択レジスタ (RTCCL)

リアルタイム・カウンタの入力クロックを選択するレジスタです。

RTCCLは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 リアルタイム・カウンタ・クロック選択レジスタ (RTCCL) のフォーマット

アドレス：FF4BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCCL	0	0	0	0	0	0	RTCCL1	RTCCL0

RTCCL1	RTCCL0	リアルタイム・カウンタ (RTC) の入力クロック (f _{RTC}) 選択
0	0	f _{SUB}
0	1	f _{PRS} /2 ⁷
1	0	f _{PRS} /2 ⁸
1	1	設定禁止

備考 ・ f_{PRS} = 4.19 MHzの場合、f_{RTC} = f_{PRS}/2⁷ = 32.768 kHz

・ f_{PRS} = 8.38 MHzの場合、f_{RTC} = f_{PRS}/2⁸ = 32.768 kHz

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止, RTCCL端子/RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9-3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス: FFADH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制
<ul style="list-style-type: none"> ・AMPMの値を変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換え, 時カウント・レジスタ (HOUR) を再設定してください。 ・時間桁表示表を表9-2に示します。 	

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)
CT2-CT0の値を変更する場合は, 書き換え後に割り込み要求フラグをクリアしてください。			

注 RCLOE0とRCLOE2は, 同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると, 32.768 kHz, 1 Hzの出力にグリッチが生じる場合があります。

備考 x : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFAEH リセット時：00H R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEをディセーブル“0”にしてください。	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITの設定が有効であることを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。	

図9-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC ~ YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。
 RSUBCのオーバフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウント・アップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウント・アップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのためRTCC1レジスタへの書き込みは、8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず、値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

RTCC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9-5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：FFAFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{RTC}$ (1.953125 ms)
1	0	0	1	$2^7/f_{RTC}$ (3.90625 ms)
1	0	1	0	$2^8/f_{RTC}$ (7.8125 ms)
1	0	1	1	$2^9/f_{RTC}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{RTC}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{RTC}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{RTC}$ (125 ms)

RCLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

RCKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hzを出力 (1.95 ms)
1	RTCDIV端子から16.384 kHzを出力 (0.061 ms)

注 RCLOE0とRCLOE2は，同時許可禁止です。

注意1. ICT2, ICT1, ICT0の変更は，RINTE = 0のときに行ってください。

2. RTCDIV端子の出力を停止した場合， f_{RTC} の最大2クロック後まで出力を行い，ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると，最小で f_{XT} の1クロック幅のパルスが発生することがあります。

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

RSUBCは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

- 注意1.** SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図9 - 6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス : F890H, F891H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSUBC	SUB C15	SUB C14	SUB C13	SUB C12	SUB C11	SUB C10	SUB C9	SUB C8	SUB C7	SUB C6	SUB C5	SUB C4	SUB C3	SUB C2	SUB C1	SUB C0

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

SECは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 7 秒カウント・レジスタ (SEC) のフォーマット

アドレス : F892H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後に、カウンタへ書き込まれます。また設定する値は、10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

MINは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-8 分カウント・レジスタ (MIN) のフォーマット

アドレス : F893H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-23または01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

HOURは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図9-9 時カウント・レジスタ (HOUR) のフォーマット

アドレス : F894H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

AMPMビットの設定値，およびHOURレジスタ値と時間の関係を表9 - 2に示します。

表9 - 2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前(AM)のときに0に，午後(PM)のときに1となります。

(9) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

DAYは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図9 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス : F896H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : F895H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

MONTHは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図9 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : F897H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は, 10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

YEARは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : F898H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FF4DH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40時 (20秒ごと) に時計誤差補正
1	秒桁が00時のみ (60秒ごと) に時計誤差補正

F6	時計誤差補正值の設定
0	$\{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2$ だけ増加
1	$\{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2$ だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。 /F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。 補正值の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124 (F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FF59H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FF5AH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FF5BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
	0	1	2	3	4	5	6								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

(17) ポート・モード・レジスタ4 (PM4)

ポート4の入力/出力を1ビット単位で設定するレジスタです。

P40/RTC1HZ/CECOUT, P41/RTCDIV/RTCCL/CECIN端子をリアルタイム・カウンタのクロック出力として使用するとき、PM40, PM41およびP40, P41の出力ラッチに0を設定してください。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図9-18 ポート・モード・レジスタ4 (PM4) のフォーマット

アドレス：FF24H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	PM43 ^注	PM42 ^注	PM41	PM40

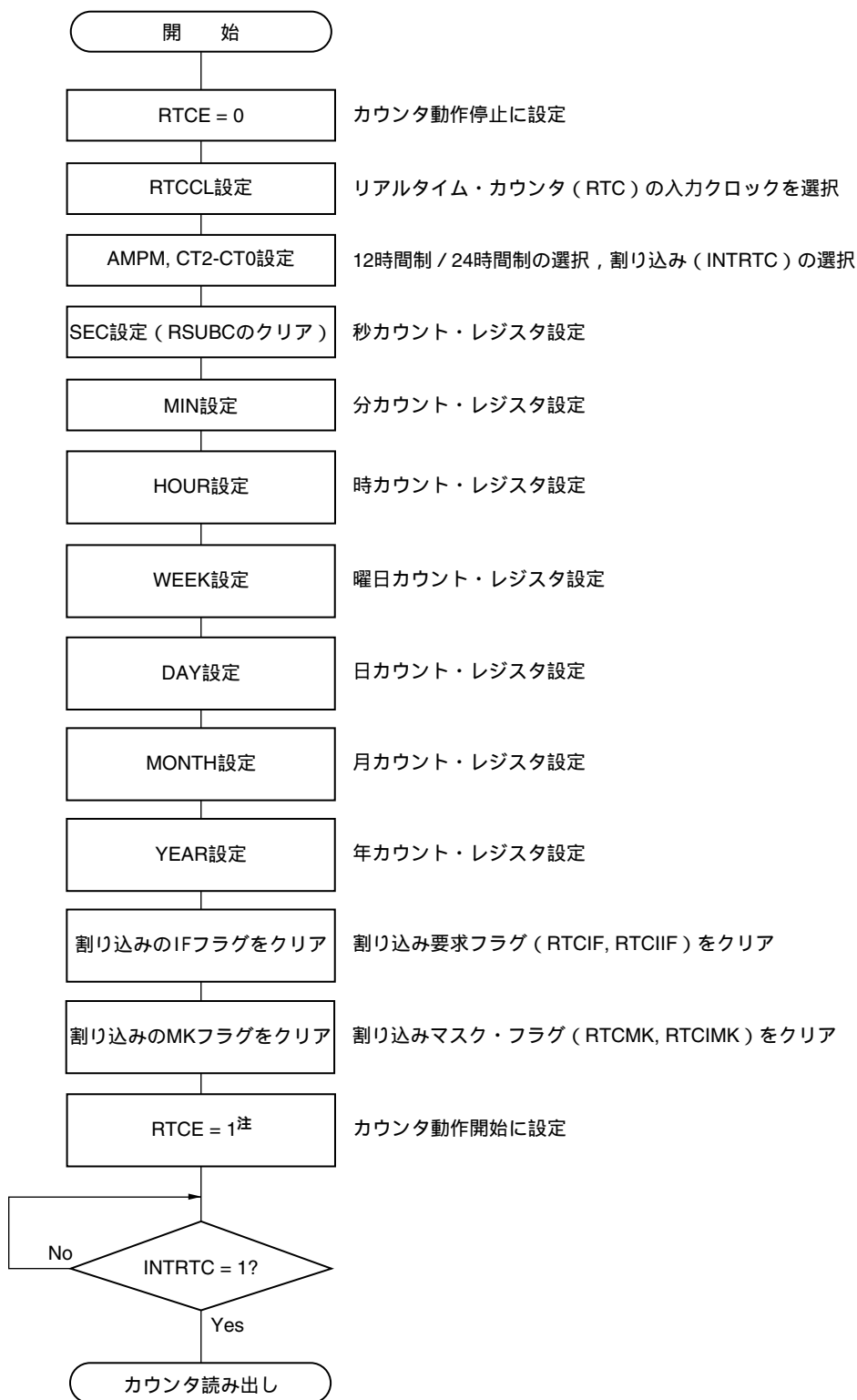
PM4n	P4n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KE2-Cのみ

9.4 リアルタイム・カウンタの動作

9.4.1 リアルタイム・カウンタの動作開始

図9-19 リアルタイム・カウンタの動作開始手順



注 RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、9.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

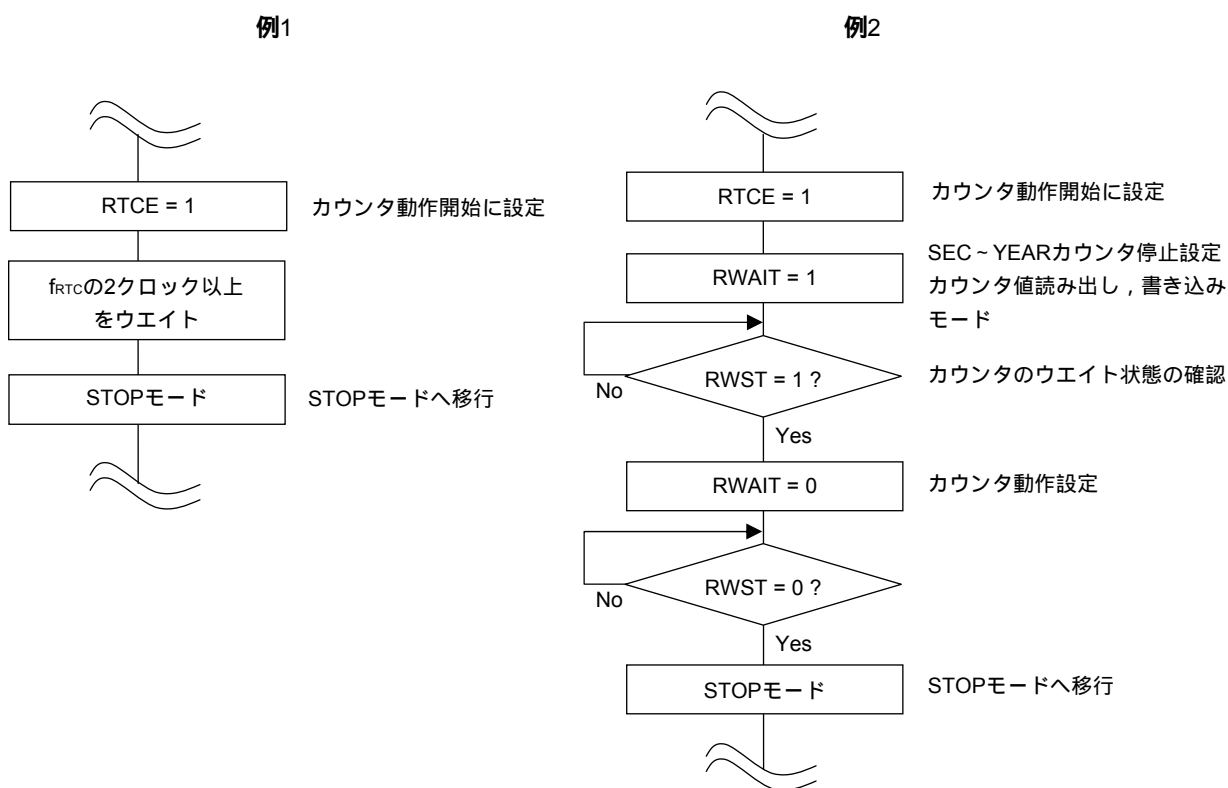
9.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック (f_{RTC}) の2クロック分以上経過後にSTOPモードへ移行する (図9-20 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する (図9-20 例2参照)。

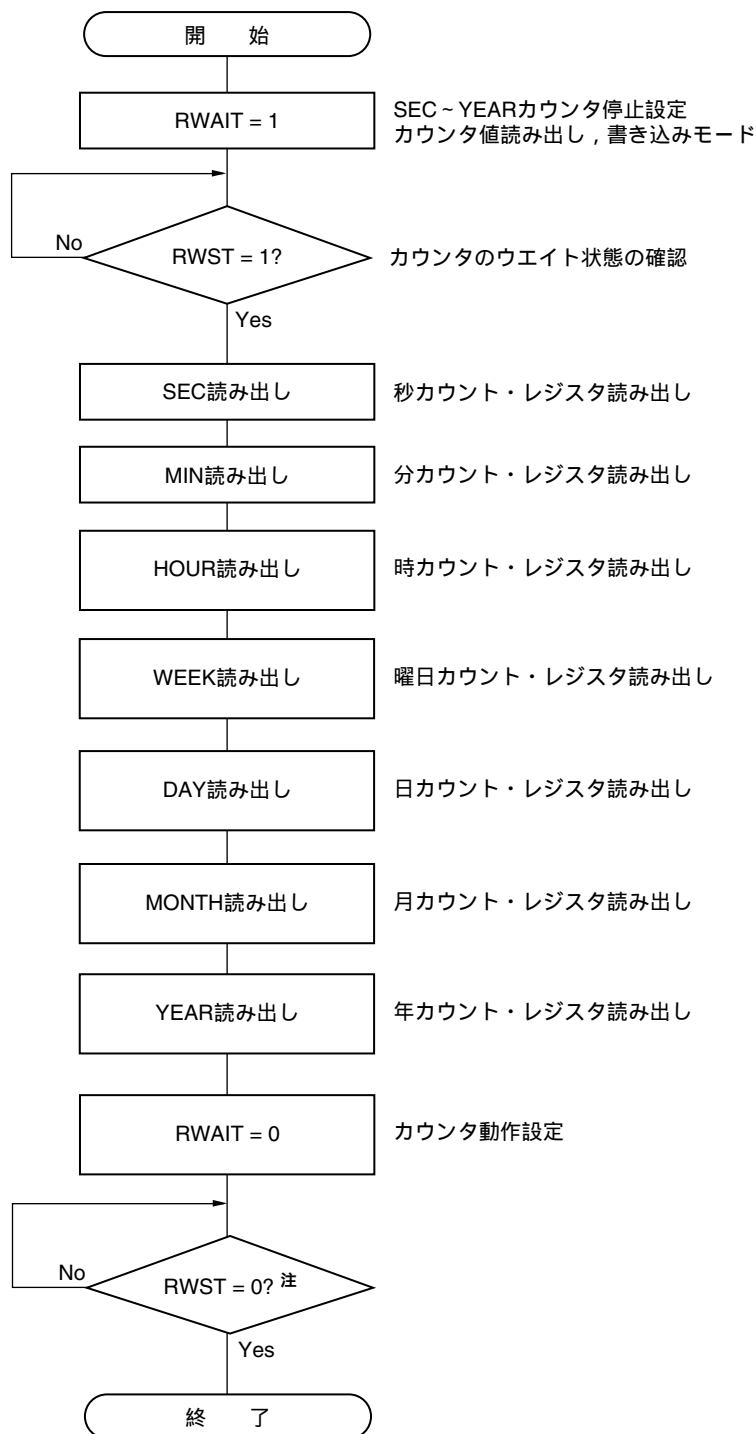
図9-20 RTCE = 1に設定後のSTOPモードへの移行手順



9.4.3 リアルタイム・カウンタのカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図9-21 リアルタイム・カウンタの読み出し手順

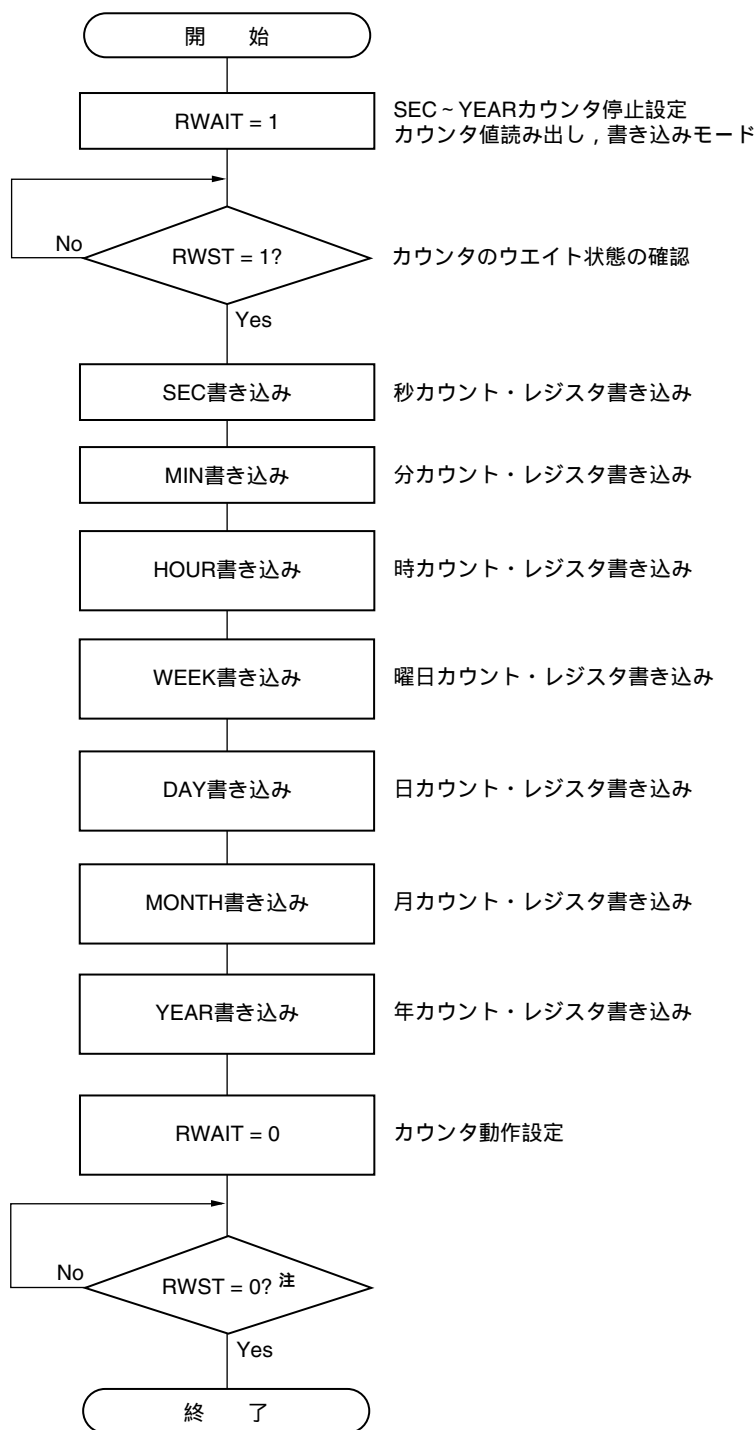


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図9 - 22 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

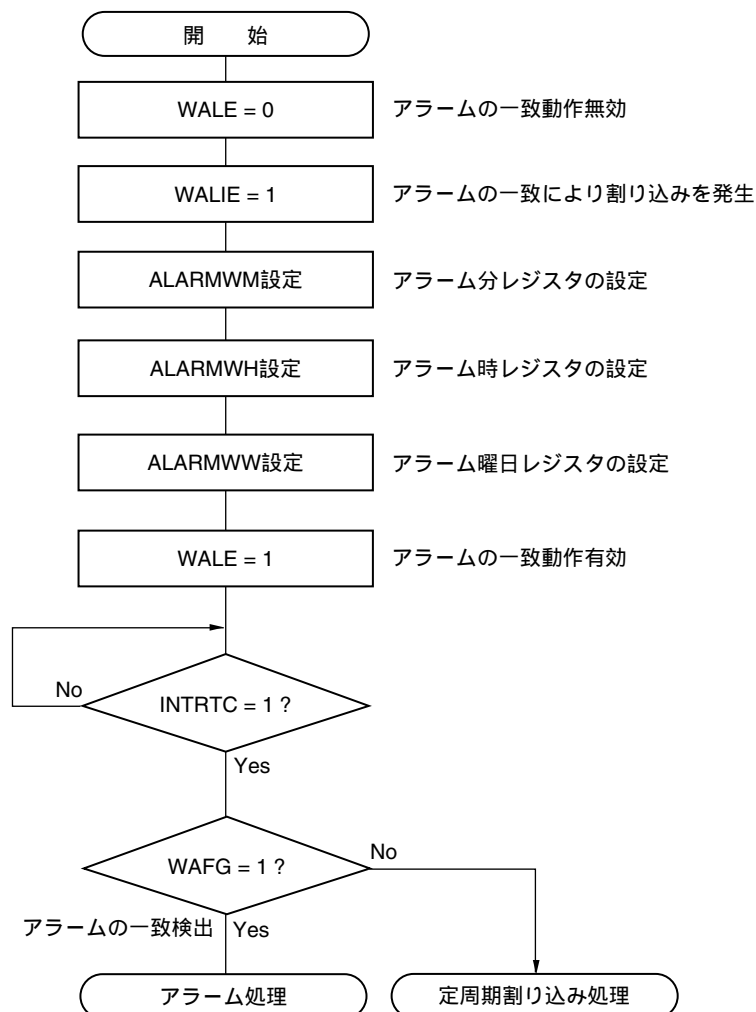
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

9.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図9-23 アラーム設定手順



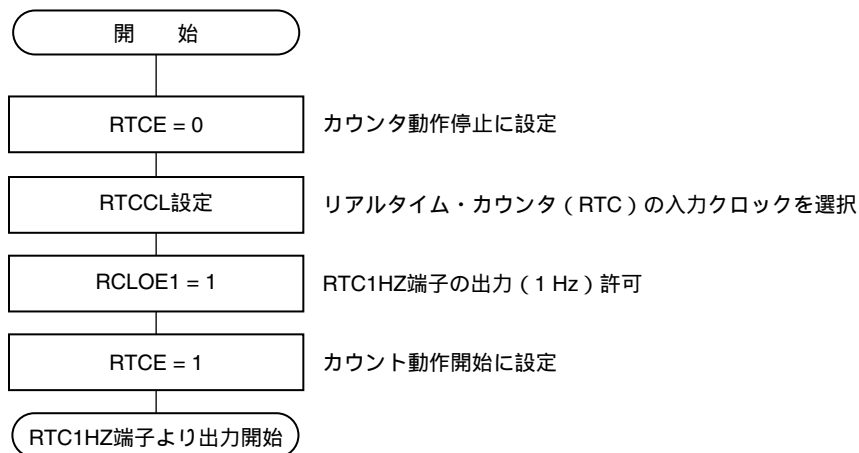
備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

9.4.5 リアルタイム・カウンタの1 Hz出力

1 Hz出力の設定は、最初にRTCE = 0にしてから行ってください。

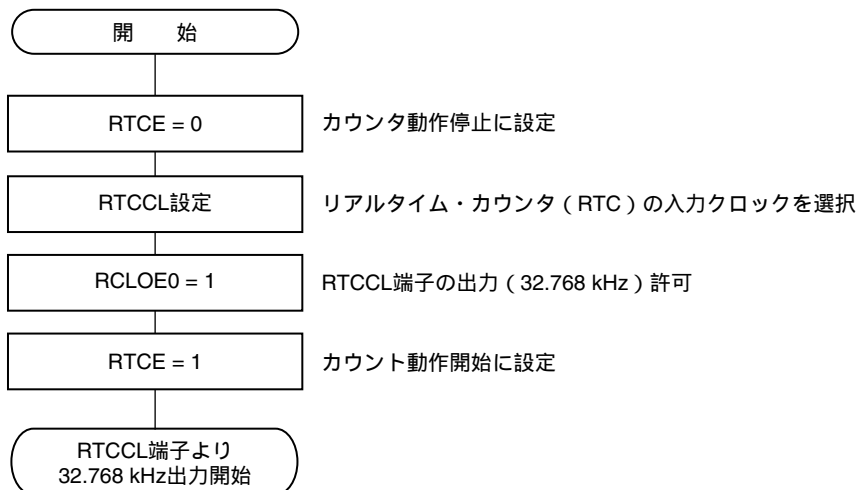
図9 - 24 1 Hz出力の設定手順



9.4.6 リアルタイム・カウンタの32.768 kHz出力

32.768 kHz出力の設定は、最初にRTCE = 0にしてから行ってください。

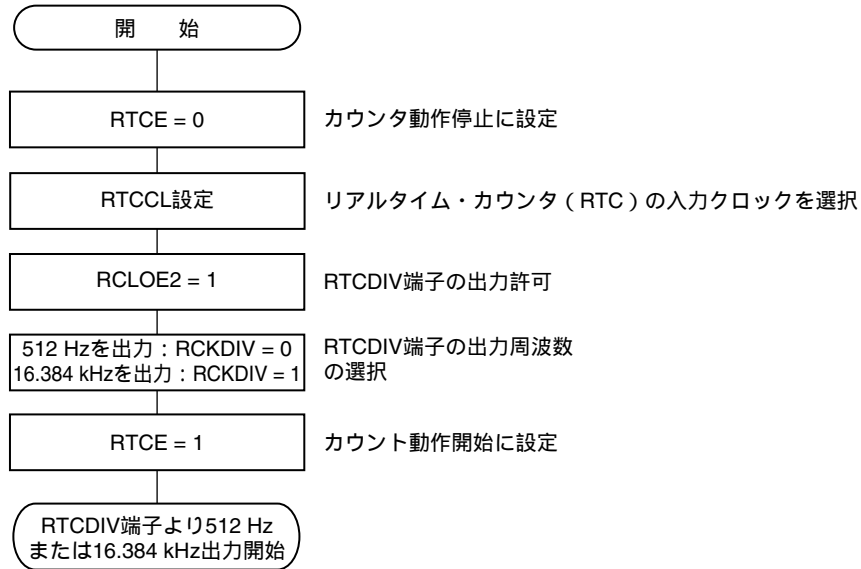
図9 - 25 32.768 kHz出力の設定手順



9.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力

512 Hz, 16.384 kHz出力の設定は, 最初にRTCE = 0にしてから行ってください。

図9 - 26 512 Hz, 16.384 kHz出力の設定手順



9.4.8 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、リアルタイム・カウンタ (RTC) の入力クロック (f_{RTC}) の値です。
RTCCL端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 $\times 32768$ で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]は、RTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの1Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、9. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正值の算出】

(RTCCL端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正值の算出式を適用します。

$$\begin{aligned} \text{補正值} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正值 = 86の場合)

補正值が0以上 (遅くする場合) では、F6 = 0とします。

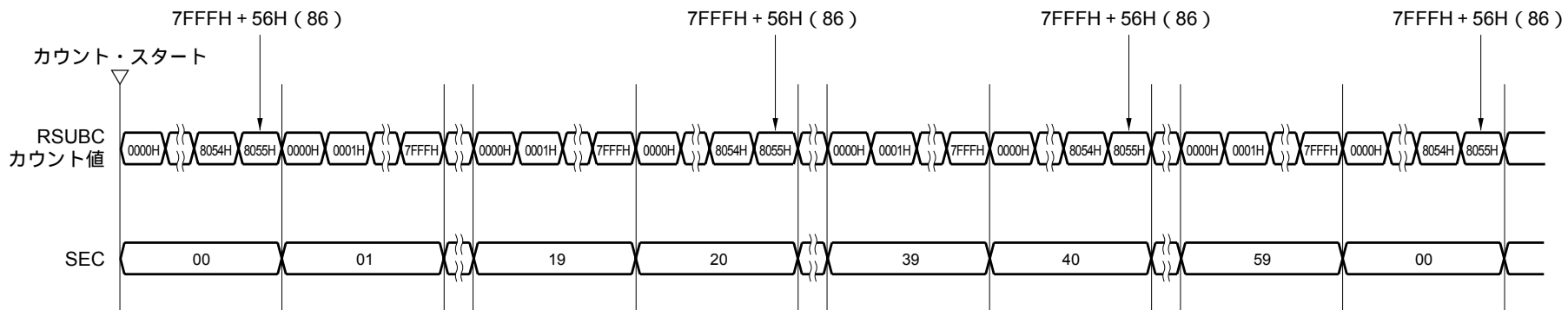
(F5, F4, F3, F2, F1, F0) は、補正值から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正值 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図9 - 27に示します。

図9 - 27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]をRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの1Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、9. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1\text{分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

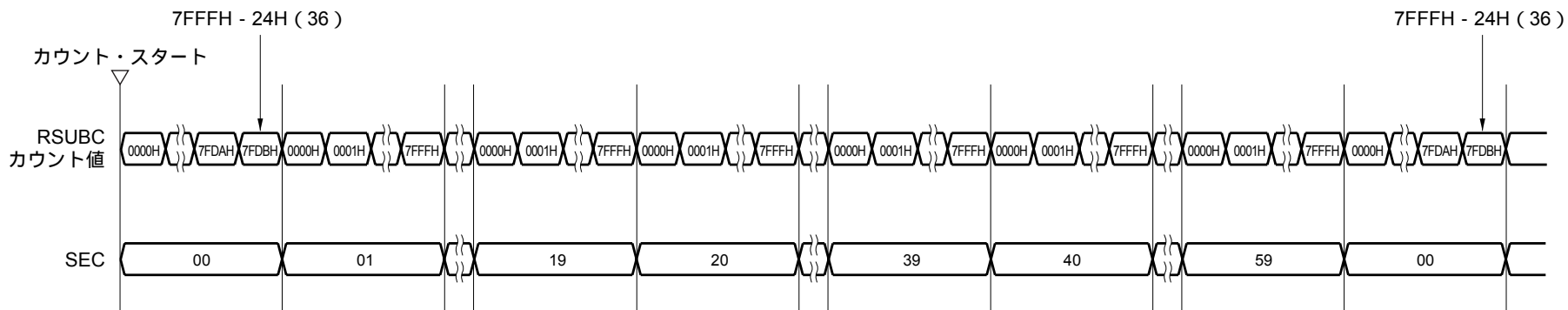
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図9 - 28に示します。

図9 - 28 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタ[※]で設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタ[※]で設定していない領域(ただしFB00H-FFCFH, FFE0H-FFFFHは除く)にアクセスした場合
(CPU暴走時の異常アクセス検出)

注 内部拡張RAMを内蔵していない製品は、IXSレジスタを搭載していません。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第23章 **リセット機能**を参照してください。

10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

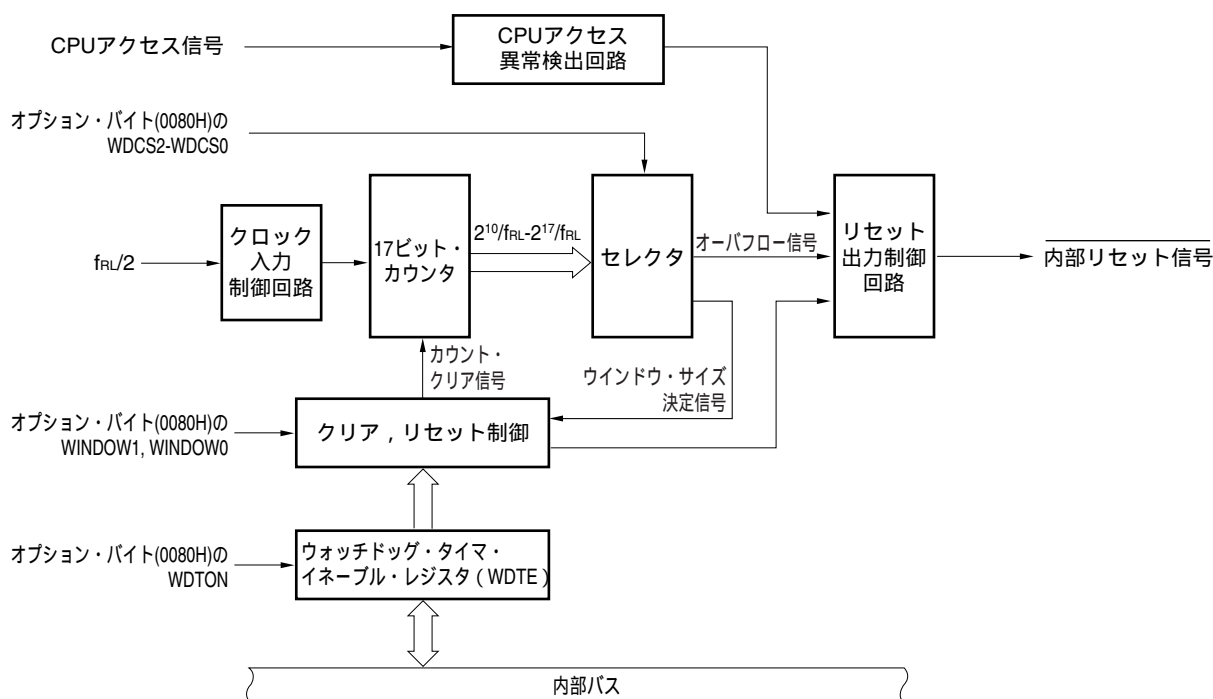
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表10-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第26章 **オプション・バイト**を参照してください。

図10-1 ウォッチドッグ・タイマのブロック図



10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図10-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF99H リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

- ・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第26章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止（リセット解除後、カウンタ停止）、不正アクセス検出動作禁止
1	カウンタ動作許可（リセット解除後、カウンタ開始）、不正アクセス検出動作許可

- ・オプション・バイト（0080H）のビット3-1（WDOS2-WDOS0）で、オーバフロー時間を設定してください（詳細は、10.4.2および第26章を参照）。
- ・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、10.4.3および第26章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタ^注で設定していない領域からフェッチした場合（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタ^注で設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合（CPU暴走時の異常アクセス検出）

注 内部拡張RAMを内蔵していない製品は、IXSレジスタを搭載していません。

- 注意1. リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウンタ開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (0080H) のビット3-1 (WDOS2-WDOS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウンタ動作を開始します。

設定するオーバフロー時間を次に示します。

表10-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDOS2	WDOS1	WDOS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意1. WDOS2 = WDOS1 = WDOS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

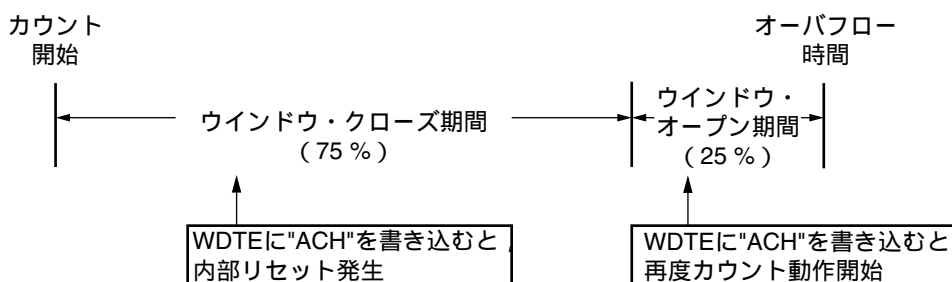
- () 内は $f_{RL} = 264$ kHz (MAX.) の場合

10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表10-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{11}/f_{RL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 7.11 ms	0 ~ 4.74 ms	0 ~ 2.37 ms	なし
ウインドウ・オープン時間	7.11 ~ 7.76 ms	4.74 ~ 7.76 ms	2.37 ~ 7.76 ms	0 ~ 7.76 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/264 \text{ kHz} (\text{MAX.}) = 7.76 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 7.11 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{11}/264 \text{ kHz} (\text{MAX.}) \\ = 7.11 \sim 7.76 \text{ ms}$$

第11章 クロック出力／ブザー出力制御回路

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
クロック出力		
ブザー出力	-	

注意 クロック出力 (PCL) を使用すると、リモコン受信回路とINTP6は使用できません。

備考 : 搭載, - : 非搭載

11.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。クロック出力選択レジスタ (CKS) で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図11 - 1, 11 - 2にクロック出力／ブザー出力制御回路のブロック図を示します。

図11 - 1 クロック出力／ブザー出力制御回路のブロック図 (78K0/KC2-C)

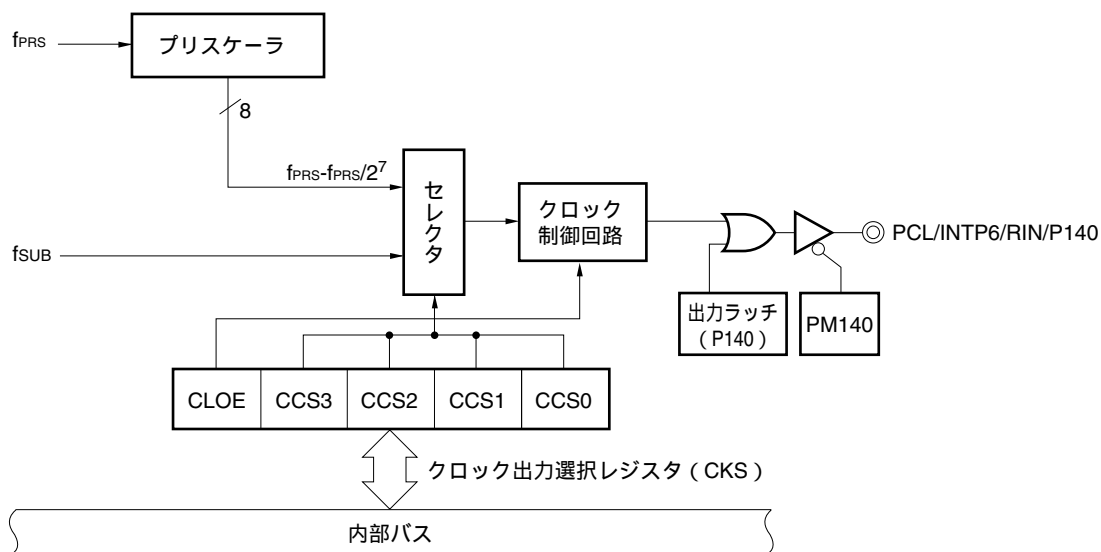
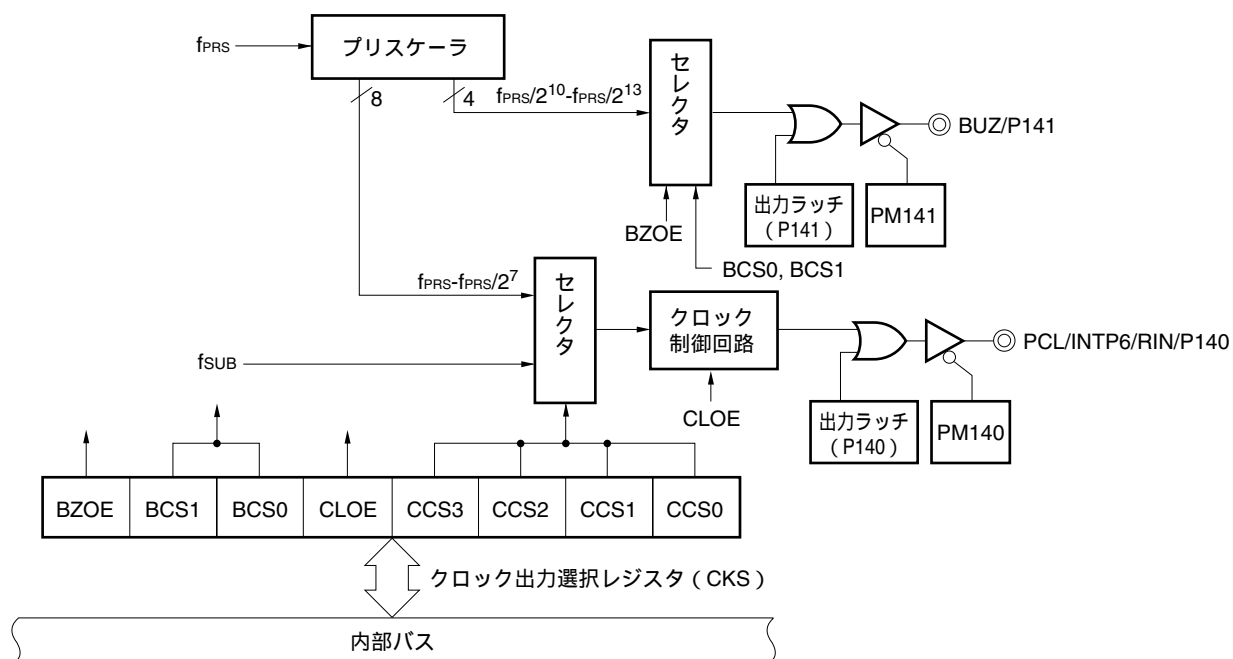


図11-2 クロック出力／ブザー出力制御回路のブロック図 (78K0/KE2-C)



11.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表11-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

11.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ14 (PM14)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL)、ブザー周波数出力 (BUZ) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-3 クロック出力選択レジスタ (CKS) のフォーマット (78K0/KC2-C)

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	0	0	0	CLOE	CCS3	CCS2	CCS1	CCS0

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択			
				f _{SUB} = 32.768 kHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS}	-	10 MHz	設定禁止 ^注
0	0	0	1	f _{PRS} /2	-	5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²	-	2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³	-	1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴	-	625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵	-	312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶	-	156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷	-	78.125 kHz	156.25 kHz
1	0	0	0	f _{SUB}	32.768 kHz	-	-
上記以外				設定禁止			

注 PCLの出力クロックは、10 MHzを越えると設定禁止です。

注意 CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

図11 - 4 クロック出力選択レジスタ (CKS) のフォーマット (78K0/KE2-C)

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			f _{PRS} = 10 MHz	f _{PRS} = 20 MHz
0	0	f _{PRS} /2 ¹⁰	9.77 kHz	19.54 kHz
0	1	f _{PRS} /2 ¹¹	4.88 kHz	9.77 kHz
1	0	f _{PRS} /2 ¹²	2.44 kHz	4.88 kHz
1	1	f _{PRS} /2 ¹³	1.22 kHz	2.44 kHz

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択			
				f _{SUB} = 32.768 kHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	0	0	f _{PRS}	-	10 MHz	設定禁止 ^注
0	0	0	1	f _{PRS} /2		5 MHz	10 MHz
0	0	1	0	f _{PRS} /2 ²		2.5 MHz	5 MHz
0	0	1	1	f _{PRS} /2 ³		1.25 MHz	2.5 MHz
0	1	0	0	f _{PRS} /2 ⁴		625 kHz	1.25 MHz
0	1	0	1	f _{PRS} /2 ⁵		312.5 kHz	625 kHz
0	1	1	0	f _{PRS} /2 ⁶		156.25 kHz	312.5 kHz
0	1	1	1	f _{PRS} /2 ⁷		78.125 kHz	156.25 kHz
1	0	0	0	f _{SUB}	32.768 kHz		-
上記以外				設定禁止			

注 PCLの出力クロックは、10 MHzを越えると設定禁止です。

- 注意1. BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。
 2. CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
 2. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ14 (PM14)

ポート14の入力／出力を1ビット単位で設定するレジスタです。

P140/RIN/INTP6/PCL端子をクロック出力機能として、P141/BUZ端子をブザー出力機能として使用する
とき、PM140、PM141およびP140、P141の出力ラッチに0を設定してください。

PM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図11-5 ポート・モード・レジスタ14 (PM14) のフォ - マット

アドレス：FF2EH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	PM141 ^注	PM140

PM14n	P14n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KE2-Cのみ

11.4 クロック出力／ブザー出力制御回路の動作

11.4.1 クロック出力としての動作

クロック・パルスは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット0-3 (CCS0-CCS3) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。

CKSのビット4 (CLOE) に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図11-6に示すように、必ずクロックのロウ期間から出力を開始します (図中の * 印参照)。また、停止する場合には、クロックのハイ期間後に、出力を停止します。

図11-6 リモコン出力応用例



11.4.2 ブザー出力としての動作

ブザー・クロックは、次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット5, 6 (BCS0, BCS1) でブザー出力周波数を選択する (ブザー出力は禁止の状態)。

CKSのビット7 (BZOE) に1を設定し、ブザー出力を許可する。

第12章 A/Dコンバータ

12.1 A/Dコンバータの機能

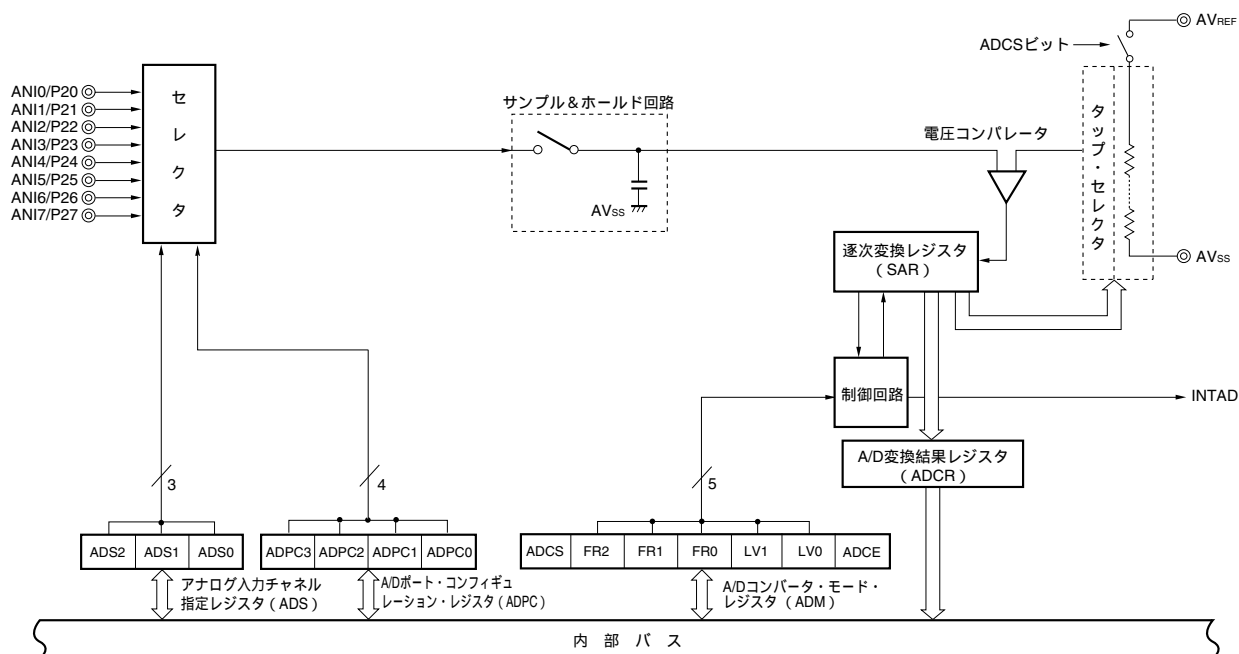
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネル (ANI0-ANI7) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- 10ビット分解能A/D変換

ANI0-ANI7からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図12 - 1 A/Dコンバータのブロック図



12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7端子

A/Dコンバータの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

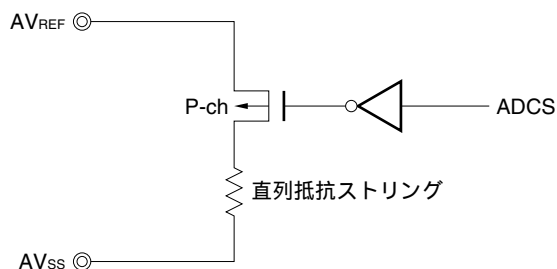
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} - AV_{SS} 間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図12-2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

注意 ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCR, ADCRHからデータを読み出さないでください。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADが発生します。

(9) AV_{REF}端子

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。ポート2をデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

(13) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(14) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子を、入力/出力に切り替えるレジスタです。

12.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の6種類のレジスタを使用します。

- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャンネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2 (PM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF28H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	コンパレータの動作制御 ^{注2}
0	コンパレータの動作停止
1	コンパレータの動作許可

注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表12-2 A/D変換時間の選択を参照してください。

2. コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

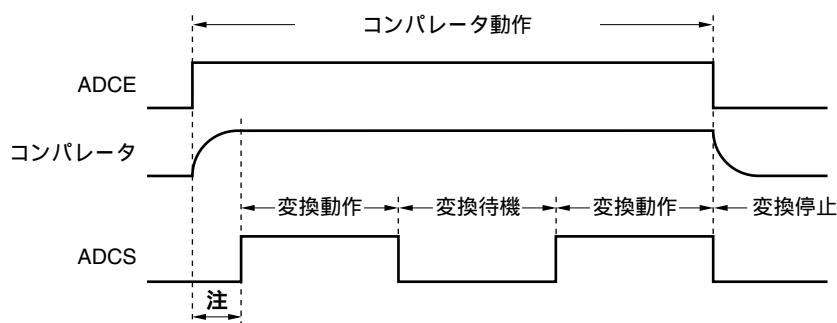
注意 ビット6には、必ず0を設定してください。

表12-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費バスは存在しません)
0	1	変換待機モード (コンパレータ動作, コンパレータのみ電力消費)
1	0	変換モード (コンパレータ動作停止 ^注)
1	1	変換モード (コンパレータ動作)

注 最初の変換データは、無視してください。

図12 - 4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

- 注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
2. ADMにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADMにデータを書き込まないでください。

表12 - 2 A/D変換時間の選択 (1/2)

(1) 2.7 V AV_{REF} 5.5 V ($LV0 = 0$)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換 クロック (f_{AD})	
FR2	FR1	FR0	LV1	LV0	$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 10 MHz	$f_{\text{PRS}} =$ 20 MHz		
0	0	0	0	0	$264/f_{\text{PRS}}$	設定禁止	$52.8\mu\text{s}$	$26.4\mu\text{s}$	$13.2\mu\text{s}$	$f_{\text{PRS}}/12$
0	0	1	0	0	$176/f_{\text{PRS}}$		$35.2\mu\text{s}$	$17.6\mu\text{s}$	$8.8\mu\text{s}^{\text{注}}$	$f_{\text{PRS}}/8$
0	1	0	0	0	$132/f_{\text{PRS}}$	$66.0\mu\text{s}$	$26.4\mu\text{s}$	$13.2\mu\text{s}$	$6.6\mu\text{s}^{\text{注}}$	$f_{\text{PRS}}/6$
0	1	1	0	0	$88/f_{\text{PRS}}$	$44.0\mu\text{s}$	$17.6\mu\text{s}$	$8.8\mu\text{s}^{\text{注}}$	設定禁止	$f_{\text{PRS}}/4$
1	0	0	0	0	$66/f_{\text{PRS}}$	$33.0\mu\text{s}$	$13.2\mu\text{s}$	$6.6\mu\text{s}^{\text{注}}$		$f_{\text{PRS}}/3$
1	0	1	0	0	$44/f_{\text{PRS}}$	$22.0\mu\text{s}$	$8.8\mu\text{s}^{\text{注}}$	設定禁止		$f_{\text{PRS}}/2$
上記以外					設定禁止					

注 4.0 V AV_{REF} 5.5 V時のみ設定可能

表12 - 2 A/D変換時間の選択 (2/2)

(2) 2.3 V AV_{REF} 5.5 V (LV0 = 1)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換 クロック (f_{AD})	
FR2	FR1	FR0	LV1	LV0	$f_{PRS} =$ 2 MHz	$f_{PRS} =$ 5 MHz	$f_{PRS} =$ 10 MHz	$f_{PRS} =$ 20 MHz		
0	0	0	0	1	$480/f_{PRS}$	設定禁止	設定禁止	$48.0 \mu s$ ^{注2}	$24.0 \mu s$ ^{注2}	$f_{PRS}/12$
0	0	1	0	1	$320/f_{PRS}$	設定禁止	$64.0 \mu s$	$32.0 \mu s$ ^{注2}	$16.0 \mu s$ ^{注1}	$f_{PRS}/8$
0	1	0	0	1	$240/f_{PRS}$		$48.0 \mu s$	$24.0 \mu s$ ^{注2}	$12.0 \mu s$ ^{注1}	$f_{PRS}/6$
0	1	1	0	1	$160/f_{PRS}$		$32.0 \mu s$	$16.0 \mu s$ ^{注1}	設定禁止	$f_{PRS}/4$
1	0	0	0	1	$120/f_{PRS}$		$60.0 \mu s$	$24.0 \mu s$ ^{注2}	$12.0 \mu s$ ^{注1}	$f_{PRS}/3$
1	0	1	0	1	$80/f_{PRS}$	$40.0 \mu s$	$16.0 \mu s$ ^{注1}	設定禁止		$f_{PRS}/2$
上記以外					設定禁止					

注1. 4.0 V AV_{REF} 5.5 V時のみ設定可能2. 2.7 V AV_{REF} 5.5 V時のみ設定可能

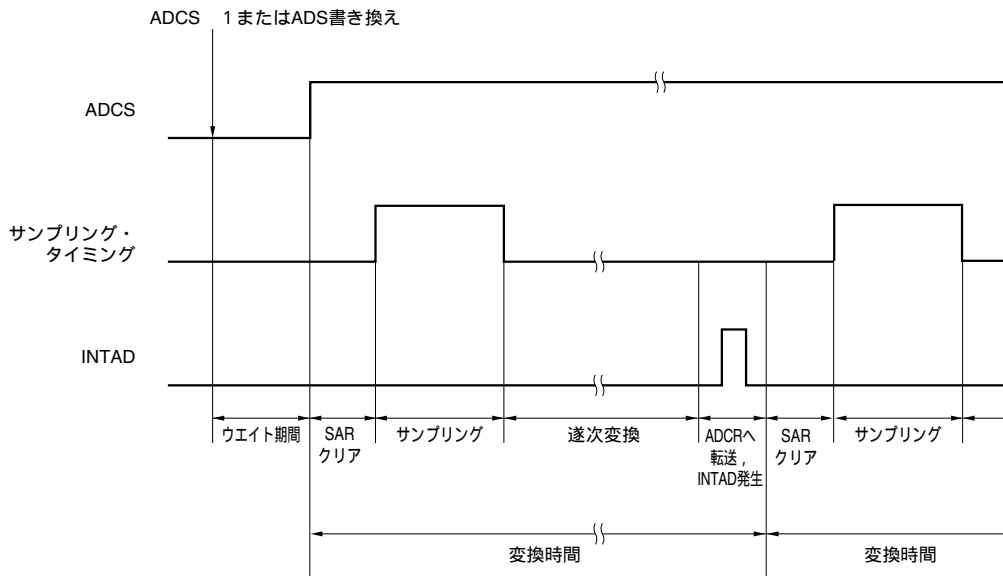
注意1. 変換時間は、次の条件で設定してください。

(1) 2.7 V AV_{REF} 5.5 V (LV0 = 0)• 4.0 V AV_{REF} 5.5 Vの場合： $f_{AD} = 0.33 \sim 3.6$ MHz• 2.7 V $AV_{REF} < 4.0$ Vの場合： $f_{AD} = 0.33 \sim 1.8$ MHz(2) 2.3 V AV_{REF} 5.5 V (LV0 = 1)• 4.0 V AV_{REF} 5.5 Vの場合： $f_{AD} = 0.6 \sim 3.6$ MHz• 2.7 V $AV_{REF} < 4.0$ Vの場合： $f_{AD} = 0.6 \sim 1.8$ MHz• 2.3 V $AV_{REF} < 2.7$ Vの場合： $f_{AD} = 0.6 \sim 1.48$ MHz

- FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止($ADCS = 0$)させたのちに行ってください。
- 2.3 V $AV_{REF} < 2.7$ Vの場合、LV0をデフォルト値から変更してください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図12 - 5 A/DコンバータのサンプリングとA/D変換のタイミング



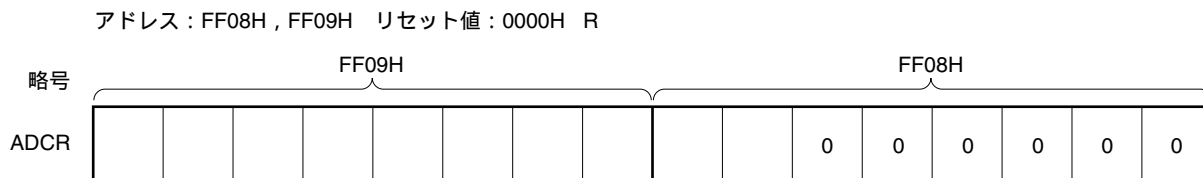
(2) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFF09Hに、下位2ビットがFF08Hの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図12 - 6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意1. A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2. ADCRからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCRからデータを読み出さないでください。

(3) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図12 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FF09H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意1. A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2. ADCRHからデータを読み出すと、ウエイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCRHからデータを読み出さないでください。

(4) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF29H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意1. ビット3-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

3. ADSにデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADSにデータを書き込まないでください。

(5) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27端子を，A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12 - 9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：FF2FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	デジタル入出力 (D) / アナログ入力 (A) の切り替え							
				P27/ ANI7	P26/ ANI6	P25/ ANI5	P24/ ANI4	P23/ ANI3	P22/ ANI2	P21/ ANI1	P20/ ANI0
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

- 注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCにデータを書き込むと，ウエイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに，ADPCにデータを書き込まないでください。

(6) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図12 - 10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI0/P20-ANI7/P27端子の機能は、ADPC、ADS、PM2の設定で決定します。

表12 - 3 ANI0/P20-ANI7/P27端子機能の設定

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力

12.4 A/Dコンバータの動作

12.4.1 A/Dコンバータの基本動作

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2) で入力モードに設定してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ビット9 = 1 : (3/4) AV_{REF}
- ・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

- ・サンプリングされた電圧 > 電圧タップ : ビット8 = 1
- ・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

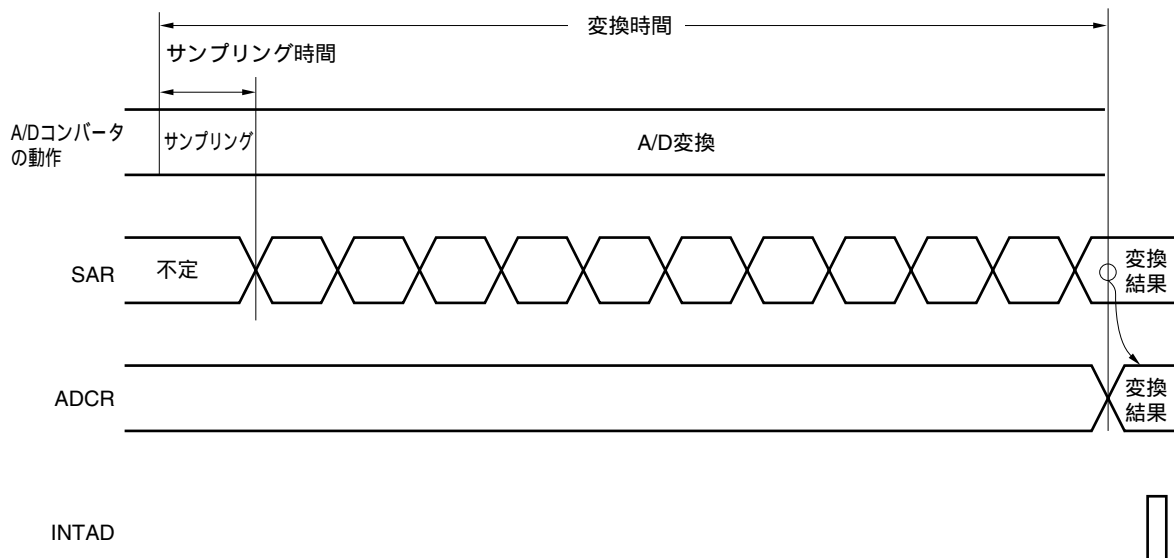
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図12 - 11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

12. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または、

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

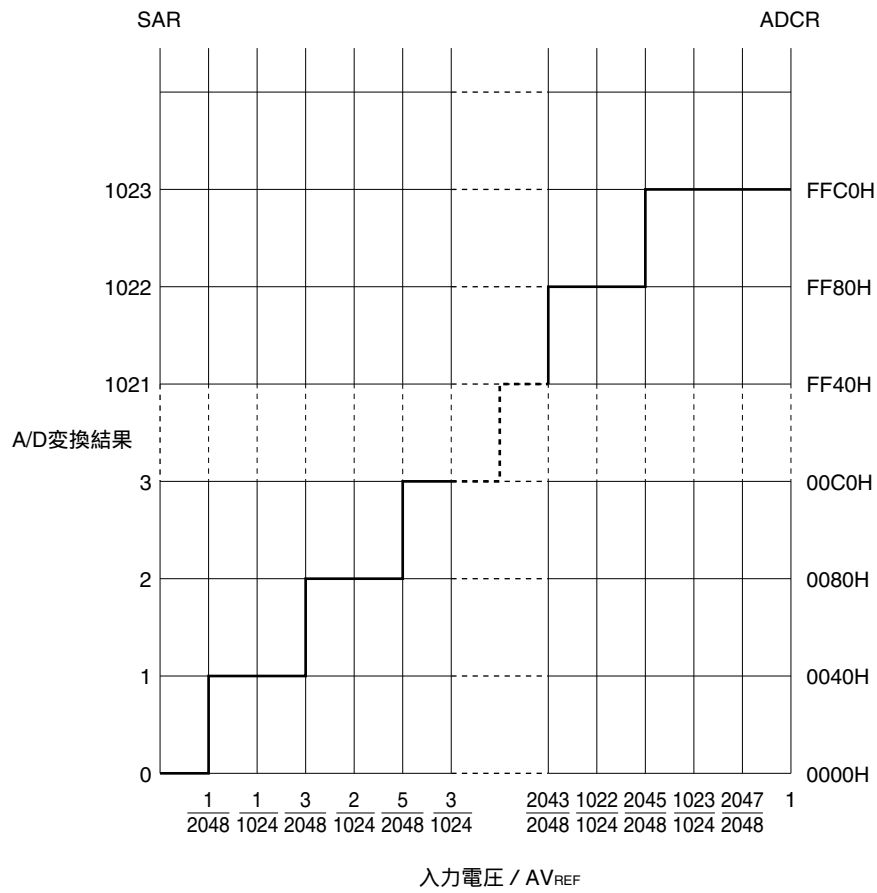
V_{REF} : V_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図12 - 12にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 12 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

(1) A/D変換動作

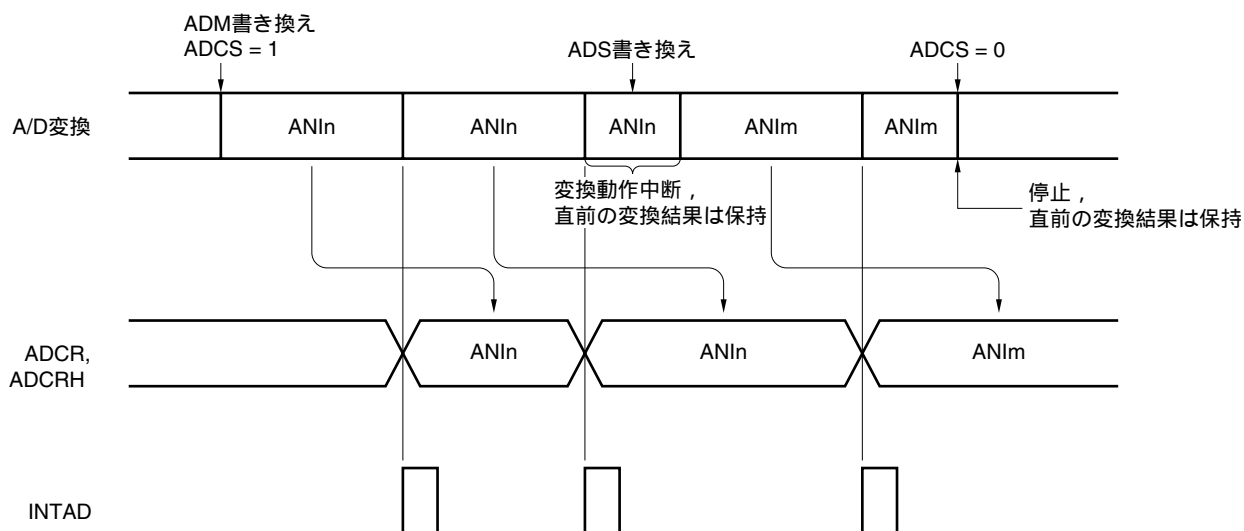
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図12 - 13 A/D変換動作



備考1. n = 0-7

2. m = 0-7

次に設定方法を説明します。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット3-0 (ADPC3-ADPC0) ,
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) で使用するチャンネルをアナログ
入力に設定

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を選択

アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) で使用するチャンネル
を選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< チャンネルを変更する >

ADSのビット2-0 (ADS2-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

- 注意1.** から までの間は $1\ \mu\text{s}$ 以上空けてください。
- は, から までの間に行っても, 問題ありません。
 - は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
 - から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

12.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12 - 14 総合誤差

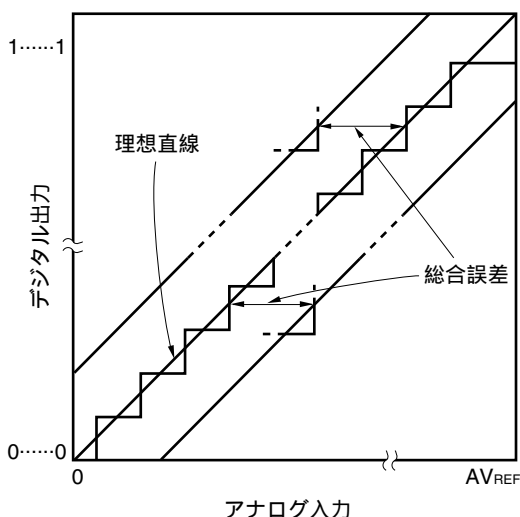
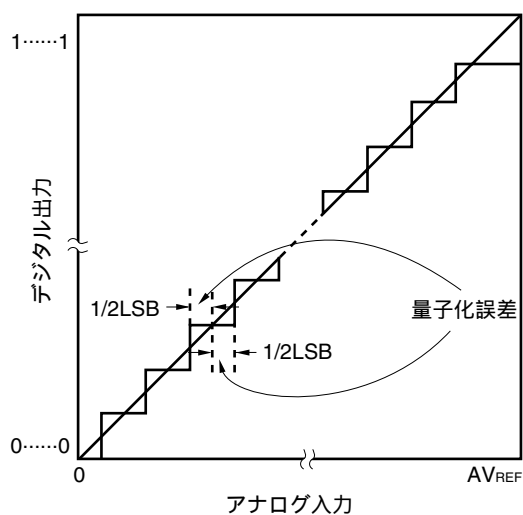


図12 - 15 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャンネルのアナログ入力端子に印加する電圧をAV_{SS}からAV_{REF}まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、12.5(2) 総合誤差を参照してください。

図12 - 16 ゼロスケール誤差

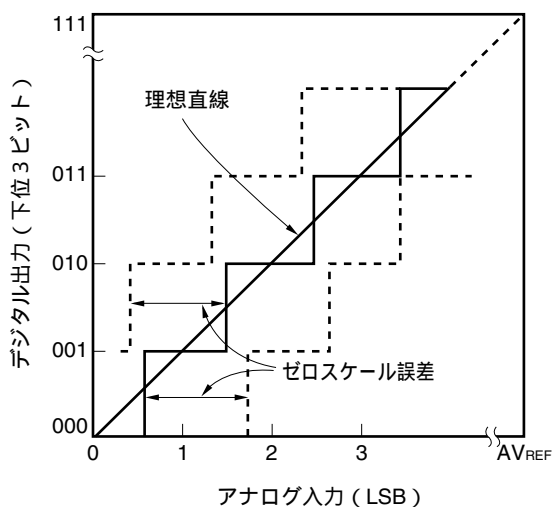


図12 - 17 フルスケール誤差

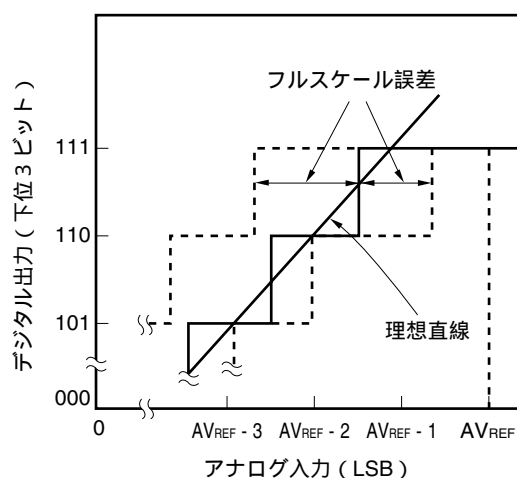


図12 - 18 積分直線性誤差

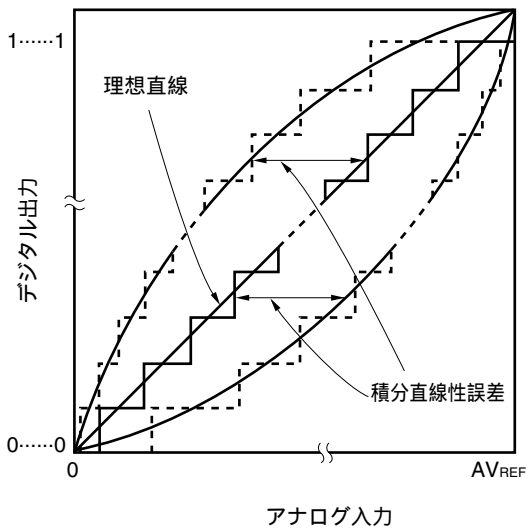
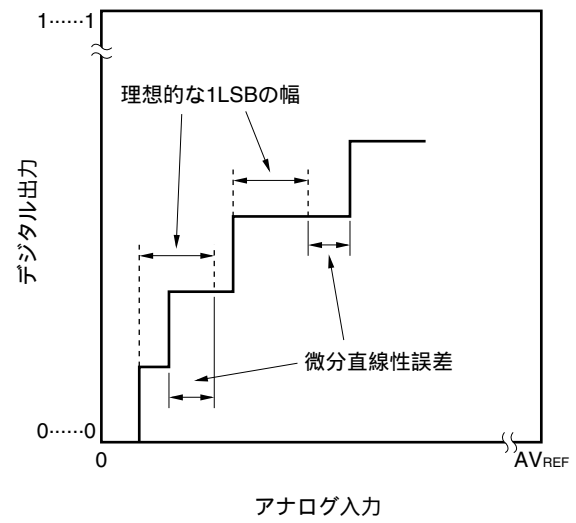


図12 - 19 微分直線性誤差

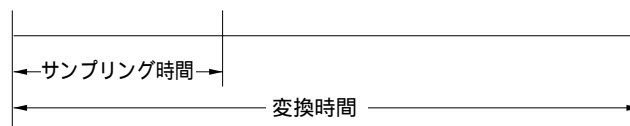
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI0-ANI7端子へのノイズに注意する必要があります。

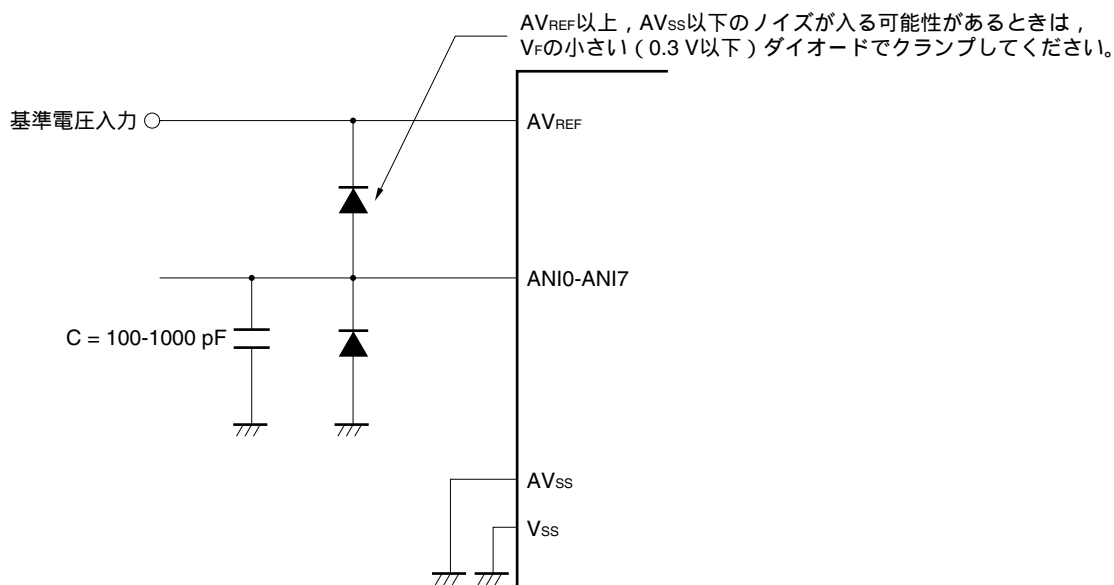
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12 - 20のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図12 - 20 アナログ入力端子の処理



(5) ANI0/P20-ANI7/P27

アナログ入力 (ANI0-ANI7) 端子は入出力ポート (P20-P27) 端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合, 変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27として使用する端子の選択は, AVREFから最も遠いANI0/P20より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを10 kΩ以下にし, 出力インピーダンスが高いときはANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図12 - 20参照)。

(7) AVREF端子の入力インピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって, 基準電圧源の出力インピーダンスが高い場合, AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり, 基準電圧の誤差が大きくなります。

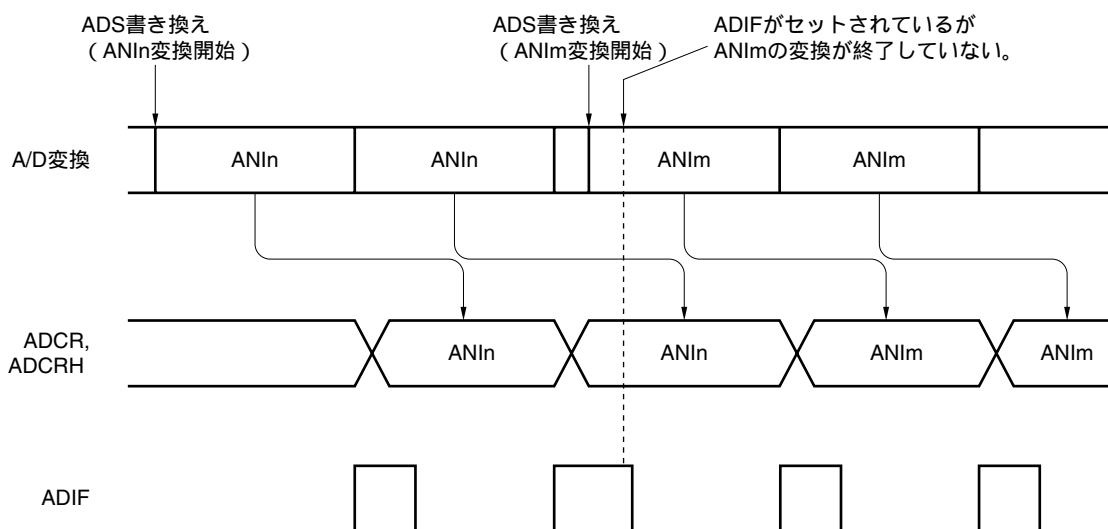
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図12 - 21 A/D変換終了割り込み要求発生タイミング



備考1. n = 0-7

2. m = 0-7

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 22 ANIn端子内部等価回路

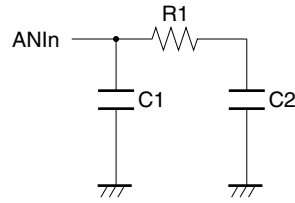


表12 - 4 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R1	C1	C2
4.0 V $AV_{REF} < 5.5$ V	8.1 k	8 pF	5 pF
2.7 V $AV_{REF} < 4.0$ V	31 k	8 pF	5 pF
2.3 V $AV_{REF} < 2.7$ V	381 k	8 pF	5 pF

備考1. 表12 - 4の各抵抗と容量値は保証値ではありません。

2. n = 0-7

第13章 シリアル・インタフェースUART0

注意 UART0を使用すると、CSI10は使用できません。

13.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については13.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については13.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、13.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・ 最大転送速度：625 kbps
- ・ 2端子構成 TxD0：送信データの出力端子
RxD0：受信データの入力端子
- ・ 通信データのデータ長は7ビット / 8ビット可変
- ・ 専用の5ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・ 送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・ 通信データの先頭ビットは、LSB固定

- 注意1.** シリアル・インタフェースUART0への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0として、回路をリセットしてください。
- 2.** 通信開始する場合、POWER0 = 1に設定後、TXE0 = 1 (送信) またはRXE0 = 1 (受信) に設定してください。

- 注意3. TXE0とRXE0は、BRGC0で設定した基本クロック (f_{XCLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
4. TXE0 = 1に設定したあと、基本クロック (f_{XCLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。

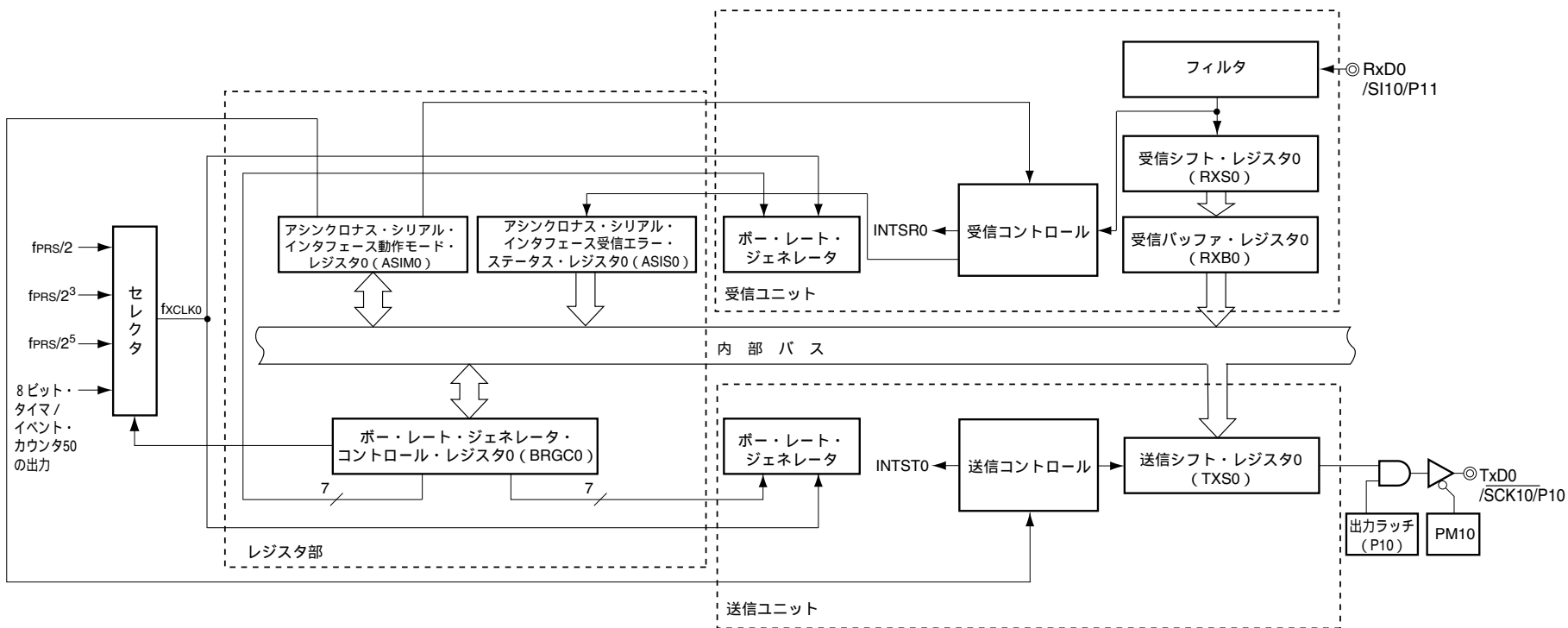
13.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェースUART0の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ0 (RXB0) 受信シフト・レジスタ0 (RXS0) 送信シフト・レジスタ0 (TXS0)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図13-1 シリアル・インタフェースUART0のブロック図



(1) 受信バッファ・レジスタ0 (RXB0)

受信シフト・レジスタ0 (RXS0) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0には転送されません。

RXB0は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生、POWER0 = 0によりFFHとなります。

(2) 受信シフト・レジスタ0 (RXS0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS0はプログラムで直接操作できません。

(3) 送信シフト・レジスタ0 (TXS0)

送信データを設定するためのレジスタです。TXS0にデータを書き込むことにより、送信動作が起動し、シリアル・データをTxD0端子から送信します。

TXS0は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

リセット信号の発生、POWER0 = 0, TXE0 = 0によりFFHとなります。

- 注意**
- TXE0 = 1に設定したあと、基本クロック (f_{CLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。
 - TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。

13.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の5種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル通信動作を制御する8ビット・レジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図13-2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (1/2)

アドレス：FF70H リセット時：01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE0	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE0	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. POWER0 = 0で、RxD0端子からの入力ハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0) です。

図13-2 アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (2/2)

PS01	PS00	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^注
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL0	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL0	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のビット2 (PE0) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER0 = 1にしてから、TXE0 = 1としてください。送信停止するときにはTXE0 = 0にしてから、POWER0 = 0としてください。
2. 受信開始するときはPOWER0 = 1にしてから、RXE0 = 1としてください。受信停止するときにはRXE0 = 0にしてから、POWER0 = 0としてください。
3. RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1 RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1 RXE0 = 1と設定すると、受信を開始してしまいます。
4. TXE0とRXE0は、BRGC0で設定した基本クロック (f_{XCLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE0 = 1に設定したあと、基本クロック (f_{XCLK0}) 1クロック以上待つてから、TXS0に送信データを設定してください。
6. PS01, PS00, CL0ビットを書き換えるときは、TXE0, RXE0ビットをクリア (0) してから行ってください。
7. SL0ビットを書き換えるときは、TXE0をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL0ビットの設定値の影響は受けません。
8. ビット0には必ず1を設定してください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)

シリアル・インタフェースUART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE0, FE0, OVE0) で構成されています。

ASIS0は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM0のビット7 (POWER0)=0, ビット5 (RXE0)=0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS0を読み出したあと, 受信バッファ・レジスタ0 (RXB0) を読み出し, エラー・フラグをクリアしてください。

図13-3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス : FF73H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE0	フレーミング・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE0	オーバラン・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	RXB0レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE0ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のPS01, PS00ビットの設定値により異なります。
- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 - オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ0 (RXB0) には書き込まれず, データは破棄されます。
 - ASIS0からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに, ASIS0からデータを読み出さないでください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースUART0の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

図13-4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス : FF71H リセット時 : 1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS01	TPS00	0	MDL04	MDL03	MDL02	MDL01	MDL00

TPS01	TPS00	基本クロック (f _{CLK0}) 選択				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	f _{PRS} = 20 MHz	
0	0	TM50の出力 ^注				
0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
1	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz

MDL04	MDL03	MDL02	MDL01	MDL00	k	5ビット・カウンタの出力クロック選択
0	0	x	x	x	x	設定禁止
0	1	0	0	0	8	f _{CLK0} /8
0	1	0	0	1	9	f _{CLK0} /9
0	1	0	1	0	10	f _{CLK0} /10
.
.
.
.
.
1	1	0	1	0	26	f _{CLK0} /26
1	1	0	1	1	27	f _{CLK0} /27
1	1	1	0	0	28	f _{CLK0} /28
1	1	1	0	1	29	f _{CLK0} /29
1	1	1	1	0	30	f _{CLK0} /30
1	1	1	1	1	31	f _{CLK0} /31

注 TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイムF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

- 注意1. MDL04-MDL00ビットを書き換える場合は、ASIM0レジスタのビット6 (TXE0) = 0, ビット5 (RXE0) = 0にしてから行ってください。
2. TPS01, TPS00ビットを書き換える場合は、ASIM0レジスタのビット7 (POWER0) = 0にしてから行ってください。
3. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

- 備考1. f_{CLK0} : TPS01, TPS00ビットで選択した基本クロックの周波数
2. f_{PRS} : 周辺ハードウェア・クロック周波数
3. k : MDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)
4. x : 任意
5. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(4) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P10/TxD0/SCK10端子をシリアル・インタフェースのデータ出力として使用するとき、PM10に0を、P10の出力ラッチに1を設定してください。

P11/RxD0/SI10端子をシリアル・インタフェースのデータ入力として使用するとき、PM11に1を設定してください。このときP11の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図13 - 5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

13.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

13.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM0のビット7, 6, 5 (POWER0, TXE0, RXE0) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF70H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。

TXE0	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE0	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. POWER0 = 0で、RxD0端子からの入力ハイ・レベルに固定されます。

- リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0)です。

注意 動作停止するときはTXE0 = 0, RXE0 = 0にしてから、POWER0 = 0 にしてください。

通信開始するときはPOWER0 = 1にしてから、TXE0 = 1, RXE0 = 1にしてください。

備考 RxD0/SI10/P11, TxD0/SCK10/P10端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

13.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

BRGC0レジスタを設定 (図13-4を参照)

ASIM0レジスタのビット1-4 (SL0, CL0, PS00, PS01) を設定 (図13-2を参照)

ASIM0レジスタのビット7 (POWER0) をセット (1)

ASIM0レジスタのビット6 (TXE0) をセット (1) 送信可能

ASIM0レジスタのビット5 (RXE0) をセット (1) 受信可能

TXS0レジスタにデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表13-2 レジスタの設定と端子の関係

POWER0	TXE0	RXE0	PM10	P10	PM11	P11	UART0 の動作	端子機能	
								TxD0/SCK10/P10	RxD0/SI10/P11
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SCK10/P10	SI10/P11
1	0	1	x ^注	x ^注	1	x	受信	SCK10/P10	RxD0
	1	0	0	1	x ^注	x ^注	送信	TxD0	SI10/P11
	1	1	0	1	1	x	送受信	TxD0	RxD0

注 ポート機能またはシリアル・インタフェースCSI10として設定することができます。

備考 x : don't care

POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7

TXE0 : ASIM0のビット6

RXE0 : ASIM0のビット5

PM1x : ポート・モード・レジスタ

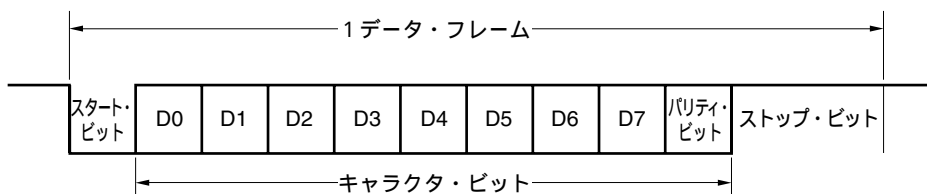
P1x : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図13 - 6 , 13 - 7に示します。

図13 - 6 通常UART送受信データのフォーマット



1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット..... 1ビット
- ・ キャラクタ・ビット... 7ビット / 8ビット (LSBファースト)
- ・ パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ ストップ・ビット..... 1ビット / 2ビット

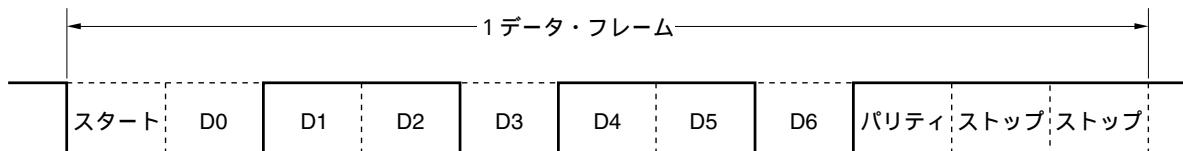
1データ・フレーム内のキャラクタ・ビット長の指定 , パリティ選択 , ストップ・ビット長の指定は , アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) によって行います。

図13 - 7 通常UART送受信データの波形例

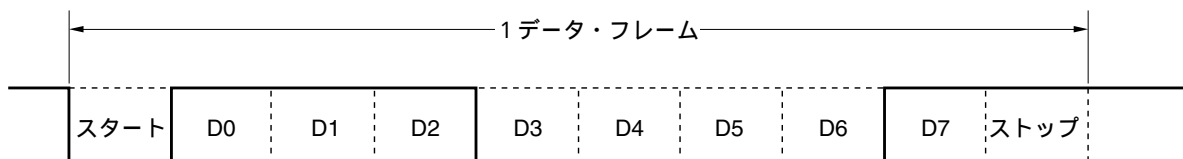
1 . データ長 : 8ビット , パリティ : 偶数パリティ , ストップ・ビット : 1ビット , 通信データ : 55H



2 . データ長 : 7ビット , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



3 . データ長 : 8ビット , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)のビット7(POWER0)をセット(1)し、次にASIM0のビット6(TXE0)をセット(1)すると送信許可状態になり、送信シフト・レジスタ0(TXS0)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、スタート・ビットがTxD0端子から出力され、続いて送信データがLSBより順次出力されます。送信が完了すると、ASIM0で設定したパリティ・ビット、ストップ・ビットが付加され、最後に送信完了割り込み要求(INTST0)が発生します。

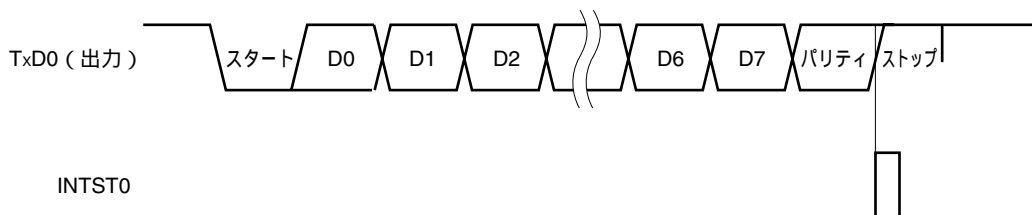
次に送信するデータをTXS0に書き込むまで、送信動作は中断します。

送信完了割り込み要求(INTST0)のタイミングを図13-8に示します。INTST0は、最後のストップ・ビット出力と同時に発生します。

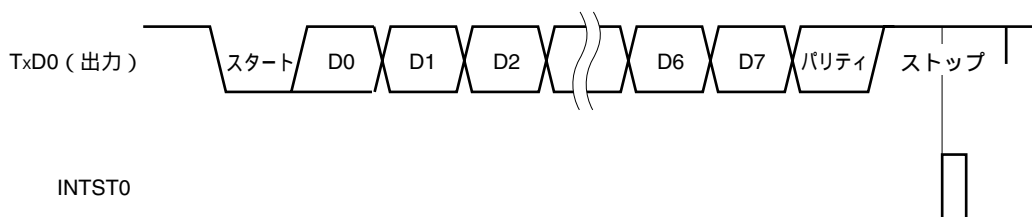
注意 TXS0に送信データを書き込んでから送信完了割り込み信号(INTST0)が発生するまで、次の送信データを書き込まないでください。

図13-8 送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 受信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)のビット7 (POWER0) をセット (1) し、次にASIM0のビット5 (RXE0) をセット (1) すると受信許可状態となり、RxD0 端子入力のサンプリングを行います。

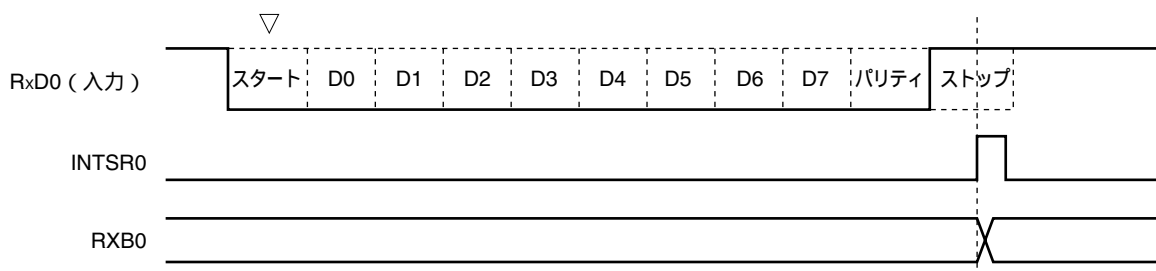
RxD0端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定値をカウントした時点で、再度RxD0端子入力をサンプリング (図13 - 9の 印に相当) した結果、RxD0端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ0 (RXS0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR0) を発生すると同時に、RXS0のデータは受信バッファ・レジスタ0 (RXB0) に書き込まれます。ただし、オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0に書き込まれません。

受信途中に、パリティ・エラー (PE0) が発生しても、ストップ・ビットの受信位置までは、受信を継続し、受信完了後に受信エラー割り込み (INTSR0) を発生します。

INTSR0は、受信完了時および受信エラー時に発生します。

図13 - 9 受信完了割り込み要求タイミング



注意1. 受信エラーが発生した場合は、アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。

RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。

(e) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み (INTSR0) を発生します。

受信エラー割り込み (INTSR0) 処理内で、ASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図13 - 3参照)。

ASIS0の内容は、ASIS0を読み出すことによって、クリア (0) されます。

表13 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信完了

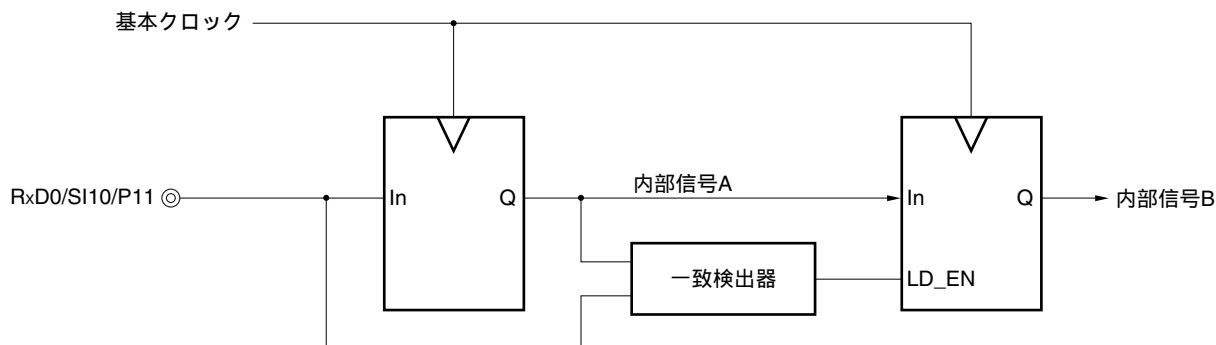
(f) 受信データのノイズ・フィルタ

プリスケラ部出力の基本クロックでRxD0信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図13 - 10のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図13 - 10 ノイズ・フィルタ回路



13.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と5ビットのプログラマブル・カウンタにより構成され、UART0における送受信時のシリアル・クロックを生成します。

なお、5ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース・モード動作レジスタ0 (ASIM0) のビット7 (POWER0) = 1のとき、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (TPS01, TPS00) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{XCLK0} と呼びます。POWER0 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0またはビット6 (TXE0) = 0のときはクリア (0) の状態で動作を停止します。

POWER0 = 1かつTXE0 = 1でカウントをスタートします。

最初の送信では送信シフト・レジスタ0 (TXS0) への書き込みでカウンタをクリア (0) します。

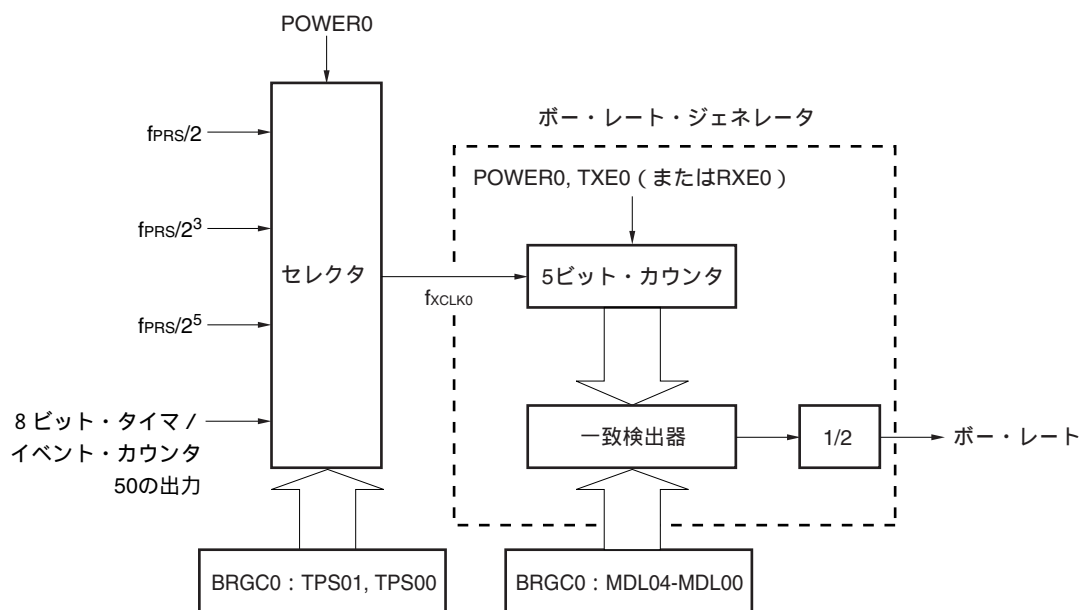
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0またはビット5 (RXE0) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図13 - 11 ポー・レート・ジェネレータの構成



- 備考** POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7
 TXE0 : ASIM0のビット6
 RXE0 : ASIM0のビット5
 BRGC0 : ポー・レート・ジェネレータ・コントロール・レジスタ0

(2) シリアル・クロックの生成

ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定により、生成するシリアル・クロックを指定できます。

BRGC0のビット7, 6 (TPS01, TPS00) により、5ビット・カウンタへの入力クロックの選択を、ビット4-0 (MDL04-MDL00) により、5ビット・カウンタの分周値 ($f_{CLK0}/8 - f_{CLK0}/31$) を設定できます。

13.4.4 ボー・レートの算出

(1) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK0}}}{2 \times k} \text{ [bps]}$$

f_{CLK0} : BRGC0レジスタのTPS01, TPS00ビットで選択した基本クロックの周波数

k : BRGC0レジスタのMDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

表13-4 TPS01, TPS00の設定値

TPS01	TPS00	基本クロック (f_{CLK0}) 選択				
		$f_{\text{PRS}} = 2 \text{ MHz}$	$f_{\text{PRS}} = 5 \text{ MHz}$	$f_{\text{PRS}} = 10 \text{ MHz}$	$f_{\text{PRS}} = 20 \text{ MHz}$	
0	0	TM50の出力 ^注				
0	1	$f_{\text{PRS}}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
1	0	$f_{\text{PRS}}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
1	1	$f_{\text{PRS}}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz

注 TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード ($\text{TMC506} = 0$)

タイムF/Fの反転動作を許可 ($\text{TMC501} = 1$) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード ($\text{TMC506} = 1$)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 ($\text{TOE50} = 1$) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC0レジスタのMDL04-MDL00ビットの設定値 = 10000B (k = 16)

目標ボー・レート = 76800 bps

ボー・レート = 2.5 M / (2 × 16)

= 2,500,000 / (2 × 16) = 78125 [bps]

誤差 = (78125 / 76800 - 1) × 100

= 1.725 [%]

(3) ボー・レート設定例

表13-5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz				f _{PRS} = 20.0 MHz			
	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]
4800	2H	26	4808	0.16	3H	16	4883	1.73	-	-	-	-	-	-	-	-
9600	2H	13	9615	0.16	3H	8	9766	1.73	3H	16	9766	1.73	-	-	-	-
10400	2H	12	10417	0.16	2H	30	10417	0.16	3H	15	10417	0.16	3H	30	10417	0.16
19200	1H	26	19231	0.16	2H	16	19531	1.73	3H	8	19531	1.73	3H	16	19531	1.73
24000	1H	21	23810	-0.79	2H	13	24038	0.16	2H	26	24038	0.16	3H	13	24038	0.16
31250	1H	16	31250	0	2H	10	31250	0	2H	20	31250	0	3H	10	31250	0
33600	1H	15	33333	-0.79	2H	9	34722	3.34	2H	19	32895	-2.1	3H	9	34722	3.34
38400	1H	13	38462	0.16	2H	8	39063	1.73	2H	16	39063	1.73	3H	8	39063	1.73
56000	1H	9	55556	-0.79	1H	22	56818	1.46	2H	11	56818	1.46	2H	22	56818	1.46
62500	1H	8	62500	0	1H	20	62500	0	2H	10	62500	0	2H	20	62500	0
76800	-	-	-	-	1H	16	78125	1.73	2H	8	78125	1.73	2H	16	78125	1.73
115200	-	-	-	-	1H	11	113636	-1.36	1H	22	113636	-1.36	2H	11	113636	-1.36
153600	-	-	-	-	1H	8	156250	1.73	1H	16	156250	1.73	2H	8	156250	1.73
312500	-	-	-	-	-	-	-	-	1H	8	312500	0	1H	16	312500	0
625000	-	-	-	-	-	-	-	-	-	-	-	-	1H	8	625000	0

備考 TPS01, TPS00 : ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (基本クロック (f_{CLK0}) 設定)

k : BRGC0のMDL04-MDL00ビットで設定した値 (k = 8, 9, 10, ..., 31)

f_{PRS} : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図13 - 12 受信時の許容ポー・レート範囲

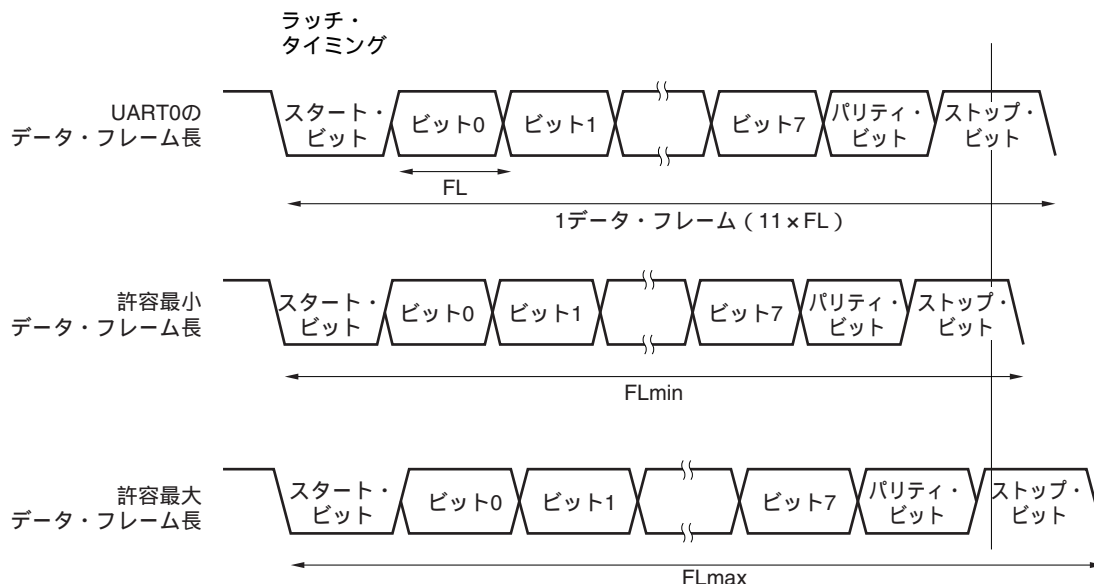


図13 - 12に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART0のポー・レート

k : BRGC0の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ポー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表13-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
16	+4.14 %	-4.19 %
24	+4.34 %	-4.38 %
31	+4.44 %	-4.47 %

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC0の設定値

第14章 シリアル・インタフェースUART60, UART61

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
シリアル・インタフェースUART60		
シリアル・インタフェースUART61	-	注

注 UART61はLIN (Local Interconnect Network) - bus非対応です。

注意 UART61の受信を使用すると, TM01のINTTM001は使用できません (64ピンのみ)。

UART61の送信を使用すると, TM01のINTTM011は使用できません (64ピンのみ)。

備考 : 搭載, - : 非搭載

14.1 シリアル・インタフェースUART60, UART61の機能

シリアル・インタフェースUART60, UART61には, 次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については14.4.1 動作停止モードを参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については14.4.2 アシクロナス・シリアル・インタフェース (UART) モード, 14.4.3 専用ポー・レート・ジェネレータを参照してください。

UART60のみ, LIN (Local Interconnect Network) - bus対応のUARTモードです。

- ・最大転送速度 : 625 kbps
- ・2端子構成 TxD6n : 送信データの出力端子
RxD6n : 受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより, 任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (UART60のみSBF受信フラグあり)

備考 n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

- 注意1. TxD6n出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6n出力反転機能を使用する場合、相手側も反転レベルで受信してください。
2. シリアル・インタフェースUART6nへの供給クロックが停止しない場合（例：HALTモード）では、正常動作が続きます。シリアル・インタフェースUART6nへの供給クロックが停止する場合（例：STOPモード）では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6n端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6n = 0, RXE6n = 0, TXE6n = 0として、回路をリセットしてください。
 3. 通信開始する場合、POWER6n = 1に設定後、TXE6n = 1（送信）またはRXE6n = 1（受信）に設定してください。
 4. TXE6nとRXE6nは、CKSR6nで設定した基本クロック（fxCLK6n）により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
 5. TXE6n = 1に設定したあと、基本クロック（fxCLK6n）1クロック以上待つてから、TXB6nに送信データを設定してください。
 6. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、UART60はLIN通信動作で使用する場合は連続送信機能を使用しないでください。

- 備考1. n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

2. LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

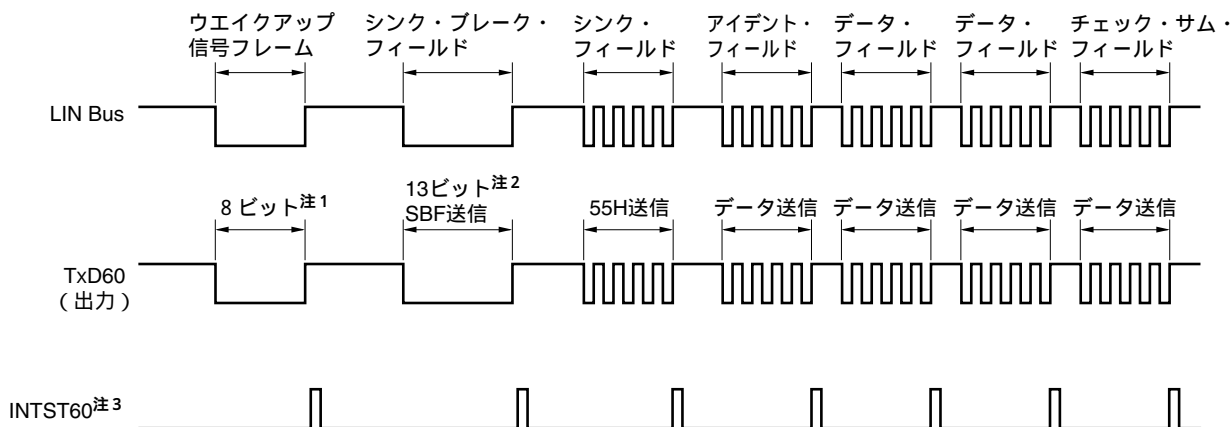
LINのマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図14 - 1, 14 - 2に示します。

図14 - 1 LINの送信操作



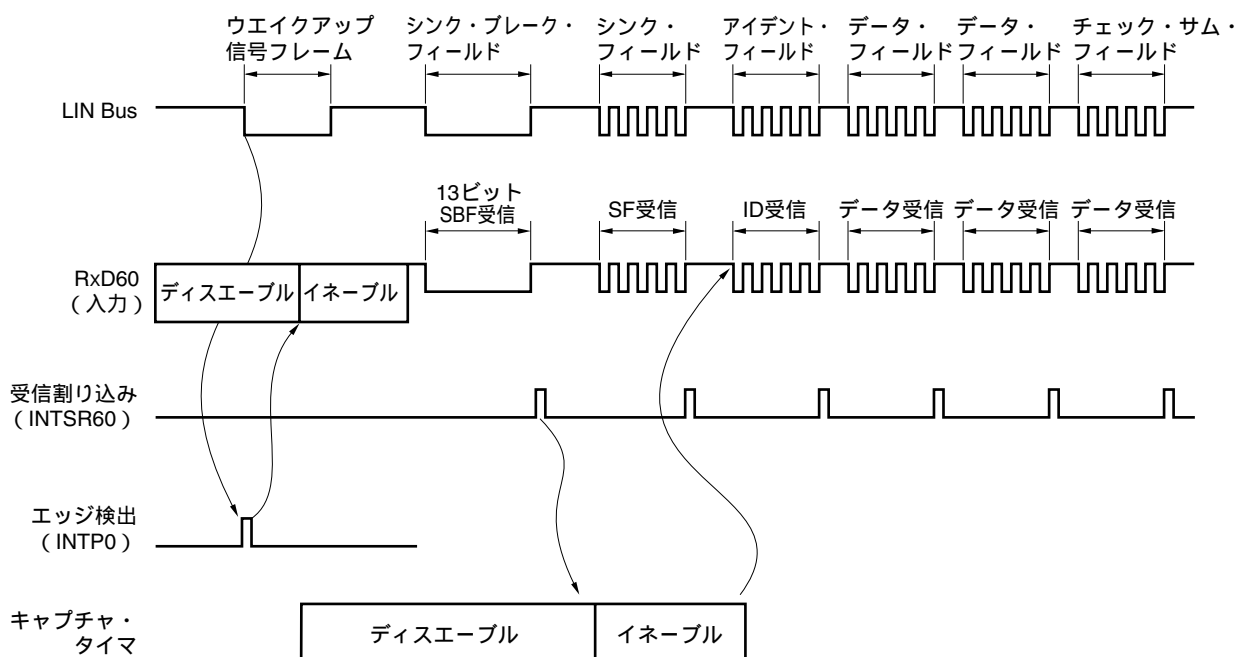
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット4-2 (SBL602-SBL600) で設定したビット長になります (14.4.2 (2) (h) SBF送信を参照)。

3. 各送信終了時にはINTST60を出力します。またSBF送信時もINTST60を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図14 - 2 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART60をイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ/イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（6. 4. 8 **パルス幅測定としての動作**を参照）。また、OVE60, PE60, FE60の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB60のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からボー・レート誤差を算出し、SF受信後にUART60のイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ60（BRGC60）を再セットしてください。

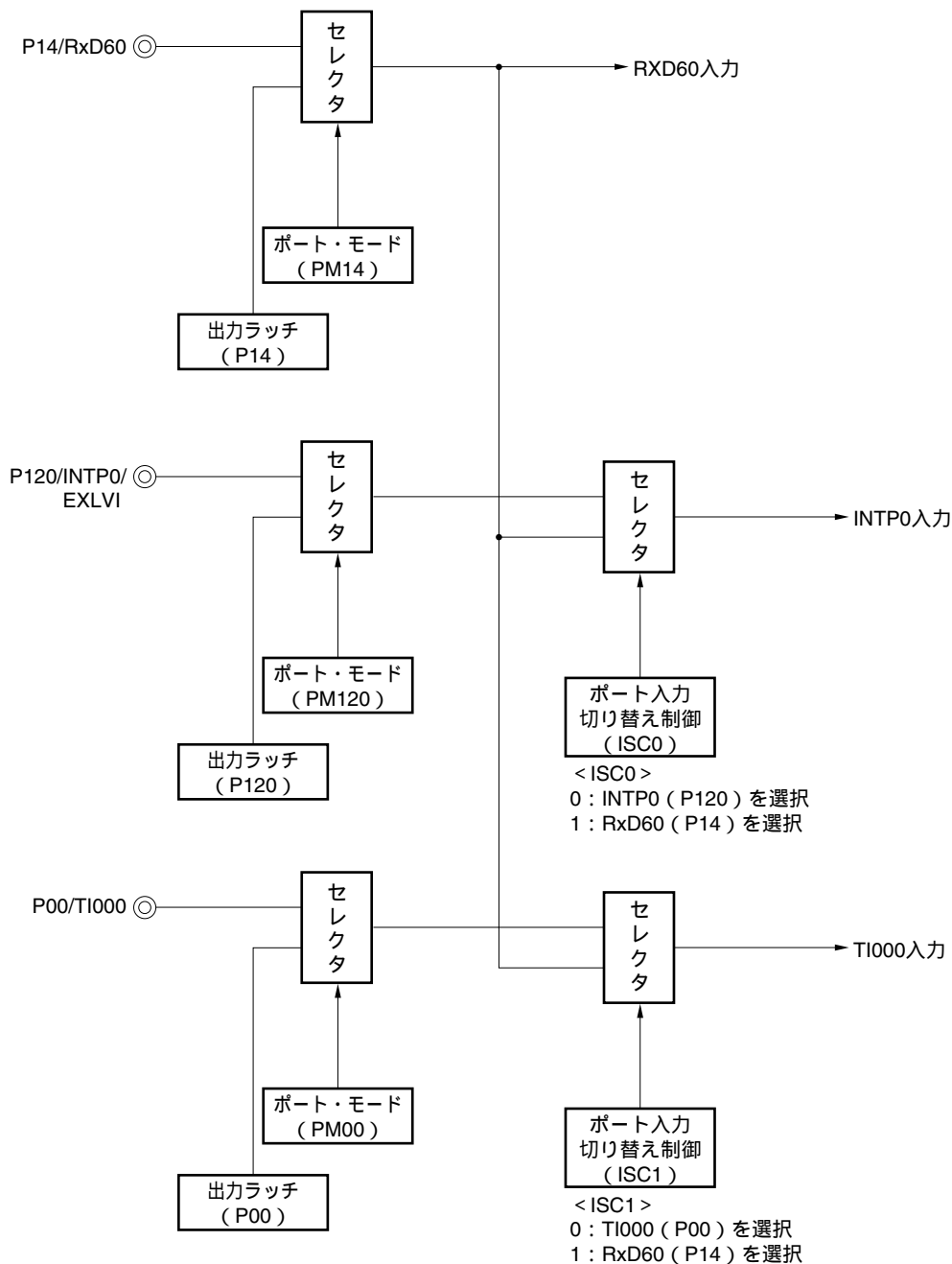
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART60を初期化し、再びSBF受信モードに設定する処理もソフトウェアで行ってください。

図14 - 3はLINの受信操作のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部でRxD60とINTP0, TI000の結線をせずに、受信ポート入力(RxD60)の入力ソースを外部割り込み(INTP0) および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図14 - 3 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図14 - 11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI000 入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・インタフェースUART60

14.2 シリアル・インタフェースUART60, UART61の構成

シリアル・インタフェースUART60, UART61は, 次のハードウェアで構成しています。

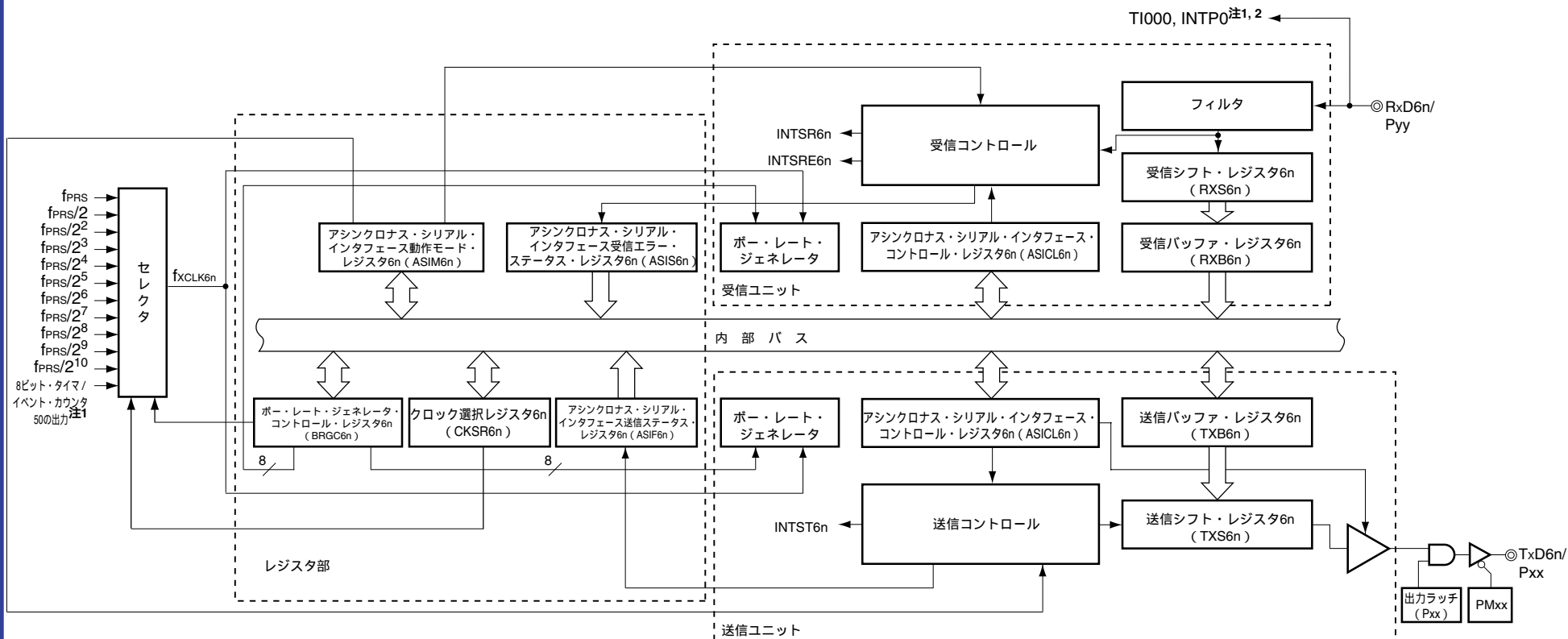
表14 - 1 シリアル・インタフェースUART6nの構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6n (RXB6n) 受信シフト・レジスタ6n (RXS6n) 送信バッファ・レジスタ6n (TXB6n) 送信シフト・レジスタ6n (TXS6n)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) クロック選択レジスタ6n (CKSR6n) ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ1, 4 (PM1, PM4) ポート・レジスタ1, 4 (P1, P4)

備考 n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

図14-4 シリアル・インタフェースUART60, UART61のブロック図



注1. UART60のみ

2. 入力切り替え制御レジスタ (ISC) にて選択可能。

備考 n = 0, xx = 13, yy = 14

n = 1, xx = 42, yy = 43

(n = 0 : 78K0/KC2-C, n = 0, 1 : 78K0/KE2-C)

(1) 受信バッファ・レジスタ6n (RXB6n)

受信シフト・レジスタ6n (RXS6n) で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとにRXS6nから新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・LSBファースト受信時では、受信データはRXB6nのビット0-6に転送され、RXB6nのMSBは必ず0になります。
- ・MSBファースト受信時では、受信データはRXB6nのビット1-7に転送され、RXB6nのLSBは必ず0になります。

オーバラン・エラー (OVE6n) が発生した場合、そのときの受信データはRXB6nには転送されません。

RXB6nは、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6n (RXS6n)

RxD6n端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6nはプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6n (TXB6n)

送信データを設定する、バッファ・レジスタです。TXB6nへ送信データを書き込むことにより、送信動作が開始されます。

TXB6nは8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) のビット1 (TXBF6n) が1のとき、TXB6nにデータを書き込まないでください。

2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでTXB6nへのリフレッシュ (同値書き込み) 動作を行わないでください。

3. TXE6n = 1に設定したあと、基本クロック (f_{XCLK6n}) 1クロック以上待ってから、TXB6nに送信データを設定してください。

(4) 送信シフト・レジスタ6n (TXS6n)

TXB6nから転送されたデータをシリアル・データとしてTxD6n端子から送信します。TXB6nからのデータ転送は、最初の送信時ではTXB6nの書き込み直後、連続送信時では1フレーム送信後のINTST6n発生直前のタイミングで転送されます。またTXB6nからのデータ転送とTxD6n端子からの送信は、基本クロックの立ち下がりのタイミングで行われます。

TXS6nはプログラムで直接操作できません。

備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

14.3 シリアル・インタフェースUART60, UART61を制御するレジスタ

シリアル・インタフェースUART60, UART61は、次の9種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)
- ・ クロック選択レジスタ6n (CKSR6n)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1, 4 (PM1, PM4)
- ・ ポート・レジスタ1, 4 (P1, P4)

(1) アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)

シリアル・インタフェースUART6nのシリアル通信動作を制御する8ビット・レジスタです。ASIM6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、01Hになります。

備考1. n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

2. 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASIM6nへのリフレッシュ (同値書き込み) 動作を行うことができます。

図14 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のフォーマット (1/2)

アドレス : FF50H (UART60), FF90H (UART61) リセット時 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM6n	POWER6n	TXE6n	RXE6n	PS6n1	PS6n0	CL6n	SL6n	ISRM6n

POWER6n	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6n	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE6n	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. 送信中にPOWER6n = 0にすると, TxD6n端子の出力はハイ・レベルに固定されます (TXDLV6n = 0の場合)。また, RxD6n端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n), アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット7 (SBRF6n) とビット6 (SBRT6n), 受信バッファ・レジスタ6n (RXB6n) です。

備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

図14 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のフォーマット (2/2)

PS6n1	PS6n0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6n	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6n	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6n	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSRE6n” が発生 (このときINTSR6nは発生しない)
1	エラー発生時の割り込みに “INTSR6n” が発生 (このときINTSRE6nは発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) のビット2 (PE6n) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER6n = 1にしてから、TXE6n = 1としてください。送信停止するときにはTXE6n = 0にしてから、POWER6n = 0としてください。
2. 受信開始するときはPOWER6n = 1にしてから、RXE6n = 1としてください。受信停止するときにはRXE6n = 0にしてから、POWER6n = 0としてください。
3. RxD6n端子にハイ・レベルが入力された状態でPOWER6n = 1 RXE6n = 1 と設定してください。ロウ・レベルのときにPOWER6n = 1 RXE6n = 1 と設定すると、受信を開始してしまいます。
4. TXE6nとRXE6nは、CKSR6nで設定した基本クロック (f_{CLK6n}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6n = 0またはRXE6n = 0に設定してから基本クロック2クロック以降にTXE6n = 1またはRXE6n = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6n = 1に設定したあと、基本クロック (f_{CLK6n}) 1クロック以上待ってから、TXB6nに送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6n, RXE6nビットをクリア (0) してから行ってください。
7. UART60はLIN通信動作で使用する場合、PS6n1, PS6n0ビットを0に固定してください。
8. SL6nビットを書き換えるときは、TXE6nをクリア (0) してから行ってください。また、受信は常に “ストップ・ビット数 = 1” として動作するので、SL6nビットの設定値の影響は受けません。
9. ISRM6nビットを書き換えるときは、RXE6n = 0にしてから行ってください。

備考 n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)

シリアル・インタフェースUART6nの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6n, FE6n, OVE6n) で構成されています。

ASIS6nは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6nのビット7 (POWER6n) = 0、ビット5 (RXE6n) = 0により、00Hになります。また、読み出しにより、00Hになります。受信エラーが発生した場合は、ASIS6nを読み出したあと、受信バッファ・レジスタ6n (RXB6n) を読み出し、エラー・フラグをクリアしてください。

図14 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) のフォーマット

アドレス : FF53H (UART60), FF93H (UART61) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6n	0	0	0	0	0	PE6n	FE6n	OVE6n

PE6n	パリティ・エラーを示すステータス・フラグ
0	POWER6n = 0およびRXE6n = 0に設定したとき、または、ASIS6nレジスタのリード
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき

FE6n	フレーミング・エラーを示すステータス・フラグ
0	POWER6n = 0およびRXE6n = 0に設定したとき、または、ASIS6nレジスタのリード
1	受信完了時、ストップ・ビットが検出されないとき

OVE6n	オーバラン・エラーを示すステータス・フラグ
0	POWER6n = 0およびRXE6n = 0に設定したとき、または、ASIS6nレジスタのリード
1	RXB6nレジスタに受信データがセットされ、それを読み出す前に次の受信動作が完了したとき

- 注意1. PE6nビットの動作は、アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のPS6n1, PS6n0ビットの設定値により異なります。
2. 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 3. オーバラン・エラーが発生した場合、次の受信データは受信バッファ・レジスタ6n (RXB6n) には書き込まれず、データは破棄されます。
 4. ASIS6nからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに、ASIS6nからデータを読み出さないでください。

備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)

シリアル・インタフェースUART6nの送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6n, TXSF6n) で構成されています。

TXB6nレジスタからTXS6nレジスタへデータが転送されたあとに、次のデータをTXB6nレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6nは、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6nのビット7 (POWER6n) = 0, ビット6 (TXE6n) = 0により、00Hになります。

図14 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) のフォーマット

アドレス : FF55H (UART60), FF95H (UART61) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6n	0	0	0	0	0	0	TXBF6n	TXSF6n

TXBF6n	送信バッファ・データ・フラグ
0	POWER6n = 0またはTXE6n = 0に設定したとき、または、送信シフト・レジスタ6n (TXS6n) にデータを転送したとき
1	送信バッファ・レジスタ6n (TXB6n) にデータを書き込んだとき (TXB6nにデータが存在するとき)

TXSF6n	送信シフト・レジスタ・データ・フラグ
0	POWER6n = 0またはTXE6n = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6n (TXB6n) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6n (TXB6n) よりデータが転送されたとき (データ送信中のとき)

- 注意1.** 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6nレジスタに書き込んでください。TXBF6nフラグが“1”のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。
- 2.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが“0”であることを確認してから初期化を実行してください。TXSF6nフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6n (CKSR6n)

シリアル・インタフェースUART6nの基本クロックを選択するレジスタです。

CKSR6nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

- 備考1.** n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C
- 2.** 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでCKSR6nへのリフレッシュ動作 (同値書き込み) を行うことができます。

図14 - 8 クロック選択レジスタ6n (CKSR6n) のフォーマット

アドレス : FF56H (UART60), FF96H (UART61) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6n	0	0	0	0	TPS6n3	TPS6n2	TPS6n1	TPS6n0

TPS6n3	TPS6n2	TPS6n1	TPS6n0	基本クロック (f_{CLK6n}) 選択				
				$f_{PRS} =$ 2 MHz	$f_{PRS} =$ 5 MHz	$f_{PRS} =$ 10 MHz	$f_{PRS} =$ 20 MHz	
0	0	0	0	f_{PRS}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	$f_{PRS}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{PRS}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{PRS}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	$f_{PRS}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	$f_{PRS}/2^7$	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	$f_{PRS}/2^8$	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	$f_{PRS}/2^9$	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	$f_{PRS}/2^{10}$	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注1, 2}				
その他				設定禁止				

注1. UART60のみ

2. TM50出力を基本クロックとして選択する場合、次の内容に注意してください。

・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意 TPS6n3-TPS6n0を書き換える場合は、POWER6n = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

3. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : TMC50のビット1

(5) ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)

シリアル・インタフェースUART6nの8ビット・カウンタの分周値を設定するレジスタです。

BRGC6nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでBRGC6nへのリフレッシュ動作 (同値書き込み) を行うことができます。

図14 - 9 ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) のフォーマット

アドレス : FF57H (UART60), FF97H (UART61) リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6n	MDL6n7	MDL6n6	MDL6n5	MDL6n4	MDL6n3	MDL6n2	MDL6n1	MDL6n0

MDL6n7	MDL6n6	MDL6n5	MDL6n4	MDL6n3	MDL6n2	MDL6n1	MDL6n0	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6n}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6n}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6n}/6$
.
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{XCLK6n}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6n}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6n}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6n}/255$

注意1. MDL6n7-MDL6n0ビットを書き換える場合は、ASIM6nレジスタのビット6 (TXE6n) = 0, ビット5 (RXE6n) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値となります。

備考1. f_{XCLK6n} : CKSR6nレジスタのTPS6n3-TPS6n0ビットで選択した基本クロックの周波数

2. n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

3. k : MDL6n7-MDL6n0ビットで設定した値 (k = 4, 5, 6, ..., 255)

4. x : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)

シリアル・インタフェースUART6nのシリアル通信動作を制御するレジスタです。

ASICL6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

注意 通信動作中 (ASIM6nのビット7, 6 (POWER6n, TXE6n) = 1, 1, またはASIM6nのビット7, 5 (POWER6n, RXE6n) = 1, 1) に、ソフトウェアでASICL6nへのリフレッシュ動作 (同値書き込み) を行うことができます。ただしUART60では、SBF受信 (SBRF60 = 1) またはSBF送信中 (SBTT60をセット (1) 後からINTST60発生までの間) に、リフレッシュ動作でSBRT60 = 1, SBTT60 = 1に設定すると、SBF受信, SBF送信の再トリガ要因となるため、設定しないでください。

図14 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のフォーマット (1/2)

アドレス : FF58H (UART60), FF55H (UART61) リセット時 : 16H RW^{注1}

略号	7	6	5	4	3	2	1	0
ASICL6n	SBRF60 ^{注2}	SBRT60 ^{注2}	SBTT60 ^{注2}	SBL602 ^{注2}	SBL601 ^{注2}	SBL600 ^{注2}	DIR6n	TXDLV6n

SBRF60 ^{注2}	SBF受信状態フラグ
0	POWER6n = 0およびRXE6n = 0に設定したとき, またはSBF受信が正常終了したとき
1	SBF受信中

SBRT60 ^{注2}	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT60 ^{注2}	SBF送信トリガ
0	-
1	SBF送信トリガ

注1. ビット7はRead Onlyです。

2. UART60のみ

備考 n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

図14 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)のフォーマット(2/2)

SBL602 ^注	SBL601 ^注	SBL600 ^注	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6n	先頭ビットの指定
0	MSB
1	LSB

TXDLV6n	TxD6n出力反転許可 / 禁止
0	TxD6n通常出力
1	TxD6n反転出力

注 UART60のみ

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF60フラグの状態は保持(1)されます。
- SBRT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット5 (RXE60) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT60ビットをクリア(0)しないでください。
 - SBRT60ビットのリード値は常に0です。SBF受信正常終了後、SBRT60は自動的にクリア(0)されます。
 - SBTT60ビットは、ASIM60のビット7 (POWER60) = 1, かつビット6 (TXE60) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT60ビットをクリア(0)しないでください。
 - SBTT60ビットのリード値は常に0です。SBF送信終了後、SBTT60は自動的にクリア(0)されます。
 - SBRT60ビットは受信動作中に、SBTT60ビットは送信動作中に、セット(1)しないでください。
 - DIR60, TXDLV60ビットを書き換えるときは、TXE60, RXE60ビットをクリア(0)にしてから行ってください。
 - TXDLV60ビットを1 (TxD60反転出力) に設定している場合、POWER60, TXE60の設定に関係なく、TxD60/P13端子を汎用ポートとして使用することはできません。TxD60/P13端子を汎用ポートとして使用する場合は、TXDLV60ビットを0 (TxD60通常出力) に設定してください。

備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

(7) 入力切り替え制御レジスタ (ISC)

UART60は、LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP14/RxD60端子からの入力信号に切り替わります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択
0	TI000 (P00)
1	RxD60 (P14)

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD60 (P14)

(8) ポート・モード・レジスタ1, 4 (PM1, PM4)

ポート1, 4の入力 / 出力を1ビット単位で設定するレジスタです。

P13/TxD60, P42/TxD61端子をシリアル・インタフェースのデータ出力として使用するとき, PM13, PM42に0を, P13, P42の出力ラッチに1を設定してください。

P14/RxD60, P43/RxD61端子をシリアル・インタフェースのデータ入力として使用するとき, PM14, PM43に1を設定してください。このときP14, P43の出力ラッチは, 0または1のどちらでもかまいません。

PM1, PM4は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14 - 12 ポート・モード・レジスタ1, 4 (PM1, PM4) のフォーマット

アドレス : FF21H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10		

アドレス : FF24H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PM4	1	1	1	1	PM43 ^注	PM42 ^注	PM41	PM40		

PMmn	Pmn端子の入出力モードの選択 (m = 1, 4 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KE2-Cのみ

14.4 シリアル・インタフェースUART60, UART61の動作

シリアル・インタフェースUART60, UART61は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

14.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6nのビット7, 6, 5 (POWER6n, TXE6n, RXE6n) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)で行います。

ASIM6nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H (UART60), FF90H (UART61) リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6n	POWER6n	TXE6n	RXE6n	PS61n	PS60n	CL6n	SL6n	ISRM6n

POWER6n	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6n	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6n	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. 送信中にPOWER6n = 0にすると、TxD6n端子の出力はハイ・レベルに固定されます (TXDLV6n = 0の場合)。また、RxD6n端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット7 (SBRF6n) とビット6 (SBRT6n), 受信バッファ・レジスタ6 (RXB6n) です。

注意 動作停止するときは、TXE6n = 0, RXE6n = 0にしてから、POWER6n = 0 にしてください。通信開始するときは、POWER6n = 1 にしてから、TXE6n = 1, RXE6n = 1にしてください。

備考1. n = 0 : 78K0/KC2-C, n = 0, 1 : 78K0/KE2-C

2. RxD60/P14, TxD60/P13, RxD61/P43, TxD61/P42端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

14. 4. 2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n)
- ・ クロック選択レジスタ6n (CKSR6n)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1, 4 (PM1, PM4)
- ・ ポート・レジスタ1, 4 (P1, P4)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6nレジスタを設定 (図14 - 8を参照)

BRGC6nレジスタを設定 (図14 - 9を参照)

ASIM6nレジスタのビット0-4 (ISRM6n, SL6n, CL6n, PS6n0, PS6n1) を設定 (図14 - 5を参照)

ASICL6nレジスタのビット0, 1 (TXDLV6n, DIR6n) を設定 (図14 - 10を参照)

ASIM6nレジスタのビット7 (POWER6n) をセット (1)

ASIM6nレジスタのビット6 (TXE6n) をセット (1) 送信可能

ASIM6nレジスタのビット5 (RXE6n) をセット (1) 受信可能

送信バッファ・レジスタ6 (TXB6n) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

備考 n = 0 : 78K0/KC2-C

 n = 0, 1 : 78K0/KE2-C

レジスタの設定と端子の関係を次に示します。

表14 - 2 レジスタの設定と端子の関係

(a) シリアル・インタフェースUART60

POWER60	TXE60	RXE60	PM13	P13	PM14	P14	UART60 の動作	端子機能	
								TxD60/P13	RxD60/P14
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P13	P14
1	0	1	x ^注	x ^注	1	x	受信	P13	RxD60
	1	0	0	1	x ^注	x ^注	送信	TxD60	P14
	1	1	0	1	1	x	送受信	TxD60	RxD60

(b) シリアル・インタフェースUART61

POWER61	TXE61	RXE61	PM42	P42	PM43	P43	UART61 の動作	端子機能	
								TxD61/P42	RxD61/P43
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	P42	P43
1	0	1	x ^注	x ^注	1	x	受信	P42	RxD61
	1	0	0	1	x ^注	x ^注	送信	TxD61	P43
	1	1	0	1	1	x	送受信	TxD61	RxD61

注 ポート機能として設定することができます。

備考1. n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

2. x : don't care

POWER6n : アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7

TXE6n : ASIM6nのビット6

RXE6n : ASIM6nのビット5

PM x x : ポート・モード・レジスタ

P x x : ポート出力ラッチ

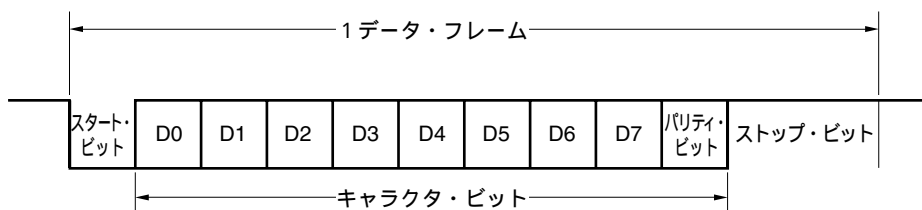
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

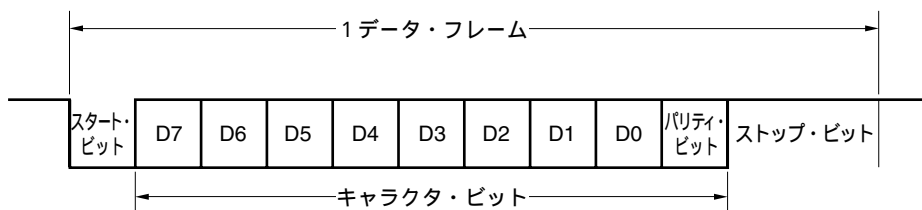
通常送受信データのフォーマットと波形例を図14 - 13, 14 - 14に示します。

図14 - 13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

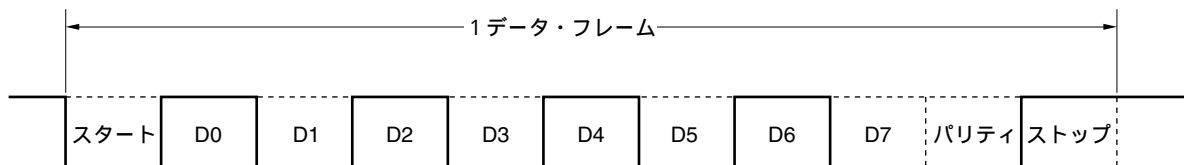
1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) によって行います。

データはLSBファースト/MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6n (ASICL6n) のビット1 (DIR6n) で設定して通信します。

また, TxD6n端子の通常出力/反転出力をASICL6nのビット0 (TXDLV6n) で設定します。

図14 - 14 通常UART送受信データの波形例 (1/2)

1. データ長: 8ビット, LSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



3. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H, TxD6n端子反転出力

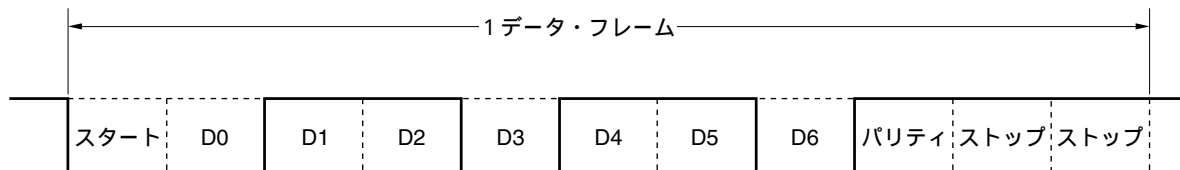


備考 n = 0 : 78K0/KC2-C

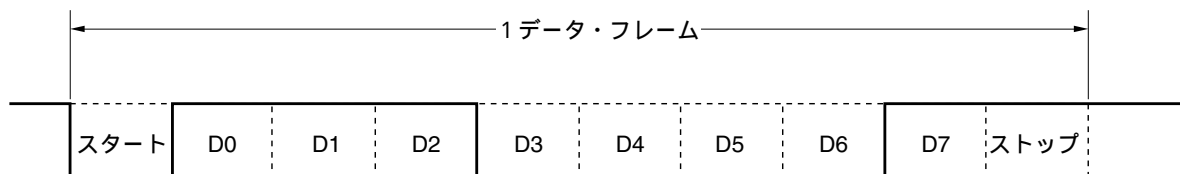
n = 0, 1 : 78K0/KE2-C

図14 - 14 通常UART送受信データの波形例 (2/2)

4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

注意 UART60はLIN通信動作で使用する場合、PS601, PS600ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個 : 1

送信データ中に、値が“1”のビット数が偶数個 : 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット6 (TXE6n) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6n (TXB6n) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXB6n内のデータは送信シフト・レジスタ6n (TXS6n) に転送されます。その後、送信データがTXS6nより順次、TxD6n端子に出力されます。送信が完了すると、ASIM6nで設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6n) が発生します。

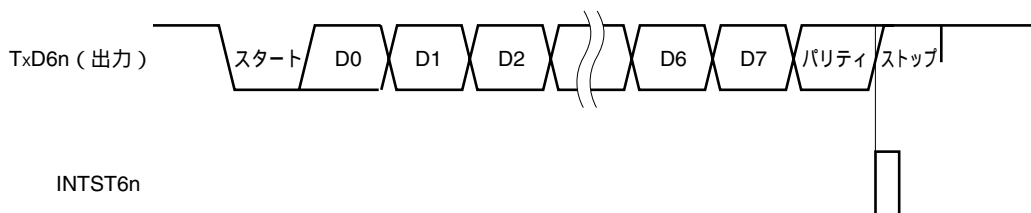
次に送信するデータをTXB6nに書き込むまで、送信動作は中断します。

送信完了割り込み要求 (INTST6n) のタイミングを図14 - 15に示します。INTST6nは、最後のストップ・ビット出力と同時に発生します。

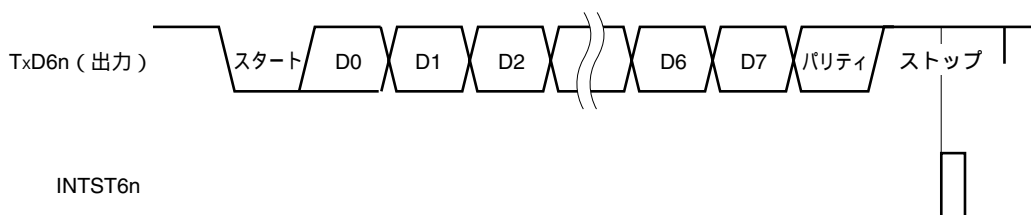
備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

図14 - 15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 連続送信

送信シフト・レジスタ6n (TXS6n) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6n (TXB6n) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6n 割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6n (ASIF6n) のビット0 (TXSF6n) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6nレジスタへの書き込みができます。

連続送信する場合は、必ずASIF6nレジスタを参照し、送信状態とTXB6nレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

注意1. 連続送信でASIF6nレジスタのTXBF6n, TXSF6nフラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6n, TXSF6nフラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6nフラグのみを読み出してください。

2. UART60はLIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60 (ASIF60) が00Hになっていることを確認してから、送信バッファ・レジスタ60 (TXB60) に送信データを書き込んでください。

備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

TXBF6n	TXB6nレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6nレジスタに書き込んだあと、必ずTXBF6nフラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6nレジスタに書き込んでください。TXBF6nフラグが“1”のときにTXB6nレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF6nフラグで、通信状態を確認することができます。

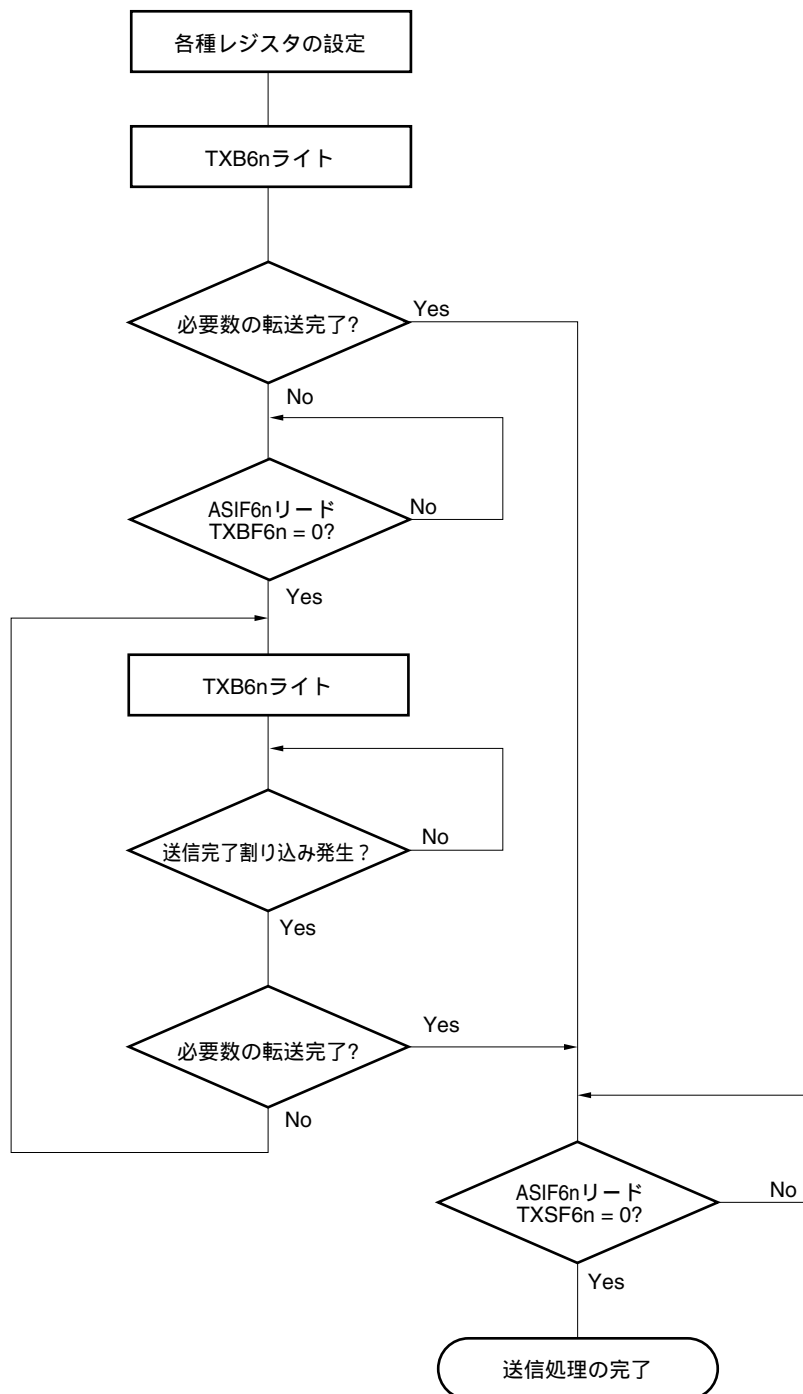
TXSF6n	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6nフラグが“0”であることを確認してから初期化を実行してください。TXSF6nフラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6n割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6nフラグを参照することで検出できます。

備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

連続送信の処理フロー例を図14 - 16に示します。

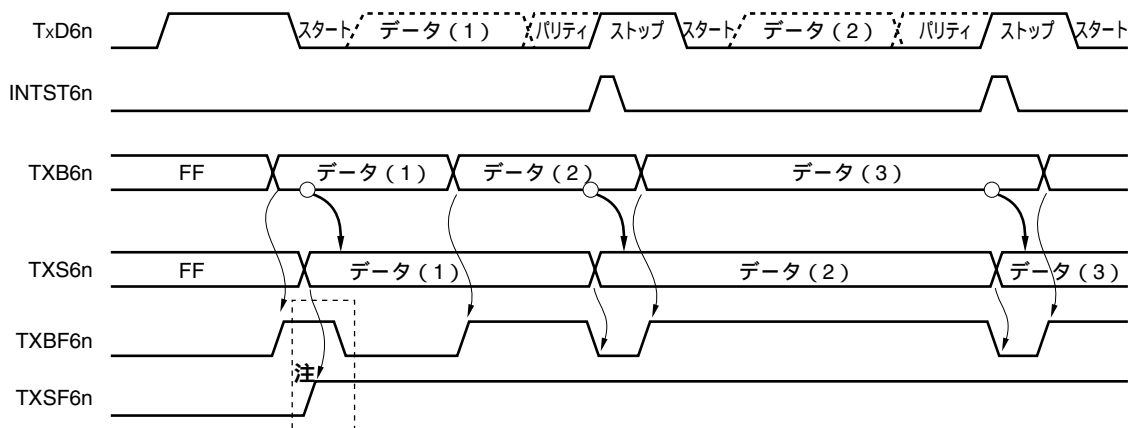
図14 - 16 連続送信の処理フロー例



- 備考1. n = 0 : 78K0/KC2-C
 n = 0, 1 : 78K0/KE2-C
2. TXB6n : 送信バッファ・レジスタ6n
 ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n
 TXBF6n : ASIF6nのビット1 (送信バッファ・データ・フラグ)
 TXSF6n : ASIF6nのビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図14 - 17に、連続送信を終了する際のタイミングを図14 - 18に示します。

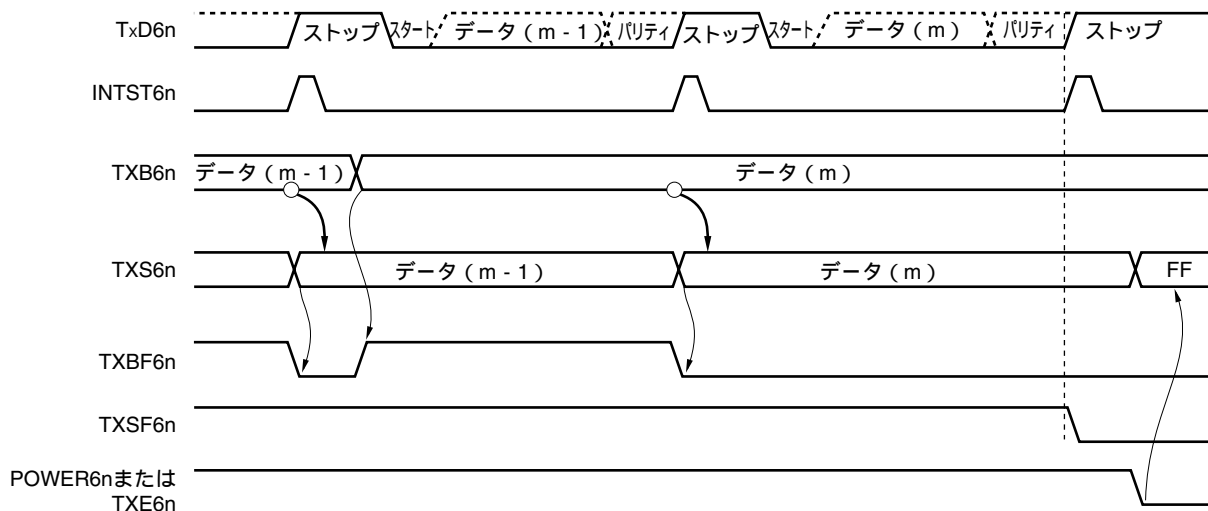
図14 - 17 連続送信を開始する際のタイミング



注 ASIF6nをリードした場合、TXBF6n, TXSF6n = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6nビットのみで判断してください。

- 備考1. n = 0 : 78K0/KC2-C
 n = 0, 1 : 78K0/KE2-C
2. TxD6n : TxD6n端子 (出力)
 INTST6n : 割り込み要求信号
 TXB6n : 送信バッファ・レジスタ6n
 TXS6n : 送信シフト・レジスタ6n
 ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n
 TXBF6n : ASIF6nのビット1
 TXSF6n : ASIF6nのビット0

図14 - 18 連続送信を終了する際のタイミング



- 備考1. n = 0 : 78K0/KC2-C
 n = 0, 1 : 78K0/KE2-C
2. TxD6n : TxD6n端子 (出力)
 INTST6n : 割り込み要求信号
 TXB6n : 送信バッファ・レジスタ6n
 TXS6n : 送信シフト・レジスタ6n
 ASIF6n : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6n
 TXBF6n : ASIF6nのビット1
 TXSF6n : ASIF6nのビット0
 POWER6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6n) のビット7
 TXE6n : アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6n) のビット6

(e) 通常受信

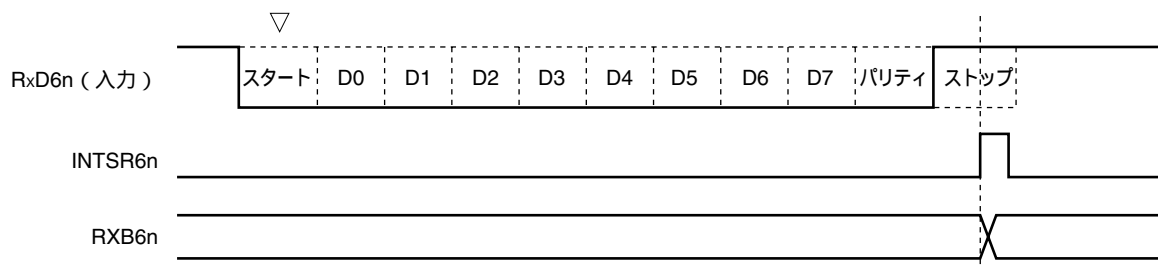
アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) をセット (1) し、次にASIM6nのビット5 (RXE6n) をセット (1) すると受信許可状態となり、RxD6n端子入力のサンプリングを行います。

RxD6n端子入力の立ち下がりを検出すると、ポーレート・ジェネレータの8ビット・カウンタがカウントを開始し、ポーレート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) の設定値をカウントした時点で、再度RxD6n端子入力をサンプリング (図14 - 19の印に相当) した結果、RxD6n端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポーレートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6n) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6n) を発生すると同時に、RXS6nのデータは受信バッファ・レジスタ6n (RXB6n) に書き込まれます。ただし、オーバラン・エラー (OVE6n) が発生した場合、そのときの受信データはRXB6nに書き込みません。

受信途中に、パリティ・エラー (PE6n) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み (INTSR6n/INTSRE6n) を発生します。

図14 - 19 受信完了割り込み要求タイミング



- 備考 n = 0 : 78K0/KC2-C
 n = 0, 1 : 78K0/KE2-C

- 注意1. 受信エラーが発生した場合は、ASIS6nを読み出したあと、RXB6nを読み出し、エラー・フラグをクリアしてください。RXB6nを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6nを読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6n (ASIS6n) 内に立つと、受信エラー割り込み (INTSR6n/INTSRE6n) を発生します。

受信エラー割り込み (INTSR6n/INTSRE6n) 処理内で、ASIS6nの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14 - 6参照)。

ASIS6nの内容は、ASIS6nを読み出すことによって、クリア (0) されます。

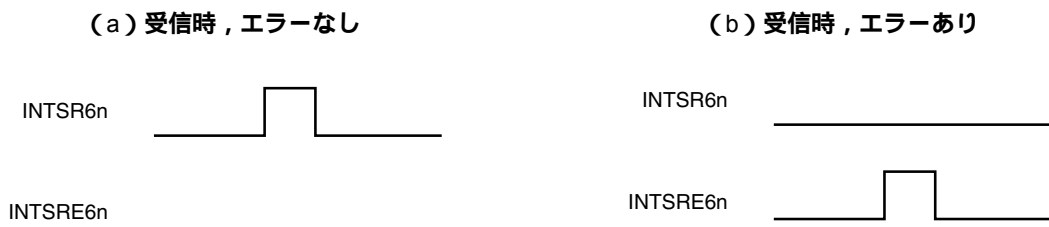
表14 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6n (RXB6n) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット0 (ISRM6n) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6n) とエラー割り込み (INTSRE6n) とに分離することができます。

図14 - 20 受信エラー割り込み (1/2)

1. ISRM6nに0を設定した場合 (受信完了割り込み (INTSR6n) とエラー割り込み (INTSRE6n) とに分離する)



備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

図14 - 20 受信エラー割り込み (2/2)

2. ISRM6nに1を設定した場合 (エラー割り込みもINTSR6nに含める)



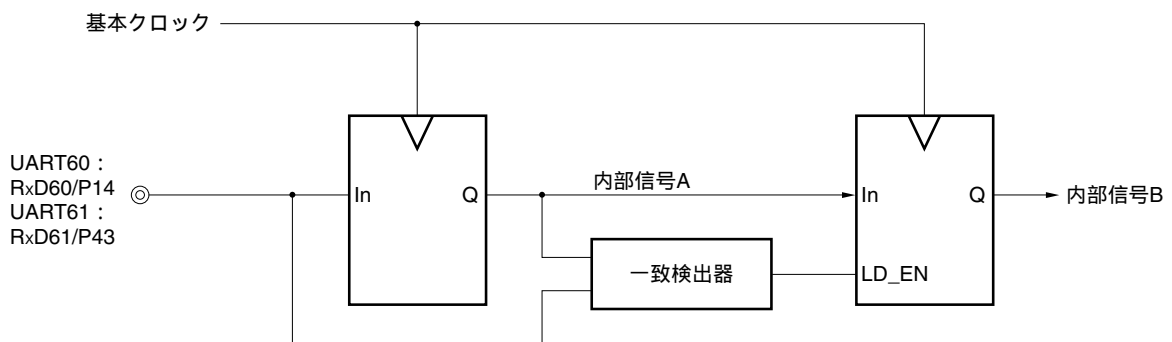
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6n信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図14 - 21のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図14 - 21 ノイズ・フィルタ回路



備考 n = 0 : 78K0/KC2-C
n = 0, 1 : 78K0/KE2-C

(h) SBF送信

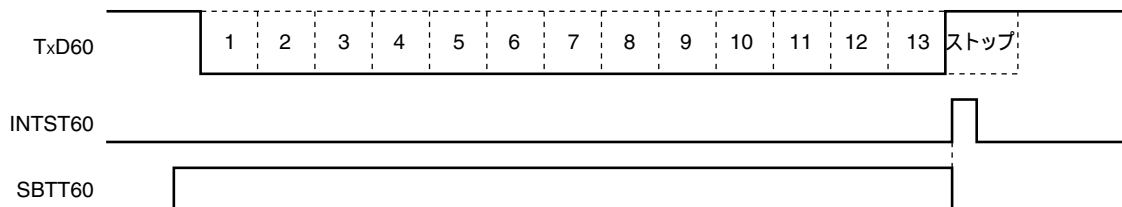
UART60はLIN通信動作で使用する場合、送信ではSBF (Synchronous Break Field) 送信制御機能を使用します。LINの送信操作については図14 - 1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ60(ASIM60)のビット7(POWER60)をセット (1) すると、TxD60端子からハイ・レベル出力されます。次にASIM60のビット6 (TXE60) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL60) のビット5 (SBTT60) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL60のビット4-2 (SBL602-SBL600) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST60) を発生し、SBTT60は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ60 (TXB60) に書き込む、あるいはSBTT60をセット (1) するまで、送信動作は中断します。

図14 - 22 SBF送信



- 備考1. n = 0 : 78K0/KC2-C
 n = 0, 1 : 78K0/KE2-C
2. TxD60 : TxD60端子 (出力)
 INTST60 : 送信完了割り込み要求
 SBTT60 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット5

(i) SBF受信

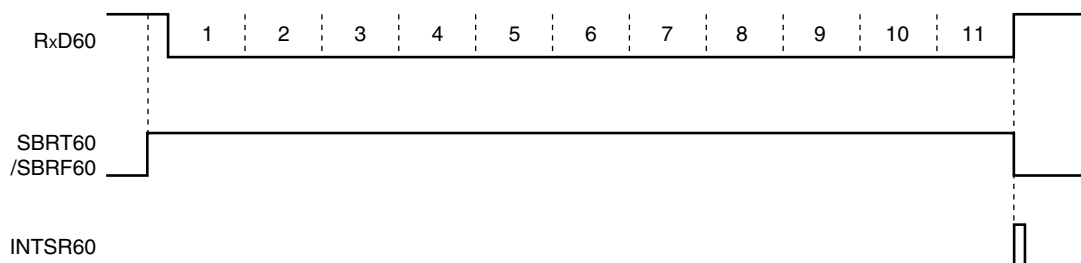
UART60はLIN通信動作で使用する場合、受信ではSBF (Synchronous Break Field) 受信制御機能を使用します。LINの受信操作については図14 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ60 (ASIM60) のビット7 (POWER60) をセット (1) し、次にASIM60のビット5 (RXE60) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット6 (SBRT60) をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、Rx D60端子をサンプリングし、スタート・ビットの検出を行います。

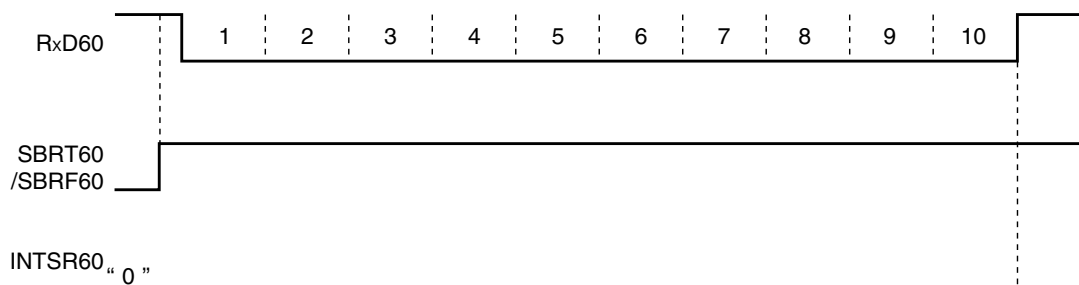
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ60 (RXS60) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR60) を発生します。このときSBRF60, SBRT60ビットは自動的にクリアされ、SBF受信を終了します。OVE60, PE60, FE60 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60 (ASIS60) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ60 (RXS60) と受信バッファ・レジスタ60 (RXB60) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF60, SBRT60ビットはクリアされません。

図14 - 23 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



備考1.	n = 0	: 78K0/KC2-C
	n = 0, 1	: 78K0/KE2-C
2.	RxD60	: RxD60端子 (入力)
	SBRT60	: アシクロナス・シリアル・インタフェース・コントロール・レジスタ60 (ASICL60) のビット6
	SBRF60	: ASICL60のビット7
	INTSR60	: 受信完了割り込み要求

14.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6nにおける送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) = 1 のとき、クロック選択レジスタ6n (CKSR6n) のビット3-0 (TPS6n3-TPS6n0) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6n} と呼びます。POWER6n = 0 のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) = 0 またはビット6 (TXE6n) = 0 のときはクリア (0) の状態で動作を停止します。

POWER6n = 1 かつ TXE6n = 1 でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6n (TXB6n) への書き込みでカウンタをクリア (0) します。連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6n または TXE6n がクリア (0) されるまでカウント動作をそのまま続けます。

・受信用カウンタ

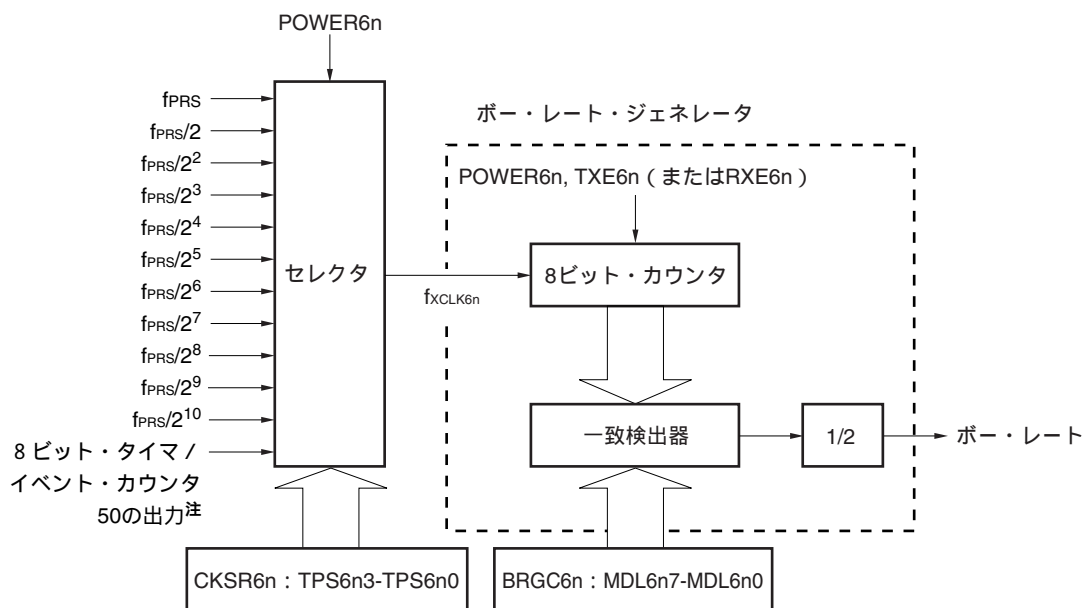
アシクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7 (POWER6n) = 0 またはビット5 (RXE6n) = 0 のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

備考	n = 0	: 78K0/KC2-C
	n = 0, 1	: 78K0/KE2-C

図14 - 24 ポー・レート・ジェネレータの構成



注 UART60のみ

- 備考1. $n = 0$: 78K0/KC2-C
 $n = 0, 1$: 78K0/KE2-C
2. $POWER6n$: アシンクロナス・シリアル・インタフェース動作モード・レジスタ6n (ASIM6n) のビット7
 $TXE6n$: ASIM6nのビット6
 $RXE6n$: ASIM6nのビット5
 $CKSR6n$: クロック選択レジスタ6n
 $BRGC6n$: ポー・レート・ジェネレータ・コントロール・レジスタ6n

(2) シリアル・クロックの生成

クロック選択レジスタ6n ($CKSR6n$) とポー・レート・ジェネレータ・コントロール・レジスタ6n ($BRGC6n$) の設定により、生成するシリアル・クロックを指定できます。

$CKSR6n$ のビット3-0 ($TPS6n3$ - $TPS6n0$) により、8ビット・カウンタへの入力クロックを、 $BRGC6n$ のビット7-0 ($MDL6n7$ - $MDL6n0$) により、8ビット・カウンタの分周値 ($f_{XCLK6n}/4$ - $f_{XCLK6n}/255$) を設定できます。

14.4.4 ボー・レートの算出

(1) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK6n}}}{2 \times k} \text{ [bps]}$$

f_{CLK6n} : CKSR6nレジスタのTPS6n3-TPS6n0ビットで選択した基本クロックの周波数

k : BRGC6nレジスタのMDL6n7-MDL6n0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

表14 - 4 TPS6n3-TPS6n0の設定値

TPS6n3	TPS6n2	TPS6n1	TPS6n0	基本クロック (f_{CLK6n}) 選択				
				$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 10 MHz	$f_{\text{PRS}} =$ 20 MHz	
0	0	0	0	f_{PRS}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	$f_{\text{PRS}}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	$f_{\text{PRS}}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	$f_{\text{PRS}}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	$f_{\text{PRS}}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	$f_{\text{PRS}}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz
0	1	1	0	$f_{\text{PRS}}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz
0	1	1	1	$f_{\text{PRS}}/2^7$	15.625 kHz	39.06 kHz	78.13 kHz	156.25 kHz
1	0	0	0	$f_{\text{PRS}}/2^8$	7.813 kHz	19.53 kHz	39.06 kHz	78.13 kHz
1	0	0	1	$f_{\text{PRS}}/2^9$	3.906 kHz	9.77 kHz	19.53 kHz	39.06 kHz
1	0	1	0	$f_{\text{PRS}}/2^{10}$	1.953 kHz	4.88 kHz	9.77 kHz	19.53 kHz
1	0	1	1	TM50の出力 ^{注1, 2}				
その他				設定禁止				

注1. UART60のみ

2. TO50出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

備考 $n = 0$: 78K0/KC2-C

$n = 0, 1$: 78K0/KE2-C

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{・誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6nレジスタのMDL6n7-MDL6n0ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

ボー・レート = 10 M / (2 × 33)

= 10000000 / (2 × 33) = 151515 [bps]

誤差 = (151515 / 153600 - 1) × 100

= - 1.357 [%]

備考 n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

(3) ボー・レート設定例

表14-5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz				f _{PRS} = 20.0 MHz			
	TPS6n3- TPS6n0	k	算出値	ERR [%]	TPS6n3- TPS6n0	k	算出値	ERR [%]	TPS6n3- TPS6n0	k	算出値	ERR [%]	TPS6n3- TPS6n0	k	算出値	ERR [%]
	300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16	9H	65	301
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16	8H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16	7H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16	6H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16	5H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16	4H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16	3H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16	5H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0	6H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16	2H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16	4H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16	1H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94	0H	87	114943	-0.22
153600	-	-	-	-	1H	8	156250	1.73	0H	33	151515	-1.36	1H	33	151515	-1.36
312500	-	-	-	-	0H	8	312500	0	1H	8	312500	0	2H	8	312500	0
625000	-	-	-	-	0H	4	625000	0	1H	4	625000	0	2H	4	625000	0

備考1. n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

2. TPS6n3-TPS6n0 : クロック選択レジスタ6n (CKSR6n) のビット3-0 (基本クロック (f_{CLK6n}) 設定)k : ボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) のMDL6n7-MDL6n0
ビットで設定した値 (k = 4, 5, 6, ..., 255)f_{PRS} : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 25 受信時の許容ボー・レート範囲

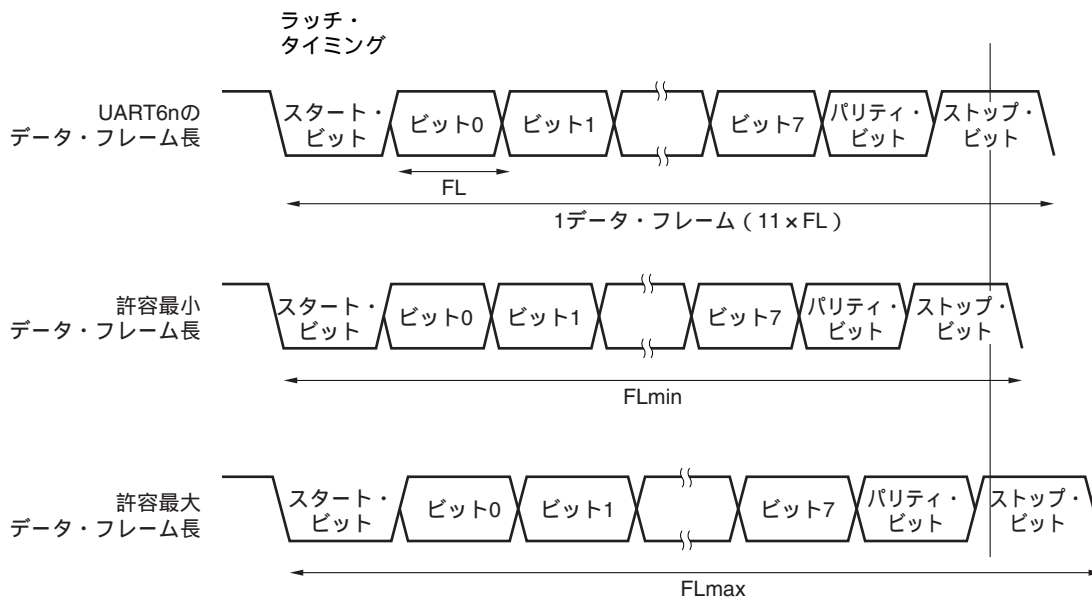


図14 - 25に示すように、スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ6n (BRGC6n) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART6nのボー・レート

k : BRGC6nの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

備考 n = 0 : 78K0/KC2-C

n = 0, 1 : 78K0/KE2-C

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART6nと送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. n = 0 : 78K0/KC2-C

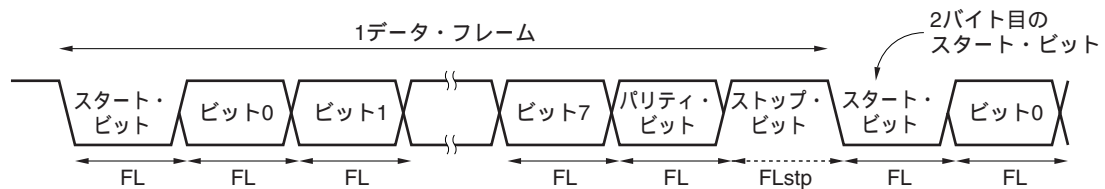
n = 0, 1 : 78K0/KE2-C

3. k : BRGC6nの設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図14 - 26 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{CLK6n} とすると次の式が成り立ちます。

$$\text{FLstp} = \text{FL} + 2/f_{\text{CLK6n}}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times \text{FL} + 2/f_{\text{CLK6n}}$$

第15章 シリアル・インタフェースCSI10, CSI11

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
シリアル・インタフェースCSI10		
シリアル・インタフェースCSI11	注1	注2

注1. 78K0/KC2-CのCSI11にはチップ・セレクト入力端子 ($\overline{\text{SSI11}}$) がありません。

2. 78K0/KE2-CのCSI11のみSPI対応です。

注意 CSI10を使用すると、UART0は使用できません。

備考 : 搭載

15.1 シリアル・インタフェースCSI10, CSI11の機能

シリアル・インタフェースCSI10, CSI11には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については15.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアル/I/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK1n}}$) とシリアル・データ (SI1n, SO1n) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアル/I/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアル/I/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については15.4.2 **3線式シリアル/I/Oモード**を参照してください。

備考 n = 0, 1

15.2 シリアル・インタフェースCSI10, CSI11の構成

シリアル・インタフェースCSI10, CSI11は、次のハードウェアで構成しています。

表15-1 シリアル・インタフェースCSI10, CSI11の構成

項目	構成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ1n (SOTB1n) シリアルI/Oシフト・レジスタ1n (SIO1n)
制御レジスタ	シリアル動作モード・レジスタ1n (CSIM1n) シリアル・クロック選択レジスタ1n (CSIC1n) ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ7 (PM7) ポート・レジスタ1 (P1) またはポート・レジスタ7 (P7)

備考 n = 0, 1

図15-1 シリアル・インタフェースCSI10のブロック図

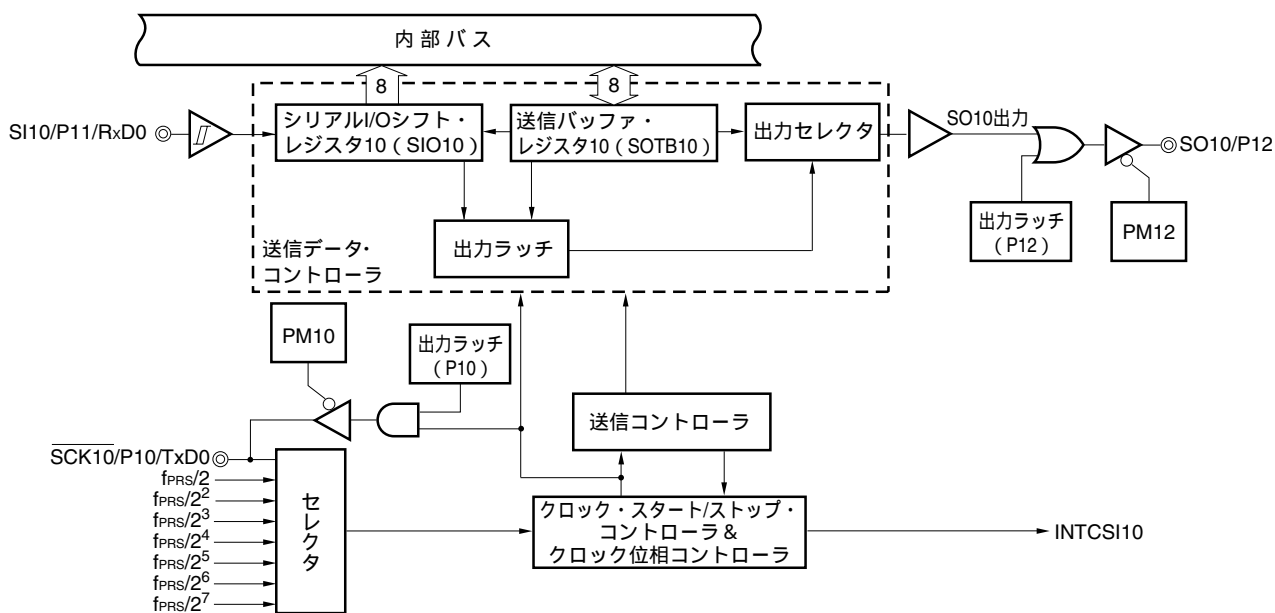


図15-2 シリアル・インタフェースCSI11のブロック図 (78K0/KC2-C)

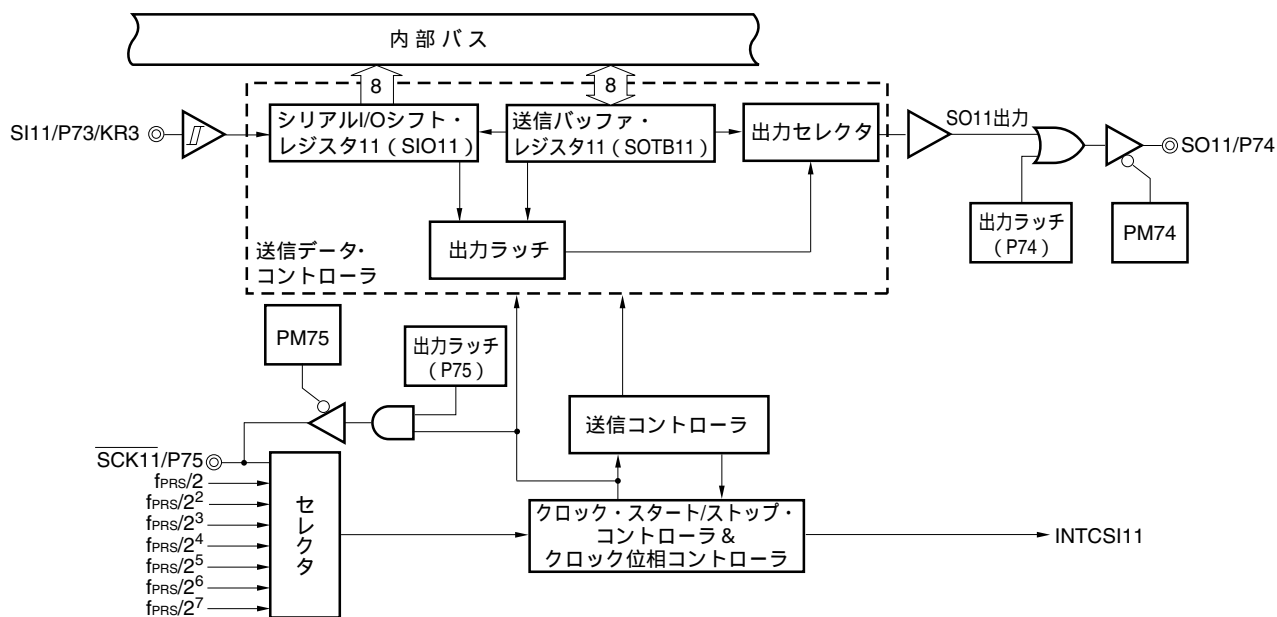
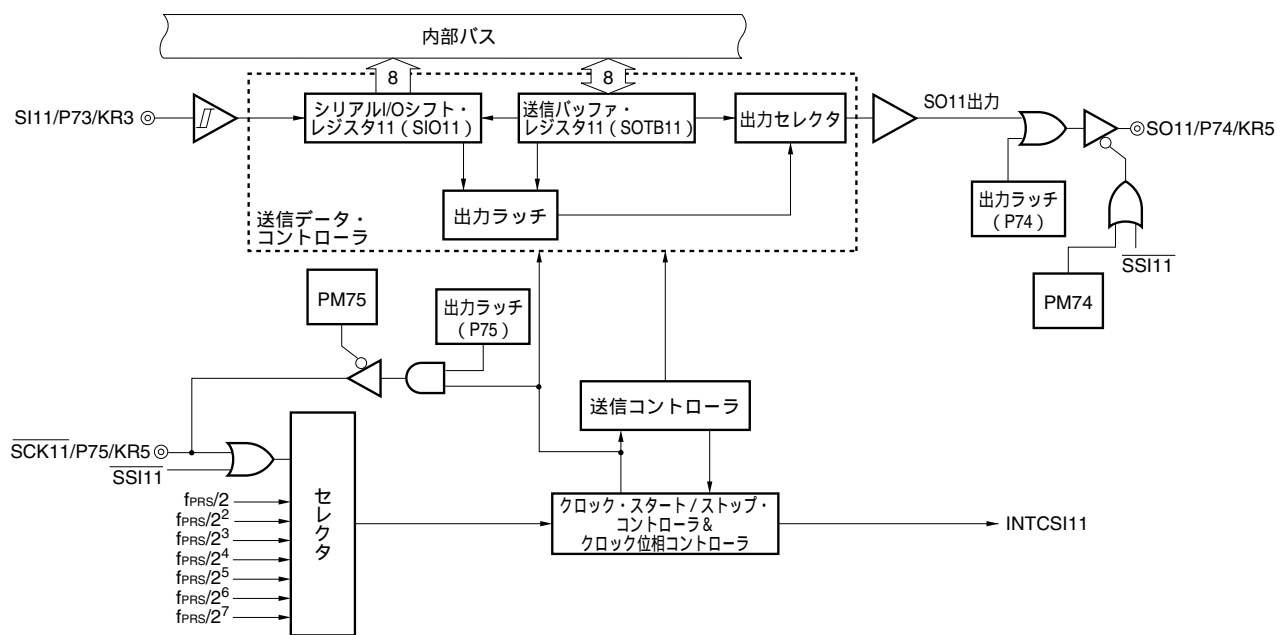


図15-3 シリアル・インタフェースCSI11のブロック図 (78K0/KE2-C)



(1) 送信バッファ・レジスタ1n (SOTB1n)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1n (CSIM1n) のビット7 (CSIE1n) とビット6 (TRMD1n) が1のとき、SOTB1nにデータを書き込むことにより送受信動作が開始されます。

SOTB1nに書き込まれたデータは、シリアルI/Oシフト・レジスタ1nでパラレル・データからシリアル・データに変換され、シリアル出力 (SO1n) に出力されます。

SOTB1nは、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意1. CSOT1n = 1 (シリアル通信中) のとき、SOTB1nへのアクセスは行わないでください。

2. 78K0/KE2-Cのスレーブ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SOTB11にデータを書き込むと送受信が開始されます。送受信動作の詳細については、15. 4. 2 (2) 通信動作を参照してください。

(2) シリアルI/Oシフト・レジスタ1n (SIO1n)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO1nは、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0のとき、SIO1nからデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI1n) からSIO1nに読み込まれます。

リセット信号の発生により、00Hになります。

注意1. CSOT1n = 1 (シリアル通信中) のとき、SIO1nへのアクセスは行わないでください。

2. 78K0/KE2-Cのスレーブ・モードでは、 $\overline{\text{SSI11}}$ 端子にロウ・レベルが入力された状態で、SIO11からデータを読み出すと受信が開始されます。受信動作の詳細については、15. 4. 2 (2) 通信動作を参照してください。

備考 n = 0, 1

15.3 シリアル・インタフェースCSI10, CSI11を制御するレジスタ

シリアル・インタフェースCSI10, CSI11は、次の4種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ1, 7 (PM1, PM7)
- ・ポート・レジスタ1, 7 (P1, P7)

(1) シリアル動作モード・レジスタ1n (CSIM1n)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

図15 - 4 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス : FF80H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアル/I/Oモード時の動作の制御
0	動作禁止 ^{注2} , 内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- P10/SCK10/TxD0, P12/SO10を汎用ポートとして使用する場合は, CSIM10を初期状態と同じ設定 (00H) にしてください。
- リセットされるのはCSIM10のビット0 (CSOT10) とシリアル/I/Oシフト・レジスタ10 (SIO10) です。
- CSOT10 = 1 (シリアル通信中) のとき, TRMD10を書き換えしないでください。
- TRMD10が0のとき, SO10出力 (図15 - 1を参照) はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。
- CSOT10 = 1 (シリアル通信中) のとき, DIR10を書き換えしないでください。

注意 ビット5には必ず0を設定してください。

図15 - 5 シリアル動作モード・レジスタ11 (CSIM11) のフォーマット

アドレス : FF88H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11 ^{注2}	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアル/Oモード時の動作の制御
0	動作禁止 ^{注3} , 内部回路を非同期リセットする ^{注4}
1	動作許可

TRMD11 ^{注5}	送受信モードの制御
0 ^{注6}	受信モード (送信禁止)
1	送受信モード

SSE11 ^{注2, 7, 8}	SSI11端子の使用の選択
0	SSI11端子を使用しない
1	SSI11端子を使用する

DIR11 ^{注9}	先頭ビットの指定
0	MSB
1	LSB

CSOT11	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

2. 78K0/KE2-Cのみ

3. 次の端子を汎用ポートとして使用する場合は、CSIM11を初期状態と同じ設定 (00H) にしてください。

・ 78K0/KC2-C : P74/SO11, P75/ $\overline{\text{SCK11}}$

・ 78K0/KE2-C : P74/SO11/KR4, P75/ $\overline{\text{SCK11}}$ /KR5, P76/ $\overline{\text{SSI11}}$ /KR6

4. リセットされるのはCSIM11のビット0 (CSOT11) とシリアル/Oシフト・レジスタ11 (SIO11) です。

5. CSOT11 = 1 (シリアル通信中) のとき、TRMD11を書き換えしないでください。

6. TRMD11が0のとき、SO11出力 (図15 - 2を参照) はロウ・レベルに固定されます。SIO11からデータを読み出すと受信が開始します。

7. CSOT11 = 1 (シリアル通信中) のとき、上書きをしないでください。

8. SSE11を1に設定する前に、 $\overline{\text{SSI11}}$ 端子の入力レベルを0または1に固定してください。

9. CSOT11 = 1 (シリアル通信中) のとき、DIR11を書き換えしないでください。

(2) シリアル・クロック選択レジスタ1n (CSIC1n)

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。

CSIC1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図15-6 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	$\overline{\text{SCK10}}$ SO10 SI10 入カタイミング	1
0	1	SCK10 SO10 SI10 入カタイミング	2
1	0	$\overline{\text{SCK10}}$ SO10 SI10 入カタイミング	3
1	1	$\overline{\text{SCK10}}$ SO10 SI10 入カタイミング	4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 ^{注1}				モード
			$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 10 MHz	$f_{\text{PRS}} =$ 20 MHz	
0	0	0	$f_{\text{PRS}}/2$ 1 MHz	2.5 MHz	5 MHz	設定禁止	マスタ・ モード
0	0	1	$f_{\text{PRS}}/2^2$ 500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	$f_{\text{PRS}}/2^3$ 250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	$f_{\text{PRS}}/2^4$ 125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	$f_{\text{PRS}}/2^5$ 62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	$f_{\text{PRS}}/2^6$ 31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	$f_{\text{PRS}}/2^7$ 15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	$\overline{\text{SCK10}}$ からの外部クロック入力 ^{注2}				スレーブ・ モード

注1. シリアル・クロック 6.25 MHzを満たすように設定してください。

- CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合，およびSTOPモード時の場合， $\overline{\text{SCK10}}$ 端子からの外部クロックで通信動作を開始させないでください。

注意1. CSIE10 = 1 (動作許可) のとき，CSIC10への書き込みを行わないでください。

- $\overline{\text{P10}}/\overline{\text{SCK10}}/\text{TxD0}$ ， $\overline{\text{P12}}/\text{SO10}$ を汎用ポートとして使用する場合は，CSIC10を初期状態と同じ状態 (00H) にしてください。

注意3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考1. $n = 0, 1$

2. f_{PRS} : 周辺ハードウェア・クロック周波数

図15-7 シリアル・クロック選択レジスタ11 (CSIC11) のフォーマット

アドレス : FF89H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIC11	0	0	0	CKP11	DAP11	CKS112	CKS111	CKS110

CKP11	DAP11	データ送受信タイミングの指定		タイプ
0	0	$\overline{SCK11}$		1
0	1	$\overline{SCK11}$		2
1	0	$\overline{SCK11}$		3
1	1	$\overline{SCK11}$		4

CKS112	CKS111	CKS110	CSI11のシリアル・クロックの選択 ^{注1}				モード	
			$f_{PRS} =$ 2 MHz	$f_{PRS} =$ 5 MHz	$f_{PRS} =$ 10 MHz	$f_{PRS} =$ 20 MHz		
0	0	0	$f_{PRS}/2$	1 MHz	2.5 MHz	5 MHz	設定禁止	マスタ・ モード
0	0	1	$f_{PRS}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	
0	1	0	$f_{PRS}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	
0	1	1	$f_{PRS}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	
1	0	0	$f_{PRS}/2^5$	62.5 kHz	156.25 kHz	312.5 kHz	625 kHz	
1	0	1	$f_{PRS}/2^6$	31.25 kHz	78.13 kHz	156.25 kHz	312.5 kHz	
1	1	0	$f_{PRS}/2^7$	15.63 kHz	39.06 kHz	78.13 kHz	156.25 kHz	
1	1	1	$\overline{SCK11}$ からの外部クロック入力 ^{注2}				スレーブ・ モード	

注1. シリアル・クロック 6.25 MHzを満たすように設定してください。

2. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、 $\overline{SCK11}$ 端子からの外部クロックで通信動作を開始させないでください。

注意1. CSIE11 = 1 (動作許可) のとき、CSIC11への書き込みを行わないでください。

注意2. 次の端子を汎用ポートとして使用する場合は、CSIC11を初期状態と同じ設定(00H)にしてください。

- ・ 78K0/KC2-C : P74/SO11, P75/SCK11
- ・ 78K0/KE2-C : P74/SO11/KR4, P75/SCK11/KR5

3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) ポート・モード・レジスタ1, 7 (PM1, PM7)

ポート1, 7の入力/出力を1ビット単位で設定するレジスタです。

次の端子をシリアル・インタフェースのクロック出力として使用するとき、該当するポート・モード・レジスタPxxに0, Pxxの出力ラッチに1を設定してください。

- ・ 78K0/KC2-C : P10/SCK10, P75/SCK11
- ・ 78K0/KE2-C : P10/SCK10, P75/SCK11/KR5

次の端子をシリアル・インタフェースのデータ出力として使用するとき、該当するポート・モード・レジスタPMxxおよびPxxの出力ラッチに0を設定してください。

- ・ 78K0/KC2-C : P12/SO10, P74/SO11
- ・ 78K0/KE2-C : P12/SO10, P74/SO11/KR4

次の端子をシリアル・インタフェースのクロック入力, シリアル・インタフェースのデータ入力, またはシリアル・インタフェースのチップ・セレクト入力として使用するとき、該当するポート・モード・レジスタに1を設定してください。このとき、Pxxの出力ラッチは、0または1のどちらでもかまいません。

- ・ 78K0/KC2-C : P10/SCK10, P75/SCK11, P11/SI10/RxD0, P73/SI11/KR3
- ・ 78K0/KE2-C : P10/SCK10, P75/SCK11/KR5, P11/SI10/RxD0, P73/SI11/KR3, P76/SSI11/KR6

ポート・モード・レジスタPM1, PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図15-8 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図15-9 ポート・モード・レジスタ7 (PM7) のフォーマット

アドレス : FF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77 ^注	PM76 ^注	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KE2-Cのみ

15.4 シリアル・インタフェースCSI10, CSI11の動作

シリアル・インタフェースCSI10, CSI11は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P10/SCK10/TxD0, P11/SI10/RxD0, P12/SO10, P74/SO11/KR4^注, P73/SI11/KR3, P75/SCK11/KR5^注を通常の入出力ポートとして使用できます。

注 78K0/KC2-Cには、KR4, KR5端子はありません。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ1n (CSIM1n)で行います。

動作停止モードにする場合は、CSIM1nのビット7 (CSIE1n)に0を設定してください。

(a) シリアル動作モード・レジスタ1n (CSIM1n)

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1

- ・シリアル動作モード・レジスタ10 (CSIM10)

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} , 内部回路を非同期リセットする ^{注2}

注1. P10/SCK10/TxD0, P12/SO10を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定 (00H) にしてください。

2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

・シリアル動作モード・レジスタ11 (CSIM11)

アドレス : FF88H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアル/I/Oモード時の動作の制御
0	動作禁止 ^{注1} , 内部回路を非同期リセットする ^{注2}

注1. 次の端子を汎用ポートとして使用する場合は、CSIM11を初期状態と同じ設定 (00H) にしてください。

・78K0/KC2-C : P74/SO11, P75/ $\overline{\text{SCK11}}$

・78K0/KE2-C : P74/SO11/KR4, P75/ $\overline{\text{SCK11}}$ /KR5, P76/ $\overline{\text{SSI11}}$ /KR6

2. リセットされるのはCSIM11のビット0 (CSOT11) とシリアル/I/Oシフト・レジスタ11 (SIO11) です。

15.4.2 3線式シリアル/I/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK1n}}$) , シリアル出力 (SO1n) , シリアル入力 (SI1n) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ1n (CSIM1n)
- ・シリアル・クロック選択レジスタ1n (CSIC1n)
- ・ポート・モード・レジスタ1 (PM1) またはポート・モード・レジスタ7 (PM7)
- ・ポート・レジスタ1 (P1) またはポート・レジスタ7 (P7)

3線式シリアル/I/Oモードの基本的な動作設定手順例は次のようになります。

CSIC1nレジスタを設定 (図15 - 6, 図15 - 7を参照)

CSIM1nレジスタのビット4-6 (DIR1n, SSE11 (シリアル・インタフェースCSI11のみ) , TRMD1n) を設定 (図15 - 4, 図15 - 5を参照)

CSIM1nレジスタのビット7 (CSIE1n) をセット (1) 送受信可能

送信バッファ・レジスタ1n (SOTB1n) にデータを書き込み データ送受信開始

シリアル/I/Oシフト・レジスタ1n (SIO1n) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

備考 n = 0, 1

レジスタの設定と端子の関係を次に示します。

表15 - 2 レジスタの設定と端子の関係 (1/3)

(a) シリアル・インタフェースCSI10

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10 の動作	端子機能		
									SI10/RxD0/ P11	SO10/P12	SCK10/ TxD0/P10
0	0	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	RxD0/P11	P12 ^{注2}	TxD0/ P10 ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注4}	SI10	P12 ^{注2}	SCK10 (入力) ^{注4}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注4}	RxD0/P11	SO10	SCK10 (入力) ^{注4}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注4}	SI10	SO10	SCK10 (入力) ^{注4}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	P12 ^{注2}	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	RxD0/P11	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P12/SO10を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
3. P10/SCK10/TxD0を汎用ポートとして使用する場合、CKP10を0に設定してください。
4. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE10	: シリアル動作モード・レジスタ10 (CSIM10) のビット7
	TRMD10	: CSIM10のビット6
	CKP10	: シリアル・クロック選択レジスタ10 (CSIC10) のビット4
	CKS102, CKS101, CKS100	: CSIC10のビット2-0
	PM1x	: ポート・モード・レジスタ
	P1x	: ポートの出力ラッチ

表15 - 2 レジスタの設定と端子の関係 (2/3)

(b) シリアル・インタフェースCSI11 (78K0/KC2-C)

CSIE11	TRMD11	SSE11	PM73	P73	PM74	P74	PM75	P75	CSI11の動作	端子機能		
										SI11/ KR3/P73	SO11/P74	SCK11/P75
0	0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	P73	P74 ^{注2}	P75
1	0	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注4}	SI11	P74 ^{注2}	SCK11 (入力) ^{注4}
		1										
1	1	0	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注4}	KR3/P73	SO11	SCK11 (入力) ^{注4}
		1										
1	1	0	1	x	0	0	1	x	スレーブ 送受信 ^{注4}	SI11	SO11	SCK11 (入力) ^{注4}
		1										
1	0	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ受信	SI11	P74 ^{注2}	SCK11 (出力)
1	1	0	x ^{注1}	x ^{注1}	0	0	0	1	マスタ送信	KR3/P73	SO11	SCK11 (出力)
1	1	0	1	x	0	0	0	1	マスタ送受信	SI11	SO11	SCK11 (出力)

注1. ポート機能として設定することができます。

- P74/SO11を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ11 (CSIC11) は初期状態と同じ設定 (00H) にしてください。
- P75/SCK11を汎用ポートとして使用する場合、CKP11を0に設定してください。
- スレーブとして使用する場合、CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE11	: シリアル動作モード・レジスタ11 (CSIM11) のビット7
	TRMD11	: CSIM11のビット6
	CKP11	: シリアル・クロック選択レジスタ11 (CSIC11) のビット4
	CKS112, CKS111, CKS110	: CSIC11のビット2-0
	PM7 x	: ポート・モード・レジスタ
	P7 x	: ポートの出力ラッチ

表15 - 2 レジスタの設定と端子の関係 (3/3)

(C) シリアル・インタフェースCSI11 (78K0/KE2-C)

CSIE11	TRMD11	SSE11	PM73	P73	PM74	P74	PM75	P75	PM76	P76	CSI11 の動作	端子機能			
												SI11/ KR3/ P73	SO11/ KR4/ P74	SCK11/ KR5/ P75	SSI11/ KR6/ P76
0	0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	KR3/ P73	KR4/ P74 ^{注2}	KR5/ P75	KR6/ P76 ^{注3}
1	0	0	1	x	x ^{注1}	x ^{注1}	1	x	x ^{注1}	x ^{注1}	スレーブ 受信 ^{注4}	SI11	KR4/ P74 ^{注2}	SCK11 (入力) ^{注4}	KR6/ P76
		1													
1	1	0	x ^{注1}	x ^{注1}	0	0	1	x	x ^{注1}	x ^{注1}	スレーブ 送信 ^{注4}	KR3/ P73	SO11	SCK11 (入力) ^{注4}	KR6/ P76
		1													
1	1	0	1	x	0	0	1	x	x ^{注1}	x ^{注1}	スレーブ 送受信 ^{注4}	SI11	SO11	SCK11 (入力) ^{注4}	KR6/ P76
		1													
1	0	0	1	x	x ^{注1}	x ^{注1}	0	1	x ^{注1}	x ^{注1}	マスタ 受信	SI11	KR4/ P74 ^{注2}	SCK11 (出力)	KR6/ P76
1	1	0	x ^{注1}	x ^{注1}	0	0	0	1	x ^{注1}	x ^{注1}	マスタ 送信	KR3/ P73	SO11	SCK11 (出力)	KR6/ P76
1	1	0	1	x	0	0	0	1	x ^{注1}	x ^{注1}	マスタ 送受信	SI11	SO11	SCK11 (出力)	KR6/ P76

注1. ポート機能として設定することができます。

- P74/SO11/KR4を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ11 (CSIC11) は初期状態と同じ設定 (00H) にしてください。
- P75/SCK11/KR5を汎用ポートとして使用する場合、CKP11を0に設定してください。
- スレーブとして使用する場合、CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE11	: シリアル動作モード・レジスタ11 (CSIM11) のビット7
	TRMD11	: CSIM11のビット6
	CKP11	: シリアル・クロック選択レジスタ11 (CSIC11) のビット4
	CKS112, CKS111, CKS110	: CSIC11のビット2-0
	PM7x	: ポート・モード・レジスタ
	P7x	: ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が1の場合、データの送受信が可能です。送信バッファ・レジスタ1n (SOTB1n) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ1n (CSIM1n) のビット6 (TRMD1n) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ1n (SIO1n) からデータを読み出すことにより、受信動作が開始されます。

ただし、78K0/KE2-Cのシリアル・インタフェースCSI11では、スレーブ・モード時、CSIM11のビット5 (SSE11) が1の場合は次のようになります。

$\overline{\text{SSI11}}$ 端子にロウ・レベル入力

SOTB11への書き込みで送受信、またはSIO11からの読み出しで受信が開始されます

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力

送受信保留または受信保留状態になるため、SOTB11への書き込みまたはSIO11からの読み出しを行っても、送受信または受信は開始されません

$\overline{\text{SSI11}}$ 端子にハイ・レベル入力しているときに、SOTB11へデータを書き込みまたはSIO11からデータを読み出し、その後 $\overline{\text{SSI11}}$ 端子にロウ・レベル入力

送受信または受信が開始されます

送受信または受信中に、 $\overline{\text{SSI11}}$ 端子にハイ・レベル入力

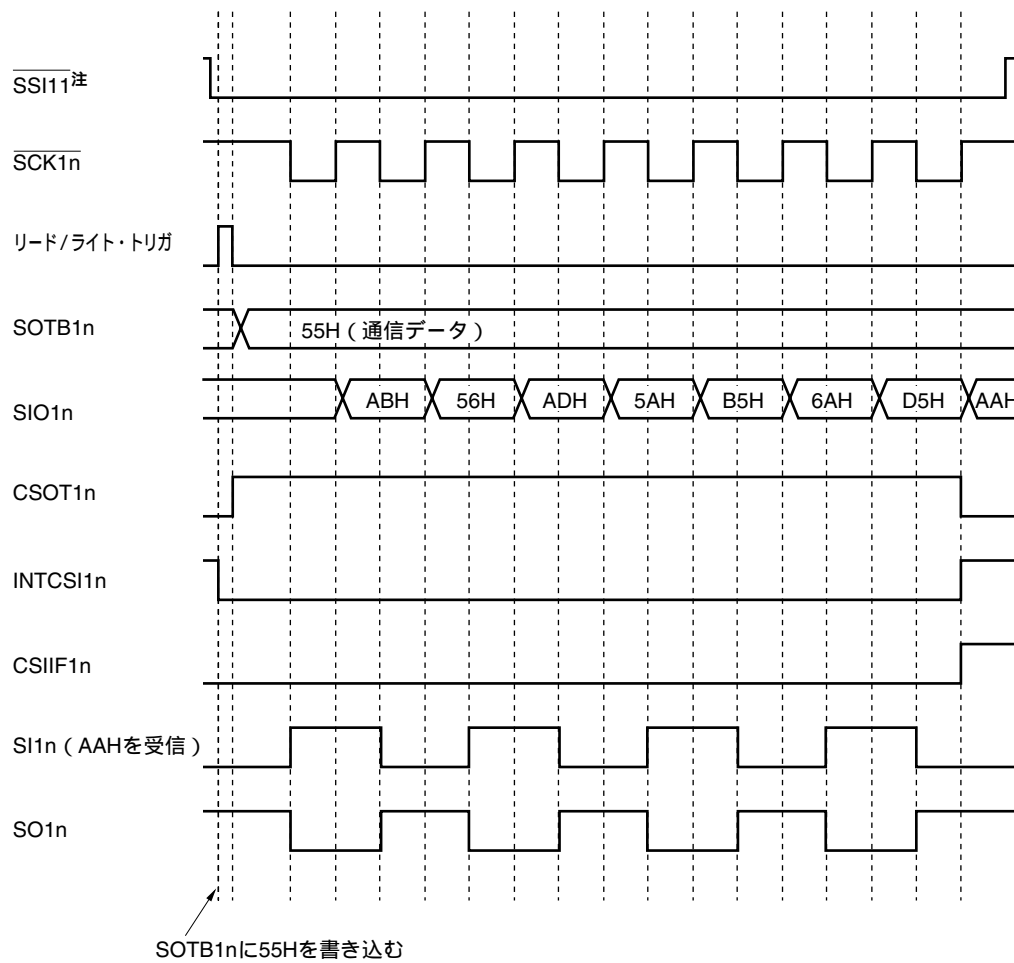
送受信または受信が中断されます

通信開始後、CSIM1nのビット0 (CSOT1n) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIF1n) がセットされ、CSOT1nは0にクリアされます。そして次の通信が可能になります。

- 注意1.** CSOT1n = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。
- 2.** 78K0/KE2-Cのシリアル・インタフェースCSI11では、スレーブ・モードの場合、 $\overline{\text{SSI11}}$ 端子の変更タイミングには、クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。

備考 n = 0, 1

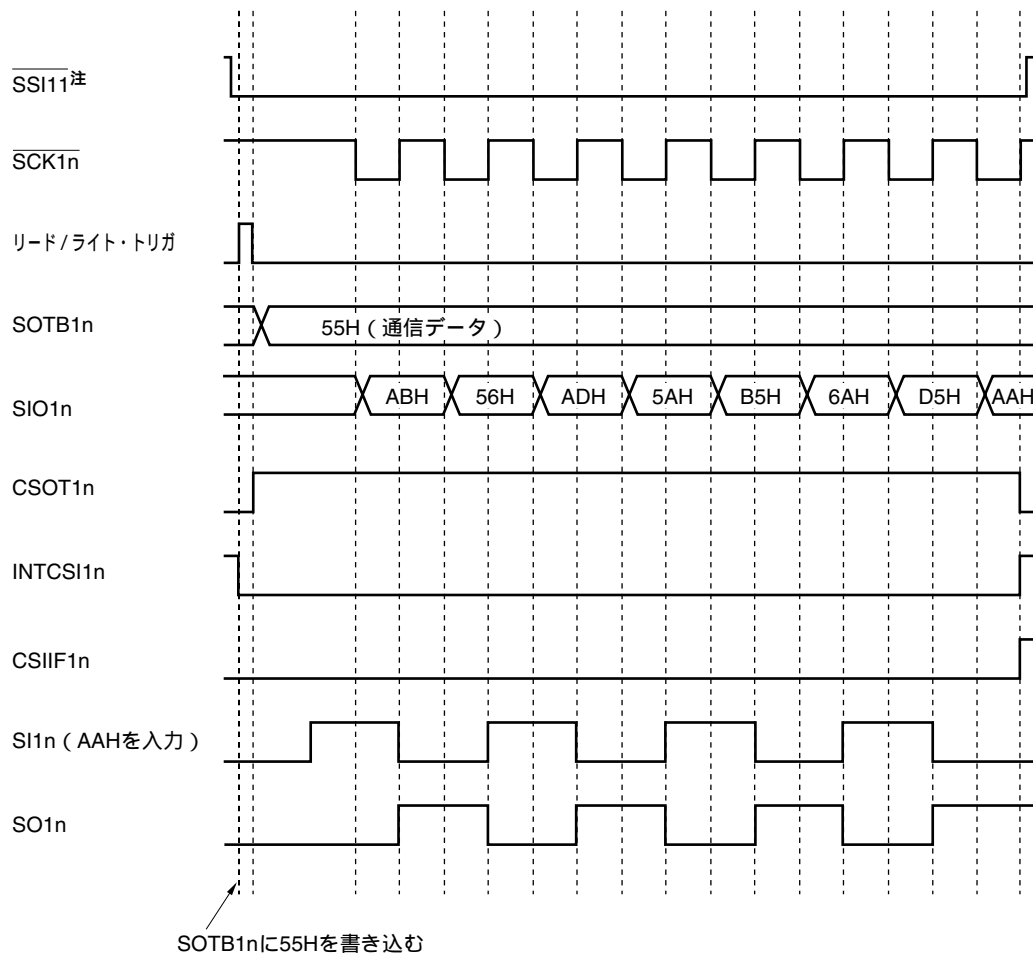
図15 - 10 3線式シリアルI/Oモードのタイミング (1/2)

(a) 送受信タイミング (タイプ1: TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 0, SSE11 = 1^注)

注 SSE11フラグ, $\overline{\text{SSI11}}$ 端子は78K0/KE2-Cのシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用します。

備考 n = 0, 1

図15 - 10 3線式シリアルI/Oモードのタイミング (2/2)

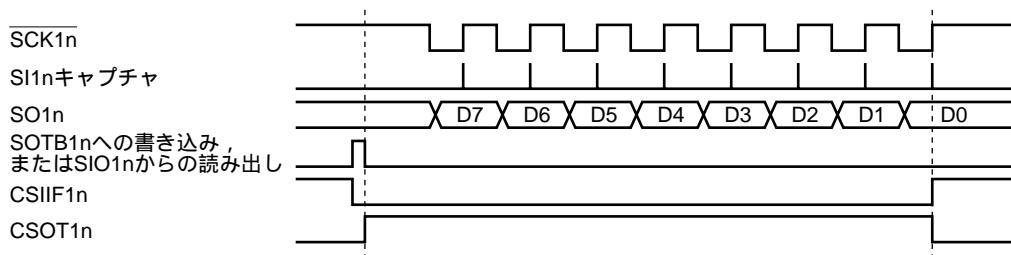
(b) 送受信タイミング (タイプ2 : TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 1, SSE11 = 1^注)

注 SSE11フラグ, $\overline{SSI11}$ 端子は78KE2-Cのシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用します。

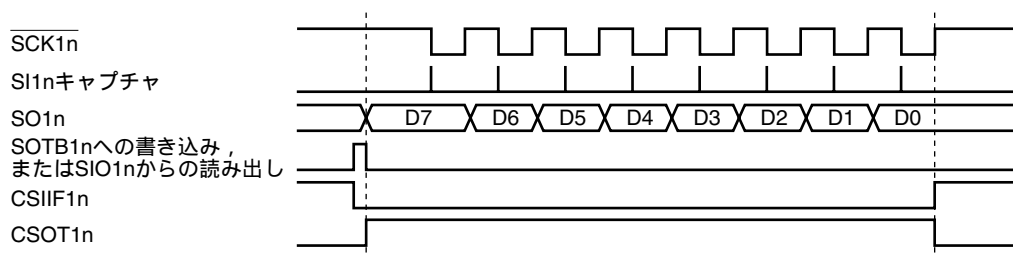
備考 n = 0, 1

図15 - 11 クロック/データ位相のタイミング

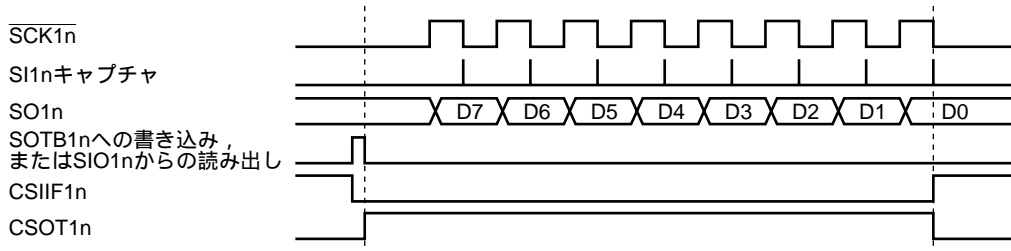
(a) タイプ1 : CKP1n = 0, DAP1n = 0, DIR1n = 0



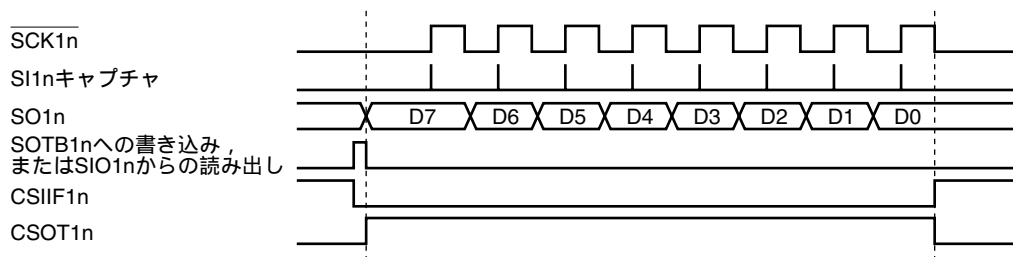
(b) タイプ2 : CKP1n = 0, DAP1n = 1, DIR1n = 0



(c) タイプ3 : CKP1n = 1, DAP1n = 0, DIR1n = 0



(d) タイプ4 : CKP1n = 1, DAP1n = 1, DIR1n = 0



備考1. n = 0, 1

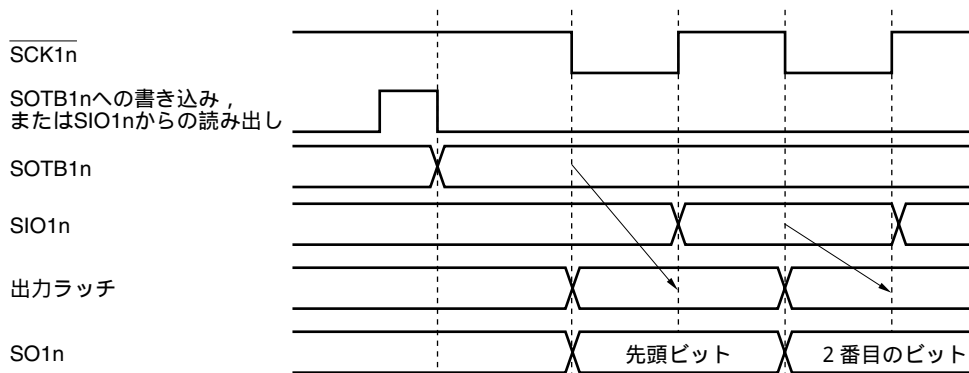
2. 上図は, MSBファーストの通信動作です。

(3) SO1n端子への出力タイミング (先頭ビット)

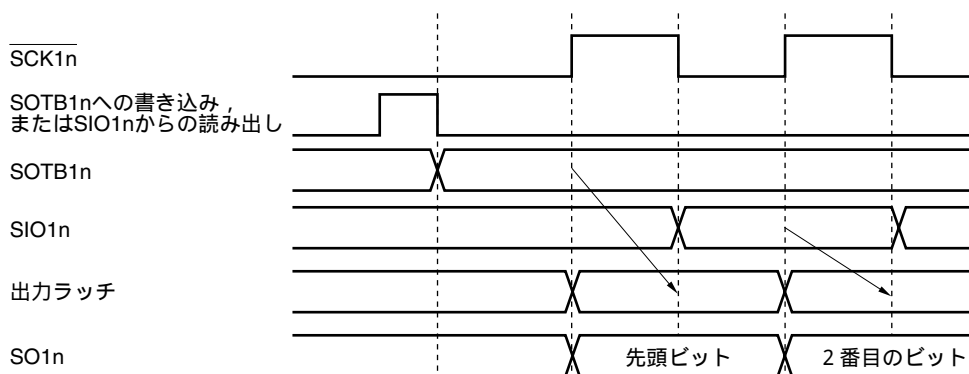
通信開始時、送信バッファ・レジスタ1n (SOTB1n) の値は、SO1n端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図15 - 12 先頭ビットの出力動作 (1/2)

(a) タイプ1 : CKP1n = 0, DAP1n = 0



(b) タイプ3 : CKP1n = 1, DAP1n = 0



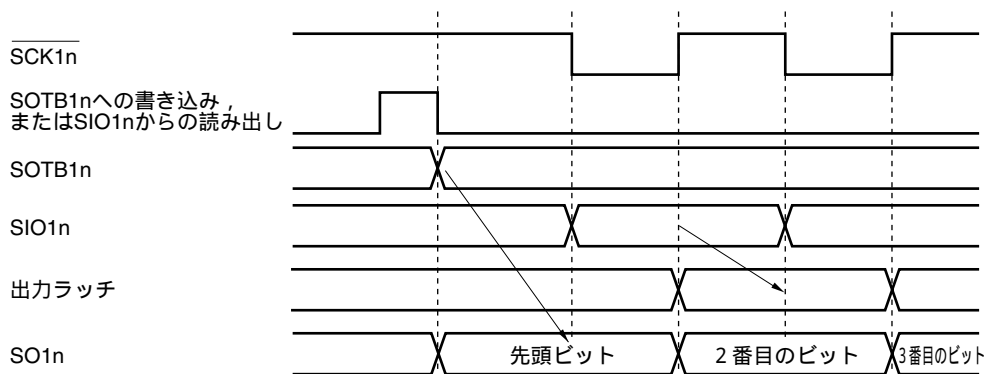
先頭ビットは、 $\overline{\text{SCK1n}}$ の立ち下がり（または立ち上がり）エッジでSOTB1nレジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO1n端子から出力されます。次の $\overline{\text{SCK1n}}$ の立ち上がり（または立ち下がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSIO1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK1n}}$ の立ち下がり（または立ち上がり）エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

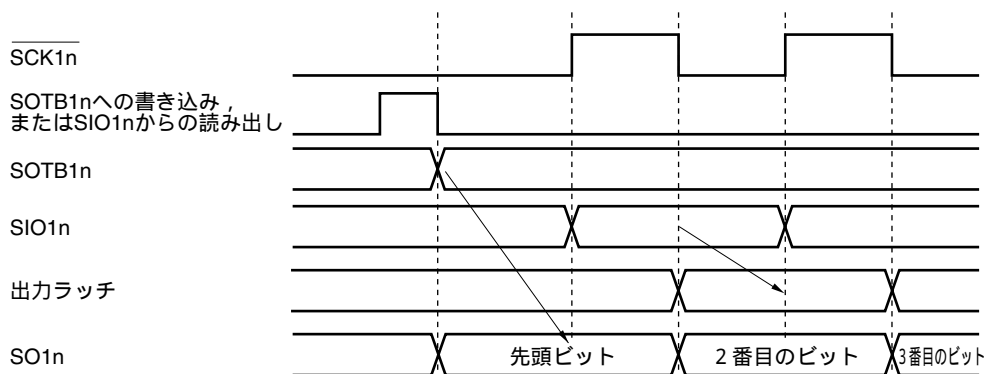
備考 n = 0, 1

図15 - 12 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



先頭ビットは、SOTB1nのライト信号またはSIO1nレジスタのリード信号の立ち下がりエッジでSOTB1nレジスタから直接、出力セレクタを通してSO1n端子から出力されます。次の $\overline{\text{SCK1n}}$ の立ち下がり（または立ち上がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され、1ビット分シフトします。同時にSIO1n端子を通して、受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は、次の $\overline{\text{SCK1n}}$ の立ち上がり（または立ち下がり）エッジでSIO1nから出力ラッチにラッチされ、データがSO1n端子から出力されます。

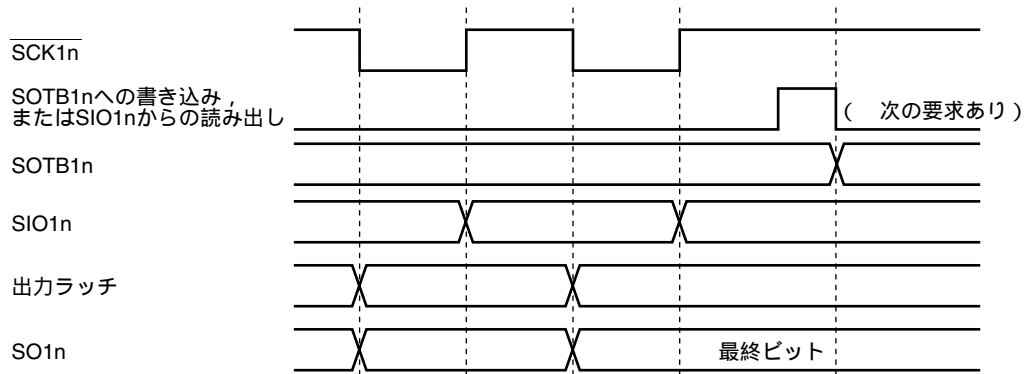
備考 n = 0, 1

(4) SO1n端子の出力値 (最終ビット)

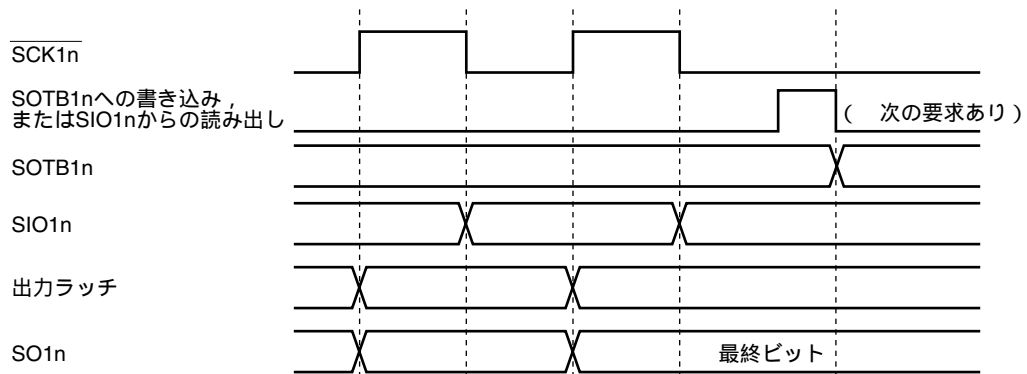
通信終了後, SO1n端子の出力は, 最終ビットの出力値を保持します。

図15 - 13 SO1n端子の出力値 (最終ビット) (1/2)

(a) タイプ1 : CKP1n = 0, DAP1n = 0



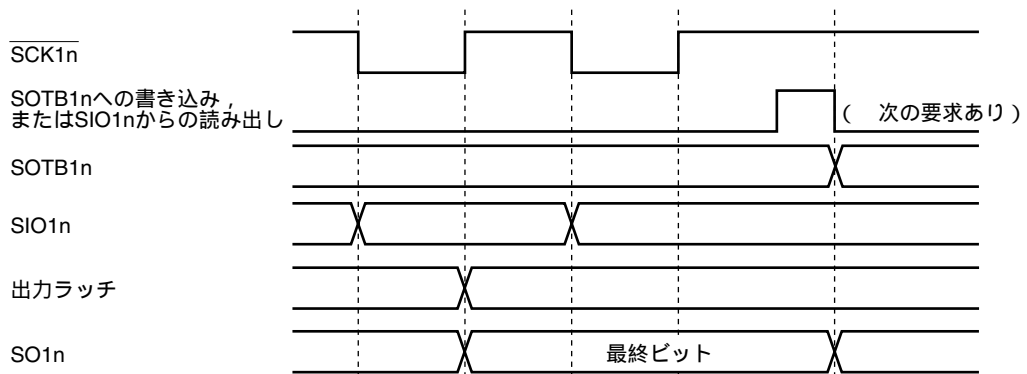
(b) タイプ3 : CKP1n = 1, DAP1n = 0



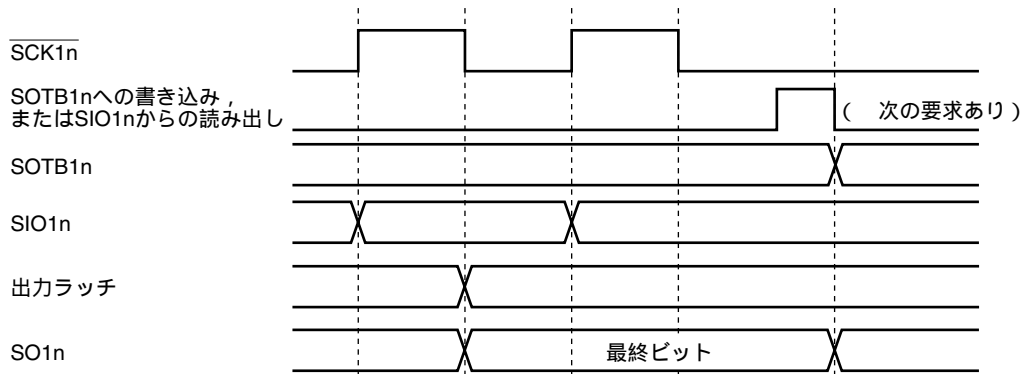
備考 n = 0, 1

図15 - 13 SO1n端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP1n = 0, DAP1n = 1



(d) タイプ4 : CKP1n = 1, DAP1n = 1



備考 n = 0, 1

(5) SO1n出力 (図15 - 1, 15 - 2参照) について

CSIE1n, TRMD1n, DAP1n, DIR1nの設定により, SO1n出力は次のようになります。

表15 - 3 SO1n出力の状態

CSIE1n	TRMD1n	DAP1n	DIR1n	SO1n出力 ^{注1}
CSIE1n = 0 ^{注2}	TRMD1n = 0 ^{注2, 3}	-	-	ロウ・レベル出力 ^{注2}
		DAP1n = 0	-	ロウ・レベル出力
	TRMD1n = 1	DAP1n = 1	DIR1n = 0	SOTB1nのビット7の値
			DIR1n = 1	SOTB1nのビット0の値
CSIE1n = 1	TRMD1n = 0 ^{注3}	-	-	ロウ・レベル出力
	TRMD1n = 1	-	-	送信データ ^{注4}

注1. 実際の次の端子の出力は, SO1n出力のほかにPM12とP12, PM74とP74によって決まります。

- ・ 78K0/KC2-C : SO10/P12, SO11/P74
- ・ 78K0/KE2-C : SO10/P12, SO11/KR4/P74

2. リセット時の状態です。
3. 次の端子を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ1n (CSIC1n) は初期状態と同じ設定 (00H) にしてください。

- ・ 78K0/KC2-C : P12/SO10, P74/SO11
- ・ 78K0/KE2-C : P12/SO10, P74/SO11/KR4

4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE1n, TRMD1n, DAP1n, DIR1nに値を書き込むと, SO1nの出力値が変わります。

備考 n = 0, 1

第16章 シリアル・インタフェースIICA00, IICA01, IICA02

注意 IICA02を使用すると、キー割り込み機能は使用できません。

16.1 シリアル・インタフェースIICA00, IICA01, IICA02の機能

シリアル・インタフェースIICA00, IICA01, IICA02には、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック(SCLAn)とシリアル・データ・バス(SDAAn)の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IICA0nでは、SCLAn端子とSDAAn端子はオープン・ドレーン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号(INTIICAn)を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1n(IICACTL1n)のWUPnビットにより設定します。

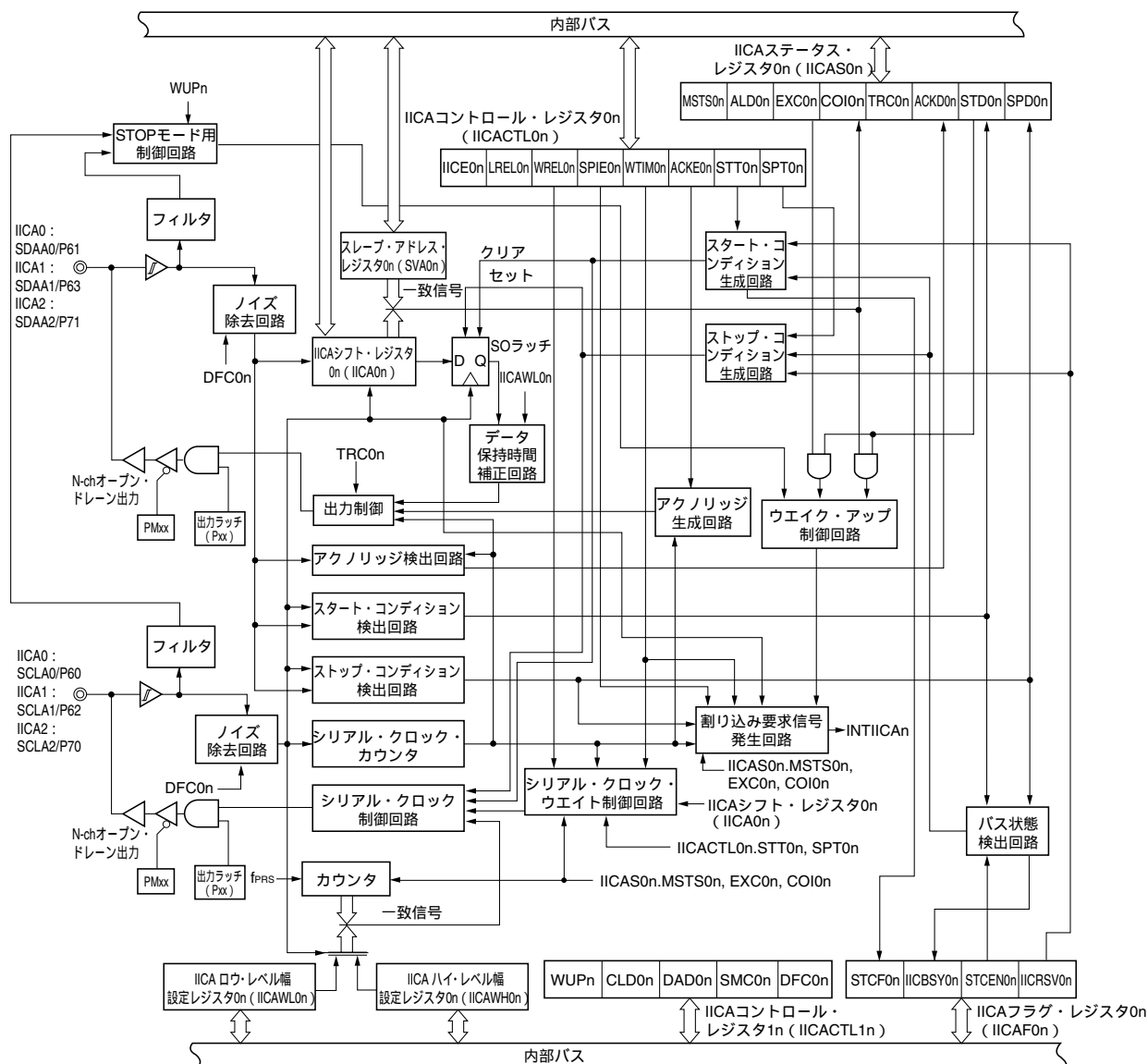
備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

図16 - 1に、シリアル・インタフェースIICA00, IICA01, IICA02のブロック図を示します。

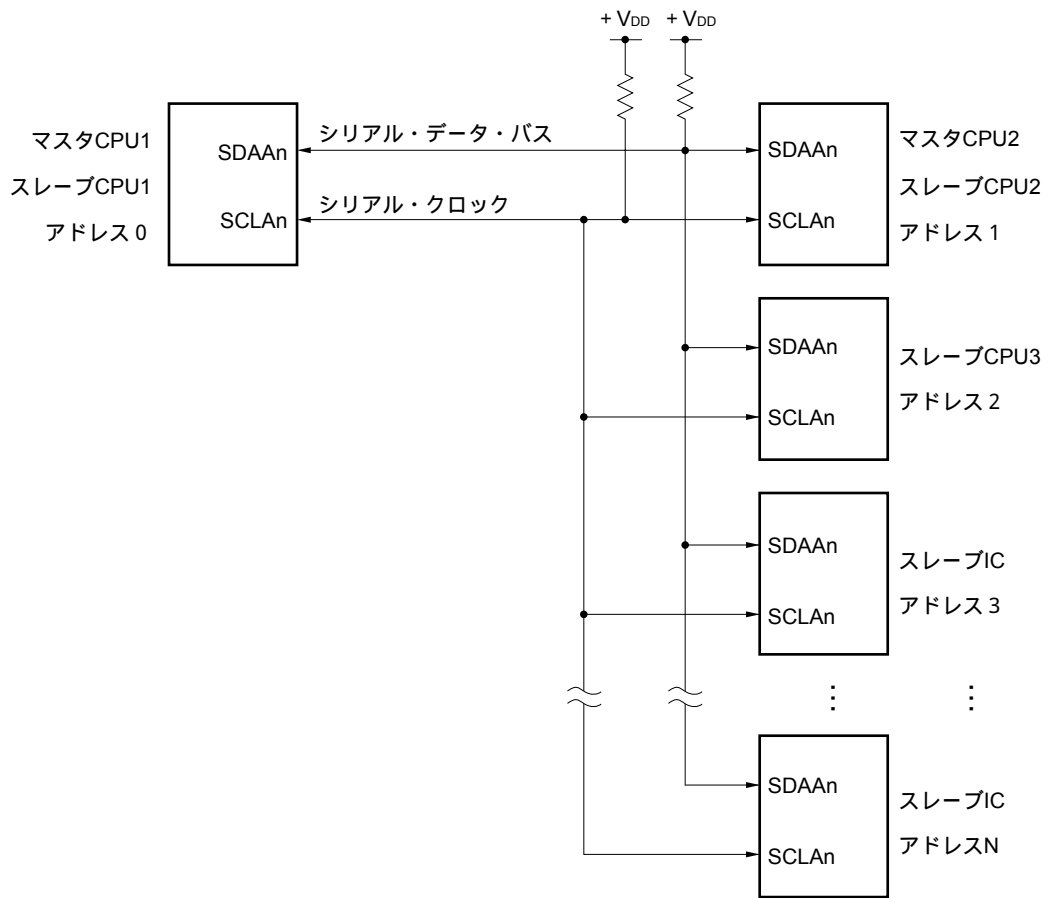
図16 - 1 シリアル・インタフェースIICA00, IICA01, IICA02のブロック図



備考 シリアル・インタフェースIICA00 : n = 0 , PMxx = PM60, PM61, Pxx = P60, P61
 シリアル・インタフェースIICA01 : n = 1 , PMxx = PM62, PM63, Pxx = P62, P63
 シリアル・インタフェースIICA02 : n = 2 , PMxx = PM70, PM71, Pxx = P70, P71

図16 - 2にシリアル・バス構成例を示します。

図16 - 2 I²Cバスによるシリアル・バス構成例



備考 シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

16.2 シリアル・インタフェースIICA00, IICA01, IICA02の構成

シリアル・インタフェースIICA00, IICA01, IICA02は、次のハードウェアで構成されています。

表16 - 1 シリアル・インタフェースIICA00, IICA01, IICA02の構成

項 目	構 成
レジスタ	IICAシフト・レジスタ0n (IICA0n) スレーブ・アドレス・レジスタ0n (SVA0n)
制御レジスタ	IICAコントロール・レジスタ0n (IICACTL0n) IICAステータス・レジスタ0n (IICAS0n) IICAフラグ・レジスタ0n (IICAF0n) IICAコントロール・レジスタ1n (IICACTL1n) IICAロウ・レベル幅設定レジスタ0n (IICAWL0n) IICAハイ・レベル幅設定レジスタ0n (IICAWH0n) ポート・モード・レジスタ6, 7 (PM6, PM7) ポート・レジスタ6, 7 (P6, P7)

(1) IICAシフト・レジスタ0n (IICA0n)

IICA0nは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICA0nは送信および受信の両方に使用されます。

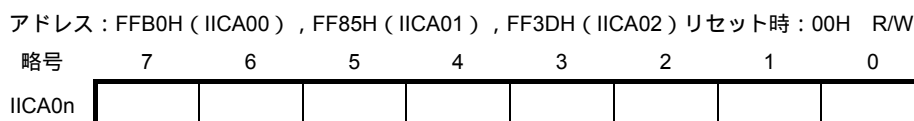
IICA0nに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICA0nへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICA0nは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 3 IICAシフト・レジスタ0n (IICA0n) のフォーマット



- 注意1. データ転送中はIICA0nにデータを書き込まないでください。
- IICA0nには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICA0nへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0n) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICA0nにデータを書き込んでください。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

(2) スレープ・アドレス・レジスタ0n (SVA0n)

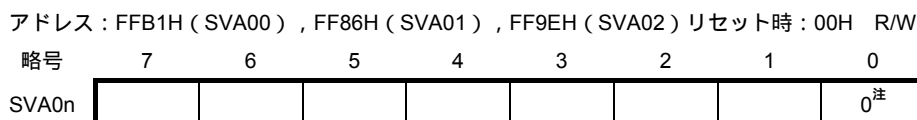
スレープとして使用する場合に、自局アドレスを格納するレジスタです。

SVA0nは、8ビット・メモリ操作命令で設定します。

ただし、STD0n = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図16 - 4 スレープ・アドレス・レジスタ0n (SVA0n) のフォーマット



注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレープ・アドレス・レジスタ0n (SVA0n) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0nビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0nビットで設定)

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

- 備考1. WTIM0nビット : IICAコントロール・レジスタ0n (IICACTL0n) のビット3
 SPIE0nビット : " のビット4
2. シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

(9) **アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路**

各状態の生成および検出を行います。

(10) **データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) **スタート・コンディション生成回路**

STT0nビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSV0nビット = 1)で、かつバスが解放されていない(IICBSY0nビット = 1)場合には、スタート・コンディション要求は無視し、STCF0nビットをセット(1)します。

(12) **ストップ・コンディション生成回路**

SPT0nビットがセット(1)されるとストップ・コンディションを生成します。

(13) **バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCEN0nビットにより、バス状態検出回路の初期状態を設定してください。

備考1. STT0nビット	: IICAコントロール・レジスタ0n (IICACTL0n)	のビット1
SPT0nビット	: "	のビット0
IICRSV0nビット	: IICAフラグ・レジスタ0n (IICAF0n)	のビット0
IICBSY0nビット	: "	のビット6
STCF0nビット	: "	のビット7
STCEN0nビット	: "	のビット1
2. シリアル・インタフェースIICA00	: n = 0	
シリアル・インタフェースIICA01	: n = 1	
シリアル・インタフェースIICA02	: n = 2	

16.3 シリアル・インタフェースIICA00, IICA01, IICA02を制御するレジスタ

シリアル・インタフェースIICA00, IICA01, IICA02は、次の8種類のレジスタで制御します。

- ・ IICAコントロール・レジスタ0n (IICACTL0n)
- ・ IICAステータス・レジスタ0n (IICAS0n)
- ・ IICAフラグ・レジスタ0n (IICAF0n)
- ・ IICAコントロール・レジスタ1n (IICACTL1n)
- ・ IICAロウ・レベル幅設定レジスタ0n (IICAWL0n)
- ・ IICAハイ・レベル幅設定レジスタ0n (IICAWH0n)
- ・ ポート・モード・レジスタ6, 7 (PM6, PM7)
- ・ ポート・レジスタ6, 7 (P6, P7)

(1) IICAコントロール・レジスタ0n (IICACTL0n)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICACTL0nは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE0n, WTIM0n, ACKE0nビットは, IICE0nビット = 0のとき, またはウェイト期間中に設定してください。また IICE0nビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

- 備考** シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

図16 - 5 IICAコントロール・レジスタ0n (IICACTL0n) のフォーマット (1/4)

アドレス：FFB2H (IICACTL00)，FF8AH (IICACTL01)，FF7AH (IICACTL02) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICACTL0n	IICE0n	LREL0n	WREL0n	SPIE0n	WTIM0n	ACKE0n	STT0n	SPT0n

IICE0n	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ0n (IICAS0n) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0n = 0)	セットされる条件 (IICE0n = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LREL0n ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0n (IICACTL0n)，IICAステータス・レジスタ0n (IICAS0n) のうち、次のフラグがクリア (0) される。 ・ STT0n ・ SPT0n ・ MSTS0n ・ EXC0n ・ COI0n ・ TRC0n ・ ACKD0n ・ STD0n
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL0n = 0)	セットされる条件 (LREL0n = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WREL0n ^{注2}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0n = 1) で、9クロック目のウェイト期間中にWREL0nをセット (ウェイトを解除) した場合、SDAAnラインをハイ・インピーダンス (TRC0n = 0) にします。	
クリアされる条件 (WREL0n = 0)	セットされる条件 (WREL0n = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICA0nレジスタ、IICAF0nレジスタのSTCF0n、IICBSY0nビット、IICACTL1nレジスタのCLD0n、DAD0nビットです。

2. IICE0n = 0の状態では、このビットの信号は無効になります。

3. LREL0n, WREL0nビットの読み出し値は常に0になります。

注意 SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICACTL1nレジスタのDFC0n = 1) のときに、I²Cを動作許可 (IICE0n = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE0n = 1) したあと、連続して1ビット・メモリ操作命令により、LREL0nをセット (1) してください。

備考 シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

図16 - 5 IICAコントロール・レジスタ0n (IICACTL0n) のフォーマット (2/4)

SPIE0n ^{注1}	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
IICACTL1nレジスタのWUPn = 1の場合には、SPIE0n = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE0n = 0)		セットされる条件 (SPIE0n = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM0n ^{注1}	ウェイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIM0n = 0)		セットされる条件 (WTIM0n = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE0n ^{注1, 2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件 (ACKE0n = 0)		セットされる条件 (ACKE0n = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注 1. IICE0n = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。
スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

図16 - 5 IICAコントロール・レジスタ0n (IICACTL0n) のフォーマット (3/4)

STT0n ^注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（待機状態，IICBSY0nが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき：</p> <ul style="list-style-type: none"> 通信予約機能許可の場合（IICRSV0n = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 通信予約機能禁止の場合（IICRSV0n = 1） セット（1）してもSTT0nビットはクリアされ，STCF0nフラグがセット（1）される。スタート・コンディションは生成しない。 <p>ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0n = 0に設定し，受信の最後であることをスレーブに伝えたとのウエイト期間中にだけセット（1）可能です。 マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。 SPT0nと同時セット（1）することは禁止です。 STT0nをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（STT0n = 0）	セットされる条件（STT0n = 1）
<ul style="list-style-type: none"> 通信予約禁止状態でのSTT0nのセット（1） アービトレーションに負けたとき マスタでのスタート・コンディション生成 LREL0n = 1（通信退避）によるクリア IICE0n = 0（動作停止）のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

注 IICE0n = 0の状態では，このビットの信号は無効になります。

備考 1. ビット1（STT0n）は，データ設定後に読み出すと0になっています。

2. IICRSV0n：IICAフラグ・レジスタ0n（IICAF0n）のビット0

STCF0n： " のビット7

3. シリアル・インタフェースIICA00：n = 0

シリアル・インタフェースIICA01：n = 1

シリアル・インタフェースIICA02：n = 2

図16 - 5 IICAコントロール・レジスタ0n (IICACTL0n) のフォーマット (4/4)

SPT0n	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する (マスタとしての転送終了)。 SDAAnラインをロウ・レベルにしたあと、SCLAnラインをハイ・レベルにするか、またはSCLAnがハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE0n = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット (1) 可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 ・STT0nと同時にセット (1) することは禁止です。 ・SPT0nのセット (1) は、マスタのときのみ行ってください。 ・WTIM0n = 0設定時に、8クロック出力後のウェイト期間中にSPT0nをセット (1) すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0n = 0 1に設定し、9クロック目出力後のウェイト期間中にSPT0nをセット (1) してください。 ・SPT0nをセット(1) 後、クリア (0) する前に、再度セット (1) することは禁止です。	
クリアされる条件 (SPT0n = 0)	セットされる条件 (SPT0n = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注意 IICAステータス・レジスタ (IICAS0n) のビット3 (TRC0n) = 1 (送信状態) のとき、9クロック目にIICACTL0nレジスタのビット5 (WREL0n) をセット (1) してウェイト解除すると、TRC0nビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRC0n = 1 (送信状態) におけるウェイト解除は、IICAシフト・レジスタ0nへの書き込みで行ってください。

備考1. ビット0 (SPT0n) は、データ設定後に読み出すと0になっています。

2. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

(2) IICAステータス・レジスタ0n (IICAS0n)

I²Cのステータスを表すレジスタです。

IICAS0nは、STT0n = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUPn = 1) 状態での IICAS0nレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1 0 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE0n = 1) して割り込み検出後にIICAS0nレジスタを読み出してください。

図16 - 6 IICAステータス・レジスタ0n (IICAS0n) のフォーマット (1/3)

アドレス : FFB6H (IICAS00) , FFEDH (IICAS01) , FF7DH (IICAS02) リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

IICAS0n	MSTS0n	ALD0n	EXC0n	COI0n	TRC0n	ACKD0n	STD0n	SPD0n
---------	--------	-------	-------	-------	-------	--------	-------	-------

MSTS0n	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS0n = 0)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0n = 1 (アービトレーション負け) のとき ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (MSTS0n = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション生成時 	

ALD0n	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0nがクリアされる。
クリアされる条件 (ALD0n = 0)	
<ul style="list-style-type: none"> ・IICAS0n読み出し後、自動的にクリア^注 ・IICE0n = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (ALD0n = 1)	
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 	

注 IICAS0nのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0n使用時は、ほかのビットよりも先にデータをリードしてください。

- 備考1.** LREL0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット6
 IICE0n : " のビット7
2. シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

図16 - 6 IICAステータス・レジスタ0n (IICAS0n) のフォーマット (2/3)

EXC0n	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
	クリアされる条件 (EXC0n = 0)	セットされる条件 (EXC0n = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)

COI0n	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0n = 0)	セットされる条件 (COI0n = 1)
	<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ0n (SVA0n)) と一致したとき (8クロック目の立ち上がりでセット)

TRC0n	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRC0n = 0)	セットされる条件 (TRC0n = 1)
	<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 1 0 (動作停止) のとき ・WREL0n = 1 (ウエイト解除) によるクリア^注 ・ALD0n = 0 1 (アービトレーション負け) のとき ・リセット時 ・通信不参加の場合 (MSTS0n, EXC0n, COI0n = 0) <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に "1" を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に "0" を入力したとき <p>< 通信不参加の場合 ></p>	<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "0" (マスタ送信) を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "1" (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ0n (IICAS0n) のビット3 (TRC0n) = 1 (送信状態) のとき, 9クロック目にIICAコントロール・レジスタ0n (IICACTL0n) のビット5 (WREL0n) をセット (1) してウエイトを解除すると, TRC0nビットをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRC0n = 1 (送信状態) におけるウエイト解除は, IICAシフト・レジスタ0nへの書き込みで行ってください。

- 備考1.** LREL0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット6
IICE0n : " " のビット7
2. シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

図16 - 6 IICAステータス・レジスタ0n (IICAS0n) のフォーマット (3/3)

ACKD0n	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD0n = 0)	セットされる条件 (ACKD0n = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・SCLAnの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STD0n	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD0n = 0)	セットされる条件 (STD0n = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0n = 1 (通信退避) によるクリア ・IICE0n = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD0n	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD0n = 0)	セットされる条件 (SPD0n = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0n = 1 0 (動作停止) のとき ・WUPn = 1 0のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考1. LREL0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット6
IICE0n : " のビット7

2. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

(3) IICAフラグ・レジスタ0n (IICAF0n)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICAF0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF0n、IICBSY0nビットは読み出しのみ可能です。

IICRSV0nビットにより、通信予約機能の禁止/許可を設定します。

またSTCEN0nにより、IICBSY0nビットの初期値を設定します。

IICRSV0n, STCEN0nはI²Cが動作禁止(IICAコントロール・レジスタ0n(IICACTL0n)のビット7(IICE0n) = 0) のときのみ書き込み可能です。動作許可後、IICAF0nは読み出し可能となります。

リセット信号の発生により、00Hになります。

図16 - 7 IICAフラグ・レジスタ0n (IICAF0n) のフォーマット (1/2)

アドレス：FFB4H (IICAF00) , FF87H (IICAF01) , FF7CH (IICAF02) リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
IICAF0n	STCF0n	IICBSY0n	0	0	0	0	STCEN0n	IICRSV0n

STCF0n	STT0nクリア・フラグ	
0	スタート・コンディション発行。	
1	スタート・コンディション発行できず, STT0nフラグ・クリア。	
クリアされる条件 (STCF0n = 0)		セットされる条件 (STCF0n = 1)
<ul style="list-style-type: none"> ・ STT0n = 1によるクリア ・ IICE0n = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV0n = 1) 設定時にスタート・コンディション発行できず, STT0nがクリア (0) されたとき

IICBSY0n	I ² Cバス状態フラグ	
0	バス解放状態 (STCEN0n = 1時の通信初期状態)。	
1	バス通信状態 (STCEN0n = 0時の通信初期状態)。	
クリアされる条件 (IICBSY0n = 0)		セットされる条件 (IICBSY0n = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE0n = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN0n = 0時のIICE0nのセット

STCEN0n	初期スタート許可トリガ	
0	動作許可 (IICE0n = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。	
1	動作許可 (IICE0n = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。	
クリアされる条件 (STCEN0n = 0)		セットされる条件 (STCEN0n = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 ビット6, 7はRead onlyです。

注意1. STCEN0nへの書き込みは動作停止 (IICE0n = 0) 時のみ行ってください。

2. STCEN0n = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY0n = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STT0n = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。
3. IICRSV0nへの書き込みは動作停止 (IICE0n = 0) 時のみ行ってください。

備考1. STT0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット1

IICE0n : " のビット7

2. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

図16 - 7 IICAフラグ・レジスタ0n (IICAF0n) のフォーマット (2/2)

IICRSV0n	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
	クリアされる条件 (IICRSV0n = 0)	セットされる条件 (IICRSV0n = 1)
	<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	<ul style="list-style-type: none"> ・ 命令によるセット

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

(4) IICAコントロール・レジスタ1n (IICACTL1n)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICACTL1nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0n、DAD0nビットは読み出しのみ可能です。

IICACTL1nは、WUPnを除きI²Cが動作禁止 (IICAコントロール・レジスタ0n (IICACTL0n) のビット7 (IICE0n) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図16 - 8 IICAコントロール・レジスタ1n (IICACTL1n) のフォーマット (1/2)

アドレス：FFB3H (IICACTL10)，FF8BH (IICACTL11)，FF7BH (IICACTL12) リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICACTL1n	WUPn	0	CLD0n	DAD0n	SMC0n	DFC0n	0	0

WUPn	アドレス一致ウエイク・アップの制御				
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止				
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可				
<p>WUPn = 1でSTOPモードに移行する場合は、WUPnをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図16 - 21 WUPn = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPnをクリア (0) してください。WUPnをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPnをクリア (0) したあとに行う必要があります)。</p> <p>WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIE0n = 1にしてもストップ・コンディション割り込みは発生しません。</p>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (WUPn = 0)</th> <th>セットされる条件 (WUPn = 1)</th> </tr> </thead> <tbody> <tr> <td>・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)</td> <td>・ 命令によるセット (MSTS0n, EXC0n, COI0nが "0" であり、STD0nも "0" (通信に参加である事) のとき)^{注2}</td> </tr> </tbody> </table>		クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)	・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)	・ 命令によるセット (MSTS0n, EXC0n, COI0nが "0" であり、STD0nも "0" (通信に参加である事) のとき) ^{注2}
クリアされる条件 (WUPn = 0)	セットされる条件 (WUPn = 1)				
・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)	・ 命令によるセット (MSTS0n, EXC0n, COI0nが "0" であり、STD0nも "0" (通信に参加である事) のとき) ^{注2}				

CLD0n	SCLAn端子のレベル検出 (IICE0n = 1のときのみ有効)				
0	SCLAn端子がロウ・レベルであることを検出				
1	SCLAn端子がハイ・レベルであることを検出				
<table border="1"> <thead> <tr> <th>クリアされる条件 (CLD0n = 0)</th> <th>セットされる条件 (CLD0n = 1)</th> </tr> </thead> <tbody> <tr> <td>・ SCLAn端子がロウ・レベルのとき ・ IICE0n = 0 (動作停止) のとき ・ リセット時</td> <td>・ SCLAn端子がハイ・レベルのとき</td> </tr> </tbody> </table>		クリアされる条件 (CLD0n = 0)	セットされる条件 (CLD0n = 1)	・ SCLAn端子がロウ・レベルのとき ・ IICE0n = 0 (動作停止) のとき ・ リセット時	・ SCLAn端子がハイ・レベルのとき
クリアされる条件 (CLD0n = 0)	セットされる条件 (CLD0n = 1)				
・ SCLAn端子がロウ・レベルのとき ・ IICE0n = 0 (動作停止) のとき ・ リセット時	・ SCLAn端子がハイ・レベルのとき				

(注, 備考は次ページにあります。)

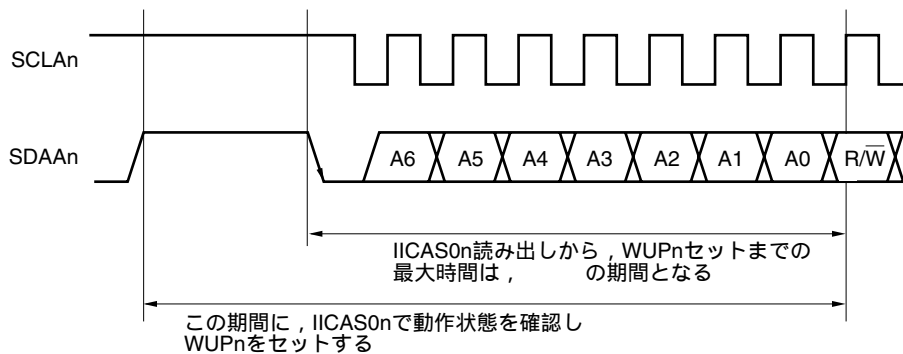
図16 - 8 IICAコントロール・レジスタ1n (IICACTL1n) のフォーマット (2/2)

DAD0n	SDAAn端子のレベル検出 (IICE0n = 1のときのみ有効)	
0	SDAAn端子がロウ・レベルであることを検出	
1	SDAAn端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0n = 0)		セットされる条件 (DAD0n = 1)
<ul style="list-style-type: none"> ・ SDAAn端子がロウ・レベルのとき ・ IICE0n = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDAAn端子がハイ・レベルのとき

SMC0n	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC0n	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モード時にのみ使用できます。 ファースト・モード時はDFC0nのセット (1) / クリア (0) により、転送クロックが変化することはありません。 デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。		

- 注1. ビット4, 5はRead Onlyです。
2. 次に示す期間に、IICAS0nの状態を確認しセットする必要があります。



- 備考1. IICE0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット7
2. シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

(5) IICAロウ・レベル幅設定レジスタ0n (IICAWL0n)

シリアル・インタフェースIICA0nが出力するSCLAn端子信号のロウ・レベル幅 (t_{LOW}) とデータ・ホールド時間 ($t_{HD:DAT}$) を設定するレジスタです。データ・ホールド時間は、IICAWL0nの上位6ビットで決定されます。

IICAWL0nは、8ビット・メモリ操作命令で設定します。

IICAWL0nは、I²Cが動作禁止 (IICAコントロール・レジスタ0n (IICACTL0n) のビット7 (IICE0n) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図16 - 9 IICAロウ・レベル幅設定レジスタ0n (IICAWL0n) のフォーマット

**(6) IICAハイ・レベル幅設定レジスタ0n (IICAWH0n)**

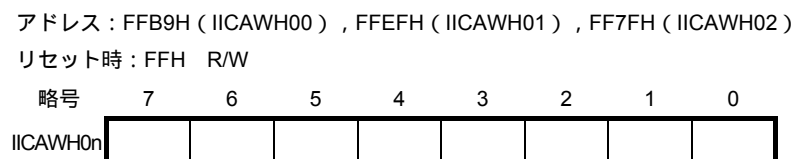
シリアル・インタフェースIICA0nが出力するSCLAn端子信号のハイ・レベル幅 (t_{HIGH}) を設定するレジスタです。

IICAWH0nは、8ビット・メモリ操作命令で設定します。

IICAWH0nは、I²Cが動作禁止 (IICAコントロール・レジスタ0n (IICACTL0n) のビット7 (IICE0n) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図16 - 10 IICAハイ・レベル幅設定レジスタ0n (IICAWH0n) のフォーマット



備考1. IICAWL0n, IICAWH0nレジスタによる転送クロックの設定方法は、16. 4. 2 IICAWL0n, IICAWH0nレジスタによる転送クロック設定方法を参照してください。

2. シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

(7) ポート・モード・レジスタ6, 7 (PM6, PM7)

ポート6, 7の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCLA0, P62/SCLA1, P70/SCLA2端子をクロック入出力, P61/SDAA0, P63/SDAA1, P71/SDAA2端子をシリアル・データ入出力として使用するとき, PM60-PM63, PM70, PM71に0を, P60-P63, P70, P71の出力ラッチに1を設定してください。

IICE0n (IICAコントロール・レジスタ0n (IICACTL0n) のビット7) が0の場合, P60/SCLA0, P62/SCLA1, P70/SCLA2端子およびP61/SDAA0, P63/SDAA1, P71/SDAA2端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICE0nに1を設定してから, 行ってください。

PM6, PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図16 - 11 ポート・モード・レジスタ6, 7 (PM6, PM7) のフォーマット

アドレス : FF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM63	PM62	PM61	PM60

アドレス : FF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77 ^注	PM76 ^注	PM75	PM74	PM73	PM72	PM71	PM70

PMmn	Pmn端子の入出力モードの選択 (m = 6, 7, n = 0-7, mn = 60-63, 70-77)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KE2-Cのみ

16.4 I²Cバス・モードの機能

16.4.1 端子構成

シリアル・クロック端子 (SCLAn) と、シリアル・データ・バス端子 (SDAAn) の構成は、次のようになっています。

(1) SCLAn.....シリアル・クロックを入出力するための端子。

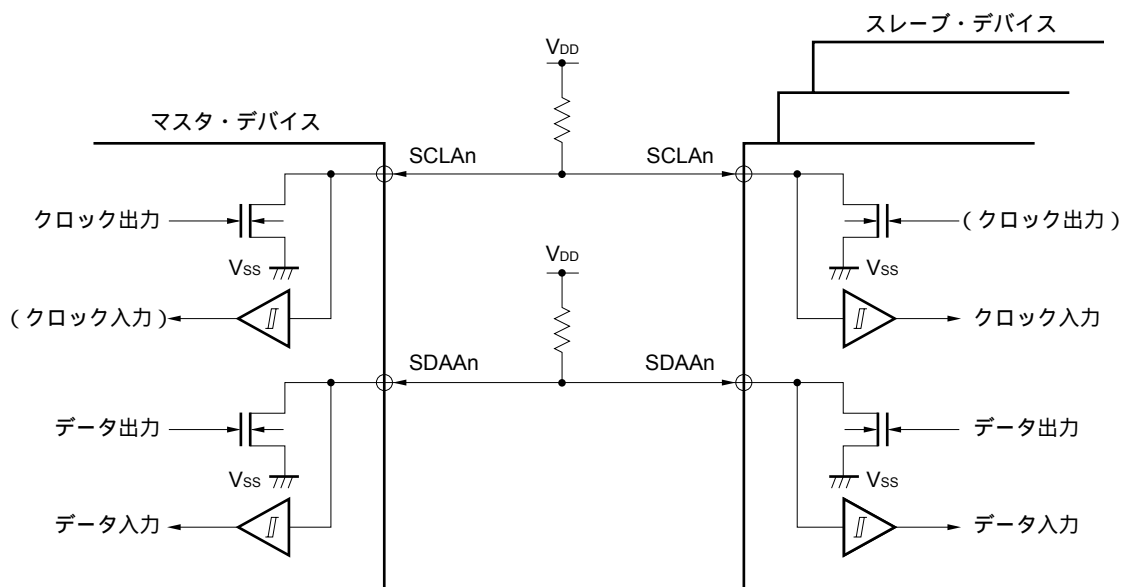
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図16 - 12 端子構成図



備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16.4.2 IICAWL0n, IICAWH0nレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{PRS}}}{\text{IICAWL0n} + \text{IICAWH0n} + f_{\text{PRS}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICAWL0nとIICAWH0nの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICAWL0n} = \frac{0.52}{\text{転送クロック}} \times f_{\text{PRS}}$$

$$\text{IICAWH0n} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{PRS}}$$

・標準モード時

$$\text{IICAWL0n} = \frac{0.47}{\text{転送クロック}} \times f_{\text{PRS}}$$

$$\text{IICAWH0n} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{PRS}}$$

備考 IICAWL0nの設定により、データ・ホールド時間は、次のようになります。

$$\text{データ・ホールド時間} = \frac{\text{IICAWL0nの上位6ビット}}{f_{\text{PRS}}}$$

例 転送クロック = 400 [kHz] (ファースト・モード), $f_{\text{PRS}} = 20$ [MHz], IICAWL0n = 26 (上位6ビット = 6) の場合

$$\frac{6}{20000000} = 0.3 [\mu\text{s}]$$

注意 データ・ホールド時間は、ファースト・モードで0.9 [μs], 標準モードで3.45 [μs]を越えないようにしてください。

(2) スレーブ側のIICAWL0n, IICAWH0n設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICAWL0n} = 1.3 \mu\text{s} \times f_{\text{PRS}}$$

$$\text{IICAWH0n} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{PRS}}$$

・標準モード時

$$\text{IICAWL0n} = 4.7 \mu\text{s} \times f_{\text{PRS}}$$

$$\text{IICAWH0n} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{PRS}}$$

(注意, 備考は次ページにあります。)

注意 転送クロックを設定する場合は、 f_{PRS} の最低動作周波数に注意してください。シリアル・インタフェースIICA0nはモードによって f_{PRS} の最低動作周波数が決められています。

ファースト・モード時 : $f_{PRS} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{PRS} = 1 \text{ MHz (Min.)}$

備考1. SDAAn, SCLAn信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICAWL0n : IICAロウ・レベル幅設定レジスタ0n

IICAWH0n : IICAハイ・レベル幅設定レジスタ0n

t_F : SDAAn, SCLAn信号の立ち下がり時間

t_R : SDAAn, SCLAn信号の立ち上がり時間

f_{PRS} : 周辺ハードウェア・クロック周波数

3. シリアル・インタフェースIICA00 : $n = 0$

シリアル・インタフェースIICA01 : $n = 1$

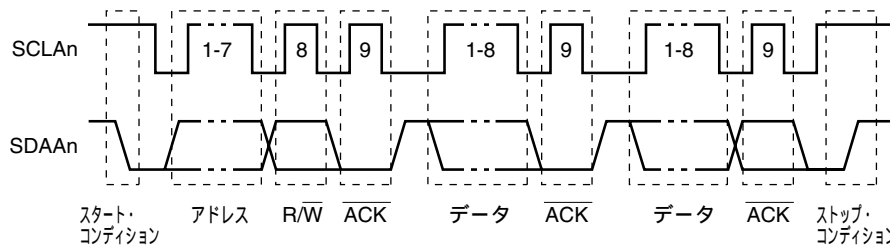
シリアル・インタフェースIICA02 : $n = 2$

16.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図16 - 13に示します。

図16 - 13 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

アクノリッジ (\overline{ACK}) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCLAn) は、マスタが出力し続けます。ただし、スレーブはSCLAnのロウ・レベル期間を延長し、ウエイトを挿入できます。

備考 シリアル・インタフェースIICA00 : $n = 0$

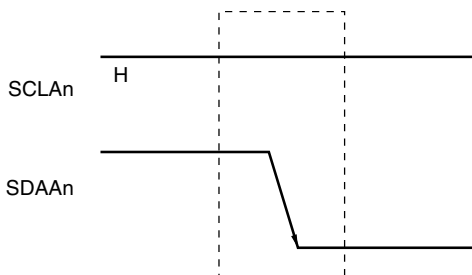
シリアル・インタフェースIICA01 : $n = 1$

シリアル・インタフェースIICA02 : $n = 2$

16.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図16 - 14 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0n : IICAステータス・レジスタ0n (IICAS0n) のビット0 = 1) のときにIICAコントロール・レジスタ0n (IICACTL0n) のビット1 (STT0n) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICAS0nのビット1 (STD0n) がセット (1) されます。

備考 シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

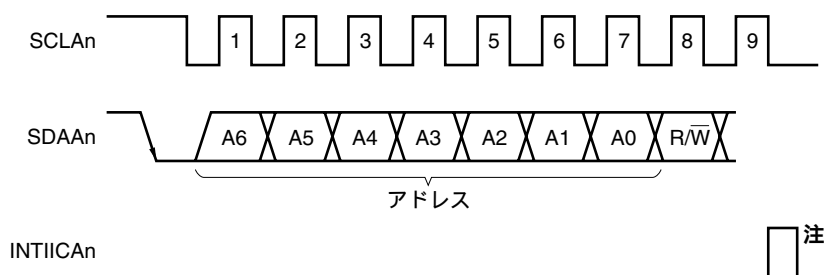
16.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0n (SVA0n) と一致しているかを調べます。このとき、7ビット・データとSVA0nの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図16 - 15 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと16.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ0n (IICA0n) に書き込むと出力します。また、受信したアドレスはIICA0nに書き込まれます。なお、スレーブのアドレスは、IICA0nの上位7ビットに割り当てられます。

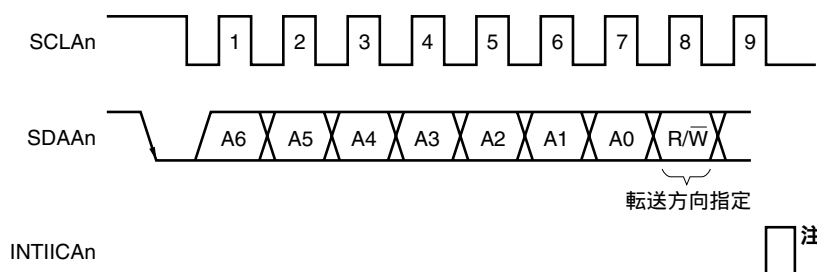
備考 シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

16.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図16 - 16 転送方向指定



(注、備考は次ページにあります。)

注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

16.5.4 アクノリッジ (\overline{ACK})

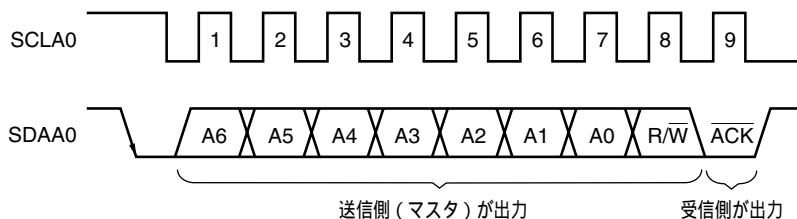
(1) アクノリッジ (\overline{ACK}) の使用目的

送信側は、受信側の状態を確認するためにアクノリッジ (\overline{ACK}) を使用します。受信側は、8ビット・データを受信するごとにアクノリッジを返し、通信が正常に行われたことを示します。送信側は8ビット・データ送信後、アクノリッジを受信し、受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。このため、8ビットのデータの直後にアクノリッジが付加された9ビットが²Cバスの通信の基本となります。

(2) アクノリッジのタイミング

受信側は9ビット目でSDA信号をロウ・レベルにすることでアクノリッジを返します（正常受信）。アドレスに対するアクノリッジのタイミングを図16 - 17に示します。

図16 - 17 アクノリッジ



(3) アクノリッジが戻らない場合

アクノリッジが戻らないのは、受信側が何らかの原因で通信を継続できなくなったことを示します。これには3つの場合があります。

アドレス送信時にアクノリッジが戻らなかった。

これはアドレスで指定したスレーブが存在しない場合と、指定したスレーブが転送されたデータを処理中で、I²Cバスの通信に応答できない場合です。

スレーブ受信時にアクノリッジが戻らなかった。

これは、スレーブが受信したデータにエラーがあったか、スレーブがデータを受信できない状態になった場合です。

マスタ受信時にアクノリッジが戻らなかった。

これは、マスタが最終データの受信時にこれ以上のデータが必要ないことをスレーブに示す場合です。スレーブがこれを確認してI²Cバスのドライブを中止することで、マスタはストップ・コンディションを生成できるようになります。

(4) アクノリッジが戻らなかった場合の処理

アクノリッジが戻らなかった場合には、送信側は送信を打ち切ります。その後、マスタがストップ・コンディションを生成して通信を終了するか、リスタート・コンディションを発行して新たな通信を開始します。

(5) IICAでのアクノリッジの生成

IICAでのアクノリッジの制御は2つの場合に分けられます。1つ目はマスタからのアドレス指定の場合です。この場合にはSVA0レジスタの値と送信されたアドレスをIICAが比較して、一致すれば自動的にアクノリッジを生成します。一致しなければアクノリッジは生成しません。（拡張コード受信時は、あらかじめACKE0nビットをセット（1）しておくことによってアクノリッジを生成します。）

2つ目は送信側からのデータに対する場合です。この場合には、IICAコントロール・レジスタ0n（IICACTL0n）のビット2（ACKE0n）をセット（1）することによって、アクノリッジが自動生成可能な状態になります。

(6) IICAでのACKE0nの制御方法

データ受信時のアクノリッジ生成方法は、ウエイト・タイミングの設定により次のように異なります。

8クロック・ウエイト選択時 (IICACTL0nレジスタのビット3 (WTIM0n) = 0)

ウエイト解除を行う前にACKE0nビットをセット (1) することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

9クロック・ウエイト選択時 (IICACTL0nレジスタのビット3 (WTIM0n) = 1)

あらかじめACKE0nビットをセット (1) することによって、次の転送でアクノリッジを生成します。スレーブとして、これ以上のデータを受信したくないときにACKE0nビットをクリア (0) することによって、次の通信でアクノリッジを生成しなくなります。

(7) IICAでのACKE0nの制御の例

スレーブ受信動作時 (TRC0n = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、9クロック・ウエイト状態でACKE0nビットをクリア (0) し、マスタ側にもう受信ができないことを示してください。

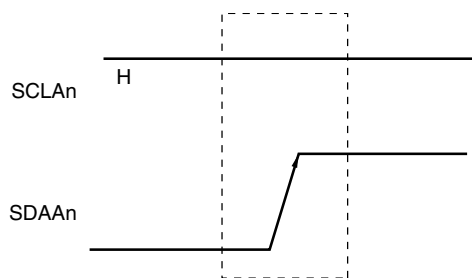
マスタ受信動作時 (TRC0n = 0) に、次のデータを必要としない場合、アクノリッジを生成しないように8クロック・ウエイト状態でACKE0nビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

16.5.5 ストップ・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図16 - 18 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0n (IICACTL0n) のビット0 (SPT0n) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ0n (IICAS0n) のビット0 (SPD0n) がセット (1) され、IICACTL0nのビット4 (SPIE0n) がセット (1) されている場合にはINTIICAnが発生します。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16.5.6 ウェイト

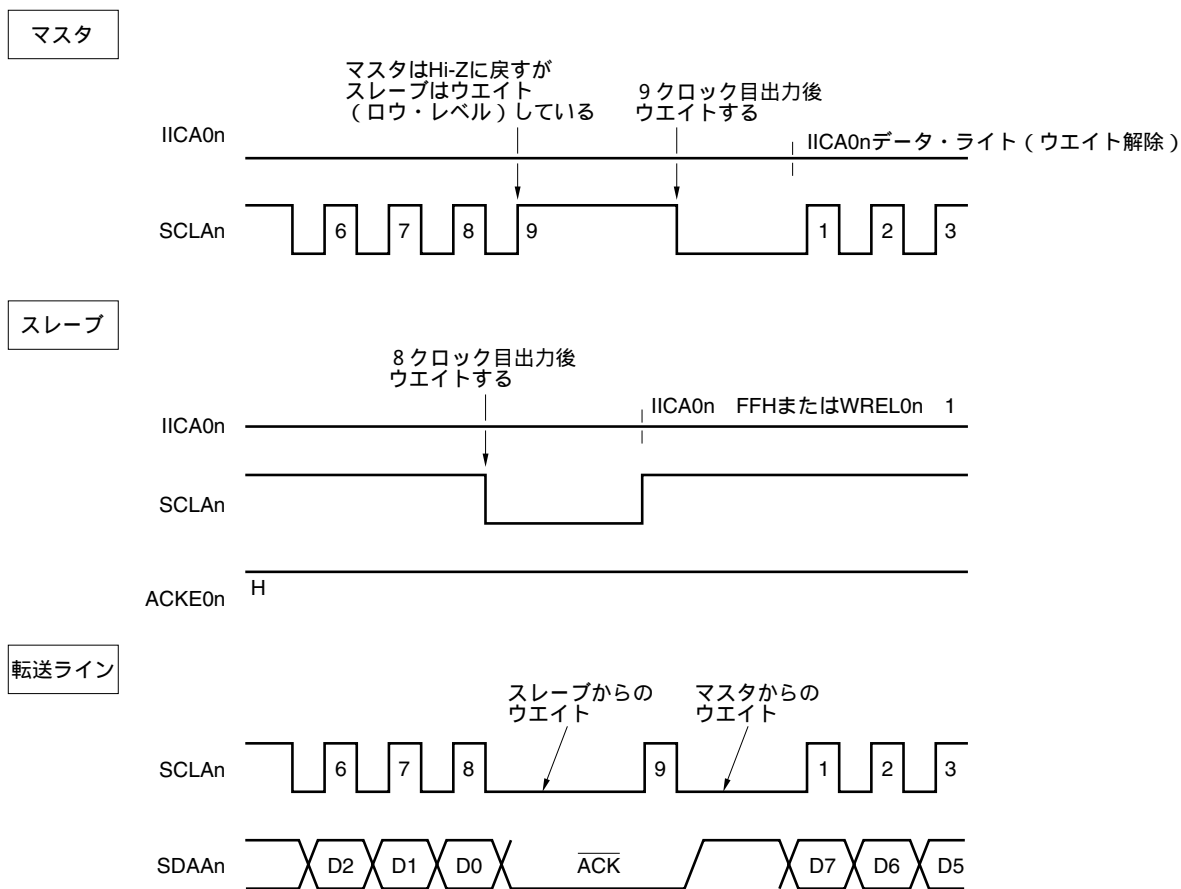
ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図16 - 19 ウェイト (1/2)

(1) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0n = 1)



備考 シリアル・インタフェースIICA00 : n = 0

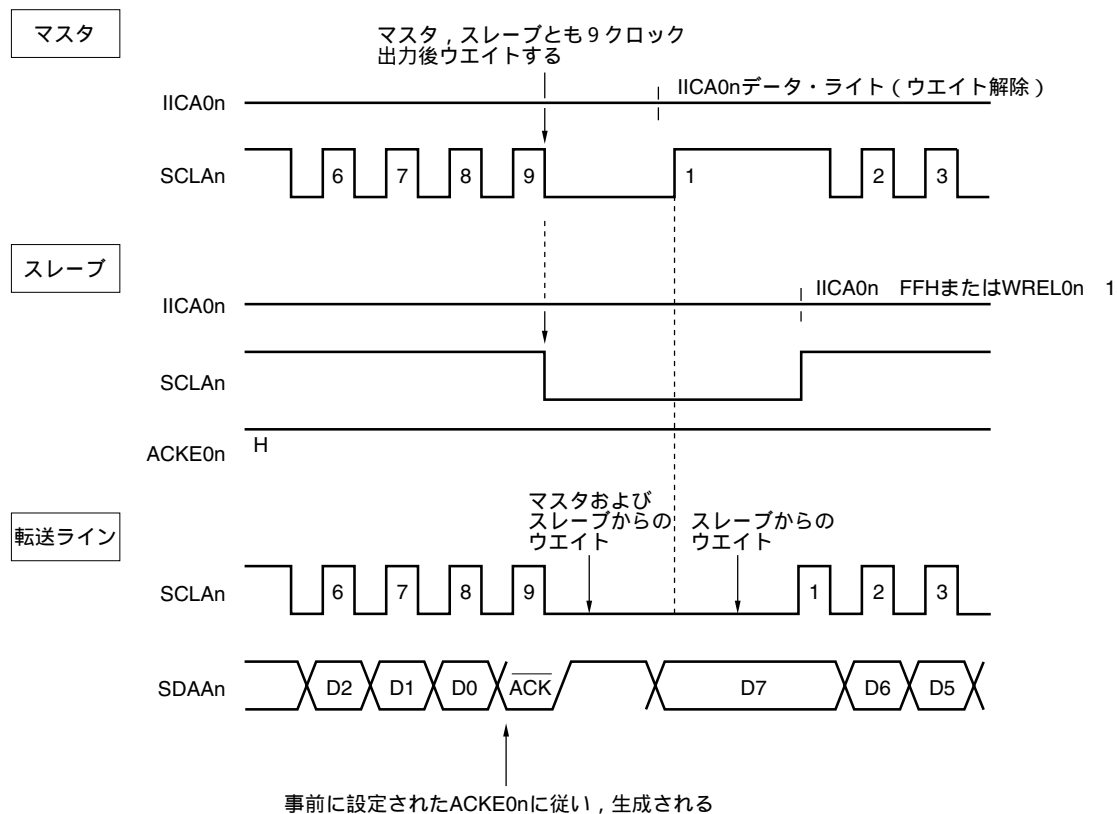
シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

図16 - 19 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0n = 1)



ウェイトは, IICAコントロール・レジスタ0n (IICACTL0n) のビット3 (WTIM0n) の設定により自動的に発生します。

通常, 受信側はIICACTL0nのビット5 (WREL0n) = 1またはIICAシフト・レジスタ0n (IICA0n) にFFH書き込むとウェイトを解除し, 送信側はIICA0nにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICACTL0nのビット1 (STT0n) = 1
- ・ IICACTL0nのビット0 (SPT0n) = 1

備考1. ACKE0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット2

WREL0n : " のビット5

2. シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ0n (IICA0n) へのデータ書き込み
- ・ IICAコントロール・レジスタ0n (IICACTL0n) のビット5 (WREL0n) のセット (ウェイト解除)
- ・ IICACTL0nレジスタのビット1 (STT0n) のセット (スタート・コンディションの生成)^注
- ・ IICACTL0nレジスタのビット0 (SPT0n) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ(アドレスを含む)を送信する場合には、IICA0nにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICAコントロール・レジスタ0n (IICACTL0n) のビット5 (WREL0n) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICACTL0nのビット1 (STT0n) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICACTL0nのビット0 (SPT0n) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0nにセット (1) によるウェイト解除後、IICA0nへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICA0nへの書き込みタイミングの競合により、SDAAnへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0nをクリア(0)すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICACTL0nのビット6 (LREL0n) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUPn (IICAコントロール・レジスタ1n (IICACTL1n) のビット7) = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0n (IICACTL0n) のビット3 (WTIM0n) の設定で、表16 - 2に示すタイミングでINTIICAnが発生し、また、ウェイト制御を行います。

表16 - 2 INTIICAn発生タイミングおよびウェイト制御

WTIM0n	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICAn信号およびウェイトは、スレーブ・アドレス・レジスタ0n (SVA0n) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICACTL0nのビット2 (ACKE0n) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICAnを発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ0n (SVA0n) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAnもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時: WTIM0nビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時 : WTIM0nビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時: WTIM0nビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時: WTIM0nビットにより、割り込みおよびウェイト・タイミングが決まります。

備考 シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ0n (IICA0n) へのデータ書き込み
- ・ IICAコントロール・レジスタ0n (IICACTL0n) のビット5 (WREL0n) のセット (ウェイト解除)
- ・ IICACTL0nレジスタのビット1 (STT0n) のセット (スタート・コンディションの生成)^注
- ・ IICACTL0nレジスタのビット0 (SPT0n) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0n = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIE0n = 1のときのみ)。

16. 5. 9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ0n (SVA0n) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0nに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

16. 5. 10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスのIICAシフト・レジスタ0n (IICA0n) にも取り込まれるため、送信開始前と送信終了後のIICA0nデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXC0n) をセット (1) し、8クロック目の立ち下がりで割り込み要求 (INTIICAn) を発生します。
スレーブ・アドレス・レジスタ0n (SVA0n) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVA0nに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生しません。

- ・上位4ビット・データの一致 : EXC0n = 1
- ・7ビット・データの一致 : COI0n = 1

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。
スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0n (IICACTL0n) のビット6 (LREL0n) = 1に設定してください。次の通信待機状態にします。

表16-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 xx	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1 1 1 1 0 xx	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

- 備考1. EXC0n : IICAステータス・レジスタ0n (IICAS0n) のビット5
COI0n : " のビット4
2. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。
 3. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

16.5.12 アービトレーション

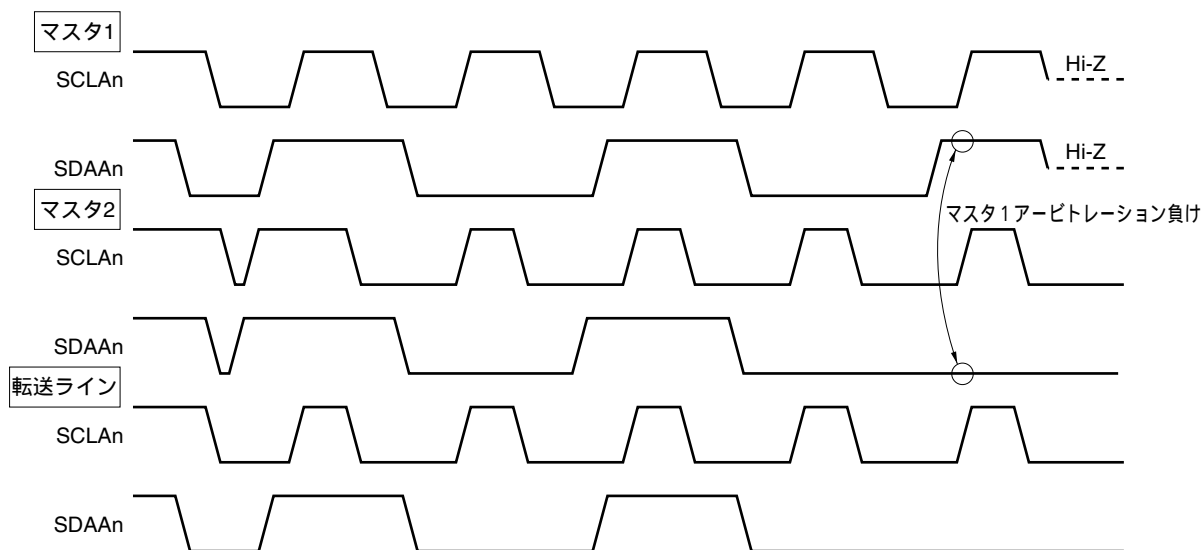
複数のマスタがスタート・コンディションを同時に生成した場合（ $STD0n = 1$ になる前に $STT0n = 1$ にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ $0n$ （ $IICAS0n$ ）のアービトレーション負けフラグ（ $ALD0n$ ）をセット（1）し、 $SCLAn$ 、 $SDAAn$ ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアで $ALD0n = 1$ になっていることで検出します。

割り込み要求発生タイミングについては、16.5.8 割り込み要求（ $INTIICAn$ ）の発生タイミングおよびウェイト制御を参照してください。

図16-20 アービトレーション・タイミング例



- 備考1. $STD0n$: IICAステータス・レジスタ $0n$ （ $IICAS0n$ ）のビット1
 $STT0n$: IICAコントロール・レジスタ $0n$ （ $IICACTL0n$ ）のビット1
2. シリアル・インタフェースIICA00 : $n = 0$
 シリアル・インタフェースIICA01 : $n = 1$
 シリアル・インタフェースIICA02 : $n = 2$

表16-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	ストップ・コンディション生成時 (SPIE0n = 1時) ^{注2}
データ転送中, ストップ・コンディション検出	
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0n = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIM0n (IICAコントロール・レジスタ0n (IICACTL0n) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0n = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0n = 1に設定してください。

備考1. SPIE0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット 4

2. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

16.5.13 ウェイク・アップ機能

(1) ウェイク・アップ機能の概要

ウェイク・アップ機能は、I²Cのスレーブとして動作中に、自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICA0n) を発生する機能です。アドレスが一致しないときは不要なINTIICA0n信号を発生しないので、効率よく処理できます。

(2) ウェイク・アップ機能の動作

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロールレジスタ0n (IICACTL0n) のビット4 (SPIE0n) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

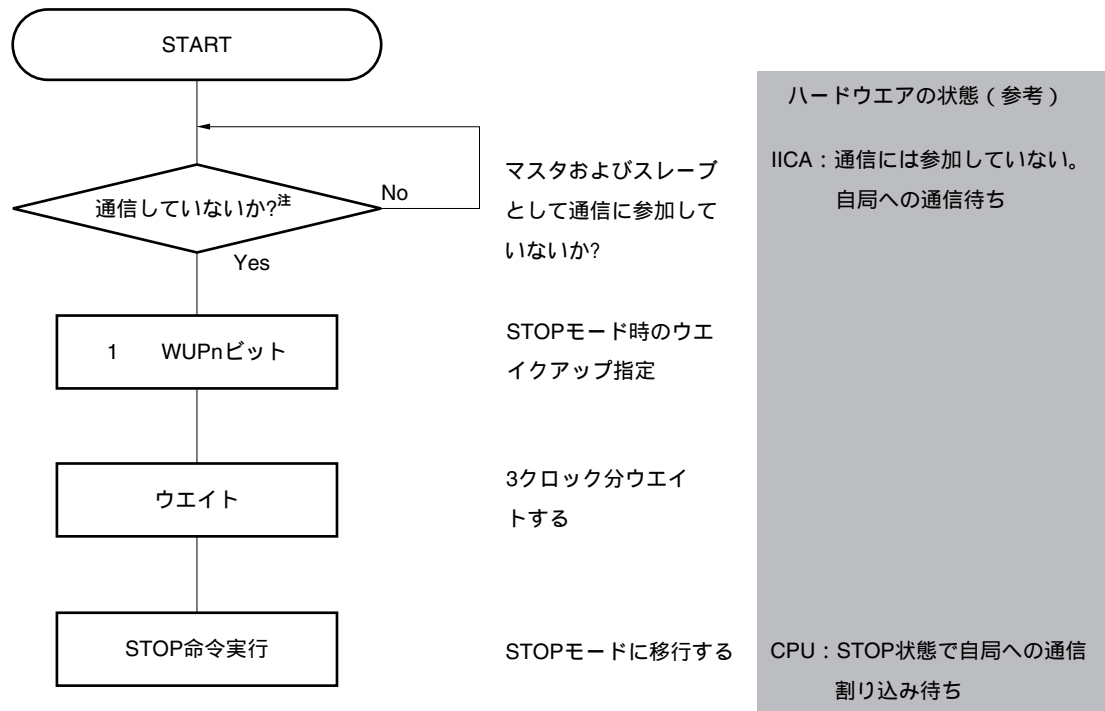
(3) STOPモード状態時のウェイク・アップ機能

自局アドレスに対する通信開始をSTOPモード状態で待つことで、省電力化が可能です。STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA0n) を発生します。この割り込み発生後に命令でWUPnビットをクリア (0) することで通常動作に戻ります。

(4) STOPモードとウエイク・アップ機能の制御

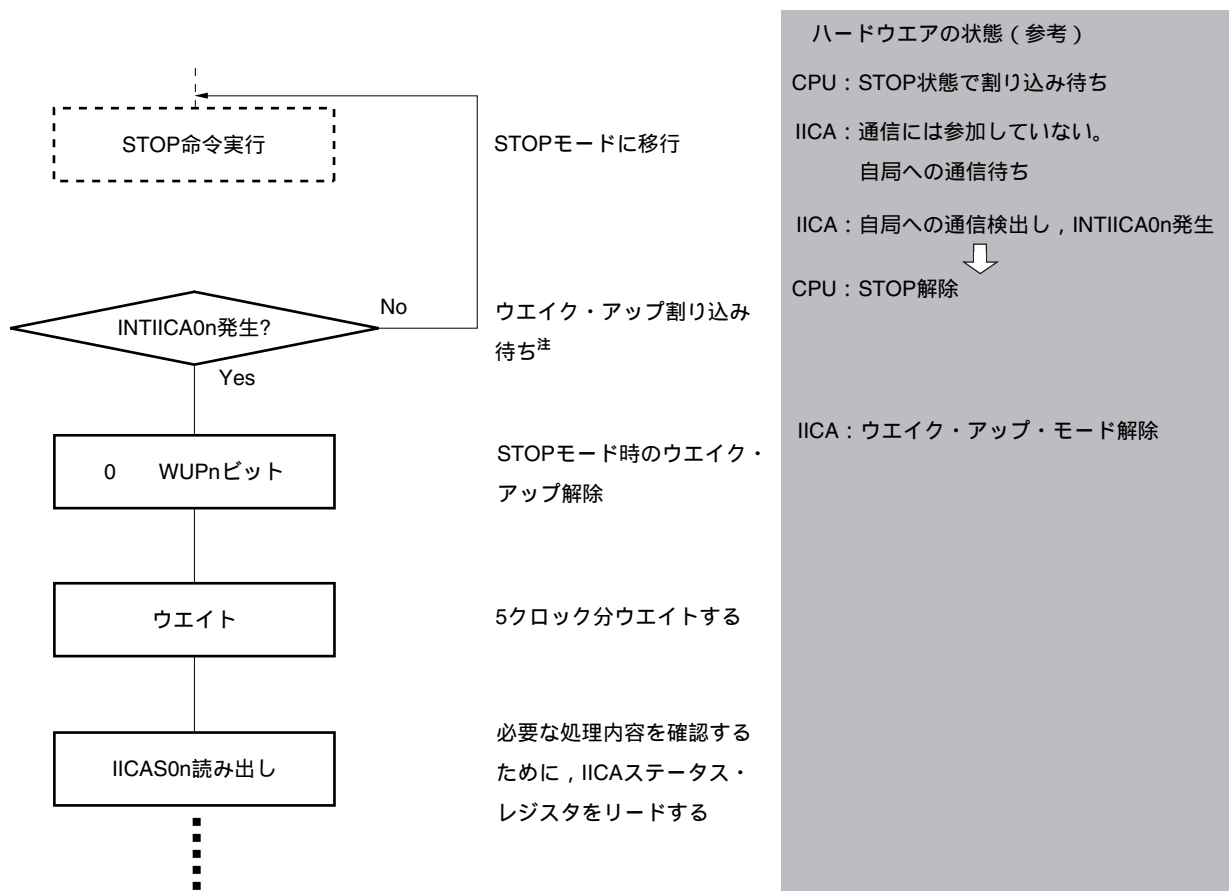
STOPモード時にウエイク・アップ機能を使用するためのフローを図16 - 21に、アドレス一致により通常動作に戻す場合のフローを図16 - 22に示します。

図16 - 21 STOPモード時にウエイク・アップ機能を使用するためのフロー



注 MSTSn = STD0n = EXC0n = COI0n = 0

図16 - 22 アドレス一致により通常動作に戻す場合のフロー



注 INTIICA0n以外の割り込みで解除された場合には、割り込み処理後に再度STOPモードに戻る（スレーブとして動作を継続する場合）。

16.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ0n (IICAF0n) のビット0 (IICRSV0n) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICAコントロール・レジスタ0n (IICACTL0n) のビット6 (LREL0n) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICACTL0nのビット1 (STT0n) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICACTL0nのビット4 (SPIE0n) をセット (1) し、割り込み要求信号 (INTIICAn) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ0n (IICA0n) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICA0nに書き込まれたデータは、無効です。

STT0nをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STT0nをセット (1) し、ウェイト時間をとったあと、MSTS0n (IICAステータス・レジスタ0n (IICAS0n) のビット7) で確認します。

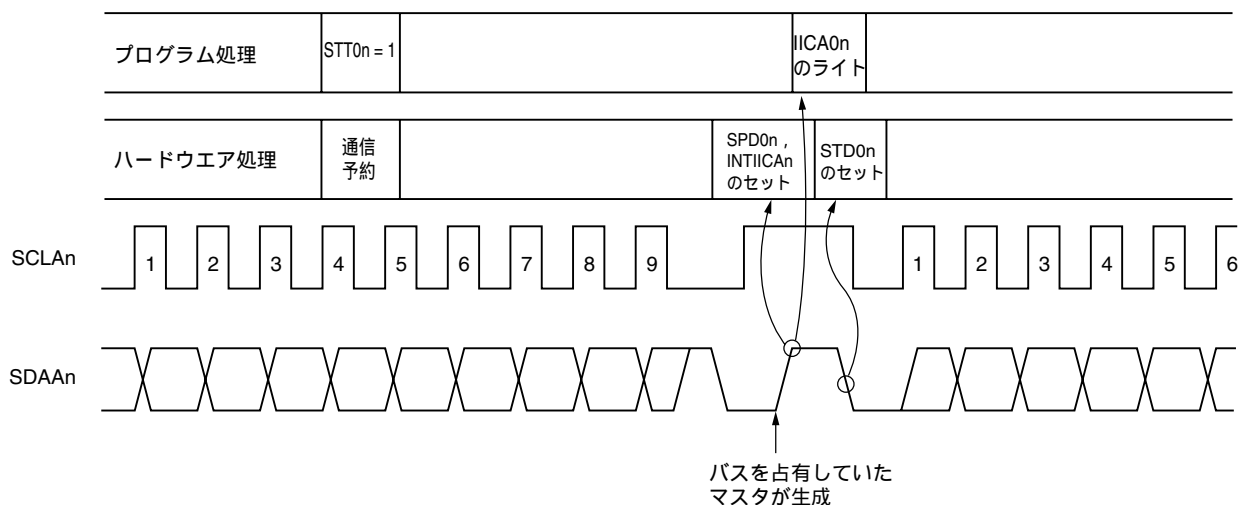
ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STT0n} = 1 \text{ から MSTS0n フラグ 確認 までの ウェイト 時間 :} \\ (\text{IICAWL0n の 設定 値} + \text{IICAWH0n の 設定 値} + 4) + t_F \times 2 \times f_{\text{PRS}} \quad [\text{クロック}]$$

- 備考1.** IICAWL0n : IICAロウ・レベル幅設定レジスタ0n
 IICAWH0n : IICAハイ・レベル幅設定レジスタ0n
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 f_{PRS} : 周辺ハードウェア・クロック周波数
- 2.** シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

通信予約のタイミングを図16 - 23に示します。

図16 - 23 通信予約のタイミング



備考 IICA0n : IICAシフト・レジスタ0n

STT0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット1

STD0n : IICAステータス・レジスタ0n (IICAS0n) のビット1

SPD0n : " のビット0

通信予約は図16 - 24に示すタイミングで受け付けられます。IICAステータス・レジスタ0n (IICAS0n) のビット1 (STD0n) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0n (IICACTL0n) のビット1 (STT0n) = 1で通信予約をします。

図16 - 24 通信予約受け付けタイミング

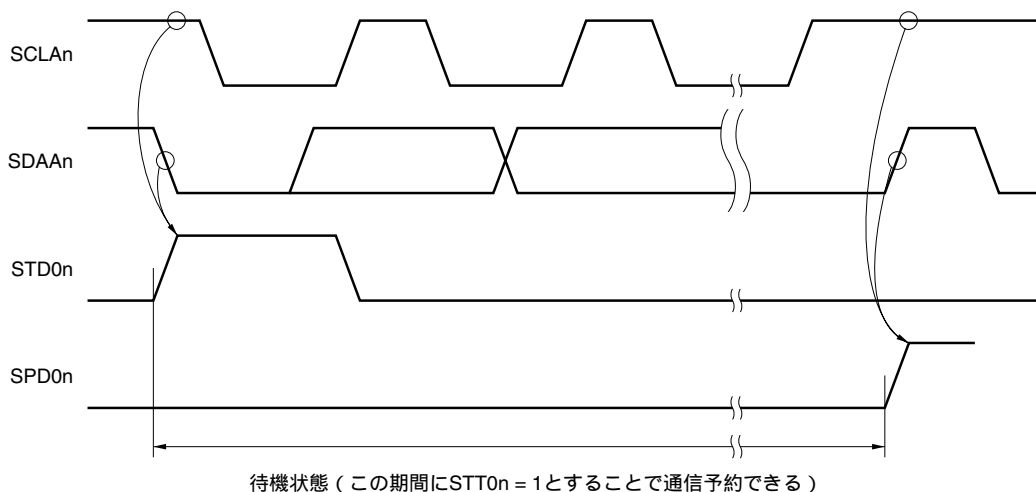


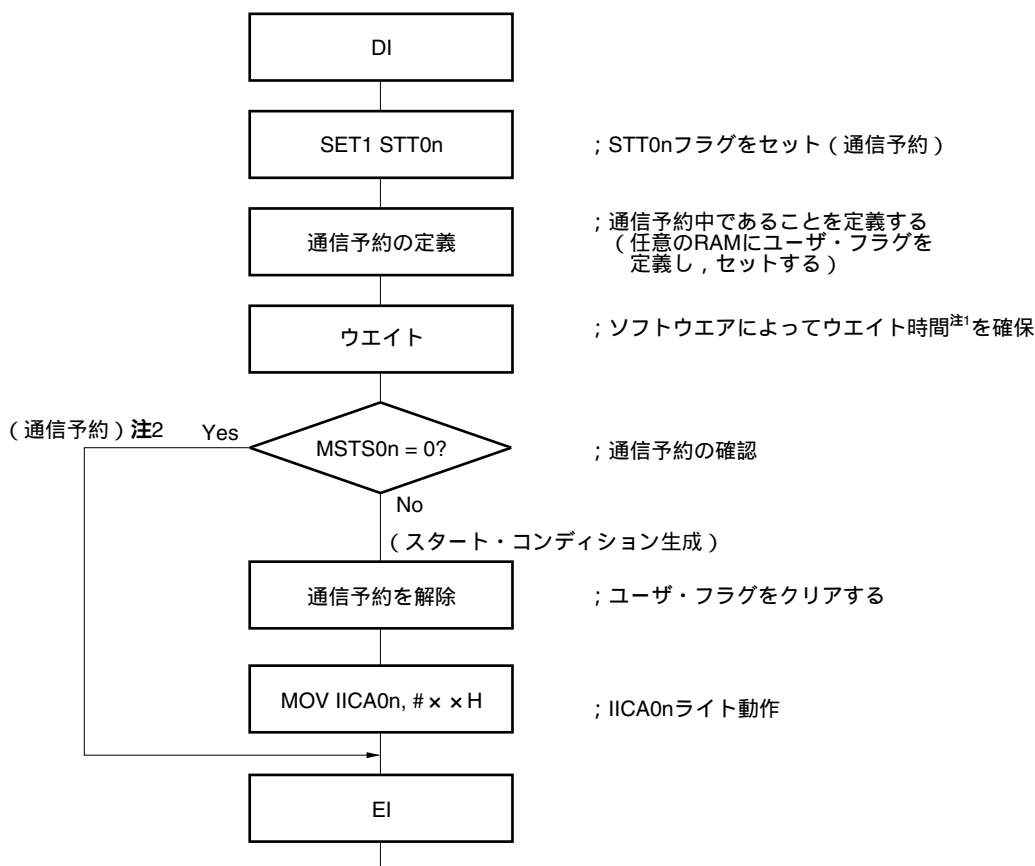
図16 - 25に通信予約の手順を示します。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

図16 - 25 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(IICAWL0n\text{の設定値} + IICAWH0n\text{の設定値} + 4) + t_F \times 2 \times f_{PRS} \quad [\text{クロック}]$$

2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ0n (IICA0n) への書き込みを実行します。

- 備考1. STT0n : IICAコントロール・レジスタ0n (IICACTL0n) のビット1
 MSTS0n : IICAステータス・レジスタ0n (IICAS0n) のビット7
 IICA0n : IICAシフト・レジスタ0n
 IICAWL0n : IICAロウ・レベル幅設定レジスタ0n
 IICAWH0n : IICAハイ・レベル幅設定レジスタ0n
 t_F : SDAAn, SCLAn信号の立ち下がり時間 (第30章 電気的特性参照)
 f_{PRS} : 周辺ハードウェア・クロック周波数
2. シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ0n (IICAF0n) のビット0 (IICRSV0n) = 1)

バスが通信中で、この通信に不参加の状態では IICA コントロール・レジスタ 0n (IICACTL0n) のビット 1 (STT0n) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICACTL0n のビット 6 (LREL0n) = 1 で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF0n (IICAF0n のビット 7) で確認できます。STT0n = 1 としてから STCF0n がセット (1) されるまで 5 クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 シリアル・インタフェース IICA00 : n = 0

シリアル・インタフェース IICA01 : n = 1

シリアル・インタフェース IICA02 : n = 2

16.5.15 その他の注意事項

(1) STCEN0n (IICAフラグ・レジスタ0n (IICAF0n) のビット1) = 0 の場合

I²C 動作許可 (IICE0n = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY0n (IICAF0n のビット 6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICA コントロール・レジスタ 1n (IICACTL1n) を設定する

IICA コントロール・レジスタ 0n (IICACTL0n) のビット 7 (IICE0n) をセット (1) する

IICACTL0n のビット 0 (SPT0n) をセット (1) する

(2) STCEN0n = 1 の場合

I²C 動作許可 (IICE0n = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY0n = 0) と認識しますので、1 回目のスタート・コンディションを生成 (STT0n (IICA コントロール・レジスタ 0n (IICACTL0n) のビット 1) = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

備考 シリアル・インタフェース IICA00 : n = 0

シリアル・インタフェース IICA01 : n = 1

シリアル・インタフェース IICA02 : n = 2

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICACTL0nのビット4 (SPIE0n) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する

IICACTL0nのビット7 (IICE0n) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICE0nをセット (1) してから、4~80クロック中) に、IICACTL0nのビット6 (LREL0n) をセット (1) にし、強制的に検出を無効とする

(4) STT0n, SPT0n (IICACTL0nのビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIE0n (IICACTL0nのビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICA0nに通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0n (IICAS0nのビット7) を検出する場合には、SPIE0nをセット (1) する必要はありません。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

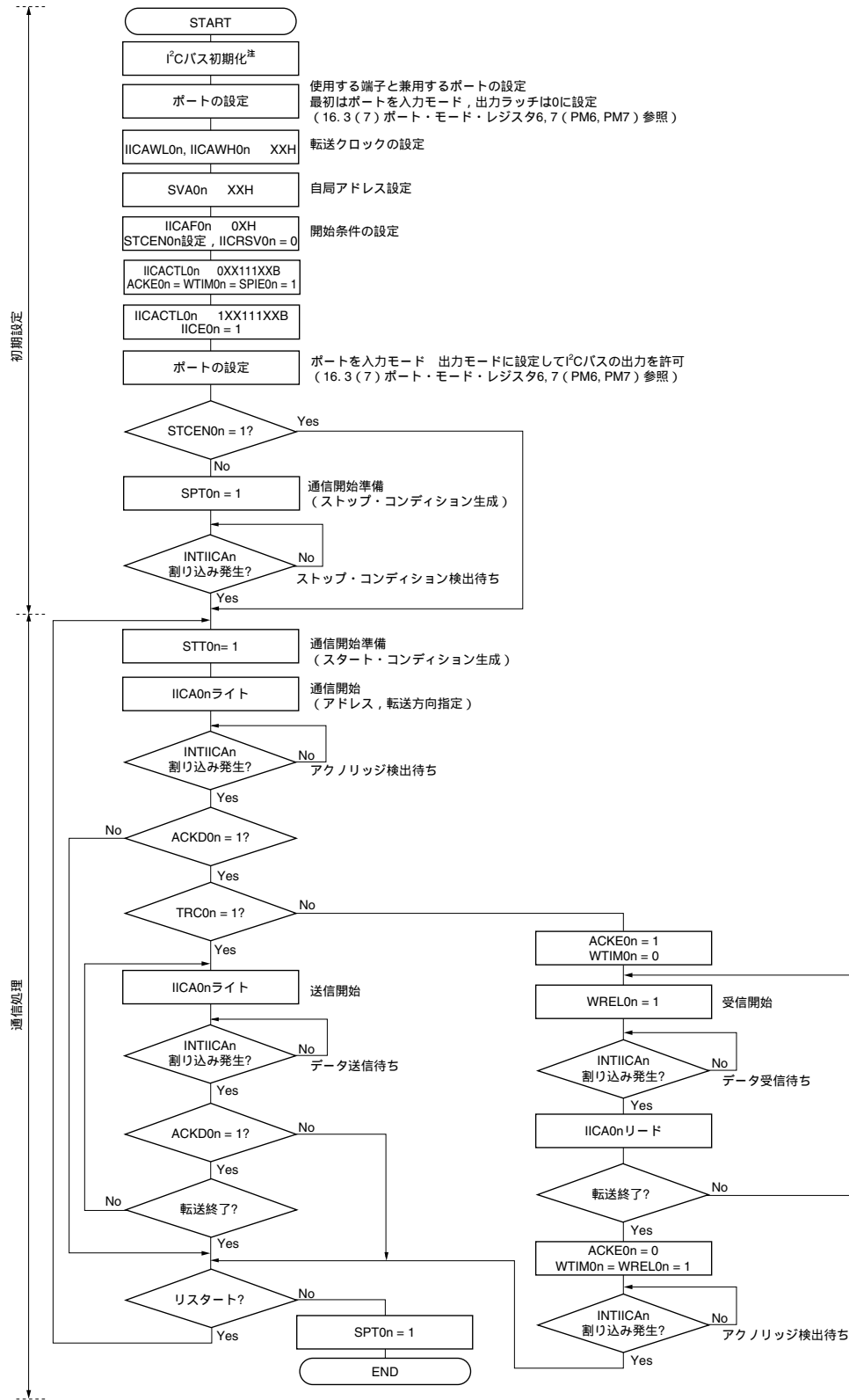
備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

(1) シングルマスタ・システムでのマスタ動作

図16 - 27 シングルマスタ・システムでのマスタ動作

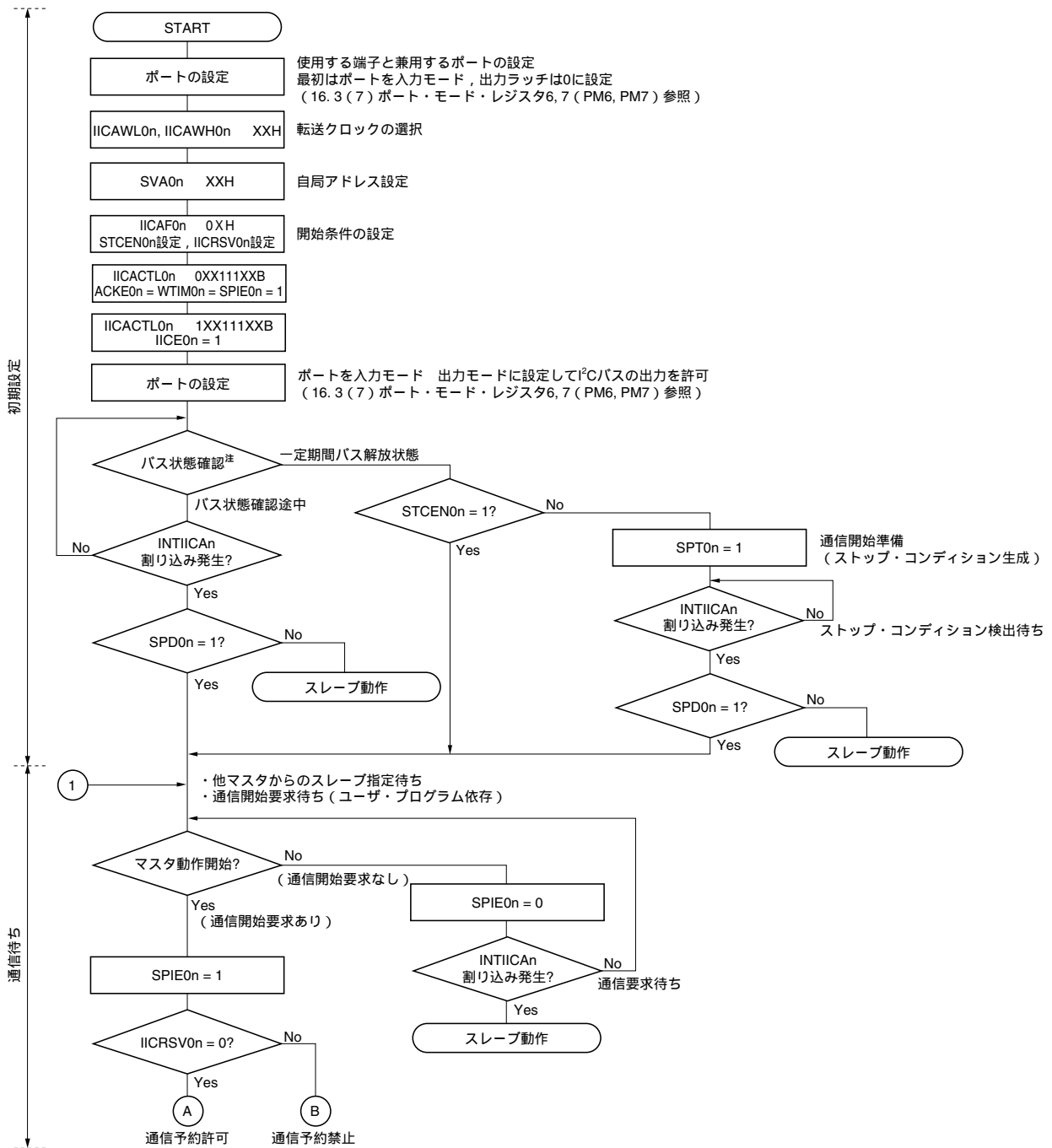


注 通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

(2) マルチマスタ・システムでのマスタ動作

図16 - 28 マルチマスタ・システムでのマスタ動作 (1/3)



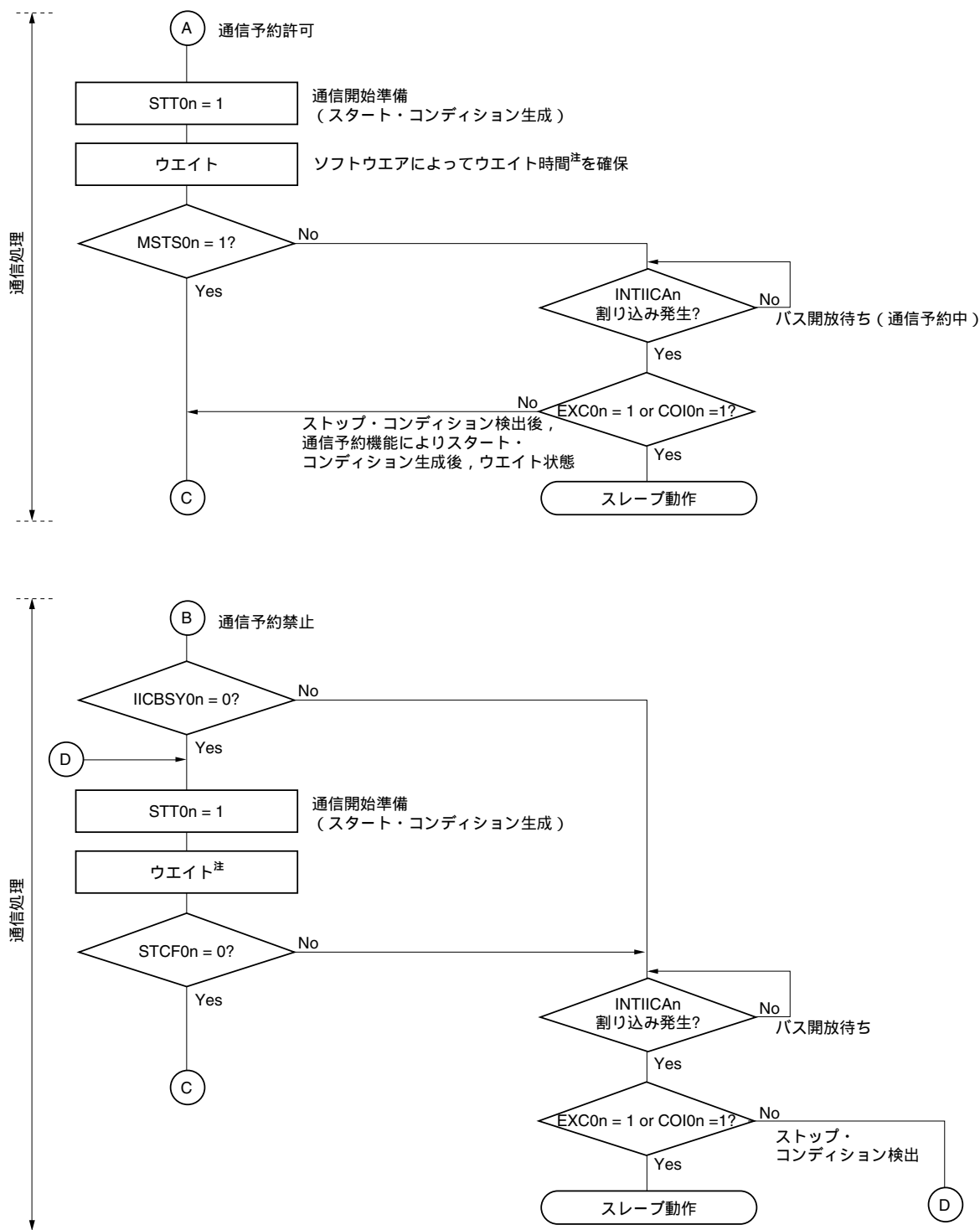
注 一定期間 (たとえば1フレーム分), バス解放状態 (CLD0nビット = 1, DAD0nビット = 1) であることを確認してください。定常的にSDAA_n端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL_n, SDAA_n端子 = ハイ・レベル) するか判断してください。

備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

図16 - 28 マルチマスタ・システムでのマスタ動作 (2/3)

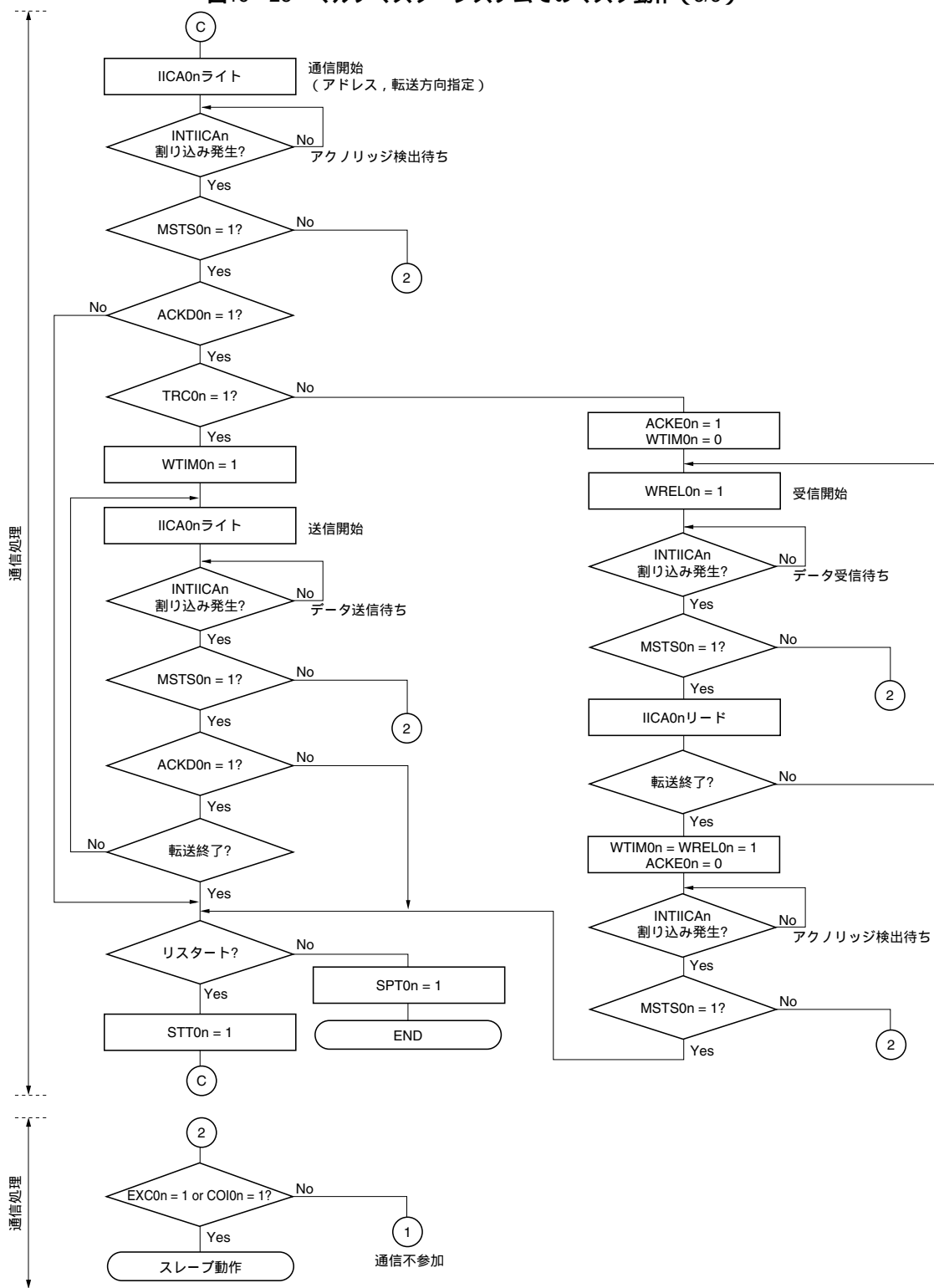


注 ウェイト時間は次のようになります。

$$(IICAWL0n \text{ の設定値} + IICAWH0n \text{ の設定値} + 4) + t_F \times 2 \times f_{PRS} \quad [\text{クロック}]$$

- 備考1. IICAWL0n : IICAロウ・レベル幅設定レジスタ0n
 IICAWH0n : IICAハイ・レベル幅設定レジスタ0n
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 f_{PRS} : 周辺ハードウェア・クロック周波数
2. シリアル・インタフェースIICA00 : n = 0
 シリアル・インタフェースIICA01 : n = 1
 シリアル・インタフェースIICA02 : n = 2

図16 - 28 マルチマスタ・システムでのマスタ動作 (3/3)



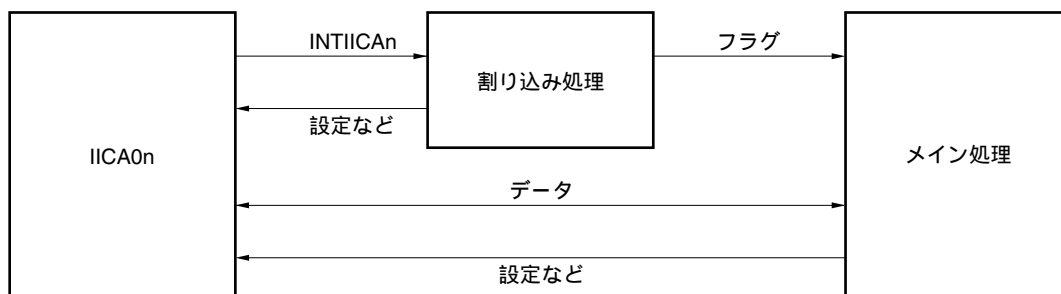
- 備考**
1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
 2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTS0nビットをリードし、アービトレーション結果を確認してください。
 3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAS0n, IICAF0nレジスタでステータスを確認して次に行う処理を決定してください。
 4. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRC0nの値と同じです。

備考 シリアル・インタフェースIICA00：n = 0

シリアル・インタフェースIICA01：n = 1

シリアル・インタフェースIICA02：n = 2

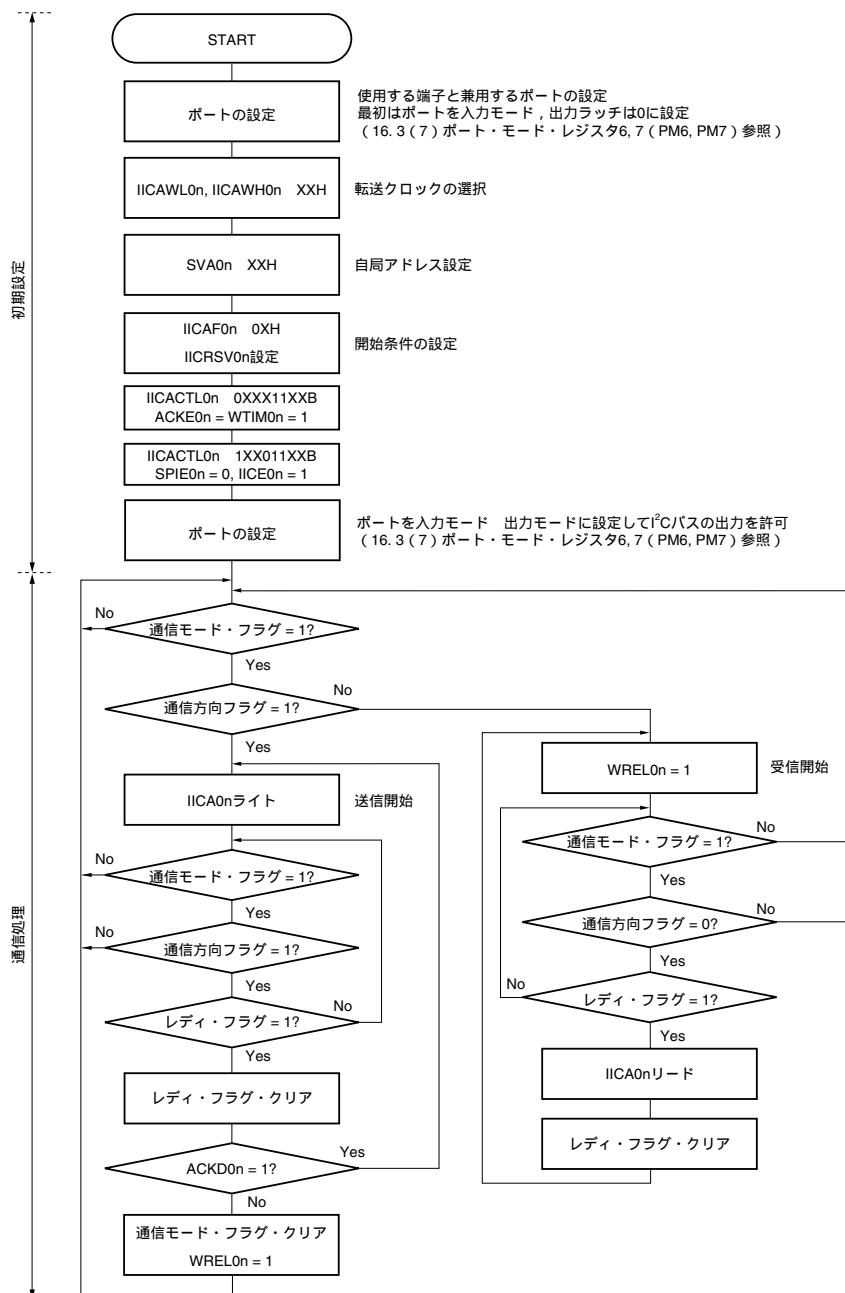
次にスレープ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICA0nを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図16 - 29 スレープ動作手順（1）



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

- シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

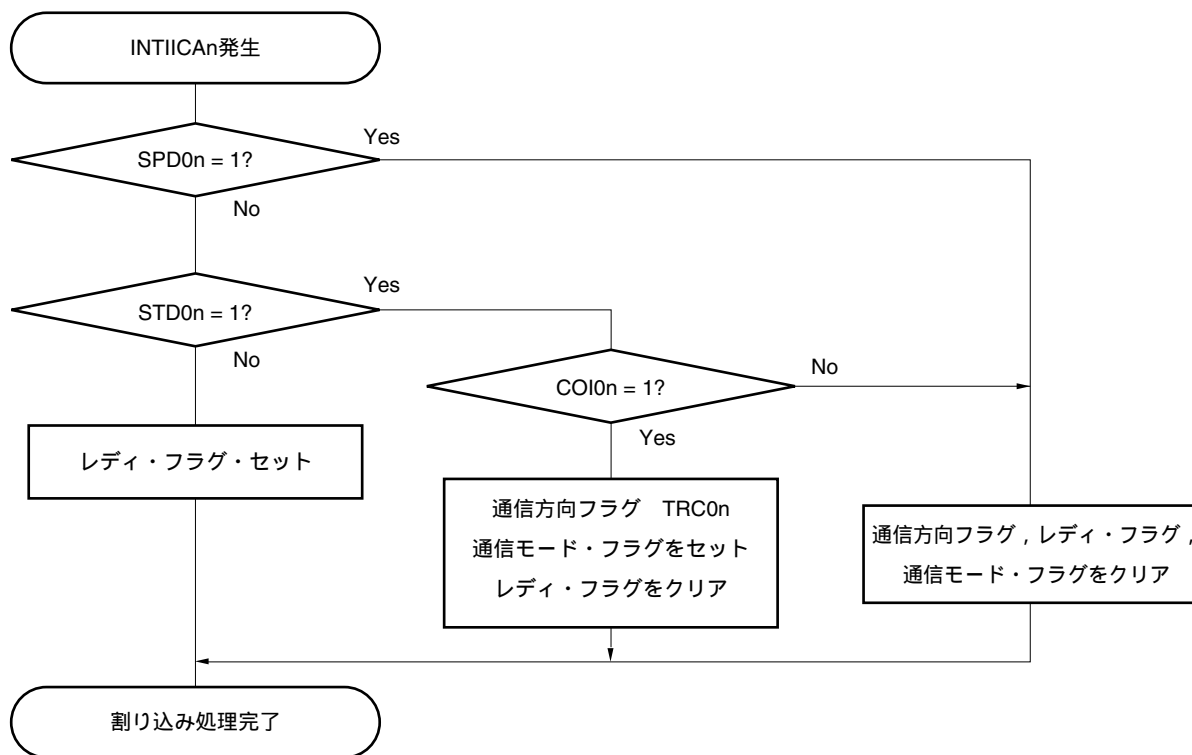
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図16-30 スレーブ動作手順(2)の ~ と対応しています。

図16-30 スレーブ動作手順(2)



備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

16. 5. 17 I²C割り込み要求 (INTIICAn) の発生タイミング

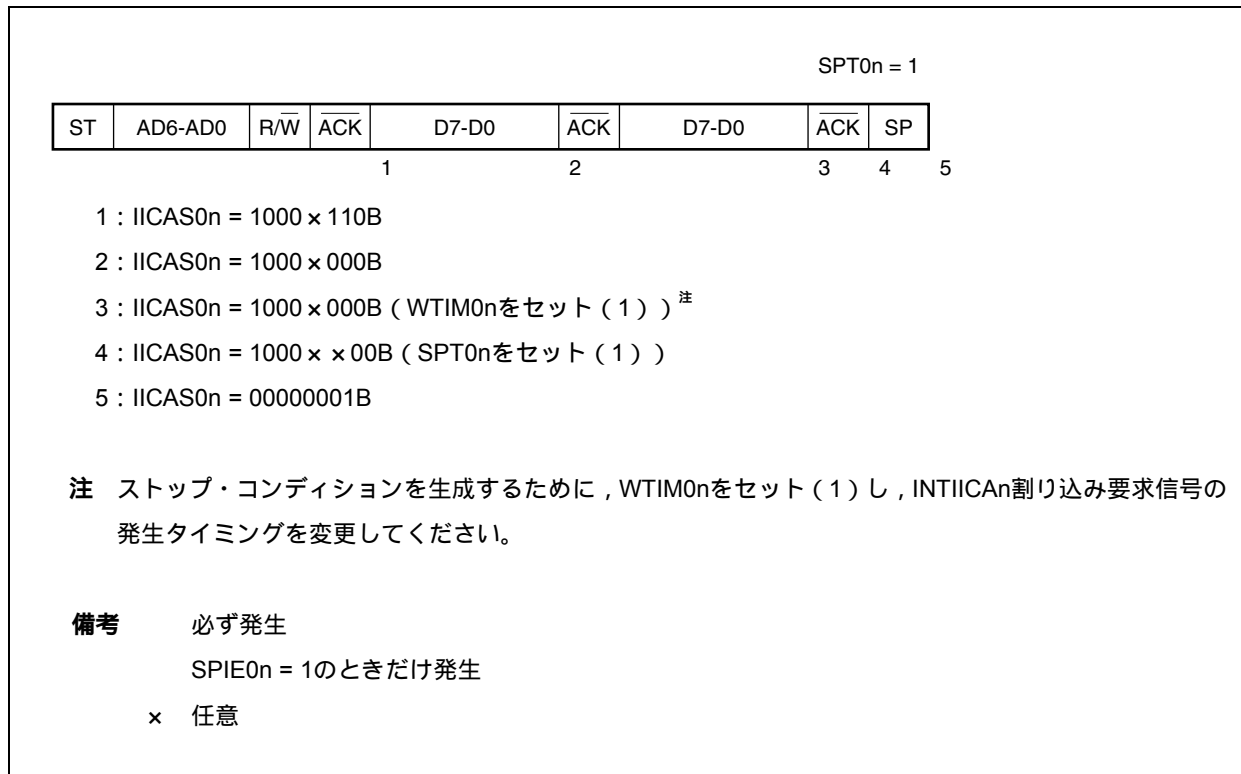
次に、データの送受信、INTIICAn割り込み要求信号発生タイミングと、INTIICAn信号タイミングでのIICAS0nレジスタの値を示します。

- 備考1. ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \overline{W} : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション
2. シリアル・インタフェースIICA00 : n = 0
シリアル・インタフェースIICA01 : n = 1
シリアル・インタフェースIICA02 : n = 2

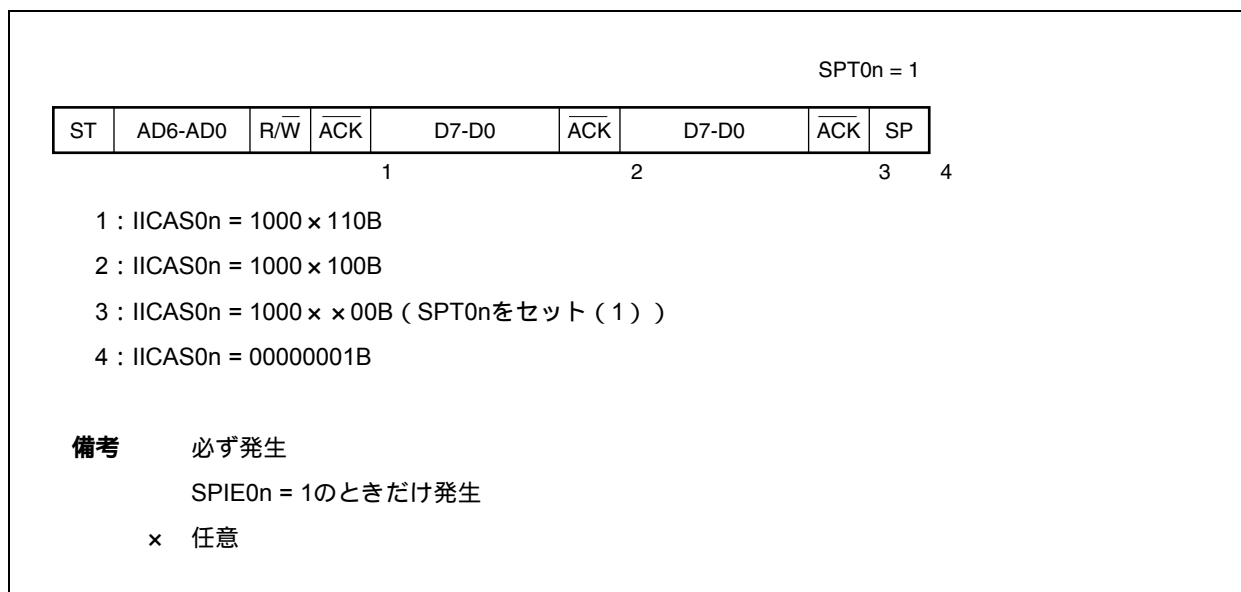
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM0n = 0 のとき

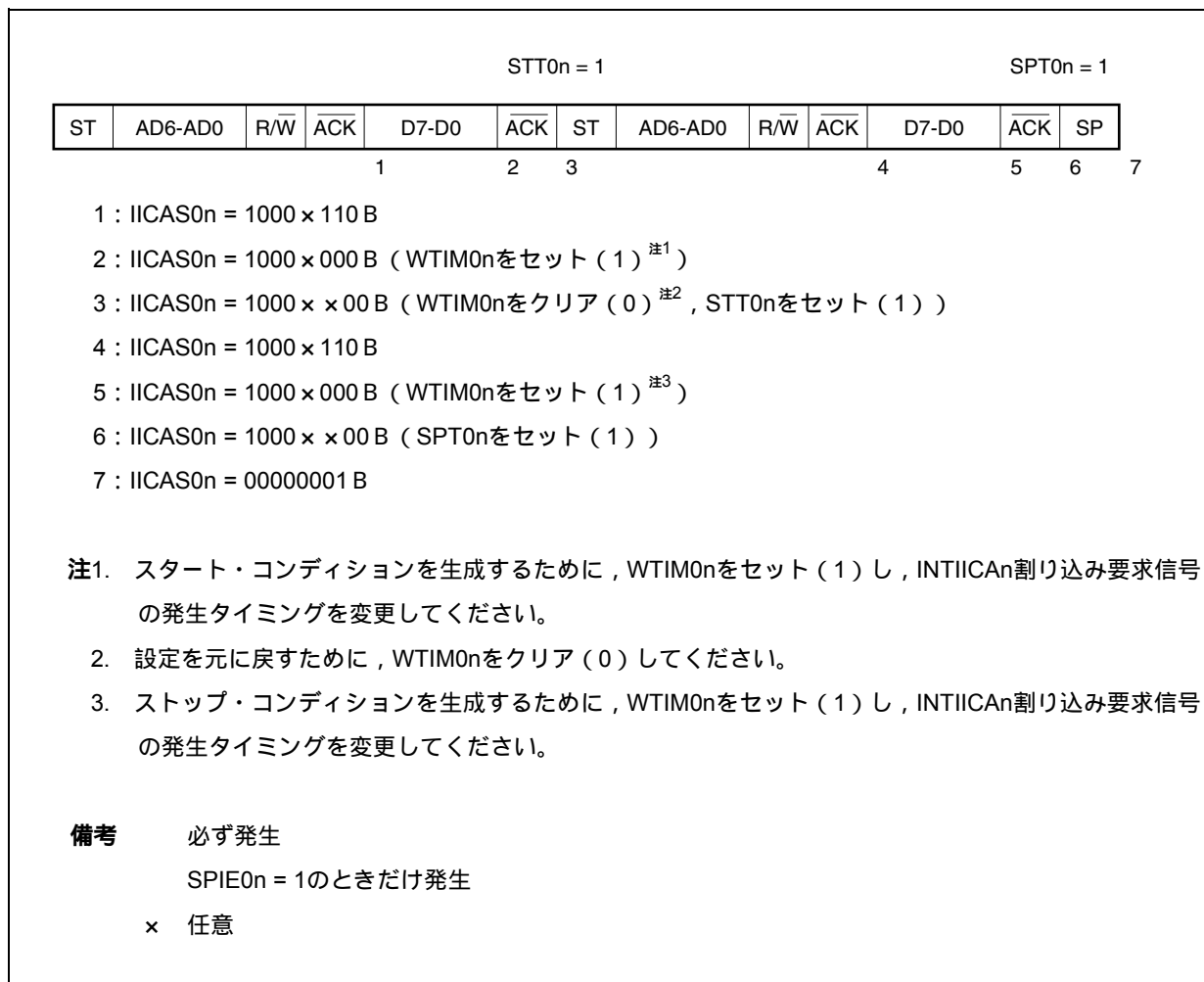


(ii) WTIM0n = 1 のとき

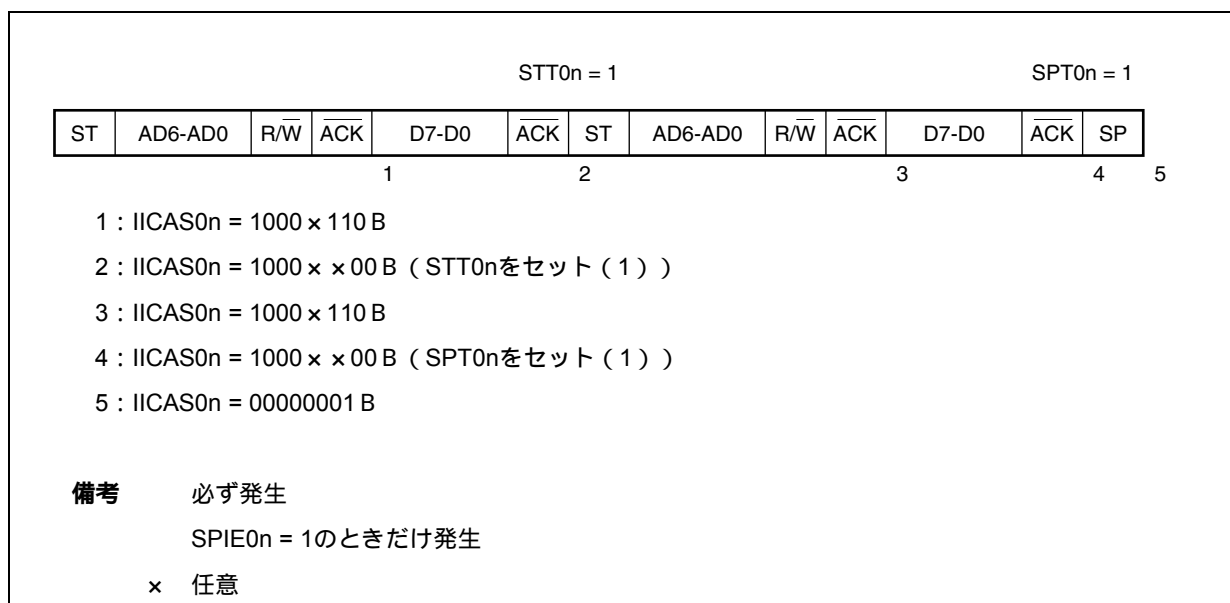


(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM0n = 0 のとき

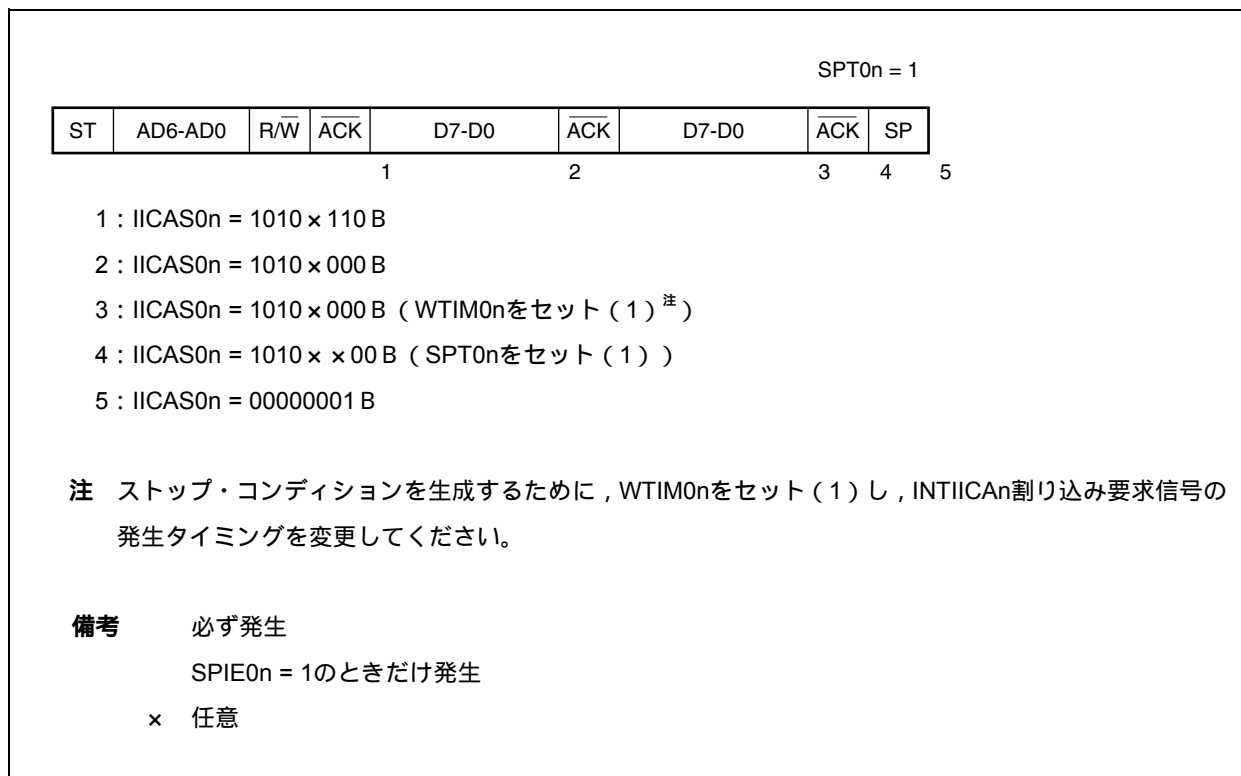


(ii) WTIM0n = 1 のとき

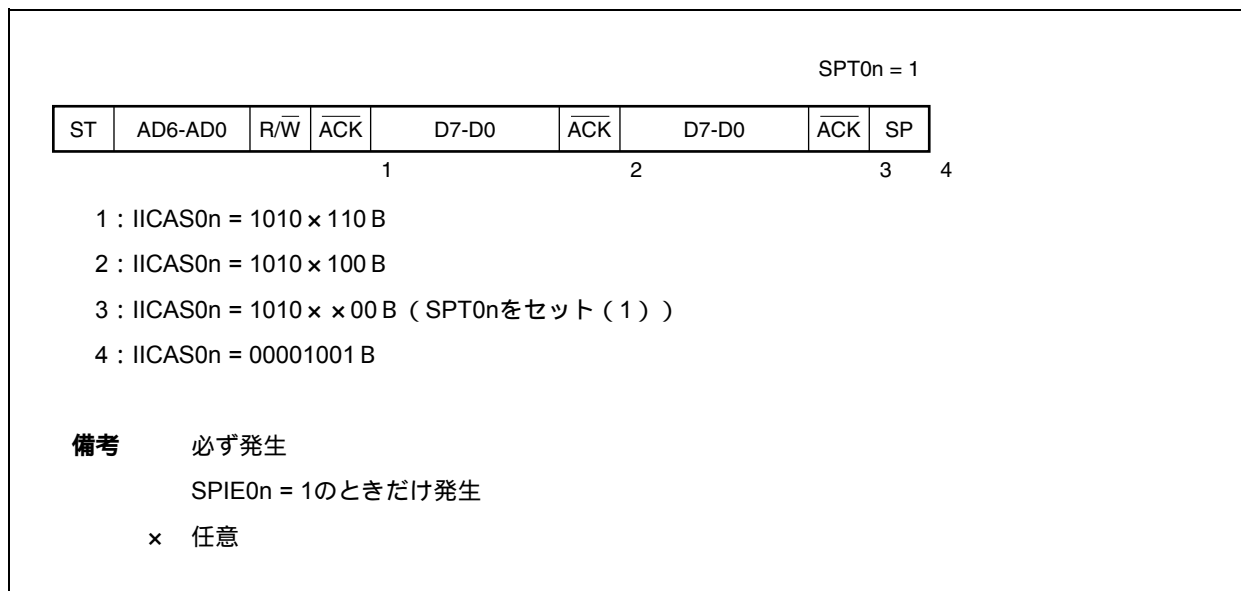


(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM0n = 0 のとき



(ii) WTIM0n = 1 のとき



(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0n = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICAS0n = 0001 x 110 B

2 : IICAS0n = 0001 x 000 B

3 : IICAS0n = 0001 x 000 B

4 : IICAS0n = 00000001 B

備考 必ず発生

SPIE0n = 1 のときだけ発生

× 任意

(ii) WTIM0n = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICAS0n = 0001 x 110 B

2 : IICAS0n = 0001 x 100 B

3 : IICAS0n = 0001 x x 00 B

4 : IICAS0n = 00000001 B

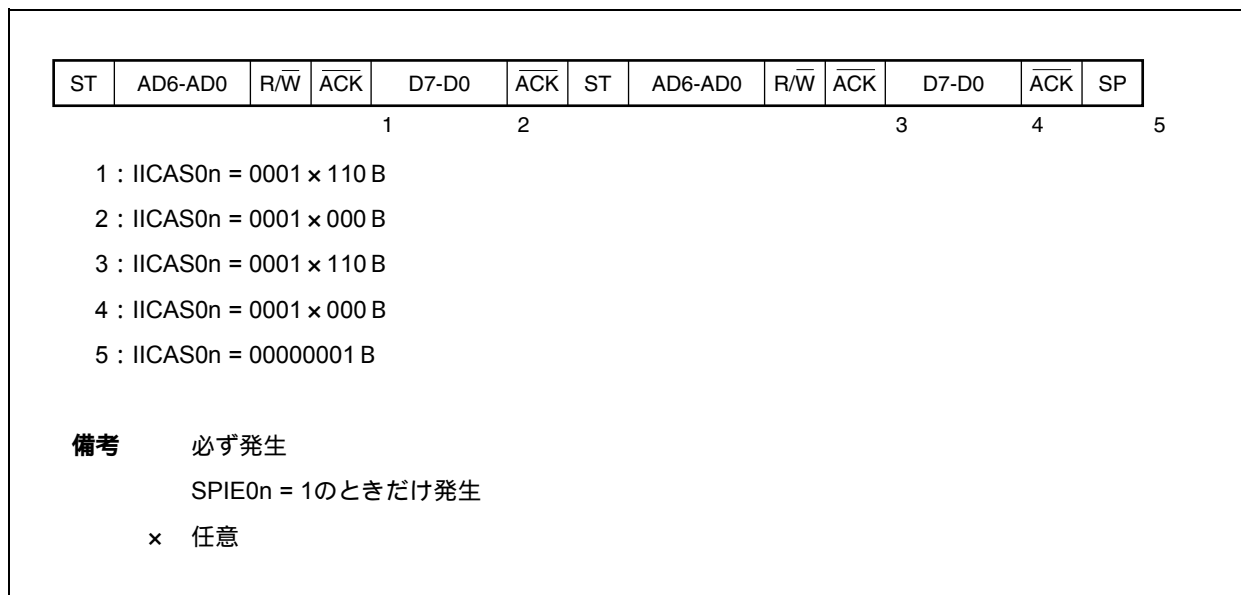
備考 必ず発生

SPIE0n = 1 のときだけ発生

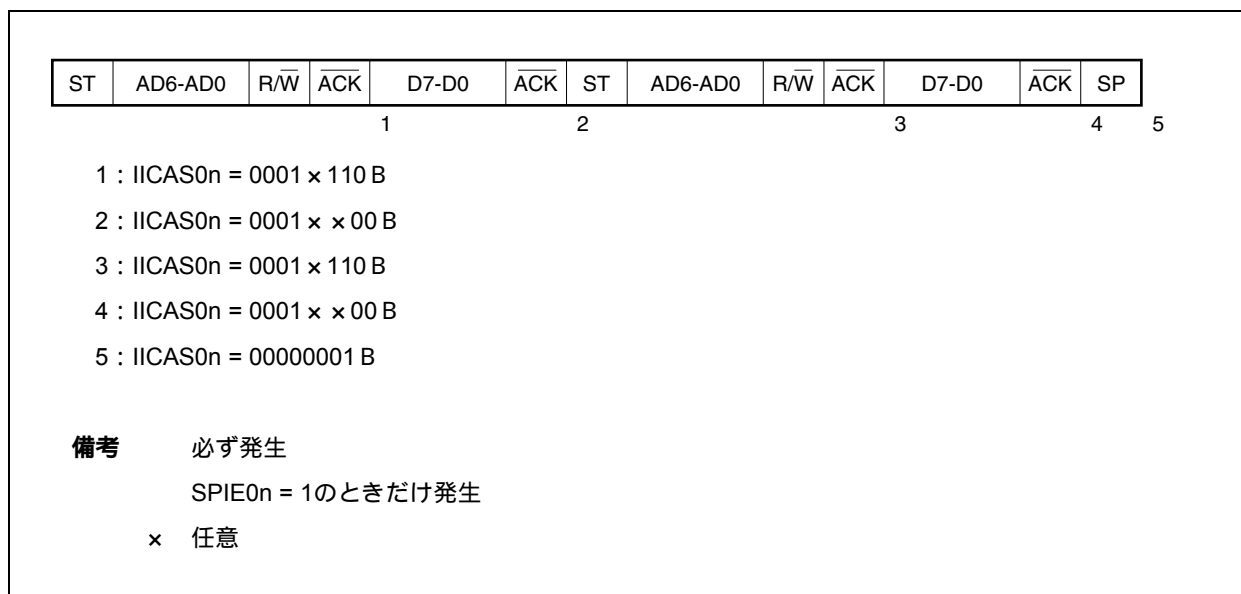
× 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0n = 0のとき (リスタート後, SVA0n一致)

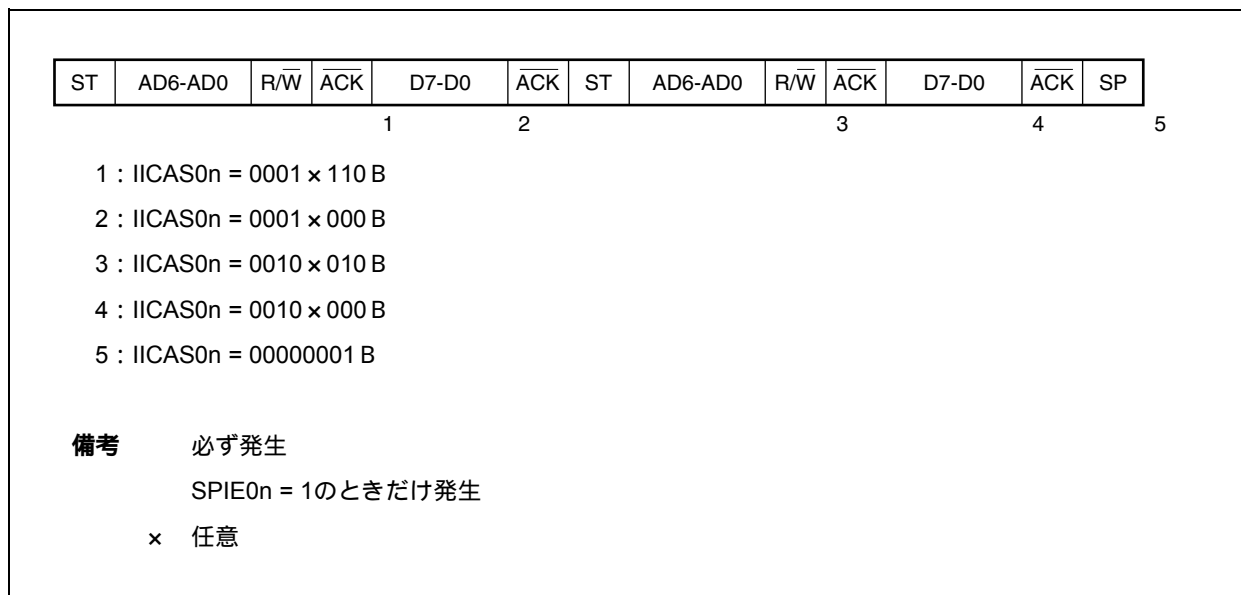


(ii) WTIM0n = 1のとき (リスタート後, SVA0n一致)

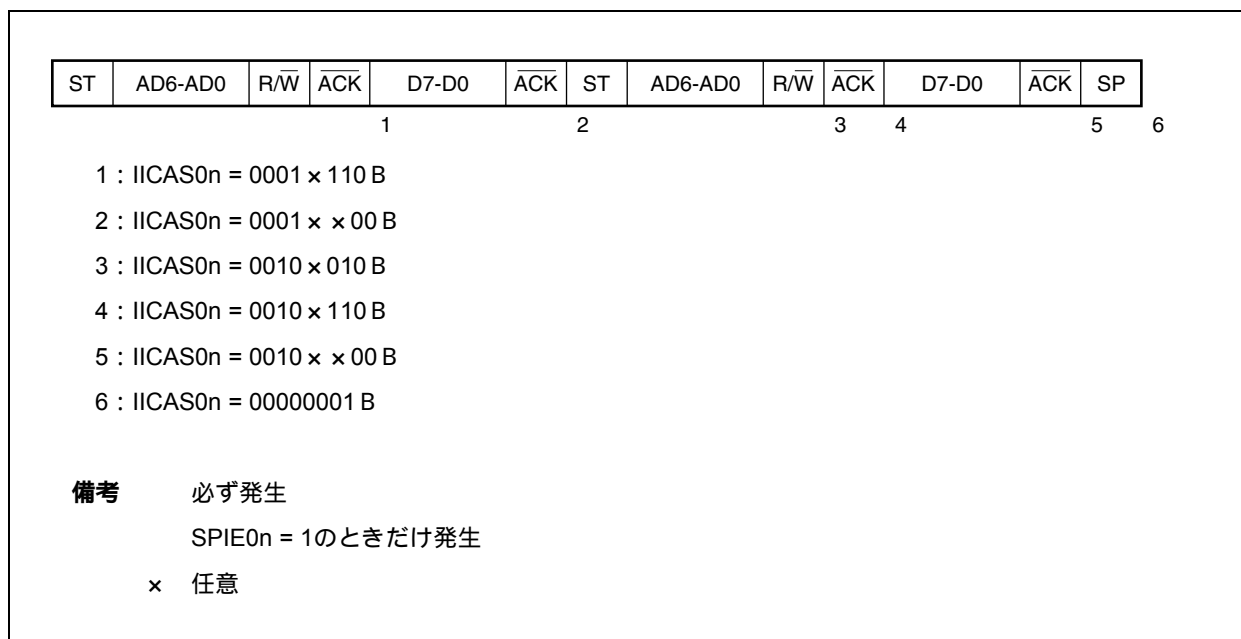


(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0n = 0 のとき (リスタート後, アドレス不一致 (拡張コード))

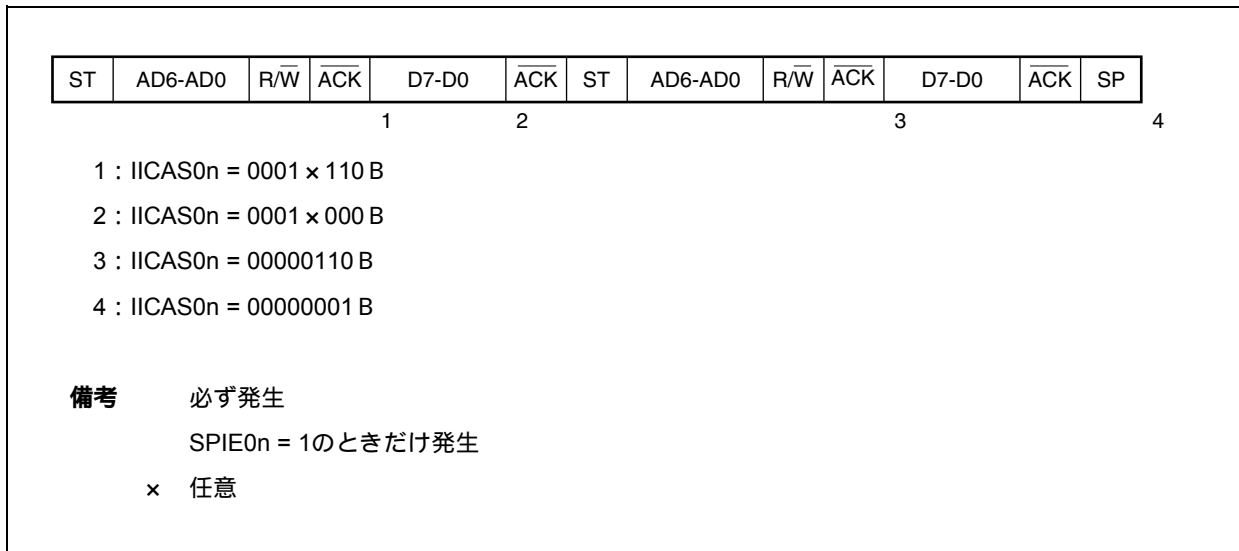


(ii) WTIM0n = 1 のとき (リスタート後, アドレス不一致 (拡張コード))

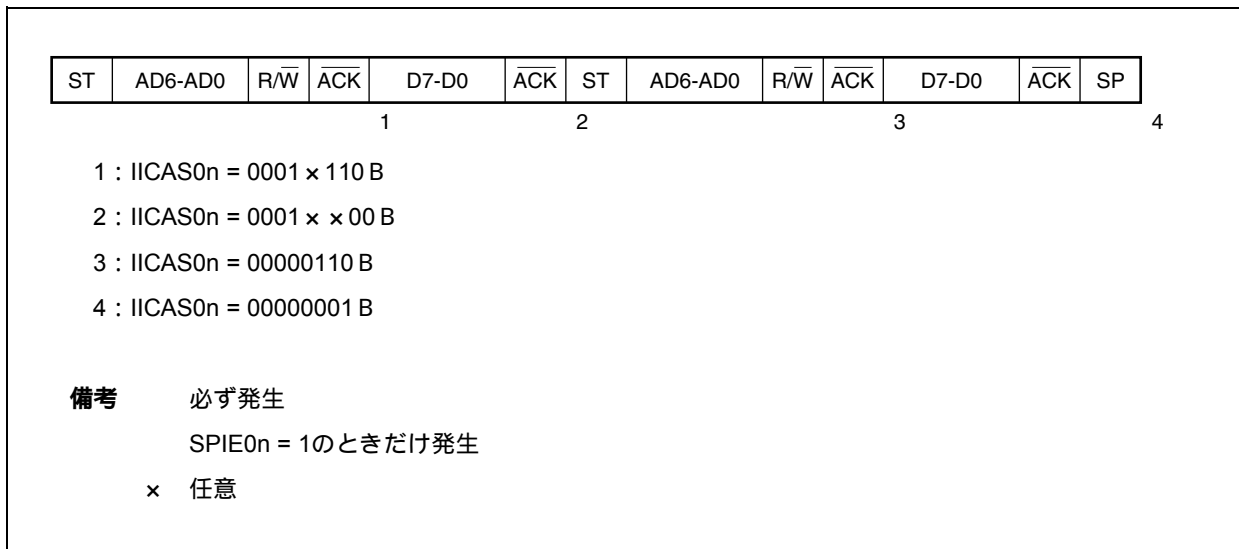


(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0n = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM0n = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM0n = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICAS0n = 0010 × 010 B

2 : IICAS0n = 0010 × 000 B

3 : IICAS0n = 0010 × 000 B

4 : IICAS0n = 00000001 B

備考 必ず発生
 SPIE0n = 1 のときだけ発生
 × 任意

(ii) WTIM0n = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP	
			1	2		3		4	5

1 : IICAS0n = 0010 × 010 B

2 : IICAS0n = 0010 × 110 B

3 : IICAS0n = 0010 × 100 B

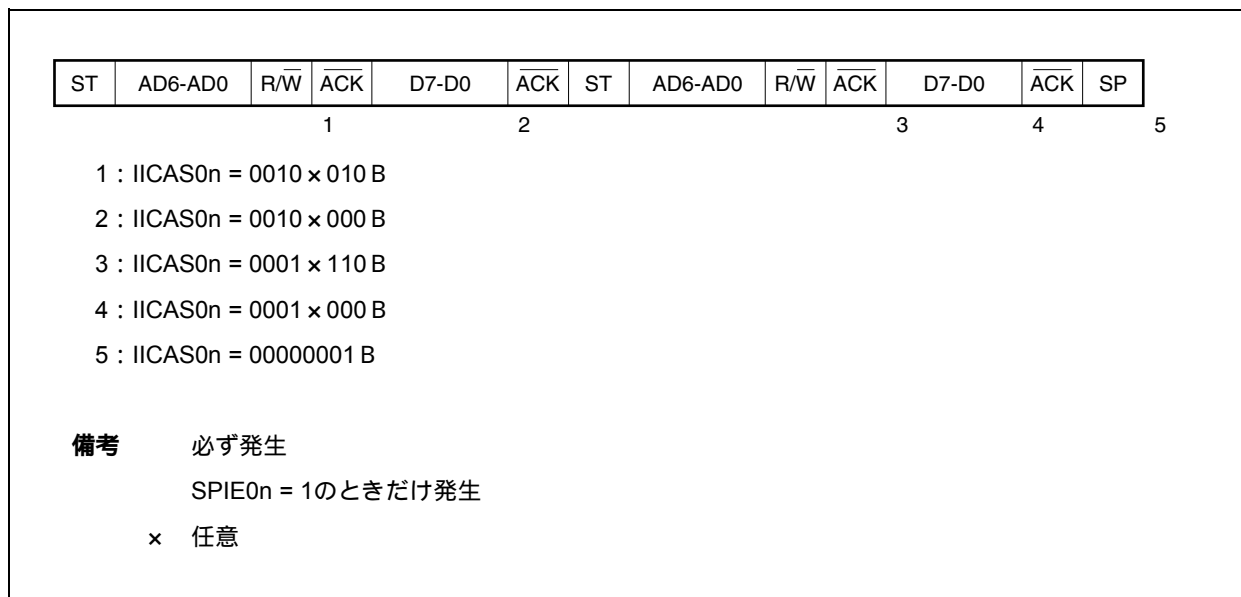
4 : IICAS0n = 0010 × × 00 B

5 : IICAS0n = 00000001 B

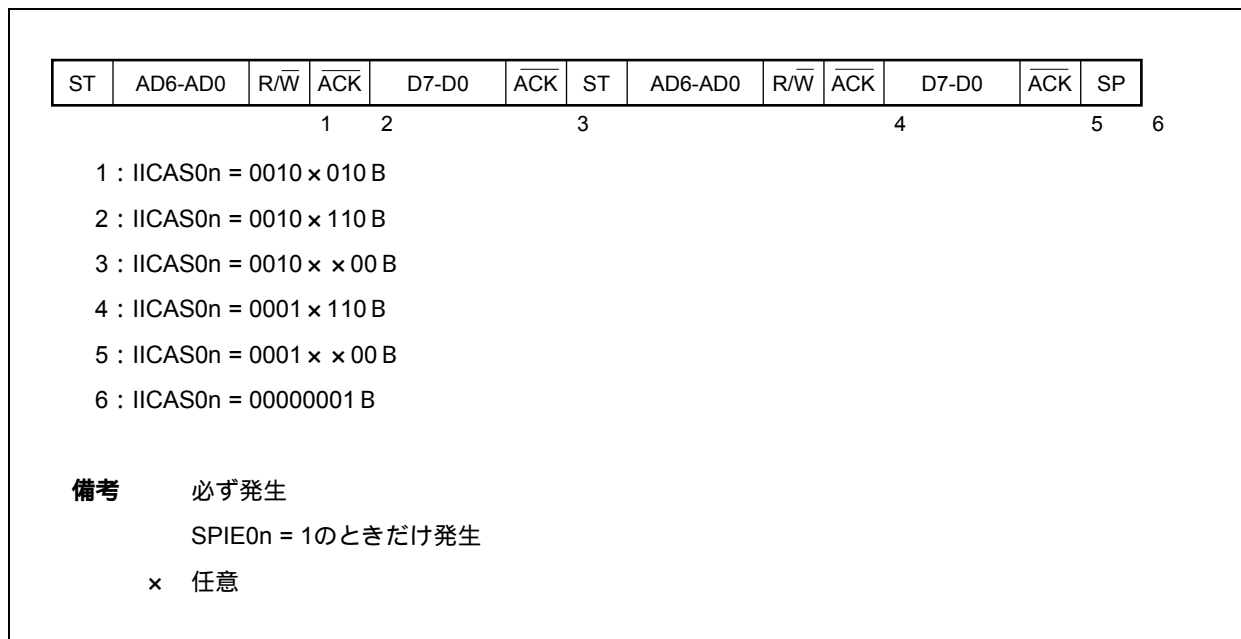
備考 必ず発生
 SPIE0n = 1 のときだけ発生
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0n = 0 のとき (リスタート後, SVA0n一致)

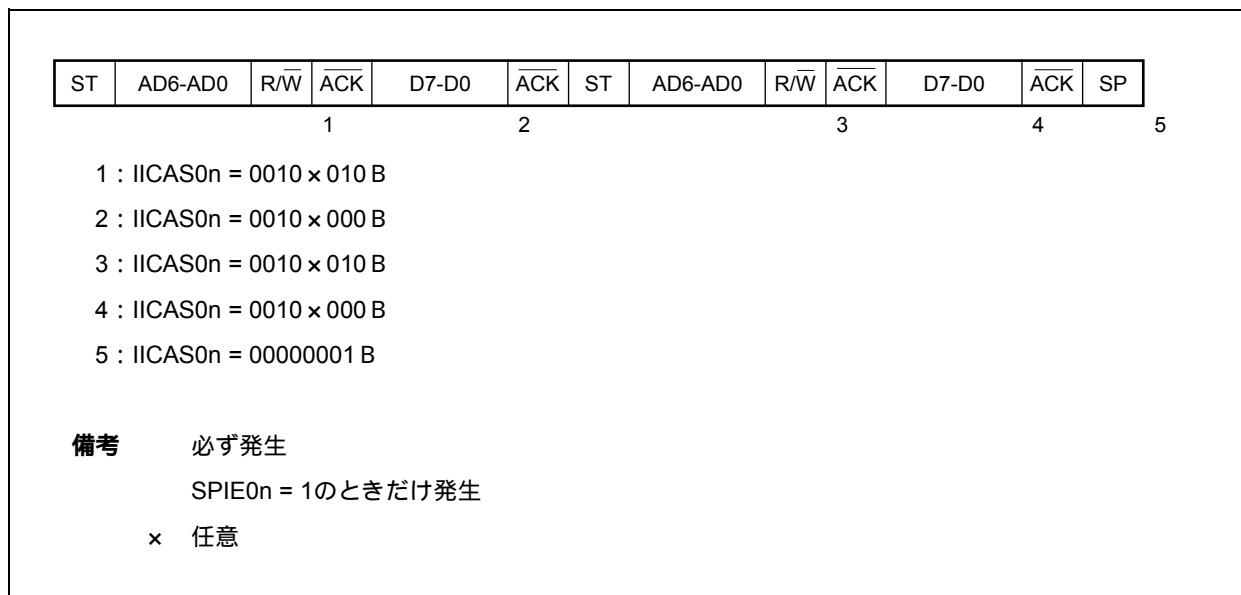


(ii) WTIM0n = 1 のとき (リスタート後, SVA0n一致)

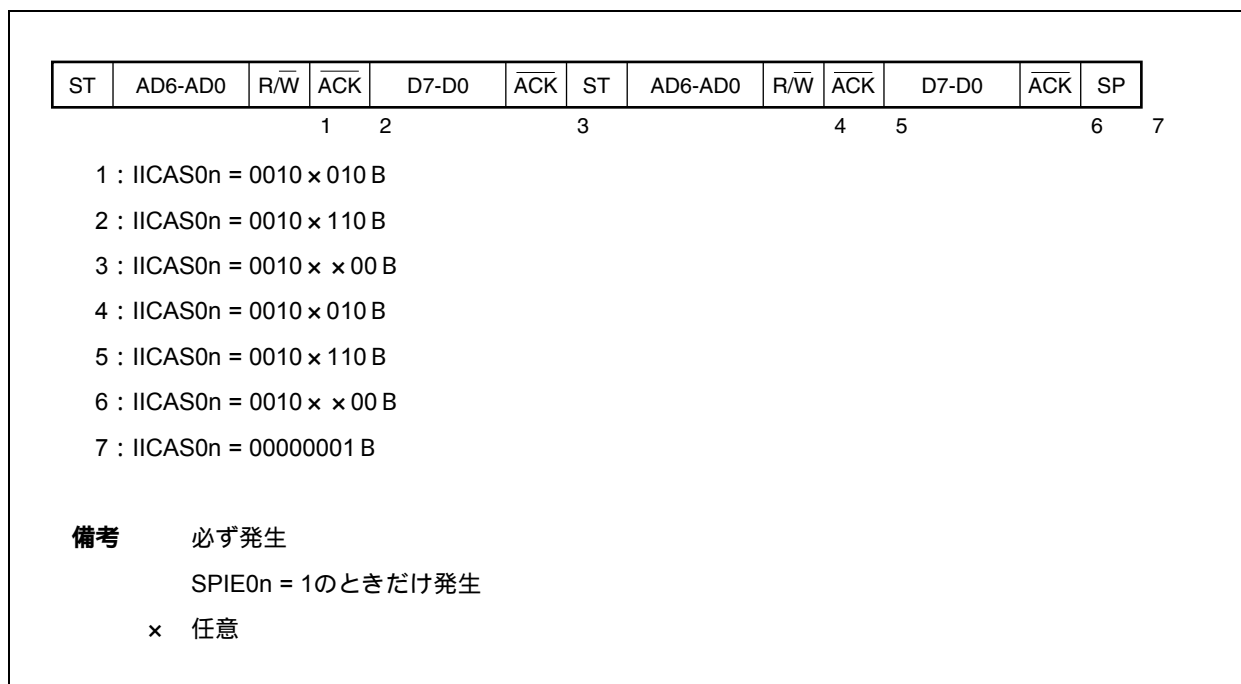


(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0n = 0 のとき (リスタート後, 拡張コード受信)

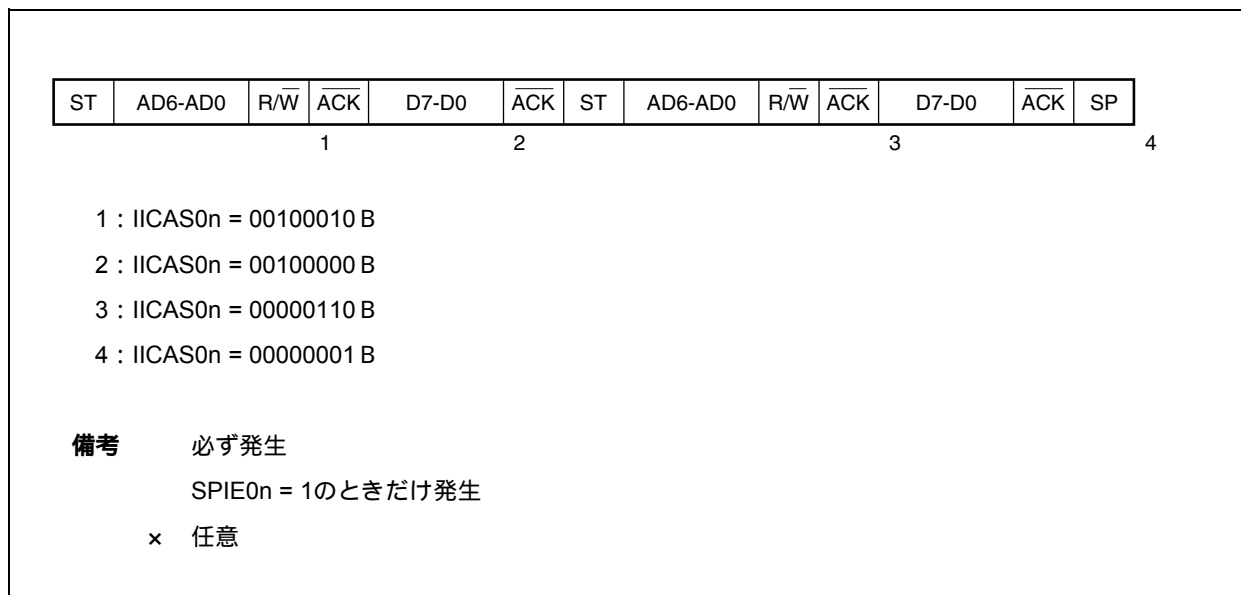


(ii) WTIM0n = 1 のとき (リスタート後, 拡張コード受信)

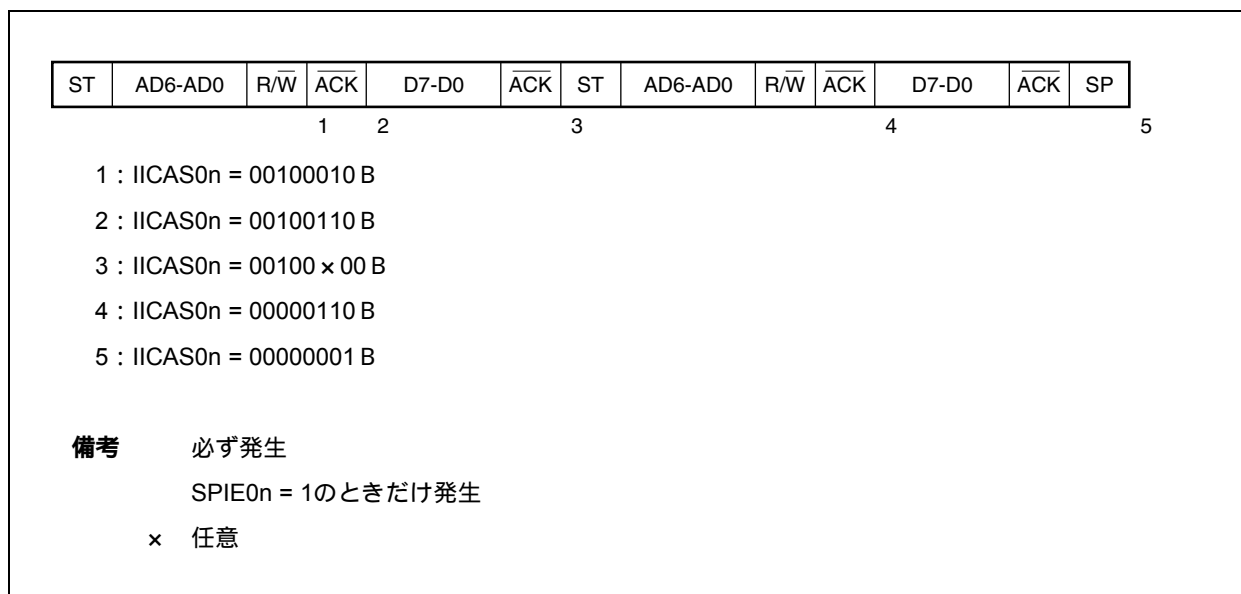


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0n = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM0n = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICAS0n = 00000001 B

備考 SPIE0n = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は, INTIICAn割り込み要求信号の発生ごとに MSTSnビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0n = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2	3	4		

1 : IICAS0n = 0101 × 110 B

2 : IICAS0n = 0001 × 000 B

3 : IICAS0n = 0001 × 000 B

4 : IICAS0n = 00000001 B

備考 必ず発生

SPIE0n = 1のときだけ発生

× 任意

(ii) WTIM0n = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICAS0n = 0101 × 110 B

2 : IICAS0n = 0001 × 100 B

3 : IICAS0n = 0001 × × 00 B

4 : IICAS0n = 00000001 B

備考 必ず発生
 SPIE0n = 1 のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0n = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICAS0n = 0110 × 010 B

2 : IICAS0n = 0010 × 000 B

3 : IICAS0n = 0010 × 000 B

4 : IICAS0n = 00000001 B

備考 必ず発生
 SPIE0n = 1 のときだけ発生
 × 任意

(ii) WTIM0n = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4 5	

1 : IICAS0n = 0110 × 010 B

2 : IICAS0n = 0010 × 110 B

3 : IICAS0n = 0010 × 100 B

4 : IICAS0n = 0010 × × 00 B

5 : IICAS0n = 00000001 B

備考 必ず発生

SPIE0n = 1 のときだけ発生

× 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICAn 割り込み要求信号の発生ごとに MSTS0n ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0n = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

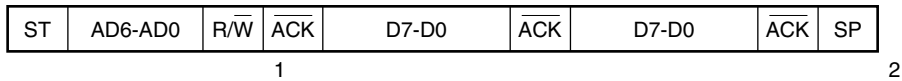
1 : IICAS0n = 01000110 B

2 : IICAS0n = 00000001 B

備考 必ず発生

SPIE0n = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICAS0n = 0110 × 010 B

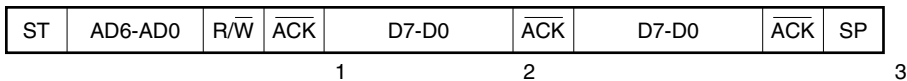
ソフトウェアでLREL0n = 1を設定

2 : IICAS0n = 00000001 B

備考 必ず発生
SPIE0n = 1のときだけ発生
× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0n = 0のとき



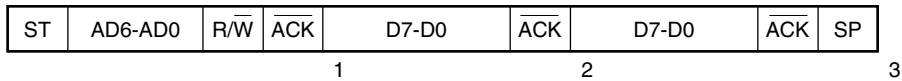
1 : IICAS0n = 10001110 B

2 : IICAS0n = 01000000 B

3 : IICAS0n = 00000001 B

備考 必ず発生
SPIE0n = 1のときだけ発生

(ii) WTIM0n = 1 のとき



1 : IICAS0n = 10001110 B

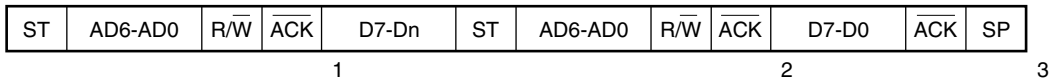
2 : IICAS0n = 01000100 B

3 : IICAS0n = 00000001 B

備考 必ず発生
SPIE0n = 1 のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0n不一致)



1 : IICAS0n = 1000 × 110 B

2 : IICAS0n = 01000110 B

3 : IICAS0n = 00000001 B

備考 必ず発生
SPIE0n = 1 のときだけ発生
× 任意
n = 6-0

(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICAS0n = 1000 × 110 B

2 : IICAS0n = 01100010 B

ソフトウェアでLREL0n = 1を設定

3 : IICAS0n = 00000001 B

備考 必ず発生

SPIE0n = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICAS0n = 10000110 B

2 : IICAS0n = 01000001 B

備考 必ず発生

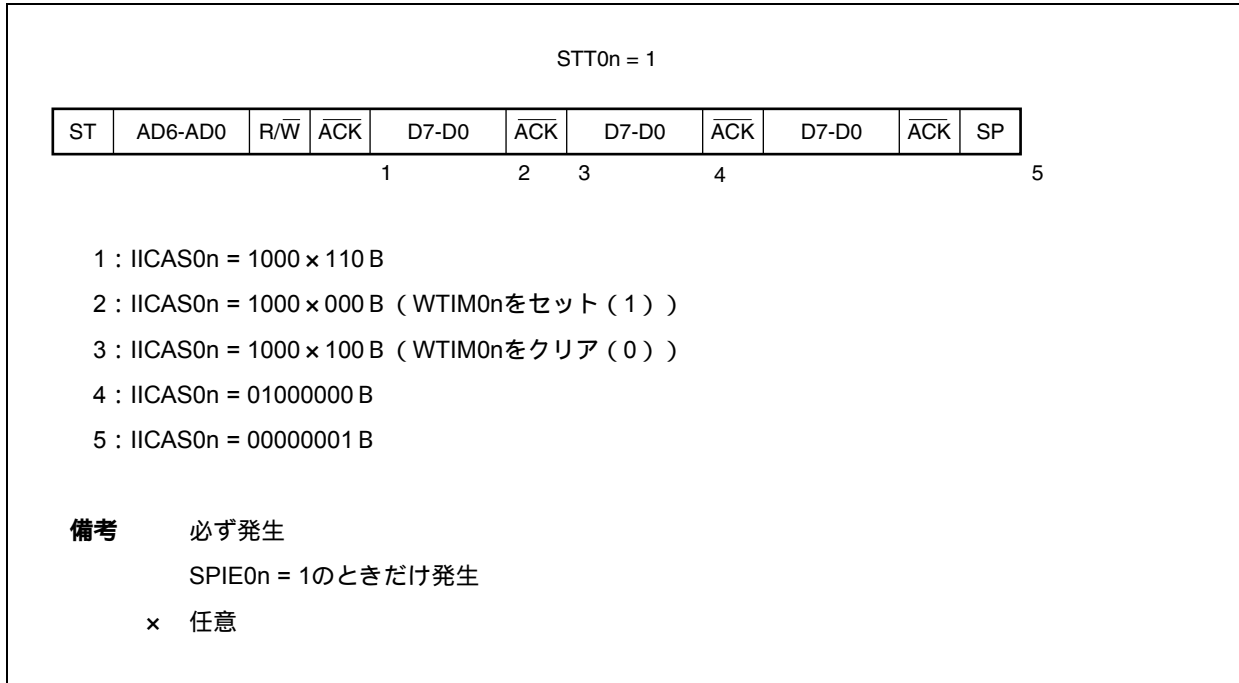
SPIE0n = 1のときだけ発生

× 任意

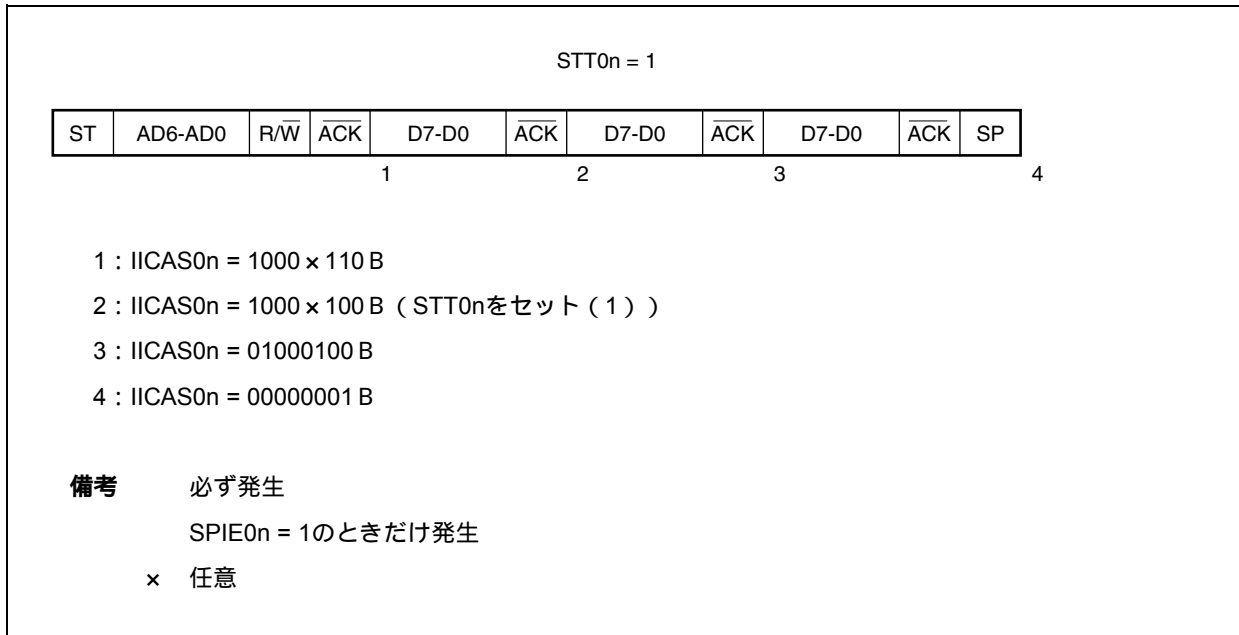
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0n = 0 のとき

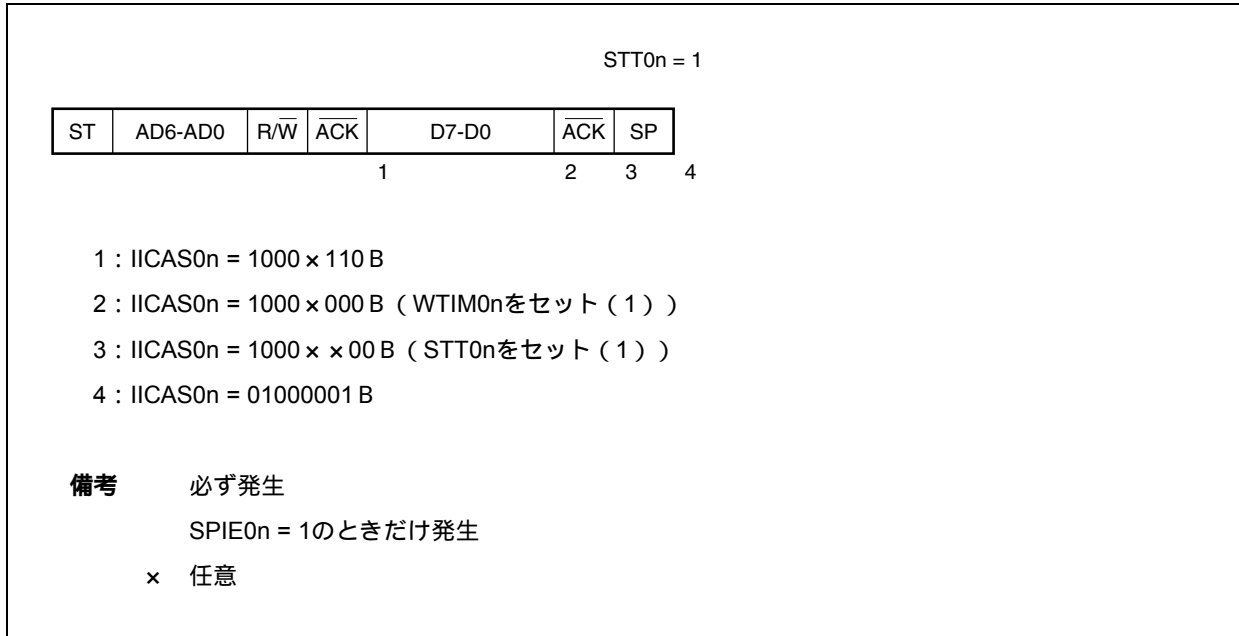


(ii) WTIM0n = 1 のとき

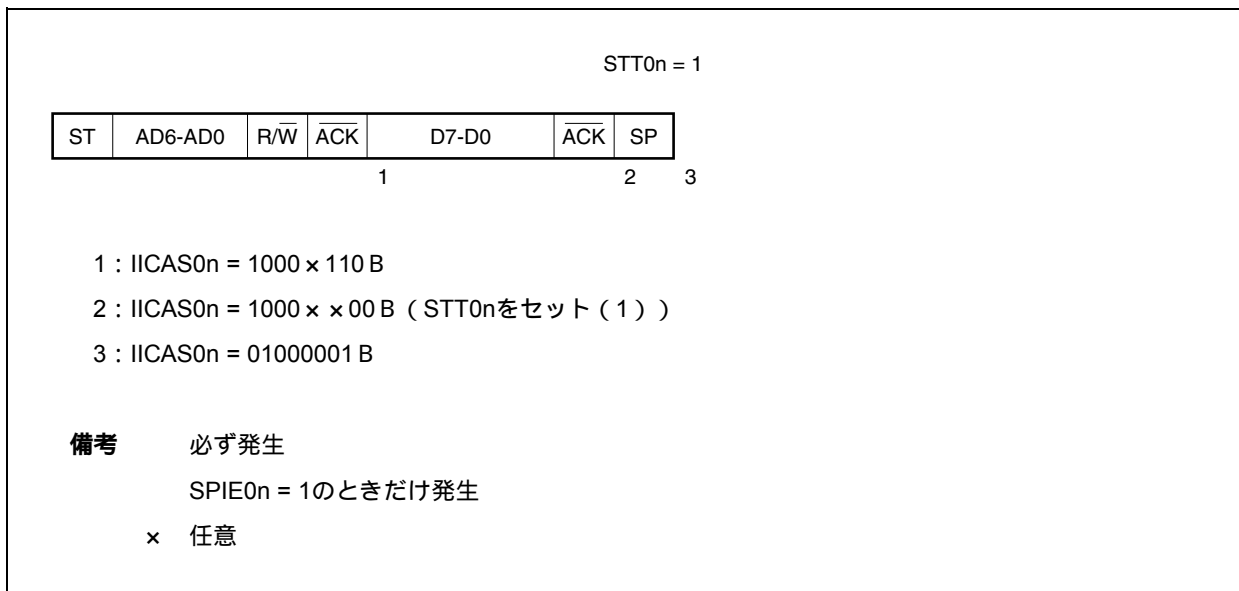


(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0n = 0 のとき

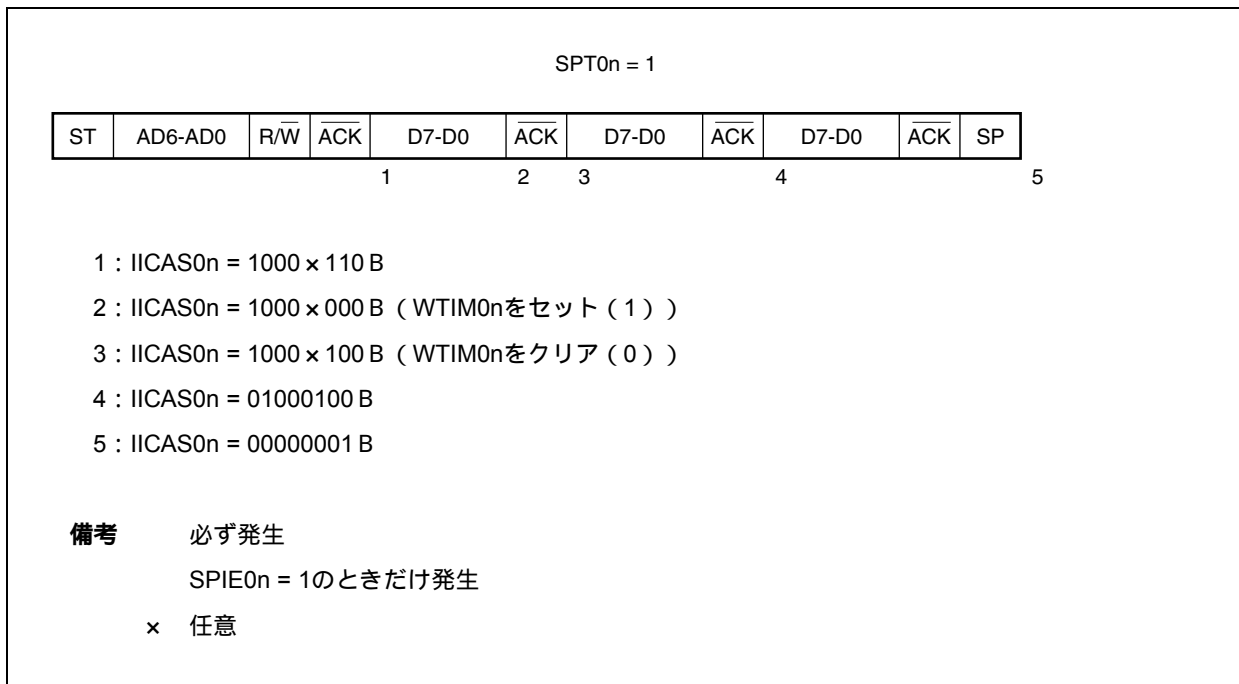


(ii) WTIM0n = 1 のとき

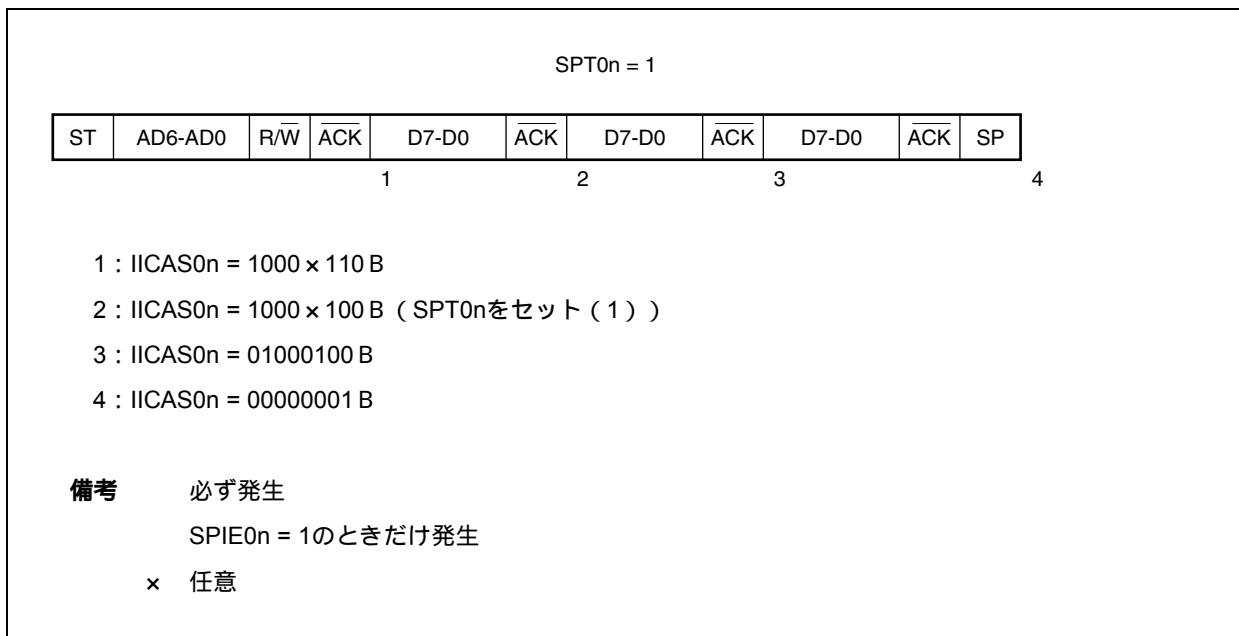


(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0n = 0 のとき



(ii) WTIM0n = 1 のとき



16.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0nビット (IICAステータス・レジスタ0n (IICAS0n) のビット3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図16 - 31, 図16 - 32に示します。

シリアル・クロック (SCLAn) の立ち下がりに同期してIICAシフト・レジスタ0n (IICA0n) のシフト動作が行われ、送信データがSOラッチに転送され、SDAAn端子からMSBファーストで出力されます。

また、SCLAnの立ち上がりでSDAAn端子に入力されたデータがIICA0nに取り込まれます。

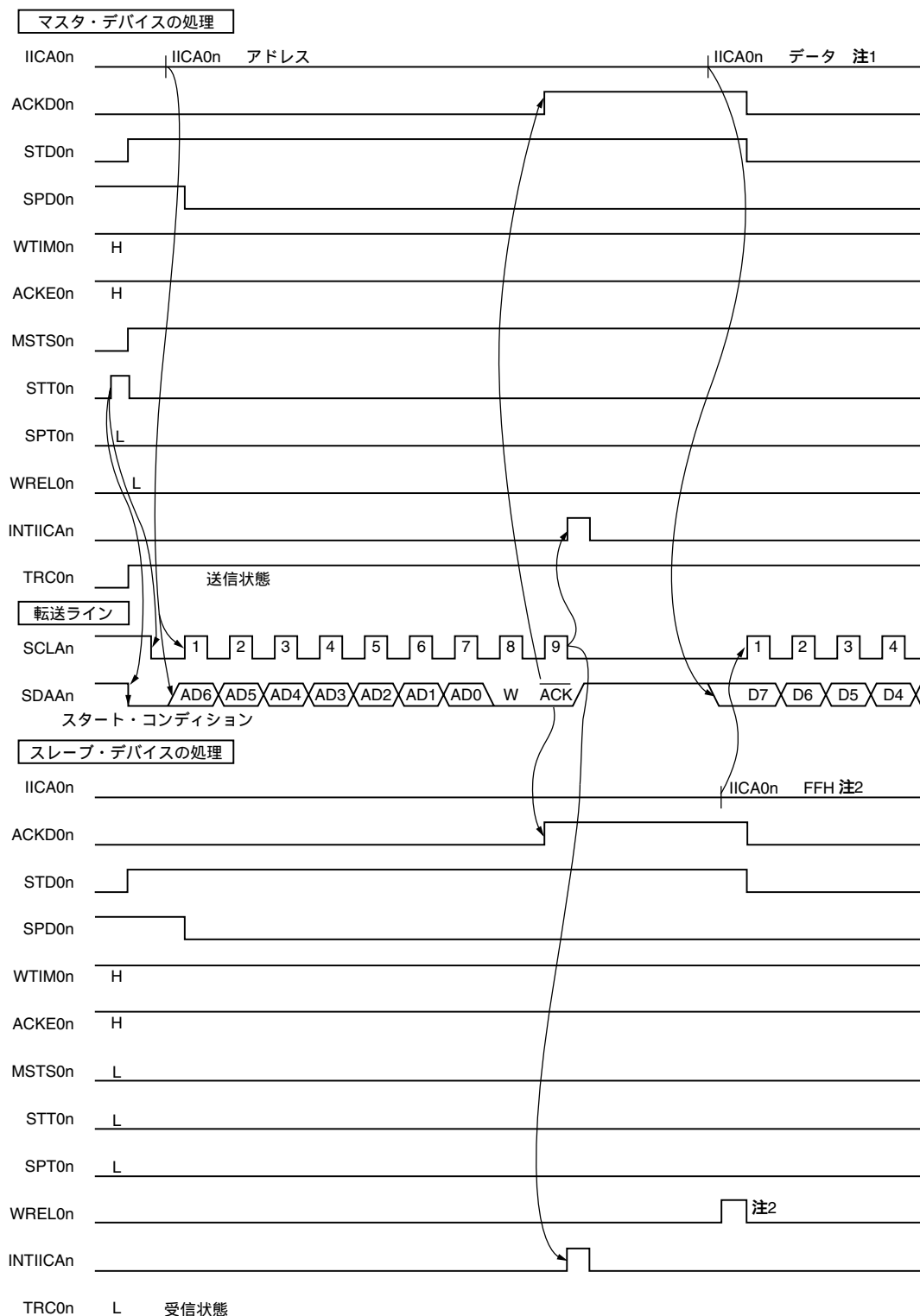
備考 シリアル・インタフェースIICA00 : n = 0

シリアル・インタフェースIICA01 : n = 1

シリアル・インタフェースIICA02 : n = 2

図16 - 31 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス



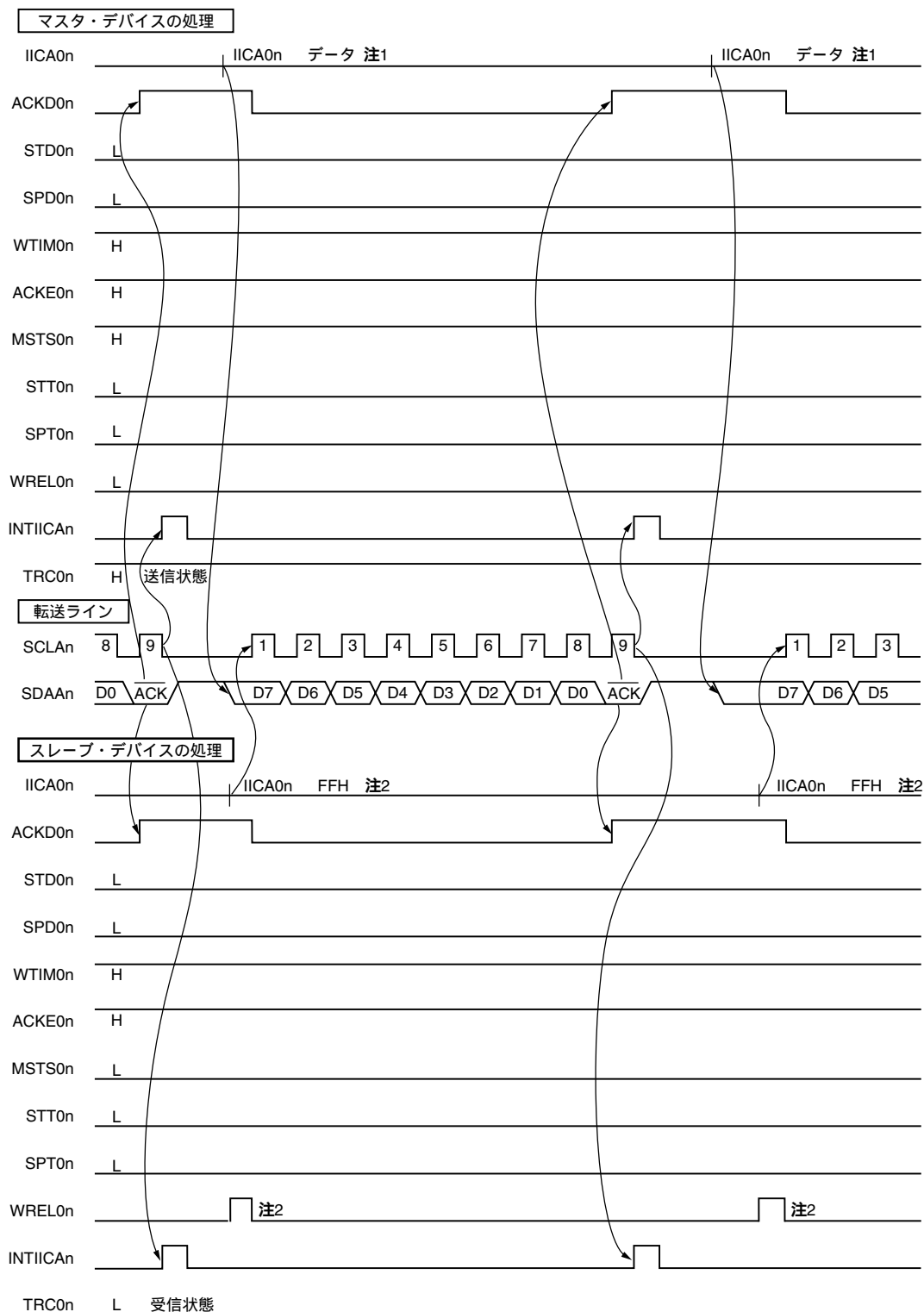
注 1. マスタ送信時のウエイト解除は, $WREL0n$ のセットではなく, $IICA0n$ へのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は, $IICA0n$ FFH または $WREL0n$ のセットのどちらかで行ってください。

備考 シリアル・インタフェースIICA00 : $n = 0$, シリアル・インタフェースIICA01 : $n = 1$,
シリアル・インタフェースIICA02 : $n = 2$

図16 - 31 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ



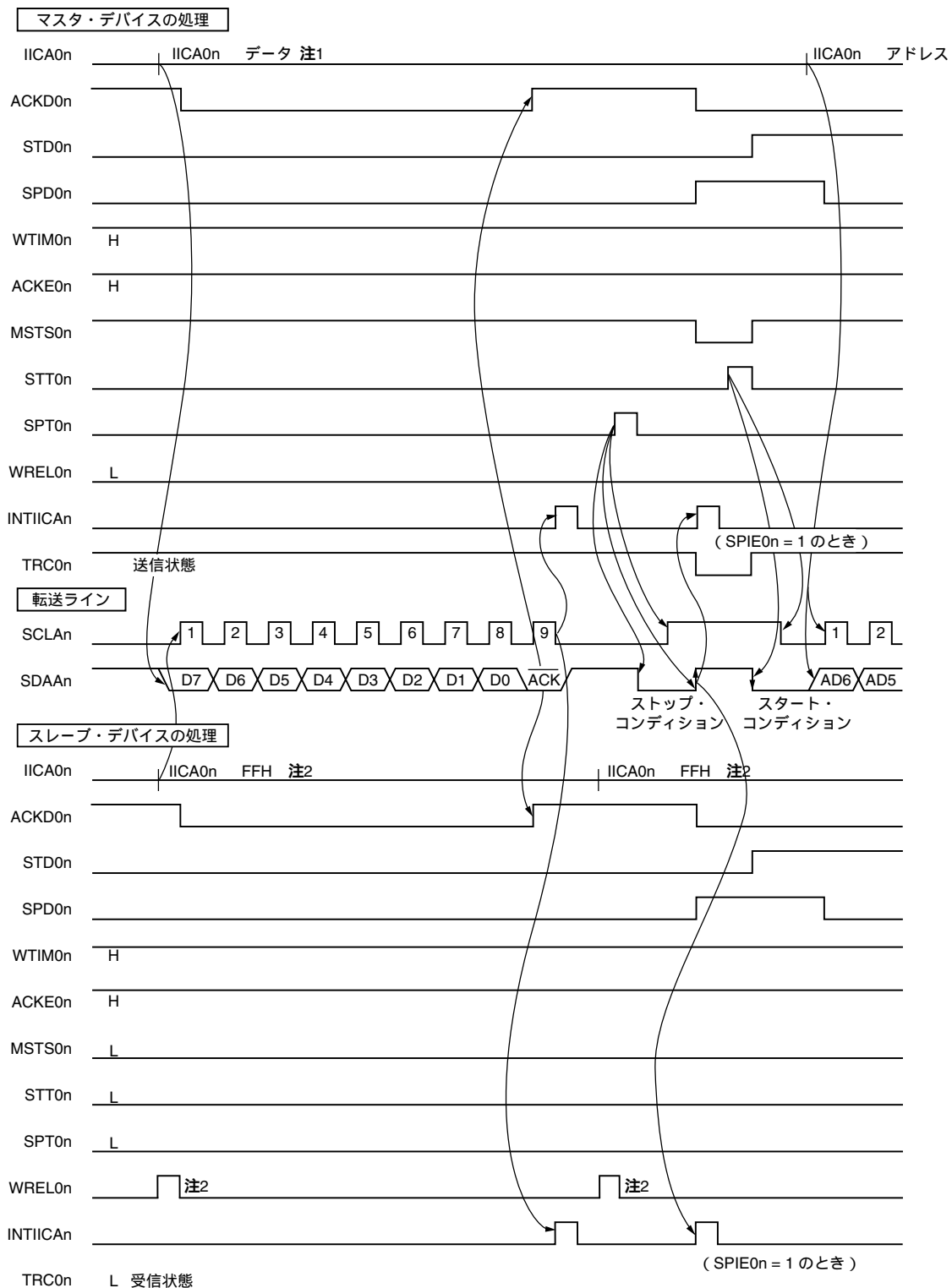
注 1. マスタ送信時のウエイト解除は、WREL0nのセットではなく、IICA0nへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA0n FFHまたはWREL0nのセットのどちらかで行ってください。

備考 シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

図16 - 31 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

(3) ストップ・コンディション



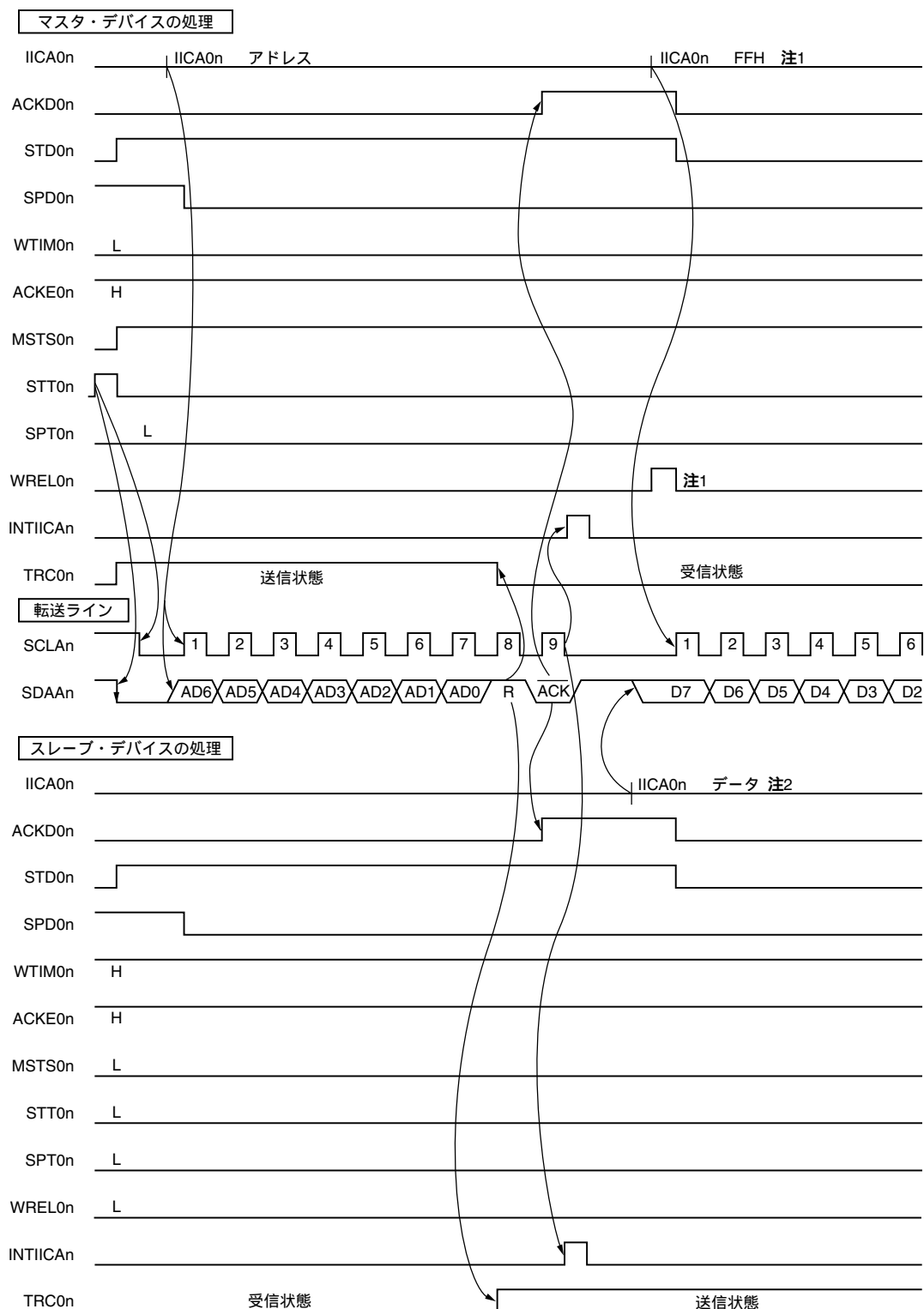
注 1. マスタ送信時のウエイト解除は、WREL0nのセットではなく、IICA0nへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA0n FFHまたはWREL0nのセットのどちらかで行ってください。

備考 シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

図16 - 32 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス



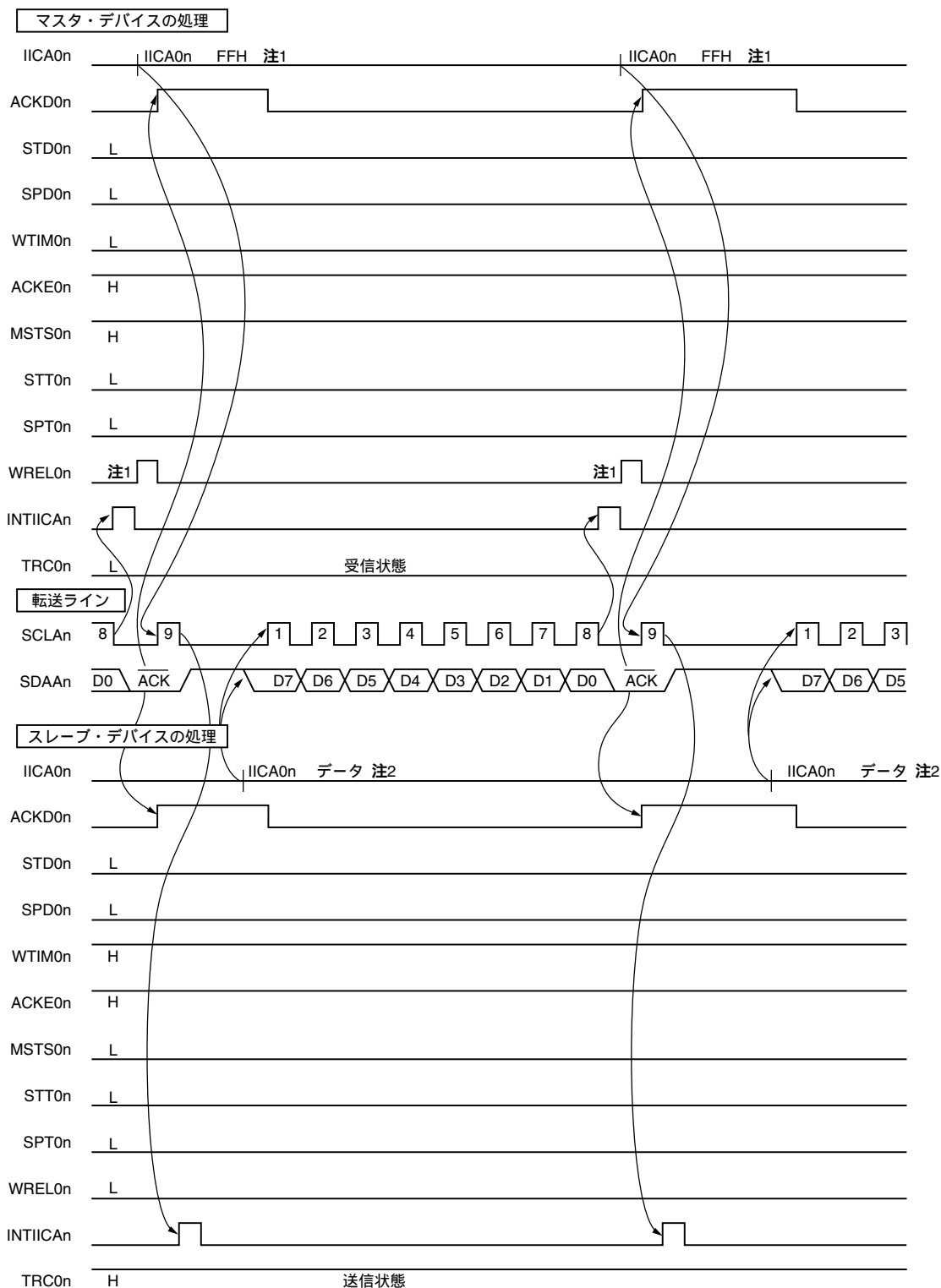
注 1. マスタ・ウエイト解除は, IICA0n FFHまたはWREL0nのセットのどちらかで行ってください。

2. スレーブ送信時のウエイト解除は, WREL0nのセットではなく, IICA0nへのデータ書き込みで行ってください。

備考 シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

図16 - 32 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (2/3)

(2) データ



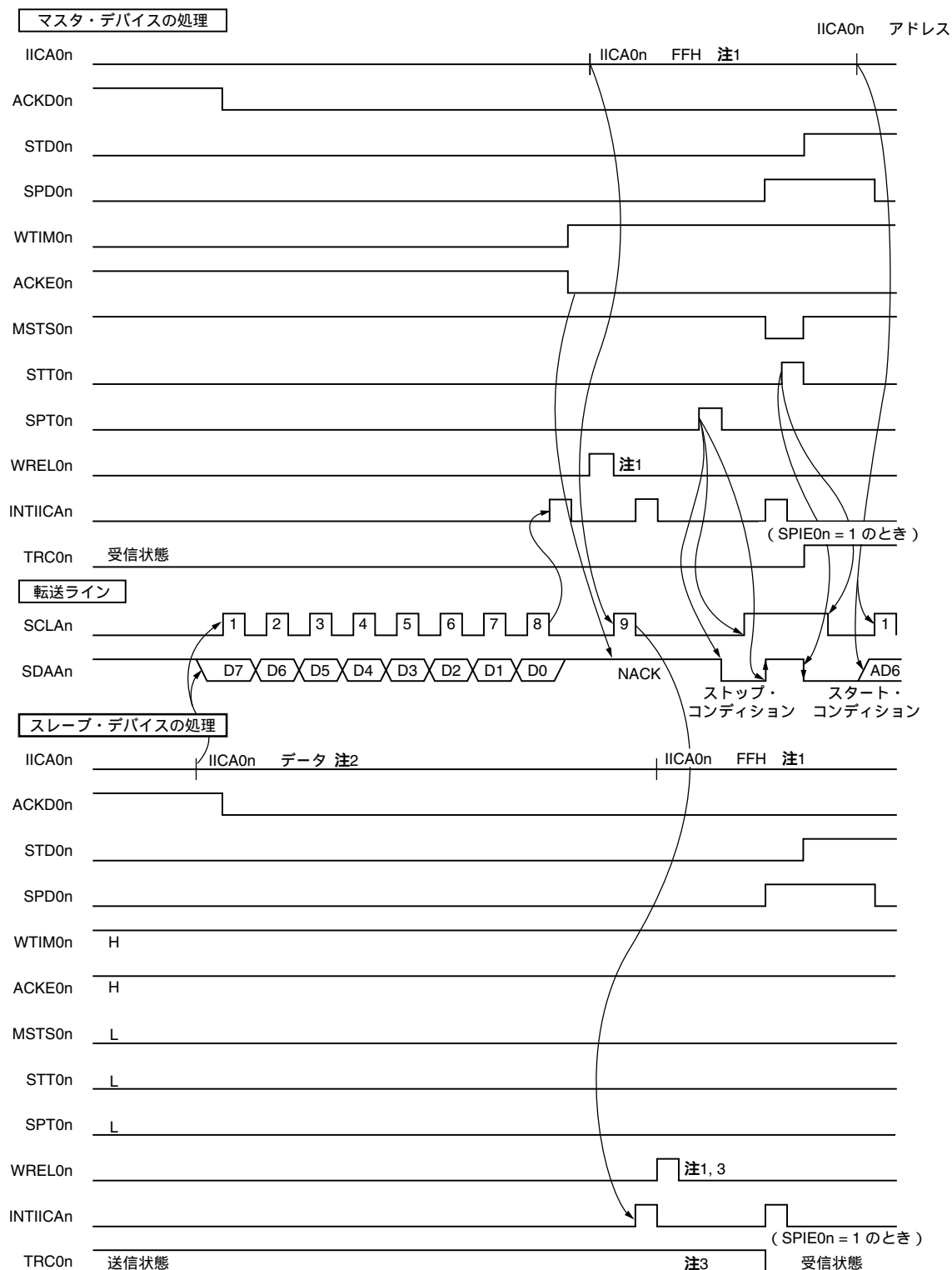
注 1. マスタ・ウェイト解除は, IICA0n FFHまたはWREL0nのセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は, WREL0nのセットではなく, IICA0nへのデータ書き込みで行ってください。

備考 シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

図16 - 32 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウェイト選択時) (3/3)

(3) ストップ・コンディション



- 注 1. ウェイト解除は、IICA0n FFHまたはWREL0nのセットのどちらかで行ってください。
 2. スレーブ送信時のウェイト解除は、WREL0nのセットではなく、IICA0nへのデータ書き込みで行ってください。
 3. スレーブ送信時のウェイトをWREL0nのセットで解除すると、TRC0nはクリアされます。

備考 シリアル・インタフェースIICA00 : n = 0, シリアル・インタフェースIICA01 : n = 1, シリアル・インタフェースIICA02 : n = 2

第17章 CEC送受信回路

注意 CEC送受信回路を使用すると、INTP4とINTP5は使用できません。

17.1 CEC送受信回路の機能

CEC送受信回路は、CEC (Consumer Electronics Control) 規格に対応したCEC信号の生成と受信ができ、さらに通信状態の検出をハードウェアが自動的にを行います。これらの機能により、CEC送受信の制御を簡単に行うことができます。

- ・CEC規格に対応したシリアル通信が可能
- ・動作クロックをメイン・システム・クロック、またはサブシステム・クロックから選択可能
- ・スタート・ビット、データ・ビットのロウ・レベル幅/ビット幅を送信、受信とも異なった任意の値に設定可能
- ・ハードウェアによるエラーと通信状態を検出可能
- ・シグナル・フリー・タイムをカウント可能

(1) 各モードの設定について

(a) タイプ1：内蔵のプルアップ抵抗とダイオードを使用する場合

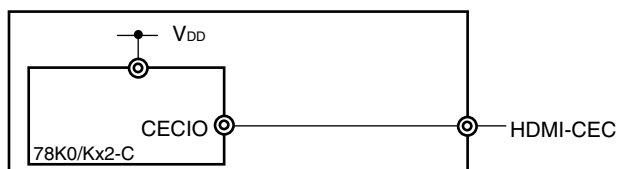
- ・P72を使用
- ・ $V_{DD} = 3.3\text{ V} \pm 10\%$ で使用
- ・外付け回路不要

P72	PM72	PF72	PIM72	PU72
1	0	1	1	1

PF72 = 1 : CECIOモード

PIM72 = 1 : CEC入力バッファ

PU72 = 1 : プルアップ抵抗とダイオード接続



(b) タイプ2：プルアップ抵抗とダイオードを外付けする場合

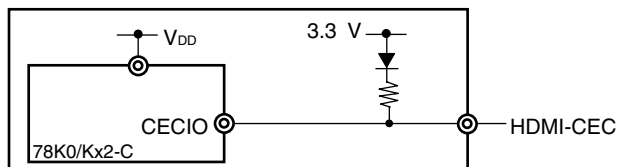
- ・ P72を使用
- ・ $V_{DD} = 3.3\text{ V} \pm 10\%$ で使用
- ・ 外付けにプルアップ抵抗とダイオードの接続が必要

P72	PM72	PF72	PIM72	PU72
1	0	1	1	0

PF72 = 1 : CECIOモード

PIM72 = 1 : CEC入力バッファ

PU72 = 0 : プルアップ抵抗とダイオード接続を使用しない

(c) タイプ3： $V_{DD} = 3.3\text{ V} \pm 10\%$ 以外でCEC送受信機能を使用する場合

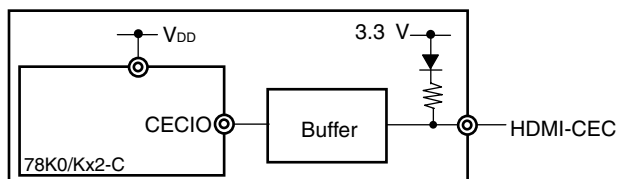
- ・ P72を使用
- ・ CECIO信号の電圧をCECの規格値に変換するための外付け回路が必要
- ・ CECIO端子に入力される前に通常入力バッファの電気的特性を満たすための外付け回路が必要
- ・ $V_{DD} = 1.8\text{-}5.5\text{ V}$ で使用可能

P72	PM72	PF72	PIM72	PU72
1	0	1	0	0

PF72 = 1 : CECIOモード

PIM72 = 0 : 通常入力バッファ

PU72 = 0 : プルアップ抵抗とダイオード接続を使用しない



(d) タイプ4：CEC送受信の入出力を分けて使用する場合

- ・ P40, 41を使用
- ・ CECの入力と出力を分けて使用するときに使用
- ・ CECIN端子に入力される前に通常入力バッファの電気的特性を満たすための外付け回路が必要
- ・ CECOUT信号の電圧をCECの規格値に変換するための外付け回路が必要
- ・ $V_{DD} = 1.8\text{-}5.5\text{ V}$ で使用可能

P41	PM41	P40	PM40	PF40	PF41
-	1	1	0	1	1

PF40 = 1 : CECINモード

PF41 = 1 : CECOUTモード

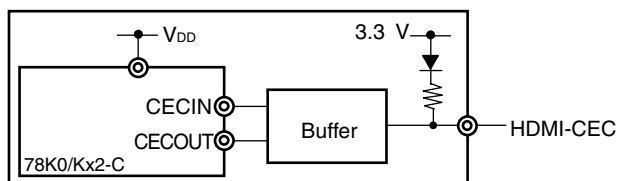
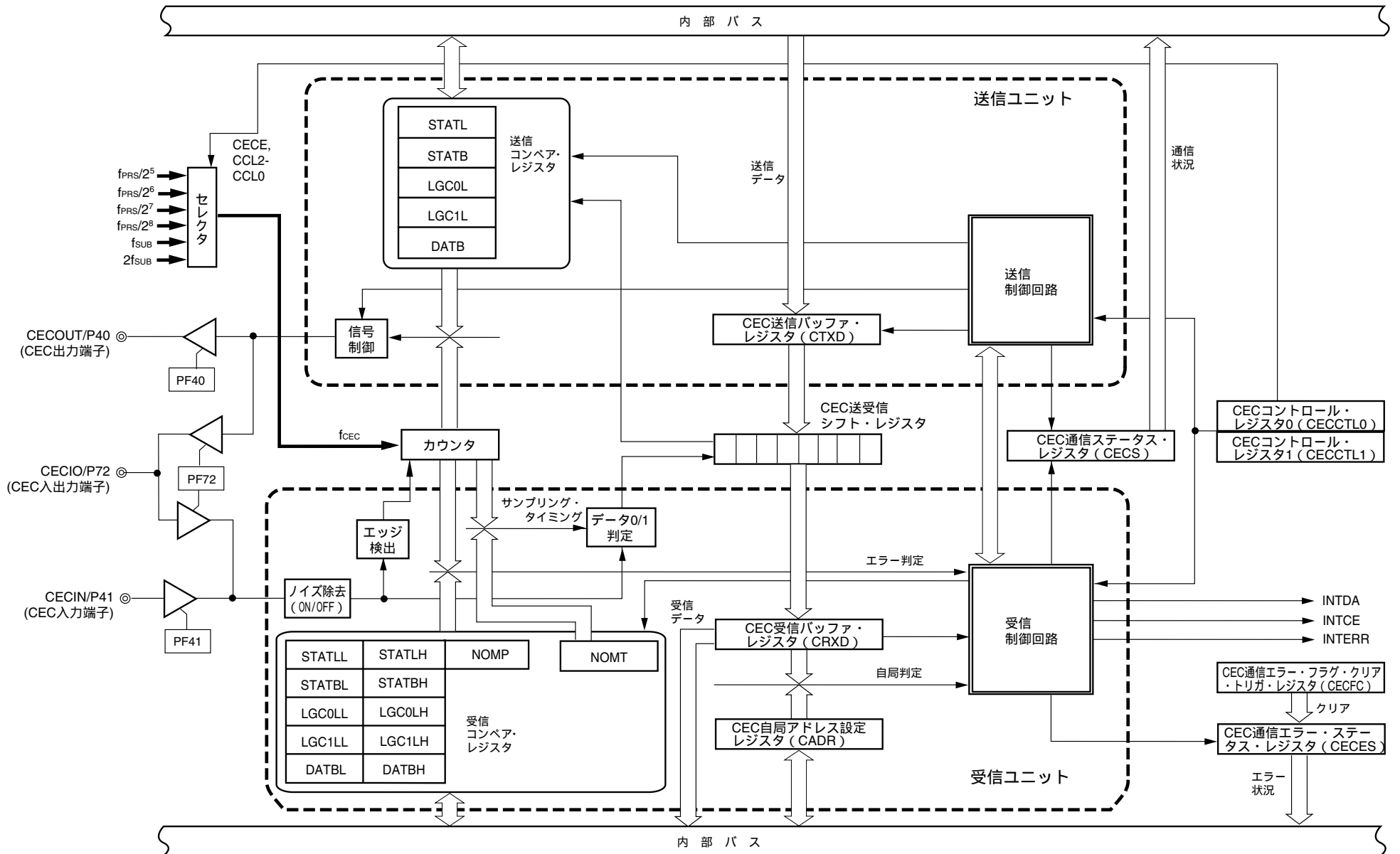


図17-1 CEC送受信回路のブロック図



17.2 CEC送受信回路の構成

CEC送受信回路は、次のハードウェアで構成しています。

表17-1 CEC送受信回路の構成

項 目	構 成
制御レジスタ	CECコントロール・レジスタ0 (CECCTL0) CECコントロール・レジスタ1 (CECCTL1) CEC通信ステータス・レジスタ (CECS) CEC通信エラー・ステータス・レジスタ (CECES) CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CECF) CEC自局アドレス設定レジスタ (CADR) ポート・ファンクション・レジスタ4 (PF4) ポート・ファンクション・レジスタ7 (PF7) ポート・モード・レジスタ4 (PM4) ポート・モード・レジスタ7 (PM7)
レジスタ ^{注1, 2, 3}	CEC受信バッファ・レジスタ (CRXD) CEC送信バッファ・レジスタ (CTXD) CEC受信スタート・ビットのロウ幅のMIN.値設定レジスタ (STATLL) CEC受信スタート・ビットのロウ幅のMAX.値設定レジスタ (STATLH) CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL) CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH) CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL) CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH) CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL) CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH) CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL) CEC受信データ・ビットのビット幅のMAX.値設定レジスタ (DATBH) CEC送信スタート・ビットのロウ幅設定レジスタ (STATL) CEC送信スタート・ビットのビット幅設定レジスタ (STATB) CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L) CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L) CEC送信データ・ビットのビット幅設定レジスタ (DATB) CECデータ・ビット基準幅設定レジスタ (NOMP) CEC受信データ・サンプリング時間設定レジスタ (NOMT)

注1. レジスタに0を書き込むことは可能ですが、CEC送受信回路は正常な動作をしません。

- 受信動作または送信動作のみの場合でも、バッファ・レジスタを除く全てのレジスタの設定をしてください。
- それぞれのレジスタ設定値には、大小関係が必須のレジスタが存在します。以下の関係を守るようにレジスタ設定してください。
 - STATL < STATB
 - LGC1L < LGC0L < DATB
 - STATLL < STATLH
 - STATBL < STATBH
 - LGC0LL < LGC0LH
 - LGC1LL < LGC1LH
 - DATBL < DATBH

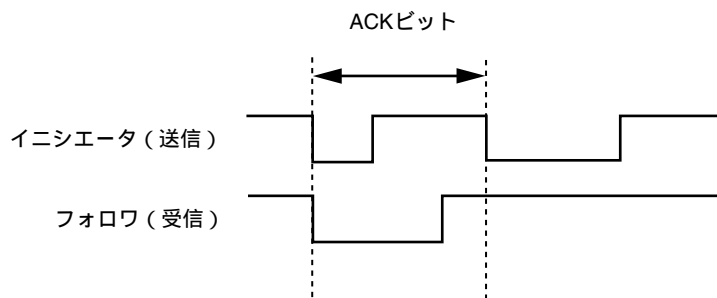
17.3 用語の説明

- ・イニシエータ (Initiator) : CECメッセージを送信する, または送信中のデバイス
- ・フォロワ (Follower) : CECメッセージを受信する, または受信中のデバイス
- ・メッセージ (Message) : スタート・ビットからオペランドまでのすべてのデータ
- ・イニシエータ・アドレス (Initiator Address) : 送り元アドレス
- ・デスティネーション・アドレス (Destination Address) : 送り先アドレス
- ・ダイレクト・アドレス通信 (ダイレクト・アドレス・メッセージ) : フォロワが1つの通信
- ・ブロードキャスト通信 (ダイレクト・アドレス・メッセージ) : フォロワが複数の通信
- ・アービトレーション : 複数のイニシエータがある場合, CECラインにロウ・レベルを出力したデバイスを優先すること
- ・アービトレーション負け : 競合デバイスが優先された状態。このとき, 自局は送信を停止する
- ・バス・フリー : 通信が行われていない状態。送信可能状態。
- ・バス・ビジー : 通信中
- ・エラー・ハンドリング : 設定したデータ・ビットのビット幅よりも短いビット幅を受信した場合, エラー・パルス (ビット幅 × 1.5倍の幅のロウ・レベル) を出力し, 通信待機状態に遷移する。

ACKビットのタイミングで受信する論理レベルは次のようにします。

- ・ACK : ロジカル0を出力
- ・NACK : ロジカル1を出力

例) ACKビット期間にイニシエータがロジカル1を, フォロワがロジカル0を出力する場合
イニシエータは, NACKを送信。フォロワは, ACKを送信



17.4 CEC送受信回路を制御するレジスタ

CEC送受信回路は、次のレジスタで制御します。

- ・CEC自局アドレス設定レジスタ (CADR)
- ・CEC送信バッファ・レジスタ (CTXD)
- ・CEC受信バッファ・レジスタ (CRXD)
- ・CECコントロール・レジスタ0 (CECCTL0)
- ・CECコントロール・レジスタ1 (CECCTL1)
- ・CEC通信ステータス・レジスタ (CECS)
- ・CEC通信エラー・ステータス・レジスタ (CECES)
- ・CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC)
- ・ポート・ファンクション・レジスタ4 (PF4)
- ・ポート・ファンクション・レジスタ7 (PF7)

(1) CEC自局アドレス設定レジスタ (CADR)

CADRは自局アドレスを設定する16ビットのレジスタです。CADRは受信時にのみ有効となるレジスタで、ADR00-ADR14ビットがそれぞれCECのロジカル・アドレス0～14に対応し、最大15個の自局アドレスを設定することができます。アドレス15に設定する場合は、ADR00-ADR14ビットをすべて0に設定してください。なお、ブロードキャスト・アドレスは常に自局アドレスとして動作します。

例えば、アドレス0を自局アドレスとして使用する場合は、ADR00ビットに1を設定します。

CADRは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図17-2 CEC自局アドレス設定レジスタ (CADR) のフォーマット (1/2)

アドレス : FF2AH, FF2BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CADR	0	ADR 14	ADR 13	ADR 12	ADR 11	ADR 10	ADR 09	ADR 08	ADR 07	ADR 06	ADR 05	ADR 04	ADR 03	ADR 02	ADR 01	ADR 00
ADR00	アドレス0 (TV)															
	0	自局アドレスに設定しない														
	1	自局アドレスに設定する														
ADR01	アドレス1 (Recording Device1)															
	0	自局アドレスに設定しない														
	1	自局アドレスに設定する														
ADR02	アドレス2 (Recording Device2)															
	0	自局アドレスに設定しない														
	1	自局アドレスに設定する														
ADR03	アドレス3 (Tuner1)															
	0	自局アドレスに設定しない														
	1	自局アドレスに設定する														

図17 - 2 CEC自局アドレス設定レジスタ (CADR) のフォーマット (2/2)

アドレス : FF2AH, FF2BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CADR	0	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR	ADR
		14	13	12	11	10	09	08	07	06	05	04	03	02	01	00

ADR04	アドレス4 (Playback Device1)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR05	アドレス5 (Audio System)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR06	アドレス6 (Tuner2)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR07	アドレス7 (Tuner3)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR08	アドレス8 (Playback Device2)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR09	アドレス9 (Recording Device3)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR10	アドレス10 (Tuner4)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR11	アドレス11 (Playback Device3)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR12	アドレス12 (Reserved)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR13	アドレス13 (Reserved)
0	自局アドレスに設定しない
1	自局アドレスに設定する

ADR14	アドレス14 (Specific Use)
0	自局アドレスに設定しない
1	自局アドレスに設定する

注意 アドレス15 (Unregistered) に設定する場合は , ADR00-ADR14ビットをすべて0に設定してください。

(2) CEC送信バッファ・レジスタ (CTXD)

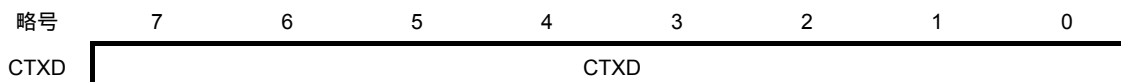
CTXDは送信データを設定する8ビットのレジスタです。ビット7から順に8ビット分のデータを送信します。ヘッダ・ブロック、データ・ブロックの先頭のタイミングで送受信割り込み要求信号 (INTDA) が発生します。INTDA発生後、送信が完了するまでにCTXDに次のデータを書き込むことで連続した送信が可能です。

CTXDは、8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図17-3 CEC送信バッファ・レジスタ (CTXD) のフォーマット

アドレス：FF51H リセット時：00H R/W



注意 アンダラン・エラーが発生 (UERR = 1) した場合、送信は継続しません。エラー割り込みを発生し送信待ち状態になります。

(3) CEC受信バッファ・レジスタ (CRXD)

CRXDは受信データを保持する8ビットのレジスタです。

本レジスタをリードすることで、受信データをリードすることが可能です。

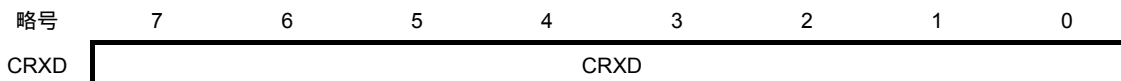
データを1バイト受信するごとにCEC受信シフト・レジスタから新たなデータが転送されます。

CRXDは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図17-4 CEC受信バッファ・レジスタ (CRXD) のフォーマット

アドレス：FF52H リセット時：00H R



注意 オーバラン・エラーが発生 (OERR = 1) した場合、受信バッファ・レジスタのデータは上書きされます。

(4) CECコントロール・レジスタ0 (CECCTL0)

CECCTL0は、動作許可、送信開始、動作クロックの選択を行うレジスタです。

CECCTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図17-5 CECコントロール・レジスタ0 (CECCTL0) のフォーマット (1/2)

アドレス：FF42H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CECCTL0	CECE	ACKTEN	CCL2	CCL1	CCL0	TXTRG	CECRXEN	EOM

CECE	CEC動作イネーブル・フラグ
0	CEC動作停止 CECE = 0にしても、制御レジスタをリセットしません。
1	CEC送受信動作許可

ACKTEN	ACKビット・タイミング・エラー（ビット幅）チェック許可
0	ACKビットのタイミング・エラー（ビット幅）を検出しません。
1	ACKビットのタイミング・エラー（ビット幅）を検出する。 ^{注1}

CCL2	CCL1	CCL0	ソース・クロック (f_{CEC}) 選択 ^{注2, 3}
0	0	0	$f_{PRS}/2^5$
0	0	1	$f_{PRS}/2^6$
0	1	0	$f_{PRS}/2^7$
0	1	1	$f_{PRS}/2^8$
1	0	0	f_{SUB} (32.768 kHz)
1	0	1	$f_{SUB} \times 2$ (32.768 kHz $\times 2$)
上記以外			設定禁止

注1. ACKビットのロウ・レベル幅 (LGC0LL/LGC0LH/LGC1LL/LGC1LH設定値) に加え、ビット幅 (DATBL/DATBH設定値) のタイミング・エラーを検出します。ただし、最終フレーム (EOM = 1) のACKビットは、ACKTEN = 1でもビット幅MAX.値 (DATBH) のチェックを行いません。

2. CECE = 0のときのみ書き換え可能です。

3. CECカウンタのソース・クロックは、7.8125-78.125 kHzに設定してください。CECカウンタのソース・クロックの設定例を次に示します。

CEC動作 クロック	CECカウンタのソース・クロック (f_{CEC})					
	$f_{PRS} = 20$ MHz 時	$f_{PRS} = 16$ MHz 時	$f_{PRS} = 12$ MHz 時	$f_{PRS} = 10$ MHz 時	$f_{PRS} = 8$ MHz 時	$f_{PRS} = 2$ MHz 時
$f_{PRS}/2^5$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	62.5 kHz
$f_{PRS}/2^6$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	31.25 kHz
$f_{PRS}/2^7$	設定禁止	設定禁止	設定禁止	78.125 kHz	62.5 kHz	15.625 kHz
$f_{PRS}/2^8$	78.125 kHz	62.5 kHz	46.875 kHz	39.0625 kHz	31.25 kHz	7.8125 kHz
f_{SUB}	32.768 kHz ($f_{SUB} = 32.768$ kHz動作時)					
$f_{SUB} \times 2$	65.536 kHz ($f_{SUB} = 32.768$ kHz動作時)					

備考1. f_{CEC} : CECカウンタのソース・クロック (ビット5-3 (CCL2-CCL0) で選択)

2. f_{PRS} : 周辺ハードウェア・クロック発振周波数

3. f_{SUB} : サブシステム・クロック発振周波数

図17-5 CECコントロール・レジスタ0 (CECTL0) のフォーマット (2/2)

アドレス : FF42H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CECTL0	CECE	ACKTEN	CCL2	CCL1	CCL0	TXTRG	CECRXEN	EOM

TXTRG	送信開始トリガ・ビット ^{注1, 2}
0	CEC送信を開始しない。(読み出すと常に0です。0書き込みは意味を持ちません。)
1	CECE = 1の状態では、CEC送信を開始します。

CECRXEN	受信拒否制御ビット ^{注3, 4, 5}																
1	受信継続を許可または正常受信を通知する(通常はこちらを選択)																
	<table border="1"> <tr> <td>受信状態</td> <td></td> <td>ACK/NACK タイミングの出力</td> </tr> <tr> <td rowspan="2">ダイレクト・アドレス受信時(自局宛)</td> <td>正常受信</td> <td>ACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>NACK</td> </tr> <tr> <td rowspan="2">ブロードキャスト・アドレス受信</td> <td>正常受信</td> <td>NACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>ACK</td> </tr> <tr> <td>ダイレクト・アドレス受信時(他局宛)</td> <td colspan="2">通信不参加(ハイ・インピーダンス)</td> </tr> </table>	受信状態		ACK/NACK タイミングの出力	ダイレクト・アドレス受信時(自局宛)	正常受信	ACK	タイミング・エラー発生	NACK	ブロードキャスト・アドレス受信	正常受信	NACK	タイミング・エラー発生	ACK	ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス)	
受信状態		ACK/NACK タイミングの出力															
ダイレクト・アドレス受信時(自局宛)	正常受信	ACK															
	タイミング・エラー発生	NACK															
ブロードキャスト・アドレス受信	正常受信	NACK															
	タイミング・エラー発生	ACK															
ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス)																
0	受信継続を中止または異常受信を通知する																
	<table border="1"> <tr> <td>受信状態</td> <td></td> <td>ACK/NACK タイミングの出力</td> </tr> <tr> <td rowspan="2">ダイレクト・アドレス受信時(自局宛)</td> <td>正常受信</td> <td>NACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>NACK</td> </tr> <tr> <td rowspan="2">ブロードキャスト・アドレス受信</td> <td>正常受信</td> <td>ACK</td> </tr> <tr> <td>タイミング・エラー発生</td> <td>ACK</td> </tr> <tr> <td>ダイレクト・アドレス受信時(他局宛)</td> <td colspan="2">通信不参加(ハイ・インピーダンス状態)</td> </tr> </table>	受信状態		ACK/NACK タイミングの出力	ダイレクト・アドレス受信時(自局宛)	正常受信	NACK	タイミング・エラー発生	NACK	ブロードキャスト・アドレス受信	正常受信	ACK	タイミング・エラー発生	ACK	ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス状態)	
受信状態		ACK/NACK タイミングの出力															
ダイレクト・アドレス受信時(自局宛)	正常受信	NACK															
	タイミング・エラー発生	NACK															
ブロードキャスト・アドレス受信	正常受信	ACK															
	タイミング・エラー発生	ACK															
ダイレクト・アドレス受信時(他局宛)	通信不参加(ハイ・インピーダンス状態)																

EOM	EOM設定ビット
0	送信継続
1	最終フレーム

注1. TXTRGはトリガ・ビットであり、リード値は常に0になります。

2. CECの送信が終了するまで、TXTRGビットへの書き込み操作を禁止します。

TXTRG = 1にセットするときはバス・フリー状態(BUSST = 0)のときに設定してください。TXTRG = 1にセット後、最大 f_{CEC} の2クロック後に送信が始まります。

3. 通信中(BUSST = 1)のCECRXENビットの書き換えは禁止です。

4. CECRXEN = 0に設定すると、次のACK/NACKタイミングで受信拒否通知を行い、通信待機状態になります。

5. 自局アドレス決定後(CADRレジスタ設定後)、CECRXEN = 1に設定してください。

(5) CECコントロール・レジスタ1 (CECCTL1)

CECCTL1は、デジタル・フィルタの選択、データ割り込み発生の選択、スタート・ビットのエラー割り込みの選択、通信完了割り込みの発生有無、および発生タイミングを選択するレジスタです。

CECCTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図17-6 CECコントロール・レジスタ1 (CECCTL1) のフォーマット (1/2)

アドレス：FF47H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CECCTL1	CDFC	CINTMK	BLERRD	STERRD	CESEL1	CESEL0	SFT1	SFT0

CDFC	デジタル・フィルタ選択ビット ^{注1,2}
0	デジタル・フィルタを使用しない。
1	デジタル・フィルタを使用し、 f_{CEC} の1クロック分のノイズを除去します。

CINTMK	CECデータ割り込み (INTDA) 発生選択レジスタ ^{注1,3}	
0	デスティネーション・アドレスが自局アドレスと一致	データ割り込み (INTDA) を発生する
	デスティネーション・アドレスが自局アドレスと一致しない	データ割り込み (INTDA) を発生しない
1	デスティネーション・アドレスが自局アドレスと一致	データ割り込み (INTDA) を発生する
	デスティネーション・アドレスが自局アドレスと一致しない	

注1. CECE = 0のときのみ書き換え可能です。

2. デジタル・フィルタ使用時のノイズ除去幅の設定例を次に示します。

CEC動作	デジタル・フィルタによるノイズ除去幅					
クロック (f_{CEC})	$f_{PRS} = 20 \text{ MHz}$ 時	$f_{PRS} = 16 \text{ MHz}$ 時	$f_{PRS} = 12 \text{ MHz}$ 時	$f_{PRS} = 10 \text{ MHz}$ 時	$f_{PRS} = 8 \text{ MHz}$ 時	$f_{PRS} = 2 \text{ MHz}$ 時
$f_{PRS}/2^5$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	16 μs
$f_{PRS}/2^6$	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	32 μs
$f_{PRS}/2^7$	設定禁止	設定禁止	設定禁止	12.8 μs	16 μs	64 μs
$f_{PRS}/2^8$	12.8 μs	16 μs	21.3 μs	25.6 μs	32 μs	128 μs
f_{SUB}	30.5 μs ($f_{SUB} = 32.768 \text{ kHz}$ 動作時)					
$f_{SUB} \times 2$	15.2 μs ($f_{SUB} = 32.768 \text{ kHz}$ 動作時)					

3. CINTMKビットを設定することで、受信時においてデスティネーション・アドレスが自局アドレスと不一致の場合のヘッダ・ブロックのデータ割り込み (INTDA) 発生有無を選択します。詳細は17.7.5 CEC受信を参照してください。

備考1. f_{CEC} : CECカウンタのソース・クロック (CECCTL0レジスタのビット5-3 (CCL2-CCL0) で選択)

2. f_{PRS} : 周辺ハードウェア・クロック発振周波数

3. f_{SUB} : サブシステム・クロック発振周波数

図17-6 CECコントロール・レジスタ1 (CECCTL1) のフォーマット (2/2)

アドレス : FF47H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CECCTL1	CDFC	CINTMK	BLERRD	STERRD	CESEL1	CESEL0	SFT1	SFT0

BLERRD	バス・ロック検出選択ビット ^{注1,2}
0	受信データのハイおよびロウ・レベル張り付きを検出しない。
1	受信データのハイおよびロウ・レベル張り付きを検出する。

STERRD	スタート・ビットのエラー検出選択ビット ^{注1,3}
0	スタート・ビット受信中のタイミング・エラーを検出しない。
1	スタート・ビット受信中のタイミング・エラーを検出する (推奨)。

CESEL1	CESEL0	通信完了割り込み (INTCE) 発生タイミング ^{注1}
0	0	EOM = 1を検出し, ACK送信 / 受信完了後と, SFT1, SFT0で設定したシグナル・フリー・タイムの検出後の2回通信完了割り込みを発生
0	1	EOM = 1を検出し, ACK送信 / 受信完了後に通信完了割り込みを発生
1	0	SFT1, SFT0で設定したシグナル・フリー・タイム検出後に通信完了割り込みを発生
1	1	設定禁止

SFT1	SFT0	シグナル・フリー・タイムのデータ・ビット幅 ^{注4}
0	0	3データ・ビット幅のシグナル・フリー・タイム
0	1	5データ・ビット幅のシグナル・フリー・タイム
1	0	7データ・ビット幅のシグナル・フリー・タイム
1	1	シグナル・フリー・タイムを検出しない

注1. CECE = 0のときのみ書き換え可能です。

- BLERRDに1を設定すると, CECラインのバス・ロック状態を検出できます。通信待機状態を除いたCECラインの立ち下がりエッジ待ち状態で, NOMPLレジスタで設定した1データ・ビット幅の2.5倍の期間, 次の立ち下がりエッジが入力されない場合, エラー割り込み (INTERR) を発生し, バス・ロック・エラー・フラグ (BLERR) をセットします。その後, 通信待機状態に遷移します。
- スタート・ビット受信時のタイミング・エラーを検出する / しないを設定します。
STERRD = 1に設定することで, STATLL/STATLH/STATBL/STATBH各レジスタ設定値にしたがって, スタート・ビットのタイミング・エラーを検出することが可能です。タイミング・エラーが発生した場合, そのスタート・ビットを無効と判断し通信待機状態になります。STERRD = 0の場合, タイミング・エラーを検出しません。すべてのパルスをスタート・ビットと判定します。
- CECSレジスタのSFTST = 0のときのみ書き換え可能です。
シグナル・フリー・タイムの1データ・ビット幅はNOMPLレジスタで設定します。

(6) CEC通信ステータス・レジスタ (CECS)

CECSは、CECの通信状態を示すレジスタです。

CECSは8ビット・メモリ操作命令で読み出します。

CECE = 0またはリセット信号の発生により、00Hになります。

図17-7 CEC通信ステータス・レジスタ (CECS) のフォーマット (1/2)

アドレス : FFA6H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
CECS	SFTST	0	0	ITCEF	EOMF	TXST	BUSST	ADRF

SFTST	シグナル・フリー・タイム書き換え禁止通知フラグ
0	SFT1, SFT0書き換え許可 次の場合にSFTST = 0にクリアします。 ・ CECE = 0のとき ・ SFT1, SFT0の書き換え禁止期間を超過したとき (禁止期間は最大で f_{CEC} の3クロック)。
1	SFT1, SFT0書き換え禁止 次の場合SFTST = 1にセットします。 ・ SFT1, SFT0ビット (CECCTL1レジスタ) へのライト・アクセス時。

ITCEF	INTCE発生要因フラグ
0	シグナル・フリー・タイム・カウント完了でINTCEが発生
1	通信完了またはエラー検出でINTCEが発生

CESEL1, CESEL0 = 0, 0設定時のみ有効です。
INTCE発生後にITCEFを確認することで、どちらの発生要因だったかを判定できます (図17-8参照)。

EOMF	EOMフラグ
0	直前に受信したEOMビットがロジカル0
1	直前に受信したEOMビットがロジカル1

TXST	送信ステータス・フラグ
0	通信待機中、もしくは受信動作中 (フォロワー動作中)
1	送信動作中 (イニシエータ動作中)

BUSST	バス・ビジー検出フラグ
0	バス・フリー状態。 次の場合にBUSST = 0にリセットされます。 ・ CECE = 0のとき、バス状態に関係なくBUSST = 0にリセットします。 ・ 通信終了後、SFT1, SFT0ビットで設定したシグナル・フリー・タイムを超過した場合 (図17-9参照)。
1	バス・ビジー状態。 次の場合にBUSST = 1にセットされます。 ・ CECラインの立ち下がりを検出したとき (図17-10参照)。 ・ 受信およびスタンバイ期間中にCECE=1にセットしたとき (図17-11参照)。

図17-7 CEC通信ステータス・レジスタ (CECS) のフォーマット (2/2)

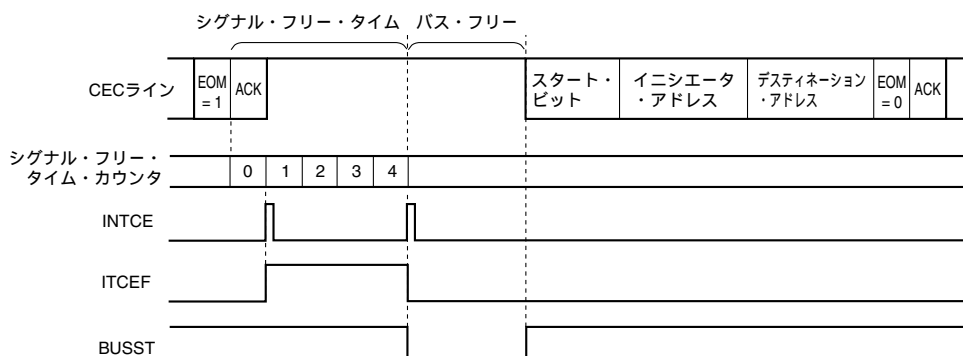
アドレス : FFA6H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
CECS	SFTST	0	0	ITCEF	EOMF	TXST	BUSST	ADRF

ADRF	アドレス一致検出フラグ
0	他局間通信中, もしくは通信停止中, もしくは自局送信中。 次の場合にADRF = 0にリセットされます。 ・ CECE = 0のとき ・ 受信が完了したとき
1	自局宛の受信時。 次の場合にADRF = 1にセットされます。 ・ 自局アドレスと受信デスティネーション・アドレスが一致したとき。 ・ ブロードキャスト・アドレスを受信したとき。

図17-8 CESEL0, CESEL1 = 0, 0時のITCEFによるINTCE発生要因確認

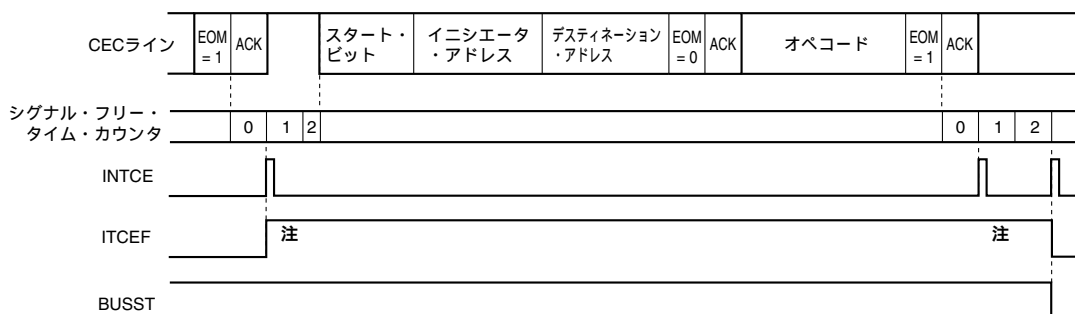
(1) シグナル・フリー・タイム・カウント完了後、受信動作を開始した場合



ITCEF = 1ならばACK受信完了でのINTCE発生 ()

ITCEF = 0ならばシグナル・フリー・タイム・カウント完了でのINTCE発生 ()

(2) シグナル・フリー・タイム中に受信動作を開始した場合



注 シグナル・フリー・タイム・カウント完了でINTCEが発生するまで, ITCEF = 1に保持されます。

図17 - 9 通信終了後, SFT1, SFT0ビットで設定したシグナル・フリー・タイムを経過した場合のタイミング

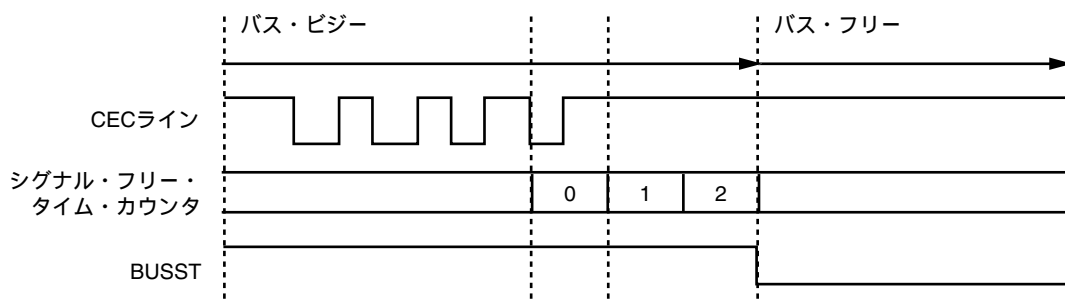


図17 - 10 CECラインの立ち下がり検出タイミング

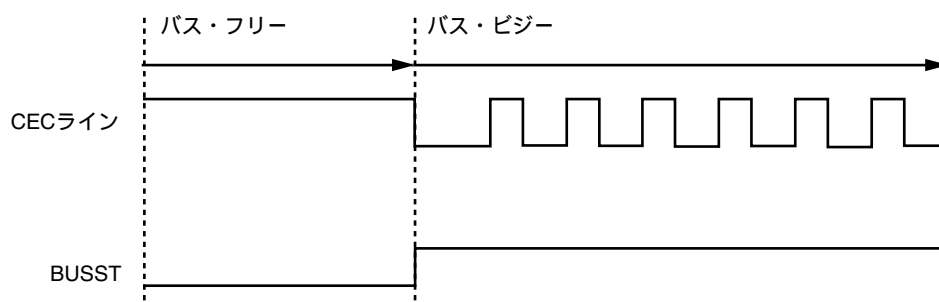
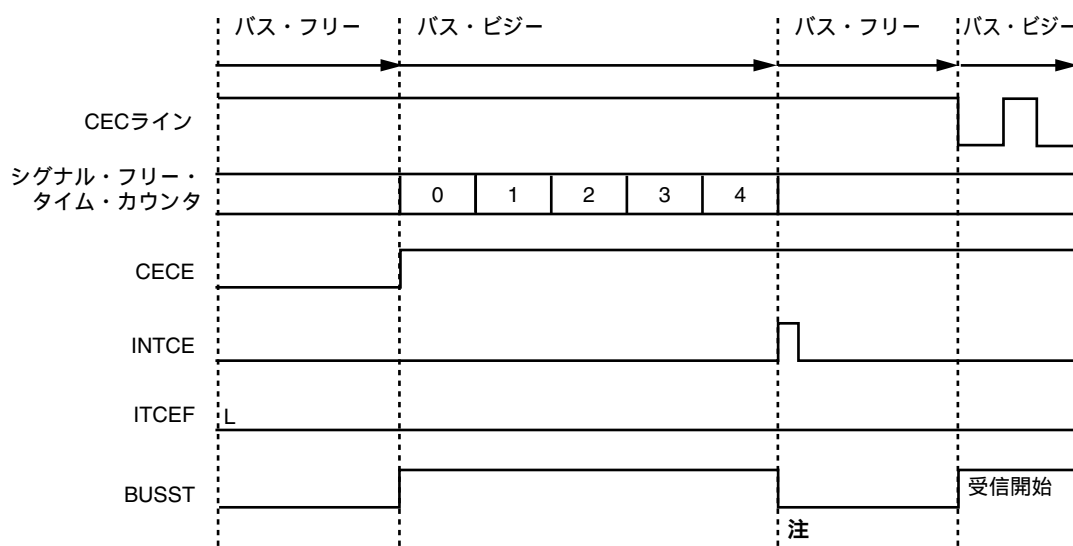


図17 - 11 受信およびスタンバイ期間中にCECE = 1にセットしたときのタイミング



注 シグナル・フリー・タイムをカウント中に受信動作が開始した場合は, BUSSTはクリアされません。

(7) CEC通信エラー・ステータス・レジスタ (CECES)

CECESは、バス・ロック・エラー検出、アービトレーション負け検出、送信エラー検出、タイミング・エラー検出、ACKエラー検出、アンダラン・エラー検出、オーバラン・エラー検出を示すレジスタです。

CECESは、8ビット・メモリ操作命令で読み出します。

CECE = 0またはリセット信号の発生により、00Hになります。

図17 - 12 CEC通信エラー・ステータス・レジスタ (CECES) のフォーマット (1/2)

アドレス：FFA5H リセット時：00H R

略号	7	6	5	4	3	2	1	0
CECES	0	BLERR	AERR	TXERR	TERR	ACKERR	UERR	OERR

BLERR	バス・ロック・エラー検出フラグ
0	バス・ロック・エラーが発生していない。 次の場合にBLERR = 0にクリアされます。 ・ BLCTRG = 1に設定したとき
1	バス・ロック・エラーが発生している。 次の場合に BLERR = 1 にセットされます。 ・ フレームの途中でCEC受信信号がロウ・レベルまたは、ハイ・レベルに固定されたとき CEC受信信号立ち下がりエッジから、NOMPレジスタで設定した1データ・ビット幅の2.5倍の時間、次の立ち下がりエッジが入力されないとエラーを検出します。

AERR	アービトレーション負け検出フラグ
0	アービトレーション負けが発生していない。もしくは通信停止中。 次の場合にAERR = 0にリセットされます。 ・ ACTRG = 1のとき
1	アービトレーション負け。 次の場合にAERR = 1にセットされます。 ・ スタート・ビット送信中から送り元アドレス送信中の期間に、アービトレーション負けしたとき

TXERR	送信エラー検出フラグ ^注
0	送信エラーが発生していない。 次の場合にTXERR = 0にリセットされます。 ・ TXCTRG = 1のとき
1	送信エラーが発生した。 次の場合にTXERR = 1にセットされます。 ・ イニシエータ動作時、送信データと受信データの論理比較を行い異なった場合。

注 スタート・ビット、ACKビット期間は送信エラーを検出しません。

図17 - 12 CEC通信エラー・ステータス・レジスタ (CECES) のフォーマット (2/2)

アドレス : FFA5H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
CECES	0	BLERR	AERR	TXERR	TERR	ACKERR	UERR	OERR

TERR	タイミング・エラー検出フラグ
0	タイミング・エラー発生していない。 以下の場合にTERR = 0にリセットされます。 ・ TCTRG = 1のとき
1	タイミング・エラー発生した。 以下の場合にTERR = 1にセットされます。 ・ 受信したデータのタイミング・チェックで違反が検出されたとき。

ACKERR	ACKエラー検出フラグ ^注
0	ACKエラーが発生していない。 次の場合にACKERR = 0にリセットされます。 ・ ACKCTRG = 1のとき
1	ACKエラーが発生した。 次の場合にACKERR = 1にセットされます。 ・ ダイレクト・アドレス通信時に, NACK (ロジカル1) を受信したとき ・ ブロードキャスト通信時に, ACK (ロジカル0) を受信したとき ・ ロジカル・アドレス・アロケーション送信時に, NACK (ロジカル1) を受信したとき

UERR	アンダラン・エラー検出フラグ
0	アンダラン・エラーが発生していない。 次の場合にUERR = 0にリセットされます。 ・ UECTRГ = 1のとき
1	アンダラン・エラーが発生した。 次の場合にUERR = 1にセットされます。 ・ データ割り込み (INTDA) 発生後, 次のデータ割り込み (INTDA) が発生するまでに, 送信バッファ・レジスタ (CTXD) に送信データを書かなかったとき。

OERR	オーバラン・エラー検出フラグ
0	オーバラン・エラーが発生していない。 次の場合にOERR = 0にリセットされます。 ・ OCTRG = 1のとき
1	オーバラン・エラーが発生した。 次の場合にOERR = 1にセットされます。 ・ 受信バッファ・レジスタ (CRXD) に格納された受信データを読み出す前に, 次の受信動作が完了したとき

注 イニシエータ時にのみ動作を行います。フォロウの時には動作を行いません。

(9) CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC)

CEFCは、通信エラー・ステータス・レジスタ (CEGES) に書かれたエラー・フラグをクリアするレジスタです。各フラグに“1”をセットすることで、セットされたビットのみクリアすることができます。

CEFCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図17-13 CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC) のフォーマット

アドレス：FFA7H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CEFC	0	BLCTRG	ACTRG	TXCTRG	TCTRG	ACKCTRG	UCTRG	OCTRG

BLCTRG	バス・ロック・エラー・クリア・トリガ
0	バス・ロック・エラー・フラグをクリアしない
1	バス・ロック・エラー・フラグをクリアする

ACTRG	アービトレーション負けフラグ・クリア・トリガ
0	アービトレーション負けフラグをクリアしない。
1	アービトレーション負けフラグをクリアする

TXCTRG	送信エラー・フラグ・クリア・トリガ
0	送信エラー・フラグをクリアしない
1	送信エラー・フラグをクリアする

TCTRG	タイミング・エラー・フラグ・クリア・トリガ
0	タイミング・エラー・フラグをクリアしない
1	タイミング・エラー・フラグをクリアする

ACKCTRG	ACKエラー・フラグ・クリア・トリガ
0	ACKエラー・フラグをクリアしない
1	ACKエラー・フラグをクリアする

UCTRG	アンダラン・エラー・フラグ・クリア・トリガ
0	アンダラン・エラー・フラグをクリアしない
1	アンダラン・エラー・フラグをクリアする

OCTRG	オーバラン・エラー・フラグ・クリア・トリガ
0	オーバラン・エラー・フラグをクリアしない
1	オーバラン・エラー・フラグをクリアする

(10) ポート・ファンクション・レジスタ4 (PF4)

ポート4のP40/CECOUT/RTC1HZ端子を入出力ポート・モードまたはリアルタイム・カウンタ補正クロック出力 / CECOUTモードのどちらで使用するかを設定するレジスタです。

ポート4のP41/CECIN/RTCDIV/RTCCL端子を入出力ポート・モードまたはリアルタイム・カウンタ・クロック出力 / CECINモードのどちらで使用するかを設定するレジスタです。

PF4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図17 - 14 ポート・ファンクション・レジスタ4 (PF4) のフォーマット

アドレス : FF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	0	PF41	PF40

PF40	P40端子の動作モード選択
0	入出力ポート・モードまたはリアルタイム・カウンタの補正クロック出力
1	CECOUTモード

PF41	P41端子の動作モード選択
0	入出力ポート・モードまたはリアルタイム・カウンタ・クロック出力
1	CECINモード

注意 CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF72 = 1のとき、PF40, PF41に1を設定しないでください。

PF40 = 1, PF41 = 1のとき、PF72に1を設定しないでください。

(11) ポート・ファンクション・レジスタ7 (PF7)

ポート7のP72/CECIO/KR2端子を入出力ポート・モードまたはキー割り込み入力 / CECIOモードのどちらで使用するかを設定するレジスタです。

PF7レジスタとポート入力モード・レジスタ7 (PIM7) の設定により、通常入力バッファ / CEC入力バッファに指定できます。

PF7レジスタとプルアップ抵抗オプション・レジスタ7 (PU7) の設定により、ダイオード接続を使用するかを設定できます。

PF7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

リセット信号の発生により、00Hになります。

図17 - 15 ポート・ファンクション・レジスタ7 (PF7) のフォーマット

アドレス : FF36H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF7	0	0	0	0	0	PF72	0	0

PF72	P72端子の動作モード選択
0	入出力ポート・モードまたはキー割り込み入力
1	CECIOモード

図17 - 16 PF7レジスタとPIM7レジスタ, PU7レジスタの関係

PF72	PIM72	入力バッファの選択
0	0	通常入力バッファ
0	1	
1	0	
1	1	CEC入力バッファ

PF72	PU72	ダイオード接続の使用可否
0	0	プルアップ抵抗とダイオードを接続しない
0	1	
1	0	
1	1	プルアップ抵抗とダイオードを接続

注意1. CECIO端子とCECIN/CECOUT端子の同時使用は禁止です。

PF72 = 1のとき, PF40, PF41に1を設定しないでください。

PF40 = 1, PF41 = 1のとき, PF72に1を設定しないでください。

2. PF72 = 1に設定した場合, PM72 = 0, P72 = 1に設定してください。

17.5 スタート・ビットとデータ・ビットのレジスタ

17.5.1 CEC送信データのロウ・レベル幅/ビット幅設定

送信データのロウ・レベル幅，ビット幅を次のレジスタで設定します。

(1) CEC送信スタート・ビットのロウ幅設定レジスタ (STATL)

送信時のスタート・ビットのロウ・レベル幅を設定する9ビットのレジスタです。

STATLは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図17 - 17 CEC送信スタート・ビットのロウ幅設定レジスタ (STATL) のフォーマット

アドレス : FA06H, FA07H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATL	0	0	0	0	0	0	0	STATL8-STATL0								

備考 ロウ・レベル幅 = (STATL8-STATL0設定値 + 1) × f_{CEC}のクロック周期

(2) CEC送信スタート・ビットのビット幅設定レジスタ (STATB)

送信時のスタート・ビットのビット幅を設定する9ビットのレジスタです。

STATBは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図17 - 18 CEC送信スタート・ビットのビット幅設定レジスタ (STATB) のフォーマット

アドレス : FA04H, FA05H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATB	0	0	0	0	0	0	0	STATB8-STATB0								

備考 ビット幅 = (STATB8-STATB0設定値 + 1) × f_{CEC}のクロック周期

(3) CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L)

送信時のロジカル0のロウ・レベル幅を設定する9ビットのレジスタです。

LGC0Lは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図17 - 19 CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L) のフォーマット

アドレス : FA08H, FA09H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC0L	0	0	0	0	0	0	0	LGC0L8-LGC0L0								

備考 ロウ・レベル幅 = (LGC0L8-LGC0L0設定値 + 1) × f_{CEC}のクロック周期

(4) CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L)

送信時のロジカル1のロウ・レベル幅を設定する9ビットのレジスタです。

LGC1Lは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 20 CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L) のフォーマット

アドレス : FA0AH, FA0BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC1L	0	0	0	0	0	0	0	LGC1L8-LGC1L0								

備考 ロウ・レベル幅 = (LGC1L8-LGC1L0設定値 + 1) × f_{CEC}のクロック周期

(5) CEC送信データ・ビットのビット幅設定レジスタ (DATB)

送信時のデータ・ビットのビット幅を設定する9ビットのレジスタです。

DATBは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 21 CEC送信データ・ビットのビット幅設定レジスタ (DATB) のフォーマット

アドレス : FA0CH, FA0DH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATB	0	0	0	0	0	0	0	DATB8-DATB0								

備考 1データ・ビット幅 = (DATB8-DATB0設定値 + 1) × f_{CEC}のクロック周期

17.5.2 CEC受信データのタイミング・チェック

受信データのロウ・レベル幅，ビット幅のエラーを判定するタイミングを次のレジスタで設定します。

(1) CEC受信スタート・ビットのロウ幅のMIN.値設定レジスタ (STATLL)

受信時のスタート・ビットのロウ・レベル幅のMIN.値を検出する9ビットのレジスタです。

STATLLは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図17 - 22 CEC受信スタート・ビットのロウ幅のMIN.値設定レジスタ (STATLL) のフォーマット

アドレス：FA10H, FA11H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATLL	0	0	0	0	0	0	0	STATLL8-STATLL0								

備考 ロウ・レベル幅 = (STATLL8-STATLL0設定値 + 1) × f_{CEC}のクロック周期

(2) CEC受信スタート・ビットのロウ幅のMAX.値設定レジスタ (STATLH)

受信時のスタート・ビットのロウ・レベル幅のMAX.値を検出する9ビットのレジスタです。

STATLHは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図17 - 23 CEC受信スタート・ビットのロウ幅のMAX.値設定レジスタ (STATLH) のフォーマット

アドレス：FA12H, FA13H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATLH	0	0	0	0	0	0	0	STATLH8-STATLH0								

備考 ロウ・レベル幅 = (STATLH8-STATLH0設定値 + 1) × f_{CEC}のクロック周期

(3) CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL)

受信時のスタート・ビットのビット幅のMIN.値を設定する9ビットのレジスタです。

STATBLは，16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により，0000Hになります。

図17 - 24 CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL) のフォーマット

アドレス：FA14H, FA15H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATBL	0	0	0	0	0	0	0	STATBL8-STATBL0								

備考 ビット幅 = (STATBL8-STATBL0設定値 + 1) × f_{CEC}のクロック周期

(4) CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH)

受信時のスタート・ビットのビット幅のMAX.値を設定するレジスタです。

STATBHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 25 CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH) のフォーマット

アドレス : FA16H, FA17H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATBH	0	0	0	0	0	0	0	STATBH8-STATBH0								

備考 ビット幅 = (STATBH8-STATBH0設定値 + 1) × f_{CEC}のクロック周期

(5) CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL)

受信時のロジカル0のロウ・レベル幅のMIN.値を設定する9ビットのレジスタです。

LGC0LLは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 26 CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL) のフォーマット

アドレス : FA18H, FA19H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC0LL	0	0	0	0	0	0	0	LGC0LL8-LGC0LL0								

備考 ロウ・レベル幅 = (LGC0LL8-LGC0LL0設定値 + 1) × f_{CEC}のクロック周期

(6) CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH)

受信時のロジカル0のロウ・レベル幅のMAX.値を設定する9ビットのレジスタです。

LGC0LHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 27 CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH) のフォーマット

アドレス : FA1AH, FA1BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC0LH	0	0	0	0	0	0	0	LGC0LH8-LGC0LH0								

備考 ロウ・レベル幅 = (LGC0LH8-LGC0LH0設定値 + 1) × f_{CEC}のクロック周期

(7) CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL)

受信時のロジカル1のロウ・レベル幅のMIN.値を設定する9ビットのレジスタです。

LGC1LLは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 28 CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL) のフォーマット

アドレス : FA1CH, FA1DH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC1LL	0	0	0	0	0	0	0	LGC1LL8-LGC1LL0								

備考 ロウ・レベル幅 = (LGC1LL8-LGC1LL0設定値 + 1) × f_{CEC}のクロック周期

(8) CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH)

受信時のロジカル1のロウ・レベル幅のMAX.値を設定する9ビットのレジスタです。

LGC1LHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 29 CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH) のフォーマット

アドレス : FA1EH, FA1FH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LGC1LH	0	0	0	0	0	0	0	LGC1LH8-LGC1LH0								

備考 ロウ・レベル幅 = (LGC1LH8-LGC1LH0設定値 + 1) × f_{CEC}のクロック周期

(9) CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL)

受信時のデータ・ビットのビット幅のMIN.値を設定する9ビットのレジスタです。

DATBLは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 30 CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL) のフォーマット

アドレス : FA20H, FA21H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATBL	0	0	0	0	0	0	0	DATBL8-DATBL0								

備考 ビット幅 = (DATBL8-DATBL0設定値 + 1) × f_{CEC}のクロック周期

(10) CEC受信データ・ビットのビット幅のMAX.値設定レジスタ (DATBH)

受信時のデータ・ビットのビット幅のMAX.値を設定する9ビットのレジスタです。

DATBHは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 31 データ・ビットのビット幅のMAX.値設定レジスタ (DATBH) のフォーマット

アドレス : FA22H, FA23H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATBH	0	0	0	0	0	0	0	DATBH8-DATBH0								

備考 ビット幅 = (DATBH8-DATBH0設定値 + 1) × f_{CEC}のクロック周期

17.5.3 CEC受信データの1/0判定

受信データの1/0判定を行うタイミングを以下のレジスタで設定します。

(1) CEC受信データ・サンプリング時間設定レジスタ (NOMT)

受信データのサンプリング時間を決定する9ビットのレジスタです。

NOMTは、16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により、0000Hになります。

図17 - 32 CEC受信データ・サンプリング時間設定レジスタ (NOMT) のフォーマット

アドレス : FA0EH, FA0FH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOMT	0	0	0	0	0	0	0	NOMT8-NOMT0								

備考 サンプリング時間 = (NOMT8-NOMT0設定値 + 1) × f_{CEC}のクロック周期

LGC1LH < NOMT < LGC0LL期間内に設定してください

17.5.4 エラー・ハンドリング, シグナル・フリー・タイム, バス・ロック検出の1ビット・データ幅設定

エラー・ハンドリング, シグナル・フリー・タイム, バス・ロックを検出する際に使用する“1データ・ビット幅”を次のレジスタで設定します。

(1) CECデータ・ビット基準幅設定レジスタ (NOMP)

1データ・ビット幅を設定する9ビットのレジスタです。

この1データ・ビット幅は, エラー・ハンドリング, シグナル・フリー・タイム, バス・ロック検出でビット数をカウントする際に使用します。

NOMPは, 16ビット・メモリ操作命令で設定します。CECE = 0のときのみ書き換え可能です。

リセット信号の発生により, 0000Hになります。

図17 - 33 CECデータ・ビット基準幅設定レジスタ (NOMP) のフォーマット

アドレス : FA24H, FA25H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOMP	0	0	0	0	0	0	0	NOMP8-NOMP0								

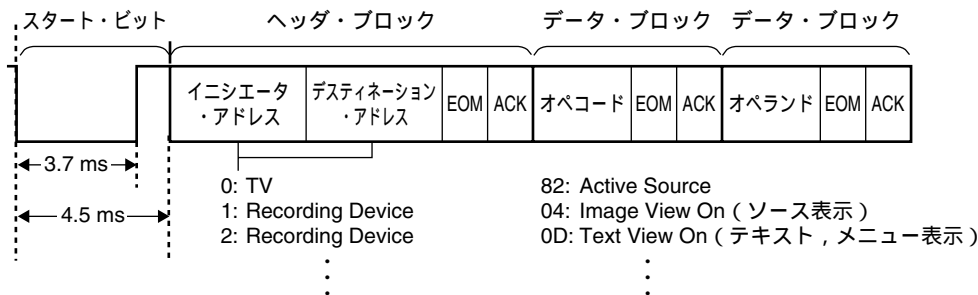
備考 ビット幅 = (NOMP8-NOMP0設定値 + 1) × f_{CEC}のクロック周期

17.6 CEC送受信回路の動作

17.6.1 CEC送受信データ・フォーマット

図17-34にCEC通信の基本フォーマットを示します。CECデータ・フレームは、スタート・ビット、ヘッダ・ブロック、データ・ブロック1(オペコード)、データ・ブロック2(オペランド)の4つで構成されています。スタート・ビット以外の3つのブロックは10ビットで構成されています。

図17-34 フォーマット例



- スタート・ビット : メッセージのスタートを示すビットです。
- ヘッダ・ブロック (1ブロック) : 送信元と送信先のアドレスを示すブロックです。また、このブロックで送信元アドレスに対して調停が行われ、アドレスの小さいイニシエータが送信権を得ます。
- データ・ブロック (0-15ブロック) : オペコードとオペランドで構成されます。オペランドはオペコードによってデータ長が決められています。

17.6.2 通信種別

CEC送受信には、ダイレクト・アドレス・メッセージとブロードキャスト・アドレス・メッセージの2つの通信状態があります。CEC通信において送信側はスタート・ビットとメッセージ(データ)を送信し、受信側はメッセージを受け取り、所望のアクノリッジを送信側に返信します。CEC送受信は、スタート・ビットとデータ・ビットの2種類のビットで構成され、CECのすべての送受信を行います。

- 備考** ダイレクト・アドレス・メッセージ : 送信相手が自デバイスするとき
- ブロードキャスト・アドレス・メッセージ : 送信相手が自デバイス以外すべて

17.6.3 ビット・タイミング

図17-35にスタート・ビットのパルス・フォーマット例を示します。スタート・ビットはロウ・レベル期間 (a) とビット期間 (b) でスタート・ビットの有効/無効を判断します。

図17-35 スタート・ビットのフォーマット

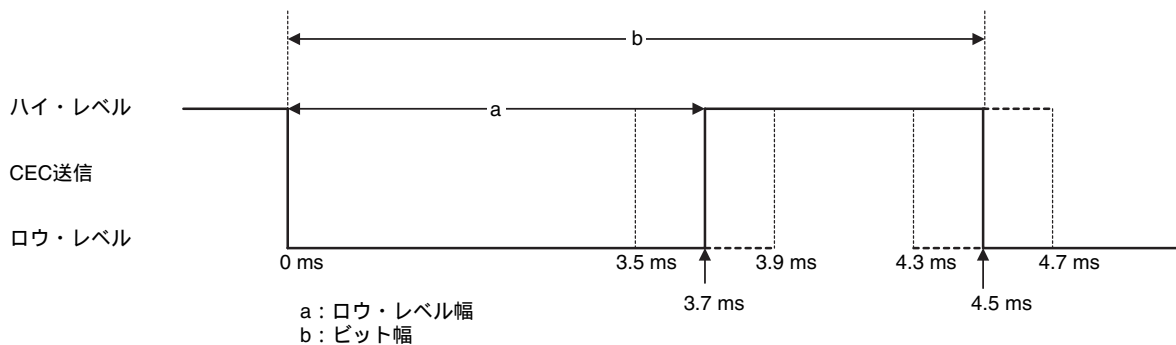
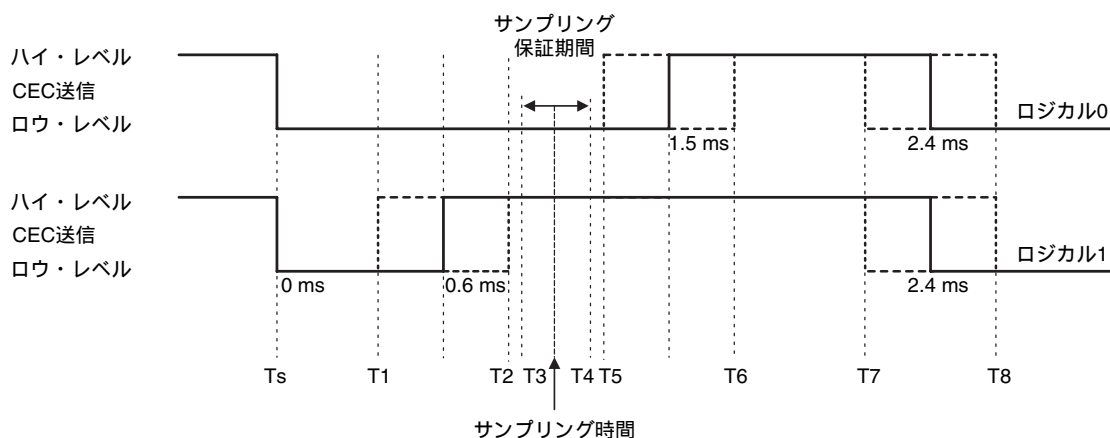


図17-36にデータ・ビット・タイミングのパルス・フォーマット例を示します。データ・ビットはCEC受信データ・サンプリング時間設定レジスタ (NOMT) で設定したサンプリング・タイミングでサンプリングされます。その結果がロウ・レベルだった場合はロジカル0、ハイ・レベルだったらロジカル1となります。データ・ビットの最後のハイ・レベルからロウ・レベルへの変化は、次のデータ・ビットのスタートとなります。よって、最後のデータ・ビットは、ハイ・レベルのままです。

図17-36 データ・ビットのフォーマット



Ts	0 ms	ビット開始イベント
T1	0.4 ms	ロジカル1を表すときのロウ・レベルからハイ・レベルへの遷移の最も早いタイミング
T2	0.8 ms	ロジカル1を表すときのロウ・レベルからハイ・レベルへの遷移の最も遅いタイミング
T3	0.85 ms	信号ラインの状態判定のために安全にサンプリングできる最も早いタイミング
T4	1.25 ms	信号ラインの状態判定のために安全にサンプリングできる最も遅いタイミング
T5	1.3 ms	装置が高インピーダンス状態 (ロジカル0) に戻ってよい最も早いタイミング
T6	1.7 ms	装置が高インピーダンス状態 (ロジカル0) に戻ってよい最も遅いタイミング
T7	2.05 ms	後続ビットの開始の最も早いタイミング
	2.4 ms	データ・ビットのノミナル期間
T8	2.75 ms	後続ビットの開始の最も遅いタイミング

17.6.4 ヘッダ/データ・ブロック

すべてのデータ・ブロックは10ビットで構成され、同じ構造です。図17-37にヘッダ・ブロック、データ・ブロックの構成図を示します。インフォメーション・ビットはヘッダ・ブロックとデータ・ブロックでは意味が異なり、データ、オペコード、アドレスを示しています。EOM (End of Message) とACK (Acknowledge) はコントロール・ビットであり、ヘッダ・ブロックとデータ・ブロックでは、同じ意味を持ちます。

図17-37 ヘッダ・ブロック、データ・ブロックのフォーマット

ヘッダ/データ・ブロック									
7	6	5	4	3	2	1	0	-	-
インフォメーション・ビット								EOM	ACK

ヘッダ・ブロックは、送信元ロジカル・アドレス (Initiator logical Address) と送信先ロジカル・アドレス (Destination logical Address) , EOM (End of Message) , ACK (Acknowledge) の4つで構成されます。ヘッダ・ブロックでのEOMは、他のデバイスとの ' ping ' に使用されます (他のデバイスが、電源オン状態であることを確認)。EOM = 1としてヘッダ・ブロックのみを送信 (データ・ブロックなしのメッセージを送信) することによって確認できます。ダイレクト・アドレス送信の場合、ACKが帰ってくれば、送信先のデバイスは電源オン状態であることがわかります。

17.6.5 EOM (End of Message)

送信したブロックが、メッセージの最終ブロックか最終ブロックではないかを示します。インフォメーション・ビットに付加され出力します。

注意 EOMビット = 0 : 1つ, または複数のブロックが続くとき
 EOMビット = 1 : 最終ブロックのとき

17. 6. 6 ACK (Acknowledge)

ACKは送信相手がダイレクト・アドレス・メッセージかブロードキャスト・メッセージかによって意味が異なります。受信したデータとCECラインのデータを比較した結果を送信側に、ACKまたはNACK送信します。

ダイレクト通信の場合 : 比較結果が正常だった場合 “ ACK ” を送信
ブロードキャスト通信の場合 : 比較結果が正常だった場合 “ NACK ” を送信

注意1. ダイレクト・アドレス・メッセージの場合、ACK = 0が正常の値です。

ヘッダ・ブロックでエラーなし、かつ自アドレスのとき ACKビットは0
データ・ブロックでエラーなしのとき ACKビットは0
ヘッダ・ブロックで、エラーあり、または他のアドレスのとき ACKビットは1
データ・ブロックで、エラーありのとき ACKビットは1

ブロードキャスト・メッセージの場合、NACK (ACK = 1) が正常の値です。

1つ以上のフォロワがメッセージを破棄したとき ACKビットは0
すべてのフォロワがメッセージを破棄しないとき ACKビットは1

2. ACKビットのタイミングでイニシエータは必ず、ロジカル1を出力します。よって、フォロワがACKビットの論理レベルを決定します。

17.7 CEC通信機能

17.7.1 通信ビット幅調整機能

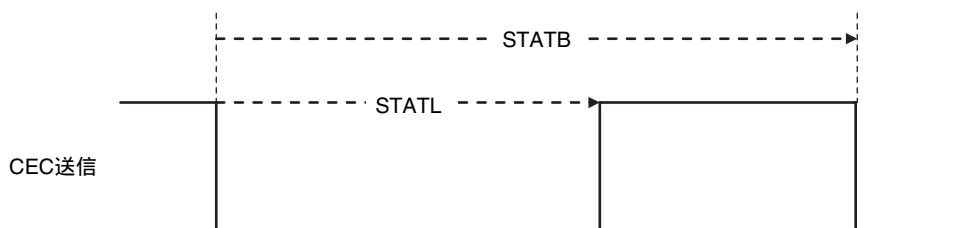
送信時のスタート・ビット，データ・ビットのロウ・レベル幅，ビット幅を設定できます。

次に，各種幅設定レジスタ（17.5.1参照）とビット・タイミングの関係を示します。

<スタート・ビット>

スタート・ビットは，STATLレジスタでロウ・レベル幅を，STATBレジスタでビット幅を設定します。

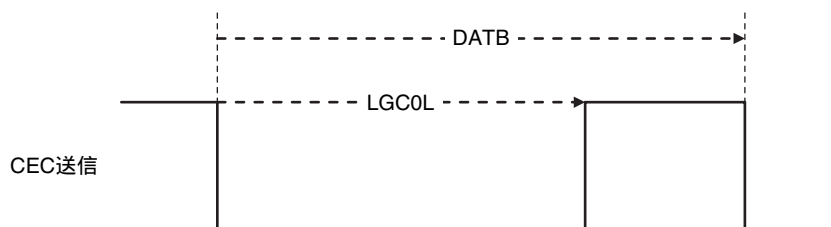
図17 - 38 スタート・ビットの出力波形



<データ・ビット（ロジカル0）>

ロジカル0のデータ・ビットは，LGC0Lレジスタでロウ・レベル幅を，DATBレジスタでビット幅を設定します。

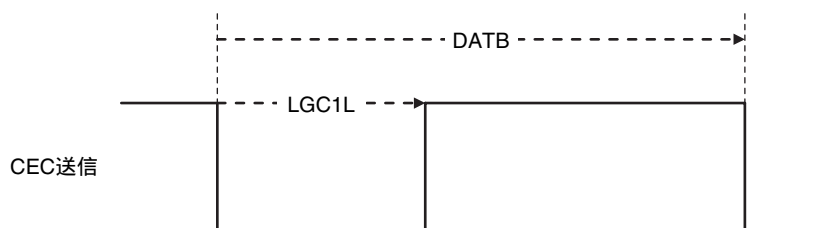
図17 - 39 データ・ビット（ロジカル0）の出力波形



<データ・ビット（ロジカル1）>

ロジカル1のデータ・ビットは，LGC1Lレジスタでロウ・レベル幅を，DATBレジスタでビット幅を設定します。

図17 - 40 データ・ビット（ロジカル1）の出力波形



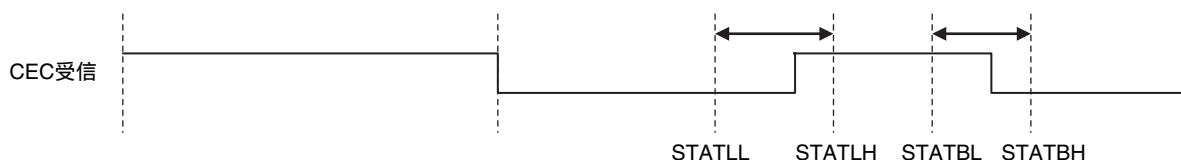
17.7.2 受信ビット・タイミング・チェック機能

CEC送受信回路は、受信時のスタート・ビット、データ・ビットのロウ・レベル幅、ビット幅が設定の範囲内であるか否かを判定するタイミング・チェック機能を持ちます。タイミング・チェック時間は各種タイミング判定レジスタ（17.5.2参照）で設定できます。次に、タイミング判定レジスタとビット・タイミングの関係を示します。

<スタート・ビット>

スタート・ビットのロウ・レベル幅MIN.値はSTATLLレジスタ、ロウ・レベル幅MAX.値はSTATLHレジスタ、スタート・ビット幅のMIN.値はSTATBLレジスタ、スタート・ビット幅のMAX.値はSTATBHレジスタで設定します。

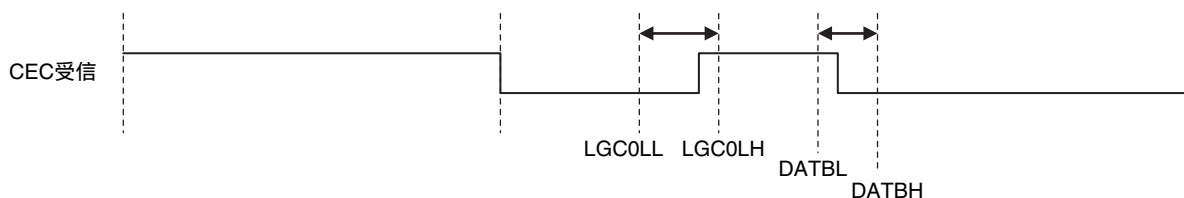
図17 - 41 スタート・ビットの受信タイミング



<データ・ビット（ロジカル0）>

データ・ビット（ロジカル0）のロウ・レベル幅MIN.値はLGC0LLレジスタ、ロウ・レベル幅MAX.値はLGC0LHレジスタ、ビット幅のMIN.値はDATBLレジスタ、ビット幅のMAX.値はDATBHレジスタで設定します。

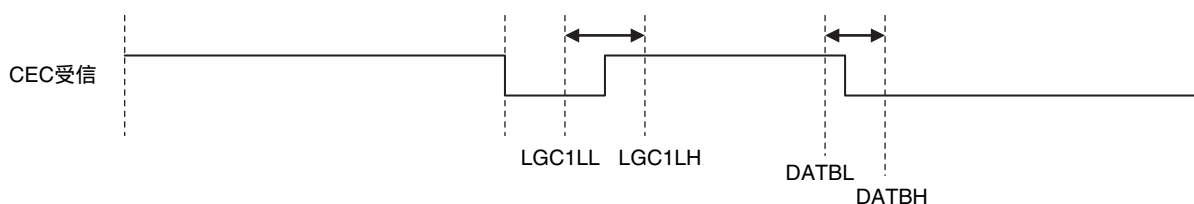
図17 - 42 データ・ビット（ロジカル0）の受信タイミング



<データ・ビット（ロジカル1）>

データ・ビット（ロジカル1）のロウ・レベル幅MIN.値はLGC1LLレジスタ、ロウ・レベル幅MAX.値はLGC1LHレジスタ、ビット幅のMIN.値はDATBLレジスタ、ビット幅のMAX.値はDATBHレジスタで設定します。

図17 - 43 データ・ビット（ロジカル1）の受信タイミング

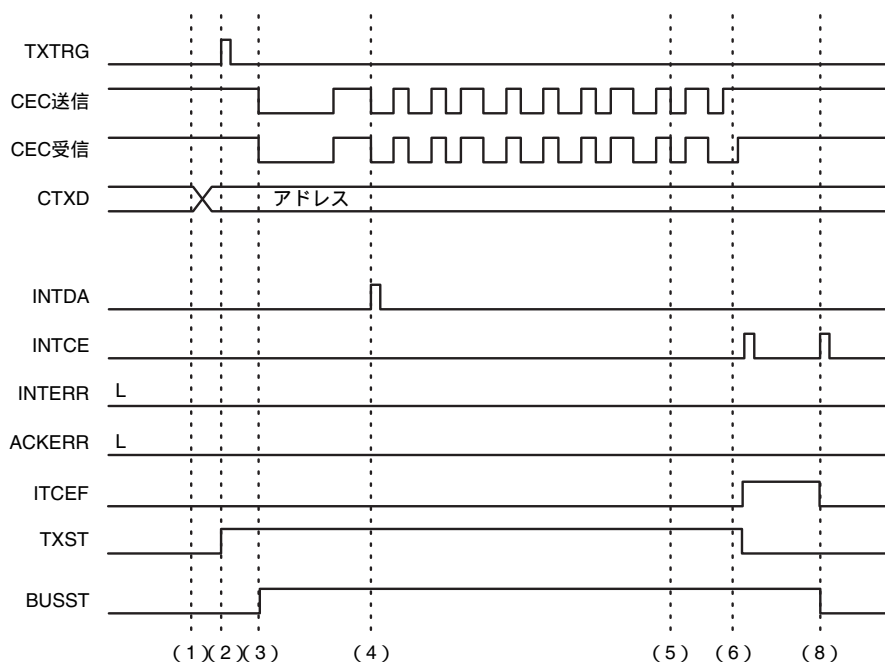


17.7.3 CEC通信初期設定

CEC通信の初期設定フローについて説明します。リセット後、各種制御レジスタの設定を行い、ダイレクト・アドレス送信を利用して、ロジカル・アドレスの取得フローを実行します。ロジカル・アドレス取得送信では、送り元アドレスと送り先アドレスを同一に設定し、ヘッダ・ブロックのみの送信となるため、EOM = 1に設定します。また、自局アドレス確定前に誤ったアドレス一致が発生することを防ぐため、CADR設定までは、CECRXEN = 0に設定しておく必要があります。図17 - 44にロジカル・アロケーション・タイミング図を、図17 - 45に操作手順と動作説明を示します。

図17 - 44 ロジカル・アロケーション (CESEL0, CESEL1 = 0, 0のとき)

・他デバイスがアドレスを使用していた場合



・他デバイスがアドレスを使用していない場合

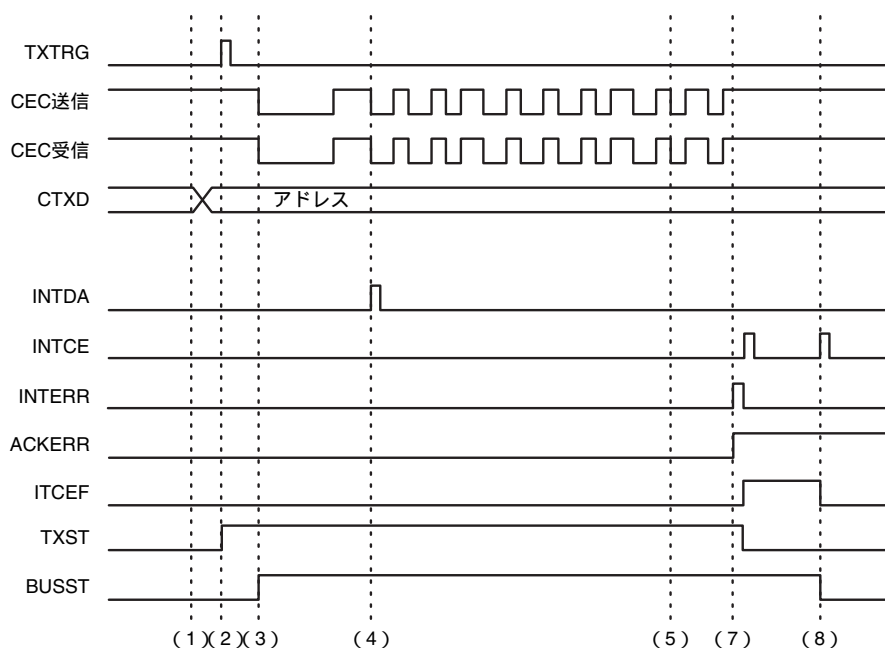


図17 - 45 CEC通信の初期設定手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
CEC初期設定	<p>[動作クロック (f_{CEC}) の設定] CCL2-CCL0を設定</p> <p>[受信拒否制御の設定] CECRXENを0に設定</p> <p>[アドレス不一致の場合の通知設定] CINTMKを設定</p> <p>[ノイズ除去の選択] CDFCを設定 (ノイズ・フィルタを使用するかを設定)</p> <p>[スタート・ビットのロウ・レベル幅/ビット幅の設定] STATL/STATBを設定</p> <p>[ロジカル0/1のロウ・レベル幅/ビット幅の設定] LGC0L/LGC1L/DATBを設定</p> <p>[サンプリング時間の設定] NOMTに受信データをサンプリングする時間を設定</p> <p>[データ・ビットの1ビット幅設定] NOMPに1データ・ビット幅を設定</p> <p>[タイミング・チェック用レジスタの設定] STATLL/STATLHにスタート・ビットのロウ・レベル幅タイミング・チェック時間を設定 STATBL/STATBHにスタート・ビットのビット幅タイミング・チェック時間を設定 LGC0LL/LGC0LHにデータ・ビット (ロジカル0) のロウ・レベル幅タイミング・チェック時間を設定 LGC1LL/LGC1LHにデータ・ビット (ロジカル1) のロウ・レベル幅タイミング・チェック時間を設定 DATBL/DATBHにデータ・ビットのビット幅タイミング・チェック時間を設定</p> <p>[バス・ロック検出の設定] BLERRDの設定 (バス・ロック検出するかを選択)</p> <p>[スタート・ビットのタイミング・エラー検出の設定] STERRDの設定 (スタート・ビットのタイミング・エラーを検出するかを選択)</p> <p>[通信完了割り込みの設定] CESEL1, CESEL0を設定</p> <p>[シグナル・フリー・タイムの設定] SFT1, SFT0を設定 (シグナル・フリー・タイムの検出時間を設定)</p> <p>[動作クロック (f_{CEC}) の供給] CECEを1に設定</p>	<p>動作クロック (f_{CEC}) 停止中。</p> <p>動作クロック (f_{CEC}) を供給。送信可能状態。 シグナル・フリー・タイムを開始。BUSSTが1となる。 SFT1, SFT0の設定値までカウント後, BUSSTが0になり, 通信待機状態となる。</p>

図17 - 45 CEC通信の初期設定手順 (2/2)

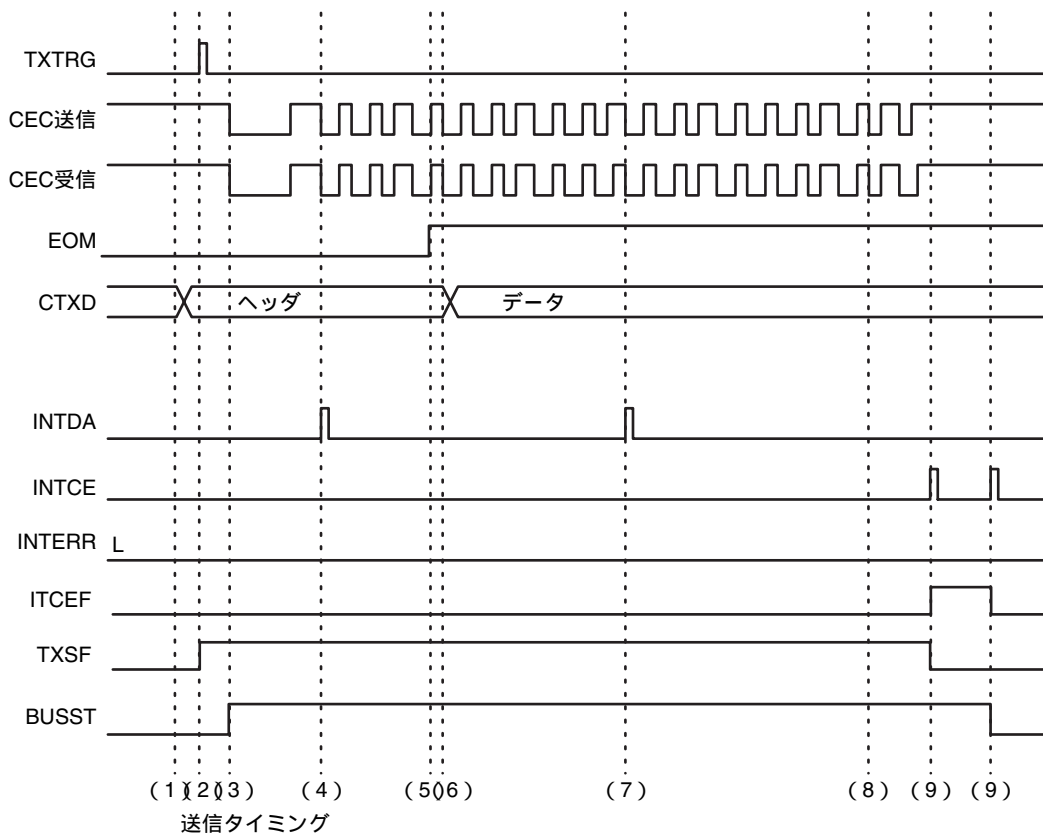
	ソフトウェア操作	ハードウェアの状態
ロジカル・アドレス・アロケーション	<p>[EOMの設定] EOMを1に設定</p> <p>[送信データの設定] (1) CTXDIに送信データ(ロジカル・アドレス)を設定</p> <p>[バス・フリー状態の確認] BUSSTが0になっていることを確認</p> <p>[送信動作の開始] (2) TXTRGを1に設定</p> <p>ヘッダ・ブロックのみの送信であるため、次データの書き込みは行わない。</p> <p>[自局アドレスの設定]</p> <ul style="list-style-type: none"> ・ ACKの場合 送信したアドレスは他局が使用しているので、送信アドレスを変更して再送操作を行う。 ・ NACKの場合 送信したアドレスは他局が使用していないので、送信したアドレスを自局アドレスとして使用する(CADR設定)。 <p>[受信拒否制御の設定] CECRXENを1に設定</p>	<p>送信開始 スタート・ビットを出力する(3)</p> <p>ヘッダ・ブロック出力開始時にINTDAを出力、同時に、CTXDレジスタに設定された値の順次出力(4)</p> <p>EOMビットで1を出力する(5)</p> <p>ACKビットを受信</p> <p>ロジカル0を受信した場合、INTERRを出力せず、ACKERRフラグをセットしない(6)</p> <p>ロジカル1を受信した場合、INTERRを出力し、ACKERRフラグをセットする(7)</p> <p>CESEL1, CESEL0ビット, SFT1, SFT0ビット設定にしたがってINTCEを出力する(8)</p> <p>通信待機状態となる。</p>

17.7.4 CEC送信

ここではCEC送信について説明します。なお、本項の説明は、17.7.3 CEC通信初期設定の初期設定が完了していることが前提です。

CEC送信は、送信時にも受信動作を行い、アービトレーション・チェック、データ・チェック、タイミング・チェックを行います。ただし、送信動作時の受信データ・レジスタ (CRXD) の値は保証されません。

図17 - 46 送信基本タイミング (ダイレクト・アドレス送信) (CESEL0, CESEL1 = 0, 0のとき)



注意 送信途中 (スタート・ビット検出完了から最終フレームのEOM受信完了まで) の新たなスタート・ビットは無視されタイミング・エラーとして検出します。通信の再スタートは行いません。

(1) CEC送信操作手順

図17 - 47 CEC送信操作手順

	ソフトウェア操作	ハードウェアの状態
CEC送信動作	[シグナル・フリー・タイムの設定] SFT1, SFT0を設定 (シグナル・フリー・タイムの検出時間を設定) [EOMの設定] (1) EOMを設定 (EOM = 0) [送信データの設定] (1) CTXDに送信データを設定 [バス・フリー状態の確認] BUSSTが0になっていることを確認 [送信動作の開始] (2) TXTRGを1に設定	送信開始 スタート・ビットを出力する (3)
	[EOMの設定] (5) 次のフレーム開始 (7) までに次フレームのEOM を設定する (EOM = 1)	ヘッダ・ブロック出力開始時にINTDAを出力, 同時に, CTXDレジスタに設定された値を順次出力 (4)
	[送信データの設定] (6) CTXDに送信データを設定	2フレーム目のデータ出力を開始する (7)
		最終フレームなのでEOMビット位置で1を出力する (8)
		CESEL1, CESEL0ビット, SFT1, SFT0ビット設定に したがってINTCEを出力する (9)
		通信待機状態となる。

(2) ブロードキャスト送信

ヘッダ・ブロック送信データ (CTXD) のディスティネーション・アドレス (送り先アドレス) にFHを設定すると、ハードウェアは現在の送信をブロードキャスト送信と認識して動作します。通常はACKビットのタイミングでロジカル0を受信した場合に通信が成功したと判断しますが、ブロードキャスト通信時はACKビットのタイミングでロジカル1を受信した場合に通信成功と判断します。

ハードウェアは、ヘッダ・ブロックの送信データを見て、ダイレクト通信かブロードキャスト通信かを判断し、自動的にロジカル0 / ロジカル1どちらが受信成功かを決定します。

(3) CEC送信割り込み

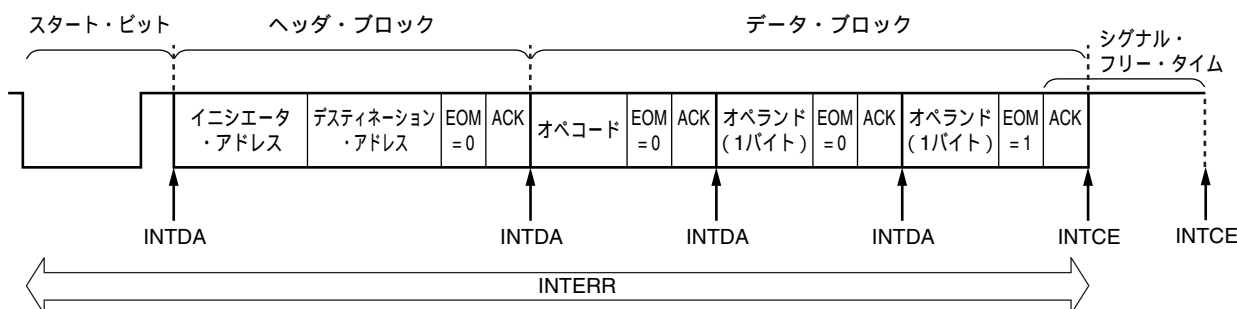
ハードウェアは、データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の3つの割り込み機能を有しています。

データ割り込み (INTDA) は、各ブロックの先頭で発生します。

通信終了割り込み (INTCE) は、CESEL1, CESEL0の設定によって、EOM = 1であるデータ・ブロックのACK受信完了時に発生する場合と、SFT1, SFT0で設定したシグナル・フリー・タイム経過後に発生する場合と、その両方で発生する場合とが選択できます。

エラー割り込み (INTERR) は、通信期間全般において、タイミング・エラー検出時、ACKエラー検出時、アンダラン・エラー検出時、送信エラー検出時、バス・ロック・エラー検出時に発生します。

図17 - 48 割り込み発生タイミング



注意 EOM = 1のACKビット受信途中 (ACKビット完了前) にCECラインの立ち下がりエッジを検出した場合は、そのタイミングによって表17 - 2に示すように通常と異なる動作になります。

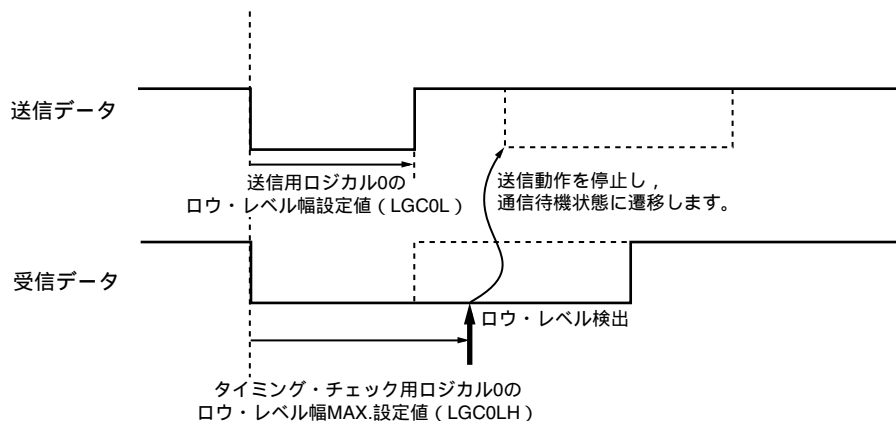
表17 - 2 ACKビット完了前にCECラインの立ち下がりエッジを検出した場合の動作

CECラインの立ち下がりタイミング	CECCTL1レジスタのCESEL1, CESEL0ビットの設定	INTCEの発生	ACKビットの扱い	CECラインの立ち下がり以降の動作
データ・ビットMIN.値以降 (DATBL カウンタ) の場合	CESEL1, CESEL0 = 0, 0 または 0, 1 のとき	CECラインの立ち下がり時点で1回のみ発生する	既定のビット幅を満たしているため有効 (ACK/NACKは正しく判定される)	次の通信開始と認識して、スタート・ビット受信判定を開始します
	CESEL1, CESEL0 = 1, 0 のとき	発生しない		
データ・ビットMIN.値以前 (カウンタ < DATBL) の場合	CESEL1, CESEL0 = 0, 0 または 0, 1 のとき	CECラインの立ち下がり時点で1回のみ発生する	既定のビット幅を満たしていないため、ACKの判定が正しくできません (ACKTEN = 1設定時はタイミング・エラーが発生します)	
	CESEL1, CESEL0 = 1, 0 のとき	発生しない		

(4) エラー・ハンドリング・パルス受信

イニシエータ動作時、ロジカル0のロウ・レベル幅MAX.設定値に達したタイミングで、受信データがロウ・レベルだった場合、エラー・ハンドリング・パルスを受信したと判断し、タイミング・エラーを発生、送信動作を停止して通信待機状態に移ります。

図17 - 49 割り込み発生タイミング



17.7.5 CEC受信

CEC受信について説明します。なお、本項の動作説明は、17.7.3 CEC通信初期設定の設定が完了していることが前提です。受信時は、CEC受信データ・サンプリング時間設定レジスタ (NOMT) にて設定した、サンプリング・タイミングでデータを受信し、CRXDに格納します。

また、受信動作は、CECRXENビット設定値、CINTMKビット設定値、通信種別 (ダイレクト・アドレス通信・ブロードキャスト通信)、受信アドレスと自局アドレスの一致 / 不一致によって異なります。

以下に各種条件と動作の対応表を示します。

表17-3 CEC受信時の動作対応表

CEC RXEN	通信種別	アドレス一致 /不一致	CINTMK ビット	BUSST 動作	INTDA 出力	INTCE 出力	INTERR 出力	エラー・ フラグ動作	エラー検出 (短いビット幅の 検出以外)	エラー検出 (短いビット幅の 検出)	エラー・ハンドリ ング・出力	バス・ロック 検出 ^{注1}	ACK/NACK 出力	シグナル・ フリー・タイム・ カウント	
0	-	-	-		x	x	x	x	x	x	x	注2	x	x	
1	スタート・ ビット	-	-		x	注3	x	x	注4	注4	x		x		
	ヘッダ	不一致	0		x	注3									
			1												
		一致	-												
	ダイレクト (データ)	不一致	0			x	x	x	x	x				x	
			1											x	
		一致	-												
ブロード キャスト (データ)	-	-													

注1. バス・ロック・エラーはBLERRDをセットすることで検出します。

2. バス・ロック・エラーを検出しますがフラグは立ちません。

3. エラー検出時のみ発生します。

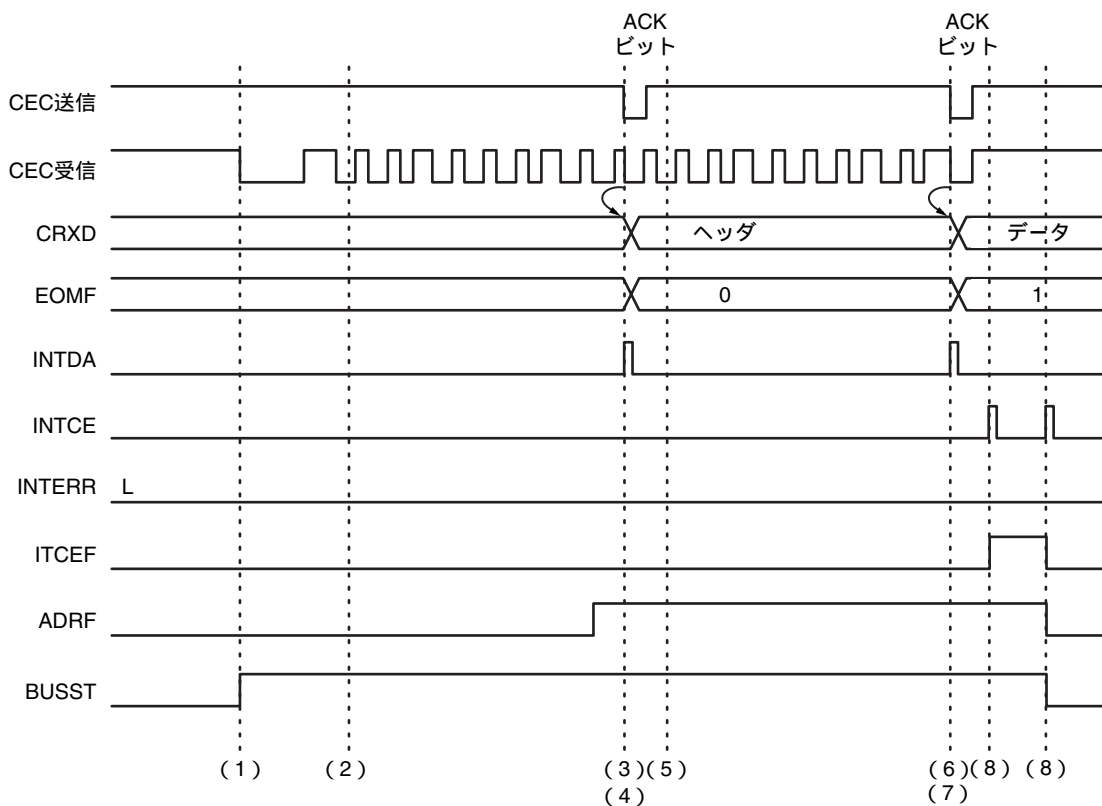
4. スタート・ビットのタイミング・エラーを検出する場合 (STERRD = 1) のみ対応。

エラーを検出しますがフラグは立ちません。

備考. : 対応, x : 非対応, - : don't care

(1) CEC受信操作手順

図17 - 50 受信基本タイミング (1)
 (ダイレクト・アドレス受信, CESEL0, CESEL1 = 0, 0のとき)



注意 受信途中 (スタート・ビット検出完了から最終フレームのEOM受信完了まで) の新たなスタート・ビットは無視されタイミング・エラーとして検出します。

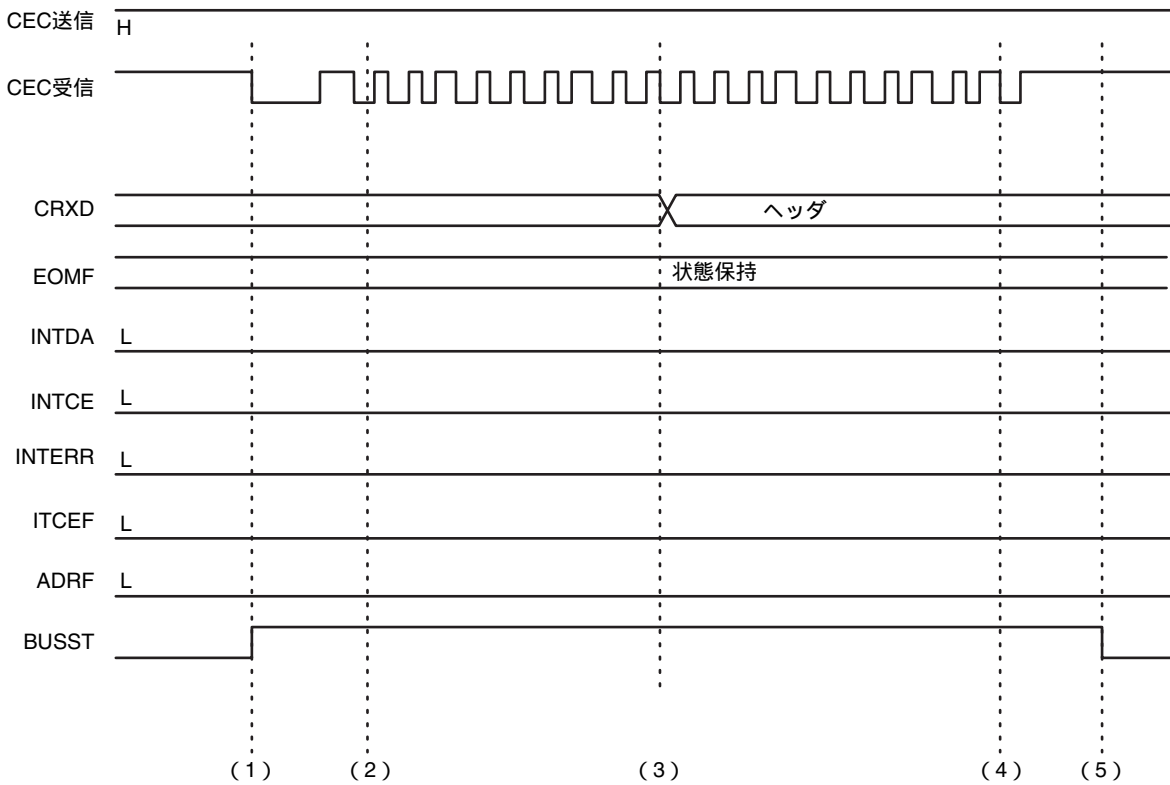
備考 図17 - 50の (1) ~ (8) は, 図17 - 51の (1) ~ (8) に対応しています。

図17 - 51 CEC受信操作手順(1)

	ソフトウェア操作	ハードウェアの状態
CEC受信動作	<p>INTDA発生を受け、スタンバイ解除等の受信準備を行う。EOMFにより送信継続か最終フレームかを確認する。</p> <p>INTDA発生を受け、CRXDから受信データを読み出す。EOMFにより送信継続か最終フレームかを確認する。</p>	<p>[スタート・ビットの検出] CEC受信信号の立ち下がりエッジを検出し、受信動作を開始(1)</p> <p>[サンプリング] NOMTの設定時間でデータをサンプリングし、順次シフト・レジスタに格納(2)</p> <p>[アドレス一致割り込み] ヘッダ・ブロックで受信したアドレスと、自局アドレスが一致したので、INTDAを発生する(3)</p> <p>[ACKビット送信] 受信が成功したので、ACKビット・タイミングでロジカル0を送信する(4)</p> <p>[受信継続] 続けて2フレーム目のデータを受信する(5)</p> <p>[受信データ割り込み] 8ビットのデータ受信が完了すると、CRXDにデータを転送し、INTDAを発生する(6)</p> <p>[ACKビット送信] 受信が成功したので、ACKビット・タイミングでロジカル0を送信する(7)</p> <p>[受信完了] EOM = 1を受信したので、受信完了と判断し、CESEL1, CESEL0ビット, SFT1, SFT0ビット設定にしたがってINTCEを出力する(8)</p>

図17 - 52 受信基本タイミング (2)

(CECRXEN = 1, ダイレクト・アドレス, アドレス不一致, CINTMK = 0)



備考 図17 - 52の(1) ~ (5)は, 図17 - 53の(1) ~ (5)に対応しています。

図17 - 53 CEC受信操作手順(2)

	ソフトウェア操作	ハードウェアの状態
CEC受信動作		<p>[スタート・ビットの検出] CEC受信信号の立ち下がりエッジを検出し、受信動作を開始。BUSSTフラグをセット(1)</p> <p>[サンプリング] NOMTの設定時間でデータをサンプリングし、順次シフト・レジスタに格納(2)</p> <p>[アドレス一致割り込み] ヘッダ・ブロックで受信したアドレスと自局アドレスが不一致、CINTMK = 0なのでINTDAを発生せず、ACK/NACKも返さない(3)</p> <p>ただし、ビット長チェック、通信完了を検出するため、CECRXDのモニタ動作は継続する。</p> <p>[ACKビット送信] 他者間通信なので、ACK/NACKは返さない(4)</p> <p>[受信完了] EOM = 1を受信したので、他者間通信完了と判断し、SFT1, SFT0ビット設定にしたがってシグナル・フリー・タイムをカウントしBUSSTを0にする(5)</p>

(2) ブロードキャスト受信

受信フロー、タイミング・チェック期間はダイレクト・アドレス受信と同様です。イニシエータが送信した送り先アドレスが“FH”であれば、ブロードキャスト受信として動作します。

ダイレクト・アドレス受信との違いは、以下の通りです。

- ・正常動作の場合、ACKビットのタイミングでロジカル1を送信します。
- ・受信失敗、もしくはCECRXEN = 0が設定されていた場合、ACKビットのタイミングでロジカル0を送信します。

(3) CEC受信割り込み

データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の3つの割り込み機能を有しています。

受信 (フォロウ) 時、データ割り込み (INTDA) は次のタイミングで出力します。

- ・ダイレクト・アドレス通信のヘッダ・ブロックで受信したアドレスと、自局アドレスが一致したとき
- ・CINTMK = 1設定時、ダイレクト・アドレス通信のヘッダ・ブロックでアドレス受信を完了したとき
- ・ヘッダ・ブロックでブロードキャスト通信のアドレス受信を完了したとき
- ・データ・ブロックでデータ受信を完了し、CRXDレジスタに受信データを格納したとき

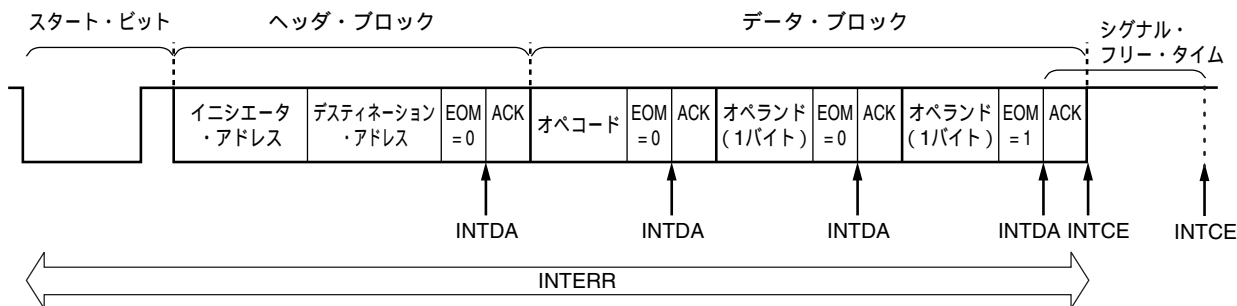
受信 (フォロウ) 時、通信終了割り込みINTCEは次のタイミングで出力します。

- ・CESEL1 = 0かつCESEL0 = 0のとき
最終フレーム (EOM = 1) のACKビット完了時とシグナル・フリー・タイム・カウント完了時。
または、最終フレームのACKビットのハイ・レベル期間からシグナル・フリー・タイム・カウント中にCECラインの立ち下がりエッジを検出したとき。
- ・CESEL1 = 0かつCESEL0 = 1のとき
最終フレーム (EOM = 1) のACKビット完了時。または、最終フレームのACKビットのハイ・レベル期間からシグナル・フリー・タイム・カウント中にCECラインの立ち下がりエッジを検出したとき。
- ・CESEL1 = 1かつCESEL0 = 0のとき
シグナル・フリー・タイム・カウント完了時。

受信 (フォロウ) 時、エラー割り込み (INTERR) は以下のタイミングで出力します。

- ・タイミング・エラーを検出したとき
- ・オーバラン・エラーを検出したとき
- ・BLERRD = 1設定時にバス・ロック・エラーを検出したとき

図17 - 54 受信割り込みタイミング基本タイミング



17.7.6 エラー検出機能

ハードウェアは以下の7つのエラーを検出します。

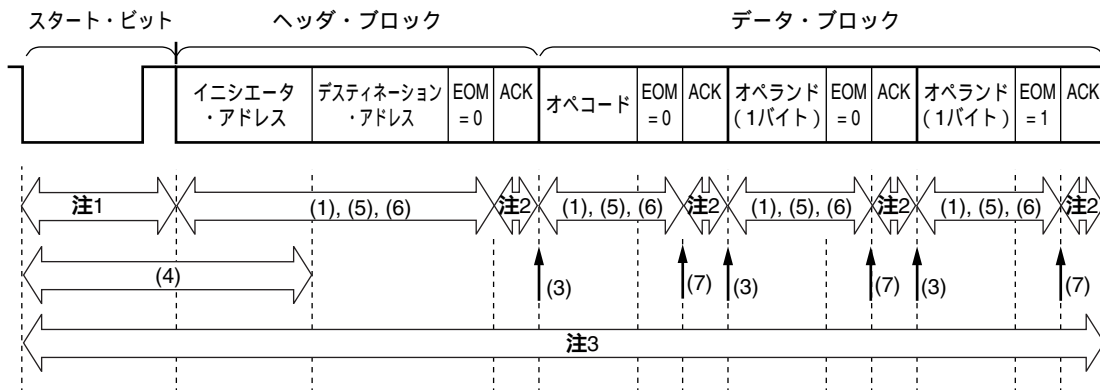
以下にイニシエータ/フォロワ別の検出可能エラーを示します。

表17-4 イニシエータ/フォロワ別の検出可能エラー

エラー	イニシエータ	フォロワ
(1) 送信エラー		×
(2) ACK エラー		×
(3) アンダラン・エラー		×
(4) アービトレーション・エラー		×
(5) タイミング・エラー (ロウ・レベル幅)		
(6) タイミング・エラー (ビット幅)		
(7) オーバラン・エラー	×	
(8) バス・ロック・エラー		

備考 : 検出 × : 未検出

図 17-55 エラーの検出期間



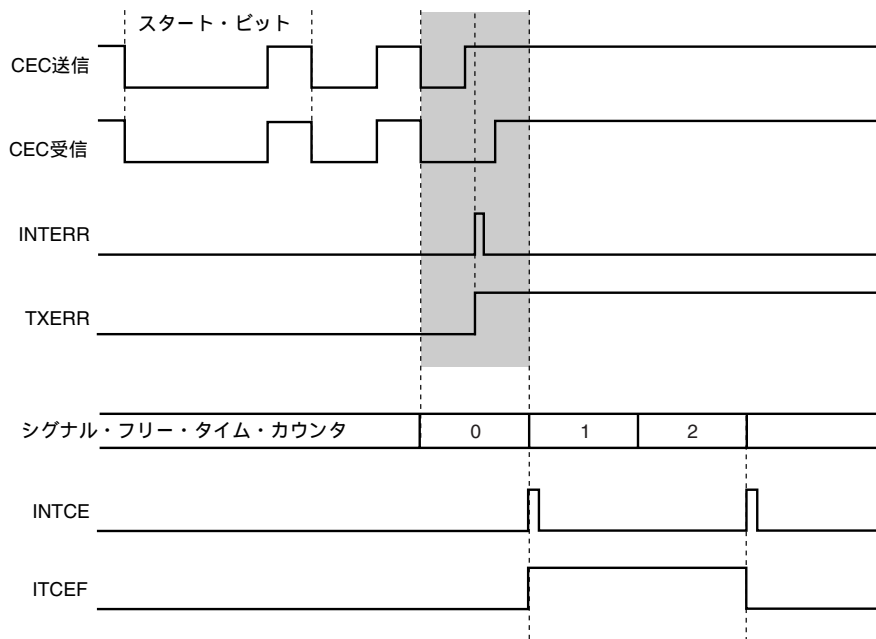
- 注1. スタート・ビットのタイミング・エラーを検出する (STERRD = 1) とき (5), (6)
2. (2), (5) さらに, ACKビットのタイミング・エラーを検出する (ACKTEN = 1) とき (6)
3. バス・ロック・エラーを検出する (BLERRD = 1) とき (8)

以降に各エラーの詳細を示します。

(1) 送信エラー

イニシエータ動作時, 自身が送信したデータと, CECラインの受信データの論理比較を行い, 異なる場合に送信エラーとなります。CEC受信データ・サンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー判定区間は, EOMビットを含むフレームのデータ・ビット期間でエラー判定を行います。エラー検出後, エラー割り込み (INTERR) を発生させ, 送信エラー・フラグ (TXERR) をセットし, そのビットで送信を停止します。INTCEはCESEL1, CESEL0設定により, 停止したビットの最後および, シグナル・フリー・タイム・カウント後で発生します。

図 17 - 56 送信エラー検出波形 (シグナル・フリー・タイム 3 ビット設定時)



送信エラーを検出すると、CECCTL0レジスタのEOMビット設定値に関わらず、エラーを検出したビットで送信動作を停止します。

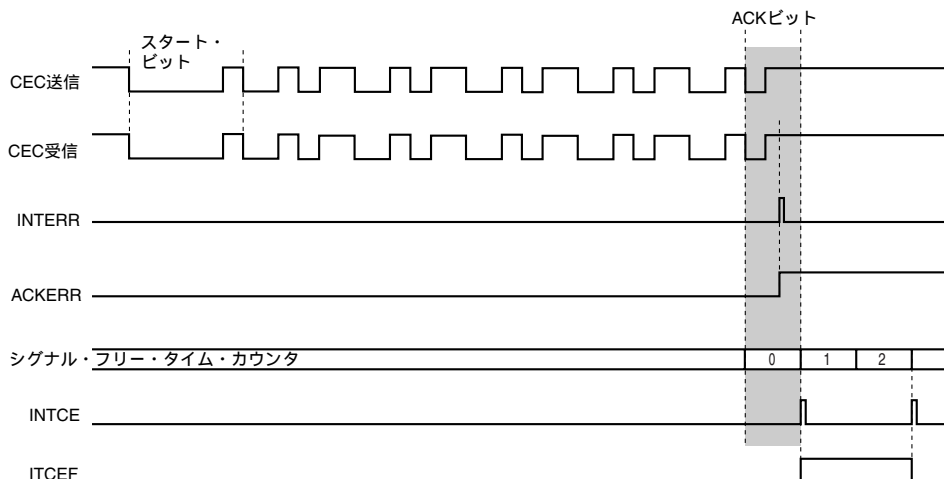
イニシエータがEOM = 1を送信しているにも関わらず、EOM = 0を受信した場合、送信エラーと判断して送信を停止します。フォロウはEOM = 0なので送信が継続すると判断します。そのため、データ受信待ちとなります。BLERRD=1に設定している場合は、受信データのハイおよびロウ・レベル張り付きを検出できます。

(2) ACKエラー

ダイレクト・アドレス送信時は、ACKビット・タイミングでイニシエータがロジカル1を受信した場合ACKエラーとなります。ブロードキャスト送信時は、ACKビット・タイミングでイニシエータがロジカル0を受信した場合にACKエラーとなります。

CEC受信データ・サンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、ACKエラー・フラグ (ACKERR) をセットします。ACKビット終了後、通信待機状態になり、シグナル・フリー・タイムをカウントします。INTCEはCESEL1, CESEL0設定値により、1回もしくは2回発生します。

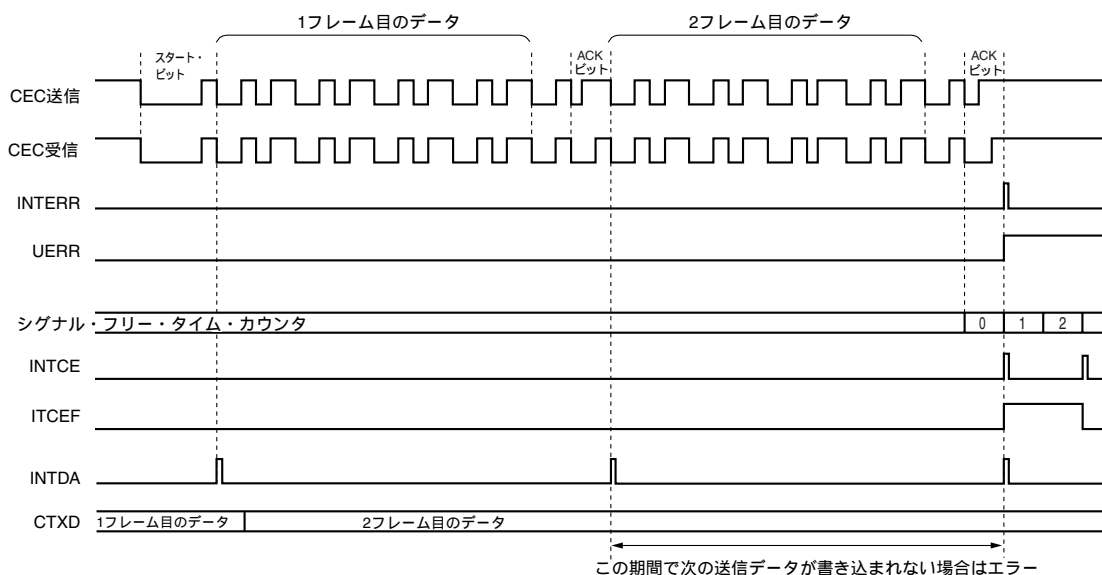
図 17 - 57 ダイレクト・アドレス通信時の ACK エラー (シグナル・フリー・タイム 3 ビットタイム設定時)



(3) アンダラン・エラー

次のデータ送信を開始するタイミングで、送信バッファにデータが設定されていない場合にアンダラン・エラーとなります。エラー割り込み (INTERR) を発生させ、アンダラン・エラー・フラグ (UERR) をセットし、送信を中断し通信待機状態となります。INTCEはCESEL1, CESEL0設定値に依存して1回もしくは2回発生します。

図 17 - 58 アンダラン・エラー・タイミング



(4) アービトレーション・エラー

送信開始フラグの設定～送り元アドレス送信中の期間にロジカル1送信に対して、ロジカル0を受信した場合は、アービトレーション・エラーとなります。送信開始トリガ設定からスタート・ビット出力までのエラー判定は、CEC送信信号にロウ・レベルを出力するタイミングでエラー判定をします。送り元アドレス送信中はCEC受信データ・サンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、アービトレーション・エラー・フラグ (AERR) をセットします。このとき、送信は中断しますが、受信動作は続きます。送り元アドレス検出期間までは、図 17 - 59に示すように、複数同時にエラー・フラグを検出する場合があります。

図17 - 59 アービトレーション・タイミング

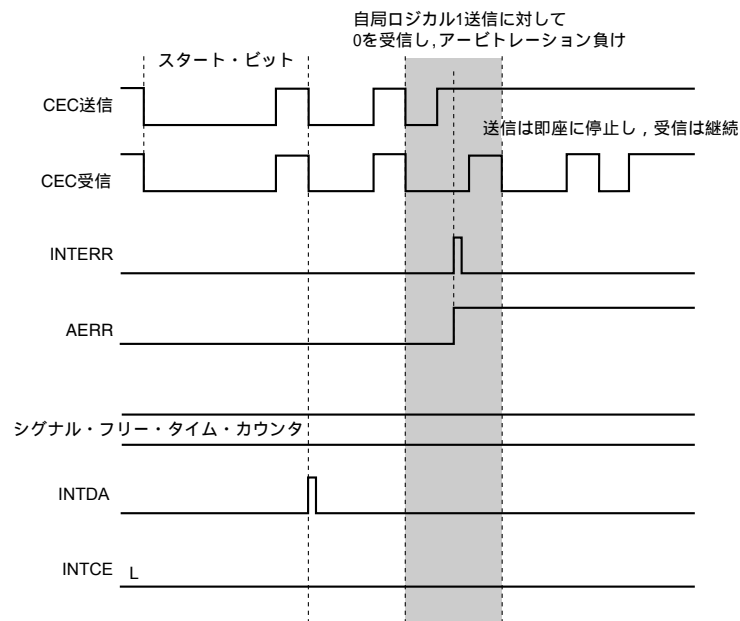
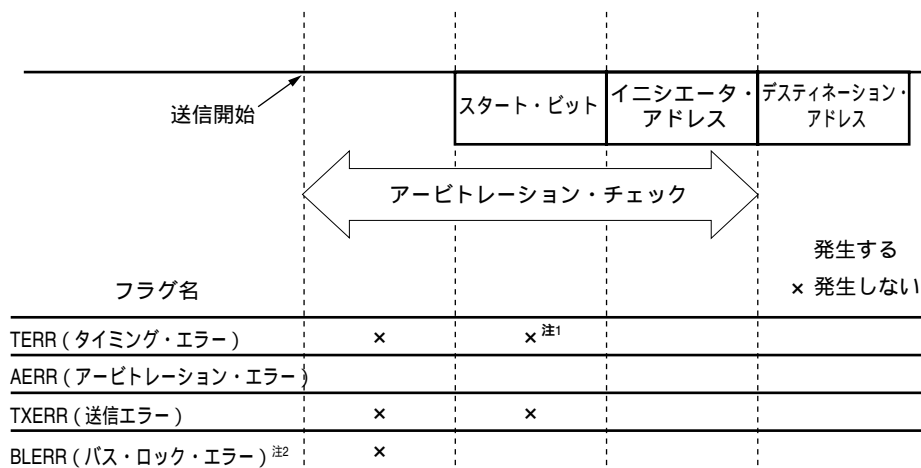


図17 - 60 アービトレーション・エラーと他のエラーの関係



注1. STERRD = 1のとき、スタート・ビットのタイミング・チェックを行います。エラー割り込みは発生しません。

2. BLERRD = 1のとき、パス・ロック・エラーを検出します。

【アービトレーション・エラー詳細説明】

送信開始フラグをセットから、イニシエータ・アドレス出力期間までのアービトレーション・チェックの詳細を次に示します。

(a) 送信開始フラグ・セットでのアービトレーション・チェック

送信開始フラグをセットしてから、 f_{CEC} の2クロック後にアービトレーション・チェックをします。アービトレーション負けと判断すると、エラー割り込み (INTERR) を発生し、アービトレーション負けフラグ (AERR) をセットし、即座に受信モードに切り変わります。

(b) スタート・ビット出力期間

送信開始フラグをセットして、実際にスタート・ビットが出力される際に、受信ラインにロウ・レベルを検出するとアービトレーション負けフラグをセットし、受信モードに切り変わります。また、 $STERRD = 1$ の場合、 $STATLH$ で設定したスタート・ビットのロウ・レベル幅MAX.値を越えて、受信ラインの立ち上がりエッジを検出した場合、アービトレーション負けフラグをセットし、受信モードに切り変わります。

(c) イニシエータ・アドレス出力期間

スタート・ビット送信完了後、イニシエータ・アドレス送信開始と同時に論理チェックを行います。自局アドレスよりも若いアドレスを検出した場合、エラー割り込み (INTERR) を発生し、アービトレーション負けフラグ (AERR) をセットし、即座に受信モードに切り変わります。

(5) タイミング・エラー

イニシエータ/フォロワの動作時でも、CEC受信信号のタイミング・エラー・チェックを行います。設定したレジスタの範囲外であればタイミング・エラーとなります。ロウ・レベル幅のタイミング・エラーの場合は、立ち上がりエッジを検出したタイミングで検出し、ビット幅のタイミング・エラーの場合は、MIN.側は立ち下がりエッジを検出したタイミングでエラーを検出し、MAX.側はビット幅MAX.設定値を越えても立ち下がりエッジが来ない場合にエラーを検出します。ACKビットのタイミング・チェックを行うか否かはCECCTL0レジスタのACKTENビットで選択できます。ただし、ACKTEN = 1に設定時でも、最終データ・ブロック (EOM = 1時) のACKビットのみビット幅MAX.側のチェックを行いません。ビット幅のMIN.側はチェックを行います。ビット幅が短いタイミング・エラーを検出すると、フォロワ動作時はNOMPレジスタで設定した1ビット幅の1.5 倍の期間ロウ・パルス (エラー・ハンドリング・パルス) を送信し、イニシエータ動作時は即座に送信を停止し通信待機状態に遷移します。

エラー・ハンドリング・パルスの送信はスタート・ビットのタイミング・エラー検出では行いません。

ビット幅が短い以外のタイミング・エラーを検出した場合、イニシエータ動作時は即座に送信を停止します。フォロワ動作時は受信を継続しACKビット・タイミングでNACKを送信します。

INTCEの発生タイミングはCESEL1, CESEL0設定値に依存します。

最終ACKビット幅MIN.のタイミング・エラーを検出したら、INTERRと同時にINTCEも出力します。

図17 - 61 イニシエータ動作時のタイミング・エラー

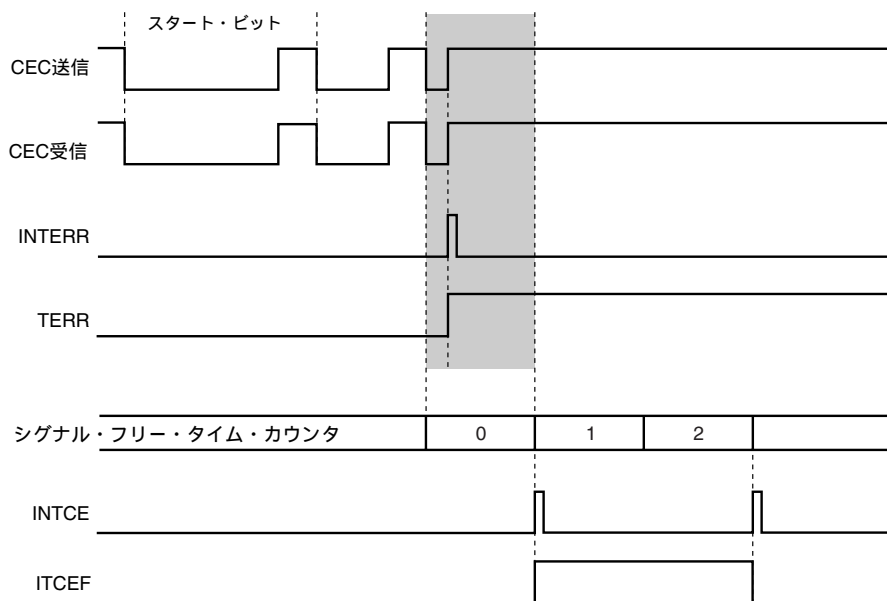


図17 - 62 フォロワ動作時のビット幅が短い場合のタイミング・エラー

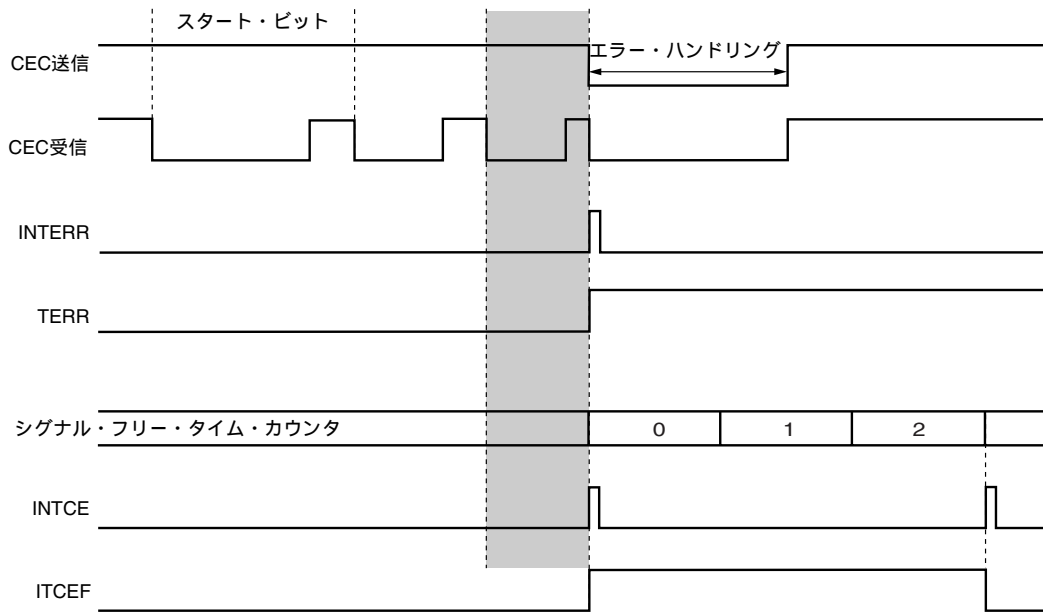
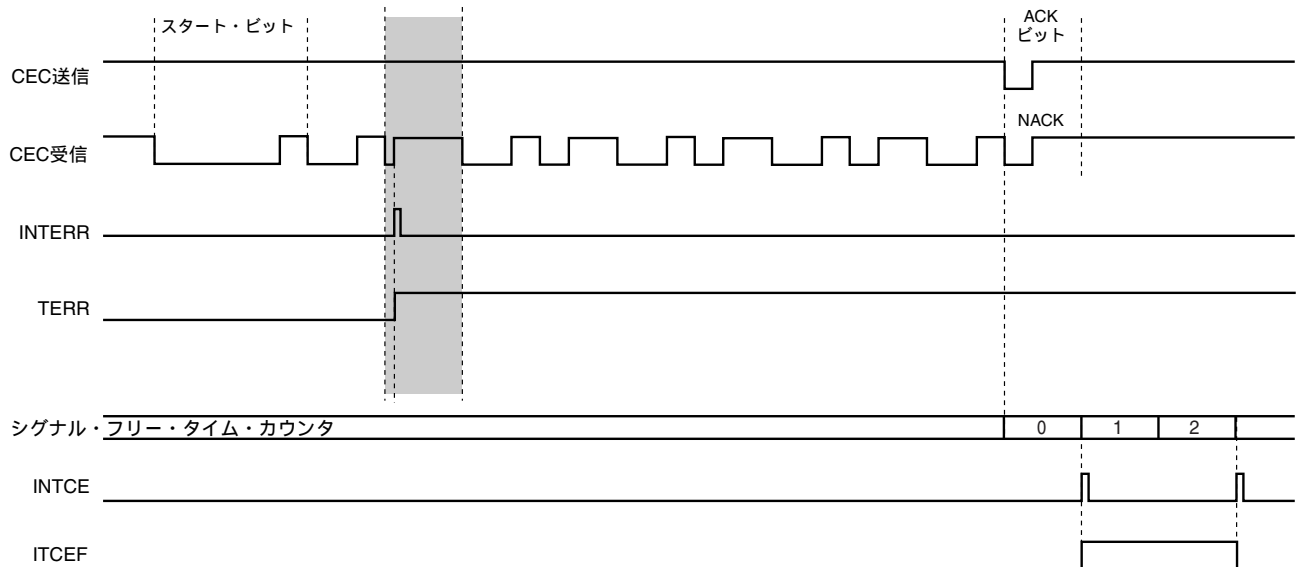


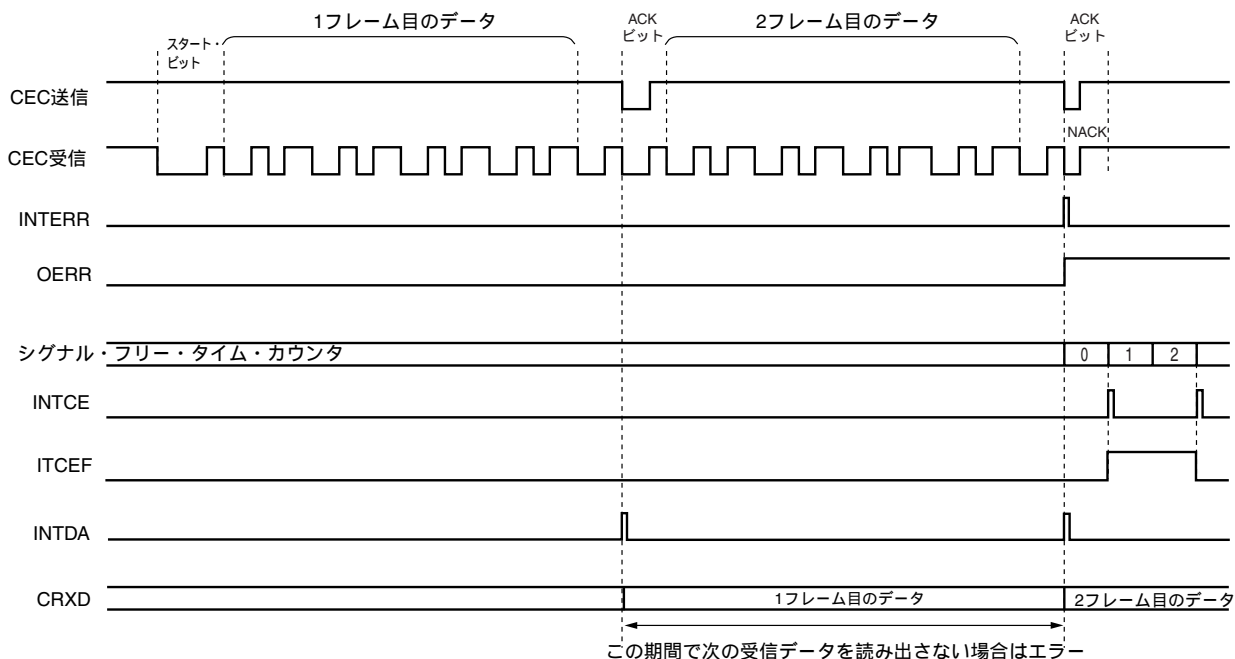
図17 - 63 フォロワ動作時のビット幅が短い場合以外のタイミング・エラー



(6) オーバラン・エラー

フォロワ動作時に、受信バッファ・レジスタ (CRXD) からデータをリードする前に、次のデータ受信が完了した場合にオーバラン・エラーとなります。エラー割り込み (INTERR) を発生させ、オーバラン・エラー・フラグ (OERR) をセットします。CRXDバッファの値は新しい値に書き換えられます。その後、オーバラン・エラーが発生したブロックのACK送信タイミングで、ダイレクト・アドレス通信時はロジカル1、ブロードキャスト通信時はロジカル0を返信し、イニシエータに受信が失敗したことを伝え受信待機状態に遷移します。INTCEはCESEL1, CESEL0設定に依存して動作します。

図17 - 64 オーバラン・エラー (シグナル・フリー・タイム3ビット設定時)



(7) バス・ロック・エラー

NOMPで設定した1データ・ビット幅の2.5倍の期間，CEC受信信号がハイ/ロウ・レベルに張り付いている場合にバス・ロック・エラーとなります[※]。BLERRDを1に設定することで，入力信号がハイ/ロウ・レベルに張り付くことを検出可能です。エラーを検出すると，エラー割り込み (INTERR) を発生させ，バス・ロック・エラー・フラグ (BLERR) をセットし，通信待機状態となり，シグナル・フリー・タイムをカウントします。INTCEはCESEL1, CESEL0設定に依存して動作します。

注 立ち下がりエッジを検出して通信開始となつてからが対象となります。

注意 バス・ロック・エラーを検出しない場合，意図した動作で終了できないことがあります。その場合，再送のタイミングを失い，異常通信を継続します。そのため，受信動作時にはBLERRDをセットし，バス・ロック・エラーを検出するように設定してください。

図17 - 65 イニシエータ動作時 (シグナル・フリー・タイム3ビット設定時)

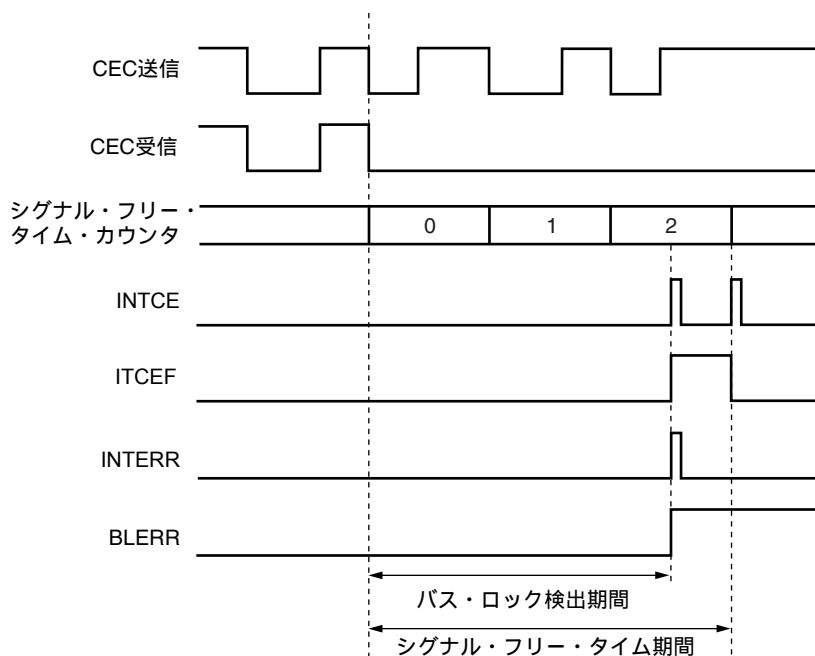
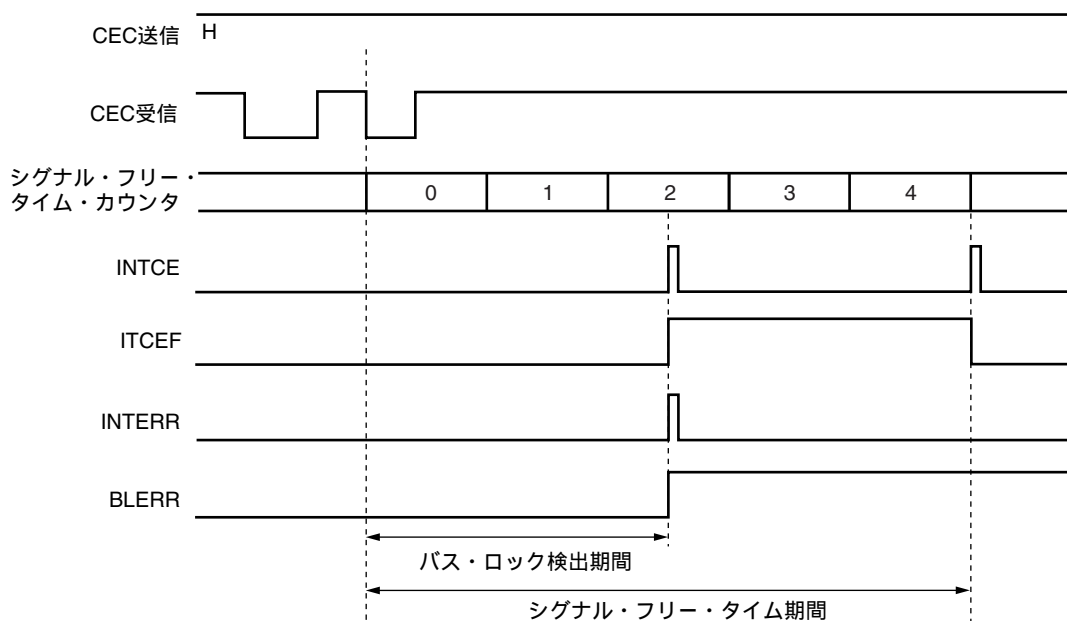


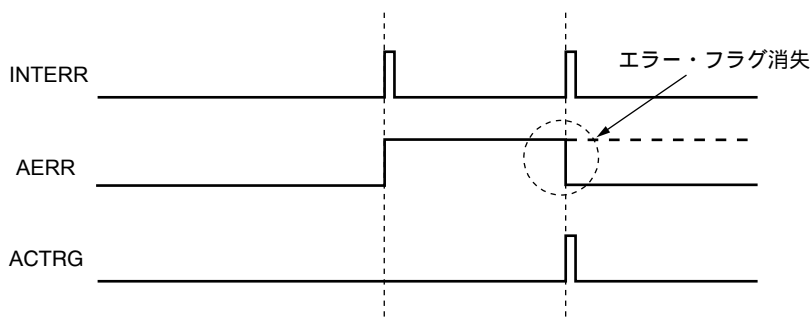
図17 - 66 フォロワ動作時 (シグナル・フリー・タイム5ビット設定時)



17.7.7 エラー・フラグのクリア方法

CEC通信エラー・ステータス・レジスタ (CECES) にセットされたエラー・フラグは、CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CEFC) の対象ビットに1をセットすることでクリアが可能です。図17 - 67はアービトレーション・エラーが発生した場合を示しています。CEFCに20Hにセットすることで、アービトレーション・エラー・フラグをクリア出来ます。

図17 - 67 同一エラーが2回発生し、クリア・トリガと競合したとき



注意 エラー・フラグのクリアと、クリア対象エラー・フラグ・セットが競合した場合、2度目のエラー・フラグがセットされない可能性があります。

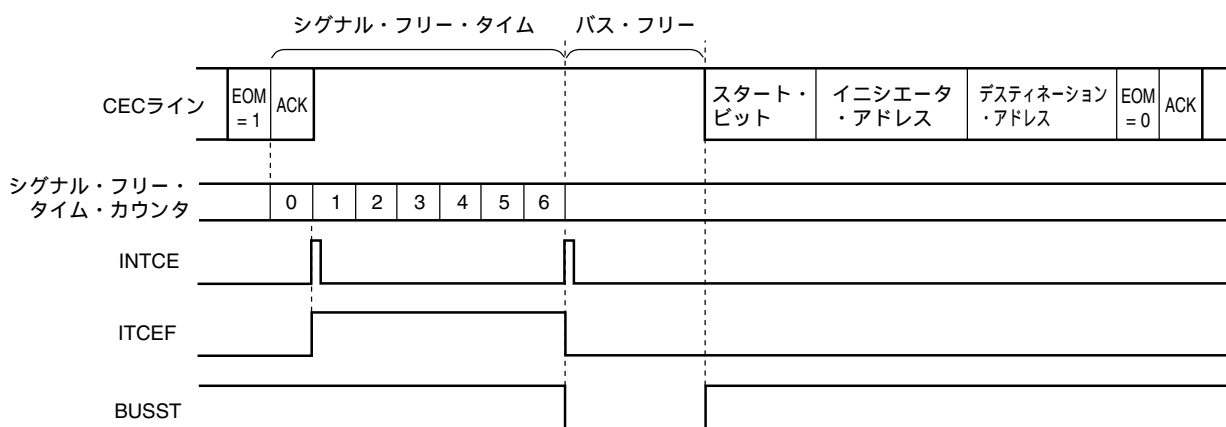
17.7.8 シグナル・フリー・タイム

シグナル・フリー・タイムの完了は、設定した時間（NOMPレジスタで設定した1ビット幅の3/5/7ビット分）との一致検出により、通信完了割り込みを発生する事で通知します。シグナル・フリー・タイムのビット数はSFT1, SFT0で設定し、通信完了割り込みはCESEL1, CESEL0を設定することで割り込み発生タイミングを選択することが可能です。カウント開始タイミングは常に受信データの立ち下がり検出時です。通常の通信では、EOM = 1のACKビット立ち下がりエッジ検出後にシグナル・フリー・タイムのカウントを開始します。

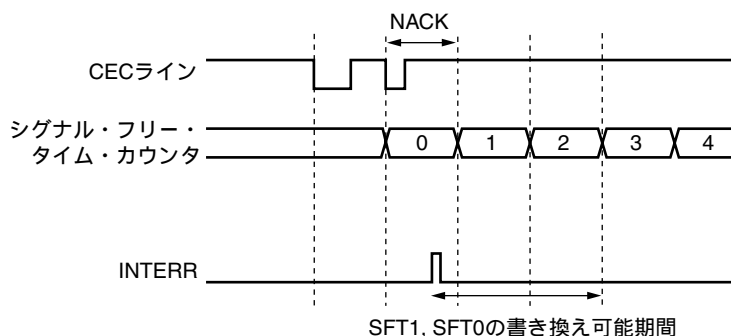
エラーが発生した場合も、通信停止後にシグナル・フリー・タイムのカウントを開始します。

エラー・ハンドリング・パルス（ビット幅1.5倍のロウ・パルス）を受け付けた場合は、エラー・ハンドリング・パルスの立ち下がりエッジからカウント動作を開始します。図17 - 68はCESEL1 = 0, CESEL0 = 0, SFT1 = 1, SFT0 = 0に設定した7データ・ビット幅のシグナル・フリー・タイム検出設定した場合の動作例です。

図17 - 68 シグナル・フリー・タイムの動作



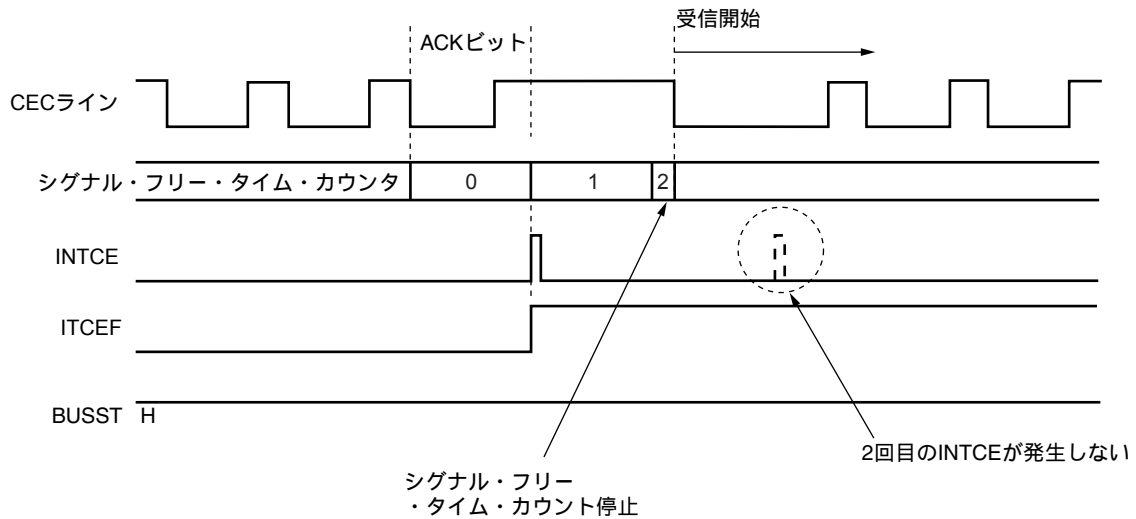
注意 シグナル・フリー・タイム・カウント中にSFT1, SFT0レジスタの値を、現在のビット数より小さく書き換える場合、書き換え後のビット・カウント値までに書き換えを完了してください。書き換えが間に合わなかった場合、カウンタがオーバーフローして、再度ビット数が一致するまで、シグナル・フリー・タイム期間となります。以下に5データ・ビット幅から3データ・ビット幅に変更する場合の例を示します。



<シグナル・フリー・タイム中の受信動作開始>

シグナル・フリー・タイム・カウンタ中に、CEC受信信号に立ち下がりエッジを検出した場合、受信動作を開始します。このときシグナル・フリー・タイム・カウンタのカウンタ動作は停止するので、シグナル・フリー・タイム・カウンタ後にINTCEを出力する設定でもINTCEが出力されません。

また、同様にシグナル・フリー・タイム・カウンタ中に送信トリガに1をライトした場合も、送信を開始し、シグナル・フリー・タイム・カウンタのカウンタ動作は停止します。



第18章 リモコン受信回路

注意 リモコン受信回路を使用すると、クロック出力 (PCL) とINTP6は使用できません。

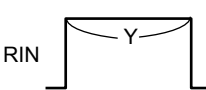
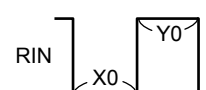
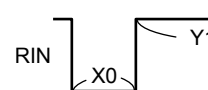
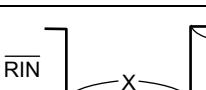


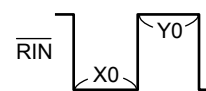
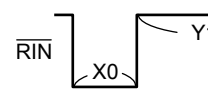
18.1 リモコン受信回路の機能

リモコン受信回路には、次の3種類のリモコン受信モードがあります。

- ・A方式受信モード ... ガイド・パルス (半クロック) あり
- ・B方式受信モード ... ガイド・パルス (1クロック) あり
- ・C方式受信モード ... ガイド・パルス なし

備考 ガイド・パルス (リーダー・コード) : リモコン信号のヘッダ部

表18-1 各受信モードのフォーマット (RMINPに入力すべき波形)

受信モード	ガイド・パルス	データ0	データ1	フォーマット例
A方式	RIN 	RIN 	RIN 	18.5.1参照
B方式	$\overline{\text{RIN}}$ 	$\overline{\text{RIN}}$ 	$\overline{\text{RIN}}$ 	18.5.3参照
C方式	なし	$\overline{\text{RIN}}$ 	$\overline{\text{RIN}}$ 	18.5.5参照

備考1. データ0よりデータ1の方が波形が長くなります。(Y0 < Y1, Z0 < Z1)

2. X, X0 : ロウ・レベル幅
Y, Y0, Y1 : ハイ・レベル幅
3. RIN : リモコン受信データ入力 (RIN) 端子からの入力信号
 $\overline{\text{RIN}}$: RINの反転信号
RMINP : 図18-1参照

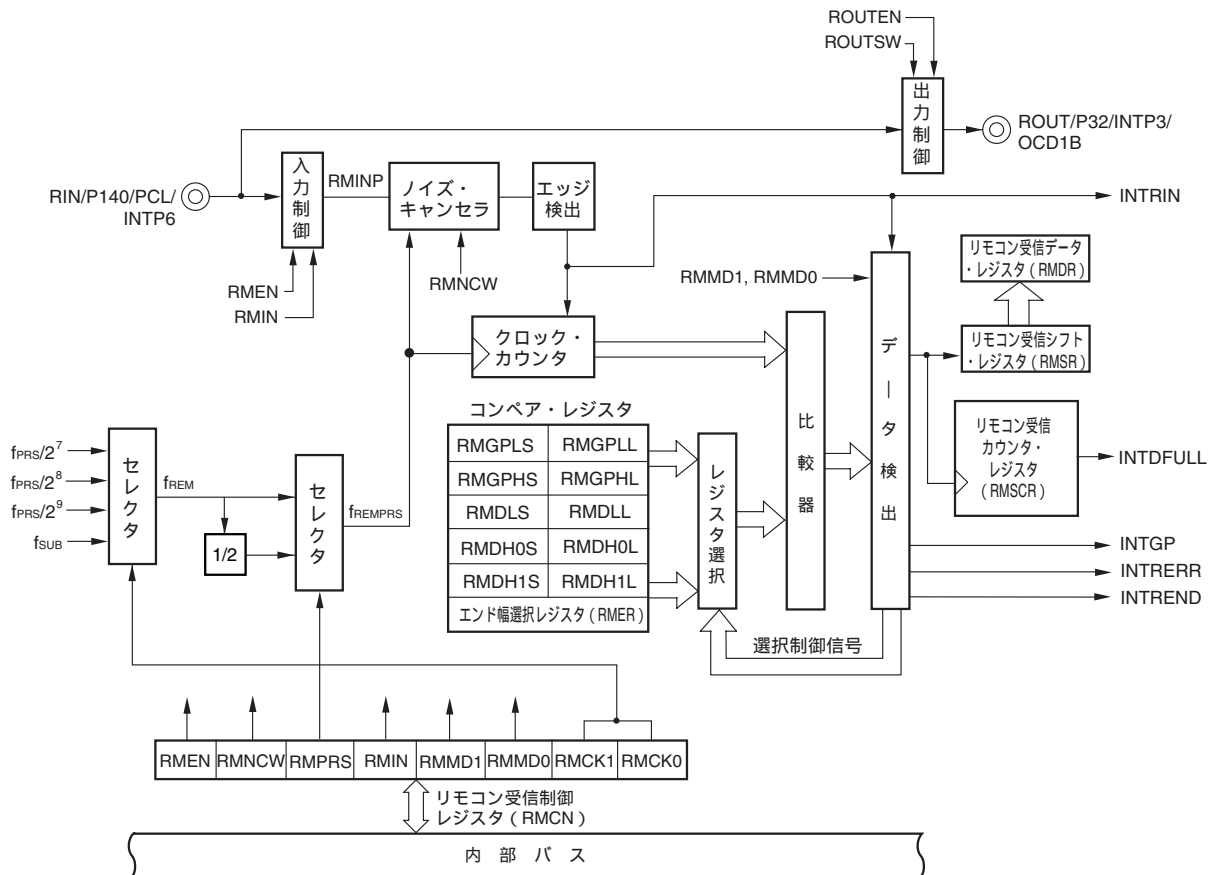
18.2 リモコン受信回路の構成

リモコン受信回路は、次のハードウェアで構成しています。

表18 - 1 リモコン受信回路の構成

項 目	構 成
レジスタ	リモコン受信データ・レジスタ (RMDR) リモコン受信カウンタ・レジスタ (RMSCR) リモコン受信シフト・レジスタ (RMSR) リモコン受信GPLSコンペア・レジスタ (RMGPLS) リモコン受信GPLLコンペア・レジスタ (RMGPLL) リモコン受信GPHSコンペア・レジスタ (RMGPHS) リモコン受信GPHLコンペア・レジスタ (RMGPHL) リモコン受信DLSコンペア・レジスタ (RMDLS) リモコン受信DLLコンペア・レジスタ (RMDLL) リモコン受信DH0Sコンペア・レジスタ (RMDH0S) リモコン受信DH0Lコンペア・レジスタ (RMDH0L) リモコン受信DH1Sコンペア・レジスタ (RMDH1S) リモコン受信DH1Lコンペア・レジスタ (RMDH1L) リモコン受信エンド幅選択レジスタ (RMER)
制御レジスタ	リモコン受信割り込みステータス・レジスタ (INTS) リモコン受信割り込みステータス・クリア・レジスタ (INTC) リモコン受信制御レジスタ (RMCN) リモコン受信データ出力制御レジスタ (RMSW) ポート・モード・レジスタ3, 14 (PM3, PM14) ポート・レジスタ3, 14 (P3, P14)

図18 - 1 リモコン受信回路のブロック図



(1) リモコン受信シフト・レジスタ (RMSR)

リモコン・データ受信用の8ビットのレジスタです。

ビット7からデータが格納され、新たなデータが来るたびに下位ビットに押し出されて行きます。そのためビット7が最終データで、ビット0側が先頭データになります。

データ0を正常受信すると、ビット7に“0”が格納され、データ1を正常受信すると、ビット7に“1”が格納されます。

RMSRは、8ビット・メモリ操作命令で読み出します。

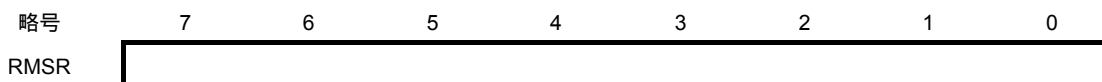
リセット信号の発生により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・リモコン動作停止 (RMEN = 0)
- ・エラー検出 (INTRERR発生)
- ・INTDFULL発生
- ・INTREND発生後のRMSR読み出し

図18 - 2 リモコン受信シフト・レジスタ (RMSR) のフォーマット

アドレス : FF6FH リセット時 : 00H R



注意1. RMSRはリモコン受信中の読み出しは禁止です。受信終了後に読み出してください。

また、読み出し動作終了後にRMSRはクリアされてしまうため、一度読み出した値を保証することはできません。

2. RMSRに8ビット分のリモコン信号を受信した場合、RMSRの内容はリモコン受信データ・レジスタ(RMDR)に転送され、INTDFULLが発生します。このとき、RMSRはクリアされます。
3. INTREND発生後は、必ず先にRMSCR、次にRMSRの順序で読み出しを行ってください。RMSRの読み出し後は、自動的にRMSCR、RMSRはクリアされます。INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。

(2) リモコン受信データ・レジスタ (RMDR)

リモコン受信データを保持するレジスタです。リモコン受信シフト・レジスタ (RMSR) のオーバーフローで、RMSRのデータがRMDRに転送されます。ビット7が最終データで、ビット0が先頭データになります。RMSRからRMDRに転送すると同時に、INTDFULLを発生します。

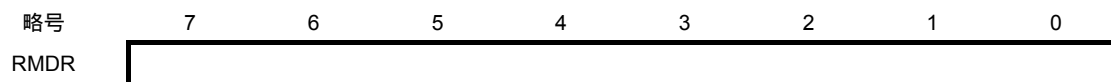
RMDRは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、リモコン動作禁止 (RMEN = 0) により、00Hにクリアされます。

図18 - 3 リモコン受信データ・レジスタ (RMDR) のフォーマット

アドレス : FF54H リセット時 : 00H R



注意 INTDFULL発生後、次の8ビット分のデータを受信完了する前に読み出してください。
間に合わずに次のINTDFULLが発生した場合は、RMDRは上書きされます。

(3) リモコン受信カウンタ・レジスタ (RMSCR)

リモコン受信終了 (INTREND発生) 時に, リモコン受信シフト・レジスタ (RMSR) に残っている有効ビット数を示すための3ビット・カウンタ・レジスタです。このレジスタの値を読むことで, 8ビット整数倍以外のフォーマットを受信した場合でも有効ビット数が分かります。

RMSCRは, 8ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 00Hになります。

また, 以下のいずれかの条件で00Hにクリアされます。

- ・リモコン動作停止 (RMEN = 0)
- ・エラー検出 (INTRERR発生)
- ・INTREND発生後のRMSR読み出し

図18 - 4 リモコン受信カウンタ・レジスタ (RMSCR) のフォーマット

アドレス: FF4EH リセット時: 00H R

略号	7	6	5	4	3	2	1	0
RMSCR	0	0	0	0	0			

注意 INTREND発生後, RMSRを読み出す前にRMSCRを読み出してください。

それ以外のタイミングで読み出した場合の値は保証できません。

受信ビット数とRMSCRレジスタの関係例

受信ビット数	RMSCRレジスタ値	受信ビット数	RMSCRレジスタ値
3	3 (3 - 8x0)	8	0 (8 - 8x1)
15	7 (15 - 8x1)	16	0 (16 - 8x2)

図18 - 5 101010111111111B (16ビット) を受信する場合のRMSR, RMSCR, RMDRレジスタの動作例

	RMSR								RMSCR	RMDR
	7	6	5	4	3	2	1	0		
初期値	0	0	0	0	0	0	0	0	00H	00000000B
1ビット受信	1	0	0	0	0	0	0	0	01H	00000000B
2ビット受信	0	1	0	0	0	0	0	0	02H	00000000B
3ビット受信	1	0	1	0	0	0	0	0	03H	00000000B
...
7ビット受信	1	0	1	0	1	0	1	0	07H	00000000B
8ビット受信	0	1	0	1	0	1	0	1	00H	00000000B
RMDR転送	0	0	0	0	0	0	0	0	00H	01010101B
9ビット受信	1	0	0	0	0	0	0	0	01H	01010101B
10ビット受信	1	1	0	0	0	0	0	0	02H	01010101B
...
16ビット受信	1	1	1	1	1	1	1	1	00H	01010101B
RMDR転送	0	0	0	0	0	0	0	0	00H	11111111B

18.3 リモコン受信回路を制御するレジスタ

リモコン受信回路は、次のレジスタで制御します。

- ・リモコン受信割り込みステータス・レジスタ (INTS)
- ・リモコン受信割り込みステータス・クリア・レジスタ (INTC)
- ・リモコン受信制御レジスタ (RMCN)
- ・リモコン受信データ出力制御レジスタ (RMSW)
- ・ポート・モード・レジスタ3, 14 (PM3, PM14)
- ・ポート・レジスタ3, 14 (P3, P14)

(1) リモコン受信割り込みステータス・レジスタ (INTS)

リモコン受信割り込み (INTRERR, INTGP, INTREND, INTDFULL) のうち、どの割り込み要求が発生したのかを判別するためのレジスタです。

INTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図18-6 リモコン受信割り込みステータス・レジスタ (INTS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	RW
INTS	0	0	0	0	INTS DFULL	INTS REND	INTS GP	INTS RERR	FFF9H	00H	R

INTS DFULL	8ビット・シフト・データのリードによる割り込み要求
0	8ビット・シフト・データのリード割り込み要求は発生していない
1	8ビット・シフト・データのリード割り込み要求は発生した

INTS REND	データ受信完了割り込みによる要求
0	データ受信完了割り込み要求は発生していない
1	データ受信完了割り込み要求は発生した

INTS GP	ガイド・パルス検出割り込み
0	ガイド・パルス検出割り込み要求は発生していない
1	ガイド・パルス検出割り込み要求は発生した

INTS RERR	リモコン受信エラーによる割り込み要求
0	リモコン受信エラー割り込み要求は発生していない
1	リモコン受信エラー割り込み要求は発生した

注意 INTSレジスタはリードしてもクリアされません。INTSレジスタをクリアするにはINTCレジスタを使用してください。

(2) リモコン受信割り込みステータス・クリア・レジスタ (INTC)

リモコン受信割り込みステータス・レジスタ (INTS) を制御するためのレジスタです。

INTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 7 リモコン受信割り込みステータス・クリア・レジスタ (INTC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTC	0	0	0	0	INTC DFULL	INTC REND	INTC GP	INTC RERR	FFFAH	00H	R/W

INTC DFULL	8ビット・シフト・データのリードによる割り込み判定ビットの制御
0	INTSDFULLビットの変更なし
1	INTSDFULLビットをクリアする

INTC REND	データ受信完了割り込み判定ビットの制御
0	INTSRENDビットの変更なし
1	INTSRENDビットをクリアする

INTC GP	ガイド・パルス検出割り込み判定ビットの制御
0	INTSGPビットの変更なし
1	INTSGPビットをクリアする

INTC RERR	リモコン受信エラー割り込み判定ビットの制御
0	INTSRERRビットの変更なし
1	INTSRERRビットをクリアする

(3) リモコン受信制御レジスタ (RMCN)

リモコン受信許可/禁止, ノイズ・キャンセル幅, クロック内部分周, 入力反転信号, 受信モード, ソース・クロックを設定するレジスタです。

RMCNは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図18-8 リモコン受信制御レジスタ (RMCN) のフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMCN	RMEN	RMNCW	RMPRS	RMIN	RMMD1	RMMD0	RMCK1	RMCK0	FF3FH	00H	R/W

RMEN	リモコン受信動作の制御
0	リモコン受信禁止
1	リモコン受信許可

RMNCW	ノイズ・キャンセル幅制御信号
0	$1/f_{REMPRS}$ 未満のノイズを除去
1	$2/f_{REMPRS}$ 未満のノイズを除去

RMPRS	内部でのクロック分周制御信号
0	内部でクロックを分周しない ($f_{REMPRS} = f_{REM}$)
1	内部でクロックを2分周する ($f_{REMPRS} = f_{REM}/2$)

分周制御 (RMPRS)	ノイズ・キャンセル幅制御 (RMNCW)	RMPRSによる分周制御後の 内部動作クロック周期 ($1/f_{REMPRS}$)	キャンセルできるノイズ幅
0	0	$1/f_{REM}$	$1/f_{REM}$ 未満
0	1	$1/f_{REM}$	$2/f_{REM}$ 未満
1	0	$2/f_{REM}$	$2/f_{REM}$ 未満
1	1	$2/f_{REM}$	$4/f_{REM}$ 未満

RMIN	リモコン入力反転制御
0	リモコン受信データ入力端子の信号を反転しない
1	リモコン受信データ入力端子の信号を反転する

注意 RMNCW, RMPRS, RMIN, RMMD1, RMMD0, RMCK1, RMCK0の値を変更する場合は, リモコン受信を禁止 (RMEN = 0) にしてから行ってください。

備考1. f_{REM} : リモコン・カウンタのソース・クロック (ビット0, 1 (RMCK0, RMCK1) で選択)

2. f_{REMPRS} : リモコン受信回路内部での動作クロック

3. f_{PRS} : 周辺ハードウェア・クロック発振周波数

図18 - 8 リモコン受信制御レジスタ (RMCN) のフォーマット (2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMCN	RMEN	RMNCW	RMPRS	RMIN	RMMD1	RMMD0	RMCK1	RMCK0	FF3FH	00H	R/W

RMMD1	RMMD0	リモコン受信モード
0	0	A方式受信モード (ガイド・パルス (半クロック) あり)
0	1	B方式受信モード (ガイド・パルス (1クロック) あり)
1	0	C方式受信モード (ガイド・パルス なし)
1	1	設定禁止

RMCK1	RMCK0	リモコン受信回路のソース・クロック (f_{REM})				
		クロック選択	$f_{PRS} = 2 \text{ MHz}$	$f_{PRS} = 5 \text{ MHz}$	$f_{PRS} = 10 \text{ MHz}$	$f_{PRS} = 20 \text{ MHz}$
0	0	$f_{PRS}/2^7$	15.625 kHz	39.063 kHz	78.125 kHz	156.250 kHz
0	1	$f_{PRS}/2^8$	7.813 kHz	19.531 kHz	39.063 kHz	78.125 kHz
1	0	$f_{PRS}/2^9$	3.906 kHz	9.766 kHz	19.531 kHz	39.063 kHz
1	1	f_{SUB}	32.768 kHz			

注意 RMNCW, RMPRS, RMIN, RMMD1, RMMD0, RMCK1, RMCK0の値を変更する場合は、リモコン受信を禁止 (RMEN = 0) にしてから行ってください。

- 備考1.** f_{REM} : リモコン・カウンタのソース・クロック (ビット0, 1 (RMCK0, RMCK1) で選択)
2. f_{REMPRS} : リモコン受信回路内部での動作クロック
3. f_{SUB} : サブシステム・クロック発振周波数

(4) リモコン受信データ出力制御レジスタ (RMSW)

RIN端子から入力されたリモコン受信データをノイズ除去/デコードせずにROUT端子から出力するための出力制御レジスタです。

RMSWは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 9 リモコン受信データ出力制御レジスタ (RMSW) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMSW	0	0	0	0	0	0	ROUTSW	ROUTEN	FFB7H	00H	R/W

ROUTSW	スルー出力 / 反転出力の選択
0	ROUT端子より、RIN端子入力信号をスルー出力
1	ROUT端子より、RIN端子入力信号を反転出力

ROUTEN	ROUT端子出力動作の制御
0	ROUT端子出力禁止
1	ROUT端子出力許可

(5) ポート・モード・レジスタ3, 14 (PM3, PM14)

ポート3, 14の入力 / 出力を1ビット単位で設定するレジスタです。

P32/ROUT/INTP3/OCD1Bをリモコン受信データ出力として使用するとき, PM32ビットに0を, P32の出カラッチに0を設定してください。

P140/PCL/INTP6/RIN端子をリモコン受信データ入力として使用するとき, PM140ビットに1を設定してください。P140の出カラッチは, 0または1のどちらでもかまいません。

PM3, PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図18 - 10 ポート・モード・レジスタ3, 14 (PM3, PM14) のフォーマット

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

アドレス : FF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	PM141 ^注	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 3, 14 ; n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0/KE2-Cのみ

18.4 リモコン受信回路のコンペア・レジスタ

リモコン受信信号のタイミング判定を設定するレジスタです。

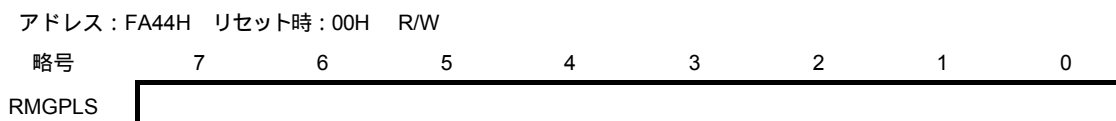
(1) リモコン受信GPLSコンペア・レジスタ (RMGPLS) (B方式受信モードのみ)

リモコン・ガイド・パルス・ロウ・レベル検出用レジスタ (ショート側) です。

RMGPLSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 11 リモコン受信GPLSコンペア・レジスタ (RMGPLS) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

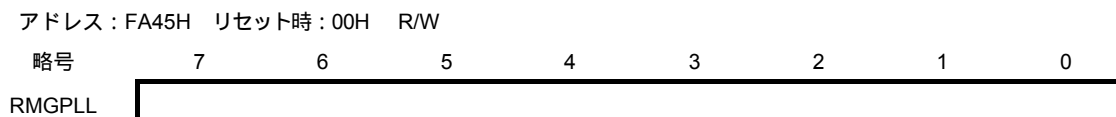
(2) リモコン受信GPLLコンペア・レジスタ (RMGPLL) (B方式受信モードのみ)

リモコン・ガイド・パルス・ロウ・レベル検出用レジスタ (ロング側) です。

RMGPLLは、8ビット・メモリ操作命令で設定します。

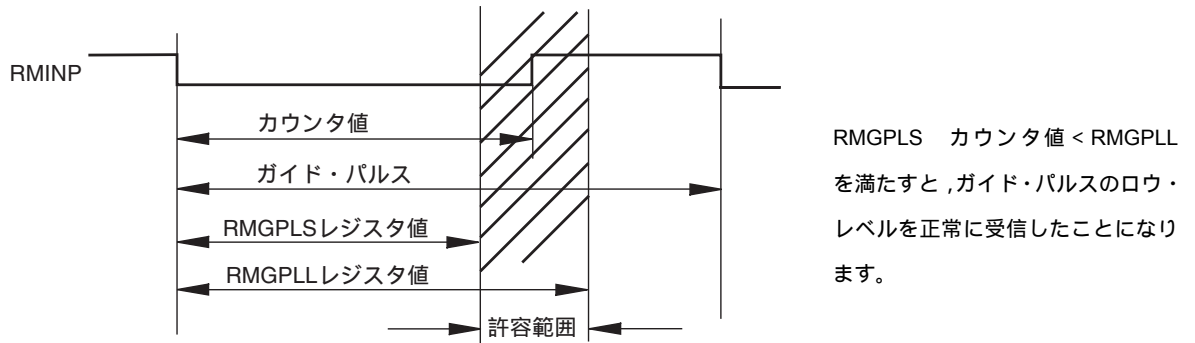
リセット信号の発生により、00Hになります。

図18 - 12 リモコン受信GPLLコンペア・レジスタ (RMGPLL) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

<ガイド・パルスのロウ・レベル幅の許容範囲>



ガイド・パルスのロウ・レベルを正常に受信すると、ガイド・パルスのハイ・レベル幅を測定します。

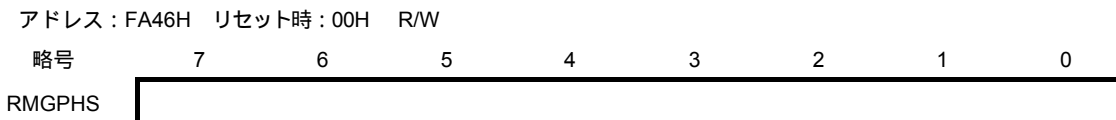
(3) リモコン受信GPHSコンペア・レジスタ (RMGPHS) (A方式, B方式受信モードのみ)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ショート側) です。

RMGPHSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図18 - 13 リモコン受信GPHSコンペア・レジスタ (RMGPHS) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

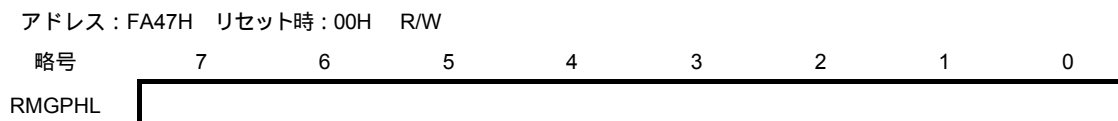
(4) リモコン受信GPHLコンペア・レジスタ (RMGPHL) (A方式, B方式受信モードのみ)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ロング側) です。

RMGPHLは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

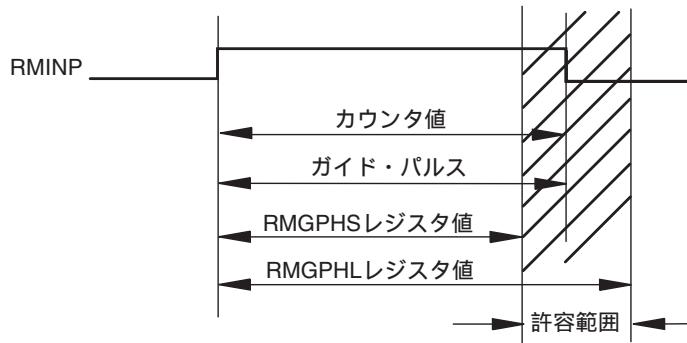
図18 - 14 リモコン受信GPHLコンペア・レジスタ (RMGPHL) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

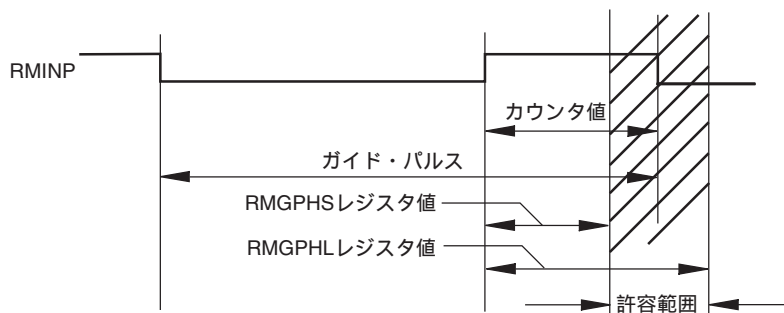
<ガイド・パルスのハイ・レベル幅の許容範囲>

(a) A方式受信モード



RMGPHS カウンタ値 < RMGPHL
を満たすと、ガイド・パルスのハイ・
レベルを正常に受信したことになり
ます。

(b) B方式受信モード



RMGPHS カウンタ値 < RMGPHL
を満たすと、ガイド・パルスのハイ・
レベルを正常に受信したことになり
ます。

ガイド・パルスのハイ・レベルを正常に受信すると、INTGP割り込み信号を出力し、次のデータ・ロウ・レベル幅を測定します。

(5) リモコン受信DLSコンペア・レジスタ (RMDLS)

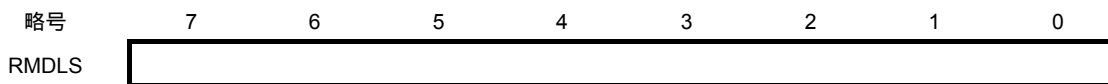
リモコン・データ・ロウ・レベル検出用レジスタ (ショート側) です。

RMDLSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 15 リモコン受信DLSコンペア・レジスタ (RMDLS) のフォーマット

アドレス : FA48H リセット時 : 00H R/W



注意 RMEN = 0の状態 で値を書き込んでください。

(6) リモコン受信DLLコンペア・レジスタ (RMDLL)

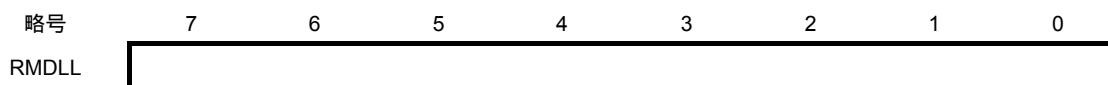
リモコン・データ・ロウ・レベル検出用レジスタ (ロング側) です。

RMDLLは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

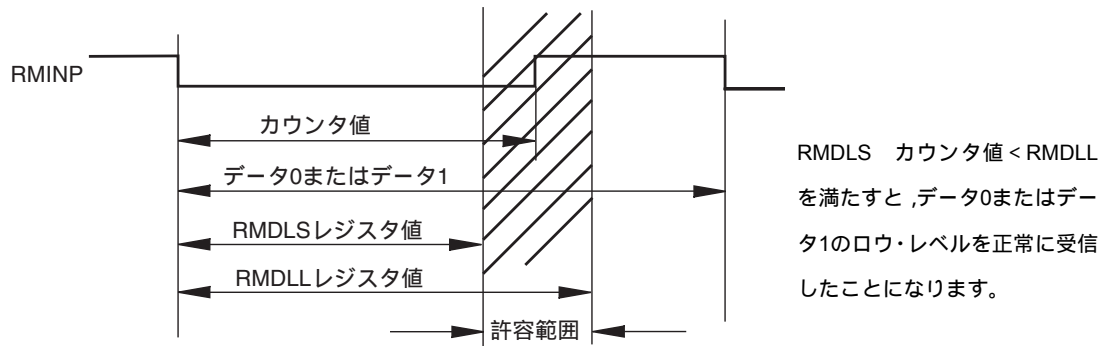
図18 - 16 リモコン受信DLLコンペア・レジスタ (RMDLL) のフォーマット

アドレス : FA49H リセット時 : 00H R/W



注意 RMEN = 0の状態 で値を書き込んでください。

<データ0またはデータ1のロウ・レベル幅の許容範囲>



データのロウ・レベルを正常に受信すると, 次のデータ・ハイ・レベル幅を測定します。

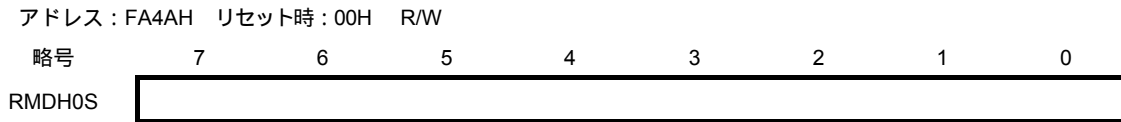
(7) リモコン受信DH0Sコンペア・レジスタ (RMDH0S)

リモコン・データ0ハイ・レベル検出用レジスタ (ショート側) です。

RMDH0Sは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 17 リモコン受信DH0Sコンペア・レジスタ (RMDH0S) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

(8) リモコン受信DH0Lコンペア・レジスタ (RMDH0L)

リモコン・データ0ハイ・レベル検出用レジスタ (ロング側) です。

RMDH0Lは、8ビット・メモリ操作命令で設定します。

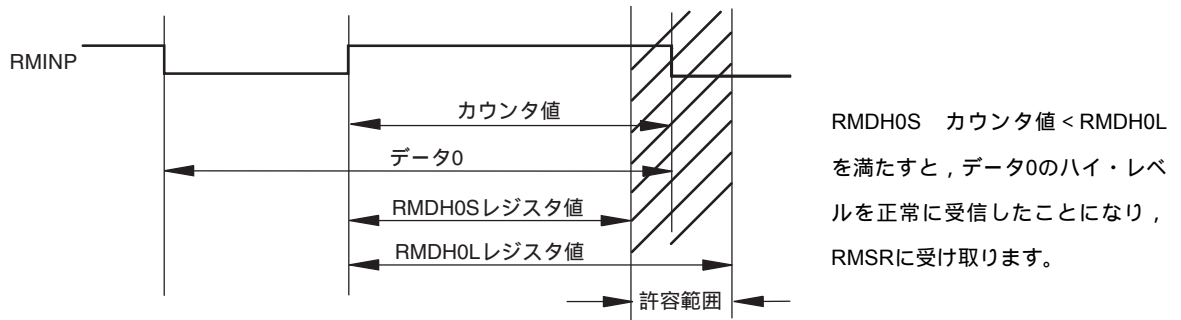
リセット信号の発生により、00Hになります。

図18 - 18 リモコン受信DH0Lコンペア・レジスタ (RMDH0L) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

<データ0のハイ・レベル幅の許容範囲>



データ0を正常に受信すると、シフト・レジスタを右シフトしてビット7に“0”を格納します。そして、次のデータ・ロウ・レベル幅を測定します。

注意 データ0は必ずデータ1より短いハイ・レベル幅に設定してください。

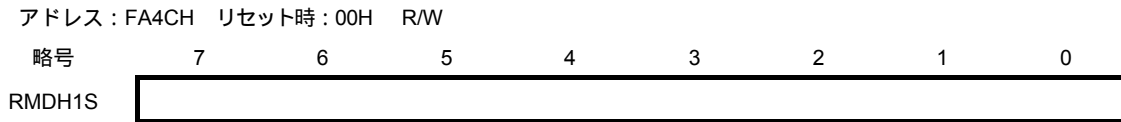
(9) リモコン受信DH1Sコンペア・レジスタ (RMDH1S)

リモコン・データ1ハイ・レベル検出用レジスタ (ショート側) です。

RMDH1Sは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 19 リモコン受信DH1Sコンペア・レジスタ (RMDH1S) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

(10) リモコン受信DH1Lコンペア・レジスタ (RMDH1L)

リモコン・データ1ハイ・レベル検出用レジスタ (ロング側) です。

RMDH1Lは、8ビット・メモリ操作命令で設定します。

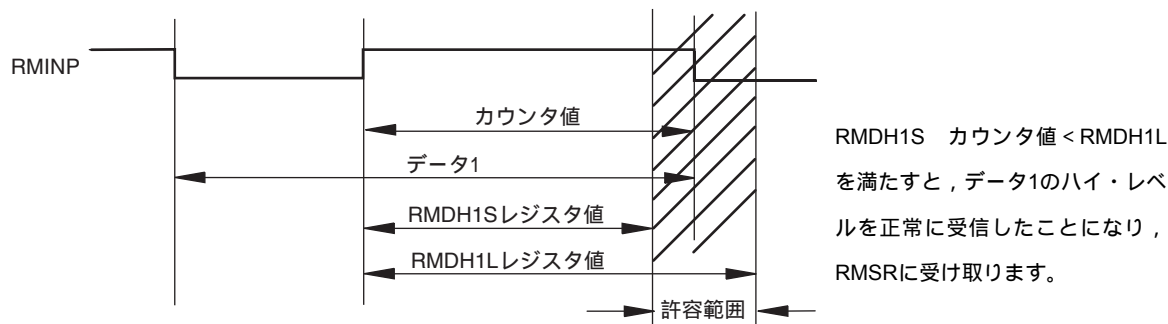
リセット信号の発生により、00Hになります。

図18 - 20 リモコン受信DH1Lコンペア・レジスタ (RMDH1L) のフォーマット



注意 RMEN = 0の状態 で値を書き込んでください。

<データ1のハイ・レベル幅の許容範囲>



データ1を正常に受信すると、シフト・レジスタを右シフトして7ビットに“1”を格納します。そして、次のデータ・ロウ・レベル幅を測定します。

注意 データ1は必ずデータ0より長いハイ・レベル幅に設定してください。

(11) リモコン受信エンド幅選択レジスタ (RMER)

INTREND信号が出力されるタイミング幅を決めるレジスタです。

エンドの状態に入る条件は、各受信モードで異なります。

RMERは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 21 リモコン受信エンド幅選択レジスタ (RMER) のフォーマット

アドレス : FA4EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMER	[8-bit register box]							

注意 RMEN = 0の状態 で値を書き込んでください。

$$RMER = \left(\frac{T_{WE} \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 1$$

$1/f_{REMPRS}$: RMPRSによる分周制御後の内部動作クロック周期の幅

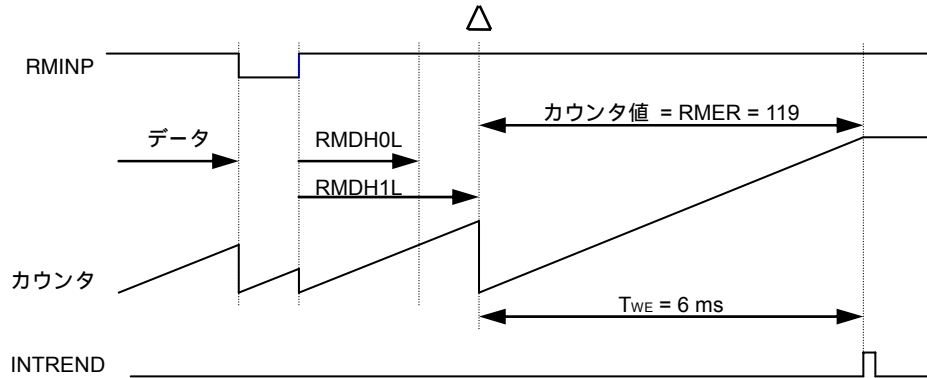
a : 許容誤差 (%)

[]_{INT} : この中の計算式により発生する値は小数点以下切り捨て

T_{WE} : RMINPでのエンド時間

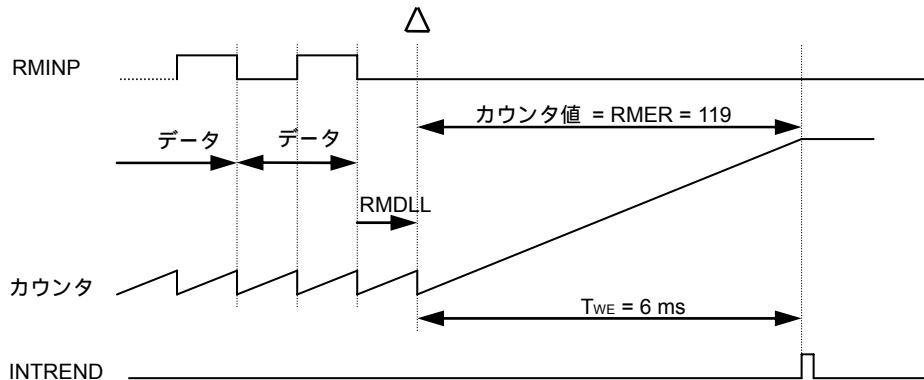
例1：B/C方式の場合，仮定エンド時間6 ms，内部動作クロック周期50 μ sの場合，RMERレジスタ値は， $\{6 \text{ ms} / 50 \mu\text{s}\} - 1 = 119$ になります。

ただし，RMINPのハイ・レベル幅は $(\text{RMDH1L} + 1 + \text{RMER} + 1) \times 50 \mu\text{s}$ の長さが必要です。満足できない場合，エラー割り込み（INTRERR）を発生します。



例2：A方式の場合，仮定エンド時間6 ms，内部動作クロック周期50 μ sの場合，RMERレジスタ値は， $\{6 \text{ ms} / 50 \mu\text{s}\} - 1 = 119$ になります。

ただし，RMINPのロウ・レベル幅は $(\text{RMDLL} + 1 + \text{RMER} + 1) \times 50 \mu\text{s}$ の長さが必要です。満足できない場合，エラー割り込み（INTRERR）を発生します。



18.5 リモコン受信回路の動作

このリモコン受信回路では、次のリモコン受信モードを使用します。

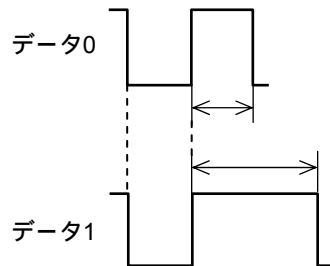
受信モード	ガイド・パルス・ロウ・レベル期間	ガイド・パルス・ハイ・レベル期間	RMINP ^注 への入力波形	検出方法
A方式	なし	あり	RIN	ハイ/ロウ・レベル幅
B方式	あり	あり	$\overline{\text{RIN}}$	
C方式	なし	なし		

注 図18-1参照

データの波形は、次のようになっています。

・A方式，B方式，C方式

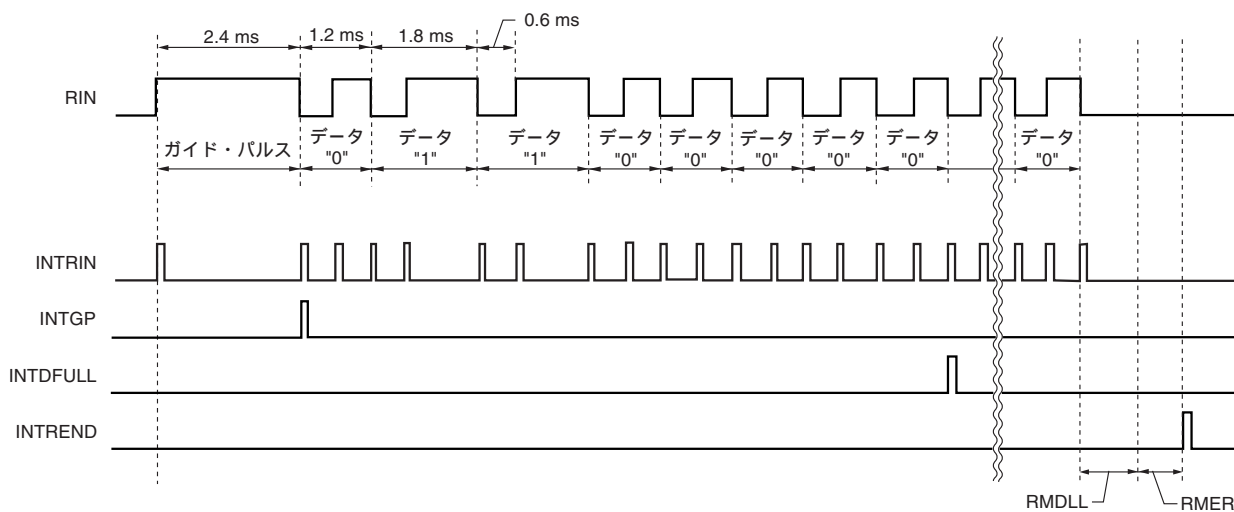
データ・ロウ・レベル幅は固定で，データ・ハイ・レベル幅の長さ（2種類）によってデータ0とデータ1を判断します。



18.5.1 A方式受信モードのフォーマット

図18-22にA方式のデータ・フォーマットを示します。

図18-22 A方式データ・フォーマット例

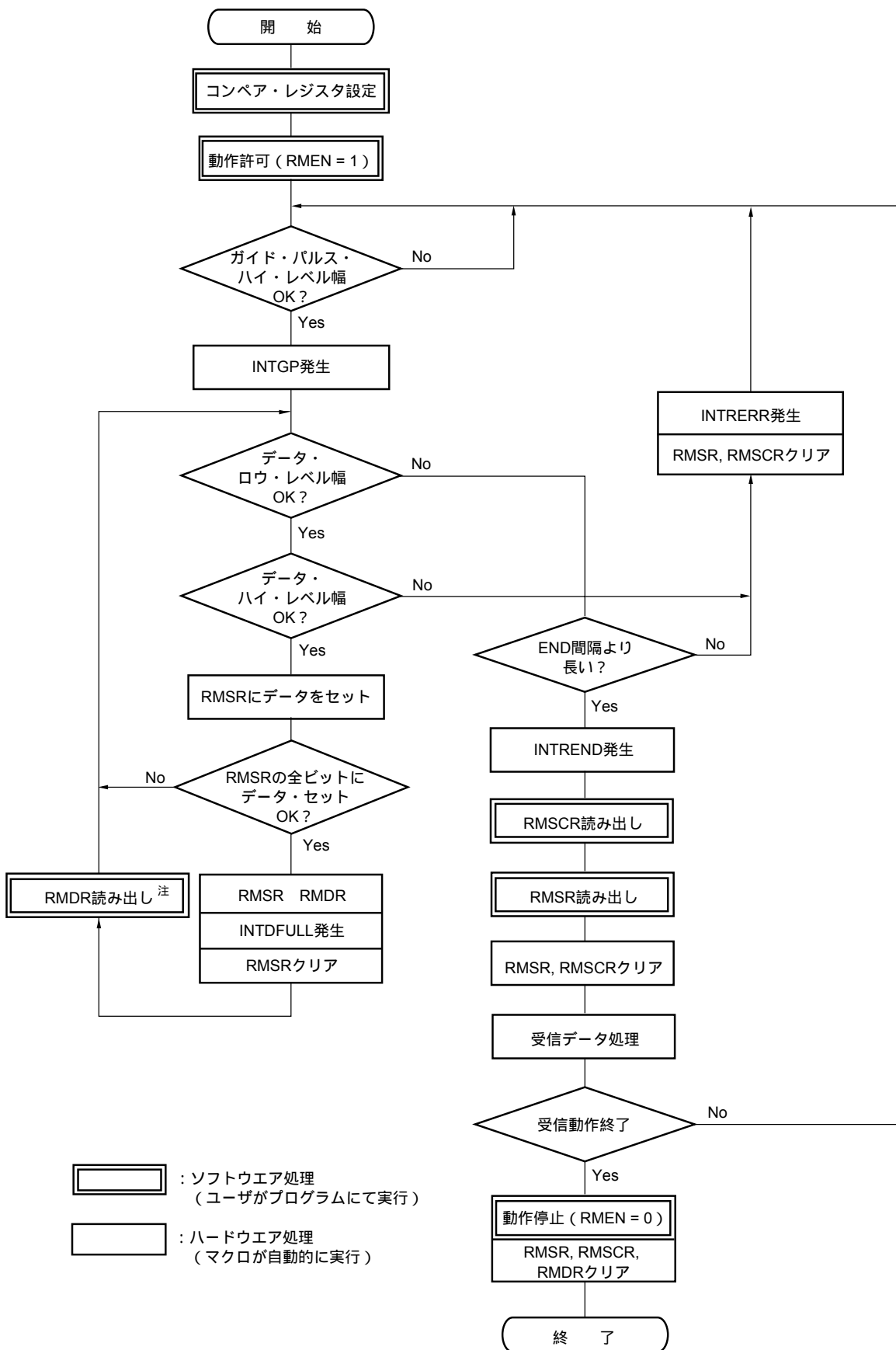


18.5.2 A方式受信モードの動作フロー

図18-23に動作フローを示します。

- 注意1.** INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
2. RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - RMSRの値をRMDRに転送
 - INTDFULL発生
 - RMSRクリア
 その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。
 3. INTREND発生後は、必ず先にRMSCR、次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
 4. 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。

図18 - 23 A方式受信モードの動作フロー

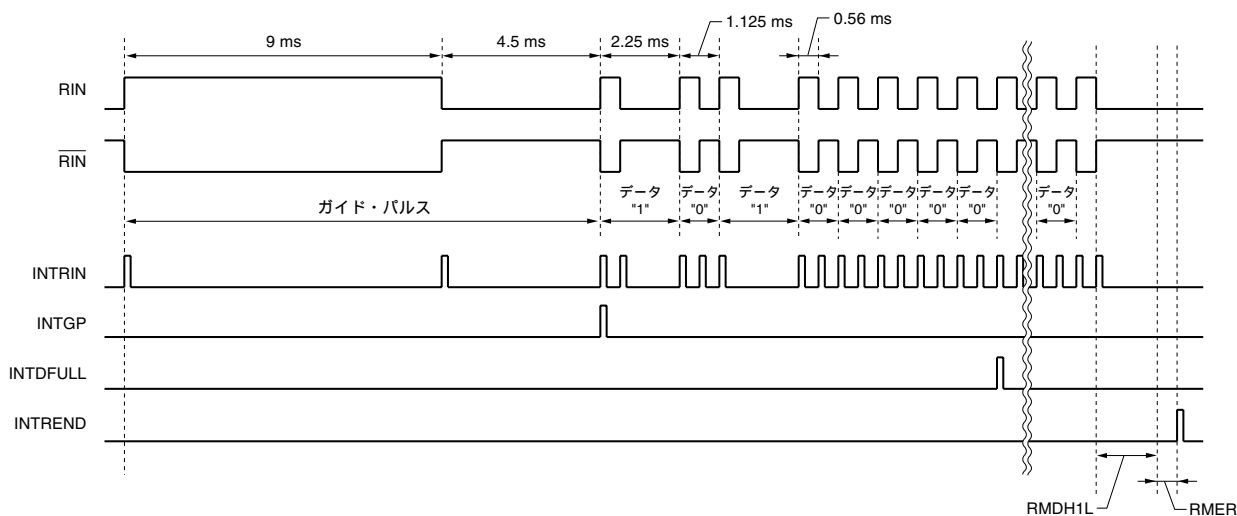


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

18.5.3 B方式受信モードのフォーマット

図18-24にB方式のデータ・フォーマットを示します。

図18-24 B方式データ・フォーマット例



備考 $\overline{\text{RIN}}$ はRINの内部反転信号です。

18.5.4 B方式受信モードの動作フロー

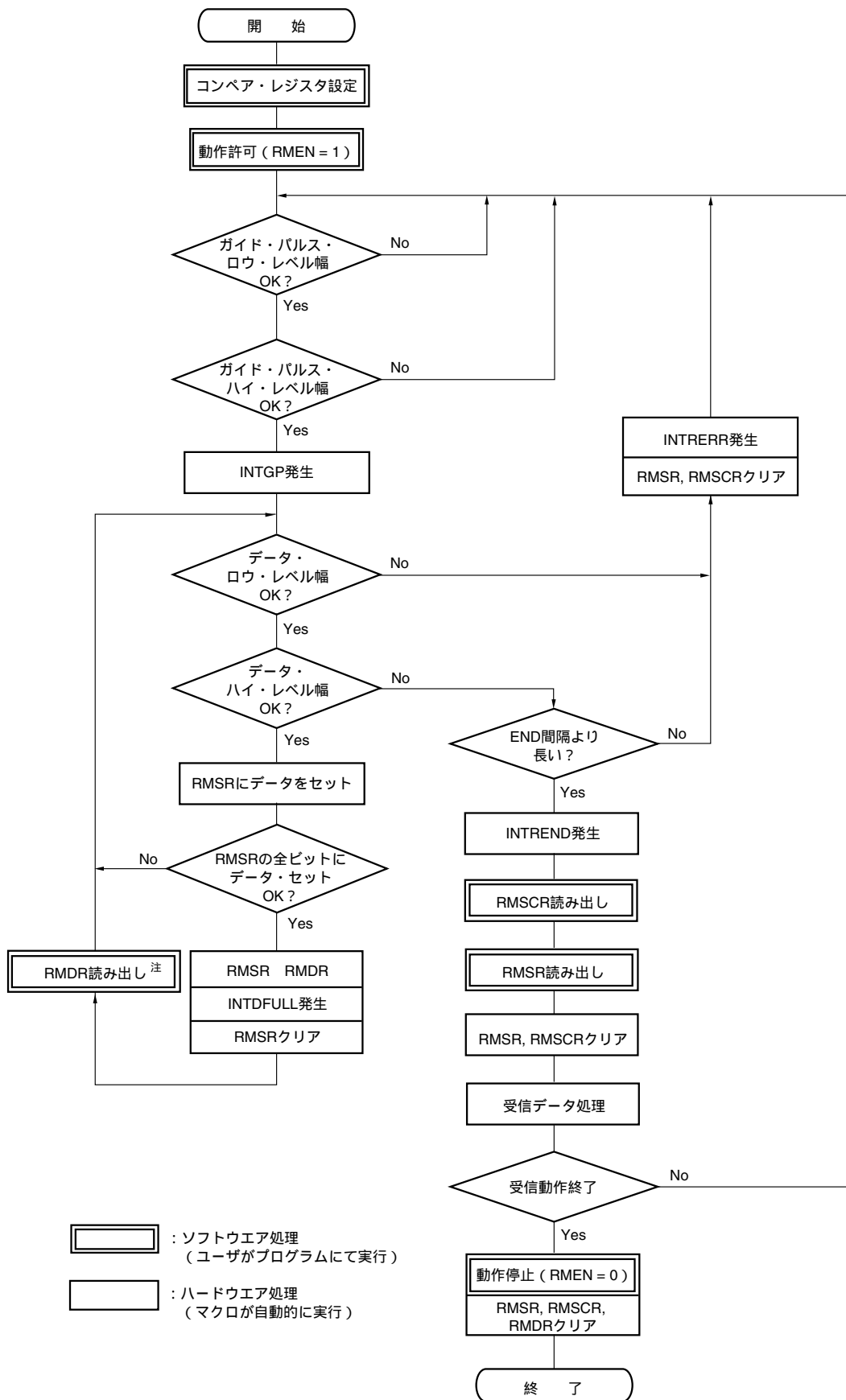
図18-25に動作フローを示します。

- 注意1. INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
2. RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - RMSRの値をRMDRに転送
 - INTDFULL発生
 - RMSRクリア

その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。

3. INTREND発生後は、必ず先にRMSCR、次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
4. 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。

図18 - 25 B方式受信モードの動作フロー

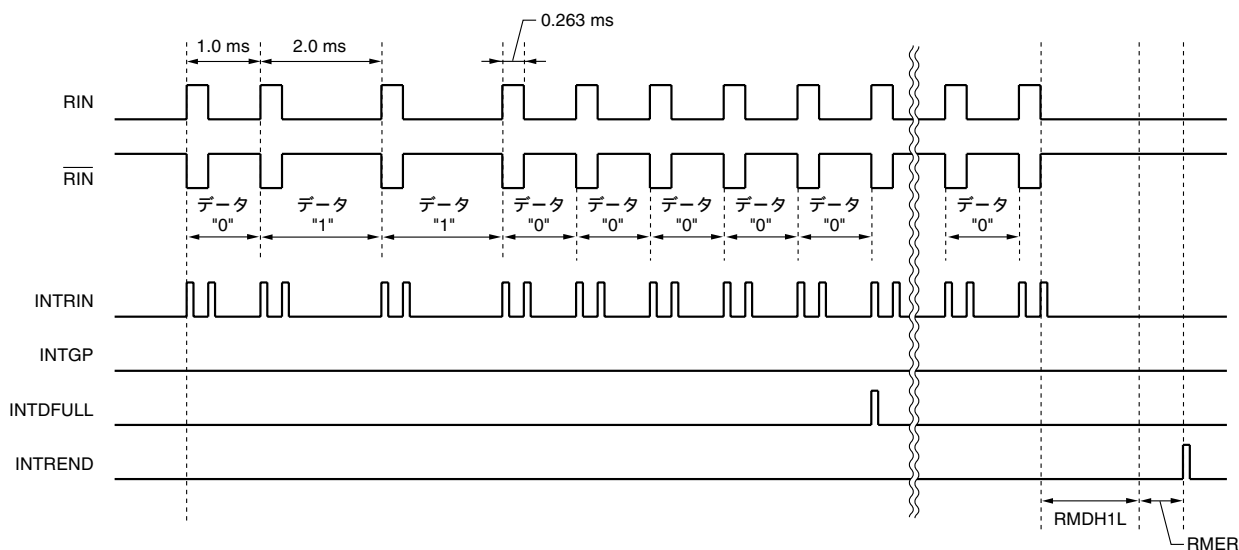


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

18.5.5 C方式受信モードのフォーマット

図18-26にC方式のデータ・フォーマットを示します。

図18-26 C方式データ・フォーマット例



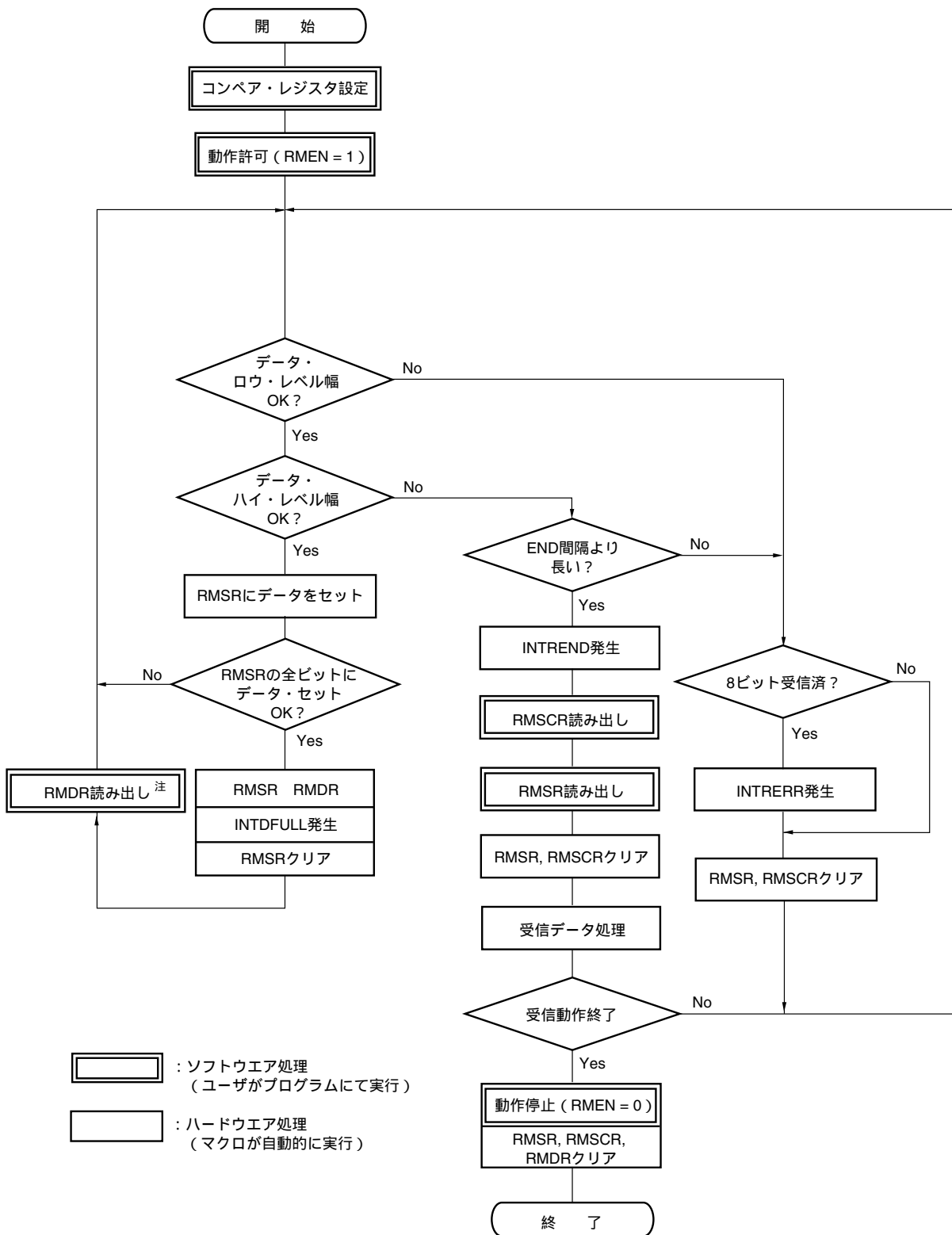
備考 RINはRINの内部反転信号です。

18.5.6 C方式受信モードの動作フロー

図18-27に動作フローを示します。

- 注意1. INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
2. RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - ・ RMSRの値をRMDRに転送
 - ・ INTDFULL発生
 - ・ RMSRクリア
 その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。
 3. INTREND発生後は、必ず先にRMSCR、次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
 4. 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。
 5. C方式受信モードでは、1回目のINTDFULL割り込み発生までにデータ・ロウ/ハイ・レベル幅の受信条件を満たさなかった場合、INTRERR, INTRENDは発生しません。ただし、RMSR, RMSCRはクリアされます。

図18 - 27 C方式受信モードの動作フロー

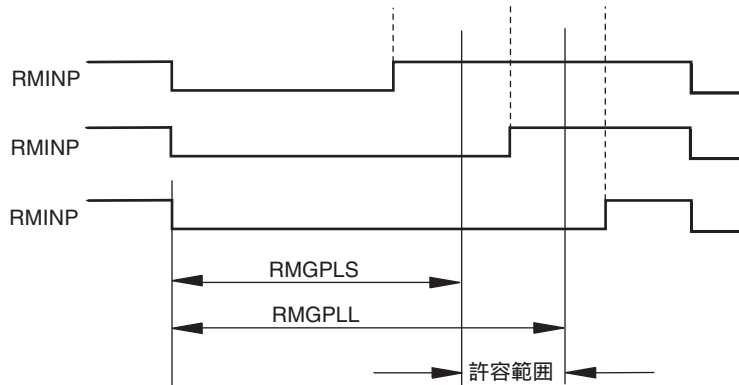


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

18.5.7 タイミング説明

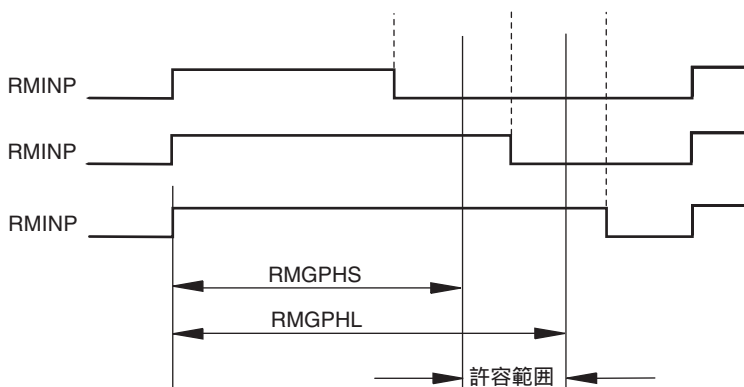
RMINPの波形位置によって、次のような対応動作になります。

(1) ガイド・パルス・ロウ・レベル幅判断 (B方式受信モードのみ)



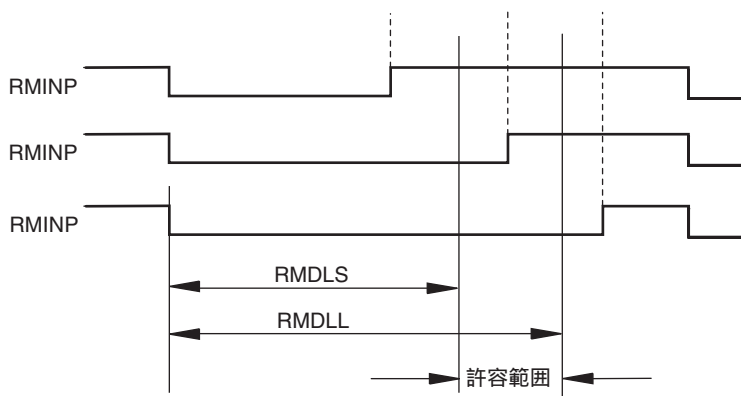
条件	判定	その後の動作
カウンタ < RMGPLS	NG (短い)	ガイド・パルスの検出を継続する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。
RMGPLS カウンタ < RMGPLL	OK (範囲内)	ガイド・パルス・ハイ・レベル幅測定開始
RMGPLL カウンタ	NG (長い)	ガイド・パルスの検出を継続する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。

(2) ガイド・パルス・ハイ・レベル幅判断 (A方式, B方式受信モードのみ)



条件	判定	その後の動作
カウンタ < RMGPHS	NG (短い)	(A方式受信モードの場合) ガイド・パルスの検出を継続する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を継続し、ガイド・パルス・ロウ・レベル幅判断から再開する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。
RMGPHS カウンタ < RMGPHL	OK (範囲内)	INTGP発生 データ測定開始
RMGPHL カウンタ	NG (長い)	(A方式受信モードの場合) ガイド・パルスの検出を継続する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を継続し、ガイド・パルス・ロウ・レベル幅判断から再開する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。

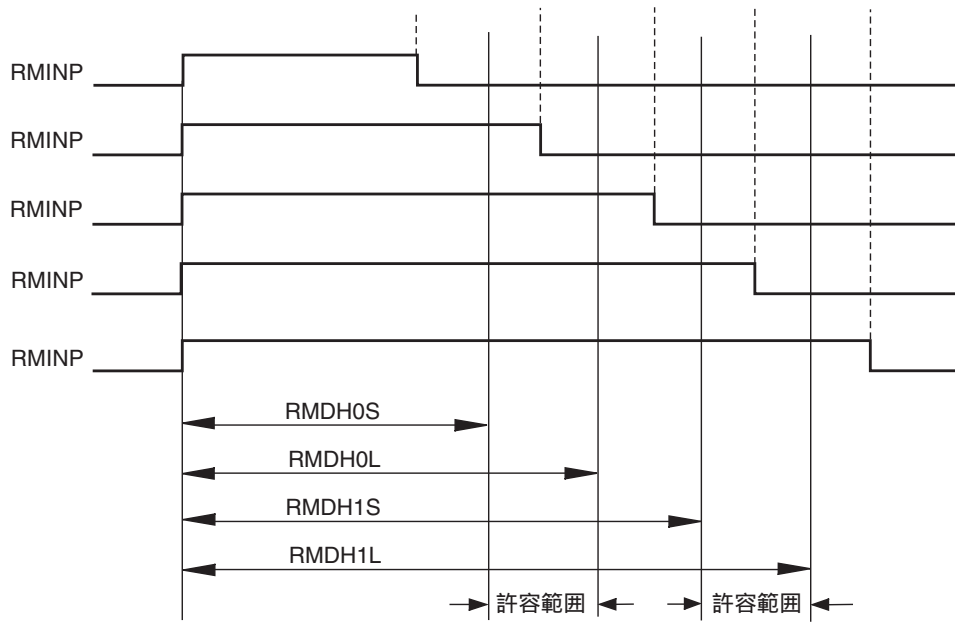
(3) データ・ロウ・レベル幅判断



条件	判定	その後の動作
カウンタ < RMDLS	NG (短い)	エラー割り込みINTRERR発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始し、ガイド・パルス・ロウ・レベル幅判断から再開する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データ・ロウ・レベル幅判断から再開する。次の立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDLS カウンタ < RMDLL	OK (範囲内)	データ・ハイ・レベル幅測定開始
RMDLL カウンタ	OK (A方式) / NG (B方式, C方式)	(A方式受信モードの場合) 時点からエンド幅測定開始 (B方式受信モードの場合) 時点でエラー割り込みINTRERR発生。 ガイド・パルスの検出を開始し、ガイド・パルス・ロウ・レベル幅判断から再開する。次の立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) 時点でエラー割り込みINTRERR発生 ^注 。 データの検出を継続する。次の立ち下がりエッジからデータ・ロウ・レベル幅測定開始。

注 C方式受信モードでは、1回目のINTDFULL割り込み発生までは、INTRERRは発生しません。
ただし、RMSR, RMSCRはクリアされます。

(4) データ・ハイ・レベル幅判断

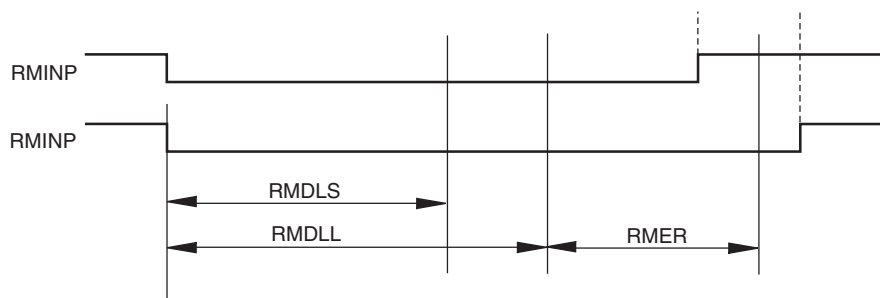


条件	判定	その後の動作
カウンタ < RMDH0S	NG (短い)	エラー割り込みINTRERR発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データのロウ・レベル幅判断から再開する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH0S カウンタ < RMDH0L	OK (範囲内)	データ0受信 データの検出を継続する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH0L カウンタ < RMDH1S	NG (範囲外)	エラー割り込みINTRERR発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データ・ロウ・レベル幅判断から再開する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH1S カウンタ < RMDH1L	OK (範囲内)	データ1受信 データの検出を継続する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMDH1L カウンタ	NG (A方式) / OK (B方式, C方式)	(A方式受信モードの場合) 時点でエラー割り込みINTRERR発生。 ガイド・パルスの検出を開始する。次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式, C方式受信モードの場合) 時点からエンド幅測定開始

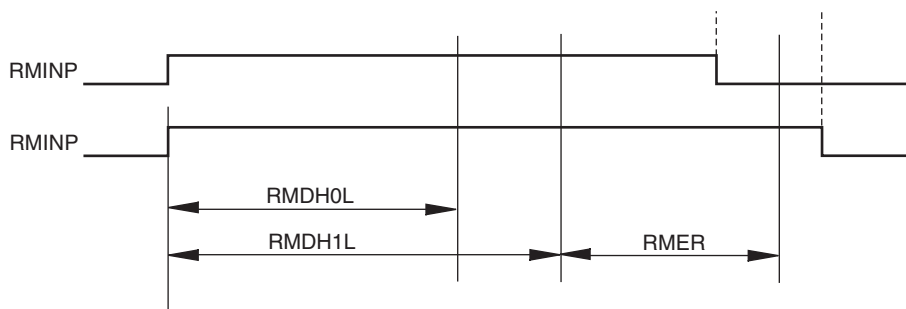
注 C方式受信モードでは、1回目のINTDFULL割り込み発生までは、INTRERRは発生しません。
ただし、RMSR, RMSCRはクリアされます。

(5) エンド幅判断

(a) A方式受信モード



(b) B方式, C方式受信モード



条件	判定	その後の動作
カウンタ < RMER	NG (短い)	エラー割り込みINTRERR発生 ^注 (A方式受信モードの場合) ガイド・パルスの検出を開始する。この立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始。 (B方式受信モードの場合) ガイド・パルスの検出を開始し、ガイド・パルス・ロウ・レベル幅判断から再開する。この立ち下がりエッジからガイド・パルス・ロウ・レベル幅測定開始。 (C方式受信モードの場合) データの検出を継続し、データ・ロウ・レベル幅判断から再開する。この立ち下がりエッジからデータ・ロウ・レベル幅測定開始。
RMER カウンタ	OK (長い)	時点でINTREND発生 ^注 RMSRをリードするまで受信停止

注 C方式受信モードでは、1回目のINTDFULL割り込み発生までは、INTRERR, INTRENDは発生しません。ただし、RMSR, RMSCRはクリアされます。

18.5.8 コンペア・レジスタ設定

このリモコン受信回路には、以下の11種類のコンペア・レジスタがあります。

- ・リモコン受信GPLSコンペア・レジスタ (RMGPLS)
- ・リモコン受信GPLLコンペア・レジスタ (RMGPLL)
- ・リモコン受信GPHSコンペア・レジスタ (RMGPHS)
- ・リモコン受信GPHLコンペア・レジスタ (RMGPHL)
- ・リモコン受信DLSコンペア・レジスタ (RMDLS)
- ・リモコン受信DLLコンペア・レジスタ (RMDLL)
- ・リモコン受信DH0Sコンペア・レジスタ (RMDH0S)
- ・リモコン受信DH0Lコンペア・レジスタ (RMDH0L)
- ・リモコン受信DH1Sコンペア・レジスタ (RMDH1S)
- ・リモコン受信DH1Lコンペア・レジスタ (RMDH1L)
- ・リモコン受信エンド幅選択レジスタ (RMER)

各コンペア・レジスタの値は、次の(1)～(3)の計算式により設定してください。

許容誤差を考慮しておくことで、ノイズなどの影響でRMINP波形が図18-28のRMINP_1やRMINP_2のようになった場合でも、正常受信動作が可能になります。

注意1. 各コンペア・レジスタは、必ずリモコン受信禁止 (RMEN = 0) 期間中に設定してください。

2. 設定値は必ず以下の4つの条件をすべて満たすようにしてください。

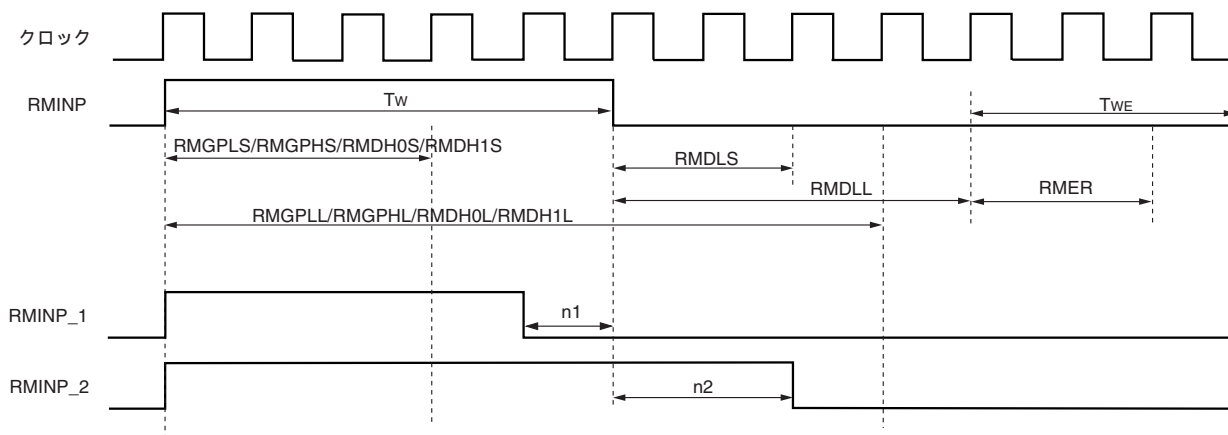
$$\text{RMGPLS} < \text{RMGPLL}$$

$$\text{RMGPHS} < \text{RMGPHL}$$

$$\text{RMDLS} < \text{RMDLL}$$

$$\text{RMDH0S} < \text{RMDH0L} \quad \text{RMDH1S} < \text{RMDH1L}$$

図18 - 28 設定例 (n1 = 1, n2 = 2のとき)



(1) RMGPHS, RMGPHS, RMDLS, RMDH0S, RMDH1Sの計算式

$$\left(\frac{T_w \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 2 - n1$$

(2) RMGPLL, RMGPHL, RMDLL, RMDH0L, RMDH1Lの計算式

$$\left(\frac{T_w \times (1 + a/100)}{1/f_{REMPRS}} \right)_{INT} + 1 + n2$$

(3) RMERの計算式

$$\left(\frac{T_{WE} \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 1$$

T_w : RMINP波形の幅

$1/f_{REMPRS}$: RMPRSによる分周制御後の内部動作クロック周期の幅

a : 許容誤差 (%)

[]_{INT} : この中の計算式により発生する値は小数点以下切り捨て

$n1, n2$: ノイズによる波形変化の変数^{注1}

T_{WE} : RMINPでのエンド幅^{注2}

注1. $n1$ と $n2$ の値は、ユーザのシステムによって自由に設定してください。

2. このエンド幅は、RMDLL後からカウントしたものです。

実際に最終データ受信後に必要となるロウ・レベル幅は、

$(RMDLL + 1 + RMER + 1) \times (RMPRSによる分周制御後の内部動作クロック周期の幅)$

となります。

18.5.9 エラー割り込み発生タイミング

(1) A方式受信モードの場合

ガイド・パルス正常検出後、以下のいずれかの条件で、INTRERR信号を発生します。

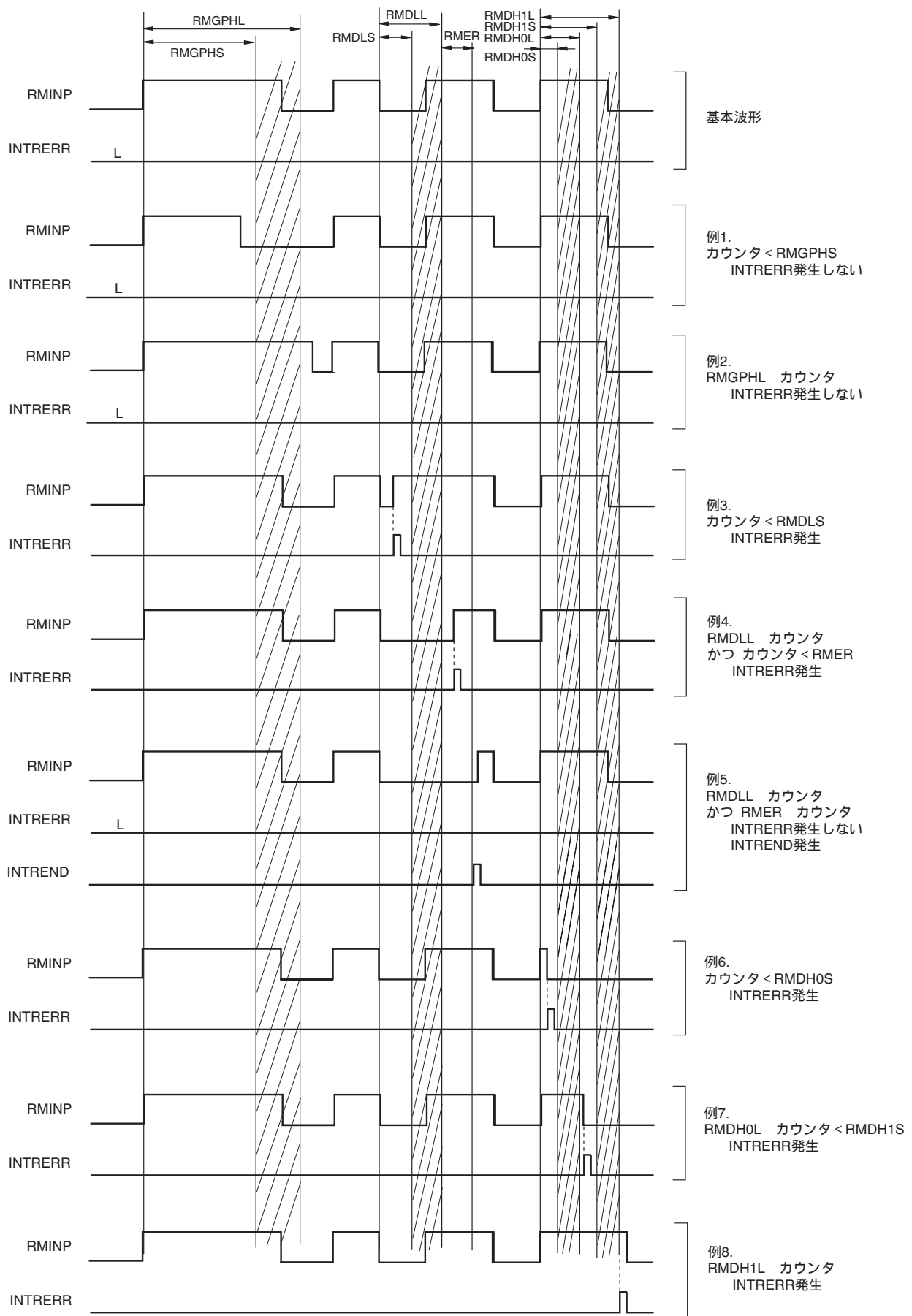
- ・ RMINP立ち上がり時点で、カウンタ < RMDLS のとき
- ・ RMINP立ち上がり時点で、RMDLL カウンタ かつ RMDLL後のカウンタ < RMER のとき
- ・ RMINP立ち下がり時点で、カウンタ < RMDH0S のとき
- ・ RMINP立ち下がり時点で、RMDH0L カウンタ < RMDH1S のとき
- ・ RMINPハイ・レベル期間に、RMDH1L カウンタ になったとき

ガイド・パルスが検出されるまでは、INTRERR信号は発生しません。

また、INTRERR信号発生後は、次のガイド・パルスを検出するまでINTRERR信号は発生しません。

図18 - 29にINTRERR信号の発生タイミングを示します。

図18 - 29 INTRERR信号の発生タイミング (A方式受信モード)



(2) B方式受信モードの場合

ガイド・パルス正常検出後，以下のいずれかの条件で，INTRERR信号を発生します。

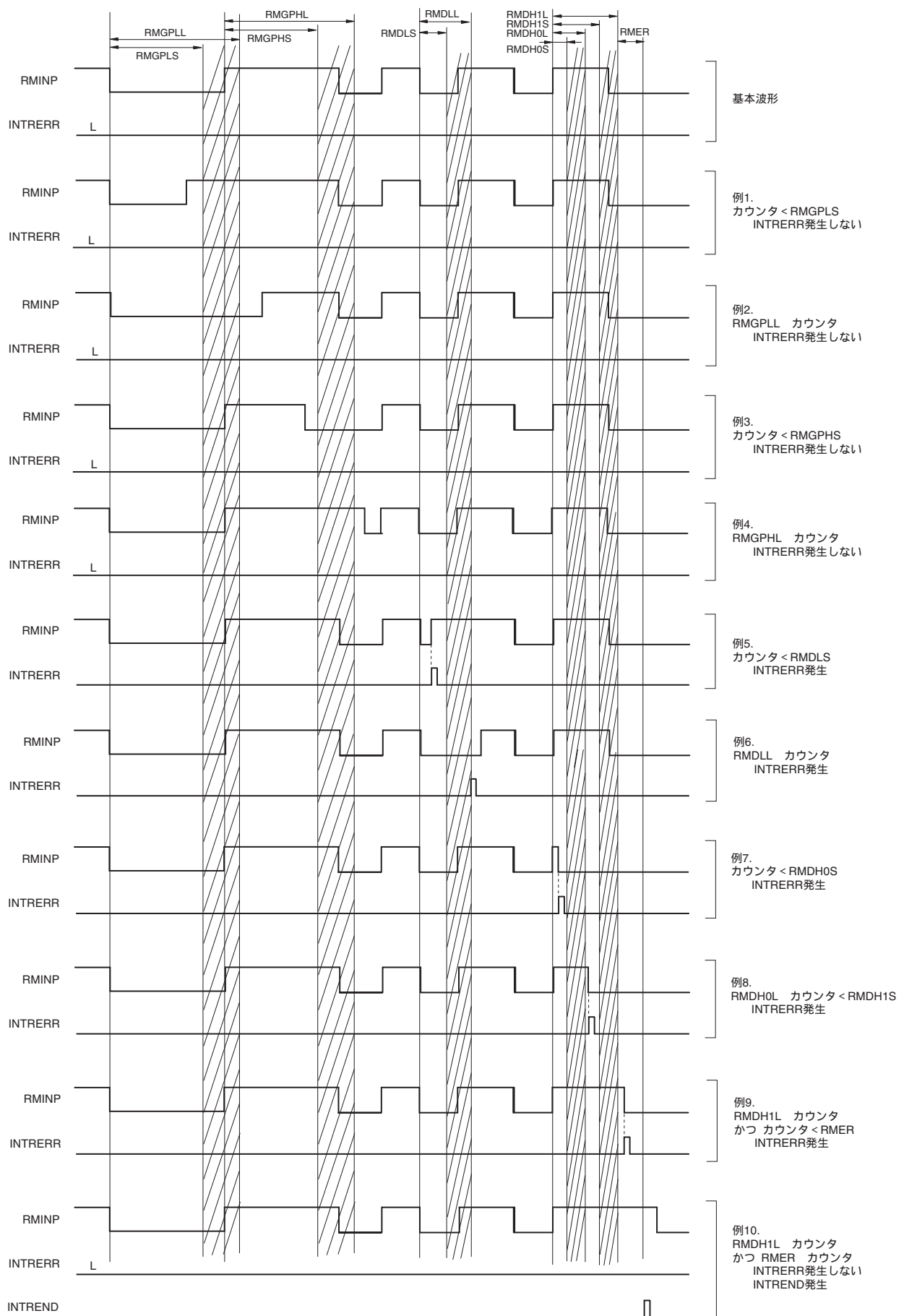
- ・ RMINP立ち上がり時点で，カウンタ < RMDLS のとき
- ・ RMINPロウ・レベル期間に，RMDLL カウンタ になったとき
- ・ RMINP立ち下がり時点で，カウンタ < RMDH0S のとき
- ・ RMINP立ち下がり時点で，RMDH0L カウンタ < RMDH1S のとき
- ・ RMINP立ち下がり時点で，RMDH1L カウンタ かつ RMDH1L後のカウンタ < RMER のとき

ガイド・パルスが検出されるまでは，INTRERR信号は発生しません。

また，INTRERR信号発生後は，次のガイド・パルスを検出するまでINTRERR信号は発生しません。

図18 - 30にINTRERR信号の発生タイミングを示します。

図18 - 30 INTRERR信号の発生タイミング (B方式受信モード)



(3) C方式受信モードの場合

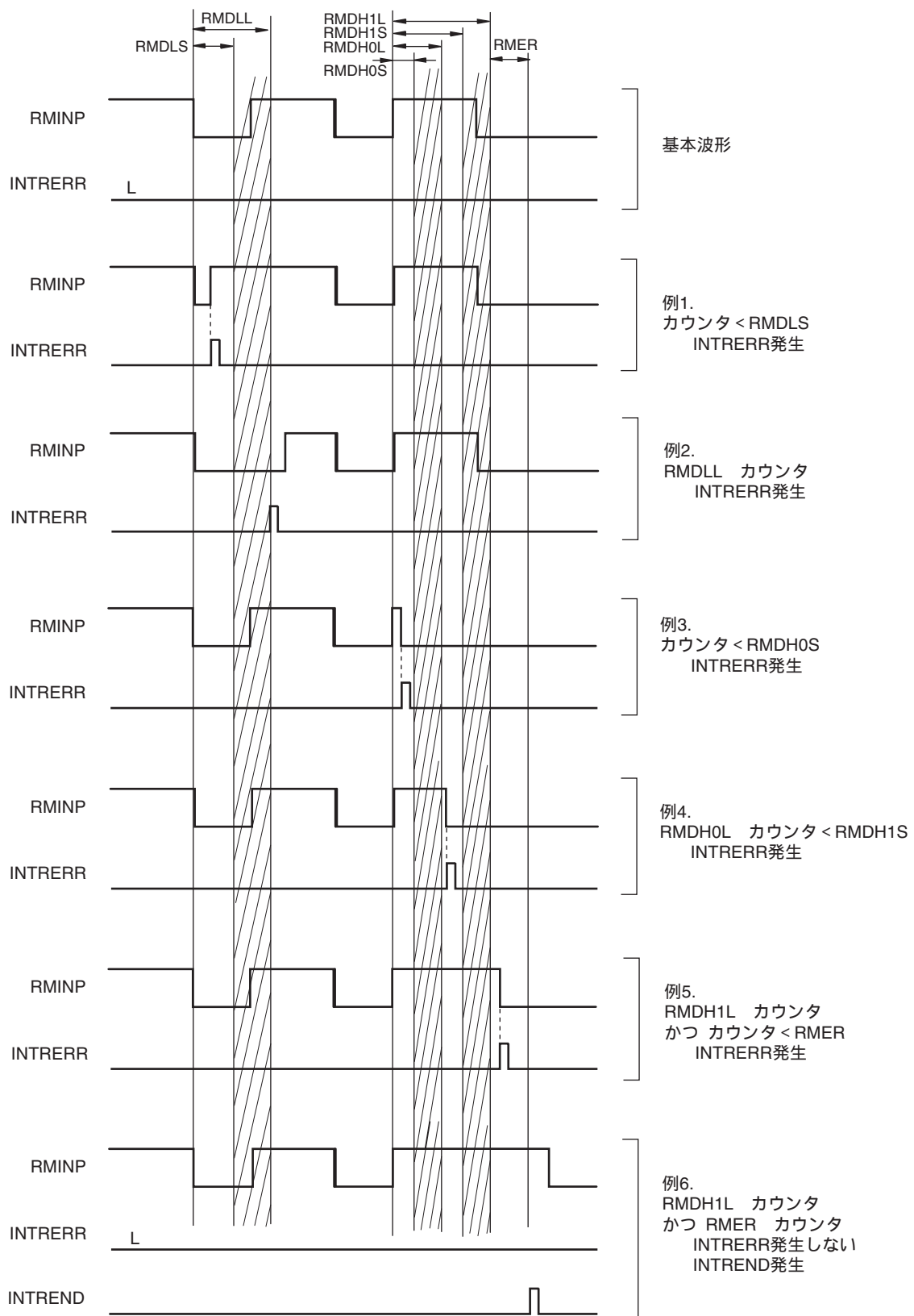
以下のいずれかの条件で、INTRERR信号を発生します。

- ・ RMINP立ち上がり時点で、カウンタ < RMDLS のとき
- ・ RMINPロウ・レベル期間に、RMDLL カウンタ になったとき
- ・ RMINP立ち下がり時点で、カウンタ < RMDH0S のとき
- ・ RMINP立ち下がり時点で、RMDH0L カウンタ < RMDH1S のとき
- ・ RMINP立ち下がり時点で、RMDH1L カウンタ かつ RMDH1L後のカウンタ < RMER のとき

ただし、1回目のINTDFULL割り込み発生までは、INTRERR信号を発生しません。

図18 - 31にINTRERR信号の発生タイミングを示します。

図18 - 31 INTRERR信号の発生タイミング (C方式受信モード)



第19章 乗除算器

注意 乗除算器を使用すると、TM02のINTTM012は使用できません。

19.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット × 16ビット = 32ビット (乗算)
- ・ 32ビット ÷ 16ビット = 32ビット 剰余16ビット (除算)

19.2 乗除算器の構成

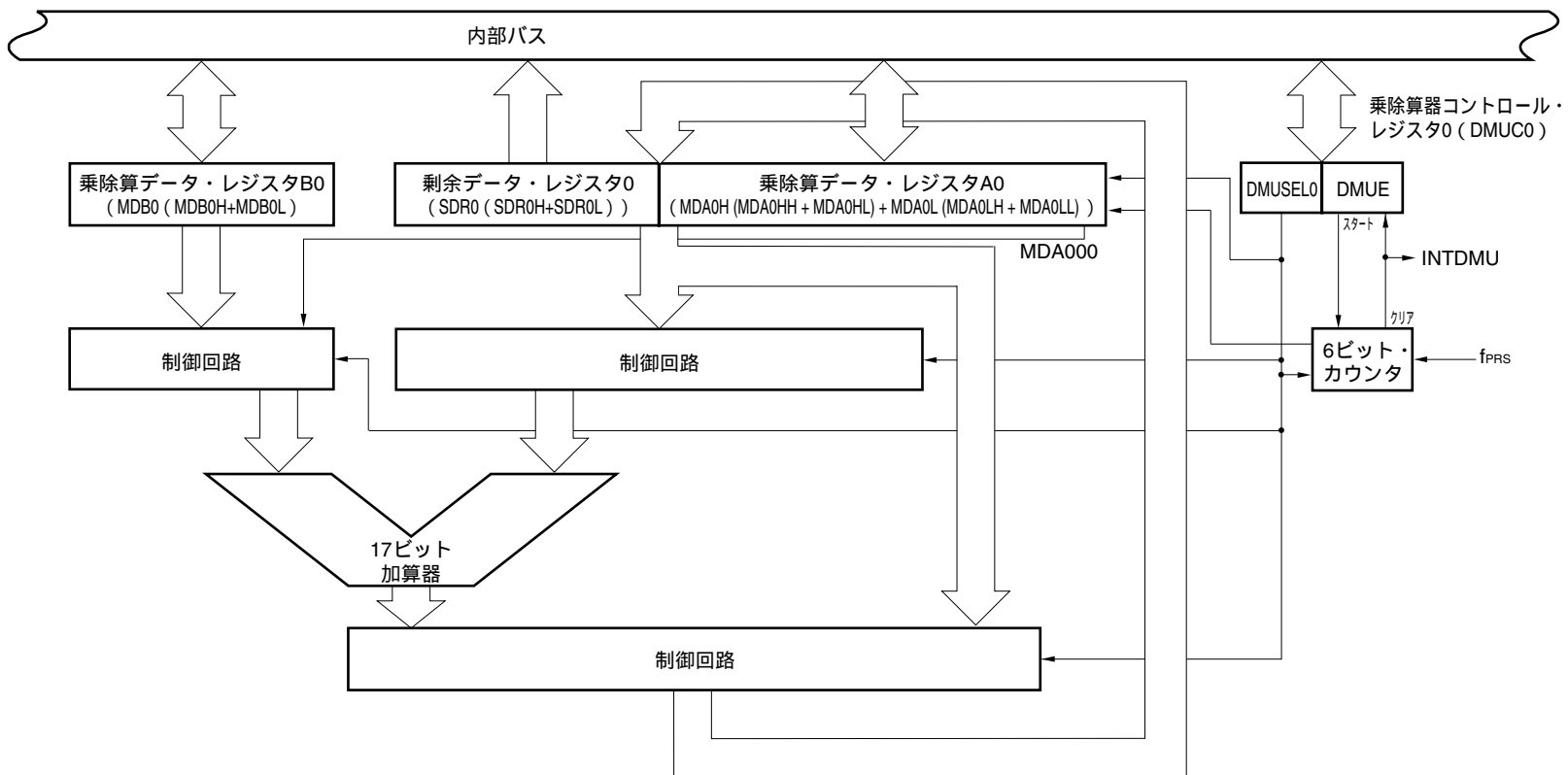
乗除算器は、次のハードウェアで構成されています。

表19 - 1 乗除算器の構成

項 目	構 成
レジスタ	剰余データ・レジスタ0 (SDR0) 乗除算データ・レジスタA0 (MDA0H, MDA0L) 乗除算データ・レジスタB0 (MDB0)
制御レジスタ	乗除算器コントロール・レジスタ0 (DMUC0)

乗除算器のブロック図を図19 - 1に示します。

図19-1 乗除算器のブロック図



(1) 剰余データ・レジスタ0 (SDR0)

SDR0は、剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”が、除算モード時は演算結果の“剰余”が格納されます。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

リセット信号の発生により、0000Hになります。

図19 - 2 剰余データ・レジスタ0 (SDR0) のフォーマット

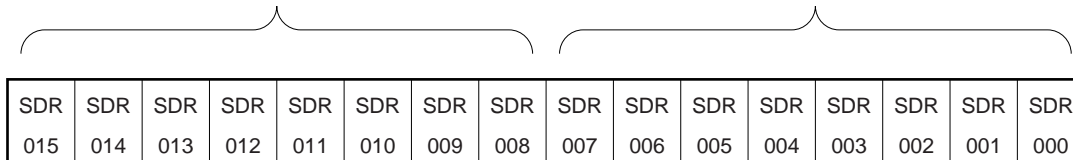
アドレス : FF60H, FF61H リセット時 : 0000H R

略号

FF61H (SDR0H)

FF60H (SDR0L)

SDR0



注意1. 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）に SDR0の値を読み出した場合、その値は保証されません。

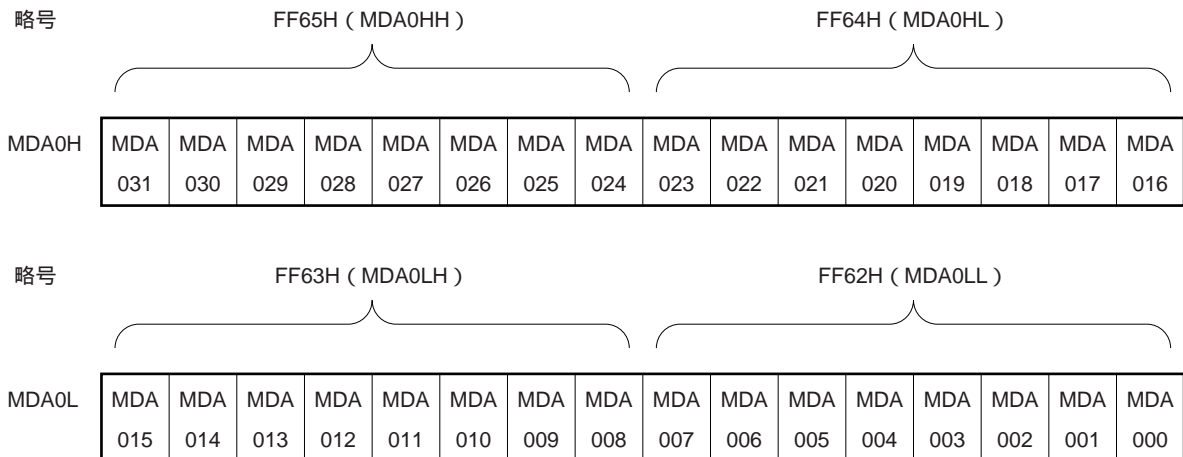
2. 演算開始時（DMUEを1に設定するとき）、SDR0はリセットされます。

(2) 乗除算データ・レジスタA0 (MDA0H, MDA0L)

MDA0は、乗算モード時は16ビットの乗数Aを、除算モード時は32ビットの被除数を設定し、32ビットの演算結果を格納するレジスタです（上位16ビット：MDA0H、下位16ビット：MDA0L）。

図19 - 3 乗除算データ・レジスタA0 (MDA0H, MDA0L) のフォーマット

アドレス：FF62H, FF63H, FF64H, FF65H リセット時：0000H, 0000H R/W



- 注意1. 乗算モードでの演算開始時（乗除算器コントロール・レジスタ0 (DMUC0) を81Hに設定するとき）、MDA0Hはクリア (0) されます。
2. 演算処理中（乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1のとき）に、MDA0の値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定となります。
3. 演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合、その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表19 - 2 MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果 (商)
1	乗算モード	上位16ビット: "0", 下位16ビット: 乗数A	乗算結果 (積)

備考 DMUSEL0 : 乗除算器コントロール・レジスタ0 (DMUC0) のビット0

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数A > < 乗数B > < 積 >

MDA0 (ビット15-0) × MDB0 (ビット15-0) = MDA0 (ビット31-0)

・除算時のレジスタ構成

< 被除数 > < 除数 > < 商 > < 剰余 >

MDA0 (ビット31-0) ÷ MDB0 (ビット15-0) = MDA0 (ビット31-0) ... SDR0 (ビット15-0)

MDA0は乗除算器コントロール・レジスタ0 (DMUC0) のビット7 (DMUE) が1に設定されている間、クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

(3) 乗除算データ・レジスタB0 (MDB0)

MDB0は、乗算モード時は16ビットの乗数Bを、除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

リセット信号の発生により、0000Hになります。

図19 - 4 乗除算データ・レジスタB0 (MDB0) のフォーマット

アドレス: FF66H, FF67H リセット時: 0000H R/W

略号

FF67H (MDB0H)

FF66H (MDB0L)

MDB0	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB	MDB
	015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000

注意1. 演算処理中(乗除算器コントロール・レジスタ0(DMUC0)のビット7(DMUE)が1のとき)に、MDB0の値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定となります。

2. 除算モード時は、MDB0に0000Hを設定しないでください。設定した場合、演算結果が不定値となってMDA0, SDR0に格納します。

19.3 乗除算器を制御するレジスタ

乗除算器は、乗除算器コントロール・レジスタ0 (DMUC0) で制御します。

(1) 乗除算器コントロール・レジスタ0 (DMUC0)

DMUC0は、乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 乗除算器コントロール・レジスタ0 (DMUC0) のフォーマット

アドレス：FF68H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0

DMUE ^注	演算動作の開始 / 停止
0	演算動作停止
1	演算動作開始

DMUSEL0	演算モード (乗算 / 除算) の選択
0	除算モード
1	乗算モード

注 DMUEをセット (1) すると、演算動作を開始します。演算終了後は自動的にDMUEがクリア (0) されます。

- 注意1. 演算処理中 (DMUEが1のとき) にDMUEを0に設定した場合には、演算結果は保証されません。ただしクリア命令中に演算が終了した場合には、割り込みフラグがセットされ、演算結果は保証されます。
2. 演算処理中 (DMUEが1のとき) に、DMUSEL0を書き換えないでください。書き換えた場合、演算結果が不定値となって乗除算データ・レジスタA0 (MDA0)、剰余データ・レジスタ0 (SDR0) に格納されます。
3. 演算処理中 (DMUEが1のとき) にDMUEを0に設定すると、演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0 (MDA0)、乗除算データ・レジスタB0 (MDB0)、乗除算器コントロール・レジスタ0 (DMUC0) を設定し、演算動作を開始 (DMUE = 1) してください。

19.4 乗除算器の動作

19.4.1 乗算動作

・初期設定

1. 乗除算データ・レジスタA0L (MDA0L) と乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算器コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) とビット7 (DMUE) にそれぞれ1を設定してください。演算動作が開始します。

・演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の16クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタに格納されるデータは演算途中データであるため, リード値は保証しません)。

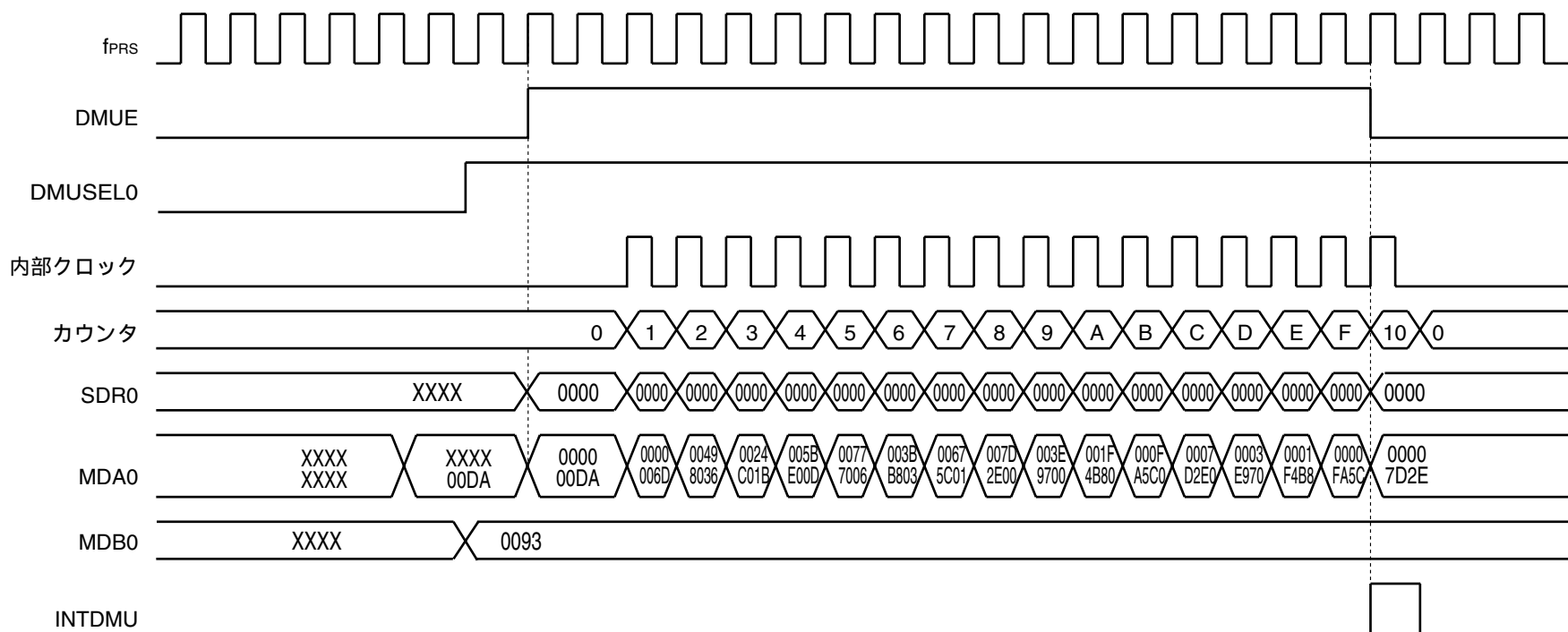
・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

・次回演算

7. 次に乗算を行う場合は, 19.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 19.4.2 **除算動作**の初期設定から行ってください。

図19 - 6 乗算動作のタイミング図 (00DAH × 0093H)



19.4.2 除算動作

・初期設定

1. 乗除算データ・レジスタA0 (MDA0L, MDA0H) , 乗除算データ・レジスタB0 (MDB0) に演算データを設定してください。
2. 乗除算コントロール・レジスタ0 (DMUC0) のビット0 (DMUSEL0) に0, ビット7 (DMUE) に1を設定してください。演算動作が開始します。

・演算処理中

3. 演算開始から周辺ハードウェア・クロック (f_{PRS}) の32クロックで演算は終了します (演算処理中にMDA0Lレジスタ, MDA0Hレジスタ, 剰余データ・レジスタ0 (SDR0) に格納されるデータは演算途中データであるため, リード値は保証しません)。

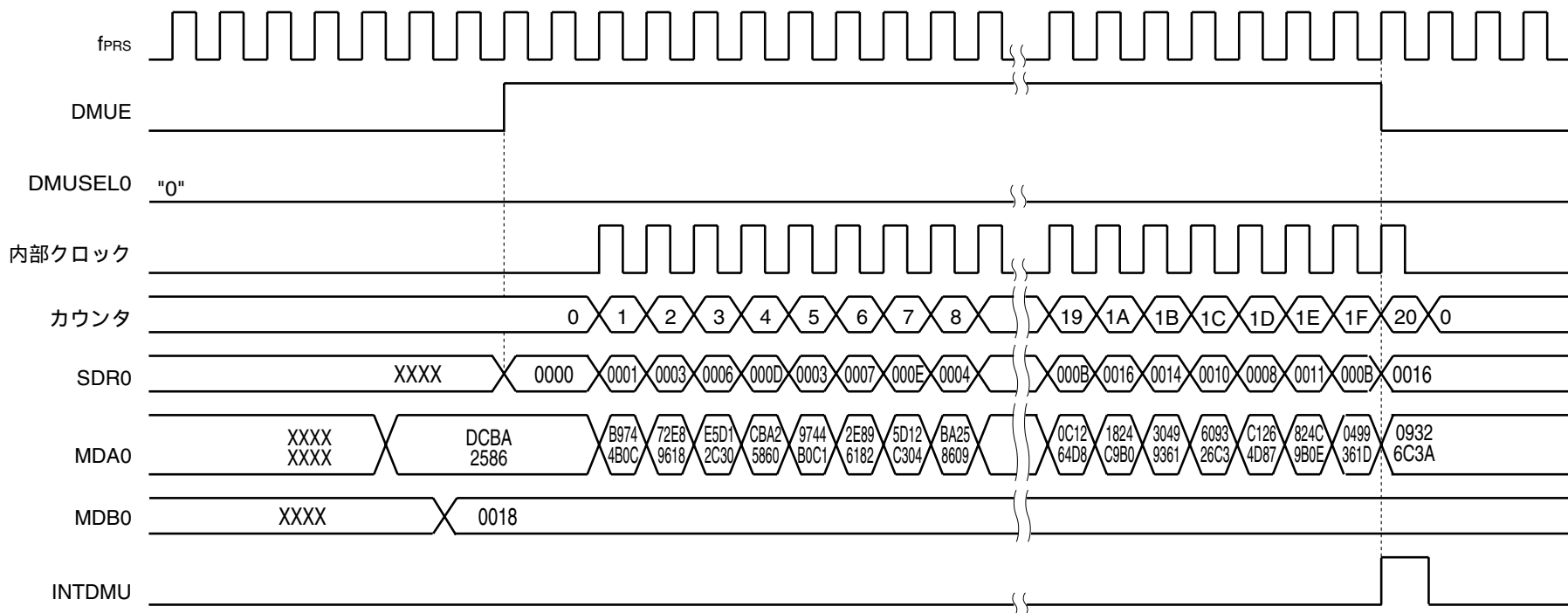
・演算終了

4. MDA0Lレジスタ, MDA0Hレジスタ, SDR0レジスタに, 演算結果データが格納されます。
5. DMUE がクリア (0) されます (演算終了)。
6. 演算終了後, 割り込み要求信号 (INTDMU) が発生されます。

・次回演算

7. 次に乗算を行う場合は, 19.4.1 **乗算動作**の初期設定から行ってください。
8. 次に除算を行う場合は, 19.4.2 **除算動作**の初期設定から行ってください。

図19 - 7 除算動作のタイミング図 (DCBA2586H ÷ 0018H)



第20章 割り込み機能

20.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表20 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

外部 : 8, 内部 : 27

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

20.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて合計32要因あります。また、それ以外にリセット要因が最大で合計4要因あります (表20 - 1参照)。

表20 - 1 割り込み要因一覧 (1/2)

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	
		名称	トリガ				
ノンマスクブル	-	INTCK2	OCD実行前アドレス・ブレーク発生	内部	0002H	(A)	
		INTNMI	上記以外のOCDブレーク発生				
マスクブル	0	INTLVI	低電圧検出 ^{注3}	内部	0004H	(B)	
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)	
		2			INTP1		0008H
		3			INTP2		000AH
		4			INTP3		000CH
	5	INTP4/ INTDA	端子入力エッジ検出 / CEC1バイト通信完了	外部 / 内部	000EH	(C) / (B)	
	6	INTP5/ INTCE/ INTERR	端子入力エッジ検出 / CEC通信完了 / CEC通信エラー発生	外部 / 内部	0010H	(C) / (B)	
	7	INTP6/ INTRIN	端子入力エッジ検出 / リモコン用受信エッジ検出	外部 / 内部	0012H	(C) / (B)	
	8	INTSR60/ INTSRE60	UART60の受信完了 / UART60の受信エラー発生	内部	0014H	(B)	
					9		INTST60
	10	INTCSI10/ INTST0	CSI10の通信完了 / UART0の送信完了		0018H		
	11	INTTMH1	TMH1とCMP01の一致 (コンペア・レジスタ指定時)		001AH		
	12	INTTMH0	TMH0とCMP00の一致 (コンペア・レジスタ指定時)		001CH		
	13	INTTM50	TM50とCR50の一致 (コンペア・レジスタ指定時)		001EH		
	14	INTTM000	TM00とCR000の一致 (コンペア・レジスタ指定時) , TI010端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		0020H		
	15	INTTM010	TM00とCR010の一致 (コンペア・レジスタ指定時) , TI000端子の有効エッジ検出 (キャプチャ・レジスタ指定時)		0022H		
	16	INTAD	A/D変換終了		0024H		
	17	INTSR0/ INTSRE0	UART0受信完了または受信エラー発生 / UART0の受信エラー発生		0026H		
0028H							
18	INTRTC/ INTRTCI	リアルタイム・カウンタの定周期信号 / アラーム一致 検出 / リアルタイム・カウンタのインターバル信号検出					

注1. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、28が最低順位です。

2. 基本構成タイプの(A)-(E)は、それぞれ図20-1の(A)-(E)に対応しています。

3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=0選択時。

表20 - 1 割り込み要因一覧 (2/2)

割り込みの種類	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}
マスカブル	19	INTTM51 ^{注3}	TM51とCR51の一致 (コンペア・レジスタ指定時)	内部	002AH	(B)
	20	INTIICA0	IICA00通信完了		002CH	
	21	INTIICA1	IICA01通信完了		002EH	
	22	INTKR/ INTIICA2	キー割り込み検出 / IICA02通信完了	外部 / 内部	0030H	(C) / (B)
	23	INTCSI11	CSI11の転送完了, バッファ空き割り込み	内部	0032H	(B)
	24	INTTM001/ INTSR61 ^{注4} / INTSRE61 ^{注4}	TM01とCR001の一致 (コンペア・レジスタ指定時) , TI011端子の有効エッジ検出 (キャプチャ・レジスタ指定時) ^{注5} / UART61の受信完了 ^{注4} / UART61の受信エラー発生 ^{注4}		0034H	
	25	INTTM011/ INTST61 ^{注4}	TM01とCR011の一致 (コンペア・レジスタ指定時) , TI001端子の有効エッジ検出 (キャプチャ・レジスタ指定時) ^{注5} / UART61の送信完了 ^{注4}		0036H	
	26	INTTM002	TM02とCR002の一致 (コンペア・レジスタ指定時) , TI012端子の有効エッジ検出 (キャプチャ・レジスタ指定時) ^{注5}		0038H	
	27	INTTM012/ INTDMU	TM02とCR012の一致 (コンペア・レジスタ指定時) , TI002端子の有効エッジ検出 (キャプチャ・レジスタ指定時) ^{注5} / 乗除算演算終了		003AH	
28	INTRERR/ INTGP/ INTREND/ INTDFULL	リモコン用受信エラー発生 / リモコン用ガイド・パルス検出 / リモコン用データ受信完了 / リモコン用8ビット・シフト・データのリード要求	003CH			
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(E)
リセット	-	RESET	リセット入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注6}			
		WDT	WDTのオーバフロー			

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、28が最低順位です。

2. 基本構成タイプの(A)-(E)は、それぞれ図20-1の(A)-(E)に対応しています。

3. 8ビット・タイマ/イベント・カウンタ51と8ビット・タイマH1をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図8-13 転送タイミングを参照)。

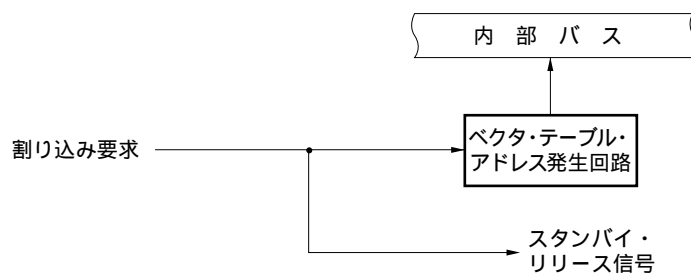
4. 78K0/KE2-Cのみ

5. 78K0/KC2-CのTM01とTM02では、コンペア・レジスタのみ指定できます。

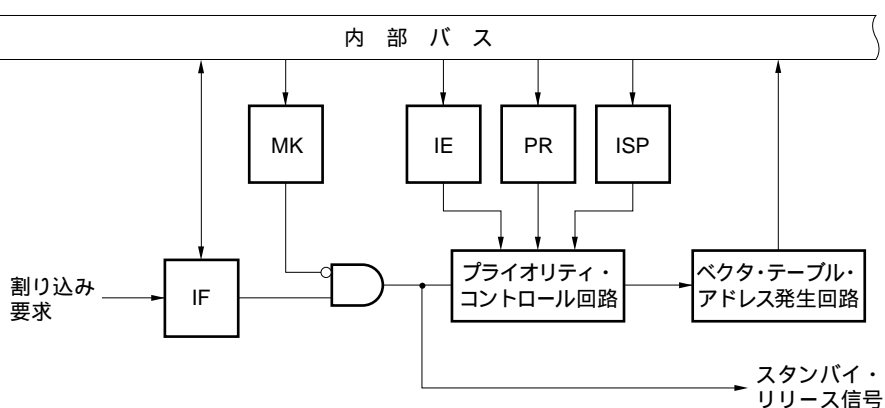
6. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

図20 - 1 割り込み機能の基本構成 (1/2)

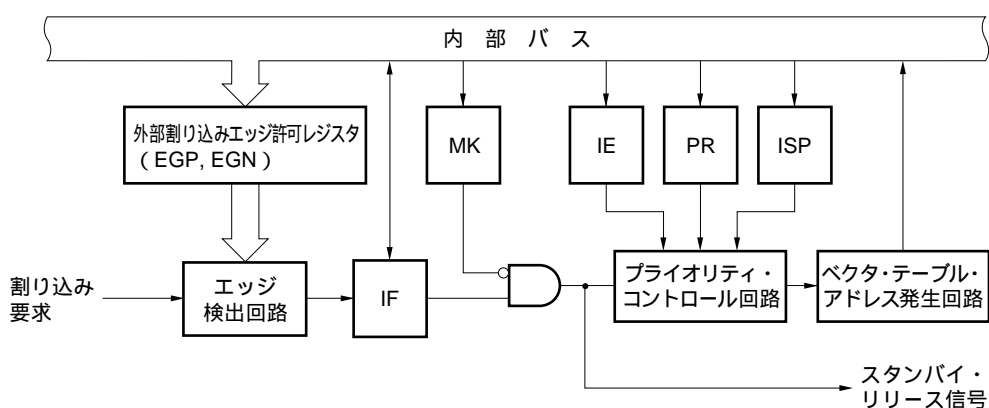
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



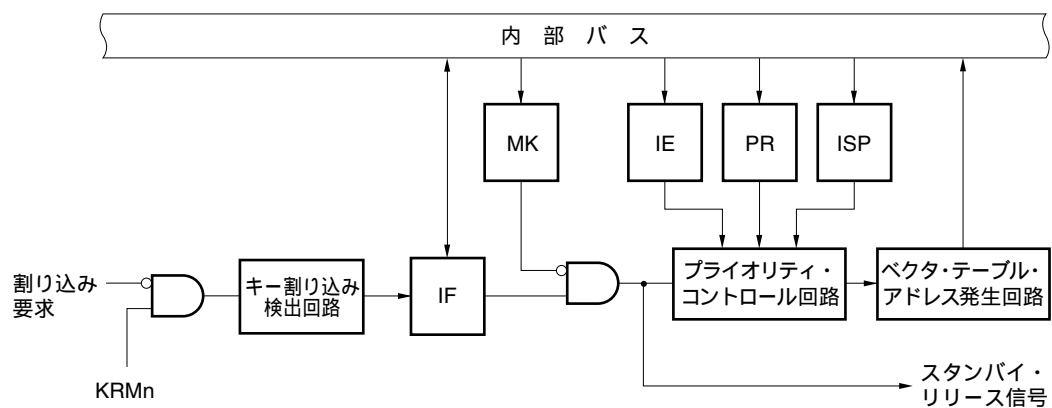
(C) 外部マスクابل割り込み (INTP0-INTP6)



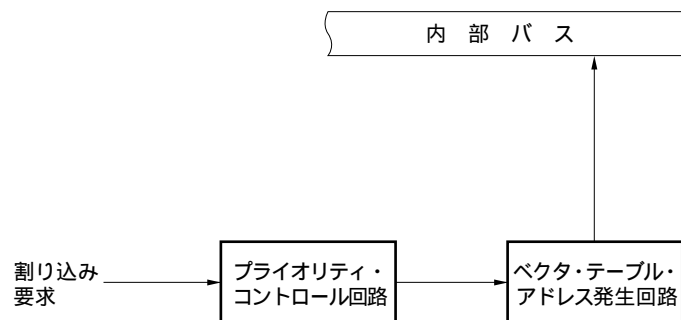
- 備考**
- IF : 割り込み要求フラグ
 - IE : 割り込み許可フラグ
 - ISP : インサースビス・プライオリティ・フラグ
 - MK : 割り込みマスク・フラグ
 - PR : 優先順位指定フラグ

図20 - 1 割り込み機能の基本構成 (2/2)

(D) 外部マスカブル割り込み (INTKR)



(E) ソフトウェア割り込み



- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサース・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ
 KRM : キー・リターン・モード・レジスタ
2. n = 0-3 : 78K0/KC2-C
 n = 0-7 : 78K0/KE2-C

20.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表20 - 2に示します。

表20 - 2 割り込み要求ソースに対応する各種フラグ (1/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTLVI	LVIIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4 ^{注1}	PIF4 ^{注1}		PMK4 ^{注1}		PPR4 ^{注1}	
INTDA ^{注1}	DAIF ^{注1}		DAMK ^{注1}		DAPR ^{注1}	
INTP5 ^{注2}	PIF5 ^{注2}		PMK5 ^{注2}		PPR5 ^{注2}	
INTCE ^{注2}	CEIF ^{注2}		CEMK ^{注2}		CEPR ^{注2}	
INTERR ^{注2}	ERRIF ^{注2}		ERRMK ^{注2}		ERRPR ^{注2}	
INTP6 ^{注3}	PIF6 ^{注3}		PMK6 ^{注3}		PPR6 ^{注3}	
INTRIN ^{注3}	RINIF ^{注3}		RINMK ^{注3}		RINPR ^{注3}	

- 注1. 割り込み要因INTP4とINTDAのうち、どちらかが発生したら、IF0Lのビット5はセット(1)されます。また、MK0L, PR0Lのビット5は、両方の割り込み要因に対応しています。
2. 割り込み要因INTP5, INTCE, INTERRのうち、いずれかが発生したら、IF0Lのビット6はセット(1)されます。また、MK0L, PR0Lのビット6は、3つすべての割り込み要因に対応しています。
3. 割り込み要因INTP6とINTRINのうち、どちらかが発生したら、IF0Lのビット7はセット(1)されます。また、MK0L, PR0Lのビット7は、両方の割り込み要因に対応しています。

表20 - 2 割り込み要求ソースに対応する各種フラグ (2/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTSR60 ^{注1}	SRIF60 ^{注1}	IF0H	SRMK60 ^{注1}	MK0H	SRPR60 ^{注1}	PROH
INTSRE60 ^{注1}	SREIF60 ^{注1}		SREMK60 ^{注1}		SREPR60 ^{注1}	
INTST60	STIF60		STMK60		STPR60	
INTCSI10 ^{注2}	CSIIF10 ^{注2}		CSIMK10 ^{注2}		CSIPR10 ^{注2}	
INTST0 ^{注2}	STIF0 ^{注2}		STMK0 ^{注2}		STPR0 ^{注2}	
INTTMH1	TMIFH1		TMMKH1		TMPRH1	
INTTMH0	TMIFH0		TMMKH0		TMPRH0	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
INTSR0 ^{注3}	SRIF0 ^{注3}		SRMK0 ^{注3}		SRPR0 ^{注3}	
INTSRE0 ^{注3}	SREIF0 ^{注3}		SREMK0 ^{注3}		SREPR0 ^{注3}	
INTRTC ^{注4}	RTCIF ^{注4}		RTCMK ^{注4}		RT CPR ^{注4}	
INTRTCI ^{注4}	RTCIF ^{注4}		RTCIMK ^{注4}		RTCIPR ^{注4}	
INTTM51 ^{注5}	TMIF51		TMMK51		TMPR51	
INTIICA0	IICAIF0		IICAMK0		IICAPR0	
INTIICA1	IICAIF1		IICAMK1		IICAPR1	
INTKR ^{注6}	KRIF ^{注6}		KRMK ^{注6}		KRPR ^{注6}	
INTIICA2 ^{注6}	IICAIF2 ^{注6}		IICAMK2 ^{注6}		IICAPR2 ^{注6}	
INTCSI11	CSIIF11	CSIMK11	CSIPR11			

- 注1. 割り込み要因INTSR60とINTSRE60のうち、どちらかが発生したら、IF0Hのビット0はセット(1)されます。また、MK0H, PROHのビット0は、両方の割り込み要因に対応しています。
2. 割り込み要因INTCSI10とINTST0のうち、どちらかが発生したら、IF0Hのビット2はセット(1)されます。また、MK0H, PROHのビット2は、両方の割り込み要因に対応しています。
3. 割り込み要因INTSR0とINTSRE0のうち、どちらかが発生したら、IF1Lのビット1はセット(1)されます。また、MK1L, PR1Lのビット1は、両方の割り込み要因に対応しています。
4. 割り込み要因INTRTCとINTRTCIのうち、どちらかが発生したら、IF1Lのビット2はセット(1)されます。また、MK1L, PR1Lのビット2は、両方の割り込み要因に対応しています。
5. 8ビット・タイマ/イベント・カウンタ51と8ビット・タイマH1をキャリア・ジェネレータ・モードで使用する場合、INTTM51信号の割り込みタイミングで割り込みが発生します(図8 - 15 転送タイミングを参照)。
6. 割り込み要因INTKRとINTIICA2のうち、どちらかが発生したら、IF1Lのビット6はセット(1)されます。また、MK1L, PR1Lのビット6は、両方の割り込み要因に対応しています。

表20 - 2 割り込み要求ソースに対応する各種フラグ (3/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTTM001 ^{注1}	TMIF001 ^{注1}	IF1H	TMMK001 ^{注1}	MK1H	TMPR001 ^{注1}	PR1H
INTSR61 ^{注1,2}	SRIF61 ^{注1,2}		SRMK61 ^{注1,2}		SRPR61 ^{注1,2}	
INTSRE61 ^{注1,2}	SREIF61 ^{注1,2}		SREMK61 ^{注1,2}		SREPR61 ^{注1,2}	
INTTM011 ^{注3}	TMIF011 ^{注3}		TMMK011 ^{注3}		TMPR011 ^{注3}	
INTST61 ^{注2,3}	STIF61 ^{注2,3}		STMK61 ^{注2,3}		STPR61 ^{注2,3}	
INTTM002	TMIF002		TMMK002		TMPR002	
INTTM012 ^{注4}	TMIF012 ^{注4}		TMMK012 ^{注4}		TMPR012 ^{注4}	
INTDMU ^{注4}	DMUIF ^{注4}		DMUMK ^{注4}		DMUPR ^{注4}	
INTRERR ^{注5}	RERRIF ^{注5}		RERRMK ^{注5}		RERRPR ^{注5}	
INTGP ^{注5}	GPIF ^{注5}		GPMK ^{注5}		GPPR ^{注5}	
INTREND ^{注5}	RENDIF ^{注5}		RENDMK ^{注5}		RENDPR ^{注5}	
INTDFULL ^{注5}	DFULLIF ^{注5}		DFULLMK ^{注5}		DFULLPR ^{注5}	

注1. 割り込み要因INTTM001, INTSR61, INTSRE61のうち, いずれかが発生したら, IF1Hのビット0はセット(1)されます。また, MK1H, PR1Hのビット0は, 3つすべての割り込み要因に対応しています。

2. 78K0/KE2-Cのみ

3. 割り込み要因INTTM011とINTST61のうち, どちらかが発生したら, IF1Hのビット1はセット(1)されます。また, MK1H, PR1Hのビット1は, 両方の割り込み要因に対応しています。

4. 割り込み要因INTTM012とINTDMUのうち, どちらかが発生したら, IF1Hのビット3はセット(1)されます。また, MK1H, PR1Hのビット3は, 両方の割り込み要因に対応しています。

5. 割り込み要因INTRERR, INTGP, INTREND, INTDFULLのうちのいずれかが発生したら, IF1Hのビット4はセット(1)されます。また, MK1H, PR1Hのビット4は, 4つすべての割り込み要因に対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF6 RINIF	PIF5 CEIF ERRIF	PIF4 DAIF	PIF3	PIF2	PIF1	PIF0	LVIF

アドレス : FFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10 STIF0	STIF60	SRIF60 SREIF60

アドレス : FFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	CSIF11	KRIF IICAIF2	IICAIF1	IICAIF0	TMIF51	RTCIF RTCIIF	SRIF0 SREIF0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	RERRIF GPIF RENDIF DFULLIF	TMIF012 DMUIF	TMIF002	TMIF011 STIF61 ^注	TMIF001 SRIF61 ^注 SREIF61 ^注

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 78K0/KE2-Cのみ

注意1. IF1Hのビット5-7には必ず0を設定してください。

- タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

注意3 . 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図20 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

アドレス : FFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK
	RINMK	CEMK ERRMK	DAMK					

アドレス : FFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10 STMK0	STMK60	SRMK60 SREMK60

アドレス : FFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	CAIMK11	KRMK	IICAMK1	IICAMK0	TMMK51	RTCMK	SRMK0	ADMK
		IICAMK2				RTCIMK	SREMK0	

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	1	RERRMK	TMMK012	TMMK002	TMMK011	TMMK001
				GPMK	DMUMK		STMK61 ^注	SRMK61 ^注
				RENDMK				SREMK61 ^注
				DFULLMK				

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 78K0/KE2-Cのみ

注意 MK1Hのビット5-7には必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図20 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット

アドレス：FFE8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0L	PPR6 RINPR	PPR5 CEPR ERRPR	PPR4 DAPR	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10 STPR0	STPR60	SRPR60 SREPR60

アドレス：FFEAH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1L	CSIPR11	KRPR IICAPR2	IICAPR1	IICAPR0	TMPR51	RTCPR RTCIPR	SRPR0 SREPR0	ADPR

アドレス：FFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	RERRPR GPPR RENDPR DFULLPR	TMPR012 DMUPR	TMPR002	TMPR011 STPR61 ^注	TMPR001 SRPR61 ^注 SREPR61 ^注

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 78K0/KE2-Cのみ

注意 PR1Hのビット5-7には必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP6の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-6)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表20 - 3に示します。

表20 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120/EXLVI	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31/OCD1A	INTP2
EGP3	EGN3	P32/ROUT/OCD1B	INTP3
EGP4	EGN4	P33/TI51/TO51	INTP4
EGP5	EGN5	P16/TOH1	INTP5
EGP6	EGN6	P140/PCL/RIN	INTP6

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-6

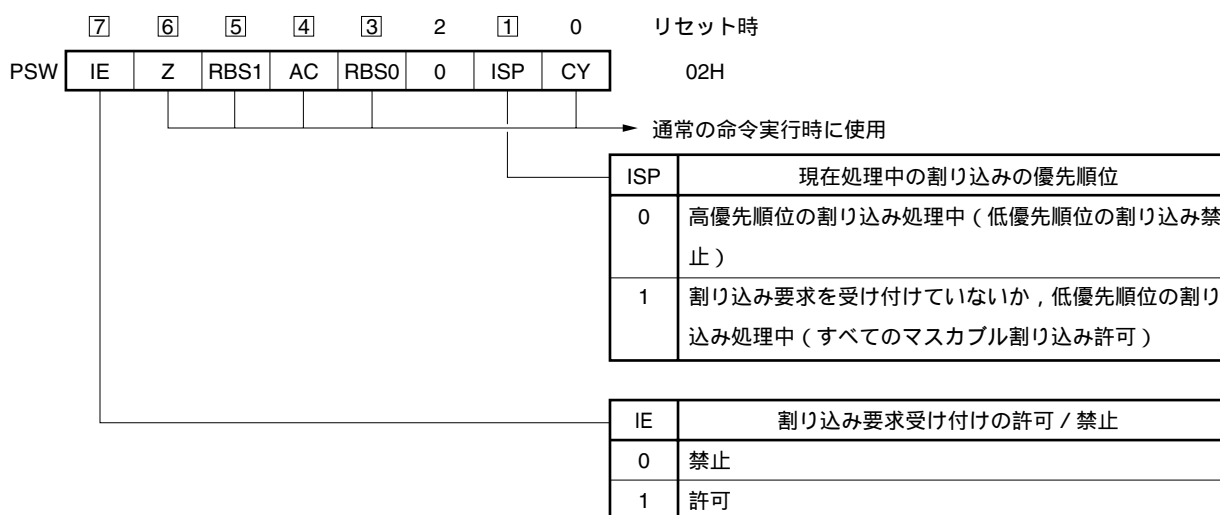
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図20 - 6 プログラム・ステータス・ワードの構成



20.4 割り込み処理動作

20.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表20-4のようになります。

割り込み要求の受け付けタイミングについては、図20-8, 20-9を参照してください。

表20-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック : 1/f_{CPU} (f_{CPU} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

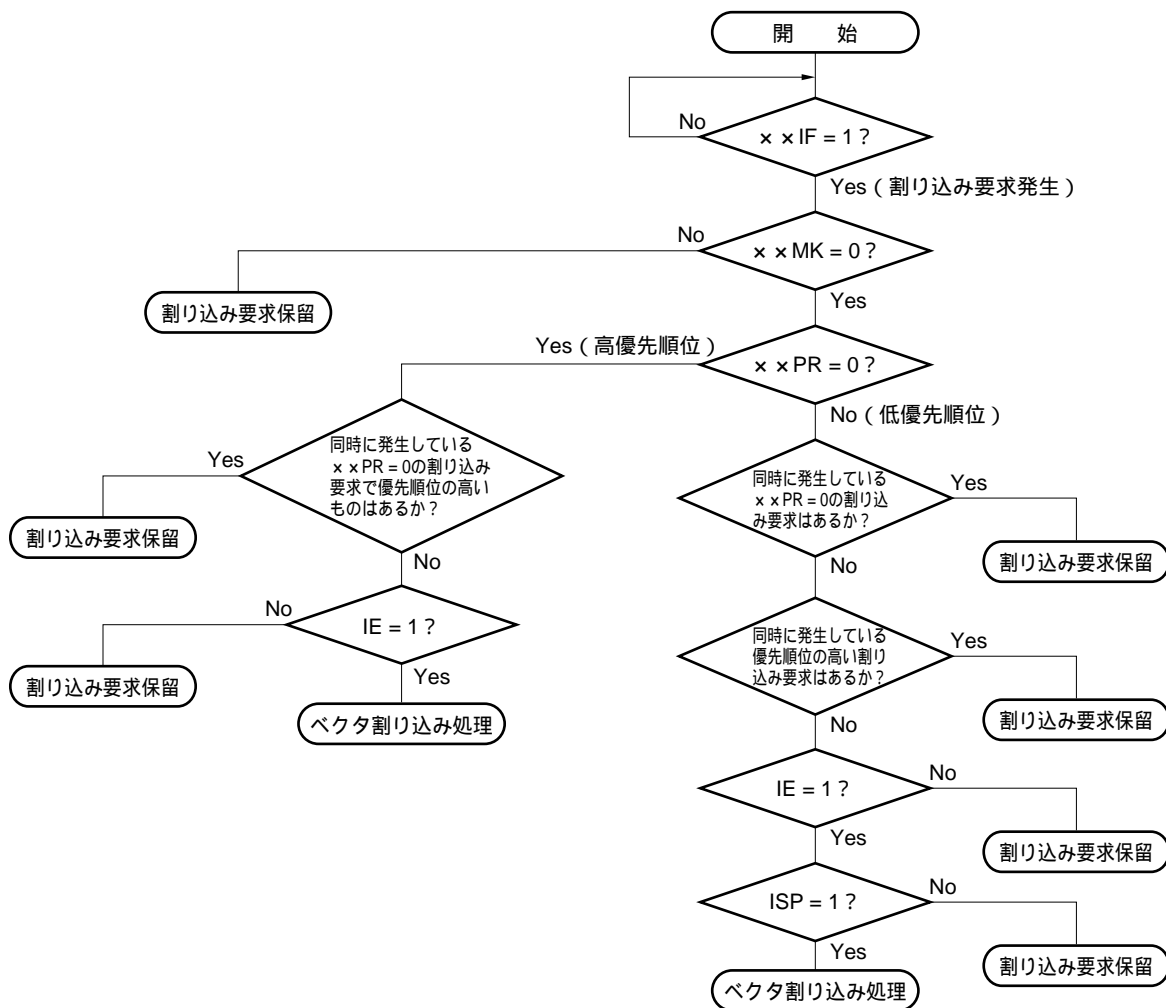
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図20-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図20 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

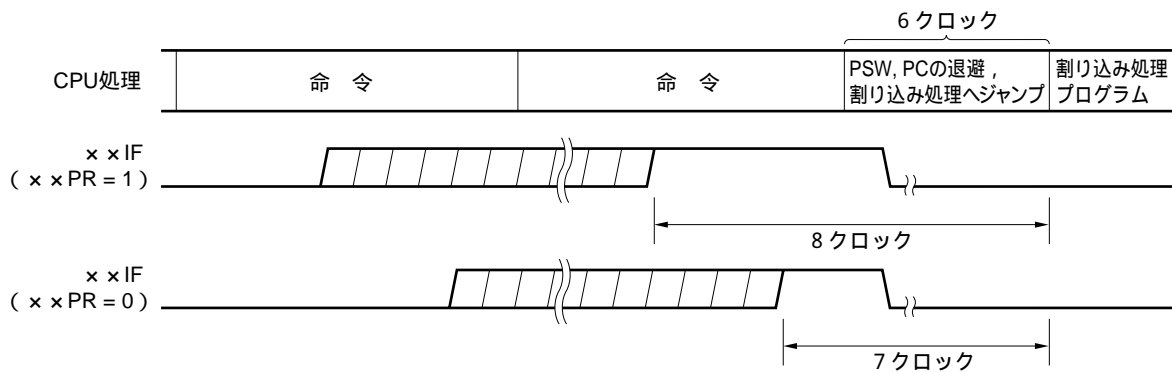
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

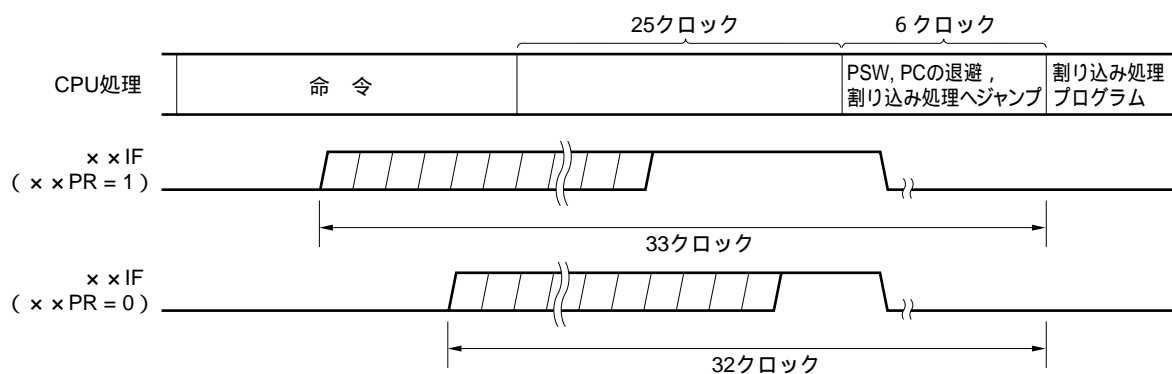
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図20 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図20 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

20.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

20.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表20-5に多重割り込み可能な割り込み要求の関係を、図20-10に多重割り込みの例を示します。

表20-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
処理中の割り込み	マスカブル割り込み		x	x	x	
	ソフトウェア割り込み		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

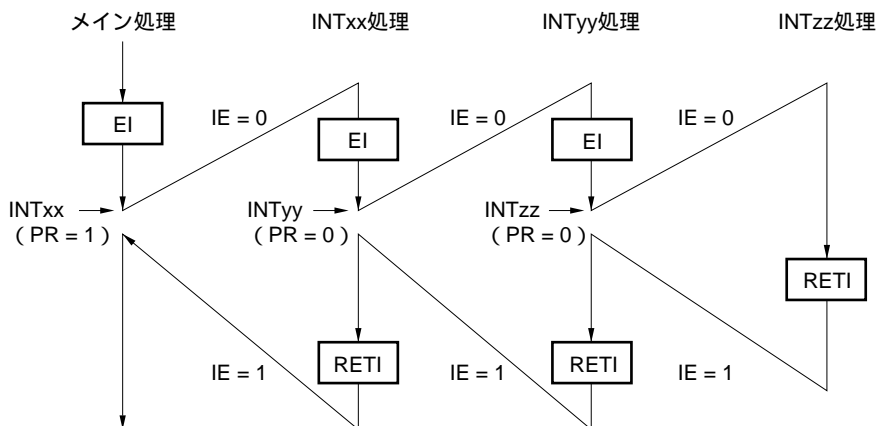
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

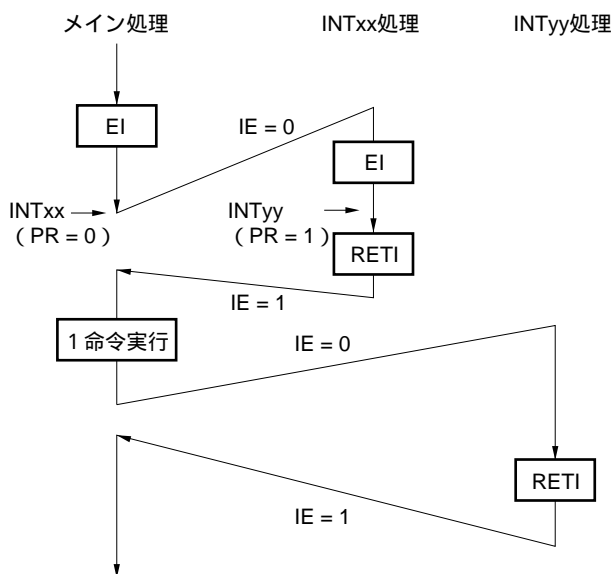
図20 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

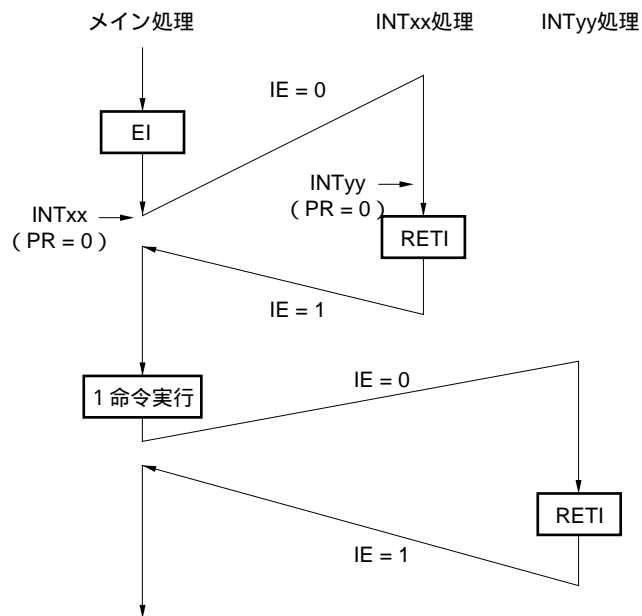
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図20 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

20.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図20-11に示します。

図20 - 11 割り込み要求の保留



- 備考**
1. 命令N：割り込み要求の保留命令
 2. 命令M：割り込み要求の保留命令以外の命令
 3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第21章 キー割り込み機能

	78K0/KC2-C (μ PD78F0760, 78F0761, 78F0762)	78K0/KE2-C (μ PD78F0763, 78F0764, 78F0765)
キー割り込み	4 ch	8 ch

注意 キー割り込み機能を使用すると、IICA02は使用できません。

21.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KRn) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表21 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRMn	KRn信号を1ビット単位で制御

備考 n = 0-3 : 78K0/KC2-C

n = 0-7 : 78K0/KE2-C

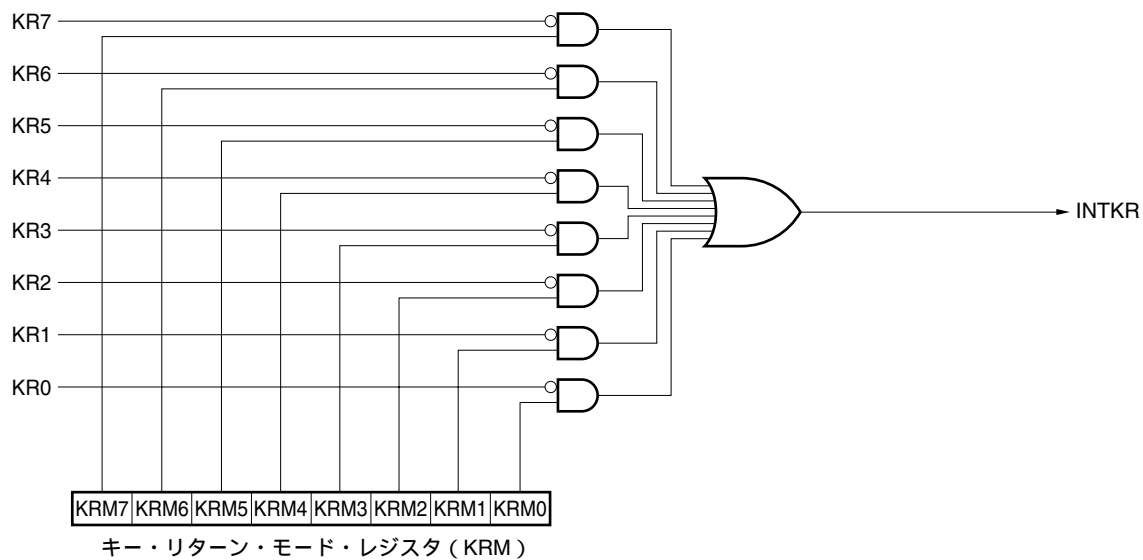
21.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表21-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)

図21-1 キー割り込みのブロック図



備考 KR0-KR3, KRM0-KRM3 : 78K0/KC2-C

KR0-KR7, KRM0-KRM7 : 78K0/KE2-C

21.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMnビットをKRn信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FF6EH リセット時：00H R/W

(1) 78K0/KC2-C

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	KRM3	KRM2	KRM1	KRM0

(2) 78K0/KE2-C

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. KRMnのうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗レジスタ7 (PU7) のビットn (PU7n) に1を設定してください。
2. KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。
3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。
4. 78K0/KC2-Cは、KRMのビット4-7には必ず0を設定してください。

備考 n = 0-3 : 78K0/KC2-C

n = 0-7 : 78K0/KE2-C

第22章 スタンバイ機能

22.1 スタンバイ機能と構成

22.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 3. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

22.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

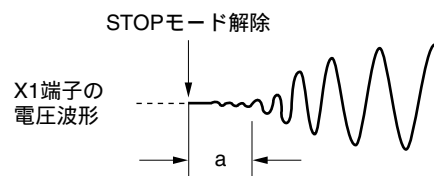
図22 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	発振安定時間のステータス	
						$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上	819.2 μs 以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上	3.27 ms以上

- 注意1. 上記時間経過後，MOST11から順番に“1”となっていく，そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に，STOPモードに入り，解除するときは，OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。

備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合，STOPモード解除後は，OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合，STOPモード解除後は，OSTCで発振安定時間が経過したかを確認してください。OSTCでは，あらかじめOSTSで設定した時間までの確認ができます。

OSTSは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，05Hになります。

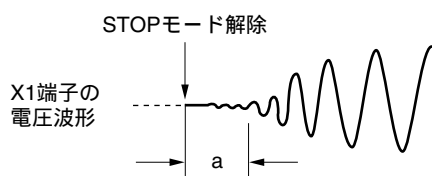
図22 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs	102.4 μs
0	1	0	$2^{13}/f_x$	819.2 μs	409.6 μs
0	1	1	$2^{14}/f_x$	1.64 ms	819.2 μs
1	0	0	$2^{15}/f_x$	3.27 ms	1.64 ms
1	0	1	$2^{16}/f_x$	6.55 ms	3.27 ms
上記以外			設定禁止		

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
 - ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
 - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

22.2 スタンバイ機能の動作

22.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表 22 - 1 HALTモード時の動作状態 (1/2)

HALTモード の設定 項目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f _{RH}) で CPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (f _{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _{RH}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	fx	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	f _{EXCLK}	外部クロックの入力により動作または停止		動作継続 (停止不可)
サブシステム・クロック	f _{XT}	HALTモード設定前の状態を継続		
	f _{RL}	HALTモード設定前の状態を継続。ただしオプション・バイトで「低速内蔵発振器 停止不可」に設定した場合は、停止不可。		
CPU		動作停止		
フラッシュ・メモリ				
RAM		HALTモード設定前の状態を保持		
ポート (ラッチ)				
16ビット・タイマ / イベント・カウンタ	00	HALTモード遷移前の設定に従う ^{注1}		
	01			
	02			
8ビット・タイマ / イベント・カウンタ	50			
	51			
8ビット・タイマ	H0			
	H1			
リアルタイム・カウンタ				
ウォッチドッグ・タイマ		HALTモード遷移前の設定に従う ^{注1} 。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		HALTモード遷移前の設定に従う ^{注1}		
ブザー出力 ^{注2}				
A/Dコンバータ				
シリアル・インタフェース	UART0, UART60, UART61 ^{注2}			
	CSI10, CSI11			
	IICA00-IICA02			
	CEC			
リモコン受信回路				
乗除算器				
パワーオン・クリア機能		動作		
低電圧検出機能		HALTモード遷移前の設定で検出可能		
外部割り込み		HALTモード遷移前の設定で動作可能		

注1. HALTモード遷移前に動作停止していたときは停止のまま、動作していた場合は各周辺ハードウェア・マクロが選択しているクロックの動作に従います。

2. 78K0/KE2-Cのみ

備考1. f_{RH} : 高速内蔵発振クロック, fx : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.7 **ブロック図**, 1.8 **機能概要**を参照してください。

表22 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項 目		XT1クロック (f _{XT}) でCPU動作時	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _{RH}	HALTモード設定前の状態を継続	
	f _X		
	f _{EXCLK}	外部クロックの入力により動作または停止	
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	
	f _{RL}	HALTモード設定前の状態を継続。ただしオプション・バイトで「低速内蔵発振器 停止不可」に設定した場合は、停止不可。	
CPU		動作停止	
フラッシュ・メモリ			
RAM		HALTモード設定前の状態を保持	
ポート (ラッチ)			
16ビット・タイマ/イベント・カウンタ	00 ^{注1}	HALTモード遷移前の設定に従う ^{注2}	
	01 ^{注1}		
	02 ^{注1}		
8ビット・タイマ/イベント・カウンタ	50 ^{注1}		
	51 ^{注1}		
8ビット・タイマ	H0		
	H1		
リアルタイム・カウンタ			
ウォッチドッグ・タイマ		HALTモード遷移前の設定に従う ^{注2} 。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。	
クロック出力		HALTモード遷移前の設定に従う ^{注2}	
ブザー出力 ^{注3}			
A/Dコンバータ			
シリアル・インタフェース	UART0, UART60, UART61 ^{注3}		
	CSI10, CSI11 ^{注1}		
	IICA00-IICA02 ^{注1}		
	CEC		
リモコン受信回路			
乗除算器			
パワーオン・クリア機能		動作	
低電圧検出機能		HALTモード遷移前の設定で検出可能	
外部割り込み		HALTモード遷移前の設定で動作可能	

注1. CPUがサブシステム・クロック動作中で、高速内蔵発振クロックと高速システム・クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

2. HALTモード遷移前に動作停止していたときは停止のまま、動作していた場合は各周辺ハードウェア・マクロが選択しているクロックの動作に従います。

3. 78K0/KE2-Cのみ

備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.7 **ブロック図**, 1.8 **機能概要**を参照してください。

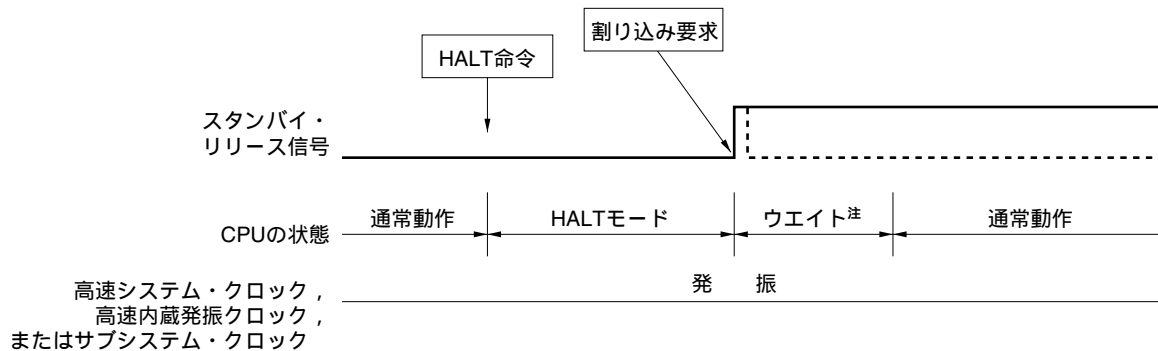
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図22 - 3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11～12クロック
- ・ベクタ割り込み処理を行わない場合 : 4～5クロック

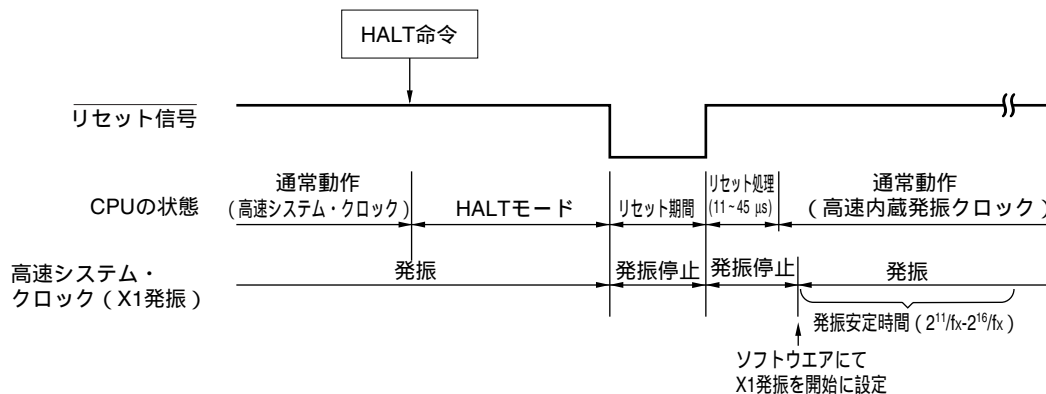
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

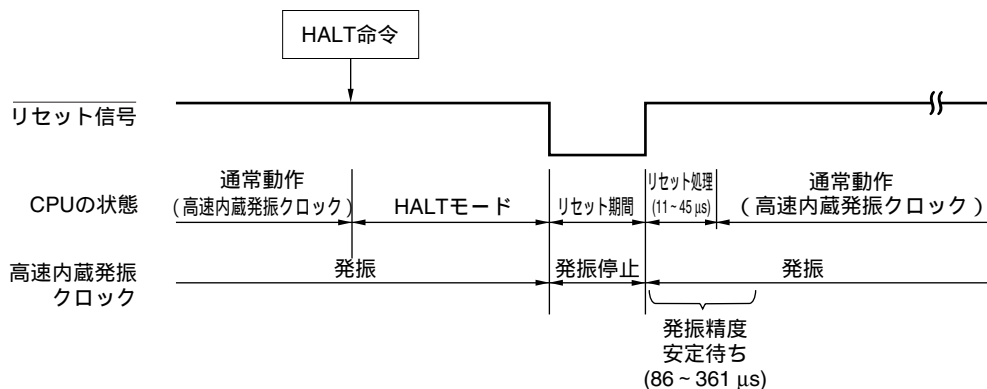
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図22 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図22 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合

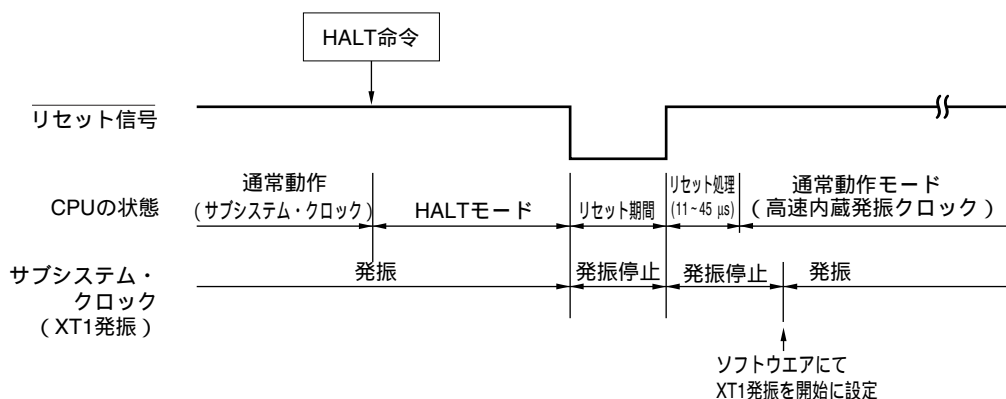


表22 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
リセット	-	-	x	x	リセット処理

x : don't care

22.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表22-3 STOPモード時の動作状態

STOPモード の設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	停止		
	f_x	停止		
	f_{EXCLK}	入力無効		
サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続		
	f_{RL}	STOPモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ				
RAM		STOPモード設定前の状態を継続。ただしオプション・バイトで「低速内蔵発振器 停止不可」に設定した場合は、停止不可。		
ポート (ラッチ)				
16ビット・タイマ/イベント・カウンタ	00 ^{注1}	動作停止		
	01 ^{注1}	動作停止		
	02 ^{注1}	動作停止		
8ビット・タイマ/イベント・カウンタ	50 ^{注1}	STOPモード遷移前の設定に従う ^{注2} 。ただしカウント・クロックにTI50選択時のみ動作可能。		
	51 ^{注1}	STOPモード遷移前の設定に従う ^{注2} 。ただしカウント・クロックにTI51選択時のみ動作可能。		
8ビット・タイマ	H0	STOPモード遷移前の設定に従う ^{注2} 。ただし8ビット・タイマ/イベント・カウンタ50動作時、カウント・クロックにTM50出力選択時のみ動作可能。		
	H1	STOPモード遷移前の設定に従う ^{注2} 。ただしカウント・クロックに $f_{RL}/2^7$ 選択時のみ動作可能。		
リアルタイム・カウンタ		STOPモード遷移前の設定に従う ^{注2} 。ただしカウント・クロックにサブシステム・クロック選択時のみ動作可能。		
ウォッチドッグ・タイマ		STOPモード遷移前の設定に従う ^{注2} 。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		STOPモード遷移前の設定に従う ^{注2} 。ただしカウント・クロックにサブシステム・クロック選択時のみ動作可能。		
ブザー出力 ^{注3}		動作停止		
A/Dコンバータ				
シリアル・インタフェース	UART0, UART60, UART61 ^{注3}	STOPモード遷移前の設定に従う ^{注2} 。ただし8ビット・タイマ/イベント・カウンタ50動作時、シリアル・クロックにTM50出力選択時のみ動作可能		
	CSI10, CSI11 ^{注1}	STOPモード遷移前の設定に従う ^{注2} 。ただしシリアル・クロックに外部クロック選択時のみ動作可能		
	IICA00-IICA02 ^{注1}	STOPモード遷移前の設定に従う ^{注2} 。ただしアドレス一致によるウエイクアップ動作可能。		
	CEC	STOPモード遷移前の設定に従う ^{注2} 。ただし動作クロックにサブシステム・クロック選択時のみ動作可能。		
リモコン受信回路		動作可能。		
乗除算器		動作停止		
パワーオン・クリア機能		動作		
低電圧検出機能		STOPモード遷移前の設定で検出可能		
外部割り込み		STOPモード遷移前の設定で動作可能		

注1. STOPモード中は、周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

2. STOPモード遷移前に動作停止していたときは停止のまま、動作していた場合は各周辺ハードウェア・マクロが選択しているクロックの動作に従います。

3. 78K0/KE2-Cのみ

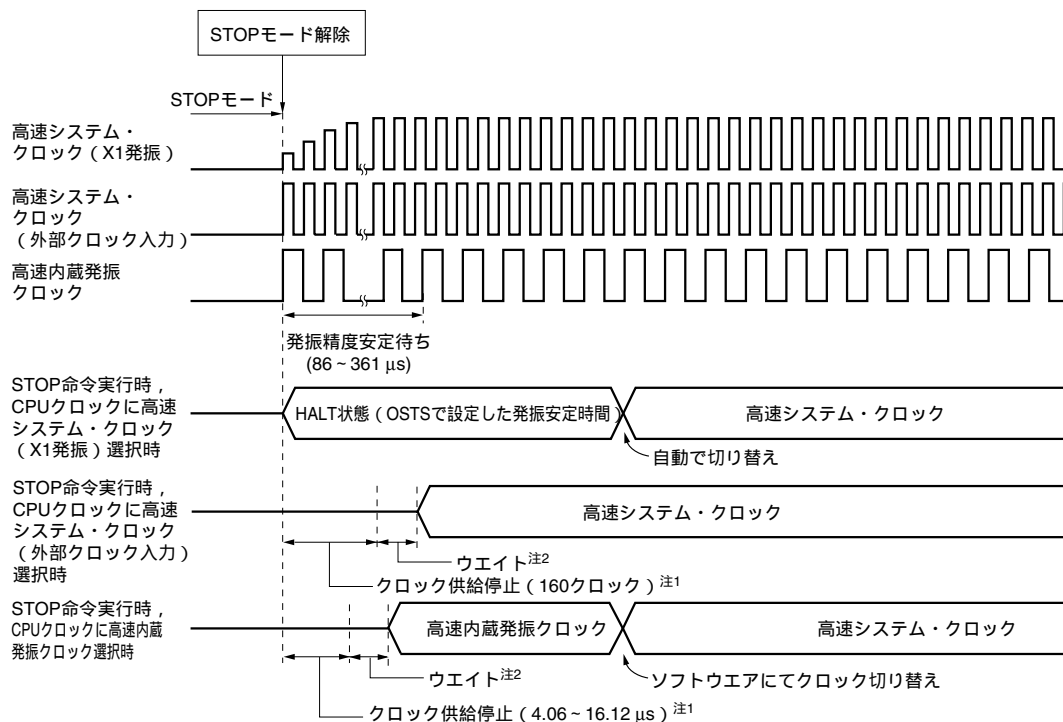
備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても, STOPモード時では低速内蔵発振クロックは, STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は, ソフトウェアにて, 低速内蔵発振器の発振を停止してから, STOP命令を実行してください。
3. 高速システム・クロック (X1発振) でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。
- RSTOPを0に設定 (高速内蔵発振器の発振開始) MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え) MCS = 0であることを確認 (CPUクロックの確認) RSTS = 1であることを確認 (高速内蔵発振動作の確認) STOP命令実行
- STOPモード解除後, CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は, 発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから, 行ってください。
4. AMPH = 1設定時にSTOP命令を実行した場合, CPUクロックが高速内蔵発振クロックのときはSTOPモード解除後に4.06 ~ 16.12 μ s間, CPUクロックが高速システム・クロック (外部クロック入力) のときはSTOPモード解除後に外部クロックの160クロック分, CPUクロックの供給が停止されます。
5. STOP命令は, 必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。

(2) STOPモードの解除

図22 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注1. AMPH = 1設定時

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

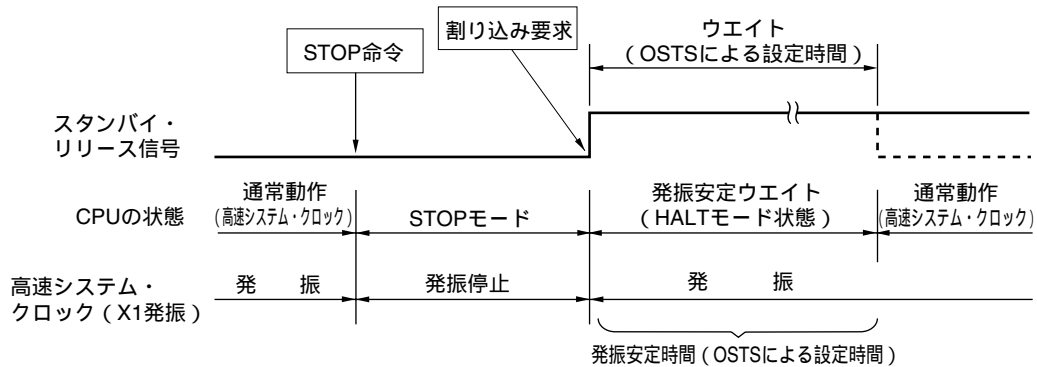
STOPモードは, 次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

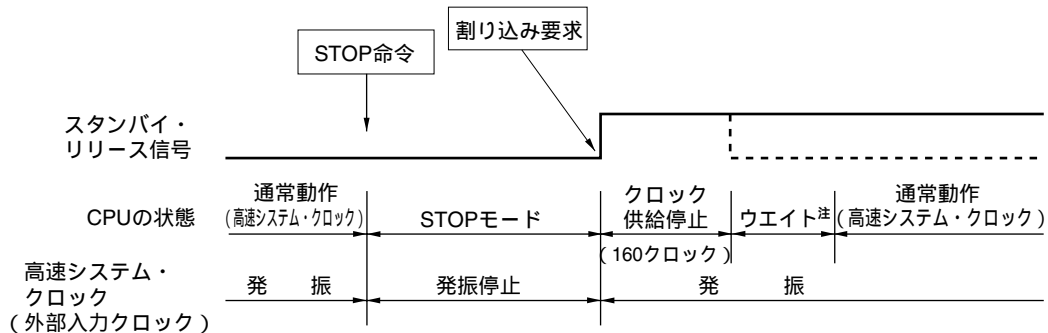
図22 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合

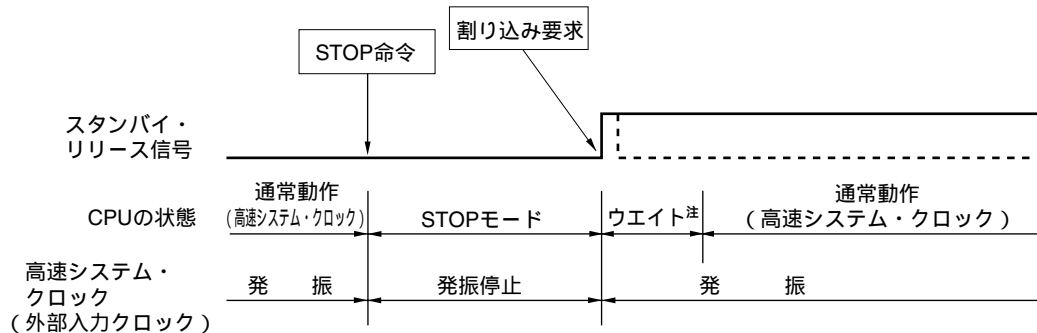


(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

・ AMPH = 1の場合



・ AMPH = 0の場合



注 ウェイト時間は次のようになります。

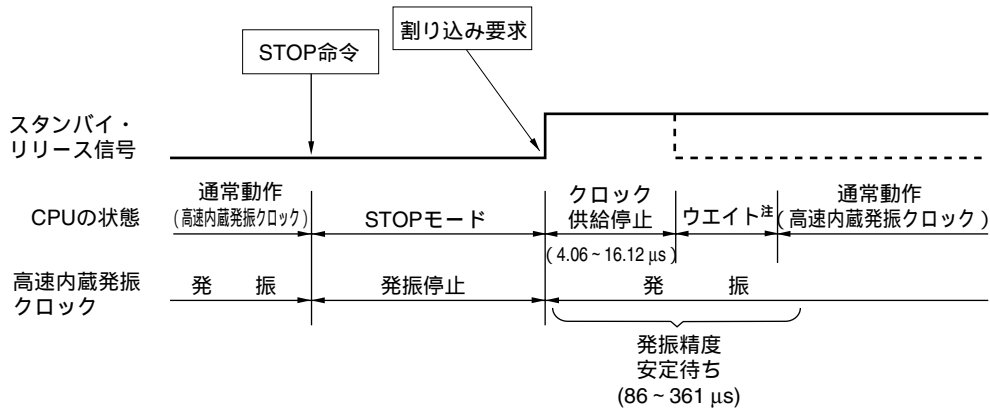
- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

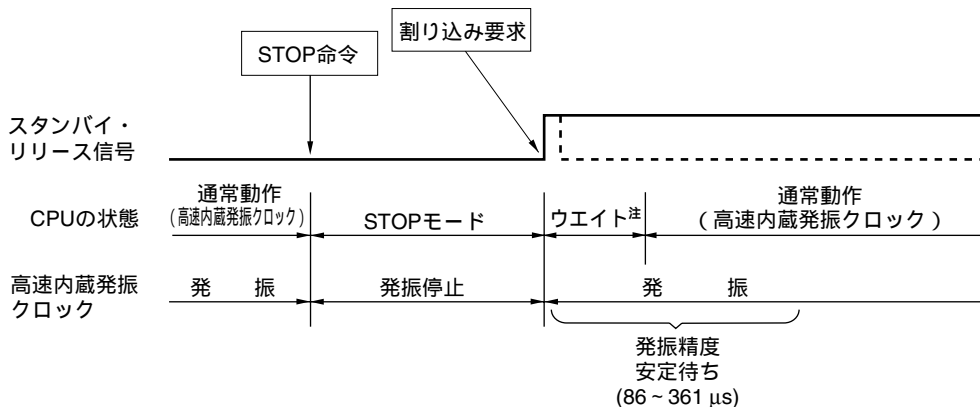
図22 - 6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合

・ AMPH = 1の場合



・ AMPH = 0の場合



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

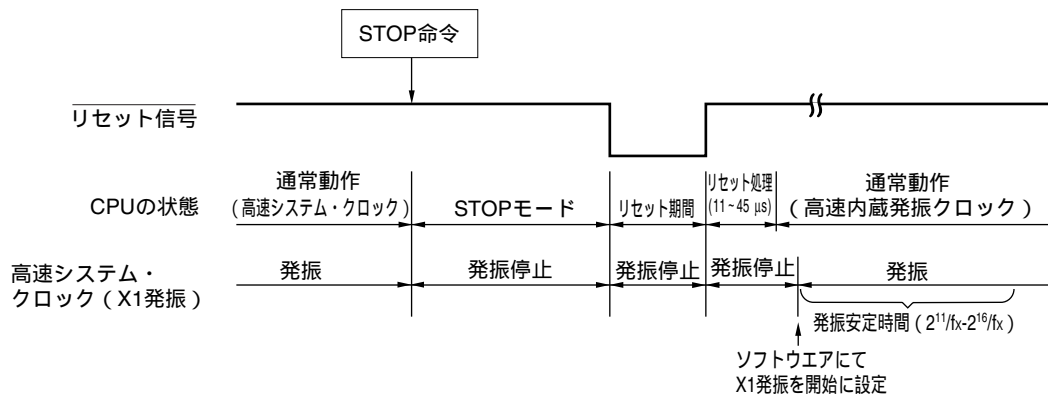
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

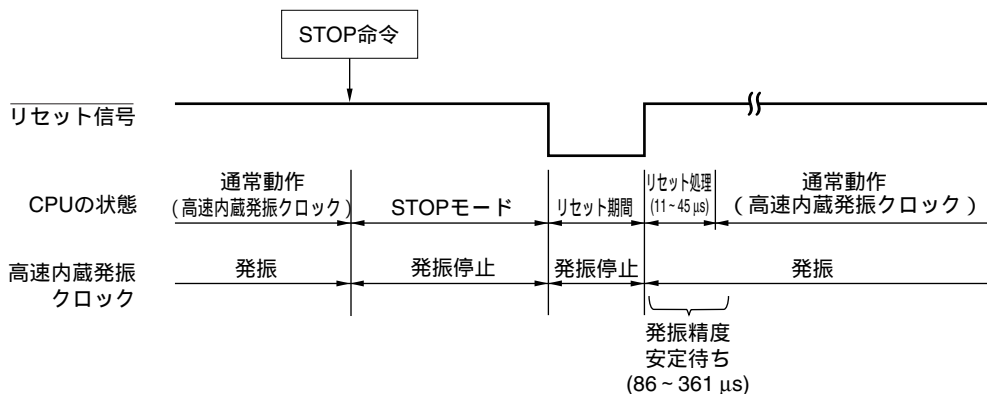
リセット信号の発生により, STOPモードは解除されます。そして, 通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと, プログラムが実行されます。

図22 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表22 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
	1	x	x	x	STOPモード保持
リセット	-	-	x	x	リセット処理

x : don't care

第23章 リセット機能

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

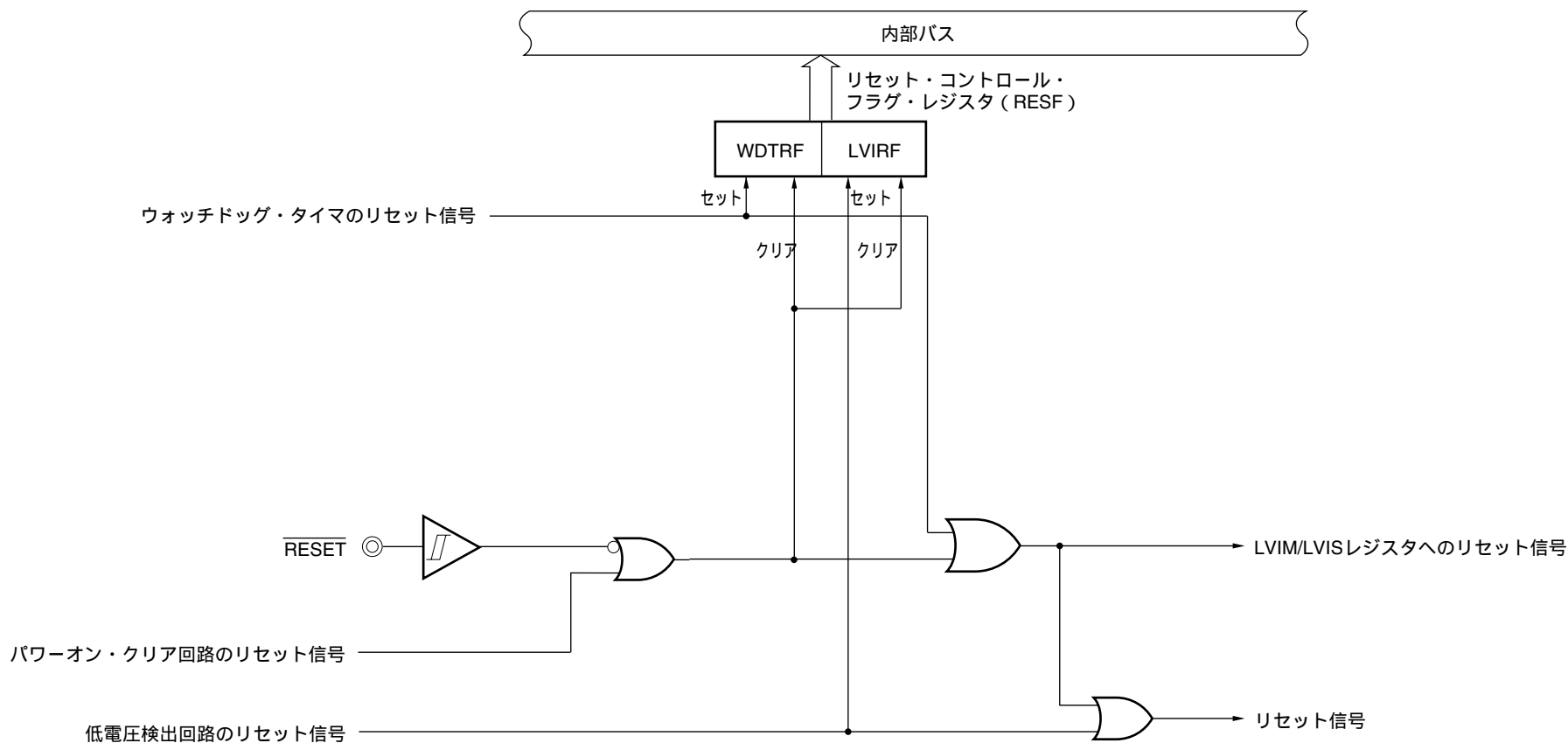
外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表23 - 1, 表23 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図23 - 2から図23 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 V_{DD} V_{POC} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第24章 パワーオン・クリア回路と第25章 低電圧検出回路参照)。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。

図23 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考** 1. LVIM : 低電圧検出レジスタ
 2. LVIS : 低電圧検出レベル選択レジスタ

図23 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

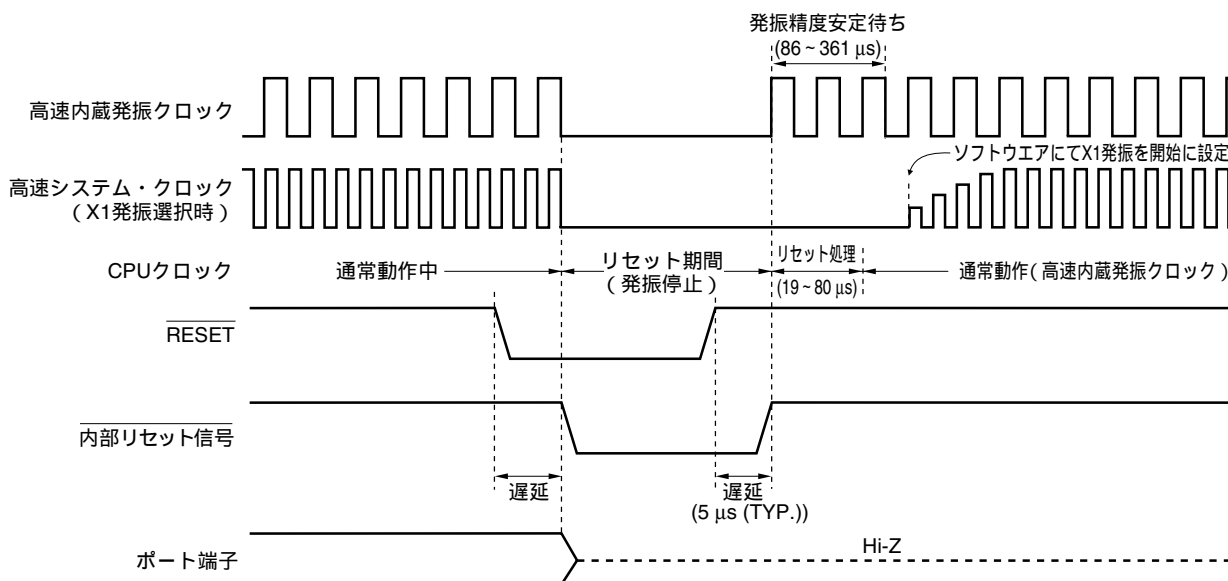
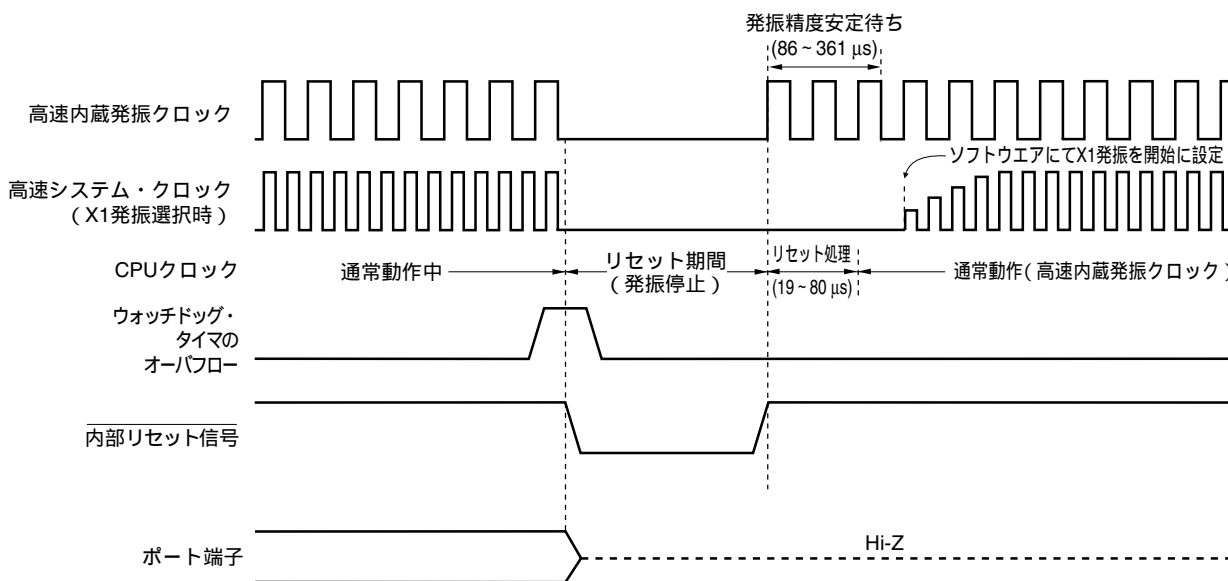
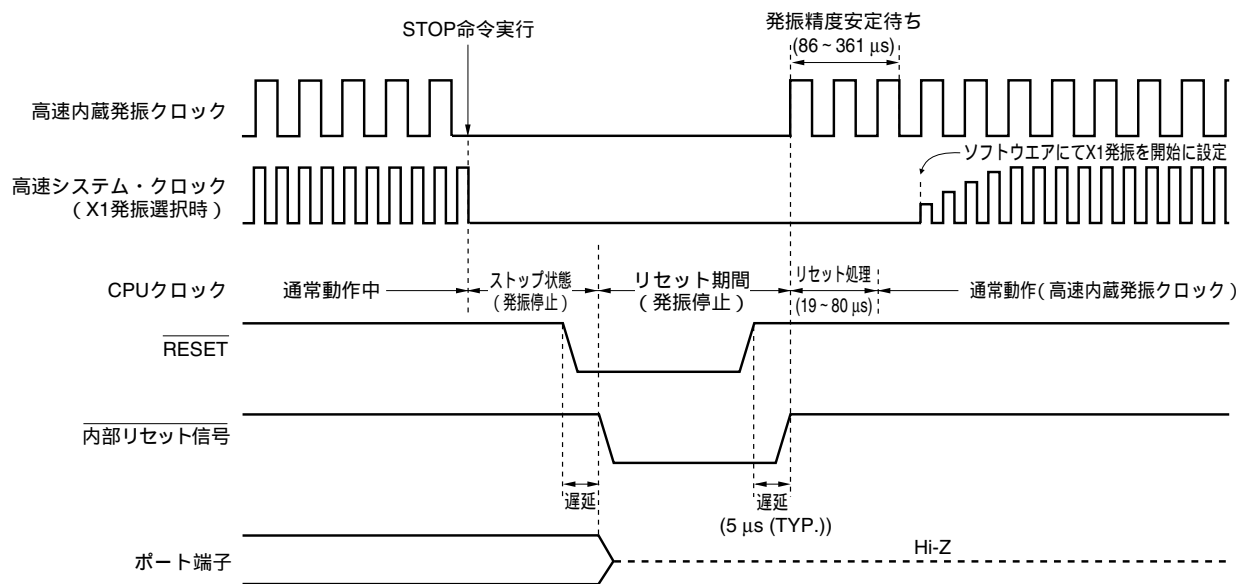


図23 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図23 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第24章 パワーオン・クリア回路と第25章 低電圧検出回路を参照してください。

表23 - 1 リセット期間中の動作状態

項 目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{RH}	動作停止
	f _X	動作停止 (端子は入出力ポート・モード)
	f _{EXCLK}	クロックの入力無効 (端子は入出力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (端子は入出力ポート・モード)
	f _{RL}	動作停止
CPU		
フラッシュ・メモリ		
RAM		
ポート (ラッチ)		
16ビット・タイマ/イベント・カウンタ	00	
	01	
	02	
8ビット・タイマ/イベント・カウンタ	50	
	51	
8ビット・タイマ	H0	
	H1	
リアルタイム・カウンタ		
ウォッチドッグ・タイマ		
クロック出力		
ブザー出力 ^注		
A/Dコンバータ		
シリアル・インタフェース	UART0, UART60, UART61 ^注	
	CSI10, CSI11	
	IICA00-IICA02	
	CEC	
リモコン受信回路		
乗除算器		
パワーオン・クリア機能		動作
低電圧検出機能		動作停止
外部割り込み		

注 78K0/KE2-Cのみ

備考 f_{RH} : 高速内蔵発振クロック
f_X : X1発振クロック
f_{EXCLK} : 外部メイン・システム・クロック
f_{XT} : XT1発振クロック
f_{RL} : 低速内蔵発振クロック

表23 - 2 各ハードウェアのリセット受け付け後の状態 (1/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P4, P5 ^{注3} , P6, P7, P12-P14) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM4, PM5 ^{注3} , PM6, PM7, PM12, PM14)		FFH
ポート入力モード・レジスタ7 (PIM7)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU4, PU5 ^{注3} , PU7, PU12, PU14)		00H
ポート・ファンクション・レジスタ4 (PF4)		00H
ポート・ファンクション・レジスタ7 (PF7)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注4}
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注4}
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
16ビット・タイマ / イベント・カウンタ00, 01, 02	タイマ・カウンタ00, 01, 02 (TM00, TM01, TM02)	0000H
	キャプチャ/コンペア・レジスタ000, 001, 002, 010, 011, 012 (CR000, CR001, CR002, CR010, CR011, CR012)	0000H
	モード・コントロール・レジスタ00, 01, 02 (TMC00, TMC01, TMC02)	00H
	プリスケアラ・モード・レジスタ00, 01, 02 (PRM00, PRM01, PRM02)	00H
	キャプチャ/コンペア・コントロール・レジスタ00, 01 ^{注3} , 02 ^{注3} (CRC00, CRC01 ^{注3} , CRC02 ^{注3})	00H
タイマ出力コントロール・レジスタ00, 01 ^{注3} , 02 ^{注3} (TOC00, TOC01 ^{注3} , TOC02 ^{注3})	00H	

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. 78K0/KE2-Cのみです。

4. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Kx2-Cすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、各製品ごとに次に示す値を必ず設定してください。

78K0/KC2-C	78K0/KE2-C	IMS	IXS
μPD78F0760	μPD78F0763	C8H	0CH
μPD78F0761	μPD78F0764	CCH	0AH
μPD78F0762	μPD78F0765	CFH	

表23 - 2 各ハードウェアのリセット受け付け後の状態 (2/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
8ビット・タイマ/イベント・カウンタ50, 51	タイマ・カウンタ50, 51 (TM50, TM51)	00H
	コンペア・レジスタ50, 51 (CR50, CR51)	00H
	タイマ・クロック選択レジスタ50, 51 (TCL50, TCL51)	00H
	モード・コントロール・レジスタ50, 51 (TMC50, TMC51)	00H
8ビット・タイマH0, H1	コンペア・レジスタ00, 10, 01, 11 (CMP00, CMP10, CMP01, CMP11)	00H
	モード・レジスタ (TMHMD0, TMHMD1)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
リアルタイム・カウンタ	クロック選択レジスタ (RTCCCL)	00H
	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
コントロール・レジスタ1 (RTCC1)	00H	
コントロール・レジスタ2 (RTCC2)	00H	
クロック出力/ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	00H
シリアル・インタフェースUART0	受信バッファ・レジスタ0 (RXB0)	FFH
	送信シフト・レジスタ0 (TXS0)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ0 (BRGC0)	1FH

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 8ビット・タイマH1のみ。

3. WDTEのリセット値は、オプション・バイトの設定で決定します。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (3/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
シリアル・インタフェース UART60, UART61 ^{注2}	受信バッファ・レジスタ60, 61 ^{注2} (RXB60, RXB61 ^{注2})	FFH
	送信バッファ・レジスタ60, 61 ^{注2} (TXB60, TXB61 ^{注2})	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ60, 61 ^{注2} (ASIM60, ASIM61 ^{注2})	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ60, 61 ^{注2} (ASIS60, ASIS61 ^{注2})	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ60, 61 ^{注2} (ASIF60, ASIF61 ^{注2})	00H
	クロック選択レジスタ60, 61 ^{注2} (CKSR60, CKSR61 ^{注2})	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ60, 61 ^{注2} (BRGC60, BRGC61 ^{注2})	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ60, 61 ^{注2} (ASICL60, ASICL61 ^{注2})	16H
	入力切り替え制御レジスタ (ISC)	00H
シリアル・インタフェース CSI10, CSI11	送信バッファ・レジスタ10, 11 (SOTB10, SOTB11)	00H
	シリアルI/Oシフト・レジスタ10, 11 (SIO10, SIO11)	00H
	シリアル動作モード・レジスタ10, 11 (CSIM10, CSIM11)	00H
	シリアル・クロック選択レジスタ10, 11 (CSIC10, CSIC11)	00H
シリアル・インタフェース IICA00, IICA01, IICA02	IICAシフト・レジスタ00, 01, 02 (IICA00, IICA01, IICA02)	00H
	IICAステータス・レジスタ00, 01, 02 (IICAS00, IICAS01, IICAS02)	00H
	IICAフラグ・レジスタ00, 01, 02 (IICAF00, IICAF01, IICAF02)	00H
	IICAコントロール・レジスタ00, 01, 02 (IICACTL00, IICACTL01, IICACTL02)	00H
	IICAコントロール・レジスタ10, 11, 12 (IICACTL10, IICACTL11, IICACTL12)	00H
	IICAロウ・レベル幅設定レジスタ00, 01, 02 (IICAWL00, IICAWL01, IICAWL02)	FFH
	IICAハイ・レベル幅設定レジスタ00, 01, 02 (IICAWH00, IICAWH01, IICAWH02)	FFH
	スレーブ・アドレス・レジスタ00, 01, 02 (SVA00, SVA01, SVA02)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. UART61は、78K0/KE2-Cのみ

表23 - 2 各ハードウェアのリセット受け付け後の状態 (4/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
CEC送受信回路	CEC送信バッファ・レジスタ (CTXD)	00H
	CEC受信バッファ・レジスタ (CRXD)	00H
	CEC通信エラー・ステータス・レジスタ (CECES)	00H
	CEC通信ステータス・レジスタ (CECS)	00H
	CEC通信エラー・フラグ・クリア・トリガ・レジスタ (CECFC)	00H
	CECコントロール・レジスタ0 (CECCTL0)	00H
	CEC自局アドレス設定レジスタ (CADR)	0000H
	CECコントロール・レジスタ1 (CECCTL1)	00H
	CEC送信スタート・ビットのビット幅設定レジスタ (STATB)	0000H
	CEC送信スタート・ビットのロウ幅設定レジスタ (STATL)	0000H
	CEC送信ロジカル0のロウ幅設定レジスタ (LGC0L)	0000H
	CEC送信ロジカル1のロウ幅設定レジスタ (LGC1L)	0000H
	CEC送信データ・ビットのビット幅設定レジスタ (DATB)	0000H
	CECデータ・ビットの1ビット幅設定レジスタ (NOMP)	0000H
	CEC受信データ・サンプリング時間設定レジスタ (NOMT)	0000H
	CEC受信スタート・ビット・ロウ幅のMIN.値設定レジスタ (STATLL)	0000H
	CEC受信スタート・ビット・ロウ幅のMAX.値設定レジスタ (STATLH)	0000H
	CEC受信スタート・ビットのビット幅のMIN.値設定レジスタ (STATBL)	0000H
	CEC受信スタート・ビットのビット幅のMAX.値設定レジスタ (STATBH)	0000H
	CEC受信ロジカル0のロウ幅のMIN.値設定レジスタ (LGC0LL)	0000H
	CEC受信ロジカル0のロウ幅のMAX.値設定レジスタ (LGC0LH)	0000H
	CEC受信ロジカル1のロウ幅のMIN.値設定レジスタ (LGC1LL)	0000H
	CEC受信ロジカル1のロウ幅のMAX.値設定レジスタ (LGC1LH)	0000H
CEC受信データ・ビットのビット幅のMIN.値設定レジスタ (DATBL)	0000H	
CEC受信データ・ビットのビット幅のMAX.値設定レジスタ (DATBH)	0000H	
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

レジスタ		リセット要因		LVIIによる リセット
		RESET入力	POCによる リセット	
RESF	WDTRFビット	クリア (0)	クリア (0)	セット (1)
	LVIRFビット			保持
LVIM		クリア (00H)	クリア (00H)	クリア (00H)
LVIS				保持

表23 - 2 各ハードウェアのリセット受け付け後の状態 (5/5)

ハードウェア		リセット受け付け後の状態 ^注
リモコン受信回路	リモコン受信シフト・レジスタ (RMSR)	00H
	リモコン受信データ・レジスタ (RMDR)	00H
	リモコン・シフト・レジスタ受信カウンタ・レジスタ (RMSCR)	00H
	リモコン受信GPHSコンペア・レジスタ (RMGPHS)	00H
	リモコン受信GPHLコンペア・レジスタ (RMGPHL)	00H
	リモコン受信DLSコンペア・レジスタ (RMDLS)	00H
	リモコン受信DLLコンペア・レジスタ (RMDLL)	00H
	リモコン受信DH0Sコンペア・レジスタ (RMDH0S)	00H
	リモコン受信DH0Lコンペア・レジスタ (RMDH0L)	00H
	リモコン受信DH1Sコンペア・レジスタ (RMDH1S)	00H
	リモコン受信DH1Lコンペア・レジスタ (RMDH1L)	00H
	リモコン受信エンド幅選択レジスタ (RMER)	00H
	リモコン受信割り込みステータス・レジスタ (INTS)	00H
	リモコン受信割り込みステータス・クリア・レジスタ (INTC)	00H
	リモコン受信制御レジスタ (RMCN)	00H
リモコン受信データ出力制御レジスタ (RMSW)	00H	
乗除算器	剰余データ・レジスタ0 (SDR0)	0000H
	乗除算データ・レジスタA0 (MDA0H, MDA0L)	0000H
	乗除算データ・レジスタB0 (MDB0)	0000H
	乗除算器コントロール・レジスタ0 (DMUC0)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

23.1 リセット要因を確認するレジスタ

78K0/Kx2-Cは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図23 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表23 - 3に示します。

表23 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第24章 パワーオン・クリア回路

24.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) は, 電源電圧 (V_{DD}) が $1.59\text{ V} \pm 0.15\text{ V}$ を越えた場合に, リセットを解除します。
2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1) 時は, 電源電圧 (V_{DD}) が $2.7\text{ V} \pm 0.2\text{ V}$ を越えた場合に, リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$) を比較し, $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

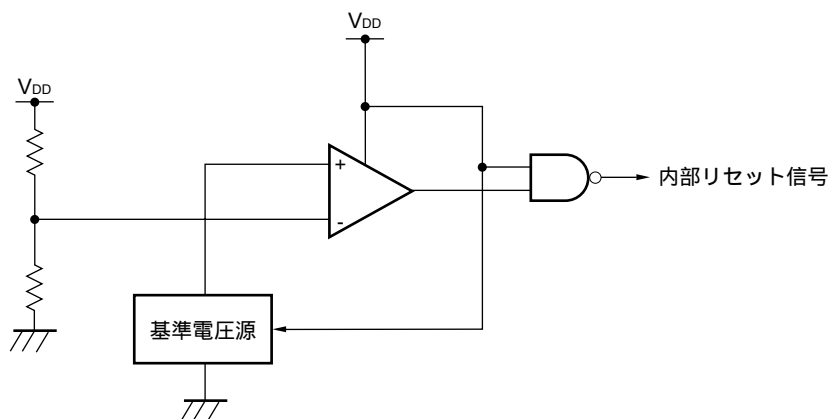
注意 POC回路で内部リセット信号が発生した場合, リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 78K0/Kx2-Cには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合, そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は, クリア (00H) されずフラグがセット (1) されます。RESFの詳細については, 第23章 リセット機能を参照してください。

24.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図24 - 1に示します。

図24 - 1 パワーオン・クリア回路のブロック図



24.3 パワーオン・クリア回路の動作

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

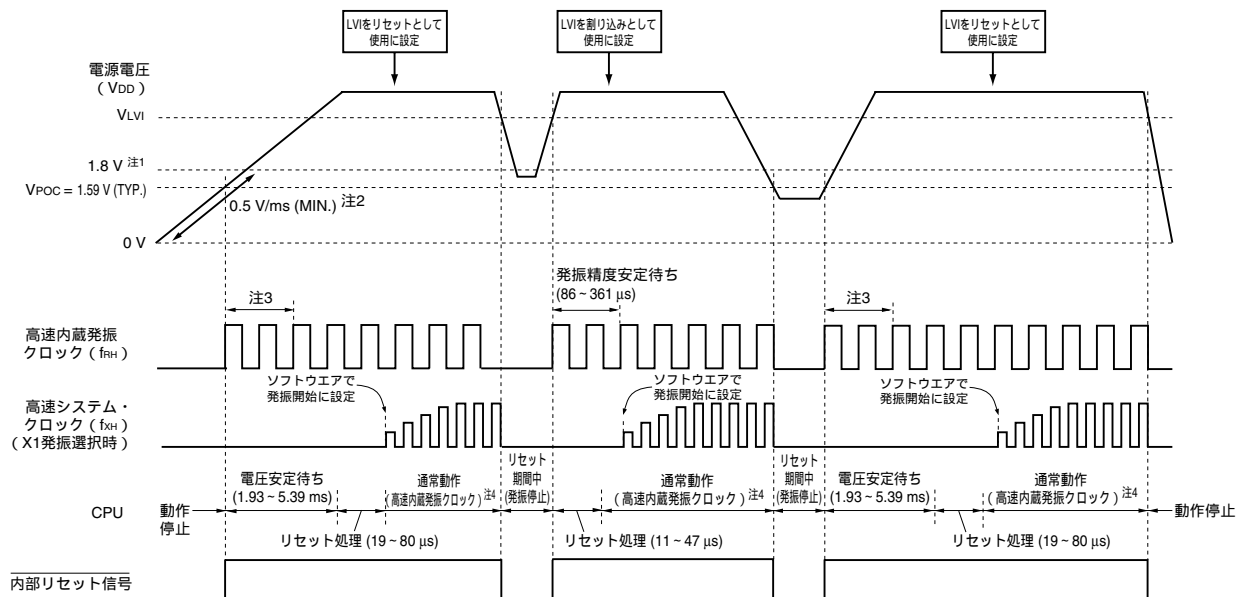
(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図24 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)



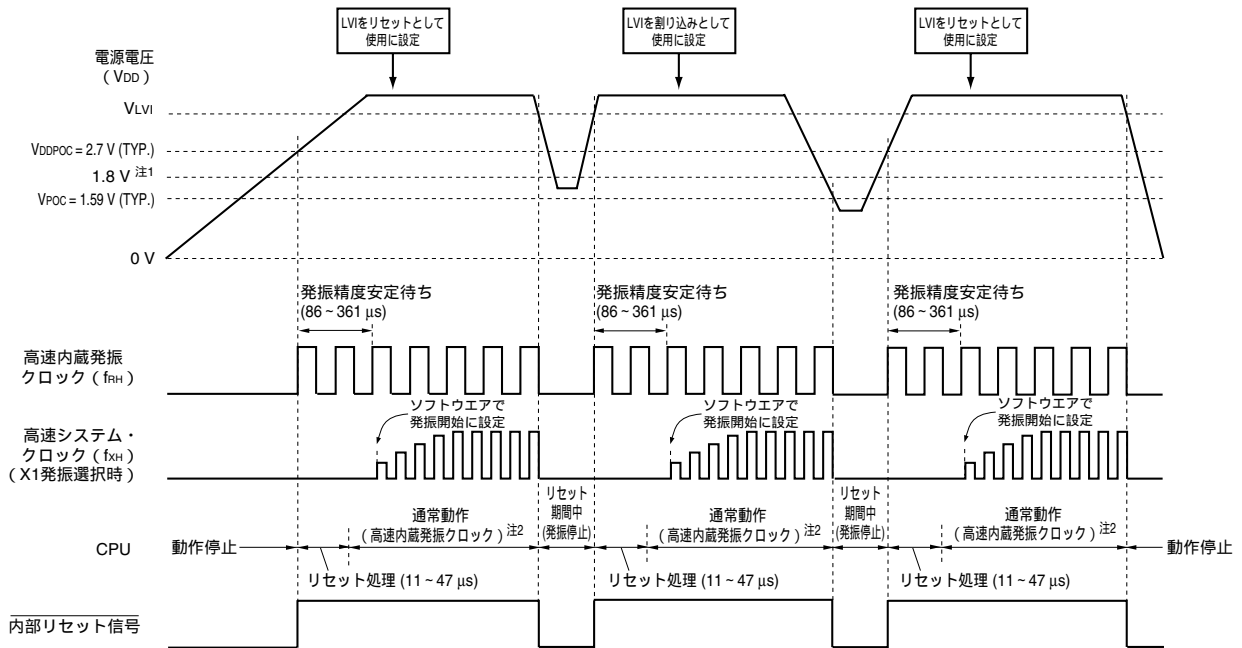
- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
4. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
V_{POC} : POC検出電圧

図24 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

- 注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。
2. 電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ~ 5.39 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生し、リセット処理時間が19 ~ 80 μ sになります。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

24.4 パワーオン・クリア回路の注意事項

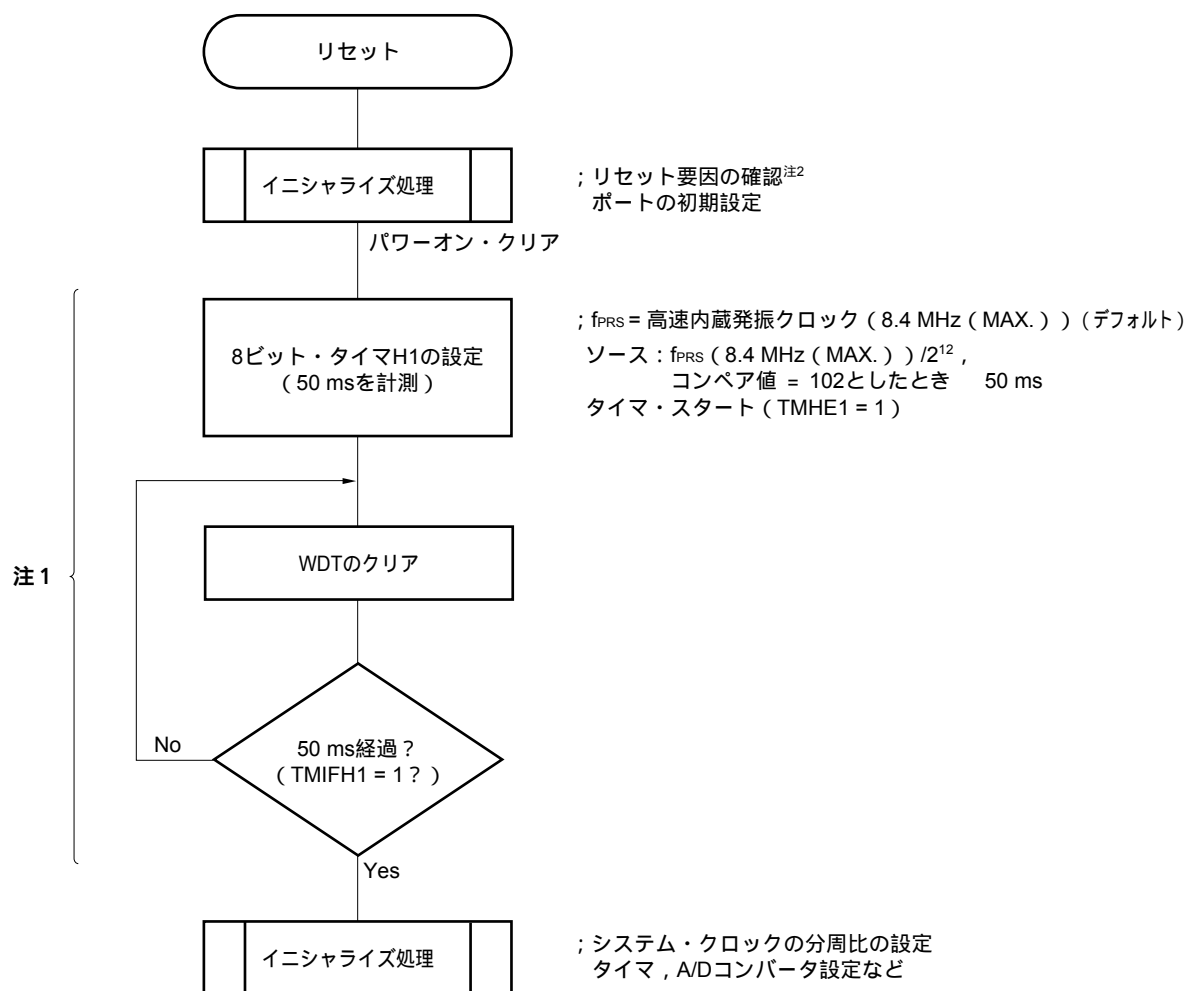
電源電圧 (V_{DD}) が POC 検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図24 - 3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合

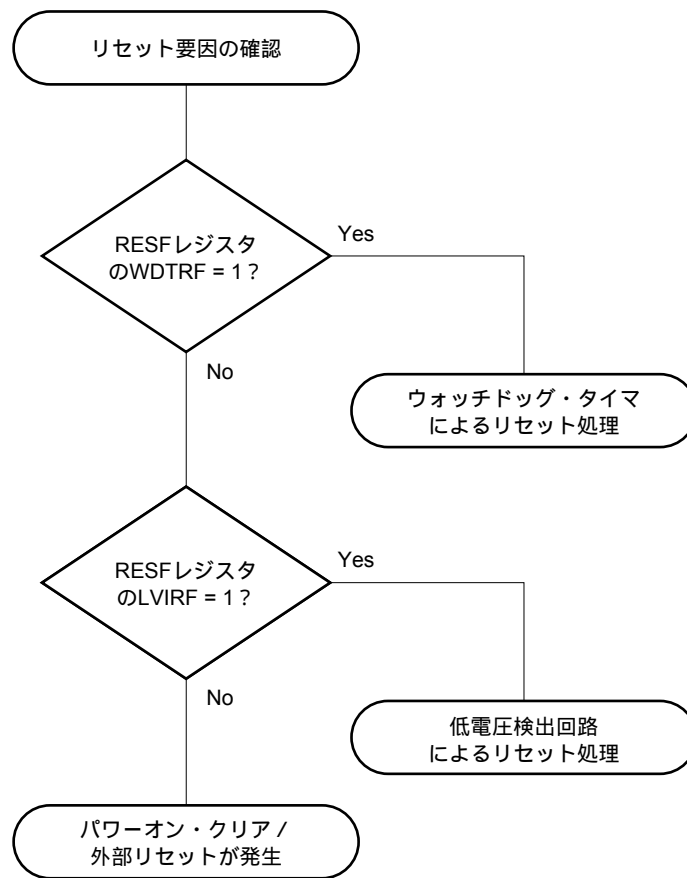


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

図24 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第25章 低電圧検出回路

25.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$): **固定**) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は、ソフトウェアにて選択できます。
- ・リセット / 割り込みは、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを16段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

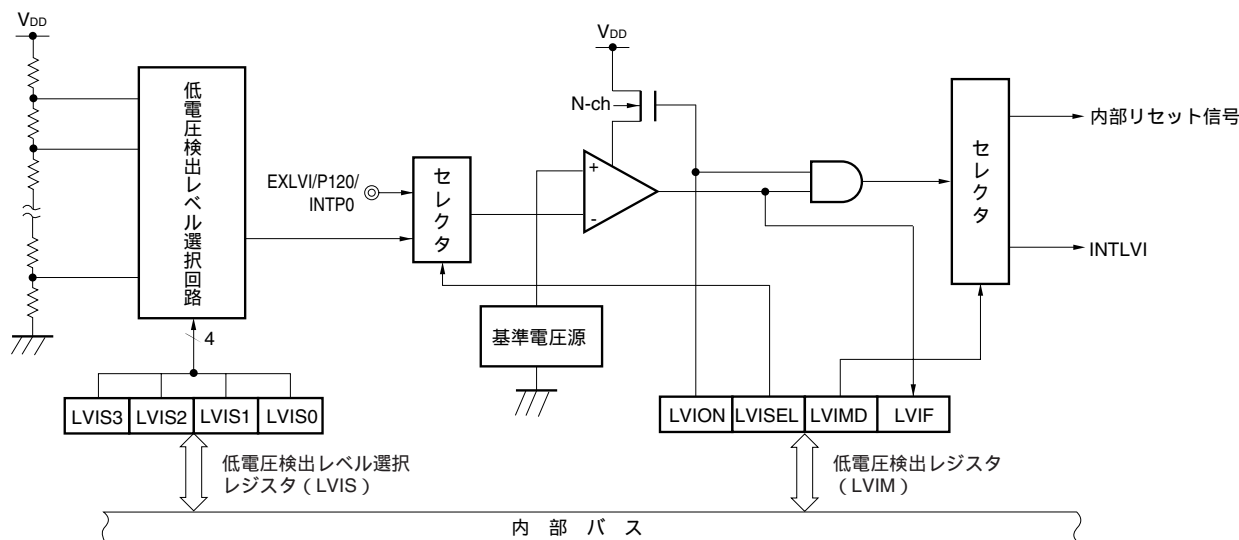
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は、**第23章 リセット機能** を参照してください。

25.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図25 - 1に示します。

図25 - 1 低電圧検出回路のブロック図



25.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図25 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFBEH リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, にV_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}), または動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}), または動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. LVI以外のリセット時では“00H”にクリアされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア(0)されます。LVIリセットではクリア(0)されません。
- LVIONをセット(1)すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット(1)してからLVIFで電圧を確認するまでの時間(10 μs (MAX.))をソフトウェアでウェイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット(1)されるまで, 200 μs (MIN.) かかります。

注意1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合: LVIMに“00H”を書き込む
 - ・1ビット・メモリ操作命令の場合: LVIONをクリア(0)
- 外部入力端子からの入力電圧 (EXLVI) は, EXLVI < V_{DD} でなければなりません。
 - LVIを割り込みとして使用する場合, LVI検出電圧未満の状態LVIONをクリア(0)すると, INTLVI信号が発生し, LVIFが1になります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図25 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH リセット時：00H[※] R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V _{LV10} (4.24 V ± 0.1 V)
0	0	0	1	V _{LV11} (4.09 V ± 0.1 V)
0	0	1	0	V _{LV12} (3.93 V ± 0.1 V)
0	0	1	1	V _{LV13} (3.78 V ± 0.1 V)
0	1	0	0	V _{LV14} (3.62 V ± 0.1 V)
0	1	0	1	V _{LV15} (3.47 V ± 0.1 V)
0	1	1	0	V _{LV16} (3.32 V ± 0.1 V)
0	1	1	1	V _{LV17} (3.16 V ± 0.1 V)
1	0	0	0	V _{LV18} (3.01 V ± 0.1 V)
1	0	0	1	V _{LV19} (2.85 V ± 0.1 V)
1	0	1	0	V _{LV110} (2.70 V ± 0.1 V)
1	0	1	1	V _{LV111} (2.55 V ± 0.1 V)
1	1	0	0	V _{LV112} (2.39 V ± 0.1 V)
1	1	0	1	V _{LV113} (2.24 V ± 0.1 V)
1	1	1	0	V _{LV114} (2.08 V ± 0.1 V)
1	1	1	1	V _{LV115} (1.93 V ± 0.1 V)

注 LVIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H”にクリアされます。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V_{EXLVI} = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図25 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

25.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0 の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1 の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0 の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1 の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIM のビット 0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット 1

LVISEL : LVIM のビット 2

25.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 (10 μ s (MAX.)) をウエイトする

LVIMのビット0 (LVIF) で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (レベル検出時にリセット発生) を設定する

図25 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

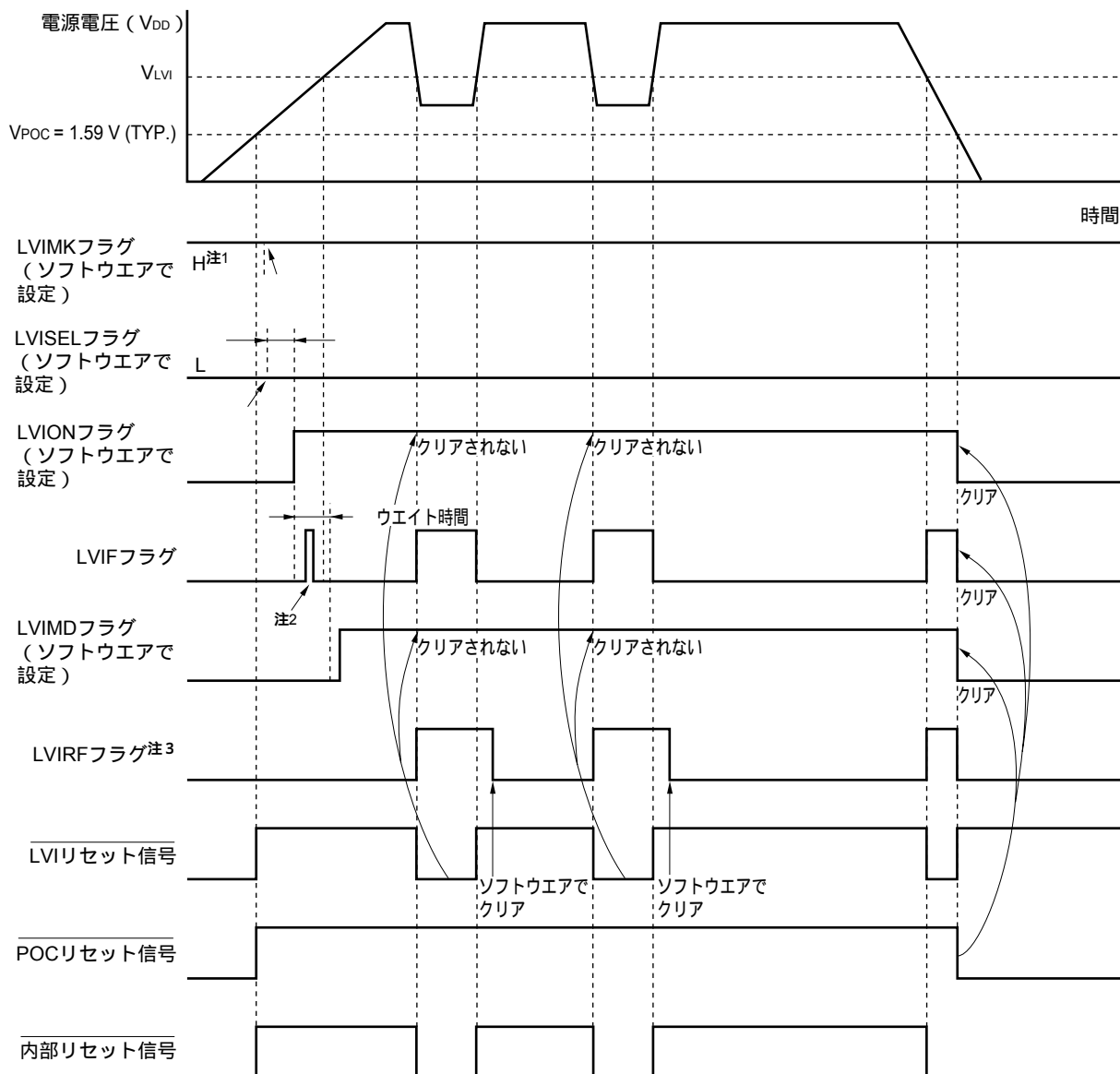
次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：
LVIMに “00H” を書き込む

- ・ 1ビット・メモリ操作命令の場合：
LVIMDをクリア (0) LVIONをクリア (0)

図25 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（1/2）

(1) 1.59 V POCモード設定時（オプション・バイト：POCMODE = 0）



注1．LVIMKフラグはリセット信号の発生により，“1”になっています。

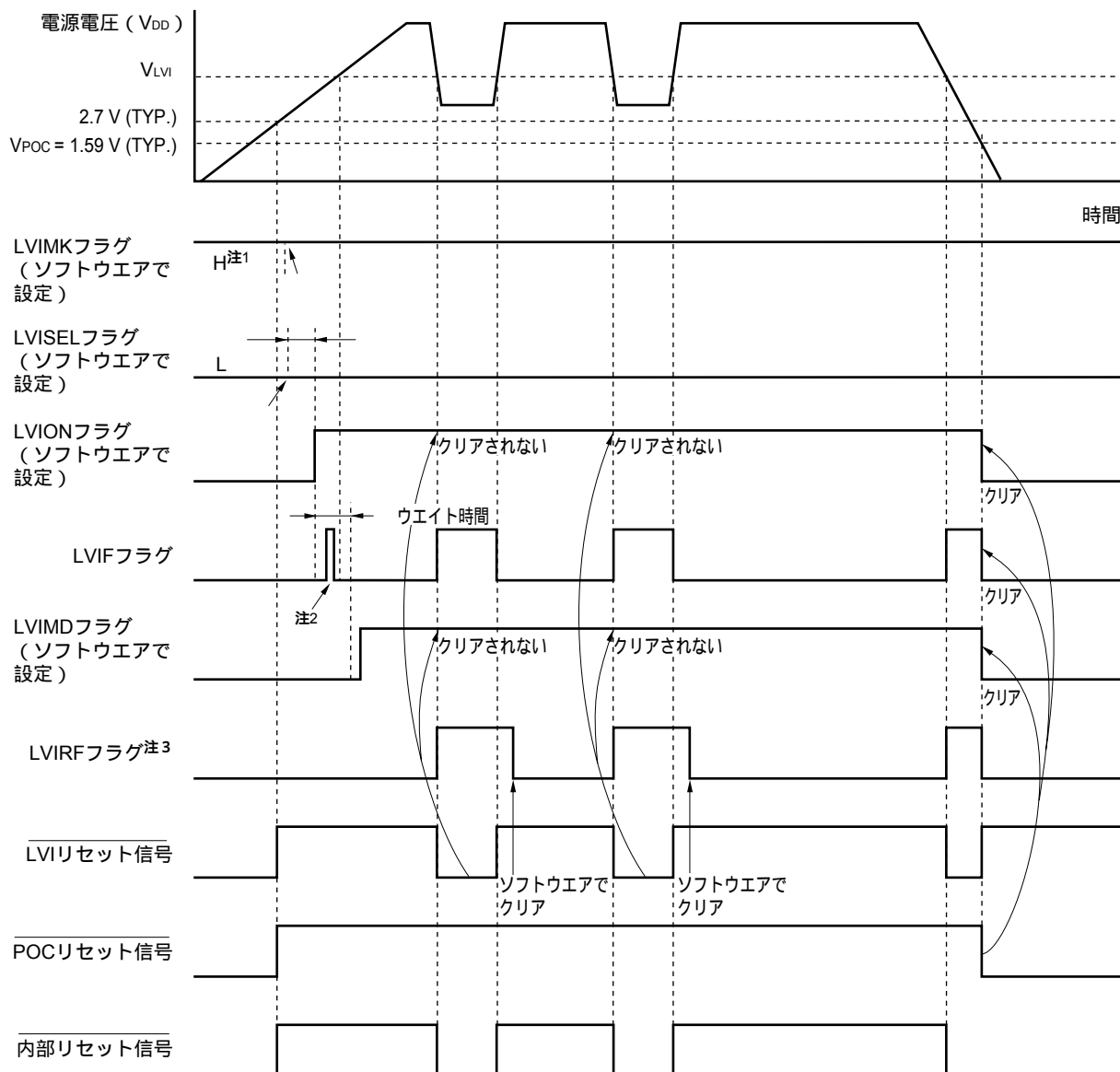
2．LVIFフラグがセット（1）される可能性があります。

3．LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考 図25 - 5の ~ は、25. 4. 1 (1) 電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

図25 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（2/2）

(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）



注1 . LVIMKフラグはリセット信号の発生により，“1”になっています。

2 . LVIFフラグがセット（1）される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考 図25 - 5の ~ は、25. 4. 1（1）電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MAX.))をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを確認するまで待つ
- LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図25 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

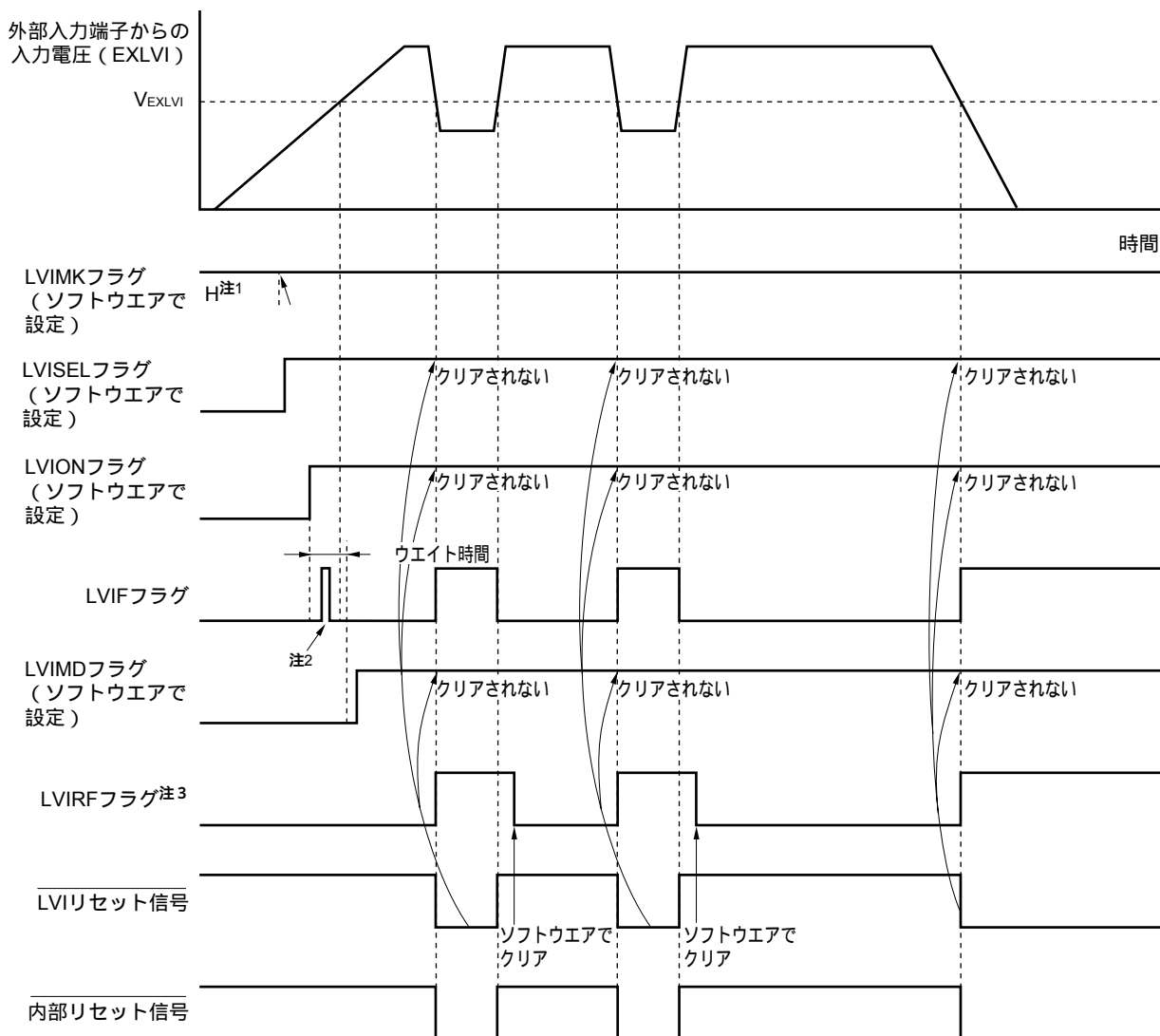
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIMDをクリア(0) LVIONをクリア(0)

図25 - 6 低電圧検出回路の内部リセット信号発生タイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。

2 . LVIFフラグがセット (1) される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第23章 リセット機能を参照してください。

備考 図25 - 6の ~ は, 25. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

25.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 (10 μs (MAX.)) をウエイトする

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

(ベクタ割り込みを使用する場合) EI命令を実行する

図25 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：

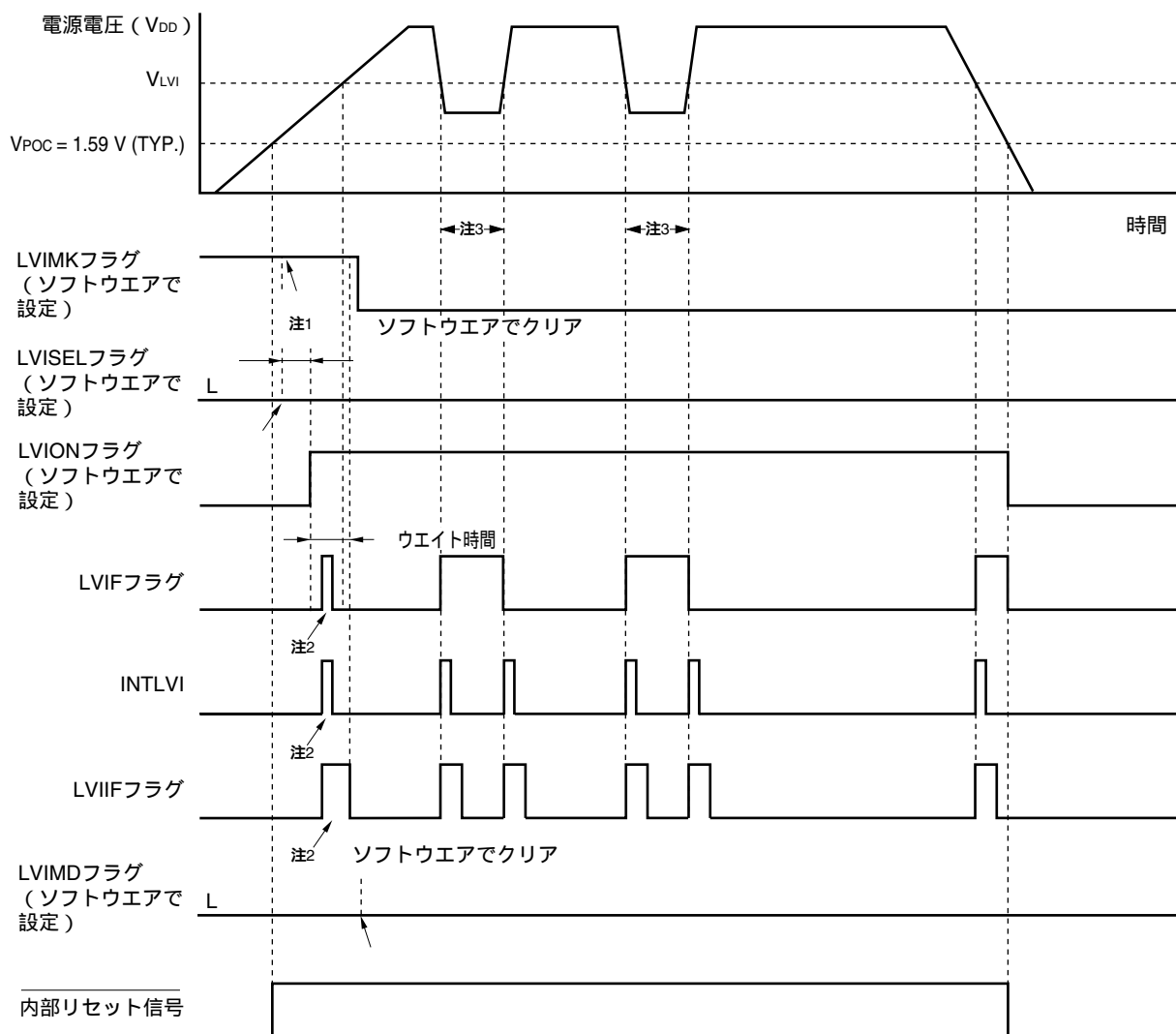
LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図25 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0)



注1. LVIMKフラグはリセット信号の発生により, "1" になっています。

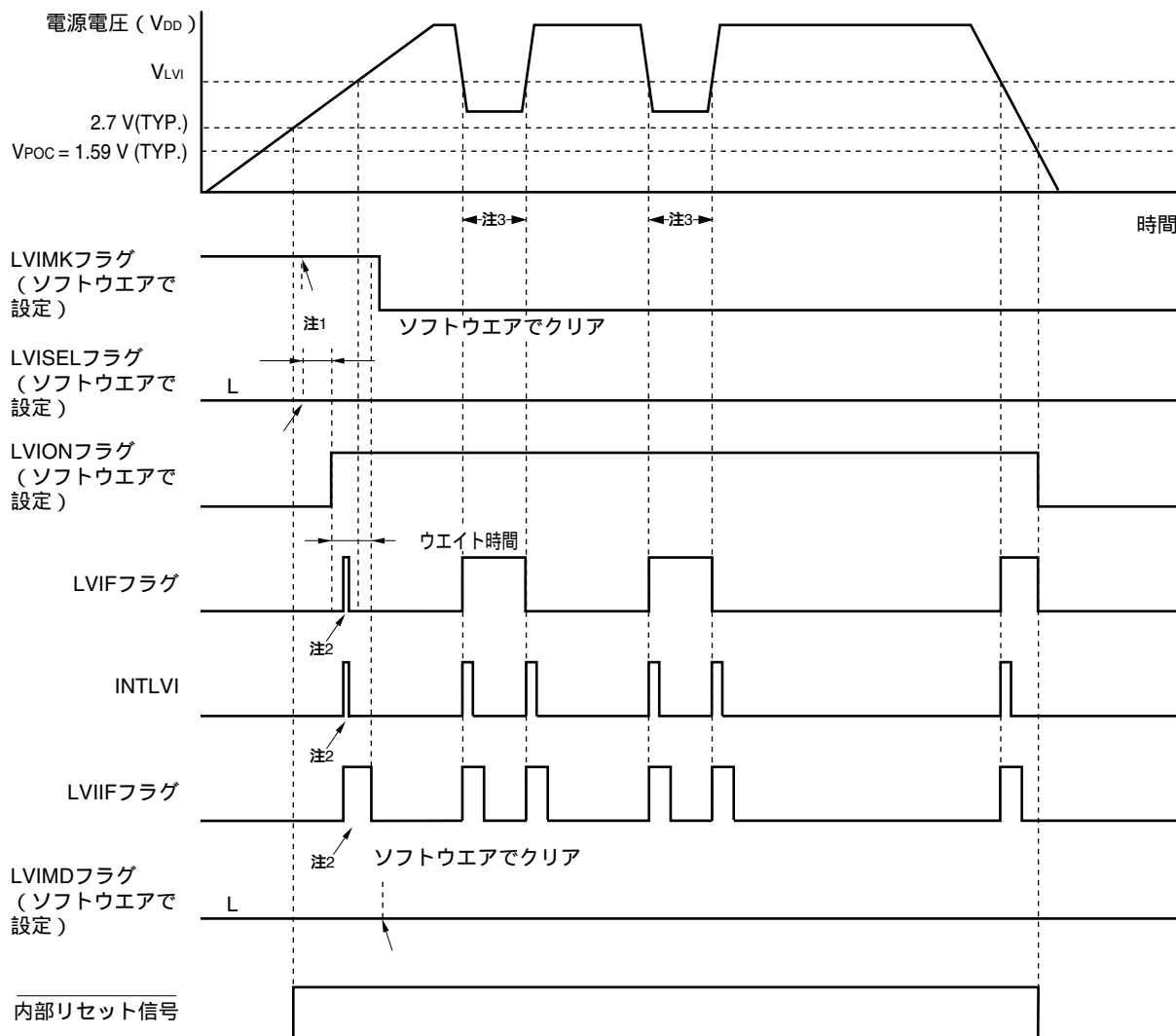
2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。

3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合, INTLVI信号が発生し, LVIIIFが1になります。

備考 図25 - 7の ~ は, 25. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

図25 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図25 - 7の ~ は、25. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 (10 μ s (MAX.)) をウエイトする
- LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- LVIMの割り込み要求フラグ (LVIIIF) をクリア (0) する
- LVIMの割り込みマスク・フラグ (LVIMK) を解除する
- LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- (ベクタ割り込みを使用する場合) EI命令を実行する

図25 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

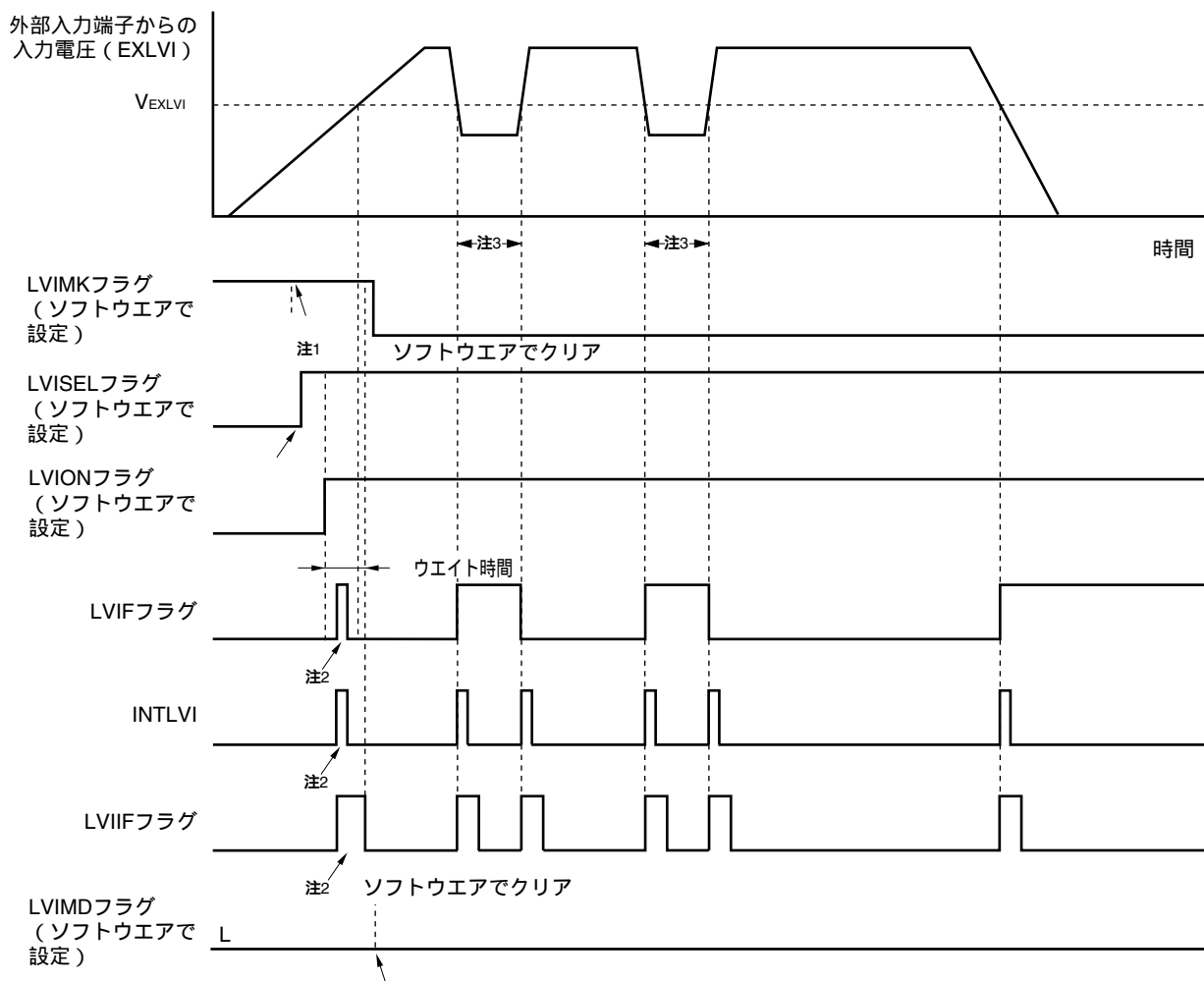
注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：
 - LVIMに “00H” を書き込む
- ・ 1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0)

図25 - 8 低電圧検出回路の割り込み信号発生時のタイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。
- 2 . 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
- 3 . LVI検出電圧未満の状態 LVIONをクリア (0) した場合, INTLVI信号が発生し, LVIIIFが1になります。

備考 図25 - 8の ~ は, 25. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

25.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図 25 - 9 を参照)。

(2) 割り込みとして使用する場合

(a) LVI 割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット 0 (LVIF) をクリア (0) してください。

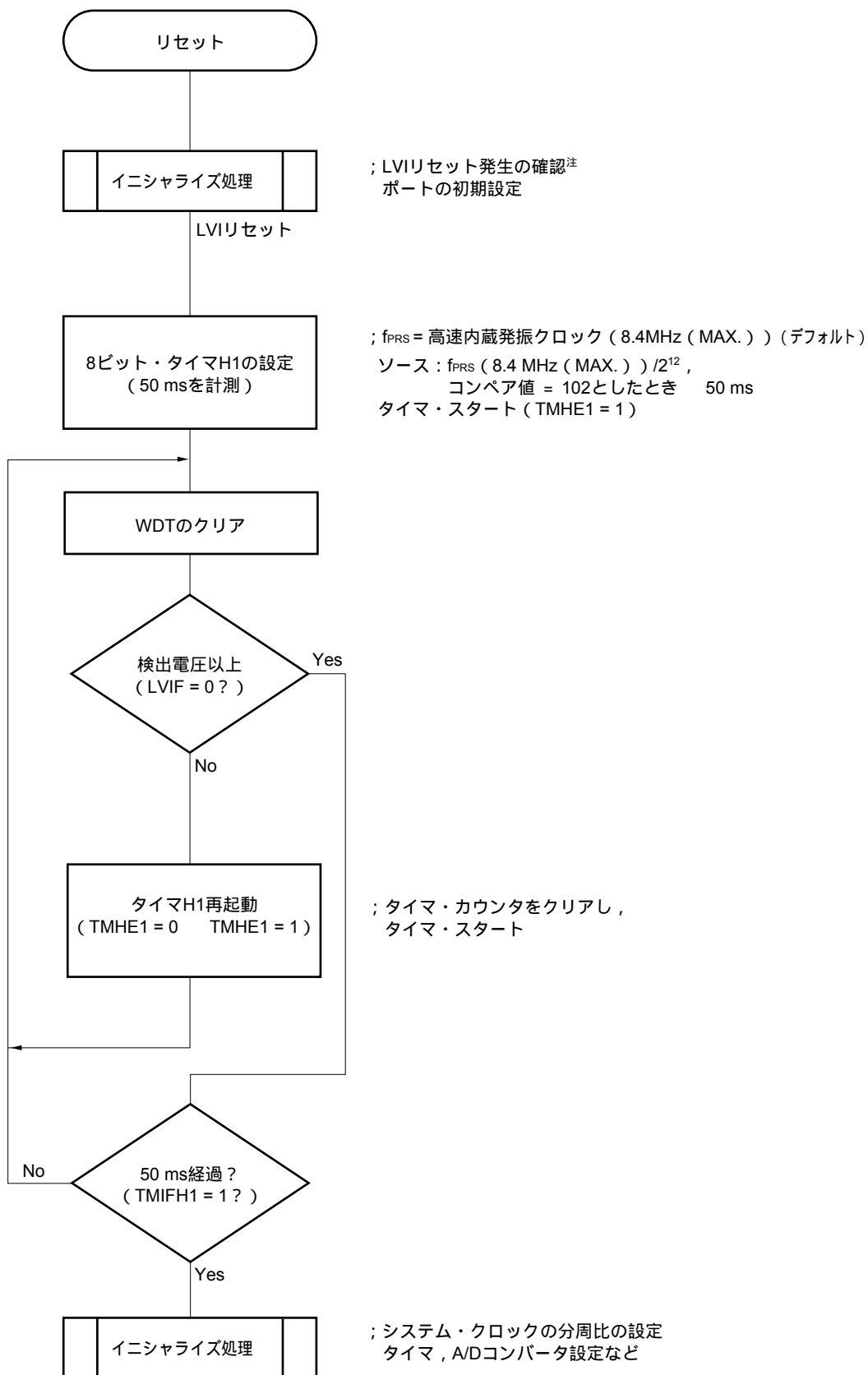
(b) LVI 検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIF フラグにて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、LVIF フラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット 2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図25 - 9 リセット解除後のソフト処理例 (1/2)

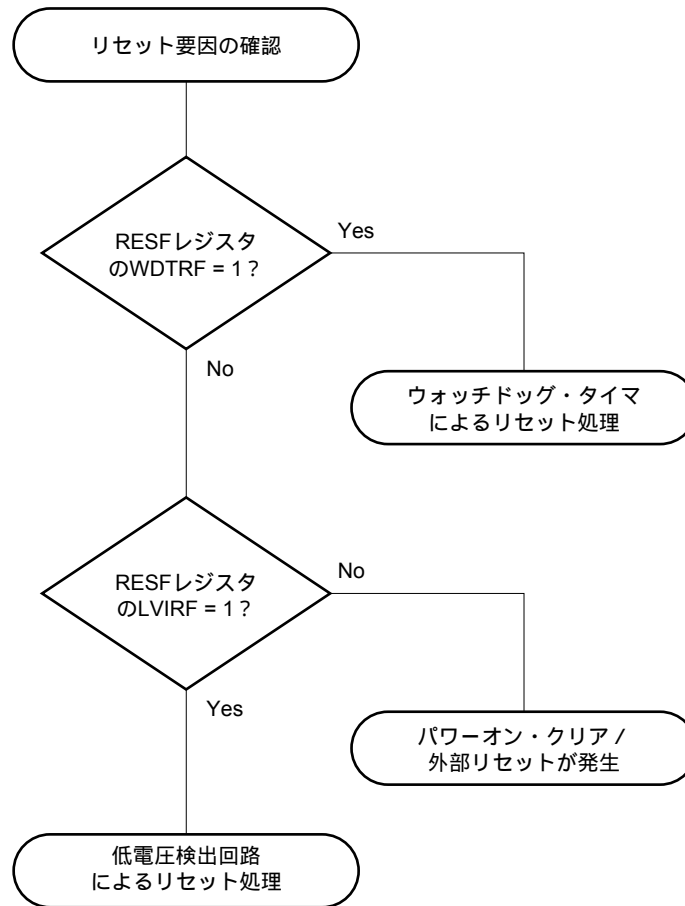
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図25 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第26章 オプション・バイト

26.1 オプション・バイトの機能

78K0/Kx2-Cのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

注意 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。

(1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのインターバル時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

注意 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

(2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (POCMODE = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えるとリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。

電源投入から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

- ・1.59 V POCモード動作時 (POCMODE = 0)

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えるとリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定できません（このとき、1.59 V POCモード（デフォルト）になります）。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

(3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止
- ・オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

26.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図26 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H^注

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット1 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

3. LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット1 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウンタ・クロックは供給されません。

ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウンタ・クロックが供給されます。

4. ビット7には必ず0を書き込んでください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

2. () 内は $f_{RL} = 264$ kHz (MAX.) の場合

図26 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H^{注1, 2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

注1. POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では設定できません(このとき、1.59 V POCモード(デフォルト)になります)。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去(チップ消去)後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H, 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消さない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第28章 オンチップ・デバッグ機能を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第23章 リセット機能**を参照してください。

第27章 フラッシュ・メモリ

78K0/Kx2-Cは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

27.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表27 - 1に示す値を設定してください。

図27 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
1	0	0	0	32 Kバイト
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

注意 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表27 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

78K0/KC2-C	78K0/KE2-C	IMSの設定値
μ PD78F0760	μ PD78F0763	C8H
μ PD78F0761	μ PD78F0764	CCH
μ PD78F0762	μ PD78F0765	CFH

備考 IMSの設定により、内部ROM容量と内部高速RAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IMSの設定は、デバッグ対象の製品に合わせてください。

27.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量を選択してください。

IXSは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0CHになります。

- 注意1.** リセット解除後に各製品ごとに表27 - 2に示す値を設定してください。
- 2.** 内部拡張RAMを内蔵していない製品には、IXSを搭載していません。

図27 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	1	0	0	0バイト
1	0	1	0	1024バイト
1	0	0	0	2048バイト
上記以外				設定禁止

注意 メモリ・サイズを設定する場合、IMSを設定したあとに、IXSを設定してください。また、内部ROM領域と内部拡張RAM領域が重ならないように、メモリ・サイズを設定してください。

表27 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

78K0/KC2-C	78K0/KE2-C	IXSの設定値
μ PD78F0760 ^注	μ PD78F0763 ^注	0CH
μ PD78F0761	μ PD78F0762	0AH
μ PD78F0762	μ PD78F0763	08H

注 内部拡張RAMを内蔵していない製品は、IXSを搭載していません。

備考 IXSの設定により、内部拡張RAM容量をデバッグ対象の製品に合わせ、デバッグすることができます。IXSの設定は、デバッグ対象の製品に合わせてください。

27.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/Kx2-Cを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0/Kx2-Cを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

27.4 プログラミング環境

78K0/Kx2-Cのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図27-3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Kx2-CとのインタフェースはCSI10またはUART60を使用して、書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

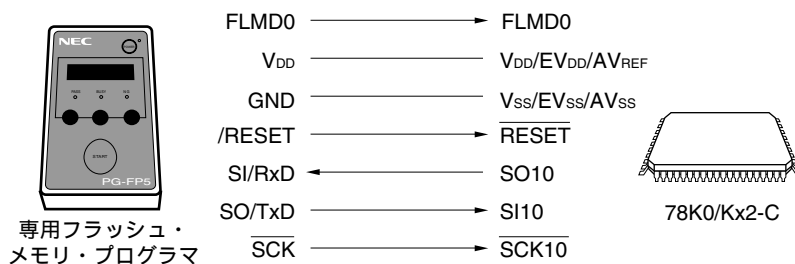
27.5 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Kx2-Cとの通信は、78K0/Kx2-CのCSI10またはUART60によるシリアル通信で行います。

(1) CSI10

転送レート：2.4 kHz～2.5 MHz

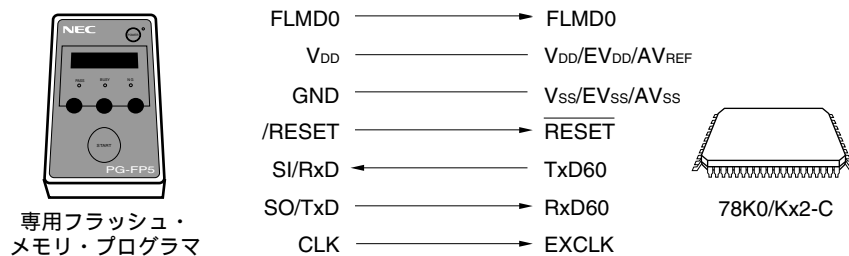
図27-4 専用フラッシュ・メモリ・プログラマとの通信 (CSI10)



(2) UART60

転送レート：115200 bps

図27-5 専用フラッシュ・メモリ・プログラマとの通信 (UART60)



備考 EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

専用フラッシュ・メモリ・プログラマは78K0/Kx2-Cに対して次の信号を生成します。詳細はPG-FP5, FL-PR5のマニュアルを参照してください。

表27 - 3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/KC2-C	78K0/KE2-C	接続時の処置	
信号名	入出力	端子機能	端子名	端子名	CSI10	UART60
FLMD0	出力	モード信号	FLMD0	FLMD0		
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , AV _{REF}	V _{DD} , EV _{DD} , AV _{REF}		
GND	-	グラウンド	V _{SS} , AV _{SS}	V _{SS} , EV _{SS} , AV _{SS}		
CLK	出力	78K0/Kx2-Cへのクロック出力	EXCLK/X2/P122	EXCLK/X2/P122	x ^{注1}	注2
/RESET	出力	リセット信号	RESET	RESET		
SI/RxD	入力	受信信号	SO10/TxD60	SO10/TxD60		
SO/TxD	出力	送信信号	SI10/RxD60	SI10/RxD60		
SCK	出力	転送クロック	SCK10	SCK10		x

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

- UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。

備考1. : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

x : 接続の必要はありません。

- 専用フラッシュ・メモリ・プログラマと接続しない端子は、表2 - 3 各端子の入出力回路タイプ (78K0/KC2-C) または表2 - 4 各端子の入出力回路タイプ (78K0/KE2-C) の「未使用時の推奨接続方法」に示されている処理を行うことを推奨します。

27.6 オンボード上の端子処理

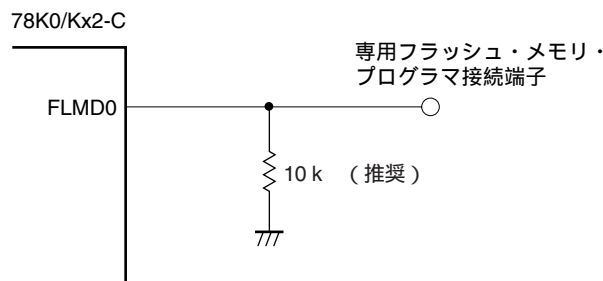
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

27.6.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図27-6 FLMD0端子の接続例



27.6.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表27-4 各シリアル・インタフェースが使用する端子

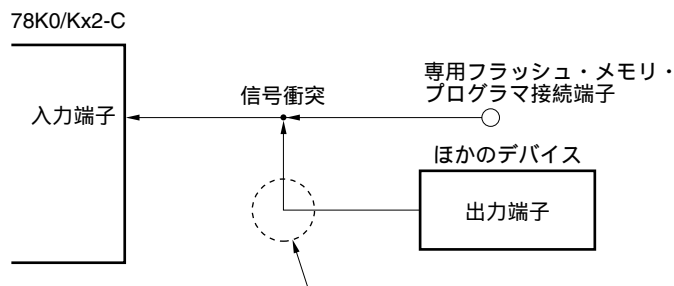
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, SCK10
UART60	TxD60, RxD60

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図27-7 信号の衝突 (シリアル・インタフェースの入力端子)

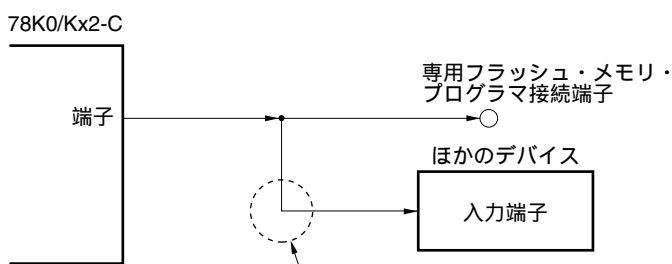


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

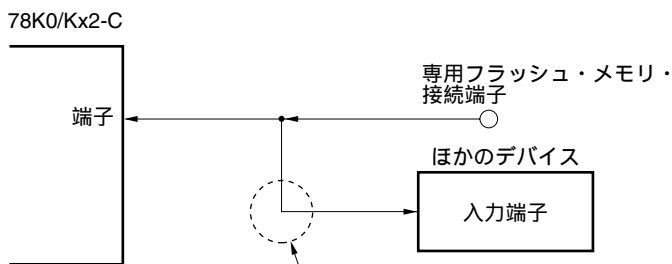
(2) ほかのデバイスの異常動作

ほかのデバイス (入力) と接続しているシリアル・インタフェース用の端子 (入力または出力) に、専用フラッシュ・メモリ・プログラマ (出力または入力) を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図27-8 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、78K0/Kx2-Cが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



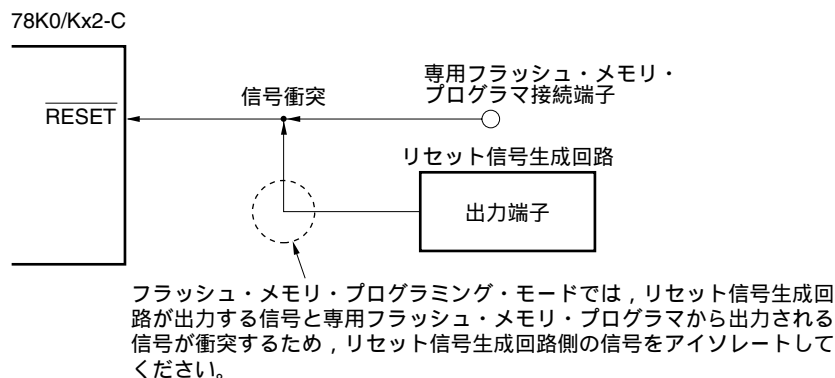
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・メモリ・プログラマが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

27.6.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図27-9 信号の衝突 ($\overline{\text{RESET}}$ 端子)



27.6.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してEV_{DD}[※]に接続するか、または抵抗を介してEV_{SS}[※]に接続するなどの端子処理が必要です。

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。EV_{DD}端子がない製品は、V_{DD}に接続してください。

27.6.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF : 推奨) を介し、GNDに接続してください。

27.6.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。
ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合、プログラマのCLKとEXCLK/X2/P122を接続してください。

- 注意1.** CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。
2. UART60使用時は、X1クロック (f_x) または外部メイン・システム・クロック (f_{EXCLK}) のみ使用できます。
3. フラッシュ・メモリ・プログラマによる書き込みをする場合、P31/IINTP2/OCD1A, P121/X1/OCD0Aを次のように処理してください。
- ・ P31/IINTP2/OCD1A : 抵抗を介してEV_{SS}^注に接続してください。
 - ・ P121/X1/OCD0A : 抵抗を介してV_{SS}に接続してください。

注 EV_{SS}端子がない製品は、V_{SS}に接続してください。

27.6.7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、V_{DD}、V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}、GNDと必ず接続してください。

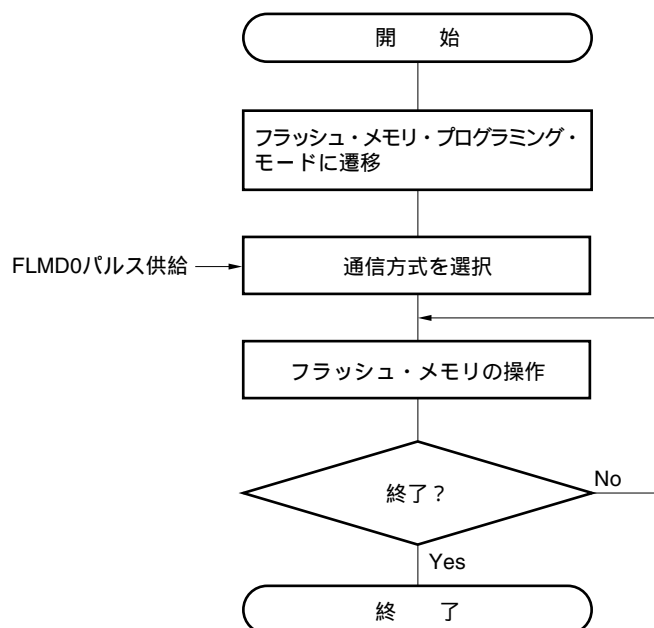
その他の電源 (EV_{DD}, EV_{SS}, AV_{REF}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

27.7 プログラミング方法

27.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図27 - 10 フラッシュ・メモリの操作手順



27.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Kx2-C をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子を V_{DD} 設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図27 - 11 フラッシュ・メモリ・プログラミング・モード

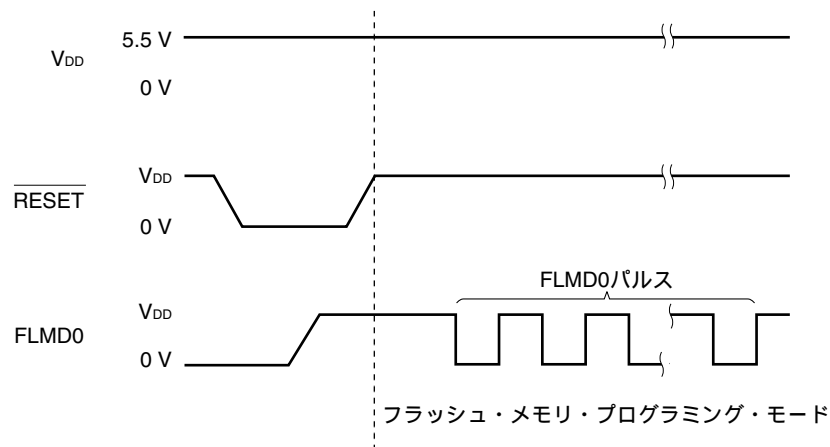


表27 - 5 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V_{DD}	フラッシュ・メモリ・プログラミング・モード

27.7.3 通信方式の選択

78K0/Kx2-Cでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルスを入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表27-6 通信方式一覧

通信方式	Standard設定 ^{注1}				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART60)	UART-Ext-Osc	115200 bps ^{注3}	2 M-20 MHz ^{注2}	1.0	TxD60,	fx	0
	UART-Ext-FP5CK				RxD60		
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz~2.5 MHz	-		SO10, SI10, SCK10	fRH	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。
3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

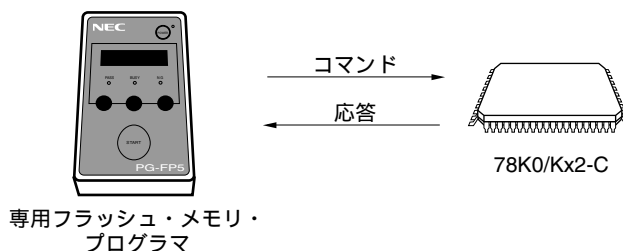
注意 UART60選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

備考 fx : X1クロック
 fEXCLK : 外部メイン・システム・クロック
 fRH : 高速内蔵発振クロック

27.7.4 通信コマンド

78K0/Kx2-Cと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0/Kx2-Cへ送られる信号を「コマンド」と呼び、78K0/Kx2-Cから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図27-12 通信コマンド



78K0/Kx2-Cのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Kx2-Cがコマンドに対応した各処理を行います。

表27-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	78K0/Kx2-C情報（品名，フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Kx2-Cバージョン，ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また，78K0/Kx2-Cは，専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して，応答を返します。78K0/Kx2-Cが送出する応答名称を次に示します。

表27-8 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

27.8 セキュリティ設定

78K0/Kx2-Cは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Kx2-Cのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表27-9に示します。

表27 - 9 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表27 - 10に示します。

表27 - 10 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

27.9 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Kx2-Cは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

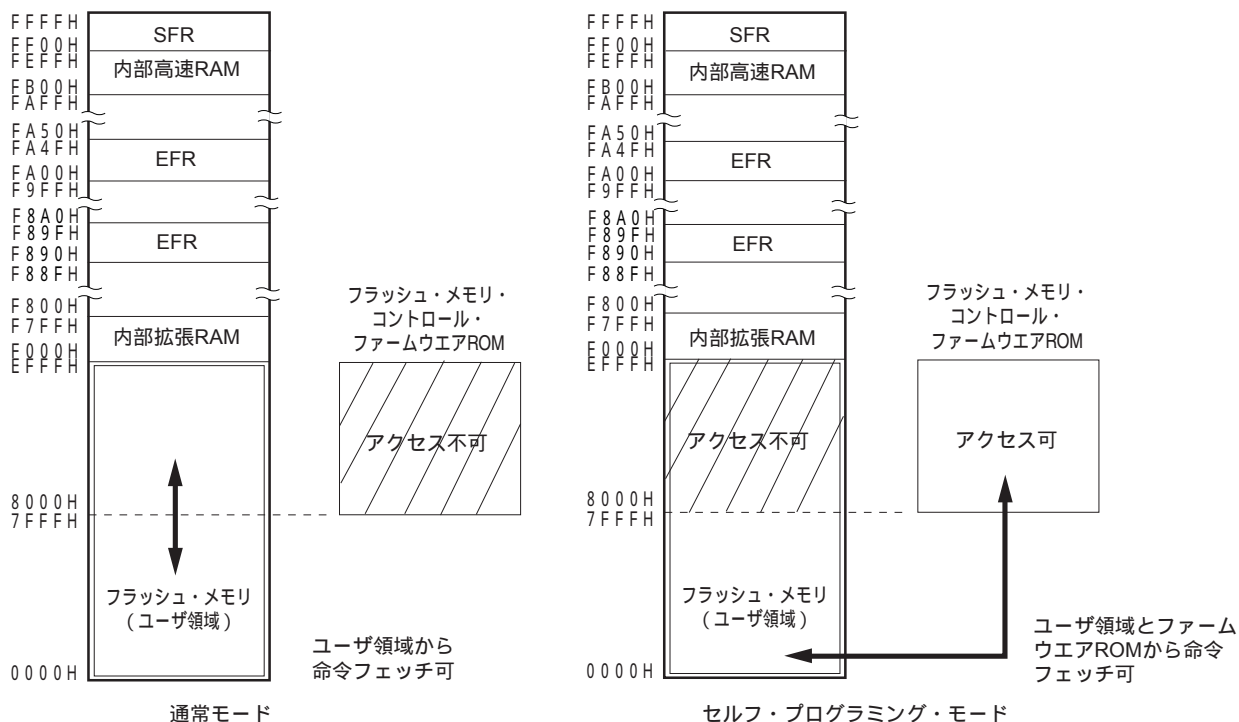
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

備考 セルフ・プログラミング機能の詳細およびセルフ・プログラミング・ライブラリの詳細については、78K0 マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

- 注意1.** CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
2. セルフ・プログラミング時は、RSTOPフラグ（内蔵発振モード・レジスタ（RCM）のビット0）の設定に関わらず、高速内蔵発振器の発振が開始されます。STOP命令を実行しても、高速内蔵発振器の発振を停止することはできません。
 3. セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
 4. セルフ・プログラミング開始前に必ずDI命令を実行してください。
セルフ・プログラミング機能は割り込み要求フラグ（IF0L, IF0H, IF1L, IF1H）を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
 5. セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）で割り込みをマスクしてください。

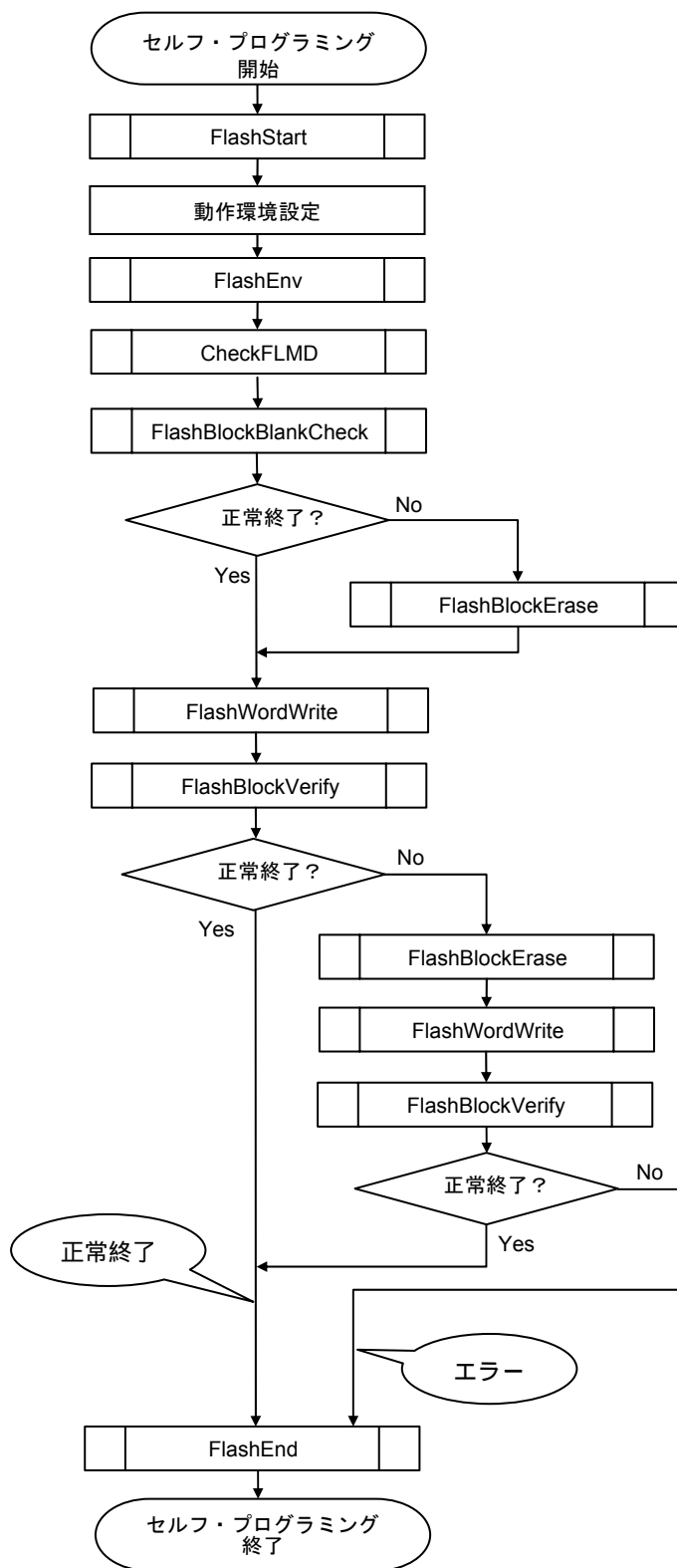
注意6. セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHのコモン・エリアに配置してください。

図27 - 13 セルフ・プログラミングの動作モードとメモリ・マップ (μ PD78F0762, 78F0765の場合)



次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図27 - 14 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

27.9.1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Kx2-C内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Kx2-C内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

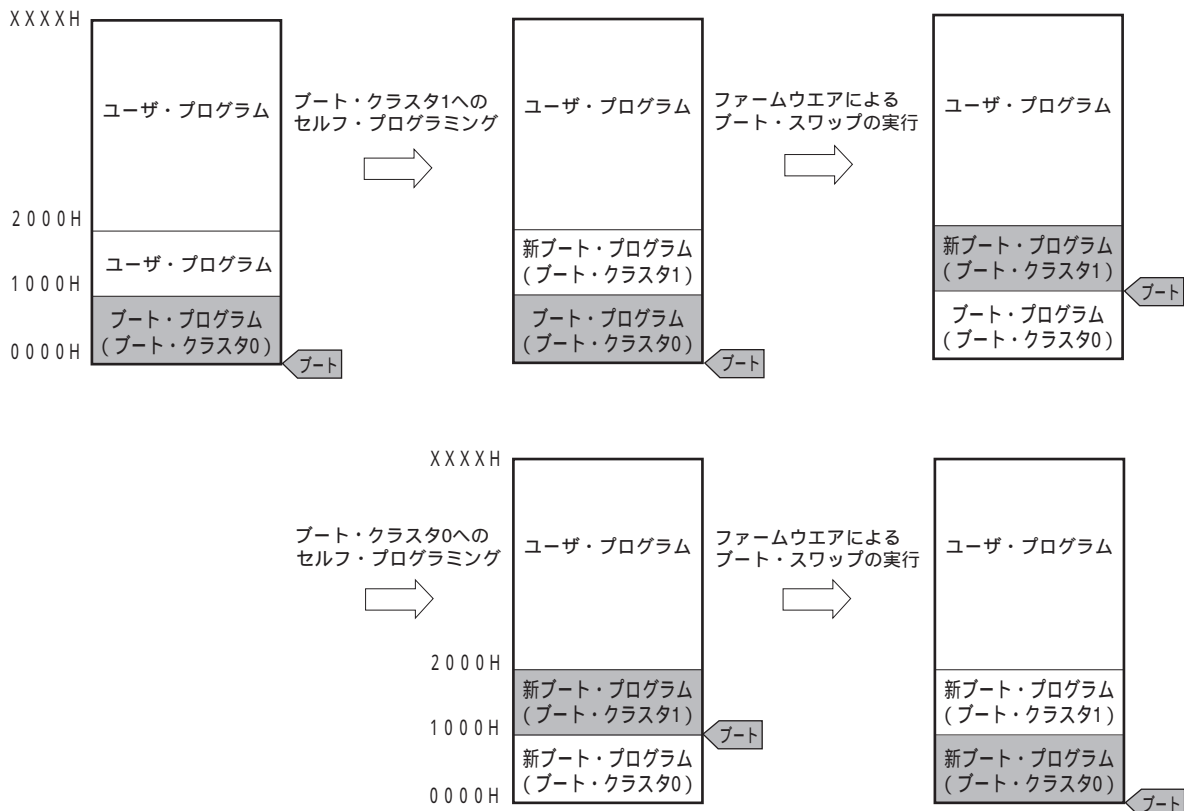
注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

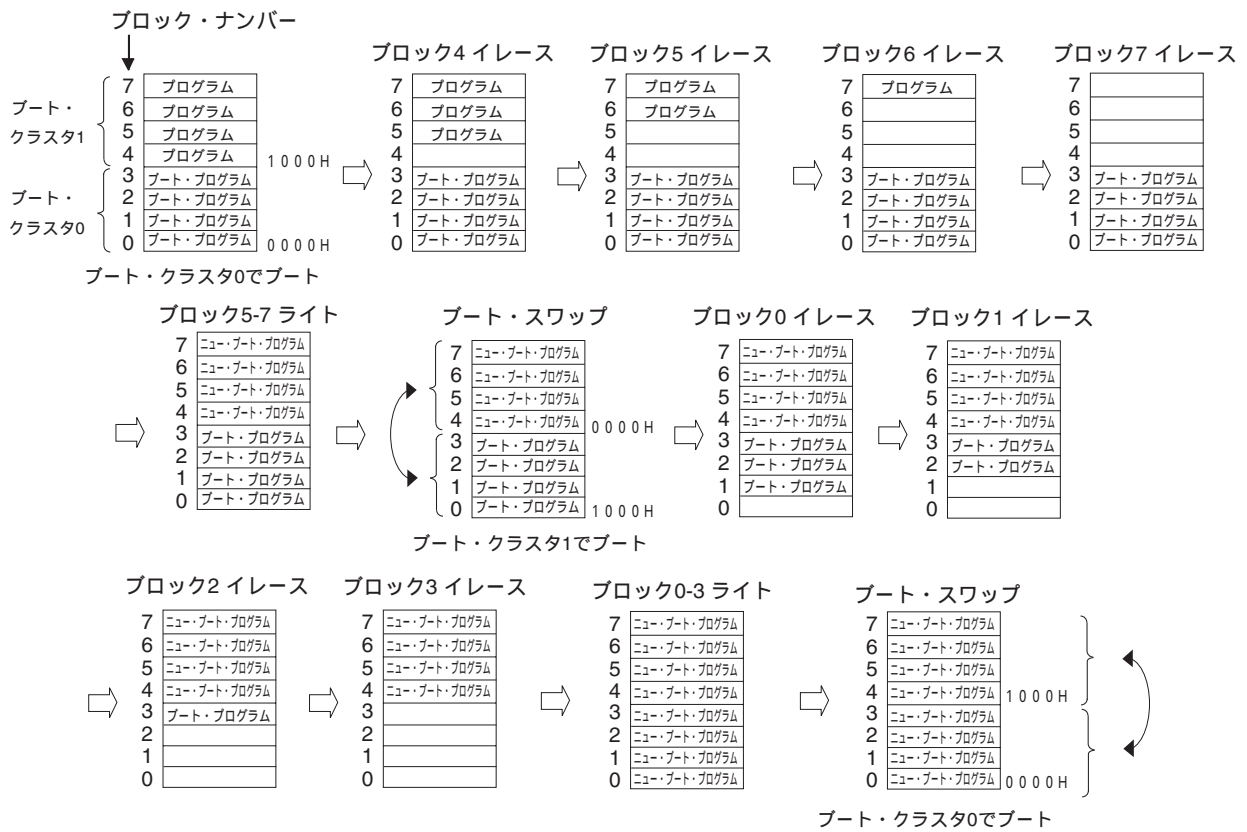
注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

図27-15 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図27 - 16 ブート・スワップの実行例



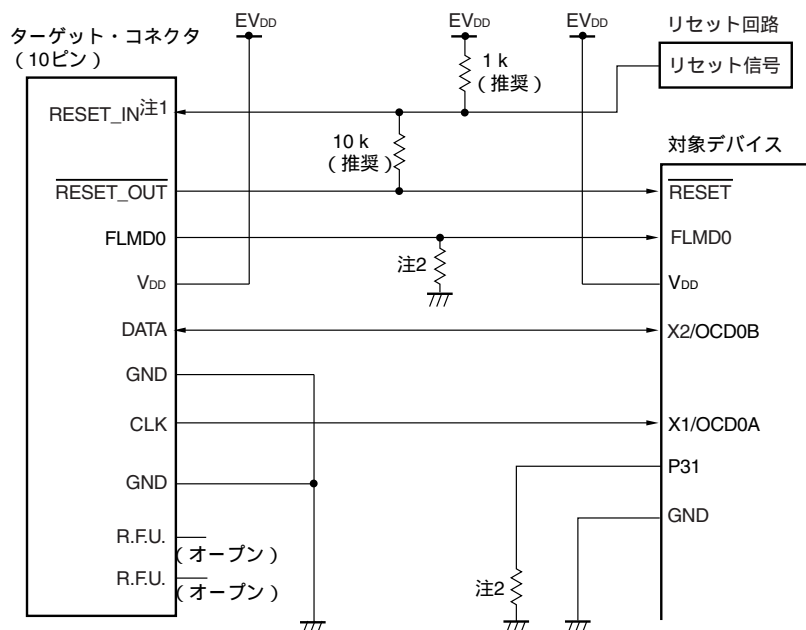
第28章 オンチップ・デバッグ機能

28.1 QB-MINI2と78K0/Kx2-Cの接続

78K0/Kx2-Cは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ(QB-MINI2)を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、OCD0A/X1(またはOCD1A/P31)、OCD0B/X2(またはOCD1B/P32)、 V_{SS} 端子を使用します。OCD0A/X1とOCD1A/P31、OCD0B/X2とOCD1B/P32はどちらを使用するか、選択できます。

注意 78K0/Kx2-Cには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図28 - 1 QB-MINI2と78K0/Kx2-Cの接続例(OCD0A/X1, OCD0B/X2使用時)

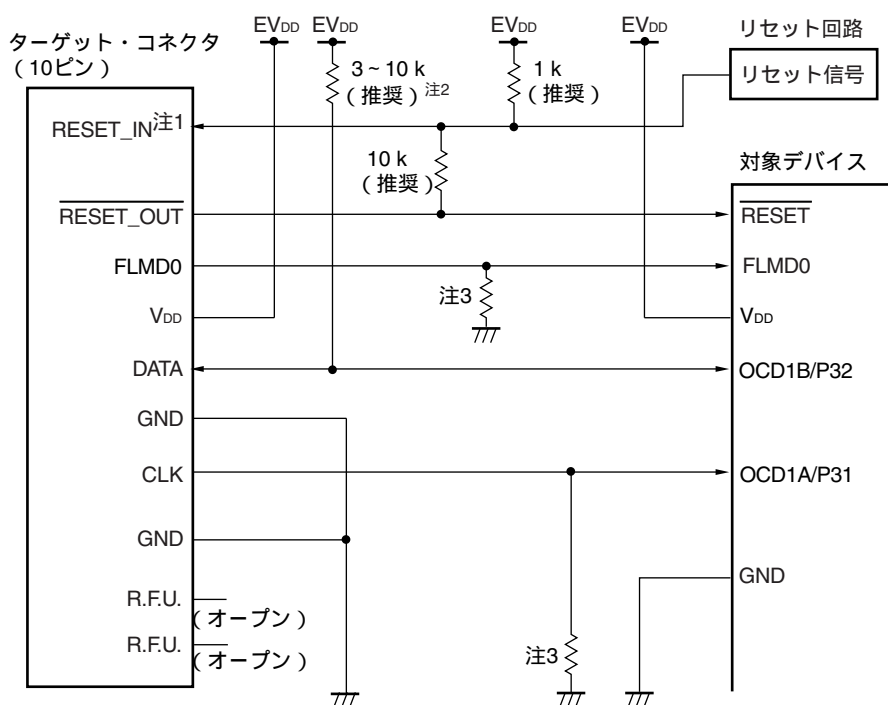


- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ(出力抵抗: 100 Ω以下)によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル(U18371J)を参照してください。
2. プルダウン抵抗値は470 Ω以上(10 kΩ: 推奨)にしてください。

- 注意1.** オンチップ・デバッグ時は、OCD0A/X1端子よりクロック入力します。
2. OCD0A/X1, OCD0B/X2端子を使用する場合、OCD1A/P31端子を外部でプルダウンするか、またはP130端子(リセットがかかるとロウ・レベルを出力)を使用した外付け回路で制御してください。

備考 EV_{DD} 、 EV_{SS} 端子がない78K0/KC2-Cは、 EV_{DD} を V_{DD} に、 EV_{SS} を V_{SS} に置き換えてください。

図28 - 2 QB-MINI2と78K0/Kx2-Cの接続例 (OCD1A/P31 , OCD1B/P32使用時)

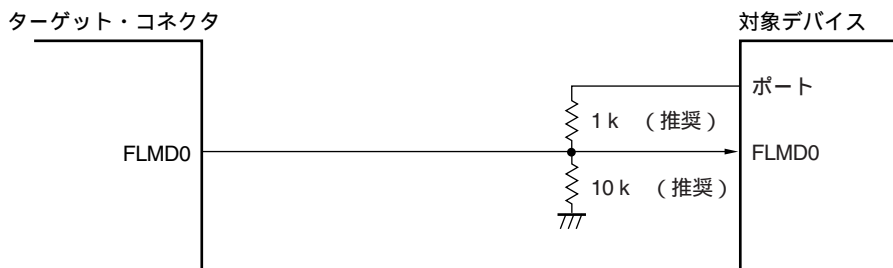


- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ (出力抵抗: 100 Ω以下) によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-MINI2未接続時にオープンになるのを防ぐため)。
3. プルダウン抵抗値は470 Ω以上 (10 kΩ: 推奨) にしてください。

備考 EV_{DD}、EV_{SS}端子がない178K0/KC2-Cは、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き換えてください。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図28 - 3 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



注意 FLMD0端子を制御するポートは、第30章 電気的特性に記載されているハイ・レベル出力電流とFLMD0電源電圧 (MIN. 値: 0.8V_{DD}) の値を満たすように、十分注意してご使用ください。

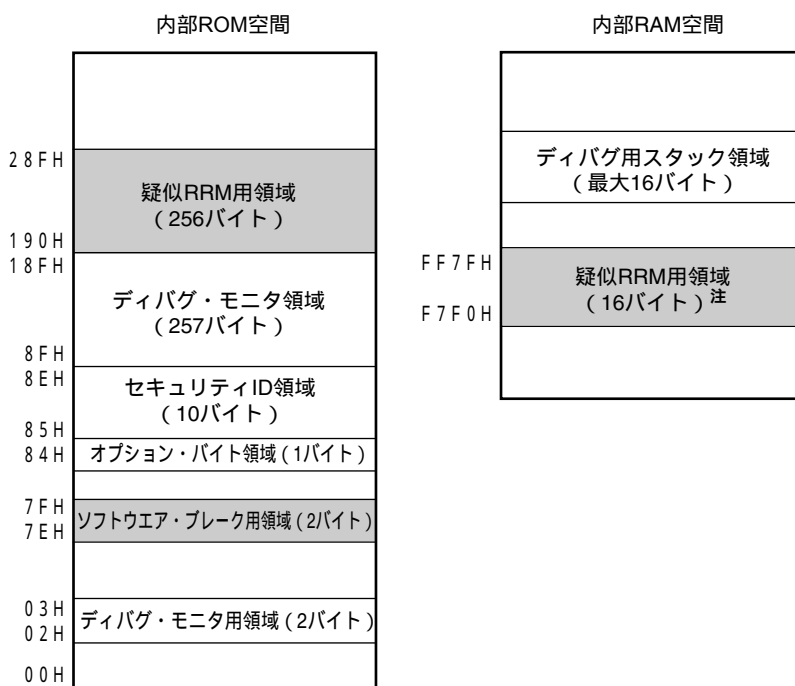
28.2 QB-MINI2が使用する予約領域

QB-MINI2は、78K0/Kx2-Cとの通信、または各デバッグ機能を実現するために、図28-4で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し、それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

図28-4 QB-MINI2が使用する予約領域



注 内部拡張RAMを内蔵していない製品 (μ PD78F0760, 78F0763) は、この領域を確保する必要はありません。

備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
それ以外の予約領域 : デバッグ時に必ず使用する領域

第29章 命令セットの概要

78K0/Kx2マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

29. 1 凡 例

29. 1. 1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表29 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 7 特殊機能レジスタ一覧を参照してください。

29. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

29. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

29.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
		A, [DE]	1	4	6	A (DE)			
A, [HL]		1	4	6	A (HL)				
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp ^{注3}	1	4	-	AX rp			
		rp, AX ^{注3}	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp ^{注3}	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	XOR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)	x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)	x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)	x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0			
CPU制御	SEL	Rbn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1 (Enable Interrupt)			
	DI		2	-	6	IE = 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

29.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL,
RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP			ROR ROL RORC ROLC
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第30章 電気的特性

対象製品 78K0/KC2-C : μ PD78F0762, μ PD78F0761, μ PD78F0760

78K0/KE2-C : μ PD78F0765, μ PD78F0764, μ PD78F0763

注意1. 78K0/Kx2-Cは開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/KC2-C	78K0/KE2-C
ポート0	P00, P01	P00-P06
ポート1	P10-P17	P10-P17
ポート2	P20-P27	P20-P27
ポート3	P30-P33	P30-P33
ポート4	P40, P41	P40-P43
ポート5	-	P50-P53
ポート6	P60-P63	P60-P63
ポート7	P70-P75	P70-P77
ポート12	P120-P124	P120-P124
ポート13	P130	P130
ポート14	P140	P140, P141

(次ページに、続きの表があります)

(2) ポート以外の機能

機 能		78K0/KC2-C	78K0/KE2-C
電源, グランド		V _{DD} , AV _{REF} , V _{SS} , AV _{SS}	V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}
レギュレータ		REGC	REGC
リセット		RESET	RESET
クロック発振		X1, X2, XT1, XT2, EXCLK	X1, X2, XT1, XT2, EXCLK
リアルタイム・カウンタ		RTC1HZ, RTCCL, RTCDIV	RTC1HZ, RTCCL, RTCDIV
フラッシュ書き込み		FLMD0	FLMD0
割り込み		INTP0-INTP6	INTP0-INTP6
キー割り込み		KR0-KR3	KR0-KR7
タイマ	TM00	TI000, TI010, TO00	TI000, TI001, TI002, TI010, TI011, TI012, TO00, TO01, TO02
	TM50	TI50, TO50	TI50, TO50
	TM51	TI51, TO51	TI51, TO51
	TMH0	TOH0	TOH0
	TMH1	TOH1	TOH1
シリアル・インタフェース	UART0	RxD0, TxD0	RxD0, TxD0
	UART6	RxD60, TxD60	RxD60, RxD61, TxD60, TxD61
	IICA00, IICA01, IICA02	SDAA0-SDAA2, SCLA0-SCLA2	SDAA0-SDAA2, SCLA0-SCLA2
	CSI10	SCK10, SI10, SO10	SCK10, SI10, SO10
	CSI11	SCK11, SI11, SO11	SCK11, SI11, SO11, SSI11
リモコン受信		RIN, ROUT	RIN, ROUT
CEC送受信		CECIN, CECIO, CECOUT	CECIN, CECIO, CECOUT
A/Dコンバータ		ANI0-ANI7	ANI0-ANI7
クロック出力		PCL	PCL
ブザー出力		-	BUZ
LVI回路		EXLVI	EXLVI
オンチップ・デバッグ機能		OCD0A, OCD1A, OCD0B, OCD1B	OCD0A, OCD1A, OCD0B, OCD1B

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^注	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{I_{REGC}}		- 0.5 ~ + 3.6 かつ - 0.5 ~ V _{DD}	V
入力電圧	V _{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P43, P50-P53, P120-P124, P140, P141, X1, X2, XT1, XT2, RESET, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^注	V
	V _{I2}	P60-P63, P70-P77 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}	ANI0-ANI7	- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P120-P124, P130, P140, P141	- 10	mA
		端子合計 - 80 mA	P00-P04, P40-P43, P120, P130, P140, P141	- 25	mA
			P05, P06, P10-P17, P30-P33, P50-P53	- 55	mA
	IOH2	1端子	P20-P27	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P60-P63, P70-P77, P120-P124, P130, P140, P141	30	mA
		端子合計 200 mA	P00-P04, P40-P43, P120, P130, P140, P141	60	mA
			P05, P06, P10-P17, P30-P33, P50-P53, P60-P63, P70-P77	140	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時		- 40 ~ + 85	
保存温度	Tstg			- 65 ~ + 150	

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

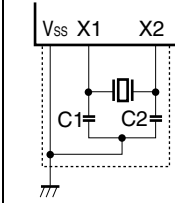
- 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発振周波数 (f_x) 注	2.7 V V_{DD} 5.5 V	2.0		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	2.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

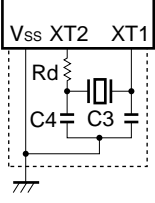
発振子	項目	条件	MIN.	TYP.	MAX.	単位
8 MHz 内蔵発振器	高速内蔵発振クロック	2.5 V V_{DD} 5.5 V	7.6	8.0	8.4	MHz
	周波数 (f_{RH}) ^注	1.8 V $V_{DD} < 2.5$ V	6.75	8.0	8.4	
240 kHz 内蔵発振器	低速内蔵発振クロック	2.6 V V_{DD} 5.5 V	216	240	264	kHz
	周波数 (f_{RL})	1.8 V $V_{DD} < 2.6$ V	192	240	264	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

推奨発振回路定数

(1) X1発振 : セラミック発振子 (AMPH = 0, T_A = - 40 ~ + 85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	SMD	2.0	内蔵 (47)	内蔵 (47)	0	1.8	5.5
	CSTCR4M00G55-R0	SMD	4.0	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M00G56-B0	リード		内蔵 (47)	内蔵 (47)	0		
	CSTCR4M19G55-R0	SMD	4.194	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M19G56-B0	リード		内蔵 (47)	内蔵 (47)	0		
	CSTCR4M91G55-R0	SMD	4.915	内蔵 (39)	内蔵 (39)	0		
	CSTLS4M91G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCR5M00G55-R0	SMD	5.0	内蔵 (39)	内蔵 (39)	0		
	CSTLS5M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCR6M00G53-R0	SMD	6.0	内蔵 (15)	内蔵 (15)	0		
	CSTLS6M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCE8M00G55-R0	SMD	8.0	内蔵 (33)	内蔵 (33)	0		
	CSTLS8M00G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCE8M38G55-R0	SMD	8.388	内蔵 (33)	内蔵 (33)	0		
	CSTLS8M38G53-B0	リード		内蔵 (15)	内蔵 (15)	0		
	CSTCE10M0G52-R0	SMD	10.0	内蔵 (10)	内蔵 (10)	0		
CSTLS10M0G53-B0	リード	内蔵 (15)		内蔵 (15)	0			

(2) X1発振 : セラミック発振子 (AMPH = 1, T_A = - 40 ~ + 85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
村田製作所	CSTCE12M0G55-R0	SMD	12.0	内蔵 (33)	内蔵 (33)	0	1.8	5.5
	CSTCE16M0V53-R0	SMD	16.0	内蔵 (15)	内蔵 (15)	0		
	CSTLS16M0X51-B0	リード		内蔵 (5)	内蔵 (5)	0		
	CSTCE20M0V53-R0	SMD	20.0	内蔵 (15)	内蔵 (15)	0		
	CSTLS20M0X51-B0	リード		内蔵 (5)	内蔵 (5)	0		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KC2-C、78K0/KE2-Cの内部動作条件についてはDC、AC特性の規格内で使用してください。

(3) XT1発振：水晶振動子 (TA = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	推奨回路定数			発振電圧範囲	
					C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
セイコーインスツル株式会社	SSP-T7-F	SMD	32.768	7.0	10	12	0	1.8	5.5
シチズンファインテックミヨタ株式会社	CMR200T	SMD	32.768	9.0	15	12	0	1.8	5.5

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/KC2-C、78K0/KE2-Cの内部動作条件についてはDC、AC特性の規格内で使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/6)

($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル 出力電流 ^{注1}	I _{OH1}	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P120, P130, P140, P141 1端子	4.0 V $V_{DD} = 5.5 \text{ V}$			- 3	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			- 2.5	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			- 1.0	mA	
		P00-P04, P40-P43, P120, P130, P140, P141 合計	4.0 V $V_{DD} = 5.5 \text{ V}$			- 20.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			- 10.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			- 5.0	mA	
		P05, P06, P10-P17, P30-P33, P50-P53 合計	4.0 V $V_{DD} = 5.5 \text{ V}$			- 30.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			- 19.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			- 10.0	mA	
	上記の全端子合計 ^{注3}	4.0 V $V_{DD} = 5.5 \text{ V}$			- 50.0	mA		
		2.7 V $V_{DD} < 4.0 \text{ V}$			- 29.0	mA		
		1.8 V $V_{DD} < 2.7 \text{ V}$			- 15.0	mA		
	I _{OH2}	P20-P27 1端子	$AV_{REF} = V_{DD}$	4.0 V $V_{DD} = 5.5 \text{ V}$			- 100	μA
				2.7 V $V_{DD} < 4.0 \text{ V}$			- 100	μA
				1.8 V $V_{DD} < 2.7 \text{ V}$			- 100	μA
ロウ・レベル 出力電流 ^{注2}	I _{OL1}	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P120, P130, P140, P141 1端子	4.0 V $V_{DD} = 5.5 \text{ V}$			8.5	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			5.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			2.0	mA	
		P60-P63, P70-P77 1端子	4.0 V $V_{DD} = 5.5 \text{ V}$			15.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			5.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			2.0	mA	
		P00-P04, P40-P43, P120, P130, P140, P141 合計	4.0 V $V_{DD} = 5.5 \text{ V}$			20.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			15.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			9.0	mA	
		P05, P06, P10-P17, P30-P33, P50-P53, P60-P63, P70-P77 合計	4.0 V $V_{DD} = 5.5 \text{ V}$			45.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			35.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			20.0	mA	
		上記の全端子合計 ^{注3}	4.0 V $V_{DD} = 5.5 \text{ V}$			65.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			50.0	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			29.0	mA	
	I _{OL2}	P20-P27 1端子	$AV_{REF} = V_{DD}$	4.0 V $V_{DD} = 5.5 \text{ V}$			400	μA
				2.7 V $V_{DD} < 4.0 \text{ V}$			400	μA
				1.8 V $V_{DD} < 2.7 \text{ V}$			400	μA

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

3. デューティ = 70%の条件(ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・I_{OH}のデューティがn%の場合: 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

<計算例> デューティ = 50%, I_{OH} = -20.0 mAの場合

端子合計の出力電流 = $(-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P02-P04, P12, P13, P15, P40, P42, P52, P53, P121-P124	$0.7V_{DD}$		V_{DD}	V	
	V_{IH2}	P00, P01, P05, P06, P10, P11, P14, P16, P17, P30-P33, P41, P43, P50, P51, P120, P140, P141, \overline{RESET} , \overline{EXCLK}	$0.8V_{DD}$		V_{DD}	V	
	V_{IH3}	P60-P63, P70, P71, P73-P77	$0.7V_{DD}$		6.0	V	
	V_{IH4}	P20-P27	$AV_{REF} = V_{DD}$	$0.7AV_{REF}$	AV_{REF}	V	
	V_{IH5}	P72	通常モード	$0.7V_{DD}$		6.0	V
CEC入力バッファ $V_{DD} = 3.3 V \pm 10 \%$			2.0		3.6	V	
ロウ・レベル入力電圧	V_{IL1}	P02-P04, P12, P13, P15, P40, P42, P52, P53, P60-P63, P70, P71, P73-P77, P121-P124	0		$0.3V_{DD}$	V	
	V_{IL2}	P00, P01, P05, P06, P10, P11, P14, P16, P17, P30-P33, P41, P43, P50, P51, P120, P140, P141, \overline{RESET} , \overline{EXCLK}	0		$0.2V_{DD}$	V	
	V_{IL3}	P20-P27	$AV_{REF} = V_{DD}$	0	$0.3AV_{REF}$	V	
	V_{IL4}	P72	通常モード	0		$0.3V_{DD}$	V
CEC入力バッファ $V_{DD} = 3.3 V \pm 10 \%$			0		0.8	V	
ハイ・レベル出力電圧	V_{OH1}	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P120, P130, P140, P141	$I_{OH1} = -3.0$ mA	4.0 V V_{DD} 5.5 V	$V_{DD} - 0.7$		V
			$I_{OH1} = -2.5$ mA	2.7 V V_{DD} 5.5 V	$V_{DD} - 0.5$		V
			$I_{OH1} = -1.0$ mA	1.8 V V_{DD} 5.5 V	$V_{DD} - 0.5$		V
	V_{OH2}	P20-P27	$AV_{REF} = V_{DD}$, $I_{OH2} = -100 \mu A$	$V_{DD} - 0.5$			V
	V_{OH3}	P72	CECIOモード ^注 $V_{DD} = 3.3 V \pm 10 \%$ $I_{OH} = -12.0 \mu A$	2.5		3.6	V

注 プルアップ抵抗 + ダイオードを接続時

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P120, P130, P140, P141	$I_{OL1} = 8.5$ mA	4.0 V	$V_{DD} = 5.5$ V		0.7 V
			$I_{OL1} = 5.0$ mA	2.7 V	$V_{DD} = 5.5$ V		0.7 V
			$I_{OL1} = 2.0$ mA	1.8 V	$V_{DD} = 5.5$ V		0.5 V
			$I_{OL1} = 1.0$ mA	1.8 V	$V_{DD} = 5.5$ V		0.5 V
			$I_{OL1} = 0.5$ mA	1.8 V	$V_{DD} = 5.5$ V		0.4 V
	VOL2	P20-P27	$AV_{REF} = V_{DD}$, $I_{OL2} = 400 \mu A$				0.4 V
	VOL3	P60-P63, P70, P71, P73-P77	$I_{OL1} = 15.0$ mA	$4.0 V \leq V_{DD} \leq 5.5 V$			2.0 V
			$I_{OL1} = 5.0$ mA	$4.0 V \leq V_{DD} \leq 5.5 V$			0.4 V
			$I_{OL1} = 5.0$ mA	$2.7 V \leq V_{DD} < 4.0 V$			0.6 V
			$I_{OL1} = 3.0$ mA	$2.7 V \leq V_{DD} \leq 5.5 V$			0.4 V
			$I_{OL1} = 2.0$ mA	$1.8 V \leq V_{DD} \leq 5.5 V$			0.4 V
	VOL4	P72	通常モード $V_{DD} = 3.3 V \pm 10 \%$ $I_{OL1} = 3$ mA				0.4 V
			CECIOモード $V_{DD} = 3.3 V \pm 10 \%$ $I_{OL1} = 3.3$ mA				0.6 V
	ハイ・レベル入力リーク電流	ILIH1	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P60-P63, P70-P77, P120, P140, P141, FLMD0, RESET	$V_i = V_{DD}$			
$V_i = AV_{REF} = V_{DD}$							1 μA
ILIH3		P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$	I/Oポート・モード			1 μA
			$V_i = V_{DD}$	OSCモード			20 μA
ILIH4		P72	通常モード $V_i = V_{DD}$				1 μA
	CECIOモード $2.7 V \leq V_{DD} \leq 3.6 V$ $V_i = 3.6 V$					1.8 μA	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/6)

($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P60-P63, P70, P71, P73-P77, P120, P140, P141, FLMD0, RESET			- 1	μA	
	I _{LIL2}	P20-P27			- 1	μA	
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2)	I/Oポート・モード			- 1	μA
			OSCモード			- 20	μA
I _{LIL4}	P72	通常モード $V_I = V_{SS}$			- 1	μA	
		CECIOモード $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$ $V_I = V_{SS}$			- 1.8	μA	
プルアップ抵抗値	R _U	P00-P06, P10-P17, P30-P33, P40-P43, P50-P53, P120, P140, P141	$V_I = V_{SS}$	10	20	100	$\text{k}\Omega$
		P72	CECIOモード ^注 $V_I = V_{SS}$	18	26	28.6	$\text{k}\Omega$
FLMD0電源電圧	V _{IL}	通常動作時	0		$0.2V_{DD}$	V	
	V _{IH}	セルフ・プログラミング時	$0.8V_{DD}$		V_{DD}	V	

注 プルアップ抵抗 + ダイオードを接続時

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード ^{注1}	$f_{XH} = 20\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2}	方形波入力		3.0	5.0	mA
				発振子接続		3.5	5.5	mA
			$f_{XH} = 10\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2}	方形波入力		1.6	3.0	mA
				発振子接続		2.3	3.4	mA
			$f_{XH} = 10\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2, 3}	方形波入力		1.5	2.9	mA
				発振子接続		2.2	3.3	mA
			$f_{XH} = 5\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2, 3}	方形波入力		0.9	1.7	mA
				発振子接続		1.3	2.0	mA
			$f_{XH} = 5\text{ MHz}$, $V_{DD} = 2.0\text{ V}$ ^{注2, 3}	方形波入力		0.7	1.4	mA
				発振子接続		1.0	1.6	mA
	$f_{RH} = 8\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注4}			1.4	2.3	mA		
	$f_{SUB} = 32.768\text{ kHz}$, $V_{DD} = 3.0\text{ V}$ ^{注5}	発振子接続		6.7	26	μA		
	$f_{SUB} = 32.768\text{ kHz}$, $V_{DD} = 3.0\text{ V}$, XT1発振回路, CEC受信, リモコン受信, RTC動作中 ^{注5}	発振子接続		7.55	26	μA		
	IDD2	HALTモード ^{注1}	$f_{XH} = 20\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2}	方形波入力		0.8	2.8	mA
				発振子接続		1.5	4.0	mA
			$f_{XH} = 10\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注2, 3}	方形波入力		0.4	1.4	mA
				発振子接続		1.0	1.7	mA
			$f_{XH} = 5\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ ^{注2, 3}	方形波入力		0.2	0.7	mA
発振子接続					0.5	1.0	mA	
$f_{RH} = 8\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ ^{注4}			0.4	1.2	mA			
$f_{SUB} = 32.768\text{ kHz}$, $V_{DD} = 3.0\text{ V}$ ^{注5}	発振子接続		2.4	22	μA			
$f_{SUB} = 32.768\text{ kHz}$, $V_{DD} = 3.0\text{ V}$, XT1発振回路, CEC受信, リモコン受信, RTC動作中 ^{注5}	発振子接続		3.47	22	μA			
IDD3 ^{注6}	STOPモード				1	20	μA	
		$T_A = -40 \sim +70$			1	10	μA	
		XT1発振回路, CEC受信, リモコン受信, RTC動作中			3.47	22	μA	

注1. 内部電源 (V_{DD} , EV_{DD}) に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。MAX. 値には、周辺動作電流を含みます。ただし、A/Dコンバータ、ウォッチドッグ・タイマ、LVI回路、I/Oポート、内蔵プルアップ/内蔵プルダウン抵抗に流れる電流は含みません。

2. 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。

4. X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

5. X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

6. 240 kHz内蔵発振器, XT1発振回路の動作電流とA/Dコンバータ, ウォッチドッグ・タイマ, LVI回路に流れる電流は含みません。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (6/6)

($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
A/Dコンバータ 動作電流	I_{ADC} ^{注1}	ADCS = 1, 2.3 V AV_{REF} V_{DD}		0.86	1.9	mA
ウォッチドッグ・タイマ動作 電流	I_{WDT} ^{注2}	240 kHz 低速内蔵発振クロック動作時		5	10	μA
LVI動作電流	I_{LVI} ^{注3}			9	18	μA

- 注1. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0/Kx2-Cマイクロコントローラの電流値となります。
2. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Kx2-Cマイクロコントローラの電流値となります。
3. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Kx2-Cマイクロコントローラの電流値となります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作 (1/2)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{XP}) 動作	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.1		16	μs
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.4		16	μs
		サブシステム・クロック (f_{SUB}) 動作		114	122	125	μs
周辺ハードウェア・ク ロック周波数	f_{PRS}	$f_{PRS} = f_{XH}$ (XSEL = 1) 注1	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			20	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$			5	MHz
		$f_{PRS} = f_{RH}$ (XSEL = 0) 注2	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	7.6		8.4	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	6.75		8.4	MHz
外部メイン・システ ム・クロック周波数	f_{EXCLK}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		20.0	MHz	
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0		5.0	MHz	
外部メイン・システム・ クロック入力ハイ/ロ ウ・レベル幅	t_{EXCLKH}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	24			ns	
	t_{EXCLKL}	$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	96			ns	

注1. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{XH}/2$ (10 MHz) 以下にしてください。ただし乗除算器回路については、 f_{XH} (20 MHz) での動作が可能です。

2. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{RH}/2$ (5 MHz) 以下にしてください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (2/2)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

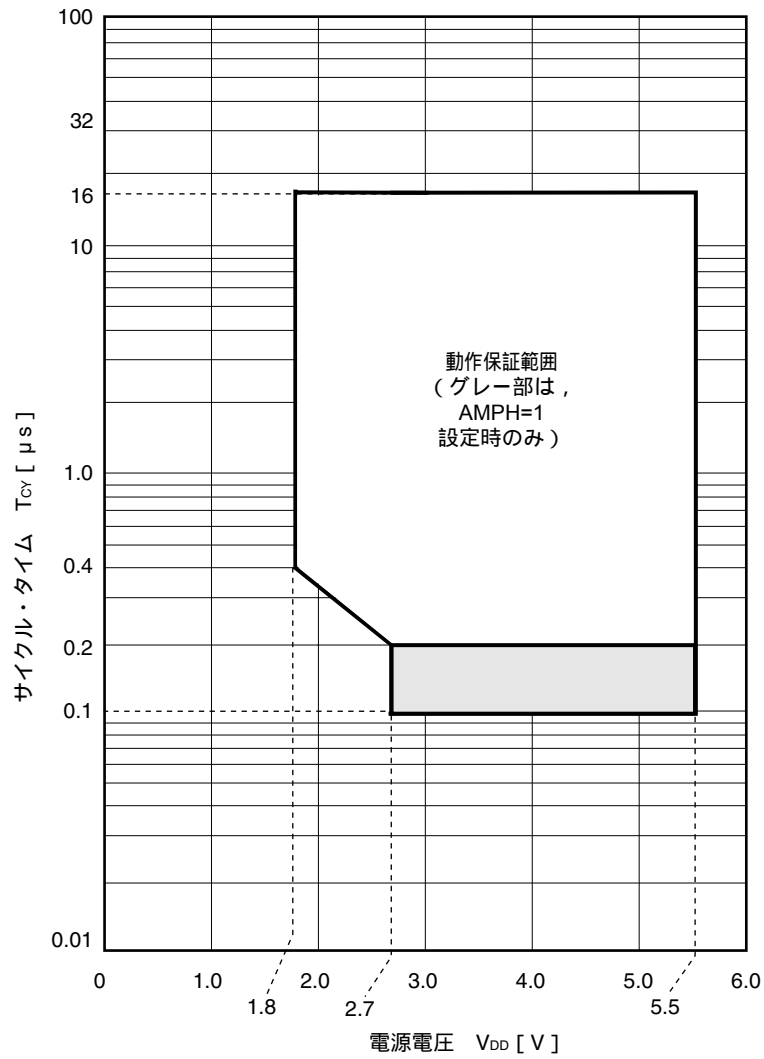
項目	略号	条件	MIN.	TYP.	MAX.	単位
TI000, TI010, TI001, TI011, TI002, TI012入力 ハイ・レベル幅, ロウ・ レベル幅	t_{TIH0} ,	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$2/f_{sam} + 0.1$ ^注			$\mu\text{ s}$
	t_{TIL0}	$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$2/f_{sam} + 0.2$ ^注			$\mu\text{ s}$
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$2/f_{sam} + 0.5$ ^注			$\mu\text{ s}$
TI50, TI51入力周波数	f_{r15}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			10	MHz
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$			5	MHz
TI50, TI51入力ハイ・レ ベル幅, ロウ・レベル幅	t_{TIH5} ,	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	50			ns
	t_{TIL5}	$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	100			ns
割り込み入力ハイ・レベ ル幅, ロウ・レベル幅	t_{NIH} ,		1			$\mu\text{ s}$
	t_{NIL}					
キー割り込み入力ロ ウ・レベル幅	t_{KR}		250			ns
RESETロウ・レベル幅	t_{RSL}		10			$\mu\text{ s}$

注 プリスケアラ・モード・レジスタ00, 01, 02 (PRM00, PRM01, PRM02) のビット0, 1 (PRM000, PRM001またはPRM010, PRM011もしくはPRM020, PRM021) により, $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ または f_{PRS} , $f_{PRS}/16$, $f_{PRS}/64$ の選択が可能です。ただし, カウント・クロックとしてTI000, TI001, TI002有効エッジを選択した場合は, $f_{sam} = f_{PRS}$ となります。

備考 f_{sam} : サンプルング・クロック周波数

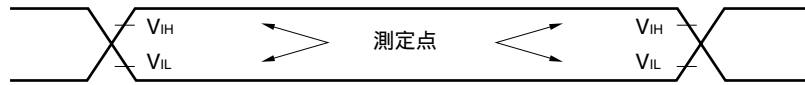
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

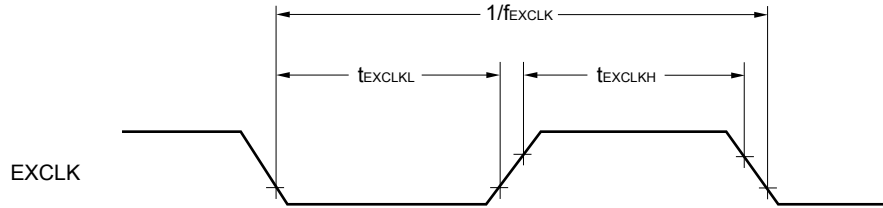


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

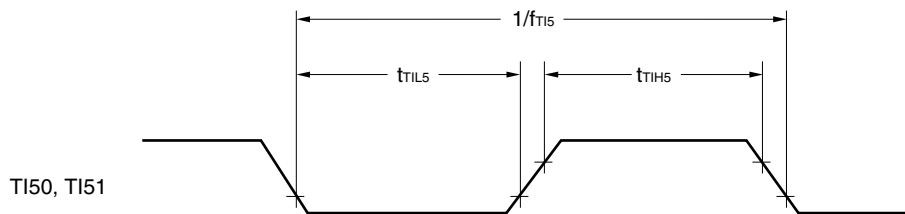
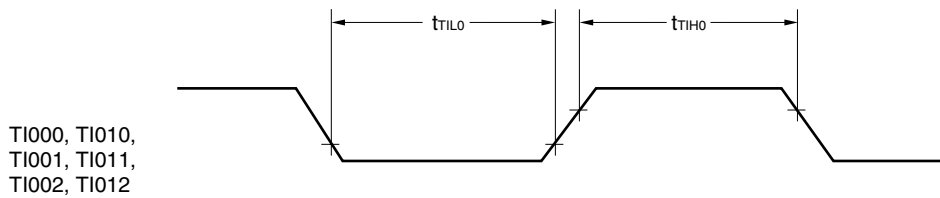
ACタイミング測定点



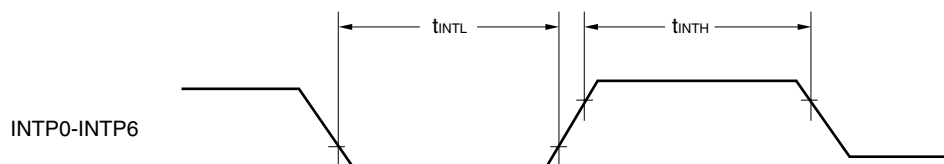
外部メイン・システム・クロック・タイミング



TIタイミング

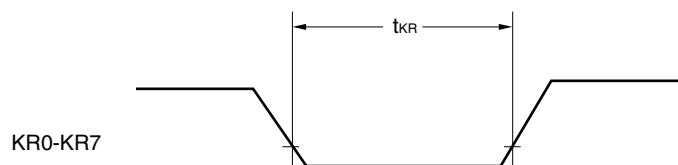


割り込み要求入力タイミング

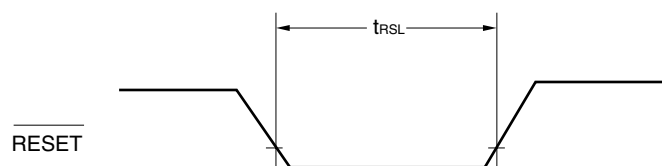


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

キー割り込み入力タイミング



$\overline{\text{RESET}}$ 入力タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(a) UART60, UART 61 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(c) IICA00, IICA01, IICA02

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	ファースト・モード: 3.5 MHz f _{PRS} 標準モード: 1 MHz f _{PRS}	0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU: STA}		4.7	-	0.6	-	μs
ホールド時間 ^{注1}	t _{HD: STA}		4.0	-	0.6	-	μs
SCL0 = "L"のホールド・タイム	t _{LOW}		4.7	-	1.3	-	μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0	-	0.6	-	μs
データ・セットアップ時間 (受信時)	t _{SU: DAT}		250	-	100	-	ns
データ・ホールド時間 (送信時) ^{注2, 3}	t _{HD: DAT}		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU: STO}		4.0	-	0.6	-	μs
バス・フリー時間	t _{BUF}		4.7	-	1.3	-	μs

注1. スタート/リスタート・コンディション時は、この期間のあと、最初のクロック・パルスが生成されます。

2. t_{HD: DAT}の最大値 (MAX.) は、通常転送時の数値であり、 \overline{ACK} (アクノリッジ) タイミングでは、ウエイトがかかります。

3. データ・ホールド時間は、IICAロウ・レベル幅設定レジスタ (IICAWL) の設定により変化します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(d) CSI10 (マスタ・モード, $\overline{\text{SCK10}}$...内部クロック出力) (同電位通信時: CMOS出力, 通常シュミット入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY1}	4.0 V V_{DD} 5.5 V	160			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	250			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	500			ns
SCK10ハイ, ロウ・レベル幅	$t_{\text{KH1}}, t_{\text{KL1}}$	4.0 V V_{DD} 5.5 V	$t_{\text{KCY1}}/2 - 15^{\text{注1}}$			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	$t_{\text{KCY1}}/2 - 25^{\text{注1}}$			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	$t_{\text{KCY1}}/2 - 50^{\text{注1}}$			ns
SI10セットアップ時間 (対 $\overline{\text{SCK10}}$)	t_{SIK1}	4.0 V V_{DD} 5.5 V	55			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	80			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	170			ns
SI10ホールド時間 (対 $\overline{\text{SCK10}}$)	t_{KSI1}		30			ns
SCK10 SO10出力遅延時間	t_{KSO1}	C = 50 pF ^{注2}			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、 $\overline{\text{SCK10}}$, SO10出力ラインの負荷容量です。

(e) CSI10 (スレーブ・モード, $\overline{\text{SCK10}}$...外部クロック入力) (同電位通信時: CMOS出力, 通常シュミット入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY2}		400			ns
SCK10ハイ, ロウ・レベル幅	$t_{\text{KH2}}, t_{\text{KL2}}$		$t_{\text{KCY2}}/2$			ns
SI10セットアップ時間 (対 $\overline{\text{SCK10}}$)	t_{SIK2}		80			ns
SI10ホールド時間 (対 $\overline{\text{SCK10}}$)	t_{KSI2}		50			ns
SCK10 SO10出力遅延時間	t_{KSO2}	C = 50 pF ^注 2.7 V V_{DD} 5.5 V			120	ns
		1.8 V $V_{\text{DD}} < 2.7$ V			165	ns

注 Cは、SO10出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(f) $\overline{\text{CSI11}}$ (マスタ・モード, $\overline{\text{SCK11}}$...内部クロック出力) (異電位通信時: N-chオープン・ドレイン出力, シュミット入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK11}}$ サイクル・タイム	t_{KCY1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}	4.0 V $V_{\text{DD}} = 5.5 \text{ V}$	300		ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	350		ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	550		ns
$\overline{\text{SCK11}}$ ハイ・レベル幅	t_{KH1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}	4.0 V $V_{\text{DD}} = 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 75$ ^{注2}		ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY1}}/2 - 85$ ^{注2}		ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY1}}/2 - 110$ ^{注2}		ns
$\overline{\text{SCK11}}$ ロウ・レベル幅	t_{KL1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}	4.0 V $V_{\text{DD}} = 5.5 \text{ V}$	$t_{\text{KCY1}}/2 - 15$ ^{注2}		ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	$t_{\text{KCY1}}/2 - 25$ ^{注2}		ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	$t_{\text{KCY1}}/2 - 50$ ^{注2}		ns
SI11 セットアップ時間 ($\overline{\text{対SCK11}}$) ^{注3}	t_{SIK1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}	4.0 V $V_{\text{DD}} = 5.5 \text{ V}$	120		ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	145		ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	235		ns
SI11 ホールド時間 ($\overline{\text{対SCK11}}$) ^{注3}	t_{KSI1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}		30		ns
$\overline{\text{SCK11}}$ SO11 出力遅延時間 ^{注3}	t_{KSO1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}			105	ns
SI11 セットアップ時間 ($\overline{\text{対SCK11}}$) ^{注4}	t_{SIK1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}	4.0 V $V_{\text{DD}} = 5.5 \text{ V}$	50		ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$	80		ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$	170		ns
SI11 ホールド時間 ^{注4} ($\overline{\text{対SCK11}}$)	t_{KSI1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}		30		ns
$\overline{\text{SCK11}}$ SO11 出力遅延時間 ^{注4}	t_{KSO1}	$R_U = 1 \text{ k}\Omega,$ $C = 50 \text{ pF}$ ^{注1}			40	ns

注1. R_U は、 $\overline{\text{SCK11}}$ の外付けプルアップ抵抗値です。Cは、 $\overline{\text{SCK11}}$, SO11出力ラインの負荷容量です。

2. 高速システム・クロック (f_{XH}) 使用時の数値です。
3. $\text{DAP11} = 0$, $\text{CKP11} = 0$ または $\text{DAP11} = 1$, $\text{CKP11} = 1$ のとき。
4. $\text{DAP11} = 0$, $\text{CKP11} = 1$ または $\text{DAP11} = 1$, $\text{CKP11} = 0$ のとき。

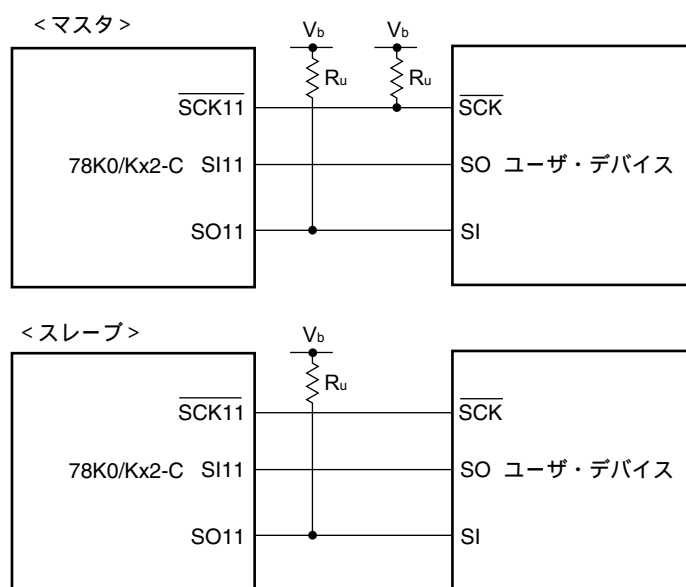
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(g) CSI11 (スレーブ・モード, $\overline{\text{SCK11}}$...外部クロック入力) (異電位通信時: N-chオープン・ドレール出力, シュミット入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK11サイクル・タイム	t_{CY2}	2.7 V V_{DD} 5.5 V	400			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	500			ns
SCK11ハイ, ロウ・レベル幅	$t_{\text{KH2}}, t_{\text{KL2}}$		$t_{\text{CY2}}/2$			ns
SI11セットアップ時間 (対 $\overline{\text{SCK11}}$)	t_{SIK2}		80			ns
SI11ホールド時間 (対 $\overline{\text{SCK11}}$)	t_{KSI2}		50			ns
SCK11 SO11出力遅延時間	t_{KSO2}	$R_{\text{U}} = 1 \text{ k}\Omega,$	2.7 V V_{DD} 5.5 V		185	ns
		$C = 50 \text{ pF}$ ^注	1.8 V $V_{\text{DD}} < 2.7$ V		230	ns

注 R_{U} は, SO11の外付けプルアップ抵抗値です。Cは, SO11出力ラインの負荷容量です。

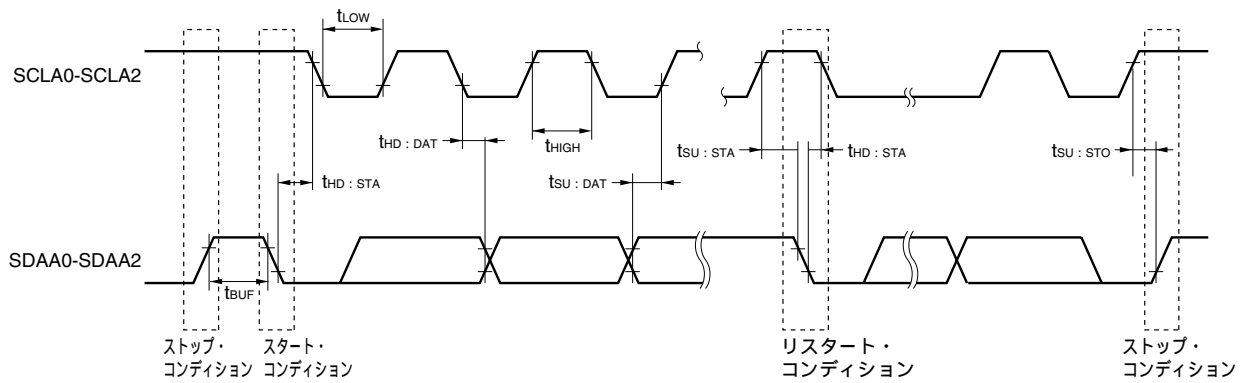
CSIモード接続図 (異電位通信時)



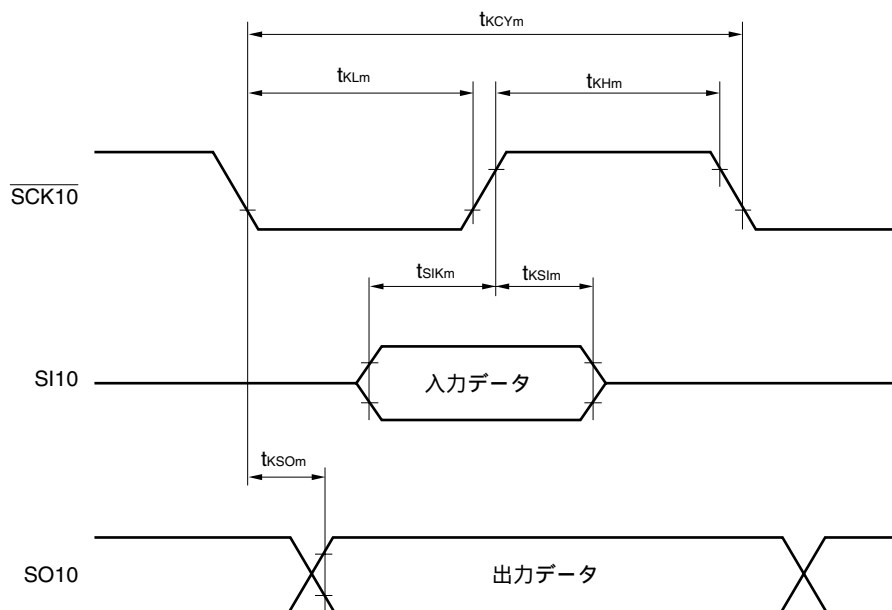
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

シリアル転送タイミング

IICA0-IICA2 :



CSI10 :

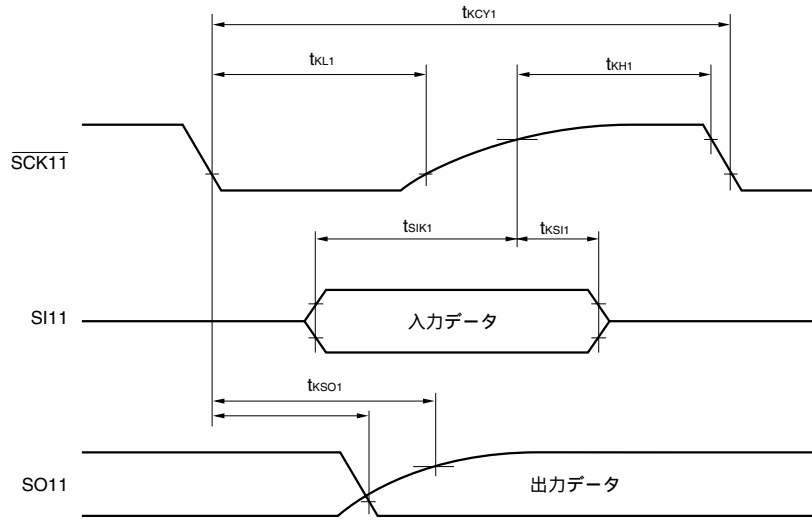


備考 $m = 1, 2$

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

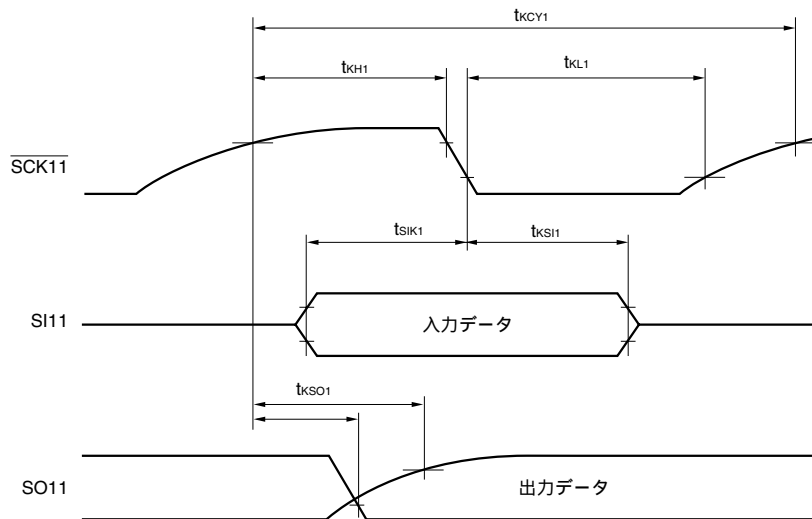
CSI11 : マスタ・モード (異電位通信時)

(DAP11 = 0, CKP11 = 0 または DAP11 = 1, CKP11 = 1 のとき)



CSI11 : マスタ・モード (異電位通信時)

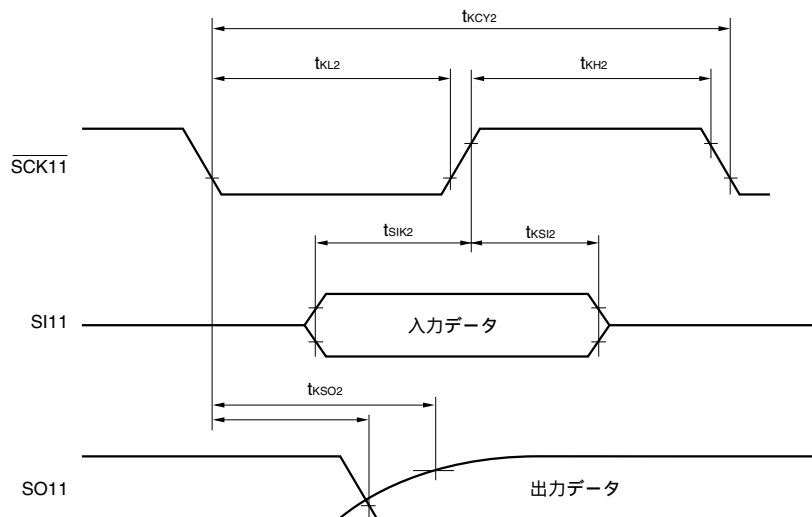
(DAP11 = 0, CKP11 = 1 または DAP11 = 1, CKP11 = 0 のとき)



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

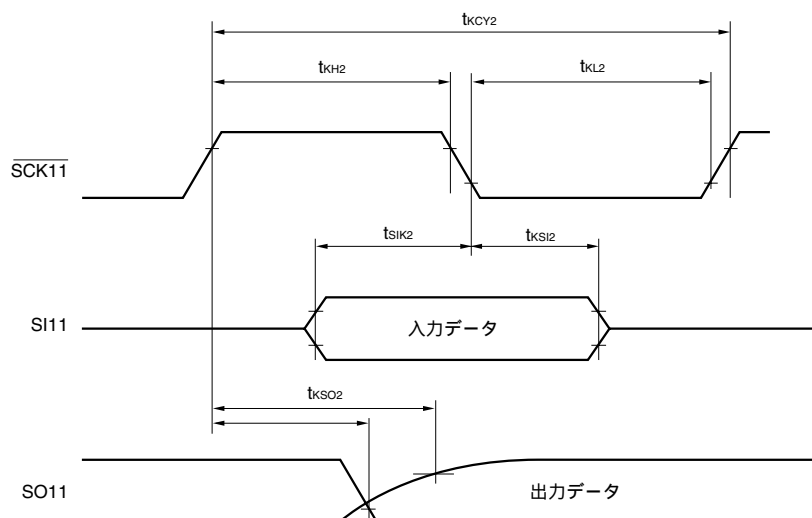
CSI11 : スレープ・モード (異電位通信時)

(DAP11 = 0, CKP11 = 0 または DAP11 = 1, CKP11 = 1 のとき)



CSI11 : スレープ・モード (異電位通信時)

(DAP11 = 0, CKP11 = 1 または DAP11 = 1, CKP11 = 0 のとき)



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

CEC送受信回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 3.63 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力ヒステリシス幅	IHYS	P72 $V_{DD} = 3.3 \text{ V} \pm 10\%$		0.4		V
CECIO立ち上がり時間	t_R	P72 CECIOモード ^注 , $C_b = 1600 \text{ pF}$, $R_b = 27 \text{ k}\Omega$			250	μs
		P72 CECIOモード ^注 , $C_b = 7700 \text{ pF}$, $R_b = 3 \text{ k}\Omega$			250	μs
CECIO立ち下がり時間	t_F	P72 CECIOモード ^注 , $C_b = 1600 \text{ pF}$, $R_b = 27 \text{ k}\Omega$			50	μs
		P72 CECIOモード ^注 , $C_b = 7700 \text{ pF}$, $R_b = 3 \text{ k}\Omega$			50	μs

注 プルアップ抵抗 + ダイオードを接続時 (PF72 = 1, PU72 = 1)

備考 C_b [F]: 通信ライン負荷容量値, R_b [Ω]: 通信ライン外部プルアップ抵抗値

A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.3 V AV_{REF} $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V V_{DD} 5.5 V			± 0.4	%FSR
		2.7 V $V_{DD} < 4.0$ V			± 0.6	%FSR
		2.3 V $V_{DD} < 2.7$ V			± 1.2	%FSR
変換時間	t_{CONV}	4.0 V V_{DD} 5.5 V	6.1		66.6	μs
		2.7 V $V_{DD} < 4.0$ V	13.2		66.6	μs
		2.3 V $V_{DD} < 2.7$ V	27.0		66.6	μs
ゼロスケール誤差 ^{注1, 2}	EzS	4.0 V V_{DD} 5.5 V			± 0.4	%FSR
		2.7 V $V_{DD} < 4.0$ V			± 0.6	%FSR
		2.3 V $V_{DD} < 2.7$ V			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}	EFS	4.0 V V_{DD} 5.5 V			± 0.4	%FSR
		2.7 V $V_{DD} < 4.0$ V			± 0.6	%FSR
		2.3 V $V_{DD} < 2.7$ V			± 0.6	%FSR
積分直線性誤差 ^{注1}	ILE	4.0 V V_{DD} 5.5 V			± 2.5	LSB
		2.7 V $V_{DD} < 4.0$ V			± 4.5	LSB
		2.3 V $V_{DD} < 2.7$ V			± 6.5	LSB
微分直線性誤差 ^{注1}	DLE	4.0 V V_{DD} 5.5 V			± 1.5	LSB
		2.7 V $V_{DD} < 4.0$ V			± 2.0	LSB
		2.3 V $V_{DD} < 2.7$ V			± 2.0	LSB
アナログ入力電圧	V_{AIN}		AV_{SS}		AV_{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

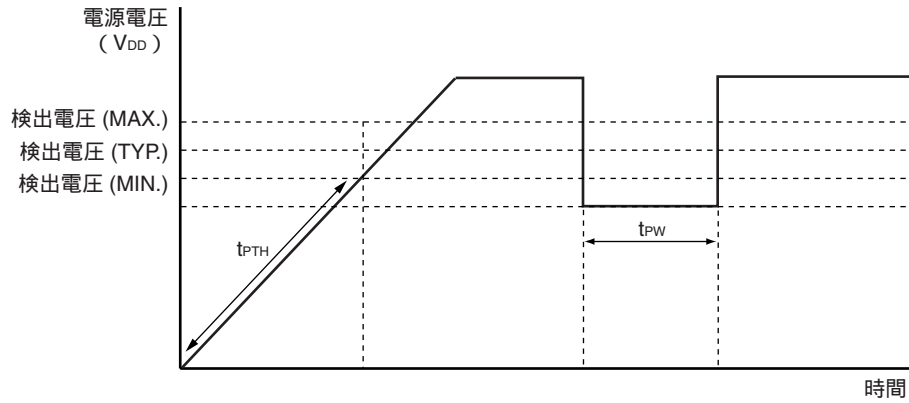
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

1.59 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0$ V V_{POC} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μ s

1.59 V POC回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

2.7 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = EV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 V$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えたりリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 V$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えたりリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 V$ (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

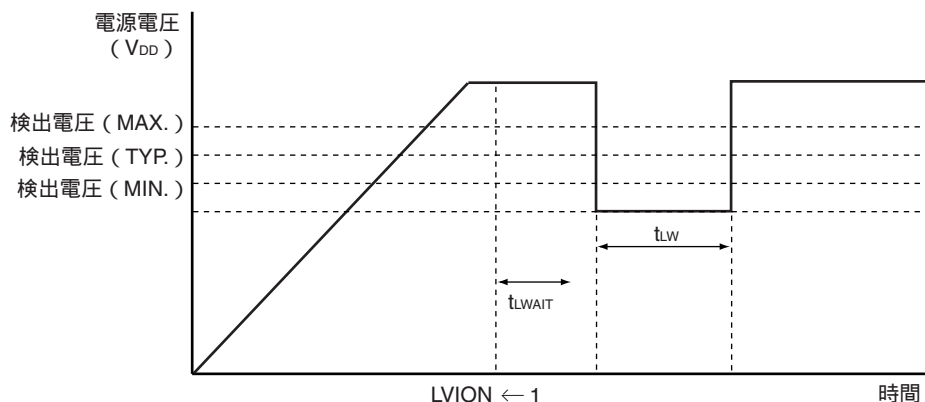
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.14	4.24	4.34	V
		V_{LVI1}	4.99	4.09	4.19	V
		V_{LVI2}	3.83	3.93	4.03	V
		V_{LVI3}	3.68	3.78	3.88	V
		V_{LVI4}	3.52	3.62	3.72	V
		V_{LVI5}	3.37	3.47	3.57	V
		V_{LVI6}	3.22	3.32	3.42	V
		V_{LVI7}	3.06	3.16	3.26	V
		V_{LVI8}	2.91	3.01	3.11	V
		V_{LVI9}	2.75	2.85	2.95	V
		V_{LVI10}	2.60	2.70	2.80	V
		V_{LVI11}	2.45	2.55	2.65	V
		V_{LVI12}	2.29	2.39	2.49	V
		V_{LVI13}	2.14	2.24	2.34	V
		V_{LVI14}	1.98	2.08	2.18	V
	V_{LVI15}		1.83	1.93	20.3	V
	外部入力端子 ^{注1}	EXLVI	EXLVI < V_{DD} , 1.8 V V_{DD} 5.5 V	1.21		V
最小パルス幅	t_{LW}		200			μs
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-4$

LVI回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

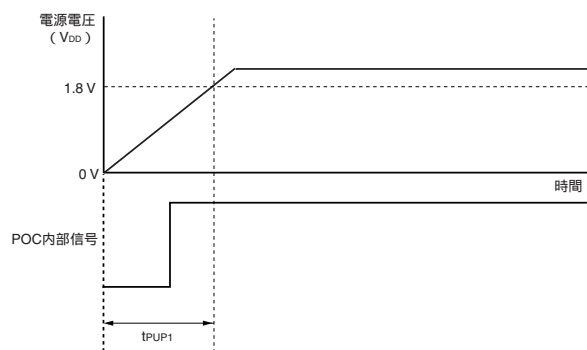
電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V ($V_{DD} (MIN.)$) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V \sim 1.8 V$)	t_{PUP1}	LVIデフォルト・スタート無効 POCMODE (オプション・バイト) = 0, \overline{RESET} 入力未使用時			3.6	ms
1.8 V ($V_{DD} (MIN.)$) までの立ち上げ最大時間 ^注 (\overline{RESET} 入力解除 $V_{DD} : 1.8 V$)	t_{PUP2}	LVIデフォルト・スタート無効 POCMODE (オプション・バイト) = 0, \overline{RESET} 入力使用時			1.9	ms

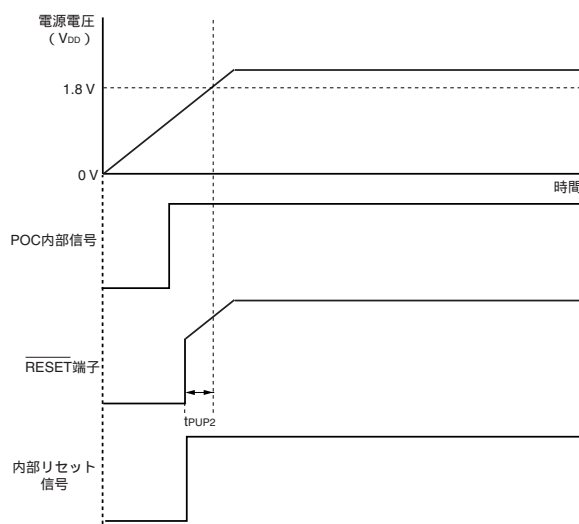
注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げのタイミング

・ \overline{RESET} 端子入力未使用時



・ \overline{RESET} 端子入力使用時 (POC解除後、 \overline{RESET} 端子による外部リセットが解除される場合)

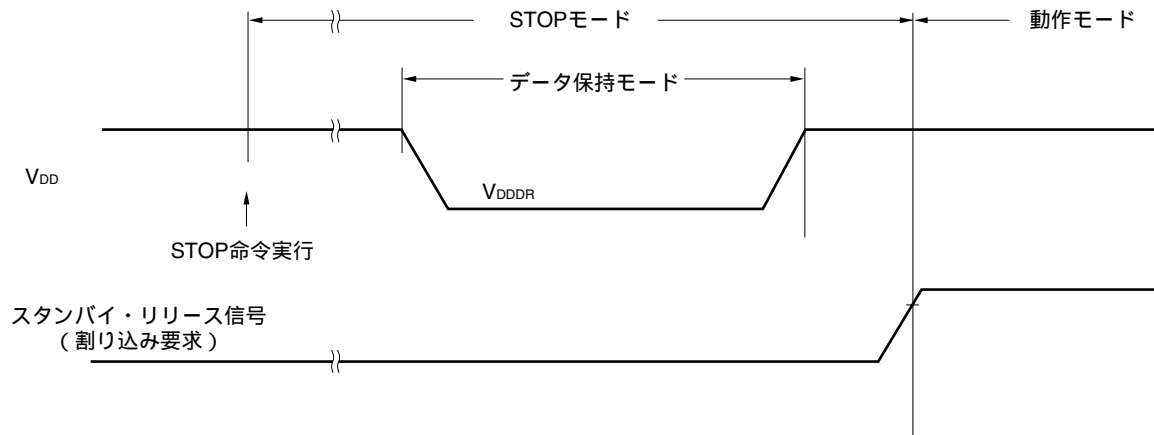


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = 0\text{ V}$)

・基本特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I_{DD}				4.5	11.0	mA
1チップあたりの書き換え回数	C_{enwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注1} 。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリ ^{注2} を使用時、プログラム更新用途	保持 15年	1000		回
			当社提供のEEPROMエミュレーション・ライブラリ ^{注3} 使用時、書き換えROMサイズ:4 Kバイト、データ更新用途	保持 5年	10000		回

注1. 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

- 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル(資料番号:U17516J)」で指定されるサンプル・ライブラリを除きます。
- 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート(資料番号:U17517J)」で指定されるサンプル・プログラムを除きます。

備考1. f_{XP} : メイン・システム・クロック発振周波数

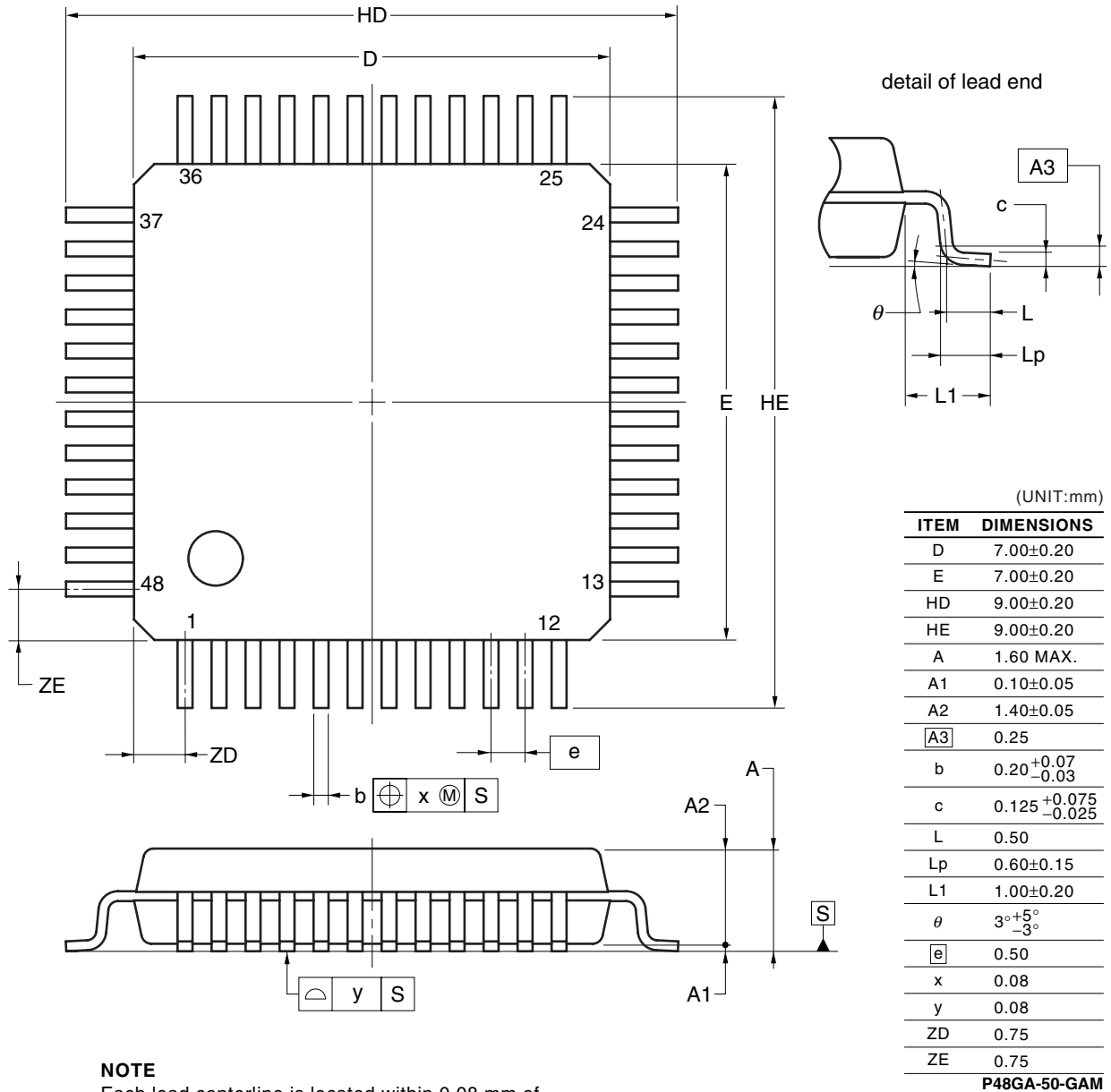
- シリアル書き込みオペレーション特性につきましては、78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング(プログラマ編)(U17739J)を参照してください。

第31章 外形图

31.1 78K0/KC2-C

· μ PD78F0760GA-GAM-AX, 78F0761GA-GAM-AX, 78F0762GA-GAM-AX

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)



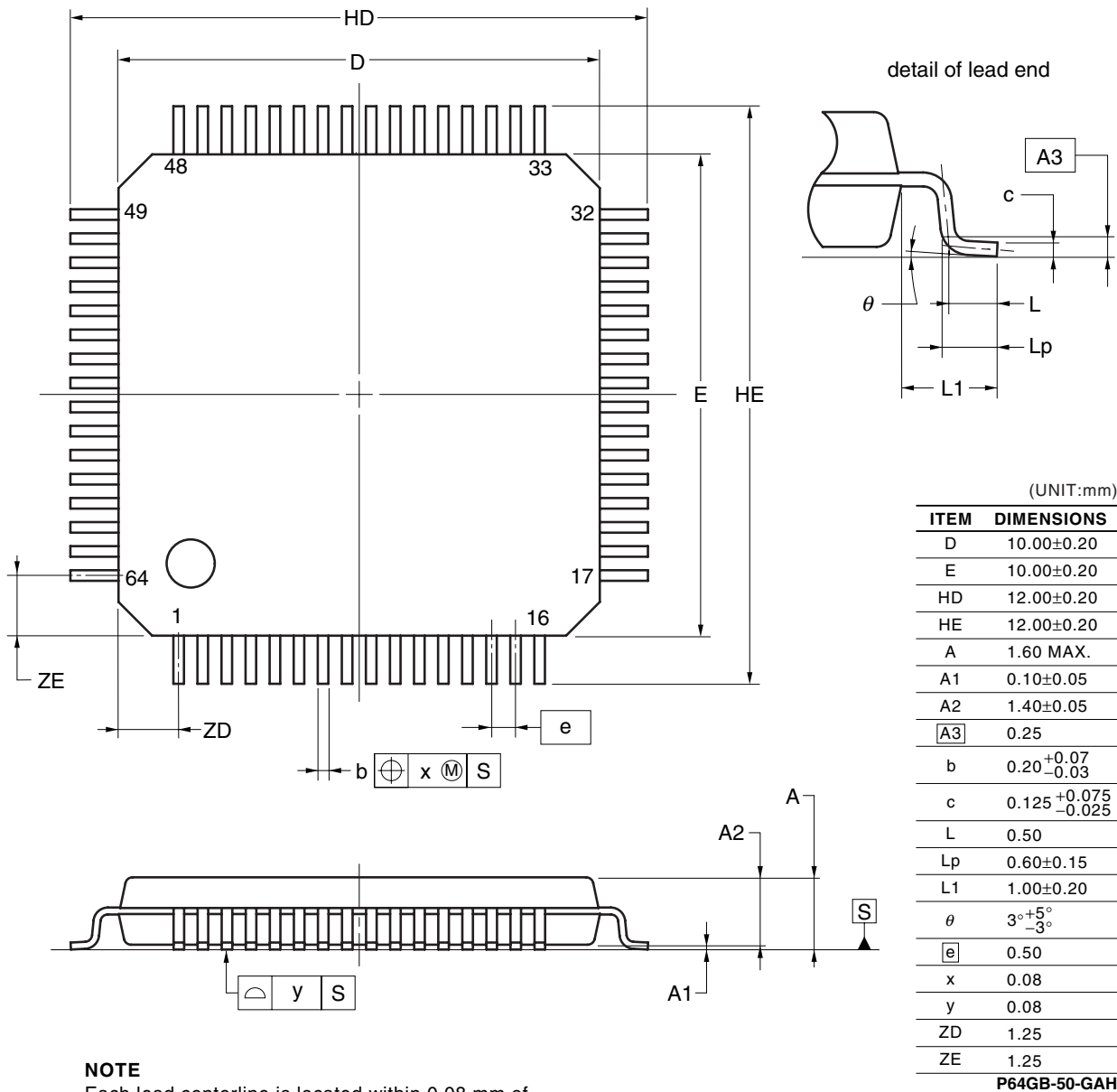
NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

31.2 78K0/KE2-C

• μ PD78F0763GB-GAH-AX, 78F0764GB-GAH-AX, 78F0765GB-GAH-AX

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



P64GB-50-GAH

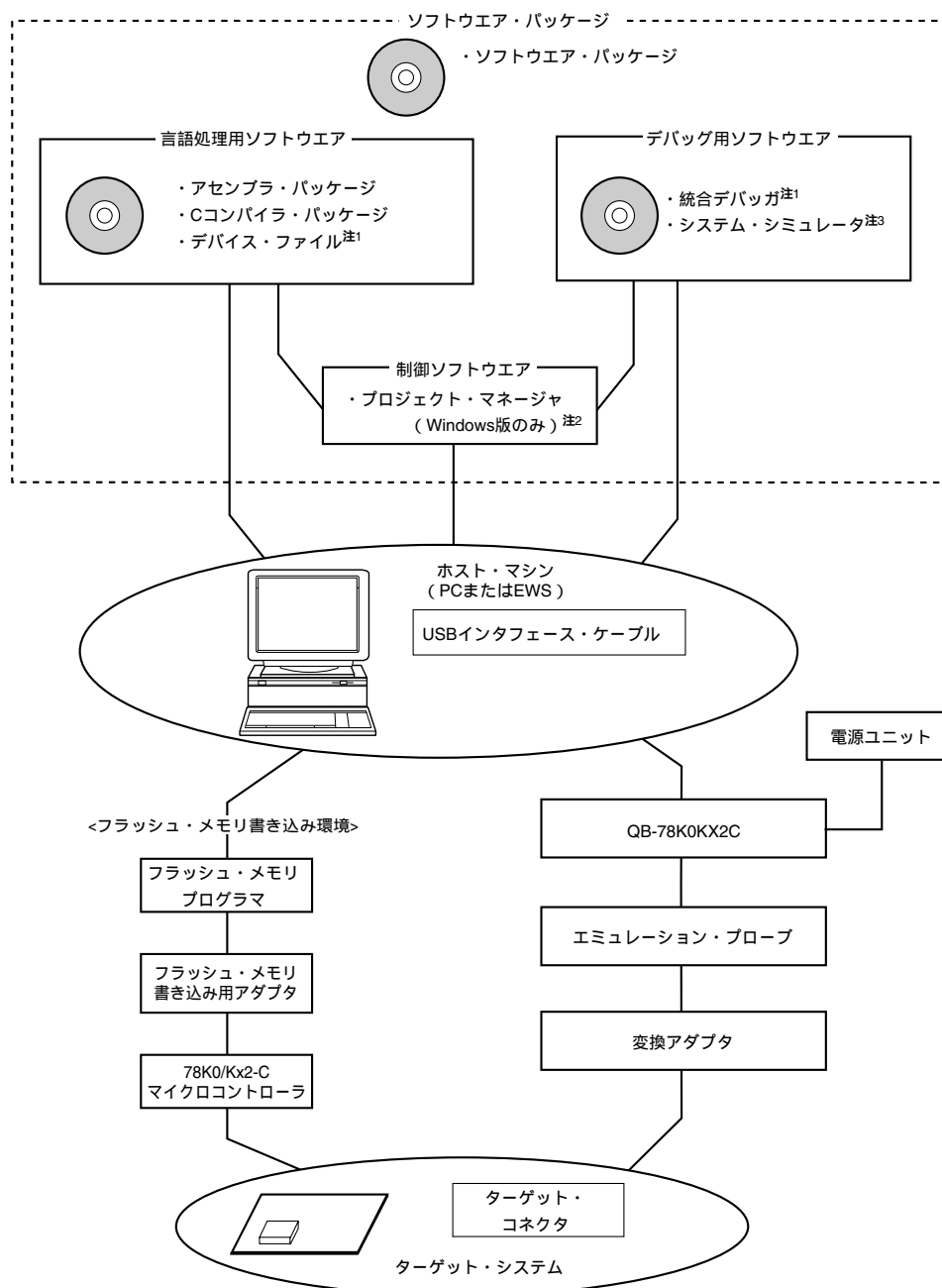
付録A 開発ツール

78K0/Kx2-Cマイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

図A-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0KX2Cを使用する場合

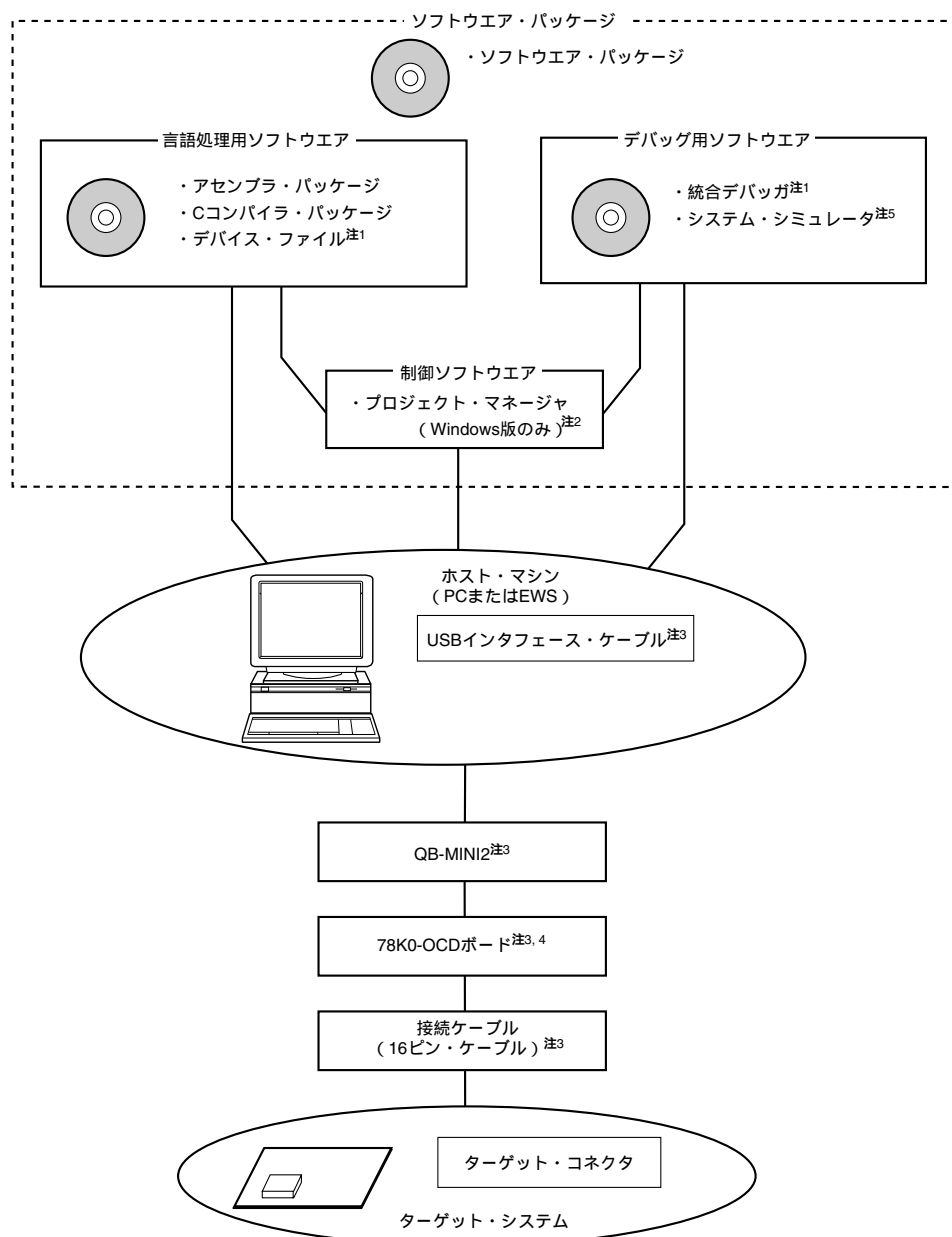


注1. 78K0/Kx2-Cマイクロコントローラ用のデバイス・ファイル (DF780765) , および統合デバッガ ID78K0-QB は, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

- プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows[®]以外ではPM+は使用しません。
- 命令シミュレーション版です。ソフトウェア・パッケージに含まれています。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. 78K0/Kx2-Cマイクロコントローラ用のデバイス・ファイル (DF780765) , および統合デバッガ ID78K0-QB は、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用しません。

3. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル(10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。また、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

4. QB-MINI2をオンチップ・デバッグ・エミュレータとして使用する場合のみ使用します。

5. 命令シミュレーション版です。ソフトウェア・パッケージに含まれています。

A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

A.2 言語処理用ソフトウェア

RA78K0 ^{注1} アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>デバイス・ファイル(DF780765)と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 ^{注1} Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
DF780765 ^{注2} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB, SM+ for 78K0)と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p>

注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。

2. DF780765は、RA78K0, CC78K0, ID78K0-QB, SM+ for 78K0のすべての製品に共通に使用できます。開発ツールのダウンロード・サイト(<http://www2.renesas.com/micro/ja/ods/index.html>)より入手してください。

A. 3 フラッシュ・メモリ書き込み用ツール

A. 3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

FL-PR5, PG-FP5, フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F0515GA-8EU-RX, FA-78F0537GB-UEU-RX フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

備考1. FL-PR5, FA-78F0515GA-8EU-RX, FA-78F0537GB-UEU-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Kx2-C マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考 QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト

(<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A. 4 デバッグ用ツール（ハードウェア）

A. 4.1 インサーキット・エミュレータを使用する場合

QB-78K0KX2C インサーキット・エミュレータ	78K0/Kx2-Cマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ（ID78K0-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
-------------------------------	--

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Kx2-Cマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラムとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考 QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

A. 5 デバッグ用ツール（ソフトウェア）

ID78K0-QB 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF780765）と組み合わせて使用します。
SM+ for 78K0 システム・シミュレータ	システム・シミュレータは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 システム・シミュレータを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF780765）と組み合わせて使用します。

付録B 改版履歴

B.1 本版で改訂された主な箇所

箇所	内容	分類
Rev.2.00で改訂された主な箇所		
第4章 ポート機能		
p.144	図4 - 36 PU7レジスタとPF7レジスタの関係を追加	(c)
p.145	図4 - 38 PU7レジスタとPF7レジスタの関係を追加	(c)
第16章 シリアル・インタフェース IICA00, IICA01, IICA02		
p.501	16. 5. 4 アクノリッジ (ACK) を変更	(c)
p.509	16. 5. 11 拡張コードの備考1を変更	(a)
p.510	16. 5. 12 アービトレーションの備考1を変更	(a)
p.512	16. 5. 13 ウエイク・アップ機能を変更	(c)
第17章 CEC送受信回路		
p.572	図17 - 12 CEC通信エラー・ステータス・レジスタ (CECES) のフォーマット (2/2) に注を追加	(c)
第23章 リセット機能		
p.712	表23 - 2 各ハードウェアのリセット受け付け後の状態 (3/5) を変更	(a)
第30章 電気的特性		
p.783	(2) ポート以外の機能を変更	(a)
p.788, 789	推奨発信回路定数を追加	(b)
p.795	DC特性 (6/6) のADコンバータ動作電流の条件を変更	(b)
p.801	AC特性 (2) シリアル・インタフェースの注3を変更	(a)
付録B 改版履歴		
p.824	B. 2 前版までの改版履歴を追加	(c)
Rev.2.01で改訂された主な箇所		
第16章 シリアル・インタフェースIICA00, IICA01, IICA02		
p.490	図16 - 6 IICAステータス・レジスタ0n (IICAS0n) のフォーマット (3/3) を変更	(c)
第17章 CEC送受信回路		
p.556	17. 1 CEC送受信回路の機能に説明を追加	(c)
第30章 電気的特性		
p.808	CEC送受信回路特性を追加	(b)

備考 表中の「分類」により，改訂内容を次のように区分しています。

- (a) : 誤記訂正，(b) : 仕様（スペック含む）の追加 / 変更，(c) : 説明，注意事項の追加 / 変更，
 (d) : パッケージ，オーダ名称，管理区分の追加 / 変更，(e) : 関連資料の追加 / 変更

B.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	内 容	適用箇所
第1版	URLをルネサス エレクトロニクス社のWEBサイトに変更	全般
	μ PD78F0760, 78F0761, 78F0762, 78F0763, 78F0764, 78F0765の開発中 量産中	
	電源電圧を $V_{DD} = 1.8 \sim 5.5$ Vに変更	
	図12-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマットを変更	第12章 A/Dコンバータ
	表12-2 A/D変換時間の選択を変更	
	表12-4 等価回路の各抵抗と容量値 (参考値) を変更	
	図17-12 CEC通信エラー・ステータス・レジスタ (CECES) のフォーマット (2/2) のACKERRビットの説明を修正	第17章 CEC送受信回路
	図25-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットを修正	第25章 低電圧検出回路
	$V_{DD} = 1.8 \sim 5.5$ Vのスペックを追加	第30章 電氣的特性
	暫定スペックから正式スペックに変更	
	DC特性 (3/6) のハイ・レベル入力リーク電流とDC特性 (4/6) のロウ・レベル入力リーク電流に通常モードを追加	
	DC特性 (4/6) から入力ヒステリシス幅, CECIO立ち上がり時間, CECIO立ち下がり時間の記述を削除	
	DC特性 (5/6) の電源電流のスペックを変更	
	(d) CSI10 (マスタ・モード, $\overline{SCK10}$...内部クロック出力) (同電位通信時: CMOS出力, 通常シュミット入力) のスペックを変更	
	(e) CSI10 (スレーブ・モード, $\overline{SCK10}$...外部クロック入力) (同電位通信時: CMOS出力, 通常シュミット入力) のスペックを変更	
	(f) CSI11 (マスタ・モード, $\overline{SCK11}$...内部クロック出力) (異電位通信時: N-chオープン・ドレイン出力, シュミット入力) のスペックを変更	
	(g) CSI11 (スレーブ・モード, $\overline{SCK11}$...外部クロック入力) (異電位通信時: N-chオープン・ドレイン出力, シュミット入力) のスペックを変更	
	シリアル転送タイミングのCSI11のタイミング・チャートを変更	
	A/Dコンバータ特性を $AV_{REF} = 2.3 \sim 5.5$ Vのスペックに変更	
	電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0$ V) を変更	
章を追加	付録A 開発ツール	
章を追加	付録B 改版履歴	

78K0/Kx2-C ユーザーズマニュアル
ハードウェア編

発行年月日 2009年8月1日 Rev.0.01

2011年9月30日 Rev.2.01

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

78K0/Kx2-C