

78K0/Lx3-M

ユーザーズマニュアル ハードウェア編

8 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、78K0/Lx3-Mマイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- ・ 78K0/LE3-M : μ PD78F8052, 78F8053
- ・ 78K0/LG3-M : μ PD78F8054, 78F8055

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0/Lx3-Mマイクロコントローラのマニュアルは、このマニュアルと命令編(78K0マイクロコントローラ共通)の2冊に分かれています。

78K0/Lx3-M ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編 (U12326J) を参照してください。

凡例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxx または xxx B 10進数... xxx 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0/Lx3-M ユーザーズ・マニュアル	このマニュアル	U19860E
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0マイクロコントローラ ユーザーズ・マニュアル EEPROM [®] エミュレーション・ライブラリ Type01	U18275J	U18275E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/prod/package/manual/index.html>

英文：<http://www2.renesas.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目 次

第1章 概 説 ... 16

- 1.1 特 徴 ... 16
- 1.2 応用分野 ... 17
- 1.3 オーダ情報 ... 17
- 1.4 端子接続図 (Top View) ... 18
 - 1.4.1 78K0/LE3-M ... 18
 - 1.4.2 78K0/LG3-M ... 19
- 1.5 端子名称 ... 20
- 1.6 ブロック図 ... 21
 - 1.6.1 78K0/LE3-M ... 21
 - 1.6.2 78K0/LG3-M ... 22
- 1.7 機能概要 ... 23

第2章 端子機能 ... 24

- 2.1 端子機能一覧 ... 24
 - 2.1.1 78K0/LE3-M ... 25
 - 2.1.2 78K0/LG3-M ... 28
- 2.2 端子機能の説明 ... 33
 - 2.2.1 P11-P13 (Port 1) ... 33
 - 2.2.2 P20-P27 (Port 2) ... 34
 - 2.2.3 P30-P33 (Port 3) ... 35
 - 2.2.4 P40-P45 (Port 4) ... 36
 - 2.2.5 P80-P83 (Port 8) ... 37
 - 2.2.6 P90-P93 (Port 9) ... 37
 - 2.2.7 P100-P103 (Port 10) ... 38
 - 2.2.8 P110-P113 (Port 11) ... 38
 - 2.2.9 P120-P123 (Port 12) ... 39
 - 2.2.10 P130-P133 (Port 13) ... 40
 - 2.2.11 P140-P143 (Port 14) ... 41
 - 2.2.12 P150-P153 (Port 15) ... 41
 - 2.2.13 LP00-LP05 (Port LP0) ... 42
 - 2.2.14 LP10-LP15 (Port LP1) ... 42
 - 2.2.15 ANI00-ANI31 ... 43
 - 2.2.16 AVDD, AVREF, AVREFIO, AVSS, LVDD, VDD, VLC0-VLC2, VSS ... 43
 - 2.2.17 CF ... 44
 - 2.2.18 COM0-COM3 ... 44
 - 2.2.19 EXCLKS ... 44
 - 2.2.20 FLMD0 ... 44
 - 2.2.21 IC ... 44
 - 2.2.22 REGC ... 44

- 2.2.23 $\overline{\text{RESET}}$... 45
- 2.2.24 RTC1HZ ... 45
- 2.2.25 SEGxx ... 45
- 2.2.26 XT1, XT2 ... 45
- 2.2.27 32KHZCLK ... 45
- 2.3 端子の入出力回路と未使用端子の処理 ... 46

第3章 CPUアーキテクチャ ... 51

- 3.1 **メモリ空間** ... 51
 - 3.1.1 内部プログラム・メモリ空間 ... 56
 - 3.1.2 内部データ・メモリ空間 ... 58
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 59
 - 3.1.4 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 59
 - 3.1.5 データ・メモリ・アドレッシング ... 59
- 3.2 **プロセッサ・レジスタ** ... 64
 - 3.2.1 制御レジスタ ... 64
 - 3.2.2 汎用レジスタ ... 67
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 69
 - 3.2.4 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 74
- 3.3 **命令アドレスのアドレッシング** ... 80
 - 3.3.1 レラティブ・アドレッシング ... 80
 - 3.3.2 イミディエト・アドレッシング ... 81
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 82
 - 3.3.4 レジスタ・アドレッシング ... 82
- 3.4 **オペランド・アドレスのアドレッシング** ... 83
 - 3.4.1 インプライド・アドレッシング ... 83
 - 3.4.2 レジスタ・アドレッシング ... 84
 - 3.4.3 ダイレクト・アドレッシング ... 85
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 86
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 87
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 88
 - 3.4.7 ベースト・アドレッシング ... 89
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 90
 - 3.4.9 スタック・アドレッシング ... 91

第4章 ポート機能 ... 92

- 4.1 **ポートの機能** ... 92
 - 4.1.1 78K0/LE3-M ... 93
 - 4.1.2 78K0/LG3-M ... 94
- 4.2 **ポートの構成** ... 96
 - 4.2.1 ポート1 ... 97
 - 4.2.2 ポート2 ... 102
 - 4.2.3 ポート3 ... 105
 - 4.2.4 ポート4 ... 108
 - 4.2.5 ポート8 ... 111

4.2.6	ポート9	...	113
4.2.7	ポート10	...	115
4.2.8	ポート11	...	117
4.2.9	ポート12	...	121
4.2.10	ポート13	...	125
4.2.11	ポート14	...	127
4.2.12	ポート15	...	129
4.2.13	ポートLP0	...	131
4.2.14	ポートLP1	...	134
4.3	ポート機能を制御するレジスタ	...	136
4.4	ポート機能の動作	...	146
4.4.1	入出力ポートへの書き込み	...	146
4.4.2	入出力ポートからの読み出し	...	146
4.4.3	入出力ポートでの演算	...	146
4.5	兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定	...	147
4.6	ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項	...	151

第5章 クロック発生回路 ... 152

5.1	クロック発生回路の機能	...	152
5.2	クロック発生回路の構成	...	153
5.3	クロック発生回路を制御するレジスタ	...	155
5.4	システム・クロック発振回路	...	167
5.4.1	X1発振回路	...	167
5.4.2	XT1発振回路	...	167
5.4.3	サブシステム・クロックを使用しない場合	...	170
5.4.4	高速内蔵発振回路	...	170
5.4.5	低速内蔵発振回路	...	170
5.4.6	プリスケータ	...	170
5.5	クロック発生回路の動作	...	171
5.5.1	電源電圧投入時の注意事項	...	174
5.5.2	リセット解除後の注意事項	...	174
5.5.3	V _{DD} = 0 V検出時の注意事項	...	174
5.6	クロックの制御	...	175
5.6.1	高速システム・クロックの制御例	...	175
5.6.2	高速内蔵発振クロックの制御例	...	178
5.6.3	サブシステム・クロックの制御例	...	180
5.6.4	低速内蔵発振クロックの制御例	...	183
5.6.5	CPUクロック, 周辺ハードウェア・クロックへの供給クロック	...	184
5.6.6	CPUクロック状態移行図	...	185
5.6.7	CPUクロックの移行前の条件と移行後の処理	...	190
5.6.8	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	...	191
5.6.9	クロック発振停止前の条件	...	192
5.6.10	周辺ハードウェアとソース・クロック	...	193

第6章	16ビット・タイマ/イベント・カウンタ00	...	194
6.1	16ビット・タイマ/イベント・カウンタ00の機能	...	194
6.2	16ビット・タイマ/イベント・カウンタ00の構成	...	194
6.3	16ビット・タイマ/イベント・カウンタ00を制御するレジスタ	...	200
6.4	16ビット・タイマ/イベント・カウンタ00の動作	...	206
6.4.1	インターバル・タイマとしての動作	...	206
6.4.2	外部イベント・カウンタとしての動作	...	209
6.4.3	TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	...	212
6.4.4	フリー・ランニング・タイマとしての動作	...	217
6.4.5	パルス幅測定としての動作	...	222
6.5	16ビット・タイマ/イベント・カウンタ00の注意事項	...	228
第7章	8ビット・タイマ/イベント・カウンタ50, 51, 52	...	231
7.1	8ビット・タイマ/イベント・カウンタ50, 51, 52の機能	...	231
7.2	8ビット・タイマ/イベント・カウンタ50, 51, 52の構成	...	232
7.3	8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ	...	237
7.4	8ビット・タイマ/イベント・カウンタ50, 51, 52の動作	...	246
7.4.1	インターバル・タイマとしての動作	...	246
7.4.2	外部イベント・カウンタとしての動作 (78K0/LG3-Mのみ)	...	248
7.4.3	方形波出力としての動作 (78K0/LG3-Mのみ)	...	249
7.4.4	PWM出力としての動作 (78K0/LG3-Mのみ)	...	250
7.5	8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項	...	254
第8章	8ビット・タイマH0, H1, H2	...	255
8.1	8ビット・タイマH0, H1, H2の機能	...	255
8.2	8ビット・タイマH0, H1, H2の構成	...	255
8.3	8ビット・タイマH0, H1, H2を制御するレジスタ	...	261
8.4	8ビット・タイマH0, H1, H2の動作	...	268
8.4.1	インターバル・タイマ/方形波出力としての動作	...	268
8.4.2	PWM出力としての動作	...	271
8.4.3	キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ)	...	277
8.4.4	タイマ51カウンタによるキャリア・クロック数の制御	...	284
第9章	リアルタイム・カウンタ	...	285
9.1	リアルタイム・カウンタの機能	...	285
9.2	リアルタイム・カウンタの構成	...	285
9.3	リアルタイム・カウンタを制御するレジスタ	...	287
9.4	リアルタイム・カウンタの動作	...	302
9.4.1	リアルタイム・カウンタの動作開始	...	302
9.4.2	動作開始後のSTOPモードへの移行	...	303
9.4.3	リアルタイム・カウンタのカウンタ読み出し/書き込み	...	304
9.4.4	リアルタイム・カウンタのアラーム設定	...	306
9.4.5	リアルタイム・カウンタの1 Hz出力	...	307
9.4.6	リアルタイム・カウンタの32.768 kHz出力	...	307

9.4.7	リアルタイム・カウンタの時計誤差補正例	...	308
9.5	RTC温度補正回路の機能	...	313
9.5.1	RTC温度補正回路の構成	...	314
9.5.2	RTC温度補正回路の動作	...	315
9.5.3	温度補正回路の注意事項	...	316
第10章	ウォッチドッグ・タイマ	...	317
10.1	ウォッチドッグ・タイマの機能	...	317
10.2	ウォッチドッグ・タイマの構成	...	318
10.3	ウォッチドッグ・タイマを制御するレジスタ	...	319
10.4	ウォッチドッグ・タイマの動作	...	320
10.4.1	ウォッチドッグ・タイマの動作制御	...	320
10.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	...	321
10.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	...	322
第11章	ブザー出力制御回路	...	324
11.1	ブザー出力制御回路の機能	...	324
11.2	ブザー出力制御回路の構成	...	325
11.3	ブザー出力制御回路を制御するレジスタ	...	325
11.4	ブザー出力制御回路の動作	...	327
第12章	10ビット逐次比較型A/Dコンバータ	...	328
12.1	10ビット逐次比較型A/Dコンバータの機能	...	328
12.2	10ビット逐次比較型A/Dコンバータの構成	...	329
12.3	10ビット逐次比較型A/Dコンバータで使用するレジスタ	...	331
12.4	10ビット逐次比較型A/Dコンバータの動作	...	339
12.4.1	A/Dコンバータの基本動作	...	339
12.4.2	入力電圧と変換結果	...	340
12.4.3	A/Dコンバータの動作モード	...	342
12.5	逐次比較型A/Dコンバータ特性表の読み方	...	344
12.6	10ビット逐次比較型A/Dコンバータの注意事項	...	347
第13章	24ビット 型A/Dコンバータ	...	351
13.1	24ビット 型A/Dコンバータの機能	...	351
13.2	24ビット 型A/Dコンバータの構成	...	352
13.3	24ビット 型A/Dコンバータで使用するレジスタ	...	355
13.4	24ビット 型A/Dコンバータの動作	...	361
13.5	24ビット 型A/Dコンバータの注意事項	...	363
第14章	シリアル・インタフェースUART0	...	364
14.1	シリアル・インタフェースUART0の機能	...	364
14.2	シリアル・インタフェースUART0の構成	...	365
14.3	シリアル・インタフェースUART0を制御するレジスタ	...	368

14.4	シリアル・インタフェースUART0の動作	...	374
14.4.1	動作停止モード	...	374
14.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	375
14.4.3	専用ボー・レート・ジェネレータ	...	381
14.4.4	ボー・レートの算出	...	382
第15章	シリアル・インタフェースUART6	...	387
15.1	シリアル・インタフェースUART6の機能	...	387
15.2	シリアル・インタフェースUART6の構成	...	391
15.3	シリアル・インタフェースUART6を制御するレジスタ	...	394
15.4	シリアル・インタフェースUART6の動作	...	405
15.4.1	動作停止モード	...	405
15.4.2	アシンクロナス・シリアル・インタフェース (UART) モード	...	406
15.4.3	専用ボー・レート・ジェネレータ	...	420
15.4.4	ボー・レートの算出	...	421
第16章	シリアル・インタフェースCSI10	...	427
16.1	シリアル・インタフェースCSI10の機能	...	427
16.2	シリアル・インタフェースCSI10の構成	...	427
16.3	シリアル・インタフェースCSI10を制御するレジスタ	...	429
16.4	シリアル・インタフェースCSI10の動作	...	434
16.4.1	動作停止モード	...	434
16.4.2	3線式シリアルI/Oモード	...	435
第17章	拡張SFRインタフェース	...	445
17.1	拡張SFRインタフェースの機能	...	445
17.2	拡張SFRインタフェースの構成	...	445
17.3	拡張SFRインタフェースを制御するレジスタ	...	447
17.4	拡張SFRインタフェースの動作	...	452
17.4.1	動作停止モード	...	452
17.4.2	シリアルI/Oモード	...	453
17.5	拡張SFRレジスタへのリード/ライト	...	454
第18章	LCDコントローラ/ドライバ	...	459
18.1	LCDコントローラ/ドライバの機能	...	459
18.2	LCDコントローラ/ドライバの構成	...	461
18.3	LCDコントローラ/ドライバを制御するレジスタ	...	463
18.4	LCDコントローラ/ドライバの設定	...	473
18.4.1	セグメント・キー・スキャン機能を使用しない場合 (KSON = 0) の設定方法	...	473
18.4.2	セグメント・キー・スキャン機能を使用する場合 (KSON = 1) の設定方法	...	474
18.5	LCD表示データ・メモリ	...	475
18.6	コモン信号とセグメント信号	...	476
18.7	表示モード	...	483
18.7.1	スタティック表示例	...	483

18.7.2	2時分割表示例	...	486
18.7.3	3時分割表示例	...	491
18.7.4	4時分割表示例	...	499
18.8	セグメント・キー・スキャン機能の動作	...	504
18.8.1	回路構成例	...	504
18.8.2	セグメント・キー・スキャン機能の使用手順例	...	505
18.9	セグメント・キー・スキャン機能使用時の注意事項	...	508
18.10	LCD駆動電圧V_{LC0}, V_{LC1}, V_{LC2}の供給	...	510
18.10.1	内部抵抗分割方式	...	510
18.10.2	外部抵抗分割方式	...	511
第19章	リモコン送信回路	...	512
19.1	リモコン送信回路の機能	...	512
第20章	割り込み機能	...	513
20.1	割り込み機能の種類	...	513
20.2	割り込み要因と構成	...	513
20.3	割り込み機能を制御するレジスタ	...	518
20.4	割り込み処理動作	...	528
20.4.1	マスカブル割り込み要求の受け付け動作	...	528
20.4.2	ソフトウェア割り込み要求の受け付け動作	...	531
20.4.3	多重割り込み処理	...	531
20.4.4	割り込み要求の保留	...	534
第21章	キー割り込み機能	...	535
21.1	キー割り込みの機能	...	535
21.2	キー割り込みの構成	...	536
21.3	キー割り込みを制御するレジスタ	...	536
第22章	電力演算回路	...	538
22.1	電力演算回路の機能	...	538
22.2	電力演算回路の構成	...	539
22.3	電力演算回路で使用するレジスタ	...	542
22.4	電力, エネルギー演算	...	571
22.4.1	電流インテグレータ	...	571
22.4.2	90°フェーズ・シフタ	...	571
22.4.3	電流, 電圧RMS演算	...	572
22.4.4	有効電力と電力量(エネルギー)演算	...	575
22.4.5	無効電力と電力量(エネルギー)演算	...	587
22.4.6	皮相電力と電力量(エネルギー)演算	...	600
22.4.7	アンペア時アキュムレーション	...	608
22.4.8	波形サンプリング機能	...	610
22.4.9	割り込み	...	611
22.4.10	節電モード	...	619

22. 4. 11 電力演算回路の注意事項 ... 622

第23章 電力品質測定回路 ... 623

- 23. 1 電力品質測定回路の機能 ... 623
 - 23. 1. 1 割り込み信号生成機能 ... 623
- 23. 2 電力品質測定回路の構成 ... 624
- 23. 3 電力品質測定回路で使用するレジスタ ... 628
- 23. 4 電力品質測定回路の機能詳細 ... 643
- 23. 5 電力品質測定回路の注意事項 ... 651

第24章 デジタル周波数変換回路 ... 652

- 24. 1 デジタル周波数変換回路の機能 ... 652
- 24. 2 デジタル周波数変換回路の構成 ... 652
- 24. 3 デジタル周波数変換を制御するレジスタ ... 653
- 24. 4 デジタル周波数変換の動作 ... 656

第25章 スタンバイ機能 ... 659

- 25. 1 スタンバイ機能と構成 ... 659
 - 25. 1. 1 スタンバイ機能 ... 659
 - 25. 1. 2 スタンバイ機能を制御するレジスタ ... 660
- 25. 2 スタンバイ機能の動作 ... 662
 - 25. 2. 1 HALTモード ... 662
 - 25. 2. 2 STOPモード ... 667

第26章 リセット機能 ... 673

- 26. 1 リセット要因を確認するレジスタ ... 683
- 26. 2 電源電圧投入時の注意事項 ... 684
- 26. 3 リセット解除後の注意事項 ... 684

第27章 パワーオン・クリア回路 ... 685

- 27. 1 パワーオン・クリア回路の機能 ... 685
- 27. 2 パワーオン・クリア回路の構成 ... 686
- 27. 3 パワーオン・クリア回路の動作 ... 686
- 27. 4 パワーオン・クリア回路の注意事項 ... 689

第28章 低電圧検出回路 ... 691

- 28. 1 低電圧検出回路の機能 ... 691
- 28. 2 低電圧検出回路の構成 ... 691
- 28. 3 低電圧検出回路を制御するレジスタ ... 692
- 28. 4 低電圧検出回路の動作 ... 695
 - 28. 4. 1 リセットとして使用時の設定 ... 696
 - 28. 4. 2 割り込みとして使用時の設定 ... 701

28.5	低電圧検出回路の注意事項	...	706
第29章	オプション・バイト	...	709
29.1	オプション・バイトの機能	...	709
29.2	オプション・バイトのフォーマット	...	710
第30章	フラッシュ・メモリ	...	714
30.1	メモリ・サイズ切り替えレジスタ	...	714
30.2	内部拡張RAMサイズ切り替えレジスタ	...	715
30.3	フラッシュ・メモリ・プログラマによる書き込み方法	...	715
30.4	プログラミング環境	...	716
30.5	通信方式	...	716
30.6	オンボード上の端子処理	...	718
30.6.1	FLMD0端子	...	718
30.6.2	シリアル・インタフェース端子	...	718
30.6.3	RESET端子	...	720
30.6.4	ポート端子	...	720
30.6.5	REGC端子	...	720
30.6.6	その他の信号端子	...	720
30.6.7	電 源	...	721
30.7	プログラミング方法	...	721
30.7.1	フラッシュ・メモリ制御	...	721
30.7.2	フラッシュ・メモリ・プログラミング・モード	...	722
30.7.3	通信方式の選択	...	722
30.7.4	通信コマンド	...	723
30.8	セキュリティ設定	...	724
30.9	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	726
30.9.1	ブート・スワップ機能	...	728
第31章	オンチップ・デバッグ機能	...	730
31.1	QB-MINI2と78K0/Lx3-Mマイクロコントローラの接続	...	730
31.2	QB-MINI2が使用する予約領域	...	732
第32章	命令セットの概要	...	733
32.1	凡 例	...	734
32.1.1	オペランドの表現形式と記述方法	...	734
32.1.2	オペレーション欄の説明	...	735
32.1.3	フラグ動作欄の説明	...	735
32.2	オペレーション一覧	...	736
32.3	アドレッシング別命令一覧	...	744
第33章	電気的特性	...	748

第34章 外形図 ... 773

34.1 78K0/LE3-M ... 773

34.2 78K0/LG3-M ... 774

第35章 ウェイトに関する注意事項 ... 775

35.1 ウェイトに関する注意事項 ... 775

35.2 ウェイトが発生する周辺ハードウェア ... 776

付録A 改版履歴 ... 777

A.1 本版で改訂された主な箇所 ... 777

第1章 概 説

1.1 特 徴

高速(0.2 μ s : 高速システム・クロック10 MHz動作時)から超低速(122 μ s : サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ(8ビット×8レジスタ×4バンク)

ROM(フラッシュ・メモリ), RAM容量

78K0/LE3-M	78K0/LG3-M	ROM ^{注2}	高速RAM ^{注2}	拡張RAM ^{注2}	LCD表示用RAM
64ピン	100ピン				
-	μ PD78F8055 ^{注1}	60 KB	1 KB	1 KB	40×4ビット
-	μ PD78F8054 ^{注1}	48 KB	1 KB	1 KB	
μ PD78F8053 ^{注1}	-	32 KB	1 KB	-	24×4ビット
μ PD78F8052 ^{注1}	-	16 KB	768 B	-	

注1. 開発中

- メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量を変更可能です。IMSとIXSについては, 30.1 **メモリ・サイズ切り替えレジスタ**, 30.2 **内部拡張RAMサイズ切り替えレジスタ**を参照してください。

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵(ブート・スワップ機能あり)

オンチップ・デバッグ機能内蔵^注

注 78K0/Lx3-Mマイクロコントローラには, 開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合, フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり, 製品の信頼性が保証できませんので, 量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については, クレーム受け付け対象外となります。

パワーオン・クリア(POC)回路, 低電圧検出(LVI)回路内蔵

ウォッチドッグ・タイマ(低速内蔵発振クロックで動作可能)内蔵

LCDコントローラ/ドライバ(外部抵抗分割/内部抵抗分割を切り替え可能)内蔵

品 名	セグメント信号(SEG), コモン信号(COM)			
	スタティック	1/2バイアス	1/2, 1/3バイアス	1/3バイアス
78K0/LE3-M	SEG : 24 COM : 1	SEG : 24 COM : 2	SEG : 24 COM : 3	SEG : 24 COM : 4
78K0/LG3-M	SEG : 40 COM : 1	SEG : 40 COM : 2	SEG : 40 COM : 3	SEG : 40 COM : 4

セグメント・キー・スキャン機能内蔵

10ビット逐次比較型A/Dコンバータ ($AV_{REF} = 2.3 \sim 3.6 \text{ V}$) 内蔵

24ビット 型A/Dコンバータ ($AV_{DD} = 3.0 \sim 3.6 \text{ V}$) 内蔵

リアルタイム・カウンタ内蔵

リモコン送信回路内蔵

電力演算回路内蔵

電力品質測定回路内蔵

デジタル周波数変換回路内蔵

キー割り込み機能, プザー出力制御回路, I/Oポート, タイマ, シリアル・インタフェース, 拡張SFRインタフェースを内蔵

電源電圧: $V_{DD} = 1.8 \sim 3.6 \text{ V}$

動作周囲温度: $T_A = -40 \sim +85$

備考 製品により, 搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

1.2 応用分野

ユーティリティ・メータ

・電力メータ

1.3 オーダ情報

・フラッシュ・メモリ製品 (鉛フリー製品)

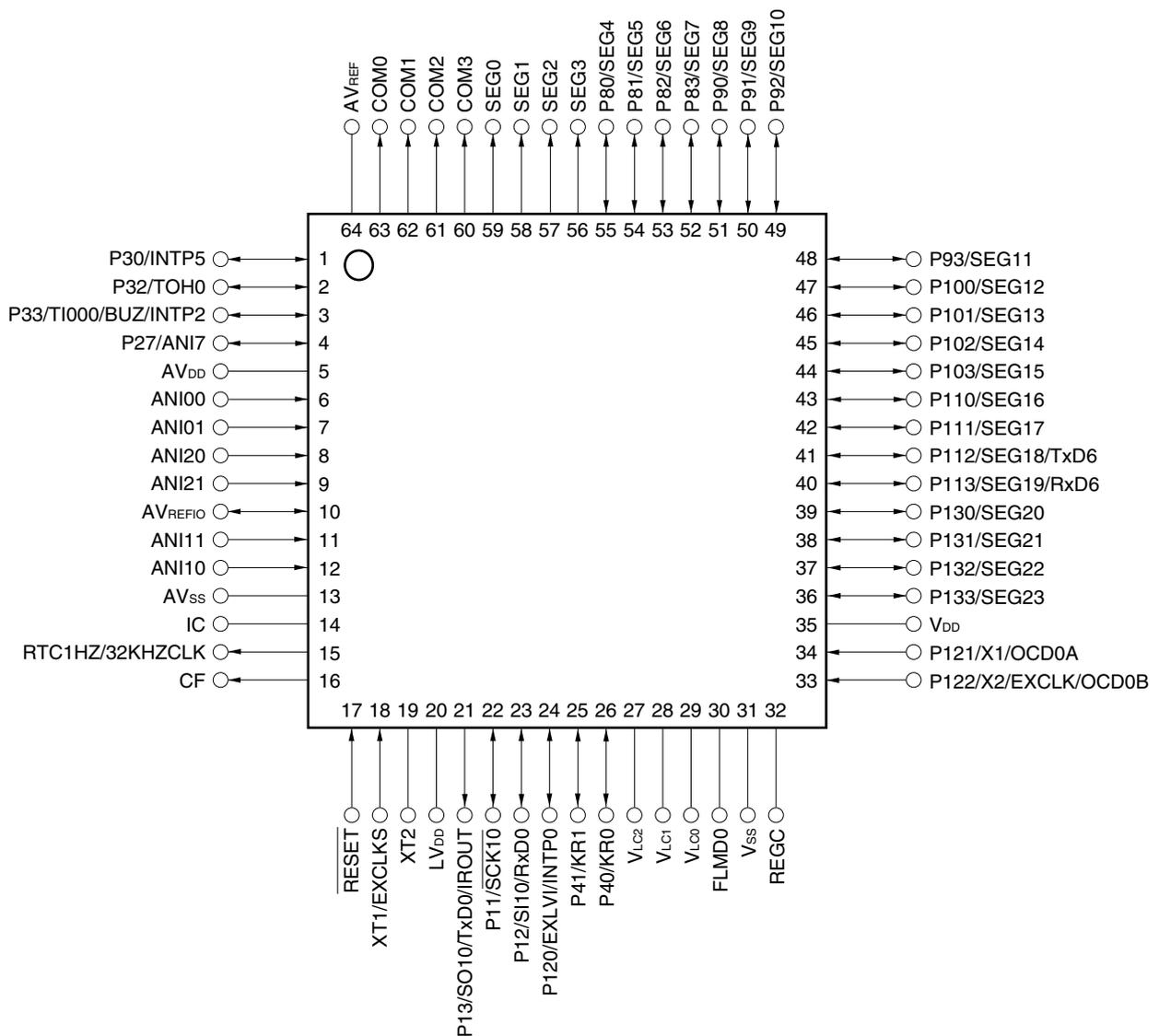
78K0/Lx3-M マイクロコントローラ	パッケージ	オーダ名称
78K0/LE3-M	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	μ PD78F8052GB-GAH-AX μ PD78F8053GB-GAH-AX
78K0/LG3-M	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	μ PD78F8054GC-UEU-AX μ PD78F8055GC-UEU-AX

1.4 端子接続図 (Top View)

1.4.1 78K0/LE3-M

(1) μ PD78F8052, 78F8053

・64ピン・プラスチックLQFP (ファインピッチ) (10×10)



注意1. AVSSはVSSに接続してください。

2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, VSSに接続してください。

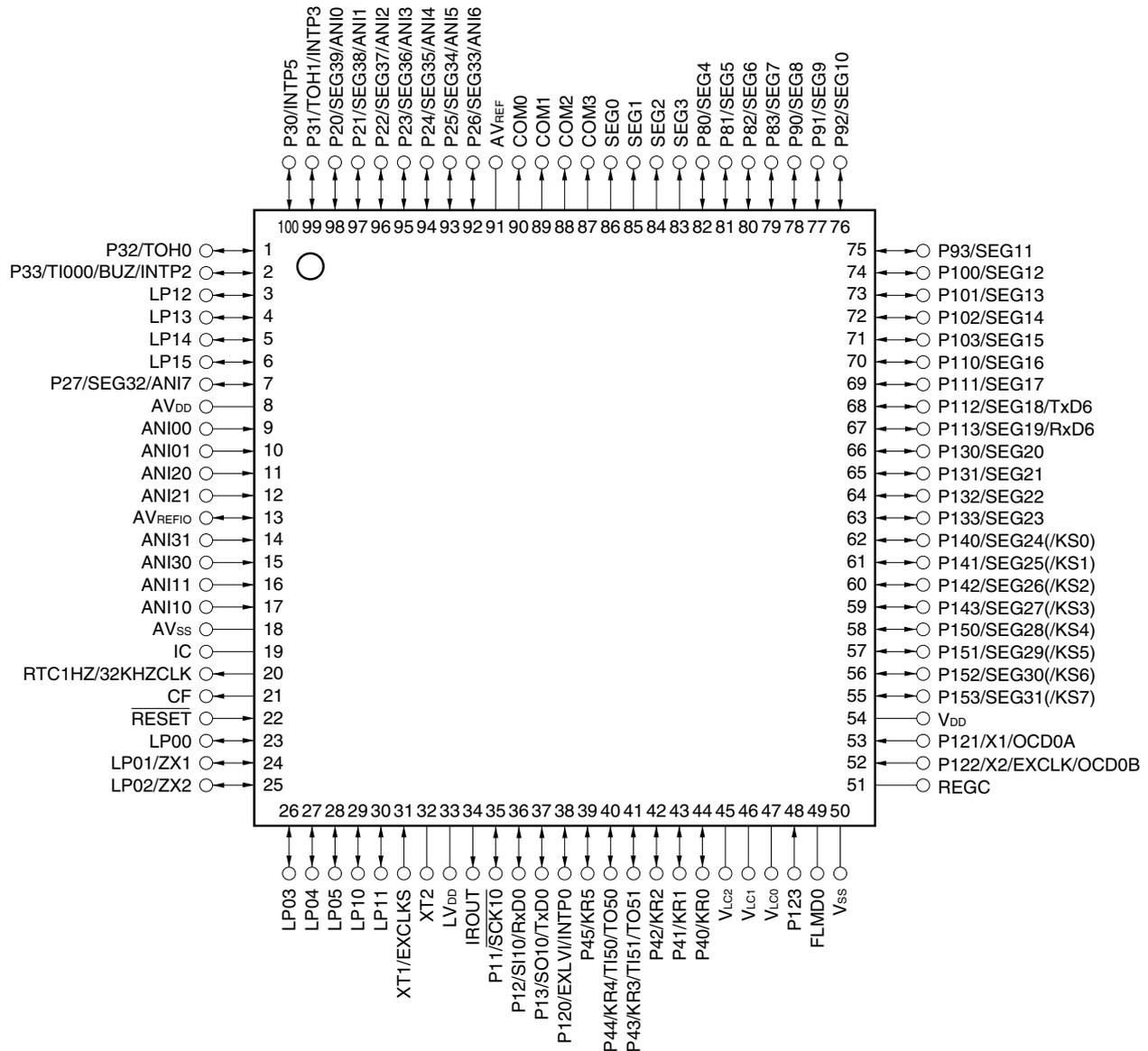
3. ANI7/P27は, リセット解除後はデジタル入力モードになります。

備考 端子名称は, 1.5 端子名称を参照してください。

1.4.2 78K0/LG3-M

(1) μ PD78F8054, 78F8055

・ 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)



注意1. AV_{SS}はV_{SS}に接続してください。

2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。
3. ANI0/P20-ANI7/P27は, リセット解除後はデジタル入力モードになります。

備考1. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。

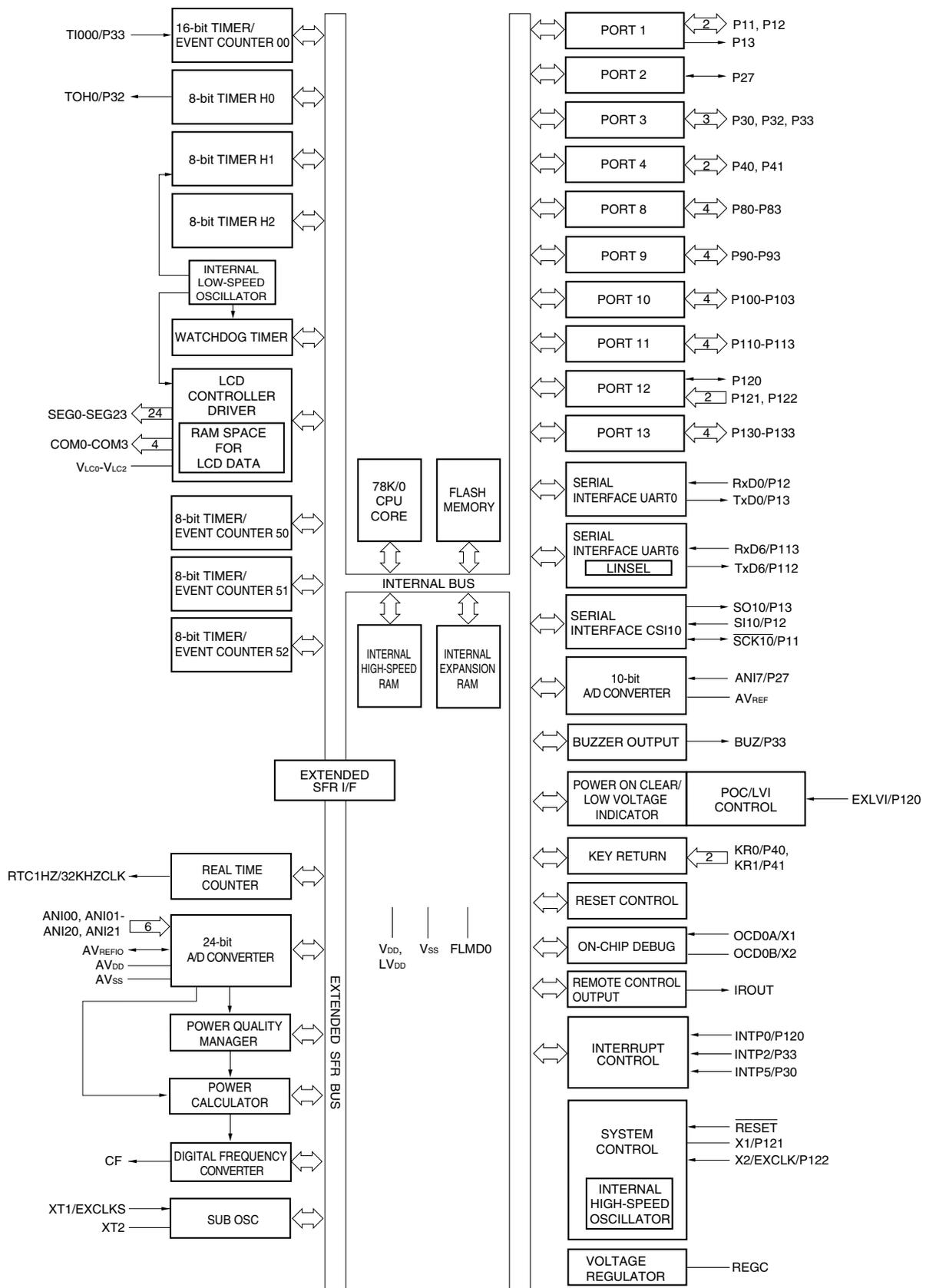
2. 端子名称は, 1.5 端子名称を参照してください。

1.5 端子名称

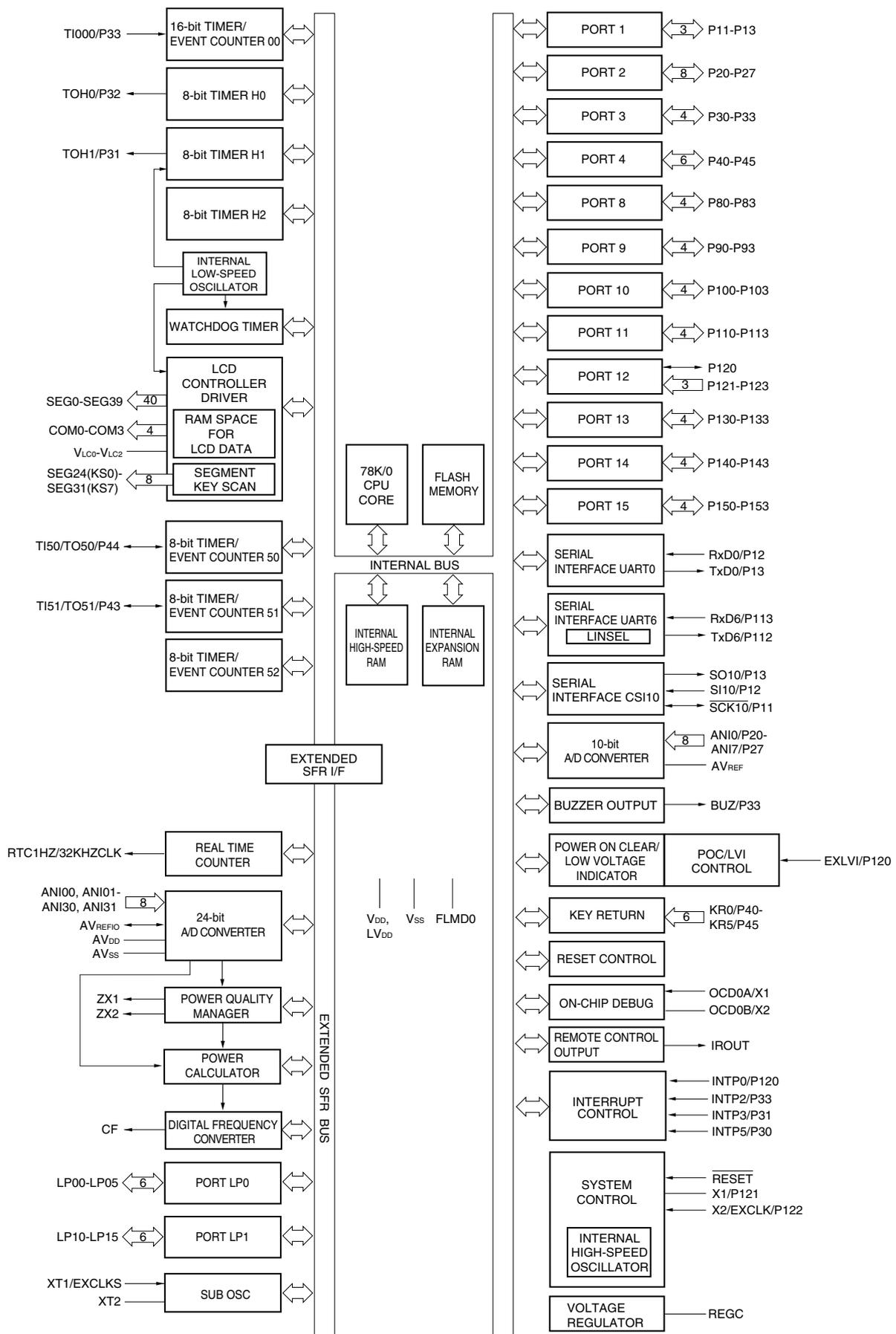
ANI0-ANI7	: Analog Input	P100-P103	: Port 10
ANI00, ANI01, ANI10, ANI11, ANI20, ANI21, ANI30, ANI31	: Analog Input	P110-P113 P120-P123 P130-P133 P140-P143	: Port 11 : Port 12 : Port 13 : Port 14
AVDD	: Analog Power Supply	P150-P153	: Port 15
AVREF	: Analog Reference Voltage	REGC	: Regulator Capacitance
AVREFIO	: Analog Reference Voltage	RESET	: Reset
AVSS	: Analog Ground	RTC1HZ	: Real-time Counter Correction Clock
BUZ	: Buzzer Output		Output
CF	: Calibration Frequency Output	RxD0, RxD6	: Receive Data
COM0-COM3	: Common Output	SEG0-SEG39	: Segment Output
EXCLK	: External Clock Input (Main System Clock)	SEG24 (KS0) -SEG31 (KS7)	: Segment Key Scan
EXCLKS	: External Clock Input (Subsystem Clock)	SCK10	: Serial Clock Input/Output
EXLVI	: External potential Input for Low-voltage Detector	SI10	: Serial Data Input
FLMD0	: Flash Programming Mode	SO10	: Serial Data Output
IC	: Internal Connection	TI000	: Timer Input
INTP0, INTP2, INTP3, INTP5	: External Interrupt Input	TI50, TI51	: Timer Input
IROUT	: IR Output	TO50, TO51	: Timer Output
KR0-KR5	: Key Return	TOH0, TOH1	: Timer Output
LP00-LP05	: Port LP0	TxD0, TxD6	: Transmit Data
LP10-LP15	: Port LP1	VDD	: Power Supply
LVDD	: Power Supply	VSS	: Ground
OCD0A, OCD0B	: On Chip Debug Input/Output	VLC0-VLC2	: LCD Power Supply
P11-P13	: Port 1	X1, X2	: Crystal Oscillator (Main System Clock)
P20-P27	: Port 2	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P30-P33	: Port 3	ZX1, ZX2	: Zero Cross Detection Signal Output
P40-P45	: Port 4	32KHZCLK	: 32 kHz Clock Output
P80-P83	: Port 8		
P90-P93	: Port 9		

1.6 ブロック図

1.6.1 78K0/LE3-M



1.6.2 78K0/LG3-M



1.7 機能概要

項 目	78K0/Lx3-M		78K0/LE3-M		78K0/LG3-M	
			μ PD78F8052	μ PD78F8053	μ PD78F8054	μ PD78F8055
			64ピン		100ピン	
フラッシュ・メモリ (Kバイト)	16		32		48	
高速RAM (Kバイト)	0.75				1	
拡張RAM (Kバイト)			-		1	
LCD表示用RAM (ビット)			24 × 4		40 × 4	
メモリ空間 (Kバイト)			64			
電源電圧			V _{DD} = 1.8 ~ 3.6 V			
レギュレータ			内蔵			
最小命令実行時間			0.2 μ s (10 MHz : V _{DD} = 2.7 ~ 3.6 V) / 0.4 μ s (5 MHz : V _{DD} = 1.8 ~ 3.6 V)			
ポート (合計)			32		65	
クロック	メイン	高速システム	10 MHz : V _{DD} = 2.7 ~ 3.6 V / 5 MHz : V _{DD} = 1.8 ~ 3.6 V			
		高速内蔵発振	8 MHz (TYP.) : V _{DD} = 1.8 ~ 3.6 V			
		サブ	32.768 kHz (TYP.) : V _{DD} = 1.8 ~ 3.6 V			
		低速内蔵発振	240 kHz (TYP.) : V _{DD} = 1.8 ~ 3.6 V			
タイム	16ビット (TM0)		1 ch			
	8ビット (TM5)		3 ch			
	8ビット (TMH)		3 ch			
	リアルタイム・カウンタ (RTC)		1 ch			
	ウォッチドッグ (WDT)		1 ch			
インタフェース	シリアル	3線式CSI/UART ^注	1 ch			
		LIN-bus対応UART	1 ch			
LCD	タイプ		外部抵抗分割 / 内部抵抗分割を切り替え可能			
	セグメント信号出力		24		40	
	コモン信号出力		4			
10ビット逐次比較型A/D		1 ch		8 ch		
24ビット 型A/D		3 ch		4 ch		
割り込み	外部		4		5	
	内部		17			
セグメント・キー・ソース信号出力		-		8 ch		
キー割り込み		2 ch		6 ch		
リセット	RESET端子		あり			
	POC		1.59 V \pm 0.15 V			
	LVI		電源電圧の検出レベルを10段階選択可能			
	WDT		あり			
ブザー出力		あり				
リモコン送信回路		あり				
電力演算回路		あり				
電力品質測定回路		あり				
デジタル周波数変換回路		あり				
オンチップ・デバッグ機能		あり				
動作周囲温度		T _A = -40 ~ +85				
パッケージ		64ピン・プラスチックLQFP (ファインピッチ) (10x10)		100ピン・プラスチックLQFP (ファインピッチ) (14x14)		

注 端子を兼用しているため、どちらかを選択して使用します。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{DD} 、 AV_{REF} 、 LV_{DD} 、 V_{LC0} 、 V_{DD} の5系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{DD}	ANI00-ANI31
AV_{REF}	P20-P27
LV_{DD}	CF, EXCLKS, LP00-LP05, LP10-LP15, RTC1HZ, XT1, XT2, ZX1, ZX2, 32KHZCLK, IROUT, IC, RESET
V_{LC0}	COM0-COM3, SEG0-SEG39, V_{LC0} - V_{LC2}
V_{DD}	上記以外の端子

2.1.1 78K0/LE3-M

(1) ポート機能：78K0/LE3-M

機能名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 2ビット入出力ポートと1ビット出力ポート。 P11, P12のみ, 1ビット単位で入力/出力の指定可能。また, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P12				SI10/RxD0
P13			出力ポート	SO10/TxD0/IROUT
P27	入出力	ポート2。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI7
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5
P32				TOHO
P33				TI000/BUZ/INTP2
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
P41				KR1
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12-SEG15
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120のみ, 1ビット単位で入力/出力の指定可能。また, ソフ トウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OCD0A
P122				X2/EXCLK/OCD0B
P130-P133	入出力	ポート13。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20-SEG23

(2) ポート以外の機能 (1/2) : 78K0/LE3-M

機能名称	入出力	機能	リセット時	兼用端子
ANI7	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P27
ANI00	入力	24ビット 型A/Dコンバータのアナログ入力。 ANIx0は負側入力, ANIx1は正側入力端子です。 また, 2線方式と3線方式により, 各入力端子の対応チャンネル(電 圧/電流)が異なります(第13章 24ビットΔΣ型A/Dコンバー タ参照)。	入力	-
ANI01				-
ANI10				-
ANI11				-
ANI20				-
ANI21				-
AVDD	-	24ビット 型A/Dコンバータの正電源	-	-
AVREF	入力	10ビット逐次比較型A/Dコンバータの基準電圧入力および正電 源, ポート2の正電源	-	-
AVREFIO	入出力	24ビット 型A/Dコンバータの基準電圧	入出力	-
AVSS	-	24ビット 型A/Dコンバータのグランド電位。 Vssと同電位にしてください。	-	-
BUZ	出力	ブザー出力	入力ポート	P33/TI000/INTP2
CF	出力	較正周波数出力	出力	-
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力	出力	-
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	XT1
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
IC	-	内部接続端子です。Vssに接続してください。	-	-
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち 下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP2				P33/TI000/BUZ
INTP5				P30
IROUT	出力	IR出力	出力ポート	P13/SO10/TxD0
KR0	入力	キー割り込み入力, またはセグメント・キー・スキャン入力	入力ポート	P40
KR1				P41
LVDD	-	リアルタイム・カウンタ, 電力演算回路, サブシステム・クロ ック発振回路, ポートLPの正電源	-	-
OC0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OC0B	-			P122/X2/EXCLK
REGC	-	内部動作レギュレータ出力(2.4V)安定容量接続。 コンデンサ(0.47~1 μF: 推奨)を介し, Vssに接続してくだ さい。	-	-
RESET	入力	システム・リセット入力	-	-
RTC1HZ	出力	リアルタイム・カウンタ補正クロック(1Hz)出力	出力	32KHZCLK
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P12/SI10
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P113/SEG19

(2) ポート以外の機能 (2/2) : 78K0/LE3-M

機能名称	入出力	機能	リセット時	兼用端子
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P11
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	出力	-
SEG4-SEG7			入力ポート	P80-P83
SEG8-SEG11				P90-P93
SEG12-SEG15				P100-P103
SEG16, SEG17				P110, P111
SEG18				P112/TxD6
SEG19				P113/RxD6
SEG20-SEG23				P130-P133
SI10				入力
SO10	出力	CSI10のシリアル・データ出力	出力ポート	P13/TxD0/IROUT
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR010) へのキャプチャ・トリガ入力	入力ポート	P33/BUZ/INTP2
TI50		8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力		
TI51	入力	8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力	入力ポート	P44/TO50/KR4 P43/TO51/KR3
TOH0	出力	8ビット・タイマH0出力	入力ポート	P32
TxD0	出力	UART0のシリアル・データ出力	出力ポート	P13/SO10/IROUT
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P112/SEG18
V _{DD}	-	正電源	-	-
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
V _{SS}	-	グランド電位	-	-
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-			P122/EXCLK/OCD0B
XT1	-	サブシステム・クロック用発振子接続	-	EXCLKS
XT2	-			-
32KHZCLK	出力	リアルタイム・カウンタ・クロック (32 kHz) 出力	出力	RTC1HZ

2.1.2 78K0/LG3-M

(1) ポート機能 (1/2) : 78K0/LG3-M

機能名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P12				SI10/RxD0
P13				SO10/TxD0
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	SEG39/ANI0
P21				SEG38/ANI1
P22				SEG37/ANI2
P23				SEG36/ANI3
P24				SEG35/ANI4
P25				SEG34/ANI5
P26				SEG33/ANI6
P27				SEG32/ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5
P31				TOH1/INTP3
P32				TOH0
P33				TI000/BUZ/INTP2
P40	入出力	ポート4。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
P41				KR1
P42				KR2
P43				TO51/TI51/KR3
P44				TO50/TI50/KR4
P45				KR5
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12-SEG15
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6

(1) ポート機能 (2/2) : 78K0/LG3-M

機能名称	入出力	機能	リセット時	兼用端子
P120	入出力	ポート12。 1ビット入出力ポートと3ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。また、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				-
P130-P133	入出力	ポート13。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20-SEG23
P140	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG24 (KS0)
P141				SEG25 (KS1)
P142				SEG26 (KS2)
P143				SEG27 (KS3)
P150	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG28 (KS4)
P151				SEG29 (KS5)
P152				SEG30 (KS6)
P153				SEG31 (KS7)
LP00	入出力	ポートLP0。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-
LP01				ZX1
LP02				ZX2
LP03				-
LP04				-
LP05				-
LP10	入出力	ポートLP1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-
LP11				-
LP12				-
LP13				-
LP14				-
LP15				-

(2) ポート以外の機能 (1/3) : 78K0/LG3-M

機能名称	入出力	機能	リセット時	兼用端子
ANI0	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/SEG39
ANI1				P21/SEG38
ANI2				P22/SEG37
ANI3				P23/SEG36
ANI4				P24/SEG35
ANI5				P25/SEG34
ANI6				P26/SEG33
ANI7				P27/SEG32
ANI00	入力	24ビット 型A/Dコンバータのアナログ入力。 ANIX0は負側入力, ANIX1は正側入力端子です。 また, 2線方式と3線方式により, 各入力端子の対応チャンネル(電 圧/電流)が異なります(第13章 24ビット 型A/Dコンバ ータ参照)。	入力	-
ANI01				-
ANI10				-
ANI11				-
ANI20				-
ANI21				-
ANI30				-
ANI31				-
AVDD	-	24ビット 型A/Dコンバータの正電源	-	-
AVREF	入力	10ビット逐次比較型A/Dコンバータの基準電圧入力および正電 源, ポート2の正電源	-	-
AVREFIO	入出力	24ビット 型A/Dコンバータの基準電圧	入出力	-
AVSS	-	24ビット 型A/Dコンバータのグランド電位。 Vssと同電位にしてください。	-	-
BUZ	出力	ブザー出力	入力ポート	P33/TI000/INTP2
CF	出力	較正周波数出力	出力	-
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力	出力	-
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCDOB
EXCLKS	入力	サブシステム・クロック用外部クロック入力	入力ポート	XT1
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
IC	-	内部接続端子です。Vssに接続してください。	-	-
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち 下がりの両エッジ)指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP2				P33/TI000/BUZ
INTP3				P31/TOH1
INTP5				P30
IROUT	出力	IR出力	入力ポート	-
KR0	入力	キー割り込み入力, またはセグメント・キー・スキャン入力	入力ポート	P40
KR1				P41
KR2				P42
KR3				P43/TO51/TI51
KR4				P44/TO50/TI50
KR5				P45

(2) ポート以外の機能 (2/3) : 78K0/LG3-M

機能名称	入出力	機能	リセット時	兼用端子	
LVDD	-	リアルタイム・カウンタ, 電力演算回路, サブシステム・クロック発振回路, ポートLPの正電源	-	-	
OCD0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1	
OCD0B	-			P122/X2/EXCLK	
REGC	-	内部動作レギュレータ出力 (2.4 V) 安定容量接続。コンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V _{SS} に接続してください。	-	-	
RESET	入力	システム・リセット入力	-	-	
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	出力	32KHZCLK	
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P12/SI10	
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P113/SEG19	
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P11	
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	出力	-	
SEG4-SEG7				入力ポート	P80-P83
SEG8-SEG11				P90-P93	
SEG12-SEG15				P100-P103	
SEG16, SEG17				P110, P111	
SEG18				P112/TxD6	
SEG19				P113/RxD6	
SEG20-SEG23				P130-P133	
SEG24 (KS0)				P140	
SEG25 (KS1)				P141	
SEG26 (KS2)				P142	
SEG27 (KS3)				P143	
SEG28 (KS4)				P150	
SEG29 (KS5)				P151	
SEG30 (KS6)				P152	
SEG31 (KS7)				P153	
SEG32				デジタル 入力ポート	LCDコントローラ/ドライバのセグメント信号出力
SEG33		P26/ANI6			
SEG34		P25/ANI5			
SEG35		P24/ANI4			
SEG36		P23/ANI3			
SEG37		P22/ANI2			
SEG38		P21/ANI1			
SEG39		P20/ANI0			
SI10		入力	CSI10のシリアル・データ入力	入力ポート	P12/RxD0
SO10		出力	CSI10のシリアル・データ出力	入力ポート	P13/TxD0

(2) ポート以外の機能 (3/3) : 78K0/LG3-M

機能名称	入出力	機能	リセット時	兼用端子
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR010) へのキャプチャ・トリガ入力	入力ポート	P33/BUZ/INTP2
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P44/TO50/KR4
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P43/TO51/KR3
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P44/TO50/KR4
TO51		8ビット・タイマ/イベント・カウンタ51出力		P43/TO51/KR3
TOH0	出力	8ビット・タイマH0出力	入力ポート	P32
TOH1		8ビット・タイマH1出力		P31/INTP3
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P13/SO10
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P112/SEG18
V _{DD}	-	正電源	-	-
V _{LC0-V_{LC2}}	-	LCD駆動用電圧	-	-
V _{SS}	-	グランド電位	-	-
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-			P122/EXCLK/OCD0B
XT1	-	サブシステム・クロック用発振子接続	-	EXCLKS
XT2	-			-
ZX1	出力	ゼロクロス検出信号出力	出力ポート	LP01
ZX2				LP02
32KHZCLK	出力	リアルタイム・カウンタ・クロック (32 kHz) 出力	出力	RTC1HZ

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P11-P13 (Port 1)

入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力およびクロック入出力、IR出力機能があります。P13は、ポート・ファンクション・レジスタ1 (PF1) により、端子機能を選択できます (図4 - 32参照)。

78K0/LE3-M	78K0/LG3-M
P11/ $\overline{\text{SCK10}}$	P11/ $\overline{\text{SCK10}}$
P12/SI10/RxD0	P12/SI10/RxD0
P13/SO10/TxD0/IROUT	P13/SO10/TxD0

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポート^注として機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

注 78K0/LE3-Mでは、P13は出力ポート機能のみです。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力およびクロック入出力、IR出力として機能します。

(a) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(b) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(c) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(d) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(e) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(f) IROUT

IR用データ出力端子です。

2.2.2 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、10ビット逐次比較型A/Dコンバータのアナログ入力機能があります。ポート・ファンクション・レジスタ2 (PF2)[※]により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
-	P20/SEG39/ANI0
-	P21/SEG38/ANI1
-	P22/SEG37/ANI2
-	P23/SEG36/ANI3
-	P24/SEG35/ANI4
-	P25/SEG34/ANI5
-	P26/SEG33/ANI6
P27/ANI7	P27/SEG32/ANI7

注 78K0/LG3-Mのみ。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、10ビット逐次比較型A/Dコンバータのアナログ入力として機能します。

(a) SEG32-SEG39

LCDコントローラ/ドライバのセグメント信号出力端子です。

(b) ANI0-ANI7

10ビット逐次比較型A/Dコンバータのアナログ入力端子です。アナログ入力端子として使用する場合、12.6 10ビット逐次比較型A/Dコンバータの注意事項の(5)を参照してください。

注意 P20-P27は、リセット解除後はデジタル入力モードになります。

2.2.3 P30-P33 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力、ブザー出力機能があります。

78K0/LE3-M	78K0/LG3-M
P30/INTP5	P30/INTP5
-	P31/TOH1/INTP3
P32/TOH0	P32/TOH0
P33/TI000/BUZ/INTP2	P33/TI000/BUZ/INTP2

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマ入出力、ブザー出力として機能します。

(a) INTP2, INTP3, INTP5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(c) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(d) BUZ

ブザー出力端子です。

2.2.4 P40-P45 (Port 4)

入出力ポートです。入出力ポートのほかに、キー割り込み入力、セグメント・キー・スキャン入力、タイマ入出力機能があります。

78K0/LE3-M	78K0/LG3-M
P40/KR0	P40/KR0
P41/KR1	P41/KR1
-	P42/KR2
-	P43/TO51/TI51/KR3
-	P44/TO50/TI50/KR4
-	P45/KR5

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力、セグメント・キー・スキャン入力、タイマの入出力として機能します。

(a) KR0-KR5

キー割り込み入力、またはセグメント・キー・スキャン入力端子です。

(b) TO50, TO51

8ビット・タイマ/イベント・カウンタ50, 51のタイマ出力端子です。

(c) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

2.2.5 P80-P83 (Port 8)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
P80/SEG4	P80/SEG4
P81/SEG5	P81/SEG5
P82/SEG6	P82/SEG6
P83/SEG7	P83/SEG7

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ8 (PU8) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEG4-SEG7

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.6 P90-P93 (Port 9)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
P90/SEG8	P90/SEG8
P91/SEG9	P91/SEG9
P92/SEG10	P92/SEG10
P93/SEG11	P93/SEG11

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ9 (PU9) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEG8-SEG11

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.7 P100-P103 (Port 10)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
P100/SEG12	P100/SEG12
P101/SEG13	P101/SEG13
P102/SEG14	P102/SEG14
P103/SEG15	P103/SEG15

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ10 (PM10) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ10 (PU10) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEG12-SEG15

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.8 P110-P113 (Port 11)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポート(セグメント信号出力以外)またはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
P110/SEG16	P110/SEG16
P111/SEG17	P111/SEG17
P112/SEG18/TxD6	P112/SEG18/TxD6
P113/SEG19/RxD6	P113/SEG19/RxD6

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ11 (PM11) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ11 (PU11) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力として機能します。

(a) SEG16-SEG19

LCDコントローラ/ドライバのセグメント信号出力端子です。

(b) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(c) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

2.2.9 P120-P123 (Port 12)

P120は入出力ポートです。P121-P123は入力ポートです。入出力ポートのほかに外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

78K0/LE3-M	78K0/LG3-M
P120/INTP0/EXLVI	P120/INTP0/EXLVI
P121/X1/OCD0A	P121/X1/OCD0A
P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B
-	P123

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

P121-P123は入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

備考 X1, X2は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、**第31章 オンチップ・デバッグ機能**を参照してください。

2.2.10 P130-P133 (Port 13)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
P130/SEG20	P130/SEG20
P131/SEG21	P131/SEG21
P132/SEG22	P132/SEG22
P133/SEG23	P133/SEG23

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ13 (PM13) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ13 (PU13) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEG20-SEG23

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.11 P140-P143 (Port 14)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力機能があります。兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
-	P140/SEG24 (KS0)
-	P141/SEG25 (KS1)
-	P142/SEG26 (KS2)
-	P143/SEG27 (KS3)

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力として機能します。

(a) SEG24 (KS0) -SEG27 (KS3)

LCDコントローラ/ドライバのセグメント信号出力端子です。

LCDモード・レジスタ (LCDMD) の設定により、セグメント・キー・ソース信号同時出力が可能です。

2.2.12 P150-P153 (Port 15)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力機能があります。兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LE3-M	78K0/LG3-M
-	P150/SEG28 (KS4)
-	P151/SEG29 (KS5)
-	P152/SEG30 (KS6)
-	P153/SEG31 (KS7)

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ15 (PU15) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力，セグメント・キー・ソース信号同時出力として機能します。

(a) SEG28 (KS4) -SEG31 (KS7)

LCDコントローラ/ドライバのセグメント信号出力端子です。

LCDモード・レジスタ (LCDMD) の設定により，セグメント・キー・ソース信号同時出力が可能です。

2.2.13 LP00-LP05 (Port LP0)

入出力ポートです。入出力ポートのほかに，電力品質測定回路のゼロクロス検出信号出力機能があります。

78K0/LE3-M	78K0/LG3-M
-	LP00
-	LP01/ZX1
-	LP02/ZX2
-	LP03
-	LP04
-	LP05

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタLP0 (LPM0) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタLP0 (LPU0) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

電力品質測定回路のゼロクロス検出信号出力として機能します。

(a) ZX1, ZX2

ゼロクロス検出信号出力端子です。

2.2.14 LP10-LP15 (Port LP1)

入出力ポートです。

78K0/LE3-M	78K0/LG3-M
-	LP10
-	LP11
-	LP12
-	LP13
-	LP14
-	LP15

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタLP1 (LPM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタLP1 (LPU1) の設定により、内蔵プルアップ抵抗を使用できます。

2.2.15 ANI00-ANI31

78K0/LE3-M	78K0/LG3-M
ANI00	ANI00
ANI01	ANI01
ANI10	ANI10
ANI11	ANI11
ANI20	ANI20
ANI21	ANI21
-	ANI30
-	ANI31

(a) ANI00-ANI31

24ビット 型A/Dコンバータのアナログ入力端子です。

ANIx0は負側入力，ANIx1は正側入力端子です。

また、2線方式と3線方式により、各入力端子の対応チャネル(電圧/電流)が異なります(第13章 24ビット $\Delta\Sigma$ 型A/Dコンバータ参照)。

2.2.16 AVDD, AVREF, AVREFIO, AVSS, LVDD, VDD, VLC0-VLC2, VSS

(a) AVDD

24ビット 型A/Dコンバータの正電源供給端子です。

(b) AVREF

10ビット逐次比較型A/Dコンバータの基準電圧入力，およびポート2の正電源供給端子です。

10ビット逐次比較型A/Dコンバータを使用しない場合は，VDDに直接接続してください^注。

注 ポート2をデジタル・ポートまたはセグメント出力として使用する場合は，VDDと同電位にしてください。

(c) AVREFIO

24ビット 型A/Dコンバータの基準電圧入出力端子です。

(d) AVSS

24ビット 型A/Dコンバータのグランド電位端子です。24ビット 型A/Dコンバータを使用しないときでも，常にVSSと同電位で使用してください。

(e) LV_{DD}

リアルタイム・カウンタ，電力演算回路，サブシステム・クロック発振回路，ポートLPの正電源供給端子です。

(f) V_{DD}

正電源供給端子です。

(g) V_{LC0}-V_{LC2}

LCD駆動用電源電圧端子です。

(h) V_{SS}

グランド電位端子です。

2.2.17 CF

デジタル周波数変換回路の較正周波数出力端子です。

2.2.18 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。

2.2.19 EXCLKS

サブシステム・クロック用外部クロック入力端子です。

2.2.20 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には，FLMD0をV_{SS}に接続してください。

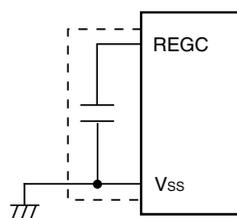
フラッシュ・メモリ・プログラミング・モード時には，フラッシュ・メモリ・プログラマと接続してください。

2.2.21 IC

内部接続端子です。V_{SS}に接続してください。

2.2.22 REGC

内部動作レギュレータ出力(2.4V)安定容量接続端子です。コンデンサ(0.47~1μF:推奨)を介し，V_{SS}に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2. 2. 23 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2. 2. 24 RTC1HZ

リアルタイム・カウンタ補正クロック (1 Hz) 出力端子です。

2. 2. 25 SEGxx

LCDコントローラ/ドライバのセグメント信号出力端子です。

2. 2. 26 XT1, XT2

サブシステム・クロック用発振子接続端子です。

2. 2. 27 32KHZCLK

リアルタイム・カウンタ・クロック (32 kHz) 出力端子です。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 2に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View)、2.1 端子機能一覧を参照してください。

表2 - 2 各端子の入出力回路タイプ (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P11/SCK10	5-AH	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P12/SI10/RxD0			
P13/SO10/TxD0/IROUT			
P20/SEG39/ANI0 -P27/SEG32/ANI7 ^注	17-AA		<アナログ設定時> AV _{REF} またはAV _{SS} に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P30/INTP5	5-AH		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P31/TOH1/INTP3			
P32/TOH0	5-AG		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P33/TI000/BUZ/INTP2	5-AH		
P40/KR0			
P41/KR1			
P42/KR2			
P43/TO51/TI51/KR3			
P44/TO50/TI50/KR4			
P45/KR5			
P80/SEG4-P83/SEG7	17-Y		<ポート設定時> 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P90/SEG8-P93/SEG11			<セグメント設定時> オープンにしてください。
P100/SEG12-P103/SEG15			
P110/SEG16, P111/SEG17			
P112/SEG18/TxD6			
P113/SEG19/RxD6	17-Z		

注 P20/SEG39/ANI0-P27/SEG32/ANI7は、リセット解除後はデジタル入力モードになります。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-2 各端子の入出力回路タイプ(2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCDOA ^{注1}	37-A	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK/OCDOB ^{注1}			
P123	2-B		
P130/SEG20-P133/SEG23	17-Y	入出力	<ポート設定時> 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P140/SEG24 (KS0)			
-P143/SEG27 (KS3)			
P150/SEG28 (KS4)			
-P153/SEG31 (KS7)			
LP00	5-AG	入出力	入力時：個別に抵抗を介して、LV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
LP01/ZX1			
LP02/ZX2			
LP03-LP05, LP10-15			
ANI00-ANI31	35	入力	個別に抵抗を介して、AV _{DD} またはAV _{SS} に接続してください。
AV _{REF}	-	-	V _{DD} に直接接続してください。 ^{注2}
AV _{REFIO}	-	-	コンデンサを介して、AV _{SS} に接続してください。
AV _{SS}	-	-	V _{SS} に直接接続してください。
CF	5-AG	出力	オープンにしてください。
COM0-COM3	18-B		
FLMD0	38	入力	V _{SS} に接続してください。 ^{注3}
LV _{DD}	-	-	V _{DD} に直接接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
RTC1HZ/32KHZCLK	5-AG	出力	オープンにしてください。
SEGxx	17-D	出力	オープンにしてください。
V _{LC0} -V _{LC2}	-	-	オープンにしてください。
XT1/EXCLKS	-	-	<高速内蔵発振クロック使用時> V _{SS} に接続してください。
XT2	-	-	<高速内蔵発振クロック使用時または外部クロック使用時> オープンにしてください。

注1. 未使用時は、入出力ポート・モード(図5-2 クロック動作モード選択レジスタ(OSCCTL)のフォーマットを参照)で上記の推奨接続方法を行ってください。

2. ポート2をデジタル・ポートまたはセグメント出力として使用する場合は、V_{DD}と同電位にしてください。

3. FLMD0はフラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合、またはオンチップ・デバッグを行う場合は、抵抗(10kΩ：推奨)を介してV_{SS}に接続してください。

図2 - 1 端子の入出力回路一覧 (1/3)

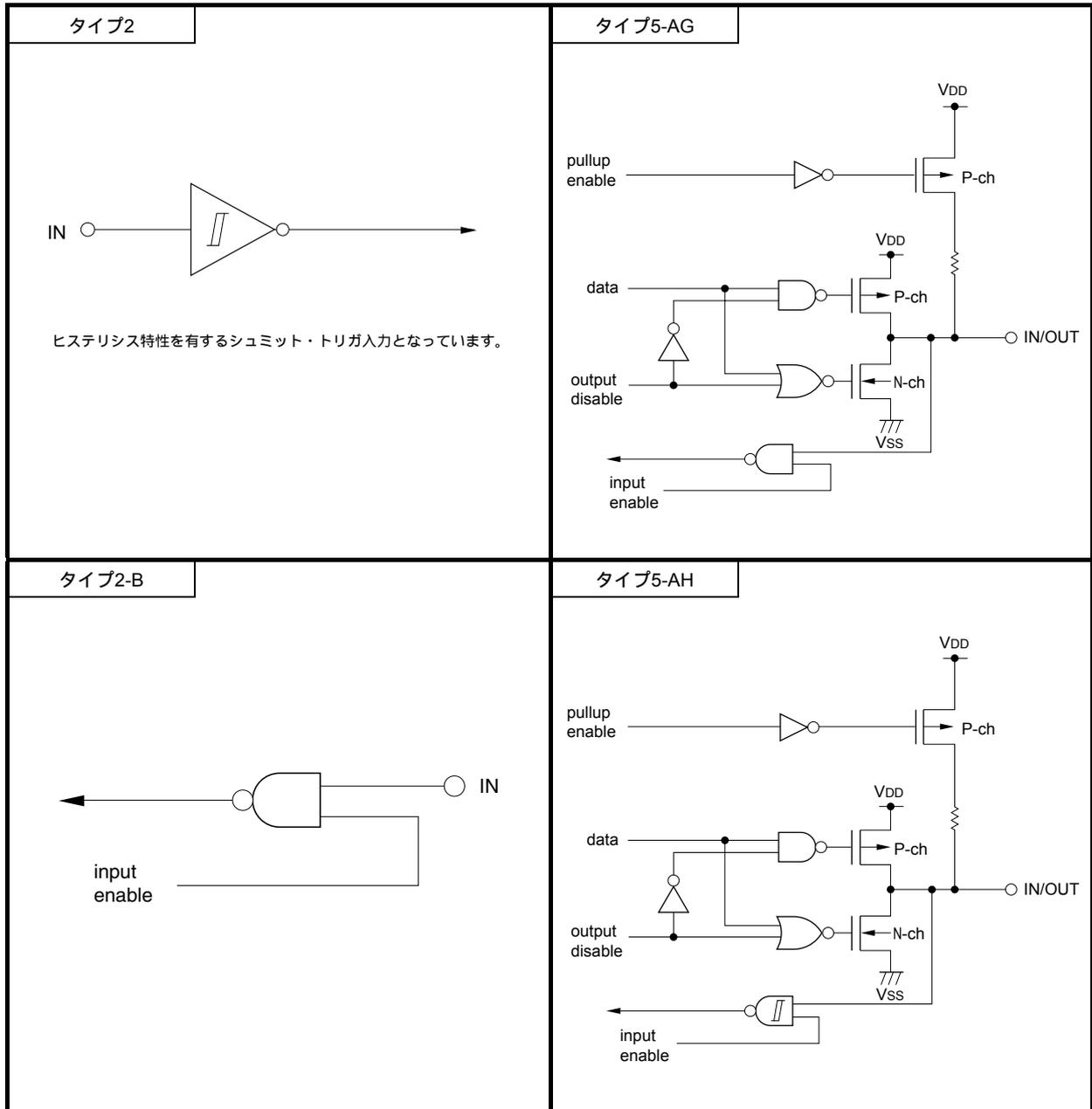


図2 - 1 端子の入出力回路一覧 (2/3)

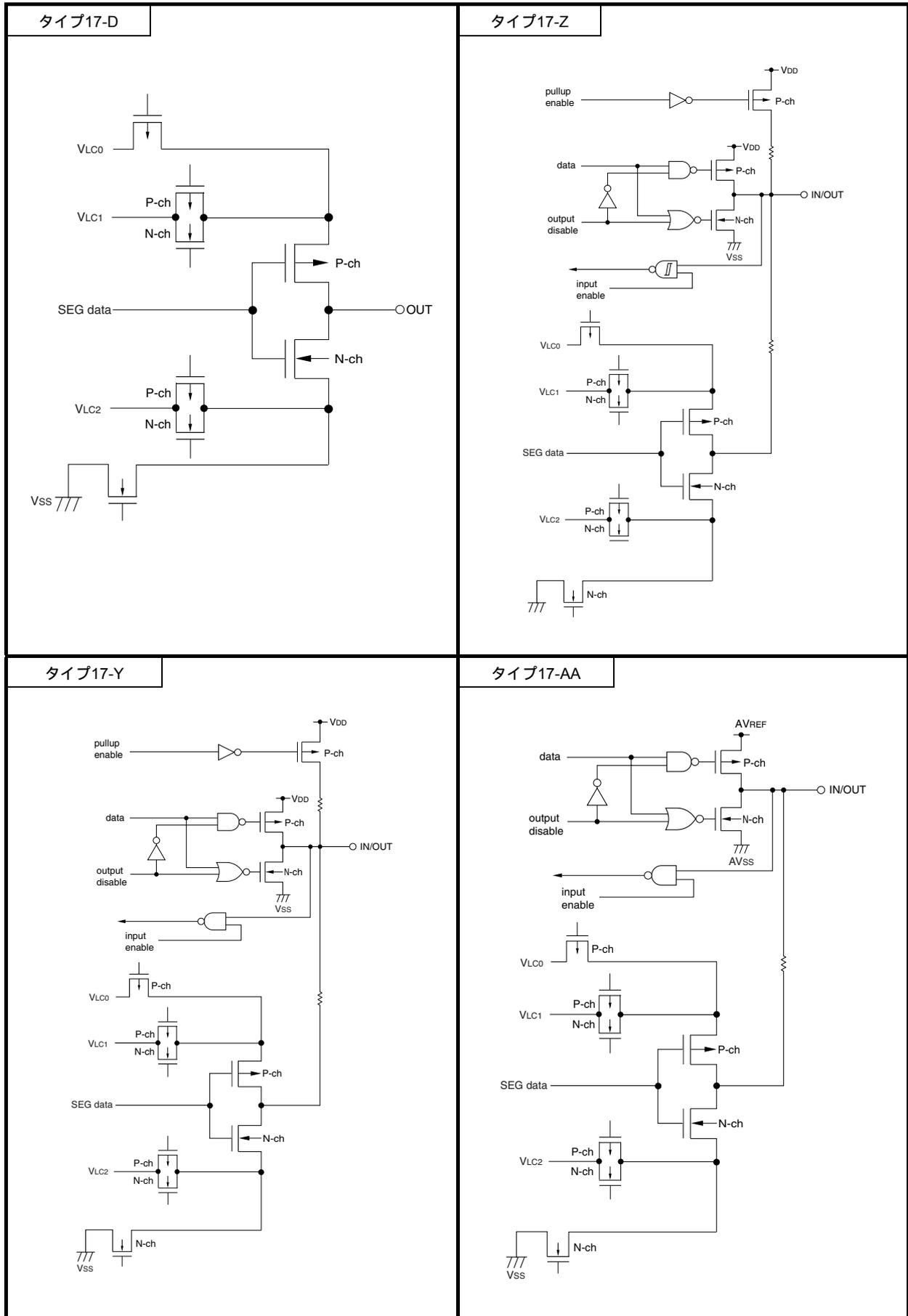
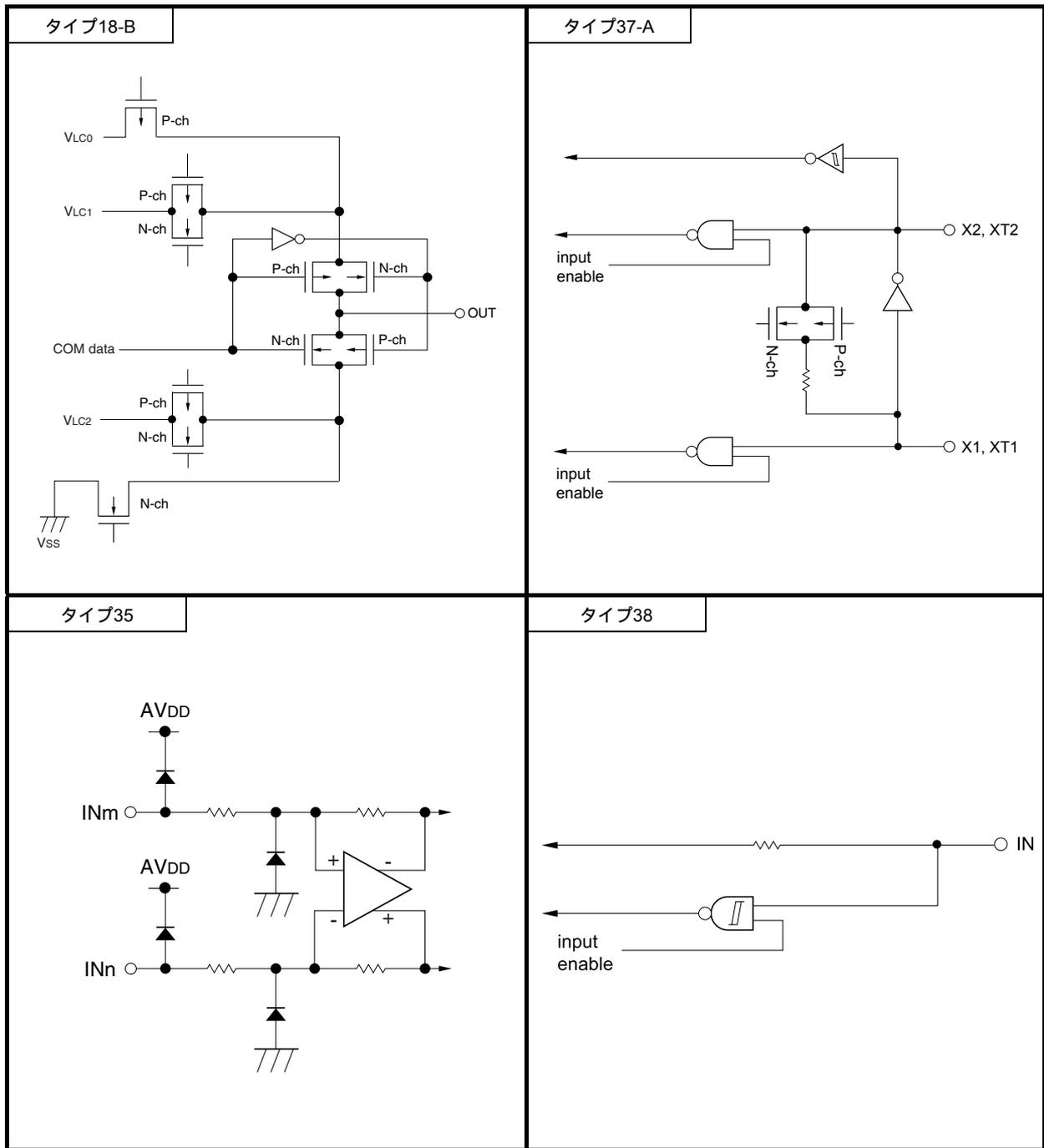


図2 - 1 端子の入出力回路一覧 (3/3)



第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0/Lx3-Mマイクロコントローラは、64 Kバイトのメモリ空間をアクセスできます。

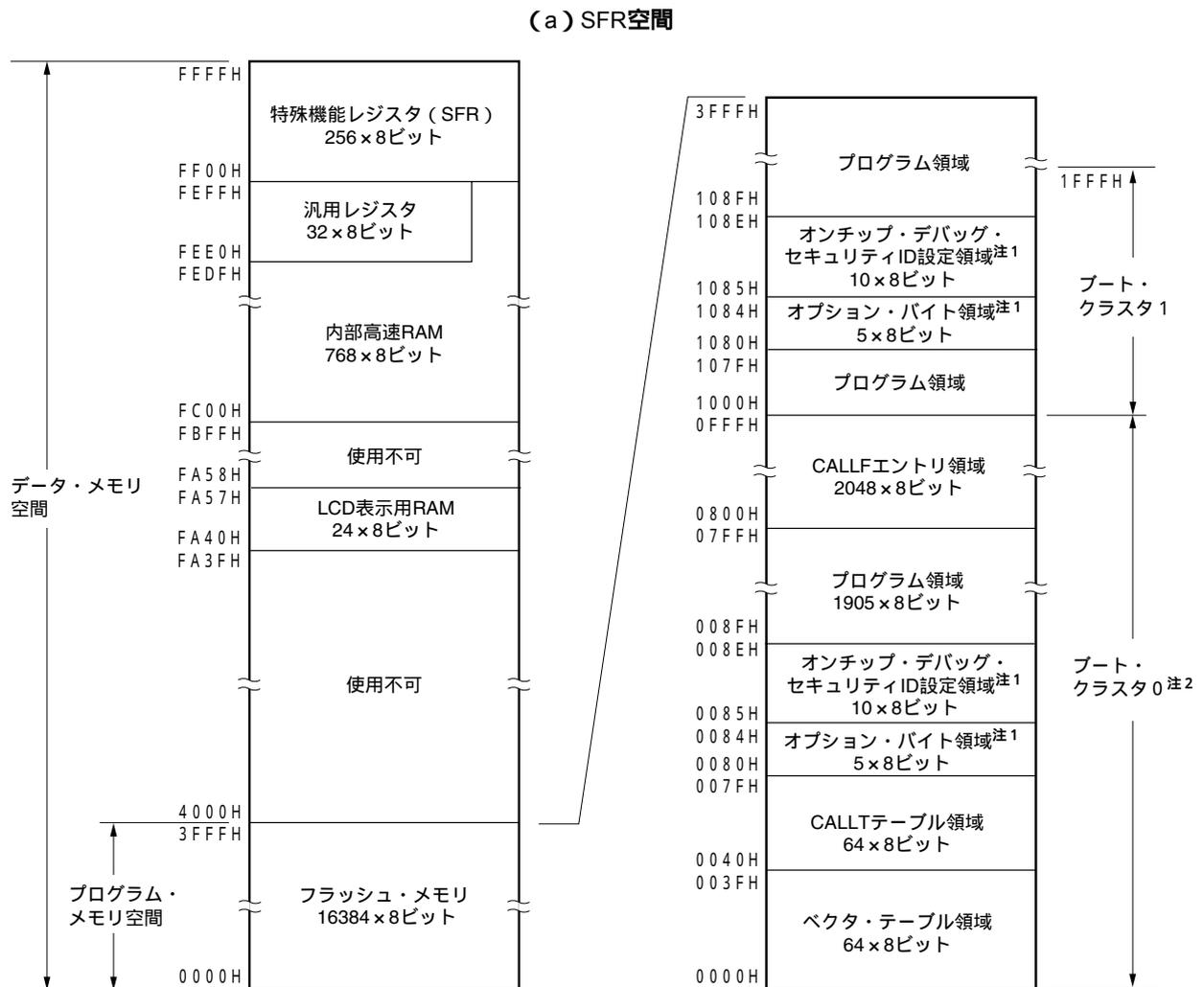
それぞれの製品には、特殊機能レジスタ（SFR）のほかに、拡張特殊機能レジスタ（拡張SFR）があります。拡張SFR空間へのアクセスは、拡張SFRインタフェースを使用します（第17章 拡張SFRインタフェース参照）。図3-1～図3-4に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Lx3-Mマイクロコントローラのすべての製品において一定（IMS = CFH, IXS = 0CH）となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。

表3-1 メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）の設定値

78K0/LE3-M	78K0/LG3-M	IMS	IXS	ROM 容量	内部高速 RAM容量	内部拡張 RAM容量
μ PD78F8052 [※]	-	04H	0CH	16 KB	768 B	-
μ PD78F8053 [※]	-	C8H		32 KB		
-	μ PD78F8054	CCH	0AH	48 KB	1 KB	1 KB
-	μ PD78F8055	CFH		60 KB		

注 内部拡張RAMを内蔵していない製品は、IXSを搭載していません。

図3-1 メモリ・マップ (μ PD78F8052)

(b) 拡張SFR空間

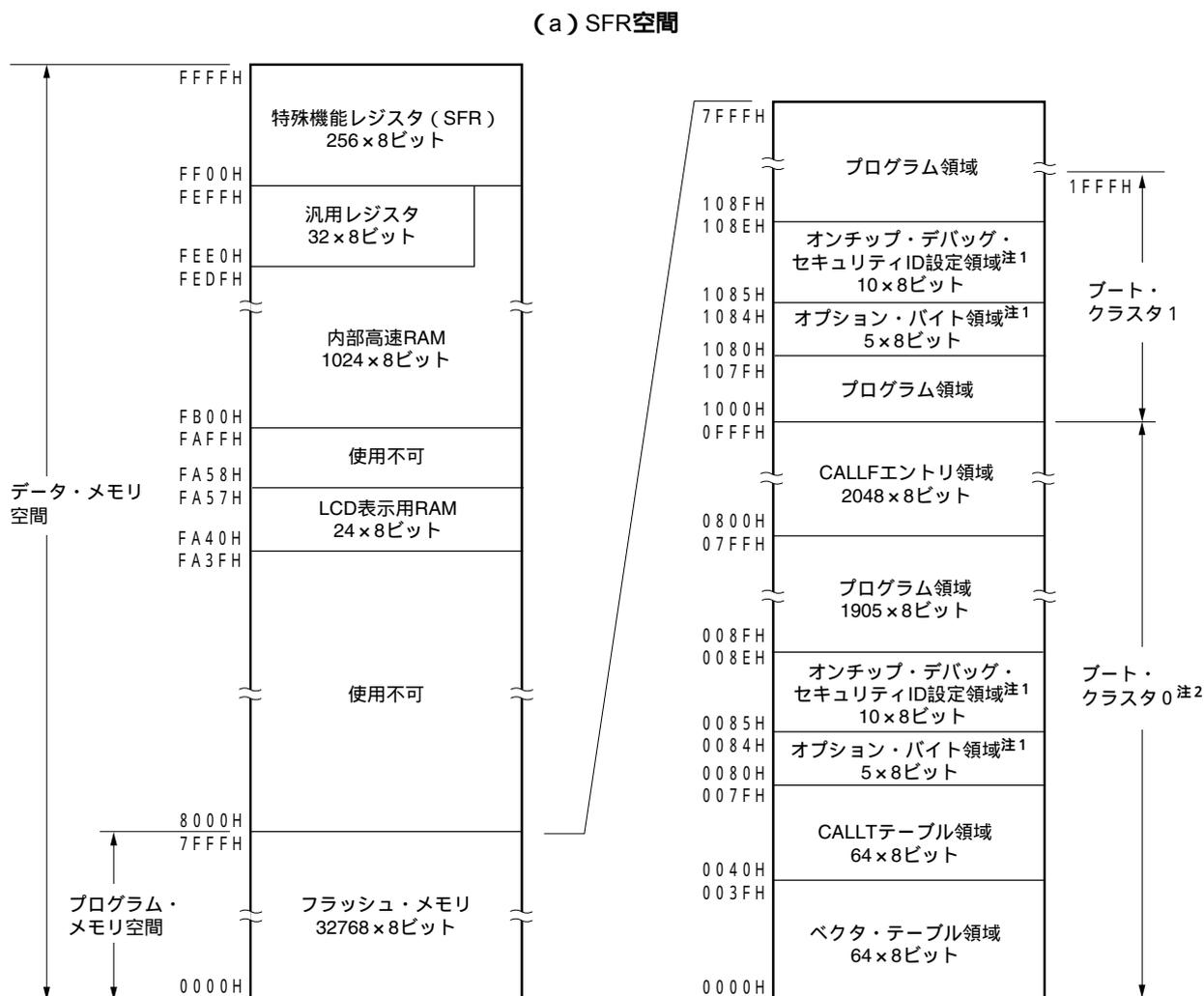


注1. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

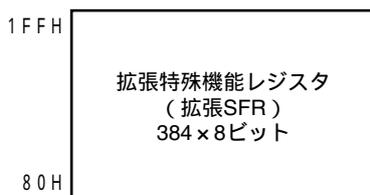
ブート・スワップ使用時：0080H-0084H，1080H-1084Hにオプション・バイト，0085H-008EH，1085H-108EH にオンチップ・デバッグ・セキュリティIDを設定

2. セキュリティの設定により，ブート・クラスタ0は書き換え禁止することができます。

図3-2 メモリ・マップ(μ PD78F8053)



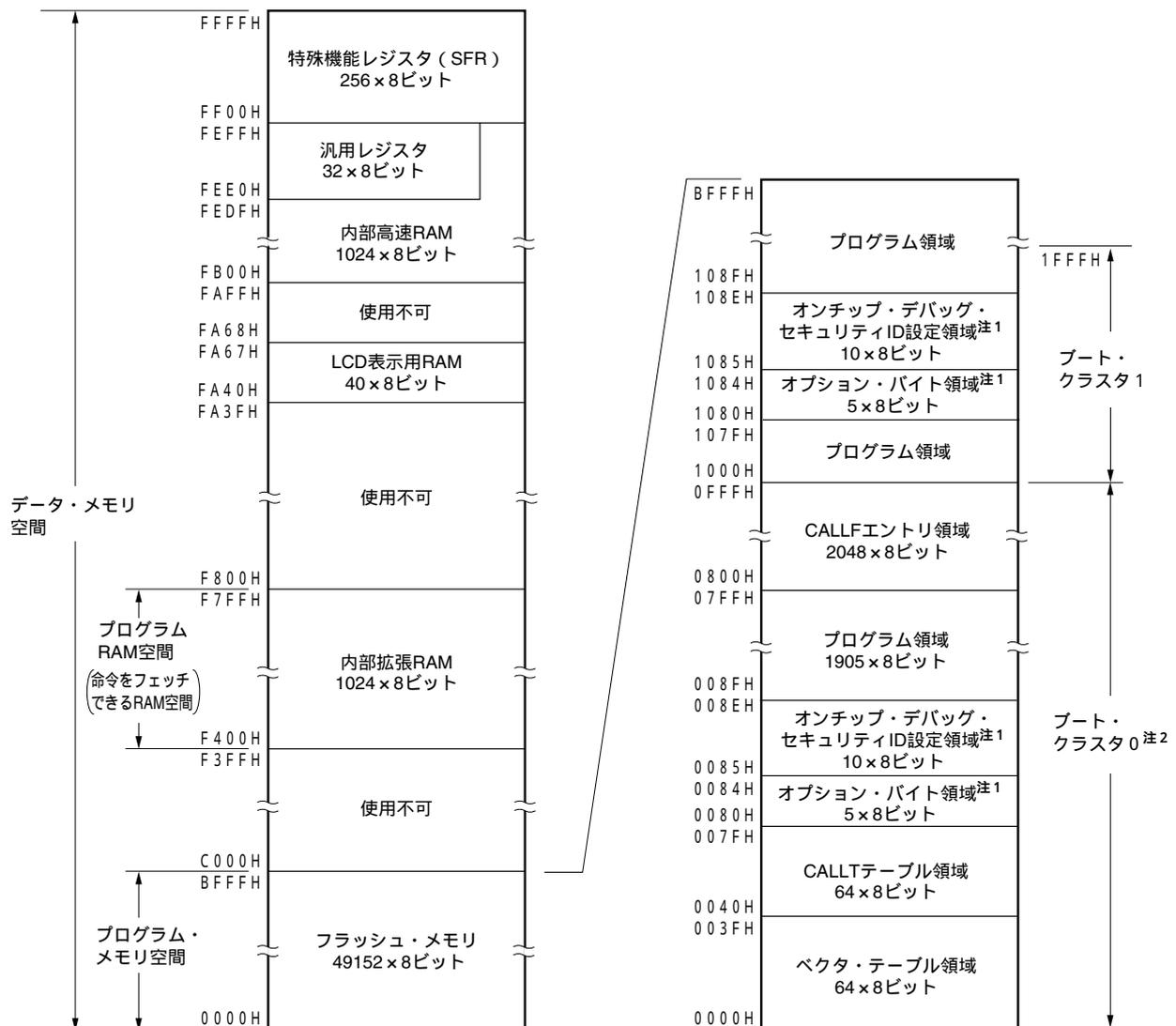
(b) 拡張SFR空間



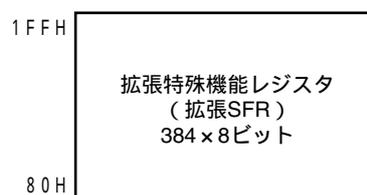
- 注1. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EH にオンチップ・デバッグ・セキュリティIDを設定
2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます。

図3-3 メモリ・マップ (μ PD78F8054)

(a) SFR空間



(b) 拡張SFR空間



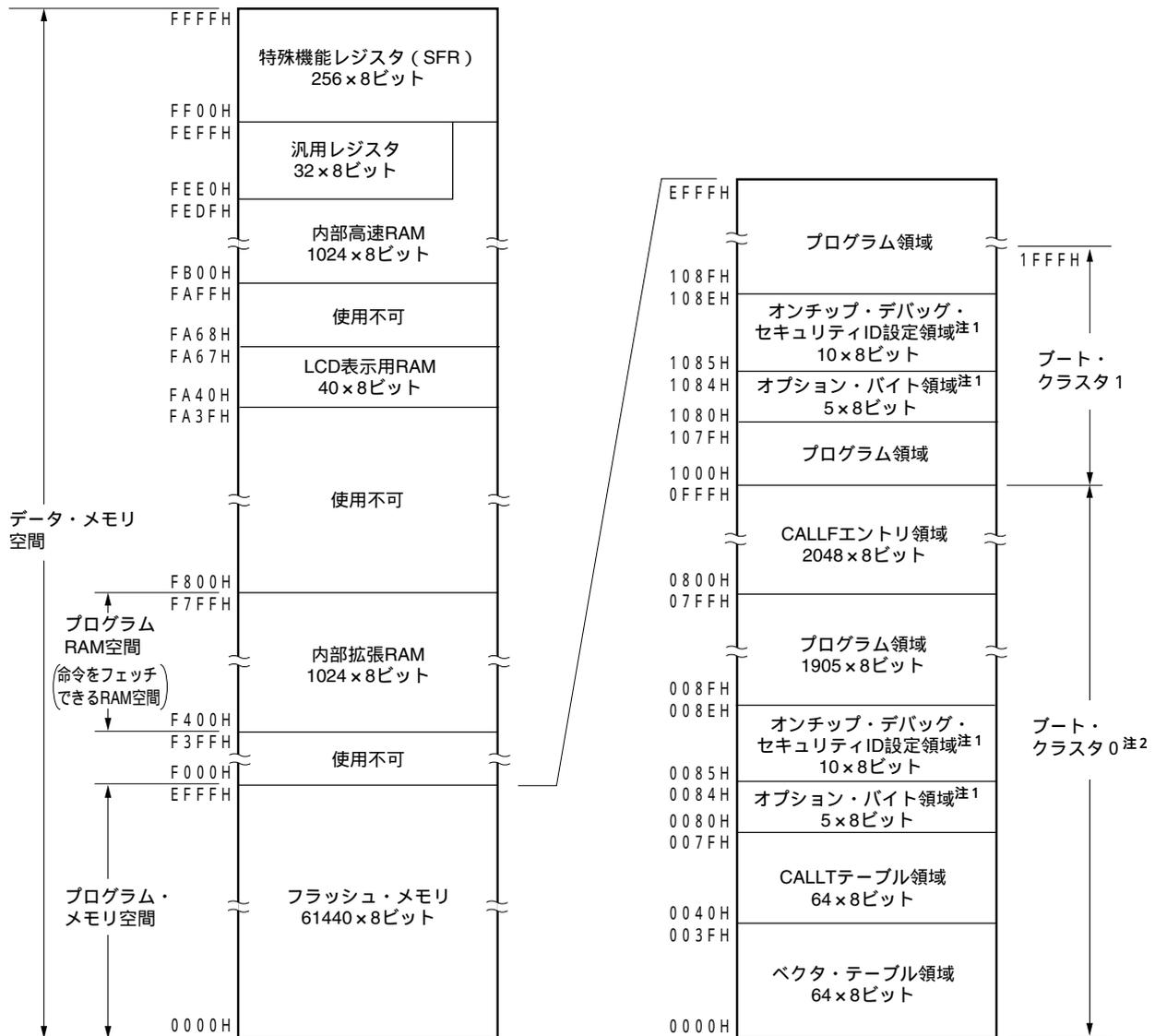
注1. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EH にオンチップ・デバッグ・セキュリティIDを設定

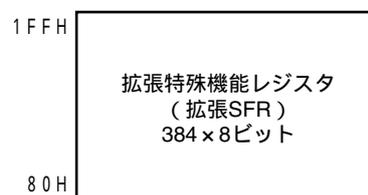
2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます。

図3-4 メモリ・マップ (μ PD78F8055)

(a) SFR空間



(b) 拡張SFR空間



注1. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EH にオンチップ・デバッグ・セキュリティIDを設定

2. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます。

フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1Kバイト）。
フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3 - 2 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-03FFH	00H	4000H-43FFH	10H	8000H-83FFH	20H	C000H-C3FFH	30H
0400H-07FFH	01H	4400H-47FFH	11H	8400H-87FFH	21H	C400H-C7FFH	31H
0800H-0BFFH	02H	4800H-4BFFH	12H	8800H-8BFFH	22H	C800H-CBFFH	32H
0C00H-0FFFH	03H	4C00H-4FFFH	13H	8C00H-8FFFH	23H	CC00H-CFFFH	33H
1000H-13FFH	04H	5000H-53FFH	14H	9000H-93FFH	24H	D000H-D3FFH	34H
1400H-17FFH	05H	5400H-57FFH	15H	9400H-97FFH	25H	D400H-D7FFH	35H
1800H-1BFFH	06H	5800H-5BFFH	16H	9800H-9BFFH	26H	D800H-DBFFH	36H
1C00H-1FFFH	07H	5C00H-5FFFH	17H	9C00H-9FFFH	27H	DC00H-DFFFH	37H
2000H-23FFH	08H	6000H-63FFH	18H	A000H-A3FFH	28H	E000H-E3FFH	38H
2400H-27FFH	09H	6400H-67FFH	19H	A400H-A7FFH	29H	E400H-E7FFH	39H
2800H-2BFFH	0AH	6800H-6BFFH	1AH	A800H-ABFFH	2AH	E800H-EBFFH	3AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH	AC00H-AFFFH	2BH	EC00H-EFFFH	3BH
3000H-33FFH	0CH	7000H-73FFH	1CH	B000H-B3FFH	2CH		
3400H-37FFH	0DH	7400H-77FFH	1DH	B400H-B7FFH	2DH		
3800H-3BFFH	0EH	7800H-7BFFH	1EH	B800H-BBFFH	2EH		
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH	BC00H-BFFFH	2FH		

備考 μ PD78F8052 : ブロック番号00H-0FH
 μ PD78F8053 : ブロック番号00H-1FH
 μ PD78F8054 : ブロック番号00H-2FH
 μ PD78F8055 : ブロック番号00H-3BH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0/Lx3-Mマイクロコントローラは、製品ごとに次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 3 内部ROM容量

78K0/LE3-M	78K0/LG3-M	内部ROM (フラッシュ・メモリ)
64ピン	100ピン	
μ PD78F8052	-	16384×8ビット (0000H-3FFFH)
μ PD78F8053	-	32768×8ビット (0000H-7FFFH)
-	μ PD78F8054	49152×8ビット (0000H-BFFFH)
-	μ PD78F8055	61440×8ビット (0000H-EFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-4 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	78K0/LE3-M	78K0/LG3-M
0000H	RESET入力, POC, LVI, WDT		
0004H	INTLVI		
0006H	INTP0		
0008H	INTP1		
000AH	INTP2		
000CH	INTP3	-	
0010H	INTP5		
0012H	INTSRE6		
0014H	INTSR6		
0016H	INTST6		
0018H	INTCSI10 / INTST0		
001AH	INTTMH1		
001CH	INTTMH0		
001EH	INTTM50		
0020H	INTTM000		
0022H	INTTM010		
0024H	INTAD		
0026H	INTSR0		
002AH	INTTM51		
002CH	INTKR		
0032H	INTTM52		
0034H	INTTMH2		
003CH	INTACSI		
003EH	BRK		

備考 : 搭載, - : 非搭載

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084H, 1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時は0080H-0084Hに、ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域

0085H-008EH, 1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第31章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 内部データ・メモリ空間

78K0/Lx3-Mマイクロコントローラは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

内部高速RAMのFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、スタック・メモリは内部高速RAMを使用します。

表3 - 5 内部高速RAM容量

78K0/LE3-M	78K0/LG3-M	内部高速RAM
64ピン	100ピン	
μ PD78F8052	-	768 × 8ビット (FC00H-FEFFFH)
μ PD78F8053	-	1024 × 8ビット (FB00H-FEFFFH)
-	μ PD78F8054	
-	μ PD78F8055	

(2) 内部拡張RAM

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、スタック・メモリは内部拡張RAMを使用することができません。

表3 - 6 内部拡張RAM容量

78K0/LE3-M	78K0/LG3-M	内部拡張RAM
64ピン	100ピン	
μ PD78F8052	-	-
μ PD78F8053	-	-
-	μ PD78F8054	1024 × 8ビット (F400H-F7FFFH)
-	μ PD78F8055	

(3) LCD表示用RAM

LCDコントローラ/ドライバには、LCD表示用RAMを内蔵しています（18.5 LCD表示データ・メモリ参照）。

表3 - 7 LCD表示用RAM容量

78K0/LE3-M	78K0/LG3-M	LCD表示用RAM
64ピン	100ピン	
μ PD78F8052	-	24×4ビット (FA40H-FA57H)
μ PD78F8053	-	
-	μ PD78F8054	40×4ビット (FA40H-FA67H)
-	μ PD78F8055	

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています（3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3 - 8 特殊機能レジスタ一覧参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

80H-1D8Hの領域には、オンチップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています（3.2.4 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 9 拡張特殊機能レジスタ一覧参照）。

拡張SFR空間へのアクセスは、拡張SFRインタフェースを使用します（第17章 拡張SFRインタフェース参照）。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Lx3-Mマイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3 - 5～図3 - 8にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-5 データ・メモリとアドレッシングの対応 (μ PD78F8052)

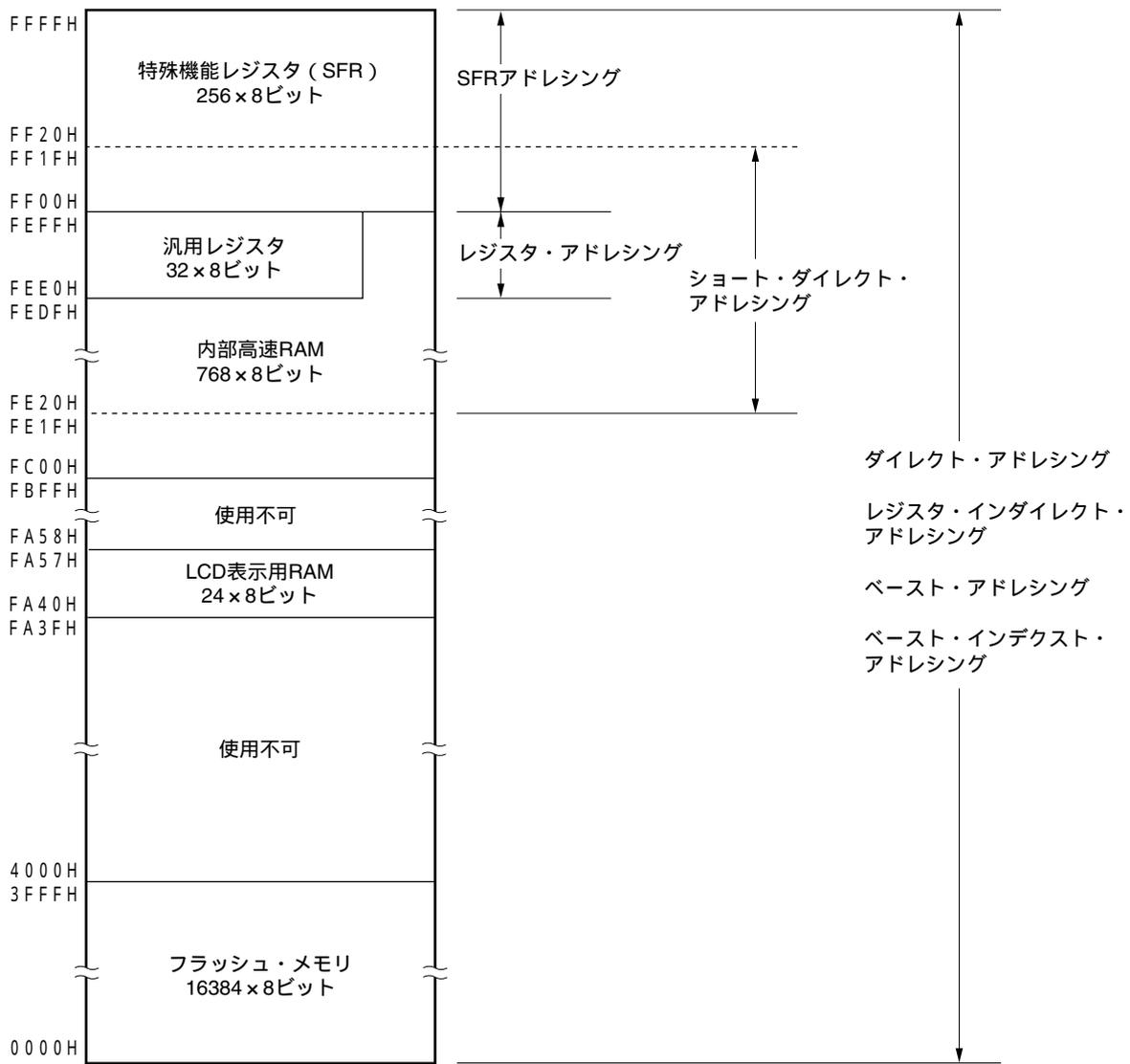


図3-6 データ・メモリとアドレッシングの対応 (μ PD78F8053)

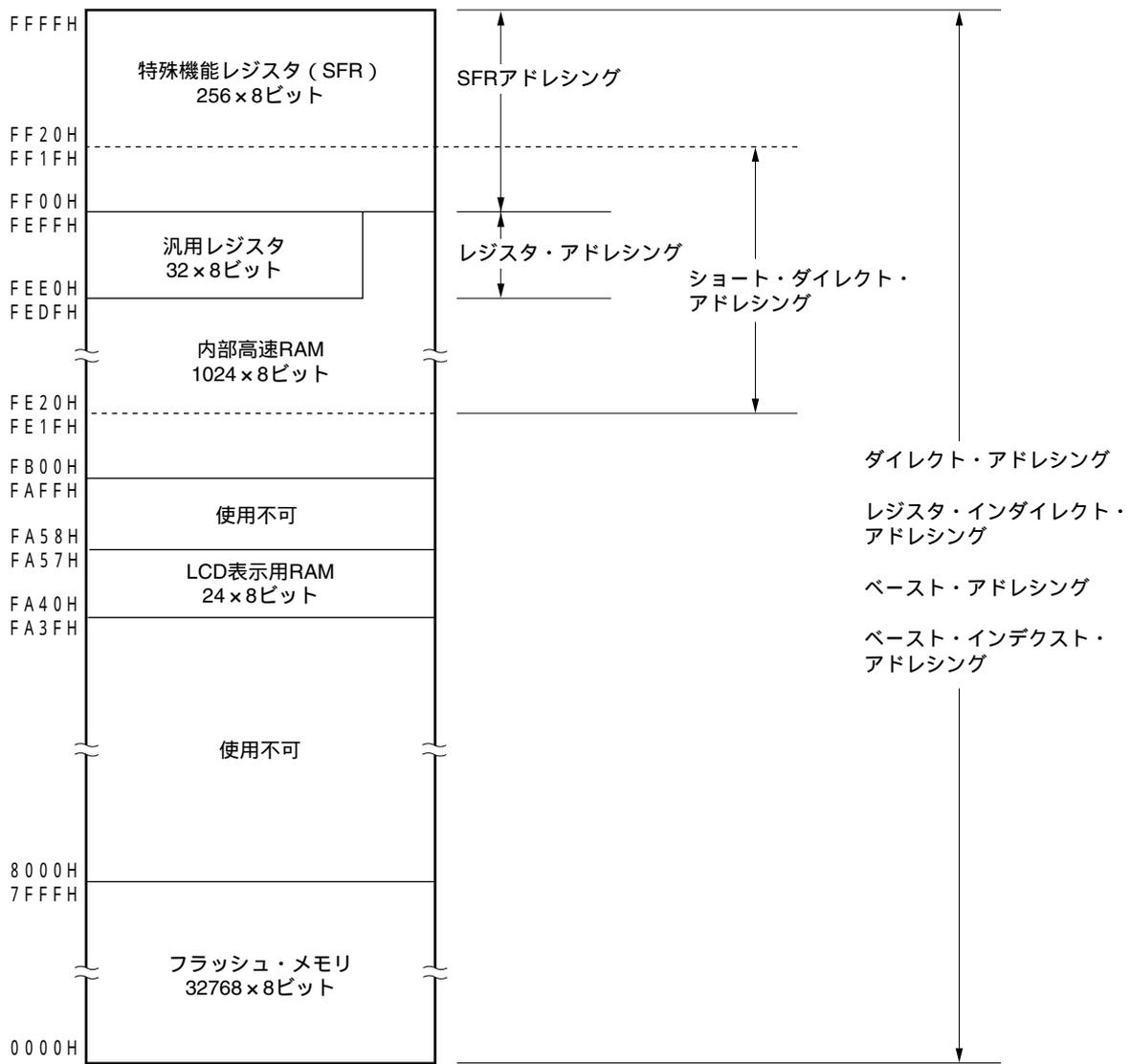


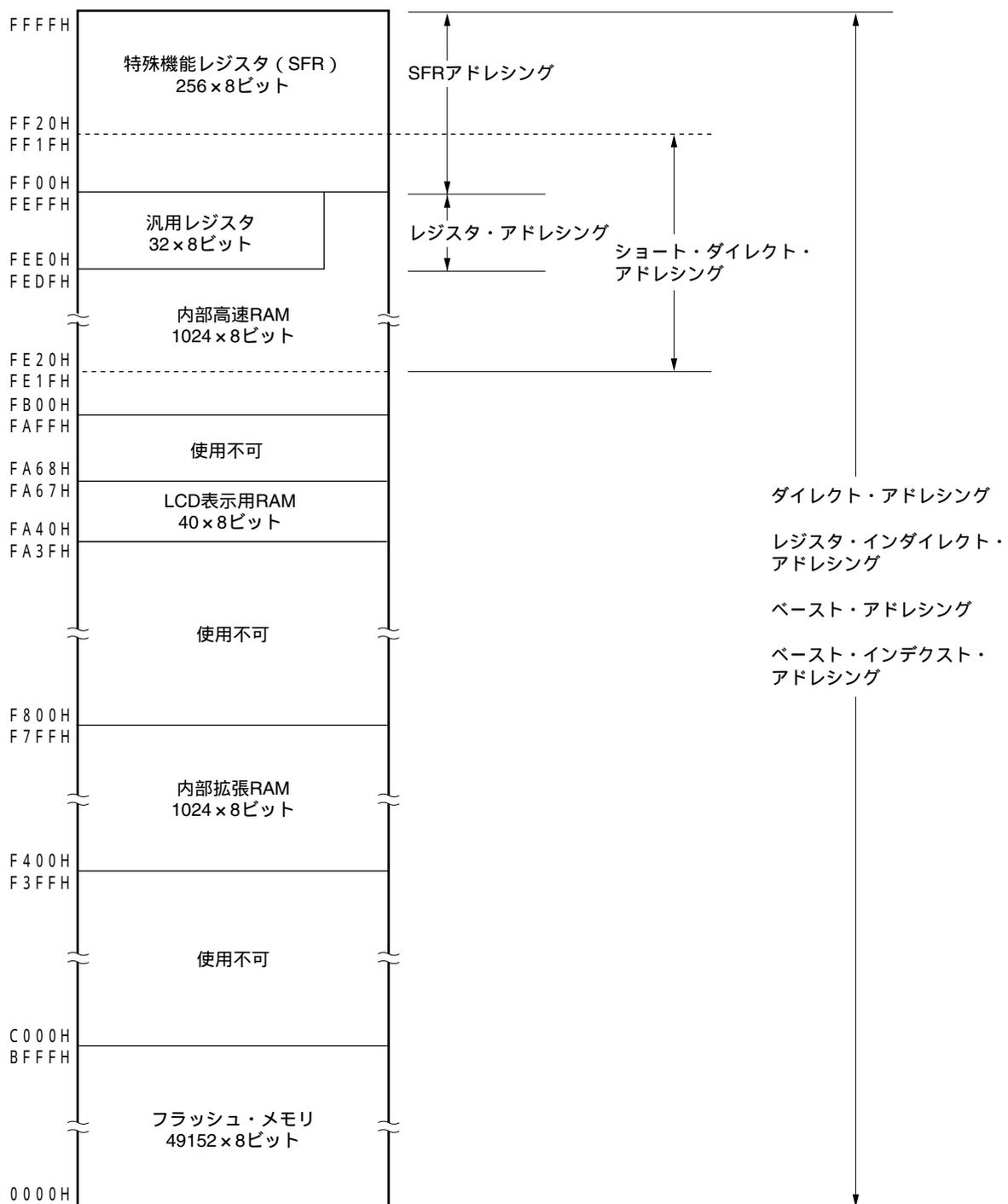
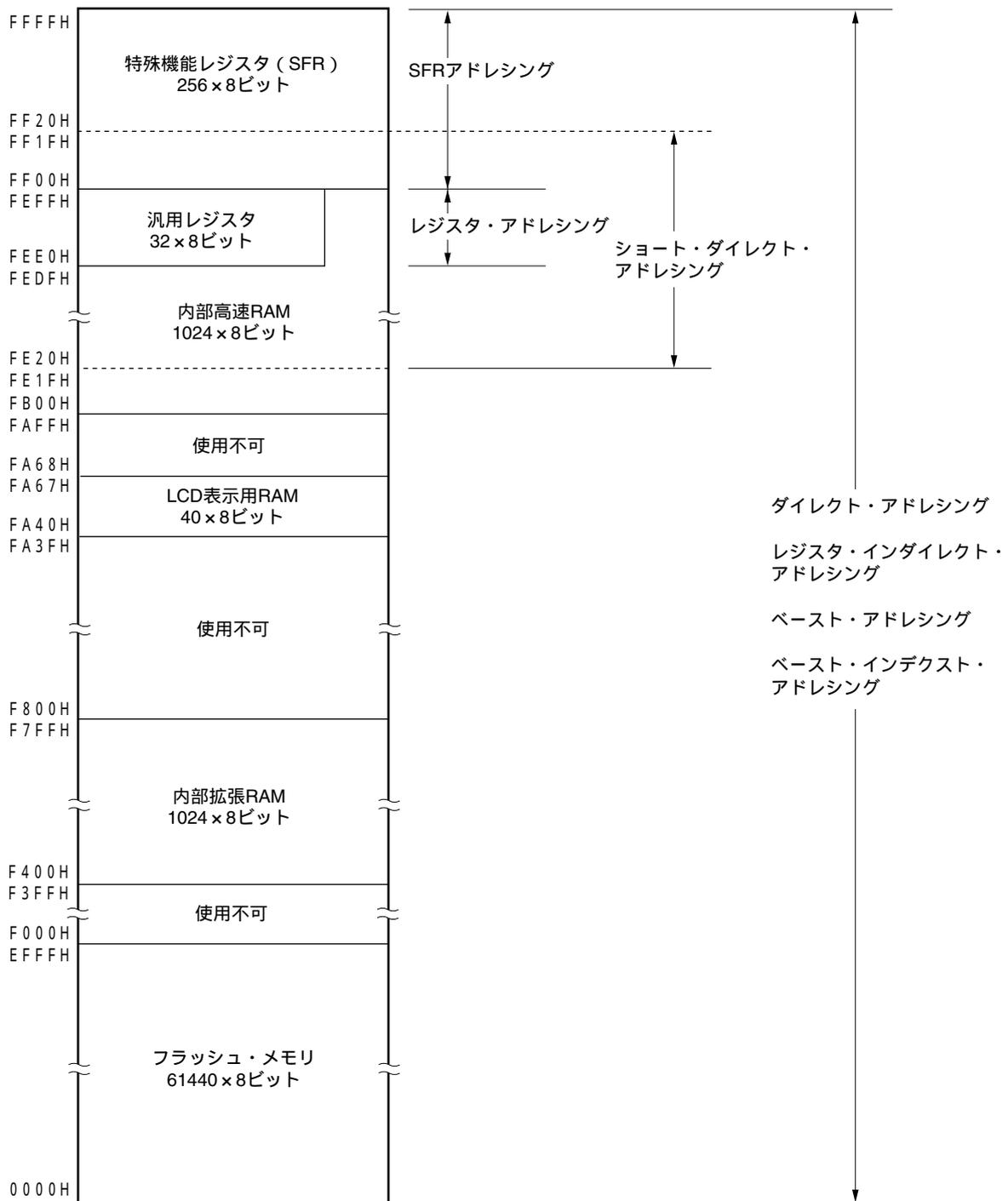
図3-7 データ・メモリとアドレッシングの対応 (μ PD78F8054)

図3-8 データ・メモリとアドレッシングの対応 (μ PD78F8055)



3.2 プロセッサ・レジスタ

78K0/Lx3-Mマイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

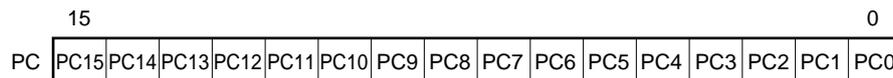
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 9 プログラム・カウンタの構成



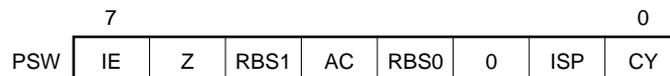
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3 - 10 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (20.3(5) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

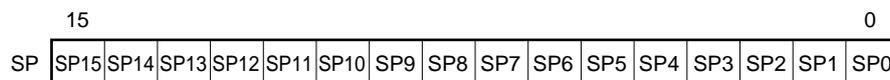
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 11 スタック・ポインタの構成



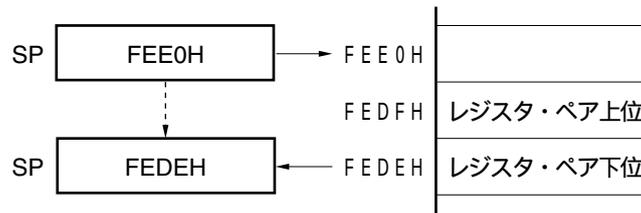
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 12, 図3 - 13のようになります。

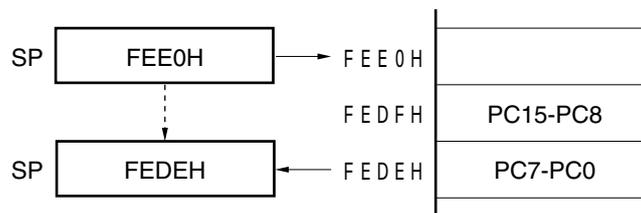
注意 SPの内容は、リセット信号の発生により不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3 - 12 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

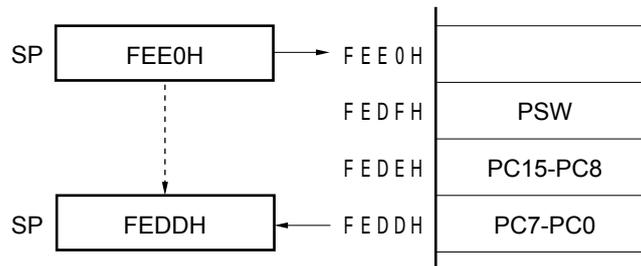
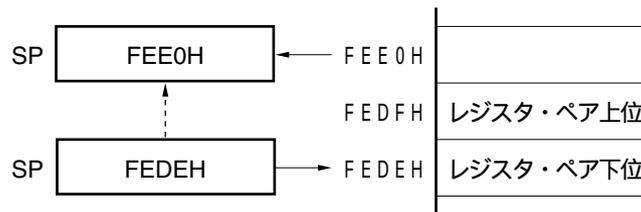
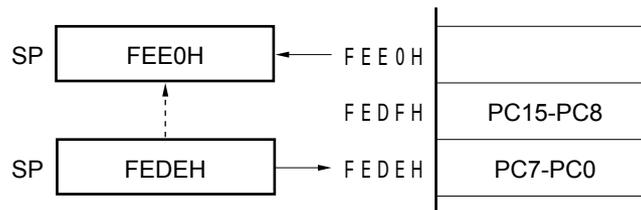


図3 - 13 スタック・メモリから復帰されるデータ

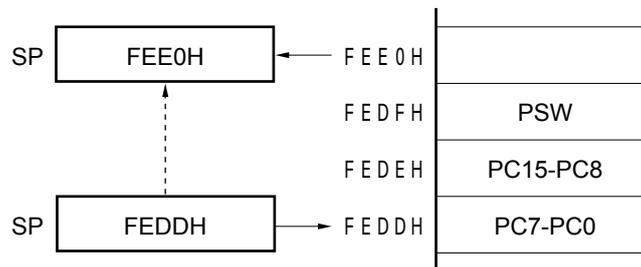
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

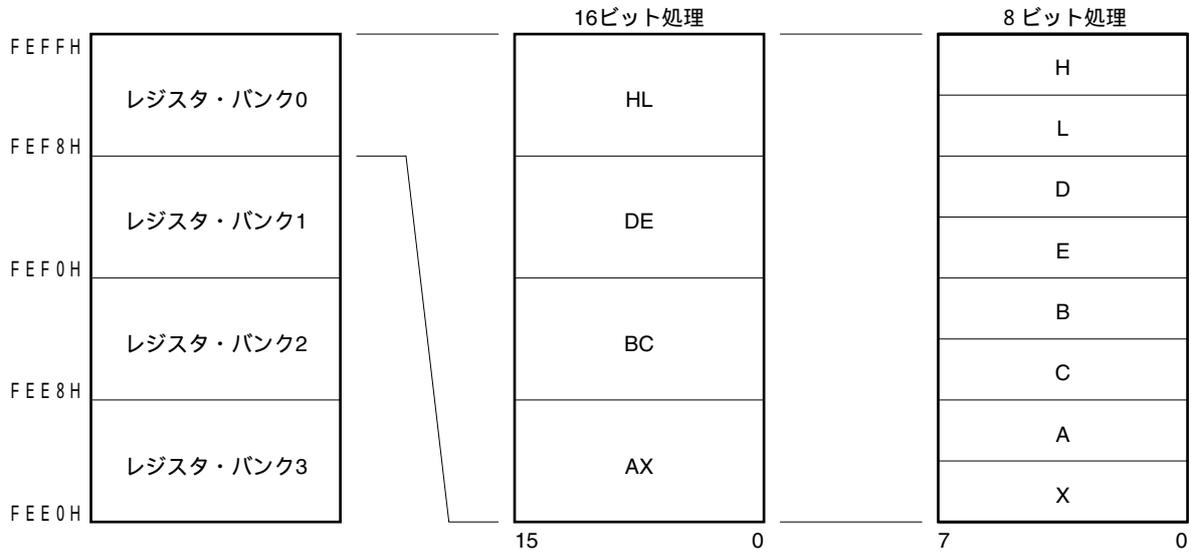
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

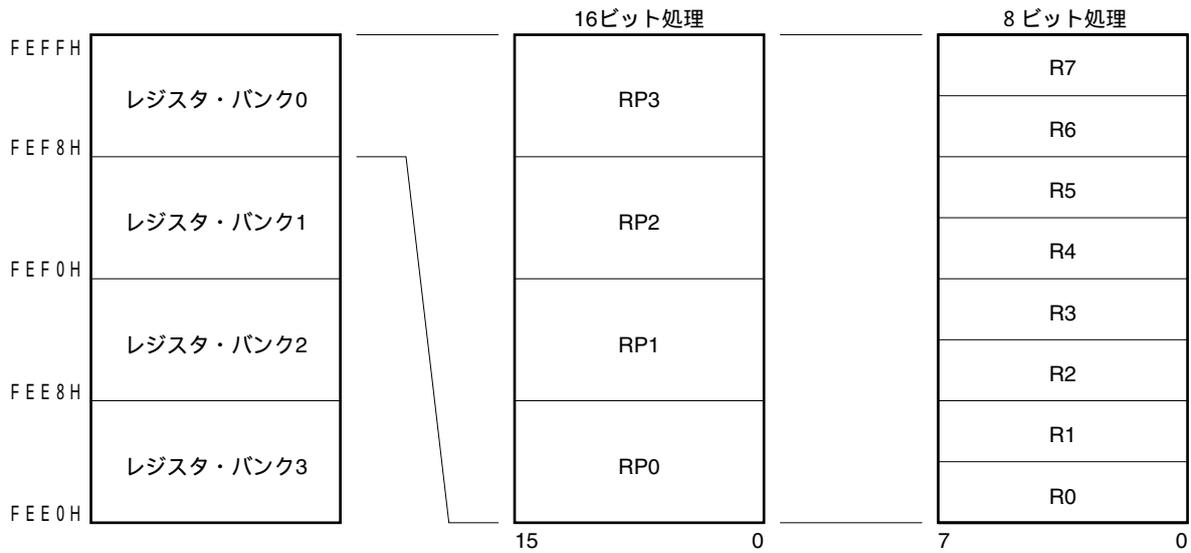
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 14 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 8に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QB使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.4 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3-8 特殊機能レジスタ一覧(1/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF00H	受信バッファ・レジスタ6	RXB6	R	-	-	-	FFH
FF01H	ポート・レジスタ1	P1	R/W			-	00H
FF02H	ポート・レジスタ2	P2	R/W			-	00H
FF03H	ポート・レジスタ3	P3	R/W			-	00H
FF04H	ポート・レジスタ4	P4	R/W			-	00H
FF05H	送信バッファ・レジスタ6	TXB6	R/W	-	-	-	FFH
FF06H	10ビットA/D変換結果レジスタ	ADCR	R	-	-		0000H
FF07H	8ビットA/D変換結果レジスタH	ADCRH	R	-	-		00H
FF08H	ポート・レジスタ8	P8	R/W			-	00H
FF09H	ポート・レジスタ9	P9	R/W			-	00H
FF0AH	ポート・レジスタ10	P10	R/W			-	00H
FF0BH	ポート・レジスタ11	P11	R/W			-	00H
FF0CH	ポート・レジスタ12	P12	R/W			-	00H
FF0DH	ポート・レジスタ13	P13	R/W			-	00H
FF0EH	ポート・レジスタ14	P14	R/W			-	00H
FF0FH	ポート・レジスタ15	P15	R/W			-	00H
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H
FF11H							
FF12H	16ビット・タイマ・コンペア・レジスタ000	CR000	R/W	-	-		0000H
FF13H							
FF14H	16ビット・タイマ・キャプチャ/コンペア・レジスタ010	CR010	R/W	-	-		0000H
FF15H							
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-	-		00H
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-	-		00H
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	-	-		00H
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	-	-		00H
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-	-		00H
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-	-		00H
FF1FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-	-		00H
FF20H	ポート・ファンクション・レジスタ1	PF1	R/W			-	00H
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH
FF28H	ポート・モード・レジスタ8	PM8	R/W			-	FFH
FF29H	ポート・モード・レジスタ9	PM9	R/W			-	FFH
FF2AH	ポート・モード・レジスタ10	PM10	R/W			-	FFH
FF2BH	ポート・モード・レジスタ11	PM11	R/W			-	FFH
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH
FF2DH	ポート・モード・レジスタ13	PM13	R/W			-	FFH
FF2EH	ポート・モード・レジスタ14	PM14	R/W			-	FFH
FF2FH	ポート・モード・レジスタ15	PM15	R/W			-	FFH
FF30H	高速内蔵発振トリミング・レジスタ	HIOTRM	R/W	-	-		10H

表3-8 特殊機能レジスタ一覧(2/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H
FF38H	ブルアップ抵抗オプション・レジスタ8	PU8	R/W			-	00H
FF39H	ブルアップ抵抗オプション・レジスタ9	PU9	R/W			-	00H
FF3AH	ブルアップ抵抗オプション・レジスタ10	PU10	R/W			-	00H
FF3BH	ブルアップ抵抗オプション・レジスタ11	PU11	R/W			-	00H
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H
FF3DH	ブルアップ抵抗オプション・レジスタ13	PU13	R/W			-	00H
FF3EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H
FF3FH	ブルアップ抵抗オプション・レジスタ15	PU15	R/W			-	00H
FF40H	クロック出力選択レジスタ	CKS	R/W			-	00H
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	-		-	00H
FF42H	8ビット・タイマHモード・レジスタ2	TMHMD2	R/W			-	00H
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W			-	00H
FF44H	8ビット・タイマHコンペア・レジスタ02	CMP02	R/W	-		-	00H
FF45H	8ビット・タイマHコンペア・レジスタ12	CMP12	R/W	-		-	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6	R/W			-	01H
FF51H	8ビット・タイマ・カウンタ52	TM52	R	-		-	00H
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6	R	-		-	00H
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6	R	-		-	00H
FF56H	クロック選択レジスタ6	CKSR6	R/W	-		-	00H
FF57H	ポー・レート・ジェネレータ・コントロール・レジスタ6	BRGC6	R/W	-		-	FFH
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6	R/W			-	16H
FF59H	8ビット・タイマ・コンペア・レジスタ52	CR52	R/W	-		-	00H
FF5BH	タイマ・クロック選択レジスタ52	TCL52	R/W			-	00H
FF5CH	8ビット・タイマ・モード・コントロール・レジスタ52	TMC52	R/W			-	00H
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W			-	00H
FF6AH	タイマ・クロック選択レジスタ50	TCL50	R/W			-	00H
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W			-	00H

表3-8 特殊機能レジスタ一覧(3/4)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W			-	00H
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W			-	00H
FF6EH	キー・リターン・モード・レジスタ	KRM	R/W			-	00H
FF6FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H
FF70H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	ASIM0	R/W			-	01H
FF71H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W	-		-	1FH
FF72H	受信バッファ・レジスタ0	RXB0	R	-		-	FFH
FF73H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	ASIS0	R	-		-	00H
FF74H	送信シフト・レジスタ0	TXS0	W	-		-	FFH
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W			-	00H
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	-		-	00H
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W			-	00H
FF8DH	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H
FF8EH	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H
FF8FH	A/Dポート・コンフィギュレーション・レジスタ0	ADPC0	R/W			-	08H
FF90H	シリアル動作モード指定レジスタ0	CSIMA0	R/W			-	00H
FF91H	シリアル・ステータス・レジスタ0	CSIS0	R/W			-	00H
FF93H	分周値選択レジスタ0	BRGCA0	R/W	-		-	03H
FF96H	シリアルI/Oシフト・レジスタ0	SIOA0	R/W	-		-	00H
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/9AH ^{注1}
FF9FH	クロック動作モード選択レジスタ	OSCCTL	R/W			-	00H
FFA0H	内蔵発振モード・レジスタ	RCM	R/W			-	80H ^{注2}
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W			-	00H
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W			-	80H
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H
FFA4H	発振安定時間選択レジスタ	OSTS	R/W	-		-	05H
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注3}
FFB0H	LCDモード・レジスタ	LCDMD	R/W			-	00H
FFB1H	LCD表示モード・レジスタ	LCDM	R/W			-	00H
FFB2H	LCDクロック制御レジスタ0	LCDC0	R/W			-	00H

注1. WDTEのリセット値は、オプション・バイトの設定で決定します。

2. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

3. RESFのリセット値は、リセット要因により変化します。

表3-8 特殊機能レジスタ一覧(4/4)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFB5H	ポート・ファンクション・レジスタ2	PF2	R/W			-	00H
FFB6H	ポート・ファンクション・レジスタALL	PFALL	R/W			-	00H
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W			-	00H
FFBBH	プリスケアラ・モード・レジスタ00	PRM00	R/W			-	00H
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00	R/W			-	00H
FFBEH	低電圧検出レジスタ	LVIM	R/W			-	00H ^{※1}
FFBFH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	00H ^{※1}
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W			00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W			00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W			00H
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W			00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W			FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W			FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W			FFH
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W			FFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W			FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W			FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W			FFH
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W			FFH
FFF0H	メモリ・サイズ切り替えレジスタ ^{※2}	IMS		R/W	-	-	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^{※2}	IXS		R/W	-	-	0CH
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W		-	01H

注1. LVIM, LVISのリセット値は, リセット要因により変化します。

2. メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)のリセット解除後の初期値は内部メモリ容量にかかわらず, 78K0/Lx3-Mすべての製品において一定(IMS = CFH, IXS = 0CH)となっています。したがって, リセット解除後, 製品ごとに次に示す値を必ず設定してください。

78K0/LE3-M	78K0/LG3-M	IMS	IXS	ROM 容量	内部高速 RAM容量	内部拡張 RAM容量
μ PD78F8052	-	04H	0CH	16 KB	768 B	-
μ PD78F8053	-	C8H		32 KB		
-	μ PD78F8054	CCH	0AH	48 KB	1 KB	1 KB
-	μ PD78F8055	CFH		60 KB		

3.2.4 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

80H-1D8Hの領域に割り付けられています。

拡張SFR空間へのアクセスは、拡張SFRインタフェースを使用します (第17章 拡張SFRインタフェース参照)。

表3-9に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFRのアドレスを示す略号です。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.3 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-9 拡張SFR (2nd SFR) 一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
80H	拡張SFR割り込み要求フラグ・レジスタ20	IF20	R/W	-	-	-	00H
81H	拡張SFR割り込み要求フラグ・レジスタ21	IF21	R/W	-	-	-	00H
82H	拡張SFR割り込み要求フラグ・レジスタ22	IF22	R/W	-	-	-	00H
83H	拡張SFR割り込み要求フラグ・レジスタ23	IF23	R/W	-	-	-	00H
84H	拡張SFR割り込みマスク・フラグ・レジスタ20	MK20	R/W	-	-	-	FFH
85H	拡張SFR割り込みマスク・フラグ・レジスタ21	MK21	R/W	-	-	-	FFH
86H	拡張SFR割り込みマスク・フラグ・レジスタ22	MK22	R/W	-	-	-	FFH
87H	拡張SFR割り込みマスク・フラグ・レジスタ23	MK23	R/W	-	-	-	FFH
88H	ブルダウン状態制御レジスタ	PUTCTL	R/W	-	-	-	00H
8BH	ポート・レジスタLP0	LP0	R/W	-	-	-	00H
8CH	ポート・モード・レジスタLP0	LPM0	R/W	-	-	-	FFH
8DH	ブルアップ抵抗オプション・レジスタLP0	LPU0	R/W	-	-	-	00H
8EH	ポート・レジスタLP1	LP1	R/W	-	-	-	00H
8FH	ポート・モード・レジスタLP1	LPM1	R/W	-	-	-	FFH
90H	ブルアップ抵抗オプション・レジスタLP1	LPU1	R/W	-	-	-	00H
91H	ポート機能制御レジスタ	PORTCTL	R/W	-	-	-	00H
92H	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W	-	-	-	00H
93H	アラーム分レジスタ	ALARMWWM	R/W	-	-	-	00H
94H	アラーム時レジスタ	ALARMWH	R/W	-	-	-	12H
95H	アラーム曜日レジスタ	ALARMWW	R/W	-	-	-	00H
96H	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W	-	-	-	00H
97H	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W	-	-	-	00H
98H	サブカウント・レジスタ	RSUBC	RSUBCL	R	-	-	00H
99H			RSUBCH	R	-	-	00H
9AH	秒カウント・レジスタ	SEC	R/W	-	-	-	00H
9BH	分カウント・レジスタ	MIN	R/W	-	-	-	00H
9CH	時カウント・レジスタ	HOUR	R/W	-	-	-	12H
9DH	曜日カウント・レジスタ	WEEK	R/W	-	-	-	00H
9EH	日カウント・レジスタ	DAY	R/W	-	-	-	01H
9FH	月カウント・レジスタ	MONTH	R/W	-	-	-	01H
A0H	年カウント・レジスタ	YEAR	R/W	-	-	-	00H
A1H	時計誤差補正レジスタ	SUBCUD	R/W	-	-	-	00H
A3H	24ビット 型A/Dコンバータ・モード・レジスタ	ADM2	R/W	-	-	-	00H
A4H	A/Dクロック・ディレイ設定レジスタ	ADLY	R/W	-	-	-	00H
A5H	HPFコントロール・レジスタ0	HPFC0	R/W	-	-	-	00H
A6H	HPFコントロール・レジスタ1	HPFC1	R/W	-	-	-	00H
A7H	24ビット 型A/D変換結果レジスタ0	ADCR0	ADCR0L	R	-	-	00H
A8H			ADCR0M	R	-	-	00H
A9H			ADCR0H	R	-	-	00H
AAH	24ビット 型A/D変換結果レジスタ1	ADCR1	ADCR1L	R	-	-	00H
ABH			ADCR1M	R	-	-	00H
ACH			ADCR1H	R	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFRインタフェースを使用してアクセスします。

表3-9 拡張SFR (2nd SFR) 一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
ADH	24ビット 型A/D変換結果レジスタ2	ADCR2	ADCR2L	R	-	-	-	00H
AEH			ADCR2M	R	-	-	-	00H
AFH			ADCR2H	R	-	-	-	00H
B0H	24ビット 型A/D変換結果レジスタ3	ADCR3	ADCR3L	R	-	-	-	00H
B1H			ADCR3M	R	-	-	-	00H
B2H			ADCR3H	R	-	-	-	00H
B3H	位相コントロール・レジスタ0	PHC0	PHC0L	R/W	-	-	-	00H
B4H			PHC0H	R/W	-	-	-	00H
B5H	位相コントロール・レジスタ1	PHC1	PHC1L	R/W	-	-	-	00H
B6H			PHC1H	R/W	-	-	-	00H
CBH	リアルタイム・カウンタ・モード・レジスタ	RTCMD		R/W	-	-	-	00H
100H	ピリオド/周波数測定結果レジスタ	PFVAL	PFVALL	R	-	-	-	00H
101H			PFVALH	R	-	-	-	00H
102H	電圧チャンネル1 ゼロクロス・タイムアウト設定レジスタ	ZXTOUT1	ZXTOUT1L	R/W	-	-	-	FFH
103H			ZXTOUT1H	R/W	-	-	-	03H
104H	電圧チャンネル2 ゼロクロス・タイムアウト設定レジスタ	ZXTOUT2	ZXTOUT2L	R/W	-	-	-	FFH
105H			ZXTOUT2H	R/W	-	-	-	03H
106H	電圧チャンネル1 SAGライン・サイクル数設定レジスタ	SAGNUM1		R/W	-	-	-	FFH
107H	電圧チャンネル1 SAGレベル設定レジスタ	SAGVAL1	SAGVAL1L	R/W	-	-	-	00H
108H			SAGVAL1M	R/W	-	-	-	00H
109H			SAGVAL1H	R/W	-	-	-	00H
10AH	電圧チャンネル2 SAGライン・サイクル数設定レジスタ	SAGNUM2		R/W	-	-	-	FFH
10BH	電圧チャンネル2 SAGレベル設定レジスタ	SAGVAL2	SAGVAL2L	R/W	-	-	-	00H
10CH			SAGVAL2M	R/W	-	-	-	00H
10DH			SAGVAL2H	R/W	-	-	-	00H
10EH	電流ピーク・レベル設定レジスタ	IPKLMT	IPKLMTL	R/W	-	-	-	FFH
10FH			IPKLMTM	R/W	-	-	-	FFH
110H	電圧ピーク・レベル設定レジスタ	VPKLMT	VPKLMTL	R/W	-	-	-	FFH
111H			VPKLMTM	R/W	-	-	-	FFH
112H	電流ピーク値レジスタ	IMAX	IMAXL	R	-	-	-	00H
113H			IMAXM	R	-	-	-	00H
114H			IMAXH	R	-	-	-	00H
116H	電流ピーク値クリア・レジスタ	RSTIMAX	RSTIMAXL	R	-	-	-	00H
117H			RSTIMAXM	R	-	-	-	00H
118H			RSTIMAXH	R	-	-	-	00H
119H	電圧ピーク値レジスタ	VMAX	VMAXL	R	-	-	-	00H
11AH			VMAXM	R	-	-	-	00H
11BH			VMAXH	R	-	-	-	00H
11DH	電圧ピーク値クリア・レジスタ	RSTVMAX	RSTVMAXL	R	-	-	-	00H
11EH			RSTVMAXM	R	-	-	-	00H
11FH			RSTVMAXH	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFRインターフェースを使用してアクセスします。

表3-9 拡張SFR (2nd SFR) 一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
120H	ゲイン設定レジスタ	IMATGAIN	IMATGAINL	R/W	-	-	-	00H
121H			IMATGAINH	R/W	-	-	-	00H
122H	フォールト検出制御レジスタ	PQMCTL		R/W	-	-	-	00H
123H	フォールト検出しきい値設定レジスタ	IST		R/W	-	-	-	8BH
124H	フォールト制御レジスタ	ICLK		R/W	-	-	-	84H
150H	周波数変換制御レジスタ	CFCTL		R/W	-	-	-	02H
151H	周波数スケール設定レジスタ	CFMUL	CFMULL	R/W	-	-	-	FFH
152H			CFMULH	R/W	-	-	-	FFH
153H	パルス幅設定レジスタ	PULCTL		R/W	-	-	-	00H
180H	電力演算モード制御レジスタ1	PWCTL1		R/W	-	-	-	00H
181H	電力演算モード制御レジスタ2	PWCTL2		R/W	-	-	-	00H
182H	ゼロロード・レベル制御レジスタ	NLCTL		R/W	-	-	-	00H
183H	有効電力スケール設定レジスタ	ACTDIV		R/W	-	-	-	00H
184H	無効電力スケール設定レジスタ	READIV		R/W	-	-	-	00H
185H	皮相電力スケール設定レジスタ	APPDIV		R/W	-	-	-	00H
186H	電圧チャンネル1 RMSレジスタ	V1RMS	V1RMSL	R	-	-	-	00H
187H			V1RMSM	R	-	-	-	00H
188H			V1RMSH	R	-	-	-	00H
189H	電圧チャンネル2 RMSレジスタ	V2RMS	V2RMSL	R	-	-	-	00H
18AH			V2RMSM	R	-	-	-	00H
18BH			V2RMSH	R	-	-	-	00H
18CH	電流チャンネル1 RMSレジスタ	I1RMS	I1RMSL	R	-	-	-	00H
18DH			I1RMSM	R	-	-	-	00H
18EH			I1RMSH	R	-	-	-	00H
18FH	電流チャンネル2 RMSレジスタ	I2RMS	I2RMSL	R	-	-	-	00H
190H			I2RMSM	R	-	-	-	00H
191H			I2RMSH	R	-	-	-	00H
192H	有効電力アキュムレーション・リード・レジスタ	ACTHR	ACTHRL	R	-	-	-	00H
193H			ACTHRM	R	-	-	-	00H
194H			ACTHRH	R	-	-	-	00H
196H	有効電力アキュムレーション・リセット・リード・レジスタ	RACTHR	RACTHRL	R	-	-	-	00H
197H			RACTHRM	R	-	-	-	00H
198H			RACTHRH	R	-	-	-	00H
199H	有効電力アキュムレーション同期リード・レジスタ	LACTHR	LACTHRL	R	-	-	-	00H
19AH			LACTHRM	R	-	-	-	00H
19BH			LACTHRH	R	-	-	-	00H
19CH	無効電力アキュムレーション・リード・レジスタ	REahr	REahrL	R	-	-	-	00H
19DH			REahrM	R	-	-	-	00H
19EH			REahrH	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFRインタフェースを使用してアクセスします。

表3-9 拡張SFR (2nd SFR) 一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
1A0H	無効電力アキュムレーション・リセット・リード・レジスタ	RREahr	RREahrL	R	-	-	-	00H
1A1H			RREahrM	R	-	-	-	00H
1A2H			RREahrH	R	-	-	-	00H
1A3H	無効電力アキュムレーション同期リード・レジスタ	LREahr	LREahrL	R	-	-	-	00H
1A4H			LREahrM	R	-	-	-	00H
1A5H			LREahrH	R	-	-	-	00H
1A6H	皮相電力アキュムレーション・リード・レジスタ	APPhr	APPhrL	R	-	-	-	00H
1A7H			APPhrM	R	-	-	-	00H
1A8H			APPhrH	R	-	-	-	00H
1AAH	皮相電力アキュムレーション・リセット・リード・レジスタ	RAPPhr	RAPPhrL	R	-	-	-	00H
1ABH			RAPPhrM	R	-	-	-	00H
1ACH			RAPPhrH	R	-	-	-	00H
1ADH	皮相電力アキュムレーション同期リード・レジスタ	LAPPhr	LAPPhrL	R	-	-	-	00H
1AEH			LAPPhrM	R	-	-	-	00H
1AFH			LAPPhrH	R	-	-	-	00H
1B0H	ライン・サイクル数設定レジスタ	LINNUM	LINNUML	R/W	-	-	-	FFH
1B1H			LINNUMH	R	-	-	-	FFH
1B2H	有効電力ゲイン設定レジスタ1	ACT1GAIN	ACT1GAINL	R/W	-	-	-	00H
1B3H			ACT1GAINH	R/W	-	-	-	00H
1B4H	有効電力ゲイン設定レジスタ2	ACT2GAIN	ACT2GAINL	R/W	-	-	-	00H
1B5H			ACT2GAINH	R/W	-	-	-	00H
1B6H	無効電力ゲイン設定レジスタ1	REA1GAIN	REA1GAINL	R/W	-	-	-	00H
1B7H			REA1GAINH	R/W	-	-	-	00H
1B8H	無効電力ゲイン設定レジスタ2	REA2GAIN	REA2GAINL	R/W	-	-	-	00H
1B9H			REA2GAINH	R/W	-	-	-	00H
1BAH	皮相電力ゲイン設定レジスタ1	APP1GAIN	APP1GAINL	R/W	-	-	-	00H
1BBH			APP1GAINH	R/W	-	-	-	00H
1BCH	皮相電力ゲイン設定レジスタ2	APP2GAIN	APP2GAINL	R/W	-	-	-	00H
1BDH			APP2GAINH	R/W	-	-	-	00H
1BEH	電流チャンネル1 RMSゲイン設定レジスタ	IRMS1GAIN	IRMS1GAINL	R/W	-	-	-	00H
1BFH			IRMS1GAINH	R/W	-	-	-	00H
1C0H	電流チャンネル2 RMSゲイン設定レジスタ	IRMS2GAIN	IRMS2GAINL	R/W	-	-	-	00H
1C1H			IRMS2GAINH	R/W	-	-	-	00H
1C2H	有効電力オフセット設定レジスタ1	ACT1OS	ACT1OSL	R/W	-	-	-	00H
1C3H			ACT1OSH	R	-	-	-	00H
1C4H	有効電力オフセット設定レジスタ2	ACT2OS	ACT2OSL	R/W	-	-	-	00H
1C5H			ACT2OSH	R	-	-	-	00H
1C6H	無効電力オフセット設定レジスタ1	REA1OS	REA1OSL	R/W	-	-	-	00H
1C7H			REA1OSH	R	-	-	-	00H
1C8H	無効電力オフセット設定レジスタ2	REA2OS	REA2OSL	R/W	-	-	-	00H
1C9H			REA2OSH	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFRインタフェースを使用してアクセスします。

表3 - 9 拡張SFR (2nd SFR) 一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
1CAH	電流チャンネル1 RMSオフセット設定レジスタ	I1RMSOS	I1RMSOSL	R/W	-	-	-	00H
1CBH			I1RMSOSH	R/W	-	-	-	00H
1CCH	電圧チャンネル1 RMSオフセット設定レジスタ	V1RMSOS	V1RMSOSL	R/W	-	-	-	00H
1CDH			V1RMSOSH	R/W	-	-	-	00H
1CEH	電流チャンネル2 RMSオフセット設定レジスタ	I2RMSOS	I2RMSOSL	R/W	-	-	-	00H
1CFH			I2RMSOSH	R/W	-	-	-	00H
1D0H	電圧チャンネル2 RMSオフセット設定レジスタ	V2RMSOS	V2RMSOSL	R/W	-	-	-	00H
1D1H			V2RMSOSH	R/W	-	-	-	00H
1D2H	サンプリング・モード選択レジスタ	SAMPMODE		R/W	-	-	-	00H
1D3H	サンプリング結果レジスタ1	SAMP1	SAMP1L	R	-	-	-	00H
1D4H			SAMP1M	R	-	-	-	00H
1D5H			SAMP1H	R	-	-	-	00H
1D6H	サンプリング結果レジスタ2	SAMP2	SAMP2L	R	-	-	-	00H
1D7H			SAMP2M	R	-	-	-	00H
1D8H			SAMP2H	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFRインタフェースを使用してアクセスします。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

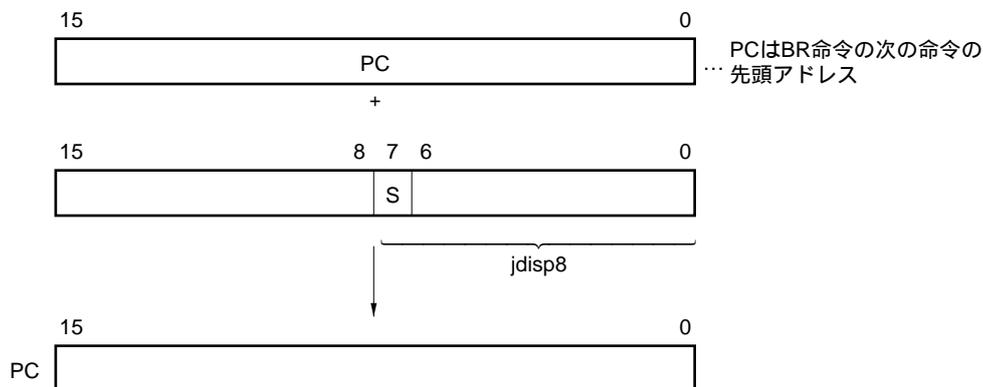
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0のとき、は全ビット0

S = 1のとき、は全ビット1

3.3.2 イミディエト・アドレッシング

【機能】

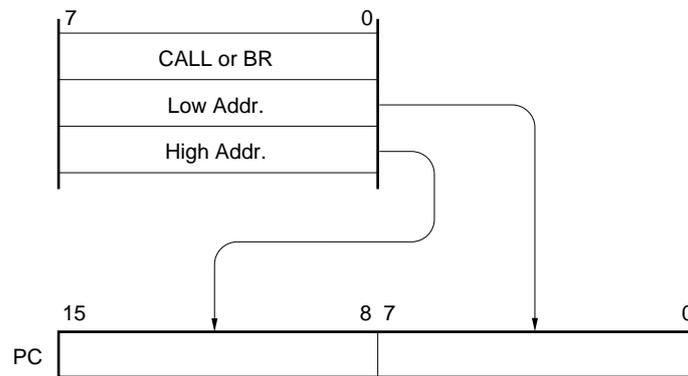
命令語中のイミディエト・データがプログラム・カウンタ (PC) に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

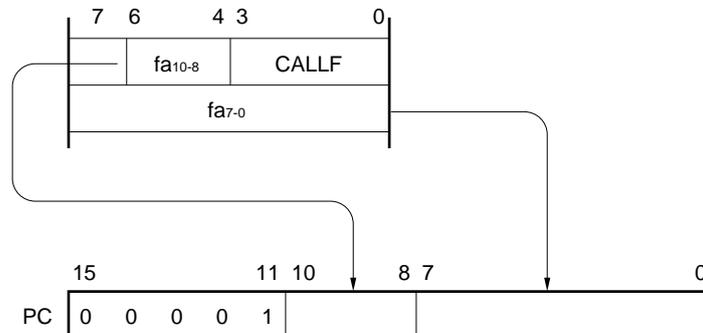
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



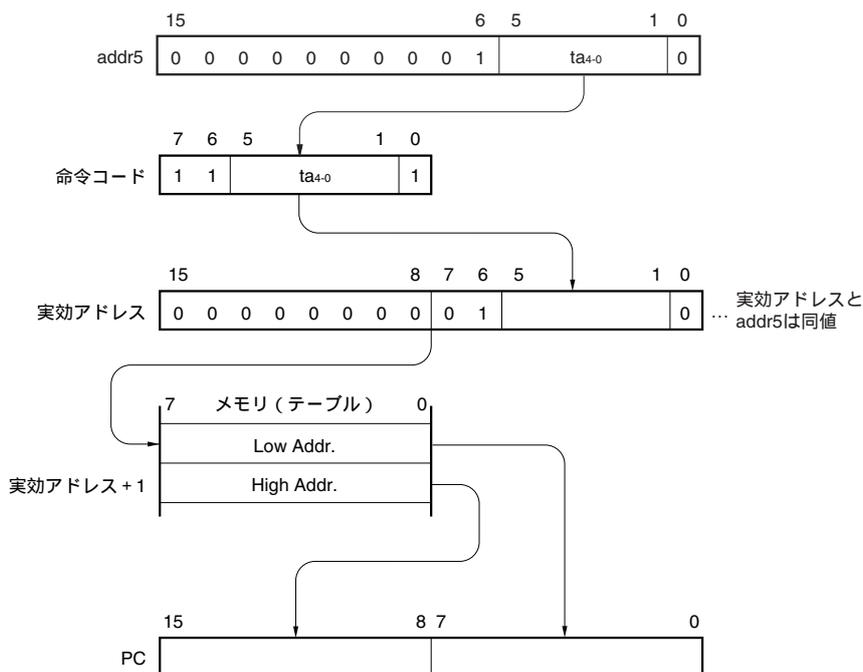
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



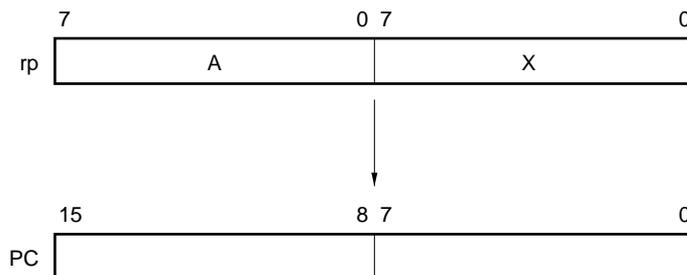
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Lx3-Mマイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コードにより指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

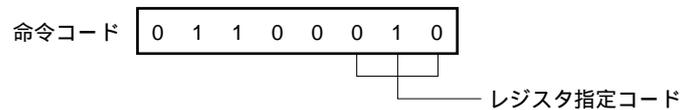
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

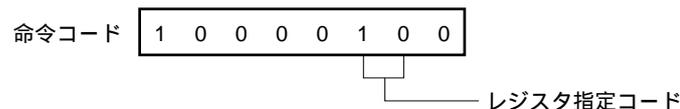
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

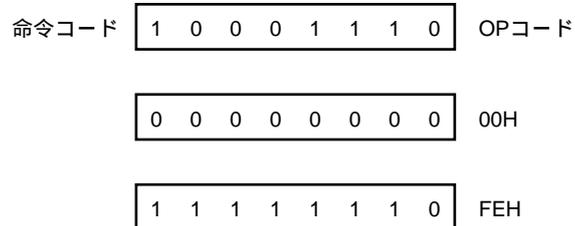
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

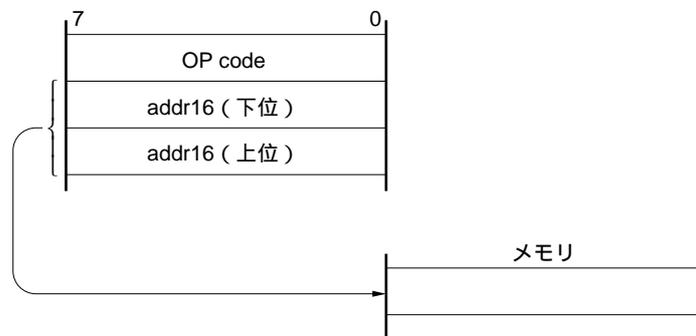
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間で、FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

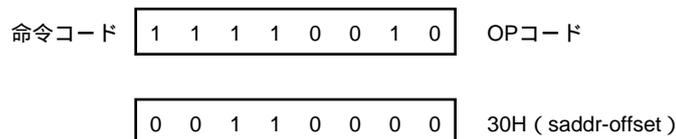
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

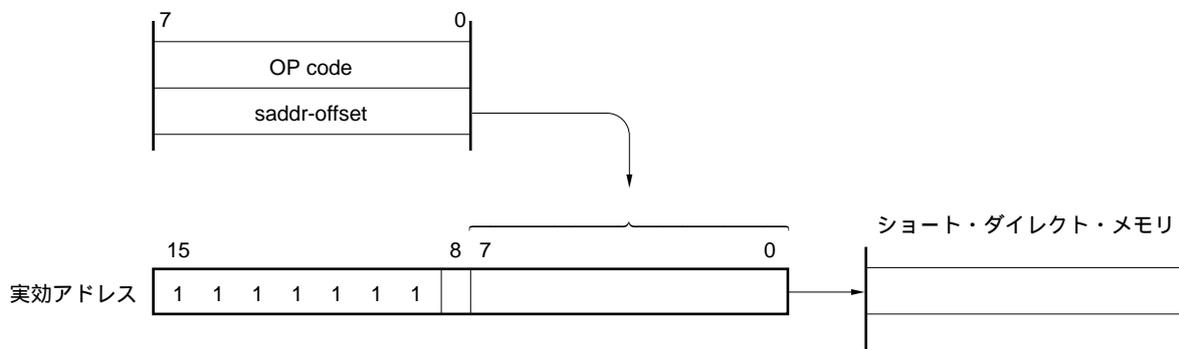
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき、 = 0

8ビット・イミディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

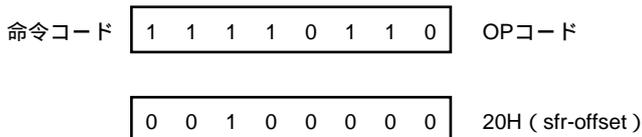
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

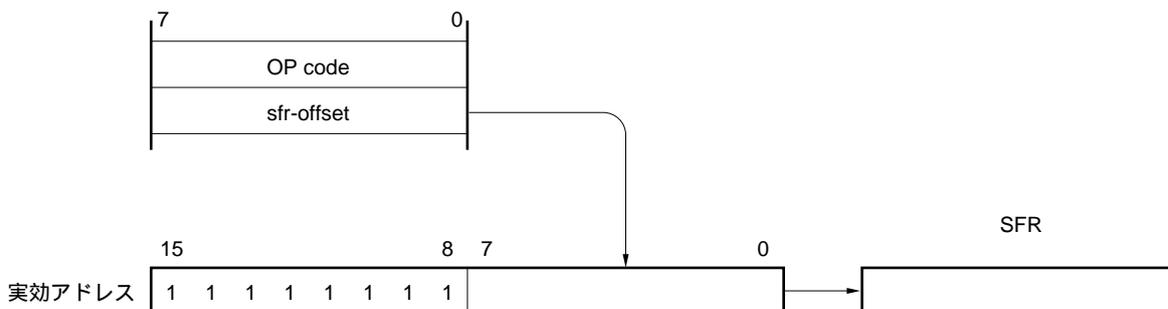
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

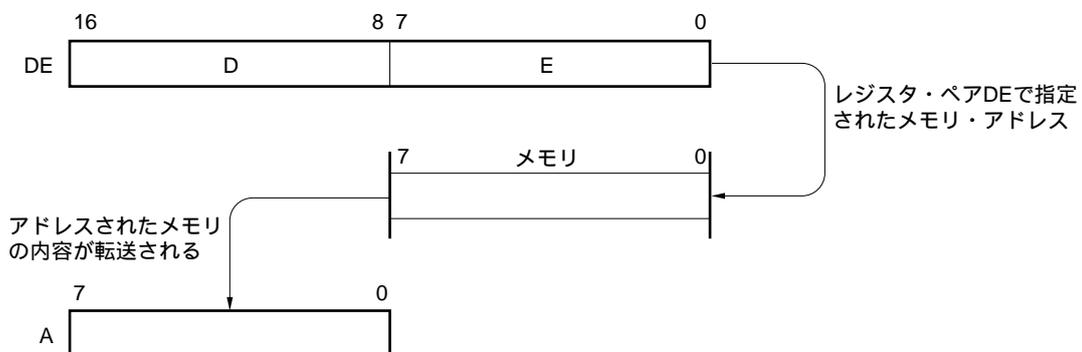
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

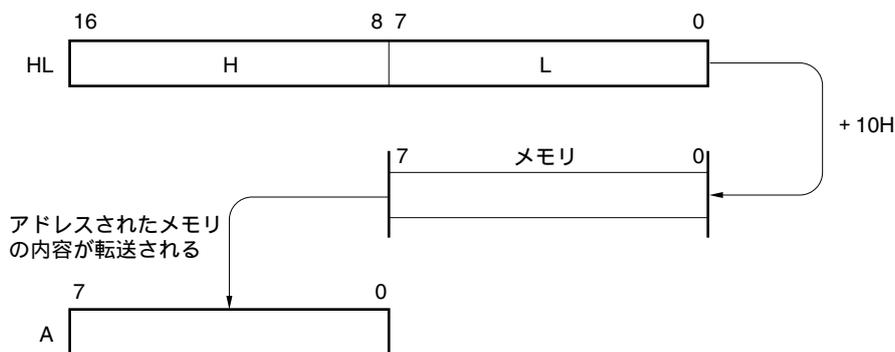
MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + B], [HL + C]

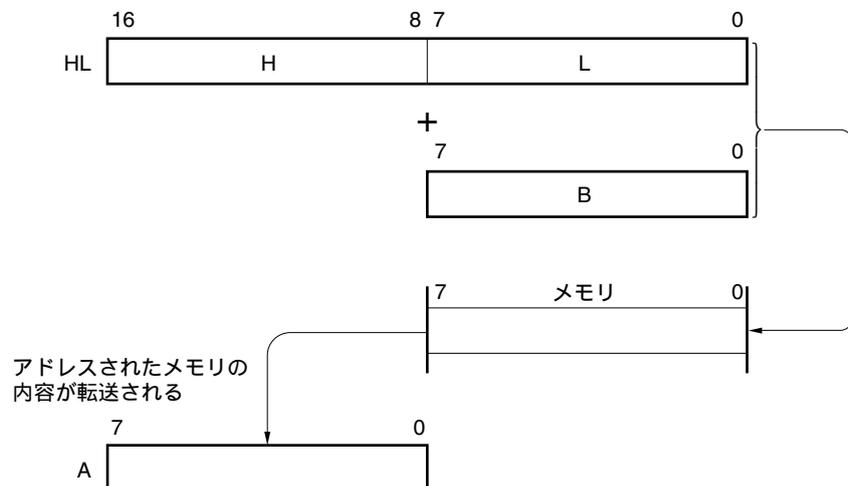
【記述例】

MOV A, [HL + B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

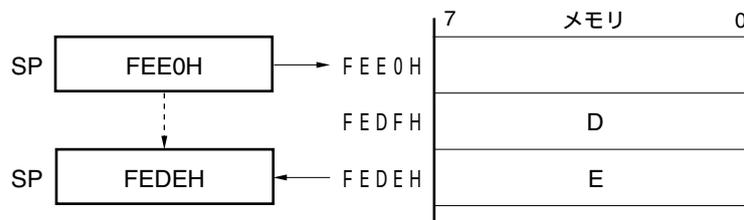
【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{REF} 、 LV_{DD} 、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各ポート端子の入出力バッファ電源

電源	対応する端子
AV_{REF}	P20-P27
LV_{DD}	LP00-LP05, LP10-LP15
V_{DD}	上記以外のポート端子

78K0/Lx3-Mマイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2～表4 - 3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

4.1.1 78K0/LE3-M

表4-2 ポートの機能 (78K0/LE3-M)

機能名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 2ビット入出力ポートと1ビット出力ポート。	入力ポート	SCK10
P12				SI10/RxD0
P13	出力	P11, P12のみ, 1ビット単位で入力/出力の指定可能。また, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	出力ポート	SO10/TxD0/IROUT
P27	入出力	ポート2。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI7
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5
P32				TOH0
P33				TI000/BUZ/INTP2
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
P41				KR1
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12-SEG15
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120のみ, 1ビット単位で入力/出力の指定可能。また, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OCD0A
P122				X2/EXCLK/OCD0B
P130-P133	入出力	ポート13。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20-SEG23

4.1.2 78K0/LG3-M

表4-3 ポートの機能 (78K0/LG3-M) (1/2)

機能名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P12				SI10/RxD0
P13				SO10/TxD0
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	SEG39/ANI0
P21				SEG38/ANI1
P22				SEG37/ANI2
P23				SEG36/ANI3
P24				SEG35/ANI4
P25				SEG34/ANI5
P26				SEG33/ANI6
P27				SEG32/ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5
P31				TOH1/INTP3
P32				TOH0
P33				TI000/BUZ/INTP2
P40	入出力	ポート4。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
P41				KR1
P42				KR2
P43				TO51/TI51/KR3
P44				TO50/TI50/KR4
P45				KR5
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12-SEG15
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6

表4-3 ポートの機能 (78K0/LG3-M) (2/2)

機能名称	入出力	機能	リセット時	兼用端子
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと3ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。また、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				-
P130-P133	入出力	ポート13。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20-SEG23
P140	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG24 (KS0)
P141				SEG25 (KS1)
P142				SEG26 (KS2)
P143				SEG27 (KS3)
P150	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG28 (KS4)
P151				SEG29 (KS5)
P152				SEG30 (KS6)
P153				SEG31 (KS7)
LP00	入出力	ポートLP0。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	-
LP01				ZX1
LP02				ZX2
LP03				-
LP04				-
LP05				-
LP10	入出力	ポートLP1。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	-
LP11				-
LP12				-
LP13				-
LP14				-
LP15				-

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 4 ポートの構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> ・78K0/LE3-M ポート・モード・レジスタ (PMxx) : PM1-PM4, PM8-PM13 ポート・レジスタ (Pxx) : P1-P4, P8-P13 プルアップ抵抗オプション・レジスタ (PUxx) : PU1, PU3, PU4, PU8-PU13 ポート・ファンクション・レジスタ1 (PF1) ポート・ファンクション・レジスタALL (PFALL) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ・78K0/LG3-M ポート・モード・レジスタ (PMxx, LPMx) : PM1-PM4, PM8-PM15, LPM0, LPM1 ポート・レジスタ (Pxx, LPx) : P1-P4, P8-P15, LP0, LP1 プルアップ抵抗オプション・レジスタ (PUxx, LPUx) : PU1, PU3, PU4, PU8-PU15, LPU0, LPU1 ポート・ファンクション・レジスタ1 (PF1) ポート・ファンクション・レジスタ2 (PF2) ポート・ファンクション・レジスタALL (PFALL) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)
ポート	<ul style="list-style-type: none"> ・78K0/LE3-M : 合計32本 (CMOS入出力 : 29本, CMOS入力 : 2本, CMOS出力 : 1本) ・78K0/LG3-M : 合計65本 (CMOS入出力 : 62本, CMOS入力 : 3本)
プルアップ抵抗	<ul style="list-style-type: none"> ・78K0/LE3-M : 合計29本 ・78K0/LG3-M : 合計54本

4.2.1 ポート1

78K0/LE3-M	78K0/LG3-M
P11/ $\overline{\text{SCK10}}$	P11/ $\overline{\text{SCK10}}$
P12/SI10/RxD0	P12/SI10/RxD0
P13/SO10/TxD0/IROUT	P13/SO10/TxD0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P11-P13端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

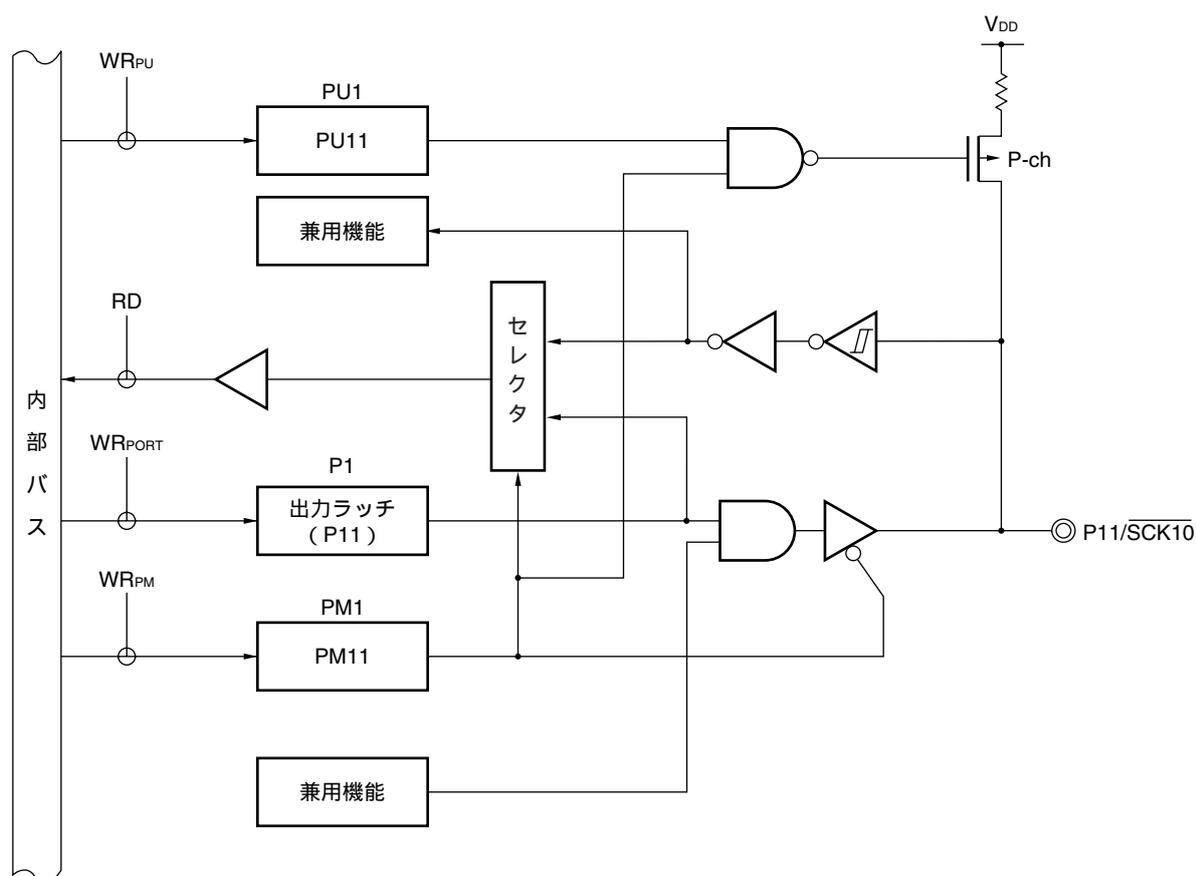
また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力, IR出力があります。P13は、ポート・ファンクション・レジスタ1 (PF1) により、端子機能を選択できます (図4 - 32参照)。リセット信号の発生により、入力モード^注になります。

図4 - 1 ~ 図4 - 3にポート1のブロック図を示します。

注 78K0/LE3-MのP13/SO10/TxD0/IROUT端子のみ、出力モードになります。

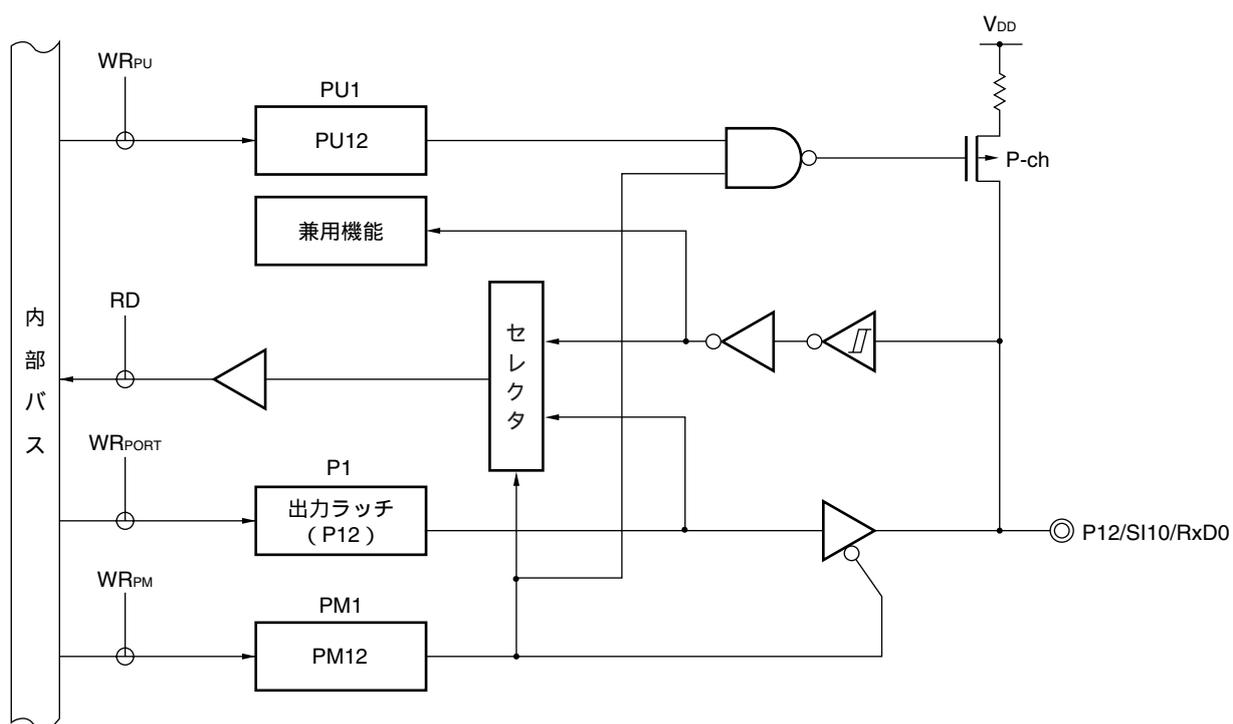
注意 P11/ $\overline{\text{SCK10}}$, P12/SI10, P13/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

図4-1 P11のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

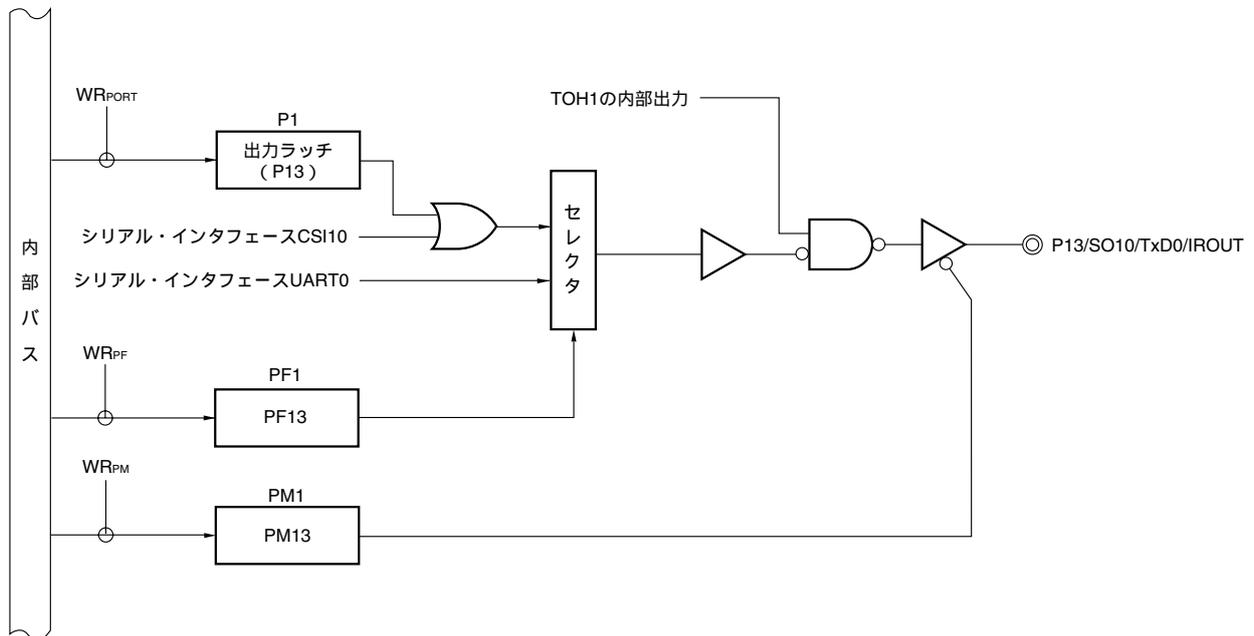
図4 - 2 P12のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

図4-3 P13のブロック図(1/2)

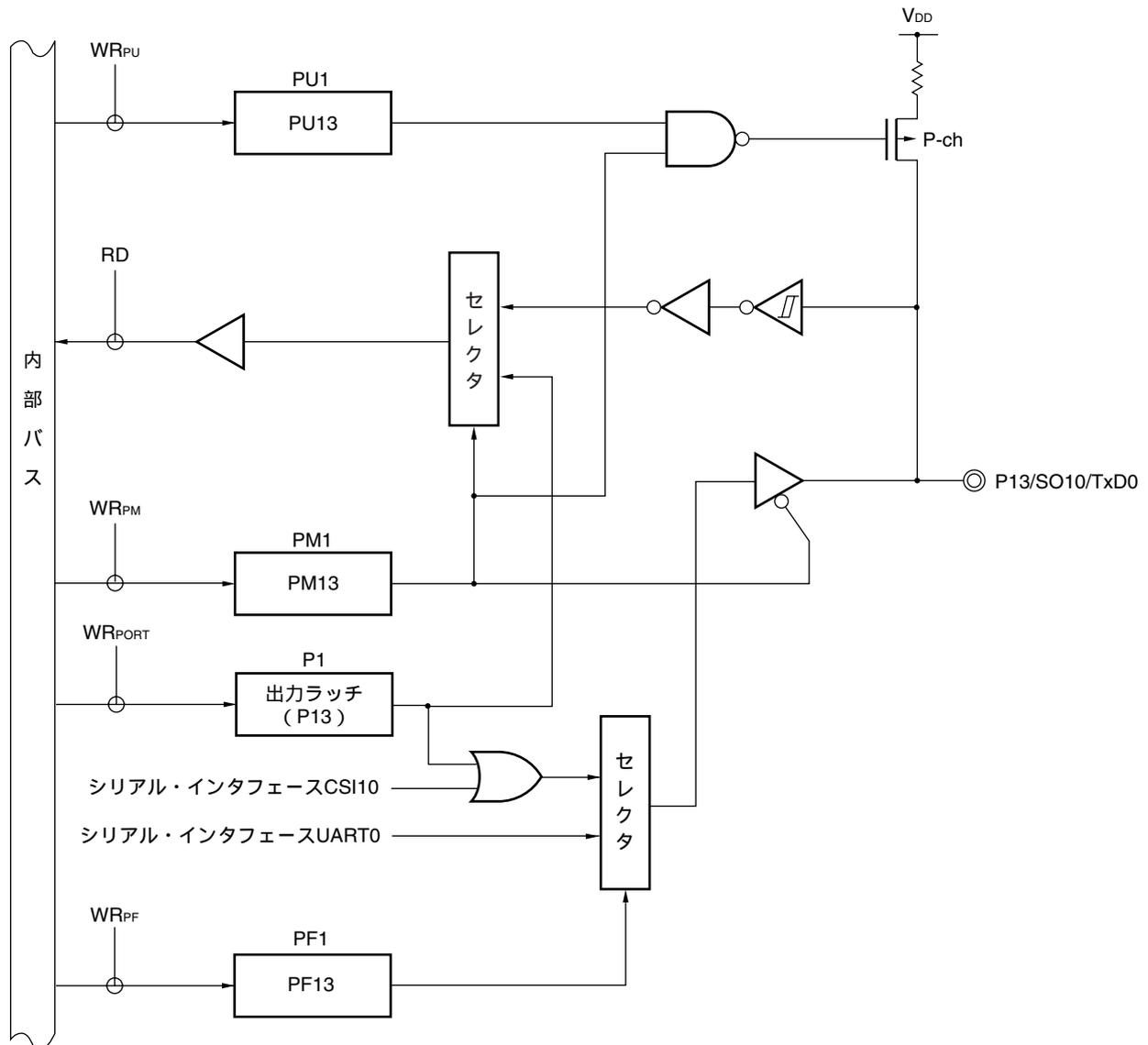
(1) 78K0/LE3-M



- P1 : ポート・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PF1 : ポート・ファンクション・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

図4-3 P13のブロック図(2/2)

(2) 78K0/LG3-M



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PF1 : ポート・ファンクション・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

4.2.2 ポート2

78K0/LE3-M	78K0/LG3-M
-	P20/SEG39/ANI0
-	P21/SEG38/ANI1
-	P22/SEG37/ANI2
-	P23/SEG36/ANI3
-	P24/SEG35/ANI4
-	P25/SEG34/ANI5
-	P26/SEG33/ANI6
P27/ANI7	P27/SEG32/ANI7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力, 10ビット逐次比較型A/Dコンバータのアナログ入力があります。

78K0/LG3-Mでは、ポート・ファンクション・レジスタ2 (PF2) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

P20-P27をデジタル入力として使用する場合は、ポート・ファンクション・レジスタ2 (PF2) でポート機能 (セグメント出力以外) に、かつADPC0でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20-P27をデジタル出力として使用する場合は、ポート・ファンクション・レジスタ2 (PF2) でポート機能 (セグメント出力以外) に、かつADPC0でデジタル入出力に、かつPM2で出力モードに設定して、下位ビットから使用してください。

リセット信号の発生により、入力モードになります。

図4-4, 図4-5にポート2のブロック図を示します。

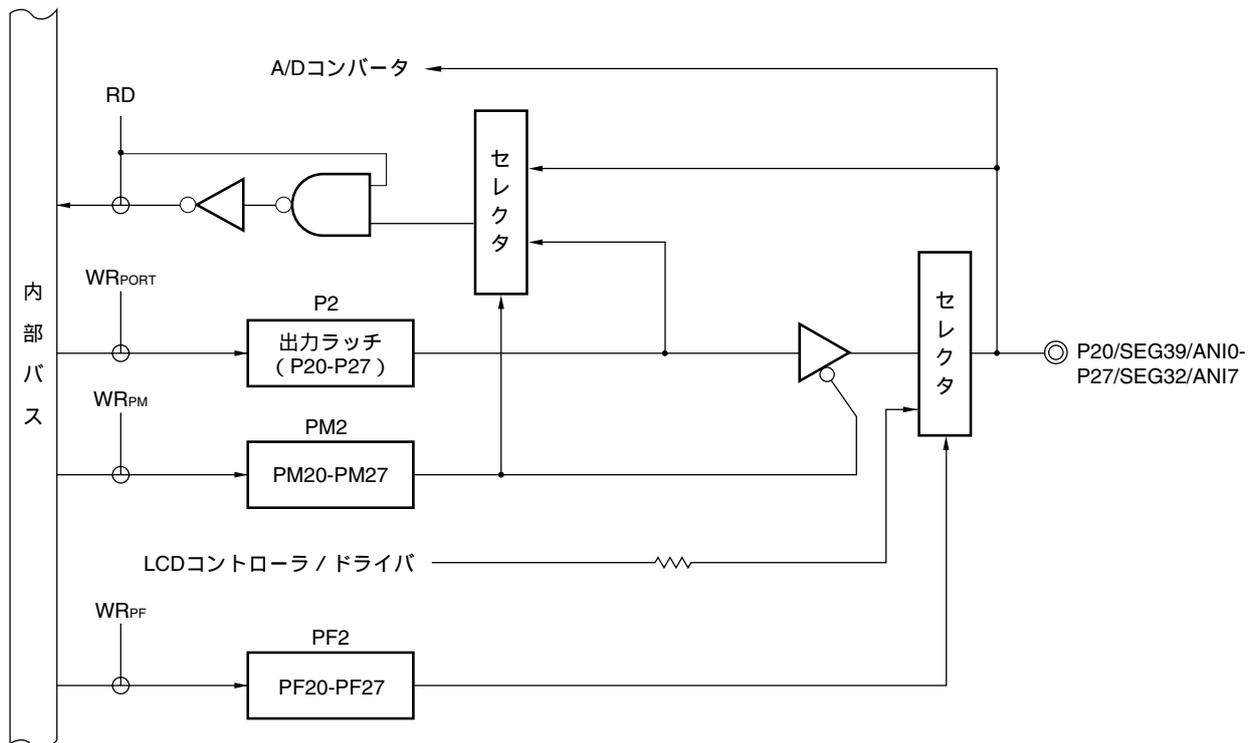
注意 ポート2をデジタル・ポートとして使用する場合は、 AV_{REF} を V_{DD} と同電位にしてください。

表4-5 P20/SEG39/ANI0-P27/SEG32/ANI7端子機能の設定

PF2 ^注	ADPC0	PM2	ADS	P20/SEG39/ANI0 - P27/SEG32/ANI7端子
デジタル / アナログ選択	アナログ入力選択	入力モード	ANI非選択	アナログ入力 (非変換対象)
			ANI選択	アナログ入力 (逐次比較型A/D変換対象)
	デジタル入出力選択	入力モード	-	デジタル入力
		出力モード	-	デジタル出力
SEG出力選択 ^注	-	-	-	セグメント出力 ^注

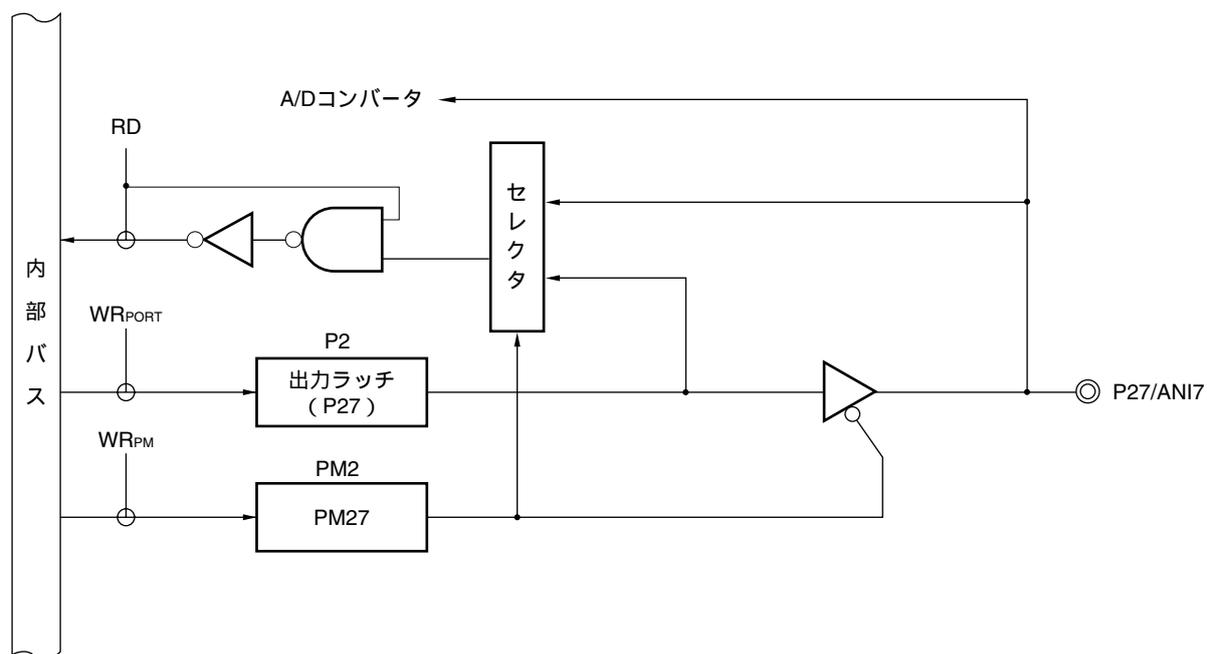
注 78K0/LG3-Mのみ。

図4-4 P20-P27のブロック図(78K0/LG3-M)



- P2 : ポート・レジスタ2
 PM2 : ポート・モード・レジスタ2
 PF2 : ポート・ファンクション・レジスタ2
 RD : リード信号
 WR_{xx} : ライト信号

図4-5 P27のブロック図(78K0/LE3-M)



- P2 : ポート・レジスタ2
 PM2 : ポート・モード・レジスタ2
 RD : リード信号
 WR_{xx} : ライト信号

4.2.3 ポート3

78K0/LE3-M	78K0/LG3-M
P30/INTP5	P30/INTP5
-	P31/TOH1/INTP3
P32/TOH0	P32/TOH0
P33/TI000/BUZ/INTP2	P33/TI000/BUZ/INTP2

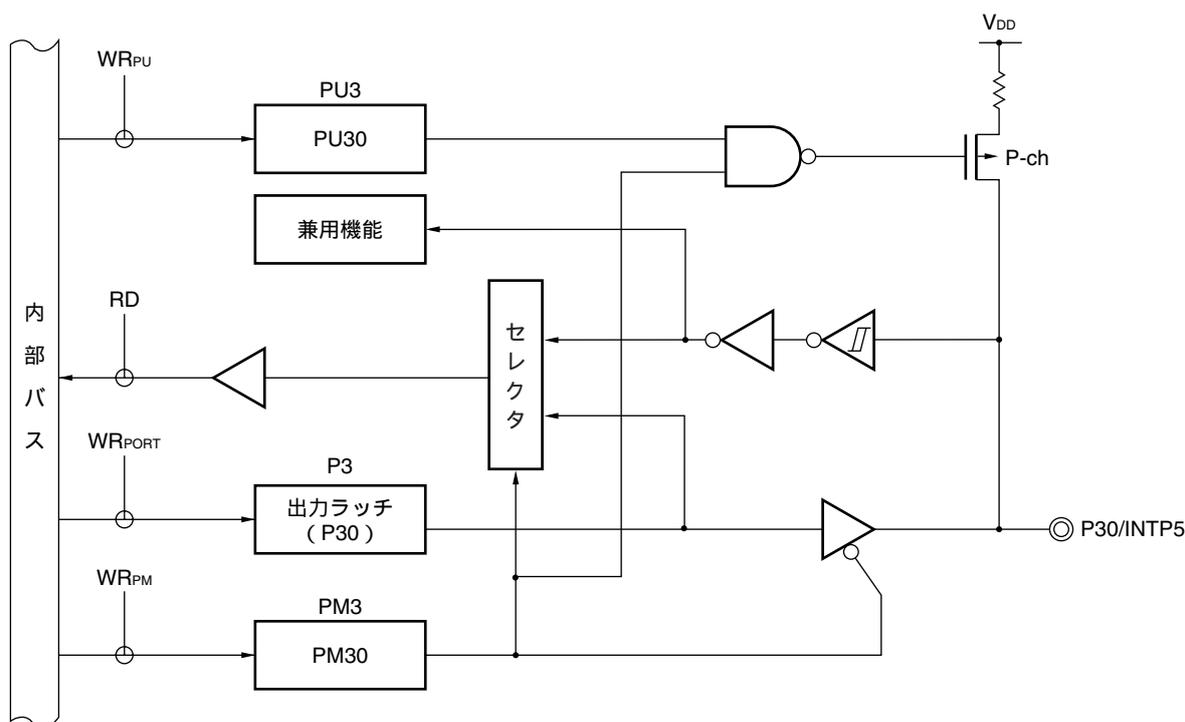
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30-P33端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマ入出力、ブザー出力があります。

リセット信号の発生により、入力モードになります。

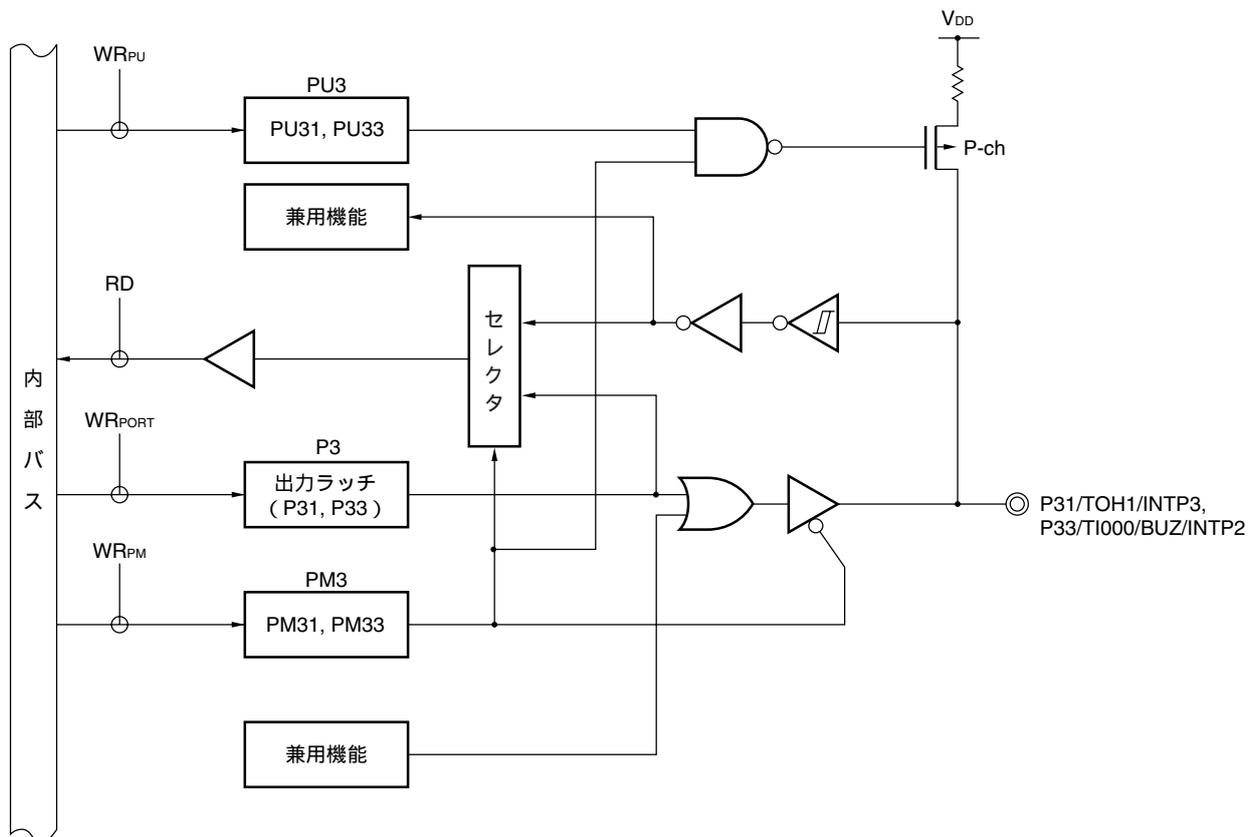
図4-6～図4-8にポート3のブロック図を示します。

図4-6 P30のブロック図



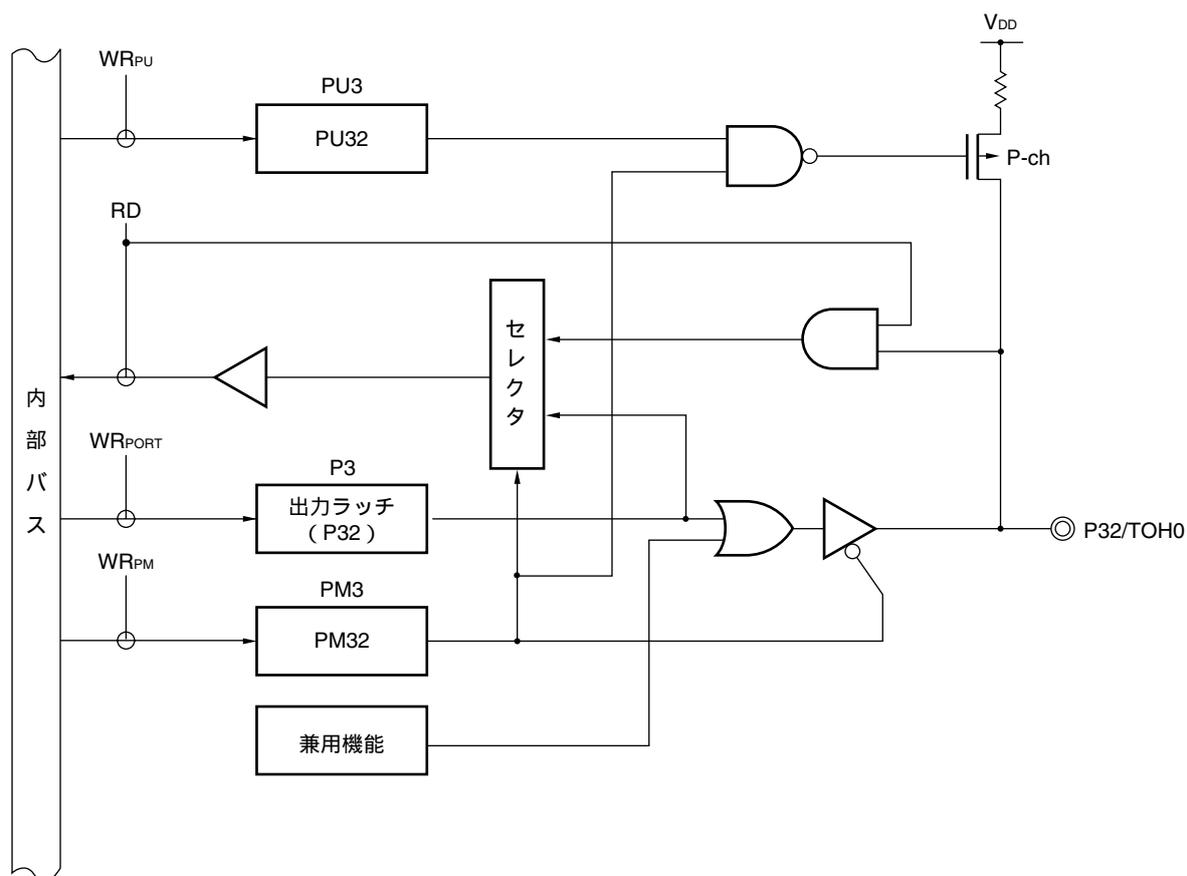
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

図4-7 P31, P33のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_x : ライト信号

図4 - 8 P32のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

4.2.4 ポート4

78K0/LE3-M	78K0/LG3-M
P40/KR0	P40/KR0
P41/KR1	P41/KR1
-	P42/KR2
-	P43/TO51/TI51/KR3
-	P44/TO50/TI50/KR4
-	P45/KR5

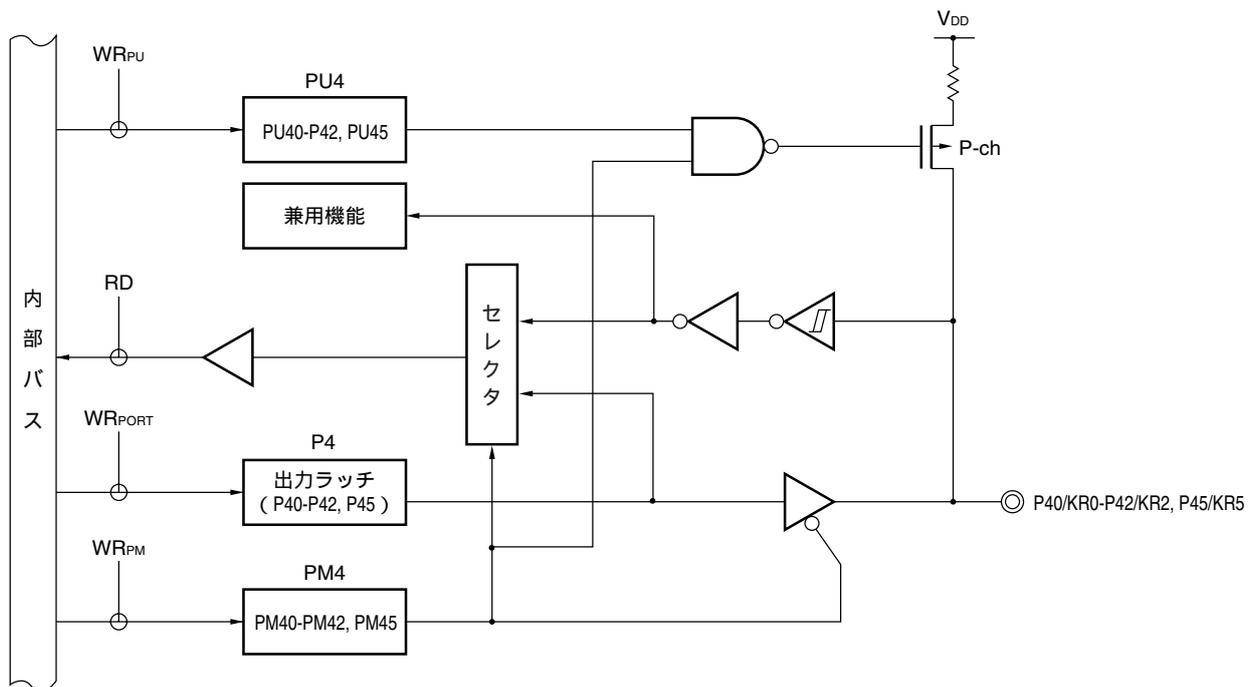
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P45端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー割り込み入力、セグメント・キー・スキャン入力、タイマ入出力があります。

リセット信号の発生により、入力モードになります。

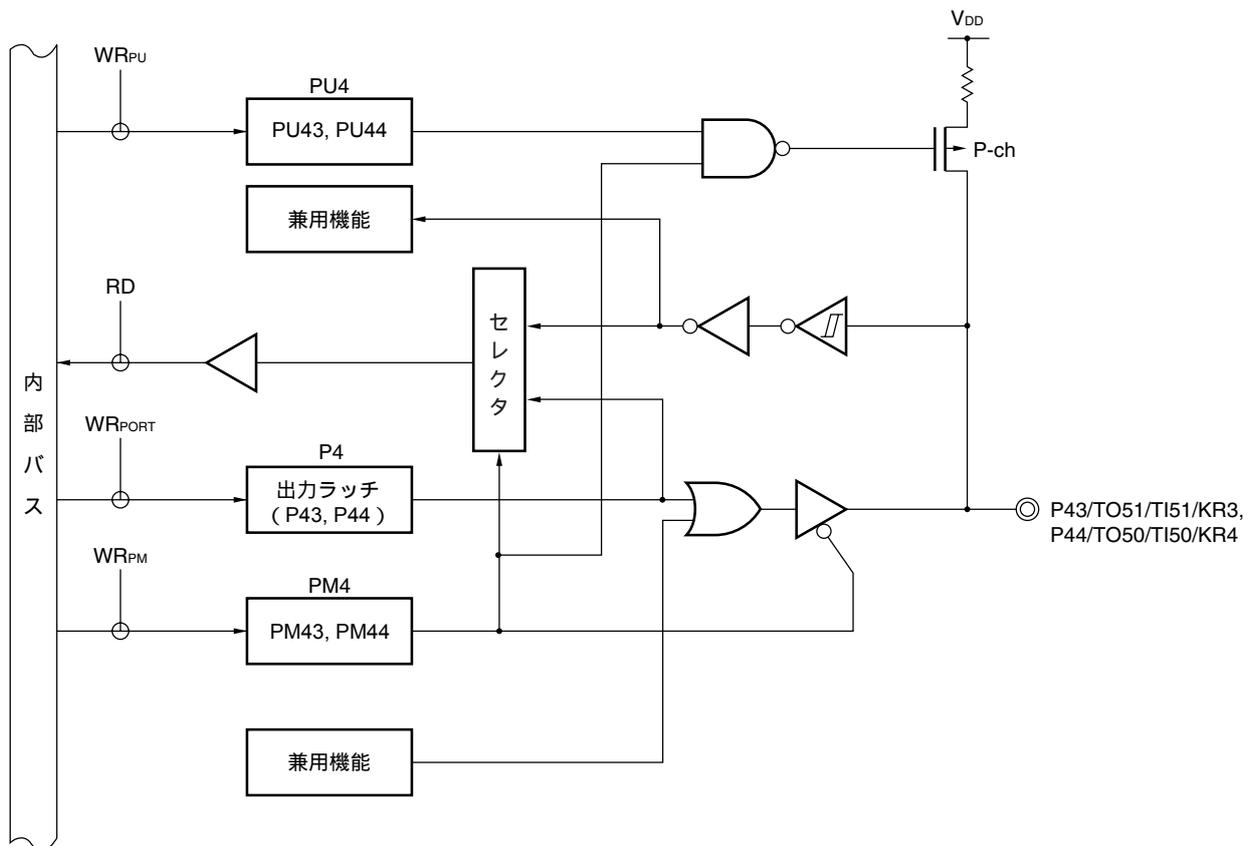
図4 - 9 ~ 図4 - 10にポート4のブロック図を示します。

図4-9 P40-P42, P45のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 10 P43, P44のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_x : ライト信号

4.2.5 ポート8

78K0/LE3-M	78K0/LG3-M
P80/SEG4	P80/SEG4
P81/SEG5	P81/SEG5
P82/SEG6	P82/SEG6
P83/SEG7	P83/SEG7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。P80-P83端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

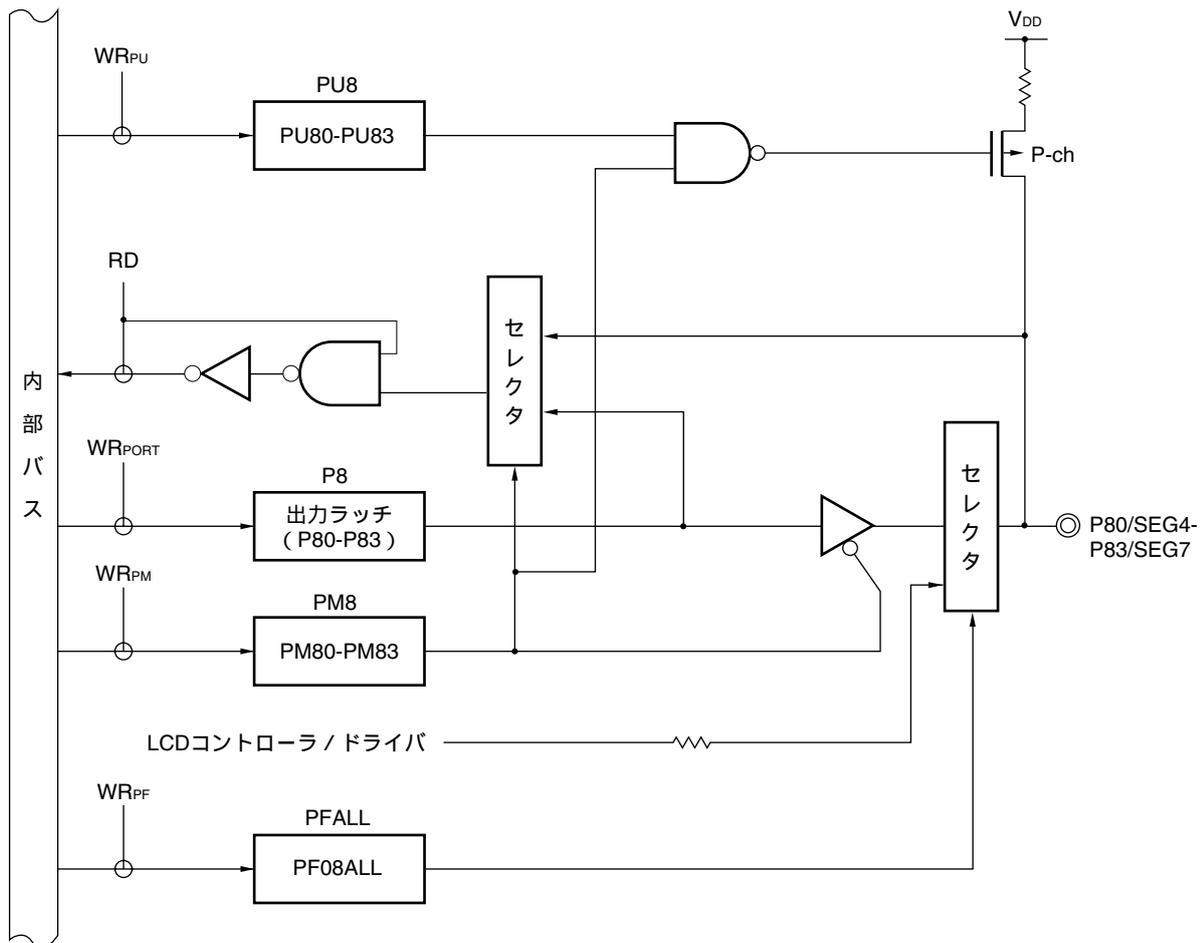
また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 11にポート8のブロック図を示します。

図4 - 11 P80-P83のブロック図



- P8 : ポート・レジスタ8
 PU8 : プルアップ抵抗オプション・レジスタ8
 PM8 : ポート・モード・レジスタ8
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_{xx} : ライト信号

4.2.6 ポート9

78K0/LE3-M	78K0/LG3-M
P90/SEG8	P90/SEG8
P91/SEG9	P91/SEG9
P92/SEG10	P92/SEG10
P93/SEG11	P93/SEG11

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード/出力モードの指定ができます。P90-P93端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ9 (PU9) により1ビット単位で内蔵プルアップ抵抗を使用できます。

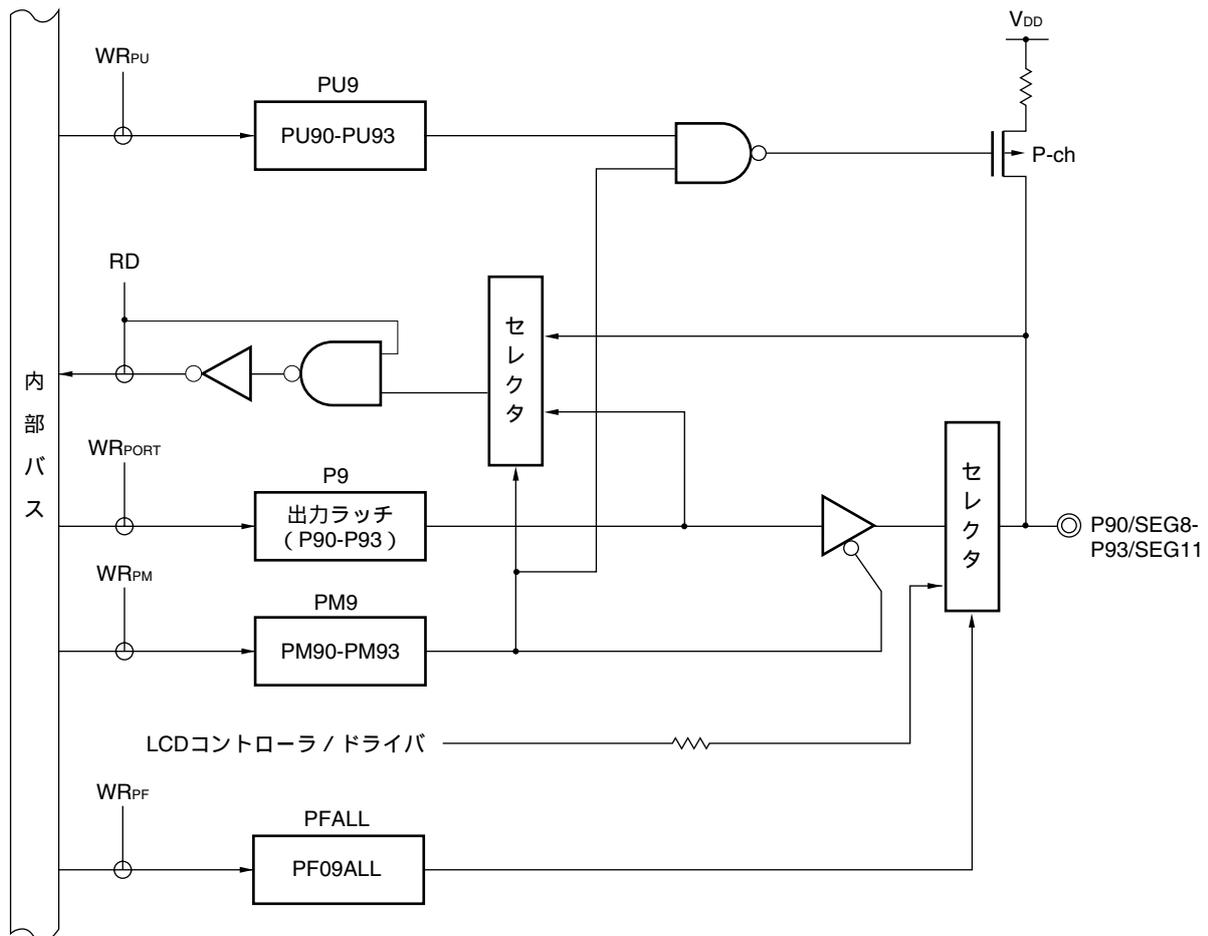
また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 12にポート9のブロック図を示します。

図4 - 12 P90-P93のブロック図



- P9 : ポート・レジスタ9
- PU9 : プルアップ抵抗オプション・レジスタ9
- PM9 : ポート・モード・レジスタ9
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_{xx} : ライト信号

4.2.7 ポート10

78K0/LE3-M	78K0/LG3-M
P100/SEG12	P100/SEG12
P101/SEG13	P101/SEG13
P102/SEG14	P102/SEG14
P103/SEG15	P103/SEG15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ10 (PM10) により1ビット単位で入力モード / 出力モードの指定ができます。P100-P103端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ10 (PU10) により1ビット単位で内蔵プルアップ抵抗を使用できます。

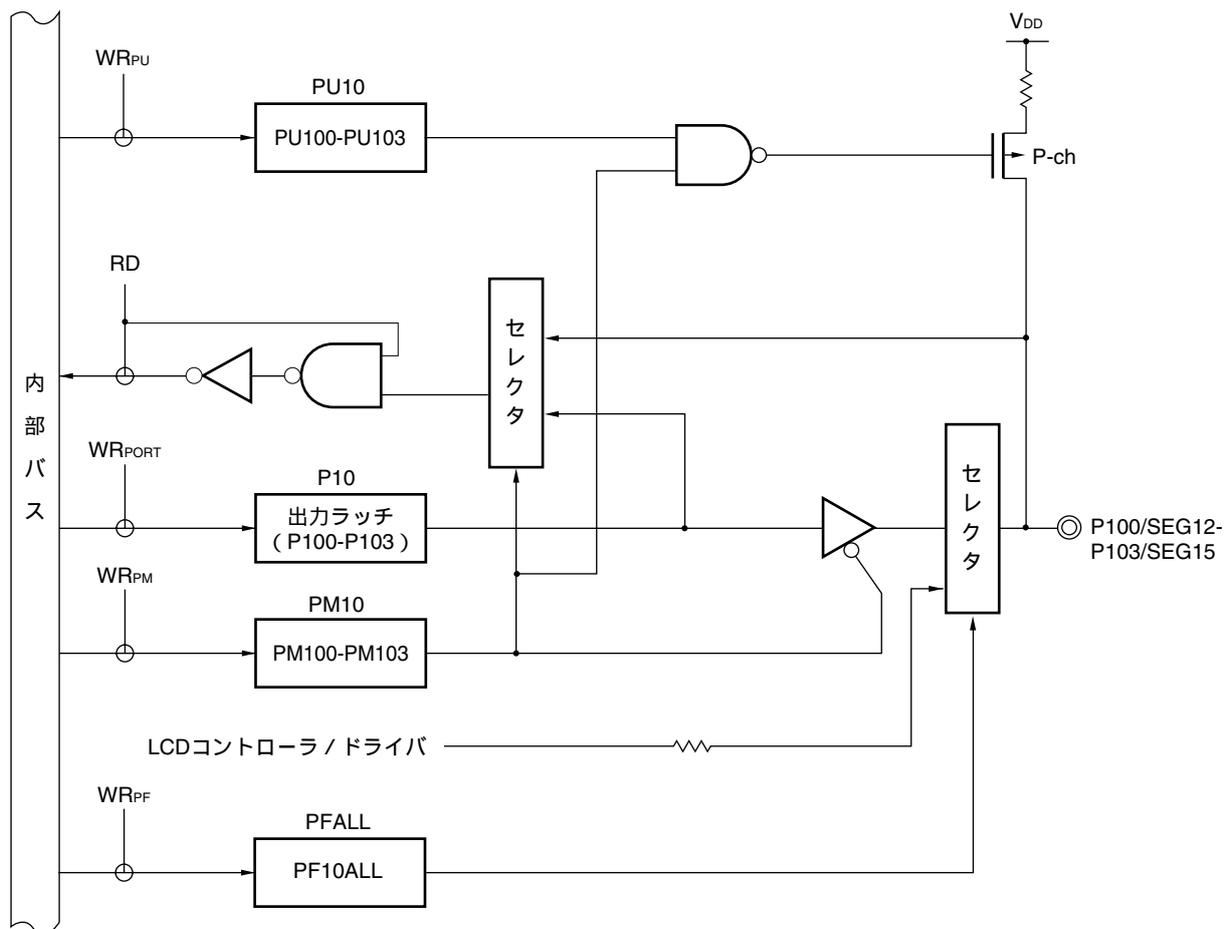
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 13にポート10のブロック図を示します。

図4 - 13 P100-P103のブロック図



- P10 : ポート・レジスタ10
- PU10 : プルアップ抵抗オプション・レジスタ10
- PM10 : ポート・モード・レジスタ10
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_x : ライト信号

4.2.8 ポート11

78K0/LE3-M	78K0/LG3-M
P110/SEG16	P110/SEG16
P111/SEG17	P111/SEG17
P112/SEG18/TxD6	P112/SEG18/TxD6
P113/SEG19/RxD6	P113/SEG19/RxD6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ11 (PM11) により1ビット単位で入力モード / 出力モードの指定ができます。P110-P113端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ11 (PU11) により1ビット単位で内蔵プルアップ抵抗を使用できます。

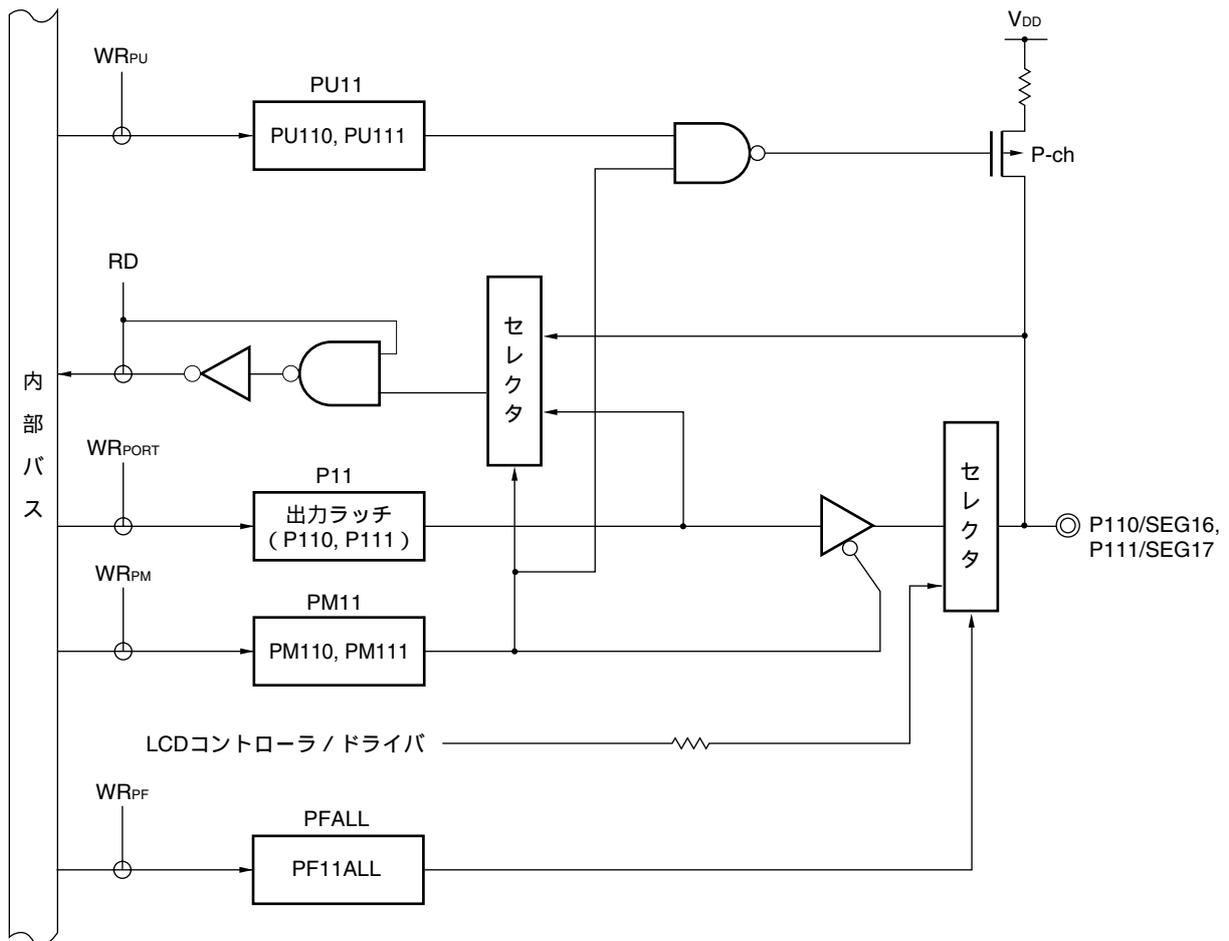
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポート (セグメント信号出力以外) またはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

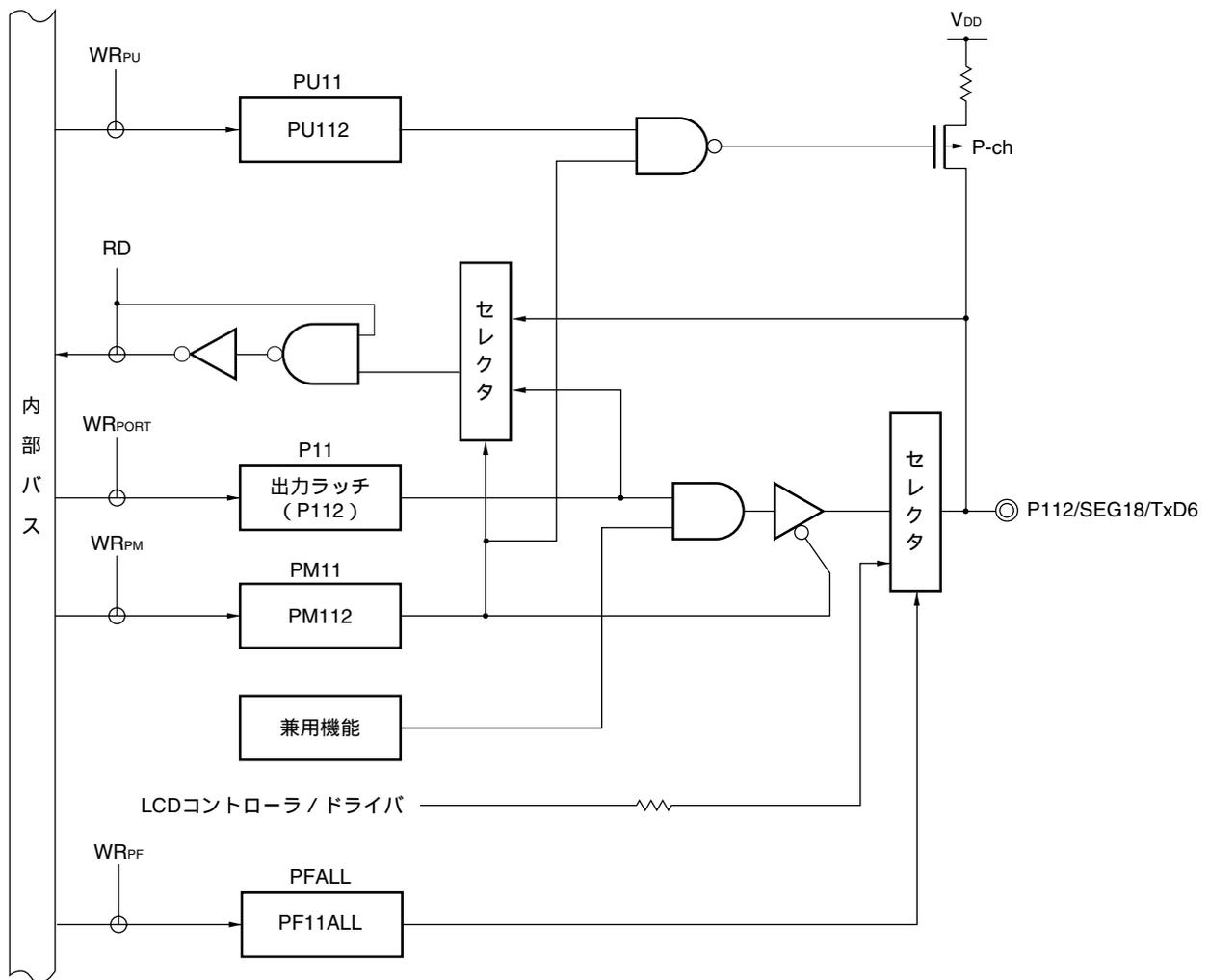
図4 - 14 ~ 図4 - 16にポート11のブロック図を示します。

図4 - 14 P110, P111のブロック図



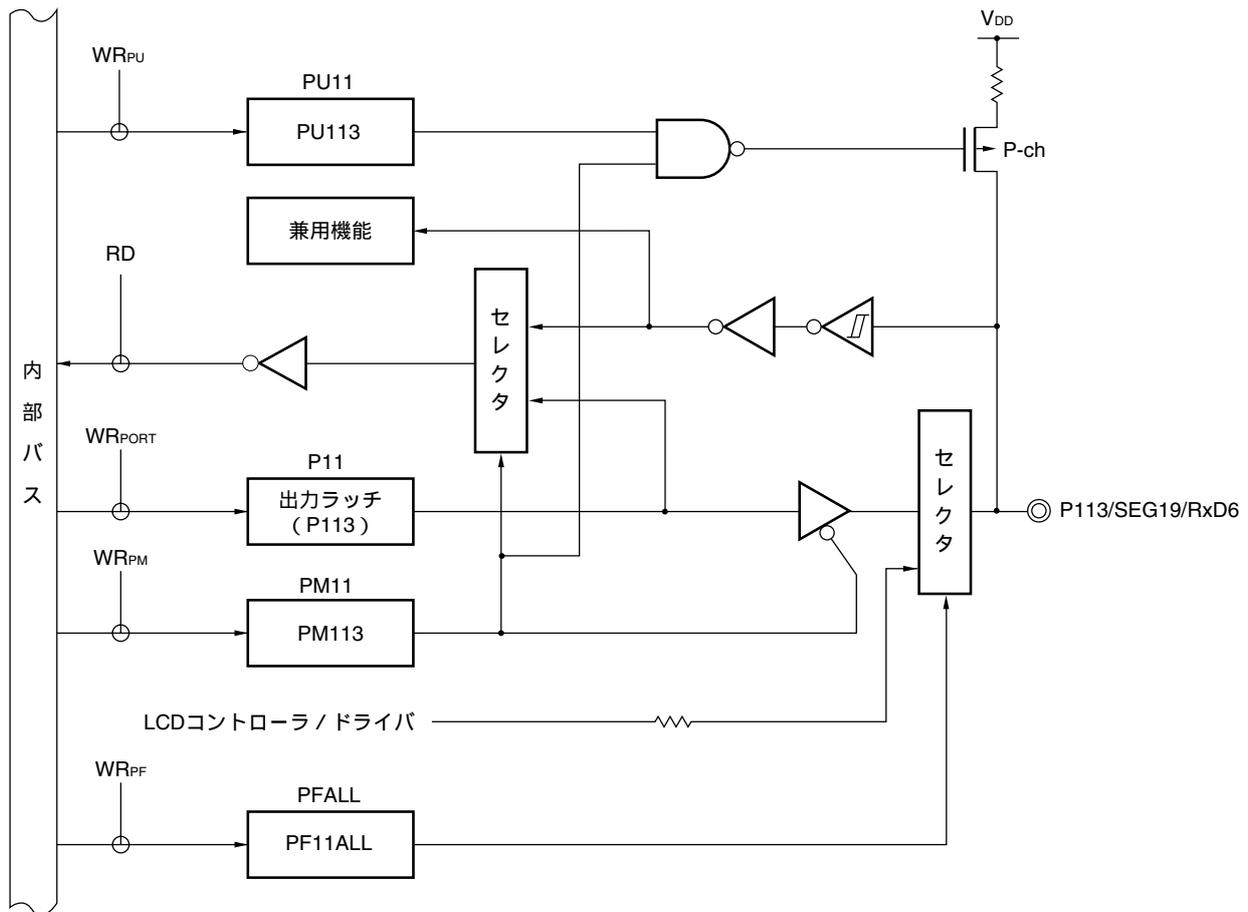
- P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_x : ライト信号

図4 - 15 P112のブロック図



- P11 : ポート・レジスタ11
- PU11 : プルアップ抵抗オプション・レジスタ11
- PM11 : ポート・モード・レジスタ11
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_x : ライト信号

図4 - 16 P113のブロック図



- P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_{xx} : ライト信号

4.2.9 ポート12

78K0/LE3-M	78K0/LG3-M
P120/INTP0/EXLVI	P120/INTP0/EXLVI
P121/X1/OCD0A	P121/X1/OCD0A
P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B
-	P123

P120は、出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P123は、3ビットの入力専用ポートです。

また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

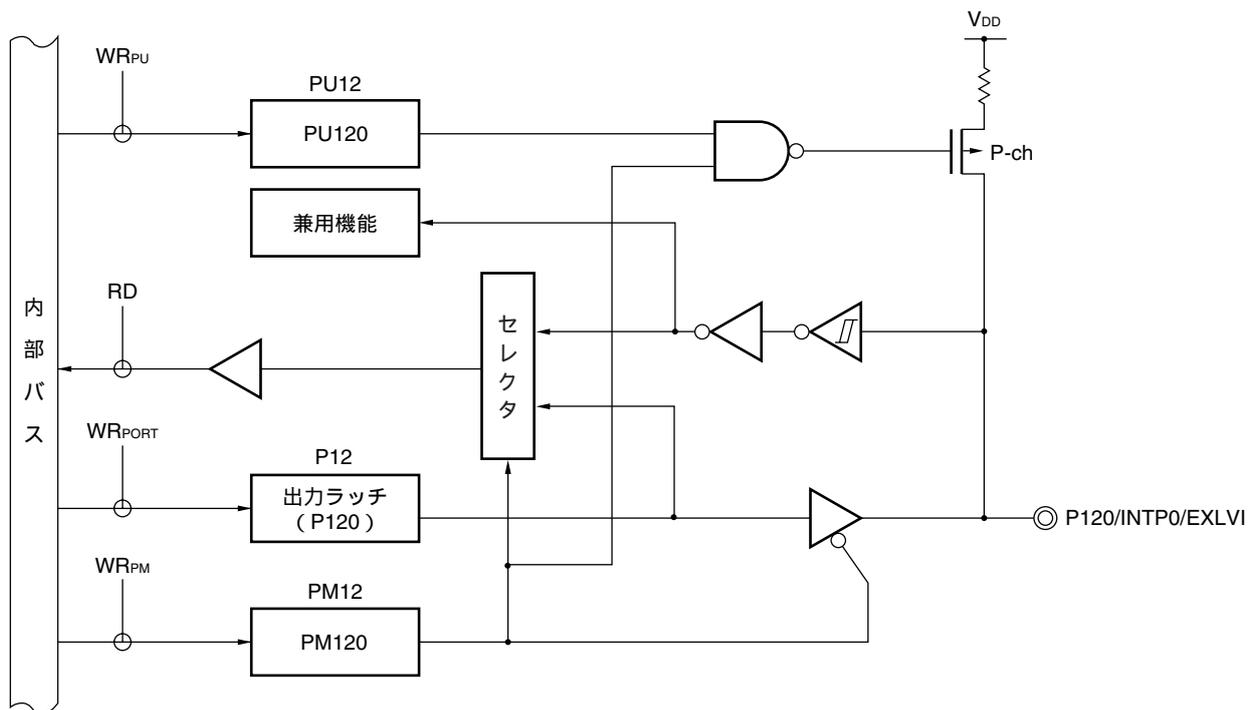
リセット信号の発生により、入力モードになります。

図4 - 17 ~ 図4 - 19にポート12のブロック図を示します。

注意 P121, P122端子を、メイン・システム・クロック用発振子接続 (X1, X2)、メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL) を参照)。OSCCTLのリセット値は00H (P121, P122はすべて入力ポート) となります。

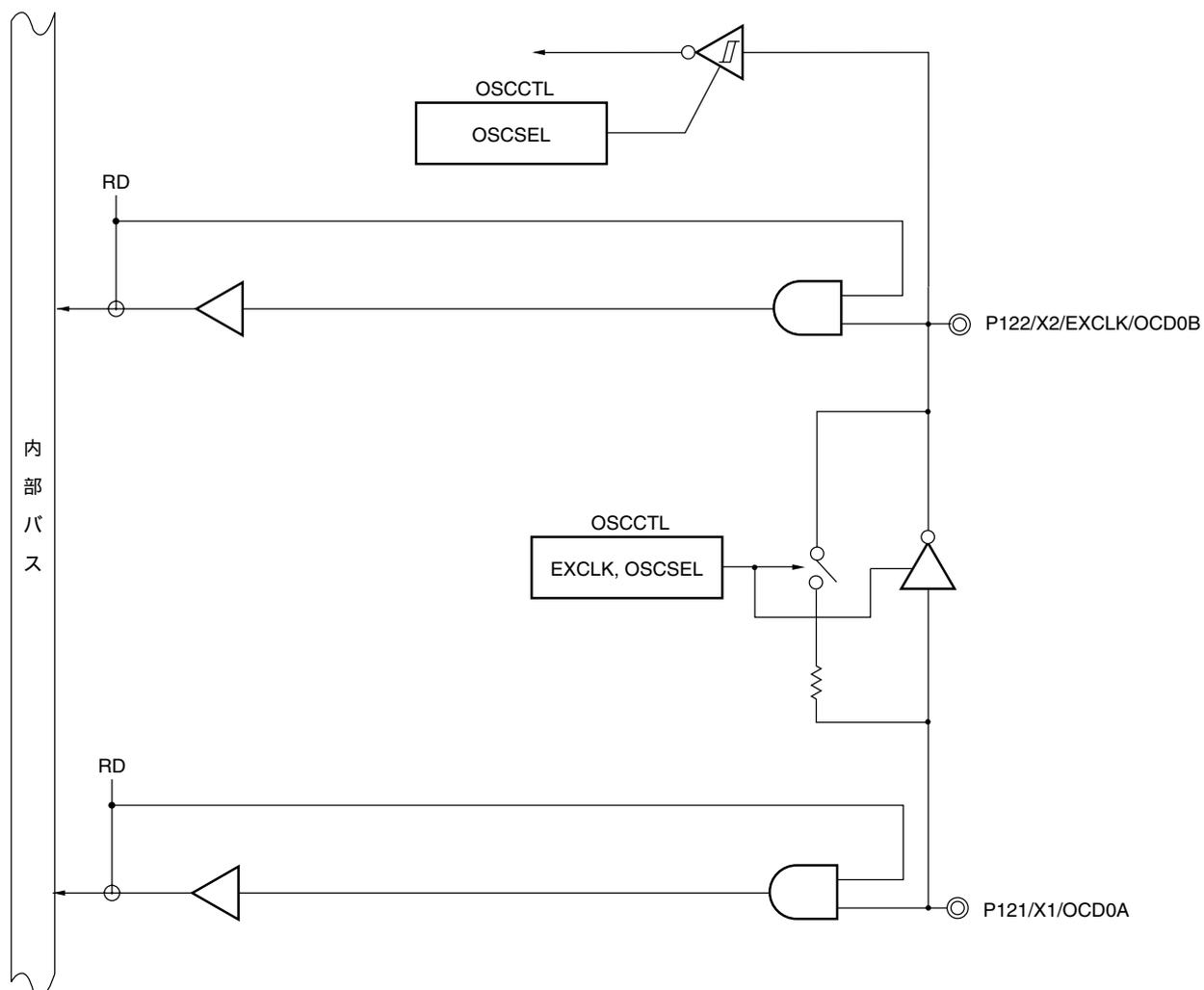
備考 P121, P122端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第31章 オンチップ・デバッグ機能を参照してください。

図4 - 17 P120のブロック図



- P12 : ポート・レジスタ12
 PU12 : プルアップ抵抗オプション・レジスタ12
 PM12 : ポート・モード・レジスタ12
 RD : リード信号
 WR_x : ライト信号

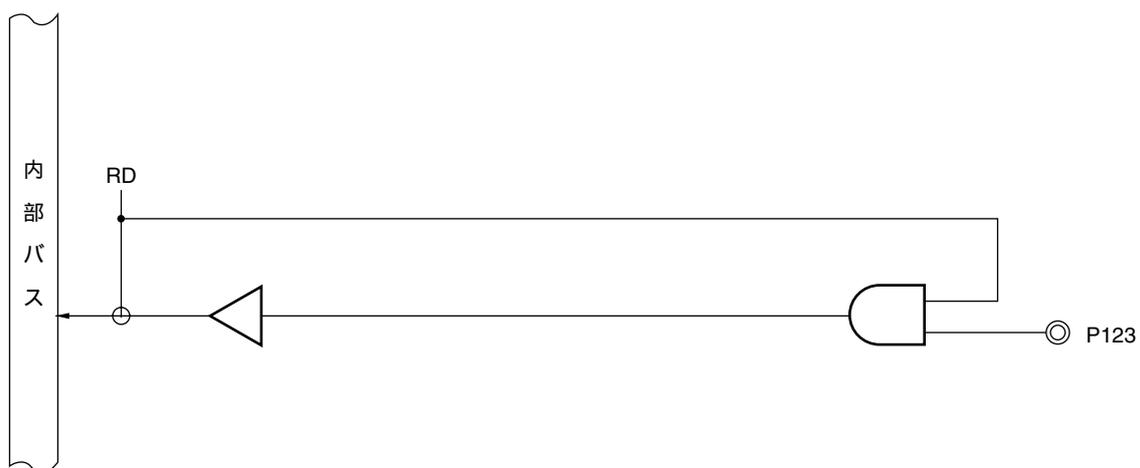
図4 - 18 P121, P122のブロック図



OSCCTL : クロック動作モード選択レジスタ

RD : リード信号

図4 - 19 P123のブロック図



RD : リード信号

4.2.10 ポート13

78K0/LE3-M	78K0/LG3-M
P130/SEG20	P130/SEG20
P131/SEG21	P131/SEG21
P132/SEG22	P132/SEG22
P133/SEG23	P133/SEG23

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ13 (PM13) により1ビット単位で入力モード / 出力モードの指定ができます。P130-P133端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ13 (PU13) により1ビット単位で内蔵プルアップ抵抗を使用できます。

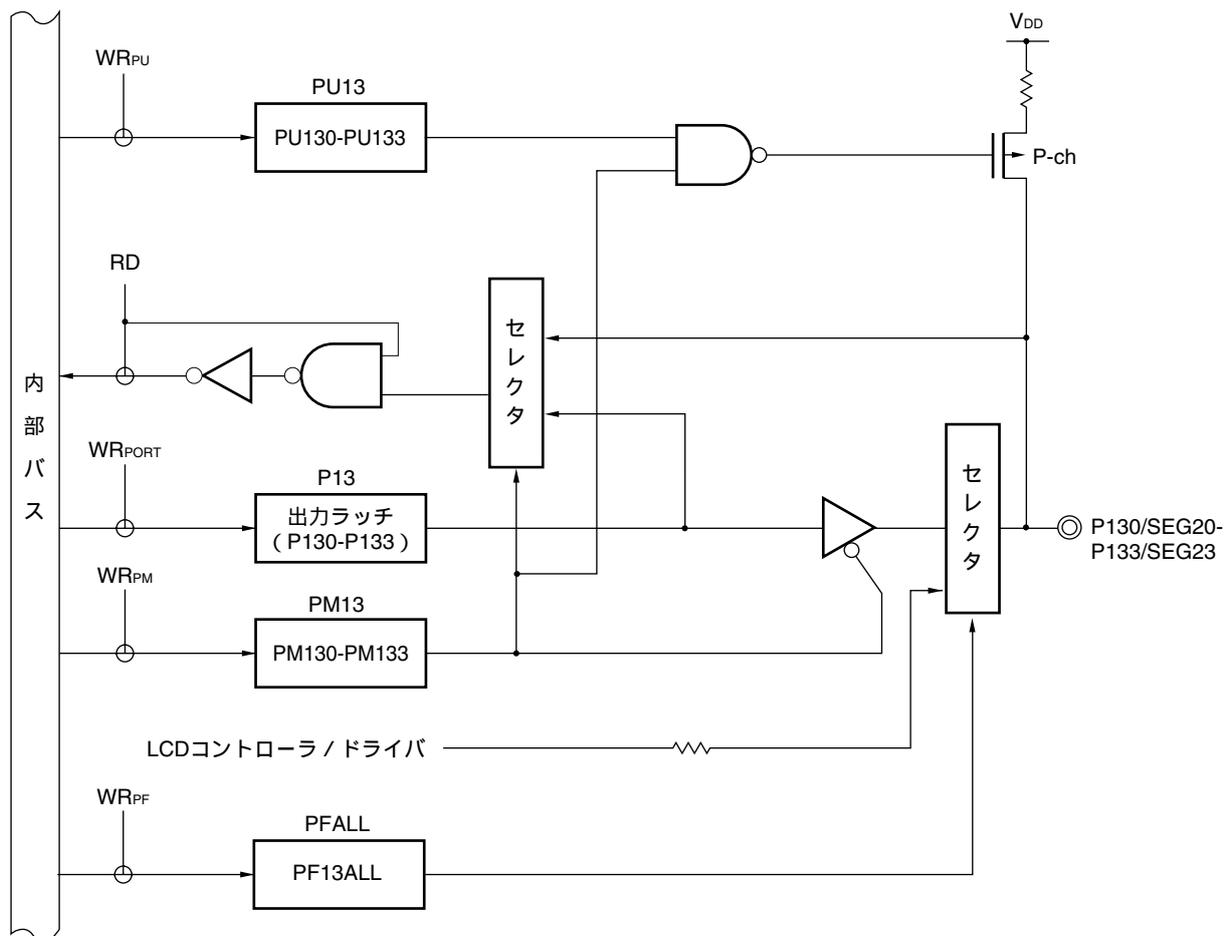
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 20にポート13のブロック図を示します。

図4 - 20 P130-P133のブロック図



- P13 : ポート・レジスタ13
- PU13 : プルアップ抵抗オプション・レジスタ13
- PM13 : ポート・モード・レジスタ13
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_x : ライト信号

4.2.11 ポート14

78K0/LE3-M	78K0/LG3-M
-	P140/SEG24 (KS0)
-	P141/SEG25 (KS1)
-	P142/SEG26 (KS2)
-	P143/SEG27 (KS3)

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140-P143端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

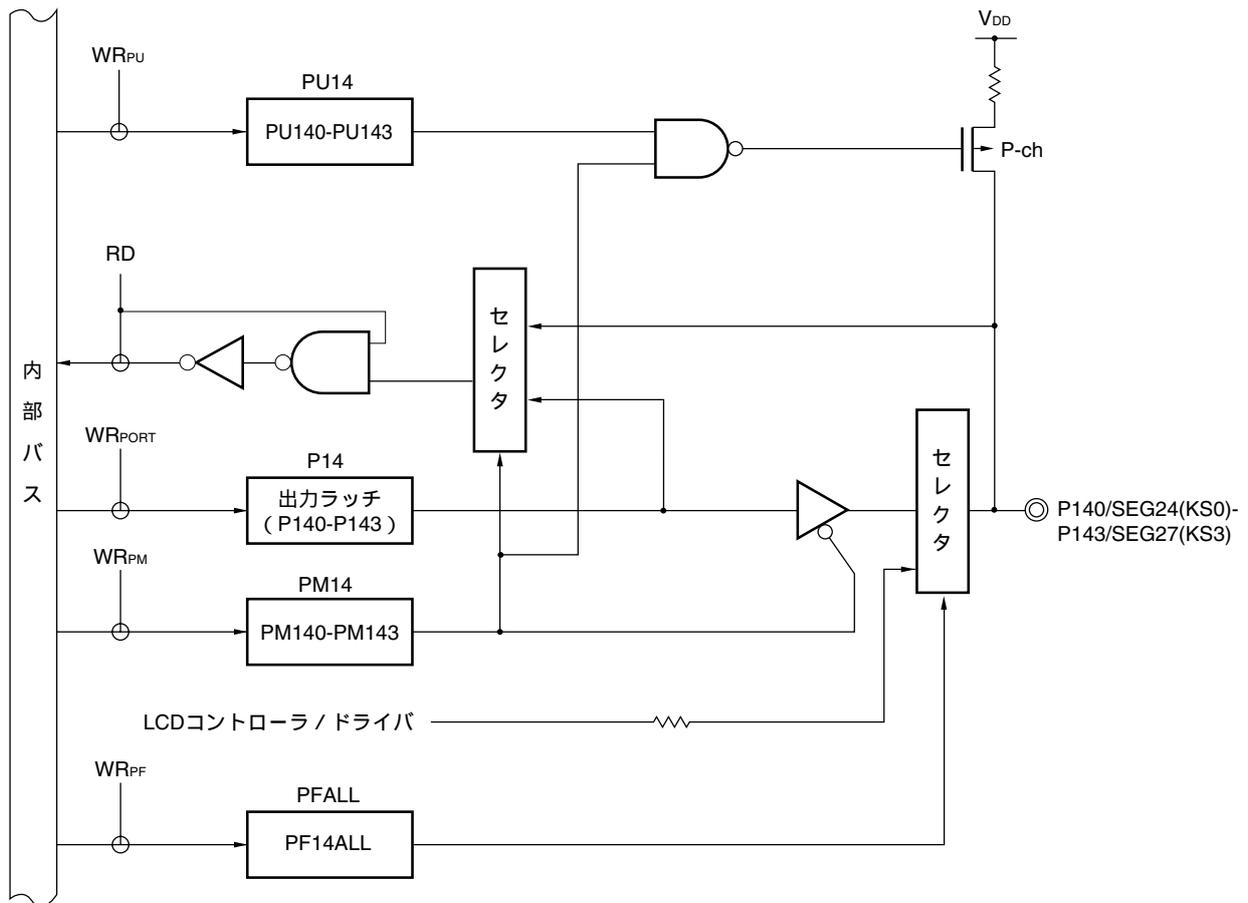
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 21にポート14のブロック図を示します。

図4 - 21 P140-P143のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_{xx} : ライト信号

4.2.12 ポート15

78K0/LE3-M	78K0/LG3-M
-	P150/SEG28 (KS4)
-	P151/SEG29 (KS5)
-	P152/SEG30 (KS6)
-	P153/SEG31 (KS7)

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。P150-P153端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ15 (PU15) により1ビット単位で内蔵プルアップ抵抗を使用できます。

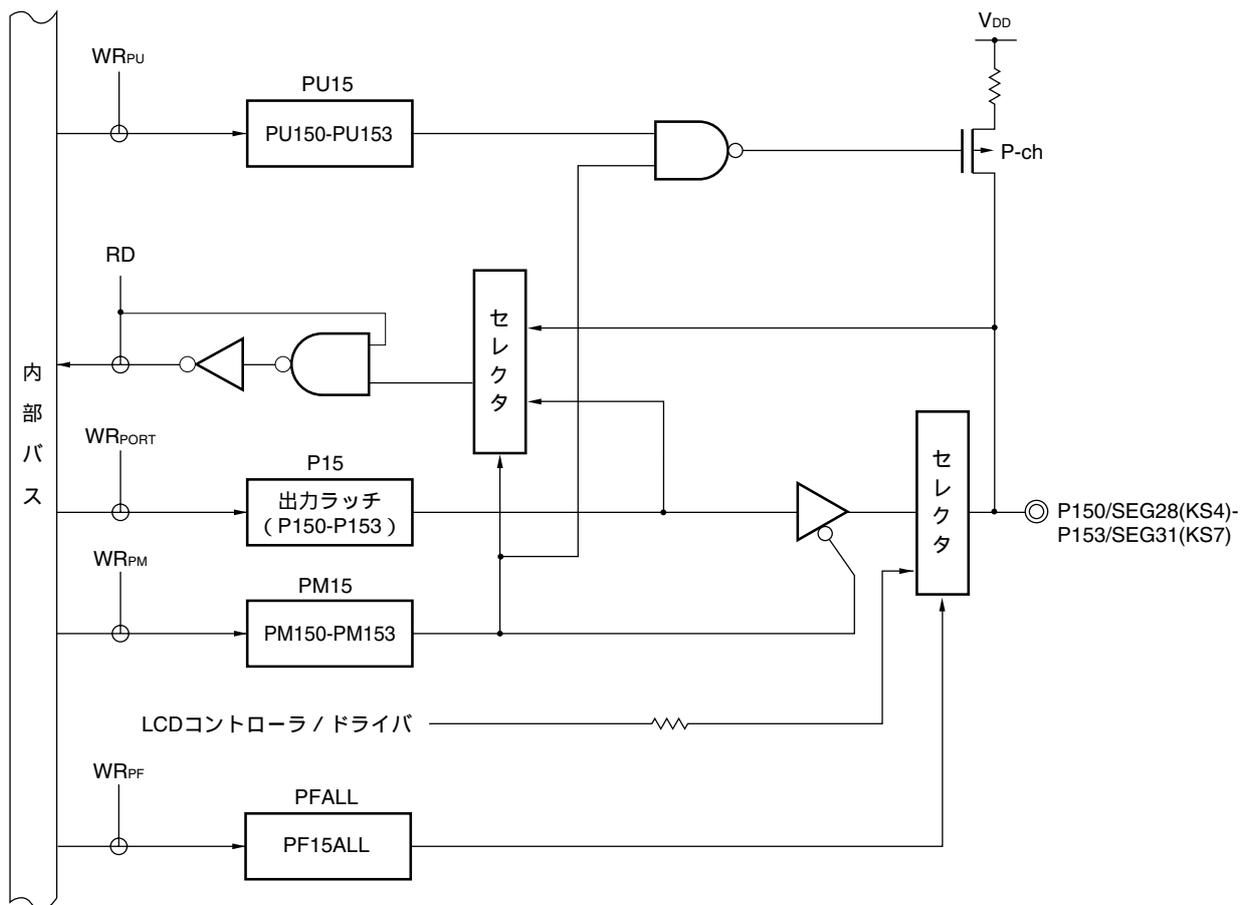
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 22にポート15のブロック図を示します。

図4-22 P150-P153のブロック図



- P15 : ポート・レジスタ15
- PU15 : プルアップ抵抗オプション・レジスタ15
- PM15 : ポート・モード・レジスタ15
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_{xx} : ライト信号

4.2.13 ポートLP0

78K0/LE3-M	78K0/LG3-M
-	LP00
-	LP01/ZX1
-	LP02/ZX2
-	LP03
-	LP04
-	LP05

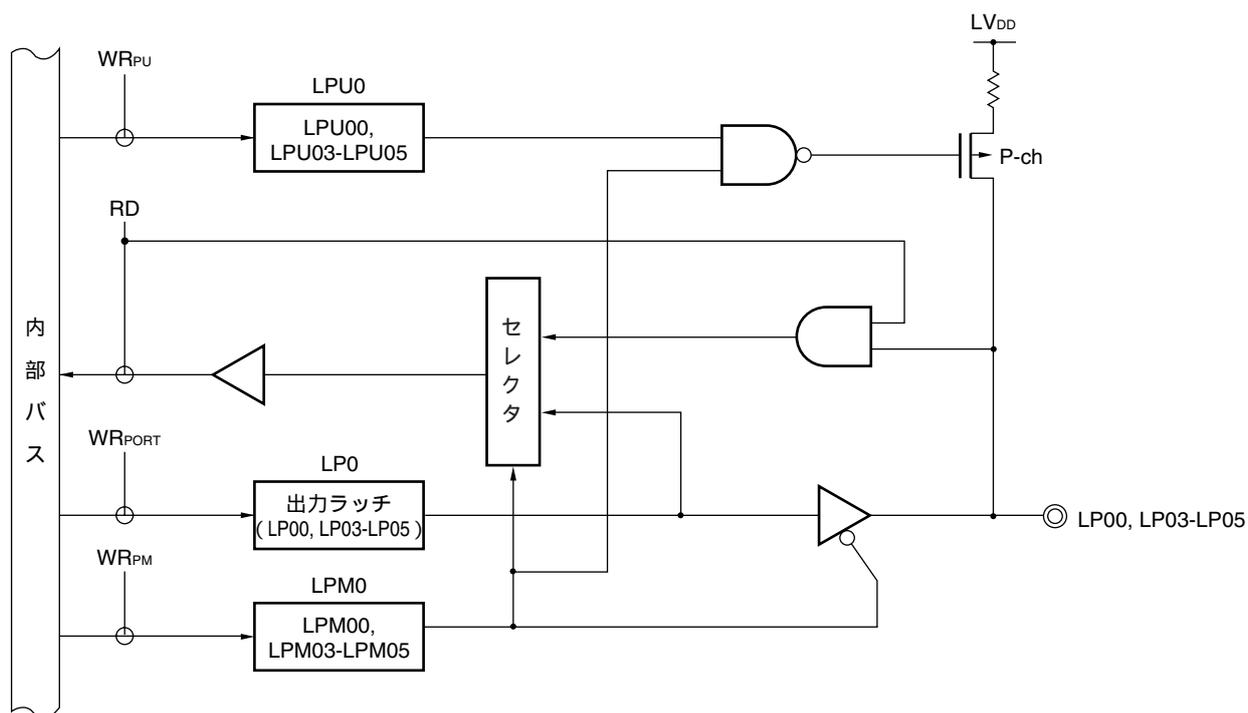
出力ラッチ付き入出力ポートです。ポート・モード・レジスタLP0 (LPM0) により1ビット単位で入力モード/出力モードの指定ができます。LP00-LP05端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLP0 (LPU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として電力品質測定回路のゼロクロス検出信号出力があります。

リセット信号の発生により、入力モードになります。

図4 - 23, 図4 - 24にポートLP0のブロック図を示します。

図4 - 23 LP00, LP03-LP05のブロック図



LP0 : ポート・レジスタLP0

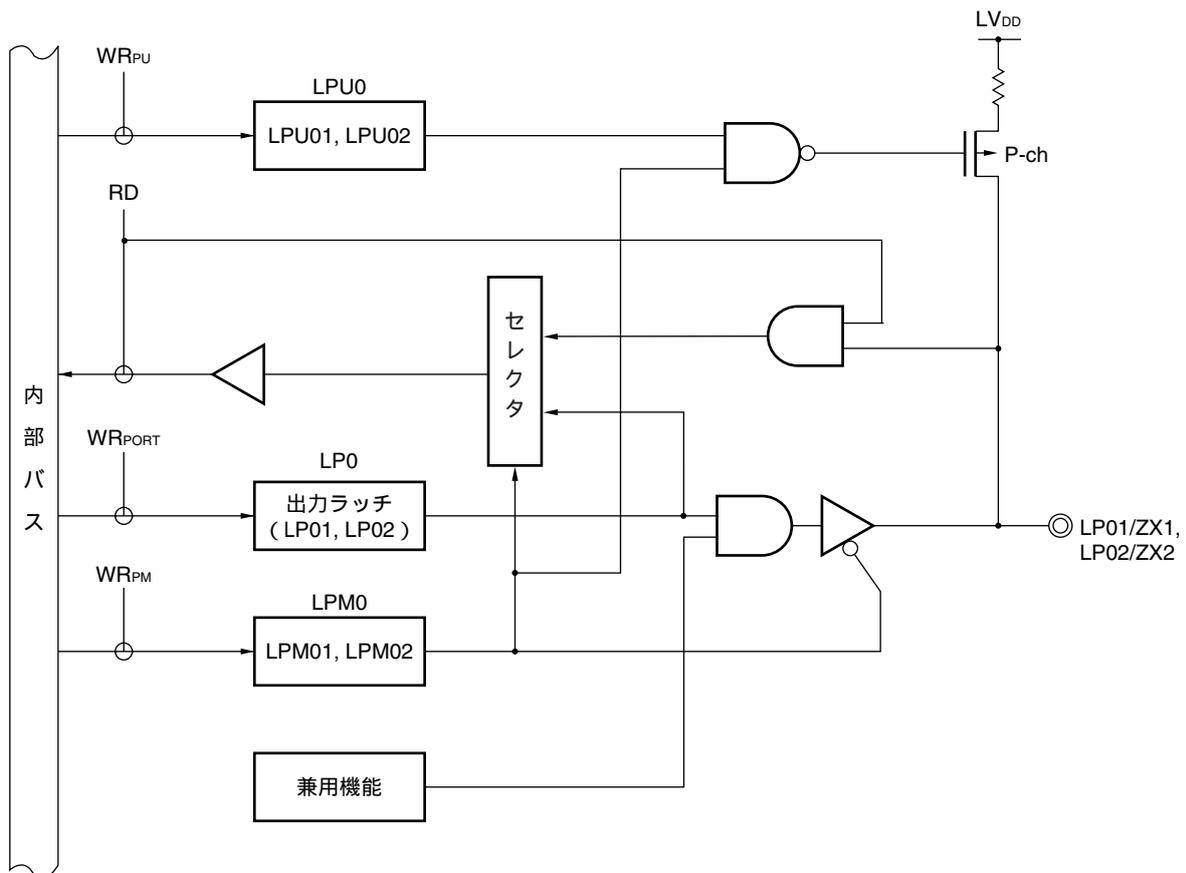
LPU0 : プルアップ抵抗オプション・レジスタLP0

LPM0 : ポート・モード・レジスタLP0

RD : リード信号

WR_{xx} : ライト信号

図4 - 24 LP01, LP02のブロック図



- LP0 : ポート・レジスタLP0
- LPU0 : プルアップ抵抗オプション・レジスタLP0
- LPM0 : ポート・モード・レジスタLP0
- RD : リード信号
- WR_{xx} : ライト信号

4.2.14 ポートLP1

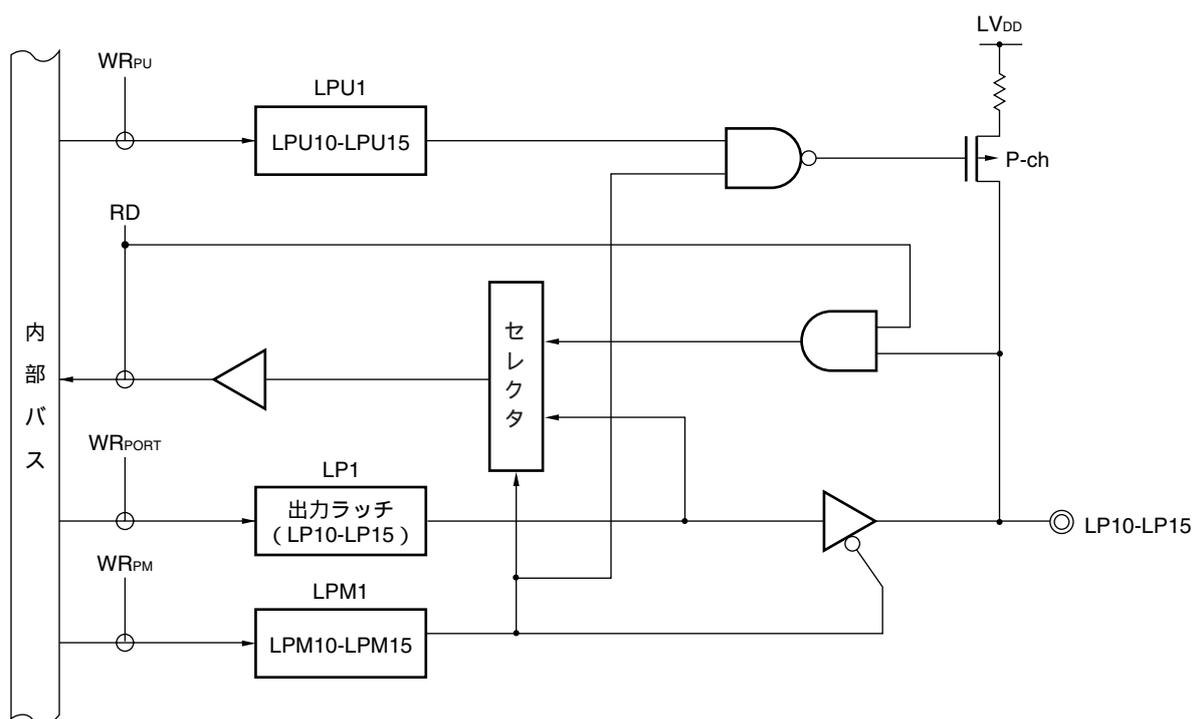
78K0/LE3-M	78K0/LG3-M
-	LP10
-	LP11
-	LP12
-	LP13
-	LP14
-	LP15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタLP1 (LPM1) により1ビット単位で入力モード/出力モードの指定ができます。LP10-LP15端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLP1 (LPU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

図4 - 25にポートLP1のブロック図を示します。

図4 - 25 LP10-LP15のブロック図



LP1 : ポート・レジスタLP1

LPU1 : プルアップ抵抗オプション・レジスタLP1

LPM1 : ポート・モード・レジスタLP1

RD : リード信号

WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の7種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx, LPMx)
- ・ポート・レジスタ (Pxx, LPx)
- ・プルアップ抵抗オプション・レジスタ (PUxx, LPUx)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・ファンクション・レジスタ2 (PF2)^注
- ・ポート・ファンクション・レジスタALL (PFALL)
- ・A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

注 78K0/LG3-Mのみ。

(1) ポート・モード・レジスタ (PMxx, LPMx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタPMxxは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ポート・モード・レジスタLPMxは、拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4-26 ポート・モード・レジスタのフォーマット (78K0/LE3-M)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	1	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	1	1	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	PM133	PM132	PM131	PM130	FF2DH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-4, 8-13; n = 0-4, 6, 7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意1. PM1のビット5, PM3のビット4-7, PM4のビット2-5, PM8のビット4-7, PM9のビット4-7, PM10のビット4-7, PM11のビット4-7, PM12のビット1-7, PM13のビット4-7には、必ず1を設定してください。

2. リセット解除後、PM10, PM14, PM16, PM17, PM20-PM26, PM31, PM46, PM47には必ず0を設定してください。

図4-27 ポート・モード・レジスタのフォーマット (78K0/LG3-M)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	1	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	1	1	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	PM133	PM132	PM131	PM130	FF2DH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FF2FH	FFH	R/W
LPM0	1	1	LPM05	LPM04	LPM03	LPM02	LPM01	LPM00	8CH	FFH	R/W
LPM1	1	1	LPM15	LPM14	LPM13	LPM12	LPM11	LPM10	8FH	FFH	R/W

PMmn, LPMxy	Pmn, LPxy端子の入出力モードの選択 (m = 1-4, 8-15; n = 0-7; x = 0, 1; y = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意1. PM1のビット5, PM3のビット4-7, PM8のビット4-7, PM9のビット4-7, PM10のビット4-7, PM11のビット4-7, PM12のビット1-7, PM13のビット4-7, PM14のビット4-7, PM15のビット4-7, LPM0のビット6, 7, LPM1のビット6, 7には、必ず1を設定してください。

2. リセット解除後、PM10, PM14, PM16, PM17, PM46, PM47には必ず0を設定してください。

(2) ポート・レジスタ (Pxx, LPx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタPxxは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ポート・レジスタLPxは、拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図4 - 28 ポート・レジスタのフォーマット (78K0/LE3-M)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	P17	0	0	P14	P13	P12	P11	0	FF01H	00H (出力ラッチ)	R/W
P2	P27	0	0	0	0	0	0	0	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	P47	P46	0	0	0	0	P41	P40	FF04H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P9	0	0	0	0	P93	P92	P91	P90	FF09H	00H (出力ラッチ)	R/W
P10	0	0	0	0	P103	P102	P101	P100	FF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	P113	P112	P111	P110	FF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H ^{注1} (出力ラッチ)	R/W ^{注1}
P13	0	0	0	0	P133	P132	P131	P130	FF0DH	00H (出力ラッチ)	R/W

Pmn	m = 1-4, 8-15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121, P122はRead Onlyです。リセット時は不定となります。

2. 端子の動作モードがクロック入力モードの場合、常に0が読み出されます。

注意 リセット解除後、P14, P46, P47には必ず1を設定してください。

図4 - 29 ポート・レジスタのフォーマット (78K0/LG3-M)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	P17	0	0	P14	P13	P12	P11	0	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P9	0	0	0	0	P93	P92	P91	P90	FF09H	00H (出力ラッチ)	R/W
P10	0	0	0	0	P103	P102	P101	P100	FF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	P113	P112	P111	P110	FF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	0	P123 ^{注2}	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H ^{注1} (出力ラッチ)	R/W ^{注1}
P13	0	0	0	0	P133	P132	P131	P130	FF0DH	00H (出力ラッチ)	R/W
P14	PK143 ^{注3}	PK142 ^{注3}	PK141 ^{注3}	PK140 ^{注3}	P143	P142	P141	P140	FF0EH	00H (出力ラッチ)	R/W
P15	PK153 ^{注3}	PK152 ^{注3}	PK151 ^{注3}	PK150 ^{注3}	P153	P152	P151	P150	FF0FH	00H (出力ラッチ)	R/W
LP0	0	0	LP05	LP04	LP03	LP02	LP01	LP00	8BH	00H (出力ラッチ)	R/W
LP1	0	0	LP15	LP14	LP13	LP12	LP11	LP10	8EH	00H (出力ラッチ)	R/W

Pmn, LPxy	m = 1-4, 8-15 ; n = 0-7 ; x = 0, 1 ; y = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P123はRead Onlyです。リセット時は不定となります。

2. 端子の動作モードがクロック入力モードの場合、常に0が読み出されます。

3. セグメント・キー・スキャン機能で使用します。詳細は、18. 3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

注意 リセット解除後、P14, P46, P47には必ず1を設定してください。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx}, LPU_x)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタPU_{xx}は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

プルアップ抵抗オプション・レジスタLPU_xは、拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図4 - 30 プルアップ抵抗オプション・レジスタのフォーマット (78K0/LE3-M)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	0	PU12	PU11	0	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	0	PU30	FF33H	00H	R/W
PU4	0	0	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU8	0	0	0	0	PU83	PU82	PU81	PU80	FF38H	00H	R/W
PU9	0	0	0	0	PU93	PU92	PU91	PU90	FF39H	00H	R/W
PU10	0	0	0	0	PU103	PU102	PU101	PU100	FF3AH	00H	R/W
PU11	0	0	0	0	PU113	PU112	PU111	PU110	FF3BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU13	0	0	0	0	PU133	PU132	PU131	PU130	FF3DH	00H	R/W

PU _m n	P _m nの内蔵プルアップ抵抗の選択 (m = 1, 3, 4, 8-13 ; n = 0-3)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 リセット解除後，PU42-PU45には必ず1を設定してください。

図4 - 31 プルアップ抵抗オプション・レジスタのフォーマット (78K0/LG3-M)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	PU13	PU12	PU11	0	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	0	0	PU45 ^注	PU44 ^注	PU43 ^注	PU42 ^注	PU41 ^注	PU40 ^注	FF34H	00H	R/W
PU8	0	0	0	0	PU83	PU82	PU81	PU80	FF38H	00H	R/W
PU9	0	0	0	0	PU93	PU92	PU91	PU90	FF39H	00H	R/W
PU10	0	0	0	0	PU103	PU102	PU101	PU100	FF3AH	00H	R/W
PU11	0	0	0	0	PU113	PU112	PU111	PU110	FF3BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU13	0	0	0	0	PU133	PU132	PU131	PU130	FF3DH	00H	R/W
PU14	0	0	0	0	PU143	PU142	PU141	PU140	FF3EH	00H	R/W
PU15	0	0	0	0	PU153	PU152	PU151	PU150	FF3FH	00H	R/W
LPU0	0	0	LPU05	LPU04	LPU03	LPU02	LPU01	LPU00	8DH	00H	R/W
LPU1	0	0	LPU15	LPU14	LPU13	LPU12	LPU11	LPU10	90H	00H	R/W

PUmn, LPUxy	Pmn, LPxyの内蔵プルアップ抵抗の選択 (m = 1, 3, 4, 8-15; n = 0-5; x = 0, 1; y = 0-5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 セグメント・キー・スキャン機能使用時の設定は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

(4) ポート・ファンクション・レジスタ1 (PF1)

P13端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 32 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

(5) ポート・ファンクション・レジスタ2 (PF2) (78K0/LG3-Mのみ)

P20-P27端子をポート端子 (セグメント出力端子以外) / セグメント出力端子のどちらで使用するかを設定するレジスタです。

PF2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 33 ポート・ファンクション・レジスタ2 (PF2) のフォーマット

アドレス : FFB5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	ポート / セグメント出力の指定 (n = 0-7)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

(6) ポート・ファンクション・レジスタALL (PFALL)

ポート8-11, ポート13-15の端子をポート端子 (セグメント出力端子以外) / セグメント出力端子のどちらで使用するかを設定するレジスタです。

PFALLは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 34 ポート・ファンクション・レジスタALL (PFALL) のフォーマット

(a) 78K0/LE3-M

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	0	0	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

(b) 78K0/LG3-M

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

PFnALL	ポート / セグメント出力の指定 (n = 08-11, 13-15)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

(7) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

P20/ANI0-P27/ANI7端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、08Hになります。

図4-35 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

(a) 78K0/LE3-M

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	0	0	0

ADPC03	デジタル入出力 (D) / アナログ入力 (A) の切り替え
	P27/ANI7
0	A
1	D

(b) 78K0/LG3-M

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	デジタル入出力 (D) / アナログ入力 (A) の切り替え								
				P27 /ANI7	P26 /ANI6	P25 /ANI5	P24 /ANI4	P23 /ANI3	P22 /ANI2	P21 /ANI1	P20 /ANI0	
0	0	0	0	A	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D	D
0	0	1	1	A	A	A	A	A	D	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D	D
上記以外				設定禁止								

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPC0でデジタル入出力として設定する端子を、ADSで設定しないでください。

3. ADPC0にデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADPC0にデータを書き込まないでください。詳細は第35章 ウェイトに関する注意事項を参照してください。

4. ANIx/P2x/SEGxx端子をPF2レジスタでセグメント出力に設定した場合には、ADPC0の設定に関わらず、セグメント出力となります (78K0/LG3-Mのみ)。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

4.5 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合, PFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチを表4-6, 表4-7のように設定してください。

表4-6 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定 (78K0/LE3-M)

端子名称	兼用機能		PFALL 注1	PF1	ISC	PM x x	P x x
	名称	入出力					
P11	SCK10	入力	-			1	x
		出力	-			0	1
P12	SI10	入力	-			1	x
	RxD0	入力	-			1	x
P13 ^{注2}	SO10	出力	-	PF13 = 0		0	0
	TxD0	出力	-	PF13 = 1		0	x
	IROUT ^{注4}	出力	-	PF13 = 1		0	x
P27 ^{注3}	ANI7	入力	0			1	x
P30	INTP5	入力	-			1	x
P32	TOH0	出力	-			0	0
P33	TI000	入力	-		ISC1 = 0	1	x
	BUZ	出力	-			0	0
	INTP2	入力	-			1	x
P40	KR0	入力	-			1	x
P41	KR1	入力	-			1	x
P80-P83	SEG4-SEG7	出力	1			x	x
P90-P93	SEG8-SEG11	出力	1			x	x
P100-P103	SEG12-SEG15	出力	1			x	x
P110	SEG16	出力	1		ISC3 = 0	x	x
P111	SEG17	出力	1		ISC3 = 0	x	x
P112	SEG18	出力	1		ISC3 = 0	x	x
	TxD6	出力	0		ISC3 = 1	0	1
P113	SEG19	出力	1		ISC3 = 0	x	x
	RxD6	入力	0		ISC3 = 1 ^{注5, 6}	1	x
P120	EXLVI	入力	-			1	x
	INTP0	入力	-		ISC0 = 0	1	x
P121	X1 ^{注7}	-	-			x	x
	OCD0A	-	-			x	x
P122	X2 ^{注7}	-	-			x	x
	EXCLK ^{注7}	入力	-			x	x
	OCD0B	-	-			x	x
P130-P133	SEG20-SEG23	出力	1			x	x

(注と備考は次ページにあります。)

- 注1. 各ポートに対応するレジスタが対象です。
2. ポート機能として使用する場合、PF13 = 0にしてください。
 3. P27/ANI7端子の機能は、A/Dポート・コンフィギュレータ・レジスタ0 (ADPC0) , ポート・モード・レジスタ2 (PM2) , アナログ入力チャネル指定レジスタ (ADS) の設定で決定します。詳細は、表4 - 5を参照してください。
 4. 8ビット・タイマH1のTOH1で生成されるキャリア信号 (内部信号) により制御されます。
 5. ISC1 = 1でTI000の入力ソースにRxD6を設定可能
 6. ISC0 = 1でINTP0の入力ソースにRxD6を設定可能
 7. P121, P122端子を、メイン・システム・クロック用発振子接続 (X1, X2) , メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5. 3 (1) **クロック動作モード選択レジスタ (OSCCTL)** を参照)。OSCCTLのリセット値は00H (P121, P122は入力ポート) となります。

- 備考1. x : don't care
- : 対象外
PM x x : ポート・モード・レジスタ
P x x : ポートの出力ラッチ
2. X1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第31章 **オンチップ・デバッグ機能**を参照してください。

表4 - 7 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LG3-M) (1/2)

端子名称	兼用機能		PFALL, PF2 ^{注1}	PF1	ISC	PM _x x	P _x x
	名称	入出力					
P11	SCK10	入力	-			1	x
		出力	-			0	1
P12	SI10	入力	-			1	x
	RxD0	入力	-			1	x
P13 ^{注2}	SO10	出力	-	PF13 = 0		0	0
	TxD0	出力	-	PF13 = 1		0	x
P20-P27 ^{注3}	SEG39-SEG32	出力	1			x	x
	ANI0-ANI7	入力	0			1	x
P30	INTP5	入力	-			1	x
P31	TOH1	出力	-			0	0
	INTP3	入力	-			1	x
P32	TOH0	出力	-			0	0
P33	TI000	入力	-		ISC1 = 0	1	x
	BUZ	出力	-			0	0
	INTP2	入力	-			1	x
P40	KR0	入力	-			1	x
P41	KR1	入力	-			1	x
P42	KR2	入力	-			1	x
P43	KR3	入力	-			1	x
	TI51	入力	-			1	x
	TO51	出力	-			0	0
P44	KR4	入力	-			1	x
	TI50	入力	-			1	x
	TO50	出力	-			0	0
P45	KR5	入力	-			1	x
P80-P83	SEG4-SEG7	出力	1			x	x
P90-P93	SEG8-SEG11	出力	1			x	x
P100-P103	SEG12-SEG15	出力	1			x	x
P110	SEG16	出力	1		ISC3 = 0	x	x
P111	SEG17	出力	1		ISC3 = 0	x	x
P112	SEG18	出力	1		ISC3 = 0	x	x
	TxD6	出力	0		ISC3 = 1	0	1
P113	SEG19	出力	1		ISC3 = 0	x	x
	RxD6	入力	0		ISC3 = 1 ^{注4, 5}	1	x

(注と備考は次ページにあります。)

表4 - 7 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LG3-M) (2/2)

端子名称	兼用機能		PFALL, PF2 ^{注1}	PF1	ISC	PM x x	P x x
	名称	入出力					
P120	EXLVI	入力	-			1	x
	INTP0	入力	-		ISC0 = 0	1	x
P121	X1 ^{注6}	-	-			x	x
	OCD0A	-	-			x	x
P122	X2 ^{注6}	-	-			x	x
	EXCLK ^{注6}	入力	-			x	x
	OCD0B	-	-			x	x
P130-P133	SEG20-SEG23	出力	1			x	x
P140-P143	SEG24 (KS0) -SEG27 (KS3)	出力	1			x	x
P150-P153	SEG28 (KS4) -SEG31 (KS7)	出力	1			x	x
LP01	ZX1 ^{注7}	出力	-			0	0
LP02	ZX2 ^{注7}	出力	-			0	0

注1. 各ポートに対応するレジスタが対象です。

- ポート機能として使用する場合、PF13 = 0にしてください。
- P20/SEG39/ANI0-P27/SEG32/ANI7端子の機能は、ポート・ファンクション・レジスタ2 (PF2), A/Dポート・コンフィギュレータ・レジスタ0 (ADPC0), ポート・モード・レジスタ2 (PM2), アナログ入力チャネル指定レジスタ (ADS) の設定で決定します。詳細は、表4 - 5を参照してください。
- ISC1 = 1でTI000の入力ソースにRxD6を設定可能
- ISC0 = 1でINTP0の入力ソースにRxD6を設定可能
- P121, P122端子を、メイン・システム・クロック用発振子接続 (X1, X2), メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3 (1) **クロック動作モード選択レジスタ (OSCCTL)** を参照)。OSCCTLのリセット値は00H (P121, P122は入力ポート) となります。
- LP01, LP02端子をゼロクロス信号ZX1, ZX2出力として使用する場合は、フォールト検出制御レジスタ (PQMCTL) のゼロクロス出力制御ビット (ZX1EN, ZX2EN) に1を設定してください。

備考1. x : don't care

- : 対象外

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

- X1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第31章 **オンチップ・デバッグ機能**を参照してください。

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P20は出力ポート、P21-P27は入力ポート（端子状態はすべてハイ・レベル）で、かつポート2の出力ラッチの値が“00H”のとき、出力ポートP20の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート2の出力ラッチの値は、“FFH”になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0/Lx3-M内部で、次の順序で行われます。

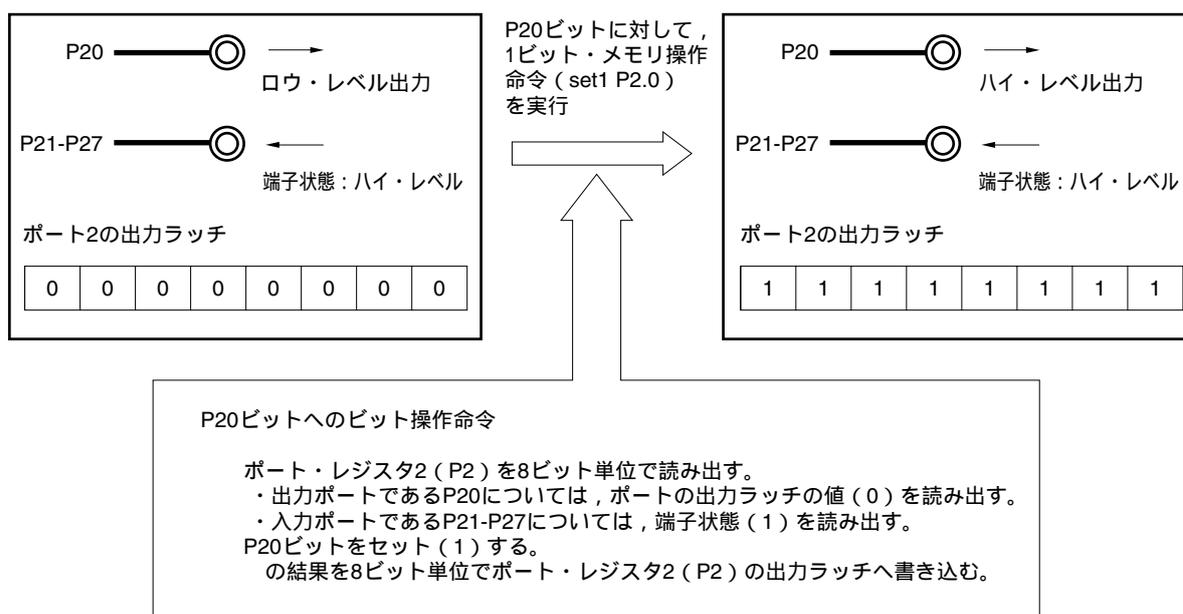
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP20は出力ラッチの値（0）を読み出し、入力ポートであるP21-P27は端子状態を読み出します。このときP21-P27の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4-36 1ビット・メモリ操作命令（P20の場合）



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 10$ MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 8$ MHz (TYP.) のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

また、OCD0B/EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EXCLK} = 2 \sim 10$ MHz) を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

注意 電力演算回路、 $\Delta\Sigma$ 型A/Dコンバータを動作させるためには、10 MHzのクロックが必要です。X1, X2端子に10 MHzの発振子または外部クロックを供給してください。

(2) サブシステム・クロック

・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振します。

また、EXCLKS/XT1端子から外部サブシステム・クロック ($f_{EXCLKS} = 32.768$ kHz) を供給することができます。

備考 f_x	: X1クロック発振周波数
f_{RH}	: 高速内蔵発振クロック周波数
f_{EXCLK}	: 外部メイン・システム・クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{EXCLKS}	: 外部サブシステム・クロック周波数

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・ 低速内蔵発振回路

$f_{RL} = 240\text{kHz}$ (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (カウント・クロックに f_{RL} 、 $f_{RL}/2^7$ または $f_{RL}/2^9$ を選択した場合)
- ・LCDコントローラ/ドライバ (LCDソース・クロックに $f_{RL}/2^3$ を選択した場合)

備考 f_{RL} : 低速内蔵発振クロック周波数

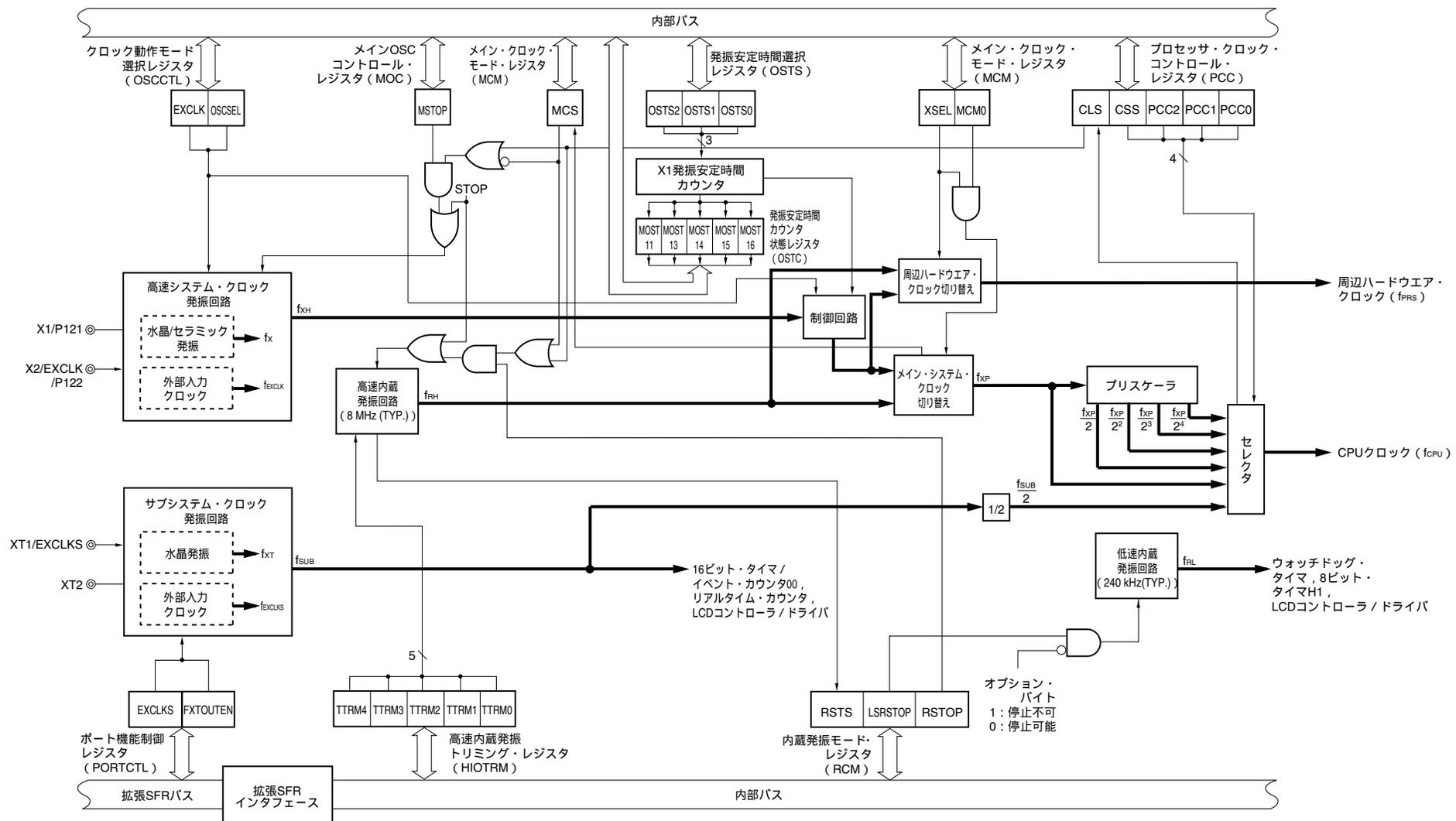
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) ポート機能制御レジスタ (PORTCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 高速内蔵発振トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XH}	: 高速システム・クロック周波数
	f_{XP}	: メイン・システム・クロック周波数
	f_{PRS}	: 周辺ハードウェア・クロック周波数
	f_{CPU}	: CPUクロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{EXCLKS}	: 外部サブシステム・クロック周波数
	f_{SUB}	: サブシステム・クロック周波数
	f_{RL}	: 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の9種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・ポート機能制御レジスタ (PORTCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・高速内蔵発振トリミング・レジスタ (HIOTRM)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モード、内蔵している発振器のゲインを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス : FF9FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSCCTL	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	0	0	0

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

注 EXCLKS, OSCSELSについては, (4) サブシステム・クロック端子の動作モードの設定方法を参照してください。

- 注意1. EXCLKとOSCSELを別の値に書き換える場合, メインOSCコントロール・レジスタ(MOC)のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効)であることを必ず確認してください。
2. ビット3-0には, 必ず0を設定してください。

備考 f_{XH} : 高速システム・クロック周波数

(2) ポート機能制御レジスタ (PORTCTL)

サブシステム・クロックの動作モードを制御するレジスタです。

PORTCTLは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図5-3 ポート機能制御レジスタ (PORTCTL) のフォーマット

アドレス : 91H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORTCTL	SUBSTAT	0	0	0	0	0	EXCLKS2	FXTOUTEN

SUBSTAT	サブシステム・クロックの発振安定状態フラグ
0	端子リセット状態
1	端子リセット解除後,サブシステム・クロック発振安定時間(2^{16} (2 sec@32.768 kHz)) 経過後, セットされます。

EXCLKS2	サブシステム・クロックの指定
0	発振子接続
1	外部クロック入力

FXTOUTEN	サブシステム・クロック発振回路からの出力許可 / 禁止の指定
0	サブシステム・クロック発振回路からの出力禁止
1	サブシステム・クロック発振回路からの出力許可

- 注意1.** EXCLKS2を別の値に書き換える場合, FXTOUTENおよびRTCC0レジスタのRTCEビットを0 (FXTOUTEN = 0, RTCE = 0) にしてから書き換えてください。
2. リセット解除後, 外部クロック入力モード (EXCLKS2 = 1) を設定したあとに, 発振子接続モード (EXCLKS2 = 0) を設定することはできません。
3. 発振子接続モードを選択した場合, 必ずサブシステム・クロック発振安定時間経過 (SUBSTAT = 1) 後に, FXTOUTEN = 1 (サブクロック発振許可) とRTCE = 1 (RTC動作許可) を設定してください。

(3) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比, サブシステム・クロックの動作モードを設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図5-4 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス: FFFBH リセット時: 01H RW^注

略号	7	6	5	4	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注 ビット5は, Read Onlyです。

注意1. ビット7, 6, 3には, 必ず0を設定してください。

2. PCCの分周比の設定では, 周辺ハードウェア・クロック (f_{PRS}) は分周されません。

備考1. f_{XP} : メイン・システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

78K0/Lx3-Mマイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって、CPUクロック (f_{CPU}) と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (f_{CPU})	最小命令実行時間: $2/f_{CPU}$		
	メイン・システム・クロック		サブシステム・クロック
	高速システム・クロック ^注	高速内蔵発振クロック ^注	
	10 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f_{XP}	$0.2 \mu s$	$0.25 \mu s$ (TYP.)	-
$f_{XP}/2$	$0.4 \mu s$	$0.5 \mu s$ (TYP.)	-
$f_{XP}/2^2$	$0.8 \mu s$	$1.0 \mu s$ (TYP.)	-
$f_{XP}/2^3$	$1.6 \mu s$	$2.0 \mu s$ (TYP.)	-
$f_{XP}/2^4$	$3.2 \mu s$	$4.0 \mu s$ (TYP.)	-
$f_{SUB}/2$	-	-	$122.1 \mu s$

注 CPUクロックに供給するメイン・システム・クロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5 - 7参照)。

(4) サブシステム・クロック端子の動作モードの設定方法

サブシステム・クロック端子の動作モードは、クロック動作モード選択レジスタ (OSCCTL) のビット5, 4 (EXCLKS, OSCSELS), およびポート機能制御レジスタ (PORTCTL) のビット1, 0 (EXCLKS2, FXTOUTEN) を組み合わせて設定します。

表5-3 サブシステム・クロック使用可否の設定

OSCCTL		サブシステム・クロック
ビット5	ビット4	
EXCLKS	OSCSELS	
0	0	使用不可 ^注
0	1	設定禁止
1	0	
1	1	使用可能

注 リアルタイム・カウンタのみ使用可能

注意 EXCLKS, OSCSELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (メイン・システム・クロックでCPU動作) であることを確認してください。

表5-4 サブシステム・クロック使用可否とサブシステム・クロック端子の動作モードの設定

PORTCTL		サブシステム・クロック	サブシステム・クロック端子の動作モード	XT1/EXCLKS端子	XT2端子
ビット1	ビット0				
EXCLKS2	FXTOUTEN				
0	0	使用不可 ^{注1}	XT1発振モード	水晶発振子接続	
0	1	使用可能			
1	0	使用不可 ^{注1}	外部クロック入力モード	外部クロック入力	注2
1	1	使用可能			

注1. リアルタイム・カウンタのみ使用可能

- XT1/EXCLKS端子を外部サブシステム・クロック入力として使用する場合は、XT2端子をオープンにしてください。

注意1. サブシステム・クロックを使用する場合は、OSCCTLレジスタのEXCLKS, OSCSELSビットと、PORTCTLレジスタのEXCLKS2, FXTOUTENビットを設定してください。

- サブシステム・クロックで動作中は、OSCCTLレジスタのEXCLKSビットと、PORTCTLレジスタのEXCLKS2, FXTOUTENビットを書き換えしないでください。

(5) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図5-5 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス：FFA0H リセット時：80H^{※1} RW^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

- ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。

(6) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-6 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSSEL) が0のとき (入出力ポート・モード)、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(7) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-7 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1	高速内蔵発振クロック (f _{RH})	高速システム・クロック (f _{XH})
1	0		
1	1	高速システム・クロック (f _{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後, 1回だけ設定が可能です。

2. CPUクロックがサブシステム・クロックで動作しているとき, MCM0を書き換えないください。
3. 次の周辺機能には, XSELとMCM0の設定によらず, f_{PRS}以外のクロックが供給されます。
 - ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
 - ・8ビット・タイマH1のカウンタ・クロックに「f_{RL}」, 「f_{RL}/2⁷」または「f_{RL}/2⁹」を選択時 (低速内蔵発振クロックで動作)
 - ・LCDコントローラ/ドライバのLCDソース・クロックに「f_{RL}/2³」を選択時 (低速内蔵発振クロックで動作)
 - ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし, TM00の外部カウンタ・クロック選択時 (TI000端子の有効エッジ) は除く)

(8) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

図5-8 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST 11	MOST 13	MOST 14	MOST 15	MOST 16	発振安定時間のステータス			
					$f_x = 2\text{MHz}$ 時	$f_x = 5\text{MHz}$ 時	$f_x = 10\text{MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	1.02 ms以上	409.6 μs 以上	204.8 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	4.10 ms以上	1.64 ms以上	819.2 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	8.19 ms以上	3.27 ms以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	16.38 ms以上	6.55 ms以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	32.77 ms以上	13.11 ms以上	6.55 ms以上

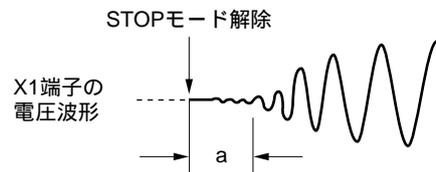
注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(9) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

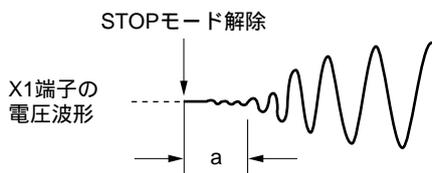
図5-9 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択		
				$f_x = 2\text{ MHz}$ 時	$f_x = 5\text{ MHz}$ 時	$f_x = 10\text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	1.02 ms	409.6 μs	204.8 μs
0	1	0	$2^{13}/f_x$	4.10 ms	1.64 ms	819.2 μs
0	1	1	$2^{14}/f_x$	8.19 ms	3.27 ms	1.64 ms
1	0	0	$2^{15}/f_x$	16.38 ms	6.55 ms	3.27 ms
1	0	1	$2^{16}/f_x$	32.77 ms	13.11 ms	6.55 ms
上記以外			設定禁止			

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
2. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
3. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
4. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含まれません。

備考 f_x : X1クロック発振周波数**(10) 高速内蔵発振トリミング・レジスタ (HIOTRM)**

高速内蔵発振器の精度補正をするレジスタです。

水晶振動子を用いたサブシステム・クロックや、高精度の外部クロック入力を用いたタイマ(リアルタイム・カウンタなど)を使用するなどして高速内蔵発振器の周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

注意 精度補正後に温度、 V_{DD} 端子電圧に変化があった場合、周波数は変動します。

また、HIOTRMレジスタに初期値(10H)以外を設定した場合は、その後の温度、 V_{DD} 電圧変動、またはHIOTRMレジスタの設定値によって高速内蔵発振クロックの発振精度が第33章 電気的特性に記載のMIN.値、MAX.値を越える可能性があります。温度、 V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前に、または定期的に補正を実行する必要があります。

図5 - 10 高速内蔵発振器トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : FF30H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	0	TTRM4	TTRM3	TTRM2	TTRM1	TTRM0

TTRM4	TTRM3	TTRM2	TTRM1	TTRM0	クロック補正值 (2.5 V V_{DD} 3.6 V)		
					MIN.	TYP.	MAX.
0	0	0	0	0	- 5.54%	- 4.88%	- 4.02%
0	0	0	0	1	- 5.28%	- 4.62%	- 3.76%
0	0	0	1	0	- 4.99%	- 4.33%	- 3.47%
0	0	0	1	1	- 4.69%	- 4.03%	- 3.17%
0	0	1	0	0	- 4.39%	- 3.73%	- 2.87%
0	0	1	0	1	- 4.09%	- 3.43%	- 2.57%
0	0	1	1	0	- 3.79%	- 3.13%	- 2.27%
0	0	1	1	1	- 3.49%	- 2.83%	- 1.97%
0	1	0	0	0	- 3.19%	- 2.53%	- 1.67%
0	1	0	0	1	- 2.88%	- 2.22%	- 1.36%
0	1	0	1	0	- 2.23%	- 1.91%	- 1.31%
0	1	0	1	1	- 1.92%	- 1.60%	- 1.28%
0	1	1	0	0	- 1.60%	- 1.28%	- 0.96%
0	1	1	0	1	- 1.28%	- 0.96%	- 0.64%
0	1	1	1	0	- 0.96%	- 0.64%	- 0.32%
0	1	1	1	1	- 0.64%	- 0.32%	±0%
1	0	0	0	0	±0% (デフォルト)		
1	0	0	0	1	±0%	+ 0.32%	+ 0.64%
1	0	0	1	0	+ 0.33%	+ 0.65%	+ 0.97%
1	0	0	1	1	+ 0.66%	+ 0.98%	+ 1.30%
1	0	1	0	0	+ 0.99%	+ 1.31%	+ 1.63%
1	0	1	0	1	+ 1.32%	+ 1.64%	+ 1.96%
1	0	1	1	0	+ 1.38%	+ 1.98%	+ 2.30%
1	0	1	1	1	+ 1.46%	+ 2.32%	+ 2.98%
1	1	0	0	0	+ 1.80%	+ 2.66%	+ 3.32%
1	1	0	0	1	+ 2.14%	+ 3.00%	+ 3.66%
1	1	0	1	0	+ 2.48%	+ 3.34%	+ 4.00%
1	1	0	1	1	+ 2.83%	+ 3.69%	+ 4.35%
1	1	1	0	0	+ 3.18%	+ 4.04%	+ 4.70%
1	1	1	0	1	+ 3.53%	+ 4.39%	+ 5.05%
1	1	1	1	0	+ 3.88%	+ 4.74%	+ 5.40%
1	1	1	1	1	+ 4.24%	+ 5.10%	+ 5.76%

注意 高速内蔵発振の周波数は、HIOTRMの値をある値より大きくすることにより速くなり、小さくすることにより遅くなります。大きくすることにより周波数が遅くなったり、小さくすることにより速くなるような逆転は起こりません。

5.4 システム・クロック発振回路

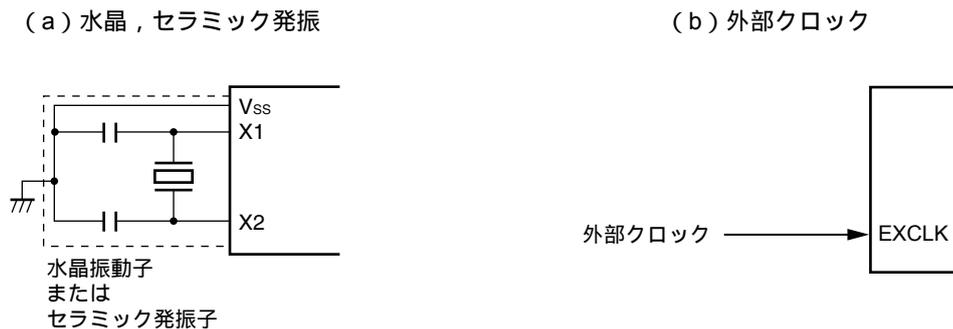
5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～10 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図5 - 11にX1発振回路の外付け回路例を示します。

図5 - 11 X1発振回路の外付け回路例（水晶，セラミック発振）



5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

図5 - 12にXT1発振回路の外付け回路例を示します。

図5 - 12 XT1発振回路の外付け回路例（水晶発振）



注意1．X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 11, 図5 - 12の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

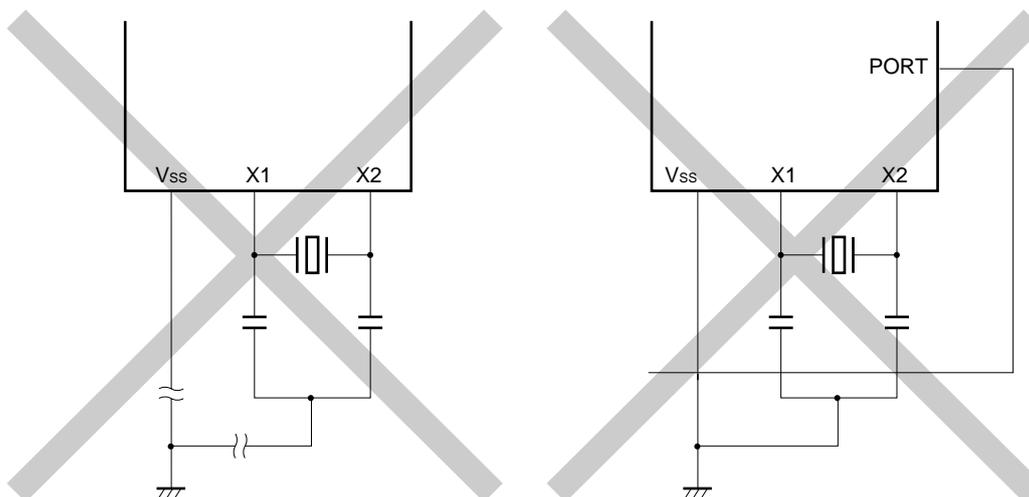
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図5 - 13に発振子の接続の悪い例を示します。

図5 - 13 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

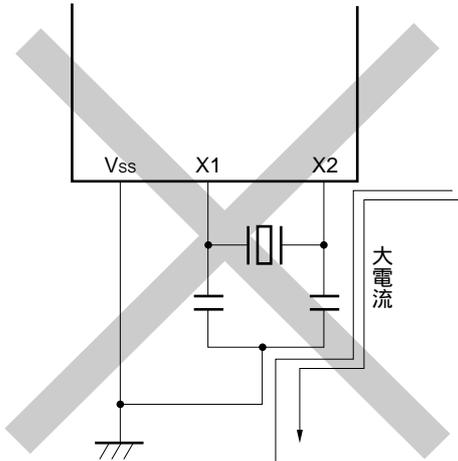
(b) 信号線が交差している



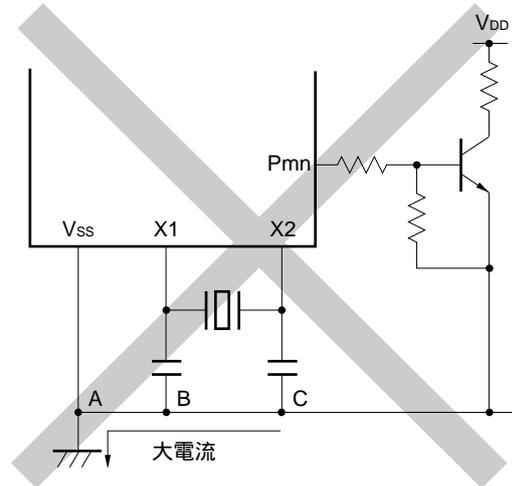
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-13 発振子の接続の悪い例 (2/2)

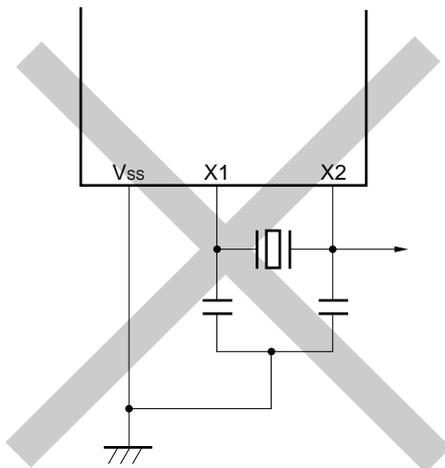
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意2 . X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

5.4.3 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作などのためにサブシステム・クロックを使用する必要のない場合,XT1端子は抵抗を介してV_{DD}またはV_{SS}に接続し,XT2端子はオープンにしてください。

5.4.4 高速内蔵発振回路

78K0/Lx3-Mマイクロコントローラは,高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ(RCM)にて発振を制御できます。

リセット解除後,高速内蔵発振回路は自動的に発振を開始します(8 MHz(TYP.))。

5.4.5 低速内蔵発振回路

78K0/Lx3-Mマイクロコントローラは,低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは,ウォッチドッグ・タイマ,8ビット・タイマH1,およびLCDコントローラ/ドライバのクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合,内蔵発振モード・レジスタ(RCM)にて発振を制御できます。

リセット解除後,低速内蔵発振回路は自動的に発振を開始し,オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は,ウォッチドッグ・タイマを駆動します(240 kHz(TYP.))。

5.4.6 プリスケーラ

プリスケーラは,CPUへの供給クロックにメイン・システム・クロックを選択する場合,メイン・システム・クロックを分周して,クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5-1を参照）。

メイン・システム・クロック f_{XP}
・高速システム・クロック f_{XH}
 X1クロック f_X
 外部メイン・システム・クロック f_{EXCLK}
・高速内蔵発振クロック f_{RH}
サブシステム・クロック f_{SUB}
・XT1クロック f_{XT}
・外部サブシステム・クロック f_{EXCLKS}
低速内蔵発振クロック f_{RL}
CPUクロック f_{CPU}
周辺ハードウェア・クロック f_{PRS}

78K0/Lx3-Mマイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

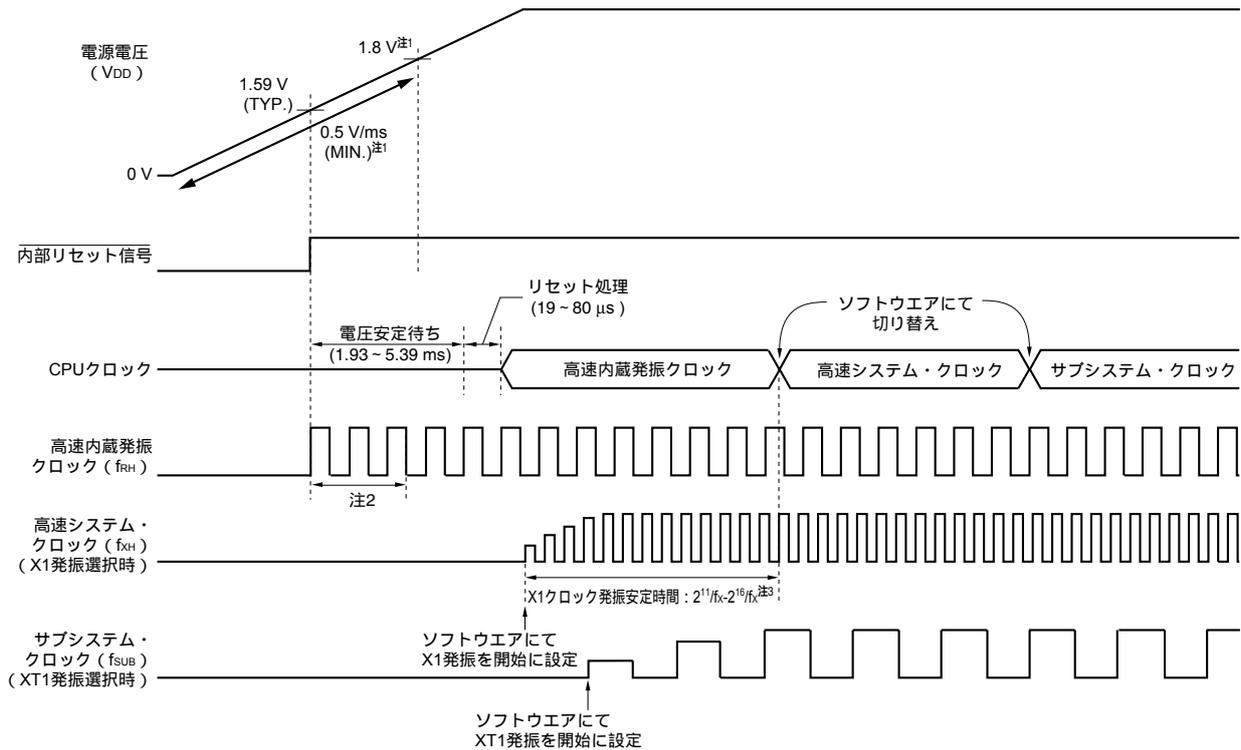
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5-14に示します。

図5 - 14 電源電圧投入時のクロック発生回路の動作
(1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源/レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1)、5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(3)を参照)。

注1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください(図5 - 15参照)。1.8 Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図5 - 14の以降と同様のタイミングで動作します。

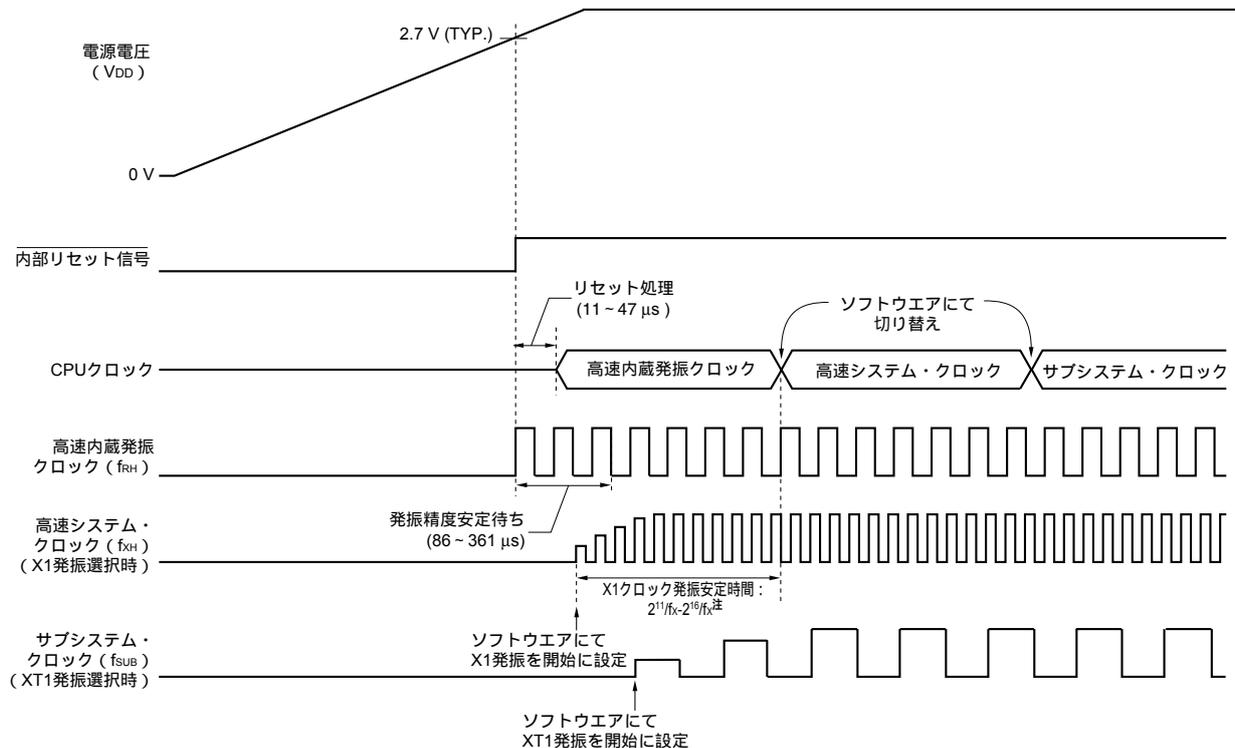
2. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

3. リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中，ソフトウェアの設定により，CPUクロックとして使用していないクロックを停止することができます。また，高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により，クロックを停止することができます（5.6.1 高速システム・クロックの制御例の(4)，5.6.2 高速内蔵発振クロックの制御例の(3)，5.6.3 サブシステム・クロックの制御例の(4)を参照）。

図5 - 15 電源電圧投入時のクロック発生回路の動作
(2.7 V/1.59V POCモード設定時 (オプション・バイト: POCMODE = 1))



電源投入後，パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が2.7 V (TYP.) を越えると，リセットが解除され，高速内蔵発振器が自動的に発振開始されます。

リセット解除後，リセット処理が行われたのちに，CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは，ソフトウェアにて発振開始を設定してください（5.6.1 高速システム・クロックの制御例の(1)，5.6.3 サブシステム・クロックの制御例の(1)を参照）。

CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウェアにて切り替えを設定してください（5.6.1 高速システム・クロックの制御例の(3)，5.6.3 サブシステム・クロックの制御例の(3)を参照）。

注 リセット解除時（上図）およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。またCPUクロックが高速システム・クロック（X1発振）の場合，STOPモード解除時の発振安定時間を，発振安定時間選択レジスタ（OSTS）で設定してください。

注意 1. 電源電圧が1.59 V (TYP.) に達したあと，1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が，1.93 ~ 5.39 ms以内の場合は，リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生し，リセット処理時間が19 ~ 80 μ sになります。

2. EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックは、STOP命令の実行によりクロックを停止することができます(5.6.1 高速システム・クロックの制御例の(4)、5.6.2 高速内蔵発振クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(4)を参照)。

5.5.1 電源電圧投入時の注意事項

78K0/Lx3-Mマイクロコントローラの電源電圧投入時の注意事項を次に示します。

電源投入は必ず、LVDD、VDD/AVDD、AVREFの順に行ってください。

その後、VDDが動作電圧に達したあとに、 $\overline{\text{RESET}}$ 端子にハイ・レベルを入力してください。

5.5.2 リセット解除後の注意事項

リセット解除後は、必ず次の設定を行ってください。

PM10 (PM1レジスタのビット0) を出力許可 (PM10 = 0) に設定し、クロック出力選択レジスタ (CKS) で出力クロックを選択してください。

PM47, PM46, PM17, PM16, PM14を出力許可 (PM47, PM46, PM17, PM16, PM14 = 0) に設定してください。

ブルダウン状態を解除 (PUTCTLレジスタに01Hを設定) してください。

注意 拡張SFRインタフェースでデータ送信中に内部リセットがかかった場合、拡張SFRに正常にデータが送信されない可能性があります。

5.5.3 VDD = 0 V検出時の注意事項

VDD = 0 V検出 (SAG検出, EXLVI検出) 時は、リアルタイム・カウンタ・モード・レジスタ (RTCMD) に必ず59Hを設定してください。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、OCD0A/X1/P121, OCD0B/X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 OCD0A/X1/P121, OCD0B/X2/EXCLK/P122端子のリセット解除時は、入出力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定、動作モードの選択 (OSCCTLレジスタ)

EXCLKを0, OSCSELを1に設定すると、ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶 / セラミック発振子接続	

X1クロックの発振制御 (MOCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. X1クロック動作中にEXCLK, OSCSELを書き換えしないでください

2. 電源電圧が、使用するクロックの動作可能電圧 (第33章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLK, OSCSELをそれぞれ1に設定すると, ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御 (MOCレジスタ)

MSTOPを0に設定すると, 外部メイン・システム・クロックの入力が有効になります。

- 注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えないでください。
2. 電源電圧が, 使用するクロックの動作可能電圧 (第33章 電気的特性を参照) に達してから, 外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5.6.1(1) X1クロックを発振する場合の設定手順例, または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合, の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると, メイン・システム・クロックと周辺ハードウェアに, 高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
1	1	高速システム・クロック (f_{XH})	高速システム・クロック (f_{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合, 周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

メイン・システム・クロックをCPUクロックに選択, 分周比の選択 (PCCレジスタ)

CSSを0に設定すると, CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は, PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	0	f_{XP}
	0	0	1	$f_{XP}/2$ (デフォルト)
	0	1	0	$f_{XP}/2^2$
	0	1	1	$f_{XP}/2^3$
	1	0	0	$f_{XP}/2^4$
	上記以外			設定禁止

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには, 次の2つの方法があります。

- ・ STOP命令を実行し, X1発振を停止する (外部クロックを使用している場合は, クロック入力無効)
- ・ MSTOPを1に設定し, X1発振を停止する (外部クロックを使用している場合は, クロック入力無効)

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては, 第25章 **スタンバイ機能**を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合, STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると, STOPモードに移行し, X1発振は停止します (外部クロック入力は無効になります)。

(b) MSTOPを1に設定し, X1発振を停止 (外部クロック入力を無効) する場合

CPUクロックのステータス (PCC, MCMレジスタ) を確認

CLSとMCSで, CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合, CPUに高速システム・クロックが供給されていますので, CPUクロックをサブシステム・クロックか, 高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速システム・クロックの停止 (MOCレジスタ)

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}**高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)**

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウエイトします^{注2}。

- 注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。
2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合**・高速内蔵発振クロックの発振を再開^注**

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振^注

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例、(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック、高速システム・クロック動作中の場合、 の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で、メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
0	0	高速内蔵発振クロック (f_{RH})	高速内蔵発振クロック (f_{RH})
0	1		
1	0		高速システム・クロック (f_{XH})

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると、CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は、PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	0	f_{XP}
	0	0	1	$f_{XP}/2$ (デフォルト)
	0	1	0	$f_{XP}/2^2$
	0	1	1	$f_{XP}/2^3$
	1	0	0	$f_{XP}/2^4$
	上記以外			設定禁止

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第25章 **スタンバイ機能**を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。STOPモード解除後、すぐにCPUを動作したい場合は、MCM0を0に設定し、CPUクロックを高速内蔵発振クロックに切り替え、RSTS = 1であることを確認します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。
CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

サブシステム・クロックは、次の水晶発振子接続があります。

- ・XT1クロック : XT1, XT2端子に水晶発振子接続
- ・外部サブシステム・クロック : EXCLKS端子に外部クロック入力

注意 CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) 外部サブシステム・クロックを使用する場合
- (3) サブシステム・クロックをCPUクロックとして使用する場合
- (4) サブシステム・クロックを停止する場合

(1) XT1クロックを発振する場合の設定手順例

XT1, XT2端子の設定、動作モードの選択 (PORTCTLレジスタ)

EXCLKS2, FXTOUTENを次のように設定すると、XT1発振モードとなります。

EXCLKS2	FXTOUTEN	サブシステム・クロック端子の動作モード	XT1/ EXCLKS端子	XT2端子
0	0	XT1発振モード	水晶 / セラミック発振子接続	
0	1			

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 サブシステム・クロック動作中にEXCLKS2, FXTOUTENを書き換えないでください。

(2) 外部サブシステム・クロックを使用する場合の設定手順例

XT1, XT2端子の設定, XT1クロック/外部クロックの選択, 発振制御 (PORTCTLレジスタ)

EXCLKS2, FXTOUTENを次のように設定すると、外部クロック入力モードとなります。この場合、EXCLKS/XT1端子に外部クロックを入力してください。

EXCLKS2	FXTOUTEN	サブシステム・クロック 端子の動作モード	XT1/ EXCLKS端子	XT2端子
1	0	外部クロック入力モード	外部クロック入力	注
1	1			

注 XT1/EXCLKS端子を外部サブシステム・クロック入力として使用する場合は、XT2端子をオープンにしてください。

注意 サブシステム・クロック動作中にEXCLKS2, FXTOUTENを書き換えないでください。

(3) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振[※]

(5.6.3(1) XT1クロックを発振する場合の設定手順例, (2) 外部サブシステム・クロックを使用する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、の設定不要です。

動作モードの設定 (OSCCTLレジスタ)

OSCCTLレジスタのEXCLKS, OSCSELSビットに1を設定します。

CPUクロックの切り替え (PCCレジスタ)

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	上記以外			設定禁止

(4) サブシステム・クロックの使用を停止する場合の設定手順例

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックか高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの使用停止 (OSCCTLレジスタ)

OSCSELSとEXCLKSを0に設定すると、サブシステム・クロックが使用できなくなります (リアルタイム・カウンタのみ使用可能)。なお、XT1の発振は停止しません。

- 注意1. OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで周辺ハードウェアが動作している場合は、周辺ハードウェアの動作を停止してください。
2. STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1（カウント・クロックに f_{RL} 、 $f_{RL}/2^7$ または $f_{RL}/2^9$ を選択した場合）
- ・LCDコントローラ/ドライバ（LCDソース・クロックに $f_{RL}/2^3$ を選択した場合）

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））

（1）低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

（2）低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定（RCMレジスタ）

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

5.6.5 CPUクロック，周辺ハードウェア・クロックへの供給クロック

CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表5 - 5 CPUクロック，周辺ハードウェア・クロックへの供給クロックとレジスタの設定

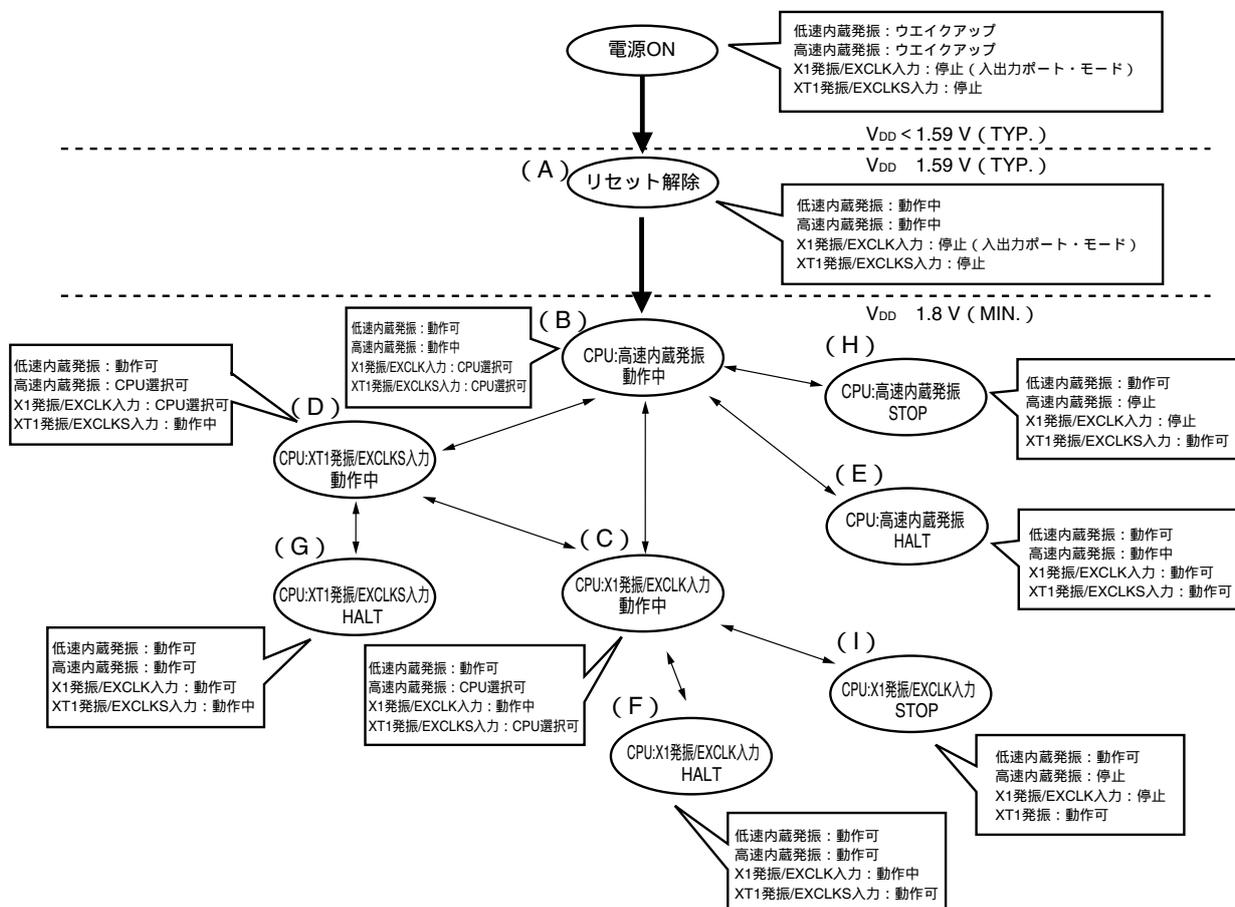
供給クロック		XSEL	CSS	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック				
高速内蔵発振クロック		0	0	x	x
高速内蔵発振クロック	X1クロック	1	0	0	0
	外部メイン・システム・クロック	1	0	0	1
X1クロック		1	0	1	0
外部メイン・システム・クロック		1	0	1	1
サブシステム・クロック	高速内蔵発振クロック	0	1	x	x
	X1クロック	1	1	0	0
		1	1	1	0
	外部メイン・システム・クロック	1	1	0	1
1		1	1	1	

- 備考1. XSEL :メイン・クロック・モード・レジスタ (MCM) のビット2
2. CSS :プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
3. MCM0 :MCMのビット0
4. EXCLK :クロック動作モード選択レジスタ (OSCCTL) のビット7
5. x : don't care

5.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 16に示します。

図5 - 16 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1) では, 電源投入後, 電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し, リセット処理 (11~47 μs (TYP.)) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 6に示します。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (1/4)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移		SFRレジスタの設定フラグ	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
(A)	(B) (C)	(X1クロック)	0	1	0	確認必要	1	1
(A)	(B) (C)	(外部メイン・システム・クロック)	1	1	0	確認不要	1	1

注意 設定するクロックの動作可能電圧 (第33章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移		SFRレジスタの設定フラグ	EXCLKS2	FXTOUTEN	EXCLKS	OSCSELS	発振安定待ち	CSS
(A)	(B) (D)	(XT1クロック)	0	1	1	1	必要	1
(A)	(B) (D)	(外部サブシステム・クロック)	1	1	1	1	不要	1

備考1. 表5 - 6の (A) - (I) は、図5 - 16の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSELS

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

EXCLKS2, FXTOUTEN : ポート機能制御レジスタ (PORTCTL) のビット1, 0

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
状態遷移 (B) (C) (X1クロック)	0	1	0	確認必要	1	1
(B) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1

設定済みの場合は不要
高速システム・クロック動作中の場合は不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第33章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLKS2	FXTOUTEN	EXCLKS	OSCSLS	発振安定待ち	CSS
状態遷移 (B) (D) (XT1クロック)	0	1	1	1	必要	1
(B) (D) (外部サブシステム・クロック)	1	1	1	1	不要	1

サブシステム・クロック動作中の場合は不要

備考1. 表5 - 6の (A) - (I) は、図5 - 16の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, EXCLKS, OSCSLS

: クロック動作モード選択レジスタ (OSCCTL) のビット7-4

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

EXCLKS2, FXTOUTEN : ポート機能制御レジスタ (PORTCTL) のビット1, 0

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0
状態遷移	(C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		EXCLKS2	FXTOUTEN	EXCLKS	OSCELS	発振安定待ち	CSS
状態遷移	(C) (D) (XT1クロック)	0	1	1	1	必要	1
	(C) (D) (外部サブシステム・クロック)	1	1	1	1	不要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0	CSS
状態遷移	(D) (B)	0	1を確認	0	0

高速内蔵発振クロック動作中の場合は不要

XSELが0の場合は不要

備考1. 表5 - 6の (A) - (I) は、図5 - 16の(A) - (I) と対応しています。

2. MCM0 : メイン・クロック・モード・レジスタ(MCM)のビット0
- EXCLKS, OSCELS : クロック動作モード選択レジスタ (OSCCTL) のビット5, 4
- RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0
- CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4
- EXCLKS2, FXTOUTEN : ポート機能制御レジスタ (PORTCTL) のビット1, 0

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (4/4)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0	CSS
(D) (C) (X1クロック)	0	1	0	確認必要	1	1	0
(D) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1	0

設定済みの場合は不要
高速システム・クロック動作中の場合は不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第33章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G)	HALT命令を実行する

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容	
(B) (H) (C) (I)	STOPモード中に動作できない周辺機能を停止する	STOP命令を実行する

備考1. 表5 - 6の (A) - (I) は、図5 - 16の(A) - (I) と対応しています。

2. EXCLK, OSCSEL : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6
 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
 XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

5.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-7 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	高速内蔵発振器停止可能 (RSTOP = 1)
	外部メイン・ システム・クロック	EXCLK端子からの外部クロック入 力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	
X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されているこ と ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・ システム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
高速内蔵発振 クロック	XT1クロック	XT1発振が安定していること (SUBSTAT = 1) ・EXCLKS2 = 0, FXTOUTEN = 1 ・EXCLKS = 1, OSCSELS = 1	高速内蔵発振器を停止 (RSTOP = 1) すると、動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・システ ム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
高速内蔵発振 クロック	外部サブシステ ム・クロック	EXCLKS端子からの外部クロック入 力を有効にすること ・EXCLKS2 = 1, FXTOUTEN = 1 ・EXCLKS = 1, OSCSELS = 1	高速内蔵発振器を停止 (RSTOP = 1) すると、動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・システ ム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
XT1クロック, 外部サブシステ ム・クロック	高速内蔵発振 クロック	高速内蔵発振器が発振され、メイ ン・システム・クロックに高速内蔵 発振クロックが選択されていること ・RSTOP = 0, MCS = 0	XT1発振停止または外部サブシステ ム・クロック入力を無効に設定可能 (OSCSELS = 0)
	X1クロック	X1発振が安定、かつメイン・システ ム・クロックに高速システム・クロ ックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・ システム・クロック	EXCLK端子からの外部クロックが 入力有効、かつメイン・システム・ クロックに高速システム・クロック が選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1 ・MCS = 1	

5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, PCCを書き換えた直後ではなく, PCCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-8参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, PCCのビット5 (CLS) で判定できます。

表5-8 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
0	0	0	0	16クロック				16クロック				16クロック				16クロック				2f _{XP} /f _{SUB} クロック							
0	0	1	0	8クロック				8クロック				8クロック				8クロック				f _{XP} /f _{SUB} クロック							
0	1	0	0	4クロック				4クロック				4クロック				4クロック				f _{XP} /2f _{SUB} クロック							
0	1	1	0	2クロック				2クロック				2クロック				2クロック				f _{XP} /4f _{SUB} クロック							
0	1	0	1	1クロック				1クロック				1クロック				1クロック				f _{XP} /8f _{SUB} クロック							
1	x	x	x	2クロック				2クロック				2クロック				2クロック				2クロック							

注意 メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に設定しないでください。

ただし, メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

備考1. 表5-8のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は, 小数点以下を切り上げてください。

例 CPUクロックをf_{XP}/2 f_{SUB}/2に切り替える場合 (f_{XP} = 10 MHz, f_{SUB} = 32.768 kHz発振時)

$$f_{XP}/f_{SUB} = 10000 / 32.768 = 305.1 \quad 306 \text{クロック}$$

また, メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により, メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は, MCM0を書き換えた直後ではなく, MCM0を変更したのち, 数クロックは切り替え前のクロックで動作します (表5-9参照)。

CPUクロックが高速内蔵発振クロックで動作しているか, 高速システム・クロックで動作しているかは, MCMのビット1 (MCS) で判定できます。

表5-9 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意1. 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

2. CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えないでください。

備考1. 表5-9のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。

2. 表5-9のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 8 \text{ MHz}$, $f_{XH} = 10 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \quad 2\text{クロック}$$

5.6.9 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-10 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0	OSCSELS = 0
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

5.6.10 周辺ハードウェアとソース・クロック

78K0/Lx3-Mマイクロコントローラに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

備考 製品により、内蔵している周辺ハードウェアが異なります。1.6 **ブロック図**、1.7 **機能概要**を参照してください。

表5-11 周辺ハードウェアとソース・クロック

ソース・クロック		周辺ハードウェア・クロック (f _{PRS})	サブシステム・クロック (f _{SUB})	低速内蔵発振クロック (f _{RL})	TM50出力	TM52出力	TMH1出力	周辺ハードウェアの端子からの外部クロック
16ビット・タイマ/イベント・カウンタ	00			×	×		×	(TI000端子) ^注
8ビット・タイマ/イベント・カウンタ	50		×	×	×	×	×	(TI50端子) ^注
	51		×	×	×	×		(TI51端子) ^注
	52		×	×	×	×	×	×
8ビット・タイマ	H0		×	×		×	×	×
	H1		×		×	×	×	×
	H2		×	×	×	×	×	×
リアルタイム・カウンタ		×		×	×	×	×	×
ウォッチドッグ・タイマ		×	×		×	×	×	×
ブザー出力			×	×	×	×	×	×
逐次比較型A/Dコンバータ			×	×	×	×	×	×
型A/Dコンバータ			×	×	×	×	×	×
シリアル・インタフェース	UART0		×	×		×	×	×
	UART6		×	×		×	×	×
	CSI10		×	×	×	×	×	(SCK10端子) ^注
拡張SFRインタフェース			×	×	×	×	×	×
LCDコントローラ/ドライバ					×	×	×	×
電力演算回路			×	×	×	×	×	×
電力品質測定回路			×	×	×	×	×	×
デジタル周波数変換回路			×	×	×	×	×	×

注 CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

備考 : 選択可能, × : 選択不可

第6章 16ビット・タイマ/イベント・カウンタ00

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。
16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

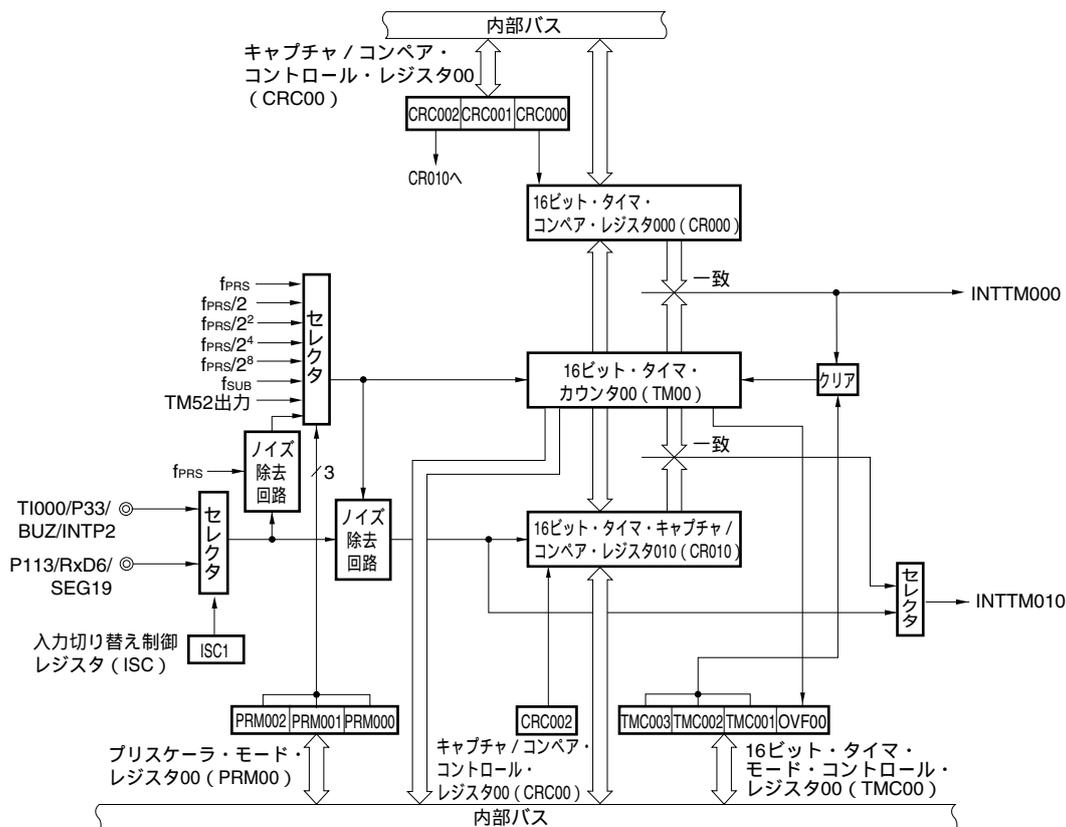
16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタ00の構成

項 目	構 成
タイマ/カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・コンペア・レジスタ000 (CR000) 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)
タイマ入力	TI000端子
タイマ出力	出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC00) キャプチャ/コンペア・コントロール・レジスタ0 (CRC00) プリスケアラ・モード・レジスタ00 (PRM00) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

図6 - 1にブロック図を示します。

図6 - 1 16ビット・タイマ/イベント・カウンタ00のブロック図



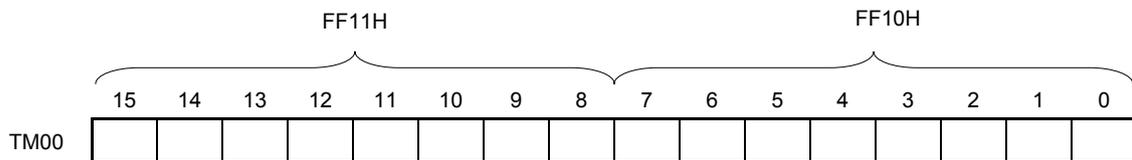
- 注意1. 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット3, 2(TMC003, TMC002) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
2. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC003, TMC002ビット = 00にしてから、設定を変更してください。
- なお、一度キャプチャした値は、リセットしないかぎりCR000に格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

(1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス：FF10H, FF11H リセット時：0000H R



TM00を16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00以外のときにリードすることにより、カウント値をリードできます。TMC003, TMC002 = 00の状態では、0000Hがリードされます。

次の場合、カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC003, TMC002をクリア (00) したとき
- ・TI000端子の有効エッジ入力でクリア&スタート・モード時、TI000端子に有効エッジが入力されたとき
- ・TM00とCR000の一致でクリア&スタート・モード時、TM00とCR000が一致したとき

注意 TM00をリードしても、CR010にはキャプチャしません。

(2) 16ビット・タイマ・コンペア・レジスタ000 (CR000),

16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

CRC000は、コンペア機能のみ使用できる16ビットのレジスタです。

CRC010は、キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC00で行います。

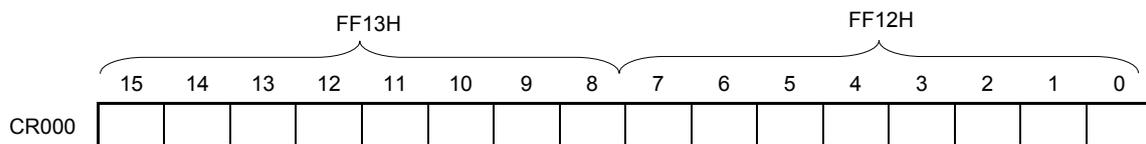
CR000はタイマ停止中 (TMC003, TMC002 = 00) に書き換えを行ってください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-3 16ビット・タイマ・コンペア・レジスタ000 (CR000) のフォーマット

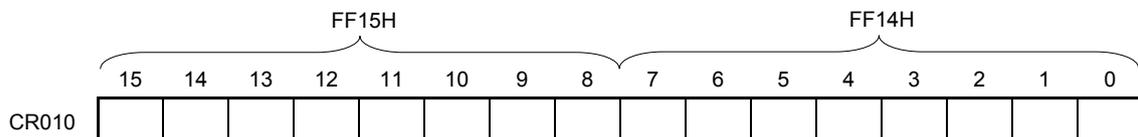
アドレス : FF12H, FF13H リセット時 : 0000H R/W



CR000に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM000) を発生します。書き換えられるまで値を保持します。

図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット

アドレス : FF14H, FF15H リセット時 : 0000H R/W



(i) CR010をコンペア・レジスタとして使用するとき

CR010に設定した値とTM00のカウンタ値を常に比較し、一致したときに割り込み信号 (INTTM010) を発生します。

注意 コンペア・モードに設定したCR010はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウンタ値をCR010にキャプチャします。

キャプチャ・トリガとして、TI000端子の有効エッジの選択ができます。TI000端子の有効エッジは、PRM00で設定します。

(iii) CR000, CR010をコンペア・レジスタとして使用した場合の設定範囲

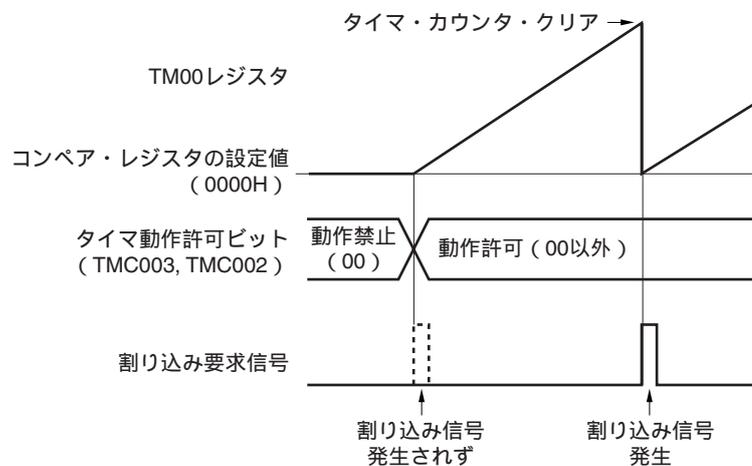
CR000, CR010をコンペア・レジスタとして使用するときには、次の範囲で値を設定してください。

動作	CR000の設定範囲	CR010の設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H ^注 M FFFFH 通常、使用しません。一致割り込み信号 (INTTM010) をマスクしてください。
外部イベント・カウンタとしての動作		
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H ^注 N FFFFH	0000H ^注 M FFFFH
フリー・ランニング・タイマとしての動作		

注 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。

0000Hに設定した場合、最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM00レジスタ) が0000Hから0001Hになるタイミングで発生します。

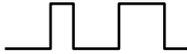
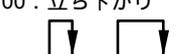
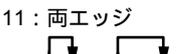
- ・ オーバフローによるタイマ・カウンタ・クリア時
- ・ TI000端子の有効エッジによるタイマ・カウンタ・クリア時
(TI000端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・ コンペア一致によるタイマ・カウンタ・クリア時
(TM00とCR000の一致でクリア&スタート・モード (CR000 = 0000H以外, CR010 = 0000H) のとき)



備考1. N : CR000の設定値, M : CR010の設定値

2. TMC003, TMC002については、6.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ 00 (TMC00) を参照してください。

表6-2 CR010のキャプチャ動作

外部入力信号	TI000端子入力 	
キャプチャ動作		
CR010のキャプチャ動作	TI000端子入力 ^注	ES001, ES000の設定値 キャプチャするエッジの位置
		01: 立ち上がり 
		00: 立ち下がり 
		11: 両エッジ 
割り込み信号	キャプチャするごとに INTTM010信号が発生	

注 CR010のキャプチャ動作には、CRC001ビットの設定による影響はありません。

注意 TI000端子入力の逆相でTM00レジスタのカウンタ値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。

備考 CRC001 : 6.3(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 参照

ES101, ES100, ES001, ES000 : 6.3(3) プリスケアラ・モード・レジスタ00 (PRM00) 参照

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC00は、16ビット・タイマ/イベント・カウンタ00の動作モード、TM00のクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

TMC00は、動作中 (TMC003, TMC002 = 00以外) の書き換えは禁止です。

ただし、TMC003, TMC002を00 (動作停止) に設定する場合と、OVF00に0を設定する場合は、書き換え可能です。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ/イベント・カウンタ00は、TMC003, TMC002に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC003, TMC002に00を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	0	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

OVF00	TM00のオーバーフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバーフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC00は、CR000, CR010の動作を制御するレジスタです。

CRC00は、動作中 (TMC003, TMC002 = 00以外するとき) の書き換えは禁止です。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

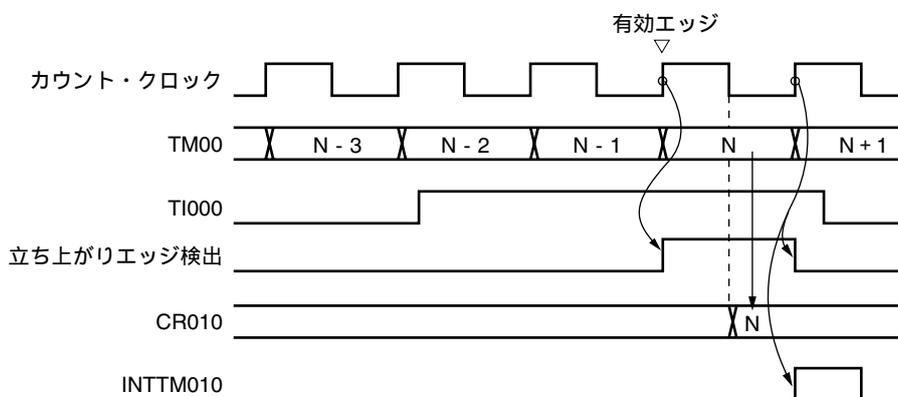
アドレス：FFBCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	0	0

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意 キャプチャを確実にを行うためのキャプチャ・トリガには、プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図6-7 CR010のキャプチャ動作例 (立ち上がりエッジ指定時)



(3) プリスケアラ・モード・レジスタ00 (PRM00)

PRM00は、TM00のカウンタ・クロック、およびTI000端子入力の有効エッジを設定するレジスタです。

PRM00は、動作中 (TMC003, TMC002ビット = 00以外のとき) の書き換えは禁止です。

PRM00 は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM001, PRM000ビット = 11 (カウンタ・クロックをTI000端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI000端子の有効エッジでクリア&スタート・モード
- ・ TI000端子をキャプチャ・トリガに設定

2. リセット後、TI000端子がハイ・レベルの状態、TI000端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

図6-8 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	0	0	ES001	ES000	0	PRM002	PRM001	PRM000

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM002	PRM001	PRM000		カウント・クロックの選択 ^{注1}		
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	f _{PRS} /2 ⁴	1.25 MHz	2.5 MHz	625 kHz
1	0	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	0	1	f _{SUB}	32.768 kHz		
1	1	0	TI000有効エッジ ^{注3, 4}			
1	1	1	TM52の出力			

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- ・ V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz
- ・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、PRM002 = PRM001 = PRM000 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。
3. TI000端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。
4. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI000端子からの外部クロックでタイマ動作を開始させないでください。

注意 パルス幅測定時には、カウント・クロックとしてTI000有効エッジを選択しないでください。

備考1. PRM002, PRM001, PRM000 = 1, 1, 1 にすることにより、TM00のカウント・クロックとして8ビット・タイマ/イベント・カウンタ (TM52) の出力を選択することが可能です。TM52のカウント・クロックとコンペア・レジスタの設定値により、16ビット・タイマ (TM00) のカウント・クロックとして任意の周波数を設定することができます。

2. f_{PRS} : 周辺ハードウェア・クロック周波数
f_{SUB} : サブシステム・クロック周波数

(4) 入力切り替え制御レジスタ (ISC)

ISC1に0を設定することで、TI000への入力ソースはP33/TI000端子からの入力信号となります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 9 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス：FF4FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	0	ISC1	ISC0

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P113)

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P113)

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P33/TI000/BUZ/INTP2端子をタイマ入力として使用するとき、PM33に1を設定してください。このときP33の出力ラッチは、0または1のどちらでもかまいません。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図6 - 10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、一致割り込み信号 (INTTM000) を発生します。この一定間隔で発生するINTTM000信号により、インターバル・タイマとして動作します。

- 備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ3 (PM3) を参照してください。
2. INTTM000信号の割り込み許可については、第20章 割り込み機能を参照してください。

図6 - 11 インターバル・タイマ動作のブロック図

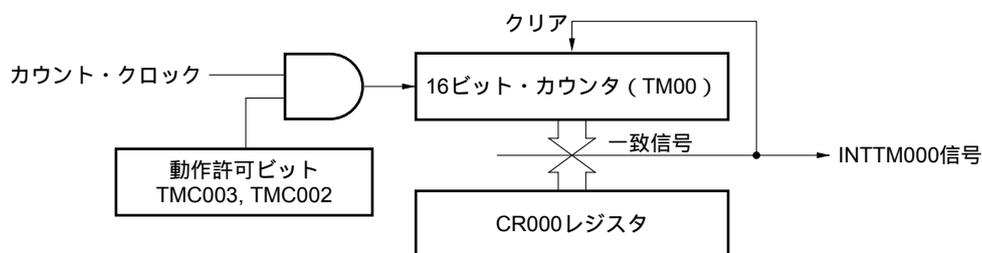


図6 - 12 インターバル・タイマ動作の基本タイミング例

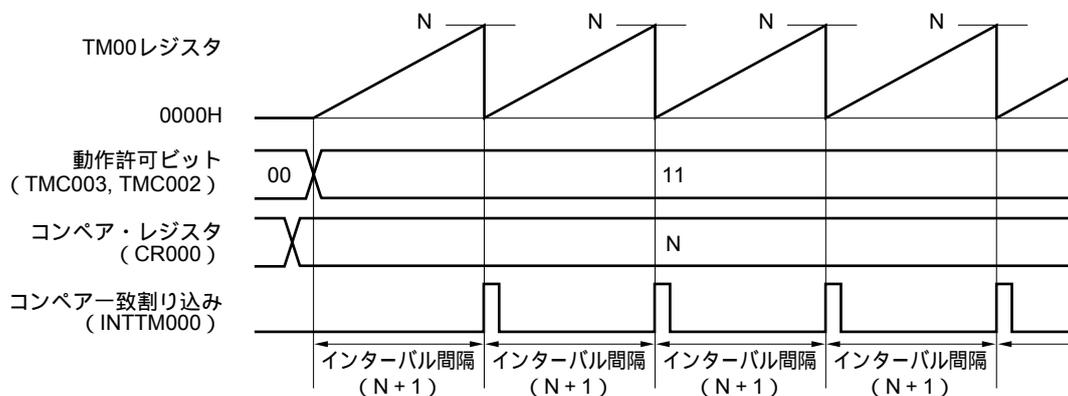
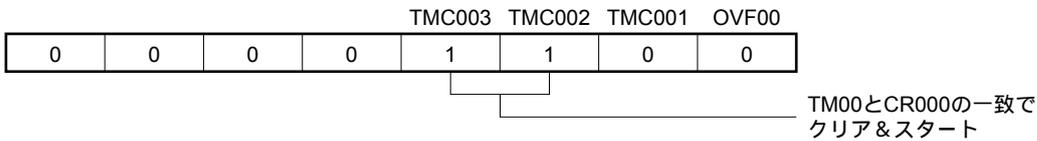
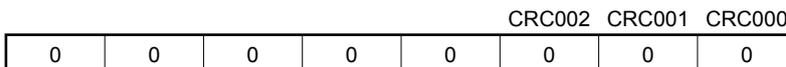


図6 - 13 インターバル・タイマ動作時のレジスタ設定内容例

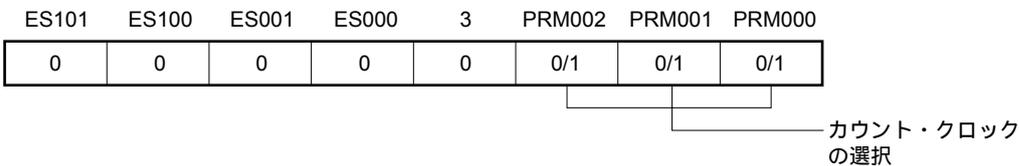
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)



(d) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(e) 16ビット・コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

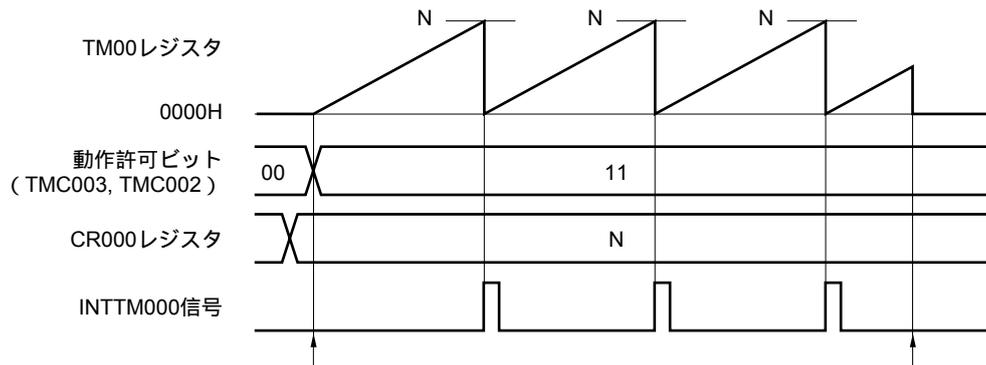
CR000への0000Hの設定は禁止です。

(f) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

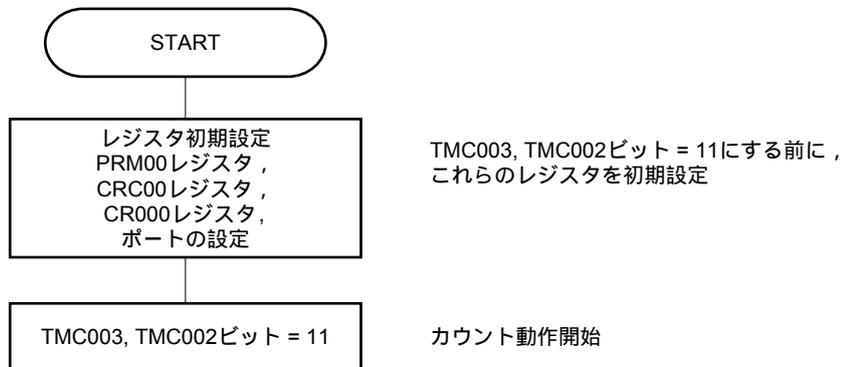
インターバル・タイマ機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

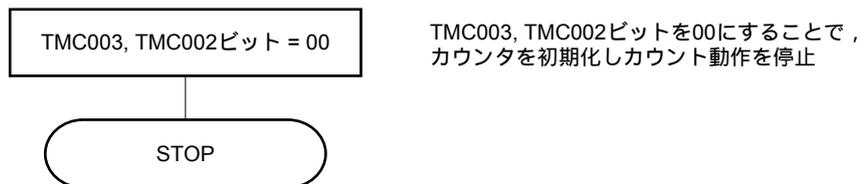
図6 - 14 インターバル・タイマ機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.2 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ00 (PRM00) のビット1, 0 (PRM001, PRM000) = 11 (TI000端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM00とCR000との一致割り込み信号 (INTTM000) を発生します。

外部イベント入力の端子にはTI000端子を使用します。したがって, TI000有効エッジ入力によるクリア&スタート・モード (TMC003, TMC002 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM000信号は, 次のタイミングごとに発生します。

・ INTTM000信号発生タイミング (2回目以降)

= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

・ INTTM000信号発生タイミング (初回のみ)

= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 2)

有効エッジは, TI000端子入力信号を f_{PRS} のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

備考1. 入出力端子の設定については6.3(5) **ポート・モード・レジスタ3 (PM3)**を参照してください。

2. INTTM000信号の割り込み許可については, **第20章 割り込み機能**を参照してください。

図6 - 15 外部イベント・カウンタとしての動作のブロック図

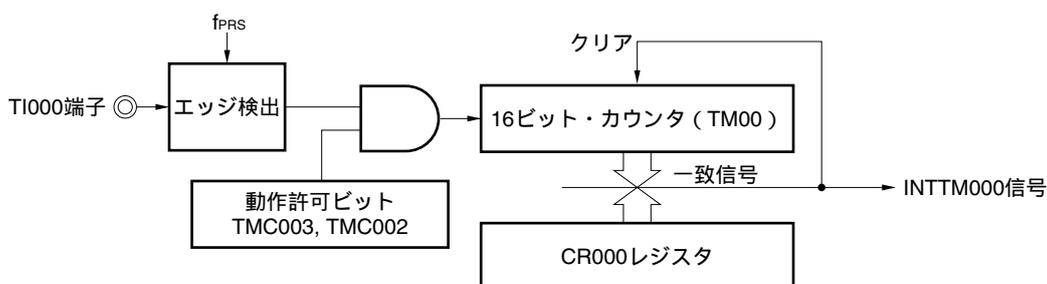
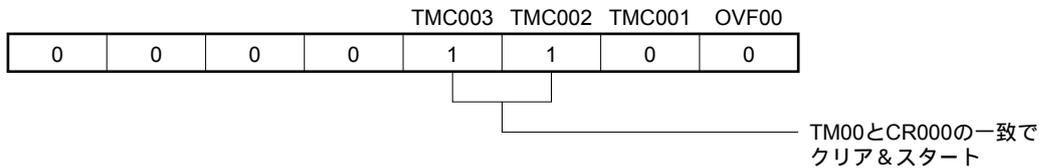
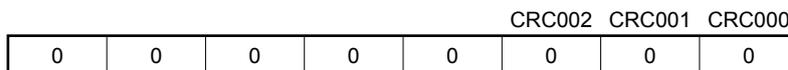


図6-16 外部イベント・カウンタ・モード時のレジスタ設定内容例

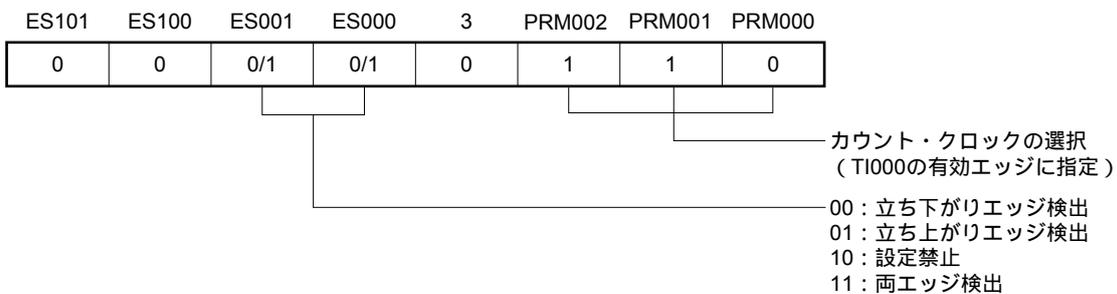
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) プリスケーラ・モード・レジスタ00 (PRM00)



(d) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(e) 16ビット・コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、外部イベントがM+1回入力されると、割り込み信号 (INTTM000) が発生します。

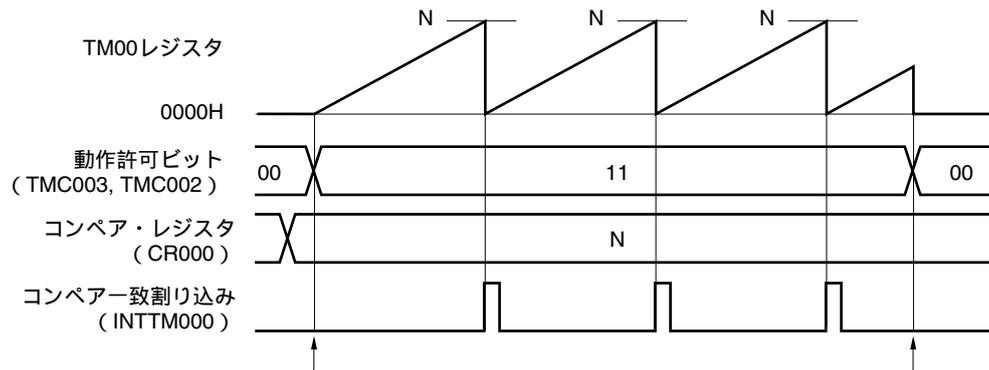
CR000への0000Hの設定は禁止です。

(f) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

外部イベント・カウンタ・モード動作時では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

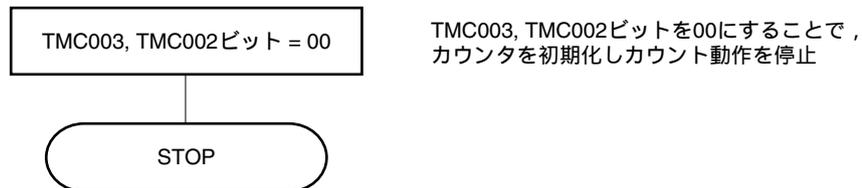
図6 - 17 外部イベント・カウンタ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.3 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 10 (TI000端子の有効エッジ入力によるクリア&スタート・モード) に設定し, カウント・クロック (PRM00にて設定) を供給すると, TM00がカウント・アップを開始します。カウント動作中にTI000端子の有効エッジを検出すると, TM00を0000Hにクリアして, 再度カウント・アップします。TI000端子の有効エッジがない場合, TM00はオーバフローして, カウントを続けます。

TI000端子の有効エッジは, TM00のクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR000は, コンペア・レジスタとしてのみ使用できます。

CR010は, コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

・CR000, CR010をコンペア・レジスタとして使用した場合

TM00とCR000, CR010の一致でINTTM000, INTTM010信号が発生します。

注意 カウント・クロックをTI000端子の有効エッジ (PRM002, PRM001, PRM000 = 110) に設定しないでください。PRM002, PRM001, PRM000 = 110に設定すると, TM00がクリアされてしまいます。

備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ3 (PM3) を参照してください。

2. INTTM000信号の割り込み許可については, 第20章 割り込み機能を参照してください。

(1) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 18 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

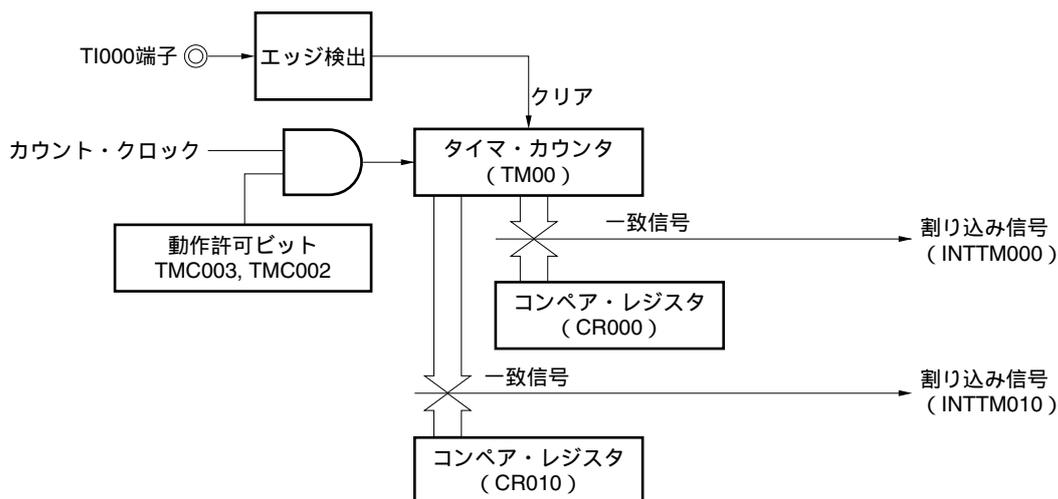
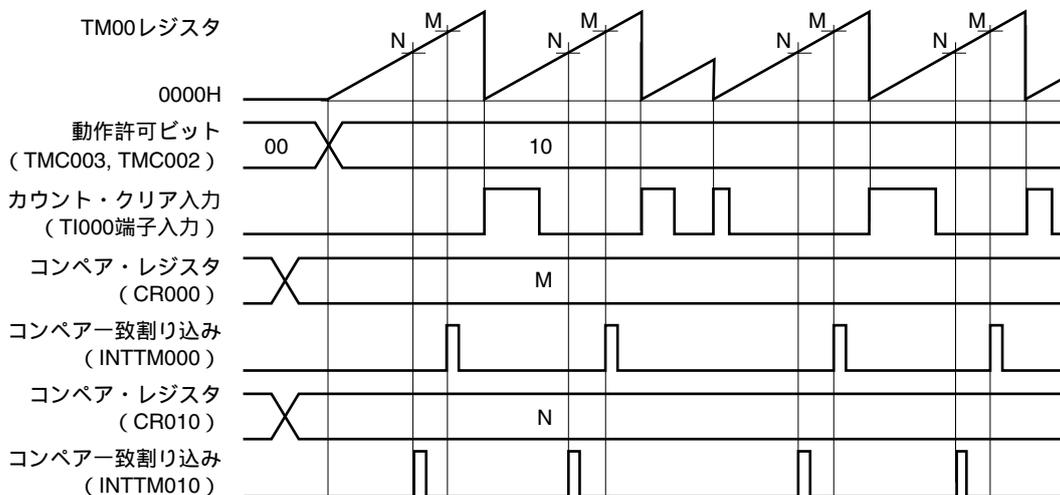


図6 - 19 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

・ PRM00 = 10H, CRC00 = 00H, TMC00 = 08H



(2) TI000端子の有効エッジ入力によるクリア&スタート・モード動作
 (CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 20 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

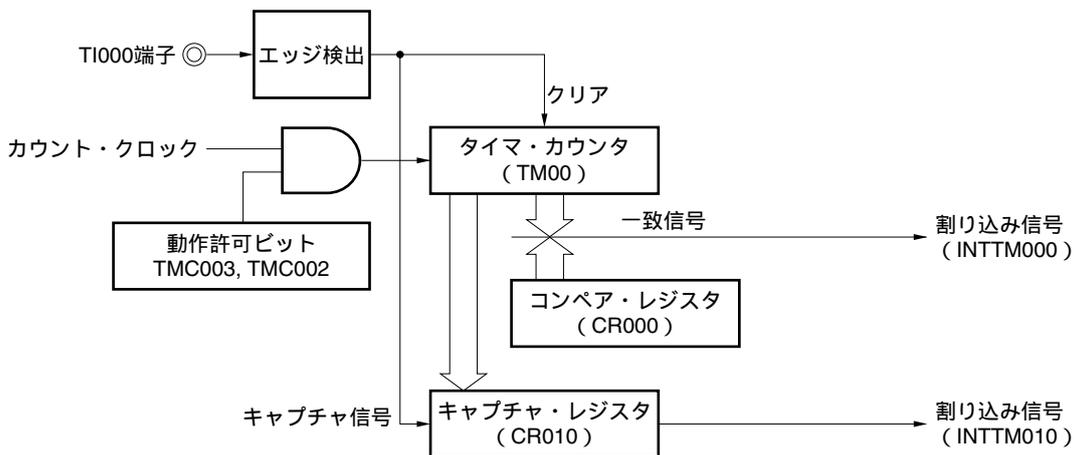


図6 - 21 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

・ PRM00 = 10H, CRC00 = 04H, TMC00 = 08H, CR000 = 0001H

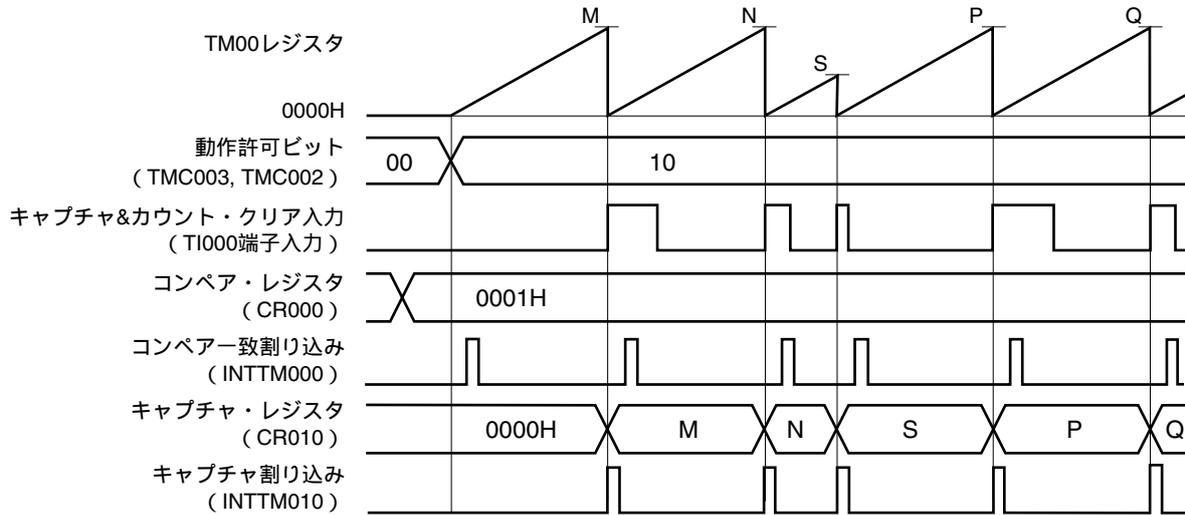


図6-22 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC003				TMC002		TMC001		OVF00	
0	0	0	0	1	0	0	0	0	0

TI000端子の有効エッジ入力
によるクリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC002					CRC001		CRC000	
0	0	0	0	0	0/1	0	0	0

0 : CR010をコンペア・
レジスタにする
1 : CR010をキャプチャ・
レジスタにする

(c) プリスケーラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0	0	0/1	0/1	0	0/1	0/1	0/1

カウント・クロックの選択
(TI000の有効エッジは設定禁止)

00 : 立ち下がりエッジ検出
01 : 立ち上がりエッジ検出
10 : 設定禁止
11 : 両エッジ検出
(CRC001 = 1時は設定禁止)

(d) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(e) 16ビット・コンペア・レジスタ000 (CR000)

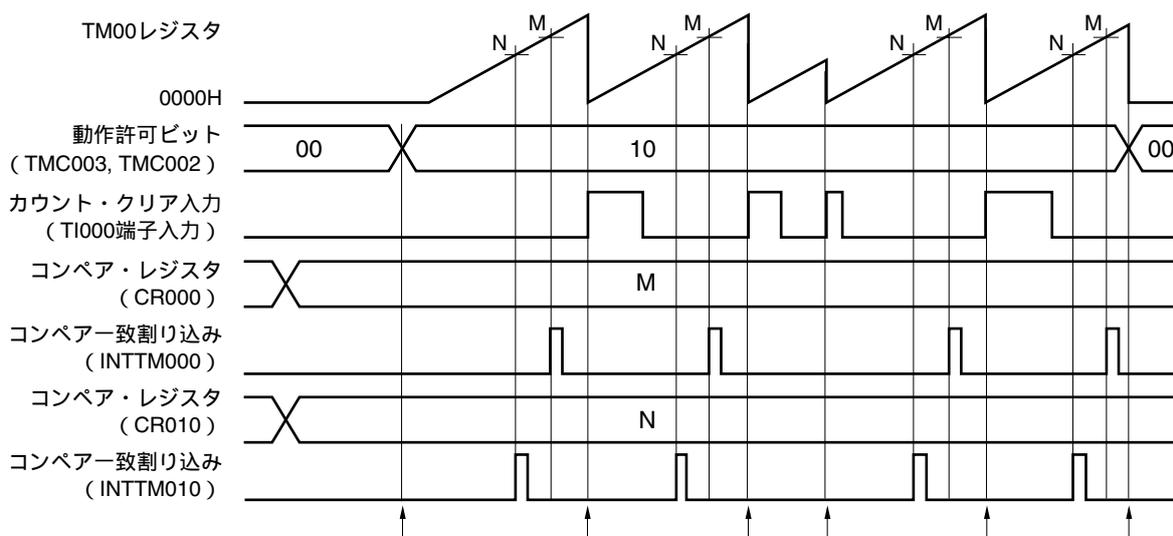
TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウンタ値はクリアされません。

(f) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

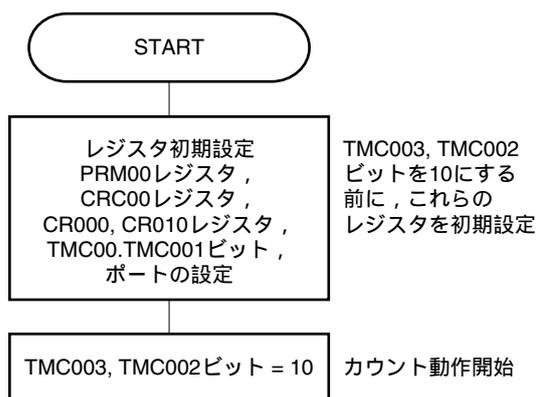
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウンタ値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウンタ値をCR010に格納します。

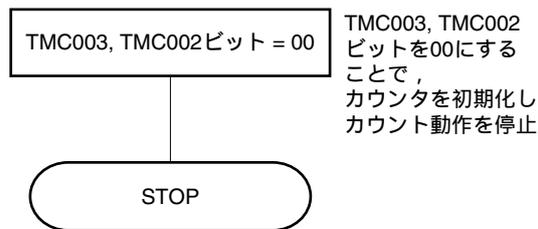
図6-23 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



TM00レジスタ・クリア&スタート・フロー



6.4.4 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバーフロー・フラグ (OVF00) がセット (1) されるとともに、TM00をクリア (0000H) し、カウント動作を継続します。OVF00は、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の2種類があります。

- ・ CR000, CR010を両方ともコンペア・レジスタとして使用
- ・ CR000, CR010の一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用

備考1. 入出力端子の設定については6.3(5) ポート・モード・レジスタ3 (PM3) を参照してください。

2. INTTM000信号の割り込み許可については、第20章 割り込み機能を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6-24 フリー・ランニング・タイマ・モードのブロック図
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

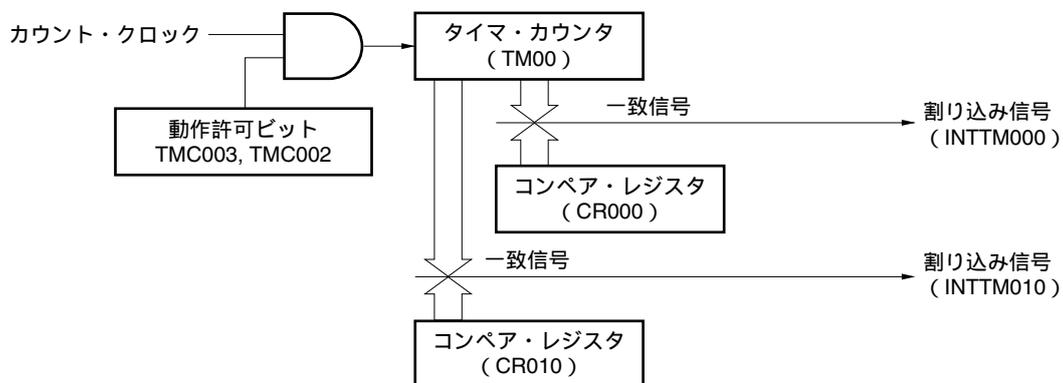
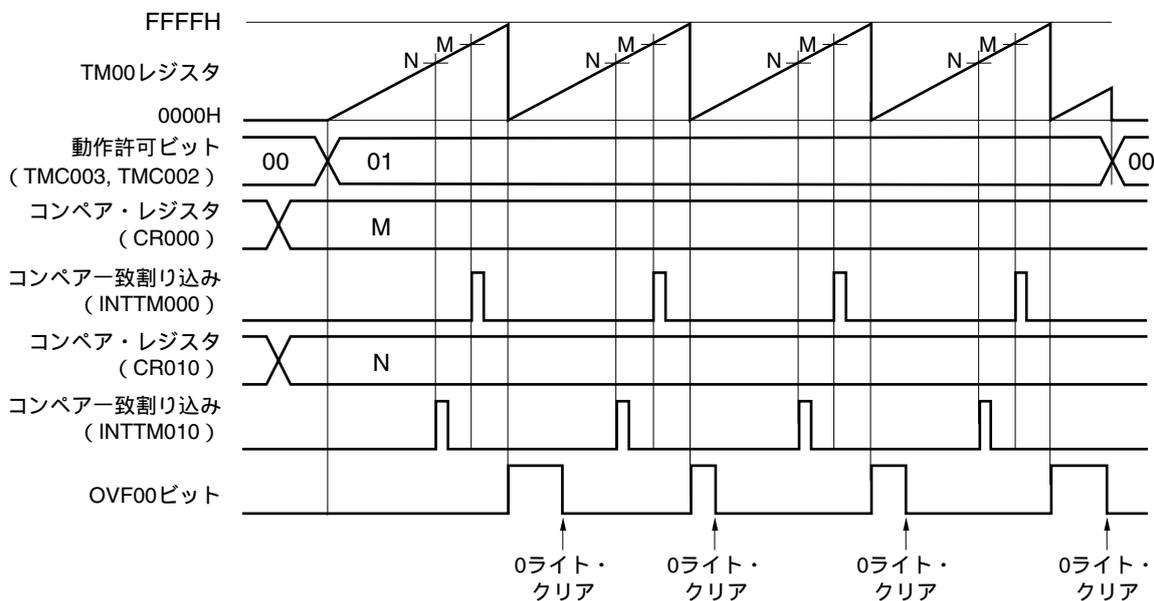


図6 - 25 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

・ PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。

(2) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : キャプチャ・レジスタ設定時)

図6 - 26 フリー・ランニング・タイマ・モードのブロック図
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

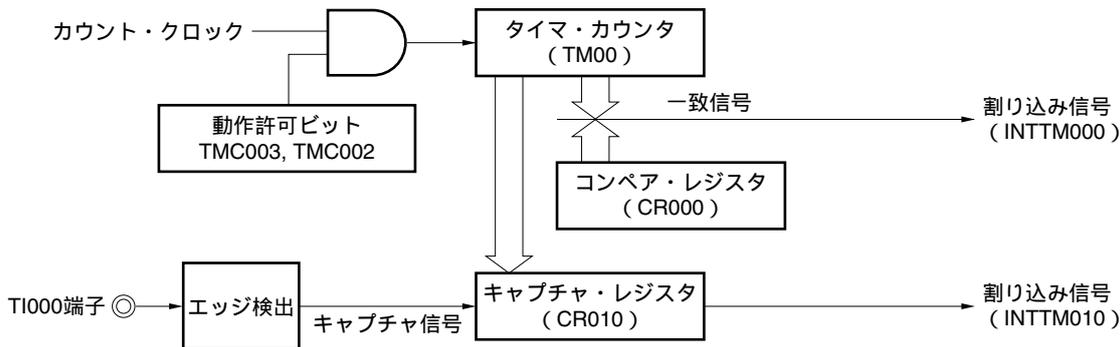
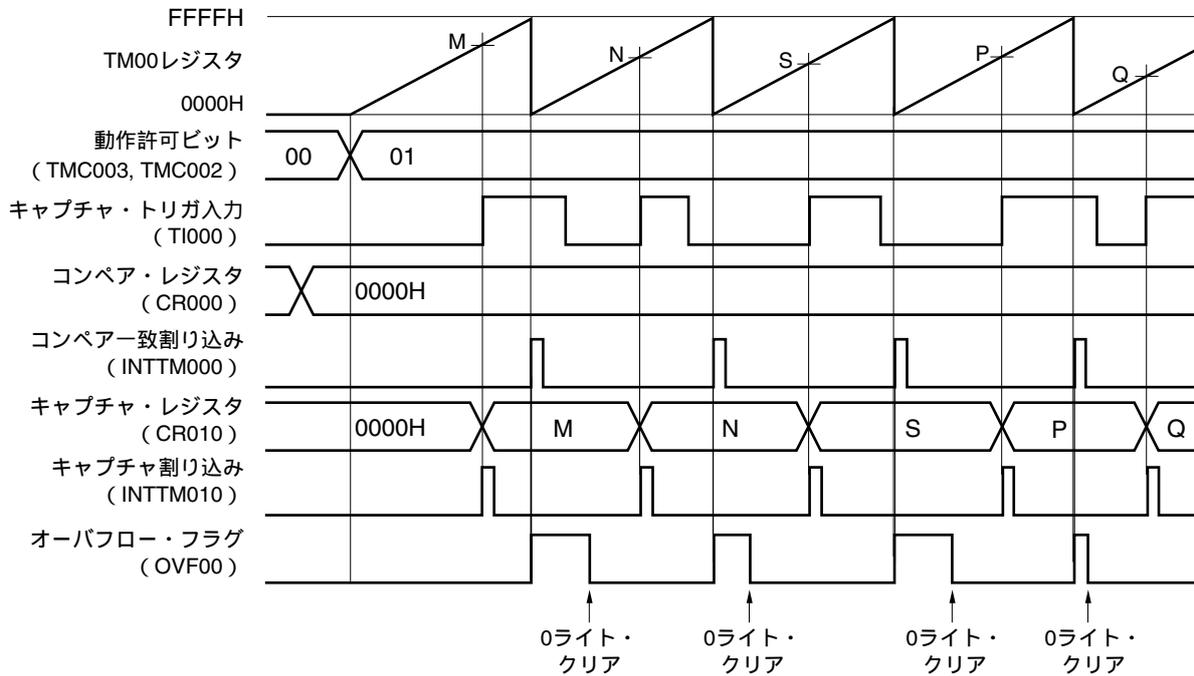


図6-27 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

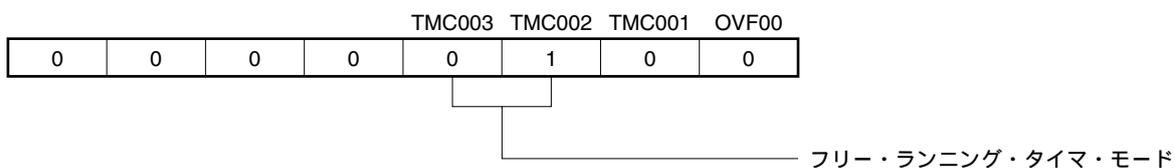
・ PRM00 = 10H, CRC00 = 04H, TMC00 = 04H



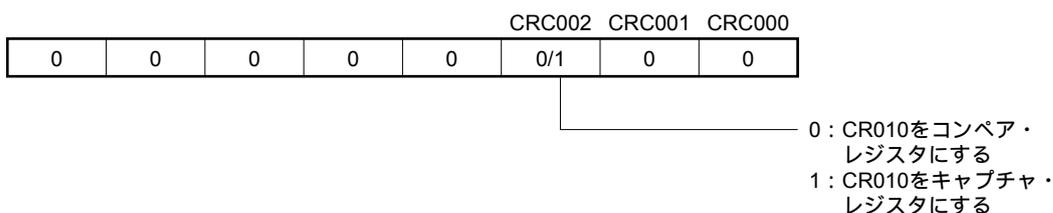
フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

図6-28 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例

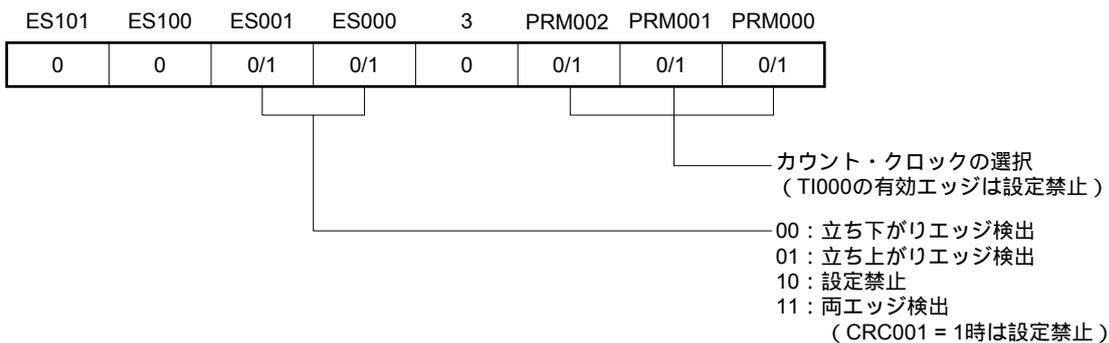
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) プリスケアラ・モード・レジスタ00 (PRM00)



(d) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(e) 16ビット・コンペア・レジスタ000 (CR000)

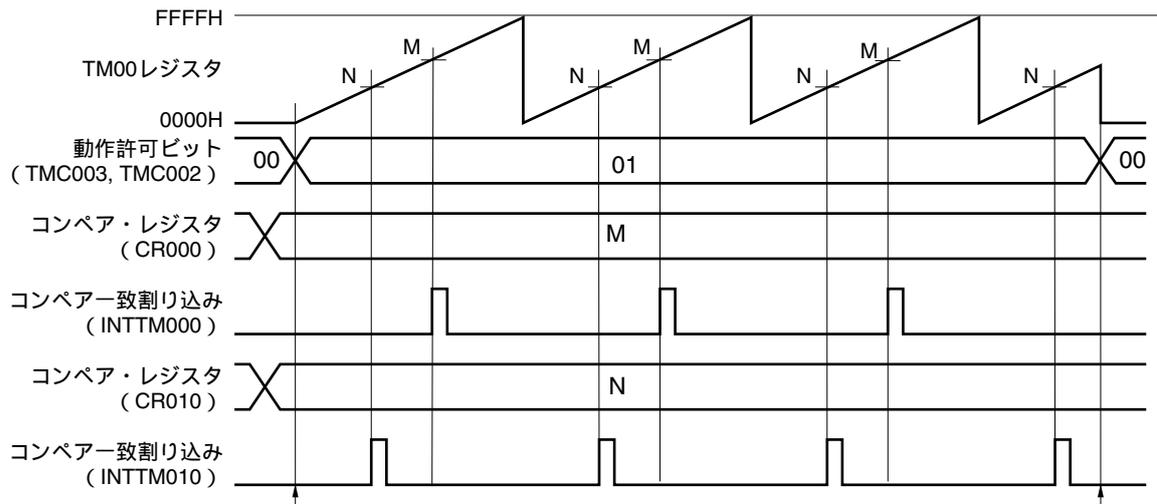
TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウンタ値はクリアされません。

(f) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

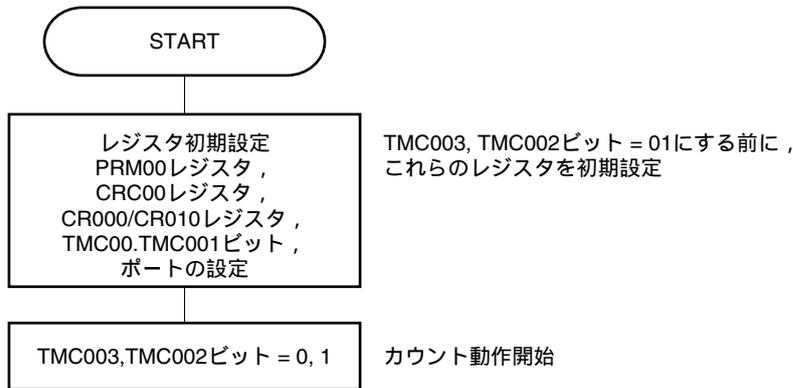
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウンタ値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウンタ値をCR010に格納します。

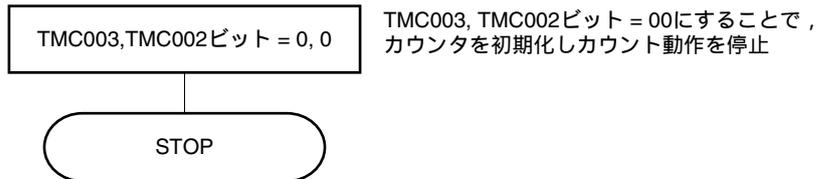
図6-29 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.5 パルス幅測定としての動作

TM00を使用し、TI000端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ00をフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図6 - 30 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

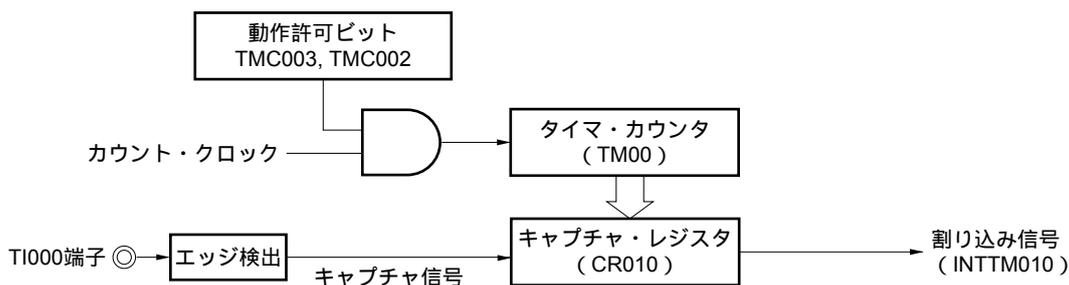
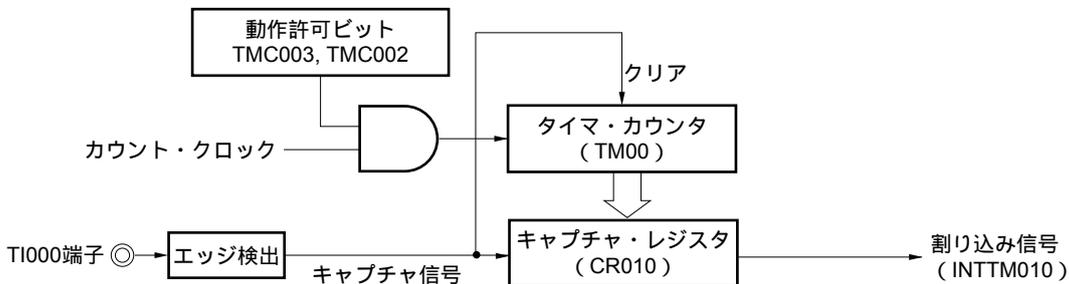


図6 - 31 パルス幅測定 (TI000端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅測定するには、次の2つの方法があります。

- ・ TI000端子の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子の入力信号でパルス幅を測定（TI000端子の有効エッジ入力によるクリア&スタート・モード）

注意 パルス幅測定時には、カウント・クロックとしてTI000有効エッジを選択しないでください。

備考 入出力端子の設定については6.3(5) ポート・モード・レジスタ3(PM3)を参照してください。

(1) TI000端子の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

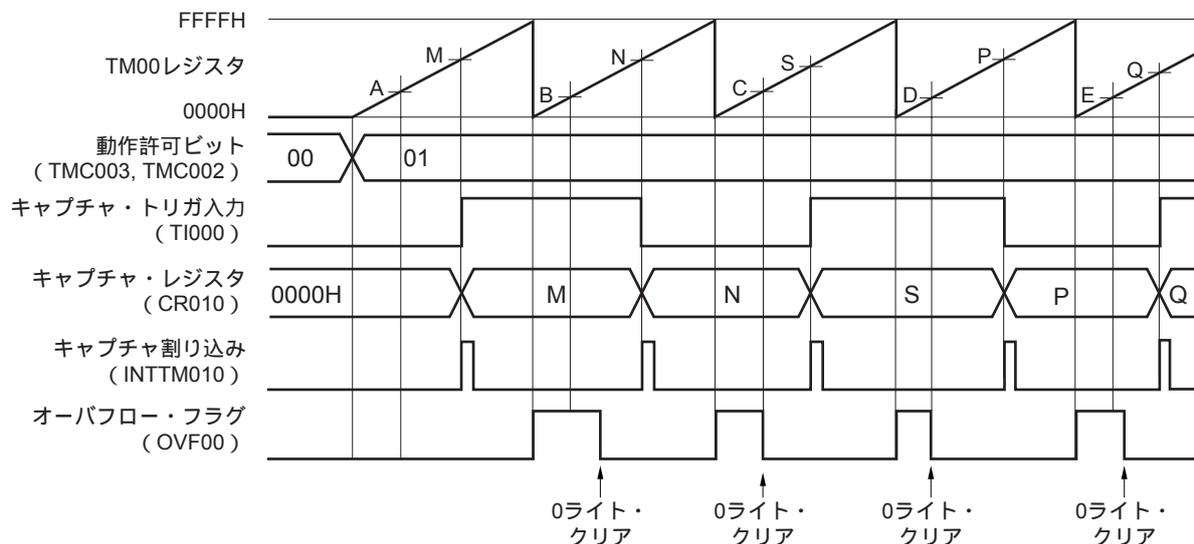
フリー・ランニング・タイマ・モード（TMC003, TMC002 = 01）に設定します。TI000端子の有効エッジ検出により、TM00のカウント値をCR010にキャプチャします。TI000端子のエッジ検出の設定は、両エッジとしてください。

この測定方法では、それぞれの入力信号のエッジによりキャプチャした値から、前回キャプチャした値を減算します。そのため、前回キャプチャした値を、あらかじめ別レジスタに退避してください。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ポローが発生します（プログラム・ステータス・ワード（PSW）のビット0（CY）がセット（1）されます）。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のビット0（OVF00）をクリア（0）してください。

図6-32 パルス幅測定のタイミング例（1）

・ TMC00 = 04H, PRM00 = 30H, CRC00 = 04H



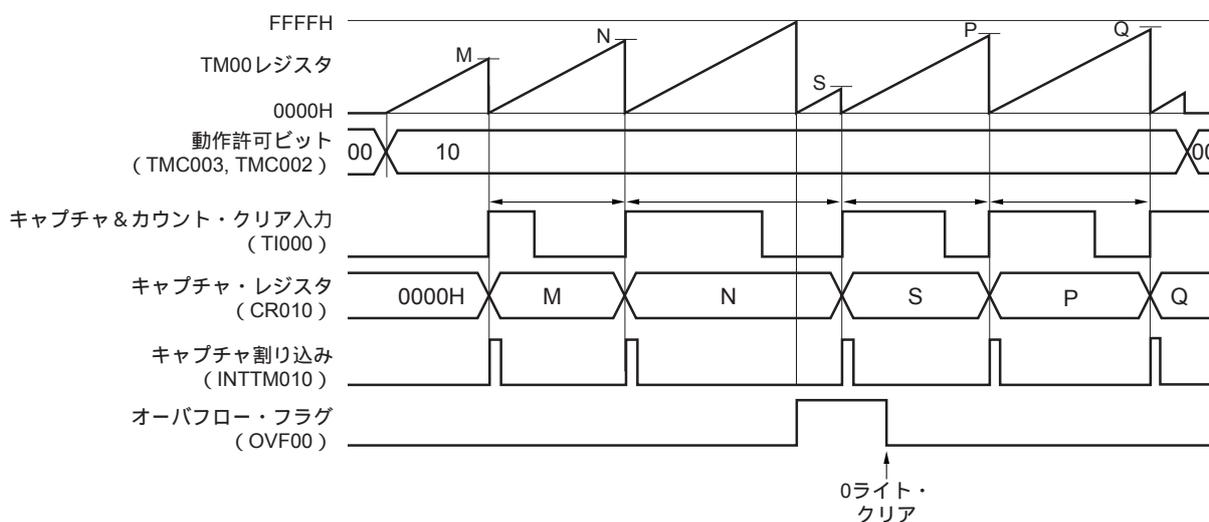
(2) TI000端子1本の入力信号でパルス幅を測定(TI000端子の有効エッジ入力によるクリア&スタート・モード)

TI000端子の有効エッジによるクリア&スタート・モード(TMC003, TMC002 = 10)に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャし、TM00をクリア(0000H)します。したがって、TM00がオーバーフローしなければ、CR010には周期が格納されます。

オーバーフローが発生した場合は、CR010に格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6-33 パルス幅測定のタイミング例(2)

・ TMC00 = 08H, PRM00 = 00H, CRC00 = 04H



パルスの周期 = (10000H × OVF00ビットがセット(1)された回数 + CR010のキャプチャ値) × カウンタ・クロック周期

図6-34 パルス幅測定時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI000端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	1	0

1: CR010をキャプチャ・
レジスタにする

(c) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0	0	0/1	0/1	0	0/1	0/1	0/1

カウント・クロックの選択
(TI000の有効エッジは設定禁止)

00: 立ち下がりエッジ検出
01: 立ち上がりエッジ検出
10: 設定禁止
11: 両エッジ検出
(CRC001 = 1時は設定禁止)

(d) 16ビット・タイマ・カウンタ00 (TM00)

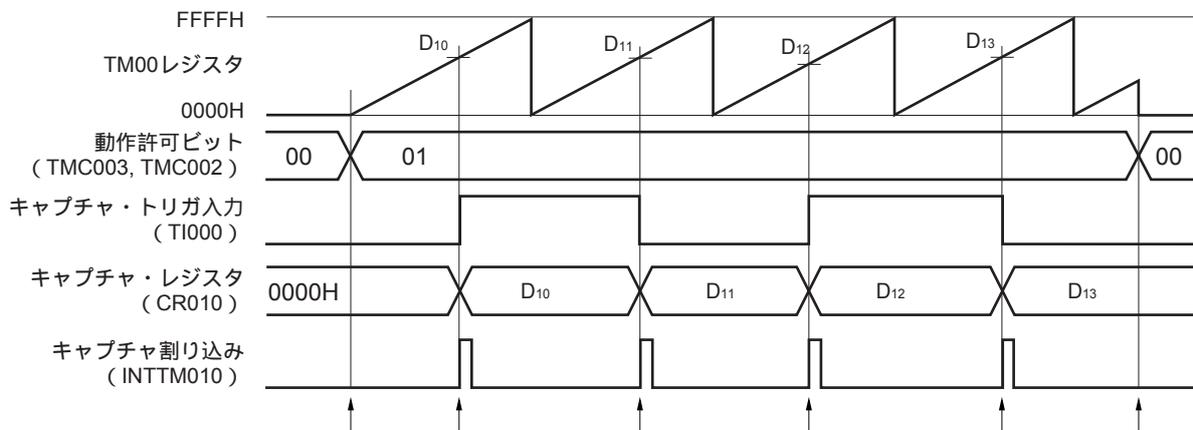
TM00をリードしてカウンタの値を読み出します。

(e) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとして使用します。TI000端子入力がキャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM00のカウンタ値をCR010に格納します。

図6 - 35 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



(b) TI000端子の有効エッジによるクリア&スタート・モードの例

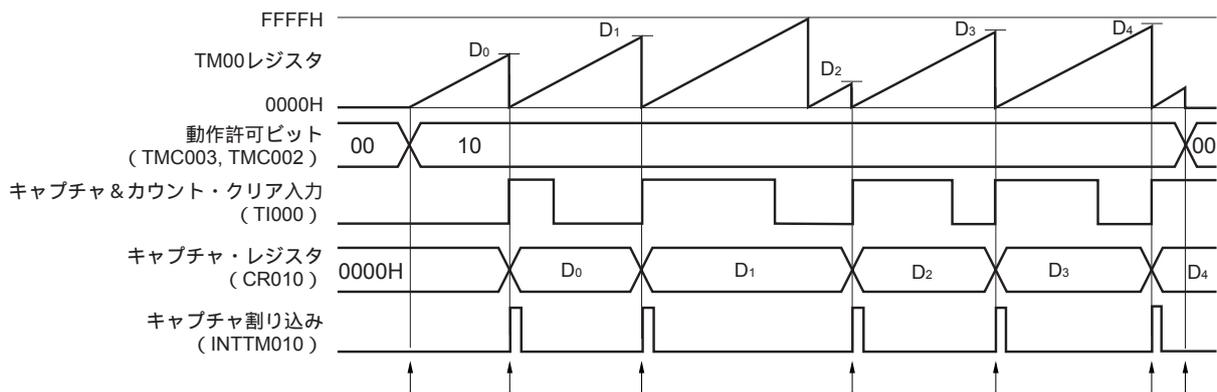
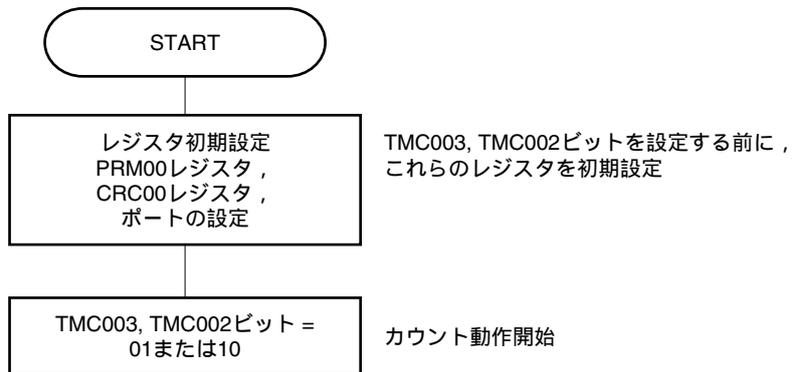
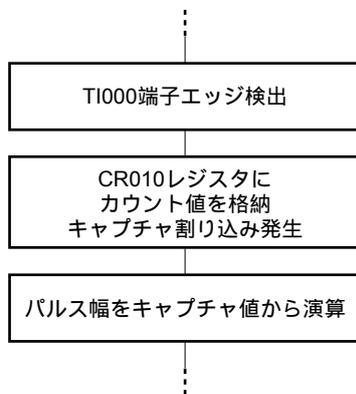


図6 - 35 パルス幅測定時のソフトウェア処理例 (2/2)

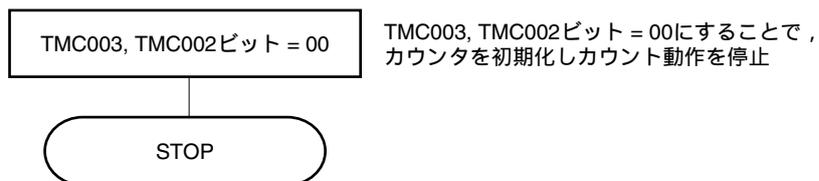
カウント動作開始フロー



キャプチャ・トリガ入力フロー



カウント動作停止フロー

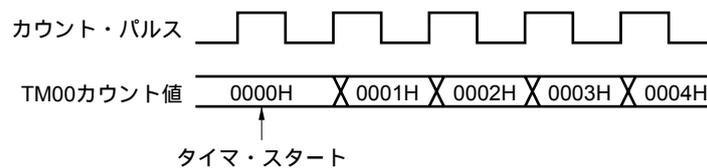


6.5 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM00のカウント・スタートが非同期で行われるためです。

図6-36 TM00のカウント・スタート・タイミング



(2) CR000, CR010の設定 (TM00とCR000の一致でクリア&スタート・モードの場合)

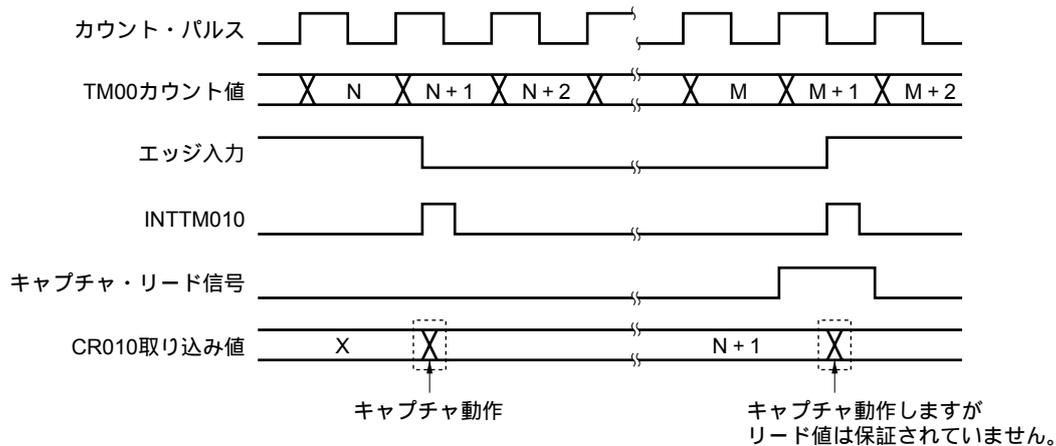
CR000, CR010には、0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。

(3) キャプチャ・レジスタのデータ保持タイミング

(a) CR010の読み出し中にTI000端子の有効エッジ入力を検出したとき、CR010はキャプチャ動作を行います。CR010の読み出し値は保証されません。このとき、TI000端子の有効エッジの検出による割り込み信号 (INTTM010) は発生します。

TI000端子の有効エッジの検出によるキャプチャ時に、CR010の値を読み出す場合は、INTTM010発生後に行ってください。

図6-37 キャプチャ・レジスタのデータ保持タイミング



(b) 16ビット・タイマ/イベント・カウンタ00停止後のCR000, CR010の値は保証されません。

(4) 有効エッジの設定

TI000端子の有効エッジの設定は、タイマ動作が停止（TMC003, TMC002 = 00）しているときに行ってください。有効エッジの設定は、ES000, ES001で行います。

(5) OVF00フラグの動作**(a) OVF00フラグのセット（1）**

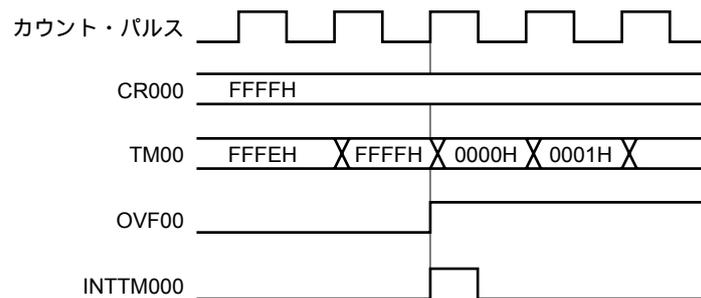
OVF00フラグは、TM00がオーバーフローしたとき以外に、次のときにもセット（1）されます。

TM00とCR000の一致でクリア&スタート・モードを選択

CR000をFFFFHに設定

TM00がCR000との一致によりFFFFHから0000Hにクリアされるとき

図6 - 38 OVF00フラグの動作タイミング

**(b) OVF00フラグのクリア**

TM00がオーバーフロー後、次のカウント・クロックがカウントされる（TM00が0001Hになる）前に OVF00フラグをクリア（0）しても、再度セット（1）されクリアは無効となります。

(6) キャプチャ動作**(a) カウント・クロックにTI000の有効エッジを指定した場合**

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI000端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI000端子に入力するパルスには、PRM00で選択したカウント・クロックの2回分より長いパルス幅が必要です（図6 - 7を参照）。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号（INTTM000, INTTM010）は次のカウント・クロックの立ち上がりで発生します（図6 - 7を参照）。

(7) エッジ検出

(a) リセット後の有効エッジ指定

リセット後、TI000端子がハイ・レベルの状態では、TI000端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI000の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM00で選択したカウント・クロックでサンプリングします。

TI000端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます(図6-7を参照)。

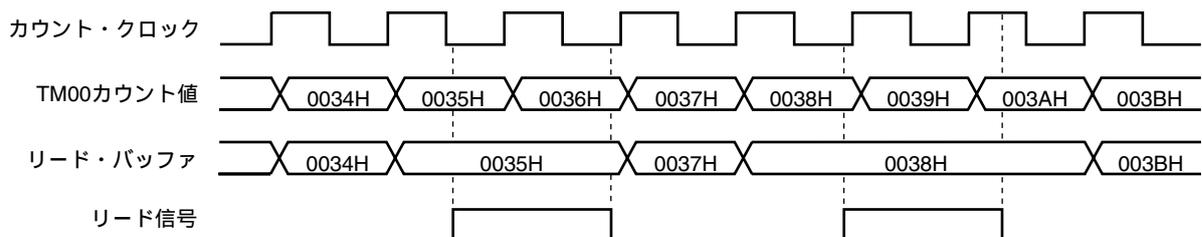
(8) タイマ動作について

CPUの動作モードに関係なく、タイマが停止していると、TI000端子への入力信号は受け付けられません。

(9) 16ビット・タイマ・カウンタ00 (TM00) のリードについて

TM00は、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図6-39 16ビット・タイマ・カウンタ00 (TM00) のリード・タイミング



備考 f_{PRS} : 周辺ハードウェア・クロック周波数

第7章 8ビット・タイマ/イベント・カウンタ50, 51, 52

7.1 8ビット・タイマ/イベント・カウンタ50, 51, 52の機能

8ビット・タイマ/イベント・カウンタ50, 51, 52は、78K0/Lx3-Mマイクロコントローラ的全製品に搭載されています。8ビット・タイマ/イベント・カウンタ50, 51, 52には、次のような機能があります。

	78K0/LE3-M	78K0/LG3-M
インターバル・タイマ	TM50, TM51, TM52	TM50, TM51, TM52
外部イベント・カウンタ	-	TM50, TM51
方形波出力		
PWM出力		

備考 78K0/LE3-Mは、インターバル・タイマ機能のみ搭載しています。

7.2 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成

8ビット・タイマ/イベント・カウンタ50, 51, 52は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成

(a) 78K0/LE3-M

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

(b) 78K0/LG3-M

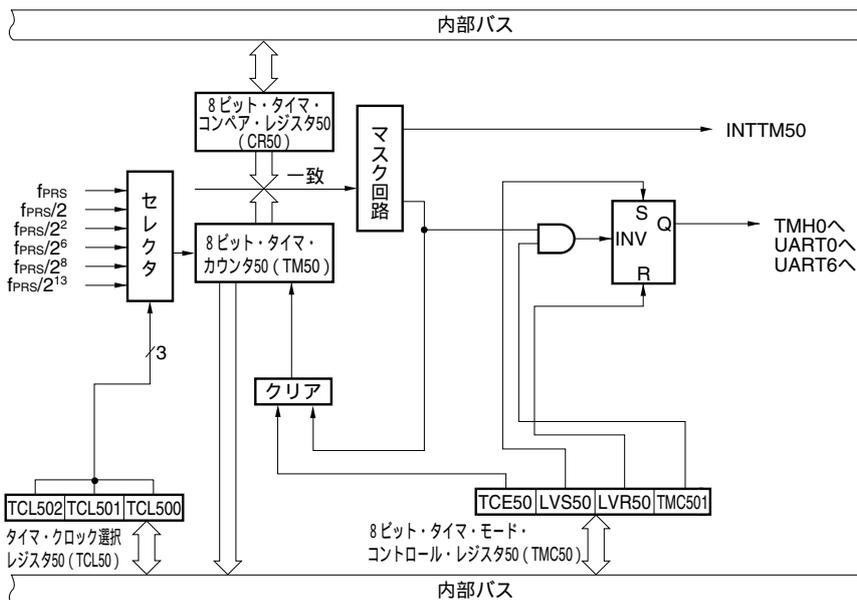
項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI50, TI51
タイマ出力	TO50, TO51
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) ポート・モード・レジスタ4 (PM4) ポート・レジスタ4 (P4)

備考 n = 0-2

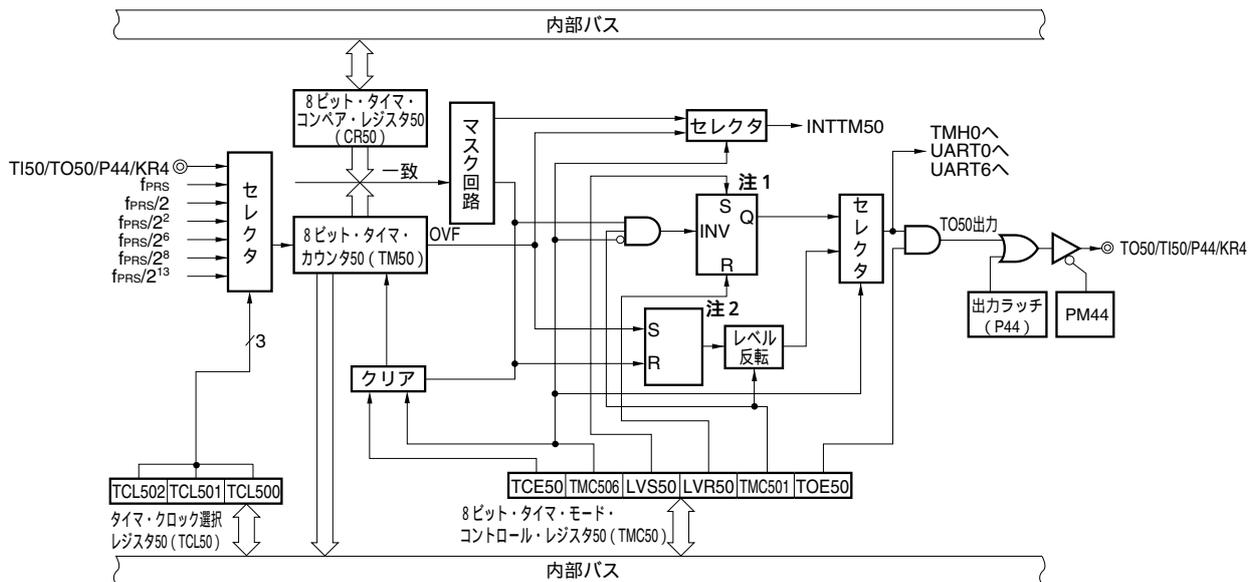
図7-1~図7-3に、8ビット・タイマ/イベント・カウンタ50, 51, 52のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

(a) 78K0/LE3-M



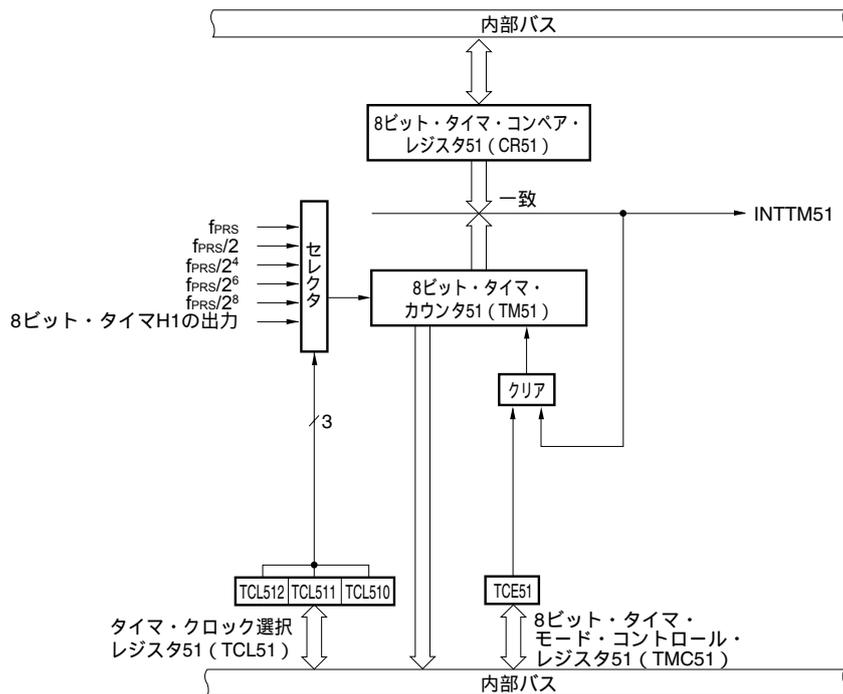
(b) 78K0/LG3-M



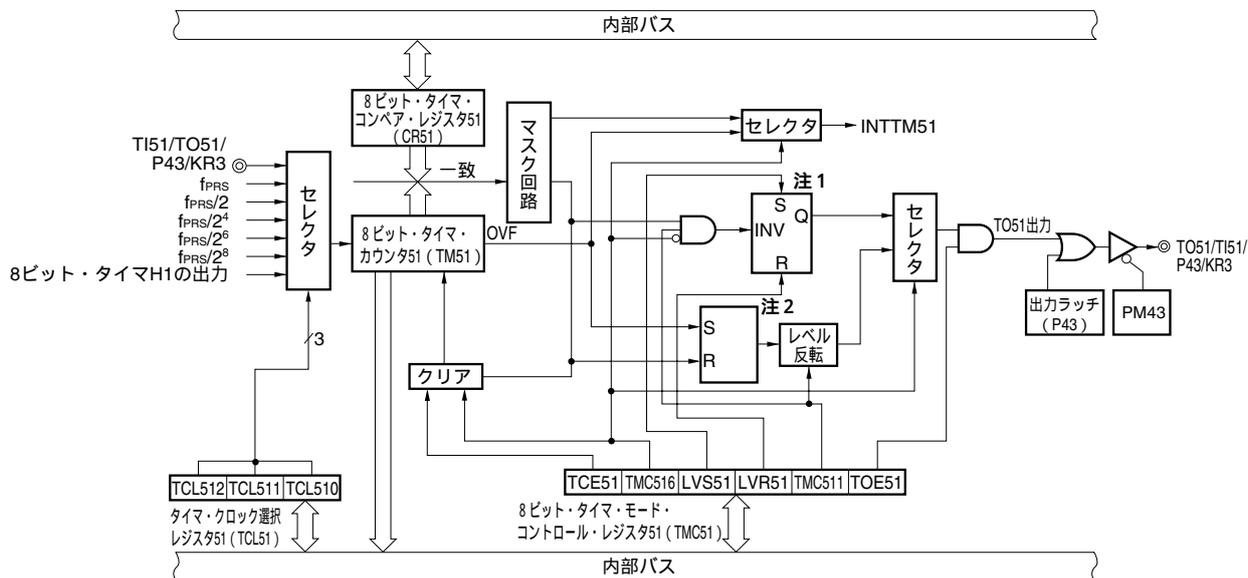
- 注1. タイマ出力F/F
- 2. PWM出力F/F

図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図

(a) 78K0/LE3-M



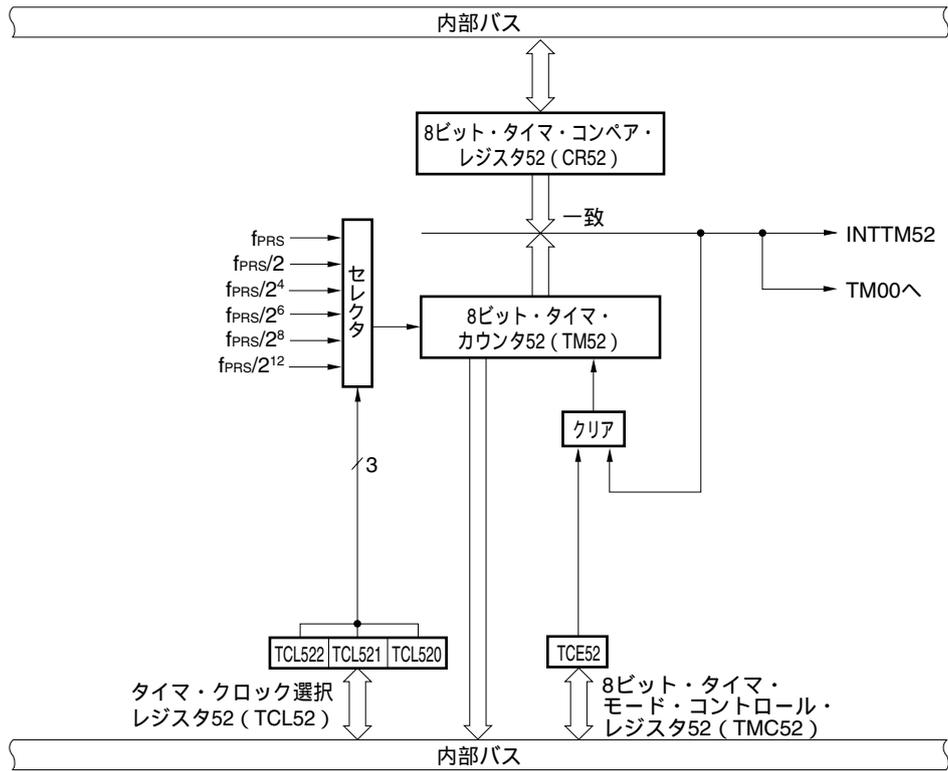
(b) 78K0/LG3-M



注1. タイマ出力F/F

2. PWM出力F/F

図7-3 8ビット・タイマ/イベント・カウンタ52のブロック図

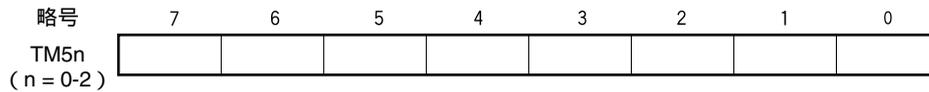


(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-4 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット

アドレス：FF16H (TM50)，FF6FH (TM51)，FF51H (TM52) リセット時：00H R



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

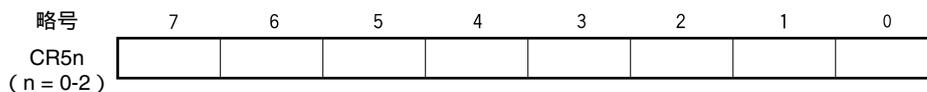
PWMモード時は、TM5nとCR5nの値の一致により、TO5n出力はインアクティブ・レベルになりますが、割り込みは発生しません。

CR5nの値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図7-5 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット

アドレス：FF17H (CR50)，FF41H (CR51)，FF59H (CR52) リセット時：00H R/W



- 注意1.** TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。
- 2.** PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0-2

7.3 8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタには、次の5種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ4 (PM4)
- ・ポート・レジスタ4 (P4)

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0-2

図7-6 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF6AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

(a) 78K0/LE3-M

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	設定禁止			
0	0	1	設定禁止			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz

(b) 78K0/LG3-M

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	TI50端子の立ち下がりエッジ ^{注3}			
0	0	1	TI50端子の立ち上がりエッジ ^{注3}			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL502, TCL501, TCL500 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI50端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7-7 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

(a) 78K0/LE3-M

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	設定禁止			
0	0	1	設定禁止			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	タイマH1の出力信号			

(b) 78K0/LG3-M

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	TI51端子の立ち下がりエッジ ^{注3}			
0	0	1	TI51端子の立ち上がりエッジ ^{注3}			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	タイマH1の出力信号			

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL512, TCL511, TCL510 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI51端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7-8 タイマ・クロック選択レジスタ52 (TCL52) のフォーマット

アドレス : FF5BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL52	0	0	0	0	0	TCL522	TCL521	TCL520

TCL522	TCL521	TCL520	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	設定禁止			
0	0	1	設定禁止			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL522, TCL521, TCL520 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。

注意1. TCL52を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御

8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択[※]

タイマ出力F/F (フリップフロップ) の状態設定[※]

タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択[※]

タイマ出力の制御[※]

注 78K0/LG3-MのTM50, TM51のみ。

備考 n = 0-2

図7-9 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット (1/2)

(a) 78K0/LE3-M

アドレス: FF6BH リセット時: 00H R/W[※]

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	0	0	0	LVS50	LVR50	TMC501	0

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TM50の出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TM50の出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	タイマF/Fの制御
0	反転動作禁止
1	反転動作許可

注 ビット2, 3はWrite Onlyです。

注意1. ビット0, 4-6には、必ず0を設定してください。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC501を設定 : 動作モードの設定

LVS50, LVR50を設定 : タイマF/Fの設定

TCE50を設定

備考 LVS50, LVR50は読み出すと、0になっています。

図7-9 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット (2/2)

(b) 78K0/LG3-M

アドレス : FF6BH リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50
TCE50	TM50のカウンタ動作制御							
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)							
1	カウンタ動作開始							
TMC506	TM50の動作モード選択							
0	TM50とCR50の一致でクリア&スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS50	LVR50	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC501	PWMモード以外 (TMC506 = 0)				PWMモード (TMC506 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE50	タイマ出力の制御							
0	出力禁止 (TO50出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

注意1. LVS50とLVR50の設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC501, TMC506を設定 : 動作モードの設定

出力を許可する場合, TOE50を設定 : タイマ出力許可

LVS50, LVR50を設定 (注意1) : タイマF/Fの設定

TCE50を設定

3. TCE50 = 1のとき, TMC50の他のビットを設定することは禁止です。

4. 実際のTO50/TI50/P44/KR4端子の出力は, TO5n出力のほかにPM44とP44によって決まります。

5. ビット4, 5には, 必ず0を設定してください。

備考1. PWMモード時は, TCE50 = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS50, LVR50は読み出すと, 0になっています。

3. TMC506, LVS50, LVR50, TMC501, TOE50の各ビットの値は, TCE50の値に関係なくTO50端子に反映されます。

図7-10 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

(a) 78K0/LE3-M

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	3	2	1	0
TMC51	TCE51	0	0	0	0	0	0	0

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

注意 ビット0-6には, 必ず0を設定してください。

(b) 78K0/LG3-M

アドレス : FF43H リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO51出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO51出力初期値ハイ・レベル)
1	1	設定禁止

TMC511	PWMモード以外 (TMC516 = 0)	PWMモード (TMC516 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止 (TO51出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

- 注意1.** LVS51とLVR51の設定は、PWMモード時以外で有効になります。
2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。
TMC511, TMC516を設定 : 動作モードの設定
出力を許可する場合, TOE51を設定 : タイマ出力許可
LVS51, LVR51を設定 (注意1) : タイマF/Fの設定
TCE51を設定
 3. TCE51 = 1のとき, TMC51の他のビットを設定することは禁止です。
 4. 実際のTO51/TI51/P43/KR3端子の出力は, TO51出力のほかにPM43とP43によって決まります。
 5. ビット4, 5には, 必ず0を設定してください。

- 備考1.** PWMモード時は, TCE51 = 0により, PWM出力はインアクティブ・レベルになります。
2. LVS51, LVR51は読み出すと, 0になっています。
 3. TMC516, LVS51, LVR51, TMC511, TOE51の各ビットの値は, TCE51の値に関係なくTO51端子に反映されます。

図7 - 11 8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) のフォーマット

アドレス : FF5CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC52	TCE52	0	0	0	0	0	0	0
TCE52	TM52のカウンタ動作制御							
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)							
1	カウンタ動作開始							

注意 ビット0-6には, 必ず0を設定してください。

(3) ポート・モード・レジスタ4 (PM4)

ポート4の入力/出力を1ビット単位で設定するレジスタです。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

P44/TO50/TI50/KR4, P43/TO51/TI51/KR3端子をタイマ出力として使用するとき、PM44, PM43およびP44, P43の出力ラッチに0を設定してください。

P44/TO50/TI50/KR4, P43/TO51/TI51/KR3端子をタイマ入力として使用するとき、PM44, PM43に1を設定してください。このとき、P44, P43の出力ラッチは0または1のどちらでもかまいません。

図7 - 12 ポート・モード・レジスタ4 (PM4) のフォーマット (78K0/LG3-M)

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ/イベント・カウンタ50, 51, 52の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(78K0/LE3-M : TMC50 = 0000 x x x 0B, TMC51 = TMC52 = 00000000B)
(78K0/LG3-M : TMC5n = 0000 x x x 0B) x : don't care

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

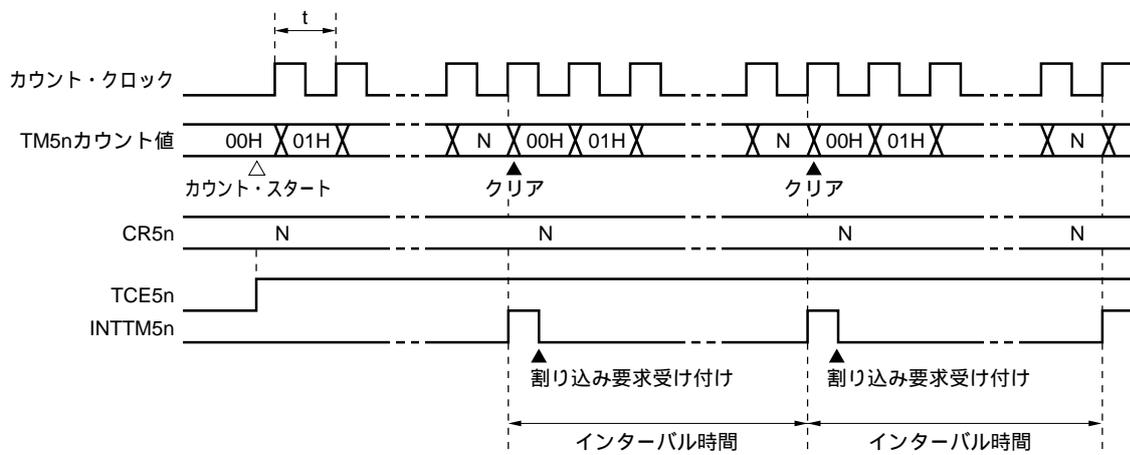
注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第20章 **割り込み機能**を参照してください。

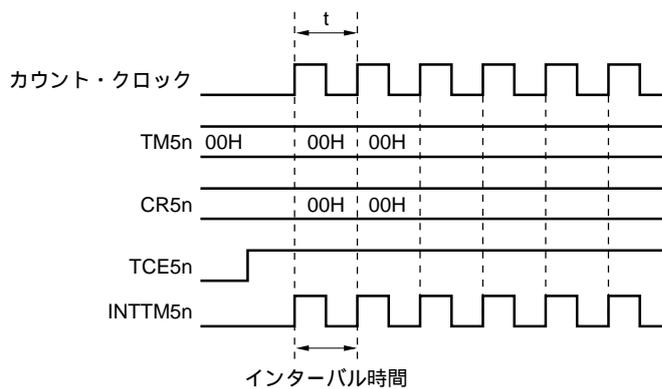
2. n = 0-2

図7-13 インターバル・タイマ動作のタイミング

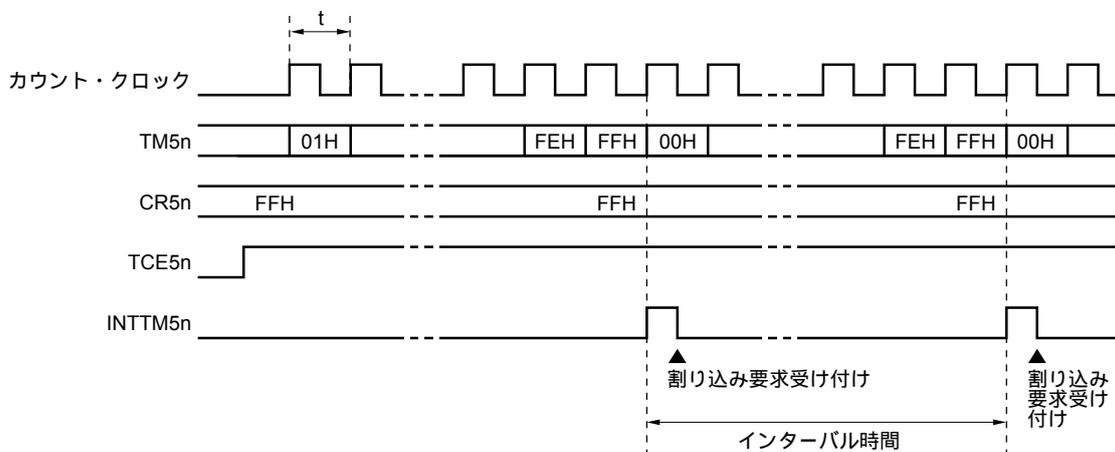
(a) 基本動作



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0-2

7.4.2 外部イベント・カウンタとしての動作 (78K0/LG3-Mのみ)

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

設定方法

各レジスタの設定を行います。

- ・ポート・モード・レジスタ (PM44, PM43)[※]に“1”を設定
- ・TCL5n : TI5n端子入力のエッジ選択
TI5n端子の立ち下がり TCL5n = 00H
TI5n端子の立ち上がり TCL5n = 01H
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止 (TMC5n = 0000 × × 00B) × : don't care

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

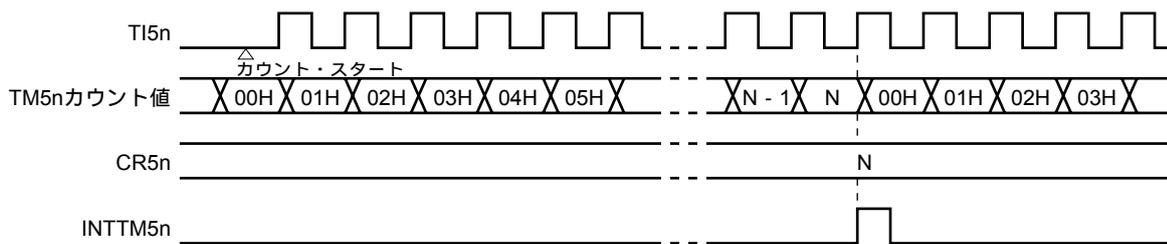
以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

注 8ビット・タイマ/イベント・カウンタ50 : PM44

8ビット・タイマ/イベント・カウンタ51 : PM43

備考 INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

図7 - 14 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N = 00H-FFH, n = 0, 1

7.4.3 方形波出力としての動作 (78K0/LG3-Mのみ)

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P44, P43)^注, ポート・モード・レジスタ (PM44, PM43)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	1	タイマ出力F/Fをクリア (0) (TO5n出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO5n出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2 t (N + 1)$
(N : 00H-FFH)

注 8ビット・タイマ/イベント・カウンタ50 : P44, PM44

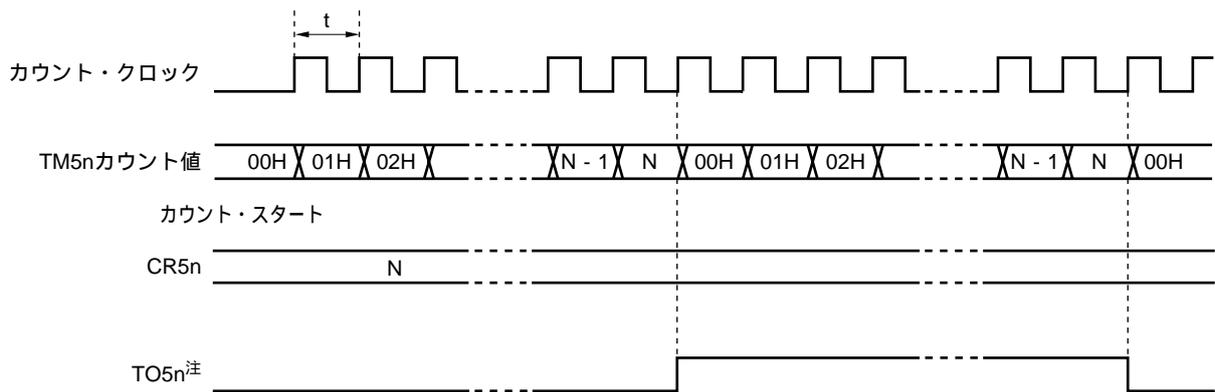
8ビット・タイマ/イベント・カウンタ51 : P43, PM43

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第20章 割り込み機能を参照してください。

2. n = 0, 1

図7 - 15 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

7.4.4 PWM出力としての動作 (78K0/LG3-Mのみ)

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 $n = 0, 1$

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P44, P43)^注, ポート・モード・レジスタ (PM44, PM43)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P44, PM44

8ビット・タイマ/イベント・カウンタ51 : P43, PM43

PWM出力の動作

PWM出力 (TO5n出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7 - 16, 図7 - 17を参照してください。

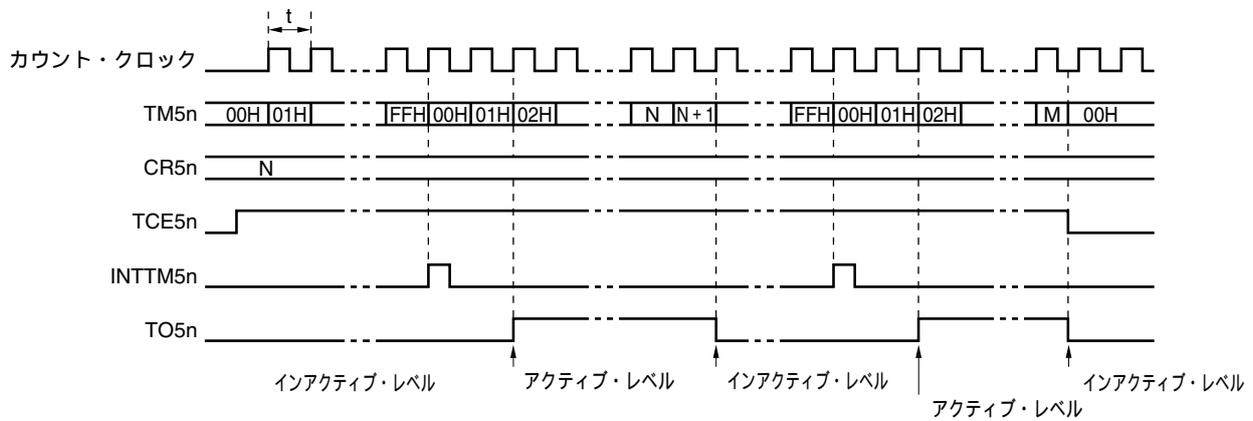
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

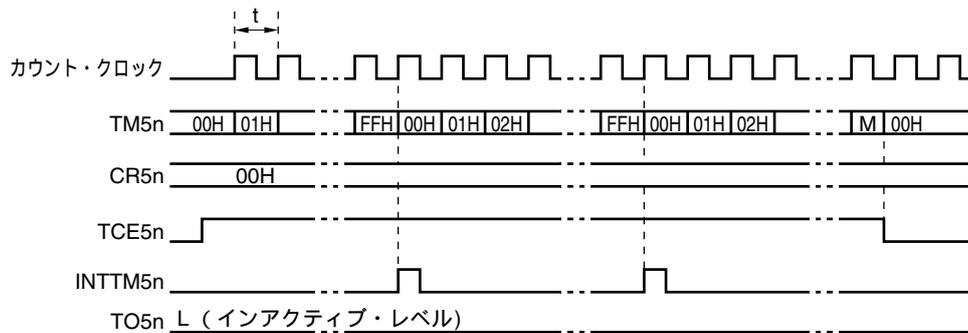
備考 n = 0, 1

図7 - 16 PWM出力動作のタイミング

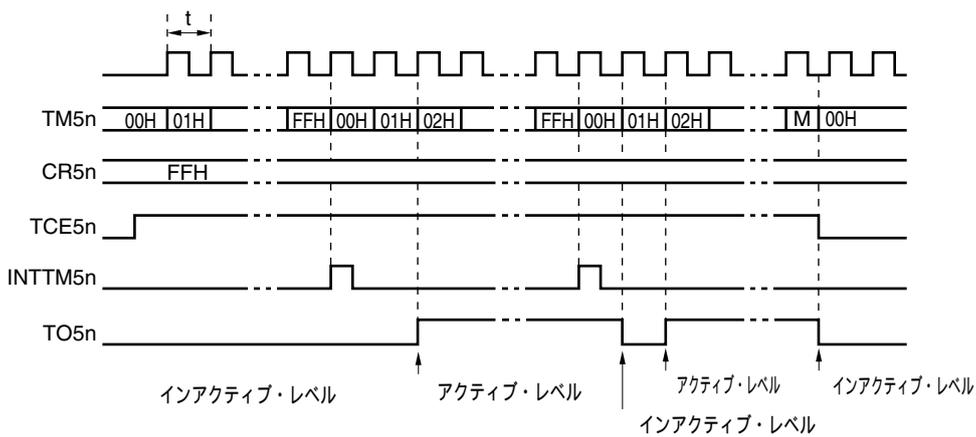
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



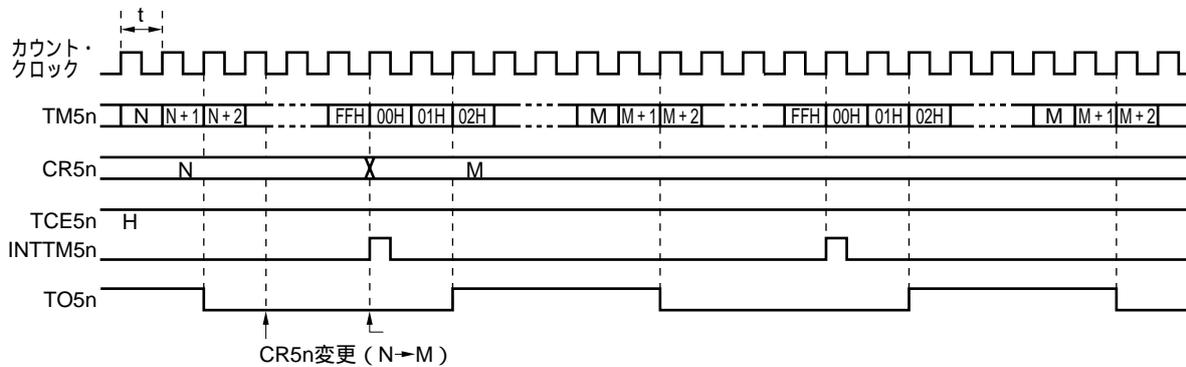
備考1. 図7 - 16(a)と(c)の - , は、7.4.4(1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. $n = 0, 1$

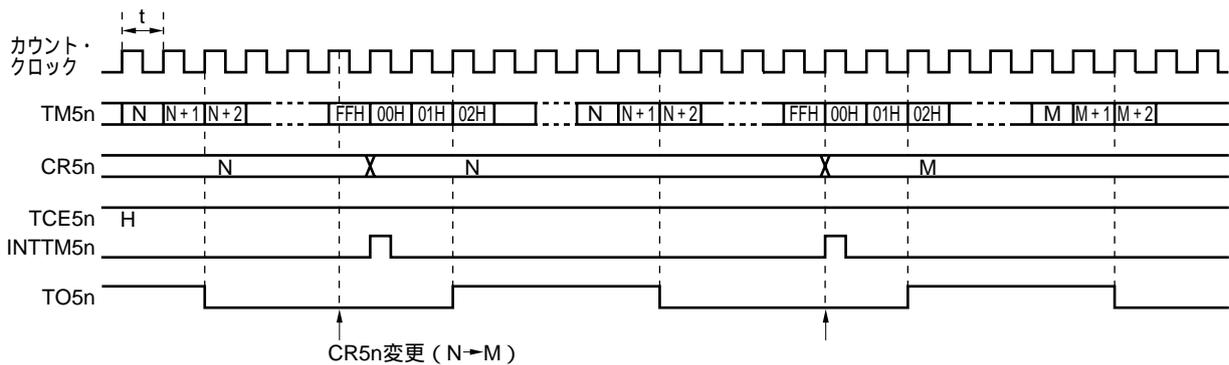
(2) CR5n変更による動作

図7-17 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



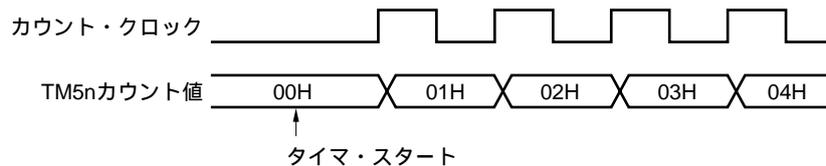
注意 図7-17の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

7.5 8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52) が非同期でスタートするためです。

図7-18 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング

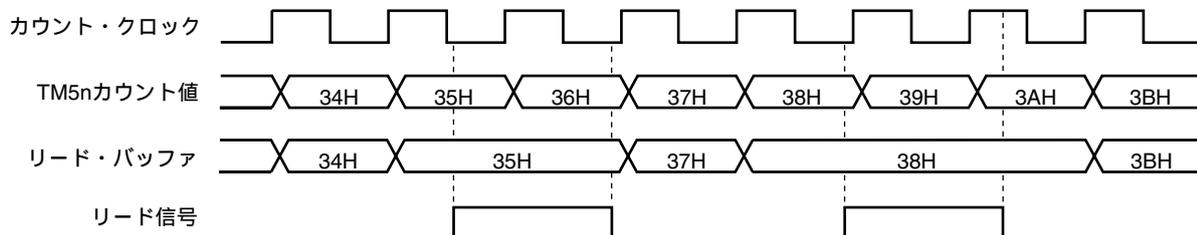


備考 n = 0-2

(2) 8ビット・タイマ・カウンタ5n (TM5n) のリードについて

TM5nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図7-19 8ビット・タイマ・カウンタ5n (TM5n) のリード・タイミング



備考 n = 0-2

第8章 8ビット・タイマH0, H1, H2

8.1 8ビット・タイマH0, H1, H2の機能

8ビット・タイマH0, H1, H2は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。

8ビット・タイマH0, H1, H2には、次のような機能があります。

	78K0/LE3-M	78K0/LG3-M
インターバル・タイマ	TMH0, TMH1, TMH2	TMH0, TMH1, TMH2
方形波出力	TMH0	TMH0, TMH1
PWM出力		
キャリア・ジェネレータ ^注	TMH1	TMH1

注 TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

8.2 8ビット・タイマH0, H1, H2の構成

8ビット・タイマH0, H1, H2は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1, H2の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	78K0/LE3-M : TOH0, 出力制御回路 78K0/LG3-M : TOH0, TOH1, 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ^注 ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

注 8ビット・タイマH1のみ。

備考1. TMH2には出力端子 (TOH2) はありません。内部割り込み (INTTMH2) としてのみ使用できます。

2. 78K0/LE3-MのTMH1には、出力端子 (TOH1) はありません。リモコン出力信号としてのみ使用できます。

3. n = 0-2

図8 - 1 ~ 図8 - 3にブロック図を示します。

図8-1 8ビット・タイマH0のブロック図

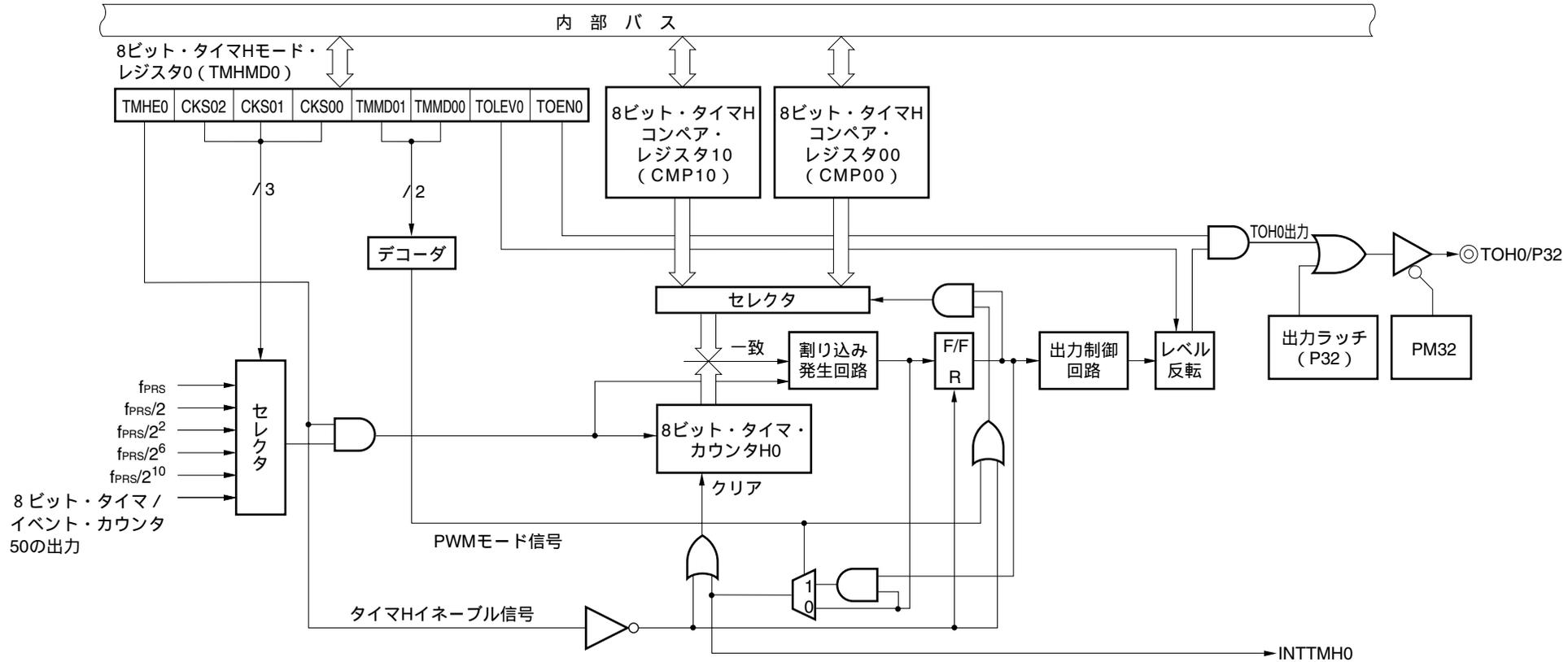


図8-2 8ビット・タイマH1のブロック図(1/2)

(a) 78K0/LE3-M

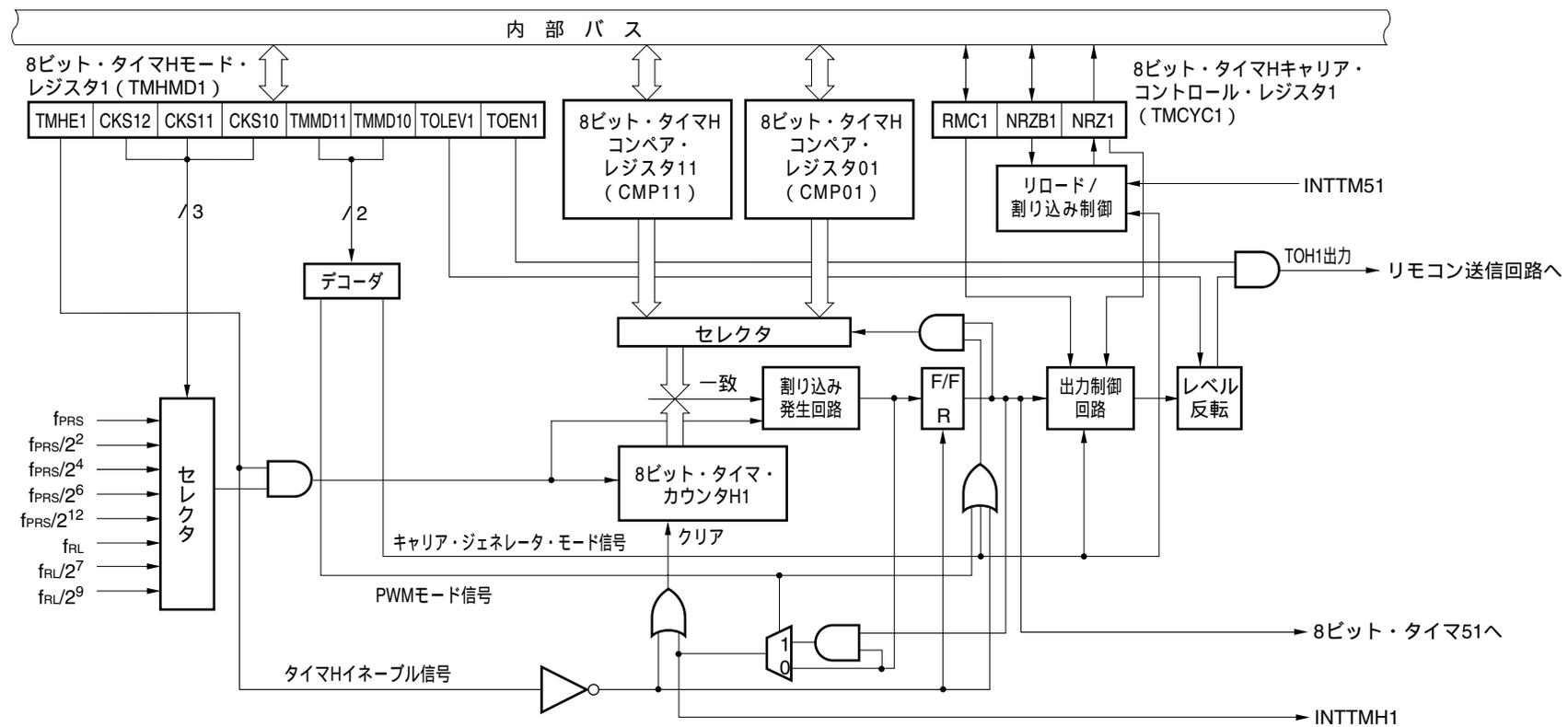


図8-2 8ビット・タイマH1のブロック図 (2/2)

(b) 78K0/LG3-M

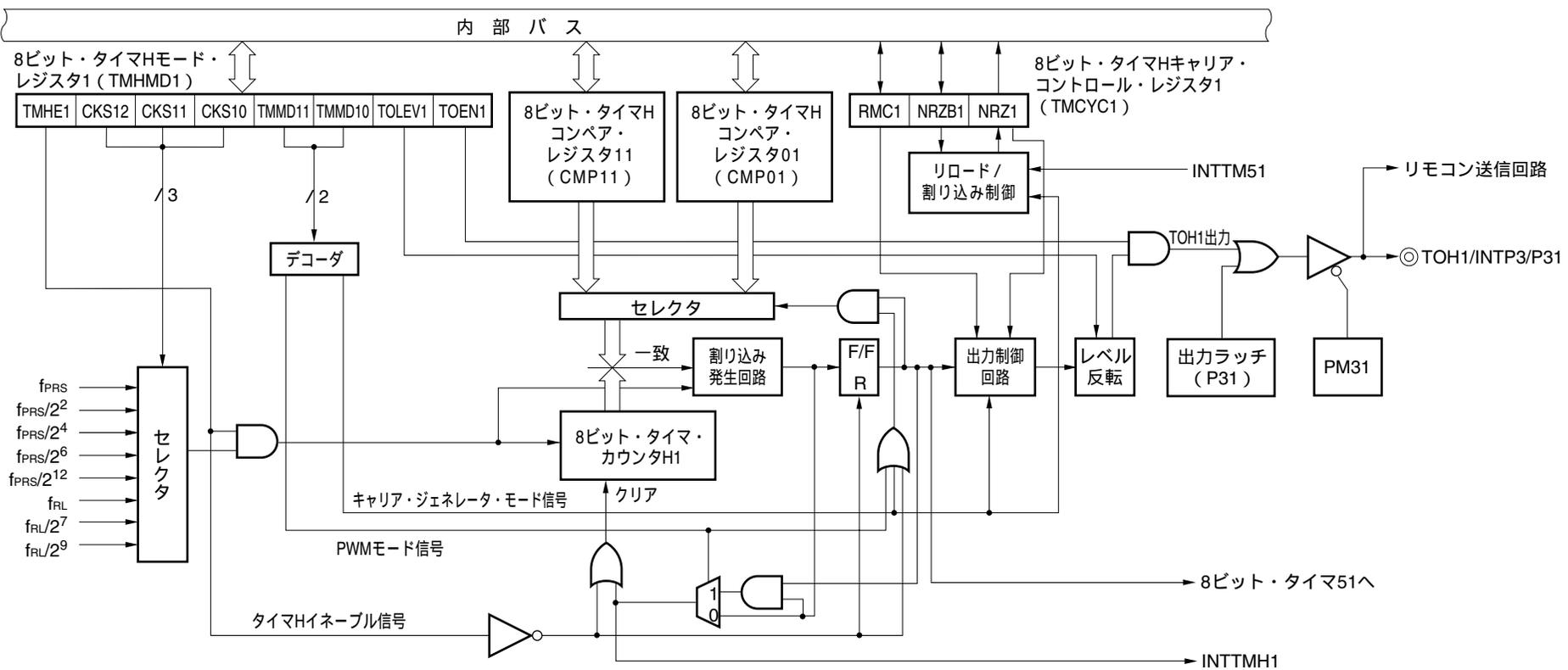
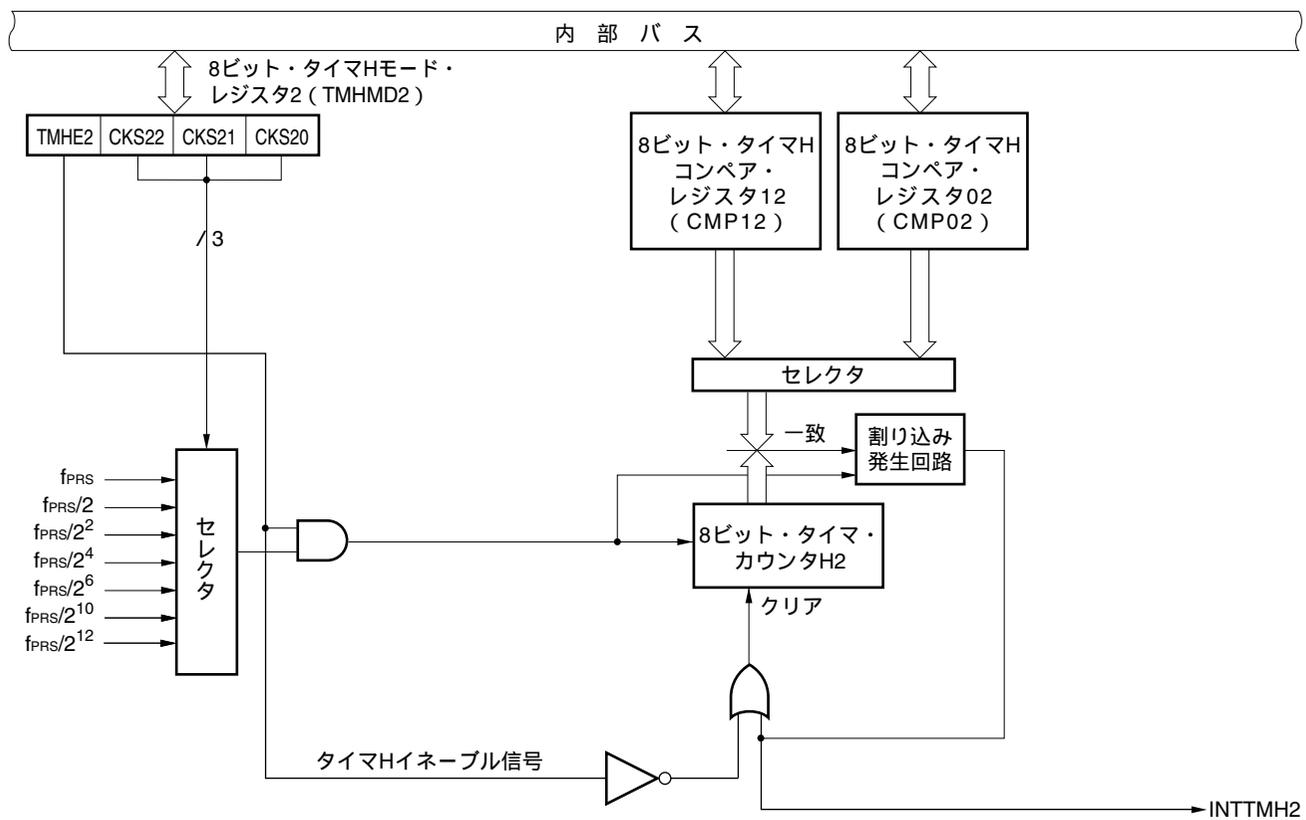


図8-3 8ビット・タイマH2のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

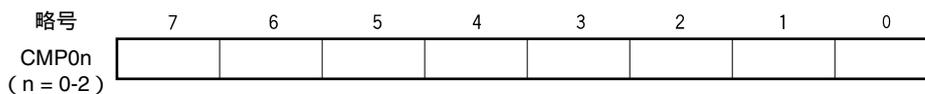
CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図8-4 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス : FF18H (CMP00) , FF1AH (CMP01) , FF44H (CMP02) リセット時 : 00H R/W



注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウンタ値はクリアされます。

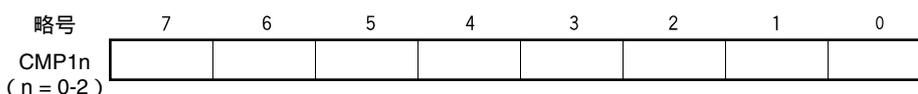
CMP1nは、タイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウンタ値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウンタ値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図8-5 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス : FF19H (CMP10) , FF1BH (CMP11) , FF45H (CMP12) リセット時 : 00H R/W



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0-2, ただし, 78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

8.3 8ビット・タイマH0, H1, H2を制御するレジスタ

8ビット・タイマH0, H1, H2を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 $n = 0-2$

図8-6 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	[1]	[0]
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロックの選択 ^{注1}			
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	0	0	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz
上記以外			TM50の出力 ^{注3}			
上記以外			設定禁止			

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWMモード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) が高速システム・クロック (fXH) で動作している (XSEL = 1) 場合、電源電圧により、fPRSの動作周波数が異なります。

・ VDD = 2.7 ~ 3.6 V : fPRS 10 MHz

・ VDD = 1.8 ~ 2.7 V : fPRS 5 MHz

2. 1.8 V < VDD < 2.7 Vで、周辺ハードウェア・クロック (fPRS) が高速内蔵発振クロック (fRH) で動作している (XSEL = 0) 場合、CKS02 = CKS01 = CKS00 = 0 (カウント・クロック : fPRS) は設定禁止です。

- 注3.** TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。
- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード (TMC506 = 1)
デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。
- 注意1.** TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください)。
 3. 実際のTOH0/P32端子の出力は、TOH0出力のほかに、PM32とP32によって決まります。
- 備考1.** f_{PRS} : 周辺ハードウェア・クロック周波数
2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

図8-7 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス: FF6CH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択 ^{注1}			
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	0	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	0	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz
1	0	1	fRL/2 ⁷	1.88 kHz (TYP.)		
1	1	0	fRL/2 ⁹	0.47 kHz (TYP.)		
1	1	1	fRL	240 kHz (TYP.)		

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード ^{注3}
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) が高速システム・クロック (fXH) で動作している (XSEL = 1) 場合、電源電圧により、fPRSの動作周波数が異なります。

・ VDD = 2.7 ~ 3.6 V : fPRS 10 MHz

・ VDD = 1.8 ~ 2.7 V : fPRS 5 MHz

2. 1.8 V VDD < 2.7 Vで、周辺ハードウェア・クロック (fPRS) が高速内蔵発振クロック (fRH) で動作している (XSEL = 0) 場合、CKS12 = CKS11 = CKS10 = 0 (カウント・クロック: fPRS) は設定禁止です。

3. 78K0/LG3-Mのみ。

- 注意1. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。ただし, リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも, 必ず再設定してください)。
 3. キャリア・ジェネレータ・モードを使用する場合, TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
 4. 実際のTOH1/P31/INTP3端子の出力は, TOH1出力のほかに, PM31とP31によって決まります。
 5. 78K0/LE3-MでP13/SO10/TxD0端子機能を使用する場合は, 8ビット・タイマH1を使用しないでください (TMHE1 = 0)。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
2. f_{RL} : 低速内蔵発振クロック周波数

図8-8 8ビット・タイマHモード・レジスタ2 (TMHMD2) のフォーマット

アドレス : FF42H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD2	TMHE2	CKS22	CKS21	CKS20	0	0	0	0

TMHE2	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS22	CKS21	CKS20	カウント・クロックの選択 ^{注1}			
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	0	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	0	1	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz
1	1	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz
上記以外			設定禁止			

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、 f_{PRS} の動作周波数が異なります。

・ $V_{DD} = 2.7 \sim 3.6 \text{ V}$: $f_{PRS} = 10 \text{ MHz}$

・ $V_{DD} = 1.8 \sim 2.7 \text{ V}$: $f_{PRS} = 5 \text{ MHz}$

2. $1.8 \text{ V} < V_{DD} < 2.7 \text{ V}$ で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、CKS22 = CKS21 = CKS20 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。

注意 TMHE2 = 1のとき、TMHMD2の他のビットを設定することは禁止です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

図8 - 9 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス：FF6DH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1 : キャリア・パルス出力, RMC1 = 0 : ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 TMHE1 = 1のとき、RMC1を書き換えしないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。P32/TOH0, P31/TOH1/INTP3端子をタイマ出力として使用するとき、PM32, PM31およびP32, P31の出力ラッチに0を設定してください。PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

図8 - 10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 8ビット・タイマH0, H1, H2の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

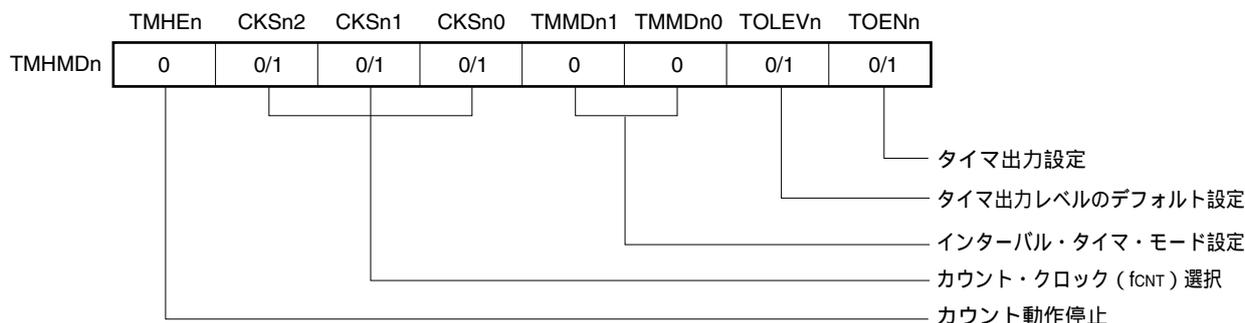
TMH2のタイマ出力は、TM52の外部イベント入力のイネーブル信号としてのみ使用可能です。外部への出力端子はないので注意してください。

設定方法

各レジスタの設定を行います。

図8 - 11 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHEn = 1によりカウント動作を開始します。

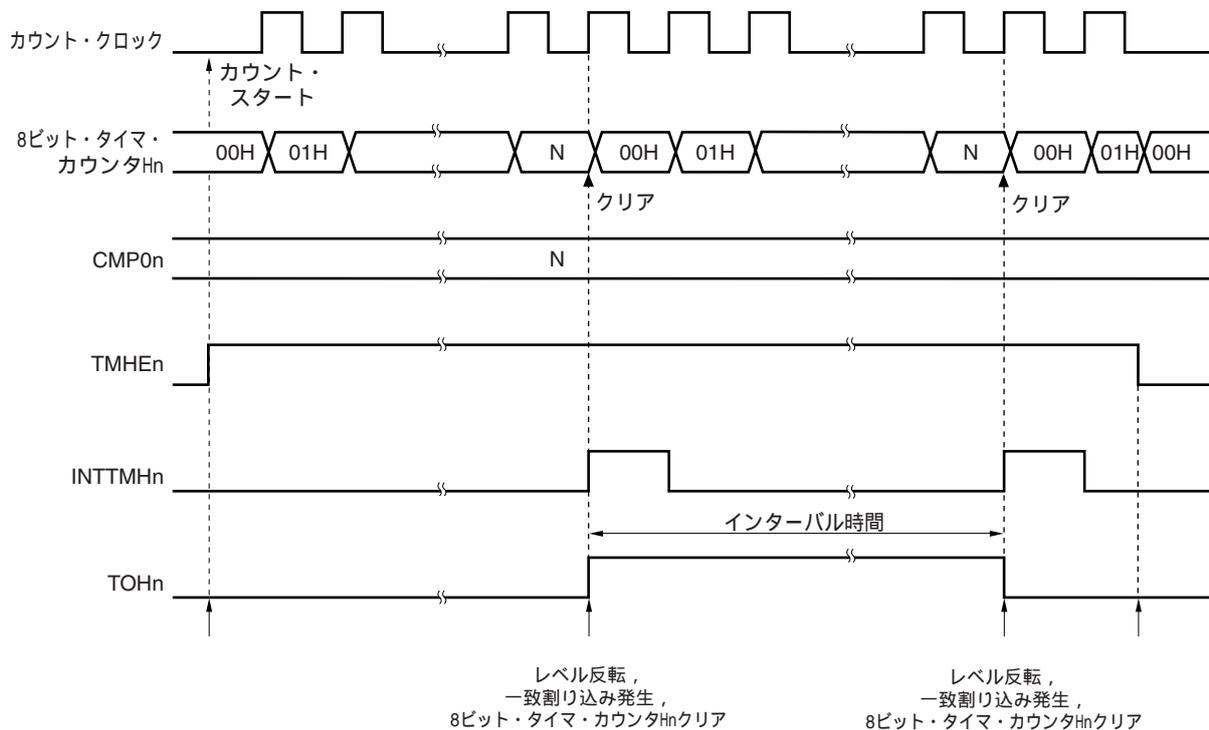
8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

- 備考1.** 出力端子の設定については8.3(3) **ポート・モード・レジスタ3 (PM3)** を参照してください。
- INTTMHn信号の割り込み許可については、**第20章 割り込み機能**を参照してください。
 - n = 0-2, ただし、78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

図8 - 12 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作 (01H CMP0n FEH時の動作)



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。

タイマH動作中にTMHEnビットを0にすると、INTTMHn信号およびTOHn出力はデフォルト状態になります。

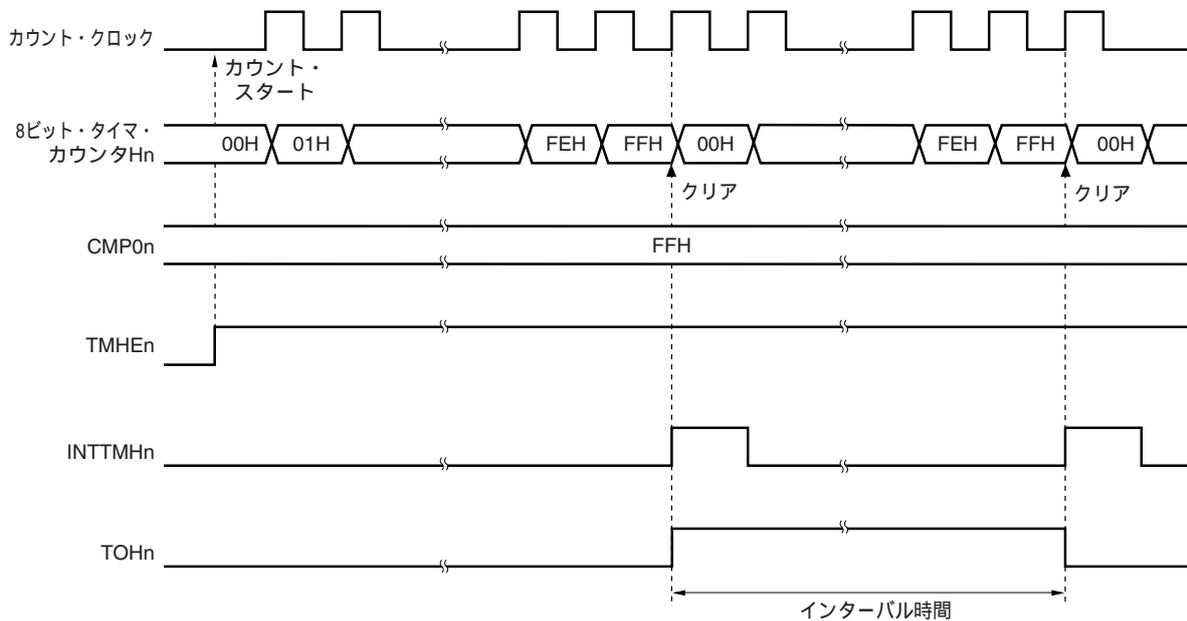
TMHEnビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

備考1. n = 0-2, ただし, 78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

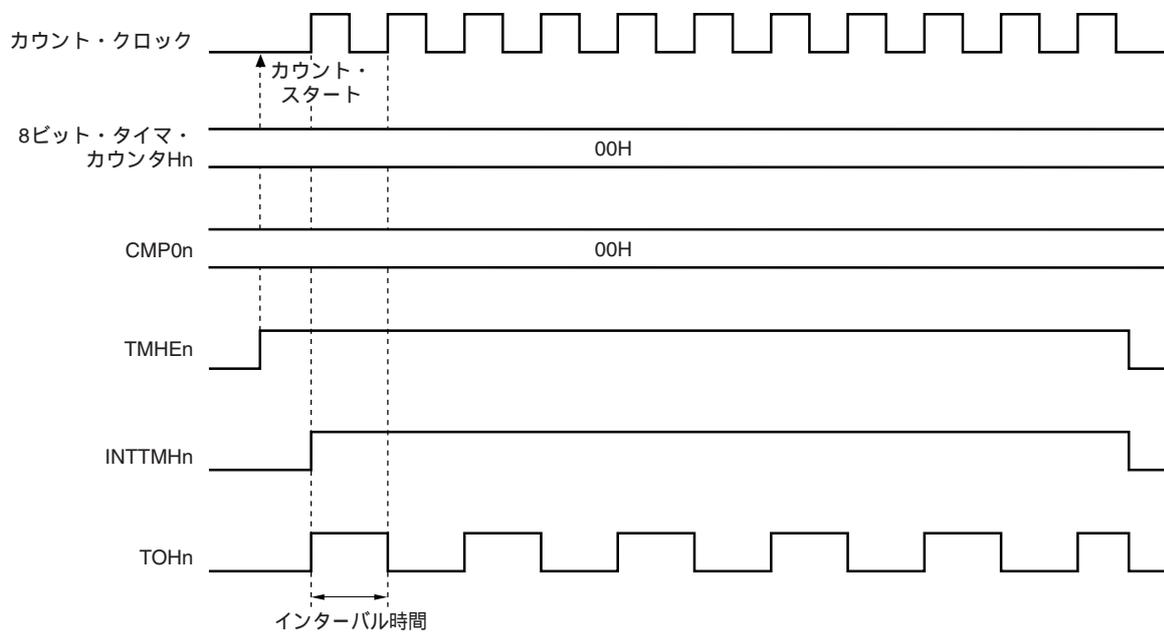
2. 01H N FEH

図8-12 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0-2, ただし, 78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

8.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。また8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、PWM出力 (TOHn出力) はインアクティブ・レベルを出力します。

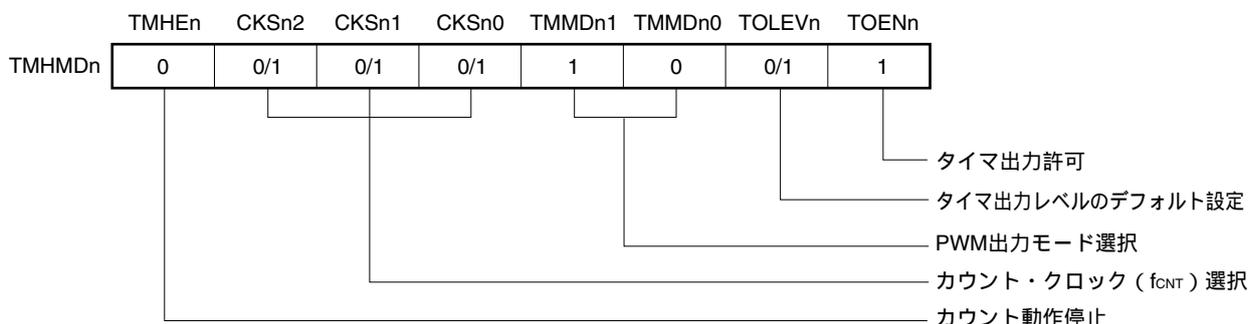
TMH2のタイマ出力 (PWM出力) は、TM52の外部イベント入力のイネーブル信号としてのみ使用可能です。外部への出力端子はないので注意してください。

設定方法

各レジスタの設定を行います。

図8 - 13 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0-2 , ただし , 78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

2 . 00H CMP1n (M) < CMP0n (N) FFH

TMHEn = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を(N)、CMP1nレジスタを(M)、カウント・クロックの周波数をfCNTとすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\cdot \text{PWMパルス出力周期} = (N + 1) / f_{\text{CNT}}$$

$$\cdot \text{デューティ} = (M + 1) / (N + 1)$$

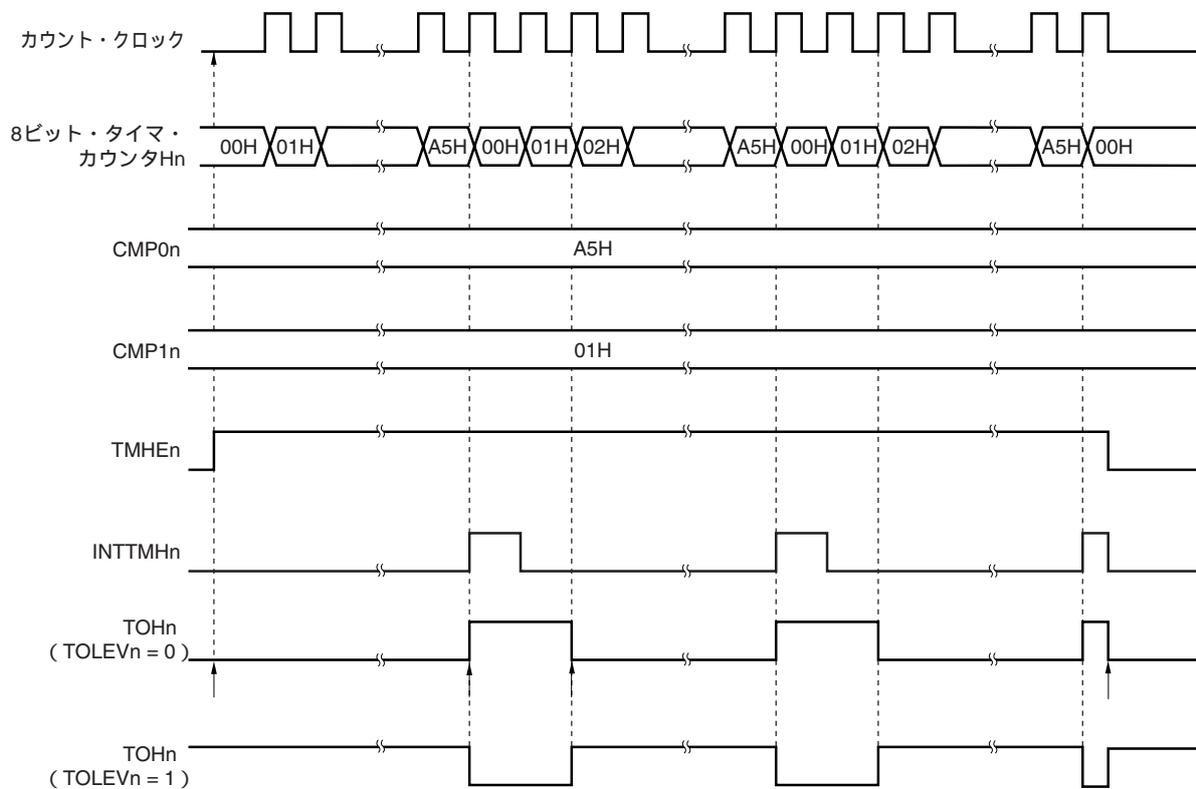
- 注意1.** タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号) の3クロック分以上かかります。
2. タイマ・カウント動作停止(TMHEn = 0)設定後、タイマ・カウント動作を開始する(TMHEn = 1)場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。
3. CMP1nレジスタの設定値(M)、CMP0nレジスタの設定値(N)は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n}(M) < \text{CMP0n}(N) \leq FFH$$

- 備考1.** 出力端子の設定については8.3(3) **ポート・モード・レジスタ3 (PM3)**を参照してください。
2. INTTMHn信号の割り込み許可については、**第20章 割り込み機能**を参照してください。
3. n = 0-2、ただし、78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致したときに、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

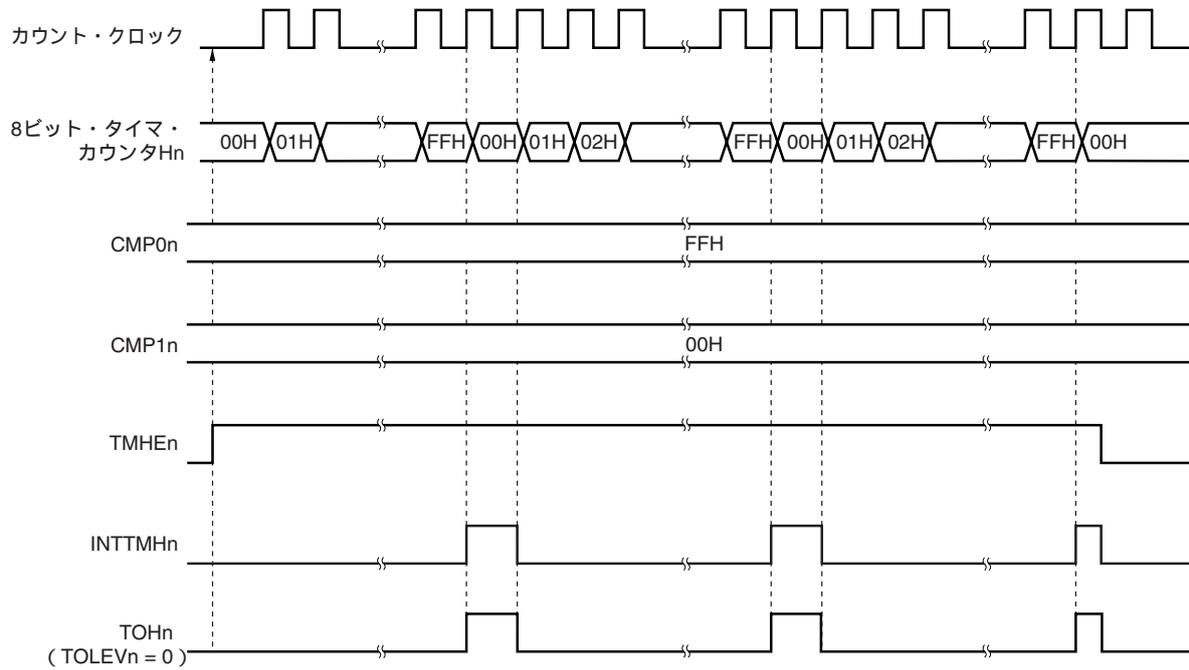
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致したときに、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号はデフォルトに、PWM出力はインアクティブ・レベルになります。

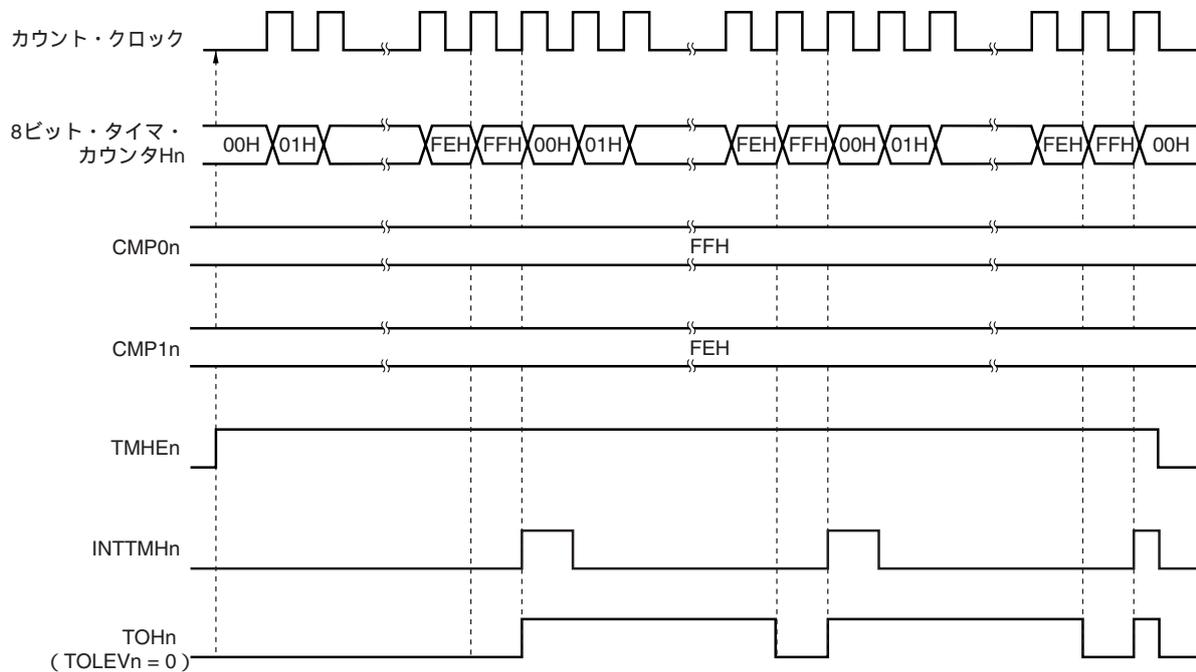
備考 n = 0-2、ただし、78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



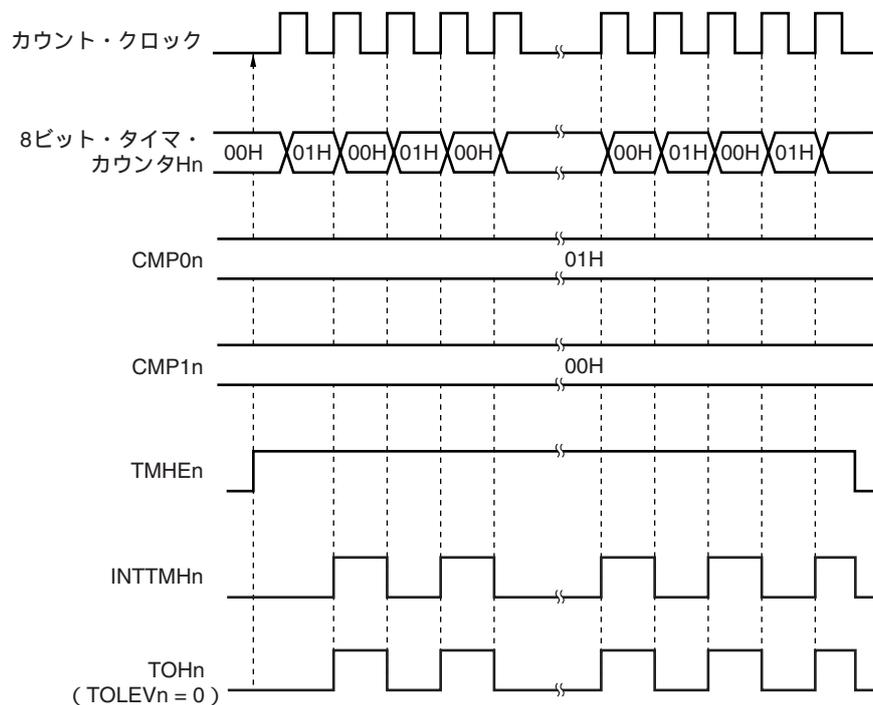
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0-2, ただし, 78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (3/4)

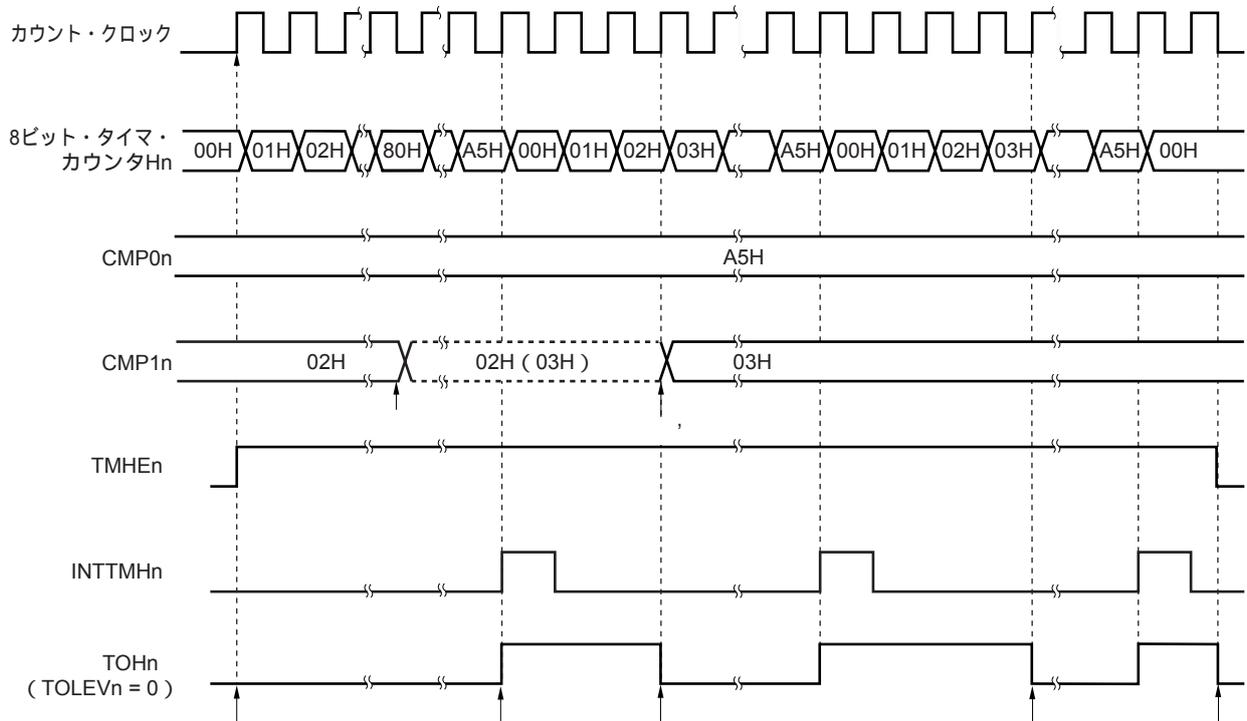
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0-2, ただし, 78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 02H 03H, CMP0n = A5H)



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、アクティブ・レベルを出力し、INTTMHn信号が発生します。

CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます（'）。

ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号はデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0-2, ただし、78K0/LE3-MはTOH0のみ。78K0/LG3-MはTOH0, TOH1のみ。

8.4.3 キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ)

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成(時間カウント)に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出力します。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01 (CMP01) はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11 (CMP11) はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

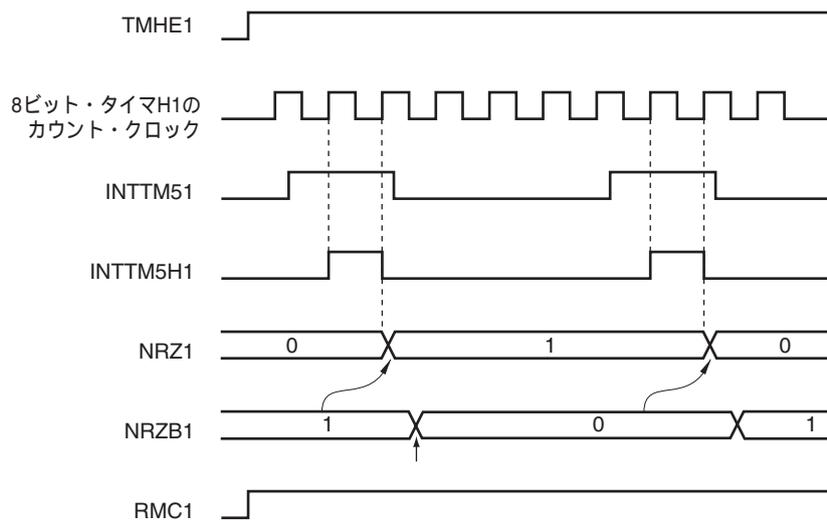
(2) キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号 (INTTM51) と8ビット・タイマHキャリア・コントロール・レジスタ (TMCYC1) のNRZB1ビット, RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 15 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1** . NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2** . 8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

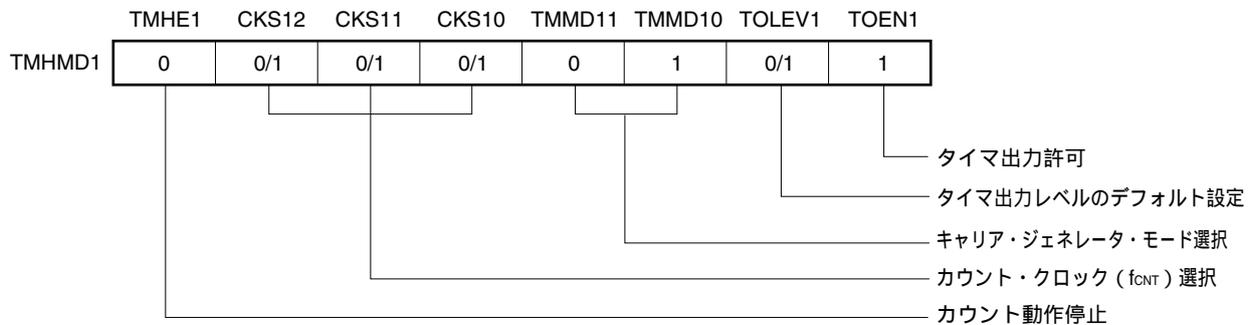
備考 INTTM5H1は内部信号で、割り込み要因ではありません。

設定方法

各レジスタの設定を行います。

図8 - 16 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・7.3 8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウンタ動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウンタ動作を開始します。

カウンタ動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウンタ値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、TOH1出力よりキャリア・クロックを出力します。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウント・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 = $(M + 1) / (N + M + 2)$

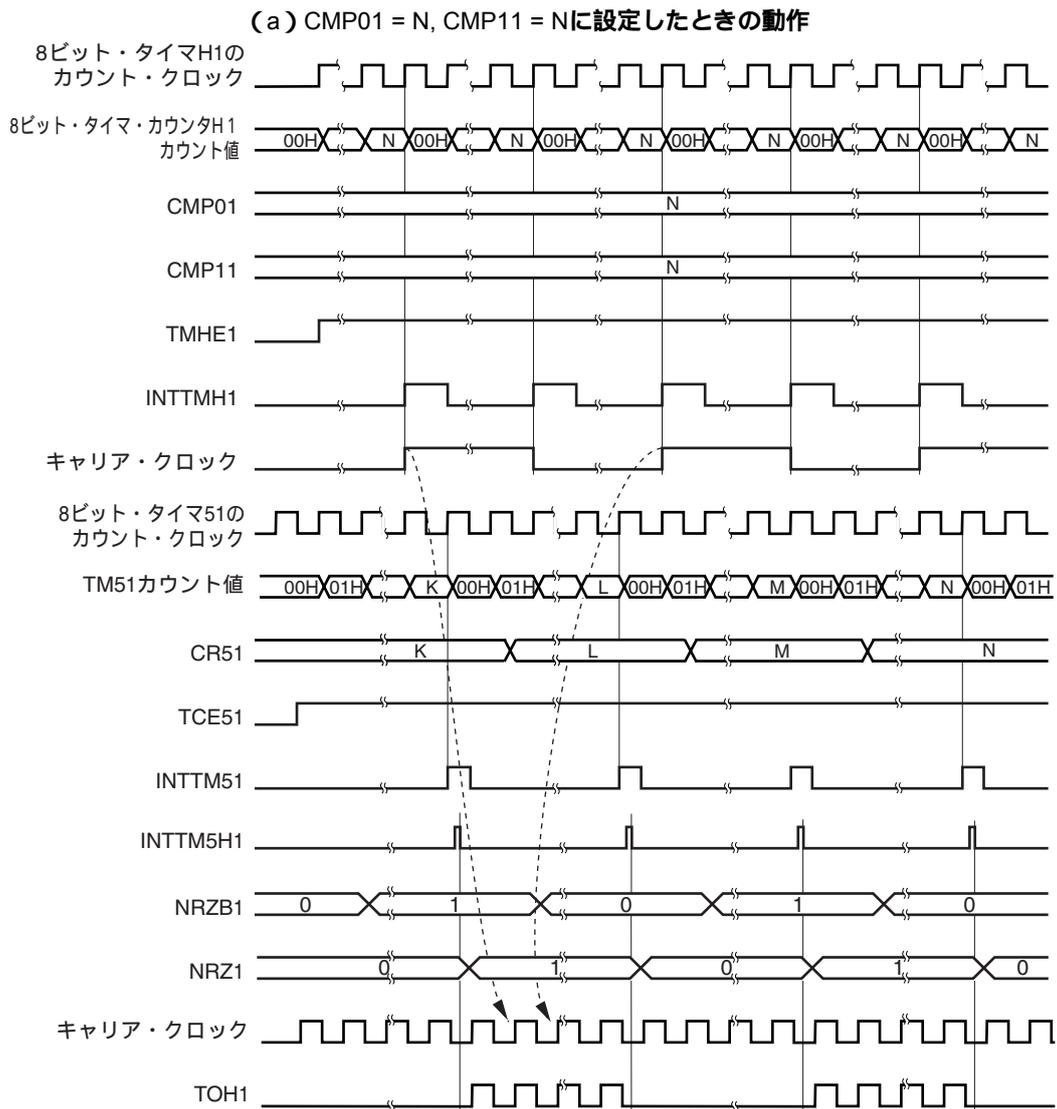
注意1. タイマ・カウント動作停止(TMHE1 = 0)設定後、タイマ・カウント動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。

2. TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
4. タイマ・カウント動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
5. RMC1ビットの設定はカウント動作開始前に必ず設定してください。

備考1. 出力端子の設定については8.3(3) ポート・モード・レジスタ3 (PM3)を参照してください。

2. INTTMH1信号の割り込み許可については、第20章 割り込み機能を参照してください。

図8-17 キャリア・ジェネレータ・モード動作のタイミング (1/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

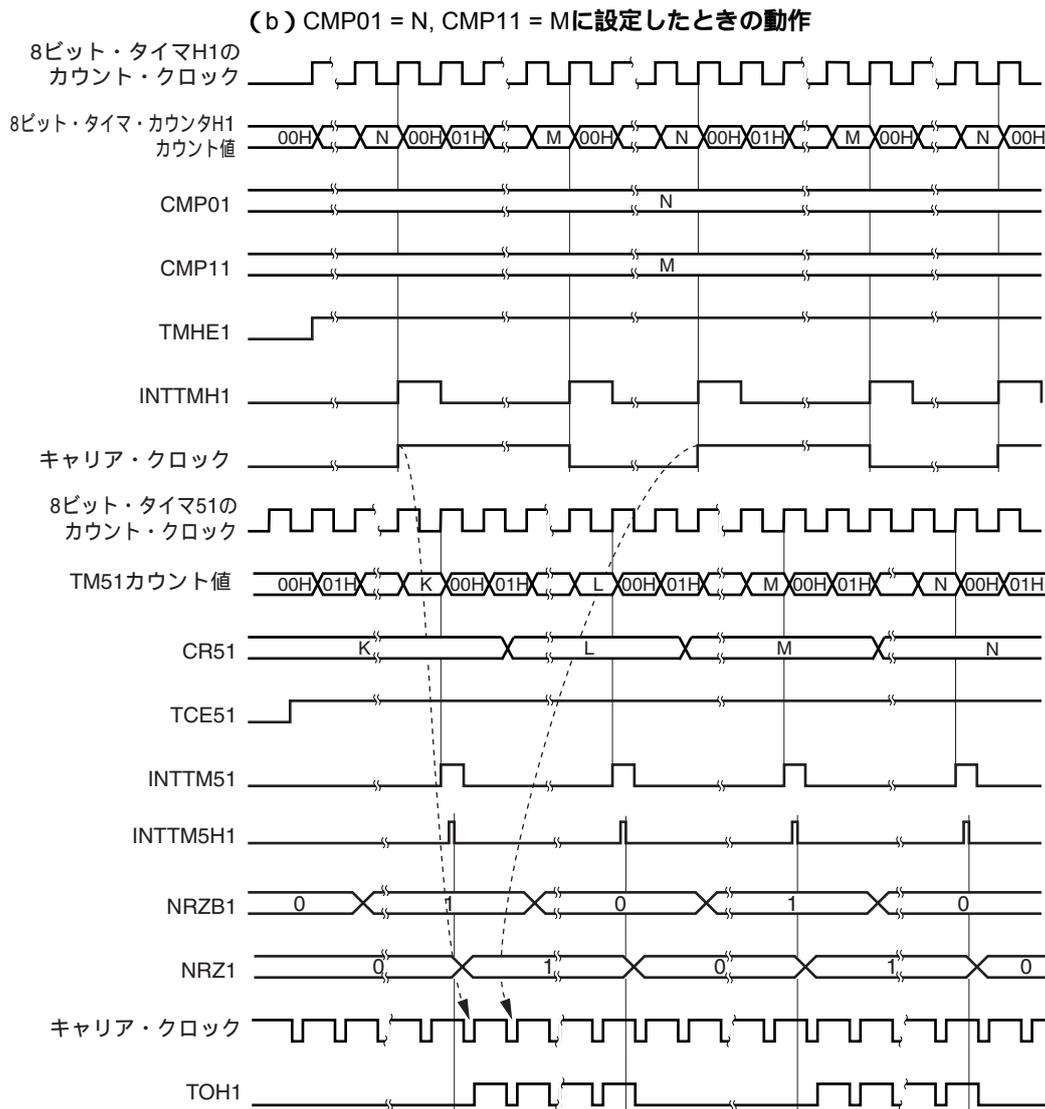
INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により、TOH1出力はロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8-17 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ固定（50%以外）のキャリア・クロックを生成します。

INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

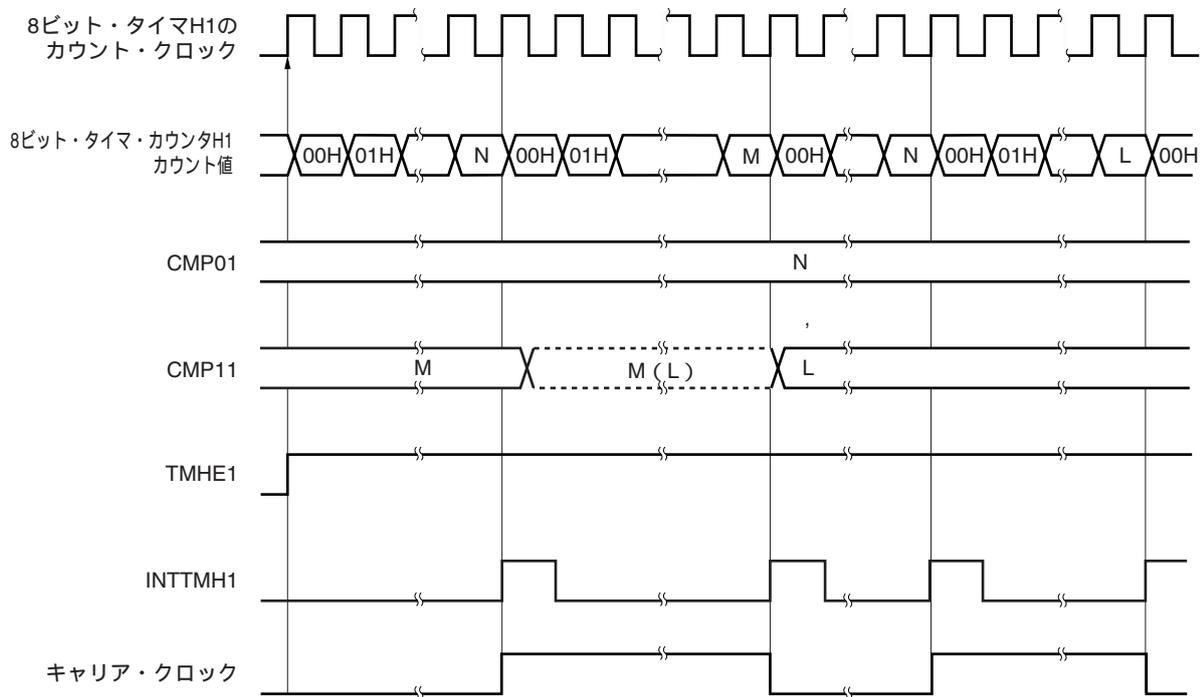
NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8-17 キャリア・ジェネレータ・モード動作のタイミング (3/3)

(c) CMP11変更による動作



TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。

CMP11レジスタはカウント・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値(M)が一致したタイミングで、CMP11レジスタが変更されます()。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。

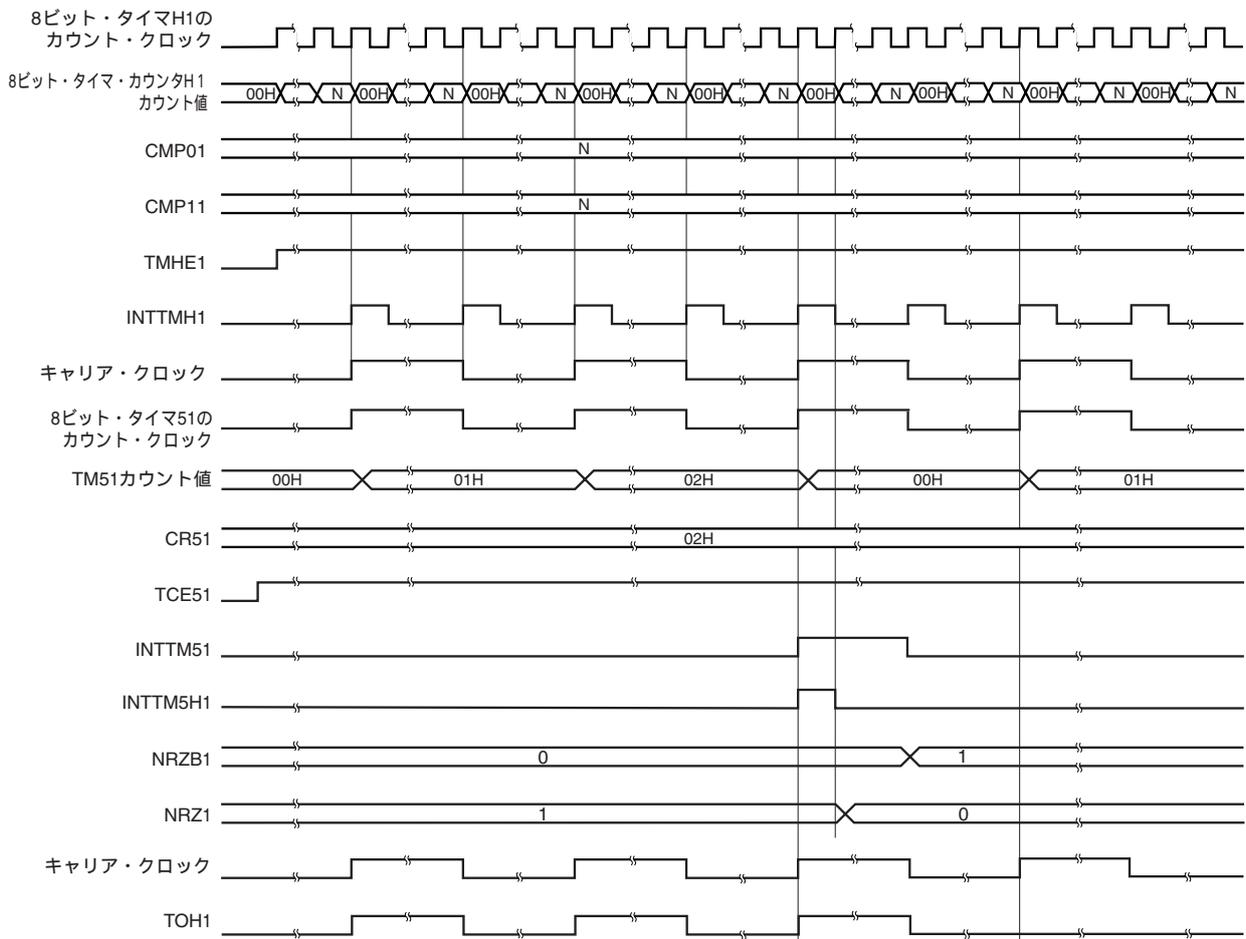
再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

8.4.4 タイマ51カウンタによるキャリア・クロック数の制御

8ビット・タイマ51のカウンタ・クロックにタイマH1出力信号を選択することにより、TOH1端子から出力するキャリア・クロック数を制御することができます。

TOH1端子からキャリア・クロックを3クロック出力したい場合の制御例を、図8 - 18に示します。

図8 - 18 タイマ51カウンタによるキャリア・クロック数の制御例
(タイマ51のカウンタ・クロックをタイマH1の出力信号に設定 (TCL51 = 07H))



TOH1端子からキャリア・クロックを3クロック出力したい場合、CR51レジスタに02Hを設定します。

TM51のカウンタ値がCR51レジスタの値 (02H) と一致したときに、INTTM51信号が発生します。その信号は8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。このときの転送タイミングは、INTTM5H1信号の立ち上がりから、タイマH1のカウンタ・クロックの1クロック後になります。

NRZ1 = 0により、TOH1出力はキャリア・クロックの3クロック目を出力後、ロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

第9章 リアルタイム・カウンタ

注意 リアルタイム・カウンタは、 $\overline{\text{RESET}}$ 端子によるリセットでのみ初期化されます。それ以外のウォッチドッグ・タイマ、パワーオンクリア (POC)、低電源検出回路 (LVI) による内部リセットでは初期化されません。

9.1 リアルタイム・カウンタの機能

リアルタイム・カウンタは、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。リアルタイム・カウンタには、次のような機能があります。

- ・年、月、曜日、日、時、分、秒のカウントを持ち、最長99年までカウント可能
- ・定周期割り込み機能 (周期: 1ヶ月~0.5秒)
- ・アラーム割り込み機能 (アラーム: 曜日・時・分)
- ・インターバル割り込み機能
- ・1 Hzまたは32.768 kHzの端子出力機能

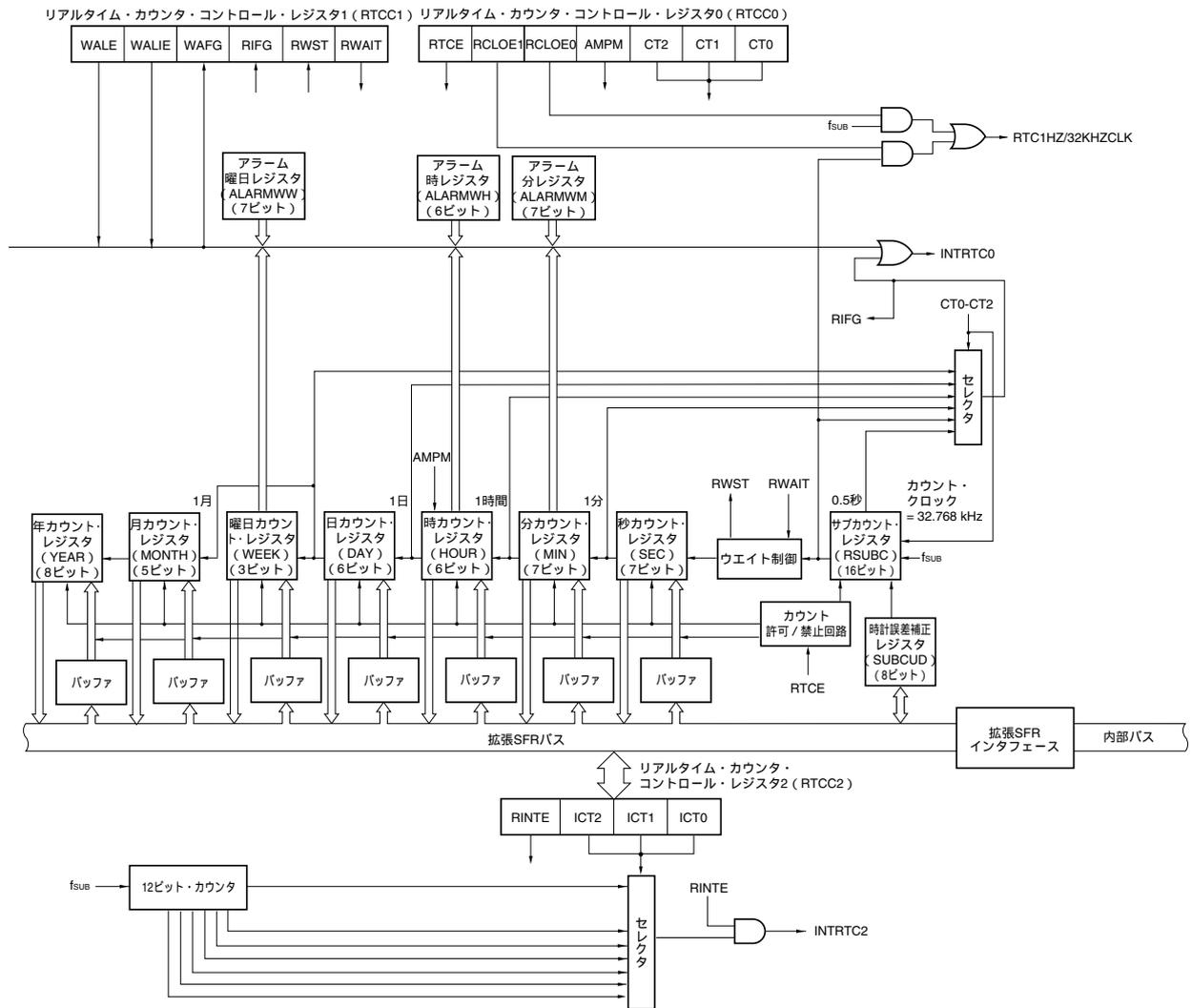
9.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表9-1 リアルタイム・カウンタの構成

項目	構成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) リアルタイム・カウンタ・モード・レジスタ (RTCMD) ブルダウン状態制御レジスタ (PUTCTL) サブカウント・レジスタ (RSUBC) 秒カウント・レジスタ (SEC) 分カウント・レジスタ (MIN) 時カウント・レジスタ (HOUR) 日カウント・レジスタ (DAY) 曜日カウント・レジスタ (WEEK) 月カウント・レジスタ (MONTH) 年カウント・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW)

図9-1 リアルタイム・カウンタのブロック図



9.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次のレジスタで制御します。

これらのレジスタは、すべて拡張SFR空間に配置されています。

拡張SFR空間へのアクセス方法は、[第17章 拡張SFRインタフェース](#)を参照してください。

- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・リアルタイム・カウンタ・モード・レジスタ (RTCMD)
- ・プルダウン状態制御レジスタ (PUTCTL)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

(1) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止, RTC1HZ/32KHZCLK端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図9-2 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス: 96H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1 ^注	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	32KHZCLK端子の出力制御
0	32KHZCLK端子の出力 (32.768 kHz) 禁止
1	32KHZCLK端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

AMPMの値を変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換えてください。AMPMの値を変更すると, 時カウント・レジスタ (HOUR) の値は設定した時間制に対応する値に変更されます。時間桁表示表を表9-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC0) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は, INTRTC0を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTC0IFフラグをクリアしてから割り込み処理許可にしてください。

注 RCLOE0とRCLOE1は, 同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると, 32.768 kHz, 1 Hzの出力の最後の波形が短くなる場合があります。

備考 x : don't care

(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図9-3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：97H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTC0を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTC0IFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ，アラーム分レジスタ (ALARMWM)，アラーム時レジスタ (ALARMWH)，アラーム曜日レジスタ (ALARMWW)) を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み (INTRTC0) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITの設定が有効であることを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。	

図9-3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC ~ YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 サブカウンタ・レジスタ (RSUBC) は動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーバーフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウント・アップします。ただし、秒カウンタ・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウント・アップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのためRTCC1レジスタへの書き込みは、8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず、値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC0) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTC0が発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(3) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能を制御する8ビットのレジスタです。

RTCC2は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図9-4 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：92H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	0	0	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTC2) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{SUB}$ (1.953125 ms)
1	0	0	1	$2^7/f_{SUB}$ (3.90625 ms)
1	0	1	0	$2^8/f_{SUB}$ (7.8125 ms)
1	0	1	1	$2^9/f_{SUB}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{SUB}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{SUB}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{SUB}$ (125 ms)

注意 ICT2, ICT1, ICT0の変更は、RINTE = 0のときに行ってください。

(4) リアルタイム・カウンタ・モード・レジスタ (RTCMD)

リアルタイム・カウンタの動作モードを設定する8ビットのレジスタです。

RTCMDは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図9-5 リアルタイム・カウンタ・モード・レジスタ (RTCMD) のフォーマット

アドレス：CBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCMD	RTCMD7	RTCMD6	RTCMD5	RTCMD4	RTCMD3	RTCMD2	RTCMD1	RTCMD0

RTCMD7-RTCMD0	リアルタイム・カウンタの動作モードの設定
01011001 (59H)	リアルタイム・カウンタは動作。 24ビット 型A/Dコンバータ、電力演算回路、電力品質測定回路、 デジタル周波数変換回路は動作停止。
上記以外	通常動作モード

(5) ブルダウン状態制御レジスタ (PUTCTL)

リセット解除後の端子のブルダウン状態を制御する8ビットのレジスタです。

PUTCTLは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図9-6 ブルダウン状態制御レジスタ (PUTCTL) のフォーマット

アドレス：88H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PUTCTL	0	0	0	0	0	0	0	PDCUT

PDCUT	ブルダウン抵抗の接続制御
0	ブルダウン抵抗を接続
1	ブルダウン抵抗を切断

注意 拡張SFR空間へのアクセスは、拡張SFRインタフェースを使用します。リセット解除後、拡張SFRインタフェースの初期化が終了するまでの間、拡張SFRインタフェースの状態が不定にならないようにブルダウン制御を行います。拡張SFRインタフェースの初期化が完了したあとは、消費電流を抑えるため、PUTCTLに01Hを設定して、ブルダウン状態を解除してください。

(6) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。
通常0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。
RSUBCは、拡張SFR空間に配置されています。
拡張SFRインタフェースを使用して設定します。
リセット信号の発生により、0000Hになります。

- 注意1.** 時計誤差補正レジスタ (SUBCUD) により補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図9-7 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス：98H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSUBCL	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス：99H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSUBCH	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(7) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。
サブカウンタからのオーバーフローによりカウント・アップします。
書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。
SECは、拡張SFR空間に配置されています。
拡張SFRインタフェースを使用して設定します。
リセット信号の発生により、00Hになります。

図9-8 秒カウント・レジスタ (SEC) のフォーマット

アドレス：9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(8) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。

MINは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図9 - 9 分カウント・レジスタ (MIN) のフォーマット

アドレス : 9BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(9) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また, リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて, 10進の00-23または01-12, 21-32をBCDコードで設定してください。AMPMの値を変更すると, HOURの値は設定した時間制に対応する値に変更されます。

HOURは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。

図9 - 10 時カウント・レジスタ (HOUR) のフォーマット

アドレス : 9CH リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表9 - 2に示します。

表9 - 2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前(AM)のときに0に，午後(PM)のときに1となります。

(10) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。

DAYは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 01Hになります。

図9 - 11 日カウント・レジスタ (DAY) のフォーマット

アドレス : 9EH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(11) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図9 - 12 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : 9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(12) 月カウント・レジスタ (MONTH)

1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。

MONTHは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 01Hになります。

図9 - 13 月カウント・レジスタ (MONTH) のフォーマット

アドレス : 9FH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(13) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-99をBCDコードで設定してください。

YEARは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図9 - 14 年カウント・レジスタ (YEAR) のフォーマット

アドレス : A0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(14) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, INTRTC0を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き替え後は, 割り込み要求フラグ (RTC0IF), 定周期割り込みステータス・フラグ (RIFG) をクリアしてから割り込み処理許可にしてください。

SUBCUDは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図9 - 15 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: A1H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正

次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。

- ・ DEV = 0設定時: SEC = 00H, 20H, 40Hの期間
- ・ DEV = 1設定時: SEC = 00Hの期間

F6	時計誤差補正値の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。
 /F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。
 補正値の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124
 (F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(15) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。
ALARMWMは、拡張SFR空間に配置されています。
拡張SFRインタフェースを使用して設定します。
リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 16 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：93H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(16) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。
ALARMWHは、拡張SFR空間に配置されています。
拡張SFRインタフェースを使用して設定します。
リセット信号の発生により、12Hになります。
ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 17 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：94H リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(17) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図9 - 18 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：95H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

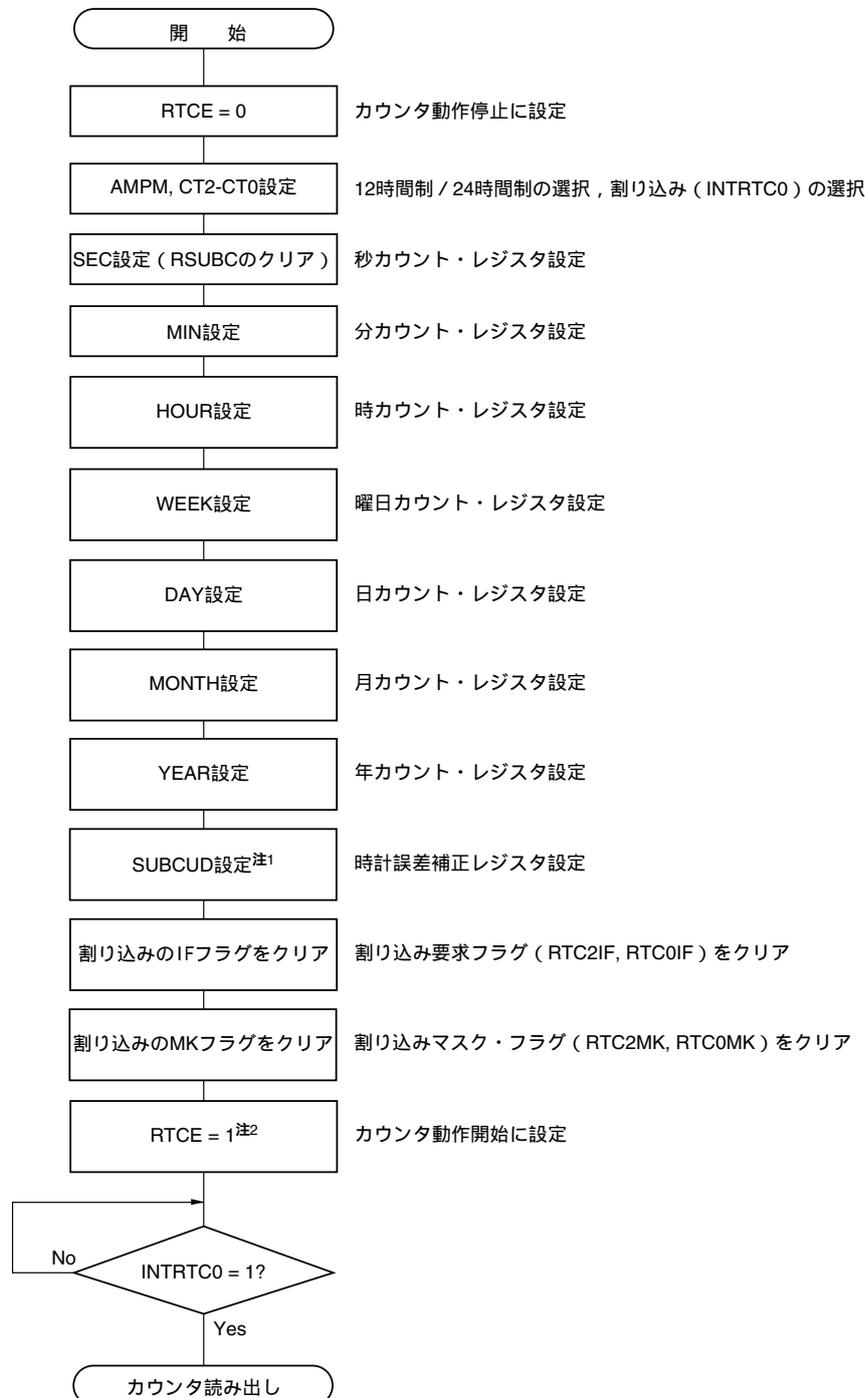
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜 日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
	0	1	2	3	4	5	6								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9.4 リアルタイム・カウンタの動作

9.4.1 リアルタイム・カウンタの動作開始

図9-19 リアルタイム・カウンタの動作開始手順



注1. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、9.4.7 リアルタイム・カウンタの時計誤差補正例を参照してください。

2. RTCE = 1のあとにINTRTC0 = 1を待たずにSTOPモードへ移行する場合は、9.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

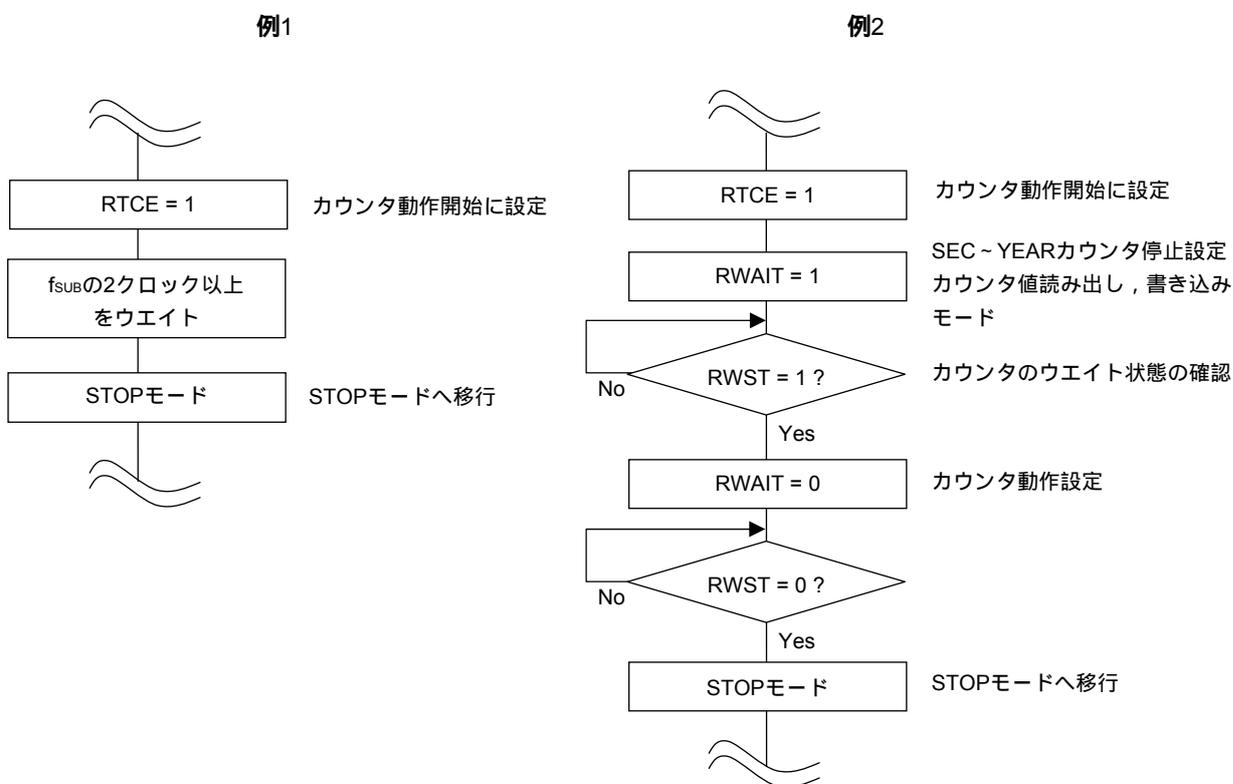
9.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC0割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック (f_{SUB}) の2クロック分以上経過後にSTOPモードへ移行する (図9-20 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する (図9-20 例2参照)。

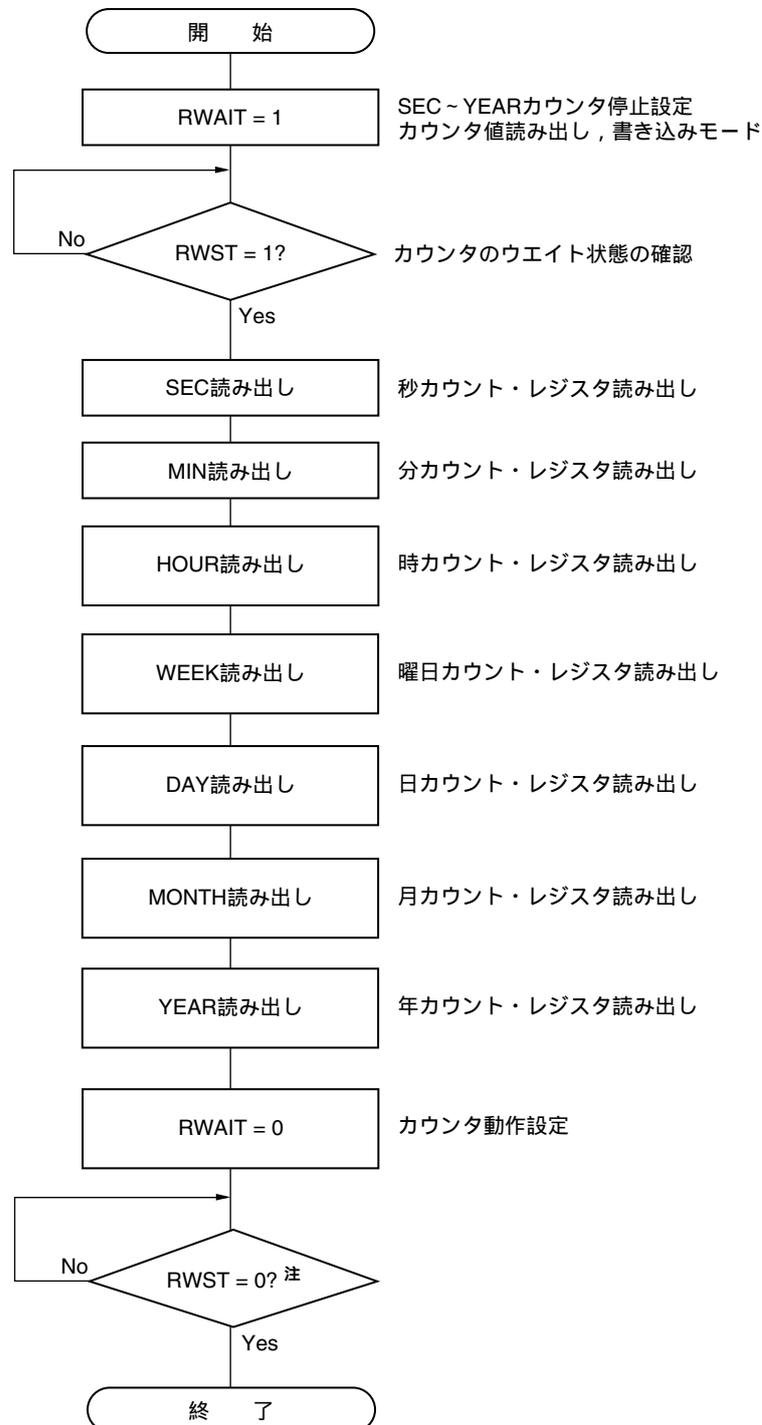
図9-20 RTCE = 1に設定後のSTOPモードへの移行手順



9.4.3 リアルタイム・カウンタのカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図9 - 21 リアルタイム・カウンタの読み出し手順

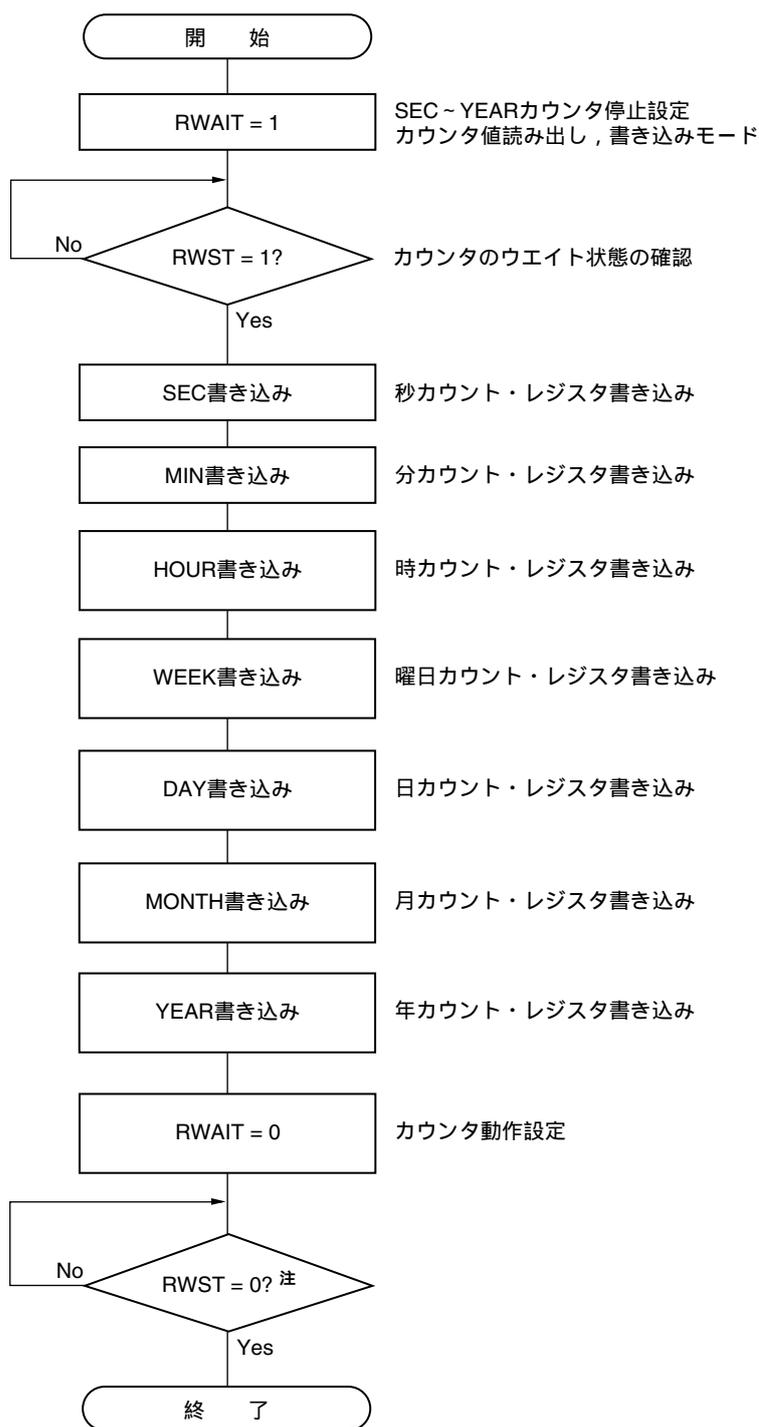


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図9 - 22 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

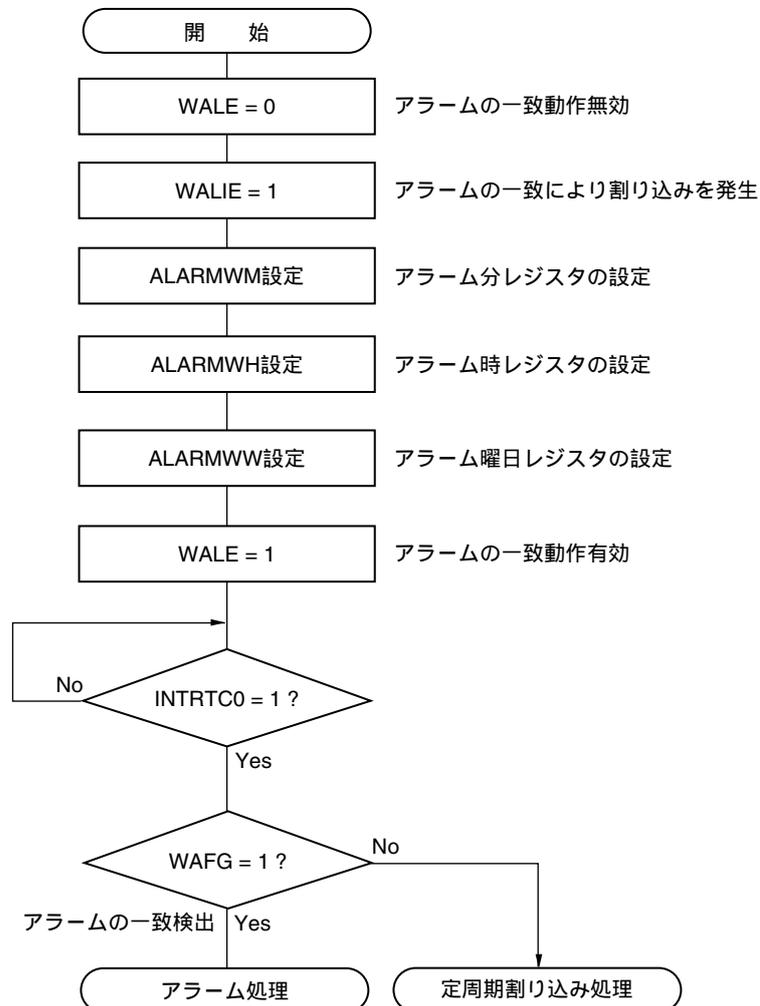
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

9.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図9 - 23 アラーム設定手順

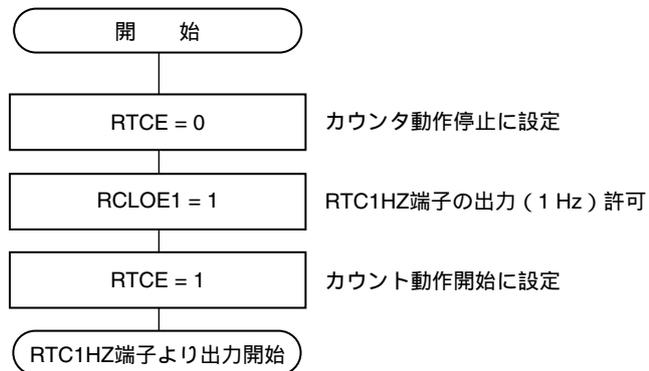


備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

- 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC0) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTC0が発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

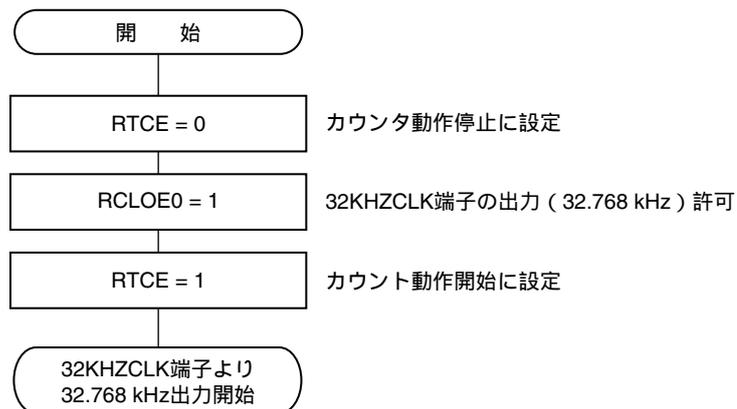
9.4.5 リアルタイム・カウンタの1 Hz出力

図9 - 24 1 Hz出力の設定手順



9.4.6 リアルタイム・カウンタの32.768 kHz出力

図9 - 25 32.768 kHz出力の設定手順



9.4.7 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、リアルタイム・カウンタ (RTC) の入力クロック (f_{SUB}) の値です。
32KHZCLK端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値(00H)時のRTC1HZ端子の出力周波数 × 32768で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]は、32KHZCLK端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの1Hz出力**を、32KHZCLK端子から約32 kHzの出力の設定手順は、9. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(32KHZCLK端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

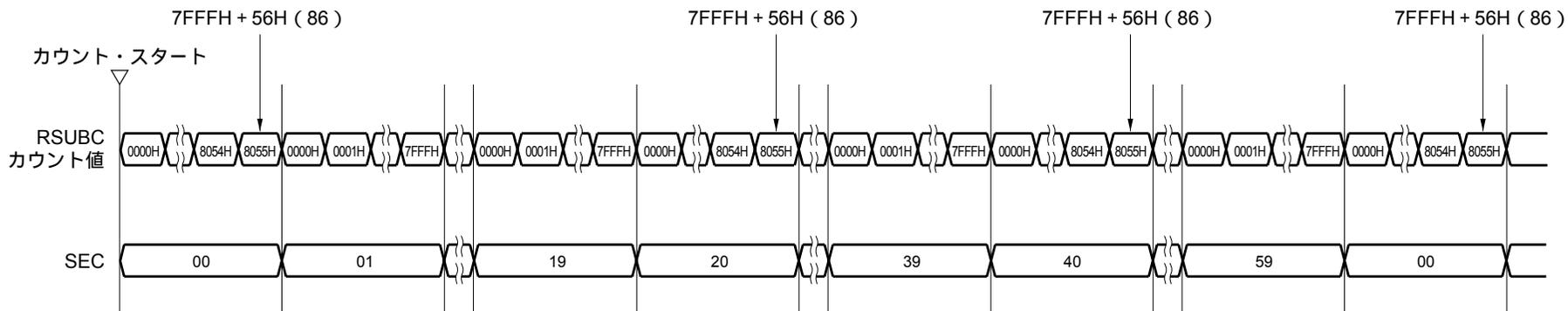
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正値 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図9 - 26に示します。

図9 - 26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]を32KHZCLK端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの1Hz出力**を、32KHZCLK端子から約32 kHzの出力の設定手順は、9. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1\text{分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下 (速くする場合) では、F6 = 1とします。

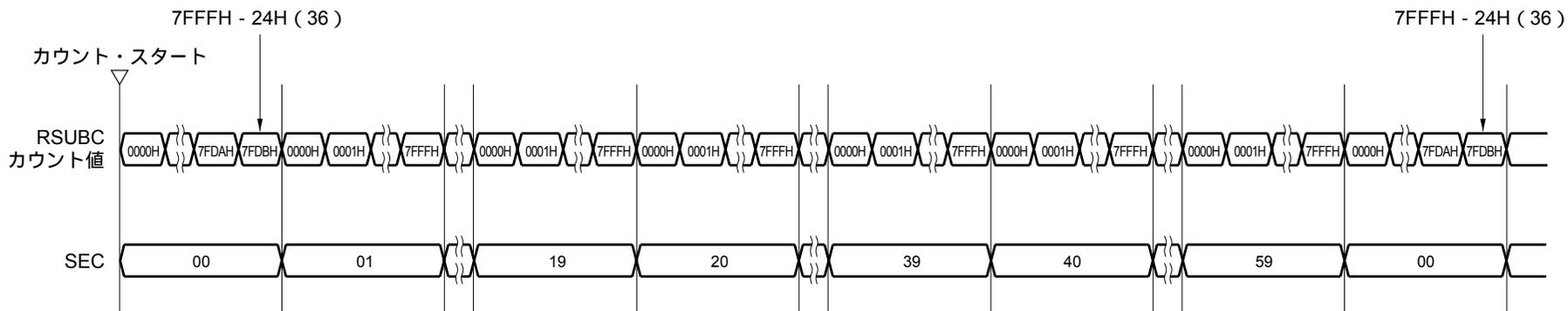
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図9 - 27に示します。

図9 - 27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



9.5 RTC温度補正回路の機能

温度センサを用いた温度測定結果を基に、RTC周波数を補正する機能です。

温度測定は、温度依存のあるセンサと温度依存のないセンサの比の直線性を利用し、測定時の温度を算出します。事前に2点の基準温度環境下において、温度センサ検出値を測定し、2基準間の傾きおよびオフセットを計算しておきます。実使用環境において測定された温度センサ検出値と、あらかじめ計算しておいた傾きとオフセットを使用し、温度を求めます。

計算方法は以下のとおりです。

$$T_{\text{now}} = (\text{温度センサ検出値} - \text{オフセット}) / \text{傾き} + T_{\text{base}}$$

$$\text{温度センサ検出値} = T_0/T_1 \times 256$$

T0： 温度依存センサの測定値

T1： 温度非依存センサの測定値

T_{now}： 測定時の温度

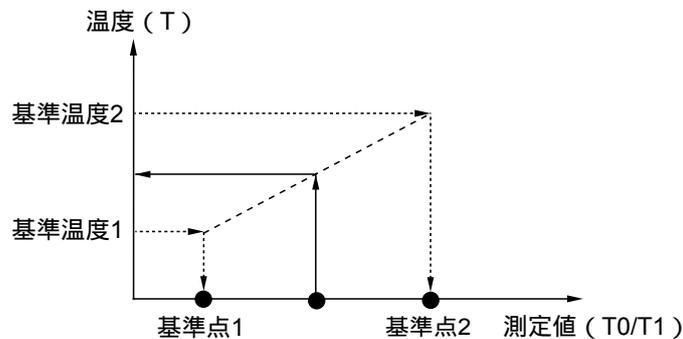
T_{base}： 基準環境下の温度

備考 オフセットおよび傾きは、2点の基準温度環境下での測定値から計算しておきます。

注意 本温度センサは、RTC補正用途以外には使用しないでください。

本機能を使用する場合は、ANI0, ANI1は使用できません(100ピン品)。

図9 - 28 測定時の温度算出



RTC補正では、温度測定結果から補正值を算出し、RTCの補正を行います。RTC補正は、発振周波数に対し ± 189 ppmの範囲で周波数誤差を補正できます。

RTCでは、時計誤差補正レジスタ (SUBCUD) により、水晶の周波数の補正を行います。 ± 189 ppm範囲内の周波数誤差を補正できます。補正はデジタル補正であり、水晶クロック信号からのパルスを加えるか、または引き算することによって実行します。誤差補正レジスタの分解能は、 ± 1.5 ppm/LSB (またはSUBCUDのDEVの設定により ± 0.5 ppm/LSB)、言い換えると、 ± 0.13 秒/日 (または ± 0.044 秒/日) です。

温度補正は、前の温度測定結果によって補正值を算出し、SUBCUDに値を設定することによってクロック補正を実現します。

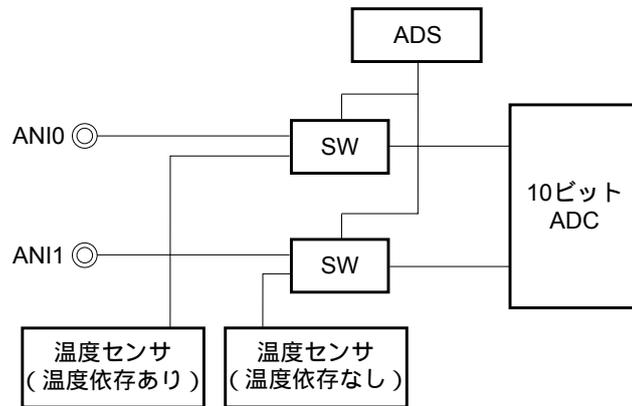
9.5.1 RTC温度補正回路の構成

温度補正は、逐次型A/Dコンバータに温度補正用の電圧選択フラグ(ADISS)を設定することにより行います。AD変換されるチャンネルは、逐次A/Dコンバータに搭載するADSレジスタで選択します。

ADSレジスタによる逐次A/D変換チャンネル選択は、第12章 10ビット逐次比較型A/Dコンバータを参照してください。

注意 ADISSフラグ = 1に設定した場合、1回目の変換結果は無効となるため、2回目以降の変換結果を使用してください。

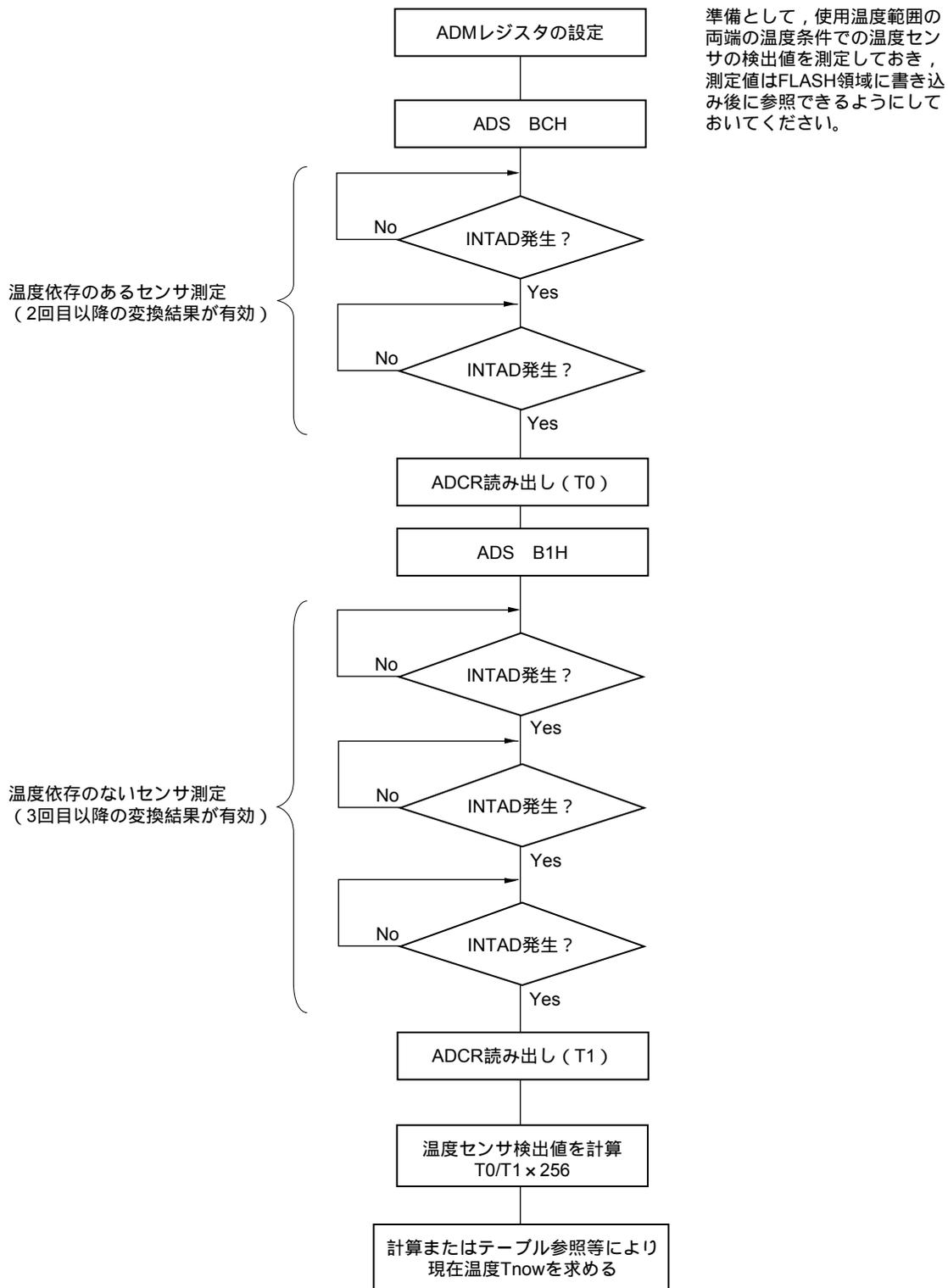
図9 - 29 RTC温度補正回路のブロック図



9.5.2 RTC温度補正回路の動作

(1) 温度センサの使用手順

図9-31 温度センサの使用手順



(2) RTC補正手順

算出方法を以下に示します。

最大、最小補正サブカウント数は $8000H \pm 7 \text{ ch}$ (設定はSUBCUD = 3FHまたは42H)。

1分間に3回補正を行う (00秒, 20秒, 40秒) とすると、補正時の1分間の総サブカウント範囲は、

$$\text{最大: } (8000H \times 60) + (7 \text{ ch} \times 3) = 1966452 \text{ [カウント]}$$

$$\text{最小: } (8000H \times 60) - (7 \text{ ch} \times 3) = 1965708 \text{ [カウント]}$$

よって、補正時の平均1秒間サブカウント範囲は、

$$\text{最大: } (8000H) + (7 \text{ ch} / 20) = 32774.2 \text{ [カウント]}$$

$$\text{最小: } (8000H) - (7 \text{ ch} / 20) = 32761.8 \text{ [カウント]}$$

以上により、補正が有効な周波数範囲は、

$$\text{最大周波数: } 32.7742 \text{ kHz (SUBCUD = 3FH)}$$

$$\text{最小周波数: } 32.7618 \text{ kHz (SUBCUD = 42H)}$$

となります。

9.5.3 温度補正回路の注意事項

- (1) ADISSフラグ = 1を設定した場合、1回目の変換結果は無効となるため、2回目以降の変換結果を使用してください。
- (2) 高速内蔵発振器レギュレータを停止している状態では、温度センサを使用できません。つまり、温度センサ使用前に内蔵発振器をONにし、2 μs 後に測定を開始してください。
- (3) 温度センサは通常動作時のみ使用します。停電時、バッテリー駆動時はRTC補正を行わないため、温度センサは使用しません。

第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタ^注で設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタ^注で設定していない領域(ただしFB00H-FFCFH, FFE0H-FFFFHは除く)にアクセスした場合
(CPU暴走時の異常アクセス検出)

注 内部拡張RAMを内蔵していない製品は、IXSレジスタを搭載していません。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第26章 **リセット機能**を参照してください。

10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

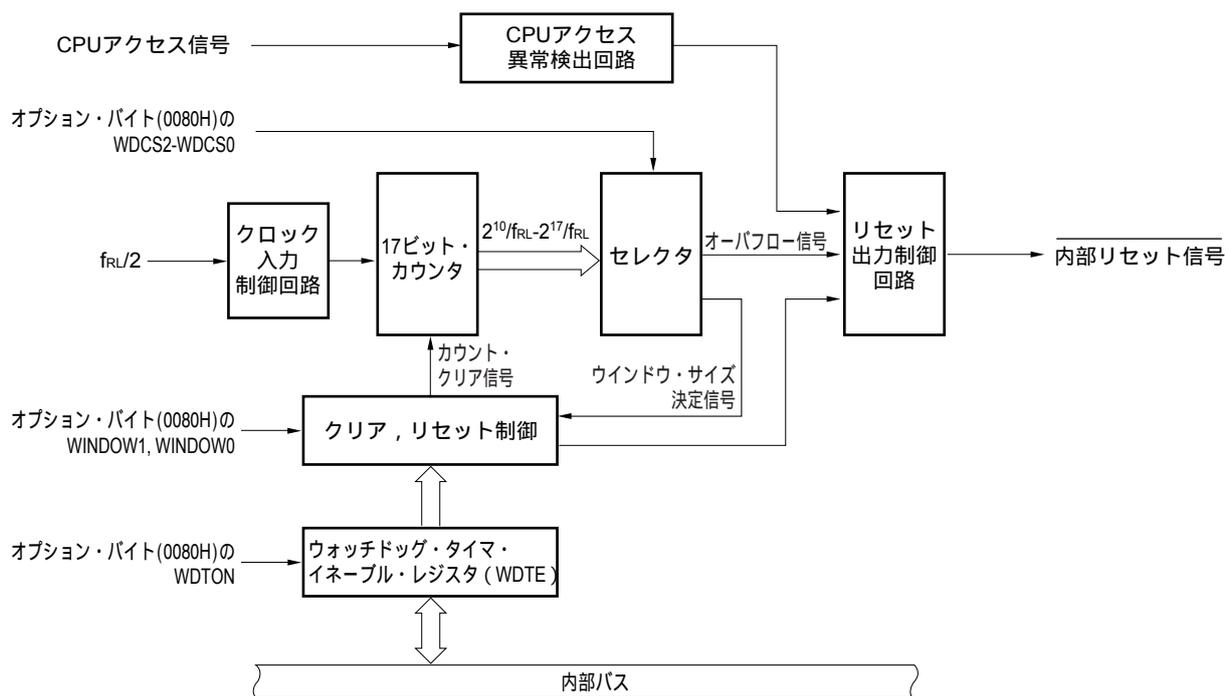
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表10-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第29章 **オプション・バイト**を参照してください。

図10-1 ウォッチドッグ・タイマのブロック図



10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図10-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF99H リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値)になります。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

- ・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第29章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウント動作禁止（リセット解除後、カウント停止）、不正アクセス検出動作禁止
1	カウント動作許可（リセット解除後、カウント開始）、不正アクセス検出動作許可

- ・オプション・バイト（0080H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、10.4.2および第29章を参照）。
- ・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、10.4.3および第29章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタ^注で設定していない領域からフェッチした場合（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタ^注で設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合（CPU暴走時の異常アクセス検出）

注 内部拡張RAMを内蔵していない製品は、IXSレジスタを搭載していません。

- 注意1. リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウンタ開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(0080H)のビット3-1(WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウンタ動作を開始します。

設定するオーバフロー時間を次に示します。

表10-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

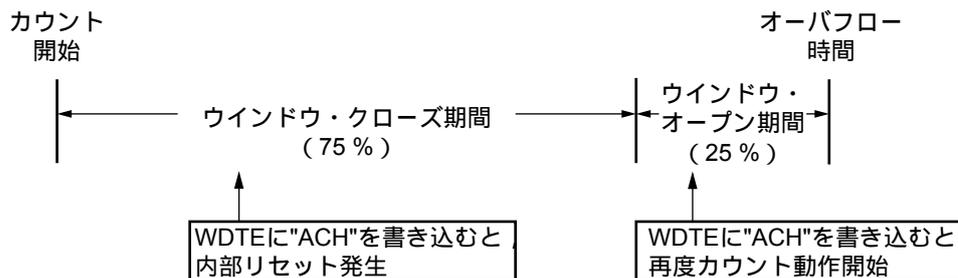
- () 内は $f_{RL} = 264$ kHz (MAX.) の場合

10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表10-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- 1.8 V $V_{DD} < 2.6$ Vで使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマは停止しません。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{11}/f_{RL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

(2.6 V V_{DD} 3.6 Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 7.11 ms	0 ~ 4.74 ms	0 ~ 2.37 ms	なし
ウインドウ・オープン時間	7.11 ~ 7.76 ms	4.74 ~ 7.76 ms	2.37 ~ 7.76 ms	0 ~ 7.76 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/264 \text{ kHz} (\text{MAX.}) = 7.76 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 7.11 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{11}/264 \text{ kHz} (\text{MAX.}) \\ = 7.11 \sim 7.76 \text{ ms}$$

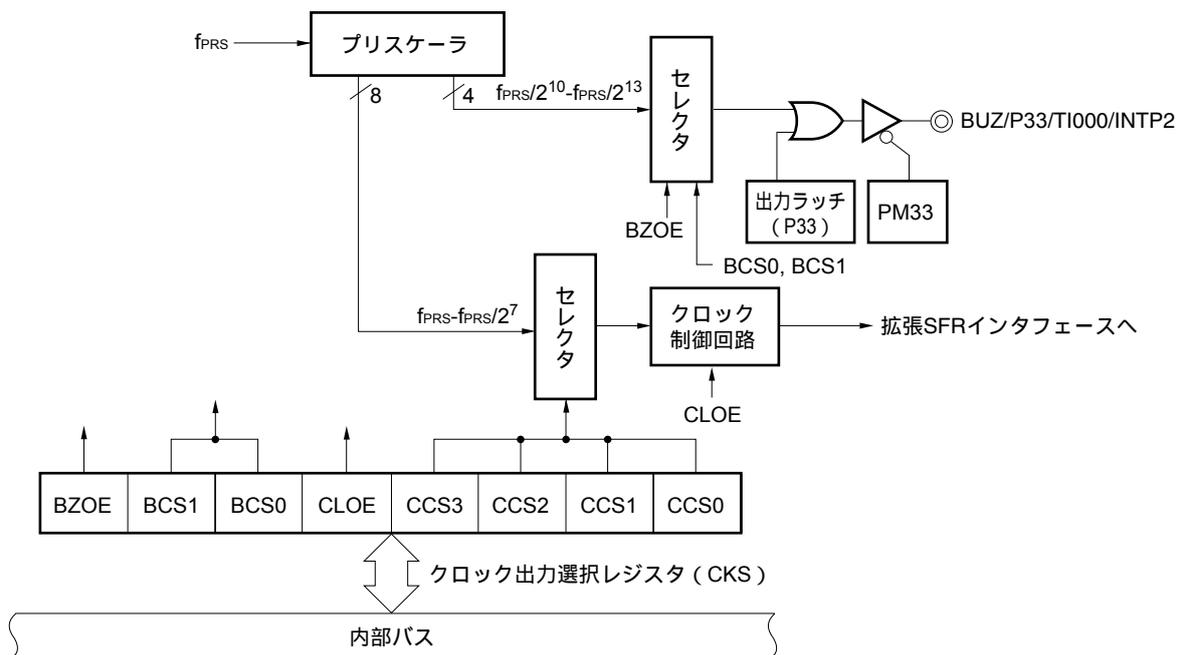
第11章 ブザー出力制御回路

11.1 ブザー出力制御回路の機能

ブザー出力は、クロック出力選択レジスタ（CKS）で選択したブザー周波数の方形波を出力する機能です。

図11 - 1にブザー出力制御回路のブロック図を示します。

図11 - 1 ブザー出力制御回路のブロック図



11.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成されています。

表11-1 ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

11.3 ブザー出力制御回路を制御するレジスタ

ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ3 (PM3)

(1) クロック出力選択レジスタ (CKS)

ブザー周波数出力 (BUZ) の出力許可 / 禁止、および拡張SFRへのクロック供給の許可 / 禁止を設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 2 クロック出力選択レジスタ (CKS) のフォーマット

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	0	f _{PRS} /2 ¹⁰	4.88 kHz	9.77 kHz
0	1	f _{PRS} /2 ¹¹	2.44 kHz	4.88 kHz
1	0	f _{PRS} /2 ¹²	1.22 kHz	2.44 kHz
1	1	f _{PRS} /2 ¹³	0.61 kHz	1.22 kHz

CLOE	拡張SFRへのクロック供給の許可 / 禁止の指定
0	拡張SFRへのクロック供給禁止
1	拡張SFRへのクロック供給許可

CCS3	CCS2	CCS1	CCS0	拡張SFRへ供給するクロックの選択 ^{注1}		
				f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	5 MHz	10 MHz
0	0	0	1	f _{PRS} /2	2.5 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²	1.25 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³	625 kHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴	312.5 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵	156.25 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶	78.125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷	39.062 kHz	78.125 kHz
上記以外				設定禁止		

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- ・ V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz
- ・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 V で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、CCS3 = CCS2 = CCS1 = CCS0 = 0 (クロック : f_{PRS}) は設定禁止です。

- 注意1. BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。
2. CCS3-CCS0の設定は、クロック供給動作停止時 (CLOE = 0) に行ってください。
 3. 24ビット 型A/Dコンバータを使用する場合は、拡張SFRに10 MHzを供給してください。
 4. 拡張SFRへ供給するクロック周波数は、拡張SFRインタフェースの転送クロック周波数の4倍以上になるように設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P33/BUZ/TI000/INTP2端子をブザー出力機能として使用するとき，PM33およびP33の出力ラッチに0を設定してください。

PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図11-3 ポート・モード・レジスタ3 (PM3) のフォ - マット

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 ブザー出力制御回路の動作

ブザー・クロックは，次の手順で出力します。

クロック出力選択レジスタ (CKS) のビット5, 6 (BCS0, BCS1) でブザー出力周波数を選択する (ブザー出力は禁止の状態)。

CKSのビット7 (BZOE) に1を設定し，ブザー出力を許可する。

第12章 10ビット逐次比較型A/Dコンバータ

	78K0/LE3-M	78K0/LG3-M
10ビット逐次比較型 A/Dコンバータ	1 ch	8 ch

12.1 10ビット逐次比較型A/Dコンバータの機能

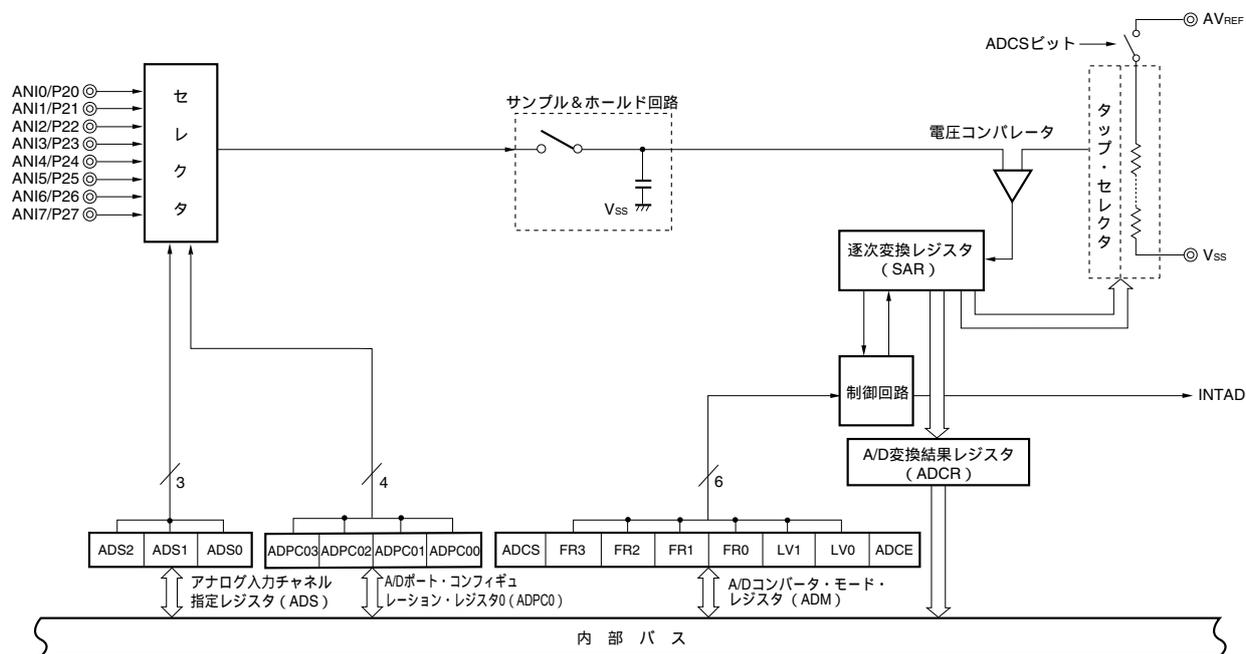
10ビット逐次比較型A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

ANI0-ANI7からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

図12-1 10ビット逐次比較型A/Dコンバータのブロック図



備考 78K0/LE3-M : ANI7

78K0/LG3-M : ANI0-ANI7

12.2 10ビット逐次比較型A/Dコンバータの構成

10ビット逐次比較型A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7端子

10ビット逐次比較型A/Dコンバータの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートもしくはセグメント出力(78K0/LG3-Mのみ)として使用できます。

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANI0-ANI7端子

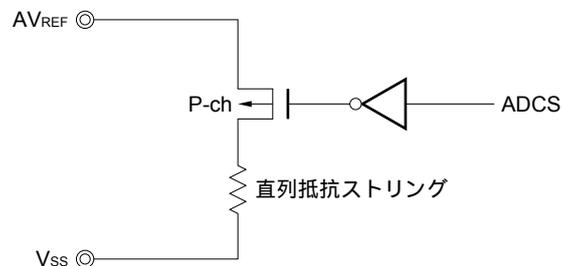
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはAVREF-VSS間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図12-2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

注意 ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第35章 ウェイトに関する注意事項を参照してください。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) V_{REF} 端子

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。ポート2をデジタル・ポートまたはセグメント出力として使用する場合は、 V_{DD} と同電位にしてください。

V_{REF} , V_{SS} 間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(10) V_{SS} 端子

A/Dコンバータのグランド電位端子として使用します。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ANI0/P20-ANI7/P27端子を、10ビット逐次比較型A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

(13) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(14) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子を、入力/出力に切り替えるレジスタです。

(15) ポート・ファンクション・レジスタ2 (PF2) (78K0/LG3-Mのみ)

ANI0/P20-ANI7/P27端子を、ポート入出力もしくはA/Dコンバータのアナログ入力/セグメント出力に切り替えるレジスタです。

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANI0-ANI7端子

12.3 10ビット逐次比較型A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・ポート・ファンクション・レジスタ2 (PF2)
- ・ポート・モード・レジスタ2 (PM2)
- ・10ビットA/D変換結果レジスタ (ADCR)
- ・8ビットA/D変換結果レジスタ (ADCRH)

注 78K0/LG3-Mのみ。

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF8DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	FR3 ^{注1}	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	コンパレータの動作制御 ^{注2}
0	コンパレータの動作停止
1	コンパレータの動作許可

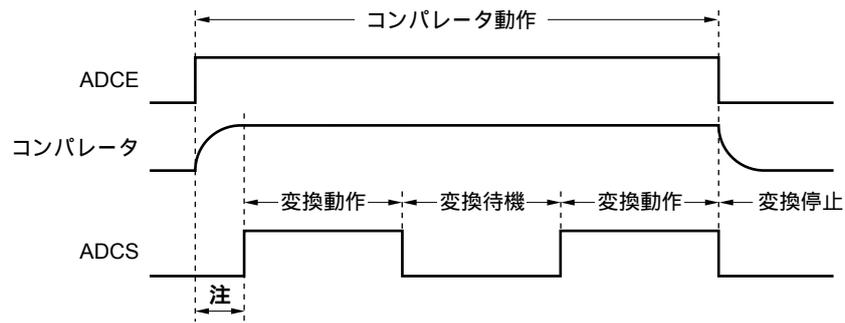
- 注1. FR3-FR0, LV1, LV0およびA/D変換に関する詳細は、表12-2 A/D変換時間の選択を参照してください。
2. コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表12-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (コンパレータ動作, コンパレータのみ電力消費)
1	0	変換モード (コンパレータ動作停止 ^注)
1	1	変換モード (コンパレータ動作)

注 最初の変換データは、無視してください。

図12 - 4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\ \mu\text{s}$ 以上必要です。

- 注意1. FR3-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
2. ADMにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADMにデータを書き込まないでください。詳細は第35章 ウェイトに関する注意事項を参照してください。

表12-2 A/D変換時間の選択

(1) 2.7 V AV_{REF} 3.6 V (LV0 = 0)

A/Dコンバータ・モード・レジスタ (ADM)						変換時間の選択				変換クロック (f_{AD})
FR3	FR2	FR1	FR0	LV1	LV0		$f_{PRS} = 2$ MHz	$f_{PRS} = 8$ MHz	$f_{PRS} = 10$ MHz	
1	x	x	x	0	0	$352/f_{PRS}$	設定禁止	44.0 μ s	35.2 μ s	$f_{PRS}/16$
0	0	0	0	0	0	$264/f_{PRS}$		33.0 μ s	26.4 μ s	$f_{PRS}/12$
0	0	0	1	0	0	$176/f_{PRS}$		22.0 μ s	17.6 μ s	$f_{PRS}/8$
0	0	1	0	0	0	$132/f_{PRS}$	66.0 μ s	16.5 μ s	13.2 μ s	$f_{PRS}/6$
0	0	1	1	0	0	$88/f_{PRS}$	44.0 μ s	設定禁止	設定禁止	$f_{PRS}/4$
0	1	0	0	0	0	$66/f_{PRS}$	33.0 μ s			$f_{PRS}/3$
0	1	0	1	0	0	$44/f_{PRS}$	22.0 μ s			$f_{PRS}/2$
上記以外						設定禁止				

(2) 2.3 V AV_{REF} 3.6 V (LV0 = 1)

A/Dコンバータ・モード・レジスタ (ADM)						変換時間の選択				変換クロック (f_{AD})	
FR3	FR2	FR1	FR0	LV1	LV0		$f_{PRS} = 2$ MHz	$f_{PRS} = 5$ MHz	$f_{PRS} = 8$ MHz		
1	x	x	x	0	1	$640/f_{PRS}$	設定禁止	設定禁止	80.0 μ s	$f_{PRS}/16$	
0	0	0	0	0	1	$480/f_{PRS}$			60.0 μ s	$f_{PRS}/12$	
0	0	0	1	0	1	$320/f_{PRS}$			64.0 μ s	40.0 μ s	$f_{PRS}/8$
0	0	1	0	0	1	$240/f_{PRS}$			48.0 μ s	30.0 μ s	$f_{PRS}/6$
0	0	1	1	0	1	$160/f_{PRS}$	80.0 μ s	32.0 μ s	設定禁止	$f_{PRS}/4$	
0	1	0	0	0	1	$120/f_{PRS}$	60.0 μ s	設定禁止		$f_{PRS}/3$	
0	1	0	1	0	1	$80/f_{PRS}$	40.0 μ s			$f_{PRS}/2$	
上記以外						設定禁止					

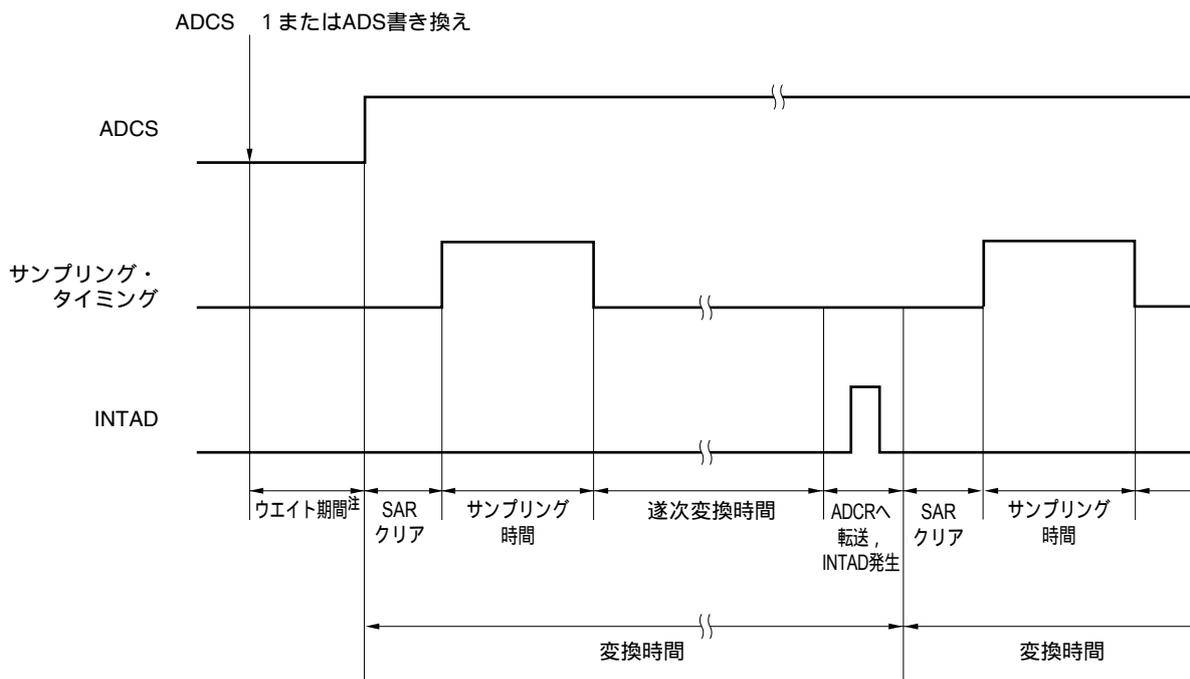
注意1. 変換時間は、次の条件で設定してください。

(1) 2.7 V AV_{REF} 3.6 V (LV0 = 0) : $f_{AD} = 0.262 \sim 1.8$ MHz(2) 2.3 V AV_{REF} 3.6 V (LV0 = 1)• 2.7 V AV_{REF} 3.6 Vの場合 : $f_{AD} = 0.48 \sim 1.8$ MHz• 2.3 V $AV_{REF} < 2.7$ Vの場合 : $f_{AD} = 0.48 \sim 1.48$ MHz

- FR3-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 ($ADCS = 0$) させたのちに行ってください。
- 2.3 V $AV_{REF} < 2.7$ Vの場合、LV1, LV0をデフォルト値から変更してください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図12-5 A/DコンバータのサンプリングとA/D変換のタイミング



注 ウエイト期間の詳細は、第35章 ウエイトに関する注意事項を参照してください。

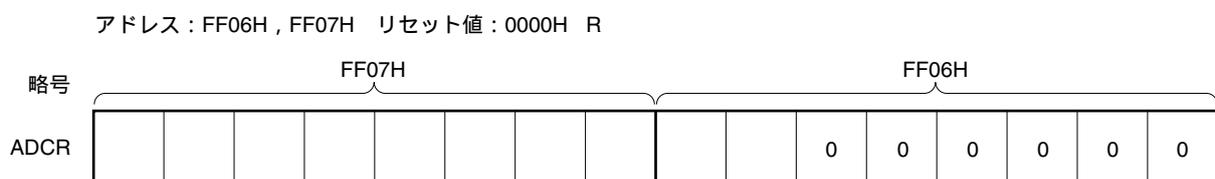
(2) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFF07Hに、下位2ビットがFF06Hの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図12-6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意1. A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPC0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

2. ADCRからデータを読み出すと、ウエイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCRからデータを読み出さないでください。詳細は第35章 ウエイトに関する注意事項を参照してください。

(3) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図12 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス : FF07H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

- 注意1.** A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) に対して書き込み動作を行ったとき, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS, ADPC0 に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。
- 2.** ADCRHからデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに, ADCRHからデータを読み出さないでください。詳細は第35章 ウェイトに関する注意事項を参照してください。

(4) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FF8EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

備考 78K0/LE3-M : ANI7のみ設定可能

78K0/LG3-M : ANI0-ANI7を設定可能

注意1. ビット3-7には必ず0を設定してください。

- A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- ADPC0でデジタル入出力として設定する端子を、ADSで設定しないでください。
- ADSにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADSにデータを書き込まないでください。詳細は第35章 ウェイトに関する注意事項を参照してください。

(5) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ANI0/P20-ANI7/P27端子を，A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，08Hになります。

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANI0-ANI7端子

図12 - 9 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

(a) 78K0/LE3-M

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	0	0	0

ADPC03	デジタル入出力 (D) / アナログ入力 (A) の切り替え
	P27/ANI7
0	A
1	D

(b) 78K0/LG3-M

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	デジタル入出力 (D) / アナログ入力 (A) の切り替え							
				P27 / ANI7	P26 / ANI6	P25 / ANI5	P24 / ANI4	P23 / ANI3	P22 / ANI2	P21 / ANI1	P20 / ANI0
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

2. ADPC0でデジタル入出力として設定する端子を，ADS, ADDS1, ADDS0で設定しないでください。

注意3. ADPC0にデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADPC0にデータを書き込まないでください。詳細は第35章 ウエイトに関する注意事項を参照してください。

4. ANIx/P2x/SEGxx端子をPF2レジスタでセグメント出力に設定した場合には、ADPC0の設定に関わらず、セグメント出力となります (78K0/LG3-Mのみ)。

(6) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANI0-ANI7端子

図12 - 10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LG3-Mのポート・モード・レジスタ2のフォーマットです。78K0/LE3-Mのポート・モード・レジスタ2のフォーマットについては、4.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx, LPMx) を参照してください。

ANI0/P20-ANI7/P27端子の機能は、PF2, ADPC0, PM2, ADSの設定で決定します。

表12 - 3 P20/ANI0-P27/ANI7端子機能の設定

PF2 ^注	ADPC0	PM2	ADS	P20/SEG39/ANI0 - P27/SEG32/ANI7端子
デジタル/ アナログ選択	アナログ 入力選択	入力モード	ANI非選択	アナログ入力 (非変換対象)
			ANI選択	アナログ入力 (逐次比較型A/D変換対象)
	デジタル 入出力選択	出力モード	-	設定禁止
			出力モード	-
SEG出力選択 ^注	-	-	-	セグメント出力 ^注

注 78K0/LG3-Mのみ。

12.4 10ビット逐次比較型A/Dコンバータの動作

12.4.1 A/Dコンバータの基本動作

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、コンパレータの動作を開始してください。

A/D変換するチャンネルを、A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) でアナログ入力に、ポート・モード・レジスタ (PM2) で入力モードに設定してください。

ADMのビット6-1 (FR3-FR0, LV1, LV0) でA/D変換時間を設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

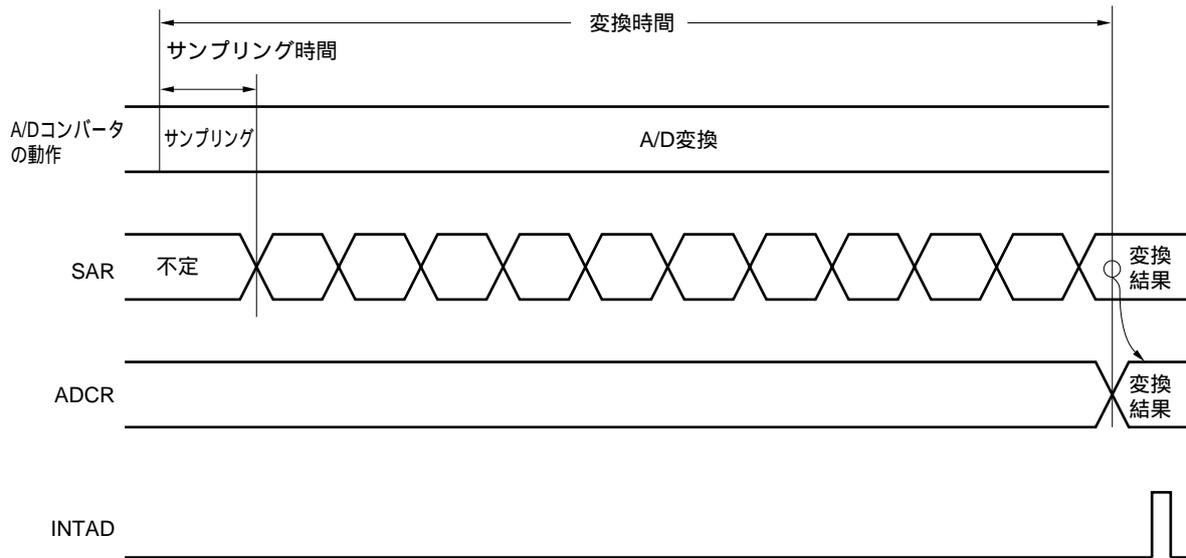
注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。

・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図12 - 11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

12. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または、

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

V_{REF} : V_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

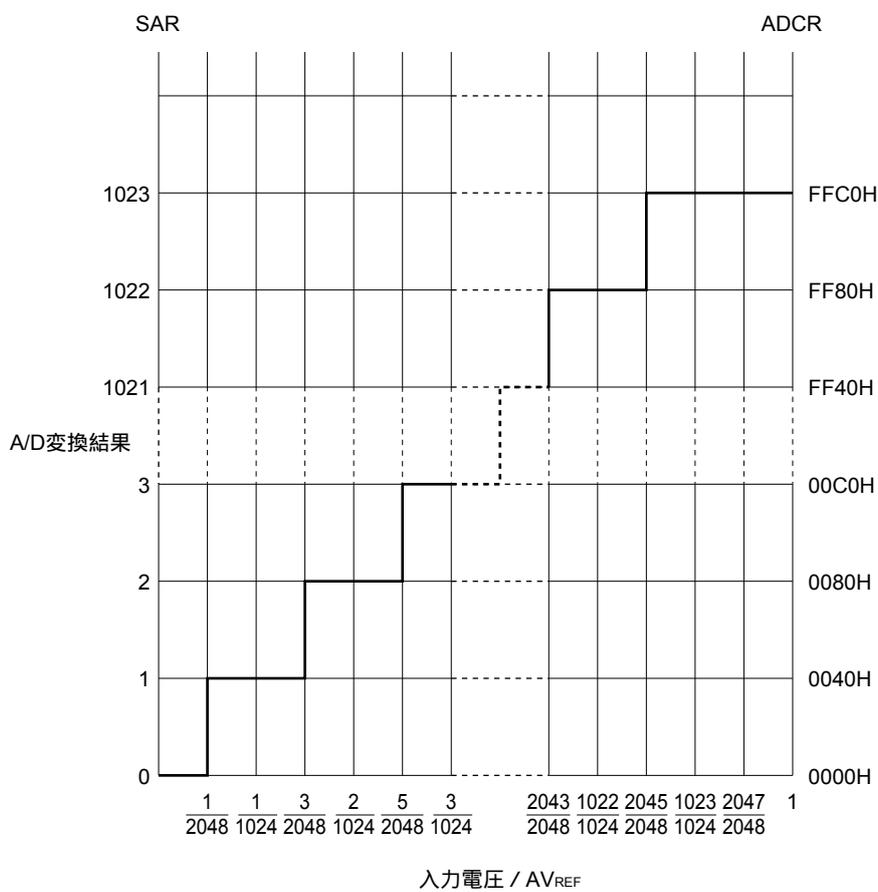
SAR : 逐次変換レジスタ

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANI0-ANI7端子

図12 - 12にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 12 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

備考 78K0/LE3-M : ANI7端子
78K0/LG3-M : ANI0-ANI7端子

(1) A/D変換動作

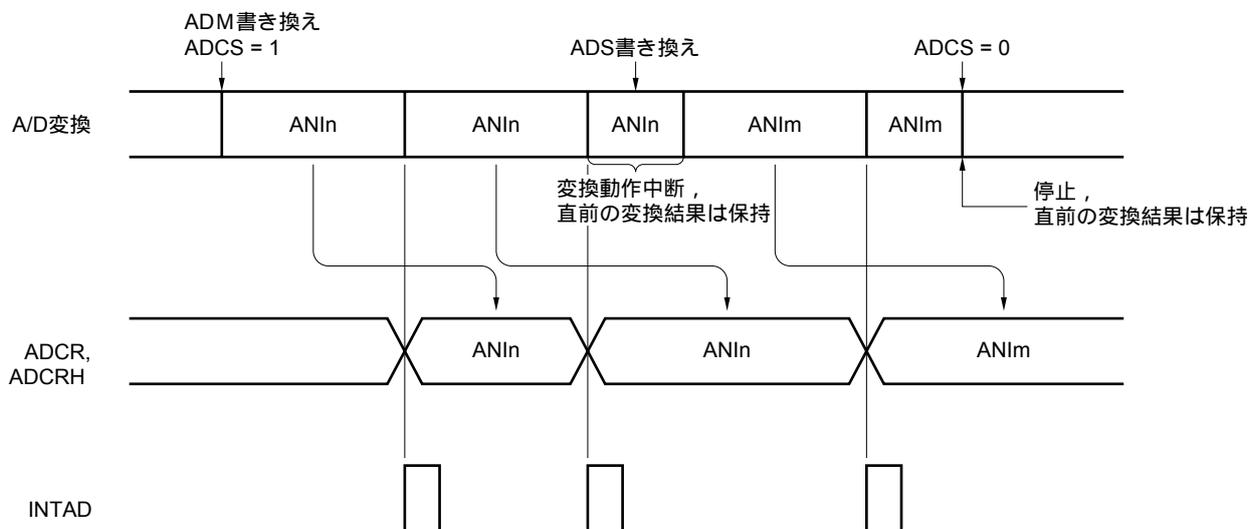
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図12 - 13 A/D変換動作



備考 78K0/LE3-M : n = 7, m = 7
78K0/LG3-M : n = 0-7, m = 0-7

次に設定方法を説明します。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のビット3-0 (ADPC03-ADPC00) ,
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) で使用するチャンネルをアナログ
入力に設定

ADMのビット6-1 (FR3-FR0, LV1, LV0) で変換時間を選択

アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) で使用するチャンネル
を選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< チャンネルを変更する >

ADSのビット2-0 (ADS2-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

- 注意1.** から までの間は1 μ s以上空けてください。
2. は, から までの間に行っても, 問題ありません。
3. は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
4. から までの時間は, ADMのビット6-1 (FR3-FR0, LV1, LV0) で設定した変換時間とは
異なります。 から までの時間が, FR3-FR0, LV1, LV0で設定した変換時間となります。

12.5 逐次比較型A/Dコンバータ特性表の読み方

逐次比較型A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12 - 14 総合誤差

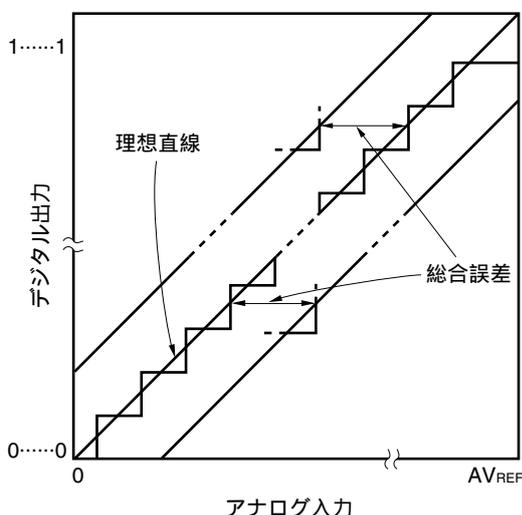
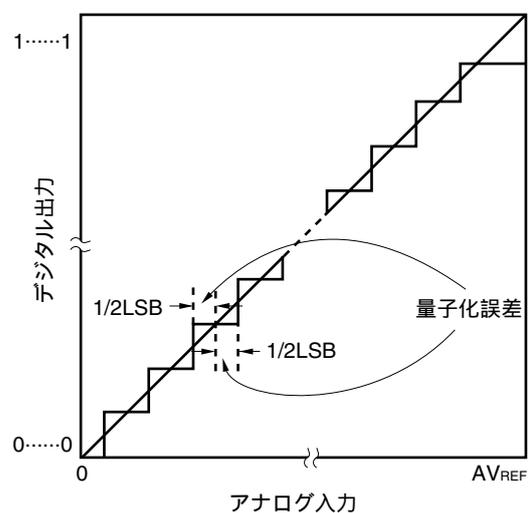


図12 - 15 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12 - 16 ゼロスケール誤差

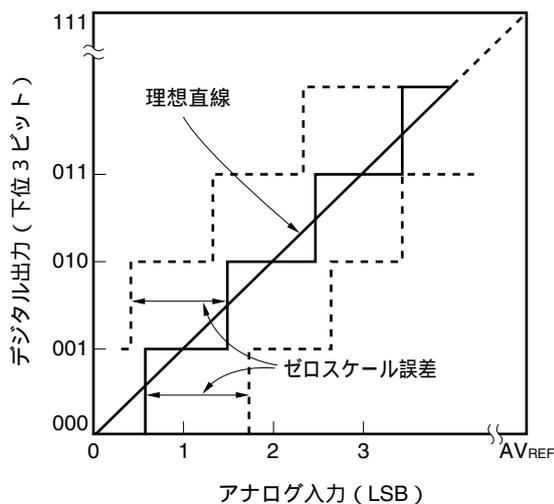


図12 - 17 フルスケール誤差

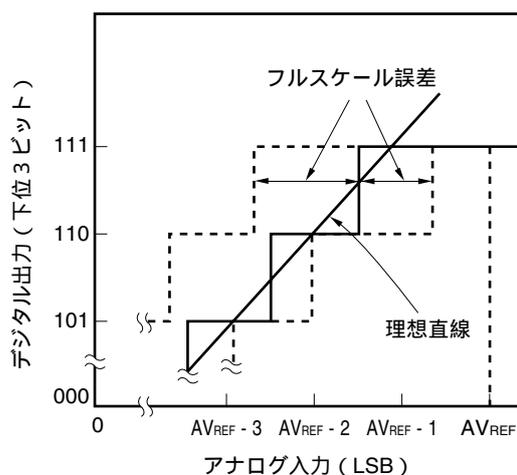


図12 - 18 積分直線性誤差

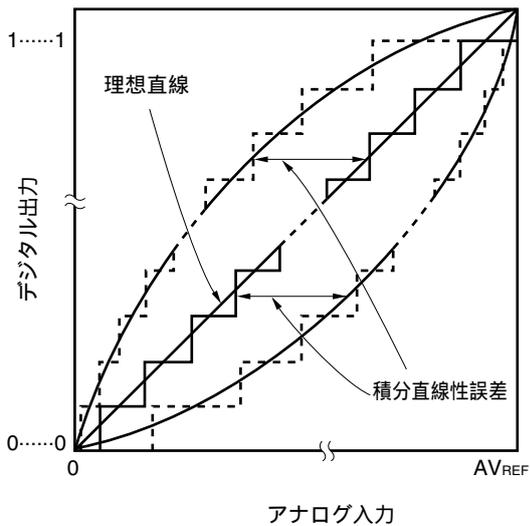
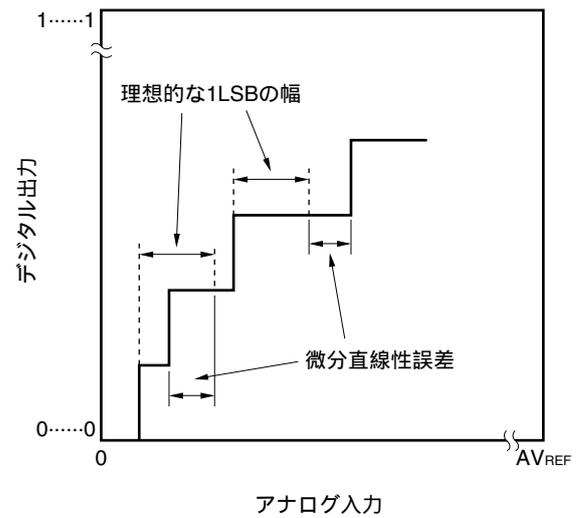


図12 - 19 微分直線性誤差

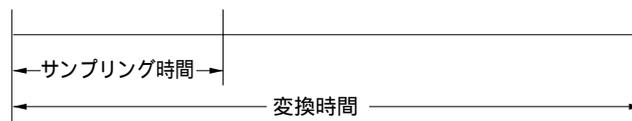
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.6 10ビット逐次比較型A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 V_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ライトの競合

ADM, ADS, ADPC0へのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI0-ANI7端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-20のようにCを外付けすることを推奨します。

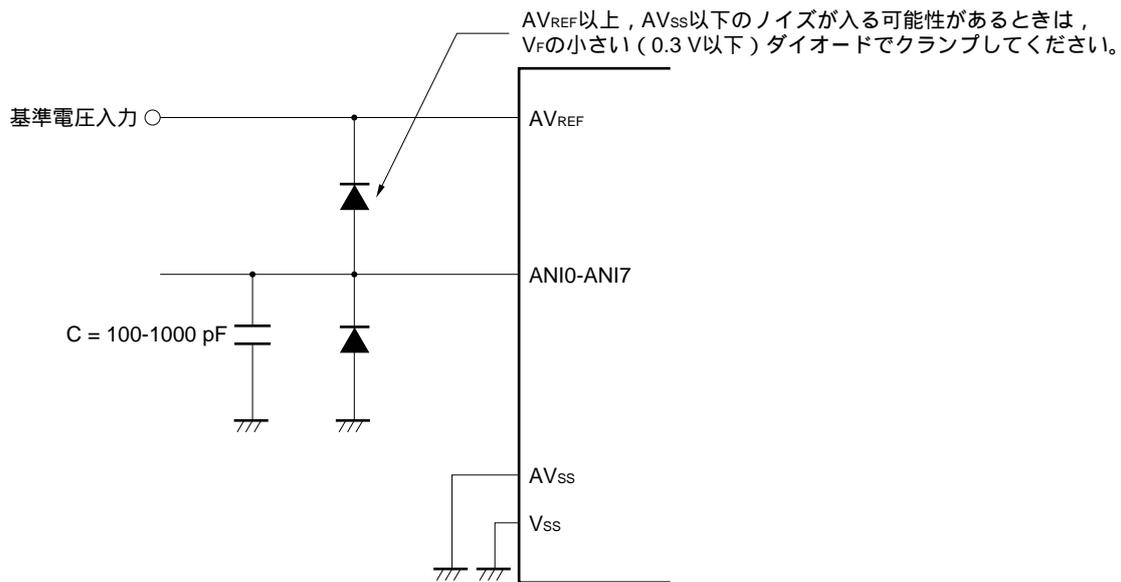
変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANI0-ANI7端子

図12 - 20 アナログ入力端子の処理



(5) ANI7/P27端子（78K0/LE3-M）、ANI0/SEG39/P20 - ANI7/SEG32/P27端子（78K0/LG3-M）について

アナログ入力（ANI0-ANI7）端子は入出力ポート（P20-P27）端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27のうち、デジタル入出力ポートとして使用する端子は、AVREFから最も遠いANI0/P20より順に選択することを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを入出力、またはセグメント出力すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス入出力、またはセグメント出力はしないようにしてください。

(6) ANIO-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 k 以下にし、出力インピーダンスが高いときはANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図12 - 20参照）。

(7) AVREF端子の入力インピーダンスについて

AVREF端子とVSS端子の間には数十k の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

備考 78K0/LE3-M : ANI7端子

78K0/LG3-M : ANIO-ANI7端子

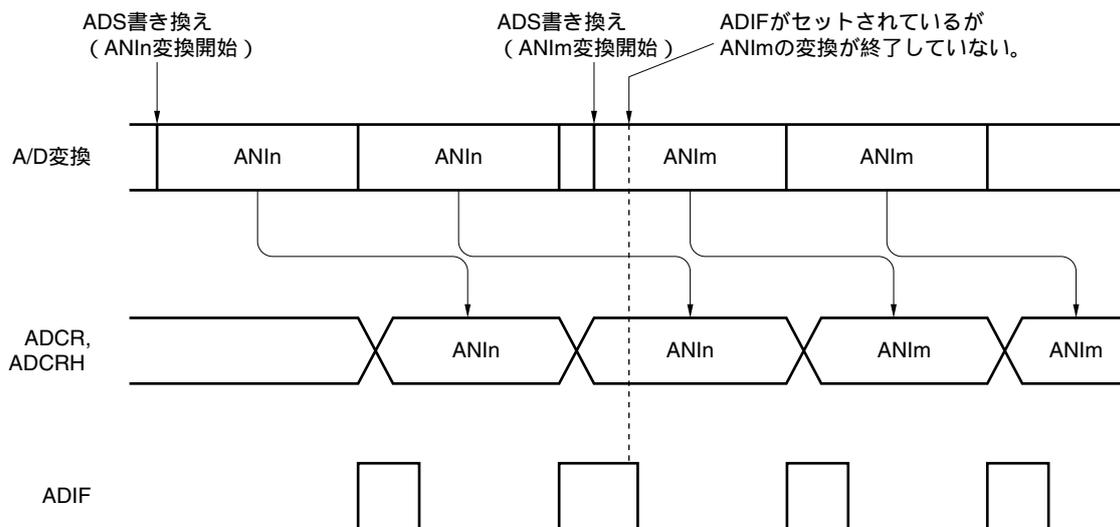
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図12 - 21 A/D変換終了割り込み要求発生タイミング



備考 78K0/LE3-M : n = 7, m = 7
78K0/LG3-M : n = 0-7, m = 0-7

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPC0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 22 ANIn端子内部等価回路

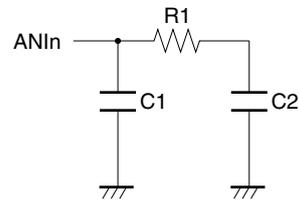


表12 - 4 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R1	C1	C2
2.7 V AV_{REF} 3.6 V	31 k	8 pF	5 pF
2.3 V $AV_{REF} < 2.7$ V	381 k	8 pF	5 pF

備考1. 表12 - 4の各抵抗と容量値は保証値ではありません。

2. 78K0/LE3-M : n = 7

78K0/LG3-M : n = 0-7

第13章 24ビット 型A/Dコンバータ

	78K0/LE3-M	78K0/LG3-M
24ビット 型 A/Dコンバータ	3 ch	4 ch

13.1 24ビット 型A/Dコンバータの機能

24ビット 型A/Dコンバータは、アナログ入力をデジタル値に変換する24ビット分解能のコンバータです。次に機能について示します。

S/N比62 dB以上 (チャンネル1, 3のゲイン16倍選択時)

24ビット分解能 (変換結果レジスタ: 24ビット)

3チャンネル (78K0/LE3-M)

4チャンネル (78K0/LG3-M)

アナログ入力: 6本 (正側, 負側入力/チャンネル) (78K0/LE3-M)

8本 (正側, 負側入力/チャンネル) (78K0/LG3-M)

$\Delta\Sigma$ 変換方式

プリアンプ・ゲイン選択: 2倍, 16倍 (チャンネル1, 3)

動作電圧: $AV_{DD} = 3.0 \sim 3.6$ V, $AV_{SS} = 0$ V

アナログ入力電圧: ± 0.375 V (チャンネル0, 2)

± 0.1875 V (チャンネル1, 3 プリアンプ・ゲイン2倍選択時)

± 23.4 mV (チャンネル1, 3 プリアンプ・ゲイン16倍選択時)

基準電圧生成 (1.226 V (TYP.)): 出力可能)^注

変換レート: 4.340 kHz

注 24ビット 型A/Dコンバータのリファレンス電圧は、外部基準電位と内部基準電位を選択可能です。リファレンス特性を表13-1に示します。

表13-1 リファレンス特性

項目	略号	MIN.	TYP.	MAX.	単位
外部基準電位 (入力)	AV_{REFIO1}	1.20		1.25	V
内部基準電位 (出力)	AV_{REFIO2}	1.165	1.226	1.287	V

注意 24ビット 型A/Dコンバータを使用する場合は、クロック出力選択レジスタ (CKS) の設定により、拡張SFRに10 MHzを供給してください (第11章 ブザー出力制御回路参照)。

13.2 24ビット 型A/Dコンバータの構成

24ビット 型A/Dコンバータは、次のハードウェアで構成しています。

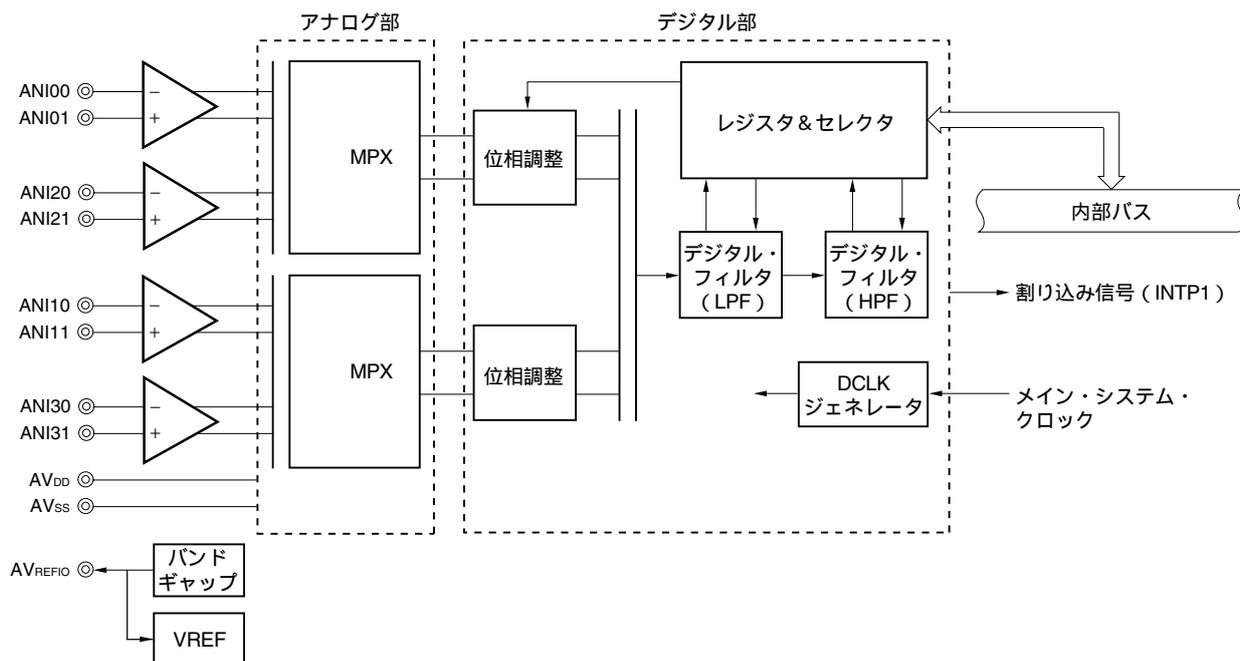
表13-2 24ビット 型A/Dコンバータの構成

項 目	構 成
アナログ入力	3チャンネル 6入力 (78K0/LE3-M) 4チャンネル 8入力 (78K0/LG3-M)
レジスタ	24ビット 型A/Dコンバータ・モード・レジスタ (ADM2) ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0) ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1) 24ビット 型A/D変換結果レジスタn (ADCRn) 位相コントロール・レジスタ0, 1 (PHC0, PHC1) A/Dクロック・ディレイ設定レジスタ (ADLY)
内部ユニット	プリアンプ部 $\Delta\Sigma$ 変換部 位相調整部 基準電圧発生部 デジタル・フィルタ部 (DF) ハイパス・フィルタ部 (HPF)

備考 78K0/LE3-M : n = 0-2

78K0/LG3-M : n = 0-3

図13 - 1 24ビット 型A/Dコンバータのブロック図



2線方式と3線方式により、各入力端子の対応チャンネル（電圧 / 電流）が異なります。
 次の表に従って、電圧チャンネルは電圧センサに、電流チャンネルは電流センサに接続してください。

<2線方式の場合 (CHMD = 0) >

入力端子	78K0/LE3-M	78K0/LG3-M
ANI00, ANI01	電圧チャンネル	電圧チャンネル
ANI10, ANI11	電流チャンネル1	電流チャンネル1
ANI20, ANI21	電流チャンネル2	電流チャンネル2
ANI30, ANI31	-	未使用

<3線方式の場合 (CHMD = 1) >

入力端子	78K0/LE3-M	78K0/LG3-M
ANI00, ANI01	未対応	電圧チャンネル1
ANI10, ANI11	未対応	電流チャンネル1
ANI20, ANI21	未対応	電圧チャンネル2
ANI30, ANI31	-	電流チャンネル2

備考 78K0/LE3-M : ANI00, ANI01, ANI10, ANI11, ANI20, ANI21端子
 78K0/LG3-M : ANI00, ANI01, ANI10, ANI11, ANI20, ANI21, ANI30, ANI31端子

(1) プリアンプ

ANIn0, ANIn1端子に入力するAV_{SS}基準の信号を内部電圧基準にシフトし、さらに入力信号を増幅するユニットです。出力信号をΔΣ回路へ供給します。

(2) マルチプレクスΔΣ回路

2マルチプレクスのΔΣ回路を2回路内蔵し、計4チャンネル[※]のアナログ入力をデジタル変換します。この2つのΔΣ回路は同期して動作し、1つのΔΣ回路で2チャンネル分のアナログ入力の変換を時分割で実行します。入力信号の増幅はプリアンプとΔΣ回路にて行い、チャンネル0, 2は1倍固定、チャンネル1, 3は2倍と16倍の切り替えが可能です。変換レートは4.340 kHz、オーバ・サンプリング周波数は555.6 kHzとなります（動作クロック = 10 MHz時）。

注 78K0/LE3-M : 3チャンネル

78K0/LG3-M : 4チャンネル

(3) 位相調整回路

入力されるアナログ信号の位相を調整する機能です。128 fsを1ステップとして遅延させることで、アナログ信号間の位相を調整します。

外部部品（電流センサなど）により、入力アナログ信号間で位相ずれが生じます。この位相ずれにより、電力演算精度が低下するため、事前にPHCレジスタを使用し、位相ずれを補正してください。

位相ずれの補正は255ステップあり、1ステップは128 fs（ $1/128 \times 4.34 \text{ k}$ ）周期に相当し、約1.8 μsの遅延時間となります。ライン周波数が60 Hzの場合は0.0389°、50 Hzの場合は0.0324°単位での調整が可能です。

(4) 基準電圧発生部

基準電圧源（バンド・ギャップ・レファレンス回路）を内蔵し、基準電圧入出力端子（AV_{REFIO}）より出力します。外付けの基準電圧源を使用する場合は、AV_{REFIO}端子に電圧を入力します。

(5) デジタル・フィルタ（DF）

ΔΣ回路出力に含まれる高調波ノイズを除去し、かつデータ・レートを128分の1に間引くユニットです。

(6) ハイパス・フィルタ

入力信号に含まれるDC成分およびアナログ回路で生じたDCオフセットを除去するユニットです。チャンネルごとにハイパス・フィルタの挿入/非挿入の選択が可能です。

(7) ANIn0-ANIn1端子

A/Dコンバータへのアナログ入力端子です。1チャンネル2入力であり、ANIn0端子が負側入力、ANIn1端子が正側入力となります。

備考 78K0/LE3-M : n = 0-2

78K0/LG3-M : n = 0-3

(8) AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

(9) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(10) AV_{REFIO}端子

A/Dコンバータのレファレンス電圧入出力端子です。内蔵レファレンス電圧を使用する場合は出力端子、外部レファレンス電圧を使用する場合は入力端子として使用します。

13.3 24ビット 型A/Dコンバータで使用するレジスタ

24ビット 型A/Dコンバータでは、次のレジスタを使用します。

これらのレジスタは、すべて拡張SFR空間に配置されています。

拡張SFR空間へのアクセス方法は、**第17章 拡張SFRインタフェース**を参照してください。

- ・ 24ビット 型A/Dコンバータ・モード・レジスタ (ADM2)
- ・ HPFコントロール・レジスタ0 (HPFC0)
- ・ HPFコントロール・レジスタ1 (HPFC1)
- ・ 24ビット 型A/D変換結果レジスタn (ADCRn)
- ・ 位相コントロール・レジスタ0, 1 (PHC0, PHC1)
- ・ A/Dクロック・ディレイ設定レジスタ (ADLY)

備考 78K0/LE3-M: n = 0-2

78K0/LG3-M: n = 0-3

(1) 24ビット 型A/Dコンバータ・モード・レジスタ (ADM2)

24ビット 型A/Dコンバータの電源のオン/オフ、変換動作の許可/停止、単相モードの切り替え、基準電位およびアンプ・ゲインの指定を行うレジスタです。

ADM2は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図13 - 2 24ビット 型A/Dコンバータ・モード・レジスタ (ADM2) のフォーマット

アドレス : A3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADPON	ADCE2	CHMD	0	BGCUT	PAGS1	0	0

ADPON	24ビット 型A/Dコンバータのパワーオン指定
0	パワーオフ
1	パワーオン

ADCE2	24ビット 型A/Dコンバータの動作指定
0	変換動作停止
1	変換動作許可

CHMD ^注	単相2線方式と単相3線方式の切り替え制御
0	単相2線方式
1	単相3線方式

BGCUT	BGR出力停止制御信号
0	内部基準電位使用, AVREFIOは出力端子
1	BGR出力停止, 外部基準電位使用, AVREFIOは入力端子

PAGS1	チャンネル1, 3のプログラマブル・アンプ・ゲイン指定
0	2倍
1	16倍

注 2線方式と3線方式により, 各入力端子の対応チャンネル (電圧 / 電流) が異なります。
次の表に従って, 電圧チャンネルは電圧センサに, 電流チャンネルは電流センサに接続してください。

<2線方式の場合 (CHMD = 0) >

入力端子	78K0/LE3-M	78K0/LG3-M
ANI00, ANI01	電圧チャンネル	電圧チャンネル
ANI10, ANI11	電流チャンネル1	電流チャンネル1
ANI20, ANI21	電流チャンネル2	電流チャンネル2
ANI30, ANI31	-	未使用

<3線方式の場合 (CHMD = 1) >

入力端子	78K0/LE3-M	78K0/LG3-M
ANI00, ANI01	未対応	電圧チャンネル1
ANI10, ANI11	未対応	電流チャンネル1
ANI20, ANI21	未対応	電圧チャンネル2
ANI30, ANI31	-	電流チャンネル2

注意 ビット0, 1, 4には必ず0を設定してください。

(2) ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0)

各チャンネルのハイパス・フィルタの挿入指定を行う8ビット・レジスタです。

HPFC0は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図13-3 ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0) のフォーマット

アドレス：A5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
HPFC0	0	0	0	0	THR3	THR2	THR1	THR0

THRn	チャンネルnのハイパス・フィルタ挿入指定 (n = 0-3)
0	ハイパス・フィルタを挿入する
1	ハイパス・フィルタを挿入せず、スルーする

注意 ビット4-7には必ず0を設定してください。

(3) ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1)

各チャンネルのハイパス・フィルタの動作制御を行う8ビット・レジスタです。

HPFC1は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図13-4 ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1) のフォーマット

アドレス：A6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
HPFC1	0	0	0	0	DLY3	DLY2	DLY1	DLY0

DLYn	チャンネルnの位相遅延の付加指定 (n = 0-3)
0	ハイパス・フィルタ内の位相遅延を付加しない
1	ハイパス・フィルタ内の位相遅延を付加する

注意 ビット4-7には必ず0を設定してください。

(4) 24ビット 型A/D変換結果レジスタ_n (ADCR_n)

各チャンネルの変換結果を格納する24ビット・レジスタです。

ADCR_nは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

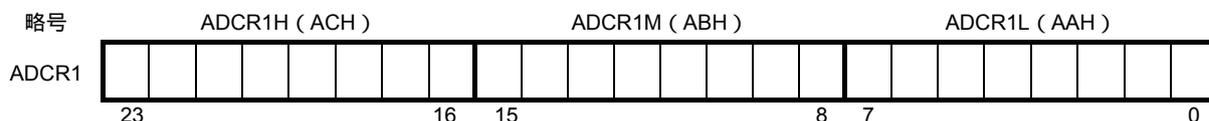
システム・リセットとADCE2 = 0により、000000Hに初期化されます。

図13 - 5 24ビット 型A/D変換結果レジスタ_n (ADCR_n) のフォーマット

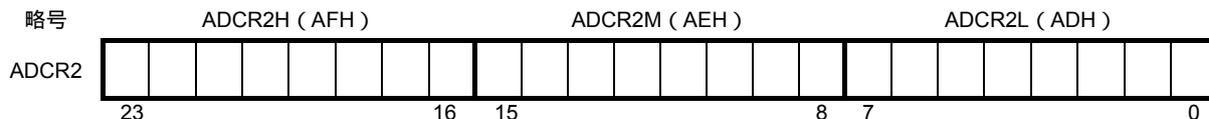
アドレス：A7H-A9H リセット時：000000H R



アドレス：AAH-ACH リセット時：000000H R



アドレス：ADH-AFH リセット時：000000H R



アドレス：B0H-B2H リセット時：000000H R



注意1. ADCE2ビット = 0で初期化されるため、ADCR_nレジスタの読み出しはADCE2ビット = 1のときに行ってください。

2. ADCR_nレジスタは、フルスケール入力の場合、次の値になります。

入力電圧 (ゲイン1倍)	ADCR _n レジスタ値
0.375 V	0x400000
- 0.375 V	0xC00000

備考 78K0/LE3-M : n = 0-2

78K0/LG3-M : n = 0-3

(5) 位相コントロール・レジスタ0, 1 (PHC0, PHC1)

各チャンネルの位相調整量の制御を行う9ビット・レジスタです。

位相調整は、アナログ部から入力する1ビットA/D変換データをデジタル・フィルタ部へ出力するタイミングを変えることで行います。このレジスタにより256段分の調整が可能です。

PHC0, PHC1は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図13 - 6 位相コントロール・レジスタ0, 1 (PHC0, PHC1) のフォーマット

アドレス： B3H, B4H リセット時：0000H R/W

略号	PHC0H (B4H)								PHC0L (B3H)							
PHC0	0	0	0	0	0	0	0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0
								8	7	6	5	4	3	2	1	0
								15								0

アドレス： B5H, B6H リセット時：0000H R/W

略号	PHC0H (B6H)								PHC0L (B5H)							
PHC1	0	0	0	0	0	0	0	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1
								8	7	6	5	4	3	2	1	0
								15								0

PHC0L (PHC00-PHC07) , PHC1L (PHC10-PHC17)	位相調整量の指定 (1段分 = 128 fs)
00H	スルー (位相調整なし)
01H	1段分
...	
FEH	254段分
FFH	255段分

PHC08, PHC18	電圧チャンネル, 電流チャンネル位相調整の選択
0	PHCnLの設定値は電圧チャンネルn位相調整量 (n = 0, 1)
1	PHCnLの設定値は電流チャンネルn位相調整量 (n = 0, 1)

(6) A/Dクロック・ディレイ設定レジスタ (ADLY)

A/D動作クロックとデジタル部クロックとの位相を制御するレジスタです。

ADLYには、必ず00Hを設定してください。

ADLYは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図13 - 7 A/Dクロック・ディレイ設定レジスタ (ADLY) のフォーマット

アドレス : A4H リセット時 : 00H R/W

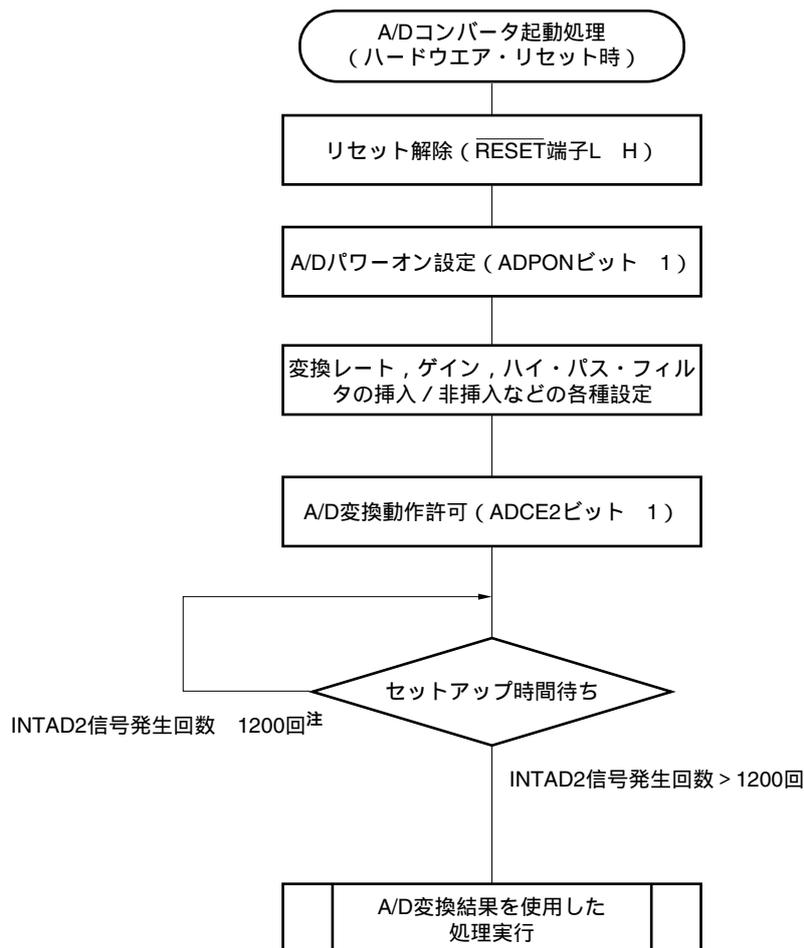
略号	7	6	5	4	3	2	1	0
ADLY	0	0	0	0	0	0	0	0

注意 ビット0-7には必ず0を設定してください。

13.4 24ビット 型A/Dコンバータの動作

ADM2レジスタのADPON, ADCE2ビットをセット(1)することにより、変換動作を開始します。パワーオン後および変換開始後は、アナログ部やデジタル・フィルタ部のセットアップ時間が必要になりますので、次に示すフローに従い初期設定を行ってください。

図13 - 8 初期設定フロー



注 ADPONビットを0 1にした場合のセットアップ時間 (INTAD2信号発生回数) は、変更の可能性があります。使用する前に、当社まで確認してください。

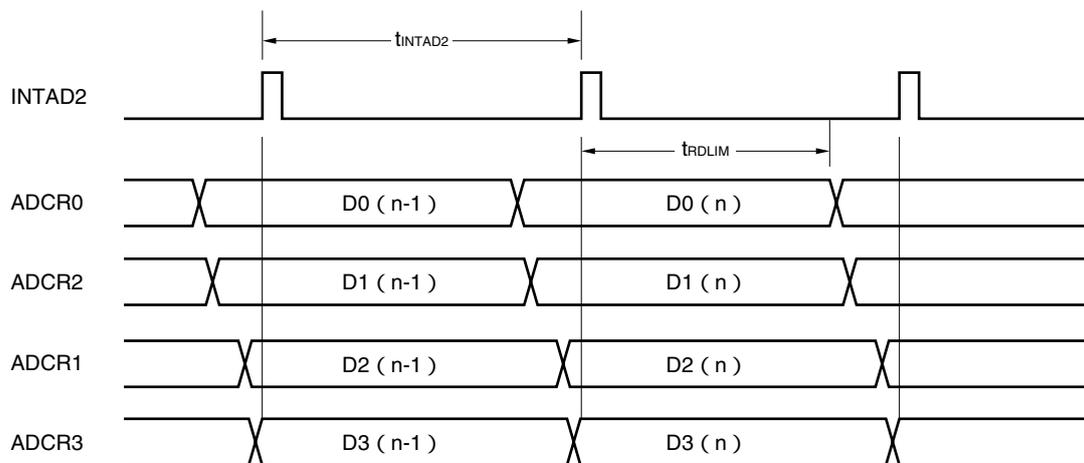
注意 初期化のために一時停止 (ADCE2ビット 0, ADPONビットは1状態継続) したあと再起動した場合も、セットアップ時間待ちは必要になります。この場合はデジタル・フィルタのディレイ分であるA/D変換終了割り込み要求信号 (INTAD2) 10回分をセットアップ時間としてウエイトしてください。

A/D変換動作を許可すると、4チャンネルのアナログ入力端子（ANIn0, ANIn1端子）の変換を開始します。2マルチプレクスの $\Delta\Sigma$ 回路を2セット内蔵しており、それぞれ時分割で2チャンネル分の変換を実行します。全4チャンネル分の変換を終了するたびに、INTAD2信号を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。

割り込み処理によりADCRnレジスタを読み出す場合、最大保留時間は図13 - 9に示す値になりますので、それまでにADCRnレジスタの読み出しを完了させてください。

備考 n = 0-3

図13 - 9 INTAD2信号発生とADCRnレジスタ格納タイミング（動作クロック = 10 MHz動作時）



t_{INTAD2} : 割り込み発生周期 : 230.4 μ s

t_{RDLIM} : ADCRnレジスタ読み出し保留時間 (MAX.) : 223.8 μ s ($t_{INTAD2} - 5.5 \times A/D$ のシステム・クロック(動作クロック / 12))

13.5 24ビット 型A/Dコンバータの注意事項

- (1) ADCRnレジスタの読み出しは、A/D変換終了割り込み (INTAD2) 処理にて行ってください。そうしない場合ADCRnレジスタへの変換値格納と読み出しの競合により、不正な値を読み出すことがあります。また、INTAD2処理でのADCRnレジスタの読み出し保留期間は、223.8 μ s (10 MHz動作時) になります。
- (2) パワーオン (ADM2レジスタのADPONビット = 1) 後、A/Dコンバータ内部のセットアップ時間が必要になるため、最初の1200変換は無効データになります。
- (3) 初期化のために一時停止 (ADM2レジスタのADCE2ビット = 0, ADPONビットは1状態継続) したあと再起動した場合も、セットアップ時間待ちは必要になります。これはデジタル・フィルタのディレイ分であるINTAD2信号10回分をセットアップ時間としてウエイトしてください。
- (4) 変換動作許可 (ADCE2ビット = 1) 後、正常なデータが出力されるまでの時間は、その時のアナログ入力状態によっても依存します。これはアナログ入力状態によりハイパス・フィルタの安定時間が変化するためです。
- (5) 変換速度、ゲインの設定およびHPFC0, HPFC1, ADLYレジスタの設定は、必ず変換停止 (ADCE2ビット = 0) 状態で実行してください。
- (6) ADCRnレジスタはADCE2ビット = 0時に初期化されるため、ADCRnレジスタの読み出しはADCE2ビット = 1の状態で行ってください。
- (7) ソフトウェアSTOPモードに移行する前に、ADPONビット = 0にしてください。
ADPONビット = 1の状態では電流が流れます。
- (8) ADCRnレジスタからデータを読み出す場合は、下位バイトから読み出してください。
- (9) デジタル・フィルタでは、約0.962のゲインが加わります。
- (10) 24ビット 型A/Dコンバータを使用する場合は、クロック出力選択レジスタ (CKS) の設定により、拡張SFRに10 MHzを供給してください (第11章 ブザー出力制御回路参照)。

注意1. 動作開始後1200回分のINTAD2信号をカウントし、それ以降のINTAD2信号発生から変換データを取り込んでください。セットアップ時間は変更の可能性があります。使用する前に、当社まで確認してください。

2. 安定時間については、使用する環境にあわせて十分な評価を行ってください。

備考 n = 0-3

第14章 シリアル・インタフェースUART0

14.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0は、78K0/Lx3-Mマイクロコントローラ的全製品に搭載されています。
シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
詳細については14.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については14.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、14.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・ 最大転送速度：625 kbps
- ・ 2端子構成 TxD0：送信データの出力端子
RxD0：受信データの入力端子
- ・ 通信データのデータ長は7ビット/8ビット可変
- ・ 専用の5ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・ 送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・ 通信データの先頭ビットは、LSB固定

注意1. シリアル・インタフェースUART0への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0として、回路をリセットしてください。

2. 通信開始する場合、POWER0 = 1に設定後、TXE0 = 1 (送信) またはRXE0 = 1 (受信) に設定してください。
3. TXE0とRXE0は、BRGC0で設定した基本クロック (fxCLK0) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
4. TXE0 = 1に設定したあと、基本クロック (fxCLK0) 1クロック以上待ってから、TXS0に送信データを設定してください。

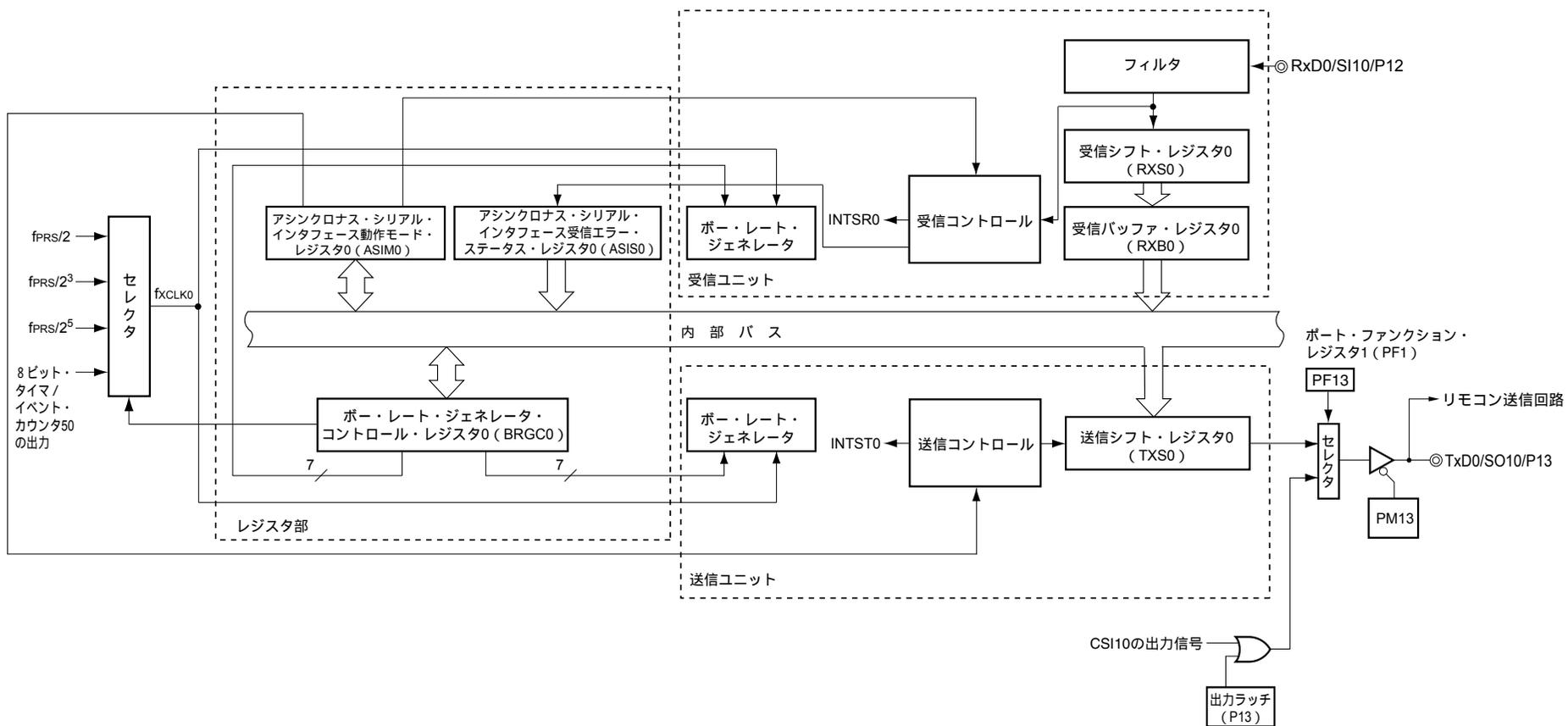
14.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成しています。

表14 - 1 シリアル・インタフェースUART0の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ0 (RXB0) 受信シフト・レジスタ0 (RXS0) 送信シフト・レジスタ0 (TXS0)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ポート・ファンクション・レジスタ1 (PF1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図14-1 シリアル・インタフェースUART0のブロック図



(1) 受信バッファ・レジスタ0 (RXB0)

受信シフト・レジスタ0 (RXS0) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0には転送されません。

RXB0は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生、POWER0 = 0によりFFHとなります。

(2) 受信シフト・レジスタ0 (RXS0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS0はプログラムで直接操作できません。

(3) 送信シフト・レジスタ0 (TXS0)

送信データを設定するためのレジスタです。TXS0にデータを書き込むことにより、送信動作が起動し、シリアル・データをTxD0端子から送信します。

TXS0は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

リセット信号の発生、POWER0 = 0, TXE0 = 0によりFFHとなります。

- 注意**
- TXE0 = 1に設定したあと、基本クロック (f_{CLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。
 - TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。

14.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の6種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル通信動作を制御する8ビット・レジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図14-2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (1/2)

アドレス: FF70H リセット時: 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE0	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE0	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. POWER0 = 0で、RxD0端子からの入力はハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0) です。

図14 - 2 アシncロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (2/2)

PS01	PS00	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^注
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL0	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL0	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシncロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のビット2 (PE0) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER0 = 1にしてから、TXE0 = 1としてください。送信停止するときにはTXE0 = 0にしてから、POWER0 = 0としてください。
2. 受信開始するときはPOWER0 = 1にしてから、RXE0 = 1としてください。受信停止するときにはRXE0 = 0にしてから、POWER0 = 0としてください。
3. RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1 RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1 RXE0 = 1と設定すると、受信を開始してしまいます。
4. TXE0とRXE0は、BRGC0で設定した基本クロック (f_{XCLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE0 = 1に設定したあと、基本クロック (f_{XCLK0}) 1クロック以上待つてから、TXS0に送信データを設定してください。
6. PS01, PS00, CL0ビットを書き換えるときは、TXE0, RXE0ビットをクリア (0) してから行ってください。
7. SL0ビットを書き換えるときは、TXE0をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL0ビットの設定値の影響は受けません。
8. ビット0には必ず1を設定してください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)

シリアル・インタフェースUART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE0, FE0, OVE0) で構成されています。

ASIS0は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM0のビット7 (POWER0) = 0, ビット5 (RXE0) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS0を読み出したあと, 受信バッファ・レジスタ0 (RXB0) を読み出し, エラー・フラグをクリアしてください。

図14 - 3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス : FF73H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE0	フレーミング・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE0	オーバラン・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	RXB0レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE0ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のPS01, PS00ビットの設定値により異なります。
- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 - オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ0 (RXB0) には書き込まれず, データは破棄されます。
 - ASIS0からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに, ASIS0からデータを読み出さないでください。詳細は第35章 ウェイトに関する注意事項を参照してください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースUART0の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

図14 - 4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス : FF71H リセット時 : 1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS01	TPS00	0	MDL04	MDL03	MDL02	MDL01	MDL00

TPS01	TPS00	基本クロック (f _{XCLK0}) 選択 ^{注1}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	TM50の出力 ^{注2}				
0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
1	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz

MDL04	MDL03	MDL02	MDL01	MDL00	k	5ビット・カウンタの出力クロック選択
0	0	x	x	x	x	設定禁止
0	1	0	0	0	8	f _{XCLK0} /8
0	1	0	0	1	9	f _{XCLK0} /9
0	1	0	1	0	10	f _{XCLK0} /10
.
.
.
.
.
1	1	0	1	0	26	f _{XCLK0} /26
1	1	0	1	1	27	f _{XCLK0} /27
1	1	1	0	0	28	f _{XCLK0} /28
1	1	1	0	1	29	f _{XCLK0} /29
1	1	1	1	0	30	f _{XCLK0} /30
1	1	1	1	1	31	f _{XCLK0} /31

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz
- V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

- 注2.** TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。
- ・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
 - ・ PWMモード (TMC506 = 1)
デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

- 注意1.** MDL04-MDL00ビットを書き換える場合は、ASIM0レジスタのビット6 (TXE0) = 0、ビット5 (RXE0) = 0にしてから行ってください。
2. TPS01, TPS00ビットを書き換える場合は、ASIM0レジスタのビット7 (POWER0) = 0にしてから行ってください。
 3. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

- 備考1.** f_{XCLK0} : TPS01, TPS00ビットで選択した基本クロックの周波数
2. f_{PRS} : 周辺ハードウェア・クロック周波数
 3. k : MDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)
 4. x : 任意
 5. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(4) ポート・ファンクション・レジスタ1 (PF1)

P13/TxD0端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 5 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

(5) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P13/TxD0端子をシリアル・インタフェースのデータ出力として使用するとき、PM13に0を設定してください。このときP13の出力ラッチは、0または1のどちらでもかまいません。

P12/RxD0端子をシリアル・インタフェースのデータ入力として使用するとき、PM12に1を設定してください。このときP12の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14 - 6 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	1	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-4, 6, 7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

14.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

14.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM0のビット7, 6, 5 (POWER0, TXE0, RXE0) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF70H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。

TXE0	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE0	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. POWER0 = 0で、RxD0端子からの入力ハイ・レベルに固定されます。

- リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0)です。

注意 動作停止するときはTXE0 = 0, RXE0 = 0にしてから、POWER0 = 0 にしてください。

通信開始するときはPOWER0 = 1にしてから、TXE0 = 1, RXE0 = 1にしてください。

備考 RxD0/P12, TxD0/P13端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

14.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

BRGC0レジスタを設定 (図14 - 4を参照)

ASIM0レジスタのビット1-4 (SL0, CL0, PS00, PS01) を設定 (図14 - 2を参照)

ASIM0レジスタのビット7 (POWER0) をセット (1)

ASIM0レジスタのビット6 (TXE0) をセット (1) 送信可能

ASIM0レジスタのビット5 (RXE0) をセット (1) 受信可能

TXS0レジスタにデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表14 - 2 レジスタの設定と端子の関係

POWER0	TXE0	RXE0	PM13	P13	PM12	P12	UART0 の動作	端子機能	
								TxD0/SO10/P13	RxD0/SI10/P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/P13	SI10/P12
1	0	1	x ^注	x ^注	1	x	受信	SO10/P13	RxD0
	1	0	0	x	x ^注	x ^注	送信	TxD0	SI10/P12
	1	1	0	x	1	x	送受信	TxD0	RxD0

注 ポート機能またはシリアル・インタフェースCSI10として設定することができます。

備考 1. x : don't care

POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7

TXE0 : ASIM0のビット6

RXE0 : ASIM0のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

2. <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図14 - 7, 図14 - 8に示します。

図14 - 7 通常UART送受信データのフォーマット



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット... 7ビット/8ビット (LSBファースト)
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

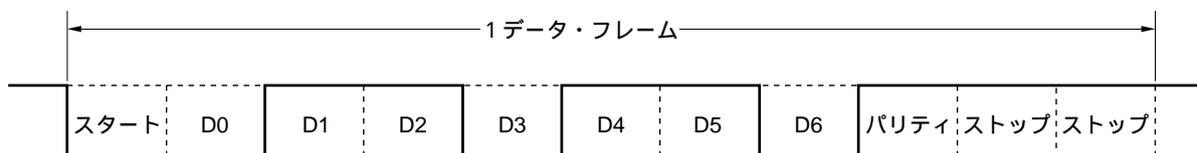
1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) によって行います。

図14 - 8 通常UART送受信データの波形例

1. データ長: 8ビット, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 7ビット, パリティ: 奇数パリティ, ストップ・ビット: 2ビット, 通信データ: 36H



3. データ長: 8ビット, パリティ: パリティなし, ストップ・ビット: 1ビット, 通信データ: 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)のビット7(POWER0)をセット(1)し、次にASIM0のビット6(TXE0)をセット(1)すると送信許可状態になり、送信シフト・レジスタ0(TXS0)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、スタート・ビットがTxD0端子から出力され、続いて送信データがLSBより順次出力されます。送信が完了すると、ASIM0で設定したパリティ・ビット、ストップ・ビットが付加され、最後に送信完了割り込み要求(INTST0)が発生します。

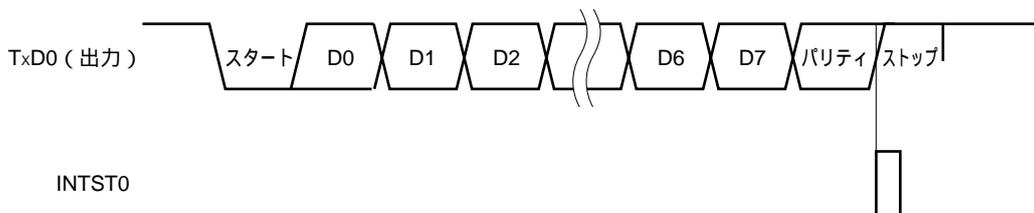
次に送信するデータをTXS0に書き込むまで、送信動作は中断します。

送信完了割り込み要求(INTST0)のタイミングを図14-9に示します。INTST0は、最後のストップ・ビット出力と同時に発生します。

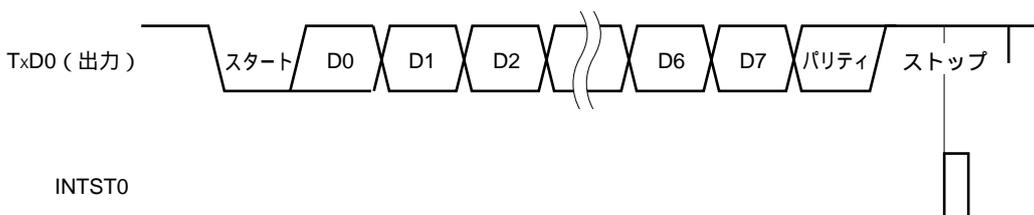
注意 TXS0に送信データを書き込んでから送信完了割り込み信号(INTST0)が発生するまで、次の送信データを書き込まないでください。

図14-9 送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 受信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) をセット (1) し、次に ASIM0 のビット5 (RXE0) をセット (1) すると受信許可状態となり、RxD0 端子入力のサンプリングを行います。

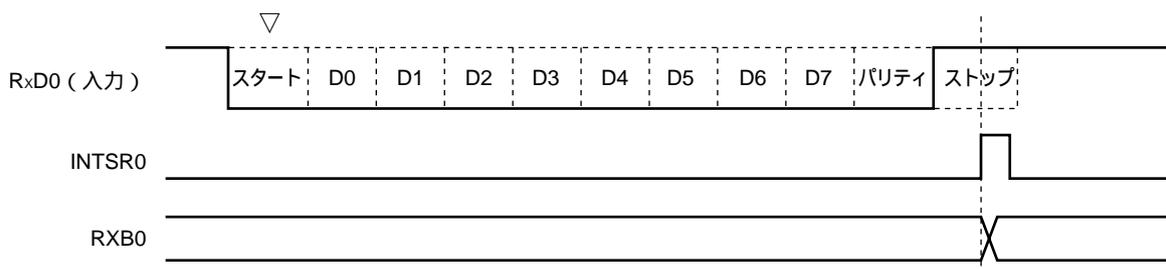
RxD0 端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定値をカウントした時点で、再度 RxD0 端子入力をサンプリング (図14 - 10の 印に相当) した結果、RxD0 端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ0 (RXS0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR0) を発生すると同時に、RXS0 のデータは受信バッファ・レジスタ0 (RXB0) に書き込まれます。ただし、オーバラン・エラー (OVE0) が発生した場合、そのときの受信データは RXB0 に書き込まれません。

受信途中に、パリティ・エラー (PE0) が発生しても、ストップ・ビットの受信位置までは、受信を継続し、受信完了後に受信エラー割り込み (INTSR0) を発生します。

INTSR0 は、受信完了時および受信エラー時に発生します。

図14 - 10 受信完了割り込み要求タイミング



注意1. 受信エラーが発生した場合は、アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。

RXB0 を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。

(e) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み (INTSR0) を発生します。

受信エラー割り込み (INTSR0) 処理内で、ASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14 - 3参照)。

ASIS0の内容は、ASIS0を読み出すことによって、クリア (0) されます。

表14 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信完了

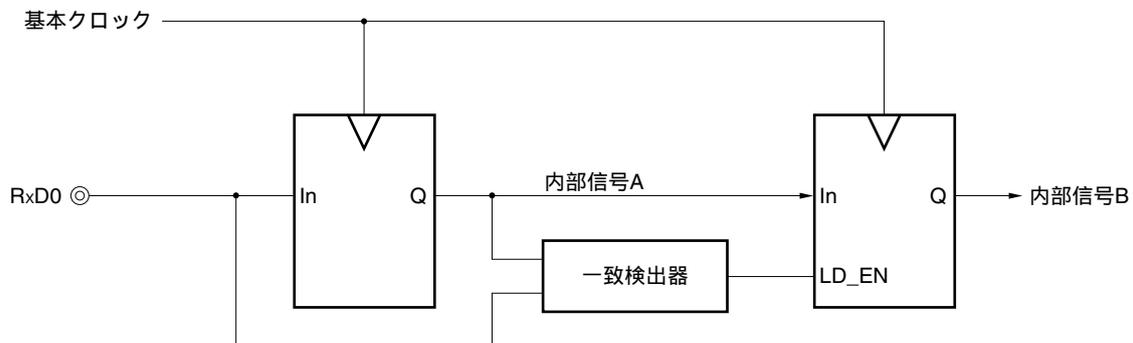
(f) 受信データのノイズ・フィルタ

プリスケラ部出力の基本クロックでRxD0信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図14 - 11のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図14 - 11 ノイズ・フィルタ回路



14.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と5ビットのプログラマブル・カウンタにより構成され、UART0における送受信時のシリアル・クロックを生成します。

なお、5ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース・モード動作レジスタ0 (ASIM0) のビット7 (POWER0) = 1 のとき、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (TPS01, TPS00) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{XCLK0} と呼びます。POWER0 = 0 のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0 またはビット6 (TXE0) = 0 のときはクリア (0) の状態で動作を停止します。

POWER0 = 1 かつ TXE0 = 1 でカウントをスタートします。

最初の送信では送信シフト・レジスタ0 (TXS0) への書き込みでカウンタをクリア (0) します。

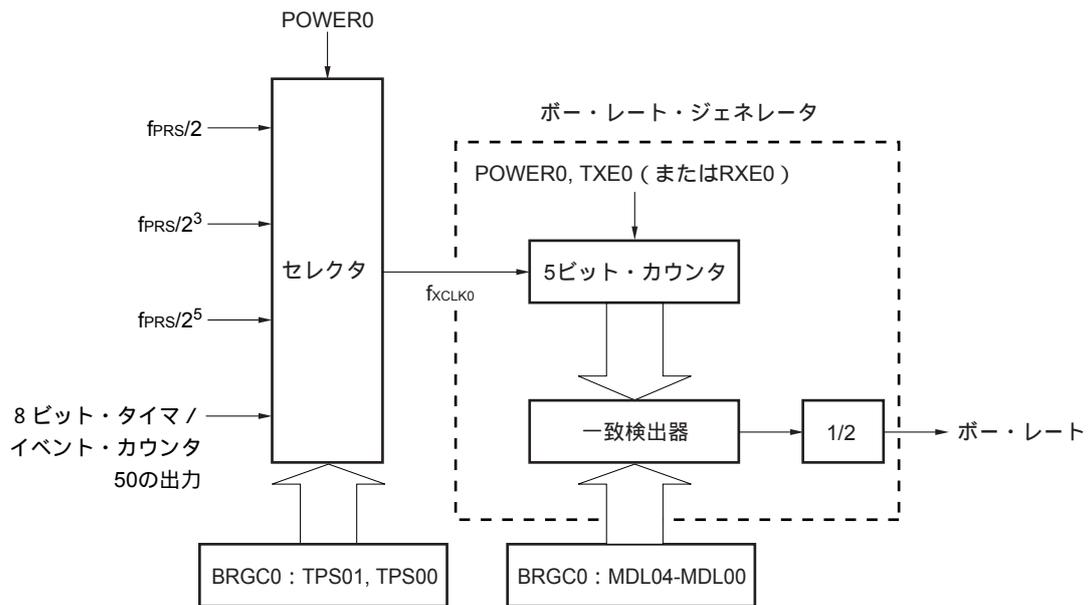
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0 またはビット5 (RXE0) = 0 のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図14 - 12 ポー・レート・ジェネレータの構成



- 備考** POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7
 TXE0 : ASIM0のビット6
 RXE0 : ASIM0のビット5
 BRGC0 : ポー・レート・ジェネレータ・コントロール・レジスタ0

(2) シリアル・クロックの生成

ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定により、生成するシリアル・クロックを指定できます。

BRGC0のビット7, 6 (TPS01, TPS00) により、5ビット・カウンタへの入力クロックの選択を、ビット4-0 (MDL04-MDL00) により、5ビット・カウンタの分周値 ($f_{XCLK0}/8$ - $f_{XCLK0}/31$) を設定できます。

14.4.4 ポー・レートの算出

(1) ポー・レート計算式

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{XCLK0}}{2 \times k} \text{ [bps]}$$

f_{XCLK0} : BRGC0レジスタのTPS01, TPS00ビットで選択した基本クロックの周波数

k : BRGC0レジスタのMDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

表14 - 4 TPS01, TPS00の設定値

TPS01	TPS00	基本クロック (f _{XCLK0}) 選択 ^{注1}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	TM50の出力 ^{注2}				
0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
1	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- ・ V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz
- ・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

- ・ TM50とCR50の一致でクリア & スタート・モード (TMC506 = 0)
タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。
- ・ PWMモード (TMC506 = 1)
デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC0レジスタのMDL04-MDL00ビットの設定値 = 10000B (k = 16)

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 [\%] \end{aligned}$$

(3) ボー・レート設定例

表14-5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz			
	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]
1200	3H	26	1202	0.16	-	-	-	-	-	-	-	-
2400	3H	13	2404	0.16	-	-	-	-	-	-	-	-
4800	2H	26	4808	0.16	3H	16	4883	1.73	-	-	-	-
9600	2H	13	9615	0.16	3H	8	9766	1.73	3H	16	9766	1.73
10400	2H	12	10417	0.16	2H	30	10417	0.16	3H	15	10417	0.16
19200	1H	26	19231	0.16	2H	16	19531	1.73	3H	8	19531	1.73
24000	1H	21	23810	-0.79	2H	13	24038	0.16	2H	26	24038	0.16
31250	1H	16	31250	0	2H	10	31250	0	2H	20	31250	0
33600	1H	15	33333	-0.79	2H	9	34722	3.34	2H	19	32895	-2.1
38400	1H	13	38462	0.16	2H	8	39063	1.73	2H	16	39063	1.73
56000	1H	9	55556	-0.79	1H	22	56818	1.46	2H	11	56818	1.46
62500	1H	8	62500	0	1H	20	62500	0	2H	10	62500	0
76800	-	-	-	-	1H	16	78125	1.73	2H	8	78125	1.73
115200	-	-	-	-	1H	11	113636	-1.36	1H	22	113636	-1.36
153600	-	-	-	-	1H	8	156250	1.73	1H	16	156250	1.73
312500	-	-	-	-	-	-	-	-	1H	8	312500	0

備考 TPS01, TPS00 : ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (基本
クロック (f_{XCLK0}) 設定)

k : BRGC0のMDL04-MDL00ビットで設定した値 (k = 8, 9, 10, ..., 31)

f_{PRS} : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 13 受信時の許容ポー・レート範囲

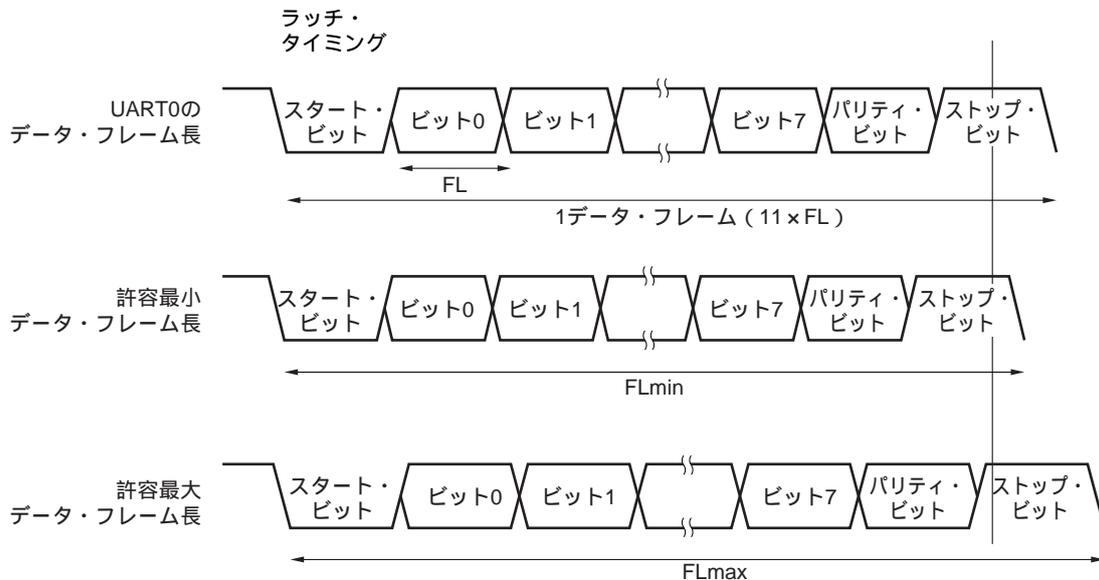


図14 - 13に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART0のポー・レート

k : BRGC0の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ポー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
16	+4.14 %	-4.19 %
24	+4.34 %	-4.38 %
31	+4.44 %	-4.47 %

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC0の設定値

第15章 シリアル・インタフェースUART6

15.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。詳細については15.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については15.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、15.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：625 kbps
- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

- 注意1.** TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。
2. シリアル・インタフェースUART6への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。
3. 通信開始する場合、POWER6 = 1に設定後、TXE6 = 1 (送信) またはRXE6 = 1 (受信) に設定してください。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (fxCLK6) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

注意5. TXE6 = 1に設定したあと、基本クロック (f_{XCLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。

6. 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化を行うので通信結果には影響しません。また、LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1 ~ 20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

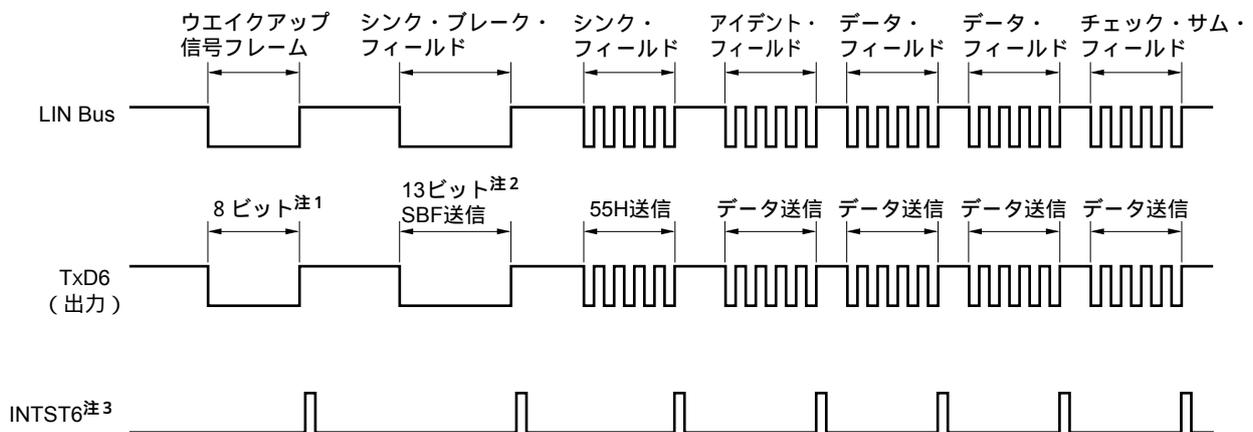
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokolでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が $\pm 15\%$ 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図15 - 1、図15 - 2に示します。

図15 - 1 LINの送信操作



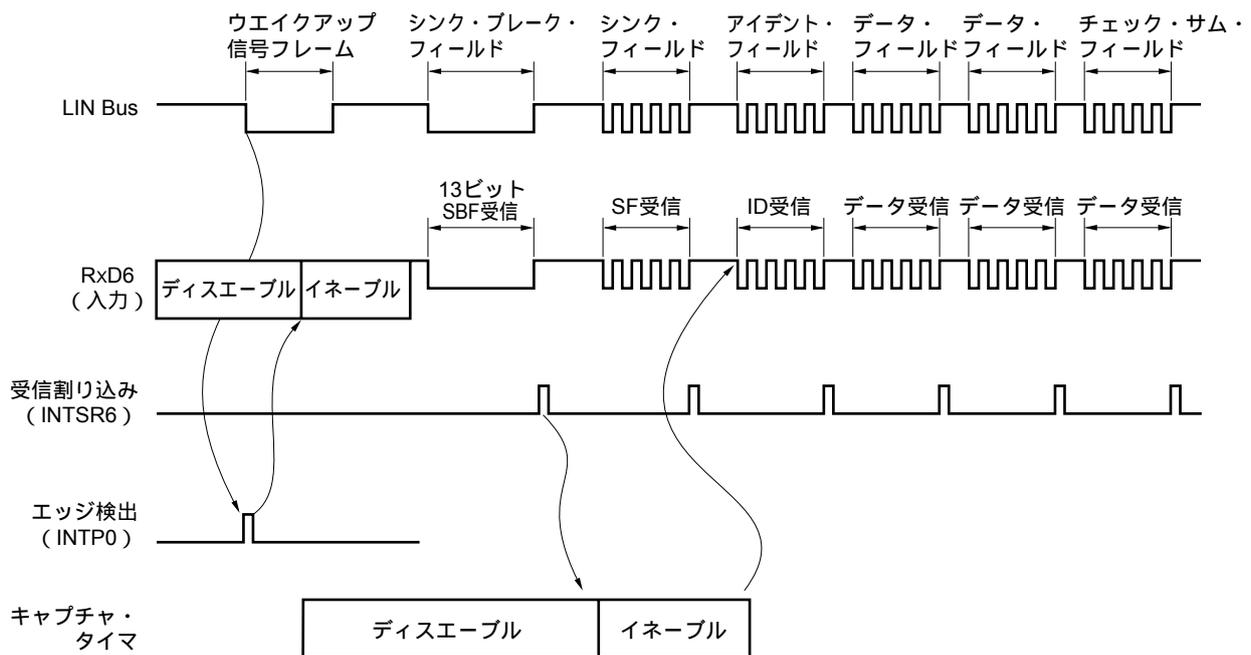
注1. ウェイクアップ信号フレームは、8ビット・モードの80H送信で代用します。

2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット4-2 (SBL62-SBL60) で設定したビット長になります (15.4.2 (2) (h) SBF送信を参照)。

3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図15 - 2 LINの受信操作



受信処理の流れを次に示します。

ウエイクアップ信号の検出は、端子のエッジ検出で行います。ウエイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ/イベント・カウンタ00を起動し、シンク・フィールドのビット間隔（パルス幅）を測定してください（6. 4. 5 **パルス幅測定としての動作**を参照）。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からポー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからポー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）を再セットしてください。

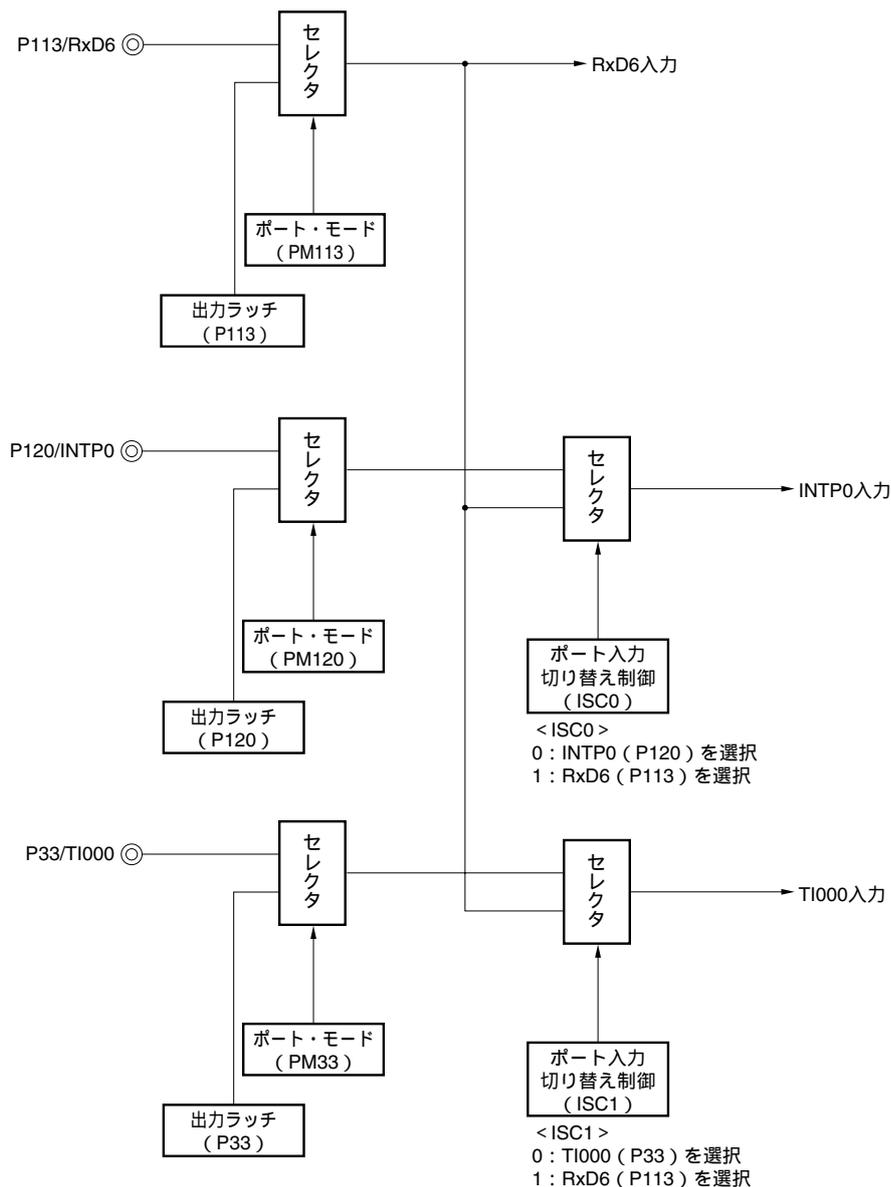
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

図15 - 3はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部でRxD6とINTP0, TI000の結線をせずに、受信ポート入力 (RxD6) の入力ソースを外部割り込み (INTP0) および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図15 - 3 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図15 - 11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出

用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出

- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ボー・レート誤差検出

用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI000 入力エッジの間隔をキャプチャ・モードで測定)

- ・シリアル・インタフェースUART6

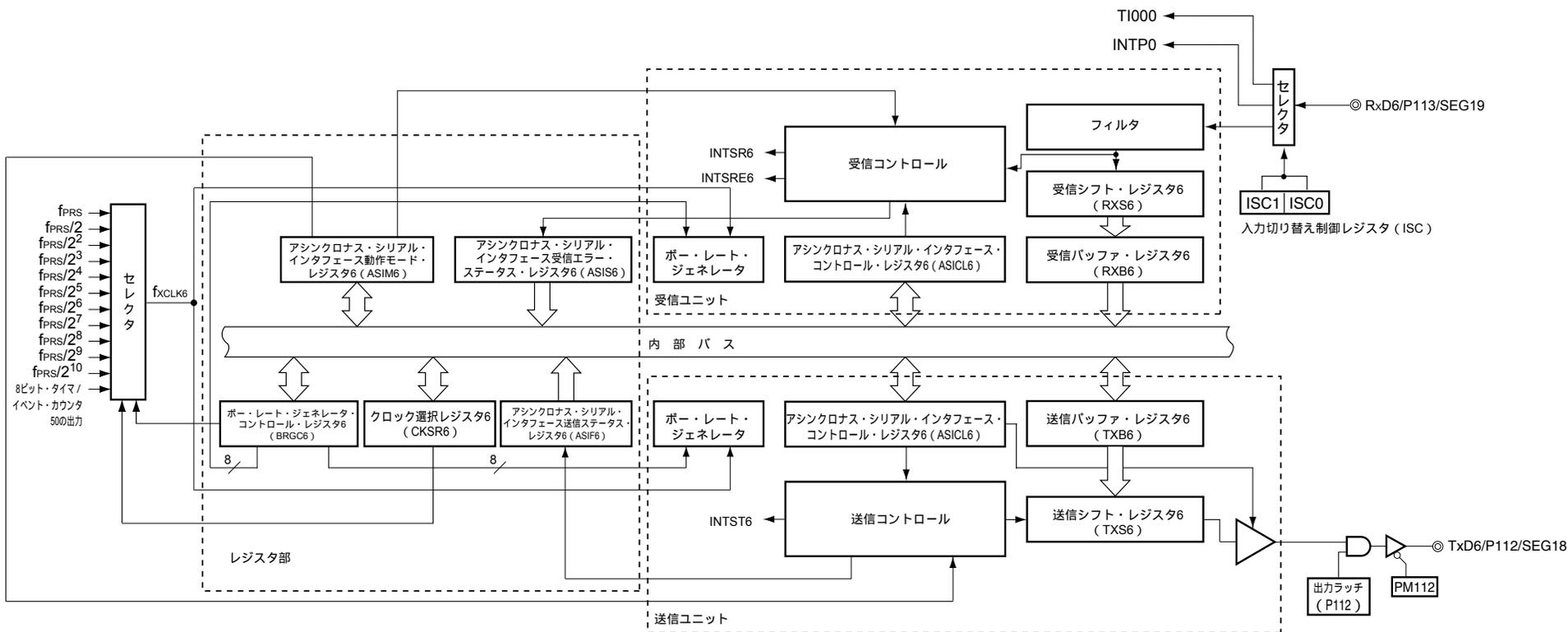
15.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は, 次のハードウェアで構成しています。

表15-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信パツファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信パツファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ11 (PM11) ポート・レジスタ11 (P11)

図15-4 シリアル・インタフェースUART6のブロック図



(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・ LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・ MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。

2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。

3. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下りのタイミングで行われます。

TXS6はプログラムで直接操作できません。

15.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の9種類のレジスタで制御します。

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ11 (PM11)
- ・ ポート・レジスタ11 (P11)

(1) アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1 ,またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図15 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定) , 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0 の場合) 。また、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) , アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) , アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6) , 受信バッファ・レジスタ6 (RXB6) です。

図15 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1 と設定すると、受信を開始してしまいます。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)してから行ってください。
7. LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
8. SL6ビットを書き換えるときは、TXE6をクリア(0)してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。
9. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6を読み出したあと, 受信バッファ・レジスタ6 (RXB6) を読み出し, エラー・フラグをクリアしてください。

図15 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE6 ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。
- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 - オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず, データは破棄されます。
 - ASIS6からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに, ASIS6からデータを読み出さないでください。詳細は, 第35章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0、ビット6 (TXE6) = 0により、00Hになります。

図15 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1. 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
2. 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1、またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図15 - 8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{XCLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	8 MHz	10 MHz
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	500 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	62.5 kHz	78.13 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	31.25 kHz	39.06 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	15.625 kHz	19.53 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	7.813 kHz	9.77 kHz
1	0	1	1	TM50の出力 ^{注3}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz

- V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック : f_{PRS}) は設定禁止です。

3. TM50出力を基本クロックとして選択する場合、次の内容に注意してください。

- TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : TMC50のビット1

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでBRGC6へのリフレッシュ動作(同値書き込み)を行うことができます。

図15-9 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス：FF57H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{CLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{CLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{CLK6}/6$
.
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{CLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{CLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{CLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{CLK6}/255$

注意1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{CLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. × : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。

ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

注意 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。ただし、SBF受信中(SBRF6 = 1)またはSBF送信中(SBTT6をセット(1)後からINTST6発生までの間)に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

図15 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(1/2)

アドレス : FF58H リセット時 : 16H R/W^注

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信中

SBRT6	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図15 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(2/2)

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可 / 禁止
0	TxD6通常出力
1	TxD6反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持(1)されます。
- SBRT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット5 (RXE6) = 1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT6ビットをクリア(0)しないでください。
 - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア(0)されます。
 - SBTT6ビットは、ASIM6のビット7 (POWER6) = 1、かつビット6 (TXE6) = 1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT6ビットをクリア(0)しないでください。
 - SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア(0)されます。
 - SBRT6ビットは受信動作中に、SBTT6ビットは送信動作中に、セット(1)しないでください。
 - DIR6, TXDLV6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)にしてから行ってください。
 - TXDLV6ビットを1(TxD6反転出力)に設定している場合、POWER6, TXE6の設定に関係なく、TxD6/P112端子を汎用ポートとして使用することはできません。TxD6/P112端子を汎用ポートとして使用する場合は、TXDLV6ビットを0(TxD6通常出力)に設定してください。

(7) 入力切り替え制御レジスタ (ISC)

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

ISC3に1をセットすることで、P113/RxD6端子は入力許可されます。ISC3が0にクリアしている場合、外部からの入力を受け付けません。これにより、リセット解除後、出力設定するまでの間の入力不定状態による貫通電流の発生を防ぎます。

また、LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP15/<RxD6> 端子もしくはP113/RxD6端子からの入力信号に切り替わります。

図15 - 11 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	0	ISC1	ISC0

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P113)

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P113)

注意 P113/RxD6/SEG19端子をP113またはRxD6端子として使用する場合は、

リセット解除後、PF11ALL = 0, ISC3 = 1を設定してください。

P113/RxD6/SEG19端子をSEG19端子として使用する場合は、

リセット解除後、PF11ALL = 1, ISC3 = 0を設定してください。

(8) ポート・モード・レジスタ11 (PM11)

ポート11の入力/出力を1ビット単位で設定するレジスタです。

P112/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM112に0を、P112の出力ラッチに1を設定してください。

P113/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM113に1を設定してください。このときP113の出力ラッチは、0または1のどちらでもかまいません。

PM11は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図15 - 12 ポート・モード・レジスタ11 (PM11) のフォーマット

アドレス : FF2BH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM11	1	1	1	1	PM113	PM112	PM111	PM110

PM11n	P11n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

15.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス : FF50H リセット時 : 01H RW

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0の場合)。また、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/P113, TxD6/P112端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

15.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ11 (PM11)
- ・ポート・レジスタ11 (P11)

UARTモードの基本的な動作設定手順例は次のようになります。

CKSR6レジスタを設定 (図15 - 8を参照)

BRGC6レジスタを設定 (図15 - 9を参照)

ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図15 - 5を参照)

ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図15 - 10を参照)

ASIM6レジスタのビット7 (POWER6) をセット (1)

ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能

ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能

送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表15 - 2 レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM112	P112	PM113	P113	UART6 の動作	端子機能	
								TxD6/SEG18/P112	RxD6/SEG19/P113
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SEG18/P112	SEG19/P113
1	0	1	x ^注	x ^注	1	x	受信	SEG18/P112	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	SEG19/P113
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能またはセグメント出力として設定することができます。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM11x : ポート・モード・レジスタ

P11x : ポートの出力ラッチ

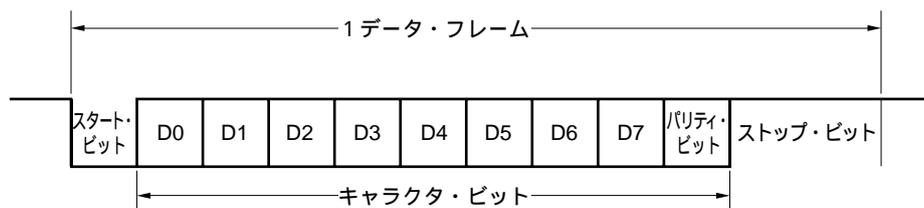
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

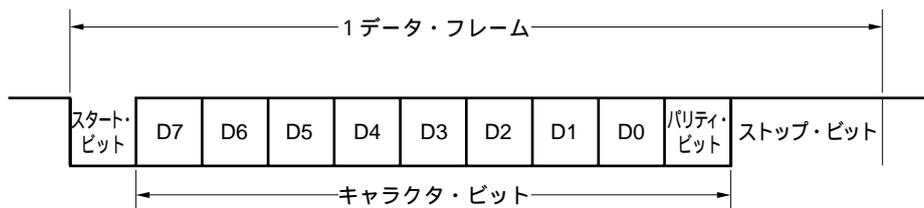
通常送受信データのフォーマットと波形例を図15 - 13, 図15 - 14に示します。

図15 - 13 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト/MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

また, TxD6端子の通常出力/反転出力をASICL6のビット0 (TXDLV6) で設定します。

図15 - 14 通常UART送受信データの波形例 (1/2)

1. データ長: 8ビット, LSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



3. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H, TxD6端子反転出力

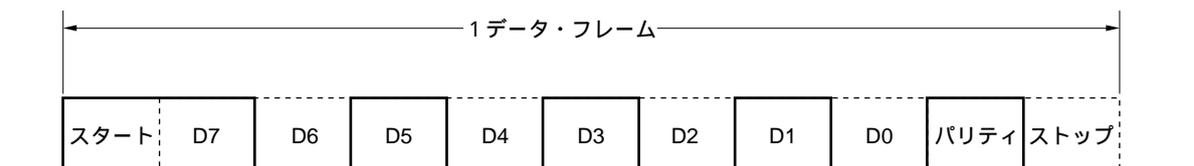


図15 - 14 通常UART送受信データの波形例 (2/2)

4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個 : 1

送信データ中に、値が“1”のビット数が偶数個 : 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

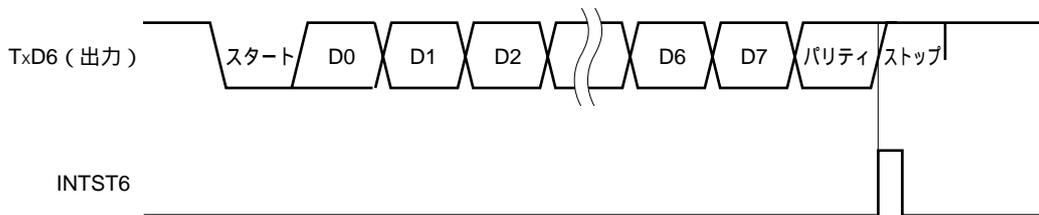
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、送信データがTXS6より順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

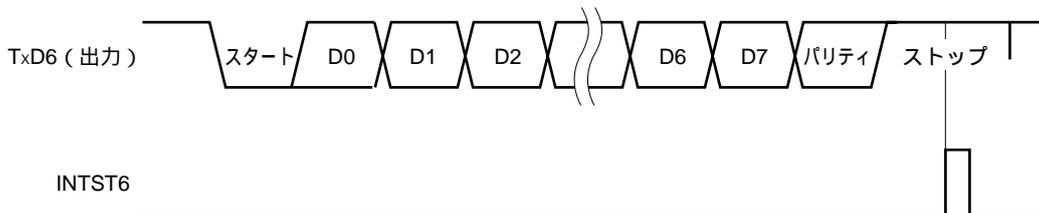
送信完了割り込み要求 (INTST6) のタイミングを図15 - 15に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図15 - 15 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1.** 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。
- 2.** LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んでください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

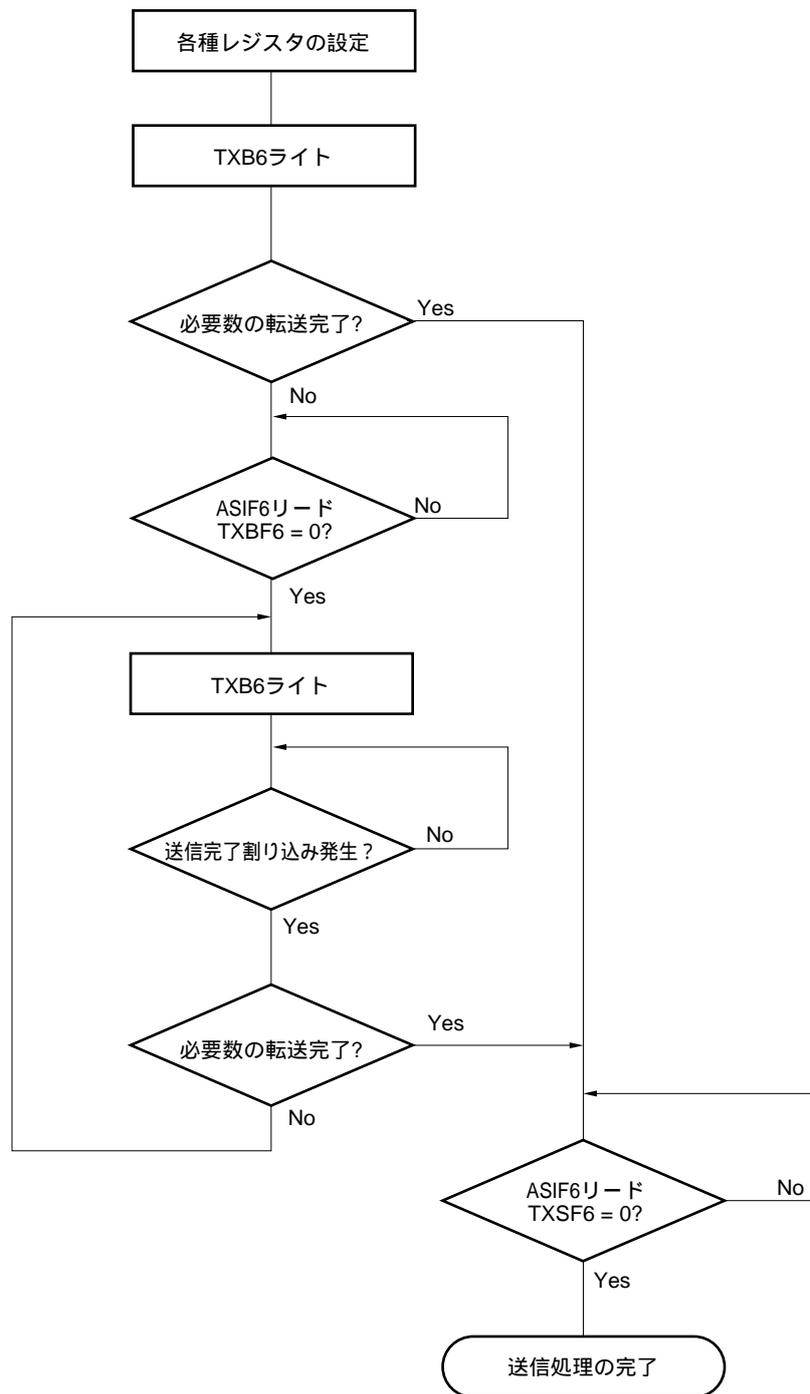
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図15 - 16に示します。

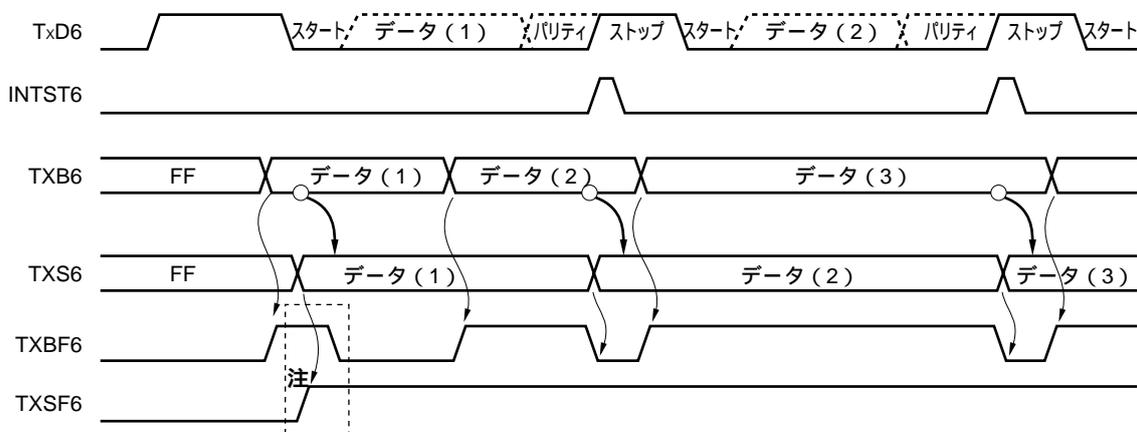
図15 - 16 連続送信の処理フロー例



- 備考** TXB6 : 送信バッファ・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)
 TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図15 - 17に、連続送信を終了する際のタイミングを図15 - 18に示します。

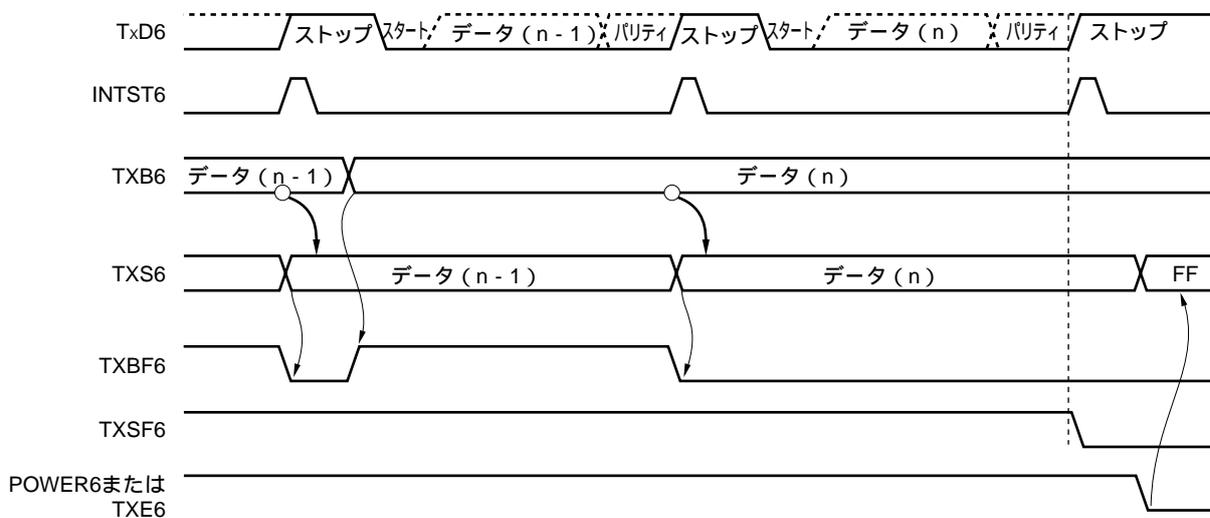
図15 - 17 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図15 - 18 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

(e) 通常受信

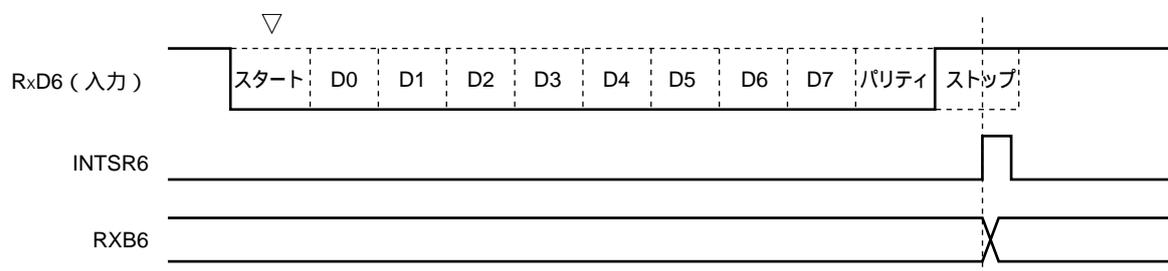
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、Rx D6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの8ビット・カウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度Rx D6端子入力をサンプリング (図15 - 19の 印に相当) した結果、Rx D6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み (INTSR6/INTSRE6) を発生します。

図15 - 19 受信完了割り込み要求タイミング



- 注意1. 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み (INTSR6/INTSRE6) を発生します。

受信エラー割り込み (INTSR6/INTSRE6) 処理内で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図15 - 6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、クリア (0) されます。

表15 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバーラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図15 - 20 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)

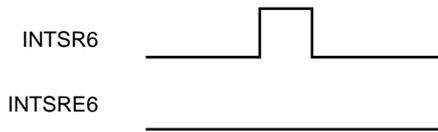


図15 - 20 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)

(a) 受信時, エラーなし

(b) 受信時, エラーあり



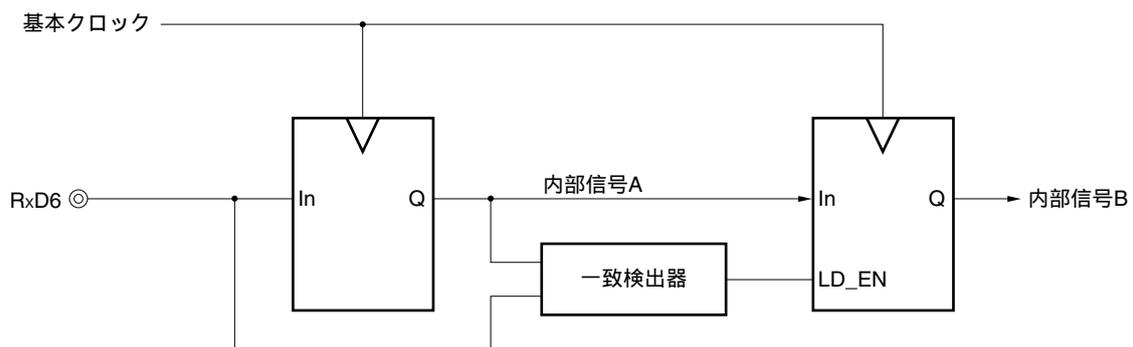
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図15 - 21のようにになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図15 - 21 ノイズ・フィルタ回路



(h) SBF送信

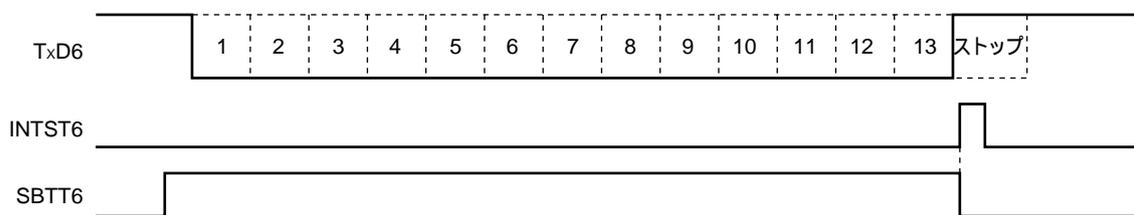
LIN通信動作で使用する場合、送信ではSBF(Synchronous Break Field)送信制御機能を使用します。LINの送信操作については図15 - 1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6)のビット7 (POWER6)をセット(1)すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6)をセット(1)すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)のビット5 (SBTT6)をセット(1)することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル(ASICL6のビット4-2 (SBL62-SBL60)で設定)を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6)を発生し、SBTT6は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6 (TXB6)に書き込む、あるいはSBTT6をセット(1)するまで、送信動作は中断します。

図15 - 22 SBF送信



備考 Tx D6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

SBTT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)のビット5

(i) SBF受信

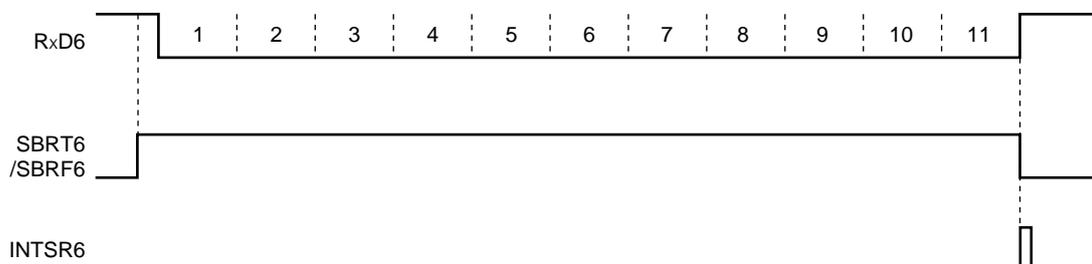
LIN通信動作で使用する場合、受信ではSBF(Synchronous Break Field)受信制御機能を使用します。LINの受信操作については図15 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のビット6(SBRT6)をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

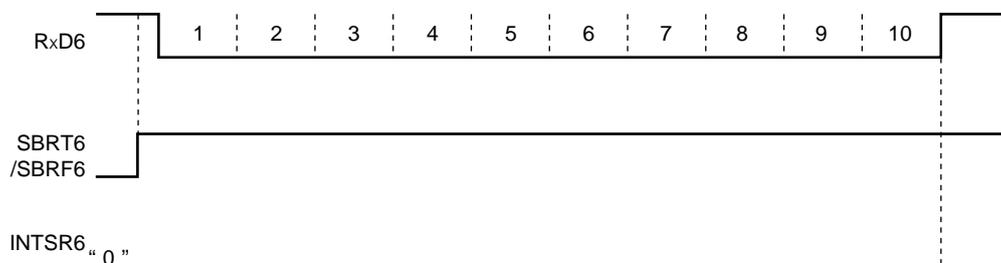
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 (RXS6) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6) を発生します。このときSBRF6、SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6、PE6、FE6 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 (RXS6) と受信バッファ・レジスタ6 (RXB6) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6、SBRT6ビットはクリアされません。

図15 - 23 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



- 備考** RxD6 : RxD6端子 (入力)
- SBRT6 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6
- SBRF6 : ASICL6のビット7
- INTSR6 : 受信完了割り込み要求

15.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

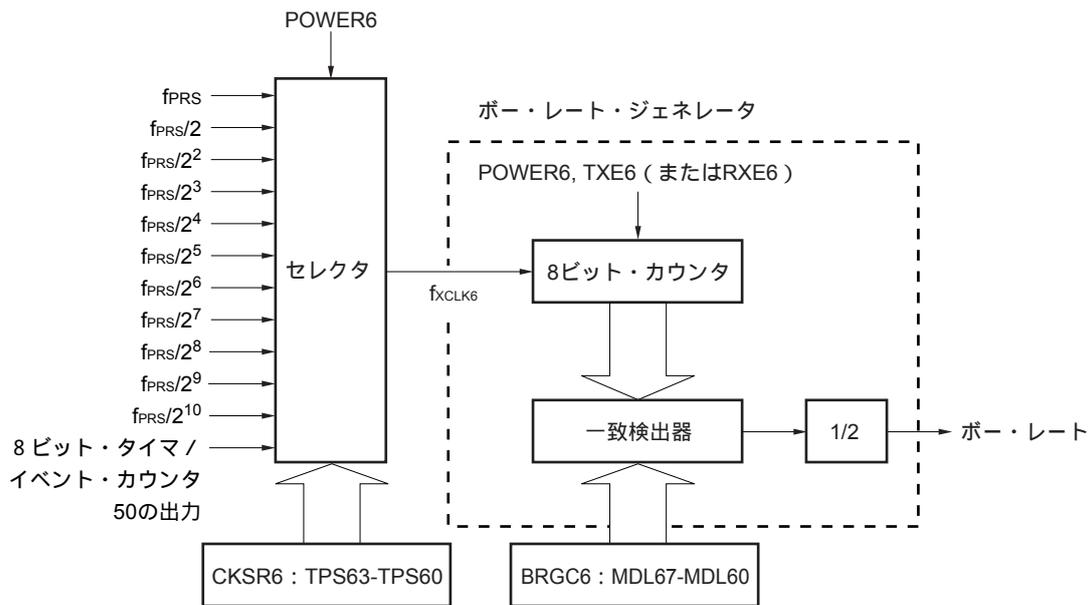
・受信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図15-24 ポー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、生成するシリアル・クロックを指定できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを、BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ($f_{XCLK6}/4 - f_{XCLK6}/255$) を設定できます。

15.4.4 ポー・レートの算出

(1) ポー・レート計算式

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [bps]}$$

f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

表15 - 4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	8 MHz	10 MHz
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	500 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	62.5 kHz	78.13 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	31.25 kHz	39.06 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	15.625 kHz	19.53 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	7.813 kHz	9.77 kHz
1	0	1	1	TM50の出力 ^{注3}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz

・V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック : f_{PRS}) は設定禁止です。

3. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515/153600 - 1) \times 100 \\ &= -1.357 [\%] \end{aligned}$$

(3) ボー・レート設定例

表15-5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz			
	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]	TPS63- TPS60	k	算出値	ERR [%]
300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94
153600	-	-	-	-	1H	8	156250	1.73	0H	33	151515	-1.36
312500	-	-	-	-	0H	8	312500	0	1H	8	312500	0
625000	-	-	-	-	0H	4	625000	0	1H	4	625000	0

備考	TPS63-TPS60	: クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f _{CLK6}) 設定)
	k	: ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)
	f _{PRS}	: 周辺ハードウェア・クロック周波数
	ERR	: ポー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図15 - 25 受信時の許容ポー・レート範囲

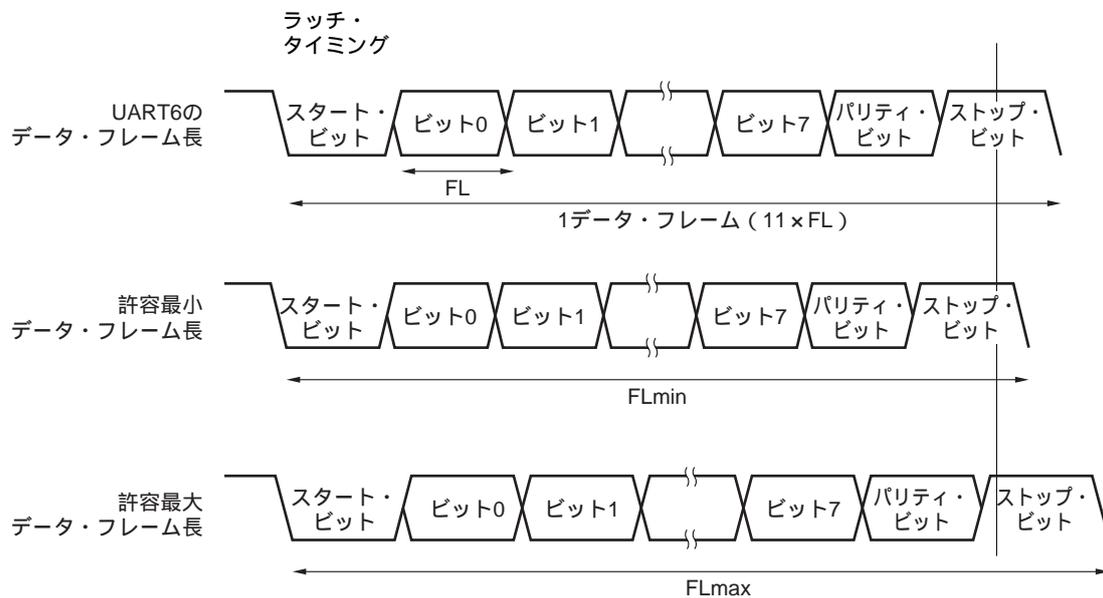


図15 - 25に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART6のポー・レート

k : BRGC6の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表15-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

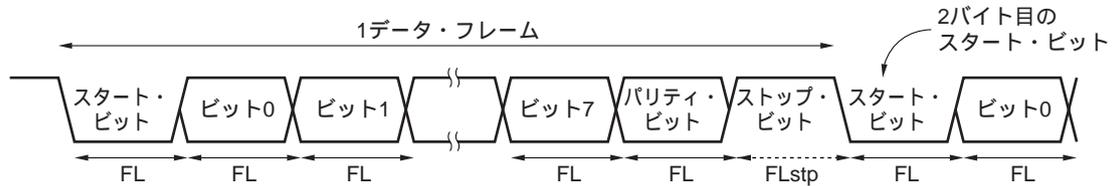
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図15 - 26 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{XCLK6} とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

第16章 シリアル・インタフェースCSI10

16.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。
シリアル・インタフェースCSI10には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。
詳細については16.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK10}}$) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については16.4.2 **3線式シリアルI/Oモード**を参照してください。

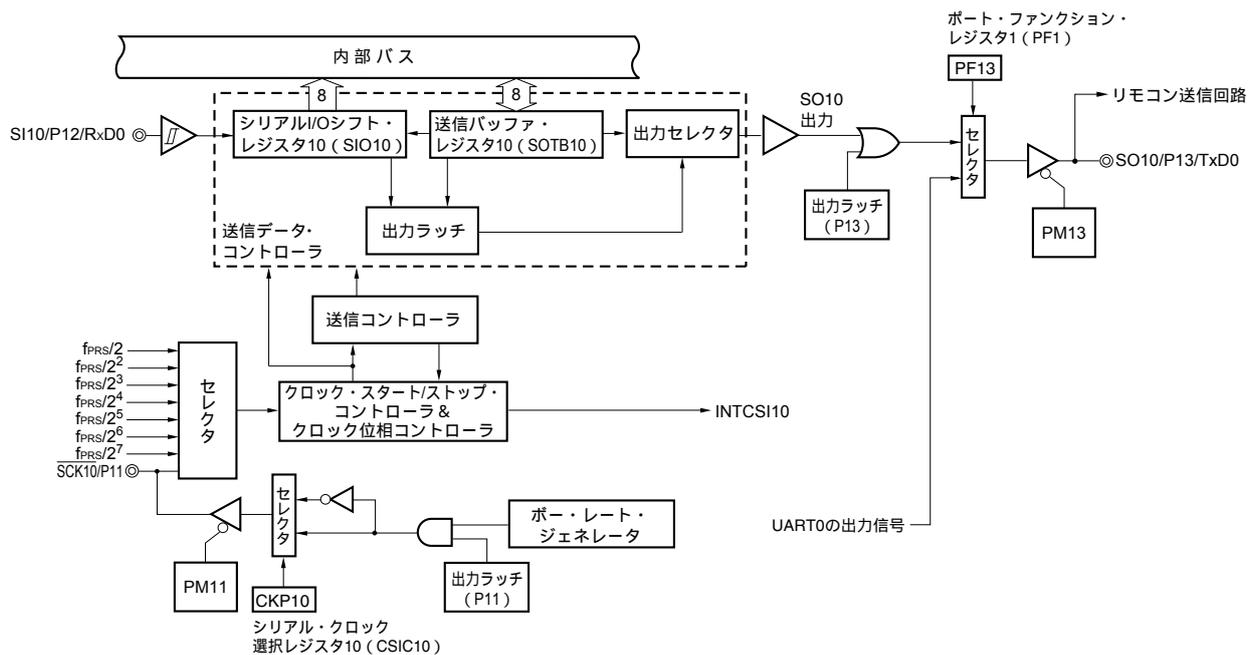
16.2 シリアル・インタフェースCSI10の構成

シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

表16-1 シリアル・インタフェースCSI10の構成

項 目	構 成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) ポート・ファンクション・レジスタ1 (PF1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図16-1 シリアル・インタフェースCSI10のブロック図



(1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10) のビット7 (CSIE10) とビット6 (TRMD10) が1のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアルI/Oシフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

(2) シリアルI/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

リセット信号の発生により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

16.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の5種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス : FF80H リセット時 : 00H R/W^{注1}

略号	[7]	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10 ^{注2}	3線式シリアルI/Oモード時の動作の制御
0	動作禁止, 内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- P11/SCK10, P12/SI10, P13/SO10を汎用ポートとして使用する場合は, CSIE10 = 0にしてください。
- リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。
- CSOT10 = 1 (シリアル通信中) のとき, TRMD10を書き換えないでください。
- TRMD10が0のとき, SO10出力 (図16 - 1を参照) はロウ・レベルに固定されま
す。SIO10からデータを読み出すと受信が開始します。
- CSOT10 = 1 (シリアル通信中) のとき, DIR10を書き換えないでください。

注意1. スタンバイ状態から再度動作する場合, 割り込み要求フラグ・レジスタ0H (IF0H) の
ビット2 (CSIF10) をクリア (0) してから, 動作開始してください。

- ビット1-3, 5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。

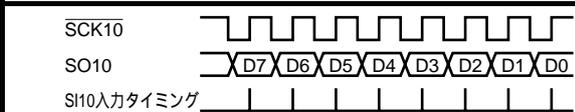
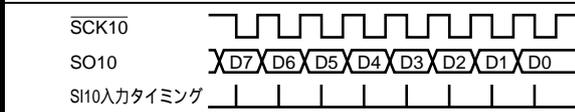
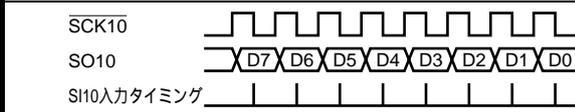
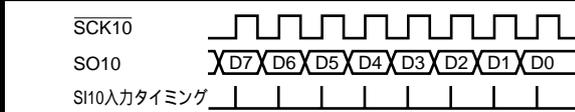
CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	$\overline{\text{SCK10}}$  SO10 SI10 入カタイミン	1
0	1	$\overline{\text{SCK10}}$  SO10 SI10 入カタイミン	2
1	0	$\overline{\text{SCK10}}$  SO10 SI10 入カタイミン	3
1	1	$\overline{\text{SCK10}}$  SO10 SI10 入カタイミン	4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 ^{注1,2}				モード
			$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 8 MHz	$f_{\text{PRS}} =$ 10 MHz	
0	0	0	$f_{\text{PRS}}/2$ 1 MHz	2.5 MHz	4 MHz	設定禁止	マスタ・ モード
0	0	1	$f_{\text{PRS}}/2^2$ 500 kHz	1.25 MHz	2 MHz	2.5 MHz	
0	1	0	$f_{\text{PRS}}/2^3$ 250 kHz	625 kHz	1 MHz	1.25 MHz	
0	1	1	$f_{\text{PRS}}/2^4$ 125 kHz	312.5 kHz	500 kHz	625 kHz	
1	0	0	$f_{\text{PRS}}/2^5$ 62.5 kHz	156.25 kHz	250 kHz	312.5 kHz	
1	0	1	$f_{\text{PRS}}/2^6$ 31.25 kHz	78.13 kHz	125 kHz	156.25 kHz	
1	1	0	$f_{\text{PRS}}/2^7$ 15.63 kHz	39.06 kHz	62.5 kHz	78.13 kHz	
1	1	1	$\overline{\text{SCK10}}$ からの外部クロック入力 ^{注3}				スレーブ・ モード

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL

= 1) 場合，電源電圧により， f_{PRS} の動作周波数が異なります。

・ $V_{\text{DD}} = 2.7 \sim 3.6 \text{ V}$: $f_{\text{PRS}} = 10 \text{ MHz}$

・ $V_{\text{DD}} = 1.8 \sim 2.7 \text{ V}$: $f_{\text{PRS}} = 5 \text{ MHz}$

2. シリアル・クロックは，次の条件を満たすように設定してください。

・ $V_{\text{DD}} = 2.7 \sim 3.6 \text{ V}$: シリアル・クロック 4 MHz

・ $V_{\text{DD}} = 1.8 \sim 2.7 \text{ V}$: シリアル・クロック 2 MHz

注3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、 $\overline{\text{SCK10}}$ 端子からの外部クロックで通信動作を開始させないでください。

- 注意1. CSIE10 = 1(動作許可)のとき、CSIC10への書き込みを行わないでください。
2. P11/ $\overline{\text{SCK10}}$, P13/SO10を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ状態(00H)にしてください。
 3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) ポート・ファンクション・レジスタ1 (PF1)

P13/SO10端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 4 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

(4) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P11/SCK10をシリアル・インタフェースのクロック出力として使用するとき、PM11に0、P11の出力ラッチに1を設定してください。

P13/SO10をシリアル・インタフェースのデータ出力として使用するとき、PM13およびP13の出力ラッチに0を設定してください。

P11/SCK10をシリアル・インタフェースのクロック入力、P12/SI10をシリアル・インタフェースのデータ入力として使用するとき、PM11、PM12に1を設定してください。このとき、P11、P12の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図16-5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	1	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-4, 6, 7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

16.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

16.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P11/SCK10, P12/SI10, P13/SO10を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10) に0を設定してください。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} ，内部回路を非同期リセットする ^{注2}

注1. P11/SCK10, P12/SI10, P13/SO10を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定(00H)にしてください。

2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

16.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{\text{SCK10}}$)、シリアル出力 (SO10)、シリアル入力 (SI10) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIC10レジスタを設定 (図16 - 3を参照)

CSIM10レジスタのビット4, 6 (DIR10, TRMD10) を設定 (図16 - 2を参照)

CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能

送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始

シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表16 - 2 レジスタの設定と端子の関係

CSIE10	TRMD10	PM12	P12	PM13	P13	PM11	P11	CSI10 の動作	端子機能		
									SI10/RxD0/ P12	SO10/ TxD0/P13	SCK10/ P11
0	x	x ^{注1}	停止	RxD0/P12	TxD0/P13 ^{注2}	P11 ^{注3}					
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注4}	SI10	TxD0/P13 ^{注2}	SCK10 (入力) ^{注4}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注4}	RxD0/P12	SO10	SCK10 (入力) ^{注4}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注4}	SI10	SO10	SCK10 (入力) ^{注4}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	TxD0/P13 ^{注2}	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	RxD0/P12	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P13/SO10/TxD0を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
3. P11/SCK10を汎用ポートとして使用する場合、CKP10を0に設定してください。
4. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE10	: シリアル動作モード・レジスタ10 (CSIM10) のビット7
	TRMD10	: CSIM10のビット6
	CKP10	: シリアル・クロック選択レジスタ10 (CSIC10) のビット4
	CKS102, CKS101, CKS100	: CSIC10のビット2-0
	PM1x	: ポート・モード・レジスタ
	P1x	: ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図16 - 6 3線式シリアルI/Oモードのタイミング (1/2)

(a) 送受信タイミング (タイプ1 : TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

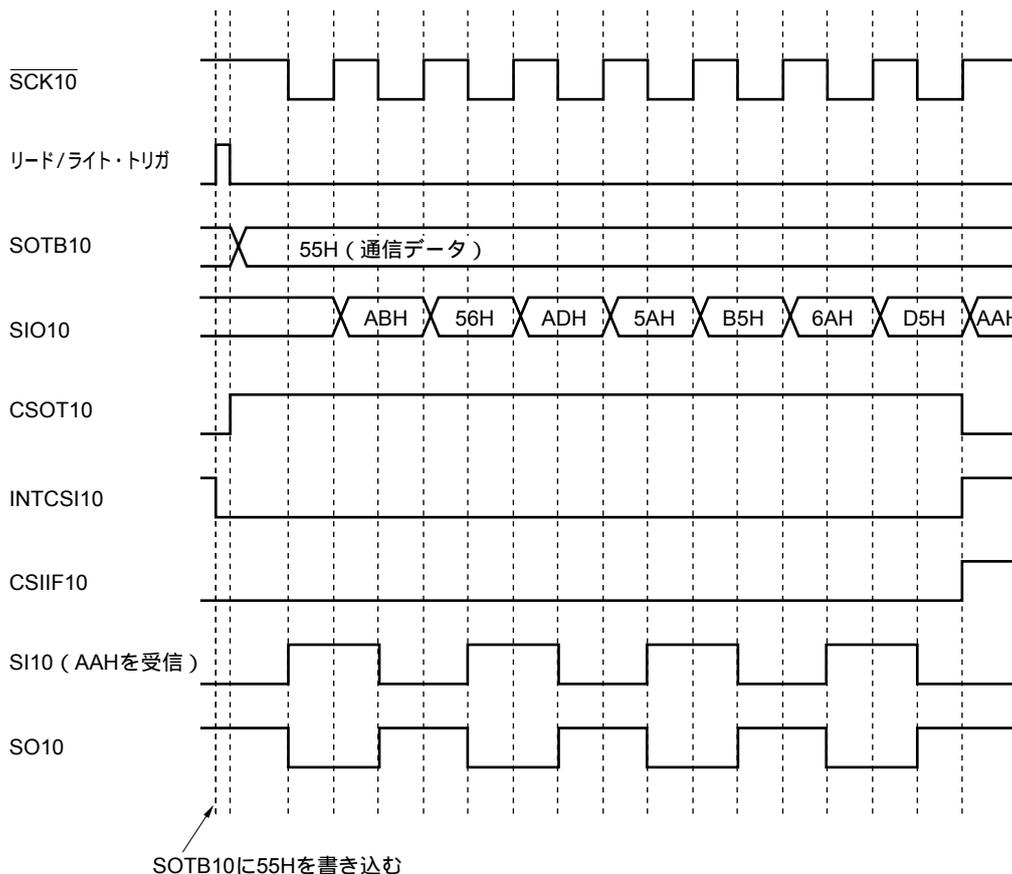


図16 - 6 3線式シリアルI/Oモードのタイミング (2/2)

(b) 送受信タイミング (タイプ2 : TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

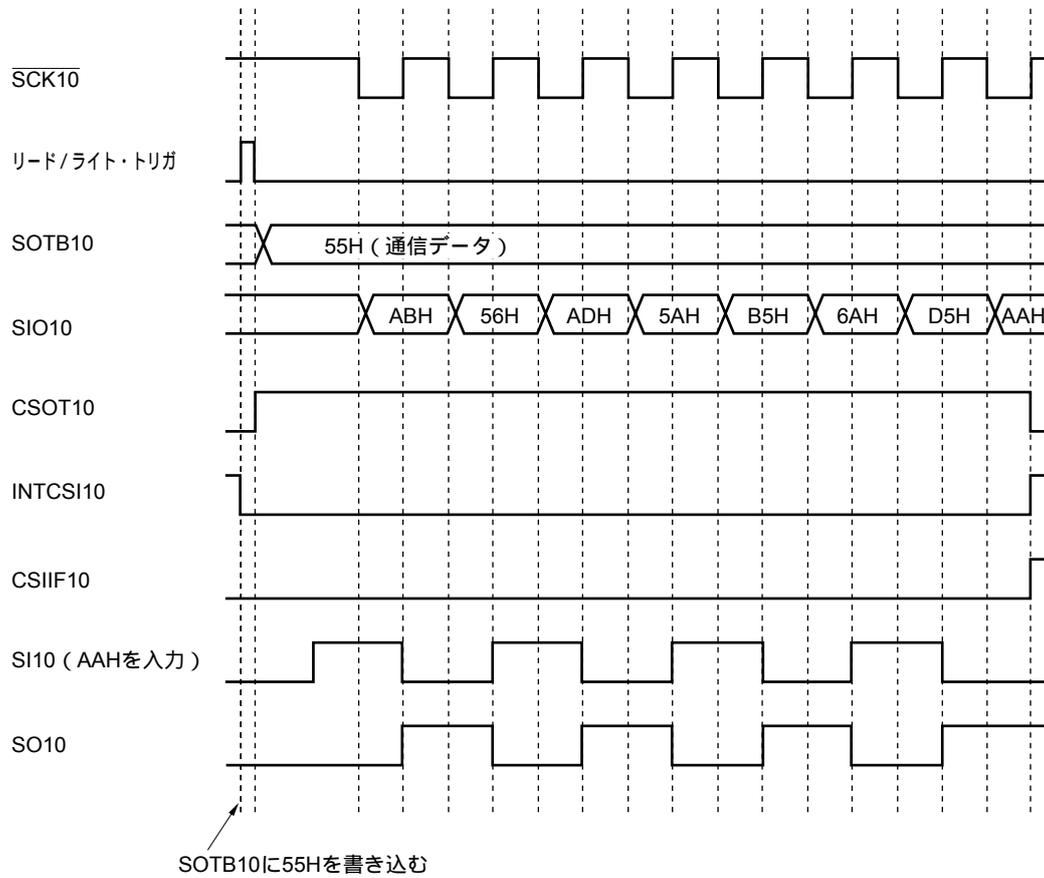
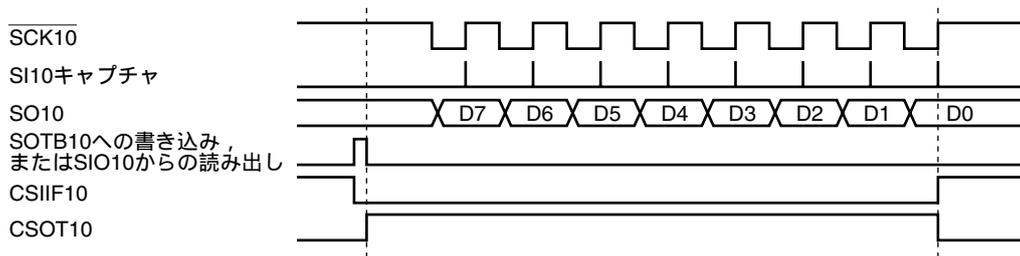
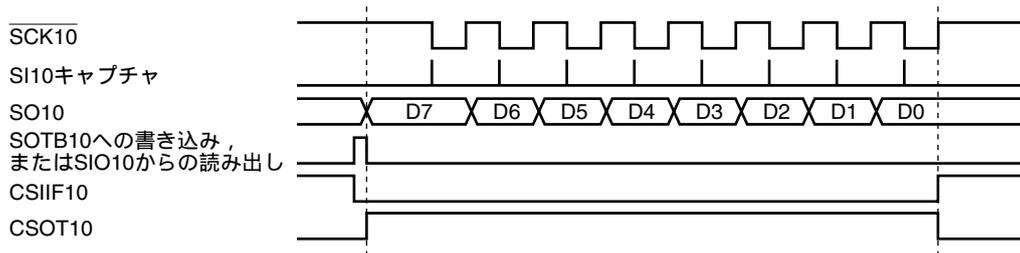


図16-7 クロック/データ位相のタイミング

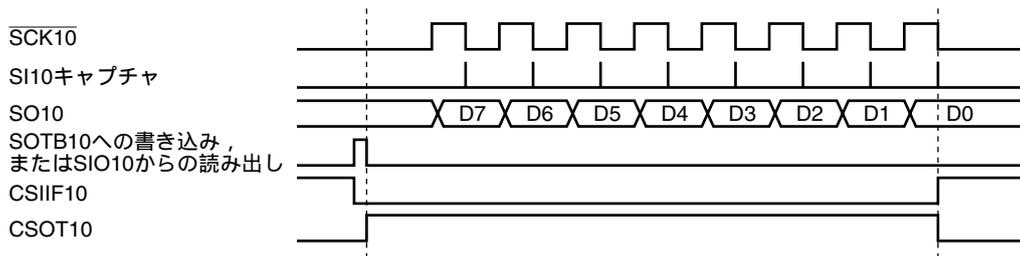
(a) タイプ1 : CKP10 = 0, DAP10 = 0, DIR10 = 0



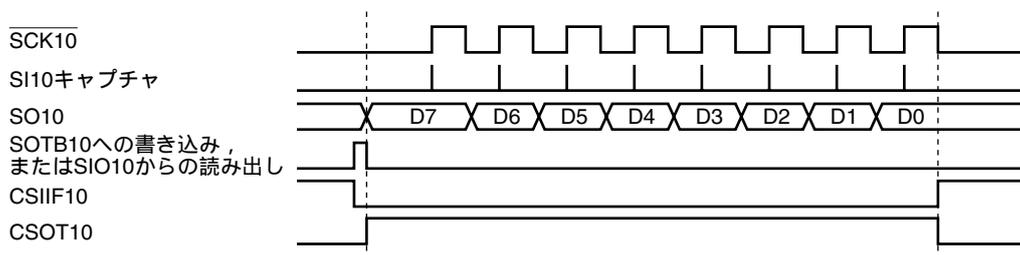
(b) タイプ2 : CKP10 = 0, DAP10 = 1, DIR10 = 0



(c) タイプ3 : CKP10 = 1, DAP10 = 0, DIR10 = 0



(d) タイプ4 : CKP10 = 1, DAP10 = 1, DIR10 = 0



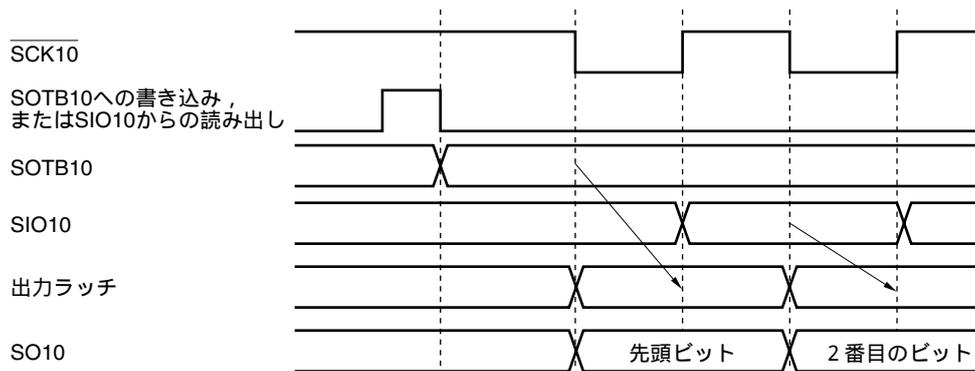
備考 上図は、MSBファーストの通信動作です。

(3) SO10端子への出力タイミング(先頭ビット)

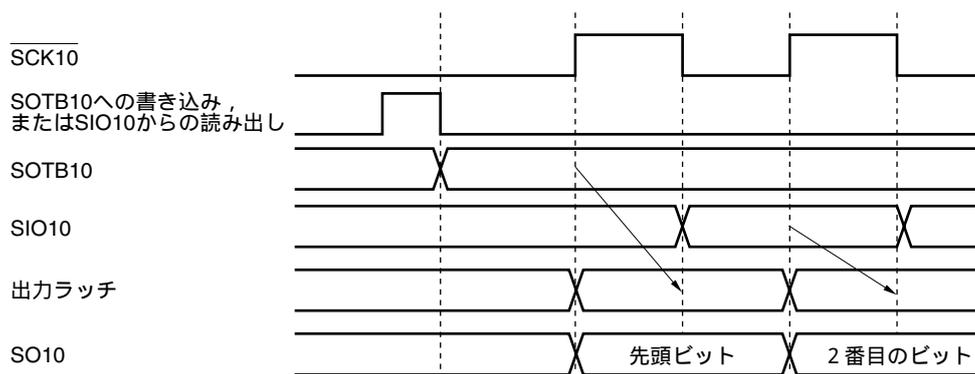
通信開始時、送信バッファ・レジスタ10 (SOTB10) の値は、SO10端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図16-8 先頭ビットの出力動作(1/2)

(a) タイプ1 : CKP10 = 0, DAP10 = 0



(b) タイプ3 : CKP10 = 1, DAP10 = 0

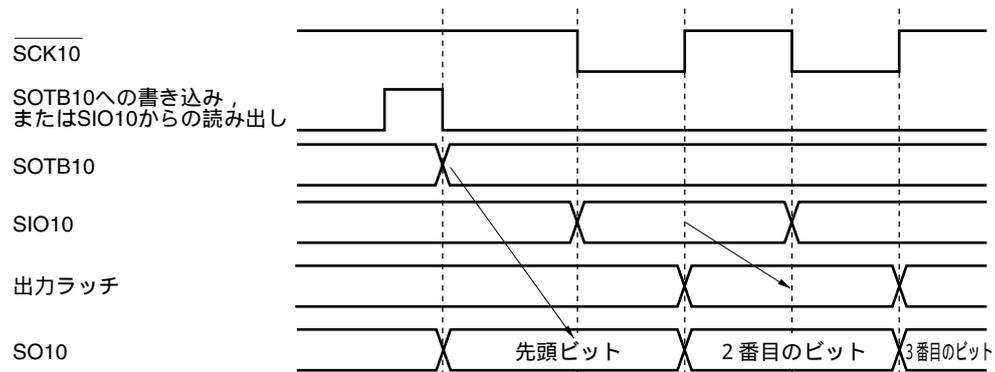


先頭ビットは、 $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSOTB10レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{\text{SCK10}}$ の立ち上がり(または立ち下がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

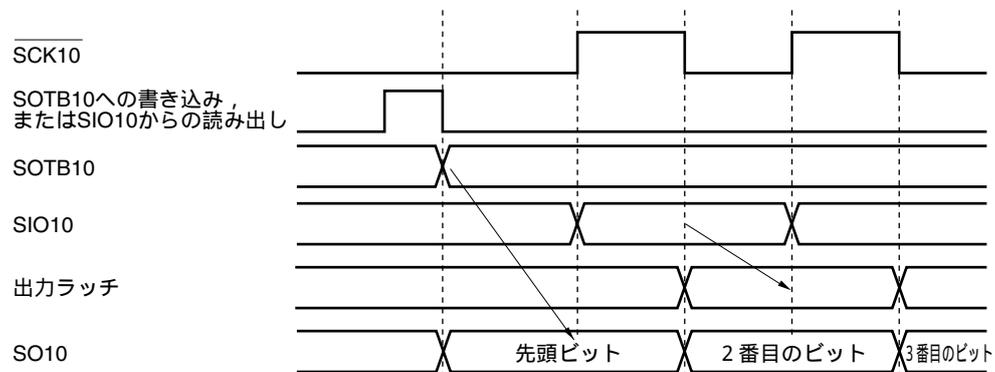
2番目のビット以降は、次の $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

図16-8 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セクタを通してSO10端子から出力されます。次のSCK10の立ち下がり（または立ち上がり）エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次のSCK10の立ち上がり（または立ち下がり）エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(4) SO10端子の出力値 (最終ビット)

通信終了後，SO10端子の出力は，最終ビットの出力値を保持します。

図16 - 9 SO10端子の出力値 (最終ビット) (1/2)

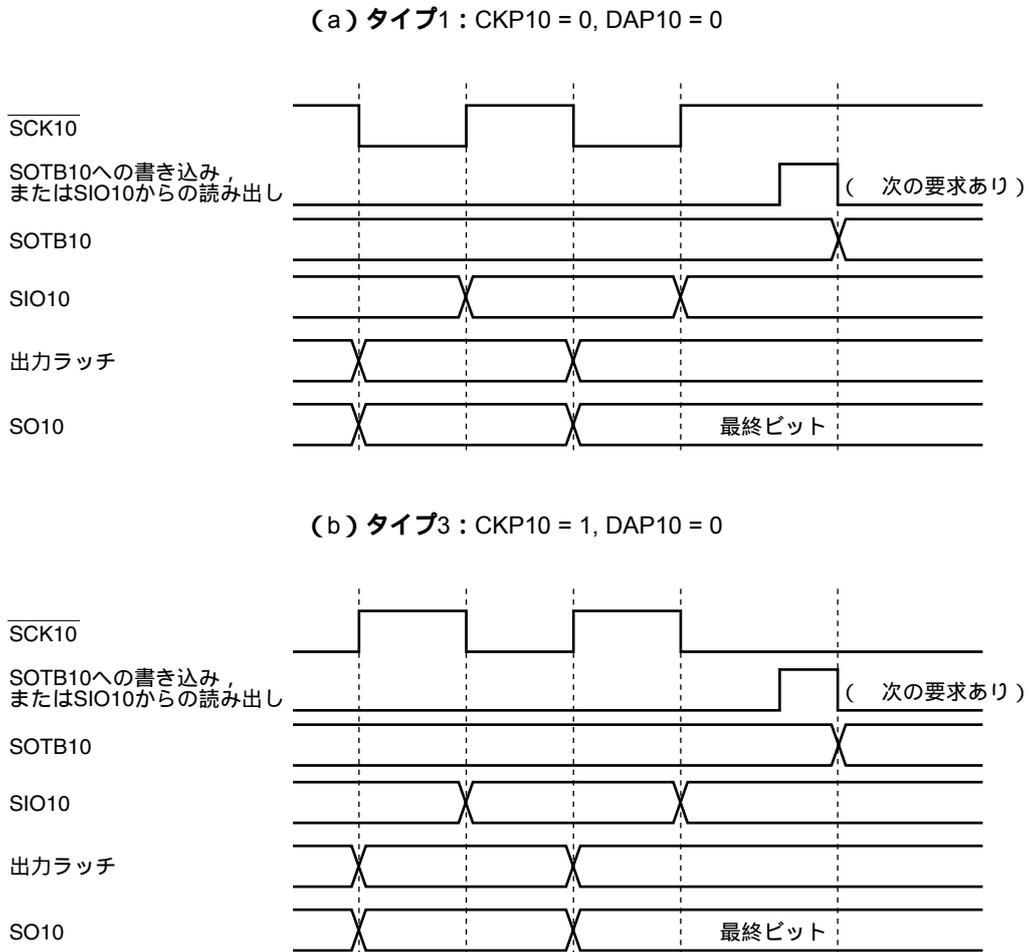
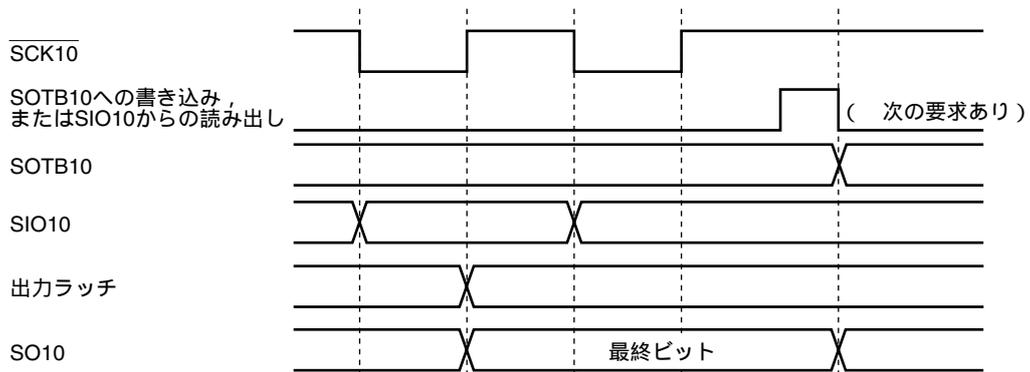
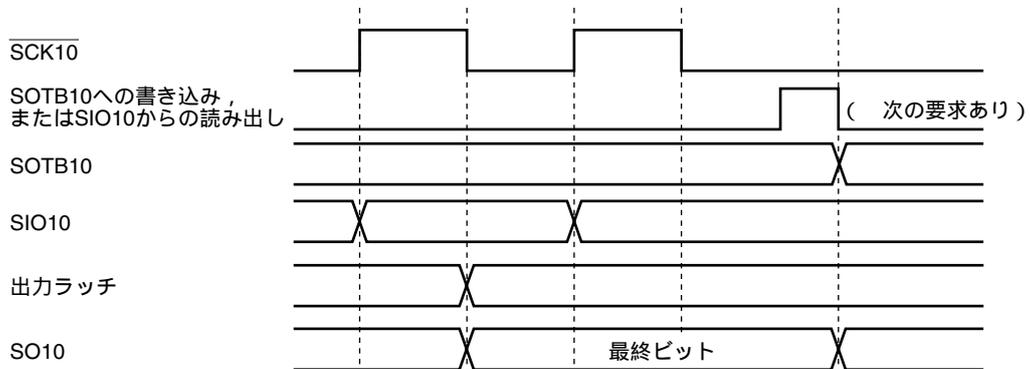


図16 - 9 SO10端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



(5) SO10出力 (図16 - 1参照) について

CSIE10, TRMD10, DAP10, DIR10の設定により, SO10出力は次のようになります。

表16 - 3 SO10出力の状態

CSIE10	TRMD10	DAP10	DIR10	SO10出力 ^{注1}
CSIE10 = 0 ^{注2}	TRMD10 = 0 ^{注2, 3}	-	-	ロウ・レベル出力 ^{注2}
		DAP10 = 0	-	ロウ・レベル出力
	TRMD10 = 1	DAP10 = 1	DIR10 = 0	SOTB10のビット7の値
			DIR10 = 1	SOTB10のビット0の値
CSIE10 = 1	TRMD10 = 0 ^{注3}	-	-	ロウ・レベル出力
	TRMD10 = 1	-	-	送信データ ^{注4}

注1. 実際のSO10/P13端子の出力は, SO10出力のほかにPM13とP13によって決まります。

2. リセット時の状態です。

3. P13/SO10を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE10, TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。

第17章 拡張SFRインタフェース

17.1 拡張SFRインタフェースの機能

拡張SFRインタフェースは、バンク選択信号線とクロック同期式シリアル通信で実現しています。バンク選択信号線とシリアル通信を組み合わせることにより、拡張SFRレジスタへのアクセスを行います。

拡張SFRインタフェースには、次の2種類のモードがあります。

(1) 動作停止モード

拡張SFRインタフェース通信を行わないときに使用するモードです。消費電力を低減することができます。詳細については、17.4.1 **動作停止モード**を参照してください。

(2) シリアルI/Oモード

2本のチップ・セレクト信号（内部信号：P46, P47）、シリアル・クロック（内部信号： $\overline{\text{SCKA0}}$ ）、シリアル・データ（内部信号：SIA0, SOA0）により、8ビット・データ通信を行うモードです。

詳細については、17.4.2 **シリアルI/Oモード**を参照してください。

拡張SFRインタフェースの特徴を次に示します。

- ・通信データ長：8ビット
- ・MSBファースト・データ通信
- ・専用ポー・レート・ジェネレータ（6/8/16/32分周）内蔵
- ・送受信完了割り込み：INTACSI

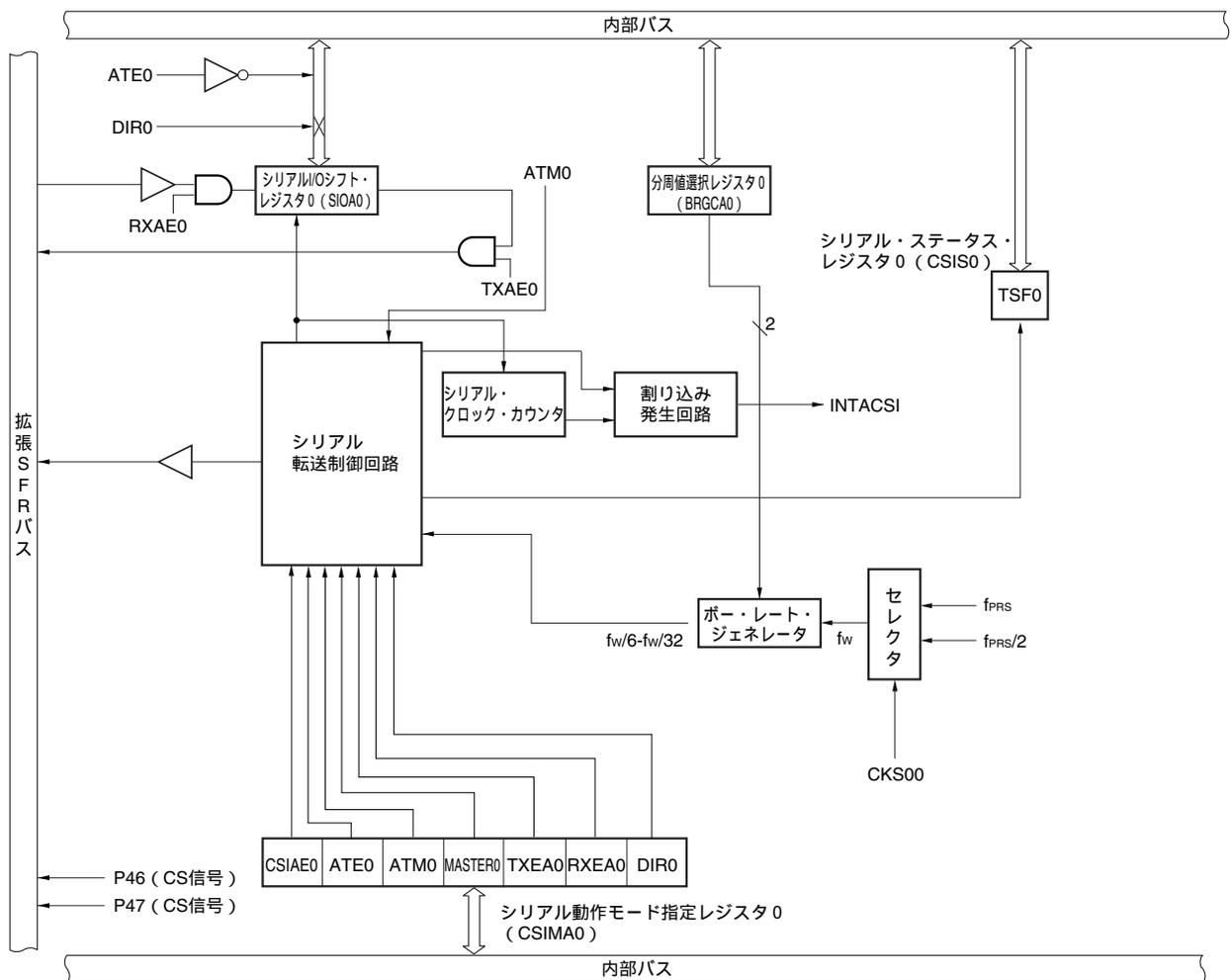
17.2 拡張SFRインタフェースの構成

拡張SFRインタフェースは、次のハードウェアで構成されています。

表17-1 拡張SFRインタフェースの構成

項 目	構 成
制御回路	シリアル転送制御回路
レジスタ	シリアルI/Oシフト・レジスタ0 (SIOA0)
制御レジスタ	シリアル動作モード指定レジスタ (CSIMA0) シリアル・ステータス・レジスタ0 (CSIS0) 分周値選択レジスタ0 (BRGCA0) ポート・モード・レジスタ1 (PM1) ポート・モード・レジスタ4 (PM4) ポート・レジスタ1 (P1) ポート・レジスタ4 (P4)

図17 - 1 拡張SFRインタフェースのブロック図



(1) シリアルI/Oシフト・レジスタ0 (SIOA0)

送信データおよび受信データを格納する8ビットのレジスタです。SIOA0に送信データを書き込むことにより、通信が開始されます。また、通信完了割り込み要求 (INTACSI) の出力後 (シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0) , SIOA0からのデータを読み出すことにより、受信データを受け取ることができます。

SIOA0は、8ビット・メモリ操作命令で書き込みと読み出しができます。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のとき、SIOA0への書き込みは禁止です。

リセット信号の発生により、00Hになります。

注意 通信動作の起動は、SIOA0への書き込みで行われるため、送信禁止 (CSIMA0のビット3 (TXEA0) = 0) のときもダミー・データをSIOA0レジスタに書き込み、通信動作を起動してから受信動作を行ってください。

拡張SFRへのアクセス方法については、17.5 拡張SFRレジスタへのリード/ライトを参照してください。

17.3 拡張SFRインタフェースを制御するレジスタ

拡張SFRインタフェースは、次の7種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ0 (CSIMA0)
- ・シリアル・ステータス・レジスタ0 (CSIS0)
- ・分周値選択レジスタ0 (BRGCA0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・モード・レジスタ4 (PM4)
- ・ポート・レジスタ1 (P1)
- ・ポート・レジスタ4 (P4)

(1) シリアル動作モード指定レジスタ0 (CSIMA0)

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 シリアル動作モード指定レジスタ0 (CSIMA0) のフォーマット

アドレス : FF90H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	0	0	MASTER0	TXEA0	RXEA0	0	0

CSIAE0	拡張SFRインタフェースの動作許可 / 禁止の制御
0	・拡張SFRインタフェース動作禁止 ・内部回路を非同期リセットする ^注
1	拡張SFRインタフェース動作許可

TXEA0	送信動作の許可 / 禁止の制御
0	送信動作禁止
1	送信動作許可

RXEA0	受信動作の許可 / 禁止の制御
0	受信動作禁止
1	受信動作許可

注意1. ビット0, 1, 5, 6には必ず0を設定してください。

2. リセット解除後、ビット4 (MASTER0) には必ず1を設定してください。

3. CSIAE0を1から0にした場合は、レジスタおよびビット^注は非同期で初期化されます。再度、CSIAE0を0から1にする場合は、必ず初期化されたレジスタを再設定してください。

注 リセットされるのは、シリアルI/Oシフト・レジスタ0 (SIOA0) およびシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) です。

(2) シリアル・ステータス・レジスタ0 (CSIS0)

拡張SFRインタフェースの基本クロックの選択, 通信動作の制御および状態を示す8ビットのレジスタです。

CSIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, ビット0 (TSF0) が1の場合, CSIS0の書き換えは禁止です。

リセット信号の発生により, 00Hになります。

図17-3 シリアル・ステータス・レジスタ0 (CSIS0) のフォーマット

アドレス: FF91H リセット時: 00H RW^{注1}

略号	7	6	5	4	3	2	1	0
CSIS0	0	CKS00	0	0	0	0	0	TSF0

CKS00	基本クロック (fw) 選択 ^{注2}			
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	f _{PRS} ^{注3}	2 MHz	5 MHz	10 MHz
1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz

TSF0	転送状態検出フラグ
0	・シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) = 0 ・リセット入力時 ・転送終了時
1	転送中

注1. ビット0はRead Onlyです。

- 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合, 電源電圧により, f_{PRS}の動作周波数が異なります。
 - ・V_{DD} = 2.7 ~ 3.6 V : f_{PRS} 10 MHz
 - ・V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz
- 1.8 V ≤ V_{DD} < 2.7 Vで, 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合, CKS00 = 0 (基本クロック : f_{PRS}) は設定禁止です。

注意1. ビット1-5, 7には必ず0を設定してください。

- 転送動作中 (TSF0 = 1) のとき, シリアル動作モード指定レジスタ0 (CSIMA0), シリアル・ステータス・レジスタ0 (CSIS0), 分周値選択レジスタ0 (BRGCA0), シリアルI/Oシフト・レジスタ0 (SIOA0) への書き換えは禁止です。ただし, レジスタのリードおよび同値の再書き込みは可能です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) 分周値選択レジスタ0 (BRGCA0)

拡張SFRインタフェースの基本クロックの分周値を選択する8ビットのレジスタです。

BRGCA0は、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) が1のときは、BRGCA0への書き換えは禁止です。

リセット信号の発生により、03Hになります。

図17 - 4 分周値選択レジスタ0 (BRGCA0) のフォーマット

アドレス : FF93H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
BRGCA0	0	0	0	0	0	0	BRGCA01	BRGCA00

BRGCA01	BRGCA00	拡張SFRインタフェースの基本クロック (f_w) の分周値選択 ^注					
		$f_w = 1$ MHz	$f_w = 2$ MHz	$f_w = 2.5$ MHz	$f_w = 5$ MHz	$f_w = 10$ MHz	
0	0	$f_w/6$	166.67 kHz	333.3 kHz	416.67 kHz	833.33 kHz	1.67 MHz
0	1	$f_w/8$	125 kHz	250 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	$f_w/16$	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz	625 kHz
1	1	$f_w/32$	31.25 kHz	62.5 kHz	78.125 kHz	156.25 kHz	312.5 kHz

注 転送クロックは次の条件を満たすように設定してください。

- 2.7 V $V_{DD} < 3.6$ V : 転送クロック 833.33 kHz
- 1.8 V $V_{DD} < 2.7$ V : 転送クロック 555.56 kHz

注意 拡張SFRへ供給するクロック周波数は、拡張SFRインタフェースの転送クロック周波数の4倍以上になるように設定してください(11.3 (1) クロック出力選択レジスタ (CKS) 参照)。

備考 f_w : CSIS0レジスタのCKS00ビットで選択した基本クロックの周波数

f_{PRS} : 周辺ハードウェア・クロック周波数

(4) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

リセット解除後, PM10, PM14, PM16, PM17には必ず0を設定してください。

PM1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図17-5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス: FF21H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	1	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n=0-4, 6, 7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意1. ビット5には必ず1を設定してください。

2. リセット解除後, PM10, PM14, PM16, PM17には必ず0を設定してください。

(5) ポート・モード・レジスタ4 (PM4)

ポート4の入力/出力を1ビット単位で設定するレジスタです。

リセット解除後, PM46, PM47には, 必ず0を設定してください。

PM4は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図17-6 ポート・モード・レジスタ4 (PM4) のフォーマット

アドレス: FF24H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n=0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/LG3-Mのポート・モード・レジスタ4 (PM4) のフォーマットです。78K0/LE3-Mのポート・モード・レジスタ4 (PM4) のフォーマットについては, 4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx, LPMx)** を参照してください。

注意 リセット解除後, PM46, PM47には必ず0を設定してください。

(6) ポート・レジスタ1 (P1)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リセット解除後，P14には必ず1を設定してください。

P1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17-7 ポート・レジスタ1 (P1) のフォーマット

アドレス：FF01H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
P1	P17	0	0	P14	P13	P12	P11	0

P1n	n = 0-4, 7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注意 リセット解除後，P14には必ず1を設定してください。

なお，P17は拡張SFRのリセットに使用します (第26章 リセット機能参照)。

(7) ポート・レジスタ4 (P4)

P46, P47は，拡張SFR空間を選択するチップ・セレクト信号です。P46, P47の組み合わせにより，アクセスする拡張SFRのアドレス範囲を指定します。

図17-8 ポート・レジスタ4 (P4) のフォーマット

アドレス：FF04H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
P4	P47	P46	P45	P44	P43	P42	P41	P40

P47	P46	拡張SFRアドレス
0	0	アクセス無効
0	1	80H-FFH
1	0	100H-17FH
1	1	180H-1FFH

備考 上記は，78K0/LG3-Mのポート・レジスタ4 (P4) のフォーマットです。78K0/LE3-Mのポート・レジスタ4 (P4) のフォーマットについては，4.3 ポート機能を制御するレジスタ (2) ポート・レジスタ (Pxx, LPx) を参照してください。

17.4 拡張SFRインタフェースの動作

拡張SFRインタフェースは、次の2種類のモードがあります。

- ・動作停止モード
- ・シリアルI/Oモード

17.4.1 動作停止モード

動作停止モードでは、拡張SFRへのアクセスを行いません。したがって、消費電力を低減できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード指定レジスタ0 (CSIMA0) で行います。動作停止モードにする場合、CSIMA0のビット7 (CSIAE0) に0を設定してください。

(a) シリアル動作モード指定レジスタ0 (CSIMA0)

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-9 シリアル動作モード指定レジスタ0 (CSIMA0) のフォーマット

アドレス : FF90H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	0	0	MASTER0	TXEA0	RXEA0	0	0

CSIAE0	拡張SFRインタフェースの動作許可 / 禁止の制御
0	<ul style="list-style-type: none"> ・拡張SFRインタフェース動作禁止 ・内部回路を非同期リセットする^注

注 リセットされるのは、シリアルI/Oシフト・レジスタ0 (SIOA0) およびシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) です。

17.4.2 シリアル/I/Oモード

1バイトごとのデータ送受信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード指定レジスタ0 (CSIMA0) ^{注1}
- ・シリアル・ステータス・レジスタ0 (CSIS0) ^{注2}
- ・分周値選択レジスタ0 (BRGCA0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)
- ・ポート・モード・レジスタ4 (PM4)
- ・ポート・レジスタ4 (P4)

注1. ビット7, 3, 2 (CSIAE0, TXEA0, RXEA0) を使用します。

2. ビット6, 0 (CKS00, TSF0) を使用します。

(2) シリアル通信手段

(a) データ送信手順

CSIS0レジスタのビット6 (CKS00) を設定 (図17 - 3を参照)

BRGCA0レジスタを設定 (図17 - 4を参照)

CSIMA0レジスタのビット3, 2 (TXEA0 = 1, RXEA0 = x) を設定 (図17 - 2を参照)

CSIMA0レジスタのビット7 (CSIAE0) に1, ビット6 (ATE0) に0を設定

シリアル/I/Oシフト・レジスタ0 (SIOA0) にデータ書き込み データ送信開始

(b) データ受信手順

CSIS0レジスタのビット6 (CKS00) を設定 (図17 - 3を参照)

BRGCA0レジスタを設定 (図17 - 4を参照)

CSIMA0レジスタのビット3, 2 (TXEA0 = x, RXEA0 = 1) を設定 (図17 - 2を参照)

CSIMA0レジスタのビット7 (CSIAE0) に1, ビット6 (ATE0) に0を設定

シリアル/I/Oシフト・レジスタ0 (SIOA0) にデータ書き込み データ受信開始^注

注 受信のみ (TXEA0 = 0, RXEA0 = 1) の場合でも, SIOA0にダミー・データを書き込むことで受信動作が開始されます。

(3) 通信スタート

シリアル通信は, 次の2つの条件を満たしたとき, シリアル/I/Oシフト・レジスタ0 (SIOA0) に通信データをセットすることで開始します。

- ・拡張SFRインタフェースの動作の制御ビット (CSIAE0) = 1
- ・シリアル通信中ではないとき

注意 SIOA0にデータを書き込んだあと, CSIAE0を“1”にしても, 通信はスタートしません。

8ビット通信終了により, シリアル通信は自動的に停止し, 割り込み要求フラグ (ACSIIF) をセットします。

17.5 拡張SFRレジスタへのリード/ライト

拡張SFR空間は384バイト空間であり、128バイトごとのバンクに分かれています。拡張SFRレジスタへのアクセスは、バンク選択とシリアル通信を組み合わせることでリード/ライト動作を行います。

(1) 拡張SFRバンク指定

拡張SFR空間は128バイト×3バンクで構成されています。各バンクは、バンク選択信号（P47, P46）で選択します。チップ・セレクト信号と対応するバンクは、次のとおりです。

表17-2 チップ・セレクト信号と対応するバンク

P47	P46	拡張SFRアドレス
0	0	アクセス無効
0	1	80H-FFH
1	0	100H-17FH
1	1	180H-1FFH

注意 バンク選択信号は、シリアル通信中（シリアル・ステータス・レジスタ0（CSIS0）のTSF0 = 1）に変更することは禁止です。

(2) コマンド&データ

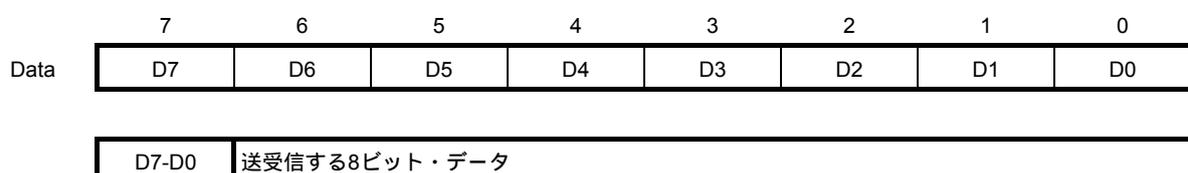
コマンドを用いて、拡張SFRのアクセスするレジスタを指定します。

コマンドでは、拡張SFRレジスタへのアクセス方向（リード/ライト）とバンク内アドレスを指定します。最上位ビット（ビット7）でアクセス方向を指定し、ビット6-0でバンク内アドレスを指定します。アクセス・コマンドおよびデータの構成を、以下に示します。

図17-10 アクセス・コマンドの構成



図17-11 データの構成



(3) リード・アクセス

拡張SFRレジスタからのデータ・リード・アクセスは、以下の手順で行います。

- 拡張SFRバンク選択 (P47, P46)
- アクセス・コマンドの送信
- リード・データの受信
- 拡張SFRバンク選択のクリア (P47, P46)

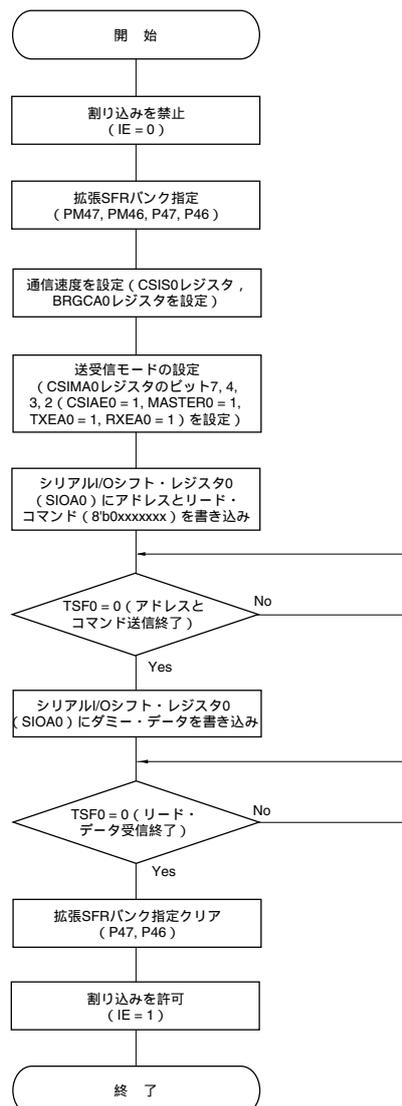
注意1. 同一バンク内であっても、非連続アドレスへアクセスする場合は、必ずSFRバンク・クリアを行ってください。

2. 拡張SFRレジスタへのアクセスは、割り込み禁止状態 (IE = 0) で行ってください。

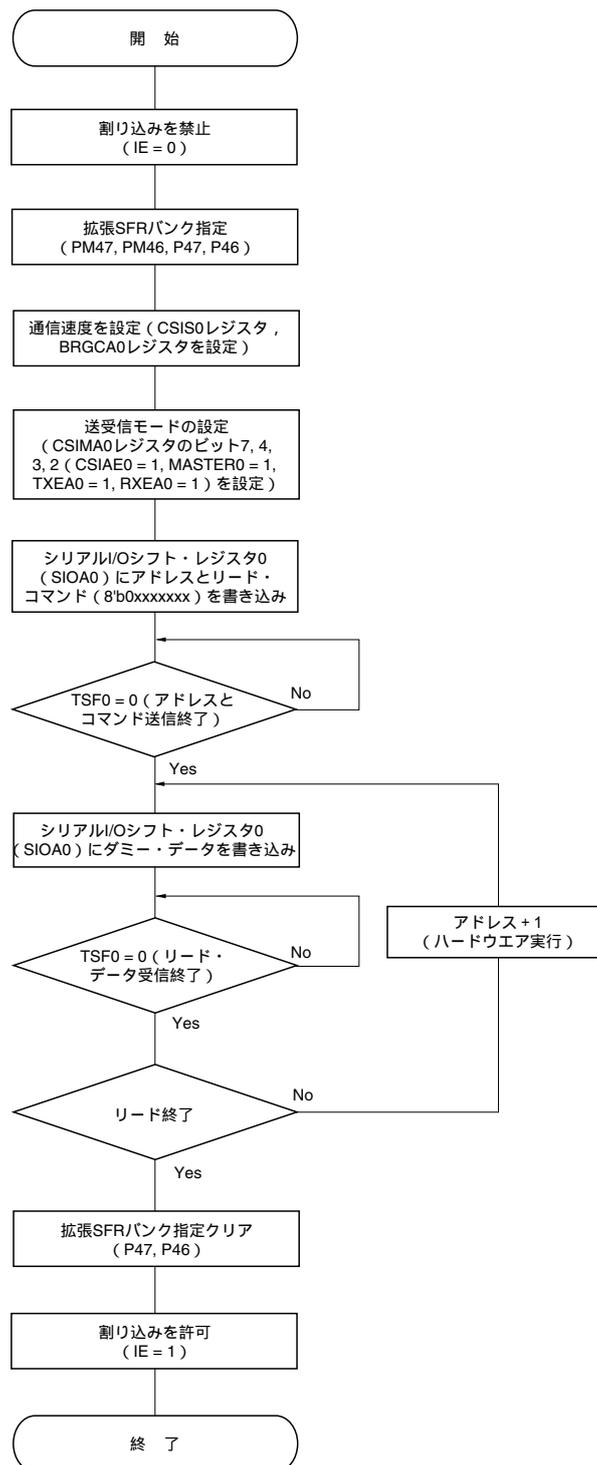
なお、連続アドレスに対するリードを行う場合は、2回目以降のコマンド送信を省略することができます。のデータ・リードが完了すると、拡張SFRインタフェースはアドレスを1インクリメントし、連続的にデータを読み出します。コマンド発行処理を省略できるため、高速にデータを読み出すことができます。

図17 - 12 拡張SFRレジスタへのデータ・リード・アクセス

(a) 非連続アドレスへのリードを行う場合



(b) 連続アドレスへのリードを行う場合



(4) ライト・アクセス

拡張SFRレジスタからのデータ・ライト・アクセスは、以下の手順で行います。

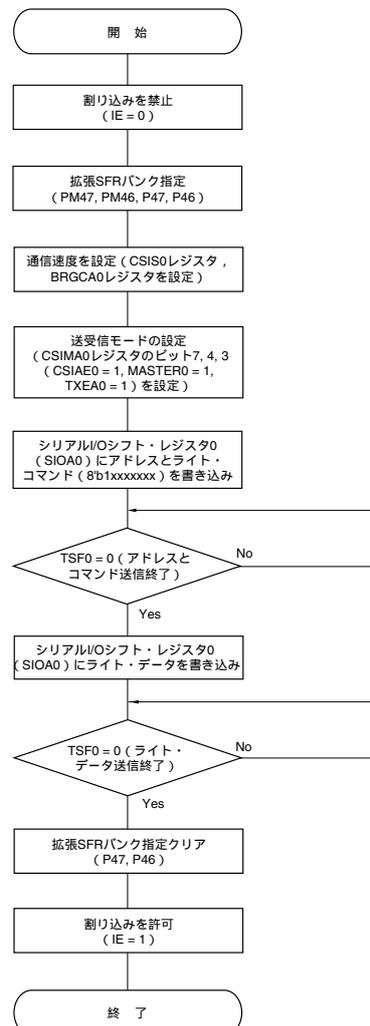
- 拡張SFRバンク選択 (P47, P46)
- アクセス・コマンドの送信
- ライト・データの送信
- 拡張SFRバンク選択のクリア (P47, P46)

- 注意1. 同一バンク内であっても、非連続アドレスへアクセスする場合は、必ずSFRバンク・クリアを行ってください。
2. 拡張SFRレジスタへのアクセスは、割り込み禁止状態 (IE = 0) で行ってください。
3. 拡張SFRインタフェースでデータ送信中に内部リセットがかかった場合、拡張SFRに正常にデータが送信されない可能性があります。

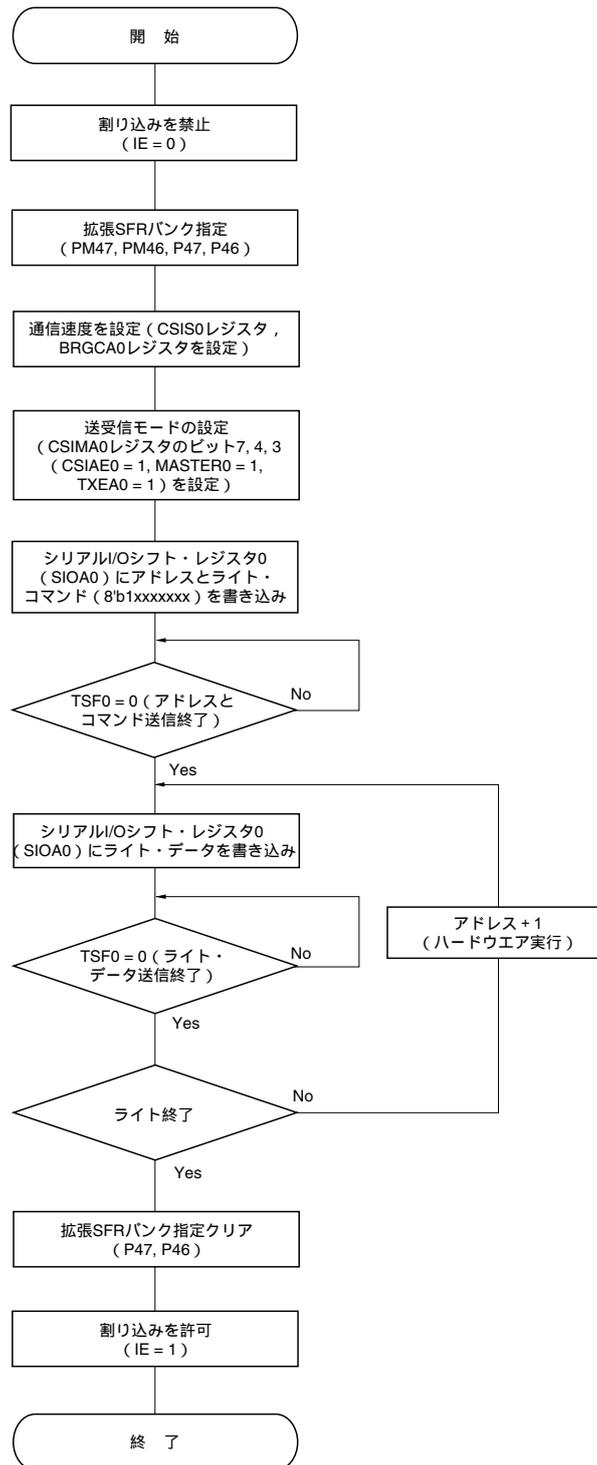
なお、連続アドレスに対するライトを行う場合は、2回目以降のコマンド送信を省略することができます。のライト・データ送信を繰り返すことで、連続的にデータを書き込むことが可能です。コマンド発行処理を省略できるため、高速にデータを書き込むことができます。

図17 - 13 拡張SFRレジスタへのデータ・ライト・アクセス

(a) 非連続アドレスへのライトを行う場合



(b) 連続アドレスへのライトを行う場合



第18章 LCDコントローラ / ドライバ

		78K0/LE3-M	78K0/LG3-M
LCDコントローラ / ドライバ	セグメント信号	24	40
	コモン信号	4	4

18.1 LCDコントローラ / ドライバの機能

78K0/Lx3-Mマイクロコントローラに内蔵しているLCDコントローラ / ドライバの機能を次に示します。

- (1) LCDドライバ用駆動電圧生成回路は、外部抵抗分割 / 内部抵抗分割の切り替えが可能
- (2) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (3) 5種類の表示モードが選択可能
 - ・スタティック
 - ・1/2デューティ (1/2バイアス)
 - ・1/3デューティ (1/2バイアス)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
- (4) 各表示モードにおいて、6種類のフレーム周波数を選択可能
- (5) 78K0/LE3-M : セグメント信号出力 24本 (SEG0-SEG23) , コモン信号出力 4本 (COM0-COM3)
78K0/LG3-M : セグメント信号出力 40本 (SEG0-SEG39) , コモン信号出力 4本 (COM0-COM3)
- (6) 各表示モード (スタティック・モードを除く) において、LCDセグメント信号出力と時分割でセグメント・キー・ソース信号出力が可能[※]
 - セグメント・キー・ソース信号出力 : 最大8本 (SEG24 (KS0) -SEG31 (KS7))

注 78K0/LG3-Mのみ。

各表示モードにおける表示可能な最大画素数を表18 - 1に示します。

表18 - 1 最大表示画素数

(a) 78K0/LE3-M

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・外部抵抗分割 ・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	24本	24 (24セグメント × 1コモン) ^{注2}
	1/2	2 ^{注1}	COM0, COM1		48 (24セグメント × 2コモン) ^{注3}
		3 ^{注1}	COM0-COM2		72 (24セグメント × 3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		96 (24セグメント × 4コモン) ^{注5}
		4 ^{注1}	COM0-COM3		

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1) , セグメント・キー・スキャン信号出力のために時分割数が + 1 されます。

2. ㊦形のLCDパネルで8セグメント / 桁のもの : 3桁
3. ㊦形のLCDパネルで4セグメント / 桁のもの : 6桁
4. ㊦形のLCDパネルで3セグメント / 桁のもの : 9桁
5. ㊦形のLCDパネルで2セグメント / 桁のもの : 12桁

(b) 78K0/LG3-M

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・外部抵抗分割 ・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	40本	40 (40セグメント × 1コモン) ^{注2}
	1/2	2 ^{注1}	COM0, COM1		80 (40セグメント × 2コモン) ^{注3}
		3 ^{注1}	COM0-COM2		120 (40セグメント × 3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		160 (40セグメント × 4コモン) ^{注5}
		4 ^{注1}	COM0-COM3		

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1) , セグメント・キー・スキャン信号出力のために時分割数が + 1 されます。

2. ㊦形のLCDパネルで8セグメント / 桁のもの : 5桁
3. ㊦形のLCDパネルで4セグメント / 桁のもの : 10桁
4. ㊦形のLCDパネルで3セグメント / 桁のもの : 15桁
5. ㊦形のLCDパネルで2セグメント / 桁のもの : 20桁

18.2 LCDコントローラ / ドライバの構成

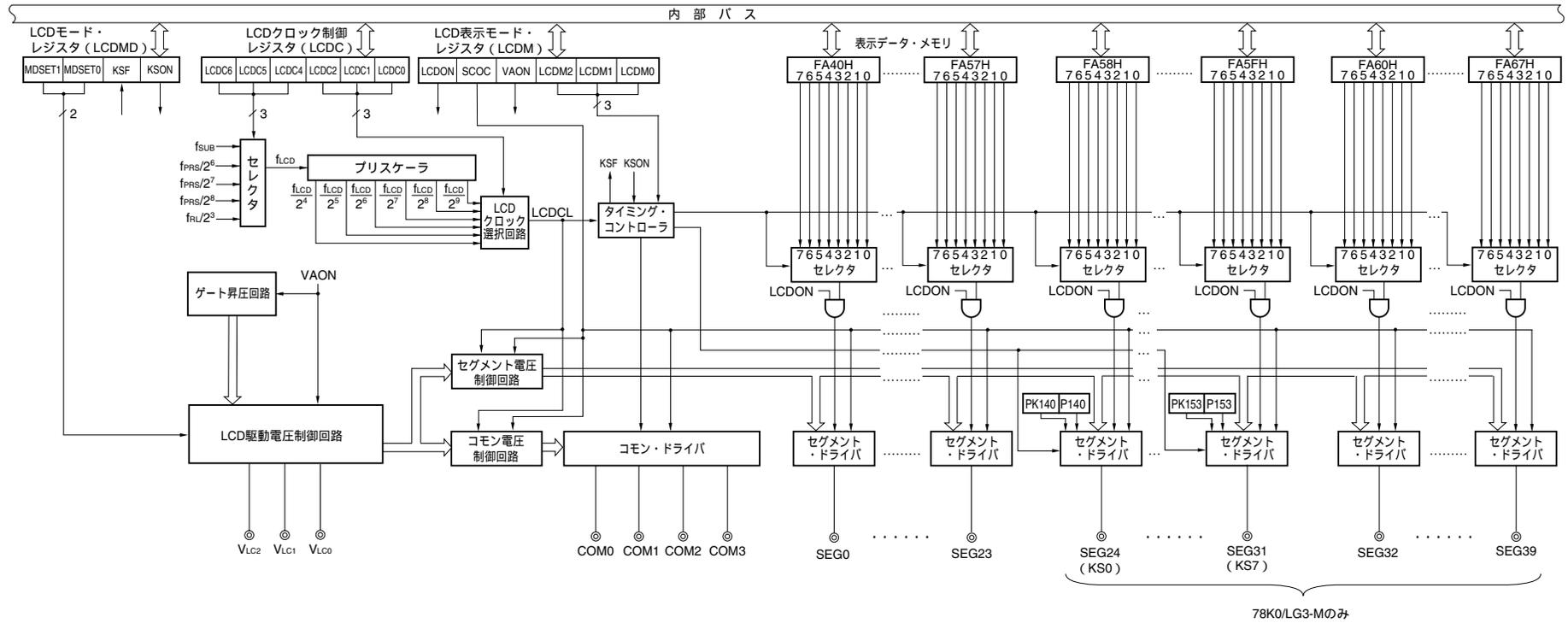
LCDコントローラ / ドライバは、次のハードウェアで構成しています。

表18 - 2 LCDコントローラ / ドライバの構成

項 目	構 成
表示出力	78K0/LE3-M : セグメント信号出力 24本, コモン信号 4本 78K0/LG3-M : セグメント信号出力 40本, コモン信号 4本
セグメント・キー・ソース出力 ^注	セグメント・キー・ソース信号 8本
制御レジスタ	LCDモード・レジスタ (LCDMD) LCD表示モード・レジスタ (LCDM) LCDクロック制御レジスタ0 (LCDC0) ポート・ファンクション・レジスタ2 (PF2) ^注 ポート・ファンクション・レジスタALL (PFALL) キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ4 (PM4) プルアップ抵抗オプション・レジスタ4 (PU4) ポート・レジスタ14 (P14) ポート・レジスタ15 (P15)

注 78K0/LG3-Mのみ。

図18-1 LCDコントローラ/ドライバのブロック図



備考 78K0/LC3 : SEG0-SEG23

78K0/LD3 : SEG0-SEG23, SEG24(KS0)-SEG31(KS7), SEG32-SEG39

18.3 LCDコントローラ / ドライバを制御するレジスタ

LCDコントローラ / ドライバは、次のレジスタで制御します。

- ・ LCDモード・レジスタ (LCDMD)
- ・ LCD表示モード・レジスタ (LCDM)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ ポート・ファンクション・レジスタ2 (PF2)^注
- ・ ポート・ファンクション・レジスタALL (PFALL)
- ・ キー・リターン・モード・レジスタ (KRM)
- ・ ポート・モード・レジスタ4 (PM4)
- ・ プルアップ抵抗オプション・レジスタ4 (PU4)
- ・ ポート・レジスタ14 (P14)
- ・ ポート・レジスタ15 (P15)

注 78K0/LG3-Mのみ。

(1) LCDモード・レジスタ (LCDMD)

LCD駆動電圧生成回路を設定するレジスタです。

LCDMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 2 LCDモード・レジスタ (LCDMD) のフォーマット

アドレス : FF80H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
LCDMD	0	0	MDSET1	MDSET0	0	0	KSF	KSON

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	外部抵抗分割方式、内部抵抗非接続
0	1	内部抵抗分割方式、内部抵抗接続（降圧なし、V _{LCD} = V _{DD} 時に使用）
上記以外		設定禁止

KSF	セグメント・キー・スキャン・ステータス
0	LCD表示信号出力中
1	セグメント・キー・スキャン信号出力中

KSON	セグメント・キー・スキャン機能の制御
0	セグメント・キー・スキャン機能を使用しない
1	セグメント・キー・スキャン機能を使用する ^{注2}

注1. ビット1は、Read Onlyです。

2. セグメント・キー・スキャン機能は、V_{DD} = V_{LC0}の条件で使用してください。

なお、セグメント・キー・スキャン機能の入力端子として使用できるのは、KR_x端子のみです。

注意 ビット2, 3, 6, 7には、必ず0を設定してください。

(2) LCD表示モード・レジスタ (LCDM)

表示動作の許可 / 禁止，セグメント端子 / コモン端子出力，ゲート昇圧回路の制御，表示モードを設定するレジスタです。

LCDMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18 - 3 LCD表示モード・レジスタ (LCDM) のフォーマット

アドレス：FFB1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM	LCDON	SCOC	0	VAON	0	LCDM2	LCDM1	LCDM0

LCDON	LCD表示の許可 / 禁止
0	表示オフ (セグメント出力はすべて非選択信号出力)
1	表示オン

SCOC	セグメント端子 / コモン端子出力の制御 ^{注1}
0	セグメント端子 / コモン端子にグラウンド・レベルを出力
1	セグメント端子に非選択レベル，コモン端子にLCD波形を出力

VAON	ゲート昇圧回路の制御 ^{注1, 2}
0	ゲート昇圧なし
1	ゲート昇圧あり

LCDM2	LCDM1	LCDM0	LCDコントローラ / ドライバの表示モードの選択	
			抵抗分割方式	
			時分割数	バイアス法
0	0	0	4 ^{注3}	1/3
0	0	1	3 ^{注3}	1/3
0	1	0	2 ^{注3}	1/2
0	1	1	3 ^{注3}	1/2
1	0	0	スタティック	
上記以外			設定禁止	

(注，注意は次ページにあります。)

注1. LCD表示を行わないとき、また必要ないときは、以下の設定により消費電力を低減できます。

SCOCに0, VAONに0を設定する。

内部抵抗分割方式を使用している場合, MDSET1, MDSET0 = (0, 0) とする

(内部抵抗に流れる電流を削減可能)。

2. LCDコントローラ/ドライバの内部ゲート信号の昇圧を制御するために使用します。

“内部ゲート昇圧あり”に設定すると, LCD駆動能力を高めることができます。

次の条件でVAONを設定してください。

(スタティック表示時)

・2.0 V V_{LCD} V_{DD} 3.6 V時: VAON = 0

・1.8 V V_{LCD} V_{DD} 3.6 V時: VAON = 1

(1/3バイアス時)

・2.5 V V_{LCD} V_{DD} 3.6 V時: VAON = 0

・1.8 V V_{LCD} V_{DD} 3.6 V時: VAON = 1

(1/2バイアス時)

・2.7 V V_{LCD} V_{DD} 3.6 V時: VAON = 0

・1.8 V V_{LCD} V_{DD} 3.6 V時: VAON = 1

3. セグメント・キー・スキャン機能を使用する場合 (KSON = 1), セグメント・キー・スキャン信号出力のために時分割数が +1 されます。

注意1. ビット3, 5には, 必ず0を設定してください。

2. COM数の多いモードで表示する場合, パネルの特性によっては, V_{LCO} が低電圧の条件で十分なコントラストを得られない場合があります。お客様において, 十分なLCD表示評価をし, 表示品質に問題がないことをご確認の上, ご利用ください。

(3) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18 - 4 LCDクロック制御レジスタ0 (LCDC0) のフォーマット

アドレス：FFB2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	LCDC6	LCDC5	LCDC4	0	LCDC2	LCDC1	LCDC0

LCDC6	LCDC5	LCDC4	LCDソース・クロック (f_{LCD}) の選択
0	0	0	f_{XT} (32.768kHz) ^注
0	0	1	$f_{PRS}/2^6$
0	1	0	$f_{PRS}/2^7$
0	1	1	$f_{PRS}/2^8$
1	0	0	$f_{RL}/2^3$
上記以外			設定禁止

LCDC2	LCDC1	LCDC0	LCDクロック (LCDCL) の選択
0	0	0	$f_{LCD}/2^4$
0	0	1	$f_{LCD}/2^5$
0	1	0	$f_{LCD}/2^6$
0	1	1	$f_{LCD}/2^7$
1	0	0	$f_{LCD}/2^8$
1	0	1	$f_{LCD}/2^9$
上記以外			設定禁止

注 f_{XT} を選択する前に，OSCCTLレジスタのEXCLKS，OSCSELSビット，PORTCTLレジスタのEXCLKS2，FXTOUTENを設定してください。

注意 ビット3, 7には，必ず0を設定してください。

- 備考1.** f_{XT} : XT1クロック発振周波数
 2. f_{PRS} : 周辺ハードウェア・クロック周波数
 3. f_{RL} : 低速内蔵発振クロック周波数

(4) ポート・ファンクション・レジスタ2 (PF2)^注

P20-P27端子をポート端子（セグメント出力端子以外） / セグメント出力端子のどちらで使用するかを設定するレジスタです。

PF2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/LG3-Mのみ。

図18-5 ポート・ファンクション・レジスタ2 (PF2) のフォーマット

アドレス : FFB5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	ポート / セグメント出力の指定 (n = 0-7)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

(5) ポート・ファンクション・レジスタALL (PFALL)

ポート8-11, ポート13-15の端子をポート端子（セグメント出力端子以外） / セグメント出力端子のどちらで使用するかを設定するレジスタです。

PFALLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-6 ポート・ファンクション・レジスタALL (PFALL) のフォーマット

(a) 78K0/LE3-M

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	0	0	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

(b) 78K0/LG3-M

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

PFnALL	ポート / セグメント出力の指定 (n = 08-11, 13-15)
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

(6) キー・リターン・モード・レジスタ (KRM)

セグメント・キー・スキャン機能[※]を使用する場合に、セグメント・キー・スキャン入力端子として使用する端子を指定するレジスタです。

セグメント・キー・スキャン機能を使用しない場合は、**図21-2 キー・リターン・モード・レジスタ (KRM) のフォーマット**を参照してください。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/LG3-Mのみ。

図18-7 キー・リターン・モード・レジスタ (KRM) のフォーマット (78K0/LG3-M)

アドレス : FF6EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	セグメント・キー・スキャン入力端子の設定 (n = 0-5)
0	セグメント・キー・スキャン入力端子として使用しない
1	セグメント・キー・スキャン入力端子として使用する

- 注意1. KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。
2. セグメント・キー・スキャン入力端子として使用しない (KRMn = 0) とした場合は、対応する端子を通常ポートとして使用可能です。

(7) ポート・モード・レジスタ4 (PM4)

ポート4の入力 / 出力を1ビット単位で設定するレジスタです。

セグメント・キー・スキャン機能[※]を使用する場合は、P4n端子をキー・スキャン入力端子とするために、使用するポートのポート・モード・レジスタに1 (PM4n = 1) を設定してください。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注 78K0/LG3-Mのみ。

図18 - 8 ポート・モード・レジスタ4 (PM4) のフォーマット (78K0/LG3-M)

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 リセット解除後、PM46, PM47には必ず0を設定してください。

(8) プルアップ抵抗オプション・レジスタ4 (PU4)

P40-P45の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

セグメント・キー・スキャン機能[※]を使用する場合は、P4n端子をキー・スキャン入力端子とするために、使用するポートのプルアップ抵抗オプション・レジスタに0 (PU4n = 0) を設定してください。

外部プルアップ抵抗は、LCD表示出力に影響を及ぼすため、使用できません。

PU4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/LG3-Mのみ。

図18 - 9 プルアップ抵抗オプション・レジスタ4 (PU4) のフォーマット

アドレス : FF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	0	0	PU45	PU44	PU43	PU42	PU41	PU40

PU4n	PU4nの内蔵プルアップ抵抗の選択 (n = 0-5)	
	セグメント・キー・スキャン機能を使用する端子	セグメント・キー・スキャン機能を使用しない端子
0	セグメント・キー・スキャン出力期間のみ、内蔵プルアップ抵抗を接続する	内蔵プルアップ抵抗を接続しない
1	設定禁止	内蔵プルアップ抵抗を接続する

(9) ポート・レジスタ14 (P14)

セグメント・キー・スキャン機能[※]を使用する場合に、ビット0-3にてKS0-KS3出力の前半の制御、ビット4-7にてKS0-KS3出力の後半の制御を行うレジスタです。

P14n端子をセグメント・キー・スキャン出力として使用する場合、P14nビットとPK14nビットで制御します。

セグメント・キー・スキャン機能を使用しない場合は、4.3 ポート機能を制御するレジスタ (2) ポート・レジスタ (Pxx, LPx) を参照してください。

P14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/LG3-Mのみ。

図18 - 10 ポート・レジスタ14 (P14) のフォーマット

アドレス : FF0EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P14	PK143	PK142	PK141	PK140	P143	P142	P141	P140

P140-P143	KS0-KS3出力の前半の制御
0	ロウ・レベル出力
1	ハイ・レベル出力

PK140-PK143	KS0-KS3出力の後半の制御
0	ロウ・レベル出力
1	ハイ・レベル出力

(10) ポート・レジスタ15 (P15)

セグメント・キー・スキャン機能[※]を使用する場合に、ビット0-3にてKS4-KS7出力の前半の制御、ビット4-7にてKS4-KS7出力の後半の制御を行うレジスタです。

P15n端子をセグメント・キー・スキャン出力として使用する場合、P15nビットとPK15nビットで制御します。

セグメント・キー・スキャン機能を使用しない場合は、4.3 ポート機能を制御するレジスタ (2) ポート・レジスタ (Pxx, LPx) を参照してください。

P15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/LG3-Mのみ。

図18 - 11 ポート・レジスタ15 (P15) のフォーマット

アドレス : FF0FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P15	PK153	PK152	PK151	PK150	P153	P152	P151	P150
P150-P153		KS4-KS7出力の前半の制御						
0		ロウ・レベル出力						
1		ハイ・レベル出力						
PK150-PK153		KS4-KS7出力の後半の制御						
0		ロウ・レベル出力						
1		ハイ・レベル出力						

18.4 LCDコントローラ / ドライバの設定

18.4.1 セグメント・キー・スキャン機能を使用しない場合 (KSON = 0) の設定方法

セグメント・キー・スキャン機能を使用しない場合 (KSON = 0) の LCD コントローラ / ドライバの設定は、次のように行ってください。

内部ゲート昇圧 (LCD 表示モード・レジスタ (LCDM) のビット 4) をセット (VAON = 1) する[※]
 MDSET0, MDSET1 (LCD モード・レジスタ (LCDMD) のビット 4, 5) で抵抗分割方式を設定する
 (MDSET0 = 0 : 外部抵抗分割方式, MDSET0 = 1 : 内部抵抗分割方式)
 ポート・ファンクション・レジスタ (PF2m ビット, PFnALL ビット) にセグメント出力として使用する端子を設定する
 LCD 表示用 RAM に初期値を設定する
 LCDM0-LCDM2 (LCD 表示モード・レジスタ (LCDM) のビット 0-2) で時分割数を設定する
 LCD クロック制御レジスタ 0 (LCDC0) で LCD ソース・クロックと LCD クロックを設定する
 SCOC (LCD 表示モード・レジスタ (LCDM) のビット 6) をセット (SCOC = 1) する。
 すべてのセグメント端子, コモン端子から非選択信号が出力され, 非表示状態となる
 LCDON (LCDM のビット 7) をセット (LCDON = 1) により, 各データ・メモリに対応した出力を開始する

以後, 表示内容に応じてデータ・メモリにデータを設定してください。

注 次の条件で VAON を設定してください。

(スタティック表示時)

- ・ 2.0 V V_{LCD} V_{DD} 3.6 V 時 : VAON = 0
- ・ 1.8 V V_{LCD} V_{DD} 3.6 V 時 : VAON = 1

(1/3 バイアス時)

- ・ 2.5 V V_{LCD} V_{DD} 3.6 V 時 : VAON = 0
- ・ 1.8 V V_{LCD} V_{DD} 3.6 V 時 : VAON = 1

(1/2 バイアス時)

- ・ 2.7 V V_{LCD} V_{DD} 3.6 V 時 : VAON = 0
- ・ 1.8 V V_{LCD} V_{DD} 3.6 V 時 : VAON = 1

備考 1. 内部抵抗分割方式を使用時に, 表示オフ状態にして内部抵抗を非接続にする場合は, 次の手順に従ってください。

LCDON (LCDM のビット 7) をクリア (LCDON = 0) する。
 すべてのセグメント端子, コモン端子から非選択信号が出力され, 非表示状態となる
 SCOC (LCD 表示モード・レジスタ (LCDM) のビット 6) をクリア (SCOC = 0) する。
 すべてのセグメント端子, コモン端子からグランド・レベルが出力される
 MDSET0, MDSET1 (LCD モード・レジスタ (LCDMD) のビット 4, 5) = (0, 0) とし,
 抵抗分割方式を外部抵抗分割方式に設定する。

2. $m = 0-7, n = 08-11, 13-15$

注意 COM 数の多いモードで表示する場合, パネルの特性によっては, V_{LCo} が低電圧の条件で十分なコントラストを得られない場合があります。お客様において, 十分な LCD 表示評価をし, 表示品質に問題がないことをご確認の上, ご利用ください。

18.4.2 セグメント・キー・スキャン機能を使用する場合 (KSON = 1) の設定方法

セグメント・キー・スキャン機能を使用する場合 (KSON = 1) のLCDコントローラ / ドライバの設定は、次のように行ってください。

内部ゲート昇圧 (LCD表示モード・レジスタ (LCDM) のビット4) をセット (VAON = 1) する^{注1}

MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) で抵抗分割方式を設定する

(MDSET0 = 0 : 外部抵抗分割方式, MDSET0 = 1 : 内部抵抗分割方式) ,

KSON (LCDモード・レジスタ (LCDMD) のビット0) をセット (KSON=1) する

ポート・ファンクション・レジスタ (PF2mビット, PFnALLビット) にセグメント出力として使用する端子を設定する。

ポート・モード・レジスタ4 (PM4) で、キー・スキャン入力端子^{注2}として使用する端子を、PM4m = 1 (入力モード) に設定する

プルアップ抵抗オプション・レジスタ4 (PU4) で、キー・スキャン入力端子^{注2}として使用する端子を、PU4m = 0 (セグメント・キー・スキャン出力期間のみ、内蔵プルアップ抵抗を接続する) に設定する

キー・リターン・モード・レジスタ (KRM) で、セグメント・キー・スキャン入力端子として使用する端子をKRMm = 1に設定する^{注3}

LCD表示用RAMに初期値を設定する

P14, P15にセグメント・キー・スキャン出力の初期値を設定する

LCDM0-LCDM2 (LCD表示モード・レジスタ (LCDM) のビット0-2) で時分割数を設定する

LCDクロック制御レジスタ0 (LCDC0) でLCDソース・クロックとLCDクロックを設定する

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をセット (SCOC= 1) する。

すべてのセグメント端子、コモン端子から非選択信号が出力され、非表示状態となる

LCDON (LCDMのビット7) をセット (LCDON = 1) により、各データ・メモリに対応した出力を開始する

以後、表示内容に応じてデータ・メモリにデータの設定、セグメント・キー・スキャン出力内容に応じてポート・レジスタ (P14, P15) にセグメント・キー・スキャン出力の設定を行ってください。

注1. 次の条件でVAONを設定してください。

(1/3バイアス時)

・ 2.5 V $V_{LCD}=V_{DD}$ 3.6 V時 : VAON = 0

・ 1.8 V $V_{LCD}=V_{DD}$ 3.6 V時 : VAON = 1

(1/2バイアス時)

・ 2.7 V $V_{LCD}=V_{DD}$ 3.6 V時 : VAON = 0

・ 1.8 V $V_{LCD}=V_{DD}$ 3.6 V時 : VAON = 1

2. セグメント・キー・スキャン機能を使用する場合、必ずポート4をセグメント・キー・スキャン入力端子とし、使用するポートのプルアップ抵抗オプション・レジスタをPU4m = 0 (セグメント・キー・スキャン出力期間のみ、内蔵プルアップ抵抗を接続する) に設定してください。

外部プルアップ抵抗は、LCD表示出力に影響を及ぼすため、使用できません。

3. KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。

備考1. 内部抵抗分割方式を使用時に、表示オフ状態にして内部抵抗を非接続にする場合は、次の手順に従ってください。

LCDON (LCDMのビット7) をクリア (LCDON = 0) する。

すべてのセグメント端子、コモン端子から非選択信号が出力され、非表示状態となる

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をクリア (SCOC = 0) する。

すべてのセグメント端子、コモン端子からグランド・レベルが出力される

MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) = (0, 0) とし、

抵抗分割方式を外部抵抗分割方式に設定する。

2. m = 0-7, n = 08-11, 13-15

注意 COM数の多いモードで表示する場合、パネルの特性によっては、 V_{LC0} が低電圧の条件で十分なコントラストを得られない場合があります。お客様において、十分なLCD表示評価をし、表示品質に問題がないことをご確認の上、ご利用ください。

18.5 LCD表示データ・メモリ

LCD表示データ・メモリは、製品ごとに以下の番地にマッピングしています。

- ・ 78K0/LE3-M : FA40H-FA57H
- ・ 78K0/LG3-M : FA40H-FA67H

LCD表示データ・メモリに格納したデータは、LCDコントローラ / ドライバによりLCDパネルに表示することができます。

図18 - 12にLCD表示データ・メモリの内容とセグメント出力 / コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図18 - 12 LCD表示データ・メモリの内容とセグメント出力 / コモン出力の関係

	b7	b6	b5	b4	b3	b2	b1	b0	
FA67H	0	0	0	0					SEG39
FA66H	0	0	0	0					SEG38
FA65H	0	0	0	0					SEG37
⋮									
FA45H	0	0	0	0					SEG5
FA44H	0	0	0	0					SEG4
FA43H	0	0	0	0					SEG3
FA42H	0	0	0	0					SEG2
FA41H	0	0	0	0					SEG1
FA40H	0	0	0	0					SEG0
					COM3	COM2	COM1	COM0	

注意 FA40H-FA67Hの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

備考 78K0/LE3-M : SEG0-SEG23 (FA40H-FA57H)

78K0/LG3-M : SEG0-SEG39 (FA40H-FA67H)

18.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表18-3に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

セグメント・キー・スキャン出力機能を使用する場合（KSON = 1）は、LCD出力一周期後に、1時分割分の期間セグメント・キー・スキャン出力を行います。その際のコモン信号は非表示出力となります。

なお、2時分割の場合のCOM2、COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

表18-3 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3
スタティック	←→	←→	←→	←→
2時分割注	←→	←→	オープン	オープン
3時分割注	←→	←→	←→	オープン
4時分割注	←→	←→	←→	←→

注 セグメント・キー・スキャン出力機能を使用する場合（KSON = 1）は、LCD出力一周期後に1時分割分の期間、非表示出力を行います。

(2) セグメント信号

セグメント信号は、LCD表示期間中はLCD表示データ・メモリ（18.5 LCD表示データ・メモリ参照）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子に出力されます。

また、セグメント・キー・スキャン出力期間中はポート・レジスタ14、15の設定値に対応しており、各ポート・レジスタのビット0-3はセグメント・キー・スキャン出力期間の前半、ビット4-7はセグメント・キー・スキャン出力期間の後半のタイミングに同期して読み出され、各ビットの内容が1ならハイ・レベル、0ならロウ・レベルがセグメント端子に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1-3、2時分割方式の場合のビット2、3、3時分割方式の場合のビット3はLCD表示に使用しないため、表示以外の目的に使用できます。

なお、FA40H-FA67Hの上位4ビットは0固定となっています。

備考 搭載するセグメント端子は、製品により異なります。

- ・ 78K0/LE3-M : SEG0-SEG23
- ・ 78K0/LG3-M : SEG0-SEG39

(3) LCD表示信号出力期間中のコモン信号とセグメント信号の出力波形

LCD表示信号出力期間中のコモン信号とセグメント信号には、表18 - 4に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表18 - 4 LCD駆動電圧

(a) スタティック表示モード (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LC0}	V_{LC0}/V_{SS}
V_{LC0}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法 (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LC0}	V_{LC0}/V_{SS}
選択信号レベル	V_{LC0}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	$V_{LC1} = V_{LC2}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

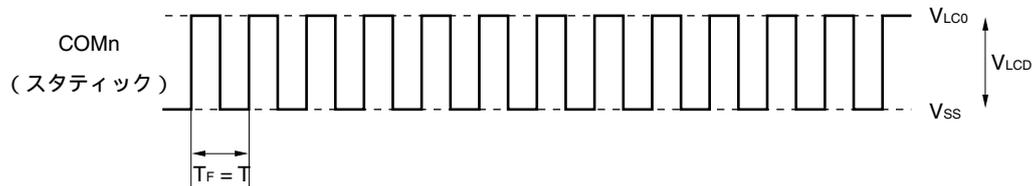
(c) 1/3バイアス法 (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LC0}	V_{LC1}/V_{LC2}
選択信号レベル	V_{LC0}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{LC2}/V_{LC1}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

図18 - 13にコモン信号波形を，図18 - 14にコモン信号とセグメント信号の電圧と位相を示します。

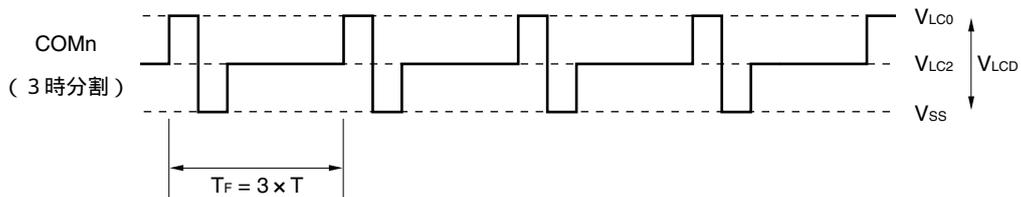
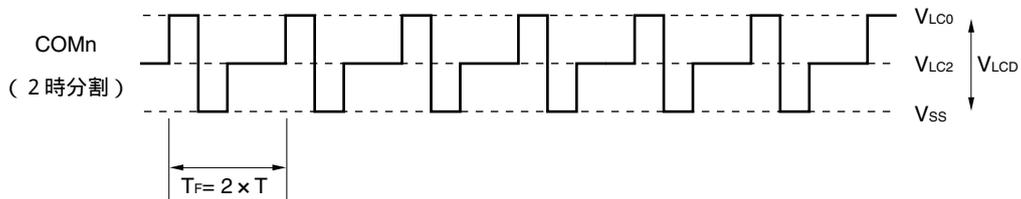
図18 - 13 コモン信号波形

(a) スタティック表示モード



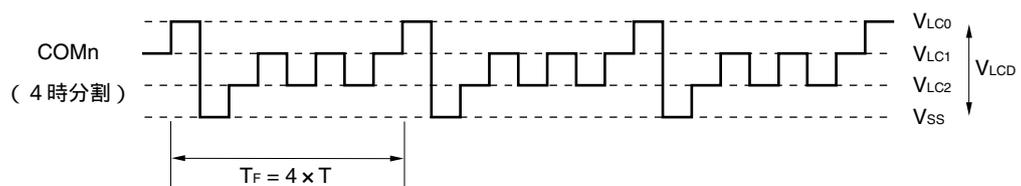
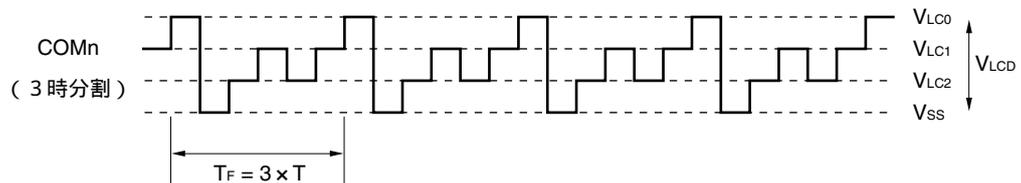
T : LCDクロックの1周期分 T_F : フレーム周波数

(b) 1/2バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

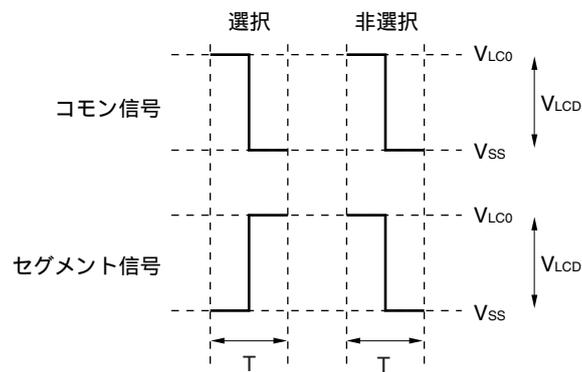
(c) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

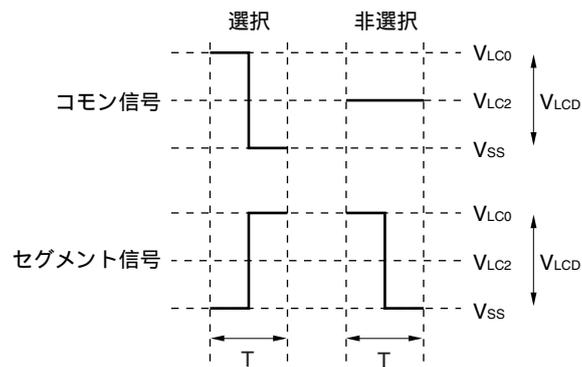
図18 - 14 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



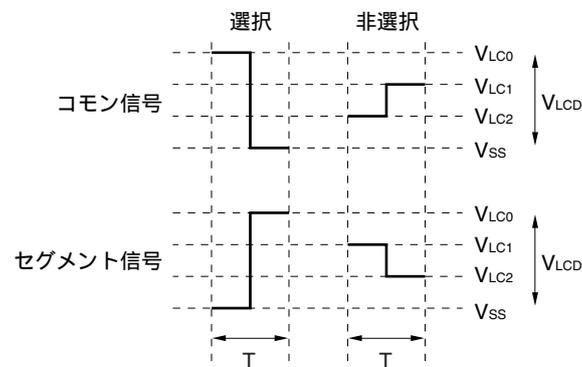
T : LCDクロックの1周期分

(b) 1/2バイアス法



T : LCDクロックの1周期分

(c) 1/3バイアス法



T : LCDクロックの1周期分

(4) セグメント・キー・スキャン出力期間中のコモン信号とセグメント信号の出力波形

セグメント・キー・スキャン出力期間中のコモン信号とセグメント信号には、表18 - 5に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表18 - 5 LCD駆動電圧

(a) 1/2バイアス法 (セグメント・キー・スキャン出力期間中)

キー・スキャン信号		P14x = P15x = 1	P14x = P15x = 0
		V_{DD}	V_{SS}
コモン信号			
非選択信号レベル	$V_{LC1} = V_{LC2}$	$+\frac{1}{2}V_{LCD}$	$-\frac{1}{2}V_{LCD}$

(b) 1/3バイアス法 (セグメント・キー・スキャン出力期間中)

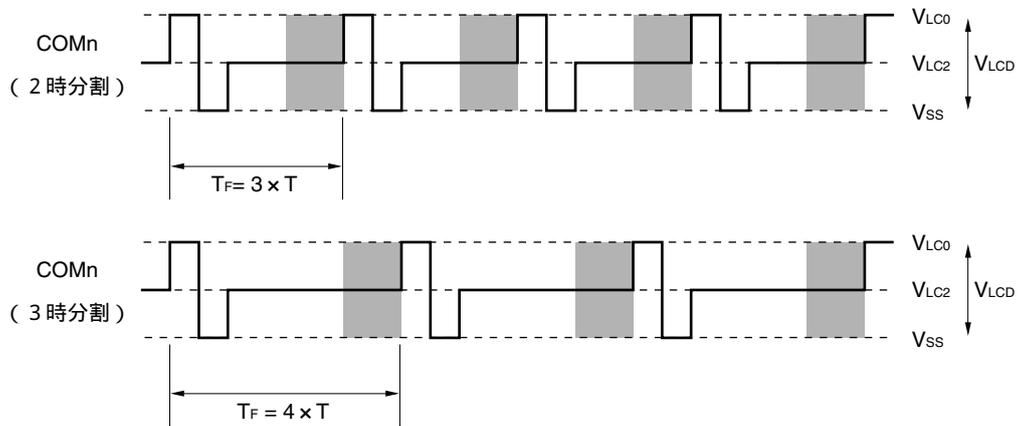
キー・スキャン信号		P14x = P15x = 1	P14x = P15x = 0
		V_{DD}	V_{SS}
コモン信号			
非選択信号レベル	V_{LC2}/V_{LC1}	$+\frac{2}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$-\frac{1}{3}V_{LCD}/-\frac{2}{3}V_{LCD}$

備考 スタティック表示モードでは、セグメント・キー・スキャン出力機能は使用できません。

図18 - 15にコモン信号波形を，図18 - 16にコモン信号とセグメント信号の電圧と位相を示します。

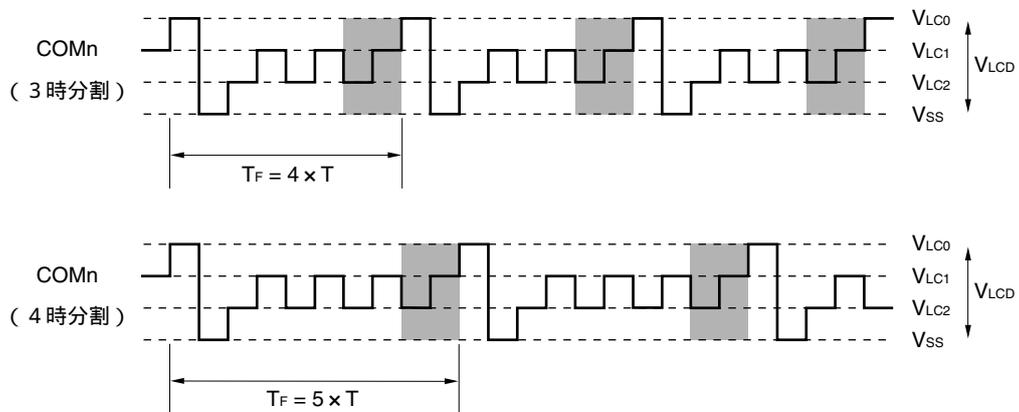
図18 - 15 コモン信号波形

(a) 1/2バイアス法



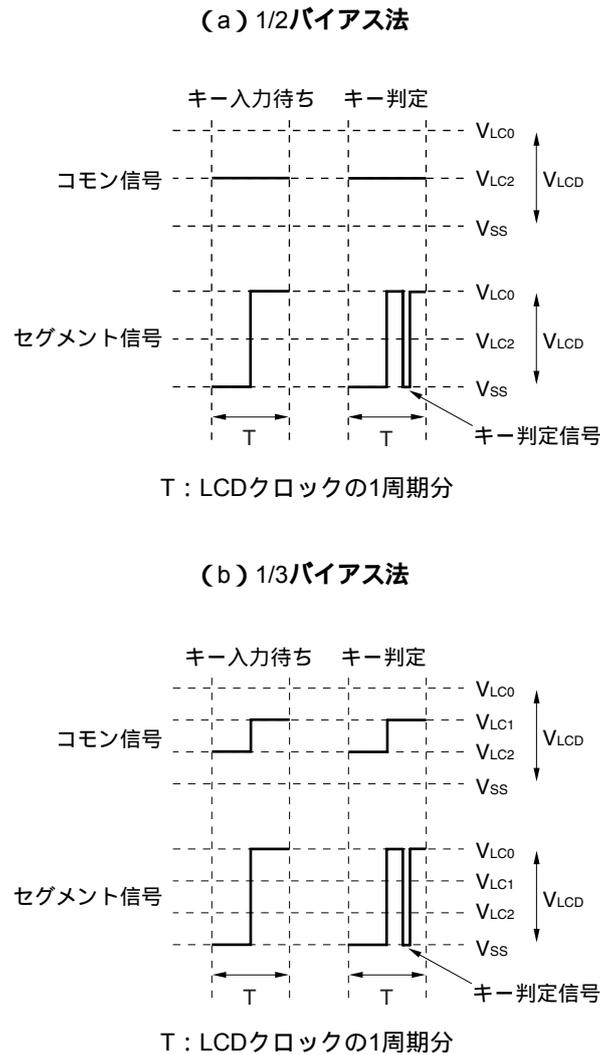
T : LCDクロックの1周期分 T_F : フレーム周波数 網掛け : セグメント・キー・スキャン出力期間

(b) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数 網掛け : セグメント・キー・スキャン出力期間

図18 - 16 コモン信号とセグメント信号の電圧と位相



備考 セグメント・キー・スキャン信号は、ポート・レジスタ14, 15 (P14, P15) で設定する必要があります。

18.7 表示モード

18.7.1 スタティック表示例

図18 - 18は、図18 - 17の表示パターンを持つスタティック方式の3桁のLCDパネルと78K0/Lx3-Mのセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・メモリ (FA40H-FA57H) の内容はこれに対応しています。

ここでは2桁目の2. (2) を例にとって説明します。図18 - 17の表示パターンに従って、COM0のコモン信号のタイミングで表18 - 6に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表18 - 6 選択、非選択電圧 (COM0)

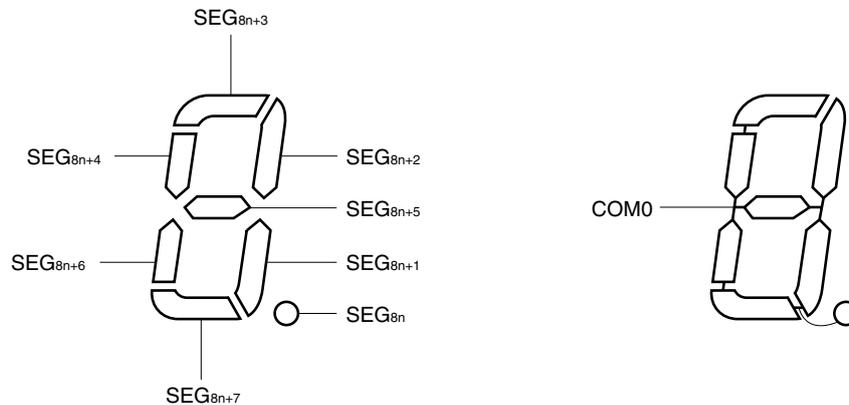
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・メモリ (FA48H-FA4FH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図18 - 19に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである $+V_{LCD} / -V_{LCD}$ の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図18 - 17 スタティックLCDの表示パターンと電極結線



備考 n = 0-2

図18 - 18 スタティックLCDパネルの結線例

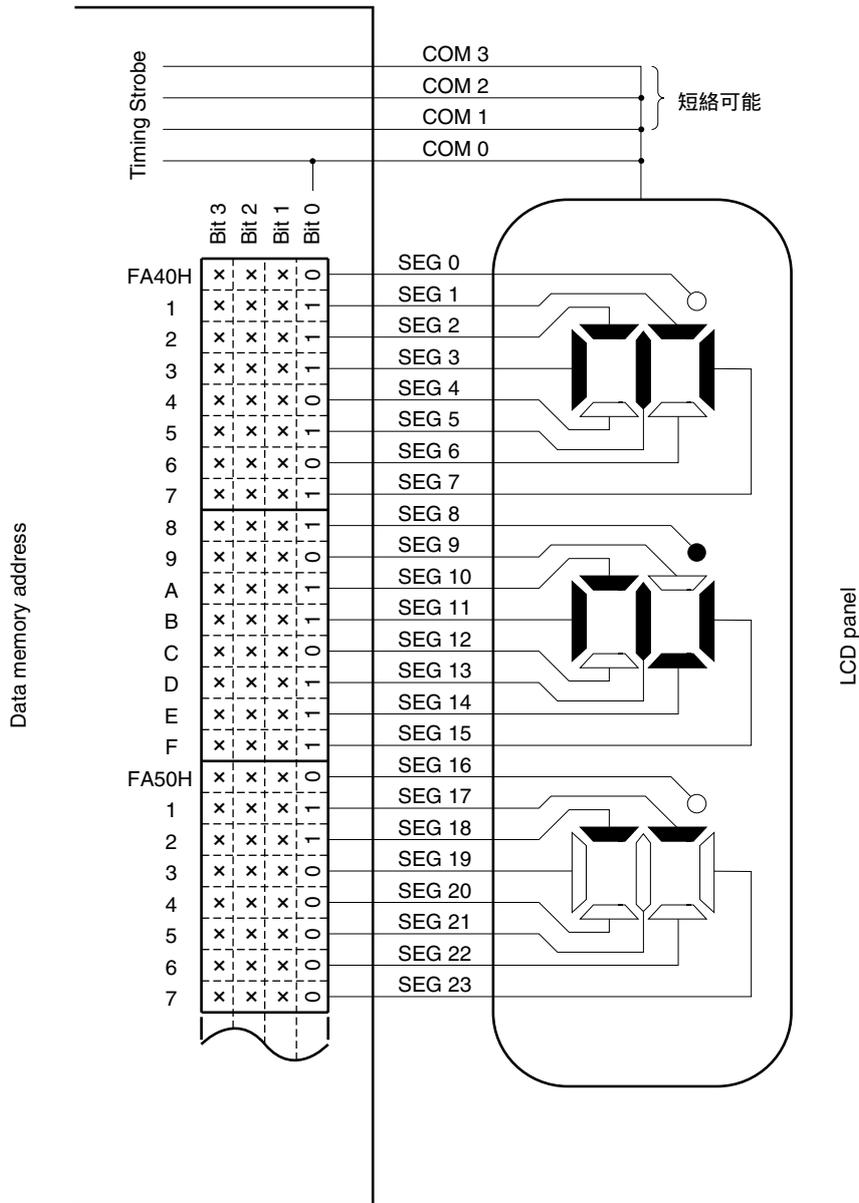
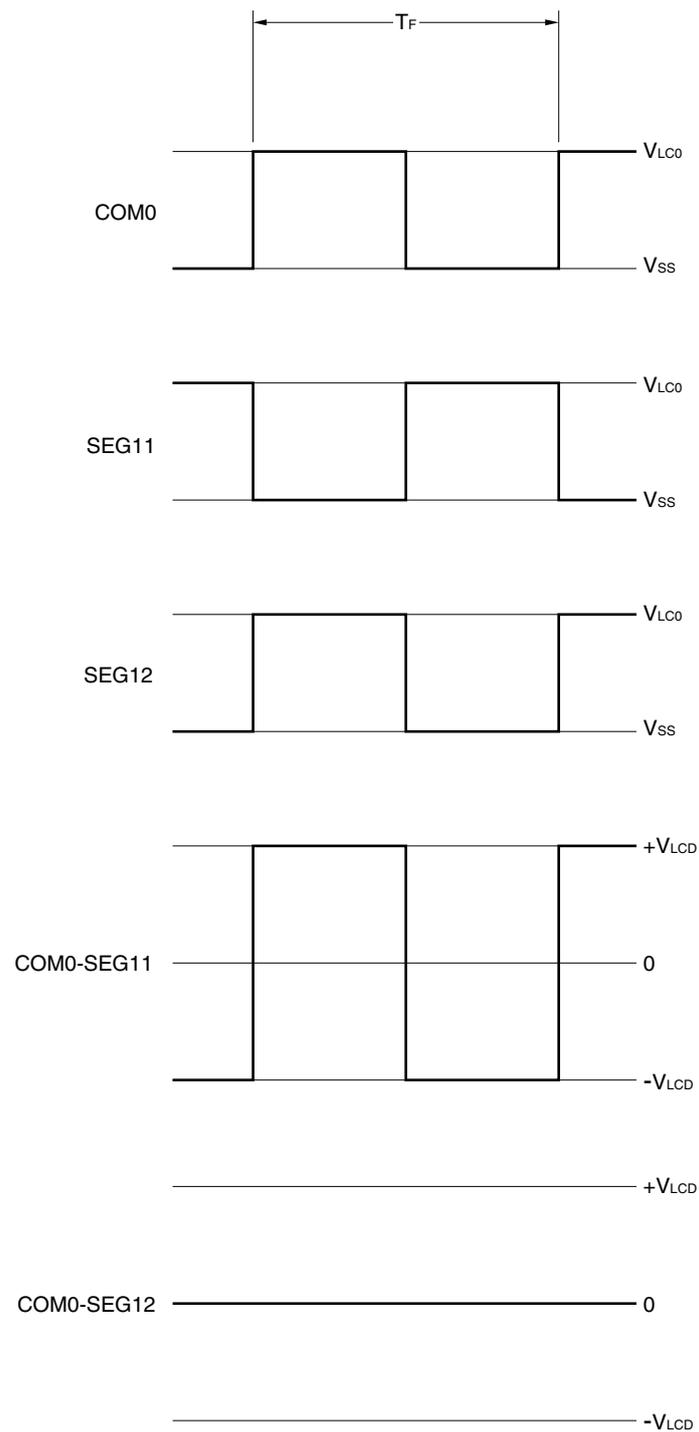


図18 - 19 スタティックLCD駆動波形例



18.7.2 2時分割表示例

図18 - 21は、図18 - 20の表示パターンを持つ2時分割方式の6桁LCDパネルと78K0/Lx3-Mのセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0, COM1) との接続を示します。表示例は12345.6で、表示データ・メモリ (FA40H-FA57H) の内容はそれらに対応しています。

ここでは4桁目の3 (ヨ) を例にとって説明します。図18 - 20の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表18 - 7に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

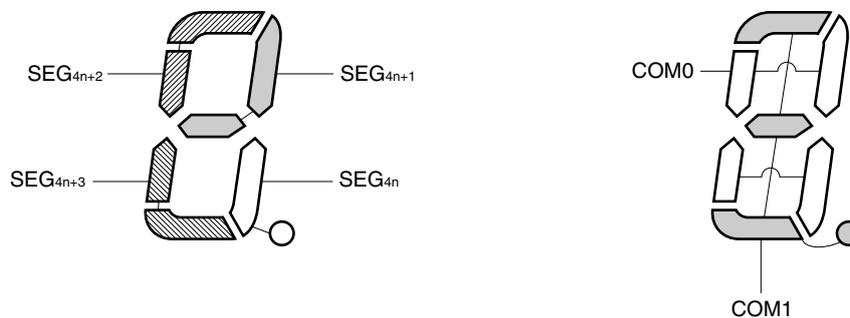
表18 - 7 選択、非選択電圧 (COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・メモリ (FA4FH番地) には、 $\times \times 10$ を用意すればよいことが分かります。

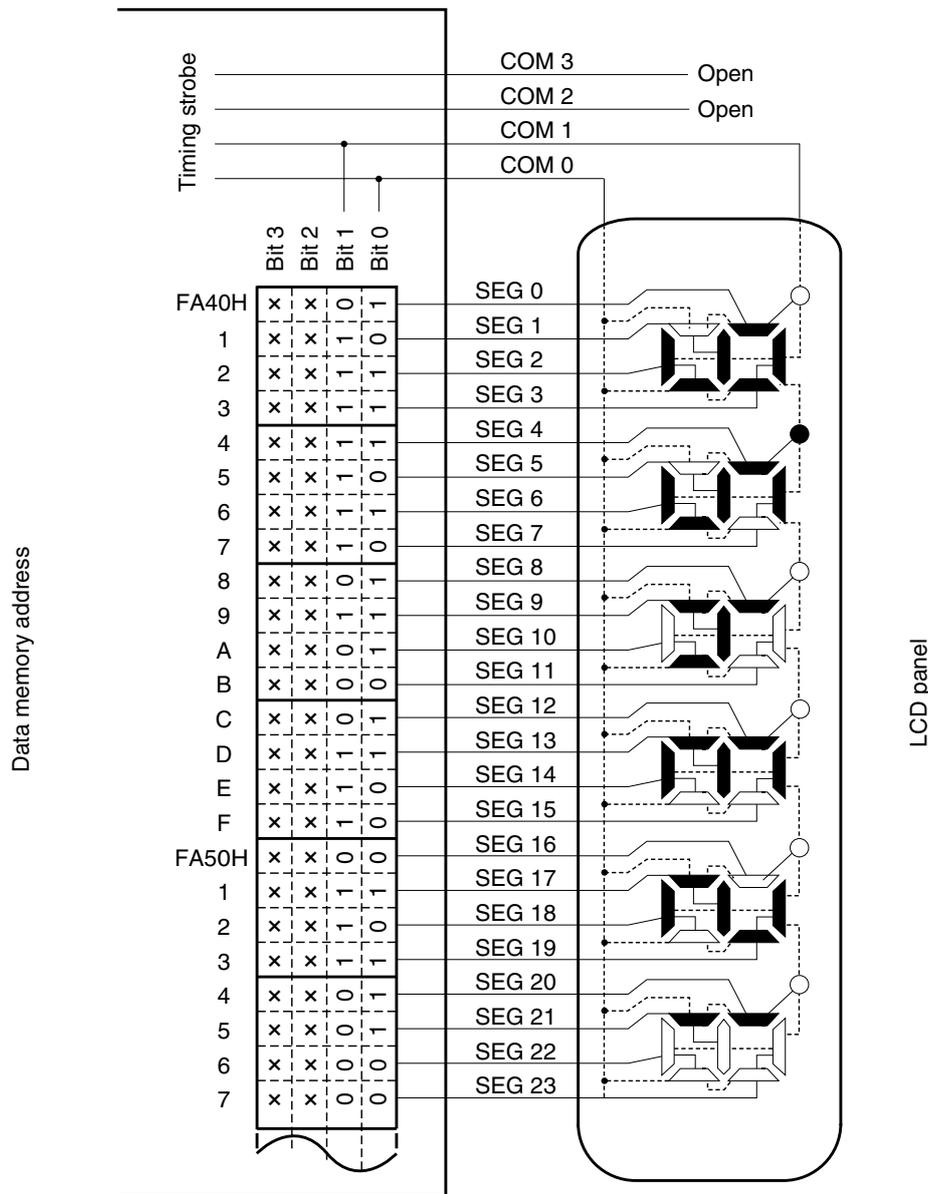
SEG15と各コモン信号間のLCD駆動波形例を図18 - 22に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである $+V_{Lcd} / -V_{Lcd}$ の交流矩形波が発生することが分かります。

図18 - 20 2時分割LCD表示パターンと電極結線



備考 n = 0-5

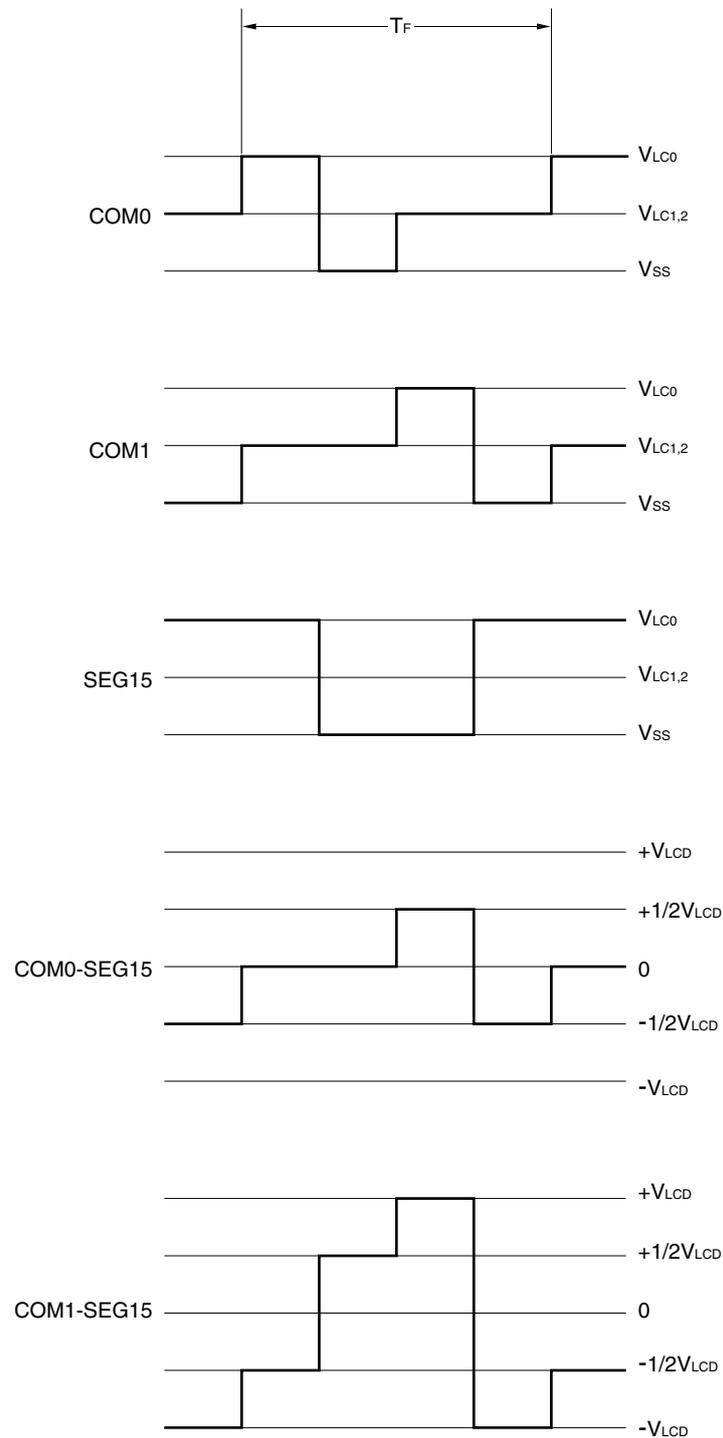
図18 - 21 2時分割LCDパネルの結線例



× : 2時分割表示のため、常に任意のデータをストア可能です。

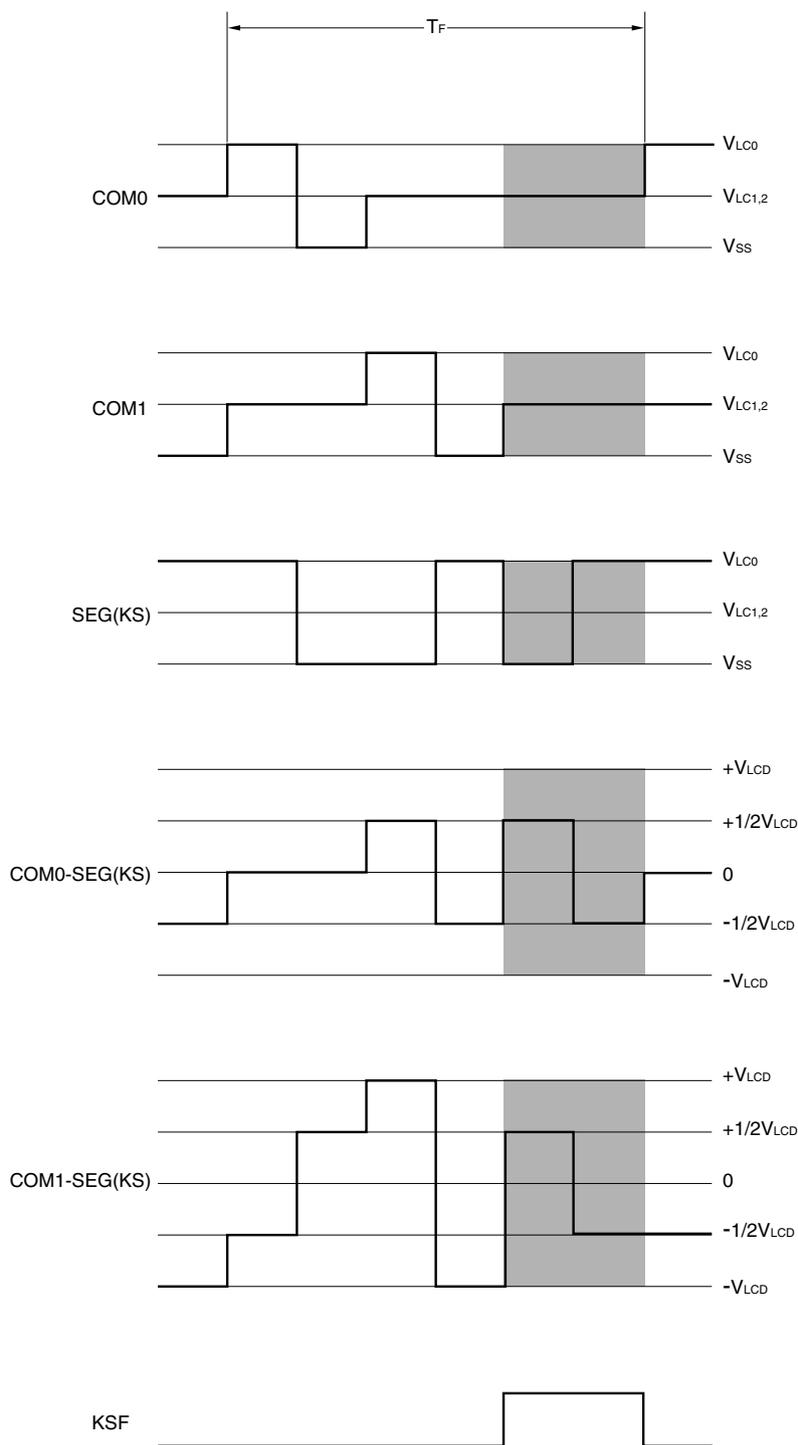
図18 - 22 2時分割LCD駆動波形例 (1/2バイアス法)

(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



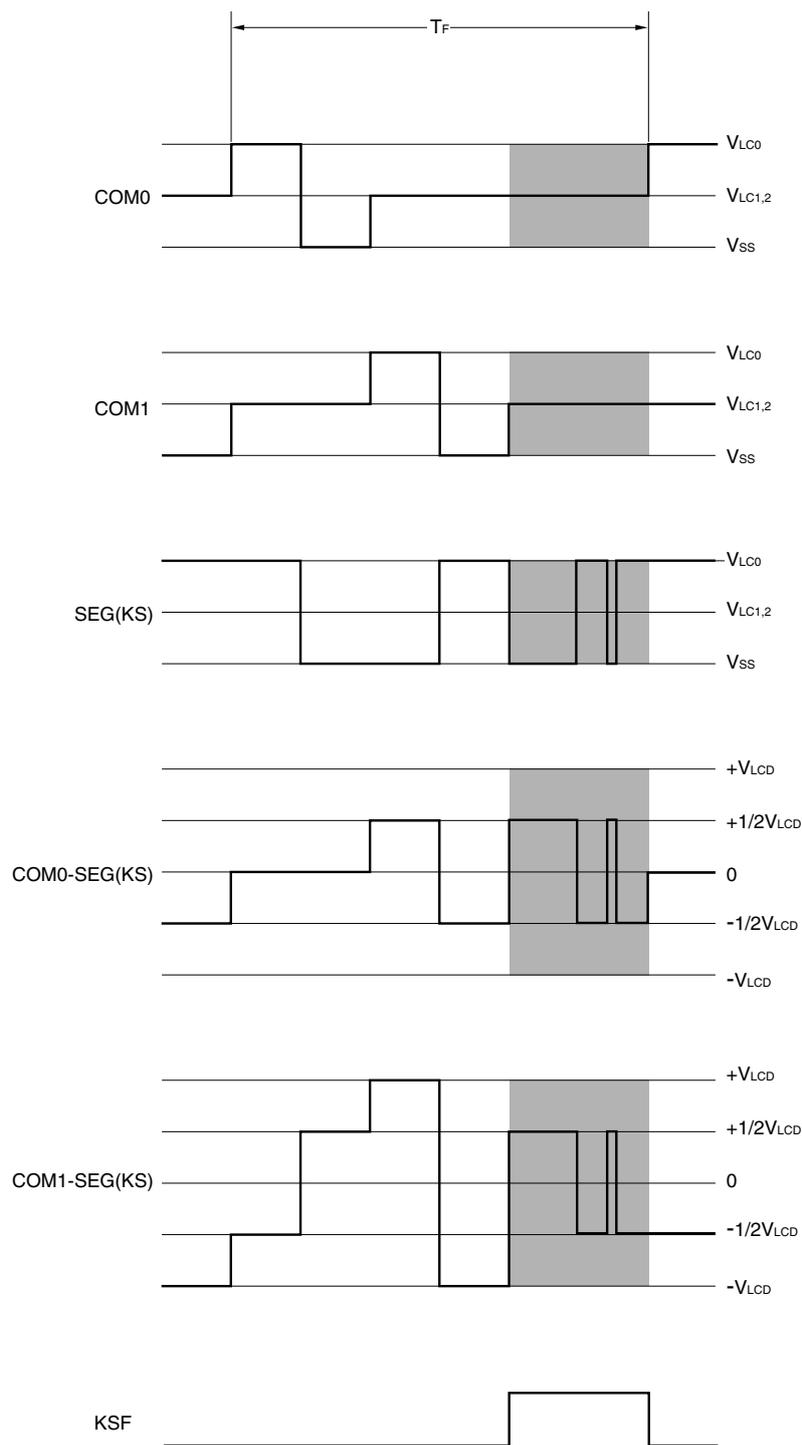
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

< キー入力待ち >



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際，前半と後半の関係が反転となる信号を出力することにより，LCDパネルの残留電荷をなくすことができます。

18.7.3 3時分割表示例

図18 - 24は、図18 - 23の表示パターンを持つ3時分割方式の8桁LCDパネルと78K0/Lx3-Mのセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.78で、表示データ・メモリ (FA40H-FA57H番地) の内容はこれに対応しています。

ここでは3桁目の6. (6.) を例にとって説明します。図18 - 23の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表18 - 8に示すような選択・非選択電圧をSEG6-SEG8端子に出力する必要があります。

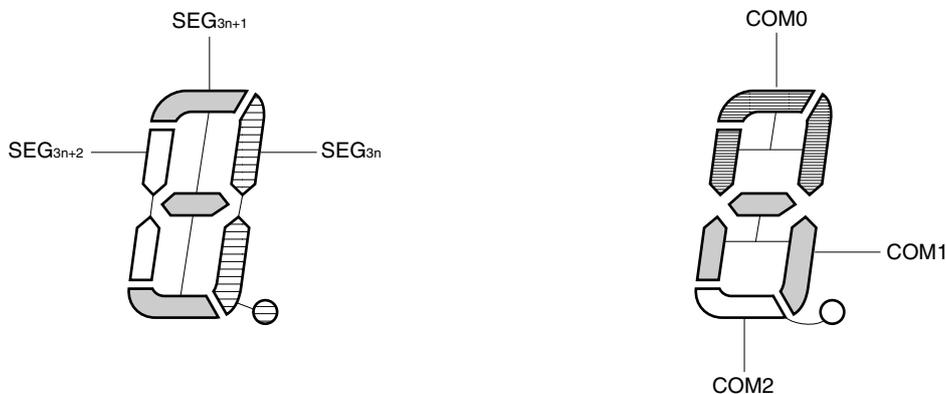
表18 - 8 選択、非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	

これによりSEG6に対応する表示データ・メモリ (FA46H番地) には、 $\times 110$ を用意すればよいことが分かります。

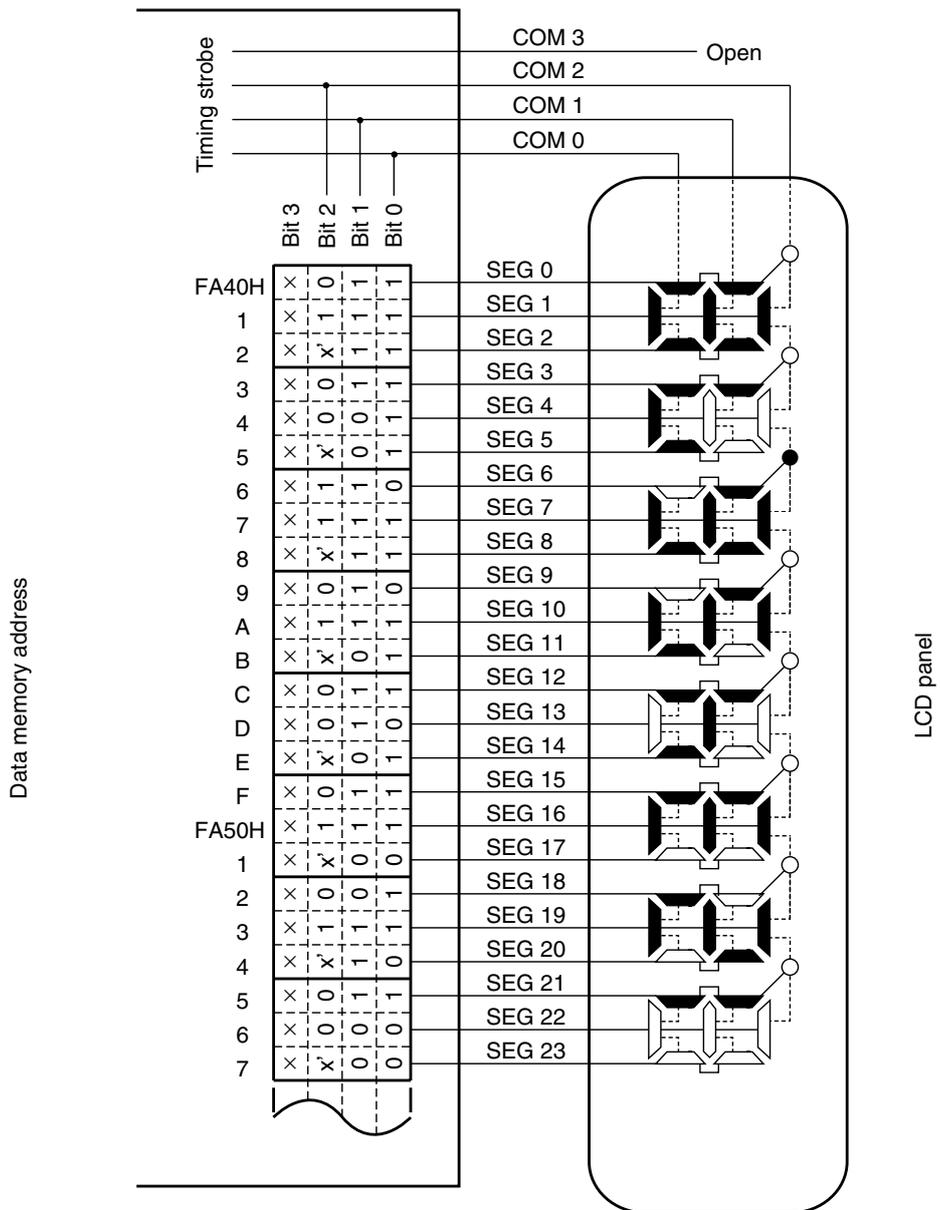
SEG6と各コモン信号間のLCD駆動波形例を図18 - 25 (1/2バイアス法)、図18 - 26 (1/3バイアス法) に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18 - 23 3時分割LCD表示パターンと電極結線



備考 $n = 0-7$

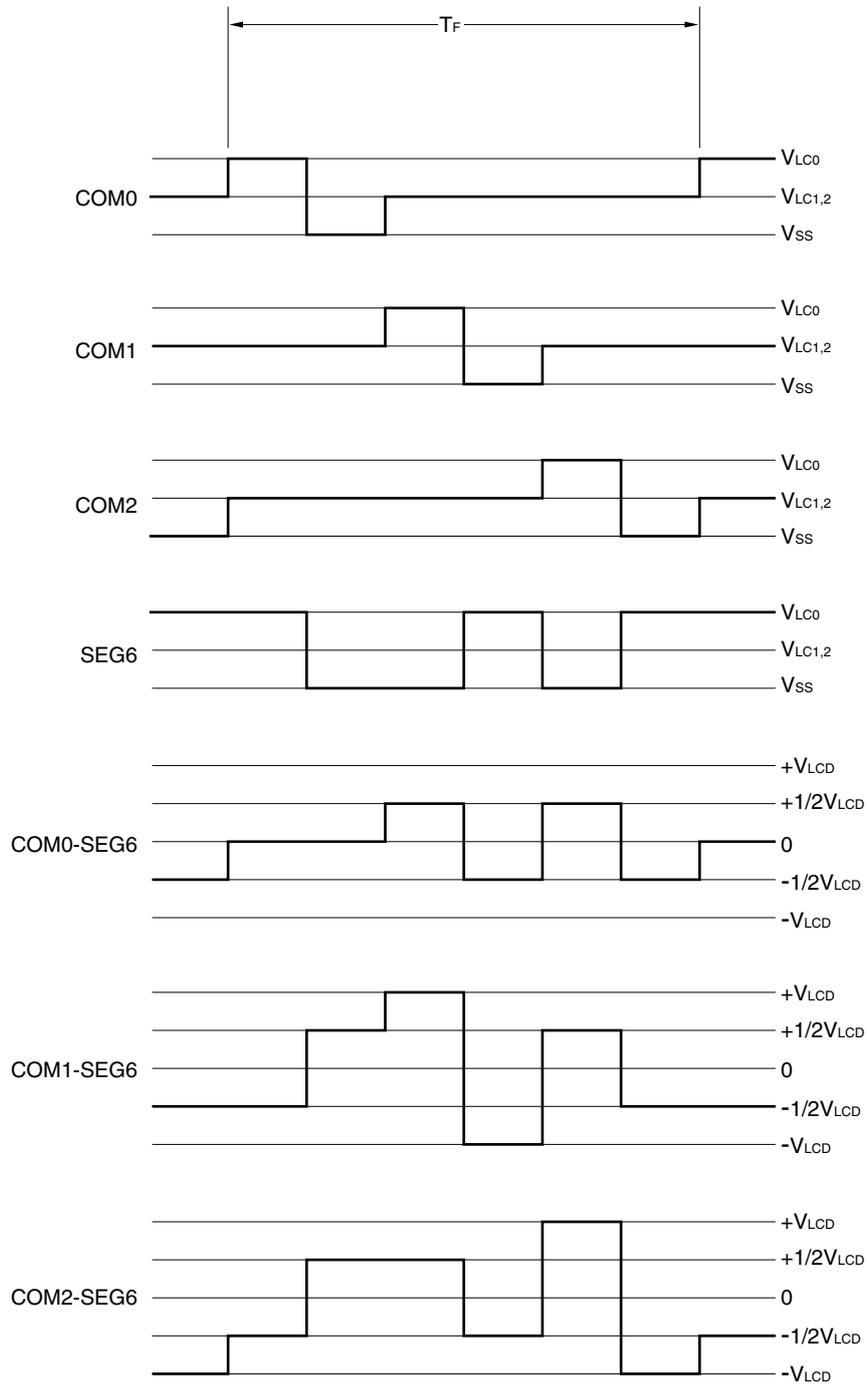
図18 - 24 3時分割LCDパネルの結線例



- X : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
- x : 3時分割表示のため、常に任意のデータをストア可能です。

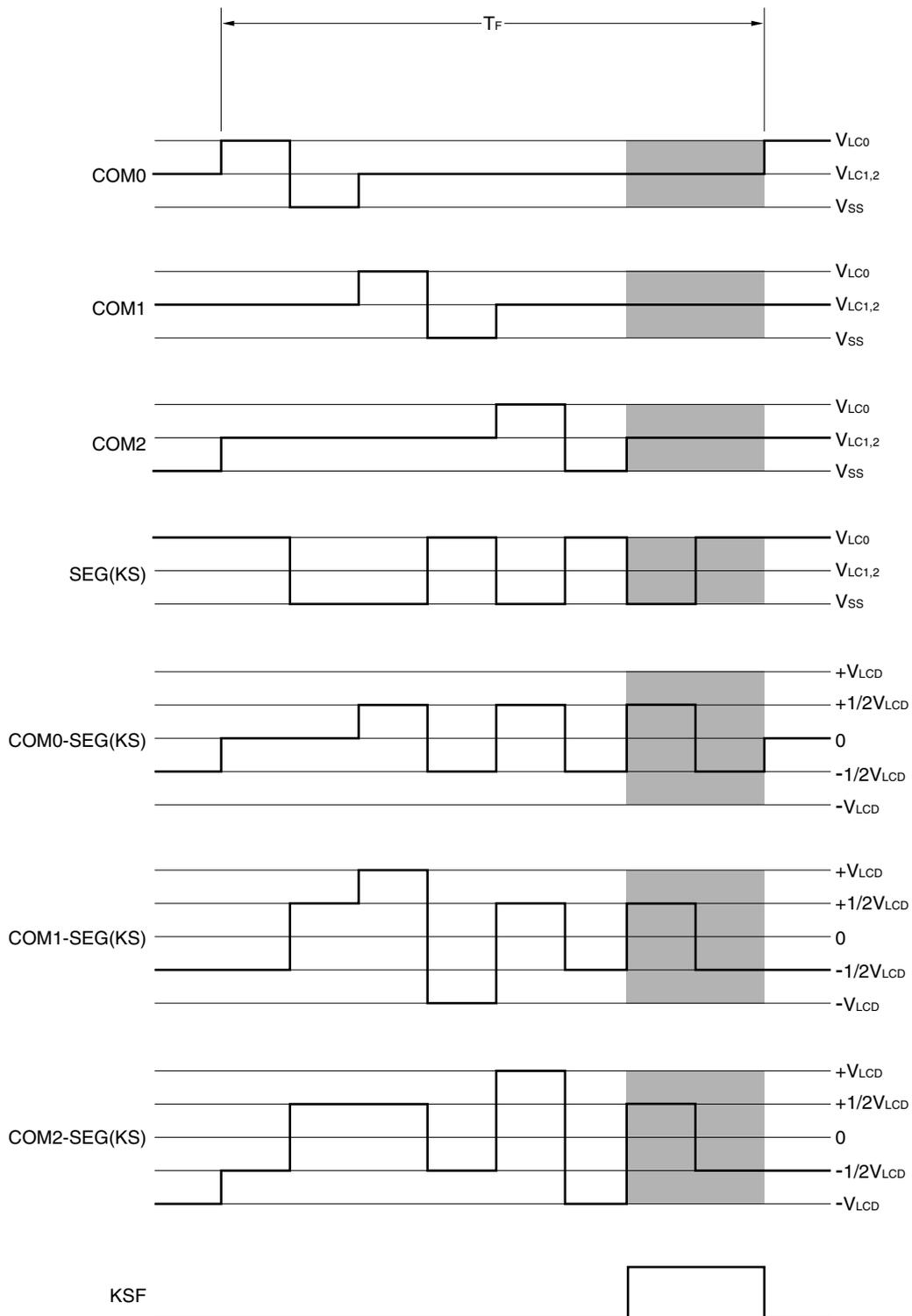
図18 - 25 3時分割LCD駆動波形例 (1/2バイアス法)

(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



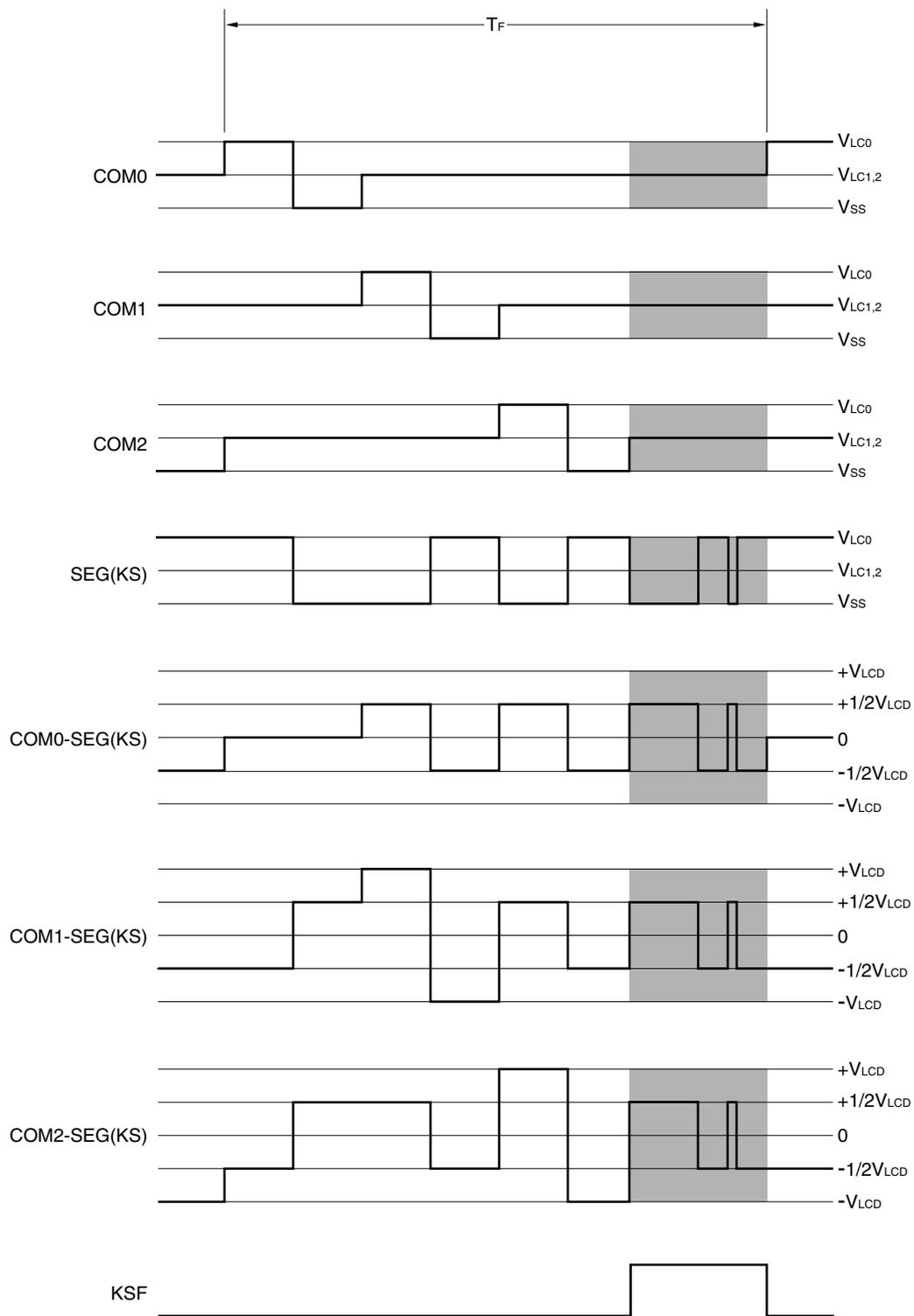
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

< キー入力待ち >



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >

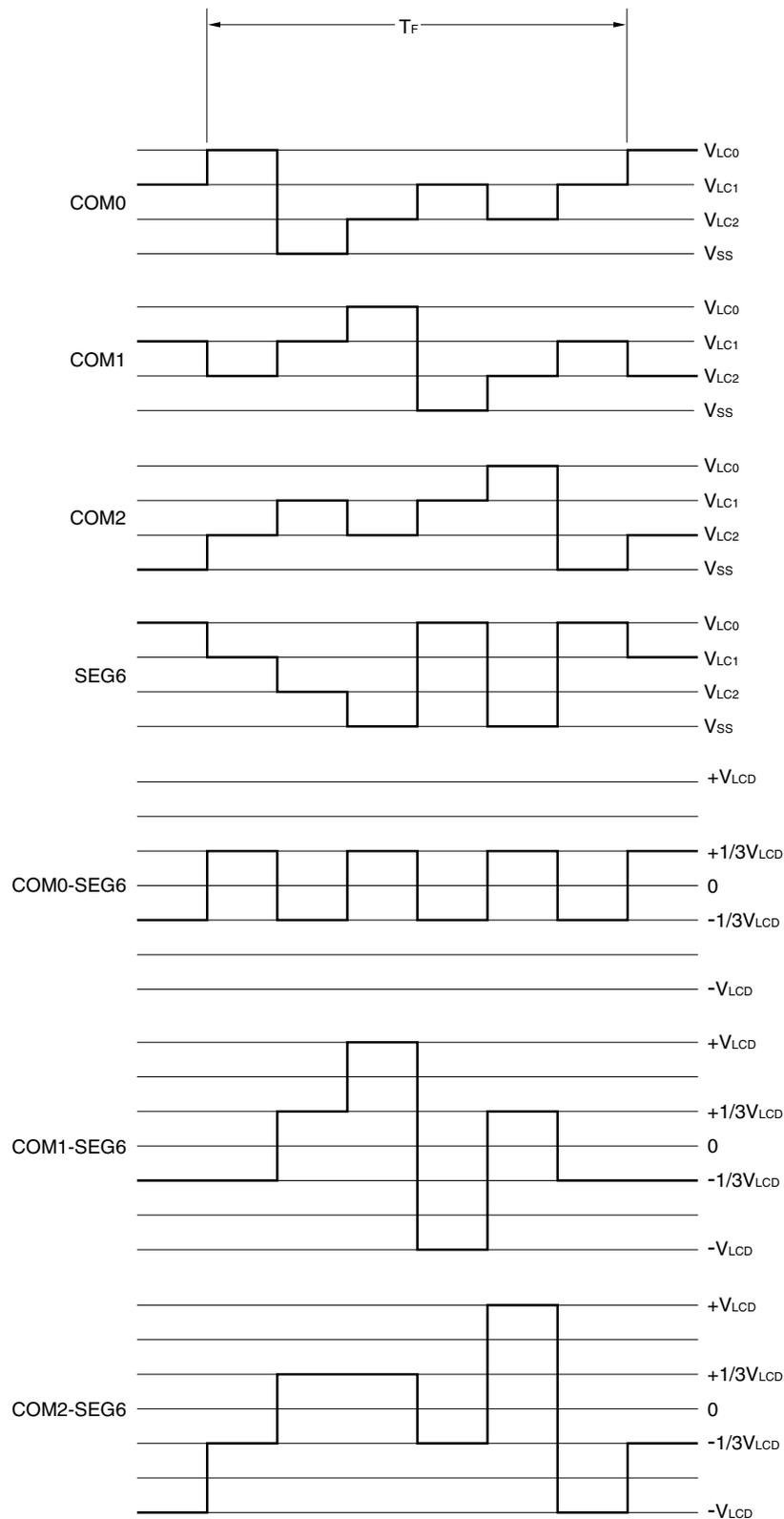


網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際、前半と後半の関係が反転となる信号を出力することにより、LCDパネルの残留電荷をなくすことができます。

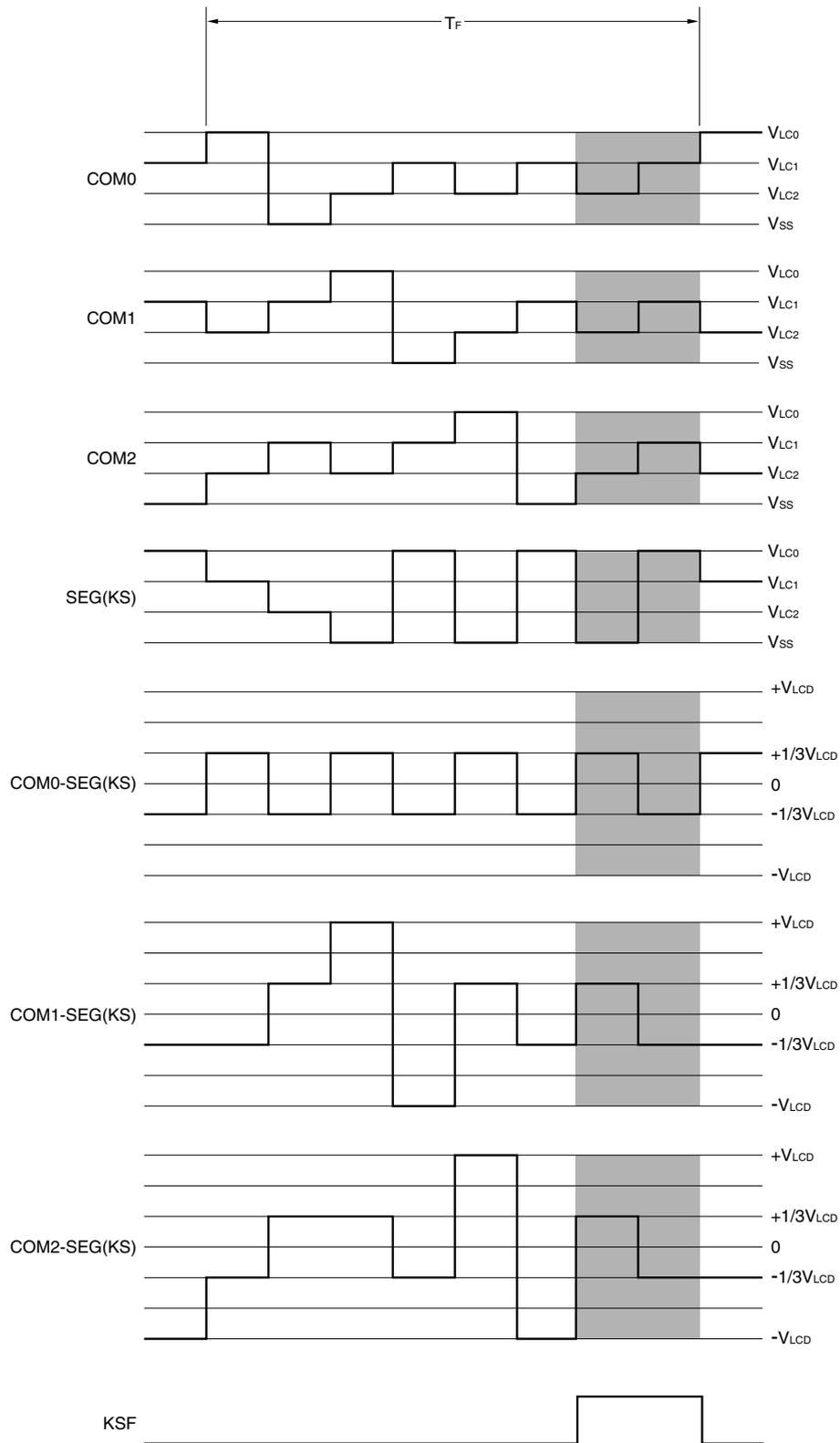
図18 - 26 3時分割LCD駆動波形例 (1/3バイアス法)

(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



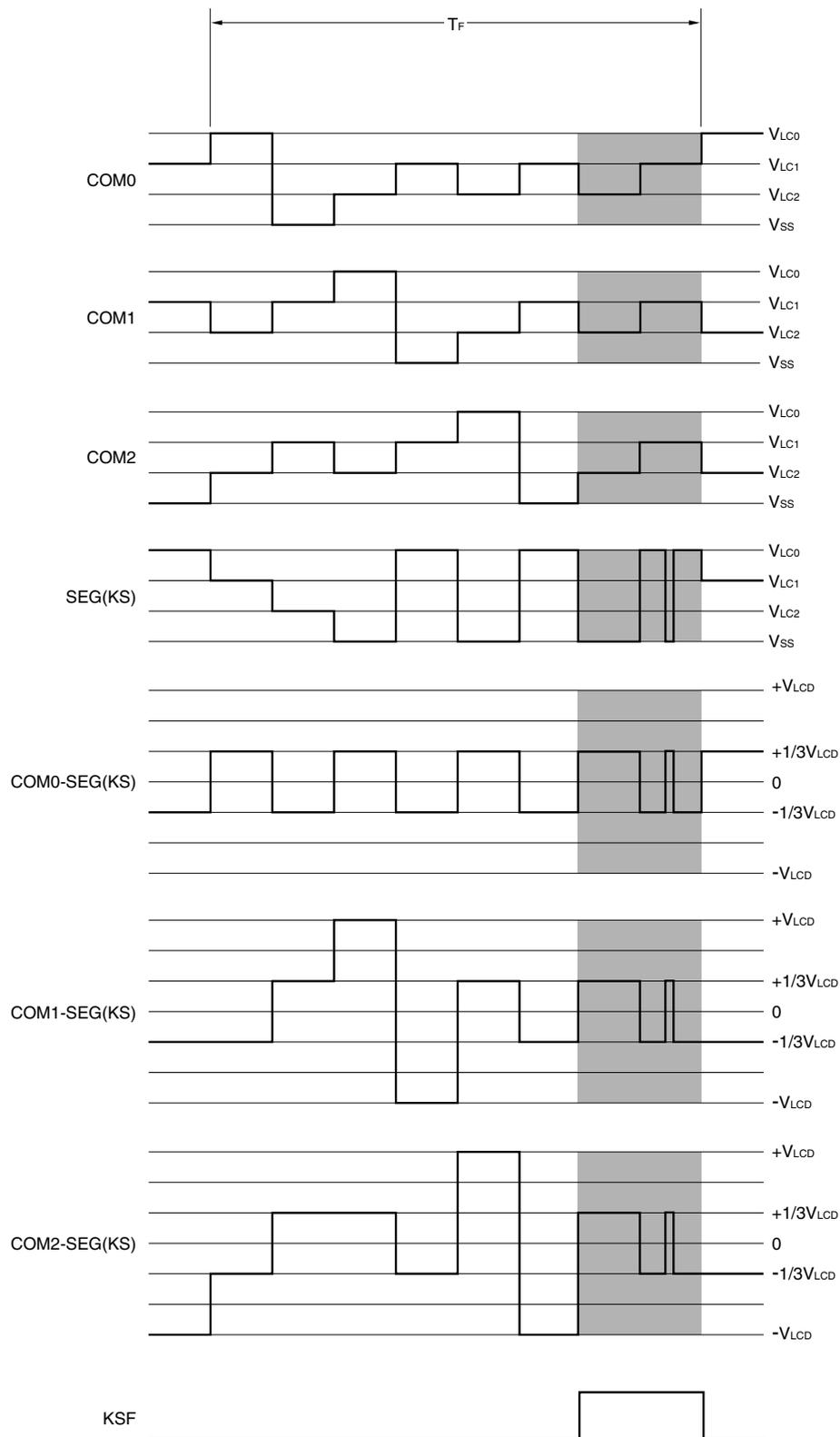
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

< キー入力待ち >



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際、前半と後半の関係が反転となる信号を出力することにより、LCDパネルの残留電荷をなくすことができます。

18.7.4 4時分割表示例

図18 - 28は、図18 - 27の表示パターンを持つ4時分割方式の12桁LCDパネルと78K0/Lx3-Mのセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.789012で、表示データ・メモリ (FA40H-FA57H番地) の内容はこれに対応しています。

ここでは7桁目の6. (E) を例にとって説明します。図18 - 27の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表18 - 9に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

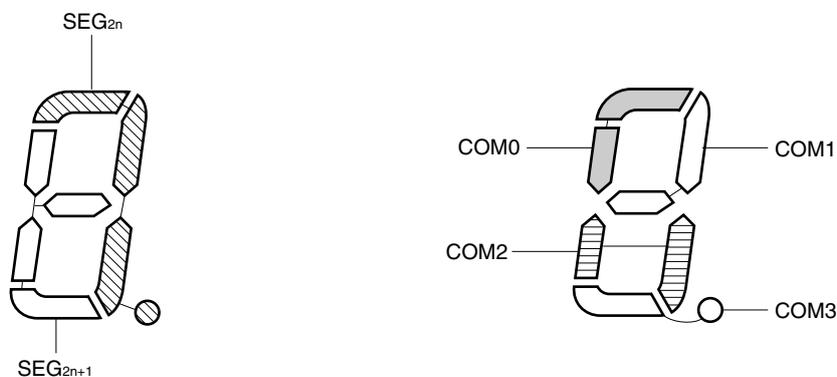
表18 - 9 選択、非選択電圧 (COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・メモリ (FA4CH番地) には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図18 - 29に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである $+V_{Lcd} / -V_{Lcd}$ の交流矩形波が発生することが分かります。

図18 - 27 4時分割LCD表示パターンと電極結線



備考 n = 0-11

図18 - 28 4時分割LCDパネルの結線例

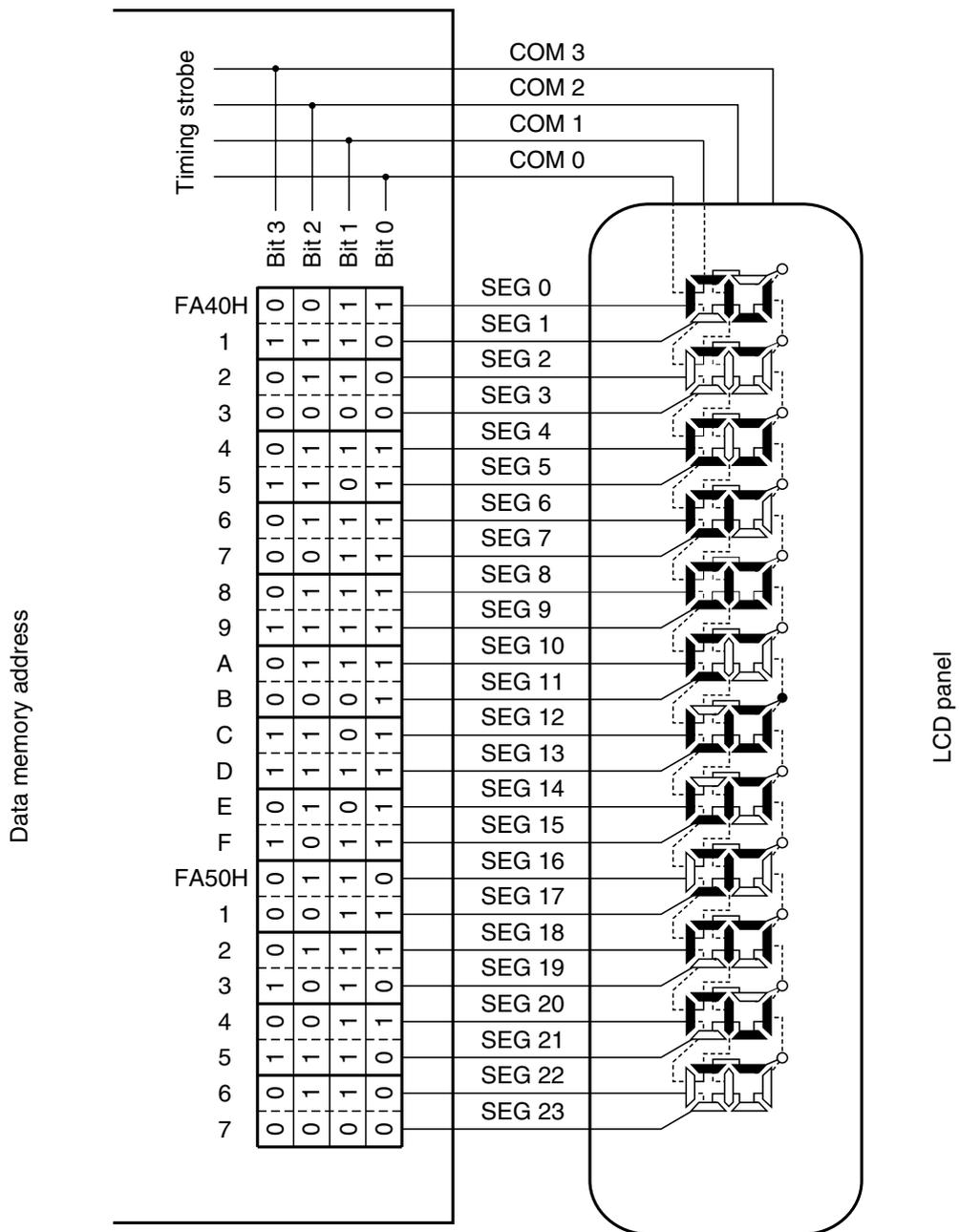
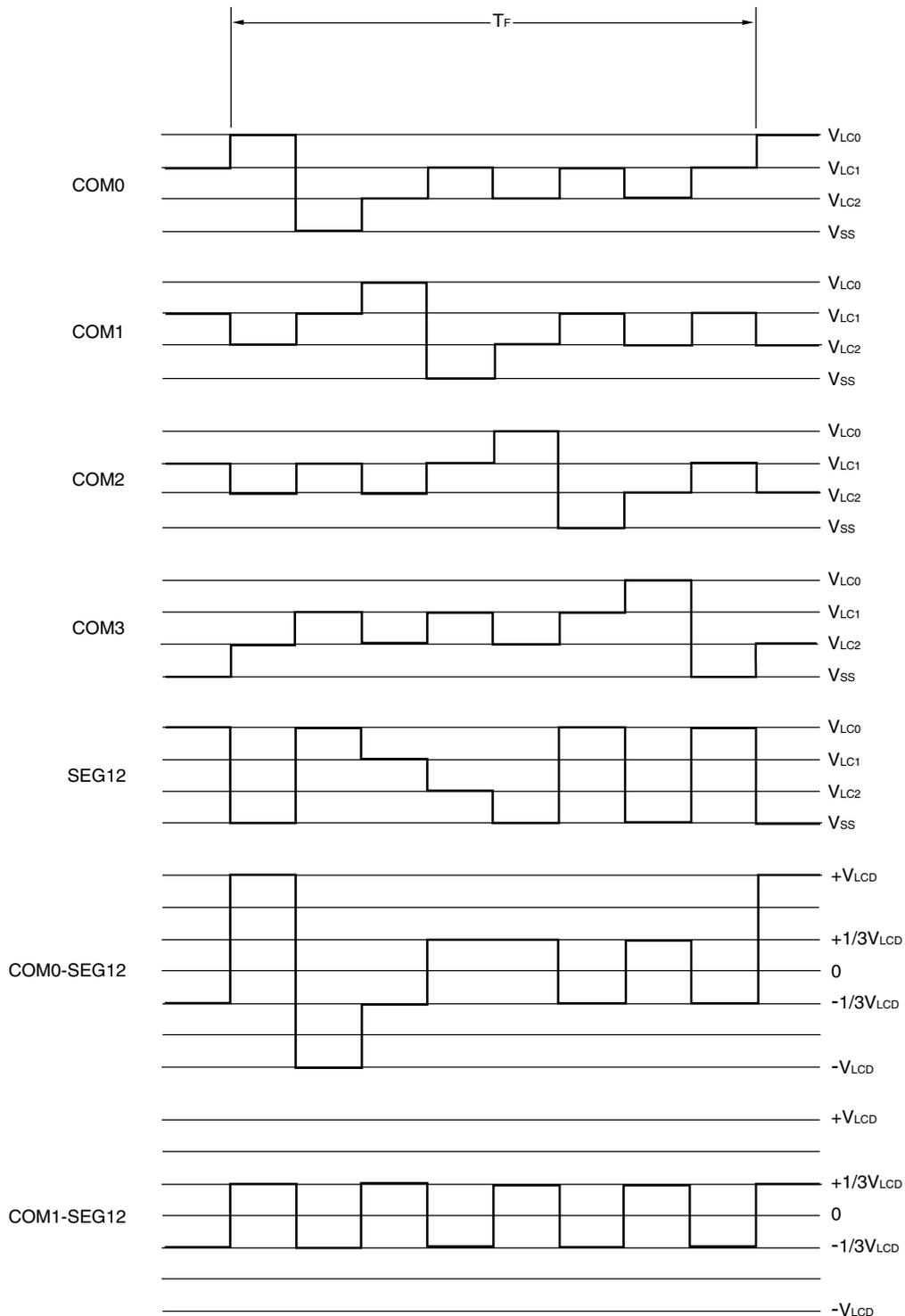


図18 - 29 4時分割LCD駆動波形例 (1/3バイアス法)

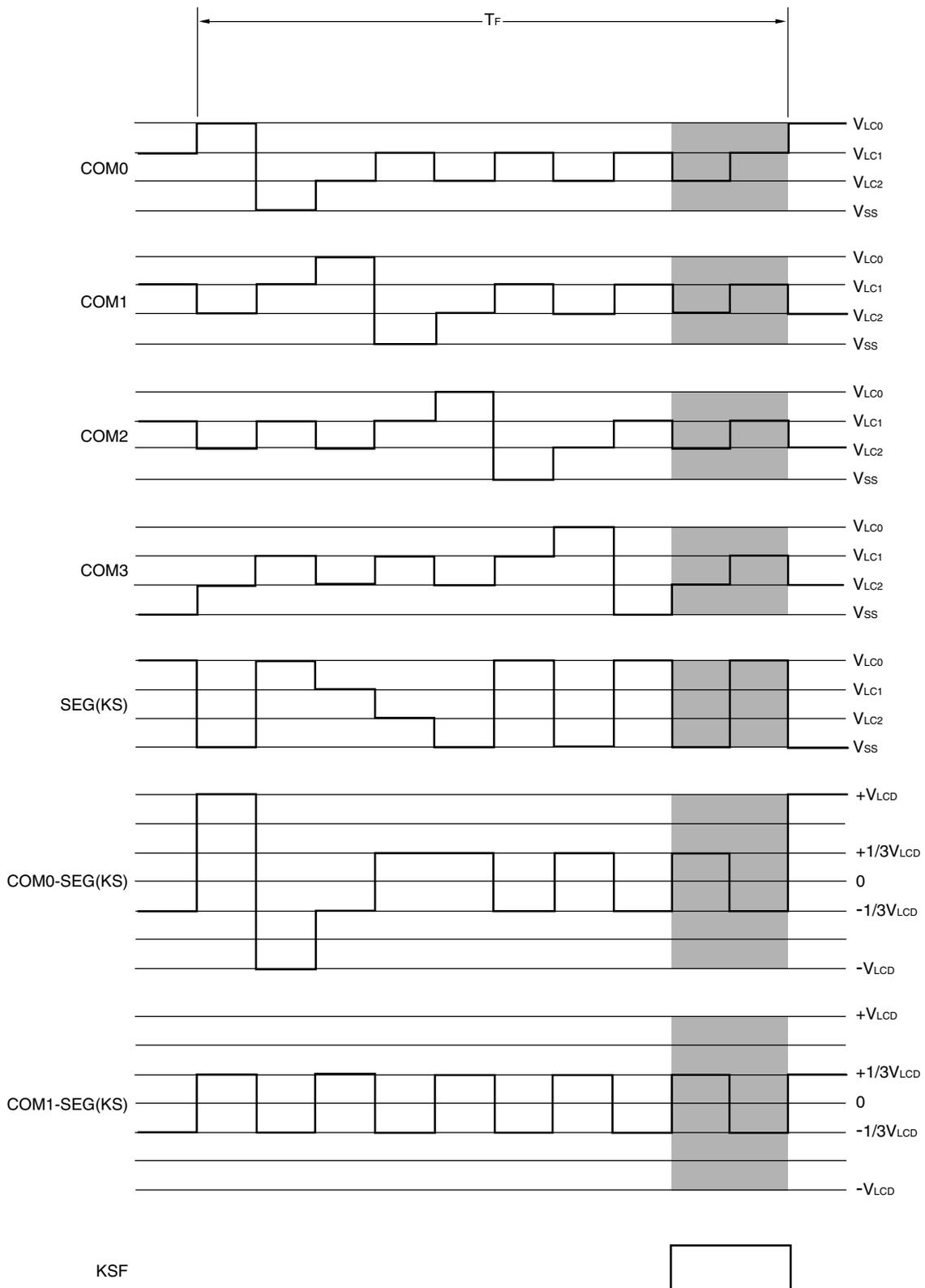
(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



備考 COM2-SEG12とCOM3-SEG12の波形は省略

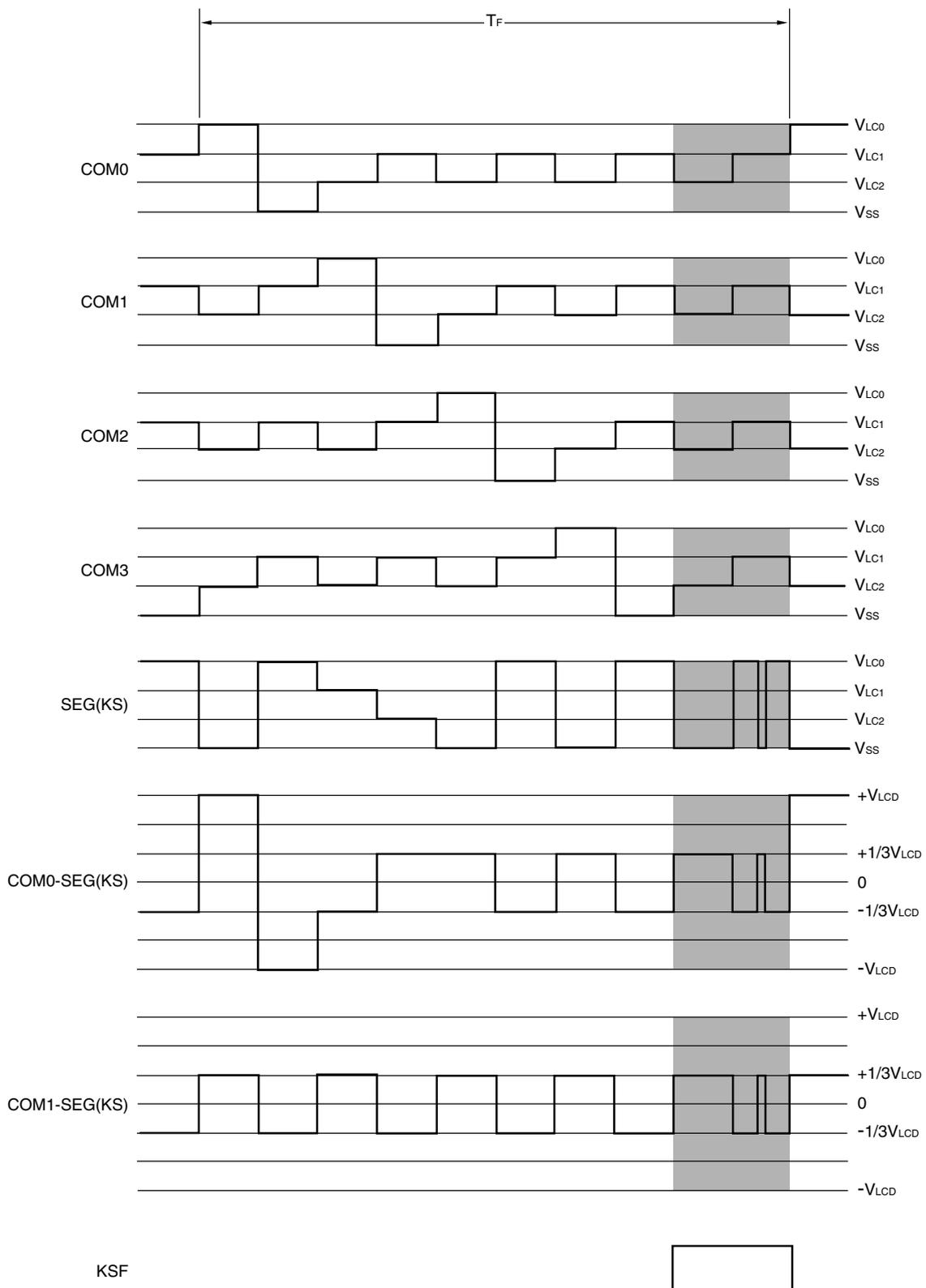
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

<キー入力待ち>



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際，前半と後半の関係が反転となる信号を出力することにより，LCDパネルの残留電荷をなくすることができます。

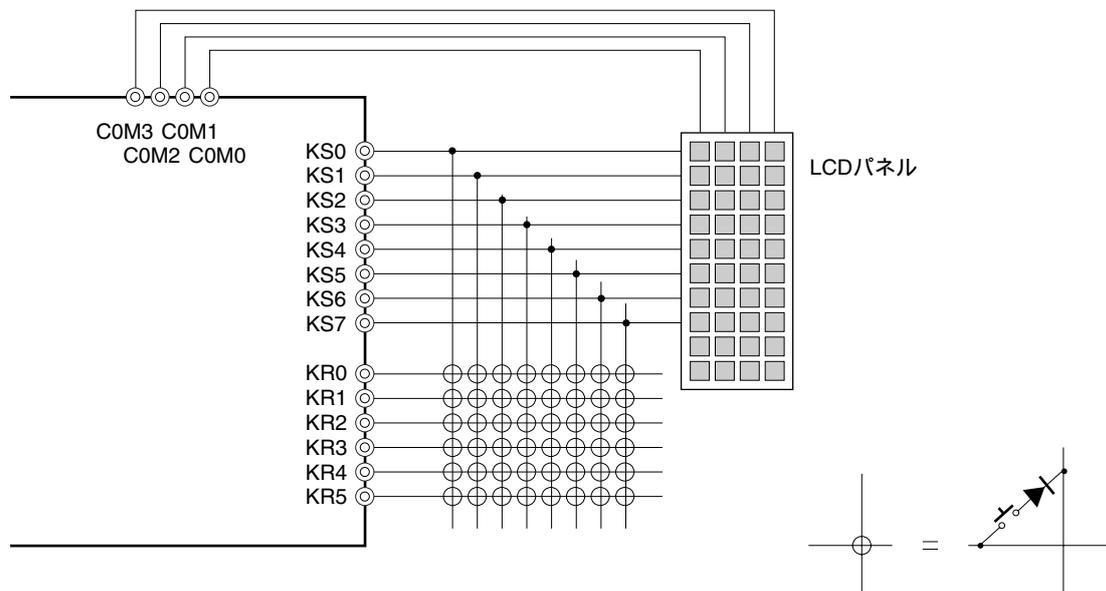
18.8 セグメント・キー・スキャン機能の動作

セグメント・キー・スキャン機能は、LCD表示のセグメント出力とキー・スキャン信号を同じ端子から出力し、使用端子数の削減を実現しています。

注意 本機能は、使用方法によって、LCDパネルに影響を与える可能性があります。
十分な評価後に使用してください。

18.8.1 回路構成例

図18 - 30 回路構成例



備考 78K0/LE3-M : KR0, KR1
78K0/LG3-M : KR0-KR5

18.8.2 セグメント・キー・スキャン機能の使用手順例

セグメント・キー・スキャンの動作の流れを図18 - 31に、キー接続例を図18 - 32に示します。

図18 - 31 セグメント・キー・スキャンの動作の流れ

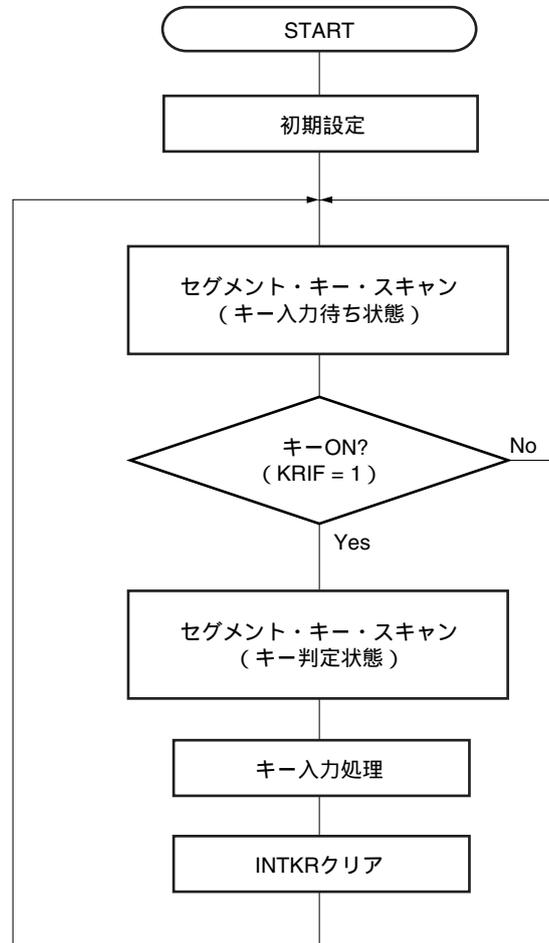


図18 - 32 キー接続例

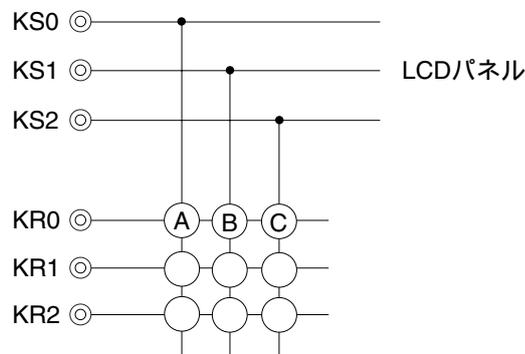
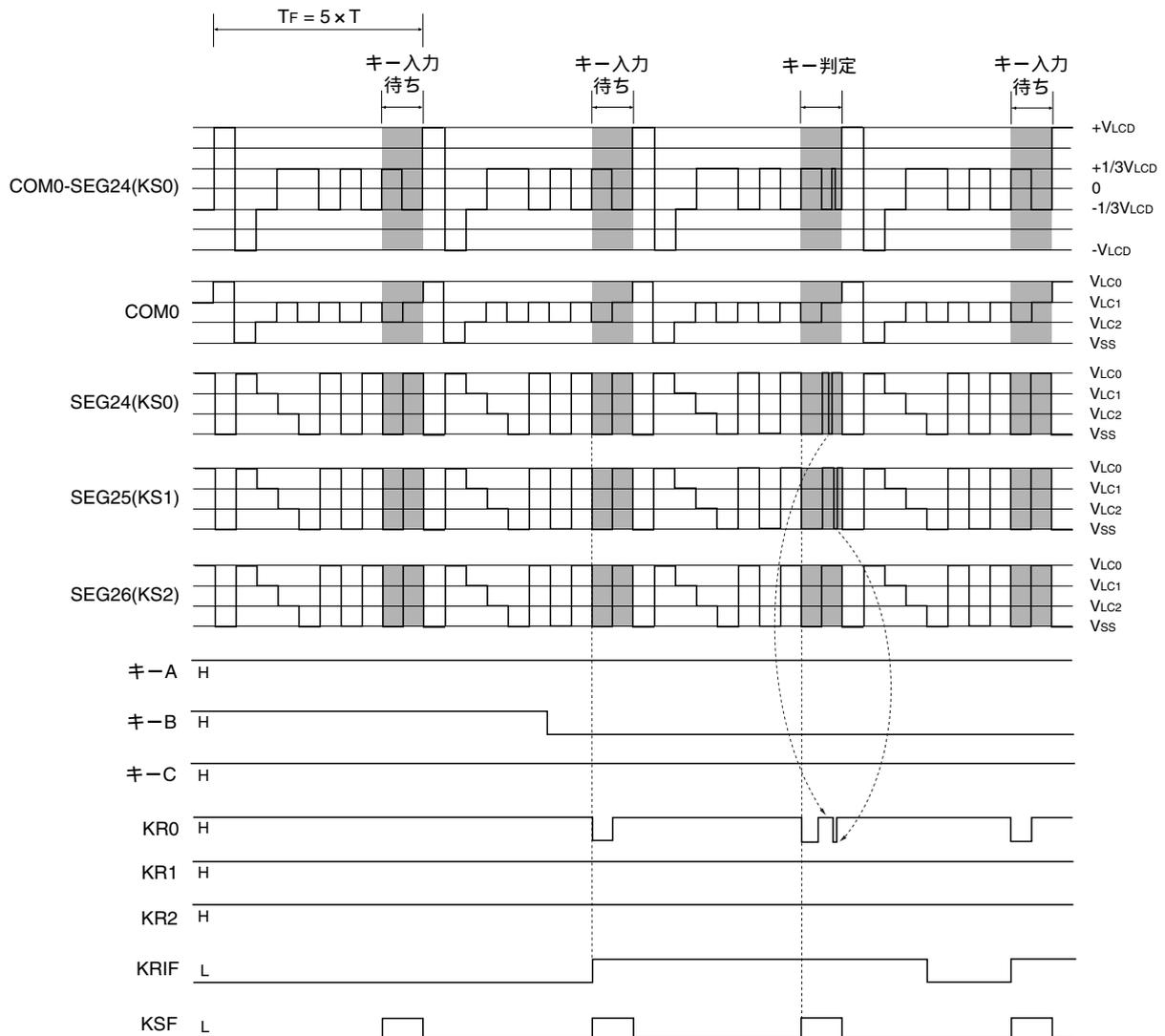


図18 - 32のキーBが押された場合のセグメント・キー・スキャンの動作例を以下に示します。

図18 - 33 セグメント・キー・スキャンの動作タイミング例
(4時分割 (1/3バイアス法) の場合)



T : LCDクロックの1周期分 T_f : フレーム周波数 網掛け : セグメント・キー・スキャン出力期間

このタイミングでキーBが押されたとします。

KRIF = 1となり、いずれかのキーが押されたことがわかります。

KR0がロウ・レベルとなり、キーA, B, Cのどれかが押されたことがわかります。

KR端子への入力は、KSFの立ち上がりから、 f_{LCD} の2クロック後に許可されます。したがって、KRIFはKSFの立ち上がりから、 f_{LCD} の2クロック後に“1”になります。

KSF = 1であることを確認後、セグメント・キー・スキャン動作を開始します。

SEG24 (KS0) 端子がロウ・レベルを出力したときに、KR0はハイ・レベルのため、キーAは押されていないことがわかります。

SEG25 (KS1) 端子がロウ・レベルを出力したときに、KR0はロウ・レベルになるため、キーBが押されたことがわかります。キーBの入力処理を行ってください。

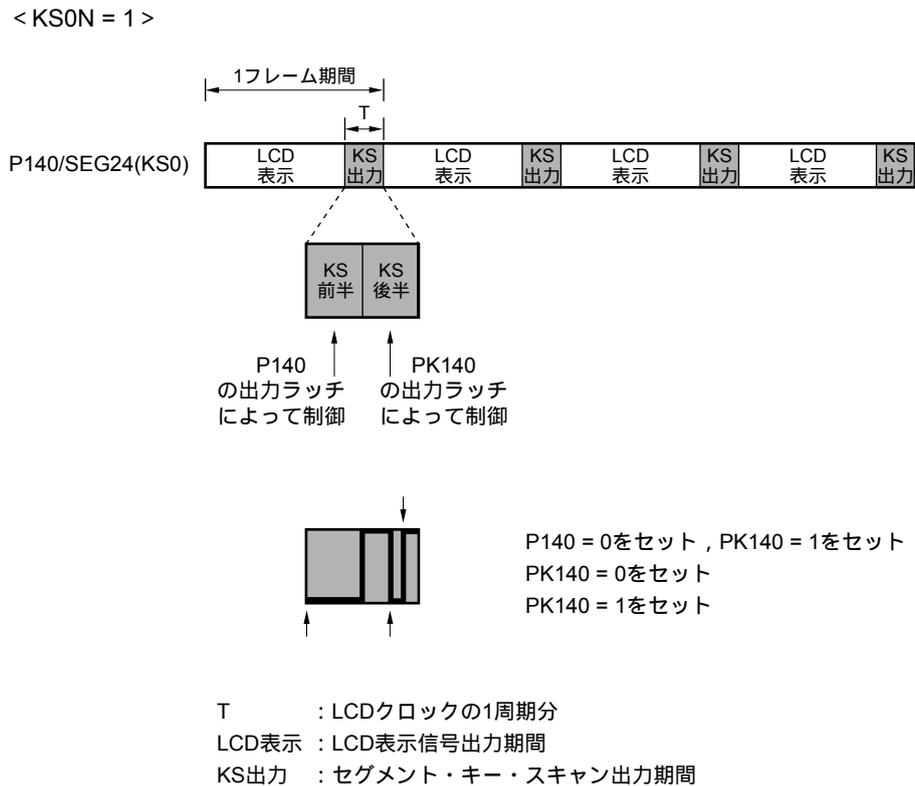
KRIFをクリアします。

セグメント・キー・スキャン出力期間中のSEG (KS) 端子の出力値は、ポート・レジスタ14, 15の設定値に対応しており、ポート・レジスタ14, 15により制御することができます。

それぞれのポート・レジスタのビット0-3はセグメント・キー・スキャン出力期間の前半、ビット4-7はセグメント・キー・スキャン出力期間の後半の出力を制御します (18.3の(9)ポート・レジスタ14 (P14), (10)ポート・レジスタ15 (P15) 参照)。

図18 - 34に、ポート・レジスタ14とセグメント・キー・スキャン出力の関係を示します。

図18 - 34 ポート・レジスタ14とセグメント・キー・スキャン出力の関係 (P140/SEG24(KS0)端子の場合)



備考 セグメント・キー・スキャン出力期間中は、COMは非表示出力です。
波形の詳細は図18 - 15, 図18 - 16を参照してください。

18.9 セグメント・キー・スキャン機能使用時の注意事項

(1) 使用時の条件について

セグメント・キー・スキャン機能は、 $V_{DD} = V_{LC0}$ の条件で使用してください。

(2) セグメント・キー・スキャン入力端子について

セグメント・キー・スキャン機能の入力端子として使用できるのは、KR0-KR5端子のみです。

他の端子は、セグメント・キー・スキャン機能の入力端子として使用できません。

(3) KR0-KR5端子の入力許可範囲について

プルアップによる遅延のため、セグメント・キー・スキャン出力期間の開始から f_{LCD} 2クロック分の期間は、KR端子にセグメント・キー・スキャン入力を行うことができません。

また同様に、入力終了処理のため、セグメント・キー・スキャン出力期間の最後の f_{LCD} 1クロック分の期間も、KR端子にセグメント・キー・スキャン入力を行うことができません。

(4) キー・リターン・モード・レジスタ (KRM) の設定について

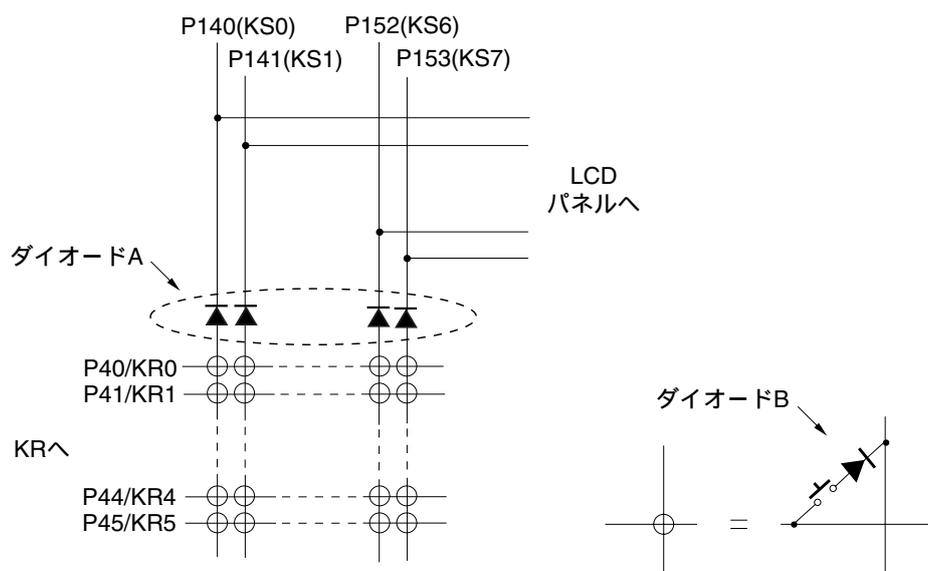
セグメント・キー・スキャン機能使用時 ($KSON = 1$)、 KR_n 端子をセグメント・キー・スキャン入力端子として使用する場合は $KRM_n = 1$ 、 KR_n 端子をセグメント・キー・スキャン入力端子として使用しない場合は $KRM_n = 0$ を設定してください。

(5) 回路構成について

セグメント・キー・スキャン機能を使用する場合は、少なくとも図18-35に示すダイオードA、またはダイオードBが必要です。

ダイオードA、Bがない場合は、次のような問題が起きますので注意してください。

図18-35 キー・マトリクス構成例



(a) ダイオードA, B両方ともない場合

ダイオードA, B両方ともない場合は、次のようになるため、使用できません。

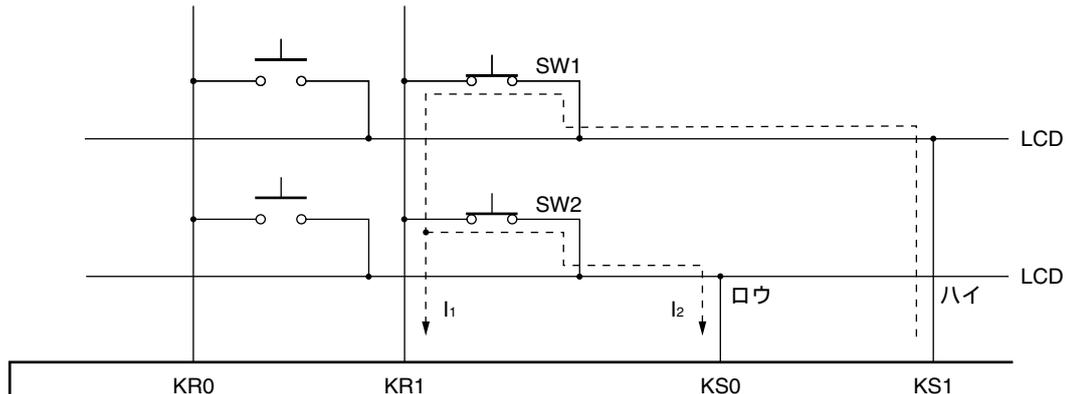
下図にダイオードA, B両方ともない場合の回路例を示します。

下図に示すようにスイッチSW1およびSW2がオンしており、KS1からハイ・レベルを出力、KS0からロウ・レベルを出力しているとします。

このときダイオードAがないと、点線で示す電流 I_1 および I_2 が流れます。

したがって、 I_2 によりKS1のハイ・レベルおよびKS0のロウ・レベルが正常に出力されなくなり、KR1のキー入力データが不定になります。

また、LCD表示も正常に点消灯しなくなります。

**(b) ダイオードAのみの場合**

ダイオードAのみの場合は、次のようになるため、同時押しが判断できません。

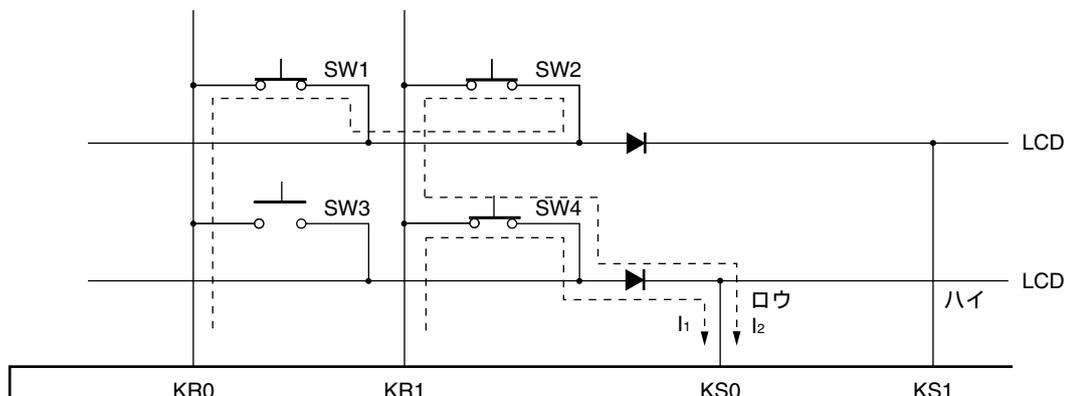
下図にダイオードAのみの場合の回路例を示します。

下図に示すようにスイッチSW1, SW2およびSW4がオンしており、KS1からハイ・レベルを出力、KS0からロウ・レベルを出力しているとします。

このとき、点線で示す電流 I_1 および I_2 が流れます。

したがって、SW3がオフしているにもかかわらず、 I_2 によりKR0にロウ・レベルが入力されるため、SW3がオンしていると判断されてしまいます。

また、LCD表示への回り込みはありません。

**(c) ダイオードBのみの場合**

3つ以上の同時押し判定も可能になります。

また、LCD表示への回り込みはありません。

18. 10 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

78K0/Lx3-MマイクロコントローラはLCD駆動用電源の生成方法として、内部抵抗分割方式、外部抵抗分割方式の2種類を選択できます。

18. 10. 1 内部抵抗分割方式

78K0/Lx3-Mマイクロコントローラは、LCD駆動用電源を作るための分割抵抗を内蔵しています。内部分割抵抗を使用することにより、外付け分割抵抗なしで表18 - 10に示す各バイアス法に応じたLCD駆動電圧を作ることができます。

表18 - 10 LCD駆動電圧（内部抵抗分割方式）

バイアス法 LCD駆動用電源端子	バイアスなし (スタティック)	1/2バイアス法	1/3バイアス法
V_{LC0}	V_{LCD}	V_{LCD}	V_{LCD}
V_{LC1}	$\frac{2}{3} V_{LCD}$	$\frac{1}{2} V_{LCD}$ 注	$\frac{2}{3} V_{LCD}$
V_{LC2}	$\frac{1}{3} V_{LCD}$		$\frac{1}{3} V_{LCD}$

注 1/2バイアス法のと看には、 V_{LC1} 端子と V_{LC2} 端子を外部で接続する必要があります。

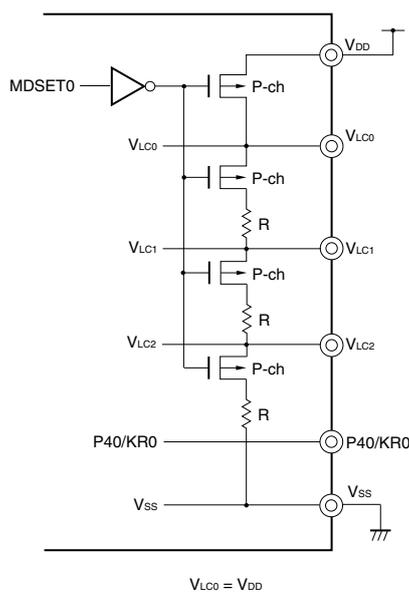
表18 - 10に従った内部からのLCD駆動電圧の供給例を図18 - 36に示します。

図18 - 36 LCD駆動用電源の接続例（内部抵抗分割方式）

(a) 1/3バイアス法およびスタティック表示モード

(MDSET1, MDSET0 = 0, 1)

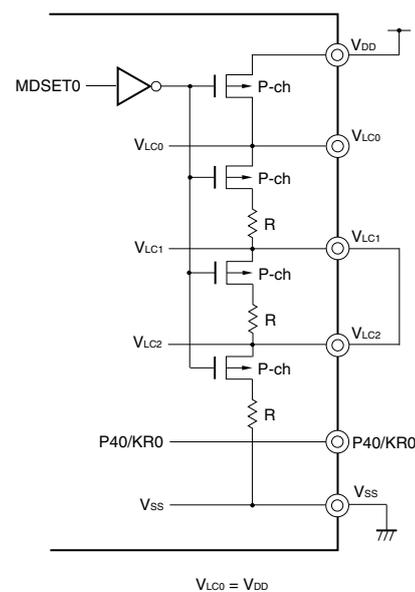
($V_{DD} = 3V$, $V_{LC0} = 3V$ の例)



(b) 1/2バイアス法

(MDSET1, MDSET0 = 0, 1)

($V_{DD} = 3V$, $V_{LC0} = 3V$ の例)



備考 スタティック表示モードを使用する場合は、分割抵抗で発生する消費電力を低減させるため、外部抵抗分割方式を推奨します。

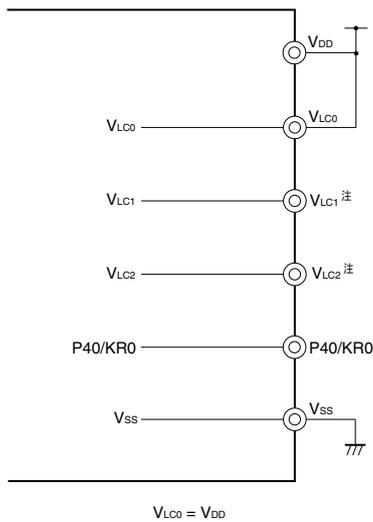
18. 10. 2 外部抵抗分割方式

78K0/Lx3-Mマイクロコントローラは、LCD駆動用電源を作るための分割抵抗として、内部抵抗を使用せずに、外付け抵抗を使用することもできます。図18 - 37に各バイアス法に応じたLCD駆動電圧の接続例を示します。

図18 - 37 LCD駆動用電源の接続例（外部抵抗分割方式）

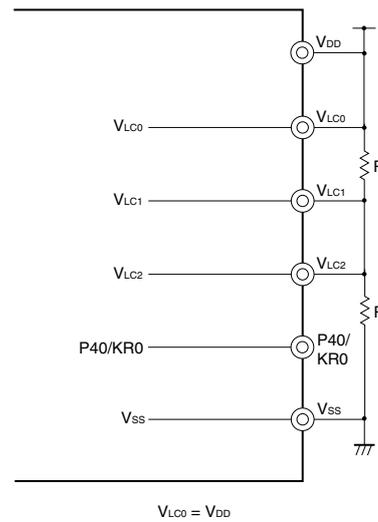
(a) スタティック表示モード

(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 3 V, V_{LC0} = 3 Vの例)

(b) 1/2バイアス法

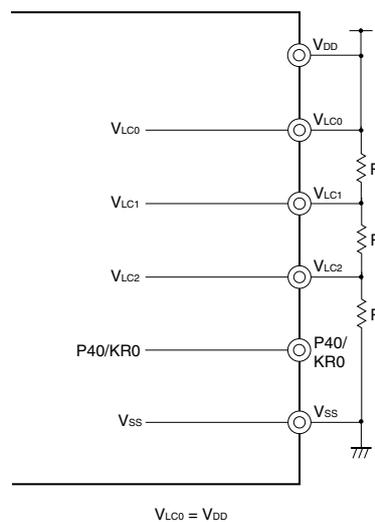
(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 3 V, V_{LC0} = 3 Vの例)

注 VLC1, VLC2は、GNDもしくはV_{LC0}に直接接続してください。

(c) 1/3バイアス法

(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 3 V, V_{LC0} = 3 Vの例)

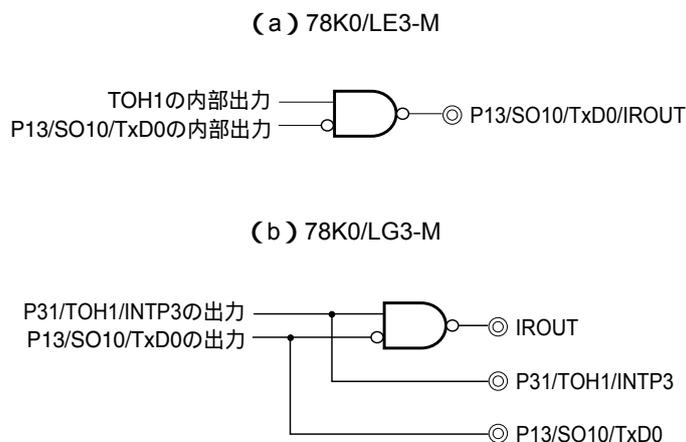
第19章 リモコン送信回路

19.1 リモコン送信回路の機能

リモコン送信回路は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。

リモコン送信回路では、タイマH1の出力とUART0の出力により、リモコン送信信号を生成しています。

図19 - 1 リモコン送信回路のブロック図



注意1. 78K0/LG3-Mでは、P31/TOH1/INTP3端子またはP13/SO10/TxD0端子と、IROUT端子を同時に使用できません。

2. P31/TOH1/INTP3, P13/SO10/TxD0, IROUT端子使用時の設定を、表19 - 1に示します。

表19 - 1 P31/TOH1/INTP3, P13/SO10/TxD0, IROUT端子の設定

(a) 78K0/LE3-M

P13/SO10/TxD0/IROUT端子	
IROUT使用時	P13/SO10/TxD0使用時
PM31に0を設定してください。 PM13に0を設定してください。	PM31に0を、P31に1を設定してください。 PM13に0を設定してください。

(b) 78K0/LG3-M

P31/TOH1/INTP3, P13/SO10/TxD0端子		IROUT端子使用時
入力時	出力時	
PM13, PM31に1を設定してください。 必ずプルアップしてください。	PM13, PM31に0を設定してください。	PM13, PM31に0を設定してください。

第20章 割り込み機能

		78K0/LE3-M	78K0/LG3-M
マスカブル 割り込み	外部	4	5
	内部	17	

20.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表20 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

20.2 割り込み要因と構成

割り込み要因には、マスカブル割り込みとソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります (表20 - 1参照)。

表20 - 1 割り込み要因一覧

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	78K0/LE3-M	78K0/LG3-M
				名称	トリガ			
マスク ブル	内部	(A)	0	INTLVI	低電圧検出 ^{注3}	0004H		
	外部	(B)	1	INTP0	端子入力エッジ検出	0006H		
	内部	(A)	2	INTP1	拡張SFRからの割り込み要求	0008H		
	外部	(B)	3	INTP2	端子入力エッジ検出	000AH		
			4	INTP3		000CH	-	
			5	INTP5		0010H		
	内部	(A)	6	INTSRE6	UART6の受信エラー発生	0012H		
			7	INTSR6	UART6の受信完了	0014H		
			8	INTST6	UART6の送信完了	0016H		
			9	INTCSI10 /INTST0	CSI10の通信完了/UART0の送信完了	0018H		
			10	INTTMH1	TMH1とCMP01の一致(コンペア・レジスタ指定時)	001AH		
			11	INTTMH0	TMH0とCMP00の一致(コンペア・レジスタ指定時)	001CH		
			12	INTTM50	TM50とCR50の一致(コンペア・レジスタ指定時)	001EH		
			13	INTTM000	TM00とCR000の一致(コンペア・レジスタ指定時)	0020H		
			14	INTTM010	TM00とCR010の一致(コンペア・レジスタ指定時), TI000端子の有効エッジ検出(キャプチャ・レジスタ指定時)	0022H		
			15	INTAD	10ビット逐次比較型A/D変換終了	0024H		
			16	INTSR0	UART0受信完了または受信エラー発生	0026H		
	外部	(C)	18	INTKR	キー割り込み検出	002CH		
	内部	(A)	19	INTTM52	TM52とCR52の一致(コンペア・レジスタ指定時)	0032H		
			20	INTTMH2	TMH2とCRH2の一致(コンペア・レジスタ指定時)	0034H		
			21	INTACSI	拡張SFRインタフェースからの割り込み要求	003CH		
ソフト ウェア	-	(D)	-	BRK	BRK命令の実行	003EH		
リセッ ト	-	-	-	RESET	リセット入力	0000H		
				POC	パワーオン・クリア			
				LVI	低電圧検出 ^{注5}			
				WDT	WDTのオーバフロー			

注1. 基本構成タイプの(A)-(D)は、それぞれ図20-1の(A)-(D)に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、21が最低順位です。
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。
4. 8ビット・タイマ/イベント・カウンタ51と8ビット・タイマH1をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図8-15 転送タイミングを参照)。
5. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 1選択時。

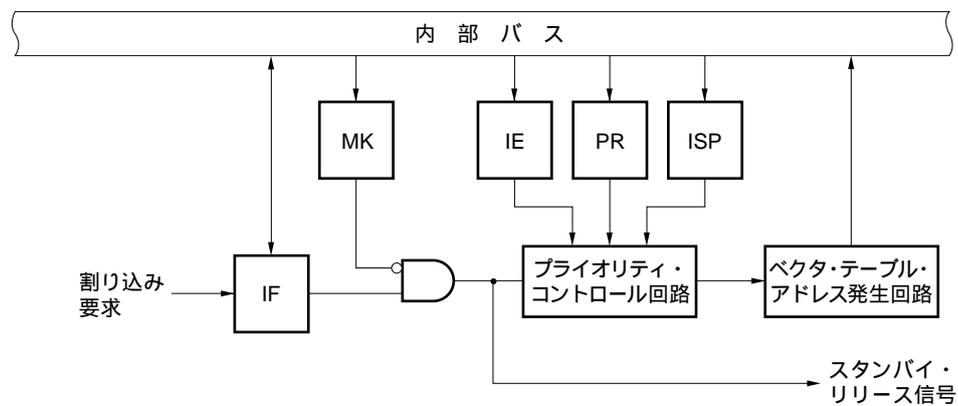
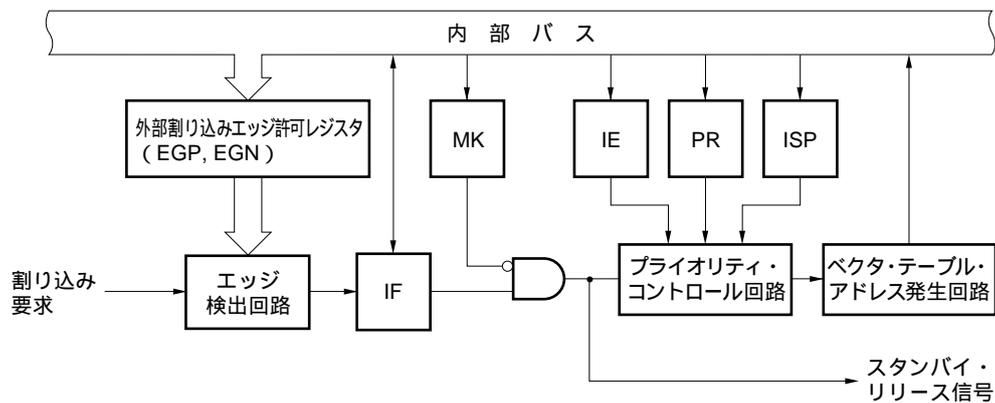
拡張SFRで制御される回路(リアルタイム・カウンタ, 型A/Dコンバータ, 電力演算回路, 電力品質測定回路, デジタル周波数変換回路)からの割り込みがどれか一つでも発生すると, INTP1割り込みとして割り込みコントローラへ入力されます。割り込みハンドラ内で割り込み要因を確認し, 適切な処理を行ってください。

表20 - 2 拡張SFRの割り込み要因一覧

割り込みの種類	内部 / 外部	割り込み要因		回路
		名称	トリガ	
マスカブル	内部 (拡張SFR)	INTRTC0	RTCアラームと定周期割り込み	リアルタイム・カウンタ
		INTRTC2	RTCインターバル割り込み	リアルタイム・カウンタ
		INTAD2	ADC変換終了割り込み	型A/Dコンバータ
		INTFAULTSIGN	フォールト検出割り込み	電力品質測定回路
		INTREASIGN	無効電力符号変化割り込み	電力演算回路
		INTACTSIGN	有効電力符号変化割り込み	電力演算回路
		INTAPPNOLD	皮相電力ゼロロード割り込み	電力演算回路
		INTREANOLD	無効電力ゼロロード割り込み	電力演算回路
		INTACTNOLD	有効電力ゼロロード割り込み	電力演算回路
		INTCF	CF出力割り込み	デジタル周波数変換回路
		INTAPPEOF	APPHRレジスタ・オーバフロー割り込み	電力演算回路
		INTREAEOF	REahrレジスタ・オーバフロー割り込み	電力演算回路
		INTACTEOF	ACTHRレジスタ・オーバフロー割り込み	電力演算回路
		INTAPPEHF	APPHRレジスタ・ハーフフル割り込み	電力演算回路
		INTREAEHF	REahrレジスタ・ハーフフル割り込み	電力演算回路
		INTACTEHF	ACTHRレジスタ・ハーフフル割り込み	電力演算回路
		INTWF5M	WAVEフォーム・レジスタ更新割り込み	電力演算回路
		INTPK1	電流チャンネルのピーク検出割り込み	電力品質測定回路
		INTPKV1	電圧チャンネルのピーク検出割り込み	電力品質測定回路
		INTCYGEND	同期読み出し割り込み (LINUXのアキュムレーション完了割り込み)	電力演算回路
		INTZXT01	ゼロクロス・タイムアウト割り込み(電圧チャンネル1)	電力品質測定回路
		INTZXT02	ゼロクロス・タイムアウト割り込み(電圧チャンネル2)	電力品質測定回路
		INTZX1	ゼロクロス検出割り込み(電圧チャンネル1)	電力品質測定回路
		INTZX2	ゼロクロス検出割り込み(電圧チャンネル2)	電力品質測定回路
		INTSAG1	SAG検出割り込み(電圧チャンネル1)	電力品質測定回路
		INTSAG2	SAG検出割り込み(電圧チャンネル2)	電力品質測定回路
		INTRQFLG	拡張SFR空間からの割り込み	-

図20 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスク割り込み

(B) 外部マスク割り込み (INTP_n)

備考 n = 0-2, 5 : 78K0/LE3-M

n = 0-3, 5 : 78K0/LG3-M

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

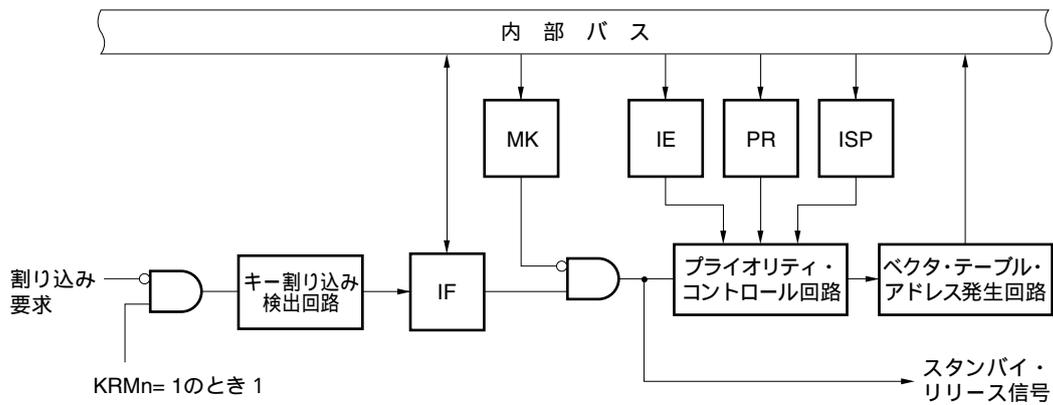
ISP : インサービス・プライオリティ・フラグ

MK : 割り込みマスク・フラグ

PR : 優先順位指定フラグ

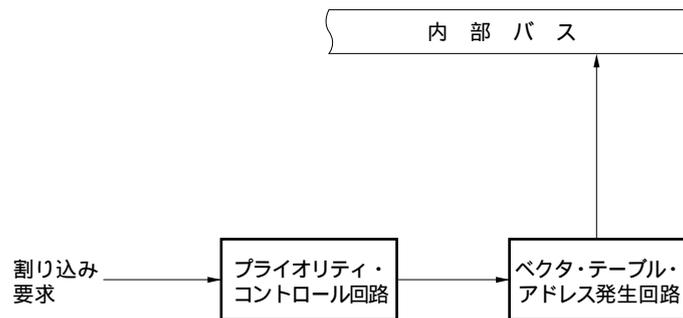
図20 - 1 割り込み機能の基本構成 (2/2)

(C) 外部マスカブル割り込み (INTKR)



備考 n = 0, 1 : 78K0/LE3-M
 n = 0-5 : 78K0/LG3-M

(D) ソフトウェア割り込み



IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサースビス・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ
 KRM : キー・リターン・モード・レジスタ

20.3 割り込み機能を制御するレジスタ

割り込み機能は、次の8種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・拡張SFR割り込み要求フラグ・レジスタ (IF20, IF21, IF22, IF23)
- ・拡張SFR割り込みマスク・フラグ・レジスタ (MK20, MK21, MK22, MK23)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表20-3に示します。

表20-3 割り込み要求ソースに対応する各種フラグ

78K0/ LE3-M	78K0/ LG3-M	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
				レジスタ		レジスタ		レジスタ
		INTLVI	LVIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
		INTP0	PIF0		PMK0		PPR0	
		INTP1	PIF1		PMK1		PPR1	
		INTP2	PIF2		PMK2		PPR2	
-		INTP3	PIF3		PMK3		PPR3	
		INTP5	PIF5		PMK5		PPR5	
		INTSRE6	SREIF6		SREMK6		SREPR6	
		INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
		INTST6	STIF6		STMK6		STPR6	
		INTCSI10	CSIIF10 ^{注1}		CSIMK10 ^{注2}		CSIPR10 ^{注3}	
		INTST0	STIF0 ^{注1}		STMK0 ^{注2}		STPR0 ^{注3}	
		INTTMH1	TMIFH1		TMMKH1		TMPRH1	
		INTTMH0	TMIFH0		TMMKH0		TMPRH0	
		INTTM50	TMIF50		TMMK50		TMPR50	
		INTTM000	TMIF000		TMMK000		TMPR000	
		INTTM010	TMIF010		TMMK010		TMPR010	
		INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
		INTSR0	SRIF0		SRMK0		SRPR0	
		INTTM51 ^{注4}	TMIF51		TMMK51		TMPR51	
		INTKR	KRIF		KRMK		KRPR	
		INTTM52	TMIF52		TMMK52		TMPR52	
		INTTMH2	TMHIF2	IF1H	TMHMK2	MK1H	TMHPR2	PR1H
		INTACSI	ACSIIF		ACSIMK		ACSIPR	

注1. 割り込み要因INTCSI10とINTST0のうち、どちらかが発生したら、IF0Hのビット2はセット(1)されます。

2. MK0Hのビット2は、割り込み要因INTCSI10とINTST0の両方に対応しています。

3. PR0Hのビット2は、割り込み要因INTCSI10とINTST0の両方に対応しています。

4. 8ビット・タイマ/イベント・カウンタ51と8ビット・タイマH1をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図8-15 転送タイミングを参照)。

表20 - 4 拡張SFR割り込み要求ソースに対応する各種フラグ

78K0/ LE3-M	78K0/ LG3-M	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ	
				レジスタ		レジスタ
		INTRTC0	RTC0IF	IF20	RTC0MK	MK20
		INTRTC2	RTC2IF		RTC2MK	
		INTAD2	ADIF2		ADMK2	
		INTFAULTSIGN	FAULTSIGNIF		FAULTSIGNMK	
		INTREASIGN	REASIGNIF		REASIGNMK	
		INTACTSIGN	ACTSIGNIF		ACTSIGNMK	
		INTAPPNOLD	APPNOLDIF		APPNOLDMK	
		INTREANOLD	REANOLDIF		REANOLDMK	
		INTACTNOLD	ACTNOLDIF	IF21	ACTNOLDMK	MK21
		INTCF	CFIF		CFMK	
		INTAPPEOF	APPEOFIF		APPEOFMK	
		INTREAEOF	REAEOFIF		REAEOFMK	
		INTACTEOF	ACTEOFIF		ACTEOFMK	
		INTAPPEHF	APPEHFIF		APPEHFMK	
		INTREAEHF	REAEHFIF		REAEHFMK	
		INTACTEHF	ACTEHFIF	IF22	ACTEHFMK	MK22
		INTWFSM	WFSMIF		WFSMMK	
		INTPKI1	PKI1IF		PKI1MK	
		INTPKV1	PKV1IF		PKV1MK	
		INTCYCEND	CYCENDIF		CYCENDMK	
		INTZXTO1	ZXTO1IF		ZXTO1MK	
		INTZXTO2	ZXTO2IF	IF23	ZXTO2MK	MK23
		INTZX1	ZX1IF		ZX1MK	
		INTZX2	ZX2IF		ZX2MK	
		INTSAG1	SAG1IF		SAG1MK	
		INTSAG2	SAG2IF		SAG2MK	
		INTRQFLG	-		-	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. タイマ,シリアル・インタフェース ,A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

図20 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	PIF5	0	PIF3 ^注	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIIF10 STIF0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	[7]	6	5	[4]	[3]	2	[1]	[0]
IF1L	TMIF52	0	0	KRIF	TMIF51	0	SRIF0	ADIF

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	[4]	3	2	1	[0]
IF1H	0	0	0	ACSIIF	0	0	0	TMHIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 78K0/LG3-Mのみ。

注意 IF0Lのビット5, IF1Lのビット2, 5, 6, IF1Hのビット1-3, 5-7には、必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図20 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット

アドレス：FFE4H リセット時：FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	PMK5	1	PMK3 [※]	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10 STMK0	STMK6	SRMK6

アドレス：FFE6H リセット時：FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK52	1	1	KRMK	TMMK51	1	SRMK0	ADMK

アドレス：FFE7H リセット時：FFH R/W

略号	7	6	5	[4]	3	2	1	[0]
MK1H	1	1	1	ACSIMK	1	1	1	TMHMK2

XXMKX	割り込み処理の制御						
0	割り込み処理許可						
1	割り込み処理禁止						

注 78K0/LG3-Mのみ。

注意 MK0Lのビット5, MK1Lのビット2, 5, 6, MK1Hのビット1-3, 5-7には、必ず1を設定してください。

(3) 拡張SFR割り込み要求フラグ・レジスタ (IF20, IF21, IF22, IF23)

拡張SFR割り込み要求フラグは、対応する割り込み要求の発生によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、割り込み要求フラグは自動的にクリアされません。

IF20, IF21, IF22, IF23は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

注意 拡張SFR割り込みマスク・フラグをクリアする前に、拡張SFR割り込み要求フラグをクリアする場合は、拡張SFR割り込み要求フラグを2回クリアしてください。

図20 - 4 拡張SFR割り込み要求フラグ・レジスタ (IF20, IF21, IF22, IF23) のフォーマット

アドレス : 80H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF20	REANOLDIF	APPNOLDIF	ACTSIGNIF	REASIGNIF	FAULTSIGNIF	ADIF2	RTC2IF	RTC0IF

アドレス : 81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF21	REAEHFIF	APPEHFIF	ACTEOFIF	REAEFIF	APPEFIF	0	CFIF	ACTNOLDIF

アドレス : 82H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF22	ZXTO1IF	CYCENDIF	0	PKV1IF	0	PKI1IF	WFSMIF	ACTEHFIF

アドレス : 83H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF23	0	0	0	SAG2IF	SAG1IF	ZX2IF	ZX1IF	ZXTO2IF

XXIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

(4) 拡張SFR割り込みマスク・フラグ・レジスタ (MK20, MK21, MK22, MK23)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK20, MK21, MK22, MK23は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、FFHになります。

図20 - 5 拡張SFR割り込みマスク・フラグ・レジスタ (MK20, MK21, MK22, MK23) のフォーマット

アドレス : 84H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK20	REANOLDMK	APPNOLDMK	ACTSIGNMK	REASIGNMK	FAULTSIGNMK	ADMK2	RTC2MK	RTC0MK

アドレス : 85H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK21	REAEHFMK	APPEHFMK	ACTEOFMK	REAEFMK	APPEFMK	1	CFMK	ACTNOLDMK

アドレス : 86H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK22	ZXTO1MK	CYCENDMK	1	PKV1MK	1	PKI1MK	WFSMMK	ACTEHFMK

アドレス : 87H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK23	1	1	1	SAG2MK	SAG1MK	ZX2MK	ZX1MK	ZXTO2MK

XXMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

(5) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図20 - 6 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	PPR5	1	PPR3 ^注	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10 STPR0	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	2	[1]	[0]
PR1L	TMPR52	1	1	KRPR	TMPR51	1	SRPR0	ADPR

アドレス : FFEBH リセット時 : FFH R/W

略号	7	6	5	[4]	3	2	1	[0]
PR1H	1	1	1	ACSIPR	1	1	1	TMHPR2

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 78K0/LG3-Mのみ。

注意 PR0Lのビット5, PR1Lのビット2, 5, 6, PR1Hのビット1-3, 5-7には、必ず1を設定してください。

(6)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP3, INTP5の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 7 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	0	EGP3 ^注	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	0	EGN3 ^注	EGN2	EGN1	EGN0

(a) EGPn, EGNn (n = 0, 2, 3, 5)

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0, 2, 3, 5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

(b) EGP1, EGN1

EGP1	EGN1	INTP1信号の有効エッジの選択
0	0	エッジ検出禁止
0	1	設定禁止
1	0	立ち上がりエッジ
1	1	設定禁止

注 78K0/LG3-Mのみ。

EGPnとEGNnに対応するポートを表20 - 5に示します。

表20 - 5 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120/EXLVI	INTP0
EGP1	EGN1	-	INTP1
EGP2	EGN2	P33/TI000/BUZ	INTP2
EGP3 ^注	EGN3 ^注	P31 ^注 /TOH1 ^注	INTP3 ^注
EGP5	EGN5	P30	INTP5

注 78K0/LG3-Mのみ。

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-2, 5 : 78K0/LE3-M

n = 0-3, 5 : 78K0/LG3-M

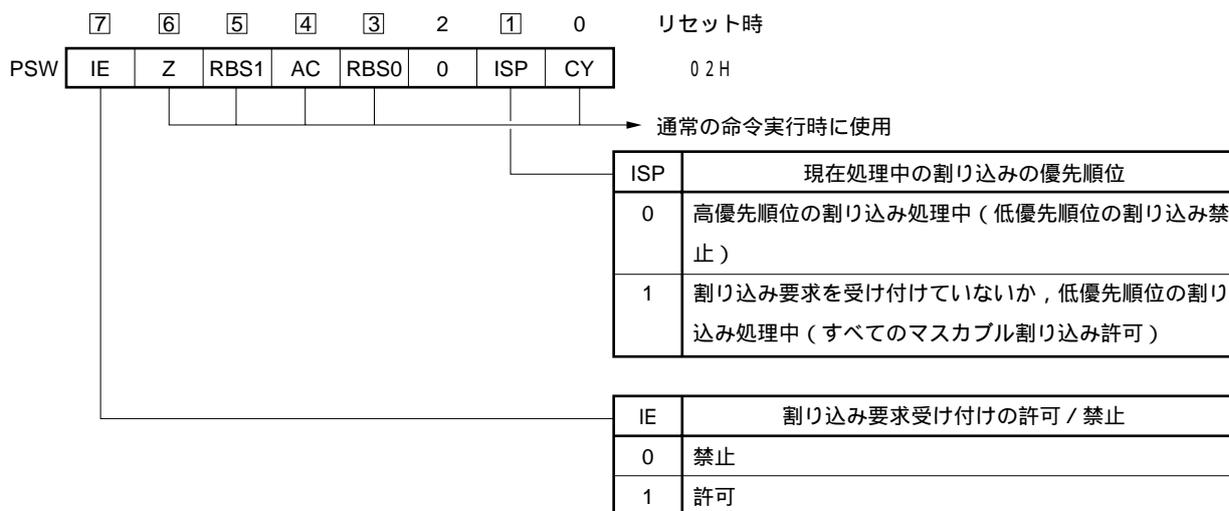
(7) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図20 - 8 プログラム・ステータス・ワードの構成



20.4 割り込み処理動作

20.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表20-6のようになります。

割り込み要求の受け付けタイミングについては、、を参照してください。

表20-6 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

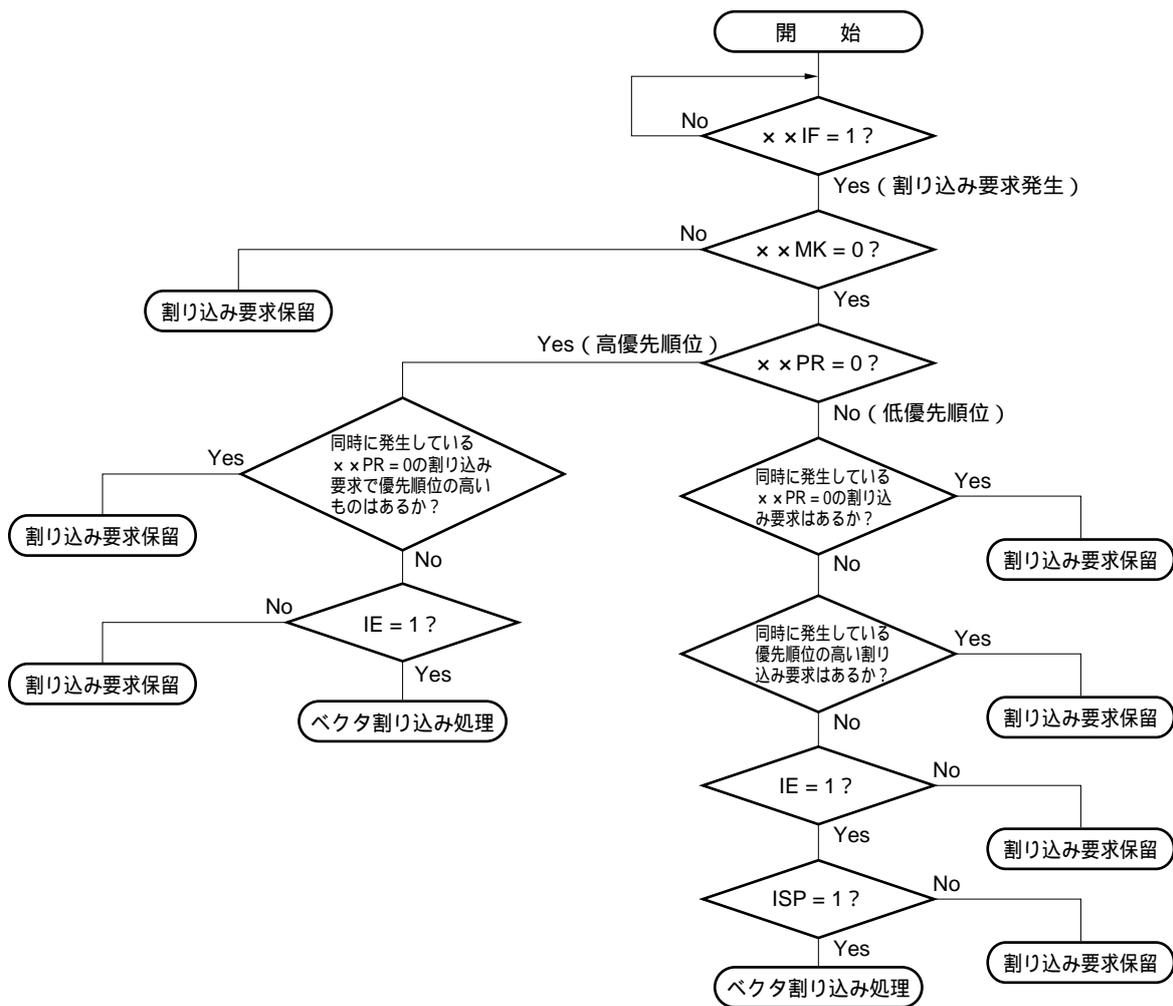
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図20-9に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図20 - 9 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

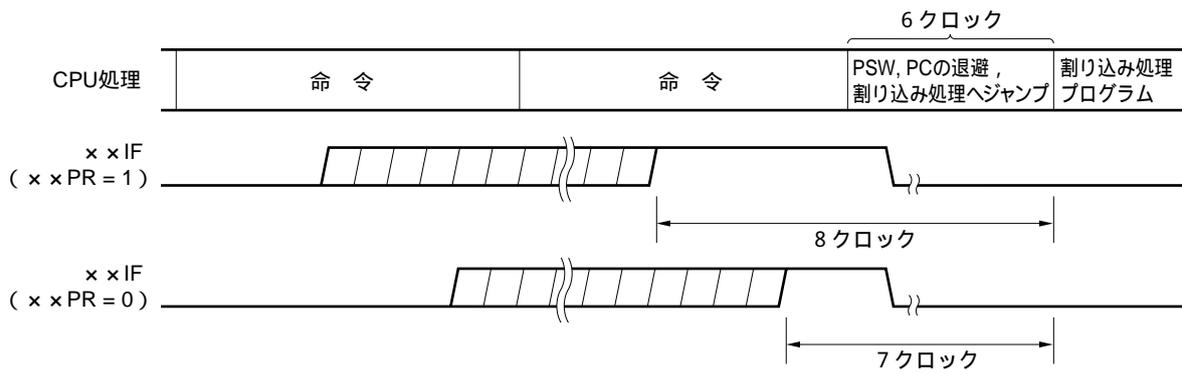
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

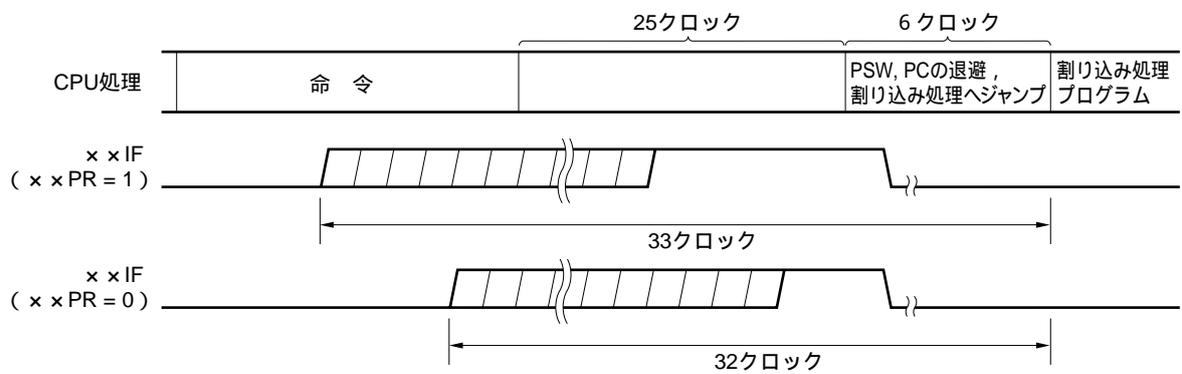
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図20 - 10 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図20 - 11 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

20.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

20.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表20 - 7に多重割り込み可能な割り込み要求の関係を、図20 - 12に多重割り込みの例を示します。

表20 - 7 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		×	×	×	
	ISP = 1		×		×	
ソフトウェア割り込み			×		×	

備考1. : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

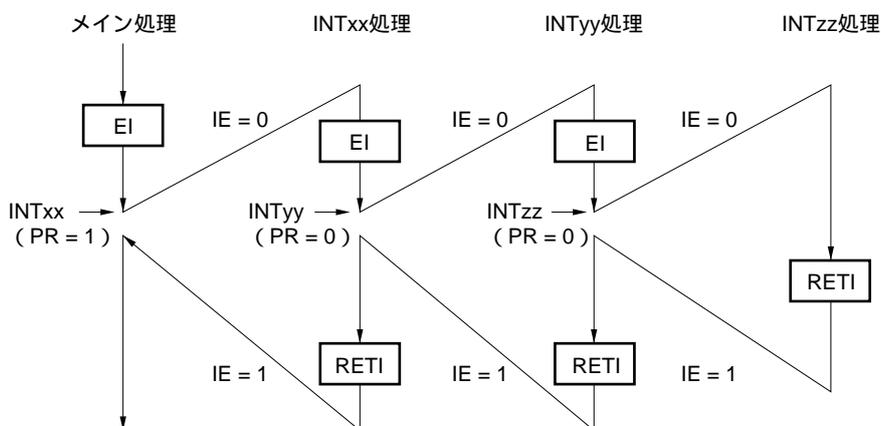
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

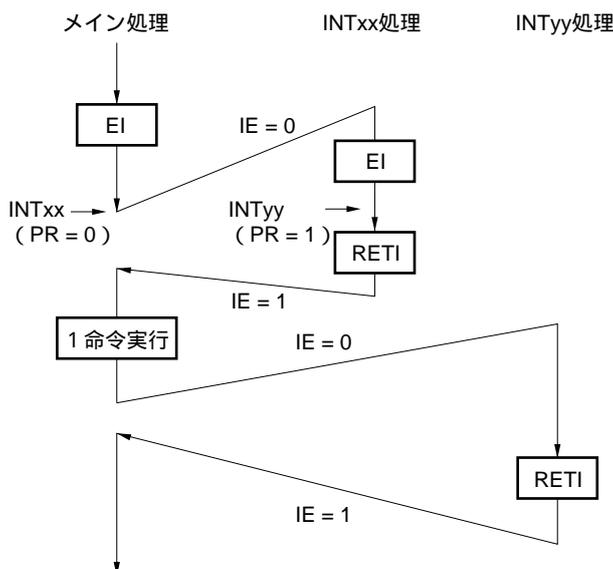
図20 - 12 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

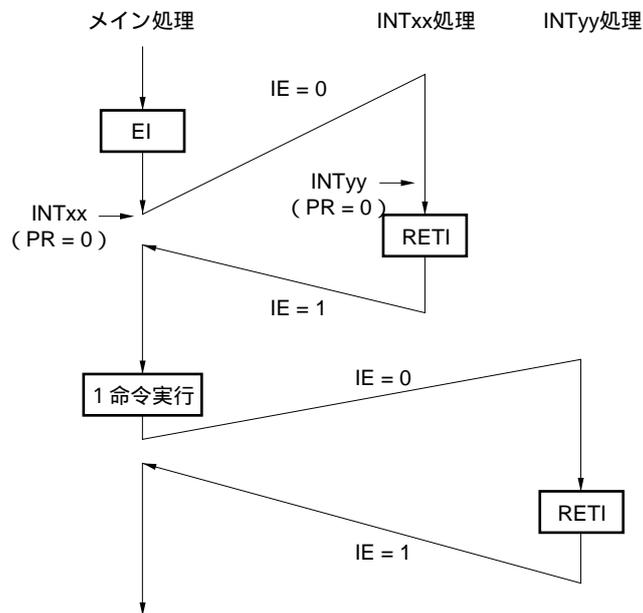
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図20 - 12 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

20.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図20-13に示します。

図20 - 13 割り込み要求の保留



- 備考**
1. 命令N：割り込み要求の保留命令
 2. 命令M：割り込み要求の保留命令以外の命令
 3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第21章 キー割り込み機能

	78K0/LE3-M	78K0/LG3-M
キー割り込み	2 ch	6 ch

21.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KRn) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表21 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRMn	KRn信号を1ビット単位で制御

備考 n = 0, 1 : 78K0/LE3-M
n = 0-5 : 78K0/LG3-M

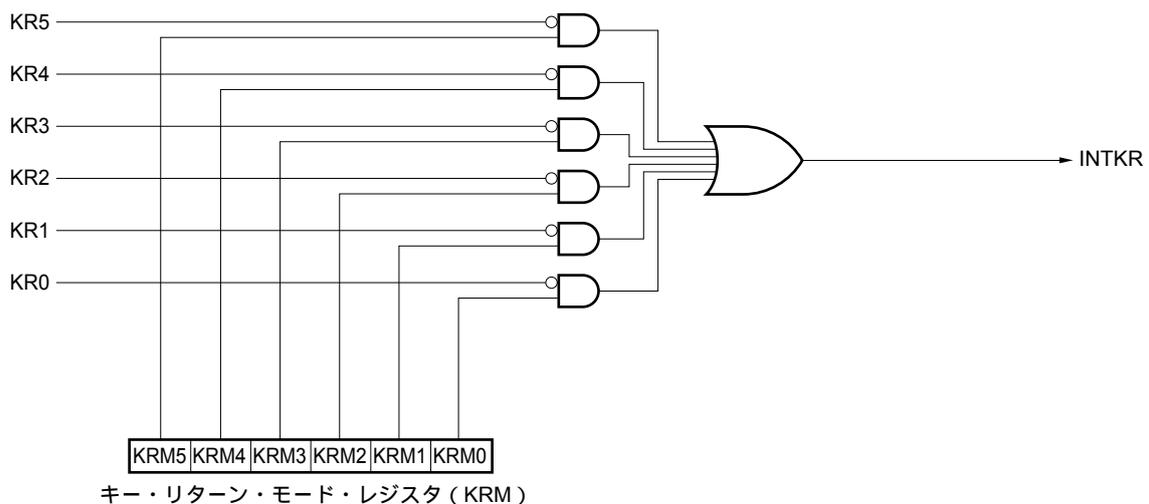
21.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表21-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)

図21-1 キー割り込みのブロック図



備考 KR0, KR1 : 78K0/LE3-M
 KR0-KR5 : 78K0/LG3-M

21.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

キー割り込み入力端子 (KRn) の立ち下がりエッジ発生時に、キー割り込み (INTKR) を検出する/しないを設定するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 1 : 78K0/LE3-M
 n = 0-5 : 78K0/LG3-M

図21 - 2 キー・リターン・モード・レジスタ (KRM) のフォーマット

(a) 78K0/LE3-M

アドレス : FF6EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	0	0	KRM1	KRM0

(b) 78K0/LG3-M

アドレス : FF6EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. キー割り込み機能を使用する場合, KRMnビットに1を設定するときは, 対応するプルアップ抵抗レジスタ (PUx) のビットに1を設定してください。
2. KRMを変更すると, 割り込み要求フラグがセットされる場合があります。したがって, あらかじめ割り込みを禁止してからKRMレジスタを変更し, 割り込み要求フラグをクリアしてから, 割り込みを許可してください。
3. キー割り込み信号を検出しない (KRMn = 0) とした場合は, 対応するPxx端子を通常ポートとして使用可能です。
4. セグメント・キー・スキャン機能使用時 (KSON = 1), KRn端子をセグメント・キー・スキャン入力端子として使用する場合はKRMn = 1, KRn端子をセグメント・キー・スキャン入力端子として使用しない場合はKRMn = 0を設定してください (図18 - 8参照)。

備考 n = 0, 1 : 78K0/LE3-M
n = 0-5 : 78K0/LG3-M

第22章 電力演算回路

22.1 電力演算回路の機能

A/DコンバータやA/Dコンバータのデジタル・フィルタ,その他機能(ゼロクロス,ピリオド/周波数測定,SAG検出,ピーク検出など)と連携して電力および電力量(エネルギー)の測定を行います。測定機能は,有効電力と有効電力量の計算,無効電力と無効電力量の計算,皮相電力と皮相電力量の計算,電流/電圧RMS計算です。

電力演算回路は,単相2線および単相3線モードの両方に対応しています。

電力演算回路は,次の機能を搭載しています。

- ・インテグレータ (di/dt電流センサ (Rogowskiコイル) 対応)
- ・90°フェーズ・シフト (無効電力演算用)
- ・電流,電圧RMS演算
- ・有効電力,有効エネルギー演算
- ・無効電力,無効エネルギー演算
- ・皮相電力,皮相エネルギー演算
- ・アンペア時演算
- ・波形サンプリング機能

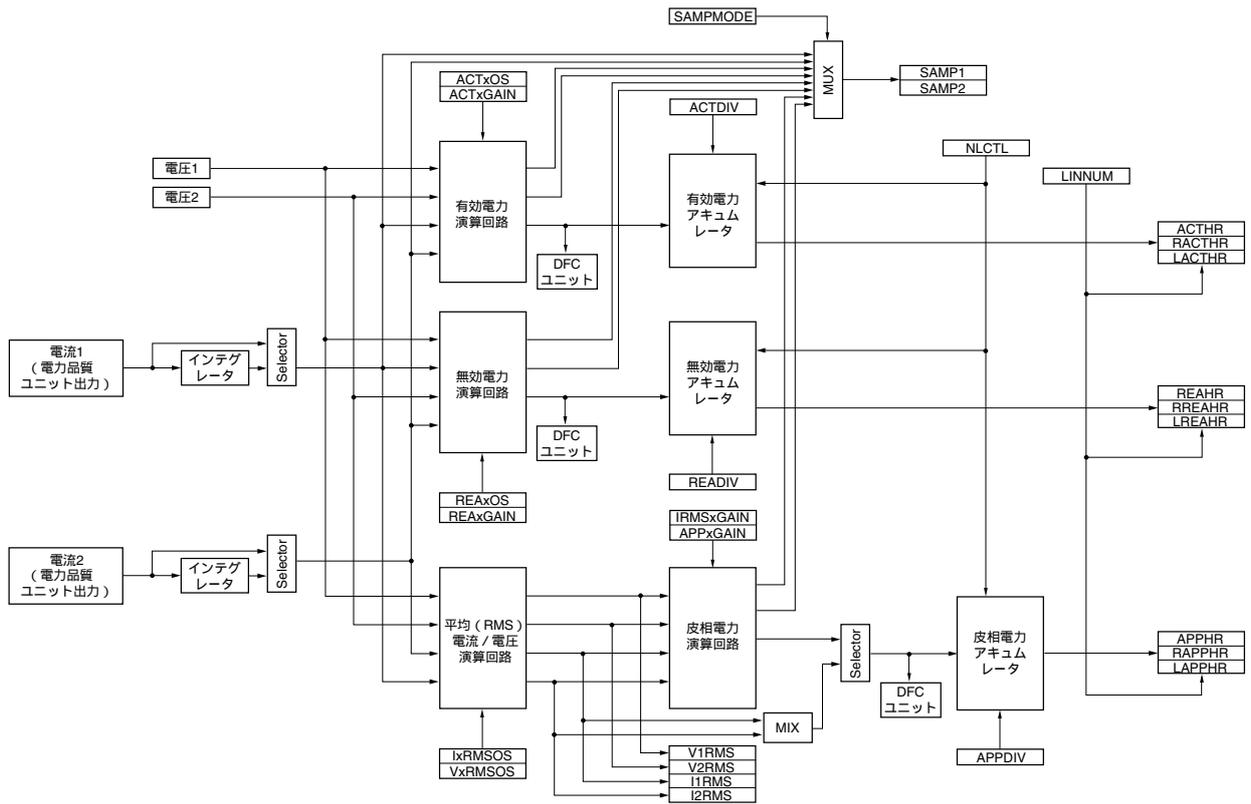
22.2 電力演算回路の構成

電力演算回路は、次のハードウェアで構成しています。

表22 - 1 電力演算回路のハードウェア

項目	構成
制御回路	電流インテグレータ回路 90°フェーズ・シフト回路 電流，電圧RMS演算回路 有効電力，有効エネルギー演算回路 無効電力，無効エネルギー演算回路 皮相電力，皮相エネルギー演算回路 アンペア時演算回路 波形サンプリング回路
レジスタ	電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS) 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS) 有効電力アキュムレーション・リード・レジスタ (ACTHR) 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR) 有効電力アキュムレーション同期リード・レジスタ (LACTHR) 無効電力アキュムレーション・リード・レジスタ (REahr) 無効電力アキュムレーション・リセット・リード・レジスタ (RREahr) 無効電力アキュムレーション同期リード・レジスタ (LREahr) 皮相電力アキュムレーション・リード・レジスタ (APPHR) 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR) 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR) サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)
制御レジスタ	電力演算モード制御レジスタ1 (PWCTL1) 電力演算モード制御レジスタ2 (PWCTL2) ゼロロード・レベル制御レジスタ (NLCTL) 有効電力スケール設定レジスタ (ACTDIV) 無効電力スケール設定レジスタ (READIV) 皮相電力スケール設定レジスタ (APPDIV) ライン・サイクル数設定レジスタ (LINNUM) 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN) 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN) 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN) 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN) 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS) 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS) 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS) 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS) サンプリング・モード選択レジスタ (SAMPMODE)

図22 - 1 電力演算回路のブロック図



(1) 電流インテグレータ回路

電流センサとしてdi/dtセンサ（Rogowskiコイルなど）を接続する場合，電流値を積算するための回路です。

(2) 90° フェーズ・シフト回路

無効電力を計算するため，電圧チャンネルの位相を90°シフトする回路です。

(3) 電流，電圧RMS演算回路

平均（RMS）電流，平均（RMS）電圧を計算する回路です。

(4) 有効電力，有効エネルギー演算回路

有効電力，有効エネルギーを計算するための回路です。

(5) 無効電力，無効エネルギー演算回路

無効電力，無効エネルギーを計算するための回路です。

(6) 皮相電力，皮相エネルギー演算回路

皮相電力，皮相エネルギーを計算するための回路です。この回路はアンペア時演算回路を共有するため，どちらかを選択して使用してください。

(7) アンペア時演算回路

アンペア時を計算するための回路です。この回路は皮相電力 / エネルギー演算回路を共有するため，どちらかを選択して使用してください。

(8) 波形サンプリング回路

A/Dコンバータ・サンプリングごとの演算結果（電流値，電圧値，有効電力，無効電力，皮相電力）を読み出すための回路です。電流値，電圧値，有効電力，無効電力，皮相電力のうち，2種類をSAMMODEレジスタで選択し，読み出すことができます。詳細については，22.4.8 **波形サンプリング機能**を参照してください。

22.3 電力演算回路で使用するレジスタ

電力演算回路では、次のレジスタを使用します。

これらのレジスタは、すべて拡張SFR空間に配置されています。

拡張SFR空間へのアクセス方法は、[第17章 拡張SFRインタフェース](#)を参照してください。

- ・電力演算モード制御レジスタ1 (PWCTL1)
- ・電力演算モード制御レジスタ2 (PWCTL2)
- ・ゼロロード・レベル制御レジスタ (NLCTL)
- ・有効電力スケールリング設定レジスタ (ACTDIV)
- ・無効電力スケールリング設定レジスタ (READIV)
- ・皮相電力スケールリング設定レジスタ (APPDIV)
- ・電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS)
- ・電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS)
- ・有効電力アキュムレーション・リード・レジスタ (ACTHR)
- ・有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR)
- ・有効電力アキュムレーション同期リード・レジスタ (LACTHR)
- ・無効電力アキュムレーション・リード・レジスタ (REahr)
- ・無効電力アキュムレーション・リセット・リード・レジスタ (RREahr)
- ・無効電力アキュムレーション同期リード・レジスタ (LREahr)
- ・皮相電力アキュムレーション・リード・レジスタ (APPHR)
- ・皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR)
- ・皮相電力アキュムレーション同期リード・レジスタ (LAPPHR)
- ・ライン・サイクル数設定レジスタ (LINNUM)
- ・有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN)
- ・無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN)
- ・皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN)
- ・電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN)
- ・有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS)
- ・無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS)
- ・電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)
- ・電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)
- ・サンプリング・モード選択レジスタ (SAMPMODE)
- ・サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)

(1) 電力演算モード制御レジスタ1 (PWCTL1)

電力演算，電力品質測定，デジタル周波数変換の制御を行うレジスタです。

PWCTL1は，拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図22 - 2 電力演算モード制御レジスタ1 (PWCTL1) のフォーマット (1/2)

アドレス：180H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL1	PWREN	READIS	APPDIS	CYCDIS	SAMPEN	APPRMS CFCON	INTE2	INTE1

PWREN ^{注1}	電力演算，電力品質測定，デジタル周波数変換の動作制御
0	電力演算回路の動作禁止
1	電力演算回路の動作許可

READIS	無効電力測定の制御
0	無効電力測定の許可
1	無効電力測定の禁止

APPDIS	皮相電力測定の制御
0	皮相電力測定の許可
1	皮相電力測定の禁止

CYCDIS	同期読み出し割り込み (CYCEND) 検出の制御
0	同期読み出し割り込み (CYCEND) 検出許可
1	同期読み出し割り込み (CYCEND) 検出禁止 ^{注2}

注1. ADM2レジスタのADCE2ビットとPWCTL1レジスタのPWRENビットの設定により，次のように制御されます。

ADCE2	PWREN	型A/Dコンバータ (アナログ部，デジタル部)	電力演算，電力品質測定， デジタル周波数変換
0	0	動作不可	動作不可
0	1	動作不可	動作不可
1	0	動作可能	動作不可
1	1	動作可能	動作可能

2. CYCDIS = 1の場合，ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても，CYCEND割り込みは発生しません。また，LINNUMレジスタが書き込まれても，アキュムレーション・レジスタはクリアされません。

図22 - 2 電力演算モード制御レジスタ1 (PWCTL1) のフォーマット (2/2)

アドレス : 180H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL1	PWREN	READIS	APPDIS	CYCDIS	SAMPEN	APPRMS CFCON	INTE2	INTE1
SAMPEN	波形サンプル・モードの制御							
0	波形サンプル・モード禁止							
1	波形サンプル・モード許可							
APPRMS CFCON	皮相電力アキュムレーション・レジスタおよびCFパルス出力の 皮相電力 / 平均 (RMS) 電流I _{rms} の選択							
0	皮相電力アキュムレーション・レジスタは、皮相電力を累積します。 CFCTLレジスタのCFSEL1ビット = 1のとき、皮相電力をCFパルス出力します。 CHMD = 0 (2線方式) : 皮相電力1をCFパルス出力 CHMD = 1 (3線方式) : 皮相電力1 + 皮相電力2をCFパルス出力							
1	皮相電力アキュムレーション・レジスタは、平均 (RMS) 電流I _{rms} を累積します。 CFCTLレジスタのCFSEL1ビット = 1のとき、I _{rms} をCFパルス出力します。 CHMD = 0 (2線方式) : I _{1rms} をCFパルス出力 CHMD = 1 (3線方式) : I _{1rms} + I _{2rms} をCFパルス出力							
INTE2	インテグレータ2 (電流チャネル2用) の制御							
0	インテグレータ2の動作禁止							
1	インテグレータ2の動作許可							
INTE1	インテグレータ1 (電流チャネル1用) の制御							
0	インテグレータ1の動作禁止							
1	インテグレータ1の動作許可							

(2) 電力演算モード制御レジスタ2 (PWCTL2)

電力演算，電力品質測定，デジタル周波数変換の制御を行うレジスタです。

PWCTL2は，拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図22 - 3 電力演算モード制御レジスタ2 (PWCTL2) のフォーマット (1/2)

アドレス：181H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL2	ACTDIS	0	REASIGN	ACTSIGN	ABSVARM	SAVARM	POAM	ABSAM
ACTDIS	有効電力測定の制御							
0	有効電力測定の許可							
1	有効電力測定の禁止							
REASIGN	無効電力符号変化割り込み (INTREASIGN) の発生トリガの設定							
0	無効電力が正から負に変わるときに割り込み発生							
1	無効電力が負から正に変わるときに割り込み発生							
ACTSIGN	有効電力符号変化割り込み (INTACTSIGN) の発生トリガの設定							
0	有効電力が正から負に変わるときに割り込み発生							
1	有効電力が負から正に変わるときに割り込み発生							
ABSVARM ^{注1}	無効電力の絶対値アキュムレーション・モードおよびパルス出力の制御							
0	無効電力の絶対値アキュムレーション・モードの禁止							
1	無効電力の絶対値アキュムレーション・モードの許可							
SAVARM ^{注1}	無効電力アキュムレーション・モードの設定							
0	有効電力の符号に依存しない							
1	有効電力の符号に依存する							

注意 ビット6には，必ず0を設定してください。

注1. SAVARMビットとABSVARMビットの設定により，無効電力信号の積算方法を選択することができます。

SAVARM	ABSVARM	無効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	アンチタンパ・アキュムレーション・モード ^{注2}
1	1	絶対値アキュムレーション・モード

2. 有効電力が正の場合 無効電力は無効電力量アキュムレータに加算されます。有効電力が負の場合，無効電力は無効電力量アキュムレータから減算されます。この設定は，無効電力レジスタとパルス出力の両方に影響します。

図22 - 3 電力演算モード制御レジスタ2 (PWCTL2) のフォーマット (2/2)

アドレス : 181H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL2	ACTDIS	0	REASIGN	ACTSIGN	ABSVARM	SAVARM	POAM	ABSAM

POAM ^注	有効電力の正値アキュムレーション・モードおよびパルス出力の制御
0	有効電力の正値アキュムレーション・モードの禁止
1	有効電力の正値アキュムレーション・モードの許可

ABSAM ^注	有効電力の絶対値アキュムレーション・モードおよびパルス出力の制御
0	有効電力の絶対値アキュムレーション・モードの禁止
1	有効電力の絶対値アキュムレーション・モードの許可

注意 ビット6には、必ず0を設定してください。

注 POAMビットとABSAMビットの設定により、有効電力量の積算方法を選択することができます。

POAM	ABSAM	有効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	正値アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

(3) ゼロロード・レベル制御レジスタ (NLCTL)

ゼロロード検出の設定を行うレジスタです。

NLCTLは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図22 - 4 ゼロロード・レベル制御レジスタ (NLCTL) のフォーマット

アドレス：182H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
NLCTL	DISREACMP	ZXRMS	APPNO LOAD1	APPNO LOAD0	REANO LOAD1	REANO LOAD0	ACTNO LOAD1	ACTNO LOAD0
DISREACMP	ライン周波数による無効電力ゲイン補償の設定							
0	ゲイン補償を有効にする							
1	ゲイン補償を無効にする							
ZXRMS	rms値格納時のライン周波数との同期設定							
0	ライン周波数に同期しない							
1	ライン周波数に同期する							
APPNOLOAD1	APPNOLOAD0	皮相電力 / IRMSのゼロロードしきい値の設定						
0	0	皮相電力 / IRMSのゼロロード検出は無効						
0	1	皮相電力 / IRMSのゼロロード検出は有効。しきい値 = フルスケールの0.03%						
1	0	皮相電力 / IRMSのゼロロード検出は有効。しきい値 = フルスケールの0.015%						
1	1	皮相電力 / IRMSのゼロロード検出は有効。しきい値 = フルスケールの0.0075%						
REANOLOAD1	REANOLOAD0	無効電力のゼロロードしきい値の設定						
0	0	無効電力のゼロロード検出は無効						
0	1	無効電力のゼロロード検出は有効。しきい値 = フルスケールの0.015%						
1	0	無効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0075%						
1	1	無効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0037%						
ACTNOLOAD1	ACTNOLOAD0	有効電力のゼロロードしきい値の設定						
0	0	有効電力のゼロロード検出は無効						
0	1	有効電力のゼロロード検出は有効。しきい値 = フルスケールの0.015%						
1	0	有効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0075%						
1	1	有効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0037%						

(4) 有効電力スケール設定レジスタ (ACTDIV)

有効電力のスケール設定を行うレジスタです。

ACTDIVは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図22 - 5 有効電力スケール設定レジスタ (ACTDIV) のフォーマット

アドレス：183H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACTDIV	ACTDIV7	ACTDIV6	ACTDIV5	ACTDIV4	ACTDIV3	ACTDIV2	ACTDIV1	ACTDIV0
	ACTDIV7-0		有効電力のスケール値の設定					
	00H-FFH		有効電力のスケール値					

(5) 無効電力スケール設定レジスタ (READIV)

無効電力のスケール設定を行うレジスタです。

READIVは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図22 - 6 無効電力スケール設定レジスタ (READIV) のフォーマット

アドレス：184H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
READIV	READIV7	READIV6	READIV5	READIV4	READIV3	READIV2	READIV1	READIV0
	READIV7-0		無効電力のスケール値の設定					
	00H-FFH		無効電力のスケール値					

(6) 皮相電力スケール設定レジスタ (APPDIV)

皮相電力のスケール設定を行うレジスタです。

APPDIVは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図22 - 7 皮相電力スケール設定レジスタ (APPDIV) のフォーマット

アドレス：185H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APPDIV	APPDIV7	APPDIV6	APPDIV5	APPDIV4	APPDIV3	APPDIV2	APPDIV1	APPDIV0
	APPDIV7-0		皮相電力のスケール値の設定					
	00H-FFH		皮相電力のスケール値					

(7) 電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS)

電圧チャンネル1, 2のRMS測定値を格納するレジスタです。

V1RMS, V2RMSは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 8 電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS) のフォーマット

(a) V1RMS

アドレス：186H リセット時：00H R

略号	7	6	5	4	3	2	1	0
V1RMSL	V1RMS7	V1RMS6	V1RMS5	V1RMS4	V1RMS3	V1RMS2	V1RMS1	V1RMS0

アドレス：187H リセット時：00H R

略号	7	6	5	4	3	2	1	0
V1RMSM	V1RMS15	V1RMS14	V1RMS13	V1RMS12	V1RMS11	V1RMS10	V1RMS9	V1RMS8

アドレス：188H リセット時：00H R

略号	7	6	5	4	3	2	1	0
V1RMSH	V1RMS23	V1RMS22	V1RMS21	V1RMS20	V1RMS19	V1RMS18	V1RMS17	V1RMS16

(b) V2RMS

アドレス：189H リセット時：00H R

略号	7	6	5	4	3	2	1	0
V2RMSL	V2RMS7	V2RMS6	V2RMS5	V2RMS4	V2RMS3	V2RMS2	V2RMS1	V2RMS0

アドレス：18AH リセット時：00H R

略号	7	6	5	4	3	2	1	0
V2RMSM	V2RMS15	V2RMS14	V2RMS13	V2RMS12	V2RMS11	V2RMS10	V2RMS9	V2RMS8

アドレス：18BH リセット時：00H R

略号	7	6	5	4	3	2	1	0
V2RMSH	V2RMS23	V2RMS22	V2RMS21	V2RMS20	V2RMS19	V2RMS18	V2RMS17	V2RMS16

VnRMS23-0	電圧チャンネルnのRMS測定値の格納 (n = 1, 2)
000000H-FFFFFFH	電圧チャンネルnのRMS測定値

(8) 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS)

電流チャンネル1, 2のRMS測定値を格納するレジスタです。

I1RMS, I2RMSは, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により, 000000Hになります。

図22 - 9 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS) のフォーマット

(a) I1RMS

アドレス : 18CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I1RMSL	I1RMS7	I1RMS6	I1RMS5	I1RMS4	I1RMS3	I1RMS2	I1RMS1	I1RMS0

アドレス : 18DH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I1RMSM	I1RMS15	I1RMS14	I1RMS13	I1RMS12	I1RMS11	I1RMS10	I1RMS9	I1RMS8

アドレス : 18EH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I1RMSH	I1RMS23	I1RMS22	I1RMS21	I1RMS20	I1RMS19	I1RMS18	I1RMS17	I1RMS16

(b) I2RMS

アドレス : 18FH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I2RMSL	I2RMS7	I2RMS6	I2RMS5	I2RMS4	I2RMS3	I2RMS2	I2RMS1	I2RMS0

アドレス : 190H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I2RMSM	I2RMS15	I2RMS14	I2RMS13	I2RMS12	I2RMS11	I2RMS10	I2RMS9	I2RMS8

アドレス : 191H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I2RMSH	I2RMS23	I2RMS22	I2RMS21	I2RMS20	I2RMS19	I2RMS18	I2RMS17	I2RMS16

I _n RMS23-0	電流チャンネル _n のRMS測定値の格納 (n = 1, 2)
000000H-FFFFFFH	電流チャンネル _n のRMS測定値

(9) 有効電力アキュムレーション・リード・レジスタ (ACTHR)

有効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされません。

ACTHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 10 有効電力アキュムレーション・リード・レジスタ (ACTHR) のフォーマット

アドレス : 192H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ACTHRL	ACTHR7	ACTHR6	ACTHR5	ACTHR4	ACTHR3	ACTHR2	ACTHR1	ACTHR0

アドレス : 193H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ACTHRM	ACTHR15	ACTHR14	ACTHR13	ACTHR12	ACTHR11	ACTHR10	ACTHR9	ACTHR8

アドレス : 194H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ACTHRH	ACTHR23	ACTHR22	ACTHR21	ACTHR20	ACTHR19	ACTHR18	ACTHR17	ACTHR16

ACTHR23-0	有効電力のアキュムレータ値の格納
000000H-FFFFFFH	有効電力のアキュムレータ値 (読み出し後クリアされません)

(10) 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR)

有効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされます。

RACTHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 11 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR) のフォーマット

アドレス : 196H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RACTHRL	RACTHR7	RACTHR6	RACTHR5	RACTHR4	RACTHR3	RACTHR2	RACTHR1	RACTHR0

アドレス : 197H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RACTHRM	RACTHR15	RACTHR14	RACTHR13	RACTHR12	RACTHR11	RACTHR10	RACTHR9	RACTHR8

アドレス : 198H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RACTHRH	RACTHR23	RACTHR22	RACTHR21	RACTHR20	RACTHR19	RACTHR18	RACTHR17	RACTHR16

RACTHR23-0	有効電力のアキュムレータ値の格納
000000H-FFFFFFH	有効電力のアキュムレータ値 (読み出し後クリアされます)

(11) 有効電力アキュムレーション同期リード・レジスタ (LACTHR)

有効電力のアキュムレータ値をライン周波数に同期して格納するレジスタです。

LACTHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 12 有効電力アキュムレーション同期リード・レジスタ (LACTHR) のフォーマット

アドレス：199H リセット時：00H R

略号	7	6	5	4	3	2	1	0
LACTHRL	LACTHR7	LACTHR6	LACTHR5	LACTHR4	LACTHR3	LACTHR2	LACTHR1	LACTHR0

アドレス：19AH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LACTHRM	LACTHR15	LACTHR14	LACTHR13	LACTHR12	LACTHR11	LACTHR10	LACTHR9	LACTHR8

アドレス：19BH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LACTHRH	LACTHR23	LACTHR22	LACTHR21	LACTHR20	LACTHR19	LACTHR18	LACTHR17	LACTHR16

LACTHR23-0	有効電力のアキュムレータ値の格納
000000H-FFFFFFH	有効電力のアキュムレータ値 (ライン周波数に同期して格納)

(12) 無効電力アキュムレーション・リード・レジスタ (REahr)

無効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされません。

REahrは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 13 無効電力アキュムレーション・リード・レジスタ (REahr) のフォーマット

アドレス : 19CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
REahrL	REahr7	REahr6	REahr5	REahr4	REahr3	REahr2	REahr1	REahr0

アドレス : 19DH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
REahrM	REahr15	REahr14	REahr13	REahr12	REahr11	REahr10	REahr9	REahr8

アドレス : 19EH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
REahrH	REahr23	REahr22	REahr21	REahr20	REahr19	REahr18	REahr17	REahr16

REahr23-0	無効電力のアキュムレータ値の格納
000000H-FFFFFFH	無効電力のアキュムレータ値 (読み出し後クリアされません)

(13) 無効電力アキュムレーション・リセット・リード・レジスタ (RREAHR)

無効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされます。

RREAHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 14 無効電力アキュムレーション・リセット・リード・レジスタ (RREAHR) のフォーマット

アドレス : 1A0H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RREAHRL	RREAHR7	RREAHR6	RREAHR5	RREAHR4	RREAHR3	RREAHR2	RREAHR1	RREAHR0

アドレス : 1A1H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RREAHRM	RREAHR15	RREAHR14	RREAHR13	RREAHR12	RREAHR11	RREAHR10	RREAHR9	RREAHR8

アドレス : 1A2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RREAHRH	RREAHR23	RREAHR22	RREAHR21	RREAHR20	RREAHR19	RREAHR18	RREAHR17	RREAHR16

RREAHR23-0	無効電力のアキュムレータ値の格納
000000H-FFFFFFH	無効電力のアキュムレータ値 (読み出し後クリアされます)

(14) 無効電力アキュムレーション同期リード・レジスタ (LREahr)

無効電力のアキュムレータ値をライン周波数に同期して格納するレジスタです。

LREahrは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 15 無効電力アキュムレーション同期リード・レジスタ (LREahr) のフォーマット

アドレス：1A3H リセット時：00H R

略号	7	6	5	4	3	2	1	0
LREahrL	LREahr7	LREahr6	LREahr5	LREahr4	LREahr3	LREahr2	LREahr1	LREahr0

アドレス：1A4H リセット時：00H R

略号	7	6	5	4	3	2	1	0
LREahrM	LREahr15	LREahr14	LREahr13	LREahr12	LREahr11	LREahr10	LREahr9	LREahr8

アドレス：1A5H リセット時：00H R

略号	7	6	5	4	3	2	1	0
LREahrH	LREahr23	LREahr22	LREahr21	LREahr20	LREahr19	LREahr18	LREahr17	LREahr16

LREahr23-0	無効電力のアキュムレータ値の格納
000000H-FFFFFFH	無効電力のアキュムレータ値 (ライン周波数に同期して格納)

(15) 皮相電力アキュムレーション・リード・レジスタ (APPHR)

皮相電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされません。

APPHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 16 皮相電力アキュムレーション・リード・レジスタ (APPHR) のフォーマット

アドレス：1A6H リセット時：00H R

略号	7	6	5	4	3	2	1	0
APPHRL	APPHR7	APPHR6	APPHR5	APPHR4	APPHR3	APPHR2	APPHR1	APPHR0

アドレス：1A7H リセット時：00H R

略号	7	6	5	4	3	2	1	0
APPHRM	APPHR15	APPHR14	APPHR13	APPHR12	APPHR11	APPHR10	APPHR9	APPHR8

アドレス：1A8H リセット時：00H R

略号	7	6	5	4	3	2	1	0
APPHRH	APPHR23	APPHR22	APPHR21	APPHR20	APPHR19	APPHR18	APPHR17	APPHR16

APPHR23-0	皮相電力のアキュムレータ値の格納
000000H-FFFFFFH	皮相電力のアキュムレータ値 (読み出し後クリアされません)

(16) 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR)

皮相電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされます。

RAPPHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 17 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR) のフォーマット

アドレス：1AAH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RAPPHRL	RAPPHR7	RAPPHR6	RAPPHR5	RAPPHR4	RAPPHR3	RAPPHR2	RAPPHR1	RAPPHR0

アドレス：1ABH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RAPPHRM	RAPPHR15	RAPPHR14	RAPPHR13	RAPPHR12	RAPPHR11	RAPPHR10	RAPPHR9	RAPPHR8

アドレス：1ACH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RAPPHRH	RAPPHR23	RAPPHR22	RAPPHR21	RAPPHR20	RAPPHR19	RAPPHR18	RAPPHR17	RAPPHR16

RAPPHR23-0	皮相電力のアキュムレータ値の格納
000000H-FFFFFFH	皮相電力のアキュムレータ値 (読み出し後クリアされます)

(17) 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR)

皮相電力のアキュムレータ値をライン周波数に同期して格納するレジスタです。

LAPPHRは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 18 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR) のフォーマット

アドレス：1ADH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LAPPHRL	LAPPHR7	LAPPHR6	LAPPHR5	LAPPHR4	LAPPHR3	LAPPHR2	LAPPHR1	LAPPHR0

アドレス：1AEH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LAPPHRM	LAPPHR15	LAPPHR14	LAPPHR13	LAPPHR12	LAPPHR11	LAPPHR10	LAPPHR9	LAPPHR8

アドレス：1AFH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LAPPHRH	LAPPHR23	LAPPHR22	LAPPHR21	LAPPHR20	LAPPHR19	LAPPHR18	LAPPHR17	LAPPHR16

LAPPHR23-0	皮相電力のアキュムレータ値の格納
000000H-FFFFFFH	皮相電力のアキュムレータ値 (ライン周波数に同期して格納)

(18) ライン・サイクル数設定レジスタ (LINNUM)

同期読み出しモード時のアキュムレータのライン・サイクル数を設定するレジスタです。

ハーフ・ライン単位で設定できます。

LINNUMは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、FFFFHになります。

図22 - 19 ライン・サイクル数設定レジスタ (LINNUM) のフォーマット

アドレス : 1B0H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
LINNUML	LINNUM7	LINNUM6	LINNUM5	LINNUM4	LINNUM3	LINNUM2	LINNUM1	LINNUM0

アドレス : 1B1H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
LINNUMH	LINNUM15	LINNUM14	LINNUM13	LINNUM12	LINNUM11	LINNUM10	LINNUM9	LINNUM8

LINNUM15-0	アキュムレータのハーフ・ライン・サイクル数の設定
0000H-FFFFH	ハーフ・ライン・サイクル数

(19) 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN)

有効電力のゲイン値を設定するレジスタです。

ACT1GAIN, ACT2GAINは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 20 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN) のフォーマット

(a) ACT1GAIN

アドレス：1B2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1GAINL	ACT1GAIN7	ACT1GAIN6	ACT1GAIN5	ACT1GAIN4	ACT1GAIN3	ACT1GAIN2	ACT1GAIN1	ACT1GAIN0

アドレス：1B3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1GAINH	0	0	0	0	ACT1GAIN11	ACT1GAIN10	ACT1GAIN9	ACT1GAIN8

(b) ACT2GAIN

アドレス：1B4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2GAINL	ACT2GAIN7	ACT2GAIN6	ACT2GAIN5	ACT2GAIN4	ACT2GAIN3	ACT2GAIN2	ACT2GAIN1	ACT2GAIN0

アドレス：1B5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2GAINH	0	0	0	0	ACT2GAIN11	ACT2GAIN10	ACT2GAIN9	ACT2GAIN8

ACTnGAIN11-0	有効電力のゲイン値の設定 (n = 1, 2)
0000H-0FFFH	有効電力のゲイン値

注意 ACT1GAINH, ACT2GAINHのビット4-7には、必ず0を設定してください。

(20) 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN)

無効電力のゲイン値を設定するレジスタです。

REA1GAIN, REA2GAINは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 21 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN) のフォーマット

(a) REA1GAIN

アドレス：1B6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA1GAINL	REA1GAIN7	REA1GAIN6	REA1GAIN5	REA1GAIN4	REA1GAIN3	REA1GAIN2	REA1GAIN1	REA1GAIN0

アドレス：1B7H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA1GAINH	0	0	0	0	REA1GAIN11	REA1GAIN10	REA1GAIN9	REA1GAIN8

(b) REA2GAIN

アドレス：1B8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA2GAINL	REA2GAIN7	REA2GAIN6	REA2GAIN5	REA2GAIN4	REA2GAIN3	REA2GAIN2	REA2GAIN1	REA2GAIN0

アドレス：1B9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA2GAINH	0	0	0	0	REA2GAIN11	REA2GAIN10	REA2GAIN9	REA2GAIN8

REAnGAIN11-0	無効電力のゲイン値の設定 (n = 1, 2)
0000H-0FFFH	無効電力のゲイン値

注意 REA1GAINH, REA2GAINHのビット4-7には、必ず0を設定してください。

(21) 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN)

皮相電力のゲイン値を設定するレジスタです。

APP1GAIN, APP2GAINは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 22 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN) のフォーマット

(a) APP1GAIN

アドレス：1BAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP1GAINL	APP1GAIN7	APP1GAIN6	APP1GAIN5	APP1GAIN4	APP1GAIN3	APP1GAIN2	APP1GAIN1	APP1GAIN0

アドレス：1BBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP1GAINH	0	0	0	0	APP1GAIN11	APP1GAIN10	APP1GAIN9	APP1GAIN8

(b) APP2GAIN

アドレス：1BCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP2GAINL	APP2GAIN7	APP2GAIN6	APP2GAIN5	APP2GAIN4	APP2GAIN3	APP2GAIN2	APP2GAIN1	APP2GAIN0

アドレス：1BDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP2GAINH	0	0	0	0	APP2GAIN11	APP2GAIN10	APP2GAIN9	APP2GAIN8

APPnGAIN11-0	皮相電力のゲイン値の設定 (n = 1, 2)
0000H-0FFFH	皮相電力のゲイン値

注意 APP1GAINH, APP2GAINHのビット4-7には、必ず0を設定してください。

(22) 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN)

電流チャンネル1, 2のRMSゲイン値を設定するレジスタです。

IRMS1GAIN, IRMS2GAINは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 23 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN) のフォーマット

(a) IRMS1GAIN

アドレス：1BEH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IRMS1 GAINL	IRMS1 GAIN7	IRMS1 GAIN6	IRMS1 GAIN5	IRMS1 GAIN4	IRMS1 GAIN3	IRMS1 GAIN2	IRMS1 GAIN1	IRMS1 GAIN0

アドレス：1BFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IRMS1 GAINH	0	0	0	0	IRMS1 GAIN11	IRMS1 GAIN10	IRMS1 GAIN9	IRMS1 GAIN8

(b) IRMS2GAIN

アドレス：1C0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IRMS2 GAINL	IRMS2 GAIN7	IRMS2 GAIN6	IRMS2 GAIN5	IRMS2 GAIN4	IRMS2 GAIN3	IRMS2 GAIN2	IRMS2 GAIN1	IRMS2 GAIN0

アドレス：1C1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IRMS2 GAINH	0	0	0	0	IRMS2 GAIN11	IRMS2 GAIN10	IRMS2 GAIN9	IRMS2 GAIN8

IRMSnGAIN11-0	電流チャンネルnのRMSゲイン値の設定 (n = 1, 2)
0000H-0FFFH	電流チャンネルnのRMSゲイン値

注意 IRMS1GAINH, IRMS2GAINHのビット4-7には、必ず0を設定してください。

(23) 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS)

有効電力のオフセット値を設定するレジスタです。

ACT1OS, ACT2OSは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 24 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS) のフォーマット

(a) ACT1OS

アドレス：1C2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1OSL	ACT1OS7	ACT1OS6	ACT1OS5	ACT1OS4	ACT1OS3	ACT1OS2	ACT1OS1	ACT1OS0

アドレス：1C3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1OSH	ACT1OS15	ACT1OS14	ACT1OS13	ACT1OS12	ACT1OS11	ACT1OS10	ACT1OS9	ACT1OS8

(b) ACT2OS

アドレス：1C4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2OSL	ACT2OS7	ACT2OS6	ACT2OS5	ACT2OS4	ACT2OS3	ACT2OS2	ACT2OS1	ACT2OS0

アドレス：1C5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2OSH	ACT2OS15	ACT2OS14	ACT2OS13	ACT2OS12	ACT2OS11	ACT2OS10	ACT2OS9	ACT2OS8

ACTnOS15-0	有効電力のオフセット値の設定 (n = 1, 2)
0000H-FFFFH	有効電力のオフセット値

(24) 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS)

無効電力のオフセット値を設定するレジスタです。

REA1OS, REA2OSは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 25 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS) のフォーマット

(a) REA1OS

アドレス：1C6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA1OSL	REA1OS7	REA1OS6	REA1OS5	REA1OS4	REA1OS3	REA1OS2	REA1OS1	REA1OS0

アドレス：1C7H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA1OSH	REA1OS15	REA1OS14	REA1OS13	REA1OS12	REA1OS11	REA1OS10	REA1OS9	REA1OS8

(b) REA2OS

アドレス：1C8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA2OSL	REA2OS7	REA2OS6	REA2OS5	REA2OS4	REA2OS3	REA2OS2	REA2OS1	REA2OS0

アドレス：1C9H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
REA2OSH	REA2OS15	REA2OS14	REA2OS13	REA2OS12	REA2OS11	REA2OS10	REA2OS9	REA2OS8

REAnOS15-0	無効電力のオフセット値の設定 (n = 1, 2)
0000H-FFFFH	無効電力のオフセット値

(25) 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)

電流チャンネル1, 2のRMSオフセット値を設定するレジスタです。

I1RMSOS, I2RMSOSは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 26 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS) のフォーマット

(a) I1RMSOS

アドレス：1CAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
I1RMSOSL	I1RMSOS7	I1RMSOS6	I1RMSOS5	I1RMSOS4	I1RMSOS3	I1RMSOS2	I1RMSOS1	I1RMSOS0

アドレス：1CBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
I1RMSOSH	0	0	0	0	I1RMSOS11	I1RMSOS10	I1RMSOS9	I1RMSOS8

(b) I2RMSOS

アドレス：1CEH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
I2RMSOSL	I2RMSOS7	I2RMSOS6	I2RMSOS5	I2RMSOS4	I2RMSOS3	I2RMSOS2	I2RMSOS1	I2RMSOS0

アドレス：1CFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
I2RMSOSH	0	0	0	0	I2RMSOS11	I2RMSOS10	I2RMSOS9	I2RMSOS8

InRMSOS11-0	電流チャンネルnのRMSオフセット値の設定 (n = 1, 2)
0000H-0FFFH	電流チャンネルnのRMSオフセット値

注意 I1RMSOSH, I2RMSOSHのビット4-7には、必ず0を設定してください。

(26) 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)

電圧チャンネル1, 2のRMSオフセット値を設定するレジスタです。

V1RMSOS, V2RMSOSは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図22 - 27 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS) のフォーマット

(a) V1RMSOS

アドレス：1CCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
V1RMSOSL	V1RMSOS7	V1RMSOS6	V1RMSOS5	V1RMSOS4	V1RMSOS3	V1RMSOS2	V1RMSOS1	V1RMSOS0

アドレス：1CDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
V1RMSOSH	0	0	0	0	V1RMSOS11	V1RMSOS10	V1RMSOS9	V1RMSOS8

(b) V2RMSOS

アドレス：1D0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
V2RMSOSL	V2RMSOS7	V2RMSOS6	V2RMSOS5	V2RMSOS4	V2RMSOS3	V2RMSOS2	V2RMSOS1	V2RMSOS0

アドレス：1D1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
V2RMSOSH	0	0	0	0	V2RMSOS11	V2RMSOS10	V2RMSOS9	V2RMSOS8

VnRMSOS11-0	電圧チャンネルnのRMSオフセット値の設定 (n = 1, 2)
0000H-0FFFH	電圧チャンネルnのRMSオフセット値

注意 V1RMSOSH, V2RMSOSHのビット4-7には、必ず0を設定してください。

(27) サンプリング・モード選択レジスタ (SAMPMODE)

サンプリングする波形を選択するレジスタです。

SAMPMODEは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図22 - 28 サンプリング・モード選択レジスタ (SAMPMODE) のフォーマット

アドレス：1D2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAMPMODE	0	SAMP2SEL2	SAMP2SEL1	SAMP2SEL0	0	SAMP1SEL2	SAMP1SEL1	SAMP1SEL0

SAMPnSEL2	SAMPnSEL1	SAMPnSEL0	サンプル・モード用波形nの選択 (n = 1, 2)
0	0	0	インテグレータからのI1出力
0	0	1	インテグレータからのI2出力
0	1	0	有効電力1 (ACT1GAINの乗算後の出力)
0	1	1	有効電力2 (ACT2GAINの乗算後の出力)
1	0	0	無効電力1 (REA1GAINの乗算後の出力)
1	0	1	無効電力2 (REA2GAINの乗算後の出力)
1	1	0	皮相電力1 (APP1GAINの乗算後の出力)
1	1	1	皮相電力2 (APP2GAINの乗算後の出力)

注意 ビット3, 7には、必ず0を設定してください。

(28) サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)

サンプリングによる演算結果を格納するレジスタです。

SAMP1, SAMP2は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図22 - 29 サンプリング結果レジスタ1, 2 (SAMP1, SAMP2) のフォーマット

(a) SAMP1

アドレス：1D3H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP1L	SAMP17	SAMP16	SAMP15	SAMP14	SAMP13	SAMP12	SAMP11	SAMP10

アドレス：1D4H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP1M	SAMP115	SAMP114	SAMP113	SAMP112	SAMP111	SAMP110	SAMP19	SAMP18

アドレス：1D5H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP1H	SAMP123	SAMP122	SAMP121	SAMP120	SAMP119	SAMP118	SAMP117	SAMP116

(b) SAMP2

アドレス：1D6H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP2L	SAMP27	SAMP26	SAMP25	SAMP24	SAMP23	SAMP22	SAMP21	SAMP20

アドレス：1D7H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP2M	SAMP215	SAMP214	SAMP213	SAMP212	SAMP211	SAMP210	SAMP29	SAMP28

アドレス：1D8H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP2H	SAMP223	SAMP222	SAMP221	SAMP220	SAMP219	SAMP218	SAMP217	SAMP216

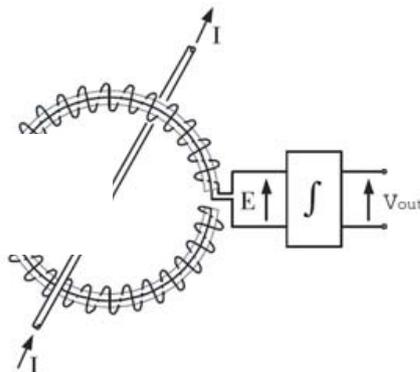
SAMPn23-n0	サンプリングによる演算結果の格納 (n = 1, 2)
000000H-FFFFFFH	サンプリングによる演算結果

22.4 電力，エネルギー演算

22.4.1 電流インテグレータ

di/dtセンサを使用する場合，電流積算を行うために使用します。Rogowskiコイルなどのdi/dtセンサは，相互インダクタンスにより，1次回路電流と2次回路電流（誘導起電力）を測定する仕組みです。1次回路電流が流れると，その周囲に磁界が発生し，その磁界をコイルで電流へ変換します。この2次回路電流は，1次回路電流の変化量（di/dt）を表しています。

図22 - 30 Rogowskiコイル



Rogowskiコイルを電流センサとして使用した場合，入力される電流信号はdi/dt信号であり，電力演算を行う前に電流信号を復元する必要があるため，インテグレータを搭載しています。

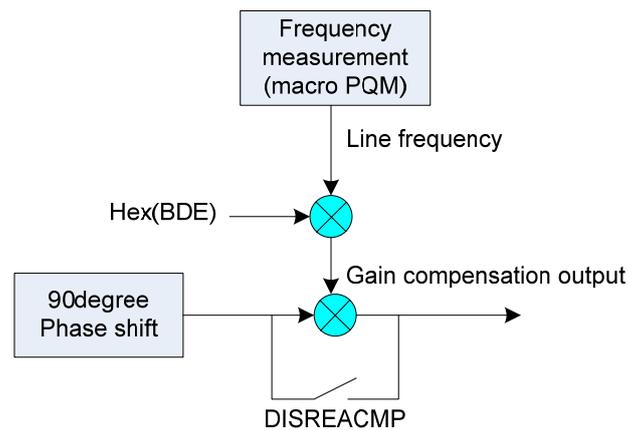
インテグレータには，電流チャンネル1用のインテグレータ1と，電流チャンネル2用のインテグレータ2の2つがあります。リセット時，電流チャンネルのインテグレータはオフになります。インテグレータをオンにするには，PWCTL1レジスタのINTE1, INTE2ビットに1をセットしてください。

22.4.2 90° フェーズ・シフト

無効電力／電力量計算においては，電流と電圧チャンネル間に90°の位相シフトが必要になります。位相シフト・フィルタは，単極のローパス・フィルタで，電力線の周波数（50 Hzまたは60 Hz）に対して90°の位相シフトと，20 dB/decの減衰を行います。

ゲイン補償器は，90°の位相シフト後に配置されています。90°の位相シフトは - 20 dB/decの周波数の変化が生じるため，90°位相シフトした出力とライン周波数を乗算することで，ゲイン補償を行います。ゲイン補償はライン周波数でのみ有効であり，ライン周波数は電力品質測定回路で測定されます。ゲイン補償機能は，NLCTLレジスタのDISREACMPビットで無効にできます。

図22 - 31 90° フェーズ・シフタ



22. 4. 3 電流，電圧RMS演算

(1) RMS算出方法

信号 $V(t)$ の実効値 (rms) は，次のように定義されます。

$$V_{rms} = \sqrt{\frac{1}{T} * \int_0^T V^2(t) dt}$$

サンプリングされた各信号のRMS値を算出する場合，信号を二乗し，平均値を求め，平方根を算出します。平均値計算はローパス・フィルタ (LFP3) で実現しています。このローパス・フィルタのゲインは，サンプリング周波数が4.34 kHzの場合，- 3 dBの遮断周波数は，約1.3 Hzになります。

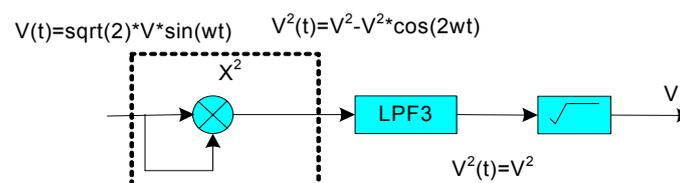
$$V(t) = \sqrt{2} \times V \sin(\omega t)$$

ここでは， V はRMS電圧を表します。

$$V^2(t) = V^2 - V^2 \cos(2\omega t)$$

この信号がLPF3を通ると， $\cos(2\omega t)$ は減衰され，直流 V_{rms}^2 のみが通過します。

図22 - 32 ローパス・フィルタ (LFP3)



算出するRMS値は， $I1_{rms}$ ， $I2_{rms}$ ， $V1_{rms}$ ， $V2_{rms}$ の4つです。

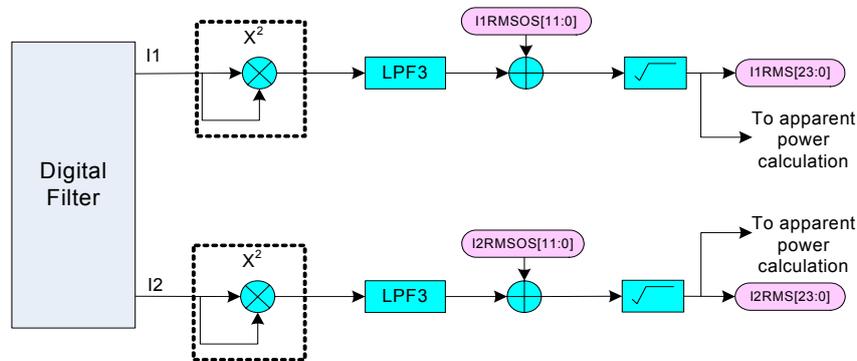
すべてのRMS値は，24ビット・レジスタ $I1_{RMS}$ ， $I2_{RMS}$ ， $V1_{RMS}$ ， $V2_{RMS}$ から読み出すことができます。

(2) 電流チャンネルRMS演算

この回路は、2つの入力電流チャンネル (I1とI2) のRMS値を算出します。I1チャンネルとI2チャンネルのRMS算出方法は同じです。

各電流チャンネルRMS演算結果は、符号なしの24ビット・レジスタI1RMSとI2RMSに格納されます。

図22 - 33 電流チャンネルRMS演算



測定された電流チャンネルのRMS値は、4.34 kHzごとにレジスタに格納されます。また、NLCTLレジスタのZXRMSビットに1をセットすることで、ライン周波数（電圧入力のゼロクロス）に同期して測定結果をレジスタに格納することができます。ZXRMSビットをセットした場合の動作は、次のようになります。

• CHMD = 0の場合

2線モードとなり、I1RMSとI2RMSレジスタは、電圧入力V1のゼロクロス (INTZX1) で更新します。

• CHMD = 1の場合

3線モードとなり、I1RMSは電圧入力V1のゼロクロス (INTZX1) で、I2RMSは電圧入力V2のゼロクロス (INTZX2) で更新します。

INTZX1, INTZX2の詳細については、第23章 電力品質測定回路を参照してください。

型A/Dコンバータ変換結果 (23ビット) はフルスケール入力の場合、 $2^{20} = 0d1048576 = 0x100000$ を出力します。最大となる 型A/Dコンバータ変換結果と、PGA (プリアンプ・ゲイン)、入力電圧範囲の関係は次のとおりです。

- PGA = 1の場合 : 最大入力 = 0.375 V
- PGA = 2の場合 : 最大入力 = 0.1875 V
- PGA = 16の場合 : 最大入力 = 0.0234375 V

フルスケール交流信号の等価RMS (24ビット) 値は、次のようになります。

$$I_{rms_FS} = \frac{2^{20}}{\sqrt{2}} = 0d741455 = 0xB504F$$

電流RMS値の測定精度は、フルスケール ~ 1/500の入力信号の場合、0.5%以下です。

なお、演算結果レジスタ値からアンペア値への変換は、CPUで行う必要があります。

(3) 電流チャンネルRMSオフセット補償

電流チャンネルのRMS値計算では、電流チャンネルのオフセットを除去するため、電流チャンネルRMSオフセット設定レジスタ (I1RMSOS, I2RMSOS) が用意されています。このレジスタは、符号つき12ビット・レジスタです。

電流チャンネルRMSオフセット設定レジスタの1つのLSBは、電流チャンネルRMSレジスタの値の二乗の2048 LSBに相当します。

電流チャンネルRMSオフセット設定レジスタに設定されたオフセット値は、2048倍され補正前のRMS値の二乗に加えることでオフセットを調整します。フルスケール交流入力の場合、電流チャンネルRMS計算の最大値は0d741455です。-60 dB入力 (1000 : 1ダイナミック・レンジに相当) の場合、電流チャンネルRMSオフセット設定レジスタの調整精度は0.186%/LSBです。-54 dB入力 (500 : 1ダイナミック・レンジに相当) の場合、電流チャンネルRMSオフセット設定レジスタの調整精度は0.046%/LSBです。

$$I_{rms} = \sqrt{I_{rms0}^2 + I_{RMSOS} \times 2048}$$

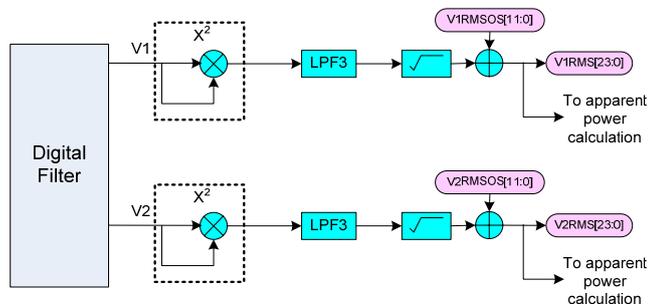
ここでは、 I_{rms0} はオフセットを補正していないRMS値の測定結果を表します。

(4) 電圧チャンネルRMS演算

この回路は、2つの電圧チャンネル (V1とV2) のRMS値を算出します。V1チャンネルとV2チャンネルのRMS算出方法は同じです。

各電圧チャンネルRMS演算結果は、符号なしの24ビット・レジスタV1RMSとV2RMSに格納されます。

図22 - 34 電圧チャンネルRMS演算



測定された電圧チャンネルのRMS値は、4.34 kHzごとにレジスタに格納されます。また、NLCTLレジスタのZXRMSビットに1をセットすることで、ライン周波数 (電圧入力のゼロクロス) に同期して測定結果をレジスタに格納することができます。ZXRMSビットをセットした場合の動作は、次のようになります。

• CHMD = 0の場合

2線モードとなり、V1RMSとV2RMSレジスタは、電圧入力V1のゼロクロス (INTZX1) で更新します。

• CHMD = 1の場合

3線モードとなり、V1RMSは電圧入力V1のゼロクロス (INTZX1) で、V2RMSは電圧入力V2のゼロクロス (INTZX2) で更新します。

INTZX1, INTZX2の詳細については、第23章 電力品質測定回路を参照してください。

フルスケール交流信号の等価RMS値 (24ビット) は、0d741455 (0xB504F) となり、 $0.375V \times \sin(\omega t)$ のアナログ入力を表します。

電圧RMS値の測定精度は、フルスケール ~ 1/100の入力信号の場合、0.5%以下です。

なお、演算結果レジスタ値からボルト値への変換は、CPUで行う必要があります。

(5) 電圧チャンネルRMSオフセット補償

電圧チャンネルのRMS値計算では、電圧チャンネルのオフセットを除去するため、電圧チャンネルRMSオフセット設定レジスタ (V1RMSOS, V2RMSOS) が用意されています。このレジスタは、符号付き12ビットレジスタです。

電圧チャンネルRMSオフセット設定レジスタの1つのLSBは、電圧チャンネルRMSレジスタの値の16 LSBに相当します。

電圧チャンネルRMSオフセット設定レジスタに設定されたオフセット値は、16倍され補正前のRMS値に加えることでオフセットを調整します。フルスケール交流入力の場合、電圧チャンネルRMS計算の最大値は0d741455です。-60 dB入力 (1000: 1ダイナミック・レンジに相当) の場合、電圧チャンネルRMSオフセット設定レジスタの調整精度は2.15%/LSBです。-40 dB入力 (100: 1ダイナミック・レンジに相当) の場合、電圧チャンネルRMSオフセット設定レジスタの調整精度は0.215%/LSBです。

$$V_{rms} = V_{rms0} + 16 \times VRMSOS$$

ここでは、 V_{rms0} はオフセットを補正していないRMS値の測定結果を表します。

22.4.4 有効電力と電力量 (エネルギー) 演算

(1) 有効電力演算

(a) 有効電力算出方法

有効電力は、電源から負荷へ流れるエネルギーの速度であると定義され、電圧と電流信号の積になります。この積は、瞬間電力信号と呼ばれ、各瞬間において流れるエネルギーの速度と等しくなります。電力の単位はワットです。交流システムにおける瞬間電力信号は、次の式で算出されます。

$$i(t) = \sqrt{2} \times I \sin(\omega t)$$

$$v(t) = \sqrt{2} \times V \sin(\omega t)$$

ここでは、 V はRMS電圧、 I はRMS電流、 ω はラジアンによる周波数を表します。

$$p(t) = v(t) \times i(t) = V \times I - V \times I \cos(2\omega t)$$

ライン・サイクル数 (n) の平均電力は、次の式で算出されます。

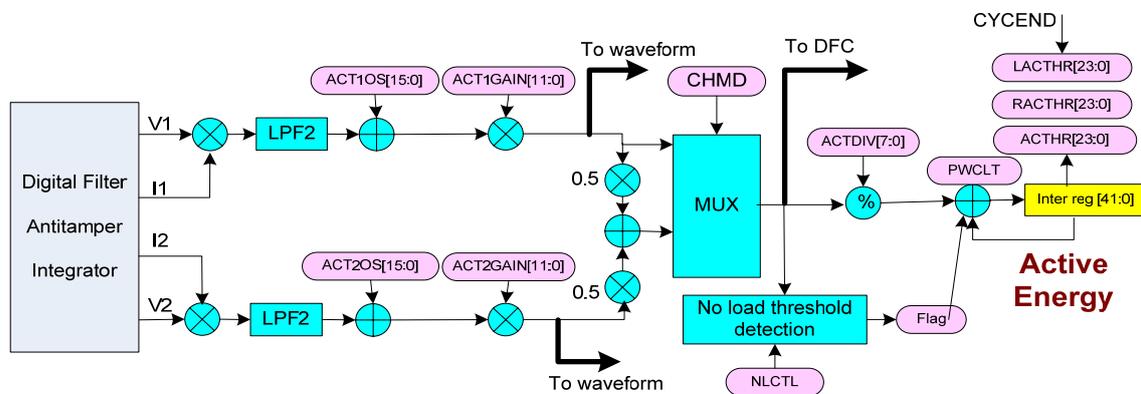
$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = V \times I$$

ここでは、Tはライン・サイクル・ピリオド、Pは有効電力または実電力を表します。

有効電力は、瞬間電力信号p(t)の直流成分に等しく、V×Iで表すことができます。この関係を使用して有効電力を計算します。瞬間電力信号p(t)は、電流信号と電圧信号を乗算することにより生成されます。瞬間電力信号の直流成分は、LPF2 (ローパス・フィルタ) によって抽出されます。

このプロセスを次の図に示します。

図22 - 35 有効電力演算



- CHMD = 0 (単相2線モード) の場合 : 有効電力 = V1 × I1
- CHMD = 1 (単相3線モード) の場合 : 有効電力 = 0.5 × (V1 × I1 + V2 × I2)

ローパス・フィルタLPF2は、 $f - 3db = 5.4$ Hzである瞬間電力の直流成分を抽出するために使用します。

LPF2は、瞬間電力信号によりある程度のリップルが生じますが、このリップルは正弦波であり、その周波数は、ライン周波数の2倍に等しくなります。例えば、ライン周波数が50 Hzであれば、リップル周波数は100 Hz、ライン周波数が60 Hzであれば、リップル周波数は120 Hzとなります。リップルは正弦波のため、エネルギーを計算するために有効電力信号を積分すると、リップルは除去されます (22.4.4 (2) 有効電力量 (エネルギー) 演算を参照)。

有効電力信号は、SAMPMODEレジスタをセットし、拡張SFR割り込みマスク・フラグ・レジスタ22 (MK22) のWFSSMMKビットをクリアすることにより、波形レジスタから読み出すことができます。推奨フローについては、22.4.9 (5) 波形関連割り込み (INTWFSM) を参照してください。

(b) 有効電力ゲイン・キャリブレーション

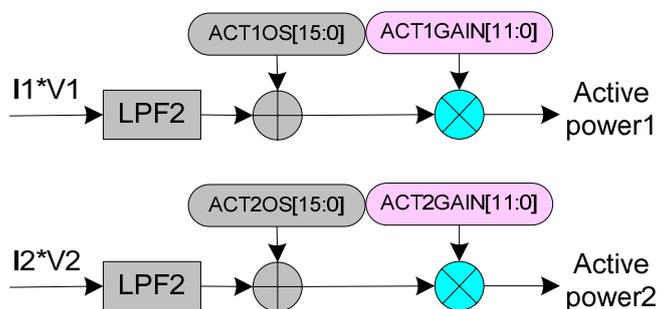
有効電力は乗算器の出力をローパス・フィルタ (LPF2) でフィルタリングすることによって算出します。電流チャンネルおよび電圧チャンネルのゲイン・キャリブレーションは行いません。有効電力のゲイン・キャリブレーションは、有効電力ゲイン設定レジスタ (ACT1GAIN, ACT2GAIN) で行います。符号付き12ビットで構成されるACT1GAIN, ACT2GAINレジスタに書き込むことによりゲインを調整します。

3線モードでは、有効電力のチャンネルが2つあります。

- ・ 電力1 = $I1 \times V1$
- ・ 電力2 = $I2 \times V2$

そのため、電力1用と電力2用にACT1GAINとACT2GAINの2つのレジスタがあります。

図22 - 36 有効電力ゲイン・キャリブレーション



次の式は、ゲインとACT1GAIN, ACT2GAINレジスタの設定値の関係を示しています。

$$Output_{ACT1GAIN} = \{ActivePower1 \times [1 + \frac{ACT1GAIN}{2^{12}}]\}$$

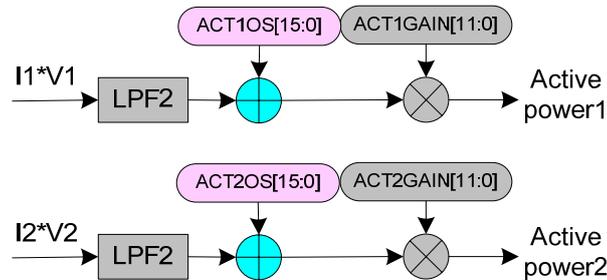
$$Output_{ACT2GAIN} = \{ActivePower2 \times [1 + \frac{ACT2GAIN}{2^{12}}]\}$$

例えば、有効電力ゲイン設定レジスタ (ACT1GAIN, ACT2GAIN) に0x7FFを書き込むと、電力出力は50%増加します (0x7FF = 2047d, $2047/2^{12} = 0.5$)。同様に、0x800 = -2048d (符号付き, 2の補数) では電力出力は50%減少します。各LSBは、電力出力を0.0244% ($1/2^{12} = 0.0244\%$) 増加または減少させます。ACT1GAIN, ACT2GAINレジスタの内容が0x800に等しい場合、出力範囲は最小となり、ACT1GAIN, ACT2GAINレジスタに0x7ffを書き込むと出力範囲は最大になります。このようにして、ACT1GAIN, ACT2GAINレジスタを使用して有効電力 (またはエネルギー) 計算を調整します。

(c) 有効電力オフセット・キャリブレーション

有効電力オフセット補正は、有効電力オフセット設定レジスタ (ACT1OS, ACT2OS) を用いて調整できます。これらのレジスタは、符号付き16ビット・レジスタで、有効電力演算のオフセットを除去するために使用します。オフセット・キャリブレーションでは、電力が消費されていない状態で、有効電力レジスタ値が0となるように調整を行います。

図22 - 37 有効電力オフセット・キャリブレーション



有効電力オフセット設定レジスタに指定する128 LSB (ACT1OS = 0x080またはACT2OS = 0x080) は、LPF2出力の1 LSBに相当しています。電圧、電流チャンネルの双方の入力がフルスケールの場合、LPF2から出力される値は0x200000 = 0d2097152ですが、電流チャンネル入力が - 60 dB (電流チャンネルのフルスケール入力の1/1000)とした場合、LPF2から出力される値は0d2097.152になります。これは、- 60dBの信号入力時に、LPF2出力の1 LSBには、最大0.0477%の測定誤差が生じていることを意味します。有効電力オフセット設定レジスタの1LSBは、LPF2出力の1/128 LSBに相当しており、オフセット・キャリブレーションを行うことで、- 60 dB入力時に測定誤差は0.000372%/LSB (0.0477%/128) となります。

(d) 有効電力符号検出

有効電力符号検出機能は、有効電力の符号の変化を検出します。

有効電力符号検出機能には、次の3つのビットを使用します。

・PWCTL2レジスタのACTSIGNビット

有効電力符号割り込みのトリガ条件を設定します。

ACTSIGN = 0 : 有効電力が正から負に変化すると、INTACTSIGN割り込みが発生します。

ACTSIGN = 1 : 有効電力が負から正に変化すると、INTACTSIGN割り込みが発生します。

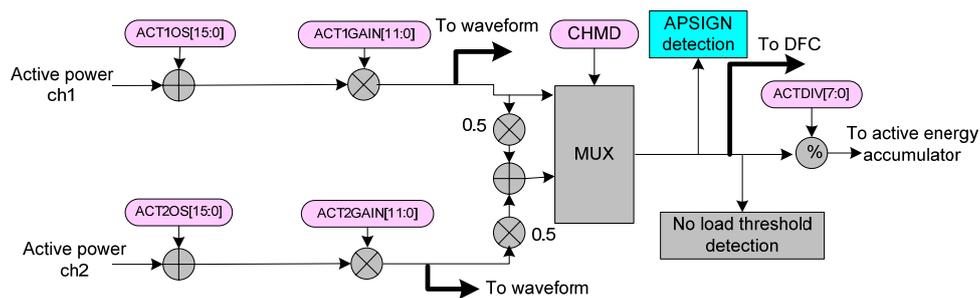
・拡張SFR割り込み要求フラグ・レジスタ20 (IF20) のACTSIGNIFビット

このビットが1の場合、ACTSIGNで指定したトリガ条件が成立したことを示します。ACTSIGNIF割り込みステータスは、一度1になると、このステータス・ビットがクリアされるまで1を保持します。ACTSIGNIFステータスは、このビットにゼロが書き込まれるとクリアされます。

・拡張SFR割り込みマスク・フラグ・レジスタ20 (MK20) のACTSIGNMKビット

このビットがクリアされていると、ACTSIGNIFフラグがセットされ、割り込みが発生します。

図22 - 38 有効電力符号検出



(e) 有効電力ゼロロード検出

有効電力量には、計測器のクリープ効果を除去するゼロロード検出機能があります。

この機能を使用すると、有効電力がゼロロードしきい値を下回る場合に、有効電力量の累積を行いません。有効電力ゼロロード検出機能には、次の3つのビットを使用します。

- NLCTLレジスタのACTNOLOAD1, ACTNOLOAD0ビット

この2つのビットは、有効電力ゼロロードしきい値を設定します。

00：有効電力ゼロロード検出は無効になります。

01：有効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.015%になります。

10：有効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0075%になります。

11：有効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0037%になります。

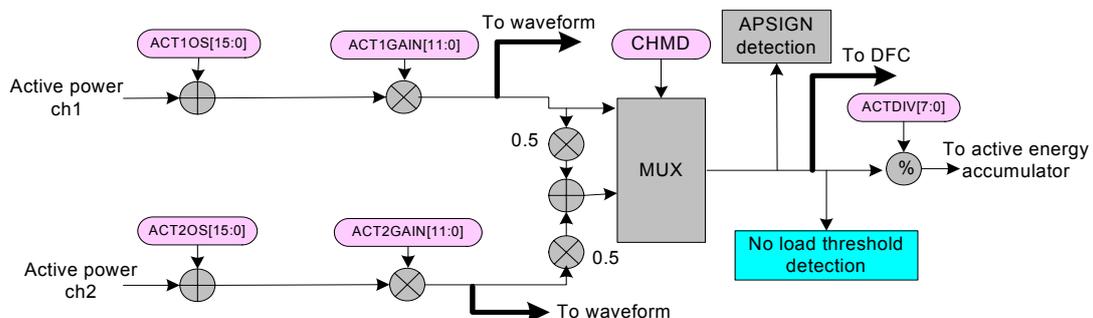
- 拡張SFR割り込み要求フラグ・レジスタ21 (IF21) のACTNOLDIFフラグ

ACTNOLDIFフラグは、NLCTLレジスタのACTNOLOAD1, ACTNOLOAD0ビットで設定されたゼロロードしきい値を有効電力が下回るとセットされます。

- 拡張SFR割り込みマスク・フラグ・レジスタ21 (MK21) のACTNOLDMKビット

拡張SFR割り込みマスク・フラグ・レジスタ21 (MK21) のACTNOLDMKビットがクリアされると、割り込みが発生します。この割り込みは、ACTNOLDIFステータス・ビットがクリアされるまで有効です。

図22 - 39 有効電力ゼロロード検出



(2) 有効電力量 (エネルギー) 演算

(a) 有効電力量 (エネルギー) 算出方法

有効電力演算の項で述べたように、電力は電力量の流れる速度として定義されます。このため、電力量は次式で表すことができます。

$$E = \int P(t) dt$$

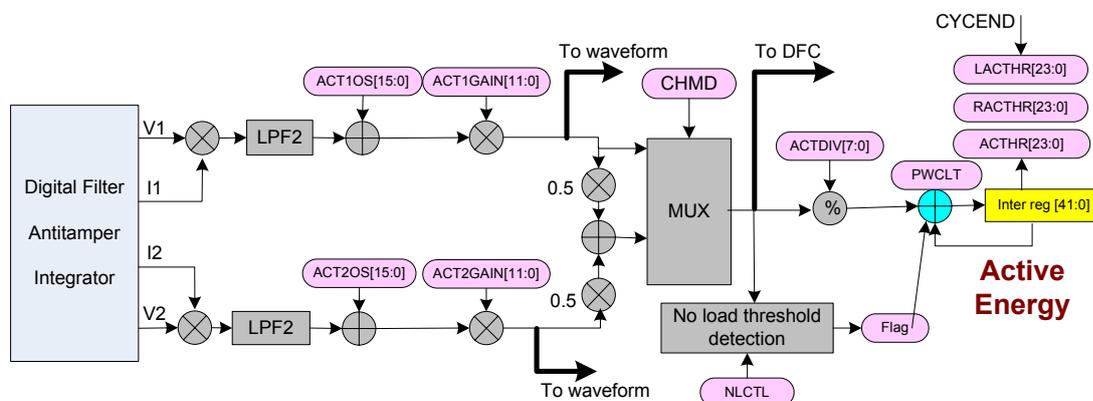
有効電力信号を内部42ビットの電力量レジスタに累積することにより、有効電力信号を積分します。この内部レジスタの上位24ビットを、ACTHRレジスタで読み出すことができます。この積算処理は、連続時間における積分に相当します。

$$E = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=1}^{\infty} p(nt) \times T \right\}$$

上の式で、nは離散時間サンプル数、Tはサンプル期間を表します。

アキュムレーション・レジスタの離散時間サンプル期間 (T) は、230.4 μ s (18 \times 128/MCLK_10M) となります。電力量は積分処理となっているため、有効電力信号に含まれることのある正弦波成分を除去しています。

図22 - 40 有効電力量 (エネルギー) 演算



有効電力量の積算方法は、PWCLT2レジスタのPOAMビットとABSAMビットの設定により選択することができます。積算方法の詳細については、22.4.4(2)(c) 有効電力量アキュムレーション・モードを参照してください。

表22 - 2 有効電力のアキュムレーション・モード設定

POAM	ABSAM	有効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	正値アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

有効電力は、ACTDIVレジスタの値でスケーリングされ、内部電力量アキュムレータに累積されます。ACTDIVは8ビットの符号なしレジスタであり、スケーリング処理は次のとおりです。

$$\text{スケーリング後の電量} = \text{スケーリング前の電力} / \text{ACTDIV}$$

なお、ACTDIV = 0の設定は禁止です。0を設定した場合は、1として処理を行います。

スケーリング後の有効電力は、内部42ビットの有効電力量アキュムレータに累積されます。内部アキュムレータの上位24ビットは、レジスタにより読み出すことができます。アキュムレータ値の読み出し方法は3種類あり、それぞれの方法ごとに読み出しレジスタが用意されています。

・ACTHRレジスタを用いて読み出した場合：

読み出し時点のアキュムレータの上位24ビットの値が読み出されます。

・RACTHRレジスタを用いて読み出した場合：

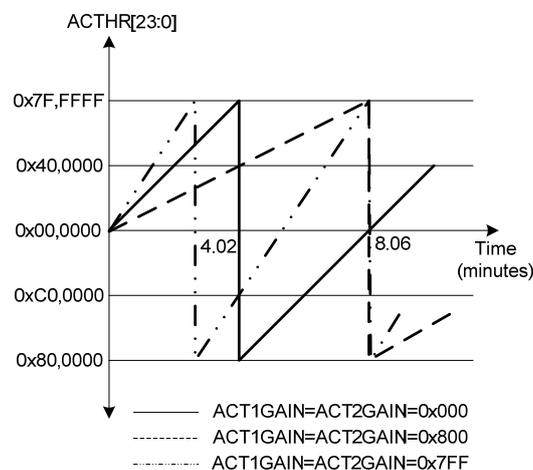
読み出し時点のアキュムレータの上位24ビットの値が読み出されます。読み出し後、アキュムレータの上位24ビットはクリアされます。

・LACTHRレジスタを用いて読み出した場合：

ライン周波数に同期した値の読み出しを行います。詳細については、22.4.4(2)(e)ライン・サイクル有効電力量アキュムレーション・モードを参照してください。

アナログ入力のフルスケール信号（正弦波）の電力量累積の状態を示します。3つの線は、有効電力ゲイン設定レジスタ（ACT1GAIN, ACT2GAIN）の内容が0x7FF, 0x000, 0x800である場合、電力量レジスタがオーバーフロー／アンダフローするまでの時間を示しています。ここに示すように、有効電力ゲイン設定レジスタを最大フルスケール、つまり0x7FFに設定した場合、積分可能時間は最も短くなります。

図22 - 41 フルスケール信号の有効電力量累積



電力または電力量フローが正の場合、オーバーフローが発生すると電力量レジスタの内容は、負の最大値 (0x800000) に反転し、以後その値が増え続けることに注意してください。逆に電力が負であれば、アンダフロー後、電力量レジスタは正の最大値 (0x7FFFFFFF) となり、値は減少し続けます。

有効電力量レジスタがハーフフル (正または負)、またはオーバーフロー / アンダフローが発生した場合、割り込みフラグ ACTEHFIF または ACTEOFIF ビットがセットされます。拡張 SFR 割り込みマスク・フラグ・レジスタ 21, 22 (MK21, MK22) の ACTEHFMK, ACTEOFMK ビットをクリアすると、有効電力量レジスタがハーフフル、またはオーバーフローが発生した場合に、割り込みを発生させることができます。

(b) 定常負荷での積分時間

有効電力量 (エネルギー) 演算の項で述べたように、アキュムレーション・レジスタの離散時間サンプル期間 (T) は 230.4 μ s (4.34 kHz) になります。アナログ入力にフルスケール正弦波信号を印加し、ACT1GAIN および ACT2GAIN レジスタが 0x000 に設定されている場合、各 GAIN からの平均ワード値は 2^{21} (または 0x1F, FFFF) になります。42 ビットの内部レジスタに格納できる正の最大値は、レジスタがオーバーフローする前は 2^{41} (または 0x1FF, FFFF, FFFF) です。この条件下で ACTDIV = 0 のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x1FF, FFFF, FFFF}{0x1F, FFFF} \times 230.4 \mu s = 241.59 \text{ sec} = 4.02 \text{ min}$$

ACTDIV が 0 以外の値に設定されている場合は、積分時間は次のように変化します。

$$Time = Time_{ACTDIV=0} \times ACTDIV$$

(c) 有効電力量アキュムレーション・モード

有効電力量 (エネルギー) 演算には、3 つのモードがあります。これらのモードは、PWCTL2 レジスタの POAM ビットと ABSAM ビットによって決定します。

表 22 - 3 有効電力のアキュムレーション・モード設定

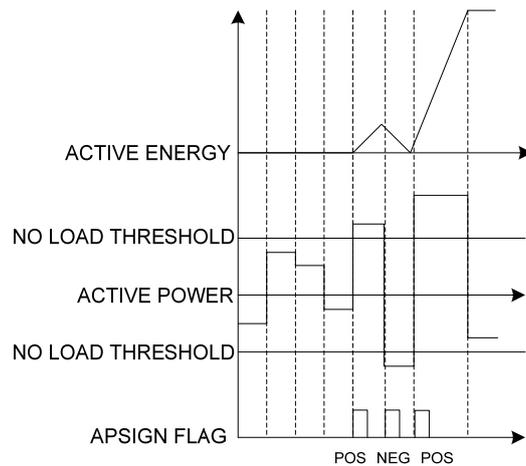
POAM	ABSAM	有効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	正値アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

符号付きアキュムレーション・モード :

符号付きアキュムレーション・モードは、有効電力を符号付きで累算するモードです。有効電力が正の場合、有効電力量アキュムレータに加算され、負の場合はアキュムレータから減算されます。このモードは、リセット時のデフォルト・モードです。

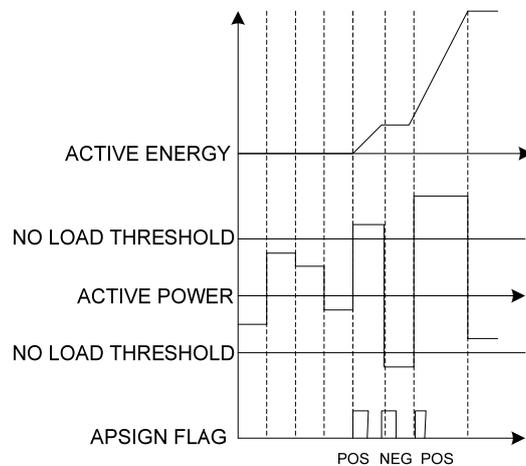
なお、有効電力がゼロロードしきい値を下回る場合は、累積されません。

図22 - 42 符号付きアキュムレーション・モード (有効電力)

**正值アキュムレーション・モード：**

正值アキュムレーション・モードは、PWCTL2レジスタのPOAMビットを1、ABSAMビットを0にすることにより設定できます。このモードでは、正の電力値のみが累積され、負の電力値は無視されます。負の電力値、およびゼロロードしきい値を下回る電力値の累積は行われません。

図22 - 43 正值アキュムレーション・モード (有効電力)

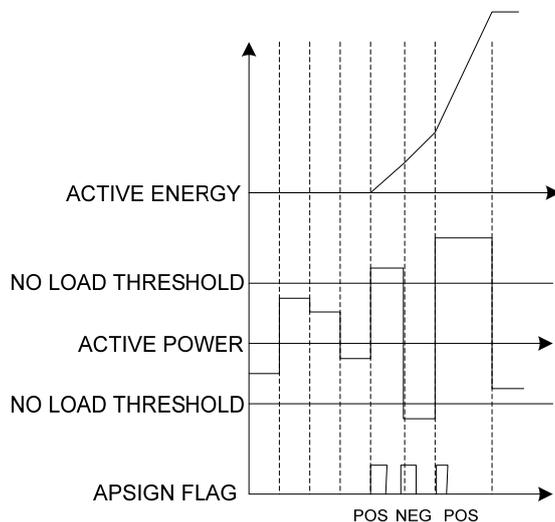


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

絶対値アキュムレーション・モード：

絶対値アキュムレーション・モードは、PWCTL2レジスタのABSAMビットを1にすることにより設定できます。このモードでは、電力量の累積は絶対有効電力を使用して行い、ゼロロードしきい値以下の有効電力の場合は無視されます。

図22 - 44 絶対値アキュムレーション・モード (有効電力)

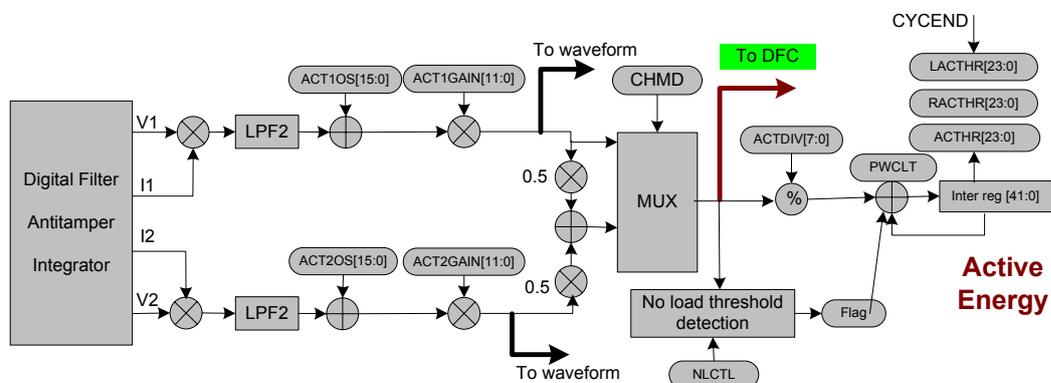


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

(d) 有効電力量パルス出力

有効電力量を反映した周波数パルスを出力します。このパルスの周波数を出力するために、ACT1GAIN, ACT2GAINレジスタから出力された有効電力信号を使用し、PWCTL2レジスタの有効電力量アキュムレーション・モードの設定に従って動作します。パルス出力機能の詳細については、第24章デジタル周波数変換回路を参照してください。

図22 - 45 有効電力量パルス出力



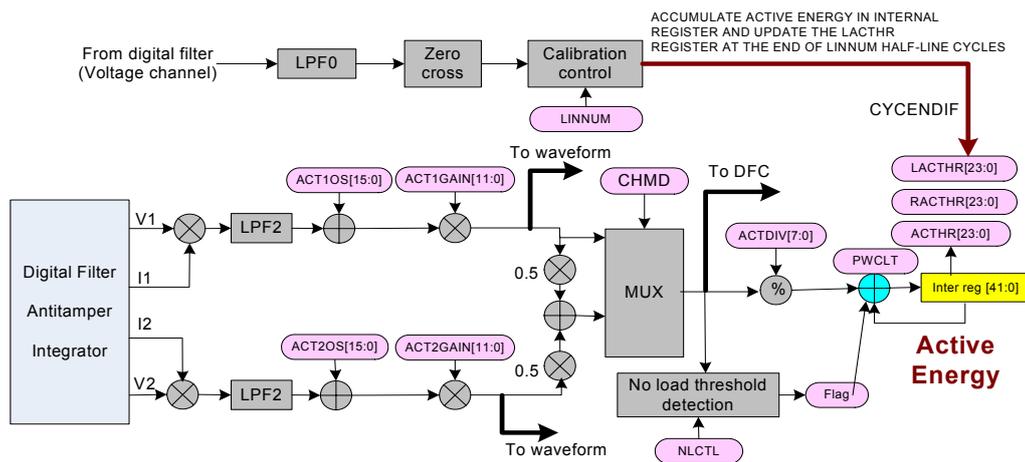
(e) ライン・サイクル有効電力量アキュムレーション・モード

ライン・サイクル有効電力量アキュムレーション・モードでは、有効電力量の正弦波成分による誤差をなくすため、ライン周波数の2倍単位で有効電力の累積を行います。電力量の累積を電圧チャネルのゼロクロスと同期させることで実現しています。

有効電力には、ライン周波数が50 Hzまたは60 Hzのときに、100 Hzまたは120 Hzのリップルが生じています。このリップルは、電力量累積中に整数倍にならない周期で累積されると、キャリアレーション誤差を発生します。通常、CF周波数は非常に低いいため、リップルがCF周波数に影響を及ぼすことはほとんどありません（例えば、1 Hzでは累積時間は1秒になります）。しかし、キャリアレーション中には、キャリアレーション時間は短くなければならず、リップルによって発生した誤差が大きな影響を与える可能性があります。累積時間がライン周波数の整数倍の周期と等しくすることで、リップルによって発生した誤差をなくすことができます。したがって、ライン・サイクル有効電力量アキュムレーション・モードでは電力量をより正確に算出できます。

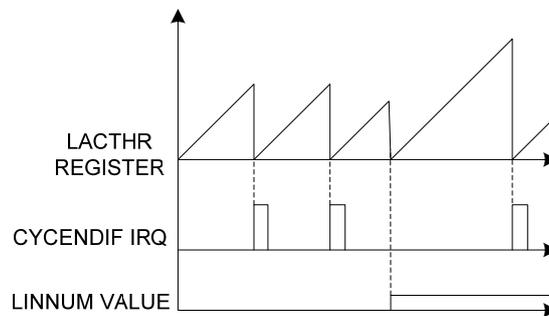
このモードを使用すると、電力量キャリアレーションを大幅に簡略化することができ、キャリアレーションの必要な時間も大幅に短縮できます。ライン・サイクル有効電力量アキュムレーション・モードでは、有効電力信号は、指定したライン・サイクル期間、LACTHRレジスタに累積されます。ハーフ・ライン・サイクル数はLINNUMレジスタで指定し、最大65535ハーフ・ライン・サイクルまで累積できます。有効電力は指定したライン・サイクル数の期間、積分され、有効電力量アキュムレーション・ライン・サイクルの終わりに拡張SFR割り込み要求フラグ・レジスタ22 (IF22) のCYCENDIFフラグをセットします。拡張SFR割り込みマスク・フラグ・レジスタ22 (MK22) のCYCENDMKマスク・ビットが0に設定されていると、割り込みが発生します。この割り込みは、CYCENDIFステータス・ビットをクリアするまで有効になります。CYCENDIFフラグがセットされると、すぐに次のアキュムレーション・サイクルが始まります。もし、LACTHRレジスタが新たなCYCENDIFフラグをセットする前に読み出されない場合、LACTHRレジスタは新しい値で上書きされます。

図22 - 46 ライン・サイクル有効電力量アキュムレーション・モード



新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれると、LACTHRレジスタがリセットされ、次のゼロクロスで新たな累積が始まります。その後、LINNUMレジスタの値に達するまでハーフ・ライン・サイクル数がカウントされます。このようにして、LINNUMレジスタの書き込み後の最初のCYCEND割り込みで有効な測定が行われます。ライン有効電力量アキュムレーションでは、有効電力量アキュムレーションと同じ信号経路を使用します。2つのレジスタのLSBサイズは同等です。

図22 - 47 有効電力のアキュムレーション・タイミング



PWCTL1レジスタのCYCDISビットは、CYCEND検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても、CYCEND割り込みが発生しません。さらに、CYCDISビットを1にセットすると、新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれても、LACTHRレジスタと内部アキュムレーション・レジスタは0にリセットされません。

このモードでは、16ビットのLINNUMレジスタが保持できる最大値は65535であることに注意してください。つまり、ライン電力量アキュムレーション・モードでは、最大65535ハーフ・ライン・サイクル数の時間の間、有効電力量を累積できます。ライン周波数が60 Hzの場合は、最大時間は $65535/120 \text{ Hz} = 546 \text{ 秒}$ となります。

22.4.5 無効電力と電力量（エネルギー）演算

(1) 無効電力演算

(a) 無効電力算出方法

無効電力は、電圧または電流波形信号のうちどちらかを90°の位相シフトした際の、電圧と電流波形の積として定義されます。この結果は瞬間無効電力（instantaneous reactive power）と呼ばれます。電流チャンネルの位相が90°シフトした時の瞬間無効電力信号は、次の式で算出されます。

$$v(t) = \sqrt{2}V \sin(\omega t + \theta) \quad i(t) = \sqrt{2}I \sin(\omega t) \quad i'(t) = \sqrt{2}I \sin(\omega t + \frac{\pi}{2})$$

ここでは、 θ は電圧と電流チャンネルの位相差を表します。また、 V はRMS電圧、 I はRMS電流を表します。

$$q(t) = V(t) \times i'(t) = VI \sin(\theta) + VI \sin(2\omega t + \theta)$$

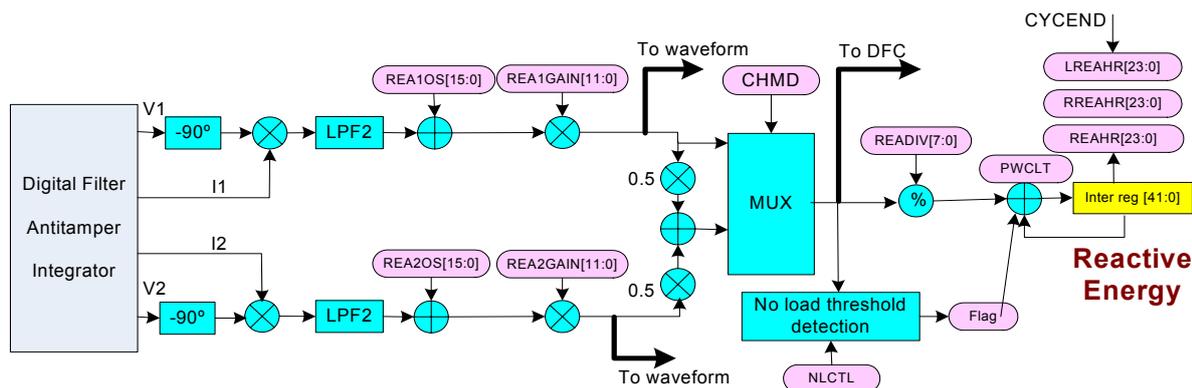
ライン・サイクル数（ n ）の平均無効電力は、次の式で算出されます。

$$Q = \frac{1}{nT} \int_0^{nT} q(t) dt = VI \sin \theta$$

ここでは、 T はライン・サイクル周期、 Q は無効電力を表します。

無効電力の計算プロセスを図22 - 48に示します。

図22 - 48 無効電力演算



- CHMD = 0 (単相2線モード) の場合：無効電力 = $V1_{\text{位相シフト}} \times I1$
- CHMD = 1 (単相3線モード) の場合：無効電力 = $0.5 \times (V1_{\text{位相シフト}} \times I1 + V2_{\text{位相シフト}} \times I2)$

位相シフト(-90°の位相シフト)は、LFPで実現されており、高周波成分に対する減衰が発生します。しかし、無効電力演算はライン周波数帯での演算となることから、高調波の影響はほとんどありません。信号幅の減衰分のゲイン補正は、ライン周波数帯で行われます。このゲイン補正は、NLCTLレジスタのDISREACMPビットでオフにすることも可能です。詳細については、22.4.2 90°フェーズ・シフトを参照してください。

無効信号経路のLPFの周波数応答は、平均有効電力の計算でLPF2に使用されるものと同一です。LPF2は、瞬間無効電力信号によりある程度のリップルが生じますが、このリップルは正弦波であり、その周波数は、ライン周波数の2倍に等しくなります。例えば、ライン周波数が50 Hzであれば、リップル周波数は100 Hz、ライン周波数が60 Hzであれば、リップル周波数は120 Hzとなります。リップルは正弦波のため、エネルギーを計算するために無効電力信号を積分すると、リップルは除去されず。

無効電力信号は、SAMPMODEレジスタをセットし、拡張SFR割り込みマスク・フラグ・レジスタ22(MK22)のWFSMMKビットをクリアすることにより、波形レジスタから読み出すことができます。推奨フローについては、22.4.9(5) 波形関連割り込み(INTWFSM)を参照してください。

(b) 無効電力ゲイン・キャリブレーション

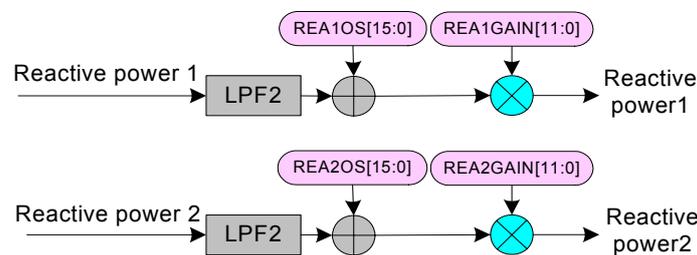
無効電力は乗算器の出力をロー・パス・フィルタ (LPF2) でフィルタリングすることによって算出します。電流チャネルおよび電圧チャネルのゲイン・キャリブレーションは行いません。無効電力のゲイン・キャリブレーションは、無効電力ゲイン設定レジスタ (REA1GAIN, REA2GAIN)で行います。符号付き12ビットで構成される REA1GAIN, REA2GAIN レジスタに書き込むことによりゲインを調整します。

3線モードでは、無効電力のチャネルが2つあります。

- ・ 電力1 = $I1 \times V1 \times \sin\theta1$
- ・ 電力2 = $I2 \times V2 \times \sin\theta2$

そのため、電力1用と電力2用に REA1GAIN と REA2GAIN の2つのレジスタがあります。

図22 - 49 無効電力ゲイン・キャリブレーション



次の式は、ゲインと REA1GAIN, REA2GAIN レジスタの設定値の関係を示しています。

$$Output_{REA1GAIN} = \{ReactivePower1 \times [1 + \frac{REA1GAIN}{2^{12}}]\}$$

$$Output_{REA2GAIN} = \{ReactivePower2 \times [1 + \frac{REA2GAIN}{2^{12}}]\}$$

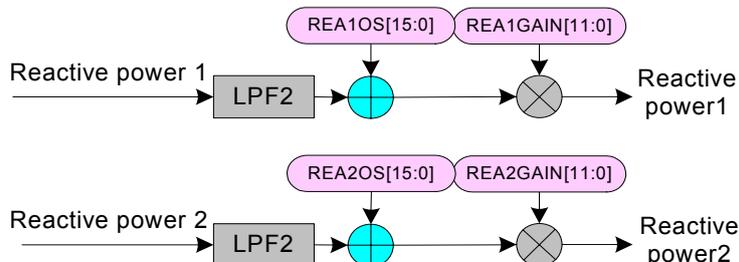
REA1GAIN と REA2GAIN レジスタの分解能は、ACT1GAIN と ACT2GAIN レジスタと同じです (22. 4. 4 (1) (b) 有効電力ゲイン・キャリブレーションの項を参照してください)。

各LSBは、電力出力を0.0244% ($1/2^{12} = 0.0244\%$) 増加または減少させます。REA1GAIN, REA2GAIN レジスタを使用して無効電力 (またはエネルギー) 計算を調整します。

(c) 無効電力オフセット・キャリブレーション

無効電力オフセット補正は、無効電力オフセット設定レジスタ (REA1OS, REA2OS) を用いて調整できます。これらのレジスタは、符号付き16ビット・レジスタで、無効電力演算のオフセットを除去するために使用します。オフセット・キャリブレーションでは、電力が消費されていない状態で、無効電力レジスタ値が0となるように調整を行います。

図22 - 50 無効電力オフセット・キャリブレーション

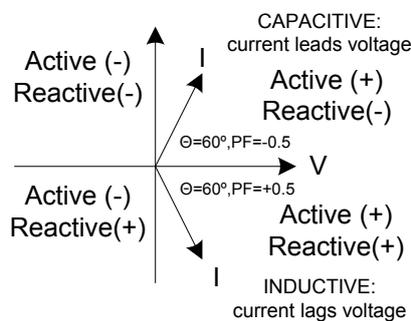


無効電力オフセット設定レジスタに指定する128 LSB (REA1OS = 0X080または REA2OS = 0X080) は、LPF2出力の1 LSBに相当しています。電圧、電流チャンネルの双方の入力がフルスケールで、電圧と電流の位相差が正確に90度である場合、LPF2から出力される値は0x200000 = 0d2097152 ですが、電流チャンネル入力が - 60 dB (電流チャンネルのフルスケール入力の1/1000) とした場合、LPF2から出力される値は0d2097.152になります。これは、- 60 dBの信号入力時に、LPF2出力の1 LSBには、最大0.0477%の測定誤差が生じていることを意味します。無効電力オフセット設定レジスタの1LSBは、LPF2出力の1/128 LSBに相当しており、オフセット・キャリブレーションを行うことで、- 60 dB入力時に測定誤差は0.000372%/LSB (0.0477%/128) となります。

(d) 無効電力符号演算と検出

有効電力と無効電力の符号は、図22 - 51のとおりです。

図22 - 51 有効電力と無効電力の符号



平均無効電力は、符号付きで計算されることに注意してください。位相シフト・フィルタでは、 -90° の位相シフトを行います。次の表に電圧と電流の位相差と、無効電力演算結果の符号との関係を示します。

表22 - 4 位相差と符号の関係

角度	インテグレータ	符号
0° と $+90^\circ$ 間	オフ	正
-90° と 0° 間	オフ	負
0° と $+90^\circ$ 間	オン	正
-90° と 0° 間	オン	負

無効電力符号検出機能は、無効電力の符号の変化を検出します。

無効電力符号検出機能には、次の3つのビットを使用します。

・PWCTL2レジスタのREASIGNビット

無効電力符号割り込みのトリガ条件を設定します。

REASIGN = 0：無効電力が正から負に変化すると、INTREASIGN割り込みが発生します。

REASIGN = 1：無効電力が負から正に変化すると、INTREASIGN割り込みが発生します。

・拡張SFR割り込み要求フラグ・レジスタ20 (IF20) のREASIGNIFビット

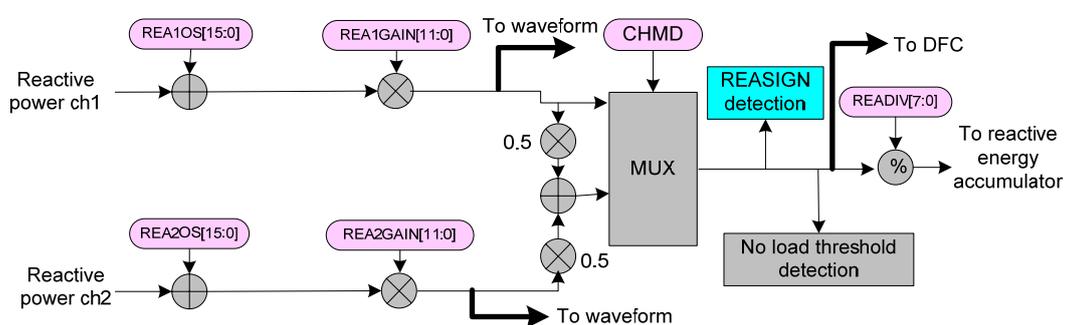
このビットが1の場合、REASIGNで指定したトリガ条件が成立したことを示します。

REASIGNIF割り込みステータスは、一度1になると、このステータス・ビットがクリアされるまで1を保持します。REASIGNIFステータスは、このビットにゼロが書き込まれるとクリアされます。

・拡張SFR割り込みマスク・フラグ・レジスタ20 (MK20) のREASIGNMKビット

このビットがクリアされていると、REASIGNIFフラグがセットされ、割り込みが発生します。

図22 - 52 無効電力符号検出



(e) 無効電力ゼロロード検出

無効電力測定には、ゼロロード検出機能が用意されています。この機能を使用すると、無効電力がゼロロードしきい値を下回る場合に、無効電力量の累積を行いません。無効電力ゼロロード検出機能には、次の3つのビットを使用します。

- NLCTLレジスタのREANOLOAD1, REANOLOAD0ビット

この2つのビットは、無効電力ゼロロードしきい値を設定します。

00：無効電力ゼロロード検出は無効になります。

01：無効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.015%になります。

10：無効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0075%になります。

11：無効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0037%になります。

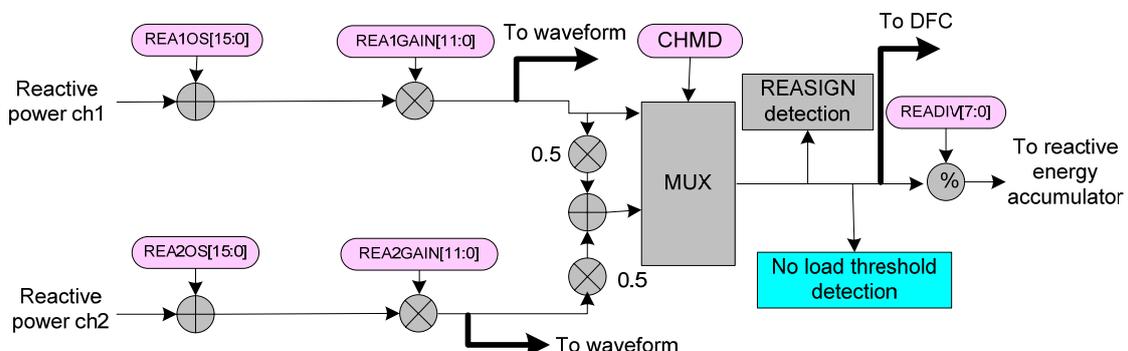
- 拡張SFR割り込み要求フラグ・レジスタ21 (IF21) のREANOLDIFフラグ

REANOLDIFフラグは、NLCTLレジスタのREANOLOAD1, REANOLOAD0ビットで設定されたゼロロードしきい値を無効電力が下回るとセットされます。

- 拡張SFR割り込みマスク・フラグ・レジスタ20 (MK20) のREANOLDMKビット

拡張SFR割り込みマスク・フラグ・レジスタ20 (MK20) のREANOLDMKビットがクリアされると、割り込みが発生します。この割り込みは、REANOLDIFステータス・ビットがクリアされるまで有効です。

図22 - 53 無効電力ゼロロード検出

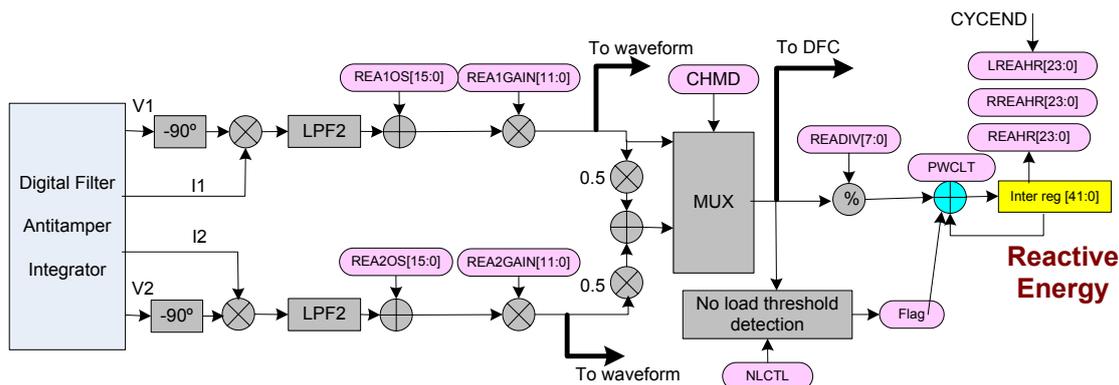


(2) 無効電力量 (エネルギー) 演算

(a) 無効電力量 (エネルギー) 算出方法

有効電力量演算と同様に、無効電力量演算は、無効電力信号を内部42ビットの電力量レジスタに累積することにより積分します。この内部レジスタの上位24ビットを、REahrレジスタで読み出すことができます。アキュムレーション・レジスタの離散時間サンプル期間 (T) は、230.4 μ s (4.34 kHz) となります。電力量は積分処理となっているため、無効電力信号に含まれることのある正弦波成分を除去しています。

図22 - 54 無効電力量 (エネルギー) 演算



無効電力信号の積算方法は、PWCLT2レジスタのSAVARMビットとABSVARMビットの設定により選択することができます。積算方法の詳細については、22.4.5(2)(c) 無効電力量アキュムレーション・モードを参照してください。

表22 - 5 無効電力のアキュムレーション・モード設定

SAVARM	ABSVARM	無効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	アンチタンパ・アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

無効電力は、READIVレジスタの値でスケーリングされ、内部電力量アキュムレータに累積されます。READIVレジスタは、8ビットの符号なしレジスタであり、スケーリング処理は次のとおりです。

$$\text{スケーリング後の電力} = \text{スケーリング前の電力} / \text{READIV}$$

なお、READIV = 0の設定は禁止です。0を設定した場合は、1として処理を行います。

スケーリング後の無効電力は、内部42ビットの無効電力量アキュムレータに累算されます。内部アキュムレータの上位24ビットは、レジスタにより読み出すことができます。アキュムレータ値の読み出し方法は3種類あり、それぞれの方法ごとに読み出しレジスタが用意されています。

・ REAHRレジスタを用いて読み出した場合：

読み出し時点のアクムレータの上位24ビットの値が読み出されます。

・ REATHERレジスタを用いて読み出した場合：

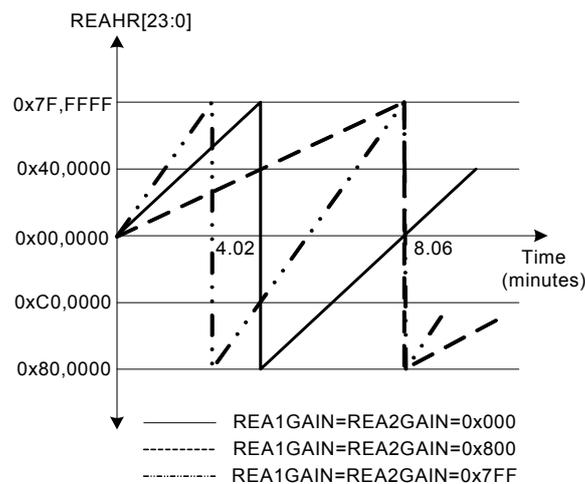
読み出し時点のアクムレータの上位24ビットの値が読み出されます。読み出し後、アクムレータの上位24ビットはクリアされます。

・ LREAHRレジスタを用いて読み出した場合：

ライン周波数に同期した値の読み出しを行います。詳細については、22. 4. 5(2) (e)ライン・サイクル無効電力量アクムレーション・モードを参照してください。

アナログ入力のフルスケール信号（正弦波）の電力量累積の状態を示します。3つの線は、無効電力ゲイン設定レジスタ（REA1GAIN, REA2GAIN）の内容が0x7FF, 0x000, 0x800である場合、電力量レジスタがオーバーフロー／アンダフローするまでの時間を示しています。ここに示すように、無効電力ゲイン設定レジスタを最大フルスケール、つまり0x7FFに設定した場合、積分可能時間は最も短くなります。

図22 - 55 フルスケール信号の無効電力量累積



電力または電力量フローが正の場合、オーバーフローが発生すると電力量レジスタの内容は、負の最大値（0x800000）に反転し、以後その値が増え続けることに注意してください。逆に電力が負であれば、アンダフロー後、電力量レジスタは正の最大値（0x7FFFFFF）となり、値は減少し続けます。

無効電力量レジスタがハーフフル（正または負）、またはオーバーフロー／アンダフローが発生した場合、割り込みフラグREAHFIFまたはREAOFIFビットがセットされます。拡張SFR割り込みマスク・フラグ・レジスタ21（MK21）のREAHFMK, REAOFMKビットをクリアすると、無効電力量レジスタがハーフフル、またはオーバーフローが発生した場合に、割り込みを発生させることができます。

(b) 定常負荷での積分時間

無効電力量（エネルギー）演算の項で述べたように、アキュムレーション・レジスタの離散時間サンプル期間(T)は230.4 μ s(4.34 kHz)になります。アナログ入力にフルスケール正弦波信号を印加し、REA1GAINおよびREA2GAINレジスタが0x000に設定されている場合、各GAINからの平均ワード値は 2^{21} （または0x1F, FFFF）になります。42ビットの内部レジスタに格納できる正の最大値は、レジスタがオーバーフローする前は 2^{41} （または0x1FF, FFFF, FFFF）です。この条件下でREADIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x1FF, FFFF, FFFF}{0x1F, FFFF} \times 230.4\mu s = 241.59 \text{ sec} = 4.02 \text{ min}$$

READIVが0以外の値に設定されている場合は、積分時間は次のように変化します。

$$Time = Time_{READIV=0} \times READIV$$

(c) 無効電力量アキュムレーション・モード

無効電力量（エネルギー）演算には、3つのモードがあります。これらのモードは、PWCTL2レジスタのSAVARMビットとABSVARMビットによって決定します。

表22 - 6 無効電力のアキュムレーション・モード設定

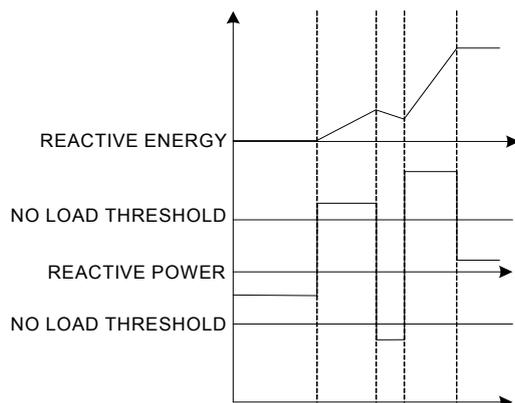
SAVARM	ABSVARM	無効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	アンチタンパ・アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

符号付きアキュムレーション・モード：

符号付きアキュムレーション・モードは、無効電力を符号付きで累算するモードです。無効電力が正の場合、無効電力量アキュムレータに加算され、負の場合はアキュムレータから減算されます。このモードは、リセット時のデフォルト・モードです。

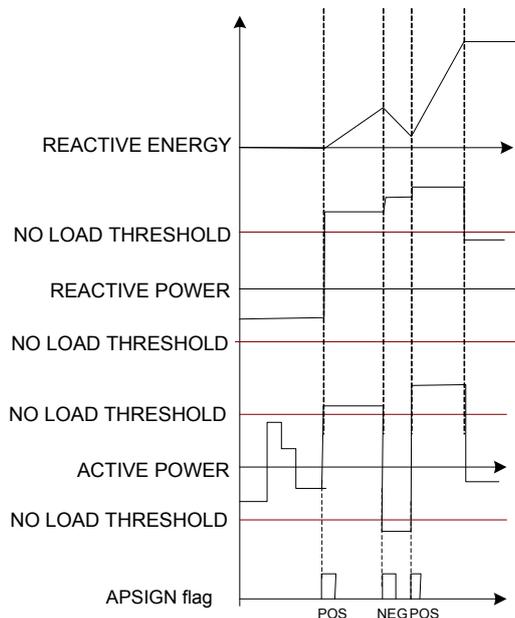
なお、無効電力がゼロロードしきい値を下回る場合は、累積されません。

図22 - 56 符号付きアキュムレーション・モード（無効電力）

**アンチタンパ・アキュムレーション・モード：**

アンチタンパ・アキュムレーション・モードは、PWCTL2レジスタのSAVARMビットを1にすることにより設定できます。このモードでは、無効電力は、有効電力の符号によって累積方法が異なります。有効電力が正の場合、無効電力はそのまま無効電力量アキュムレータに加算されます。有効電力が負の場合、無効電力は無効電力量アキュムレータから減算されます。

図22 - 57 アンチタンパ・アキュムレーション・モード（無効電力）

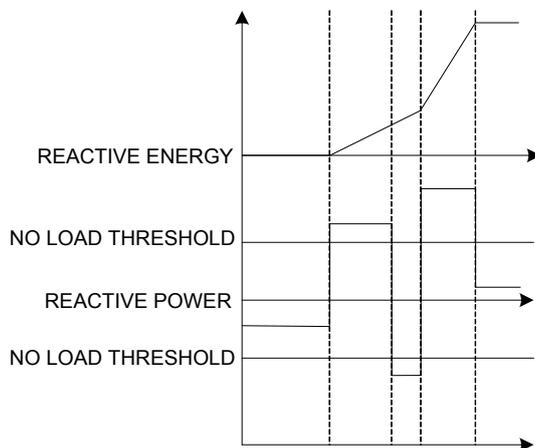


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

絶対値アキュムレーション・モード：

絶対値アキュムレーション・モードは、PWCTL2レジスタのABSVARMビットを1にすることにより設定できます。このモードでは、電力量の累積は絶対無効電力を使用して行い、ゼロロードしきい値以下の無効電力の場合は無視されます。

図22 - 58 絶対値アキュムレーション・モード（無効電力）

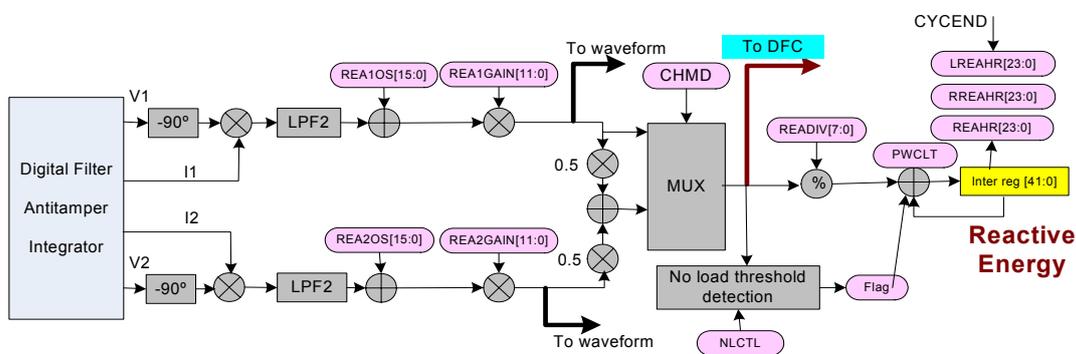


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

(d) 無効電力量パルス出力

無効電力量を反映した周波数パルスを出力します。このパルスの周波数を出力するために、REA1GAIN, REA2GAINレジスタから出力された無効電力信号を使用し、PWCTL2レジスタの無効電力量アキュムレーション・モードの設定に従って動作します。パルス出力機能の詳細については、第24章 デジタル周波数変換回路を参照してください。

図22 - 59 無効電力量パルス出力



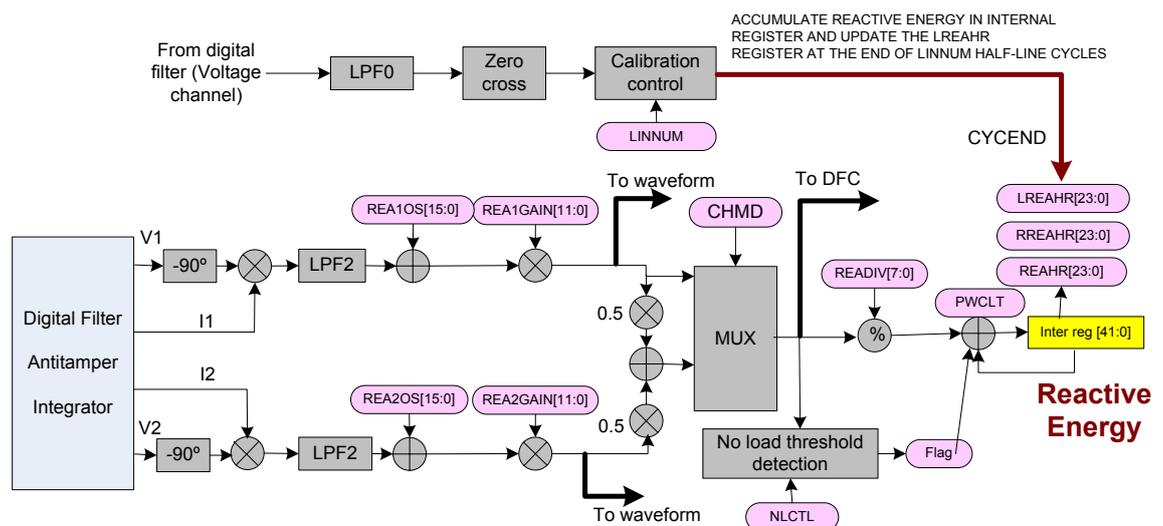
(e) ライン・サイクル無効電力量アキュムレーション・モード

ライン・サイクル無効電力量アキュムレーション・モードでは、無効電力量の正弦波成分による誤差をなくすため、ライン周波数の2倍単位で無効電力の累積を行います。電力量の累積を電圧チャネルのゼロクロスと同期させることで実現しています。

無効電力には、ライン周波数が50 Hzまたは60 Hzのときに、100 Hzまたは120 Hzのリップルが生じています。このリップルは、電力量累積中に整数倍にならない周期で累積されると、キャリブレーション誤差を発生します。通常、CF周波数は非常に低いいため、リップルがCF周波数に影響を及ぼすことはほとんどありません（例えば、1 Hzでは累積時間は1秒になります）。しかし、キャリブレーション中には、キャリブレーション時間は短くなければならず、リップルによって発生した誤差が大きな影響を与える可能性があります。累積時間がライン周波数の整数倍の周期と等しくすることで、リップルによって発生した誤差をなくすことができます。したがって、ライン・サイクル無効電力量アキュムレーション・モードでは電力量をより正確に算出できます。

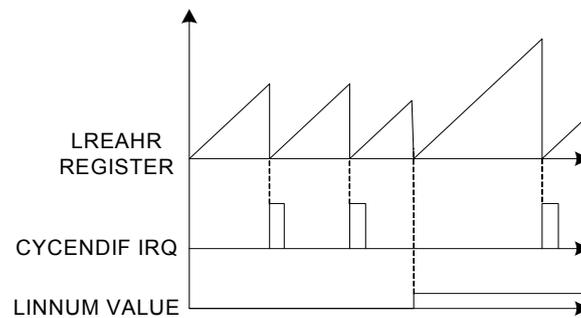
このモードを使用すると、電力量キャリブレーションを大幅に簡略化することができ、キャリブレーションの必要な時間も大幅に短縮できます。ライン・サイクル無効電力量アキュムレーション・モードでは、無効電力信号は、指定したライン・サイクル期間、LREahrレジスタに累積されます。ハーフ・ライン・サイクル数はLINNUMレジスタで指定し、最大65535ハーフ・ライン・サイクルまで累積できます。無効電力は指定したライン・サイクル数の期間、積分され、無効電力量アキュムレーション・ライン・サイクルの終わりに拡張SFR割り込み要求フラグ・レジスタ22 (IF22) のCYCENDIFフラグをセットします。拡張SFR割り込みマスク・フラグ・レジスタ22 (MK22) のCYCENDMKマスク・ビットが0に設定されていると、割り込みが発生します。この割り込みは、CYCENDIFステータス・ビットをクリアするまで有効になります。CYCENDIFフラグがセットされると、すぐに次のアキュムレーション・サイクルが始まります。もし、LREahrレジスタが新たなCYCENDIFフラグをセットする前に読み出されない場合、LREahrレジスタは、新しい値で上書きされます。

図22 - 60 ライン・サイクル無効電力量アキュムレーション・モード



新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれると、LREAHRレジスタがリセットされ、次のゼロクロスで新たな累積が始まります。その後、LINNUMレジスタの値に達するまでハーフ・ライン・サイクル数がカウントされます。このようにして、LINNUMレジスタの書き込み後の最初のCYCEND割り込みで有効な測定が行われます。ライン無効電力量アキュムレーションでは、無効電力量アキュムレーションと同じ信号経路を使用します。2つのレジスタのLSBサイズは同等です。

図22 - 61 無効電力のアキュムレーション・タイミング



PWCTL1レジスタのCYCDISビットは、CYCEND検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても、CYCEND割り込みが発生しません。さらに、CYCDISビットを1にセットすると、新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれても、LREAHRレジスタと内部アキュムレーション・レジスタは0にリセットされません。

このモードでは、16ビットのLINNUMレジスタが保持できる最大値は65535であることに注意してください。つまり、ライン電力量アキュムレーション・モードでは、最大65535ハーフ・ライン・サイクル数の時間の間、無効電力量を累積できます。ライン周波数が60 Hzの場合は、最大時間は $65535/120 \text{ Hz} = 546 \text{ 秒}$ となります。

22.4.6 皮相電力と電力量（エネルギー）演算

(1) 皮相電力演算

(a) 皮相電力算出方法

皮相電力は、負荷に供給できる最大電力として定義されます。VrmsとIrmsは、それぞれ負荷に供給される実効電圧と実効電流です。単相2線モードでは、皮相電力（AP）= V1RMS × I1RMSであり、単相3線モードでは、（AP）= 0.5 × （V1RMS × I1RMS + V2RMS × I2RMS）となります。この式は電流と電圧間の位相差角には無関係であり、瞬間電力信号は次の式で算出されます。

$$i(t) = \sqrt{2} \times I_{rms} \sin(\omega t)$$

$$v(t) = \sqrt{2} \times V_{rms} \sin(\omega t + \theta)$$

$$p(t) = v(t) \times i(t) = V_{rms} I_{rms} \cos(\theta) - V_{rms} \times I_{rms} \cos(2\omega t + \theta)$$

- CHMD = 0（単相2線モード）の場合：

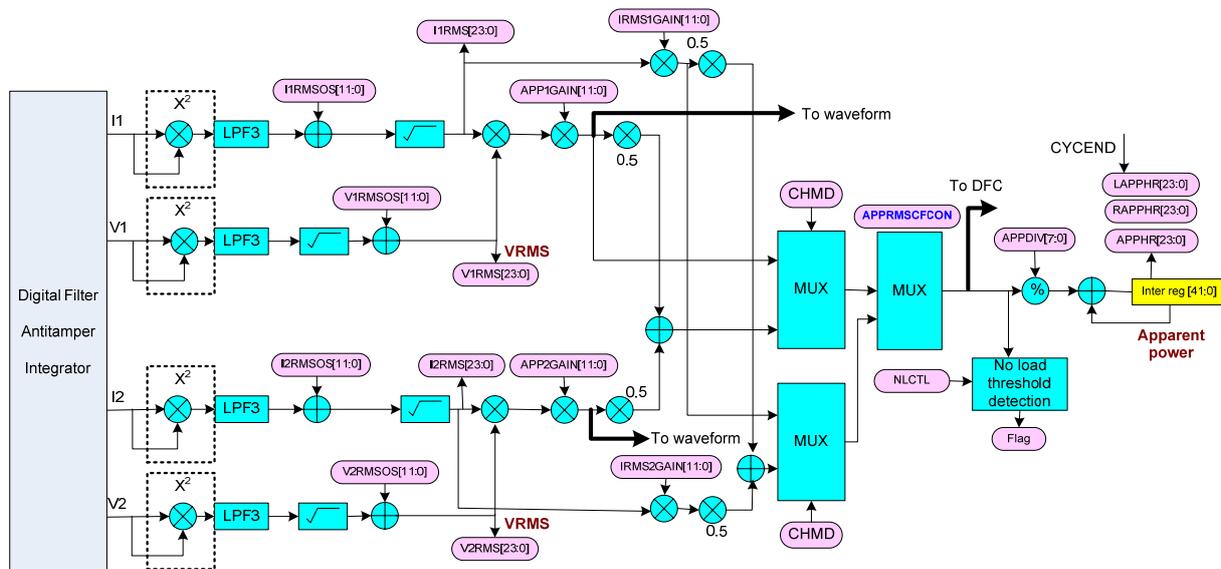
$$Apparen_power = V1rms \times I1rms$$

- CHMD = 1（単相3線モード）の場合：

$$Apparen_power = 0.5 * (V1rms \times I1rms + V2rms \times I2rms)$$

皮相電力演算用の信号処理を図22 - 62に示します。

図22 - 62 皮相電力演算

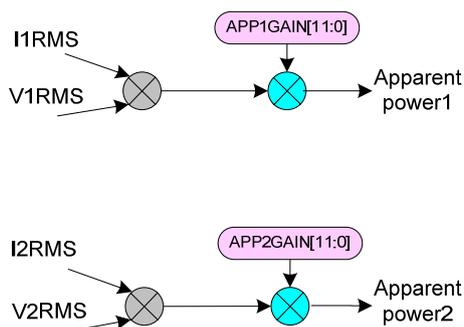


皮相電力信号は，SAMPMODEレジスタをセットし，拡張SFR割り込みマスク・フラグ・レジスタ 22(MK22)のWFSSMMKビットをクリアすることにより，波形レジスタから読み出すことができます。推奨フローについては，22. 4. 9 (5) **波形関連割り込み (INTWFSSM)** を参照してください。

(b) 皮相電力ゲイン・キャリブレーション

皮相電力量のゲインを調整するため，符号付き12ビットで構成されるAPP1GAIN, APP2GAINレジスタが用意されています。

図22 - 63 皮相電力ゲイン・キャリブレーション



次の式は，ゲインとAPP1GAIN, APP2GAINレジスタの設定値の関係を示しています。

$$Output_APP1GAIN = \left\{ ApparentPower1 \times \left[1 + \frac{APP1GAIN}{2^{12}} \right] \right\}$$

$$Output_APP2GAIN = \left\{ ApparentPower2 \times \left[1 + \frac{APP2GAIN}{2^{12}} \right] \right\}$$

例えば，APP1GAINレジスタに0x7FFを書き込むと，皮相電力1の電力出力は50%増加します(0x7FF = 2047d, $2047/2^{12} = 0.5$)。同様に，0x800 = - 2047d (符号付き整数) では電力出力は50%減少します。各LSBは，電力出力の0.0244%を示します。皮相電力は，RMSブロックで得た電流と電圧のRMS値で算出されます。

(c) 皮相電力オフセット・キャリブレーション

皮相電力は，平均電流 (I1RMS, I2RMS) ，平均電圧 (V1RMS, V2RMS) の乗算結果です。皮相電力のオフセット・キャリブレーションは，I1RMS, I2RMS, V1RMS, V2RMSのオフセット設定レジスタにより行ってください。詳細は 22. 3 (25) **電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)** ， (26) **電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)** を参照してください。

(d) 皮相電力ゼロロード検出

皮相電力測定には、ゼロロード検出機能が用意されています。この機能を使用すると、皮相電力がゼロロードしきい値を下回る場合に、皮相電力量の累積を行いません。皮相電力ゼロロード検出機能には、次の3つのビットを使用します。

- NLCTLレジスタのAPPNOLOAD1, APPNOLOAD0ビット

この2つのビットは、皮相電力ゼロロードしきい値を設定します。

00：皮相電力ゼロロード検出は無効になります。

01：皮相電力ゼロロード検出は有効になり、しきい値はフルスケールの0.03%になります。

10：皮相電力ゼロロード検出は有効になり、しきい値はフルスケールの0.015%になります。

11：皮相電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0075%になります。

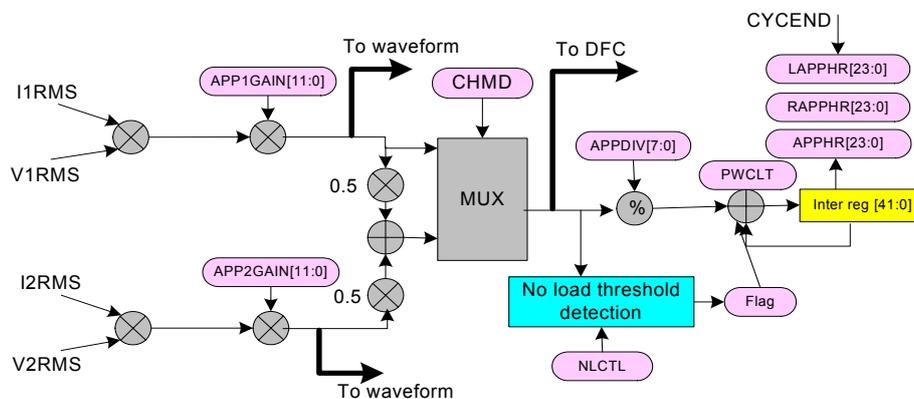
- 拡張SFR割り込み要求フラグ・レジスタ21 (IF21) のAPPNOLDIFフラグ

APPNOLDIFフラグは、NLCTLレジスタのAPPNOLOAD1, APPNOLOAD0ビットで設定されたゼロロードしきい値を皮相電力が下回るとセットされます。

- 拡張SFR割り込みマスク・フラグ・レジスタ20 (MK20) のAPPNOLDMKビット

拡張SFR割り込みマスク・フラグ・レジスタ20 (MK20) のAPPNOLDMKビットがクリアされると、割り込みが発生します。この割り込みは、APPNOLDIFステータス・ビットがクリアされるまで有効です。

図22 - 64 皮相電力ゼロロード検出



このゼロロードしきい値は、CFパルス出力にも適用されます。その場合、ゼロロードしきい値のレベルは、皮相電力量と同じになります。

(2) 皮相電力量 (エネルギー) 演算

(a) 皮相電力量 (エネルギー) 算出方法

皮相電力量は、皮相電力の積分として表されます。

$$Apparen_energy = \int apparent_power(t) dt$$

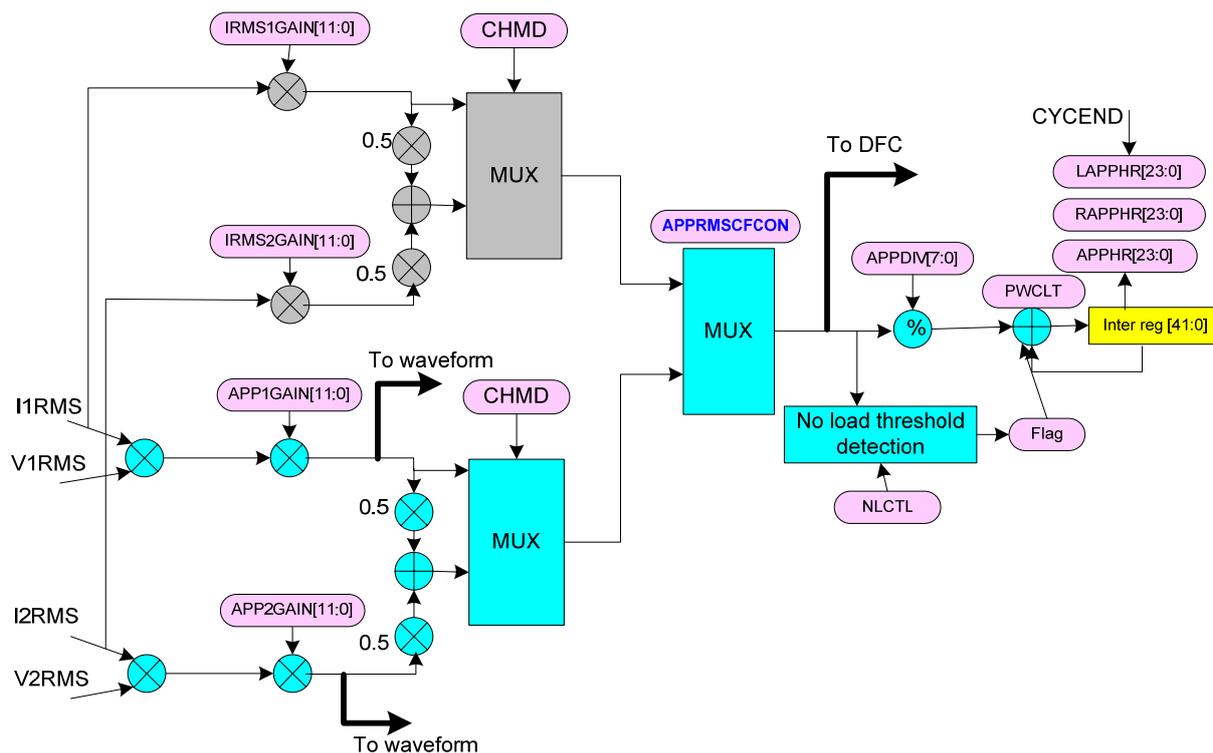
皮相電力信号を内部42ビットのレジスタに累積することにより、皮相電力信号を積分します。この内部レジスタの上位24ビットを、APPHRレジスタで読み出すことができます。

$$Apparen_energy = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} Apparent_power(nT) \times T \right\}$$

上の式で、nは離散時間サンプル数、Tはサンプル期間を表します。

アキュムレーション・レジスタの離散時間サンプル期間(T)は、230.4 μ s (4.34 kHz) となります。

図22 - 65 皮相電力量 (エネルギー) 演算



皮相電力信号は、内部レジスタに連続して符号付き加算されます。

皮相電力は、APPDIVレジスタの値でスケーリングされ、内部アキュムレータに累積されます。APPDIVレジスタは、8ビットの符号なしレジスタであり、スケーリング処理は次のとおりです。

$$\text{スケーリング後の電力} = \text{スケーリングまでの電力} / \text{APPDIV}$$

なお、APPDIV = 0の設定は禁止です。0を設定した場合は、1として処理を行います。

スケール後の皮相電力は、内部42ビット皮相電力量アキュムレータに累積されます。内部アキュムレータの上位24ビットは、レジスタにより読み出すことができます。アキュムレータ値の読み出し方法は3種類あり、それぞれの方法ごとに読み出しレジスタが用意されています。

・ APPHRレジスタを用いて読み出した場合：

読み出し時点のアキュムレータの上位24ビットの値が読み出されます。

・ RAPPHRレジスタを用いて読み出した場合：

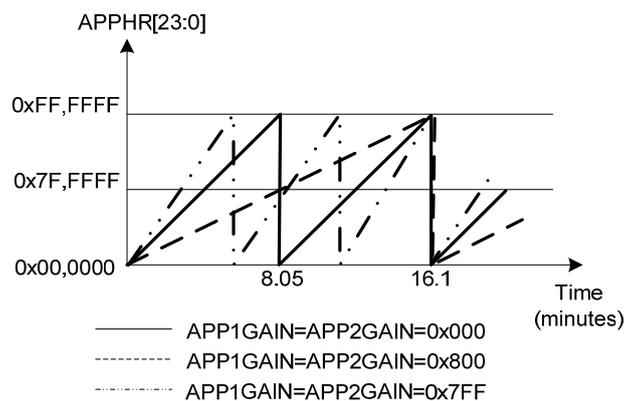
読み出し時点のアキュムレータの上位24ビットの値が読み出されます。読み出し後、アキュムレータの上位24ビットはクリアされます。

・ LAPPHRレジスタを用いて読み出した場合：

ライン周波数に同期した値の読み出しを行います。詳細については、22.4.6(2)(d)ライン・サイクル皮相電力量アキュムレーション・モードを参照してください。

皮相電力量は常に正の値であり、アキュムレータは常に加算されています。

図22 - 66 フルスケール信号の皮相電力量累積



皮相電力量レジスタがハーフフル（正または負）、またはオーバーフロー／アンダフローが発生した場合、割り込みフラグAPPHFIFまたはAPOFIFビットがセットされます。拡張SFR割り込みマスク・フラグ・レジスタ21（MK21）のAPPEHFMK、APPEOFMKビットをクリアすると、皮相電力量レジスタがハーフフル、またはオーバーフローが発生した場合に、割り込みを発生させることができます。なお、皮相電力量レジスタは符号なしレジスタであるため、ハーフフル割り込みは符号付き有効電力量レジスタの23ビットと異なり、24ビットで発生する点に注意してください。

(b) 定常負荷での積分時間

皮相電力量（エネルギー）演算の項で述べたように、アキュムレーション・レジスタの離散時間サンプル期間(T)は230.4 μ s (4.34 kHz) になります。アナログ入力にフルスケール正弦波信号を印加し、APP1GAINおよびAPP2GAINレジスタが0x000に設定されている場合、各GAINからの平均ワード値は 2^{21} （または0x1F, FFFF）になります。42ビットの内部レジスタに格納できる正の最大値は、レジスタがオーバーフローする前は 2^{42} （または0x3FF, FFFF, FFFF）です。この条件下でAPPDIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x3FF, FFFF, FFFF}{0x1F, FFFF} \times 230.4\mu s = 483.13\text{sec} = 8.05\text{min}$$

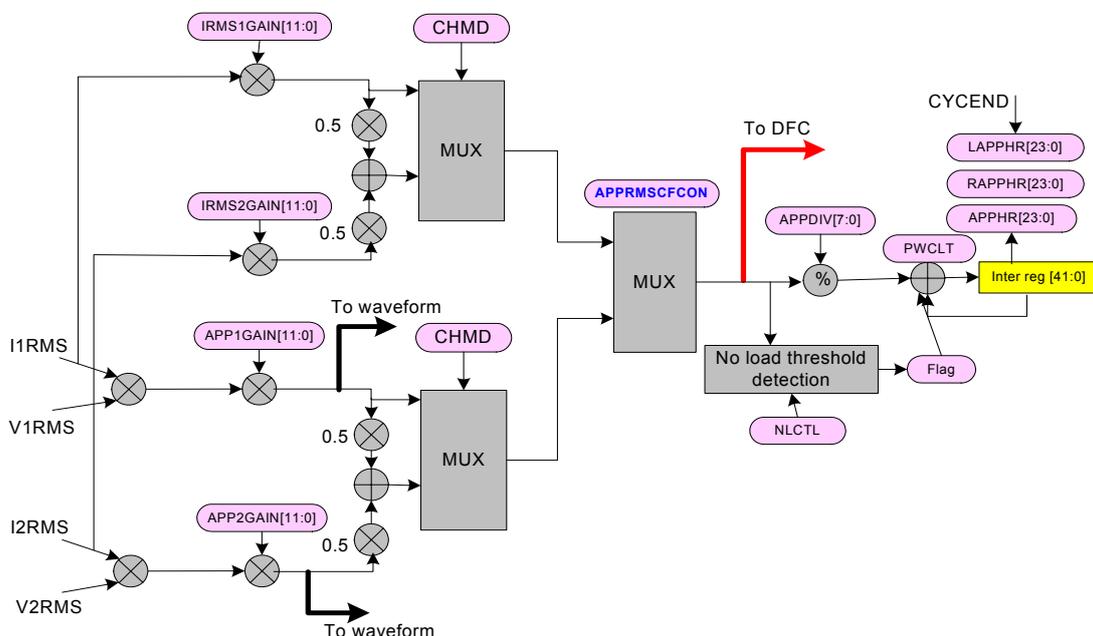
APPDIVが0以外の値に設定されている場合は、積分時間は下記の式に示すように変化します。

$$Time = Time_{APPDIV=0} \times APPDIV$$

(c) 皮相電力量パルス出力

皮相電力量を反映した周波数パルスを出します。このパルスの周波数を出力するために、APP1GAIN, APP2GAINレジスタから出力された皮相電力量信号を使用します。この出力は、周波数がI1rmsまたはI2rmsに比例する周波数のパルスを出すためにも使用します。パルス出力機能の詳細については、第24章 デジタル周波数変換回路を参照してください。

図22 - 67 皮相電力量パルス出力



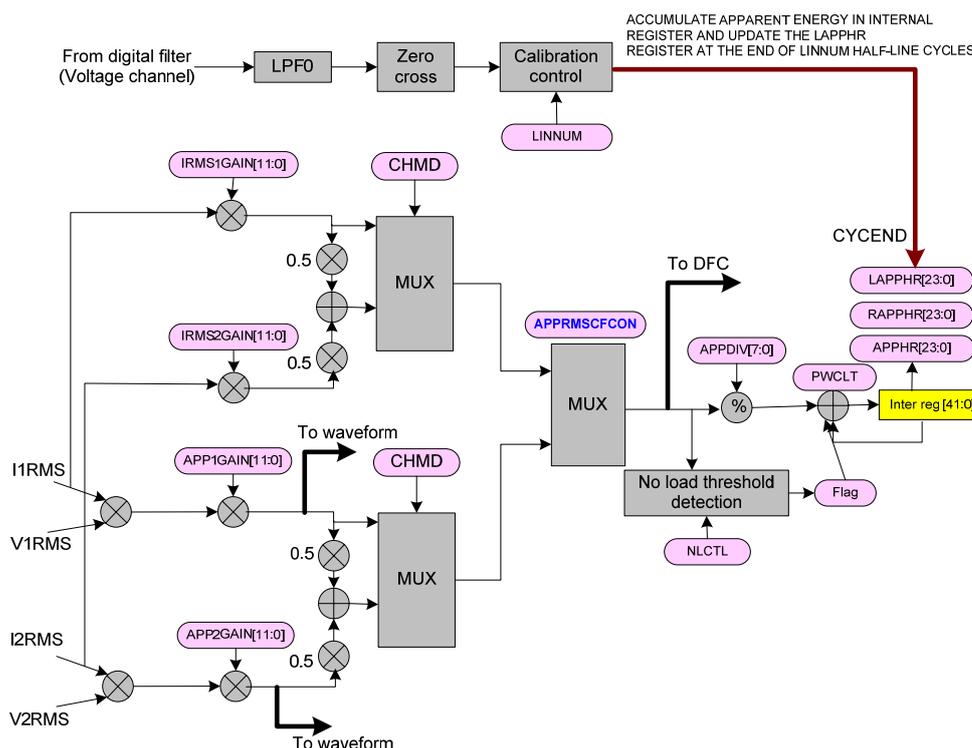
(d) ライン・サイクル皮相電力量アキュムレーション・モード

ライン・サイクル皮相電力量アキュムレーション・モードでは、皮相電力量の正弦波成分による誤差をなくすため、ライン周波数の2倍単位で皮相電力の累積を行います。電力量の累積を電圧チャネルのゼロクロスと同期させることで実現しています。

皮相電力には、ライン周波数が50 Hzまたは60 Hzのときに、100 Hzまたは120 Hzのリプルが生じています。このリプルは、電力量累積中に整数倍にならない周期で累積されると、キャリアレーション誤差を発生します。通常、CF周波数は非常に低いため、リプルがCF周波数に影響を及ぼすことはほとんどありません（例えば、1 Hzでは累積時間は1秒になります）。しかし、キャリアレーション中には、キャリアレーション時間は短くなければならず、リプルによって発生した誤差が大きな影響を与える可能性があります。累積時間がライン周波数の整数倍の周期と等しくすることで、リプルによって発生した誤差をなくすことができます。したがって、ライン・サイクル皮相電力量アキュムレーション・モードでは電力量をより正確に算出できます。

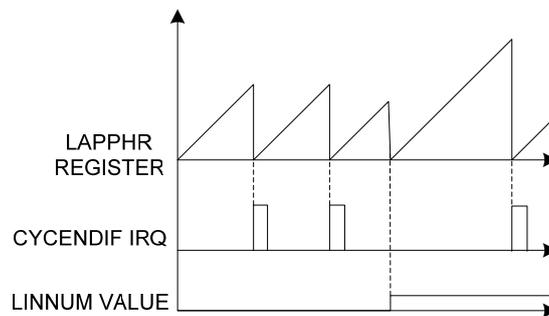
このモードを使用すると、電力量キャリアレーションを大幅に簡略化することができ、キャリアレーションの必要な時間も大幅に短縮できます。ライン・サイクル皮相電力量アキュムレーション・モードでは、皮相電力信号は、指定したライン・サイクル期間でLAPPHRレジスタに累積されます。ハーフ・ライン・サイクル数はLINNUMレジスタで指定し、最大65535ハーフ・ライン・サイクルまで指定できます。皮相電力は指定したライン・サイクル数の期間、積分され、皮相電力量アキュムレーション・ライン・サイクルの終わりに拡張SFR割り込み要求フラグ・レジスタ22 (IF22) のCYCENDIFフラグをセットします。拡張SFR割り込みマスク・フラグ・レジスタ22 (MK22) のCYCENDMKマスク・ビットが0に設定されていると、割り込みが発生します。この割り込みは、CYCENDIFステータス・ビットをクリアするまで有効になります。CYCENDIFフラグがセットされるとすぐに次のキャリアレーション・サイクルが始まります。もし、LAPPHRレジスタが新たなCYCENDIFフラグをセットする前に読み出されない場合、LAPPHRレジスタは、新しい値で上書きされます。

図22 - 68 ライン・サイクル皮相電力量アキュムレーション・モード



新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれると、LAPPHRレジスタがリセットされ、次のゼロクロスで新たな累積が始まります。その後、LINNUMレジスタの値に達するまでハーフ・ライン・サイクル数がカウントされます。このようにして、LINNUMレジスタの書き込み後の最初のCYCEND割り込みで有効な測定が行われます。ライン皮相電力量アキュムレーションでは、皮相電力量アキュムレーションと同じ信号経路を使用します。2つのレジスタのLSBサイズは同等です。

図22 - 69 皮相電力のアキュムレーション・タイミング



PWCTL1レジスタのCYCDISビットは、CYCEND検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定された値に達しても、CYCEND割り込みが発生しません。さらに、CYCDISビットを1にセットすると、新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれても、LAPPHRレジスタと内部アキュムレーション・レジスタは0にリセットされません。

このモードでは、16ビットのLINNUMレジスタが保持できる最大値は65535であることに注意してください。つまり、ライン電力量アキュムレーション・モードでは、最大65535ハーフ・ライン・サイクル数の時間の間、皮相電力量を累積できます。ライン周波数が60 Hzの場合は、最大時間は $65535/120 \text{ Hz} = 546 \text{ 秒}$ となります。

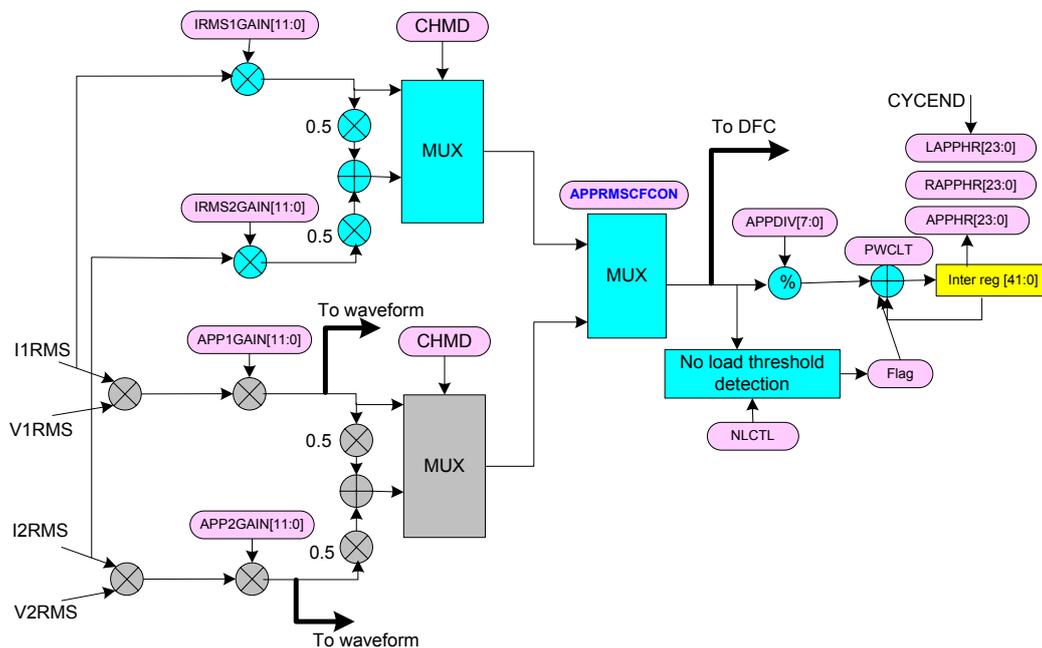
22.4.7 アンペア時アキュムレーション

(1) アンペア時アキュムレーション選択

皮相電力量の代わりにアンペア時を累積することが可能です。アンペア時測定の場合でも、APPHR, RAPPHR, LAPPHRレジスタを用いて結果を読み出します。APPRMSCFCONビットに1をセットすることで、アンペア時の累積を設定することができます。このとき、デジタル周波数変換も皮相電力の代わりに I_{1rms} または $0.5 \times (I_{1rms} + I_{2rms})$ が使用されます。

なお、皮相電力アキュムレーションとアンペア時アキュムレーションは同一回路を使用しているため、どちらかを選択して使用してください。

図22 - 70 アンペア時アキュムレーション



- CHMD = 0 (単相2線モード) の場合 : $IRMS_accumulation = I1RMS$
- CHMD = 1 (単相3線モード) の場合 : $IRMS_accumulation = 0.5 \times (I1RMS + I2RMS)$

この場合、 $IRMS_accumulation$ が、後段のアキュムレーションとデジタル周波数変換への信号になります。

ゼロロードしきい値検出は、APPRMSCFCONビットを1にセットすることで有効にできます。しきい値レベルは、APPNOLOAD1, APPNOLOAD0ビットにより設定してください。

(2) 定常負荷での積分時間

アキュムレーション・レジスタの離散時間サンプル期間 (T) は $230.4 \mu\text{s}$ (4.34 kHz) になります。アナログ入力にフルスケール正弦波信号を印加し、RMS1GAINおよびRMS2GAINレジスタが0x000に設定されている場合、Irmsの平均値は次のようになります。

$$I_{rms_FS} = \frac{2^{20}}{\sqrt{2}} = 0d741455 = 0xB504F$$

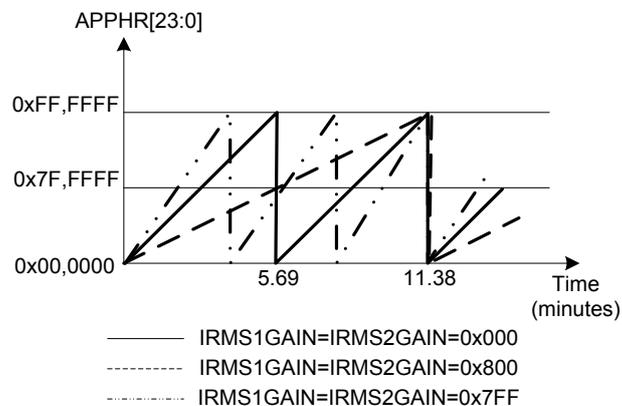
IRMSが電力量アキュムレータに累積される前に、"0"の2つのLSBがIRMSに加算されます。

$$I_{rms_acc_FS} = \frac{2^{22}}{\sqrt{2}} = 0d2965820 = 0x2D413C$$

IRMSアキュムレーションは、皮相電力アキュムレーションと同様に、符号なしアキュムレーションです。42ビットの内部レジスタに格納できる正の最大値は、 2^{42} (または0x3FF, FFFF, FFFF) です。この条件下でAPPDIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x3FF, FFFF, FFFF}{0x2D413C} \times 230.4 \mu\text{s} = 341.66 \text{ sec} = 5.69 \text{ min}$$

図22 - 71 フルスケール信号のアンペア時累積



APPDIVが0以外の値に設定されている場合は、積分時間は次の式に示すように変化します。

$$Time = Time_{APPDIV=0} \times APPDIV$$

22.4.8 波形サンプリング機能

電力演算の中間データの読み出し用に2つのレジスタ（SAMP1, SAMP2）が用意されています。読み出すデータはSAMPMODEレジスタで選択し、最大2信号まで同時に読み出すことが可能です。4.34 kHzごとに指定されたデータを読み出し、SAMP1, SAMP2レジスタにラッチします。

図22 - 72 波形サンプリング機能

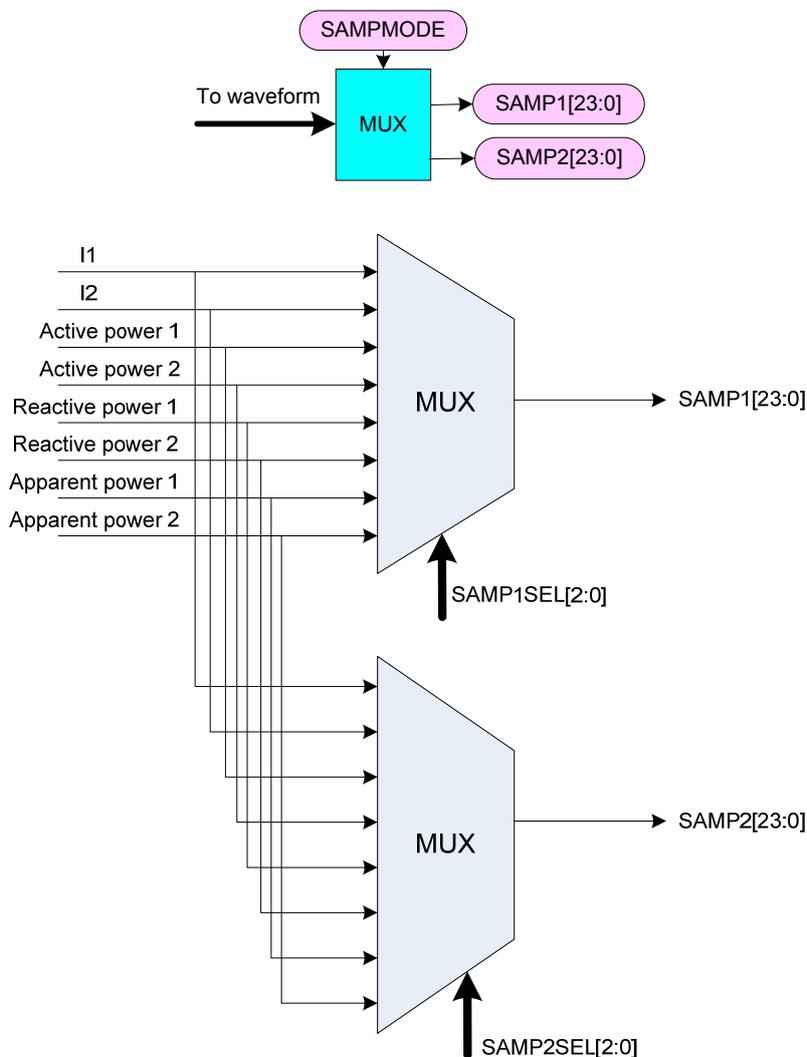


表22 - 7 SAMPMODEレジスタによるサンプル・モード用波形の選択

SAMPnSEL2	SAMPnSEL1	SAMPnSEL0	SAMPMODEレジスタによる サンプル・モード用波形nの選択 (n = 1, 2)	Fs_code
0	0	0	インテグレータからのI1出力	2^{20}
0	0	1	インテグレータからのI2出力	2^{20}
0	1	0	有効電力1 (ACT1GAINの乗算後の出力)	2^{21}
0	1	1	有効電力2 (ACT2GAINの乗算後の出力)	2^{21}
1	0	0	無効電力1 (REA1GAINの乗算後の出力)	2^{21}
1	0	1	無効電力2 (REA2GAINの乗算後の出力)	2^{21}
1	1	0	皮相電力1 (APP1GAINの乗算後の出力)	2^{21}
1	1	1	皮相電力2 (APP2GAINの乗算後の出力)	2^{21}

22.4.9 割り込み

電力演算回路には、13の割り込みがあります。

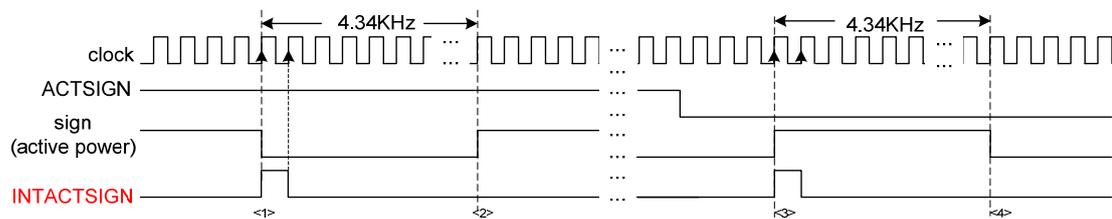
(1) 有効電力と電力量に関連する割り込み

(a) INTACTSIGN

ACTSIGN = 0のときに有効電力が正から負に変化した場合、INTACTSIGN割り込みが発生します。

ACTSIGN = 1のときに有効電力が負から正に変化した場合、INTACTSIGN割り込みが発生します。

図22 - 73 INTACTSIGN割り込み（有効電力）



ACTSIGN = 1のとき、有効電力が負から正に変化 : INTACTSIGNが発生します。

ACTSIGN = 1のとき、有効電力が正から負に変化 : INTACTSIGNは発生しません。

ACTSIGN = 0のとき、有効電力が正から負に変化 : INTACTSIGNが発生します。

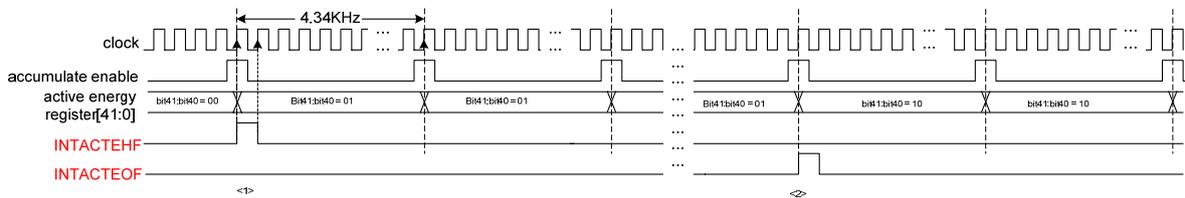
ACTSIGN = 0のとき、有効電力が負から正に変化 : INTACTSIGNは発生しません。

(b) INTACTEHF, INTACTEOF

INTACTEHF割り込みは、有効電力量レジスタがハーフフル（正または負）のときに発生します。

INTACTEOF割り込みは、有効電力量レジスタがオーバフローまたはアンダフロー（正または負）したときに発生します。

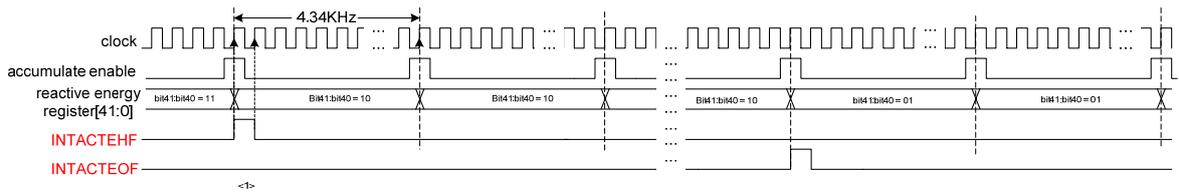
図22 - 74 INTACTEHF, INTACTEOF割り込み（有効電力量が正の場合）



有効電力量がハーフフルの場合、INTACTEHFが発生します。

有効電力量がオーバフローした場合、INTACTEOFが発生します。

図22 - 75 INTACTEHF, INTACTEOF割り込み（有効電力量が負の場合）



有効電力量がハーフフルの場合、INTACTEHFが発生します。

有効電力量がオーバフローした場合、INTACTEOFが発生します。

(c) INTACTNOLD

INTACTNOLD割り込みは、有効電力がゼロロードしきい値を下回るときに発生します。

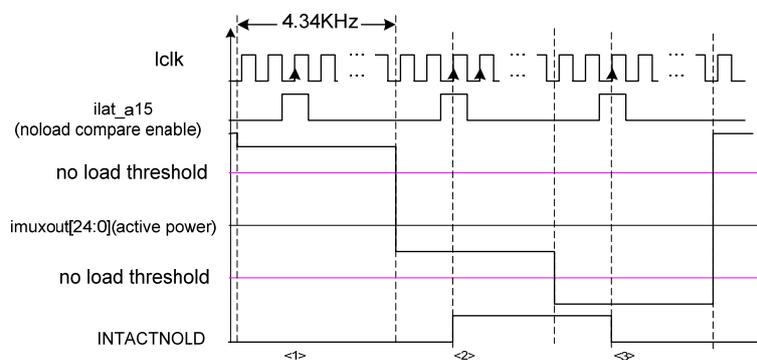
しきい値は、NLCTLレジスタのACTNLOAD1, ACTNLOAD0ビットで設定します（詳細については、22.3(3) **ゼロロード・レベル制御レジスタ (NLCTL)** を参照してください）。

有効電力のフルスケールは $2^{21} = 1\text{FFFFFFH}$ です。この値に従って、しきい値を表22 - 8に示します。

表22 - 8 有効電力のゼロロードしきい値

ACTNLOAD1, 0	ゼロロードしきい値
00	0
01	25'h013A (フルスケールの0.015%)
10	25'h009D (フルスケールの0.0075%)
11	25'h004D (フルスケールの0.0037%)

図22 - 76 INTACTNOLD割り込み (有効電力)



有効電力がゼロロードしきい値を上回る場合、INTACTNOLDは発生しません。

有効電力がゼロロードしきい値を下回る場合、INTACTNOLDが発生します。

有効電力の絶対値がゼロロードしきい値を上回る場合、INTACTNOLDは発生しません。

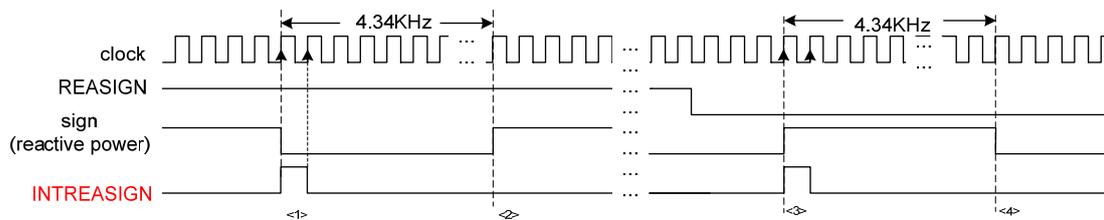
(2) 無効電力と電力量に関連する割り込み

(a) INTREASIGN

REASIGN = 0のときに無効電力が正から負に変化した場合、INTREASIGN割り込みが発生します。

REASIGN = 1のときに無効電力が負から正に変化した場合、INTREASIGN割り込みが発生します。

図22 - 77 INTREASIGN割り込み (無効電力)



REASIGN = 1のとき、無効電力は負から正に変化：INTREASIGNが発生します。

REASIGN = 1のとき、無効電力は正から負に変化：INTREASIGNは発生しません。

REASIGN = 0のとき、無効電力は正から負に変化：INTREASIGNが発生します。

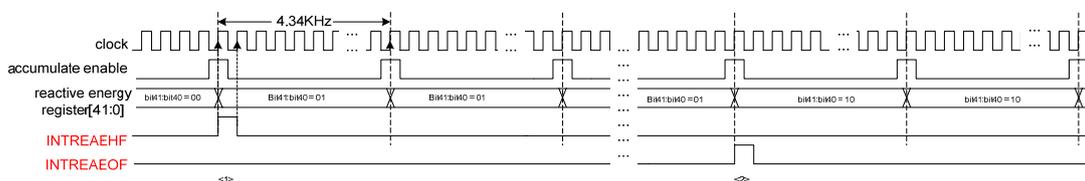
REASIGN = 0のとき、無効電力は負から正に変化：INTREASIGNは発生しません。

(b) INTREAEHF, INTREAEOF

INTREAEHF割り込みは、無効電力量レジスタがハーフフル（正または負）のときに発生します。

INTREAEOF割り込みは、無効電力量レジスタがオーバーフローまたはアンダフロー（正または負）したときに発生します。

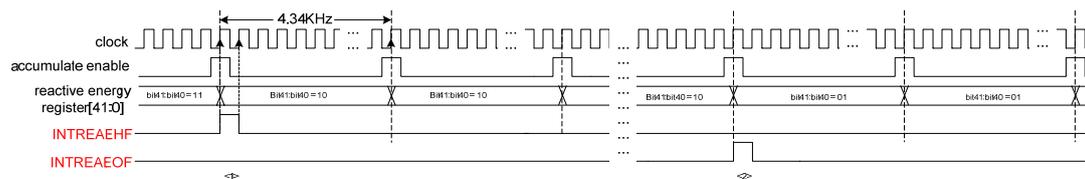
図22 - 78 INTREAEHF, INTREAEOF割り込み（無効電力量が正の場合）



無効電力量がハーフフルの場合、INTREAEHFが発生します。

無効電力量がオーバーフローした場合、INTREAEOFが発生します。

図22 - 79 INTREAEHF, INTREAEOF割り込み（無効電力量が負の場合）



無効電力量がハーフフルの場合、INTREAEHFが発生します。

無効電力量がオーバーフローした場合、INTREAEOFが発生します。

(c) INTREANOLD

INTREANOLD割り込みは、無効電力がゼロロードしきい値を下回るときに発生します。

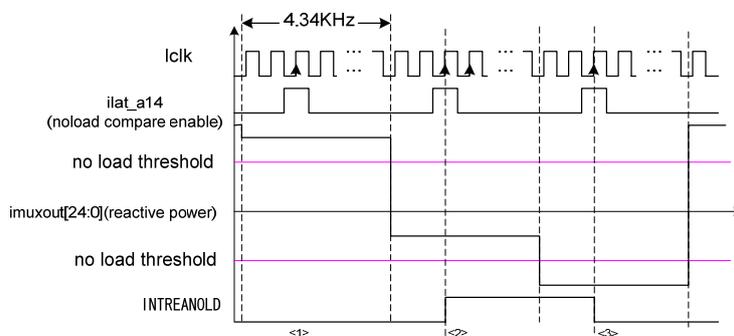
しきい値は、NLCTLレジスタのREANOLOAD1, REANOLOAD0ビットで設定します（詳細については、22.3(3) **ゼロロード・レベル制御レジスタ (NLCTL)** を参照してください）。

無効電力のフルスケールは $2^{21} = 1\text{FFFFFFH}$ です。この値に従って、しきい値を表22 - 9に示します。

表22 - 9 無効電力のゼロロードしきい値

REANOLOAD1, 0	ゼロロードしきい値
00	0
01	25'h013A (フルスケールの0.015%)
10	25'h009D (フルスケールの0.0075%)
11	25'h004D (フルスケールの0.0037%)

図22 - 80 INTREANOLD割り込み（無効電力）



無効電力がゼロロードしきい値を上回る場合、INTREANOLDは発生しません。

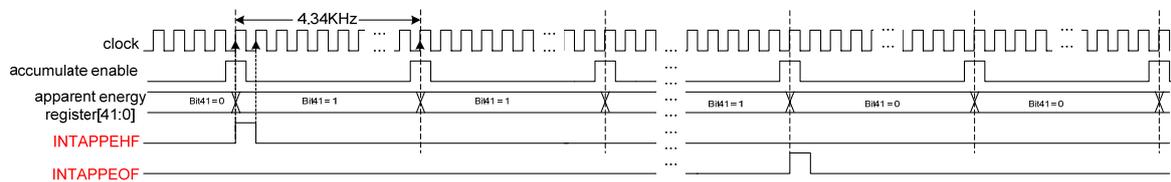
無効電力がゼロロードしきい値を下回る場合、INTREANOLDが発生します。

無効電力の絶対値がゼロロードしきい値を上回る場合、INTREANOLDは発生しません。

(3) 皮相電力と電力量に関連する割り込み

(a) INTAPPEHF, INTAPPEOF

図22 - 81 INTAPPEHF, INTAPPEOF割り込み



(b) INTAPPNOLD

INTAPPNOLD割り込みは、皮相電力がゼロロードしきい値を下回るときに発生します。

しきい値は、NLCTLレジスタのAPPNOLOAD1, APPNOLOAD0ビットで設定します（詳細については、22.3(3) **ゼロロード・レベル制御レジスタ (NLCTL)** を参照してください）。

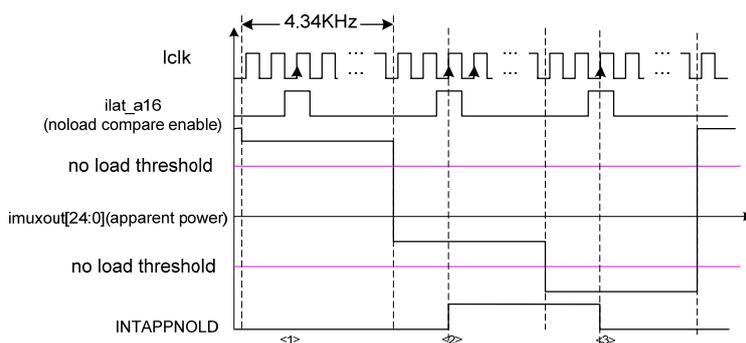
皮相電力のフルスケールは $2^{21} = 1\text{FFFFFH}$ です。この値に従って、しきい値を表22 - 10に示します。

このゼロロードしきい値は、APPRMSCFCONビットがセットされると、I_{rms}パルス出力にも適用される点に注意してください。その場合、APPRMSCFCON = 1であれば、IRMSゼロロードしきい値検出が有効になり、ゼロロードしきい値のレベルは皮相電力量と同じになります。IRMSのフルスケールは $2^{19.5}$ です。これはIRMSが23ビットで、電力が25ビットであるため、IRMSの2ビットが拡張されたためです。IRMSのしきい値は、 $2^{(19.5+2)} = 2^{21.5} = 2\text{D413D H}$ となります。

表22 - 10 皮相電力のゼロロードしきい値

APPRMSCFCON	APPNOLOAD1, 0	ゼロロードしきい値
0	00	0
0	01	25'h0275 (皮相電力フルスケールの0.03%)
0	10	25'h013A (皮相電力フルスケールの0.015%)
0	11	25'h009D (皮相電力フルスケールの0.0075%)
1	00	0
1	01	25'h0379 (IRMSフルスケールの0.03%)
1	10	25'h01BC (IRMSフルスケールの0.015%)
1	11	25'h00DE (IRMSフルスケールの0.0075%)

図22 - 82 INTAPPNOLD割り込み



皮相電力がゼロロードしきい値を上回る場合、INTAPPNOLDは発生しません。

皮相電力がゼロロードしきい値を下回る場合、INTAPPNOLDが発生します。

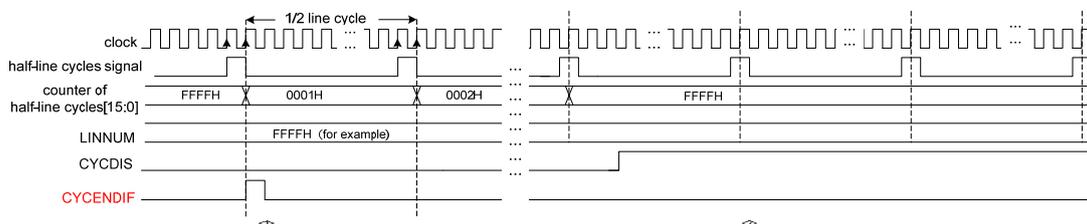
無効電力の皮相値がゼロロードしきい値を上回る場合、INTAPPNOLDは発生しません。

(4) Cycend関連割り込み (INTCYCED)

INTCYCED割り込みは、ハーフ・ライン・サイクル数がLINNUMレジスタ値に等しいときに発生します。

PWCTL1レジスタのCYCDISビットは、INTCYCED検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても、INTCYCED割り込みが発生しません。

図22 - 83 INTCYCED割り込み



CYCDIS = 0, ハーフ・ライン・サイクル数 = LINNUM値である場合、INTCYCEDが発生します。

CYCDIS = 1, ハーフ・ライン・サイクル数 = LINNUM値である場合、INTCYCEDは発生しません。

(5) 波形関連割り込み (INTWFSM)

INTWFSM割り込みは、SAMPnSEL2, SAMPnSEL1, SAMPnSEL0の設定によって発生します (詳細については、22.3 (27) サンプルング・モード選択レジスタ (SAMPMODE) を参照してください)。

SAMPnSELが割り当てられた信号が変化すると、対応する割り込みが発生します。

SAMP1とSAMP2レジスタは、サンプルング周期ごとに更新されます ($f_s = 4.34 \text{ kHz}$)。SAMP1とSAMP2レジスタは、いつでも読み出すことができます。波形サンプルングは次のフローを推奨します。

SAMP1とSAMP2レジスタの波形源を選択するために、SAMPMODEレジスタを設定します。

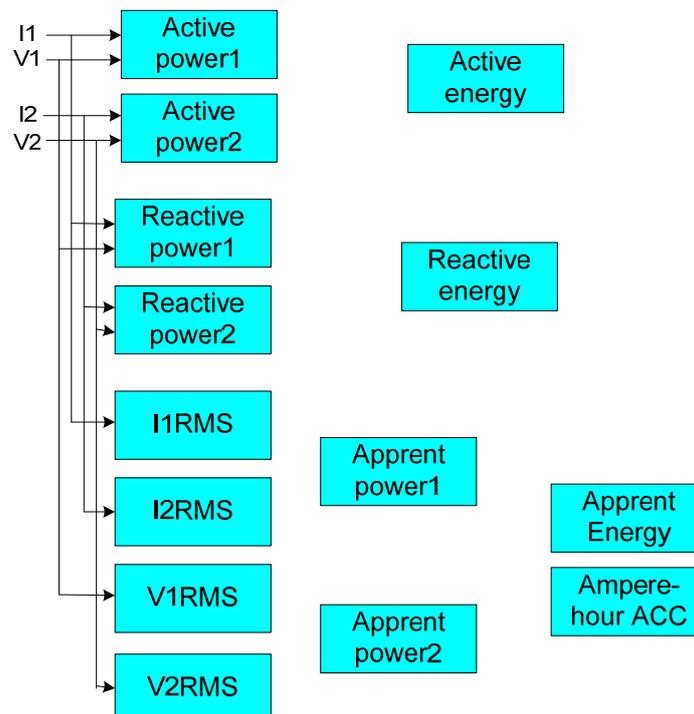
SAMPENビットをセットして、波形サンプルング機能を有効にします。拡張SFR割り込みマスク・フラグ・レジスタ22 (MK22) のWFSMMKビットをクリアして、SAMP1, SAMP2レジスタの更新後に発生する割り込みを有効にします。

INTWFSMによって割り込みが発生した場合、SAMP1, SAMP2レジスタを読み出して新しい波形サンプルング・データを入手し、WFSMIF (波形サンプルング用割り込みフラグ) をクリアします。

22.4.10 節電モード

消費電力を低減するため、節電モードを用意しています。不要な電力演算を停止させることが可能です。

図22 - 84 電力構成



節電機能は、次の6つのビットで制御します。

- ・ PWREN (PWCTL1レジスタのビット7)
 - 0 : すべての電力演算機能は無効
 - 1 : すべての電力演算機能は有効

- ・ CHMD (ADM2レジスタのビット5)
 - 0 : 単相2線方式
 - 1 : 単相3線方式

- ・ ACTDIS (PWCTL2のビット7)
 - 0 : 有効電力演算は有効
 - 1 : 有効電力演算は無効

- ・ READIS (PWCTL1のビット6)
 - 0 : 無効電力演算は有効
 - 1 : 無効電力演算は無効

- ・ APPDIS (PWCTL1のビット5)
 - 0 : 皮相電力演算およびアンペア時ACCは有効
 - 1 : 皮相電力演算およびアンペア時ACCは無効

- ・ APPRMSCFCON (PWCTL1のビット2)
 - 0 : 皮相電力を累積
 - 1 : アンペア時を累積

表22 - 11 有効電力と電力量制御表

PWREN	CHMD	ACTDIS	有効電力1	有効電力2	有効電力量
0	0/1	0/1	×	×	×
1	0/1	1	×	×	×
1	0	0		×	
1	1	0			

表22 - 12 無効電力と電力量制御表

PWREN	CHMD	READIS	無効電力1	無効電力2	無効電力量
0	0/1	0/1	×	×	×
1	0/1	1	×	×	×
1	0	0		×	
1	1	0			

表22 - 13 皮相電力と電力量，RMS，アンペア時ACC制御表

PWREN	CHMD	APPDIS	APPRMS CFCON	皮相 電力1	皮相 電力2	皮相 電力量	I1RMS	I2RMS	V1RMS	V2RMS	アンペア 時ACC
0	0/1	0/1	0/1	×	×	×	×	×	×	×	×
1	0	1	0/1	×	×	×			×	×	×
1	0	0	0		×					×	×
1	0	0	1	×	×	×				×	
1	1	1	0/1	×	×	×			×	×	×
1	1	0	0								×
1	1	0	1	×	×	×					

22.4.11 電力演算回路の注意事項

- ・電力演算回路は、メイン・クロックが10 MHzで、データ・レートが $10 \text{ MHz} / (128^{18})$ のときのみ保証されます。
- ・電力演算回路は、多くのレジスタが2バイト以上で構成されています。2バイトまたはそれ以上のレジスタを読み出す場合、最初に下位バイトを読み出し、そのあとに上位バイトを読み出してください。同様に2バイトまたはそれ以上のレジスタを書き込む場合、最初に下位バイトを書き込み、そのあとに上位バイトを書き込んでください。これ以外の方法でアクセスを行った場合は、正しくアクセスできません。
- ・節電モードを使用する場合は、対応するチャンネルの波形サンプリング機能を使用しないでください。節電モードを設定後、対応する電力量アキュムレータは変化しません。したがって、節電モードを設定後、対応するチャンネルの電力量レジスタを読み出さないようにしてください。
節電モードを設定する前に、デジタル周波数変換回路のソースが対応するチャンネルから供給されないように、デジタル周波数変換回路のソースを確認または変更する必要があります。例えば、ACTDISをセットする前に、[CFSEL1, CFSEL0]に“00”を設定することは禁止されています（“00”のとき、デジタル周波数変換回路のソースには有効電力が選択されています）。

第23章 電力品質測定回路

電力品質測定回路では、入力信号の品質測定を行います。

23. 1 電力品質測定回路の機能

電力品質測定回路は、次の機能を搭載しています。

- ・ゼロクロス検出
- ・ゼロクロス・タイムアウト検出
- ・SAG検出
- ・ピーク測定
- ・ピリオド/周波数測定
- ・フォールト検出
- ・電流チャンネル・ゲイン調整

23. 1. 1 割り込み信号生成機能

電力品質測定回路では、次の割り込み信号を生成します。

表23 - 1 電力品質測定回路の割り込み信号

割り込み要求信号	割り込み要求フラグ	割り込みマスク・フラグ	割り込み要因
INTZX1	ZX1IF	ZX1MK	電圧チャンネル1のゼロクロス検出割り込み
INTZX2	ZX2IF	ZX2MK	電圧チャンネル2のゼロクロス検出割り込み
INTZXTO1	ZXTO1IF	ZXTO1MK	電圧チャンネル1のゼロクロス・タイムアウト割り込み
INTZXTO2	ZXTO2IF	ZXTO2MK	電圧チャンネル2のゼロクロス・タイムアウト割り込み
INTSAG1	SAG1IF	SAG1MK	電圧チャンネル1のSAG検出割り込み
INTSAG2	SAG2IF	SAG2MK	電圧チャンネル2のSAG検出割り込み
INTPKI1	PKI1IF	PKI1MK	電流チャンネルのピーク検出割り込み
INTPKV1	PKV1IF	PKV1MK	電圧チャンネルのピーク検出割り込み
INTFAULTSIGN	FAULTSIGNIF	FAULTSIGNMK	フォールト検出割り込み

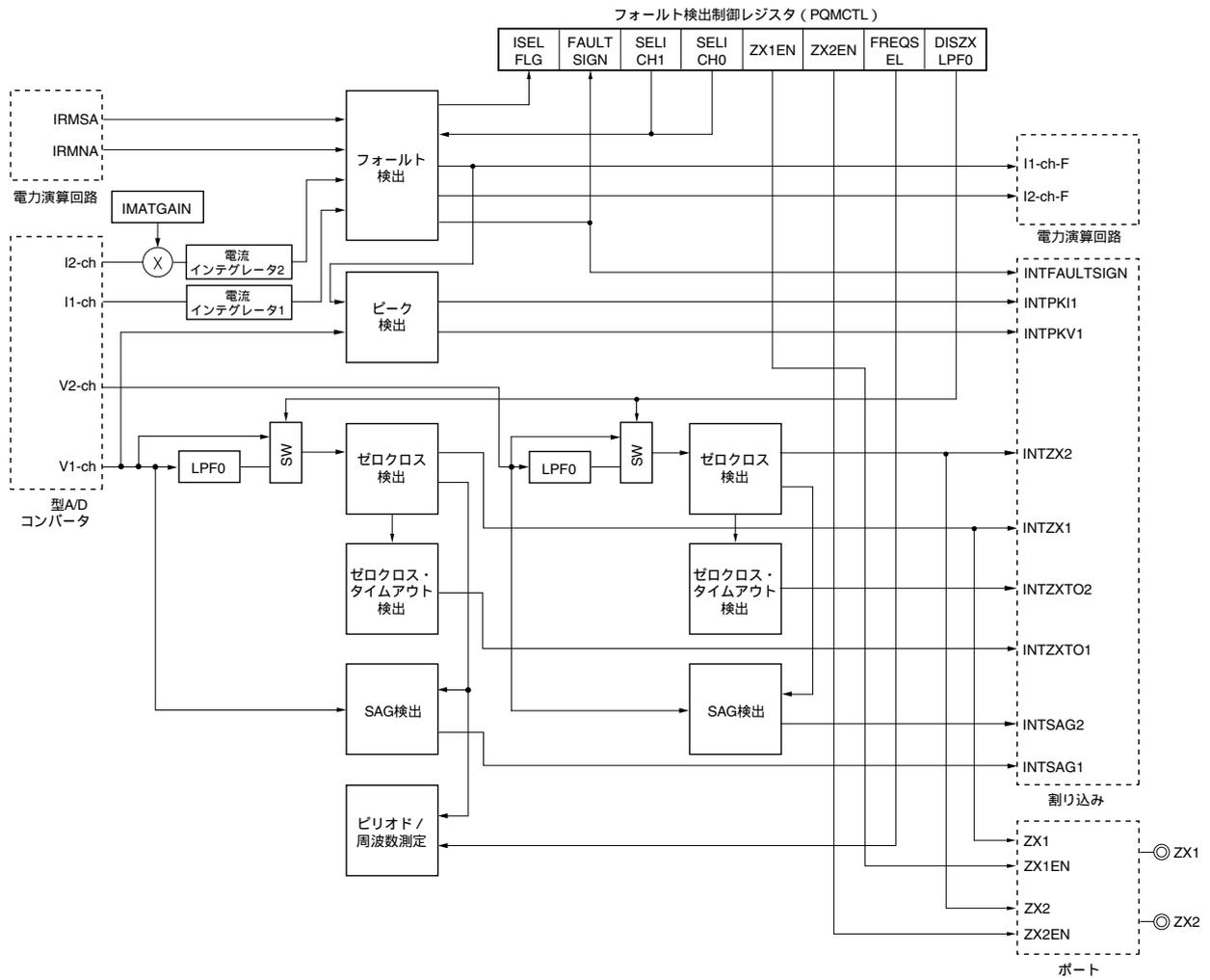
23.2 電力品質測定回路の構成

電力品質測定回路は、次のハードウェアで構成しています。

表23 - 2 電力品質測定回路のハードウェア

項目	構成
制御回路	ゼロクロス検出回路 ゼロクロス・タイムアウト検出回路 SAG検出回路 ピーク測定回路 ピリオド/周波数測定回路 フォールト検出回路 電流チャンネル・ゲイン調整回路
レジスタ	ピリオド/周波数測定結果レジスタ (PFVAL) 電流ピーク値レジスタ (IMAX) 電流ピーク値クリア・レジスタ (RSTIMAX) 電圧ピーク値レジスタ (VMAX) 電圧ピーク値クリア・レジスタ (RSTVMAX)
制御レジスタ	電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2) 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2) 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2) 電流ピーク・レベル設定レジスタ (IPKLMT) 電圧ピーク・レベル設定レジスタ (VPKLMT) ゲイン設定レジスタ (IMATGAIN) フォールト検出制御レジスタ (PQMCTL) フォールト検出しきい値設定レジスタ (IST) フォールト制御レジスタ (ICLK)

図23 - 1 電力品質測定回路のブロック図



(1) ゼロクロス検出回路，ゼロクロス・タイムアウト回路

V1チャンネル，V2チャンネルの電圧信号の入力状態を監視します。

PQMCTLレジスタのZX1EN, ZX2ENビットを1を設定すると，ゼロクロス信号出力が有効になります。

(a) ゼロクロス検出

型A/Dコンバータから入力されるV1チャンネル，V2チャンネルの値に対して，符号反転（ゼロクロス）を検出します。ゼロクロス割り込み（INTZXn）を発生させることが可能です。

(b) ゼロクロス・タイムアウト

設定したタイムアウト期間にゼロクロスが検出できない場合，ゼロクロス・タイムアウト割り込み（INTZXTOn）が発生します。

タイムアウト時間は，サンプリング・クロック（ $f_s = 4.34 \text{ kHz}$ ）のカウント数としてZXTOUTnレジスタで設定します。

(2) SAG検出回路

入力電圧（V1チャンネル，V2チャンネル）の変動を監視します。

SAGNUMnレジスタで設定したライン・サイクル数の期間に，SAGVALnレジスタで指定したSAG検出電圧レベル以下の入力が続いた場合，SAG割り込み（INTSAGn）を発生します。

(3) ピーク測定回路

入力電圧（V1チャンネル）および入力電流（I1チャンネル）のピークを監視します。

入力電圧 / 入力電流（V1チャンネル，I1チャンネル）の絶対値が，VPKLMT / IPKLMTレジスタで設定したピーク検出電圧 / 電流レベルを越えた場合，割り込み（INTPKV1 / INTPKI1）を発生し，検出したピーク値（絶対値）をVMAX / IMAXレジスタに格納します。

なお，ピーク値の読み出しには，次の2つのモードがあり，読み出しモードごとにレジスタが用意されています。

- ・通常読み出し（レジスタ名：VMAX / IMAX）

検出したピーク値を読み出せます。

- ・リセット付き読み出し（レジスタ名：RSTVMAX / RSTIMAX）

検出したピーク値を読み出せます。読み出し後，レジスタの値はクリアされます。

備考 n = 1, 2

(4) ピリオド / 周波数測定回路

電圧チャンネル (V1チャンネルのみ) のピリオド / 周波数を測定します。ピリオド / 周波数の切り替えは、PQMCTLレジスタで設定できます。

(a) ピリオド測定

型A/Dコンバータのサンプリング・クロック ($f_s = 4.34 \text{ kHz}$) を用いて、20ライン区間をカウントします。カウント結果は、PFVALレジスタへ格納されます。

(b) 周波数測定

型A/Dコンバータのサンプリング・クロック ($f_s = 4.34 \text{ kHz}$) を用いて、20ライン区間をカウントします。カウント値を用いて、周波数計算を行います。計算結果は、0.0625 Hz/LSBとしてPFVALレジスタに格納されます。

(5) フォールト検出回路

単相2線方式のみで使用します。I1をライン側、I2をニュートラル側に接続することで、2ラインを用いて電流検出を行います。

(a) フォールト検出

以下の両方の条件が満たされた場合にフォールトと判断し、アクティブ・チャンネルの切り替え、割り込みを発生させることができます。

- ・ I1, I2チャンネルの電流平均値 (RMS値) の差が、アクティブ・チャンネルの平均電流値の指定倍[※] (1/8, 1/16, 1/32, 1/64) を越えたとき
- ・ I1, I2チャンネルの電流平均値 (RMS値) の大きいほうの値が指定値 (ISTレジスタの値) を越えたとき

注 指定倍は、ICLKレジスタで指定します。

(b) アクティブ・チャンネル切り替え

PQMCTLレジスタで自動モードを設定しているとき、フォールト条件が検出されると、アクティブ・チャンネルが自動で切り替わります。また、設定で切り替えることもできます。

現在のアクティブ・チャンネルは、PQMCTLレジスタで確認できます。

(c) フォールト割り込み発生

フォールト検出時、フォールト状態からの復帰時に割り込み (INTFAULTSIGN) を発生します。

(6) 電流チャンネル・ゲイン補正

フォールト検出では、電流I1および電流I2の差を比較します。このため、電流I1、電流I2の電流量は、あらかじめ同じとなるように調整しておく必要があります。電流ゲイン補正回路では、入力電流値I2にゲインを加えることで補正を行います。

23.3 電力品質測定回路で使用するレジスタ

電力品質測定回路では、次のレジスタを使用します。

これらのレジスタは、すべて拡張SFR空間に配置されています。

拡張SFR空間へのアクセス方法は、**第17章 拡張SFRインタフェース**を参照してください。

- ・ピリオド / 周波数測定結果レジスタ (PFVAL)
- ・電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2)
- ・電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2)
- ・電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2)
- ・電流ピーク・レベル設定レジスタ (IPKLMT)
- ・電圧ピーク・レベル設定レジスタ (VPKLMT)
- ・電流ピーク値レジスタ (IMAX)
- ・電流ピーク値クリア・レジスタ (RSTIMAX)
- ・電圧ピーク値レジスタ (VMAX)
- ・電圧ピーク値クリア・レジスタ (RSTVMAX)
- ・ゲイン設定レジスタ (IMATGAIN)
- ・フォールト検出制御レジスタ (PQMCTL)
- ・フォールト検出しきい値設定レジスタ (IST)
- ・フォールト制御レジスタ (ICLK)

(1) ピリオド/周波数測定結果レジスタ (PFVAL)

電圧チャンネル1のピリオド/周波数の測定結果を格納するレジスタです。

PFVALは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、0000Hになります。

図23 - 2 ピリオド/周波数測定結果レジスタ (PFVAL) のフォーマット

アドレス：100H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PFVALL	PFVAL7	PFVAL6	PFVAL5	PFVAL4	PFVAL3	PFVAL2	PFVAL1	PFVAL0

アドレス：101H リセット時：00H R

略号	7	6	5	4	3	2	1	0
PFVALH	PFVAL15	PFVAL14	PFVAL13	PFVAL12	PFVAL11	PFVAL10	PFVAL9	PFVAL8

PFVAL15-0	電圧チャンネル1のピリオド/周波数測定結果の格納
0000H-FFFFH	ピリオド/周波数測定結果

備考 PQMCTLレジスタのFREQSELビットの設定により、ピリオドまたは周波数のどちらの測定結果を格納するかを指定できます。

- ・ FREQSEL = 0のとき、ピリオド測定結果を格納します。
- ・ FREQSEL = 1のとき、周波数測定結果を格納します。

(2) 電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2)

電圧チャンネル1, 2のゼロクロス・タイムアウト時間を設定するレジスタです。

ZXTOUT1, ZXTOUT2は, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, 03FFHになります。

図23 - 3 電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2) のフォーマット

(a) ZXTOUT1

アドレス : 102H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT1L	ZXTOUT17	ZXTOUT16	ZXTOUT15	ZXTOUT14	ZXTOUT13	ZXTOUT12	ZXTOUT11	ZXTOUT10

アドレス : 103H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT1H	0	0	0	0	0	0	ZXTOUT19	ZXTOUT18

(b) ZXTOUT2

アドレス : 104H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT2L	ZXTOUT27	ZXTOUT26	ZXTOUT25	ZXTOUT24	ZXTOUT23	ZXTOUT22	ZXTOUT21	ZXTOUT20

アドレス : 105H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT2H	0	0	0	0	0	0	ZXTOUT29	ZXTOUT28

ZXTOUTn9-n0	電圧チャンネルnのゼロクロス・タイムアウト時間の設定 (n = 1, 2)
0000H-03FFH	ゼロクロス・タイムアウト時間

注意1. ZXTOUT1H, ZXTOUT2Hのビット2-7には, 必ず0を設定してください。

2. CHMD (ADM2のビット5) = 0のとき, ZXTOUT2は書き込みできません。また, 読み出し値はリセット値となります。

(3) 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2)

電圧チャンネル1, 2のSAG検出のライン・サイクル数を設定するレジスタです。

ハーフ・ライン単位で設定できます。

SAGNUM1, SAGNUM2は, 拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により, FFHになります。

図23 - 4 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2) のフォーマット

(a) SAGNUM1

アドレス : 106H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
SAGNUM1	SAGNUM17	SAGNUM16	SAGNUM15	SAGNUM14	SAGNUM13	SAGNUM12	SAGNUM11	SAGNUM10

(b) SAGNUM2

アドレス : 10AH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
SAGNUM2	SAGNUM27	SAGNUM26	SAGNUM25	SAGNUM24	SAGNUM23	SAGNUM22	SAGNUM21	SAGNUM20

SAGNUMn7-n0	電圧チャンネルnのSAG検出ライン・サイクル数の設定 (n = 1, 2)
00H-FFH	SAG検出ライン・サイクル数

注意 CHMD (ADM2のビット5) = 0のとき, SAGNUM2は書き込みできません。また, 読み出し値はリセット値となります。

(4) 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2)

電圧チャンネル1, 2のSAG検出電圧レベルを設定するレジスタです。

SAGVAL1, SAGVAL2は、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、000000Hになります。

図23 - 5 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2) のフォーマット

(a) SAGVAL1

アドレス：107H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL1L	SAGVAL17	SAGVAL16	SAGVAL15	SAGVAL14	SAGVAL13	SAGVAL12	SAGVAL11	SAGVAL10

アドレス：108H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL1M	SAGVAL115	SAGVAL114	SAGVAL113	SAGVAL112	SAGVAL111	SAGVAL110	SAGVAL19	SAGVAL18

アドレス：109H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL1H	0	0	SAGVAL121	SAGVAL120	SAGVAL119	SAGVAL118	SAGVAL117	SAGVAL116

(b) SAGVAL2

アドレス：10BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL2L	SAGVAL27	SAGVAL26	SAGVAL25	SAGVAL24	SAGVAL23	SAGVAL22	SAGVAL21	SAGVAL20

アドレス：10CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL2M	SAGVAL215	SAGVAL214	SAGVAL213	SAGVAL212	SAGVAL211	SAGVAL210	SAGVAL29	SAGVAL28

アドレス：10DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL2H	0	0	SAGVAL221	SAGVAL220	SAGVAL219	SAGVAL218	SAGVAL217	SAGVAL216

SAGVALn21-n0	電圧チャンネルnのSAG検出電圧レベルの設定 (n = 1, 2)
000000H-3FFFFFFH	SAG検出電圧レベル

注意1. SAGVAL1H, SAGVAL2Hのビット6, 7には、必ず0を設定してください。

2. CHMD (ADM2のビット5) = 0のとき、SAGVAL2は書き込みできません。また、読み出し値はリセット値となります。

(5) 電流ピーク・レベル設定レジスタ (IPKLMT)

電流チャンネル1のピーク検出電流レベルを設定するレジスタです。

IPKLMTは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、FFFFHになります。

図23 - 6 電流ピーク・レベル設定レジスタ (IPKLMT) のフォーマット

アドレス : 10EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IPKLMTL	IPKLMT7	IPKLMT6	IPKLMT5	IPKLMT4	IPKLMT3	IPKLMT2	IPKLMT1	IPKLMT0

アドレス : 10FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IPKLMTH	IPKLMT15	IPKLMT14	IPKLMT13	IPKLMT12	IPKLMT11	IPKLMT10	IPKLMT9	IPKLMT8

IPKLMT15-0	電流チャンネル1のピーク検出電流レベルの設定
0000H-FFFFH	ピーク検出電流レベル

(6) 電圧ピーク・レベル設定レジスタ (VPKLMT)

電圧チャンネル1のピーク検出電圧レベルを設定するレジスタです。

VPKLMTは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、FFFFHになります。

図23 - 7 電圧ピーク・レベル設定レジスタ (VPKLMT) のフォーマット

アドレス : 110H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
VPKLMTL	VPKLMT7	VPKLMT6	VPKLMT5	VPKLMT4	VPKLMT3	VPKLMT2	VPKLMT1	VPKLMT0

アドレス : 111H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
VPKLMTH	VPKLMT15	VPKLMT14	VPKLMT13	VPKLMT12	VPKLMT11	VPKLMT10	VPKLMT9	VPKLMT8

VPKLMT15-0	電圧チャンネル1のピーク検出電圧レベルの設定
0000H-FFFFH	ピーク検出電圧レベル

(7) 電流ピーク値レジスタ (IMAX)

電流チャンネル1の絶対値がピーク検出電流レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされません。

IMAXは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図23 - 8 電流ピーク値レジスタ (IMAX) のフォーマット

アドレス：112H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IMAXL	IMAX7	IMAX6	IMAX5	IMAX4	IMAX3	IMAX2	IMAX1	IMAX0

アドレス：113H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IMAXM	IMAX15	IMAX14	IMAX13	IMAX12	IMAX11	IMAX10	IMAX9	IMAX8

アドレス：114H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IMAXH	0	0	IMAX21	IMAX20	IMAX19	IMAX18	IMAX17	IMAX16

IMAX21-0	検出したピーク電流値（絶対値）の格納
000000H-3FFFFFFH	ピーク電流値（読み出し後クリアされません）

(8) 電流ピーク値クリア・レジスタ (RSTIMAX)

電流チャンネル1の絶対値がピーク検出電流レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされます。

RSTIMAXは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図23 - 9 電流ピーク値クリア・レジスタ (RSTIMAX) のフォーマット

アドレス：116H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTIMAXL	RSTIMAX7	RSTIMAX6	RSTIMAX5	RSTIMAX4	RSTIMAX3	RSTIMAX2	RSTIMAX1	RSTIMAX0

アドレス：117H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTIMAXM	RSTIMAX15	RSTIMAX14	RSTIMAX13	RSTIMAX12	RSTIMAX11	RSTIMAX10	RSTIMAX9	RSTIMAX8

アドレス：118H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTIMAXH	0	0	RSTIMAX21	RSTIMAX20	RSTIMAX19	RSTIMAX18	RSTIMAX17	RSTIMAX16

RSTIMAX21-0	検出したピーク電流値（絶対値）の格納
000000H-3FFFFFFH	ピーク電流値（読み出し後クリアされます）

(9) 電圧ピーク値レジスタ (VMAX)

電圧チャンネル1の絶対値がピーク検出電圧レベルを越えたとき，検出したピーク値（絶対値）を格納するレジスタです。読み出し後，レジスタ値はクリアされません。

VMAXは，拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により，000000Hになります。

図23 - 10 電圧ピーク値レジスタ (VMAX) のフォーマット

アドレス：119H リセット時：00H R

略号	7	6	5	4	3	2	1	0
VMAXL	VMAX7	VMAX6	VMAX5	VMAX4	VMAX3	VMAX2	VMAX1	VMAX0

アドレス：11AH リセット時：00H R

略号	7	6	5	4	3	2	1	0
VMAXM	VMAX15	VMAX14	VMAX13	VMAX12	VMAX11	VMAX10	VMAX9	VMAX8

アドレス：11BH リセット時：00H R

略号	7	6	5	4	3	2	1	0
VMAXH	0	0	VMAX21	VMAX20	VMAX19	VMAX18	VMAX17	VMAX16

VMAX21-0	検出したピーク電圧値（絶対値）の格納
000000H-3FFFFFFH	ピーク電圧値（読み出し後クリアされません）

(10) 電圧ピーク値クリア・レジスタ (RSTVMAX)

電圧チャンネル1の絶対値がピーク検出電圧レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされます。

RSTVMAXは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図23 - 11 電圧ピーク値クリア・レジスタ (RSTVMAX) のフォーマット

アドレス：11DH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTVMAXL	RSTVMAX7	RSTVMAX6	RSTVMAX5	RSTVMAX4	RSTVMAX3	RSTVMAX2	RSTVMAX1	RSTVMAX0

アドレス：11EH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTVMAXM	RSTVMAX15	RSTVMAX14	RSTVMAX13	RSTVMAX12	RSTVMAX11	RSTVMAX10	RSTVMAX9	RSTVMAX8

アドレス：11FH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTVMAXH	0	0	RSTVMAX21	RSTVMAX20	RSTVMAX19	RSTVMAX18	RSTVMAX17	RSTVMAX16

RSTVMAX21-0	検出したピーク電圧値（絶対値）の格納
000000H-3FFFFFFH	ピーク電圧値（読み出し後クリアされます）

(11) ゲイン設定レジスタ (IMATGAIN)

電流チャンネル2のゲイン値を設定するレジスタです。

IMATGAINは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図23 - 12 ゲイン設定レジスタ (IMATGAIN) のフォーマット

アドレス : 120H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IMATGAINL	IMATGAIN7	IMATGAIN6	IMATGAIN5	IMATGAIN4	IMATGAIN3	IMATGAIN2	IMATGAIN1	IMATGAIN0

アドレス : 121H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IMATGAINH	0	0	0	0	IMATGAIN11	IMATGAIN10	IMATGAIN9	IMATGAIN8

IMATGAIN11-0	電流チャンネル2のゲイン値の設定
0000H-0FFFH	ゲイン値

- 注意1. IMATGAINHのビット4-7には、必ず0を設定してください。
2. CHMD (ADM2のビット5) = 1のとき、IMATGAINは書き込みできません。また、読み出し値はリセット値となります。

(12) フォールト検出制御レジスタ (PQMCTL)

電流チャネルの選択，フォールト割り込みの設定，ピリオド/周波数測定の切り替え，ゼロクロス検出の制御を行うレジスタです。

PQMCTLは，拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図23 - 13 フォールト検出制御レジスタ (PQMCTL) のフォーマット

アドレス：122H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PQMCTL	ISELFLG	FAULTSIGN	SELICH1	SELICH0	ZX1EN	ZX2EN	FREQSEL	DISZLXLPF0

ISELFLG	電力測定時のアクティブ電流チャネル
0	電流チャネル1
1	電流チャネル2

FAULTSIGN	フォールト検出割り込み (INTFAULTSIGN) の発生トリガの設定
0	通常モードからフォールト・モードへの切り替わり時
1	フォールト・モードから通常モードへの切り替わり時

SELICH1	SELICH0	電力測定に使用する電流チャネルの指定
0	0	フォールト状態により，電流チャネルを自動選択
0	1	電流チャネル1を選択 ^注
1	0	電流チャネル2を選択 ^注
1	1	フォールト状態により，電流チャネルを自動選択

注 3線方式 (CHMD = 1) の場合，設定禁止です。

ZX1EN	ゼロクロス出力1の制御
0	ゼロクロス1信号の出力禁止
1	ゼロクロス1信号の出力許可

ZX2EN	ゼロクロス出力2の制御
0	ゼロクロス2信号の出力禁止
1	ゼロクロス2信号の出力許可

FREQSEL	ピリオド/周波数測定の選択
0	PFVALレジスタにピリオド測定結果を格納
1	PFVALレジスタに周波数測定結果を格納

DISZLXLPF0	ゼロクロス検出時のロウ・パス・フィルタの設定
0	ロウ・パス・フィルタ有効，ゼロクロス信号ZXはLPF0から出力
1	ロウ・パス・フィルタ無効，ゼロクロス信号ZXは 型A/Dコンバータから出力

(13) フォールト検出しきい値設定レジスタ (IST)

フォールト検出しきい値を設定するレジスタです。

ISTは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、8BHになります。

図23 - 14 フォールト検出しきい値設定レジスタ (IST) のフォーマット

アドレス : 123H リセット時 : 8BH R/W

略号	7	6	5	4	3	2	1	0
IST	IST7	IST6	IST5	IST4	IST3	IST2	IST1	IST0

IST7-0 (00H-FFH)	フォールト検出しきい値 (%fs) の設定
01H	0.00 %
8BH	0.30 % (デフォルト)
FFH	0.55 %

ISTの調整幅は、0.00216%fs/LSBです。

たとえば、しきい値にフルスケールの0.3%を設定する場合、ISTは次のように計算します。

$$\cdot \text{IST} = 0.3 / 0.00216 = 8\text{BH}$$

ICLKレジスタのICKENビットに1を設定した場合、電流信号がIST値より大きいときに、フォールト検出が可能になります。電流信号がISTで設定したしきい値に満たないときは、フォールト検出は自動的に不可になります。

(14) フォールト制御レジスタ (ICLK)

フォールト検出の制御，および検出条件を設定するレジスタです。

ICLKは，拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により，84Hになります。

図23 - 15 フォールト制御レジスタ (ICLK) のフォーマット

アドレス：124H リセット時：84H R/W

略号	7	6	5	4	3	2	1	0
ICLK	ICKEN	0	0	0	ICK3	ICK2	ICK1	ICK0

ICKEN ^注	電流フォールト・チェックの制御
0	電流フォールト・チェック禁止
1	電流フォールト・チェック許可

ICK3	ICK2	ICK1	ICK0	電流差しきい値
1	x	x	x	電流差しきい値 = 1/8
0	1	x	x	電流差しきい値 = 1/16 (デフォルト)
0	0	1	x	電流差しきい値 = 1/32
0	0	0	1	電流差しきい値 = 1/64
0	0	0	0	電流差しきい値 = 1/16

注意 ビット4-6には，必ず0を設定してください。

注 ICLKレジスタとISTレジスタの設定により，フォールト検出動作は次のようになります。

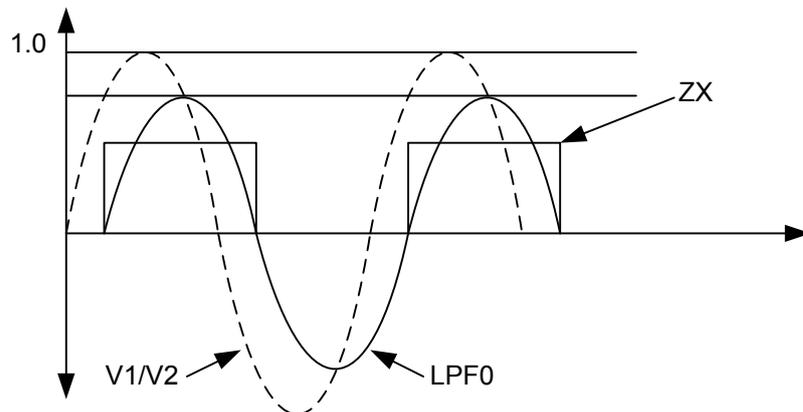
ICHIKEN	IST	ICK3-0	2電流チャネル の最大値	2電流チャネル間 の電流差	フォールト検出動作
0	x	xxxx	x	x	フォールト検出不可
1	IST	xxxx	> IST	x	フォールト検出不可
		1xxx		1/8	通常状態
				> 1/8	フォールト状態を検出
		01xx		1/16	通常状態
				> 1/16	フォールト状態を検出
		001x		1/32	通常状態
				> 1/32	フォールト状態を検出
		0001		1/64	通常状態
	> 1/64	フォールト状態を検出			
0000		1/16	通常状態		
		> 1/16	フォールト状態を検出		

23.4 電力品質測定回路の機能詳細

(1) ゼロクロス検出

電圧チャネルのゼロクロスを検出します。入力される電圧は、ロウ・パス・フィルタ (LPF0) によりフィルタリングを行ったあと、ゼロクロス検出を行っています。

図23 - 16 ゼロクロス検出のタイミング



ゼロクロス信号ZX_nは、バイパスされているかどうかにかかわらず、LPF0から出力されます。LPF0は単極で68 Hzとなっています。そのため、LPF0の入力と出力の間には約1.9 ms (@50 Hz) の位相遅れがあります。同様に、型A/Dコンバータのソフト部 (デジタル・フィルタ) には、アナログ入力とA/Dコンバータ出力間に約1.1 ms (@50 Hz) の位相遅れがあります。LPF0とA/Dコンバータの位相遅れにより、電圧チャネルのアナログ入力とゼロクロス信号ZX_n出力間には、約1.1 ms (LPF0バイパス時) または3.02 ms (LPF0使用時) の遅延時間があります。

表23 - 3 ゼロクロス検出の遅延時間

	条件 (@50Hz)	
	LPF0バイパス時	LPF0使用時
電圧チャネルのアナログ入力と ゼロクロス信号ZX _n 出力間の遅延	1.1 ms	3.02 ms

備考 n = 1, 2

(2) ゼロクロス・タイムアウト

ゼロクロス・タイムアウト機能は、一定期間ゼロクロスが検出されなかった際に割り込みが発生する機能です。V1チャンネル、V2チャンネルごとにゼロクロス・タイムアウト機能が使用できます。

ゼロクロス検出回路でゼロクロスが検出されたとき、ZXOUTnレジスタの値は内部カウンタに読み込まれます。サンプリング・クロック (fs) ごとにカウンタ値をディクリメントします。もし、次のゼロクロスが検出される前にカウンタ値が0となった場合は、ゼロクロス・タイムアウト割り込み (INTZXTO_n) が発生します。なお、ZXOUTnレジスタのデフォルト値は3FFHであり、最大0.23 sまでカウントすることが可能です。

図23 - 17 ゼロクロス・タイムアウト割り込み (INTZXTO_n) のタイミング

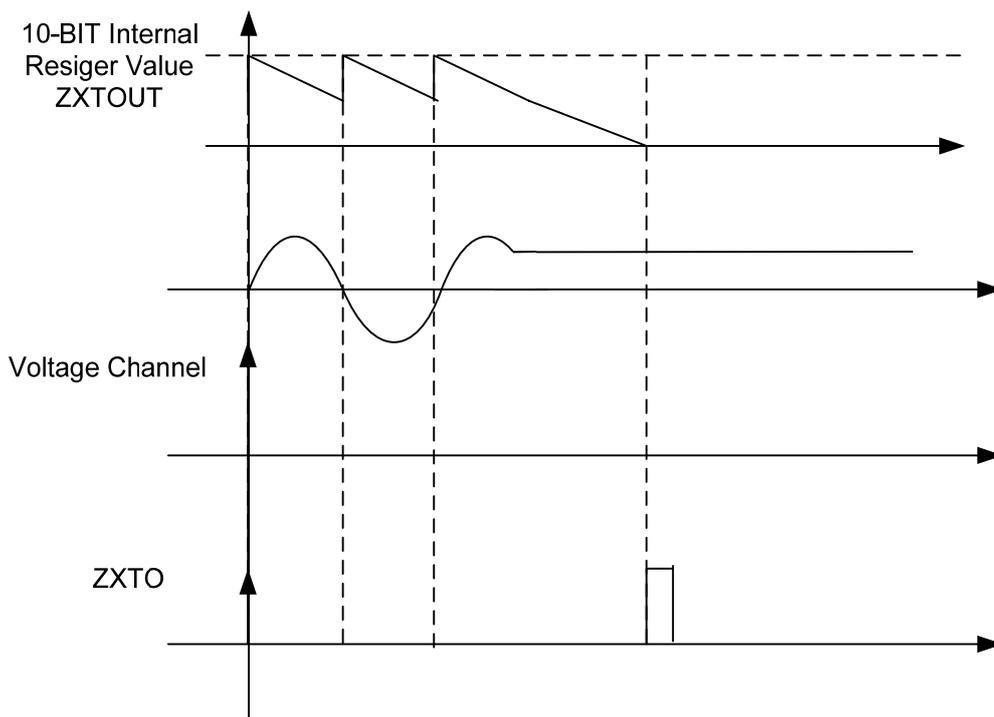
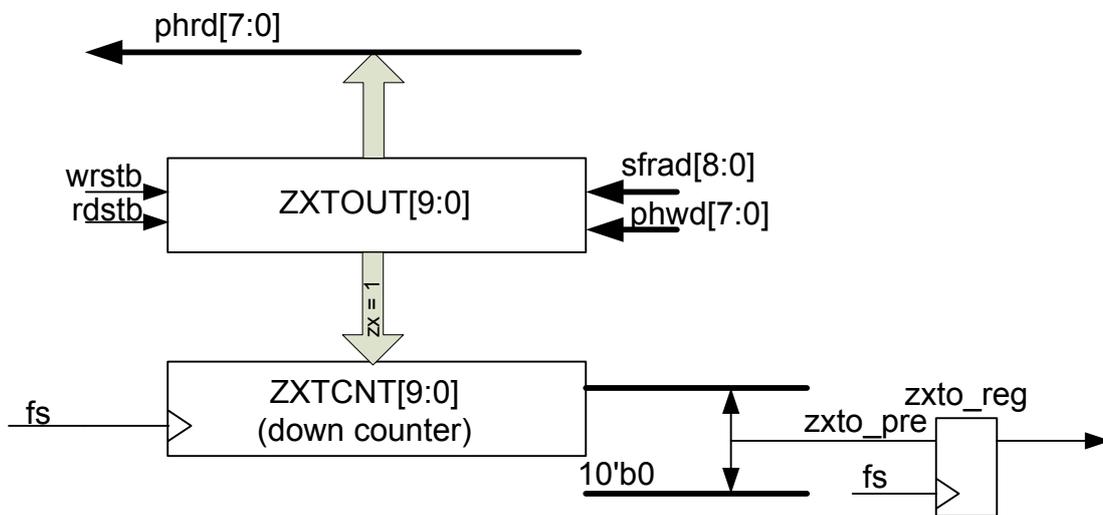


図23 - 18 ZXOUTnレジスタの内部カウンタ



備考 n = 1, 2

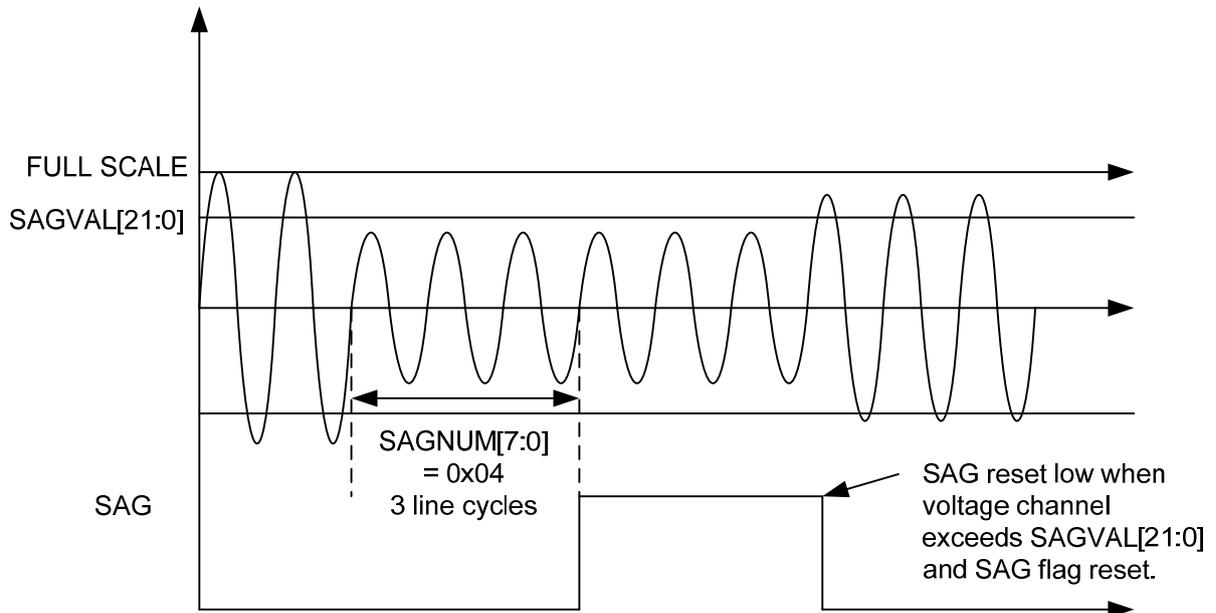
(3) SAG検出機能

入力電圧のSAGを検出する機能です。V1, V2入力の電圧に対して、それぞれ検出することが可能です。

入力電圧（23ビット）の絶対値が、SAGVALnレジスタで指定する電圧値以下の状態で、SAGNUMnレジスタで指定する期間継続した場合、SAG割り込み信号（INTSAGn）を生成します。

SAGNUMnレジスタは8ビット構成で、最大255ライン周波数まで指定することが可能です。また、SAGVALnレジスタは22ビットで構成されます。

図23 - 19 SAG検出のタイミング



備考 n = 1, 2

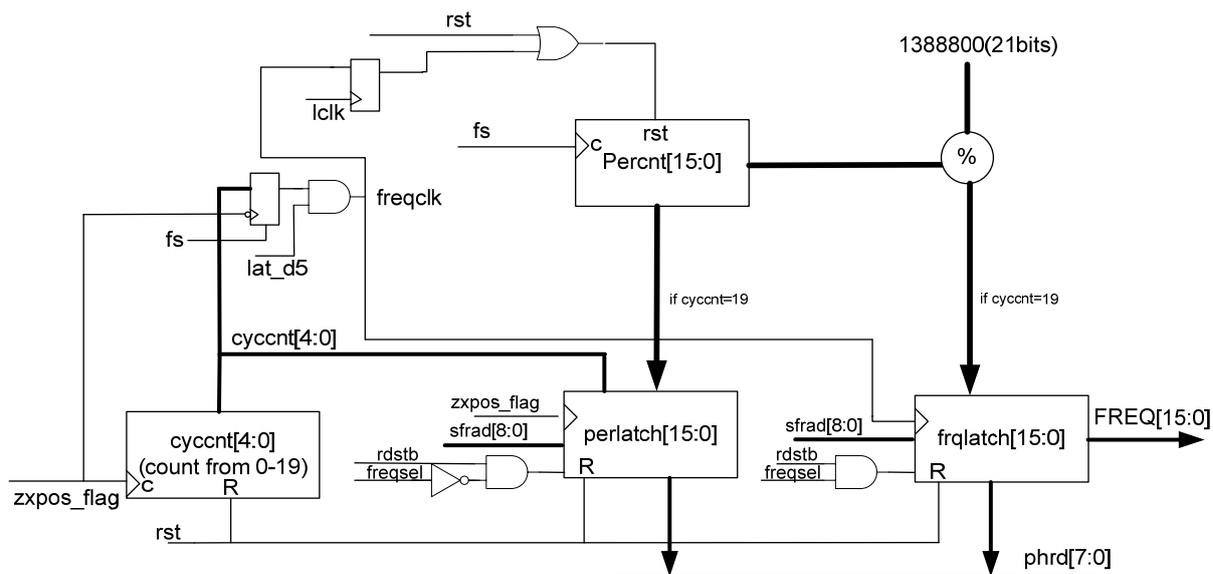
(4) ピリオド/周波数計測

電圧チャネル (V1) のライン周期/周波数を測定することができます。ライン周期/周波数のどちらを測定するかは、PQMCTLレジスタで指定します。この測定は20ライン・サイクル単位で行います。

周期測定では、20ライン・サイクル間でfs(4.34 kHz)クロックでカウントします。このため、11.5 μ s/LSB (0.07%精度) となります。ライン周波数が60 Hzのとき、カウンタ値は1447です。

周波数計測では、20ライン・サイクル間のカウント値から計算を行います。ライン周波数が60 Hzのとき、0.0625 Hz/LSB精度であり、演算結果は960になります。

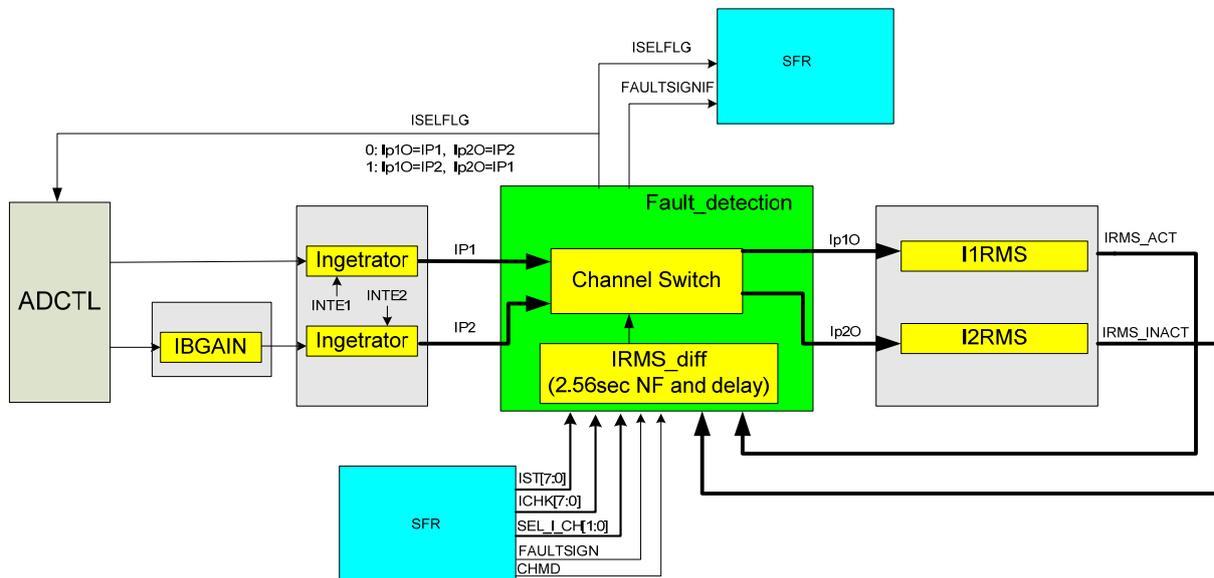
図23 - 20 ピリオド/周波数計測回路



(5) フォールト検出

フォールト検出機能は、単相2線方式のみで使用可能です。I1をライン側，I2をニュートラル側に接続することで，2ラインを用いて，電流検出を行います。この回路は電力演算回路の前段に配置されています。

図23 - 21 フォールト検出回路

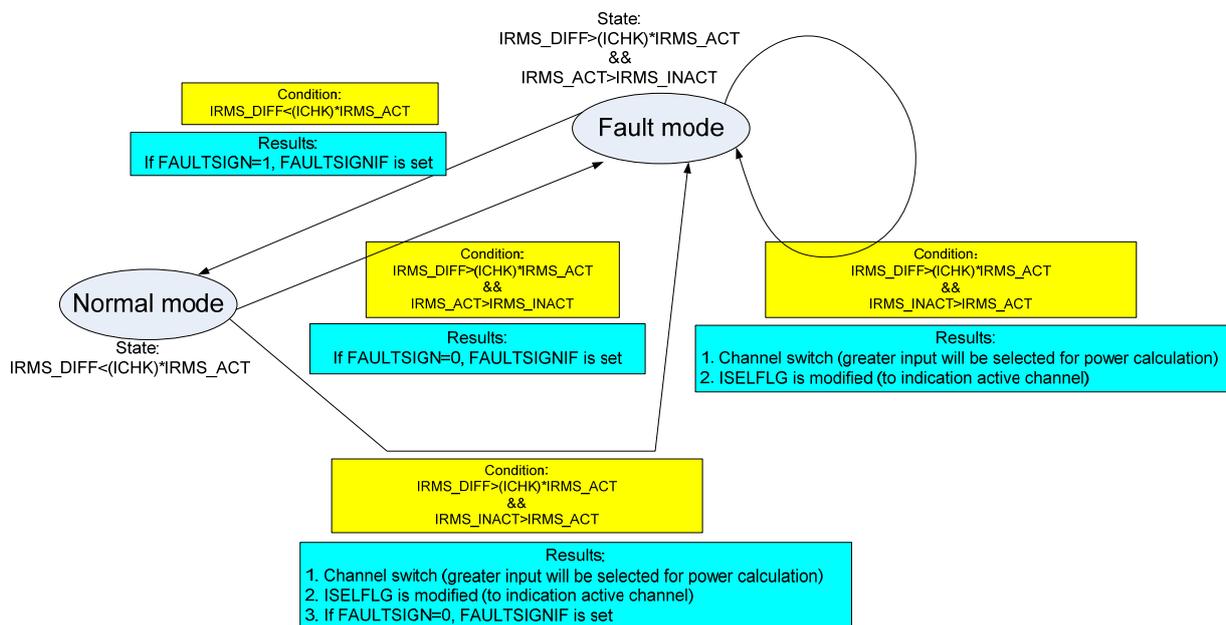


フォールトは，Ip1, Ip2間の電流差が，アクティブ・チャンネルの指定倍（1/8, 1/16, 1/32, 1/64）より大きいときに検出されます。フォールト条件が検出され，かつインクティブ・チャンネルの電流値がアクティブ・チャンネルより大きい場合，チャンネル切り替えが発生し，電流の大きい方のチャンネルがアクティブ・チャンネルに自動的に切り替わります。アクティブ・チャンネルは，PQMCTLレジスタのISELFLGビットでわかります。このビットが0のときIp1チャンネルが，1のときIp2チャンネルがアクティブ・チャンネルとして選択されています。このビットは，チャンネル切り替えが発生した際，自動的に更新されます。

なお，アクティブ・チャンネルはPQMCTLレジスタのSELICH1, SELICH0ビット（2ビット構成）で指定することも可能です。もし，両ビットともに0または1が設定されている場合は，フォールト検出に従います。

通常モードとフォールト・モードの遷移は、次の図のようになります。

図23 - 22 通常モードとフォールト・モードの遷移



- 備考**
- IRMS_ACT : 電力測定に使用する電流チャンネルのRMS
 - IRMS_INACT : 電力測定に使用しない電流チャンネルのRMS
 - IRMS_DIFF : $ABS (IRMS_ACT - IRMS_INACT)$
 - IST : フォールト検出しきい値
 - ICLK : 電流差しきい値
 - FAULTSIGN : フォールト割り込みの発生トリガ設定ビット
 - FAULTSIGNIF : フォールト・モード変更割り込みフラグ

なお、フォールト検出はISTレジスタで指定した値より小さいとき、自動的にディスエーブルになります。これは、電流量が小さい場合の誤検出を避けるためです。

Ip1, Ip2の電流信号間の差を検出しているため、あらかじめ両チャンネルの電流値を合わせておく必要があります。この補正のため、IMATGAINレジスタに補正値を設定する必要があります。詳細は(7)電流チャンネル・ゲイン補正を参照してください。

フォールト・イベントが発生している間も、誤った電力測定を避けるため、電流入力を常時監視しています。

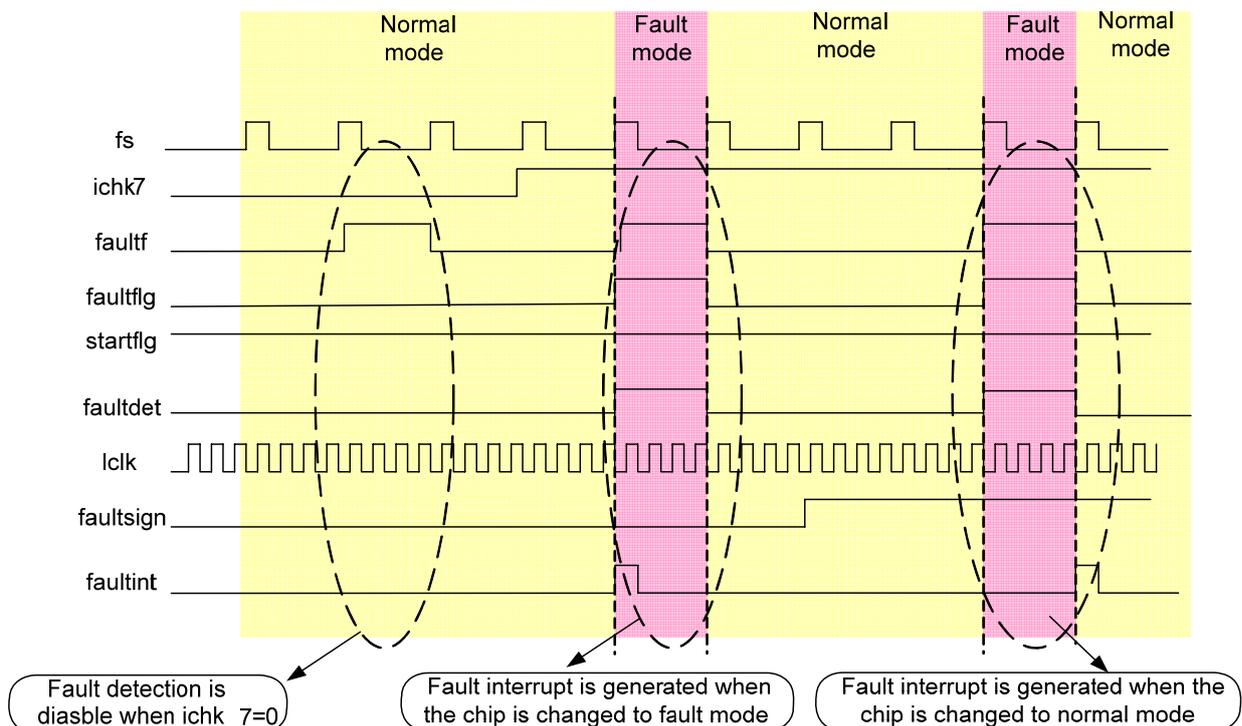
リセット時は、Ip1がデフォルトでアクティブ・チャンネルとなり、有効電力、無効電力、皮相電力の計算に使われています。

- 備考1.** フォールト検出精度を保証するために、フォールト検出電流差制限が、1/64または1/32に設定された場合（ICLKレジスタのビット3-0で設定）、ZXRMS（NLCTLレジスタのビット6）を1にセットすることを推奨します。
2. 単相3線方式（CHMD = 1）では、フォールト検出機能は無効になります。

PQMCTLレジスタのFAULTSIGNビットに0を設定すると、フォールト条件が検出（通常状態からフォールト状態に遷移）されたときに割り込みが発生します。1を設定すると、フォールト条件から復帰（フォールト状態から通常状態へ遷移）したときに割り込みが発生します。

フォールト割り込みとチャンネル切り替え信号は、誤検出を避けるためフィルタを通しています。このため、フォールト・イベント発生から3秒程度の遅延が生じます。

図23 - 23 フォールト割り込みのタイミング



(6) ピーク検出

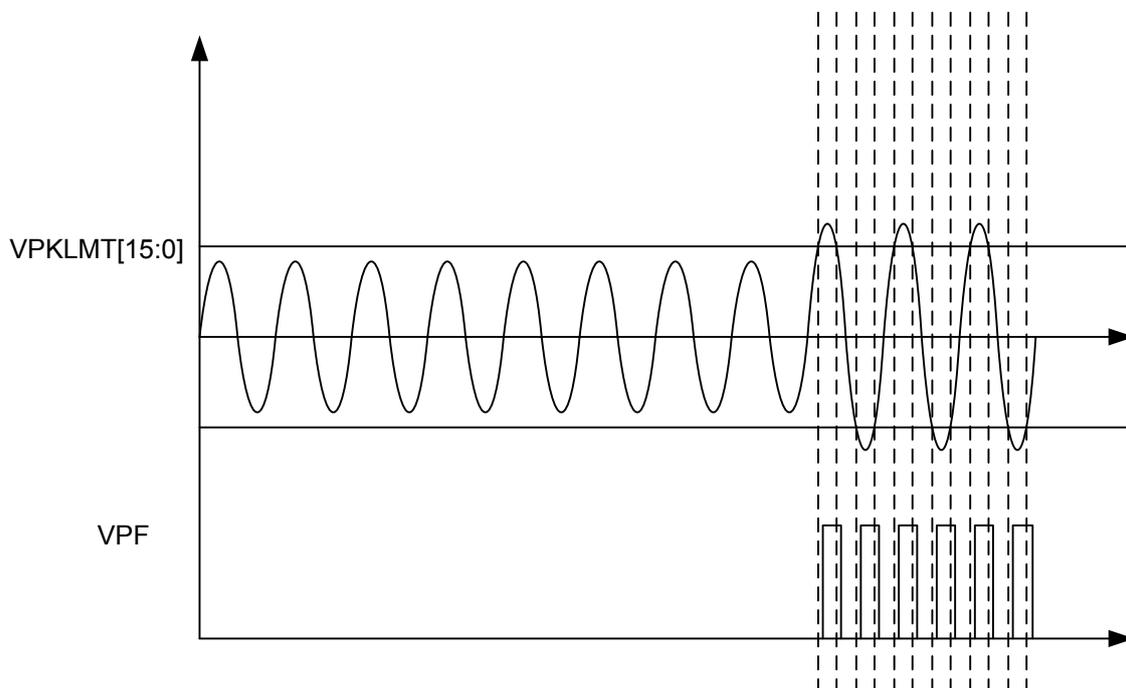
電圧チャンネルの上位16ビットの絶対値が、電圧ピーク値(VPKLMTレジスタの値)を越えたとき、INTPKV1割り込みが発生します。

電流チャンネルの上位16ビットの絶対値が、電圧ピーク値(IPKLMTレジスタの値)を越えたとき、INTPKI1割り込みが発生します。

電圧チャンネルの最大絶対値は内部VMAXレジスタに保存され、拡張SFR空間のVMAXレジスタから値を読み出すことができます。RSTVMAXレジスタを用いて読み出した場合は、最大値の読み出し後にレジスタ値は0にクリアされます。

電流チャンネルの最大絶対値は内部IMAXレジスタに保存され、拡張SFR空間のIMAXレジスタから値を読み出すことができます。RSTIMAXレジスタを用いて読み出した場合は、最大値の読み出し後にレジスタ値は0にクリアされます。

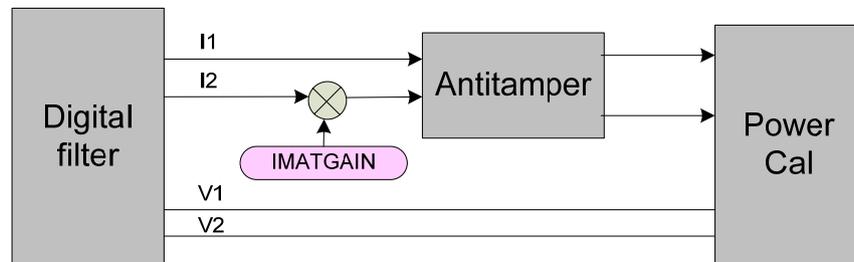
図23 - 24 ピーク検出のタイミング



(7) 電流チャンネル・ゲイン補正

フォールト検出では、電流I1および電流I2の差を比較します。このため、電流I1、電流I2の電流量は、あらかじめ同じとなるように調整しておく必要があります。電流ゲイン補正回路では、入力電流値I2にゲインを加えることで補正を行います。

図23 - 25 電流ゲイン補正回路



$$output_IMATGAIN = input_IMATGAIN \times \left(1 + \frac{IMATGAIN}{2^{12}}\right)$$

IMATGAINは、符号付き整数の12ビット・レジスタです。このレジスタのゲイン分解能は、0.0244%LSB ($2^{-12} = 0.0244\%$) となります。

23.5 電力品質測定回路の注意事項

電力品質測定回路のレジスタは、拡張SFR空間に配置されており、2バイト以上で構成されるレジスタが存在しています。2バイト以上のレジスタに対するリード動作を行う場合には、必ずレジスタ全体を読み出す必要があり、下位バイトから読み出してください。同様に、2バイト以上のレジスタに対するライト動作を行う場合には、必ずレジスタ全体への書き込みが必要であり、下位バイトから書き込みを行ってください。これ以外の手順の場合には、正しくリード/ライトできません。

対象となる2バイト・レジスタは次のとおりです。

表23 - 4 2バイト・レジスタ一覧

レジスタ名	R/W	リード・バッファ	ライト・バッファ
ピリオド/周波数測定結果レジスタ (PFVAL)	R	Y	-
電圧チャンネル1 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1)	R/W	-	Y
電圧チャンネル2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT2)	R/W	-	Y
電圧チャンネル1 SAGレベル設定レジスタ (SAGVAL1)	R/W	-	Y
電圧チャンネル2 SAGレベル設定レジスタ (SAGVAL2)	R/W	-	Y
電流ピーク・レベル設定レジスタ (IPKLMT)	R/W	-	Y
電圧ピーク・レベル設定レジスタ (VPKLMT)	R/W	-	Y
電流ピーク値レジスタ (IMAX)	R	Y	-
電流ピーク値クリア・レジスタ (RSTIMAX)	R	Y	-
電圧ピーク値レジスタ (VMAX)	R	Y	-
電圧ピーク値クリア・レジスタ (RSTVMAX)	R	Y	-
ゲイン設定レジスタ (IMATGAIN)	R/W	-	Y

第24章 デジタル周波数変換回路

24.1 デジタル周波数変換回路の機能

デジタル周波数変換回路は、測定された有効電力、無効電力、皮相電力/平均電流（RMS値）を積算し、パルスとして出力する回路です。2種類の出力パルス波形があり、周波数はCFMULレジスタを操作することによりプログラマブルに設定できます。

(1) モード1

0～135 Hzまでの周波数を出力可能です。

パルスのデューティ比が50:50となる波形を出力します。

ただし、周期が180 msを越える場合は、ハイ・レベル幅は90 msに固定されます。

図24 - 1 出力パルス波形（モード1）



(2) モード2

0～1085 Hzの周波数を出力可能です。

出力パルスのハイ・レベル幅を固定した波形を出力します。ハイ・レベル幅は、PULCTLレジスタの設定により、30, 60, 90, 180 μ sを指定できます。

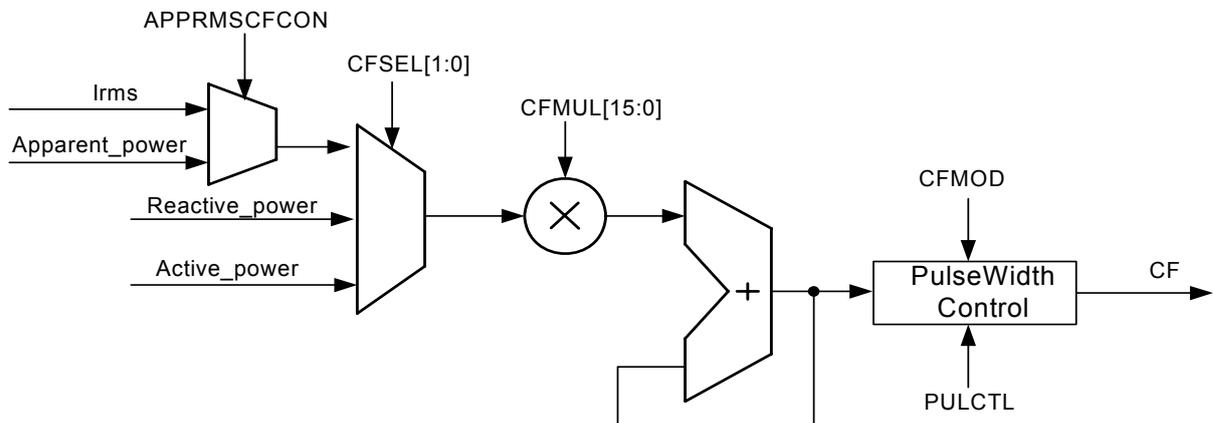
このモードは、主に日本で使用されているモードです。

図24 - 2 出力パルス波形（モード2）



24.2 デジタル周波数変換回路の構成

図24 - 3 デジタル周波数変換回路のブロック図



24.3 デジタル周波数変換を制御するレジスタ

デジタル周波数変換は、次の3種類のレジスタで制御します。

これらのレジスタは、すべて拡張SFR空間に配置されています。

拡張SFR空間へのアクセス方法は、第17章 拡張SFRインタフェースを参照してください。

- ・周波数変換制御レジスタ (CFCTL)
- ・周波数スケール設定レジスタ (CFMULL, CFMULH)
- ・パルス幅設定レジスタ (PULCTL)

(1) 周波数変換制御レジスタ (CFCTL)

CFパルス出力の制御、および出力モードの選択を行うレジスタです。

CFCTLは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、02Hになります。

図24 - 4 周波数変換制御レジスタ (CFCTL) のフォーマット

アドレス : 150H リセット時 : 02H R/W

略号	7	6	5	4	3	2	1	0
CFCTL	0	0	0	0	CFSEL1	CFSEL0	DISCF	CFMOD

CFSEL1	CFSEL0	CFパルス出力の選択 (有効電力, 無効電力, 皮相電力 / 平均電流の選択)
0	0	有効電力をCFパルス出力
0	1	無効電力をCFパルス出力
1	x	皮相電力 / 平均電流をCFパルス出力

DISCF	CF出力の許可 / 禁止
0	CF出力許可 (CF端子からパルスを出力する)
1	CF出力禁止 (CF端子からパルスを出力しない)

CFMOD	CF出力モードの選択
0	モード1波形 (デューティ比50%) を出力 ^注
1	モード2波形 (ハイ・レベル幅固定) を出力

注 出力周期が180 msを越える場合は、ハイ・レベル幅は90 msに固定されます。

注意 節電モードを設定する前に、デジタル周波数変換回路のソースが対応するチャンネルから供給されないように、デジタル周波数変換回路のソースを確認または変更する必要があります。例えば、ACTDISをセットする前に、[CFSEL1, CFSEL0]に“00”を設定することは禁止されています (“00”のとき、デジタル周波数変換回路のソースには有効電力が選択されています)。

(2) 周波数スケーリング設定レジスタ (CFMUL)

周波数のスケーリング値を設定するレジスタです。

CFMULは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、FFHになります。

図24 - 5 周波数スケーリング設定レジスタ (CFMUL) のフォーマット

アドレス : 151H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
CFMULL	CFMUL7	CFMUL6	CFMUL5	CFMUL4	CFMUL3	CFMUL2	CFMUL1	CFMUL0

アドレス : 152H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
CFMULH	CFMUL15	CFMUL14	CFMUL13	CFMUL12	CFMUL11	CFMUL10	CFMUL9	CFMUL8

CFMUL15-0	CF出力パルス幅の設定
0000H-FFFFH	CF出力パルスのスケーリング値を設定

- 注意1.** CFMULレジスタの設定値を変更する場合は、必ずDISCF = 1の状態で行ってください。
- 2.** CFMULレジスタに0000Hを設定することは禁止です。0000Hを設定した場合は、FFFFHとして処理します。

(3) パルス幅設定レジスタ (PULCTL)

モード2動作時のパルスのハイ・レベル幅を設定するレジスタです。

PULCTLは、拡張SFR空間に配置されています。

拡張SFRインタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図24 - 6 パルス幅設定レジスタ (PULCTL) のフォーマット

アドレス : 153H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PULCTL	0	0	0	0	0	0	PULCTL1	PULCTL0

PULCTL1	PULCTL0	パルスのハイ・レベル幅の設定 (モード2動作時)
0	0	30 μ s
0	1	90 μ s
1	0	60 μ s
1	1	180 μ s

注意 PULCTLレジスタの設定値を変更する場合は、必ずDISCF = 1の状態で行ってください。

24.4 デジタル周波数変換の動作

デジタル周波数変換回路は、測定された電力値をパルス波形に変換する回路です。電力演算ユニットで計算された電力値を累積加算していき、しきい値を越えたときにパルスを出力します。

図24 - 7 パルス出力（モード1）

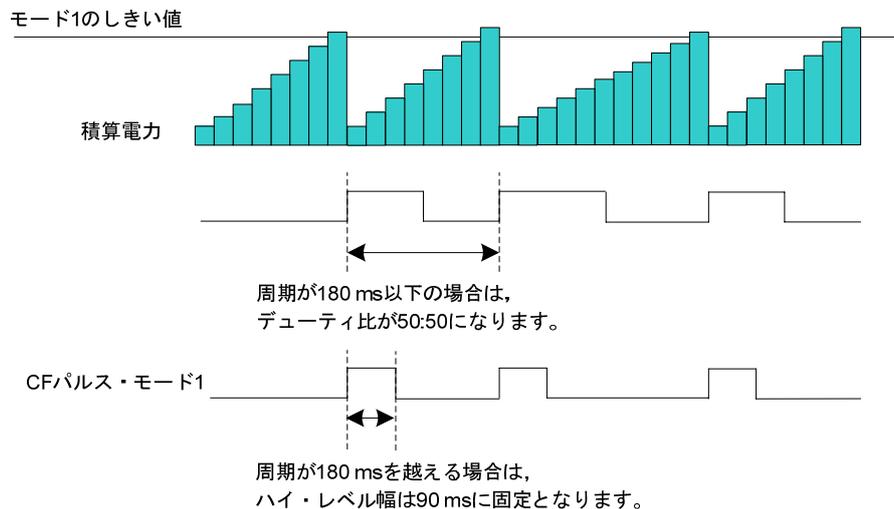
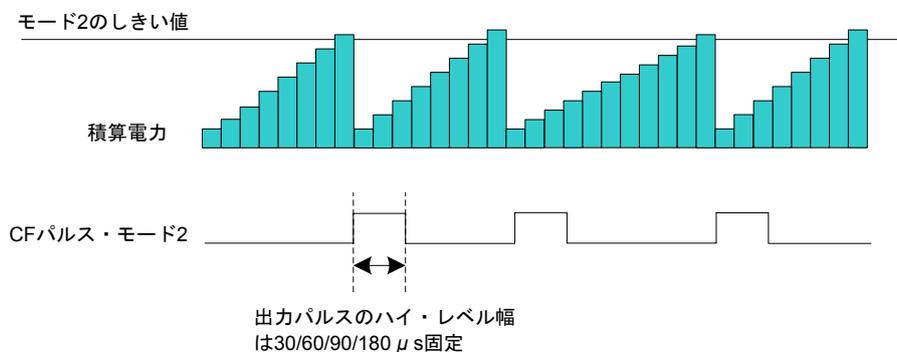


図24 - 8 パルス出力（モード2）



- 注意1. モード1では、周期が180 msを越える場合、ハイ・レベル幅は90 msに固定されます。
2. 同じ入力電圧の場合は、モード2のCFパルス周波数はモード1の8倍となります。

1サンプルごとの電力値は、スケーリングされ、累積加算器に入力されます。累積加算器で固定しきい値を越えたときにオーバーフロー・フラグが発生し、オーバーフローが発生するごとにCF端子に1パルスを出力します。累積加算器のしきい値は固定であり、入力電力値をCFMULレジスタで指定された値にスケーリングすることで、オーバーフローの発生タイミングを調整します。スケーリングは $1/(2^{16})$ から $(2^{16}-1)/(2^{16})$ の範囲で、 $1/(2^{16})$ 単位で指定できます。

CFMULレジスタに1を設定した場合は、入力電力値は $1/(2^{16})$ にスケーリングされます。CFMULレジスタにFFFFHを設定した場合は、入力電力値は $(2^{16}-1)/(2^{16})$ にスケーリングされます。

(1) 入力データの選択方法

デジタル周波数変換回路への入力は、電力演算回路の有効電力、無効電力、皮相電力 / 平均電流から選択できます。

どの測定結果をパルス出力するかは、CFCTLレジスタのCFSEL0, CFSEL1ビットで選択します。これらのビットを変更する場合は、必ずデジタル周波数変換回路が停止状態 (DISCF = 1) で行ってください。

(2) CFMULレジスタの設定値

フルスケール入力によるCF出力の最大値は、135.623Hz (モード1) / 1084.984Hz (モード2) です。

定格時にN HzのCF周波数を得るためには、CF周波数とCFMULレジスタの設定値は、以下の関係になります。

(a) モード1

$$CFMUL = 2^{16} \times N / (135.623 \times PowerRate)$$

(b) モード2

$$CFMUL = 2^{16} \times N / (1084.984 \times PowerRate)$$

N : 定格入力時のCF出力周波数

PowerRate : フルスケール電力と定格電力の比率

$$PowerRate = \frac{PowerGivenLoad}{PowerFullScale}$$

備考 PowerRateを計算する際は、フルスケール入力時と定格入力時のオフセット、ゲイン、スケールリング設定を同じ条件にしてください。

次のレジスタで設定できます。

- ・ オフセット設定レジスタ : ACTnOS, REAnOS, InRMSOS, VnRMSOS (n = 1, 2)
- ・ ゲイン設定レジスタ : ACTnGAIN, REAnGAIN, APPnGAIN, IRMSnGAIN (n = 1, 2)
- ・ スケールリング設定レジスタ : ACTDIV, READIV, APPDIV

(3) CF出力パルス

CF端子から2種類のパルスを出力することが可能です。パルスの選択は、CFCTLレジスタで設定します。

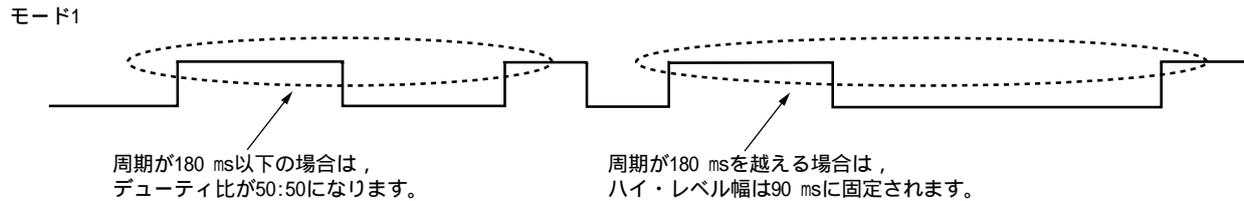
(a) モード1

0 ~ 135 Hzまでの周波数を出力可能です。

パルスのデューティ比が50:50となる波形を出力します。

ただし、周期が180 msを越える場合は、ハイ・レベル幅は90 msに固定されます。

図24 - 9 波形出力

**(b) モード2**

0 ~ 1085 Hzの周波数を出力可能です。

出力パルスのハイ・レベル幅を固定した波形を出力します。ハイ・レベル幅は、PULCTLレジスタの設定により、30, 60, 90, 180 μ sを指定できます。

このモードは、主に日本で使用されているモードです。

第25章 スタンバイ機能

25.1 スタンバイ機能と構成

25.1.1 スタンバイ機能

スタンバイ機能は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 - 10ビット逐次比較型A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。また、24ビット型A/Dコンバータ部の動作電流を低減させるためには、24ビット型A/Dコンバータ・モード・レジスタ(ADM2)のビット7(ADPON)とビット6(ADCE2)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

25.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

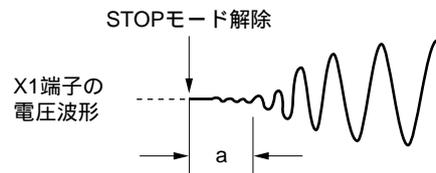
図25 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
					$f_x = 10 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

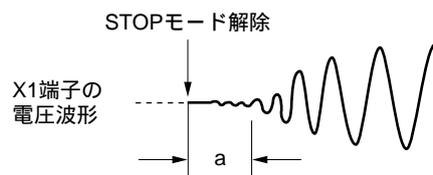
図25 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs
0	1	0	$2^{13}/f_x$	819.2 μs
0	1	1	$2^{14}/f_x$	1.64 ms
1	0	0	$2^{15}/f_x$	3.27 ms
1	0	1	$2^{16}/f_x$	6.55 ms
上記以外			設定禁止	

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
 - ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
 - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

25.2 スタンバイ機能の動作

25.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表25 - 1 HALTモード時の動作状態 (1/2)

HALTモード の設定 項 目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_x	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	f_{EXCLK}	外部クロックの入力により動作または停止		動作継続 (停止不可)
サブシステム・クロック	f_{XT}	HALTモード設定前の状態を継続		
	f_{EXCLKS}			
f_{RL}		HALTモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		HALTモード設定前の状態を保持		
ポート (ラッチ)		HALTモード設定前の状態を保持		
16ビット・タイマ/イベント・カウンタ00		動作可能		
8ビット・タイマ/イベント・カウンタ	50			
	51			
	52			
8ビット・タイマ	H0			
	H1			
	H2			
リアルタイム・カウンタ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
ウォッチドッグ・タイマ				
ブザー出力				
10ビット逐次比較型 A/Dコンバータ				
24ビット 型 A/Dコンバータ				
シリアル・インタフェース	UART0			
	UART6			
	CSI10			
拡張SFRインタフェース				
LCDコントローラ/ドライバ				
リモコン送信回路				
電力演算回路				
電力品質測定回路				
デジタル周波数変換回路				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				

備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

表25 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定 項 目		サブシステム・クロックでCPU動作中のHALT命令実行時	
		XT1クロック (f_{XT}) でCPU動作時	外部サブシステム・クロック (f_{EXCLKS}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f_{RH}	HALTモード設定前の状態を継続	
	f_X		
	f_{EXCLK}	外部クロックの入力により動作または停止	
サブシステム・クロック	f_{XT}	動作継続 (停止不可)	HALTモード設定前の状態を継続
	f_{EXCLKS}	外部クロックの入力により動作または停止	動作継続 (停止不可)
f_{RL}	HALTモード設定前の状態を継続		
CPU		動作停止	
フラッシュ・メモリ		動作停止	
RAM		HALTモード設定前の状態を保持	
ポート (ラッチ)		HALTモード設定前の状態を保持	
16ビット・タイマ/イベント・カウンタ ⁰⁰ _注		動作可能	
8ビット・タイマ/イベント・カウンタ	50 ^注		
	51 ^注		
	52		
8ビット・タイマ	H0		
	H1		
	H2		
リアルタイム・カウンタ			
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。	
ブザー出力		動作可能	
10ビット逐次比較型 A/Dコンバータ		動作可能。ただし周辺ハードウェア・クロック (f_{PRS}) 停止時は動作禁止。	
24ビット 型 A/Dコンバータ			
シリアル・インタフェース	UART0	動作可能	
	UART6		
	CSI10 ^注		
拡張SFRインタフェース			
LCDコントローラ/ドライバ			
リモコン送信回路			
電力演算回路		動作可能。ただし周辺ハードウェア・クロック (f_{PRS}) 停止時は動作禁止。	
電力品質測定回路			
デジタル周波数変換回路			
パワーオン・クリア機能		動作可能	
低電圧検出機能			
外部割り込み			

注 CPUがサブシステム・クロック動作中で、高速内蔵発振クロックと高速システム・クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

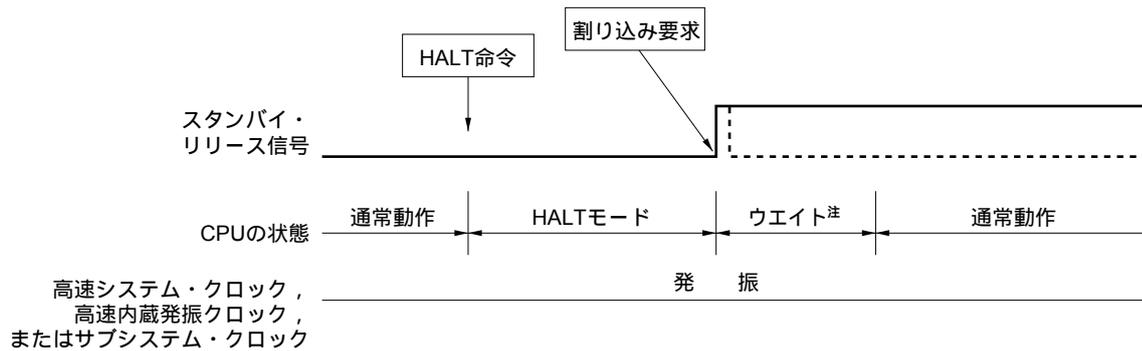
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図25 - 3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10～11クロック
- ・ベクタ割り込み処理を行わない場合 : 3～4クロック

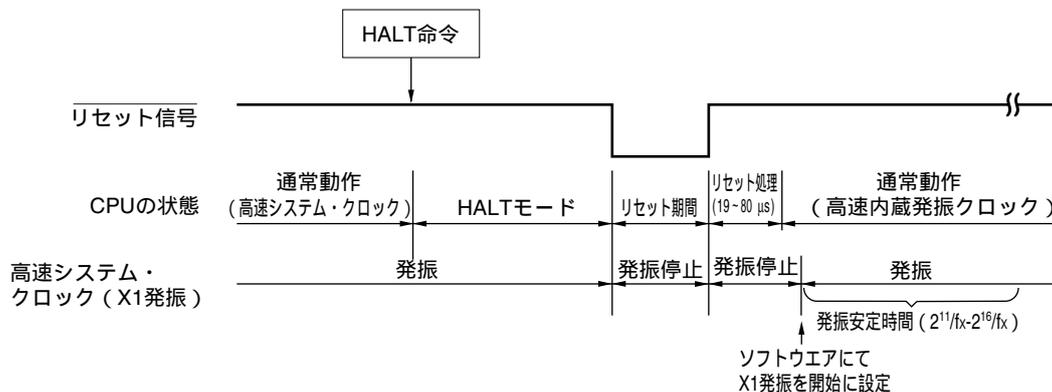
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

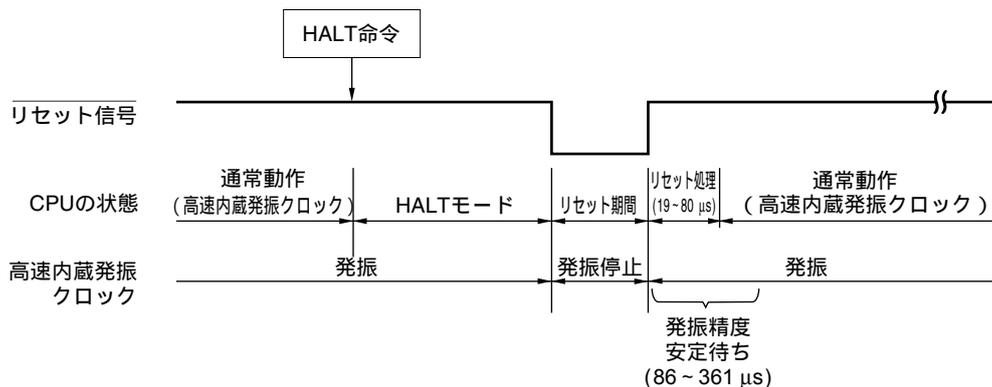
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図25 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図25 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合

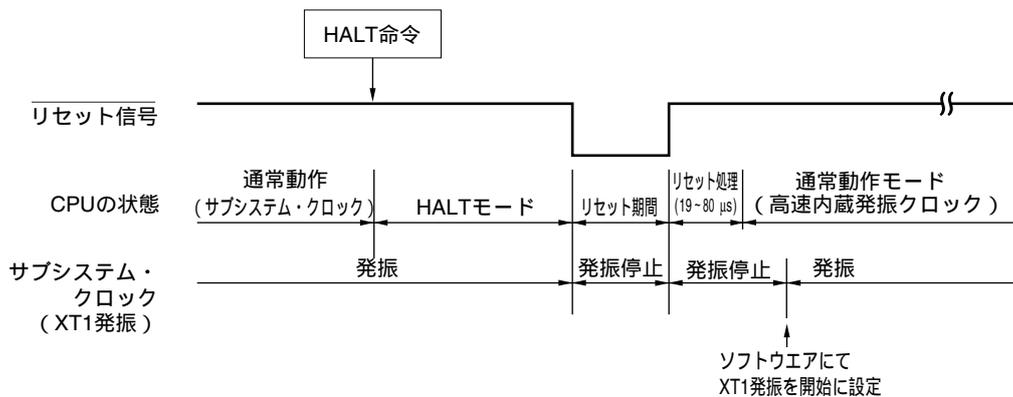


表25 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
リセット	-	-	x	x	リセット処理

x : don't care

25.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表25-3 STOPモード時の動作状態

STOPモード の設定 の項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	停止		
	f_x			
	f_{EXCLK}	入力無効		
サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続		
	f_{EXCLKS}			
f_{RL}		STOPモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		STOPモード設定前の状態を保持		
ポート (ラッチ)		STOPモード設定前の状態を保持		
16ビット・タイマ/イベント・カウンタ00		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
8ビット・タイマ/イベント・カウンタ	50 ^注	カウント・クロックにTI50選択時のみ動作可能		
	51 ^注	カウント・クロックにTI51選択時のみ動作可能		
	52	動作停止		
8ビット・タイマ	H0	8ビット・タイマ/イベント・カウンタ50動作時, カウント・クロックにTM50出力選択時のみ動作可能		
	H1	カウント・クロックに f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$ 選択時のみ動作可能		
	H2	動作停止		
リアルタイム・カウンタ		動作可能		
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は, ウォッチドッグ・タイマへのクロック供給停止。		
ブザー出力		動作停止		
10ビット逐次比較型 A/Dコンバータ				
24ビット 型 A/Dコンバータ				
シリアル・インタフェース	UART0	8ビット・タイマ/イベント・カウンタ50動作時, シリアル・クロックにTM50出力選択時のみ動作可能		
	UART6			
	CSI10 ^注	シリアル・クロックに外部クロック選択時のみ動作可能		
拡張SFRインタフェース		動作停止		
LCDコントローラ/ドライバ		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
リモコン送信回路		78K0/LE3-M: 動作停止 78K0/LG3-M: 次の条件で動作します。その他の条件では動作停止します。 ・8ビット・タイマ/イベント・カウンタ50動作時 ・UART0のシリアル・クロックにTM50出力選択時 ・TM50のカウント・クロックにTI50選択時 ・TMH1のカウント・クロックに f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$ 選択時		
電力演算回路		動作停止		
電力品質測定回路				
デジタル周波数変換回路				
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				

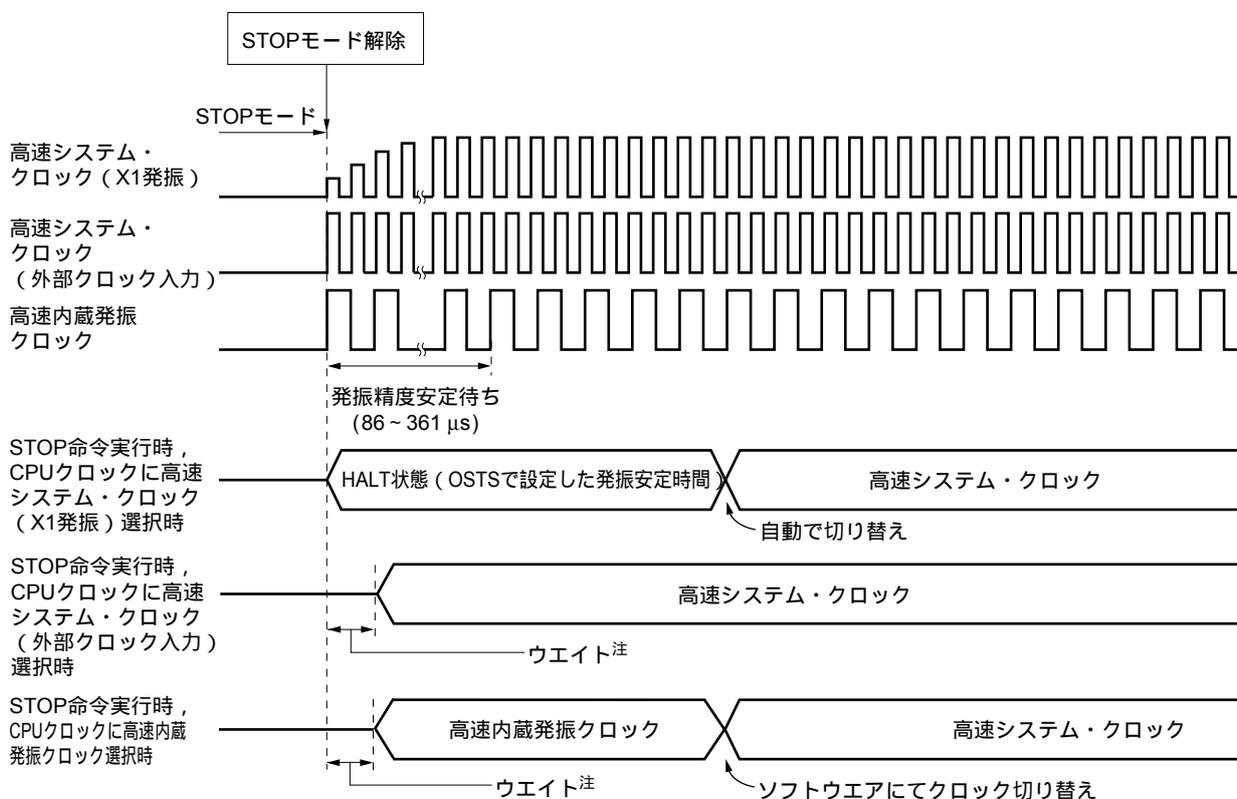
注 STOPモード中は, 周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

- 備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック
2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても、STOPモード時は低速内蔵発振クロックは、STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は、ソフトウェアにて、低速内蔵発振器の発振を停止してから、STOP命令を実行してください。
3. 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。
RSTOPを0に設定 (高速内蔵発振器の発振開始) MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え) MCS = 0であることを確認 (CPUクロックの確認) RSTS = 1であることを確認 (高速内蔵発振動作の確認) STOP命令実行
STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は、発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから、行ってください。
4. STOP命令は、必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。

(2) STOPモードの解除

図25 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8, 9クロック
- ・ベクタ割り込み処理を行わない場合 : 2, 3クロック

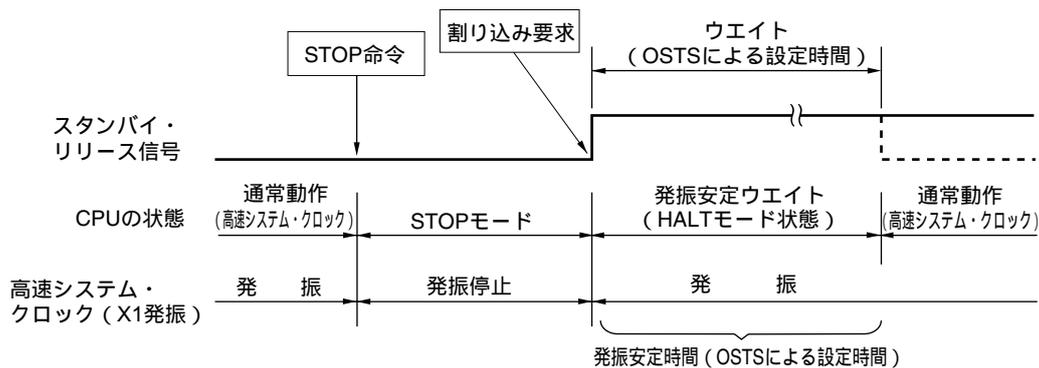
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

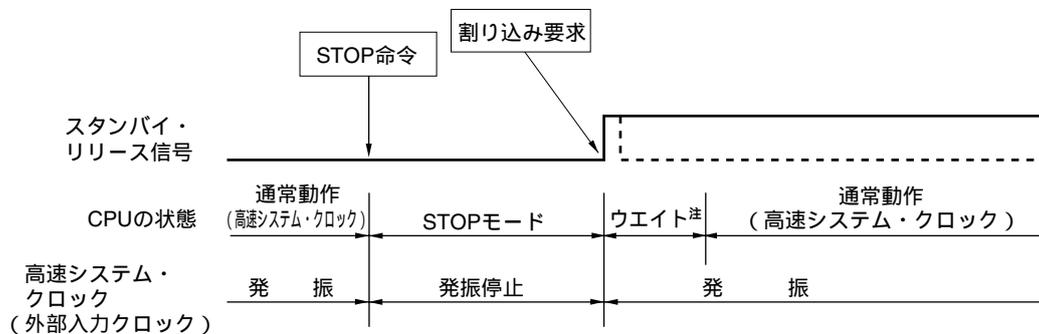
マスクされていない割り込み要求による解除の場合、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図25 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



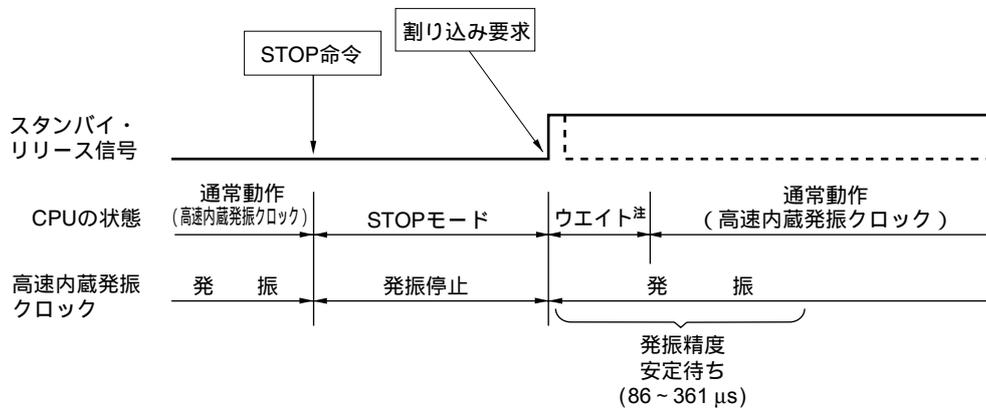
注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8, 9クロック
- ・ベクタ割り込み処理を行わない場合 : 2, 3クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図25 - 6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8, 9クロック
- ・ベクタ割り込み処理を行わない場合 : 2, 3クロック

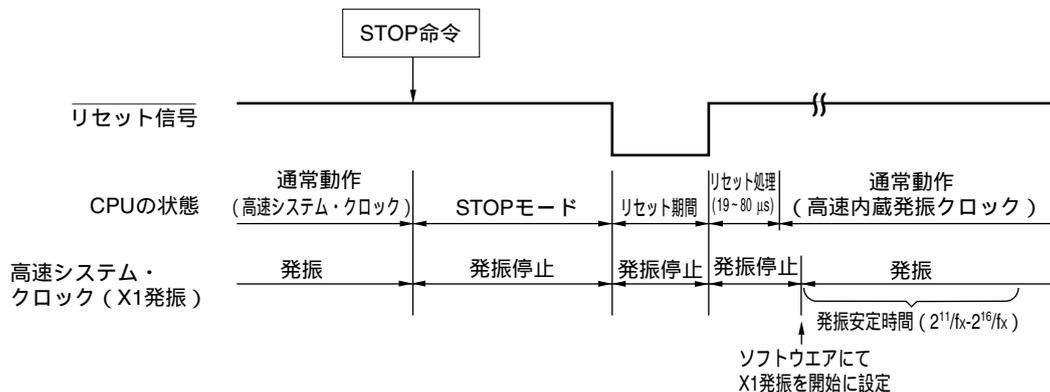
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

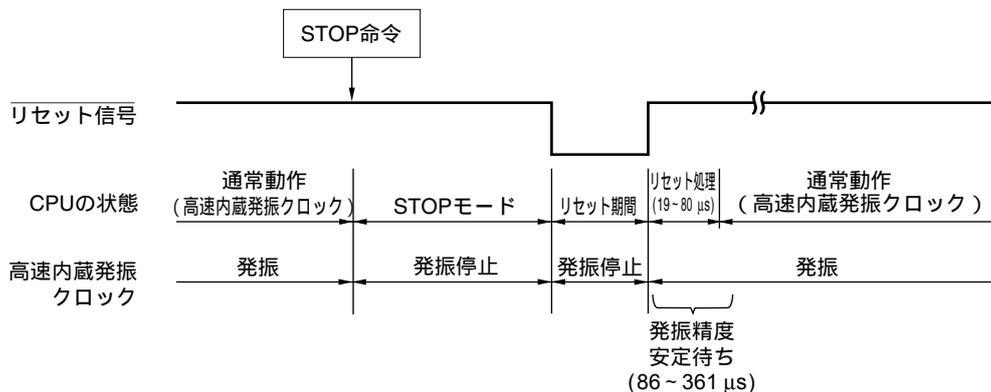
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図25 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表25 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
	1	x	x	x	STOPモード保持
リセット	-	-	x	x	リセット処理

x : don't care

第26章 リセット機能

リセット機能は、78K0/Lx3-Mマイクロコントローラ的全製品に搭載されています。

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表26 - 1, 表26 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(図26 - 2 ~ 図26 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(第27章 パワーオン・クリア回路と第28章 低電圧検出回路参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。
 4. 拡張SFRは、内部リセットによりリセットされません。拡張SFRをリセットする場合は、P17をセット
(1) クリア(0) セット(1)の一連の動作を行ってください。

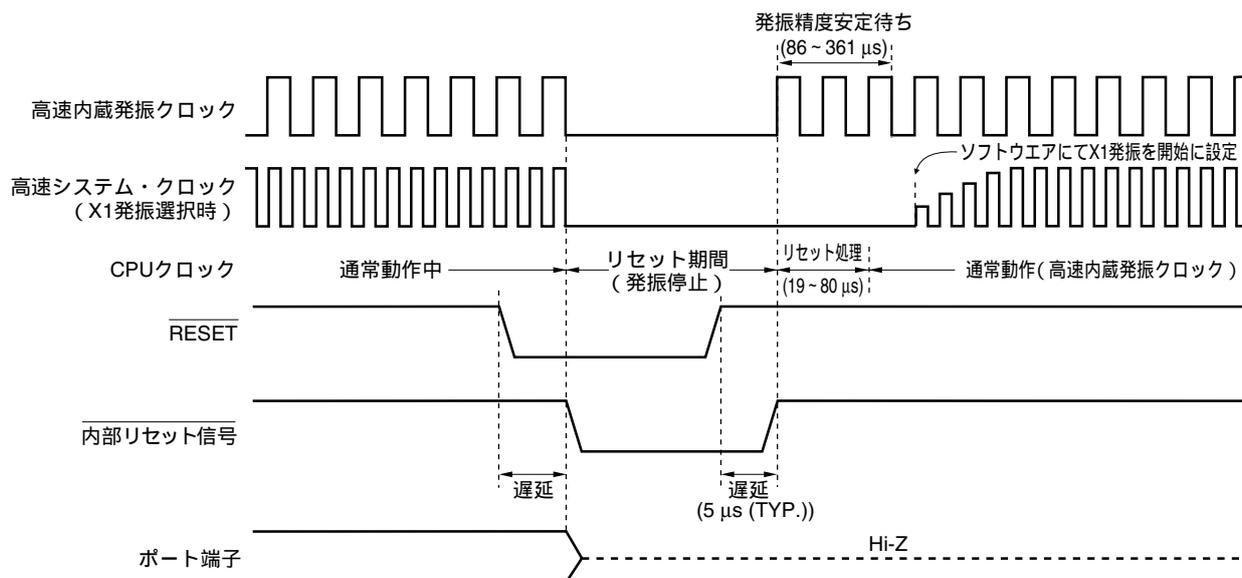
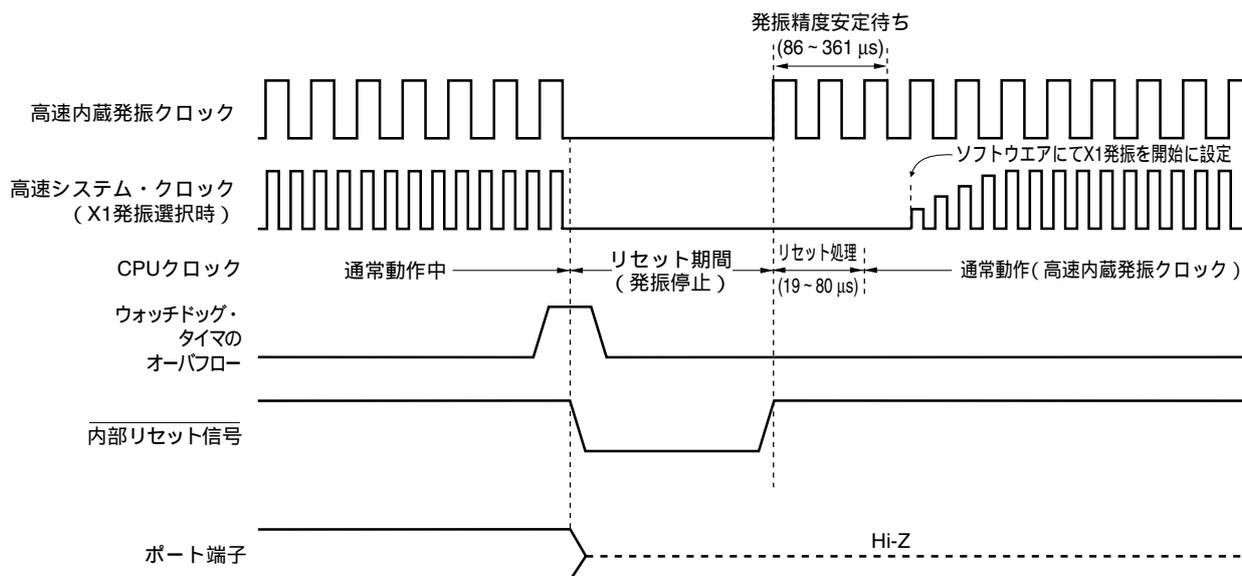
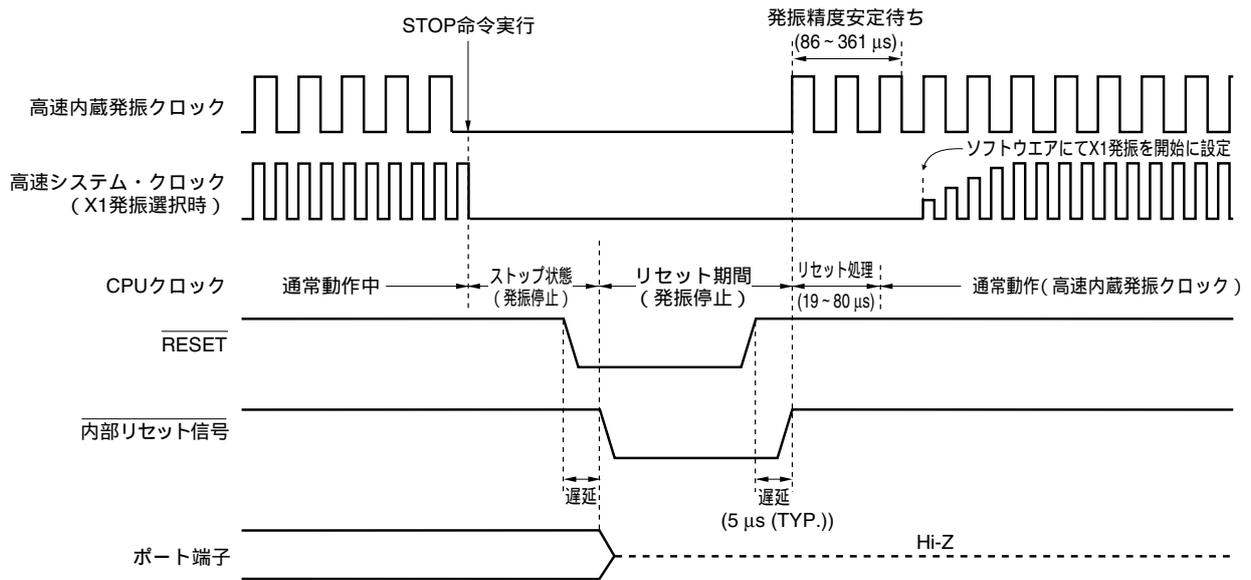
図26 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図26 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図26 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第27章 **パワーオン・クリア回路**と第28章 **低電圧検出回路**を参照してください。

表26 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{RH}	動作停止
	f _X	動作停止 (端子は入出力ポート・モード)
	f _{EXCLK}	クロックの入力無効 (端子は入出力ポート・モード)
サブシステム・クロック	f _{XT}	動作可能
	f _{EXCLKS}	RESET端子によるリセットの場合 : クロックの入力無効 その他の要因によるリセットの場合 : 動作可能
f _{RL}	動作停止	
CPU		
フラッシュ・メモリ		
RAM		
ポート (ラッチ)		
16ビット・タイマ / イベント・カウンタ00		
8ビット・タイマ / イベント・カウンタ	50	
	51	
	52	
8ビット・タイマ	H0	
	H1	
	H2	
リアルタイム・カウンタ	RESET端子によるリセットの場合 : 動作停止 その他の要因によるリセットの場合 : 動作可能	
ウォッチドッグ・タイマ	動作停止	
ブザー出力		
10ビット逐次比較型 A/Dコンバータ		
24ビット 型 A/Dコンバータ		
シリアル・インタフェース	UART0	
	UART6	
	CSI10	
拡張SFRインタフェース		
LCDコントローラ / ドライバ		
リモコン送信回路		
電力演算回路		
電力品質測定回路		
デジタル周波数変換回路		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止	
外部割り込み		

備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{EXCLKS} : 外部サブシステム・クロック, f_{RL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

表26 - 2 各ハードウェアのリセット受け付け後の状態 (1/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P1-P4, P8-P15, LP0, LP1) (出力ラッチ)		00H
ポート・モード・レジスタ (PM1-PM4, PM8-PM15, LPM0, LPM1)		FFH
プルアップ抵抗オプション・レジスタ (PU1, PU3, PU4, PU8-PU15, LPU0, LPU1)		00H
ポート・ファンクション・レジスタ1 (PF1)		00H
ポート・ファンクション・レジスタ2 (PF2)		00H
ポート・ファンクション・レジスタALL (PFALL)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注3}
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3}
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
高速内蔵発振トリミング・レジスタ (HIOTRM)		10H
16ビット・タイマ / イベント・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	コンペア・レジスタ000 (CR000)	0000H
	キャプチャ/コンペア・レジスタ010 (CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
8ビット・タイマ / イベント・カウンタ50, 51, 52	タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52)	00H
	コンペア・レジスタ50, 51, 52 (CR50, CR51, CR52)	00H
	タイマ・クロック選択レジスタ50, 51, 52 (TCL50, TCL51, TCL52)	00H
	モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Lx3-Mマイクロコントローラすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、製品ごとに表3 - 1に示す値を必ず設定してください。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 **特殊機能レジスタ** (SFR: Special Function Register)、および3. 2. 4 **拡張特殊機能レジスタ** (2nd SFR: 2nd Special Function Register) を参照してください。

表26 - 2 各ハードウェアのリセット受け付け後の状態 (2/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
8ビット・タイマH0, H1, H2	コンペア・レジスタ00, 10, 01, 11, 02, 12 (CMP00, CMP10, CMP01, CMP11, CMP02, CMP12)	00H
	モード・レジスタ (TMHMD0, TMHMD1, TMHMD2)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
リアルタイム・カウンタ	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
コントロール・レジスタ2 (RTCC2)	00H	
ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}
10ビット逐次比較型 A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)	08H
24ビット 型 A/Dコンバータ	24ビット 型A/Dコンバータ・モード・レジスタ (ADM2)	00H
	ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0)	00H
	ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1)	00H
	24ビット 型A/D変換結果レジスタ (ADCR0, ADCR1, ADCR2, ADCR3)	000000H
	位相コントロール・レジスタ0, 1 (PHC0, PHC1)	0000H
	A/Dクロック・ディレイ設定レジスタ (ADLY)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 8ビット・タイマH1のみ。

3. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 **特殊機能レジスタ (SFR: Special Function Register)**、および3. 2. 4 **拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register)** を参照してください。

表26 - 2 各ハードウェアのリセット受け付け後の状態 (3/5)

ハードウェア		リセット受け付け後の状態 ^注
シリアル・インタフェース UART0	受信バッファ・レジスタ0 (RXB0)	FFH
	送信シフト・レジスタ0 (TXS0)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ0 (BRGC0)	1FH
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
	入力切り替え制御レジスタ (ISC)	00H
シリアル・インタフェース CSI10	送信バッファ・レジスタ10 (SOTB10)	00H
	シリアルI/Oシフト・レジスタ10 (SIO10)	00H
	シリアル動作モード・レジスタ10 (CSIM10)	00H
	シリアル・クロック選択レジスタ10 (CSIC10)	00H
拡張SFRインタフェース	シリアル動作モード指定レジスタ0 (CSIMA0)	00H
	シリアル・ステータス・レジスタ0 (CSIS0)	00H
	分周値選択レジスタ0 (BRGCA0)	03H
	シリアルI/Oシフト・レジスタ0 (SIOA0)	00H
LCDコントローラ / ドライバ	LCDモード・レジスタ (LCDMD)	00H
	LCD表示モード・レジスタ (LCDM)	00H
	LCDクロック制御レジスタ0 (LCDC0)	00H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register)、および3.2.4 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表26 - 2 各ハードウェアのリセット受け付け後の状態 (4/5)

ハードウェア		リセット受け付け後の状態 ^注
電力演算回路	電力演算モード制御レジスタ1 (PWCTL1)	00H
	電力演算モード制御レジスタ2 (PWCTL2)	00H
	ゼロロード・レベル制御レジスタ (NLCTL)	00H
	有効電力スケール設定レジスタ (ACTDIV)	00H
	無効電力スケール設定レジスタ (READIV)	00H
	皮相電力スケール設定レジスタ (APPDIV)	00H
	電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS)	000000H
	電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS)	000000H
	有効電力アキュムレーション・リード・レジスタ (ACTHR)	000000H
	有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR)	000000H
	有効電力アキュムレーション同期リード・レジスタ (LACTHR)	000000H
	無効電力アキュムレーション・リード・レジスタ (REahr)	000000H
	無効電力アキュムレーション・リセット・リード・レジスタ (RREahr)	000000H
	無効電力アキュムレーション同期リード・レジスタ (LREahr)	000000H
	皮相電力アキュムレーション・リード・レジスタ (APPHR)	000000H
	皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR)	000000H
	皮相電力アキュムレーション同期リード・レジスタ (LAPPHR)	000000H
	ライン・サイクル数設定レジスタ (LINNUM)	FFFFH
	有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN)	0000H
	無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN)	0000H
	皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN)	0000H
	電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN)	0000H
	有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS)	0000H
	無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS)	0000H
	電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)	0000H
	電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)	0000H
	サンプリング・モード選択レジスタ (SAMPMODE)	00H
サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)	000000H	

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register)、および3.2.4 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表26 - 2 各ハードウェアのリセット受け付け後の状態 (5/5)

ハードウェア		リセット受け付け後の状態 ^{注1}
電力品質測定回路	ピリオド / 周波数測定結果レジスタ (PFVAL)	0000H
	電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2)	03FFH
	電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2)	FFH
	電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2)	000000H
	電流ピーク・レベル設定レジスタ (IPKLMT)	FFFFH
	電圧ピーク・レベル設定レジスタ (VPKLMT)	FFFFH
	電流ピーク値レジスタ (IMAX)	000000H
	電流ピーク値クリア・レジスタ (RSTIMAX)	000000H
	電圧ピーク値レジスタ (VMAX)	000000H
	電圧ピーク値クリア・レジスタ (RSTVMAX)	000000H
	ゲイン設定レジスタ (IMATGAIN)	0000H
	フォールト検出制御レジスタ (PQMCTL)	00H
	フォールト検出しきい値設定レジスタ (IST)	8BH
	フォールト制御レジスタ (ICLK)	84H
デジタル周波数変換回路	周波数変換制御レジスタ (CFCTL)	02H
	周波数スケールリング設定レジスタ (CFMULL, CFMULH)	FFH
	パルス幅設定レジスタ (PULCTL)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	拡張SFR要求フラグ・レジスタ20, 21, 22, 23 (IF20, IF21, IF22, IF23)	00H
	拡張SFRマスク・フラグ・レジスタ20, 21, 22, 23 (MK20, MK21, MK22, MK23)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

リセット要因 レジスタ		RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRFビット	クリア (0)	クリア (0)	セット (1)	保持
	LVIRFビット			保持	セット (1)
LVIM		クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS					

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register)、および3.2.4 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

26.1 リセット要因を確認するレジスタ

78K0/Lx3-Mマイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図26 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表26 - 3に示します。

表26 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

26.2 電源電圧投入時の注意事項

78K0/Lx3-Mマイクロコントローラの電源電圧投入時の注意事項を次に示します。

電源投入は必ず、LV_{DD}、V_{DD}/AV_{DD}、AV_{REF}の順に行ってください。

その後、V_{DD}が動作電圧に達したあとに、 $\overline{\text{RESET}}$ 端子にハイ・レベルを入力してください。

26.3 リセット解除後の注意事項

リセット解除後は、必ず次の設定を行ってください。

PM10 (PM1レジスタのビット0) を出力許可 (PM10 = 0) に設定し、クロック出力選択レジスタ (CKS) で出力クロックを選択してください。

PM47, PM46, PM17, PM16, PM14を出力許可 (PM47, PM46, PM17, PM16, PM14 = 0) に設定してください。

ブルダウン状態を解除 (PUTCTLレジスタに01Hを設定) してください。

注意 拡張SFRインタフェースでデータ送信中に内部リセットがかかった場合、拡張SFRに正常にデータが送信されない可能性があります。

第27章 パワーオン・クリア回路

27.1 パワーオン・クリア回路の機能

パワーオン・クリア回路は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) は、電源電圧 (V_{DD}) が $1.59\text{ V} \pm 0.15\text{ V}$ を越えた場合に、リセットを解除します。

2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1) 時は、電源電圧 (V_{DD}) が $2.7\text{ V} \pm 0.2\text{ V}$ を越えた場合に、リセットを解除します。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

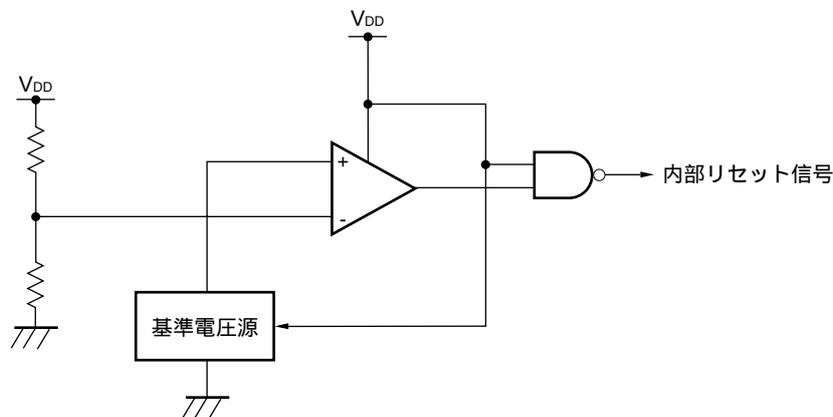
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 78K0/Lx3-Mマイクロコントローラには、内部リセット信号を発生する複数のハードウェアが内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第26章 リセット機能を参照してください。

27.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図27 - 1に示します。

図27 - 1 パワーオン・クリア回路のブロック図



27.3 パワーオン・クリア回路の動作

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

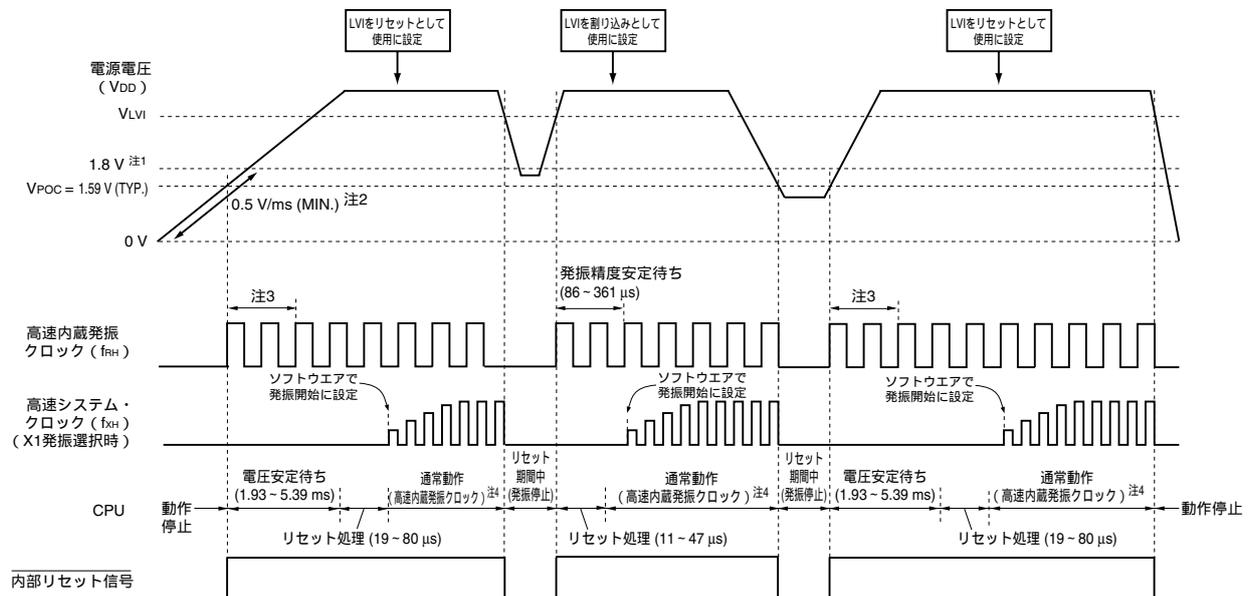
(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図27 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)



- 注1. 動作保証範囲は、1.8 V V_{DD} 3.6 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、または \overline{RESET} 端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 \overline{RESET} 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
4. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第28章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

27.4 パワーオン・クリア回路の注意事項

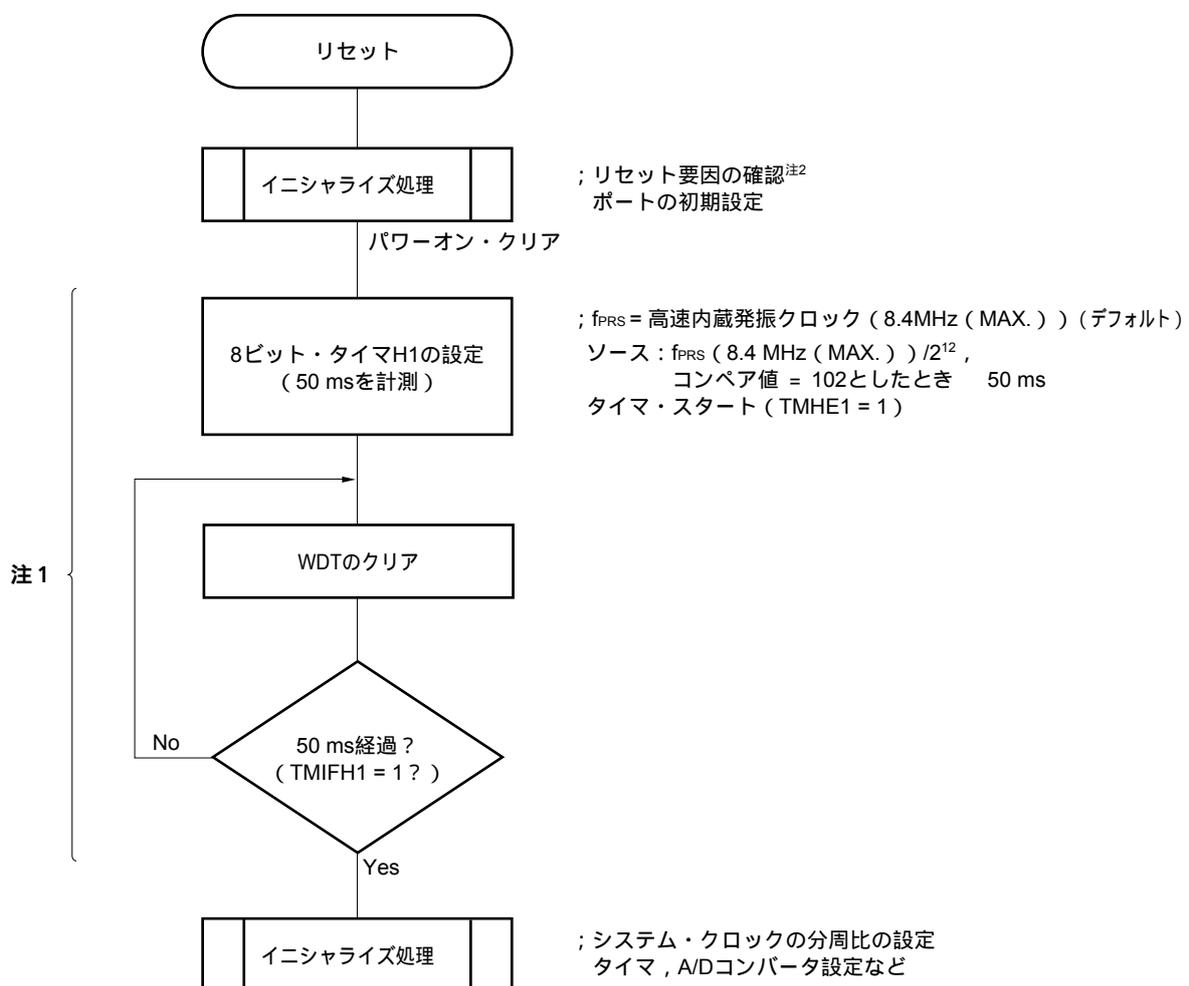
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図27-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合

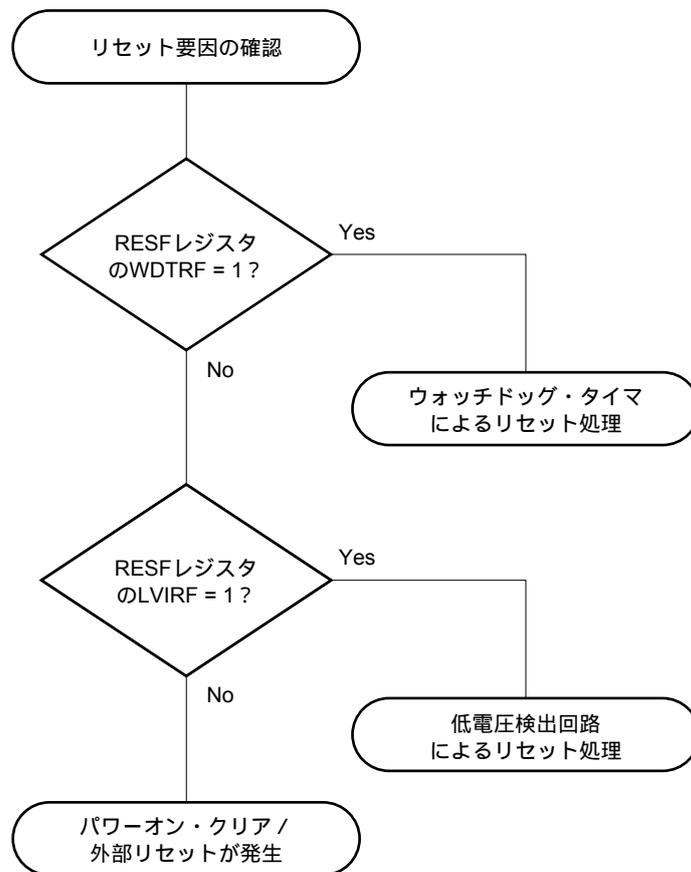


注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

図27 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第28章 低電圧検出回路

28.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0/Lx3-Mマイクロコントローラの全製品に搭載されています。

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$): **固定**) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は、ソフトウェアにて選択できます。
- ・リセット / 割り込みは、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを10段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

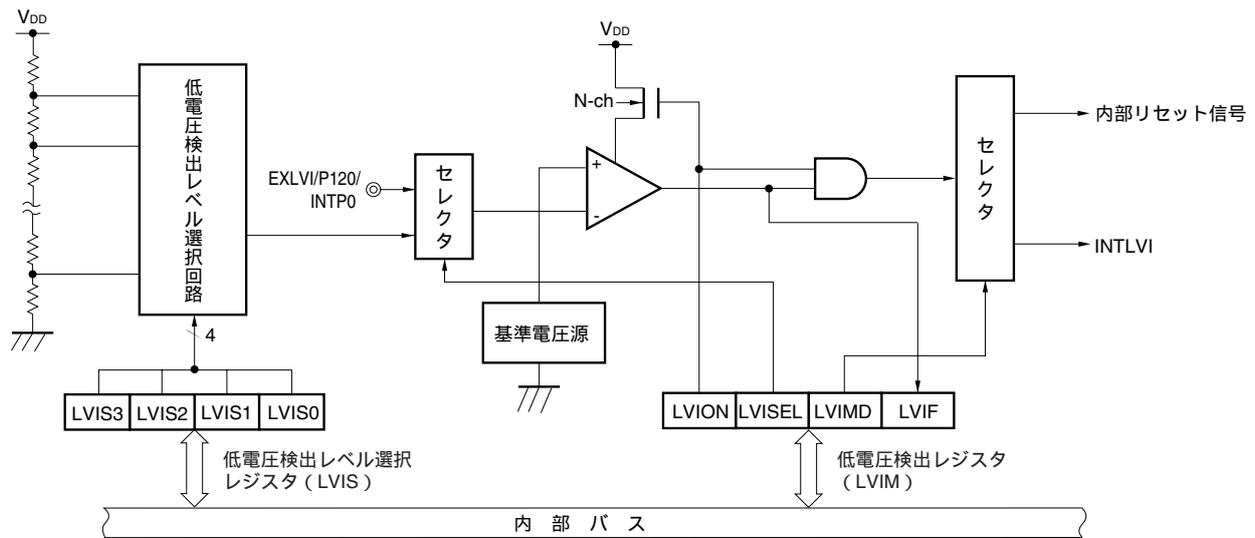
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は、**第26章 リセット機能** を参照してください。

28.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図28 - 1に示します。

図28 - 1 低電圧検出回路のブロック図



28.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図28 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFBEH リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V_{DD}) のレベルを検出
1	外部入力端子からの入力電圧 ($EXLVI$) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時に $V_{DD} > V_{LVI}$ になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, $V_{DD} > V_{LVI}$時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, $EXLVI > V_{EXLVI}$時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}), または動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}), または動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI})

注1. LVIF以外のリセット時では“00H”にクリアされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIFリセット以外のリセット時にクリア(0)されます。LVIFリセットではクリア(0)されません。
- LVIONをセット(1)すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット(1)してから動作が安定するまでの時間(10 μ s (MIN.))を, ソフトウェアでウエイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット(1)されるまで, 200 μ s以上の外部入力(最小パルス幅: 200 μ s (MIN.))が必要です。

注意1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合: LVIMに“00H”を書き込む
 - ・1ビット・メモリ操作命令の場合: LVIONをクリア(0)
- 外部入力端子からの入力電圧 ($EXLVI$) は, $EXLVI < V_{DD}$ でなければなりません。
 - LVIを割り込みとして使用する場合, LVI検出電圧未満の状態 LVIONをクリア(0)すると, INTLVI信号が発生し, LVIFが1になります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図28-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFBFH リセット時：00H^注 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	1	1	0	V _{LV10} (3.32 V ± 0.1 V)
0	1	1	1	V _{LV11} (3.16 V ± 0.1 V)
1	0	0	0	V _{LV12} (3.01 V ± 0.1 V)
1	0	0	1	V _{LV13} (2.85 V ± 0.1 V)
1	0	1	0	V _{LV14} (2.70 V ± 0.1 V)
1	0	1	1	V _{LV15} (2.55 V ± 0.1 V)
1	1	0	0	V _{LV16} (2.39 V ± 0.1 V)
1	1	0	1	V _{LV17} (2.24 V ± 0.1 V)
1	1	1	0	V _{LV18} (2.08 V ± 0.1 V)
1	1	1	1	V _{LV19} (1.93 V ± 0.1 V)
上記以外				設定禁止

注 LVIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H”にクリアされます。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V_{EXLVI} = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図28 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

28.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かをすることができます。

備考 LVIMD: 低電圧検出レジスタ (LVIM) のビット1

LVISEL: LVIMのビット2

28.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ ($LVIM$) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ ($LVIS$) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

$LVIM$ のビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウェイトする

$LVIM$ のビット0 ($LVIF$) で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ

$LVIM$ のビット1 ($LVIMD$) に “1” (レベル検出時にリセット発生) を設定する

図28 - 5に, ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。 $LVIMK = 0$ になっている場合, の処理を行った時点で割り込みが発生する場合があります。

2. $LVIMD = 1$ とした時点で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

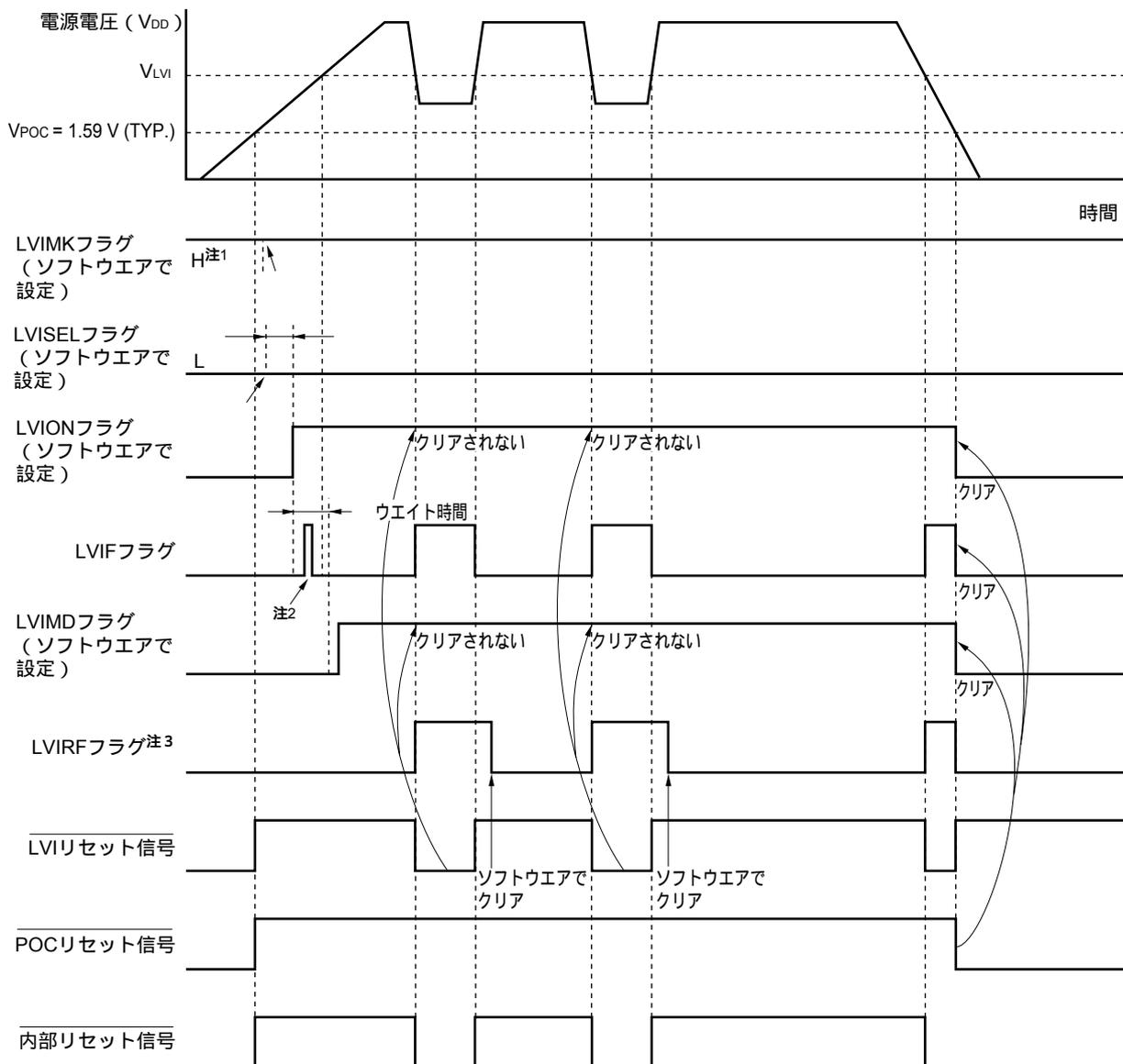
動作停止時

次のいずれかの手順を, 必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合 :
 $LVIM$ に “00H” を書き込む
- ・ 1ビット・メモリ操作命令の場合 :
 $LVIMD$ をクリア (0) $LVION$ をクリア (0)

図28 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（1/2）

(1) 1.59 V POCモード設定時（オプション・バイト：POCMODE = 0）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

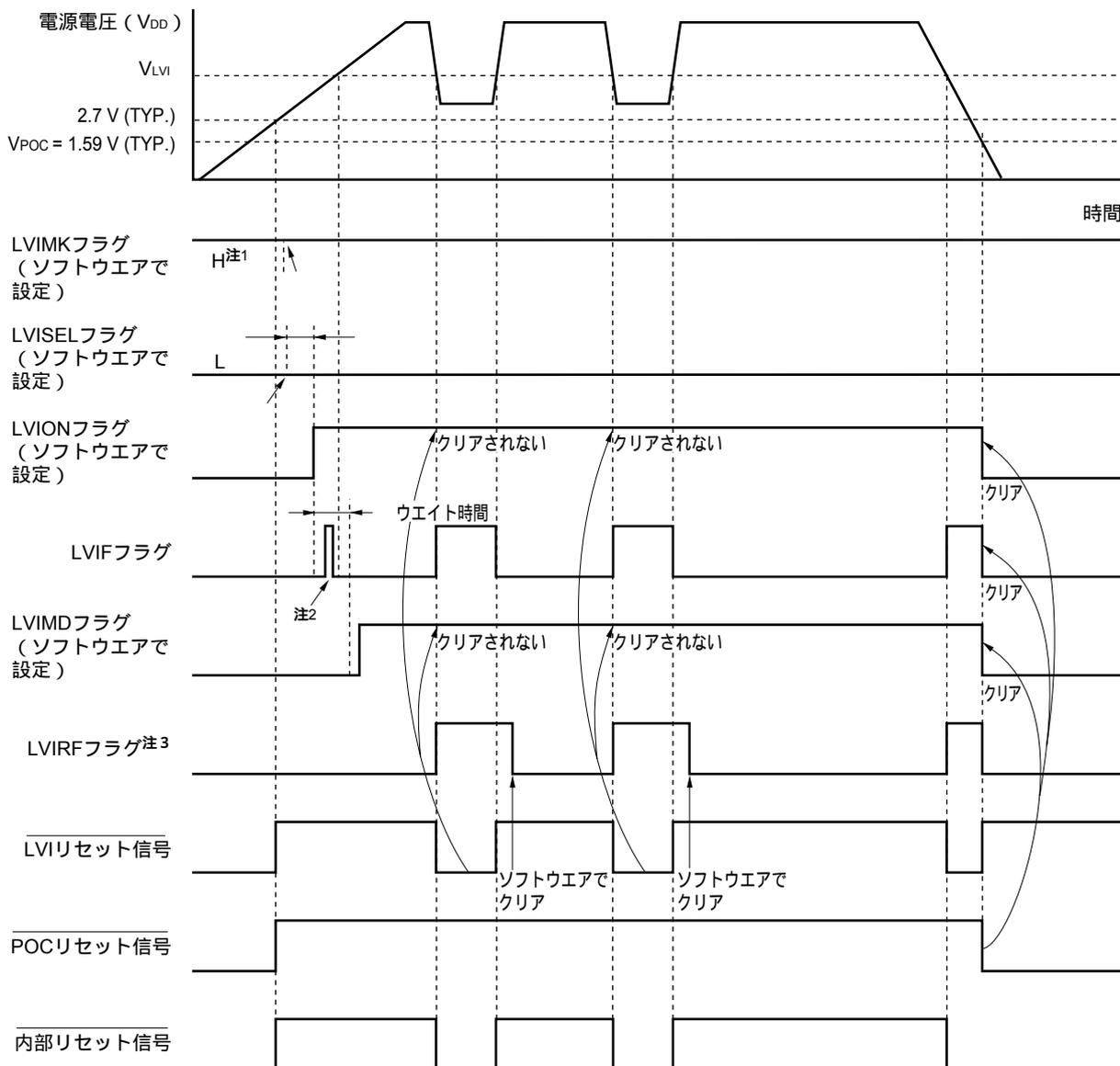
2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第26章 リセット機能を参照してください。

備考 図28 - 5の ~ は、28.4.1(1) 電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

図28 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（2/2）

(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，第26章 リセット機能を参照してください。

備考 図28 - 5の ~ は，28.4.1(1) 電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MIN.))をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V(TYP.))」であることを確認するまで待つ
- LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図28 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V(TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIMDをクリア(0) LVIONをクリア(0)

28.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウェイトする

LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図28 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：

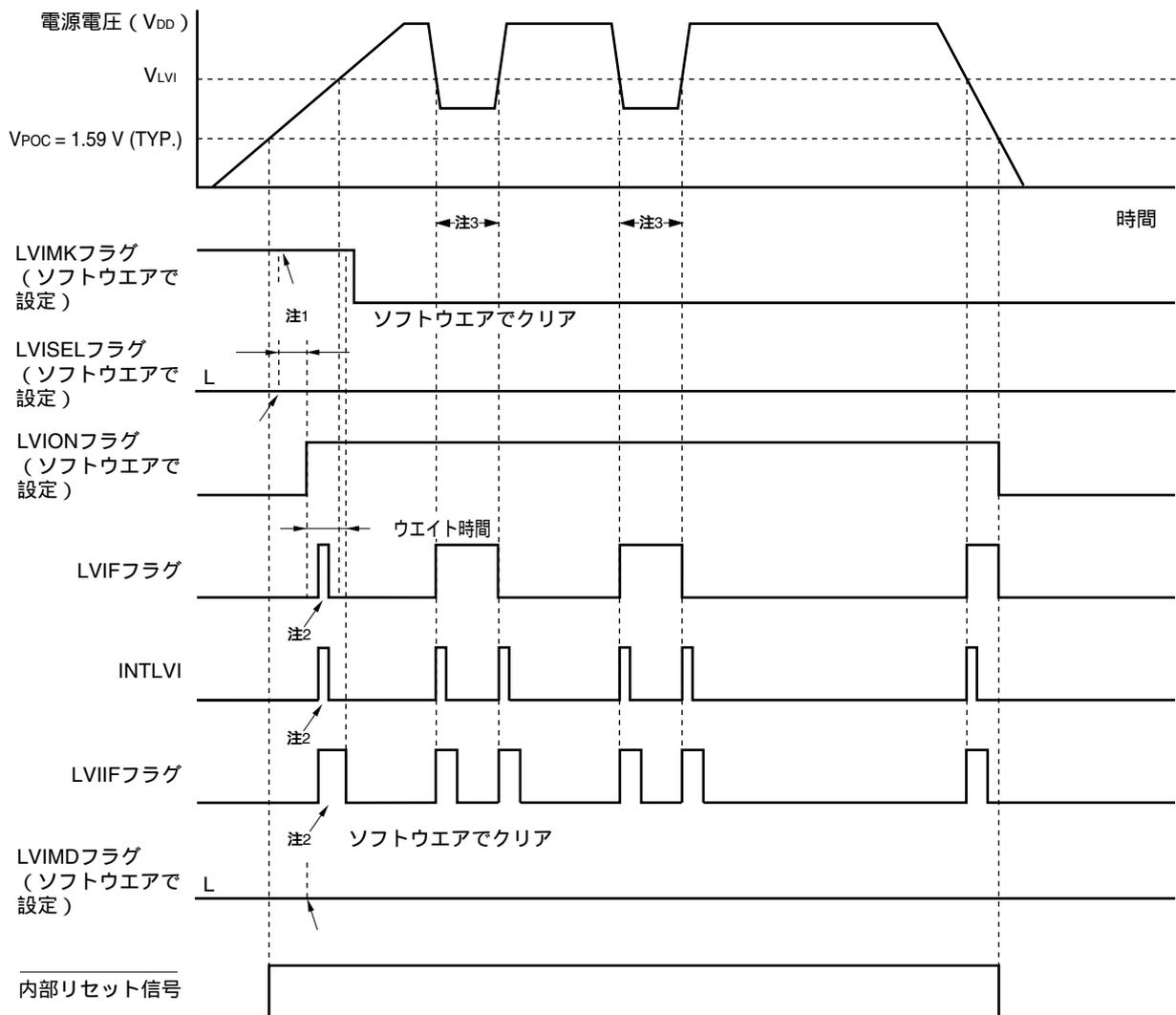
LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図28 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0)

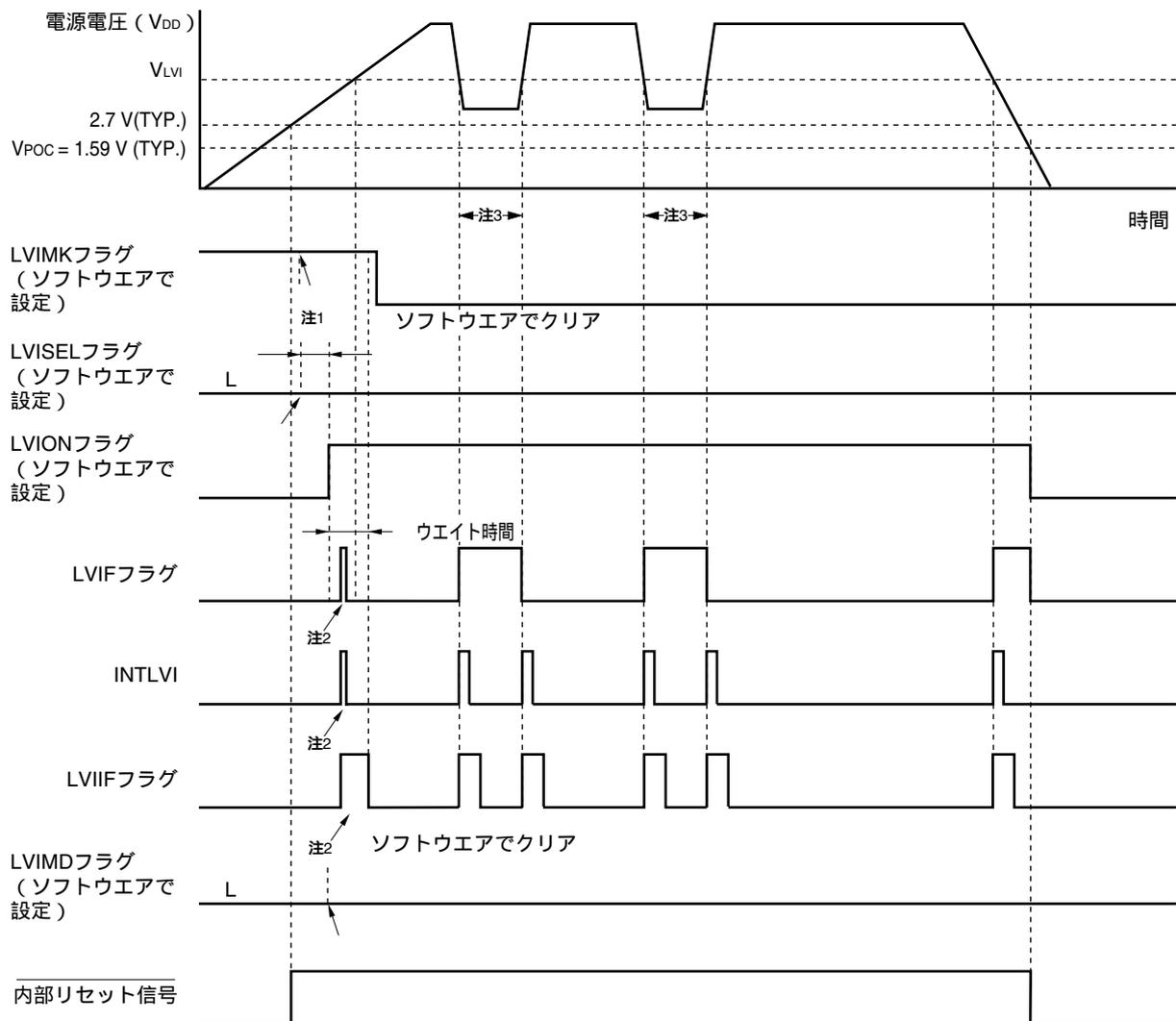


- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図28 - 7の ~ は、28. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

図28 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図28 - 7の ~ は、28. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット1(LVIMD)に“0”(レベル検出時に割り込み信号発生)を設定する(デフォルト値)
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MIN.))をウエイトする
- LVIMのビット0(LVIF)で、立ち下がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- LVIの割り込み要求フラグ(LVIIF)をクリア(0)する
- LVIの割り込みマスク・フラグ(LVIMK)を解除する
(ベクタ割り込みを使用する場合)EI命令を実行する

図28 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

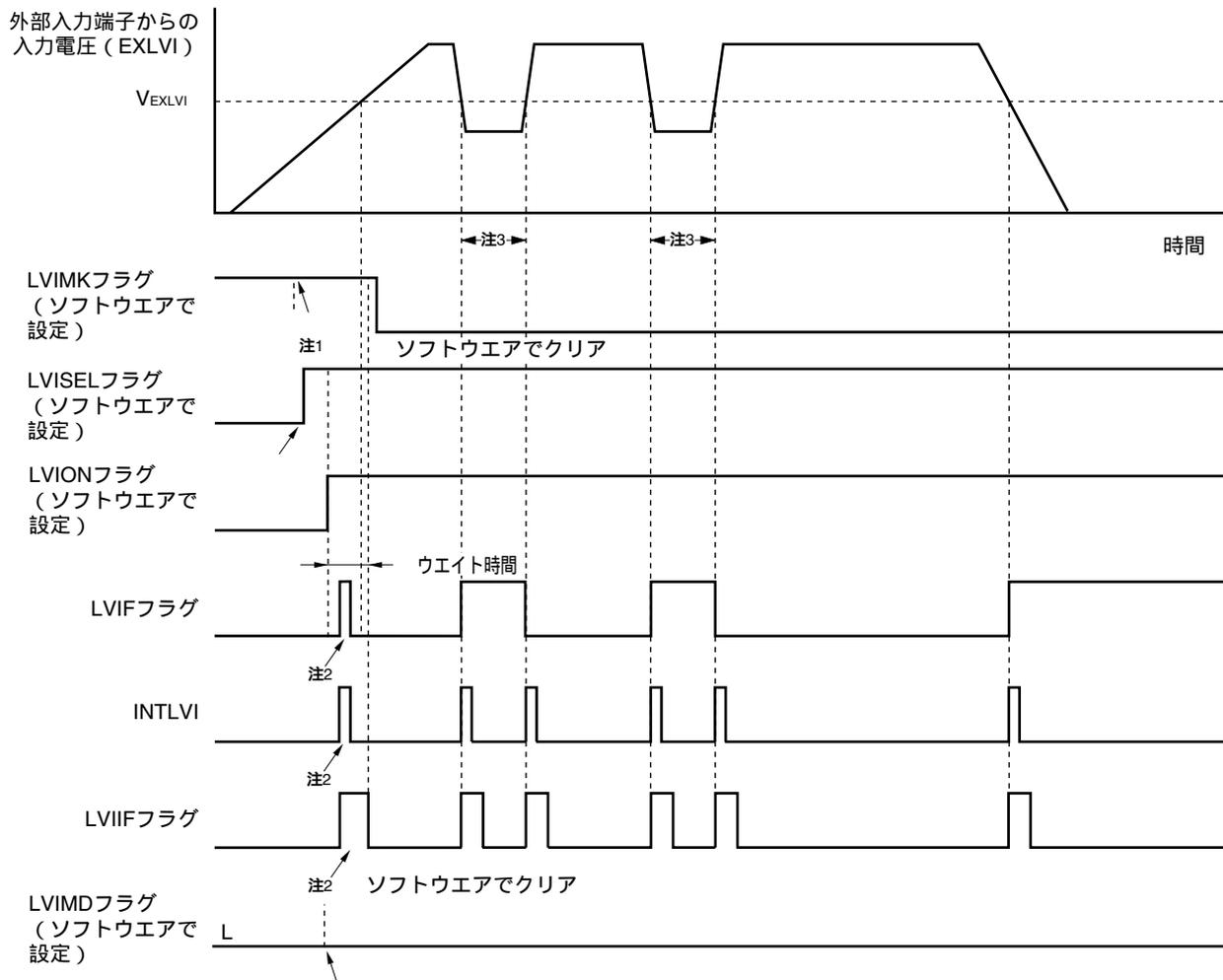
注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
LVIONをクリア(0)

図28 - 8 低電圧検出回路の割り込み信号発生時のタイミング
(外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図28 - 8の ~ は、28.4.2(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

28.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図 28 - 9 を参照)。

(2) 割り込みとして使用する場合

(a) LVI 割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット 0 (LVIF) をクリア (0) してください。

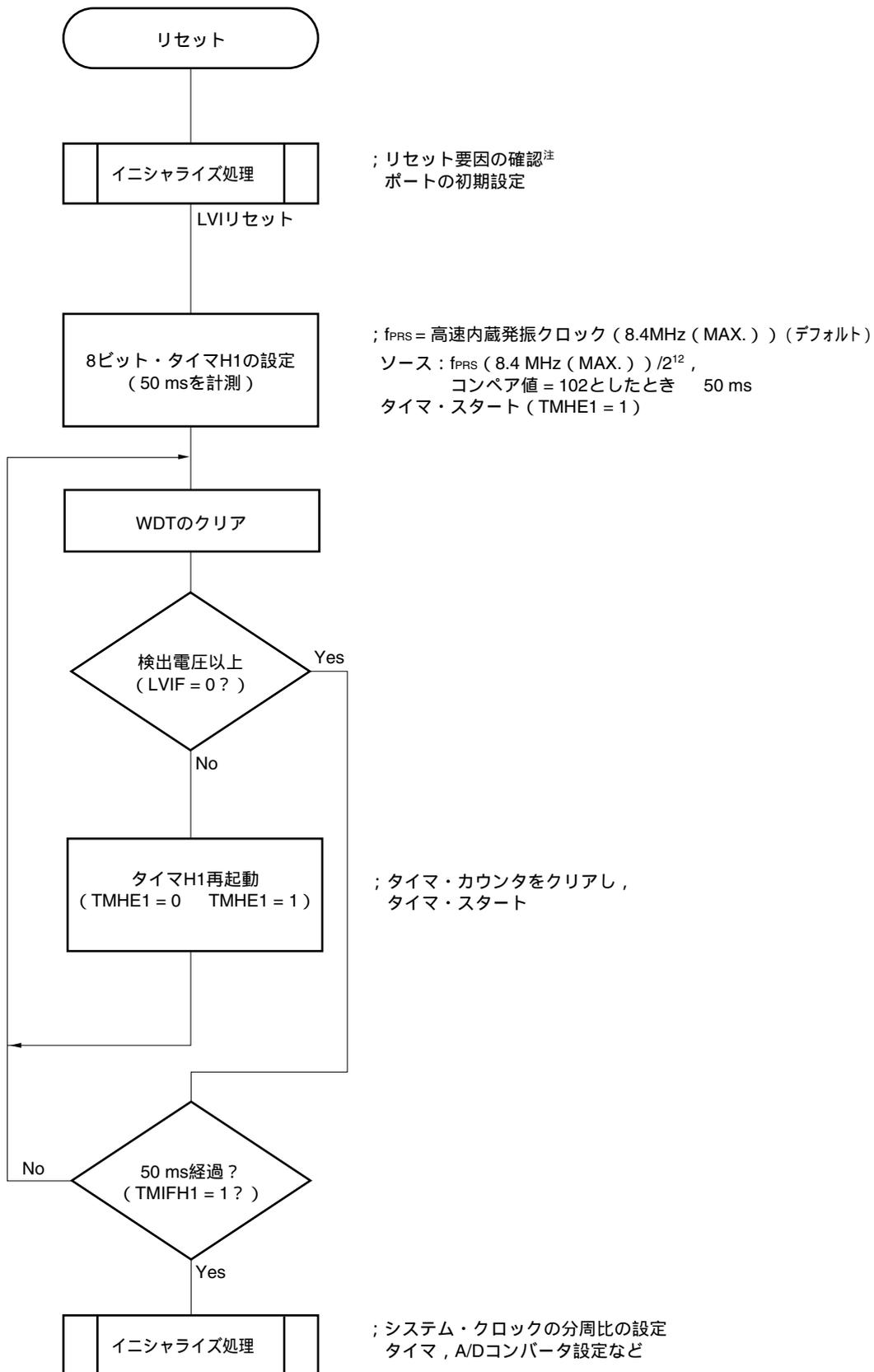
(b) LVI 検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIF フラグにて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、LVIF フラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット 2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図28 - 9 リセット解除後のソフト処理例 (1/2)

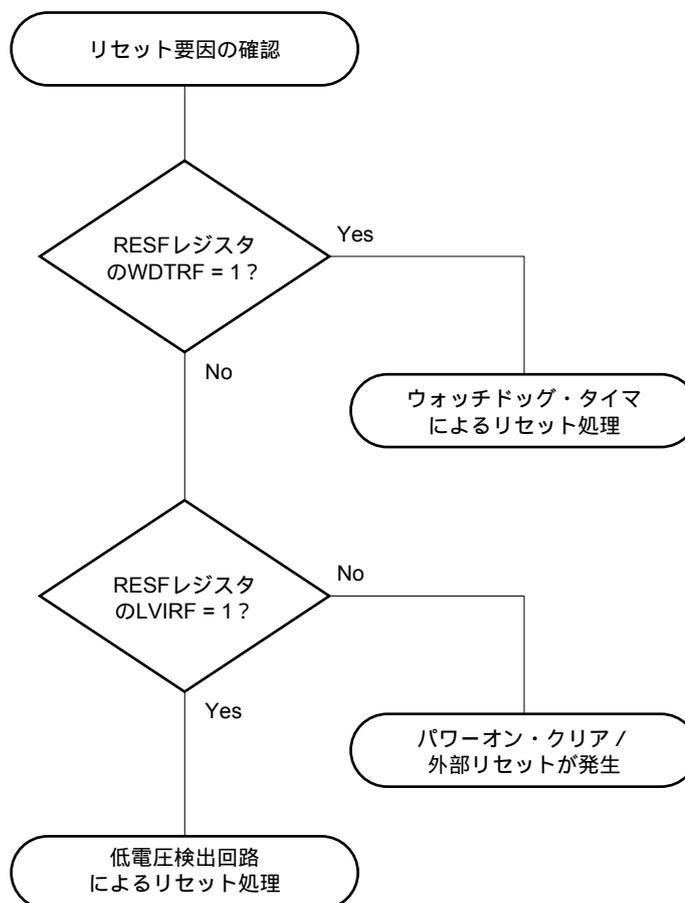
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図28 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第29章 オプション・バイト

29.1 オプション・バイトの機能

78K0/Lx3-Mマイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

注意 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。

(1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

注意 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

(2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (POCMODE = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えたとリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。

電源投入から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

- ・1.59 V POCモード動作時 (POCMODE = 0)

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えたとリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

(3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・ オンチップ・デバッグ動作禁止
- ・ オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・ オンチップ・デバッグ動作許可，オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

29.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図29 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H^注

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット1 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

2. 1.8 V $V_{DD} < 2.6$ Vで使用する場合, WINDOW1 = WINDOW0 = 0は設定禁止です。

3. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

4. LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット1 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウンタ・クロックは供給されません。

ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウンタ・クロックが供給されます。

5. ビット7には必ず0を書き込んでください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

2. () 内は $f_{RL} = 264$ kHz (MAX.) の場合

図29 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H^{注1,2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

注1. POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去（チップ消去）後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H , 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第31章 オンチップ・デバッグ機能を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第26章 リセット機能**を参照してください。

第30章 フラッシュ・メモリ

78K0/Lx3-Mマイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

30.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表30 - 1に示す値を設定してください。

図30 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	0	0	768バイト
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	1	0	0	16 Kバイト
1	0	0	0	32 Kバイト
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

表30 - 1 メモリ・サイズ切り替えレジスタ（IMS）の設定値

78K0/LE3-M	78K0/LG3-M	IMSの設定値
μ PD78F8052	-	04H
μ PD78F8053	-	C8H
-	μ PD78F8054	CCH
-	μ PD78F8055	CFH

30.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部拡張RAM容量を選択してください。

IXSは，8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，0CHになります。

- 注意1.** リセット解除後に各製品ごとに表30 - 2に示す値を設定してください。
2. 内部拡張RAMを内蔵していない製品には，IXSを搭載していません。

図30 - 2 内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	1	0	0	0バイト
1	0	1	0	1024バイト
上記以外				設定禁止

表30 - 2 内部拡張RAMサイズ切り替えレジスタ（IXS）の設定値

78K0/LE3-M	78K0/LG3-M	IXSの設定値
μ PD78F8052 ^注	-	0CH
μ PD78F8053 ^注	-	
-	μ PD78F8054	0AH
-	μ PD78F8055	

注 内部拡張RAMを内蔵していない製品は，IXSを搭載していません。

30.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/Lx3-Mマイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

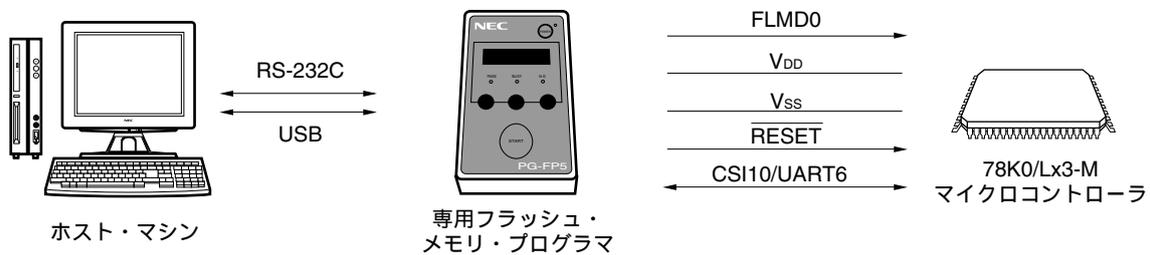
ターゲット・システム上に78K0/Lx3-Mマイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは，（株）内藤電誠町田製作所の製品です。

30.4 プログラミング環境

78K0/Lx3-Mマイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Lx3-MマイクロコントローラとのインタフェースはCSI10またはUART6を使用して、書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

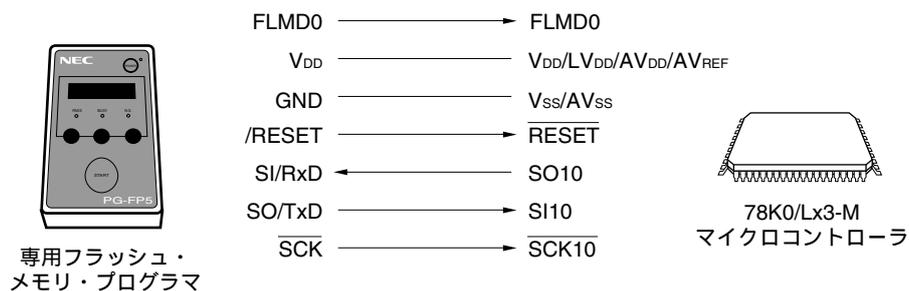
30.5 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Lx3-Mマイクロコントローラとの通信は、78K0/Lx3-MマイクロコントローラのCSI10またはUART6によるシリアル通信で行います。

(1) CSI10 (78K0/LG3-Mのみ)

転送レート：2.4 kHz～2.5 MHz

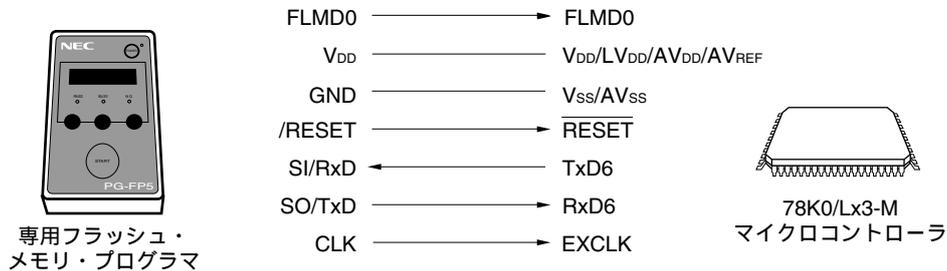
図30-4 専用フラッシュ・メモリ・プログラマとの通信 (CSI10)



(2) UART6

転送レート：115200 bps

図30 - 5 専用フラッシュ・メモリ・プログラマとの通信 (UART6)



専用フラッシュ・メモリ・プログラマは78K0/Lx3-Mマイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5のマニュアルを参照してください。

表30 - 3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/Lx3-Mマイクロ コントローラ	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART6
FLMD0	出力	モード信号	FLMD0		
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , LV _{DD} , AV _{DD} , AV _{REF}		
GND	-	グラウンド	V _{SS} , AV _{SS}		
CLK	出力	78K0/Lx3-Mマイクロコントローラへのクロック出力	EXCLK/X2/P122	x ^{注1}	注2
/RESET	出力	リセット信号	$\overline{\text{RESET}}$		
SI/RxD	入力	受信信号	SO10またはTxD6		
SO/TxD	出力	送信信号	SI10またはRxD6		
SCK	出力	転送クロック	SCK10		x

注1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_x)、外部メイン・システム・クロック (f_{EXCLK})、高速内蔵発振クロック (f_{RH}) で使用できます。

備考 : 必ず接続してください。
: ターゲット・ボード上で生成されていれば、接続の必要はありません。
x : 接続の必要はありません。

専用プログラム・アダプタ (FAシリーズ) 使用時に使用しない端子は、表2 - 2 各端子の入出力回路タイプの未使用時の推奨接続方法に示されている処理を行ってください。

30.6 オンボード上の端子処理

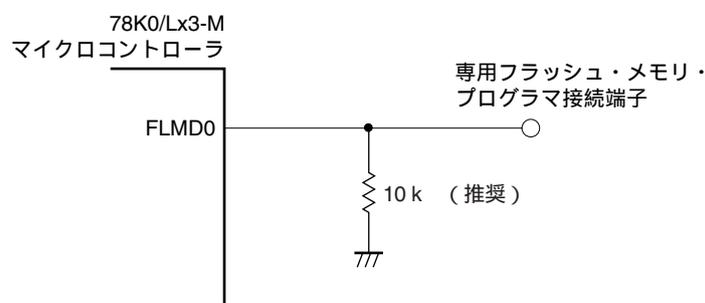
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

30.6.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図30 - 6 FLMD0端子の接続例



30.6.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表30 - 4 各シリアル・インタフェースが使用する端子

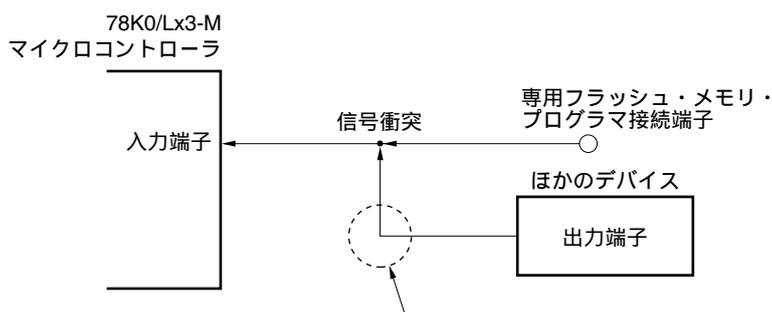
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, $\overline{SCK10}$
UART6	TxD6, RxD6

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図30 - 7 信号の衝突 (シリアル・インタフェースの入力端子)

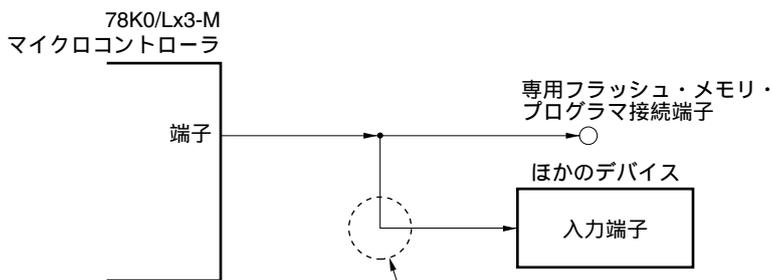


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

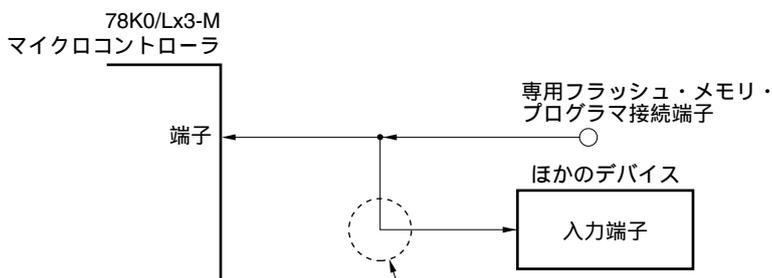
(2) ほかのデバイスの異常動作

ほかのデバイス (入力) と接続しているシリアル・インタフェース用の端子 (入力または出力) に、専用フラッシュ・メモリ・プログラマ (出力または入力) を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図30 - 8 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、78K0/Lx3-Mマイクロコントローラが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



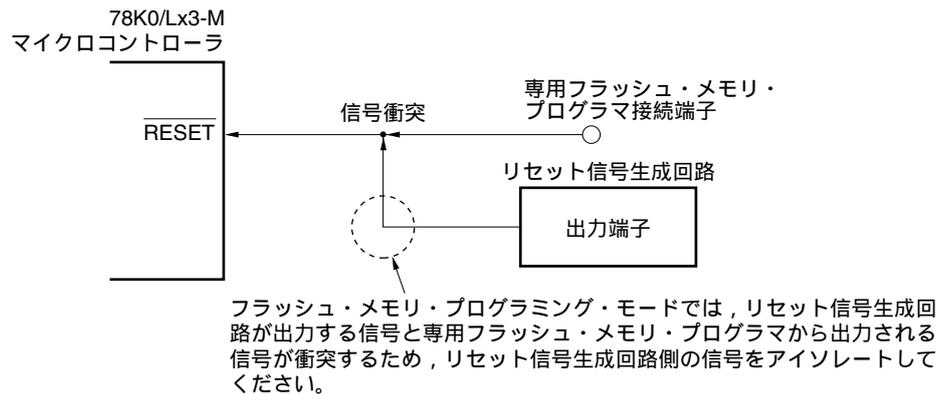
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・メモリ・プログラマが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

30.6.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図30-9 信号の衝突 ($\overline{\text{RESET}}$ 端子)



30.6.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

30.6.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF : 推奨) を介し、GNDに接続してください。

30.6.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合は、プログラマのCLKとEXCLK/X2/P122を接続してください。

注意1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_X)、外部メイン・システム・クロック (f_{EXCLK})、高速内蔵発振クロック (f_{RH}) で使用できます。

30.6.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムで電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

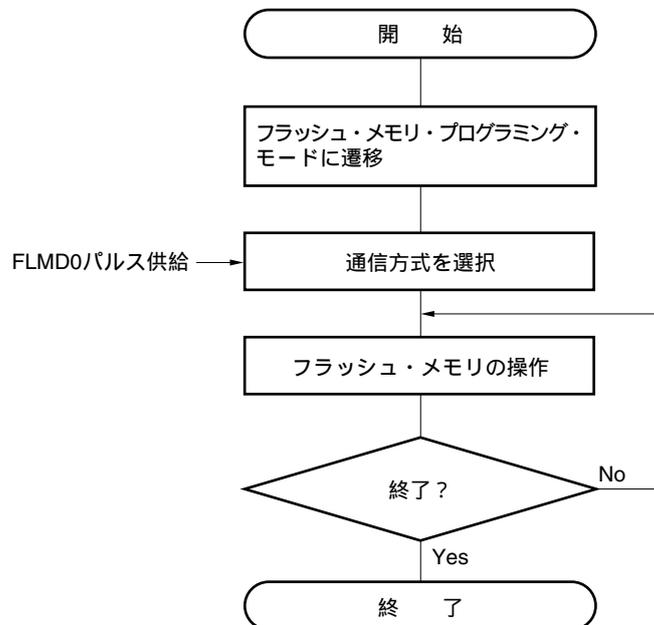
その他の電源 (AV_{DD} , LV_{DD} , AV_{REF} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

30.7 プログラミング方法

30.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図30 - 10 フラッシュ・メモリの操作手順



30.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Lx3-M マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図30 - 11 フラッシュ・メモリ・プログラミング・モード

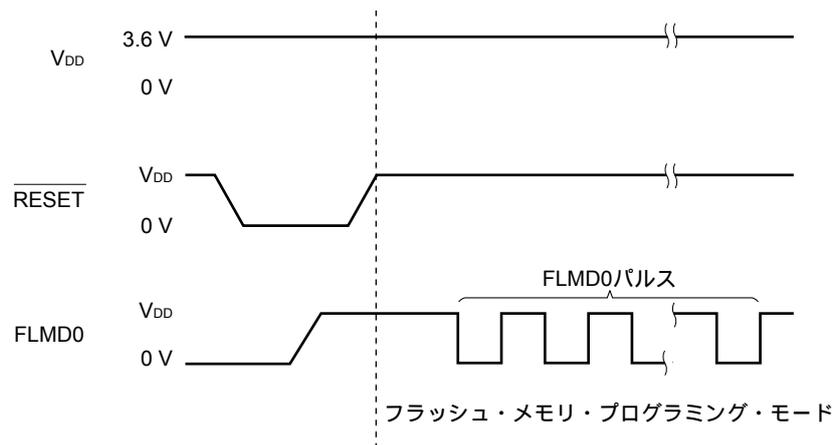


表30 - 5 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

30.7.3 通信方式の選択

78K0/Lx3-Mマイクロコントローラでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルスを入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表30 - 6 通信方式一覧

通信方式	Standard設定 ^{注1}				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART6)	UART-Ext-OSC	115200 bps ^{注3}	2 M-10 MHz ^{注2}	1.0	TxD6, RxD6	f _x	0
	UART-Ext-FP5CLK					f _{EXCLK}	3
	UART-Internal-OSC		—			f _{RH}	5
3線式シリアルI/O (CSI10)	CSI-Internal-OSC	2.4 kHz ~ 2.5 MHz	—		SO10, SI10, SCK10	f _{RH}	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第33章 電気的特性を参照してください。

3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

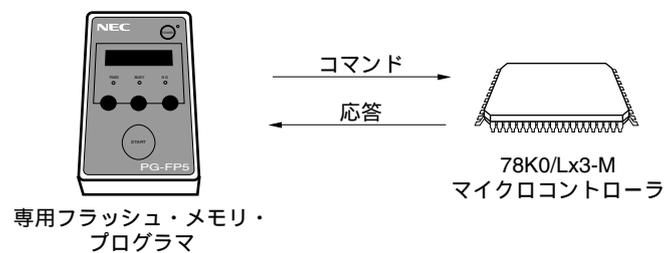
注意 UART6選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

備考 f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RH} : 高速内蔵発振クロック

30.7.4 通信コマンド

78K0/Lx3-Mマイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0/Lx3-Mマイクロコントローラへ送られる信号を「コマンド」と呼び、78K0/Lx3-Mマイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図30 - 12 通信コマンド



78K0/Lx3-Mマイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Lx3-Mマイクロコントローラがコマンドに対応した各処理を行います。

表30 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	78K0/Lx3-M情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Lx3-Mバージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、78K0/Lx3-Mマイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0/Lx3-Mマイクロコントローラが送出する応答名称を次に示します。

表30 - 8 応答名称

応答名称	機 能
ACK	コマンド / データなどのアクノリッジ
NAK	不正なコマンド / データなどのアクノリッジ

30.8 セキュリティ設定

78K0/Lx3-Mマイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (0000H-0FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Lx3-Mマイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表30 - 9に示します。

表30 - 9 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表30 - 10に示します。

表30 - 10 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

30.9 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Lx3-Mマイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

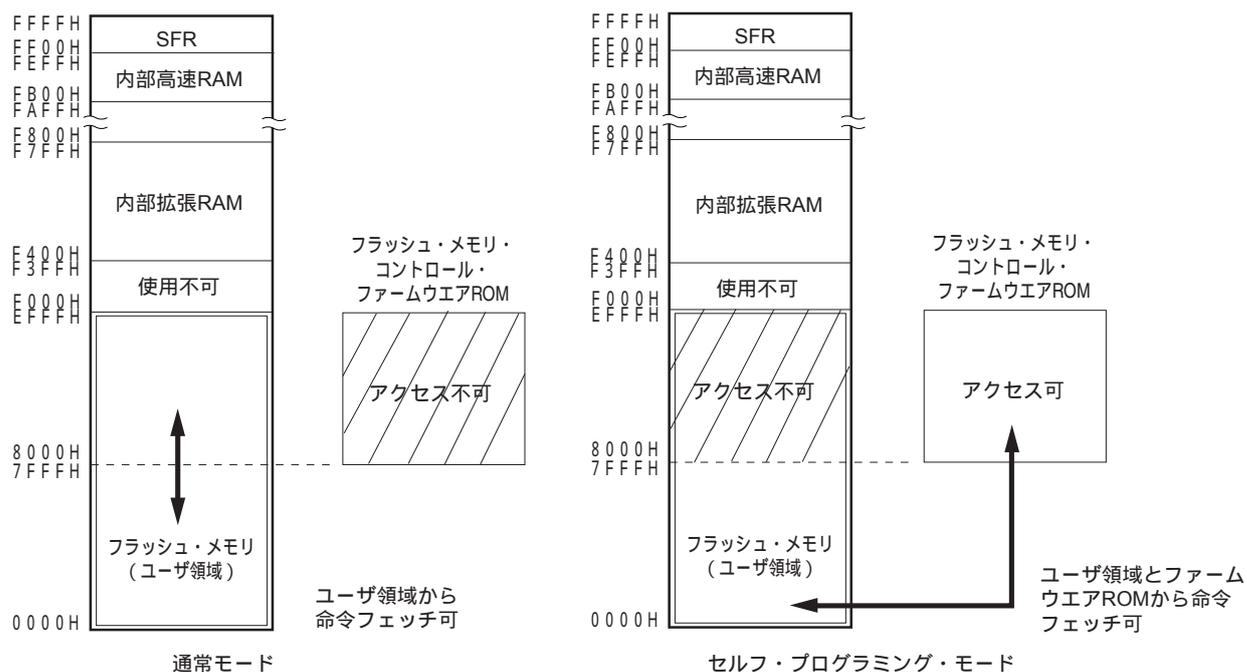
注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

- セルフ・プログラミング時は、RSTOPフラグ（内蔵発振モード・レジスタ（RCM）のビット0）の設定に関わらず、高速内蔵発振器の発振が開始されます。STOP命令を実行しても、高速内蔵発振器の発振を停止することはできません。
- セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
- セルフ・プログラミング開始前に必ずDI命令を実行してください。

セルフ・プログラミング機能は割り込み要求フラグ（IF0L, IF0H, IF1L, IF1H）を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。

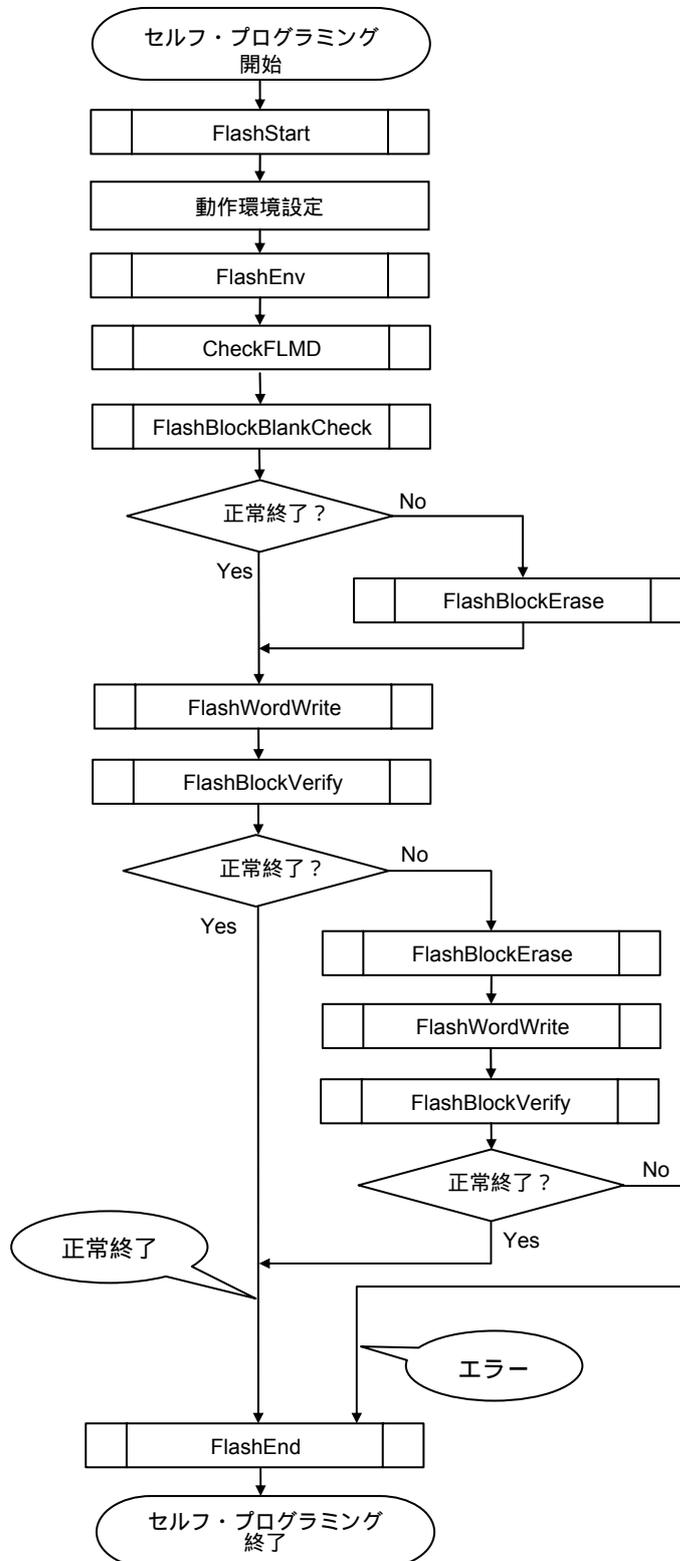
- セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）で割り込みをマスクしてください。
- セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHに配置してください。

図30 - 13 セルフ・プログラミングの動作モードとメモリ・マップ（ μ PD78F8055の場合）



次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図30 - 14 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

30.9.1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Lx3-Mマイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

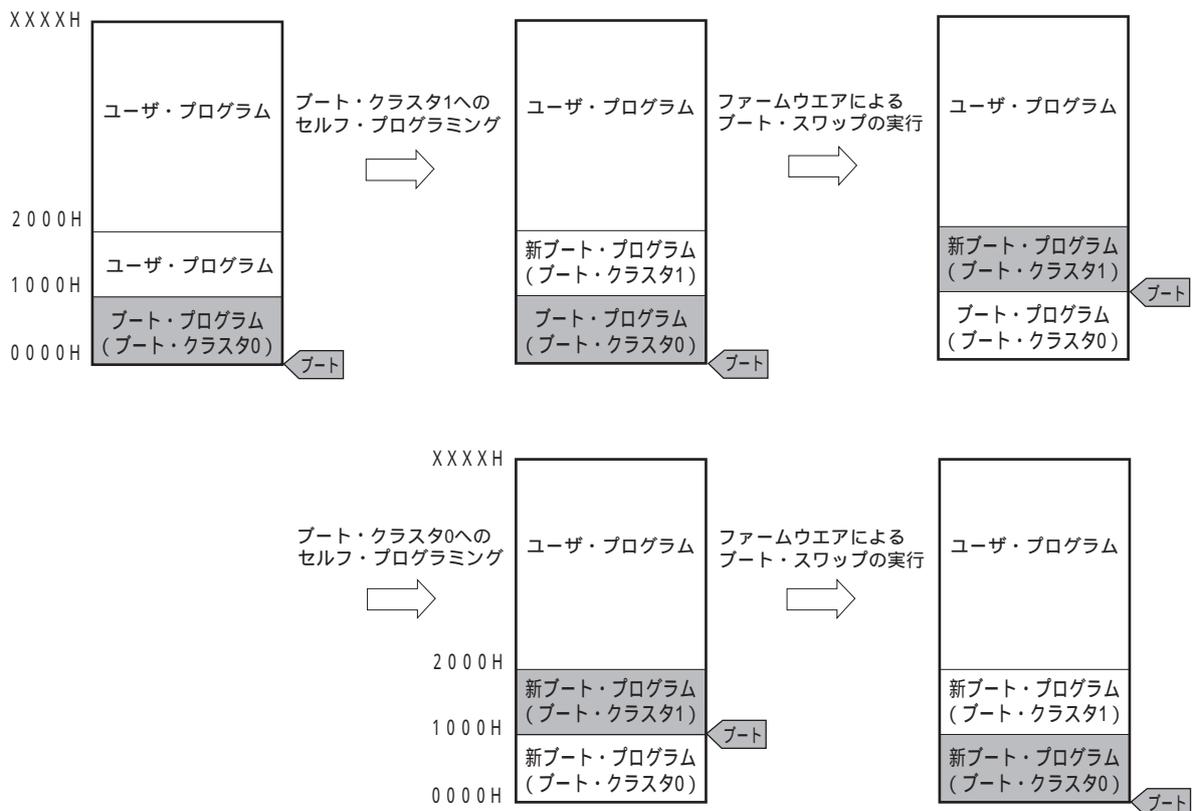
ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Lx3-Mマイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

図30 - 15 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

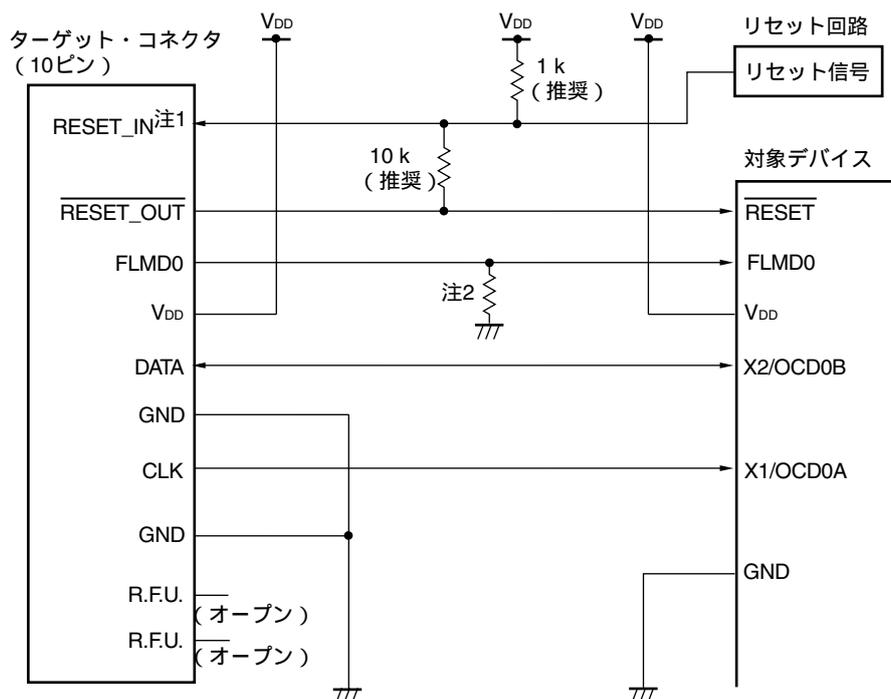
第31章 オンチップ・デバッグ機能

31.1 QB-MINI2と78K0/Lx3-Mマイクロコントローラの接続

78K0/Lx3-Mマイクロコントローラは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、OCD0A/X1、OCD0B/X2、 V_{SS} 端子を使用します。

注意 78K0/Lx3-Mマイクロコントローラには、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図31-1 QB-MINI2と78K0/Lx3-Mマイクロコントローラの接続例

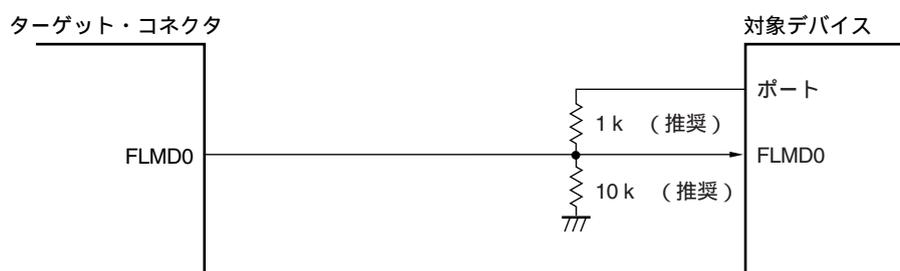


- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100 Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. プルダウン抵抗値は470 Ω以上（10 kΩ：推奨）にしてください。

注意 オンチップ・デバッグ時は、OCD0A/X1端子よりクロック入力します。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図31 - 2 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



注意 FLMD0端子を制御するポートは、第33章 電気的特性に記載されているハイ・レベル出力電流とFLMD0電源電圧 (MIN.値: $0.8V_{DD}$) の値を満たすように、十分注意してご使用ください。

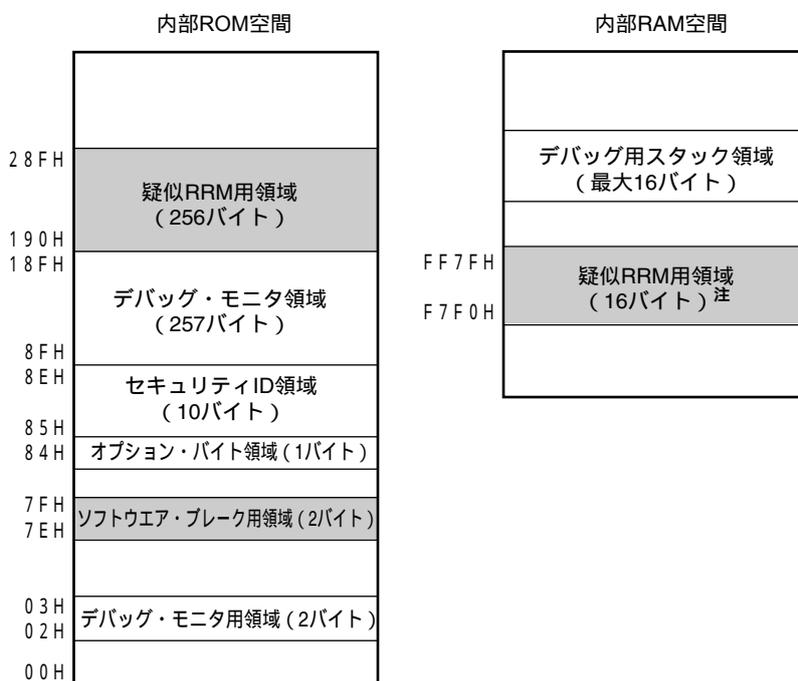
31.2 QB-MINI2が使用する予約領域

QB-MINI2は、78K0/Lx3-Mマイクロコントローラとの通信、または各デバッグ機能を実現するために、図31-3で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し、それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては、QB-MINI2 **ユーザズ・マニュアル** (U18371J) を参照してください。

図31-3 QB-MINI2が使用する予約領域



注 内部拡張RAMを内蔵していない製品(78K0/LE3-M)は、この領域を確保する必要はありません。

備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
それ以外の予約領域 : デバッグ時に必ず使用する領域

第32章 命令セットの概要

78K0/Lx3-Mマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

32.1 凡 例

32.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表32 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 8 特殊機能レジスタ一覧を参照してください。

32. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
xH, xL	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

32. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

32.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
		A, [DE]	1	4	6	A (DE)			
		A, [HL]	1	4	6	A (HL)			
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp ^{注3}	1	4	-	AX rp			
		rp, AX ^{注3}	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp ^{注3}	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . rp = BC, DE, HLのときのみ。

4 . r = Aを除く。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	XOR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)	x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)	x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)	x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
SET1	CY	1	2	-	CY 1			1	
CLR1	CY	1	2	-	CY 0			0	
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr16		3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0			
CPU制御	SEL	Rbn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1 (Enable Interrupt)			
	DI		2	-	6	IE = 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

32.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第33章 電気的特性

注意 78K0/Lx3-Mマイクロコントローラには、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
	LV _{DD}		- 0.5 ~ + 4.6	V
	AV _{DD}		- 0.5 ~ LV _{DD} + 0.5 ^{注2}	V
	V _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^{注2}	V
	AV _{REFIN} ^{注1}		- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子 入力電圧	V _{I_{REGC}}		- 0.5 ~ + 3.6 かつ - 0.5 ~ V _{DD}	V
入力電圧	V _I	P11-P13, P20-P27, P30-P33, P40-P45, P80-P83, P90-P93, P100-P103, P110-P113, P120-P123, P130-P133, P140-P143, P150-P153, X1, X2, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V ₂	LP00-LP05, LP10-LP15, XT1, RESET	- 0.3 ~ LV _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P11-P13, P20-P27, P30-P33, P40-P45, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153, COM0-COM3, SEG0-SEG3	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{O2}	LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ	- 0.3 ~ LV _{DD} + 0.3 ^{注2}	V
アナログ入力電圧	V _{AN1}	ANI0-ANI7	- 0.3 ~ AV _{REF} + 0.3 ^{注2} かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{AN2}	ANI00, ANI01, ANI10, ANI11, ANI20, ANI21, ANI30, ANI31	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V

注1. AV_{REFIO}端子の印加電圧

- 4.6 V以下であること

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件	定格	単位	
ハイ・レベル出力電流	I _{OH1}	1端子	LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ	- 4	mA
			P11-P13, P30-P33, P40-P45, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153	- 10	mA
		端子合計 - 72 mA	P11-P13, P30-P33, P40-P45, P120	- 25	mA
			P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153	- 12	mA
			LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ	- 35	mA
		I _{OH2}	1端子	P20-P27	- 0.5
	端子合計			- 2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ	4	mA
			P11-P13, P30-P33, P40-P45, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153	30	mA
		端子合計 115 mA	P11-P13, P30-P33, P40-P45, P120	40	mA
			P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153	40	mA
			LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ	35	mA
		I _{OL2}	1端子	P20-P27	1
	端子合計			5	mA
動作周囲温度	T _A		- 40 ~ + 85		
保存温度	T _{stg}		- 65 ~ + 150		

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

2. 1端子当たりに流すことができる電流値は、1端子当たりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (fx) 注	2.7 V VDD 3.6 V	2.0		10.0	MHz
			1.8 V VDD < 2.7 V	2.0		5.0	
水晶振動子		X1クロック発振周波数 (fx) 注	2.7 V VDD 3.6 V	2.0		10.0	MHz
			1.8 V VDD < 2.7 V	2.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

内蔵発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

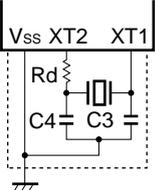
発振子	項目	条件	MIN.	TYP.	MAX.	単位		
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f _{RH}) ^注	RSTS = 1	2.5 V	V _{DD} 3.6 V	7.6	8.0	8.4	MHz
			1.8 V	V _{DD} < 2.5 V	6.75	8.0	8.4	MHz
		RSTS = 0			2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f _{RL})	2.6 V	V _{DD} 3.6 V	216	240	264	kHz	
		1.8 V	V _{DD} < 2.6 V	192	240	264	kHz	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周 波数 (f _{XT}) ^注		31	32.768	39	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (1/6)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P11-P13, P30-P33, P40-P45, P120 1端子	2.7 V V _{DD} 3.6 V			- 2.5	mA
			1.8 V V _{DD} < 2.7 V			- 1.0	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 1端子	2.7 V V _{DD} 3.6 V			- 0.1	mA
			1.8 V V _{DD} < 2.7 V			- 0.1	mA
		LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ 1端子	2.7 V V _{DD} 3.6 V			- 2.5	mA
			1.8 V V _{DD} < 2.7 V			- 1.0	mA
		P11-P13, P30-P33, P40-P45, P120 合計 ^{注2}	2.7 V V _{DD} 3.6 V			- 10.0	mA
			1.8 V V _{DD} < 2.7 V			- 5.0	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 合計 ^{注2}	2.7 V V _{DD} 3.6 V			- 2.8	mA
			1.8 V V _{DD} < 2.7 V			- 2.8	mA
		LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ 合計 ^{注2}	2.7 V V _{DD} 3.6 V			- 10.0	mA
			1.8 V V _{DD} < 2.7 V			- 5.0	mA
		全端子合計 ^{注2}	2.7 V V _{DD} 3.6 V			- 22.8	mA
			1.8 V V _{DD} < 2.7 V			- 12.8	mA
	I _{OH2}	P20-P27 1端子	AV _{REF} = V _{DD}			- 0.1	mA

注1. V_{DD}から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が0.7×t, 電流を出力しない時間が0.3×tの場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合: 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > デューティ = 50 %, I_{OH} = - 20.0 mAの場合

$$\text{端子合計の出力電流} = (- 20.0 \times 0.7) / (50 \times 0.01) = - 28.0 \text{ mA}$$

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/6)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P11-P13, P30-P33, P40-P45, P120 1端子	2.7 V VDD 3.6 V			5.0	mA
			1.8 V VDD < 2.7 V			2.0	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 1端子	2.7 V VDD 3.6 V			0.4	mA
			1.8 V VDD < 2.7 V			0.4	mA
		LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ 1端子	2.7 V VDD 3.6 V			2.5	mA
			1.8 V VDD < 2.7 V			1.0	mA
		P11-P13, P30-P33, P40-P45, P120 合計 ^{注2}	2.7 V VDD 3.6 V			15.0	mA
			1.8 V VDD < 2.7 V			9.0	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 合計 ^{注2}	2.7 V VDD 3.6 V			11.2	mA
			1.8 V VDD < 2.7 V			11.2	mA
		LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ 合計 ^{注2}	2.7 V VDD 3.6 V			15.0	mA
			1.8 V VDD < 2.7 V			9.0	mA
	全端子合計 ^{注2}	2.7 V VDD 3.6 V			41.2	mA	
		1.8 V VDD < 2.7 V			29.2	mA	
IOL2	P20-P27 1端子	AVREF = VDD			0.4	mA	

注1. 出力端子からGNDに流れ込んでも、デバイスの動作を保證する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が0.7×t、電流を出力しない時間が0.3×tの場合) でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合: 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > デューティ = 50 %, I_{OH} = -20.0 mAの場合

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/6)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P32, P80-P83, P90-P93, P100-P103, P110-P112, P130-P133, P140-P143, P150-P153	0.7V _{DD}		V _{DD}	V	
	V _{IH2}	P11-P13, P30, P31, P33, P40-P45, P113, P120-P123, EXCLK	0.8V _{DD}		V _{DD}	V	
	V _{IH3}	P20-P27	AV _{REF} = V _{DD}	0.7AV _{REF}	AV _{REF}	V	
	V _{IH4}	LP00-LP05, LP10-LP15		0.7LV _{DD}	LV _{DD}	V	
	V _{IH5}	RESET, EXCLKS		0.8LV _{DD}	LV _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P32, P80-P83, P90-P93, P100-P103, P110-P112, P130-P133, P140-P143, P150-P153	0		0.3V _{DD}	V	
	V _{IL2}	P11-P13, P30, P31, P33, P40-P45, P113, P120-P123, EXCLK	0		0.2V _{DD}	V	
	V _{IL3}	P20-P27	AV _{REF} = V _{DD}	0	0.3AV _{REF}	V	
	V _{IL4}	LP00-LP05, LP10-LP15		0	0.3LV _{DD}	V	
	V _{IL5}	RESET, EXCLKS		0	0.2LV _{DD}	V	
ハイ・レベル出力電圧	V _{OH1}	P11-P13, P30-P33, P40-P45, P120	2.7 V V _{DD} 3.6V, I _{OH1} = -2.5 mA	V _{DD} - 0.5		V	
			1.8 V V _{DD} < 2.7 V, I _{OH1} = -1.0 mA	V _{DD} - 0.5		V	
	P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153	I _{OH1} = -0.1 mA	V _{DD} - 0.5		V		
		2.7 V V _{DD} 3.6V, I _{OH1} = -2.5 mA	LV _{DD} - 0.5		V		
	LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ	1.8 V V _{DD} < 2.7 V, I _{OH1} = -1.0 mA	LV _{DD} - 0.5		V		
		V _{OH2}	P20-P27	AV _{REF} = V _{DD} , I _{OH2} = -0.1 mA	V _{DD} - 0.5		V
	ロウ・レベル出力電圧	V _{OL1}	P11-P13, P30-P33, P40-P45, P120	2.7 V V _{DD} 3.6V, I _{OL1} = 5.0 mA		0.7	V
				1.8 V V _{DD} < 2.7 V, I _{OL1} = 2.0 mA		0.5	V
1.8 V V _{DD} < 2.7 V, I _{OL1} = 1.0 mA					0.5	V	
1.8 V V _{DD} < 2.7 V, I _{OL1} = 0.5 mA					0.4	V	
P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153		I _{OL1} = 0.4 mA		0.4	V		
		2.7 V V _{DD} 3.6V, I _{OL1} = 2.5 mA		0.4	V		
LP00-LP05, LP10-LP15, CF, TxD0, RTC1HZ		1.8 V V _{DD} < 2.7 V, I _{OL1} = 1.0 mA		0.4	V		
		V _{OL2}	P20-P27	AV _{REF} = V _{DD} , I _{OL2} = 0.4 mA		0.4	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 P122/EXCLKは、入力ポート・モードと外部クロック・モードとで、ハイ・レベル入力電圧とロウ・レベル入力電圧が異なります。

DC特性 (4/6)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル 入力リーク電流	I _{LIH1}	P11-P13, P30-P33, P40-P45, P80-P83, P90-P93, P100-P103, P110-P113, P120, P123, P130-P133, P140-P143, P150-P153, FLMD0	V _I = V _{DD}		1	μA	
	I _{LIH2}	P20-P27	V _I = AV _{REF} = V _{DD}		1	μA	
	I _{LIH3}	P121, P122 (X1, X2)	V _I = V _{DD} I/Oポート・モード		1	μA	
			OSCモード		20	μA	
	I _{LIH4}	XT1, XT2	V _I = LV _{DD}		5	μA	
I _{LIH5}	LP00-LP05, LP10-LP15, RESET	V _I = LV _{DD}		5	μA		
ロウ・レベル 入力リーク電流	I _{LIL1}	P11-P13, P30-P33, P40-P45, P80-P83, P90-P93, P100-P103, P110-P113, P120, P123, P130-P133, P140-P143, P150-P153, FLMD0	V _I = V _{SS}		-1	μA	
	I _{LIL2}	P20-P27	V _I = V _{SS} , AV _{REF} = V _{DD}		-1	μA	
	I _{LIL3}	P121, P122 (X1, X2)	V _I = V _{SS} I/Oポート・モード		-1	μA	
			OSCモード		-20	μA	
	I _{LIL4}	XT1, XT2	V _I = V _{SS}		-5	μA	
I _{LIL5}	LP00-LP05, LP10-LP15, RESET	V _I = V _{SS}		-5	μA		
ブルアップ抵抗値	R _U	V _I = V _{SS}		10	20	100	k
FLMD0電源電圧	V _{IL}	通常動作時		0		0.2V _{DD}	V
	V _{IH}	セルフ・プログラミング時		0.8V _{DD}		V _{DD}	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (5/6)

(TA = -40 ~ +85 , 2.3 V VDD = AVREF = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	IDD1 ^{注1}	動作モード	f _{XH} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.74	2.9	mA
				発振子接続		1.9	3.3	
		f _{SUB} = 32.768 kHz ^{注3} , V _{DD} = LV _{DD} = 3.0 V	方形波 入力	V _{DD} 電流		4.8	26	μA
				LV _{DD} 電流		2.5	47	
			発振子 接続	V _{DD} 電流		4.8	26	
				LV _{DD} 電流		2.5	47	
	IDD2 ^{注1}	HALTモード	f _{XH} = 10 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		0.38	1.4	mA
				発振子接続		0.45	1.7	
		f _{SUB} = 32.768 kHz ^{注3} , V _{DD} = LV _{DD} = 3.0 V	方形波 入力	V _{DD} 電流		2.39	22	μA
				LV _{DD} 電流		2.5	47	
発振子 接続			V _{DD} 電流		2.39	22		
			LV _{DD} 電流		2.5	47		
IDD3 ^{注4}	STOPモード	V _{DD} = LV _{DD} = 3.0 V	-40 ~ +85		1.2	57	μA	
			-40 ~ +60			18		

注1. 内部電源 (V_{DD}) に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。また、MAX.値には周辺動作電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。

- 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, リアルタイム・カウンタ, 電力演算回路に流れる電流は含みません。
- X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, リアルタイム・カウンタ, 電力演算回路に流れる電流は含みません。
- 内部電源 (V_{DD}) に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流, および240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, リアルタイム・カウンタ, 電力演算回路に流れる電流は含みません。

備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{RH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

DC特性 (6/6)

(TA = -40 ~ +85, 2.3 V VDD = AVREF = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ウォッチドッグ・ タイマ動作電流	I _{WDT} ^{注1}	240 kHz 低速内蔵発振クロック動作時			5	10	μA	
LVI動作電流	I _{LVI} ^{注2}				9	18	μA	
逐次比較型A/D コンバータ動作電流	I _{ADC1} ^{注3}	AV _{REF} = 2.3 ~ 3.6 V, ADCE = 1			0.86	1.9	mA	
LCD動作電流	I _{LCD1} ^{注5}	f _{PRS} = 10 MHz, LCDソース・クロック (f _{LCD}) = f _{PRS} /2 ⁶ ,	LCD非表 示波形出 力	V _{DD} = 3.0 V		2.0	5.0	μA
	I _{LCD2} ^{注5}	LCDクロック (LCDCL) = f _{LCD} /2 ⁴ , 4時分割表示時	LCD表 示波形出 力	V _{DD} = 3.0 V		2.0	5.0	μA
RTC動作電流	I _{RTC} ^{注6}	LV _{DD} = 3.0 V, V _{DD} = 0 V	-40 ~ +85		2.5	41	μA	
			-40 ~ +60			14	μA	
		V _{DD} = LV _{DD} = 3.0 V, STOPモード時	-40 ~ +85		4.0	61	μA	
			-40 ~ +60			22	μA	
型A/Dコンバータ 動作電流	I _{ADC2} ^{注4}				8.1	13.5	mA	
電力演算回路 動作電流	I _{ICAL} ^{注7,8}	電力演算回路, 電力品質測定回路, DFC動作電流			3.7	4.5	mA	

- 注1. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。ウォッチドッグ・タイマが動作中の場合、電源電流 (I_{DD1}, I_{DD2}, I_{DD3}のいずれか) にI_{WDT}を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
2. LVI回路にのみ流れる電流です。LVI回路が動作中の場合、電源電流 (I_{DD1}, I_{DD2}, I_{DD3}のいずれか) にI_{LVI}を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
3. 逐次比較型A/Dコンバータ (AV_{REF}-AV_{SS}) にのみ流れる電流です。動作モードまたはHALTモード時に逐次比較型A/Dコンバータが動作中の場合、電源電流 (I_{DD1}またはI_{DD2}) にI_{ADC1}を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
4. 型A/Dコンバータ (AV_{DD}) にのみ流れる電流です。動作モードまたはHALTモード時に 型A/Dコンバータが動作中の場合、電源電流 (I_{DD1}またはI_{DD2}) にI_{ADC2}を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
5. LCDコントローラ/ドライバにのみ流れる電流です。LCD分割抵抗に流れる電流は含みません。電源電流 (I_{DD1}, I_{DD2}, I_{DD3}のいずれか) にLCD動作電流 (I_{LCD1}またはI_{LCD2}) を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
6. リアルタイム・カウンタにのみ流れる電流です。リアルタイム・カウンタが動作中の場合、電源電流 (I_{DD1}, I_{DD2}, I_{DD3}のいずれか) にI_{RTC}を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
7. 電力演算回路にのみ流れる電流です。電力演算回路が動作中の場合、電源電流 (I_{DD1}, I_{DD2}, I_{DD3}のいずれか) にI_{ICAL}を加算した値が、78K0/Lx3-Mマイクロコントローラの電流値となります。
8. TYP.値はV_{DD} = AV_{DD} = LV_{DD} = 3.3 V時、AV_{DD}, LV_{DD}端子に流れる電流である。

AC特性

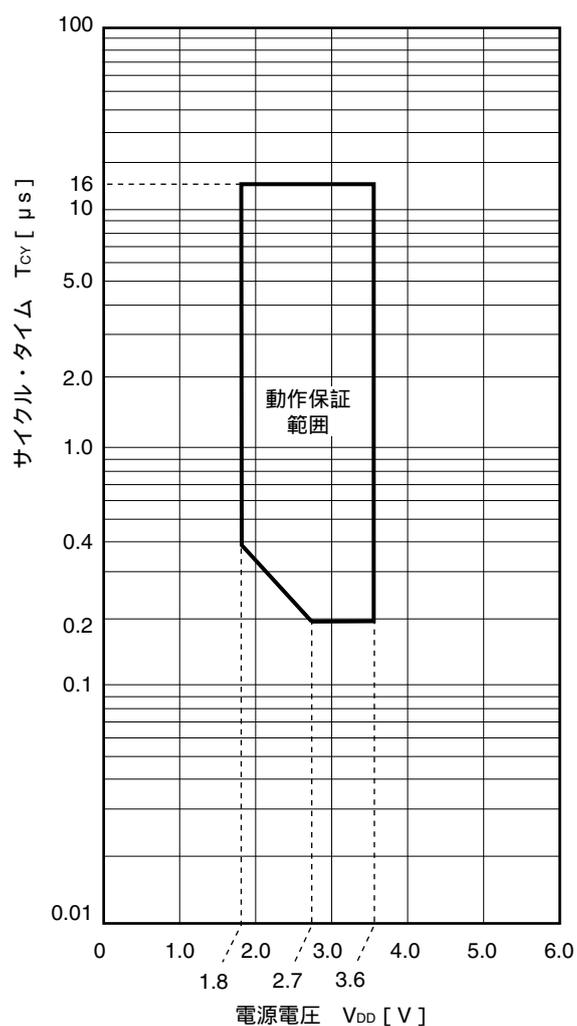
(1) 基本動作

(TA = -40 ~ +85 , 1.8 V V_{DD} = LV_{DD} 3.6 V, V_{SS} = AV_{SS} = 0 V)

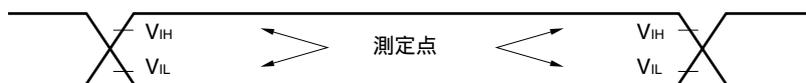
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{XP})動作	2.7 V V _{DD} 3.6 V	0.2		16	μs
			1.8 V V _{DD} < 2.7 V	0.4		16	μs
		サブシステム・クロック (f _{SUB})動作		114	122	125	μs
周辺ハードウェア クロック周波数	f _{PRS}	XSEL=1	2.7 V V _{DD} 3.6 V			10	MHz
			1.8 V V _{DD} < 2.7 V			5	MHz
		XSEL=0	2.7 V V _{DD} 3.6 V	7.6		8.4	MHz
			1.8 V V _{DD} < 2.7 V ^{注1}	6.75		8.4	MHz
外部メイン・システム・ クロック周波数	f _{EXCLK}	2.7 V V _{DD} 3.6 V	2.0		10.0	MHz	
		1.8 V V _{DD} < 2.7 V	2.0		5.0	MHz	
外部メイン・システム・クロック 入力ハイ/ロウ・レベル幅	t _{EXCLKH}	2.7 V V _{DD} 3.6 V	48			ns	
	t _{EXCLKL}	1.8 V V _{DD} < 2.7 V	96			ns	
外部サブシステム・クロック 周波数	f _{EXCLKS}	1.8 V V _{DD} 3.6 V	31	32.768	39	kHz	
外部サブシステム・クロック 入力ハイ/ロウ・レベル幅	t _{EXCLKSH}	1.8 V V _{DD} 3.6 V	12			μs	
	t _{EXCLKSL}						
TI000入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH0} , t _{TILO}	2.7 V V _{DD} 3.6 V	2f _{sam} + 0.2 ^{注2}			μs	
		1.8 V V _{DD} < 2.7 V	2f _{sam} + 0.5 ^{注2}			μs	
TI50, TI51入力周波数	f _{TI5}	2.7 V V _{DD} 3.6 V			10	MHz	
		1.8 V V _{DD} < 2.7 V			5	MHz	
TI50, TI51入力ハイ・レベル幅, ロウ・レベル幅	t _{TIH5} , t _{TIL5}	2.7 V V _{DD} 3.6 V	50			ns	
		1.8 V V _{DD} < 2.7 V	100			ns	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} , t _{INTL}		1			μs	
キー割り込み入力 ロウ・レベル幅	t _{KR}		250			ns	
RESETロウ・レベル幅	t _{RSL}		10			μs	

注1. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、f_{RH}/2以下にしてください。

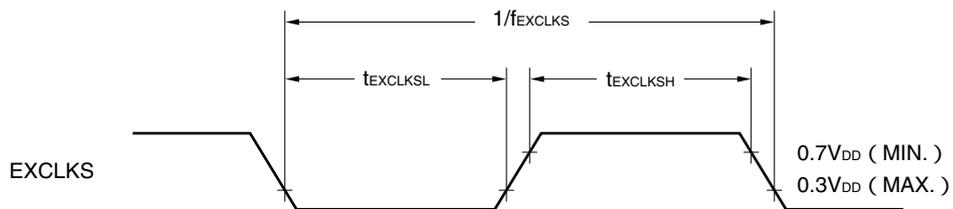
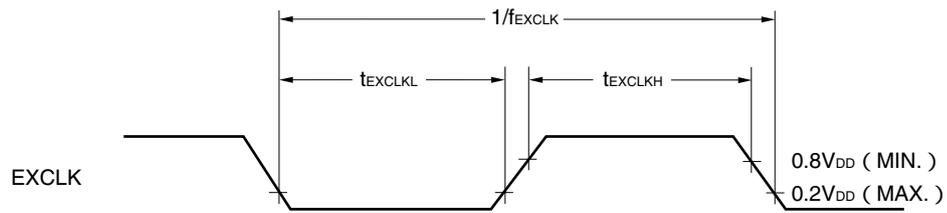
2. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、f_{sam} = f_{PRS}, f_{PRS}/4, f_{PRS}/256の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、f_{sam} = f_{PRS}となります。

T_{cy} vs V_{DD} (メイン・システム・クロック動作時)

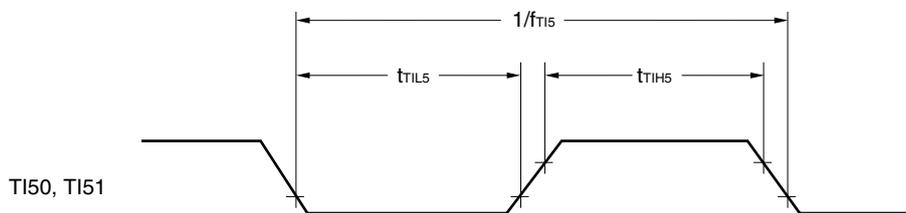
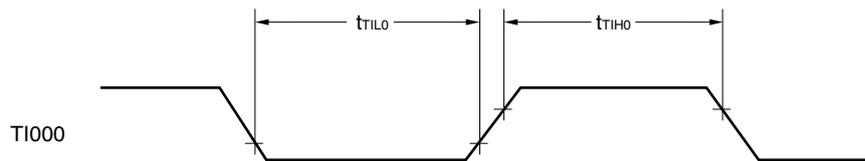
ACタイミング測定点 (外部メイン・システム・クロックを除く)



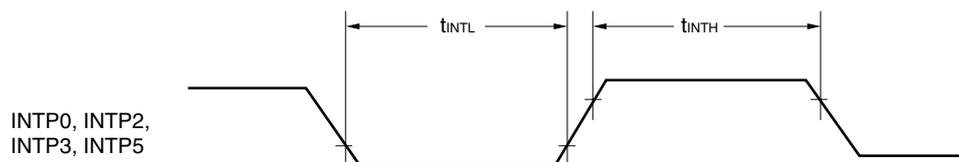
外部メイン・システム・クロック・タイミング, 外部サブシステム・クロック・タイミング



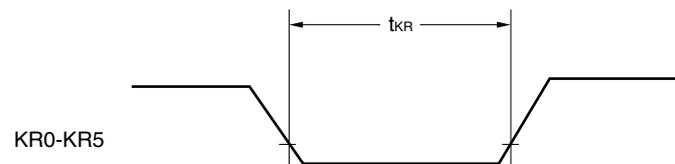
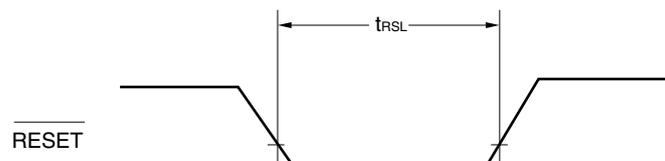
TI タイミング



割り込み要求入力タイミング



キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

(2) シリアル・インタフェース

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = 0 V)

(a) UART6 (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) UART0 (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(c) CSI10 (マスタ・モード, SCK10...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	tkcy1	2.7 V VDD 3.6 V	250			ns
		1.8 V VDD < 2.7 V	500			ns
SCK10ハイ, ロウ・レベル幅	tkH1, tkL1	2.7 V VDD 3.6 V	tkcy1/2 - 25 注1			ns
		1.8 V VDD < 2.7 V	tkcy1/2 - 50 注1			ns
SI10セットアップ時間 (対SCK10)	tsik1	2.7 V VDD 3.6 V	80			ns
		1.8 V VDD < 2.7 V	170			ns
SI10ホールド時間 (対SCK10)	tkSI1		30			ns
SCK10 SO10出力遅延時間	tkSO1	C = 50 pF ^{注2}	78K0/LE3-M		40	ns
			78K0/LG3-M		60	ns

注1. 高速システム・クロック (fxH) 使用時の数値です。

2. Cは, SCK10, SO10出力ラインの負荷容量です。

(d) CSI10 (スレーブ・モード, SCK10...外部クロック入力)

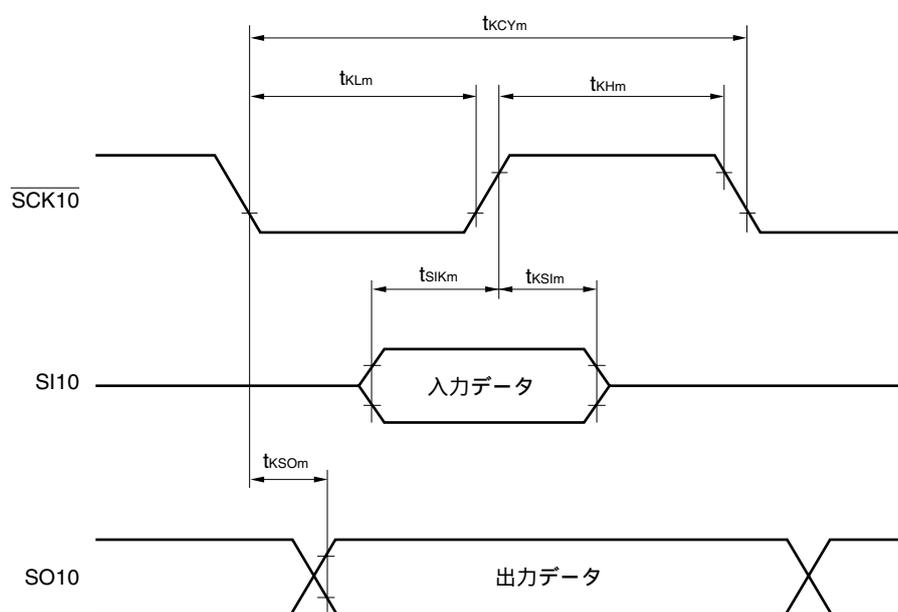
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	tkcy2		400			ns
SCK10ハイ, ロウ・レベル幅	tkH2, tkL2		tkcy2/2			ns
SI10セットアップ時間 (対SCK10)	tsik2		80			ns
SI10ホールド時間 (対SCK10)	tkSI2		50			ns
SCK10 SO10出力遅延時間	tkSO2	C = 50 pF ^注	2.7 V VDD 3.6 V		120	ns
			1.8 V VDD < 2.7 V		165	ns

注 Cは, SO10出力ラインの負荷容量です。

注意 78K0/LE3-MのSO10の特性は, 現在評価中です。

シリアル転送タイミング

CSI10 :

備考 $m = 1, 2$

10ビット逐次比較型A/Dコンバータ特性

(TA = -40 ~ +85 , 2.3 V VDD = AVREF = LVDD 3.6 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES1				10	bit
総合誤差 ^{注1, 2}	AINL	2.7 V AVREF 3.6 V			±0.6	%FSR
		2.3 V AVREF < 2.7 V			±1.2	%FSR
変換時間	tCONV	2.7 V AVREF 3.6 V	12.2		84	μs
		2.3 V AVREF < 2.7 V	27		84	μs
ゼロスケール誤差 ^{注1, 2}	EzS	2.7 V AVREF 3.6 V			±0.6	%FSR
		2.3 V AVREF < 2.7 V			±0.6	%FSR
フルスケール誤差 ^{注1, 2}	EFS	2.7 V AVREF 3.6 V			±0.6	%FSR
		2.3 V AVREF < 2.7 V			±0.6	%FSR
積分直線性誤差 ^{注1}	ILE1	2.7 V AVREF 3.6 V			±4.5	LSB
		2.3 V AVREF < 2.7 V			±6.5	LSB
微分直線性誤差 ^{注1}	DLE1	2.7 V AVREF 3.6 V			±2.0	LSB
		2.3 V AVREF < 2.7 V			±2.0	LSB
アナログ入力電圧	VAIN1		AVSS		AVREF	V

注1. 量子化誤差 (± 1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

24ビット 型A/Dコンバータ特性

(TA = -40 ~ +85 , 3.0 V AVDD VDD 3.6 V, VSS = AVSS = 0 V)

(a) 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	AVDD		3.0	3.3	3.6	V
	LVDD		3.0	3.3	3.6	V
クロック周波数	CLKORG	デシメーション・フィルタ用		10.0		MHz
アナログ入力電圧	VAIN (V)	電圧チャンネル	- 0.375		0.375	V
	VAIN (I)	電流チャンネル	- 0.1875		0.1875	V
動作温度	TOPR		- 40	25	85	

(b) リファレンス

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部基準電位 (入力)	AVREFIO1		1.20		1.25	V
内部基準電位 (出力)	AVREFIO2		1.165	1.226	1.287	V
内部基準電位温度係数	dREF/dT	注		100		ppm/

注 -40 ~ +25 および +25 ~ +85 の温度係数

(c) アナログ入力

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力信号DCレベル	ainDC	電圧ch	- 20	0	20	mV
		電流ch, ゲイン1倍	- 20	0	20	mV
		電流ch, ゲイン2倍	- 10	0	10	mV
		電流ch, ゲイン16倍	- 1.25	0	1.25	mV
入力信号範囲	ainRANGE	電圧ch	- 0.375	0	0.375	V
		電流ch, ゲイン1倍	- 0.375	0	0.375	V
		電流ch, ゲイン2倍	- 0.1875	0	0.1875	V
		電流ch, ゲイン16倍	- 23.4375	0	23.4375	mV
入力ゲイン	ainGAIN	電圧ch	0.93	1	1.07	倍
		電流ch, ゲイン1倍	0.93	1	1.07	倍
		電流ch, ゲイン2倍	1.86	2	2.14	倍
		電流ch, ゲイン16倍	14.88	16	17.12	倍
入力インピーダンス	ainRIN	電圧ch	100	131.25		k
		電流ch, ゲイン1倍	60	78.75		k
		電流ch, ゲイン2倍	60	78.75		k
		電流ch, ゲイン16倍	60	78.75		k

注意 すべての電流チャンネルは、同じゲイン設定のみ可能 (チャンネルごとのゲイン設定は不可)。

(d) A/Dコンバータ部

項目	略号	条件	MIN.	TYP.	MAX.	単位	
システム・クロック	CLK _{ORG}			10		MHz	
型動作クロック	CLK _{OSX3}	CLK _{OSX6} /2		1.667		MHz	
オーバ・サンプリング周波数	f _{OS}			555.6		kHz	
サンプリング周波数	f _s	f _{OS} /128		4.34		kHz	
出力データ・レート	T _{DATA}	1/f _s DF出力時		230.4		μs	
データ幅	RES			24		bit	
S/N	SNR	0 db@60 Hz 単一正弦波入力時	電圧ch	70	76		dB
			電流ch, ゲイン1倍	70	76		dB
			電流ch, ゲイン2倍	70	76		dB
			電流ch, ゲイン16倍	62	69		dB
THD	THD	0 db@60 Hz 単一正弦波入力時	電圧ch		- 80	- 72	dB
			電流ch, ゲイン1倍		- 80	- 72	dB
			電流ch, ゲイン2倍		- 80	- 72	dB
			電流ch, ゲイン16倍		- 80	- 72	dB
チャンネル間アイソレーション	XT		電圧ch	80			dB
			電流ch, ゲイン1倍	80			dB
			電流ch, ゲイン2倍	80			dB
			電流ch, ゲイン16倍	72			dB
動作電流	I _{AVDD}			3.9	7	mA	

(e) デジタル・フィルタ部

項目	略号	条件	MIN.	TYP.	MAX.	単位
通過域 (低域側)	fchpf	- 3 dB		0.73		Hz
帯域内リップル1	rp1	45 Hz ~ 55 Hz@50 Hz	- 0.01		0.01	dB
		54 Hz ~ 66 Hz@60 Hz				
帯域内リップル2	rp2	45 Hz ~ 275 Hz@50 Hz	- 0.1		0.1	dB
		54 Hz ~ 330 Hz@60 Hz				
帯域内リップル3	rp3	45 Hz ~ 1100 Hz@50 Hz	- 0.1		0.1	dB
		54 Hz ~ 1320 Hz@60 Hz				
阻止域 (高域側)	fatt	- 80 dB		3020		Hz
帯域外減衰量	ATT		- 80			dB

注意 すべての電流チャンネルは、同じゲイン設定のみ可能 (チャンネルごとのゲイン設定は不可)。

電力演算特性 (TA = -40 ~ +85 , 3.0 V VDD = LVDD 3.6 V, VSS = 0 V, PF = 1,

電圧chゲイン = 1倍, 電流chゲイン = 1倍 / 2倍)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チャンネル間の位相誤差 PF = 0.8 キャパシティブ		位相進み : 37 °		± 0.05		°
チャンネル間の位相誤差 PF = 0.5 インダクティブ		位相遅れ : 60 °		± 0.05		°
有効電力測定誤差		ダイナミック・レンジ1000 : 1@25		0.1		%
無効電力測定誤差		ダイナミック・レンジ1000 : 1@25		0.5		%
Vrms測定誤差		ダイナミック・レンジ100 : 1@25		0.5		%
Irms測定誤差		ダイナミック・レンジ500 : 1@25		0.5		%

LCD特性 ($T_A = -40 \sim +85$)

(1) 抵抗分割方式

(a) スタティック表示モード ($1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}, V_{SS} = 0\text{ V}$)^{注3}

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	注3			V_{DD}	V
LCD分割抵抗 ^{注1}	R_{LCD}		60	100	150	k
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}				40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{ODS}				200	k

(b) 1/2バイアス法 ($1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}, V_{SS} = 0\text{ V}$)^{注3}

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	注3			V_{DD}	V
LCD分割抵抗 ^{注1}	R_{LCD}		60	100	150	k
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}				40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{ODS}				200	k

(c) 1/3バイアス法 ($1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}, V_{SS} = 0\text{ V}$)^{注3}

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	注3			V_{DD}	V
LCD分割抵抗 ^{注1}	R_{LCD}		60	100	150	k
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}				40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{ODS}				200	k

注1. 内部抵抗分割方式のみ。

2. 出力抵抗とは、 V_{LC0} 、 V_{LC1} 、 V_{LC2} 、 V_{SS} のいずれか1端子と、SEG/COM端子のいずれか1端子との間の抵抗です。

3. 次の条件でVAONを設定してください。

(スタティック表示時)

・ $2.0\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 0・ $1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 1

(1/2バイアス時)

・ $2.7\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 0・ $1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 1

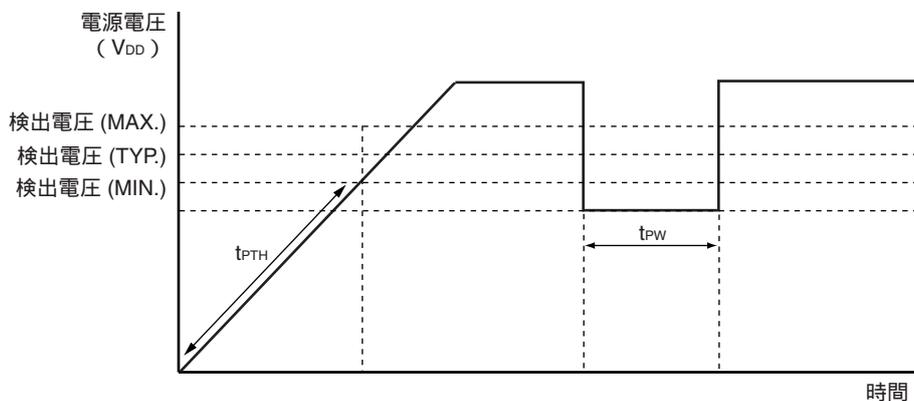
(1/3バイアス時)

・ $2.5\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 0・ $1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 1

1.59 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0$ V V_{POC} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}		200			μ s

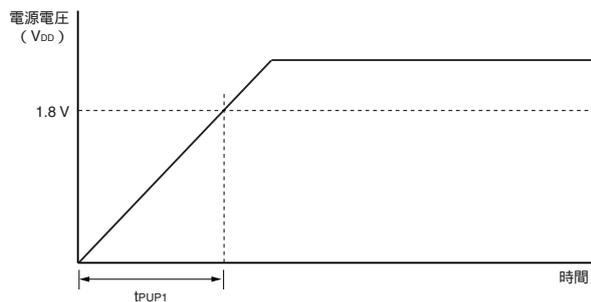
POC回路タイミング

電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0$ V)

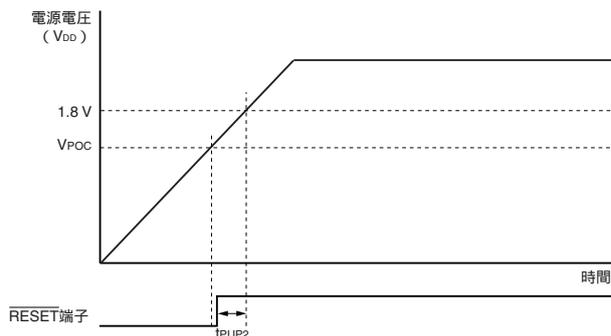
項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ($V_{DD} : 0$ V 1.8 V)	t_{PUP1}	POCMODE (オプション・バイト) = 0 , RESET入力未使用時			3.6	ms
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 (RESET入力解除 $V_{DD} : 1.8$ V)	t_{PUP2}	POCMODE (オプション・バイト) = 0 , RESET入力使用時			1.9	ms

電源電圧立ち上げ時間のタイミング

・ RESET端子入力未使用時



・ RESET端子入力使用時



2.7 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 V$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 V$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えとリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 V$ (TYP.) でPOC検出が行われます。 電源投入から 1.8 V に達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = LV_{DD} = 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

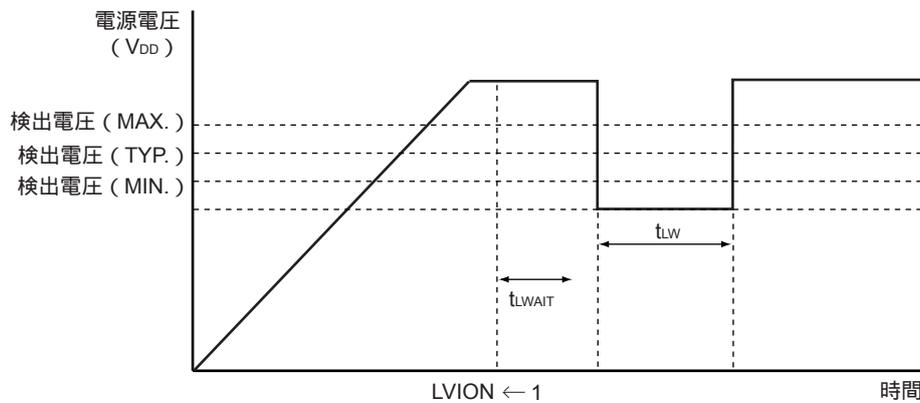
項目	略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	V_{LVI0}	3.22	3.32	3.42	V		
		V_{LVI1}	3.06	3.16	3.26	V		
		V_{LVI2}	2.91	3.01	3.11	V		
		V_{LVI3}	2.75	2.85	2.95	V		
		V_{LVI4}	2.60	2.70	2.80	V		
		V_{LVI5}	2.45	2.55	2.65	V		
		V_{LVI6}	2.29	2.39	2.49	V		
		V_{LVI7}	2.14	2.24	2.34	V		
		V_{LVI8}	1.98	2.08	2.18	V		
		V_{LVI9}	1.83	1.93	2.03	V		
	外部入力端子 ^{注1}	EXLVI	$EXLVI < V_{DD}, 1.8\text{ V}$	$V_{DD} = 3.6\text{ V}$	1.11	1.21	1.31	V
最小パルス幅	t_{LW}		200			$\mu\text{ s}$		
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	$\mu\text{ s}$		

注1. P120/INTP0/ EXLVI端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-9$

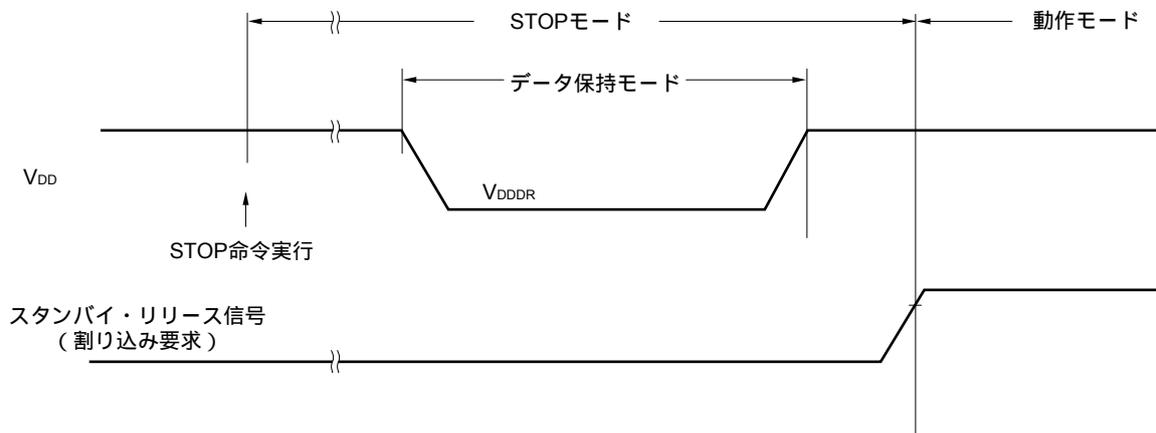
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		3.6	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, $2.7 \text{ V} < V_{DD} = LV_{DD} < 3.6 \text{ V}$, $V_{SS} = 0 \text{ V}$)

・基本特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
V _{DD} 電源電流	I _{DD}				4.5	11.0	mA
消去時間 注1, 2	全ブロック ブロック単位	T _{eraca}			20	200	ms
		T _{erasa}			20	200	ms
書き込み時間 (8ビット単位) 注1	T _{wrwa}				10	100	μs
1チップあたりの 書き換え回数	C _{erwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする ^{注3} 。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時	保持15年	1000		回
			当社提供のEEPROMエミュレーション・ライブラリ使用時, 書き換えROMサイズ: 4 Kバイト	保持3年 ^{注4}	10000		回

注1. フラッシュ・メモリの特性です。

2. 消去前のプリライトおよび消去ペリファイ時間 (ライトバック時間) は含まれません。

3. 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

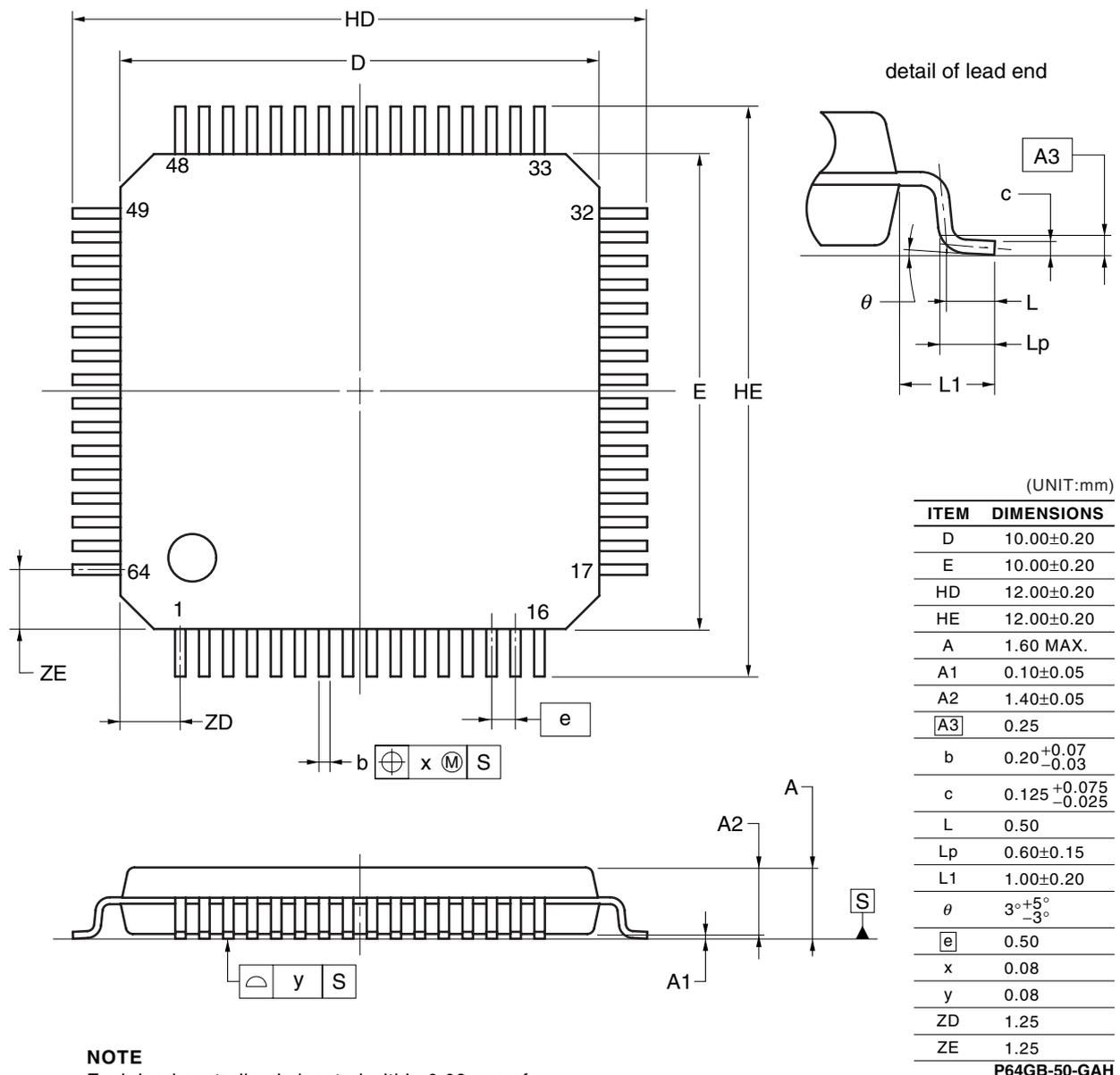
4. データ書き込み後、データの保持を3年保証します。また、書き換えを行った場合は、その時点からさらに3年保証します。

備考 f_{XP}: メイン・システム・クロック発振周波数

第34章 外形图

34.1 78K0/LE3-M

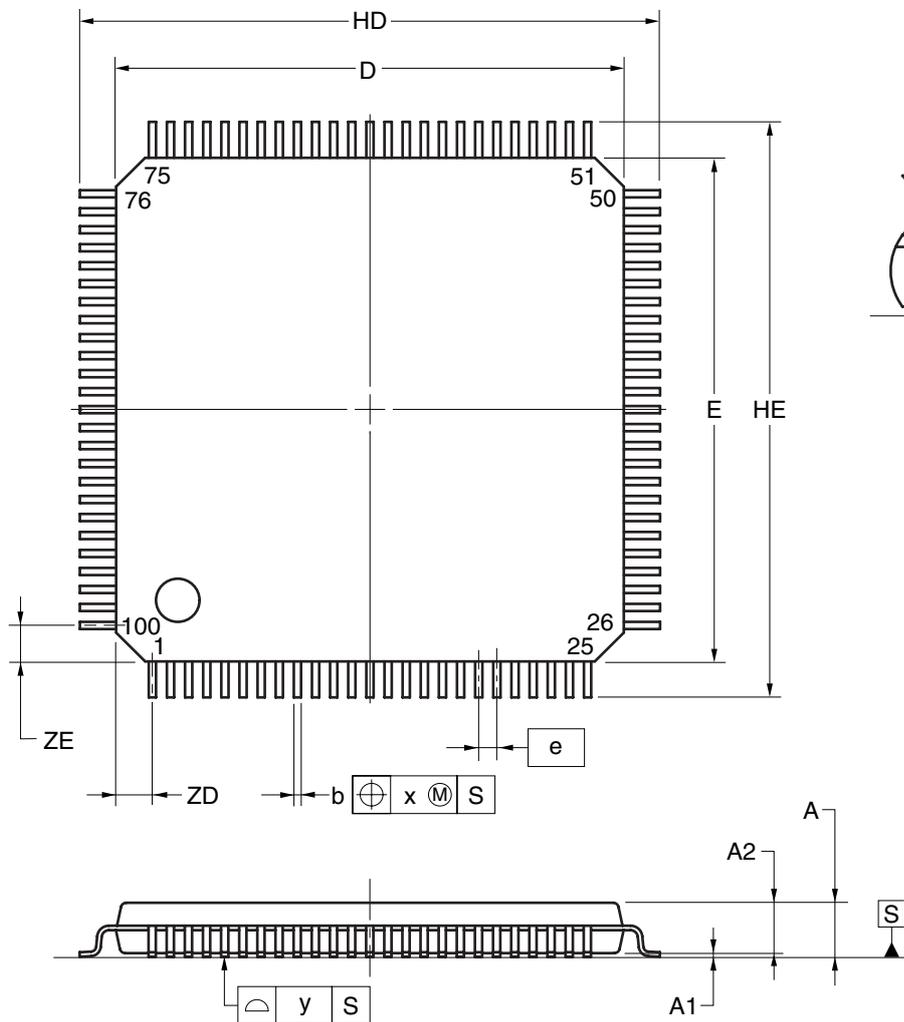
64-PIN PLASTIC LQFP(FINE PITCH)(10x10)

**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

34.2 78K0/LG3-M

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1

第35章 ウェイトに関する注意事項

35.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表35-1を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

35.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表35 - 1に示します。

表35 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART0	ASIS0	リード	1クロック (固定)
シリアル・インタフェース UART6	ASIS6	リード	1クロック (固定)
10ビット逐次比較型 A/Dコンバータ	ADM	ライト	1~5クロック ($f_{AD} = f_{PRS}/2$ 選択時)
	ADS	ライト	1~7クロック ($f_{AD} = f_{PRS}/3$ 選択時)
	ADPC0	ライト	1~9クロック ($f_{AD} = f_{PRS}/4$ 選択時)
			2~13クロック ($f_{AD} = f_{PRS}/6$ 選択時)
ADCR	リード	2~17クロック ($f_{AD} = f_{PRS}/8$ 選択時) 2~25クロック ($f_{AD} = f_{PRS}/12$ 選択時)	
<p>上記のクロック数は、f_{CPU}とf_{PRS}に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。</p> <p>ウェイト・クロック数算出式</p> $\cdot \text{ウェイト・クロック数} = \frac{2 f_{CPU}}{f_{AD}} + 1$ <p>小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 > 0.5の場合は切り上げる。</p> <p>f_{AD} : A/D変換クロック周波数 ($f_{PRS}/2$-$f_{PRS}/12$) f_{CPU} : CPUクロック周波数 f_{PRS} : 周辺ハードウェア・クロック周波数 f_{XP} : メイン・システム・クロック周波数</p> <p>最大/最小ウェイト・クロック数条件</p> <ul style="list-style-type: none"> ・最大回数: CPU最高速 (f_{XP}), A/D変換クロック最低速 ($f_{PRS}/12$) ・最小回数: CPU最低速 ($f_{SUB}/2$), A/D変換クロック最高速 ($f_{PRS}/2$) 			

注意 周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

備考 クロックは、CPUクロック (f_{CPU}) を示します。

付録A 改版履歴

A.1 本版で改訂された主な箇所

(1/2)

箇所	内容	分類
第2章 端子機能		
p. 47	表2-2 各端子の入出力回路タイプ(2/2)を変更	(c)
第4章 ポート機能		
p. 137	図4-26 ポート・モード・レジスタのフォーマット(78K0/LE3-M)を変更, 注意を変更。	(a)
第5章 クロック発生回路		
p. 152	5.1(2) サブシステム・クロックの説明を変更	(c)
p. 160	表5-3 サブシステム・クロック使用可否の設定を変更	(c)
p. 170	5.4.3 サブシステム・クロックを使用しない場合の説明を変更	(c)
p. 182	5.6.3(4) サブシステム・クロックの使用を停止する場合の設定手順例の説明を変更	(c)
第9章 リアルタイム・カウンタ		
p. 285	第9章 リアルタイム・カウンタに注意を追加	(c)
p. 288	図9-2 リアルタイム・カウンタ・コントロール・レジスタ0(RTCC0)のフォーマットのCT2-CT0ビットの説明を変更	(a)
p. 289	図9-3 リアルタイム・カウンタ・コントロール・レジスタ1(RTCC1)のフォーマット(1/2)のWALEビットの説明を変更	(a)
p. 299	9.3(14) 時計誤差補正レジスタ(SUBCUD)の説明を変更	(a)
p. 302	図9-19 リアルタイム・カウンタの動作開始手順を変更	(a)
第12章 10ビット逐次比較型A/Dコンバータ		
p. 333	表12-2の(1) 2.7V AVREF 3.6V(LV0=0)を変更	(b)
第13章 24ビット 型A/Dコンバータ		
p. 358	図13-5 24ビット 型A/D変換結果レジスタn(ADCRn)のフォーマットに注意2を追加	(c)
第20章 割り込み機能		
p. 519	表20-4 拡張SFR割り込み要求ソースに対応する各種フラグを変更	(a)
p. 523	20.3(3) 拡張SFR割り込み要求フラグ・レジスタ(IF20, IF21, IF22, IF23)を変更	(a)
第22章 電力演算回路		
p. 575	22.4.3(5) 電圧チャンネルRMSオフセット補償の説明を変更	(a)
第24章 デジタル周波数変換回路		
p. 652	24.1 デジタル周波数変換回路の機能の説明を変更	(a)
p. 658	24.4(3) CF出力パルスの説明を変更	(a)
第25章 スタンバイ機能		
p. 669	図25-5 STOPモード解除時の動作タイミング(マスクされていない割り込み要求による解除の場合)の注を変更	(b)
p. 670, 671	図25-6 STOPモードの割り込み要求発生による解除の注を変更	(b)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(2/2)

箇所	内容	分類
第33章 電気的特性		
p. 749	絶対最大定格のハイ・レベル出力電流を変更	(b)
p.754-757	DC特性を変更	(b)
p.758	AC特性の(1)基本動作を変更	(b)
p.762	AC特性の(c) CSI10 (マスタ・モード, SCK10...内部クロック出力) を変更	(b)
p.764	10ビット逐次比較型A/Dコンバータ特性を変更	(b)
p.765	24ビット 型A/Dコンバータ特性を変更	(b)

備考 表中の「分類」により，改訂内容を次のように区分しています。

- (a) : 誤記訂正，(b) : 仕様（スペック含む）の追加 / 変更，(c) : 説明，注意事項の追加 / 変更，
 (d) : パッケージ，オーダ名称，管理区分の追加 / 変更，(e) : 関連資料の追加 / 変更

78K0/Lx3-M ユーザーズマニュアル
ハードウェア編

発行年月日 2009年12月1日 Rev.0.01
 2010年11月30日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

78K0/Lx3-M