

78K0/Lx3

ユーザーズマニュアル ハードウェア編

LCDコントローラ/ドライバ内蔵

8ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

(メ モ)

このマニュアルの使い方

対象者 このマニュアルは、78K0/Lx3マイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

	品名
78K0/LC3	μ PD78F0400, 78F0401, 78F0402, 78F0403, 78F0410, 78F0411, 78F0412, 78F0413
78K0/LD3	μ PD78F0420, 78F0421, 78F0422, 78F0423, 78F0430, 78F0431, 78F0432, 78F0433
78K0/LE3	μ PD78F0441, 78F0442, 78F0443, 78F0444, 78F0445, 78F0451, 78F0452, 78F0453, 78F0454, 78F0455, 78F0461, 78F0462, 78F0463, 78F0464, 78F0465
78K0/LF3	μ PD78F0471, 78F0472, 78F0473, 78F0474, 78F0475, 78F0481, 78F0482, 78F0483, 78F0484, 78F0485, 78F0491, 78F0492, 78F0493, 78F0494, 78F0495

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0/Lx3マイクロコントローラのマニュアルは、このマニュアルと命令編（78K0マイクロコントローラ共通）の2冊に分かれています。

78K0/Lx3 ユーザーズ・マニュアル	78K0シリーズ ユーザーズ・マニュアル 命令編
端子機能 内部ブロック機能 割り込み その他の内蔵周辺機能 電気的特性	CPU機能 命令セット 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0では予約語に、CC78K0では #pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

78K0マイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
78K0/Lx3 ユーザーズ・マニュアル	このマニュアル	R01UH0180E
78K0/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0/Lx3 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編)	U18954J	U18954E
78K0/Lx3 アプリケーション・ノート サンプル・プログラム (16ビット 型A/Dコンバータ) 変換結果精度補正編	U19332J	U19332E
78K0/Lx3 アプリケーション・ノート サンプル・プログラム (リアルタイム・カウンタ) 低電圧時のリアルタイム・カウンタ動作継続編	U19541J	U19541E
78K0/Lx3 アプリケーション・ノート サンプル・プログラム (温度測定) ポートおよびタイマ機能による温度測定プログラム編	U19542J	U19542E
78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0マイクロコントローラ ユーザーズ・マニュアル EEPROM [®] エミュレーション・ライブラリ Type01	U18275J	U18275E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
QB-78K0LX3 インサーキット・エミュレータ	U18511J	U18511E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

開発ツール（ソフトウェア）の資料

資料名	資料番号		
	和文	英文	
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザーズ・マニュアル ^{注1}	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） ^{注1}	ZUD-CD-07-0181	ZUD-CD-07-0181-E	
CC78K0 Ver.3.70 Cコンパイラ ユーザーズ・マニュアル ^{注2}	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） ^{注2}	ZUD-CD-07-0103	ZUD-CD-07-0103-E	
ID78K0-QB Ver.2.94 統合デバッグ ユーザーズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッグ ユーザーズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 ^{注3} ユーザーズ・マニュアル	U16934J	U16934E	
PM+ Ver.6.30 ^{注4} ユーザーズ・マニュアル	U18416J	U18416E	

- 注1. この資料は、RA78K0 Ver.4.01のインストール時に、ツール本体と一緒に、PCにインストールされます。「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80のユーザーズ・マニュアルを参照してください。
2. この資料は、CC78K0 Ver.4.00のインストール時に、ツール本体と一緒に、PCにインストールされます。「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70のユーザーズ・マニュアルを参照してください。
3. PM+ Ver.5.20は、RA78K0 Ver.3.80に同梱されている統合開発環境です。
4. PM+ Ver.6.30は、RA78K0 Ver.4.01に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、Cコンパイラ、デバッグ）の複数の異なるバージョン製品を管理することができます。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://japan.renesas.com/prod/package/manual/index.html>

英文：<http://www.renesas.com/prod/package/manual/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目 次

第1章 概 説 ... 20

- 1.1 特 徴 ... 20
- 1.2 応用分野 ... 22
- 1.3 オーダ情報 ... 23
- 1.4 端子接続図 (Top View) ... 25
 - 1.4.1 78K0/LC3 ... 25
 - 1.4.2 78K0/LD3 ... 27
 - 1.4.3 78K0/LE3 ... 29
 - 1.4.4 78K0/LF3 ... 32
- 1.5 端子名称 ... 35
- 1.6 ブロック図 ... 36
 - 1.6.1 78K0/LC3 ... 36
 - 1.6.2 78K0/LD3 ... 37
 - 1.6.3 78K0/LE3 ... 38
 - 1.6.4 78K0/LF3 ... 39
- 1.7 機能概要 ... 40

第2章 端子機能 ... 44

- 2.1 端子機能一覧 ... 44
 - 2.1.1 78K0/LC3 ... 45
 - 2.1.2 78K0/LD3 ... 48
 - 2.1.3 78K0/LE3 ... 53
 - 2.1.4 78K0/LF3 ... 58
- 2.2 端子機能の説明 ... 64
 - 2.2.1 P10-P17 (Port 1) ... 64
 - 2.2.2 P20-P27 (Port 2) ... 66
 - 2.2.3 P30-P34 (Port 3) ... 67
 - 2.2.4 P40-P47 (Port 4) ... 68
 - 2.2.5 P80-P83 (Port 8) ... 69
 - 2.2.6 P90-P93 (Port 9) ... 70
 - 2.2.7 P100-P103 (Port 10) ... 70
 - 2.2.8 P110-P113 (Port 11) ... 71
 - 2.2.9 P120-P124 (Port 12) ... 72
 - 2.2.10 P130-P133 (Port 13) ... 73
 - 2.2.11 P140-P143 (Port 14) ... 73
 - 2.2.12 P150-P153 (Port 15) ... 74
 - 2.2.13 AVREF, AVSS, VDD, VSS ... 75
 - 2.2.14 COM0-COM7 ... 75
 - 2.2.15 VLCO-VLC3 ... 75
 - 2.2.16 $\overline{\text{RESET}}$... 75
 - 2.2.17 REGC ... 76
 - 2.2.18 FLMD0 ... 76

- 2.3 端子の入出力回路と未使用端子の処理 ... 77
 - 2.3.1 78K0/LC3 ... 77
 - 2.3.2 78K0/LD3 ... 79
 - 2.3.3 78K0/LE3 ... 81
 - 2.3.4 78K0/LF3 ... 83

第3章 CPUアーキテクチャ ... 87

- 3.1 メモリ空間 ... 87
 - 3.1.1 内部プログラム・メモリ空間 ... 95
 - 3.1.2 内部データ・メモリ空間 ... 98
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 100
 - 3.1.4 データ・メモリ・アドレッシング ... 100
- 3.2 プロセッサ・レジスタ ... 107
 - 3.2.1 制御レジスタ ... 107
 - 3.2.2 汎用レジスタ ... 110
 - 3.2.3 特殊機能レジスタ (SFR : Special Function Register) ... 112
- 3.3 命令アドレスのアドレッシング ... 119
 - 3.3.1 レラティブ・アドレッシング ... 119
 - 3.3.2 イミディエト・アドレッシング ... 120
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 121
 - 3.3.4 レジスタ・アドレッシング ... 121
- 3.4 オペランド・アドレスのアドレッシング ... 122
 - 3.4.1 インプライド・アドレッシング ... 122
 - 3.4.2 レジスタ・アドレッシング ... 123
 - 3.4.3 ダイレクト・アドレッシング ... 124
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 125
 - 3.4.5 特殊機能レジスタ (SFR) アドレッシング ... 126
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 127
 - 3.4.7 ベースト・アドレッシング ... 128
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 129
 - 3.4.9 スタック・アドレッシング ... 130

第4章 ポート機能 ... 131

- 4.1 ポートの機能 ... 131
 - 4.1.1 78K0/LC3 ... 132
 - 4.1.2 78K0/LD3 ... 133
 - 4.1.3 78K0/LE3 ... 135
 - 4.1.4 78K0/LF3 ... 137
- 4.2 ポートの構成 ... 139
 - 4.2.1 ポート1 ... 140
 - 4.2.2 ポート2 ... 150
 - 4.2.3 ポート3 ... 153
 - 4.2.4 ポート4 ... 156
 - 4.2.5 ポート8 ... 160
 - 4.2.6 ポート9 ... 162
 - 4.2.7 ポート10 ... 164
 - 4.2.8 ポート11 ... 166

- 4.2.9 ポート12 ... 170
- 4.2.10 ポート13 ... 174
- 4.2.11 ポート14 ... 176
- 4.2.12 ポート15 ... 178
- 4.3 **ポート機能を制御するレジスタ** ... 180
- 4.4 **ポート機能の動作** ... 198
 - 4.4.1 入出力ポートへの書き込み ... 198
 - 4.4.2 入出力ポートからの読み出し ... 198
 - 4.4.3 入出力ポートでの演算 ... 198
- 4.5 **兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定** ... 199
- 4.6 **ポート・レジスタ n (P_n) に対する1ビット・メモリ操作命令に関する注意事項** ... 209

第5章 クロック発生回路 ... 210

- 5.1 **クロック発生回路の機能** ... 210
- 5.2 **クロック発生回路の構成** ... 211
- 5.3 **クロック発生回路を制御するレジスタ** ... 213
- 5.4 **システム・クロック発振回路** ... 223
 - 5.4.1 X1発振回路 ... 223
 - 5.4.2 XT1発振回路 ... 223
 - 5.4.3 サブシステム・クロックを使用しない場合 ... 226
 - 5.4.4 高速内蔵発振回路 ... 226
 - 5.4.5 低速内蔵発振回路 ... 226
 - 5.4.6 プリスケーラ ... 226
- 5.5 **クロック発生回路の動作** ... 227
- 5.6 **クロックの制御** ... 230
 - 5.6.1 高速システム・クロックの制御例 ... 230
 - 5.6.2 高速内蔵発振クロックの制御例 ... 233
 - 5.6.3 サブシステム・クロックの制御例 ... 235
 - 5.6.4 低速内蔵発振クロックの制御例 ... 236
 - 5.6.5 CPUクロック, 周辺ハードウェア・クロックへの供給クロック ... 237
 - 5.6.6 CPUクロック状態移行図 ... 238
 - 5.6.7 CPUクロックの移行前の条件と移行後の処理 ... 243
 - 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 244
 - 5.6.9 クロック発振停止前の条件 ... 245
 - 5.6.10 周辺ハードウェアとソース・クロック ... 246

第6章 16ビット・タイマ/イベント・カウンタ00 ... 247

- 6.1 16ビット・タイマ/イベント・カウンタ00の機能 ... 247
- 6.2 16ビット・タイマ/イベント・カウンタ00の構成 ... 248
- 6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ ... 254
- 6.4 16ビット・タイマ/イベント・カウンタ00の動作 ... 264
 - 6.4.1 インターバル・タイマとしての動作 ... 264
 - 6.4.2 方形波出力としての動作 ... 267
 - 6.4.3 外部イベント・カウンタとしての動作 ... 271
 - 6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作 ... 275
 - 6.4.5 フリー・ランニング・タイマとしての動作 ... 288
 - 6.4.6 PPG出力としての動作 ... 297
 - 6.4.7 ワンショット・パルス出力としての動作 ... 301
 - 6.4.8 パルス幅測定としての動作 ... 306
 - 6.4.9 24ビット外部イベント・カウンタとしての動作 ... 315
 - 6.4.10 24ビット外部イベント・カウンタの注意事項 ... 319
- 6.5 TM00の特殊な使用方法 ... 321
 - 6.5.1 CR010のTM00動作中の書き換え ... 321
 - 6.5.2 LVS00, LVR00の設定について ... 321
- 6.6 16ビット・タイマ/イベント・カウンタ00の注意事項 ... 323

第7章 8ビット・タイマ/イベント・カウンタ50, 51, 52 ... 328

- 7.1 8ビット・タイマ/イベント・カウンタ50, 51, 52の機能 ... 328
- 7.2 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成 ... 329
- 7.3 8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ ... 334
- 7.4 8ビット・タイマ/イベント・カウンタ50, 51, 52の動作 ... 345
 - 7.4.1 インターバル・タイマとしての動作 ... 345
 - 7.4.2 外部イベント・カウンタとしての動作 ... 347
 - 7.4.3 方形波出力としての動作 (78K0/LE3, 78K0/LF3のみ) ... 348
 - 7.4.4 PWM出力としての動作 (78K0/LE3, 78K0/LF3のみ) ... 349
- 7.5 8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項 ... 352

第8章 8ビット・タイマH0, H1, H2 ... 355

- 8.1 8ビット・タイマH0, H1, H2の機能 ... 355
- 8.2 8ビット・タイマH0, H1, H2の構成 ... 355
- 8.3 8ビット・タイマH0, H1, H2を制御するレジスタ ... 360
- 8.4 8ビット・タイマH0, H1, H2の動作 ... 367
 - 8.4.1 インターバル・タイマ/方形波出力としての動作 ... 367
 - 8.4.2 PWM出力としての動作 ... 370
 - 8.4.3 キャリア・ジェネレータとしての動作 (8ビット・タイマH1のみ) ... 376
 - 8.4.4 タイマ51カウンタによるキャリア・クロック数の制御 ... 383

第9章 リアルタイム・カウンタ ... 384

- 9.1 リアルタイム・カウンタの機能 ... 384
- 9.2 リアルタイム・カウンタの構成 ... 384
- 9.3 リアルタイム・カウンタを制御するレジスタ ... 386
- 9.4 リアルタイム・カウンタの動作 ... 400
 - 9.4.1 リアルタイム・カウンタの動作開始 ... 400
 - 9.4.2 動作開始後のSTOPモードへの移行 ... 401
 - 9.4.3 リアルタイム・カウンタのカウント読み出し / 書き込み ... 402
 - 9.4.4 リアルタイム・カウンタのアラーム設定 ... 404
 - 9.4.5 リアルタイム・カウンタの1 Hz出力 ... 405
 - 9.4.6 リアルタイム・カウンタの32.768 kHz出力 ... 405
 - 9.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力 ... 406
 - 9.4.8 リアルタイム・カウンタの時計誤差補正例 ... 407

第10章 ウォッチドッグ・タイマ ... 412

- 10.1 ウォッチドッグ・タイマの機能 ... 412
- 10.2 ウォッチドッグ・タイマの構成 ... 413
- 10.3 ウォッチドッグ・タイマを制御するレジスタ ... 414
- 10.4 ウォッチドッグ・タイマの動作 ... 415
 - 10.4.1 ウォッチドッグ・タイマの動作制御 ... 415
 - 10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 416
 - 10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 417

第11章 クロック出力 / ブザー出力制御回路 ... 419

- 11.1 クロック出力 / ブザー出力制御回路の機能 ... 419
- 11.2 クロック出力 / ブザー出力制御回路の構成 ... 420
- 11.3 クロック出力 / ブザー出力制御回路を制御するレジスタ ... 421
- 11.4 クロック出力 / ブザー出力制御回路の動作 ... 424
 - 11.4.1 クロック出力としての動作 ... 424
 - 11.4.2 ブザー出力としての動作 ... 424

第12章 10ビット逐次比較型A/Dコンバータ ... 425

- 12.1 10ビット逐次比較型A/Dコンバータの機能 ... 425
- 12.2 10ビット逐次比較型A/Dコンバータの構成 ... 426
- 12.3 10ビット逐次比較型A/Dコンバータで使用するレジスタ ... 428
- 12.4 10ビット逐次比較型A/Dコンバータの動作 ... 438
 - 12.4.1 A/Dコンバータの基本動作 ... 438
 - 12.4.2 入力電圧と変換結果 ... 439
 - 12.4.3 A/Dコンバータの動作モード ... 441
- 12.5 逐次比較型A/Dコンバータ特性表の読み方 ... 443
- 12.6 10ビット逐次比較型A/Dコンバータの注意事項 ... 446

第13章 16ビット 型A/Dコンバータ ... 450

- 13.1 16ビット 型A/Dコンバータの機能 ... 450
- 13.2 16ビット 型A/Dコンバータの構成 ... 451
- 13.3 16ビット 型A/Dコンバータで使用するレジスタ ... 453
- 13.4 16ビット 型A/Dコンバータの回路構成例 ... 464
- 13.5 16ビット 型A/Dコンバータの動作 ... 465
 - 13.5.1 16ビット 型A/Dコンバータの基本動作 ... 465
 - 13.5.2 16ビット 型A/Dコンバータの動作モード ... 465
- 13.6 型A/Dコンバータ特性表の読み方 ... 468
- 13.7 16ビット 型A/Dコンバータの注意事項 ... 472

第14章 シリアル・インタフェースUART0 ... 476

- 14.1 シリアル・インタフェースUART0の機能 ... 476
- 14.2 シリアル・インタフェースUART0の構成 ... 477
- 14.3 シリアル・インタフェースUART0を制御するレジスタ ... 482
- 14.4 シリアル・インタフェースUART0の動作 ... 489
 - 14.4.1 動作停止モード ... 489
 - 14.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 490
 - 14.4.3 専用ボー・レート・ジェネレータ ... 497
 - 14.4.4 ボー・レートの算出 ... 498

第15章 シリアル・インタフェースUART6 ... 503

- 15.1 シリアル・インタフェースUART6の機能 ... 503
- 15.2 シリアル・インタフェースUART6の構成 ... 508
- 15.3 シリアル・インタフェースUART6を制御するレジスタ ... 513
- 15.4 シリアル・インタフェースUART6の動作 ... 528
 - 15.4.1 動作停止モード ... 528
 - 15.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 529
 - 15.4.3 専用ボー・レート・ジェネレータ ... 547
 - 15.4.4 ボー・レートの算出 ... 548

第16章 シリアル・インタフェースCSI10 ... 554

- 16.1 シリアル・インタフェースCSI10の機能 ... 554
- 16.2 シリアル・インタフェースCSI10の構成 ... 554
- 16.3 シリアル・インタフェースCSI10を制御するレジスタ ... 556
- 16.4 シリアル・インタフェースCSI10の動作 ... 561
 - 16.4.1 動作停止モード ... 561
 - 16.4.2 3線式シリアルI/Oモード ... 562

第17章 シリアル・インタフェースCSIA0 ... 574

- 17.1 シリアル・インタフェースCSIA0の機能 ... 574
- 17.2 シリアル・インタフェースCSIA0の構成 ... 575
- 17.3 シリアル・インタフェースCSIA0を制御するレジスタ ... 577
- 17.4 シリアル・インタフェースCSIA0の動作 ... 586
 - 17.4.1 動作停止モード ... 586
 - 17.4.2 3線式シリアルI/Oモード ... 586
 - 17.4.3 自動送受信機能付き3線式シリアルI/Oモード ... 592

第18章 LCDコントローラ/ドライバ ... 607

- 18.1 LCDコントローラ/ドライバの機能 ... 607
- 18.2 LCDコントローラ/ドライバの構成 ... 611
- 18.3 LCDコントローラ/ドライバを制御するレジスタ ... 613
- 18.4 LCDコントローラ/ドライバの設定 ... 627
 - 18.4.1 セグメント・キー・スキャン機能を使用しない場合 (KSON = 0) の設定方法 ... 627
 - 18.4.2 セグメント・キー・スキャン機能を使用する場合 (KSON = 1) の設定方法 ... 628
- 18.5 LCD表示データ・メモリ ... 630
- 18.6 コモン信号とセグメント信号 ... 631
- 18.7 表示モード ... 641
 - 18.7.1 スタティック表示例 ... 641
 - 18.7.2 2時分割表示例 ... 644
 - 18.7.3 3時分割表示例 ... 649
 - 18.7.4 4時分割表示例 ... 657
 - 18.7.5 8時分割表示例 ... 662
- 18.8 セグメント・キー・スキャン機能の動作 ... 667
 - 18.8.1 回路構成例 ... 667
 - 18.8.2 セグメント・キー・スキャン機能の使用手順例 ... 668
- 18.9 セグメント・キー・スキャン機能使用時の注意事項 ... 671
- 18.10 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} , V_{LC3} の供給 ... 673
 - 18.10.1 内部抵抗分割方式 ... 673
 - 18.10.2 外部抵抗分割方式 ... 675

第19章 マンチェスタ・コード・ジェネレータ ... 677

- 19.1 マンチェスタ・コード・ジェネレータの機能 ... 677
- 19.2 マンチェスタ・コード・ジェネレータの構成 ... 677
- 19.3 マンチェスタ・コード・ジェネレータを制御するレジスタ ... 680
- 19.4 マンチェスタ・コード・ジェネレータの動作 ... 684
 - 19.4.1 動作停止モード ... 684
 - 19.4.2 マンチェスタ・コード・ジェネレータ・モード ... 685
 - 19.4.3 ビット・シーケンシャル・バッファ・モード ... 695

第20章 リモコン受信回路 ... 705

- 20.1 リモコン受信回路の機能 ... 705
- 20.2 リモコン受信回路の構成 ... 705
- 20.3 リモコン受信回路を制御するレジスタ ... 713
- 20.4 リモコン受信回路の動作 ... 716
 - 20.4.1 A方式受信モードのフォーマット ... 716
 - 20.4.2 A方式受信モードの動作フロー ... 716
 - 20.4.3 B方式受信モードのフォーマット ... 718
 - 20.4.4 B方式受信モードの動作フロー ... 718
 - 20.4.5 C方式受信モードのフォーマット ... 720
 - 20.4.6 C方式受信モードの動作フロー ... 720
 - 20.4.7 タイミング説明 ... 722
 - 20.4.8 コンペア・レジスタ設定 ... 726
 - 20.4.9 エラー割り込み発生タイミング ... 728
 - 20.4.10 ノイズ・キャンセル ... 734

第21章 割り込み機能 ... 737

- 21.1 割り込み機能の種類 ... 737
- 21.2 割り込み要因と構成 ... 737
- 21.3 割り込み機能を制御するレジスタ ... 742
- 21.4 割り込み処理動作 ... 760
 - 21.4.1 マスカブル割り込み要求の受け付け動作 ... 760
 - 21.4.2 ソフトウェア割り込み要求の受け付け動作 ... 763
 - 21.4.3 多重割り込み処理 ... 763
 - 21.4.4 割り込み要求の保留 ... 766

第22章 キー割り込み機能 ... 767

- 22.1 キー割り込みの機能 ... 767
- 22.2 キー割り込みの構成 ... 768
- 22.3 キー割り込みを制御するレジスタ ... 768

第23章 スタンバイ機能 ... 770

- 23.1 スタンバイ機能と構成 ... 770
 - 23.1.1 スタンバイ機能 ... 770
 - 23.1.2 スタンバイ機能を制御するレジスタ ... 771
- 23.2 スタンバイ機能の動作 ... 773
 - 23.2.1 HALTモード ... 773
 - 23.2.2 STOPモード ... 778

第24章 リセット機能 ... 784

- 24.1 リセット要因を確認するレジスタ ... 793

第25章 パワーオン・クリア回路 ... 794

- 25.1 パワーオン・クリア回路の機能 ... 794
- 25.2 パワーオン・クリア回路の構成 ... 795
- 25.3 パワーオン・クリア回路の動作 ... 795
- 25.4 パワーオン・クリア回路の注意事項 ... 798

第26章 低電圧検出回路 ... 800

- 26.1 低電圧検出回路の機能 ... 800
- 26.2 低電圧検出回路の構成 ... 800
- 26.3 低電圧検出回路を制御するレジスタ ... 801
- 26.4 低電圧検出回路の動作 ... 804
 - 26.4.1 リセットとして使用時の設定 ... 805
 - 26.4.2 割り込みとして使用時の設定 ... 810
- 26.5 低電圧検出回路の注意事項 ... 815

第27章 オプション・バイト ... 818

- 27.1 オプション・バイトの機能 ... 818
- 27.2 オプション・バイトのフォーマット ... 819

第28章 フラッシュ・メモリ ... 823

- 28.1 メモリ・サイズ切り替えレジスタ ... 823
- 28.2 内部拡張RAMサイズ切り替えレジスタ ... 824
- 28.3 フラッシュ・メモリ・プログラマによる書き込み方法 ... 825
- 28.4 プログラミング環境 ... 825
- 28.5 通信方式 ... 826
- 28.6 オンボード上の端子処理 ... 828
 - 28.6.1 FLMD0端子 ... 828
 - 28.6.2 シリアル・インタフェース端子 ... 828
 - 28.6.3 RESET端子 ... 830
 - 28.6.4 ポート端子 ... 830
 - 28.6.5 REGC端子 ... 830
 - 28.6.6 その他の信号端子 ... 830
 - 28.6.7 電 源 ... 831
- 28.7 プログラミング方法 ... 831
 - 28.7.1 フラッシュ・メモリ制御 ... 831
 - 28.7.2 フラッシュ・メモリ・プログラミング・モード ... 832
 - 28.7.3 通信方式の選択 ... 832
 - 28.7.4 通信コマンド ... 833
- 28.8 セキュリティ設定 ... 834
- 28.9 PG-FP5使用時の各コマンド処理時間(参考値) ... 836
- 28.10 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 839
 - 28.10.1 ブート・スワップ機能 ... 847

第29章 オンチップ・デバッグ機能 ... 849

- 29.1 QB-MINI2と78K0/Lx3マイクロコントローラの接続 ... 849
- 29.2 QB-MINI2が使用する予約領域 ... 851

第30章 命令セットの概要 ... 852

- 30.1 凡 例 ... 853
 - 30.1.1 オペランドの表現形式と記述方法 ... 853
 - 30.1.2 オペレーション欄の説明 ... 854
 - 30.1.3 フラグ動作欄の説明 ... 854
- 30.2 オペレーション一覧 ... 855
- 30.3 アドレッシング別命令一覧 ... 863

第31章 電気的特性（標準品）... 867

第32章 外形図 ... 895

- 32.1 78K0/LC3 ... 895
- 32.2 78K0/LD3 ... 896
- 32.3 78K0/LE3 ... 897
- 32.4 78K0/LF3 ... 900

第33章 半田付け推奨条件 ... 902

第34章 ウェイトに関する注意事項 ... 903

- 34.1 ウェイトに関する注意事項 ... 903
- 34.2 ウェイトが発生する周辺ハードウェア ... 904

付録A 開発ツール ... 905

- A.1 ソフトウェア・パッケージ ... 908
- A.2 言語処理用ソフトウェア ... 908
- A.3 フラッシュ・メモリ書き込み用ツール ... 909
 - A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ... 909
 - A.3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 909
- A.4 デバッグ用ツール（ハードウェア）... 910
 - A.4.1 インサーキット・エミュレータ QB-78K0LX3を使用する場合 ... 910
 - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 911
- A.5 デバッグ用ツール（ソフトウェア）... 911

付録B レジスタ索引 ... 912

付録C 改版履歴 ... 917

C.1 本版で改訂された主な箇所 ... 917

第1章 概 説

1.1 特 徴

高速(0.2 μ s: 高速システム・クロック10 MHz動作時)から超低速(122 μ s: サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間を変更可能

汎用レジスタ: 8ビット×32レジスタ(8ビット×8レジスタ×4バンク)

ROM(フラッシュ・メモリ), RAM容量

ROM ^注	高速RAM ^注	拡張RAM ^注	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
			48ピン	52ピン	64ピン	80ピン
60 KB	1 KB	1 KB	-	-	μ PD78F0465 μ PD78F0455 μ PD78F0445	μ PD78F0495 μ PD78F0485 μ PD78F0475
48 KB	1 KB	1 KB	-	-	μ PD78F0464 μ PD78F0454 μ PD78F0444	μ PD78F0494 μ PD78F0484 μ PD78F0474
32 KB	1 KB	-	μ PD78F0413 μ PD78F0403	μ PD78F0433 μ PD78F0423	μ PD78F0463 μ PD78F0453 μ PD78F0443	μ PD78F0493 μ PD78F0483 μ PD78F0473
24 KB	1 KB	-	μ PD78F0412 μ PD78F0402	μ PD78F0432 μ PD78F0422	μ PD78F0462 μ PD78F0452 μ PD78F0442	μ PD78F0492 μ PD78F0482 μ PD78F0472
16 KB	768 B	-	μ PD78F0411 μ PD78F0401	μ PD78F0431 μ PD78F0421	μ PD78F0461 μ PD78F0451 μ PD78F0441	μ PD78F0491 μ PD78F0481 μ PD78F0471
8 KB	512 B	-	μ PD78F0410 μ PD78F0400	μ PD78F0430 μ PD78F0420	-	-

注 メモリ・サイズ切り替えレジスタ(IMS)と内部拡張RAMサイズ切り替えレジスタ(IXS)により, 内部フラッシュ・メモリ, 内部高速RAM容量, 内部拡張RAM容量を変更可能です。IMSとIXSについては, 28.1 **メモリ・サイズ切り替えレジスタ**, 28.2 **内部拡張RAMサイズ切り替えレジスタ**を参照してください。

LCD表示用RAM

品 名	LCD表示用RAM
78K0/LC3	22×4ビット(18×8ビット) [20×4ビット(16×8ビット)] ^注
78K0/LD3	24×4ビット(20×8ビット) [21×4ビット(17×8ビット)] ^注
78K0/LE3	μ PD78F044x, 78F045x
	μ PD78F046x
78K0/LF3	μ PD78F047x, 78F048x
	μ PD78F049x

注 ()内は8com使用時。

[]内はUART6の端子(RxD6, TxD6)を下辺側で使用する場合。

単電源のフラッシュ・メモリ内蔵
 セルフ・プログラミング内蔵（ブート・スワップ機能あり）
 オンチップ・デバッグ機能内蔵^注

注 78K0/Lx3マイクロコントローラには、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

パワーオン・クリア（POC）回路、低電圧検出（LVI）回路内蔵
 ウォッチドッグ・タイマ（低速内蔵発振クロックで動作可能）内蔵
 LCDコントローラ/ドライバ（外部抵抗分割/内部抵抗分割を切り替え可能）内蔵

品 名		セグメント信号（SEG）、共通信号（COM）				
		スタティック	1/2バイアス	1/2, 1/3バイアス	1/3バイアス	1/4バイアス
78K0/LC3		SEG : 22 COM : 1	SEG : 22 COM : 2	SEG : 22 COM : 3	SEG : 22 COM : 4	SEG : 18 COM : 8
78K0/LD3		SEG : 24 COM : 1	SEG : 24 COM : 2	SEG : 24 COM : 3	SEG : 24 COM : 4	SEG : 20 COM : 8
78K0/LE3	μPD78F044x, 78F045x	SEG : 32 COM : 1	SEG : 32 COM : 2	SEG : 32 COM : 3	SEG : 32 COM : 4	SEG : 28 COM : 8
	μPD78F046x	SEG : 24 COM : 1	SEG : 24 COM : 2	SEG : 24 COM : 3	SEG : 24 COM : 4	SEG : 20 COM : 8
78K0/LF3	μPD78F047x, 78F048x	SEG : 40 COM : 1	SEG : 40 COM : 2	SEG : 40 COM : 3	SEG : 40 COM : 4	SEG : 36 COM : 8
	μPD78F049x	SEG : 32 COM : 1	SEG : 32 COM : 2	SEG : 32 COM : 3	SEG : 32 COM : 4	SEG : 28 COM : 8

セグメント・キー・スキャン機能内蔵
 10ビット逐次比較型A/Dコンバータ（ $AV_{REF} = 2.3 \sim 5.5 \text{ V}$ ）内蔵
 16ビット 型A/Dコンバータ（ $AV_{REF} = 2.7 \sim 5.5 \text{ V}$ ）内蔵
 リアルタイム・カウンタ内蔵
 マンチェスタ・コード・ジェネレータ内蔵
 リモコン受信回路内蔵
 キー割り込み機能、クロック出力/ブザー出力制御回路、I/Oポート、タイマ、シリアル・インタフェースを内蔵
 電源電圧： $V_{DD} = 1.8 \sim 5.5 \text{ V}$
 動作周囲温度： $T_A = -40 \sim +85$

備考 製品により、搭載している機能が異なります。1.6 **ブロック図**、1.7 **機能概要**を参照してください。

1.2 応用分野

カメラ

- ・APSカメラ
- ・デジタル・カメラ

AV機器

- ・ホーム・オーディオ

家電製品

- ・エアコン
- ・洗濯機
- ・IHクッキング
- ・電子レンジ
- ・炊飯器

ユーティリティ・メータ

- ・電力メータ

ヘルスケア機器

- ・歩数計
- ・体重計
- ・血圧計
- ・血糖値計

計測機器

- ・サーモスタット
- ・電子メジャー

1.3 オーダ情報

【オーダ名称】

μ PD78F04xy x - x x x - x x

半導体部材		
AX	鉛フリー	外部端子および内部その他に鉛を含有していない製品 (Ni/Pd/Auめっき)

パッケージ・タイプ		
40y, 41y (LC3)	GA-GAM	48ピン・プラスチックLQFP ファインピッチ (7x7)
42y, 43y (LD3)	GB-GAG	52ピン・プラスチックLQFP (10x10)
44y, 45y, 46y (LE3)	GB-GAH	64ピン・プラスチックLQFP (ファインピッチ) (10x10)
	GK-GAJ	64ピン・プラスチックLQFP (12x12)
45y (LE3)	GA-HAB	64ピン・プラスチックTQFP (ファインピッチ) (7x7)
47y, 48y, 49y (LF3)	GC-GAD	80ピン・プラスチックLQFP (14x14)
	GK-GAK	80ピン・プラスチックLQFP (ファインピッチ) (12x12)

	高速RAM容量	拡張RAM容量	フラッシュ・メモリ容量
4x0	512バイト	-	8 Kバイト
4x1	768バイト	-	16 Kバイト
4x2	1 Kバイト	-	24 Kバイト
4x3	1 Kバイト	-	32 Kバイト
4x4	1 Kバイト	1 Kバイト	48 Kバイト
4x5	1 Kバイト	1 Kバイト	60 Kバイト

製品タイプ	
F	フラッシュ・メモリ製品

【オーダ名称一覧】

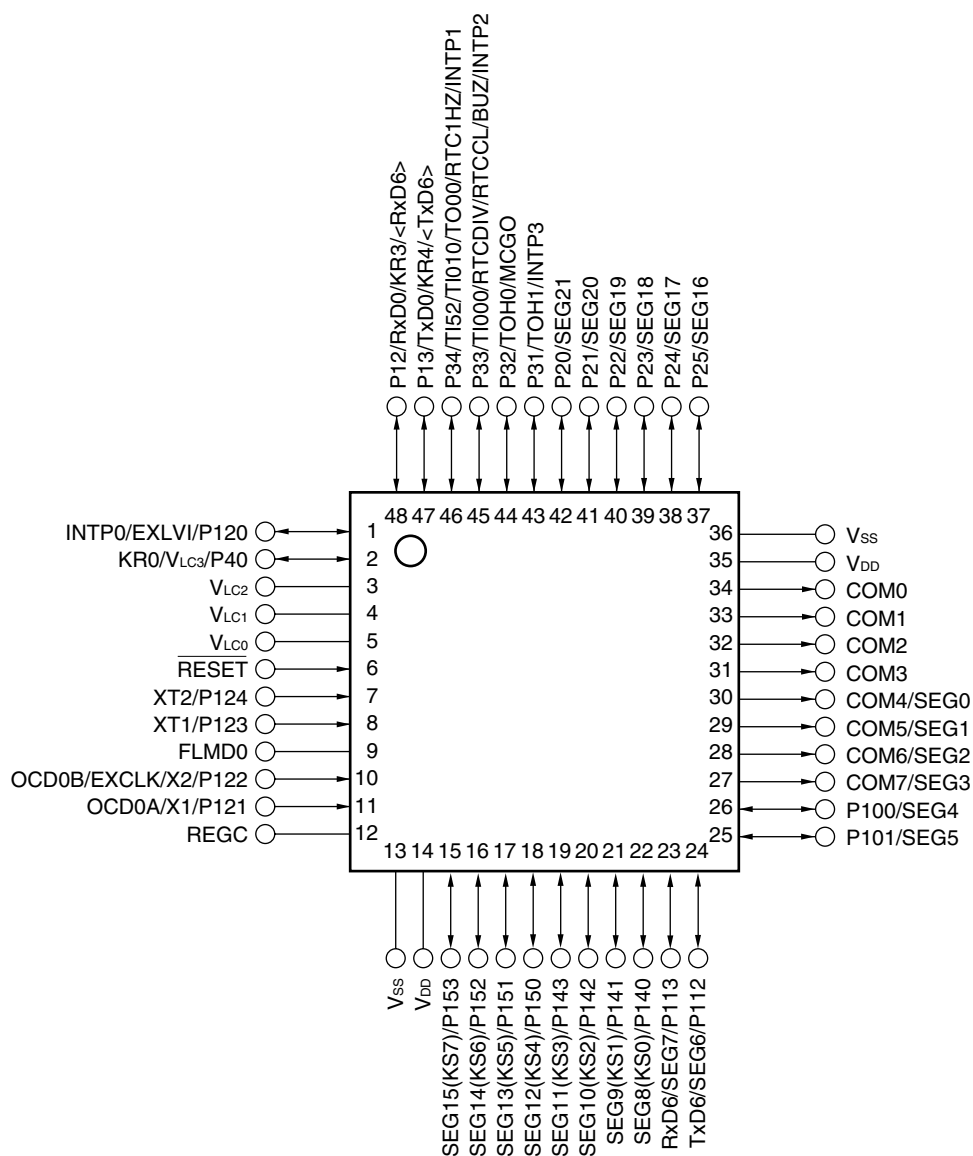
78K0/Lx3マイク ロコントローラ	パッケージ	オーダ名称
78K0/LC3	48ピン・プラスチックLQFP (ファインピッチ) (7x7)	μ PD78F0400GA-GAM-AX, 78F0401GA-GAM-AX, 78F0402GA-GAM-AX, 78F0403GA-GAM-AX, 78F0410GA-GAM-AX, 78F0411GA-GAM-AX, 78F0412GA-GAM-AX, 78F0413GA-GAM-AX
78K0/LD3	52ピン・プラスチックLQFP (10x10)	μ PD78F0420GB-GAG-AX, 78F0421GB-GAG-AX, 78F0422GB-GAG-AX, 78F0423GB-GAG-AX, 78F0430GB-GAG-AX, 78F0431GB-GAG-AX, 78F0432GB-GAG-AX, 78F0433GB-GAG-AX
78K0/LE3	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	μ PD78F0441GB-GAH-AX, 78F0442GB-GAH-AX, 78F0443GB-GAH-AX, 78F0444GB-GAH-AX, 78F0445GB-GAH-AX, 78F0451GB-GAH-AX, 78F0452GB-GAH-AX, 78F0453GB-GAH-AX, 78F0454GB-GAH-AX, 78F0455GB-GAH-AX, 78F0461GB-GAH-AX, 78F0462GB-GAH-AX, 78F0463GB-GAH-AX, 78F0464GB-GAH-AX, 78F0465GB-GAH-AX
	64ピン・プラスチックLQFP (12x12)	μ PD78F0441GK-GAJ-AX, 78F0442GK-GAJ-AX, 78F0443GK-GAJ-AX, 78F0444GK-GAJ-AX, 78F0445GK-GAJ-AX, 78F0451GK-GAJ-AX, 78F0452GK-GAJ-AX, 78F0453GK-GAJ-AX, 78F0454GK-GAJ-AX, 78F0455GK-GAJ-AX, 78F0461GK-GAJ-AX, 78F0462GK-GAJ-AX, 78F0463GK-GAJ-AX, 78F0464GK-GAJ-AX, 78F0465GK-GAJ-AX
	64ピン・プラスチックTQFP (ファインピッチ) (7x7)	μ PD78F0451GA-HAB-AX, 78F0452GA-HAB-AX, 78F0453GA-HAB-AX, 78F0454GA-HAB-AX, 78F0455GA-HAB-AX
78K0/LF3	80ピン・プラスチックLQFP (14x14)	μ PD78F0471GC-GAD-AX, 78F0472GC-GAD-AX, 78F0473GC-GAD-AX, 78F0474GC-GAD-AX, 78F0475GC-GAD-AX, 78F0481GC-GAD-AX, 78F0482GC-GAD-AX, 78F0483GC-GAD-AX, 78F0484GC-GAD-AX, 78F0485GC-GAD-AX, 78F0491GC-GAD-AX, 78F0492GC-GAD-AX, 78F0493GC-GAD-AX, 78F0494GC-GAD-AX, 78F0495GC-GAD-AX
	80ピン・プラスチックLQFP (ファインピッチ) (12x12)	μ PD78F0471GK-GAK-AX, 78F0472GK-GAK-AX, 78F0473GK-GAK-AX, 78F0474GK-GAK-AX, 78F0475GK-GAK-AX, 78F0481GK-GAK-AX, 78F0482GK-GAK-AX, 78F0483GK-GAK-AX, 78F0484GK-GAK-AX, 78F0485GK-GAK-AX, 78F0491GK-GAK-AX, 78F0492GK-GAK-AX, 78F0493GK-GAK-AX, 78F0494GK-GAK-AX, 78F0495GK-GAK-AX

1.4 端子接続図 (Top View)

1.4.1 78K0/LC3

(1) μ PD78F0400, 78F0401, 78F0402, 78F0403

・48ピン・プラスチックLQFP (ファインピッチ) (7x7)



注意1. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS} に接続してください。

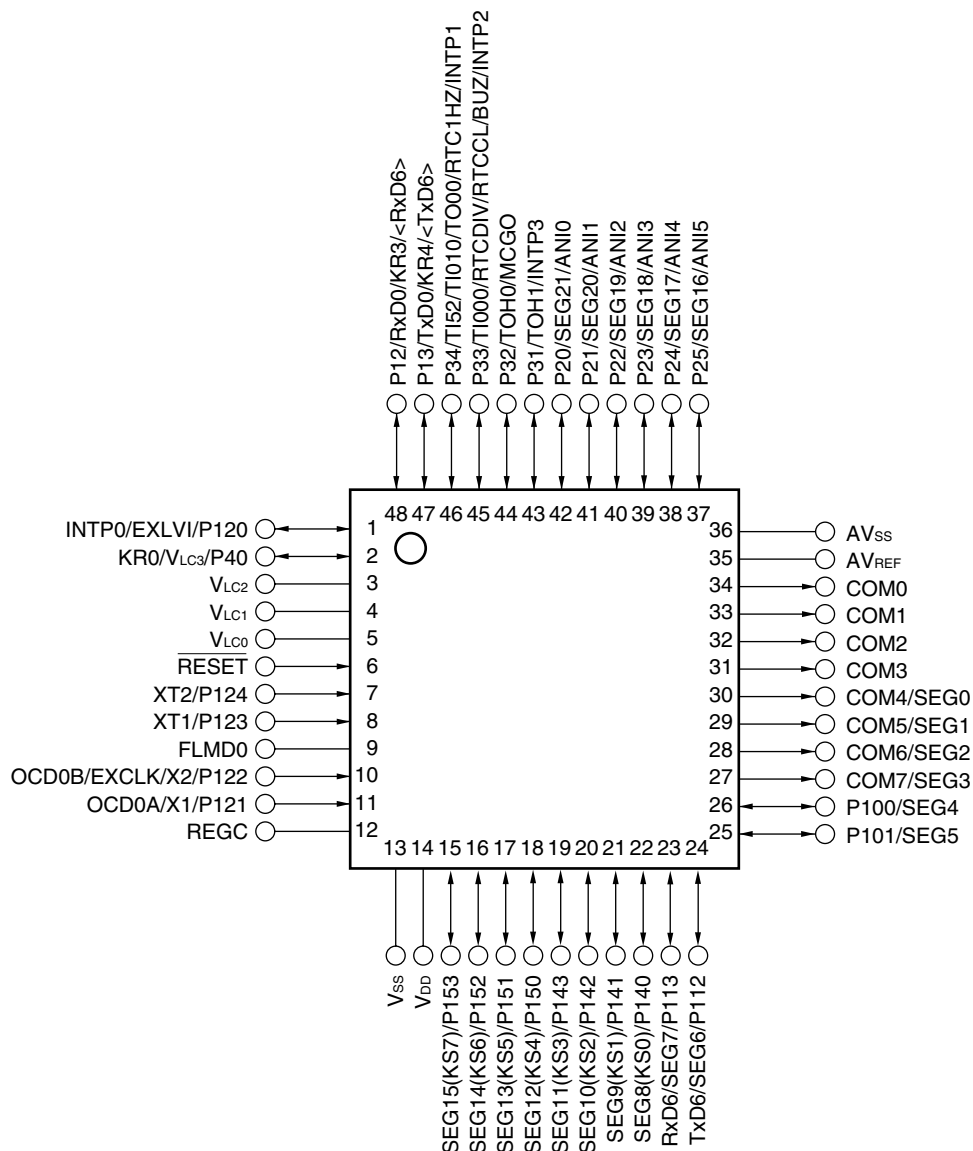
2. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号: 23, 24) のみ対応しています。上辺側 (ピン番号: 48, 47) による書き込みはできません。
3. V_{DD} (ピン番号: 14) と V_{DD} (ピン番号: 35), V_{SS} (ピン番号: 13) と V_{SS} (ピン番号: 36) は, それぞれ同電位にしてください。

備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
3. 端子名称は, 1.5 端子名称を参照してください。

(2) μ PD78F0410, 78F0411, 78F0412, 78F0413

・48ピン・プラスチックLQFP (ファインピッチ) (7x7)



注意1. AV_{SS}はV_{SS}に接続してください。

2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。
3. ANI0/P20-ANI5/P25は, リセット解除後はデジタル入力モードになります。
4. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号: 23, 24) のみ対応しています。上辺側 (ピン番号: 48, 47) による書き込みはできません。

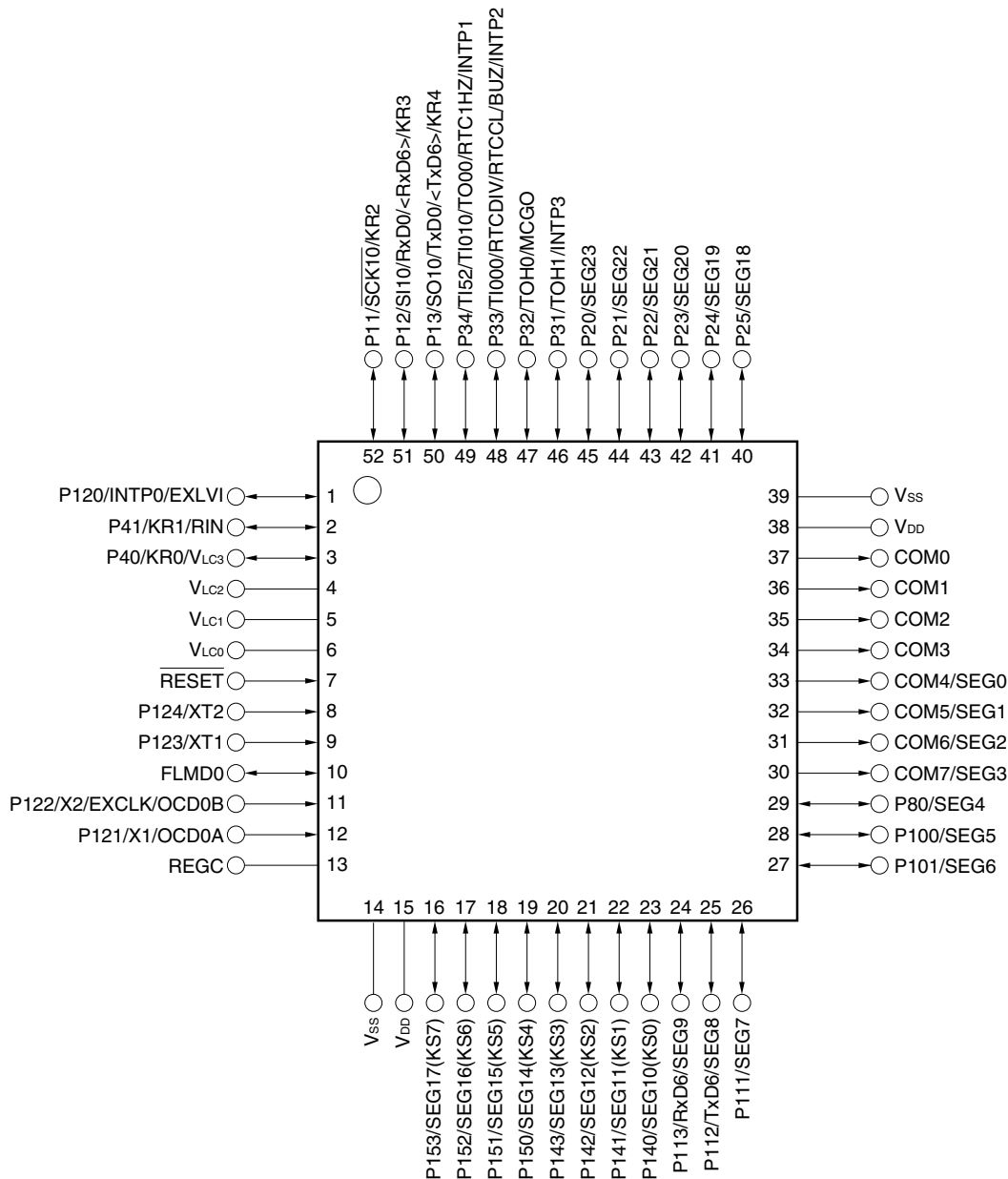
備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2. () 内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
3. 端子名称は, 1.5 端子名称を参照してください。

1.4.2 78K0/LD3

(1) μ PD78F0420, 78F0421, 78F0422, 78F0423

・52ピン・プラスチックLQFP (10x10)



注意1. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。

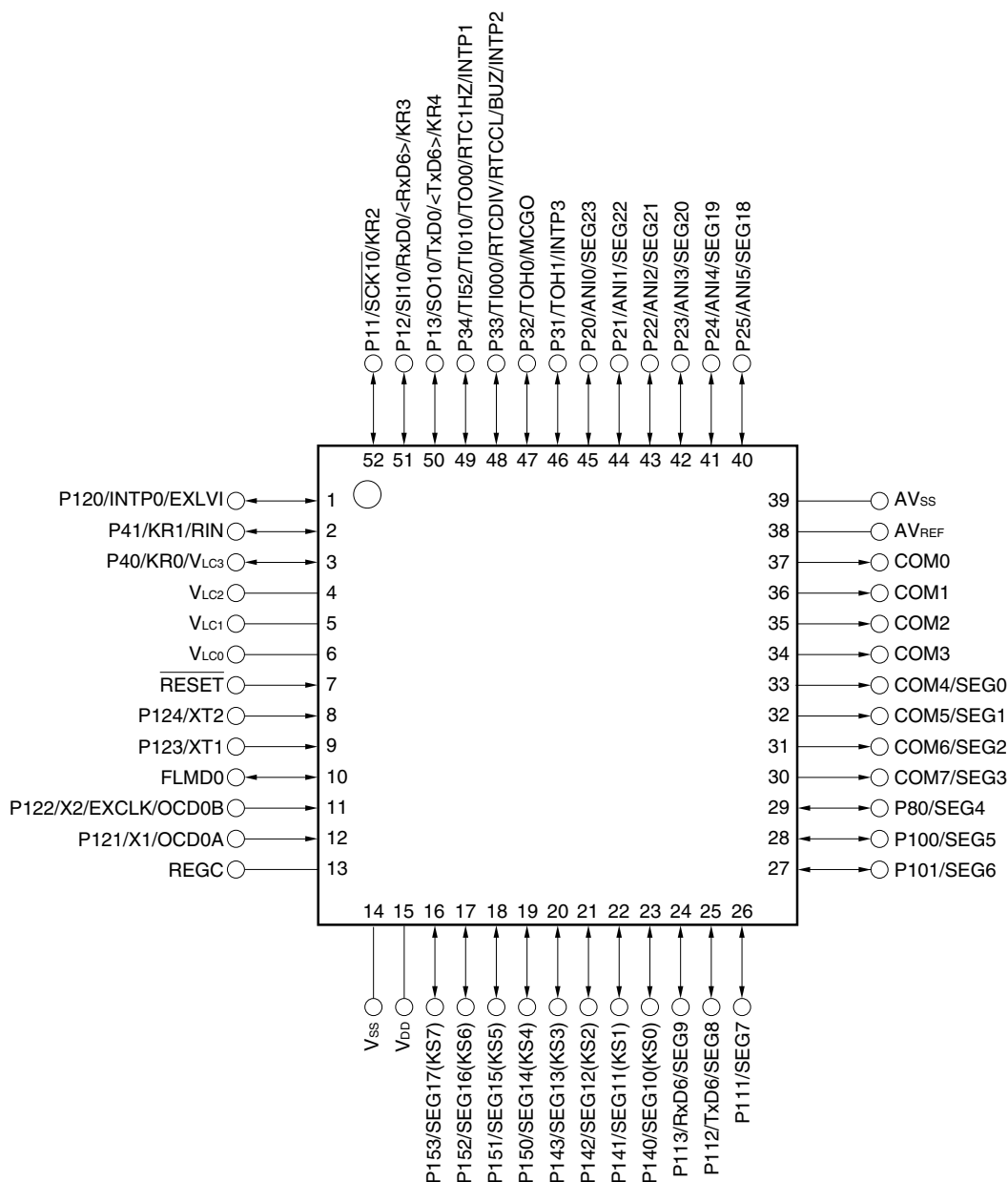
2. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号: 24, 25) のみ対応しています。上辺側 (ピン番号: 51, 50) による書き込みはできません。
3. V_{DD} (ピン番号: 15) とV_{DD} (ピン番号: 38), V_{SS} (ピン番号: 14) とV_{SS} (ピン番号: 39) は, それぞれ同電位にしてください。

備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
3. 端子名称は, 1.5 端子名称を参照してください。

(2) μ PD78F0430, 78F0431, 78F0432, 78F0433

・ 52ピン・プラスチックLQFP (10x10)

**注意1.** AV_{SS}はV_{SS}に接続してください。2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。

3. ANI0/P20-ANI5/P25は, リセット解除後はデジタル入力モードになります。

4. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号: 24, 25) のみ対応しています。上辺側 (ピン番号: 51, 50) による書き込みはできません。

備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

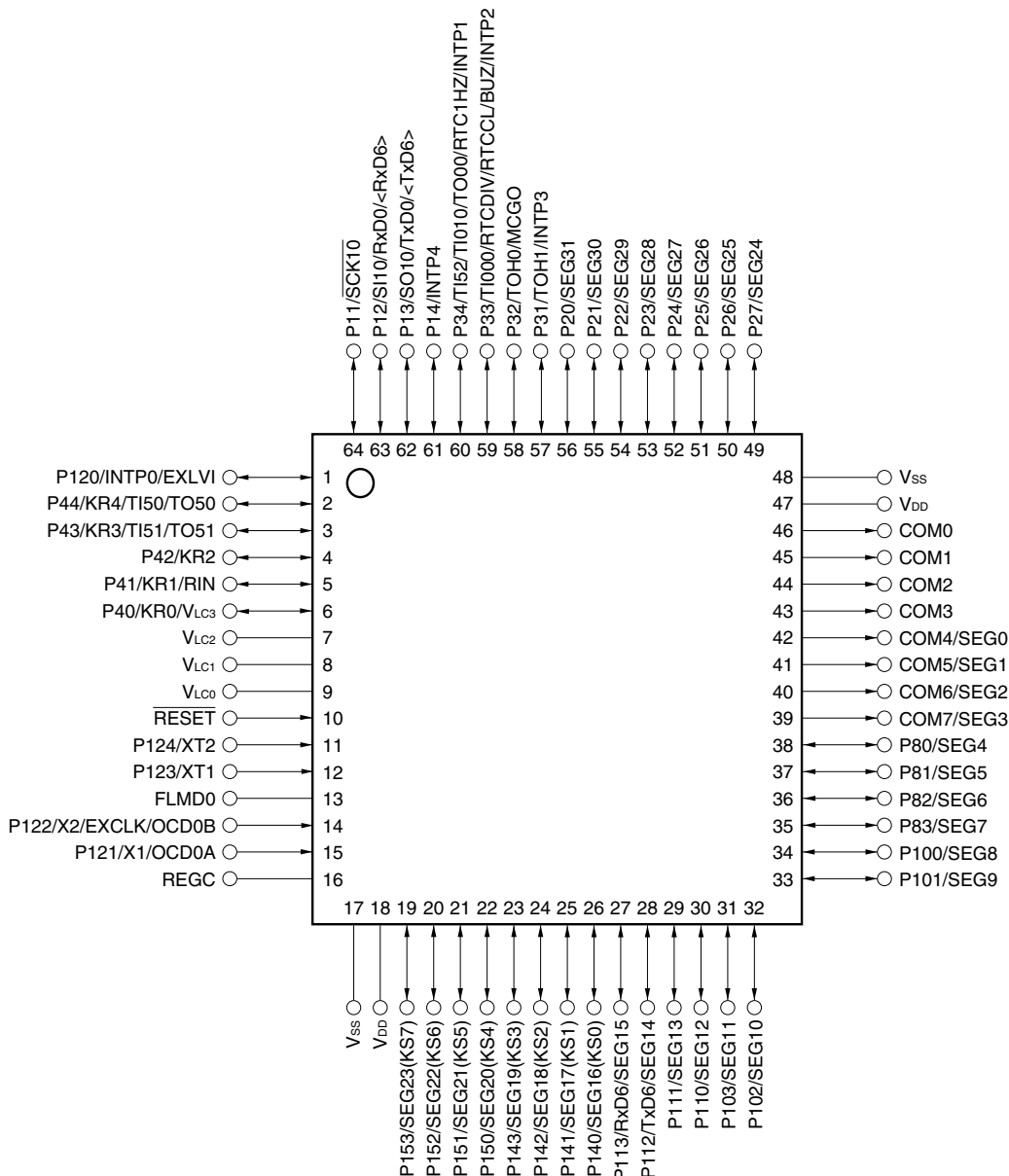
2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。

3. 端子名称は, 1.5 端子名称を参照してください。

1.4.3 78K0/LE3

(1) μ PD78F0441, 78F0442, 78F0443, 78F0444, 78F0445

- ・ 64ピン・プラスチックLQFP (ファインピッチ) (10x10)
- ・ 64ピン・プラスチックLQFP (12x12)

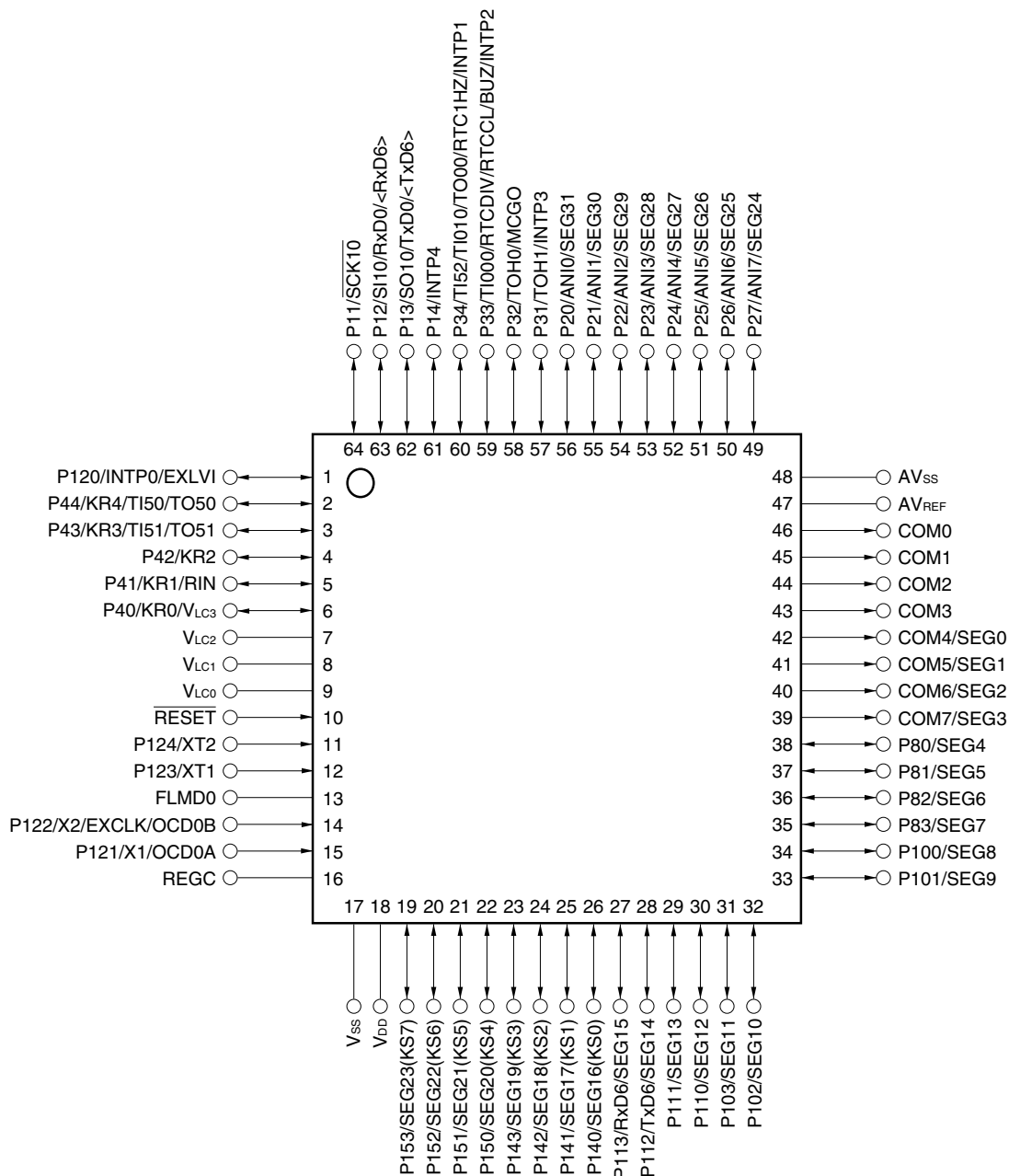


- 注意1.** REGCはコンデンサ (0.47~1 μ F : 推奨) を介し, Vssに接続してください。
2. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号 : 27, 28) のみ対応しています。上辺側 (ピン番号 : 63, 62) による書き込みはできません。
 3. VDD (ピン番号 : 18) とVDD (ピン番号 : 47) , Vss (ピン番号 : 17) とVss (ピン番号 : 48) は, それぞれ同電位にしてください。

- 備考1.** <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。
2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
 3. 端子名称は, 1.5 端子名称を参照してください。

(2) μ PD78F0451, 78F0452, 78F0453, 78F0454, 78F0455

- ・ 64ピン・プラスチックLQFP (ファインピッチ) (10x10)
- ・ 64ピン・プラスチックLQFP (12x12)
- ・ 64ピン・プラスチックTQFP (ファインピッチ) (7x7)



注意1. AV_{SS}はV_{SS}に接続してください。

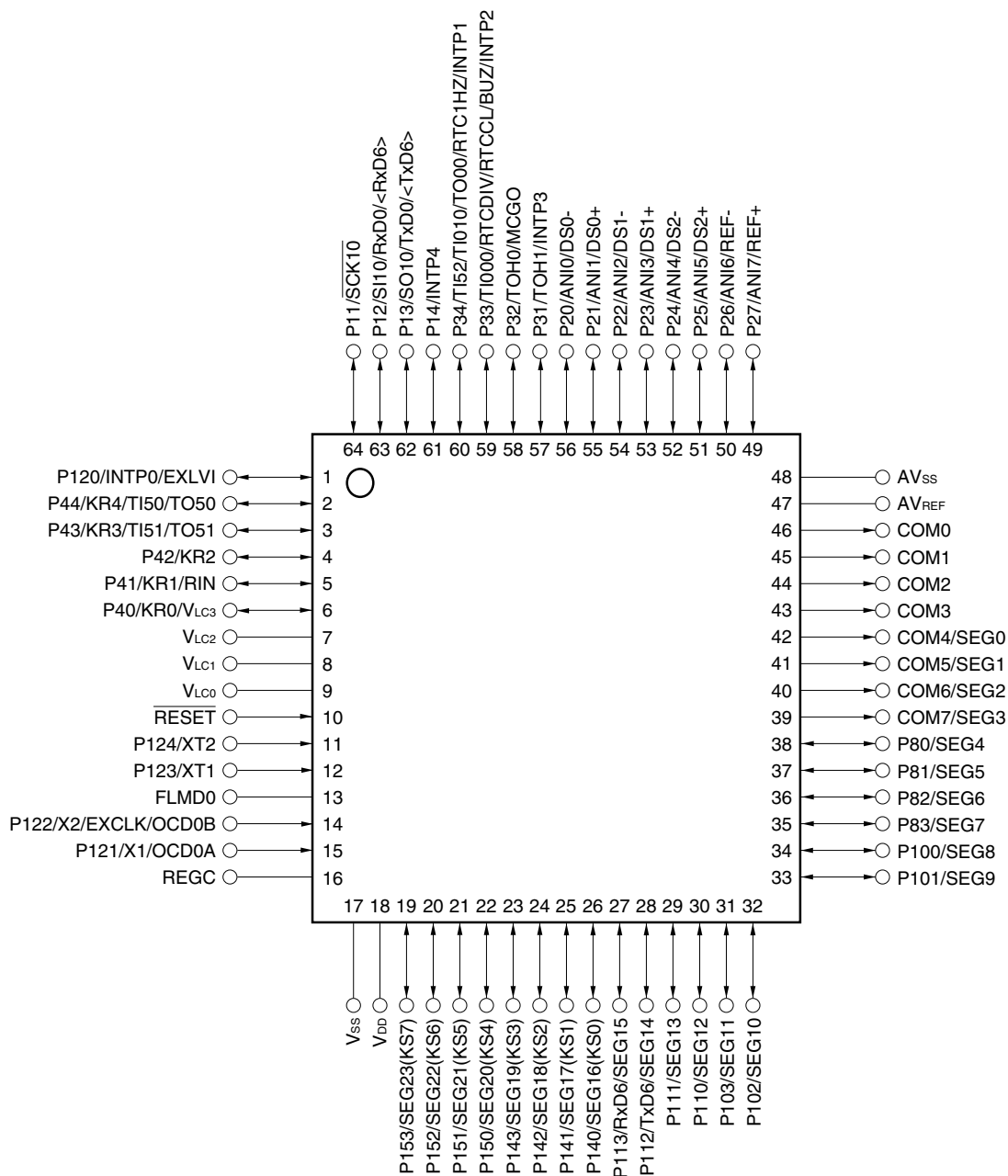
2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。
3. ANI0/P20-ANI7/P27は, リセット解除後はデジタル入力モードになります。
4. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号 : 27, 28) のみ対応しています。上辺側 (ピン番号 : 63, 62) による書き込みはできません。

備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
3. 端子名称は, 1.5 端子名称を参照してください。

(3) μ PD78F0461, 78F0462, 78F0463, 78F0464, 78F0465

- ・ 64ピン・プラスチックLQFP（ファインピッチ）（10x10）
- ・ 64ピン・プラスチックLQFP（12x12）



注意1. AV_{SS}はV_{SS}に接続してください。

2. REGCはコンデンサ（0.47 ~ 1 μ F：推奨）を介し、V_{SS}に接続してください。
3. ANI0/P20-ANI7/P27は、リセット解除後はデジタル入力モードになります。
4. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子（RxD6, TxD6）は、下辺側（ピン番号：27, 28）のみ対応しています。上辺側（ピン番号：63, 62）による書き込みはできません。

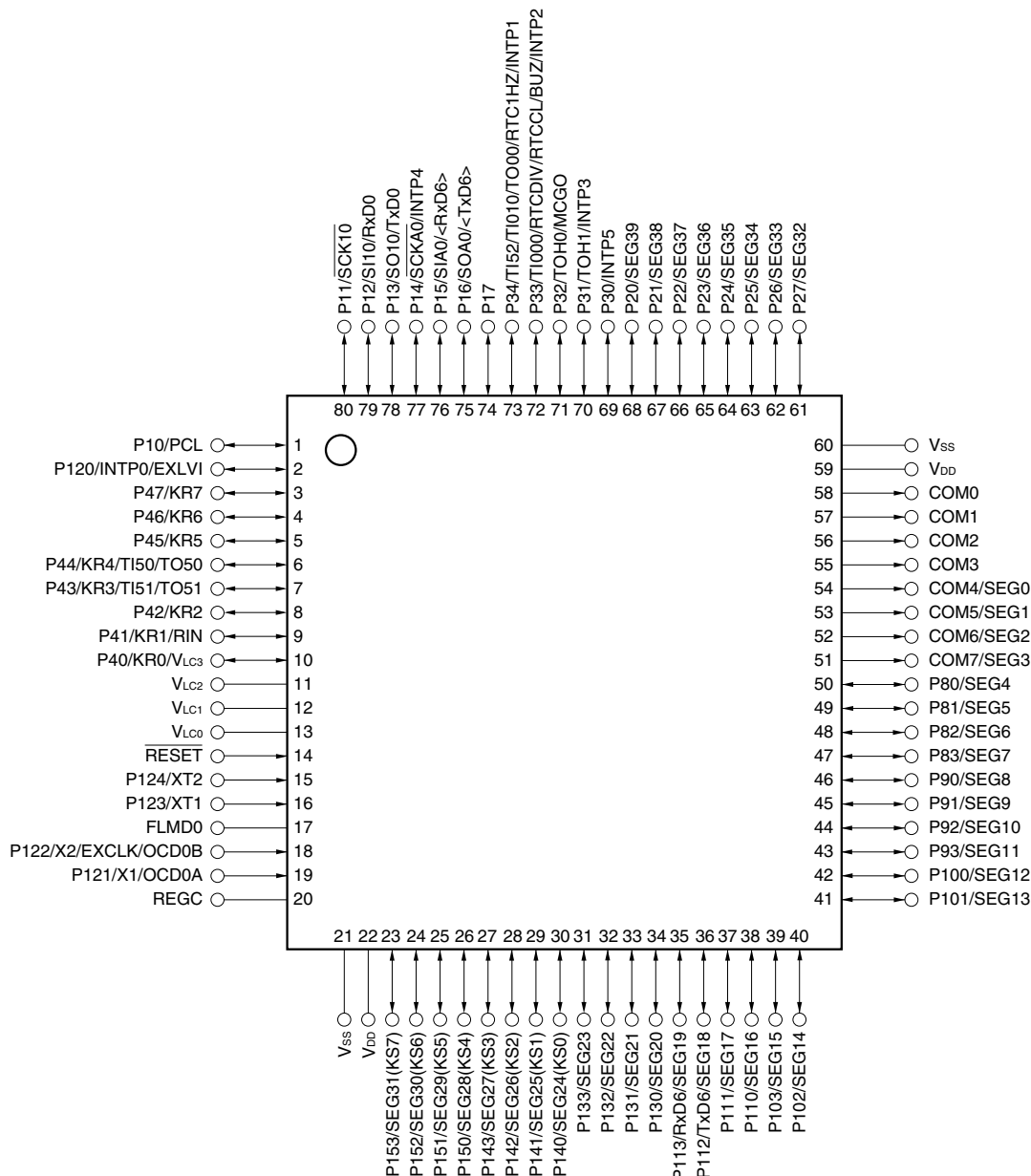
備考1. <>内の機能は、入力切り替え制御レジスタ（ISC）の設定により割り当て可能です。

2. ()内の機能は、LCDモード・レジスタ（LCDMD）の設定により使用できます。
3. 端子名称は、1.5 端子名称を参照してください。

1.4.4 78K0/LF3

(1) μ PD78F0471, 78F0472, 78F0473, 78F0474, 78F0475

- ・80ピン・プラスチックLQFP (14x14)
- ・80ピン・プラスチックLQFP (ファインピッチ) (12x12)



注意1. REGCはコンデンサ (0.47~1 μ F : 推奨) を介し, VSSに接続してください。

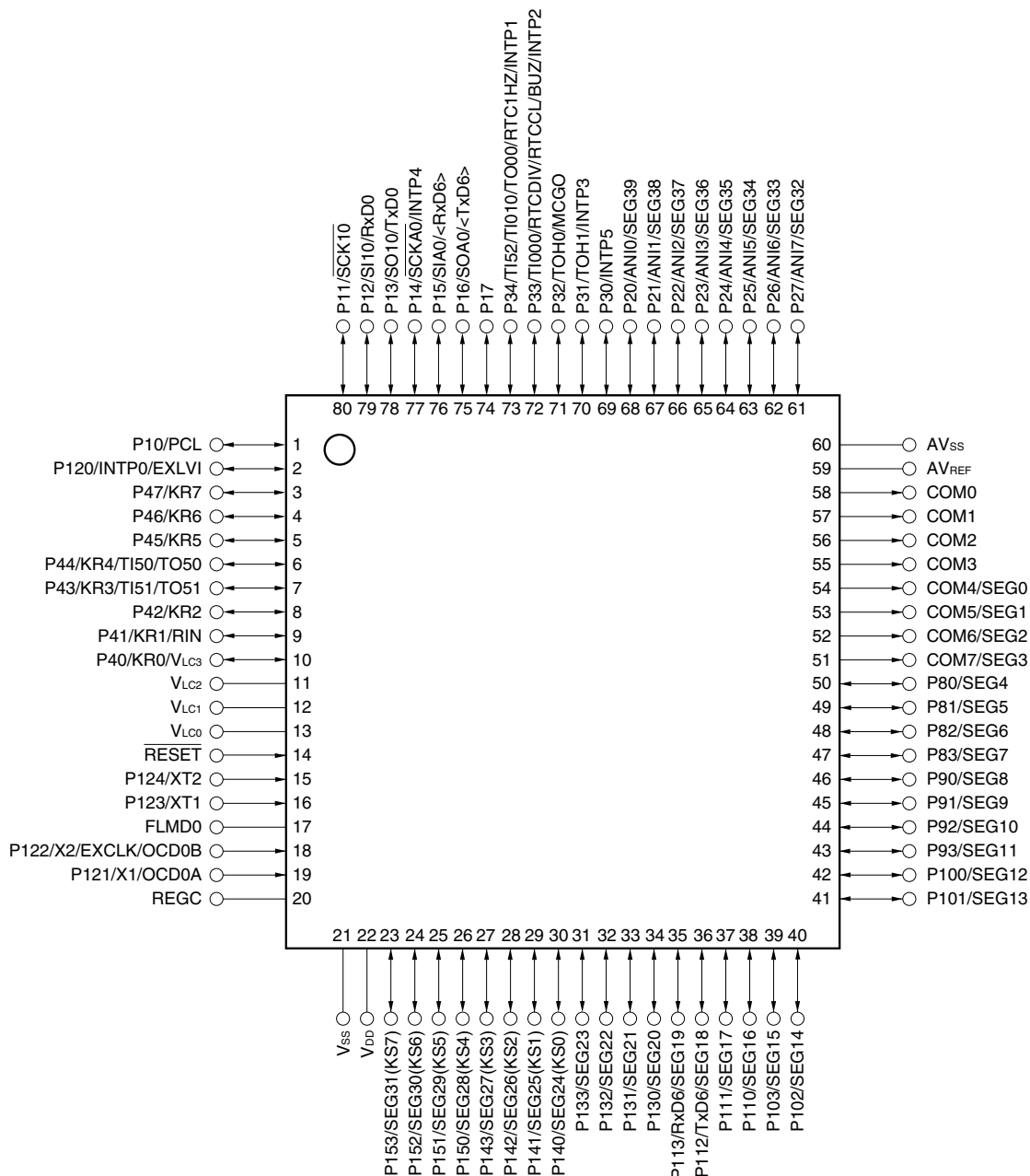
2. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号: 35, 36) のみ対応しています。上辺側 (ピン番号: 76, 75) による書き込みはできません。
3. VDD (ピン番号: 22) とVDD (ピン番号: 59), VSS (ピン番号: 21) とVSS (ピン番号: 60) は, それぞれ同電位にしてください。

備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
3. 端子名称は, 1.5 端子名称を参照してください。

(2) μ PD78F0481, 78F0482, 78F0483, 78F0484, 78F0485

- ・ 80ピン・プラスチックLQFP (14x14)
- ・ 80ピン・プラスチックLQFP (ファインピッチ) (12x12)



注意1. AV_{SS}はV_{SS}に接続してください。

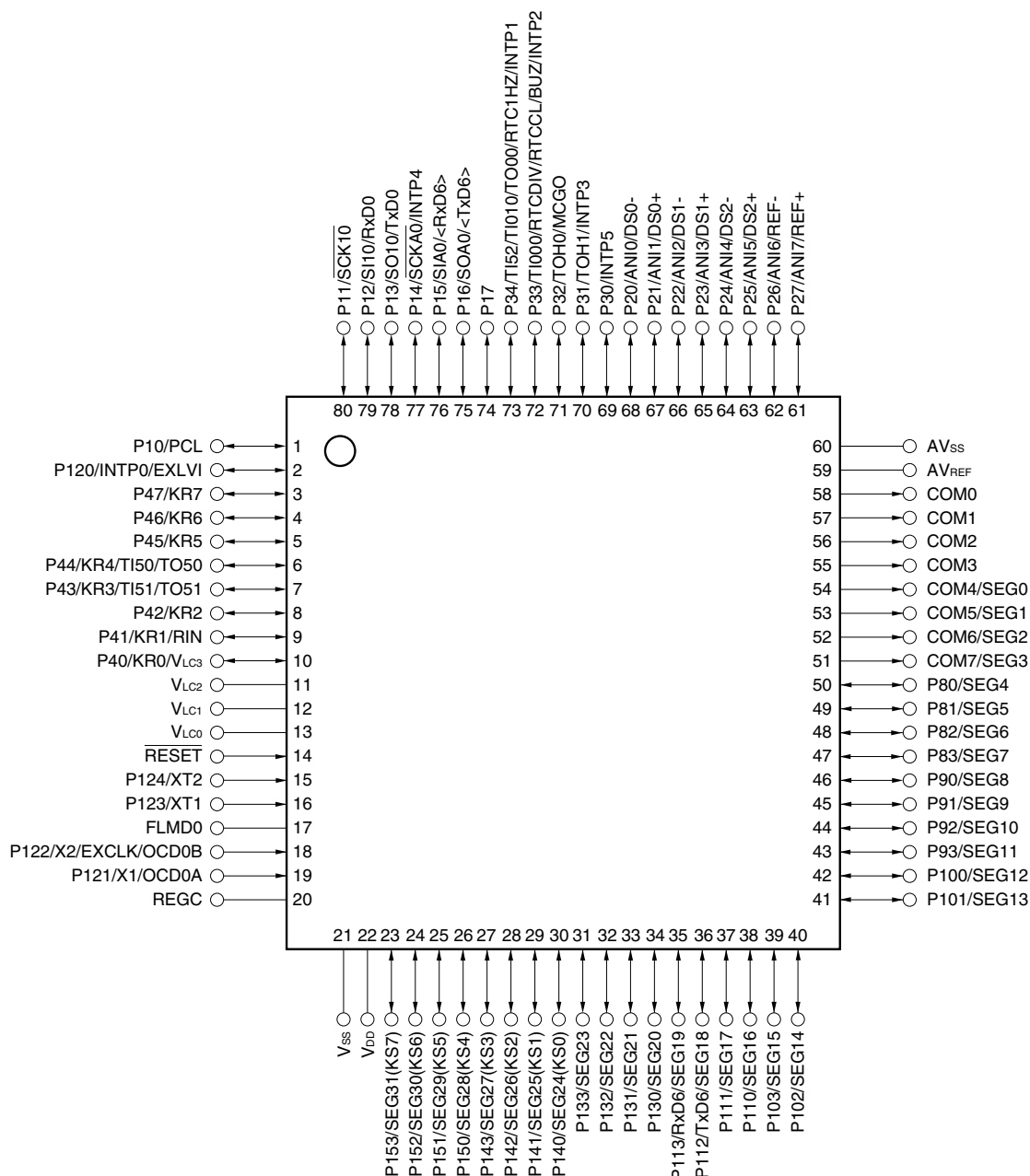
2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。
3. ANI0/P20-ANI7/P27は, リセット解除後はデジタル入力モードになります。
4. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号 : 35, 36) のみ対応しています。上辺側 (ピン番号 : 76, 75) による書き込みはできません。

備考1. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
3. 端子名称は, 1.5 端子名称を参照してください。

(3) μ PD78F0491, 78F0492, 78F0493, 78F0494, 78F0495

- ・ 80ピン・プラスチックLQFP (14x14)
- ・ 80ピン・プラスチックLQFP (ファインピッチ) (12x12)



- 注意1.** AV_{SS}はV_{SS}に接続してください。
2. REGCはコンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V_{SS}に接続してください。
 3. ANI0/P20-ANI7/P27は, リセット解除後はデジタル入力モードになります。
 4. フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は, 下辺側 (ピン番号 : 35, 36) のみ対応しています。上辺側 (ピン番号 : 76, 75) による書き込みはできません。

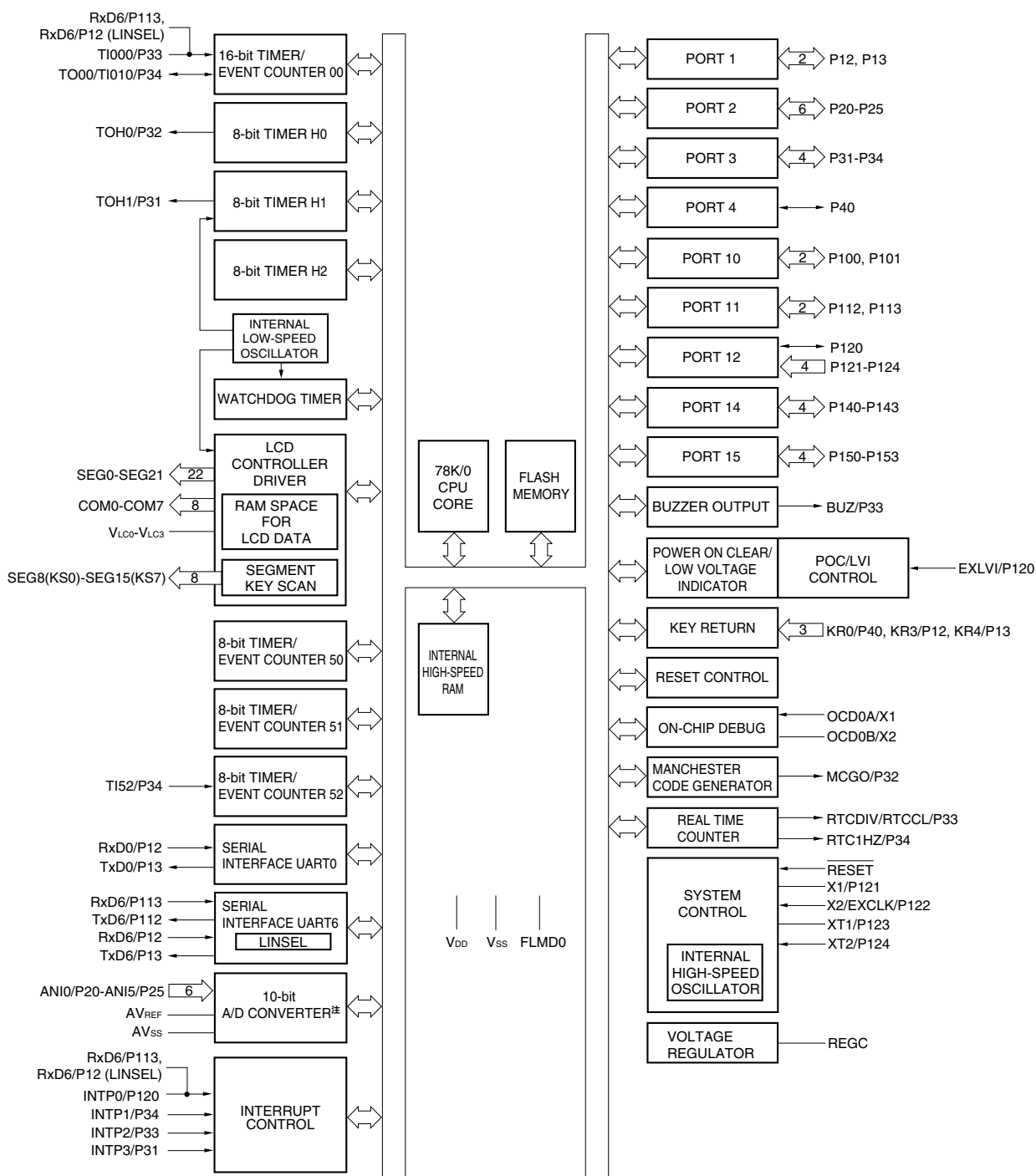
- 備考1.** <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。
2. ()内の機能は, LCDモード・レジスタ (LCDMD) の設定により使用できます。
 3. 端子名称は, 1.5 端子名称を参照してください。

1.5 端子名称

ANI0-ANI7	: Analog Input	REF+	: Analog Reference Voltage(+)
AV _{REF}	: Analog Reference Voltage	REF-	: Analog Reference Voltage(-)
AV _{SS}	: Analog Ground	RIN	: Remote Control Input
BUZ	: Buzzer Output	RTC1HZ	: Real-time Counter Correction Clock (1 Hz) Output
COM0-COM7	: Common Output	RTCCL	: Real-time Counter Clock (32.768 kHz Original Oscillation) Output
DS0+-DS2+	: Analog Input (+)	RTCDIV	: Real-time Counter Clock (32.768 kHz Divided Frequency) Output
DS0--DS2-	: Analog Input (-)	SEG0-SEG39	: Segment Output
EXCLK	: External Clock Input (Main System Clock)	SEGxx (KS0)	
EXLVI	: External potential Input for Low-voltage Detector	-SEGxx (KS7)	: Segment Key Scan
FLMD0	: Flash Programming Mode	$\overline{\text{SCK10}}$: Serial Clock Input/Output
INTP0-INTP5	: External Interrupt Input	$\overline{\text{SCKA0}}$: Serial Clock Input/Output
KR0-KR7	: Key Return	SI10	: Serial Data Input
MCGO	: Manchester Code Generator Output	SIA0	: Serial Data Input
OCD0A, OCD0B	: On Chip Debug Input/Output	SO10	: Serial Data Output
P10-P17	: Port 1	SOA0	: Serial Data Output
P20-P27	: Port 2	TI000, TI010	: Timer Input
P30-P34	: Port 3	TI50, TI51, TI52	: Timer Input
P40-P47	: Port 4	TO00	: Timer Output
P80-P83	: Port 8	TO50, TO51	: Timer Output
P90-P93	: Port 9	TOH0, TOH1	: Timer Output
P100-P103	: Port 10	TxD0, TxD6	: Transmit Data
P110-P113	: Port 11	V _{DD}	: Power Supply
P120-P124	: Port 12	V _{SS}	: Ground
P130-P133	: Port 13	V _{LC0-V_{LC3}}	: LCD Power Supply
P140-P143	: Port 14	X1, X2	: Crystal Oscillator (Main System Clock)
P150-P153	: Port 15	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
PCL	: Programmable Clock Output		
REGC	: Regulator Capacitance		
$\overline{\text{RESET}}$: Reset		
RxD0, RxD6	: Receive Data		

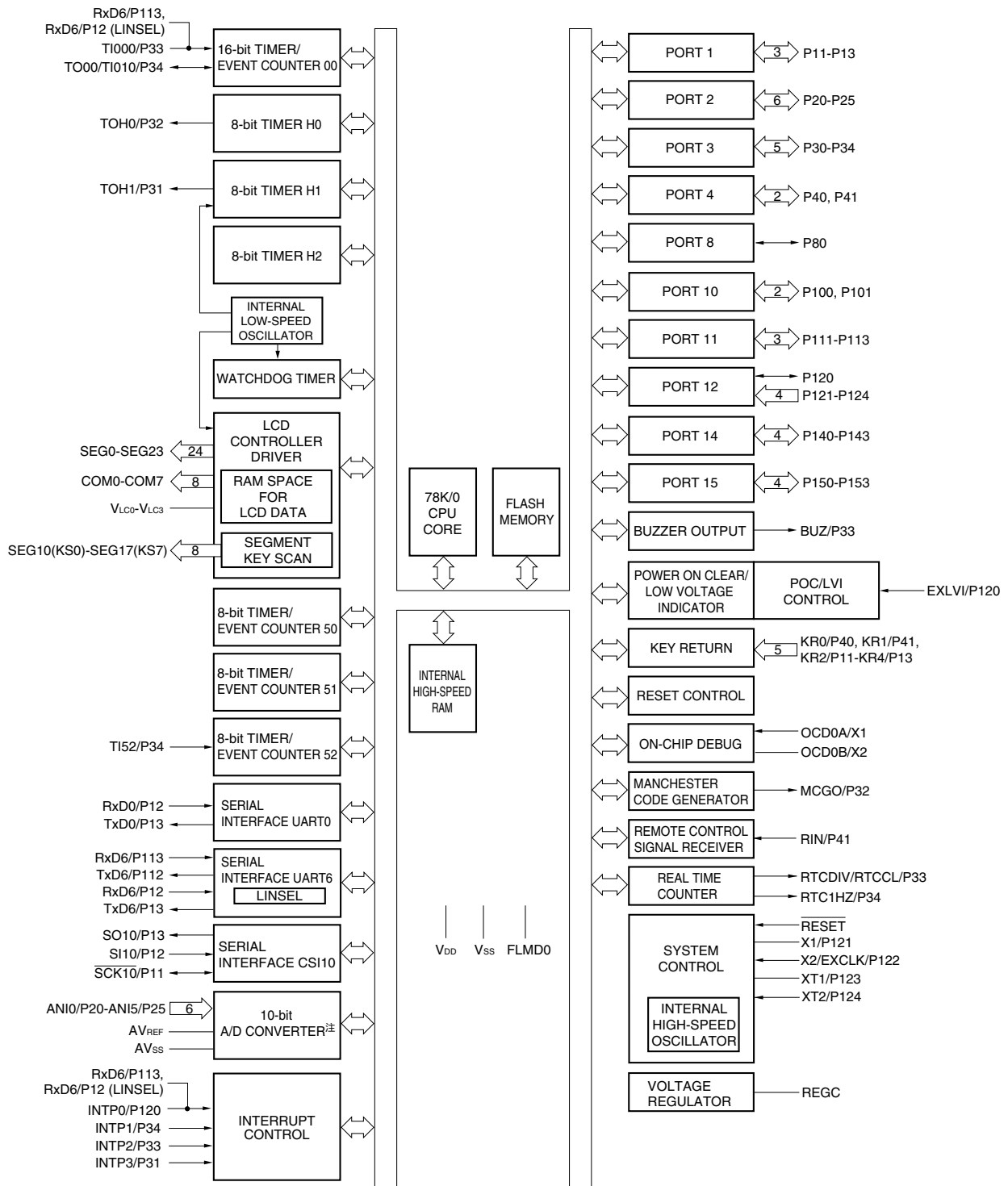
1.6 ブロック図

1.6.1 78K0/LC3



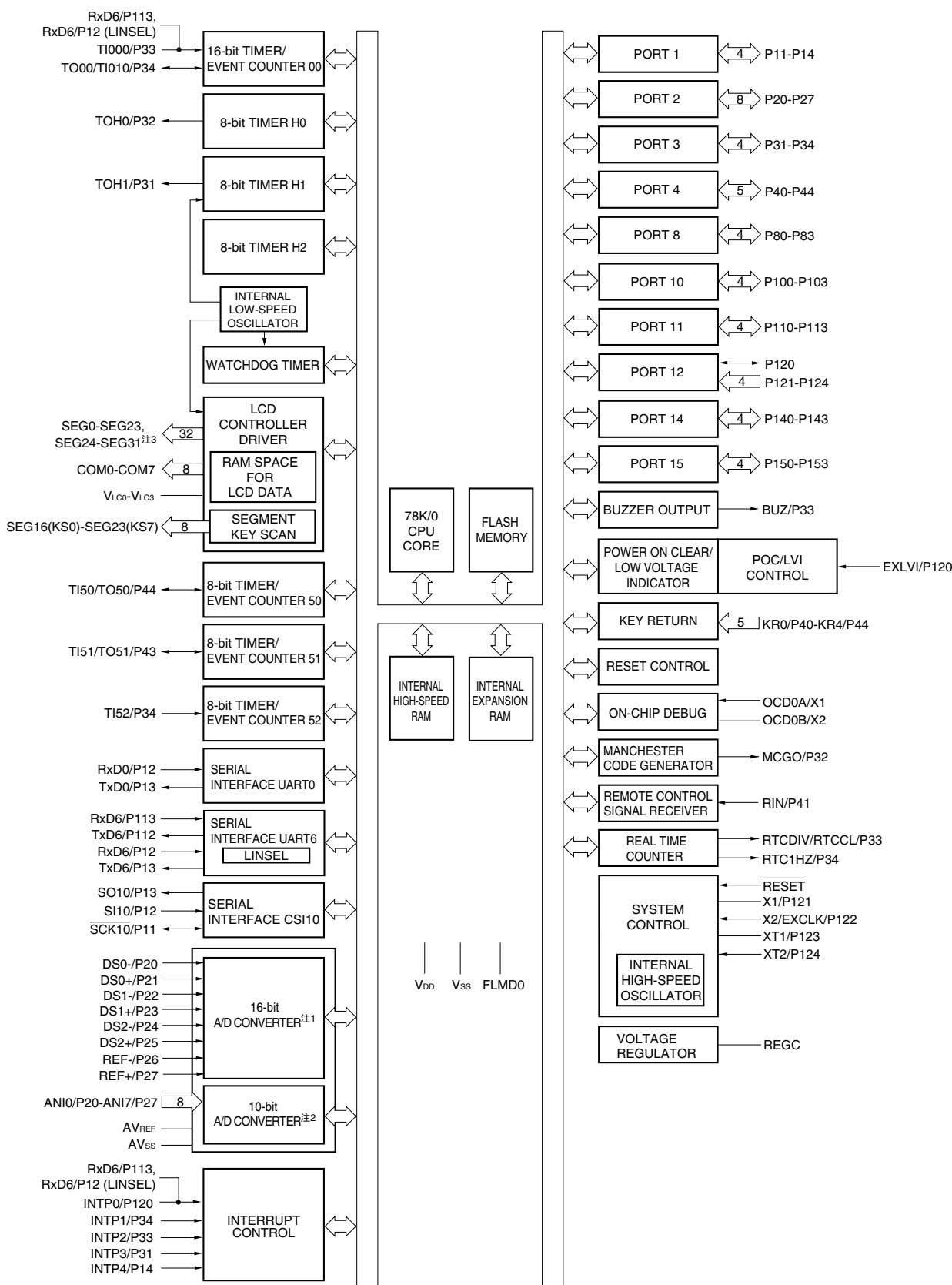
注 μ PD78F041xのみ。

1.6.2 78K0/LD3



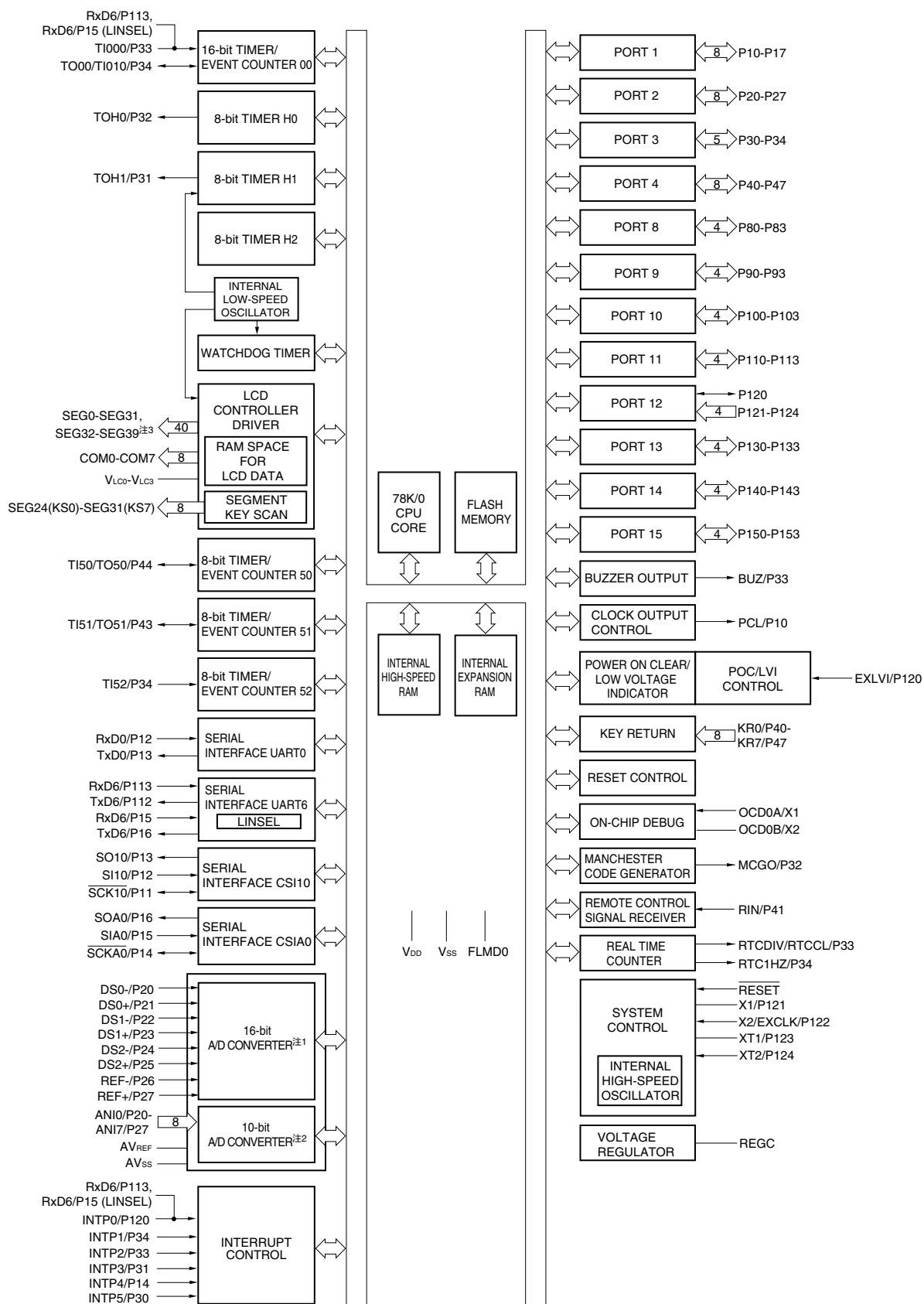
注 μ PD78F043xのみ。

1.6.3 78K0/LE3



- 注1. μ PD78F046xのみ。
 2. μ PD78F045x, 78F046xのみ。
 3. μ PD78F044x, 78F045xのみ。

1.6.4 78K0/LF3



- 注1. μ PD78F049xのみ。
- 2. μ PD78F048x, 78F049xのみ。
- 3. μ PD78F047x, 78F048xのみ。

1.7 機能概要

(1/3)

項 目	78K0/LC3								78K0/LD3									
	μ PD78F040x				μ PD78F041x				μ PD78F042x				μ PD78F043x					
	48ピン								52ピン									
フラッシュ・メモリ (Kバイト)	8	16	24	32	8	16	24	32	8	16	24	32	8	16	24	32		
高速RAM (Kバイト)	0.5	0.75	1	1	0.5	0.75	1	1	0.5	0.75	1	1	0.5	0.75	1	1		
拡張RAM (Kバイト)	-								-									
LCD表示用RAM (ビット)	22 × 4 (18 × 8) ^{注4}								24 × 4 (20 × 8) ^{注4}									
メモリ空間 (Kバイト)	64																	
電源電圧	V _{DD} = 1.8 ~ 5.5 V																	
レギュレータ	内蔵																	
最小命令実行時間	0.2 μ s (10 MHz : V _{DD} = 2.7 ~ 5.5 V) / 0.4 μ s (5 MHz : V _{DD} = 1.8 ~ 5.5 V)																	
ポート (合計)	30								34									
ク ロ ッ ク	メ イ ン	高速システム	10 MHz : V _{DD} = 2.7 ~ 5.5 V / 5 MHz : V _{DD} = 1.8 ~ 5.5 V															
		高速内蔵発振	8 MHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V															
	サブ	サブ	32.768 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V															
		低速内蔵発振	240 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V															
タ イ マ	16ビット (TM0)	1 ch																
	8ビット (TM5)	3 ch																
	8ビット (TMH)	3 ch																
	リアルタイム・カウンタ (RTC)	1 ch																
	ウォッチドッグ (WDT)	1 ch																
イ ン タ フ エ ー ス	シ リ ア ル ・ ブ ー ス	3線式CSI	-								1 ch ^{注1}							
		UART	1 ch								1 ch ^{注1}							
		LIN-bus対応UART	1 ch ^{注2}								1 ch ^{注3}							
L C D	タイプ	外部抵抗分割 / 内部抵抗分割を切り替え可能																
	セグメント信号出力	22 (18) [20 (16)] ^{注4, 5}								24 (20) [21 (17)] ^{注4, 5}								
	コモン信号出力	4 (8) ^{注4}																
10ビット逐次比較型A/D	-				6 ch				-				6 ch					
16ビット 型A/D	-																	
割 り 込 み	外部	5																
	内部	17				18				19				20				
セグメント・キー・ソース 信号出力	8ch								8ch									
キー割り込み	3ch								5ch									
リ セ ッ ト	RESET端子	あり																
	POC	1.59 V \pm 0.15 V																
	LVI	電源電圧の検出レベルを16段階選択可能																
	WDT	あり																
クロック出力	-																	
ブザー出力	あり																	
リモコン受信回路									あり									
MCG	あり																	
オンチップ・デバッグ機能	あり																	
動作周囲温度	T _A = - 40 ~ + 85																	

注1. 3線式CSIとUARTは端子を兼用しているため、どちらかを選択して使用します。

2. LIN-bus対応UARTの端子は、UARTの端子 (ピン番号 : 47, 48) に変更可能です。

3. LIN-bus対応UARTの端子は、3線式CSI/UARTの端子 (ピン番号 : 50, 51) に変更可能です。

4. () 内は8com使用時の信号出力本数です。

5. [] 内はUART6の端子 (RxD6, TxD6) を下辺側で使用する場合の信号出力本数です。

(2/3)

78K0/Lx3		78K0/LE3														
		μ PD78F044x					μ PD78F045x					μ PD78F046x				
項 目		64ピン														
フラッシュ・メモリ (Kバイト)		16	24	32	48	60	16	24	32	48	60	16	24	32	48	60
高速RAM (Kバイト)		0.75	1	1	1	1	0.75	1	1	1	1	0.75	1	1	1	1
拡張RAM (Kバイト)		-	-	-	1	1	-	-	-	1	1	-	-	-	1	1
LCD表示用RAM (ビット)		32 × 4 (28 × 8) ^{注3}										24 × 4 (20 × 8) ^{注3}				
メモリ空間 (Kバイト)		64														
電源電圧		V _{DD} = 1.8 ~ 5.5 V														
レギュレータ		内蔵														
最小命令実行時間		0.2 μ s (10 MHz : V _{DD} = 2.7 ~ 5.5 V) / 0.4 μ s (5 MHz : V _{DD} = 1.8 ~ 5.5 V)														
ポート (合計)		46														
クロック	メイン	10 MHz : V _{DD} = 2.7 ~ 5.5 V / 5 MHz : V _{DD} = 1.8 ~ 5.5 V														
	サブ	32.768 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V														
	低速内蔵発振	240 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V														
	高速内蔵発振	8 MHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V														
タイマ	16ビット (TM0)	1 ch														
	8ビット (TM5)	3 ch														
	8ビット (TMH)	3 ch														
	リアルタイム・カウンタ (RTC)	1 ch														
	ウォッチドッグ (WDT)	1 ch														
インタフェース	シリアル	3線式CSI/UART ^{注1}														
	パラレル	LIN-bus対応 UART ^{注2}														
LCD	タイプ	外部抵抗分割 / 内部抵抗分割を切り替え可能														
	セグメント信号出力	32 (28) [28 (24)] ^{注3, 4}										24 (20) [20 (16)] ^{注3, 4}				
	コモン信号出力	4 (8) ^{注3}														
10ビット逐次比較型A/D		-					8 ch									
16ビット 型A/D		-					3 ch									
割り込み	外部	6														
	内部	19					20					21				
セグメント・キー・ソース信号出力		8 ch														
キー割り込み		5 ch														
リセット	RESET端子	あり														
	POC	1.59 V \pm 0.15 V														
	LVI	電源電圧の検出レベルを16段階選択可能														
	WDT	あり														
クロック出力																
ブザー出力		あり														
リモコン受信回路		あり														
MCG		あり														
オンチップ・デバッグ機能		あり														
動作周囲温度		TA = -40 ~ +85														

注1. 端子を兼用しているため、どちらかを選択して使用します。

2. LIN-bus対応UARTの端子は、3線式CSI/UARTの端子 (ピン番号: 62, 63) に変更可能です。

3. () 内は8com使用時の信号出力本数です。

4. [] 内はUART6の端子 (Rx/D6, Tx/D6) を下辺側で使用する場合の信号出力本数です。

(3/3)

78K0/Lx3		78K0/LF3														
		μ PD78F047x					μ PD78F048x					μ PD78F049x				
項 目		80ピン														
フラッシュ・メモリ (Kバイト)		16	24	32	48	60	16	24	32	48	60	16	24	32	48	60
高速RAM (Kバイト)		0.75	1	1	1	1	0.75	1	1	1	1	0.75	1	1	1	1
拡張RAM (Kバイト)		-	-	-	1	1	-	-	-	1	1	-	-	-	1	1
LCD表示用RAM (ビット)		40 × 4 (36 × 8) ^{注3}										32 × 4 (28 × 8) ^{注3}				
メモリ空間 (Kバイト)		64														
電源電圧		V _{DD} = 1.8 ~ 5.5 V														
レギュレータ		内蔵														
最小命令実行時間		0.2 μ s (10 MHz : V _{DD} = 2.7 ~ 5.5 V) / 0.4 μ s (5 MHz : V _{DD} = 1.8 ~ 5.5 V)														
ポート (合計)		62														
ク ロ ク ク	メイン	10 MHz : V _{DD} = 2.7 ~ 5.5 V / 5 MHz : V _{DD} = 1.8 ~ 5.5 V														
	サブ	8 MHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V														
	サブ	32.768 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V														
	低速内蔵発振	240 kHz (TYP.) : V _{DD} = 1.8 ~ 5.5 V														
タ イ マ	16ビット (TM0)	1 ch														
	8ビット (TM5)	3 ch														
	8ビット (TMH)	3 ch														
	リアルタイム・カウンタ (RTC)	1 ch														
	ウォッチドッグ (WDT)	1 ch														
イ ン タ フ ェ ー ス	シリアル	3線式CSI/UART ^{注1}														
	自動送受信3線式CSI	1 ch														
	LIN-bus対応UART ^{注2}	1 ch														
L C D	タイプ	外部抵抗分割 / 内部抵抗分割を切り替え可能														
	セグメント信号出力	40 (36) [36 (32)] ^{注3, 4}										32 (28) [28 (24)] ^{注3, 4}				
	コモン信号出力	4 (8) ^{注3}														
10ビット逐次比較型A/D		-					8 ch									
16ビット 型A/D		-					3 ch									
割 り 込 み	外部						7									
	内部	20					21					22				
セグメント・キー・ソース信号出力		8 ch														
キー割り込み		8 ch														
リ セ ッ ト	RESET端子	あり														
	POC	1.59 V ± 0.15 V														
	LVI	電源電圧の検出レベルを16段階選択可能														
	WDT	あり														
クロック出力/ブザー出力		あり														
リモコン受信回路		あり														
MCG		あり														
オンチップ・デバッグ機能		あり														
動作周囲温度		T _A = -40 ~ +85														

注1. 端子を兼用しているため、どちらかを選択して使用します。

2. LIN-bus対応UARTの端子は、自動送受信3線式CSIの端子 (ピン番号 : 75, 76) に変更可能です。

3. () 内は8com使用時の信号出力本数です。

4. [] 内はUART6の端子 (Rx/D6, Tx/D6) を下辺側で使用する場合は信号出力本数です。

次にタイマの概要を示します。

		16ビット・タイマ/イ ベント・カウンタ00	8ビット・タイマ/イベ ント・カウンタ50, 51, 52			8ビット・タイマ H0, H1, H2			リアルタ イム・カウ ンタ	ウォッチ ドッグ・ タイマ
		TM00	TM50	TM51	TM52	TMH0	TMH1	TMH2		
機能	インターバル・タイマ	1チャンネル	1チャ ネル	1チャ ネル	1チャ ネル	1チャ ネル	1チャ ネル	1チャ ネル	1チャンネル ^{注4}	-
	外部イベント・カウンタ	1チャンネル ^{注1}	1チャ ネル ^{注2}	1チャ ネル ^{注2}	1チャ ネル ^{注1}	-	-	- ^{注1}	-	-
	PPG出力	1出力	-	-	-	-	-	-	-	-
	PWM出力	-	1出力 ^{注2}	1出力 ^{注2}	-	1出力	1出力	-	-	-
	パルス幅測定	2入力	-	-	-	-	-	-	-	-
	方形波出力	1出力	1出力 ^{注2}	1出力 ^{注2}	-	1出力	1出力	-	-	-
	キャリア・ジェネレータ	-	-	- ^{注3}	-	-	1出力 ^{注3}	-	-	-
	カレンダー機能	-	-	-	-	-	-	-	1チャンネル ^{注4}	-
	RTC出力	-	-	-	-	-	-	-	2出力 ^{注5}	-
	ウォッチドッグ・タイマ	-	-	-	-	-	-	-	-	1チャンネル
割り込み要因		2	1	1	1	1	1	1	1	-

注1. TM52とTM00をカスケード接続することにより、24ビット・カウンタとして使用できます。またTM52の外部イベント入力は、TMH2によって入力イネーブル制御可能です。

2. 78K0/LE3, 78K0/LF3のみ

3. TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

4. リアルタイム・カウンタはインターバル・タイマとカレンダー機能を同時に使用可能です。

5. 1Hz出力を1出力、512Hzまたは16.384kHzまたは32.768kHzを1出力として使用できます。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{REF} ^注、 V_{LC0} 、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{REF} ^注	P20-P27
V_{LC0}	COM0-COM7, SEG0-SEG39, V_{LC0} - V_{LC3}
V_{DD}	上記以外の端子

注 μ PD78F041x, 78F043x, 78F045x, 78F046x, 78F048x, 78F049xのみ。

μ PD78F040x, 78F042x, 78F044x, 78F047xでは、 V_{DD} となります。

2.1.1 78K0/LC3

(1) ポート機能：78K0/LC3

端子名称	入出力	機能	リセット時	兼用端子
P12	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RxD0/KR3/<RxD6>
P13				TxD0/KR4/<TxD6>
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	SEG21/ANI0 ^注
P21				SEG20/ANI1 ^注
P22				SEG19/ANI2 ^注
P23				SEG18/ANI3 ^注
P24				SEG17/ANI4 ^注
P25				SEG16/ANI5 ^注
P31	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34				TI52/TI010/TO00/ RTC1HZ/INTP1
P40	入出力	ポート4。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	V _{LCS} /KR0
P100, P101	入出力	ポート10。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4, SEG5
P112	入出力	ポート11。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG6/TxD6
P113				SEG7/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。また、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OCDOA
P122				X2/EXCLK/OCDOB
P123				XT1
P124				XT2
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8 (KS0) -SEG11 (KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12 (KS4) -SEG15 (KS7)

注 μ PD78F041xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(2) ポート以外の機能 (1/2) : 78K0/LC3

端子名称	入出力	機能	リセット時	兼用端子
ANI0 ^注	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/SEG21
ANI1 ^注				P21/SEG20
ANI2 ^注				P22/SEG19
ANI3 ^注				P23/SEG18
ANI4 ^注				P24/SEG17
ANI5 ^注				P25/SEG16
AV _{REF} ^注	入力	10ビット逐次比較型A/Dコンバータの基準電圧入力、およびポート2の正電源。	-	-
AV _{SS} ^注	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	出力	COM4-COM7
SEG4, SEG5			入力ポート	P100, P101
SEG6				P112/TxD6
SEG7				P113/RxD6
SEG8 (KS0) -SEG11 (KS3)		LCDコントローラ/ドライバのセグメント信号出力。 セグメント・キー・ソース信号同時出力が可能。		P140-P143
SEG12 (KS4) -SEG15 (KS7)				P150-P153
SEG16		LCDコントローラ/ドライバのセグメント信号出力	デジタル 入力ポート	P25/ANI5 ^注
SEG17				P24/ANI4 ^注
SEG18				P23/ANI3 ^注
SEG19				P22/ANI2 ^注
SEG20				P21/ANI1 ^注
SEG21				P20/ANI0 ^注
COM0-COM3		出力	LCDコントローラ/ドライバのコモン信号出力	出力
COM4-COM7	SEG0-SEG3			
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
V _{LC3}			入力ポート	P40/KR0
BUZ	出力	ブザー出力	入力ポート	P33/TI000/RTCDIV /RTCCL/INTP2
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下 がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P34/TI52/TI010/ TO00/RTC1HZ
INTP2				P33/TI000/RTCDIV /RTCCL/BUZ
INTP3				P31/TOH1
KR0	入力	キー割り込み入力、またはセグメント・キー・スキャン入力	入力ポート	P40/V _{LC3}
KR3				P12/RxD0/ <RxD6>
KR4				P13/TxD0/<TxD6>
MCGO	出力	マンチェスタ・コード出力	入力ポート	P32/TOH0

注 μ PD78F041xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(2) ポート以外の機能 (2/2) : 78K0/LC3

端子名称	入出力	機能	リセット時	兼用端子
RESET	入力	システム・リセット入力	-	-
RTCDIV	出力	リアルタイム・カウンタ・クロック (32.768 kHz分周) 出力	入力ポート	P33/TI000/RTCCCL/ BUZ/INTP2
RTCCCL	出力	リアルタイム・カウンタ・クロック (32.768 kHz原発) 出力	入力ポート	P33/TI000/RTCDIV/ /BUZ/INTP2
RTC1HZ	出力	リアルタイム・カウンタ・クロック (1 Hz) 出力	入力ポート	P34/TI52/TI010/ TO00/INTP1
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P12/ KR3/<RxD6>
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P113/SEG7
<RxD6>				P12/RxD0/KR3
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・ク ロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P33/RTCDIV/ RTCCCL/BUZ/ INTP2
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ (CR000) へのキャプチャ・トリガ入力		P34/TI52/TO00/ RTC1HZ/INTP1
TI52	入力	8ビット・タイマ/イベント・カウンタ52への外部カウント・ク ロック入力	入力ポート	P34/TI010/TO00/ RTC1HZ/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P34/TI52/TI010/ RTC1HZ/INTP1
TOH0	出力	8ビット・タイマH0出力	入力ポート	P32/MCGO
TOH1		8ビット・タイマH1出力		P31/INTP3
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P13/KR4/<TxD6>
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P112/SEG6
<TxD6>				P13/TxD0/KR4
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OC0A
X2	-			P122/EXCLK/OC0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-			P124
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
OC0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OC0B	-			P122/X2/EXCLK

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2.1.2 78K0/LD3

(1) ポート機能 (1/2) : 78K0/LD3

端子名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/KR2
P12				SI10/RxD0/ <RxD6>/KR3
P13				SO10/TxD0/ <TxD6>/KR4
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	SEG23/ANI0 ^注
P21				SEG22/ANI1 ^注
P22				SEG21/ANI2 ^注
P23				SEG20/ANI3 ^注
P24				SEG19/ANI4 ^注
P25				SEG18/ANI5 ^注
P31	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34				TI52/TI010/TO00/ RTC1HZ/INTP1
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	V _{LCS} /KR0
P41				RIN/KR1
P80	入出力	ポート8。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4
P100, P101	入出力	ポート10。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG5, SEG6
P111	入出力	ポート11。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG7
P112				SEG8/TxD6
P113				SEG9/RxD6

注 μ PD78F043xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(1) ポート機能 (2/2) : 78K0/LD3

端子名称	入出力	機能	リセット時	兼用端子
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと4ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。また、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG10 (KS0) -SEG13 (KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG14 (KS4) -SEG17 (KS7)

(2) ポート以外の機能 (1/3) : 78K0/LD3

端子名称	入出力	機能	リセット時	兼用端子
ANI0 ^注	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/SEG23
ANI1 ^注				P21/SEG22
ANI2 ^注				P22/SEG21
ANI3 ^注				P23/SEG20
ANI4 ^注				P24/SEG19
ANI5 ^注				P25/SEG18
AV _{REF} ^注	入力	10ビット逐次比較型A/Dコンバータの基準電圧入力およびポート2の正電源	-	-
AV _{SS} ^注	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	出力	COM4-COM7
SEG4			入力ポート	P80
SEG5, SEG6				P100, P101
SEG7				P111
SEG8				P112/TxD6
SEG9				P113/RxD6
SEG10 (KS0) -SEG13 (KS3)				P140-P143
SEG14 (KS4) -SEG17 (KS7)			P150-P153	
SEG18			LCDコントローラ/ドライバのセグメント信号出力	P25/ANI5 ^注
SEG19		P24/ANI4 ^注		
SEG20		P23/ANI3 ^注		
SEG21		P22/ANI2 ^注		
SEG22		P21/ANI1 ^注		
SEG23		P20/ANI0 ^注		
COM0-COM3		出力	LCDコントローラ/ドライバのコモン信号出力	出力
COM4-COM7	SEG0-SEG3			
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
V _{LC3}			入力ポート	P40/KR0

注 μ PD78F043xのみ。

(2) ポート以外の機能 (2/3) : 78K0/LD3

端子名称	入出力	機能	リセット時	兼用端子
BUZ	出力	ブザー出力	入力ポート	P33/TI000/RTCDIV/ RTCCL/INTP2
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P34/TI52/TI010/ TO00/RTC1HZ
INTP2				P33/TI000/RTCDIV/ RTCCL/BUZ
INTP3				P31/TOH1
KR0	入力	キー割り込み入力, またはセグメント・キー・スキャン入力	入力ポート	P40/V _{LC3}
KR1				P41/RIN
KR2				P11/SCK10
KR3				P12/SI10/RxD0/ <RxD6>
KR4				P13/SO10/TxD0/ <TxD6>
MCGO	出力	マンチェスタ・コード出力	入力ポート	P32/TOH0
REGC	-	内部動作レギュレータ出力 (2.4 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μF : 推奨) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RIN	入力	リモコン受信データ入力	入力ポート	P41/KR1
RTCDIV	出力	リアルタイム・カウンタ・クロック (32.768 kHz分周) 出力	入力ポート	P33/TI000/RTCCL/ BUZ/INTP2
RTCCL	出力	リアルタイム・カウンタ・クロック (32.768 kHz原発) 出力	入力ポート	P33/TI000/RTCDIV/ BUZ/INTP2
RTC1HZ	出力	リアルタイム・カウンタ・クロック (1 Hz) 出力	入力ポート	P34/TI52/TI010/ TO00/INTP1
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P12/SI10/<RxD6>/ KR3
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P113/SEG9
<RxD6>				P12/SI10/RxD0/ KR3
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P12/RxD0/<RxD6>/ KR3
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P13/TxD0/<TxD6>/ KR4
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P11/KR2

備考 <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(2) ポート以外の機能 (3/3) : 78K0/LD3

端子名称	入出力	機能	リセット時	兼用端子
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・ク ロック入力	入力ポート	P33/RTCDIV/ RTCCL/BUZ/INTP2
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ (CR000, CR010) へのキャプチャ・トリガ入力		P34/TI52/TO00/ RTC1HZ/INTP1
TI52	入力	8ビット・タイマ/イベント・カウンタ52への外部カウント・ク ロック入力	入力ポート	P34/TI010/TO00/ RTC1HZ/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P34/TI52/TI010/ RTC1HZ/INTP1
TOH0	出力	8ビット・タイマH0出力	入力ポート	P32/MCGO
TOH1		8ビット・タイマH1出力		P31/INTP3
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P13/SO10/<TxD6>/ KR4
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P112/SEG8
<TxD6>				P13/SO10/TxD0/ KR4
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCD0A
X2	-			P122/EXCLK/OCD0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCD0B
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-			P124
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
OCD0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OCD0B	-			P122/X2/EXCLK

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2.1.3 78K0/LE3

(1) ポート機能 (1/2) : 78K0/LE3

端子名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P12				SI10/RxD0/<RxD6>
P13				SO10/TxD0/<TxD6>
P14				INTP4
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	SEG31 ^{注1} / ANI0 ^{注2} /DS0 ^{注3}
P21				SEG30 ^{注1} / ANI1 ^{注2} /DS0+ ^{注3}
P22				SEG29 ^{注1} / ANI2 ^{注2} /DS1 ^{注3}
P23				SEG28 ^{注1} / ANI3 ^{注2} /DS1+ ^{注3}
P24				SEG27 ^{注1} / ANI4 ^{注2} /DS2 ^{注3}
P25				SEG26 ^{注1} / ANI5 ^{注2} /DS2+ ^{注3}
P26				SEG25 ^{注1} / ANI6 ^{注2} /REF ^{注3}
P27				SEG24 ^{注1} / ANI7 ^{注2} /REF+ ^{注3}
P31	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34				TI52/TI010/TO00/ RTC1HZ/INTP1
P40	入出力	ポート4。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	V _{LC3} /KR0
P41				RIN/KR1
P42				KR2
P43				TO51/TI51/KR3
P44				TO50/TI50/KR4
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7

注1. μ PD78F044x, 78F045xのみ。

2. μ PD78F045x, 78F046xのみ。

3. μ PD78F046xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(1) ポート機能 (2/2) : 78K0/LE3

端子名称	入出力	機能	リセット時	兼用端子
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12, SEG13
P112				SEG14/TxD6
P113				SEG15/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。また、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16 (KS0) -SEG19 (KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20 (KS4) -SEG23 (KS7)

(2) ポート以外の機能 (1/3) : 78K0/LE3

端子名称	入出力	機能	リセット時	兼用端子
ANI0 ^{注2}	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/SEG31 ^{注1} / DS0- ^{注3}
ANI1 ^{注2}				P21/SEG30 ^{注1} / DS0+ ^{注3}
ANI2 ^{注2}				P22/SEG29 ^{注1} / DS1- ^{注3}
ANI3 ^{注2}				P23/SEG28 ^{注1} / DS1+ ^{注3}
ANI4 ^{注2}				P24/SEG27 ^{注1} / DS2- ^{注3}
ANI5 ^{注2}				P25/SEG26 ^{注1} / DS2+ ^{注3}
ANI6 ^{注2}				P26/SEG25 ^{注1} / REF- ^{注3}
ANI7 ^{注2}				P27/SEG24 ^{注1} / REF+ ^{注3}
DS0- ^{注3}	入力	16ビット 型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/ANI0 ^{注2}
DS0+ ^{注3}				P21/ANI1 ^{注2}
DS1- ^{注3}				P22/ANI2 ^{注2}
DS1+ ^{注3}				P23/ANI3 ^{注2}
DS2- ^{注3}				P24/ANI4 ^{注2}
DS2+ ^{注3}				P25/ANI5 ^{注2}
REF- ^{注3}				16ビット 型A/Dコンバータの基準電圧入力。 V _{SS} およびAV _{SS} と同電位にしてください。
REF+ ^{注3}		16ビット 型A/Dコンバータの基準電圧入力。 AV _{REF} と同電位にしてください。		P27/ANI7 ^{注2}
AV _{REF} ^{注2}	入力	10ビット逐次比較型A/Dコンバータの基準電圧入力, ポート2の正電源および16ビット 型A/Dコンバータの電源電圧入力 ^{注3}	-	-
AV _{SS} ^{注2}	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-
SEG0-SEG3	出力	LCDコントローラ/ドライバのセグメント信号出力	出力	COM4-COM7
SEG4-SEG7			入力ポート	P80-P83
SEG8-SEG11				P100-P103
SEG12, SEG13				P110, P111
SEG14				P112/TxD6
SEG15				P113/RxD6
SEG16 (KS0)				P140-P143
-SEG19 (KS3)				P150-P153
SEG20 (KS4)				
-SEG23 (KS7)		LCDコントローラ/ドライバのセグメント信号出力。 セグメント・キー・ソース信号同時出力が可能。		

注1. μ PD78F044x, 78F045xのみ。

2. μ PD78F045x, 78F046xのみ。

3. μ PD78F046xのみ。

(2) ポート以外の機能 (2/3) : 78K0/LE3

端子名称	入出力	機能	リセット時	兼用端子
SEG24 ^{注1}	出力	LCDコントローラ / ドライバのセグメント信号出力	デジタル入力ポート	P27/ANI7 ^{注2}
SEG25 ^{注1}				P26/ANI6 ^{注2}
SEG26 ^{注1}				P25/ANI5 ^{注2}
SEG27 ^{注1}				P24/ANI4 ^{注2}
SEG28 ^{注1}				P23/ANI3 ^{注2}
SEG29 ^{注1}				P22/ANI2 ^{注2}
SEG30 ^{注1}				P21/ANI1 ^{注2}
SEG31 ^{注1}				P20/ANI0 ^{注2}
COM0-COM3	出力	LCDコントローラ / ドライバのコモン信号出力	出力	-
COM4-COM7				SEG0-SEG3
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
V _{LC3}			入力ポート	P40/KR0
BUZ	出力	ブザー出力	入力ポート	P33/TI000/RTCDIV /RTCCL/INTP2
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P34/TI52/TI010/TO00/RTC1HZ
INTP2				P33/TI000/RTCDIV /RTCCL/BUZ
INTP3				P31/TOH1
INTP4				P14
KR0	入力	キー割り込み入力, またはセグメント・キー・スキャン入力	入力ポート	P40/V _{LC3}
KR1				P41/RIN
KR2				P42
KR3				P43/TO51/TI51
KR4				P44/TO50/TI50
MCGO	出力	マンチェスタ・コード出力	入力ポート	P32/TOH0
REGC	-	内部動作レギュレータ出力 (2.4 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RIN	入力	リモコン受信データ入力	入力ポート	P41/KR1
RTCDIV	出力	リアルタイム・カウンタ・クロック (32.768 kHz分周) 出力	入力ポート	P33/TI000/RTCCL/BUZ/INTP2
RTCCL	出力	リアルタイム・カウンタ・クロック (32.768 kHz原発) 出力	入力ポート	P33/TI000/RTCDIV /BUZ/INTP2
RTC1HZ	出力	リアルタイム・カウンタ・クロック (1 Hz) 出力	入力ポート	P34/TI52/TI010/TO00/INTP1

注1. μ PD78F044x, 78F045xのみ。

2. μ PD78F045x, 78F046xのみ。

(2) ポート以外の機能 (3/3) : 78K0/LE3

端子名称	入出力	機能	リセット時	兼用端子
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P12/SI10/<RxD6>
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P113/SEG15
<RxD6>				P12/SI10/RxD0
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P12/RxD0/<RxD6>
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P13/TxD0/<TxD6>
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P11
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ入力	入力ポート	P33/RTCDIV/ RTCCCL/BUZ/ INTP2
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ入力		P34/TI52/TO00/ RTC1HZ/INTP1
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P44/TO50/KR4
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P43/TO51/KR3
TI52		8ビット・タイマ/イベント・カウンタ52への外部カウント・クロック入力		P34/TI010/TO00/ RTC1HZ/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P34/TI52/TI010/ RTC1HZ/INTP1
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P44/TI50/KR4
TO51		8ビット・タイマ/イベント・カウンタ51出力		P43/TI51/KR3
TOH0	出力	8ビット・タイマH0出力	入力ポート	P32/MCGO
TOH1		8ビット・タイマH1出力		P31/INTP3
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P13/SO10/<TxD6>
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P112/SEG14
<TxD6>				P13/SO10/TxD0
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OC0A
X2	-			P122/EXCLK/OC0B
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OC0B
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-			P124
V _{DD}	-	正電源	-	-
V _{SS}	-	グラウンド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
OC0A	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OC0B	-			P122/X2/EXCLK

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2.1.4 78K0/LF3

(1) ポート機能 (1/2) : 78K0/LF3

端子名称	入出力	機能	リセット時	兼用端子
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL
P11				SCK10
P12				SI10/RxD0
P13				SO10/TxD0
P14				SCKA0/INTP4
P15				SIA0/<RxD6>
P16				SOA0/<TxD6>
P17				-
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	SEG39 ^{注1} / ANI0 ^{注2} /DS0- ^{注3}
P21				SEG38 ^{注1} / ANI1 ^{注2} /DS0+ ^{注3}
P22				SEG37 ^{注1} / ANI2 ^{注2} /DS1- ^{注3}
P23				SEG36 ^{注1} / ANI3 ^{注2} /DS1+ ^{注3}
P24				SEG35 ^{注1} / ANI4 ^{注2} /DS2- ^{注3}
P25				SEG34 ^{注1} / ANI5 ^{注2} /DS2+ ^{注3}
P26				SEG33 ^{注1} / ANI6 ^{注2} /REF- ^{注3}
P27				SEG32 ^{注1} / ANI7 ^{注2} /REF+ ^{注3}
P30	入出力	ポート3。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5
P31				TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34				TI52/TI010/TO00/ RTC1HZ/INTP1
P40	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	V _{LCS} /KR0
P41				RIN/KR1
P42				KR2
P43				TO51/TI51/KR3
P44				TO50/TI50/KR4
P45-P47				KR5-KR7

注1. μ PD78F047x, 78F048xのみ。

2. μ PD78F048x, 78F049xのみ。

3. μ PD78F049xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(1) ポート機能 (2/2) : 78K0/LF3

端子名称	入出力	機能	リセット時	兼用端子
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12-SEG15
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。また、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OC0A
P122				X2/EXCLK/OC0B
P123				XT1
P124				XT2
P130-P133	入出力	ポート13。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20-SEG23
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG24 (KS0) -SEG27 (KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG28 (KS4) -SEG31 (KS7)

(2) ポート以外の機能 (1/4) : 78K0/LF3

端子名称	入出力	機能	リセット時	兼用端子
ANI0 ^{注2}	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/SEG39 ^{注1} / DS0- ^{注3}
ANI1 ^{注2}				P21/SEG38 ^{注1} / DS0+ ^{注3}
ANI2 ^{注2}				P22/SEG37 ^{注1} / DS1- ^{注3}
ANI3 ^{注2}				P23/SEG36 ^{注1} / DS1+ ^{注3}
ANI4 ^{注2}				P24/SEG35 ^{注1} / DS2- ^{注3}
ANI5 ^{注2}				P25/SEG34 ^{注1} / DS2+ ^{注3}
ANI6 ^{注2}				P26/SEG33 ^{注1} / REF- ^{注3}
ANI7 ^{注2}				P27/SEG32 ^{注1} / REF+ ^{注3}
DS0- ^{注3}	入力	16ビット 型A/Dコンバータのアナログ入力	デジタル 入力ポート	P20/ANI0 ^{注2}
DS0+ ^{注3}				P21/ANI1 ^{注2}
DS1- ^{注3}				P22/ANI2 ^{注2}
DS1+ ^{注3}				P23/ANI3 ^{注2}
DS2- ^{注3}				P24/ANI4 ^{注2}
DS2+ ^{注3}				P25/ANI5 ^{注2}
REF- ^{注3}				16ビット 型A/Dコンバータの基準電圧入力。 V _{SS} およびAV _{SS} と同電位にしてください。
REF+ ^{注3}		16ビット 型A/Dコンバータの基準電圧入力。 AV _{REF} と同電位にしてください。		P27/ANI7 ^{注2}
AV _{REF} ^{注2}	入力	10ビット逐次比較型A/Dコンバータの基準電圧入力, ポート2の正電源および16ビット 型A/Dコンバータの電源電圧入力 ^{注3}	-	-
AV _{SS} ^{注2}	-	A/Dコンバータのグランド電位。V _{SS} と同電位にしてください。	-	-

注1. μ PD78F047x, 78F048xのみ。

2. μ PD78F048x, 78F049xのみ。

3. μ PD78F049xのみ。

(2) ポート以外の機能 (2/4) : 78K0/LF3

端子名称	入出力	機能	リセット時	兼用端子
SEG0-SEG3	出力	LCDコントローラ / ドライバのセグメント信号出力	出力	COM4-COM7
SEG4-SEG7			入力ポート	P80-P83
SEG8-SEG11				P90-P93
SEG12-SEG15				P100-P103
SEG16, SEG17				P110, P111
SEG18				P112/TxD6
SEG19				P113/RxD6
SEG20-SEG23				P130-P133
SEG24 (KS0) -SEG27 (KS3)				P140 -P143
SEG28 (KS4) -SEG31 (KS7)				P150-P153
SEG32 ^{注1}		LCDコントローラ / ドライバのセグメント信号出力	デジタル入 力ポート	P27/ANI7 ^{注2}
SEG33 ^{注1}				P26/ANI6 ^{注2}
SEG34 ^{注1}				P25/ANI5 ^{注2}
SEG35 ^{注1}				P24/ANI4 ^{注2}
SEG36 ^{注1}	P23/ANI3 ^{注2}			
SEG37 ^{注1}	P22/ANI2 ^{注2}			
SEG38 ^{注1}	P21/ANI1 ^{注2}			
SEG39 ^{注1}	P20/ANI0 ^{注2}			
COM0-COM3	出力	LCDコントローラ / ドライバのコモン信号出力	出力	-
COM4-COM7			SEG0-SEG3	
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
V _{LC3}			入力ポート	P40/KR0

注1. μ PD78F047x, 78F048xのみ。

2. μ PD78F048x, 78F049xのみ。

(2) ポート以外の機能 (3/4) : 78K0/LF3

端子名称	入出力	機能	リセット時	兼用端子
BUZ	出力	ブザー出力	入力ポート	P33/TI000/RTCDIV /RTCCL/INTP2
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P34/TI52/TI010/ TO00/RTC1HZ
INTP2				P33/TI000/RTCDIV /RTCCL/BUZ
INTP3				P31/TOH1
INTP4				P14/SCKA0
INTP5				P30
KR0	入力	キー割り込み入力, またはセグメント・キー・スキャン入力	入力ポート	P40/V _{LC3}
KR1				P41/RIN
KR2				P42
KR3				P43/TO51/TI51
KR4				P44/TO50/TI50
KR5-KR7				P45-P47
MCGO	出力	マンチェスタ・コード出力	入力ポート	P32/TOH0
PCL	出力	クロック出力	入力ポート	P10
REGC	-	内部動作レギュレータ出力 (2.4 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F : 推奨) を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RIN	入力	リモコン受信データ入力	入力ポート	P41/KR1
RTCDIV	出力	リアルタイム・カウンタ・クロック (32.768 kHz分周) 出力	入力ポート	P33/TI000/RTCCL/ BUZ/INTP2
RTCCL	出力	リアルタイム・カウンタ・クロック (32.768 kHz原発) 出力	入力ポート	P33/TI000/RTCDIV /BUZ/INTP2
RTC1HZ	出力	リアルタイム・カウンタ・クロック (1 Hz) 出力	入力ポート	P34/TI52/TI010/ TO00/INTP1
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P12/SI10
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P113/SEG19
<RxD6>				P15/SIA0
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P12/RxD0
SIA0	入力	CSIA0のシリアル・データ入力	入力ポート	P15/<RxD6>
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P13/TxD0
SOA0	出力	CSIA0のシリアル・データ出力	入力ポート	P16/<TxD6>
SCK10	入出力	CSI10のクロック入力 / 出力	入力ポート	P11
SCKA0	入出力	CSIA0のクロック入力 / 出力	入力ポート	P14/INTP4

備考 <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(2) ポート以外の機能 (4/4) : 78K0/LF3

端子名称	入出力	機能	リセット時	兼用端子
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・ク ロック入力	入力ポート	P33/RTCDIV/ RTCCL/BUZ/ INTP2
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジス タ (CR000, CR010) へのキャプチャ・トリガ入力		P34/TI52/TO00/ RTC1HZ/INTP1
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・ク ロック入力	入力ポート	P44/TO50/KR4
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・ク ロック入力		P43/TO51/KR3
TI52		8ビット・タイマ/イベント・カウンタ52への外部カウント・ク ロック入力		P34/TI010/TO00/ RTC1HZ/INTP1
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P34/TI52/TI010/ RTC1HZ/INTP1
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P44/TI50/KR4
TO51		8ビット・タイマ/イベント・カウンタ51出力		P43/TI51/KR3
TOH0	出力	8ビット・タイマH0出力	入力ポート	P32/MCGO
TOH1		8ビット・タイマH1出力		P31/INTP3
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P13/SO10
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P112/SEG18
<TxD6>				P16/SOA0
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/OCDOA
X2	-			P122/EXCLK/OCDOB
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/OCDOB
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-			P124
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
OCDOA	入力	オンチップ・デバッグ・モード引き込み用接続	入力ポート	P121/X1
OCDOB	-			P122/X2/EXCLK

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、キー割り込み、セグメント・キー・スキャン入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力、クロック出力機能があります。P13, P16は、ポート・ファンクション・レジスタ1 (PF1) により、端子機能を選択できます (図4 - 38参照)。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P10/PCL
-	P11/SCK10/KR2	P11/SCK10	P11/SCK10
P12/RxD0/<RxD6>/KR3	P12/SI10/RxD0/<RxD6>/KR3	P12/SI10/RxD0/<RxD6>	P12/SI10/RxD0
P13/TxD0/<TxD6>/KR4	P13/SO10/TxD0/<TxD6>/KR4	P13/SO10/TxD0/<TxD6>	P13/SO10/TxD0
-	-	P14/INTP4	P14/SCKA0/INTP4
-	-	-	P15/SIA0/<RxD6>
-	-	-	P16/SOA0/<TxD6>
-	-	-	P17

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み、セグメント・キー・スキャン入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力、クロック出力として機能します。

(a) KR2-KR4

キー割り込み入力、またはセグメント・キー・スキャン入力端子です。

(b) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(c) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(d) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(e) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

(f) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(g) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(h) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(i) SIA0

シリアル・インタフェースCSIA0のシリアル・データ入力端子です。

(j) SOA0

シリアル・インタフェースCSIA0のシリアル・データ出力端子です。

(k) $\overline{\text{SCKA0}}$

シリアル・インタフェースCSIA0のシリアル・クロック入出力端子です。

(l) INTP4

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(m) PCL

クロック出力端子です。

2.2.2 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、10ビット逐次比較型A/Dコンバータのアナログ入力、16ビット 型A/Dコンバータのアナログ入力および基準電圧入力機能があります。ポート・ファンクション・レジスタ2 (PF2) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P20/SEG21/ANI0 ^{注1}	P20/SEG23/ANI0 ^{注2}	P20/SEG31 ^{注3} /ANI0 ^{注4} /DS0- ^{注5}	P20/SEG39 ^{注6} /ANI0 ^{注7} /DS0- ^{注8}
P21/SEG20/ANI1 ^{注1}	P21/SEG22/ANI1 ^{注2}	P21/SEG30 ^{注3} /ANI1 ^{注4} /DS0+ ^{注5}	P21/SEG38 ^{注6} /ANI1 ^{注7} /DS0+ ^{注8}
P22/SEG19/ANI2 ^{注1}	P22/SEG21/ANI2 ^{注2}	P22/SEG29 ^{注3} /ANI2 ^{注4} /DS1- ^{注5}	P22/SEG37 ^{注6} /ANI2 ^{注7} /DS1- ^{注8}
P23/SEG18/ANI3 ^{注1}	P23/SEG20/ANI3 ^{注2}	P23/SEG28 ^{注3} /ANI3 ^{注4} /DS1+ ^{注5}	P23/SEG36 ^{注6} /ANI3 ^{注7} /DS1+ ^{注8}
P24/SEG17/ANI4 ^{注1}	P24/SEG19/ANI4 ^{注2}	P24/SEG27 ^{注3} /ANI4 ^{注4} /DS2- ^{注5}	P24/SEG35 ^{注6} /ANI4 ^{注7} /DS2- ^{注8}
P25/SEG16/ANI5 ^{注1}	P25/SEG18/ANI5 ^{注2}	P25/SEG26 ^{注3} /ANI5 ^{注4} /DS2+ ^{注5}	P25/SEG34 ^{注6} /ANI5 ^{注7} /DS2+ ^{注8}
-	-	P26/SEG25 ^{注3} /ANI6 ^{注4} /REF- ^{注5}	P26/SEG33 ^{注6} /ANI6 ^{注7} /REF- ^{注8}
-	-	P27/SEG24 ^{注3} /ANI7 ^{注4} /REF+ ^{注5}	P27/SEG32 ^{注6} /ANI7 ^{注7} /REF+ ^{注8}

注1. μ PD78F041xのみ。

2. μ PD78F043xのみ。

3. μ PD78F044x, 78F045xのみ。

4. μ PD78F045x, 78F046xのみ。

5. μ PD78F046xのみ。

6. μ PD78F047x, 78F048xのみ。

7. μ PD78F048x, 78F049xのみ。

8. μ PD78F049xのみ。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、10ビット逐次比較型A/Dコンバータのアナログ入力、16ビット 型A/Dコンバータのアナログ入力および基準電圧入力として機能します。

(a) SEGxx

LCDコントローラ/ドライバのセグメント信号出力端子です。

(b) ANI0-ANI7

10ビット逐次比較型A/Dコンバータのアナログ入力端子です。アナログ入力端子として使用する場合、[12.6 10ビット逐次比較型A/Dコンバータの注意事項の\(5\)](#)を参照してください。

(c) DS0-, DS0+, DS1-, DS1+, DS2-, DS2+, REF-, REF+

16ビット 型A/Dコンバータ入力、および基準電圧入力端子です。

REF-は、 V_{SS} および AV_{SS} と同電位にしてください。

REF+は、 AV_{REF} と同電位にしてください。

注意 P20-P27は、リセット解除後はデジタル入力モードになります。

2.2.3 P30-P34 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力、ブザー出力、リアルタイム・カウンタ出力、マンチェスタ・コード出力機能があります。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P30/INTP5
P31/TOH1/INTP3	P31/TOH1/INTP3	P31/TOH1/INTP3	P31/TOH1/INTP3
P32/TOH0/MCGO	P32/TOH0/MCGO	P32/TOH0/MCGO	P32/TOH0/MCGO
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34/TI52/TI010/TO00/ RTC1HZ/INTP1	P34/TI52/TI010/TO00/ RTC1HZ/INTP1	P34/TI52/TI010/TO00/ RTC1HZ/INTP1	P34/TI52/TI010/TO00/ RTC1HZ/INTP1

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマ入出力、ブザー出力、リアルタイム・カウンタ出力、マンチェスタ・コード出力として機能します。

(a) INTP1-INTP3, INTP5

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

(c) TOH0, TOH1

8ビット・タイマH0, H1のタイマ出力端子です。

(d) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

(e) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

(f) TI52

8ビット・タイマ/イベント・カウンタ52への外部カウント・クロック入力端子です。

(g) BUZ

ブザー出力端子です。

(h) RTCDIV

リアルタイム・カウンタ・クロック (32.768 kHz分周) 出力端子です。

(i) RTCCL

リアルタイム・カウンタ・クロック (32.768 kHz原発) 出力端子です。

(j) RTC1HZ

リアルタイム・カウンタの補正クロック (1 Hz) 出力端子です。

(k) MCGO

マンチェスタ・コード・ジェネレータのデータ出力端子です。

2.2.4 P40-P47 (Port 4)

入出力ポートです。入出力ポートのほかに、キー割り込み、セグメント・キー・スキャン入力、タイマ入出力、リモコン受信データ入力、LCD駆動用電圧機能があります。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P40/V _{LC3} /KR0	P40/V _{LC3} /KR0	P40/V _{LC3} /KR0	P40/V _{LC3} /KR0
-	P41/RIN/KR1	P41/RIN/KR1	P41/RIN/KR1
-	-	P42/KR2	P42/KR2
-	-	P43/TO51/TI51/KR3	P43/TO51/TI51/KR3
-	-	P44/TO50/TI50/KR4	P44/TO50/TI50/KR4
-	-	-	P45/KR5
-	-	-	P46/KR6
-	-	-	P47/KR7

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み、セグメント・キー・スキャン入力、タイマの入出力、リモコン受信データ入力、LCD駆動用電源電圧端子として機能します。

(a) KR0-KR7

キー割り込み入力、またはセグメント・キー・スキャン入力端子です。

(b) TO50, TO51

8ビット・タイマ/イベント・カウンタ50, 51のタイマ出力端子です。

(c) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部カウント・クロック入力端子です。

(d) RIN

リモコン受信回路のデータ入力端子です。

(e) VLc3

LCD駆動用電源電圧端子です。

2.2.5 P80-P83 (Port 8)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	P80/SEG4	P80/SEG4	P80/SEG4
-	-	P81/SEG5	P81/SEG5
-	-	P82/SEG6	P82/SEG6
-	-	P83/SEG7	P83/SEG7

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ8 (PU8) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEGx

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.6 P90-P93 (Port 9)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P90/SEG8
-	-	-	P91/SEG9
-	-	-	P92/SEG10
-	-	-	P93/SEG11

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ9 (PU9) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEGxx

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.7 P100-P103 (Port 10)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL)により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P100/SEG4	P100/SEG5	P100/SEG8	P100/SEG12
P101/SEG5	P101/SEG6	P101/SEG9	P101/SEG13
-	-	P102/SEG10	P102/SEG14
-	-	P103/SEG11	P103/SEG15

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ10 (PM10) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ10 (PU10) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEGxx

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.8 P110-P113 (Port 11)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力機能があります。兼用切り替えレジスタALL(PFALL)により、入出力ポート(セグメント信号出力以外)またはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	P110/SEG12	P110/SEG16
-	P111/SEG7	P111/SEG13	P111/SEG17
P112/SEG6/TxD6	P112/SEG8/TxD6	P112/SEG14/TxD6	P112/SEG18/TxD6
P113/SEG7/RxD6	P113/SEG9/RxD6	P113/SEG15/RxD6	P113/SEG19/RxD6

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ11 (PM11) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ11 (PU11) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力として機能します。

(a) SEGxx

LCDコントローラ/ドライバのセグメント信号出力端子です。

(b) RxD6

シリアル・インタフェースUART6のシリアル・データ入力端子です。

(c) TxD6

シリアル・インタフェースUART6のシリアル・データ出力端子です。

2.2.9 P120-P124 (Port 12)

P120は入出力ポートです。P121-P124は入力ポートです。入出力ポートのほかに外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力があります。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P120/INTP0/EXLVI	P120/INTP0/EXLVI	P120/INTP0/EXLVI	P120/INTP0/EXLVI
P121/X1/OCD0A	P121/X1/OCD0A	P121/X1/OCD0A	P121/X1/OCD0A
P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B
P123/XT1	P123/XT1	P123/XT1	P123/XT1
P124/XT2	P124/XT2	P124/XT2	P124/XT2

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により，内蔵プルアップ抵抗を使用できます。

P121-P124は入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力 (INTP0) として機能します。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) XT1, XT2

サブシステム・クロック用発振子接続端子です。

(e) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

備考 X1, X2は，オンチップ・デバッグ機能を使用するとき，オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は，**第29章 オンチップ・デバッグ機能**を参照してください。

2.2.10 P130-P133 (Port 13)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力機能があります。兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P130/SEG20
-	-	-	P131/SEG21
-	-	-	P132/SEG22
-	-	-	P133/SEG23

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ13 (PM13) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ13 (PU13) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力として機能します。

(a) SEGxx

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.11 P140-P143 (Port 14)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力機能があります。兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P140/SEG8 (KS0)	P140/SEG10 (KS0)	P140/SEG16 (KS0)	P140/SEG24 (KS0)
P141/SEG9 (KS1)	P141/SEG11 (KS1)	P141/SEG17 (KS1)	P141/SEG25 (KS1)
P142/SEG10 (KS2)	P142/SEG12 (KS2)	P142/SEG18 (KS2)	P142/SEG26 (KS2)
P143/SEG11 (KS3)	P143/SEG13 (KS3)	P143/SEG19 (KS3)	P143/SEG27 (KS3)

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力として機能します。

(a) SEGxx (KS0) -SEGxx (KS3)

LCDコントローラ/ドライバのセグメント信号出力端子です。

LCDモード・レジスタ (LCDMD) の設定により、セグメント・キー・ソース信号同時出力が可能です。

2.2.12 P150-P153 (Port 15)

入出力ポートです。入出力ポートのほかに、LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力機能があります。兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P150/SEG12 (KS4)	P150/SEG14 (KS4)	P150/SEG20 (KS4)	P150/SEG28 (KS4)
P151/SEG13 (KS5)	P151/SEG15 (KS5)	P151/SEG21 (KS5)	P151/SEG29 (KS5)
P152/SEG14 (KS6)	P152/SEG16 (KS6)	P152/SEG22 (KS6)	P152/SEG30 (KS6)
P153/SEG15 (KS7)	P153/SEG17 (KS7)	P153/SEG23 (KS7)	P153/SEG31 (KS7)

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ15 (PU15) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力として機能します。

(a) SEGxx (KS4) -SEGxx (KS7)

LCDコントローラ/ドライバのセグメント信号出力端子です。

LCDモード・レジスタ (LCDMD) の設定により、セグメント・キー・ソース信号同時出力が可能です。

2.2.13 AVREF, AVSS, VDD, VSS

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
AVREF ^{注1}	AVREF ^{注2}	AVREF ^{注3}	AVREF ^{注4}
AVSS ^{注1}	AVSS ^{注2}	AVSS ^{注3}	AVSS ^{注4}
VDD	VDD	VDD	VDD
VSS	VSS	VSS	VSS

注1. μ PD78F041xのみ。

2. μ PD78F043xのみ。

3. μ PD78F045x, 78F046xのみ。

4. μ PD78F048x, 78F049xのみ。

(a) AVREF

10ビット逐次比較型A/Dコンバータの基準電圧入力、ポート2の正電源および16ビット 型A/Dコンバータの電源電圧入力端子です。

A/Dコンバータを使用しない場合は、VDDに直接接続してください^注。

注 ポート2をデジタル・ポートまたはセグメント出力として使用する場合は、VDDと同電位にしてください。

(b) AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にVSSと同電位で使用してください。

(c) VDD

正電源供給端子です。

(d) VSS

グランド電位端子です。

2.2.14 COM0-COM7

LCDコントローラ/ドライバのコモン信号出力端子です。

2.2.15 VLc0-VLc3

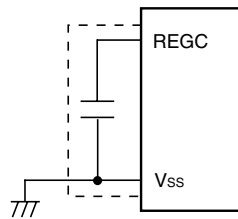
LCD駆動用電源電圧端子です。

2.2.16 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.17 REGC

内部動作レギュレータ出力 (2.4 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μ F : 推奨) を介し、V_{SS} に接続してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.18 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0をV_{SS}に接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

2.3 端子の入出力回路と未使用端子の処理

2.3.1 78K0/LC3

各端子の入出力タイプと、未使用端子の処理を表2 - 2に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 2 各端子の入出力回路タイプ (78K0/LC3) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P12/RxD0/KR3/<RxD6>	5-AH	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P13/TxD0/KR4/<TxD6>			
P20/SEG21/ANI0 ^{注1, 2} -P25/SEG16/ANI5 ^{注1, 2}	17-R		<アナログ設定時> AV _{REF} またはAV _{SS} に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 ^{注3} 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P31/TOH1/INTP3	5-AH		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P32/TOH0/MCGO	5-AG		
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	5-AH		
P34/TI52/TI010/TO00/ RTC1HZ/INTP1			
P40/V _{LC3} /KR0	5-AO		
P100/SEG4, P101/SEG5	17-P		<ポート設定時> 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P112/SEG6/TxD6	17-P		
P113/SEG7/RxD6	17-Q		

注1. ANIxは μ PD78F041xのみ。

2. P20/SEG21/ANI0-P25/SEG16/ANI5は、リセット解除後はデジタル入力モードになります。
3. μ PD78F040xでは、個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2 - 2 各端子の入出力回路タイプ (78K0/LC3) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCD0A ^{注1}	37-A	入力	個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。
P122/X2/EXCLK/ OCD0B ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P140/SEG8 (KS0) -P143/SEG11 (KS3)	17-P	入出力	<ポート設定時> 入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P150/SEG12 (KS4) -P153/SEG15 (KS7)			
COM0-COM3	18-E	出力	オープンにしてください。
COM4/SEG0-COM7/SEG3	18-F		
V_{LC0} - V_{LC2}	-		
\overline{RESET}	2	入力	V_{DD} に直接接続または抵抗を介して接続してください。 V_{SS} に接続してください。 ^{注3}
FLMD0	38		
AV_{REF} ^{注2}	-	-	V_{DD} に直接接続してください。 ^{注4}
AV_{SS} ^{注2}			V_{SS} に直接接続してください。

注1. 未使用時は，入出力ポート・モード（図5-2 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

2. μ PD78F041xのみ。
3. FLMD0はフラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合，またはオンチップ・デバッグを行う場合は，抵抗（10kΩ：推奨）を介して V_{SS} に接続してください。
4. ポート2をデジタル・ポートまたはセグメント出力として使用する場合は， V_{DD} と同電位にしてください。

2.3.2 78K0/LD3

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-3 各端子の入出力回路タイプ (78K0/LD3) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P11/SCK10/KR2	5-AH	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P12/SI10/RxD0/ <RxD6>/KR3			
P13/SO10/TxD0/ <TxD6>/KR4			
P20/SEG23/ANI0- P25/SEG18/ANI5 ^{注1}	17-R		<アナログ設定時> AV_{REF} または AV_{SS} に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して、 AV_{REF} または AV_{SS} に接続してください。 ^{注2} 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P31/TOH1/INTP3	5-AH		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P32/TOH0/MCGO	5-AG		
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	5-AH		
P34/TI52/TI010/TO00/ RTC1HZ/INTP1			
P40/V _{LC3} /KR0	5-AO		
P41/RIN/KR1	5-AH		
P80/SEG4	17-P		<ポート設定時> 入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P100/SEG5, P101/SEG6			

注1. ANIXは、 μ PD78F043xのみ。

2. μ PD78F042xでは、個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2-3 各端子の入出力回路タイプ (78K0/LD3) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P111/SEG7	17-P	入出力	<ポート設定時> 入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P112/SEG8/TxD6			
P113/SEG9/RxD6			
P120/INTP0/EXLVI	5-AH		入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCD0A ^{注1}	37-A	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK/ OCD0B ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P140/SEG10 (KS0) -P143/SEG13 (KS3)	17-P	入出力	<ポート設定時> 入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P150/SEG14 (KS4)			
-P153/SEG17 (KS7)			
COM0-COM3	18-E	出力	オープンにしてください。
COM4/SEG0-COM7/SEG3	18-F		
V _{LC0} -V _{LC2}	-	-	
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
FLMD0	38		V _{SS} に接続してください。 ^{注3}
AV _{REF} ^{注2}	-	-	V _{DD} に直接接続してください。 ^{注4}
AV _{SS} ^{注2}			V _{SS} に直接接続してください。

注1. 未使用時は，入出力ポート・モード（図5-2 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

2. μ PD78F043xのみ。
3. FLMD0はフラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合，またはオンチップ・デバッグを行う場合は，抵抗（10 k Ω ：推奨）を介してV_{SS}に接続してください。
4. ポート2をデジタル・ポートまたはセグメント出力として使用する場合は，V_{DD}と同電位にしてください。

2.3.3 78K0/LE3

各端子の入出力タイプと、未使用端子の処理を表2 - 4に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 4 各端子の入出力回路タイプ (78K0/LE3) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P11/SCK10	5-AH	入出力	入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P12/SI10/RxD0/<RxD6>			
P13/SO10/TxD0/<TxD6>			
P14/INTP4			
P20/SEG31/ANI0/DS0- -P27/SEG24/ANI7/REF+ 注1, 2, 3, 4	17-R		<アナログ設定時> AV _{REF} またはAV _{SS} に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 ^{注5} 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P31/TOH1/INTP3			
P32/TOH0/MCGO			
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2			
P34/TI52/TI010/TO00/ RTC1HZ/INTP1	5-AH		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P40/V _{Lc3} /KR0			
P41/RIN/KR1			
P42/KR2			
P43/TO51/TI51/KR3	5-AH		入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P44/TO50/TI50/KR4			
P80/SEG4-P83/SEG7			
P100/SEG8-P103/SEG11			
P110/SEG16, P111/SEG17	17-P		<ポート設定時> 入力時：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P112/SEG18/TxD6			
P113/SEG19/RxD6			
P113/SEG19/RxD6	17-Q		

注1. SEGxは、 μ PD78F044x, 78F045xのみ。

2. ANIxは、 μ PD78F045x, 78F046xのみ。

3. DSx, REFxは、 μ PD78F046xのみ。

4. P20/SEG31/ANI0/DS0--P27/SEG24/ANI7/REF+は、リセット解除後はデジタル入力モードになります。

5. μ PD78F044xでは、個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2 - 4 各端子の入出力回路タイプ (78K0/LE3) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P120/INTP0/EXLVI	5-AH	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCD0A ^{注1}	37-A	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK/OCD0B ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P140/SEG16 (KS0) -P143/SEG19 (KS3)	17-P	入出力	<ポート設定時> 入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P150/SEG20 (KS4) -P153/SEG23 (KS7)			<セグメント設定時> オープンにしてください。
COM0-COM3	18-E	出力	オープンにしてください。
COM4/SEG0-COM7/SEG3	18-F		
V _{LC0} -V _{LC2}	-	-	
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
FLMD0	38		V _{SS} に接続してください。 ^{注3}
AV _{REF} ^{注2}	-	-	V _{DD} に直接接続してください。 ^{注4}
AV _{SS} ^{注2}			V _{SS} に直接接続してください。

注1. 未使用時は，入出力ポート・モード（図5-2 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

2. μ PD78F045x, 78F046xのみ。
3. FLMD0はフラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合，またはオンチップ・デバッグを行う場合は，抵抗（10 k Ω ：推奨）を介してV_{SS}に接続してください。
4. ポート2をデジタル・ポートまたはセグメント出力として使用する場合は，V_{DD}と同電位にしてください。

2.3.4 78K0/LF3

各端子の入出力タイプと、未使用端子の処理を表2-5に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-5 各端子の入出力回路タイプ(78K0/LF3)(1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P10/PCL	5-AG	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P11/SCK10	5-AH		
P12/SI10/RxD0			
P13/SO10/TxD0			
P14/SCKA0/INTP4			
P15/SIA0/<RxD6>			
P16/SOA0/<TxD6>			
P17			
P20/SEG39/ANI0/DS0- -P27/SEG32/ANI7/REF+ 注1, 2, 3, 4	17-R		<アナログ設定時> AV _{REF} またはAV _{SS} に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 ^{注5} 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P30/INTP5	5-AH		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P31/TOH1/INTP3			
P32/TOH0/MCGO	5-AG		
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	5-AH		
P34/TI52/TI010/TO00/ RTC1HZ/INTP1			
P40/V _{LC3} /KR0	5-AO		
P41/RIN/KR1	5-AH		
P42/KR2			
P43/TO51/TI51/KR3			
P44/TO50/TI50/KR4			
P45/KR5-P47/KR7			
P80/SEG4-P83/SEG7	17-P	<ポート設定時> 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。	
P90/SEG8-P93/SEG11			
P100/SEG12-P103/SEG15			

注1. SEGxはμ PD78F047x, 78F048xのみ。

2. ANIxはμ PD78F048x, 78F049xのみ。

3. DSx, REFxはμ PD78F049xのみ。

4. P20/SEG39/ANI0/DS0--P27/SEG32/ANI7/REF+は、リセット解除後はデジタル入力モードになります。

5. μ PD78F047xでは、個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表2 - 5 各端子の入出力回路タイプ (78K0/LF3) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P110/SEG16, P111/SEG17	17-P	入出力	<ポート設定時> 入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P112/SEG18/TxD6			
P113/SEG19/RxD6			
P120/INTP0/EXLVI	5-AH		入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/OCDOA ^{注1}	37-A	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK/OCDOB ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P130/SEG20-P133/SEG23	17-P	入出力	<ポート設定時> 入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P140/SEG24 (KS0)			
-P143/SEG27 (KS3)			
P150/SEG28 (KS4) -P153/SEG31 (KS7)			
COM0-COM3	18-E	出力	オープンにしてください。
COM4/SEG0-COM7/SEG3	18-F		
V _{LC0} -V _{LC2}	-	-	
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
FLMD0	38		V _{SS} に接続してください。 ^{注3}
AV _{REF} ^{注2}	-	-	V _{DD} に直接接続してください。 ^{注4}
AV _{SS} ^{注2}			V _{SS} に直接接続してください。

注1. 未使用時は，入出力ポート・モード（図5-2 クロック動作モード選択レジスタ（OSCCTL）のフォーマットを参照）で上記の推奨接続方法を行ってください。

- μPD78F048x, 78F049xのみ。
- FLMD0はフラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合，またはオンチップ・デバッグを行う場合は，抵抗（10kΩ：推奨）を介してV_{SS}に接続してください。
- ポート2をデジタル・ポートまたはセグメント出力として使用する場合は，V_{DD}と同電位にしてください。

図2-1 端子の入出力回路一覧(1/2)

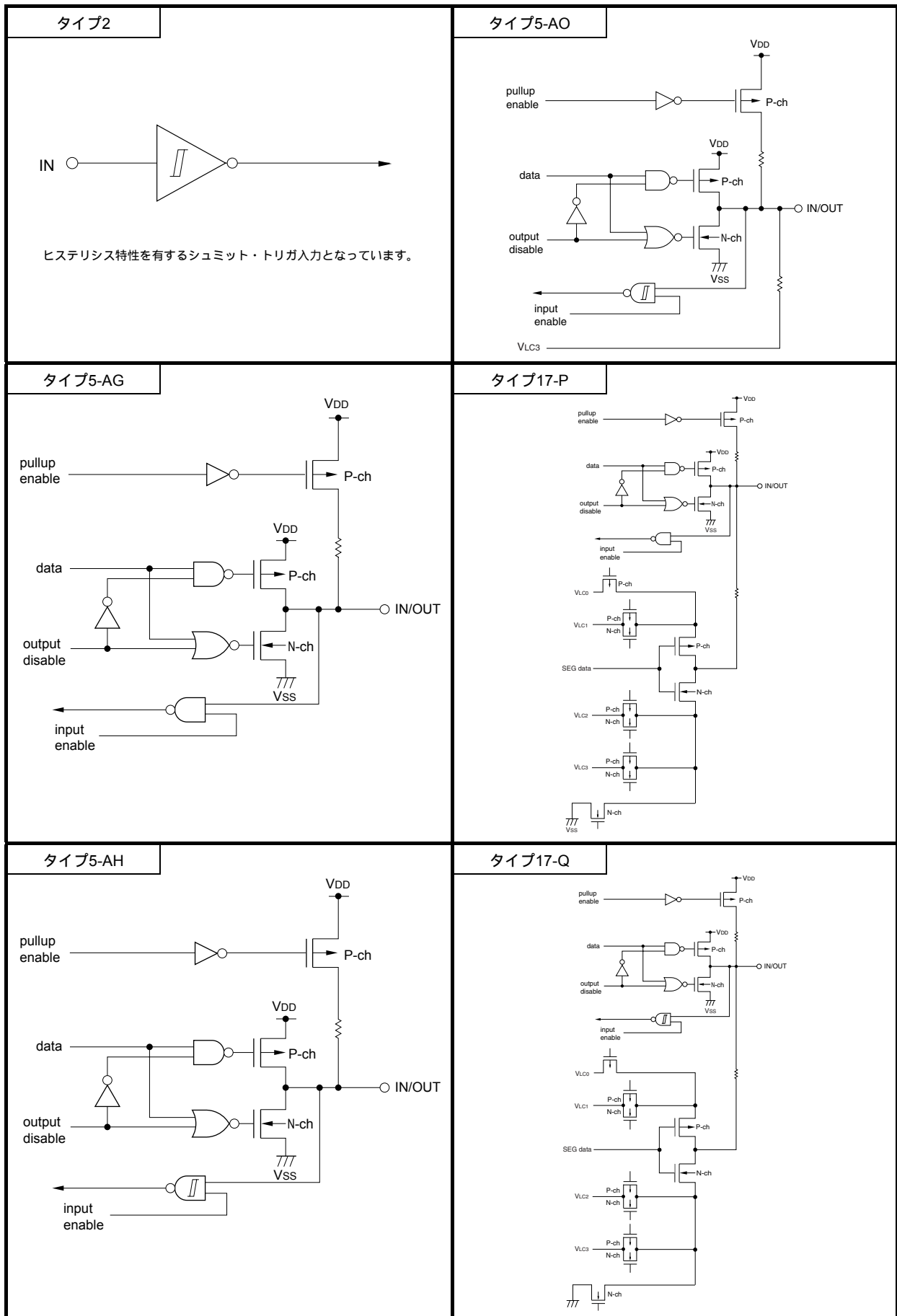
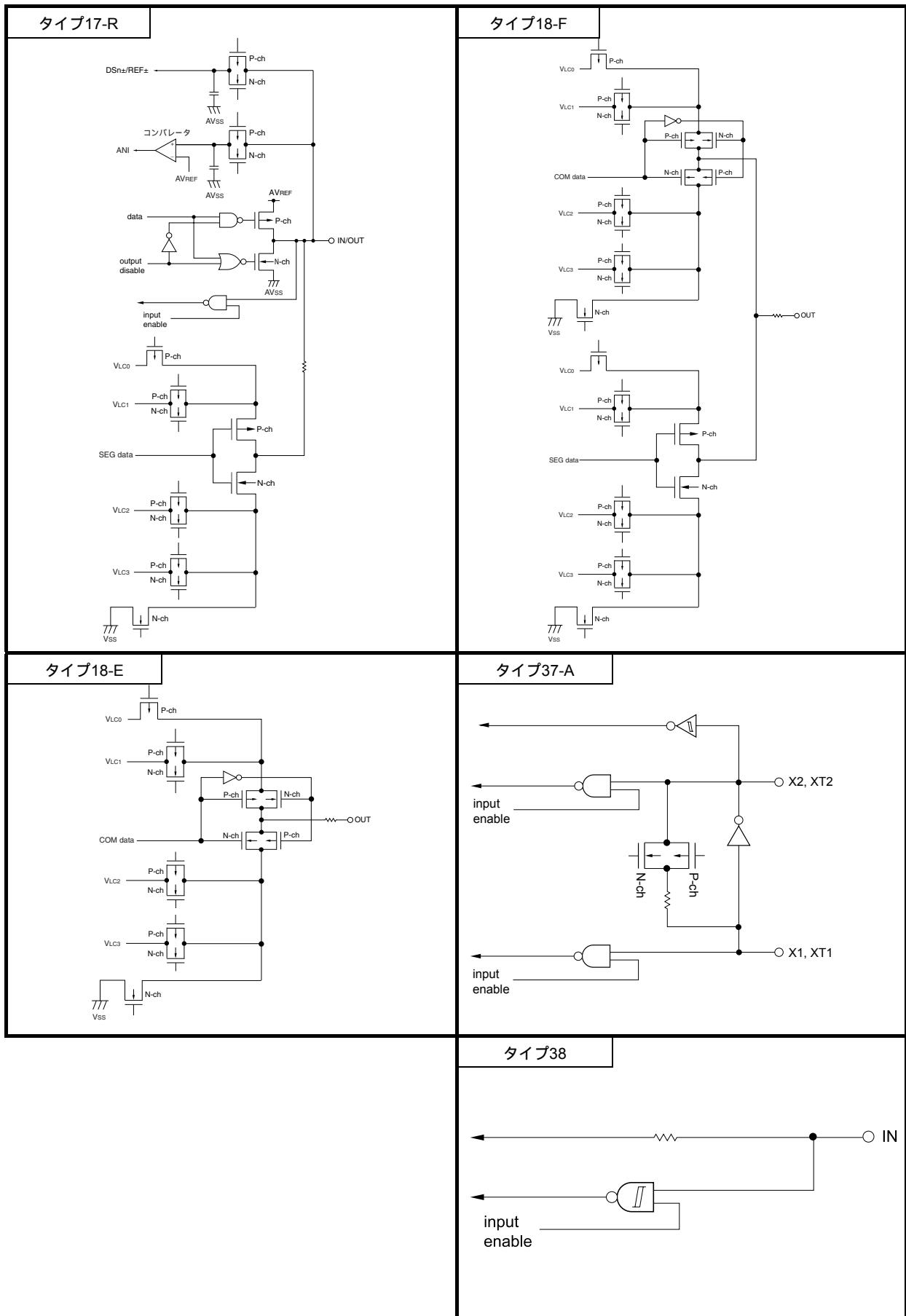


図2-1 端子の入出力回路一覧(2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0/Lx3マイクロコントローラは、64 Kバイトのメモリ空間をアクセスできます。図3 - 1～図3 - 6に、メモリ・マップを示します。

注意 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Lx3マイクロコントローラのすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後に製品ごとに次に示す値を必ず設定してください。

表3 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値 (78K0/LC3, 78K0/LD3)

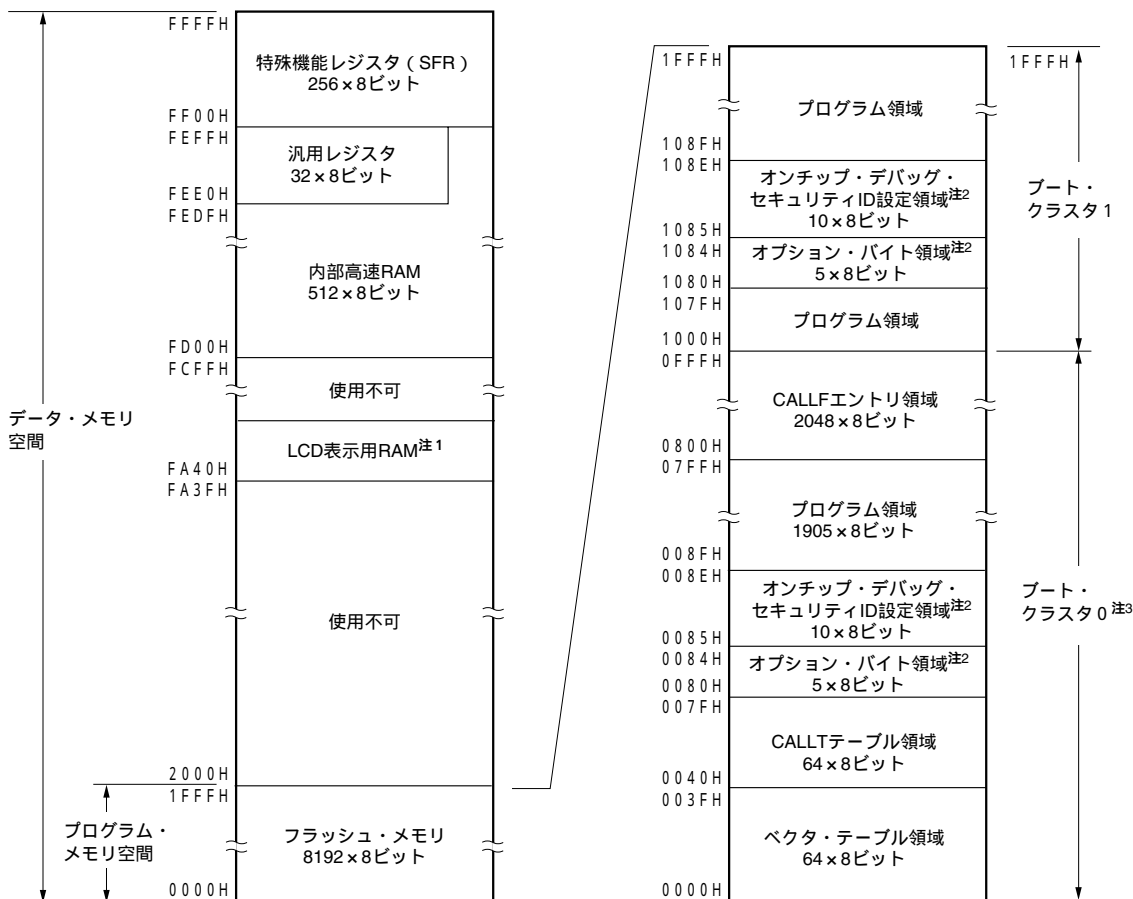
78K0/LC3, 78K0/LD3	IMS	ROM容量	内部高速RAM容量
μPD78F0400, 78F0410, 78F0420, 78F0430	42H	8 Kバイト	512バイト
μPD78F0401, 78F0411, 78F0421, 78F0431	04H	16 Kバイト	768バイト
μPD78F0402, 78F0412, 78F0422, 78F0432	C6H	24 Kバイト	1 Kバイト
μPD78F0403, 78F0413, 78F0423, 78F0433	C8H	32 Kバイト	

表3 - 2 メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値 (78K0/LE3, 78K0/LF3)

78K0/LE3, 78K0/LF3	IMS	IXS	ROM容量	内部高速RAM容量	内部拡張RAM容量
μPD78F0441 ^注 , 78F0451 ^注 , 78F0461 ^注 , 78F0471 ^注 , 78F0481 ^注 , 78F0491 ^注	04H	0CH	16 Kバイト	768バイト	-
μPD78F0442 ^注 , 78F0452 ^注 , 78F0462 ^注 , 78F0472 ^注 , 78F0482 ^注 , 78F0492 ^注	C6H		24 Kバイト	1 Kバイト	
μPD78F0443 ^注 , 78F0453 ^注 , 78F0463 ^注 , 78F0473 ^注 , 78F0483 ^注 , 78F0493 ^注	C8H		32 Kバイト		
μPD78F0444, 78F0454, 78F0464, 78F0474, 78F0484, 78F0494	CCH	0AH	48 Kバイト		1 Kバイト
μPD78F0445, 78F0455, 78F0465, 78F0475, 78F0485, 78F0495	CFH		60 Kバイト		

注 内部拡張RAMを内蔵していない製品は、IXSを搭載していません。

図3-1 メモリ・マップ (μ PD78F04x0)



- 注1. μ PD78F0400, 78F0410 : 22 × 8ビット (FA40H-FA55H)
 μ PD78F0420, 78F0430 : 24 × 8ビット (FA40H-FA57H)
2. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
3. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます (28.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については, 表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

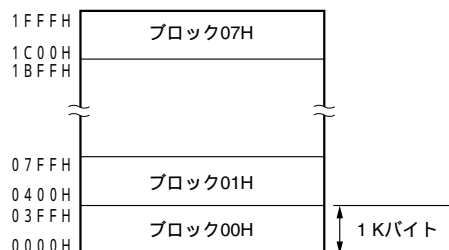
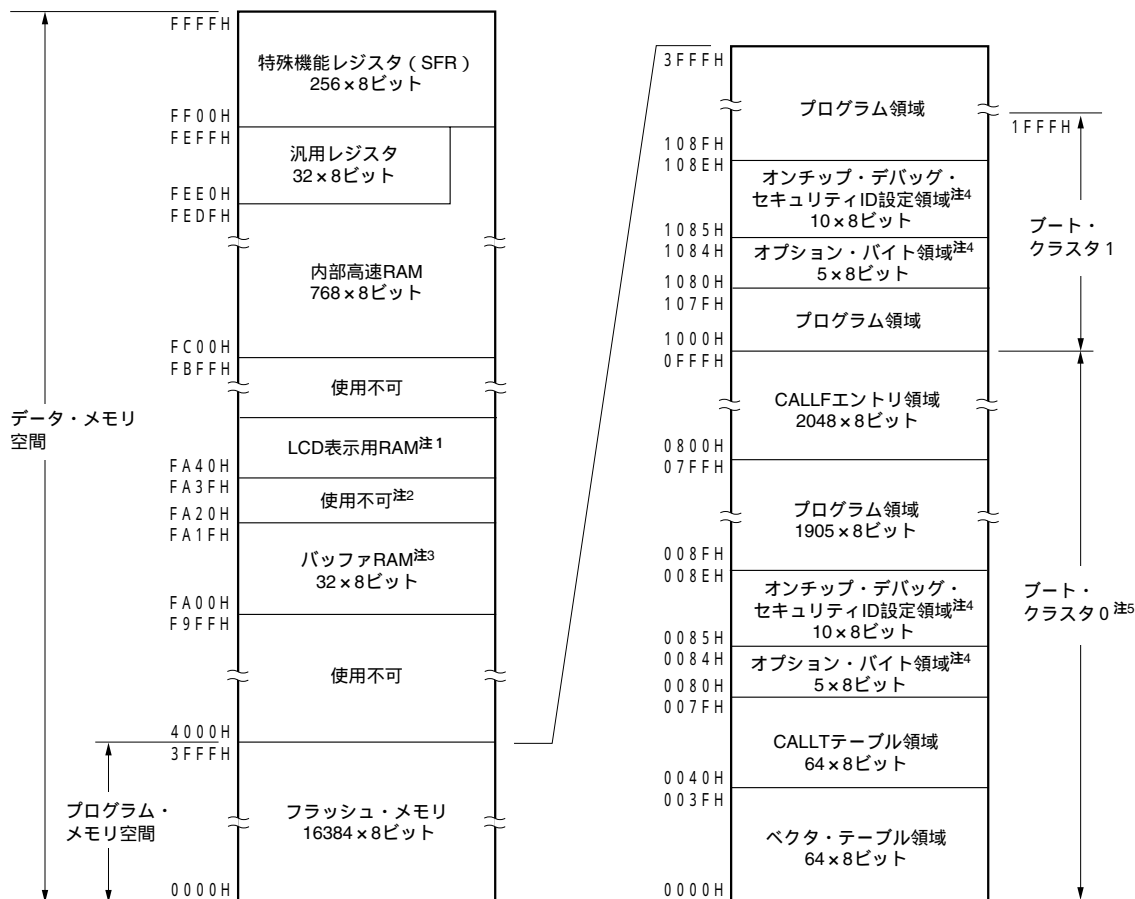


図3-2 メモリ・マップ (μ PD78F04x1)

- 注1. μ PD78F0401, 78F0411 : 22x8ビット (FA40H-FA55H)
 μ PD78F0421, 78F0431, 78F0461 : 24x8ビット (FA40H-FA57H)
 μ PD78F0441, 78F0451, 78F0491 : 32x8ビット (FA40H-FA5FH)
 μ PD78F0471, 78F0481 : 40x8ビット (FA40H-FA67H)
2. ただし、 μ PD78F0461, 78F0491では、FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。
3. バッファRAMは、 μ PD78F0471, 78F0481, 78F0491 (78K0/LF3) にのみ内蔵されています。その他の製品では、FA00H-FA1FHの領域は使用不可です。
4. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
5. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (28.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

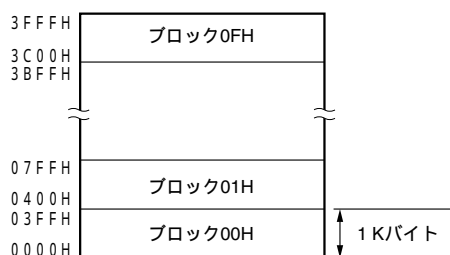
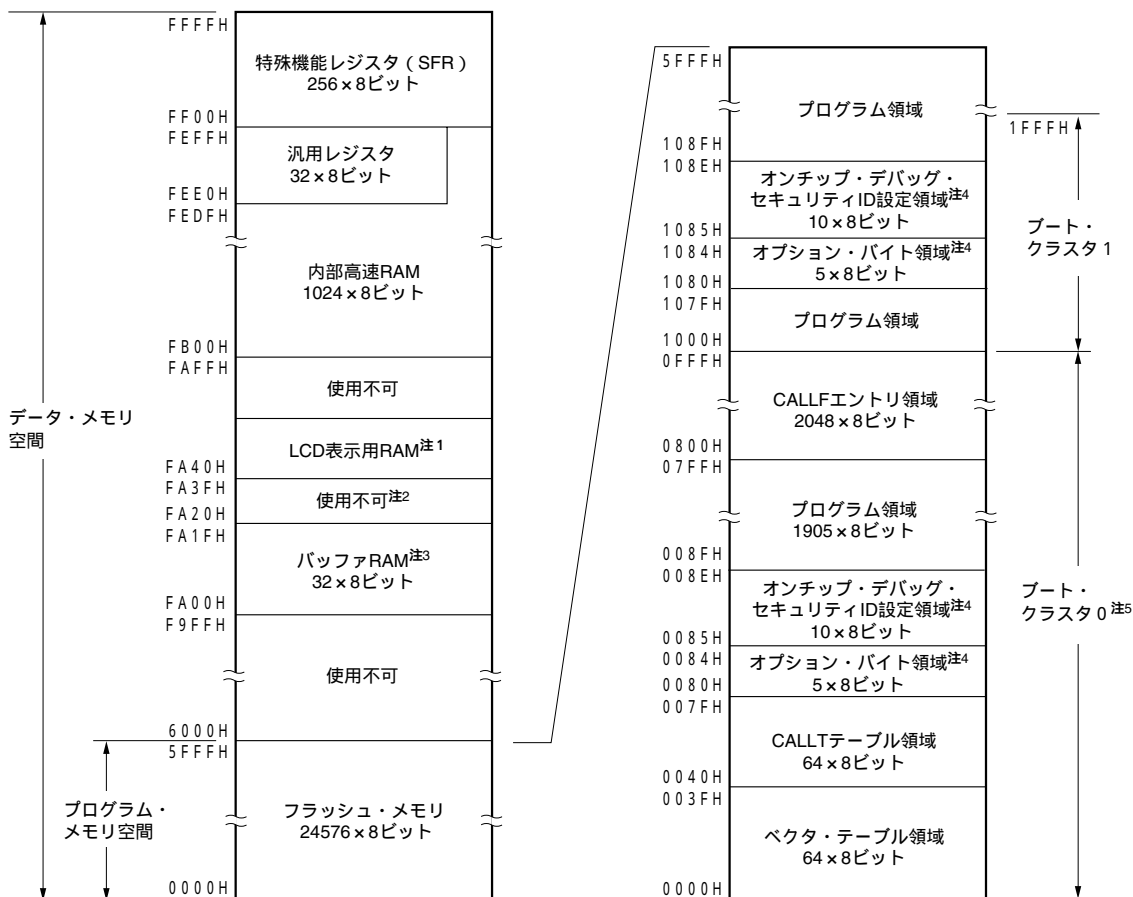


図3-3 メモリ・マップ (μ PD78F04x2)



- 注1. μ PD78F0402, 78F0412 : 22×8ビット (FA40H-FA55H)
 μ PD78F0422, 78F0432, 78F0462 : 24×8ビット (FA40H-FA57H)
 μ PD78F0442, 78F0452, 78F0492 : 32×8ビット (FA40H-FA5FH)
 μ PD78F0472, 78F0482 : 40×8ビット (FA40H-FA67H)
2. ただし, μ PD78F0462, 78F0492では, FA26H, FA27Hは使用可能です (13.3 16ビットΔΣ型A/Dコンバータで使用するレジスタを参照)。
3. バッファRAMは, μ PD78F0472, 78F0482, 78F0492 (78K0/LF3) にのみ内蔵されています。その他の製品では, FA00H-FA1FHの領域は使用不可です。
4. ブート・スワップ未使用時: 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
5. セキュリティの設定により, ブート・クラスタ0は書き換え禁止することができます (28.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については, 表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

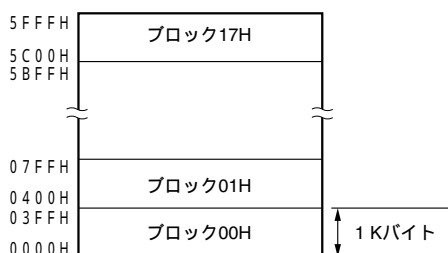
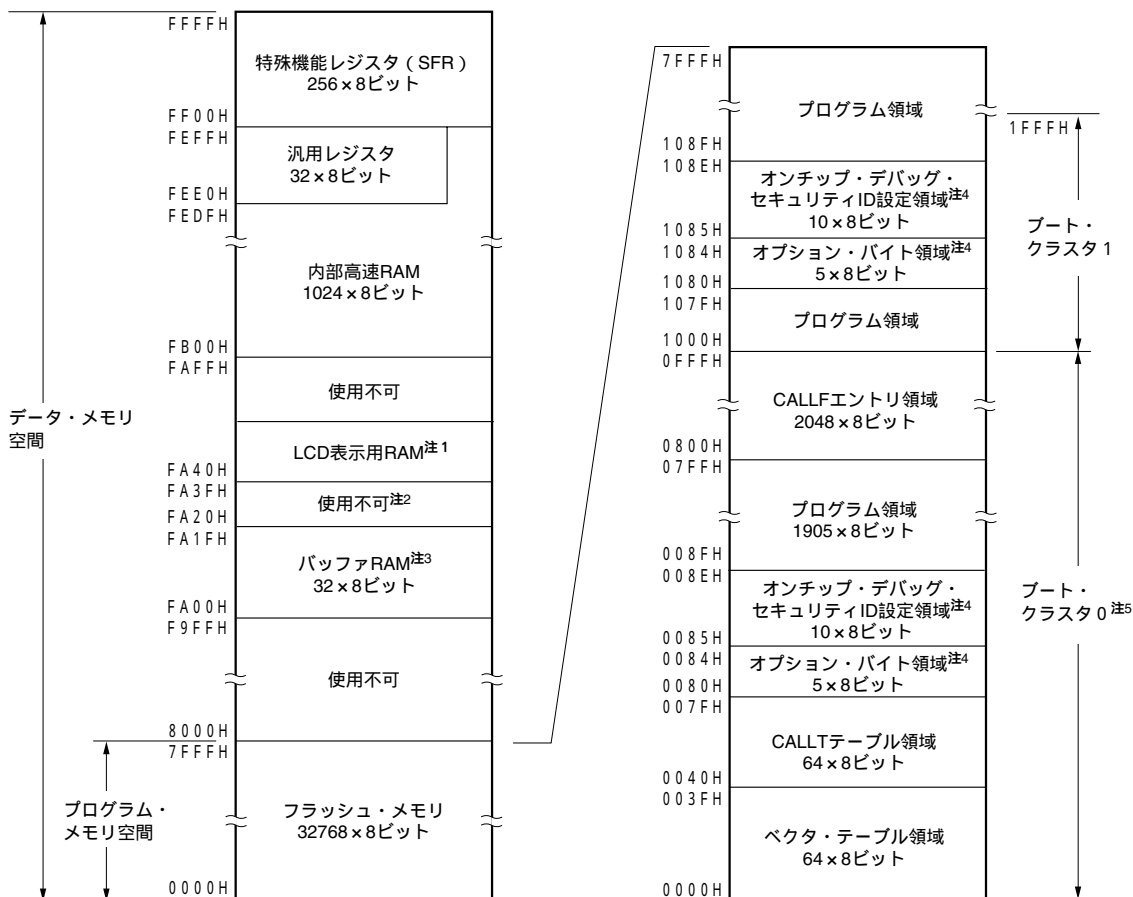


図3-4 メモリ・マップ (μ PD78F04x3)



- 注1. μ PD78F0403, 78F0413 : 22×8ビット (FA40H-FA55H)
 μ PD78F0423, 78F0433, 78F0463 : 24×8ビット (FA40H-FA57H)
 μ PD78F0443, 78F0453, 78F0493 : 32×8ビット (FA40H-FA5FH)
 μ PD78F0473, 78F0483 : 40×8ビット (FA40H-FA67H)
2. ただし、μ PD78F0463, 78F0493では、FA26H, FA27Hは使用可能です (13.3 16ビットΔΣ型A/Dコンバータで使用するレジスタを参照)。
3. バッファRAMは、μ PD78F0473, 78F0483, 78F0493 (78K0/LF3) にのみ内蔵されています。その他の製品では、FA00H-FA1FHの領域は使用不可です。
4. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト，0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト，0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
5. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (28.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

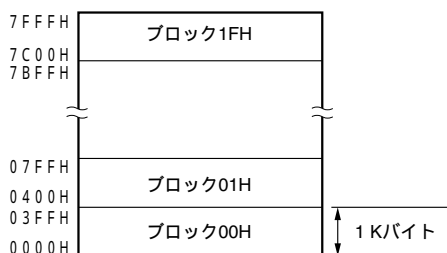
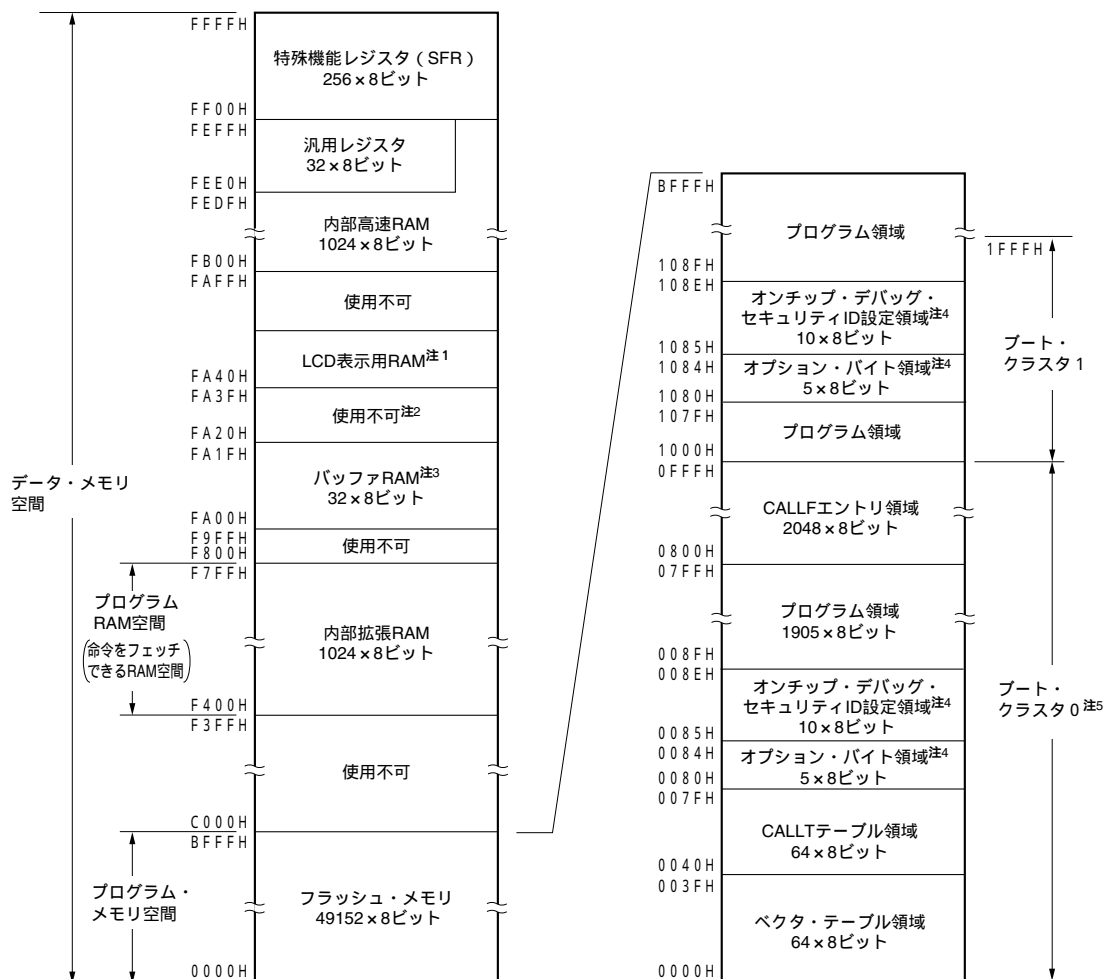


図3-5 メモリ・マップ (μ PD78F04x4)

- 注1. μ PD78F0464 : 24x8ビット (FA40H-FA57H)
 μ PD78F0444, 78F0454, 78F0494 : 32x8ビット (FA40H-FA5FH)
 μ PD78F0474, 78F0484 : 40x8ビット (FA40H-FA67H)
2. ただし、 μ PD78F0464, 78F0494では、FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。
3. バッファRAMは、 μ PD78F0474, 78F0484, 78F0494 (78K0/LF3) にのみ内蔵されています。その他の製品では、FA00H-FA1FHの領域は使用不可です。
4. ブート・スワップ未使用時：0080H-0084Hにオプション・バイト、0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト、0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
5. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (28.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

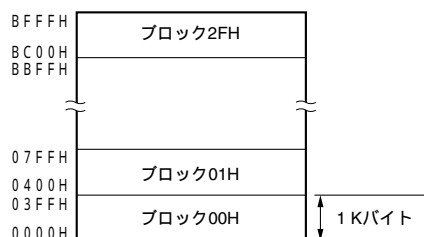
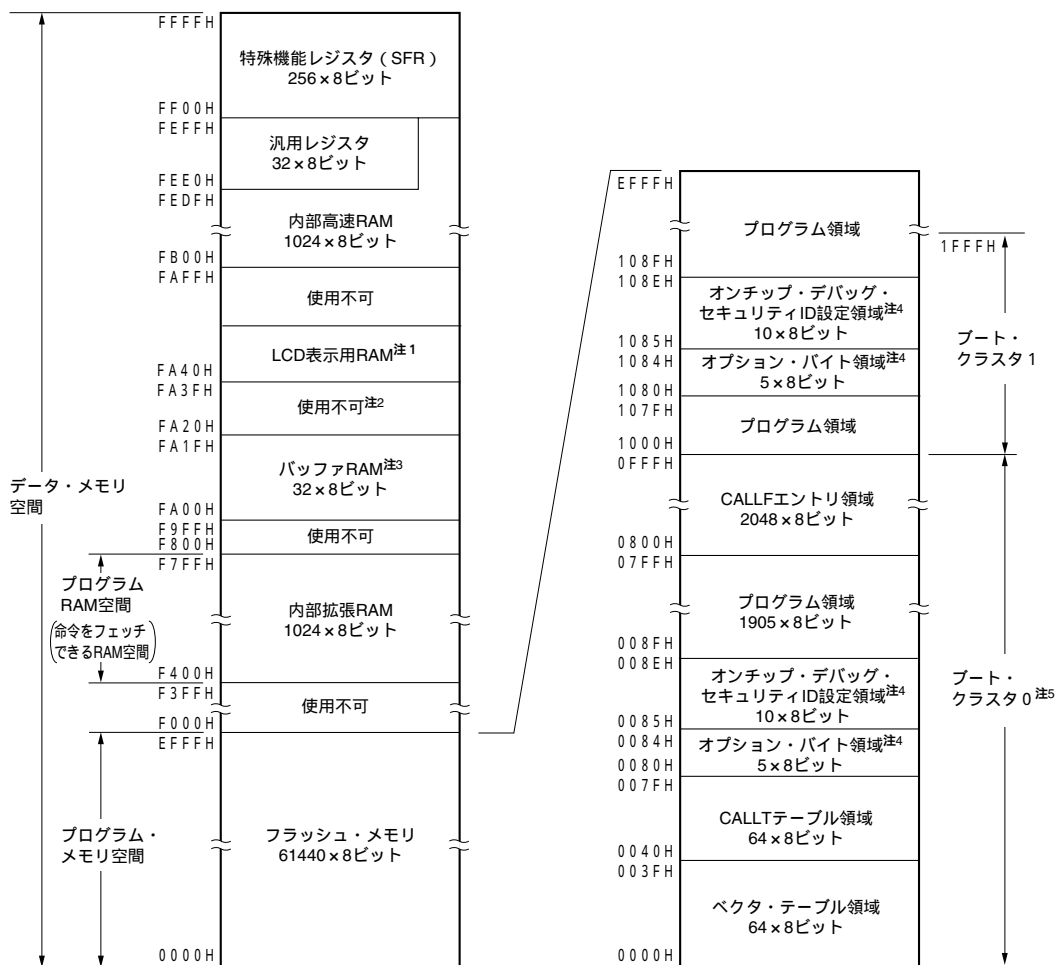
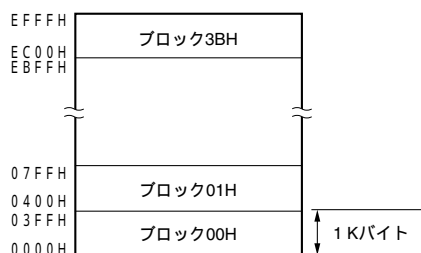


図3-6 メモリ・マップ (μ PD78F04x5)



- 注1. μ PD78F0465 : 24×8ビット (FA40H-FA57H)
 μ PD78F0445, 78F0455, 78F0495 : 32×8ビット (FA40H-FA5FH)
 μ PD78F0475, 78F0485 : 40×8ビット (FA40H-FA67H)
2. ただし、μ PD78F0465, 78F0495では、FA26H, FA27Hは使用可能です (13.3 16ビットΔΣ型A/Dコンバータで使用するレジスタを参照)。
3. バッファRAMは、μ PD78F0475, 78F0485, 78F0495 (78K0/LF3) にのみ内蔵されています。その他の製品では、FA00H-FA1FHの領域は使用不可です。
4. ブート・スワップ未使用時 : 0080H-0084Hにオプション・バイト, 0085H-008EHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 0080H-0084H, 1080H-1084Hにオプション・バイト, 0085H-008EH, 1085H-108EHにオンチップ・デバッグ・セキュリティIDを設定
5. セキュリティの設定により、ブート・クラスタ0は書き換え禁止することができます (28.8 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-03FFH	00H	4000H-43FFH	10H	8000H-83FFH	20H	C000H-C3FFH	30H
0400H-07FFH	01H	4400H-47FFH	11H	8400H-87FFH	21H	C400H-C7FFH	31H
0800H-0BFFH	02H	4800H-4BFFH	12H	8800H-8BFFH	22H	C800H-CBFFH	32H
0C00H-0FFFH	03H	4C00H-4FFFH	13H	8C00H-8FFFH	23H	CC00H-CFFFH	33H
1000H-13FFH	04H	5000H-53FFH	14H	9000H-93FFH	24H	D000H-D3FFH	34H
1400H-17FFH	05H	5400H-57FFH	15H	9400H-97FFH	25H	D400H-D7FFH	35H
1800H-1BFFH	06H	5800H-5BFFH	16H	9800H-9BFFH	26H	D800H-DBFFH	36H
1C00H-1FFFH	07H	5C00H-5FFFH	17H	9C00H-9FFFH	27H	DC00H-DFFFH	37H
2000H-23FFH	08H	6000H-63FFH	18H	A000H-A3FFH	28H	E000H-E3FFH	38H
2400H-27FFH	09H	6400H-67FFH	19H	A400H-A7FFH	29H	E400H-E7FFH	39H
2800H-2BFFH	0AH	6800H-6BFFH	1AH	A800H-ABFFH	2AH	E800H-EBFFH	3AH
2C00H-2FFFH	0BH	6C00H-6FFFH	1BH	AC00H-AFFFH	2BH	EC00H-EFFFH	3BH
3000H-33FFH	0CH	7000H-73FFH	1CH	B000H-B3FFH	2CH		
3400H-37FFH	0DH	7400H-77FFH	1DH	B400H-B7FFH	2DH		
3800H-3BFFH	0EH	7800H-7BFFH	1EH	B800H-BBFFH	2EH		
3C00H-3FFFH	0FH	7C00H-7FFFH	1FH	BC00H-BFFFH	2FH		

備考 μ PD78F04x0 ($x = 0-3$) : ブロック番号00H-07H

μ PD78F04x1 ($x = 0-9$) : ブロック番号00H-0FH

μ PD78F04x2 ($x = 0-9$) : ブロック番号00H-17H

μ PD78F04x3 ($x = 0-9$) : ブロック番号00H-1FH

μ PD78F04x4 ($x = 4-9$) : ブロック番号00H-2FH

μ PD78F04x5 ($x = 4-9$) : ブロック番号00H-3BH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスします。

78K0/Lx3マイクロコントローラは、製品ごとに次に示す内部ROM(フラッシュ・メモリ)を内蔵しています。

表3-4 内部ROM容量

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3	内部ROM (フラッシュ・メモリ)
48ピン	52ピン	64ピン	80ピン	
μ PD78F0400 μ PD78F0410	μ PD78F0420 μ PD78F0430	-	-	8192×8ビット (0000H-1FFFFH)
μ PD78F0401 μ PD78F0411	μ PD78F0421 μ PD78F0431	μ PD78F0441 μ PD78F0451 μ PD78F0461	μ PD78F0471 μ PD78F0481 μ PD78F0491	16384×8ビット (0000H-3FFFFH)
μ PD78F0402 μ PD78F0412	μ PD78F0422 μ PD78F0432	μ PD78F0442 μ PD78F0452 μ PD78F0462	μ PD78F0472 μ PD78F0482 μ PD78F0492	24576×8ビット (0000H-5FFFFH)
μ PD78F0403 μ PD78F0413	μ PD78F0423 μ PD78F0433	μ PD78F0443 μ PD78F0453 μ PD78F0463	μ PD78F0473 μ PD78F0483 μ PD78F0493	32768×8ビット (0000H-7FFFFH)
-	-	μ PD78F0444 μ PD78F0454 μ PD78F0464	μ PD78F0474 μ PD78F0484 μ PD78F0494	49152×8ビット (0000H-BFFFFH)
-	-	μ PD78F0445 μ PD78F0455 μ PD78F0465	μ PD78F0475 μ PD78F0485 μ PD78F0495	61440×8ビット (0000H-EFFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-5 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	LC3	LD3	LE3	LF3
0000H	RESET入力, POC, LVI, WDT				
0004H	INTLVI				
0006H	INTP0				
0008H	INTP1				
000AH	INTP2				
000CH	INTP3				
000EH	INTP4	-	-		
0010H	INTP5	-	-	-	
0012H	INTSRE6				
0014H	INTSR6				
0016H	INTST6				
0018H	INTCSI10 / INTST0	注1			
001AH	INTTMH1				
001CH	INTTMH0				
001EH	INTTM50				
0020H	INTTM000				
0022H	INTTM010				
0024H	INTAD	注2	注3	注4	注6
0026H	INTSR0				
0028H	INTRTC				
002AH	INTTM51				
002CH	INTKR				
002EH	INTRTCI				
0030H	INTDSAD	-	-	注5	注7
0032H	INTTM52				
0034H	INTTMH2				
0036H	INTMCG				
0038H	INTRIN	-			
003AH	INTRERR / INTGP / INTREND / INTDFULL	-			
003CH	INTACSI	-	-	-	
003EH	BRK				

注1. INTST0のみ。

2. μ PD78F041xのみ。
3. μ PD78F043xのみ。
4. μ PD78F045x, 78F046xのみ。
5. μ PD78F046xのみ。
6. μ PD78F048x, 78F049xのみ。
7. μ PD78F049xのみ。

備考 : 搭載, - : 非搭載

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080H-0084H, 1080H-1084Hの5バイト領域にオプション・バイト領域を用意しています。ブート・スワップ未使用時は0080H-0084Hに、ブート・スワップ使用時には0080H-0084Hと1080H-1084Hにオプション・バイトを設定してください。詳細は第27章 **オプション・バイト**を参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

(5) オンチップ・デバッグ・セキュリティID設定領域

0085H-008EH, 1085H-108EHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には0085H-008EHに、ブート・スワップ使用時には0085H-008EHと1085H-108EHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第29章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 内部データ・メモリ空間

78K0/Lx3マイクロコントローラは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

内部高速RAMのFEE0H-FEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また、スタック・メモリは内部高速RAMを使用します。

表3 - 6 内部高速RAM容量

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3	内部高速RAM
48ピン	52ピン	64ピン	80ピン	
μ PD78F0400 μ PD78F0410	μ PD78F0420 μ PD78F0430	-	-	512 × 8ビット (FD00H-FEFFH)
μ PD78F0401 μ PD78F0411	μ PD78F0421 μ PD78F0431	μ PD78F0441 μ PD78F0451 μ PD78F0461	μ PD78F0471 μ PD78F0481 μ PD78F0491	768 × 8ビット (FC00H-FEFFH)
μ PD78F0402 μ PD78F0412	μ PD78F0422 μ PD78F0432	μ PD78F0442 μ PD78F0452 μ PD78F0462	μ PD78F0472 μ PD78F0482 μ PD78F0492	1024 × 8ビット (FB00H-FEFFH)
μ PD78F0403 μ PD78F0413	μ PD78F0423 μ PD78F0433	μ PD78F0443 μ PD78F0453 μ PD78F0463	μ PD78F0473 μ PD78F0483 μ PD78F0493	
-	-	μ PD78F0444 μ PD78F0454 μ PD78F0464	μ PD78F0474 μ PD78F0484 μ PD78F0494	
-	-	μ PD78F0445 μ PD78F0455 μ PD78F0465	μ PD78F0475 μ PD78F0485 μ PD78F0495	

(2) 内部拡張RAM

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。

また、スタック・メモリは内部拡張RAMを使用することができません。

表3 - 7 内部拡張RAM容量

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3	内部拡張RAM
48ピン	52ピン	64ピン	80ピン	
μPD78F0400 μPD78F0410	μPD78F0420 μPD78F0430	-	-	
μPD78F0401 μPD78F0411	μPD78F0421 μPD78F0431	μPD78F0441 μPD78F0451 μPD78F0461	μPD78F0471 μPD78F0481 μPD78F0491	
μPD78F0402 μPD78F0412	μPD78F0422 μPD78F0432	μPD78F0442 μPD78F0452 μPD78F0462	μPD78F0472 μPD78F0482 μPD78F0492	
μPD78F0403 μPD78F0413	μPD78F0423 μPD78F0433	μPD78F0443 μPD78F0453 μPD78F0463	μPD78F0473 μPD78F0483 μPD78F0493	
-	-	μPD78F0444 μPD78F0454 μPD78F0464	μPD78F0474 μPD78F0484 μPD78F0494	1024 × 8ビット (F400H-F7FFH)
-	-	μPD78F0445 μPD78F0455 μPD78F0465	μPD78F0475 μPD78F0485 μPD78F0495	

(3) LCD表示用RAM

LCDコントローラ/ドライバには、LCD表示用RAMを内蔵しています(18.5 LCD表示データ・メモリ参照)。

表3 - 8 LCD表示用RAM容量

製 品		LCD表示用RAM
78K0/LC3		22 × 8ビット (FA40H-FA55H)
78K0/LD3		24 × 8ビット (FA40H-FA57H)
78K0/LE3	μPD78F044x, 78F045x	32 × 8ビット (FA40H-FA5FH)
	μPD78F046x	24 × 8ビット (FA40H-FA57H)
78K0/LF3	μPD78F047x, 78F048x	40 × 8ビット (FA40H-FA67H)
	μPD78F049x	32 × 8ビット (FA40H-FA5FH)

3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

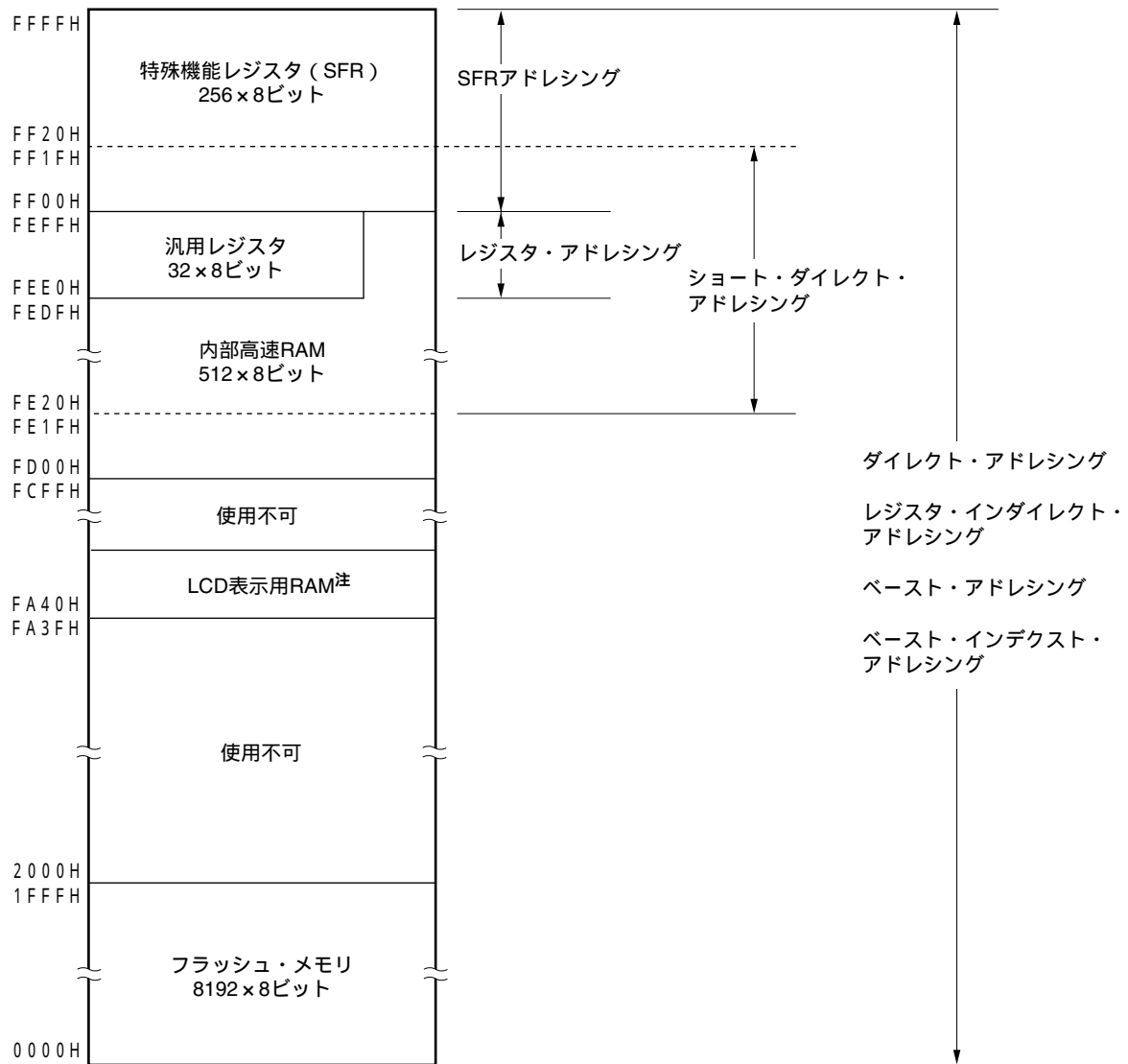
FF00H-FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.3 特殊機能レジスタ (SFR : Special Function Register) の表3-9 特殊機能レジスタ一覧参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

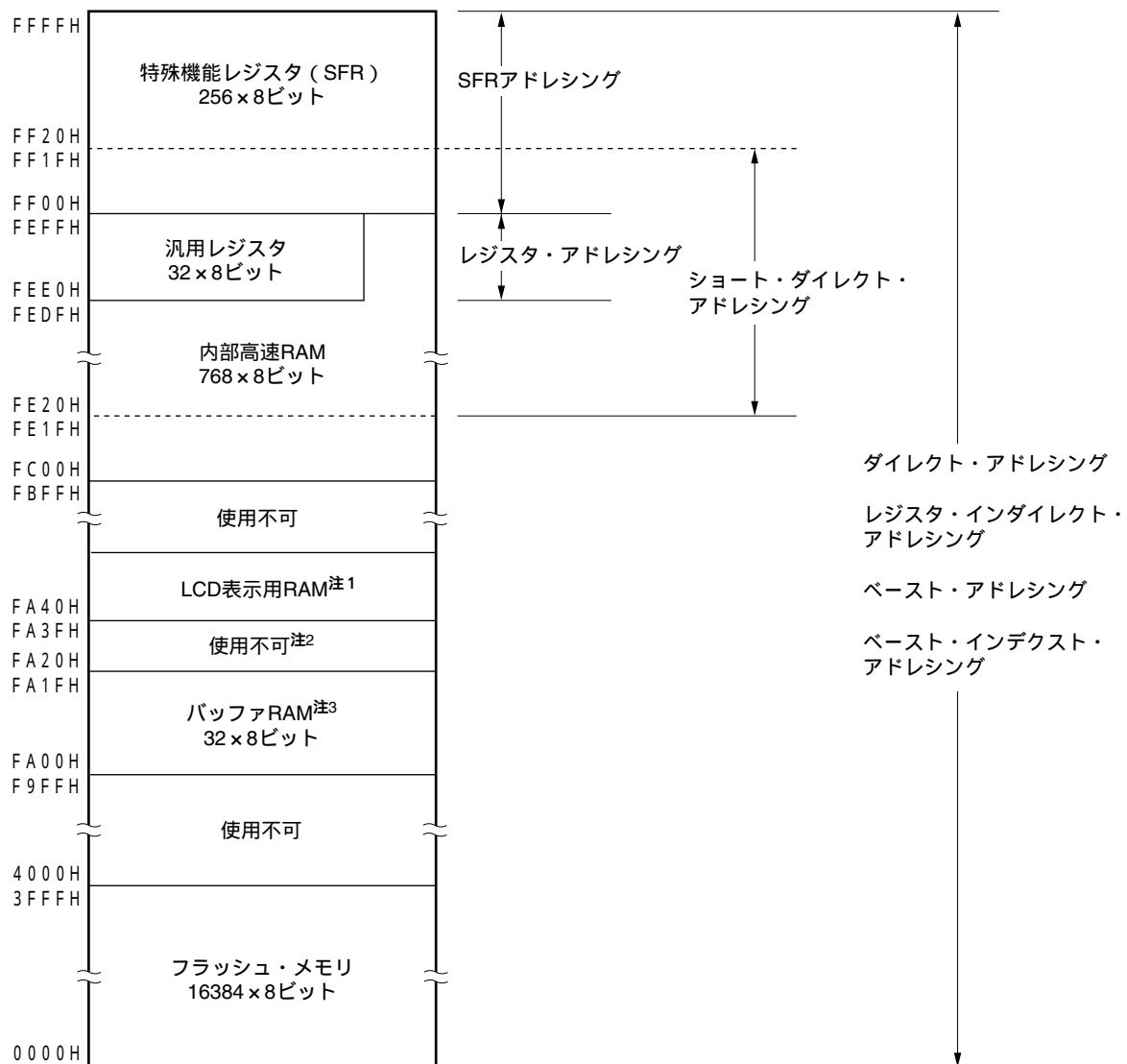
次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0/Lx3マイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-7~図3-12にデータ・メモリとアドレッシングの対応を示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3-7 データ・メモリとアドレッシングの対応 (μ PD78F04x0)

注 μ PD78F0400, 78F0410 : 22×8ビット (FA40H-FA55H)

μ PD78F0420, 78F0430 : 24×8ビット (FA40H-FA57H)

図3-8 データ・メモリとアドレッシングの対応 (μ PD78F04x1)

注1. μ PD78F0401, 78F0411 : 22×8ビット (FA40H-FA55H)

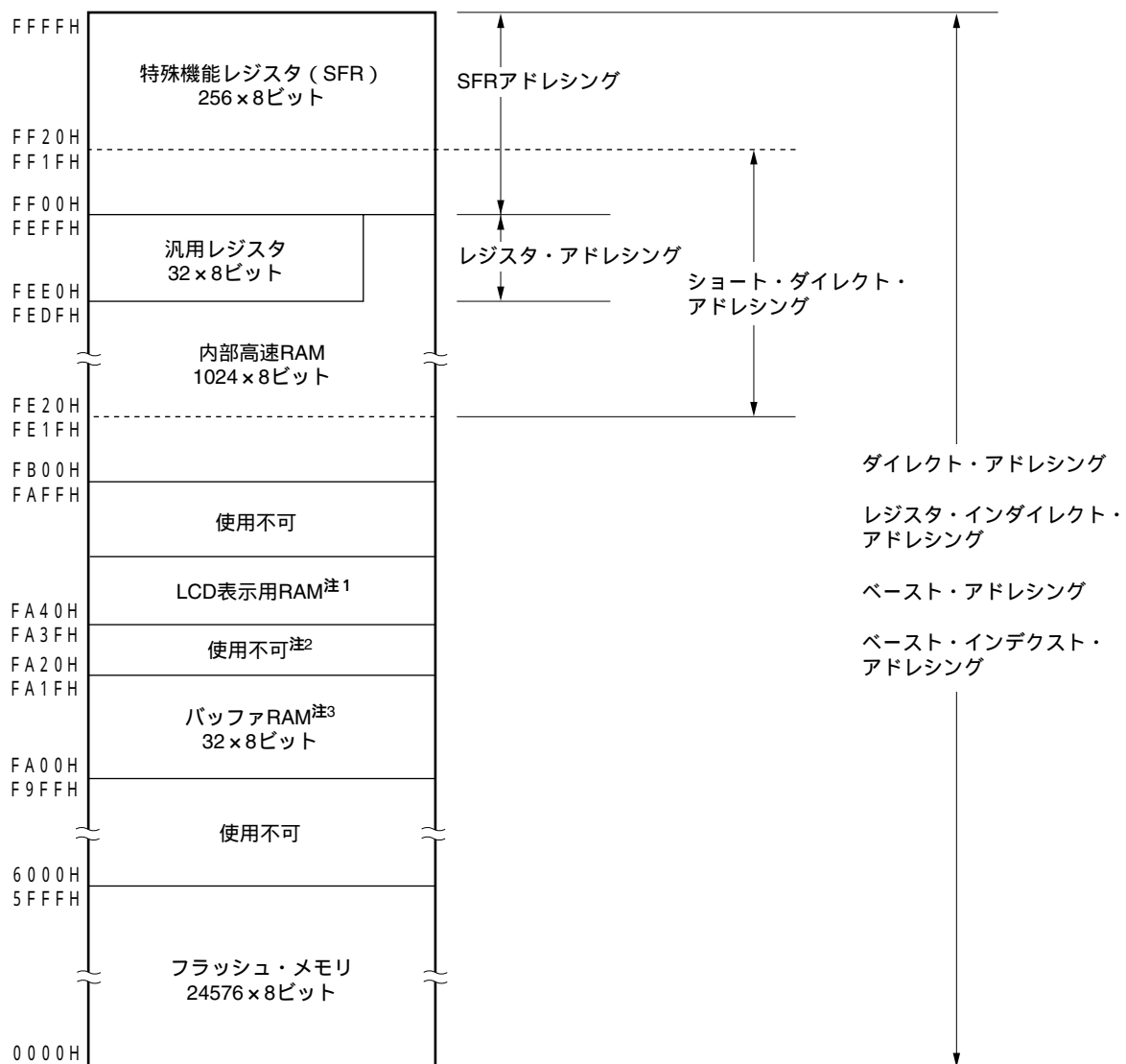
μ PD78F0421, 78F0431, 78F0461 : 24×8ビット (FA40H-FA57H)

μ PD78F0441, 78F0451, 78F0491 : 32×8ビット (FA40H-FA5FH)

μ PD78F0471, 78F0481 : 40×8ビット (FA40H-FA67H)

2. ただし, μ PD78F0461, 78F0491では, FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。

3. バッファRAMは, μ PD78F0471, 78F0481, 78F0491 (78K0/LF3) にのみ内蔵されています。その他の製品では, FA00H-FA1FHの領域は使用不可です。

図3-9 データ・メモリとアドレッシングの対応 (μ PD78F04x2)

注1. μ PD78F0402, 78F0412 : 22×8ビット (FA40H-FA55H)

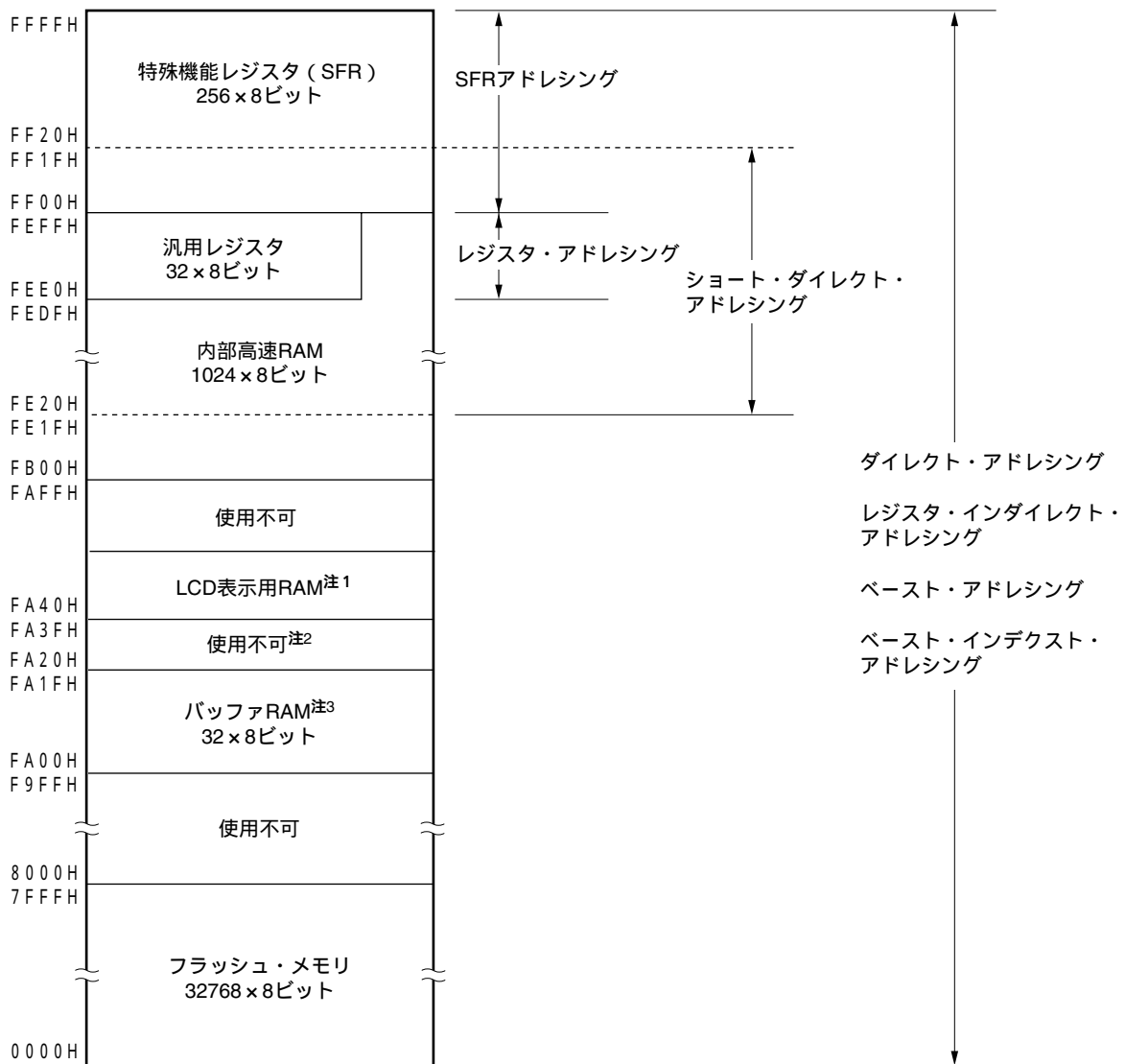
μ PD78F0422, 78F0432, 78F0462 : 24×8ビット (FA40H-FA57H)

μ PD78F0442, 78F0452, 78F0492 : 32×8ビット (FA40H-FA5FH)

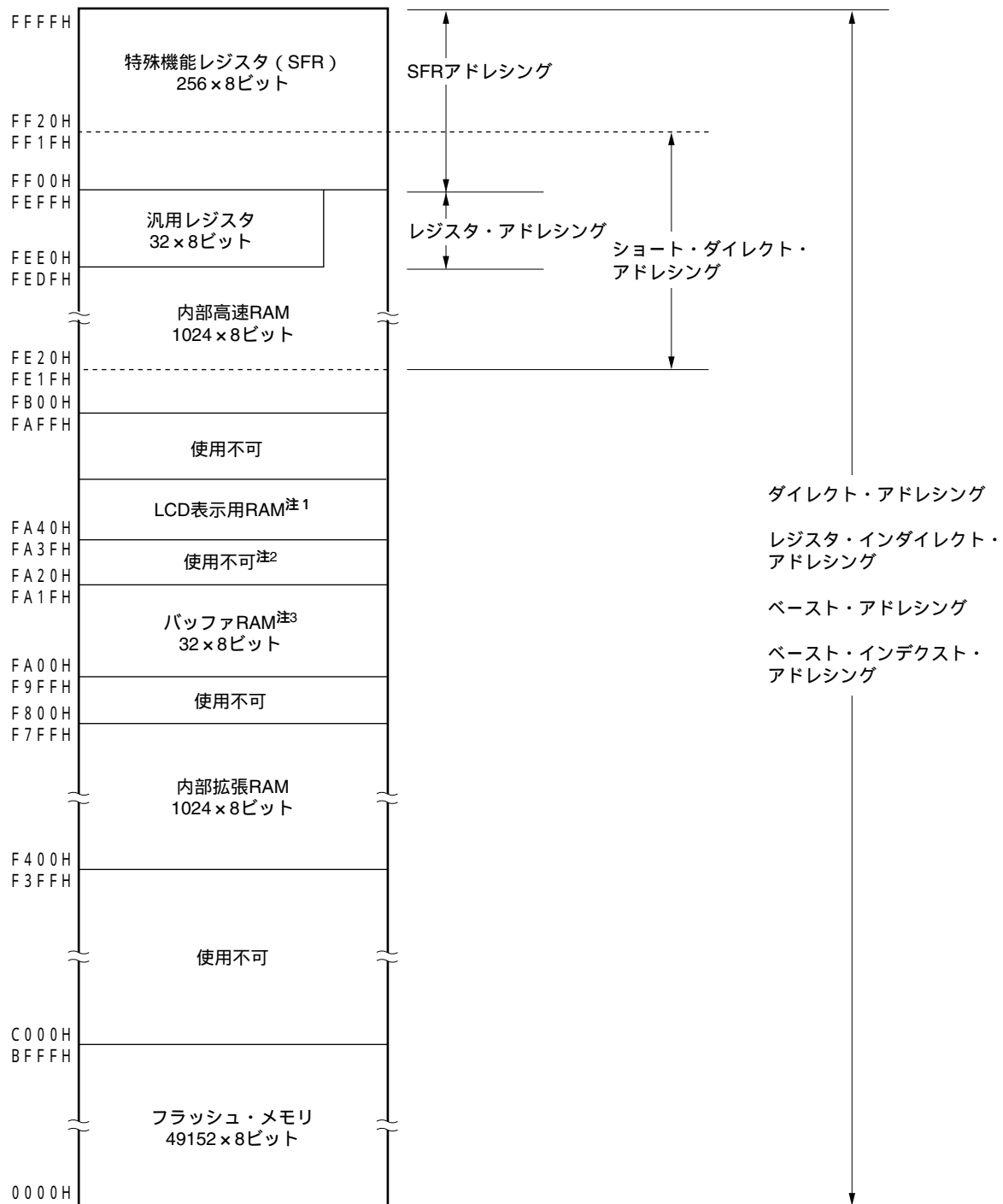
μ PD78F0472, 78F0482 : 40×8ビット (FA40H-FA67H)

2. ただし, μ PD78F0462, 78F0492では, FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。

3. バッファRAMは, μ PD78F0472, 78F0482, 78F0492 (78K0/LF3) にのみ内蔵されています。その他の製品では, FA00H-FA1FHの領域は使用不可です。

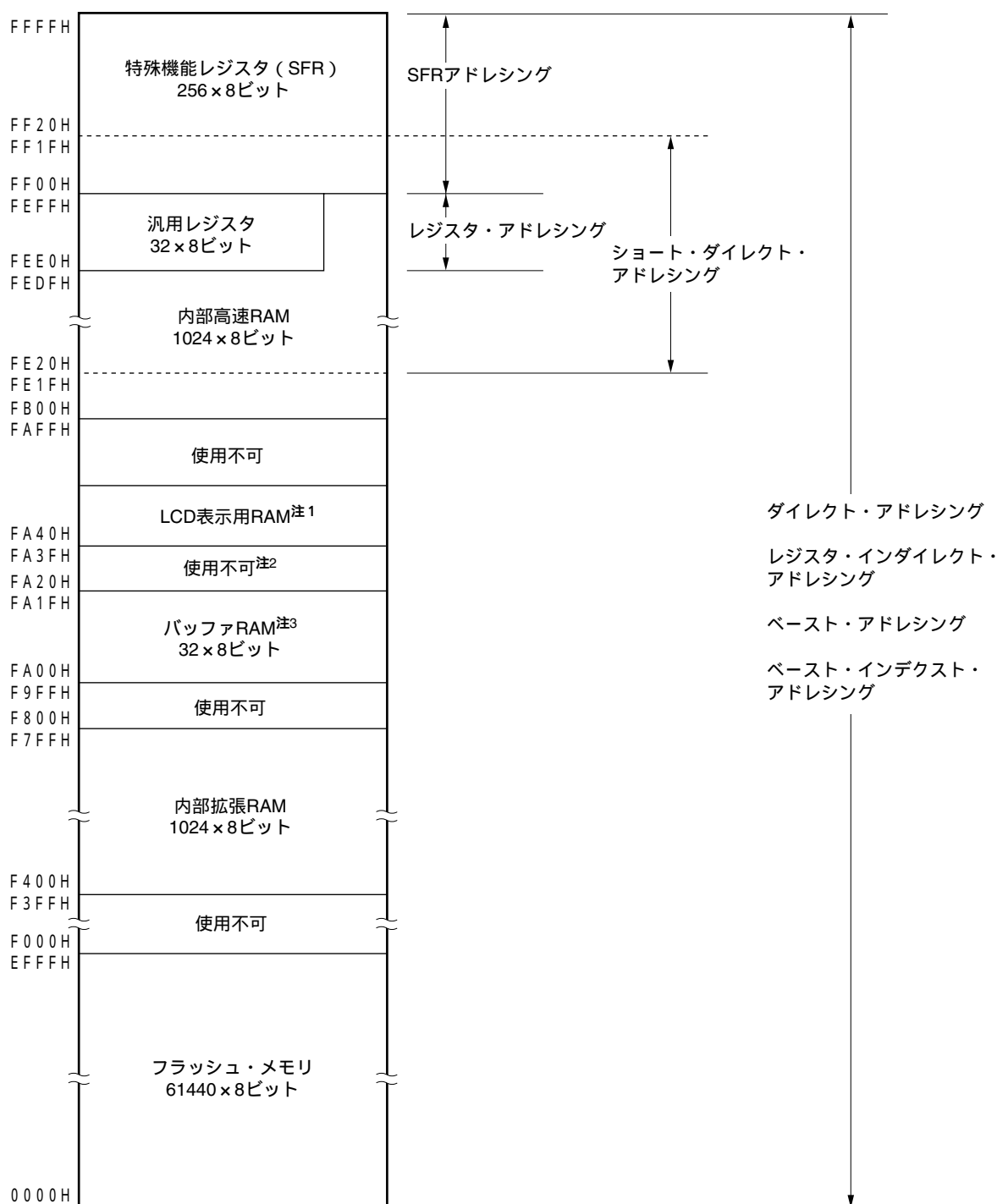
図3-10 データ・メモリとアドレッシングの対応 (μ PD78F04x3)

- 注1. μ PD78F0403, 78F0413 : 22 x 8ビット (FA40H-FA55H)
 μ PD78F0423, 78F0433, 78F0463 : 24 x 8ビット (FA40H-FA57H)
 μ PD78F0443, 78F0453, 78F0493 : 32 x 8ビット (FA40H-FA5FH)
 μ PD78F0473, 78F0483 : 40 x 8ビット (FA40H-FA67H)
2. ただし, μ PD78F0463, 78F0493では, FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。
3. バッファRAMは, μ PD78F0473, 78F0483, 78F0493 (78K0/LF3) にのみ内蔵されています。その他の製品では, FA00H-FA1FHの領域は使用不可です。

図3-11 データ・メモリとアドレッシングの対応 (μ PD78F04x4)

- 注1. μ PD78F0464 : 24×8ビット (FA40H-FA57H)
 μ PD78F0444, 78F0454, 78F0494 : 32×8ビット (FA40H-FA5FH)
 μ PD78F0474, 78F0484 : 40×8ビット (FA40H-FA67H)

2. ただし、 μ PD78F0464, 78F0494では、FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。
 3. バッファRAMは、 μ PD78F0474, 78F0484, 78F0494 (78K0/LF3) にのみ内蔵されています。その他の製品では、FA00H-FA1FHの領域は使用不可です。

図3-12 データ・メモリとアドレッシングの対応 (μ PD78F04x5)

注1. μ PD78F0465 : 24×8ビット (FA40H-FA57H)

μ PD78F0445, 78F0455, 78F0495 : 32×8ビット (FA40H-FA5FH)

μ PD78F0475, 78F0485 : 40×8ビット (FA40H-FA67H)

2. ただし, μ PD78F0465, 78F0495では, FA26H, FA27Hは使用可能です (13.3 16ビット $\Delta\Sigma$ 型A/Dコンバータで使用するレジスタを参照)。

3. バッファRAMは, μ PD78F0475, 78F0485, 78F0495 (78K0/LF3) にのみ内蔵されています。その他の製品では, FA00H-FA1FHの領域は使用不可です。

3.2 プロセッサ・レジスタ

78K0/Lx3マイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

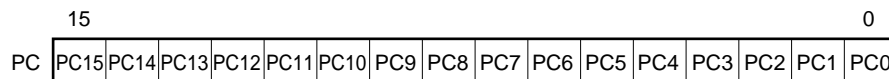
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 13 プログラム・カウンタの構成



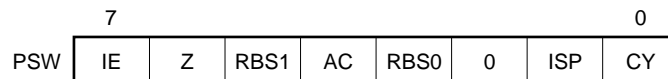
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、02Hになります。

図3 - 14 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサービス・プライオリティ・フラグ (ISP)

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) (21.3(3) **優先順位指定フラグ・レジスタ** (PR0L, PR0H, PR1L, PR1H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

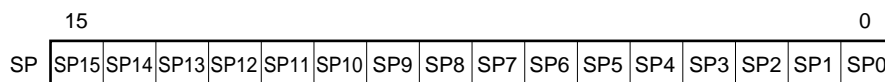
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 15 スタック・ポインタの構成



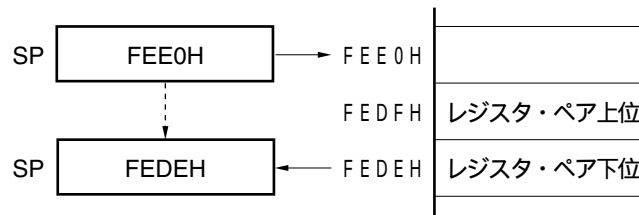
スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 16, 図3 - 17のようになります。

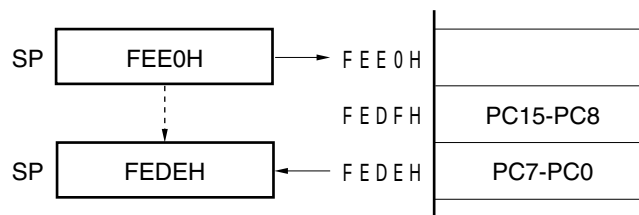
注意 SPの内容は、リセット信号の発生により不定になりますので、必ずスタック使用前にイニシャライズしてください。

図3-16 スタック・メモリへ退避されるデータ

(a) PUSH rp命令 (SPがFEE0Hの場合)



(b) CALL, CALLF, CALLT命令 (SPがFEE0Hの場合)



(c) 割り込み, BRK命令 (SPがFEE0Hの場合)

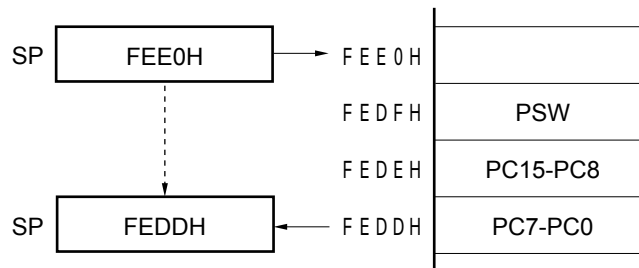
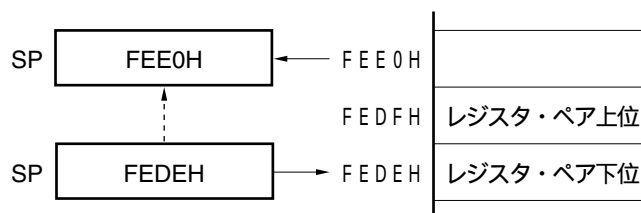
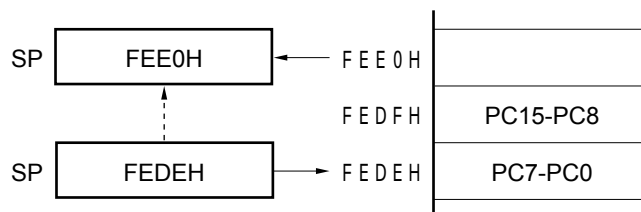


図3-17 スタック・メモリから復帰されるデータ

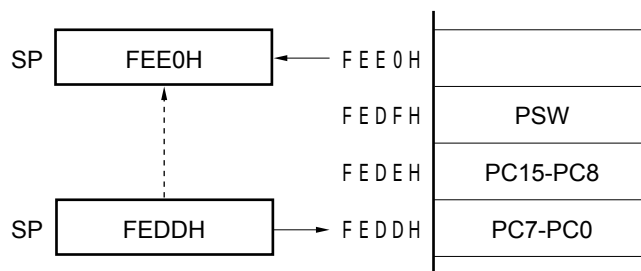
(a) POP rp命令 (SPがFEDEHの場合)



(b) RET命令 (SPがFEDEHの場合)



(c) RETI, RETB命令 (SPがFEDDHの場合)



3.2.2 汎用レジスタ

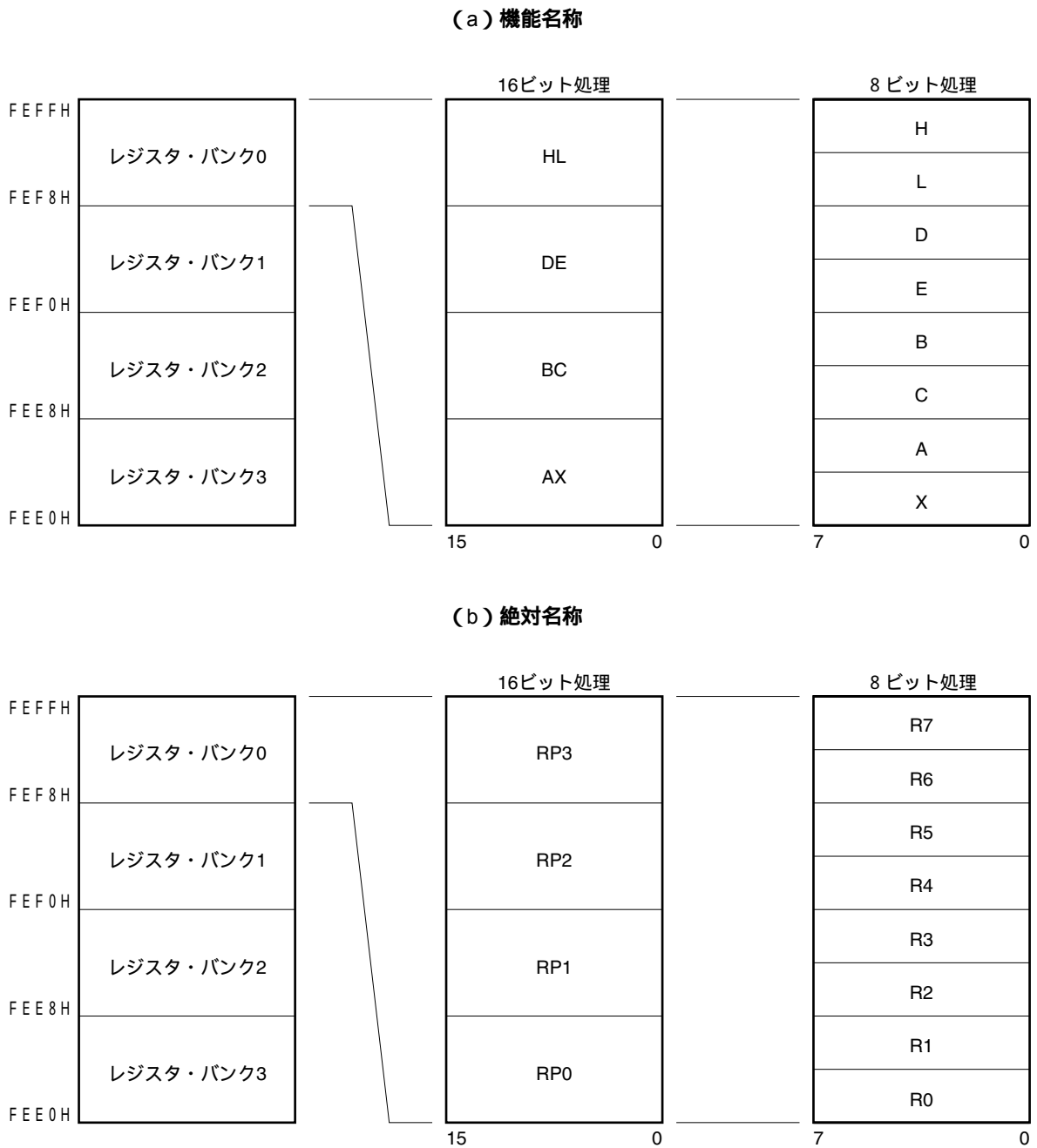
汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図3 - 18 汎用レジスタの構成



3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 9に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0で予約語に、CC78K0では#pragma sfr指令で、sfr変数として定義されているものです。RA78K0, ID78K0-QB使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。- は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

表3-9 特殊機能レジスタ一覧(1/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	L C 3	L D 3	L E 3	L F 3
				1 ビット	8 ビット	16 ビット					
FF00H	受信バッファ・レジスタ6	RXB6	R	-		-	FFH				
FF01H	ポート・レジスタ1	P1	R/W			-	00H				
FF02H	ポート・レジスタ2	P2	R/W			-	00H				
FF03H	ポート・レジスタ3	P3	R/W			-	00H				
FF04H	ポート・レジスタ4	P4	R/W			-	00H				
FF05H	送信バッファ・レジスタ6	TXB6	R/W	-		-	FFH				
FF06H	10ビットA/D変換結果レジスタ	ADCR	R	-	-		0000H	注1	注2	注3	注4
FF07H	8ビットA/D変換結果レジスタH	ADCRH	R	-		-	00H	注1	注2	注3	注4
FF08H	ポート・レジスタ8	P8	R/W			-	00H	-			
FF09H	ポート・レジスタ9	P9	R/W			-	00H	-	-	-	
FF0AH	ポート・レジスタ10	P10	R/W			-	00H				
FF0BH	ポート・レジスタ11	P11	R/W			-	00H				
FF0CH	ポート・レジスタ12	P12	R/W			-	00H				
FF0DH	ポート・レジスタ13	P13	R/W			-	00H	-	-	-	
FF0EH	ポート・レジスタ14	P14	R/W			-	00H				
FF0FH	ポート・レジスタ15	P15	R/W			-	00H				
FF10H	16ビット・タイマ・カウンタ00	TM00	R	-	-		0000H				
FF11H											
FF12H	16ビット・タイマ・キャプチャ/ コンペア・レジスタ000	CR000	R/W	-	-		0000H				
FF13H											
FF14H	16ビット・タイマ・キャプチャ/ コンペア・レジスタ010	CR010	R/W	-	-		0000H				
FF15H											
FF16H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H				
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	-		-	00H				
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	-		-	00H				
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	-		-	00H				
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	-		-	00H				
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	-		-	00H				
FF1FH	シリアルI/Oシフト・レジスタ10	SIO10	R	-		-	00H	-			
FF20H	ポート・ファンクション・レジスタ1	PF1	R/W			-	00H				
FF21H	ポート・モード・レジスタ1	PM1	R/W			-	FFH				
FF22H	ポート・モード・レジスタ2	PM2	R/W			-	FFH				
FF23H	ポート・モード・レジスタ3	PM3	R/W			-	FFH				
FF24H	ポート・モード・レジスタ4	PM4	R/W			-	FFH				
FF28H	ポート・モード・レジスタ8	PM8	R/W			-	FFH	-			
FF29H	ポート・モード・レジスタ9	PM9	R/W			-	FFH	-	-	-	
FF2AH	ポート・モード・レジスタ10	PM10	R/W			-	FFH				
FF2BH	ポート・モード・レジスタ11	PM11	R/W			-	FFH				
FF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH				
FF2DH	ポート・モード・レジスタ13	PM13	R/W			-	FFH	-	-	-	

注1. μ PD78F041xのみ。

2. μ PD78F043xのみ。

3. μ PD78F045x, 78F046xのみ。

4. μ PD78F048x, 78F049xのみ。

表3-9 特殊機能レジスタ一覧(2/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	L C 3	L D 3	L E 3	L F 3
				1 ビット	8 ビット	16 ビット					
FF2EH	ポート・モード・レジスタ14	PM14	R/W			-	FFH				
FF2FH	ポート・モード・レジスタ15	PM15	R/W			-	FFH				
FF30H	高速内蔵発振トリミング・レジスタ	HIOTRM	R/W	-		-	10H				
FF31H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H				
FF33H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H				
FF34H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H				
FF38H	ブルアップ抵抗オプション・レジスタ8	PU8	R/W			-	00H	-			
FF39H	ブルアップ抵抗オプション・レジスタ9	PU9	R/W			-	00H	-	-	-	
FF3AH	ブルアップ抵抗オプション・レジスタ10	PU10	R/W			-	00H				
FF3BH	ブルアップ抵抗オプション・レジスタ11	PU11	R/W			-	00H				
FF3CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H				
FF3DH	ブルアップ抵抗オプション・レジスタ13	PU13	R/W			-	00H	-	-	-	
FF3EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H				
FF3FH	ブルアップ抵抗オプション・レジスタ15	PU15	R/W			-	00H				
FF40H	クロック出力選択レジスタ	CKS	R/W			-	00H				
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W	-		-	00H				
FF42H	8ビット・タイマHモード・レジスタ2	TMHMD2	R/W			-	00H				
FF43H	8ビット・タイマ・モード・コントロール・ レジスタ51	TMC51	R/W			-	00H				
FF44H	8ビット・タイマHコンペア・レジスタ02	CMP02	R/W	-		-	00H				
FF45H	8ビット・タイマHコンペア・レジスタ12	CMP12	R/W	-		-	00H				
FF47H	MCGステータス・レジスタ	MC0STR	R			-	00H				
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP	R/W			-	00H				
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN	R/W			-	00H				
FF4AH	MCG送信バッファ・レジスタ	MC0TX	R/W	-		-	FFH				
FF4BH	MCG送信ビット数指定レジスタ	MC0BIT	R/W	-		-	07H				
FF4CH	MCGコントロール・レジスタ0	MC0CTL0	R/W			-	10H				
FF4DH	MCGコントロール・レジスタ1	MC0CTL1	R/W	-		-	00H				
FF4EH	MCGコントロール・レジスタ2	MC0CTL2	R/W	-		-	1FH				
FF4FH	入力切り替え制御レジスタ	ISC	R/W			-	00H				
FF50H	アシンクロナス・シリアル・インタフェース 動作モード・レジスタ6	ASIM6	R/W			-	01H				
FF51H	8ビット・タイマ・カウンタ52	TM52	R	-		-	00H				
FF53H	アシンクロナス・シリアル・インタフェース 受信エラー・ステータス・レジスタ6	ASIS6	R	-		-	00H				
FF54H	リアルタイム・カウンタ・クロック選択レジスタ	RTCCL	R/W			-	00H				
FF55H	アシンクロナス・シリアル・インタフェース 送信ステータス・レジスタ6	ASIF6	R	-		-	00H				
FF56H	クロック選択レジスタ6	CKSR6	R/W	-		-	00H				
FF57H	ポー・レート・ジェネレータ・コントロール・ レジスタ6	BRGC6	R/W	-		-	FFH				

表3-9 特殊機能レジスタ一覧(3/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	L C 3	L D 3	L E 3	L F 3
				1 ビット	8 ビット	16 ビット					
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6	R/W			-	16H				
FF59H	8ビット・タイマ・コンペア・レジスタ52	CR52	R/W	-		-	00H				
FF5BH	8ビット・タイマ・クロック選択レジスタ52	TCL52	R/W			-	00H				
FF5CH	8ビット・タイマ・モード・コントロール・レジスタ52	TMC52	R/W			-	00H				
FF60H	サブカウント・レジスタ	RSUBC	R	-	-		0000H				
FF61H											
FF62H	秒カウント・レジスタ	SEC	R/W	-		-	00H				
FF63H	分カウント・レジスタ	MIN	R/W	-		-	00H				
FF64H	時カウント・レジスタ	HOURL	R/W	-		-	12H				
FF65H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H				
FF66H	日カウント・レジスタ	DAY	R/W	-		-	01H				
FF67H	月カウント・レジスタ	MONTH	R/W	-		-	01H				
FF68H	年カウント・レジスタ	YEAR	R/W	-		-	00H				
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W			-	00H				
FF6AH	タイマ・クロック選択レジスタ50	TCL50	R/W			-	00H				
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W			-	00H				
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W			-	00H				
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W			-	00H				
FF6EH	キー・リターン・モード・レジスタ	KRM	R/W			-	00H				
FF6FH	8ビット・タイマ・カウンタ51	TM51	R	-		-	00H				
FF70H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	ASIM0	R/W			-	01H				
FF71H	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W	-		-	1FH				
FF72H	受信バッファ・レジスタ0	RXB0	R	-		-	FFH				
FF73H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	ASIS0	R	-		-	00H				
FF74H	送信シフト・レジスタ0	TXS0	W	-		-	FFH				
FF75H	16ビット A/D変換ステータス・レジスタ	ADDSTR	R	-		-	00H	-	-	注1	注2
FF7CH	16ビット A/Dコンバータ・コントロール・レジスタ0	ADDCTL0	R/W			-	00H	-	-	注1	注2
FF7DH	16ビット A/Dコンバータ・コントロール・レジスタ1	ADDCTL1	R/W			-	00H	-	-	注1	注2
FF7EH	16ビット 型A/D変換結果レジスタ	ADDCR	R	-	-		0000H	-	-	注1	注2
FF7FH	8ビット 型A/D変換結果レジスタ	ADDCRH	R	-	-		00H	-	-	注1	注2

注1. μ PD78F046xのみ。

2. μ PD78F049xのみ。

表3-9 特殊機能レジスタ一覧(4/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	L C 3	L D 3	L E 3	L F 3
				1 ビット	8 ビット	16 ビット					
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	00H	-			
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W			-	00H	-			
FF82H	時計誤差補正レジスタ	SUBCUD	R/W			-	00H				
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	-		-	00H	-			
FF86H	アラーム分レジスタ	ALARMWM	R/W	-		-	00H				
FF87H	アラーム時レジスタ	ALARMWH	R/W	-		-	12H				
FF88H	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H				
FF89H	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H				
FF8AH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H				
FF8BH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H				
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W			-	00H				
FF8DH	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H	注1	注2	注3	注4
FF8EH	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H	注1	注2	注3	注4
FF8FH	A/Dポート・コンフィギュレーション・レジスタ0	ADPC0	R/W			-	08H	注1	注2	注3	注4
FF90H	シリアル動作モード指定レジスタ0	CSIMA0	R/W			-	00H	-	-	-	
FF91H	シリアル・ステータス・レジスタ0	CSIS0	R/W			-	00H	-	-	-	
FF92H	シリアル・トリガ・レジスタ0	CSIT0	R/W			-	00H	-	-	-	
FF93H	分周値選択レジスタ0	BRGCA0	R/W	-		-	03H	-	-	-	
FF94H	自動データ転送アドレス・ポイント指定レジスタ0	ADTP0	R/W	-		-	00H	-	-	-	
FF95H	自動データ転送間隔指定レジスタ0	ADTI0	R/W	-		-	00H	-	-	-	
FF96H	シリアルI/Oシフト・レジスタ0	SIOA0	R/W	-		-	00H	-	-	-	
FF97H	自動データ転送アドレス・カウント・レジスタ0	ADTC0	R	-		-	00H	-	-	-	
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1AH/ 9AH ^{注5}				
FF9AH	リモコン受信制御レジスタ	RMCN	R/W			-	00H	-			
FF9BH	リモコン受信データ・レジスタ	RMDR	R	-		-	00H	-			
FF9CH	リモコン・シフト・レジスタ受信カウンタ・レジスタ	RMSCR	R	-		-	00H	-			
FF9DH	リモコン受信GPLSコンペア・レジスタ	RMGPLS	R/W	-		-	00H	-			
FF9EH	リモコン受信GPLLコンペア・レジスタ	RMGPLL	R/W	-		-	00H	-			

注1. μ PD78F041xのみ。

2. μ PD78F043xのみ。

3. μ PD78F045x, 78F046xのみ。

4. μ PD78F048x, 78F049xのみ。

5. WDTEのリセット値は、オプション・バイトの設定で決定します。

表3-9 特殊機能レジスタ一覧(5/6)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時	L C 3	L D 3	L E 3	L F 3
					1 ビット	8 ビット	16 ビット					
FF9FH	クロック動作モード選択レジスタ	OSCCTL		R/W			-	00H				
FFA0H	内蔵発振モード・レジスタ	RCM		R/W			-	80H ^{注1}				
FFA1H	メイン・クロック・モード・レジスタ	MCM		R/W			-	00H				
FFA2H	メインOSCコントロール・レジスタ	MOC		R/W			-	80H				
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC		R			-	00H				
FFA4H	発振安定時間選択レジスタ	OSTS		R/W	-		-	05H				
FFA5H	リモコン受信GPHSコンペア・レジスタ	RMGPHS		R/W	-		-	00H	-			
FFA6H	リモコン受信GPHLコンペア・レジスタ	RMGPHL		R/W	-		-	00H	-			
FFA7H	リモコン受信DLSコンペア・レジスタ	RMDLS		R/W	-		-	00H	-			
FFA8H	リモコン受信DLLコンペア・レジスタ	RMDLL		R/W	-		-	00H	-			
FFA9H	リモコン受信DH0Sコンペア・レジスタ	RMDH0S		R/W	-		-	00H	-			
FFAAH	リモコン受信DH0Lコンペア・レジスタ	RMDH0L		R/W	-		-	00H	-			
FFABH	リモコン受信シフト・レジスタ	RMSR		R	-		-	00H	-			
FFACH	リセット・コントロール・フラグ・レジスタ	RESF		R	-		-	00H ^{注2}				
FFADH	リモコン受信DH1Sコンペア・レジスタ	RMDH1S		R/W	-		-	00H	-			
FFAEH	リモコン受信DH1Lコンペア・レジスタ	RMDH1L		R/W	-		-	00H	-			
FFAFH	リモコン受信エンド幅選択レジスタ	RMER		R/W	-		-	00H	-			
FFB0H	LCDモード・レジスタ	LCDMD		R/W			-	00H				
FFB1H	LCD表示モード・レジスタ	LCDM		R/W			-	00H				
FFB2H	LCDクロック制御レジスタ0	LCDC0		R/W			-	00H				
FFB5H	ポート・ファンクション・レジスタ2	PF2		R/W			-	00H			注3	注4
FFB6H	ポート・ファンクション・レジスタALL	PFALL		R/W			-	00H				
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W			-	00H				
FFBBH	プリスケアラ・モード・レジスタ00	PRM00		R/W			-	00H				
FFBCH	キャプチャ/コンペア・コントロール・レジスタ00	CRC00		R/W			-	00H				
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00		R/W			-	00H				
FFBEH	低電圧検出レジスタ	LVIM		R/W			-	00H ^{注5}				
FFBFH	低電圧検出レベル選択レジスタ	LVIS		R/W			-	00H ^{注5}				
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W				00H				
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W				00H				
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W				00H				
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W				00H				

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. RESFのリセット値は、リセット要因により変化します。

3. μ PD78F044x, 78F045xのみ。

4. μ PD78F047x, 78F048xのみ。

5. LVIM, LVISのリセット値は、リセット要因により変化します。

表3-9 特殊機能レジスタ一覧(6/6)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時	L C 3	L D 3	L E 3	L F 3
				1 ビット	8 ビット	16 ビット					
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W				FFH			
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W				FFH			
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W				FFH			
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W				FFH			
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W				FFH			
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W				FFH			
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W				FFH			
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W				FFH			
FFF0H	メモリ・サイズ切り替えレジスタ ^注	IMS		R/W	-	-		CFH			
FFF4H	内部拡張RAMサイズ切り替えレジスタ ^注	IXS		R/W	-	-		0CH	-	-	
FFF9H	リモコン受信割り込みステータス・レジスタ	INTS		R		-		00H	-		
FFFAH	リモコン受信割り込みステータス・クリア・レジスタ	INTC		R/W		-		00H	-		
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W		-		01H			

注 IMSとIXSのリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Lx3マイクロコントローラすべての製品において一定(IMS = CFH, IXS = 0CH)となっています。したがって、リセット解除後、製品ごとに表3-1, 表3-2に示す値を必ず設定してください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

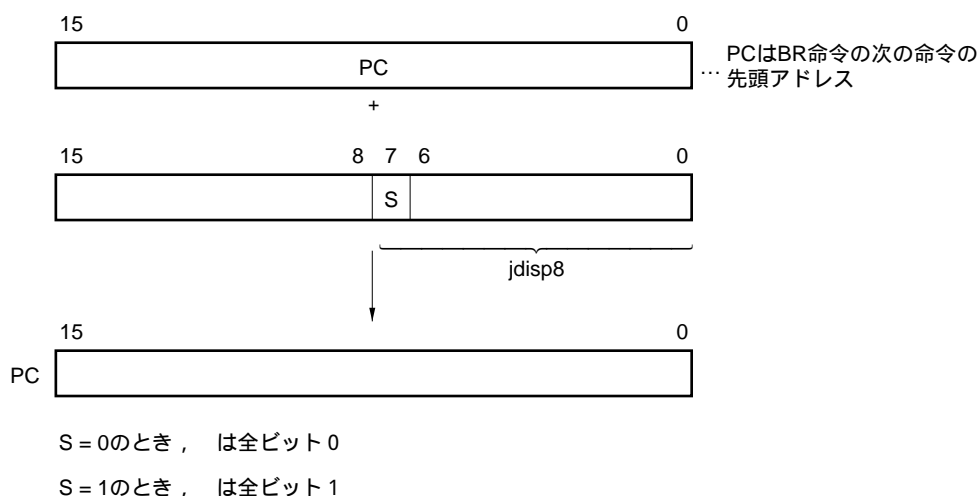
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

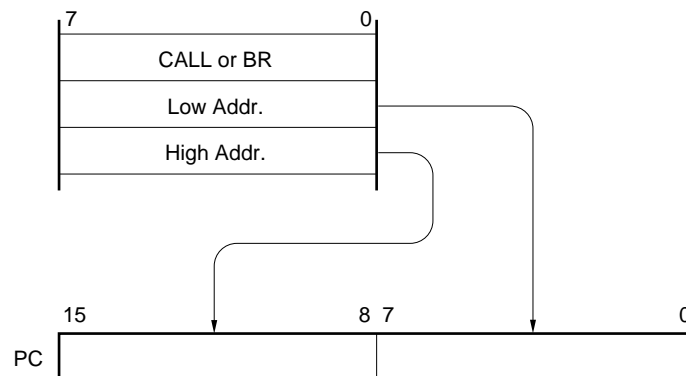
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

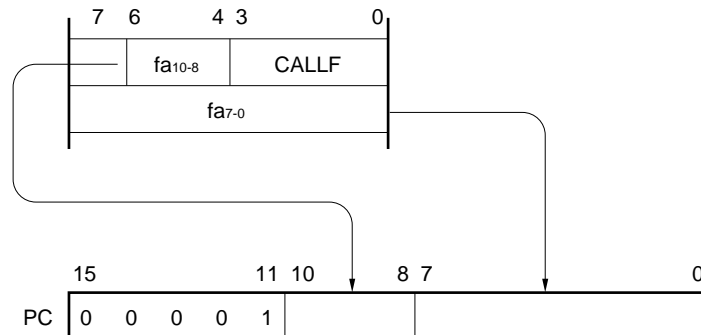
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



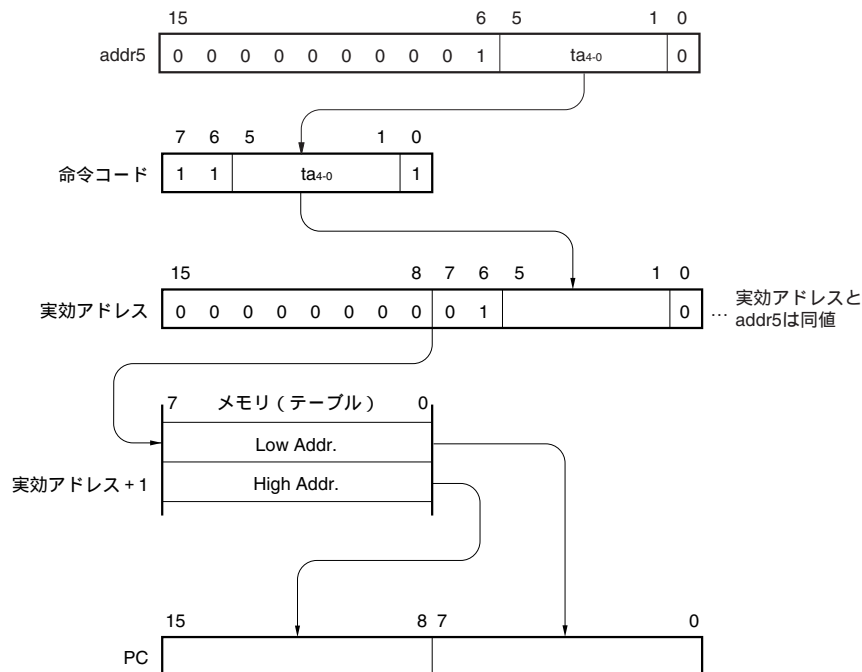
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



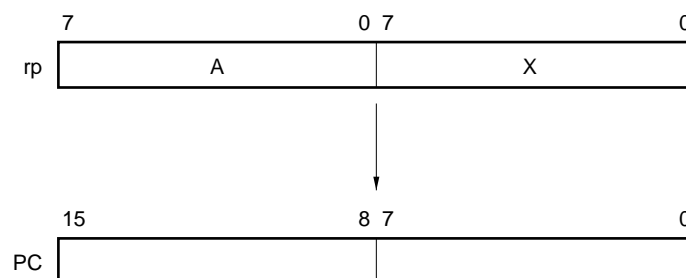
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

78K0/Lx3マイクロコントローラの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

【記 述 例】

MULU Xの場合

8ビット×8ビットの乗算命令において、AレジスタとXレジスタの積をAXに格納する。ここで、A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コードにより指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

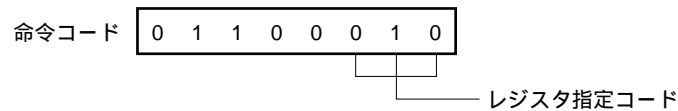
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

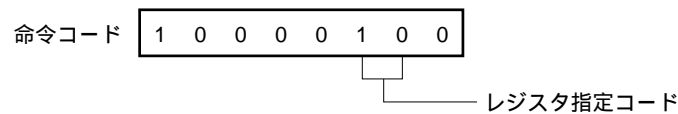
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

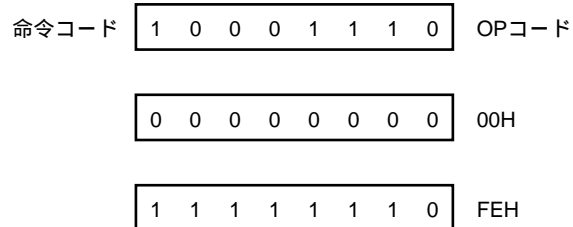
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

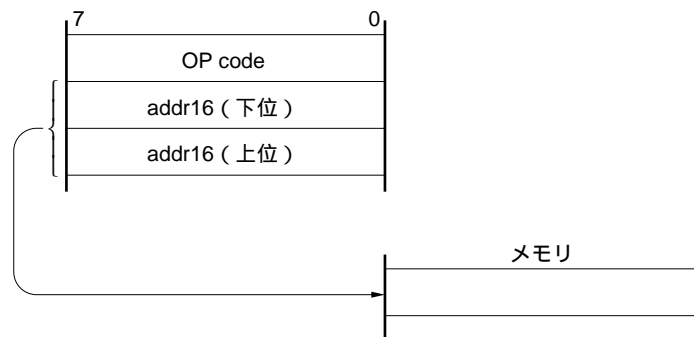
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間で、FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部分です。この領域には、プログラム上で頻繁にアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

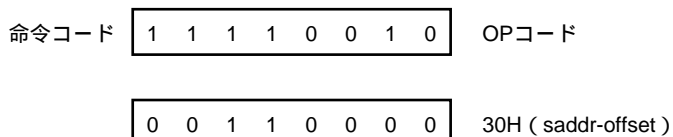
実効アドレスのビット8は、8ビット・イミューディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

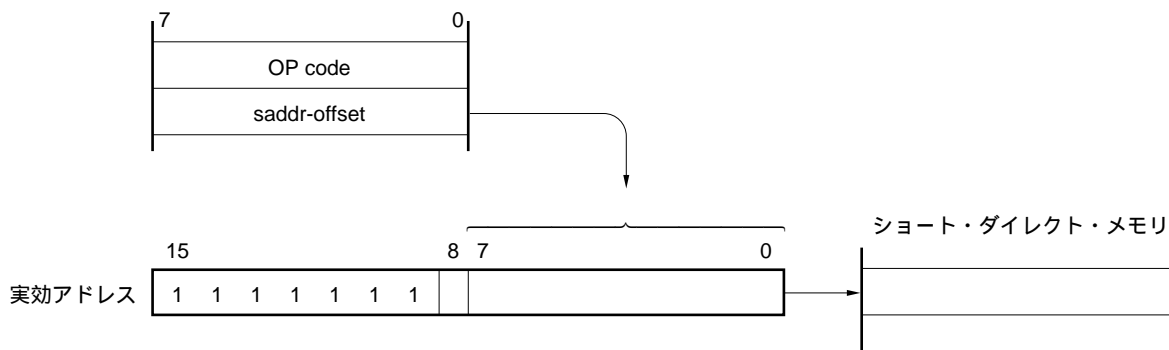
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ
saddrp	ラベルまたはFE20H-FF1FHを示すイミューディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, A ; saddr (FE30H) に、Aレジスタの値を転送する場合



【図解】



8ビット・イミューディエト・データが20H-FFHのとき、 = 0

8ビット・イミューディエト・データが00H-1FHのとき、 = 1

3.4.5 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

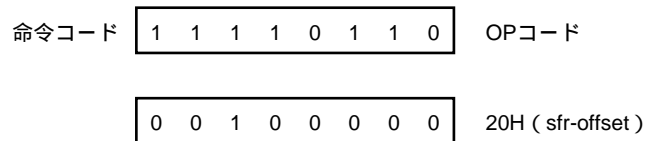
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

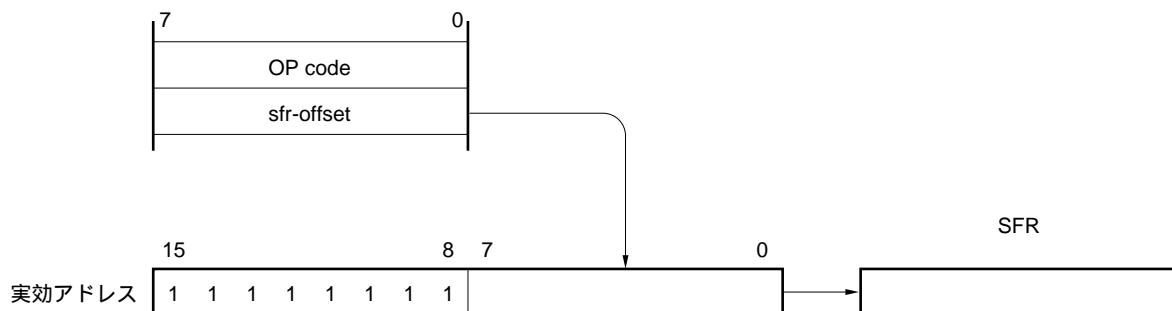
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

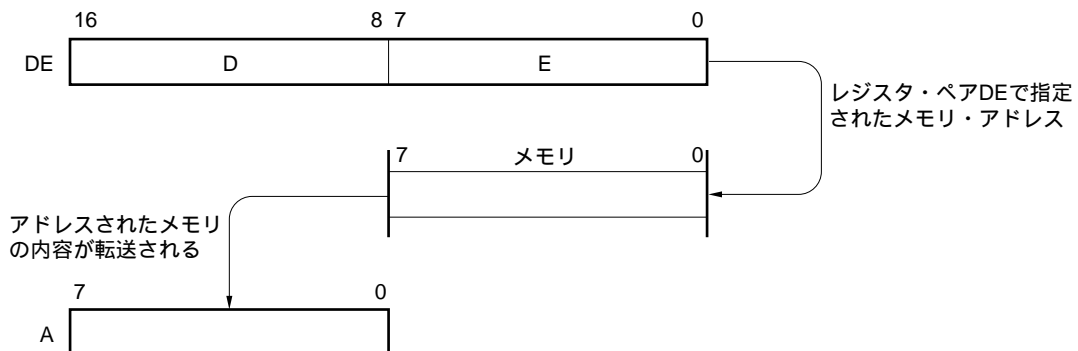
【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

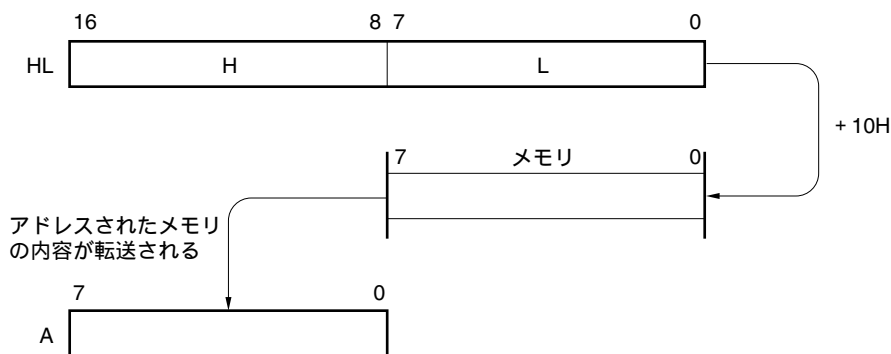
MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

【図解】



3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のレジスタです。加算は、BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + B], [HL + C]

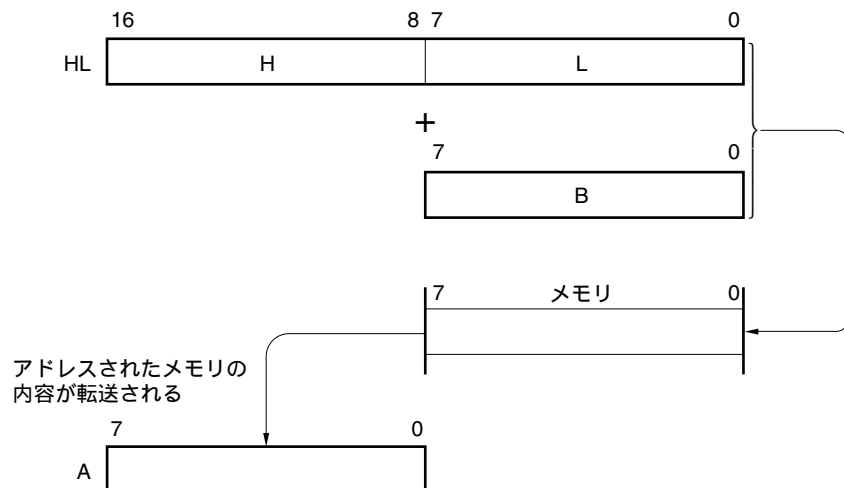
【記述例】

MOV A, [HL + B] ; Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

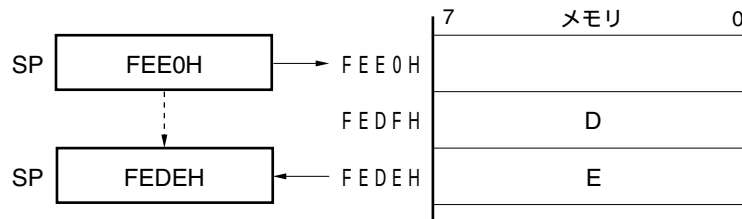
【記述例】

PUSH DE ; DEレジスタをセーブする場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{REF} ^注、 V_{DD} の2系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各ポート端子の入出力バッファ電源

電源	対応する端子
AV_{REF} ^注	P20-P27
V_{DD}	P20-P27以外のポート端子

注 μ PD78F041x, 78F043x, 78F045x, 78F046x, 78F048x, 78F049xのみ。その他の製品では、 V_{DD} となります。

78K0/Lx3マイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2～表4 - 5のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

4.1.1 78K0/LC3

表4-2 ポートの機能 (78K0/LC3)

端子名称	入出力	機能	リセット時	兼用端子
P12	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RxD0/KR3/<RxD6>
P13				TxD0/KR4/<TxD6>
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	SEG21/ANI0 ^注
P21				SEG20/ANI1 ^注
P22				SEG19/ANI2 ^注
P23				SEG18/ANI3 ^注
P24				SEG17/ANI4 ^注
P25				SEG16/ANI5 ^注
P31				入出力
P32	TOH0/MCGO			
P33	TI000/RTCDIV/ RTCCL/BUZ/INTP2			
P34	TI52/TI010/TO00/ RTC1HZ/INTP1			
P40	入出力	ポート4。 1ビット入出力ポート。 入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	V _{LC3} /KR0
P100, P101	入出力	ポート10。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4, SEG5
P112	入出力	ポート11。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG6/TxD6
P113				SEG7/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1/OC0A
P122				X2/EXCLK/OC0B
P123				XT1
P124				XT2
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8 (KS0) -SEG11 (KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12 (KS4) -SEG15 (KS7)

注 μPD78F041xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

4.1.2 78K0/LD3

表4-3 ポートの機能 (78K0/LD3) (1/2)

端子名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/KR2
P12				SI10/RxD0/<RxD6>/KR3
P13				SO10/TxD0/<TxD6>/KR4
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	SEG23/ANI0 ^注
P21				SEG22/ANI1 ^注
P22				SEG21/ANI2 ^注
P23				SEG20/ANI3 ^注
P24				SEG19/ANI4 ^注
P25				SEG18/ANI5 ^注
P31	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/RTCCL/BUZ/ INTP2
P34				TI52/TI010/TO00/RTC1HZ/ INTP1
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0/V _{LC3}
P41				KR1/RIN
P80	入出力	ポート8。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4
P100, P101	入出力	ポート10。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG5, SEG6
P111	入出力	ポート11。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG7
P112				SEG8/TxD6
P113				SEG9/RxD6

注 μ PD78F043xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表4 - 3 ポートの機能 (78K0/LD3) (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P120	入出力	ポート12。	入力ポート	EXLVI/INTP0
P121	入力	1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		X1/OCD0A
P122				X2/EXCLK/OCD0B
P123				XT1
P124				XT2
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG10(KS0)-SEG13(KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG14(KS4)-SEG17(KS7)

4.1.3 78K0/LE3

表4-4 ポートの機能(78K0/LE3)(1/2)

端子名称	入出力	機能	リセット時	兼用端子
P11	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10
P12				SI10/RxD0/<RxD6>
P13				SO10/TxD0/<TxD6>
P14				INTP4
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	SEG3 ^{注1} /ANI0 ^{注2} /DS0- ^{注3}
P21				SEG30 ^{注1} /ANI1 ^{注2} /DS0+ ^{注3}
P22				SEG29 ^{注1} /ANI2 ^{注2} /DS1- ^{注3}
P23				SEG28 ^{注1} /ANI3 ^{注2} /DS1+ ^{注3}
P24				SEG27 ^{注1} /ANI4 ^{注2} /DS2- ^{注3}
P25				SEG26 ^{注1} /ANI5 ^{注2} /DS2+ ^{注3}
P26				SEG25 ^{注1} /ANI6 ^{注2} /REF- ^{注3}
P27				SEG24 ^{注1} /ANI7 ^{注2} /REF+ ^{注3}
P31	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOH1/INTP3
P32				TOH0/MCGO
P33				Ti000/RTCDIV/ RTCCL/BUZ/INTP2
P34				Ti52/Ti010/TO00/ RTC1HZ/INTP1
P40	入出力	ポート4。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	V _{LC3} /KR0
P41				RIN/KR1
P42				KR2
P43				TO51/Ti51/KR3
P44				TO50/Ti50/KR4
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7

注1. μ PD78F044x, 78F045xのみ。

2. μ PD78F045x, 78F046xのみ。

3. μ PD78F046xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表4 - 4 ポートの機能 (78K0/LE3) (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12, SEG13
P112				SEG14/TxD6
P113				SEG15/RxD6
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/OC0A
P122				X2/EXCLK/OC0B
P123				XT1
P124				XT2
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16(KS0)-SEG19(KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20(KS4)-SEG23(KS7)

4.1.4 78K0/LF3

表4-5 ポートの機能 (78K0/LF3) (1/2)

端子名称	入出力	機能	リセット時	兼用端子
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCL
P11				SCK10
P12				SI10/RxD0
P13				SO10/TxD0
P14				SCKA0/INTP4
P15				SIA0/<RxD6>
P16				SOA0/<TxD6>
P17				—
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	SEG39 ^{注1} /ANI0 ^{注2} /DS0- ^{注3}
P21				SEG38 ^{注1} /ANI1 ^{注2} /DS0+ ^{注3}
P22				SEG37 ^{注1} /ANI2 ^{注2} /DS1- ^{注3}
P23				SEG36 ^{注1} /ANI3 ^{注2} /DS1+ ^{注3}
P24				SEG35 ^{注1} /ANI4 ^{注2} /DS2- ^{注3}
P25				SEG34 ^{注1} /ANI5 ^{注2} /DS2+ ^{注3}
P26				SEG33 ^{注1} /ANI6 ^{注2} /REF- ^{注3}
P27				SEG32 ^{注1} /ANI7 ^{注2} /REF+ ^{注3}
P30	入出力	ポート3。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5
P31				TOH1/INTP3
P32				TOH0/MCGO
P33				TI000/RTCDIV/RTCCL/BUZ/ INTP2
P34				TI52/TI010/TO00/RTC1HZ/ INTP1
P40	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0/V _{LC3}
P41				KR1/RIN
P42				KR2
P43				KR3/TI51/TO51
P44				KR4/TI50/TO50
P45-P47				KR5-KR7
P80-P83	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG4-SEG7

注1. μ PD78F047x, 78F048xのみ。

2. μ PD78F048x, 78F049xのみ。

3. μ PD78F049xのみ。

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

表4 - 5 ポートの機能 (78K0/LF3) (2/2)

端子名称	入出力	機能	リセット時	兼用端子
P90-P93	入出力	ポート9。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG8-SEG11
P100-P103	入出力	ポート10。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG12-SEG15
P110, P111	入出力	ポート11。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG16, SEG17
P112				SEG18/TxD6
P113				SEG19/RxD6
P120	入出力	ポート12。	入力ポート	EXLVI/INTP0
P121	入力	1ビット入出力ポートと4ビット入力ポート。		X1/OC0A
P122		1ビット単位で入力 / 出力の指定可能。		X2/EXCLK/OC0B
P123		P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗		XT1
P124		を使用可能。		XT2
P130-P133	入出力	ポート13。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG20-SEG23
P140-P143	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG24(KS0)-SEG27(KS3)
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG28(KS4)-SEG31(KS7)

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-6 ポートの構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> ・78K0/LC3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM1-PM4, PM10-PM12, PM14, PM15 ポート・レジスタ (Pxx) : P1-P4, P10-P12, P14, P15 プルアップ抵抗オプション・レジスタ (PUxx) : PU1, PU3, PU4, PU10-PU12, PU14, PU15 ポート・ファンクション・レジスタ1 (PF1) ポート・ファンクション・レジスタ2 (PF2) ポート・ファンクション・レジスタALL (PFALL) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ^{注1} ・78K0/LD3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM1-PM4, PM8, PM10-PM12, PM14, PM15 ポート・レジスタ (Pxx) : P1-P4, P8, P10-P12, P14, P15 プルアップ抵抗オプション・レジスタ (PUxx) : PU1, PU3, PU4, PU8, PU10-PU12, PU14, PU15 ポート・ファンクション・レジスタ1 (PF1) ポート・ファンクション・レジスタ2 (PF2) ポート・ファンクション・レジスタALL (PFALL) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ^{注2} ・78K0/LE3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM1-PM4, PM8, PM10-PM12, PM14, PM15 ポート・レジスタ (Pxx) : P1-P4, P8, P10-P12, P14, P15 プルアップ抵抗オプション・レジスタ (PUxx) : PU1, PU3, PU4, PU8, PU10-PU12, PU14, PU15 ポート・ファンクション・レジスタ1 (PF1) ポート・ファンクション・レジスタ2 (PF2) ^{注3} ポート・ファンクション・レジスタALL (PFALL) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ^{注4} ・78K0/LF3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PMxx) : PM1-PM4, PM8-PM15 ポート・レジスタ (Pxx) : P1-P4, P8-P15 プルアップ抵抗オプション・レジスタ (PUxx) : PU1, PU3, PU4, PU8-PU15 ポート・ファンクション・レジスタ1 (PF1) ポート・ファンクション・レジスタ2 (PF2) ^{注5} ポート・ファンクション・レジスタALL (PFALL) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ^{注6}
ポート	<ul style="list-style-type: none"> ・78K0/LC3: 合計30本 (CMOS入出力: 26本, CMOS入力: 4本) ・78K0/LD3: 合計34本 (CMOS入出力: 30本, CMOS入力: 4本) ・78K0/LE3: 合計46本 (CMOS入出力: 42本, CMOS入力: 4本) ・78K0/LF3: 合計62本 (CMOS入出力: 58本, CMOS入力: 4本)
プルアップ抵抗	<ul style="list-style-type: none"> ・78K0/LC3: 合計20本 ・78K0/LD3: 合計24本 ・78K0/LE3: 合計34本 ・78K0/LF3: 合計50本

注1. μ PD78F041xのみ。

2. μ PD78F043xのみ。

3. μ PD78F044x, 78F045xのみ。

4. μ PD78F045x, 78F046xのみ。

5. μ PD78F047x, 78F048xのみ。

6. μ PD78F048x, 78F049xのみ。

4.2.1 ポート1

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P10/PCL
-	P11/SCK10/KR2	P11/SCK10	P11/SCK10
P12/RxD0/<RxD6>/KR3	P12/SI10/RxD0/<RxD6>/KR3	P12/SI10/RxD0/<RxD6>	P12/SI10/RxD0
P13/TxD0/<TxD6>/KR4	P13/SO10/TxD0/<TxD6>/KR4	P13/SO10/TxD0/<TxD6>	P13/SO10/TxD0
-	-	P14/INTP4	P14/SCKA0/INTP4
-	-	-	P15/SIA0/<RxD6>
-	-	-	P16/SOA0/<TxD6>
-	-	-	P17

備考 <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー割り込み、セグメント・キー・スキャン入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力、クロック出力があります。

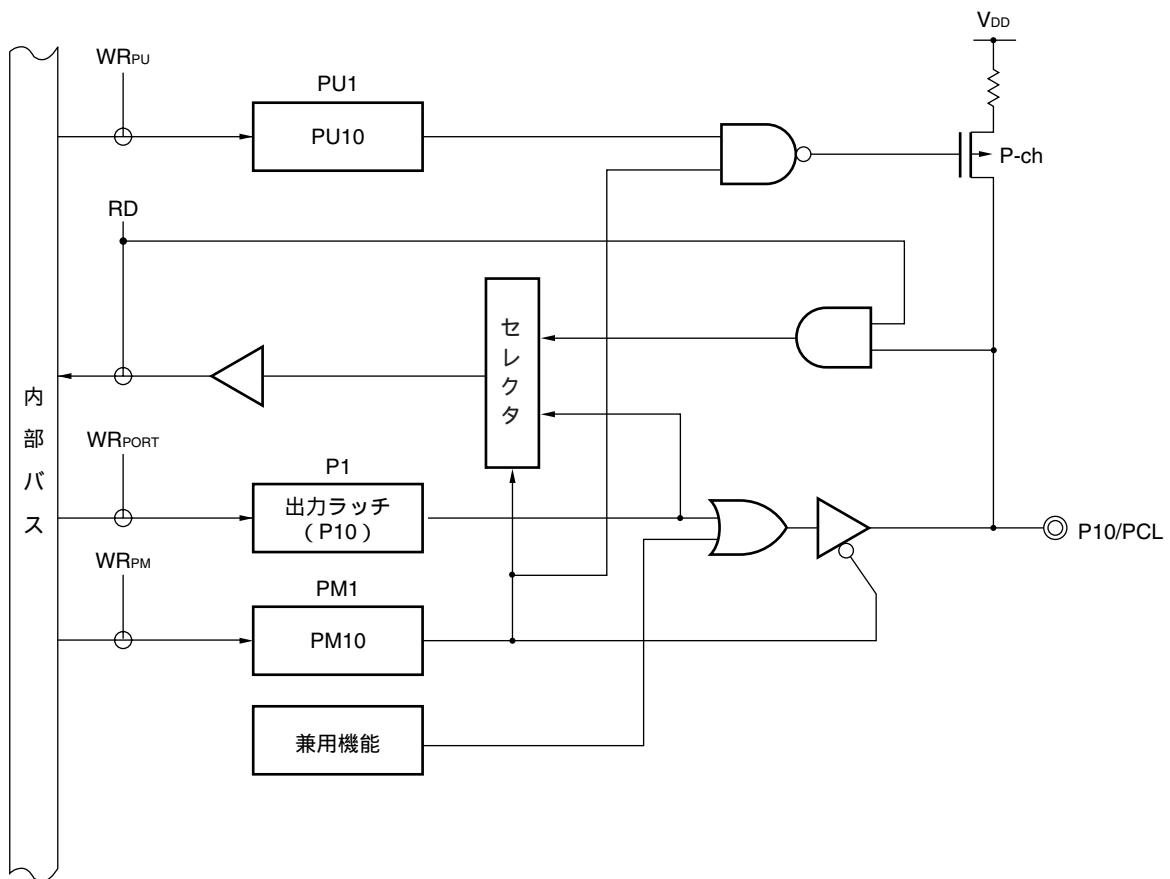
P13, P16は、ポート・ファンクション・レジスタ1 (PF1) により、端子機能を選択できます (図4 - 38参照)。

リセット信号の発生により、入力モードになります。

図4 - 1 ~ 図4 - 6にポート1のブロック図を示します。

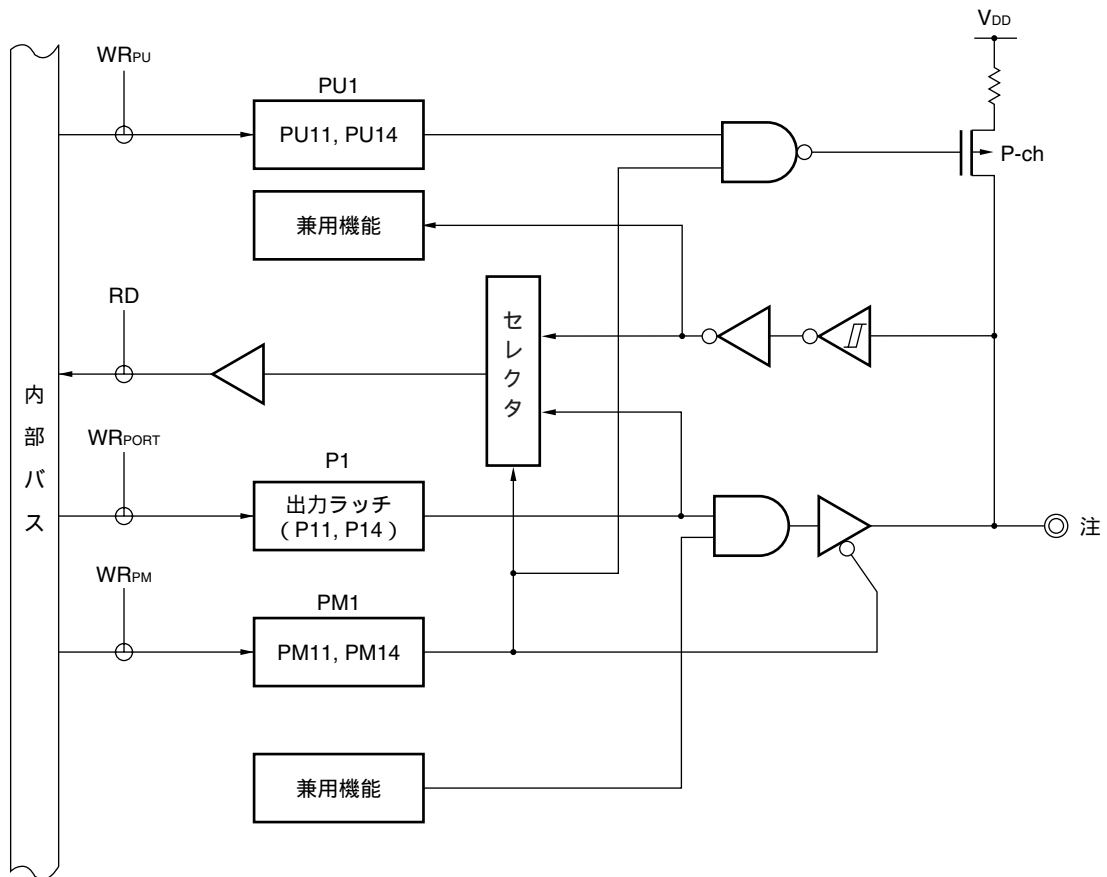
注意 P11/SCK10, P12/SI10, P13/SO10を汎用ポートとして使用する場合、シリアル動作モード・レジスタ10 (CSIM10) とシリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

図4 - 1 P10のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

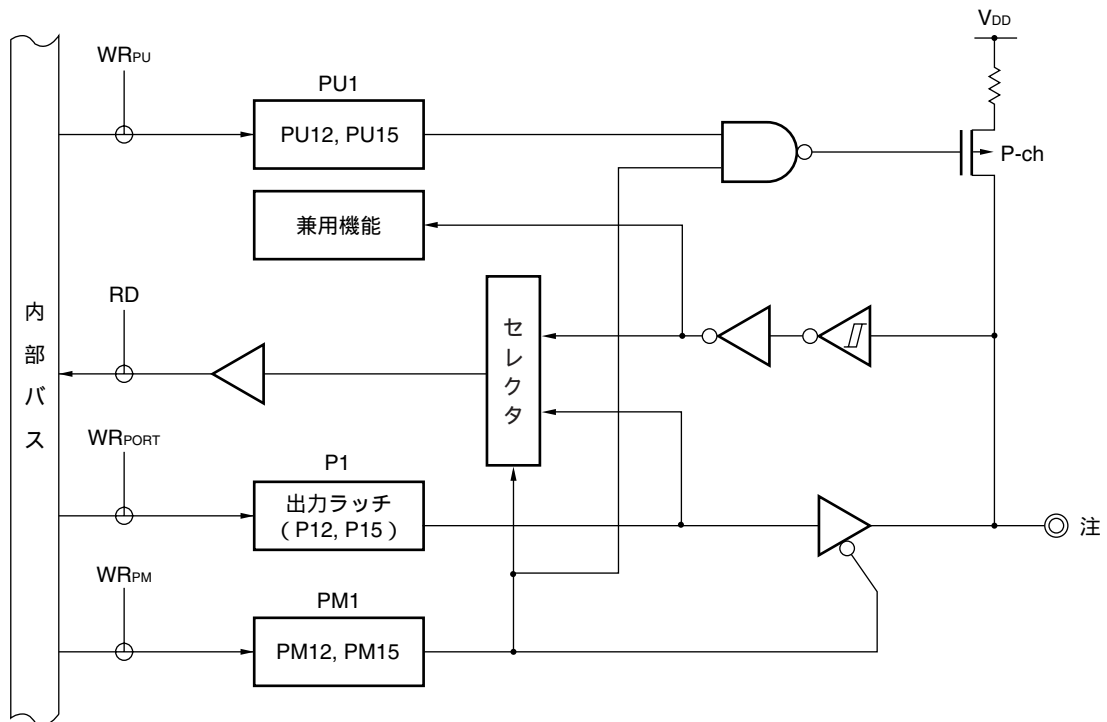
図4-2 P11, P14のブロック図



- 注 78K0/LD3 : P11/ $\overline{\text{SCK10}}$ /KR2
 78K0/LE3 : P11/ $\overline{\text{SCK10}}$, P14/INTP4
 78K0/LF3 : P11/ $\overline{\text{SCK10}}$, P14/ $\overline{\text{SCKA0}}$ /INTP4

- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

図4-3 P12, P15のブロック図

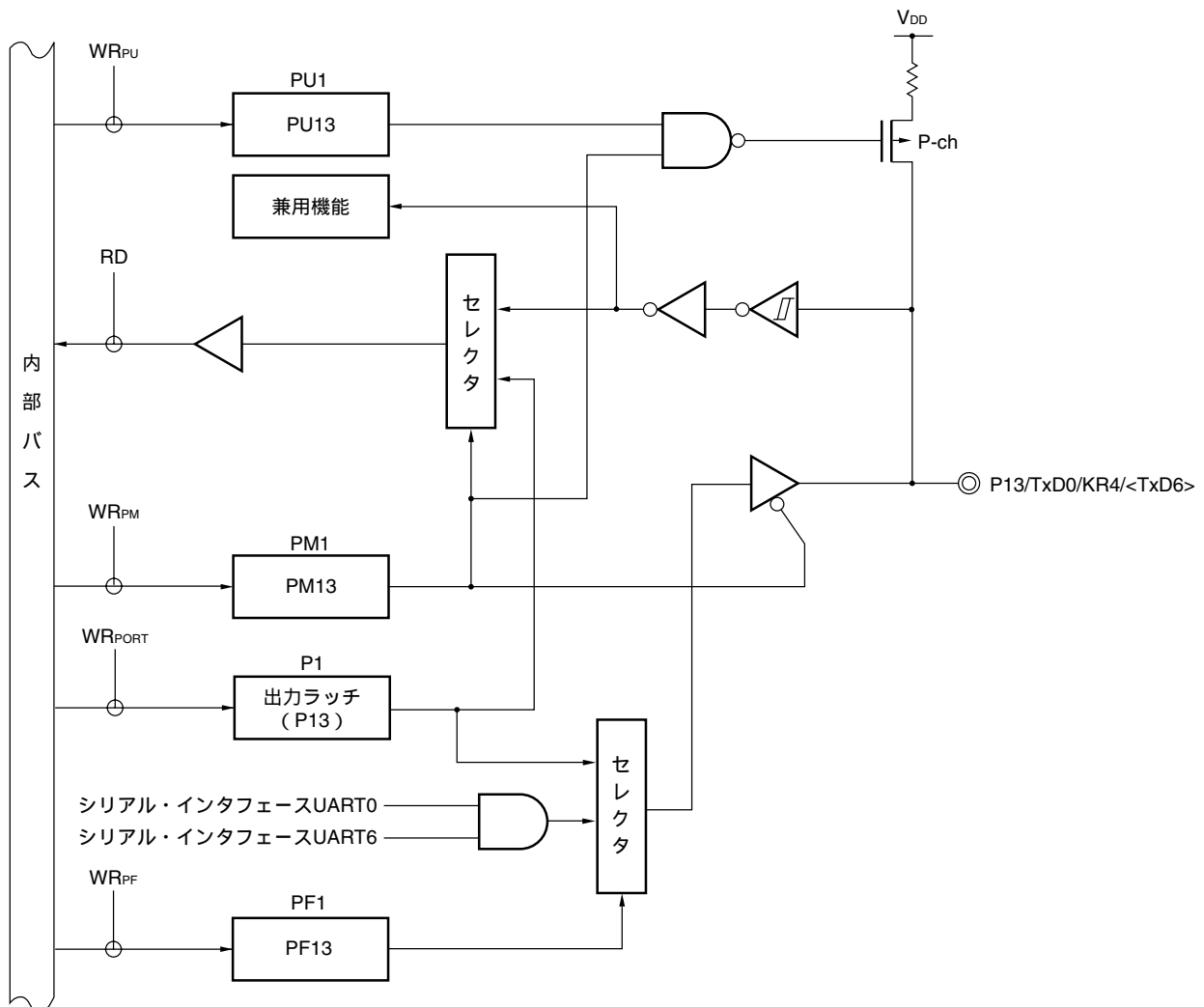


- 注 78K0/LC3 : P12/RxD0/<RxD6>/KR3
 78K0/LD3 : P12/SI10/RxD0/<RxD6>/KR3
 78K0/LE3 : P12/SI10/RxD0/<RxD6>
 78K0/LF3 : P12/SI10/RxD0, P15/SIA0/<RxD6>

- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

図4-4 P13のブロック図(1/4)

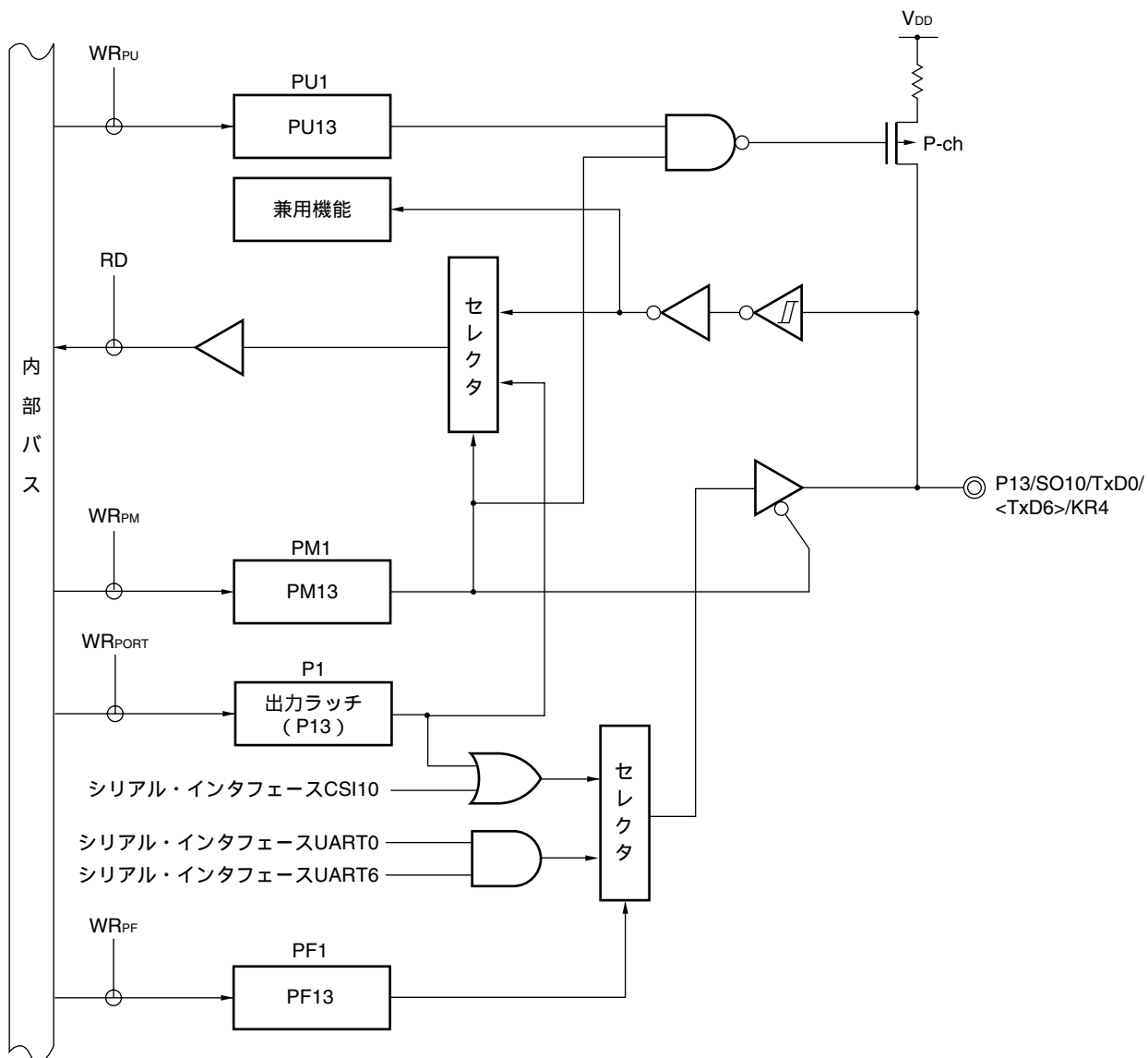
(1) 78K0/LC3



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PF1 : ポート・ファンクション・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-4 P13のブロック図(2/4)

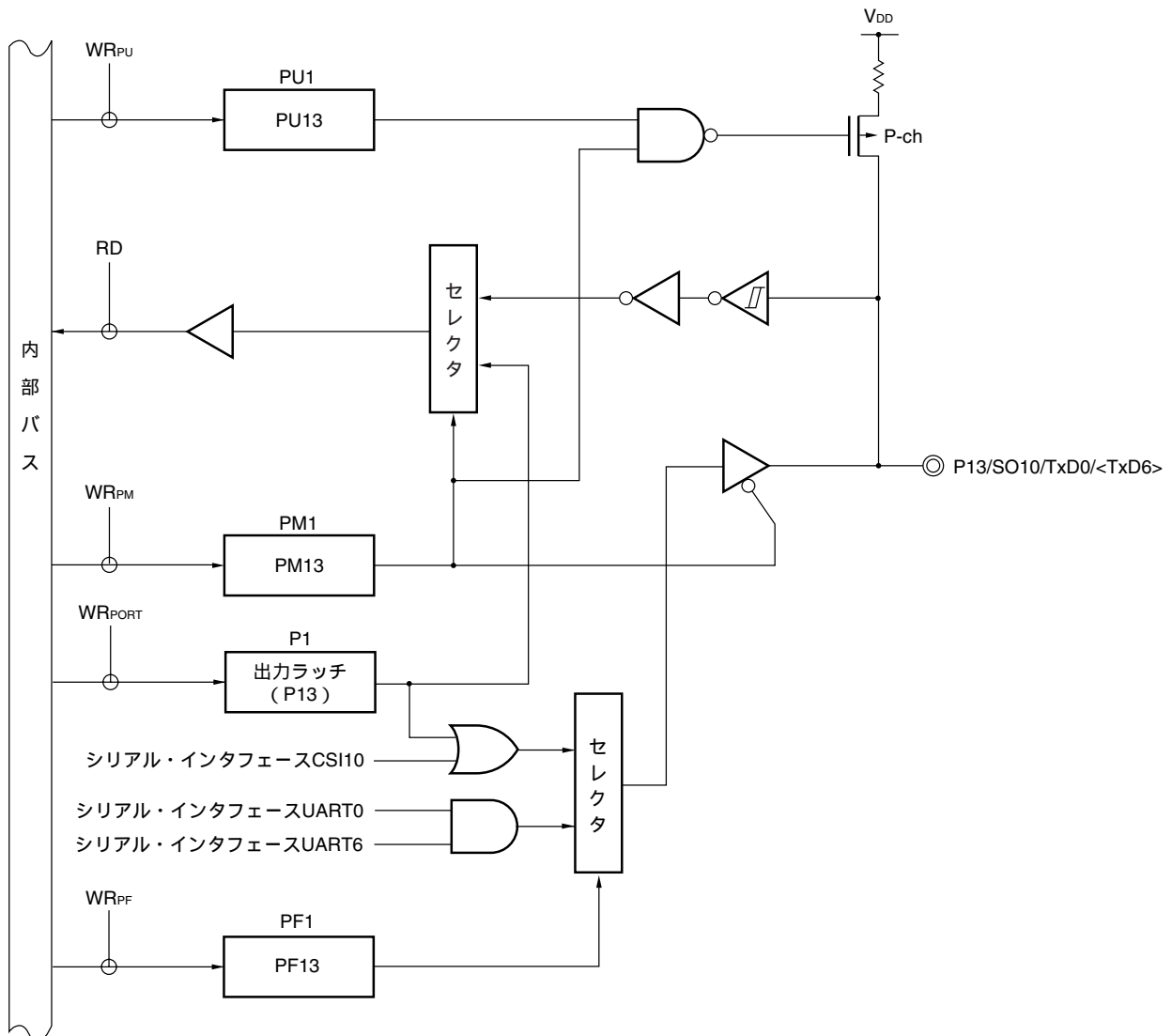
(2) 78K0/LD3



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PF1 : ポート・ファンクション・レジスタ1
 RD : リード信号
 WR_x : ライト信号

図4-4 P13のブロック図(3/4)

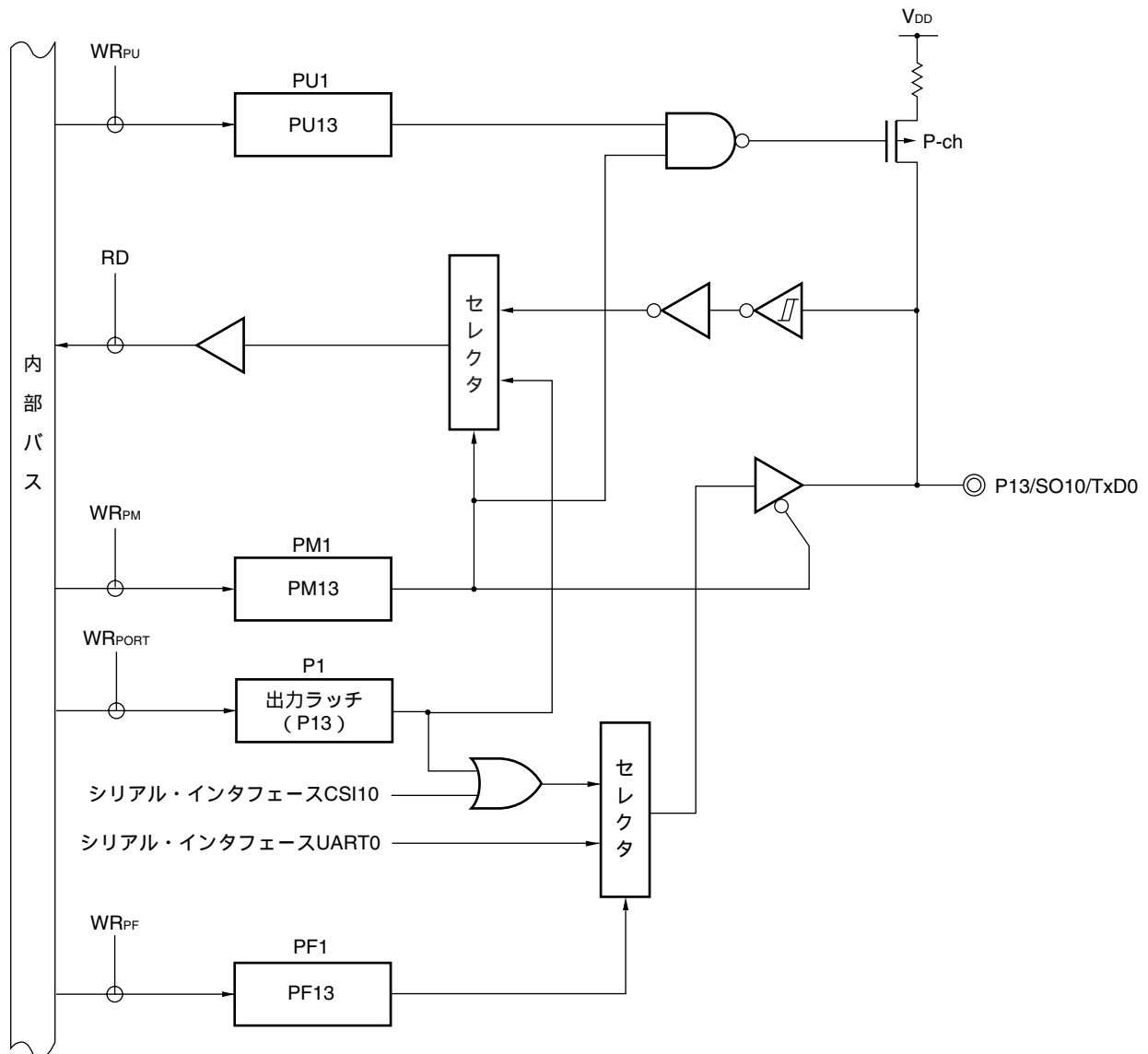
(3) 78K0/LE3



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PF1 : ポート・ファンクション・レジスタ1
 RD : リード信号
 WR_x : ライト信号

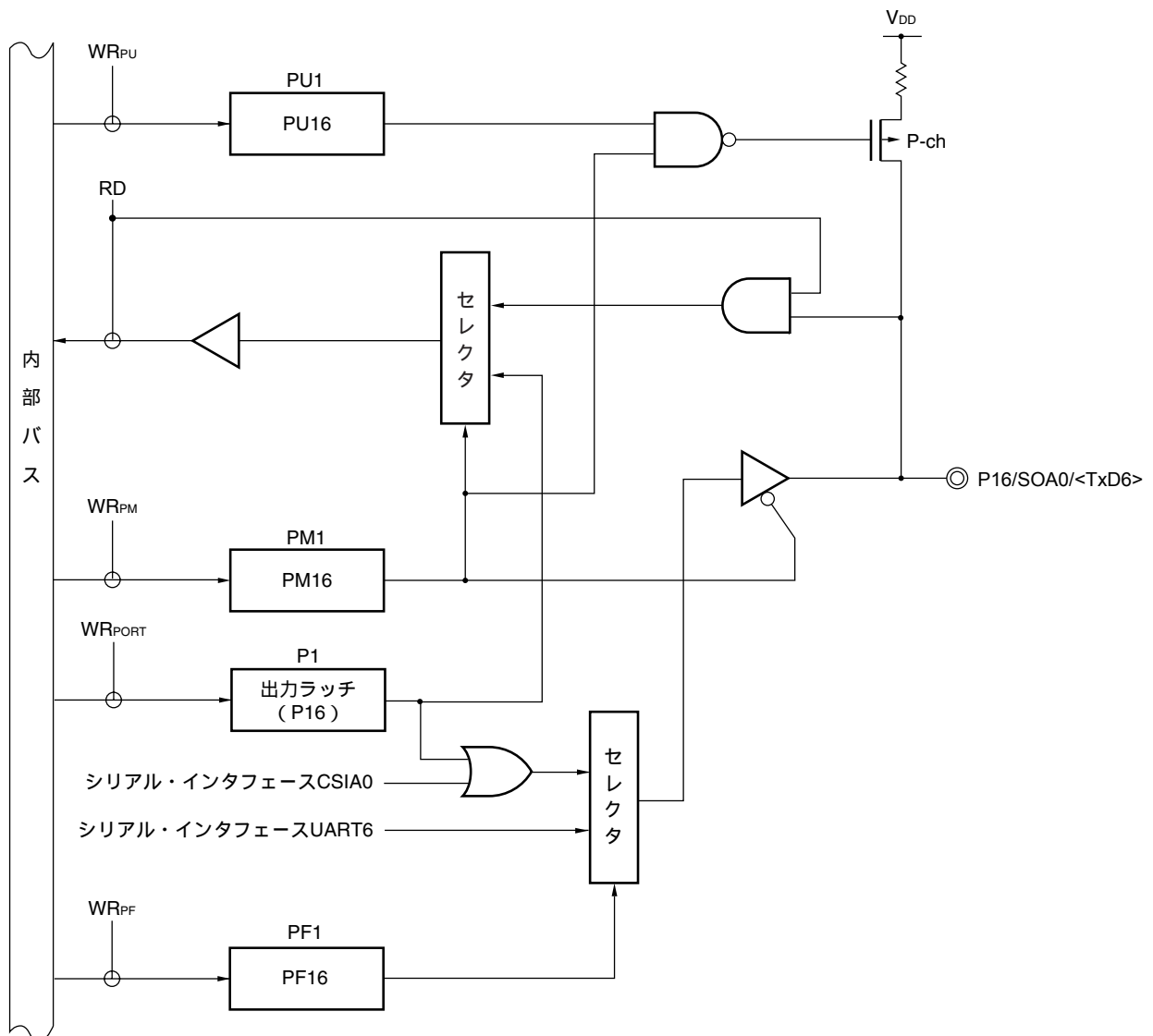
図4-4 P13のブロック図(4/4)

(4) 78K0/LF3



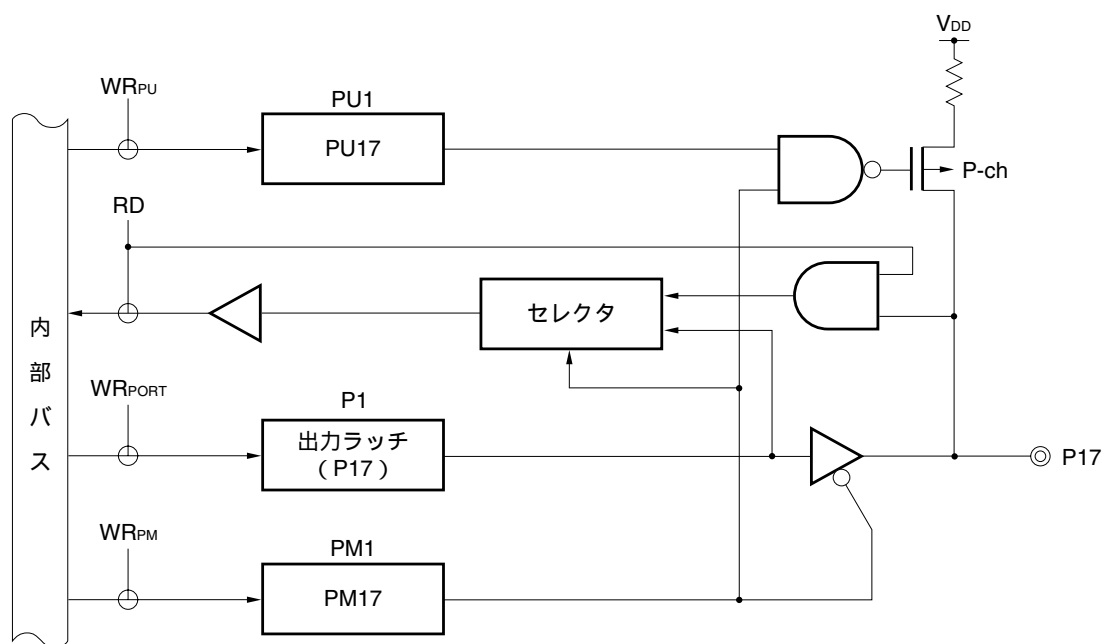
- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 PF1 : ポート・ファンクション・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

図4 - 5 P16のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PF1 : ポート・ファンクション・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-6 P17のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

4.2.2 ポート2

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P20/SEG21/ANI0 ^{注1}	P20/SEG23/ANI0 ^{注2}	P20/SEG31 ^{注3} /ANI0 ^{注4} /DS0- ^{注5}	P20/SEG39 ^{注6} /ANI0 ^{注7} /DS0- ^{注8}
P21/SEG20/ANI1 ^{注1}	P21/SEG22/ANI1 ^{注2}	P21/SEG30 ^{注3} /ANI1 ^{注4} /DS0+ ^{注5}	P21/SEG38 ^{注6} /ANI1 ^{注7} /DS0+ ^{注8}
P22/SEG19/ANI2 ^{注1}	P22/SEG21/ANI2 ^{注2}	P22/SEG29 ^{注3} /ANI2 ^{注4} /DS1- ^{注5}	P22/SEG37 ^{注6} /ANI2 ^{注7} /DS1- ^{注8}
P23/SEG18/ANI3 ^{注1}	P23/SEG20/ANI3 ^{注2}	P23/SEG28 ^{注3} /ANI3 ^{注4} /DS1+ ^{注5}	P23/SEG36 ^{注6} /ANI3 ^{注7} /DS1+ ^{注8}
P24/SEG17/ANI4 ^{注1}	P24/SEG19/ANI4 ^{注2}	P24/SEG27 ^{注3} /ANI4 ^{注4} /DS2- ^{注5}	P24/SEG35 ^{注6} /ANI4 ^{注7} /DS2- ^{注8}
P25/SEG16/ANI5 ^{注1}	P25/SEG18/ANI5 ^{注2}	P25/SEG26 ^{注3} /ANI5 ^{注4} /DS2+ ^{注5}	P25/SEG34 ^{注6} /ANI5 ^{注7} /DS2+ ^{注8}
-	-	P26/SEG25 ^{注3} /ANI6 ^{注4} /REF- ^{注5}	P26/SEG33 ^{注6} /ANI6 ^{注7} /REF- ^{注8}
-	-	P27/SEG24 ^{注3} /ANI7 ^{注4} /REF+ ^{注5}	P27/SEG32 ^{注6} /ANI7 ^{注7} /REF+ ^{注8}

- 注1. μ PD78F041xのみ。 5. μ PD78F046xのみ。
 2. μ PD78F043xのみ。 6. μ PD78F047x, 78F048xのみ。
 3. μ PD78F044x, 78F045xのみ。 7. μ PD78F048x, 78F049xのみ。
 4. μ PD78F045x, 78F046xのみ。 8. μ PD78F049xのみ。

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力, 10ビット逐次比較型A/Dコンバータのアナログ入力, 16ビット 型A/Dコンバータのアナログ入力および基準電圧入力があります。

ポート・ファンクション・レジスタ2 (PF2) により, 入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

P20-P27をデジタル入力として使用する場合は, ポート・ファンクション・レジスタ2 (PF2) でポート機能 (セグメント出力以外) に, かつADPC0でデジタル入出力に, かつPM2で入力モードに設定して, 下位ビットから使用してください。

P20-P27をデジタル出力として使用する場合は, ポート・ファンクション・レジスタ2 (PF2) でポート機能 (セグメント出力以外) に, かつADPC0でデジタル入出力に, かつPM2で出力モードに設定して, 下位ビットから使用してください。

リセット信号の発生により, 入力モードになります。

図4 - 7にポート2のブロック図を示します。

注意 ポート2をデジタル・ポートとして使用する場合は, AVREFをV_{DD}と同電位にしてください。

表4 - 7 P20/SEGxx/ANI0^注-P25/SEGxx/ANI5^注端子機能の設定 (78K0/LC3, 78K0/LD3)

PF2	ADPC0 ^注	PM2	ADS	P20/SEGxx/ANI0 ^注 - P25/SEGxx/ANI5 ^注 端子
デジタル/ アナログ選択	アナログ 入力選択	入力モード	ANI非選択	アナログ入力 (非変換対象)
			ANI選択	アナログ入力 (逐次比較型A/D変換対象)
	デジタル 入出力選択	出力モード	-	設定禁止
		入力モード	-	デジタル入力
		出力モード	-	デジタル出力
SEG出力選択	-	-	-	セグメント出力

注 μ PD78F041x, 78F043xのみ。

表4 - 8 P20/SEGxx^{注1}/ANI0^{注2}/DS0^{注3}- P27/SEGxx^{注1}/ANI7^{注2}/REF+^{注3}端子機能の設定 (78K0/LE3, 78K0/LF3)

PF2 ^{注1}	ADPC0	PM2	ADS	ADDCTL0	P20/SEGxx ^{注1} /ANI0 ^{注2} /DS0 ^{注3} - P27/SEGxx ^{注1} /ANI7 ^{注2} /REF+ ^{注3} 端子
デジタル/ アナログ選択	アナログ 入力選択	入力モード	ANI非選択	DSn±非選択	アナログ入力 (非変換対象)
			ANI選択	DSn±非選択	アナログ入力 (逐次比較型A/D変換対象)
			ANI非選択	DSn±選択	アナログ入力 (型A/D変換対象)
			ANI選択	DSn±選択	設定禁止
		出力モード	-	設定禁止	
		デジタル 入出力選択	入力モード	-	デジタル入力
		出力モード	-	デジタル出力	
SEG出力選択 ^{注1}	-	-	-	-	セグメント出力 ^{注1}

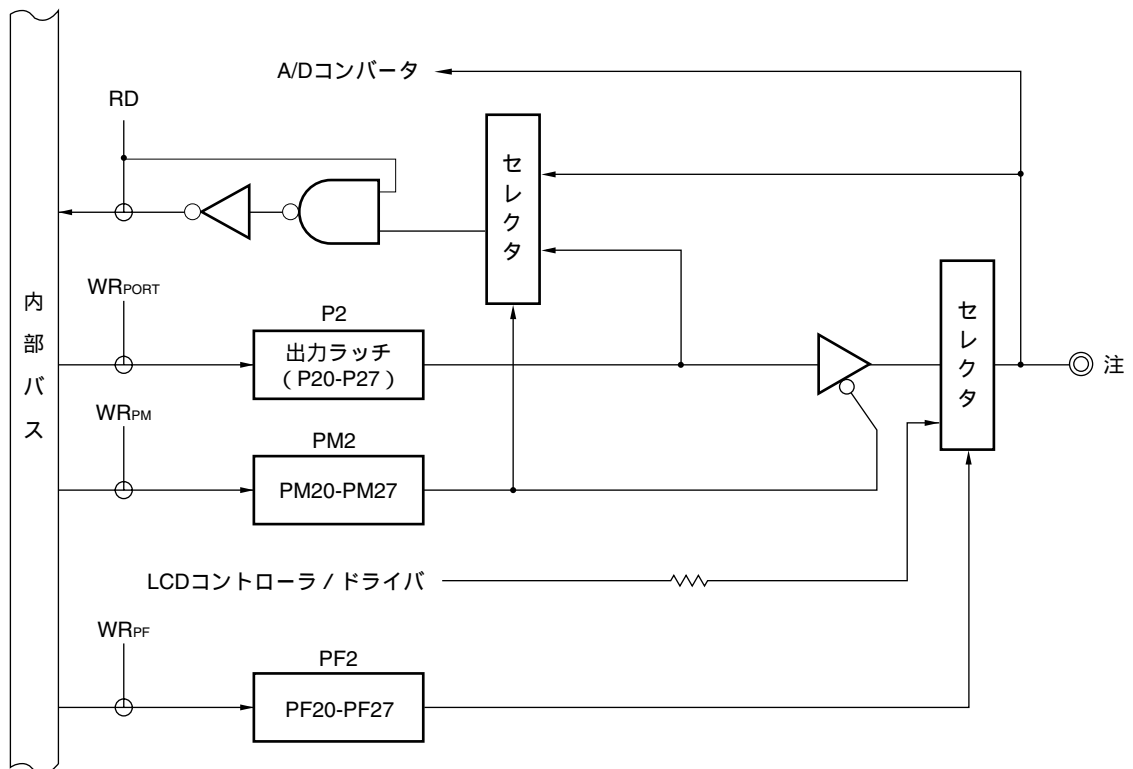
注1. μ PD78F044x, 78F045x, 78F047x, 78F048xのみ。

2. μ PD78F045x, 78F046x, 78F048x, 78F049xのみ。

3. μ PD78F046x, 78F049xのみ。

備考 n = 0-2

図4-7 P20-P27のブロック図



- 注 78K0/LC3 : P20/SEG21/ANI0-P25/SEG16/ANI5
 78K0/LD3 : P20/SEG23/ANI0-P25/SEG18/ANI5
 78K0/LE3 : P20/SEG31/ANI0/DS0- -P27/SEG24/ANI7/REF+
 78K0/LF3 : P20/SEG39/ANI0/DS0- -P27/SEG32/ANI7/REF+

- P2 : ポート・レジスタ2
 PM2 : ポート・モード・レジスタ2
 PF2 : ポート・ファンクション・レジスタ2
 RD : リード信号
 WR_x : ライト信号

4.2.3 ポート3

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P30/INTP5
P31/TOH1/INTP3	P31/TOH1/INTP3	P31/TOH1/INTP3	P31/TOH1/INTP3
P32/TOH0/MCGO	P32/TOH0/MCGO	P32/TOH0/MCGO	P32/TOH0/MCGO
P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2	P33/TI000/RTCDIV/ RTCCL/BUZ/INTP2
P34/TI52/TI010/TO00/ RTC1HZ/INTP1	P34/TI52/TI010/TO00/ RTC1HZ/INTP1	P34/TI52/TI010/TO00/ RTC1HZ/INTP1	P34/TI52/TI010/TO00/ RTC1HZ/INTP1

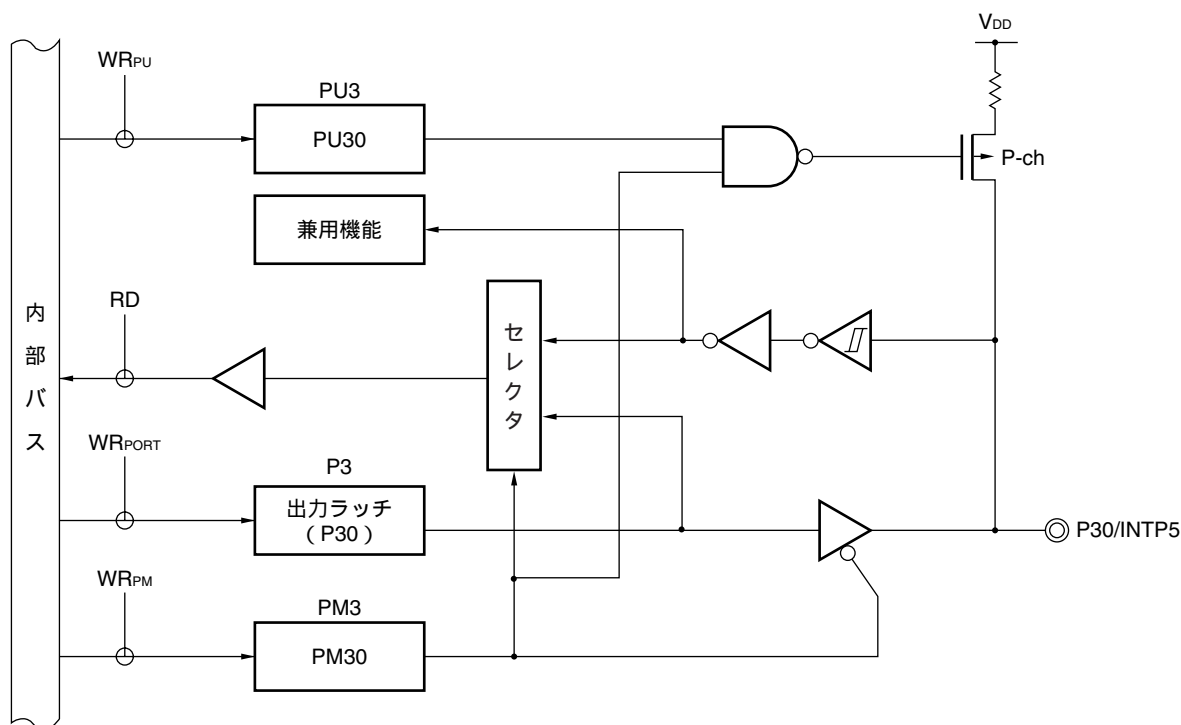
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P30-P34端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、タイマ入出力、ブザー出力、リアルタイム・カウンタ出力、マンチェスタ・コード出力があります。

リセット信号の発生により、入力モードになります。

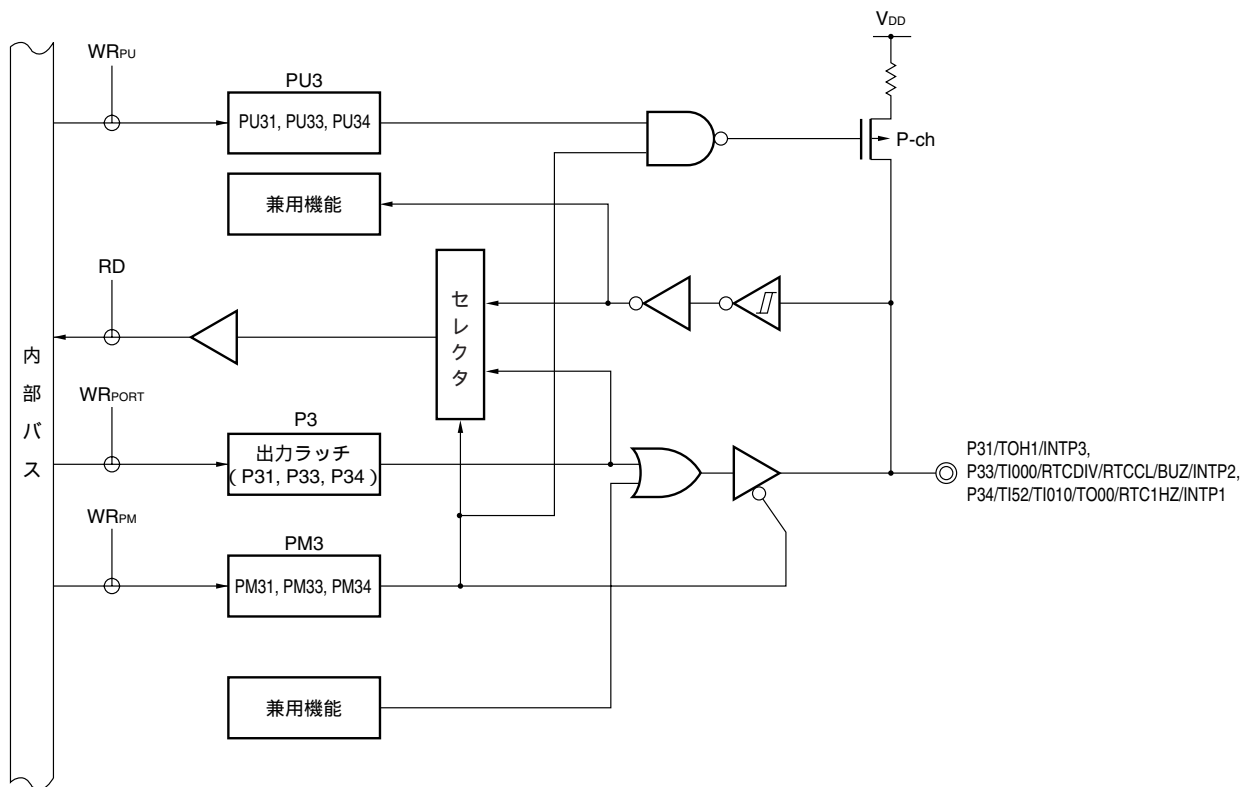
図4 - 8 ~ 図4 - 10にポート3のブロック図を示します。

図4 - 8 P30のブロック図



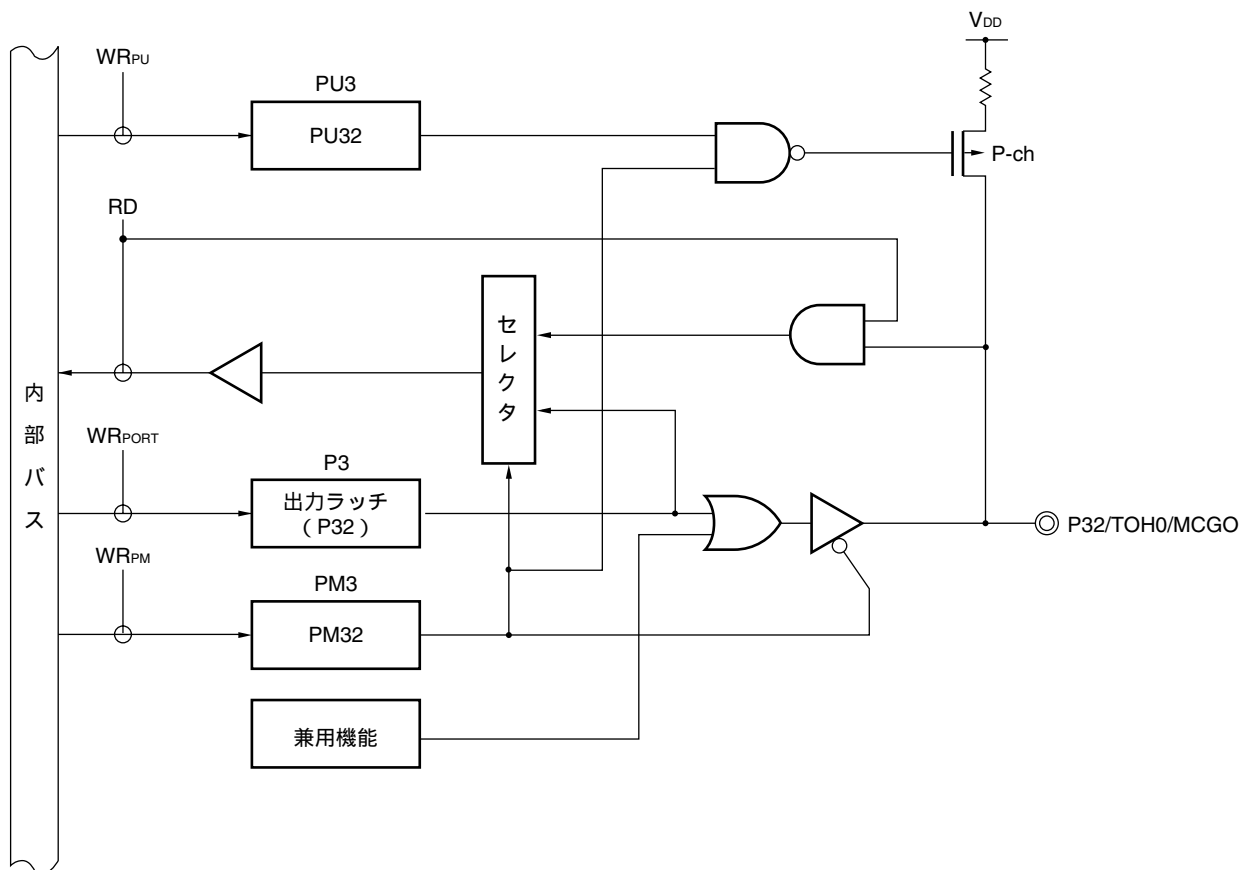
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

図4 - 9 P31, P33, P34のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 10 P32のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

4.2.4 ポート4

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P40/V _{LC3} /KR0	P40/V _{LC3} /KR0	P40/V _{LC3} /KR0	P40/V _{LC3} /KR0
-	P41/RIN/KR1	P41/RIN/KR1	P41/RIN/KR1
-	-	P42/KR2	P42/KR2
-	-	P43/TO51/TI51/KR3	P43/TO51/TI51/KR3
-	-	P44/TO50/TI50/KR4	P44/TO50/TI50/KR4
-	-	-	P45/KR5
-	-	-	P46/KR6
-	-	-	P47/KR7

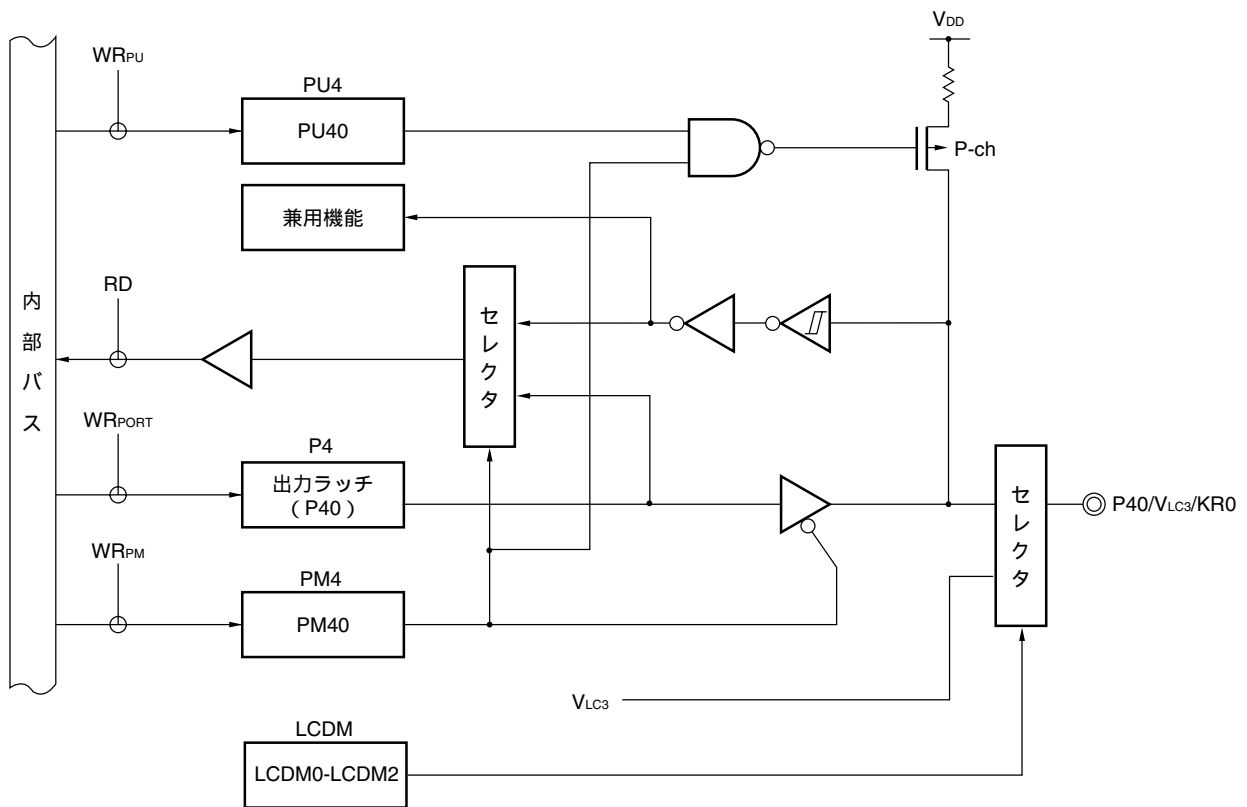
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー割り込み、セグメント・キー・スキャン入力、タイマ入出力、リモコン受信データ入力、LCD駆動用電圧があります。

リセット信号の発生により、入力モードになります。

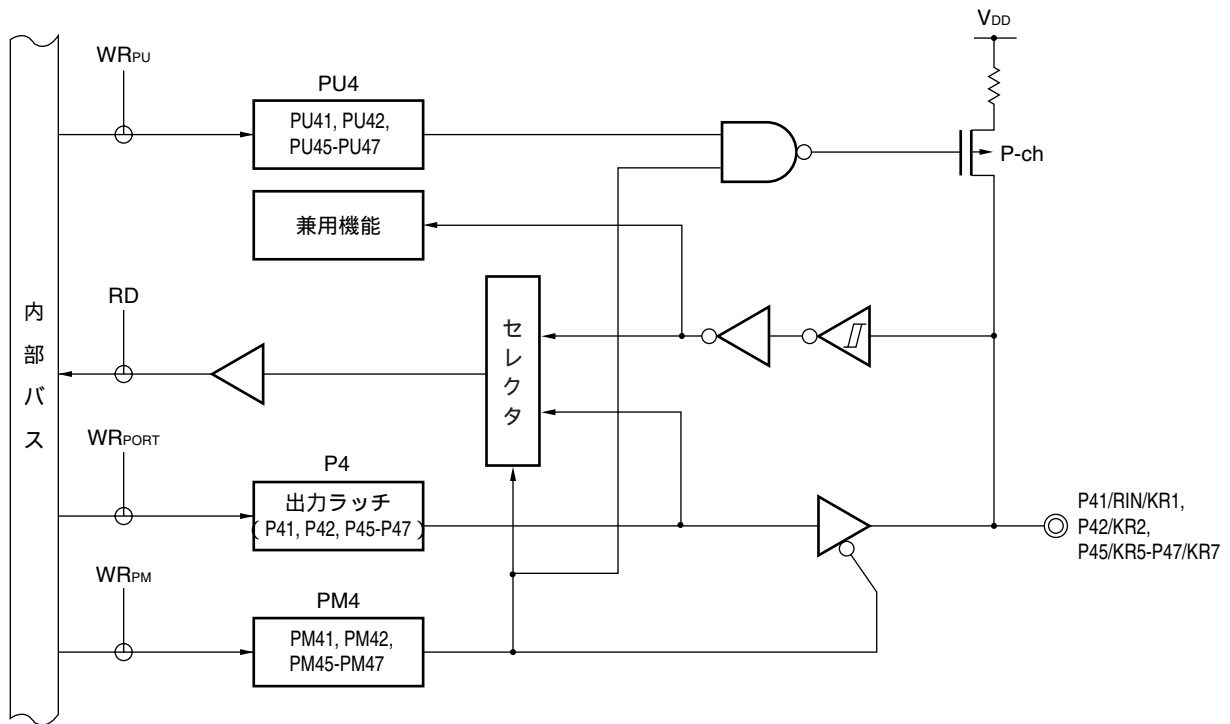
図4 - 11 ~ 図4 - 13にポート4のブロック図を示します。

図4 - 11 P40のブロック図



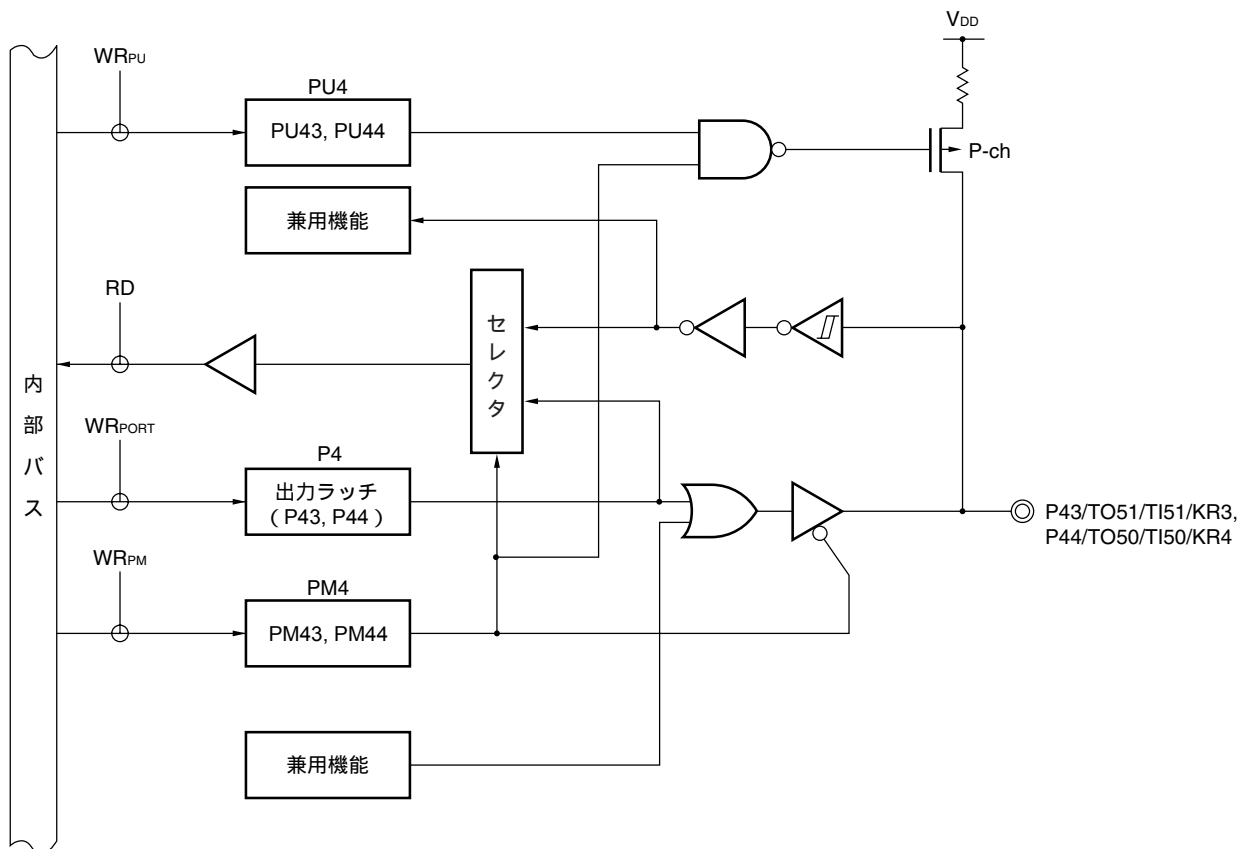
- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 LCDM : LCD表示モード・レジスタ
 RD : リード信号
 WR_x : ライト信号

図4 - 12 P41, P42, P45-P47のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_x : ライト信号

図4 - 13 P43, P44のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_x : ライト信号

4.2.5 ポート8

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	P80/SEG4	P80/SEG4	P80/SEG4
-	-	P81/SEG5	P81/SEG5
-	-	P82/SEG6	P82/SEG6
-	-	P83/SEG7	P83/SEG7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。P80-P83端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

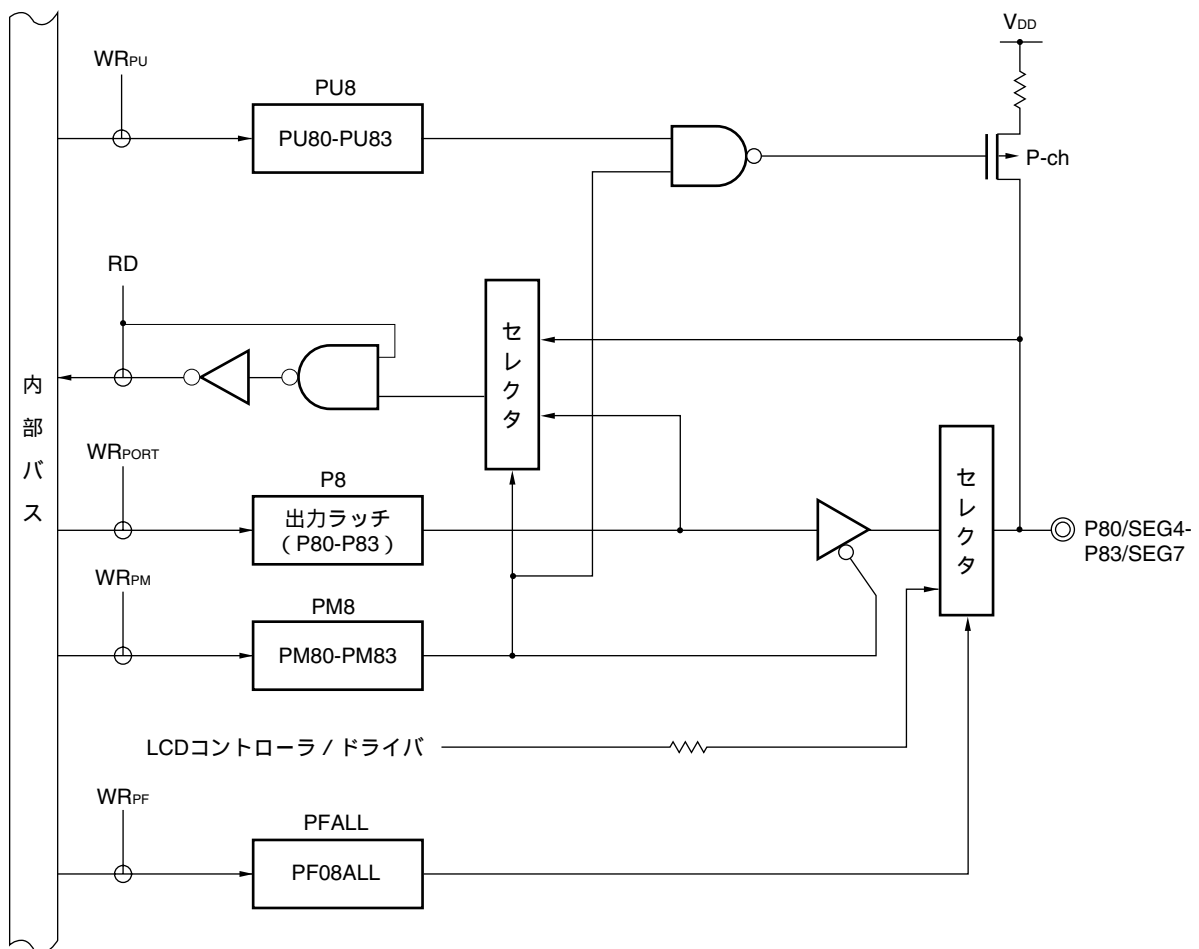
また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 14にポート8のブロック図を示します。

図4 - 14 P80-P83のブロック図



- P8 : ポート・レジスタ8
- PU8 : プルアップ抵抗オプション・レジスタ8
- PM8 : ポート・モード・レジスタ8
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_{xx} : ライト信号

4.2.6 ポート9

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P90/SEG8
-	-	-	P91/SEG9
-	-	-	P92/SEG10
-	-	-	P93/SEG11

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード/出力モードの指定ができます。P90-P93端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ9 (PU9) により1ビット単位で内蔵プルアップ抵抗を使用できます。

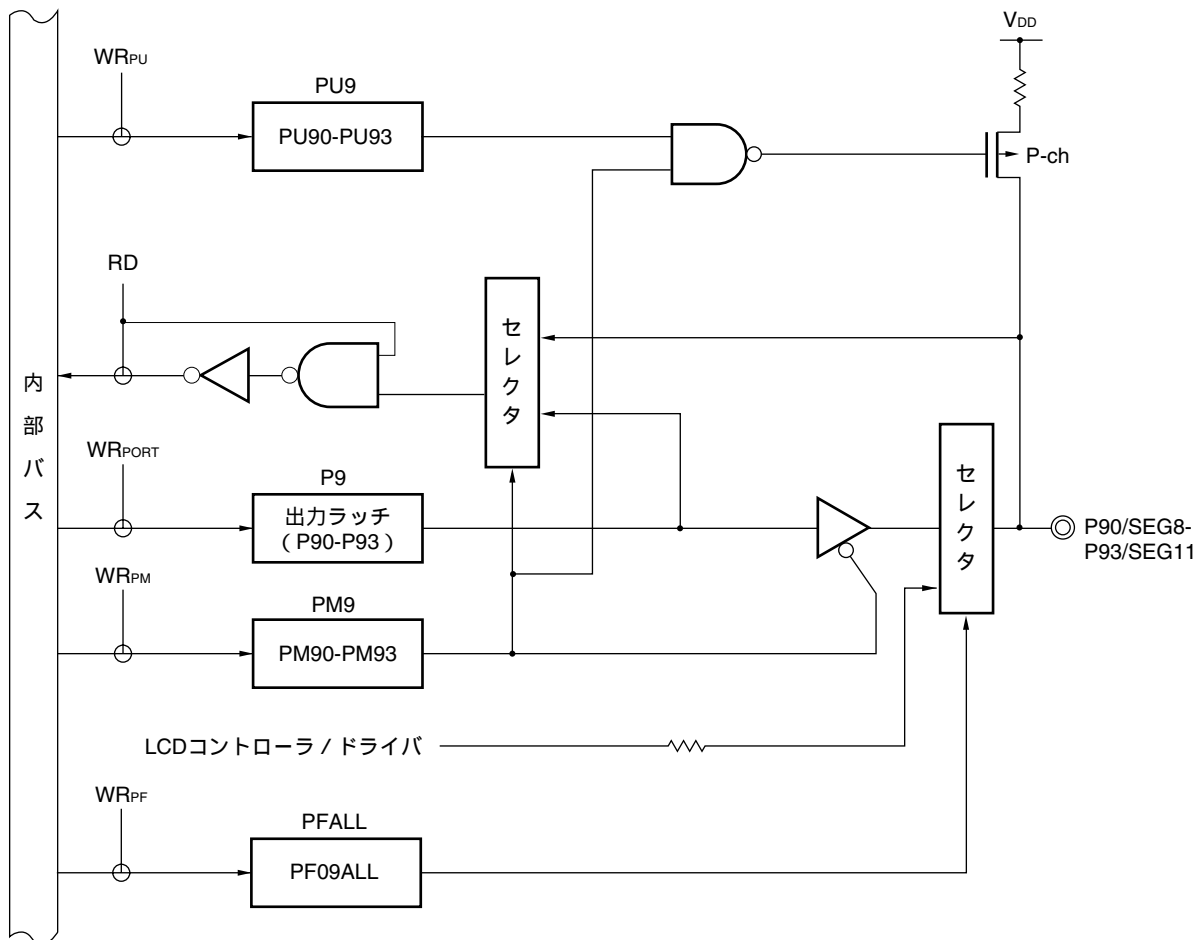
また、兼用機能としてLCDコントローラ/ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 15にポート9のブロック図を示します。

図4 - 15 P90-P93のブロック図



- P9 : ポート・レジスタ9
 PU9 : プルアップ抵抗オプション・レジスタ9
 PM9 : ポート・モード・レジスタ9
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_{xx} : ライト信号

4.2.7 ポート10

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P100/SEG4	P100/SEG5	P100/SEG8	P100/SEG12
P101/SEG5	P101/SEG6	P101/SEG9	P101/SEG13
-	-	P102/SEG10	P102/SEG14
-	-	P103/SEG11	P103/SEG15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ10 (PM10) により1ビット単位で入力モード / 出力モードの指定ができます。P100-P103端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ10 (PU10) により1ビット単位で内蔵プルアップ抵抗を使用できます。

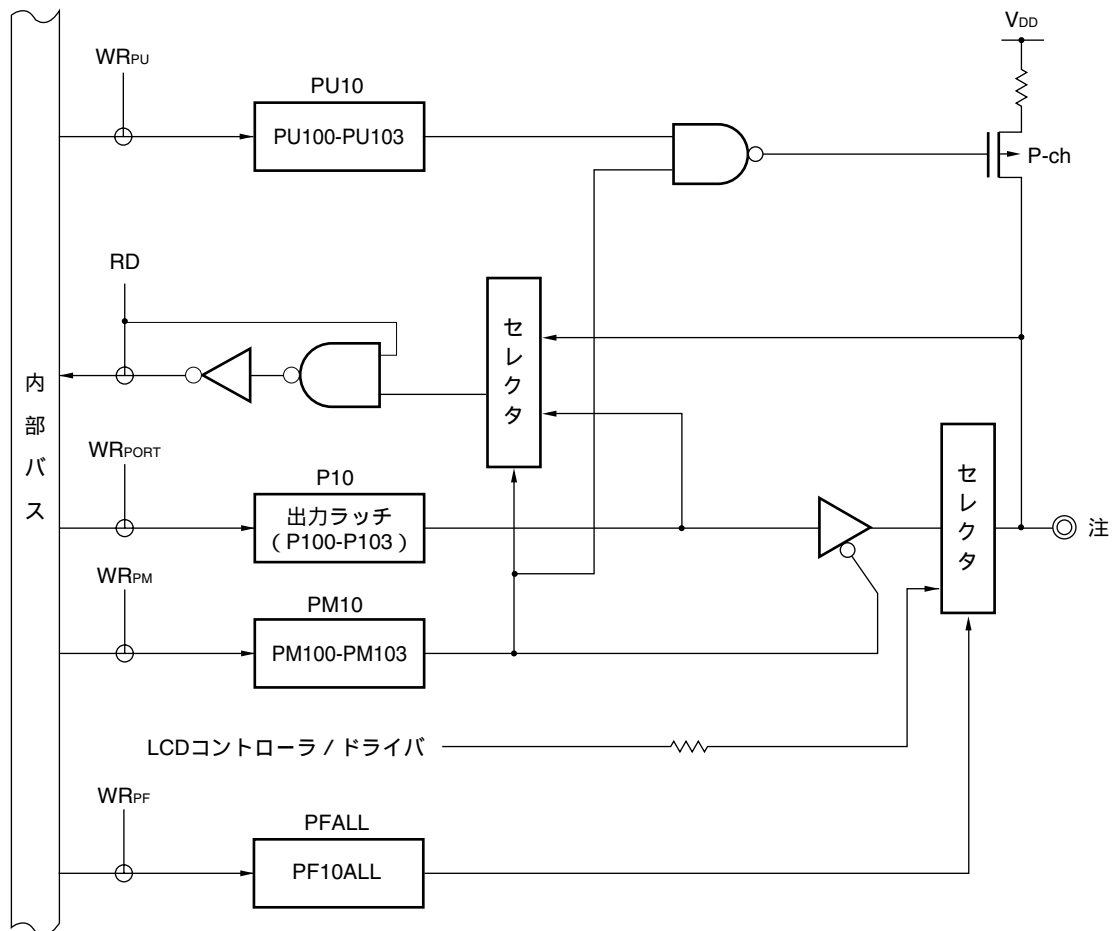
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 16にポート10のブロック図を示します。

図4 - 16 P100-P103のブロック図



- 注 78K0/LC3 : P100/SEG4, P101/SEG5
 78K0/LD3 : P100/SEG5, P101/SEG6
 78K0/LE3 : P100/SEG8-P103/SEG11
 78K0/LF3 : P100/SEG12-P103/SEG15

- P10 : ポート・レジスタ10
 PU10 : プルアップ抵抗オプション・レジスタ10
 PM10 : ポート・モード・レジスタ10
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_x : ライト信号

4.2.8 ポート11

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	P110/SEG12	P110/SEG16
-	P111/SEG7	P111/SEG13	P111/SEG17
P112/SEG6/TxD6	P112/SEG8/TxD6	P112/SEG14/TxD6	P112/SEG18/TxD6
P113/SEG7/RxD6	P113/SEG9/RxD6	P113/SEG15/RxD6	P113/SEG19/RxD6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ11 (PM11) により1ビット単位で入力モード / 出力モードの指定ができます。P110-P113端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ11 (PU11) により1ビット単位で内蔵プルアップ抵抗を使用できます。

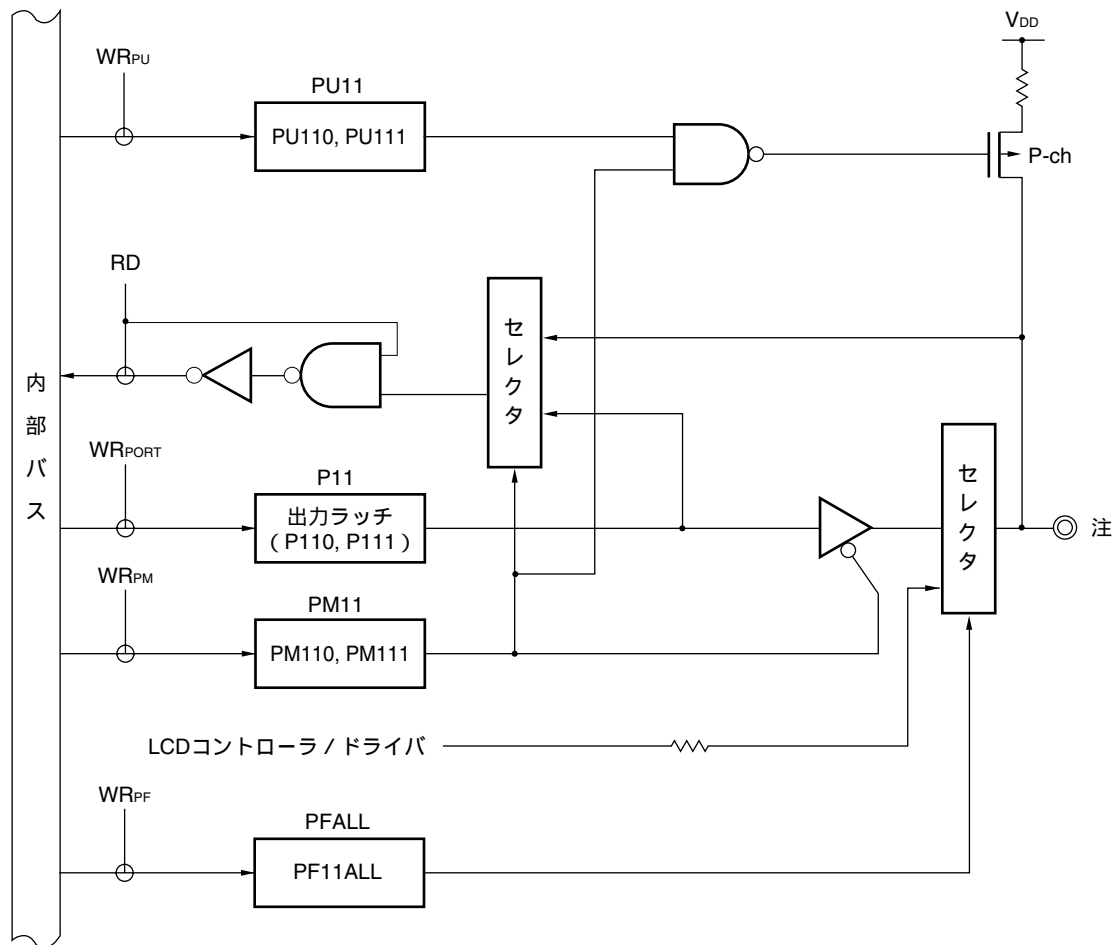
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、シリアル・インタフェースのデータ入出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポート (セグメント信号出力以外) またはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 17 ~ 図4 - 19にポート11のブロック図を示します。

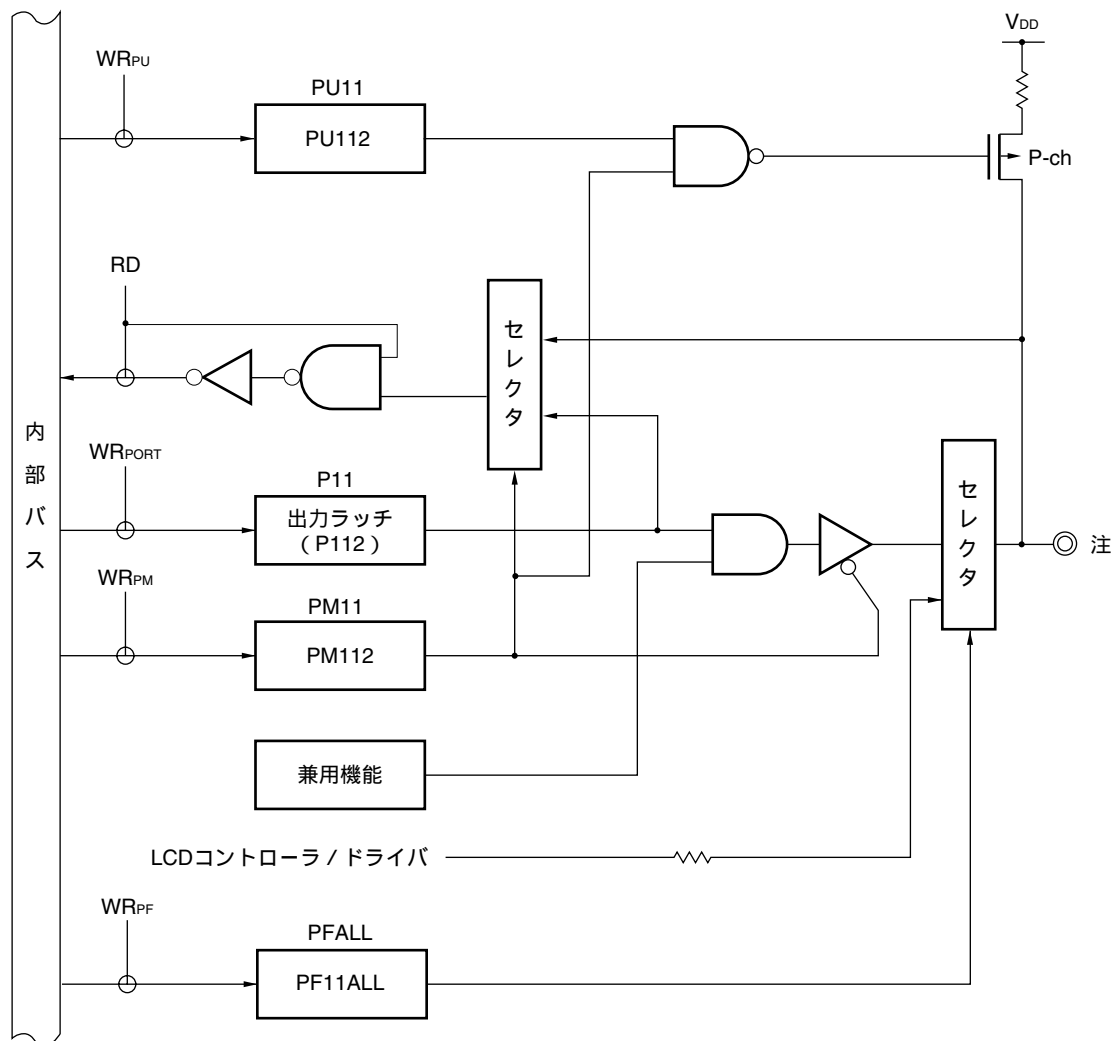
図4 - 17 P110, P111のブロック図



注 78K0/LD3 : P111/SEG7
 78K0/LE3 : P110/SEG12, P111/SEG13
 78K0/LF3 : P110/SEG16, P111/SEG17

P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_x : ライト信号

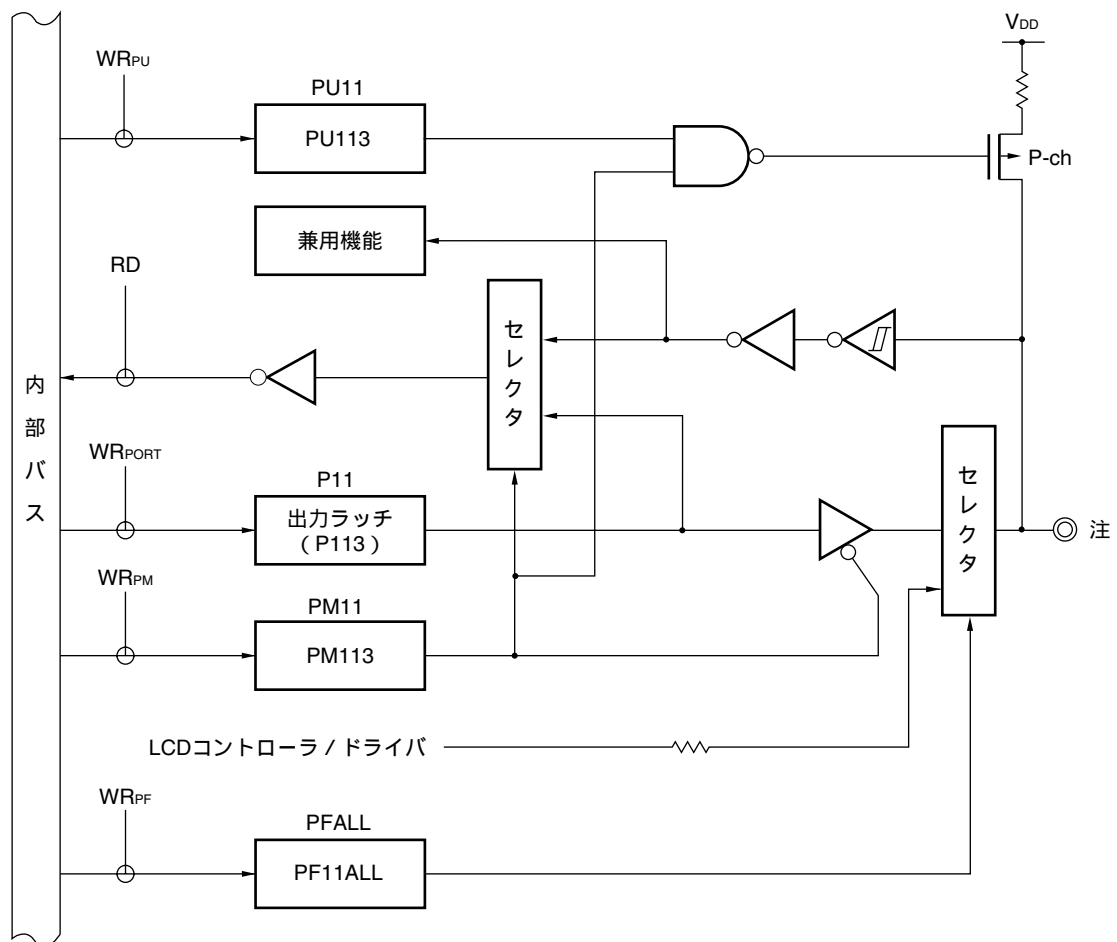
図4 - 18 P112のブロック図



注 78K0/LC3 : P112/SEG6/TxD6
 78K0/LD3 : P112/SEG8/TxD6
 78K0/LE3 : P112/SEG14/TxD6
 78K0/LF3 : P112/SEG18/TxD6

P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_x : ライト信号

図4 - 19 P113のブロック図



注 78K0/LC3 : P113/SEG7/RxD6
 78K0/LD3 : P113/SEG9/RxD6
 78K0/LE3 : P113/SEG15/RxD6
 78K0/LF3 : P113/SEG19/RxD6

P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_x : ライト信号

4.2.9 ポート12

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P120/INTP0/EXLVI	P120/INTP0/EXLVI	P120/INTP0/EXLVI	P120/INTP0/EXLVI
P121/X1/OCD0A	P121/X1/OCD0A	P121/X1/OCD0A	P121/X1/OCD0A
P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B	P122/X2/EXCLK/OCD0B
P123/XT1	P123/XT1	P123/XT1	P123/XT1
P124/XT2	P124/XT2	P124/XT2	P124/XT2

P120は、出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は、4ビットの入力専用ポートです。

また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

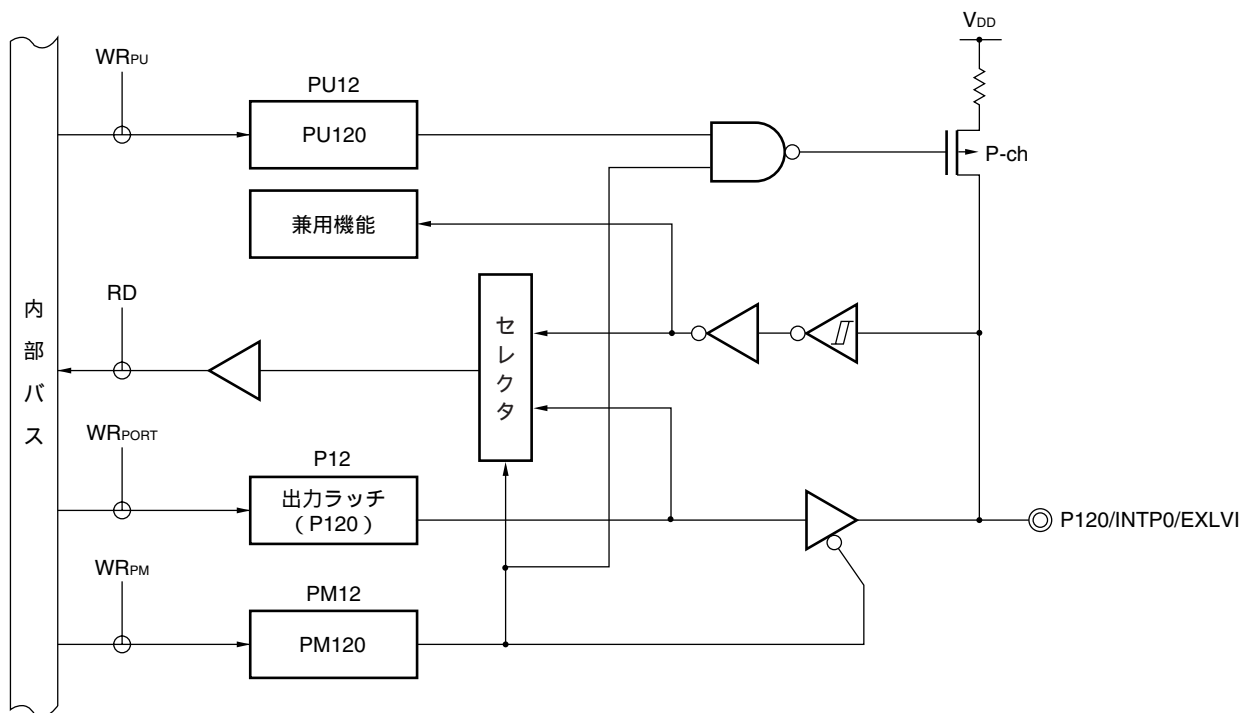
リセット信号の発生により、入力モードになります。

図4-20～図4-22にポート12のブロック図を示します。

注意 P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2)、サブシステム・クロック発振子接続 (XT1, XT2)、メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード、XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL)、(3) サブシステム・クロック端子の動作モードの設定方法を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。

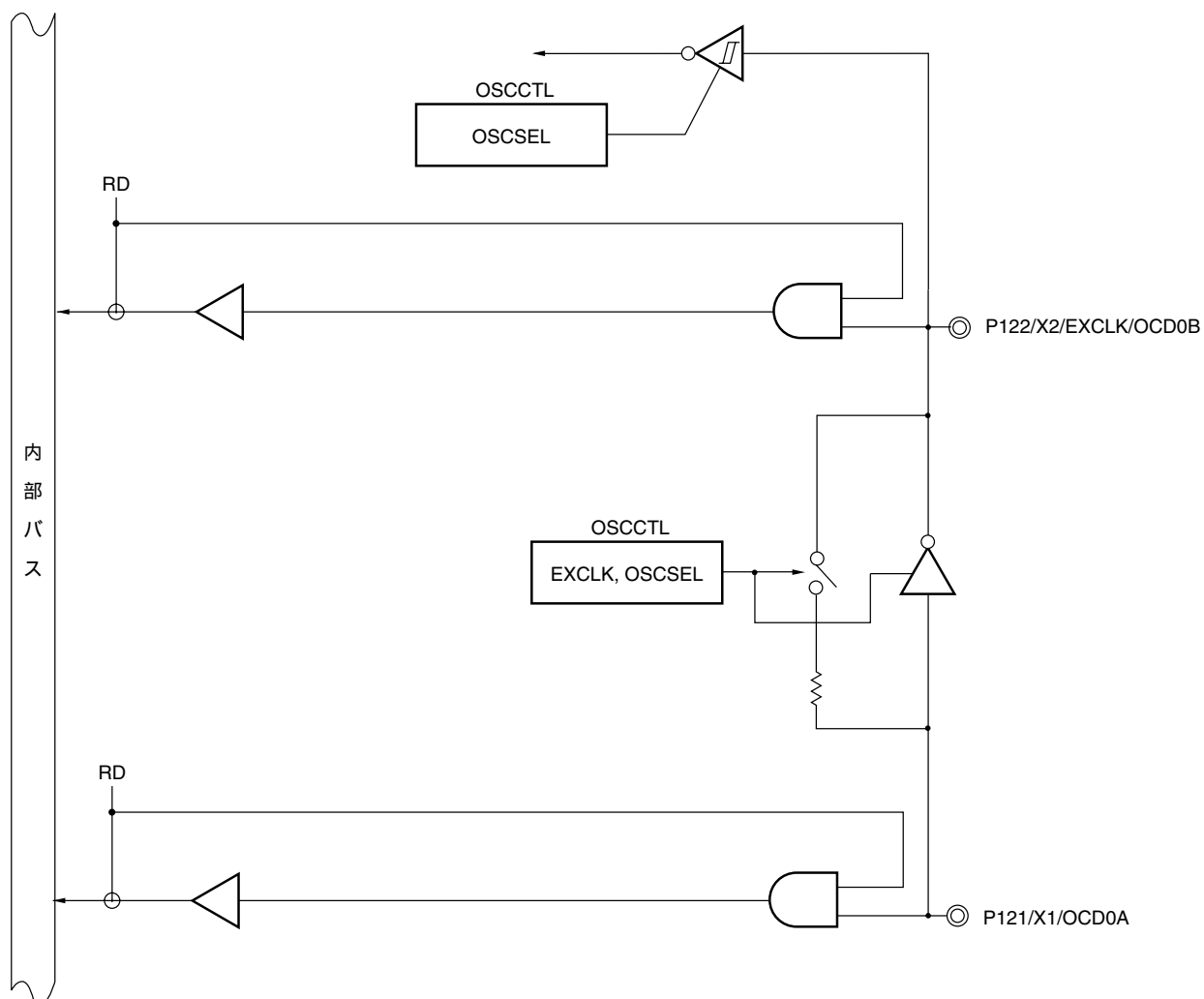
備考 P121, P122端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第29章 オンチップ・デバッグ機能を参照してください。

図4-20 P120のブロック図



- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_x : ライト信号

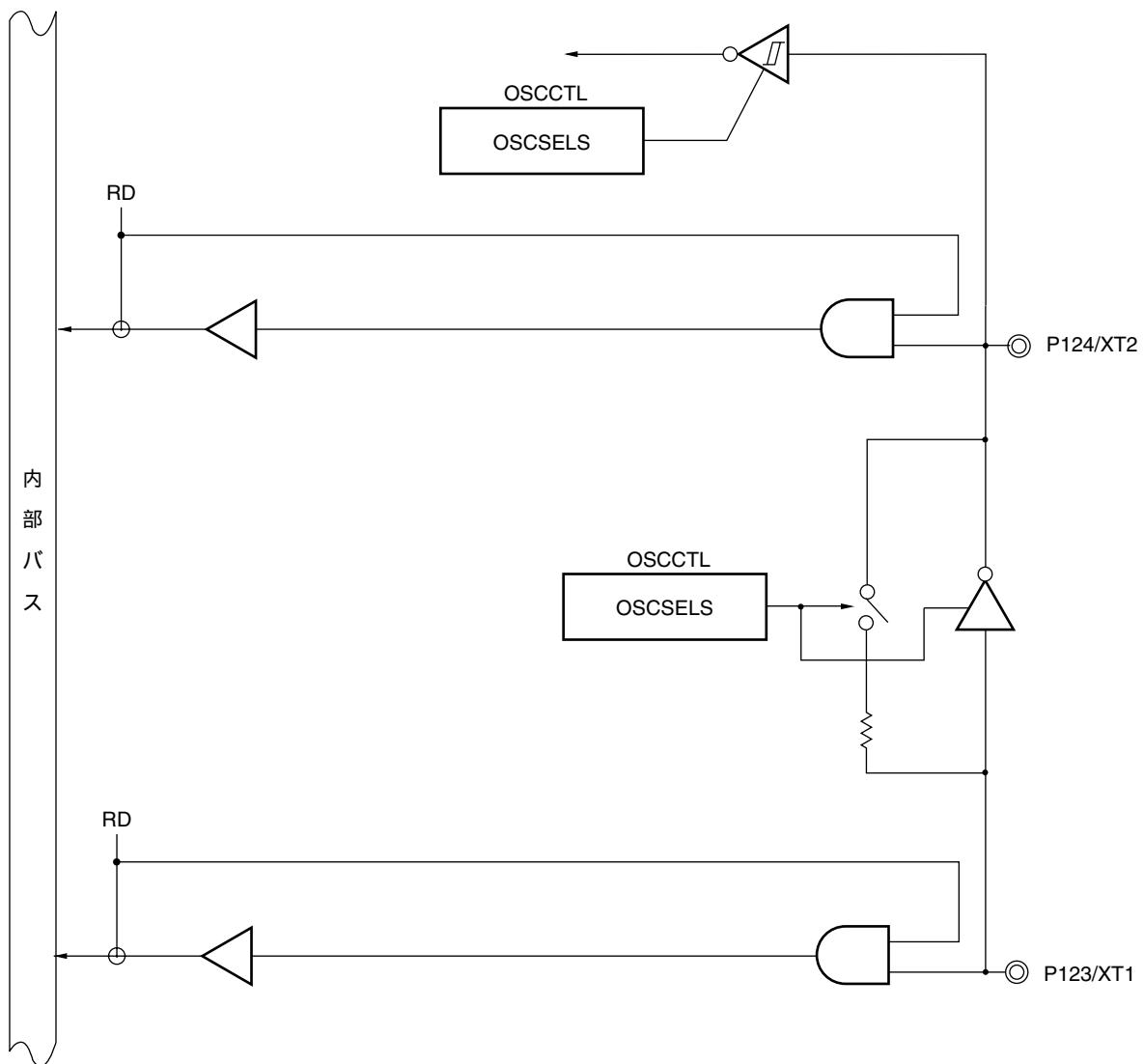
図4 - 21 P121, P122のブロック図



OSCCTL : クロック動作モード選択レジスタ

RD : リード信号

図4 - 22 P123, P124のブロック図



OSCCTL : クロック動作モード選択レジスタ

RD : リード信号

4.2.10 ポート13

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
-	-	-	P130/SEG20
-	-	-	P131/SEG21
-	-	-	P132/SEG22
-	-	-	P133/SEG23

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ13 (PM13) により1ビット単位で入力モード / 出力モードの指定ができます。P130-P133端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ13 (PU13) により1ビット単位で内蔵プルアップ抵抗を使用できます。

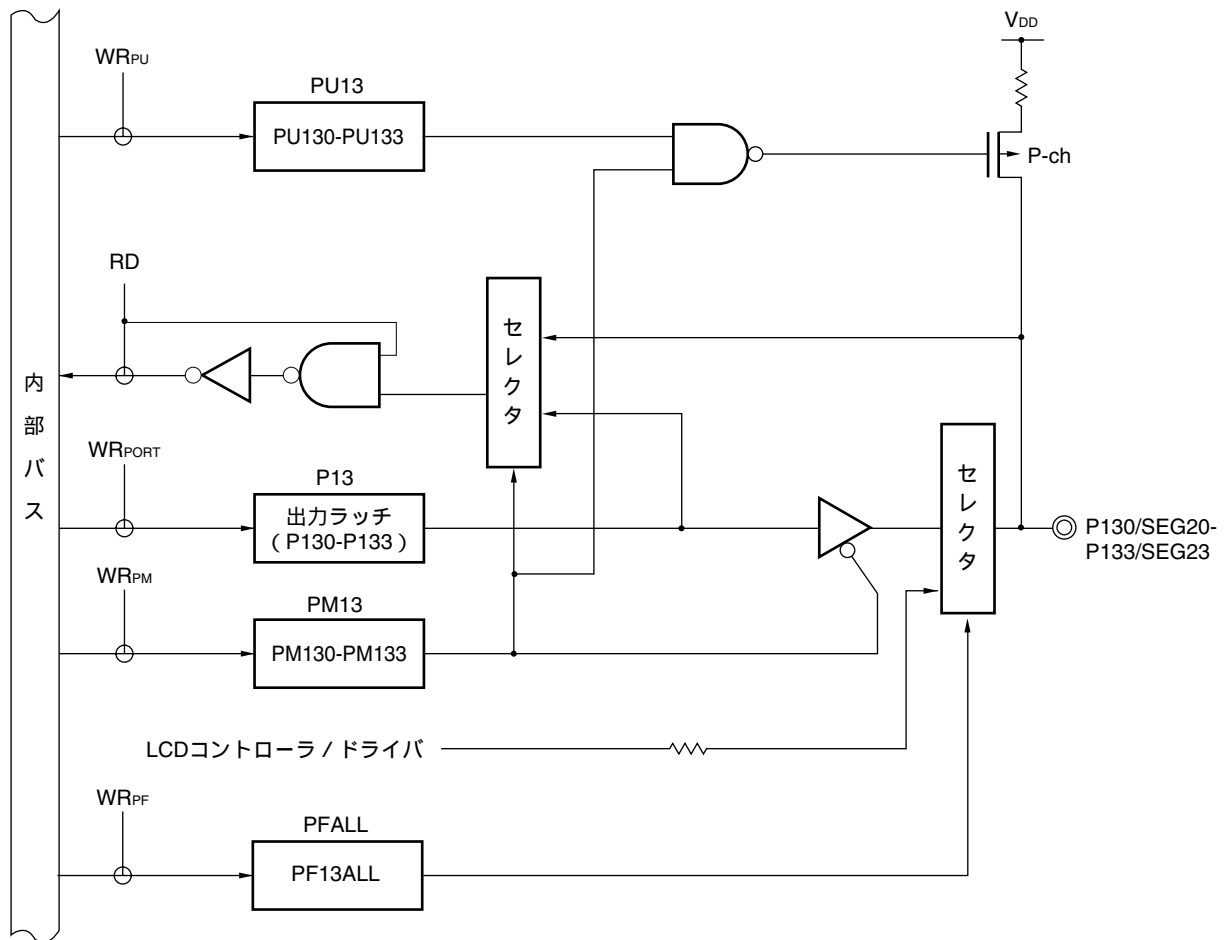
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 23にポート13のブロック図を示します。

図4 - 23 P130-P133のブロック図



- P13 : ポート・レジスタ13
- PU13 : プルアップ抵抗オプション・レジスタ13
- PM13 : ポート・モード・レジスタ13
- PFALL : ポート・ファンクション・レジスタALL
- RD : リード信号
- WR_x : ライト信号

4.2.11 ポート14

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P140/SEG8 (KS0)	P140/SEG10 (KS0)	P140/SEG16 (KS0)	P140/SEG24 (KS0)
P141/SEG9 (KS1)	P141/SEG11 (KS1)	P141/SEG17 (KS1)	P141/SEG25 (KS1)
P142/SEG10 (KS2)	P142/SEG12 (KS2)	P142/SEG18 (KS2)	P142/SEG26 (KS2)
P143/SEG11 (KS3)	P143/SEG13 (KS3)	P143/SEG19 (KS3)	P143/SEG27 (KS3)

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140-P143端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

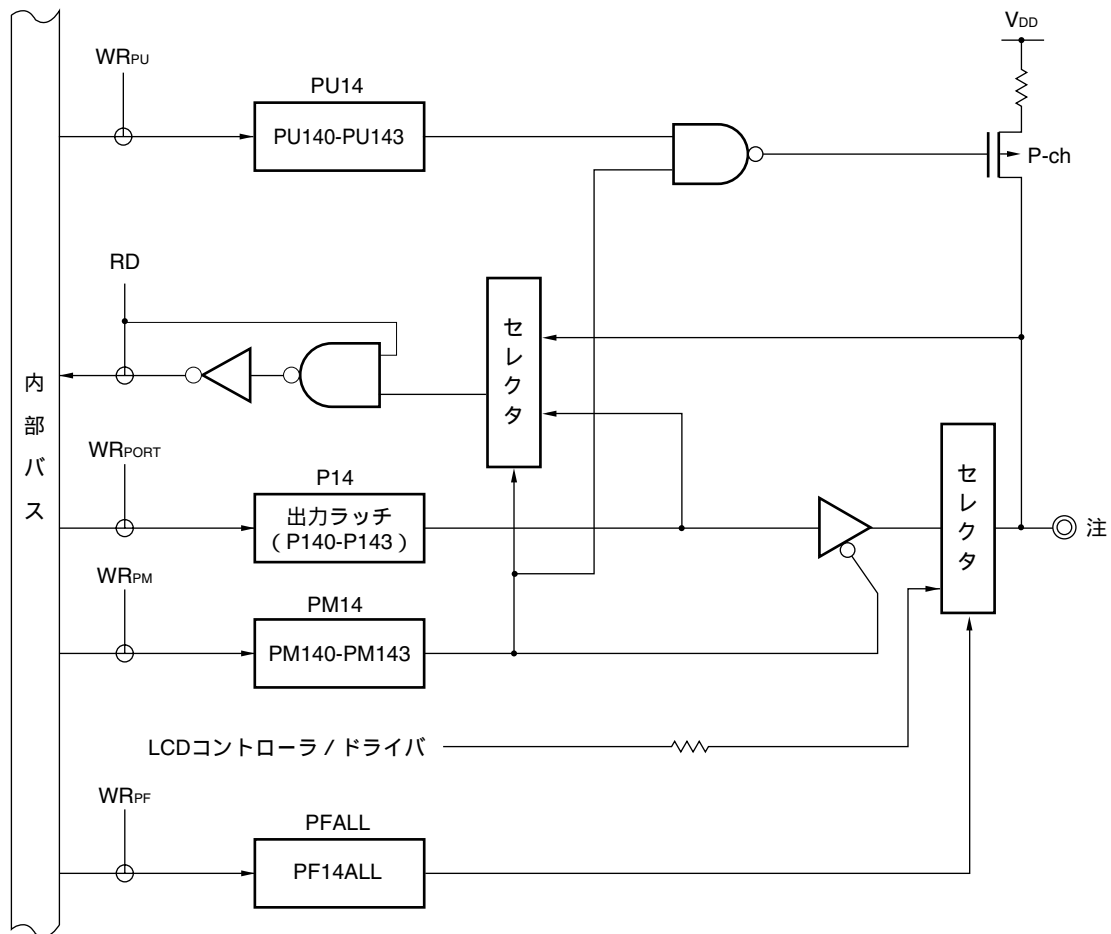
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 24にポート14のブロック図を示します。

図4 - 24 P140-P143のブロック図



注 78K0/LC3 : P140/SEG8 (KS0) -P143/SEG11 (KS3)
 78K0/LD3 : P140/SEG10 (KS0) -P143/SEG13 (KS3)
 78K0/LE3 : P140/SEG16 (KS0) -P143/SEG19 (KS3)
 78K0/LF3 : P140/SEG24 (KS0) -P143/SEG27 (KS3)

P14 : ポート・レジスタ14
 PU14 : プルアップ抵抗オプション・レジスタ14
 PM14 : ポート・モード・レジスタ14
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_x : ライト信号

4.2.12 ポート15

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
P150/SEG12 (KS4)	P150/SEG14 (KS4)	P150/SEG20 (KS4)	P150/SEG28 (KS4)
P151/SEG13 (KS5)	P151/SEG15 (KS5)	P151/SEG21 (KS5)	P151/SEG29 (KS5)
P152/SEG14 (KS6)	P152/SEG16 (KS6)	P152/SEG22 (KS6)	P152/SEG30 (KS6)
P153/SEG15 (KS7)	P153/SEG17 (KS7)	P153/SEG23 (KS7)	P153/SEG31 (KS7)

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。P150-P153端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ15 (PU15) により1ビット単位で内蔵プルアップ抵抗を使用できます。

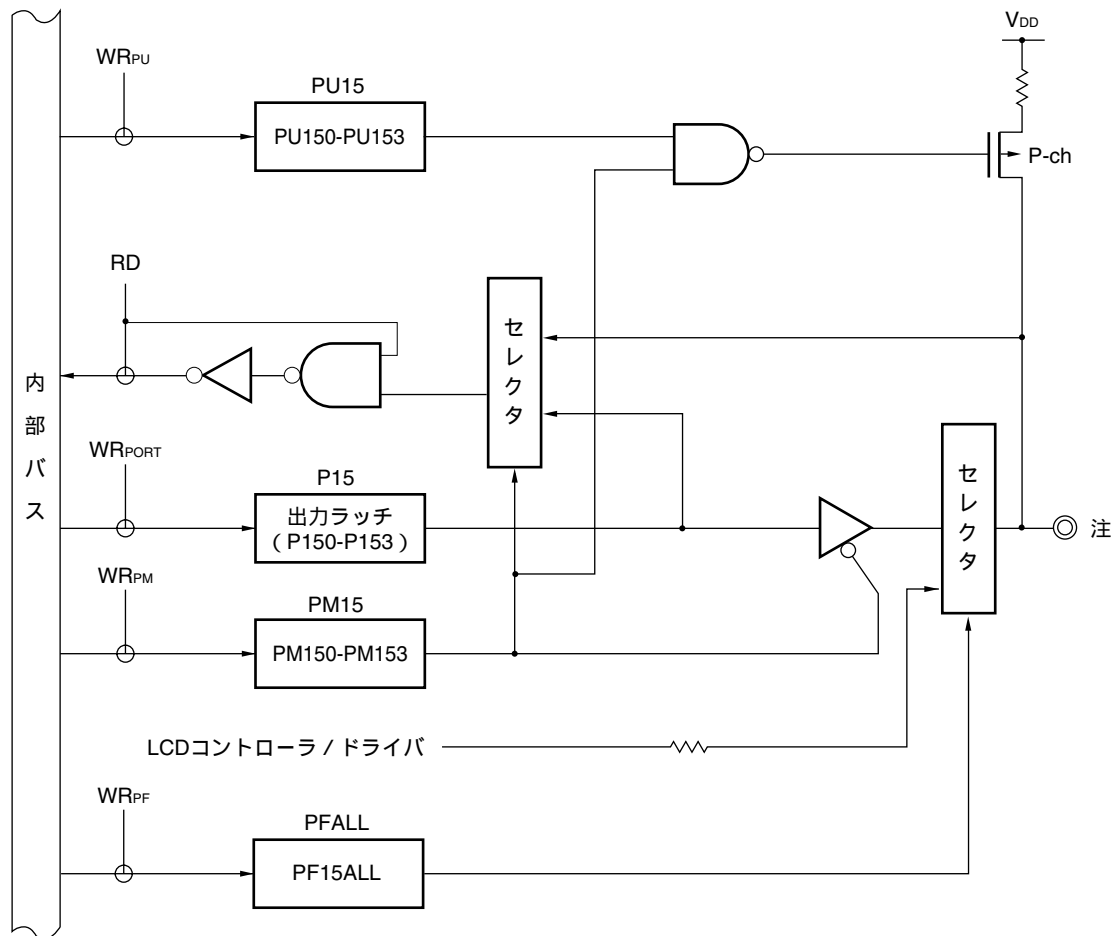
また、兼用機能としてLCDコントローラ / ドライバのセグメント信号出力、セグメント・キー・ソース信号同時出力があります。

兼用切り替えレジスタALL (PFALL) により、入出力ポートまたはセグメント信号出力機能のどちらかを選択できます。

リセット信号の発生により、入力モードになります。

図4 - 25にポート15のブロック図を示します。

図4 - 25 P150-P153のブロック図



注 78K0/LC3 : P150/SEG12 (KS4) -P153/SEG15 (KS7)
 78K0/LD3 : P150/SEG14 (KS4) -P153/SEG17 (KS7)
 78K0/LE3 : P150/SEG20 (KS4) -P153/SEG23 (KS7)
 78K0/LF3 : P150/SEG28 (KS4) -P153/SEG31 (KS7)

P15 : ポート・レジスタ15
 PU15 : プルアップ抵抗オプション・レジスタ15
 PM15 : ポート・モード・レジスタ15
 PFALL : ポート・ファンクション・レジスタALL
 RD : リード信号
 WR_{x} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の7種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・ファンクション・レジスタ2 (PF2)^{注1}
- ・ポート・ファンクション・レジスタALL (PFALL)
- ・A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)^{注2}

注1. μ PD78F040x, 78F041x, 78F042x, 78F043x, 78F044x, 78F045x, 78F047x, 78F048xのみ。

2. μ PD78F041x, 78F043x, 78F045x, 78F046x, 78F048x, 78F049xのみ。

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定を参照し、設定してください。

図4 - 26 ポート・モード・レジスタのフォーマット (78K0/LC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	1	PM13	PM12	1	1	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	1	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	1	PM40	FF24H	FFH	R/W
PM10	1	1	1	1	1	1	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	1	1	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-4, 10-12, 14, 15; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM1のビット0, 1, 4-7, PM2のビット6, 7, PM3のビット0, 5-7, PM4のビット1-7, PM10のビット2-7, PM11のビット0, 1, 4-7, PM12のビット1-7, PM14のビット4-7, PM15のビット4-7には、必ず1を設定してください。

図4 - 27 ポート・モード・レジスタのフォーマット (78K0/LD3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	1	PM13	PM12	PM11	1	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	1	FF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FF24H	FFH	R/W
PM8	1	1	1	1	1	1	1	PM80	FF28H	FFH	R/W
PM10	1	1	1	1	1	1	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	PM111	1	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-4, 8, 10-12, 14, 15 ; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM1のビット0, 4-7, PM2のビット6, 7, PM3のビット0, 5-7, PM4のビット2-7, PM8のビット1-7, PM10のビット2-7, PM11のビット0, 4-7, PM12のビット1-7, PM14のビット4-7, PM15のビット4-7には, 必ず1を設定してください。

図4 - 28 ポート・モード・レジスタのフォーマット (78K0/LE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	PM14	PM13	PM12	PM11	1	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	1	FF23H	FFH	R/W
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-4, 8, 10-12, 14, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM1のビット0, 5-7, PM3のビット0, 5-7, PM4のビット5-7, PM8のビット4-7, PM10のビット4-7, PM11のビット4-7, PM12のビット1-7, PM14のビット4-7, PM15のビット4-7には必ず1を設定してください。

図4 - 29 ポート・モード・レジスタのフォーマット (78K0/LF3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	1	1	PM93	PM92	PM91	PM90	FF29H	FFH	R/W
PM10	1	1	1	1	PM103	PM102	PM101	PM100	FF2AH	FFH	R/W
PM11	1	1	1	1	PM113	PM112	PM111	PM110	FF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	PM133	PM132	PM131	PM130	FF2DH	FFH	R/W
PM14	1	1	1	1	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-4, 8-15; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM3のビット5-7, PM8のビット4-7, PM9のビット4-7, PM10のビット4-7, PM11のビット4-7, PM12のビット1-7, PM13のビット4-7, PM14のビット4-7, PM15のビット4-7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-30 ポート・レジスタのフォーマット (78K0/LC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	0	0	0	0	P13	P12	0	0	FF01H	00H (出力ラッチ)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	P34	P33	P32	P31	0	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	0	P40	FF04H	00H (出力ラッチ)	R/W
P10	0	0	0	0	0	0	P101	P100	FF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	P113	P112	0	0	FF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^{注2}	P123 ^{注2}	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H ^{注1} (出力ラッチ)	R/W ^{注1}
P14	PK143 ^{注3}	PK142 ^{注3}	PK141 ^{注3}	PK140 ^{注3}	P143	P142	P141	P140	FF0EH	00H (出力ラッチ)	R/W
P15	PK153 ^{注3}	PK152 ^{注3}	PK151 ^{注3}	PK150 ^{注3}	P153	P152	P151	P150	FF0FH	00H (出力ラッチ)	R/W

Pmn	m = 1-4, 10-12, 14, 15 ; n = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124はRead Onlyです。リセット時は不定となります。

2. 端子の動作モードがクロック入力モードの場合、常に0が読み出されます。

3. セグメント・キー・スキャン機能で使用します。詳細は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

図4-31 ポート・レジスタのフォーマット (78K0/LD3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	0	0	0	0	P13	P12	P11	0	FF01H	00H (出力ラッチ)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	P34	P33	P32	P31	0	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FF04H	00H (出力ラッチ)	R/W
P8	0	0	0	0	0	0	0	P80	FF08H	00H (出力ラッチ)	R/W
P10	0	0	0	0	0	0	P101	P100	FF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	P113	P112	P111	0	FF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^{注2}	P123 ^{注2}	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H ^{注1} (出力ラッチ)	R/W ^{注1}
P14	PK143 ^{注3}	PK142 ^{注3}	PK141 ^{注3}	PK140 ^{注3}	P143	P142	P141	P140	FF0EH	00H (出力ラッチ)	R/W
P15	PK153 ^{注3}	PK152 ^{注3}	PK151 ^{注3}	PK150 ^{注3}	P153	P152	P151	P150	FF0FH	00H (出力ラッチ)	R/W

Pmn	m = 1-4, 8, 10-12, 14, 15 ; n = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

- 注1. P121-P124はRead Onlyです。リセット時は不定となります。
2. 端子の動作モードがクロック入力モードの場合、常に0が読み出されます。
3. セグメント・キー・スキャン機能で使用します。詳細は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

図4-32 ポート・レジスタのフォーマット (78K0/LE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	0	0	0	P14	P13	P12	P11	0	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	P34	P33	P32	P31	0	FF03H	00H (出力ラッチ)	R/W
P4	0	0	0	P44	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P10	0	0	0	0	P103	P102	P101	P100	FF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	P113	P112	P111	P110	FF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^{注2}	P123 ^{注2}	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H ^{注1} (出力ラッチ)	R/W ^{注1}
P14	PK143 ^{注3}	PK142 ^{注3}	PK141 ^{注3}	PK140 ^{注3}	P143	P142	P141	P140	FF0EH	00H (出力ラッチ)	R/W
P15	PK153 ^{注3}	PK152 ^{注3}	PK151 ^{注3}	PK150 ^{注3}	P153	P152	P151	P150	FF0FH	00H (出力ラッチ)	R/W

Pmn	m = 1-4, 8, 10-12, 14, 15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124はRead Onlyです。リセット時は不定となります。

2. 端子の動作モードがクロック入力モードの場合、常に0が読み出されます。

3. セグメント・キー・スキャン機能で使用します。詳細は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

図4-33 ポート・レジスタのフォーマット (78K0/LF3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P3	0	0	0	P34	P33	P32	P31	P30	FF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FF08H	00H (出力ラッチ)	R/W
P9	0	0	0	0	P93	P92	P91	P90	FF09H	00H (出力ラッチ)	R/W
P10	0	0	0	0	P103	P102	P101	P100	FF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	P113	P112	P111	P110	FF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124 ^{注2}	P123 ^{注2}	P122 ^{注2}	P121 ^{注2}	P120	FF0CH	00H ^{注1} (出力ラッチ)	R/W ^{注1}
P13	0	0	0	0	P133	P132	P131	P130	FF0DH	00H (出力ラッチ)	R/W
P14	PK143 ^{注3}	PK142 ^{注3}	PK141 ^{注3}	PK140 ^{注3}	P143	P142	P141	P140	FF0EH	00H (出力ラッチ)	R/W
P15	PK153 ^{注3}	PK152 ^{注3}	PK151 ^{注3}	PK150 ^{注3}	P153	P152	P151	P150	FF0FH	00H (出力ラッチ)	R/W

Pmn	m = 1-4, 8-15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124はRead Onlyです。リセット時は不定となります。

2. 端子の動作モードがクロック入力モードの場合、常に0が読み出されます。

3. セグメント・キー・スキャン機能で使います。詳細は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

(3) プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 34 プルアップ抵抗オプション・レジスタのフォーマット (78K0/LC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	PU13 ^注	PU12 ^注	0	0	FF31H	00H	R/W
PU3	0	0	0	PU34	PU33	PU32	PU31	0	FF33H	00H	R/W
PU4	0	0	0	0	0	0	0	PU40 ^注	FF34H	00H	R/W
PU10	0	0	0	0	0	0	PU101	PU100	FF3AH	00H	R/W
PU11	0	0	0	0	PU113	PU112	0	0	FF3BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	PU143	PU142	PU141	PU140	FF3EH	00H	R/W
PU15	0	0	0	0	PU153	PU152	PU151	PU150	FF3FH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 1, 3, 4, 10-12, 14, 15 ; n = 0-4)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 セグメント・キー・スキャン機能使用時の設定は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

図4 - 35 プルアップ抵抗オプション・レジスタのフォーマット (78K0/LD3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	PU13 ^注	PU12 ^注	PU11 ^注	0	FF31H	00H	R/W
PU3	0	0	0	PU34	PU33	PU32	PU31	0	FF33H	00H	R/W
PU4	0	0	0	0	0	0	PU41 ^注	PU40 ^注	FF34H	00H	R/W
PU8	0	0	0	0	0	0	0	PU80	FF38H	00H	R/W
PU10	0	0	0	0	0	0	PU101	PU100	FF3AH	00H	R/W
PU11	0	0	0	0	PU113	PU112	PU111	0	FF3BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	PU143	PU142	PU141	PU140	FF3EH	00H	R/W
PU15	0	0	0	0	PU153	PU152	PU151	PU150	FF3FH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 1, 3, 4, 8, 10-12, 14, 15 ; n = 0-4)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 セグメント・キー・スキャン機能使用時の設定は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

図4 - 36 プルアップ抵抗オプション・レジスタのフォーマット (78K0/LE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	PU14	PU13	PU12	PU11	0	FF31H	00H	R/W
PU3	0	0	0	PU34	PU33	PU32	PU31	0	FF33H	00H	R/W
PU4	0	0	0	PU44 ^注	PU43 ^注	PU42 ^注	PU41 ^注	PU40 ^注	FF34H	00H	R/W
PU8	0	0	0	0	PU83	PU82	PU81	PU80	FF38H	00H	R/W
PU10	0	0	0	0	PU103	PU102	PU101	PU100	FF3AH	00H	R/W
PU11	0	0	0	0	PU113	PU112	PU111	PU110	FF3BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	0	0	PU143	PU142	PU141	PU140	FF3EH	00H	R/W
PU15	0	0	0	0	PU153	PU152	PU151	PU150	FF3FH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 1, 3, 4, 8, 10-12, 14, 15 ; n = 0-4)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 セグメント・キー・スキャン機能使用時の設定は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

図4 - 37 プルアップ抵抗オプション・レジスタのフォーマット (78K0/LF3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	PU34	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47 ^注	PU46 ^注	PU45 ^注	PU44 ^注	PU43 ^注	PU42 ^注	PU41 ^注	PU40 ^注	FF34H	00H	R/W
PU8	0	0	0	0	PU83	PU82	PU81	PU80	FF38H	00H	R/W
PU9	0	0	0	0	PU93	PU92	PU91	PU90	FF39H	00H	R/W
PU10	0	0	0	0	PU103	PU102	PU101	PU100	FF3AH	00H	R/W
PU11	0	0	0	0	PU113	PU112	PU111	PU110	FF3BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU13	0	0	0	0	PU133	PU132	PU131	PU130	FF3DH	00H	R/W
PU14	0	0	0	0	PU143	PU142	PU141	PU140	FF3EH	00H	R/W
PU15	0	0	0	0	PU153	PU152	PU151	PU150	FF3FH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 1, 3, 4, 8-15 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 セグメント・キー・スキャン機能使用時の設定は、18.3 LCDコントローラ/ドライバを制御するレジスタを参照してください。

(4) ポート・ファンクション・レジスタ1 (PF1)

P13, P16端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-38 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

(a) 78K0/LC3

アドレス：FF20H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), キー入力 (KR4), UART0, UART6出力の指定
0	P13またはKR4として使用
1	TxD0またはTxD6として使用

(b) 78K0/LD3

アドレス：FF20H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, キー入力 (KR4), UART0, UART6出力の指定
0	P13またはSO10またはKR4として使用
1	TxD0またはTxD6として使用

(c) 78K0/LE3

アドレス：FF20H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0, UART6出力の指定
0	P13またはSO10として使用
1	TxD0またはTxD6として使用

(d) 78K0/LF3

アドレス：FF20H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF16	ポート (P16), CSIA0, UART6出力の指定
0	P16またはSOA0として使用
1	TxD6として使用

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

(5) ポート・ファンクション・レジスタ2 (PF2)

P20-P27端子をポート端子（セグメント出力端子以外）/セグメント出力端子のどちらで使用するかを設定するレジスタです。

PF2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 39 ポート・ファンクション・レジスタ2 (PF2) のフォーマット

(a) 78K0/LC3, 78K0/LD3

アドレス：FFB5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF2	0	0	PF25	PF24	PF23	PF22	PF21	PF20

(b) 78K0/LE3 (μ PD78F044x, 78F045xのみ) , 78K0/LF3 (μ PD78F047x, 78F048xのみ)

アドレス：FFB5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	ポート/セグメント出力の指定
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

備考 n = 0-7

(6) ポート・ファンクション・レジスタALL (PFALL)

ポート8-11, ポート13-15の端子をポート端子 (セグメント出力端子以外) / セグメント出力端子のどちらで使用するかを設定するレジスタです。

PFALLは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 40 ポート・ファンクション・レジスタALL (PFALL) のフォーマット

(a) 78K0/LC3

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	0	PF11ALL	PF10ALL	0	0

(b) 78K0/LD3, 78K0/LE3

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	0	PF11ALL	PF10ALL	0	PF08ALL

(c) 78K0/LF3

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

PFnALL	ポート / セグメント出力の指定
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

備考 n = 08-11, 13-15

(7) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

P20/ANI0-P27/ANI7端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、08Hになります。

図4-41 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

(a) 78K0/LC3 (μ PD78F041xのみ), 78K0/LD3 (μ PD78F043xのみ)

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	0	ADPC02	ADPC01	ADPC00

ADPC02	ADPC01	ADPC00	デジタル入出力 (D) / アナログ入力 (A) の切り替え					
			P25 /ANI5	P24 /ANI4	P23 /ANI3	P22 /ANI2	P21 /ANI1	P20 /ANI0
0	0	0	A	A	A	A	A	A
0	0	1	A	A	A	A	A	D
0	1	0	A	A	A	A	D	D
0	1	1	A	A	A	D	D	D
1	0	0	A	A	D	D	D	D
1	0	1	A	D	D	D	D	D
1	1	0	D	D	D	D	D	D
上記以外			設定禁止					

(b) 78K0/LE3 (μ PD78F045x, 78F046xのみ), 78K0/LF3 (μ PD78F048x, 78F049xのみ)

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	デジタル入出力 (D) / アナログ入力 (A: 逐次比較型, : 型) の切り替え								
				P27 /ANI7 /REF+	P26 /ANI6 /REF-	P25 /ANI5 /DS2+	P24 /ANI4 /DS2-	P23 /ANI3 /DS1+	P22 /ANI2 /DS1-	P21 /ANI1 /DS0+	P20 /ANI0 /DS0-	
0	0	0	0	A/	A/	A/	A/	A/	A/	A/	A/	A/
0	0	0	1	A/	A/	A/	A/	A/	A/	A	A	D
0	0	1	0	A/	A/	A/	A/	A/	A/	D	D	D
0	0	1	1	A/	A/	A/	A/	A	D	D	D	D
0	1	0	0	A/	A/	A/	A/	D	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D	D
上記以外				設定禁止								

- 注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPC0でデジタル入出力として設定する端子を、ADS, ADDS1, ADDS0 で設定しないでください。
3. ADPC0にデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADPC0にデータを書き込まないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。
4. ANIx/P2x/SEGxx端子をPF2レジスタでセグメント出力に設定した場合には、ADPC0の設定に関わらず、セグメント出力となります (μ PD78F041x, 78F043x, 78F045x, 78F048xのみ)。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。リセットによって、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

4.5 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合, PFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチを表4-9~表4-12のように設定してください。

表4-9 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LC3)(1/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	PF1	ISC	PM x x	P x x
	名称	入出力					
P12	KR3	入力	-			1	x
	RxD0	入力	-			1	x
	<RxD6>	入力	-		ISC4 = 0, ISC5 = 1 ^{注5, 7}	1	x
P13 ^{注9}	KR4	入力	-	PF13 = 0		1	x
	TxD0	出力	-	PF13 = 1		0	x
	<TxD6>	出力	-	PF13 = 1	ISC4 = 0, ISC5 = 1	0	x
P20-P25 ^{注2}	SEG21-SEG16	出力	1			x	x
	ANI0-ANI5 ^{注1}	入力	0			1	x
P31	TOH1	出力	-			0	0
	INTP3	入力	-			1	x
P32	TOH0	出力	-			0	0
	MCGO	出力	-			0	0
P33	TI000	入力	-		ISC1 = 0	1	x
	RTCDIV	出力	-			0	0
	RTCCL	出力	-			0	0
	BUZ	出力	-			0	0
	INTP2	入力	-			1	x
P34	TI52	入力	-		注6	1	x
	TI010	入力	-			1	x
	TO00	出力	-			0	0
	RTC1HZ	出力	-			0	0
	INTP1	入力	-			1	x
P40	KR0	入力	-			1	x
	V _{LC3} ^{注8}	入力	-			x	x
P100, P101	SEG4, SEG5	出力	1			x	x
P112	SEG6	出力	1		ISC3 = 0	x	x
	TxD6	出力	0		ISC3 = 1, ISC4 = ISC5 = 0	0	1
P113	SEG7	出力	1		ISC3 = 0	x	x
	RxD6	入力	0		ISC3 = 1, ISC4 = ISC5 = 0 ^{注5, 7}	1	x

(注, 備考は次ページにあります。)

表4-9 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LC3)(2/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	ISC	PM x x	P x x
	名称	入出力				
P120	EXLVI	入力	-		1	x
	INTP0	入力	-	ISC0 = 0	1	x
P121	X1 ^{注3}	-	-		x	x
	OCD0A	-	-		x	x
P122	X2 ^{注3}	-	-		x	x
	EXCLK ^{注3}	入力	-		x	x
	OCD0B	-	-		x	x
P123	XT1 ^{注3}	-	-		x	x
P124	XT2 ^{注3}	-	-		x	x
P140-P143	SEG8 (KS0)	出力	1		x	x
	-SEG11 (KS3)					
P150-P153	SEG12 (KS4)	出力	1		x	x
	-SEG15 (KS7)					

注1. μ PD78F041xのみ。

- P20/ANI0-P25/ANI5端子の機能は、ポート・ファンクション・レジスタ2 (PF2), A/Dポート・コンフィギュレータ・レジスタ0 (ADPC0), ポート・モード・レジスタ2 (PM2), アナログ入力チャネル指定レジスタ (ADS) の設定で決定します。詳細は、表4-7を参照してください。
- P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3(1) クロック動作モード選択レジスタ (OSCCTL), (3) サブシステム・クロック端子の動作モードの設定方法を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。
- 各ポートに対応するレジスタが対象です。
- ISC1 = 1でTI000の入力ソースにRxD6を設定可能
- ISC2 = 1でTMH2によるTM52の入力イネーブルが制御可能
- ISC0 = 1でINTP0の入力ソースにRxD6を設定可能
- P40/KR0/V_{LC3}端子は、1/4バイアス法に設定した場合、V_{LC3}となります。その他のバイアス法を設定した場合は、ポート機能 (P40) またはキー割り込み機能 (KR0) となります。
- ポート機能として使用する場合、PF13 = 0にしてください。

備考1. x : don't care

- : 対象外

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

2. <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

3. X1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第29章 オンチップ・デバッグ機能を参照してください。

表4 - 10 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LD3)(1/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	PF1	ISC	PM x x	P x x
	名称	入出力					
P11	KR2	入力	-			1	x
	SCK10	入力	-			1	x
		出力	-			0	1
P12	SI10	入力	-			1	x
	KR3	入力	-			1	x
	RxD0	入力	-			1	x
	<RxD6>	入力	-		ISC4 = 0, ISC5 = 1 ^{注5, 7}	1	x
P13 ^{注9}	SO10	出力	-	PF13 = 0		0	0
	KR4	入力	-	PF13 = 0		1	x
	TxD0	出力	-	PF13 = 1		0	x
	<TxD6>	出力	-	PF13 = 1	ISC4 = 0, ISC5 = 1	0	x
P20-P25 ^{注2}	SEG23-SEG18	出力	1			x	x
	ANI0-ANI5 ^{注1}	入力	0			1	x
P31	TOH1	出力	-			0	0
	INTP3	入力	-			1	x
P32	TOH0	出力	-			0	0
	MCGO	出力	-			0	0
P33	TI000	入力	-		ISC1 = 0	1	x
	RTCDIV	出力	-			0	0
	RTCCL	出力	-			0	0
	BUZ	出力	-			0	0
	INTP2	入力	-			1	x
P34	TI52	入力	-		注6	1	x
	TI010	入力	-			1	x
	TO00	出力	-			0	0
	RTC1HZ	出力	-			0	0
	INTP1	入力	-			1	x
P40	KR0	入力	-			1	x
	V _{Lc3} ^{注8}	入力	-			x	x
P41	KR1	入力	-			1	x
	RIN	入力	-			1	x
P80	SEG4	出力	1			x	x
P100, P101	SEG5, SEG6	出力	1			x	x
P111	SEG7	出力	1		ISC3 = 0	x	x
P112	SEG8	出力	1		ISC3 = 0	x	x
	TxD6	出力	0		ISC3 = 1, ISC4 = ISC5 = 0	0	1

(注と備考は次ページにあります。)

表4 - 10 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定 (78K0/LD3) (2/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	ISC	PM x x	P x x
	名称	入出力				
P113	SEG9	出力	1	ISC3 = 0	x	x
	RxD6	入力	0	ISC3 = 1, ISC4 = ISC5 = 0 ^{注5, 7}	1	x
P120	EXLVI	入力	-		1	x
	INTP0	入力	-	ISC0 = 0	1	x
P121	X1 ^{注3}	-	-		x	x
	OCD0A	-	-		x	x
P122	X2 ^{注3}	-	-		x	x
	EXCLK ^{注3}	入力	-		x	x
	OCD0B	-	-		x	x
P123	XT1 ^{注3}	-	-		x	x
P124	XT2 ^{注3}	-	-		x	x
P140-P143	SEG10 (KS0)	出力	1		x	x
	-SEG13 (KS3)					
P150-P153	SEG14 (KS4)	出力	1		x	x
	-SEG17 (KS7)					

注1. μ PD78F043xのみ。

- P20/ANI0-P25/ANI5端子の機能は、ポート・ファンクション・レジスタ2 (PF2), A/Dポート・コンフィギュレータ・レジスタ0 (ADPC0), ポート・モード・レジスタ2 (PM2), アナログ入力チャネル指定レジスタ (ADS) の設定で決定します。詳細は、表4 - 7を参照してください。
- P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3 (1) クロック動作モード選択レジスタ (OSCCTL), (3) サブシステム・クロック端子の動作モードの設定方法を参照)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。
- 各ポートに対応するレジスタが対象です。
- ISC1 = 1でTI000の入力ソースにRxD6を設定可能
- ISC2 = 1でTMH2によるTM52の入力イネーブルが制御可能
- ISC0 = 1でINTP0の入力ソースにRxD6を設定可能
- P40/KR0/V_{LC3}端子は、1/4バイアス法に設定した場合、V_{LC3}となります。その他のバイアス法を設定した場合は、ポート機能 (P40) またはキー割り込み機能 (KR0) となります。
- ポート機能として使用する場合、PF13 = 0にしてください。

備考1. x : don't care
 - : 対象外
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

- <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。
- X1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第29章 オンチップ・デバッグ機能を参照してください。

表4 - 11 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LE3) (1/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	PF1	ISC	PM x x	P x x
	名 称	入出力					
P11	SCK10	入力	-			1	x
		出力	-			0	1
P12	SI10	入力	-			1	x
	RxD0	入力	-			1	x
	<RxD6>	入力	-		ISC4 = 0, ISC5 = 1 ^{注5, 7}	1	x
P13 ^{注10}	SO10	出力	-	PF13 = 0		0	0
	TxD0	出力	-	PF13 = 1		0	x
	<TxD6>	出力	-	PF13 = 1	ISC4 = 0, ISC5 = 1	0	x
P14	INTP4	入力	-			1	x
P20-P27 ^{注2}	SEG31-SEG24 ^{注11}	出力	1			x	x
	ANI0-ANI7 ^{注1}	入力	0			1	x
	DS0±-DS2± ^{注8}	入力	0			1	x
	REF± ^{注8}	入力	0			1	x
P31	TOH1	出力	-			0	0
	INTP3	入力	-			1	x
P32	TOH0	出力	-			0	0
	MCGO	出力	-			0	0
P33	TI000	入力	-		ISC1 = 0	1	x
	RTCDIV	出力	-			0	0
	RTCCL	出力	-			0	0
	BUZ	出力	-			0	0
	INTP2	入力	-			1	x
P34	TI52	入力	-		注6	1	x
	TI010	入力	-			1	x
	TO00	出力	-			0	0
	RTC1HZ	出力	-			0	0
	INTP1	入力	-			1	x

(注と備考は次々ページにあります。)

表4 - 11 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定(78K0/LE3) (2/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	ISC	PM x x	P x x
	名称	入出力				
P40	KR0	入力	-		1	x
	V _{LC3} ^{注9}	入力	-		x	x
P41	KR1	入力	-		1	x
	RIN	入力	-		1	x
P42	KR2	入力	-		1	x
P43	KR3	入力	-		1	x
	TI51	入力	-		1	x
	TO51	出力	-		0	0
P44	KR4	入力	-		1	x
	TI50	入力	-		1	x
	TO50	出力	-		0	0
P80-P83	SEG4-SEG7	出力	1		x	x
P100-P103	SEG8-SEG11	出力	1		x	x
P110	SEG12	出力	1	ISC3 = 0	x	x
P111	SEG13	出力	1	ISC3 = 0	x	x
P112	SEG14	出力	1	ISC3 = 0	x	x
	TxD6	出力	0	ISC3 = 1, ISC4 = ISC5 = 0	0	1
P113	SEG15	出力	1	ISC3 = 0	x	x
	RxD6	入力	0	ISC3 = 1, ISC4 = ISC5 = 0 ^{注5,7}	1	x
P120	EXLVI	入力	-		1	x
	INTP0	入力	-	ISC0 = 0	1	x
P121	X1 ^{注3}	-	-		x	x
	OCD0A	-	-		x	x
P122	X2 ^{注3}	-	-		x	x
	EXCLK ^{注3}	入力	-		x	x
	OCD0B	-	-		x	x
P123	XT1 ^{注3}	-	-		x	x
P124	XT2 ^{注3}	-	-		x	x
P140-P143	SEG16 (KS0) -SEG19 (KS3)	出力	1		x	x
P150-P153	SEG20 (KS4) -SEG23 (KS7)	出力	1		x	x

(注と備考は次ページにあります。)

- 注1. μ PD78F045x, 78F046xのみ。
2. P20/ANI0/DS0-, P21/ANI1/DS0+, P22/ANI2/DS1-, P23/ANI3/DS1+, P24/ANI4/DS2-, P25/ANI5/DS2+, P26/ANI6/REF-, P27/ANI7/REF+端子の機能は、ポート・ファンクション・レジスタ2 (PF2), A/Dポート・コンフィギュレータ・レジスタ0 (ADPC0), ポート・モード・レジスタ2 (PM2), アナログ入力チャネル指定レジスタ (ADS), A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0) の設定で決定します。詳細は、表4 - 8を参照してください。
 3. P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3 (1) **クロック動作モード選択レジスタ (OSCCTL)**, (3) **サブシステム・クロック端子の動作モードの設定方法を参照**)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。
 4. 各ポートに対応するレジスタが対象です。
 5. ISC1 = 1でTI000の入力ソースにRxD6を設定可能
 6. ISC2 = 1でTMH2によるTM52の入カインーブルが制御可能
 7. ISC0 = 1でINTP0の入力ソースにRxD6を設定可能
 8. μ PD78F046xのみ。
 9. P40/KR0/V_{Lc3}端子は、1/4バイアス法に設定した場合、V_{Lc3}となります。その他のバイアス法を設定した場合は、ポート機能 (P40) またはキー割り込み機能 (KR0) となります。
 10. ポート機能として使用する場合、PF13 = 0にしてください。
 11. μ PD78F044x, 78F045xのみ。

備考1. x : don't care

- : 対象外

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

2. <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。
3. X1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第29章 **オンチップ・デバッグ機能**を参照してください。

表4 - 12 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定 (78K0/LF3) (1/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	PF1	ISC	PM x x	P x x
	名称	入出力					
P10	PCL	出力	-			0	0
P11	SCK10	入力	-			1	x
		出力	-			0	1
P12	SI10	入力	-			1	x
	RxD0	入力	-			1	x
P13 ^{注10}	SO10	出力	-	PF13 = 0		0	0
	TxD0	出力	-	PF13 = 1		0	x
P14	SCKA0	入力	-			1	x
		出力	-			0	1
	INTP4	入力	-			1	x
P15	SIA0	入力	-			1	x
	<RxD6>	入力	-		ISC4 = 1 ^{注5, 7} , ISC5 = 0	1	x
P16 ^{注11}	SOA0	出力	-	PF16 = 0		0	0
	<TxD6>	出力	-	PF16 = 1	ISC4 = 1, ISC5 = 0	0	x
P20-P27 ^{注2}	SEG39-SEG32 ^{注12}	出力	1			x	x
	ANI0-ANI7 ^{注1}	入力	0			1	x
	DS0 ± -DS2 ± ^{注8}	入力	0			1	x
	REF ± ^{注8}	入力	0			1	x
P30	INTP5	入力	-			1	x
P31	TOH1	出力	-			0	0
	INTP3	入力	-			1	x
P32	TOH0	出力	-			0	0
	MCGO	出力	-			0	0
P33	TI000	入力	-		ISC1 = 0	1	x
	RTCDIV	出力	-			0	0
	RTCCL	出力	-			0	0
	BUZ	出力	-			0	0
	INTP2	入力	-			1	x
P34	TI52	入力	-		注6	1	x
	TI010	入力	-			1	x
	TO00	出力	-			0	0
	RTC1HZ	出力	-			0	0
	INTP1	入力	-			1	x

(注と備考は次々ページにあります。)

表4 - 12 兼用機能使用時のPFALL, PF2, PF1, ISC, ポート・モード・レジスタ, 出力ラッチの設定 (78K0/LF3) (2/2)

端子名称	兼用機能		PFALL, PF2 ^{注4}	ISC	PM x x	P x x
	名称	入出力				
P40	KR0	入力	-		1	x
	V _{LC3} ^{注9}	入力	-		x	x
P41	KR1	入力	-		1	x
	RIN	入力	-		1	x
P42	KR2	入力	-		1	x
P43	KR3	入力	-		1	x
	TI51	入力	-		1	x
	TO51	出力	-		0	0
P44	KR4	入力	-		1	x
	TI50	入力	-		1	x
	TO50	出力	-		0	0
P45	KR5	入力	-		1	x
P46	KR6	入力	-		1	x
P47	KR7	入力	-		1	x
P80-P83	SEG4-SEG7	出力	1		x	x
P90-P93	SEG8-SEG11	出力	1		x	x
P100-P103	SEG12-SEG15	出力	1		x	x
P110	SEG16	出力	1	ISC3 = 0	x	x
P111	SEG17	出力	1	ISC3 = 0	x	x
P112	SEG18	出力	1	ISC3 = 0	x	x
	TxD6	出力	0	ISC3 = 1, ISC4 = ISC5 = 0	0	1
P113	SEG19	出力	1	ISC3 = 0	x	x
	RxD6	入力	0	ISC3 = 1, ISC4 = ISC5 = 0 ^{注5, 7}	1	x
P120	EXLVI	入力	-		1	x
	INTP0	入力	-	ISC0 = 0	1	x
P121	X1 ^{注3}	-	-		x	x
	OCD0A	-	-		x	x
P122	X2 ^{注3}	-	-		x	x
	EXCLK ^{注3}	入力	-		x	x
	OCD0B	-	-		x	x
P123	XT1 ^{注3}	-	-		x	x
P124	XT2 ^{注3}	-	-		x	x
P130-P133	SEG20-SEG23	出力	1		x	x
P140-P143	SEG24 (KS0)	出力	1		x	x
	-SEG27 (KS3)					
P150-P153	SEG28 (KS4)	出力	1		x	x
	-SEG31 (KS7)					

(注と備考は次ページにあります。)

- 注1. μ PD78F048x, 78F049xのみ。
2. P20/ANI0/DS0-, P21/ANI1/DS0+, P22/ANI2/DS1-, P23/ANI3/DS1+, P24/ANI4/DS2-, P25/ANI5/DS2+, P26/ANI6/REF-, P27/ANI7/REF+端子の機能は、ポート・ファンクション・レジスタ2 (PF2), A/Dポート・コンフィギュレータ・レジスタ0 (ADPC0), ポート・モード・レジスタ2 (PM2), アナログ入力チャネル指定レジスタ (ADS), A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0) の設定で決定します。詳細は、表4-8を参照してください。
 3. P121-P124端子を、メイン・システム・クロック用発振子接続 (X1, X2), サブシステム・クロック発振子接続 (XT1, XT2), メイン・システム・クロック用外部クロック入力 (EXCLK) として使用する場合は、クロック動作モード選択レジスタ (OSCCTL) でX1発振モード, XT1発振モードまたは外部クロック入力モードに設定する必要があります (詳細は、5.3 (1) **クロック動作モード選択レジスタ (OSCCTL)**, (3) **サブシステム・クロック端子の動作モードの設定方法を参照**)。OSCCTLのリセット値は00H (P121-P124はすべて入力ポート) となります。
 4. 各ポートに対応するレジスタが対象です。
 5. ISC1 = 1でTI000の入力ソースにRxD6を設定可能
 6. ISC2 = 1でTMH2によるTM52の入カインーブルが制御可能
 7. ISC0 = 1でINTP0の入力ソースにRxD6を設定可能
 8. μ PD78F049xのみ。
 9. P40/KR0/V_{Lc3}端子は、1/4バイアス法に設定した場合、V_{Lc3}となります。その他のバイアス法を設定した場合は、ポート機能 (P40) またはキー割り込み機能 (KR0) となります。
 10. ポート機能として使用する場合、PF13 = 0にしてください。
 11. ポート機能として使用する場合、PF16 = 0にしてください。
 12. μ PD78F047x, 78F048xのみ。

備考1. x : don't care

- : 対象外

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

2. <>内の機能は、入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。
3. X1, X2端子は、オンチップ・デバッグ機能を使用するとき、オンチップ・デバッグ・モード引き込み用端子 (OCD0A, OCD0B) として使用できます。詳細は、第29章 **オンチップ・デバッグ機能**を参照してください。

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0/Lx3内部で、次の順序で行われます。

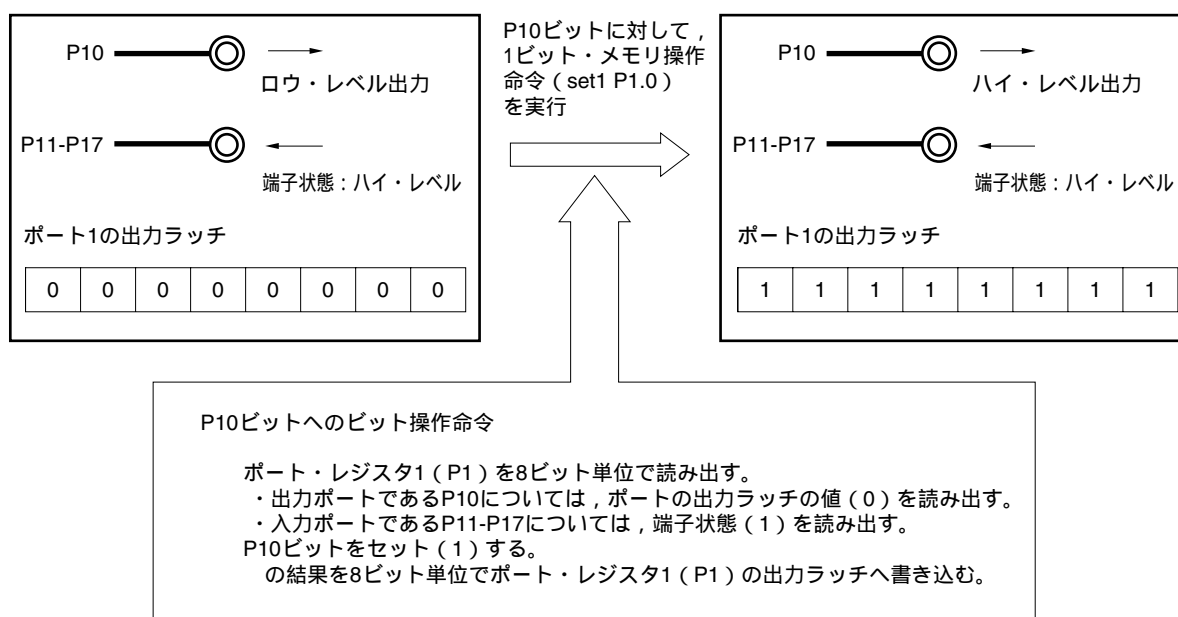
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4-42 1ビット・メモリ操作命令（P10の場合）



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 10$ MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ (MOC) により、発振を停止することができます。

高速内蔵発振回路

$f_{RH} = 8$ MHz (TYP.) のクロックを発振します。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行または内蔵発振モード・レジスタ (RCM) の設定により、発振を停止することができます。

また、OCD0B/EXCLK/X2/P122端子から外部メイン・システム・クロック ($f_{EXCLK} = 2 \sim 10$ MHz) を供給することができます。STOP命令の実行またはRCMの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、メイン・クロック・モード・レジスタ (MCM) で高速システム・クロック (X1クロックまたは外部メイン・システム・クロック) と高速内蔵発振クロックを切り替えられます。

(2) サブシステム・クロック

・サブシステム・クロック発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768$ kHzのクロックを発振します。プロセッサ・クロック・コントロール・レジスタ (PCC) とクロック動作モード選択レジスタ (OSCCTL) の設定により、発振を停止することができます。

備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XT}	: XT1クロック発振周波数

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・ 低速内蔵発振回路

$f_{RL} = 240\text{kHz}$ (TYP.) のクロックを発振します。リセット解除後、必ず低速内蔵発振クロックは動作を開始します。

オプション・バイトで「低速内蔵発振器をソフトウェアにより停止可能」に設定した場合、内蔵発振モード・レジスタ (RCM) を設定することで、発振を停止することができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは次のとおりです。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (カウント・クロックに f_{RL} 、 $f_{RL}/2^7$ または $f_{RL}/2^9$ を選択した場合)
- ・LCDコントローラ/ドライバ (LCDソース・クロックに $f_{RL}/2^3$ を選択した場合)

備考 f_{RL} : 低速内蔵発振クロック周波数

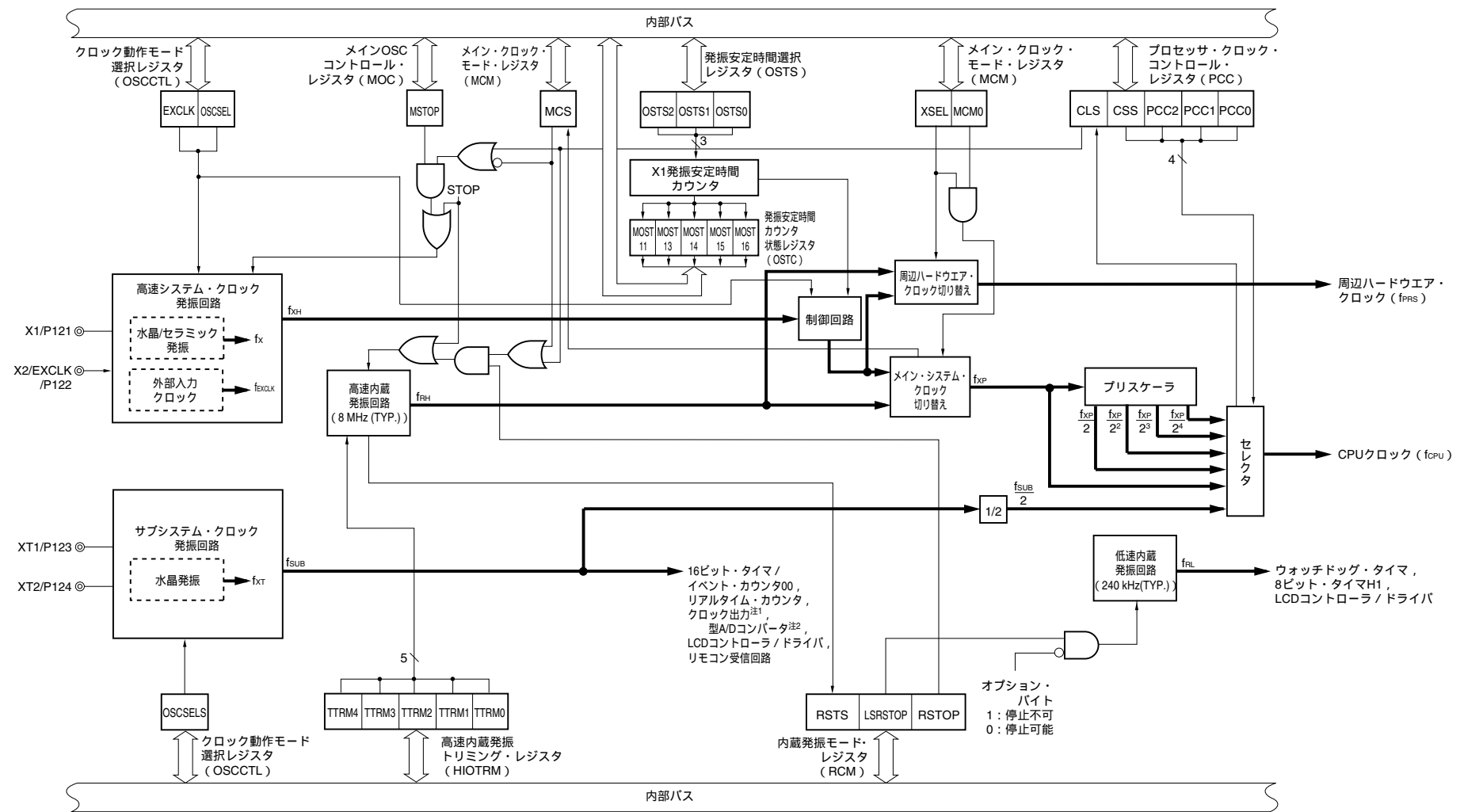
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード選択レジスタ (OSCCTL) プロセッサ・クロック・コントロール・レジスタ (PCC) 内蔵発振モード・レジスタ (RCM) メインOSCコントロール・レジスタ (MOC) メイン・クロック・モード・レジスタ (MCM) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 高速内蔵発振トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



注1. 78K0/LF3のみ
2. 78K0/LE3の μ PD78F046x, 78K0/LF3の78F049xのみ

備考	f_x	: X1クロック発振周波数
	f_{RH}	: 高速内蔵発振クロック周波数
	f_{EXCLK}	: 外部メイン・システム・クロック周波数
	f_{XH}	: 高速システム・クロック周波数
	f_{XP}	: メイン・システム・クロック周波数
	f_{PRS}	: 周辺ハードウェア・クロック周波数
	f_{CPU}	: CPUクロック周波数
	f_{XT}	: XT1クロック発振周波数
	f_{SUB}	: サブシステム・クロック周波数
	f_{RL}	: 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の8種類のレジスタで制御します。

- ・クロック動作モード選択レジスタ (OSCCTL)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・内蔵発振モード・レジスタ (RCM)
- ・メインOSCコントロール・レジスタ (MOC)
- ・メイン・クロック・モード・レジスタ (MCM)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・高速内蔵発振トリミング・レジスタ (HIOTRM)

(1) クロック動作モード選択レジスタ (OSCCTL)

高速システム・クロックとサブシステム・クロックの動作モード、内蔵している発振器のゲインを選択するレジスタです。

OSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード選択レジスタ (OSCCTL) のフォーマット

アドレス : FF9FH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

OSCCTL	EXCLK	OSCSEL	0	OSCSELS	0	0	0	0
--------	-------	--------	---	---------	---	---	---	---

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

注意 EXCLKとOSCSELを別の値に書き換える場合、メインOSCコントロール・レジスタ (MOC) のビット7 (MSTOP) が1 (X1発振回路停止またはEXCLK端子からの外部クロック無効) であることを必ず確認してください。
ビット5, 3-0には、必ず0を設定してください。

備考 f_{XH} : 高速システム・クロック周波数

(2) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択, 分周比, サブシステム・クロックの動作モードを設定するレジスタです。

PCCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図5-3 プロセッサ・クロック・コントロール・レジスタ (PCC) のフォーマット

アドレス: FFFBH リセット時: 01H RW^注

略号	7	6	5	4	3	2	1	0
PCC	0	0	CLS	CSS	0	PCC2	PCC1	PCC0

CLS	CPUクロックのステータス
0	メイン・システム・クロック
1	サブシステム・クロック

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
0	0	0	0	f _{XP}
	0	0	1	f _{XP} /2 (デフォルト)
	0	1	0	f _{XP} /2 ²
	0	1	1	f _{XP} /2 ³
	1	0	0	f _{XP} /2 ⁴
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

注 ビット5は, Read Onlyです。

注意1. ビット7, 6, 3には, 必ず0を設定してください。

2. PCCの分周比の設定では, 周辺ハードウェア・クロック (f_{PRS}) は分周されません。

備考1. f_{XP} : メイン・システム・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

78K0/Lx3マイクロコントローラの一番速い命令はCPUクロック2クロックで実行されます。したがって, CPUクロック (f_{CPU}) と最小命令実行時間の関係は, 表5-2のようになります。

表5-2 CPUクロックと最小命令実行時間の関係

CPUクロック (f _{CPU})	最小命令実行時間: 2/f _{CPU}		
	メイン・システム・クロック		サブシステム・クロック
	高速システム・クロック ^注	高速内蔵発振クロック ^注	
	10 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f _{XP}	0.2 μs	0.25 μs (TYP.)	-
f _{XP} /2	0.4 μs	0.5 μs (TYP.)	-
f _{XP} /2 ²	0.8 μs	1.0 μs (TYP.)	-
f _{XP} /2 ³	1.6 μs	2.0 μs (TYP.)	-
f _{XP} /2 ⁴	3.2 μs	4.0 μs (TYP.)	-
f _{SUB} /2	-	-	122.1 μs

注 CPUクロックに供給するメイン・システム・クロックの設定 (高速システム・クロック / 高速内蔵発振クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います (図5-6参照)。

(3) サブシステム・クロック端子の動作モードの設定方法

サブシステム・クロック端子の動作モードは、クロック動作モード選択レジスタ (OSCCTL) のビット4 (OSCELS) で設定します。

表5-3 サブシステム・クロック端子の動作モードの設定

OSCCTLのビット4 OSCELS	サブシステム・クロック端子の 動作モード	P123/XT1端子	P124/XT2端子
0	入力ポート・モード	入力ポート	
1	XT1発振モード	水晶発振子接続	

注意 OSCELSを別の値に書き換える場合、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット5 (CLS) が0 (メイン・システム・クロックでCPU動作) であることを確認してください。

(4) 内蔵発振モード・レジスタ (RCM)

内蔵発振器の動作モードを設定するレジスタです。

RCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H^{※1}になります。

図5-4 内蔵発振モード・レジスタ (RCM) のフォーマット

アドレス：FFA0H リセット時：80H^{※1} RW^{※2}

略号	7	6	5	4	3	2	1	0
RCM	RSTS	0	0	0	0	0	LSRSTOP	RSTOP

RSTS	高速内蔵発振器のステータス
0	高速内蔵発振器の発振精度安定待ち中
1	高速内蔵発振器安定動作

LSRSTOP	低速内蔵発振器の発振 / 停止
0	低速内蔵発振器の発振
1	低速内蔵発振器の停止

RSTOP	高速内蔵発振器の発振 / 停止
0	高速内蔵発振器の発振
1	高速内蔵発振器の停止

注1. リセット解除直後は00Hですが、高速内蔵発振器の発振精度安定待ち後に、自動的に80Hに切り替わります。

2. ビット7は、Read Onlyです。

注意 RSTOPに1を設定するとき、必ずCPUクロックが高速内蔵発振クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

- ・MCS = 1のとき (CPUクロックが高速システム・クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してから、RSTOPに1を設定してください。

(5) メインOSCコントロール・レジスタ (MOC)

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは、高速システム・クロック以外のクロックによるCPU動作時に、X1発振回路を停止またはEXCLK端子からの外部クロックを無効にする場合に使用します。

MOCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、80Hになります。

図5-5 メインOSCコントロール・レジスタ (MOC) のフォーマット

アドレス : FFA2H リセット時 : 80H R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロックの動作制御	
	X1発振モード時	外部クロック入力モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効
1	X1発振回路停止	EXCLK端子からの外部クロック無効

注意1. MSTOPに1を設定するとき、必ずCPUクロックが高速システム・クロック以外で動作していることを確認してください。具体的には、次のいずれかの条件です。

- ・MCS = 0のとき (CPUクロックが高速内蔵発振クロックで動作)
- ・CLS = 1のとき (CPUクロックがサブシステム・クロックで動作)

また、高速システム・クロックで動作している周辺ハードウェアを停止してから、MSTOPに1を設定してください。

2. クロック動作モード選択レジスタ (OSCCTL) のビット6 (OSCSEL) が0のとき (入出力ポート・モード)、MSTOPに0を設定しないでください。
3. 周辺ハードウェア・クロックを停止すると、周辺ハードウェアは動作不可となります。周辺ハードウェア・クロック停止後に再開する場合は、周辺ハードウェアを初期化してください。

(6) メイン・クロック・モード・レジスタ (MCM)

CPUクロックに供給するメイン・システム・クロックの選択と、周辺ハードウェア・クロックに供給するクロックの選択をするレジスタです。

MCMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-6 メイン・クロック・モード・レジスタ (MCM) のフォーマット

アドレス : FFA1H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	XSEL	MCS	MCM0

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f _{XP})	周辺ハードウェア・クロック (f _{PRS})
0	0	高速内蔵発振クロック (f _{RH})	高速内蔵発振クロック (f _{RH})
0	1		高速システム・クロック (f _{XH})
1	0		
1	1	高速システム・クロック (f _{XH})	

MCS	メイン・システム・クロックのステータス
0	高速内蔵発振クロックで動作
1	高速システム・クロックで動作

注 ビット1はRead Onlyです。

注意1. XSELはリセット解除後, 1回だけ設定が可能です。

- CPUクロックがサブシステム・クロックで動作しているとき, MCM0を書き換えないください。
- 次の周辺機能には, XSELとMCM0の設定によらず, f_{PRS}以外のクロックが供給されます。
 - ・ウォッチドッグ・タイマ (低速内蔵発振クロックで動作)
 - ・8ビット・タイマH1のカウンタ・クロックに「f_{RL}」, 「f_{RL}/2⁷」または「f_{RL}/2⁹」を選択時 (低速内蔵発振クロックで動作)
 - ・LCDコントローラ/ドライバのLCDソース・クロックに「f_{RL}/2³」を選択時 (低速内蔵発振クロックで動作)
 - ・クロック・ソースに外部クロックを選択している周辺ハードウェア (ただし, TM00の外部カウンタ・クロック選択時 (TI000端子の有効エッジ) は除く)

(7) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

図5-7 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST 11	MOST 13	MOST 14	MOST 15	MOST 16	発振安定時間のステータス			
					$f_x = 2\text{MHz}$ 時	$f_x = 5\text{MHz}$ 時	$f_x = 10\text{MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	1.02 ms以上	409.6 μs 以上	204.8 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	4.10 ms以上	1.64 ms以上	819.2 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	8.19 ms以上	3.27 ms以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	16.38 ms以上	6.55 ms以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	32.77 ms以上	13.11 ms以上	6.55 ms以上

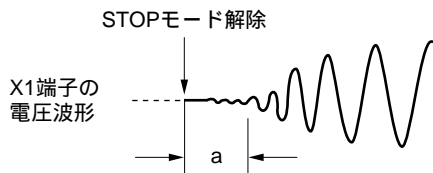
注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(8) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

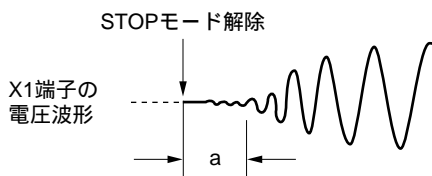
図5 - 8 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択		
				$f_x = 2 \text{ MHz}$ 時	$f_x = 5 \text{ MHz}$ 時	$f_x = 10 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	1.02 ms	409.6 μs	204.8 μs
0	1	0	$2^{13}/f_x$	4.10 ms	1.64 ms	819.2 μs
0	1	1	$2^{14}/f_x$	8.19 ms	3.27 ms	1.64 ms
1	0	0	$2^{15}/f_x$	16.38 ms	6.55 ms	3.27 ms
1	0	1	$2^{16}/f_x$	32.77 ms	13.11 ms	6.55 ms
上記以外			設定禁止			

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
2. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
3. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間
- したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
4. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数**(9) 高速内蔵発振トリミング・レジスタ (HIOTRM)**

高速内蔵発振器の精度補正をするレジスタです。

水晶振動子を用いたサブシステム・クロックや、高精度の外部クロック入力を用いたタイマ(リアルタイム・カウンタなど)を使用するなどして高速内蔵発振器の周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

注意 精度補正後に温度、 V_{DD} 端子電圧に変化があった場合、周波数は変動します。

また、HIOTRMレジスタに初期値(10H)以外を設定した場合は、その後の温度、 V_{DD} 電圧変動、またはHIOTRMレジスタの設定値によって高速内蔵発振クロックの発振精度が第31章 電気的特性(標準品)に記載のMIN.値、MAX.値を越える可能性があります。温度、 V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前に、または定期的に補正を実行する必要があります。

図5-9 高速内蔵発振器トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : FF30H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	0	TTRM4	TTRM3	TTRM2	TTRM1	TTRM0

TTRM4	TTRM3	TTRM2	TTRM1	TTRM0	クロック補正值 (2.5 V V_{DD} 5.5 V)		
					MIN.	TYP.	MAX.
0	0	0	0	0	- 5.54%	- 4.88%	- 4.02%
0	0	0	0	1	- 5.28%	- 4.62%	- 3.76%
0	0	0	1	0	- 4.99%	- 4.33%	- 3.47%
0	0	0	1	1	- 4.69%	- 4.03%	- 3.17%
0	0	1	0	0	- 4.39%	- 3.73%	- 2.87%
0	0	1	0	1	- 4.09%	- 3.43%	- 2.57%
0	0	1	1	0	- 3.79%	- 3.13%	- 2.27%
0	0	1	1	1	- 3.49%	- 2.83%	- 1.97%
0	1	0	0	0	- 3.19%	- 2.53%	- 1.67%
0	1	0	0	1	- 2.88%	- 2.22%	- 1.36%
0	1	0	1	0	- 2.23%	- 1.91%	- 1.31%
0	1	0	1	1	- 1.92%	- 1.60%	- 1.28%
0	1	1	0	0	- 1.60%	- 1.28%	- 0.96%
0	1	1	0	1	- 1.28%	- 0.96%	- 0.64%
0	1	1	1	0	- 0.96%	- 0.64%	- 0.32%
0	1	1	1	1	- 0.64%	- 0.32%	±0%
1	0	0	0	0	±0% (デフォルト)		
1	0	0	0	1	±0%	+0.32%	+0.64%
1	0	0	1	0	+0.33%	+0.65%	+0.97%
1	0	0	1	1	+0.66%	+0.98%	+1.30%
1	0	1	0	0	+0.99%	+1.31%	+1.63%
1	0	1	0	1	+1.32%	+1.64%	+1.96%
1	0	1	1	0	+1.38%	+1.98%	+2.30%
1	0	1	1	1	+1.46%	+2.32%	+2.98%
1	1	0	0	0	+1.80%	+2.66%	+3.32%
1	1	0	0	1	+2.14%	+3.00%	+3.66%
1	1	0	1	0	+2.48%	+3.34%	+4.00%
1	1	0	1	1	+2.83%	+3.69%	+4.35%
1	1	1	0	0	+3.18%	+4.04%	+4.70%
1	1	1	0	1	+3.53%	+4.39%	+5.05%
1	1	1	1	0	+3.88%	+4.74%	+5.40%
1	1	1	1	1	+4.24%	+5.10%	+5.76%

注意 高速内蔵発振の周波数は、HIOTRMの値をある値より大きくすることにより速くなり、小さくすることにより遅くなります。大きくすることにより周波数が遅くなったり、小さくすることにより速くなるような逆転は起こりません。

5.4 システム・クロック発振回路

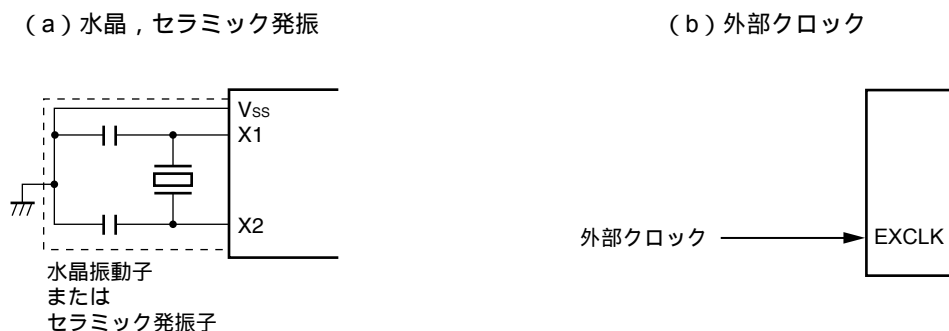
5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～10 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

図5 - 10にX1発振回路の外付け回路例を示します。

図5 - 10 X1発振回路の外付け回路例（水晶，セラミック発振）

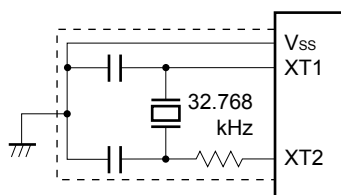


5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

図5 - 11にXT1発振回路の外付け回路例を示します。

図5 - 11 XT1発振回路の外付け回路例（水晶発振）



注意1．X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 10、図5 - 11の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

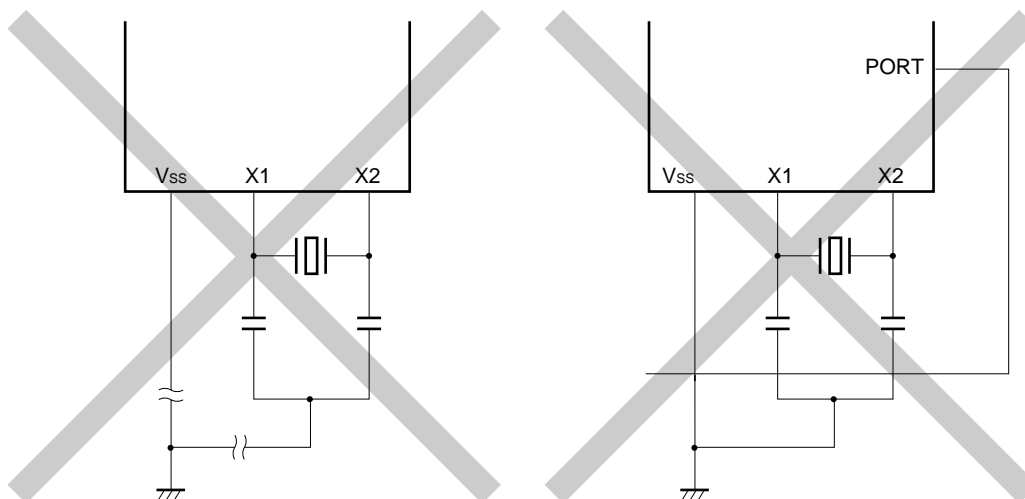
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図5 - 12に発振子の接続の悪い例を示します。

図5 - 12 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

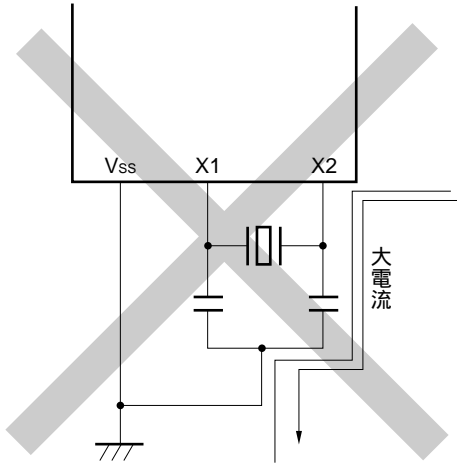
(b) 信号線が交差している



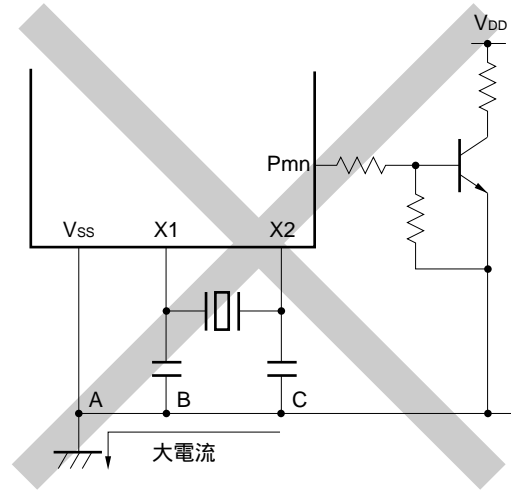
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-12 発振子の接続の悪い例 (2/2)

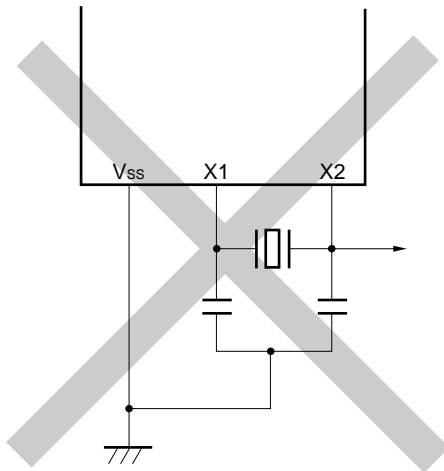
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意2 . X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

5.4.3 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作などのためにサブシステム・クロックを使用する必要のない場合、また入出力ポートとして使用しない場合は、XT1, XT2端子を入力ポート・モード (OSCSELS = 0) にし、個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。

備考 OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4

5.4.4 高速内蔵発振回路

78K0/Lx3マイクロコントローラは、高速内蔵発振回路を内蔵しています。内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します (8 MHz (TYP.))。

5.4.5 低速内蔵発振回路

78K0/Lx3マイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマ, 8ビット・タイマH1, およびLCDコントローラ/ドライバのクロックとしてのみ使用します。CPUクロックとして使用できません。

オプション・バイトで「ソフトウェアにより停止可能」または「停止不可」を選択できます。「ソフトウェアにより停止可能」に選択した場合、内蔵発振モード・レジスタ (RCM) にて発振を制御できます。

リセット解除後、低速内蔵発振回路は自動的に発振を開始し、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します (240 kHz (TYP.))。

5.4.6 プリスケーラ

プリスケーラは、CPUへの供給クロックにメイン・システム・クロックを選択する場合、メイン・システム・クロックを分周して、クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

- メイン・システム・クロック f_{XP}
- ・高速システム・クロック f_{XH}
 - X1クロック f_X
 - 外部メイン・システム・クロック f_{EXCLK}
- ・高速内蔵発振クロック f_{RH}
- サブシステム・クロック f_{SUB}
 - ・XT1クロック f_{XT}
- 低速内蔵発振クロック f_{RL}
- CPUクロック f_{CPU}
- 周辺ハードウェア・クロック f_{PRS}

78K0/Lx3マイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

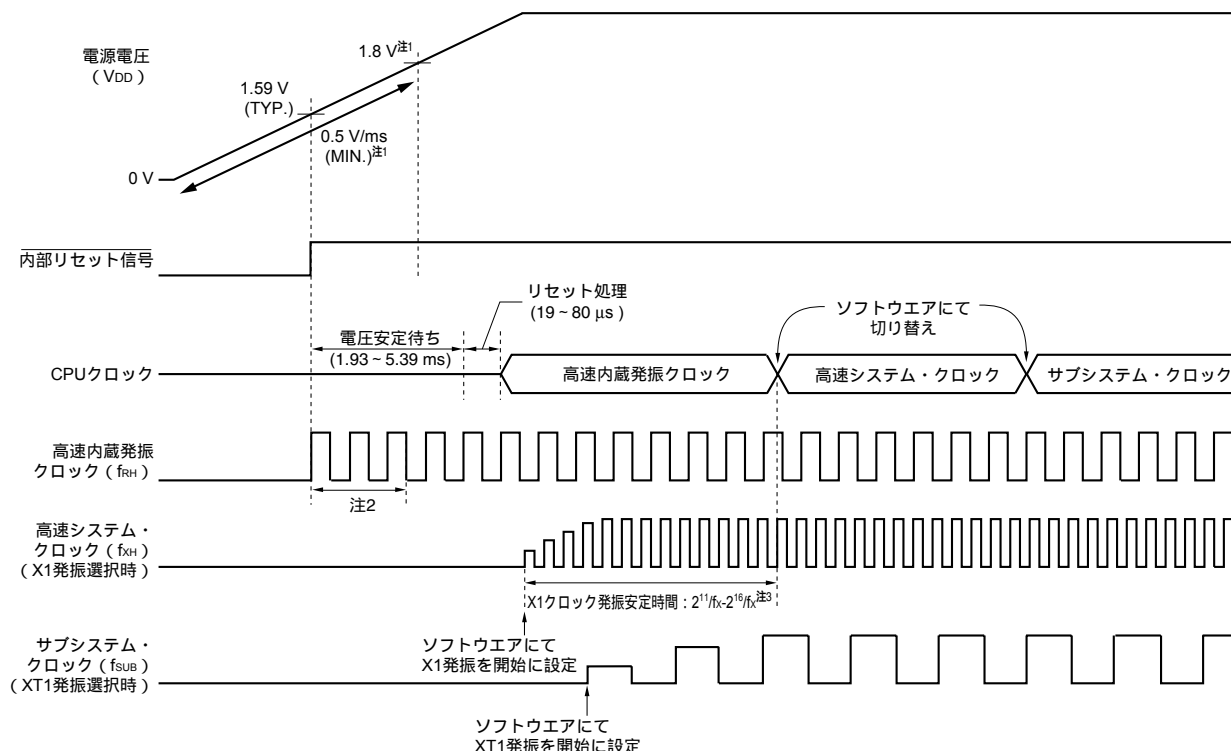
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど、最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 13に示します。

図5 - 13 電源電圧投入時のクロック発生回路の動作
(1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源 / レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (5.6.1 高速システム・クロックの制御例の(1)、5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.1 高速システム・クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(2)を参照)。

注1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりだが、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください (図5 - 14参照)。1.8 Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図5 - 13の以降と同様のタイミングで動作します。

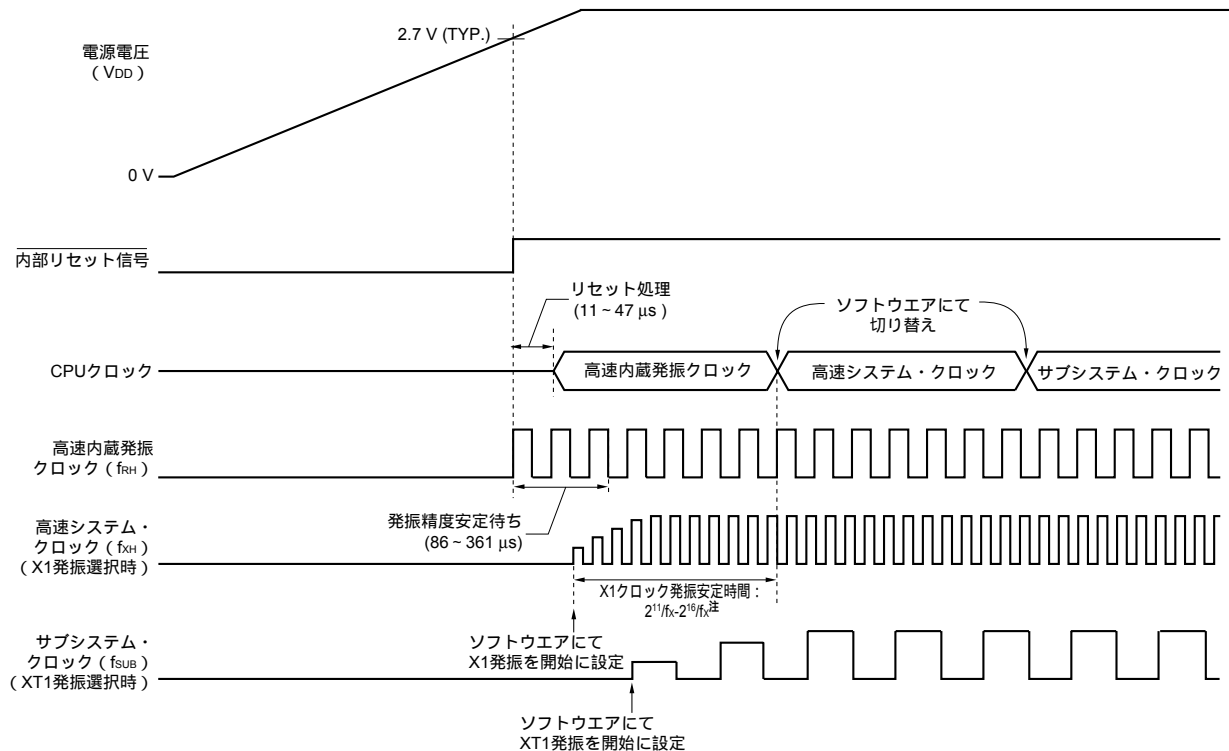
2. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

3. リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中，ソフトウェアの設定により，CPUクロックとして使用していないクロックを停止することができます。また，高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により，クロックを停止することができます（5.6.1 高速システム・クロックの制御例の(4)，5.6.2 高速内蔵発振クロックの制御例の(3)，5.6.3 サブシステム・クロックの制御例の(3)を参照）。

図5 - 14 電源電圧投入時のクロック発生回路の動作
(2.7 V/1.59V POCモード設定時 (オプション・バイト: POCMODE = 1))



電源投入後，パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が2.7 V (TYP.) を越えると，リセットが解除され，高速内蔵発振器が自動的に発振開始されます。

リセット解除後，リセット処理が行われたのちに，CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは，ソフトウェアにて発振開始を設定してください（5.6.1 高速システム・クロックの制御例の(1)，5.6.3 サブシステム・クロックの制御例の(1)を参照）。

CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウェアにて切り替えを設定してください（5.6.1 高速システム・クロックの制御例の(3)，5.6.3 サブシステム・クロックの制御例の(2)を参照）。

注 リセット解除時（上図）およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。またCPUクロックが高速システム・クロック（X1発振）の場合，STOPモード解除時の発振安定時間を，発振安定時間選択レジスタ（OSTS）で設定してください。

注意 1. 電源電圧が1.59 V (TYP.) に達したあと，1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が，1.93 ~ 5.39 ms以内の場合は，リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生し，リセット処理時間が19 ~ 80 μsになります。

2. EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

備考 マイコン動作中，ソフトウェアの設定により，CPUクロックとして使用していないクロックを停止することができます。また，高速内蔵発振クロックと高速システム・クロックは，STOP命令の実行によりクロックを停止することができます（5.6.1 高速システム・クロックの制御例の(4)，5.6.2 高速内蔵発振クロックの制御例の(3)，5.6.3 サブシステム・クロックの制御例の(3)を参照）。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは，次の2種類があります。

- ・X1クロック : X1, X2端子に水晶 / セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また，未使用時では，OCD0A/X1/P121, OCD0B/X2/EXCLK/P122端子を入出力ポートとして使用できます。

注意 OCD0A/X1/P121, OCD0B/X2/EXCLK/P122端子のリセット解除時は，入出力ポート・モードです。

次の設定手順例を，以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPUクロック，周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定，動作モードの選択（OSCCTLレジスタ）

EXCLKを0，OSCSELを1に設定すると，ポート・モードからX1発振モードへ切り替わります。

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
0	1	X1発振モード	水晶 / セラミック発振子接続	

X1クロックの発振制御（MOCレジスタ）

MSTOPを0に設定すると，X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し，必要な時間の経過をウエイトします。

ウエイト中は，高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. X1クロック動作中にEXCLK, OSCSELを書き換えしないでください

2. 電源電圧が，使用するクロックの動作可能電圧（第31章 電気的特性（標準品）を参照）に達してから，X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定, 動作モードの選択 (OSCCTLレジスタ)

EXCLK, OSCSELをそれぞれ1に設定すると, ポート・モードから外部クロック入力モードへ切り替えます。

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	P121/X1端子	P122/X2/EXCLK端子
1	1	外部クロック入力モード	入出力ポート	外部クロック入力

外部メイン・システム・クロックの入力制御 (MOCレジスタ)

MSTOPを0に設定すると, 外部メイン・システム・クロックの入力が有効になります。

- 注意1. 外部メイン・システム・クロック動作中にEXCLK, OSCSELを書き換えしないでください。
2. 電源電圧が, 使用するクロックの動作可能電圧 (第31章 電気的特性 (標準品) を参照) に達してから, 外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPUクロック, 周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5.6.1(1) X1クロックを発振する場合の設定手順例, または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合, の設定不要です。

高速システム・クロックをメイン・システム・クロックに設定 (MCMレジスタ)

XSELとMCM0をそれぞれ1に設定すると, メイン・システム・クロックと周辺ハードウェアに, 高速システム・クロックが供給されます。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
1	1	高速システム・クロック (f_{XH})	高速システム・クロック (f_{XH})

注意 メイン・システム・クロックに高速システム・クロックを選択した場合, 周辺ハードウェア・クロックに高速システム・クロック以外のクロックを設定することはできません。

メイン・システム・クロックをCPUクロックに選択, 分周比の選択 (PCCレジスタ)

CSSを0に設定すると, CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は, PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	0	f_{XP}
	0	0	1	$f_{XP}/2$ (デフォルト)
	0	1	0	$f_{XP}/2^2$
	0	1	1	$f_{XP}/2^3$
	1	0	0	$f_{XP}/2^4$
	上記以外			設定禁止

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止するには, 次の2つの方法があります。

- ・STOP命令を実行し, X1発振を停止する (外部クロックを使用している場合は, クロック入力無効)
- ・MSTOPを1に設定し, X1発振を停止する (外部クロックを使用している場合は, クロック入力無効)

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては, 第23章 **スタンバイ機能**を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合, STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると, STOPモードに移行し, X1発振は停止します (外部クロック入力は無効になります)。

(b) MSTOPを1に設定し, X1発振を停止 (外部クロック入力を無効) する場合

CPUクロックのステータス (PCC, MCMレジスタ) を確認

CLSとMCSで, CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合, CPUに高速システム・クロックが供給されていますので, CPUクロックをサブシステム・クロックか, 高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速システム・クロックの停止 (MOCレジスタ)

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^{注1}

高速内蔵発振クロック発振の再開の設定 (RCMレジスタ)

RSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

高速内蔵発振クロック発振精度安定時間待ち (RCMレジスタ)

RSTSに1がセットされるまでウエイトします^{注2}。

- 注1. リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPUクロックとして選択されます。
2. CPUクロック、周辺ハードウェア・クロックに精度が必要ない場合はウエイト省略可能です。

(2) 高速内蔵発振クロックをCPUクロック、高速内蔵発振クロックまたは高速システム・クロックを周辺ハードウェア・クロックとして使用する場合

・高速内蔵発振クロックの発振を再開^注

(5.6.2(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

・高速システム・クロックを発振^注

(周辺ハードウェア・クロックとして高速システム・クロックを使用する場合に設定必要。5.6.1(1) X1クロックを発振する場合の設定手順例、(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)

注 高速内蔵発振クロック、高速システム・クロック動作中の場合、 の設定不要です。

メイン・システム・クロックと周辺ハードウェアへの供給クロック選択 (MCMレジスタ)

XSELとMCM0で、メイン・システム・クロックと周辺ハードウェア・クロックを設定してください。

XSEL	MCM0	メイン・システム・クロックと周辺ハードウェアへの供給クロック選択	
		メイン・システム・クロック (f_{XP})	周辺ハードウェア・クロック (f_{PRS})
0	0	高速内蔵発振クロック (f_{RH})	高速内蔵発振クロック (f_{RH})
0	1		
1	0		高速システム・クロック (f_{XH})

CPUクロックの分周比の選択 (PCCレジスタ)

CSSを0に設定すると、CPUにメイン・システム・クロックが供給されます。CPUクロックの分周比を選択する場合は、PCC0, PCC1, PCC2で選択します。

CSS	PCC2	PCC1	PCC0	CPUクロック (f_{CPU}) の選択
0	0	0	0	f_{XP}
	0	0	1	$f_{XP}/2$ (デフォルト)
	0	1	0	$f_{XP}/2^2$
	0	1	1	$f_{XP}/2^3$
	1	0	0	$f_{XP}/2^4$
	上記以外			設定禁止

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行し、STOPモードに移行する
- ・ RSTOPを1に設定し、高速内蔵発振クロックを停止する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第23章 **スタンバイ機能**を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

CPUがX1クロックで動作している場合、STOP命令実行前までにOSTSレジスタの値を設定します。STOPモード解除後、すぐにCPUを動作したい場合は、MCM0を0に設定し、CPUクロックを高速内蔵発振クロックに切り替え、RSTS = 1であることを確認します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) RSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。
CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (RCMレジスタ)

RSTOPを1に設定すると、高速内蔵発振クロックが停止します。

注意 RSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

サブシステム・クロックは、次の水晶発振子接続があります。

・XT1クロック : XT1, XT2端子に水晶発振子接続

また、未使用時では、XT1/P123, XT2/P124端子を入力ポートとして使用できます。

注意 XT1/P123, XT2 /P124端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) サブシステム・クロックをCPUクロックとして使用する場合
- (3) サブシステム・クロックを停止する場合

(1) XT1クロックを発振する場合の設定手順例

XT1, XT2端子の設定、動作モードの選択 (PCC, OSCCTLレジスタ)

OSCSELSを次のように設定すると、ポート・モードからXT1発振モードへ切り替わります。

OSCSELS	サブシステム・クロック端子の動作モード	P123/XT1端子	P124/XT2
1	XT1発振モード	水晶 / セラミック発振子接続	

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 サブシステム・クロック動作中にOSCSELSを書き換えないでください。

(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振^注

(5.6.3(1) XT1クロックを発振する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、 の設定不要です。

CPUクロックの切り替え (PCCレジスタ)

CSSに1を設定すると、CPUにサブシステム・クロックが供給されます。

CSS	PCC2	PCC1	PCC0	CPUクロック (f _{CPU}) の選択
1	0	0	0	f _{SUB} /2
	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
上記以外				設定禁止

(3) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (PCC, MCMレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの停止 (OSCCTLレジスタ)

OSCSELSを0に設定すると、XT1発振が停止します。

- 注意1. OSCSELSに0を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで周辺ハードウェアが動作している場合は、周辺ハードウェアの動作を停止してください。
2. STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。

次の周辺ハードウェアのみを動作させることができます。

- ・ウォッチドッグ・タイマ
- ・8ビット・タイマH1 (カウント・クロックにf_{RL}, f_{RL}/2⁷またはf_{RL}/2⁹を選択した場合)
- ・LCDコントローラ/ドライバ (LCDソース・クロックにf_{RL}/2³を選択した場合)

また、オプション・バイトにより、次の動作モードを選択できます。

- ・低速内蔵発振器の発振停止不可
- ・ソフトウェアにて低速内蔵発振器の発振停止可

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））

(1) 低速内蔵発振クロックを停止する場合の設定手順例

LSRSTOPを1に設定（RCMレジスタ）

LSRSTOPを1に設定すると、低速内蔵発振クロックは発振を停止します。

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

LSRSTOPを0に設定（RCMレジスタ）

LSRSTOPを0に設定すると、低速内蔵発振クロックは発振を再開します。

注意 オプション・バイトにて「低速内蔵発振器の発振停止不可」に設定している場合、低速内蔵発振クロックの発振制御はできません。

5.6.5 CPUクロック、周辺ハードウェア・クロックへの供給クロック

CPUクロック、周辺ハードウェア・クロックへの供給クロックとレジスタの設定を次に示します。

表5-4 CPUクロック、周辺ハードウェア・クロックへの供給クロックとレジスタの設定

供給クロック		XSEL	CSS	MCM0	EXCLK
CPUクロックへの供給クロック	周辺ハードウェア・クロックへの供給クロック				
高速内蔵発振クロック		0	0	x	x
高速内蔵発振クロック	X1クロック	1	0	0	0
	外部メイン・システム・クロック	1	0	0	1
X1クロック		1	0	1	0
外部メイン・システム・クロック		1	0	1	1
サブシステム・クロック	高速内蔵発振クロック	0	1	x	x
	X1クロック	1	1	0	0
		1	1	1	0
	外部メイン・システム・クロック	1	1	0	1
		1	1	1	1

備考1. XSEL :メイン・クロック・モード・レジスタ（MCM）のビット2

2. CSS :プロセッサ・クロック・コントロール・レジスタ（PCC）のビット4

3. MCM0 :MCMのビット0

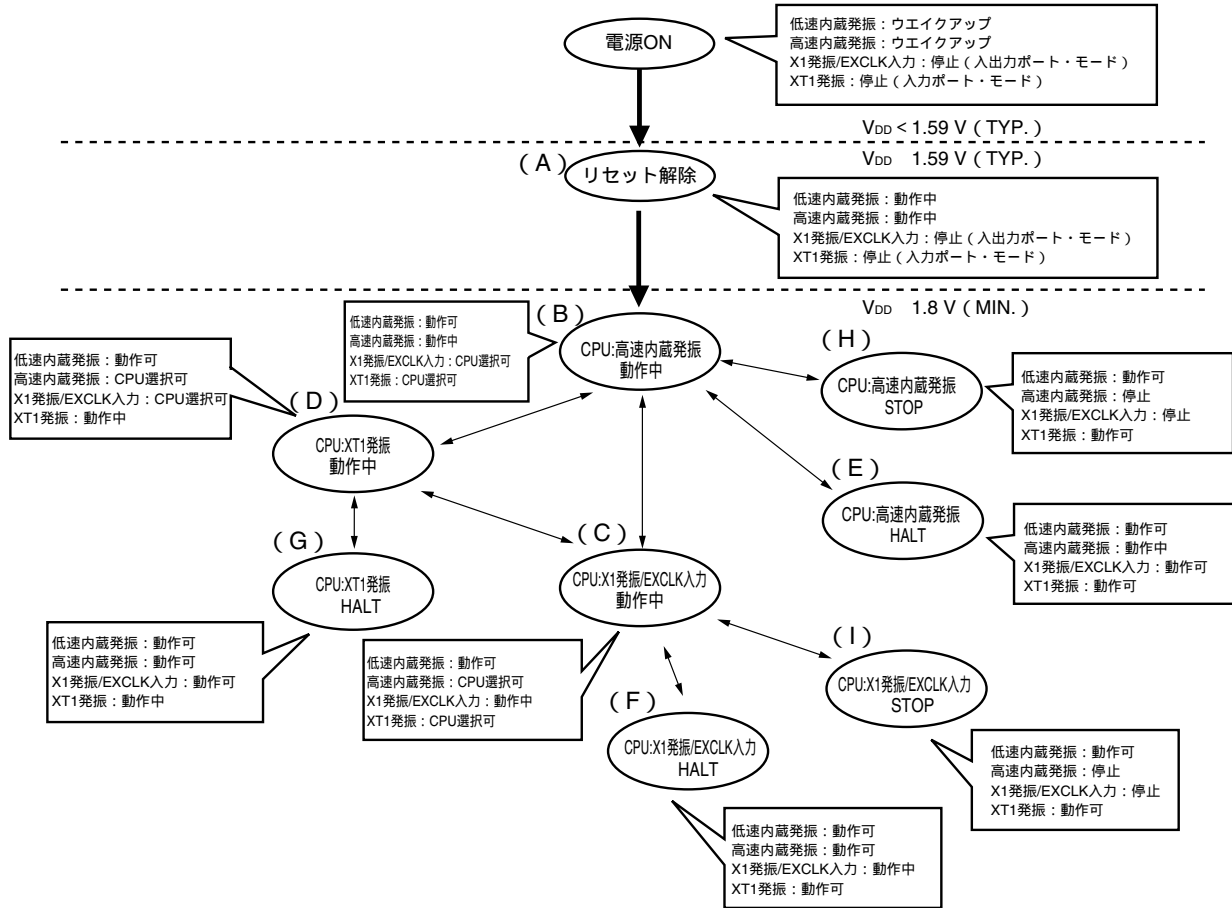
4. EXCLK :クロック動作モード選択レジスタ（OSCCTL）のビット7

5. x : don't care

5.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 15に示します。

図5 - 15 CPUクロック状態移行図 (1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0))



備考 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1) では、電源投入後、電源電圧が2.7 V (TYP.) を越えると上図の (A) に移行し、リセット処理 (11~47 μs (TYP.)) 後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5 - 5に示します。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (1/4)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL	MCM0
状態遷移	(A) (B) (C) (X1クロック)	0	1	0	確認必要	1	1
状態遷移	(A) (B) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1

注意 設定するクロックの動作可能電圧 (第31章 電気的特性 (標準品) を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		OSCSELS	発振安定待ち	CSS
状態遷移	(A) (B) (D)	1	必要	1

備考1. 表5 - 5の (A) - (I) は、図5 - 15の (A) - (I) と対応しています。

2. EXCLK, OSCSEL, OSCSELS

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 4

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0
状態遷移 (B) (C) (X1クロック)	0	1	0	確認必要	1	1
状態遷移 (B) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1

設定済みの場合は不要
高速システム・クロック動作中の場合は不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第31章 電気的特性 (標準品) を参照) に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	OSCSELS	発振安定待ち	CSS
状態遷移 (B) (D)	1	必要	1

備考1. 表5 - 5の (A) - (I) は、図5 - 15の(A) - (I) と対応しています。

2. EXCLK, OSCSEL, OSCSELS

: クロック動作モード選択レジスタ (OSCCTL) のビット7, 6, 4

MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7

XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0

CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0
状態遷移	(C) (B)	0	1を確認	0

高速内蔵発振クロック動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		OSCSELS	発振安定待ち	CSS
状態遷移	(C) (D)	1	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		RSTOP	RSTS	MCM0	CSS
状態遷移	(D) (B)	0	1を確認	0	0

高速内蔵発振クロック動作中の場合は不要

XSELが0の場合は不要

備考1. 表5 - 5の (A) - (I) は、図5 - 15の(A) - (I) と対応しています。

2. MCM0 : メイン・クロック・モード・レジスタ(MCM)のビット0
- OSCSELS : クロック動作モード選択レジスタ (OSCCTL) のビット4
- RSTS, RSTOP : 内蔵発振モード・レジスタ (RCM) のビット7, 0
- CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (4/4)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	EXCLK	OSCSEL	MSTOP	OSTC レジスタ	XSEL ^注	MCM0	CSS
(D) (C) (X1クロック)	0	1	0	確認必要	1	1	0
(D) (C) (外部メイン・システム・クロック)	1	1	0	確認不要	1	1	0

設定済みの場合は不要
高速システム・クロック動作中の場合は不要

注 リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注意 設定するクロックの動作可能電圧 (第31章 電気的特性 (標準品) を参照) に電源電圧が達してから、クロックを設定してください。

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G)	HALT命令を実行する

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容	
(B) (H) (C) (I)	STOPモード中に動作できない周辺機能を停止する	STOP命令を実行する

備考1. 表5 - 5の (A) - (I) は、図5 - 15の(A) - (I) と対応しています。

2. EXCLK, OSCSEL : クロック動作モード選択レジスタ (OSCCTL) のビット7, 6
 MSTOP : メインOSCコントロール・レジスタ (MOC) のビット7
 XSEL, MCM0 : メイン・クロック・モード・レジスタ (MCM) のビット2, 0
 CSS : プロセッサ・クロック・コントロール・レジスタ (PCC) のビット4

5.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5 - 6 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後	高速内蔵発振器停止可能 (RSTOP = 1)
	外部メイン・ システム・クロック	EXCLK端子からの外部クロック入 力を有効にすること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1	
X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されているこ と ・RSTOP = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・ システム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
高速内蔵発振 クロック	XT1クロック	XT1発振が安定していること ・OSCSELS = 1 ・発振安定時間経過後	高速内蔵発振器を停止 (RSTOP = 1) すると、動作電流を低減可能
X1クロック			X1発振停止可能 (MSTOP = 1)
外部メイン・システ ム・クロック			外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
XT1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振され、メイ ン・システム・クロックに高速内蔵 発振クロックが選択されていること ・RSTOP = 0, MCS = 0	XT1発振停止に設定可能 (OSCSELS = 0)
	X1クロック	X1発振が安定、かつメイン・システ ム・クロックに高速システム・クロ ックが選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・ システム・クロック	EXCLK端子からの外部クロックが 入力有効、かつメイン・システム・ クロックに高速システム・クロック が選択されていること ・MSTOP = 0, OSCSEL = 1, EXCLK = 1 ・MCS = 1	

5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) とビット4 (CSS) の設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, PCCを書き換えた直後ではなく, PCCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-7参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, PCCのビット5 (CLS) で判定できます。

表5-7 CPUクロックの切り替えおよびメイン・システム・クロックの分周比変更に要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	x	x	x
0	0	0	0	16クロック				16クロック				16クロック				16クロック				2f _{XP} /f _{SUB} クロック							
	0	0	1	8クロック				8クロック				8クロック				8クロック				f _{XP} /f _{SUB} クロック							
	0	1	0	4クロック				4クロック				4クロック				4クロック				f _{XP} /2f _{SUB} クロック							
	0	1	1	2クロック				2クロック				2クロック				2クロック				f _{XP} /4f _{SUB} クロック							
	1	0	0	1クロック				1クロック				1クロック				1クロック				f _{XP} /8f _{SUB} クロック							
1	x	x	x	2クロック				2クロック				2クロック				2クロック				2クロック							

注意 メイン・システム・クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSSを0 1) を同時に設定しないでください。

ただし, メイン・システム・クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSSを1 0) は同時に設定可能です。

備考1. 表5-7のクロック数は, 切り替え前のCPUクロックのクロック数です。

2. CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合のクロック数は, 小数点以下を切り上げてください。

例 CPUクロックを $f_{XP}/2$ $f_{SUB}/2$ に切り替える場合 ($f_{XP} = 10$ MHz, $f_{SUB} = 32.768$ kHz発振時)

$$f_{XP}/f_{SUB} = 10000 / 32.768 \div 305.1 \quad 306 \text{クロック}$$

また, メイン・クロック・モード・レジスタ (MCM) のビット0 (MCM0) の設定により, メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) をすることができます。

実際の切り替え動作は, MCM0を書き換えた直後ではなく, MCM0を変更したのち, 数クロックは切り替え前のクロックで動作します (表5-8参照)。

CPUクロックが高速内蔵発振クロックで動作しているか, 高速システム・クロックで動作しているかは, MCMのビット1 (MCS) で判定できます。

表5-8 メイン・システム・クロックの切り替えに要する最大時間

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0	1
0		$1 + 2f_{RH}/f_{XH}$ クロック
1	$1 + 2f_{XH}/f_{RH}$ クロック	

注意1. 高速内蔵発振クロックから高速システム・クロックに切り替える場合、あらかじめMCMのビット2 (XSEL) を1に設定しておく必要があります。XSELはリセット解除後、1回だけ設定可能です。

2. CPUクロックがサブシステム・クロックで動作しているとき、MCM0を書き換えないでください。

備考1. 表5-8のクロック数は、切り替え前のメイン・システム・クロックのクロック数です。

2. 表5-8のクロック数は、小数点以下を切り捨ててください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{RH} = 8 \text{ MHz}$, $f_{XH} = 10 \text{ MHz}$ 発振時)

$$1 + 2f_{RH}/f_{XH} = 1 + 2 \times 8/10 = 1 + 2 \times 0.8 = 1 + 1.6 = 2.6 \quad 2\text{クロック}$$

5.6.9 クロック発振停止前の条件

クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-9 クロック発振停止前の条件とフラグ設定

クロック	クロック停止 (外部クロック入力無効) 前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	RSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	OSCSELS = 0

5.6.10 周辺ハードウェアとソース・クロック

78K0/Lx3マイクロコントローラに内蔵されている周辺ハードウェアとソース・クロックを次に示します。

備考 製品により、内蔵している周辺ハードウェアが異なります。1.6 **ブロック図**、1.7 **機能概要**を参照してください。

表5-10 周辺ハードウェアとソース・クロック

ソース・クロック		周辺ハードウェア・クロック (fPRS)	サブシステム・クロック (fSUB)	低速内蔵発振クロック (fRL)	TM50出力	TM52出力	TMH1出力	周辺ハードウェアの端子からの外部クロック
16ビット・タイマ/イベント・カウンタ	00			×	×		×	(TI000端子) ^注
8ビット・タイマ/イベント・カウンタ	50		×	×	×	×	×	(TI50端子) ^注
	51		×	×	×	×		(TI51端子) ^注
	52		×	×	×	×	×	(TI52端子) ^注
8ビット・タイマ	H0		×	×		×	×	×
	H1		×		×	×	×	×
	H2		×	×	×	×	×	×
リアルタイム・カウンタ				×	×	×	×	×
ウォッチドッグ・タイマ		×	×		×	×	×	×
ブザー出力			×	×	×	×	×	×
クロック出力				×	×	×	×	×
逐次比較型A/Dコンバータ			×	×	×	×	×	×
型A/Dコンバータ				×	×	×	×	×
シリアル・インタフェース	UART0		×	×		×	×	×
	UART6		×	×		×	×	×
	CSI10		×	×	×	×	×	(SCK10端子) ^注
	CSIA0		×	×	×	×	×	(SCKA0端子) ^注
LCDコントローラ/ドライバ					×	×	×	×
マンチェスタ・コード・ジェネレータ			×	×	×	×	×	×
リモコン受信回路				×	×	×	×	×

注 CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

備考 : 選択可能, × : 選択不可

第6章 16ビット・タイマ/イベント・カウンタ00

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
16ビット・タイマ/ イベント・カウンタ00				

: 搭載

6.1 16ビット・タイマ/イベント・カウンタ00の機能

16ビット・タイマ/イベント・カウンタ00には、次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(7) 24ビット外部イベント・カウンタ

16ビット・タイマ/イベント・カウンタ00と8ビット・タイマ/イベント・カウンタ52をカスケード接続し、8ビット・タイマ/イベント・カウンタ52の外部イベント・カウンタ機能を用いることにより、24ビットの外部イベント・カウンタ機能として動作可能です。

また、24ビット外部イベント・カウンタとして使用する場合、8ビット・タイマ・カウンタH2の出力により、外部イベント入力ゲート・イネーブル制御を行うことが可能です。

6.2 16ビット・タイマ/イベント・カウンタ00の構成

16ビット・タイマ/イベント・カウンタ00は、次のハードウェアで構成されています。

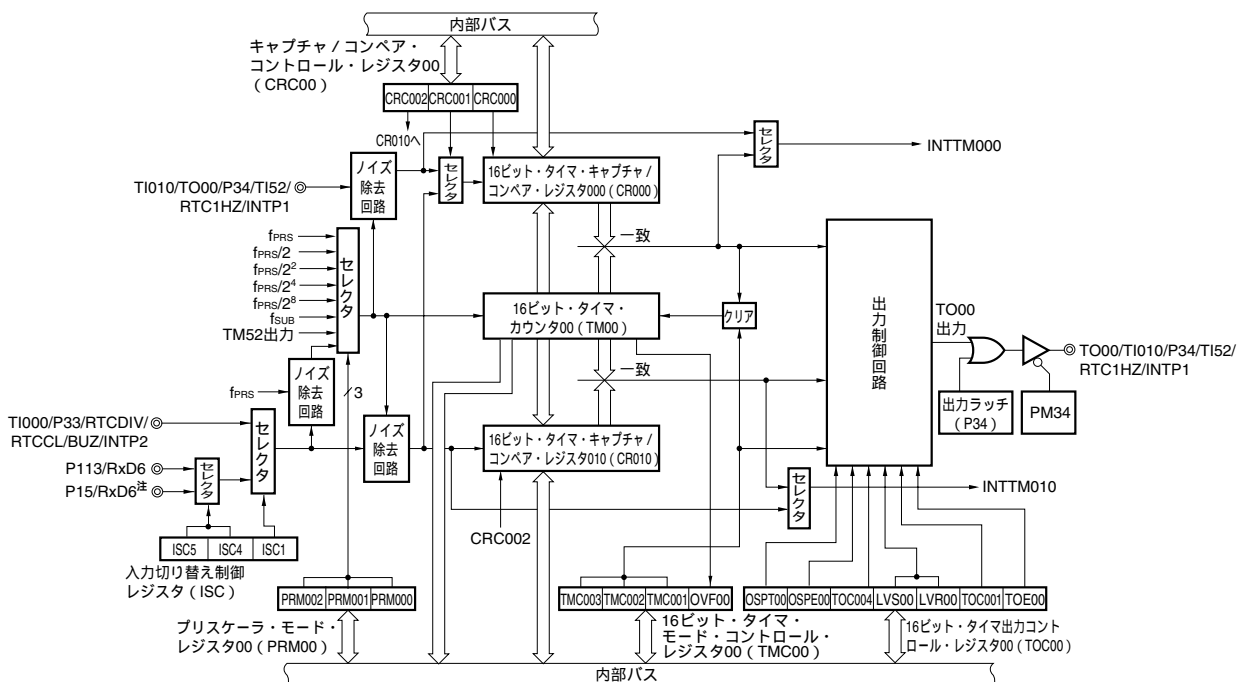
表6-1 16ビット・タイマ/イベント・カウンタ00の構成

項 目	構 成
タイマ/カウンタ	16ビット・タイマ・カウンタ00 (TM00)
レジスタ	16ビット・タイマ・キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)
タイマ入力	TI000, TI010端子
タイマ出力	TO00端子, 出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC00) キャプチャ/コンペア・コントロール・レジスタ0 (CRC00) 16ビット・タイマ出力コントロール・レジスタ0 (TOC00) プリスケアラ・モード・レジスタ00 (PRM00) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

備考 24ビット外部イベント・カウンタとして使用する場合、8ビット・タイマ/イベント・カウンタ52 (TM52)、および8ビット・タイマ・カウンタH2 (TMH2)を使用します。詳細は6.4.9 24ビット外部イベント・カウンタとしての動作を参照してください。

図6 - 1にブロック図を示します。

図6 - 1 16ビット・タイマ/イベント・カウンタ00のブロック図



注 製品により、搭載している端子が異なります。

78K0/LC3, 78K0/LD3, 78K0/LE3: P12/RxD6

78K0/LF3: P15/RxD6

注意1. P34端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
3. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC003, TMC002ビット = 00にしてから、設定を変更してください。

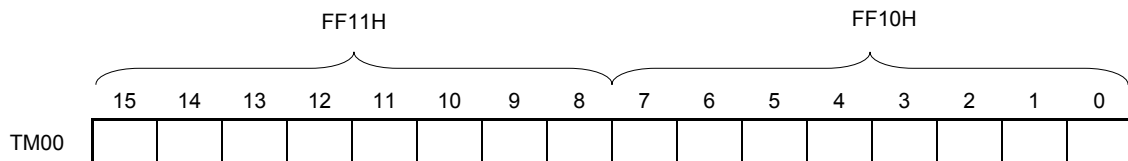
なお、一度キャプチャした値は、リセットしないかぎりCR000に格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

(1) 16ビット・タイマ・カウンタ00 (TM00)

TM00は、カウント・パルスをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図6-2 16ビット・タイマ・カウンタ00 (TM00) のフォーマット

アドレス：FF10H, FF11H リセット時：0000H R



TM00を16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 00以外のときにリードすることにより、カウント値をリードできます。TMC003, TMC002 = 00の状態では、0000Hがリードされます。

次の場合、カウント値は0000Hになります。

- ・リセット信号の発生時
- ・TMC003, TMC002をクリア (00) したとき
- ・TI000端子の有効エッジ入力でクリア&スタート・モード時、TI000端子に有効エッジが入力されたとき
- ・TM00とCR000の一致でクリア&スタート・モード時、TM00とCR000が一致したとき
- ・ワンショット・パルス出力モードで、OSPT00をセット (1) したとき、またはTI000端子に有効エッジが入力されたとき

注意 TM00をリードしても、CR010にはキャプチャしません。

(2) 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000),
16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC00で行います。

CR000はタイマ停止中 (TMC003, TMC002 = 00) に書き換えを行ってください。

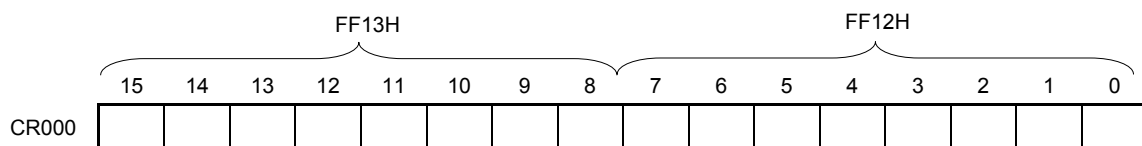
CR010は、所定の方法で設定した場合、動作中に書き換え可能です。詳細は6.5.1 CR010のTM00動作中の書き換えを参照してください。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-3 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 (CR000) のフォーマット

アドレス : FF12H, FF13H リセット時 : 0000H R/W



(i) CR000をコンペア・レジスタとして使用するとき

CR000に設定した値とTM00のカウント値を常に比較し、一致したときに割り込み信号 (INTTM000) を発生します。書き換えられるまで値を保持します。

注意 コンペア・モードに設定したCR000はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

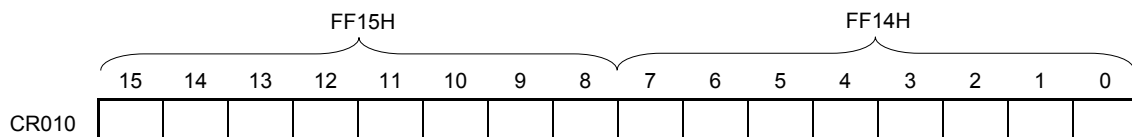
(ii) CR000をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM00のカウント値をCR000にキャプチャします。

キャプチャ・トリガとして、TI000端子の逆相のエッジかTI010端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC00, PRM00で設定します。

図6-4 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 (CR010) のフォーマット

アドレス : FF14H, FF15H リセット時 : 0000H R/W



(i) CR010をコンペア・レジスタとして使用するとき

CR010に設定した値とTM00のカウント値を常に比較し、一致したときに割り込み信号 (INTTM010) を発生します。

注意 コンペア・モードに設定したCR010はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) CR010をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，TM00のカウンタ値をCR010にキャプチャします。

キャプチャ・トリガとして，TI000端子の有効エッジの選択ができます。TI000端子の有効エッジは，PRM00で設定します。

(iii) CR000, CR010をコンペア・レジスタとして使用した場合の設定範囲

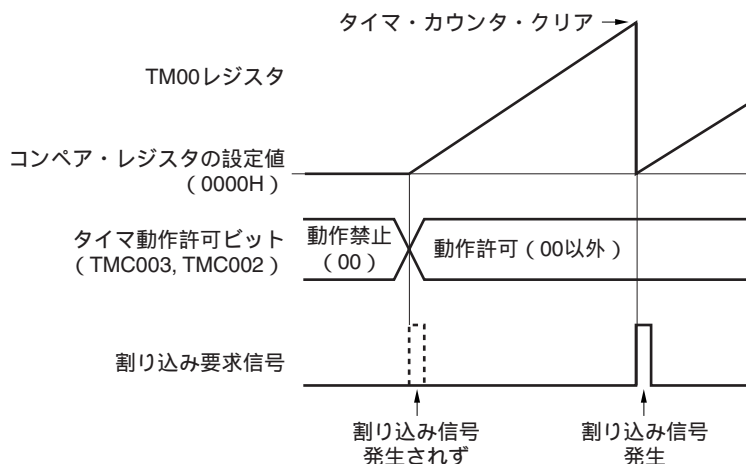
CR000, CR010をコンペア・レジスタとして使用するときには，次の範囲で値を設定してください。

動作	CR000の設定範囲	CR010の設定範囲
インターバル・タイマとしての動作	0000H < N FFFFH	0000H ^注 M FFFFH
方形波出力としての動作		通常，使用しません。一致割り込み信号 (INTTM010) をマスクしてください。
外部イベント・カウンタとしての動作		
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	0000H ^注 N FFFFH	0000H ^注 M FFFFH
フリー・ランニング・タイマとしての動作		
PPG出力としての動作	M < N FFFFH	0000H ^注 M < N
ワンショット・パルス出力としての動作	0000H ^注 N FFFFH (N M)	0000H ^注 M FFFFH (M N)

注 0000Hに設定した場合，タイマ動作直後の一致割り込みは発生せず，タイマ出力も変化しません。

0000Hに設定した場合，最初の一致タイミングは次のようになります。なお，一致割り込みは，タイマ・カウンタ (TM00レジスタ) が0000Hから0001Hになるタイミングで発生します。





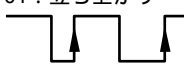

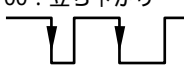
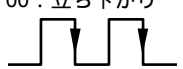



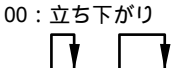

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI000端子の有効エッジによるタイマ・カウンタ・クリア時
(TI000端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM00とCR000の一致でクリア&スタート・モード (CR000 = 0000H以外，CR010 = 0000H) のとき)



備考1. N : CR000の設定値，M : CR010の設定値

2. TMC003, TMC002については，6.3 (1) 16ビット・タイマ・モード・コントロール・レジスタ 00 (TMC00) を参照してください。

表6-2 CR000のキャプチャ動作

外部入力信号	TI000端子入力 		TI010端子入力 	
キャプチャ動作				
CR000のキャプチャ動作	CRC001 = 1 TI000端子入力 (逆相) 	ES001, ES000の設定値 キャプチャするエッジの位置	CRC001ビット = 0 TI010端子入力 	ES101, ES100の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
		11: 両エッジ (キャプチャできません)		11: 両エッジ 
	割り込み信号	キャプチャしても INTTM000信号は発生しない	割り込み信号	キャプチャするごとに INTTM000信号が発生
CR010のキャプチャ動作	TI000端子入力 ^注 	ES001, ES000の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
		11: 両エッジ 		
	割り込み信号	キャプチャするごとに INTTM010信号が発生		

注 CR010のキャプチャ動作には、CRC001ビットの設定による影響はありません。

注意 TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM000) は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

備考 CRC001 : 6.3(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) 参照

ES101, ES100, ES001, ES000 : 6.3(4) プリスケアラ・モード・レジスタ00 (PRM00) 参照

6.3 16ビット・タイマ/イベント・カウンタ00を制御するレジスタ

16ビット・タイマ/イベント・カウンタ00を制御するレジスタを次に示します。

- ・16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)
- ・キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)
- ・16ビット・タイマ出力コントロール・レジスタ00 (TOC00)
- ・プリスケアラ・モード・レジスタ00 (PRM00)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

TMC00は、16ビット・タイマ/イベント・カウンタ00の動作モード、TM00のクリア・モード、出力タイミングの設定およびオーバーフローを検出する8ビットのレジスタです。

TMC00は、動作中 (TMC003, TMC002 = 00以外するとき) の書き換えは禁止です。

ただし、TMC003, TMC002を00 (動作停止) に設定する場合と、OVF00に0を設定する場合は、書き換え可能です。

TMC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・タイマ/イベント・カウンタ00は、TMC003, TMC002に00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC003, TMC002に00を設定してください。

図6-5 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のフォーマット

アドレス : FFBAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	16ビット・タイマ/イベント・カウンタ00の動作許可
0	0	16ビット・タイマ/イベント・カウンタ00動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ00 (TM00) をクリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM00とCR000の一致でクリア&スタート・モード

TMC001	タイマ出力 (TO00) 反転条件
0	・ TM00とCR000の一致, TM00とCR010の一致
1	・ TM00とCR000の一致, TM00とCR010の一致 ・ TI000端子の有効エッジのトリガ入力

OVF00	TM00のオーバーフロー・フラグ
クリア (0)	OVF00への0クリアまたはTMC003, TMC002 = 00
セット (1)	オーバーフロー発生
OVF00は、すべての動作モード (フリー・ランニング・タイマ・モード, TI000端子の有効エッジ入力 ^注 でクリア&スタート・モード, TM00とCR000の一致でクリア&スタート・モード) でTM00の値がFFFFHから0000Hになるとき、セット (1) されます。 OVF00に1を書き込むことでもセット (1) できます。	

注 TI000端子の有効エッジは、プリスケアラ・モード・レジスタ00 (PRM00) のビット5, 4 (ES001, ES000) で設定します。

(2) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

CRC00は、CR000, CR010の動作を制御するレジスタです。

CRC00は、動作中 (TMC003, TMC002 = 00以外) の書き換えは禁止です。

CRC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-6 キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のフォーマット

アドレス : FFBCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする ^注

TI010, TI000端子の有効エッジはPRM00で設定します。
ただし, CRC001 = 1のときにES001, ES000 = 11 (両エッジ) に指定すると, TI000端子の有効エッジを検出できません。

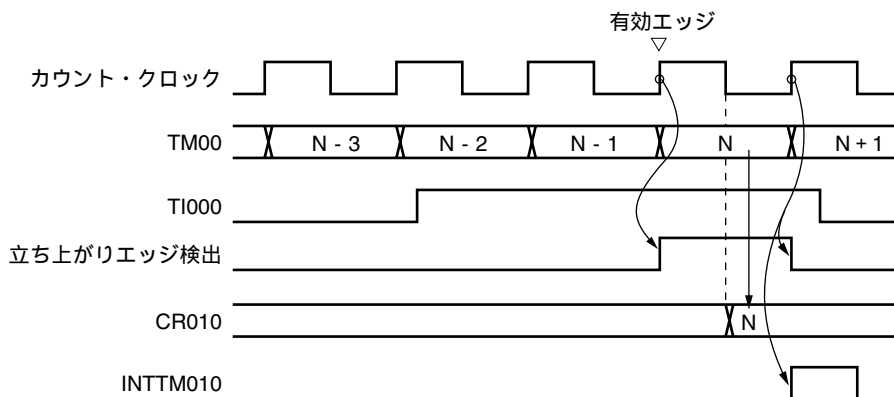
CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

TMC003, TMC002 = 11 (TM00とCR000の一致でクリア&スタート・モード) を設定した場合は, CRC000には必ず0を設定してください。

注 TI010端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM000信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには, プリスケアラ・モード・レジスタ00 (PRM00) で選択したカウント・クロックの2周期分より長いパルスが必要です。

図6-7 CR010のキャプチャ動作例 (立ち上がりエッジ指定時)



(3) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

TOC00は、TO00出力を制御する8ビットのレジスタです。

TOC00は、OSPT00だけが動作中 (TMC003, TMC002 = 00以外するとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR010の値を変更する手段としての、TOC004の書き換えは可能です (6. 5. 1 CR010のTM00動作中の書き換えを参照してください)。

TOC00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TOC00を設定するときは、必ず次の順序で設定してください。

TOC004, TOC001のセット (1)

TOE00だけを単独でセット (1)

LVS00またはLVR00のどちらか片方だけをセット (1)

図6 - 8 16 ビット・タイマ出力コントロール・レジスタ00 (TOC00) のフォーマット

アドレス : FFB DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウェアによるワンショット・パルス出力トリガ
0	-
1	ワンショット・パルス出力

リード値は常に“0”です。ワンショット・パルス出力モード以外ではセット(1)しないでください。
セット(1)すると、TM00はクリア&スタートします。

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI000端子の有効エッジ入力
でクリア&スタート・モードのときに、正常に動作します。
TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

TOC004	CR010とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可

TOC004 = 0でも、割り込み信号 (INTTM010) は発生します。

LVS00	LVR00	TO00出力の状態の設定
0	0	変化しない
0	1	TO00出力初期値ロウ・レベル (TO00出力をクリア (0))
1	0	TO00出力初期値ハイ・レベル (TO00出力をセット (1))
1	1	設定禁止

- ・LVS00, LVR00は、TO00出力レベルの初期値を設定できます。設定が不要な場合は、LVS00, LVR00を00のままにしてください。
- ・LVS00, LVR00は、必ずTOE00 = 1のときに設定してください。
LVS00, LVR00とTOE00を同時にセット(1)することも禁止です。
- ・LVS00, LVR00はトリガ・ビットです。セット(1)することで、TO00出力レベルの初期値を設定します。
クリア(0)しても、TO00出力に影響はありません。
- ・LVS00, LVR00のリード値は常に“0”です。
- ・LVS00, LVR00の設定方法の詳細は、6.5.2 LVS00, LVR00の設定についてを参照してください。
- ・実際のTO00/TI010/P34/TI52/RTC1HZ/INTP1端子の出力はTO00出力のほかに、PM34とP34によって決まります。

TOC001	CR000とTM00の一致によるTO00出力の制御
0	反転動作禁止
1	反転動作許可

TOC001 = 0でも、割り込み信号 (INTTM000) は発生します。

TOE00	TO00出力制御
0	出力禁止 (TO00出力はロウ・レベルに固定)
1	出力許可

(4) プリスケアラ・モード・レジスタ00 (PRM00)

PRM00は、TM00のカウンタ・クロック、およびTI000, TI010端子入力の有効エッジを設定するレジスタです。

PRM00は、動作中 (TMC003, TMC002ビット = 00以外) の書き換えは禁止です。

PRM00 は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. PRM001, PRM000ビット =11 (カウンタ・クロックをTI000端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI000端子の有効エッジでクリア&スタート・モード
- ・ TI000端子をキャプチャ・トリガに設定

2. リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P34端子はTI010有効エッジとタイマ出力 (TO00) を同時に使用できません。どちらかの機能を選択して使用してください。

図6-9 プリスケラ・モード・レジスタ00 (PRM00) のフォーマット

アドレス : FFBBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	PRM002	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり / 立ち下がりの両エッジ

PRM002	PRM001	PRM000	カウント・クロックの選択 ^{注1}	f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
				f _{PRS} ^{注2}	2 MHz	5 MHz
0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	f _{PRS} /2 ⁴	1.25 MHz	2.5 MHz	625 kHz
1	0	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	0	1	f _{SUB}	32.768 kHz		
1	1	0	TI000有効エッジ ^{注3, 4}			
1	1	1	TM52の出力			

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、PRM002 = PRM001 = PRM000 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。

3. TI000端子からの外部クロックには、周辺ハードウェア・クロック (f_{PRS}) の2周期分より長いパルスが必要です。

4. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI000端子からの外部クロックでタイマ動作を開始させないでください。

注意 パルス幅測定時には、カウント・クロックとしてTI000有効エッジを選択しないでください。

- 備考1. PRM002, PRM001, PRM000 = 1, 1, 1 にすることにより, TM00のカウンタ・クロックとして8ビット・タイマ/イベント・カウンタ (TM52) の出力を選択することが可能です。TM52のカウンタ・クロックとコンペア・レジスタの設定値により, 16ビット・タイマ (TM00) のカウンタ・クロックとして任意の周波数を設定することができます。
2. f_{PRS} : 周辺ハードウェア・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

(5) 入力切り替え制御レジスタ (ISC)

ISC1に0を設定することで, TI000への入力ソースはP33/TI000端子からの入力信号となります。

ISCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図6 - 10 入力切り替え制御レジスタ (ISC) のフォーマット

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

アドレス: FF4FH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6入力ソースの選択
0	0	TxD6:P112, RxD6:P113
1	0	TxD6:P13, RxD6:P12
上記以外		設定禁止

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC2	TI52入力ソースの制御
0	TI52入力 (P34) のイネーブル制御なし
1	TI52入力 (P34) のイネーブル制御あり ^{注1}

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P12またはP113 ^{注2})

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P12またはP113 ^{注2})

注1. TOH2出力信号により制御できます。

2. ISC5, ISC4によって選択されます。

(b) 78K0/LF3

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6入力ソースの選択
0	0	TxD6:P112, RxD6:P113
0	1	TxD6:P16, RxD6:P15
上記以外		設定禁止

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC2	TI52入力ソースの制御
0	TI52入力 (P34) のイネーブル制御なし
1	TI52入力 (P34) のイネーブル制御あり ^{注1}

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P15またはP113 ^{注2})

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P15またはP113 ^{注2})

注1. TOH2出力信号により制御できます。

2. ISC5, ISC4によって選択されます。

(6) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P34/TI52/TI010/TO00/RTC1HZ/INTP1端子をタイマ出力として使用するとき、PM34およびP34の出力ラッチに0を設定してください。

P33/TI000/RTCDIV/RTCCL/BUZ/INTP2, P34/TI52/TI010/TO00/RTC1HZ/INTP1端子をタイマ入力として使用するとき、PM33, PM34に1を設定してください。このときP33, P34の出力ラッチは、0または1のどちらでもかまいません。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図6-11 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3製品のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

6.4 16ビット・タイマ/イベント・カウンタ00の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

その後、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、一致割り込み信号 (INTTM000) を発生します。この一定間隔で発生するINTTM000信号により、インターバル・タイマとして動作します。

- 備考1. 入出力端子の設定については6.3(6) ポート・モード・レジスタ3 (PM3) を参照してください。
2. INTTM000信号の割り込み許可については、第21章 割り込み機能を参照してください。

図6 - 12 インターバル・タイマ動作のブロック図

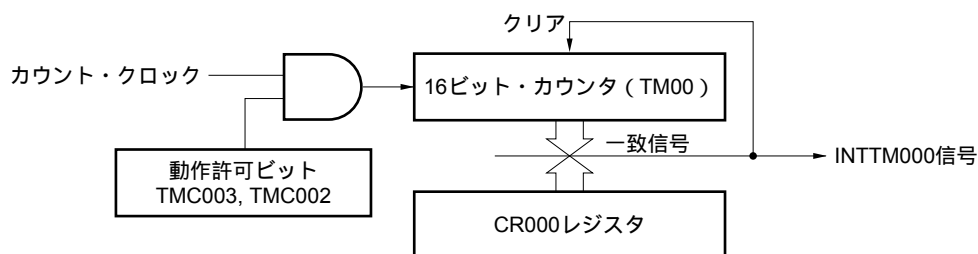


図6 - 13 インターバル・タイマ動作の基本タイミング例

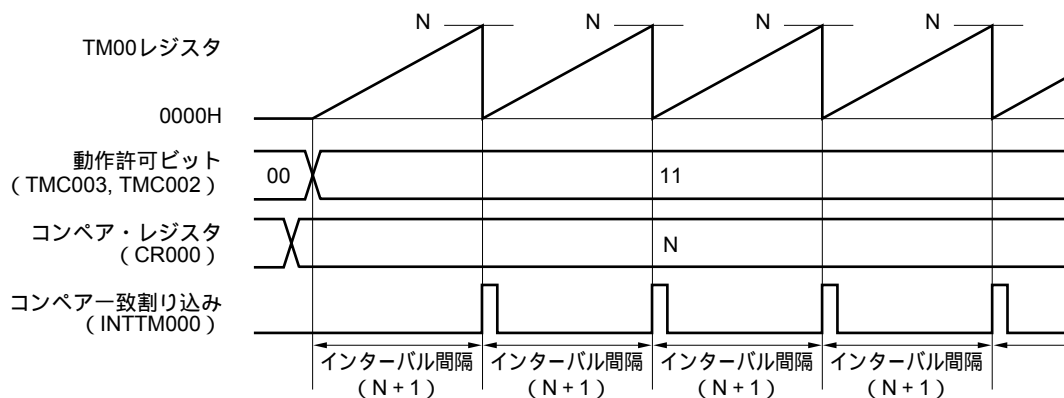
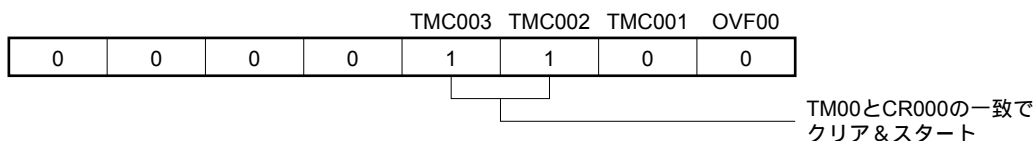
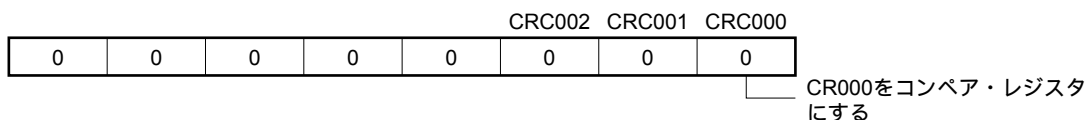


図6 - 14 インターバル・タイマ動作時のレジスタ設定内容例

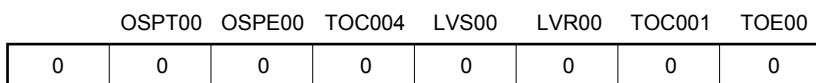
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



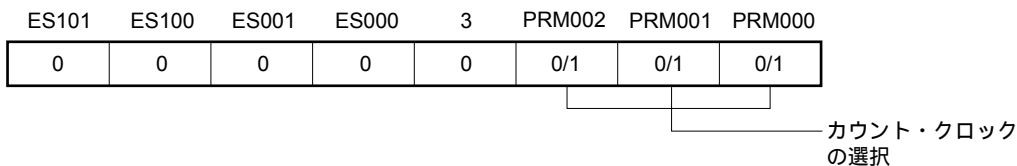
(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (M + 1) \times \text{カウント・クロック周期}$$

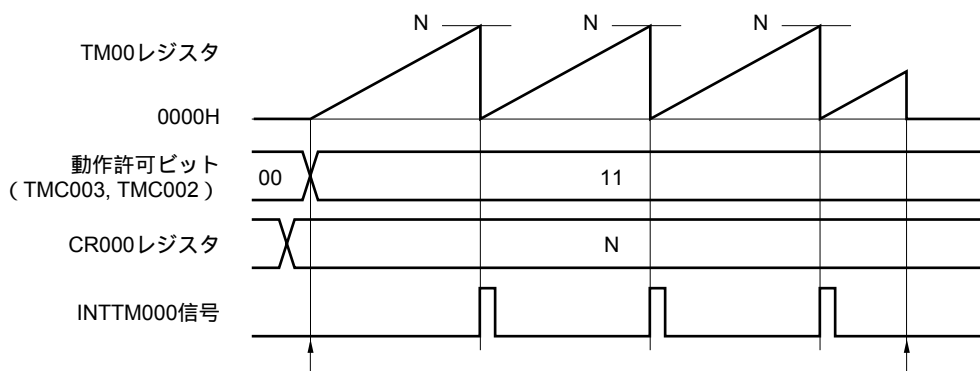
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

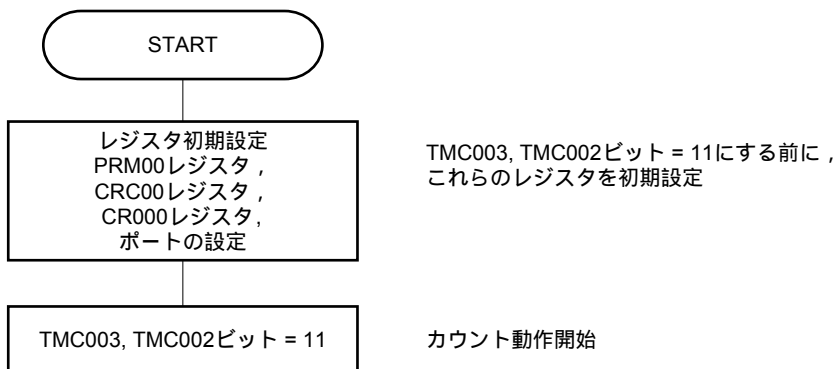
インターバル・タイマ機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6 - 15 インターバル・タイマ機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



6.4.2 方形波出力としての動作

インターバル・タイマ (6.4.1参照) として動作させたとき、16ビット・タイマ出力コントロール・レジスタ00 (TOC00) = 03Hに設定することにより、TO00端子から方形波を出力できます。

TMC003, TMC002 = 11 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM00とCR000の値が一致すると、TM00を0000Hにクリアし、割り込み信号 (INTTM000) を発生し、TO00出力を反転します。この一定間隔で反転するTO00出力により、方形波出力として動作します。

- 備考1.** 入出力端子の設定については6.3(6) **ポート・モード・レジスタ3 (PM3)**を参照してください。
2. INTTM000信号の割り込み許可については、**第21章 割り込み機能**を参照してください。

図6-16 方形波出力動作のブロック図

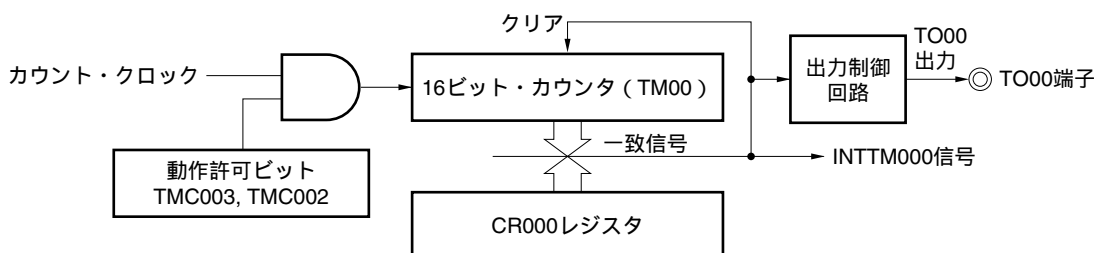


図6-17 方形波出力動作の基本タイミング例

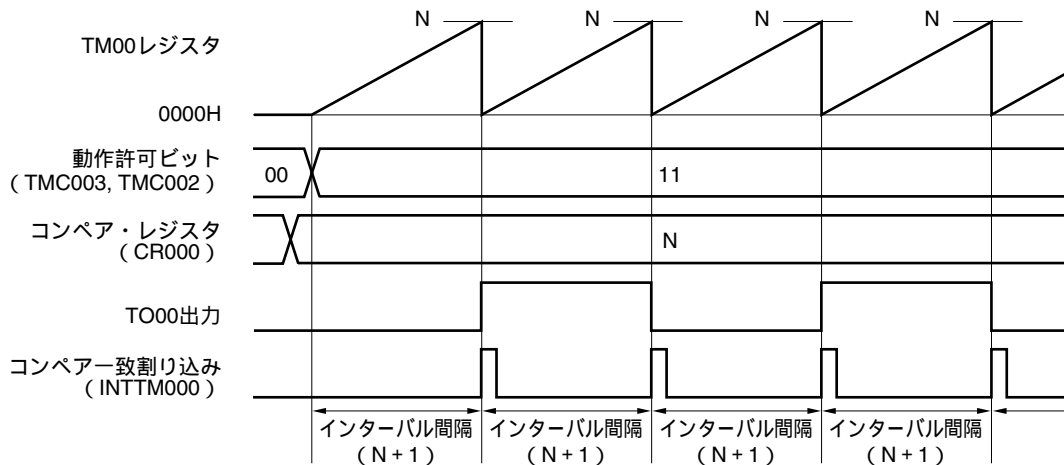


図6 - 18 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0/1	0/1	1	1

TO00出力許可

TM00とCR000の一致に
よりTO00出力を反転

TO00出力F/Fの初期値を指定

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0	0	0	0	0	0/1	0/1	0/1

カウント・クロック
の選択

図6 - 18 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合、方形波の周波数は次のようになります。

$$\cdot \text{方形波の周波数} = 1 \div \{ 2 \times (M + 1) \times \text{カウント} \cdot \text{クロック周期} \}$$

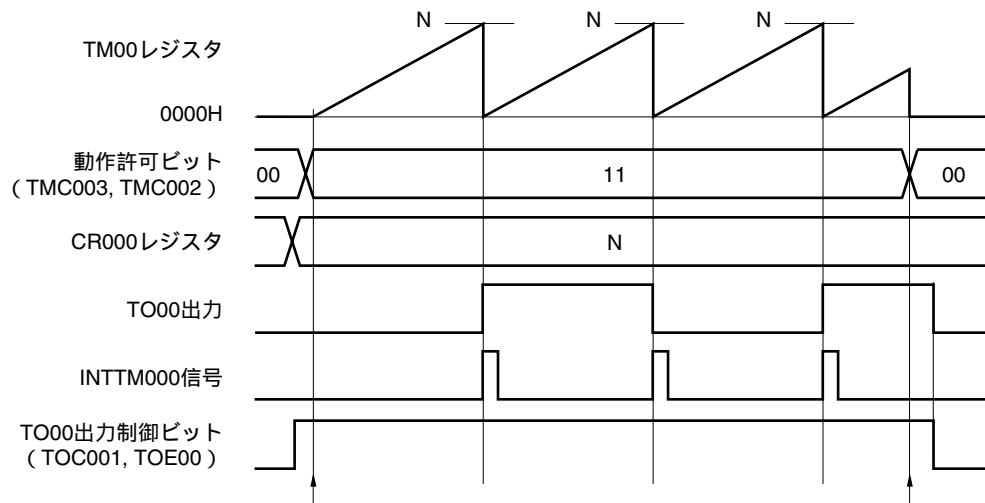
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

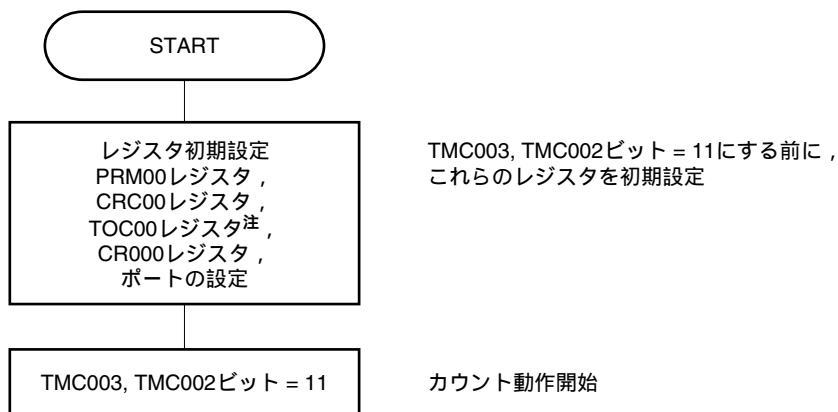
方形波出力機能では、通常、CR010を使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6-19 方形波出力機能時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.3 外部イベント・カウンタとしての動作

プリスケアラ・モード・レジスタ00 (PRM00) のビット1, 0 (PRM001, PRM000) = 11 (TI000端子の有効エッジによるカウント・アップ), 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM00とCR000との一致割り込み信号 (INTTM000) を発生します。

外部イベント入力の端子にはTI000端子を使用します。したがって, TI000有効エッジ入力によるクリア&スタート・モード (TMC003, TMC002 = 10) では, 外部イベント・カウンタとして使用できません。

INTTM000信号は, 次のタイミングごとに発生します。

・ INTTM000信号発生タイミング (2回目以降)

= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

・ INTTM000信号発生タイミング (初回のみ)

= 外部イベント入力の有効エッジ検出回数 × (CR000設定値 + 2)

有効エッジは, TI000端子入力信号を f_{PRS} のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

備考1. 入出力端子の設定については6.3(6) **ポート・モード・レジスタ3 (PM3)**を参照してください。

2. INTTM000信号の割り込み許可については, **第21章 割り込み機能**を参照してください。

図6 - 20 外部イベント・カウンタとしての動作のブロック図

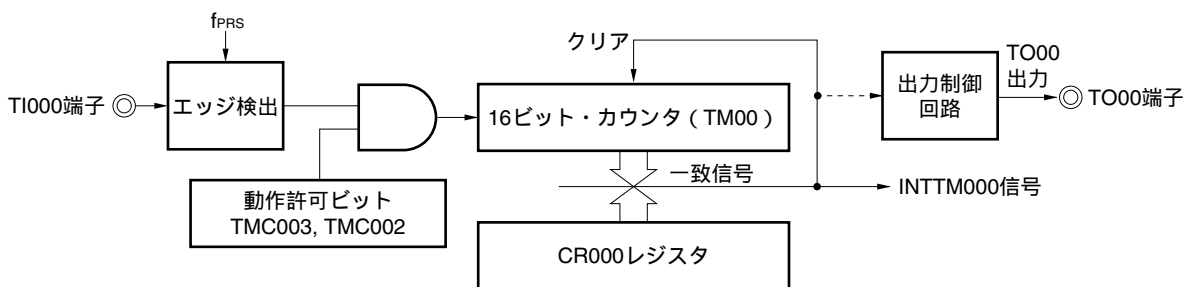
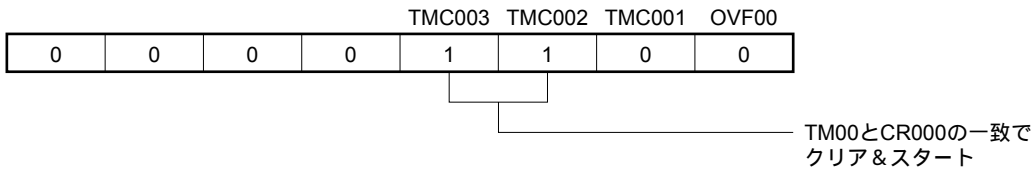
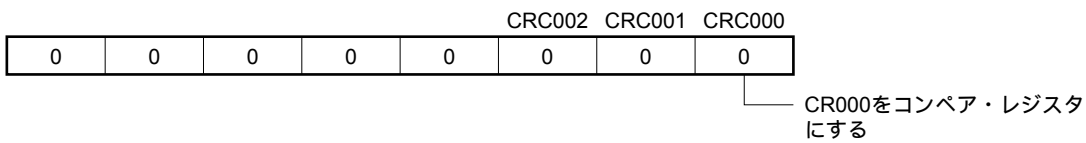


図6 - 21 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

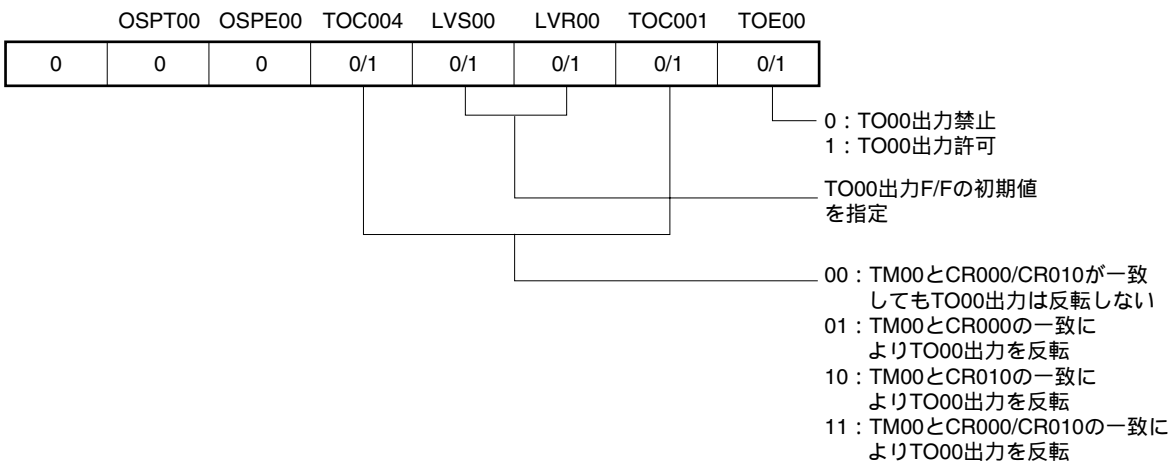
(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)



(d) プリスケアラ・モード・レジスタ00 (PRM00)

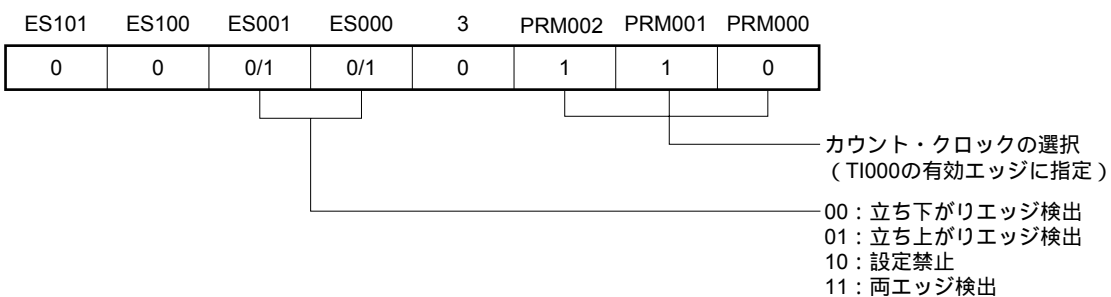


図6 - 21 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

CR000にMを設定した場合，外部イベントがM + 1回入力されると，割り込み信号 (INTTM000) が発生します。

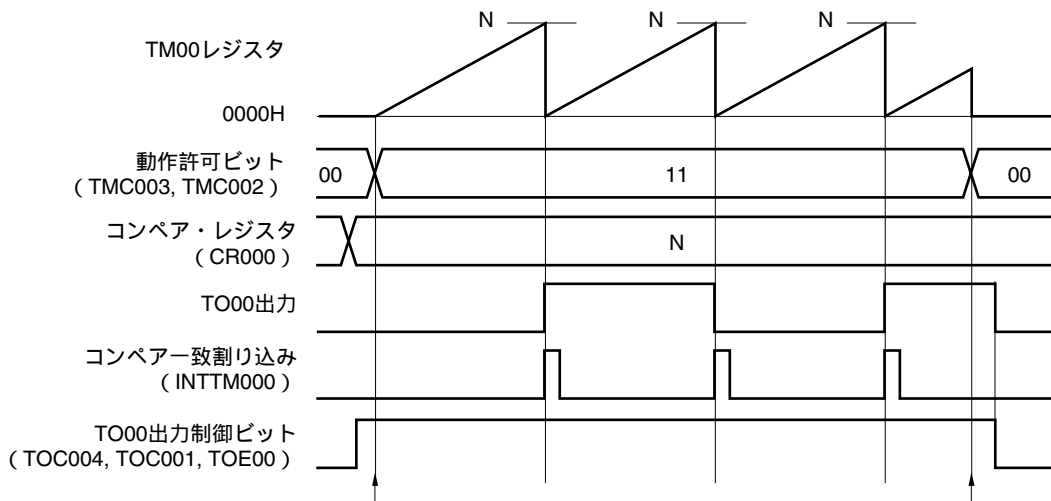
CR000への0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

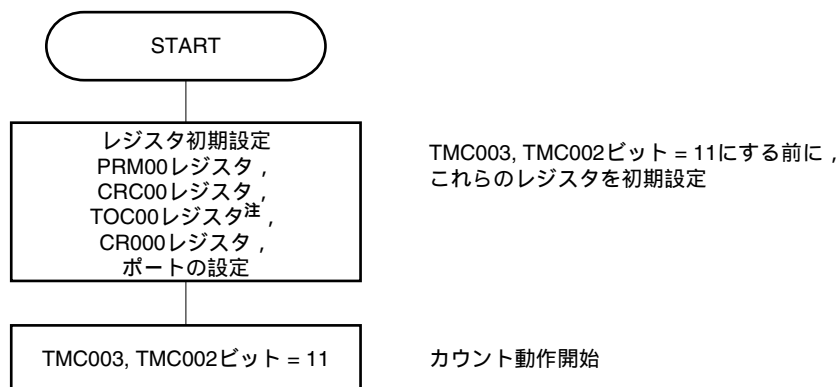
外部イベント・カウンタ・モード動作時では，通常，CR010を使用しません。しかしCR010の設定値と，TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。

したがって，割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

図6-22 外部イベント・カウンタ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.4 TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 10 (TI000端子の有効エッジ入力によるクリア&スタート・モード) に設定し、カウント・クロック (PRM00にて設定) を供給すると、TM00がカウント・アップを開始します。カウント動作中にTI000端子の有効エッジを検出すると、TM00を0000Hにクリアして、再度カウント・アップします。TI000端子の有効エッジがない場合、TM00はオーバフローして、カウントを続けます。

TI000端子の有効エッジは、TM00のクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR000, CR010は、コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR000, CR010をコンペア・レジスタとして使用した場合

TM00とCR000, CR010の一致でINTTM000, INTTM010信号が発生します。

(b) CR000, CR010をキャプチャ・レジスタとして使用した場合

TI010端子に有効エッジが入力される(またはTI000端子に有効エッジの逆相が入力される)と、TM00のカウント値をCR000にキャプチャし、INTTM000信号が発生します。

TI000端子に有効エッジが入力されると、TM00のカウント値をCR010にキャプチャし、INTTM010信号が発生します。TI000端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

注意 カウント・クロックをTI000端子の有効エッジ (PRM002, PRM001, PRM000 = 110) に設定しないでください。PRM002, PRM001, PRM000 = 110に設定すると、TM00がクリアされてしまいます。

- 備考1.** 入出力端子の設定については6.3(6) ポート・モード・レジスタ3 (PM3) を参照してください。
2. INTTM000信号の割り込み許可については、第21章 割り込み機能を参照してください。

(1) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 23 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

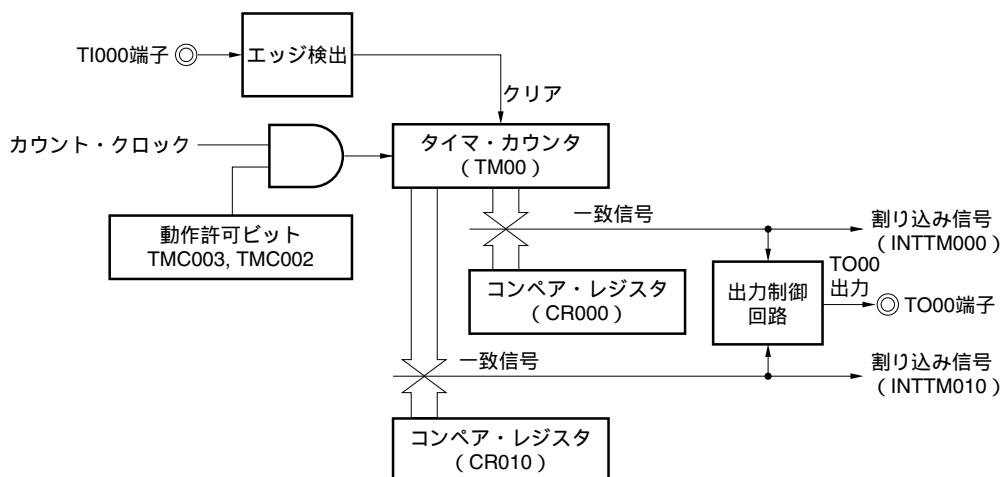
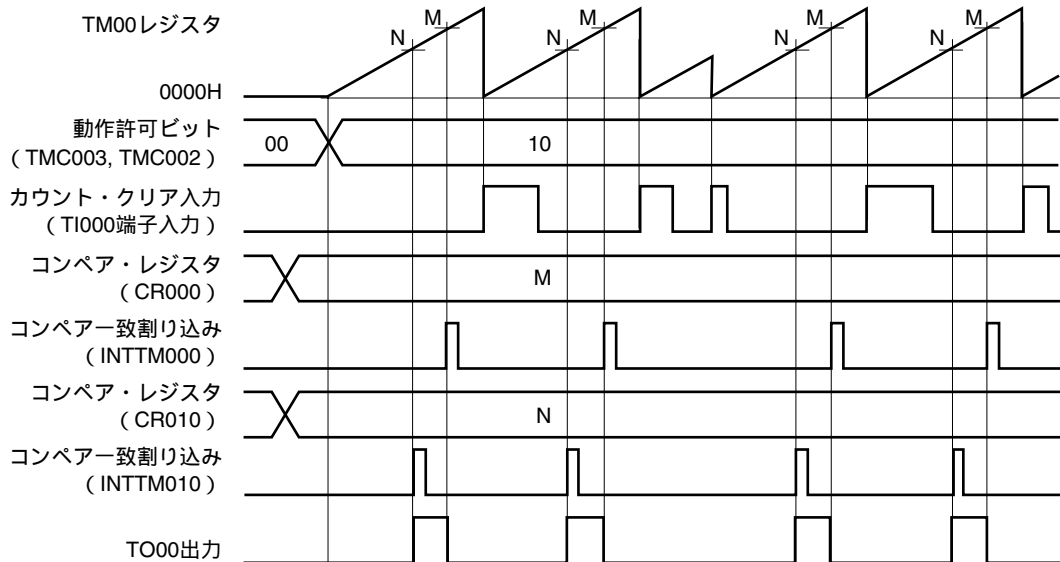
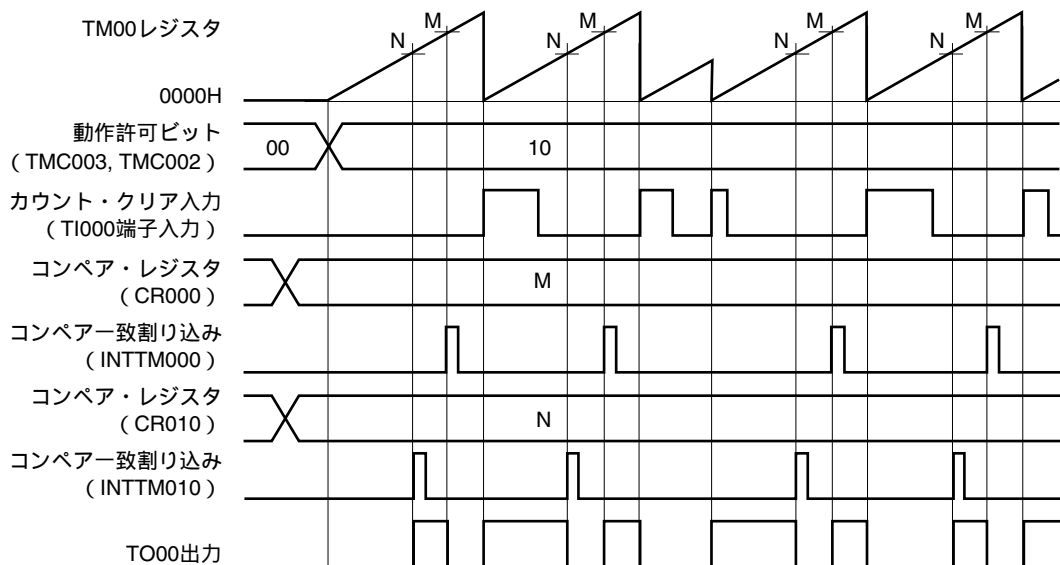


図6-24 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 08H



(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 00H, TMC00 = 0AH



16ビット・タイマ・モード・コントロール・レジスタ01 (TMC00) のビット1 (TMC001) の設定により、(a) と (b) には次のような違いがあります。

(a) TM00とコンペア・レジスタが一致したときに、TO00の出力レベルが反転

(b) TM00とコンペア・レジスタが一致したとき、またはTI000端子の有効エッジを検出したときに、TO00の出力レベルが反転

(2) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : コンペア・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 25 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

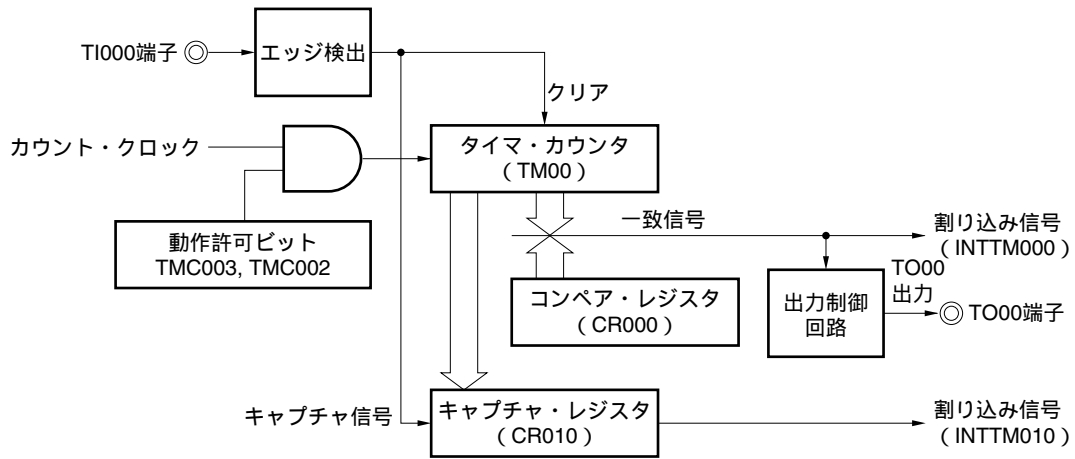
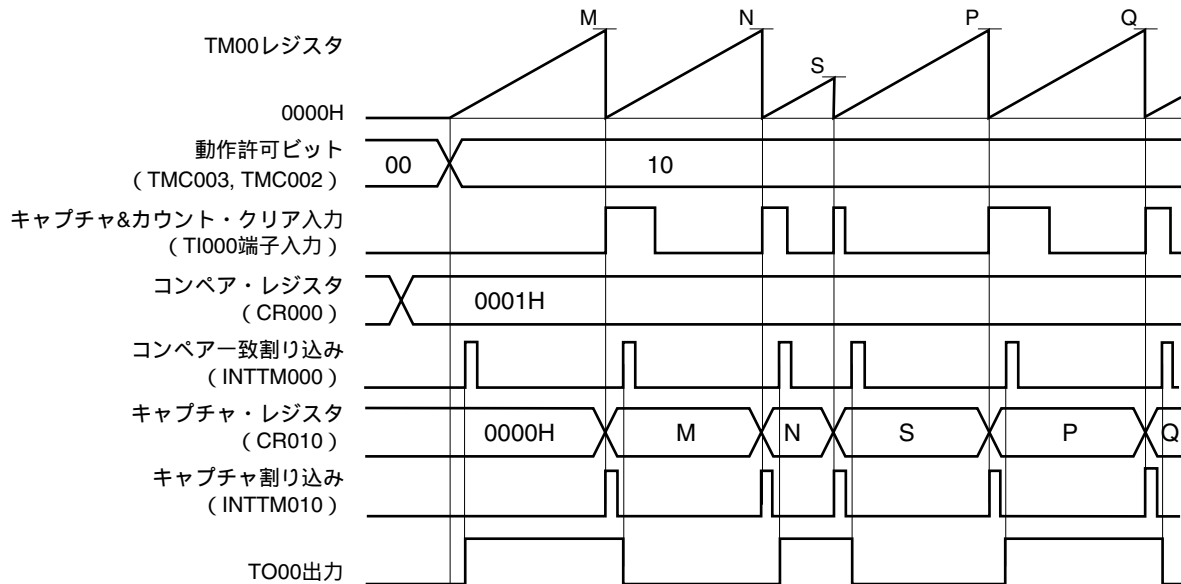


図6-26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 08H, CR000 = 0001H

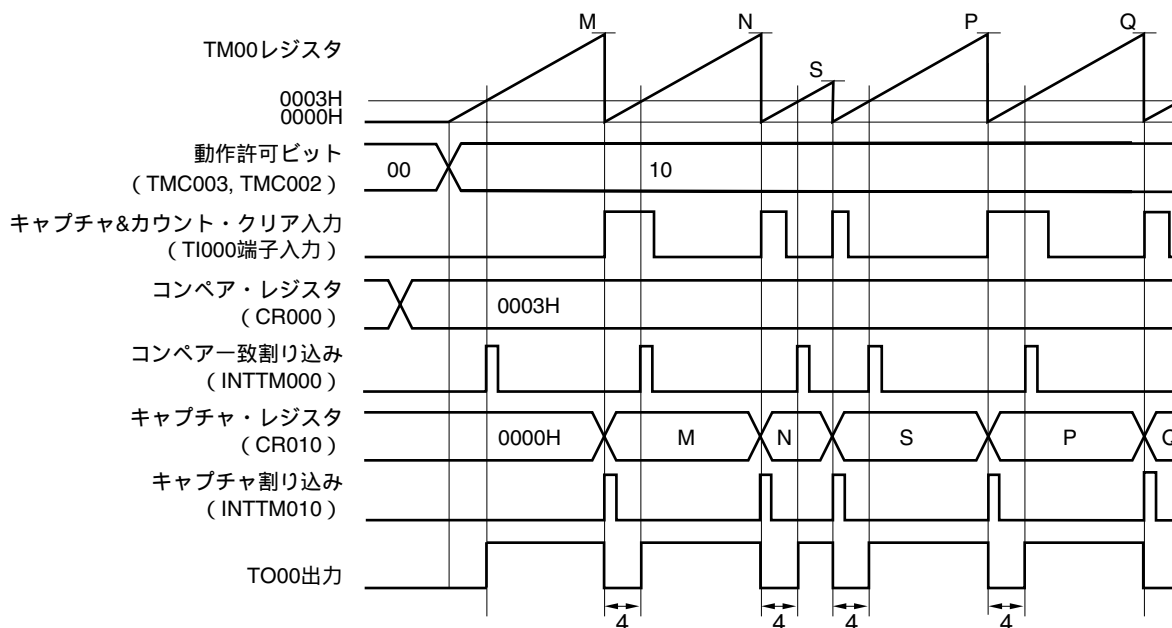


キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、TM00をクリア (0000H) します。TM00のカウンタ値が0001Hになると、コンペア一致割り込み信号 (INTTM000) が発生し、TO00出力レベルが反転します。

図6 - 26 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 0AH, CR000 = 0003H



キャプチャ&クリア後に、CR000に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の有効エッジ検出で、CR010にキャプチャし、キャプチャ割り込み信号（INTTM010）が発生し、TM00をクリア（0000H）し、TO00出力を反転します。TM00のカウント値が0003Hになる（4クロックをカウントすると）、コンペア一致割り込み信号（INTTM000）が発生し、TO00出力レベルが反転します。

(3) TI000端子の有効エッジ入力によるクリア&スタート・モード動作
(CR000 : キャプチャ・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 27 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図
(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ)

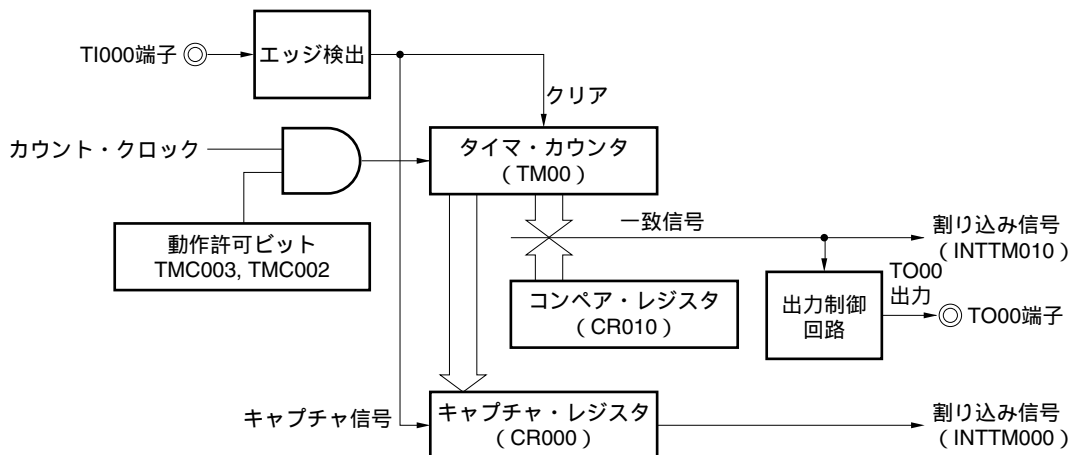
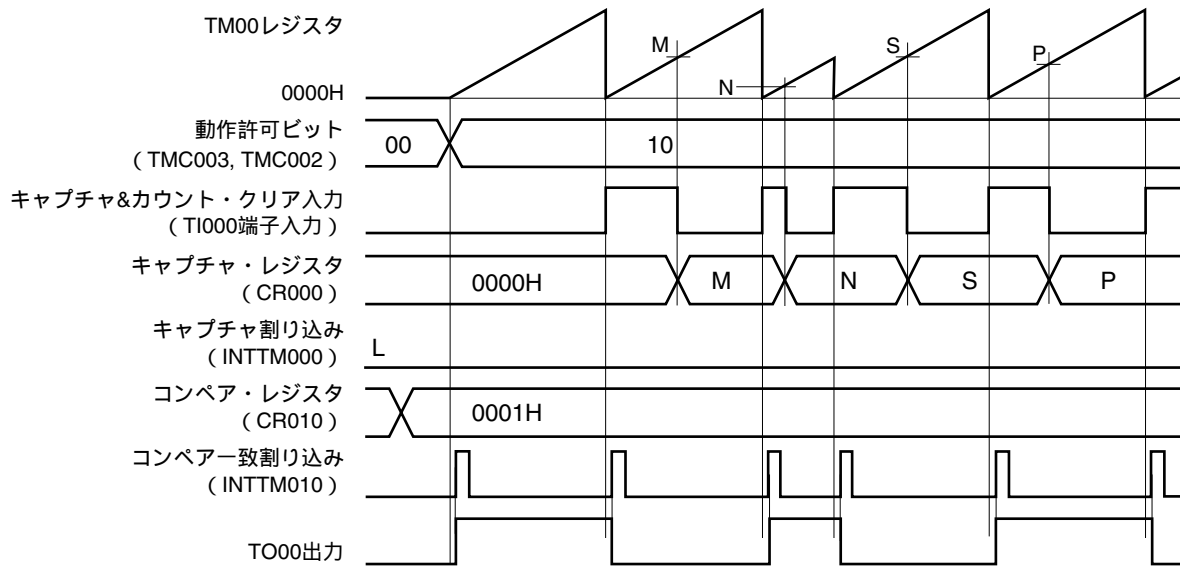


図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 08H, CR010 = 0001H



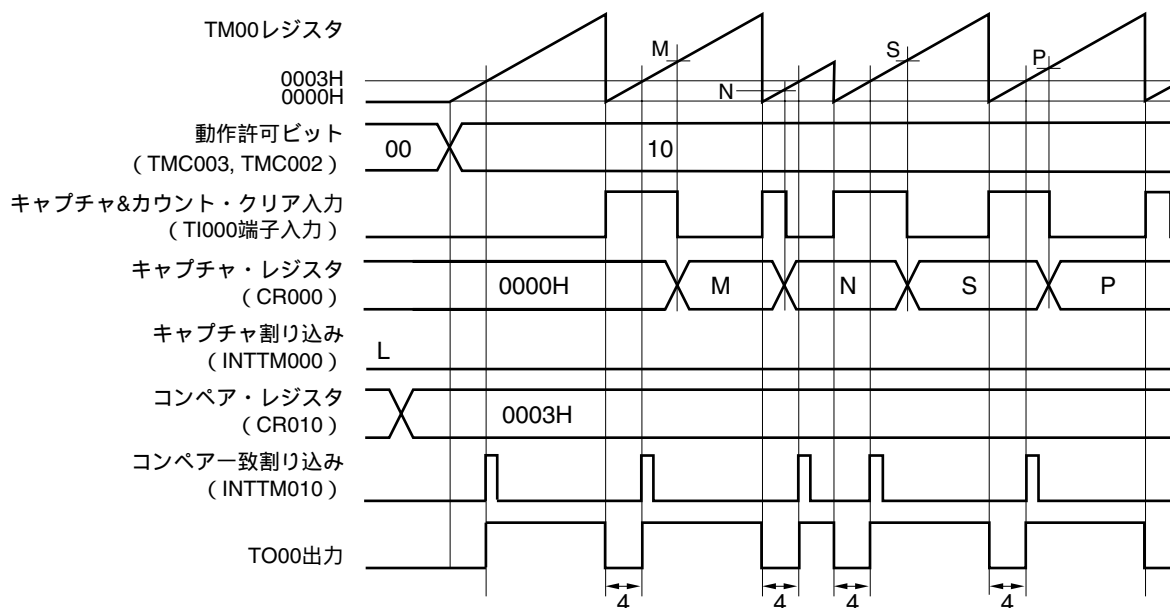
キャプチャ&クリア後に、TO00出力レベルを反転したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリアします。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。

キャプチャ/コンペア・コントロール・レジスタ00 (CRC00) のビット1 (CRC001) = 1の設定により、TI000端子入力の逆相でTM00のカウント値をCR000にキャプチャしますが、キャプチャ割り込み信号 (INTTM000) は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM000信号が発生します。INTTM000信号を使用しない場合は、INTTM000信号をマスクしてください。

図6 - 28 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : コンペア・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = 10H, CRC00 = 03H, TMC00 = 0AH, CR010 = 0003H



キャプチャ&クリア後に、CR010に設定した幅（ここでは4クロック）をTO00端子から出力したい場合のアプリケーション例です。

TI000端子の立ち上がりエッジ検出で、TM00をクリア（0000H）します。TI000端子の立ち下がりエッジ検出で、CR000にキャプチャします。TO00出力は、TI000端子の立ち上がりエッジ検出によるTM00のクリア（0000H）が、TM00とコンペア・レジスタ（CR010）の一致で反転します。

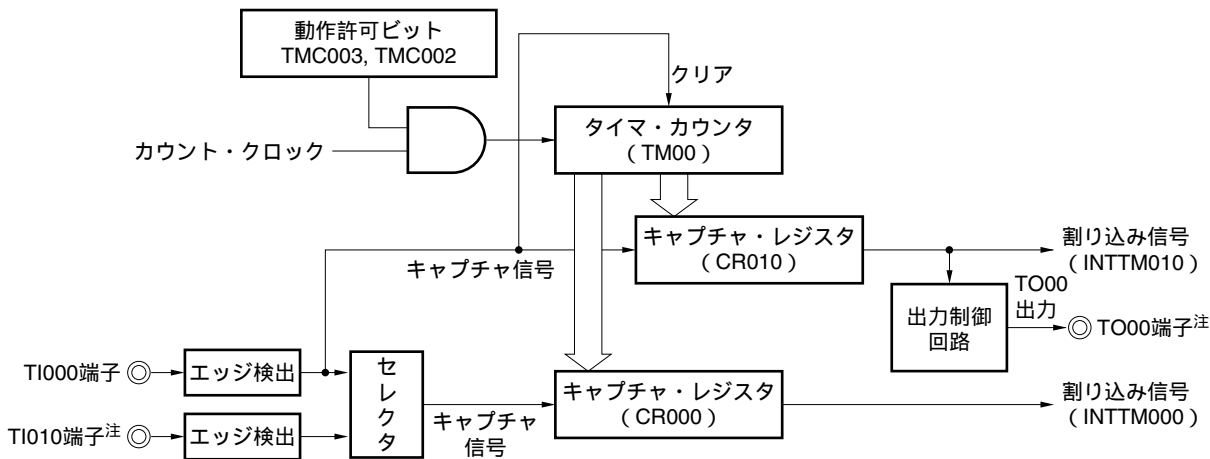
キャプチャ/コンペア・コントロール・レジスタ00（CRC00）のビット1（CRC001）= 1の設定により、TI000端子入力の逆相でTM00のカウント値をCR000にキャプチャしますが、キャプチャ割り込み信号（INTTM00）は発生しません。しかし、TI010端子の有効エッジ検出により、INTTM00割り込みが発生します。INTTM00信号を使用しない場合はINTTM00信号をマスクしてください。

(4) TI000端子の有効エッジ入力によるクリア&スタート・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 29 TI000端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)

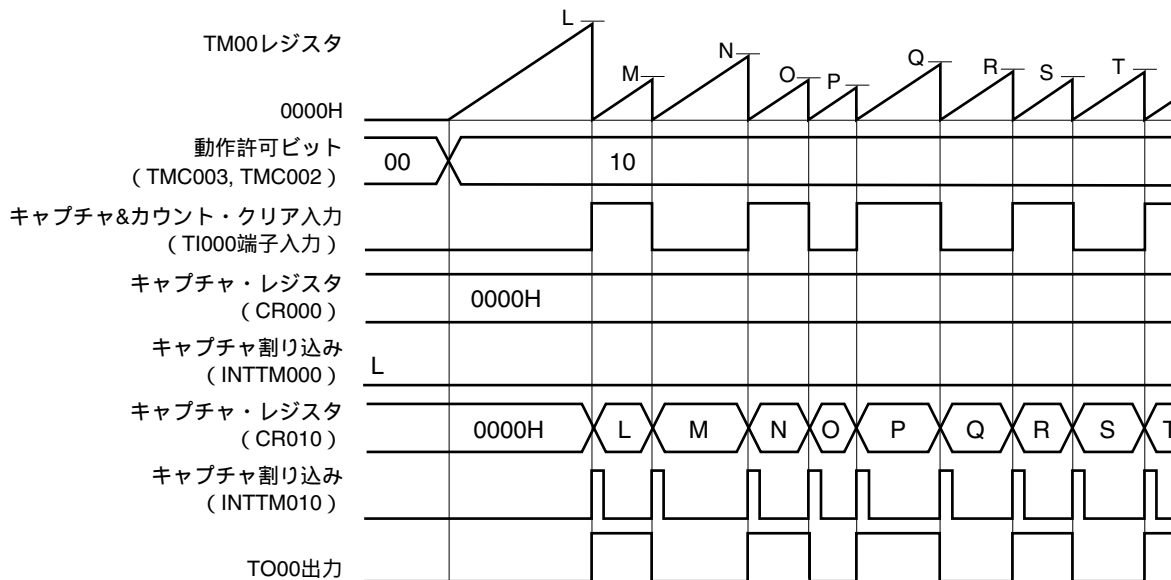


注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例

(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/3)

(a) TOC00 = 13H, PRM00 = 30H, CRC00 = 05H, TMC00 = 0AH

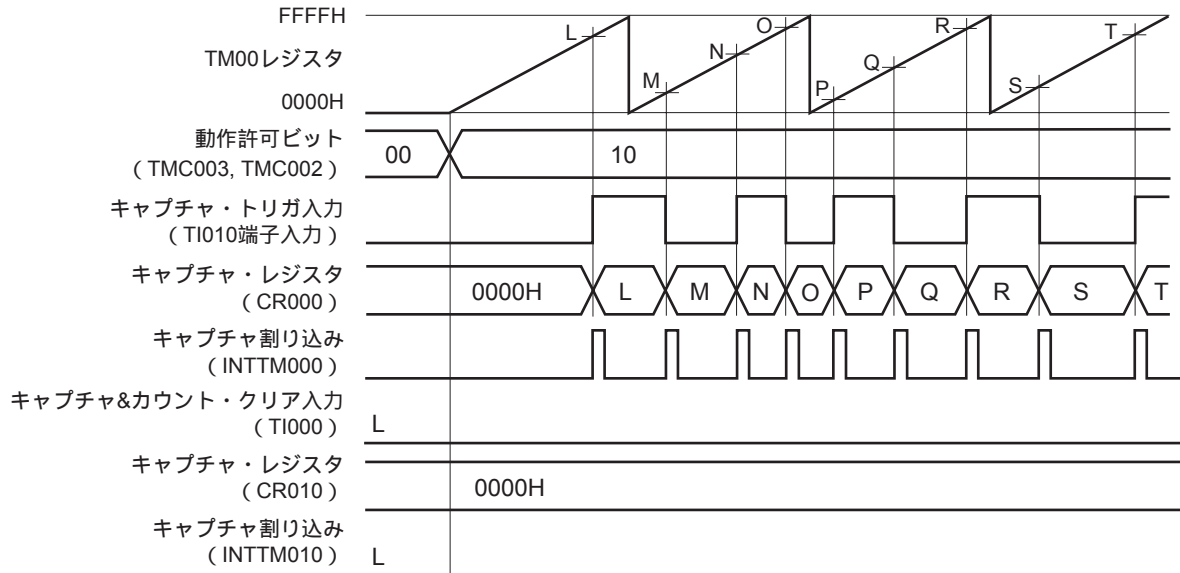


TI000端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR010にキャプチャし、TM00をクリアし、TO00出力を反転させるアプリケーション例です。

TI010端子のエッジ検出により、割り込み信号 (INTTM000) が発生します。INTTM000信号を使用しない場合には、INTTM000信号をマスクしてください。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/3)

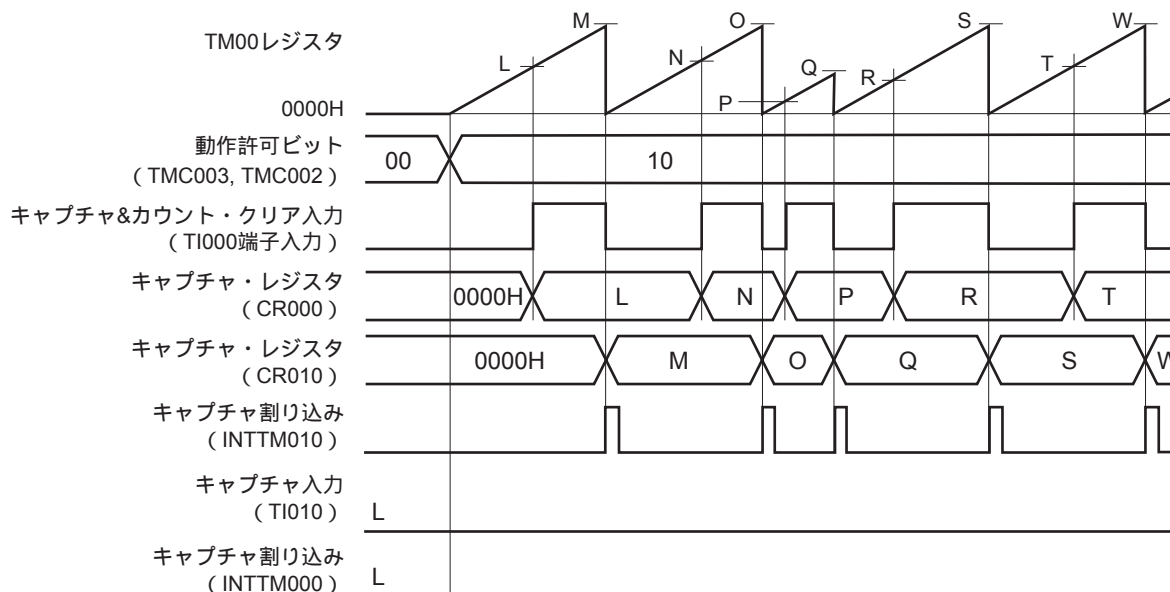
(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 0AH



TI010端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR000にキャプチャするアプリケーションにおいて、TI000端子にエッジが入力されないときのタイミング例です。

図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (3/3)

(c) TOC00 = 13H, PRM00 = 00H, CRC00 = 07H, TMC00 = 0AH



TI000端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC00の設定により、TI000端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR000にキャプチャし、TI000端子の立ち下がりエッジ検出でCR010にキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

- ・ハイ・レベル幅 = [CR010値] - [CR000値] × [カウント・クロック周期]
- ・ロウ・レベル幅 = [CR000値] × [カウント・クロック周期]

CR000へのキャプチャ・トリガとしてTI000端子の逆相を選択した場合、INTTM000信号は発生しません。パルス幅測定のためのCR000, CR010値のリードは、INTTM010信号発生直後に行ってください。

ただし、TI010端子にプリスケラ・モード・レジスタ00 (PRM00) のビット6, 5 (ES101, ES100) で指定した有効エッジが入力されると、キャプチャ動作はしませんが、INTTM000信号は発生します。TI000端子のパルス幅を測定する場合、INTTM000信号を使用しないときは、INTTM000信号をマスクしてください。

図6 - 31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	0	0/1	0

- 0 : TM00とCR000/CR010との一致で
TO00出力が反転
1 : TM00とCR000/CR010との一致
およびTI000端子の有効エッジで
TO00出力が反転
- TI000端子の有効エッジ入力
によるクリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0/1	0/1

- 0 : CR000をコンペア・
レジスタにする
1 : CR000をキャプチャ・
レジスタにする
- 0 : CR000のキャプチャ・
トリガはTI010端子
1 : CR000のキャプチャ・
トリガはTI000端子の逆相
- 0 : CR010をコンペア・
レジスタにする
1 : CR010をキャプチャ・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

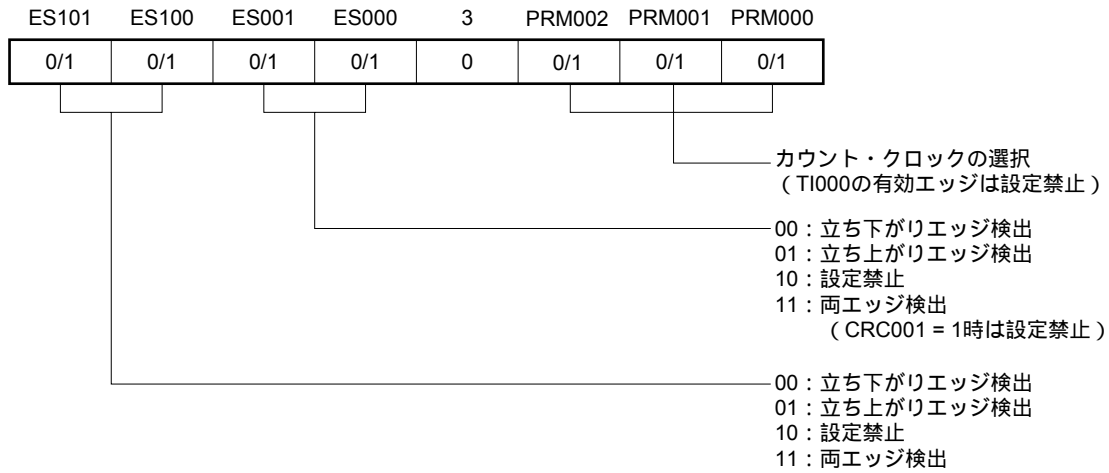
OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0/1	0/1	0/1	0/1	0/1

- 0 : TO00出力禁止^注
1 : TO00出力許可
- TO00出力F/Fの初期値
を指定
- 00 : TM00とCR000/CR010が一致
してもTO00出力は反転しない
01 : TM00とCR000の一致に
よりTO00出力を反転
10 : TM00とCR010の一致に
よりTO00出力を反転
11 : TM00とCR000/CR010の一致に
よりTO00出力を反転

注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

図6 - 31 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000, TI010端子^注入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

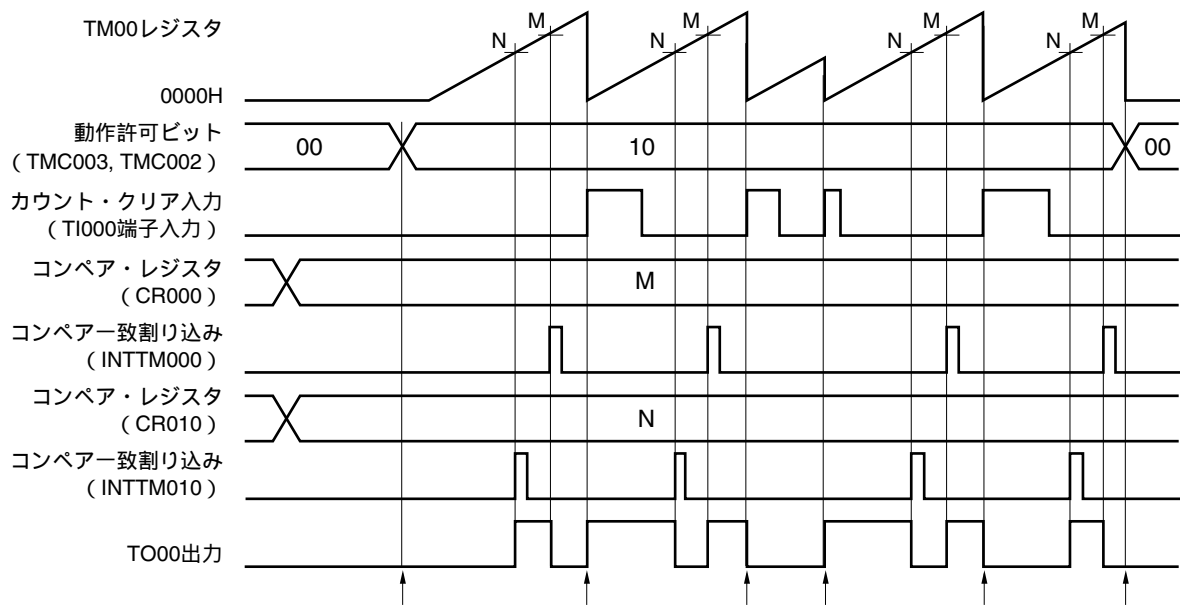
注 TI010端子の有効エッジ検出を使用する場合、タイマ出力 (TO00) は使用できません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

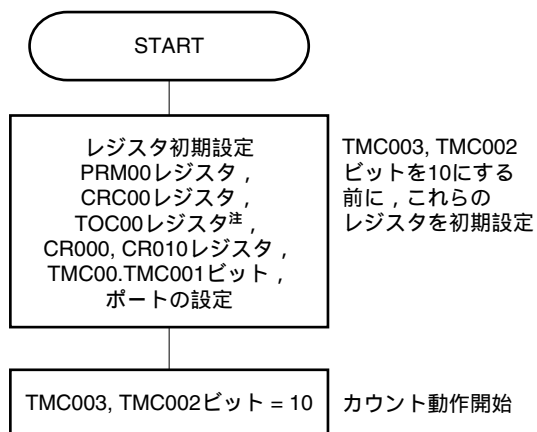
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

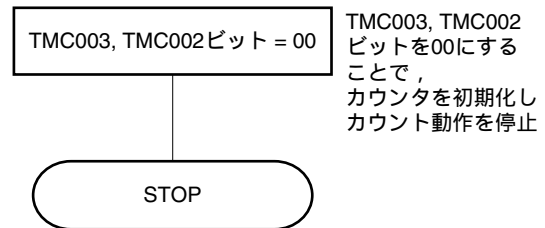
図6-32 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のソフトウェア処理例



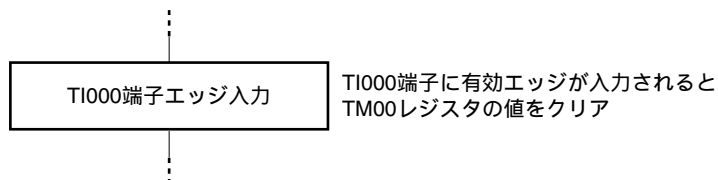
カウント動作開始フロー



カウント動作停止フロー



TM00レジスタ・クリア&スタート・フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.5 フリー・ランニング・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を続けます。FFFFHまでカウントすると、次のクロックでオーバフロー・フラグ (OVF00) がセット (1) されるとともに、TM00をクリア (0000H) し、カウント動作を継続します。OVF00は、ソフトウェアでCLR命令を実行してクリア (0) してください。

フリー・ランニング・タイマとしての動作には、次の3種類があります。

- ・ CR000, CR010を両方ともコンペア・レジスタとして使用
- ・ CR000, CR010の一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- ・ CR000, CR010を両方ともキャプチャ・レジスタとして使用

備考1. 入出力端子の設定については6.3(6) ポート・モード・レジスタ3 (PM3) を参照してください。

2. INTTM000信号の割り込み許可については、第21章 割り込み機能を参照してください。

(1) フリー・ランニング・タイマ・モード動作

(CR000 : コンペア・レジスタ, CR010 : コンペア・レジスタ設定時)

図6 - 33 フリー・ランニング・タイマ・モードのブロック図
(CR000 : コンペア・レジスタ / CR010 : コンペア・レジスタ)

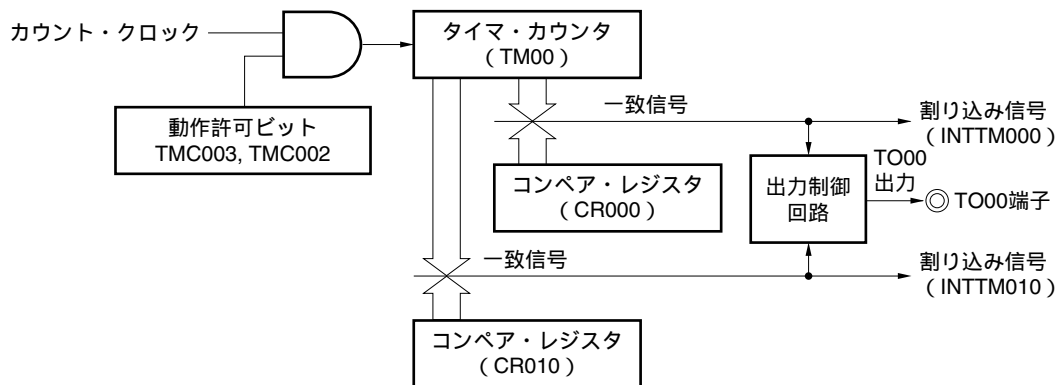
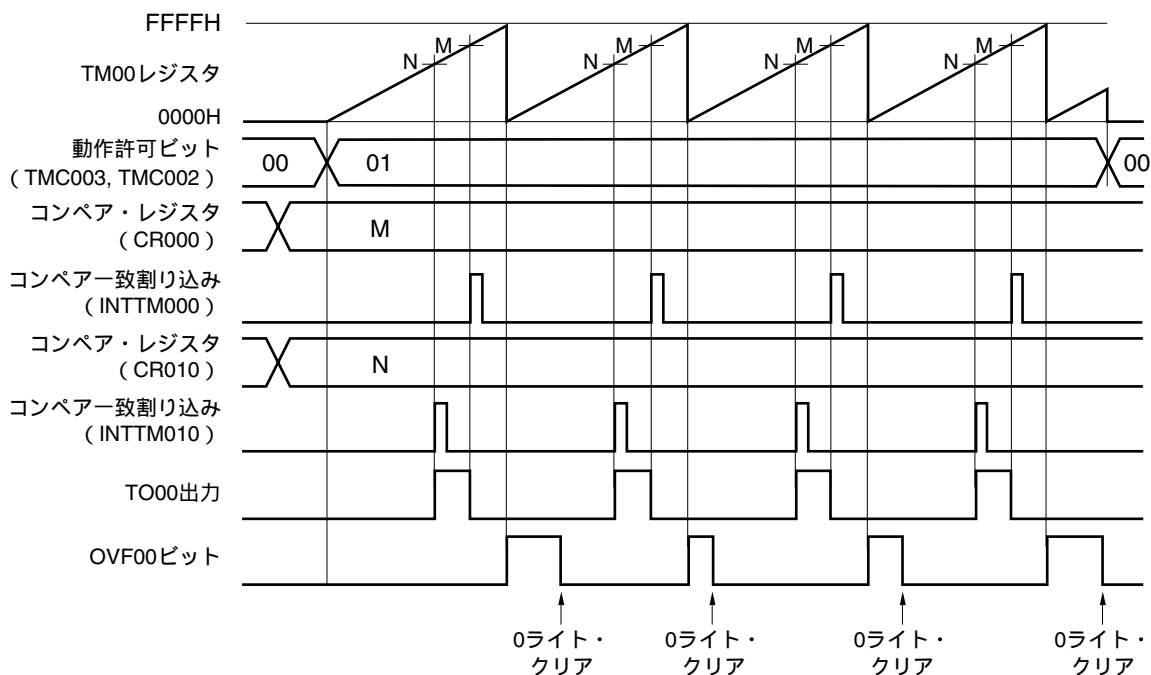


図6-34 フリー・ランニング・タイマ・モードのタイミング例
(CR000:コンペア・レジスタ/CR010:コンペア・レジスタ)

・ TOC00 = 13H, PRM00 = 00H, CRC00 = 00H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。
TO00出力レベルは、CR000, CR010の設定値とTM00のカウンタ値が一致するごとに反転します。また、一致するタイミングで、INTTM000, INTTM010信号がそれぞれ発生します。

(2) フリー・ランニング・タイマ・モード動作

(CR000:コンペア・レジスタ, CR010:キャプチャ・レジスタ設定時)

図6-35 フリー・ランニング・タイマ・モードのブロック図
(CR000:コンペア・レジスタ/CR010:キャプチャ・レジスタ)

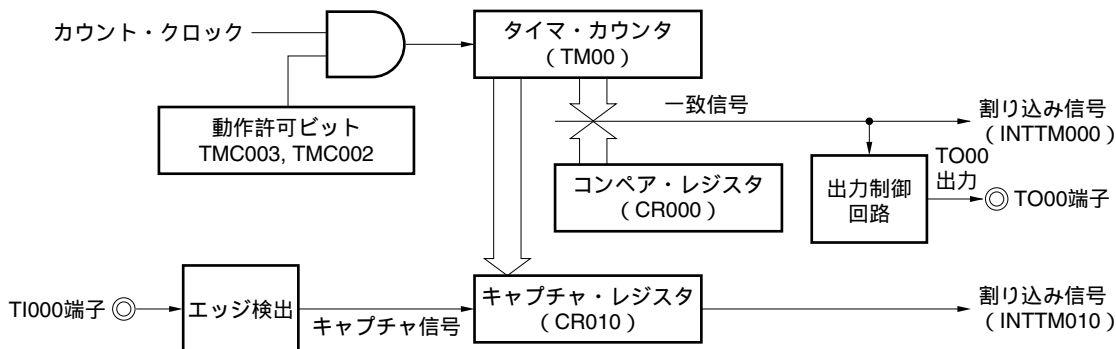
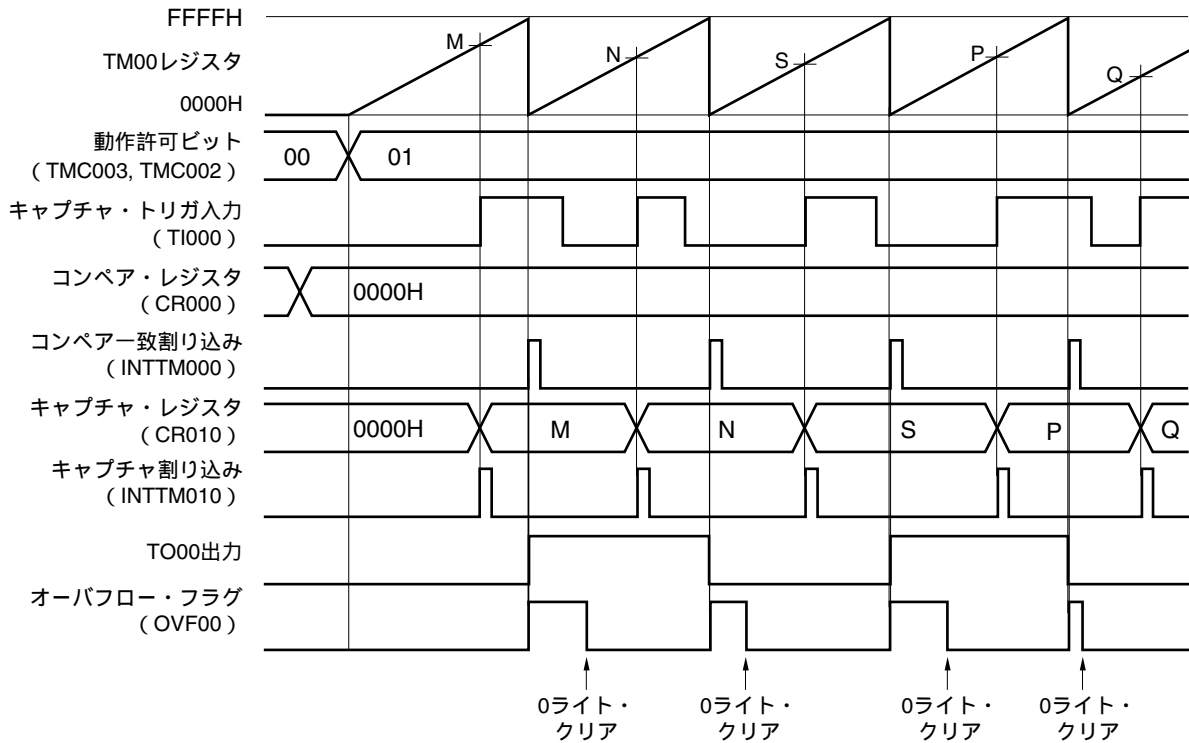


図6-36 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : コンペア・レジスタ / CR010 : キャプチャ・レジスタ)

・ TOC00 = 13H, PRM00 = 10H, CRC00 = 04H, TMC00 = 04H



フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

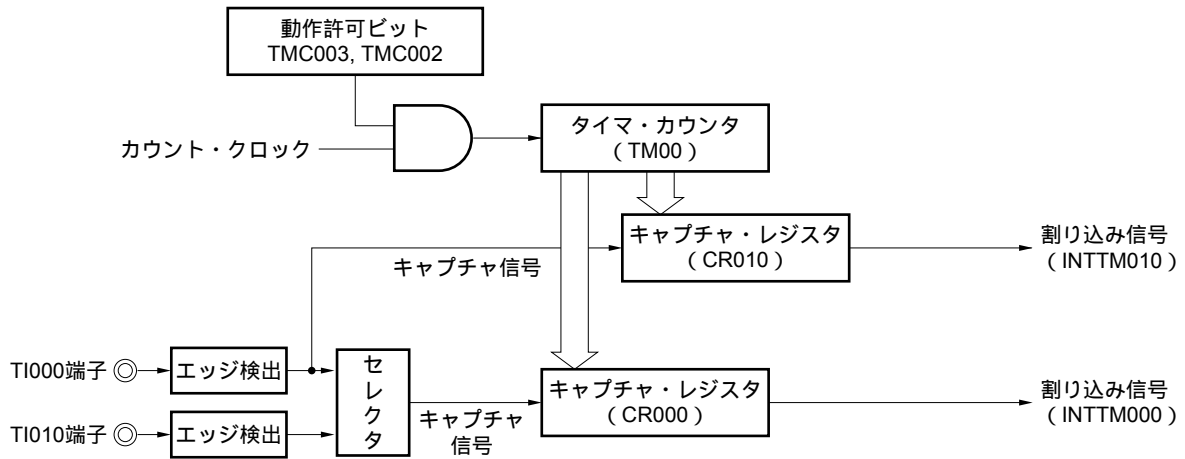
この例では、CR000(コンペア・レジスタ)の設定値とTM00のカウント値が一致するごとに、INTTM000信号を発生し、TO00出力を反転します。また、TI000端子の有効エッジを検出するごとに、INTTM010信号を発生し、TM00のカウント値をCR010にキャプチャします。

(3) フリー・ランニング・タイマ・モード動作

(CR000 : キャプチャ・レジスタ , CR010 : キャプチャ・レジスタ設定時)

図6 - 37 フリー・ランニング・タイマ・モードのブロック図

(CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ)

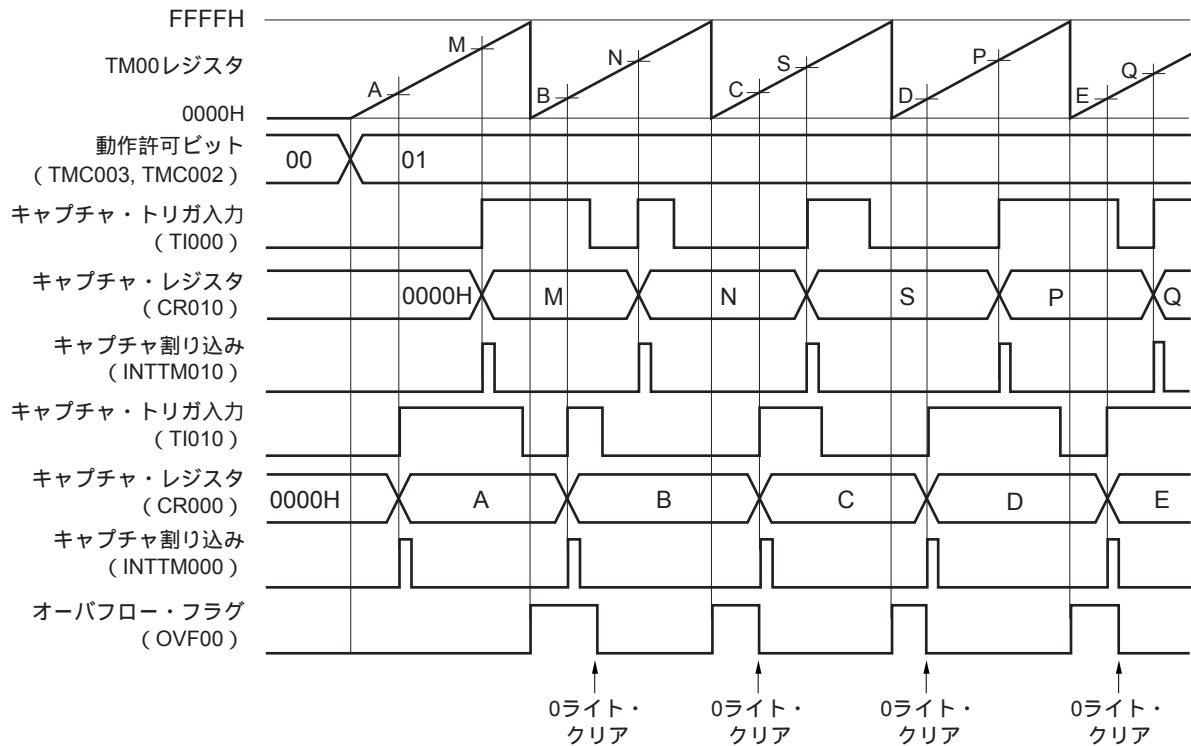


備考 フリー・ランニング・タイマ・モードで、CR000, CR010を両方ともキャプチャ機能に設定した場合、TO00出力レベルは反転しません。

ただし、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット1 (TMC001) = 1に設定することにより、TI000端子の有効エッジを検出するごとにTO00出力レベルを反転させることができます。

図6-38 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (1/2)

(a) TOC00 = 13H, PRM00 = 50H, CRC00 = 05H, TMC00 = 04H

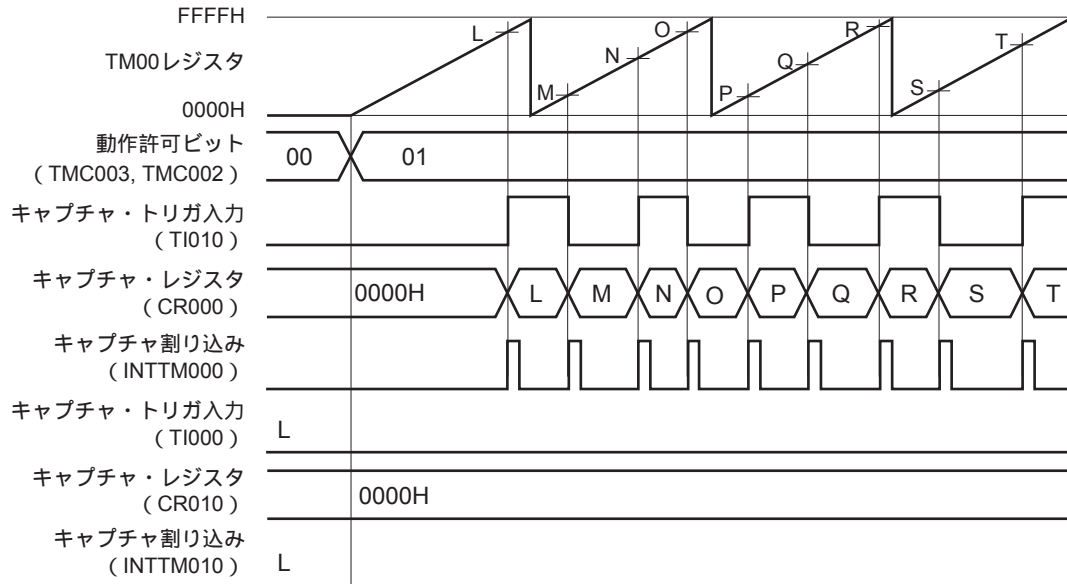


フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI000端子入力の有効エッジ検出でCR010にキャプチャします。TI010端子入力の有効エッジ検出でCR000にキャプチャします。

図6-38 フリー・ランニング・タイマ・モードのタイミング例
 (CR000 : キャプチャ・レジスタ / CR010 : キャプチャ・レジスタ) (2/2)

(b) TOC00 = 13H, PRM00 = C0H, CRC00 = 05H, TMC00 = 04H

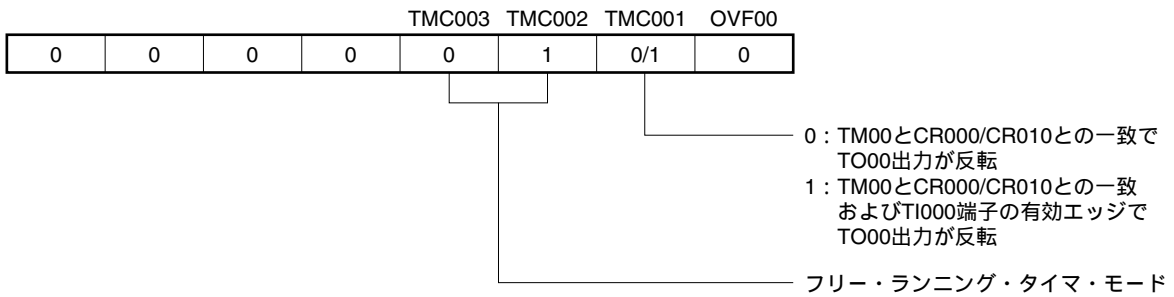


フリー・ランニング・タイマ・モードで、TI010端子の両エッジ検出に設定し、CR000にキャプチャするアプリケーション例です。

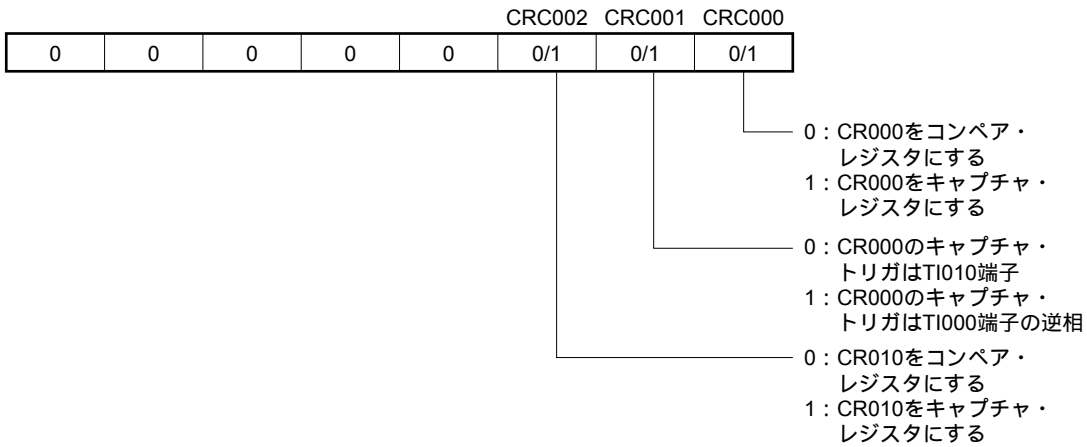
CR000, CR010を両方ともキャプチャ・レジスタとして使用し、TI010端子だけからの有効エッジを検出する場合、CR010にキャプチャすることはできません。

図6 - 39 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)



(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

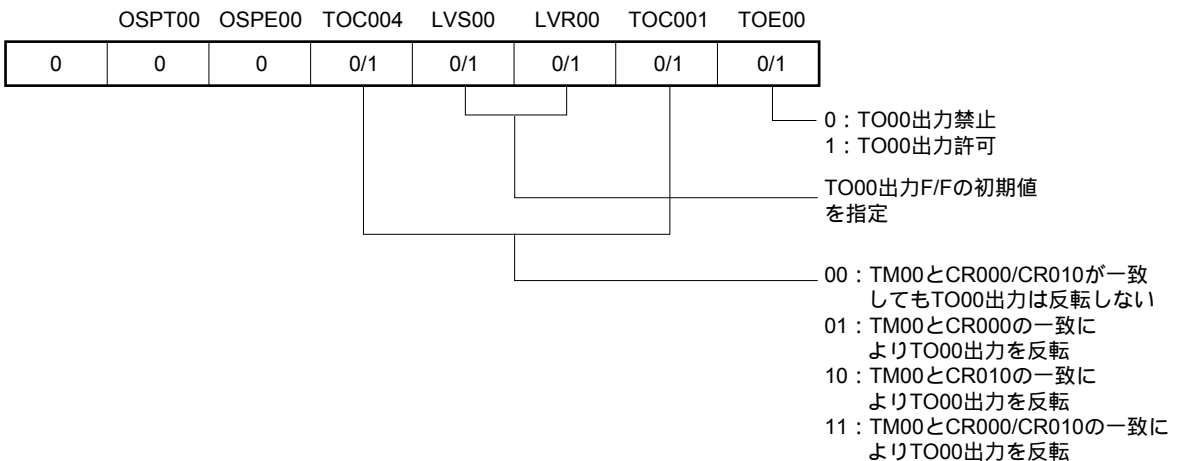
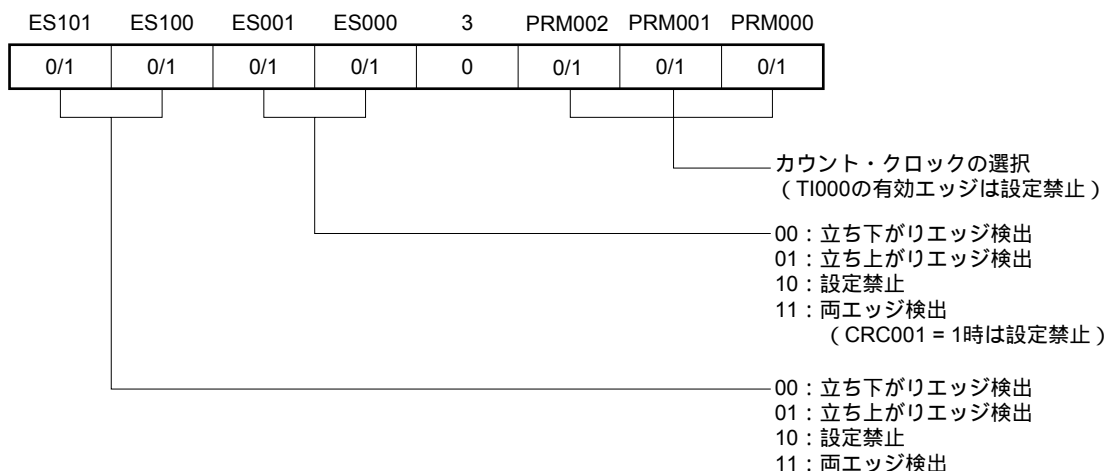


図6 - 39 フリー・ランニング・タイマ・モード時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ00 (PRM00)



(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM000) が発生します。TM00のカウント値はクリアされません。

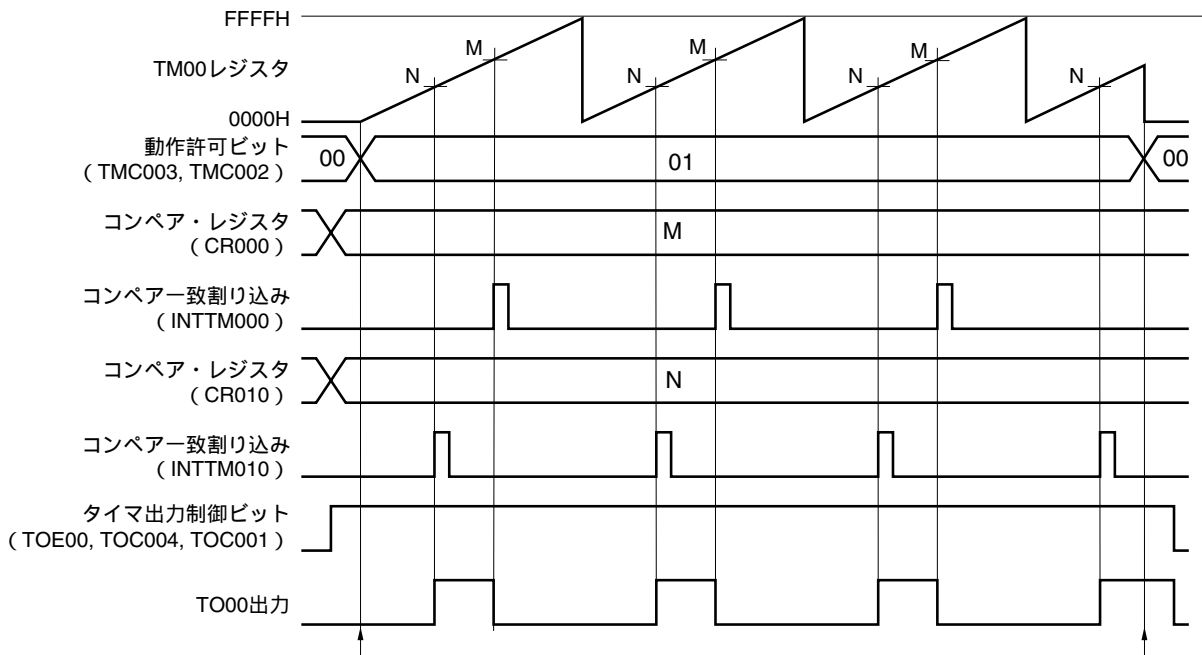
キャプチャ・レジスタとして使用する場合は、TI000, TI010端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

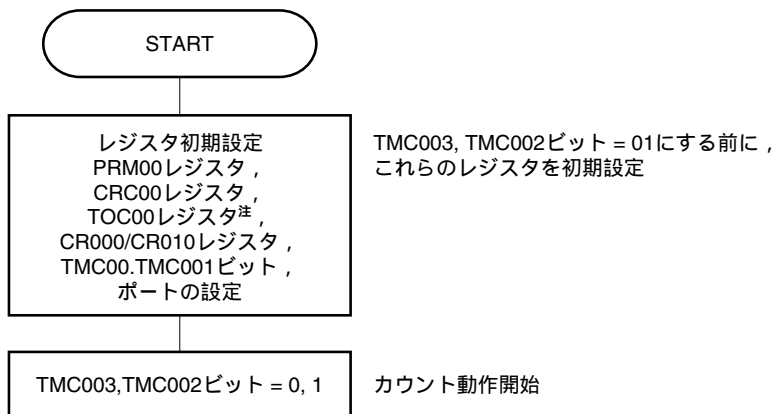
コンペア・レジスタとして使用する場合は、TM00との一致で割り込み信号 (INTTM010) が発生します。TM00のカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI000端子入力キャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM00のカウント値をCR010に格納します。

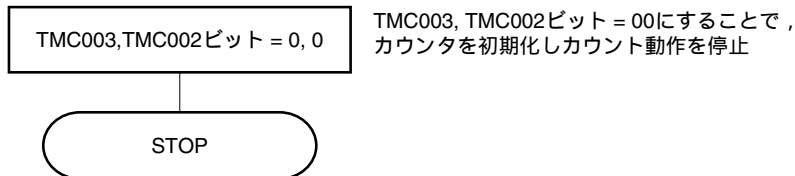
図6-40 フリー・ランニング・タイマ・モード動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00) を参照してください。

6.4.6 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 11 (TM00とCR000の一致によるクリア&スタート) に設定し, CR000にあらかじめ設定した値を1周期とし, CR010にあらかじめ設定した値をパルス幅とする矩形波を, TO00端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期 = (CR000の設定値 + 1) × カウント・クロック周期
- ・デューティ = (CR010の設定値 + 1) / (CR000の設定値 + 1)

注意 動作中にデューティの値 (CR010) を変更したい場合は, 6.5.1 CR010のTM00動作中の書き換えを参照してください。

備考1. 入出力端子の設定については6.3(6) ポート・モード・レジスタ3 (PM3) を参照してください。

2. INTTM000信号の割り込み許可については, 第21章 割り込み機能を参照してください。

図6 - 41 PPG出力としての動作のブロック図

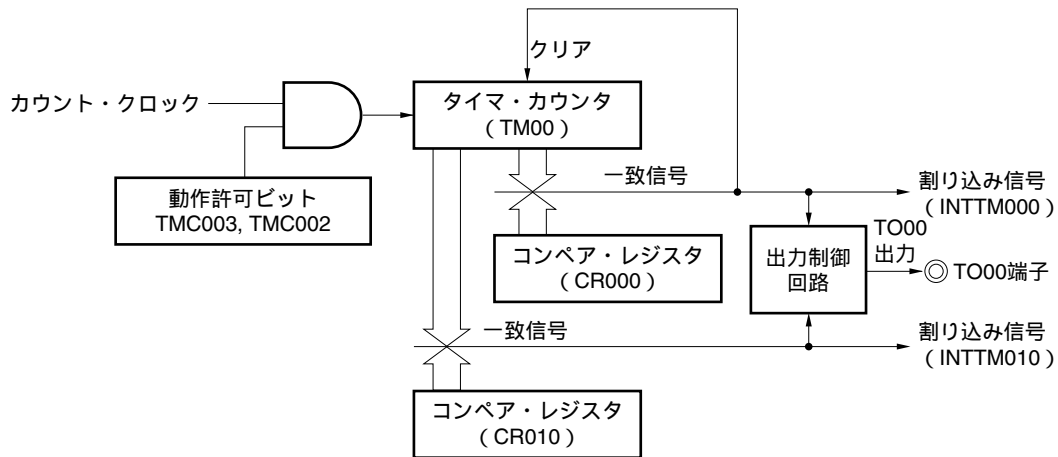


図6 - 42 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	1	1	0	0

TM00とCR000の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする

CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	1	0/1	0/1	1	1

TO00出力許可

TO00出力F/Fの初期値を指定

11 : TM00とCR000/CR010の
一致によりTO00出力を反転

00 : ワンショット・パルス
出力禁止

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0	0	0	0	0	0/1	0/1	0/1

カウント・クロック
の選択

図6 - 42 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

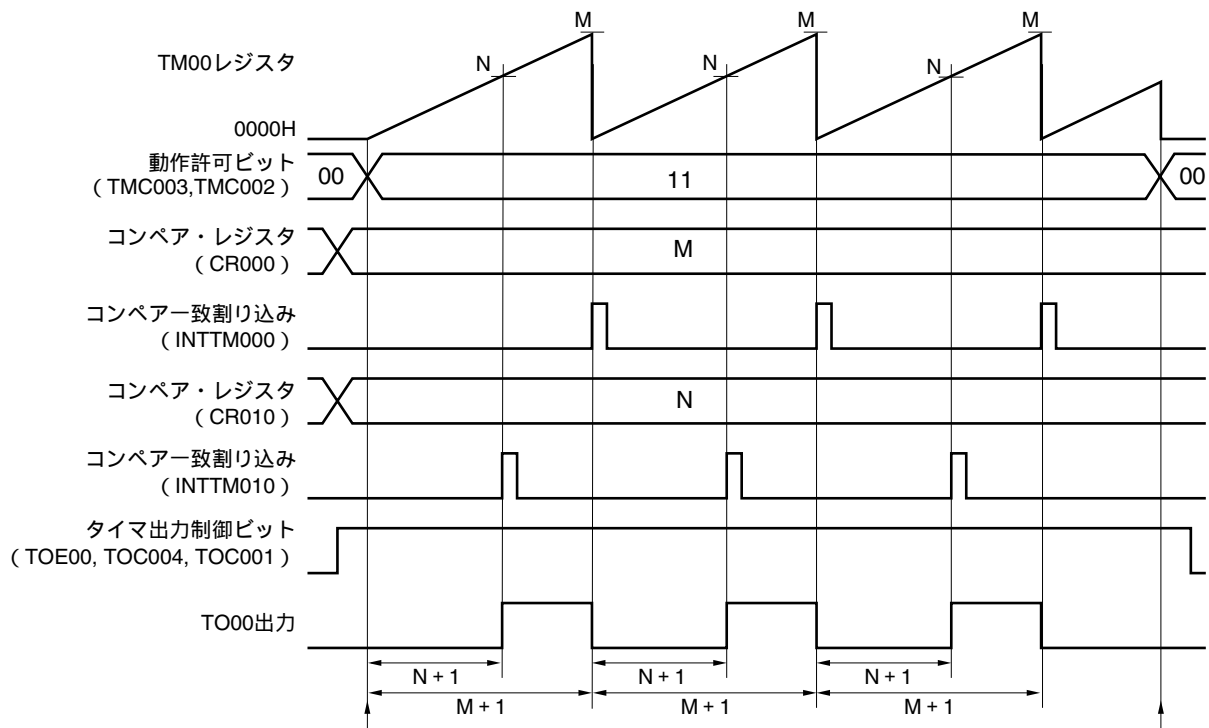
TM00との一致で割り込み信号 (INTTM000) を発生します。TM00のカウント値はクリアされません。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

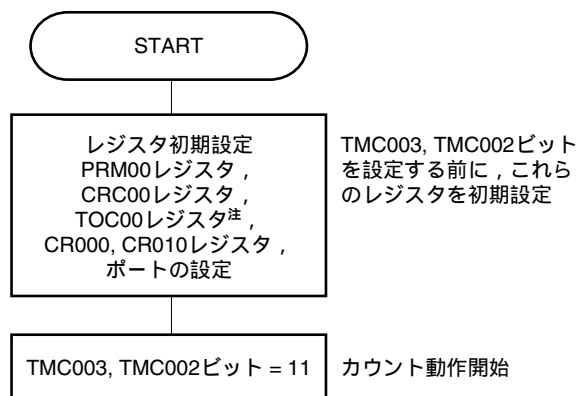
TM00との一致で割り込み信号 (INTTM010) を発生します。TM00のカウント値はクリアされません。

注意 CR000, CR010には, 0000H CR010 < CR000 FFFFHの値を設定してください。

図6 - 43 PPG出力動作時のソフトウェア処理例



カウント動作開始フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

備考 PPGのパルス周期 = $(M+1) \times$ カウント・クロック周期
PPGのデューティ = $(N+1) / (M+1)$

6.4.7 ワンショット・パルス出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 01 (フリー・ランニング・タイマ・モード), またはTMC003, TMC002 = 10 (TI000端子の有効エッジによるクリア&スタート・モード) に設定し, 16ビット・タイマ出力コントロール・レジスタ00 (TOC00) のビット5 (OSPE00) = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC00のビット6 (OSPT00) をセット (1) するか, またはTI000端子に有効エッジが入力されると, それがトリガとなり, TM00のクリア&スタート後, CR000, CR010に設定した差分のパルスを1回だけTO00端子から出力します。

- 注意1.** ワンショット・パルスを出力中に, さらにトリガ (OSPT00のセット (1), またはTI000端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。
2. OSPT00のセット (1) のみをワンショット・パルス出力のトリガとする場合, TI000端子またはその兼用ポート端子のレベルを変化させないでください。意図しないタイミングでパルスが出力されてしまいます。

- 備考1.** 入出力端子の設定については6.3(6) ポート・モード・レジスタ3 (PM3) を参照してください。
2. INTTM000信号の割り込み許可については, 第21章 割り込み機能を参照してください。

図6-44 ワンショット・パルス出力としての動作のブロック図

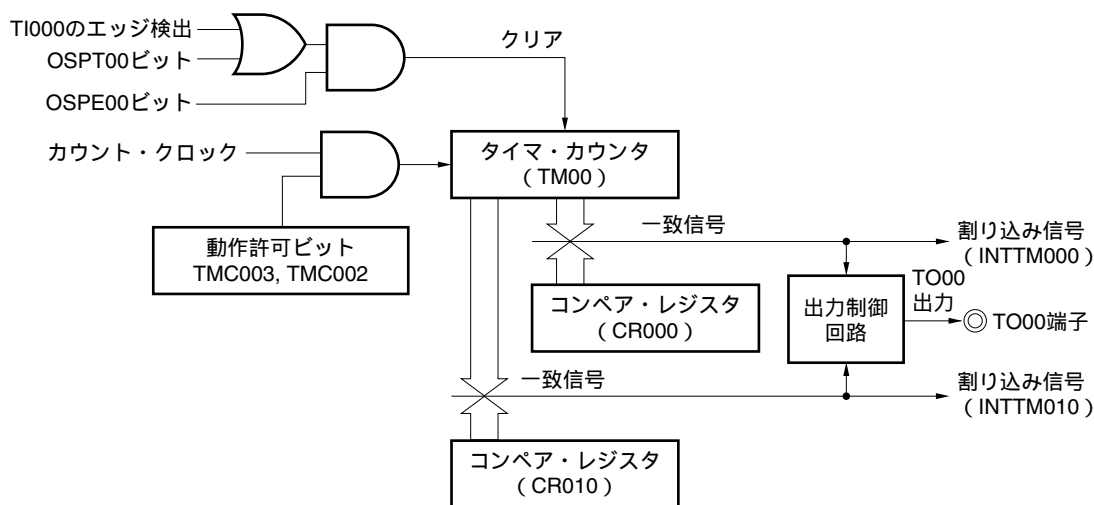


図6 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI000端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0	0

CR000をコンペア・
レジスタにする
CR010をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0/1	1	1	0/1	0/1	1

TO00出力許可
TO00出力の初期値を
指定
TM00とCR000/CR010の
一致によりTO00出力を反転
ワンショット・パルス
出力許可
1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0	0	0	0	0	0/1	0/1	0/1

カウント・クロック
の選択

図6 - 45 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

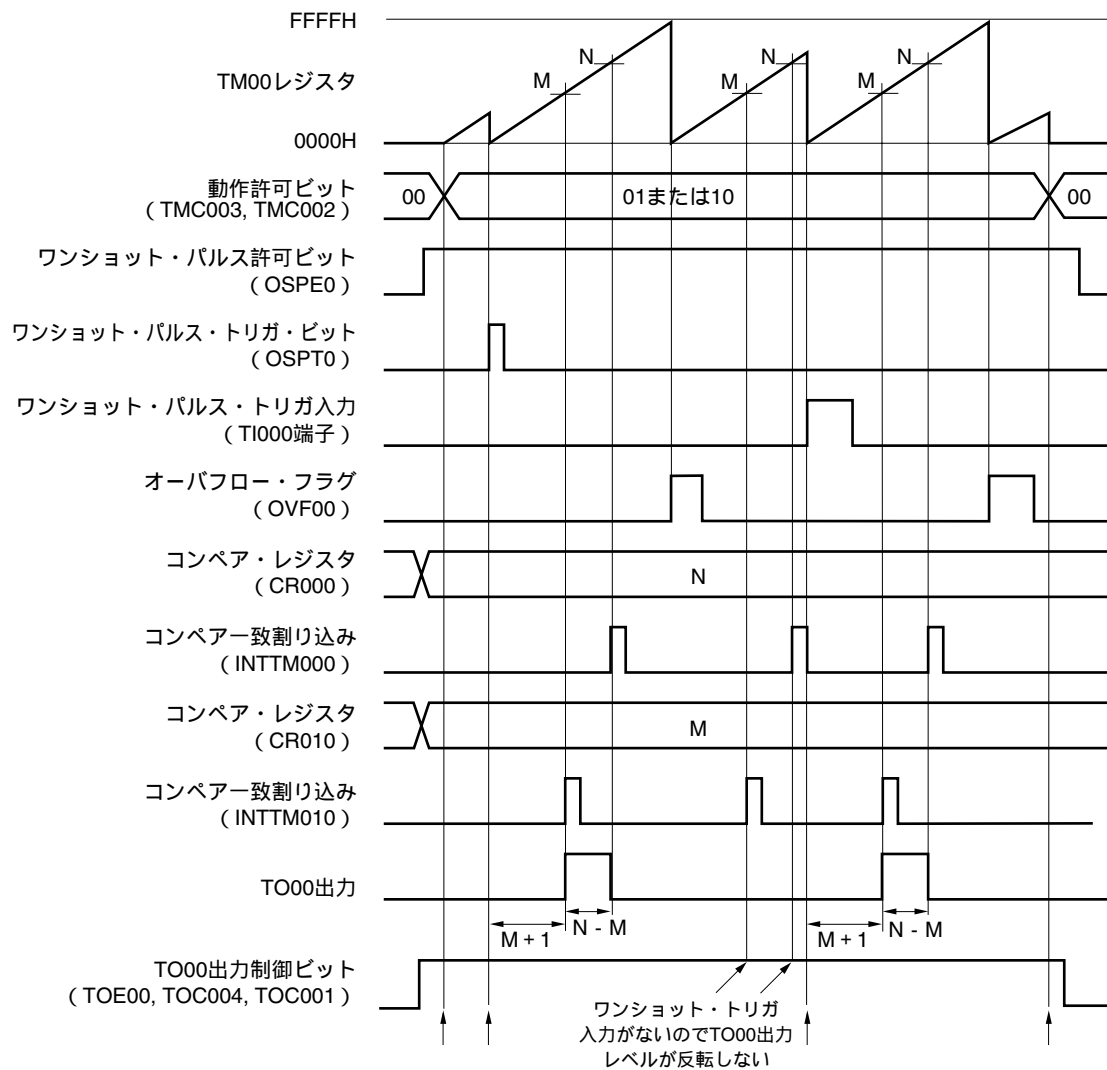
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR000の値が一致すると、割り込み信号 (INTTM000) を発生し、TO00出力レベルを反転します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM00とCR010の値が一致すると、割り込み信号 (INTTM010) を発生し、TO00出力レベルを反転します。

注意 CR000とCR010には同値を設定しないでください。

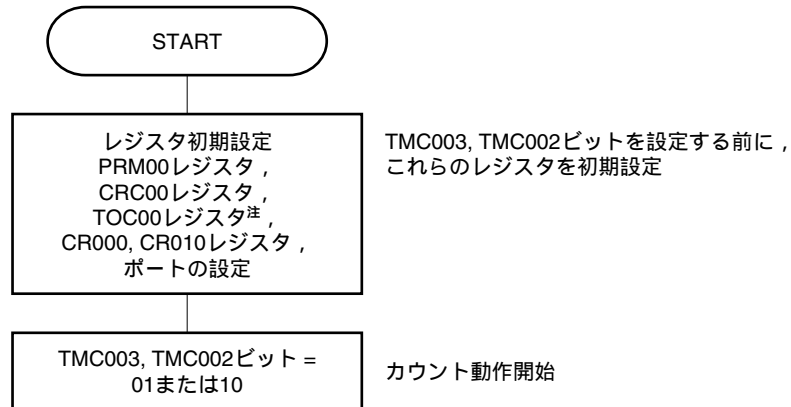
図6 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (1/2)



- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間
= $(M+1) \times \text{カウント} \cdot \text{クロック周期}$
- ・ワンショット・パルス出力アクティブ・レベル幅
= $(N-M) \times \text{カウント} \cdot \text{クロック周期}$

図6 - 46 ワンショット・パルス出力動作時のソフトウェア処理例 (2/2)

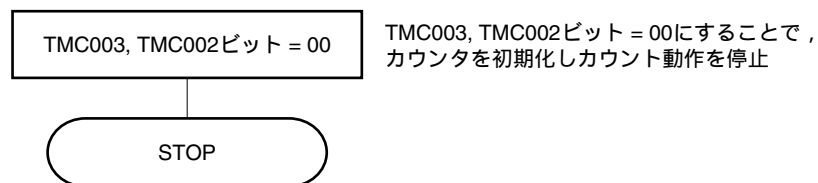
カウント動作開始フロー



ワンショット・トリガ入力フロー



カウント動作停止フロー



注 TOC00の設定は注意が必要です。詳細は6.3(3)16ビット・タイマ出力コントロール・レジスタ00 (TOC00)を参照してください。

6.4.8 パルス幅測定としての動作

TM00を使用し、TI000端子およびTI010端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ00をフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI000端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、有効なキャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) を確認して、セット (1) されていたらソフトウェアでクリア (0) してください。

図6 - 47 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

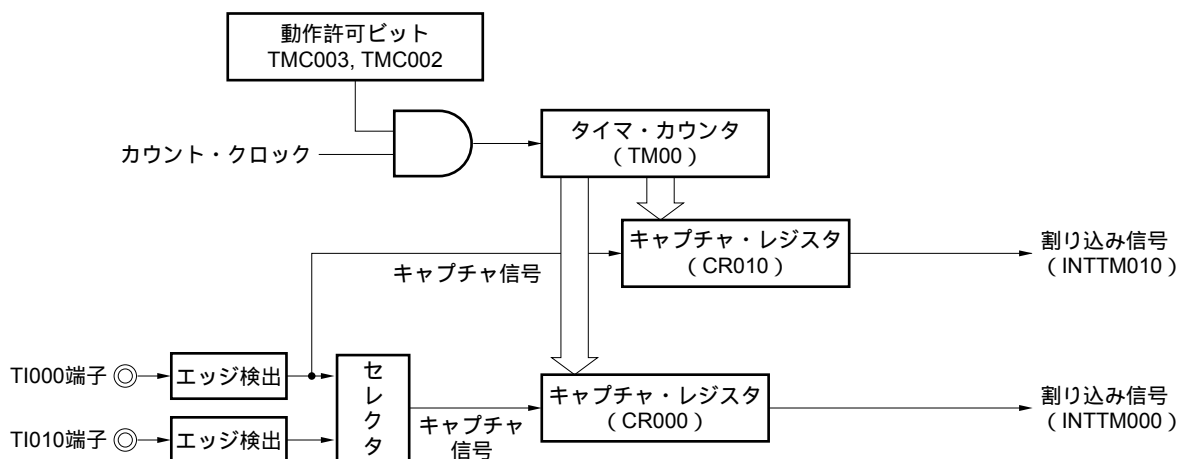
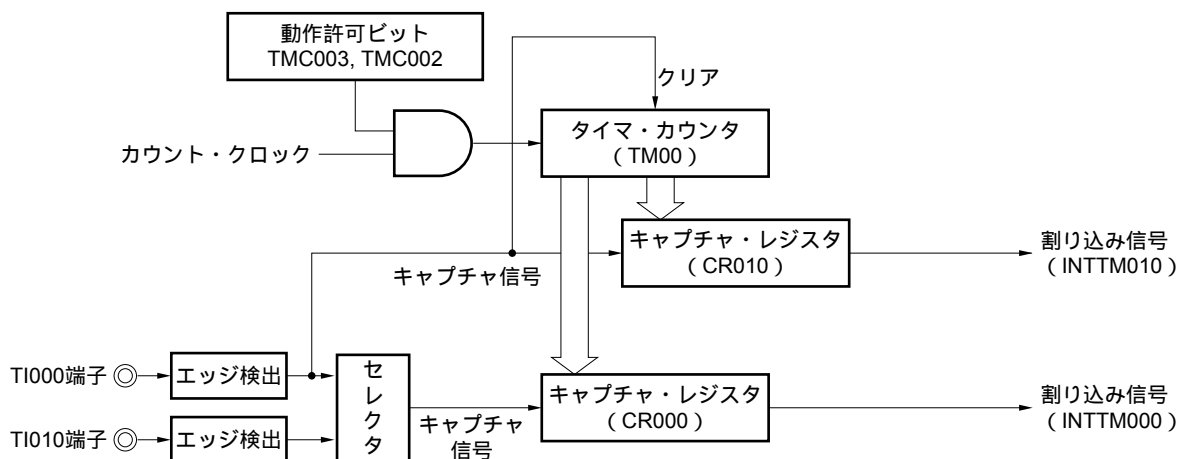


図6 - 48 パルス幅測定 (TI000端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅測定をするには、次の3つの方法があります。

- ・ TI000端子およびTI010端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI000端子1本の入力信号でパルス幅を測定（TI000端子の有効エッジ入力によるクリア&スタート・モード）

注意 パルス幅測定時には、カウント・クロックとしてTI000有効エッジを選択しないでください。

- 備考1.** 入出力端子の設定については6.3(6) **ポート・モード・レジスタ3(PM3)**を参照してください。。
2. INTTM000信号の割り込み許可については、**第21章 割り込み機能**を参照してください。

(1) TI000端子およびTI010端子の2本の入力信号でパルス幅を測定(フリー・ランニング・タイマ・モード)

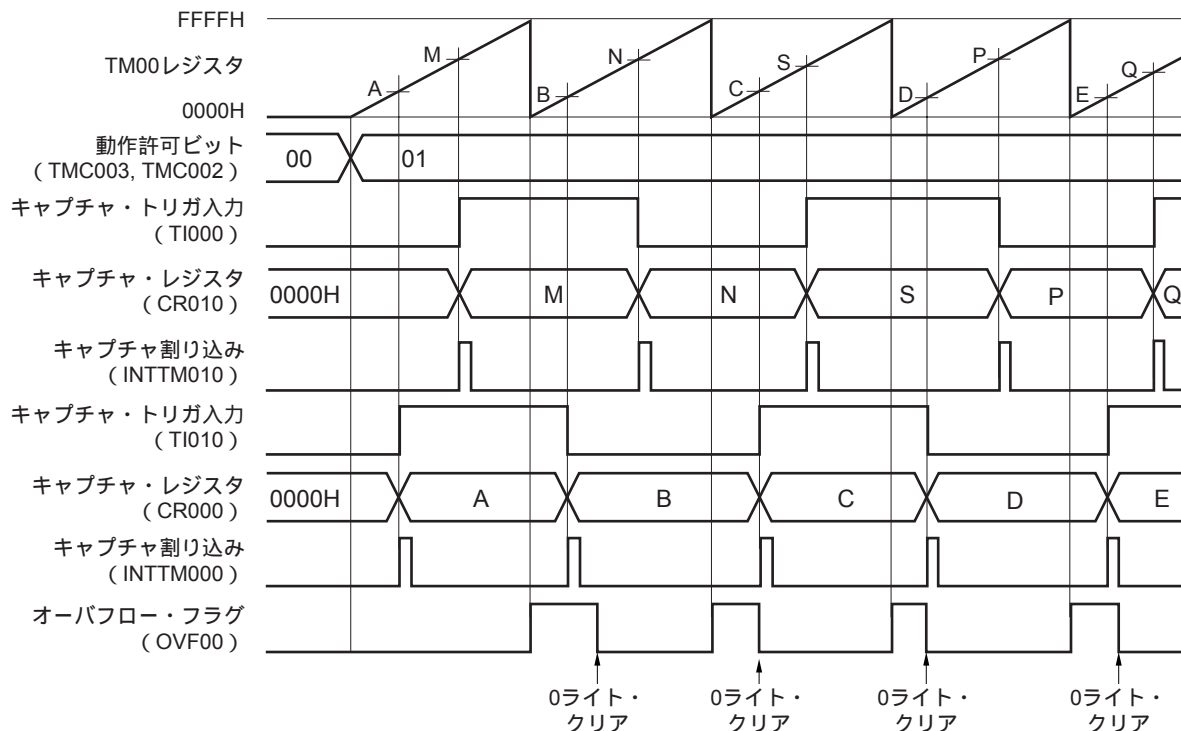
フリー・ランニング・タイマ・モード(TMC003, TMC002 = 01)に設定します。TI000端子の有効エッジ検出により, TM00のカウンタ値をCR010にキャプチャします。TI010端子の有効エッジ検出により, TM00のカウンタ値をCR000にキャプチャします。TI000端子とTI010端子のエッジ検出の設定は, 両エッジとしてください。

この測定方法では, それぞれの入力信号のエッジによりキャプチャした値から, 前回キャプチャした値を減算します。そのため, 前回キャプチャした値を, あらかじめ別レジスタに退避してください。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します(プログラム・ステータス・ワード(PSW)のビット0(CY)がセット(1)されます)。このときは, CYを無視して, 計算値をパルス幅として扱ってください。また, 16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6 - 49 パルス幅測定のタイミング例(1)

・ TMC00 = 04H, PRM00 = F0H, CRC00 = 05H



(2) TI000端子1本の入力信号でパルス幅を測定 (フリー・ランニング・モード)

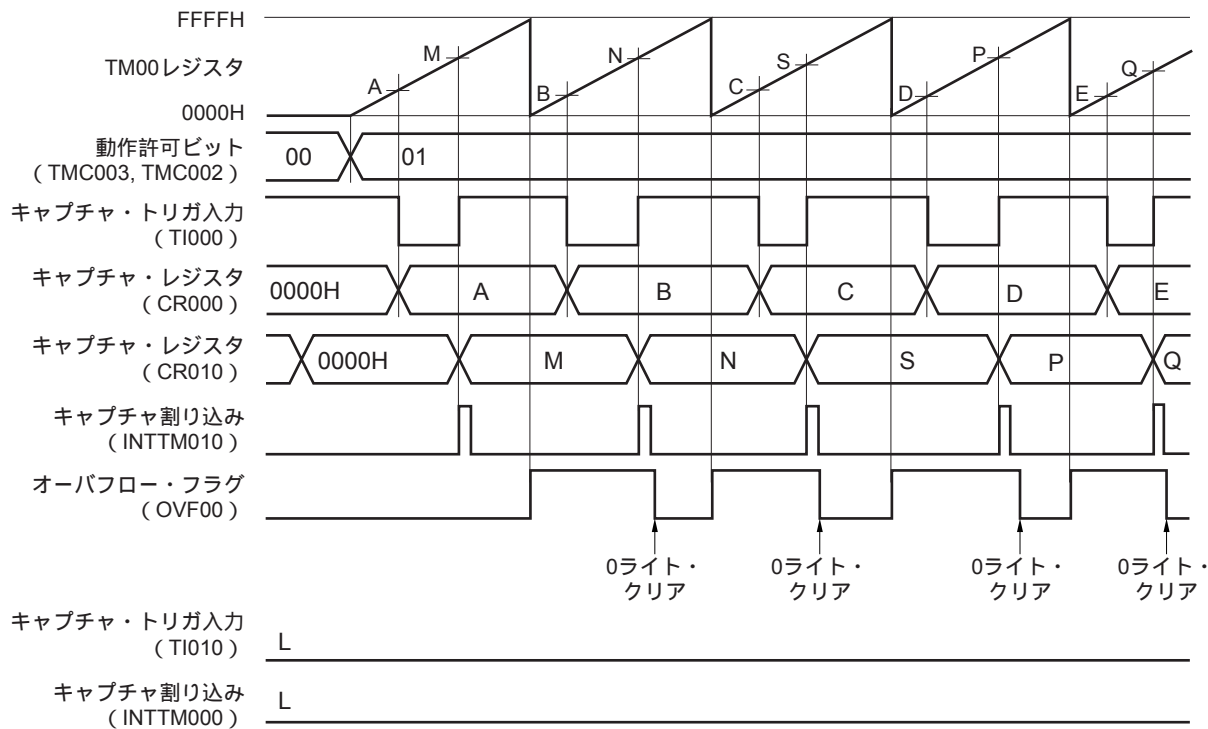
フリー・ランニング・タイマ・モード (TMC003, TMC002 = 01) に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウント値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウント値をCR010にキャプチャします。

この測定方法では、エッジからエッジまでの幅を測定する場合に、別々のキャプチャ・レジスタに値を格納するため、キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでハイ・レベル幅、ロウ・レベル幅、周期を算出します。

オーバーフローが発生した場合、単純に減算すると値がマイナスになるため、ポローが発生します (プログラム・ステータス・ワード (PSW) のビット0 (CY) がセット (1) されます)。このときは、CYを無視して、計算値をパルス幅として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット0 (OVF00) をクリア (0) してください。

図6-50 パルス幅測定のタイミング例 (2)

・ TMC00 = 04H, PRM00 = 10H, CRC00 = 07H



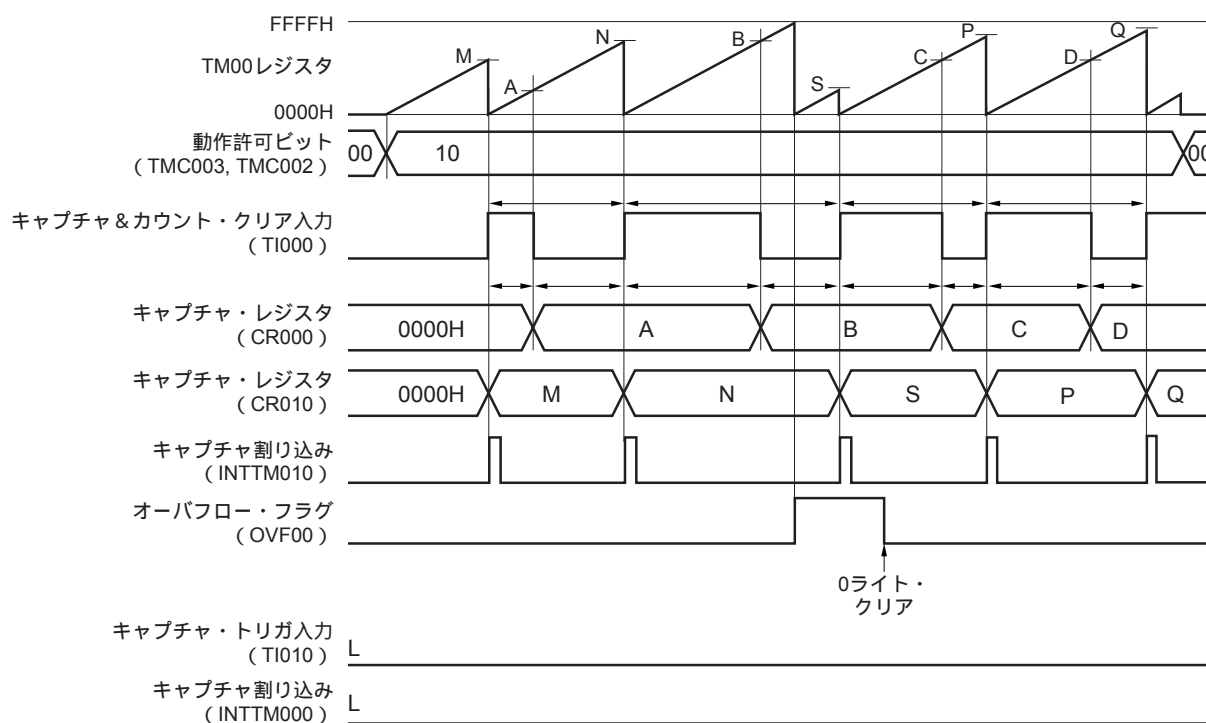
(3) TI000端子1本の入力信号でパルス幅を測定(TI000端子の有効エッジ入力によるクリア&スタート・モード)

TI000端子の有効エッジによるクリア&スタート・モード(TMC003, TMC002 = 10)に設定します。TI000端子の有効エッジ検出の逆相で、TM00のカウンタ値をCR000にキャプチャします。TI000端子の有効エッジ検出で、TM00のカウンタ値をCR010にキャプチャし、TM00をクリア(0000H)します。したがって、TM00がオーバーフローしなければ、CR010には周期が格納されます。

オーバーフローが発生した場合は、CR010に格納した値に10000Hを加算した値を周期として扱ってください。また、16ビット・タイマ・モード・コントロール・レジスタ00(TMC00)のビット0(OVF00)をクリア(0)してください。

図6-51 パルス幅測定のタイミング例(3)

・ TMC00 = 08H, PRM00 = 10H, CRC00 = 07H



$$\begin{aligned} \text{パルスの周期} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR010のキャプチャ値}) \times \text{カウント・クロック周期} \\ \text{パルスのハイ・レベル幅} &= (10000\text{H} \times \text{OVF00ビットがセット(1)された回数} + \\ &\quad \text{CR000のキャプチャ値}) \times \text{カウント・クロック周期} \\ \text{パルスのロウ・レベル幅} &= (\text{パルスの周期} - \text{パルスのハイ・レベル幅}) \end{aligned}$$

図6 - 52 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00)

				TMC003	TMC002	TMC001	OVF00
0	0	0	0	0/1	0/1	0	0

- 01: フリー・ランニング・タイマ・モード
- 10: TI000端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)

				CRC002	CRC001	CRC000
0	0	0	0	0	0/1	1

- 1: CR000をキャプチャ・レジスタにする
- 0: CR000のキャプチャ・トリガはTI010端子
- 1: CR000のキャプチャ・トリガはTI000端子の逆相
- 1: CR010をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ00 (TOC00)

OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00
0	0	0	0	0	0	0

(d) プリスケーラ・モード・レジスタ00 (PRM00)

ES101	ES100	ES001	ES000	3	PRM002	PRM001	PRM000
0/1	0/1	0/1	0/1	0	0/1	0/1	0/1

- カウント・クロックの選択
(TI000の有効エッジは設定禁止)
- 00: 立ち下がりエッジ検出
- 01: 立ち上がりエッジ検出
- 10: 設定禁止
- 11: 両エッジ検出
(CRC001 = 1時は設定禁止)
- 00: 立ち下がりエッジ検出
- 01: 立ち上がりエッジ検出
- 10: 設定禁止
- 11: 両エッジ検出

図6 - 52 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ00 (TM00)

TM00をリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ000 (CR000)

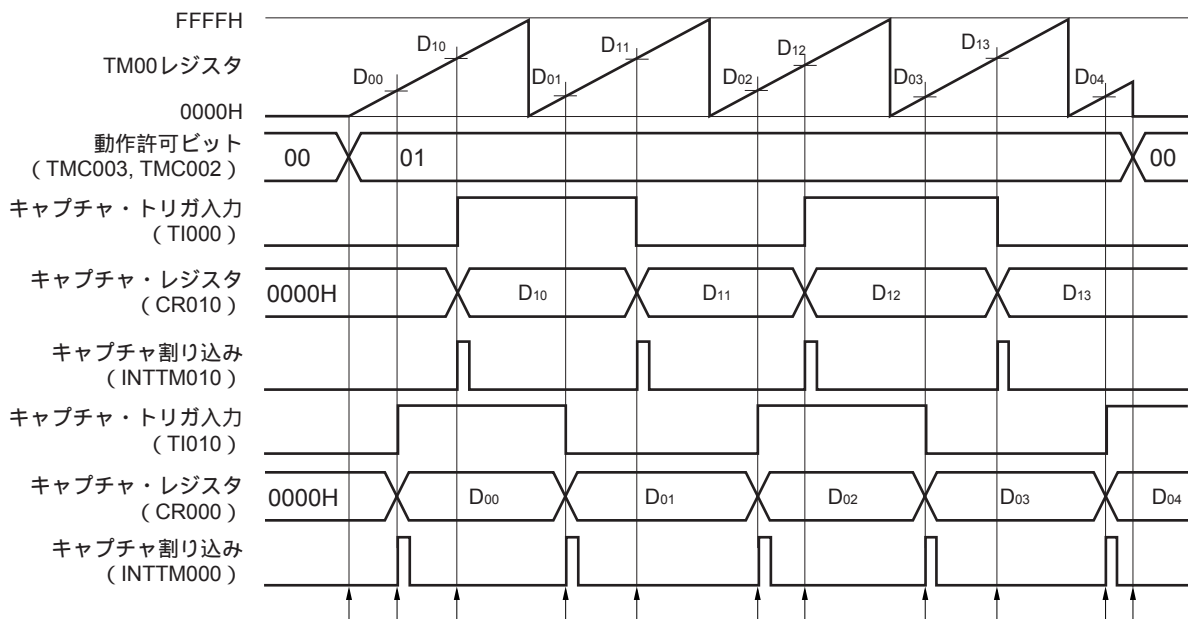
キャプチャ・レジスタとして使用します。TI000/TI010端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM00のカウンタ値をCR000に格納します。

(g) 16ビット・キャプチャ/コンペア・レジスタ010 (CR010)

キャプチャ・レジスタとして使用します。TI000端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM00のカウンタ値をCR010に格納します。

図6 - 53 パルス幅測定時のソフトウェア処理例 (1/2)

(a) フリー・ランニング・タイマ・モードの例



(b) TI000端子の有効エッジによるクリア&スタート・モードの例

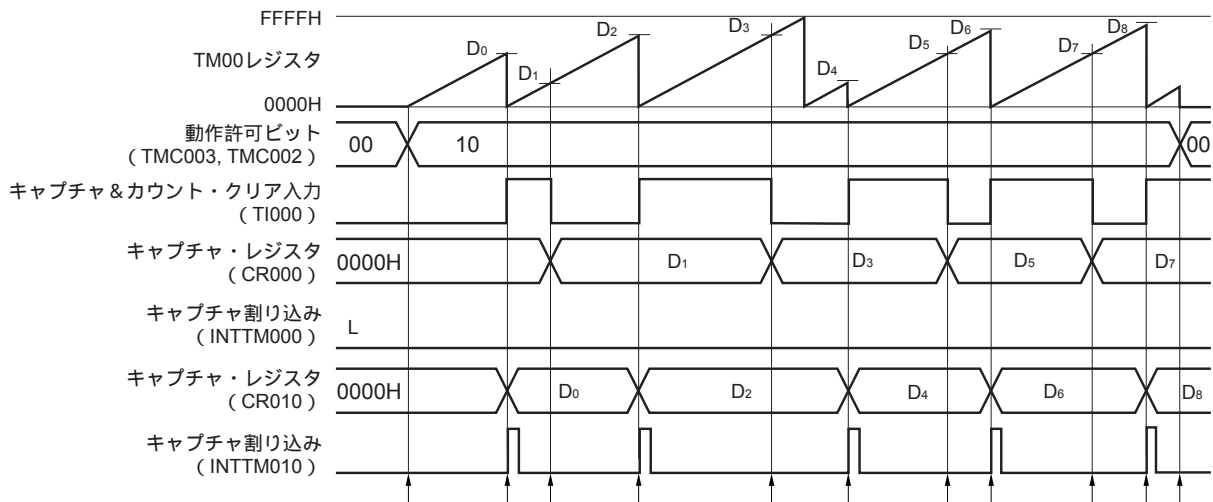
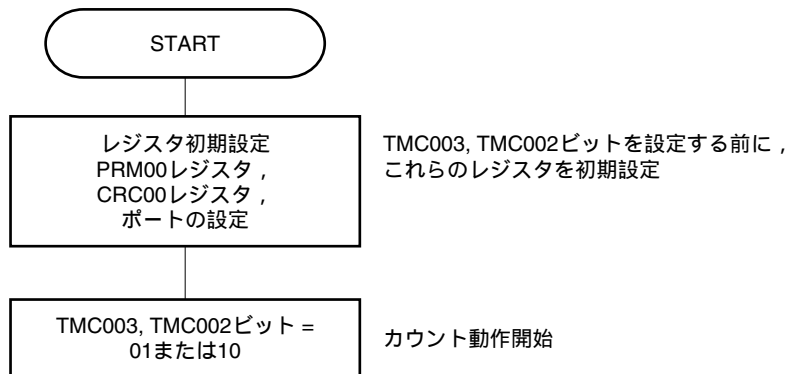
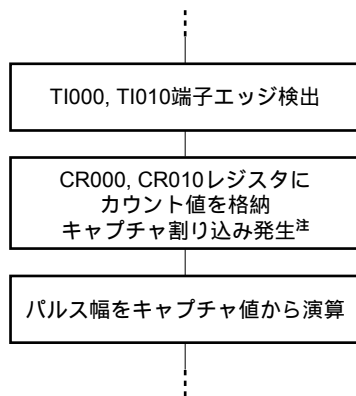


図6 - 53 パルス幅測定時のソフトウェア処理例 (2/2)

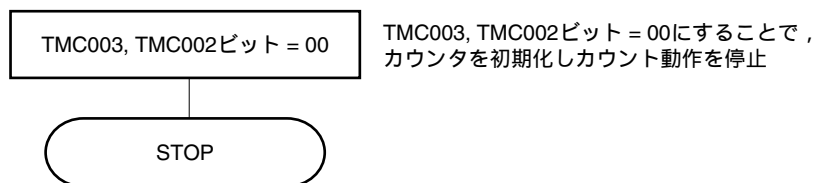
カウント動作開始フロー



キャプチャ・トリガ入力フロー



カウント動作停止フロー



注 CR000の有効エッジにTI000端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM000) は発生しません。

6.4.9 24ビット外部イベント・カウンタとしての動作

16ビット・タイマ/イベント・カウンタ00と8ビット・タイマ/イベント・カウンタ52をカスケード接続し、8ビット・タイマ/イベント・カウンタ52の外部イベント・カウンタ機能を用いることにより、24ビットの外部イベント・カウンタ機能として動作可能です。

24ビット外部イベント・カウンタは、TI52端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ52 (TM52) でカウントし、さらにTM52のカウント値が8ビット・タイマ・コンペア・レジスタ52 (CR52 = FFH[※]) と一致すると、一致信号が出力され、その信号を16ビット・タイマ・カウンタ00 (TM00) でカウントすることで、24ビット外部イベント・カウンタとして動作します。

また、24ビット外部イベント・カウンタとして使用する場合、8ビット・タイマ・カウンタH2の出力により、外部イベント入力イネーブル制御を行うことも可能です。

TI52端子への入力の有効エッジは、8ビット・タイマ・カウンタ52 (TM52) のタイマ・クロック選択レジスタ52 (TCL52) で指定することが可能です。また、入力切り替え制御レジスタ (ISC) のビット2 (ISC2) を1にセットすることで、TM52の外部イベント入力を8ビット・タイマ・カウンタH2の出力によって入力イネーブル制御することが可能です。

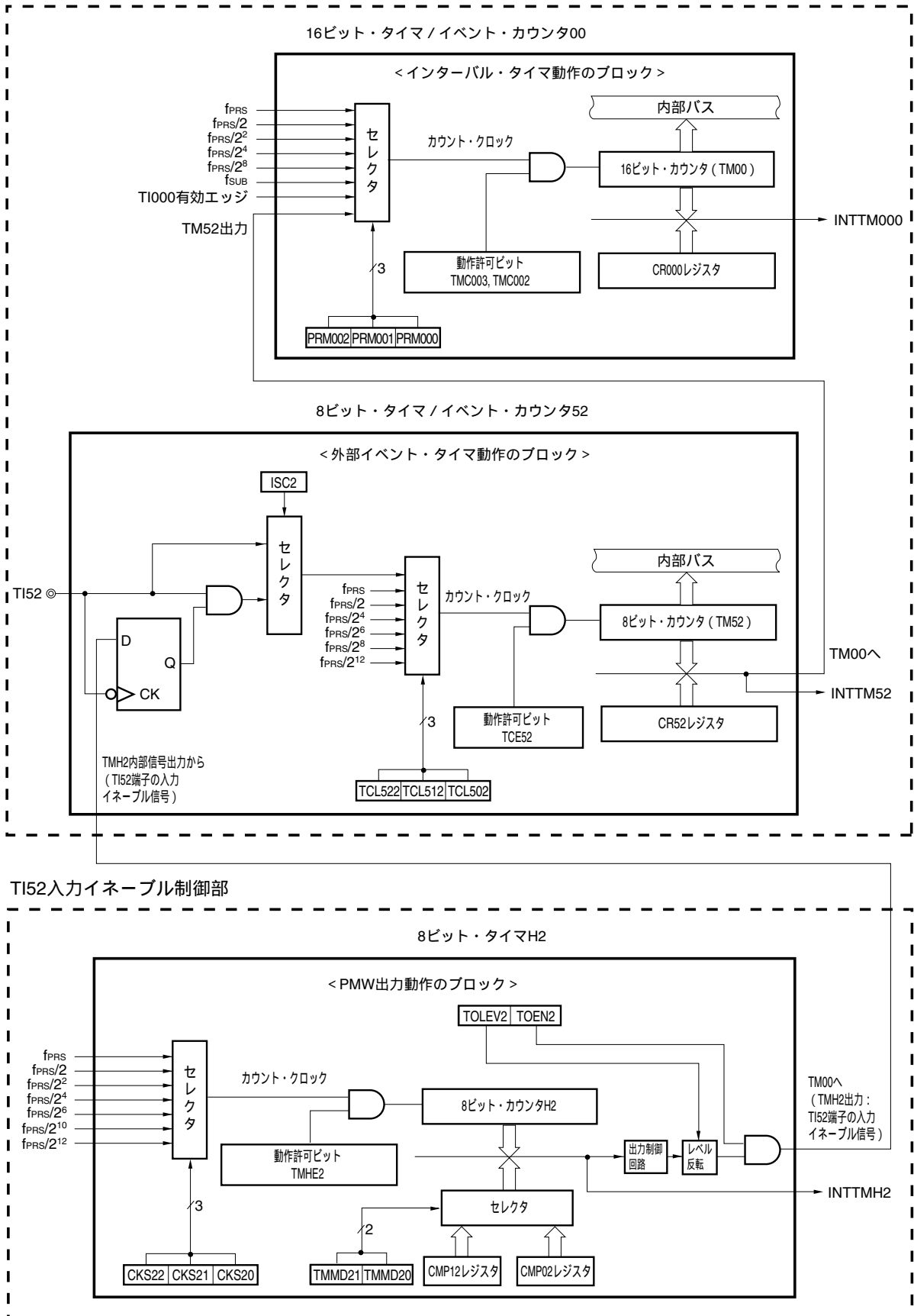
16ビット・タイマ/イベント・カウンタ00のプリスケアラ・モード・レジスタ00 (PRM00) のビット2, 1, 0 (PRM002, PRM001, PRM000) = 1, 1, 1 (カウント・クロックにTM52出力を選択)、16ビット・タイマ・モード・コントロール・レジスタ00 (TMC00) のビット3, 2 (TMC003, TMC002) = 1, 1 (TM00とCR000の一致でカウント・クリア&スタート・モード) に設定すると、8ビット・タイマ52出力をカウント・クロックとしてカウント動作を開始します。TM00のカウント値が16ビット・タイマ・コンペア・レジスタ000 (CR000) の値と一致すると、TM00は0にクリアされ、割り込み要求信号 (INTTM000) が発生します。

以後、TM00の値とCR000の値が一致するたびに、INTTM000が発生します。

注 24ビット外部イベント・カウンタとして動作させる際は、8ビット・タイマ・コンペア・レジスタ52 (CR52) の値は、必ずFFHにしてください。また、TM52の割り込み要求信号 (INTTM52) は必ずマスク (TMMK52 = 1) してください。

図6-54 24ビット外部イベント・カウンタの構成図

24ビット外部イベント・カウンタ部



設定方法

TM00, TM52の各モードの設定を行います。

(a) TM00をインターバル・タイマに設定します。ただし、カウント・クロックの選択はTM52の出力を選択してください。

- ・ TMC00 : 動作禁止に設定
(TMC00 = 00000000B)
- ・ CRC00 : コンペア・レジスタとして動作に設定
(CRC00 = 000000x0B, x = don't care)
- ・ TOC00 : CR000とTM00の一致によるTO00端子出力は禁止設定
(TOC00 = 00000000B)
- ・ PRM00 : カウント・クロックをTM52の出力に選択
(PRM00 = 00000111B)
- ・ CR000 : コンペア値をFFFFHに設定してください。
コンペア値をMに設定した場合、TM00のカウントアップはMまでしか行われません。
- ・ CR010 : 通常CR010は使用しません。しかしCR010の設定値と、TM00の値が一致するとコンペア一致割り込み (INTTM010) が発生します。したがって、割り込みマスク・フラグ (TMMK010) でマスク設定をしておいてください。

(b) TM52を外部イベント・カウンタに設定します。

- ・ TCL52 : TI52端子入力のエッジ選択
TI52端子の立ち下がり TCL52 = 00H
TI52端子の立ち上がり TCL52 = 01H
- ・ CR52 : コンペア・レジスタ値をFFHに設定してください。
- ・ TMC52 : カウント動作停止
(TMC52 = 00000000B)
- ・ TMIF52 : クリアしてください。

注意 24ビット外部イベント・カウンタとして動作させる際は、INTTM52は必ずマスク (TMMK52 = 1) してください。また、コンペア・レジスタ52 (CR52) の値は、必ずFFHにしてください。

(c) TMH2をTI52端子への入力イネーブル幅調整用モード (PWMモード) に設定します。^注

- ・ TMHMD2 : カウント動作停止, カウント・クロック選択, TI52端子への入力イネーブル幅調整用モード (PWMモード) に設定, タイマ出力レベル・デフォルト値 = ハイ・レベルに設定, タイマ出力許可に設定 (TMHMD2 = 0xxx1011B, x = 使用条件により設定)
- ・ CMP02 : コンペア値 (N) 周期の設定
- ・ CMP12 : コンペア値 (M) デューティの設定
備考 00H CMP12 (M) < CMP02 (N) FFH
- ・ ISC2 : ISC2 = 1 (TI52端子入力イネーブル制御あり) に設定

注 TI52端子への入力イネーブル制御を行わない場合は、本設定は必要ありません。

TM00, TM52, TMH2のカウンタ動作を開始します。タイマの動作開始は次の手順を必ず守ってください。

- (a) TMC003, TMC002ビット = 1, 1に設定し, TM00のカウンタ動作を開始します。
- (b) 次にTCE52 = 1に設定し, TM52のカウンタ動作を開始します。
- (c) 次にTMHE2 = 1に設定し, TMH2のカウンタ動作を開始します。^注

注 TI52端子への入力イネーブル制御を行わない場合は, 本設定は必要ありません。

TM52とCR52 (= FFH)の値が一致すると, TM52を00にクリアし, 一致信号によりTM000がカウントアップされます。そのあと, TM000とCR000の値が一致すると, TM00を0000Hにクリアし, 一致割り込み信号 (INTTM00) を発生します。

TI52端子への入力イネーブル制御を行っている場合, TMH2の割り込み要求信号 (INTTMH2) による割り込み処理でTM52, TM00のカウント値, およびTMIF52を読み出すことにより, TI52端子への入力イネーブル期間での外部イベント・カウンタ値を計測することができます。

図6 - 55 24ビット外部イベント・カウンタの動作タイミング

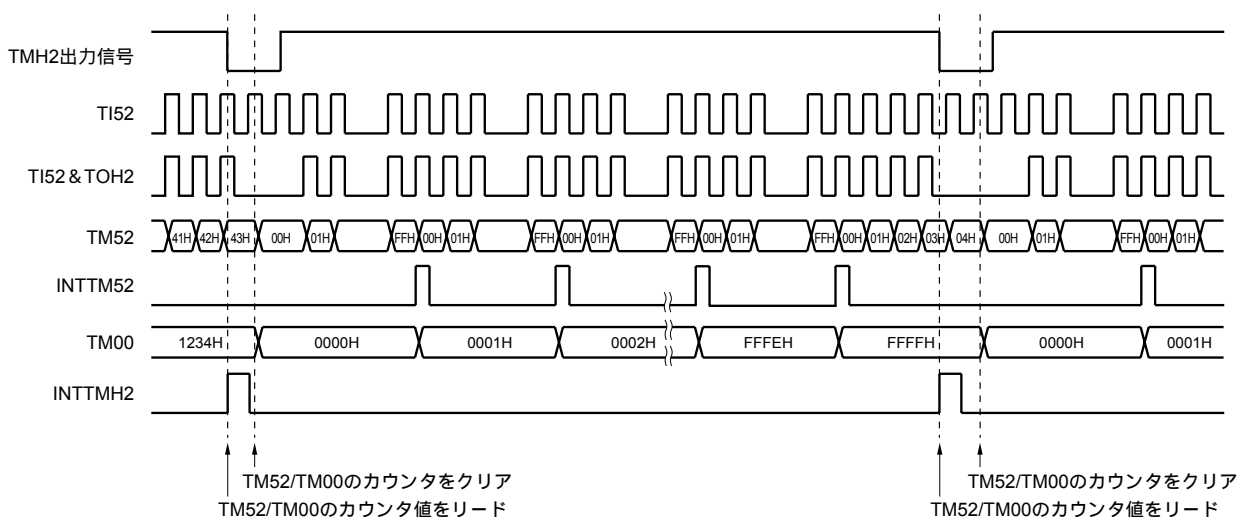
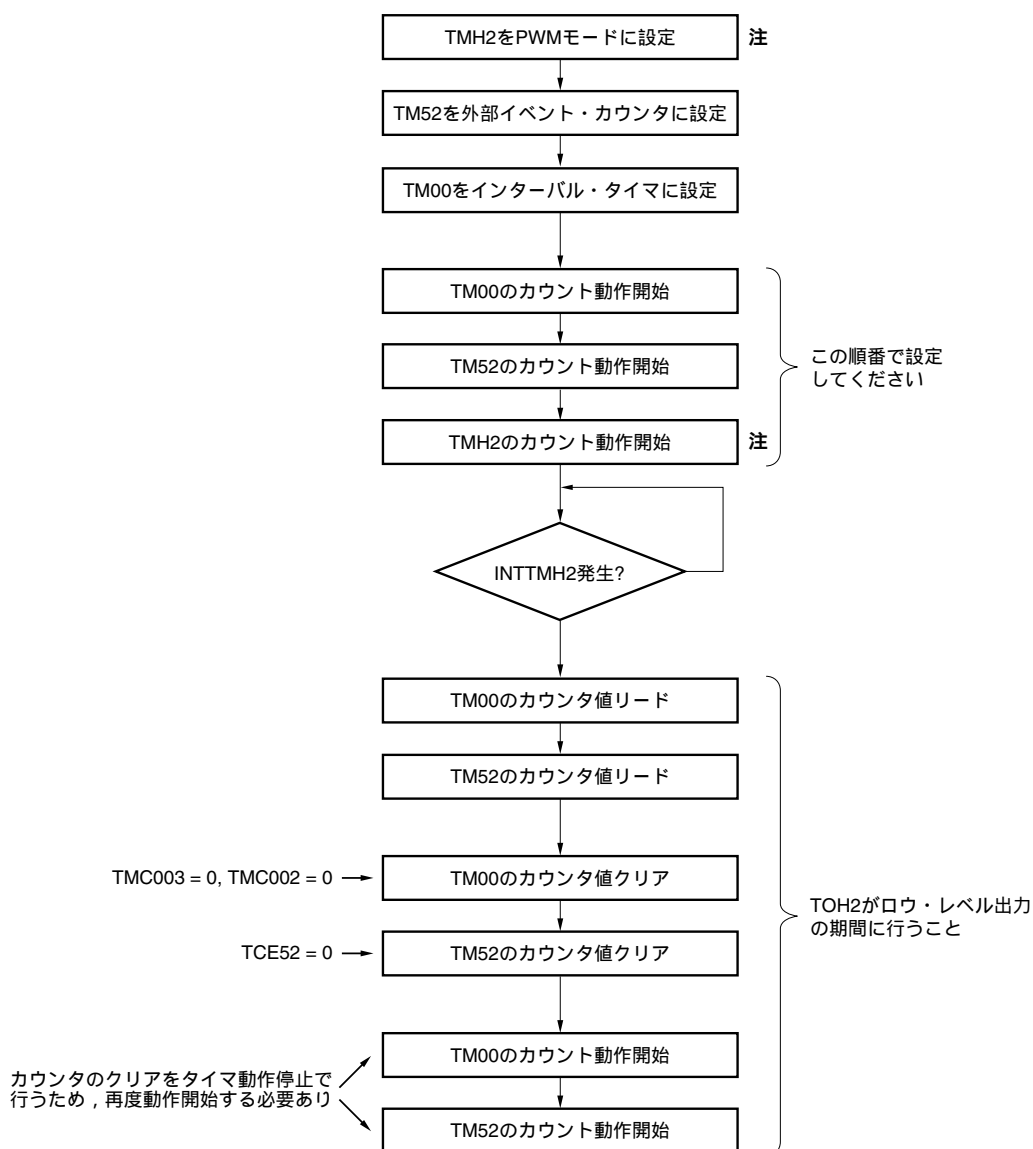


図6 - 56 24ビット外部イベント・カウンタの動作フロー・チャート



注 TI52端子への入力イネーブル制御を行わない場合は、本設定は必要ありません。

6.4.10 24ビット外部イベント・カウンタの注意事項

(1) 8ビット・タイマ・カウンタH2の出力信号

TI52端子への入力イネーブル制御用に使用する8ビット・タイマH2の出力レベル制御(デフォルト値)は必ずハイ・レベルに設定(TOLEV2 = 1)してください。これにより、TI52端子への入力イネーブル信号がディスエーブル(TMH2の出力:ロウ・レベル)時に割り込み要求信号(INTTMH2)が発生し、この割り込み処理でTM52, TM00のカウント値(=入力イネーブル期間の外部イベント・カウント値)を読み出すことができます。

また、この設定(TOLEV2 = 1)により、8ビット・タイマH2の動作許可(TMHE2 = 1)したあと、TMH2とCMP02レジスタの値が一致するまでTI52端子への入力イネーブル信号はハイ・レベル(イネーブル状態)となりますのでご注意ください。

(2) TI52端子への入力イネーブル制御の注意事項

図6-54 24ビット外部イベント・カウンタの構成図、および図6-55 24ビット外部イベント・カウンタの動作タイミングに示したとおり、TI52端子への入力イネーブル制御信号 (TMH2出力信号) はTI52端子入力クロックにより同期化されます。よって、外部イベント・カウンタとして動作する場合、最大で1カウント分の誤差を生じます。

(3) 24ビット外部イベント・カウンタ動作時の16ビット・タイマ/イベント・カウンタ00のカウント・アップ
注意事項

16ビット・タイマ/イベント・カウンタ00は、動作開始時のノイズを除去するために同期化回路を内蔵しており、動作開始直後の1クロックはカウントしません。

このため、16ビット・タイマ/イベント・カウンタ00を上位タイマ、8ビット・タイマ/イベント・カウンタ52を下位タイマとしてカスケード接続して、24ビット・カウンタとして使用する場合、24ビットのカウント値を正確に読み出すためには、以下のように下位タイマである8ビット・タイマ/イベント・カウンタ52の割り込み要求フラグを確認する必要があります。

- ・ TM52, TM00読み出し時にTMIF52 = 1となっていた場合：

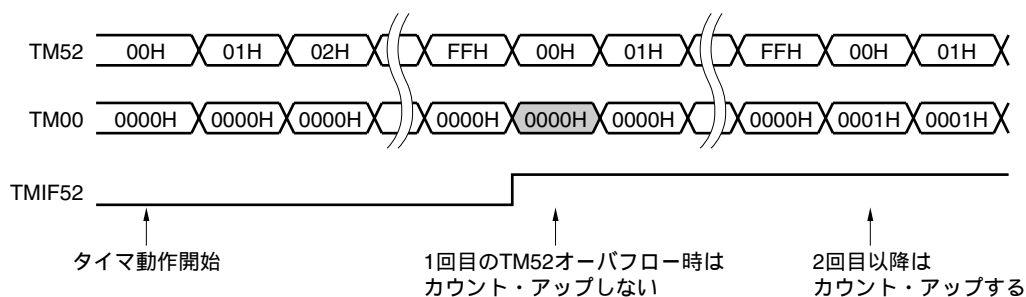
実際のTM00のカウント値は、「TM00読み出し値 + 1」となります。

- ・ TM52, TM00読み出し時にTMIF52 = 0となっていた場合：

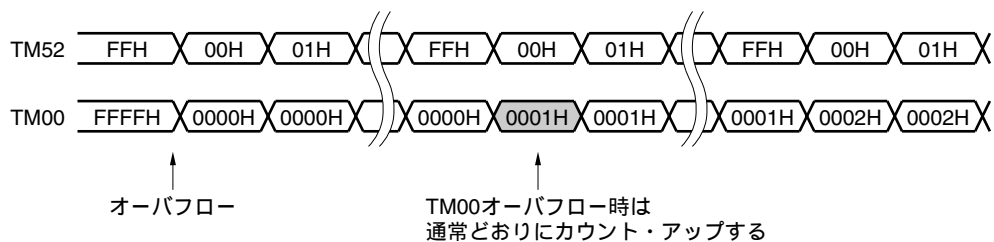
読み出した値が正しい値となります。

なお、16ビット・タイマ/イベント・カウンタ00のこの現象は、タイマ動作開始時のみです。16ビット・タイマ/イベント・カウンタ00がオーバーフローして再度0000Hからカウントするときには、すでに同期が取れているのでカウント遅れは生じません。

< 動作開始時 >



< 上位タイマのオーバーフロー時 >



6.5 TM00の特殊な使用方法

6.5.1 CR010のTM00動作中の書き換え

78K0/Lx3マイクロコントローラでは、TM00動作中（TMC003, TMC002 = 00以外）のとき、コンペア・レジスタとして使用するCR000とCR010の書き換えは原則禁止です。

ただし、CR010だけは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM00動作中でも書き換えができます（CR010の値を現在の設定値よりも小さくする場合には、CR010とTM00の一致直後に、CR010の値を現在の設定値よりも大きくする場合には、CR000とTM00の一致直後に、CR010の値を書き換えてください。CR010とTM00またはCR000とTM00の一致直前で書き換えると、想定しない動作を起こす場合があります）。

CR010の書き換え手順

INTTM010の割り込みを禁止する（TMMK010 = 1）。

TM00とCR010の一致によるタイマ出力反転動作を禁止する（TOC004 = 0）。

CR010を書き換える。

TM00のカウント・クロックの1周期分ウェイトする。

TM00とCR010の一致によるタイマ出力反転動作を許可する（TOC004 = 1）。

INTTM010の割り込みフラグをクリア（0）する（TMIF010 = 0）。

INTTM010の割り込みを許可する（TMMK010 = 0）

備考 TMIF010, TMMK010については第21章 **割り込み機能**を参照してください。

6.5.2 LVS00, LVR00の設定について

(1) LVS00, LVR00の使用用途

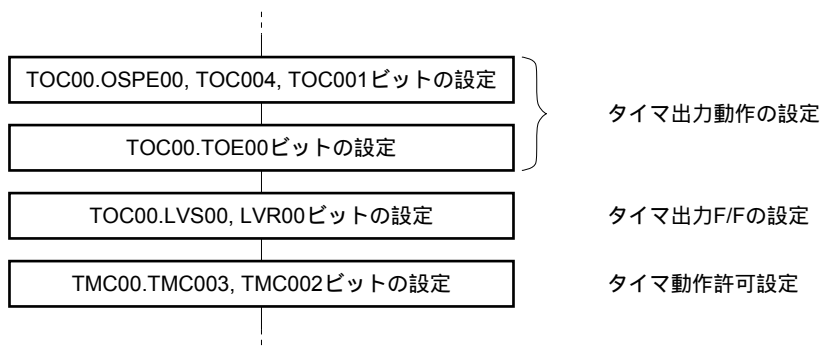
LVS00, LVR00は、TO00出力の初期値を設定したいときや、タイマを動作許可しない（TMC003, TMC002 = 00）でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS00, LVR00は00（初期値ロウ・レベル出力）に設定してください。

LVS00	LVR00	タイマ出力の状態
0	0	変化しない（ロウ・レベル出力）
0	1	クリア（ロウ・レベル出力）
1	0	セット（ハイ・レベル出力）
1	1	設定禁止

(2) LVS00, LVR00の設定方法

LVS00, LVR00は次の手順で設定してください。

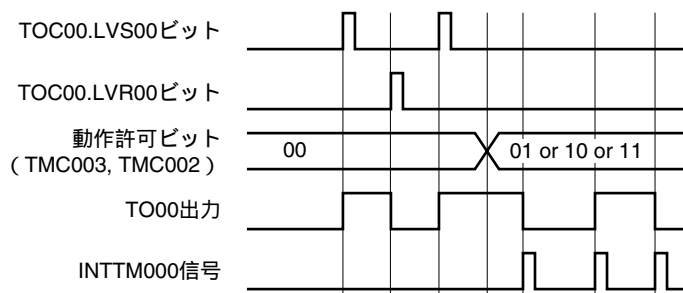
図6 - 57 LVS00, LVR00ビットの設定フロー例



注意 LVS00, LVR00は必ず上記 , , の手順で設定してください。

の設定をしてから, の設定をするまでの間であれば, の設定ができます。

図6 - 58 LVR00, LVS00のタイミング例



LVS00, LVR00 = 10に設定することにより, TO00出力がハイ・レベルになります。

LVS00, LVR00 = 01に設定することにより, TO00出力がロウ・レベルになります

(LVS00, LVR00 = 00に設定しても, ハイ・レベルのまま変化しません)。

TMC003, TMC002 = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS00, LVR00の設定が10だったので, TO00出力はハイ・レベルから始まります。

タイマ動作開始以降は, TMC003, TMC002 = 00(タイマ動作禁止)にするまで, LVS00, LVR00の設定は禁止です。

割り込み信号 (INTTM000) が発生するたびに, TO00出力のレベルが反転します。

6.6 16ビット・タイマ/イベント・カウンタ00の注意事項

(1) 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

表6-3に各チャネルの制限事項を示します。

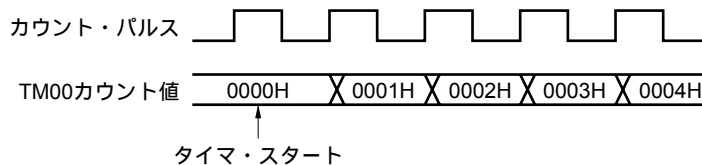
表6-3 16ビット・タイマ/イベント・カウンタ00の各チャネルの制限事項

動作	制限事項
インターバル・タイマとしての動作	-
方形波出力としての動作	
外部イベント・カウンタとしての動作	
TI000端子の有効エッジ入力によるクリア&スタート・モードとしての動作	TI010端子の有効エッジ検出を使用する場合、タイマ出力(TO00)は使用禁止 (TOC00 = 00Hに設定)
フリー・ランニング・タイマとしての動作	-
PPG出力としての動作	0000H CR010 < CR000 FFFFH
ワンショット・パルス出力としての動作	CR000とCR010には同値は設定禁止
パルス幅測定としての動作	タイマ出力(TO00)は使用禁止(TOC00 = 00Hに設定)

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM00のカウント・スタートが非同期で行われるためです。

図6-59 TM00のカウント・スタート・タイミング



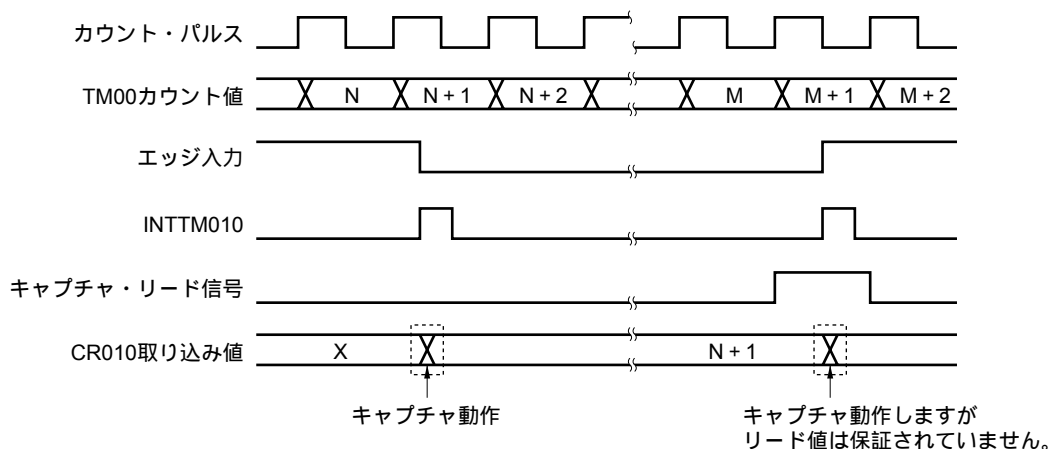
(3) CR000, CR010の設定 (TM00とCR000の一致でクリア&スタート・モードの場合)

CR000, CR010には,0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合, 1パルスのカウント動作はできません)。

(4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR000/CR010の読み出し中にTI000/TI010端子の有効エッジ入力，TI000端子の逆相のエッジを検出したとき，CR010はキャプチャ動作を行います，CR000/CR010の読み出し値は保証されません。このとき，TI000/TI010端子の有効エッジの検出による割り込み信号（INTTM000/INTTM010）は発生しません（TI000端子の逆相のエッジ検出時は，割り込み信号を発生しません）。TI000/TI010端子の有効エッジの検出によるキャプチャ時に，CR000/CR010の値を読み出す場合は，INTTM000/INTTM010発生後に行ってください。

図6 - 60 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ/イベント・カウンタ00停止後のCR000, CR010の値は保証されません。

(5) 有効エッジの設定

TI000端子の有効エッジの設定は，タイマ動作が停止（TMC003, TMC002 = 00）しているときに行ってください。有効エッジの設定は，ES000, ES001で行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで，アクティブ・レベルを出力中に，トリガが発生しないようにしてください。次のトリガ入力は，必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

(7) OVF00フラグの動作**(a) OVF00フラグのセット(1)**

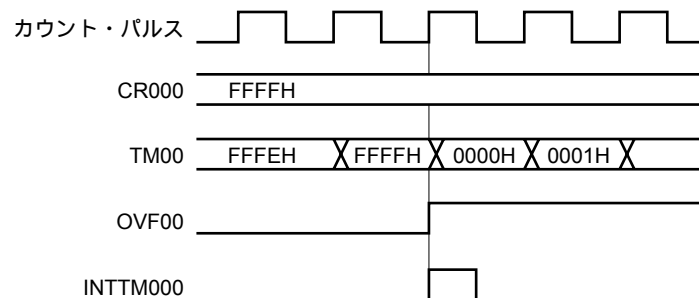
OVF00フラグは、TM00がオーバーフローしたとき以外に、次のときにもセット(1)されます。

TM00とCR000の一致でクリア&スタート・モードを選択

CR000をFFFFHに設定

TM00がCR000との一致によりFFFFHから0000Hにクリアされるとき

図6-61 OVF00フラグの動作タイミング

**(b) OVF00フラグのクリア**

TM00がオーバーフロー後、次のカウント・クロックがカウントされる(TM00が0001Hになる)前に OVF00フラグをクリア(0)しても、再度セット(1)されクリアは無効となります。

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI000端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM00とCR000の一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

(9) キャプチャ動作

(a) カウント・クロックにTI000の有効エッジを指定した場合

カウント・クロックにTI000の有効エッジを指定した場合、TI000をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI010, TI000端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI000, TI010端子に入力するパルスには、PRM00で選択したカウント・クロックの2回分より長いパルス幅が必要です(図6-7を参照)。

(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号(INTTM000, INTTM010)は次のカウント・クロックの立ち上がりで発生します(図6-7を参照)。

(d) CRC001(キャプチャ/コンペア・コントロール・レジスタ00(CRC00)のビット1) = 1に設定したときの注意

TI000端子入力の逆相でTM00レジスタのカウント値をCR000レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号(INTTM000)は発生しません。この動作中に、TI010端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM000信号が発生します。外部割り込みを使用しない場合は、INTTM000信号をマスクしてください。

(10) エッジ検出

(a) リセット後の有効エッジ指定

リセット後、TI000端子またはTI010端子がハイ・レベルの状態、TI000端子またはTI010端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ/イベント・カウンタ00の動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI000の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_{PRS} 固定で、後者はPRM00で選択したカウント・クロックでサンプリングします。

TI000端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます(図6-7を参照)。

(11) タイマ動作について

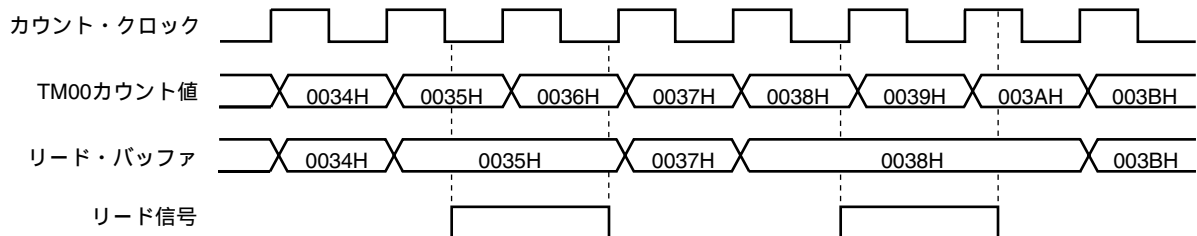
CPUの動作モードに関係なく、タイマが停止していると、TI000/ TI010端子への入力信号は受け付けられません。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(12) 16ビット・タイマ・カウンタ00 (TM00) のリードについて

TM00は、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります。

図6 - 62 16ビット・タイマ・カウンタ00 (TM00) のリード・タイミング



第7章 8ビット・タイマ/イベント・カウンタ50, 51, 52

7.1 8ビット・タイマ/イベント・カウンタ50, 51, 52の機能

8ビット・タイマ/イベント・カウンタ50, 51, 52は, 78K0/Lx3マイクロコントローラの全製品に搭載されています。8ビット・タイマ/イベント・カウンタ50, 51, 52には, 次のような機能があります。

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
インターバル・タイマ	TM50, TM51, TM52		TM50, TM51, TM52	
外部イベント・カウンタ ^注	TM52			
方形波出力	-		TM50, TM51	
PWM出力				

注 TM52とTM00をカスケード接続することにより24ビット外部イベント・カウンタとして使用できます。また, TM52の外部イベント入力, TMH2によって入力イネーブル制御可能です。詳細は, **第6章 16ビット・タイマ/イベント・カウンタ00**を参照してください。

7.2 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成

8ビット・タイマ/イベント・カウンタ50, 51, 52は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51, 52の構成

(a) 78K0/LC3, 78K0/LD3

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI52
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

(b) 78K0/LE3, 78K0/LF3

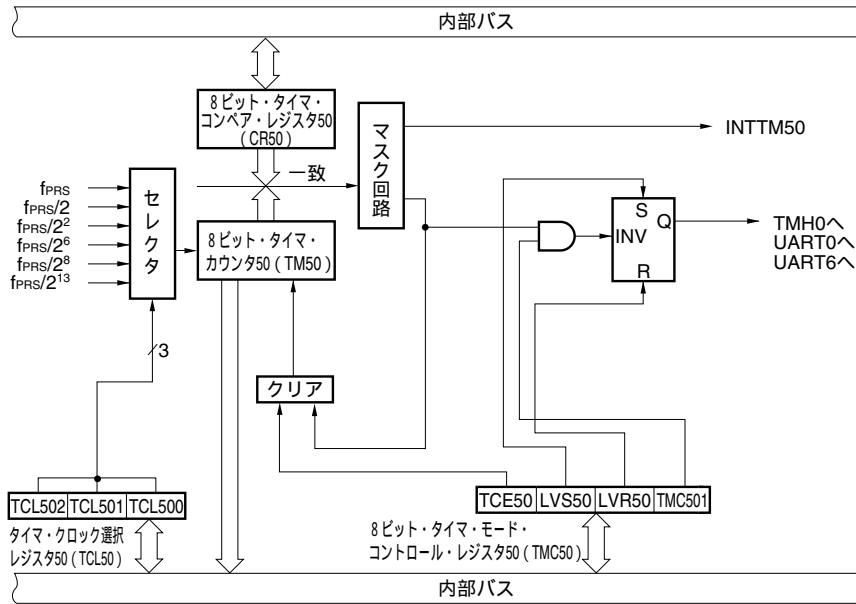
項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n (TM5n)
レジスタ	8ビット・タイマ・コンペア・レジスタ5n (CR5n)
タイマ入力	TI5n
タイマ出力	TO50, TO51
制御レジスタ	タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) 入力切り替え制御レジスタ (ISC) ポート・モード・レジスタ3 (PM3) またはポート・モード・レジスタ4 (PM4) ポート・レジスタ3 (P3) またはポート・レジスタ4 (P4)

備考 n = 0-2

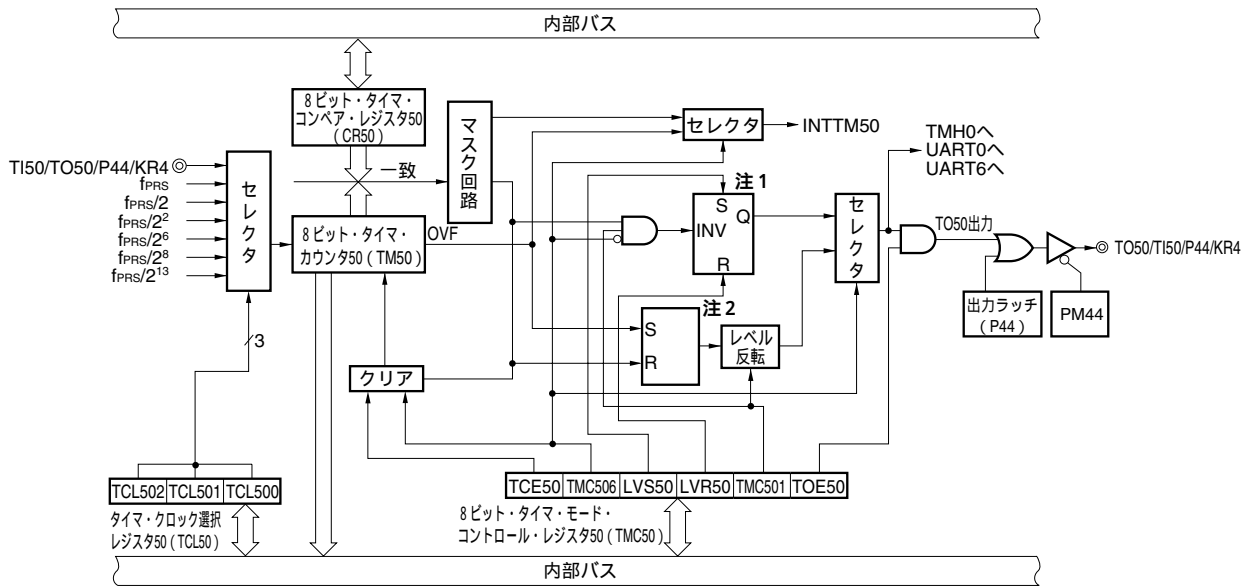
図7-1~図7-3に、8ビット・タイマ/イベント・カウンタ50, 51, 52のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図

(a) 78K0/LC3, 78K0/LD3



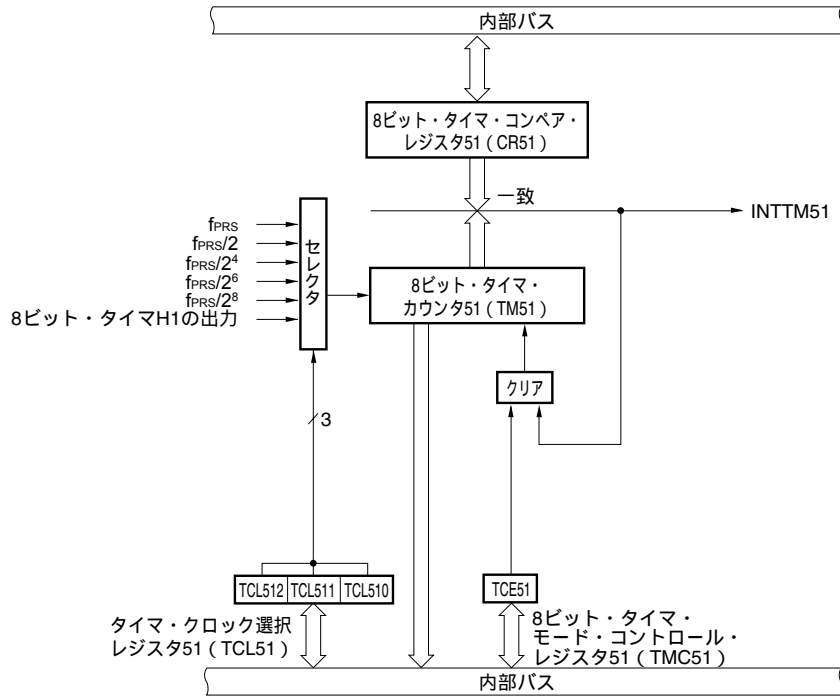
(b) 78K0/LE3, 78K0/LF3



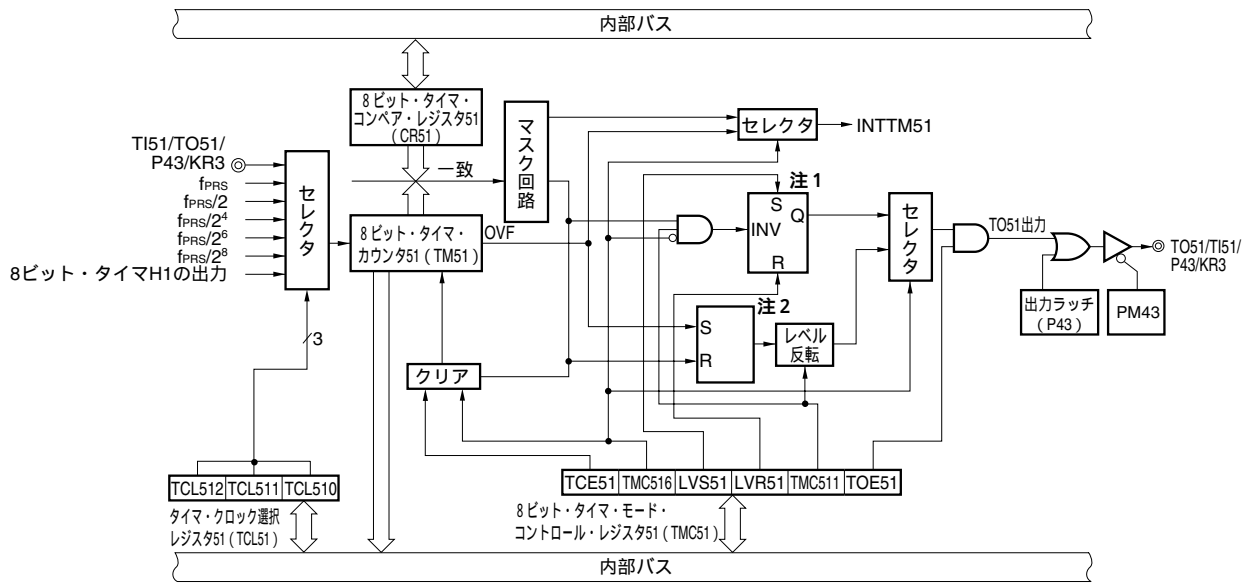
- 注1. タイマ出力F/F
- 2. PWM出力F/F

図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図

(a) 78K0/LC3, 78K0/LD3



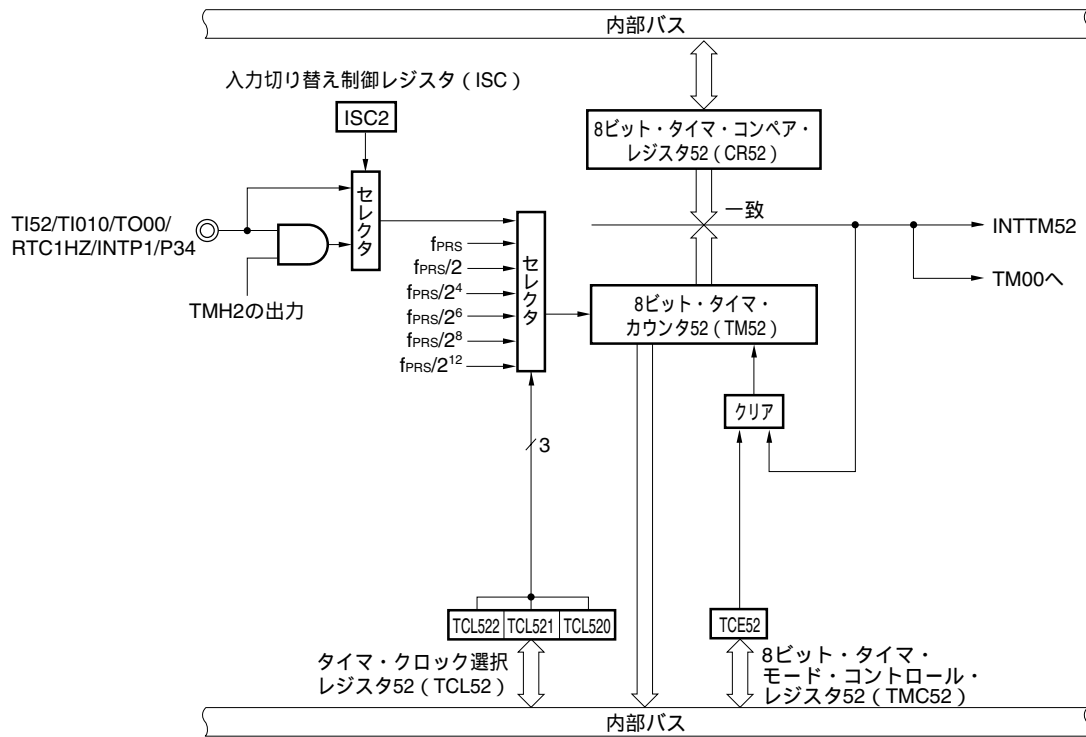
(b) 78K0/LE3, 78K0/LF3



注1. タイマ出力F/F

2. PWM出力F/F

図7-3 8ビット・タイマ/イベント・カウンタ52のブロック図

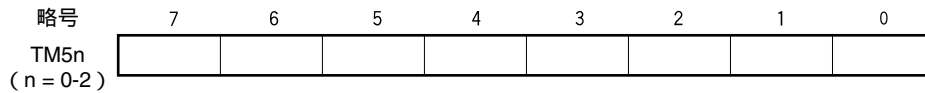


(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nは、カウント・パルスをカウントする8ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

図7-4 8ビット・タイマ・カウンタ5n (TM5n) のフォーマット

アドレス：FF16H (TM50)，FF6FH (TM51)，FF51H (TM52) リセット時：00H R



次の場合、カウント値は00Hになります。

- リセット信号の発生
- TCE5nをクリア
- TM5nとCR5nの一致でクリア&スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

CR5nは、8ビット・メモリ操作でリード/ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と、8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5n) を発生します。

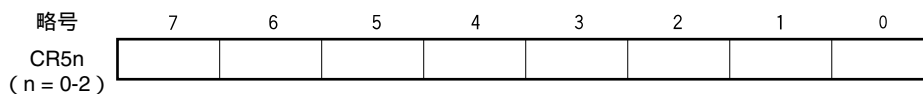
PWMモード時は、TM5nとCR5nの値の一致により、TO5n出力はインアクティブ・レベルになりますが、割り込みは発生しません。

CR5nの値は、00H-FFHの範囲で設定できます。

リセット信号の発生により、00Hになります。

図7-5 8ビット・タイマ・コンペア・レジスタ5n (CR5n) のフォーマット

アドレス：FF17H (CR50)，FF41H (CR51)，FF59H (CR52) リセット時：00H R/W



- 注意1.** TM5nとCR5nの一致でクリア&スタート・モード (TMC5n6 = 0) 時は、動作中にCR5nに異なる値を書き込まないでください。
- 2.** PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0-2

7.3 8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタには、次の5種類があります。

- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・モード・レジスタ3 (PM3) またはポート・モード・レジスタ4 (PM4) ^{注1}
- ・ポート・レジスタ3 (P3) またはポート・レジスタ4 (P4) ^{注2}

- 注1. 78K0/LC3, 78K0/LD3: PM3
78K0/LE3, 78K0/LF3: PM3またはPM4
2. 78K0/LC3, 78K0/LD3: P3
78K0/LE3, 78K0/LF3: P3またはP4

(1) タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ/イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0-2

図7-6 タイマ・クロック選択レジスタ50 (TCL50) のフォーマット

アドレス : FF6AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

(a) 78K0/LC3, 78K0/LD3

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	設定禁止			
0	0	1	設定禁止			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz

(b) 78K0/LE3, 78K0/LF3

TCL502	TCL501	TCL500	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	TI50端子の立ち下がりエッジ ^{注3}			
0	0	1	TI50端子の立ち上がりエッジ ^{注3}			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2.5 MHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹³	0.24 kHz	0.61 kHz	1.22 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL502, TCL501, TCL500 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI50端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7-7 タイマ・クロック選択レジスタ51 (TCL51) のフォーマット

アドレス : FF8CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

(a) 78K0/LC3, 78K0/LD3

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	設定禁止			
0	0	1	設定禁止			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	タイマH1の出力信号			

(b) 78K0/LE3, 78K0/LF3

TCL512	TCL511	TCL510	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	TI51端子の立ち下がりエッジ ^{注3}			
0	0	1	TI51端子の立ち上がりエッジ ^{注3}			
0	1	0	f _{PRS} ^{注2}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	タイマH1の出力信号			

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL512, TCL511, TCL510 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。

3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI51端子からの外部クロックでタイマ動作を開始させないでください。

注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図7-8 タイマ・クロック選択レジスタ52 (TCL52) のフォーマット

アドレス : FF5BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL52	0	0	0	0	0	TCL522	TCL521	TCL520

TCL522	TCL521	TCL520	カウント・クロックの選択 ^{注1}			
			f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	ISC2で選択されたクロックの立ち下がりエッジ ^{注2}			
0	0	1	ISC2で選択されたクロックの立ち上がりエッジ ^{注2}			
0	1	0	f _{PRS} ^{注3}	2 MHz	5 MHz	10 MHz
0	1	1	f _{PRS} /2	1 MHz	2.5 MHz	5 MHz
1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	625 kHz
1	0	1	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	1	0	f _{PRS} /2 ⁸	7.81 kHz	19.53 kHz	39.06 kHz
1	1	1	f _{PRS} /2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- ・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz
- ・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、TI52端子からの外部クロックでタイマ動作を開始させないでください。
3. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TCL522, TCL521, TCL520 = 0, 1, 0 (カウント・クロック : f_{PRS}) は設定禁止です。

注意1. TCL52を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

2. ビット3-7には必ず“0”を設定してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

TMC5nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御

8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択^注

タイマ出力F/F (フリップフロップ) の状態設定^注

タイマF/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択^注

タイマ出力の制御^注

注 78K0/LE3, 78K0/LF3のTM50, TM51のみ。

備考 n = 0-2

図7-9 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット (1/2)

(a) 78K0/LC3, 78K0/LD3

アドレス: FF6BH リセット時: 00H R/W^注

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	0	0	0	LVS50	LVR50	TMC501	0

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (カウンタ停止)
1	カウント動作開始

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TM50の出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TM50の出力初期値ハイ・レベル)
1	1	設定禁止

TMC501	タイマF/Fの制御
0	反転動作禁止
1	反転動作許可

注 ビット2, 3はWrite Onlyです。

注意1. ビット0, 4-6には、必ず0を設定してください。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC501を設定 : 動作モードの設定

LVS50, LVR50を設定 : タイマF/Fの設定

TCE50を設定

備考 LVS50, LVR50は読み出すと、0になっています。

図7-9 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のフォーマット (2/2)

(b) 78K0/LE3, 78K0/LF3

アドレス : FF6BH リセット時 : 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50
TCE50	TM50のカウンタ動作制御							
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)							
1	カウンタ動作開始							
TMC506	TM50の動作モード選択							
0	TM50とCR50の一致でクリア&スタート・モード							
1	PWM (フリー・ランニング) モード							
LVS50	LVR50	タイマ出力F/Fの状態設定						
0	0	変化しない						
0	1	タイマ出力F/Fをクリア (0) (TO50出力初期値ロウ・レベル)						
1	0	タイマ出力F/Fをセット (1) (TO50出力初期値ハイ・レベル)						
1	1	設定禁止						
TMC501	PWMモード以外 (TMC506 = 0)				PWMモード (TMC506 = 1)			
	タイマF/Fの制御				アクティブ・レベルの選択			
0	反転動作禁止				ハイ・アクティブ			
1	反転動作許可				ロウ・アクティブ			
TOE50	タイマ出力の制御							
0	出力禁止 (TO50出力はロウ・レベル出力)							
1	出力許可							

注 ビット2, 3はWrite Onlyです。

注意1. LVS50とLVR50の設定は, PWMモード時以外で有効になります。

2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。

TMC501, TMC506を設定 : 動作モードの設定

出力を許可する場合, TOE50を設定 : タイマ出力許可

LVS50, LVR50を設定 (注意1) : タイマF/Fの設定

TCE50を設定

3. TCE50 = 1のとき, TMC50の他のビットを設定することは禁止です。

4. 実際のTO50/TI50/P44/KR4端子の出力は, TO5n出力のほかにPM44とP44によって決まります。

5. ビット4, 5には, 必ず0を設定してください。

備考1. PWMモード時は, TCE50 = 0により, PWM出力はインアクティブ・レベルになります。

2. LVS50, LVR50は読み出すと, 0になっています。

3. TMC506, LVS50, LVR50, TMC501, TOE50の各ビットの値は, TCE50の値に関係なくTO50端子に反映されます。

図7-10 8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のフォーマット

(a) 78K0/LC3, 78K0/LD3

アドレス: FF43H リセット時: 00H R/W^注

略号	[7]	6	5	4	3	2	1	0
TMC51	TCE51	0	0	0	0	0	0	0

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

注意 ビット0-6には, 必ず0を設定してください。

(b) 78K0/LE3, 78K0/LF3

アドレス: FF43H リセット時: 00H R/W^注

略号	[7]	6	5	4	[3]	[2]	1	[0]
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)
1	カウンタ動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア&スタート・モード
1	PWM (フリー・ランニング) モード

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをクリア (0) (TO51出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO51出力初期値ハイ・レベル)
1	1	設定禁止

TMC511	PWMモード以外 (TMC516 = 0)	PWMモード (TMC516 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止 (TO51出力はロウ・レベル出力)
1	出力許可

注 ビット2, 3はWrite Onlyです。

- 注意1.** LVS51とLVR51の設定は、PWMモード時以外で有効になります。
2. 次の ~ の設定は同時に行わないでください。また設定は次の手順で行ってください。
TMC511, TMC516を設定 : 動作モードの設定
出力を許可する場合, TOE51を設定 : タイマ出力許可
LVS51, LVR51を設定 (注意1) : タイマF/Fの設定
TCE51を設定
 3. TCE51 = 1のとき, TMC51の他のビットを設定することは禁止です。
 4. 実際のTO51/TI51/P43/KR3端子の出力は, TO51出力のほかにPM43とP43によって決まります。
 5. ビット4, 5には, 必ず0を設定してください。

- 備考1.** PWMモード時は, TCE51 = 0により, PWM出力はインアクティブ・レベルになります。
2. LVS51, LVR51は読み出すと, 0になっています。
 3. TMC516, LVS51, LVR51, TMC511, TOE51の各ビットの値は, TCE51の値に関係なくTO51端子に反映されます。

図7 - 11 8ビット・タイマ・モード・コントロール・レジスタ52 (TMC52) のフォーマット

アドレス : FF5CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMC52	TCE52	0	0	0	0	0	0	0
	TCE52	TM52のカウンタ動作制御						
	0	カウンタを0にクリア後, カウンタ動作禁止 (カウンタ停止)						
	1	カウンタ動作開始						

注意 ビット0-6には, 必ず0を設定してください。

(3) 入力切り替え制御レジスタ (ISC)

ISC2に1をセットすることで、TOH2出力信号によりTI52入力信号が制御可能になります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-12 入力切り替え制御レジスタ (ISC) のフォーマット (1/2)

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

アドレス: FF4FH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6入力ソースの選択
0	0	TxD6:P112, RxD6:P113
1	0	TxD6:P13, RxD6:P12
上記以外		設定禁止

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC2	TI52入力ソースの制御
0	TI52入力 (P34) のイネーブル制御なし
1	TI52入力 (P34) のイネーブル制御あり ^{注1}

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P12またはP113 ^{注2})

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P12またはP113 ^{注2})

注1. TOH2出力信号により制御できます。

2. ISC5, ISC4によって選択されます。

図7-12 入力切り替え制御レジスタ (ISC) のフォーマット (2/2)

(b) 78K0/LF3

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6入力ソースの選択
0	0	TxD6:P112, RxD6:P113
0	1	TxD6:P16, RxD6:P15
上記以外		設定禁止

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC2	TI52入力ソースの制御
0	TI52入力 (P34) のイネーブル制御なし
1	TI52入力 (P34) のイネーブル制御あり ^{注1}

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P15またはP113 ^{注2})

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P15またはP113 ^{注2})

注1. TOH2出力信号により制御できます。

2. ISC5, ISC4によって選択されます。

(4) ポート・モード・レジスタ3, 4 (PM3, PM4)

ポート3, 4の入力/出力を1ビット単位で設定するレジスタです。

PM3, PM4は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

(a) 78K0/LC3, 78K0/LD3

P34/TI52/TI010/TO00/RTC1HZ/INTP1端子をタイマ入力として使用するとき, PM34に1を設定してください。このとき, P34の出力ラッチは0または1のどちらでもかまいません。

(b) 78K0/LE3, 78K0/LF3

P44/TO50/TI50/KR4, P43/TO51/TI51/KR3端子をタイマ出力として使用するとき, PM44, PM43およびP44, P43の出力ラッチに0を設定してください。

P44/TO50/TI50/KR4, P43/TO51/TI51/KR3, P34/TI52/TI010/TO00/RTC1HZ/INTP1端子をタイマ入力として使用するとき, PM44, PM43, PM34に1を設定してください。このとき, P44, P43, P34の出力ラッチは0または1のどちらでもかまいません。

図7-13 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス: FF23H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/LF3のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては, 4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

図7-14 ポート・モード・レジスタ4 (PM4) のフォーマット

アドレス: FF24H リセット時: FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は, 78K0/LF3のポート・モード・レジスタ4のフォーマットです。他の製品のポート・モード・レジスタ4のフォーマットについては, 4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

7.4 8ビット・タイマ/イベント・カウンタ50, 51, 52の動作

7.4.1 インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) を発生します。

タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) でTM5nのカウント・クロックを選択できます。

設定方法

各レジスタの設定を行います。

- ・ TCL5n : カウント・クロックの選択
- ・ CR5n : コンペア値
- ・ TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択
(78K0/LC3, 78K0/LD3 : TMC50 = 0000 x x x 0B, TMC51 = TMC52 = 00000000B)
(78K0/LE3, 78K0/LF3 : TMC5n = 0000 x x x 0B) x : don't care

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

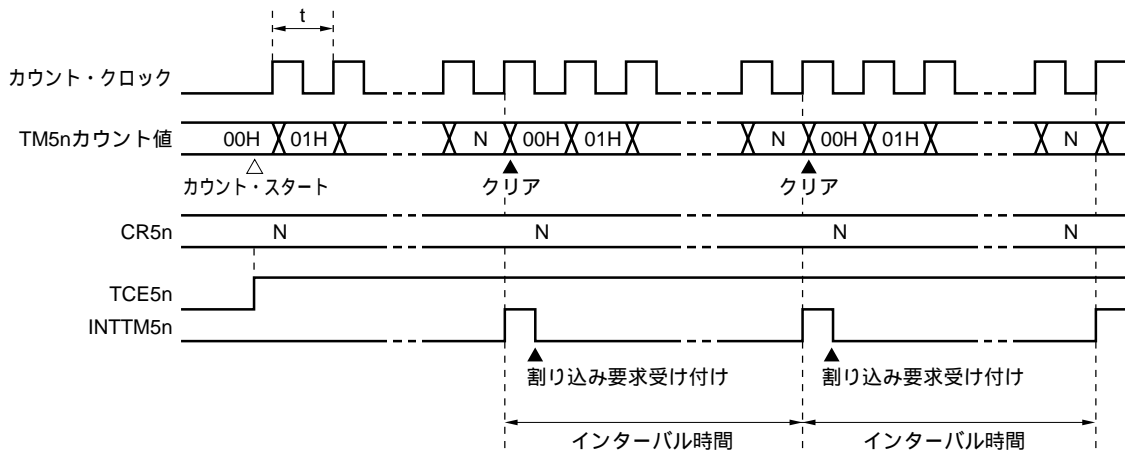
注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第21章 **割り込み機能**を参照してください。

2. n = 0-2

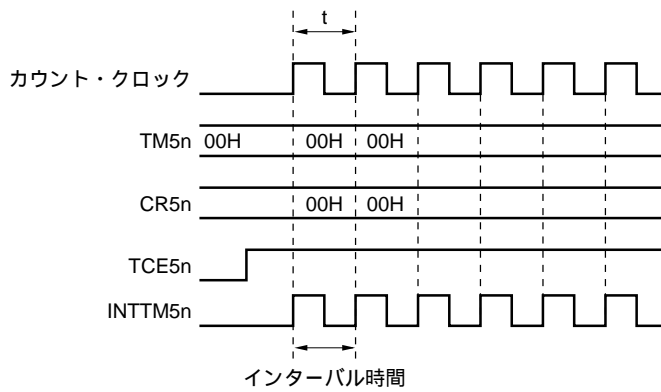
図7-15 インターバル・タイマ動作のタイミング

(a) 基本動作

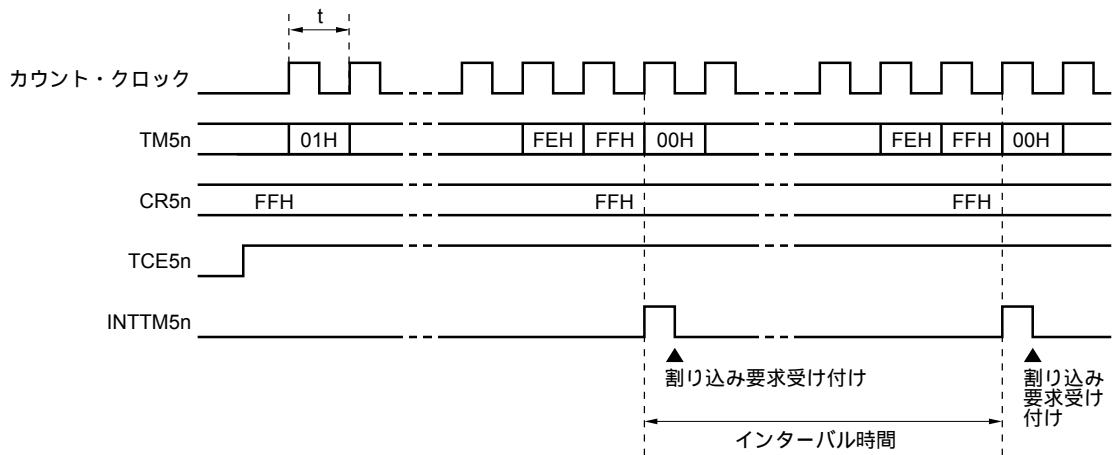


備考 インターバル時間 = (N + 1) × t
 N = 01H-FFH

(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



備考 n = 0-2

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

備考 78K0/LC3, 78K0/LD3は、TM52のみ外部イベント・カウンタを搭載

設定方法

各レジスタの設定を行います。

・ポート・モード・レジスタ (PM44, PM43, PM34) ^注に “1” を設定

・TCL5n : TI5n端子入力のエッジ選択

TI5n端子の立ち下がり TCL5n = 00H

TI5n端子の立ち上がり TCL5n = 01H

・CR5n : コンペア値

・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モード選択, タイマF/F反転動作禁止, タイマ出力禁止

(78K0/LC3, 78K0/LD3 : TMC52 = 00000000B)

(78K0/LE3, 78K0/LF3 : TMC5n = 0000 x x 00B) x : don't care

TCE5n = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、TM5nとCR5nの値が一致するたびに、INTTM5nが発生します。

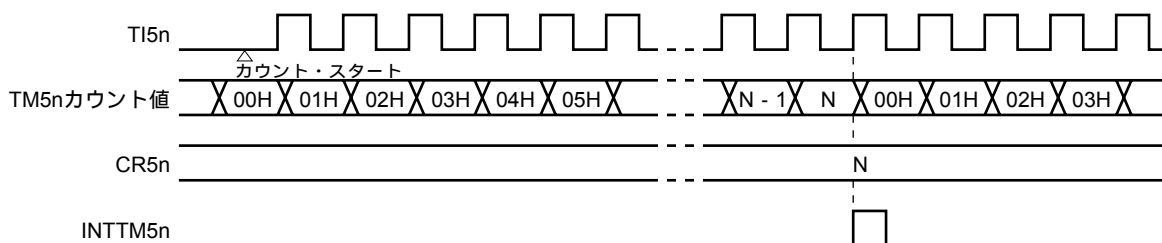
注 8ビット・タイマ/イベント・カウンタ50 : PM44

8ビット・タイマ/イベント・カウンタ51 : PM43

8ビット・タイマ/イベント・カウンタ52 : PM34

備考 INTTM5n信号の割り込み許可については、第21章 割り込み機能を参照してください。

図7-16 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考1. 8ビット・タイマ/イベント・カウンタ52 (TM52) は、16ビット・タイマ/イベント・カウンタ (TM00) とカスケード接続することにより、24ビット外部イベント・カウンタとして使用できます。

また、TMH2によりTM52の入力をイネーブル制御可能です。詳細は、6.4.9 24ビット外部イベント・カウンタとしての動作を参照してください。

2. N = 00H-FFH,

78K0/LC3, 78K0/LD3 : n = 2, 78K0/LE3, 78K0/LF3 : n = 0-2

7.4.3 方形波出力としての動作 (78K0/LE3, 78K0/LF3のみ)

8ビット・タイマ・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット0 (TOE5n) に1を設定することにより、CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより、任意の周波数の方形波出力 (デューティ= 50 %) が可能です。

設定方法

各レジスタの設定を行います。

- ・ポートの出力ラッチ (P44, P43)^注, ポート・モード・レジスタ (PM44, PM43)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	1	タイマ出力F/Fをクリア (0) (TO5n出力初期値ロウ・レベル)
1	0	タイマ出力F/Fをセット (1) (TO5n出力初期値ハイ・レベル)

タイマ出力許可

(TMC5n = 00001011Bまたは00000111B)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、タイマ出力F/Fが反転します。

また、INTTM5nが発生し、TM5nは00Hにクリアされます。

以後、同一間隔でタイマ出力F/Fが反転し、TO5nから方形波が出力されます。

周波数は次のようになります。

- ・周波数 = $1/2 t (N + 1)$
(N : 00H-FFH)

注 8ビット・タイマ/イベント・カウンタ50 : P44, PM44

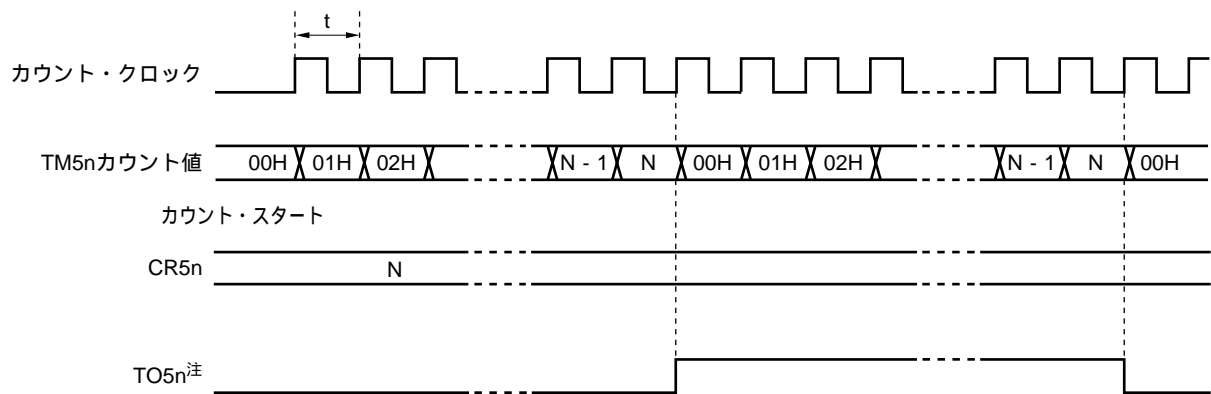
8ビット・タイマ/イベント・カウンタ51 : P43, PM43

注意 動作中にCR5nに異なる値を書き込まないでください。

備考1. INTTM5n信号の割り込み許可については、第21章 割り込み機能を参照してください。

2. n = 0, 1

図7-17 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

7.4.4 PWM出力としての動作 (78K0/LE3, 78K0/LF3のみ)

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット6 (TMC5n6) を“1” に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n (CR5n) に設定した値で決まるデューティのパルスを、TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nに設定してください。また、アクティブ・レベルは、TMC5nのビット1 (TMC5n1) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ5n (TCL5n) のビット0-2 (TCL5n0-TCL5n2) で選択できます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

注意 PWMモード時は、CR5nの書き換え間隔をカウント・クロック (TCL5nで選択したクロック) の3カウント・クロック以上にしてください。

備考 n = 0, 1

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・ポートの出カラッチ (P44, P43)^注, ポート・モード・レジスタ (PM44, PM43)^注に“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC5n = 01000001Bまたは01000011B)

TCE5n = 1に設定すると, カウント動作を開始します。

カウント動作を停止するときは, TCE5nに“0”を設定してください。

注 8ビット・タイマ/イベント・カウンタ50 : P44, PM44

8ビット・タイマ/イベント・カウンタ51 : P43, PM43

PWM出力の動作

PWM出力 (TO5n出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると, アクティブ・レベルを出力します。アクティブ・レベルは, CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致すると, インアクティブ・レベルを出力し, 再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後, カウント動作が停止されるまで, を繰り返します。

TCE5n = 0によりカウント動作を停止すると, PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては, 図7-18, 図7-19を参照してください。

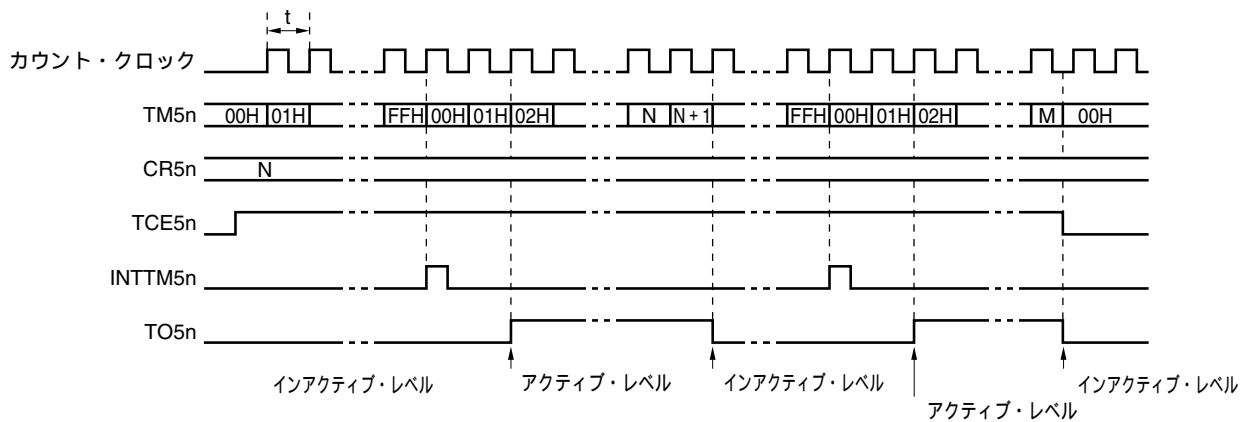
周期, アクティブ・レベル幅, デューティは次のようになります。

- ・周期 = $2^8 t$
 - ・アクティブ・レベル幅 = Nt
 - ・デューティ = $N/2^8$
- (N = 00H-FFH)

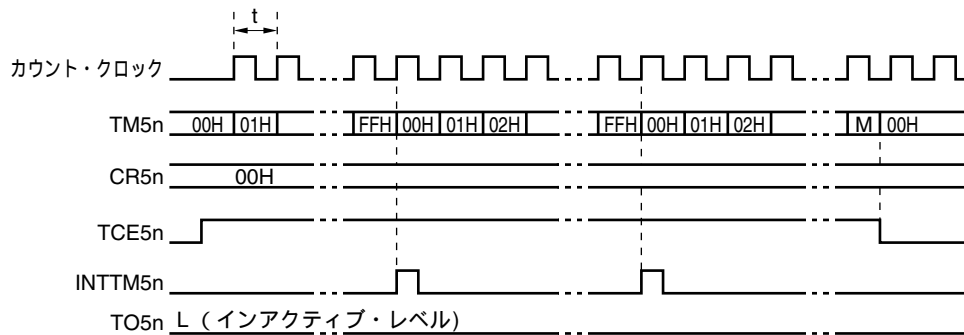
備考 n = 0, 1

図7-18 PWM出力動作のタイミング

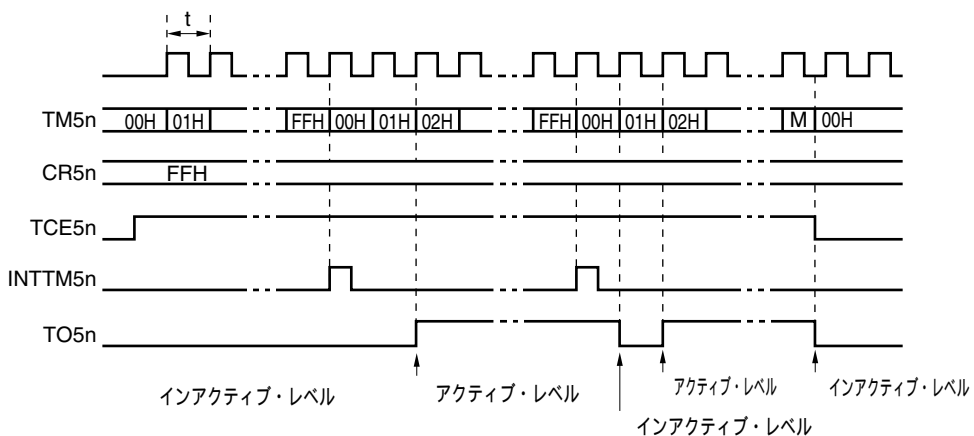
(a) 基本動作 (アクティブ・レベル = Hのとき)



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



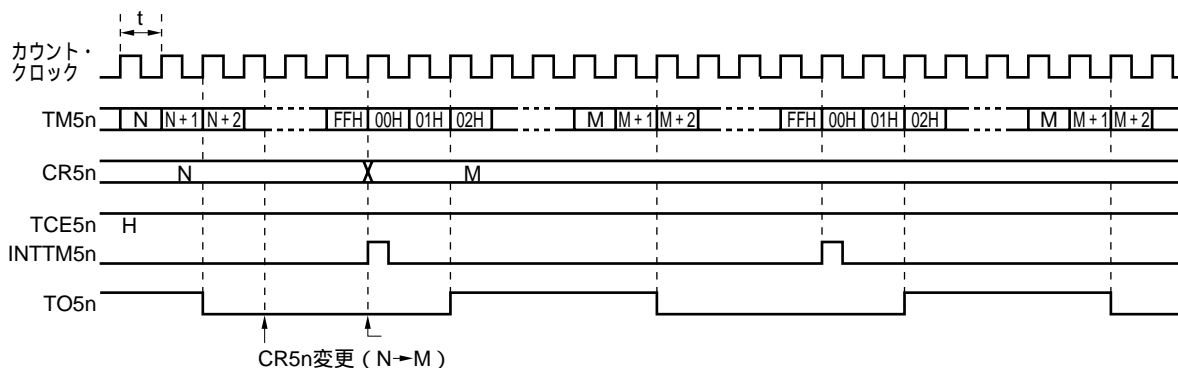
備考1. 図7-18(a)と(c)の - , は、7.4.4(1) PWM出力の基本動作 PWM出力の動作 の - , と対応しています。

2. $n = 0, 1$

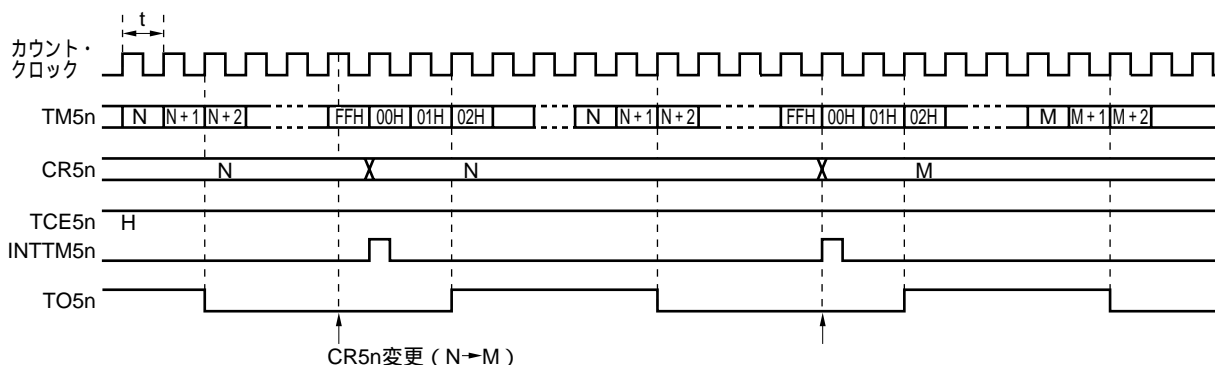
(2) CR5n変更による動作

図7-19 CR5n変更による動作のタイミング

(a) CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合
直後のオーバーフローでCR5nに値が転送されます



(b) CR5nの値をFFHのクロック立ち上がりエッジよりも後にN Mに変更した場合
2回目のオーバーフローでCR5nに値が転送されます



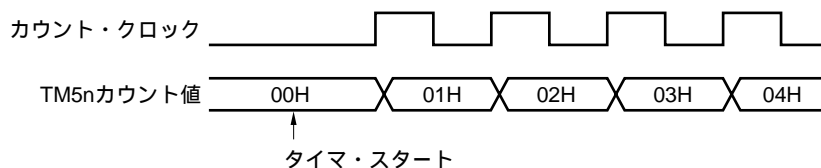
注意 図7-19の から の間でCR5nからリードする場合、実際に動作する値と異なります(リード値: M, 実際のCR5nの値: N)。

7.5 8ビット・タイマ/イベント・カウンタ50, 51, 52の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・クロックに対して8ビット・タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52) が非同期でスタートするためです。

図7-20 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング



備考 n = 0-2

(2) 24ビット外部イベント・カウンタ動作時の16ビット・タイマ/イベント・カウンタ00のカウント・アップ 注意事項

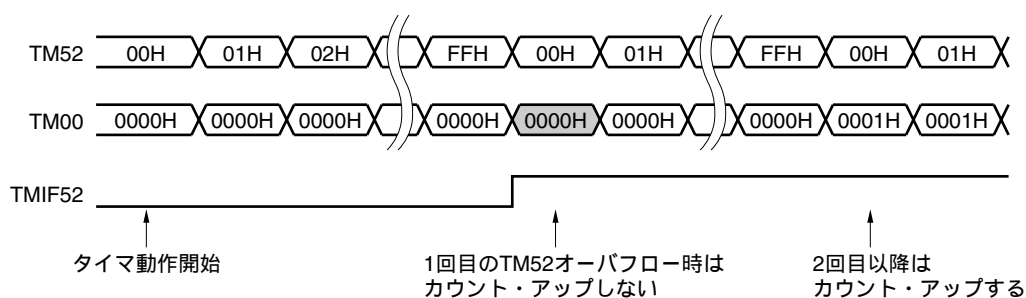
16ビット・タイマ/イベント・カウンタ00は、動作開始時のノイズを除去するために同期化回路を内蔵しており、動作開始直後の1クロックはカウントしません。

このため、16ビット・タイマ/イベント・カウンタ00を上位タイマ、8ビット・タイマ/イベント・カウンタ52を下位タイマとしてカスケード接続して、24ビット・カウンタとして使用する場合、24ビットのカウント値を正確に読み出すためには、以下のように下位タイマである8ビット・タイマ/イベント・カウンタ52の割り込み要求フラグを確認することが必要です。

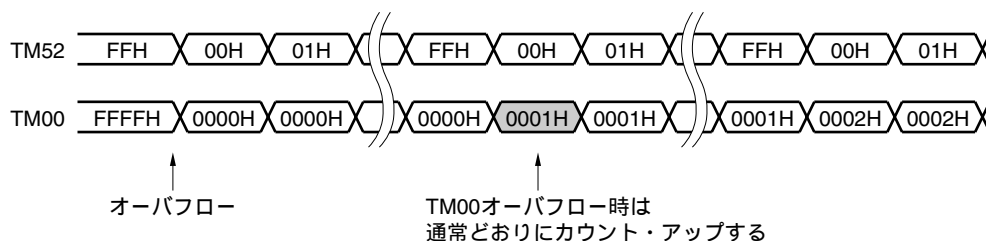
- ・ TM52, TM00読み出し時にTMIF52 = 1となっていた場合：
実際のTM00のカウント値は、「TM00読み出し値 + 1」となります。
- ・ TM52, TM00読み出し時にTMIF52 = 0となっていた場合：
読み出した値が正しい値となります。

なお、16ビット・タイマ/イベント・カウンタ00のこの現象は、タイマ動作開始時のみです。16ビット・タイマ/イベント・カウンタ00がオーバーフローして再度0000Hからカウントするときには、すでに同期が取れているのでカウント遅れは生じません。

< 動作開始時 >



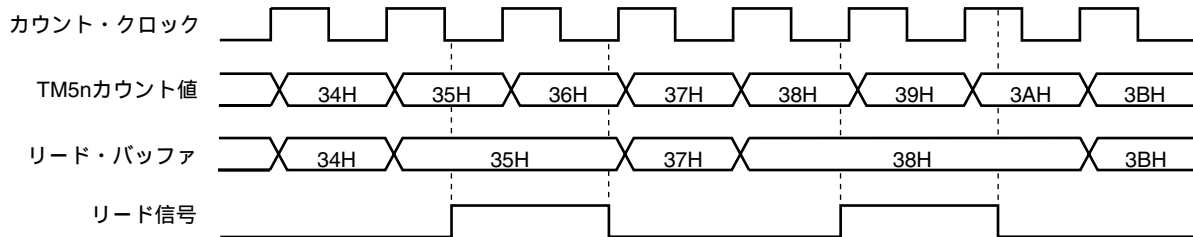
< 上位タイマのオーバーフロー時 >



(3) 8ビット・タイマ・カウンタ5n (TM5n) のリードについて

TM5nは、バッファに取り込まれたカウント値を固定してリードするため、実際のカウンタを停止せずにリードすることができます。ただし、バッファはカウンタのカウント・アップのタイミングで更新されるため、カウント・アップの直前にリードした場合、バッファが更新されない場合があります

図7 - 21 8ビット・タイマ・カウンタ5n (TM5n) のリード・タイミング



備考 n = 0-2

第8章 8ビット・タイマH0, H1, H2

8.1 8ビット・タイマH0, H1, H2の機能

8ビット・タイマH0, H1, H2は、78K0/Lx3マイクロコントローラ的全製品に搭載されています。
8ビット・タイマH0, H1, H2には、次のような機能があります。

- ・インターバル・タイマ
- ・方形波出力^{注1}
- ・PWM出力^{注2}
- ・キャリア・ジェネレータ^{注3}

注1. TMH0, TMH1のみ。

2. ただし、TOHnはTOH0, TOH1のみ。

3. TMH1のみ。TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

8.2 8ビット・タイマH0, H1, H2の構成

8ビット・タイマH0, H1, H2は、次のハードウェアで構成されています。

表8 - 1 8ビット・タイマH0, H1, H2の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n (CMP0n) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)
タイマ出力	TOHn ^{注1} , 出力制御回路
制御レジスタ	8ビット・タイマHモード・レジスタn (TMHMDn) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) ^{注2} ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

注1. TMH2には出力端子 (TOH2) はありません。内部割り込み (INTTMH2) または
TI52端子の外部イベント入力イネーブル信号としてのみ使用できます。

2. 8ビット・タイマH1のみ。

備考 n = 0-2, ただしTOHnはTOH0, TOH1のみ。

図8 - 1 ~ 図8 - 3にブロック図を示します。

図8-1 8ビット・タイマH0のブロック図

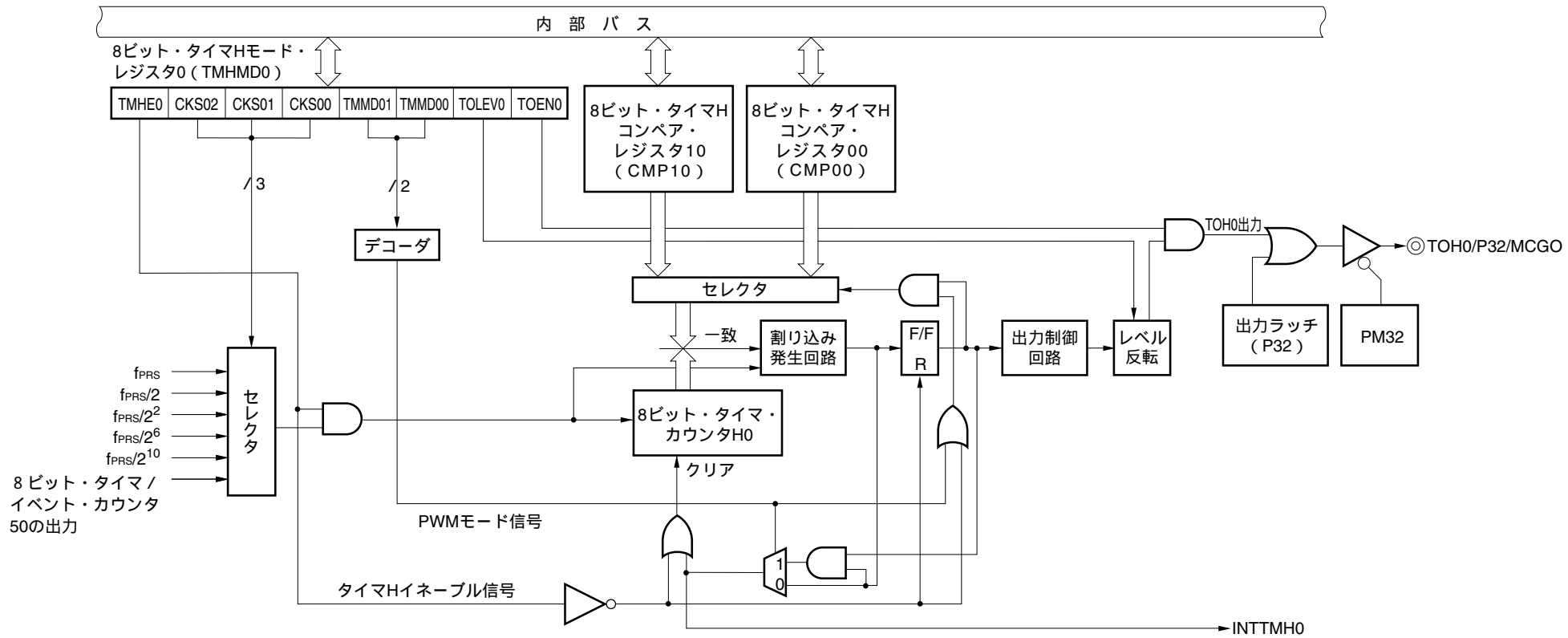


図8-2 8ビット・タイマH1のブロック図

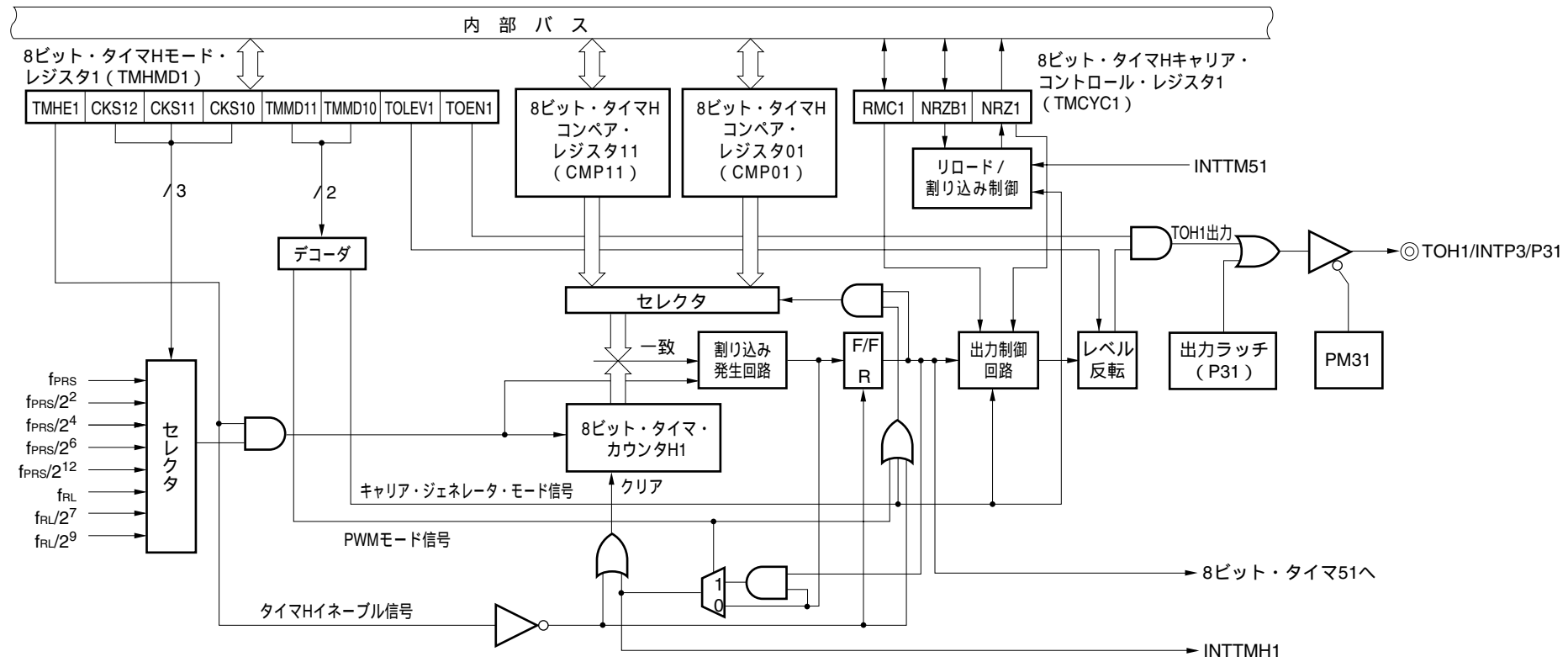
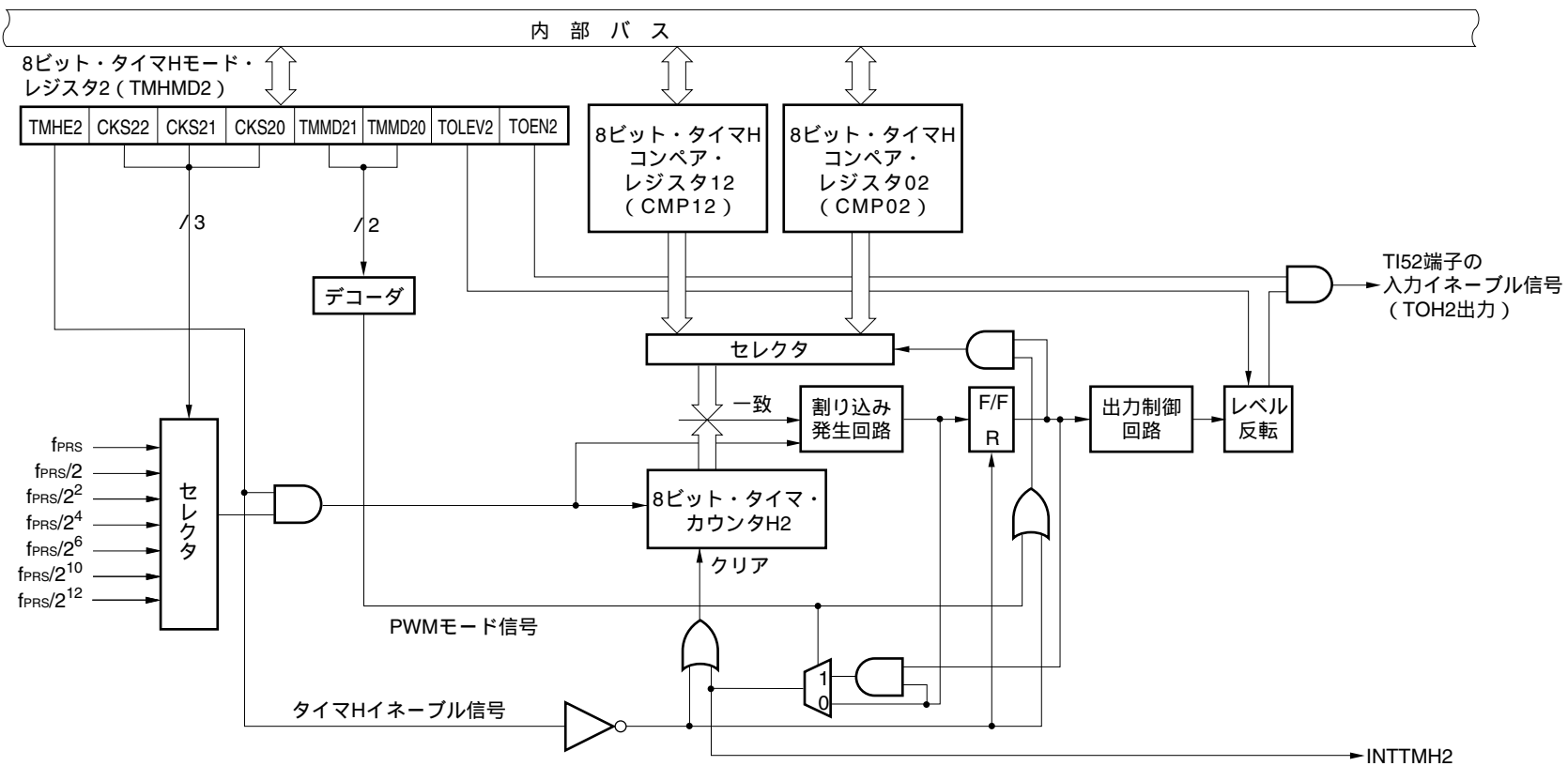


図8-3 8ビット・タイマH2のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n (CMP0n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。すべてのタイマ動作モードで使用します。

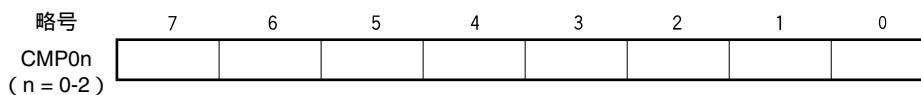
CMP0nに設定した値と8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生し、TOHnの出力レベルを反転させます。

CMP0nは、タイマ停止中 (TMHEn = 0) に書き換えを行ってください。

リセット信号の発生により、00Hになります。

図8-4 8ビット・タイマHコンペア・レジスタ0n (CMP0n) のフォーマット

アドレス : FF18H (CMP00) , FF1AH (CMP01) , FF44H (CMP02) リセット時 : 00H R/W



注意 CMP0nは、タイマ・カウント動作中に値を書き換えしないでください。ただし、タイマ・カウント動作中にリフレッシュ (同値書き込み) することは可能です。

(2) 8ビット・タイマHコンペア・レジスタ1n (CMP1n)

8ビット・メモリ操作命令でリード/ライト可能なレジスタです。PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、TOHnの出力レベルを反転させます。割り込み要求信号は発生されません。

キャリア・ジェネレータ・モードでは、CMP1nに設定した値と、8ビット・タイマ・カウンタHnのカウンタ値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMHn) を発生します。同じタイミングで、カウンタ値はクリアされます。

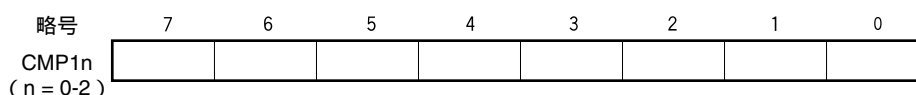
CMP1nは、タイマ・カウント動作中に値の書き換えが可能です。

タイマ動作中にCMP1nの値を書き換える場合、その値はラッチされ、カウンタ値と変更前のCMP1nの値が一致するタイミングでCMP1nに転送され、CMP1nの値が変更されます。カウンタ値とCMP1n値の一致するタイミングとCMP1nへの値の書き込みが競合した場合、CMP1n値は変更されません。

リセット信号の発生により、00Hになります。

図8-5 8ビット・タイマHコンペア・レジスタ1n (CMP1n) のフォーマット

アドレス : FF19H (CMP10) , FF1BH (CMP11) , FF45H (CMP12) リセット時 : 00H R/W



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHEn = 0) 設定後、タイマ・カウント動作を開始する (TMHEn = 1) 場合、必ずCMP1nを設定してください (CMP1nへの設定値が同値の場合でも、必ず再設定してください)。

備考 n = 0-2、ただしTOHnはTOH0, TOH1のみ。

8.3 8ビット・タイマH0, H1, H2を制御するレジスタ

8ビット・タイマH0, H1, H2を制御するレジスタには、次の4種類があります。

- ・8ビット・タイマHモード・レジスタ n (TMHMD n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)^注
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

注 8ビット・タイマH1のみ。

(1) 8ビット・タイマHモード・レジスタ n (TMHMD n)

タイマHのモードを制御するレジスタです。

TMHMD n は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 $n = 0-2$

図8-6 8ビット・タイマHモード・レジスタ0 (TMHMD0) のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS02	CKS01	CKS00	カウント・クロックの選択 ^{注1}			
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	0	0	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz
上記以外			TM50の出力 ^{注3}			
			設定禁止			

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWMモード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) が高速システム・クロック (fXH) で動作している (XSEL = 1) 場合、電源電圧により、fPRSの動作周波数が異なります。

・ VDD = 2.7 ~ 5.5 V : fPRS 10 MHz

・ VDD = 1.8 ~ 2.7 V : fPRS 5 MHz

2. 1.8 V < VDD < 2.7 Vで、周辺ハードウェア・クロック (fPRS) が高速内蔵発振クロック (fRH) で動作している (XSEL = 0) 場合、CKS02 = CKS01 = CKS00 = 0 (カウント・クロック : fPRS) は設定禁止です。

注3. TM50の出力をカウント・クロックとして選択する場合、次の内容に注意してください。

(a) 78K0/LC3, 78K0/LD3

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

(b) 78K0/LE3, 78K0/LF3

・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意1. TMHE0 = 1のとき、TMHMD0の他のビットを設定することは禁止です。ただし、リフレッシュ (同値書き込み) することは可能です。

2. PWM出力モードでは、タイマ・カウント動作停止 (TMHE0 = 0) 設定後、タイマ・カウント動作を開始する (TMHE0 = 1) 場合、必ず8ビット・タイマHコンペア・レジスタ10 (CMP10) を設定してください (CMP10への設定値が同値の場合でも、必ず再設定してください)。

3. 実際のTOH0/P32/MCGO端子の出力は、TOH0出力のほかに、PM32とP32によって決まります。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : TMC50のビット1

図8-7 8ビット・タイマHモード・レジスタ1 (TMHMD1) のフォーマット

アドレス: FF6CH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止 (カウンタは0にクリア)
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)

CKS12	CKS11	CKS10	カウント・クロックの選択 ^{注1}			
			fPRS = 2 MHz	fPRS = 5 MHz	fPRS = 10 MHz	
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz
0	0	1	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz
0	1	0	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz
0	1	1	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz
1	0	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz
1	0	1	fRL/2 ⁷	1.88 kHz (TYP.)		
1	1	0	fRL/2 ⁹	0.47 kHz (TYP.)		
1	1	1	fRL	240 kHz (TYP.)		

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注1. 周辺ハードウェア・クロック (fPRS) が高速システム・クロック (fXH) で動作している (XSEL = 1) 場合、電源電圧により、fPRSの動作周波数が異なります。

・ VDD = 2.7 ~ 5.5 V : fPRS 10 MHz

・ VDD = 1.8 ~ 2.7 V : fPRS 5 MHz

2. 1.8 V VDD < 2.7 Vで、周辺ハードウェア・クロック (fPRS) が高速内蔵発振クロック (fRH) で動作している (XSEL = 0) 場合、CKS12 = CKS11 = CKS10 = 0 (カウント・クロック: fPRS) は設定禁止です。

- 注意1. TMHE1 = 1のとき, TMHMD1の他のビットを設定することは禁止です。ただし, リフレッシュ (同値書き込み) することは可能です。
2. PWM出力モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE1 = 0) 設定後, タイマ・カウント動作を開始する (TMHE1 = 1) 場合, 必ず8ビット・タイマHコンペア・レジスタ11 (CMP11) を設定してください (CMP11への設定値が同値の場合でも, 必ず再設定してください)。
 3. キャリア・ジェネレータ・モードを使用する場合, TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
 4. 実際のTOH1/P31/INTP3端子の出力は, TOH1出力のほかに, PM31とP31によって決まります。

- 備考1. f_{PRS} : 周辺ハードウェア・クロック周波数
2. f_{RL} : 低速内蔵発振クロック周波数

図8-8 8ビット・タイマHモード・レジスタ2 (TMHMD2) のフォーマット

アドレス : FF42H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TMHMD2	TMHE2	CKS22	CKS21	CKS20	TMMD21	TMMD20	TOLEV2	TOEN2
TMHE2	タイマ動作許可							
0	タイマ・カウント動作停止 (カウントは0にクリア)							
1	タイマ・カウント動作許可 (クロックを入力することでカウント動作開始)							
CKS22	CKS21	CKS20	カウント・クロックの選択 ^{注1}					
				fPRS =	fPRS =	fPRS =		
				2 MHz	5 MHz	10 MHz		
0	0	0	fPRS ^{注2}	2 MHz	5 MHz	10 MHz		
0	0	1	fPRS/2	1 MHz	2.5 MHz	5 MHz		
0	1	0	fPRS/2 ²	500 kHz	1.25 MHz	2.5 MHz		
0	1	1	fPRS/2 ⁴	125 kHz	312.5 kHz	625 kHz		
1	0	0	fPRS/2 ⁶	31.25 kHz	78.13 kHz	156.25 kHz		
1	0	1	fPRS/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz		
1	1	0	fPRS/2 ¹²	0.49 kHz	1.22 kHz	2.44 kHz		
上記以外			設定禁止					
TMMD21	TMMD20	タイマ動作モード						
0	0	インターバル・タイマ・モード						
1	0	端子への入力イネーブル幅調整用モード (PWMモード)						
上記以外		設定禁止						
TOLEV2	タイマ出力レベル制御 (デフォルト時)							
0	ロウ・レベル							
1	ハイ・レベル							
TOEN2	タイマ出力制御							
0	出力禁止							
1	出力許可 ^{注3}							

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合, 電源電圧により, f_{PRS} の動作周波数が異なります。

・ $V_{DD} = 2.7 \sim 5.5 \text{ V}$: $f_{PRS} = 10 \text{ MHz}$

・ $V_{DD} = 1.8 \sim 2.7 \text{ V}$: $f_{PRS} = 5 \text{ MHz}$

2. $1.8 \text{ V} < V_{DD} < 2.7 \text{ V}$ で, 周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合, CKS22 = CKS21 = CKS20 = 0 (カウント・クロック : f_{PRS}) は設定禁止です。

3. TMH2のタイマ出力は, TM52の外部イベント入力のイネーブル信号としてのみ使用可能です。外部への出力端子はありません。

注意 TMHE2 = 1のとき, TMHMD2の他のビットを設定することは禁止です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1)

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。

TMCYC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-9 8ビット・タイマHキャリア・コントロール・レジスタ1 (TMCYC1) のフォーマット

アドレス：FF6DH リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	INTTM51信号の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号の立ち上がりエッジでキャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態 (ロウ・レベル状態)
1	キャリア出力許可状態 (RMC1 = 1 : キャリア・パルス出力, RMC1 = 0 : ハイ・レベル状態)

注 ビット0はRead Onlyです。

注意 TMHE1 = 1のとき、RMC1を書き換えしないでください。ただし、TMCYC1にリフレッシュ (同値書き込み) することは可能です。

(3) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P32/TOH0/MCGO, P31/TOH1/INTP3端子をタイマ出力として使用するとき、PM32, PM31およびP32, P31の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図8-10 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては、4.3 ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx) を参照してください。

8.4 8ビット・タイマH0, H1, H2の動作

8.4.1 インターバル・タイマ/方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n (CMP0n) が一致した場合、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n (CMP1n) は使用しません。CMP1nレジスタを設定しても、8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため、タイマ出力に影響しません。

また、タイマHモード・レジスタn (TMHMDn) のビット0 (TOENn) に1を設定することにより、TOHnより任意の周波数の方形波出力 (デューティ= 50 %) が出力されます。

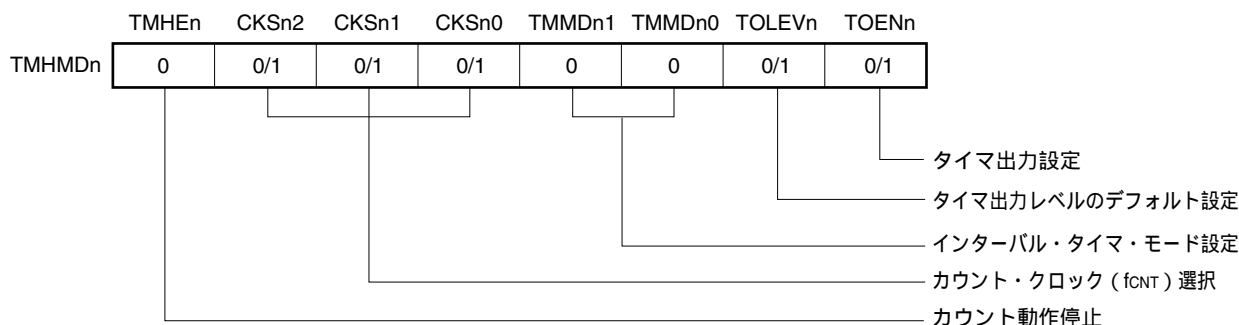
TMH2のタイマ出力は、TM52の外部イベント入力のイネーブル信号としてのみ使用可能です。外部への出力端子はないので注意してください。

設定方法

各レジスタの設定を行います。

図8 - 11 インターバル・タイマ/方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

コンペア値にNを設定した場合、インターバル時間は次のようになります。

$$\cdot \text{インターバル時間} = (N + 1) / f_{CNT}$$

TMHEn = 1によりカウント動作を開始します。

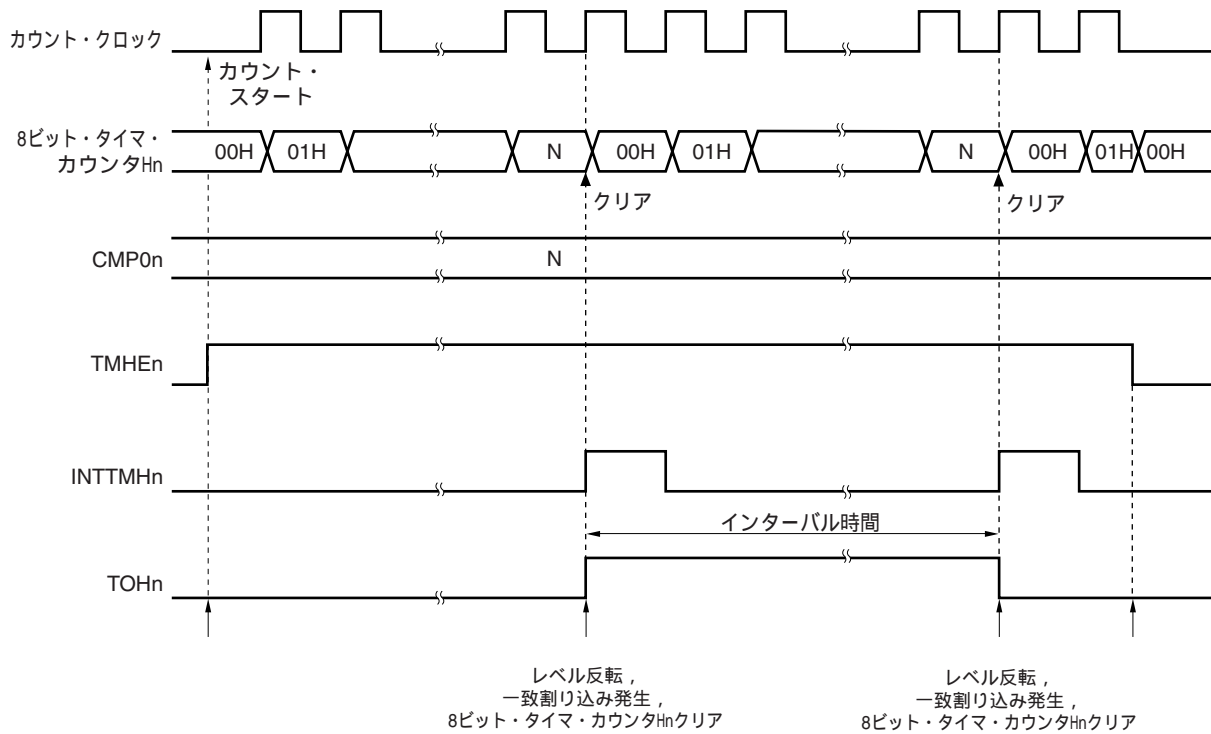
8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは00Hにクリアされます。

以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEn = 0にします。

- 備考1. 出力端子の設定については8.3(3) ポート・モード・レジスタ3 (PM3) を参照してください。
- INTTMHn信号の割り込み許可については、第21章 割り込み機能を参照してください。
 - n = 0-2, ただしTOHnはTOH0, TOH1のみ。

図8 - 12 インターバル・タイマ / 方形波出力動作のタイミング (1/2)

(a) 基本動作 (01H CMP0n FEH時の動作)



TMHEnビットを0から1にすることにより、カウント動作許可状態になります。カウント・クロックは、動作許可後、最大1クロック遅れてスタートします。

8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnの値をクリアし、TOHn出力のレベルが反転します。またカウント・クロックの立ち上がりタイミングでINTTMHn信号を出力します。

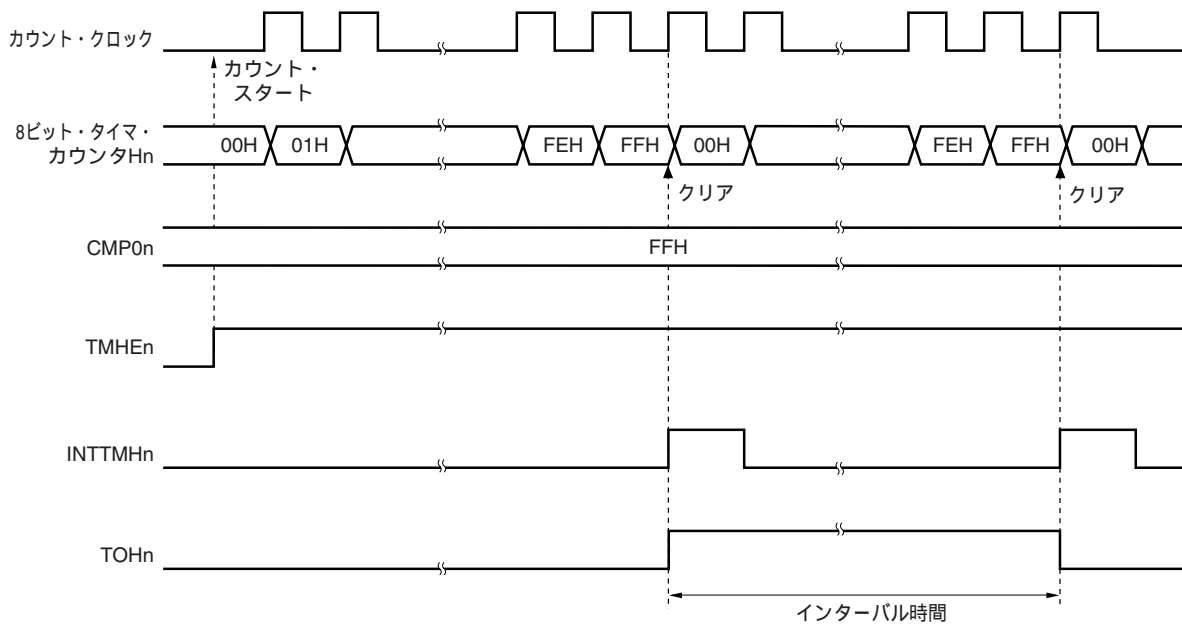
タイマH動作中にTMHEnビットを0にすると、INTTMHn信号およびTOHn出力はデフォルト状態になります。TMHEnビットを0にする前から、デフォルトと同じ状態の場合はレベルを保持します。

備考1. n = 0-2, ただしTOHnはTOH0, TOH1のみ。

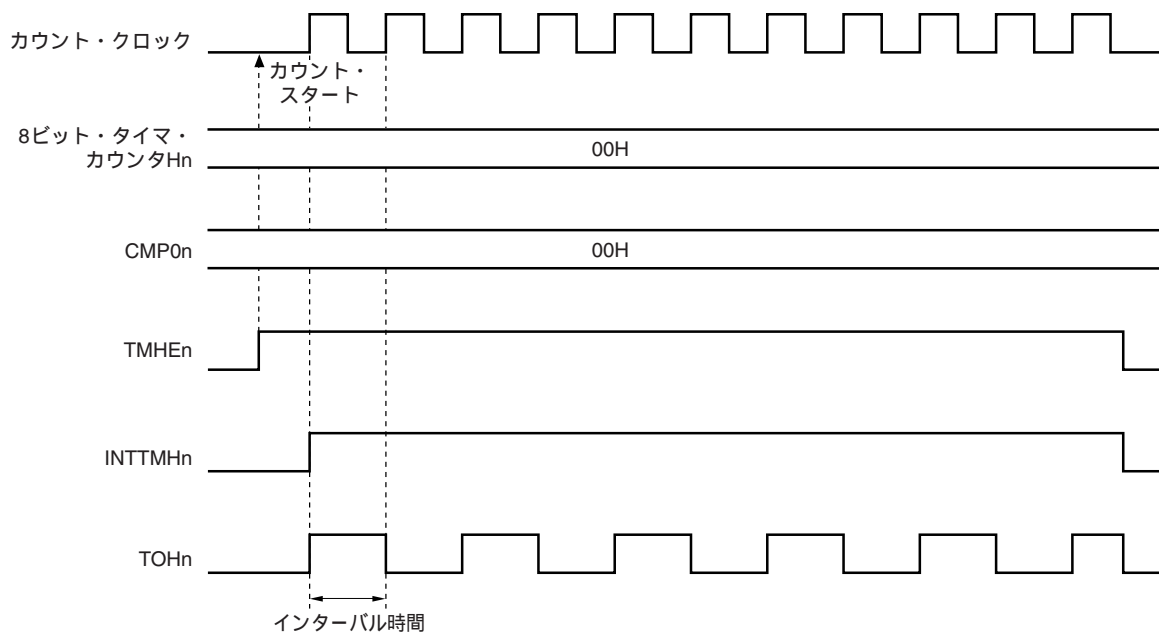
2. 01H N FEH

図8-12 インターバル・タイマ/方形波出力動作のタイミング (2/2)

(b) CMP0n = FFH時の動作



(c) CMP0n = 00H時の動作



備考 n = 0-2, ただしTOHnはTOH0, TOH1のみ。

8.4.2 PWM出力としての動作

PWM出力モードでは、任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n (CMP0n) はタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n (CMP1n) はタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後、8ビット・タイマ・カウンタHnとCMP0nレジスタが一致すると、PWM出力 (TOHn出力) はアクティブ・レベルを出力し、8ビット・タイマ・カウンタHnは0にクリアされます。また8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、PWM出力 (TOHn出力) はインアクティブ・レベルを出力します。

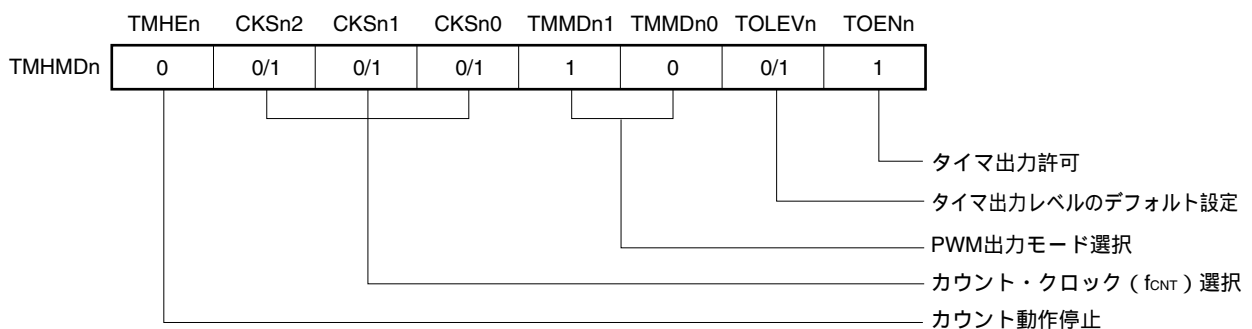
TMH2のタイマ出力 (PWM出力) は、TM52の外部イベント入力のイネーブル信号としてのみ使用可能です。外部への出力端子はないので注意してください。

設定方法

各レジスタの設定を行います。

図8 - 13 PWM出力モード時のレジスタの設定

(i) タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMP0nレジスタの設定

- ・コンペア値 (N) : 周期の設定

(iii) CMP1nレジスタの設定

- ・コンペア値 (M) : デューティの設定

備考1 . n = 0-2 , ただしTOHnはTOH0, TOH1のみ。

2 . 00H CMP1n (M) < CMP0n (N) FFH

TMHEn = 1によりカウント動作を開始します。

カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、アクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると、インアクティブ・レベルを出力します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

以上 と を繰り返し、任意のデューティのパルスを得ることができます。

カウント動作を停止するときは、TMHEn = 0にします。

CMP0nレジスタの設定値を(N)、CMP1nレジスタを(M)、カウント・クロックの周波数をfCNTとすると、PWMパルス出力周期およびデューティは次のとおりになります。

$$\cdot \text{PWMパルス出力周期} = (N + 1) / f_{\text{CNT}}$$

$$\cdot \text{デューティ} = (M + 1) / (N + 1)$$

注意1. タイマ・カウント動作中に、CMP1nレジスタの設定値を変更することができます。ただし、CMP1nレジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号) の3クロック分以上かかります。

2. タイマ・カウント動作停止(TMHEn = 0)設定後、タイマ・カウント動作を開始する(TMHEn = 1)場合、必ずCMP1nレジスタを設定してください (CMP1nレジスタへの設定値が同値の場合でも、必ず再設定してください)。

3. CMP1nレジスタの設定値(M)、CMP0nレジスタの設定値(N)は、必ず次の範囲内にしてください。

$$00H \leq \text{CMP1n}(M) < \text{CMP0n}(N) \leq FFH$$

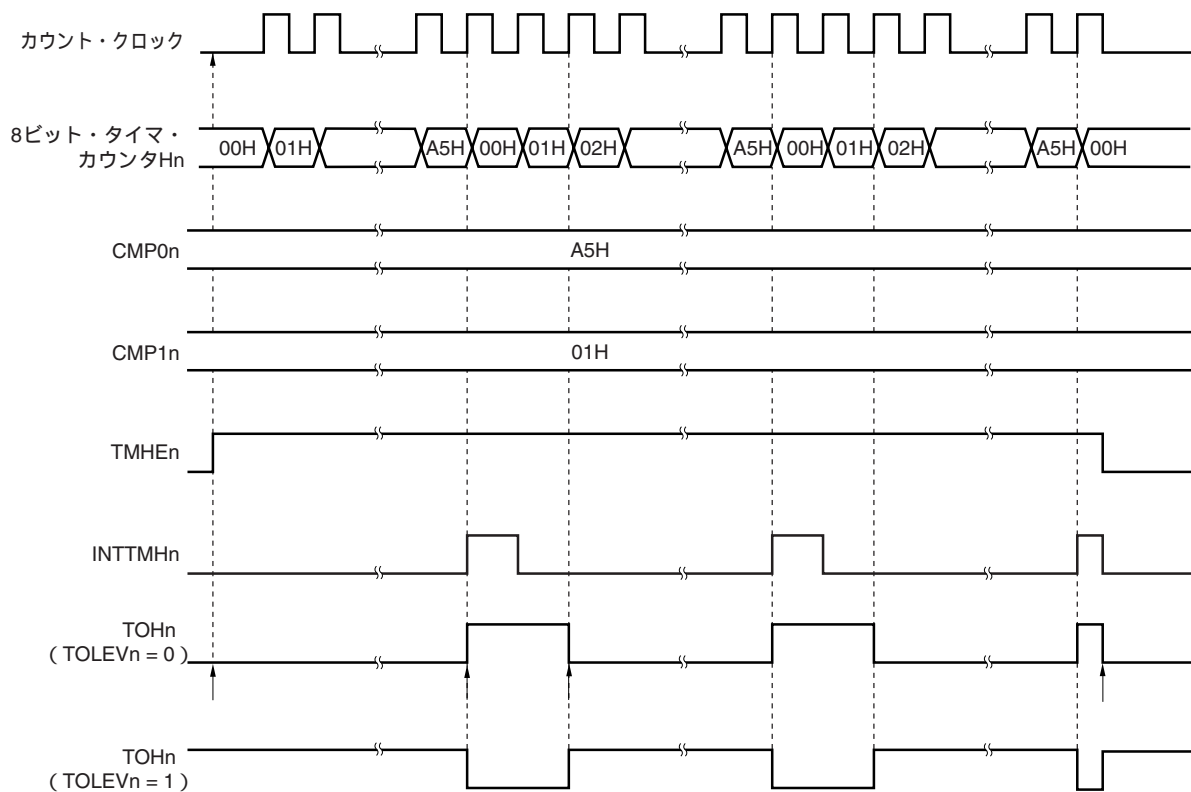
備考1. 出力端子の設定については8.3(3) **ポート・モード・レジスタ3 (PM3)**を参照してください。

2. INTTMHn信号の割り込み許可については、**第21章 割り込み機能**を参照してください。

3. n = 0-2, ただしTOHnはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (1/4)

(a) 基本動作



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・タイマ・カウンタHnをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致したときに、アクティブ・レベルを出力します。そのとき、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。

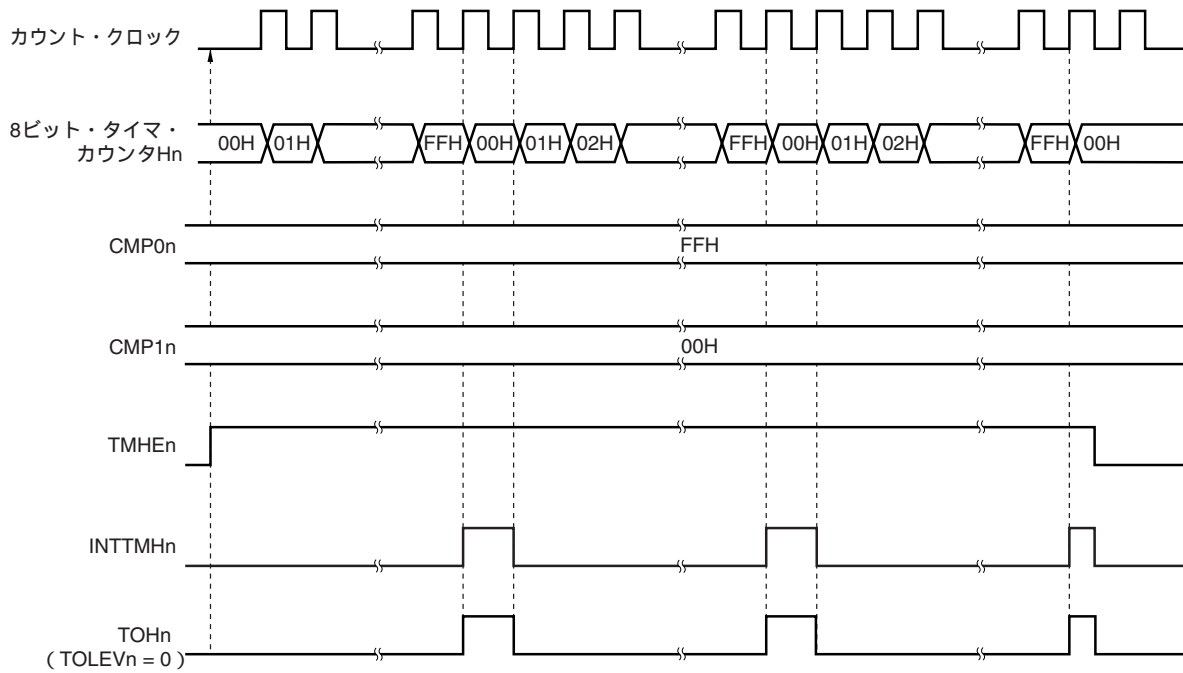
8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致したときに、インアクティブ・レベルを出力します。そのとき、8ビット・カウンタの値はクリアされず、INTTMHn信号は出力しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号はデフォルトに、PWM出力はインアクティブ・レベルになります。

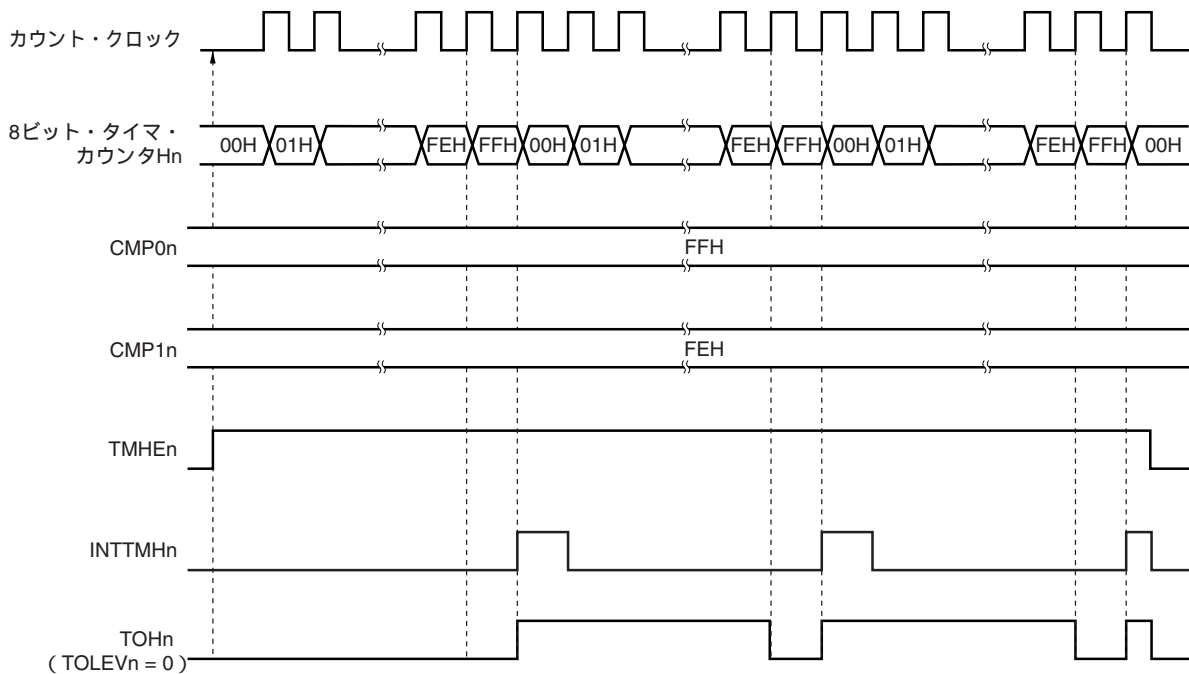
備考 n = 0-2, ただしTOHnはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (2/4)

(b) CMP0n = FFH, CMP1n = 00H時の動作



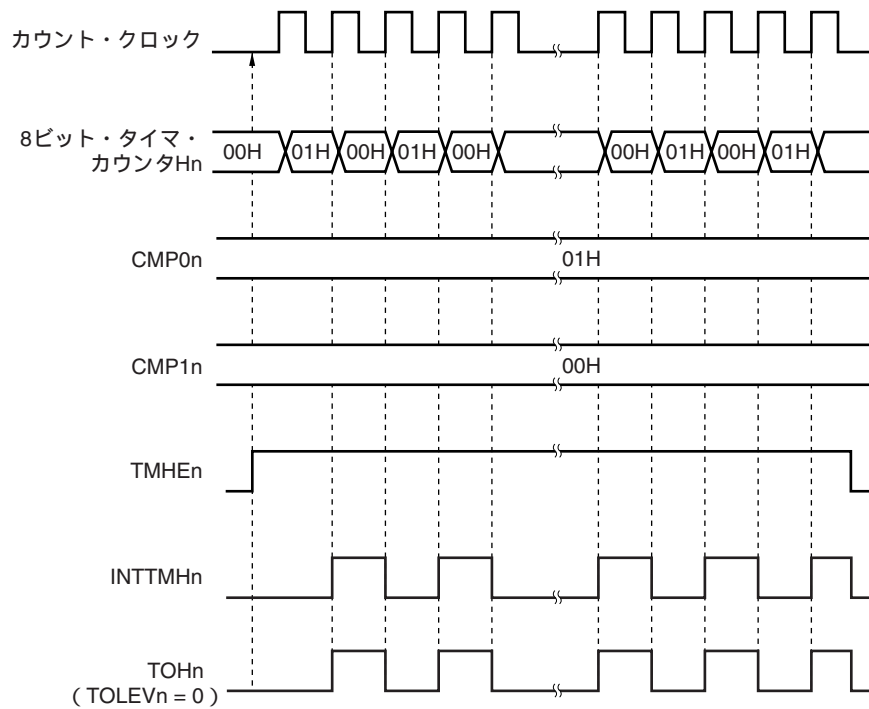
(c) CMP0n = FFH, CMP1n = FEH時の動作



備考 n = 0-2 , ただしTOHnはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (3/4)

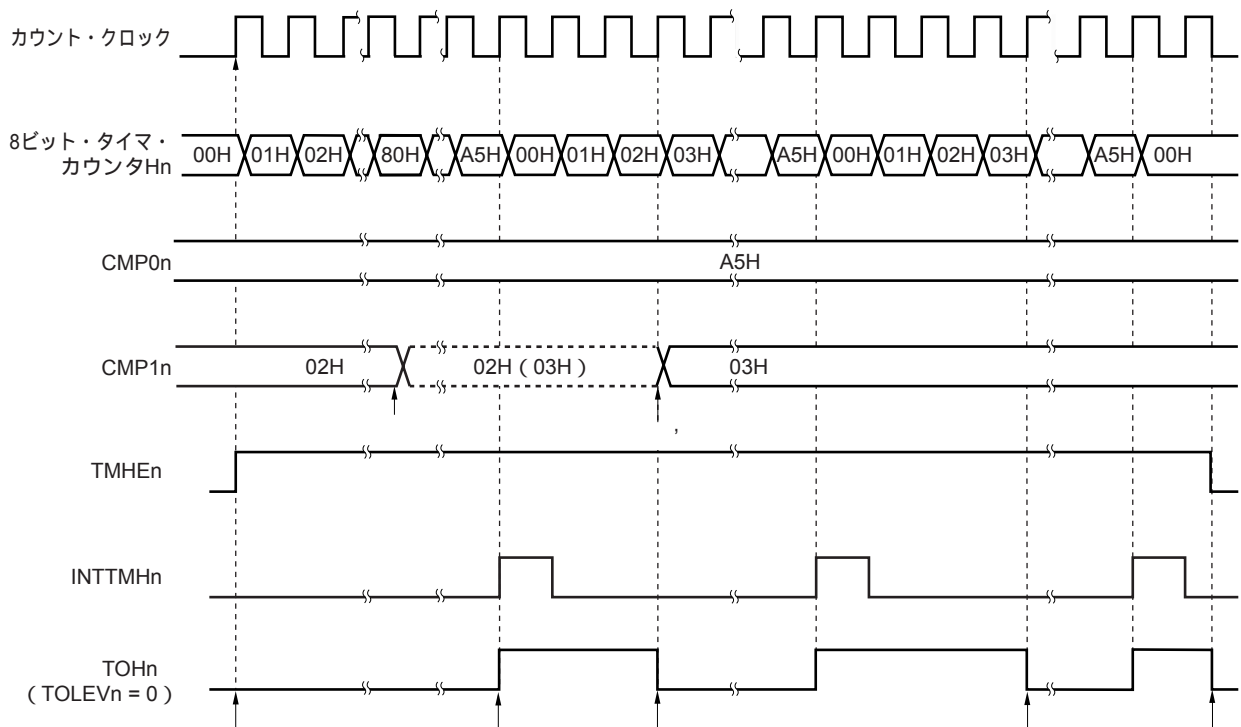
(d) CMP0n = 01H, CMP1n = 00H時の動作



備考 n = 0-2, ただしTOHnはTOH0, TOH1のみ。

図8 - 14 PWM出力動作のタイミング (4/4)

(e) CMP1n変更による動作 (CMP1n = 02H 03H, CMP0n = A5H)



TMHEn = 1により、カウント動作許可状態になります。カウント・クロックを1クロック分マスクし、8ビット・カウンタをスタートさせ、カウント・アップします。そのとき、PWM出力はインアクティブ・レベルを出力します。

タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、アクティブ・レベルを出力し、INTTMHn信号が発生します。

CMP1nレジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると、CMP1nレジスタに転送されCMP1nレジスタの値が変更されます（'）。

ただし、CMP1nレジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると、インアクティブ・レベルを出力します。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。

タイマHn動作中にTMHEnビットを0にすることで、INTTMHn信号はデフォルトに、PWM出力はインアクティブ・レベルになります。

備考 n = 0-2, ただしTOHnはTOH0, TOH1のみ。

8.4.3 キャリア・ジェネレータとしての動作（8ビット・タイマH1のみ）

キャリア・ジェネレータ・モードでは、8ビット・タイマH1を赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ/イベント・カウンタ51を赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマH1で生成されるキャリア・クロックは、8ビット・タイマ/イベント・カウンタ51で設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ/イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し、TOH1出力からキャリア・パルスを出力します。

（1）キャリアの生成

キャリア・ジェネレータ・モードのとき、8ビット・タイマHコンペア・レジスタ01（CMP01）はキャリア・パルスのロウ・レベル幅の波形を生成し、8ビット・タイマHコンペア・レジスタ11（CMP11）はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に、CMP11レジスタを書き換えることはできますが、CMP01レジスタを書き換えることは禁止です。

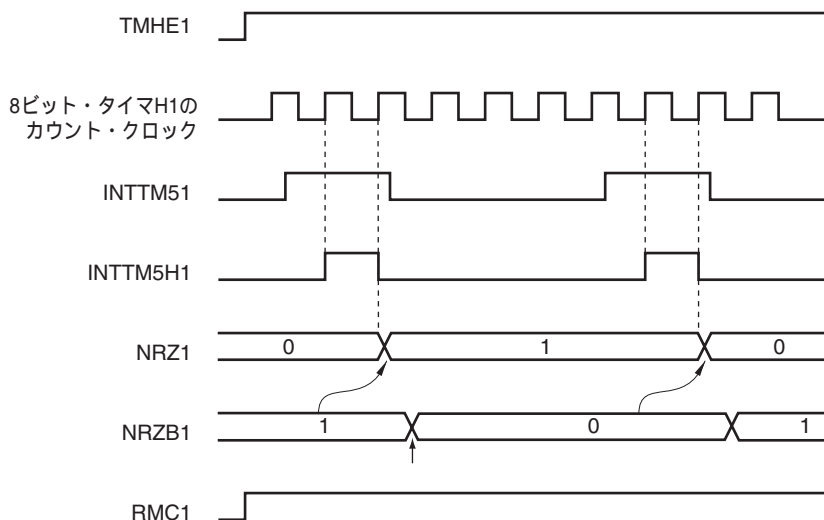
（2）キャリアの出力制御

キャリアの出力制御は8ビット・タイマ/イベント・カウンタ51の割り込み要求信号（INTTM51）と8ビット・タイマHキャリア・コントロール・レジスタ（TMCYC1）のNRZB1ビット、RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出力
0	0	ロウ・レベル出力
0	1	INTTM51信号入力の立ち上がりエッジでハイ・レベル出力
1	0	ロウ・レベル出力
1	1	INTTM51信号入力の立ち上がりエッジでキャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために、TMCYC1レジスタのNRZ1ビットとNRZB1ビットは、マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが、NRZB1ビットはリード/ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。INTTM5H1信号がNRZ1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは、次のとおりです。

図8 - 15 転送タイミング



INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号の立ち上がりから2クロック目で、NRZB1ビットの値がNRZ1ビットに転送されます。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

- 注意1** .NRZB1ビットの値を書き換えてから2クロック目までに、再びNRZB1ビットの値を書き換えしないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。
- 2** .8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合、のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

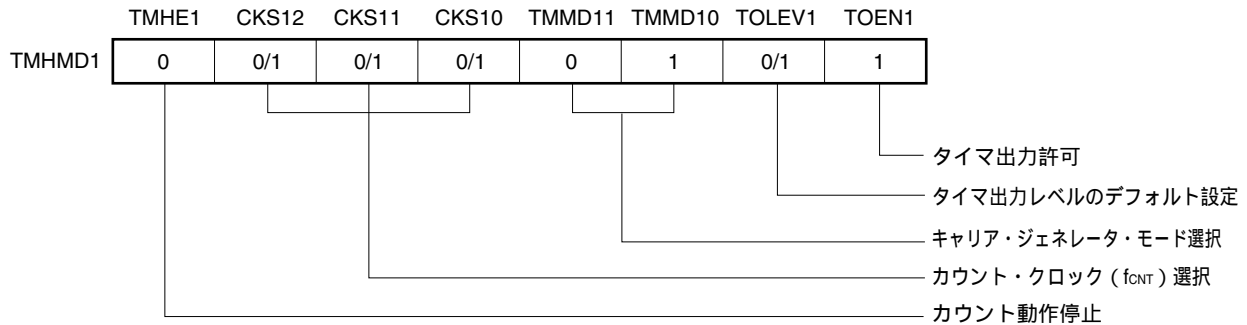
備考 INTTM5H1は内部信号で、割り込み要因ではありません。

設定方法

各レジスタの設定を行います。

図8 - 16 キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1 (TMHMD1) の設定



(ii) CMP01レジスタの設定

- ・コンペア値

(iii) CMP11レジスタの設定

- ・コンペア値

(iv) TMCYC1レジスタの設定

- ・RMC1 = 1 ... リモコン出力許可ビット
- ・NRZB1 = 0/1 ... キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

- ・7.3 8ビット・タイマ/イベント・カウンタ50, 51, 52を制御するレジスタ参照

TMHE1 = 1を設定すると、8ビット・タイマH1のカウンタ動作を開始します。

8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) のTCE51 = 1を設定すると、8ビット・タイマ/イベント・カウンタ51のカウンタ動作を開始します。

カウンタ動作を許可したあと、最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウンタ値とCMP01レジスタの値が一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタへ切り替わります。

8ビット・タイマ・カウンタH1のカウンタ値とCMP11レジスタが一致すると、INTTMH1信号が発生し、8ビット・タイマ・カウンタH1はクリアされます。同時に、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタへ切り替わります。

以上 と の繰り返しによって、キャリア・クロックが生成されます。

INTTM51信号が8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されません。

INTTM5H1割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZB1ビットに次の値を書き込みます。またCR51レジスタに次の時間をカウントするためのデータを書き込みます。

NRZ1ビットがハイ・レベルのとき、TOH1出力よりキャリア・クロックを出力します。

以上を繰り返し、任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を(N)、CMP11レジスタの設定値を(M)、カウント・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

- ・キャリア・クロック出力周期 = $(N + M + 2) / f_{CNT}$
- ・デューティ = ハイ・レベル幅 / キャリア・クロック出力幅 = $(M + 1) / (N + M + 2)$

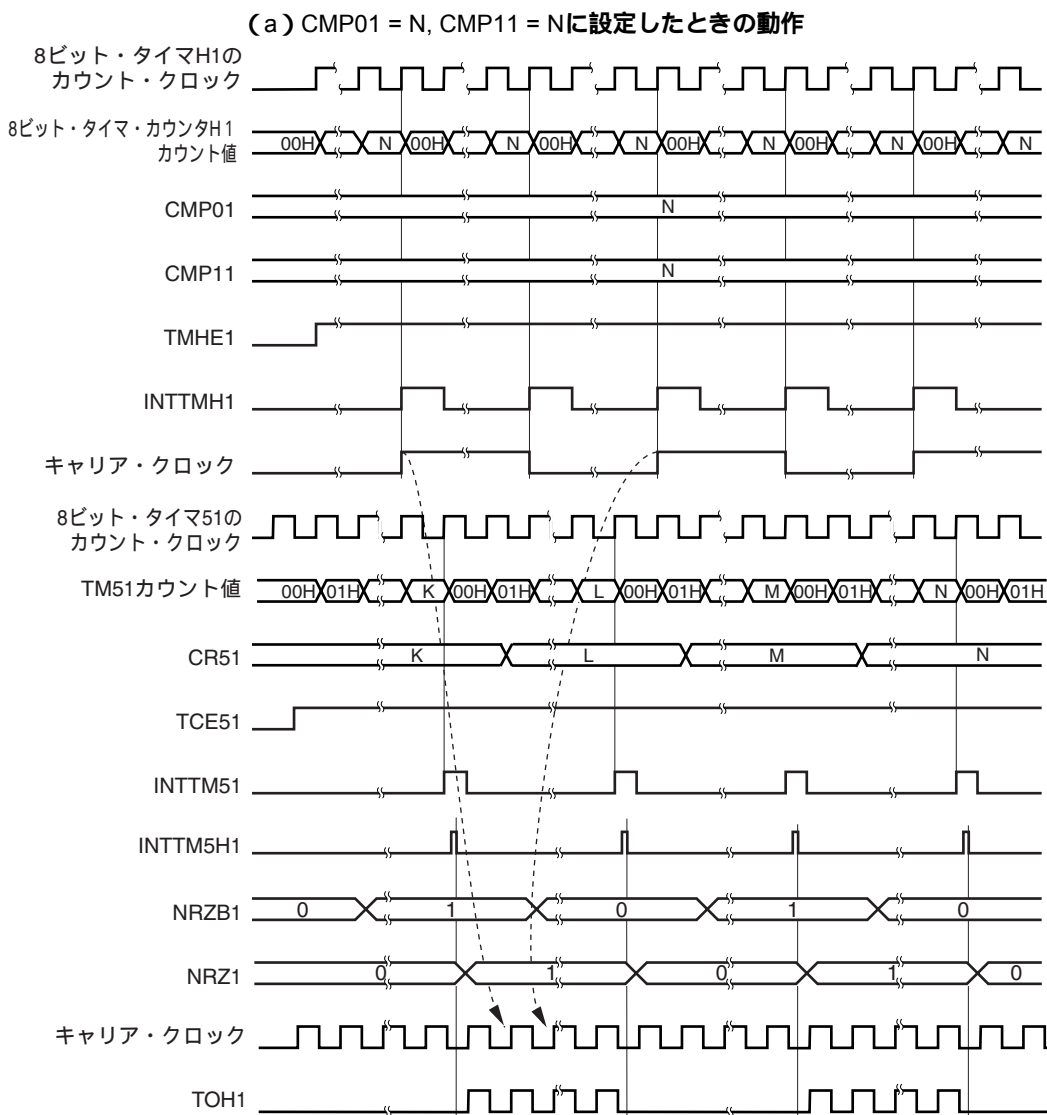
注意1. タイマ・カウント動作停止(TMHE1 = 0)設定後、タイマ・カウント動作を開始する(TMHE1 = 1)場合、必ずCMP11レジスタを設定してください(CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。

2. TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。
3. CMP01, CMP11レジスタの値は、01H-FFHの範囲で設定してください。
4. タイマ・カウント動作中に、CMP11レジスタの設定値を変更することができます。ただし、CMP11の値を変更してからレジスタに値が転送されるまでに、動作クロック(TMHMD1レジスタのCKS12-CKS10ビットで選択された信号)の3クロック分以上かかります。
5. RMC1ビットの設定はカウント動作開始前に必ず設定してください。

備考1. 出力端子の設定については8.3(3) ポート・モード・レジスタ3 (PM3)を参照してください。

2. INTTMH1信号の割り込み許可については、第21章 割り込み機能を参照してください。

図8-17 キャリア・ジェネレータ・モード動作のタイミング (1/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ50%固定のキャリア・クロックを生成します。

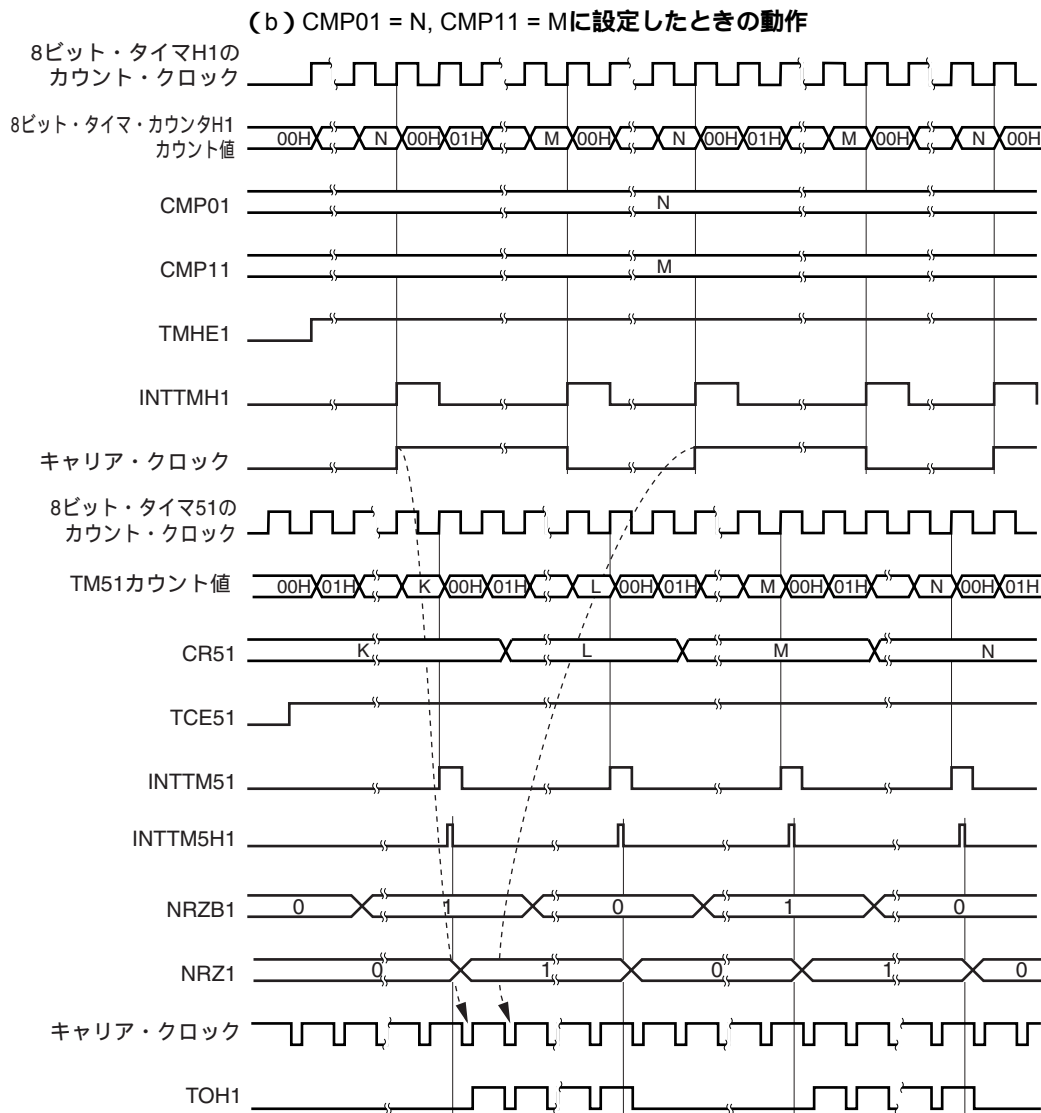
INTTM51信号が発生すると、その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。

NRZ1 = 0により、TOH1出力はロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8-17 キャリア・ジェネレータ・モード動作のタイミング (2/3)



TMHE1 = 0およびTCE51 = 0のとき、8ビット・タイマ・カウンタH1の動作は停止状態です。

TMHE1 = 1を設定すると、8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに、最初のINTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP01レジスタからCMP11レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに、INTTMH1信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタはCMP11レジスタからCMP01レジスタに切り替わります。8ビット・タイマ・カウンタH1は00Hにクリアされます。

とを繰り返し、デューティ固定（50%以外）のキャリア・クロックを生成します。

INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され、INTTM5H1信号として出力されます。

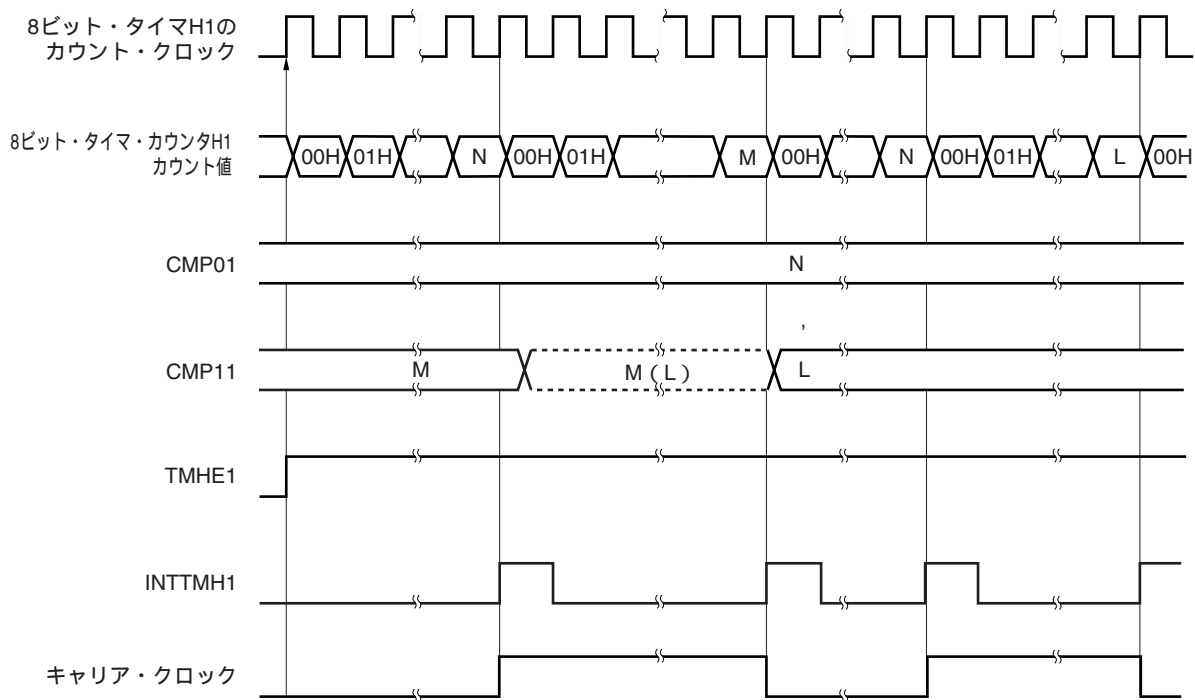
NRZ1 = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。

NRZ1 = 0により、キャリア・クロックのハイ・レベル期間は、TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（、よりキャリア波形のハイ・レベル幅が保証できます）。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

図8 - 17 キャリア・ジェネレータ・モード動作のタイミング (3/3)

(c) CMP11変更による動作



TMHE1 = 1を設定すると、カウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。

8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP01レジスタからCMP11レジスタへ切り替わります。

CMP11レジスタはカウント・クロックとは非同期で、8ビット・タイマH1動作中に値を書き換えることができますが、変更した値(L)はラッチされます。8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値(M)が一致したタイミングで、CMP11レジスタが変更されます()。

ただし、CMP11レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。

8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値(M)が一致すると、INTTMH1信号を出力し、キャリア信号を反転させ、8ビット・タイマ・カウンタH1を00Hにクリアします。同時に8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタは、CMP11レジスタからCMP01レジスタへ切り替わります。

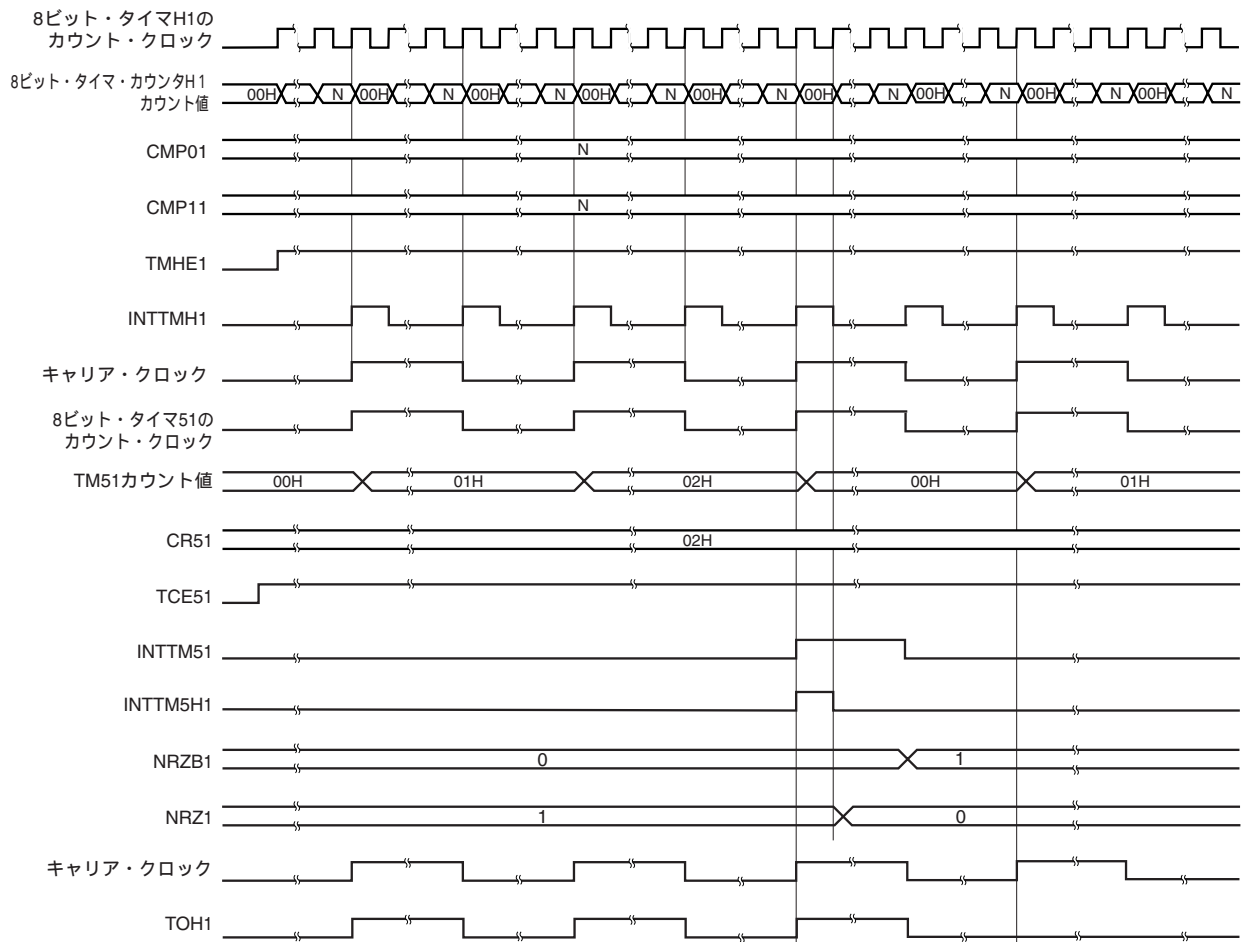
再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値(L)です。

8.4.4 タイマ51カウンタによるキャリア・クロック数の制御

8ビット・タイマ51のカウンタ・クロックにタイマH1出力信号を選択することにより、TOH1端子から出力するキャリア・クロック数を制御することができます。

TOH1端子からキャリア・クロックを3クロック出力したい場合の制御例を、図8 - 18に示します。

図8 - 18 タイマ51カウンタによるキャリア・クロック数の制御例
(タイマ51のカウンタ・クロックをタイマH1の出力信号に設定 (TCL51 = 07H))



TOH1端子からキャリア・クロックを3クロック出力したい場合、CR51レジスタに02Hを設定します。

TM51のカウンタ値がCR51レジスタの値 (02H) と一致したときに、INTTM51信号が発生します。その信号は8ビット・タイマH1のカウンタ・クロックで同期化され、INTTM5H1信号として出力されます。

INTTM5H1信号がNRZB1ビットのデータ転送信号となり、NRZB1ビットの値がNRZ1ビットへ転送されます。このときの転送タイミングは、INTTM5H1信号の立ち上がりから、タイマH1のカウンタ・クロックの1クロック後になります。

NRZ1 = 0により、TOH1出力はキャリア・クロックの3クロック目を出力後、ロウ・レベルになります。

備考 INTTM5H1は内部信号で、割り込み要因ではありません。

第9章 リアルタイム・カウンタ

9.1 リアルタイム・カウンタの機能

リアルタイム・カウンタは、78K0/Lx3マイクロコントローラの全製品に搭載されています。

リアルタイム・カウンタには、次のような機能があります。

- ・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能
- ・1 Hzの端子出力機能
- ・512 Hz, 16.384 kHz, 32.768 kHzのいずれかの端子出力機能

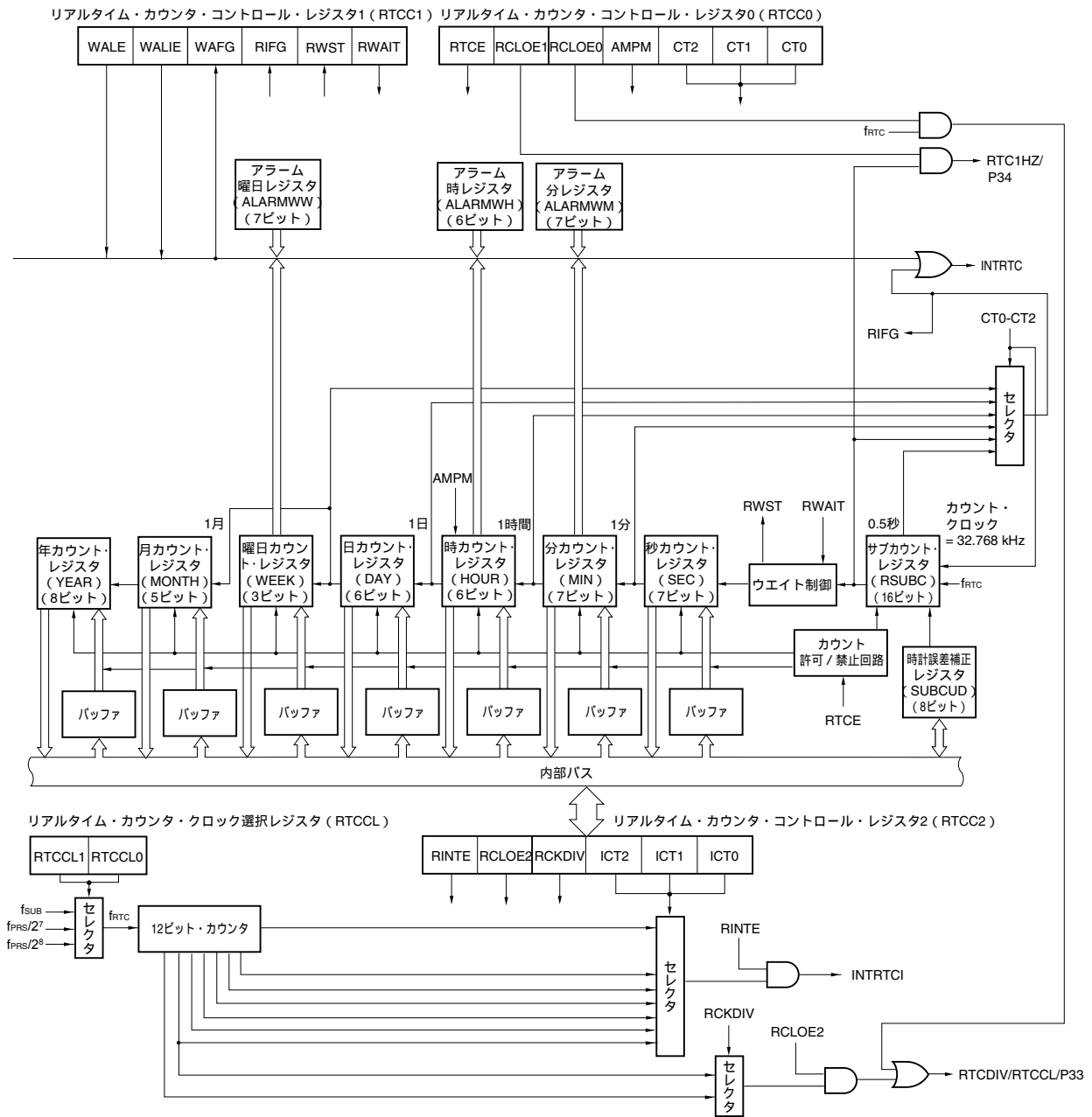
9.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表9-1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・クロック選択レジスタ (RTCCL) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) サブカウント・レジスタ (RSUBC) 秒カウント・レジスタ (SEC) 分カウント・レジスタ (MIN) 時カウント・レジスタ (HOUR) 日カウント・レジスタ (DAY) 曜日カウント・レジスタ (WEEK) 月カウント・レジスタ (MONTH) 年カウント・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

図9-1 リアルタイム・カウンタのブロック図



9.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の18種類のレジスタで制御します。

- ・リアルタイム・カウンタ・クロック選択レジスタ (RTCCL)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・レジスタ3 (P3)

(1) リアルタイム・カウンタ・クロック選択レジスタ (RTCCL)

リアルタイム・カウンタの入力クロックを選択するレジスタです。

RTCCLは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 リアルタイム・カウンタ・クロック選択レジスタ (RTCCL) のフォーマット

アドレス：FF54H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCCL	0	0	0	0	0	0	RTCCL1	RTCCL0

RTCCL1	RTCCL0	リアルタイム・カウンタ (RTC) の入力クロック (f _{RTC}) 選択
0	0	f _{SUB}
0	1	f _{PRS} /2 ⁷
1	0	f _{PRS} /2 ⁸
1	1	設定禁止

備考 ・ f_{PRS} = 4.19 MHzの場合、f_{RTC} = f_{PRS}/2⁷ = 32.768 kHz

・ f_{PRS} = 8.38 MHzの場合、f_{RTC} = f_{PRS}/2⁸ = 32.768 kHz

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始 / 停止, RTCCL端子 / RTC1HZ端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9-3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス: FF89H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

AMPMの値を変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換えてください。AMPMの値を変更すると, 時カウント・レジスタ (HOUR) の値は設定した時間制に対応する値に変更されます。時間桁表示表を表9-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) に CT2-CT0 ビットの値を変更する場合は, INTRTC を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFG フラグ, RTCIF フラグをクリアしてから割り込み処理許可にしてください。

注 RCLOE0とRCLOE2は, 同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると, 32.768 kHz, 1 Hzの出力の最後の波形が短くなる場合があります。

備考 × : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FF8AH リセット時：00H R/W

略号	[7]	[6]	5	[4]	[3]	2	[1]	[0]
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効

カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ，アラーム分レジスタ (ALARMWM)，アラーム時レジスタ (ALARMWH)，アラーム曜日レジスタ (ALARMWW)) を設定する場合，WALEビットを一致動作無効“0”にしてください。

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出

アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。

図9-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC ~ YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 サブカウンタ・レジスタ (RSUBC) は動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーバーフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウント・アップします。ただし、秒カウンタ・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウント・アップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのためRTCC1レジスタへの書き込みは、8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず、値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

RTCC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9-5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：FF8BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{RTC}$ (1.953125 ms)
1	0	0	1	$2^7/f_{RTC}$ (3.90625 ms)
1	0	1	0	$2^8/f_{RTC}$ (7.8125 ms)
1	0	1	1	$2^9/f_{RTC}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{RTC}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{RTC}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{RTC}$ (125 ms)

RCLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

RCKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hzを出力 (1.95 ms)
1	RTCDIV端子から16.384 kHzを出力 (0.061 ms)

注 RCLOE0とRCLOE2は，同時許可禁止です。

- 注意1. ICT2, ICT1, ICT0の変更は，RINTE = 0のときに行ってください。
- RTCDIV端子の出力を停止した場合， f_{RTC} の最大2クロック後まで出力を行い，ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると，最小で f_{XT} の1クロック幅のパルスが発生することがあります。
 - 動作開始後，最初のインターバル期間，RTCDIV端子の出力幅は，設定より短くなる場合があります。

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。
通常0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。
RSUBCは、16ビット・メモリ操作命令で設定します。
リセット信号の発生により、0000Hになります。

- 注意1.** 時計誤差補正レジスタ (SUBCUD) により補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図9 - 6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス : FF60H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス : FF61H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。
サブカウンタからのオーバーフローによりカウント・アップします。
書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。
SECは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図9 - 7 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FF62H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-8 分カウント・レジスタ (MIN) のフォーマット

アドレス : FF63H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。AMPMの値を変更すると、HOURの値は設定した時間制に対応する値に変更されます。

HOURは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図9-9 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FF64H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表9 - 2に示します。

表9 - 2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前(AM)のときに0に，午後(PM)のときに1となります。

(9) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。

DAYは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図9 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス : FF66H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FF65H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

1-12 (10進) までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図9 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FF67H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FF68H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き替え後は, 割り込み要求フラグ (RTCIF), 定周期割り込みステータス・フラグ (RIFG) をクリアしてから割り込み処理許可にしてください。

SUBCUDは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FF82H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
・ DEV = 0設定時: SEC = 00H, 20H, 40Hの期間	
・ DEV = 1設定時: SEC = 00Hの期間	

F6	時計誤差補正値の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。	
F5 ~ F0は, ビット反転した値 (111100のときは000011) となります。	
補正値の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124	
(F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FF86H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FF87H リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FF88H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

(17) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P33/RTCDIV/RTCCCL, P34/RTC1HZ端子をリアルタイム・カウンタのクロック出力として使用するとき、PM33, PM34およびP33, P34の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図9-18 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

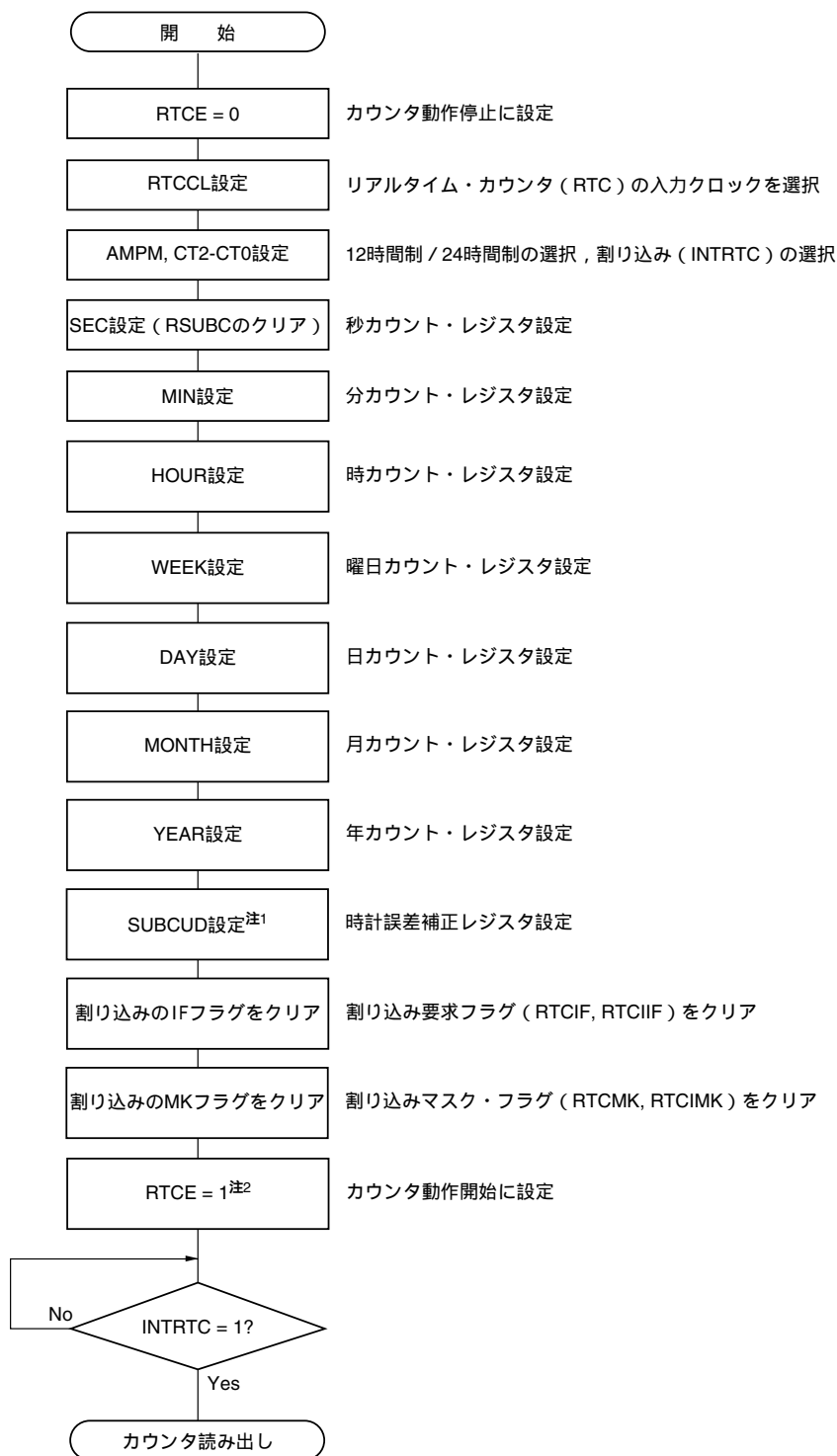
PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

9.4 リアルタイム・カウンタの動作

9.4.1 リアルタイム・カウンタの動作開始

図9-19 リアルタイム・カウンタの動作開始手順



注1. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、9.4.8 リアルタイム・カウンタの時計誤差補正例を参照してください。

2. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、9.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

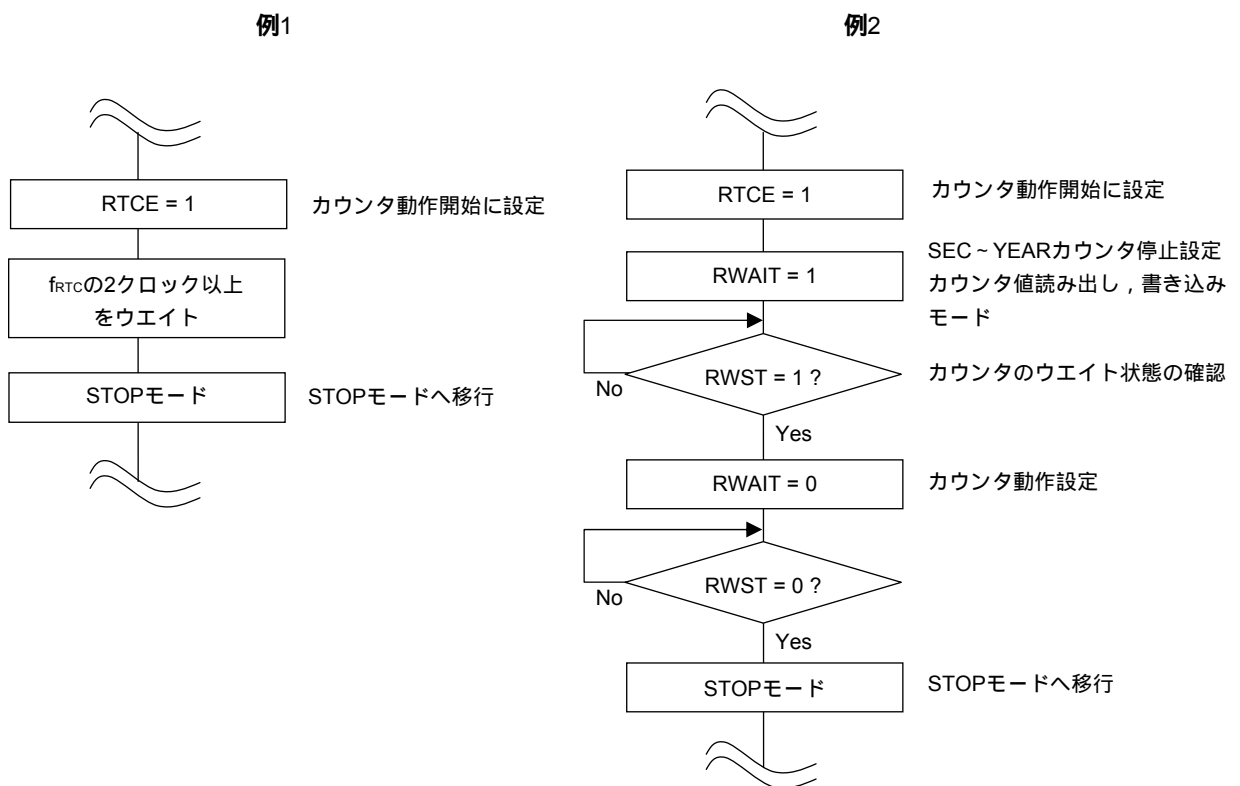
9.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック (f_{RTC}) の2クロック分以上経過後にSTOPモードへ移行する (図9-20 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する (図9-20 例2参照)。

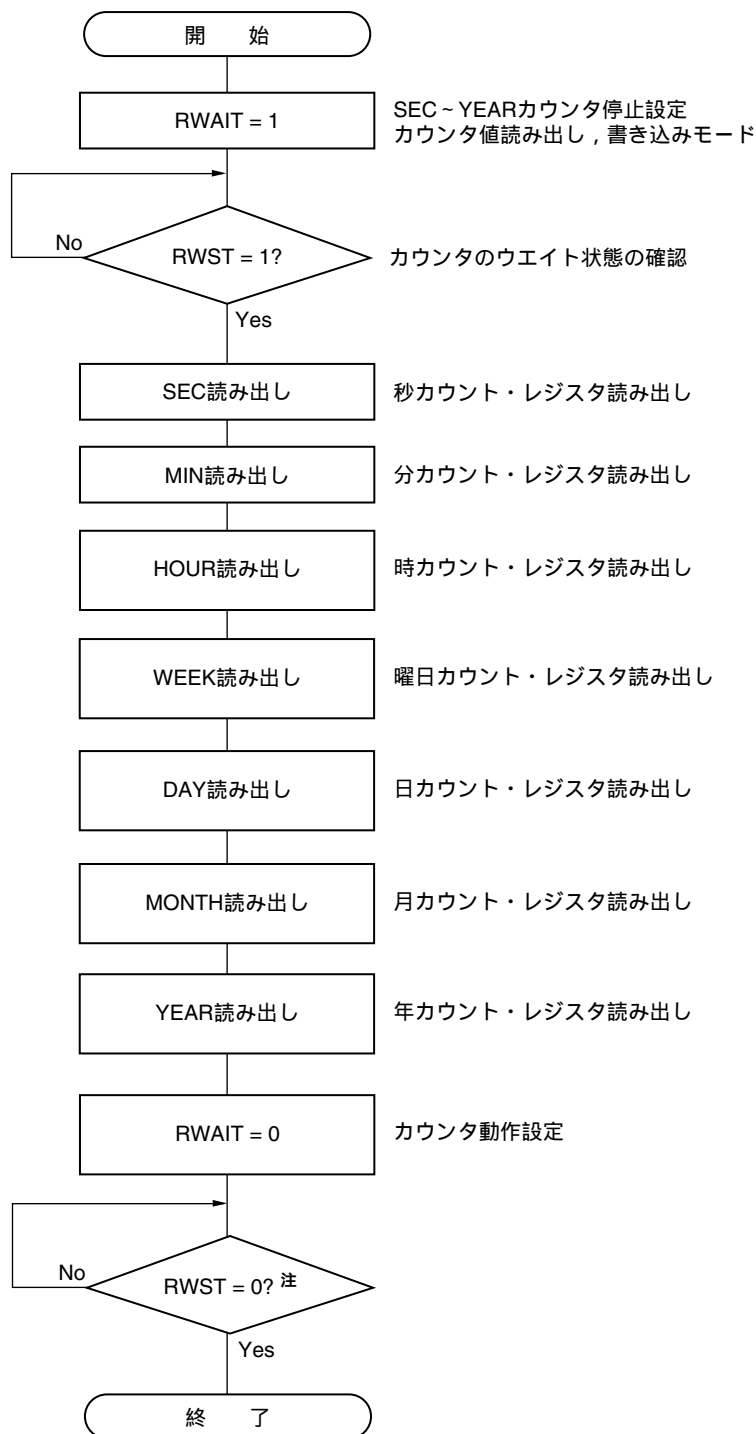
図9-20 RTCE = 1に設定後のSTOPモードへの移行手順



9.4.3 リアルタイム・カウンタのカウンタ読み出し / 書き込み

カウンタの読み出し / 書き込みは、最初にRWAIT = 1にしてから行ってください。

図9 - 21 リアルタイム・カウンタの読み出し手順

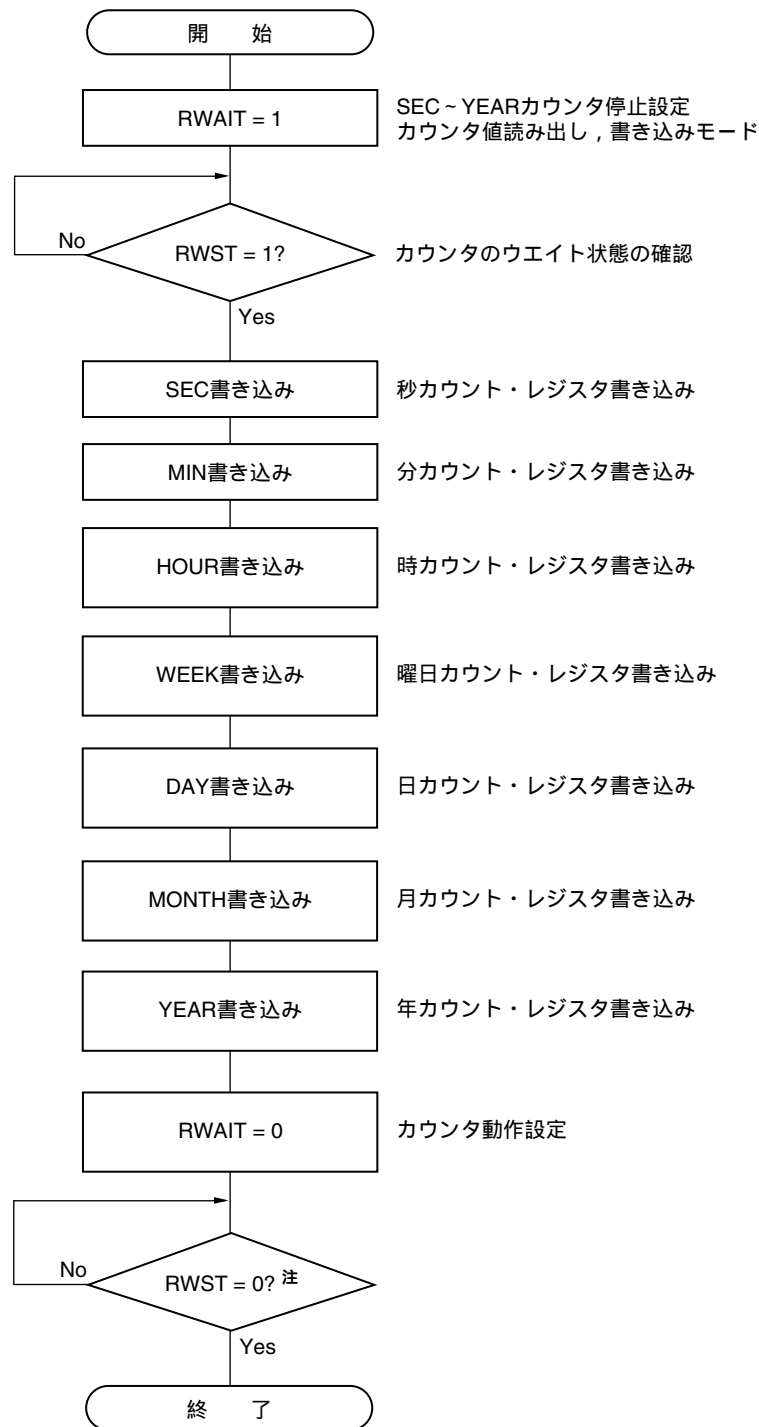


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図9 - 22 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

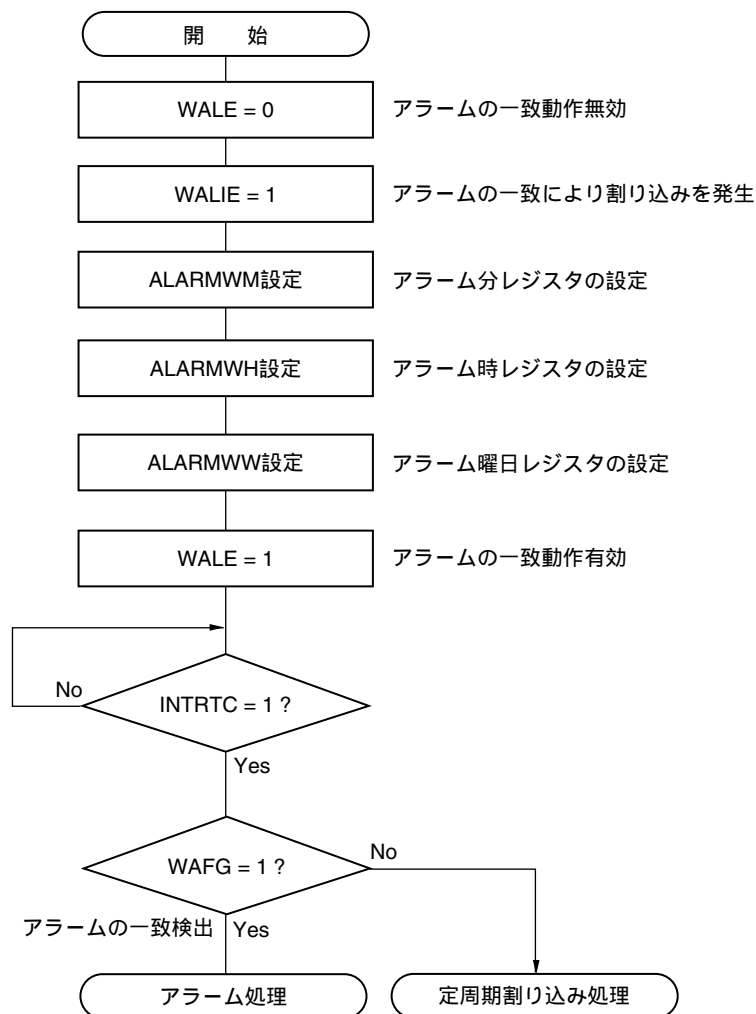
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

9.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図9 - 23 アラーム設定手順

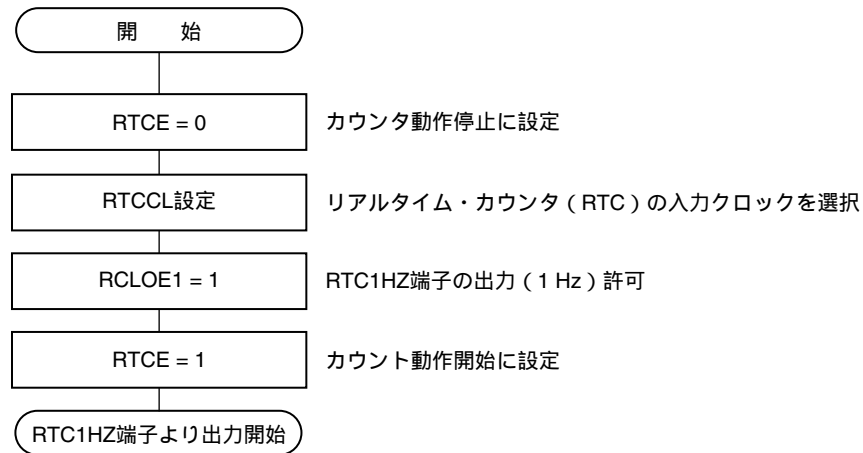


備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

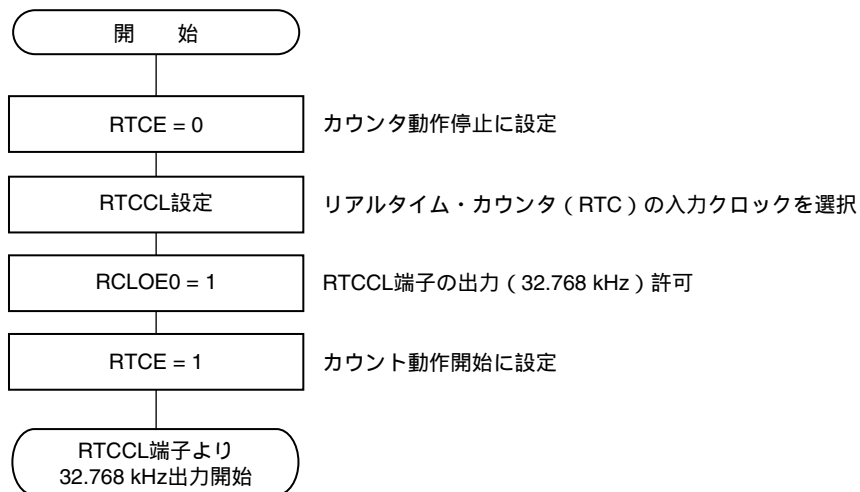
9.4.5 リアルタイム・カウンタの1 Hz出力

図9 - 24 1 Hz出力の設定手順



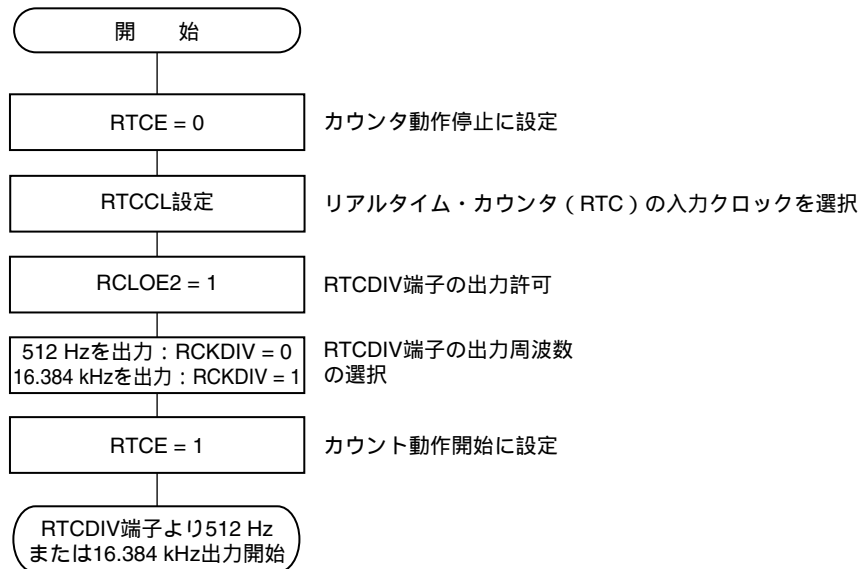
9.4.6 リアルタイム・カウンタの32.768 kHz出力

図9 - 25 32.768 kHz出力の設定手順



9.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力

図9 - 26 512 Hz, 16.384 kHz出力の設定手順



9.4.8 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、リアルタイム・カウンタ (RTC) の入力クロック (f_{RTC}) の値です。
RTCCL端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 $\times 32768$ で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]は、RTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの1Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、9. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTCCL端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上(遅くする場合)では、F6 = 0とします。

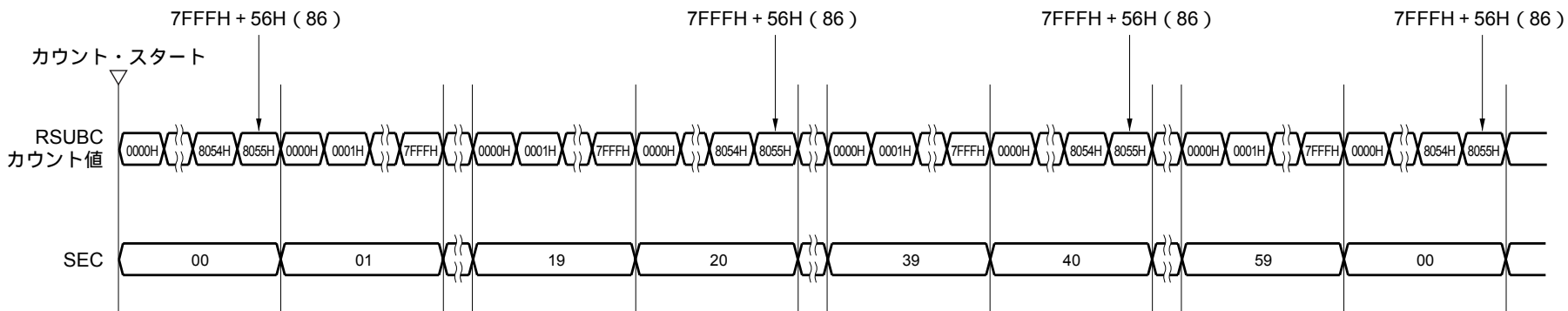
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正値 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図9 - 27に示します。

図9 - 27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]をRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、9. 4. 5 **リアルタイム・カウンタの1Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、9. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = 1\text{分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

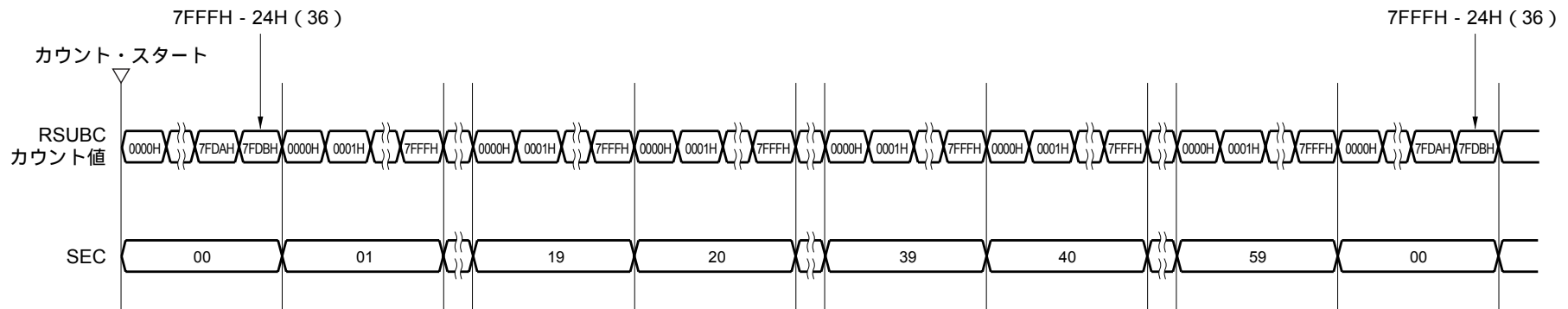
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図9 - 28に示します。

図9 - 28 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0/Lx3マイクロコントローラの全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタ^注で設定していない領域からフェッチした場合
(CPU暴走時の無効チェック検出)
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタ^注で設定していない領域(ただしFB00H-FFCFH, FFE0H-FFFFHは除く)にアクセスした場合
(CPU暴走時の異常アクセス検出)

注 内部拡張RAMを内蔵していない製品は、IXSレジスタを搭載していません。

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット (1) されます。RESFの詳細については第24章 **リセット機能**を参照してください。

10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

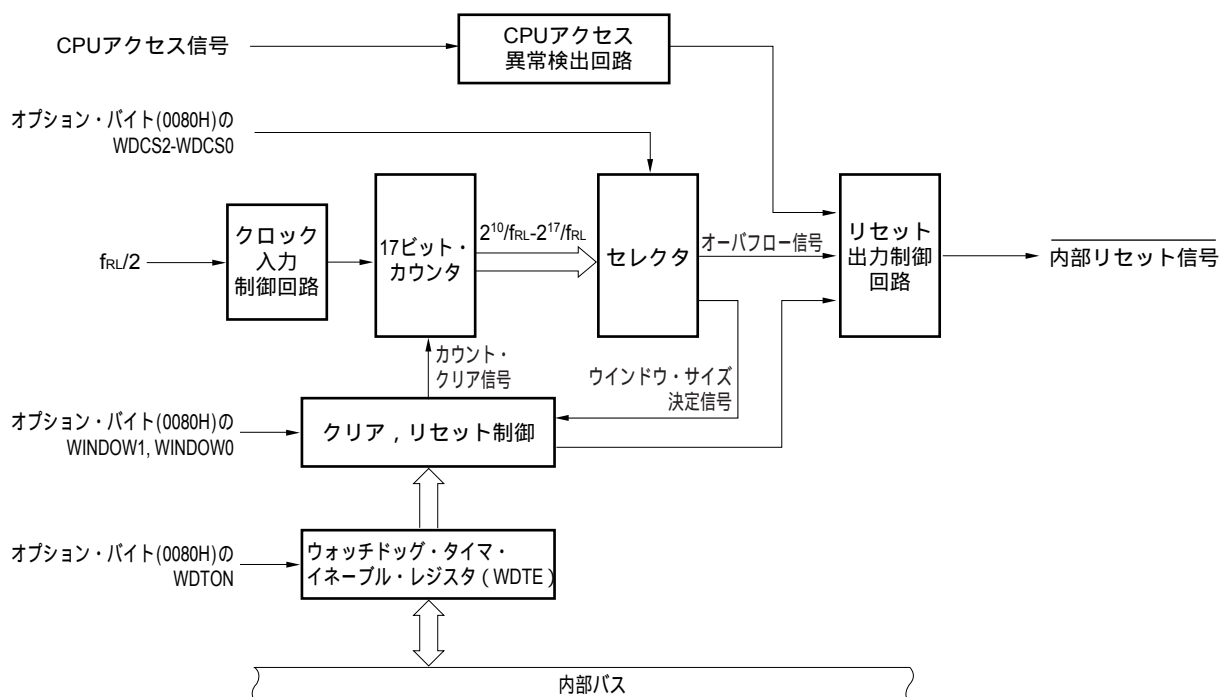
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定を行います。

表10-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (0080H)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)

備考 オプション・バイトについては、第27章 **オプション・バイト**を参照してください。

図10-1 ウォッチドッグ・タイマのブロック図



10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図10-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FF99H リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (0080H) のWDTONの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0(ウォッチドッグ・タイマのカウント動作禁止)	1AH
1(ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。ただし、ウォッチドッグ・タイマのソース・クロックが停止している場合は、ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値)になります。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（0080H）で次の内容を設定します。

・オプション・バイト（0080H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第27章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウント動作禁止（リセット解除後、カウント停止）、不正アクセス検出動作禁止
1	カウント動作許可（リセット解除後、カウント開始）、不正アクセス検出動作許可

・オプション・バイト（0080H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、10.4.2および第27章を参照）。

・オプション・バイト（0080H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、10.4.3および第27章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・命令のフェッチにて、IMSレジスタおよびIXSレジスタ^注で設定していない領域からフェッチした場合（CPU暴走時の無効チェック検出）
- ・CPUのリード/ライト命令にて、IMSレジスタおよびIXSレジスタ^注で設定していない領域（ただしFB00H-FFCFH, FFE0H-FFFFHは除く）にアクセスした場合（CPU暴走時の異常アクセス検出）

注 内部拡張RAMを内蔵していない製品は、IXSレジスタを搭載していません。

- 注意1. リセット解除後1回目のWDTEへの書き込みは、オーバフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{RL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフロー直前（FFFFH）まで有効です。

注意4. オプション・バイトのビット0 (LSROSC) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	LSROSC = 0 (低速内蔵発振器はソフトウェアにより停止可能)	LSROSC = 1 (低速内蔵発振器は停止不可)
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

LSROSC = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウンタを再開します。このとき、カウンタはクリア (0) されず、停止前の値からカウンタ開始します。

また、LSROSC = 0設定時に、LSRSTOP (内蔵発振モード・レジスタ (RCM) のビット1) = 1を設定して低速内蔵発振器の発振を停止した場合も、ウォッチドッグ・タイマの動作は停止します。このときもカウンタはクリア (0) されません。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(0080H)のビット3-1(WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウンタ動作を開始します。

設定するオーバフロー時間を次に示します。

表10-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

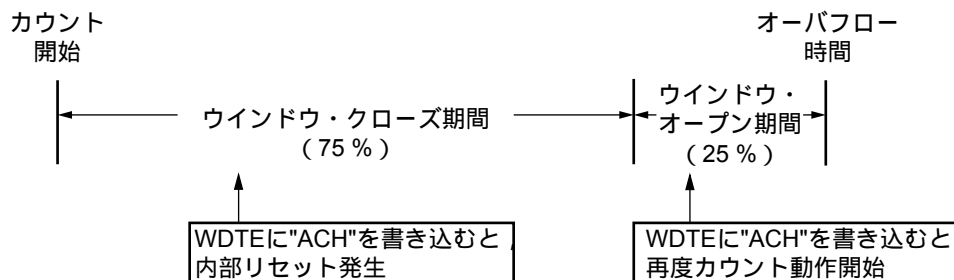
- () 内は $f_{RL} = 264 \text{ kHz (MAX.)}$ の場合

10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト(0080H)のビット6, 5(WINDOW1, WINDOW0)で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みは、オーバーフロー時間前であれば、どのタイミングで行っても、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表10-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。

- 1.8 V $V_{DD} < 2.6$ Vで使用する場合、WINDOW1 = WINDOW0 = 0は設定禁止です。
- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時は、ウォッチドッグ・タイマは停止しません。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 オーバフロー時間を $2^{11}/f_{RL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

(2.6 V V_{DD} 5.5 Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 7.11 ms	0 ~ 4.74 ms	0 ~ 2.37 ms	なし
ウインドウ・オープン時間	7.11 ~ 7.76 ms	4.74 ~ 7.76 ms	2.37 ~ 7.76 ms	0 ~ 7.76 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/264 \text{ kHz} (\text{MAX.}) = 7.76 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 7.11 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{11}/f_{RL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{11}/f_{RL} (\text{MAX.}) = 2^{11}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{11}/264 \text{ kHz} (\text{MAX.}) \\ = 7.11 \sim 7.76 \text{ ms}$$

第11章 クロック出力／ブザー出力制御回路

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
クロック出力		-		
ブザー出力				

：搭載， - ：非搭載

11.1 クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また、ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図11 - 1にクロック出力／ブザー出力制御回路のブロック図を示します。

図11 - 1 クロック出力／ブザー出力制御回路のブロック図（1/2）

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

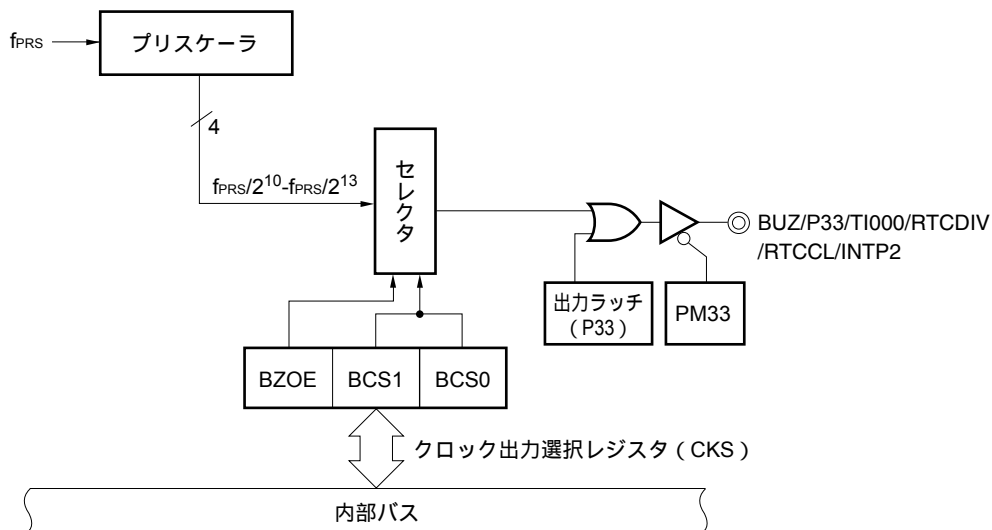
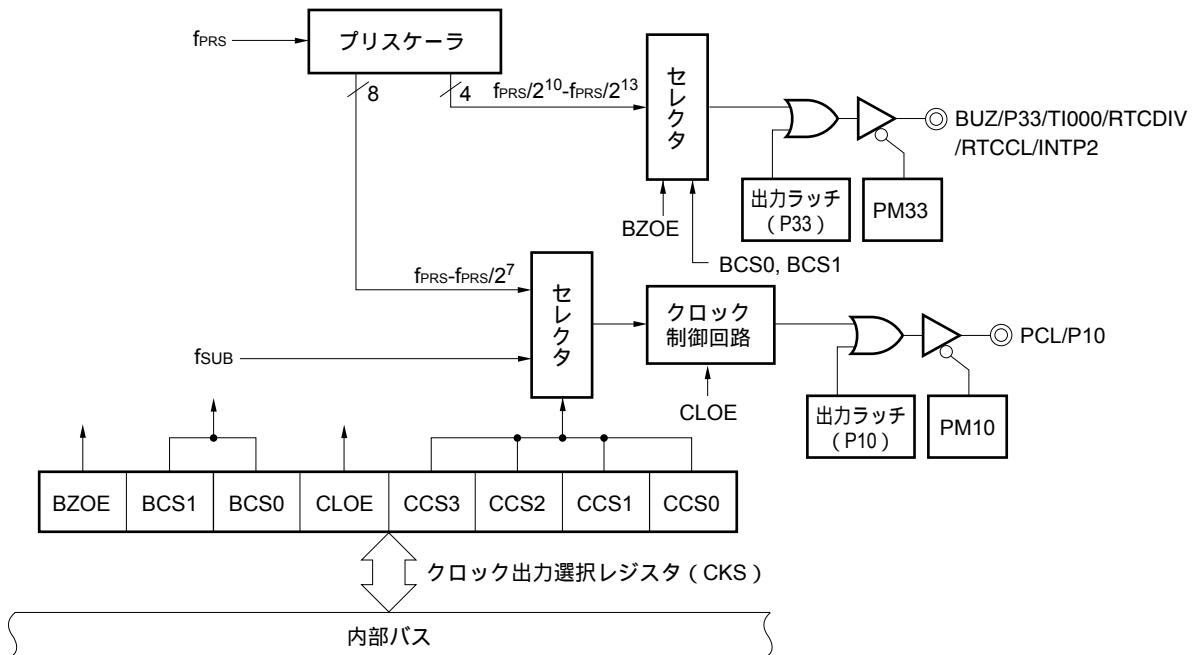


図11 - 1 クロック出力／ブザー出力制御回路のブロック図 (2/2)

(b) 78K0/LF3



11.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表11 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ(CKS) ポート・モード・レジスタ3(PM3) ポート・レジスタ3(P3) ポート・モード・レジスタ1(PM1) ポート・レジスタ1(P1)

11.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は、次の3種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート・モード・レジスタ1 (PM1)

(1) クロック出力選択レジスタ (CKS)

クロック出力 (PCL) , ブザー周波数出力 (BUZ) の出力許可 / 禁止 , および出力クロックを設定するレジスタです。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-2 クロック出力選択レジスタ (CKS) のフォーマット (1/2)

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

アドレス : FF40H リセット時 : 00H R/W

略号	<input type="checkbox"/>	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	0	0	0	0	0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	0	f _{PRS} /2 ¹⁰	4.88 kHz	9.77 kHz
0	1	f _{PRS} /2 ¹¹	2.44 kHz	4.88 kHz
1	0	f _{PRS} /2 ¹²	1.22 kHz	2.44 kHz
1	1	f _{PRS} /2 ¹³	0.61 kHz	1.22 kHz

注意 BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図11-2 クロック出力選択レジスタ (CKS) のフォーマット (2/2)

(b) 78K0/LF3

アドレス : FF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可 / 禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択		
			f _{PRS} = 5 MHz	f _{PRS} = 10 MHz
0	0	f _{PRS} /2 ¹⁰	4.88 kHz	9.77 kHz
0	1	f _{PRS} /2 ¹¹	2.44 kHz	4.88 kHz
1	0	f _{PRS} /2 ¹²	1.22 kHz	2.44 kHz
1	1	f _{PRS} /2 ¹³	0.61 kHz	1.22 kHz

CLOE	PCLの出力許可 / 禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択 ^{注1}			
				f _{SUB} = 32.768 kHz	f _{PRS} = 5 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	-	5 MHz	10 MHz
0	0	0	1	f _{PRS} /2	-	2.5 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²	-	1.25 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³	-	625 kHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴	-	312.5 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵	-	156.25 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶	-	78.125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷	-	39.062 kHz	78.125 kHz
1	0	0	0	f _{SUB}	32.768 kHz	-	-
上記以外				設定禁止			

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 V で、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、CCS3 = CCS2 = CCS1 = CCS0 = 0 (PCLの出力クロック : f_{PRS}) は設定禁止です。

注意1. BCS1, BCS0の設定は、ブザー出力動作停止時 (BZOE = 0) に行ってください。

2. CCS3-CCS0の設定は、クロック出力動作停止時 (CLOE = 0) に行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力／出力を1ビット単位で設定するレジスタです。

P33/TI000/RTCDIV/RTCCL/BUZ/INTP2端子をブザー出力機能として使用するとき，PM33およびP33の出力ラッチに0を設定してください。

PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図11-3 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は，78K0/LF3のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては，4.3 **ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx)** を参照してください。

(3) ポート・モード・レジスタ1 (PM1)

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P10/PCL端子をクロック出力機能として使用するとき，PM10およびP10の出力ラッチに0を設定してください。

PM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図11-4 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス：FF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は，78K0/LF3のポート・モード・レジスタ1のフォーマットです。

11.4 クロック出力／ブザー出力制御回路の動作

11.4.1 クロック出力としての動作

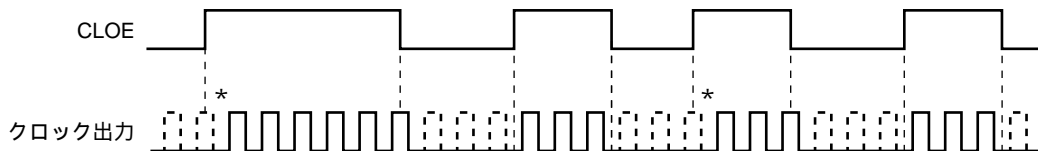
クロック・パルスは、次の手順で出力します。

クロック出力選択レジスタ（CKS）のビット0-3（CCS0-CCS3）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。

CKSのビット4（CLOE）に1を設定し、クロック出力を許可する。

備考 クロック出力制御回路は、クロック出力の出力許可／禁止を切り替えるときに、幅の狭いパルスは出力されないようになっています。図11-5に示すように、必ずクロックのロウ期間から出力を開始します（図中の*印参照）。また、停止する場合には、クロックのハイ・レベルを保証してから出力を停止します。

図11-5 クロック出力応用例



11.4.2 ブザー出力としての動作

ブザー・クロックは、次の手順で出力します。

クロック出力選択レジスタ（CKS）のビット5, 6（BCS0, BCS1）でブザー出力周波数を選択する（ブザー出力は禁止の状態）。

CKSのビット7（BZOE）に1を設定し、ブザー出力を許可する。

第12章 10ビット逐次比較型A/Dコンバータ

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
10ビット逐次比較型 A/Dコンバータ	6 ch ^{注1}		8 ch ^{注2}	

注1. μ PD78F041x, 78F043xのみ。

2. μ PD78F045x, 78F046x, 78F048x, 78F049xのみ。

12.1 10ビット逐次比較型A/Dコンバータの機能

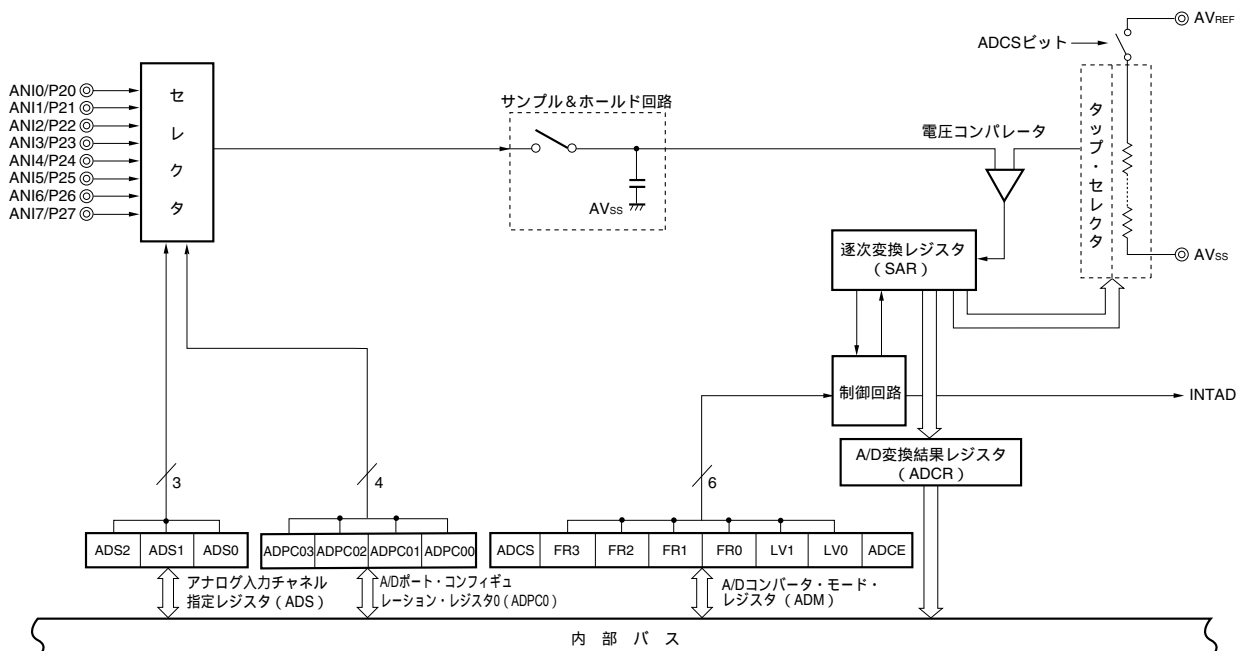
10ビット逐次比較型A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

ANI0-ANI7からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

図12-1 10ビット逐次比較型A/Dコンバータのブロック図



備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

12.2 10ビット逐次比較型A/Dコンバータの構成

10ビット逐次比較型A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7端子

10ビット逐次比較型A/Dコンバータの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートもしくはセグメント出力（ μ PD78F041x, 78F043x, 78F045x, 78F048xのみ）として使用できます。

備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

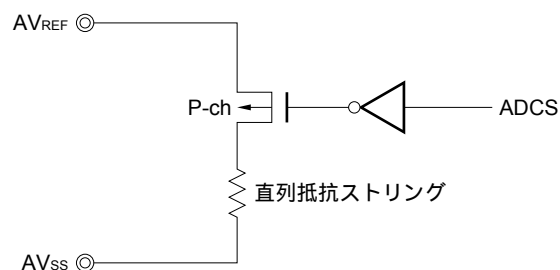
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはAVREF-AVSS間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図12-2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

注意 ADCR, ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCR, ADCRHからデータを読み出さないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{REF}端子

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。ポート2をデジタル・ポートまたはセグメント出力として使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ANI0/P20-ANI7/P27端子を、16ビット型A/Dコンバータのアナログ入力/10ビット逐次比較型A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

(13) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(14) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子を、入力/出力に切り替えるレジスタです。

(15) ポート・ファンクション・レジスタ2 (PF2) (μ PD78F041x, 78F043x, 78F045x, 78F048xのみ)

ANI0/P20-ANI7/P27端子を、ポート入出力もしくはA/Dコンバータのアナログ入力/セグメント出力に切り替えるレジスタです。

備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

12.3 10ビット逐次比較型A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・ポート・ファンクション・レジスタ2 (PF2) (μ PD78F041x, 78F043x, 78F045x, 78F048xのみ)
- ・ポート・モード・レジスタ2 (PM2)
- ・10ビットA/D変換結果レジスタ (ADCR)
- ・8ビットA/D変換結果レジスタ (ADCRH)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生入力により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FF8DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	FR3 ^{注1}	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADCE	コンパレータの動作制御 ^{注2}
0	コンパレータの動作停止
1	コンパレータの動作許可

注1. FR3-FR0, LV1, LV0およびA/D変換に関する詳細は、表12-2 A/D変換時間の選択を参照してください。

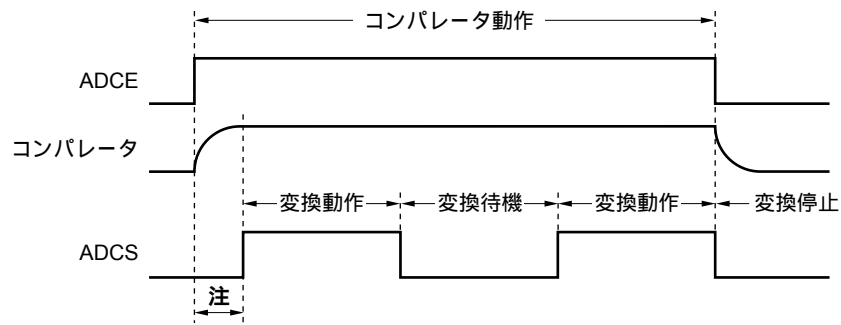
2. コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表12-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (コンパレータ動作, コンパレータのみ電力消費)
1	0	変換モード (コンパレータ動作停止 ^注)
1	1	変換モード (コンパレータ動作)

注 最初の変換データは、無視してください。

図12 - 4 コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

- 注意1. FR3-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
2. ADMにデータを書き込むと、ウエイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADMにデータを書き込まないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

表12 - 2 A/D変換時間の選択

(1) 2.7 V AV_{REF} 5.5 V (LV0 = 0)

A/Dコンバータ・モード・レジスタ (ADM)						変換時間の選択				変換クロック (f_{AD})
FR3	FR2	FR1	FR0	LV1	LV0	$f_{PRS} = 2$ MHz	$f_{PRS} = 8$ MHz	$f_{PRS} = 10$ MHz		
1	x	x	x	0	0	$352/f_{PRS}$	設定禁止	44.0 μ s	35.2 μ s	$f_{PRS}/16$
0	0	0	0	0	0	$264/f_{PRS}$		33.0 μ s	26.4 μ s	$f_{PRS}/12$
0	0	0	1	0	0	$176/f_{PRS}$		22.0 μ s	17.6 μ s	$f_{PRS}/8$
0	0	1	0	0	0	$132/f_{PRS}$	66.0 μ s	16.5 μ s	13.2 μ s	$f_{PRS}/6$
0	0	1	1	0	0	$88/f_{PRS}$	44.0 μ s	11.0 μ s ^注	8.8 μ s ^注	$f_{PRS}/4$
0	1	0	0	0	0	$66/f_{PRS}$	33.0 μ s	8.3 μ s ^注	6.6 μ s ^注	$f_{PRS}/3$
0	1	0	1	0	0	$44/f_{PRS}$	22.0 μ s	設定禁止	設定禁止	$f_{PRS}/2$
上記以外						設定禁止				

注 4.0 V AV_{REF} 5.5 V時のみ設定可能(2) 2.3 V $AV_{REF} < 5.5$ V (LV0 = 1)

A/Dコンバータ・モード・レジスタ (ADM)						変換時間の選択				変換クロック (f_{AD})	
FR3	FR2	FR1	FR0	LV1	LV0	$f_{PRS} = 2$ MHz	$f_{PRS} = 5$ MHz	$f_{PRS} = 8$ MHz			
1	x	x	x	0	1	$640/f_{PRS}$	設定禁止	設定禁止	80.0 μ s	$f_{PRS}/16$	
0	0	0	0	0	1	$480/f_{PRS}$			60.0 μ s	$f_{PRS}/12$	
0	0	0	1	0	1	$320/f_{PRS}$			64.0 μ s	40.0 μ s	$f_{PRS}/8$
0	0	1	0	0	1	$240/f_{PRS}$			48.0 μ s	30.0 μ s	$f_{PRS}/6$
0	0	1	1	0	1	$160/f_{PRS}$	80.0 μ s	32.0 μ s	設定禁止	$f_{PRS}/4$	
0	1	0	0	0	1	$120/f_{PRS}$	60.0 μ s	設定禁止		$f_{PRS}/3$	
0	1	0	1	0	1	$80/f_{PRS}$	40.0 μ s			$f_{PRS}/2$	
上記以外						設定禁止					

注意1. 変換時間は、次の条件で設定してください。

(1) 2.7 V AV_{REF} 5.5 V (LV0 = 0)

- 4.0 V AV_{REF} 5.5 Vの場合： $f_{AD} = 0.262 \sim 3.6$ MHz
- 2.7 V $AV_{REF} < 4.0$ Vの場合： $f_{AD} = 0.262 \sim 1.8$ MHz

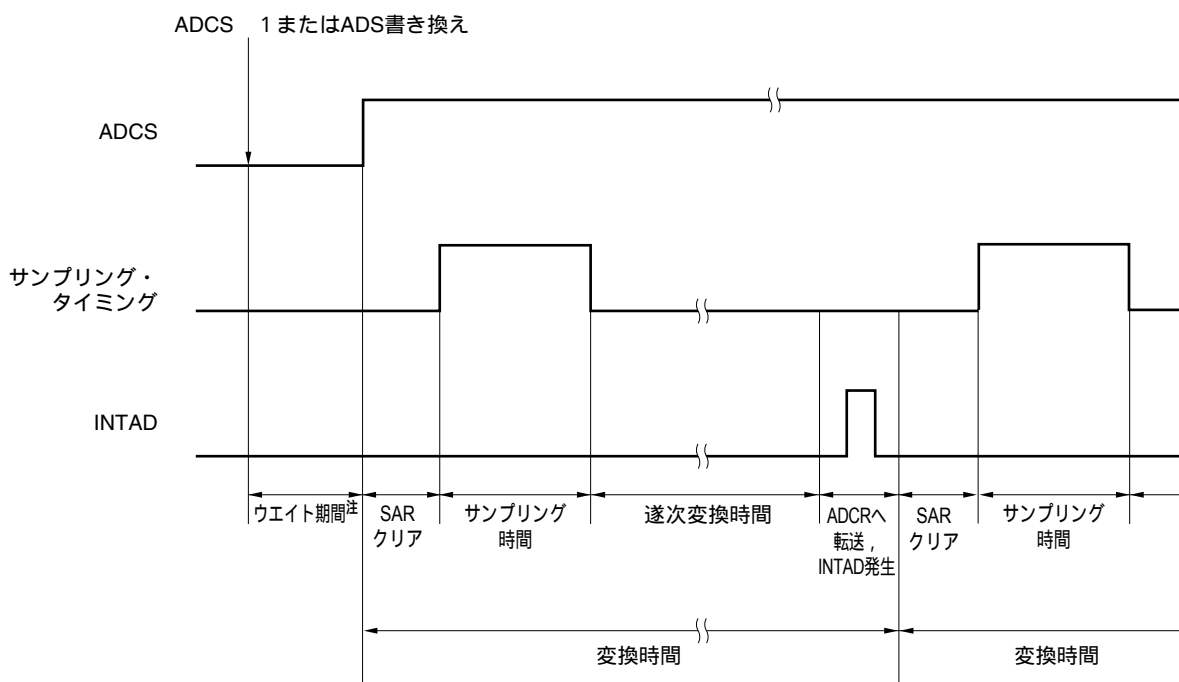
(2) 2.3 V AV_{REF} 5.5 V (LV0 = 1)

- 4.0 V AV_{REF} 5.5 Vの場合： $f_{AD} = 0.48 \sim 3.6$ MHz
- 2.7 V $AV_{REF} < 4.0$ Vの場合： $f_{AD} = 0.48 \sim 1.8$ MHz
- 2.3 V $AV_{REF} < 2.7$ Vの場合： $f_{AD} = 0.48 \sim 1.48$ MHz

- FR3-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。
- 2.3 V $AV_{REF} < 2.7$ Vの場合、LV1, LV0をデフォルト値から変更してください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

図12 - 5 A/DコンバータのサンプリングとA/D変換のタイミング



注 ウェイト期間の詳細は、第34章 ウェイトに関する注意事項を参照してください。

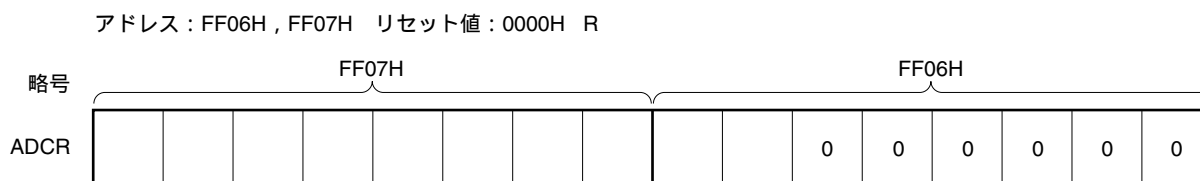
(2) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFF07Hに、下位2ビットがFF06Hの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生入力により、0000Hになります。

図12 - 6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意1. A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPC0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

2. ADCRからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック(f_{PRS})が停止しているときに、ADCRからデータを読み出さないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

(3) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図12 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FF07H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

- 注意1.** A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPC0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
- 2.** ADCRHからデータを読み出すと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADCRHからデータを読み出さないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

(4) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

図12-8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FF8EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

注2	注1	ADS2	ADS1	ADS0	アナログ入力チャンネルの指定
設定可	設定可	0	0	0	ANI0
		0	0	1	ANI1
		0	1	0	ANI2
		0	1	1	ANI3
	設定禁止	1	0	0	ANI4
		1	0	1	ANI5
		1	1	0	ANI6
		1	1	1	ANI7

注1. μ PD78F041x, 78F043x

2. μ PD78F045x, 78F046x, 78F048x, 78F049x

注意1. ビット3-7には必ず0を設定してください。

- A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- ADPC0でデジタル入出力として設定する端子を、ADSで設定しないでください。
- 10ビット逐次比較型A/Dコンバータ入力としてチャンネル選択した端子は、16ビット型A/Dコンバータ入力としてチャンネル選択しないで下さい。
- ADSにデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADSにデータを書き込まないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

(5) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ANI0/P20-ANI7/P27端子を，A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，08Hになります。

備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

図12 - 9 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット (1/2)

(a) μ PD78F041x, 78F043x, 78F045x, 78F048x

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

注2	注1	設定可	設定可	設定禁止	ADPC3	ADPC2	ADPC1	ADPC0	デジタル入出力 (D) / アナログ入力 (A) の切り替え									
									P27	P26	P25	P24	P23	P22	P21	P20		
									/ANI7	/ANI6	/ANI5	/ANI4	/ANI3	/ANI2	/ANI1	/ANI0		
					xx	xx	xx	xx	xx	xx	xx	xx	xx	xx	xx	xx	xx	xx
					0	0	0	0	A	A	A	A	A	A	A	A	A	A
					0	0	0	1	A	A	A	A	A	A	A	A	A	D
					0	0	1	0	A	A	A	A	A	A	D	D	D	D
					0	0	1	1	A	A	A	A	A	D	D	D	D	D
					0	1	0	0	A	A	A	A	D	D	D	D	D	D
					0	1	0	1	A	A	A	D	D	D	D	D	D	D
					0	1	1	0	A	A	D	D	D	D	D	D	D	D
					0	1	1	1	A	D	D	D	D	D	D	D	D	D
					1	0	0	0	D	D	D	D	D	D	D	D	D	D
上記以外									設定禁止									

注1. μ PD78F041x, 78F043x

2. μ PD78F045x, 78F048x

図12-9 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット (2/2)

(b) μ PD78F046x, 78F049x

アドレス : FF8FH リセット時 : 08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	デジタル入出力 (D) / アナログ入力 (A : 逐次比較型, : 型) の切り替え							
				P27 /ANI7 /REF+	P26 /ANI6 /REF-	P25 /ANI5 /DS2+	P24 /ANI4 /DS2-	P23 /ANI3 /DS1+	P22 /AN2 /DS1-	P21 /ANI1 /DS0+	P20 /ANI0 /DS0-
0	0	0	0	A/	A/	A/	A/	A/	A/	A/	A/
0	0	0	1	A/	A/	A/	A/	A/	A/	A	D
0	0	1	0	A/	A/	A/	A/	A/	A/	D	D
0	0	1	1	A/	A/	A/	A/	A	D	D	D
0	1	0	0	A/	A/	A/	A/	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

- 注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- ADPC0でデジタル入出力として設定する端子を、ADS, ADDS1, ADDS0で設定しないでください。
 - ADPC0にデータを書き込むと、ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、ADPC0にデータを書き込まないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。
 - ANI0/P20/SEGxx-ANI7/P27/SEGxx端子をPF2レジスタでセグメント出力端子として選択した場合には、ADPC0の設定に関わらず、セグメント出力となります (μ PD78F041x, 78F043x, 78F045x, 78F048xのみ)。

(6) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 ANI0-ANI5端子：μ PD78F041x, 78F043x

ANI0-ANI7端子：μ PD78F045x, 78F046x, 78F048x, 78F049x

図12 - 10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LE3, 78K0/LF3のポート・モード・レジスタ2のフォーマットです。他の製品のポート・モード・レジスタ2のフォーマットについては、4.3 **ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx)** を参照してください。

ANI0/P20-ANI7/P27端子の機能は、PF2, ADPC0, PM2, ADS, ADDCTL0の設定で決定します。

表12 - 3 P20/ANI0-P27/ANI7端子機能の設定

(a) μ PD78F041x, 78F043x, 78F045x, 78F048x

PF2	ADPC0	PM2	ADS	P20/SEGxx/ANI0 -P27/SEGxx/ANI7端子
デジタル/ アナログ選択	アナログ入力 選択	入力モード	ANI非選択	アナログ入力 (非変換対象)
			ANI選択	アナログ入力 (逐次比較型A/D変換対象)
		出力モード	-	設定禁止
	デジタル 入出力選択	入力モード	-	デジタル入力
出力モード		-	デジタル出力	
SEG出力選択	-	-	-	セグメント出力

(b) μ PD78F046x, 78F049x

ADPC0	PM2	ADS	ADDCTL0	P20/ANI0/DS0- - P27/ANI7/REF+端子
アナログ 入力選択	入力モード	ANI非選択	DSn \pm 非選択	アナログ入力 (非変換対象)
		ANI選択	DSn \pm 非選択	アナログ入力 (逐次比較型A/D変換対象)
		ANI非選択	DSn \pm 選択	アナログ入力 (型A/D変換対象)
		ANI選択	DSn \pm 選択	設定禁止
	出力モード	-	-	設定禁止
デジタル 入出力選択	入力モード	-	-	デジタル入力
	出力モード	-	-	デジタル出力

12.4 10ビット逐次比較型A/Dコンバータの動作

12.4.1 A/Dコンバータの基本動作

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、コンパレータの動作を開始してください。

A/D変換するチャンネルを、A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) でアナログ入力に、ポート・モード・レジスタ (PM2) で入力モードに設定してください。

ADMのビット6-1 (FR3-FR0, LV1, LV0) でA/D変換時間を設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

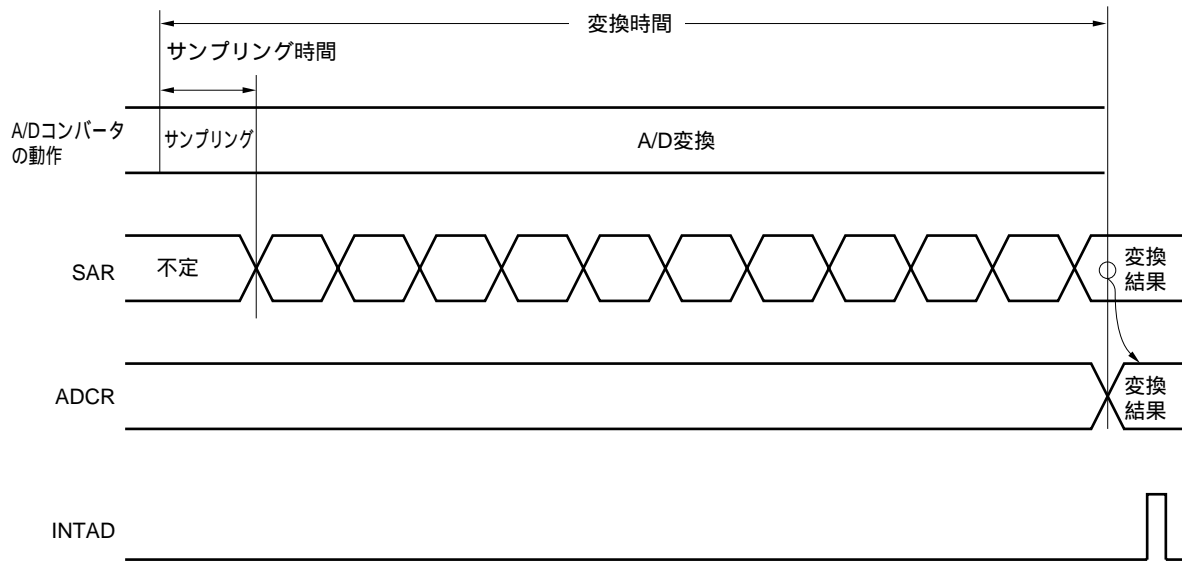
注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。

・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図12 - 11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

12. 4. 2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{AV_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または、

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{AV_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{AV_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCR) の値

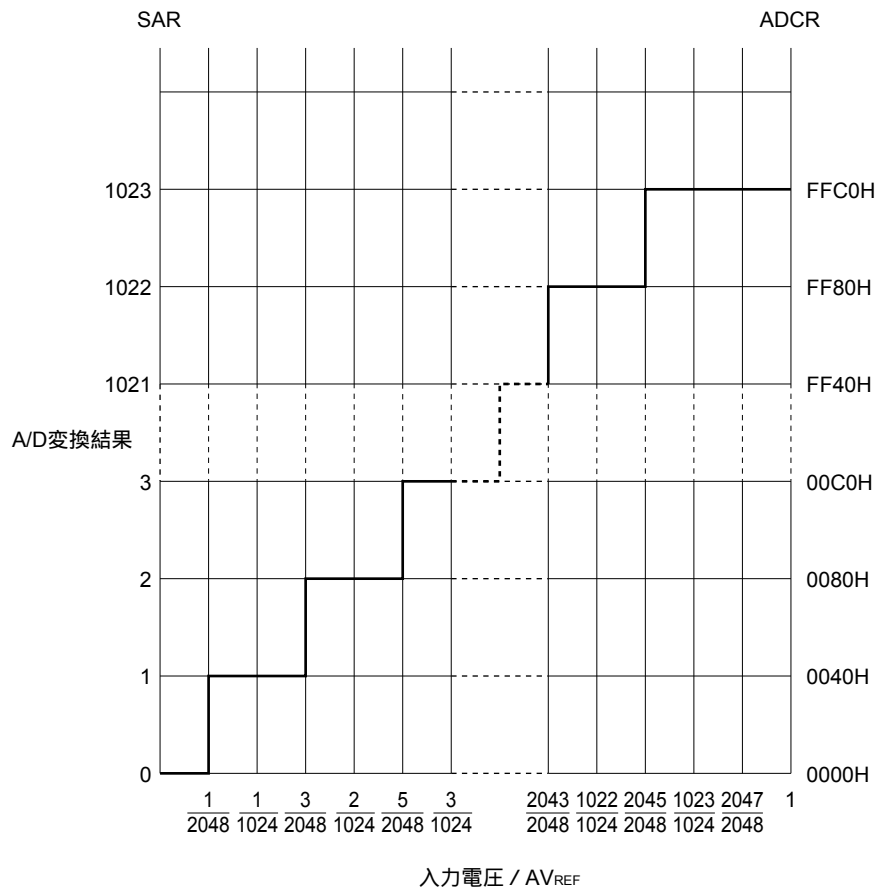
SAR : 逐次変換レジスタ

備考 ANI0-ANI5端子 : μ PD78F041x, 78F043x

ANI0-ANI7端子 : μ PD78F045x, 78F046x, 78F048x, 78F049x

図12 - 12にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 12 アナログ入力電圧とA/D変換結果の関係



12.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を行います。

備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

(1) A/D変換動作

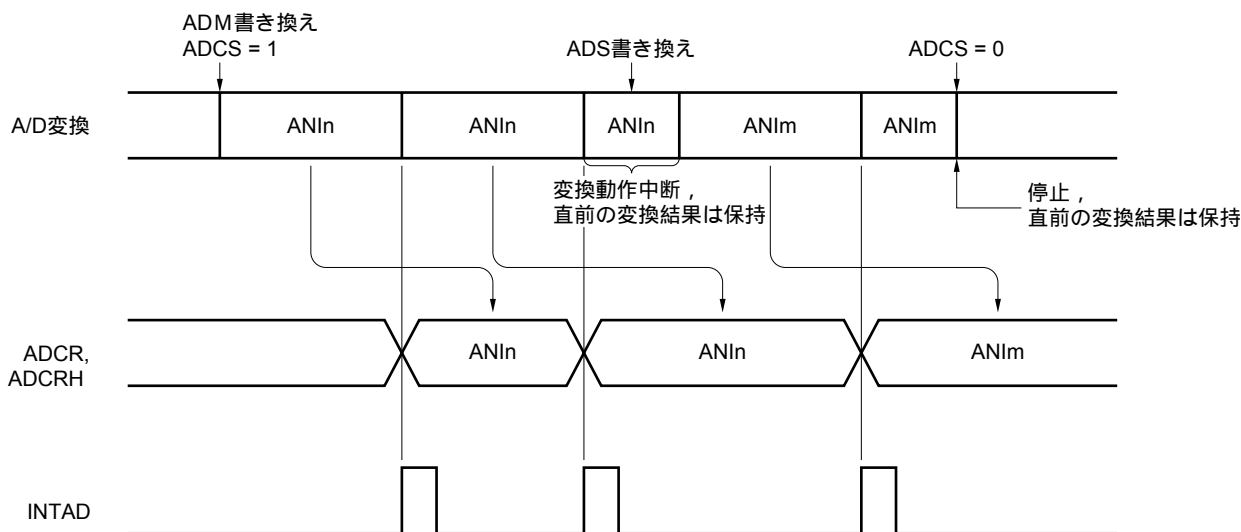
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図12 - 13 A/D変換動作



備考 μ PD78F041x, 78F043x :

$n = 0-5, m = 0-5$

μ PD78F045x, 78F046x, 78F048x, 78F049x : $n = 0-7, m = 0-7$

次に設定方法を説明します。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のビット3-0 (ADPC03-ADPC00) ,
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) で使用するチャンネルをアナロ
グ入力に設定

ADMのビット6-1 (FR3-FR0, LV1, LV0) で変換時間を選択

アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) で使用するチャンネル
を選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< チャンネルを変更する >

ADSのビット2-0 (ADS2-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

- 注意1.** から までの間は1 μ s以上空けてください。
- は, から までの間に行っても, 問題ありません。
 - は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
 - から までの時間は, ADMのビット6-1 (FR3-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR3-FR0, LV1, LV0で設定した変換時間となります。

12.5 逐次比較型A/Dコンバータ特性表の読み方

逐次比較型A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図12 - 14 総合誤差

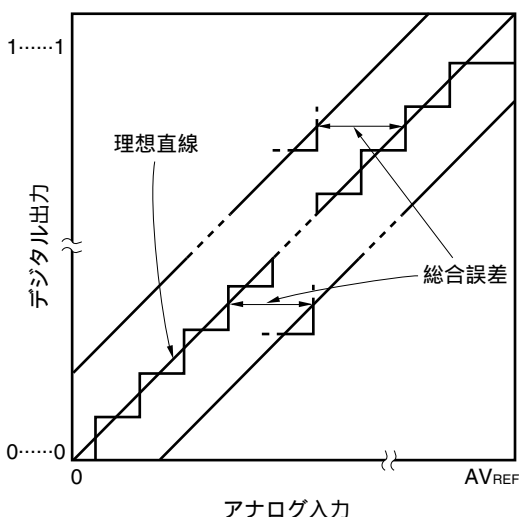
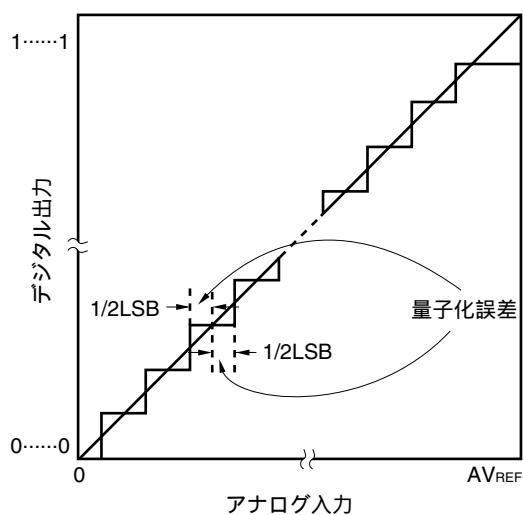


図12 - 15 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12 - 16 ゼロスケール誤差

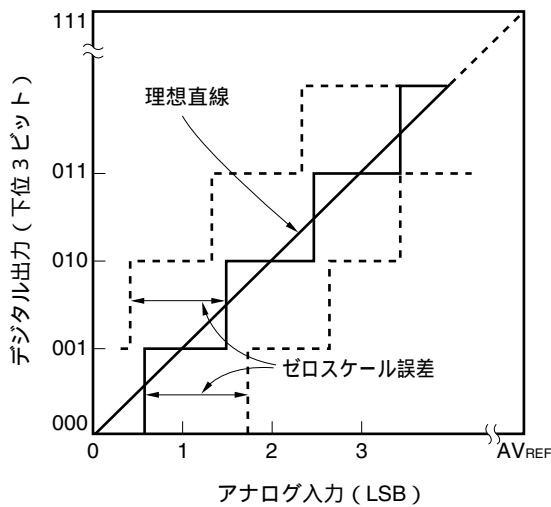


図12 - 17 フルスケール誤差

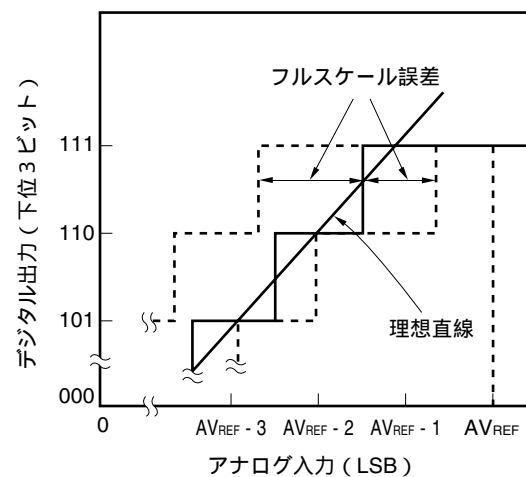


図12 - 18 積分直線性誤差

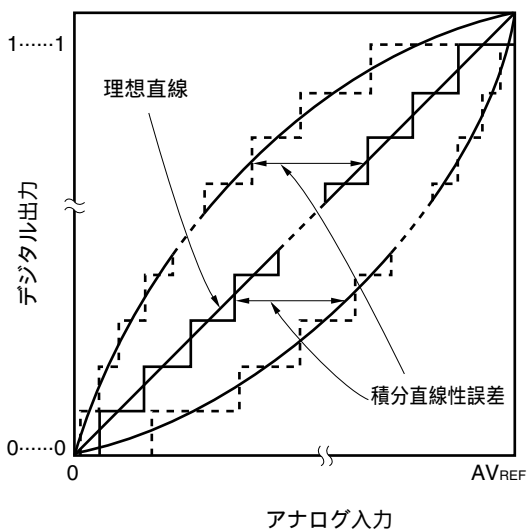
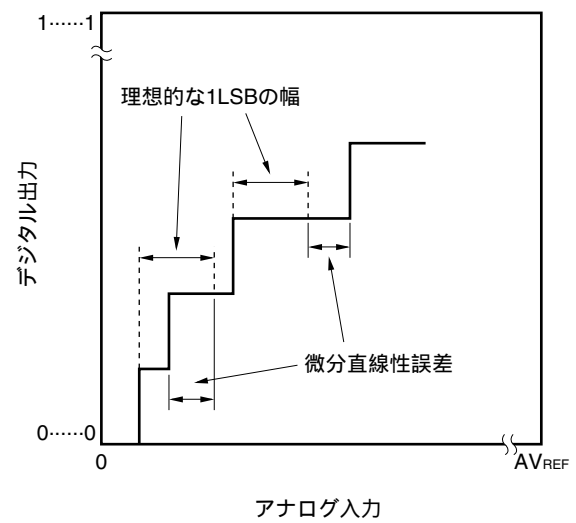


図12 - 19 微分直線性誤差

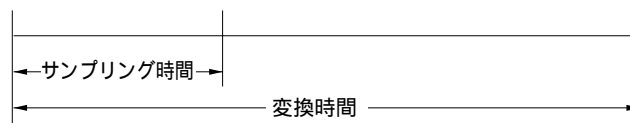
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.6 10ビット逐次比較型A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

A/Dコンバータは、STOPモード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。

(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ライトの競合

ADM, ADS, ADPC0へのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI0-ANI7端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-20のようにCを外付けすることを推奨します。

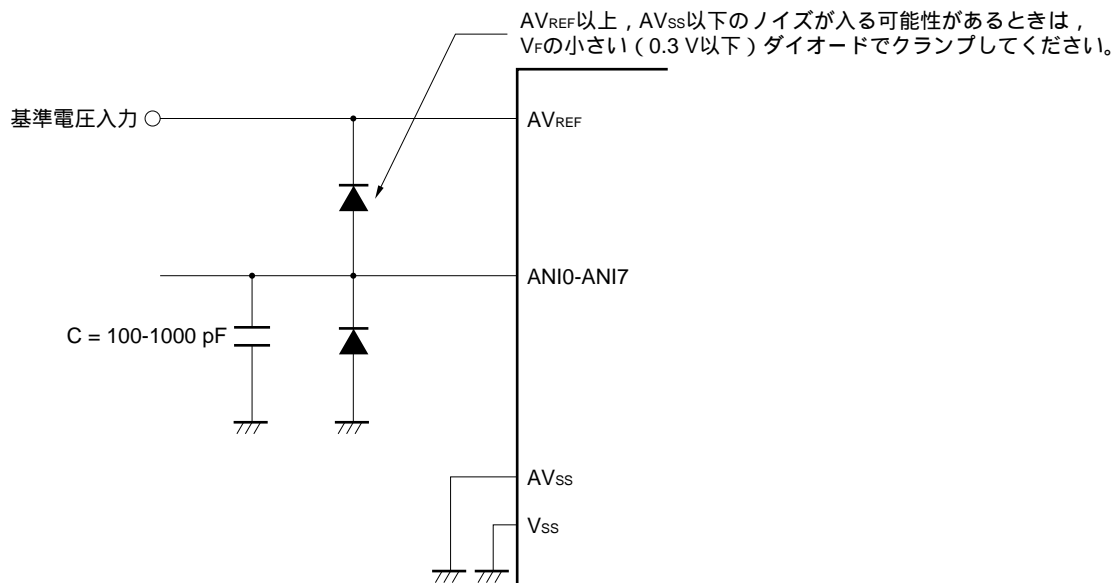
変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

備考 ANI0-ANI5端子： μ PD78F041x, 78F043x

ANI0-ANI7端子： μ PD78F045x, 78F046x, 78F048x, 78F049x

図12 - 20 アナログ入力端子の処理



- (5) ANI0/SEGxx/P20 - ANI7/SEGxx/P27端子 (μ PD78F041x, 78F043x, 78F045x, 78F048x) ,
ANI0/DS0-/P20 - ANI7/REF+/P27端子 (μ PD78F046x, 78F049x) について

アナログ入力 (ANI0-ANI7) 端子は入出力ポート (P20-P27) 端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合, 変換中にP20-P27に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27のうち, デジタル入出力ポートとして使用する端子は, AV_{REF}から最も遠いANI0/P20より順に選択することを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを入出力, またはセグメント出力すると, カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって, A/D変換中の端子に隣接する端子へのパルス入出力, またはセグメント出力はしないようにしてください。

- (6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは, サンプリング時間で内部のサンプリング・コンデンサに充電して, サンプリングを行っています。

したがって, サンプリング中以外はリーク電流だけであり, サンプリング中にはコンデンサに充電するための電流も流れるので, 入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし, 十分にサンプリングするためには, アナログ入力源の出力インピーダンスを10 k 以下にし, 出力インピーダンスが高いときはANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します (図12 - 20参照) 。

- (7) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には数十k の直列抵抗ストリングが接続されています。

したがって, 基準電圧源の出力インピーダンスが高い場合, AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり, 基準電圧の誤差が大きくなります。

備考 ANI0-ANI5端子 : μ PD78F041x, 78F043x

ANI0-ANI7端子 : μ PD78F045x, 78F046x, 78F048x, 78F049x

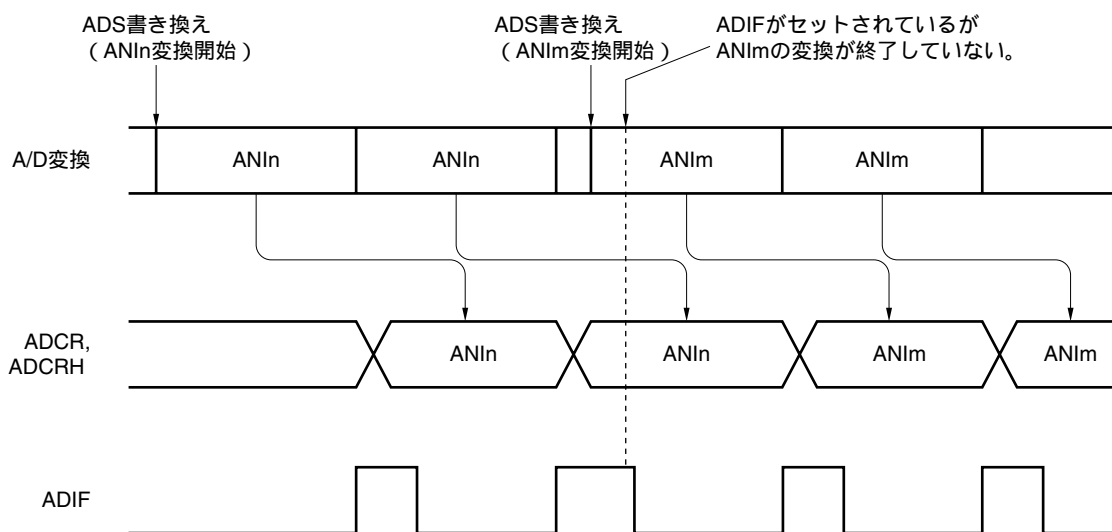
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図12 - 21 A/D変換終了割り込み要求発生タイミング



備考 μ PD78F041x, 78F043x : $n = 0-5, m = 0-5$
 μ PD78F045x, 78F046x, 78F048x, 78F049x : $n = 0-7, m = 0-7$

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、 $1 \mu\text{s}$ 以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPC0に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 22 ANIn端子内部等価回路

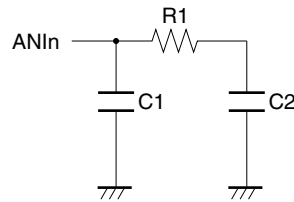


表12 - 4 等価回路の各抵抗と容量値 (参考値)

AV_{REF}	R1	C1	C2
4.0 V $AV_{REF} < 5.5$ V	8.1 k	8 pF	5 pF
2.7 V $AV_{REF} < 4.0$ V	31 k	8 pF	5 pF
2.3 V $AV_{REF} < 2.7$ V	381 k	8 pF	5 pF

備考1. 表12 - 4の各抵抗と容量値は保証値ではありません。

2. μ PD78F041x, 78F043x : n = 0-5

μ PD78F045x, 78F046x, 78F048x, 78F049x : n = 0-7

(12) 10ビット逐次比較型A/Dコンバータと16ビット 型A/Dコンバータの同時使用について

(μ PD78F046x, 78F049xのみ)

10ビット逐次比較型A/Dコンバータと16ビット 型A/Dコンバータを同時に使用した場合、A/D変換の精度が悪くなることがあります。

精度が保証できないため、10ビット逐次比較型A/Dコンバータ動作中には、16ビット 型A/Dコンバータを停止させてください。また、16ビット 型A/Dコンバータ動作中には、10ビット逐次比較型A/Dコンバータを停止させてください(同時に動作させないでください)。

第13章 16ビット 型A/Dコンバータ

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
16ビット 型 A/Dコンバータ	-		3 ch ^注	

- : 非搭載

注 μPD78F046x, 78F049xのみ。

13.1 16ビット 型A/Dコンバータの機能

16ビット 型A/Dコンバータは、アナログ入力をデジタル値に変換する16ビット分解能のコンバータで、最大3チャンネル (DS0-/DS0+, DS1-/DS1+, DS2-/DS2+) のアナログ入力を制御できる構成になっています。

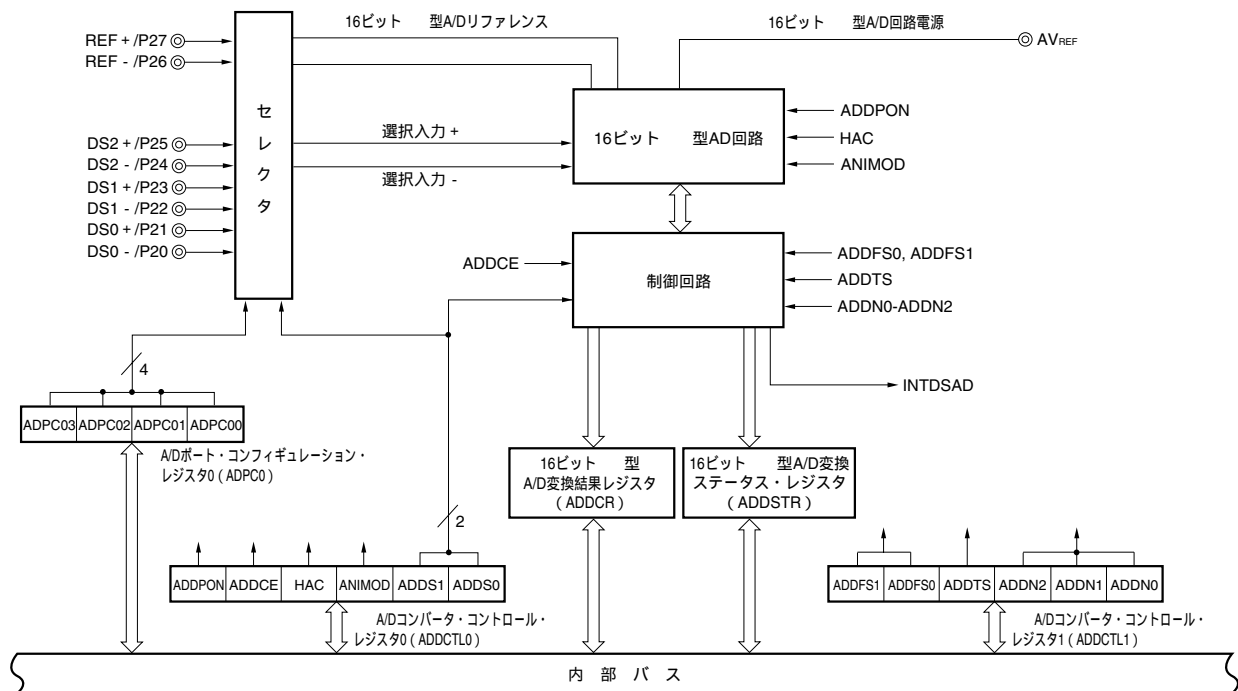
A/Dコンバータには、次のような機能があります。

- 16ビット分解能A/D変換

DS0-/DS0+, DS1-/DS1+, DS2-/DS2+からアナログ入力を1チャンネル選択し、16ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTDSAD) を発生します。

分解能を下げるにより、変換時間を短くすることも可能です。

図13 - 1 16ビット 型A/Dコンバータのブロック図



13.2 16ビット 型A/Dコンバータの構成

16ビット 型A/Dコンバータは、次のハードウェアで構成しています。

(1) DS0-/DS0+, DS1-/DS1+, DS2-/DS2+端子

16ビット 型A/Dコンバータの3チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

差動入力モードで使用する場合には、DS-およびDS+にアナログ入力します。シングル入力モードで使用する場合にはDS+にアナログ入力し、DS-は V_{SS} および AV_{SS} と同電位にします。

(2) 16ビット 型A/D回路

16ビット 型A/D回路は、リファレンス電圧を基準にしてサンプリングされた電圧値をデジタル値に変換し、制御回路へ出力します。

(3) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。AD変換が終了した場合、変換結果の内容は16ビット 型A/D変換結果レジスタ (ADDCR) に転送され、割り込み(INTDSAD)を発生します。

(4) 16ビット 型A/D変換結果レジスタ (ADDCR)

A/D変換が終了するたびに、制御回路から変換結果がロードされ、A/D変換結果を16ビットのレジスタに保持します。

(5) 8ビット 型A/D変換結果レジスタ (ADDCRH)

A/D変換が終了するたびに、制御回路から変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

注意 ADDCR, ADDCRHからデータを読み出すと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADDCR, ADDCRHからデータを読み出さないでください。

(6) AV_{REF} 端子

16ビット 型A/D回路のアナログ電源端子です。ポート2を1本でも、デジタル・ポートまたはセグメント出力として使用する場合は、 V_{DD} 端子と同電位にしてください。

(7) REF-, REF+端子

16ビット 型A/Dコンバータの基準電圧を入力する端子です。REF-, REF+間にかかる電圧に基づいて、DS0-/DS0+, DS1-/DS1+, DS2-/DS2+に入力される信号をデジタル信号に変換します。REF-端子は常に V_{SS} および AV_{SS} と、REF+端子は常に AV_{REF} と同電位で使用してください。

(8) AV_{ss}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{ss}端子と同電位で使用してください。

(9) 16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0)

16ビット 型A/D回路もしくは制御回路の電源のオン/オフ、変換動作の開始/停止、高精度モードのオン/オフ、 入力モードの制御、アナログ入力チャンネルを設定するレジスタです。

(10) 16ビット 型A/Dコンバータ・コントロール・レジスタ1 (ADDCTL1)

A/D変換するサンプリング・クロック、シリアル/パラレル・モード、サンプリング回数(分解能)を設定するレジスタです。

(11) 16ビット 型A/D変換ステータス・レジスタ (ADDSTR)

16ビット 型A/D変換動作終了(変換終了割り込み発生)と、変換チャンネル変更が同時に発生した場合に、どのチャンネルが変換終了したかを確認するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ANI0/P20/DS0- -ANI7/P27/REF+端子を、アナログ入力(16ビット 型A/Dコンバータのアナログ入力もしくは10ビット逐次比較型A/Dコンバータのアナログ入力)/ポートのデジタル入出力に切り替えるレジスタです。

(13) ポート・モード・レジスタ2 (PM2)

ANI0/P20/DS0- -ANI7/P27/REF+端子を、入力/出力に切り替えるレジスタです。

13.3 16ビット 型A/Dコンバータで使用するレジスタ

16ビット 型A/Dコンバータは、次の9種類のレジスタを使用します。

- ・ 16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0)
- ・ 16ビット 型A/Dコンバータ・コントロール・レジスタ1 (ADDCTL1)
- ・ 16ビット 型A/D変換結果レジスタ (ADDCR)
- ・ 8ビット 型A/D変換結果レジスタ (ADDCRH)
- ・ 16ビット 型A/D変換ステータス・レジスタ (ADDSTR)
- ・ A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)
- ・ 16ビット 型A/Dサンプリング遅延時間設定許可レジスタ
- ・ 16ビット 型A/Dサンプリング遅延時間設定レジスタ
- ・ ポート・モード・レジスタ2 (PM2)

(1) 16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0)

16ビット 型A/D回路または制御回路の電源のオン/オフ, 変換動作の開始/停止, 高精度モードのオン/オフ, 入力モードの制御, アナログ入力チャネルを設定するレジスタです。

ADDCTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生入力により、00Hになります。

図13 - 2 16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0) のフォーマット

アドレス : FF7CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADDCTL0	ADDPON	ADDCE	HAC	AINMOD	0	0	ADDS1	ADDS0

ADDPON	16ビット 型A/D回路電源の制御
0	電源オフ
1	電源オン

ADDCE	16ビット 型A/D変換動作の制御
0	変換停止
1	変換開始

HAC	16ビット 型A/D変換高精度モードの設定
0	高精度モード・オフ
1	高精度モード・オン

AINMOD	16ビット 型A/D変換入力モード制御
0	シングル入力
1	差動入力

ADDS1	ADDS0	16ビット 型アナログ入力指定
0	0	DS0+/DS0-
0	1	DS1+/DS1-
1	0	DS2+/DS2-
1	1	設定禁止

- 注意1. ADDPONとADDCEを同時にセット(1)することは禁止です。必ずADDPON = 1にしてから、
1.2 μ s以上経過したのちに、ADDCE = 1にしてください。
2. ADDS1, ADDS0によって設定する アナログ入力チャネルは、ADPC0レジスタでアナログ選択した端子以外は設定禁止です。
3. 16ビット 型A/Dと10ビット逐次比較型A/Dを同時に変換動作 (ADDCE = 1 かつ ADCS = 1) することは禁止です。
4. ADDCTL0を書き換えると(同一データも含む)、A/D変換動作は初期化されたのち、動作を継続します。
5. 入力電圧は、表13 - 4 入力電圧範囲に従ってください。
6. STOP命令を行う場合は、必ず16ビット 型A/Dコンバータの電源をオフ (ADDPON = 0) にしてください。

(2) 16ビット 型A/Dコンバータ・コントロール・レジスタ1 (ADDCTL1)

16ビット 型A/D変換するサンプリング・クロック，シリアル/パラレル・モード，サンプリング回数（分解能）を設定するレジスタです。

ADDCTL1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生入力により，00Hになります。

図13-3 16ビット 型A/Dコンバータ・コントロール・レジスタ1 (ADDCTL1) のフォーマット

アドレス：FF7DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADDCTL1	ADDFS1	ADDFS0	ADDTS	0	0	ADDN2	ADDN1	ADDN0

ADDFS1	ADDFS0	16ビット 型A/Dサンプリング・クロック (f_{VP}) 選択
0	0	$f_{PRS}/4$
0	1	$f_{PRS}/8$
1	0	$f_{PRS}/16$
1	1	$f_{SUB}/2$

ADDTS	16ビット 型A/Dシリアル/パラレル・モードの設定
0	シリアル・モード
1	パラレル・モード

ADDN2	ADDN1	ADDN0	16ビット 型A/Dサンプリング回数 N (分解能)
0	0	0	256 (8ビット)
0	0	1	1024 (10ビット)
0	1	0	2048 (11ビット)
0	1	1	4096 (12ビット)
1	0	0	8192 (13ビット)
1	0	1	16384 (14ビット)
1	1	0	32768 (15ビット)
1	1	1	65536 (16ビット)

注意1. サンプリング・クロック（変換時間）は，表13-1の条件を満たすように設定してください。変換時間を選択する場合，クロック周波数の誤差を考慮して設定してください。

2. 16ビット 型A/D変換動作中にADDCTL1レジスタへの書き込みは禁止です。必ず16ビット 型A/D変換動作を停止 (ADDCE = 0) させたのちに行ってください。

3. 16ビット 型A/Dサンプリング・クロック (f_{VP}) に f_{SUB} を選択している場合は，パラレル・モードは設定禁止です。

変換時間はサンプリング・クロック (f_{VP}) , サンプリング回数 (N) により, 以下の計算で求められます。

$$\text{サンプリング時間} = 1/f_{VP} \times N$$

$$\text{初期化時間} = 1/\text{動作クロック} + 1/f_{VP} \times 256$$

動作クロック

ADDFS1-0の選択1,1の場合: f_{SUB}

ADDFS1-0の選択上記以外: f_{PRS}

シリアル・モード時

<変換1回目>

$$\begin{aligned} \text{変換時間} &= \text{初期化時間} + \text{サンプリング時間} \\ &= (1/\text{動作クロック} + 1/f_{VP} \times 256) + (1/f_{VP} \times N) \end{aligned}$$

<変換2回目以降>

$$\begin{aligned} \text{変換時間} &= \text{サンプリング時間} \\ &= 1/f_{VP} \times N \end{aligned}$$

パラレル・モード時

<変換1回目>

$$\begin{aligned} \text{変換時間} &= \text{初期化時間} + \text{サンプリング時間} \\ &= (1/\text{動作クロック} + 1/f_{VP} \times 256) + (1/f_{VP} \times N) \end{aligned}$$

<変換2回目以降>

$$\begin{aligned} \text{変換時間} &= \text{サンプリング時間} / 4 \\ &= 1/f_{VP} \times N / 4 \end{aligned}$$

f_{VP} : サンプリング・クロック, N: 16ビット 型A/Dサンプリング回数

注意 ADDCTL0を書き換えた場合(同じ値も含む), 変換がその時点から再度開始したとみなされ, 1回目の変換時間が適用されます。

表13 - 1 サンプルング・クロック (サンプルング時間) の設定条件

ADDN2	AV _{REF} 条件	サンプルング・クロック : f _{VP} (16ビット分解能時の変換時間)
差動入力	3.5V AV _{REF} 5.5V	1.25 MHz以下 (52.42 ms以上)
	2.7V AV _{REF} < 3.5V	625 kHz以下 (104.85 ms以上)
シングル入力	2.85V AV _{REF} 5.5V	625 kHz以下 (104.85 ms以上)
	2.7V AV _{REF} < 2.85V	525 kHz以下 (124.83 ms以上)

表13 - 2 設定条件におけるサンプルング時間の例

16ビット 型A/Dサンプルング回数 : N (分解能)									
f _{PRS}	f _{VP}	65536 (16ビット)	32768 (15ビット)	16384 (14ビット)	8192 (13ビット)	4096 (12ビット)	2048 (11ビット)	1024 (10ビット)	256 (8ビット)
10 MHz	f _{PRS} /4	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
	f _{PRS} /8 ^{注1}	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.81 ms	0.20 ms
	f _{PRS} /16 ^{注2}	104.85 ms	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.41 ms
8 MHz	f _{PRS} /4	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
	f _{PRS} /8 ^{注1}	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	1.02 ms	0.25 ms
	f _{PRS} /16	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	0.51 ms
5 MHz	f _{PRS} /4 ^{注1}	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.81 ms	0.40 ms
	f _{PRS} /8 ^{注2}	104.85 ms	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms	0.81 ms
	f _{PRS} /16	209.71 ms	104.85 ms	52.42 ms	26.21 ms	13.10 ms	6.55 ms	3.27 ms	1.63 ms
4 MHz	f _{PRS} /4 ^{注1}	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	1.02 ms	0.25 ms
	f _{PRS} /8	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	0.51 ms
	f _{PRS} /16	262.14 ms	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	1.02 ms
2 MHz	f _{PRS} /4	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	2.04 ms	0.51 ms
	f _{PRS} /8	262.14 ms	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	4.09 ms	1.02 ms
	f _{PRS} /16	524.28 ms	262.14 ms	131.07 ms	65.53 ms	32.76 ms	16.38 ms	8.19 ms	2.04 ms
—	f _{SUB} /2	4 s	2 s	1 s	500 ms	250 ms	125 ms	62.5 ms	15.62 ms

注1. 差動入力時 (2.7V AV_{REF} < 3.5V) およびシングル入力時においては、サンプルング時間条件を満たさないため、設定禁止です。

2. シングル入力時 (2.7V AV_{REF} < 2.85V) においては、サンプルング時間条件を満たさないため、設定禁止です。

(3) 16ビット 型A/D変換結果レジスタ (ADDCR)

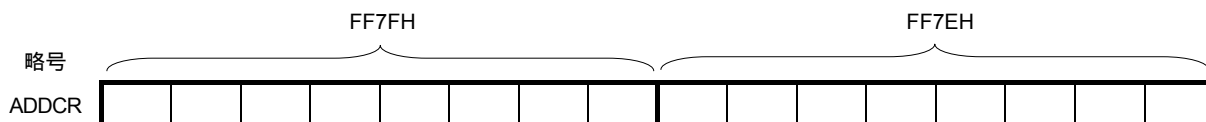
A/D変換結果を保持する16ビットのレジスタです。A/D変換が終了するたびに、A/D回路から変換結果がロードされます。変換結果の上位8ビットがFF7FHに、下位8ビットがFF7EHに格納されます。

ADDCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生入力により、0000Hになります。

図13 - 4 16ビット 型A/D変換結果レジスタ (ADDCR) のフォーマット

アドレス：FF7EH, FF7FH リセット時：0000H R



注意1. Nビット分解能を設定した場合、変換結果は上位ビットから格納され、残り16-Nビットは“0”固定となります。

2. 変換終了割り込みと変換結果読み出しが競合した場合、変換結果が不定となる可能性があります。変換結果の読み出しは、変換結果終了割り込み後、次の変換終了までに読み出してください。

(4) 8ビット 型A/D変換結果レジスタ (ADDCRH)

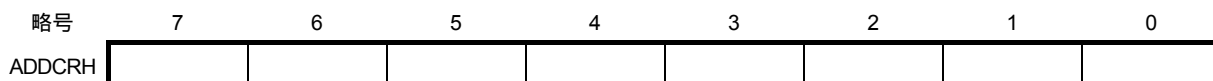
A/D変換結果を保持する8ビットのレジスタです。16ビット分解能の上位8ビットを格納します。

ADDCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図13 - 5 8ビット 型A/D変換結果レジスタ (ADDCRH) のフォーマット

アドレス：FF7FH リセット時：00H R



注意 変換終了割り込みと変換結果読み出しが競合した場合、変換結果読み出し値が不定となる可能性があります。変換結果の読み出しは、変換結果終了割り込み後、次の変換終了までに読み出してください。

(5) 16ビット 型A/D変換ステータス・レジスタ (ADDSTR)

A/D変換終了したチャンネルを保持するレジスタです。どのチャンネルが変換終了したかを確認できます。

ADDSTRは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図13 - 6 16ビット 型A/D変換ステータス・レジスタ (ADDSTR) のフォーマット

アドレス：FF75H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADDSTR	0	0	0	0	0	0	ADDIT1	ADDIT0

ADDIT1	ADDIT0	16ビット 型A/D変換したチャンネル	
		差動入力選択時	シングル入力選択時
0	0	DS0+/DS0-	DS0+
0	1	DS1+/DS1-	DS1+
1	0	DS2+/DS2-	DS2+

(6) A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)

ANI0/P20/DS0- - ANI7/P27/REF+端子を、アナログ入力 (16ビット 型A/Dコンバータのアナログ入力もしくは10ビット逐次比較型A/Dコンバータのアナログ入力) / ポートのデジタル入出力に切り替えるレジスタです。

ADPC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、08Hになります。

図13-7 A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) のフォーマット

アドレス：FF8FH リセット時：08H R/W

略号	7	6	5	4	3	2	1	0
ADPC0	0	0	0	0	ADPC03	ADPC02	ADPC01	ADPC00

ADPC03	ADPC02	ADPC01	ADPC00	デジタル入出力 (D) / アナログ入力 (A: 逐次比較型, : 型) の切り替え							
				P27 /ANI7 /REF+	P26 /ANI6 /REF-	P25 /ANI5 /DS2+	P24 /ANI4 /DS2-	P23 /ANI3 /DS1+	P22 /ANI2 /DS1-	P21 /ANI1 /DS0+	P20 /ANI0 /DS0-
0	0	0	0	A/	A/	A/	A/	A/	A/	A/	A/
0	0	0	1	A/	A/	A/	A/	A/	A/	A	D
0	0	1	0	A/	A/	A/	A/	A/	A/	D	D
0	0	1	1	A/	A/	A/	A/	A	D	D	D
0	1	0	0	A/	A/	A/	A/	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。

- ADPC0でデジタル入出力として設定する端子を、ADS, ADDS1, ADDS0で設定しないでください。
- ADPC0にデータを書き込むと、ウェイトが発生します。またCPUがサブシステム・クロックで動作し、かつ周辺ハードウェア・クロックが停止しているときに、ADPC0にデータを書き込まないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

(7) 16ビット 型A/Dサンプリング遅延時間設定許可レジスタ

サンプリングの遅延時間の設定を許可します。
 8ビット・メモリ操作命令で、アドレスを直接指定して設定します。
 リセット信号の発生により、00Hになります。

備考 精度が十分な場合は、設定の必要はありません。

図13 - 8 16ビット 型A/Dサンプリング遅延時間設定許可レジスタのフォーマット

アドレス : FA26H リセット時 : 00H R/W

7	6	5	4	3	2	1	0
ADD0TEN	0	0	0	0	0	0	0

ADD0TEN	遅延時間の設定制御
0	遅延時間の設定禁止
1	遅延時間の設定許可

注意 このレジスタは、必ず16ビット 型A/D回路の電源オフ (ADDPON = 0) , かつ変換動作を停止 (ADDCE = 0) にしてから設定してください。

(8) 16ビット 型A/Dサンプリング遅延時間設定レジスタ

サンプリングの遅延時間を設定します。

最適な遅延時間を設定することで、精度が改善されます。

8ビット・メモリ操作命令で、アドレスを直接指定して設定します。

リセット信号の発生により、20Hになります。

備考 精度が十分な場合は、設定の必要はありません。

図13 - 9 16ビット 型A/Dサンプリング遅延時間設定レジスタのフォーマット

アドレス : FA27H リセット時 : 20H R/W

7	6	5	4	3	2	1	0
0	ADD0DLY2	ADD0DLY1	ADD0DLY0	0	0	0	0

ADD0DLY2	ADD0DLY1	ADD0DLY0	遅延時間の設定 [nsec]
0	0	0	2
0	0	1	4
0	1	0	6 (デフォルト)
0	1	1	8
1	0	0	10
1	0	1	12
1	1	0	14
1	1	1	16

注意 このレジスタは、必ず16ビット 型A/D回路の電源オフ (ADDPON = 0)、かつ変換動作を停止 (ADDCE = 0)、かつ遅延時間の設定許可 (ADD0TEN = 1) にしてから設定してください。

(9) ポート・モード・レジスタ2 (PM2)

ANI0/P20/DS0 - ANI7/P27/REF+端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図13 - 10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

P20/ANI0/DS0 - P27/ANI7/REF+端子の機能は、ADPC0, PM2, ADS, ADDCTL0の設定で決定します。

表13 - 3 P20/ANI0/DS0 - P27/ANI7/REF+端子機能の設定

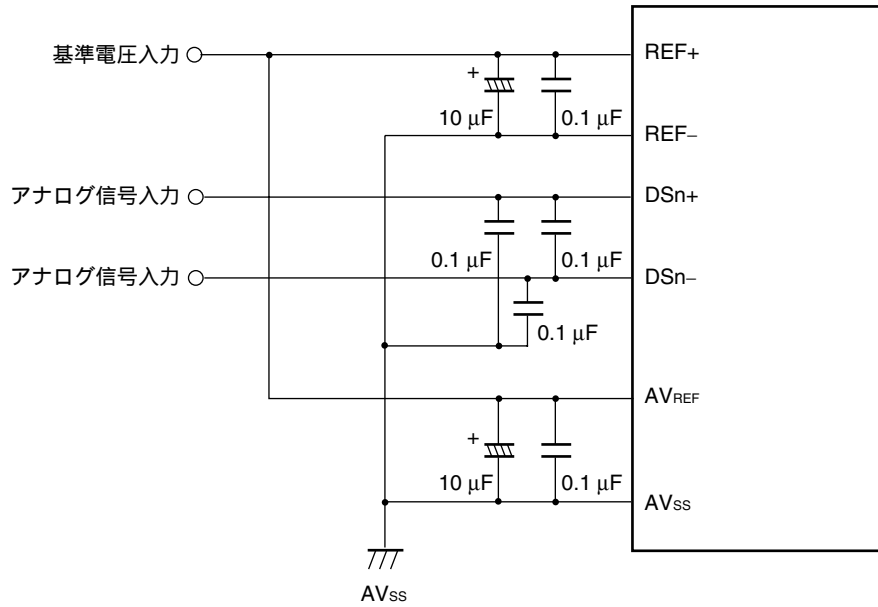
ADPC0	PM2	ADS	ADDCTL0	P20/ANI0/DS0 - - P27/ANI7/REF+端子
アナログ 入力選択	入力モード	ANI非選択	DSn±非選択	アナログ入力 (非変換対象)
		ANI選択	DSn±非選択	アナログ入力 (逐次比較型A/D変換対象)
		ANI非選択	DSn±選択	アナログ入力 (型A/D変換対象)
		ANI選択	DSn±選択	設定禁止
	出力モード	-	-	設定禁止
デジタル 入出力選択	入力モード	-	-	デジタル入力
	出力モード	-	-	デジタル出力

備考 n = 0-2

13.4 16ビット $\Delta \Sigma$ 型A/Dコンバータの回路構成例

図13 - 11に16ビット $\Delta \Sigma$ 型A/Dコンバータ使用時の回路構成例を示します。

図13 - 11 16ビット $\Delta \Sigma$ 型A/Dコンバータ使用時の回路構成例（差動入力の場合）



13.5 16ビット 型A/Dコンバータの動作

13.5.1 16ビット 型A/Dコンバータの基本動作

ADD0TEN^{注1} = 1 (遅延時間の設定許可) にしてください。^{注2}

ADD0DLY2- ADD0DLY0^{注1}で遅延時間を設定してください。^{注2}

A/D変換対象チャネルを設定してください。

ADDPON=1 (A/D電源ON) を設定してください。

ADDCTL1レジスタおよびADDCTL0レジスタで、入力モード、動作モード、サンプリング回数など変換動作モードを設定してください。

ADDPON=1設定後、1.2 μ s以上経過した後にADDCE = 1を設定すると変換動作を開始します。(ADPPON=1設定後、1.2 μ s経過せずにADDCE = 1を設定した場合も変換動作を開始しますが、変換結果については保証しません。)^{注3}

変換が終了すると割り込み(INTDSAD)を発生し、結果をADDCRレジスタに格納します。ADDCRレジスタの値をリードしてください。

ADDCE = 0 (変換動作停止) をしない場合、 を繰り返します。変換動作を停止する場合は ADDCE = 0 を設定してください。

A/Dを使用せず、電流低減をさせたい場合は、ADDPON = 0 (A/D電源OFF) を設定してください。

注1. ADD0TEN, およびADD0DLY2- ADD0DLY0は、8ビット・メモリ操作命令で、アドレスを直接指定して書き込みを行ってください。

2. 精度が十分な場合は、遅延時間の設定は必要ありません。

3. 変換動作中にADDCTL1への書き込みは禁止です。

変換動作中に A/D変換対象の端子設定を変更した場合、変換結果は格納されません。対象の端子設定を変更した場合、変換動作をリスタートしてください。

13.5.2 16ビット 型A/Dコンバータの動作モード

16ビット 型A/Dコンバータの動作は、設定によりいくつかのモードがあります。

(1) 差動入力モード/シングル入力モード

16ビット 型A/Dコンバータでは、差動入力/シングル入力2種類の入力モードを選択可能です。差動入力はシングル入力と比較して精度が向上します。差動入力モードで使用する場合には、DSn-およびDSn+にアナログ入力します。シングル入力モードで使用する場合にはDSn+にアナログ入力し、DSn-はVssおよびAVssと同電位にしてください。差動入力モードでは、DSn-とDSn+の入力電圧の中心値が0.5 REF+になるようにしてください。

(2) 16ビット 型A/D高精度モード

16ビット 型A/Dコンバータでは、高精度モード・オン/オフ2種類の変換精度モードを選択可能です。高精度モード・オンの場合には、高精度モード・オフの場合と比較して、精度が向上します。

表13-4 入力電圧範囲

		DSn+への入力 電圧範囲	DSn-への入力 電圧範囲
差動入力	高精度モード・オン	$0.5 \times (\text{REF}+) + X1$	$0.5 \times (\text{REF}+) - X1$
	高精度モード・オフ	$0.5 \times (\text{REF}+) + X2$	$0.5 \times (\text{REF}+) - X2$
シングル入力	高精度モード・オン	$0.1 \times (\text{REF}+) \sim 0.9 \times (\text{REF}+)$	AVss固定
	高精度モード・オフ	$0 \sim \text{REF}+$	

備考 X1 = $-0.4 \times (\text{REF}+) \sim 0.4 \times (\text{REF}+)$
 X2 = $-0.5 \times (\text{REF}+) \sim 0.5 \times (\text{REF}+)$
 n = 0-2

図13-12 応用回路例

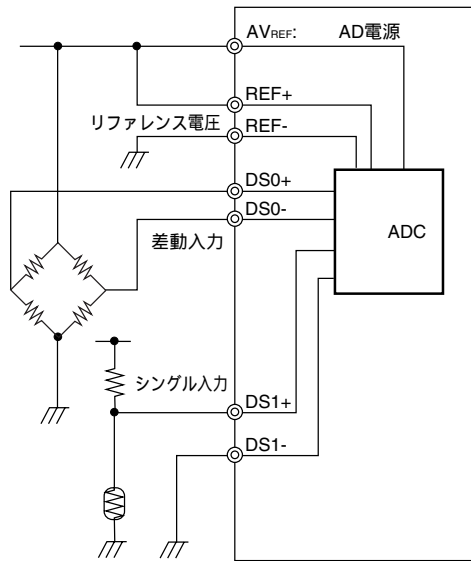
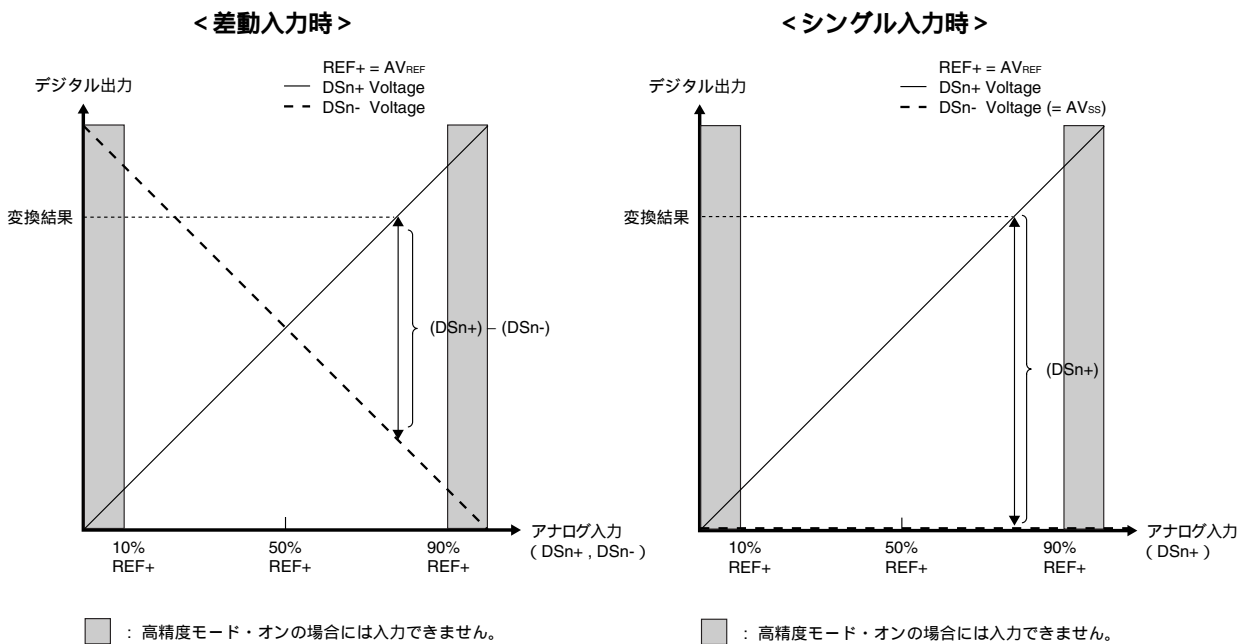


図13-13 A/D変換モードによる入力許可範囲

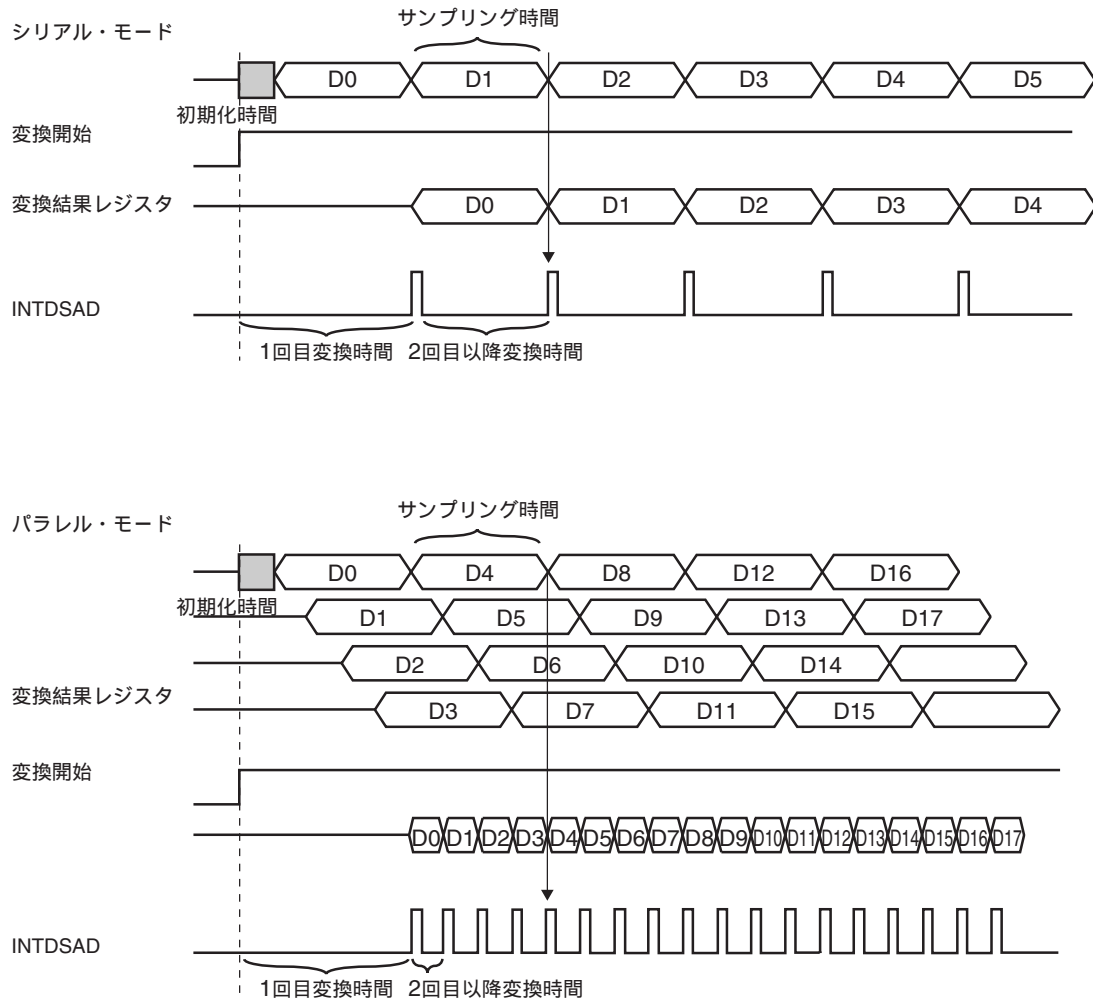


備考 n = 0-2

(3) シリアル・モード/パラレル・モード

16ビット型A/Dコンバータではシリアル/パラレルの2種類の入力モードが選択できます。パラレル・モードはシリアル・モードと比較して、変換時間を1/4にすることが可能です。ただし、1回目の変換時間はシリアル・モードと同じです。また、サンプリング時間そのものもシリアル・モードと同じです。

図13 - 14 変換時間とサンプリング時間について



13.6 型A/Dコンバータ特性表の読み方

型A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能16ビットのとき

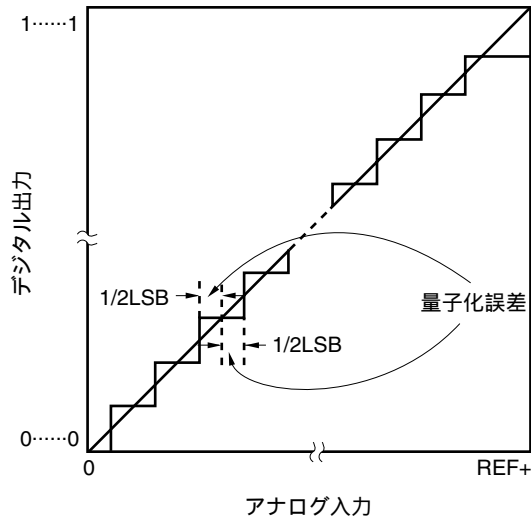
$$1 \text{ LSB} = 1/2^{16} = 1/65536 \\ 0.0015 \% \text{FSR}$$

(2) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表のオフセット、ゲイン・エラー、積分直線性誤差、微分直線性誤差には含まれていません。

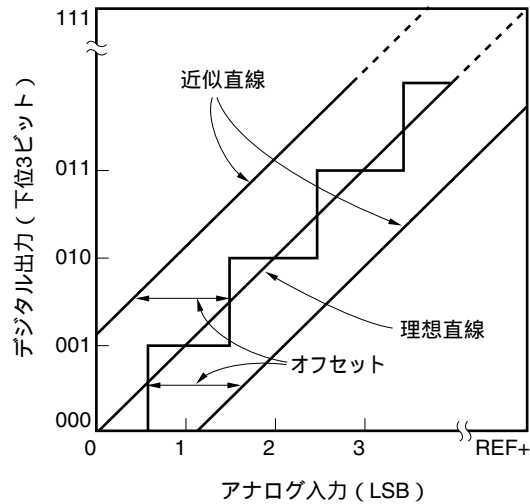
図13 - 15 量子化誤差



(3) オフセット (シングル入力の場合)

アナログ入力電圧の実測値の近似直線と理論値 ($1/2$ LSB) との差を表します。近似直線が理論値よりも大きい場合は、アナログ入力電圧の実測値の近似直線と理論値 ($3/2$ LSB) との差を表します。

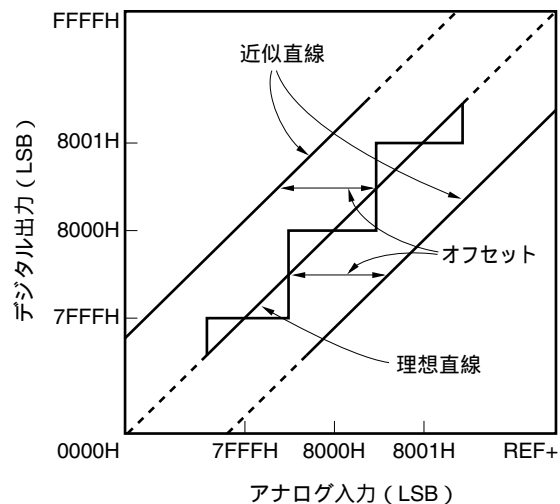
図13 - 16 オフセット (シングル入力の場合)

**(4) オフセット (差動入力の場合)**

アナログ入力電圧の実測値の近似直線と理論値 ($1/2$ フルスケール) との差を表します。

16ビット分解能の場合は、アナログ入力電圧の実測値の近似直線と理論値 ($8000\text{H} - 1/2$ LSB) との差を表します。近似直線が理論値よりも大きい場合は、アナログ入力電圧の実測値の近似直線と理論値 ($8000\text{H} + 1/2$ LSB) との差を表します。

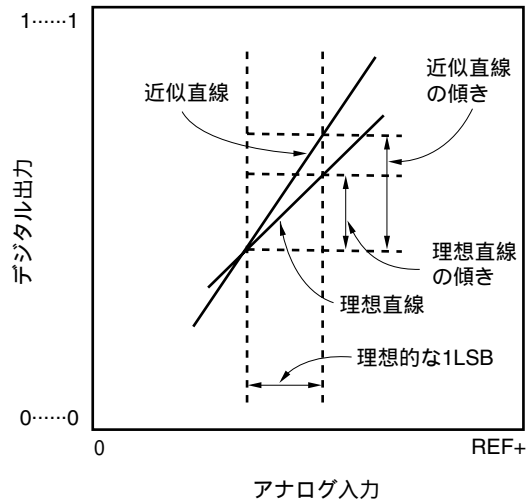
図13 - 17 オフセット (差動入力の場合)



(5) ゲイン・エラー

ゲイン・エラーは、理想的な傾きと、近似直線の傾きの比です。

図13 - 18 ゲイン・エラー

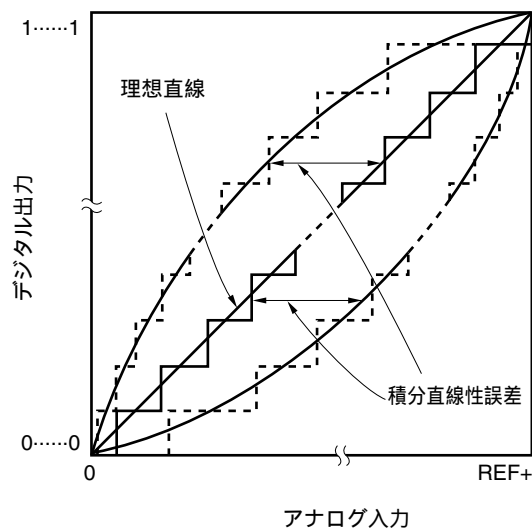


$$\text{ゲイン・エラー} = \frac{\text{近似直線の傾き} - 1}{\text{理想直線の傾き}} \times 100 [\%]$$

(6) 積分直線性誤差

変換特性が、近似直線から外れている程度を表します。オフセット、ゲイン・エラーを0としたときの、実測値と理想直線との差の最大値を表します。

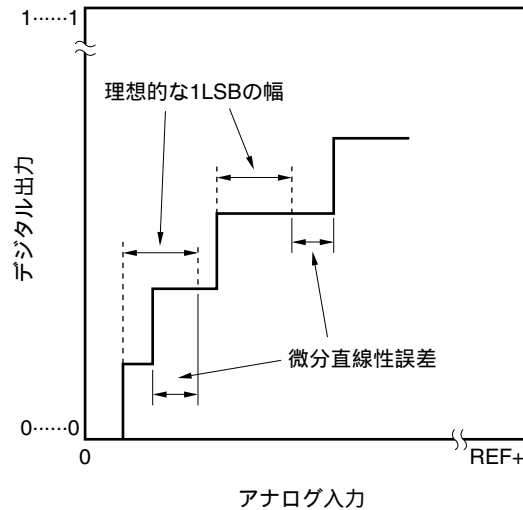
図13 - 19 積分直線性誤差



(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。ただし、ゲイン・エラーは除きます。

図13 - 20 微分直線性誤差

**(8) 変換時間**

変換開始もしくは変換結果が得られてから、次の変換結果までの時間です。

詳細は、図13 - 14 変換時間とサンプリング時間についてを参照してください。

(9) サンプリング時間

一回の変換にかかる時間です。

詳細は、図13 - 14 変換時間とサンプリング時間についてを参照してください。

(10) 近似直線

実測値の最小二乗法により定義される直線です。

13.7 16ビット 型A/Dコンバータの注意事項

(1) スタンバイ・モードの設定について

STOPモードに設定する場合は、その前に16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0) のビット7 (ADDPON) とビット6 (ADDCE) を0にしてください。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット6 (DSADIF) をクリア (0) してから、動作開始してください。

(2) DS0-, DS0+, DS1-, DS1+, DS2-, DS2+の入力範囲について

DS0-, DS0+, DS1-, DS1+, DS2-, DS2+入力電圧は、規格の範囲内でご使用ください。特にREF+ (AV_{REF}) 以上、またはREF- (AV_{SS}) 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ (ADDCR, ADDCRH) ライトと命令によるADDCR, ADDCRHリードとの競合

ADDCR, ADDCRHリードが優先されます。リードしたあと、新しい変換結果がADDCR, ADDCRHにライトされます。

変換終了時のADDCR, ADDCRHライトと、16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0) ライトまたはA/Dポート・コンフィギュレーション・レジスタ0 (ADPC0) ライトの競合
ADDCR, ADDCRHへのライトが優先されます。ADDCR, ADDCRHへのライトはされません。また、変換終了割り込み信号 (INTDSAD) も発生しません。

(4) ノイズ対策について

スペック精度を保つためには、DS0-, DS0+, DS1-, DS1+, DS2-, DS2+, REF- (AV_{SS}) , REF+ (AV_{REF}) 端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するためにコンデンサを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上する場合があります。

(5) DS0-/ANI0/P20, DS0+/ANI1/P21, DS1-/ANI2/P22, DS1+/ANI3/P23, DS2-/ANI4/P24, DS2+/ANI5/P25, REF-/ANI6/P26, REF+/ANI7/P27端子について

アナログ入力 (DS0-, DS0+, DS1-, DS1+, DS2-, DS2+, REF-, REF+) 端子は入出力ポート (P20-P27) 端子と兼用になっています。

DS0-/DS0+, DS1-/DS1+, DS2-/DS2+のいずれかを選択して16ビット 型A/D変換をする場合、変換中にP20-P27に対してアクセスしないでください。精度が低下することがあります。またP20-P27のうち、デジタル入出力ポートとして使用する端子は、REF+から最も遠いDS0-/ANI0/P20より順に選択することを推奨します。

16ビット 型A/D変換中に、P20-P27端子のうちのいずれかの端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがってA/D変換中には、P20-P27端子はすべて、デジタル・パルスが入出力されないようにしてください。

(6) DS0+, DS1+, DS2+, DS0-, DS1-, DS2-端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを5 kΩ以下にしてください。

(7) AVREF端子の入力インピーダンスについて

16ビット 型A/Dコンバータ動作時に、AVREF端子に電流が流れます。

基準電圧源の出力インピーダンスが高い場合、AVREF端子 / REF+端子とAVSS端子 / REF-端子の間の基準電圧の誤差が大きくなります。

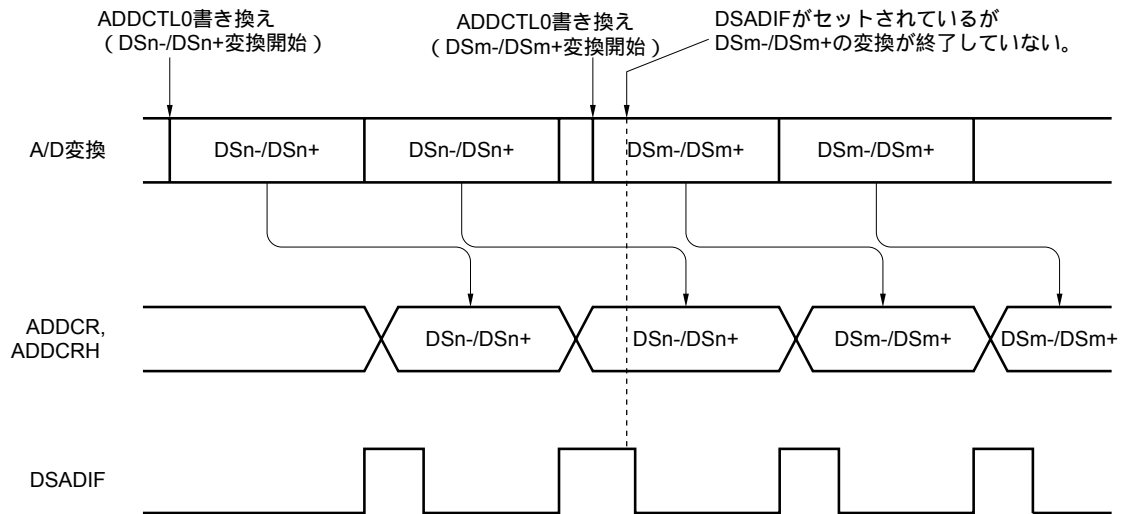
(8) 割り込み要求フラグ (DSADIF) について

16ビット 型A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0) のビット1, 0 (ADDS1, ADDS0) を変更しても割り込み要求フラグ (DSADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADDCTL0書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびDSADIFがセットされている場合があります。ADDCTL0書き換え直後にDSADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずDSADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にDSADIFをクリア (0) してください。

図13 - 21 A/D変換終了割り込み要求発生タイミング



備考 $n = 0-2, m = 0-2$

(9) A/D変換スタート直後の変換結果について

ADDPONビット = 1にしてから、 $1.2 \mu\text{s}$ 以内にADDCEビット = 1にした場合、もしくはADDPONビット = 0の状態、ADDCEビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTDSAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図13 - 22 DS_{n-}, DS_{n+}端子内部等価回路

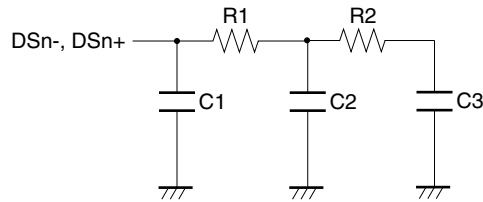


表13 - 5 等価回路の各抵抗と容量値 (参考値)

AV _{REF}	R1	R2	C1	C2	C3
4.0 V AV _{REF} 5.5 V	8.1 k	6.8 k	8 pF	1.3 pF	0.22 pF
2.7 V AV _{REF} < 4.0 V	31 k	36 k	8 pF	1.3 pF	0.22 pF

備考1. 表13 - 5の各抵抗と容量値は保証値ではありません。

2. n = 0-2

(11) 10ビット逐次比較型A/Dコンバータと16ビット 型A/Dコンバータの同時使用について

10ビット逐次比較型A/Dコンバータと16ビット 型A/Dコンバータを同時に使用した場合、A/D変換の精度が悪くなる場合があります。

精度が保証できないため、10ビット逐次比較型A/Dコンバータ動作中には、16ビット 型A/Dコンバータを停止させてください。また、16ビット 型A/Dコンバータ動作中には、10ビット逐次比較型A/Dコンバータを停止させてください (同時に動作させないでください)。

第14章 シリアル・インタフェースUART0

14.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0は、78K0/Lx3マイクロコントローラ的全製品に搭載されています。
シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
詳細については14.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

機能の概要を次に示します。

詳細については14.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、14.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・ 最大転送速度：625 kbps
- ・ 2端子構成 TxD0：送信データの出力端子
RxD0：受信データの入力端子
- ・ 通信データのデータ長は7ビット / 8ビット可変
- ・ 専用の5ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・ 送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・ 通信データの先頭ビットは、LSB固定

- 注意1.** シリアル・インタフェースUART0への供給クロックが停止しない場合 (例：HALTモード) では、正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合 (例：STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0として、回路をリセットしてください。
2. 通信開始する場合、POWER0 = 1に設定後、TXE0 = 1 (送信) またはRXE0 = 1 (受信) に設定してください。
 3. TXE0とRXE0は、BRGC0で設定した基本クロック (fxCLK0) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
 4. TXE0 = 1に設定したあと、基本クロック (fxCLK0) 1クロック以上待ってから、TXS0に送信データを設定してください。

14.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成しています。

表14 - 1 シリアル・インタフェースUART0の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ0 (RXB0) 受信シフト・レジスタ0 (RXS0) 送信シフト・レジスタ0 (TXS0)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ポート・ファンクション・レジスタ1 (PF1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図14 - 1 シリアル・インタフェースUART0のブロック図 (1/3)

(a) 78K0/LC3

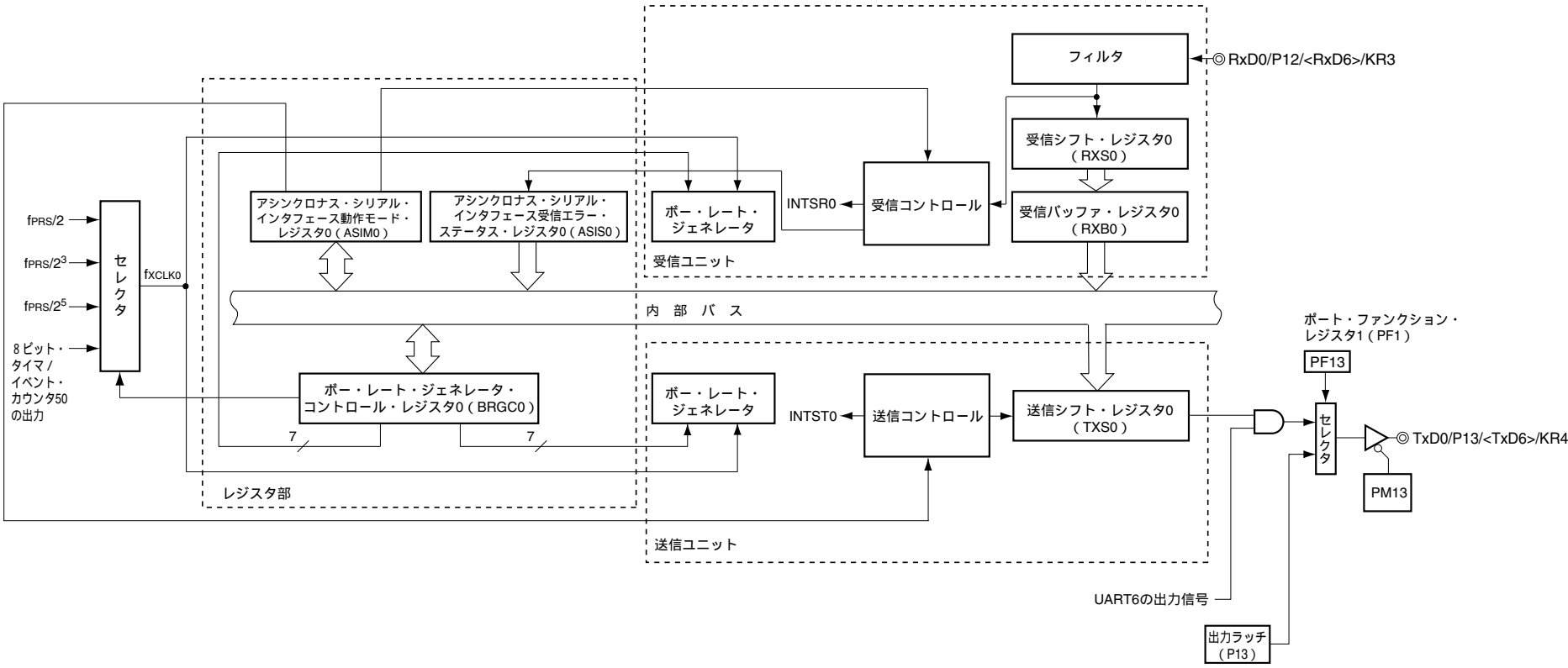
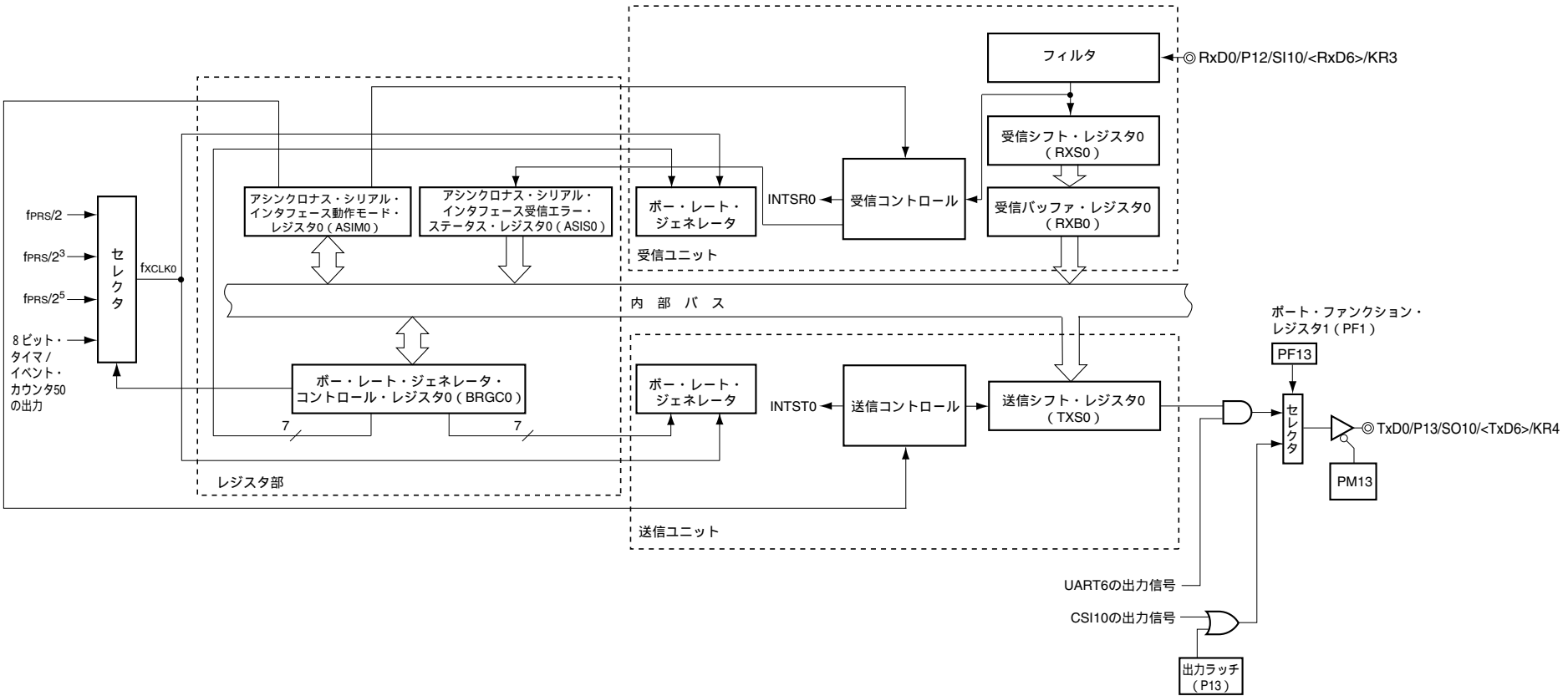


図14 - 1 シリアル・インタフェースUART0のブロック図 (2/3)

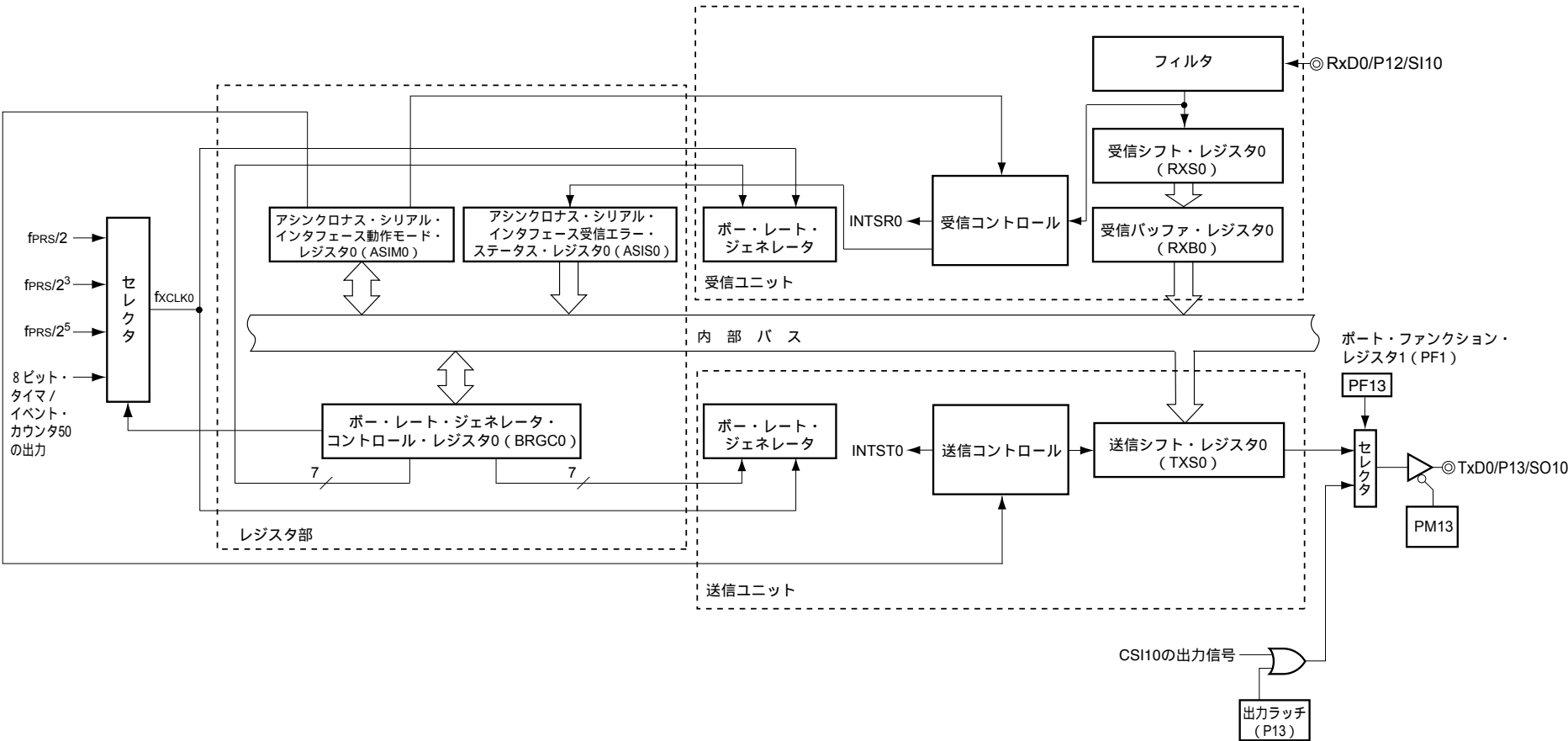
(b) 78K0/LD3, 78K0/LE3



備考 78K0/LD3 : RxD0/P12/SI10/⟨RxD6⟩/KR3, TxD0/P13/SO10/⟨TxD6⟩/KR4
 78K0/LE3 : RxD0/P12/SI10/⟨RxD6⟩, TxD0/P13/SO10/⟨TxD6⟩

図14 - 1 シリアル・インタフェースUART0のブロック図 (3/3)

(c) 78K0/LF3



(1) 受信バッファ・レジスタ0 (RXB0)

受信シフト・レジスタ0 (RXS0) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0には転送されません。

RXB0は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生、POWER0 = 0によりFFHとなります。

(2) 受信シフト・レジスタ0 (RXS0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS0はプログラムで直接操作できません。

(3) 送信シフト・レジスタ0 (TXS0)

送信データを設定するためのレジスタです。TXS0にデータを書き込むことにより、送信動作が起動し、シリアル・データをTxD0端子から送信します。

TXS0は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

リセット信号の発生、POWER0 = 0, TXE0 = 0によりFFHとなります。

- 注意**
- TXE0 = 1に設定したあと、基本クロック (f_{CLK0}) 1クロック以上待ってから、TXS0に送信データを設定してください。
 - TXS0に送信データを書き込んでから送信完了割り込み信号 (INTST0) が発生するまで、次の送信データを書き込まないでください。

14.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の6種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)

シリアル・インタフェースUART0のシリアル通信動作を制御する8ビット・レジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図14 - 2 アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (1/2)

アドレス : FF70H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE0	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE0	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. POWER0 = 0で、RxD0端子からの入力はハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0) です。

図14 - 2 アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のフォーマット (2/2)

PS01	PS00	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL0	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL0	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のビット2 (PE0) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER0 = 1にしてから、TXE0 = 1としてください。送信停止するときにはTXE0 = 0にしてから、POWER0 = 0としてください。
2. 受信開始するときはPOWER0 = 1にしてから、RXE0 = 1としてください。受信停止するときにはRXE0 = 0にしてから、POWER0 = 0としてください。
3. RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1 RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1 RXE0 = 1と設定すると、受信を開始してしまいます。
4. TXE0とRXE0は、BRGC0で設定した基本クロック (f_{XCLK0}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE0 = 1に設定したあと、基本クロック (f_{XCLK0}) 1クロック以上待つてから、TXS0に送信データを設定してください。
6. PS01, PS00, CL0ビットを書き換えるときは、TXE0, RXE0ビットをクリア (0) してから行ってください。
7. SL0ビットを書き換えるときは、TXE0をクリア (0) してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL0ビットの設定値の影響は受けません。
8. ビット0には必ず1を設定してください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)

シリアル・インタフェースUART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE0, FE0, OVE0) で構成されています。

ASIS0は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM0のビット7 (POWER0) = 0, ビット5 (RXE0) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS0を読み出したあと, 受信バッファ・レジスタ0 (RXB0) を読み出し, エラー・フラグをクリアしてください。

図14 - 3 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) のフォーマット

アドレス : FF73H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE0	フレーミング・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE0	オーバラン・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき, または, ASIS0レジスタのリード
1	RXB0レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE0ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のPS01, PS00ビットの設定値により異なります。
- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 - オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ0 (RXB0) には書き込まれず, データは破棄されます。
 - ASIS0からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (fPRS) が停止しているときに, ASIS0からデータを読み出さないでください。詳細は第34章 ウェイトに関する注意事項を参照してください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

シリアル・インタフェースUART0の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

図14 - 4 ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のフォーマット

アドレス : FF71H リセット時 : 1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS01	TPS00	0	MDL04	MDL03	MDL02	MDL01	MDL00

TPS01	TPS00	基本クロック (f _{XCLK0}) 選択 ^{注1}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	TM50の出力 ^{注2}				
0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
1	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz

MDL04	MDL03	MDL02	MDL01	MDL00	k	5ビット・カウンタの出力クロック選択
0	0	x	x	x	x	設定禁止
0	1	0	0	0	8	f _{XCLK0} /8
0	1	0	0	1	9	f _{XCLK0} /9
0	1	0	1	0	10	f _{XCLK0} /10
.
.
.
.
.
1	1	0	1	0	26	f _{XCLK0} /26
1	1	0	1	1	27	f _{XCLK0} /27
1	1	1	0	0	28	f _{XCLK0} /28
1	1	1	0	1	29	f _{XCLK0} /29
1	1	1	1	0	30	f _{XCLK0} /30
1	1	1	1	1	31	f _{XCLK0} /31

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

注2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

(a) 78K0/LC3, 78K0/LD3

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

(b) 78K0/LE3, 78K0/LF3

・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意1. MDL04-MDL00ビットを書き換える場合は、ASIM0レジスタのビット6 (TXE0) = 0、ビット5 (RXE0) = 0にしてから行ってください。

2. TPS01, TPS00ビットを書き換える場合は、ASIM0レジスタのビット7 (POWER0) = 0にしてから行ってください。

3. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK0} : TPS01, TPS00ビットで選択した基本クロックの周波数

2. f_{PRS} : 周辺ハードウェア・クロック周波数

3. k : MDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

4. x : 任意

5. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6

TMC501 : TMC50のビット1

(4) ポート・ファンクション・レジスタ1 (PF1)

P13/TxD0端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 5 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

(a) 78K0/LC3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), キー入力 (KR4), UART0, UART6出力の指定
0	P13またはKR4として使用
1	TxD0またはTxD6として使用

(b) 78K0/LD3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, キー入力 (KR4), UART0, UART6出力の指定
0	P13またはSO10またはKR4として使用
1	TxD0またはTxD6として使用

(c) 78K0/LE3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0, UART6出力の指定
0	P13またはSO10として使用
1	TxD0またはTxD6として使用

(d) 78K0/LF3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF16	ポート (P16), CSIA0, UART6出力の指定
0	P16またはSOA0として使用
1	TxD6として使用

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

(5) ポート・モード・レジスタ1 (PM1)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

P13/TxD0端子をシリアル・インタフェースのデータ出力として使用するとき、PM13に0を設定してください。このときP13の出力ラッチは、0または1のどちらでもかまいません。

P12/RxD0端子をシリアル・インタフェースのデータ入力として使用するとき、PM12に1を設定してください。このときP12の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14 - 6 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ1のフォーマットです。他の製品のポート・モード・レジスタ1のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

14.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

14.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM0のビット7, 6, 5 (POWER0, TXE0, RXE0) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF70H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。

TXE0	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE0	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. POWER0 = 0で、RxD0端子からの入力はい・レベルに固定されます。

- リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0), 送信シフト・レジスタ0 (TXS0), 受信バッファ・レジスタ0 (RXB0)です。

注意 動作停止するときはTXE0 = 0, RXE0 = 0にしてから、POWER0 = 0 にしてください。

通信開始するときはPOWER0 = 1にしてから、TXE0 = 1, RXE0 = 1にしてください。

備考 RxD0/P12, TxD0/P13端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

14.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

(1) 使用するレジスタ

- ・アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)
- ・アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)
- ・ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

UARTモードの基本的な動作設定手順例は次のようになります。

BRGC0レジスタを設定 (図14 - 4を参照)

ASIM0レジスタのビット1-4 (SL0, CL0, PS00, PS01) を設定 (図14 - 2を参照)

ASIM0レジスタのビット7 (POWER0) をセット (1)

ASIM0レジスタのビット6 (TXE0) をセット (1) 送信可能

ASIM0レジスタのビット5 (RXE0) をセット (1) 受信可能

TXS0レジスタにデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表14 - 2 レジスタの設定と端子の関係 (1/2)

(a) 78K0/LC3

POWER0	TXE0	RXE0	PM13	P13	PM12	P12	UART0 の動作	端子機能	
								TxD0/KR4/P13 /<TxD6>	RxD0/KR3/P12 /<RxD6>
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	KR4/P13/<TxD6>	KR3/P12/<RxD6>
1	0	1	x ^注	x ^注	1	x	受信	KR4/P13	RxD0
	1	0	0	x	x ^注	x ^注	送信	TxD0	KR3/P12
	1	1	0	x	1	x	送受信	TxD0	RxD0

注 ポート機能、キー割り込み機能、またはシリアル・インタフェースUART6 (UART0停止時のみ) として設定することができます。

表14 - 2 レジスタの設定と端子の関係 (2/2)

(b) 78K0/LD3

POWER0	TXE0	RXE0	PM13	P13	PM12	P12	UART0 の動作	端子機能	
								TxD0/SO10/KR4/ P13/<TxD6>	RxD0/SI10/KR3/ P12/<RxD6>
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/KR4/ P13/<TxD6>	SI10/KR3/ P12/<RxD6>
1	0	1	x ^注	x ^注	1	x	受信	SO10/KR4/P13	RxD0
	1	0	0	x	x ^注	x ^注	送信	TxD0	SI10/KR3/P12
	1	1	0	x	1	x	送受信	TxD0	RxD0

注 ポート機能, キー割り込み機能, シリアル・インタフェースCSI10, またはシリアル・インタフェースUART6 (UART0停止時のみ)として設定することができます。

(c) 78K0/LE3

POWER0	TXE0	RXE0	PM13	P13	PM12	P12	UART0 の動作	端子機能	
								TxD0/SO10 /<TxD6>/P13	RxD0/SI10 /<RxD6>/P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/<TxD6>/P13	SI10/<RxD6>/P12
1	0	1	x ^注	x ^注	1	x	受信	SO10/P13	RxD0
	1	0	0	x	x ^注	x ^注	送信	TxD0	SI10/P12
	1	1	0	x	1	x	送受信	TxD0	RxD0

注 ポート機能, シリアル・インタフェースCSI10, またはシリアル・インタフェースUART6 (UART0停止時のみ)として設定することができます。

(d) 78K0/LF3

POWER0	TXE0	RXE0	PM13	P13	PM12	P12	UART0 の動作	端子機能	
								TxD0/SO10/P13	RxD0/SI10/P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/P13	SI10/P12
1	0	1	x ^注	x ^注	1	x	受信	SO10/P13	RxD0
	1	0	0	x	x ^注	x ^注	送信	TxD0	SI10/P12
	1	1	0	x	1	x	送受信	TxD0	RxD0

注 ポート機能またはシリアル・インタフェースCSI10として設定することができます。

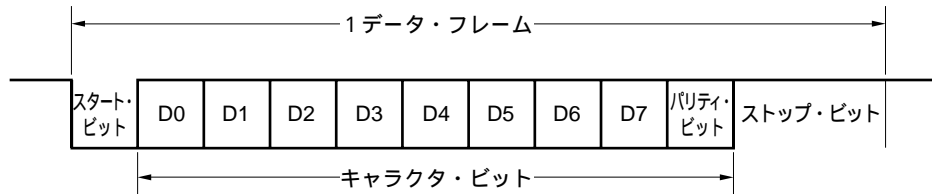
- 備考 1. x : don't care
 POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7
 TXE0 : ASIM0のビット6
 RXE0 : ASIM0のビット5
 PM1x : ポート・モード・レジスタ
 P1x : ポートの出力ラッチ
2. <>内の機能は, 入力切り替え制御レジスタ (ISC) の設定により割り当て可能です。

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図14 - 7, 図14 - 8に示します。

図14 - 7 通常UART送受信データのフォーマット



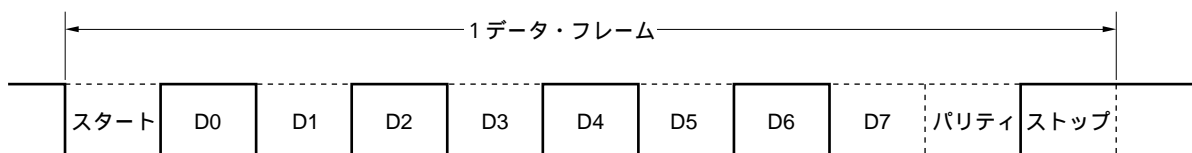
1データ・フレームは次に示すビットで構成されています。

- ・ スタート・ビット..... 1ビット
- ・ キャラクタ・ビット... 7ビット/8ビット (LSBファースト)
- ・ パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ ストップ・ビット..... 1ビット/2ビット

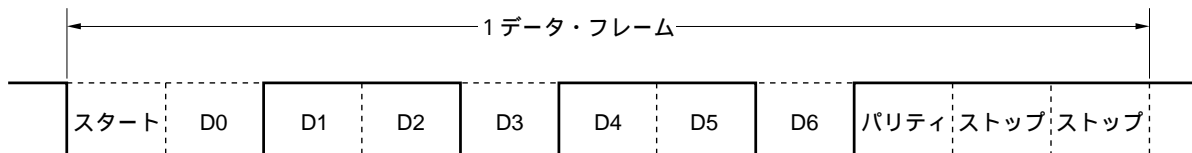
1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) によって行います。

図14 - 8 通常UART送受信データの波形例

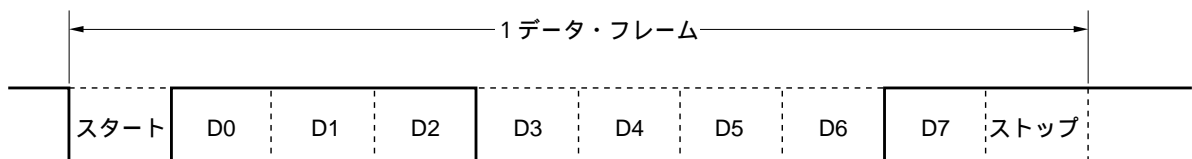
1. データ長: 8ビット, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 7ビット, パリティ: 奇数パリティ, ストップ・ビット: 2ビット, 通信データ: 36H



3. データ長: 8ビット, パリティ: パリティなし, ストップ・ビット: 1ビット, 通信データ: 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個：1

送信データ中に、値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)のビット7(POWER0)をセット(1)し、次にASIM0のビット6(TXE0)をセット(1)すると送信許可状態になり、送信シフト・レジスタ0(TXS0)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、スタート・ビットがTxD0端子から出力され、続いて送信データがLSBより順次出力されます。送信が完了すると、ASIM0で設定したパリティ・ビット、ストップ・ビットが付加され、最後に送信完了割り込み要求(INTST0)が発生します。

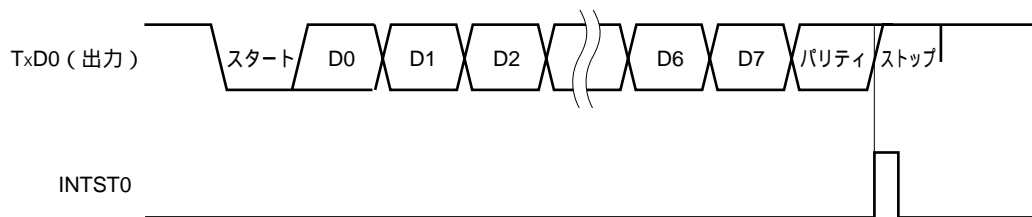
次に送信するデータをTXS0に書き込むまで、送信動作は中断します。

送信完了割り込み要求(INTST0)のタイミングを図14-9に示します。INTST0は、最後のストップ・ビット出力と同時に発生します。

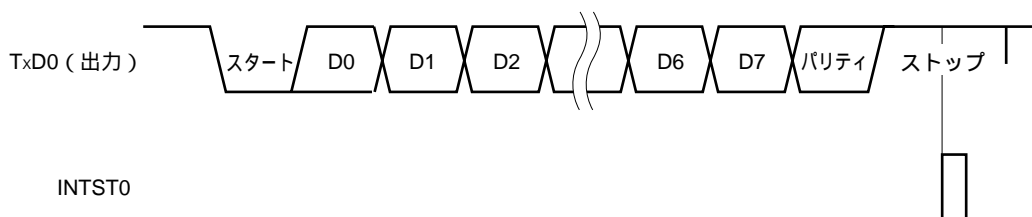
注意 TXS0に送信データを書き込んでから送信完了割り込み信号(INTST0)が発生するまで、次の送信データを書き込まないでください。

図14-9 送信完了割り込み要求タイミング

1. ストップ・ビット長 : 1



2. ストップ・ビット長 : 2



(d) 受信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) をセット (1) し、次にASIM0のビット5 (RXE0) をセット (1) すると受信許可状態となり、RxD0端子入力のサンプリングを行います。

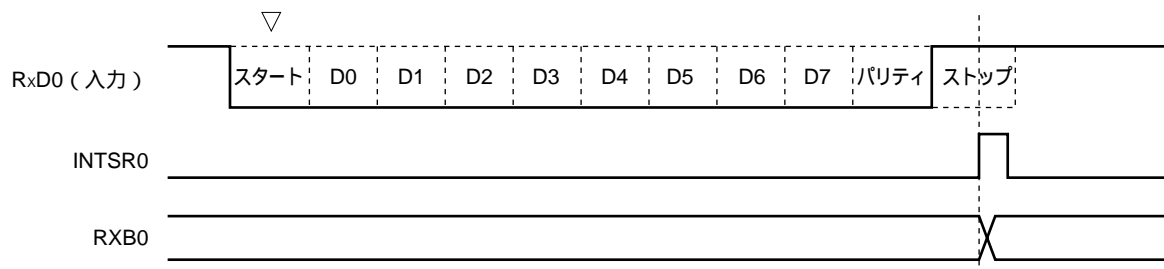
RxD0端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの5ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定値をカウントした時点で、再度RxD0端子入力をサンプリング (図14 - 10の 印に相当) した結果、RxD0端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ0 (RXS0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR0) を発生すると同時に、RXS0のデータは受信バッファ・レジスタ0 (RXB0) に書き込まれます。ただし、オーバラン・エラー (OVE0) が発生した場合、そのときの受信データはRXB0に書き込まれません。

受信途中に、パリティ・エラー (PE0) が発生しても、ストップ・ビットの受信位置までは、受信を継続し、受信完了後に受信エラー割り込み (INTSR0) を発生します。

INTSR0は、受信完了時および受信エラー時に発生します。

図14 - 10 受信完了割り込み要求タイミング



注意1. 受信エラーが発生した場合は、アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) を読み出したあと、受信バッファ・レジスタ0 (RXB0) を読み出し、エラー・フラグをクリアしてください。

RXB0を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。

(e) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み (INTSR0) を発生します。

受信エラー割り込み (INTSR0) 処理内で、ASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図14 - 3参照)。

ASIS0の内容は、ASIS0を読み出すことによって、クリア (0) されます。

表14 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ0 (RXB0) からデータを読み出す前に次のデータ受信完了

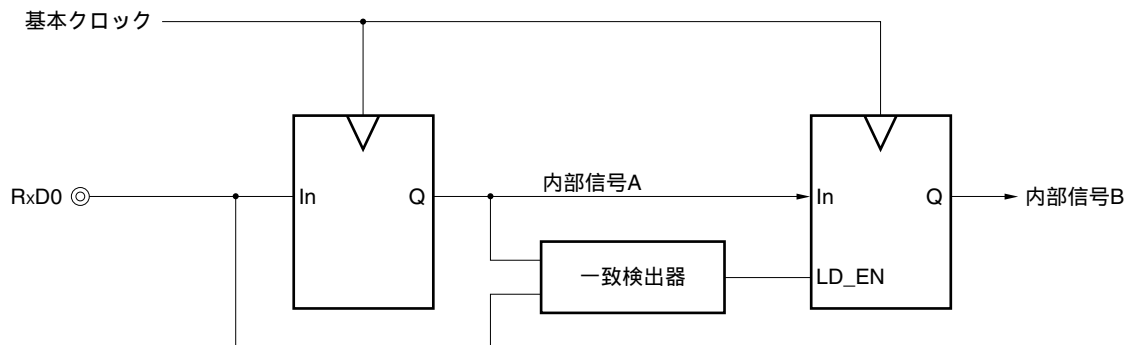
(f) 受信データのノイズ・フィルタ

プリスケラ部出力の基本クロックでRxD0信号をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。

また、回路は図14 - 11のようにになっているため、受信動作の内部での処理は、外部の信号状態より2クロック分遅れて動作することになります。

図14 - 11 ノイズ・フィルタ回路



14.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と5ビットのプログラマブル・カウンタにより構成され、UART0における送受信時のシリアル・クロックを生成します。

なお、5ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース・モード動作レジスタ0 (ASIM0) のビット7 (POWER0) = 1 のとき、ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (TPS01, TPS00) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{XCLK0} と呼びます。POWER0 = 0 のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0 またはビット6 (TXE0) = 0 のときはクリア (0) の状態で動作を停止します。

POWER0 = 1 かつ TXE0 = 1 でカウントをスタートします。

最初の送信では送信シフト・レジスタ0 (TXS0) への書き込みでカウンタをクリア (0) します。

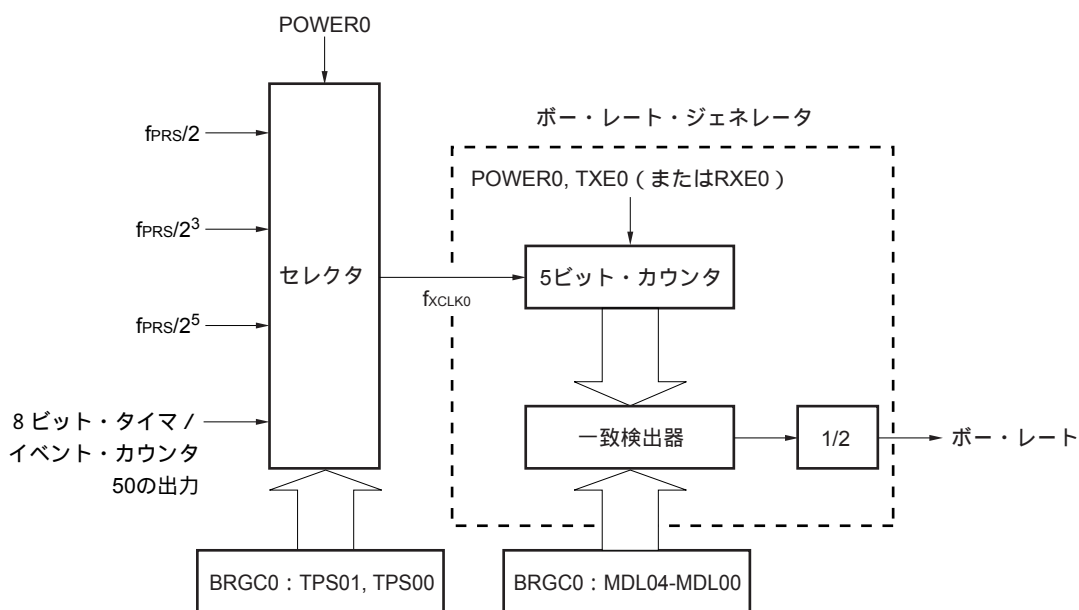
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7 (POWER0) = 0 またはビット5 (RXE0) = 0 のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図14 - 12 ボー・レート・ジェネレータの構成



- 備考** POWER0 : アシクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0) のビット7
 TXE0 : ASIM0のビット6
 RXE0 : ASIM0のビット5
 BRGC0 : ボー・レート・ジェネレータ・コントロール・レジスタ0

(2) シリアル・クロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) の設定により、生成するシリアル・クロックを指定できます。

BRGC0のビット7, 6 (TPS01, TPS00) により、5ビット・カウンタへの入力クロックの選択を、ビット4-0 (MDL04-MDL00) により、5ビット・カウンタの分周値 ($f_{XCLK0}/8$ - $f_{XCLK0}/31$) を設定できます。

14. 4. 4 ボー・レートの算出

(1) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{XCLK0}}{2 \times k} \text{ [bps]}$$

f_{XCLK0} : BRGC0レジスタのTPS01, TPS00ビットで選択した基本クロックの周波数

k : BRGC0レジスタのMDL04-MDL00ビットで設定した値 ($k = 8, 9, 10, \dots, 31$)

表14 - 4 TPS01, TPS00の設定値

TPS01	TPS00	基本クロック (f _{XCLK0}) 選択 ^{注1}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	TM50の出力 ^{注2}				
0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
1	0	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
1	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) の場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- ・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz
- ・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

(a) 78K0/LC3, 78K0/LD3

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

(b) 78K0/LE3, 78K0/LF3

- ・ TM50とCR50の一致でクリア & スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

- ・ PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TOE50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差} (\%) = \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right] \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC0レジスタのMDL04-MDL00ビットの設定値 = 10000B (k = 16)

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表14 - 5 ボー・レート・ジェネレータ設定データ

ボー・ レート [bps]	fPRS = 2.0 MHz				fPRS = 5.0 MHz				fPRS = 10.0 MHz			
	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]
1200	3H	26	1202	0.16	-	-	-	-	-	-	-	-
2400	3H	13	2404	0.16	-	-	-	-	-	-	-	-
4800	2H	26	4808	0.16	3H	16	4883	1.73	-	-	-	-
9600	2H	13	9615	0.16	3H	8	9766	1.73	3H	16	9766	1.73
10400	2H	12	10417	0.16	2H	30	10417	0.16	3H	15	10417	0.16
19200	1H	26	19231	0.16	2H	16	19531	1.73	3H	8	19531	1.73
24000	1H	21	23810	-0.79	2H	13	24038	0.16	2H	26	24038	0.16
31250	1H	16	31250	0	2H	10	31250	0	2H	20	31250	0
33600	1H	15	33333	-0.79	2H	9	34722	3.34	2H	19	32895	-2.1
38400	1H	13	38462	0.16	2H	8	39063	1.73	2H	16	39063	1.73
56000	1H	9	55556	-0.79	1H	22	56818	1.46	2H	11	56818	1.46
62500	1H	8	62500	0	1H	20	62500	0	2H	10	62500	0
76800	-	-	-	-	1H	16	78125	1.73	2H	8	78125	1.73
115200	-	-	-	-	1H	11	113636	-1.36	1H	22	113636	-1.36
153600	-	-	-	-	1H	8	156250	1.73	1H	16	156250	1.73
312500	-	-	-	-	-	-	-	-	1H	8	312500	0

備考 TPS01, TPS00 : ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) のビット7, 6 (基本クロック (fCLK0) 設定)

k : BRGC0のMDL04-MDL00ビットで設定した値 (k = 8, 9, 10, ..., 31)

fPRS : 周辺ハードウェア・クロック周波数

ERR : ボー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図14 - 13 受信時の許容ポー・レート範囲

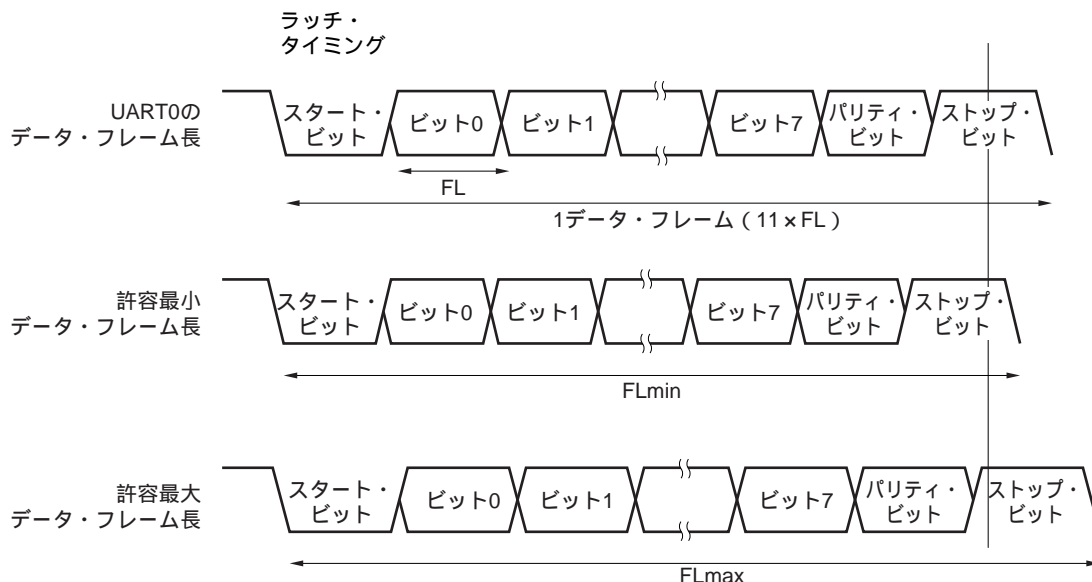


図14 - 13に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART0のポー・レート

k : BRGC0の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ポー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
16	+4.14 %	-4.19 %
24	+4.34 %	-4.38 %
31	+4.44 %	-4.47 %

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC0の設定値

第15章 シリアル・インタフェースUART6

15.1 シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6は、78K0/Lx3マイクロコントローラの全製品に搭載されています。
シリアル・インタフェースUART6には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
詳細については15.4.1 **動作停止モード**を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

LIN (Local Interconnect Network) - bus対応のUARTモードです。機能の概要を次に示します。

詳細については15.4.2 **アシクロナス・シリアル・インタフェース (UART) モード**、15.4.3 **専用ポー・レート・ジェネレータ**を参照してください。

- ・最大転送速度：625 kbps
- ・2端子構成 TxD6：送信データの出力端子
RxD6：受信データの入力端子
- ・TxD6/RxD6の端子は、レジスタにより、P112/P113 (デフォルト) もしくはP16/P15^注から選択可能

注 製品により、搭載している端子が異なります。

78K0/LC3, 78K0/LD3, 78K0/LE3:	P13/P12
78K0/LF3:	P16/P15

- ・通信データのデータ長は7ビット / 8ビット可変
- ・専用の8ビット・ポー・レート・ジェネレータを内蔵していることにより、任意のポー・レートが設定可能
- ・送信動作と受信動作は独立して動作することが可能 (全二重動作)
- ・MSB/LSBファースト通信選択可能
- ・送信反転動作可能
- ・シンク・ブレイク・フィールド送信は13ビットから20ビットまで選択可能
- ・シンク・ブレイク・フィールド受信が11ビット以上識別可能 (SBF受信フラグあり)

注意1. TxD6出力反転機能は、送信側だけ反転して受信側は反転しないので、TxD6出力反転機能を使用する場合、相手側も反転レベルで受信してください。

2. シリアル・インタフェースUART6への供給クロックが停止しない場合 (例: HALTモード) では、正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合 (例: STOPモード) では、各レジスタは、クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に、クロック停止直前の値を保持し出力します。ただし、クロック供給再開後の動作は保証していないので、再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0として、回路をリセットしてください。

注意3. 通信開始する場合，POWER6 = 1に設定後，TXE6 = 1（送信）またはRXE6 = 1（受信）に設定してください。

4. TXE6とRXE6は，CKSR6で設定した基本クロック（ f_{XCLK6} ）により，同期化されています。再び送信動作または受信動作を許可する場合は，TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと，基本クロック（ f_{XCLK6} ）1クロック以上待ってから，TXB6に送信データを設定してください。
6. 連続送信の場合，ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化を行うので通信結果には影響しません。また，LIN通信動作で使用する場合は連続送信機能を使用しないでください。

備考 LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

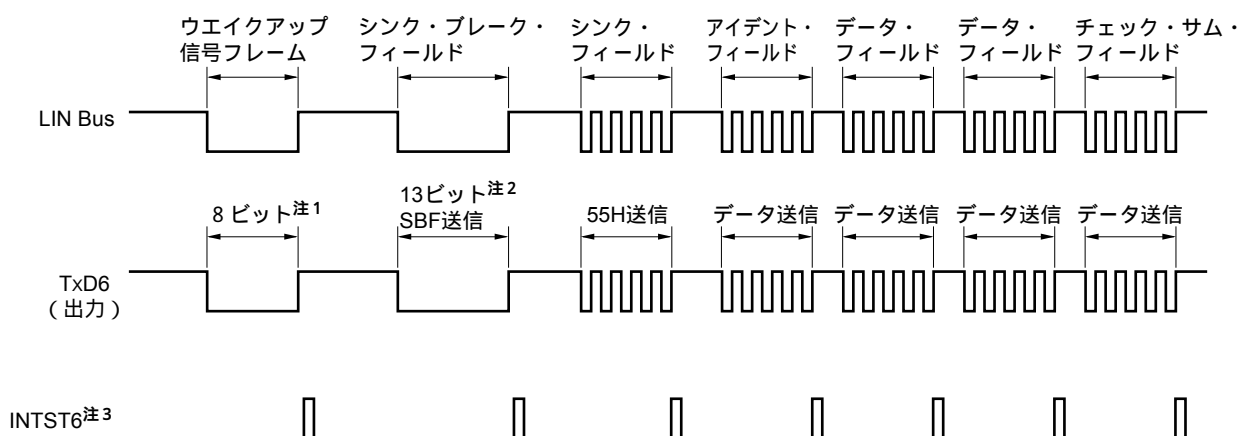
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokolでは，マスタはフレームにポー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため，スレーブのポー・レート誤差が $\pm 15\%$ 以下であれば，通信可能です。

LINの送信操作と受信操作の概略を，図15 - 1，図15 - 2に示します。

図15 - 1 LINの送信操作

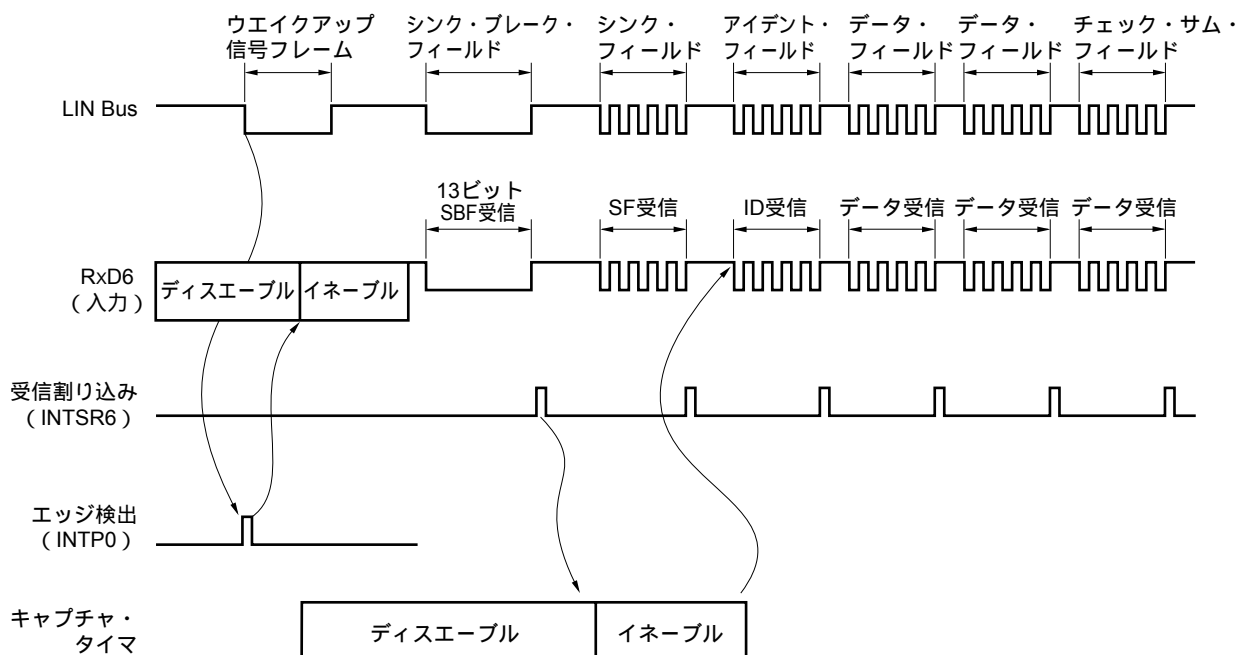


注1. ウェイクアップ信号フレームは，8ビット・モードの80H送信で代用します。

- 注2. シンク・ブレイク・フィールドの出力はハードウェアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット4-2 (SBL62-SBL60) で設定したビット長になります (15.4.2(2)(h) SBF送信を参照)。
3. 各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図15 - 2 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子のエッジ検出で行います。ウェイクアップ信号により、UART6をイネーブルし、SBF受信モードに設定します。

STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断し、割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら、SBF受信エラーと判断し、割り込み信号を出力せずにSBF受信モードに戻ります。

SBF受信を正常終了した場合、割り込み信号を出力します。SBF受信完了割り込み処理で16ビット・タイマ/イベント・カウンタ00を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (6.4.8 パルス幅測定としての動作を参照)。また、OVE6, PE6, FE6の各エラー検出は抑制され、UART通信のエラー検出処理、およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

シンク・フィールドのビット間隔からポー・レート誤差を算出し、SF受信後にUART6のイネーブルを落としてからポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) を再セットしてください。

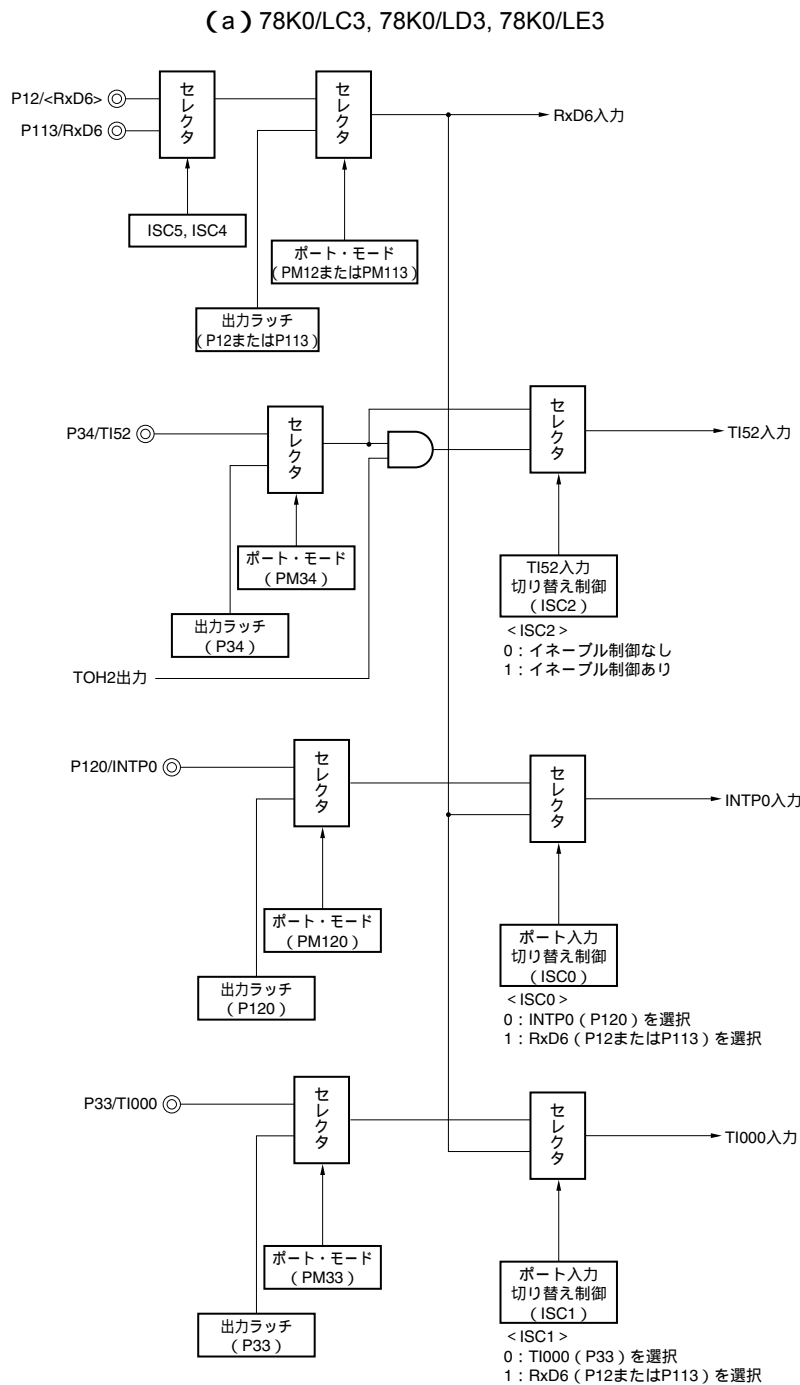
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行ってください。

図15 - 3はLINの受信操作のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ/イベント・カウンタ00の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

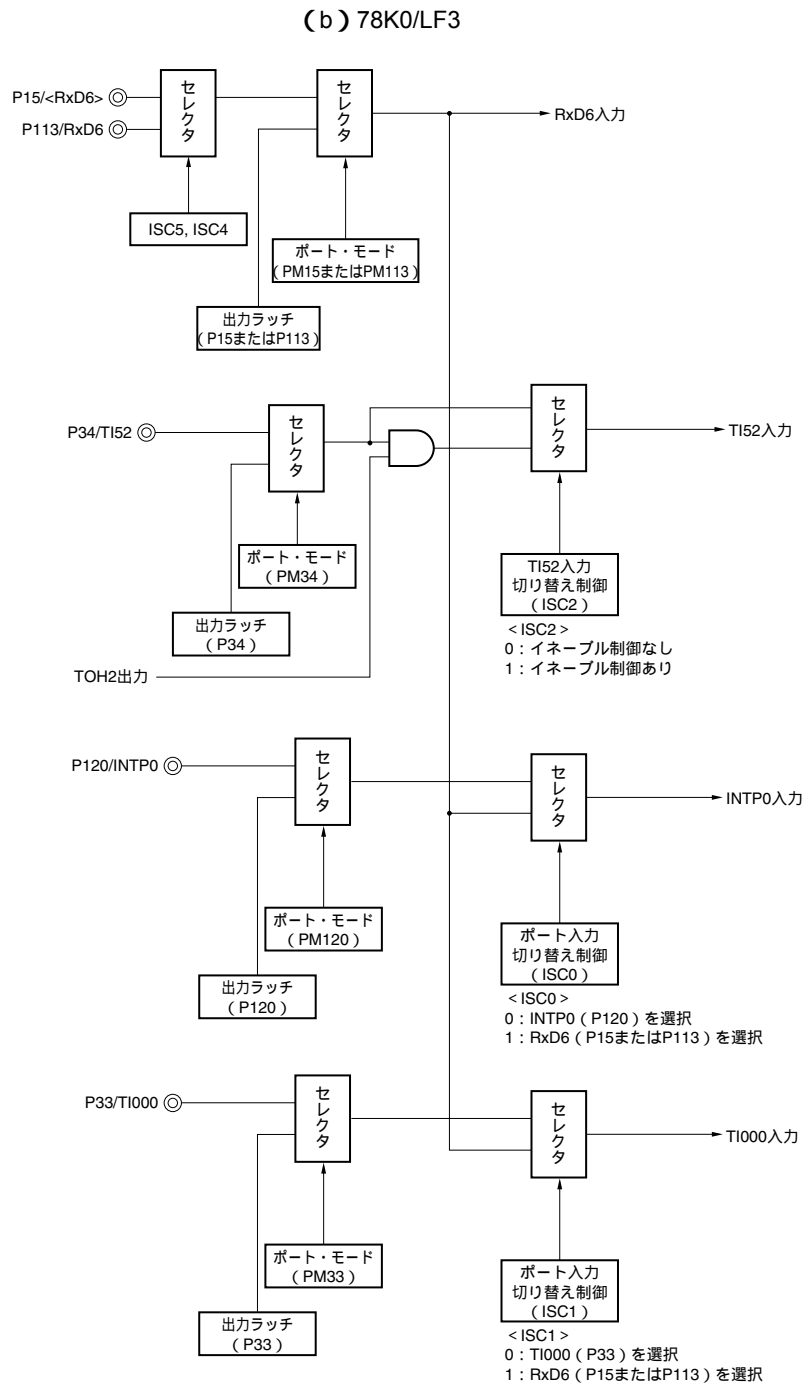
ポート入力切り替え制御 (ISC0/ISC1) により、外部でRxD6とINTP0、TI000の結線をせずに、受信用ポート入力 (RxD6) の入力ソースを外部割り込み (INTP0) および16ビット・タイマ/イベント・カウンタ00へ入力することができます。

図15 - 3 LINの受信操作のポート構成図 (1/2)



備考 ISC0, ISC1, ISC2, ISC4, ISC5 : 入力切り替え制御レジスタ (ISC) のビット0, 1, 2, 4, 5 (図15 - 11参照)

図15 - 3 LINの受信操作のポート構成図 (2/2)



備考 ISC0, ISC1, ISC2, ISC4, ISC5 : 入力切り替え制御レジスタ (ISC) のビット0, 1, 2, 4, 5 (図15 - 11参照)

LIN通信動作で使用する周辺機能を次に示します。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・16ビット・タイマ/イベント・カウンタ00 (TI000) ; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI000 入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・インタフェースUART6

15.2 シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は, 次のハードウェアで構成しています。

表15-1 シリアル・インタフェースUART6の構成

項 目	構 成
レジスタ	受信バッファ・レジスタ6 (RXB6) 受信シフト・レジスタ6 (RXS6) 送信バッファ・レジスタ6 (TXB6) 送信シフト・レジスタ6 (TXS6)
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) クロック選択レジスタ6 (CKSR6) ボー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) 入力切り替え制御レジスタ (ISC) ポート・ファンクション・レジスタ1 (PF1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1) ポート・モード・レジスタ11 (PM11) ポート・レジスタ11 (P11)

図15-4 シリアル・インタフェースUART6のブロック図(1/3)

(a) 78K0/LC3

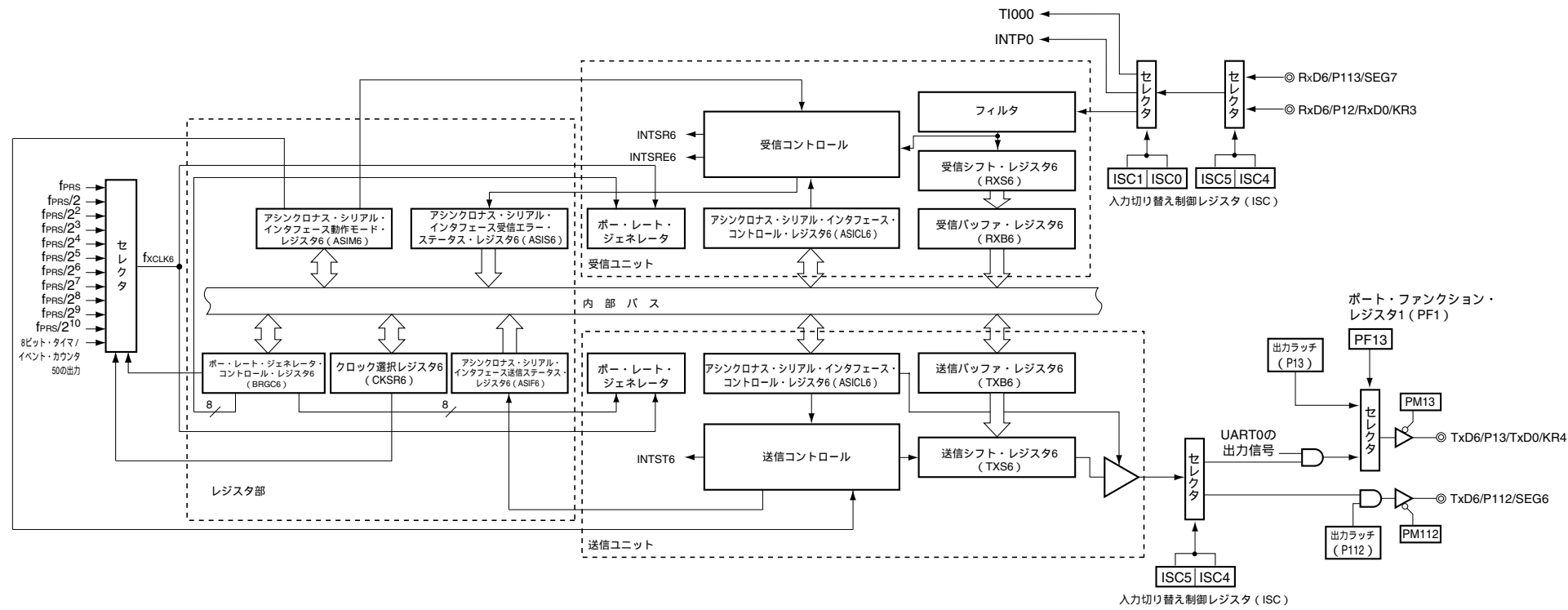
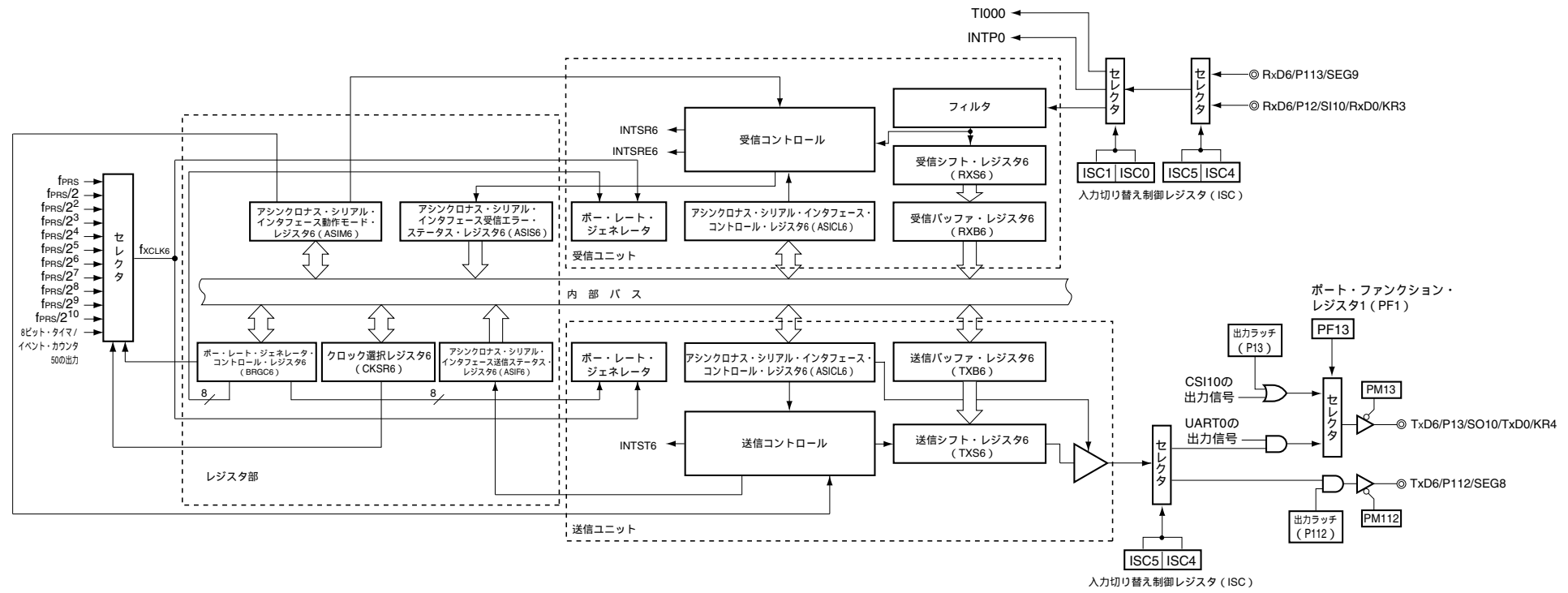


図15-4 シリアル・インタフェースUART6のブロック図 (2/3)

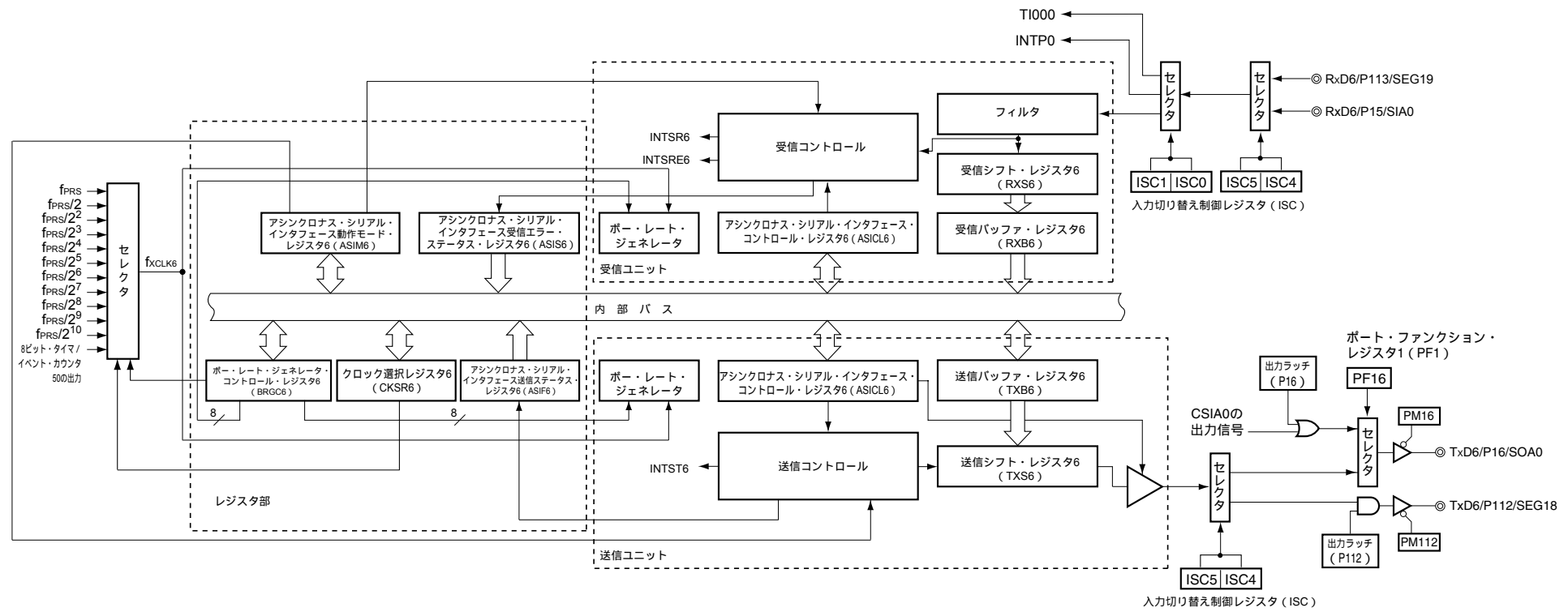
(b) 78K0/LD3, 78K0/LE3



備考 78K0/LD3 : RxD6/P113/SEG9, RxD6/P12/SI10/RxD0/KR3, TxD6/P13/SO10/TxD0/KR4, TxD6/P112/SEG8
 78K0/LE3 : RxD6/P113/SEG15, RxD6/P12/SI10/RxD0, TxD6/P13/SO10/TxD0, TxD6/P112/SEG14

図15-4 シリアル・インタフェースUART6のブロック図(3/3)

(c) 78K0/LF3



(1) 受信バッファ・レジスタ6 (RXB6)

受信シフト・レジスタ6 (RXS6) で変換したパラレル・データを格納するための8ビット・レジスタです。データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- ・ LSBファースト受信時では、受信データはRXB6のビット0-6に転送され、RXB6のMSBは必ず0になります。
- ・ MSBファースト受信時では、受信データはRXB6のビット1-7に転送され、RXB6のLSBは必ず0になります。

オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6には転送されません。

RXB6は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生により、FFHになります。

(2) 受信シフト・レジスタ6 (RXS6)

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6 (TXB6)

送信データを設定する、バッファ・レジスタです。TXB6へ送信データを書き込むことにより、送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で、読み出しと書き込みができます。

リセット信号の発生により、FFHになります。

注意1. アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット1 (TXBF6) が1のとき、TXB6にデータを書き込まないでください。

2. 通信動作中 (アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでTXB6へのリフレッシュ (同値書き込み) 動作を行わないでください。

3. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。

(4) 送信シフト・レジスタ6 (TXS6)

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は、最初の送信時ではTXB6の書き込み直後、連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は、基本クロックの立ち下がりのタイミングで行われます。

TXS6はプログラムで直接操作できません。

15.3 シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は、次の12種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・クロック選択レジスタ6 (CKSR6)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・入力切り替え制御レジスタ (ISC)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)
- ・ポート・モード・レジスタ11 (PM11)
- ・ポート・レジスタ11 (P11)

(1) アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1 ,またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASIM6へのリフレッシュ (同値書き込み) 動作を行うことができます。

図15 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (1/2)

アドレス : FF50H リセット時 : 01H R/W

略号	[7]	[6]	[5]	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2} 。
1	内部動作クロックの動作許可

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)
1	送信動作許可

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)
1	受信動作許可

注1. 送信中にPOWER6 = 0にすると, TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0の場合)。また, RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

図15 - 5 アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のフォーマット (2/2)

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 [※]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可 / 禁止
0	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)
1	エラー発生時の割り込みに “INTSR6” が発生 (このときINTSR6は発生しない)

注 「0パリティとして受信」を設定すると、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット2 (PE6) はセットされないため、エラー割り込みも発生しません。

- 注意1. 送信開始するときはPOWER6 = 1にしてから、TXE6 = 1としてください。送信停止するときにはTXE6 = 0にしてから、POWER6 = 0としてください。
2. 受信開始するときはPOWER6 = 1にしてから、RXE6 = 1としてください。受信停止するときにはRXE6 = 0にしてから、POWER6 = 0としてください。
3. RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1 RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1 RXE6 = 1 と設定すると、受信を開始してしまいます。
4. TXE6とRXE6は、CKSR6で設定した基本クロック (f_{CLK6}) により、同期化されています。再び送信動作または受信動作を許可する場合は、TXE6 = 0またはRXE6 = 0に設定してから基本クロック2クロック以降にTXE6 = 1またはRXE6 = 1を設定してください。基本クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。
5. TXE6 = 1に設定したあと、基本クロック (f_{CLK6}) 1クロック以上待ってから、TXB6に送信データを設定してください。
6. PS61, PS60, CL6ビットを書き換えるときは、TXE6, RXE6ビットをクリア(0)してから行ってください。
7. LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。
8. SL6ビットを書き換えるときは、TXE6をクリア(0)してから行ってください。また、受信は常に“ストップ・ビット数 = 1”として動作するので、SL6ビットの設定値の影響は受けません。
9. ISRM6ビットを書き換えるときは、RXE6 = 0にしてから行ってください。

(2) アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PE6, FE6, OVE6) で構成されています。

ASIS6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生, ASIM6のビット7 (POWER6) = 0, ビット5 (RXE6) = 0により, 00Hになります。また, 読み出しにより, 00Hになります。受信エラーが発生した場合は, ASIS6を読み出したあと, 受信バッファ・レジスタ6 (RXB6) を読み出し, エラー・フラグをクリアしてください。

図15 - 6 アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のフォーマット

アドレス : FF53H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, 送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	受信完了時, ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき, または, ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき

- 注意1. PE6 ビットの動作は, アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のPS61, PS60ビットの設定値により異なります。
- 受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。
 - オーバラン・エラーが発生した場合, 次の受信データは受信バッファ・レジスタ6 (RXB6) には書き込まれず, データは破棄されます。
 - ASIS6からデータを読み出すと, ウェイトが発生します。また周辺ハードウェア・クロック (f_{PRS}) が停止しているときに, ASIS6からデータを読み出さないでください。詳細は, 第34章 ウェイトに関する注意事項を参照してください。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ (TXBF6, TXSF6) で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに、次のデータをTXB6レジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は、8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生、ASIM6のビット7 (POWER6) = 0, ビット6 (TXE6) = 0により、00Hになります。

図15 - 7 アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のフォーマット

アドレス : FF55H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、送信シフト・レジスタ6 (TXS6) にデータを転送したとき
1	送信バッファ・レジスタ6 (TXB6) にデータを書き込んだとき (TXB6にデータが存在するとき)

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき、または、転送完了後に送信バッファ・レジスタ6 (TXB6) から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6 (TXB6) よりデータが転送されたとき (データ送信中のとき)

- 注意1.** 連続送信を行う場合は、最初の送信データ (1バイト目) をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ (2バイト目) をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。
- 2.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6 (CKSR6)

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 通信動作中 (ASIM6のビット7, 6 (POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5 (POWER6, RXE6) = 1, 1) に、ソフトウェアでCKSR6へのリフレッシュ動作 (同値書き込み) を行うことができます。

図15 - 8 クロック選択レジスタ6 (CKSR6) のフォーマット

アドレス : FF56H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	8 MHz	10 MHz
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	500 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	62.5 kHz	78.13 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	31.25 kHz	39.06 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	15.625 kHz	19.53 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	7.813 kHz	9.77 kHz
1	0	1	1	TM50の出力 ^{注3}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

- ・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz
- ・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック : f_{PRS}) は設定禁止です。
3. TM50出力を基本クロックとして選択する場合、次の内容に注意してください。

(a) 78K0/LC3, 78K0/LD3

タイムF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

(b) 78K0/LE3, 78K0/LF3

・ TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイムF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・ PWMモード (TMC506 = 1)

デューティ50 %のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

注意 TPS63-TPS60を書き換える場合は、POWER6 = 0としてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック周波数

2. TMC506 : 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) のビット6
TMC501 : TMC50のビット1

(5) ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでBRGC6へのリフレッシュ動作(同値書き込み)を行うことができます。

図15-9 ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のフォーマット

アドレス : FF57H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力 クロック選択
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	$f_{XCLK6}/4$
0	0	0	0	0	1	0	1	5	$f_{XCLK6}/5$
0	0	0	0	0	1	1	0	6	$f_{XCLK6}/6$
.
.
.
.
.
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1. MDL67-MDL60ビットを書き換える場合は、ASIM6レジスタのビット6 (TXE6) = 0, ビット5 (RXE6) = 0にしてから行ってください。

2. 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2. k : MDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)

3. x : 任意

(6) アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。

ASICL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、16Hになります。

注意 通信動作中(ASIM6のビット7, 6(POWER6, TXE6) = 1, 1, またはASIM6のビット7, 5(POWER6, RXE6) = 1, 1) に、ソフトウェアでASICL6へのリフレッシュ動作(同値書き込み)を行うことができます。ただし、SBF受信中(SBRF6 = 1)またはSBF送信中(SBTT6をセット(1)後からINTST6発生までの間)に、リフレッシュ動作でSBRT6 = 1, SBTT6 = 1に設定すると、SBF受信、SBF送信の再トリガ要因となるため、設定しないでください。

図15 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(1/2)

アドレス : FF58H リセット時 : 16H R/W^注

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき、またはSBF受信が正常終了したとき
1	SBF受信

SBRT6	SBF受信トリガ
0	-
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	-
1	SBF送信トリガ

注 ビット7はRead Onlyです。

図15 - 10 アシクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のフォーマット(2/2)

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可 / 禁止
0	TxD6通常出力
1	TxD6反転出力

- 注意1. SBF受信エラー時には、再びSBF受信モードに戻ります。SBRF6フラグの状態は保持(1)されます。
- SBRT6ビットは、ASIM6のビット7(POWER6)=1、かつビット5(RXE6)=1としてからセット(1)にしてください。また、セット(1)後、SBF受信が終了(割り込み要求信号が発生)する前に、SBRT6ビットをクリア(0)しないでください。
 - SBRT6ビットのリード値は常に0です。SBF受信正常終了後、SBRT6は自動的にクリア(0)されます。
 - SBTT6ビットは、ASIM6のビット7(POWER6)=1、かつビット6(TXE6)=1としてからセット(1)にしてください。また、セット(1)後、SBF送信が終了(割り込み要求信号が発生)する前に、SBTT6ビットをクリア(0)しないでください。
 - SBTT6ビットのリード値は常に0です。SBF送信終了後、SBTT6は自動的にクリア(0)されます。
 - SBRT6ビットは受信動作中に、SBTT6ビットは送信動作中に、セット(1)しないでください。
 - DIR6、TXDLV6ビットを書き換えるときは、TXE6、RXE6ビットをクリア(0)にしてから行ってください。
 - TXDLV6ビットを1(TxD6反転出力)に設定している場合、POWER6、TXE6の設定に関係なく、TxD6/Pxx端子を汎用ポートとして使用することはできません。TxD6/Pxx端子を汎用ポートとして使用する場合は、TXDLV6ビットを0(TxD6通常出力)に設定してください。

(7) 入力切り替え制御レジスタ (ISC)

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

ISC5に1をセットすることで、UART6の入出力端子はP113/RxD6, P112/TxD6からP12/<RxD6>, P13/<TxD6>端子に切り替わります。

なお、ISC3に1をセットすることで、P113/RxD6端子は入力許可されます。ISC3が0にクリアしている場合、外部からの入力を受け付けません。これにより、リセット解除後、出力設定するまでの間の入力不定状態による貫通電流の発生を防ぎます。

また、LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP12/<RxD6>端子もしくはP113/RxD6端子からの入力信号に切り替わります。

(b) 78K0/LF3

ISC4に1をセットすることで、UART6の入出力端子はP113/RxD6, P112/TxD6からP15/<RxD6>, P16/<TxD6>端子に切り替わります。

なお、ISC3に1をセットすることで、P113/RxD6端子は入力許可されます。ISC3が0にクリアしている場合、外部からの入力を受け付けません。これにより、リセット解除後、出力設定するまでの間の入力不定状態による貫通電流の発生を防ぎます。

また、LIN (Local Interconnect Network) 受信時に、マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ (ISC) を使用します。

ISC0, ISC1に1をセットすることで、INTP0, TI000への入力ソースはP15/<RxD6>端子もしくはP113/RxD6端子からの入力信号に切り替わります。

図15 - 11 入力切り替え制御レジスタ (ISC) のフォーマット (1/2)

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6入力ソースの選択
0	0	TxD6:P112, RxD6:P113
1	0	TxD6:P13, RxD6:P12
上記以外		設定禁止

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC2	TI52入力ソースの制御
0	TI52入力 (P34) のイネーブル制御なし
1	TI52入力 (P34) のイネーブル制御あり ^{注1}

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P12またはP113 ^{注2})

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P12またはP113 ^{注2})

- 注1. TOH2出力信号により制御できます。
 2. ISC5, ISC4によって選択されます。

注意 P113/RxD6/SEGx端子をP113またはRxD6端子として使用する場合は、
 リセット解除後、PF11ALL = 0, ISC3 = 1を設定してください。
 P113/RxD6/SEGx端子をSEGx端子として使用する場合は、
 リセット解除後、PF11ALL = 1, ISC3 = 0を設定してください。

図15 - 11 入力切り替え制御レジスタ (ISC) のフォーマット (2/2)

(b) 78K0/LF3

アドレス : FF4FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC5	ISC4	TxD6, RxD6入力ソースの選択
0	0	TxD6:P112, RxD6:P113
0	1	TxD6:P16, RxD6:P15
上記以外		設定禁止

ISC3	RxD6/P113の入力許可 / 禁止
0	RxD6/P113 入力禁止
1	RxD6/P113 入力許可

ISC2	TI52入力ソースの制御
0	TI52入力 (P34) のイネーブル制御なし
1	TI52入力 (P34) のイネーブル制御あり ^{注1}

ISC1	TI000入力ソースの選択
0	TI000 (P33)
1	RxD6 (P15またはP113 ^{注2})

ISC0	INTP0入力ソースの選択
0	INTP0 (P120)
1	RxD6 (P15またはP113 ^{注2})

- 注1. TOH2出力信号により制御できます。
 2. ISC5, ISC4によって選択されます。

注意 P113/RxD6/SEG19端子をP113またはRxD6端子として使用する場合は、
 リセット解除後、PF11ALL = 0, ISC3 = 1を設定してください。
 P113/RxD6/SEG19端子をSEG19端子として使用する場合は、
 リセット解除後、PF11ALL = 1, ISC3 = 0を設定してください。

(8) ポート・ファンクション・レジスタ1 (PF1)

P13/TxD6, P16/TxD6端子[※]の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 製品により、搭載している端子が異なります。

78K0/LC3, 78K0/LD3, 78K0/LE3: P13/TxD6

78K0/LF3: P16/TxD6

図15 - 12 ポート・ファンクション・レジスタ1 (PF1) のフォーマット (1/2)

(a) 78K0/LC3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), キー入力 (KR4), UART0, UART6出力の指定
0	P13またはKR4として使用
1	TxD0またはTxD6として使用

(b) 78K0/LD3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, キー入力 (KR4), UART0, UART6出力の指定
0	P13またはSO10またはKR4として使用
1	TxD0またはTxD6として使用

(c) 78K0/LE3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0, UART6出力の指定
0	P13またはSO10として使用
1	TxD0またはTxD6として使用

図15 - 12 ポート・ファンクション・レジスタ1 (PF1) のフォーマット (2/2)

(d) 78K0/LF3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

PF16	ポート (P16), CSIA0, UART6出力の指定
0	P16またはSOA0として使用
1	TxD6として使用

(9) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

(a) 78K0/LC3, 78K0/LD3, 78K0/LE3

P13/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM13に0を設定してください。このときP13の出力ラッチは、0または1のどちらでもかまいません。

P12/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM12に1を設定してください。このときP12の出力ラッチは、0または1のどちらでもかまいません。

(b) 78K0/LF3

P16/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM16に0を設定してください。このときP16の出力ラッチは、0または1のどちらでもかまいません。

P15/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM15に1を設定してください。このときP15の出力ラッチは、0または1のどちらでもかまいません。

図15 - 13 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ1のフォーマットです。他の製品のポート・モード・レジスタ1のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

(10) ポート・モード・レジスタ11 (PM11)

ポート11の入力/出力を1ビット単位で設定するレジスタです。

P112/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき、PM112に0を、P112の出力ラッチに1を設定してください。

P113/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき、PM113に1を設定してください。このときP113の出力ラッチは、0または1のどちらでもかまいません。

PM11は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図15 - 14 ポート・モード・レジスタ11 (PM11) のフォーマット

アドレス : FF2BH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM11	1	1	1	1	PM113	PM112	PM111	PM110

PM11n	P11n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LE3, 78K0/LF3 のポート・モード・レジスタ11のフォーマットです。他の製品のポート・モード・レジスタ11のフォーマットについては、4.3 **ポート機能を制御するレジスタ (1) ポート・モード・レジスタ (PMxx)** を参照してください。

15.4 シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は、次の2種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース (UART) モード

15.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIM6のビット7, 6, 5 (POWER6, TXE6, RXE6) に0を設定してください。

(1) 使用するレジスタ

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)で行います。

ASIM6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス：FF50H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可 / 禁止
0 ^{注1}	内部動作クロックの動作禁止 (ロウ・レベル固定), 内部回路を非同期リセットする ^{注2}

TXE6	送信動作許可 / 禁止
0	送信動作禁止 (送信回路を同期リセットする)

RXE6	受信動作許可 / 禁止
0	受信動作禁止 (受信回路を同期リセットする)

注1. 送信中にPOWER6 = 0にすると、TxD6端子の出力はハイ・レベルに固定されます (TXDLV6 = 0の場合)。また、RxD6端子からの入力もハイ・レベルに固定されます。

2. リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6), アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6), アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット7 (SBRF6) とビット6 (SBRT6), 受信バッファ・レジスタ6 (RXB6) です。

注意 動作停止するときは、TXE6 = 0, RXE6 = 0にしてから、POWER6 = 0 にしてください。通信開始するときは、POWER6 = 1 にしてから、TXE6 = 1, RXE6 = 1にしてください。

備考 RxD6/Pxx, TxD6/Pxx端子を汎用ポートとして使用する場合は、第4章 ポート機能を参照してください。

15.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

(1) 使用するレジスタ

- ・ アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)
- ・ アシクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)
- ・ アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)
- ・ クロック選択レジスタ6 (CKSR6)
- ・ ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6)
- ・ アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)
- ・ 入力切り替え制御レジスタ (ISC)
- ・ ポート・モード・レジスタ1 (PM1)
- ・ ポート・レジスタ1 (P1)
- ・ ポート・モード・レジスタ11 (PM11)
- ・ ポート・レジスタ11 (P11)

UARTモードの基本的な動作設定手順例は次のようになります。

- CKSR6レジスタを設定 (図15 - 8を参照)
- BRGC6レジスタを設定 (図15 - 9を参照)
- ASIM6レジスタのビット0-4 (ISRM6, SL6, CL6, PS60, PS61) を設定 (図15 - 5を参照)
- ASICL6レジスタのビット0, 1 (TXDLV6, DIR6) を設定 (図15 - 10を参照)
- ASIM6レジスタのビット7 (POWER6) をセット (1)
- ASIM6レジスタのビット6 (TXE6) をセット (1) 送信可能
- ASIM6レジスタのビット5 (RXE6) をセット (1) 受信可能
- 送信バッファ・レジスタ6 (TXB6) にデータを書き込み データ送信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表15 - 2 レジスタの設定と端子の関係 (1/4)

(a) 78K0/LC3

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP12, P13を選択した場合

POWER6	TXE6	RXE6	PM13	P13	PM12	P12	UART6 の動作	端子機能	
								TxD6/KR4/TxD0 /P13	RxD6/KR3/RxD0 /P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	KR4/TxD0/P13	KR3/RxD0/P12
1	0	1	x ^注	x ^注	1	x	受信	KR4/P13	RxD6
	1	0	0	x	x ^注	x ^注	送信	TxD6	KR3/P12
	1	1	0	x	1	x	送受信	TxD6	RxD6

注 ポート機能, キー割り込み機能, またはシリアル・インタフェースUART0 (UART6停止時のみ) として設定することができます。

注意 TxD6/SEG6/P112端子, RxD6/SEG7/P113端子はSEG6/P112, SEG7/P113として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP112, P113を選択した場合

POWER6	TXE6	RXE6	PM112	P112	PM113	P113	UART6 の動作	端子機能	
								TxD6/SEG6/P112	RxD6/SEG7/P113
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SEG6/P112	SEG7/P113
1	0	1	x ^注	x ^注	1	x	受信	SEG6/P112	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	SEG7/P113
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能またはセグメント出力として設定することができます。

注意 TxD6/KR4/TxD0/P13端子, RxD6/KR3/RxD0/P12端子はKR4/TxD0/P13, KR3/RxD0/P12として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM11x : ポート・モード・レジスタ

P11x : ポートの出力ラッチ

表15 - 2 レジスタの設定と端子の関係 (2/4)

(b) 78K0/LD3

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP12, P13を選択した場合

POWER6	TXE6	RXE6	PM13	P13	PM12	P12	UART6 の動作	端子機能	
								TxD6/SO10/KR4/ TxD0/P13	RxD6/SI10/KR3/ RxD0/P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/KR4/ TxD0/P13	SI10/KR3/ RxD0/P12
1	0	1	x ^注	x ^注	1	x	受信	SO10/KR4/P13	RxD6
	1	0	0	x	x ^注	x ^注	送信	TxD6	SI10/KR3/P12
	1	1	0	x	1	x	送受信	TxD6	RxD6

注 ポート機能, キー割り込み機能, シリアル・インタフェースCSI10, またはシリアル・インタフェースUART0 (UART6停止時のみ) として設定することができます。

注意 TxD6/SEG8/P112端子, RxD6/SEG9/P113端子はSEG8/P112, SEG9/P113として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP112, P113を選択した場合

POWER6	TXE6	RXE6	PM112	P112	PM113	P113	UART6 の動作	端子機能	
								TxD6/SEG8/P112	RxD6/SEG9/P113
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SEG8/P112	SEG9/P113
1	0	1	x ^注	x ^注	1	x	受信	SEG8/P112	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	SEG9/P113
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能またはセグメント出力として設定することができます。

注意 TxD6/SO10/KR4/TxD0/P13端子, RxD6/SI10/KR3/RxD0/P12端子はSO10/KR4/TxD0/P13, SI10/KR3/RxD0/P12として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM11x : ポート・モード・レジスタ

P11x : ポートの出力ラッチ

表15 - 2 レジスタの設定と端子の関係 (3/4)

(c) 78K0/LE3

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP12, P13を選択した場合

POWER6	TXE6	RXE6	PM13	P13	PM12	P12	UART6 の動作	端子機能	
								TxD6/SO10/TxD0 /P13	RxD6/SI10/RxD0 /P12
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SO10/TxD0/P13	SI10/RxD0/P12
1	0	1	x ^注	x ^注	1	x	受信	SO10/P13	RxD6
	1	0	0	x	x ^注	x ^注	送信	TxD6	SI10/P12
	1	1	0	x	1	x	送受信	TxD6	RxD6

注 ポート機能, シリアル・インタフェースCSI10, またはシリアル・インタフェースUART0 (UART6停止時のみ) として設定することができます。

注意 TxD6/SEG14/P112端子, RxD6/SEG15/P113端子はSEG14/P112, SEG15/P113として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP112, P113を選択した場合

POWER6	TXE6	RXE6	PM112	P112	PM113	P113	UART6 の動作	端子機能	
								TxD6/SEG14/P112	RxD6/SEG15/P113
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SEG14/P112	SEG15/P113
1	0	1	x ^注	x ^注	1	x	受信	SEG14/P112	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	SEG15/P113
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能またはセグメント出力として設定することができます。

注意 TxD6/SO10/TxD0/P13端子, RxD6/SI10/RxD0/P12端子はSO10/TxD0/P13, SI10/RxD0/P12として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM11x : ポート・モード・レジスタ

P11x : ポートの出力ラッチ

表15 - 2 レジスタの設定と端子の関係 (4/4)

(d) 78K0/LF3

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP16, P15を選択した場合

POWER6	TXE6	RXE6	PM16	P16	PM15	P15	UART6 の動作	端子機能	
								TxD6/SOA0/P16	RxD6/SIA0/P15
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SOA0/P16	SIA0/P15
1	0	1	x ^注	x ^注	1	x	受信	SOA0/P16	RxD6
	1	0	0	x	x ^注	x ^注	送信	TxD6	SIA0/P15
	1	1	0	x	1	x	送受信	TxD6	RxD6

注 ポート機能またはシリアル・インタフェースCSIA0として設定することができます。

注意 TxD6/SEG18/P112端子, RxD6/SEG19/P113端子はSEG18/P112, SEG19/P113として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM1x : ポート・モード・レジスタ

P1x : ポートの出力ラッチ

() ISCのビット4, 5 (ISC4, ISC5) によりUART6の端子にP112, P113を選択した場合

POWER6	TXE6	RXE6	PM112	P112	PM113	P113	UART6 の動作	端子機能	
								TxD6/SEG18/P112	RxD6/SEG19/P113
0	0	0	x ^注	x ^注	x ^注	x ^注	停止	SEG18/P112	SEG19/P113
1	0	1	x ^注	x ^注	1	x	受信	SEG18/P112	RxD6
	1	0	0	1	x ^注	x ^注	送信	TxD6	SEG19/P113
	1	1	0	1	1	x	送受信	TxD6	RxD6

注 ポート機能またはセグメント出力として設定することができます。

注意 TxD6/SOA0/P16端子, RxD6/SIA0/P15端子はSOA0/P16, SIA0/P15として機能します。

備考 x : don't care

POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

PM11x : ポート・モード・レジスタ

P11x : ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

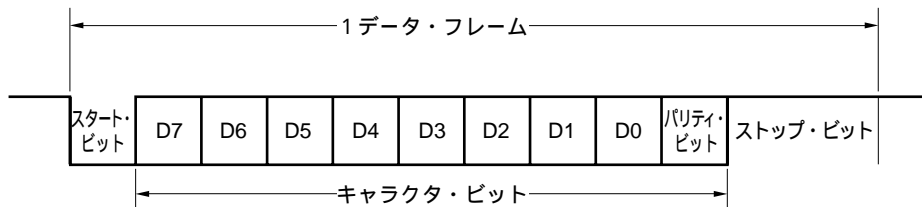
通常送受信データのフォーマットと波形例を図15 - 15, 図15 - 16に示します。

図15 - 15 通常UART送受信データのフォーマット

1. LSBファーストの場合



2. MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

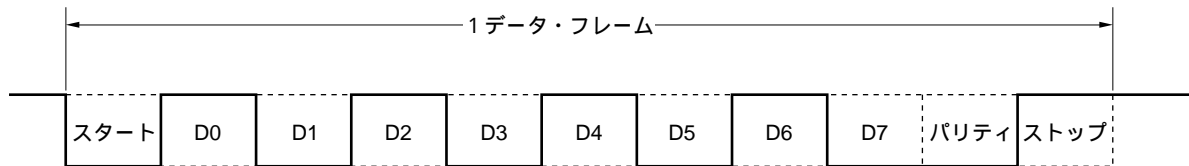
1データ・フレーム内のキャラクタ・ビット長の指定,パリティ選択,ストップ・ビット長の指定は,アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) によって行います。

データはLSBファースト/MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット1 (DIR6) で設定して通信します。

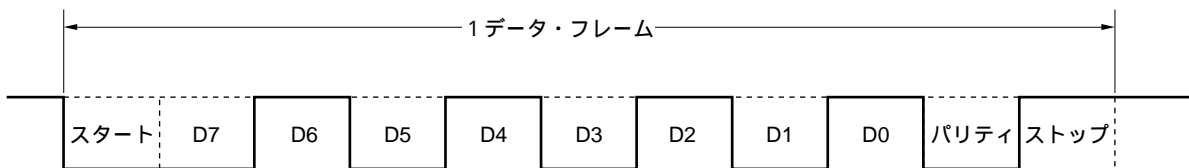
また, TxD6端子の通常出力/反転出力をASICL6のビット0 (TXDLV6) で設定します。

図15 - 16 通常UART送受信データの波形例 (1/2)

1. データ長: 8ビット, LSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H



2. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H

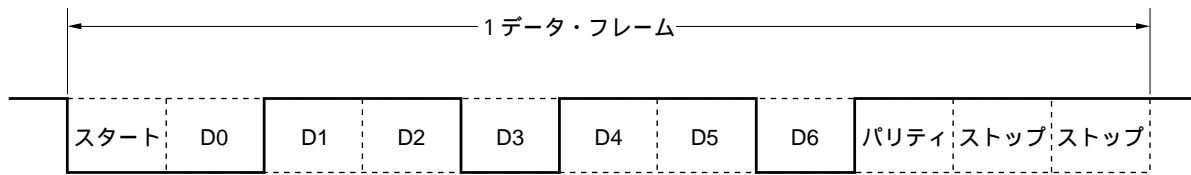


3. データ長: 8ビット, MSBファースト, パリティ: 偶数パリティ, ストップ・ビット: 1ビット, 通信データ: 55H, TxD6端子反転出力

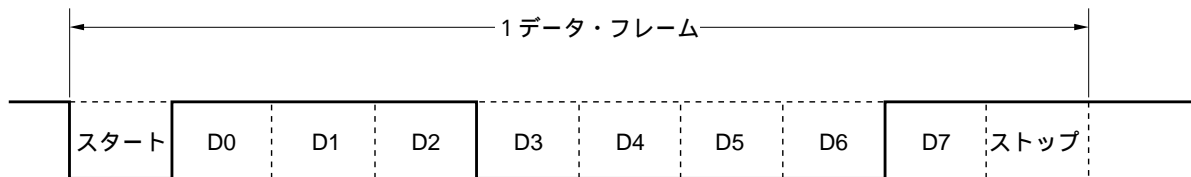


図15 - 16 通常UART送受信データの波形例 (2/2)

4. データ長 : 7ビット , LSBファースト , パリティ : 奇数パリティ , ストップ・ビット : 2ビット , 通信データ : 36H



5. データ長 : 8ビット , LSBファースト , パリティ : パリティなし , ストップ・ビット : 1ビット , 通信データ : 87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

注意 LIN通信動作で使用する場合、PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビット数が奇数個 : 1

送信データ中に、値が“1”のビット数が偶数個 : 0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に、値が“1”のビット数が奇数個：0

送信データ中に、値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、送信バッファ・レジスタ6 (TXB6) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

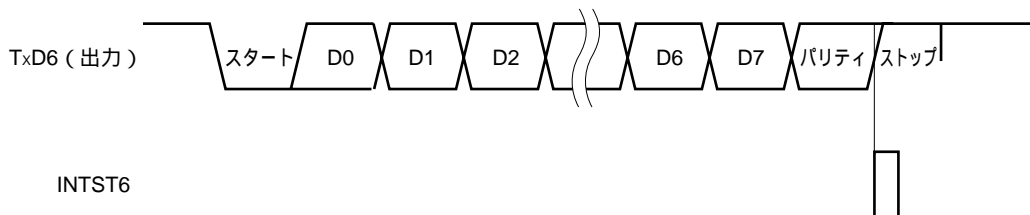
送信動作の開始により、TXB6内のデータは送信シフト・レジスタ6 (TXS6) に転送されます。その後、送信データがTXS6より順次、TxD6端子に出力されます。送信が完了すると、ASIM6で設定したパリティ・ビット、ストップ・ビットが付加され、送信完了割り込み要求 (INTST6) が発生します。

次に送信するデータをTXB6に書き込むまで、送信動作は中断します。

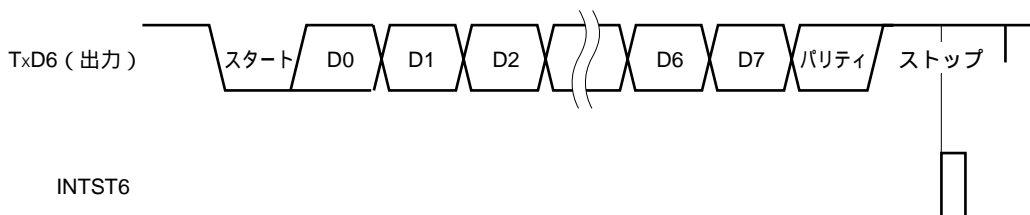
送信完了割り込み要求 (INTST6) のタイミングを図15 - 17に示します。INTST6は、最後のストップ・ビット出力と同時に発生します。

図15 - 17 通常送信完了割り込み要求タイミング

1. ストップ・ビット長：1



2. ストップ・ビット長：2



(d) 連続送信

送信シフト・レジスタ6 (TXS6) がシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ6 (TXB6) へ書き込むことができます。これにより、1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) のビット0 (TXSF6) を読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXB6レジスタへの書き込みができます。

連続送信する場合は、必ずASIF6レジスタを参照し、送信状態とTXB6レジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

- 注意1.** 連続送信でASIF6レジスタのTXBF6, TXSF6フラグは、「10」「11」「01」と変化します。そのため、ステータスを確認する場合は、TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出して下さい。
- 2.** LIN通信動作で使用する場合、連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6) が00Hになっていることを確認してから、送信バッファ・レジスタ6 (TXB6) に送信データを書き込んで下さい。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意 連続送信を行う場合は、最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと、必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

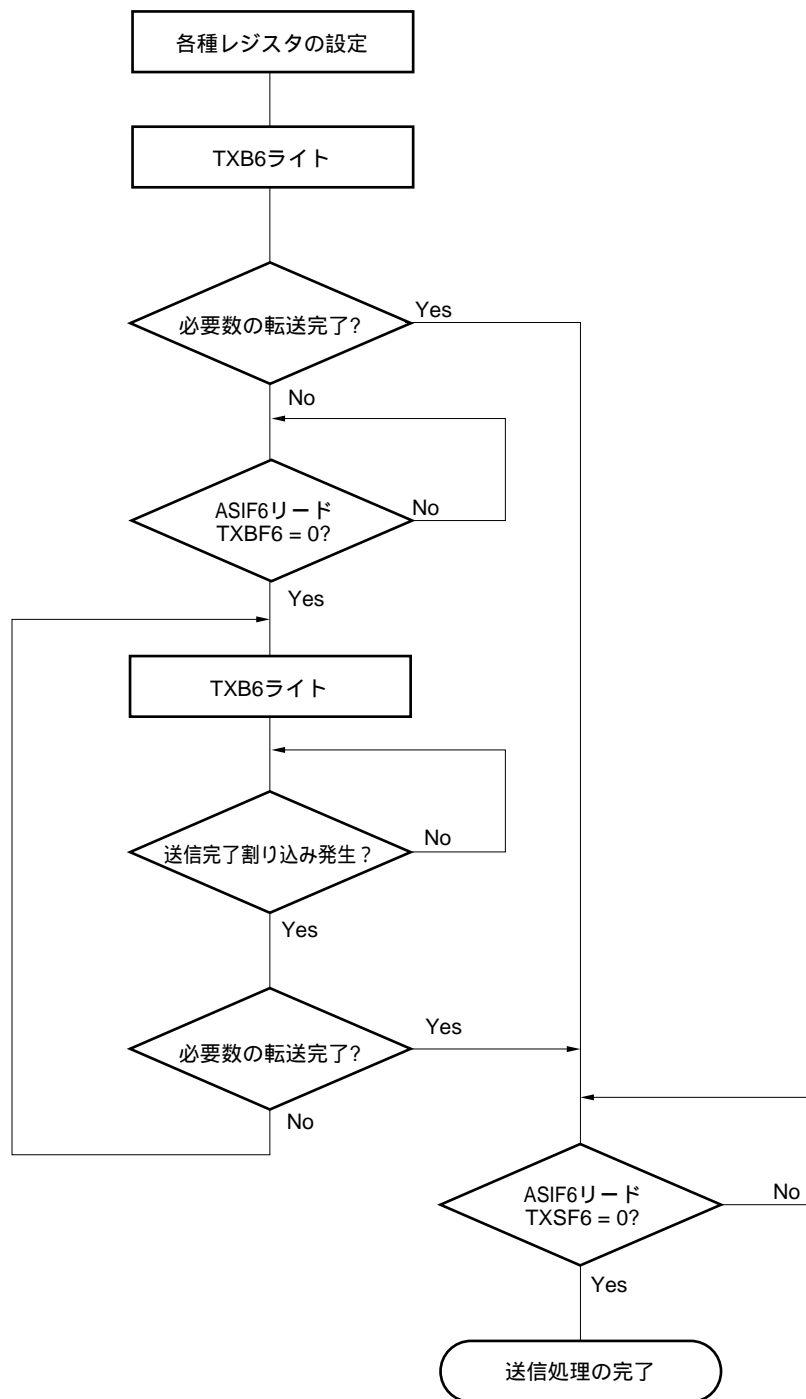
TXSF6フラグで、通信状態を確認することができます。

TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまう可能性があります。対策としては、送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図15 - 18に示します。

図15 - 18 連続送信の処理フロー例



備考 TXB6 : 送信バッファ・レジスタ6

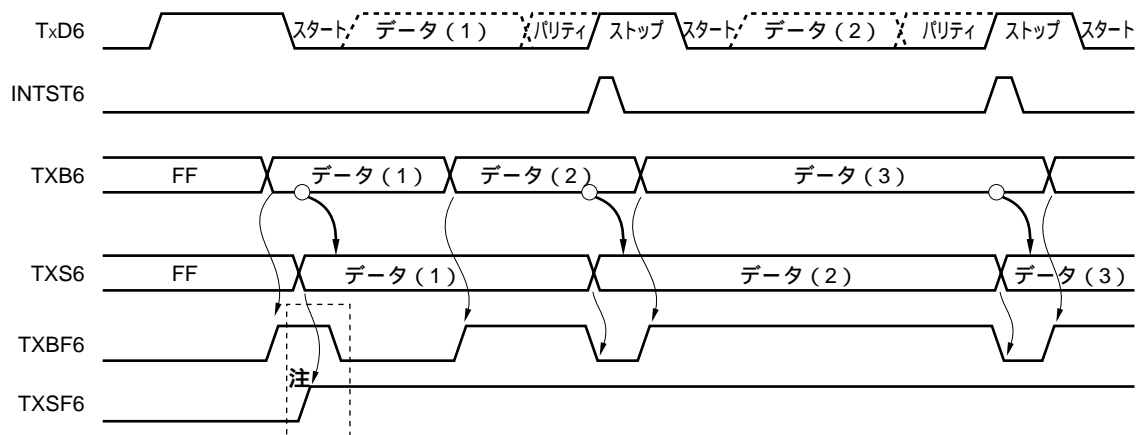
ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6

TXBF6 : ASIF6のビット1 (送信バッファ・データ・フラグ)

TXSF6 : ASIF6のビット0 (送信シフト・レジスタ・データ・フラグ)

連続送信を開始する際のタイミングを図15 - 19に、連続送信を終了する際のタイミングを図15 - 20に示します。

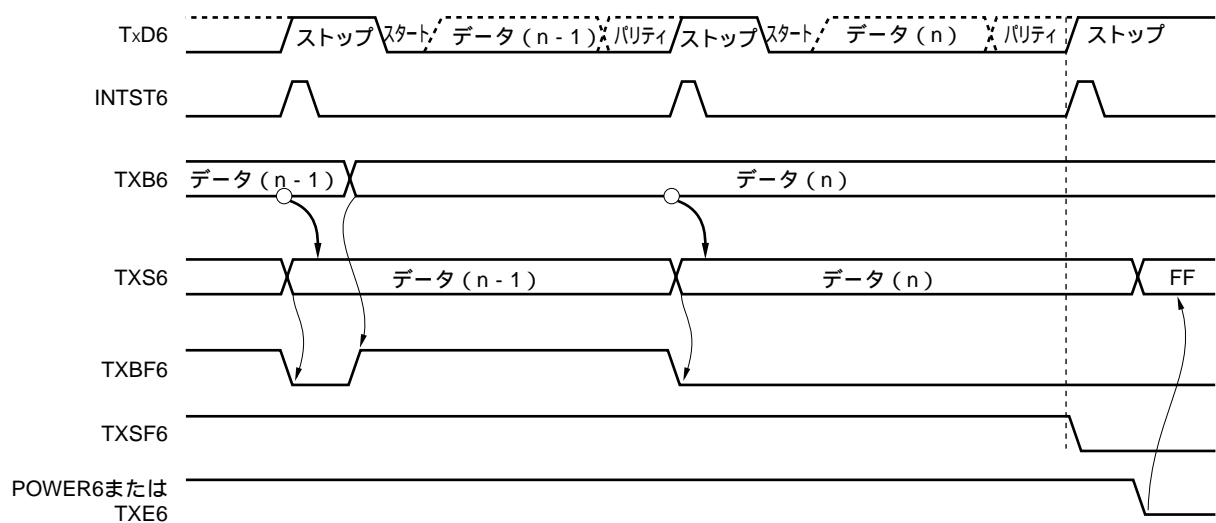
図15 - 19 連続送信を開始する際のタイミング



注 ASIF6をリードした場合、TXBF6, TXSF6 = 1, 1の期間が存在します。したがって、書き込み可否はTXBF6ビットのみで判断してください。

- 備考 TxD6 : TxD6端子 (出力)
 INTST6 : 割り込み要求信号
 TXB6 : 送信バッファ・レジスタ6
 TXS6 : 送信シフト・レジスタ6
 ASIF6 : アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
 TXBF6 : ASIF6のビット1
 TXSF6 : ASIF6のビット0

図15 - 20 連続送信を終了する際のタイミング



備考	TxD6	: TxD6端子 (出力)
	INTST6	: 割り込み要求信号
	TXB6	: 送信バッファ・レジスタ6
	TXS6	: 送信シフト・レジスタ6
	ASIF6	: アシクロナス・シリアル・インタフェース送信ステータス・レジスタ6
	TXBF6	: ASIF6のビット1
	TXSF6	: ASIF6のビット0
	POWER6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット7
	TXE6	: アシクロナス・シリアル・インタフェース動作モード・レジスタ (ASIM6) のビット6

(e) 通常受信

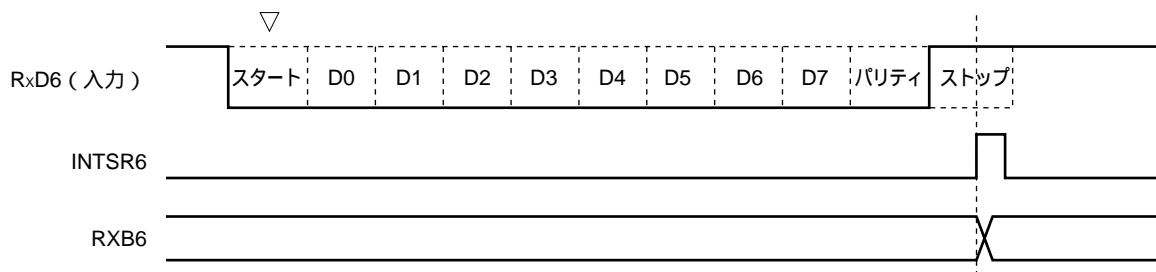
アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となり、RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると、ポー・レート・ジェネレータの8ビット・カウンタがカウントを開始し、ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定値をカウントした時点で、再度RxD6端子入力をサンプリング (図15 - 21の 印に相当) した結果、RxD6端子がロウ・レベルであれば、スタート・ビットと認識します。

スタート・ビットを検出したら、受信動作を開始し、設定されたポー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ (RXS6) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み (INTSR6) を発生すると同時に、RXS6のデータは受信バッファ・レジスタ6 (RXB6) に書き込まれます。ただし、オーバラン・エラー (OVE6) が発生した場合、そのときの受信データはRXB6に書き込みません。

受信途中に、パリティ・エラー (PE6) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後に受信エラー割り込み (INTSR6/INTSRE6) を発生します。

図15 - 21 受信完了割り込み要求タイミング



- 注意1. 受信エラーが発生した場合は、ASIS6を読み出したあと、RXB6を読み出し、エラー・フラグをクリアしてください。RXB6を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
2. 受信は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. RXB6を読み出す前に、必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) を読み出してください。

(f) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) 内に立つと、受信エラー割り込み (INTSR6/INTSRE6) を発生します。

受信エラー割り込み (INTSR6/INTSRE6) 処理内で、ASIS6の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図15 - 6参照)。

ASIS6の内容は、ASIS6を読み出すことによって、クリア (0) されます。

表15 - 3 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6 (RXB6) からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット0 (ISRM6) に0を設定することにより、受信エラー割り込みを受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離することができます。

図15 - 22 受信エラー割り込み (1/2)

1. ISRM6に0を設定した場合 (受信完了割り込み (INTSR6) とエラー割り込み (INTSRE6) とに分離する)

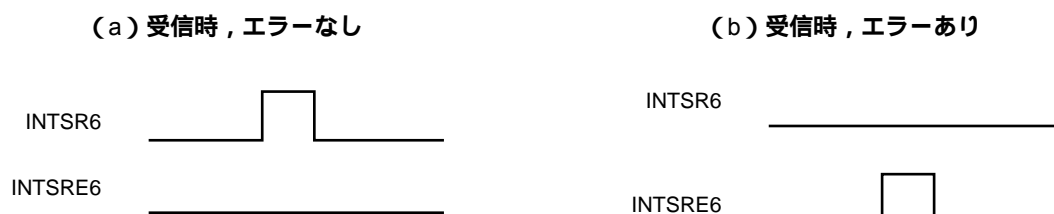


図15 - 22 受信エラー割り込み (2/2)

2. ISRM6に1を設定した場合 (エラー割り込みもINTSR6に含める)



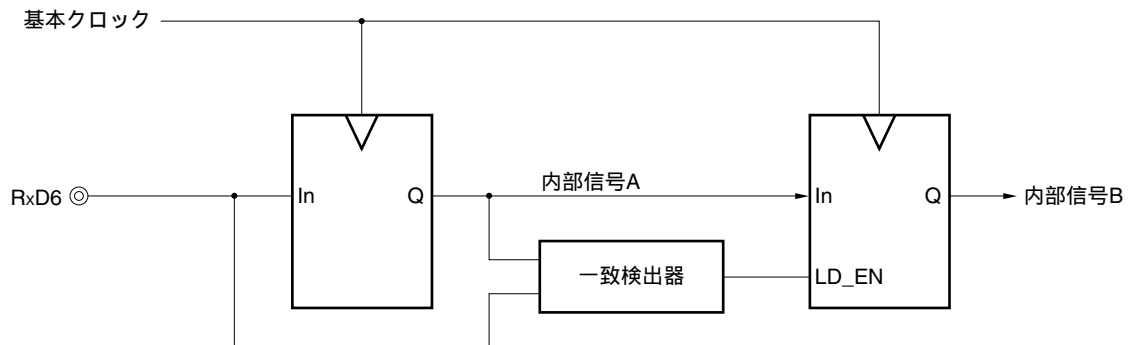
(g) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると, 一致検出器の出力が変化し, 入力データとしてサンプリングされます。

また, 回路は図15 - 23のようになっているため, 受信動作の内部での処理は, 外部の信号状態より2クロック分遅れて動作することになります。

図15 - 23 ノイズ・フィルタ回路



(h) SBF送信

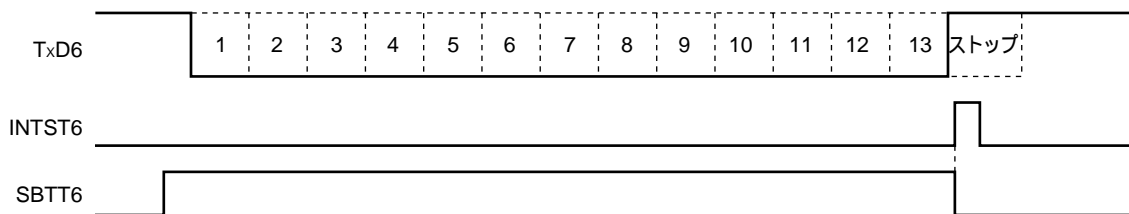
LIN通信動作で使用する場合、送信ではSBF(Synchronous Break Field)送信制御機能を使用します。LINの送信操作については図15 - 1 LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6 (ASIM6)のビット7 (POWER6) をセット (1) すると、TxD6端子からハイ・レベル出力されます。次にASIM6のビット6 (TXE6) をセット (1) すると送信許可状態になり、アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)のビット5 (SBTT6) をセット (1) することによりSBF送信動作は起動します。

起動後、13ビットから20ビットまでのロウ・レベル (ASICL6のビット4-2 (SBL62-SBL60) で設定) を出力します。SBF送信が完了すると、送信完了割り込み要求 (INTST6) を発生し、SBTT6は自動的にクリアされます。SBF送信を終了後、通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6 (TXB6) に書き込む、あるいはSBTT6をセット (1) するまで、送信動作は中断します。

図15 - 24 SBF送信



備考 TxD6 : TxD6端子 (出力)

INTST6 : 送信完了割り込み要求

SBTT6 : アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット5

(i) SBF受信

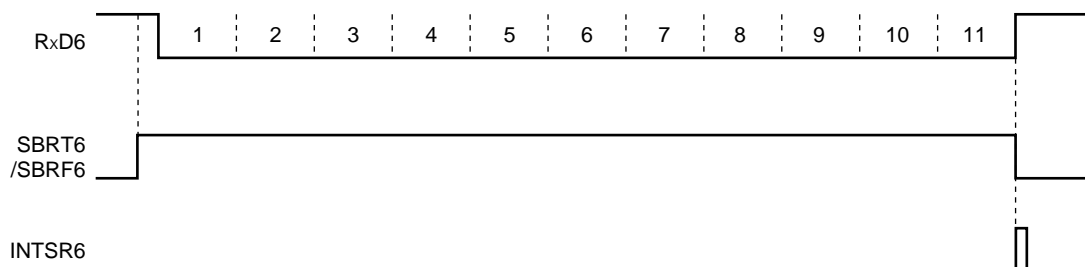
LIN通信動作で使用する場合、受信ではSBF(Synchronous Break Field)受信制御機能を使用します。LINの受信操作については図15 - 2 LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)のビット7(POWER6)をセット (1) し、次にASIM6のビット5 (RXE6) をセット (1) すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6(ASICL6)のビット6(SBRT6)をセット (1) するとSBF受信許可状態になります。SBF受信許可状態は通常の実信許可状態と同様、RxD6端子をサンプリングし、スタート・ビットの検出を行います。

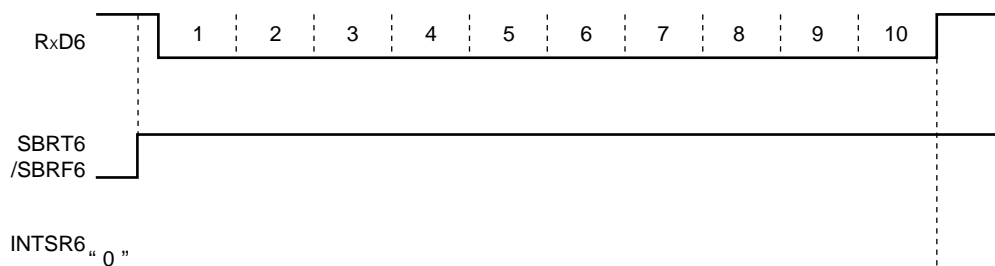
スタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、受信シフト・レジスタ6 (RXS6) に格納していきます。ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求 (INTSR6) を発生します。このときSBRF6、SBRT6ビットは自動的にクリアされ、SBF受信を終了します。OVE6、PE6、FE6 (アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6) のビット0-2) の各エラー検出は抑制され、UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6 (RXS6) と受信バッファ・レジスタ6 (RXB6) のデータの転送も行われず、リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合、ストップ・ビット受信後、エラー処理として割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。この場合、SBRF6、SBRT6ビットはクリアされません。

図15 - 25 SBF受信

1. 正常SBF受信 (10.5ビット超でストップ・ビットを検出)



2. SBF受信エラー (10.5ビット以下でストップ・ビットを検出)



- 備考** RxD6 : RxD6端子 (入力)
- SBRT6 : アシクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6) のビット6
- SBRF6 : ASICL6のビット7
- INTSR6 : 受信完了割り込み要求

15.4.3 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART6における送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

・基本クロック

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 1のとき、クロック選択レジスタ6 (CKSR6) のビット3-0 (TPS63-TPS60) で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び、その周波数を f_{CLK6} と呼びます。POWER6 = 0のときは、基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット6 (TXE6) = 0のときはクリア (0) の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6 (TXB6) への書き込みでカウンタをクリア (0) します。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタをクリア (0) します。次の送信データがなかった場合、カウンタはクリア (0) されず、POWER6またはTXE6がクリア (0) されるまでカウント動作をそのまま続けます。

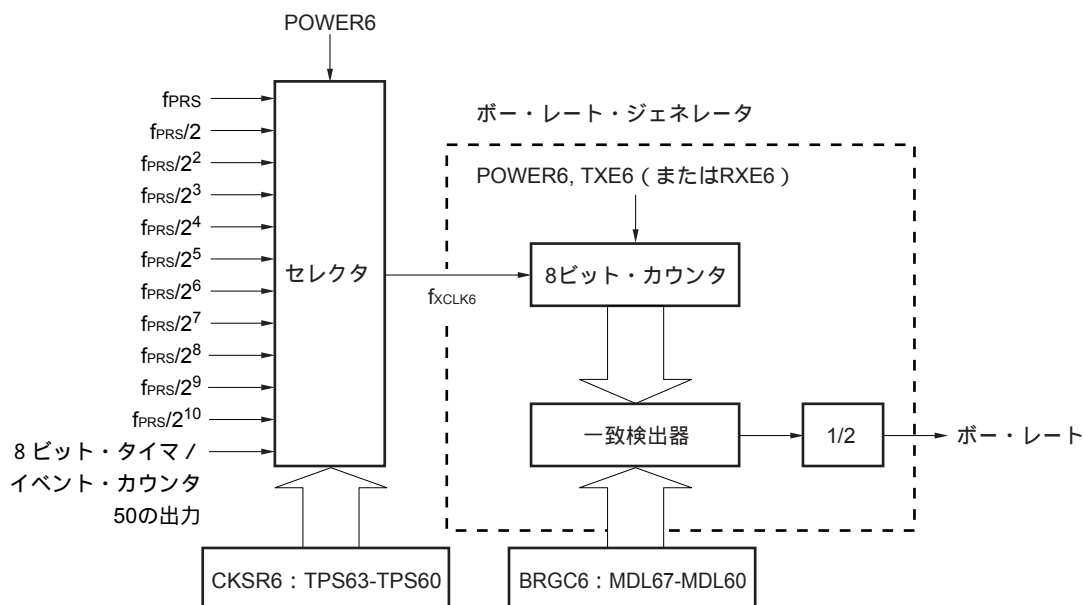
・受信用カウンタ

アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7 (POWER6) = 0またはビット5 (RXE6) = 0のときはクリア (0) の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図15 - 26 ポー・レート・ジェネレータの構成



備考 POWER6 : アシクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6) のビット7

TXE6 : ASIM6のビット6

RXE6 : ASIM6のビット5

CKSR6 : クロック選択レジスタ6

BRGC6 : ポー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6 (CKSR6) とポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) の設定により、生成するシリアル・クロックを指定できます。

CKSR6のビット3-0 (TPS63-TPS60) により、8ビット・カウンタへの入力クロックを、BRGC6のビット7-0 (MDL67-MDL60) により、8ビット・カウンタの分周値 ($f_{XCLK6}/4 - f_{XCLK6}/255$) を設定できます。

15.4.4 ポー・レートの算出

(1) ポー・レート計算式

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{XCLK6}}{2 \times k} \text{ [bps]}$$

f_{XCLK6} : CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k : BRGC6レジスタのMDL67-MDL60ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

表15 - 4 TPS63-TPS60の設定値

TPS63	TPS62	TPS61	TPS60	基本クロック (f _{CLK6}) 選択 ^{注1}				
				f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz	
0	0	0	0	f _{PRS} ^{注2}	2 MHz	5 MHz	8 MHz	10 MHz
0	0	0	1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz
0	0	1	0	f _{PRS} /2 ²	500 kHz	1.25 MHz	2 MHz	2.5 MHz
0	0	1	1	f _{PRS} /2 ³	250 kHz	625 kHz	1 MHz	1.25 MHz
0	1	0	0	f _{PRS} /2 ⁴	125 kHz	312.5 kHz	500 kHz	625 kHz
0	1	0	1	f _{PRS} /2 ⁵	62.5 kHz	156.25 kHz	250 kHz	312.5 kHz
0	1	1	0	f _{PRS} /2 ⁶	31.25 kHz	78.13 kHz	125 kHz	156.25 kHz
0	1	1	1	f _{PRS} /2 ⁷	15.625 kHz	39.06 kHz	62.5 kHz	78.13 kHz
1	0	0	0	f _{PRS} /2 ⁸	7.813 kHz	19.53 kHz	31.25 kHz	39.06 kHz
1	0	0	1	f _{PRS} /2 ⁹	3.906 kHz	9.77 kHz	15.625 kHz	19.53 kHz
1	0	1	0	f _{PRS} /2 ¹⁰	1.953 kHz	4.88 kHz	7.813 kHz	9.77 kHz
1	0	1	1	TM50の出力 ^{注3}				
その他				設定禁止				

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、TPS63 = TPS62 = TPS61 = TPS60 = 0 (基本クロック : f_{PRS}) は設定禁止です。

3. TM50の出力を基本クロックとして選択する場合、次の内容に注意してください。

(a) 78K0/LC3, 78K0/LD3

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

(b) 78K0/LE3, 78K0/LF3

・TM50とCR50の一致でクリア&スタート・モード (TMC506 = 0)

タイマF/Fの反転動作を許可 (TMC501 = 1) し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

・PWMモード (TMC506 = 1)

デューティ50%のクロックになるように設定し、事前に8ビット・タイマ/イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも、TO50出力を許可 (TOE50 = 1) する必要はありません。

(2) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差} (\%) = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B (k = 33)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 10 \text{ M} / (2 \times 33) \\ &= 10000000 / (2 \times 33) = 151515 [\text{bps}] \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151515/153600 - 1) \times 100 \\ &= -1.357 [\%] \end{aligned}$$

(3) ボー・レート設定例

表15-5 ボー・レート・ジェネレータ設定データ

ボー・レート [bps]	f _{PRS} = 2.0 MHz				f _{PRS} = 5.0 MHz				f _{PRS} = 10.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]	TPS63-TPS60	k	算出値	ERR [%]	TPS63-TPS60	k	算出値	ERR [%]
300	8H	13	301	0.16	7H	65	301	0.16	8H	65	301	0.16
600	7H	13	601	0.16	6H	65	601	0.16	7H	65	601	0.16
1200	6H	13	1202	0.16	5H	65	1202	0.16	6H	65	1202	0.16
2400	5H	13	2404	0.16	4H	65	2404	0.16	5H	65	2404	0.16
4800	4H	13	4808	0.16	3H	65	4808	0.16	4H	65	4808	0.16
9600	3H	13	9615	0.16	2H	65	9615	0.16	3H	65	9615	0.16
19200	2H	13	19231	0.16	1H	65	19231	0.16	2H	65	19231	0.16
24000	1H	21	23810	-0.79	3H	13	24038	0.16	4H	13	24038	0.16
31250	1H	16	31250	0	4H	5	31250	0	5H	5	31250	0
38400	1H	13	38462	0.16	0H	65	38462	0.16	1H	65	38462	0.16
48000	0H	21	47619	-0.79	2H	13	48077	0.16	3H	13	48077	0.16
76800	0H	13	76923	0.16	0H	33	75758	-1.36	0H	65	76923	0.16
115200	0H	9	111111	-3.55	1H	11	113636	-1.36	0H	43	116279	0.94
153600	-	-	-	-	1H	8	156250	1.73	0H	33	151515	-1.36
312500	-	-	-	-	0H	8	312500	0	1H	8	312500	0
625000	-	-	-	-	0H	4	625000	0	1H	4	625000	0

備考	TPS63-TPS60	: クロック選択レジスタ6 (CKSR6) のビット3-0 (基本クロック (f _{CLK6}) 設定)
	k	: ポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) のMDL67-MDL60ビットで設定した値 (k = 4, 5, 6, ..., 255)
	f _{PRS}	: 周辺ハードウェア・クロック周波数
	ERR	: ポー・レート誤差

(4) 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図15 - 27 受信時の許容ポー・レート範囲

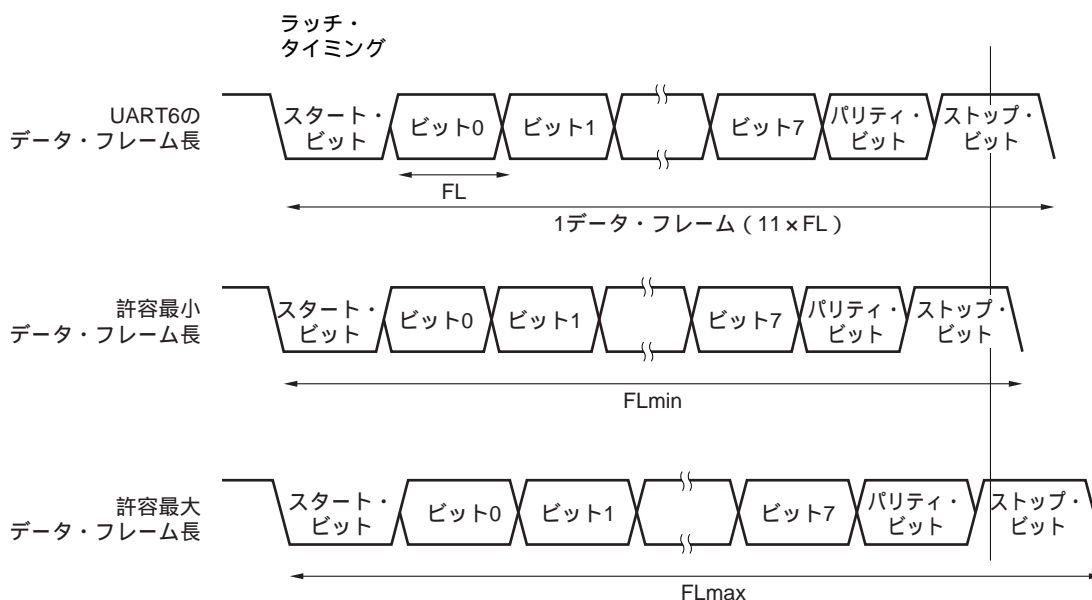


図15 - 27に示すように、スタート・ビット検出後はポー・レート・ジェネレータ・コントロール・レジスタ6 (BRGC6) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UART6のポー・レート

k : BRGC6の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UART6と送信先とのボー・レートの許容誤差を求めると次のようになります。

表15-6 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.33 %	-2.44 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

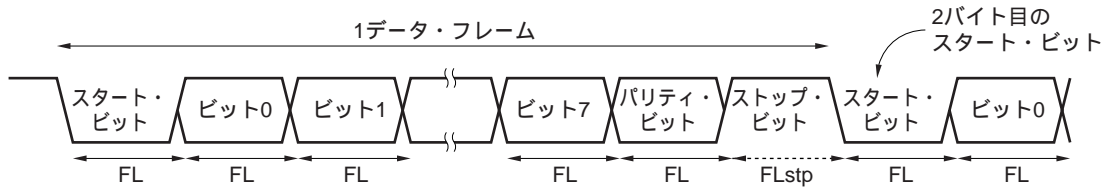
備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

2. k : BRGC6の設定値

(5) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので通信結果には影響しません。

図15 - 28 連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{CLK6} とすると次の式が成り立ちます。

$$\text{FLstp} = \text{FL} + 2/f_{\text{CLK6}}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times \text{FL} + 2/f_{\text{CLK6}}$$

第16章 シリアル・インタフェースCSI10

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
シリアル・インタフェースCSI10	-			

: 搭載, - : 非搭載

16.1 シリアル・インタフェースCSI10の機能

シリアル・インタフェースCSI10には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については16.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK10}}$) とシリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については16.4.2 **3線式シリアルI/Oモード**を参照してください。

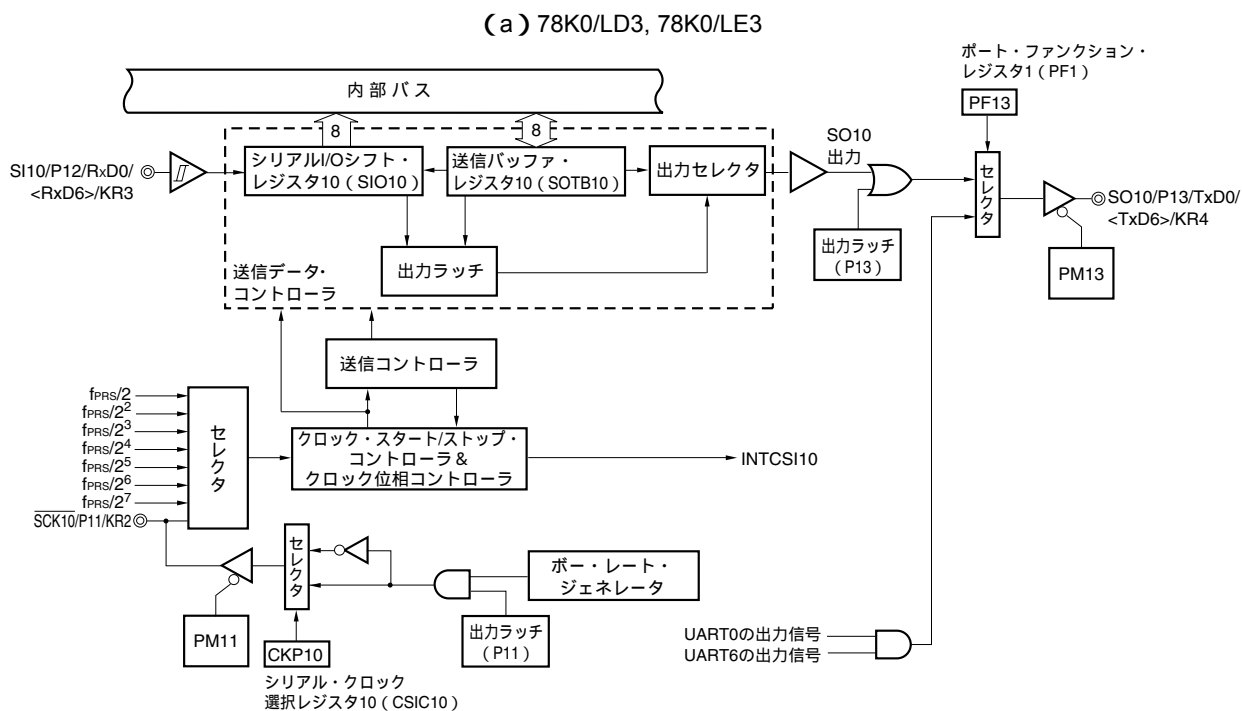
16.2 シリアル・インタフェースCSI10の構成

シリアル・インタフェースCSI10は、次のハードウェアで構成しています。

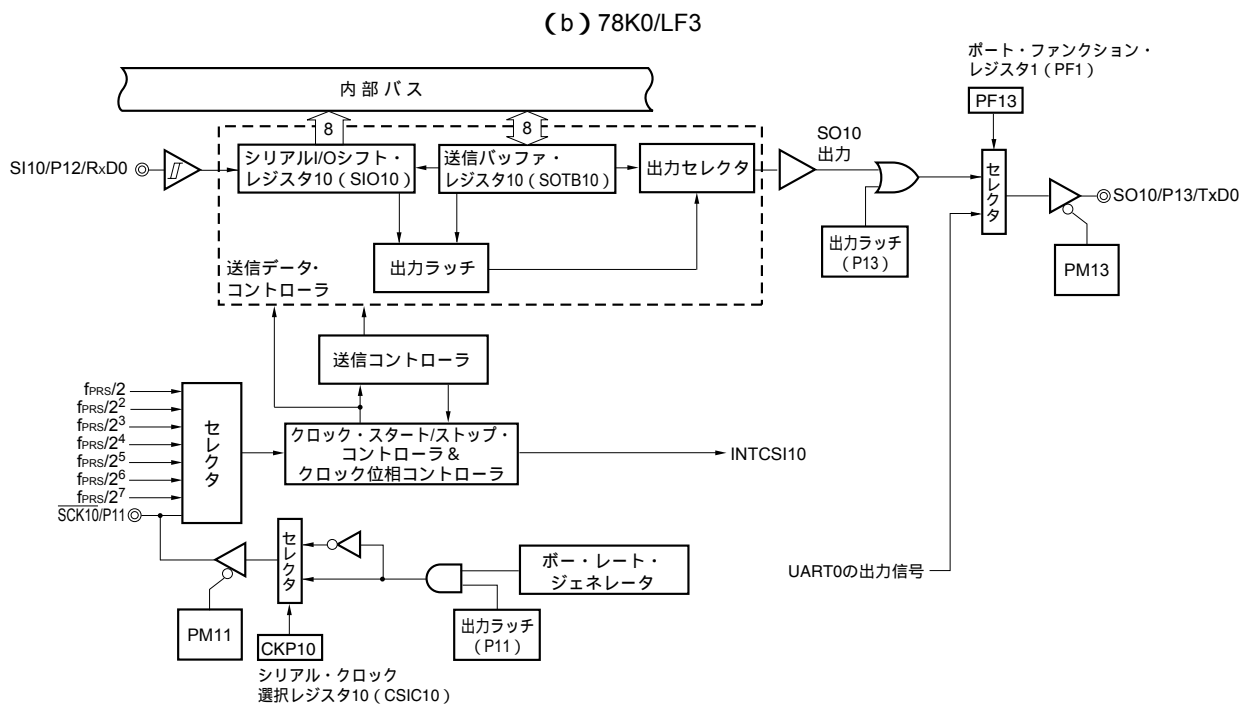
表16-1 シリアル・インタフェースCSI10の構成

項目	構成
制御回路	送信コントローラ クロック・スタート/ストップ・コントローラ&クロック位相コントローラ
レジスタ	送信バッファ・レジスタ10 (SOTB10) シリアルI/Oシフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10) シリアル・クロック選択レジスタ10 (CSIC10) ポート・ファンクション・レジスタ1 (PF1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図16-1 シリアル・インタフェースCSI10のブロック図



備考 78K0/LD3 : SO10/P12/RxD0/<RxD6>/KR3, SCK10/P11/KR2, SO10/P13/TxD0/<TxD6>/KR4
 78K0/LE3 : SO10/P12/RxD0/<RxD6>, SCK10/P11, SO10/P13/TxD0/<TxD6>



(1) 送信バッファ・レジスタ10 (SOTB10)

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ10 (CSIM10) のビット7 (CSIE10) とビット6 (TRMD10) が1のとき、SOTB10にデータを書き込むことにより送受信動作が開始されます。

SOTB10に書き込まれたデータは、シリアルI/Oソフト・レジスタ10でパラレル・データからシリアル・データに変換され、シリアル出力 (SO10) に出力されます。

SOTB10は、8ビット・メモリ操作命令で書き込みと読み出しができます。

リセット信号の発生により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SOTB10へのアクセスは行わないでください。

(2) シリアルI/Oシフト・レジスタ10 (SIO10)

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0のとき、SIO10からデータを読み出すことにより受信動作が開始されます。

受信時は、データがシリアル入力 (SI10) からSIO10に読み込まれます。

リセット信号の発生により、00Hになります。

注意 CSOT10 = 1 (シリアル通信中) のとき、SIO10へのアクセスは行わないでください。

16.3 シリアル・インタフェースCSI10を制御するレジスタ

シリアル・インタフェースCSI10は、次の5種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード・レジスタ10 (CSIM10)

動作モード、動作の許可/不許可を設定するレジスタです。

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 2 シリアル動作モード・レジスタ10 (CSIM10) のフォーマット

アドレス : FF80H リセット時 : 00H R/W^{注1}

略号	[7]	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10 ^{注2}	3線式シリアルI/Oモード時の動作の制御
0	動作禁止, 内部回路を非同期リセットする ^{注3}
1	動作許可

TRMD10 ^{注4}	送受信モードの制御
0 ^{注5}	受信モード (送信禁止)
1	送受信モード

DIR10 ^{注6}	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1. ビット0はRead Onlyです。

- P11/SCK10, P12/SI10, P13/SO10を汎用ポートとして使用する場合は, CSIE10 = 0にしてください。
- リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。
- CSOT10 = 1 (シリアル通信中) のとき, TRMD10を書き換えないでください。
- TRMD10が0のとき, SO10出力 (図16 - 1を参照) はロウ・レベルに固定されません。SIO10からデータを読み出すと受信が開始します。
- CSOT10 = 1 (シリアル通信中) のとき, DIR10を書き換えないでください。

注意1. スタンバイ状態から再度動作する場合, 割り込み要求フラグ・レジスタ0H (IF0H) のビット2 (CSIIF10) をクリア (0) してから, 動作開始してください。

- ビット5には必ず0を設定してください。

(2) シリアル・クロック選択レジスタ10 (CSIC10)

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。

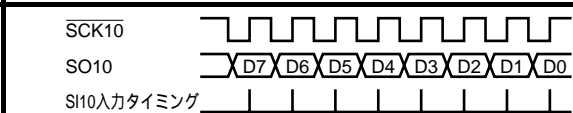
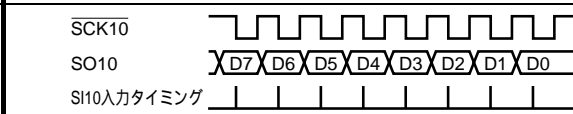
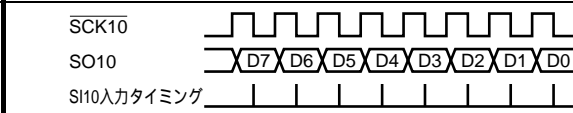
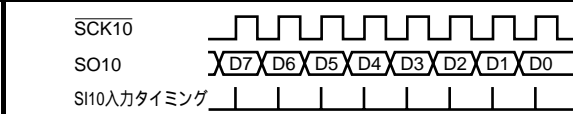
CSIC10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16-3 シリアル・クロック選択レジスタ10 (CSIC10) のフォーマット

アドレス：FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0	$\overline{\text{SCK10}}$ 	1
0	1	$\overline{\text{SCK10}}$ 	2
1	0	$\overline{\text{SCK10}}$ 	3
1	1	$\overline{\text{SCK10}}$ 	4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択 ^{注1,2}				モード
			$f_{\text{PRS}} =$ 2 MHz	$f_{\text{PRS}} =$ 5 MHz	$f_{\text{PRS}} =$ 8 MHz	$f_{\text{PRS}} =$ 10 MHz	
0	0	0	$f_{\text{PRS}}/2$ 1 MHz	2.5 MHz	4 MHz	設定禁止	マスタ・ モード
0	0	1	$f_{\text{PRS}}/2^2$ 500 kHz	1.25 MHz	2 MHz	2.5 MHz	
0	1	0	$f_{\text{PRS}}/2^3$ 250 kHz	625 kHz	1 MHz	1.25 MHz	
0	1	1	$f_{\text{PRS}}/2^4$ 125 kHz	312.5 kHz	500 kHz	625 kHz	
1	0	0	$f_{\text{PRS}}/2^5$ 62.5 kHz	156.25 kHz	250 kHz	312.5 kHz	
1	0	1	$f_{\text{PRS}}/2^6$ 31.25 kHz	78.13 kHz	125 kHz	156.25 kHz	
1	1	0	$f_{\text{PRS}}/2^7$ 15.63 kHz	39.06 kHz	62.5 kHz	78.13 kHz	
1	1	1	SCK10からの外部クロック入力 ^{注3}				スレーブ・ モード

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL

= 1) 場合，電源電圧により， f_{PRS} の動作周波数が異なります。

・ $V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$: $f_{\text{PRS}} = 10 \text{ MHz}$

・ $V_{\text{DD}} = 1.8 \sim 2.7 \text{ V}$: $f_{\text{PRS}} = 5 \text{ MHz}$

2. シリアル・クロックは，次の条件を満たすように設定してください。

・ $V_{\text{DD}} = 2.7 \sim 5.5 \text{ V}$: シリアル・クロック 4 MHz

・ $V_{\text{DD}} = 1.8 \sim 2.7 \text{ V}$: シリアル・クロック 2 MHz

注3. CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、 $\overline{\text{SCK10}}$ 端子からの外部クロックで通信動作を開始させないでください。

- 注意1. CSIE10 = 1(動作許可)のとき、CSIC10への書き込みを行わないでください。
2. P11/ $\overline{\text{SCK10}}$, P13/SO10を汎用ポートとして使用する場合は、CSIC10を初期状態と同じ状態(00H)にしてください。
 3. リセット後のデータ・クロックの位相タイプは、タイプ1になります。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) ポート・ファンクション・レジスタ1 (PF1)

P13/SO10端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 4 ポート・ファンクション・レジスタ1 (PF1) のフォーマット (1/2)

(a) 78K0/LD3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, キー入力 (KR4), UART0, UART6出力の指定
0	P13またはSO10またはKR4として使用
1	TxD0またはTxD6として使用

(b) 78K0/LE3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0, UART6出力の指定
0	P13またはSO10として使用
1	TxD0またはTxD6として使用

図16 - 4 ポート・ファンクション・レジスタ1 (PF1) のフォーマット (2/2)

(c) 78K0/LF3

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

PF16	ポート (P16), CSIA0, UART6出力の指定
0	P16またはSOA0として使用
1	TxD6として使用

(4) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P11/ $\overline{\text{SCK10}}$ をシリアル・インタフェースのクロック出力として使用するとき、PM11に0、P11の出力ラッチに1を設定してください。

P13/SO10をシリアル・インタフェースのデータ出力として使用するとき、PM13およびP13の出力ラッチに0を設定してください。

P11/ $\overline{\text{SCK10}}$ をシリアル・インタフェースのクロック入力、P12/SI10をシリアル・インタフェースのデータ入力として使用するとき、PM11、PM12に1を設定してください。このとき、P11、P12の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図16 - 5 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ1のフォーマットです。他の製品のポート・モード・レジスタ1のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

16.4 シリアル・インタフェースCSI10の動作

シリアル・インタフェースCSI10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

16.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。また動作停止モードでは、P11/SCK10, P12/SI10, P13/SO10を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

動作停止モードにする場合は、CSIM10のビット7 (CSIE10) に0を設定してください。

(a) シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF80H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止 ^{注1} ，内部回路を非同期リセットする ^{注2}

注1. P11/SCK10, P12/SI10, P13/SO10を汎用ポートとして使用する場合は、CSIM10を初期状態と同じ設定(00H)にしてください。

2. リセットされるのはCSIM10のビット0 (CSOT10) とシリアルI/Oシフト・レジスタ10 (SIO10) です。

16.4.2 3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック ($\overline{SCK10}$)、シリアル出力 (SO10)、シリアル入力 (SI10) の3本のラインで通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード・レジスタ10 (CSIM10)
- ・シリアル・クロック選択レジスタ10 (CSIC10)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIC10レジスタを設定 (図16 - 3を参照)

CSIM10レジスタのビット4, 6 (DIR10, TRMD10) を設定 (図16 - 2を参照)

CSIM10レジスタのビット7 (CSIE10) をセット (1) 送受信可能

送信バッファ・レジスタ10 (SOTB10) にデータを書き込み データ送受信開始

シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出し データ受信開始

注意 ポート・モード・レジスタとポート・レジスタの設定手順は、通信相手との関係を考慮して、行ってください。

レジスタの設定と端子の関係を次に示します。

表16 - 2 レジスタの設定と端子の関係 (1/3)

(a) 78K0/LD3

CSIE10	TRMD10	PM12	P12	PM13	P13	PM11	P11	CSI10 の動作	端子機能		
									SI10/RxD0/ RxD6/KR3/ P12	SO10/ TxD0/TxD6/ KR4/P13	SCK10/ KR2/P11
0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	RxD0/RxD6/ KR3/P12	TxD0/TxD6/ KR4/P13 ^{注2}	KR2/P11 ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注4}	SI10	TxD0/TxD6/ KR4/P13 ^{注2}	SCK10 (入力) ^{注4}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注4}	RxD0/RxD6/ KR3/P12	SO10	SCK10 (入力) ^{注4}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注4}	SI10	SO10	SCK10 (入力) ^{注4}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	TxD0/TxD6/ KR4/P13 ^{注2}	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	RxD0/RxD6/ KR3/P12	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P13/SO10/TxD0/TxD6/KR4を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
3. P11/SCK10/KR2を汎用ポートとして使用する場合, CKP10を0に設定してください。
4. スレーブとして使用する場合, CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE10	: シリアル動作モード・レジスタ10 (CSIM10) のビット7
	TRMD10	: CSIM10のビット6
	CKP10	: シリアル・クロック選択レジスタ10 (CSIC10) のビット4
	CKS102, CKS101, CKS100	: CSIC10のビット2-0
	PM1 x	: ポート・モード・レジスタ
	P1 x	: ポートの出力ラッチ

表16-2 レジスタの設定と端子の関係 (2/3)

(b) 78K0/LE3

CSIE10	TRMD10	PM12	P12	PM13	P13	PM11	P11	CSI10 の動作	端子機能		
									SI10/RxD0/ <RxD6>/P12	SO10/TxD0/ <TxD6>/P13	SCK10/ P11
0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	RxD0/ <RxD6>/P12	TxD0/ <TxD6>/P13 注2	P11 ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注4}	SI10	TxD0/ <TxD6>/P13 注2	SCK10 (入力) ^{注4}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注4}	RxD0/ <RxD6>/P12	SO10	SCK10 (入力) ^{注4}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注4}	SI10	SO10	SCK10 (入力) ^{注4}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	TxD0/ <TxD6>/P13 注2	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	RxD0/ <RxD6>/P12	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P13/SO10/TxD0/<TxD6>を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
3. P11/SCK10を汎用ポートとして使用する場合、CKP10を0に設定してください。
4. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE10	: シリアル動作モード・レジスタ10 (CSIM10) のビット7
	TRMD10	: CSIM10のビット6
	CKP10	: シリアル・クロック選択レジスタ10 (CSIC10) のビット4
	CKS102, CKS101, CKS100	: CSIC10のビット2-0
	PM1 x	: ポート・モード・レジスタ
	P1 x	: ポートの出力ラッチ

表16 - 2 レジスタの設定と端子の関係 (3/3)

(c) 78K0/LF3

CSIE10	TRMD10	PM12	P12	PM13	P13	PM11	P11	CSI10 の動作	端子機能		
									SI10/RxD0/ P12	SO10/ TxD0/P13	SCK10/ P11
0	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	停止	RxD0/P12	TxD0/P13 ^{注2}	P11 ^{注3}
1	0	1	x	x ^{注1}	x ^{注1}	1	x	スレーブ 受信 ^{注4}	SI10	TxD0/P13 ^{注2}	SCK10 (入力) ^{注4}
1	1	x ^{注1}	x ^{注1}	0	0	1	x	スレーブ 送信 ^{注4}	RxD0/P12	SO10	SCK10 (入力) ^{注4}
1	1	1	x	0	0	1	x	スレーブ 送受信 ^{注4}	SI10	SO10	SCK10 (入力) ^{注4}
1	0	1	x	x ^{注1}	x ^{注1}	0	1	マスタ 受信	SI10	TxD0/P13 ^{注2}	SCK10 (出力)
1	1	x ^{注1}	x ^{注1}	0	0	0	1	マスタ 送信	RxD0/P12	SO10	SCK10 (出力)
1	1	1	x	0	0	0	1	マスタ 送受信	SI10	SO10	SCK10 (出力)

注1. ポート機能として設定することができます。

2. P13/SO10/TxD0を汎用ポートとして使用する場合、シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。
3. P11/SCK10を汎用ポートとして使用する場合、CKP10を0に設定してください。
4. スレーブとして使用する場合、CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考	x	: don't care
	CSIE10	: シリアル動作モード・レジスタ10 (CSIM10) のビット7
	TRMD10	: CSIM10のビット6
	CKP10	: シリアル・クロック選択レジスタ10 (CSIC10) のビット4
	CKS102, CKS101, CKS100	: CSIC10のビット2-0
	PM1x	: ポート・モード・レジスタ
	P1x	: ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が1の場合、データの送受信が可能です。送信バッファ・レジスタ10 (SOTB10) に値を書き込むことにより、送受信が開始されます。またシリアル動作モード・レジスタ10 (CSIM10) のビット6 (TRMD10) が0の場合、データの受信が可能です。シリアルI/Oシフト・レジスタ10 (SIO10) からデータを読み出すことにより、受信動作が開始されます。

通信開始後、CSIM10のビット0 (CSOT10) が1になります。8ビットの通信が終了すると、通信終了割り込み要求フラグ (CSIIF10) がセットされ、CSOT10は0にクリアされます。そして次の通信が可能になります。

注意 CSOT10 = 1 (シリアル通信中) のとき、コントロール・レジスタとデータ・レジスタにアクセスしないでください。

図16 - 6 3線式シリアルI/Oモードのタイミング (1/2)

(a) 送受信タイミング (タイプ1 : TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 0)

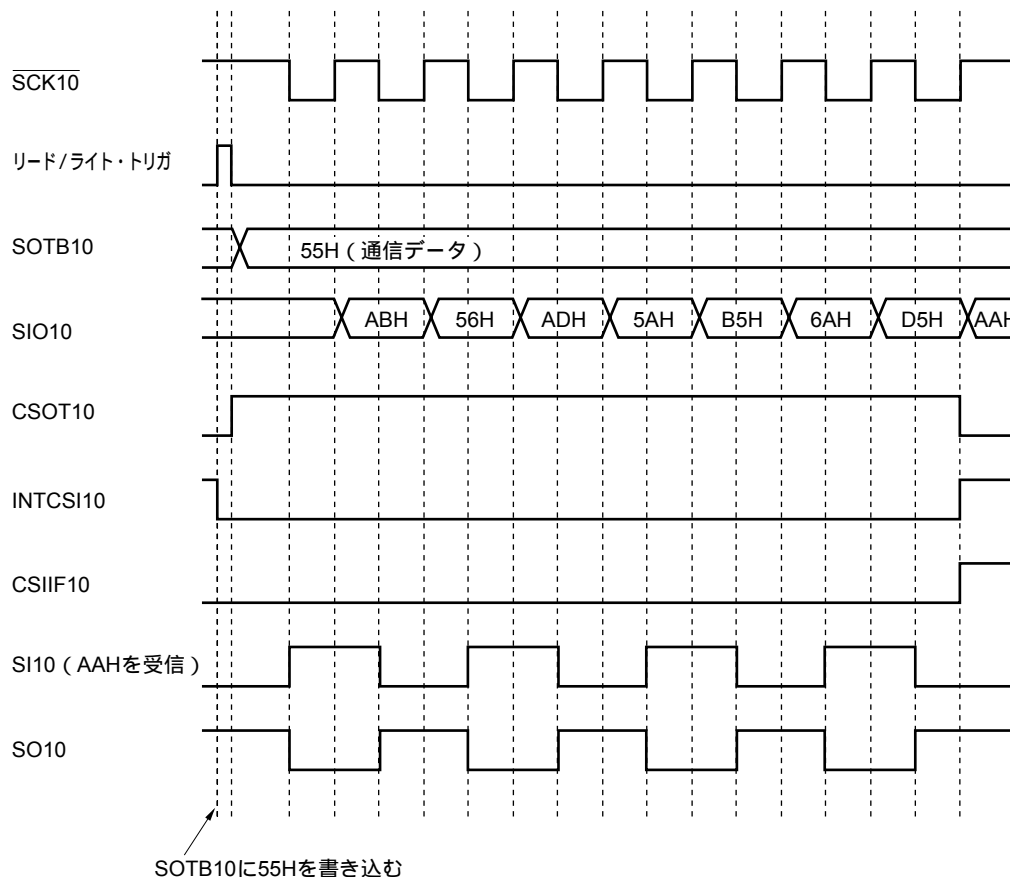


図16 - 6 3線式シリアルI/Oモードのタイミング (2/2)

(b) 送受信タイミング (タイプ2 : TRMD10 = 1, DIR10 = 0, CKP10 = 0, DAP10 = 1)

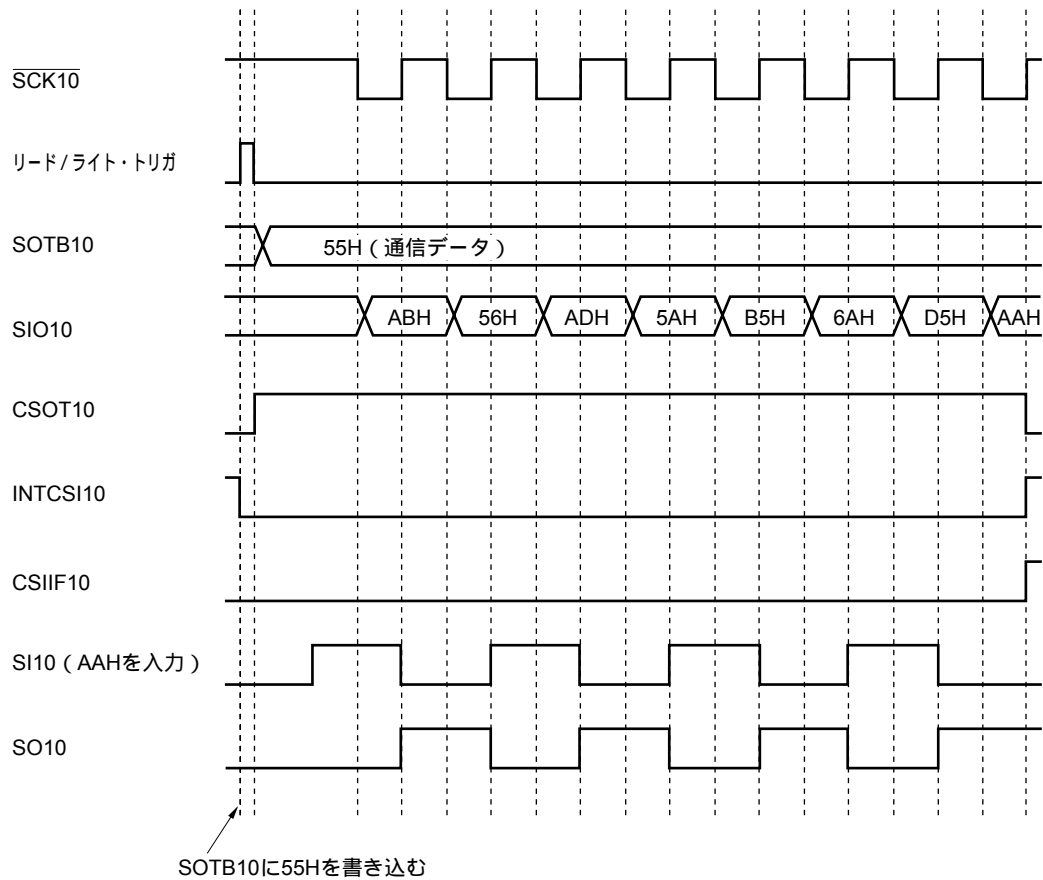
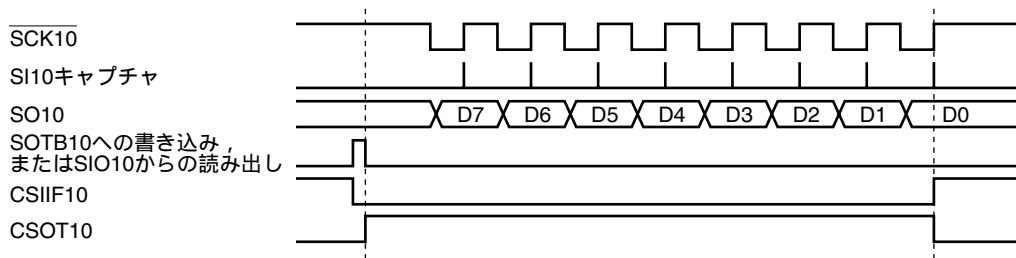
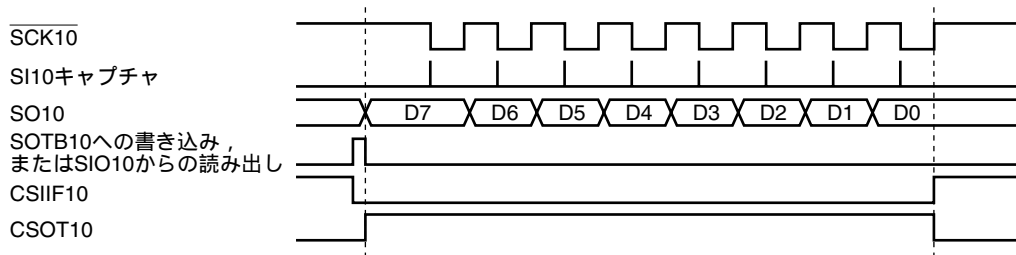


図16-7 クロック/データ位相のタイミング

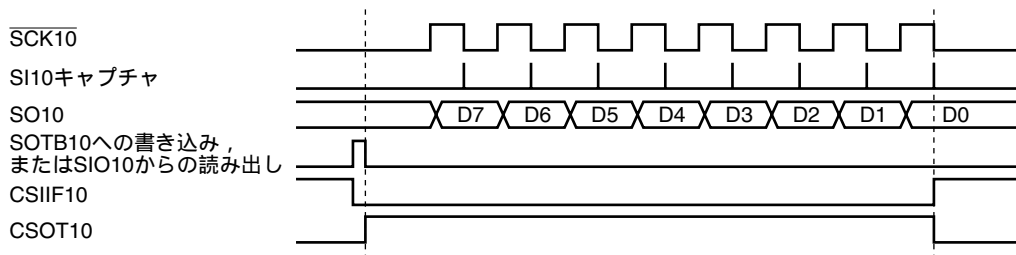
(a) タイプ1 : CKP10 = 0, DAP10 = 0, DIR10 = 0



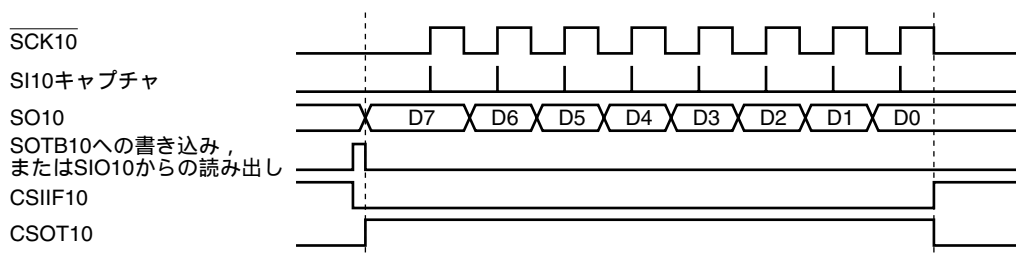
(b) タイプ2 : CKP10 = 0, DAP10 = 1, DIR10 = 0



(c) タイプ3 : CKP10 = 1, DAP10 = 0, DIR10 = 0



(d) タイプ4 : CKP10 = 1, DAP10 = 1, DIR10 = 0



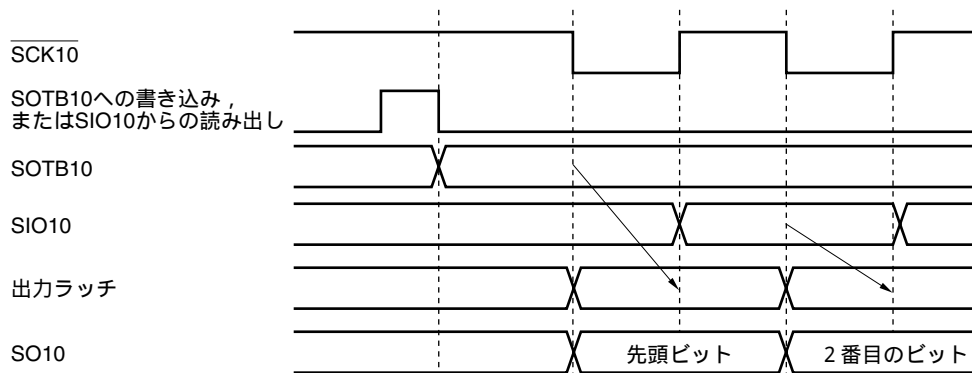
備考 上図は、MSBファーストの通信動作です。

(3) SO10端子への出力タイミング(先頭ビット)

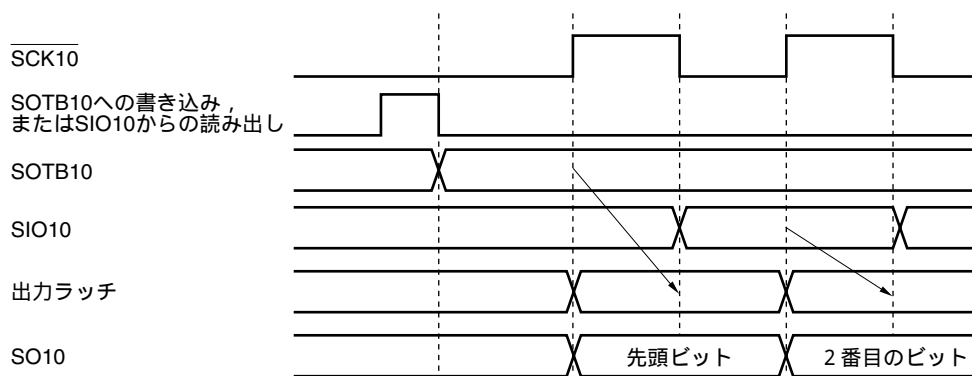
通信開始時、送信バッファ・レジスタ10 (SOTB10) の値は、SO10端子から出力されます。このとき、先頭ビットの出力動作を説明します。

図16-8 先頭ビットの出力動作(1/2)

(a) タイプ1 : CKP10 = 0, DAP10 = 0



(b) タイプ3 : CKP10 = 1, DAP10 = 0

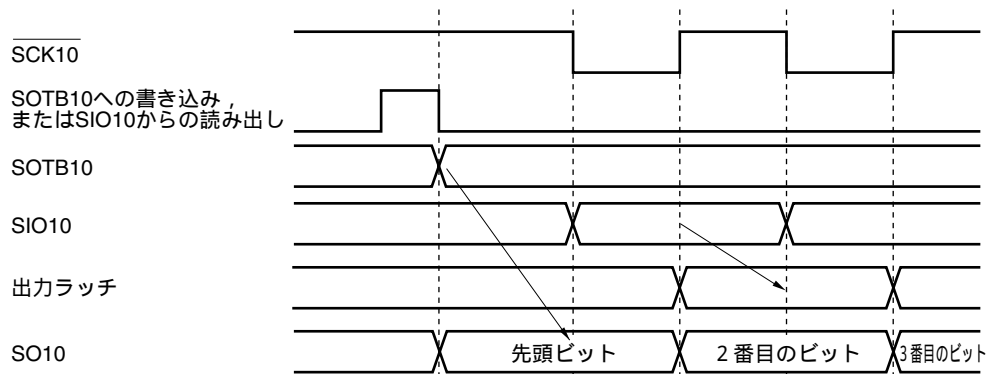


先頭ビットは、 $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSOTB10レジスタから直接、出力ラッチにラッチされ、さらに出力セレクタを通してSO10端子から出力されます。次の $\overline{\text{SCK10}}$ の立ち上がり(または立ち下がり)エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

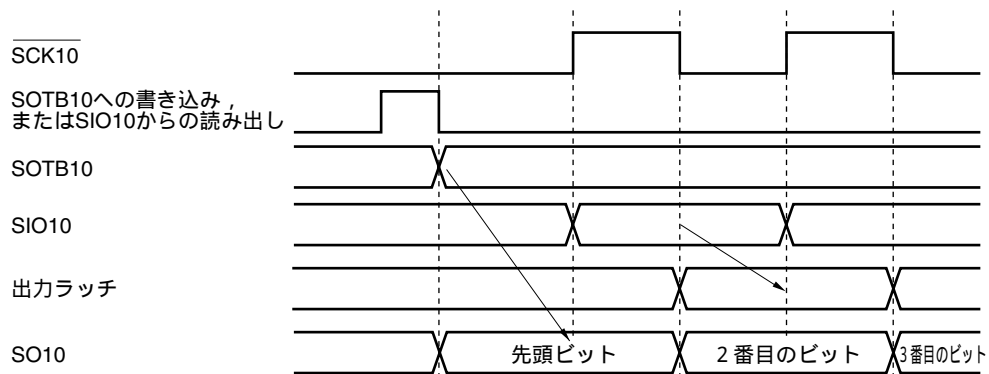
2番目のビット以降は、次の $\overline{\text{SCK10}}$ の立ち下がり(または立ち上がり)エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

図16-8 先頭ビットの出力動作 (2/2)

(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



先頭ビットは、SOTB10のライト信号またはSIO10レジスタのリード信号の立ち下がりエッジでSOTB10レジスタから直接、出力セクタを通してSO10端子から出力されます。次のSCK10の立ち下がり（または立ち上がり）エッジでSOTB10レジスタの値がSIO10レジスタに転送され、1ビット分シフトします。同時にSIO10端子を通して、受信データの先頭ビットがSIO10レジスタに格納されます。

2番目のビット以降は、次のSCK10の立ち上がり（または立ち下がり）エッジでSIO10から出力ラッチにラッチされ、データがSO10端子から出力されます。

(4) SO10端子の出力値 (最終ビット)

通信終了後, SO10端子の出力は, 最終ビットの出力値を保持します。

図16 - 9 SO10端子の出力値 (最終ビット) (1/2)

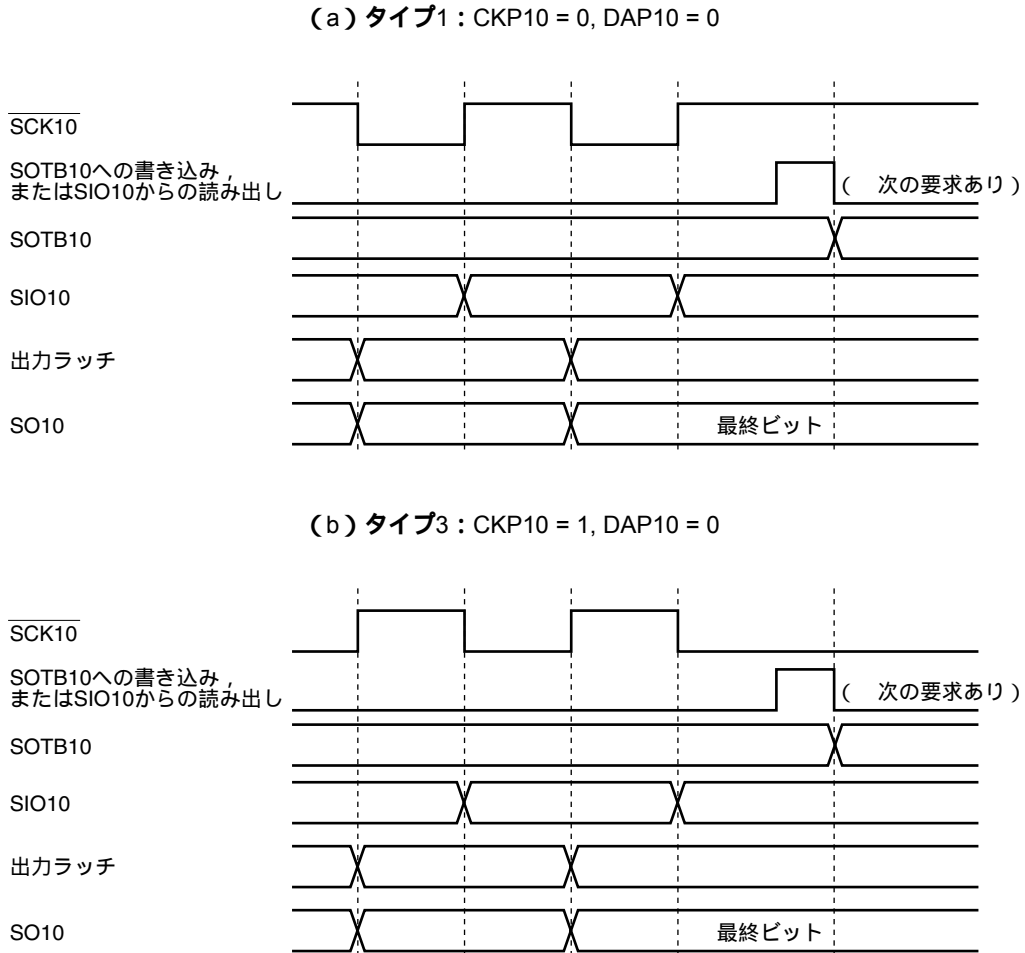
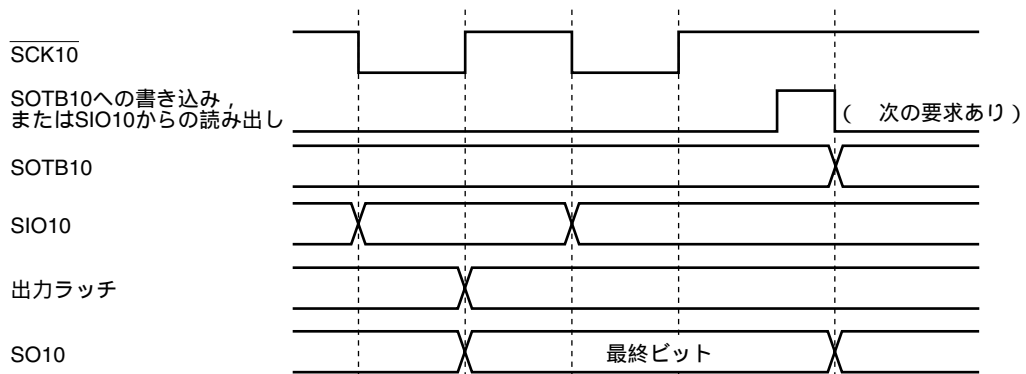
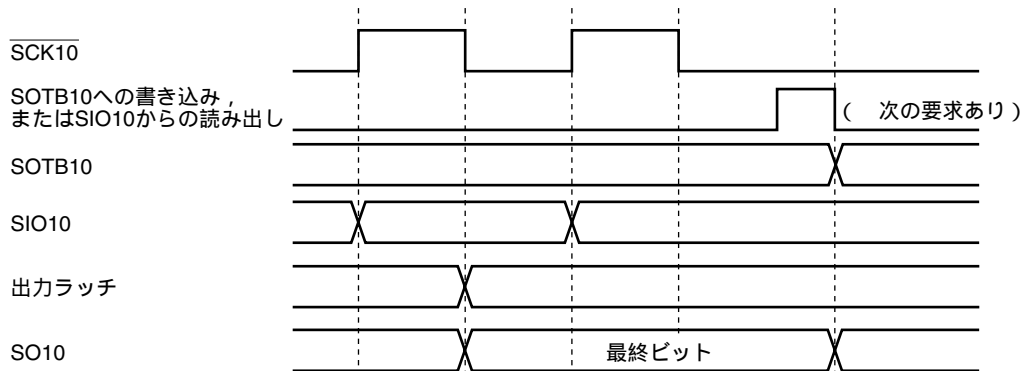


図16 - 9 SO10端子の出力値（最終ビット）（2/2）

(c) タイプ2 : CKP10 = 0, DAP10 = 1



(d) タイプ4 : CKP10 = 1, DAP10 = 1



(5) SO10出力 (図16 - 1参照) について

CSIE10, TRMD10, DAP10, DIR10の設定により, SO10出力は次のようになります。

表16 - 3 SO10出力の状態

CSIE10	TRMD10	DAP10	DIR10	SO10出力 ^{注1}
CSIE10 = 0 ^{注2}	TRMD10 = 0 ^{注2, 3}	-	-	ロウ・レベル出力 ^{注2}
		DAP10 = 0	-	ロウ・レベル出力
	TRMD10 = 1	DAP10 = 1	DIR10 = 0	SOTB10のビット7の値
			DIR10 = 1	SOTB10のビット0の値
CSIE10 = 1	TRMD10 = 0 ^{注3}	-	-	ロウ・レベル出力
	TRMD10 = 1	-	-	送信データ ^{注4}

注1. 実際のSO10/P13端子の出力は, SO10出力のほかにPM13とP13によって決まります。

2. リセット時の状態です。

3. P13/SO10を汎用ポートとして使用する場合, シリアル・クロック選択レジスタ10 (CSIC10) は初期状態と同じ設定 (00H) にしてください。

4. 送信終了後は, 送信データの最終ビットの出力値を保持します。

注意 CSIE10, TRMD10, DAP10, DIR10に値を書き込むと, SO10の出力値が変わります。

第17章 シリアル・インタフェースCSIA0

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
シリアル・インタフェースCSIA0		-		

: 搭載, - : 非搭載

17.1 シリアル・インタフェースCSIA0の機能

シリアル・インタフェースCSIA0には、次の3種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については17.4.1 **動作停止モード**を参照してください。

(2) 3線式シリアル/I/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCKA0}$) とシリアル・データ (SIA0, SOA0) の3本のラインにより、8ビット・データ通信を行うモードです。

3線式シリアル/I/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

詳細については17.4.2 **3線式シリアル/I/Oモード**を参照してください。

(3) 自動送受信機能付き3線式シリアル/I/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{SCKA0}$) とシリアル・データ (SIA0, SOA0) の3本のラインにより、8ビット単位で連続してデータ通信を行うモードです。

自動送受信機能付き3線式シリアル/I/Oモードは同時送受信動作が可能なので、データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

転送バッファRAMを32バイト内蔵しているので、ソフトウェアを介さずに表示ドライバなどとデータ通信可能です。

詳細については17.4.3 **自動送受信機能付き3線式シリアル/I/Oモード**を参照してください。

シリアル・インタフェースCSIA0の特徴を次に示します。

- ・ マスタ・モードとスレーブ・モードを選択可能
- ・ 通信データ長：8ビット
- ・ 通信データのMSB/LSB先頭を切り替え可能
- ・ 自動送受信機能：
 - 1-32バイトまで転送バイト数を指定可能
 - 転送間隔指定可能（0-63クロック）
 - 単発通信 / 繰り返し通信を指定可能
 - 32バイト・バッファRAM内蔵
- ・ 専用ポー・レート・ジェネレータ（6/8/16/32分周）内蔵
- ・ 3線式
 - SOA0 : シリアル・データ出力
 - SIA0 : シリアル・データ入力
 - $\overline{\text{SCKA0}}$: シリアル・クロック入出力
- ・ 送受信完了割り込み：INTACSI

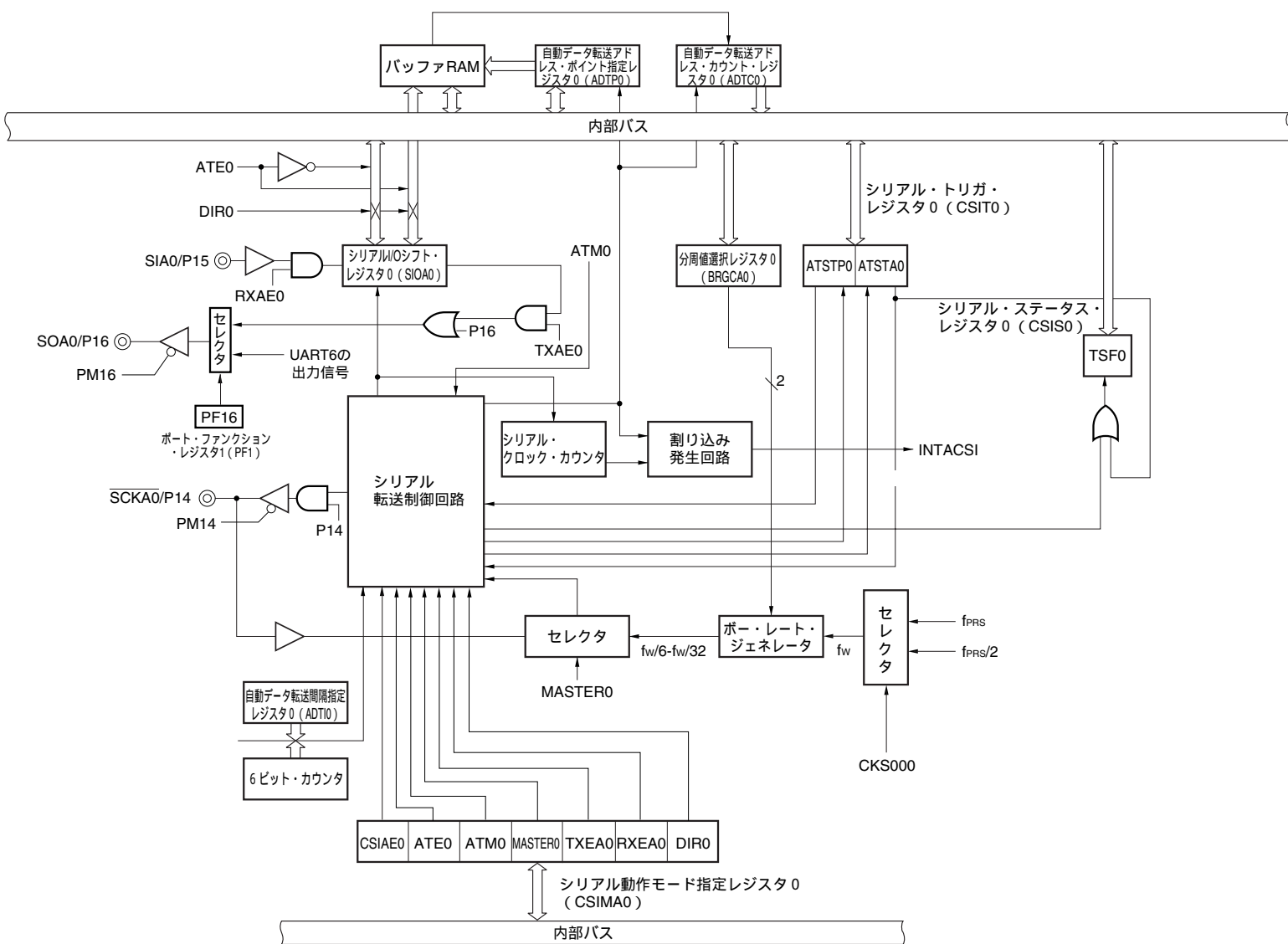
17.2 シリアル・インタフェースCSIA0の構成

シリアル・インタフェースCSIA0は、次のハードウェアで構成しています。

表17-1 シリアル・インタフェースCSIA0の構成

項 目	構 成
制御回路	シリアル転送制御回路
レジスタ	シリアルI/Oシフト・レジスタ0 (SIOA0)
制御レジスタ	シリアル動作モード指定レジスタ0 (CSIMA0) シリアル・ステータス・レジスタ0 (CSIS0) シリアル・トリガ・レジスタ0 (CSIT0) 分周値選択レジスタ0 (BRGCA0) 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) 自動データ転送間隔指定レジスタ0 (ADTI0) 自動データ転送アドレス・カウント・レジスタ0 (ADTC0) ポート・ファンクション・レジスタ1 (PF1) ポート・モード・レジスタ1 (PM1) ポート・レジスタ1 (P1)

図17-1 シリアル・インタフェースCSIA0のブロック図



(1) シリアルI/Oシフト・レジスタ0 (SIOA0)

1バイト転送モード（シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) = 0) 時の送信データおよび受信データを格納する8ビットのレジスタです。SIOA0に送信データを書き込むことにより、通信が開始されます。また通信完了割り込み要求 (INTACSI) の出力後（シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0) , SIOA0からデータを読み出すことにより、受信データを受け取ることができます。

SIOA0は、8ビット・メモリ操作命令で書き込みと読み出しができます。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のとき、SIOA0への書き込みは禁止です。

リセット信号の発生により、00Hになります。

注意1. 通信動作の起動は、SIOA0への書き込みで行われるため、送信禁止 (CSIMA0のビット3 (TXEA0) = 0) のときも、ダミー・データをSIOA0レジスタに書き込み、通信動作を起動してから受信動作を行ってください。

2. 自動送受信機能が動作しているとき、SIOA0にデータを書き込まないでください。

17.3 シリアル・インタフェースCSIA0を制御するレジスタ

シリアル・インタフェースCSIA0は、次の10種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ0 (CSIMA0)
- ・シリアル・ステータス・レジスタ0 (CSIS0)
- ・シリアル・トリガ・レジスタ0 (CSIT0)
- ・分周値選択レジスタ0 (BRGCA0)
- ・自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)
- ・自動データ転送間隔指定レジスタ0 (ADTI0)
- ・自動データ転送アドレス・カウント・レジスタ0 (ADTC0)
- ・ポート・ファンクション・レジスタ1 (PF1)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

(1) シリアル動作モード指定レジスタ0 (CSIMA0)

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 シリアル動作モード指定レジスタ0 (CSIMA0) のフォーマット

アドレス：FF90H リセット時：00H R/W

	[7]	6	5	4	[3]	[2]	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0
CSIAE0	CSIA0の動作許可 / 禁止の制御							
0	CSIA0動作禁止 (SOA0 : ロウ・レベル, $\overline{SCKA0}$: ハイ・レベル), 内部回路を非同期リセットする ^注							
1	CSIA0動作許可							
ATE0	自動通信動作の許可 / 禁止の制御							
0	1バイト通信モード							
1	自動通信モード							
ATM0	自動通信モードの指定							
0	単発モード (ADTP0レジスタで指定したアドレスで停止)							
1	繰り返しモード (転送終了後, ADTC0レジスタを00Hにクリアし転送を再開)							
MASTER0	CSIA0のマスタ / スレーブ・モードの指定							
0	スレーブ・モード ($\overline{SCKA0}$ 入力クロックに同期)							
1	マスタ・モード (内部クロックに同期)							
TXEA0	送信動作の許可 / 禁止の制御							
0	送信動作禁止 (SOA0 : ロウ・レベル)							
1	送信動作許可							
RXEA0	受信動作の許可 / 禁止の制御							
0	受信動作禁止							
1	受信動作許可							
DIR0	先頭ビットの指定							
0	MSB							
1	LSB							

注 リセットされるのは自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0), シリアル・トリガ・レジスタ0 (CSIT0), シリアルI/Oシフト・レジスタ0 (SIOA0), シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) です。

- 注意1. CSIAE0が0の場合、バッファRAMにアクセスできません。
- CSIAE0を1から0にした場合は、上記注釈のレジスタおよびビットが非同期で初期化されません。再度CSIAE0 = 1にする場合には、必ず初期化されたレジスタを再設定してください。
 - CSIAE0を1から0にしたあとに、再度CSIAE0を1にした場合、バッファRAMの値の保持は保証されません。

(2) シリアル・ステータス・レジスタ0 (CSIS0)

シリアル・インタフェースCSIA0の基本クロックの選択、通信動作の制御および状態を示す8ビットのレジスタです。

CSIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、ビット0 (TSF0) が1の場合、CSIS0の書き換えは禁止です。

リセット信号の発生により、00Hになります。

図17-3 シリアル・ステータス・レジスタ0 (CSIS0) のフォーマット

アドレス：FF91H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CSIS0	0	CKS00 ^{注2}	0	0	0	0	0	TSF0

CKS00	基本クロック (f _w) 選択 ^{注3}				
		f _{PRS} = 2 MHz	f _{PRS} = 5 MHz	f _{PRS} = 8 MHz	f _{PRS} = 10 MHz
0	f _{PRS} ^{注4}	2 MHz	5 MHz	8 MHz	10 MHz
1	f _{PRS} /2	1 MHz	2.5 MHz	4 MHz	5 MHz

TSF0	転送状態検出フラグ
0	<ul style="list-style-type: none"> ・シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) = 0 ・リセット入力時 ・指定された転送終了時 ・シリアル・トリガ・レジスタ0 (CSIT0) のビット1 (ATSTP0) = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注1. ビット0はRead Onlyです。

2. CKS00を書き換える場合は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) を必ず0に設定してから、行ってください。
3. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。
 - ・V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz
 - ・V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz
4. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、CKS00 = 0 (基本クロック : f_{PRS}) は設定禁止です。

注意1. ビット1-5, 7には必ず“0”を設定してください。

2. 転送動作中 (TSF0 = 1) のとき、シリアル動作モード指定レジスタ0 (CSIMA0)、シリアル・ステータス・レジスタ0 (CSIS0)、分周値選択レジスタ0 (BRGCA0)、自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)、自動データ転送間隔指定レジスタ0 (ADTI0)、シリアルI/Oシフト・レジスタ0 (SIOA0) への書き換えは禁止です。ただしレジスタのリードおよび同値の再書き込みは可能です。またバッファRAMも転送動作中の書き換えは可能です。

備考 f_{PRS} : 周辺ハードウェア・クロック周波数

(3) シリアル・トリガ・レジスタ0 (CSIT0)

バッファRAMとシリアルI/Oシフト・レジスタ0 (SIOA0)間の自動データ転送の実行/中断を制御する8ビットのレジスタです。

CSIT0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。シリアル動作モード指定レジスタ0 (CSIMA0)のビット6 (ATE0)が1の場合のみ設定可能です。

リセット信号の発生により、00Hになります。

図17-4 シリアル・トリガ・レジスタ0 (CSIT0)のフォーマット

アドレス : FF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	①	②	
CSIT0	0	0	0	0	0	0	ATSTP0	ATSTA0	
ATSTP0	自動データ転送の中断								
0	-								
1	自動データ転送を中断								
ATSTA0	自動データ転送の開始								
0	-								
1	自動データ転送を開始								

- 注意1. ATSTP0またはATSTA0に1を設定しても、1バイトの転送が終了するまで停止または開始されません。
- ATSTP0とATSTA0は、割り込み信号INTACSI発生後自動的に0になります。
 - 自動データ転送中断後、自動データ転送アドレス・カウント・レジスタ0 (ADTC0)には中断したときのデータ・アドレスが格納されています。ただし、自動データ転送の再開機能を有していないため、ATSTP0 = 1により転送を中断した場合は、各レジスタを再設定後、ATSTA0をセット(1)して、自動データ転送をスタートしてください。

(4) 分周値選択レジスタ0 (BRGCA0)

CSIA0の基本クロックの分周値を選択する8ビットのレジスタです。

BRGCA0は、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) が1のときはBRGCA0への書き換えは禁止です。

リセット信号の発生により、03Hになります。

図17 - 5 分周値選択レジスタ0 (BRGCA0) のフォーマット

アドレス：FF93H リセット時：03H R/W

略号	7	6	5	4	3	2	1	0
BRGCA0	0	0	0	0	0	0	BRGCA01	BRGCA00

BRGCA01	BRGCA00	CSIA0の基本クロック (f_w) の分周値選択 ^注					
			$f_w = 1 \text{ MHz}$	$f_w = 2 \text{ MHz}$	$f_w = 2.5 \text{ MHz}$	$f_w = 5 \text{ MHz}$	$f_w = 10 \text{ MHz}$
0	0	$f_w/6$	166.67 kHz	333.3 kHz	416.67 kHz	833.33 kHz	1.67 MHz
0	1	$f_w/2^3$	125 kHz	250 kHz	312.5 kHz	625 kHz	1.25 MHz
1	0	$f_w/2^4$	62.5 kHz	125 kHz	156.25 kHz	312.5 kHz	625 kHz
1	1	$f_w/2^5$	31.25 kHz	62.5 kHz	78.125 kHz	156.25 kHz	312.5 kHz

注 転送クロックは次の条件を満たすように設定してください。

- 2.7 V $V_{DD} < 4.0 \text{ V}$: 転送クロック 833.33 kHz
- 1.8 V $V_{DD} < 2.7 \text{ V}$: 転送クロック 555.56 kHz

備考 f_w : CSIS0レジスタのCKS00ビットで選択した基本クロックの周波数

f_{PRS} : 周辺ハードウェア・クロック周波数

(5) 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)

自動データ転送時 (シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) = 1) の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

ADTP0は、8ビット・メモリ操作命令で設定します。ただし、転送動作中 (TSF0 = 1) のときは、ADTP0への書き換えは禁止です。

78K0/LF3では、バッファRAMを32バイト内蔵しているので、00H-1FHまで指定可能です。

例 ADTP0に07Hを設定した場合

FA00H-FA07Hまでの8バイトが転送されます

繰り返しモード (CSIMA0のビット5 (ATM0) = 1) の場合は、ADTP0で指定したアドレスまで繰り返し転送します。

例 ADTP0に07Hを設定した場合 (繰り返しモード)

FA00H-FA07H, FA00H-FA07H, ...と繰り返し転送されます

図17 - 6 自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) のフォーマット

アドレス : FF94H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTP0	0	0	0	ADTP04	ADTP03	ADTP02	ADTP01	ADTP00

注意 ビット7-ビット5には、必ず0を設定してください。

転送終了バッファRAMのアドレス値とADTP0の設定値の関係を次に示します。

表17 - 2 転送終了バッファRAMのアドレス値とADTP0の設定値の関係

転送終了バッファRAMの アドレス値	ADTP0の設定値
F xx H	xx H

備考 xx : 00-1F

(6) 自動データ転送間隔指定レジスタ0 (ADTI0)

自動データ転送時 (シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) = 1) のバイト・データの転送の間隔 (インターバル時間) を指定する8ビットのレジスタです。

ADTI0は、マスタ・モード (CSIMA0のビット4 (MASTER0) = 1) 時に設定してください (スレーブ・モード時は設定不要)。また1バイト通信モード (CSIMA0のビット6 (ATE0) = 0) 時も設定は有効で、1バイト通信終了後ADTI0で指定したインターバル時間を経て、割り込み要求信号 (INTACSI) が出力されま

す。インターバルのクロック数は0~63クロックまで設定できます。ADTI0は、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のときは、ADTI0への書き換えは禁止です。

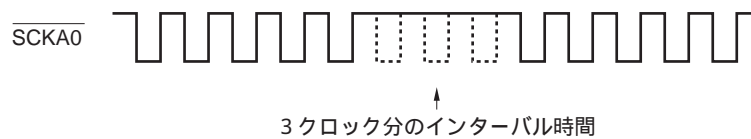
図17-7 自動データ転送間隔指定レジスタ0 (ADTI0) のフォーマット

アドレス: FF95H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
ADTI0	0	0	ADTI05	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00

指定したインターバル時間は、シリアル・クロック (分周値選択レジスタ0 (BRGCA0) で指定) の整数倍の時間となります。

例 ADTI0 = 03Hの場合



(7) 自動データ転送アドレス・カウント・レジスタ0 (ADTC0)

自動転送時におけるバッファRAMのアドレスを示すレジスタです。自動転送を中断した場合に、ADTC0のレジスタ値を読み出すことによって、中断したデータ位置を知ることができます。

ADTC0は、8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生により、00Hになります。ただし、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 1のときは、ADTC0からの読み出しは禁止です。

図17-8 自動データ転送アドレス・カウント・レジスタ0 (ADTC0) のフォーマット

アドレス：FF97H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADTC0	0	0	0	ADTC04	ADTC03	ADTC02	ADTC01	ADTP00

(8) ポート・ファンクション・レジスタ1 (PF1)

P16/SOA0/TxD6端子の端子機能を設定するレジスタです。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-9 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

アドレス：FF20H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	PF16	0	0	PF13	0	0	0

PF16	ポート (P16), CSIA0, UART6出力の指定
0	P16またはSOA0として使用
1	TxD6として使用

PF13	ポート (P13), CSI10, UART0出力の指定
0	P13またはSO10として使用
1	TxD0として使用

備考 上記は、78K0/LF3 のポート・ファンクション・レジスタ1のフォーマットです。

(9) ポート・モード・レジスタ1 (PM1)

ポート1の入力 / 出力を1ビット単位で設定するレジスタです。

P14/SCKA0端子をシリアル・インタフェースのクロック出力として使用するとき、PM14に0を、P14の出力ラッチに1を設定してください。

P16/SOA0端子をシリアル・インタフェースのデータ出力として使用するとき、PM16およびP16の出力ラッチに0を設定してください。

P14/SCKA0, P15/SIA0端子をシリアル・インタフェースのクロック入力、データ入力として使用するとき、PM14, PM15に1を設定してください。このときP14, P15の出力ラッチは、0または1のどちらでもかまいません。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17 - 10 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3 のポート・モード・レジスタ1のフォーマットです。

17.4 シリアル・インタフェースCSIA0の動作

シリアル・インタフェースCSIA0は、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

17.4.1 動作停止モード

動作停止モードでは、シリアル通信を行いません。したがって消費電力を低減できます。また動作停止モードでは、P142/ $\overline{SCKA0}$ 、P143/SIA0、P144/SOA0を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は、シリアル動作モード指定レジスタ0 (CSIMA0) で行います。動作停止モードにする場合、CSIMA0のビット7 (CSIAE0) に0を設定してください。

(a) シリアル動作モード指定レジスタ0 (CSIMA0)

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF90H リセット時：00H R/W

	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0
	CSIAE0	CSIA0の動作許可 / 禁止の制御						
	0	CSIA0動作禁止 (SOA0: ロウ・レベル, $\overline{SCKA0}$: ハイ・レベル), 内部回路を非同期リセットする						

17.4.2 3線式シリアルI/Oモード

シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) を0に設定したときのモードで、1バイトごとのデータ送受信を行います。

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{SCKA0}$)、シリアル出力 (SOA0)、シリアル入力 (SIA0) の3本のライン通信を行います。

(1) 使用するレジスタ

- ・シリアル動作モード指定レジスタ0 (CSIMA0)^{注1}
- ・シリアル・ステータス・レジスタ0 (CSIS0)^{注2}
- ・分周値選択レジスタ0 (BRGCA0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

注1. ビット7, 6, 4-1 (CSIAE0, ATE0, MASTER0, TXEA0, RXEA0, DIR0) を使用します。ビット5 (ATM0) の設定は無効になります。

2. ビット6 (CKS00) とビット0 (TSF0) を使用します。

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

CSIS0レジスタのビット6 (CKS00) を設定 (図17 - 3を参照)^{注1}

BRGCA0レジスタを設定 (図17 - 5を参照)^{注1}

CSIMA0レジスタのビット4-1 (MASTER0, TXEA0, RXEA0, DIR0) を設定 (図17 - 2を参照)

CSIMA0レジスタのビット7 (CSIAE0) に1, ビット6 (ATE0) に0を設定

シリアルI/Oシフト・レジスタ0 (SIOA0) にデータ書き込み データ送受信開始^{注2}

注1. スレーブ・モードを指定 (MASTER0 = 0) する場合は, 設定不要です。

2. 受信のみの場合, SIOA0にダミー・データを書き込んでください。

注意 ポート・モード・レジスタとポート・レジスタの設定手順は, 通信相手との関係を考慮して, 行ってください。

レジスタの設定と端子の関係を次に示します。

表17-3 レジスタの設定と端子の関係

CSIAE0	ATE0	MASTER0	PM15	P15	PM16	P16	PM14	P14	シリアル I/Oシフ ト・レジス タ0の動作	シリアル・ クロック・ カウンタの 動作の制御	端子機能		
											SIA0/P15	SOA0/P16	SCKA0/P14 /INTP4
0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	動作停止	クリア	P15	P16	P14/INTP4
1	0	0	1 ^{注2}	x ^{注2}	0 ^{注3}	0 ^{注3}	1	x	動作許可	カウンタ 動作	SIA0 ^{注2}	SOA0 ^{注3}	SCKA0 (入力)
		1											0

注1. ポート機能として設定することができます。

2. 送信のみ使用するときは、P15として使用できます。CSIA0のビット2 (RXEA0) に0を設定してください。
3. 受信のみ使用するときは、P16として使用できます。CSIA0のビット3 (TXEA0) に0を設定してください。

備考 x : don't care

CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ATE0 : CSIA0のビット6

MASTER0 : CSIA0のビット4

PM1x : ポート・モード・レジスタ

P1x : ポートの出カラッチ

(2) 1バイト送受信の通信動作

(a) 1バイト送受信

シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) = 1, ビット6 (ATE0) = 0でシリアルI/Oシフト・レジスタ0 (SIOA0) に通信データを書き込むと, そのデータをSCKA0の立ち下がりに同期してSOA0端子から出力します。また, SCKA0の立ち上がりに同期して受信データをSIOA0レジスタに格納します。

データ送信, およびデータ受信を同時に行うことができます。

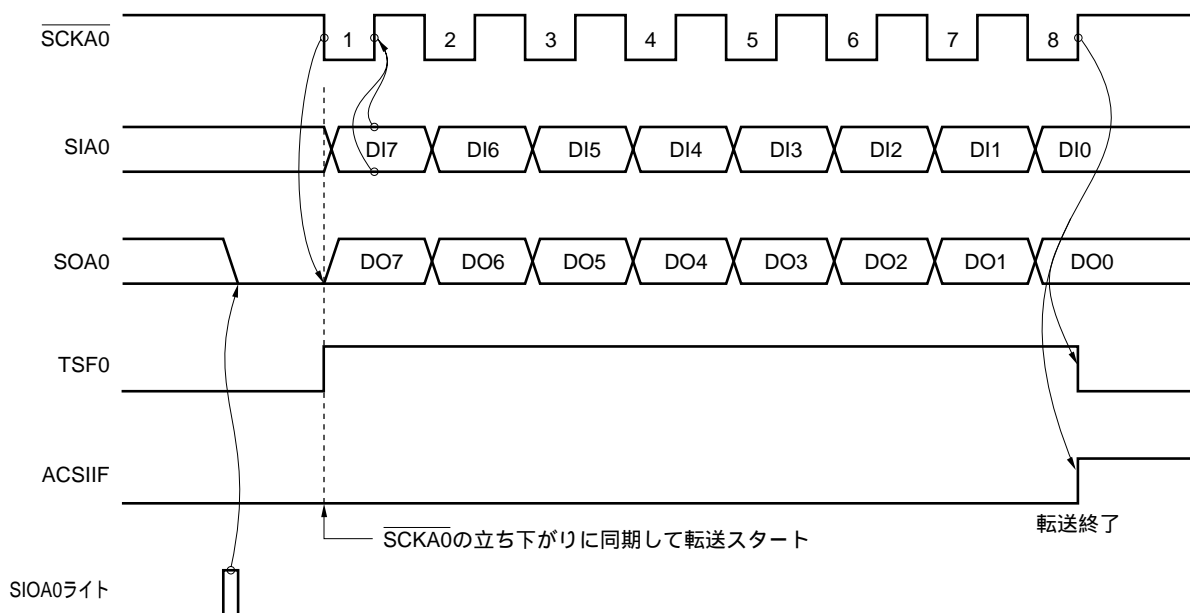
受信のみを行う際には, SIOA0レジスタにダミーの値を書き込まなければ通信を開始することができません。

1バイトの通信が終了すると, 割り込み要求信号 (INTACSI) を発生します。

1バイト送受信の場合, CSIMA0のビット5 (ATM0) の設定は無効になります。

データの読み出しはシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0であることを確認してから行ってください。

図17 - 11 3線式シリアルI/Oモードのタイミング例



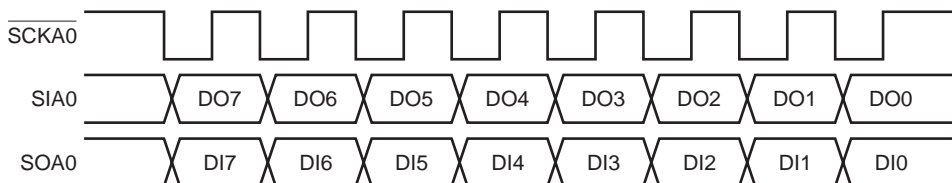
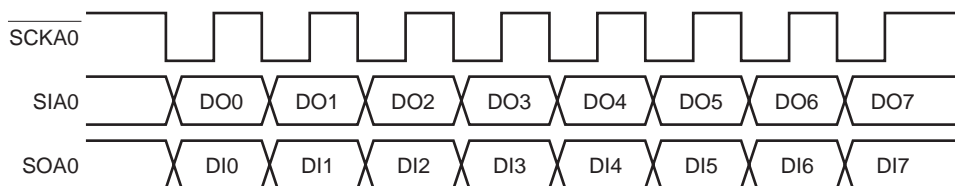
注意 SIOA0ライトにより, SOA0端子はロウ・レベルになります。

(b) データ・フォーマット

下記に示すように、 $\overline{\text{SCKA0}}$ の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ通信方向は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット1 (DIR0) の指定により切り替えることができます。

図17 - 12 送受信データのフォーマット

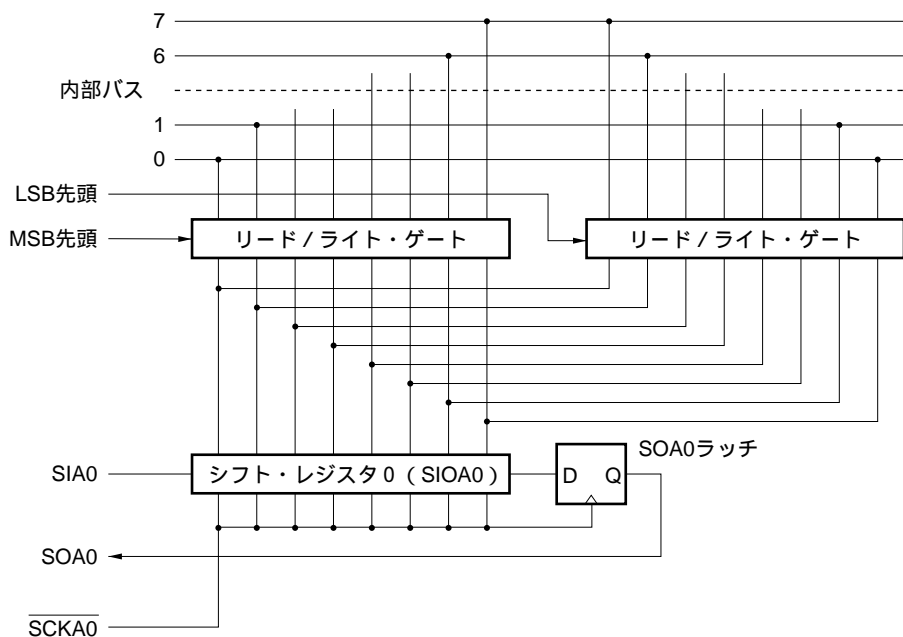
(a) MSBファーストの場合 (DIR0ビット = 0)**(b) LSBファーストの場合 (DIR0ビット = 1)**

(c) MSB/LSB先頭の切り替え

図17 - 13にシリアルI/Oシフト・レジスタ0 (SIOA0) , および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みができます。

MSB/LSB先頭切り替えは、シリアル動作モード指定レジスタ0 (CSIMA0) のビット1 (DIR0) により指定できます。

図17 - 13 転送ビット順切り替え回路



先頭ビットの切り替えは、SIOA0へのデータ書き込みのビット順を切り替えることによって実現されています。SIOA0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、シフト・レジスタにデータを書き込む前に切り替えてください。

(d) 通信スタート

シリアル通信は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIOA0) に通信データをセットすることで開始します。

- ・シリアル・インタフェースCSIA0の動作の制御ビット (CSIAE0) = 1
- ・シリアル通信中ではないとき

注意 SIOA0にデータを書き込んだあと、CSIAE0を“1”にしても、通信はスタートしません。

8ビット通信終了により、シリアル通信は自動的に停止し、割り込み要求フラグ (ACSIIF) をセットします。

17.4.3 自動送受信機能付き3線式シリアルI/Oモード

シリアル動作モード指定レジスタ0 (CSIMA0) のビット6 (ATE0) を1に設定したときのモードで、最大32バイトのデータを、ソフトウェアの介在なしに送受信を行います。通信を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

(1) 使用するレジスタ

- ・シリアル動作モード指定レジスタ0 (CSIMA0)
- ・シリアル・ステータス・レジスタ0 (CSIS0)
- ・シリアル・トリガ・レジスタ0 (CSIT0)
- ・分周値選択レジスタ0 (BRGCA0)
- ・自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)
- ・自動データ転送間隔指定レジスタ0 (ADTI0)
- ・ポート・モード・レジスタ1 (PM1)
- ・ポート・レジスタ1 (P1)

レジスタの設定と端子の関係を次に示します。

注意 バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第34章 ウエイトに関する注意事項を参照してください。

レジスタの設定と端子の関係を次に示します。

表17-3 レジスタの設定と端子の関係

CSIAE0	ATE0	MASTER0	PM15	P15	PM16	P16	PM14	P14	シリアル I/Oシフ ト・レジス タ0の動作	シリアル・ クロック・ カウンタの 動作の制御	端子機能		
											SIA0/P15	SOA0/P16	SCKA0/P14/ INTP4
0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	動作停止	クリア	P15	P16	P14/INTP4
1	0	0	1 ^{注2}	x ^{注2}	0 ^{注3}	0 ^{注3}	1	x	動作許可	カウンタ 動作	SIA0 ^{注2}	SOA0 ^{注3}	SCKA0 (入力)
		1											0

注1. ポート機能として設定することができます。

2. 送信のみ使用するときは、P15として使用できます。CSIA0のビット2 (RXEA0) に0を設定してください。
3. 受信のみ使用するときは、P16として使用できます。CSIA0のビット3 (TXEA0) に0を設定してください。

備考 x : don't care
 CSIAE0 : シリアル動作モード指定レジスタ0 (CSIA0) のビット7
 ATE0 : CSIA0のビット6
 MASTER0 : CSIA0のビット4
 PM1x : ポート・モード・レジスタ
 P1x : ポートの出カラッチ

(2) 自動送受信データの設定

マスタとしてデータを連続して送受信する場合の手順例を、次に示します。

シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) をセット (1) し、CSIA0を動作許可状態にします (バッファRAMにアクセス可能になります)。

シリアル・ステータス・レジスタ0 (CSIS0) でシリアル・クロックを選択します。

分周値選択レジスタ0 (BRGCA0) でシリアル・クロックの分周比を設定し、通信速度を指定します。

バッファRAMの最下位アドレスFA00Hから順に最大FA1FHまで、送信したいデータを書き込みます。送信データ順は、下位アドレスから上位アドレスです。

自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) に、「送信したいデータ数 - 1」を設定します。

CSIMA0のビット6 (ATE0) とビット4 (MASTER0) をセット (1) して、自動通信モードでのマスタ動作を設定します。

CSIMA0のビット3 (TXEA0) とビット2 (RXEA0) をセット (1) して、送受信許可状態にします。

自動データ転送間隔指定レジスタ (ADTI0) にデータの送信間隔を設定します。

シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) をセット (1) すると、自動送受信処理が起動されます。

注意 ポート・モード・レジスタとポート・レジスタの設定は、通信相手との関係を考慮して、行ってください。

から の操作により、次のように動作します。

- ・自動データ転送アドレス・カウント・レジスタ0 (ADTC0) で示されたバッファRAMのデータをSIOA0に転送後、送信を行います (自動送受信動作の開始)。
- ・受信したデータは、ADTC0で示されたバッファRAMのアドレスへ書き込まれます。
- ・ADTC0がインクリメントされ、次のデータの送受信を行います。データの送受信は、ADTC0のインクリメント出力が自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0) の設定値と一致するところまで行われます (自動送受信動作の終了)。ただし、CSIMA0のビット5 (ATM0) に1を設定 (繰り返しモード) した場合は、ADTP0とADTC0が一致したあと、ADTC0がクリアされ、繰り返し送受信動作が行われます。
- ・自動送受信動作が終了すると割り込み要求 (INTACSI) を発生し、CSIS0のビット0 (TSF0) をクリアします。
- ・引き続き次のデータを送信したい場合には、新しいデータをバッファRAMにセットし、ADTP0に「送信したいデータ数 - 1」を設定します。データ数の設定後、ATSTA0をセット (1) します。

(3) 自動送受信の通信動作

(a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(2) **自動送受信データの設定**を行うことによって、バッファRAMに格納したデータをSIOA0レジスタを介してSCKA0の立ち下がりに同期してSOA0端子より出力します。

また、SIOA0レジスタを介してSCKA0の立ち上がりに同期して受信データをバッファRAMに格納します。

データ転送は、次のいずれかを満たしたときにシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) = 0となり、転送が終了します。

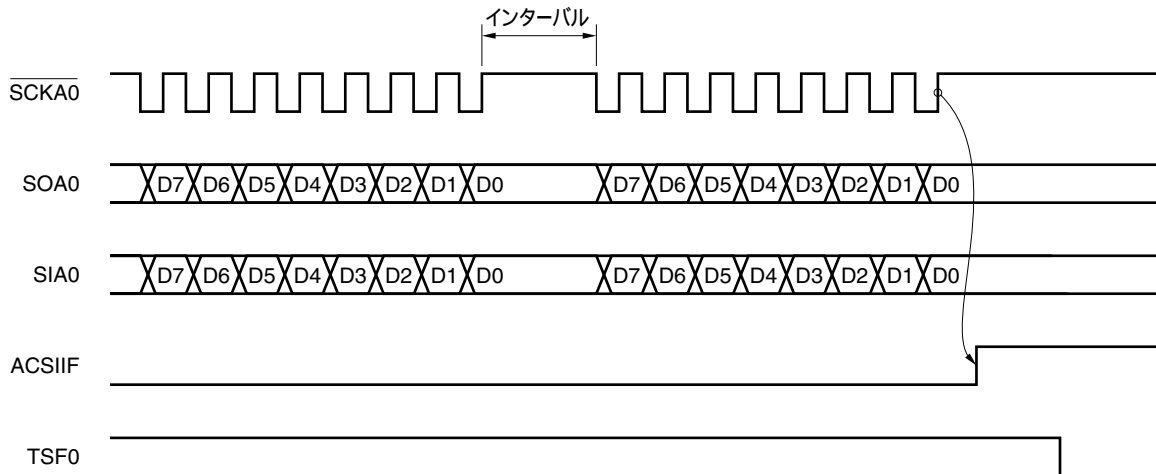
- ・ 通信中止：CSIMA0レジスタのビット7 (CSIAE0) = 0でリセット
- ・ 通信中断：CSIT0レジスタのビット1 (ATSTP0) = 1と指定して1バイト分転送が完了
- ・ ADTP0レジスタで指定した範囲の転送が完了

このとき、CSIAE0ビット= 0の場合を除き、割り込み要求信号 (INTACSI) を発生します。

一度転送を終了させると、その続きから転送することができません。自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0) を読み出し、どこまで転送が完了したかを確認し、再度(2) **自動送受信データの設定**を行い、転送してください。

自動送受信モードの動作タイミング例を図17 - 14に、動作フロー・チャートを図17 - 15に示します。また、6バイト分送受信するときの内部バッファRAMの動作を図17 - 16、図17 - 17に示します。

図17 - 14 自動送受信モードの動作タイミング例

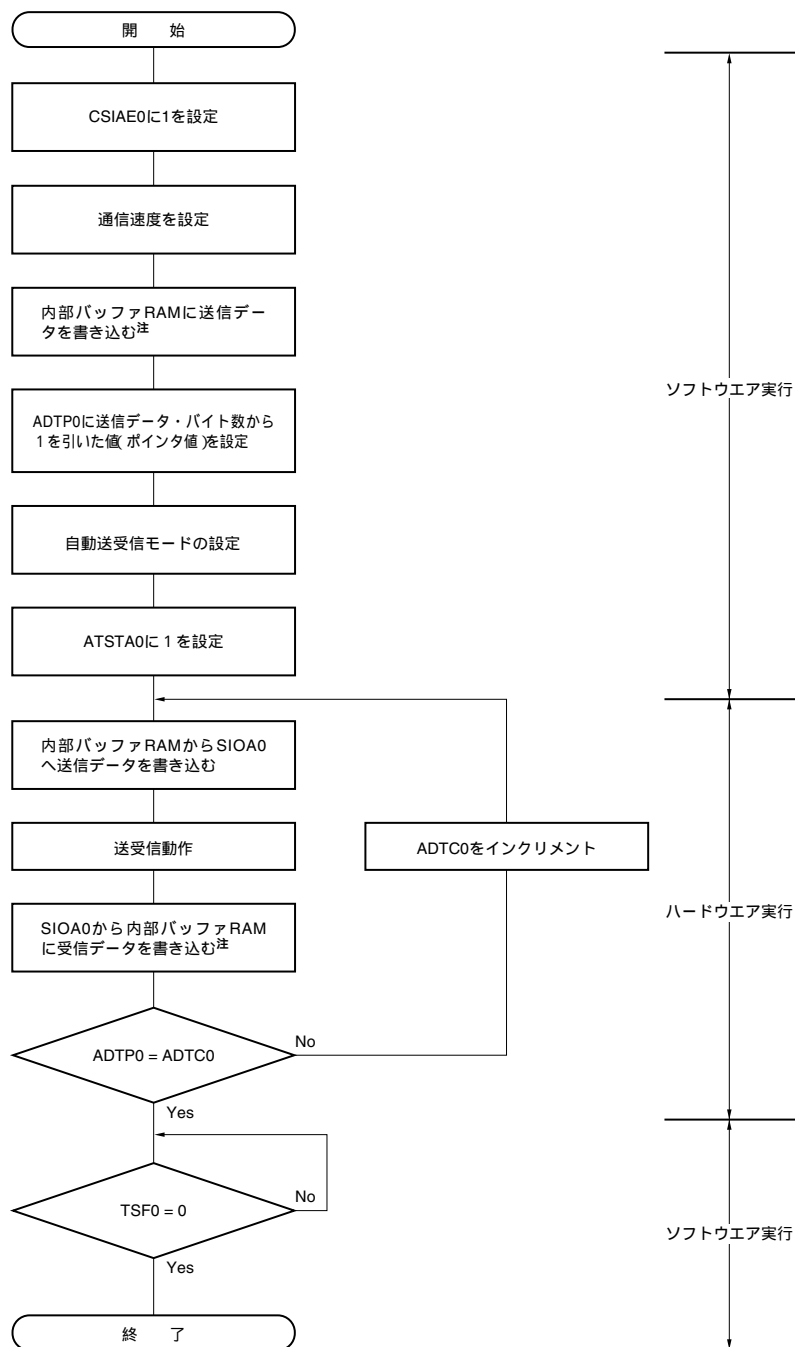


- 注意1.** 自動送受信モードでは、1バイト送受信後、内部バッファRAMへの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み/読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) の設定値に依存します。
- 2.** インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。

備考 ACSIIF : 割り込み要求フラグ

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

図17 - 15 自動送受信モードのフロー・チャート



CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ADTP0 : 自動データ転送アドレス・ポイント指定レジスタ0

ADTI0 : 自動データ転送間隔指定レジスタ0

ATSTA0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット0

SIOA0 : シリアルI/Oシフト・レジスタ0

ADTC0 : 自動データ転送アドレス・カウント・レジスタ0

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

注 バッファRAMへの書き込み時にウェイトが発生することがあります。詳細は第34章 ウェイトに関する注意事項を参照してください。

自動送受信モードで6バイト分送受信するとき (ATM0 = 0, RXEA0 = 1, TXEA0 = 1, ATE0 = 1) , 内部バッファRAMは次のような動作をします。

(i) 自動送受信開始時 (図17 - 16参照)

シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) に1を設定すると, 内部バッファRAMから送信データ1 (T1) がSIOA0へ転送され, 送受信動作が開始されます。

1バイト目の送受信が完了すると, SIOA0からバッファRAMへ受信データ1 (R1) が転送され, 自動データ転送アドレス・カウント・レジスタ0 (ADTC0) がインクリメントされます。

次に内部バッファRAMから送信データ2 (T2) がSIOA0へ転送されます。

図17 - 16 自動送受信モード時の内部バッファRAMの動作 (自動送受信開始時) (1/2)

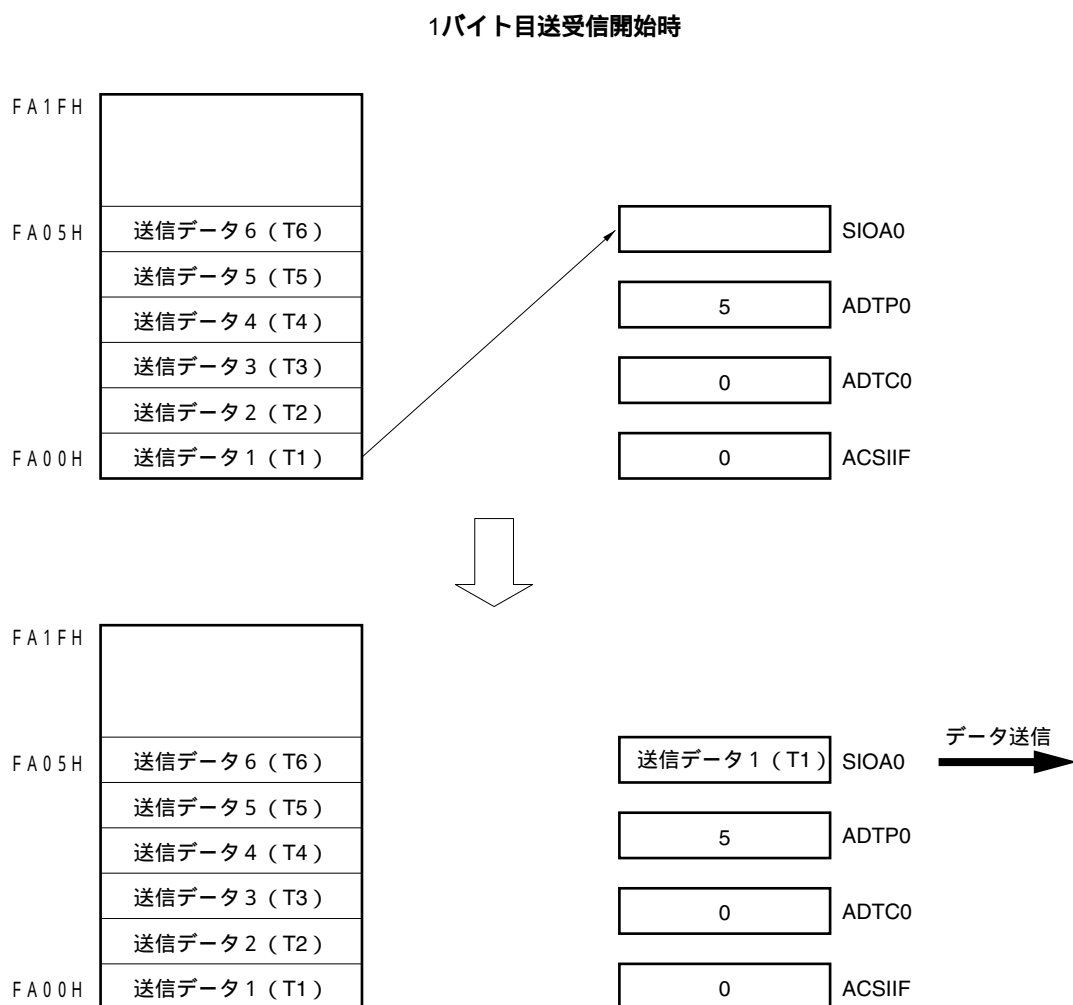
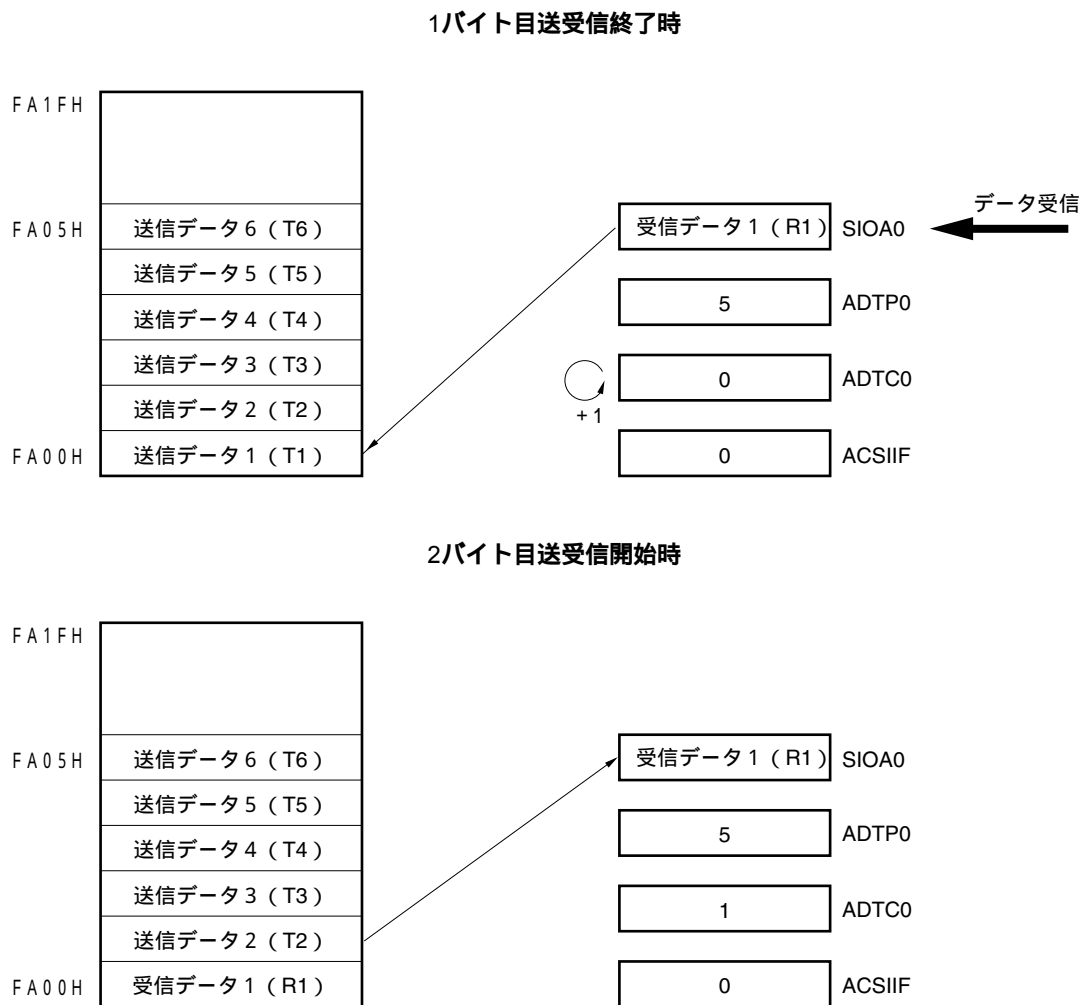


図17 - 16 自動送受信モード時の内部バッファRAMの動作 (自動送受信開始時) (2/2)

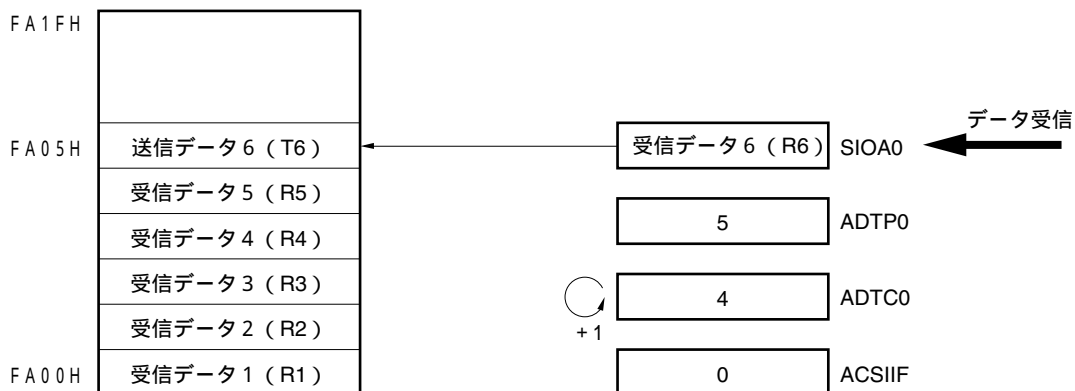
**(ii) 自動送受信完了時 (図17 - 17参照)**

6バイト目の送受信が完了すると、SIOA0から内部バッファRAMへ受信データ6 (R6) が転送され、ADTC0がインクリメントされます。

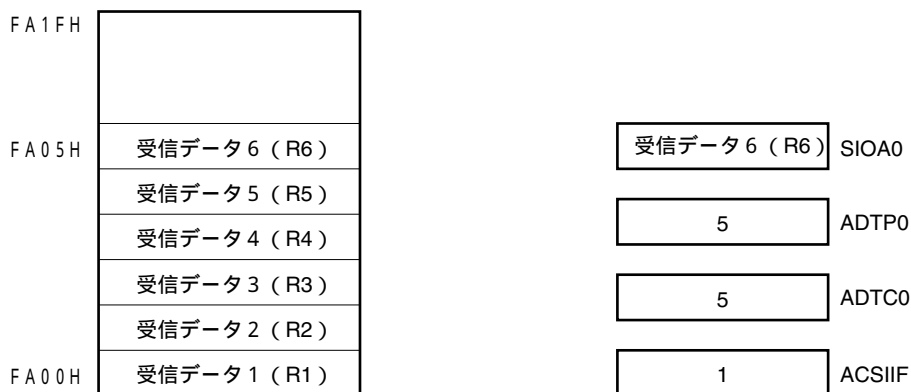
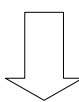
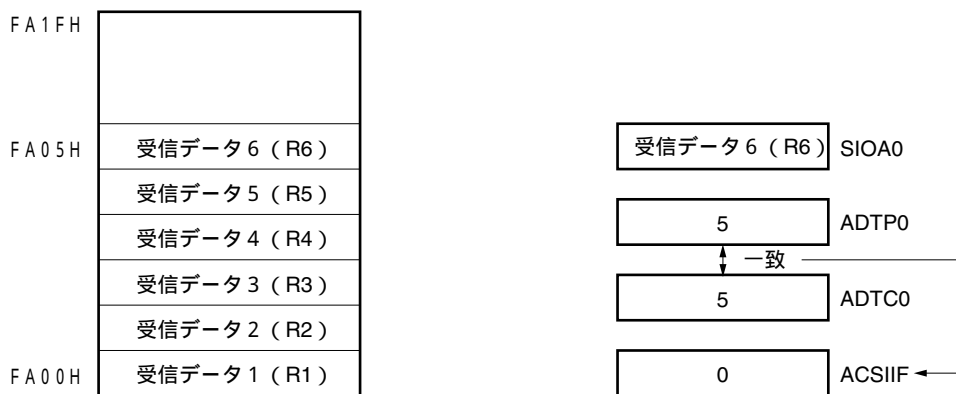
ADTP0とADTC0の値が一致すると、自動送受信が終了し、割り込み要求フラグ (ACSIIF) がセットされます (INTACSI発生)。ADTC0とシリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) はクリアされます。

図17 - 17 自動送受信モード時の内部バッファRAMの動作 (自動送受信終了時)

6バイト目送受信終了時



自動送受信終了時



(b) 自動送信モード

8ビット単位で、指定したデータの送信を実行する送信モードです。

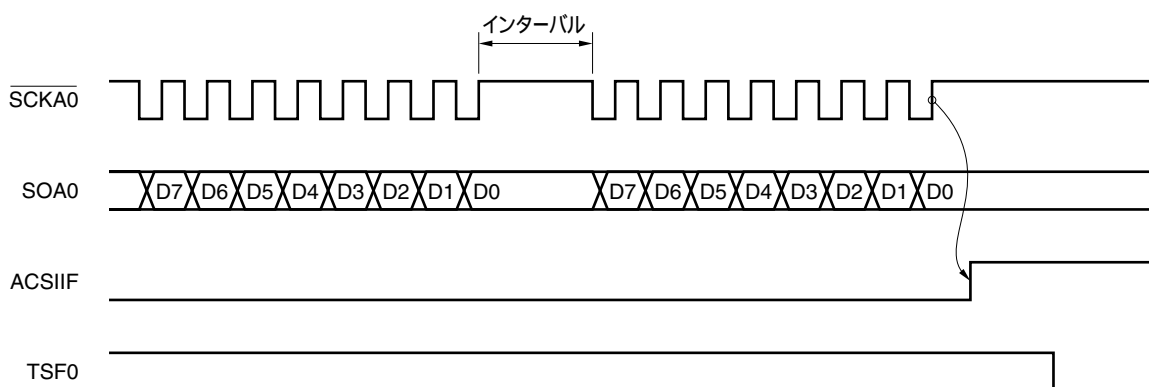
シリアル通信は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) が1、ビット6 (ATE0) が1、ビット3 (TXEA0) が1にセットされているとき、シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) に1を設定することによって開始します。

最終バイト送信完了時には割り込み要求フラグ (ACSIIF) がセットされます。自動送信の終了は、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) でも判定できます。

なお、受信動作を行わない場合は、SIA0/P15端子を通常の入出力ポートとして使用できます。

自動送信モードの動作タイミング例を図17 - 18に、動作フロー・チャートを図17 - 19に示します。

図17 - 18 自動送信モードの動作タイミング例



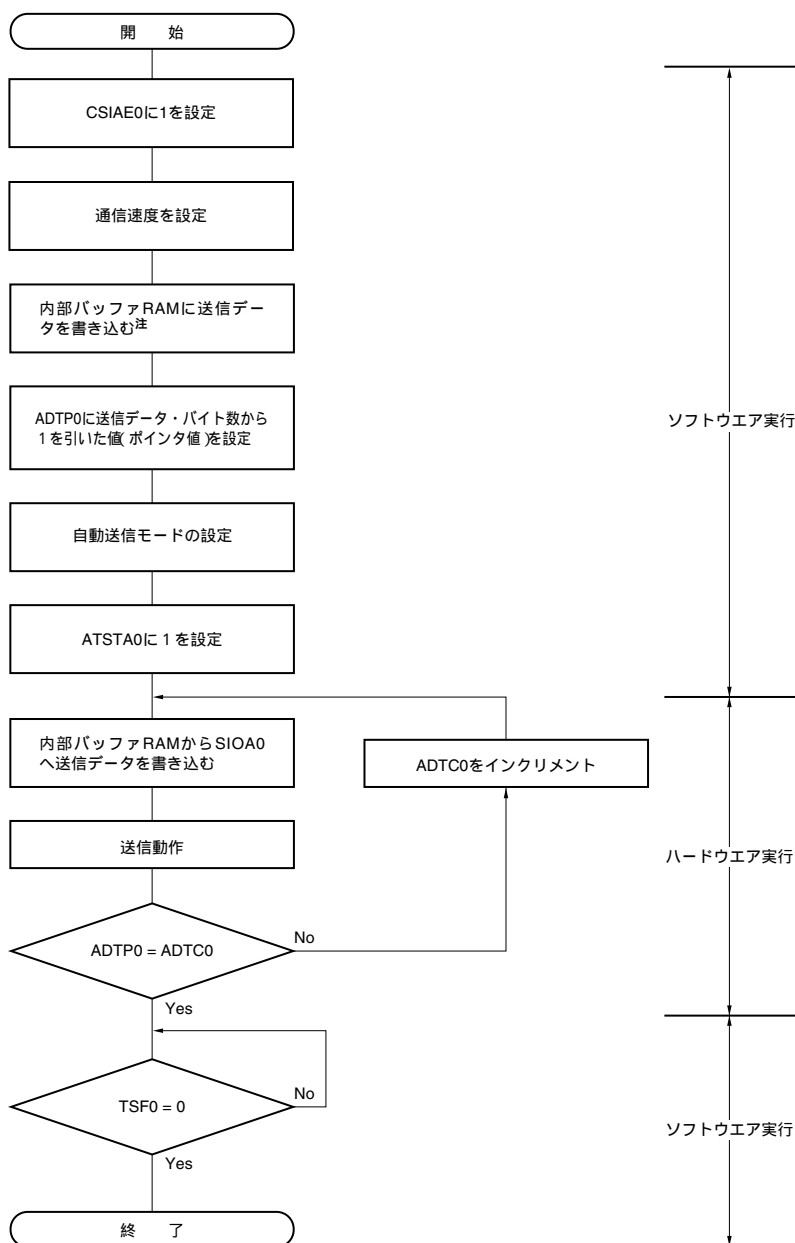
注意1 . 自動送信モードでは、1バイト送信後、内部バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) の設定値に依存します。

2 . インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。

備考 ACSIIF : 割り込み要求フラグ

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

図17 - 19 自動送信モードのフロー・チャート



CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ADTP0 : 自動データ転送アドレス・ポイント指定レジスタ0

ADTI0 : 自動データ転送間隔指定レジスタ0

ATSTA0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット0

SIOA0 : シリアルI/Oシフト・レジスタ0

ADTC0 : 自動データ転送アドレス・カウント・レジスタ0

TSF0 : シリアル・ステータス・レジスタ0 (CSIS0) のビット0

注 バッファRAMへの書き込み時にウェイトが発生することがあります。詳細は第34章 ウェイトに関する注意事項を参照してください。

(c) 繰り返し送信モード

内部バッファRAMに格納したデータを繰り返し送信するモードです。

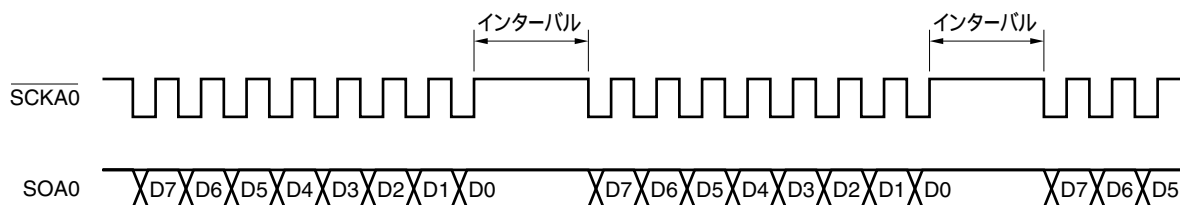
シリアル通信は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット7 (CSIAE0) が1、ビット6 (ATE0) が1、ビット5 (ATM0) が1、ビット3 (TXEA0) が1にセットされているとき、シリアル・トリガ・レジスタ0 (CSIT0) のビット0 (ATSTA0) に1を設定することによって開始します。

自動送信モードの場合とは異なり、設定したバイト数を送信したあと、割り込み要求フラグ (ACSIIF) はセットされず、自動データ転送アドレス・カウンタ・レジスタ0 (ADTC0) がリセット (0) され、内部バッファRAMの内容が再送信されます。

なお、受信動作を行わない場合には、SIA0/P15端子を通常の入出力ポートとして使用できます。

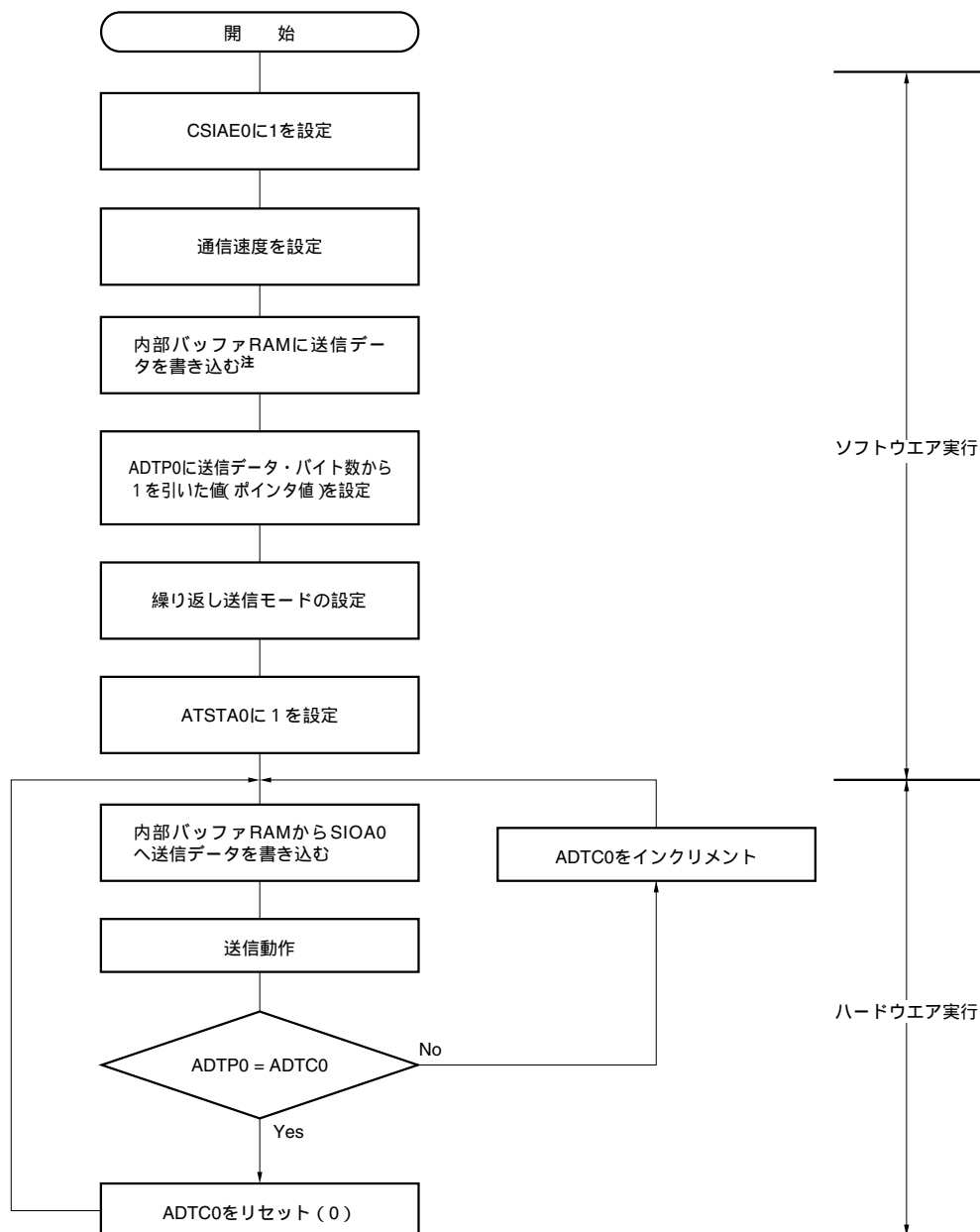
繰り返し送信モードの動作タイミング例を図17 - 20に、動作フロー・チャートを図17 - 21に示します。

図17 - 20 繰り返し送信モードの動作タイミング例



- 注意1. 繰り返し送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っているので、インターバル時間は自動データ転送間隔指定レジスタ0 (ADTI0) の設定値に依存します。
2. インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合、自動データ転送間隔指定レジスタ0 (ADTI0) で設定したインターバル時間は伸びる可能性があります。

図17 - 21 繰り返し送信モードのフロー・チャート



CSIAE0 : シリアル動作モード指定レジスタ0 (CSIMA0) のビット7

ADTP0 : 自動データ転送アドレス・ポイント指定レジスタ0

ADTI0 : 自動データ転送間隔指定レジスタ0

ATSTA0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット0

SIOA0 : シリアルI/Oシフト・レジスタ0

ADTC0 : 自動データ転送アドレス・カウント・レジスタ0

注 バッファRAMへの書き込み時にウェイトが発生することがあります。詳細は第34章 ウェイトに関する注意事項を参照してください。

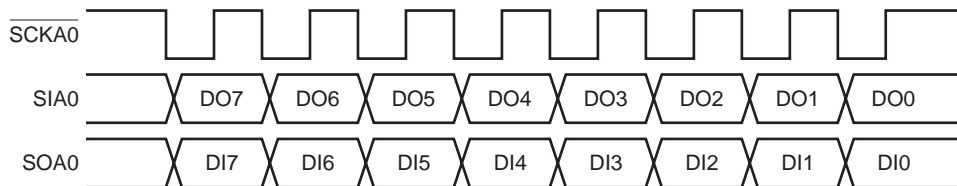
(d) データ・フォーマット

下記に示すように、 $\overline{SCKA0}$ の立ち下がりに同期してデータが変化します。

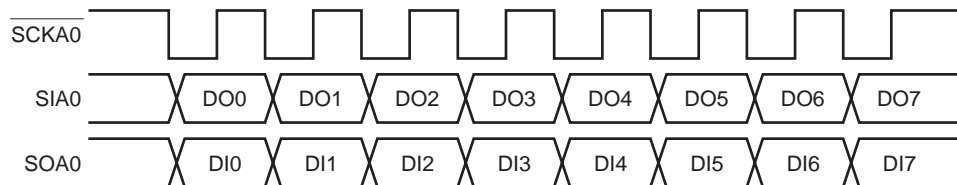
データ長は8ビット固定であり、データ転送方向は、シリアル動作モード指定レジスタ0 (CSIMA0) のビット1 (DIR0) の指定により切り替えることができます。

図17 - 22 CSIA0の送受信データのフォーマット

(a) MSBファーストの場合 (DIR0ビット= 0)



(b) LSBファーストの場合 (DIR0ビット= 1)



(e) 自動送受信の中断と再開

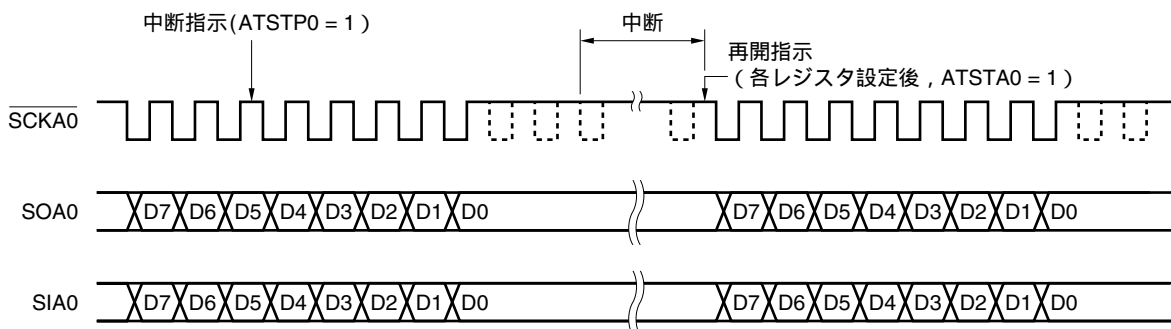
自動送受信中に送受信動作を一時的に中断したい場合、シリアル・トリガ・レジスタ0 (CSIT0) のビット1 (ATSTP0) に1を設定することにより動作の中断ができます。

このとき、8ビット・データ通信の途中では中断せず、必ず8ビット・データ通信が完了した時点で中断します。

中断時には、8ビット目のデータを転送したあと、シリアル・ステータス・レジスタ0 (CSIS0) のビット0 (TSF0) が0になります。

- 注意1.** 自動送受信中にHALT命令を実行すると、8ビット・データ通信の途中でも通信を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。
- 2.** 自動送受信動作を中断したとき、TSF0 = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図17 - 23 自動送受信の中断と再開



ATSTP0 : シリアル・トリガ・レジスタ0 (CSIT0) のビット1

ATSTA0 : CSIT0のビット0

第18章 LCDコントローラ/ドライバ

		78K0/LC3	78K0/LD3	78K0/LE3		78K0/LF3	
				μ PD78F044x, 78F045x	μ PD78F046x	μ PD78F047x, 78F048x	μ PD78F049x
LCD コントロ ーラ/ドライバ	セグメント信号	22	24	32	24	40	32
	コモン信号	8	8	8		8	

18.1 LCDコントローラ/ドライバの機能

78K0/Lx3マイクロコントローラに内蔵しているLCDコントローラ/ドライバの機能を次に示します。

- (1) LCDドライバ用駆動電圧生成回路は、外部抵抗分割/内部抵抗分割の切り替えが可能
- (2) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (3) 6種類の表示モードが選択可能
 - ・スタティック
 - ・1/2デューティ (1/2バイアス)
 - ・1/3デューティ (1/2バイアス)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
 - ・1/8デューティ (1/4バイアス)
- (4) 各表示モードにおいて、6種類のフレーム周波数を選択可能
- (5) 78K0/LC3：セグメント信号出力 22本^注 (SEG0-SEG21)，コモン信号出力 8本^注 (COM0-COM7)
 78K0/LD3：セグメント信号出力 24本^注 (SEG0-SEG23)，コモン信号出力 8本^注 (COM0-COM7)
 78K0/LE3の μ PD78F044x, 78F045x
 ：セグメント信号出力 32本^注 (SEG0-SEG31)，コモン信号出力 8本^注 (COM0-COM7)
 78K0/LE3の μ PD78F046x
 ：セグメント信号出力 24本^注 (SEG0-SEG23)，コモン信号出力 8本^注 (COM0-COM7)
 78K0/LF3の μ PD78F047x, 78F048x
 ：セグメント信号出力 40本^注 (SEG0-SEG39)，コモン信号出力 8本^注 (COM0-COM7)
 78K0/LF3の μ PD78F049x
 ：セグメント信号出力 32本^注 (SEG0-SEG31)，コモン信号出力 8本^注 (COM0-COM7)
- (6) 各表示モード(スタティック・モードを除く)において、LCDセグメント信号出力と時分割でセグメント・キー・ソース信号出力が可能
 セグメント・キー・ソース信号出力：最大8本 (SEGxx (KS0) -SEGxx (KS7))

注 セグメント信号出力 4本 (SEG0-SEG3) とコモン信号出力 4本 (COM4-COM7) は兼用端子となっています。COM4-COM7は、LCD表示モード・レジスタ (LCDM) の設定で8時分割を選択した場合のみ使用できます。






各表示モードにおける表示可能な最大画素数を表18 - 1に示します。

表18 - 1 最大表示画素数 (1/3)

(a) 78K0/LC3

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・外部抵抗分割 ・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	22本	22 (22セグメント×1コモン) ^{注2}
	1/2	2 ^{注1}	COM0, COM1		44 (22セグメント×2コモン) ^{注3}
		3 ^{注1}	COM0-COM2		66 (22セグメント×3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		88 (22セグメント×4コモン) ^{注5}
		4 ^{注1}	COM0-COM3		
	1/4	8 ^{注1}	COM0-COM7	18本	144 (18セグメント×8コモン) ^{注6}

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1) , セグメント・キー・スキャン信号出力のために時分割数が+1されます。

2. 形のLCDパネルで8セグメント/桁のもの: 2桁
3. 形のLCDパネルで4セグメント/桁のもの: 5桁
4. 形のLCDパネルで3セグメント/桁のもの: 8桁
5. 形のLCDパネルで2セグメント/桁のもの: 11桁
6. 形のLCDパネルで1セグメント/桁のもの: 18桁

(b) 78K0/LD3

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・外部抵抗分割 ・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	24本	24 (24セグメント×1コモン) ^{注2}
	1/2	2 ^{注1}	COM0, COM1		48 (24セグメント×2コモン) ^{注3}
		3 ^{注1}	COM0-COM2		72 (24セグメント×3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		96 (24セグメント×4コモン) ^{注5}
		4 ^{注1}	COM0-COM3		
	1/4	8 ^{注1}	COM0-COM7	20本	160 (20セグメント×8コモン) ^{注6}

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1) , セグメント・キー・スキャン信号出力のために時分割数が+1されます。











2. 形のLCDパネルで8セグメント/桁のもの: 3桁
3. 形のLCDパネルで4セグメント/桁のもの: 6桁
4. 形のLCDパネルで3セグメント/桁のもの: 9桁
5. 形のLCDパネルで2セグメント/桁のもの: 12桁
6. 形のLCDパネルで1セグメント/桁のもの: 20桁

表18 - 1 最大表示画素数 (2/3)

(c) 78K0/LE3の μ PD78F044x, 78F045x

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・ 外部抵抗分割 ・ 内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	32本	32 (32セグメント×1コモン) ^{注2}
	1/2	2 ^{注1}	COM0, COM1		64 (32セグメント×2コモン) ^{注3}
		3 ^{注1}	COM0-COM2		96 (32セグメント×3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		28本
		4 ^{注1}	COM0-COM3	224 (28セグメント×8コモン) ^{注6}	
	1/4	8 ^{注1}	COM0-COM7		

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1), セグメント・キー・スキャン信号出力のために時分割数が+1されます。

2. 形のLCDパネルで8セグメント/桁のもの: 4桁
3. 形のLCDパネルで4セグメント/桁のもの: 8桁
4. 形のLCDパネルで3セグメント/桁のもの: 12桁
5. 形のLCDパネルで2セグメント/桁のもの: 16桁
6. 形のLCDパネルで1セグメント/桁のもの: 28桁

(d) 78K0/LE3の μ PD78F046x

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・ 外部抵抗分割 ・ 内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	24本	24 (24セグメント×1コモン) ^{注2}
	1/2	2 ^{注1}	COM0, COM1		48 (24セグメント×2コモン) ^{注3}
		3 ^{注1}	COM0-COM2		72 (24セグメント×3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		20本
		4 ^{注1}	COM0-COM3	160 (20セグメント×8コモン) ^{注6}	
	1/4	8 ^{注1}	COM0-COM7		

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1), セグメント・キー・スキャン信号出力のために時分割数が+1されます。











2. 形のLCDパネルで8セグメント/桁のもの: 3桁
3. 形のLCDパネルで4セグメント/桁のもの: 6桁
4. 形のLCDパネルで3セグメント/桁のもの: 9桁
5. 形のLCDパネルで2セグメント/桁のもの: 12桁
6. 形のLCDパネルで1セグメント/桁のもの: 20桁

表18 - 1 最大表示画素数 (3/3)

(e) 78K0/LF3の μ PD78F047x, 78F048x

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・外部抵抗分割 ・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	40本	40 (40セグメント×1コモン) ^{注2}
		1/2	2 ^{注1}		COM0, COM1
	3 ^{注1}		COM0-COM2		120 (40セグメント×3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		36本
		4 ^{注1}	COM0-COM3	288 (36セグメント×8コモン) ^{注6}	
	1/4	8 ^{注1}	COM0-COM7		






注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1), セグメント・キー・スキャン信号出力のために時分割数が+1されます。

2. 形のLCDパネルで8セグメント/桁のもの: 5桁
3. 形のLCDパネルで4セグメント/桁のもの: 10桁
4. 形のLCDパネルで3セグメント/桁のもの: 15桁
5. 形のLCDパネルで2セグメント/桁のもの: 20桁
6. 形のLCDパネルで1セグメント/桁のもの: 36桁

(f) 78K0/LF3の μ PD78F049x

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数
・外部抵抗分割 ・内部抵抗分割	-	スタティック	COM0 (COM1-COM3)	32本	32 (32セグメント×1コモン) ^{注2}
		1/2	2 ^{注1}		COM0, COM1
	3 ^{注1}		COM0-COM2		96 (32セグメント×3コモン) ^{注4}
	1/3	3 ^{注1}	COM0-COM2		28本
		4 ^{注1}	COM0-COM3	224 (28セグメント×8コモン) ^{注6}	
	1/4	8 ^{注1}	COM0-COM7		

注1. セグメント・キー・スキャン機能を使用する場合 (KSON = 1), セグメント・キー・スキャン信号出力のために時分割数が+1されます。

2. 形のLCDパネルで8セグメント/桁のもの: 4桁
3. 形のLCDパネルで4セグメント/桁のもの: 8桁
4. 形のLCDパネルで3セグメント/桁のもの: 12桁
5. 形のLCDパネルで2セグメント/桁のもの: 16桁
6. 形のLCDパネルで1セグメント/桁のもの: 28桁

18.2 LCDコントローラ/ドライバの構成

LCDコントローラ/ドライバは、次のハードウェアで構成しています。

表18-2 LCDコントローラ/ドライバの構成

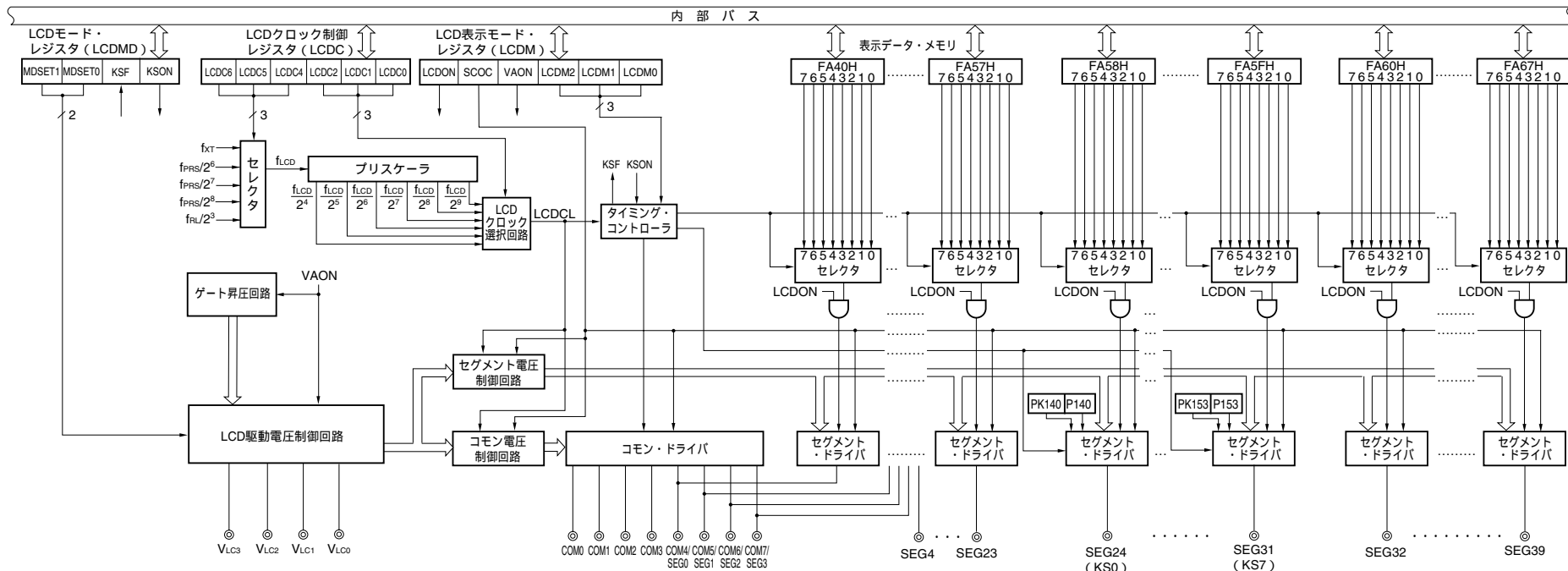
項 目	構 成
表示出力	78K0/LC3 : セグメント信号 22本 ^{注1} , コモン信号 8本 ^{注1} 78K0/LD3 : セグメント信号 24本 ^{注1} , コモン信号 8本 ^{注1} 78K0/LE3の μ PD78F044x, 78F045x : セグメント信号 32本 ^{注1} , コモン信号 8本 ^{注1} 78K0/LE3の μ PD78F046x : セグメント信号 24本 ^{注1} , コモン信号 8本 ^{注1} 78K0/LF3の μ PD78F047x, 78F048x : セグメント信号 40本 ^{注1} , コモン信号 8本 ^{注1} 78K0/LF3の μ PD78F049x : セグメント信号 32本 ^{注1} , コモン信号 8本 ^{注1}
セグメント・キー・ソース出力	セグメント・キー・ソース信号 8本
制御レジスタ	LCDモード・レジスタ (LCDMD) LCD表示モード・レジスタ (LCDM) LCDクロック制御レジスタ0 (LCDC0) ポート・ファンクション・レジスタ1 (PF1) ^{注2} ポート・ファンクション・レジスタ2 (PF2) ^{注3} ポート・ファンクション・レジスタALL (PFALL) キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ1 (PM1) ^{注2} ポート・モード・レジスタ4 (PM4) プルアップ抵抗オプション・レジスタ1 (PU1) ^{注2} プルアップ抵抗オプション・レジスタ4 (PU4) ポート・レジスタ14 (P14) ポート・レジスタ15 (P15)

注1. セグメント信号出力 4本 (SEG0-SEG3) とコモン信号出力 4本 (COM4-COM7) は兼用端子となっています。COM4-COM7は、LCD表示モード・レジスタ (LCDM) の設定で8時分割を選択した場合のみ使用できます。

2. 78K0/LC3, 78K0/LD3のみ。

3. 78K0/LC3, 78K0/LD3, 78K0/LE3の μ PD78F044x, 78F045x, 78K0/LF3の78F047x, 78F048xのみ。

図18 - 1 LCDコントローラ / ドライバのブロック図



- 備考 78K0/LC3 : SEG0-SEG7, SEG8(KS0)-SEG15(KS7), SEG16-SEG21
 78K0/LD3 : SEG0-SEG9, SEG10(KS0)-SEG17(KS7), SEG18-SEG23
 78K0/LE3の μ PD78F044x, 78F045x : SEG0-SEG15, SEG16(KS0)-SEG23(KS7), SEG24-SEG31
 78K0/LE3の μ PD78F046x : SEG0-SEG15, SEG16(KS0)-SEG23(KS7)
 78K0/LF3の μ PD78F047x, 78F048x : SEG0-SEG23, SEG24(KS0)-SEG31(KS7), SEG32-SEG39
 78K0/LF3の μ PD78F049x : SEG0-SEG23, SEG24(KS0)-SEG31(KS7)

18.3 LCDコントローラ/ドライバを制御するレジスタ

LCDコントローラ/ドライバは、次のレジスタで制御します。

- ・ LCDモード・レジスタ (LCDMD)
- ・ LCD表示モード・レジスタ (LCDM)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ ポート・ファンクション・レジスタ1 (PF1)^{注1}
- ・ ポート・ファンクション・レジスタ2 (PF2)^{注2}
- ・ ポート・ファンクション・レジスタALL (PFALL)
- ・ キー・リターン・モード・レジスタ (KRM)
- ・ ポート・モード・レジスタ1 (PM1)^{注1}
- ・ ポート・モード・レジスタ4 (PM4)
- ・ プルアップ抵抗オプション・レジスタ1 (PU1)^{注1}
- ・ プルアップ抵抗オプション・レジスタ4 (PU4)
- ・ ポート・レジスタ14 (P14)
- ・ ポート・レジスタ15 (P15)

注1. 78K0/LC3, 78K0/LD3のみ。

2. 78K0/LC3, 78K0/LD3, 78K0/LE3の μ PD78F044x, 78F045x, 78K0/LF3の78F047x, 78F048xのみ。

(1) LCDモード・レジスタ (LCDMD)

LCD駆動電圧生成回路を設定するレジスタです。

LCDMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 LCDモード・レジスタ (LCDMD) のフォーマット

アドレス：FFB0H リセット時：00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
LCDMD	0	0	MDSET1	MDSET0	0	0	KSF	KSON

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	外部抵抗分割方式，内部抵抗非接続
0	1	内部抵抗分割方式，内部抵抗接続（降圧なし， $V_{LCD} = V_{DD}$ 時に使用）
1	1	内部抵抗分割方式，内部抵抗接続（降圧あり， $V_{LCD} = 3/5V_{DD}$ 時に使用）
上記以外		設定禁止

KSF	セグメント・キー・スキャン・ステータス
0	LCD表示信号出力中
1	セグメント・キー・スキャン信号出力中

KSON	セグメント・キー・スキャン機能の制御
0	セグメント・キー・スキャン機能を使用しない
1	セグメント・キー・スキャン機能を使用する ^{注2}

注1. ビット1は、Read Onlyです。

2. セグメント・キー・スキャン機能は、 $V_{DD} = V_{LC0}$ の条件で使用してください。

なお、セグメント・キー・スキャン機能の入力端子として使用できるのは、KRx端子のみです。

注意 ビット2, 3, 6, 7には、必ず0を設定してください。

(2) LCD表示モード・レジスタ (LCDM)

表示動作の許可/禁止，セグメント端子/コモン端子出力，ゲート昇圧回路の制御，表示モードを設定するレジスタです。

LCDMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18 - 3 LCD表示モード・レジスタ (LCDM) のフォーマット

アドレス： FFB1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDM	LCDON	SCOC	0	VAON	0	LCDM2	LCDM1	LCDM0

LCDON	LCD表示の許可/禁止
0	表示オフ (セグメント出力はすべて非選択信号出力)
1	表示オン

SCOC	セグメント端子/コモン端子出力の制御 ^{注1}
0	セグメント端子/コモン端子にグランド・レベルを出力
1	セグメント端子に非選択レベル，コモン端子にLCD波形を出力

VAON	ゲート昇圧回路の制御 ^{注1, 2}
0	ゲート昇圧なし
1	ゲート昇圧あり

LCDM2	LCDM1	LCDM0	LCDコントローラ/ドライバの表示モードの選択	
			抵抗分割方式	
			時分割数	バイアス法
1	1	1	8 ^{注3}	1/4 ^{注4}
0	0	0	4 ^{注3}	1/3
0	0	1	3 ^{注3}	1/3
0	1	0	2 ^{注3}	1/2
0	1	1	3 ^{注3}	1/2
1	0	0	スタティック	
上記以外			設定禁止	

(注，注意は次ページにあります。)

注1. LCD表示を行わないとき、また必要ないときは、以下の設定により消費電力を低減できます。

SCOCに0, VAONに0を設定する。

内部抵抗分割方式を使用している場合, MDSET1, MDSET0 = (0, 0) とする

(内部抵抗に流れる電流を削減可能)。

2. LCDコントローラ/ドライバの内部ゲート信号の昇圧を制御するために使用します。

“内部ゲート昇圧あり”に設定すると, LCD駆動能力を高めることができます。

次の条件でVAONを設定してください。

(スタティック表示時)

・2.0 V V_{LCD} V_{DD} 5.5 V時: VAON = 0

・1.8 V V_{LCD} V_{DD} 3.6 V時: VAON = 1

(1/3バイアス時)

・2.5 V V_{LCD} V_{DD} 5.5 V時: VAON = 0

・1.8 V V_{LCD} V_{DD} 3.6 V時: VAON = 1

(1/2バイアス時, 1/4バイアス時)

・2.7 V V_{LCD} V_{DD} 5.5 V時: VAON = 0

・1.8 V V_{LCD} V_{DD} 3.6 V時: VAON = 1

3. セグメント・キー・スキャン機能を使用する場合 (KSON = 1), セグメント・キー・スキャン信号出力のために時分割数が +1 されます。

4. P40/KR0/ V_{LC3} 端子は, 1/4バイアス法に設定した場合, V_{LC3} となります。その他のバイアス法を設定した場合は, ポート機能 (P40) またはキー割り込み機能 (KR0) となります。

注意1. ビット3, 5には, 必ず0を設定してください。

2. 8COMなどCOM数の多いモードで表示する場合, パネルの特性によっては, V_{LCO} が低電圧の条件で十分なコントラストを得られない場合があります。お客様において, 十分なLCD表示評価をし, 表示品質に問題がないことをご確認の上, ご利用ください。

(3) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。

LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18 - 4 LCDクロック制御レジスタ0 (LCDC0) のフォーマット

アドレス：FFB2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	LCDC6	LCDC5	LCDC4	0	LCDC2	LCDC1	LCDC0

LCDC6	LCDC5	LCDC4	LCDソース・クロック (f_{LCD}) の選択
0	0	0	f_{XT} (32.768kHz)
0	0	1	$f_{PRS}/2^6$
0	1	0	$f_{PRS}/2^7$
0	1	1	$f_{PRS}/2^8$
1	0	0	$f_{RL}/2^3$
上記以外			設定禁止

LCDC2	LCDC1	LCDC0	LCDクロック (LCDCL) の選択
0	0	0	$f_{LCD}/2^4$
0	0	1	$f_{LCD}/2^5$
0	1	0	$f_{LCD}/2^6$
0	1	1	$f_{LCD}/2^7$
1	0	0	$f_{LCD}/2^8$
1	0	1	$f_{LCD}/2^9$
上記以外			設定禁止

注意 ビット3, 7には，必ず0を設定してください。

- 備考**1. f_{XT} : XT1クロック発振周波数
 2. f_{PRS} : 周辺ハードウェア・クロック周波数
 3. f_{RL} : 低速内蔵発振クロック周波数

(4) ポート・ファンクション・レジスタ1 (PF1) (78K0/LC3, 78K0/LD3のみ)

P13/KR4端子の端子機能を設定するレジスタです。

セグメント・キー・スキャン入力端子として使用する場合は、PF13 = 0を設定してください。

PF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 5 ポート・ファンクション・レジスタ1 (PF1) のフォーマット

アドレス : FF20H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PF1	0	0	0	0	PF13	0	0	0

(a) 78K0/LC3

PF13	ポート (P13), キー・スキャン入力 (KR4), UART0, UART6出力の指定
0	P13またはKR4として使用
1	TxD0またはTxD6として使用

(b) 78K0/LD3

PF13	ポート (P13), CSI10, キー・スキャン入力 (KR4), UART0, UART6出力の指定
0	P13またはSO10またはKR4として使用
1	TxD0またはTxD6として使用

(5) ポート・ファンクション・レジスタ2 (PF2)^注

P20-P27端子をポート端子（セグメント出力端子以外）/セグメント出力端子のどちらで使用するかを設定するレジスタです。

PF2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 78K0/LC3, 78K0/LD3, 78K0/LE3の μ PD78F044x, 78F045x, 78K0/LF3の78F047x, 78F048xのみ。

図18-6 ポート・ファンクション・レジスタ2 (PF2) のフォーマット

(a) 78K0/LC3, 78K0/LD3

アドレス：FFB5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF2	0	0	PF25	PF24	PF23	PF22	PF21	PF20

(b) 78K0/LE3 (μ PD78F044x, 78F045xのみ), 78K0/LF3 (μ PD78F047x, 78F048xのみ)

アドレス：FFB5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PF2	PF27	PF26	PF25	PF24	PF23	PF22	PF21	PF20

PF2n	ポート/セグメント出力の指定
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

備考 n = 0-7

(6) ポート・ファンクション・レジスタALL (PFALL)

ポート8-11, ポート13-15の端子をポート端子 (セグメント出力端子以外) / セグメント出力端子のどちらで使用するかを設定するレジスタです。

PFALLは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図18 - 7 ポート・ファンクション・レジスタALL (PFALL) のフォーマット

(a) 78K0/LC3

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	0	PF11ALL	PF10ALL	0	0

(b) 78K0/LD3, 78K0/LE3

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	0	PF11ALL	PF10ALL	0	PF08ALL

(c) 78K0/LF3

アドレス : FFB6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF15ALL	PF14ALL	PF13ALL	PF11ALL	PF10ALL	PF09ALL	PF08ALL

PFnALL	ポート/セグメント出力の指定
0	ポート (セグメント出力以外) として使用
1	セグメント出力として使用

備考 n = 08-11, 13-15

(7) キー・リターン・モード・レジスタ (KRM)

セグメント・キー・スキャン機能を使用する場合に、セグメント・キー・スキャン入力端子として使用する端子を指定するレジスタです。

セグメント・キー・スキャン機能を使用しない場合は、**図22-2 キー・リターン・モード・レジスタ (KRM) のフォーマット**を参照してください。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-8 キー・リターン・モード・レジスタ (KRM) のフォーマット

(a) 78K0/LC3

アドレス：FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	KRM4	KRM3	0	0	KRM0

(b) 78K0/LD3, 78K0/LE3

アドレス：FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	KRM4	KRM3	KRM2	KRM1	KRM0

(c) 78K0/LF3

アドレス：FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	セグメント・キー・スキャン入力端子の設定 (n = 0-7)
0	セグメント・キー・スキャン入力端子として使用しない
1	セグメント・キー・スキャン入力端子として使用する

- 注意1. KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。
2. セグメント・キー・スキャン入力端子として使用しない (KRMn = 0) とした場合は、対応する端子を通常ポートとして使用可能です。
3. P40/KR0/V_{LC3}端子をセグメント・キー・スキャン機能 (KR0) で使用する場合、LCD表示モード・レジスタ (LCDM) で1/4バイアス法以外に設定してください。1/4バイアス法に設定した場合は、P40/KR0/V_{LC3}端子はV_{LC3}として機能します。

(8) ポート・モード・レジスタ1 (PM1) (78K0/LC3, 78K0/LD3のみ)

ポート1の入力/出力を1ビット単位で設定するレジスタです。

セグメント・キー・スキャン機能を使用する場合は、P1n端子をキー・スキャン入力端子とするために、使用するポートのポート・モード・レジスタに1 (PM1n = 1) を設定してください。

PM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18-9 ポート・モード・レジスタ1 (PM1) のフォーマット

(a) 78K0/LC3

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	1	1

(b) 78K0/LD3

アドレス : FF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	PM11	1

PM1n	P1n端子の入出力モードの選択 (n = 1-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(9) ポート・モード・レジスタ4 (PM4)

ポート4の入力/出力を1ビット単位で設定するレジスタです。

セグメント・キー・スキャン機能を使用する場合は、P4n端子をキー・スキャン入力端子とするために、使用するポートのポート・モード・レジスタに1 (PM4n = 1) を設定してください。

PM4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18 - 10 ポート・モード・レジスタ4 (PM4) のフォーマット

(a) 78K0/LC3

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	1	1	PM40

(b) 78K0/LD3

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	1	PM41	PM40

(c) 78K0/LE3

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40

(d) 78K0/LF3

アドレス : FF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(10) プルアップ抵抗オプション・レジスタ1 (PU1) (78K0/LC3, 78K0/LD3のみ)

P11-P13の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

セグメント・キー・スキャン機能を使用する場合は、P1n端子をキー・スキャン入力端子とするために、使用するポートのプルアップ抵抗オプション・レジスタに0 (PU1n = 0) を設定してください。

外部プルアップ抵抗は、LCD表示出力に影響を及ぼすため、使用できません。

PU1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 11 プルアップ抵抗オプション・レジスタ1 (PU1) のフォーマット

(a) 78K0/LC3

アドレス : FF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU1	0	0	0	0	PU13	PU12	0	0

(b) 78K0/LD3

アドレス : FF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU1	0	0	0	0	PU13	PU12	PU11	0

PU1n	PU1nの内蔵プルアップ抵抗の選択 (n = 1-3)	
	セグメント・キー・スキャン機能を使用する端子	セグメント・キー・スキャン機能を使用しない端子
0	セグメント・キー・スキャン出力期間のみ、内蔵プルアップ抵抗を接続する	内蔵プルアップ抵抗を接続しない
1	設定禁止	内蔵プルアップ抵抗を接続する

(11) プルアップ抵抗オプション・レジスタ4 (PU4)

P40-P47の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

セグメント・キー・スキャン機能を使用する場合は、P4n端子をキー・スキャン入力端子とするために、使用するポートのプルアップ抵抗オプション・レジスタに0 (PU4n = 0) を設定してください。

外部プルアップ抵抗は、LCD表示出力に影響を及ぼすため、使用できません。

PU4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 12 プルアップ抵抗オプション・レジスタ4 (PU4) のフォーマット

(a) 78K0/LC3

アドレス : FF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	0	0	PU40

(b) 78K0/LD3

アドレス : FF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	0	PU41	PU40

(c) 78K0/LE3

アドレス : FF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	0	0	0	PU44	PU43	PU42	PU41	PU40

(d) 78K0/LF3

アドレス : FF34H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40

PU4n	PU4nの内蔵プルアップ抵抗の選択 (n = 0-7)	
	セグメント・キー・スキャン機能を使用する端子	セグメント・キー・スキャン機能を使用しない端子
0	セグメント・キー・スキャン出力期間のみ、内蔵プルアップ抵抗を接続する	内蔵プルアップ抵抗を接続しない
1	設定禁止	内蔵プルアップ抵抗を接続する

(12) ポート・レジスタ14 (P14)

セグメント・キー・スキャン機能を使用する場合に、ビット0-3にてKS0-KS3出力の前半の制御、ビット4-7にてKS0-KS3出力の後半の制御を行うレジスタです。

P14n端子をセグメント・キー・スキャン出力として使用する場合、P14nビットとPK14nビットで制御します。

セグメント・キー・スキャン機能を使用しない場合は、4.3 **ポート機能を制御するレジスタ (2) ポート・レジスタ (Pxx)** を参照してください。

P14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-13 ポート・レジスタ14 (P14) のフォーマット

アドレス: FF0EH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
P14	PK143	PK142	PK141	PK140	P143	P142	P141	P140
P140-P143		KS0-KS3出力の前半の制御						
0		ロウ・レベル出力						
1		ハイ・レベル出力						
PK140-PK143		KS0-KS3出力の後半の制御						
0		ロウ・レベル出力						
1		ハイ・レベル出力						

(13) ポート・レジスタ15 (P15)

セグメント・キー・スキャン機能を使用する場合に、ビット0-3にてKS4-KS7出力の前半の制御、ビット4-7にてKS4-KS7出力の後半の制御を行うレジスタです。

P15n端子をセグメント・キー・スキャン出力として使用する場合、P15nビットとPK15nビットで制御します。

セグメント・キー・スキャン機能を使用しない場合は、4.3 **ポート機能を制御するレジスタ (2) ポート・レジスタ (Pxx)** を参照してください。

P15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-14 ポート・レジスタ15 (P15) のフォーマット

アドレス: FF0FH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
P15	PK153	PK152	PK151	PK150	P153	P152	P151	P150
P150-P153		KS4-KS7出力の前半の制御						
0		ロウ・レベル出力						
1		ハイ・レベル出力						
PK150-PK153		KS4-KS7出力の後半の制御						
0		ロウ・レベル出力						
1		ハイ・レベル出力						

18.4 LCDコントローラ/ドライバの設定

18.4.1 セグメント・キー・スキャン機能を使用しない場合 (KSON = 0) の設定方法

セグメント・キー・スキャン機能を使用しない場合 (KSON = 0) のLCDコントローラ/ドライバの設定は、次のように行ってください。

内部ゲート昇圧 (LCD表示モード・レジスタ (LCDM) のビット4) をセット (VAON = 1) する[※]

MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) で抵抗分割方式を設定する

(MDSET0 = 0 : 外部抵抗分割方式, MDSET0 = 1 : 内部抵抗分割方式)

ポート・ファンクション・レジスタ (PF2mビット, PFnALLビット) にセグメント出力として使用する端子を設定する

LCD表示用RAMに初期値を設定する

LCDM0-LCDM2 (LCD表示モード・レジスタ (LCDM) のビット0-2) で時分割数を設定する

LCDクロック制御レジスタ0 (LCDC0) でLCDソース・クロックとLCDクロックを設定する

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をセット (SCOC = 1) する。

すべてのセグメント端子, コモン端子から非選択信号が出力され, 非表示状態となる

LCDON (LCDMのビット7) をセット (LCDON = 1) により, 各データ・メモリに対応した出力を開始する

以後, 表示内容に応じてデータ・メモリにデータを設定してください。

注 次の条件でVAONを設定してください。

(スタティック表示時)

・ 2.0 V V_{LCD} V_{DD} 5.5 V時 : VAON = 0

・ 1.8 V V_{LCD} V_{DD} 3.6 V時 : VAON = 1

(1/3バイアス時)

・ 2.5 V V_{LCD} V_{DD} 5.5 V時 : VAON = 0

・ 1.8 V V_{LCD} V_{DD} 3.6 V時 : VAON = 1

(1/2バイアス時, 1/4バイアス時)

・ 2.7 V V_{LCD} V_{DD} 5.5 V時 : VAON = 0

・ 1.8 V V_{LCD} V_{DD} 3.6 V時 : VAON = 1

備考1. 内部抵抗分割方式を使用時に, 表示オフ状態にして内部抵抗を非接続にする場合は, 次の手順に従ってください。

LCDON (LCDMのビット7) をクリア (LCDON = 0) する。

すべてのセグメント端子, コモン端子から非選択信号が出力され, 非表示状態となる

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をクリア (SCOC = 0) する。

すべてのセグメント端子, コモン端子からグランド・レベルが出力される

MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) = (0, 0) とし,

抵抗分割方式を外部抵抗分割方式に設定する。

2. m = 0-7, n = 08-11, 13-15

注意 8COMなどCOM数の多いモードで表示する場合, パネルの特性によっては, V_{LCD} が低電圧の条件下で十分なコントラストを得られない場合があります。お客様において, 十分なLCD表示評価をし, 表示品質に問題がないことをご確認の上, ご利用ください。

18.4.2 セグメント・キー・スキャン機能を使用する場合 (KSON = 1) の設定方法

セグメント・キー・スキャン機能を使用する場合 (KSON = 1) のLCDコントローラ/ドライバの設定は、次のように行ってください。

内部ゲート昇圧 (LCD表示モード・レジスタ (LCDM) のビット4) をセット (VAON = 1) する^{注1}
 MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) で抵抗分割方式を設定する
 (MDSET0 = 0 : 外部抵抗分割方式, MDSET0 = 1 : 内部抵抗分割方式) ,
 KSON (LCDモード・レジスタ (LCDMD) のビット0) をセット (KSON=1) する
 ポート・ファンクション・レジスタ (PF2mビット, PFnALLビット) にセグメント出力として使用する端子を設定する。

また, P13/KR4端子をセグメント・キー・スキャン入力端子として使用する場合は, ポート・ファンクション・レジスタ1 (PF1) に00H (PF13 = 0) を設定する^{注2}

ポート・モード・レジスタ1 (PM1) およびポート・モード・レジスタ4 (PM4) で, キー・スキャン入力端子^{注3}として使用する端子を, PM1p = 1, PM4m = 1 (入力モード) に設定する

プルアップ抵抗オプション・レジスタ1 (PU1) およびプルアップ抵抗オプション・レジスタ4 (PU4) で, キー・スキャン入力端子^{注3}として使用する端子を, PU1p = 0, PU4m = 0 (セグメント・キー・スキャン出力期間のみ, 内蔵プルアップ抵抗を接続する) に設定する

キー・リターン・モード・レジスタ (KRM) で, セグメント・キー・スキャン入力端子として使用する端子をKRMm = 1に設定する^{注4}

LCD表示用RAMに初期値を設定する

P14, P15にセグメント・キー・スキャン出力の初期値を設定する

LCDM0-LCDM2 (LCD表示モード・レジスタ (LCDM) のビット0-2) で時分割数を設定する

LCDクロック制御レジスタ0 (LCDC0) でLCDソース・クロックとLCDクロックを設定する

SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をセット (SCOC= 1) する。

すべてのセグメント端子, コモン端子から非選択信号が出力され, 非表示状態となる

LCDON (LCDMのビット7) をセット (LCDON = 1) により, 各データ・メモリに対応した出力を開始する

以後, 表示内容に応じてデータ・メモリにデータの設定, セグメント・キー・スキャン出力内容に応じてポート・レジスタ (P14, P15) にセグメント・キー・スキャン出力の設定を行ってください。

注1. 次の条件でVAONを設定してください。

(1/3バイアス時)

・ 2.5 V $V_{LCD}=V_{DD}$ 5.5 V時 : VAON = 0

・ 1.8 V $V_{LCD}=V_{DD}$ 3.6 V時 : VAON = 1

(1/2バイアス時, 1/4バイアス時)

・ 2.7 V $V_{LCD}=V_{DD}$ 5.5 V時 : VAON = 0

・ 1.8 V $V_{LCD}=V_{DD}$ 3.6 V時 : VAON = 1

2. 78K0/LC3, 78K0/LD3のみ。

3. セグメント・キー・スキャン機能を使用する場合, 必ずポート1, ポート4をセグメント・キー・スキャン入力端子とし, 使用するポートのプルアップ抵抗オプション・レジスタをPU1p = 0, PU4m = 0 (セグメント・キー・スキャン出力期間のみ, 内蔵プルアップ抵抗を接続する) に設定してください。

外部プルアップ抵抗は, LCD表示出力に影響を及ぼすため, 使用できません。

注4. KRMを変更すると、割り込み要求フラグがセットされる場合があります。したがって、あらかじめ割り込みを禁止してからKRMレジスタを変更し、割り込み要求フラグをクリアしてから、割り込みを許可してください。

備考1. 内部抵抗分割方式を使用時に、表示オフ状態にして内部抵抗を非接続にする場合は、次の手順に従ってください。

LCDON (LCDMのビット7) をクリア (LCDON = 0) する。

すべてのセグメント端子、コモン端子から非選択信号が出力され、非表示状態となる
SCOC (LCD表示モード・レジスタ (LCDM) のビット6) をクリア (SCOC = 0) する。

すべてのセグメント端子、コモン端子からグランド・レベルが出力される
MDSET0, MDSET1 (LCDモード・レジスタ (LCDMD) のビット4, 5) = (0, 0) とし、
抵抗分割方式を外部抵抗分割方式に設定する。

2. $m = 0-7, n = 08-11, 13-15, p = 1-3$

注意 8COMなどCOM数の多いモードで表示する場合、パネルの特性によっては、 V_{LCo} が低電圧の条件で十分なコントラストを得られない場合があります。お客様において、十分なLCD表示評価をし、表示品質に問題がないことをご確認の上、ご利用ください。

18.5 LCD表示データ・メモリ

LCD表示データ・メモリは、製品ごとに以下の番地にマッピングしています。

- ・ 78K0/LC3 : FA40H-FA55H
- ・ 78K0/LD3 : FA40H-FA57H
- ・ 78K0/LE3の μ PD78F044x, 78F045x : FA40H-FA5FH
- ・ 78K0/LE3の μ PD78F046x : FA40H-FA57H
- ・ 78K0/LF3の μ PD78F047x, 78F048x : FA40H-FA67H
- ・ 78K0/LF3の μ PD78F049x : FA40H-FA5FH

LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図18 - 15にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図18 - 15 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係

	b7	b6	b5	b4	b3	b2	b1	b0	
FA67H									SEG39
FA66H									SEG38
FA65H									SEG37
⋮									
FA45H									SEG5
FA44H									SEG4
FA43H	0	0	0	0					SEG3
FA42H	0	0	0	0					SEG2
FA41H	0	0	0	0					SEG1
FA40H	0	0	0	0					SEG0
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	

注意 FA40H-FA43Hの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

- 備考**
- 78K0/LC3 : SEG0-SEG21 (FA40H-FA55H)
 - 78K0/LD3 : SEG0-SEG23 (FA40H-FA57H)
 - 78K0/LE3の μ PD78F044x, 78F045x : SEG0-SEG31 (FA40H-FA5FH)
 - 78K0/LE3の μ PD78F046x : SEG0-SEG23 (FA40H-FA57H)
 - 78K0/LF3の μ PD78F047x, 78F048x : SEG0-SEG39 (FA40H-FA67H)
 - 78K0/LF3の μ PD78F049x : SEG0-SEG31 (FA40H-FA5FH)

18.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表18-3に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

セグメント・キー・スキャン出力機能を使用する場合（ $KSON = 1$ ）は、LCD出力一周期後に、1時分割分の期間セグメント・キー・スキャン出力を行います。その際のコモン信号は非表示出力となります。

なお、2時分割の場合のCOM2、COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、8時分割以外の場合のCOM4-COM7端子は、オープンまたはセグメント端子として使用してください。

表18-3 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック	→	→	→	→	注2	注2	注2	注2
2時分割 注1	→	→	オープン	オープン	注2	注2	注2	注2
3時分割 注1	→	→	→	オープン	注2	注2	注2	注2
4時分割 注1	→	→	→	→	注2	注2	注2	注2
8時分割 注1	→	→	→	→	→	→	→	→

注1. セグメント・キー・スキャン出力機能を使用する場合（ $KSON = 1$ ）は、LCD出力一周期後に1時分割分の期間、非表示出力を行います。

2. オープン、またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示期間中はLCD表示データ・メモリ（18.5 LCD表示データ・メモリ参照）に対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子に出力されます。

また、セグメント・キー・スキャン出力期間中はポート・レジスタ14, 15の設定値に対応しており、各ポート・レジスタのビット0-3はセグメント・キー・スキャン出力期間の前半、ビット4-7はセグメント・キー・スキャン出力期間の後半のタイミングに同期して読み出され、各ビットの内容が1ならハイ・レベル、0ならロウ・レベルがセグメント端子に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1-3、2時分割方式の場合のビット2, 3、3時分割方式の場合のビット3はLCD表示に使用しないため、表示以外の目的に使用できます。

なお、FA40H-FA43Hの上位4ビットは0固定となっています。

備考 搭載するセグメント端子は、製品により異なります。

・78K0/LC3 :	SEG0-SEG21
・78K0/LD3 :	SEG0-SEG23
・78K0/LE3の μ PD78F044x, 78F045x :	SEG0-SEG31
・78K0/LE3の μ PD78F046x :	SEG0-SEG23
・78K0/LF3の μ PD78F047x, 78F048x :	SEG0-SEG39
・78K0/LF3の μ PD78F049x :	SEG0-SEG31

(3) LCD表示信号出力期間中のコモン信号とセグメント信号の出力波形

LCD表示信号出力期間中のコモン信号とセグメント信号には、表18 - 4に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表18 - 4 LCD駆動電圧

(a) スタティック表示モード (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LC0}	V_{LC0}/V_{SS}
V_{LC0}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法 (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LC0}	V_{LC0}/V_{SS}
選択信号レベル	V_{LC0}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	$V_{LC1} = V_{LC2}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

(c) 1/3バイアス法 (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LC0}	V_{LC1}/V_{LC2}
選択信号レベル	V_{LC0}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{LC2}/V_{LC1}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

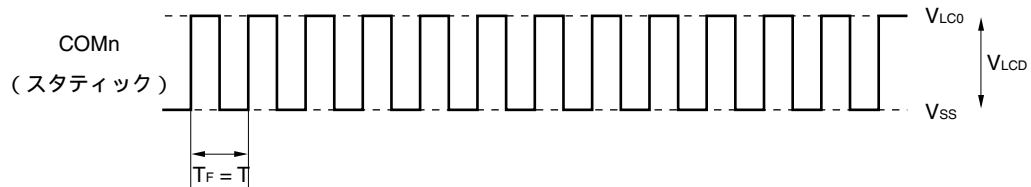
(d) 1/4バイアス法 (LCD表示信号出力期間中)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{LC0}/V_{SS}	V_{LC2}
選択信号レベル	V_{SS}/V_{LC0}	$+V_{LCD}/-V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$
非選択信号レベル	V_{LC1}/V_{LC3}	$+\frac{1}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$	$-\frac{1}{4}V_{LCD}/+\frac{1}{4}V_{LCD}$

図18 - 16にコモン信号波形を，図18 - 17にコモン信号とセグメント信号の電圧と位相を示します。

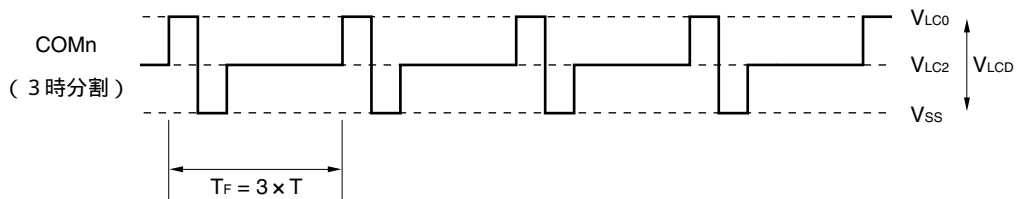
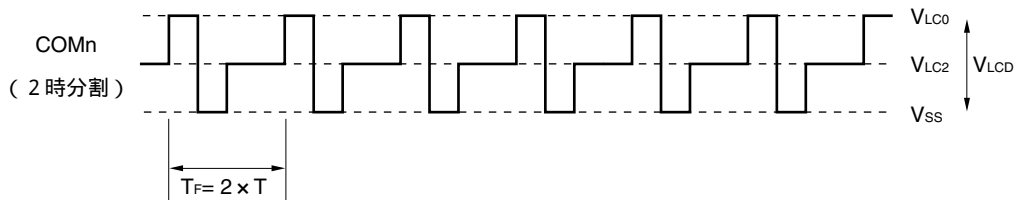
図18 - 16 コモン信号波形

(a) スタティック表示モード



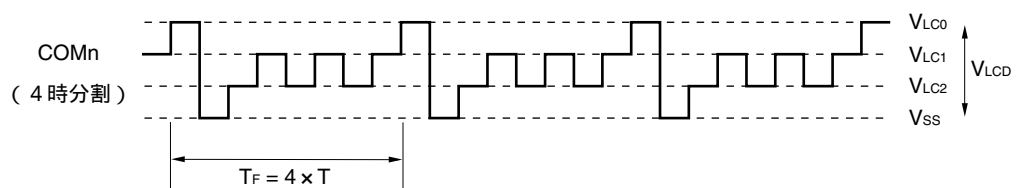
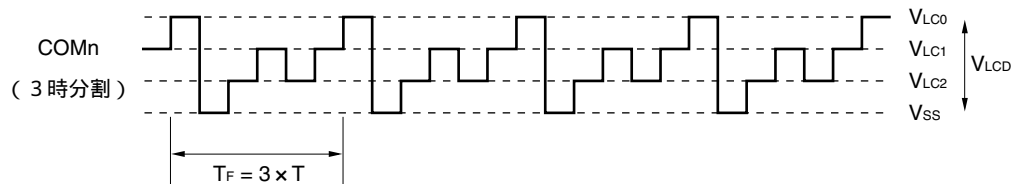
T : LCDクロックの1周期分 T_F : フレーム周波数

(b) 1/2バイアス法



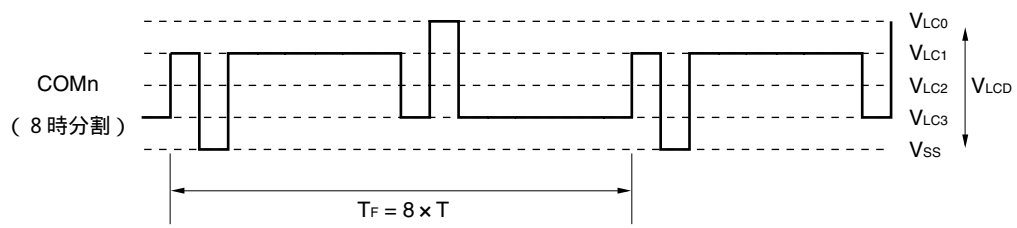
T : LCDクロックの1周期分 T_F : フレーム周波数

(c) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

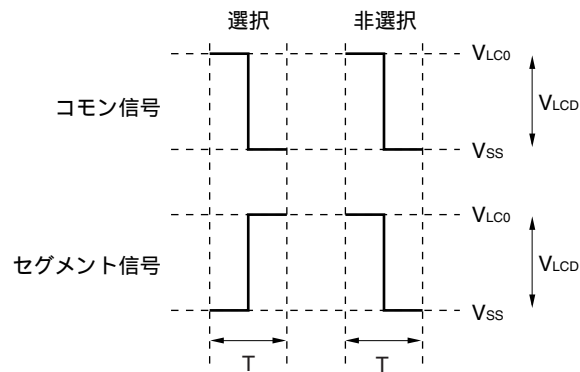
(d) 1/4バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

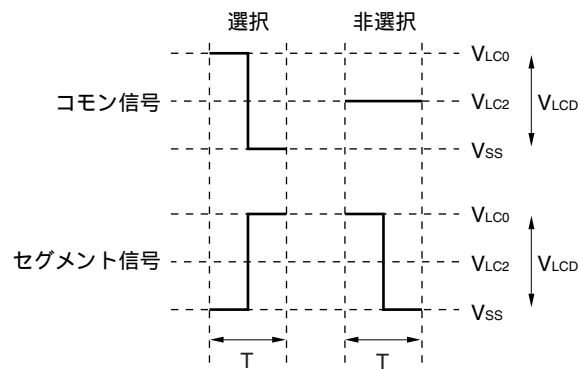
図18 - 17 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



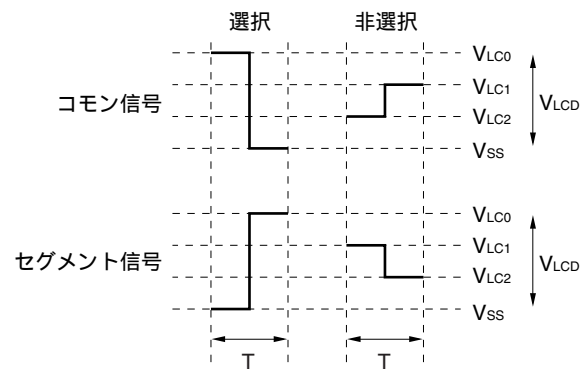
T : LCDクロックの1周期分

(b) 1/2バイアス法



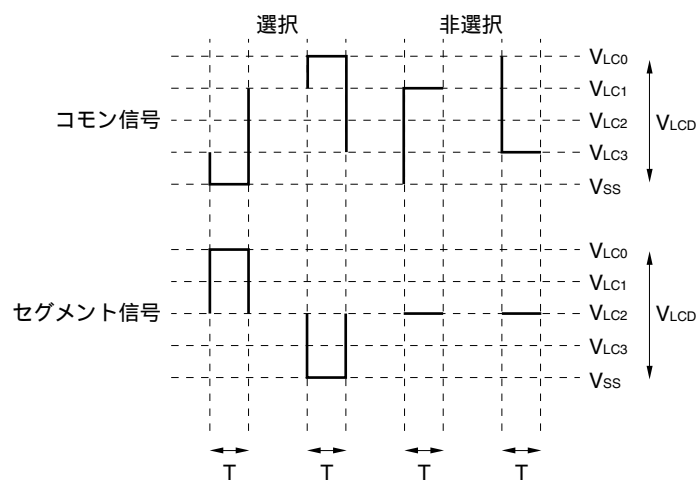
T : LCDクロックの1周期分

(c) 1/3バイアス法



T : LCDクロックの1周期分

(d) 1/4バイアス法



T : LCDクロックの1周期分

(4) セグメント・キー・スキャン出力期間中のコモン信号とセグメント信号の出力波形

セグメント・キー・スキャン出力期間中のコモン信号とセグメント信号には、表18 - 5に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表18 - 5 LCD駆動電圧

(a) 1/2バイアス法 (セグメント・キー・スキャン出力期間中)

キー・スキャン信号		P14x = P15x = 1	P14x = P15x = 0
		V_{DD}	V_{SS}
コモン信号			
非選択信号レベル	$V_{LC1} = V_{LC2}$	$+\frac{1}{2}V_{LCD}$	$-\frac{1}{2}V_{LCD}$

(b) 1/3バイアス法 (セグメント・キー・スキャン出力期間中)

キー・スキャン信号		P14x = P15x = 1	P14x = P15x = 0
		V_{DD}	V_{SS}
コモン信号			
非選択信号レベル	V_{LC2}/V_{LC1}	$+\frac{2}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$-\frac{1}{3}V_{LCD}/-\frac{2}{3}V_{LCD}$

(c) 1/4バイアス法 (セグメント・キー・スキャン出力期間中)

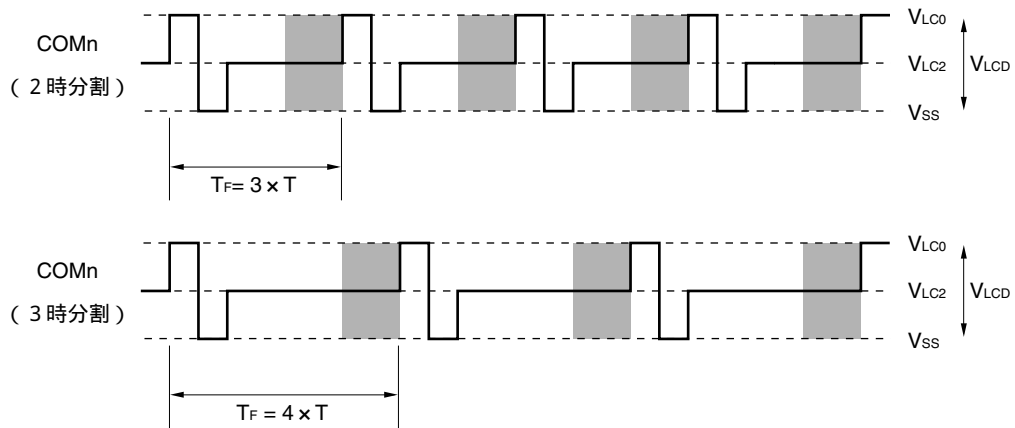
キー・スキャン信号		P14x = P15x = 1	P14x = P15x = 0
		V_{DD}	V_{SS}
コモン信号			
非選択信号レベル	V_{LC1}/V_{LC3}	$+\frac{1}{4}V_{LCD}/+\frac{3}{4}V_{LCD}$	$-\frac{3}{4}V_{LCD}/-\frac{1}{4}V_{LCD}$

備考 スタティック表示モードでは、セグメント・キー・スキャン出力機能は使用できません。

図18 - 18にコモン信号波形を，図18 - 19にコモン信号とセグメント信号の電圧と位相を示します。

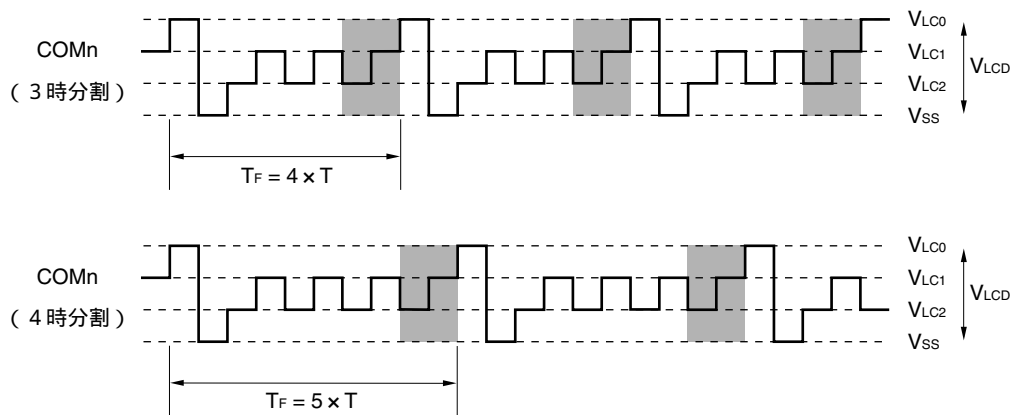
図18 - 18 コモン信号波形

(a) 1/2バイアス法



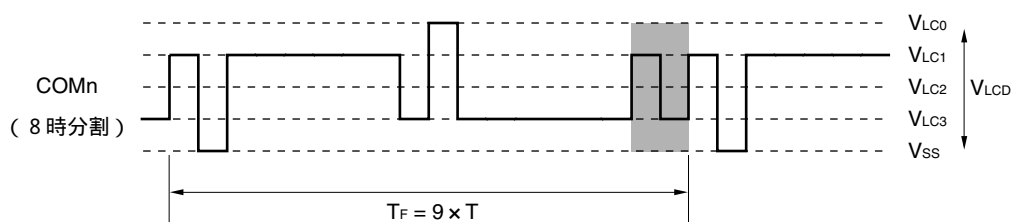
T : LCDクロックの1周期分 T_F : フレーム周波数 網掛け: セグメント・キー・スキャン出力期間

(b) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数 網掛け: セグメント・キー・スキャン出力期間

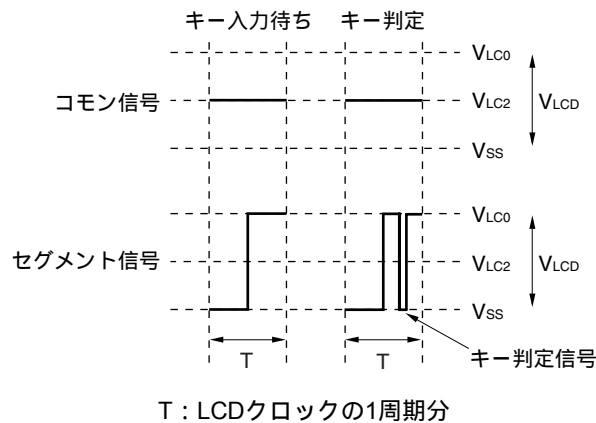
(c) 1/4バイアス法



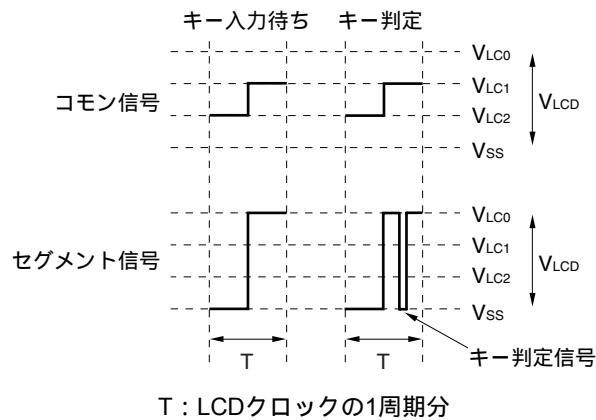
T : LCDクロックの1周期分 T_F : フレーム周波数 網掛け: セグメント・キー・スキャン出力期間

図18 - 19 コモン信号とセグメント信号の電圧と位相

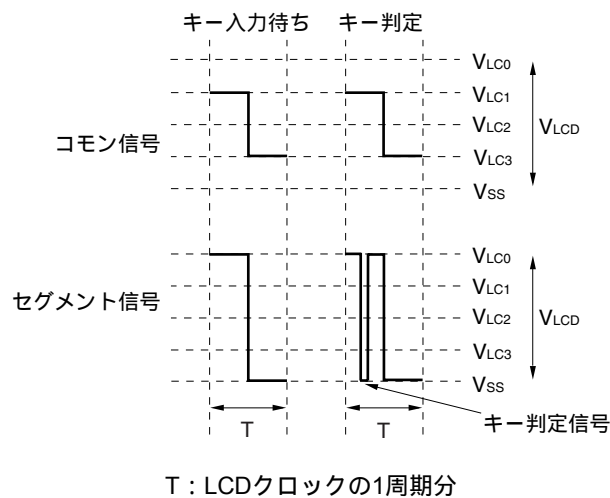
(a) 1/2バイアス法



(b) 1/3バイアス法



(c) 1/4バイアス法



備考 セグメント・キー・スキャン信号は、ポート・レジスタ14, 15 (P14, P15) で設定する必要があります。

18.7 表示モード

この節では、78K0/LF3を例に示します。

18.7.1 スタティック表示例

図18 - 21は、図18 - 20の表示パターンを持つスタティック方式の3桁のLCDパネルと78K0/LF3のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・メモリ (FA40H-FA57H) の内容はこれに対応しています。

ここでは2桁目の2. (2.) を例にとって説明します。図18 - 20の表示パターンに従って、COM0のコモン信号のタイミングで表18 - 6に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表18 - 6 選択、非選択電圧 (COM0)

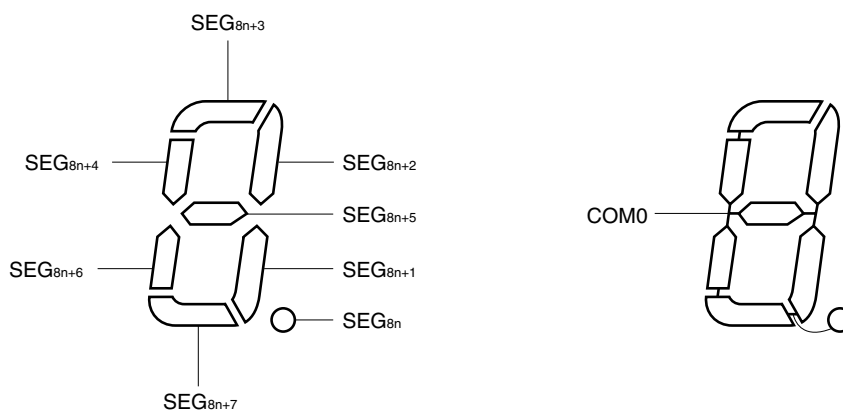
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・メモリ (FA48H-FA4FH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図18 - 22に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図18 - 20 スタティックLCDの表示パターンと電極結線



備考 n = 0-2

図18 - 21 スタティックLCDパネルの結線例

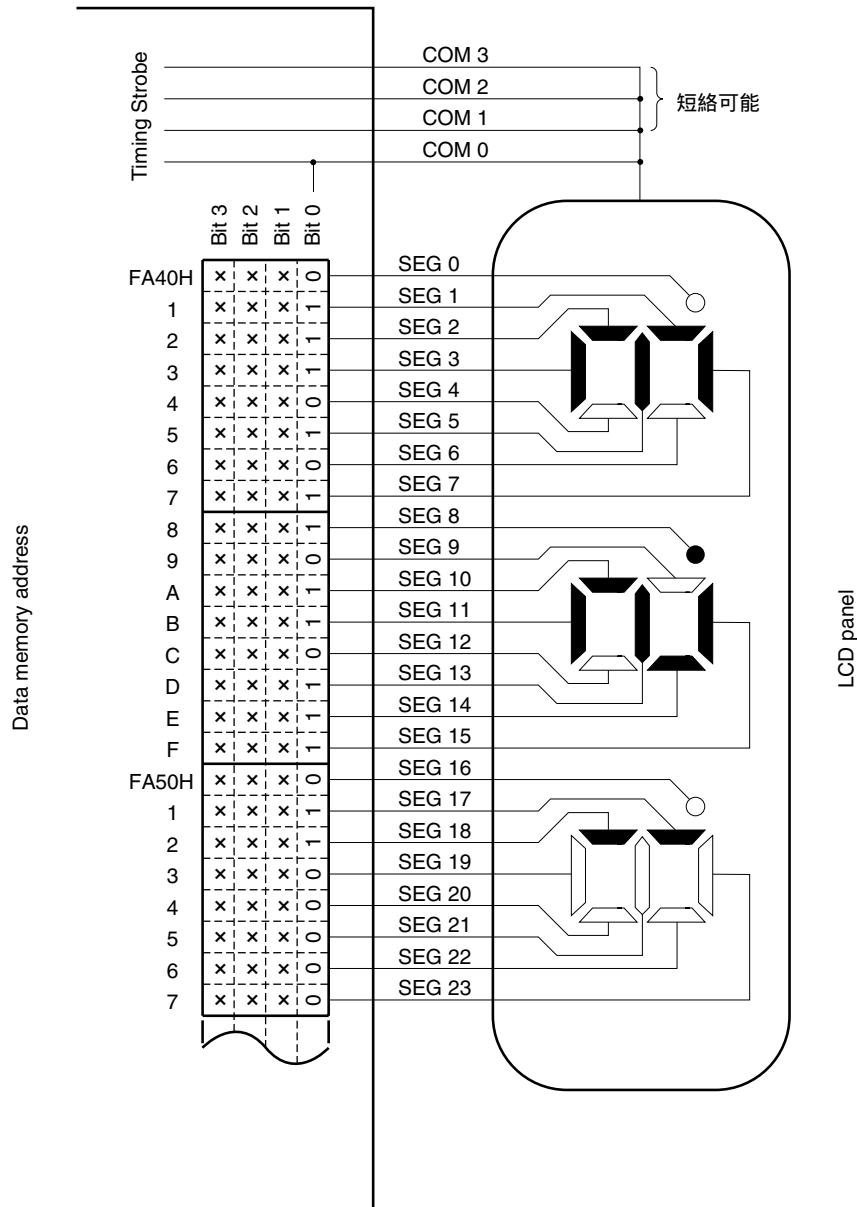
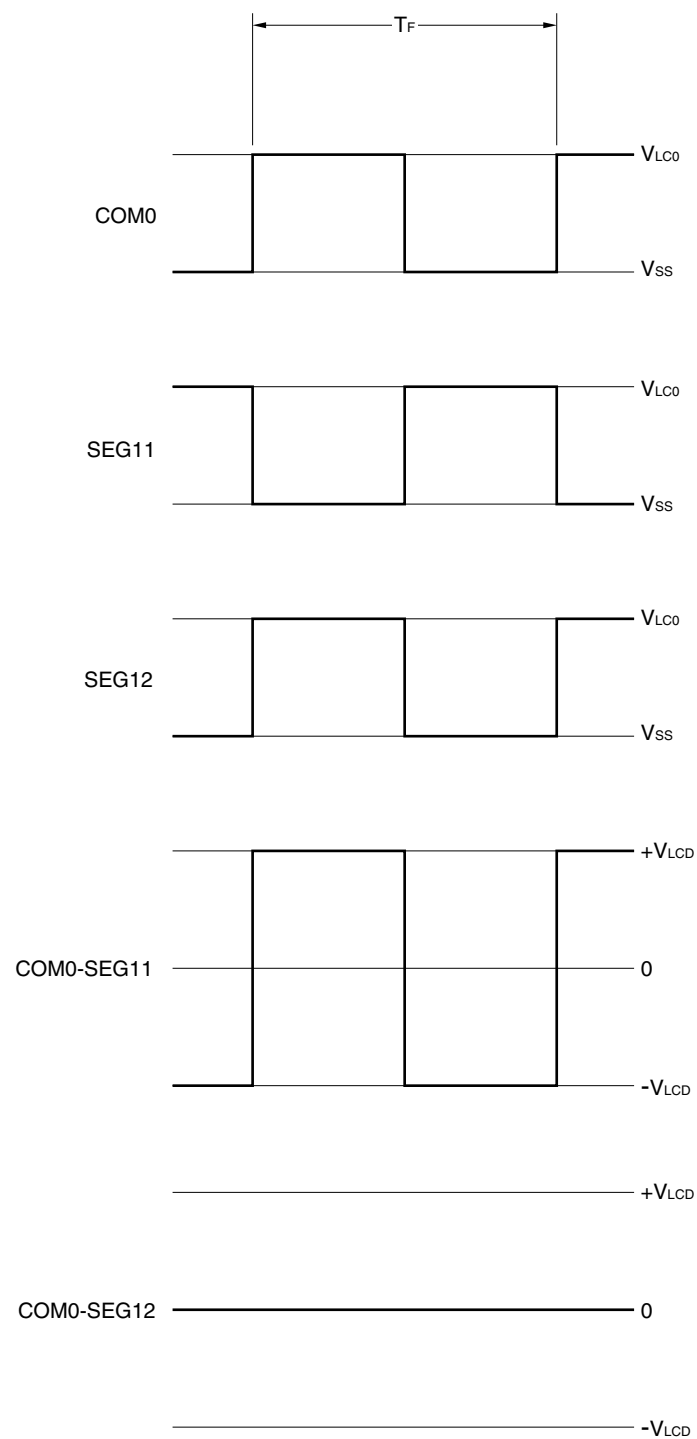


図18 - 22 スタティックLCD駆動波形例



18.7.2 2時分割表示例

図18 - 24は、図18 - 23の表示パターンを持つ2時分割方式の6桁LCDパネルと78K0/LF3のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0, COM1) との接続を示します。表示例は12345.6で、表示データ・メモリ (FA40H-FA57H) の内容はそれらに対応しています。

ここでは4桁目の3 (三) を例にとって説明します。図18 - 23の表示パターンに従って、COM0, COM1の各コモン信号のタイミングで表18 - 7に示すような選択、非選択電圧をSEG12-SEG15端子に出力する必要があります。

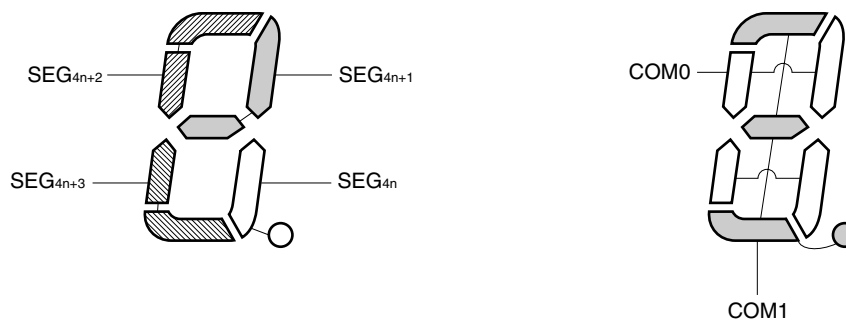
表18 - 7 選択、非選択電圧 (COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえばSEG15に対応する表示データ・メモリ (FA4FH番地) には、 $\times \times 10$ を用意すればよいことが分かります。

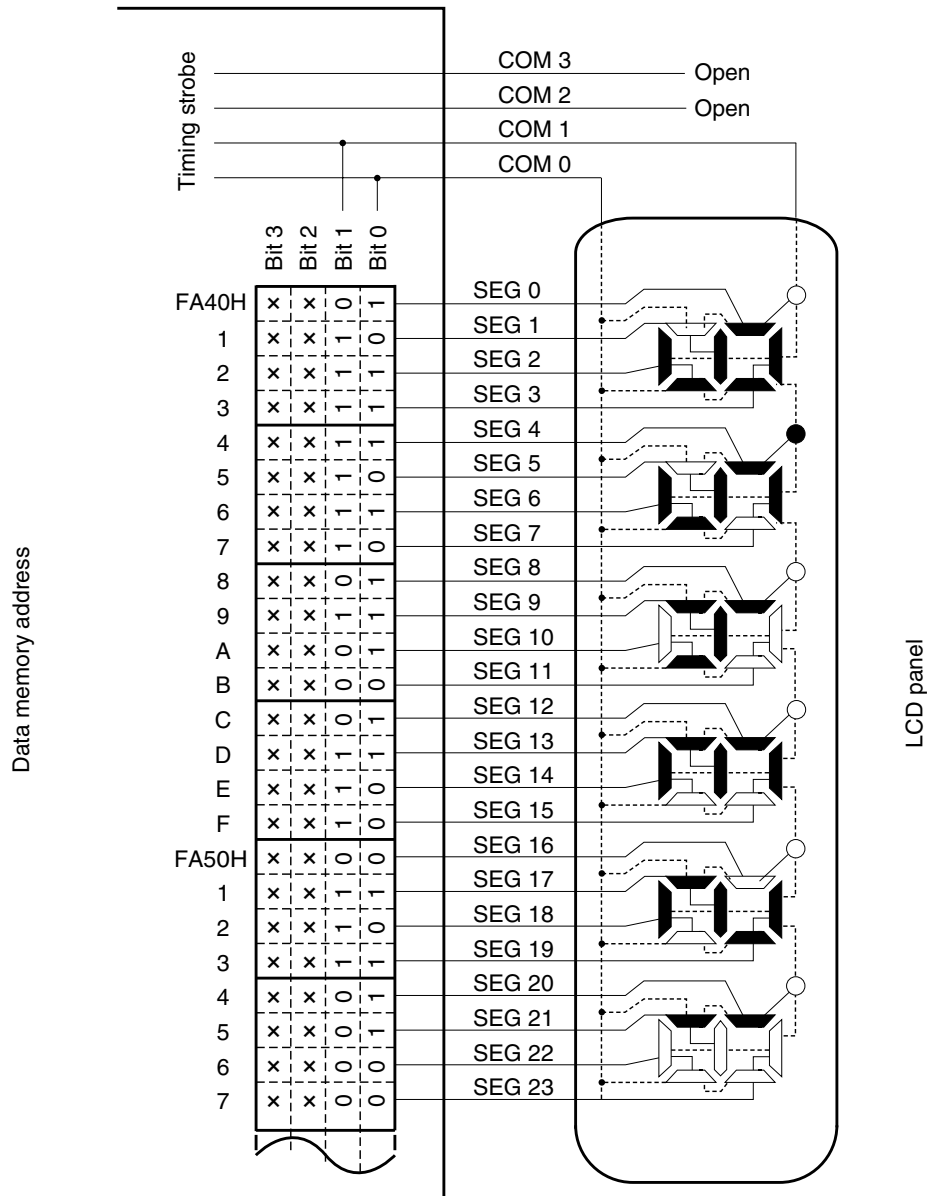
SEG15と各コモン信号間のLCD駆動波形例を図18 - 25に示します。COM1の選択タイミングでSEG15が選択電圧のときに、LCD点灯レベルである $+V_{Lcd} / -V_{Lcd}$ の交流矩形波が発生することが分かります。

図18 - 23 2時分割LCD表示パターンと電極結線



備考 n = 0-5

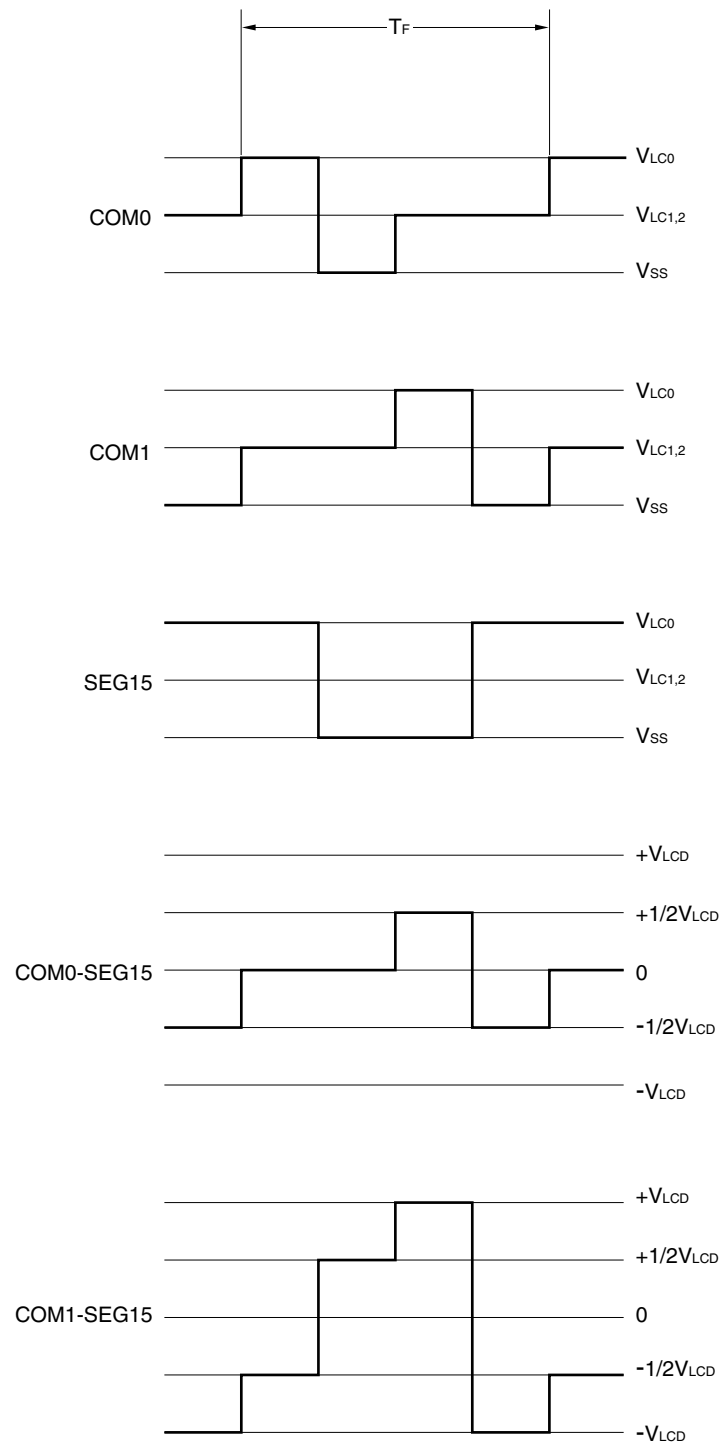
図18 - 24 2時分割LCDパネルの結線例



× : 2時分割表示のため、常に任意のデータをストア可能です。

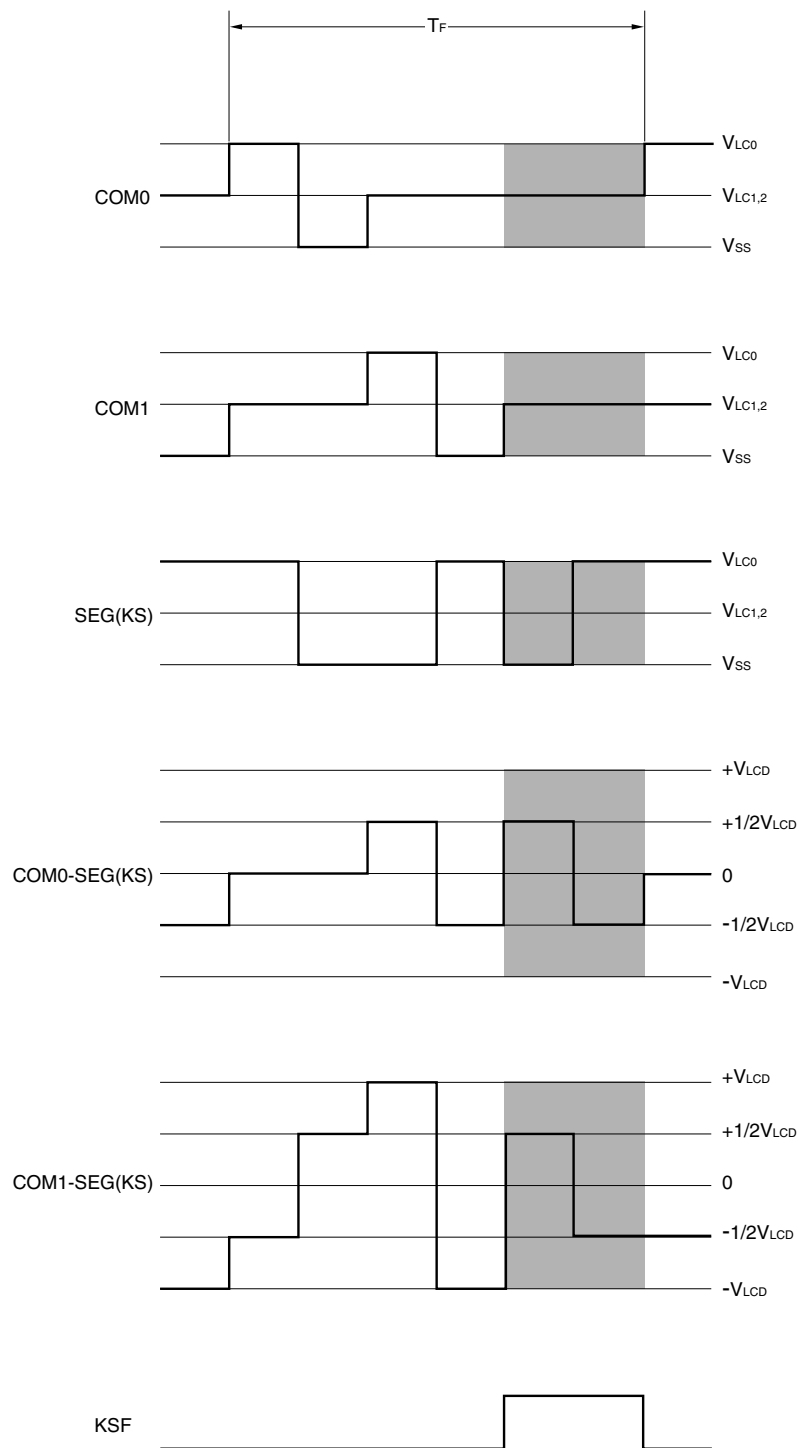
図18 - 25 2時分割LCD駆動波形例 (1/2バイアス法)

(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



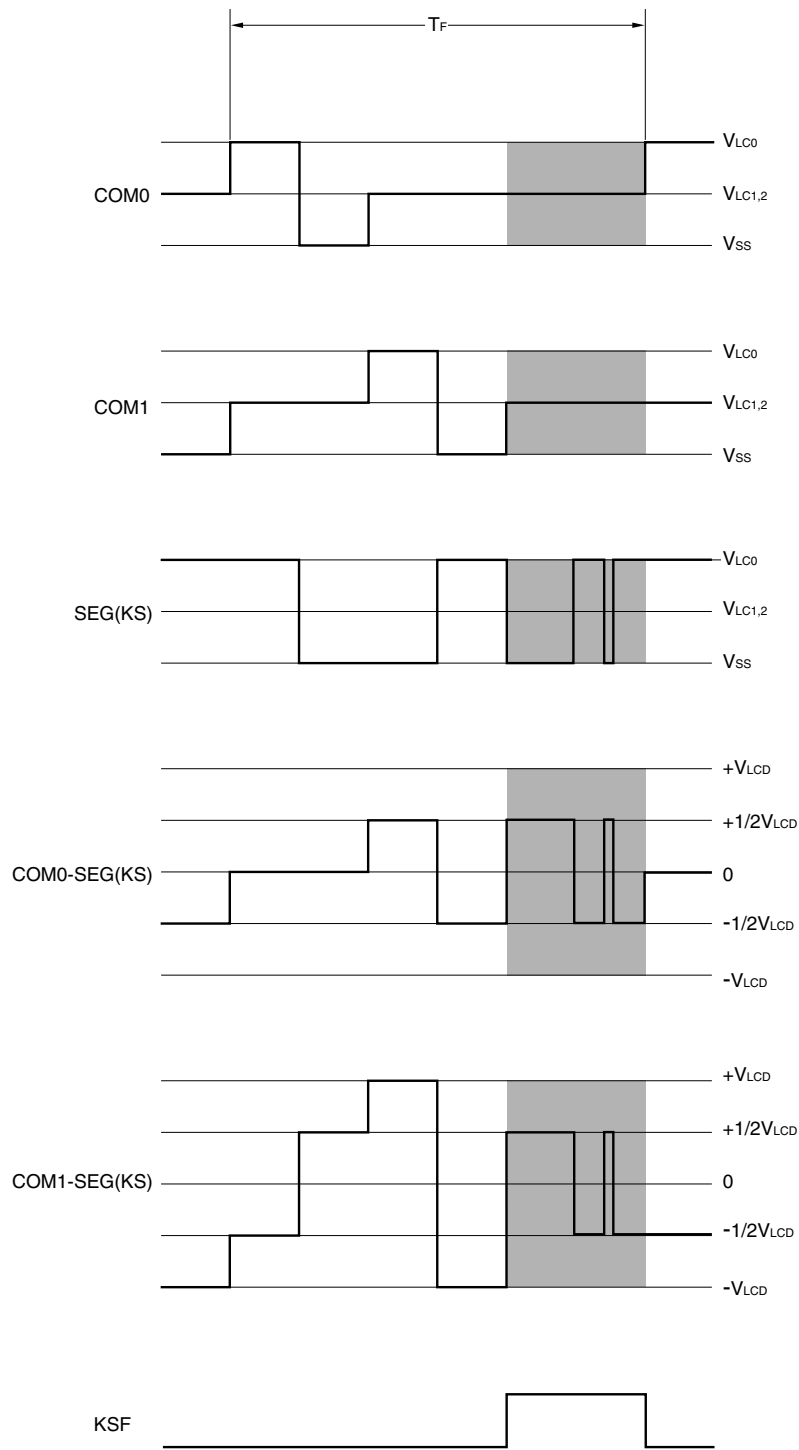
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

<キー入力待ち>



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際，前半と後半の関係が反転となる信号を出力することにより，LCDパネルの残留電荷をなくすことができます。

18.7.3 3時分割表示例

図18 - 27は、図18 - 26の表示パターンを持つ3時分割方式の8桁LCDパネルと78K0/LF3のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.78で、表示データ・メモリ (FA40H-FA57H番地) の内容はこれに対応しています。

ここでは3桁目の6. (6.) を例にとって説明します。図18 - 26の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表18 - 8に示すような選択・非選択電圧をSEG6-SEG8端子に出力する必要があります。

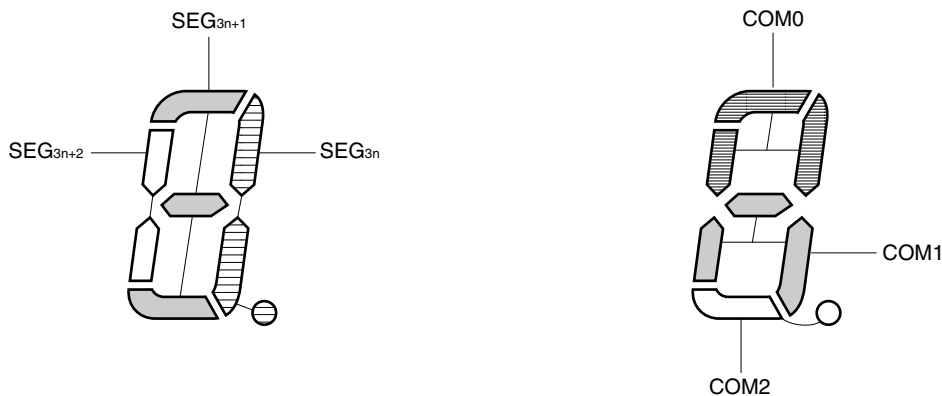
表18 - 8 選択、非選択電圧 (COM0-COM2)

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	

これによりSEG6に対応する表示データ・メモリ (FA46H番地) には、 $\times 110$ を用意すればよいことが分かります。

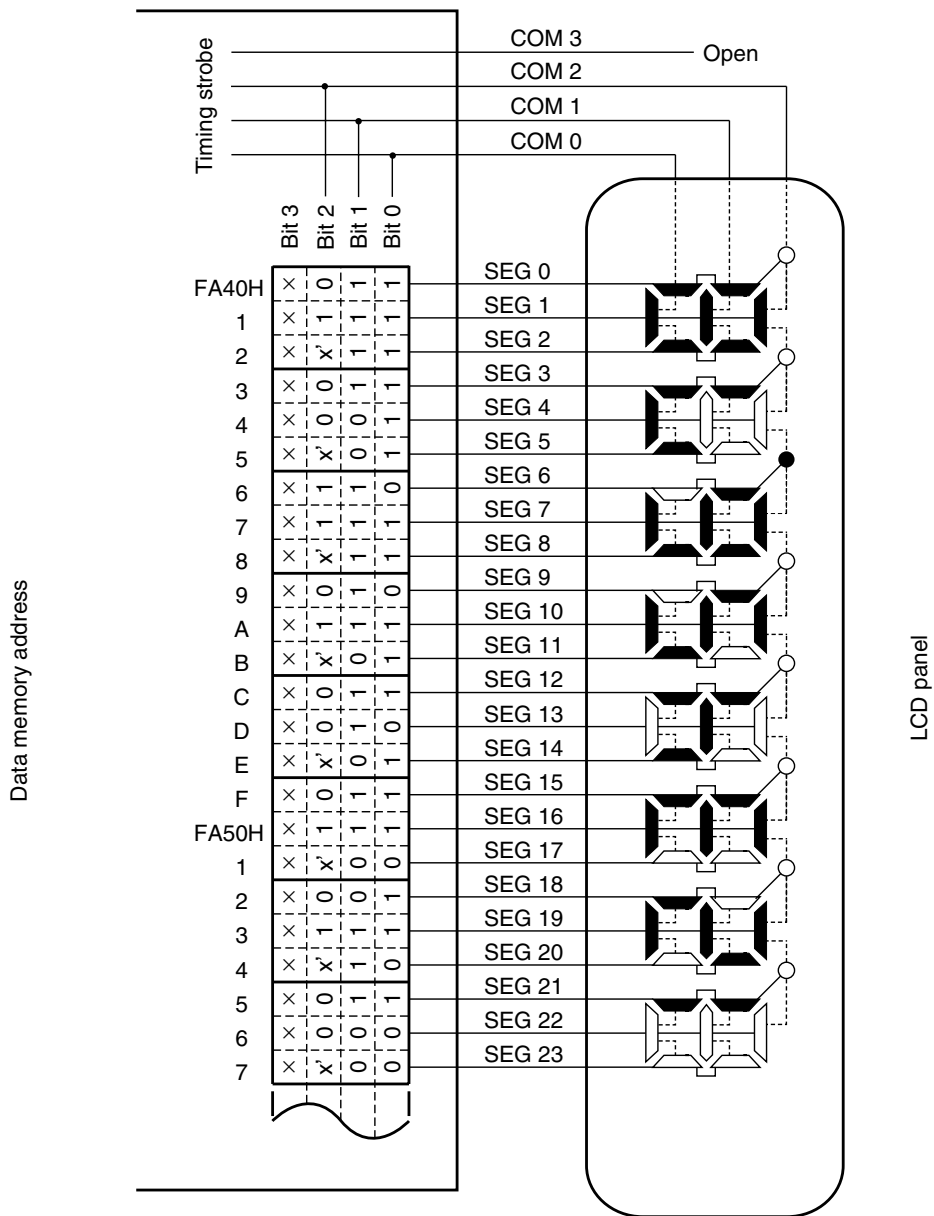
SEG6と各コモン信号間のLCD駆動波形例を図18 - 28 (1/2バイアス法)、図18 - 29 (1/3バイアス法) に示します。COM1の選択タイミングでSEG6が選択電圧のとき、およびCOM2の選択タイミングでSEG6が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図18 - 26 3時分割LCD表示パターンと電極結線



備考 $n = 0-7$

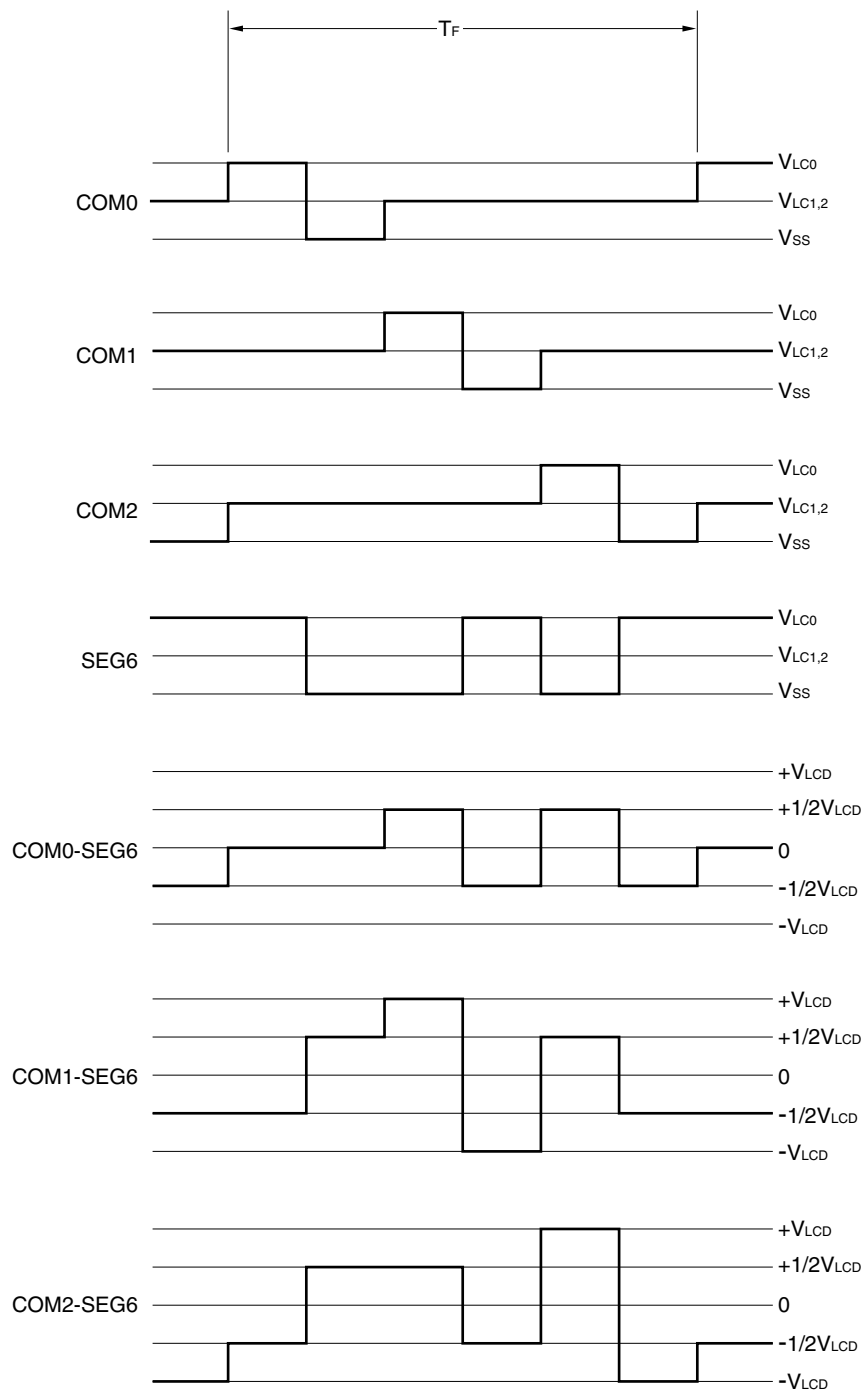
図18 - 27 3時分割LCDパネルの結線例



X : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
 x : 3時分割表示のため、常に任意のデータをストア可能です。

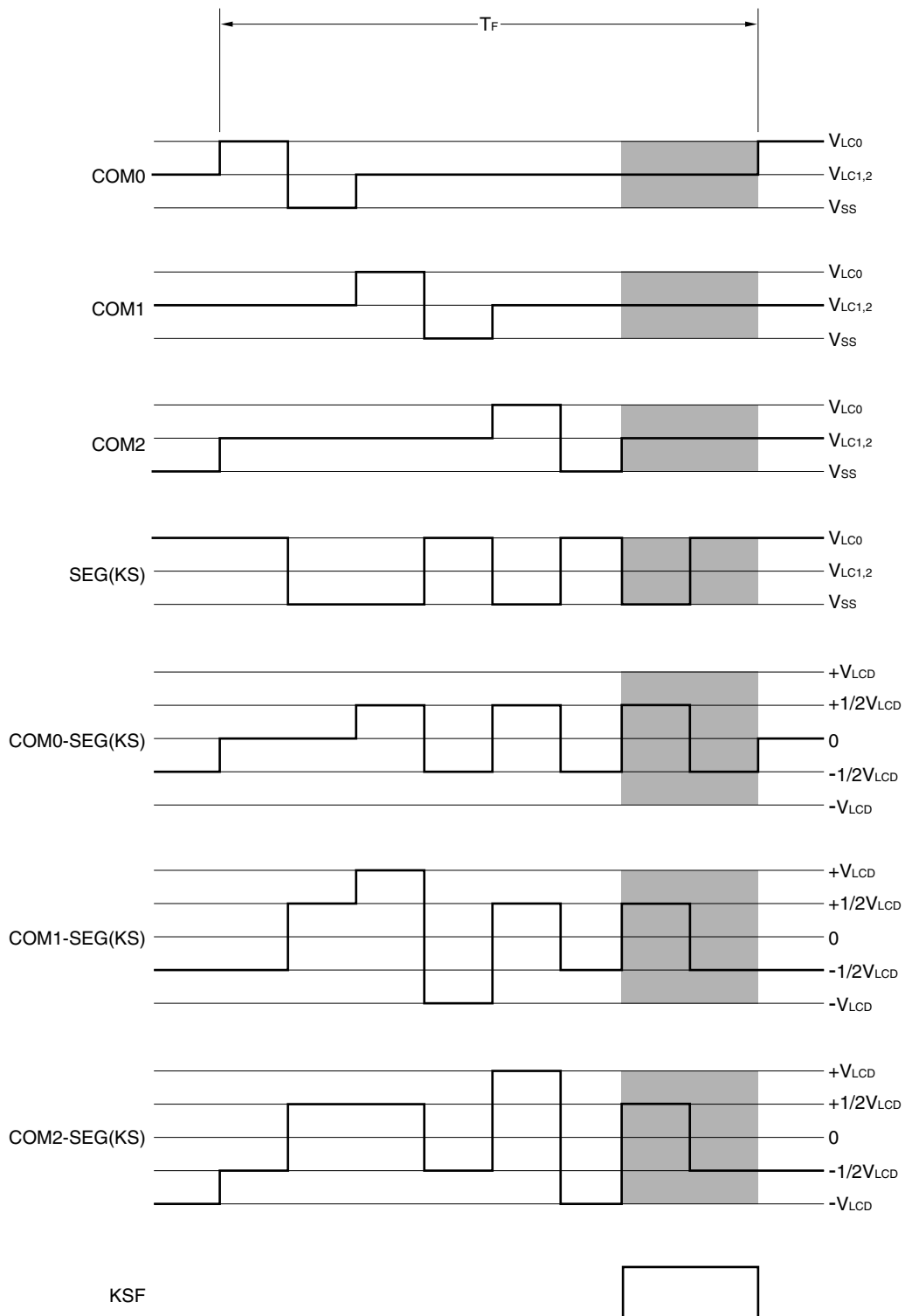
図18 - 28 3時分割LCD駆動波形例 (1/2バイアス法)

(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



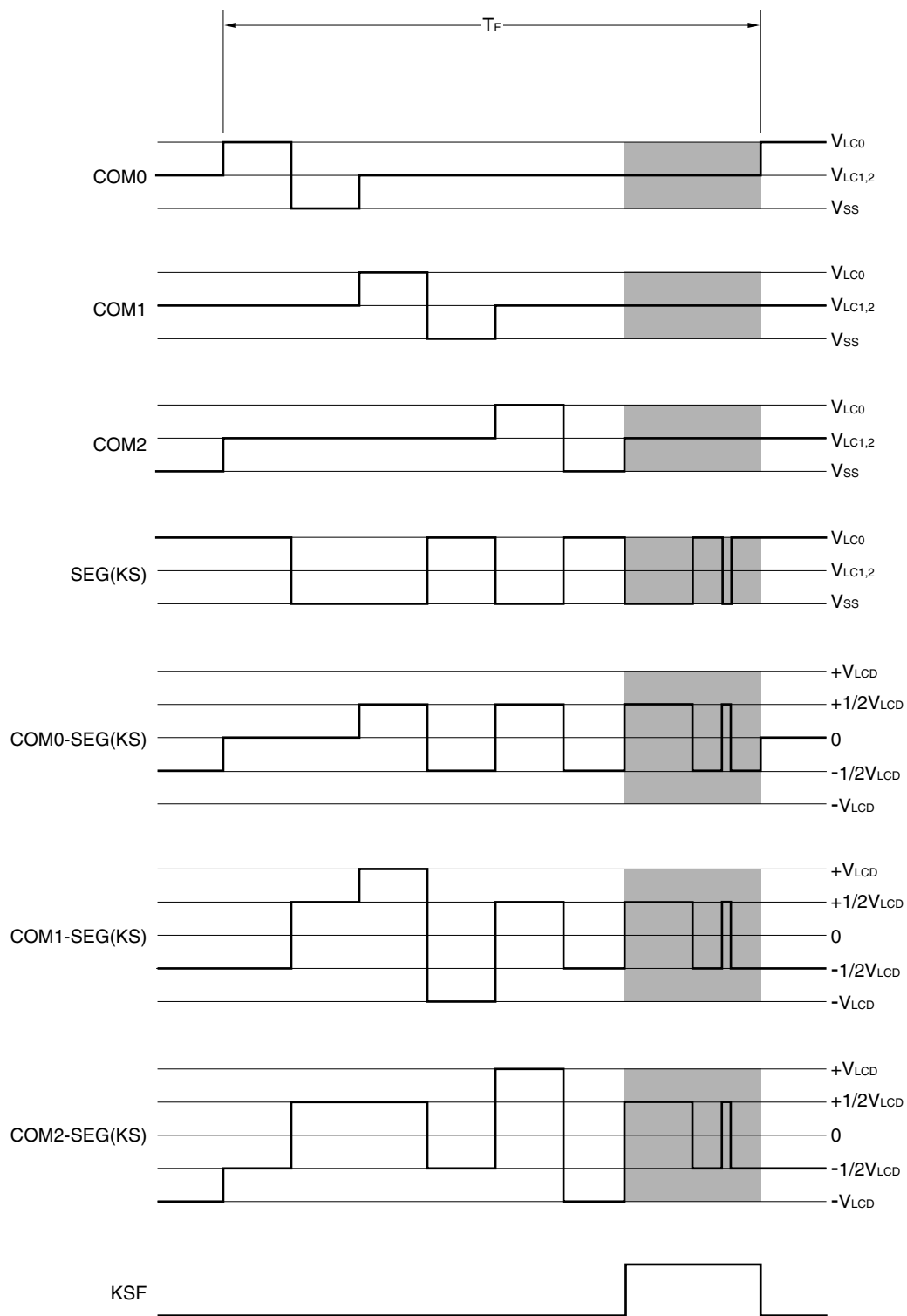
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

<キー入力待ち>



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >

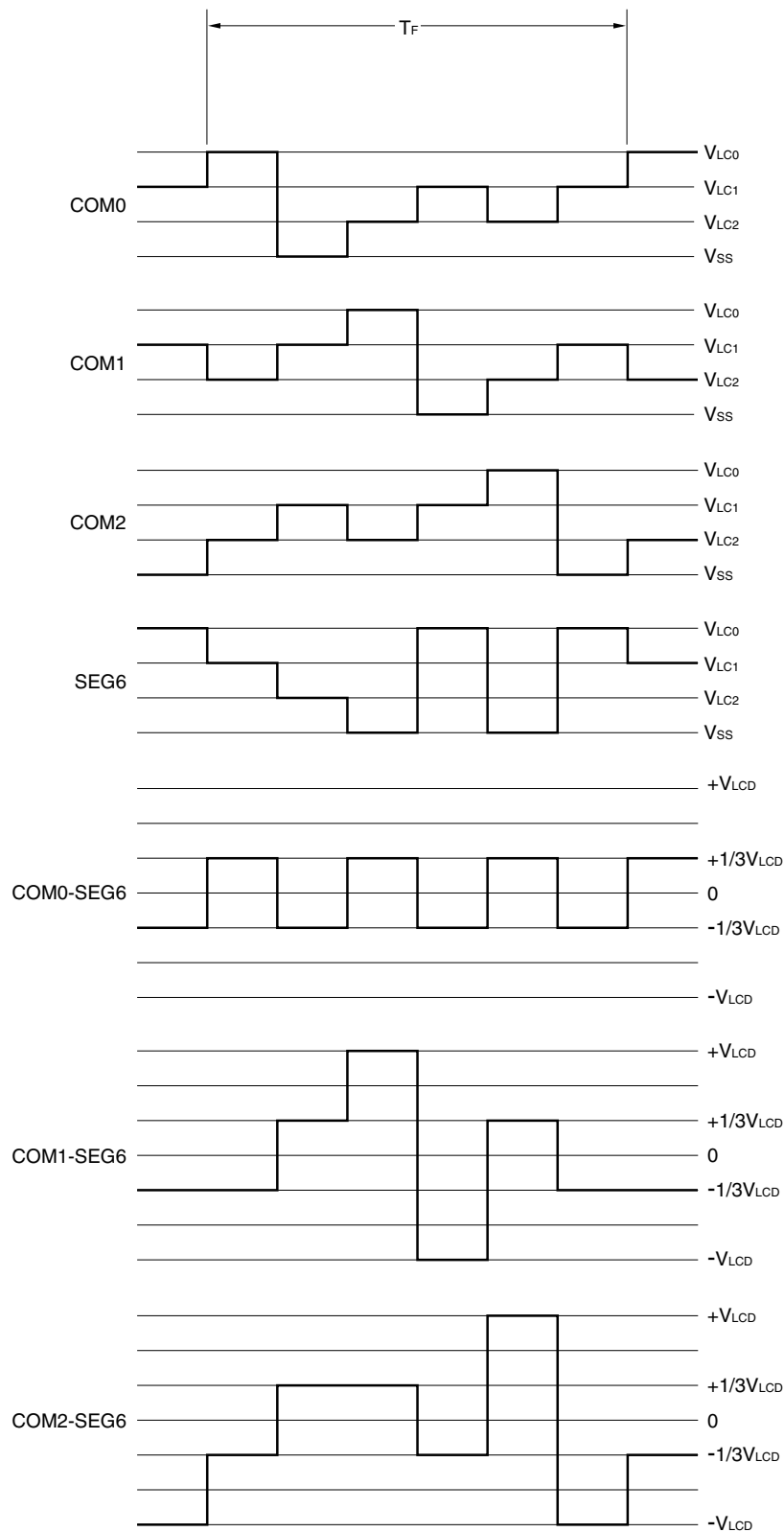


網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際、前半と後半の関係が反転となる信号を出力することにより、LCDパネルの残留電荷をなくすことができます。

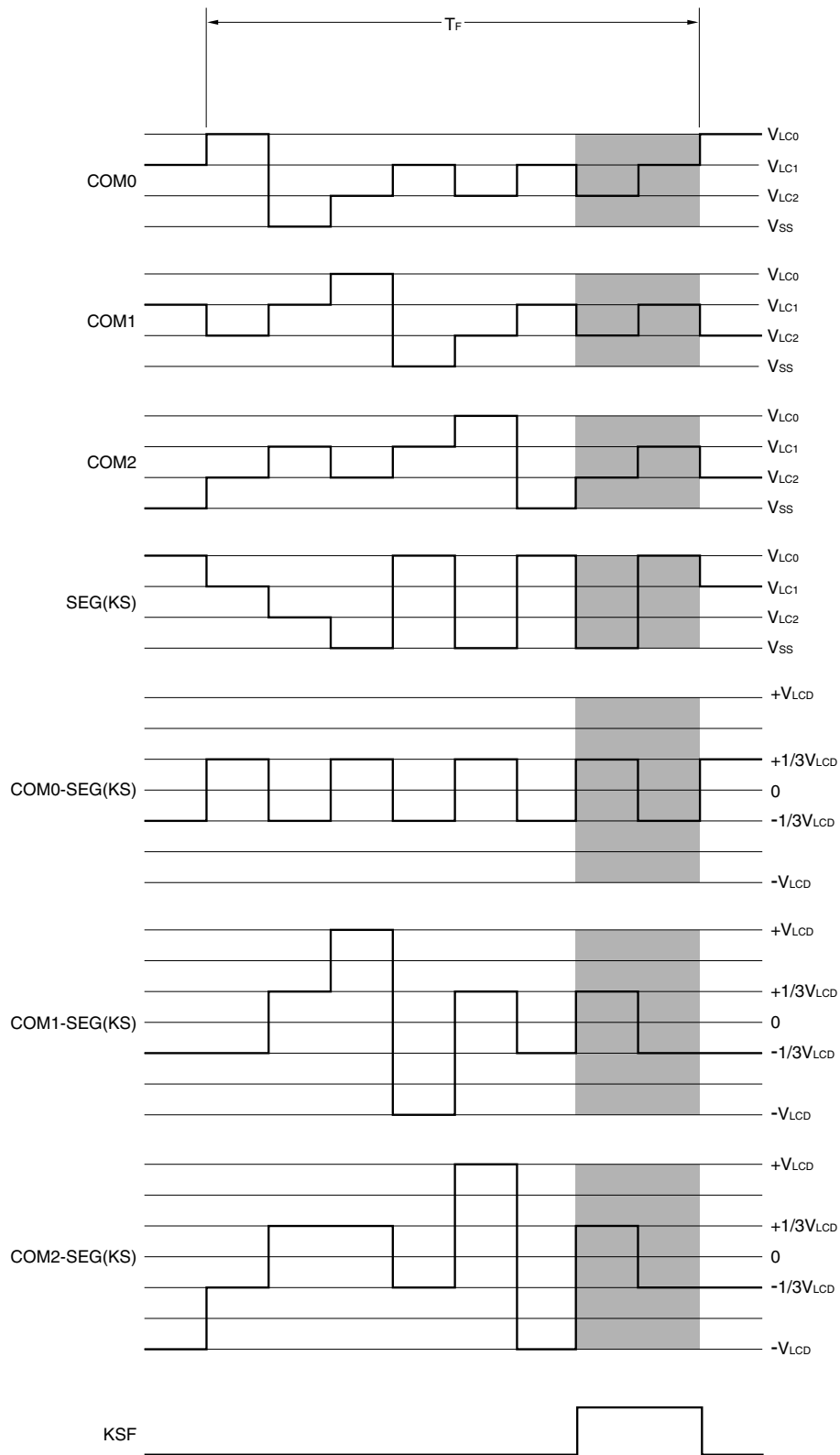
図18 - 29 3時分割LCD駆動波形例 (1/3バイアス法)

(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



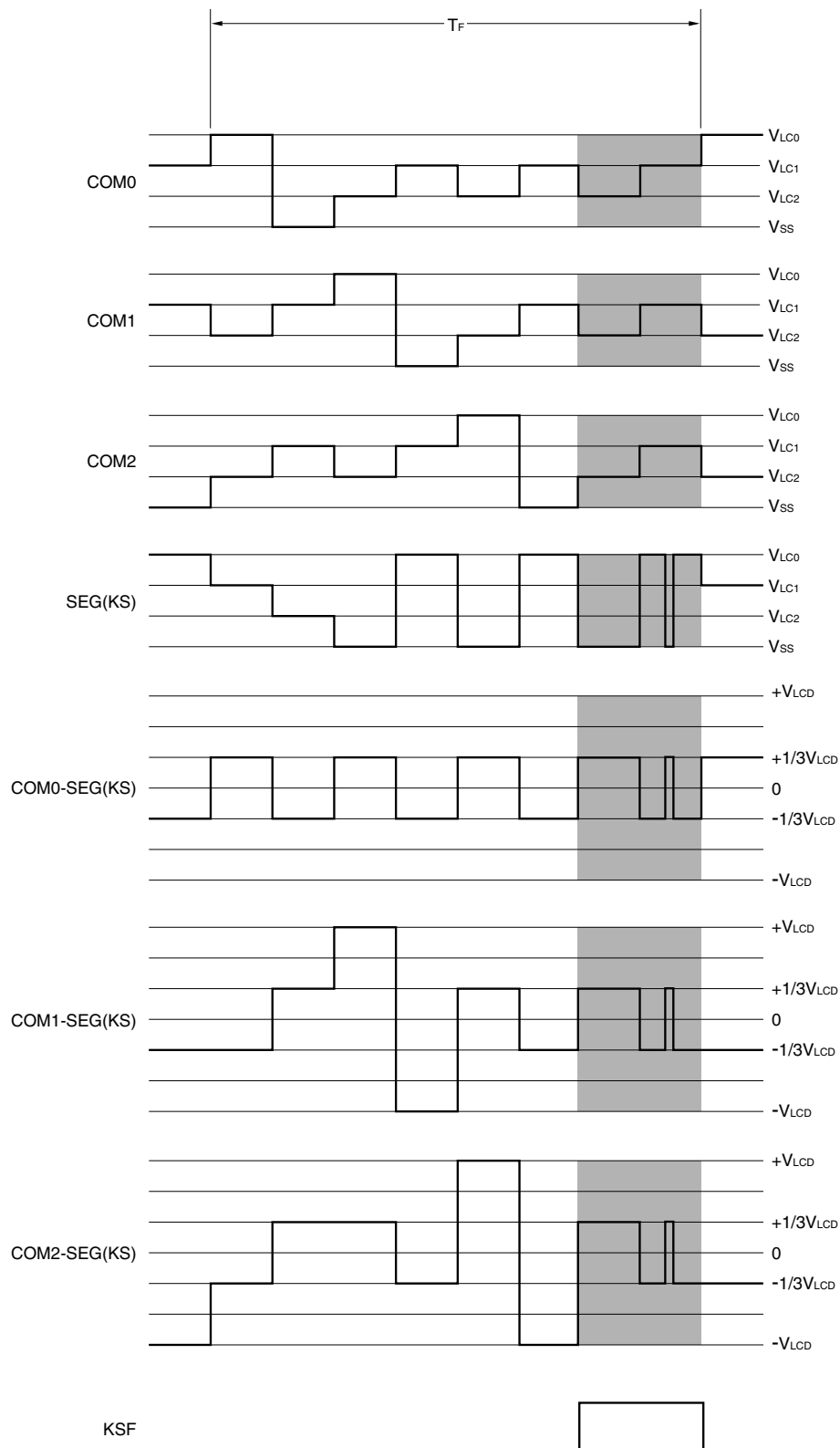
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

<キー入力待ち>



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際、前半と後半の関係が反転となる信号を出力することにより、LCDパネルの残留電荷をなくすることができます。

18.7.4 4時分割表示例

図18 - 31は、図18 - 30の表示パターンを持つ4時分割方式の12桁LCDパネルと78K0/LF3のセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.789012で、表示データ・メモリ (FA40H-FA57H番地) の内容はこれに対応しています。

ここでは7桁目の6. (E) を例にとって説明します。図18 - 30の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表18 - 9に示すような選択、非選択電圧をSEG12, SEG13端子に出力する必要があります。

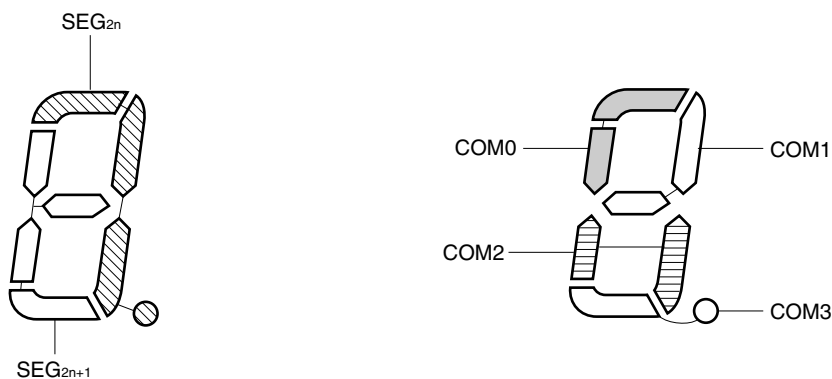
表18 - 9 選択、非選択電圧 (COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりSEG12に対応する表示データ・メモリ (FA4CH番地) には、1101を用意すればよいことが分かります。

SEG12と各コモン信号間のLCD駆動波形例を図18 - 32に示します。COM0の選択タイミングでSEG12が選択電圧になるときに、LCD点灯レベルである $+V_{Lcd}/-V_{Lcd}$ の交流矩形波が発生することが分かります。

図18 - 30 4時分割LCD表示パターンと電極結線



備考 n = 0-11

図18 - 31 4時分割LCDパネルの結線例

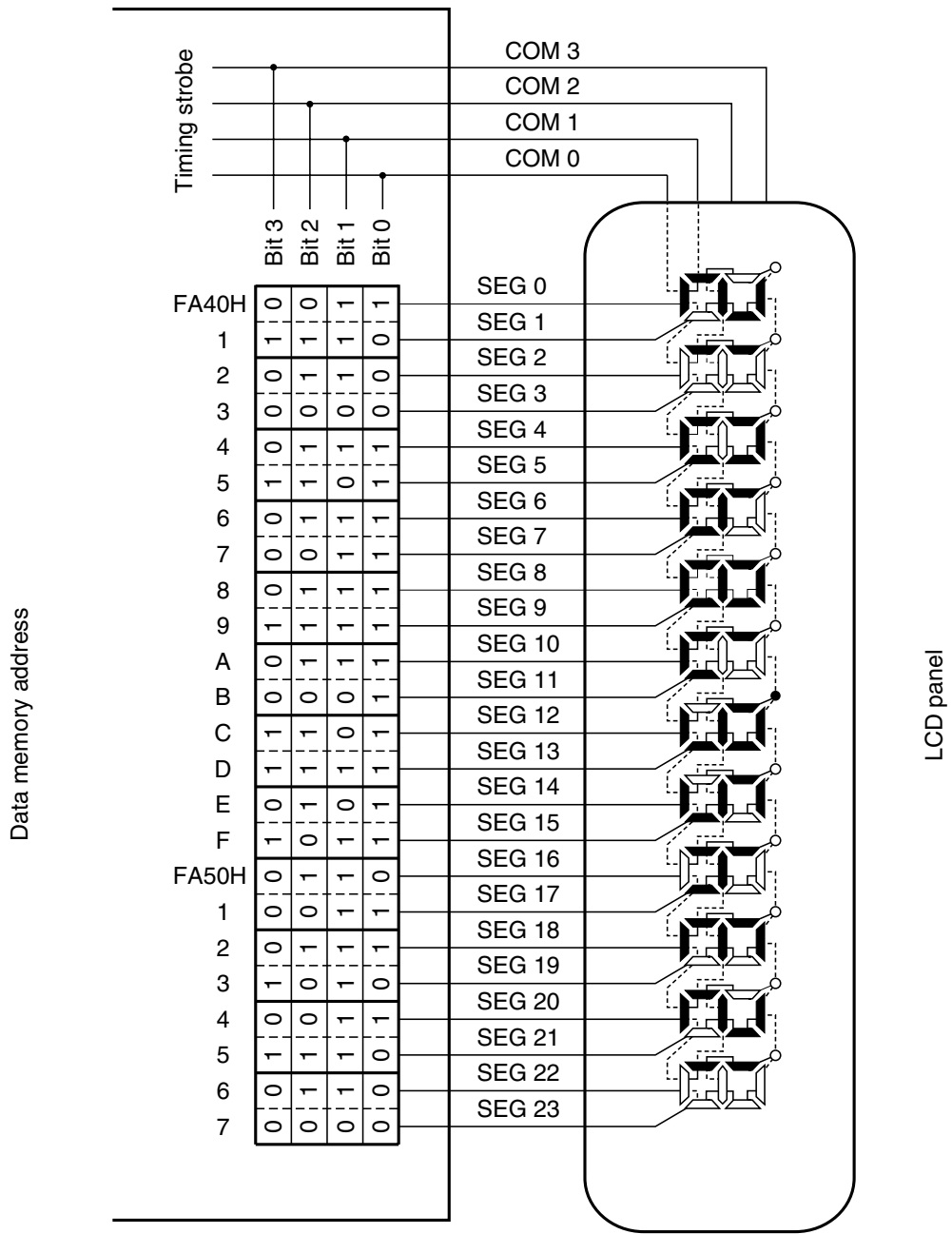
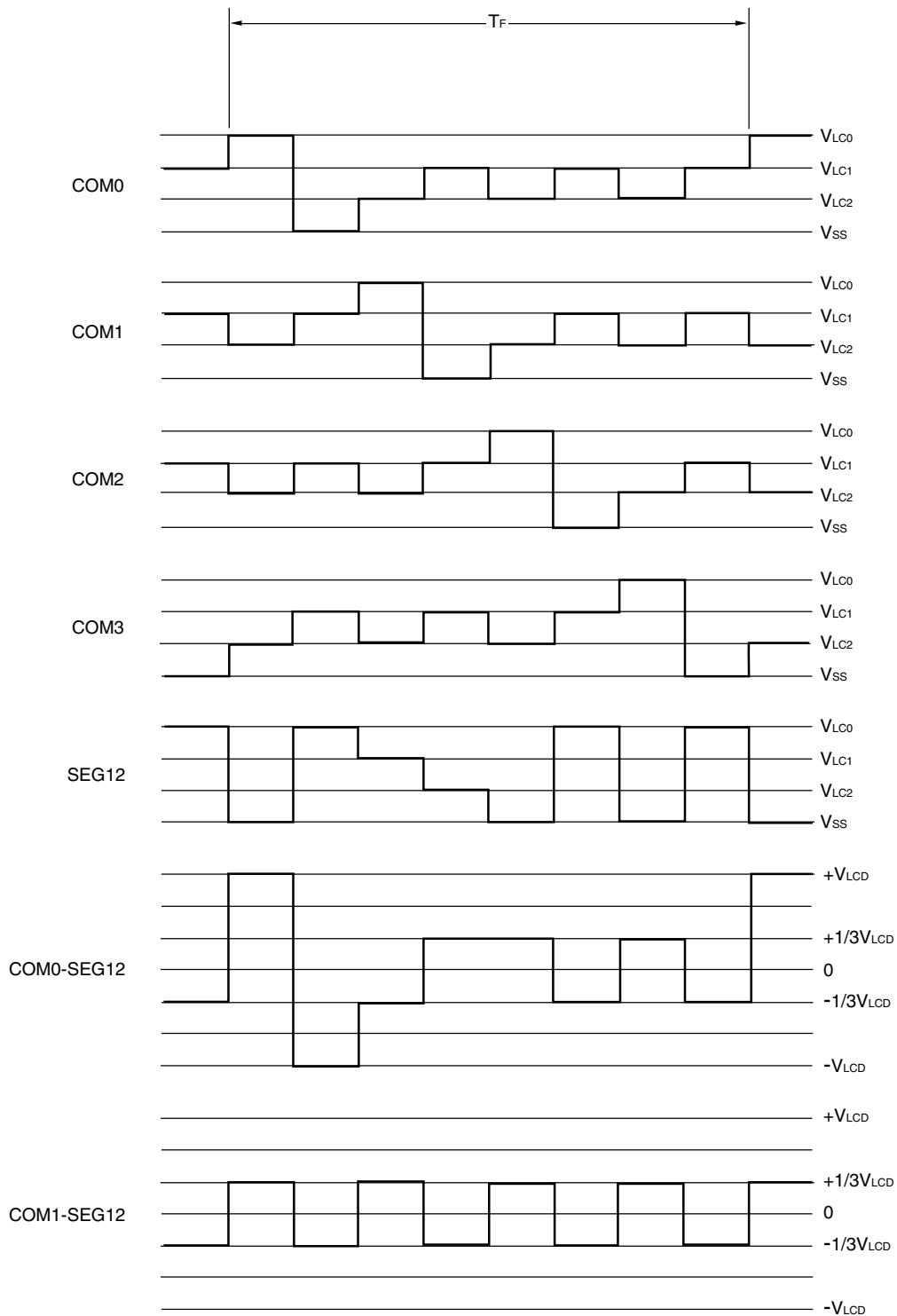


図18 - 32 4時分割LCD駆動波形例 (1/3バイアス法)

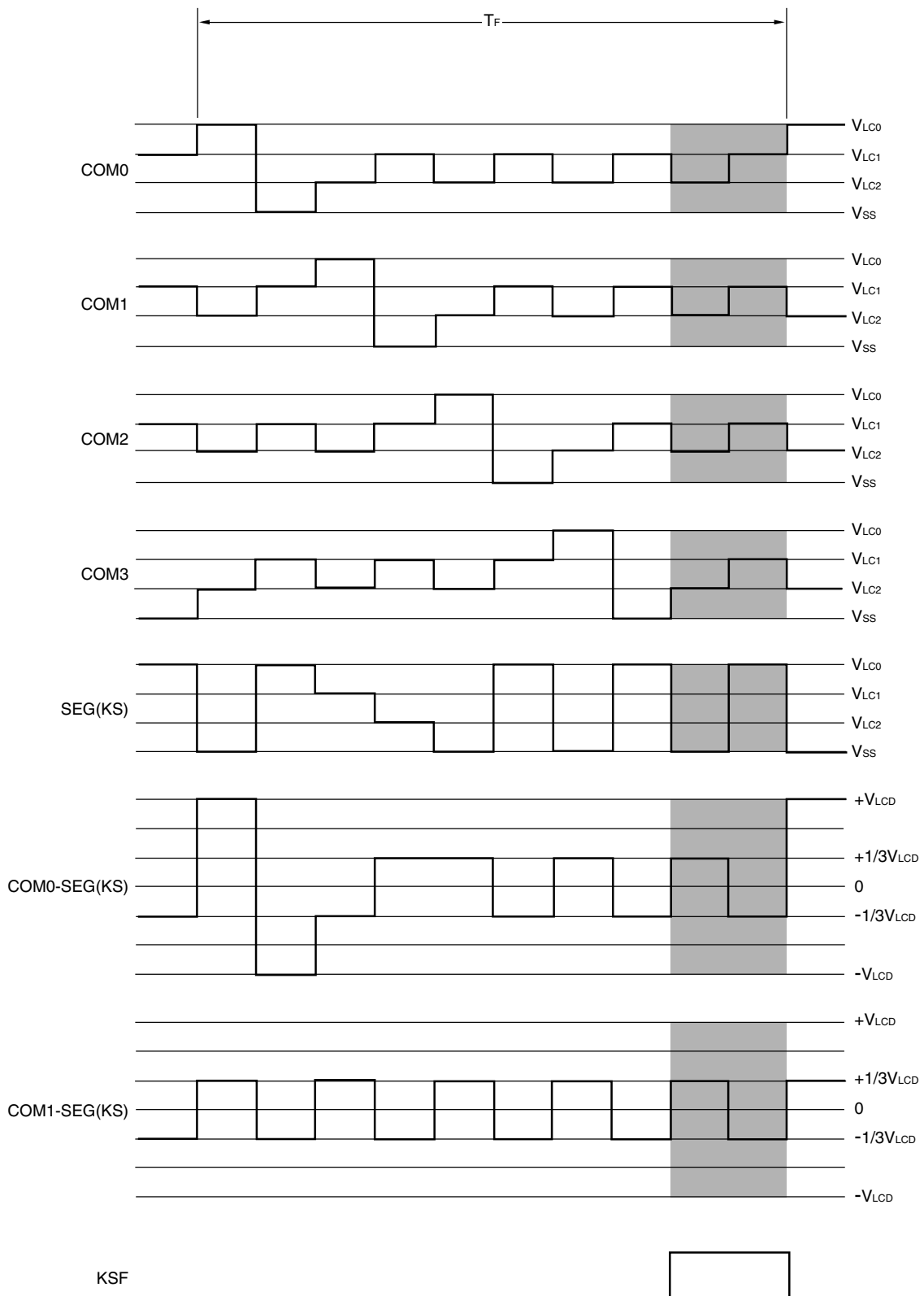
(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



備考 COM2-SEG12とCOM3-SEG12の波形は省略

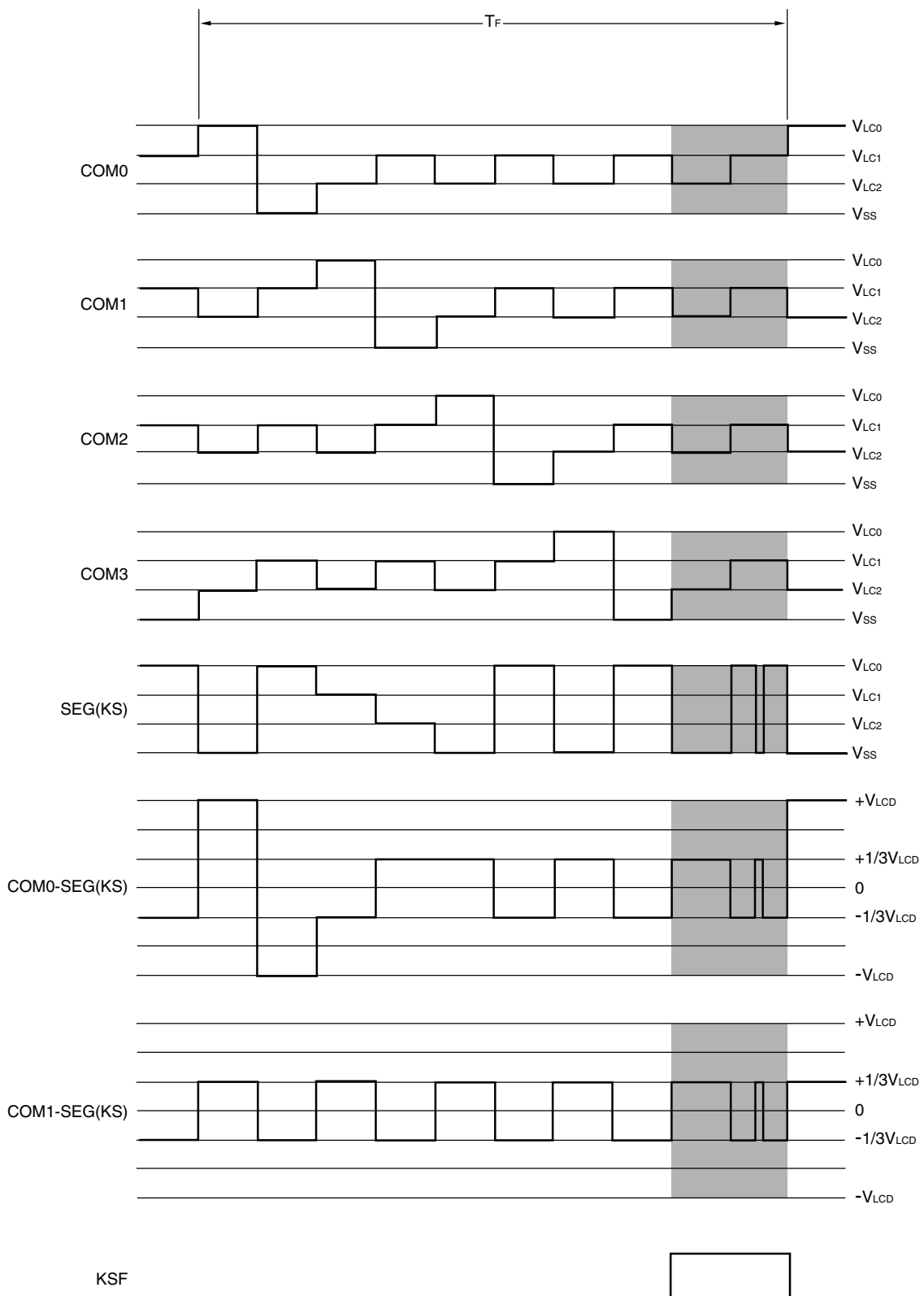
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

<キー入力待ち>



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際，前半と後半の関係が反転となる信号を出力することにより，LCDパネルの残留電荷をなくすることができます。

18.7.5 8時分割表示例

図18 - 34は、図18 - 33の表示パターンを持つ8時分割方式の15×8のドットLCDパネルと78K0/LF3のセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は123で、表示データ・メモリ (FA44H-FA52H番地) の内容はこれに対応しています。

ここでは1桁目の3 () を例にとって説明します。図18 - 33の表示パターンに従って、COM0-COM7の各コモン信号のタイミングで表18 - 10に示すような選択、非選択電圧をSEG4-SEG8端子に出力する必要があります。

表18 - 10 選択、非選択電圧 (COM0-COM7)

セグメント コモン	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これによりSEG4に対応する表示データ・メモリ (FA44H番地) には、00110001を用意すればよいことが分かります。

SEG4と各コモン信号間のLCD駆動波形例を図18 - 35に示します。COM0の選択タイミングでSEG4が選択電圧になるときに、LCD点灯レベルの波形が発生することが分かります。

図18 - 33 8時分割LCD表示パターンと電極結線

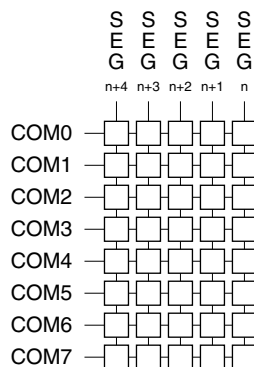


図18 - 34 8時分割LCDパネルの結線例

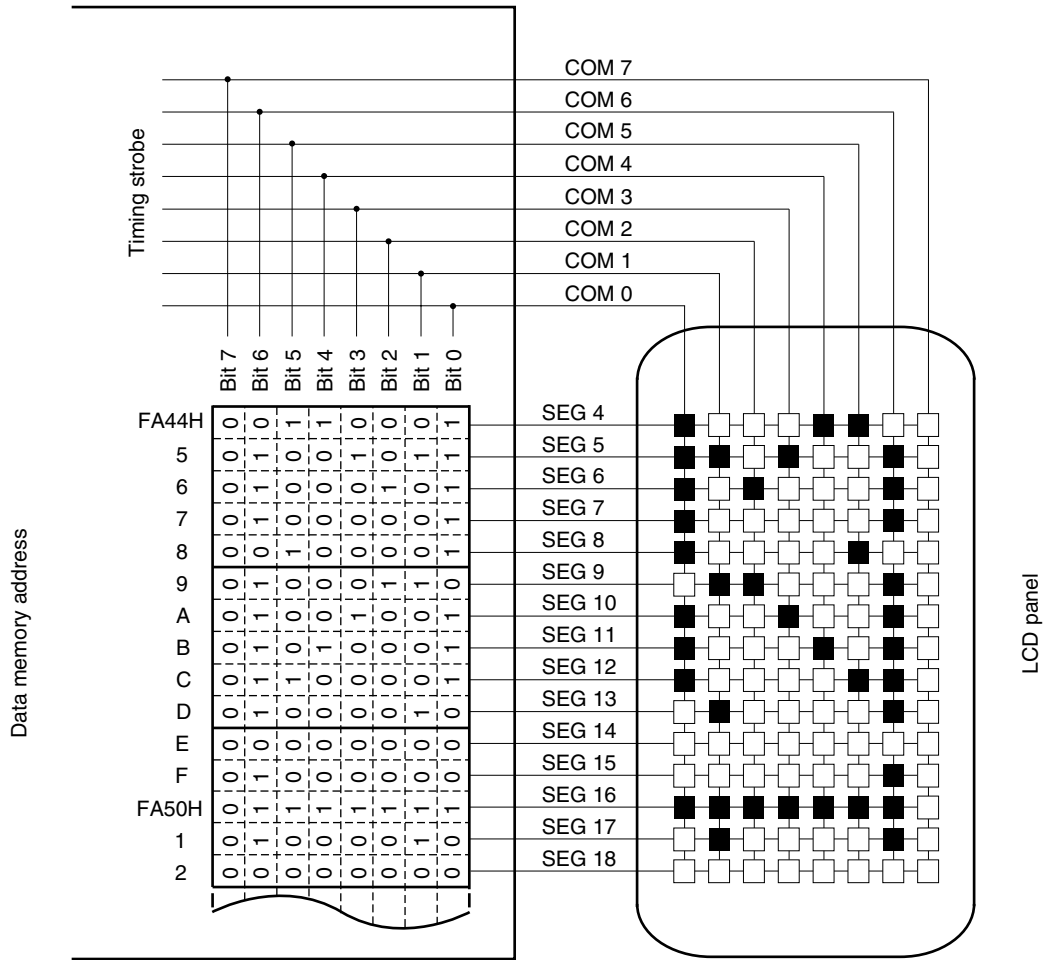
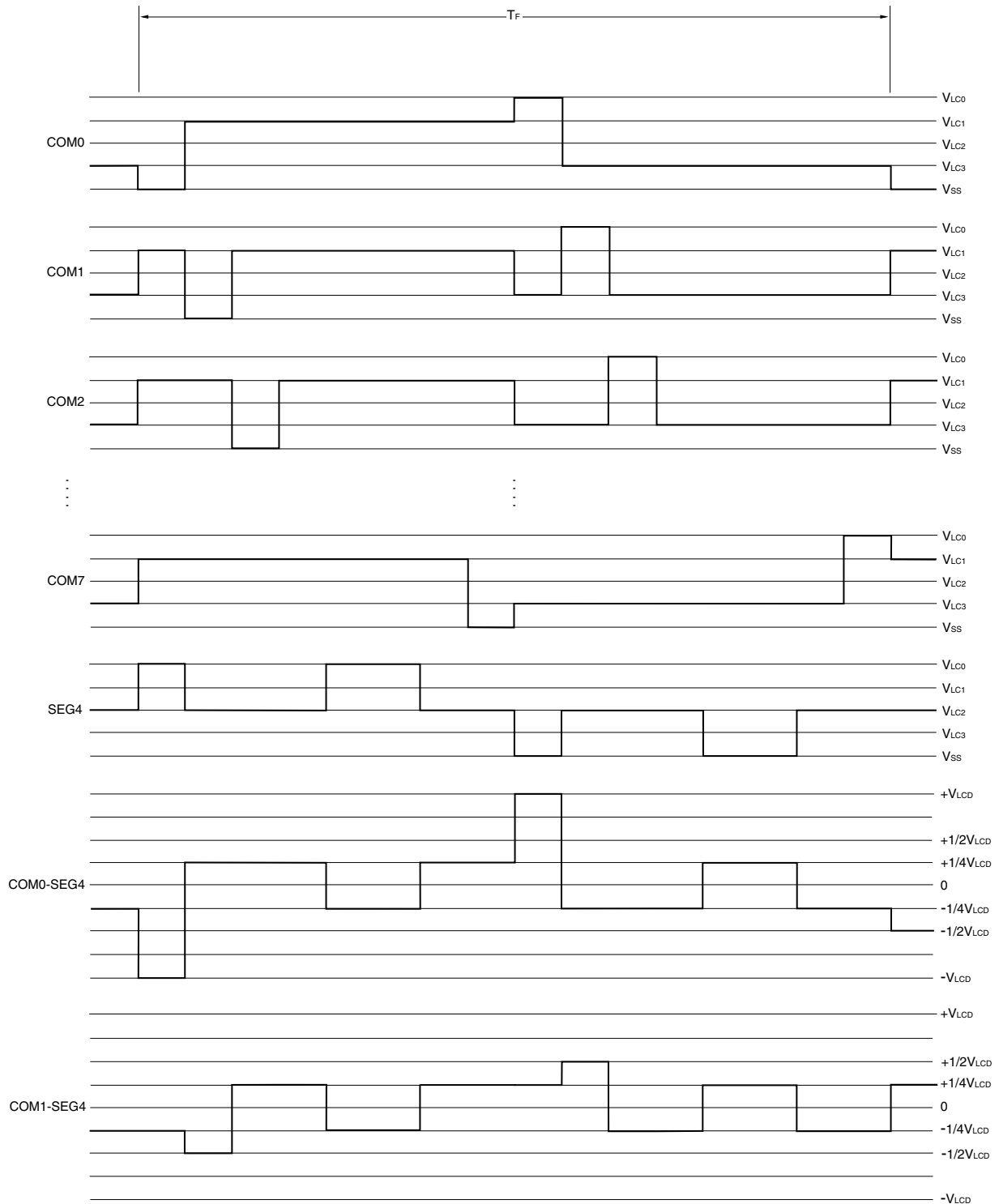


図18 - 35 8時分割LCD駆動波形例 (1/4バイアス法)

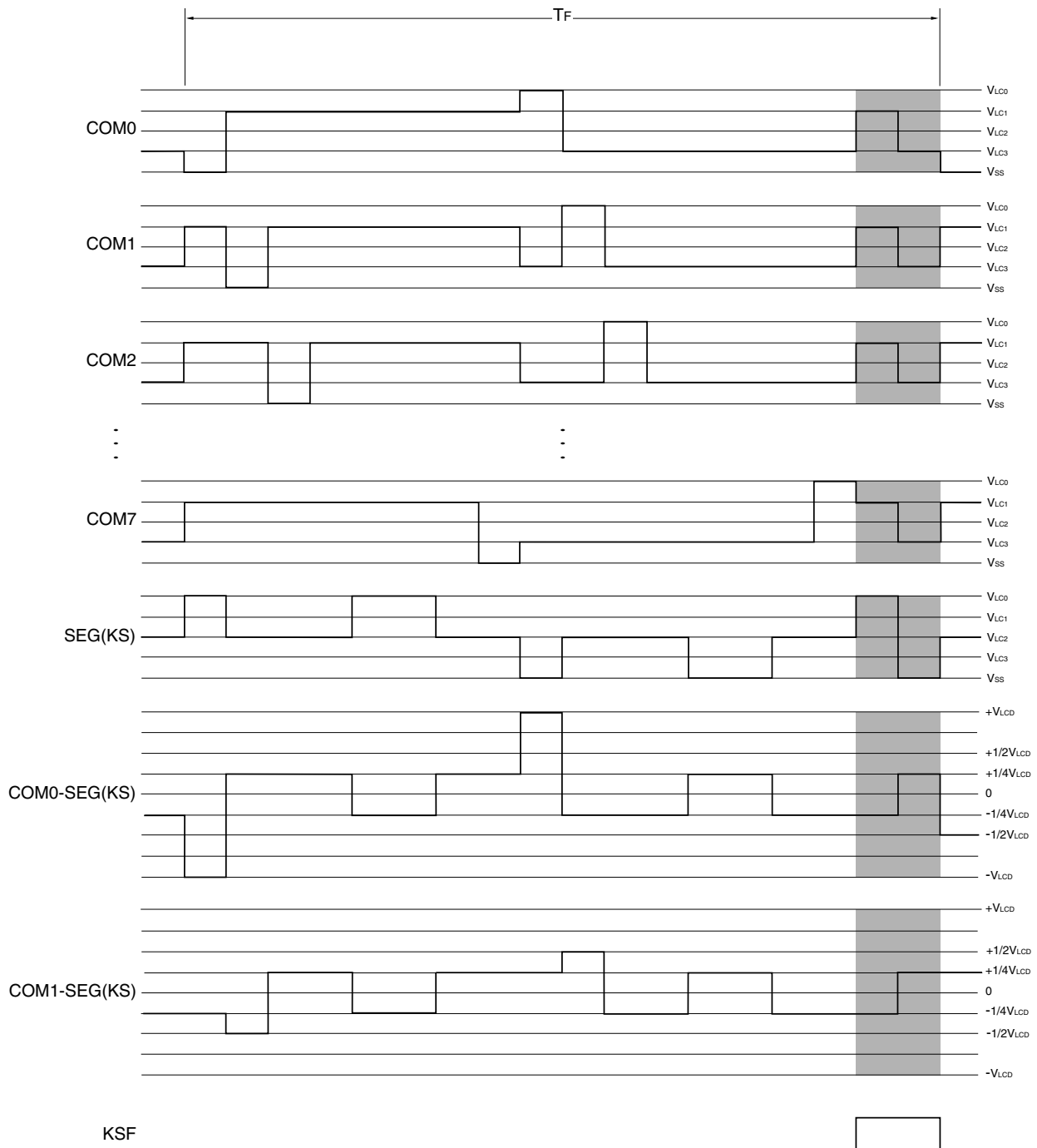
(a) セグメント・キー・スキャン機能を使用しない場合 (KSON = 0)



備考 COM3 ~ COM6, COM2-SEG4 ~ COM7-SEG4の波形は省略

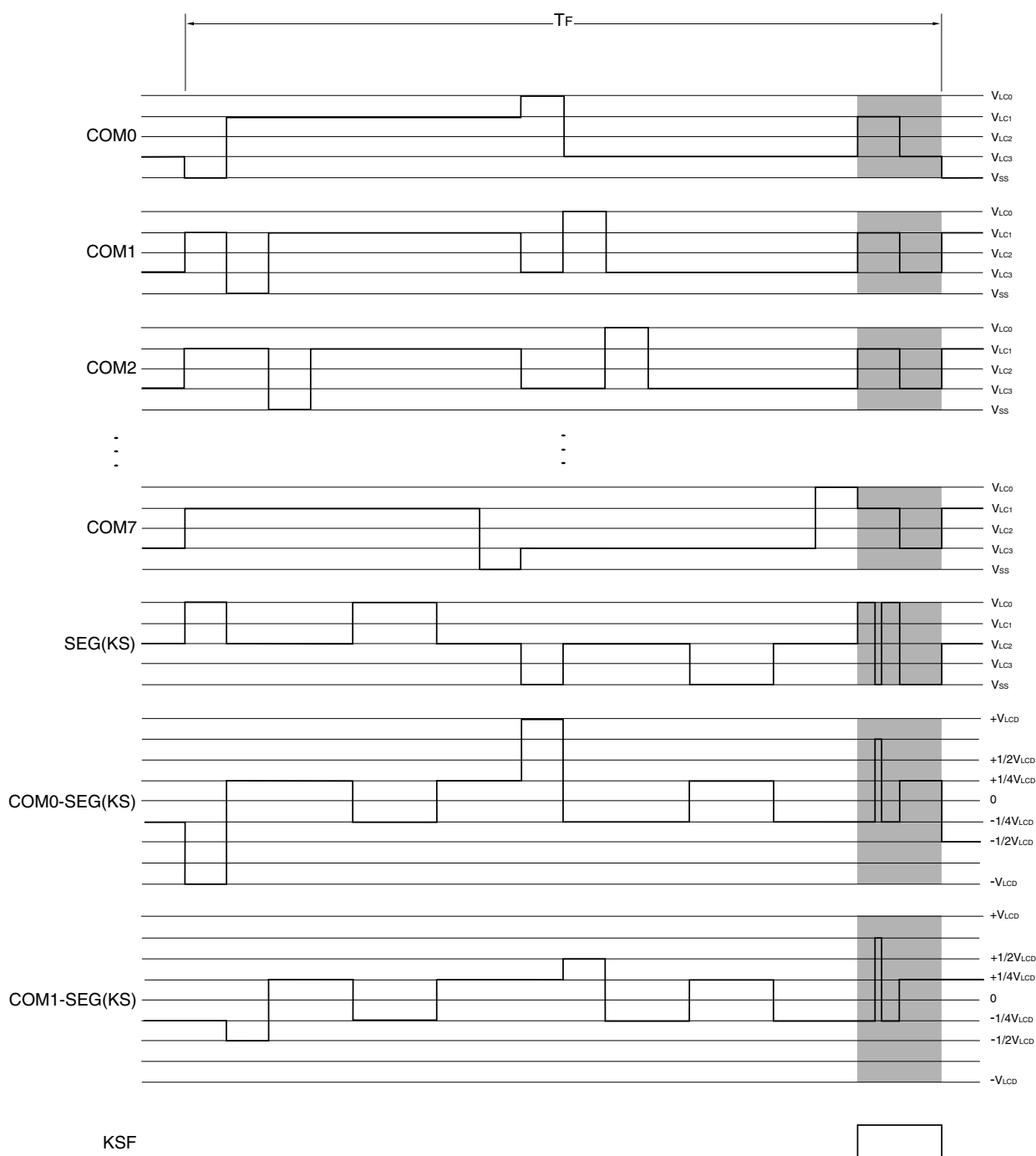
(b) セグメント・キー・スキャン機能を使用する場合 (KSON = 1)

<キー入力待ち>



網掛け：セグメント・キー・スキャン出力期間

< キー判定 >



網掛け：セグメント・キー・スキャン出力期間

備考 キー判定の際，前半と後半の関係が反転となる信号を出力することにより，LCDパネルの残留電荷をなくすることができます。

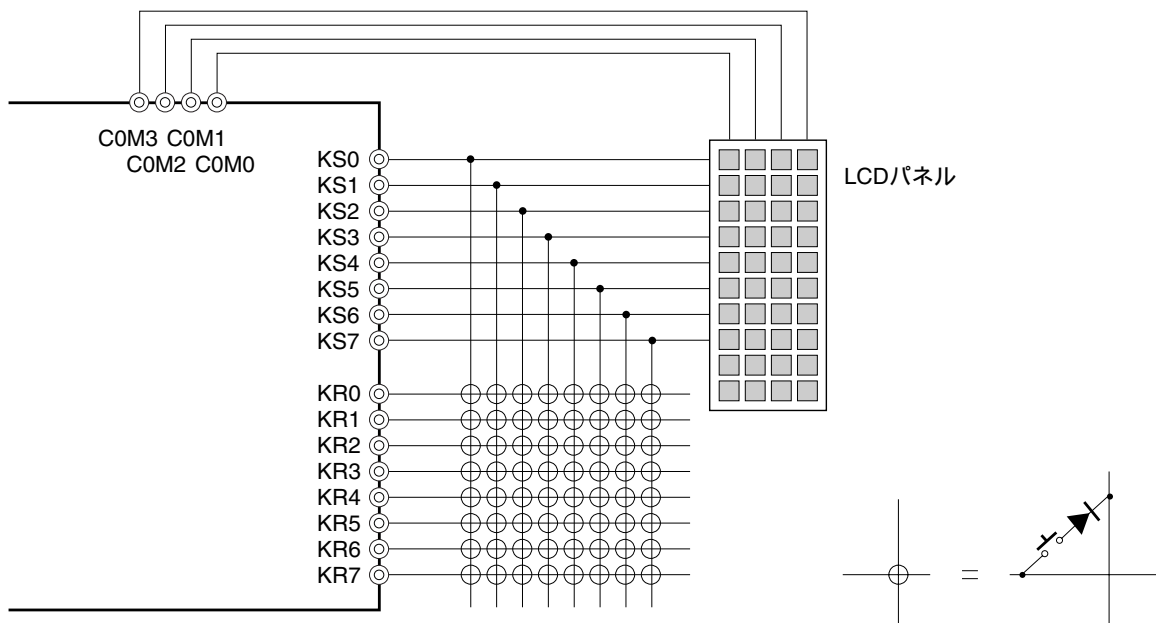
18.8 セグメント・キー・スキャン機能の動作

セグメント・キー・スキャン機能は、LCD表示のセグメント出力とキー・スキャン信号を同じ端子から出力し、使用端子数の削減を実現しています。

注意 本機能は、使用方法によって、LCDパネルに影響を与える可能性があります。
十分な評価後に使用してください。

18.8.1 回路構成例

図18 - 36 回路構成例



備考 78K0/LC3 : KR0, KR3, KR4
 78K0/LD3, 78K0/LE3 : KR0-KR4
 78K0/LF3 : KR0-KR7

18. 8. 2 セグメント・キー・スキャン機能の使用手順例

この項では、78K0/LF3を例に示します。

セグメント・キー・スキャンの動作の流れを図18 - 37に、キー接続例を図18 - 35に示します。

図18 - 37 セグメント・キー・スキャンの動作の流れ

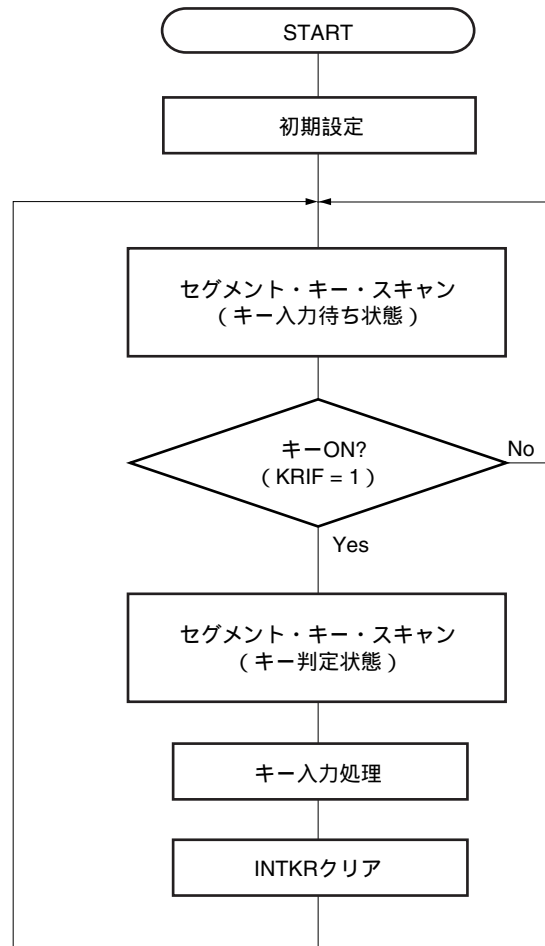


図18 - 38 キー接続例

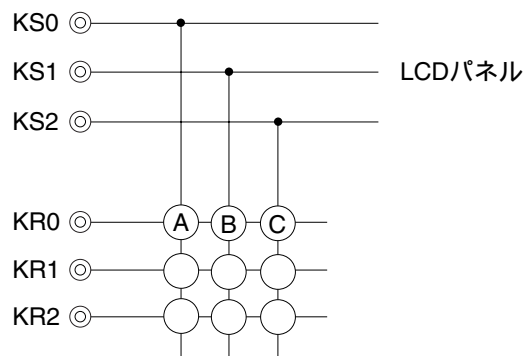
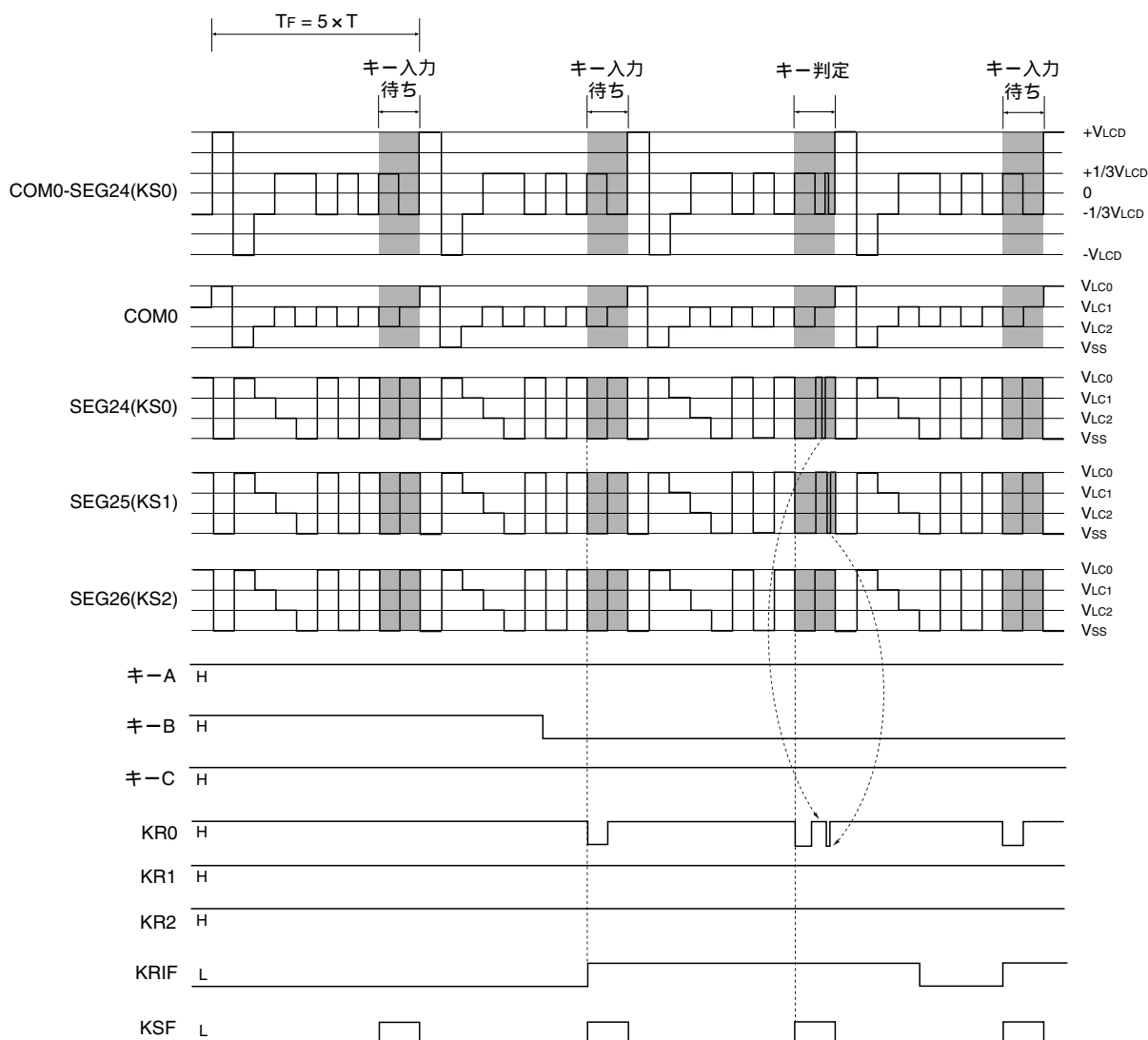


図18 - 38のキーBが押された場合のセグメント・キー・スキャンの動作例を以下に示します。

図18 - 39 セグメント・キー・スキャンの動作タイミング例
(4時分割 (1/3バイアス法) の場合)



T : LCDクロックの1周期分 T_f : フレーム周波数 網掛け : セグメント・キー・スキャン出力期間

このタイミングでキーBが押されたとします。

KRIF = 1となり、いずれかのキーが押されたことがわかります。

KR0がロウ・レベルとなり、キーA, B, Cのどれかが押されたことがわかります。

KR端子への入力は、KSFの立ち上がりから、 f_{LCD} の2クロック後に許可されます。したがって、KRIFはKSFの立ち上がりから、 f_{LCD} の2クロック後に“1”になります。

KSF = 1であることを確認後、セグメント・キー・スキャン動作を開始します。

SEG24 (KS0) 端子がロウ・レベルを出力したときに、KR0はハイ・レベルのため、キーAは押されていないことがわかります。

SEG25 (KS1) 端子がロウ・レベルを出力したときに、KR0はロウ・レベルになるため、キーBが押されたことがわかります。キーBの入力処理を行ってください。

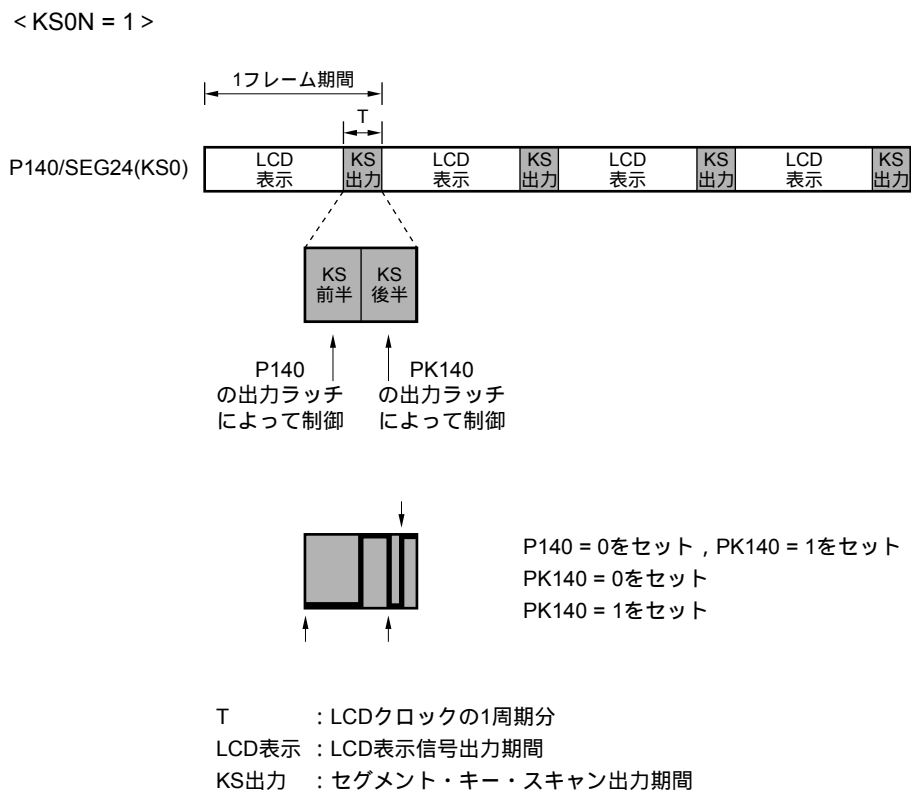
KRIFをクリアします。

セグメント・キー・スキャン出力期間中のSEG (KS) 端子の出力値は、ポート・レジスタ14, 15の設定値に対応しており、ポート・レジスタ14, 15により制御することができます。

それぞれのポート・レジスタのビット0-3はセグメント・キー・スキャン出力期間の前半、ビット4-7はセグメント・キー・スキャン出力期間の後半の出力を制御します (18.3の(12) **ポート・レジスタ14 (P14)** , (13) **ポート・レジスタ15 (P15)** 参照)。

図18 - 40に、ポート・レジスタ14とセグメント・キー・スキャン出力の関係を示します。

図18 - 40 ポート・レジスタ14とセグメント・キー・スキャン出力の関係 (P140/SEG24(KS0)端子の場合)



備考 セグメント・キー・スキャン出力期間中は、COMは非表示出力です。
波形の詳細は図18 - 18, 図18 - 19を参照してください。

18.9 セグメント・キー・スキャン機能使用時の注意事項

(1) 使用時の条件について

セグメント・キー・スキャン機能は、 $V_{DD} = V_{LC0}$ の条件で使用してください。

(2) セグメント・キー・スキャン入力端子について

セグメント・キー・スキャン機能の入力端子として使用できるのは、KR0-KR7端子のみです。

他の端子は、セグメント・キー・スキャン機能の入力端子として使用できません。

(3) KR0-KR7端子の入力許可範囲について

プルアップによる遅延のため、セグメント・キー・スキャン出力期間の開始から f_{LCD} 2クロック分の期間は、KR端子にセグメント・キー・スキャン入力を行うことができません。

また同様に、入力終了処理のため、セグメント・キー・スキャン出力期間の最後の f_{LCD} 1クロック分の期間も、KR端子にセグメント・キー・スキャン入力を行うことができません。

(4) キー・リターン・モード・レジスタ (KRM) の設定について

セグメント・キー・スキャン機能使用時 ($KSON = 1$)、 KR_n 端子をセグメント・キー・スキャン入力端子として使用する場合は $KRM_n = 1$ 、 KR_n 端子をセグメント・キー・スキャン入力端子として使用しない場合は $KRM_n = 0$ を設定してください。

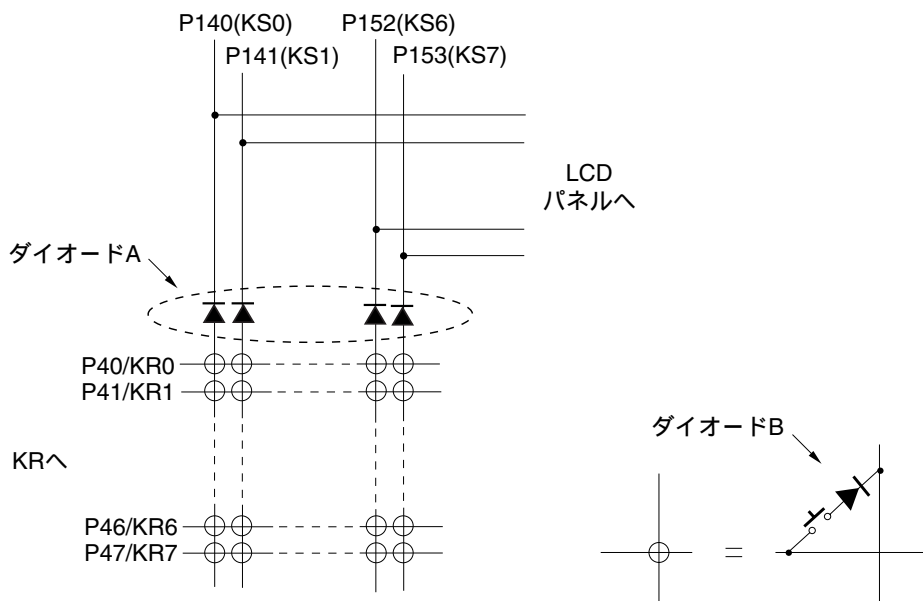
(5) 回路構成について

セグメント・キー・スキャン機能を使用する場合は、少なくとも図18-41に示すダイオードA、またはダイオードBが必要です。

ダイオードA、Bがない場合は、次のような問題が起きますので注意してください。

ここでは、78K0/LF3を例に示します。

図18-41 キー・マトリクス構成例 (78K0/LF3)



(a) ダイオードA, B両方ともない場合

ダイオードA, B両方ともない場合は、次のようになるため、使用できません。

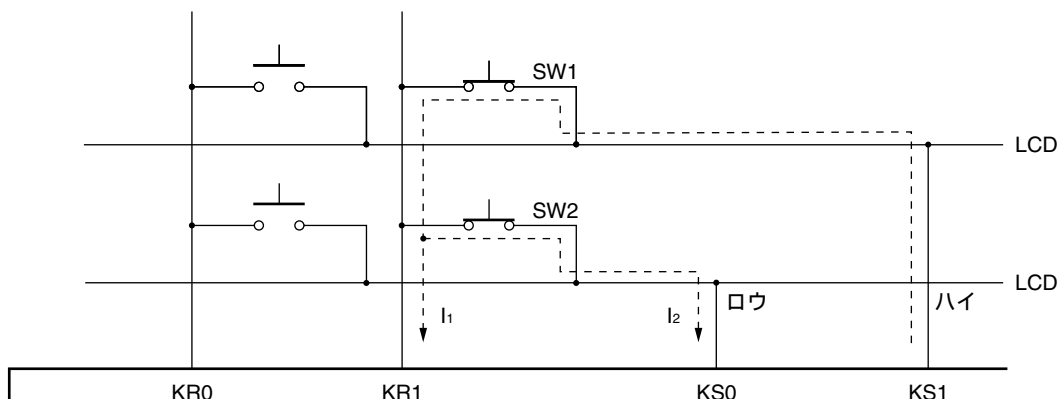
下図にダイオードA, B両方ともない場合の回路例を示します。

下図に示すようにスイッチSW1およびSW2がオンしており、KS1からハイ・レベルを出力、KS0からロウ・レベルを出力しているとします。

このときダイオードAがないと、点線で示す電流 I_1 および I_2 が流れます。

したがって、 I_2 によりKS1のハイ・レベルおよびKS0のロウ・レベルが正常に出力されなくなり、KR1のキー入力データが不定になります。

また、LCD表示も正常に点消灯しなくなります。

**(b) ダイオードAのみの場合**

ダイオードAのみの場合は、次のようになるため、同時押しが判断できません。

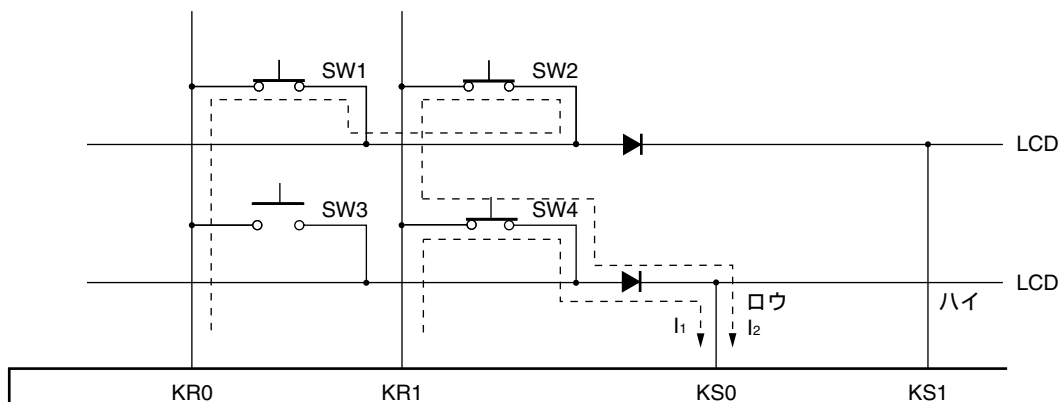
下図にダイオードAのみの場合の回路例を示します。

下図に示すようにスイッチSW1, SW2およびSW4がオンしており、KS1からハイ・レベルを出力、KS0からロウ・レベルを出力しているとします。

このとき、点線で示す電流 I_1 および I_2 が流れます。

したがって、SW3がオフしているにもかかわらず、 I_2 によりKR0にロウ・レベルが入力されるため、SW3がオンしていると判断されてしまいます。

また、LCD表示への回り込みはありません。

**(c) ダイオードBのみの場合**

3つ以上の同時押し判定も可能になります。

また、LCD表示への回り込みはありません。

18. 10 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} , V_{LC3} の供給

78K0/Lx3マイクロコントローラはLCD駆動用電源の生成方法として、内部抵抗分割方式、外部抵抗分割方式の2種類を選択できます。

18. 10. 1 内部抵抗分割方式

78K0/Lx3マイクロコントローラは、LCD駆動用電源を作るための分割抵抗を内蔵しています。内部分割抵抗を使用することにより、外付け分割抵抗なしで表18 - 11に示す各バイアス法に応じたLCD駆動電圧を作ることができます。

表18 - 11 LCD駆動電圧（内部抵抗分割方式）

LCD駆動用電源端子	バイアス法	バイアスなし (スタティック)	1/2バイアス法	1/3バイアス法	1/4バイアス法
V_{LC0}		V_{LCD}	V_{LCD}	V_{LCD}	V_{LCD}
V_{LC1}		$\frac{2}{3}V_{LCD}$	$\frac{1}{2}V_{LCD}$ 注	$\frac{2}{3}V_{LCD}$	$\frac{3}{4}V_{LCD}$
V_{LC2}		$\frac{1}{3}V_{LCD}$		$\frac{1}{3}V_{LCD}$	$\frac{2}{4}V_{LCD}$
V_{LC3}		V_{SS}	V_{SS}	V_{SS}	$\frac{1}{4}V_{LCD}$

注 1/2バイアス法のとときには、 V_{LC1} 端子と V_{LC2} 端子を外部で接続する必要があります。

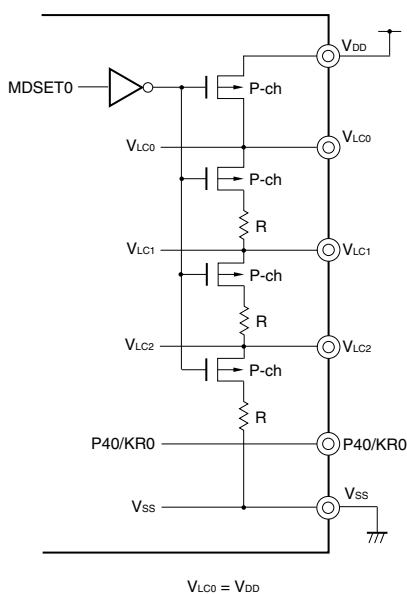
表18 - 11に従った内部からのLCD駆動電圧の供給例を図18 - 42に示します。

図18 - 42 LCD駆動用電源の接続例（内部抵抗分割方式）（1/2）

(a) 1/3バイアス法およびスタティック表示モード

(MDSET1, MDSET0 = 0, 1)

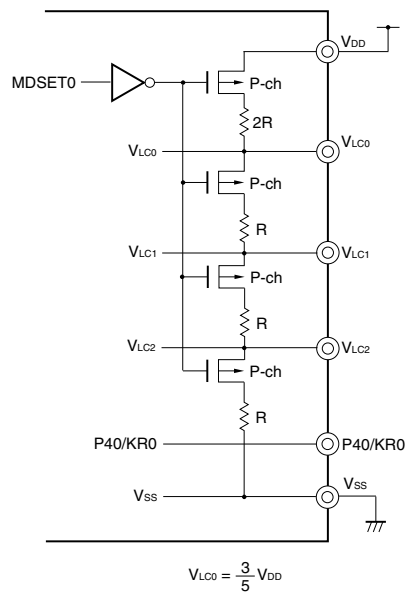
($V_{DD} = 5V$, $V_{LC0} = 5V$ の例)



(b) 1/3バイアス法およびスタティック表示モード

(MDSET1, MDSET0 = 1, 1)

($V_{DD} = 5V$, $V_{LC0} = 3V$ の例)

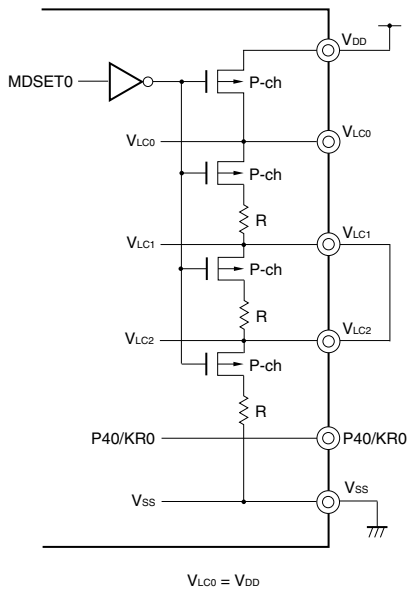


備考 スタティック表示モードを使用する場合は、分割抵抗で発生する消費電力を低減させるため、外部抵抗分割方式を推奨します。

図18 - 42 LCD駆動用電源の接続例（内部抵抗分割方式）（2/2）

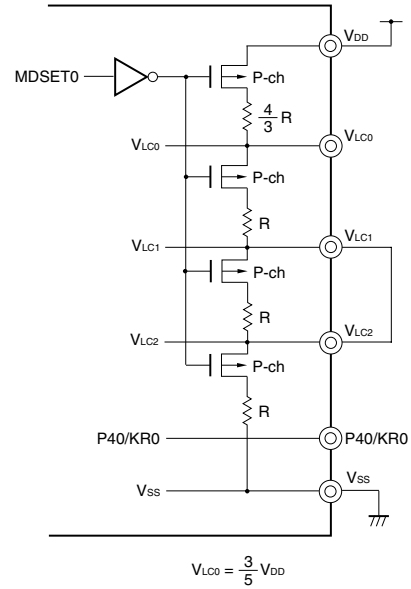
(c) 1/2バイアス法

(MDSET1, MDSET0 = 0, 1)

(V_{DD} = 5 V, V_{LC0} = 5 Vの例)

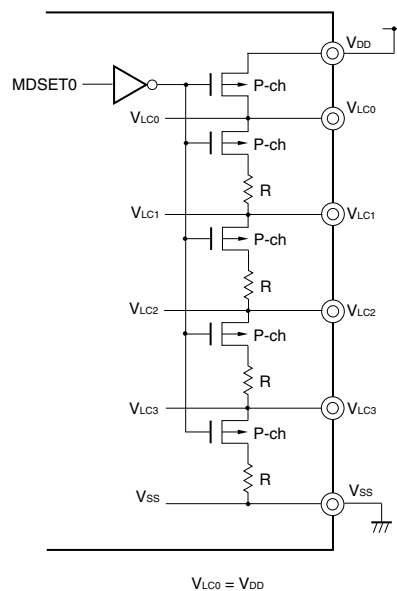
(d) 1/2バイアス法

(MDSET1, MDSET0 = 1, 1)

(V_{DD} = 5 V, V_{LC0} = 3 Vの例)

(e) 1/4バイアス法

(MDSET1, MDSET0 = 0, 1)

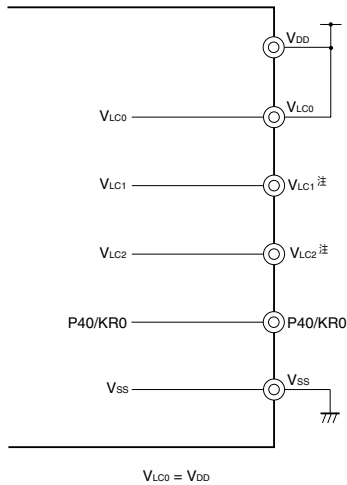
(V_{DD} = 5 V, V_{LC0} = 5 Vの例)

18.10.2 外部抵抗分割方式

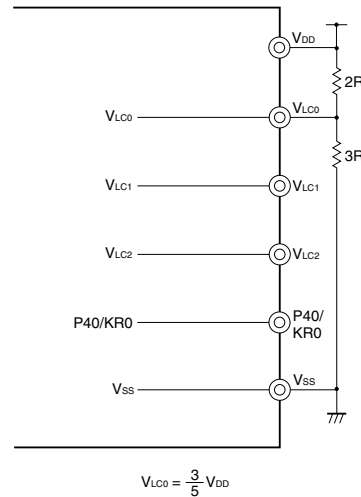
78K0/Lx3マイクロコントローラは、LCD駆動用電源を作るための分割抵抗として、内部抵抗を使用せずに、外付け抵抗を使用することもできます。図18 - 43に各バイアス法に応じたLCD駆動電圧の接続例を示します。

図18 - 43 LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）

(a) スタティック表示モード
(MDSET1, MDSET0 = 0, 0)
($V_{DD} = 5V$, $V_{LC0} = 5V$ の例)

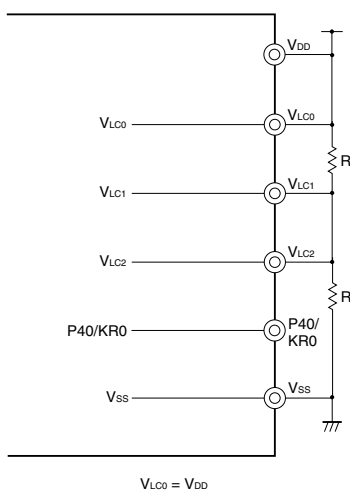


(b) スタティック表示モード
(MDSET1, MDSET0 = 0, 0)
($V_{DD} = 5V$, $V_{LC0} = 3V$ の例)



注 V_{LC1}, V_{LC2} は、GNDもしくは V_{LC0} に直接接続してください。

(c) 1/2バイアス法
(MDSET1, MDSET0 = 0, 0)
($V_{DD} = 5V$, $V_{LC0} = 5V$ の例)



(d) 1/2バイアス法
(MDSET1, MDSET0 = 0, 0)
($V_{DD} = 5V$, $V_{LC0} = 3V$ の例)

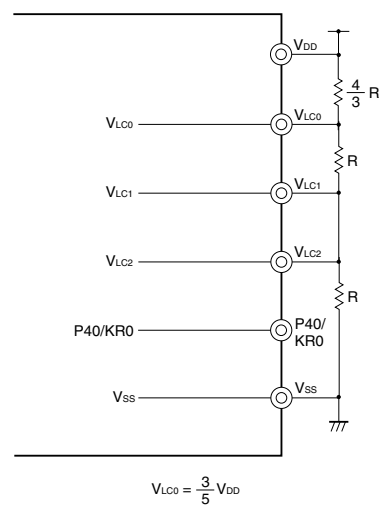
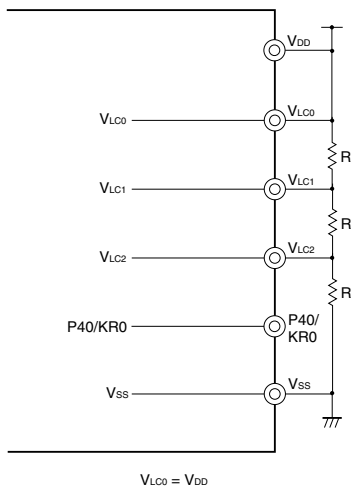


図18 - 43 LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）

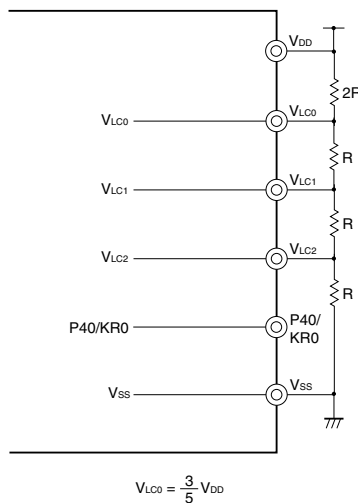
(e) 1/3バイアス法

(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 5 V, V_{LC0} = 5 Vの例)

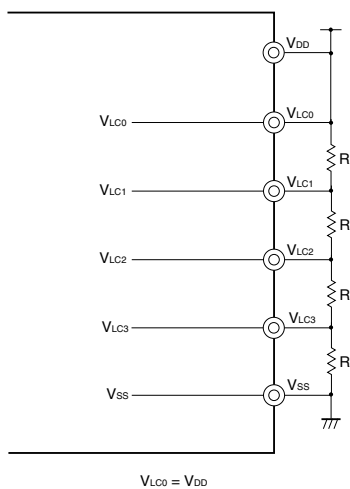
(f) 1/3バイアス法

(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 5 V, V_{LC0} = 3 Vの例)

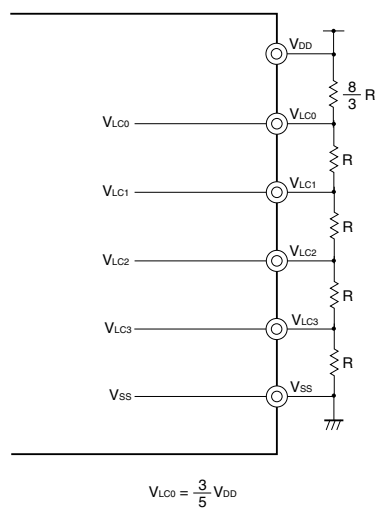
(g) 1/4バイアス法

(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 5 V, V_{LC0} = 5 Vの例)

(h) 1/4バイアス法

(MDSET1, MDSET0 = 0, 0)

(V_{DD} = 5 V, V_{LC0} = 3 Vの例)

第19章 マンチェスタ・コード・ジェネレータ

19.1 マンチェスタ・コード・ジェネレータの機能

マンチェスタ・コード・ジェネレータは、78K0/Lx3マイクロコントローラの全製品に搭載されています。

マンチェスタ・コード・ジェネレータには、次の3種類のモードがあります。

(1) 動作停止モード

マンチェスタ・コード・ジェネレータ/ビット・シーケンシャル・バッファによる出力を行わないときに使用するモードです。消費電力を低減することができます。

詳細については、19.4.1 **動作停止モード**を参照してください。

(2) マンチェスタ・コード・ジェネレータ・モード

MCGO端子からマンチェスタ・コードを送信するモードです。

転送ビット長が設定可能で、さまざまなビット長の転送が可能です。データ転送間の出力レベル、および8ビット転送データのLSB/MSBファーストを設定することが可能です。

(3) ビット・シーケンシャル・バッファ・モード

MCGO端子からビット・シーケンシャル・データを送信するモードです。

転送ビット長が設定可能で、さまざまなビット長の転送が可能です。データ転送間の出力レベル、および8ビット転送データのLSB/MSBファーストを設定することが可能です。

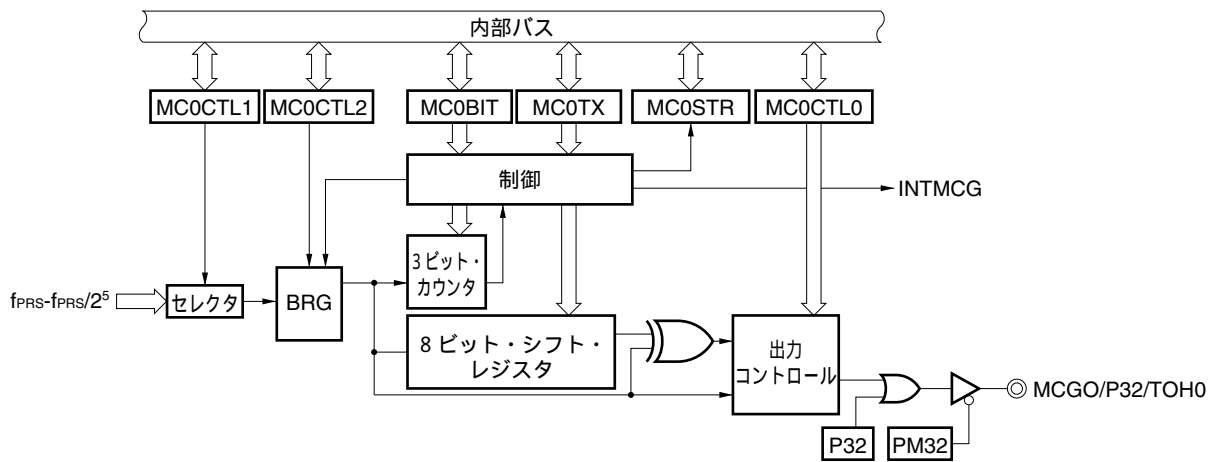
19.2 マンチェスタ・コード・ジェネレータの構成

マンチェスタ・コード・ジェネレータは、次のハードウェアで構成しています。

表19-1 マンチェスタ・コード・ジェネレータの構成

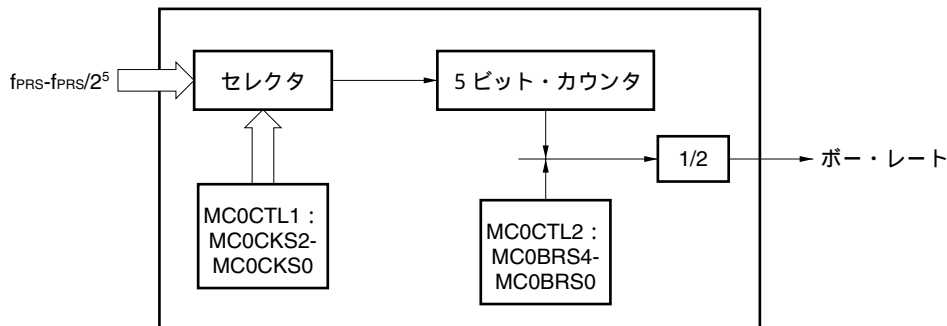
項 目	構 成
レジスタ	MCG送信バッファ・レジスタ (MC0TX) MCG送信ビット数指定レジスタ (MC0BIT)
制御レジスタ	MCGコントロール・レジスタ0 (MC0CTL0) MCGコントロール・レジスタ1 (MC0CTL1) MCGコントロール・レジスタ2 (MC0CTL2) MCGステータス・レジスタ (MC0STR) ポート・モード・レジスタ3 (PM3) ポート・レジスタ3 (P3)

図19 - 1 マンチェスタ・コード・ジェネレータのブロック図



備考	BRG	: ポー・レート・ジェネレータ
	fPRS	: 周辺ハードウェア・クロック発振周波数
	MC0BIT	: MCG送信ビット数指定レジスタ
	MC0CTL2- MC0CTL0	: MCGコントロール・レジスタ2-0
	MC0STR	: MCGステータス・レジスタ
	MC0TX	: MCG送信バッファ・レジスタ

図19 - 2 ポー・レート・ジェネレータのブロック図



備考	fPRS	: 周辺ハードウェア・クロック発振周波数
	MC0CTL2, MC0CTL1	: MCGコントロール・レジスタ2, 1
	MC0CKS2- MC0CKS0	: MC0CTL1レジスタのビット2-0
	MC0BRS4- MC0BRS0	: MC0CTL2レジスタのビット4-0

(1) MCG送信バッファ・レジスタ (MC0TX)

送信データを設定するレジスタです。MCGコントロール・レジスタ0 (MC0CTL0) のビット7 (MC0PWR) が1のときMC0TXにデータを書き込むことにより、送信動作を開始します。

MC0TXに書き込まれたデータは8ビット・シフト・レジスタによりシリアル・データに変換され、MCGO端子に出力されます。

出力コードはMCGコントロール・レジスタ0 (MC0CTL0) のビット1 (MC0OSL) によりマンチェスタ・コードかビット・シーケンシャルかを設定できます。

MC0TXは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

(2) MCG送信ビット数指定レジスタ (MC0BIT)

送信ビット数を設定するレジスタです。

MC0TXに送信データを設定する前に、このレジスタに送信ビット数を設定してください。

連続送信時には、送信開始割り込み (INTMCG) 発生後に次の送信ビット数を書き込む必要があります。送信ビット数が前の送信ビット数と同じ場合はこのレジスタに書き込む必要はありません。

MC0BITは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図19-3 MCG送信ビット数指定レジスタ (MC0BIT) のフォーマット

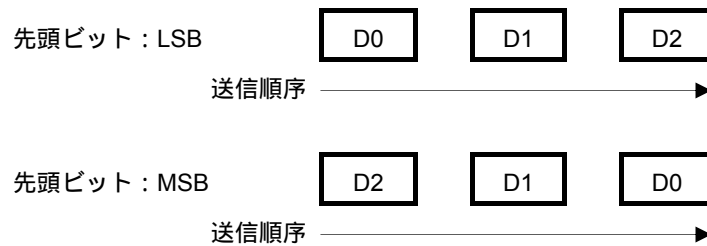
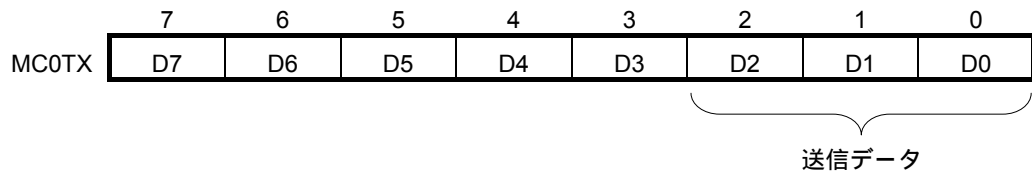
アドレス : FF4BH リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
MC0BIT	0	0	0	0	0	MC0BIT2	MC0BIT1	MC0BIT0

MC0BIT2	MC0BIT1	MC0BIT0	送信ビット数の設定
0	0	0	1ビット
0	0	1	2ビット
0	1	0	3ビット
0	1	1	4ビット
1	0	0	5ビット
1	0	1	6ビット
1	1	0	7ビット
1	1	1	8ビット

備考 送信ビット数を7ビット以下に選択した場合、MSB / LSBの設定に関わらず、常に下位側のビットが送信データとなります。

例 MCG送信バッファ・レジスタ (MC0TX) にD7-D0を設定し、送信ビット数を3ビットに設定した場合



19.3 マンチェスタ・コード・ジェネレータを制御するレジスタ

マンチェスタ・コード・ジェネレータは、次の6種類のレジスタで制御します。

- ・ MCGコントロール・レジスタ0 (MC0CTL0)
- ・ MCGコントロール・レジスタ1 (MC0CTL1)
- ・ MCGコントロール・レジスタ2 (MC0CTL2)
- ・ MCGステータス・レジスタ (MC0STR)
- ・ ポート・モード・レジスタ3 (PM3)
- ・ ポート・レジスタ3 (P3)

(1) MCGコントロール・レジスタ0 (MC0CTL0)

動作モードや動作の許可 / 禁止を設定するレジスタです。

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図19-4 MCGコントロール・レジスタ0 (MC0CTL0) のフォーマット

アドレス : FF4CH リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止
1	動作許可

MC0DIR	先頭ビットの指定
0	MSB
1	LSB

MC0OSL	データ・フォーマット
0	マンチェスタ・コード
1	ビット・シーケンシャル・データ

MC0OLV	送信サスペンド時の出力レベル
0	ロウ・レベル
1	ハイ・レベル

注意 MC0DIR, MC0OSL, MC0OLVビットを書き換えるときは、MC0PWRビットをクリア(0)してから行ってください(MC0PWRビットをセット(1)すると同時に8ビット・メモリ操作命令で書き換えることは可能です)。

(2) MCGコントロール・レジスタ1 (MC0CTL1)

マンチェスタ・コード・ジェネレータの基本クロックを設定するレジスタです。

MC0CTL1は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 MCGコントロール・レジスタ1 (MC0CTL1) のフォーマット

アドレス：FF4DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本クロック (f _{xCLK}) 選択 ^{注1}
0	0	0	f _{PRS} ^{注2} (10 MHz)
0	0	1	f _{PRS} /2 (5 MHz)
0	1	0	f _{PRS} /2 ² (2.5 MHz)
0	1	1	f _{PRS} /2 ³ (1.25 MHz)
1	0	0	f _{PRS} /2 ⁴ (625 kHz)
1	0	1	f _{PRS} /2 ⁵ (312.5 kHz)
1	1	0	設定禁止
1	1	1	設定禁止

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{xH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V ≤ V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、MC0CKS2 = MC0CKS1 = MC0CKS0 = 0 (基本クロック : f_{PRS}) は設定禁止です。

注意 MC0CKS2-MC0CKS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック発振周波数

2. () 内は、f_{PRS} = 10 MHz動作時。

(3) MCGコントロール・レジスタ2 (MC0CTL2)

送信ポー・レートを設定するレジスタです。

MC0CTL2は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

図19 - 6 MCGコントロール・レジスタ2 (MC0CTL2) のフォーマット

アドレス：FF4EH リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5ビット・カウンタの出力クロック 選択
0	0	0	x	x	4	$f_{XCLK}/4$
0	0	1	0	0	4	$f_{XCLK}/4$
0	0	1	0	1	5	$f_{XCLK}/5$
0	0	1	1	0	6	$f_{XCLK}/6$
0	0	1	1	1	7	$f_{XCLK}/7$
.
.
.
.
.
1	1	1	0	0	28	$f_{XCLK}/28$
1	1	1	0	1	29	$f_{XCLK}/29$
1	1	1	1	0	30	$f_{XCLK}/30$
1	1	1	1	1	31	$f_{XCLK}/31$

注意1. MC0BRS4-MC0BRS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

2. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

2. k : MC0BRS4-MC0BRS0ビットで設定した値 (k = 4, 5, 6, 7, ..., 31)

3. x : 任意

(4) MCGステータス・レジスタ (MC0STR)

マンチェスタ・コード・ジェネレータの動作状態を示すレジスタです。

MC0STRは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。書き込みはできません。

リセット信号の発生、またはMC0PWR = 0とすることにより、00Hになります。

図19-7 MCGステータス・レジスタ (MC0STR) のフォーマット

アドレス : FF47H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
MC0STR	MC0TSF	0	0	0	0	0	0	0

MC0TSF	データ送信状態
0	<ul style="list-style-type: none"> ・リセット信号の発生時 ・MC0PWR = 0時 ・送信終了時に次の転送データがMC0TXに書き込まれていないとき
1	送信動作中

注意 連続送信中はこのフラグは常に1になっています。このフラグがクリアされているのを確認せずに送信動作の初期化を行わないでください。

19.4 マンチェスタ・コード・ジェネレータの動作

マンチェスタ・コード・ジェネレータの持つ次の3種類のモードについて説明します。

- ・動作停止モード
- ・マンチェスタ・コード・ジェネレータ・モード
- ・ビット・シーケンシャル・バッファ・モード

19.4.1 動作停止モード

動作停止モードでは送信は行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P32/TOH0/MCGO端子を通常の入出力ポートとして使用できます。

(1) レジスタの説明

動作停止モードの設定は、MCGコントロール・レジスタ0 (MC0CTL0) で行います。

動作停止モードにする場合は、MC0CTL0のビット7 (MC0PWR) に0を設定してください。

(a) MCGコントロール・レジスタ0 (MC0CTL0)

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

アドレス : FF4CH リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止

19.4.2 マンチェスタ・コード・ジェネレータ・モード

マンチェスタ・コード・フォーマットでのデータ送信を行うモードです。MCGO端子を使用してデータ送信を行います。

(1) レジスタの説明

マンチェスタ・コード・ジェネレータ・モードの設定はMCGコントロール・レジスタ0 (MC0CTL0) , MCGコントロール・レジスタ1 (MC0CTL1) , MCGコントロール・レジスタ2 (MC0CTL2) で行います。

(a) MCGコントロール・レジスタ0 (MC0CTL0)

動作モードや動作の許可 / 禁止を設定するレジスタです。

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

アドレス：FF4CH リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止
1	動作許可

MC0DIR	先頭ビットの指定
0	MSB
1	LSB

MC0OSL	データ・フォーマット
0	マンチェスタ・コード
1	ビット・シーケンシャル・データ

MC0OLV	送信サスペンド時の出力レベル
0	ロウ・レベル
1	ハイ・レベル

注意 MC0DIR, MC0OSL, MC0OLVビットを書き換えるときは、MC0PWRビットをクリア(0)してから行ってください(MC0PWRビットをセット(1)すると同時に8ビット・メモリ操作命令で書き換えることは可能です)。

(b) MCGコントロール・レジスタ1 (MC0CTL1)

マンチェスタ・コード・ジェネレータの基本クロックを設定するレジスタです。

MC0CTL1は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF4DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本クロック (f _{XCLK}) 選択 ^{注1}
0	0	0	f _{PRS} ^{注2} (10 MHz)
0	0	1	f _{PRS} /2 (5 MHz)
0	1	0	f _{PRS} /2 ² (2.5 MHz)
0	1	1	f _{PRS} /2 ³ (1.25 MHz)
1	0	0	f _{PRS} /2 ⁴ (625 kHz)
1	0	1	f _{PRS} /2 ⁵ (312.5 kHz)
1	1	0	設定禁止
1	1	1	設定禁止

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、MC0CKS2 = MC0CKS1 = MC0CKS0 = 0 (基本クロック : f_{PRS}) は設定禁止です。

注意 MC0CKS2-MC0CKS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック発振周波数

2. () 内は、f_{PRS} = 10 MHz動作時。

(c) MCGコントロール・レジスタ2 (MC0CTL2)

送信ポー・レートを設定するレジスタです。

MC0CTL2は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

アドレス：FF4EH リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5ビット・カウンタの出力クロック選択
0	0	0	x	x	4	$f_{XCLK}/4$
0	0	1	0	0	4	$f_{XCLK}/4$
0	0	1	0	1	5	$f_{XCLK}/5$
0	0	1	1	0	6	$f_{XCLK}/6$
0	0	1	1	1	7	$f_{XCLK}/7$
.
.
.
.
.
1	1	1	0	0	28	$f_{XCLK}/28$
1	1	1	0	1	29	$f_{XCLK}/29$
1	1	1	1	0	30	$f_{XCLK}/30$
1	1	1	1	1	31	$f_{XCLK}/31$

注意1. MC0BRS4-MC0BRS0 ビットを書き換える場合は、MC0CTL0 レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

2. 5ビット・カウンタの出力クロックをさらに1/2分周したものが、ポー・レート値となります。

備考1. f_{XCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

2. k : MC0BRS4-MC0BRS0ビットで設定した値 (k = 4, 5, 6, 7, ..., 31)

3. x : 任意

ボー・レート

ボー・レートは次の式によって求められます。

$$\cdot \text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

k : MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 31$)

ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットの設定値 = 10000B ($k = 16$)

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

ボー・レート設定例

ボー・レート [bps]	f _{PRS} = 10.0 MHz				f _{PRS} = 8.38 MHz				f _{PRS} = 8.0 MHz				f _{PRS} = 6.0 MHz			
	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]
4800	-	-	-	-	5,6, または7	27	4850	1.03	5,6, または7	26	4808	0.16	5,6, または7	20	4688	-2.34
9600	5,6, または7	16	9766	1.73	4	27	9699	1.03	5,6, または7	13	9615	0.16	4	20	9375	-2.34
19200	5	8	19531	1.73	3	27	19398	1.03	4	13	19231	0.16	4	10	18750	-2.34
31250	4	10	31250	0	2	17	30809	-1.41	4	8	31250	0	2	24	31250	0
38400	4	8	39063	1.73	2	27	38796	1.03	3	13	38462	0.16	2	20	37500	-2.34
56000	3	11	56818	1.46	2	19	55132	-1.55	3	9	55556	-0.79	1	27	55556	-0.79
62500	2	20	62500	0	2	17	61618	-1.41	3	8	62500	0	2	12	62500	0
76800	2	16	78125	1.73	1	27	77592	1.03	2	13	76923	0.16	2	10	75000	-2.34
115200	1	22	113636	-1.36	2	9	116389	1.03	1	17	117647	2.12	1	13	115385	0.16
125000	1	20	125000	0	1	17	123235	-1.41	1	16	125000	0	1	12	125000	0
153600	1	16	156250	1.73	2	7	149643	-2.58	1	13	153846	0.16	1	10	150000	-2.34
250000	1	10	250000	0	1	8	261875	4.75	1	8	250000	0	1	6	250000	0
					0	17	246471	-1.41								

備考 MC0CKS2-MC0CKS0 : MCGコントロール・レジスタ1 (MC0CTL1) のビット2-0 (基本クロック (f_{CLK}) 設定)

k : MCGコントロール・レジスタ2 (MC0CTL2) のビット4-0 (MC0BRS4-MC0BRS0) で設定した値 (k = 4, 5, 6, ..., 31)

f_{PRS} : 周辺ハードウェア・クロック発振周波数

ERR : ボー・レート誤差

(d) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P32/TOH0/MCGO端子をマンチェスタ・コード出力として使用するとき、PM32に0を、P32の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

アドレス：FF23H リセット時：FFH R/W

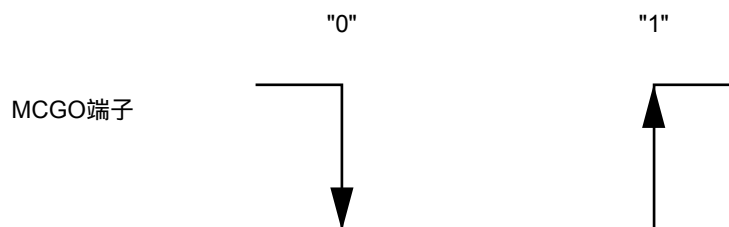
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

(2) マンチェスタ・コード出力の"0", "1"のフォーマット

78K0/Lx3マイクロコントローラでは、マンチェスタ・コード出力の"0", "1"のフォーマットは次のようになります。



(3) 送信動作

マンチェスタ・コード・ジェネレータ・モードでは、データは1-8ビット単位で送信されます。データのビットはマンチェスタ・コード・フォーマットで送信されます。MCGコントロール・レジスタ0(MC0CTL0)のビット7(MC0PWR)を1とすることにより送信可能状態になります。

送信サスペンド時の出力値はMC0CTL0レジスタのビット0(MC0OLV)により設定できます。

MCG送信ビット数指定レジスタ(MC0BIT)に送信データ・ビット長を設定したあとにMCG送信バッファ・レジスタ(MC0TX)に値を書き込むことにより送信が開始します。送信開始タイミングでMC0BITの値は3ビット・カウンタに転送され、MC0TXのデータは8ビット・シフト・レジスタへ転送されます。MC0TXの値が8ビット・シフト・レジスタへ転送されるタイミングで、割り込み要求信号(INTMCG)が発生します。その後、8ビット・シフト・レジスタはポー・レート・クロックにより連続的にシフトされ、ポー・レート・クロックとのEXOR信号がMCGO端子から出力されます。

連続送信を行う場合には、INTMCG発生後、データ送信中にMC0BIT、MC0TXに次のデータを設定することができます。

連続送信を行うためには、MC0TXへの次の転送データの書き込みは図19-8の(3)、(4)に示す期間内に終了しなくてはなりません。また、連続送信時にMC0BITを書き換える場合は、MC0TXの書き込みより前に行うようにしてください。

図19-8 マンチェスタ・コード・ジェネレータ・モードのタイミング(LSB先頭)(1/4)

(1) 送信タイミング(MC0OLV = 1, トータル送信ビット長 = 8ビット)

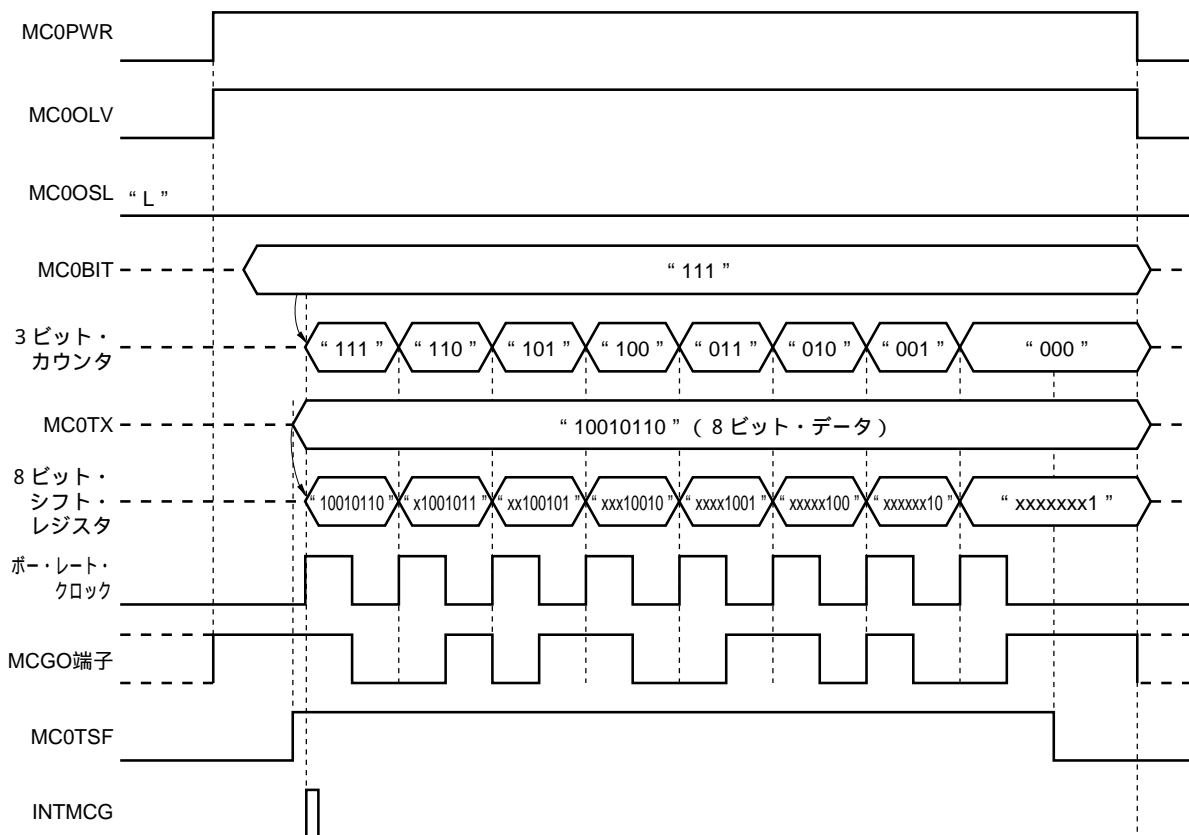


図19 - 8 マンチェスタ・コード・ジェネレータ・モードのタイミング (LSB先頭) (2/4)

(2) 送信タイミング (MC0OLV = 0 , トータル送信ビット長 = 8ビット)

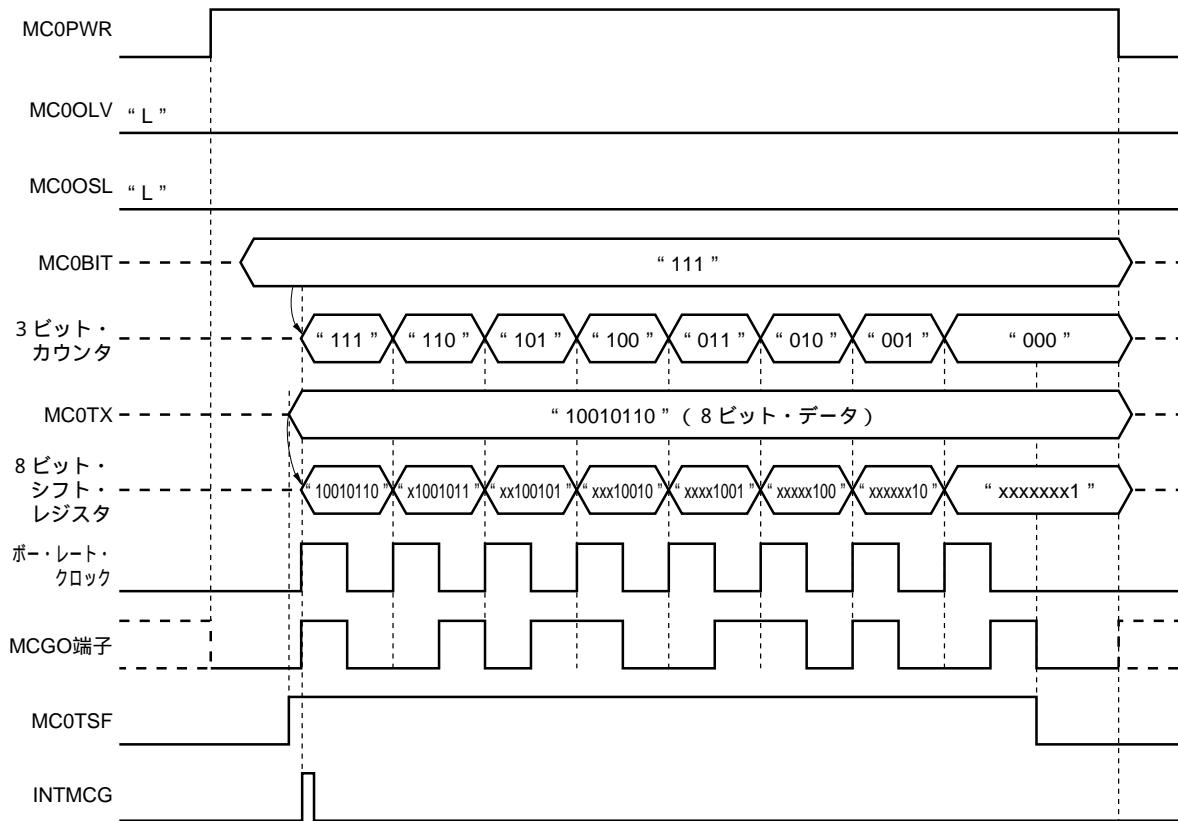
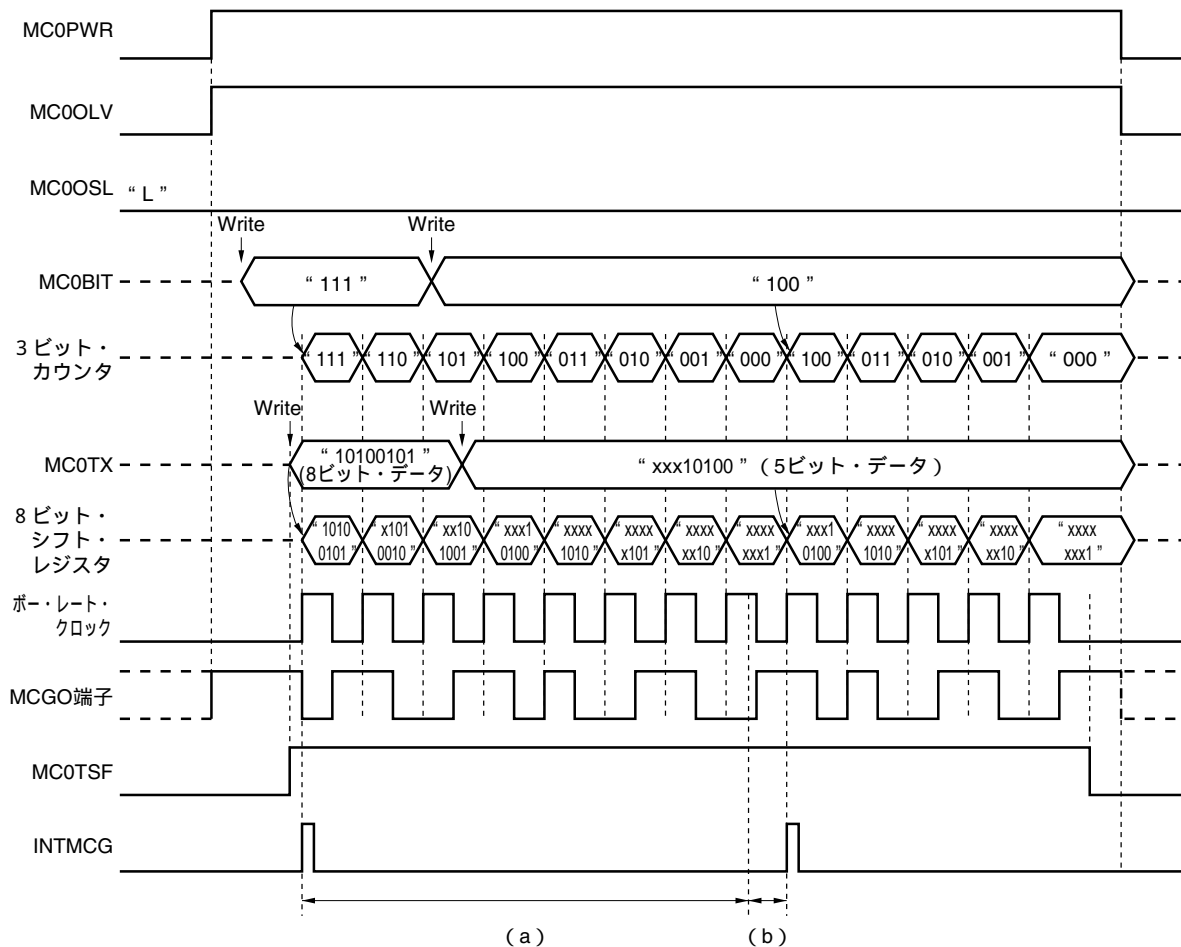


図19 - 8 マンチェスタ・コード・ジェネレータ・モードのタイミング (LSB先頭) (3/4)

(3) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 13ビット)



(a) : “8ビット転送期間” - (b)

(b) : 送信データの最終ビットの, “ポークロークの1/2周期” + 1クロック (f_{CLK}) 前

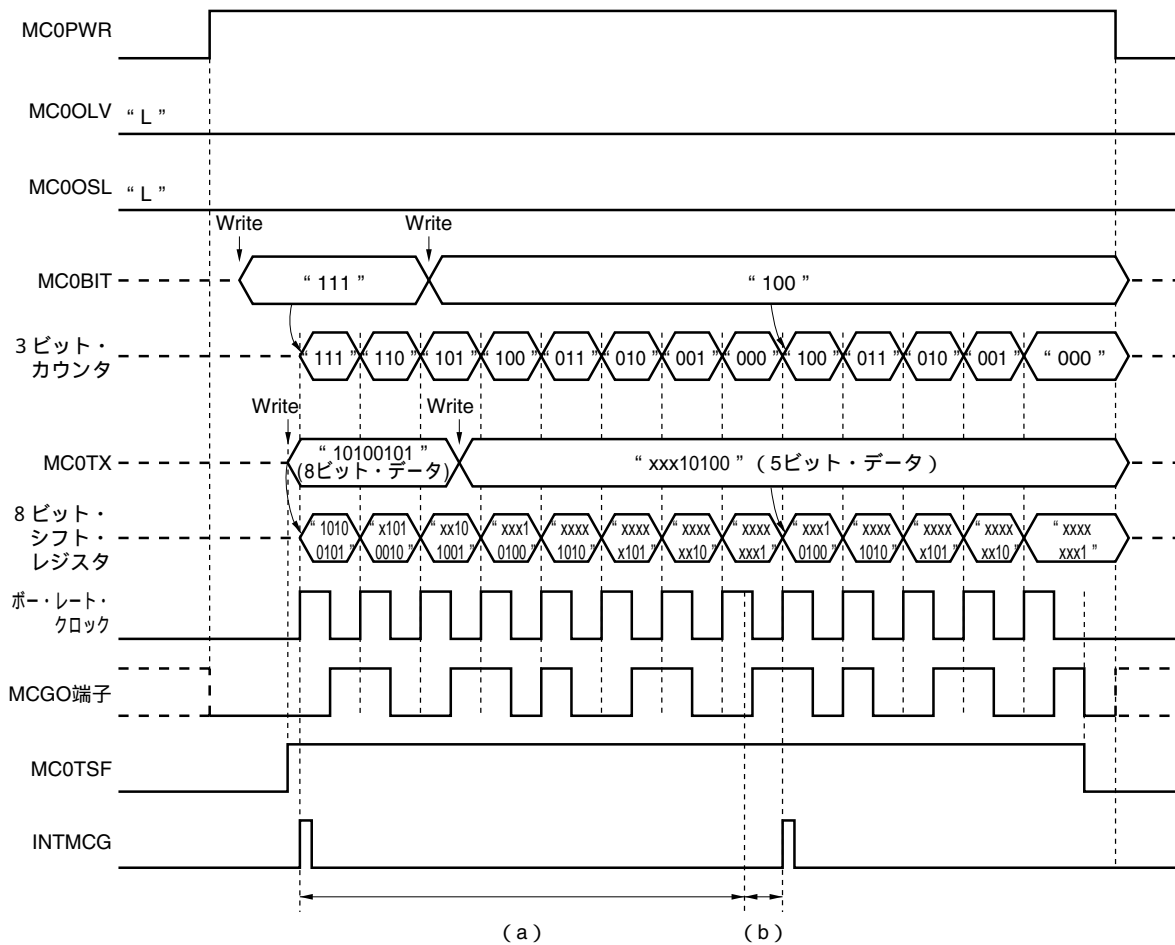
f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

最終ビット : 3ビット・カウンタ = “000” 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a)の期間内に終了する必要があります。
 MC0TXへの次の送信データの書き込みが (b)の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (f_{CLK}) 後に開始します。
 また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

図19 - 8 マンチェスタ・コード・ジェネレータ・モードのタイミング (LSB先頭) (4/4)

(4) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 13ビット)



(a) : "8ビット転送期間" - (b)

(b) : 送信データの最終ビットの, "ポーレートの1/2周期" + 1クロック (f_{CLK}) 前

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

最終ビット : 3ビット・カウンタ = "000" 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a)の期間内に終了する必要があります。
 MC0TXへの次の送信データの書き込みが (b)の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (f_{CLK}) 後に開始します。
 また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

19.4.3 ビット・シーケンシャル・バッファ・モード

ビット・シーケンシャル・バッファ・モードは、シーケンシャルな信号出力を行います。MCGO端子を使用してデータ出力を行います。

(1) レジスタの説明

ビット・シーケンシャル・バッファ・モードの設定はMCGコントロール・レジスタ0 (MC0CTL0) , MCGコントロール・レジスタ1 (MC0CTL1) , MCGコントロール・レジスタ2 (MC0CTL2) で行います。

(a) MCGコントロール・レジスタ0 (MC0CTL0)

動作モードや動作の許可 / 禁止を設定するレジスタです。

MC0CTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

アドレス : FF4CH リセット時 : 10H R/W

略号	<input type="checkbox"/> 7	6	5	<input type="checkbox"/> 4	3	2	<input type="checkbox"/> 1	<input type="checkbox"/> 0
MC0CTL0	MC0PWR	0	0	MC0DIR	0	0	MC0OSL	MC0OLV

MC0PWR	動作制御
0	動作停止
1	動作許可

MC0DIR	先頭ビットの指定
0	MSB
1	LSB

MC0OSL	データ・フォーマット
0	マンチェスタ・コード
1	ビット・シーケンシャル・データ

MC0OLV	送信サスペンド時の出力レベル
0	ロウ・レベル
1	ハイ・レベル

注意 MC0DIR, MC0OSL, MC0OLVビットを書き換えるときは、MC0PWRビットをクリア(0)してから行ってください(MC0PWRビットをセット(1)すると同時に8ビット・メモリ操作命令で書き換えることは可能です)。

(b) MCGコントロール・レジスタ1 (MC0CTL1)

マンチェスタ・コード・ジェネレータの基本クロックを設定するレジスタです。

MC0CTL1は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス：FF4DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MC0CTL1	0	0	0	0	0	MC0CKS2	MC0CKS1	MC0CKS0

MC0CKS2	MC0CKS1	MC0CKS0	基本クロック (f _{CLK}) 選択 ^{注1}
0	0	0	f _{PRS} ^{注2} (10 MHz)
0	0	1	f _{PRS} /2 (5 MHz)
0	1	0	f _{PRS} /2 ² (2.5 MHz)
0	1	1	f _{PRS} /2 ³ (1.25 MHz)
1	0	0	f _{PRS} /2 ⁴ (625 kHz)
1	0	1	f _{PRS} /2 ⁵ (312.5 kHz)
1	1	0	設定禁止
1	1	1	設定禁止

注1. 周辺ハードウェア・クロック (f_{PRS}) が高速システム・クロック (f_{XH}) で動作している (XSEL = 1) 場合、電源電圧により、f_{PRS}の動作周波数が異なります。

・ V_{DD} = 2.7 ~ 5.5 V : f_{PRS} 10 MHz

・ V_{DD} = 1.8 ~ 2.7 V : f_{PRS} 5 MHz

2. 1.8 V < V_{DD} < 2.7 Vで、周辺ハードウェア・クロック (f_{PRS}) が高速内蔵発振クロック (f_{RH}) で動作している (XSEL = 0) 場合、MC0CKS2 = MC0CKS1 = MC0CKS0 = 0 (基本クロック : f_{PRS}) は設定禁止です。

注意 MC0CKS2-MC0CKS0ビットを書き換える場合は、MC0CTL0レジスタのビット7 (MC0PWR) = 0にしてから行ってください。

備考1. f_{PRS} : 周辺ハードウェア・クロック発振周波数

2. () 内は、f_{PRS} = 10 MHz動作時

(c) MCGコントロール・レジスタ2 (MC0CTL2)

送信ポー・レートを設定するレジスタです。

MC0CTL2は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、1FHになります。

アドレス：FF4EH リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
MC0CTL2	0	0	0	MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0

MC0BRS4	MC0BRS3	MC0BRS2	MC0BRS1	MC0BRS0	k	5ビット・カウンタの出カクロック選択
0	0	0	x	x	4	$f_{XCLK}/4$
0	0	1	0	0	4	$f_{XCLK}/4$
0	0	1	0	1	5	$f_{XCLK}/5$
0	0	1	1	0	6	$f_{XCLK}/6$
0	0	1	1	1	7	$f_{XCLK}/7$
.
.
.
.
.
1	1	1	0	0	28	$f_{XCLK}/28$
1	1	1	0	1	29	$f_{XCLK}/29$
1	1	1	1	0	30	$f_{XCLK}/30$
1	1	1	1	1	31	$f_{XCLK}/31$

- 注意1. MC0BRS4-MC0BRS0 ビットを書き換える場合は、MC0CTL0 レジスタのビット7 (MC0PWR) = 0にしてから行ってください。
2. 5ビット・カウンタの出カクロックをさらに1/2分周したものが、ポー・レート値となります。

- 備考1. f_{XCLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数
2. k : MC0BRS4-MC0BRS0ビットで設定した値 (k = 4, 5, 6, 7, ..., 31)
3. x : 任意

ボー・レート

ボー・レートは次の式によって求められます。

$$\cdot \text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した基本クロックの周波数

k : MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 31$)

ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\cdot \text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

例 基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

MC0CTL2レジスタのMC0BRS4-MC0BRS0ビットの設定値 = 10000B ($k = 16$)

目標ボー・レート = 76800 bps

$$\begin{aligned} \text{ボー・レート} &= 2.5 \text{ M} / (2 \times 16) \\ &= 2,500,000 / (2 \times 16) = 78125 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (78125 / 76800 - 1) \times 100 \\ &= 1.725 \text{ [\%]} \end{aligned}$$

ボー・レート設定例

ボー・レート [bps]	f _{PRS} = 10.0 MHz				f _{PRS} = 8.38 MHz				f _{PRS} = 8.0 MHz				f _{PRS} = 6.0 MHz			
	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]	MC0CKS2- MC0CKS0	k	算出値	ERR [%]
4800	-	-	-	-	5,6, または7	27	4850	1.03	5,6, または7	26	4808	0.16	5,6, または7	20	4688	-2.34
9600	5,6, または7	16	9766	1.73	4	27	9699	1.03	5,6, または7	13	9615	0.16	4	20	9375	-2.34
19200	5	8	19531	1.73	3	27	19398	1.03	4	13	19231	0.16	4	10	18750	-2.34
31250	4	10	31250	0	2	17	30809	-1.41	4	8	31250	0	2	24	31250	0
38400	4	8	39063	1.73	2	27	38796	1.03	3	13	38462	0.16	2	20	37500	-2.34
56000	3	11	56818	1.46	2	19	55132	-1.55	3	9	55556	-0.79	1	27	55556	-0.79
62500	2	20	62500	0	2	17	61618	-1.41	3	8	62500	0	2	12	62500	0
76800	2	16	78125	1.73	1	27	77592	1.03	2	13	76923	0.16	2	10	75000	-2.34
115200	1	22	113636	-1.36	2	9	116389	1.03	1	17	117647	2.12	1	13	115385	0.16
125000	1	20	125000	0	1	17	123235	-1.41	1	16	125000	0	1	12	125000	0
153600	1	16	156250	1.73	2	7	149643	-2.58	1	13	153846	0.16	1	10	150000	-2.34
250000	1	10	250000	0	1	8	261875	4.75	1	8	250000	0	1	6	250000	0
					0	17	246471	-1.41								

備考 MC0CKS2-MC0CKS0 : MCGコントロール・レジスタ1 (MC0CTL1) のビット2-0 (基本クロック (f_{CLK}) 設定)

k : MCGコントロール・レジスタ2 (MC0CTL2) のビット4-0 (MC0BRS4-MC0BRS0) で設定した値 (k = 4, 5, 6, ..., 31)

f_{PRS} : 周辺ハードウェア・クロック発振周波数

ERR : ボー・レート誤差

(d) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P32/TOH0/MCGO端子をビット・シーケンシャル・データ出力として使用するとき、PM32に0を、P32の出力ラッチに0を設定してください。

PM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

アドレス：FF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0/LF3のポート・モード・レジスタ3のフォーマットです。他の製品のポート・モード・レジスタ3のフォーマットについては、4.3 **ポート機能を制御するレジスタ** (1) **ポート・モード・レジスタ (PMxx)** を参照してください。

(2) 送信動作

ビット・シーケンシャル・バッファ・モードでは、データは1-8ビット単位で送信されます。MCGコントロール・レジスタ0 (MC0CTL0) のビット7 (MC0PWR) を1とすることにより送信可能状態になります。

送信サスペンド時の出力値はMC0CTL0レジスタのビット0 (MC0OLV) により設定できます。

MCG送信ビット数指定レジスタ (MC0BIT) に送信データ・ビット長を設定したあとにMCG送信バッファ・レジスタ (MC0TX) に値を書き込むことにより送信が開始します。送信開始タイミングでMC0BITの値は3ビット・カウンタに転送され、MC0TXのデータは8ビット・シフト・レジスタへ転送されます。MC0TXの値が8ビット・シフト・レジスタへ転送されるタイミングで、割り込み要求信号 (INTMCG) が発生します。その後、8ビット・シフト・レジスタはポー・レート・クロックにより連続的にシフトされ、MCGO端子から出力されます。

連続送信を行う場合には、INTMCG発生後、データ送信中にMC0BIT、MC0TXに次のデータを設定することができます。

連続送信を行うためには、MC0TXへの次の転送データの書き込みは図19-9の(3)、(4)に示す期間内に終了しなくてはなりません。また、連続送信時にMC0BITを書き換える場合は、MC0TXの書き込みより前に行うようにしてください。

図19-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (1/4)

(1) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 8ビット)

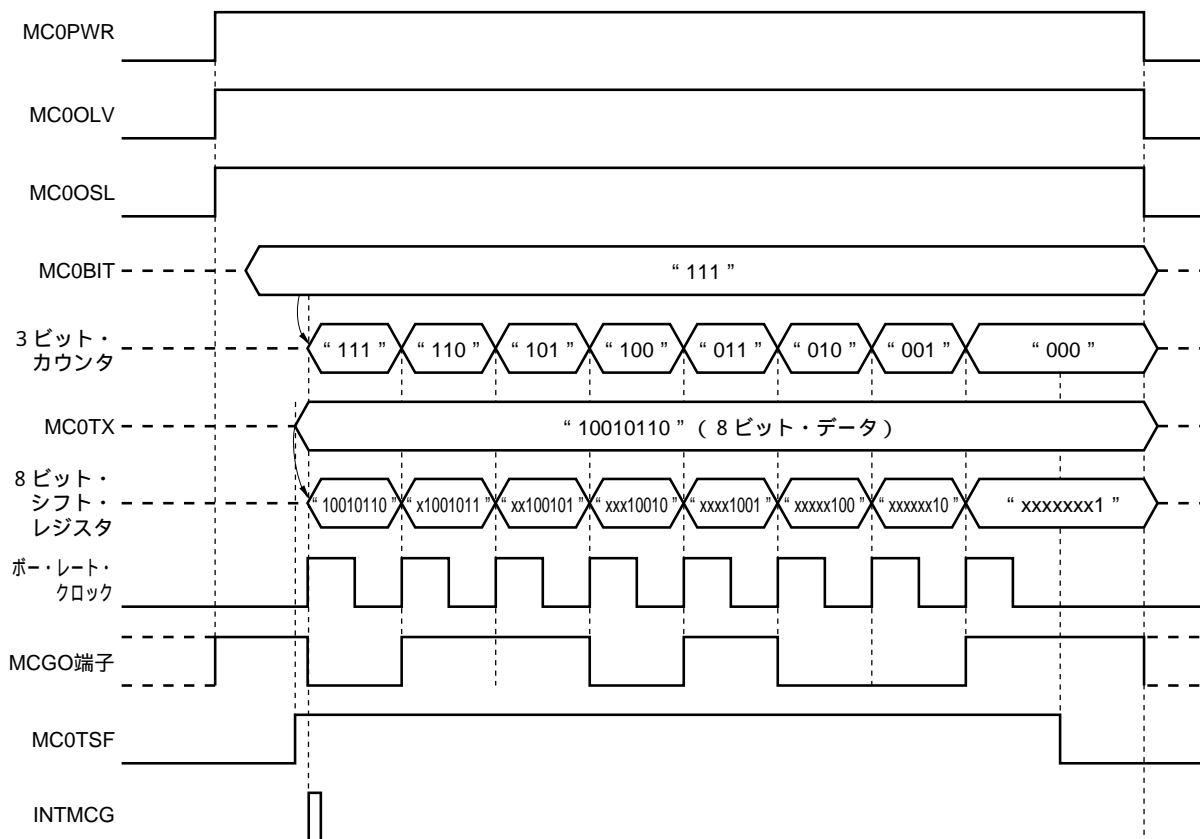


図19-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (2/4)

(2) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 8ビット)

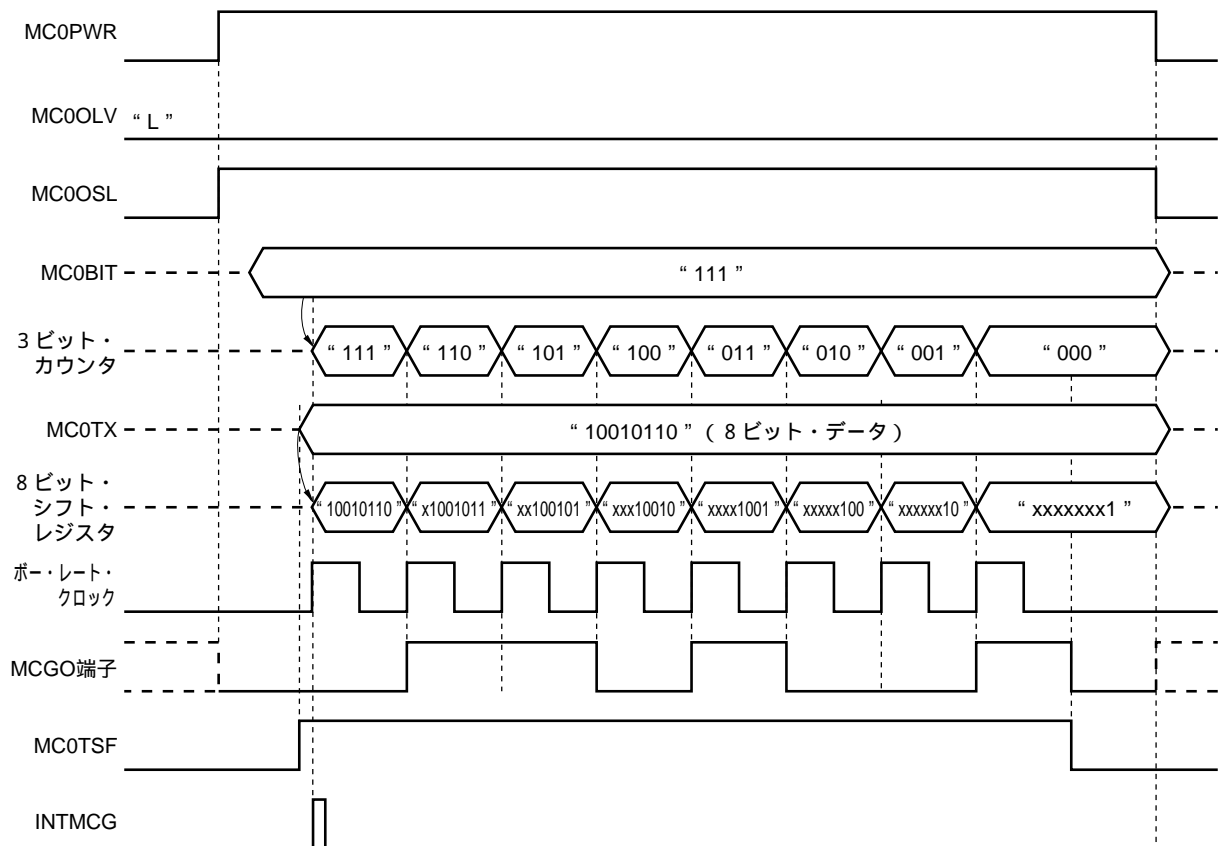
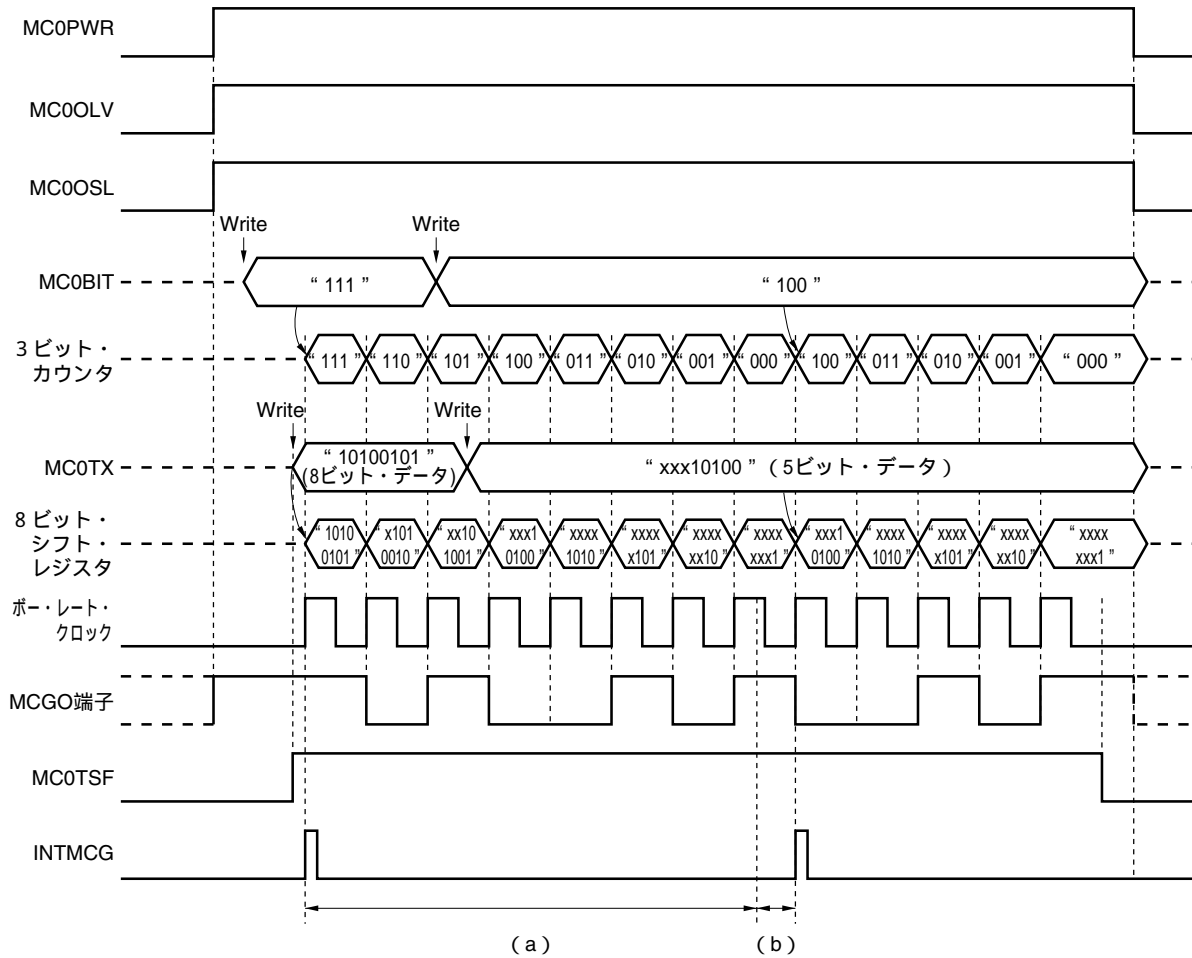


図19-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (3/4)

(3) 送信タイミング (MC0OLV = 1, トータル送信ビット長 = 13ビット)



(a) : "8ビット転送期間" - (b)

(b) : 送信データの最終ビットの, "ポーレートの1/2周期" + 1クロック (f_{CLK}) 前

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

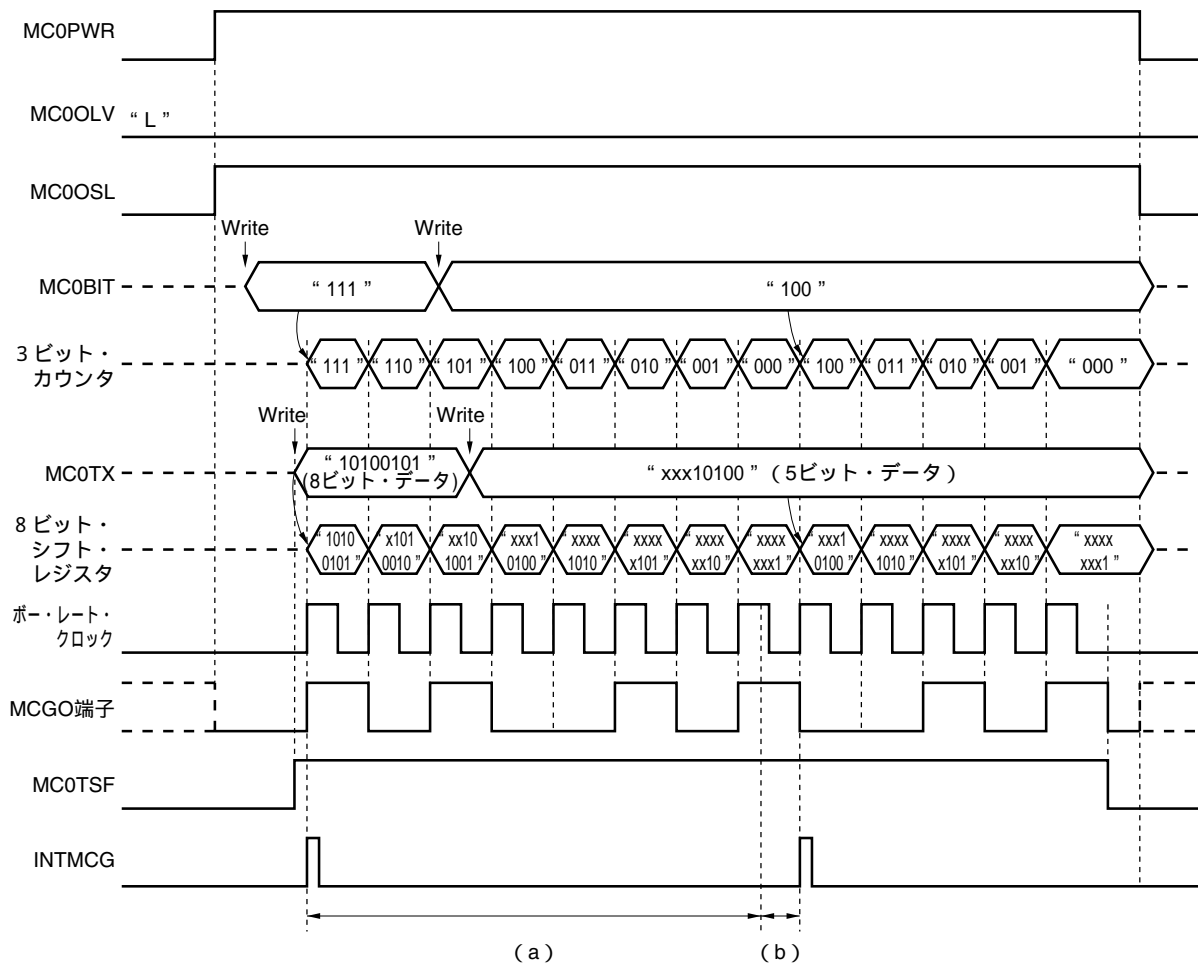
最終ビット : 3ビット・カウンタ = "000" 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a)の期間内に終了する必要があります。MC0TXへの次の送信データの書き込みが (b)の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (f_{CLK}) 後に開始します。

また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

図19-9 ビット・シーケンシャル・バッファ・モードのタイミング (LSB先頭) (4/4)

(4) 送信タイミング (MC0OLV = 0, トータル送信ビット長 = 13ビット)



(a) : "8ビット転送期間" - (b)

(b) : 送信データの最終ビットの, "ポーレートの1/2周期" + 1クロック (f_{CLK}) 前

f_{CLK} : MC0CTL1レジスタのMC0CKS2-MC0CKS0ビットで選択した動作基本クロックの周波数

最終ビット : 3ビット・カウンタ = "000" 時の転送ビット

注意 連続送信時, MC0TXへの次の送信データの書き込みは, (a)の期間内に終了する必要があります。
MC0TXへの次の送信データの書き込みが (b)の期間に実行されると, 次のデータ送信は最終ビット送信から2クロック (f_{CLK}) 後に開始します。

また, 連続送信時にMC0BITを書き換える場合は, MC0TXの書き込みより前に行うようにしてください。

第20章 リモコン受信回路

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
リモコン受信回路	-			

: 搭載, - : 非搭載

20.1 リモコン受信回路の機能

リモコン受信回路には、次の3種類のリモコン受信モードがあります。

- ・A方式受信モード ... ガイド・パルス（半クロック）あり
- ・B方式受信モード ... ガイド・パルス（1クロック）あり
- ・C方式受信モード ... ガイド・パルス なし

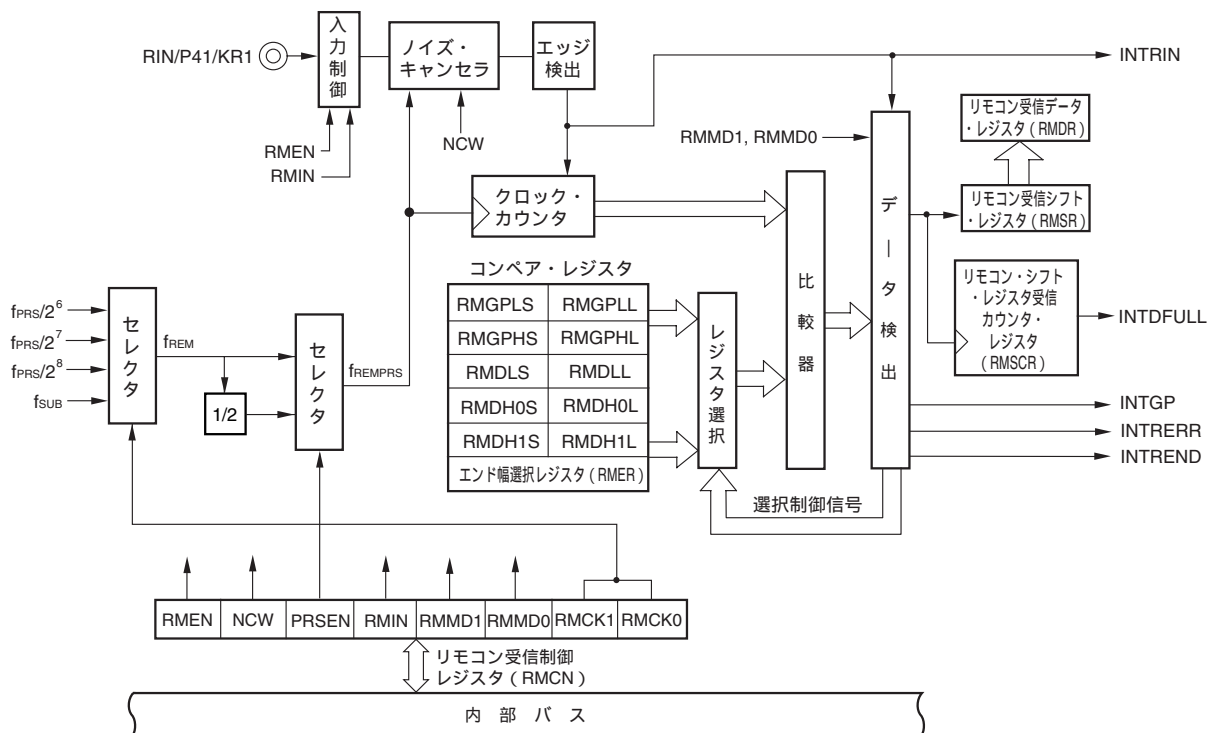
20.2 リモコン受信回路の構成

リモコン受信回路は、次のハードウェアで構成しています。

表20 - 1 リモコン受信回路の構成

項 目	構 成
レジスタ	リモコン受信シフト・レジスタ (RMSR) リモコン受信データ・レジスタ (RMDR) リモコン・シフト・レジスタ受信カウンタ・レジスタ (RMSCR) リモコン受信GPLSコンペア・レジスタ (RMGPLS) リモコン受信GPLLコンペア・レジスタ (RMGPLL) リモコン受信GPHSコンペア・レジスタ (RMGPHS) リモコン受信GPHLコンペア・レジスタ (RMGPHL) リモコン受信DLSコンペア・レジスタ (RMDLS) リモコン受信DLLコンペア・レジスタ (RMDLL) リモコン受信DH0Sコンペア・レジスタ (RMDH0S) リモコン受信DH0Lコンペア・レジスタ (RMDH0L) リモコン受信DH1Sコンペア・レジスタ (RMDH1S) リモコン受信DH1Lコンペア・レジスタ (RMDH1L) リモコン受信エンド幅選択レジスタ (RMER)
制御レジスタ	リモコン受信割り込みステータス・レジスタ (INTS) リモコン受信割り込みステータス・クリア・レジスタ (INTC) リモコン受信制御レジスタ (RMCN)

図20 - 1 リモコン受信回路のブロック図



(1) リモコン受信シフト・レジスタ (RMSR)

リモコン・データ受信用の8ビットのレジスタです。

ビット7からデータが格納され、新たなデータが来るたびに下位ビットに押し出されて行きます。そのためビット7が最終データで、ビット0側が先頭データになります。

RMSRは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・リモコン動作停止 (RMEN = 0)
- ・エラー検出 (INTRERR発生)
- ・INTDFULL発生
- ・INTREND発生後のRMSR読み出し

注意 RMSRはリモコン受信中の読み出しは禁止です。受信終了後に読み出してください。

また、読み出し動作終了後にRMSRはクリアされてしまうため、一度読み出した値を保証することはできません。

(2) リモコン受信データ・レジスタ (RMDR)

リモコン受信データを保持するレジスタです。リモコン受信シフト・レジスタ (RMSR) のオーバフローで、RMSRのデータがRMDRに転送されます。ビット7が最終データで、ビット0が先頭データになります。RMSRからRMDRに転送すると同時に、INTDFULLを発生します。

RMDRは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、リモコン動作禁止 (RMEN = 0) により、00Hにクリアされます。

注意 INTDFULL発生後、次の8ビット分のデータを受信完了する前に読み出してください。

間に合わずに次のINTDFULLが発生した場合は、RMDRは上書きされます。

(3) リモコン・シフト・レジスタ受信カウンタ・レジスタ (RMSCR)

リモコン受信終了 (INTREND発生) 時に、リモコン受信シフト・レジスタ (RMSR) に残っている有効ビット数を示すための3ビット・カウンタ・レジスタです。このレジスタの値を読むことで、8ビット整数倍以外のフォーマットを受信した場合でも有効ビット数が分かります。

RMSCRは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・リモコン動作停止 (RMEN = 0)
- ・エラー検出 (INTRERR発生)
- ・INTREND発生後のRMSR読み出し

注意 INTREND発生後、RMSRを読み出す前にRMSCRを読み出してください。

それ以外のタイミングで読み出した場合の値は保証できません。

図20 - 2 10101011111111B (16ビット) を受信する場合のRMSR, RMSCR, RMDRレジスタの動作例

	RMSR								RMSCR	RMDR
	7	6	5	4	3	2	1	0		
初期値	0	0	0	0	0	0	0	0	00H	0000000B
1ビット受信	1	0	0	0	0	0	0	0	01H	0000000B
2ビット受信	0	1	0	0	0	0	0	0	02H	0000000B
3ビット受信	1	0	1	0	0	0	0	0	03H	0000000B
...
7ビット受信	1	0	1	0	1	0	1	0	07H	0000000B
8ビット受信	0	1	0	1	0	1	0	1	00H	0000000B
RMDR転送	0	0	0	0	0	0	0	0	00H	01010101B
9ビット受信	1	0	0	0	0	0	0	0	01H	01010101B
10ビット受信	1	1	0	0	0	0	0	0	02H	01010101B
...
16ビット受信	1	1	1	1	1	1	1	1	00H	01010101B
RMDR転送	0	0	0	0	0	0	0	0	00H	11111111B

(4) リモコン受信GPLSコンペア・レジスタ (RMGPLS) (B方式受信モードのみ)

リモコン・ガイド・パルス・ロウ・レベル検出用レジスタ (ショート側) です。

RMGPLSは、8ビット・メモリ操作命令で設定します。

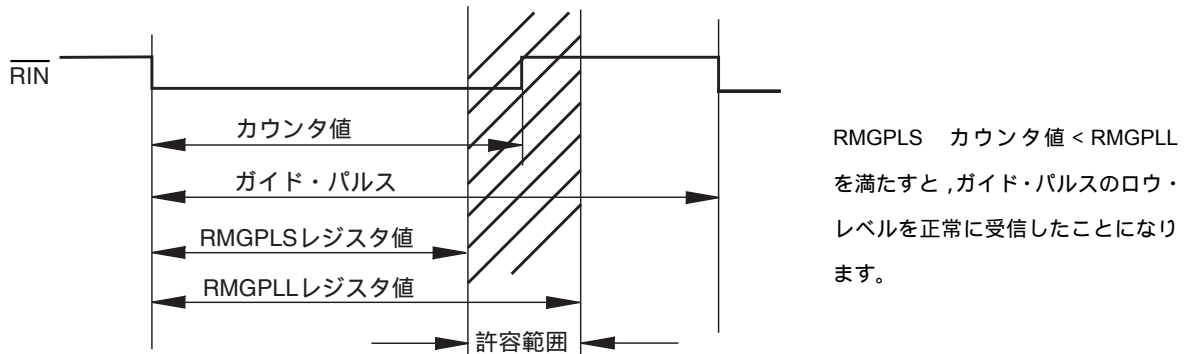
リセット信号の発生により、00Hになります。

(5) リモコン受信GPLLコンペア・レジスタ (RMGPLL) (B方式受信モードのみ)

リモコン・ガイド・パルス・ロウ・レベル検出用レジスタ (ロング側) です。

RMGPLLは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。



(6) リモコン受信GPHSコンペア・レジスタ (RMGPHS) (A方式, B方式受信モードのみ)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ショート側) です。

RMGPHSは, 8ビット・メモリ操作命令で設定します。

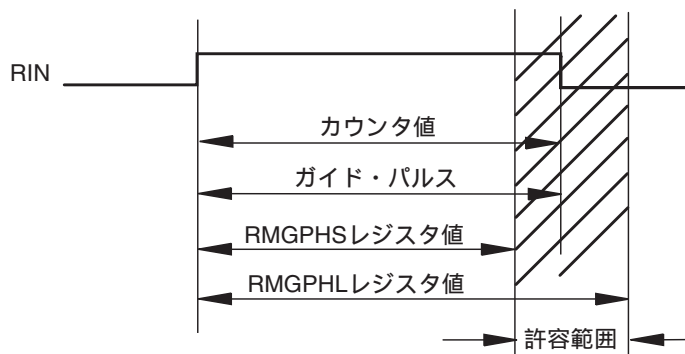
リセット信号の発生により, 00Hになります。

(7) リモコン受信GPHLコンペア・レジスタ (RMGPHL) (A方式, B方式受信モードのみ)

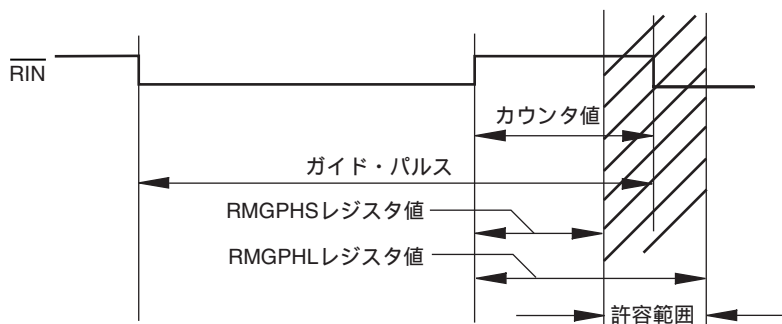
リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ロング側) です。

RMGPHLは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

(a) A方式受信モード

RMGPHS カウンタ値 < RMGPHL
を満たすと, ガイド・パルスのハイ・
レベルを正常に受信したことになり
ます。

(b) B方式受信モード

RMGPHS カウンタ値 < RMGPHL
を満たすと, ガイド・パルスのハイ・
レベルを正常に受信したことになり
ます。

(8) リモコン受信DLSコンペア・レジスタ (RMDLS)

リモコン・データ・ロウ・レベル検出用レジスタ (ショート側) です。

RMDLSは、8ビット・メモリ操作命令で設定します。

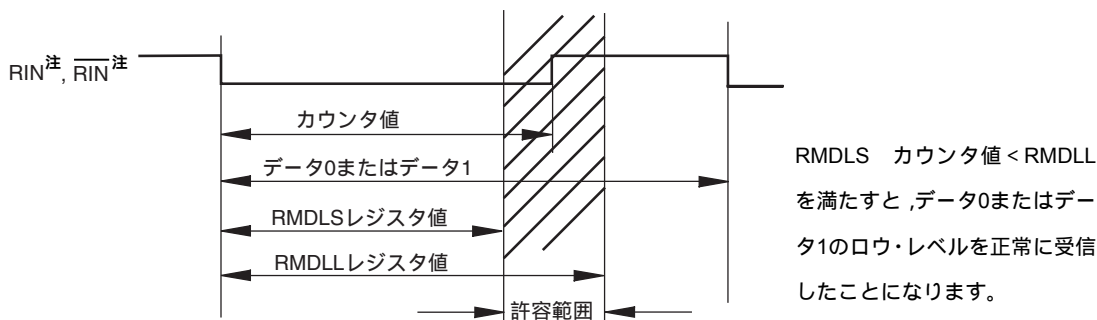
リセット信号の発生により、00Hになります。

(9) リモコン受信DLLコンペア・レジスタ (RMDLL)

リモコン・データ・ロウ・レベル検出用レジスタ (ロング側) です。

RMDLLは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。



注 A方式受信モードではRIN，B方式，C方式受信モードでは $\overline{\text{RIN}}$ となります。

(10) リモコン受信DH0Sコンペア・レジスタ (RMDH0S)

リモコン・データ0ハイ・レベル検出用レジスタ (ショート側) です。

RMDH0Sは、8ビット・メモリ操作命令で設定します。

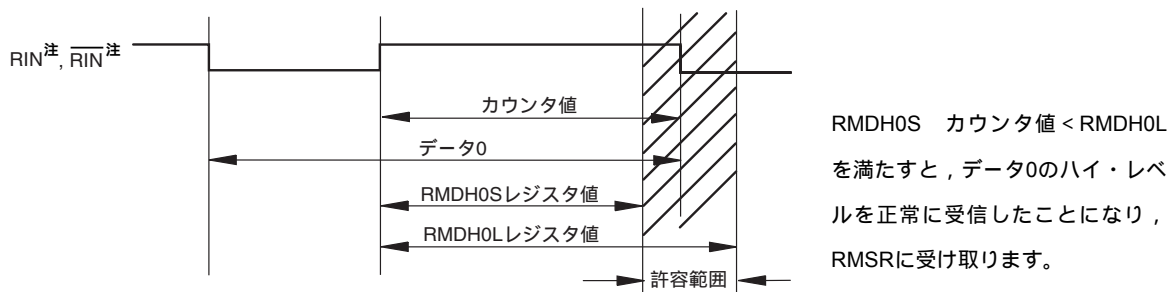
リセット信号の発生により、00Hになります。

(11) リモコン受信DH0Lコンペア・レジスタ (RMDH0L)

リモコン・データ0ハイ・レベル検出用レジスタ (ロング側) です。

RMDH0Lは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。



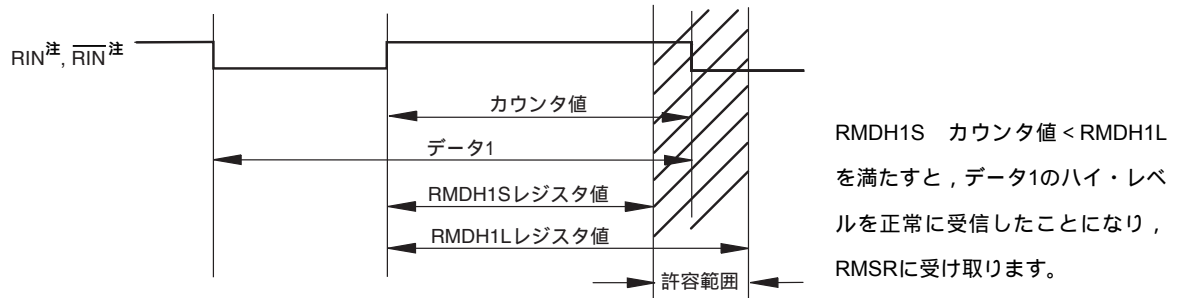
注 A方式受信モードではRIN，B方式，C方式受信モードでは $\overline{\text{RIN}}$ となります。

(12) リモコン受信DH1Sコンペア・レジスタ (RMDH1S)

リモコン・データ1ハイ・レベル検出用レジスタ (ショート側) です。
 RMDH1Sは、8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

(13) リモコン受信DH1Lコンペア・レジスタ (RMDH1L)

リモコン・データ1ハイ・レベル検出用レジスタ (ロング側) です。
 RMDH1Lは、8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。



注 A方式受信モードではRIN，B方式，C方式受信モードでは \overline{RIN} となります。

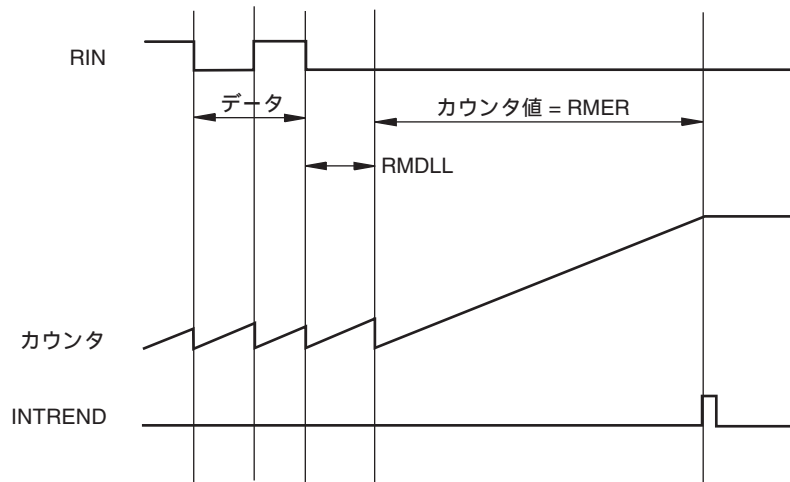
(14) リモコン受信エンド幅選択レジスタ (RMER)

INTREND信号が出力されるタイミング幅を決めるレジスタです。

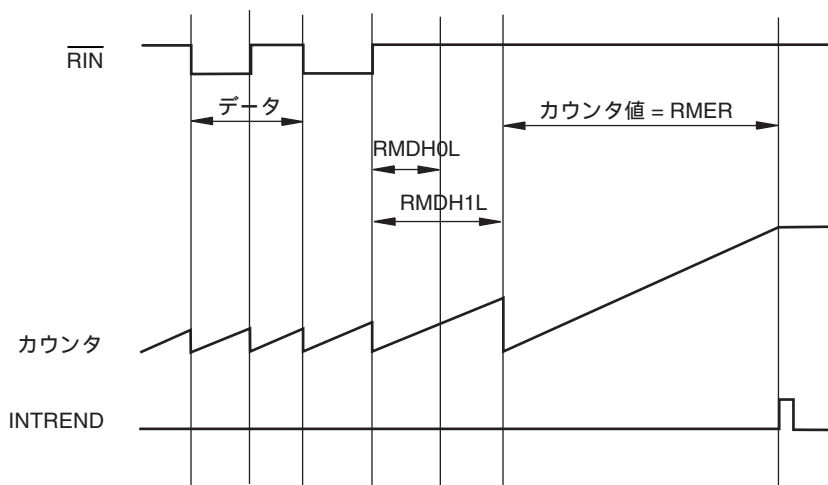
RMERは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

(a) A方式受信モード



(b) B方式, C方式受信モード



注意 RMERとすべてのリモコン受信コンペア・レジスタ (RMGPLS, RMGPLL, RMGPHS, RMGPHL, RMDLS, RMDLL, RMDH0S, RMDH0L, RMDH1S, RMDH1L) は、リモコン受信を禁止 (リモコン受信制御レジスタ (RMCN) のビット7 (RMEN) = 0) にしてから値を変更してください。

20.3 リモコン受信回路を制御するレジスタ

リモコン受信回路は、次のレジスタで制御します。

- ・リモコン受信割り込みステータス・レジスタ (INTS)
- ・リモコン受信割り込みステータス・クリア・レジスタ (INTC)
- ・リモコン受信制御レジスタ (RMCN)

(1) リモコン受信割り込みステータス・レジスタ (INTS)

リモコン受信割り込み (INTRERR, INTGP, INTREND, INTDFULL) のうち、どの割り込み要求が発生したのかを判別するためのレジスタです。

INTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 3 リモコン受信割り込みステータス・レジスタ (INTS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	RW
INTS	0	0	0	0	INTS DFULL	INTS REND	INTS GP	INTS RERR	FFF9H	00H	R

INTS DFULL	8ビット・シフト・データのリードによる割り込み要求
0	8ビット・シフト・データのリード割り込み要求は発生していない
1	8ビット・シフト・データのリード割り込み要求は発生した

INTS REND	データ受信完了割り込みによる要求
0	データ受信完了割り込み要求は発生していない
1	データ受信完了割り込み要求は発生した

INTS GP	ガイド・パルス検出割り込み
0	ガイド・パルス検出割り込み要求は発生していない
1	ガイド・パルス検出割り込み要求は発生した

INTS RERR	リモコン受信エラーによる割り込み要求
0	リモコン受信エラー割り込み要求は発生していない
1	リモコン受信エラー割り込み要求は発生した

注意 INTSレジスタはリードしてもクリアされません。INTSレジスタをクリアするにはINTCレジスタを使用してください。

(2) リモコン受信割り込みステータス・クリア・レジスタ (INTC)

リモコン受信割り込みステータス・レジスタ (INTS) を制御するためのレジスタです。

INTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20 - 4 リモコン受信割り込みステータス・クリア・レジスタ (INTC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTC	0	0	0	0	INTC DFULL	INTC REND	INTC GP	INTC RERR	FFFAH	00H	R/W

INTC DFULL	8ビット・シフト・データのリードによる割り込み判定ビットの制御
0	INTSDFULLビットの変更なし
1	INTSDFULLビットをクリアする

INTC REND	データ受信完了割り込み判定ビットの制御
0	INTSRENDビットの変更なし
1	INTSRENDビットをクリアする

INTC GP	ガイド・パルス検出割り込み判定ビットの制御
0	INTSGPビットの変更なし
1	INTSGPビットをクリアする

INTC RERR	リモコン受信エラー割り込み判定ビットの制御
0	INTSRERRビットの変更なし
1	INTSRERRビットをクリアする

(3) リモコン受信制御レジスタ (RMCN)

リモコン受信許可/禁止, ノイズ・キャンセル幅, クロック内部分周, 入力反転信号, 受信モード, ソース・クロックを設定するレジスタです。

RMCNは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図20 - 5 リモコン受信制御レジスタ (RMCN) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMCN	RMEN	NCW	PRSEN	RMIN	RMMD1	RMMD0	RMCK1	RMCK0	FF9AH	00H	R/W

RMEN	リモコン受信動作の制御
0	リモコン受信禁止
1	リモコン受信許可

NCW	ノイズ・キャンセル幅制御信号
0	$1/f_{REMPRS}$ 未満のノイズを除去
1	$2/f_{REMPRS}$ 未満のノイズを除去

PRSEN	内部でのクロック分周制御信号
0	内部でクロックを分周しない ($f_{REMPRS} = f_{REM}$)
1	内部でクロックを2分周する ($f_{REMPRS} = f_{REM}/2$)

RMIN	リモコン入力反転信号
0	正相入力
1	逆相入力

RMMD1	RMMD0	リモコン受信モード
0	0	A方式受信モード (ガイド・パルス (半クロック) あり)
0	1	B方式受信モード (ガイド・パルス (1クロック) あり)
1	0	C方式受信モード (ガイド・パルス なし)
1	1	設定禁止

RMCK1	RMCK0	リモコン・カウンタのソース・クロック (f_{REM}) 選択
0	0	$f_{PRS}/2^6$ (156.25 kHz)
0	1	$f_{PRS}/2^7$ (78.125 kHz)
1	0	$f_{PRS}/2^8$ (39.063 kHz)
1	1	f_{SUB} (32.768 kHz)

注意 NCW, PRSEN, RMIN, RMMD1, RMMD0, RMCK1, RMCK0の値を変更する場合は, リモコン受信を禁止 (RMEN = 0) にしてから行ってください。

- 備考1.** f_{REM} : リモコン・カウンタのソース・クロック (ビット0, 1 (RMCK0, RMCK1) で選択)
2. f_{REMPRS} : リモコン受信回路内部での動作クロック
3. f_{PRS} : 周辺ハードウェア・クロック発振周波数
4. f_{SUB} : サブシステム・クロック発振周波数
5. () 内は, $f_{PRS} = 10 \text{ MHz}$, $f_{SUB} = 32.768 \text{ kHz}$ 動作時

20.4 リモコン受信回路の動作

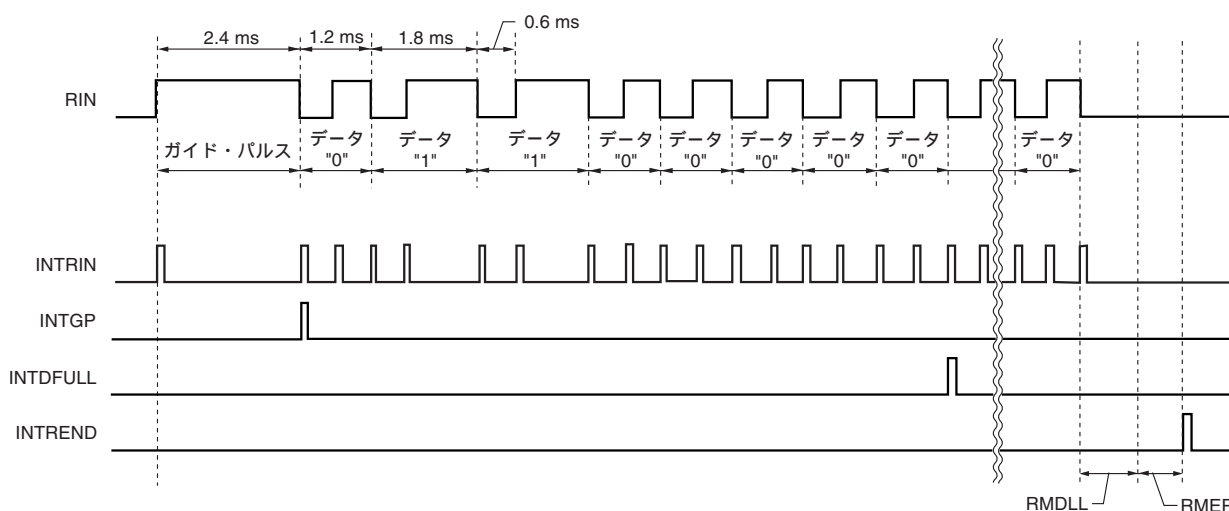
このリモコン受信回路では、次のリモコン受信モードを使用します。

- ・A方式受信モード ... ガイド・パルス（半クロック）あり
- ・B方式受信モード ... ガイド・パルス（1クロック）あり
- ・C方式受信モード ... ガイド・パルス なし

20.4.1 A方式受信モードのフォーマット

図20 - 6にA方式のデータ・フォーマットを示します。

図20 - 6 A方式データ・フォーマット例

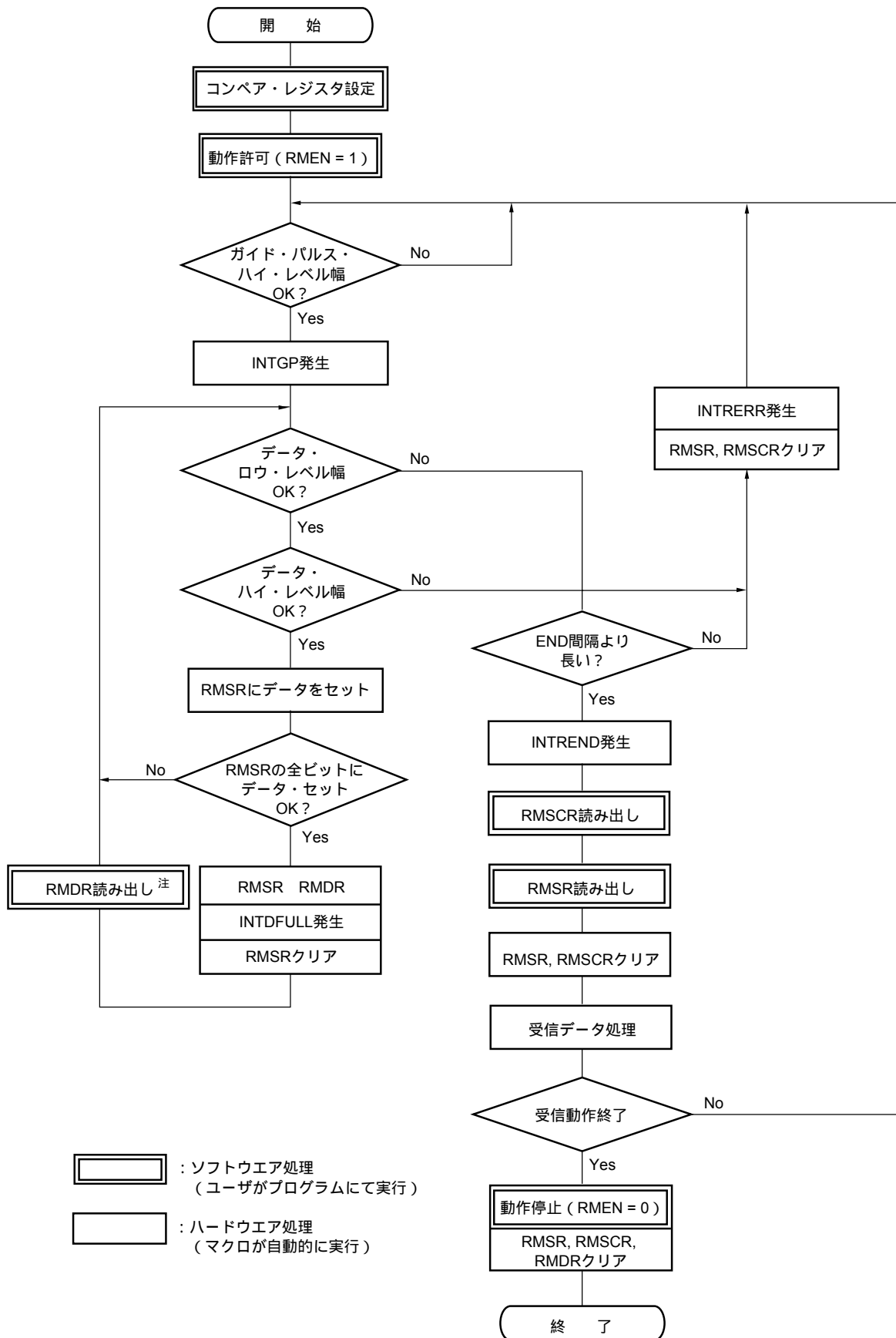


20.4.2 A方式受信モードの動作フロー

図20 - 7に動作フローを示します。

- 注意1.** INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
2. RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - ・RMSRの値をRMDRに転送
 - ・INTDFULL発生
 - ・RMSRクリア
 その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。
 3. INTREND発生後は、必ず先にRMSCR, 次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
 4. 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。

図20-7 A方式受信モードの動作フロー

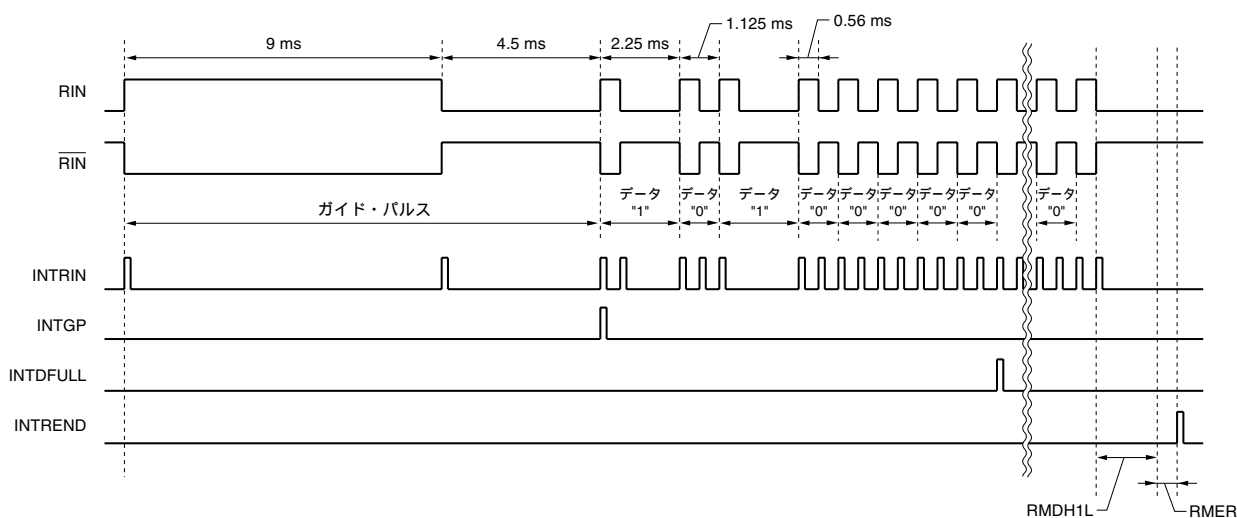


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

20.4.3 B方式受信モードのフォーマット

図20-8にB方式のデータ・フォーマットを示します。

図20-8 B方式データ・フォーマット例



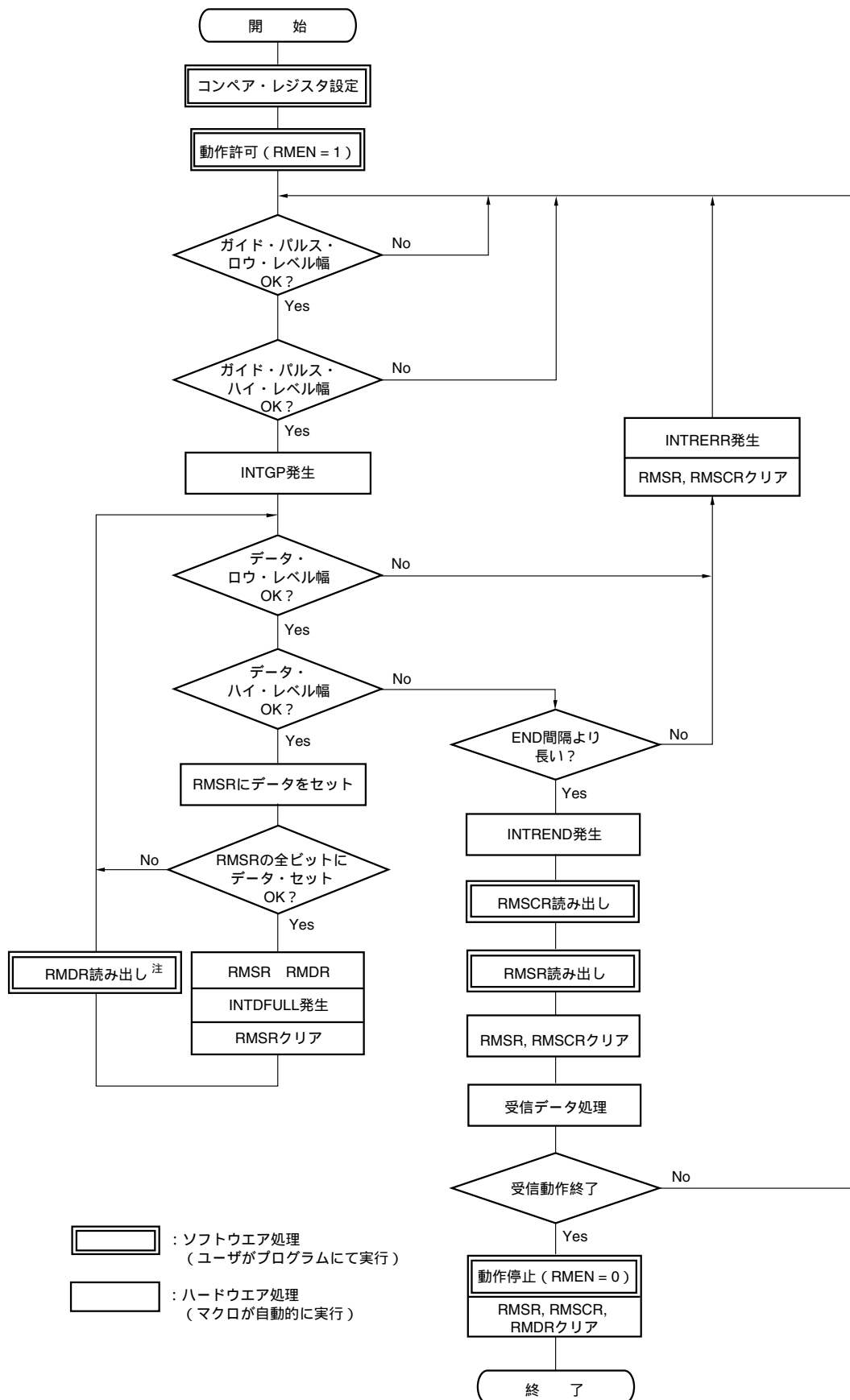
備考 $\overline{\text{RIN}}$ はRINの内部反転信号です。

20.4.4 B方式受信モードの動作フロー

図20-9に動作フローを示します。

- 注意1. INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
2. RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - RMSRの値をRMDRに転送
 - INTDFULL発生
 - RMSRクリア
 その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。
 3. INTREND発生後は、必ず先にRMSCR, 次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
 4. 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。

図20-9 B方式受信モードの動作フロー

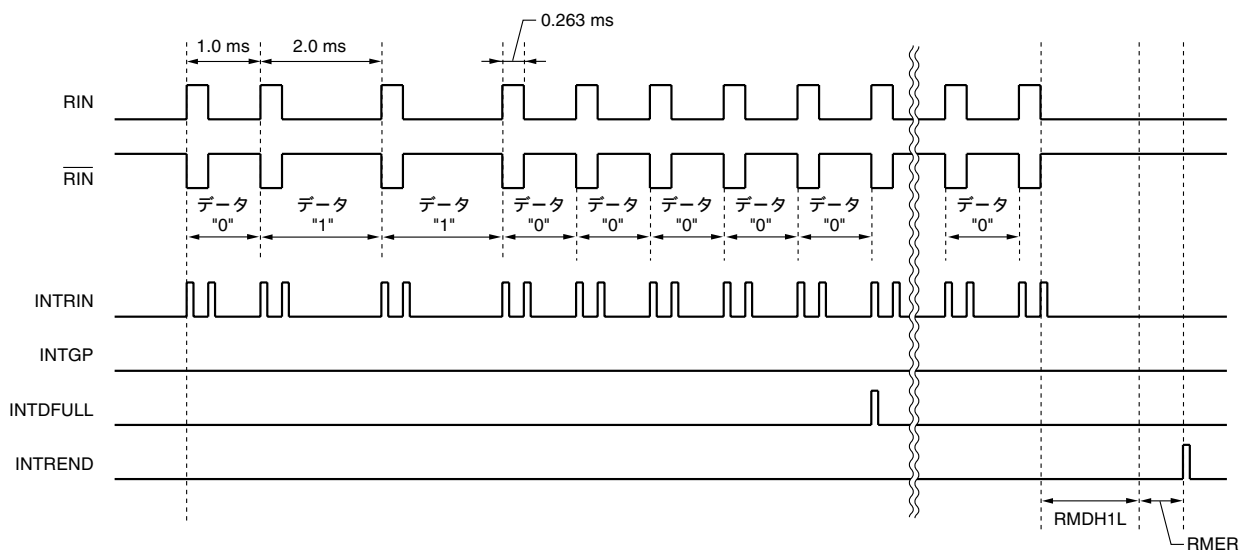


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

20.4.5 C方式受信モードのフォーマット

図20 - 10にC方式のデータ・フォーマットを示します。

図20 - 10 C方式データ・フォーマット例



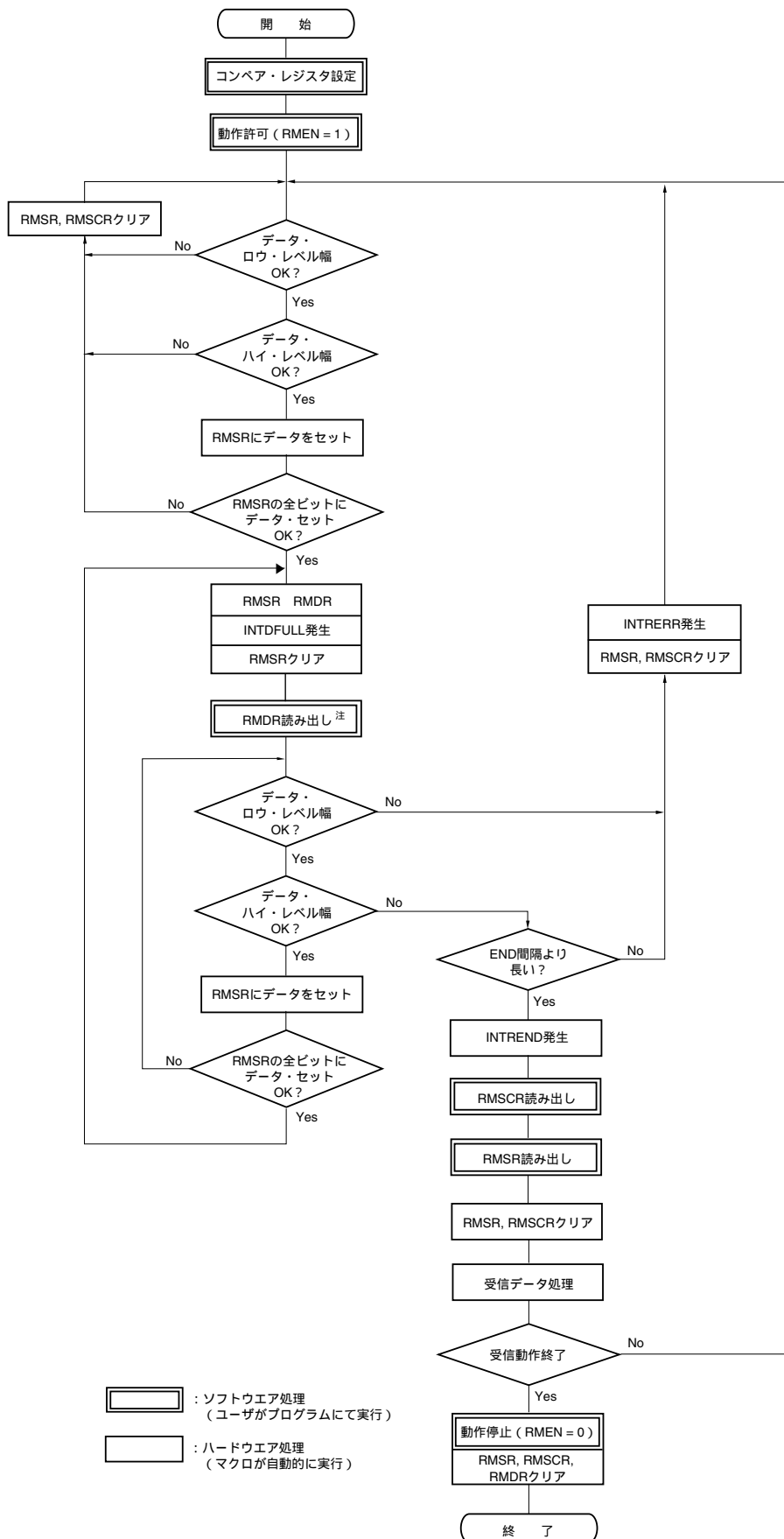
備考 $\overline{\text{RIN}}$ はRINの内部反転信号です。

20.4.6 C方式受信モードの動作フロー

図20 - 11に動作フローを示します。

- 注意1. INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
2. RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - ・RMSRの値をRMDRに転送
 - ・INTDFULL発生
 - ・RMSRクリア
 その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。
 3. INTREND発生後は、必ず先にRMSCR、次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
 4. 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。
 5. C方式受信モードでは、1回目のINTDFULL割り込み発生までにデータ・ロウ/ハイ・レベル幅の受信条件を満たさなかった場合、INTRERR, INTRENDは発生しません。ただし、RMSR, RMSCRはクリアされます。

図20 - 11 C方式受信モードの動作フロー

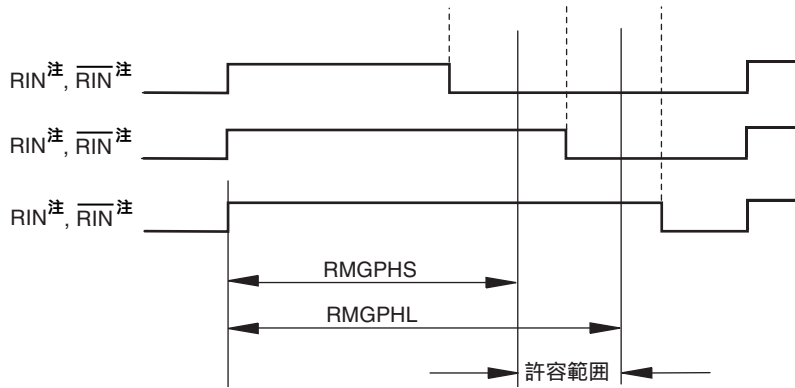


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

20.4.7 タイミング説明

RIN入力の波形位置によって、次のような対応動作になります。

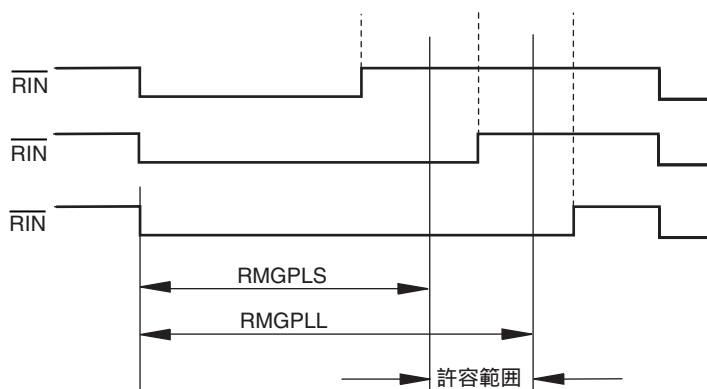
(1) ガイド・パルス・ハイ・レベル幅判断 (A方式, B方式受信モードのみ)



注 A方式受信モードではRIN, B方式受信モードでは \overline{RIN} となります。

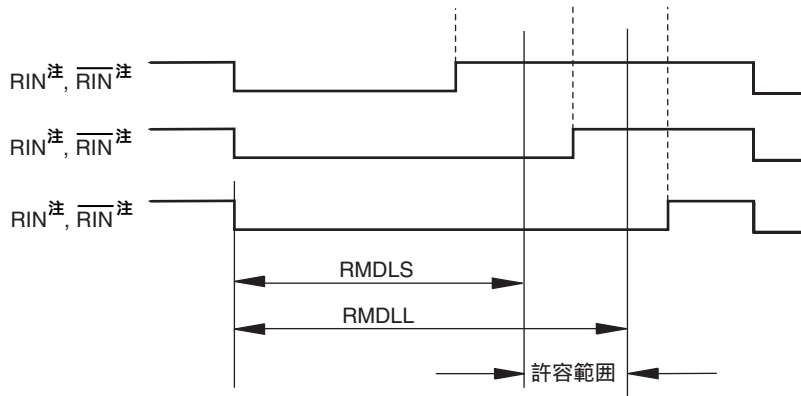
RMGPHS / RMGPHL / カウンタの関係	波形位置	対応動作
カウンタ < RMGPHS	: 短い	次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMGPHS カウンタ < RMGPHL	: 範囲内	INTGP発生 データ測定開始
RMGPHL カウンタ	: 長い	次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始

(2) ガイド・パルス・ロウ・レベル幅判断 (B方式受信モードのみ)



RMGPLS / RMGPLL / カウンタの関係	波形位置	対応動作
カウンタ < RMGPLS	: 短い	次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMGPLS カウンタ < RMGPLL	: 範囲内	INTGP発生 データ測定開始
RMGPLL カウンタ	: 長い	次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始

(3) データ・ロウ・レベル幅判断

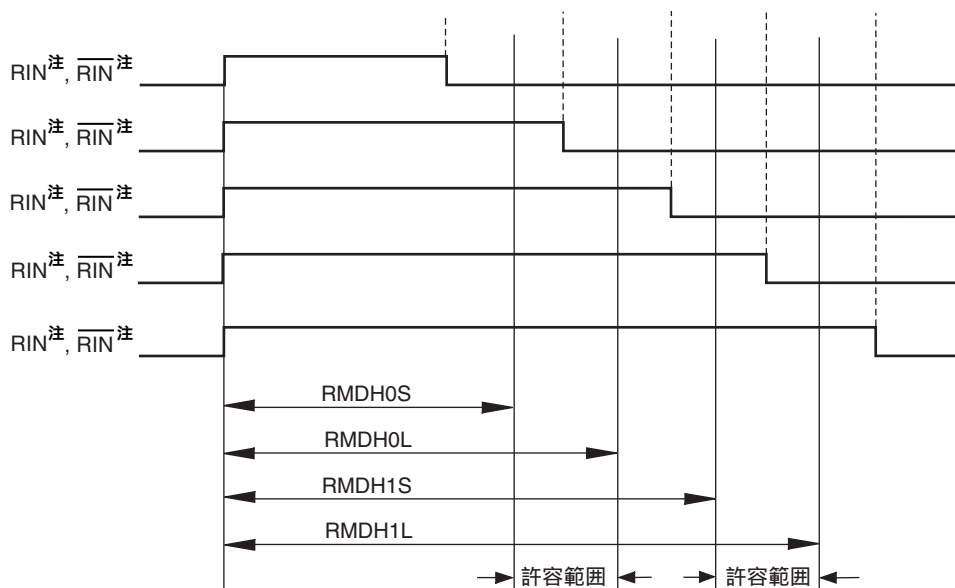


注 A方式受信モードではRIN，B方式，C方式受信モードでは $\overline{\text{RIN}}$ となります。

RMDLS / RMDLL / カウンタの関係	波形位置	対応動作
カウンタ < RMDLS	: 短い	エラー割り込みINTRERR発生 ^注 ガイド・パルス・ハイ・レベル幅測定開始
RMDLS カウンタ < RMDLL	: 範囲内	データ・ハイ・レベル幅測定開始
RMDLL カウンタ	: 長い	(A方式受信モードの場合) 時点からエンド幅測定開始 (B方式，C方式受信モードの場合) 時点でエラー割り込みINTRERR発生 ^注

注 C方式受信モードでは，1回目のINTDFULL割り込み発生までは，INTRERRは発生しません。
ただし，RMSR, RMSCRはクリアされます。

(4) データ・ハイ・レベル幅判断



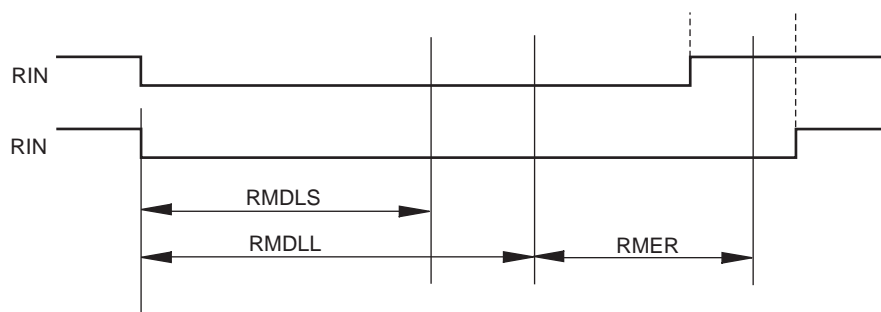
注 A方式受信モードではRIN，B方式，C方式受信モードではRINとなります。

RMDH0S / RMDH0L / RMDH1S / RMDH1L / カウンタの関係	波形位置	対応動作
カウンタ < RMDH0S	: 短い	エラー割り込みINTRERR発生 ^注 次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMDH0S カウンタ < RMDH0L	: 範囲内	データ0受信 データ・ロウ・レベル幅測定開始
RMDH0L カウンタ < RMDH1S	: 範囲外	エラー割り込みINTRERR発生 ^注 次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMDH1S カウンタ < RMDH1L	: 範囲内	データ1受信 データ・ロウ・レベル幅測定開始
RMDH1L カウンタ	: 長い	(A方式受信モードの場合) 時点でエラー割り込みINTRERR発生 (B方式，C方式受信モードの場合) 時点からエンド幅測定開始 次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始

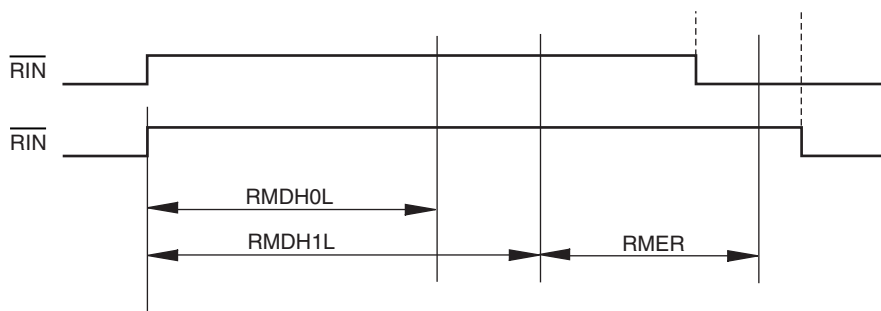
注 C方式受信モードでは，1回目のINTDFULL割り込み発生までは，INTRERRは発生しません。
ただし，RMSR, RMSCRはクリアされます。

(5) エンド幅判断

(a) A方式受信モード



(b) B方式, C方式受信モード



RMER / カウンタの関係	波形位置	対応動作
カウンタ < RMER	: 短い	エラー割り込みINTRERR発生 ^注 ガイド・パルス・ハイ・レベル幅測定開始
RMER カウンタ	: 長い	時点でINTREND発生 ^注 RMSRをリードするまで回路受信停止

注 C方式受信モードでは、1回目のINTDFULL割り込み発生までは、INTRERR, INTRENDは発生しません。ただし、RMSR, RMSCRはクリアされます。

20.4.8 コンペア・レジスタ設定

このリモコン受信回路には、以下の11種類のコンペア・レジスタがあります。

- ・リモコン受信GPLSコンペア・レジスタ (RMGPLS)
- ・リモコン受信GPLLコンペア・レジスタ (RMGPLL)
- ・リモコン受信GPHSコンペア・レジスタ (RMGPHS)
- ・リモコン受信GPHLコンペア・レジスタ (RMGPHL)
- ・リモコン受信DLSコンペア・レジスタ (RMDLS)
- ・リモコン受信DLLコンペア・レジスタ (RMDLL)
- ・リモコン受信DH0Sコンペア・レジスタ (RMDH0S)
- ・リモコン受信DH0Lコンペア・レジスタ (RMDH0L)
- ・リモコン受信DH1Sコンペア・レジスタ (RMDH1S)
- ・リモコン受信DH1Lコンペア・レジスタ (RMDH1L)
- ・リモコン受信エンド幅選択レジスタ (RMER)

各コンペア・レジスタの値は、次の(1)～(3)の計算式により設定してください。

許容誤差を考慮しておくことで、ノイズなどの影響でRIN入力波形が図20-12のRIN_1やRIN_2のようになった場合でも、正常受信動作が可能になります。

注意1. 各コンペア・レジスタは、必ずリモコン受信禁止 (RMEN = 0) 期間中に設定してください。

2. 設定値は必ず以下の4つの条件をすべて満たすようにしてください。

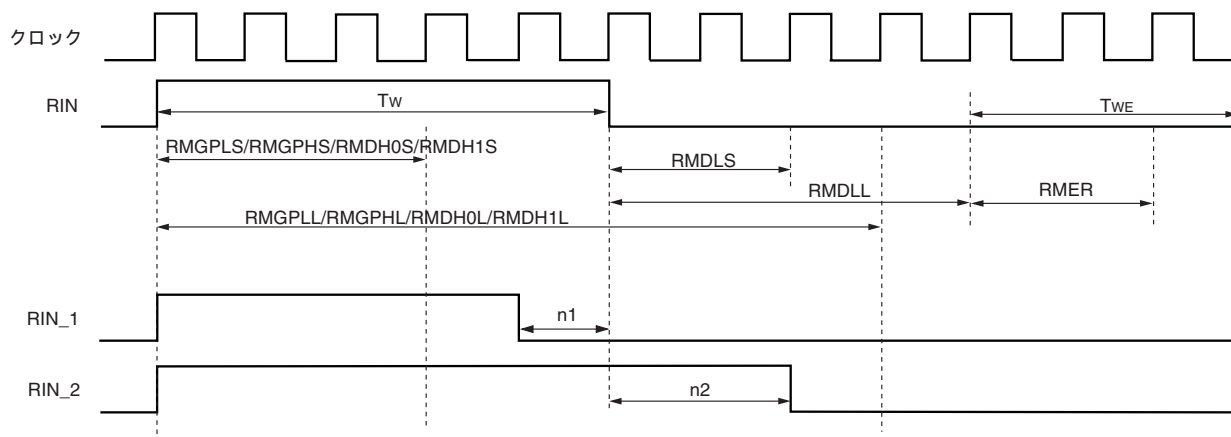
$$\text{RMGPLS} < \text{RMGPLL}$$

$$\text{RMGPHS} < \text{RMGPHL}$$

$$\text{RMDLS} < \text{RMDLL}$$

$$\text{RMDH0S} < \text{RMDH0L} \quad \text{RMDH1S} < \text{RMDH1L}$$

図20 - 12 設定例 (n1 = 1, n2 = 2のとき)



(1) RMGPHS, RMGPHS, RMDLS, RMDH0S, RMDH1Sの計算式

$$\left(\frac{T_w \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 2 - n1$$

(2) RMGPLL, RMGPHL, RMDLL, RMDH0L, RMDH1Lの計算式

$$\left(\frac{T_w \times (1 + a/100)}{1/f_{REMPRS}} \right)_{INT} + 1 + n2$$

(3) RMERの計算式

$$\left(\frac{T_{WE} \times (1 - a/100)}{1/f_{REMPRS}} \right)_{INT} - 1$$

T_w : RIN入力波形の幅

$1/f_{REMPRS}$: PRSENによる分周制御後の内部動作クロック周期の幅

a : 許容誤差 (%)

[]_{INT} : この中の計算式により発生する値は小数点以下切り捨て

$n1, n2$: ノイズによる波形変化の変数^{注1}

T_{WE} : RIN入力でのエンド幅^{注2}

注1. $n1$ と $n2$ の値は、ユーザのシステムによって自由に設定してください。

2. このエンド幅は、RMDLL後からカウントしたものです。

実際に最終データ受信後に必要となるロウ・レベル幅は、

$(RMDLL + 1 + RMER + 1) \times (PRSENによる分周制御後の内部動作クロック周期の幅)$

となります。

20.4.9 エラー割り込み発生タイミング

(1) A方式受信モードの場合

ガイド・パルス正常検出後，以下のいずれかの条件で，INTRERR信号を発生します。

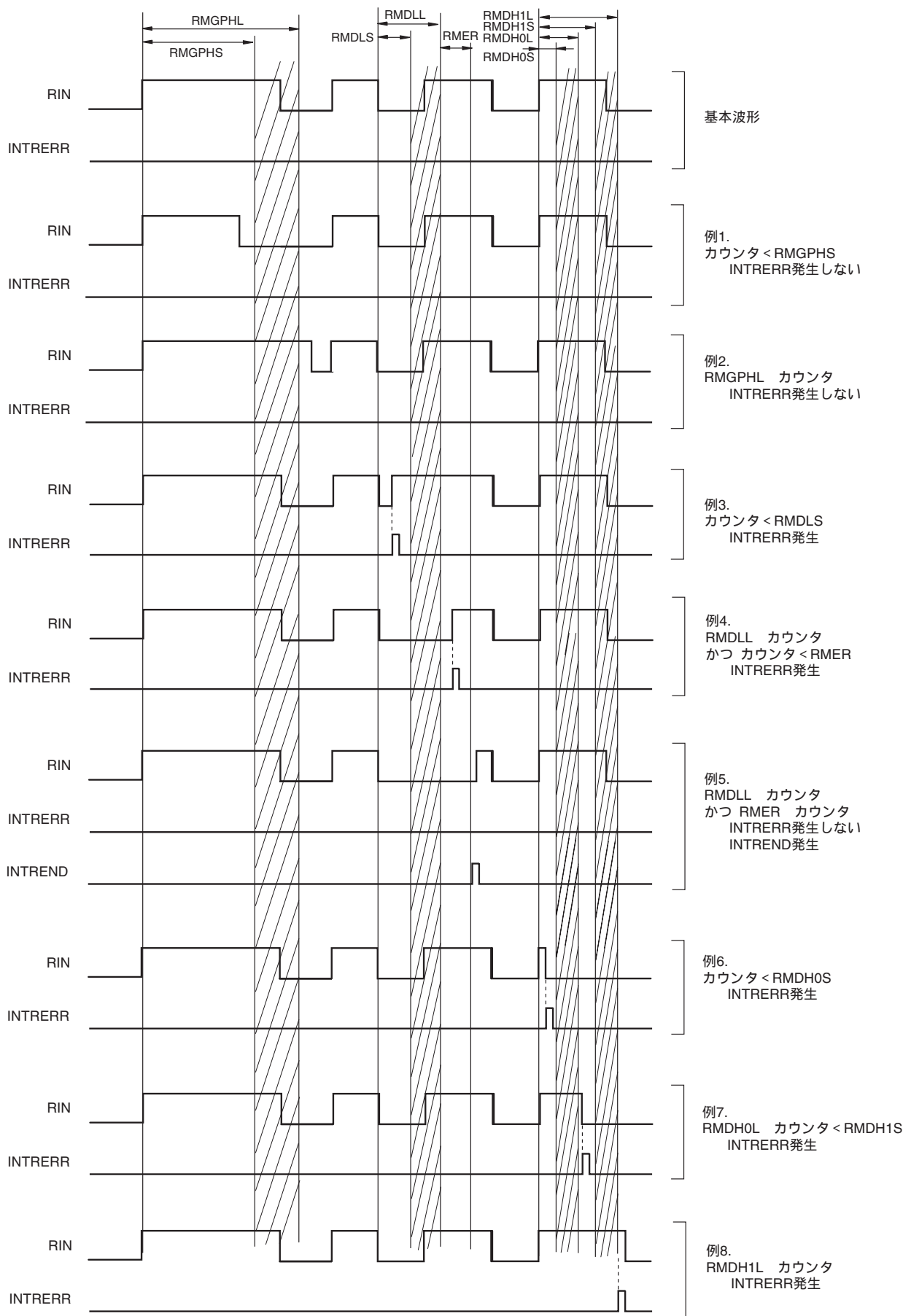
- ・ RIN立ち上がり時点で，カウンタ < RMDLS のとき
- ・ RIN立ち上がり時点で，RMDLL カウンタ かつ RMDLL後のカウンタ < RMER のとき
- ・ RIN立ち下がり時点で，カウンタ < RMDH0S のとき
- ・ RIN立ち下がり時点で，RMDH0L カウンタ < RMDH1S のとき
- ・ RINハイ・レベル期間に，RMDH1L カウンタ になったとき

ガイド・パルスが検出されるまでは，INTRERR信号は発生しません。

また，INTRERR信号発生後は，次のガイド・パルスを検出するまでINTRERR信号は発生しません。

図20 - 13にINTRERR信号の発生タイミングを示します。

図20 - 13 INTRERR信号の発生タイミング (A方式受信モード)



(2) B方式受信モードの場合

ガイド・パルス正常検出後，以下のいずれかの条件で，INTRERR信号を発生します。

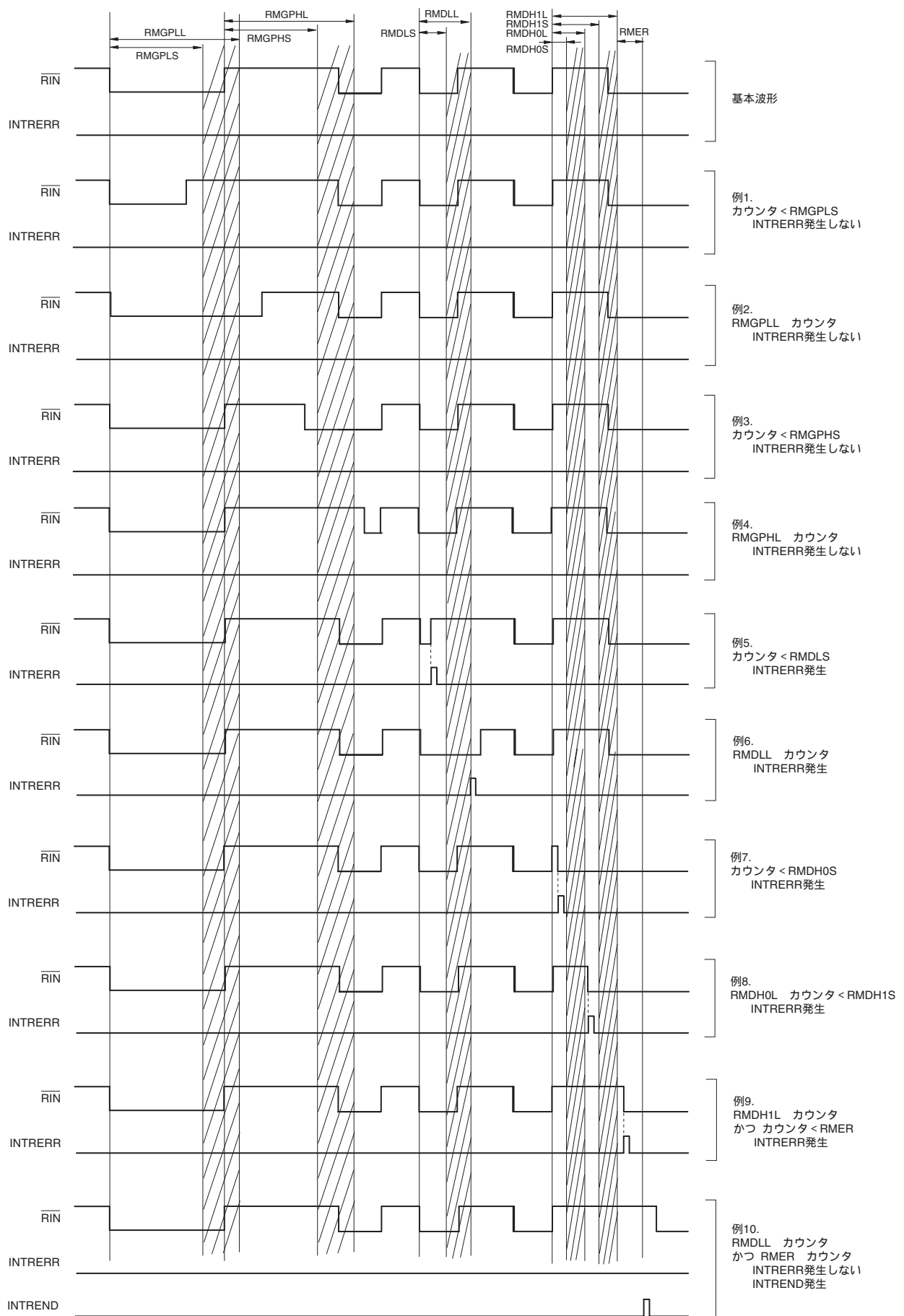
- ・ \overline{RIN} 立ち上がり時点で，カウンタ < RMDLS のとき
- ・ \overline{RIN} ロウ・レベル期間に，RMDLL カウンタ になったとき
- ・ \overline{RIN} 立ち下がり時点で，カウンタ < RMDH0S のとき
- ・ \overline{RIN} 立ち下がり時点で，RMDH0L カウンタ < RMDH1S のとき
- ・ \overline{RIN} 立ち下がり時点で，RMDH1L カウンタ かつ RMDH1L後のカウンタ < RMER のとき

ガイド・パルスが検出されるまでは，INTRERR信号は発生しません。

また，INTRERR信号発生後は，次のガイド・パルスを検出するまでINTRERR信号は発生しません。

図20 - 14にINTRERR信号の発生タイミングを示します。

図20 - 14 INTRERR信号の発生タイミング (B方式受信モード)



(3) C方式受信モードの場合

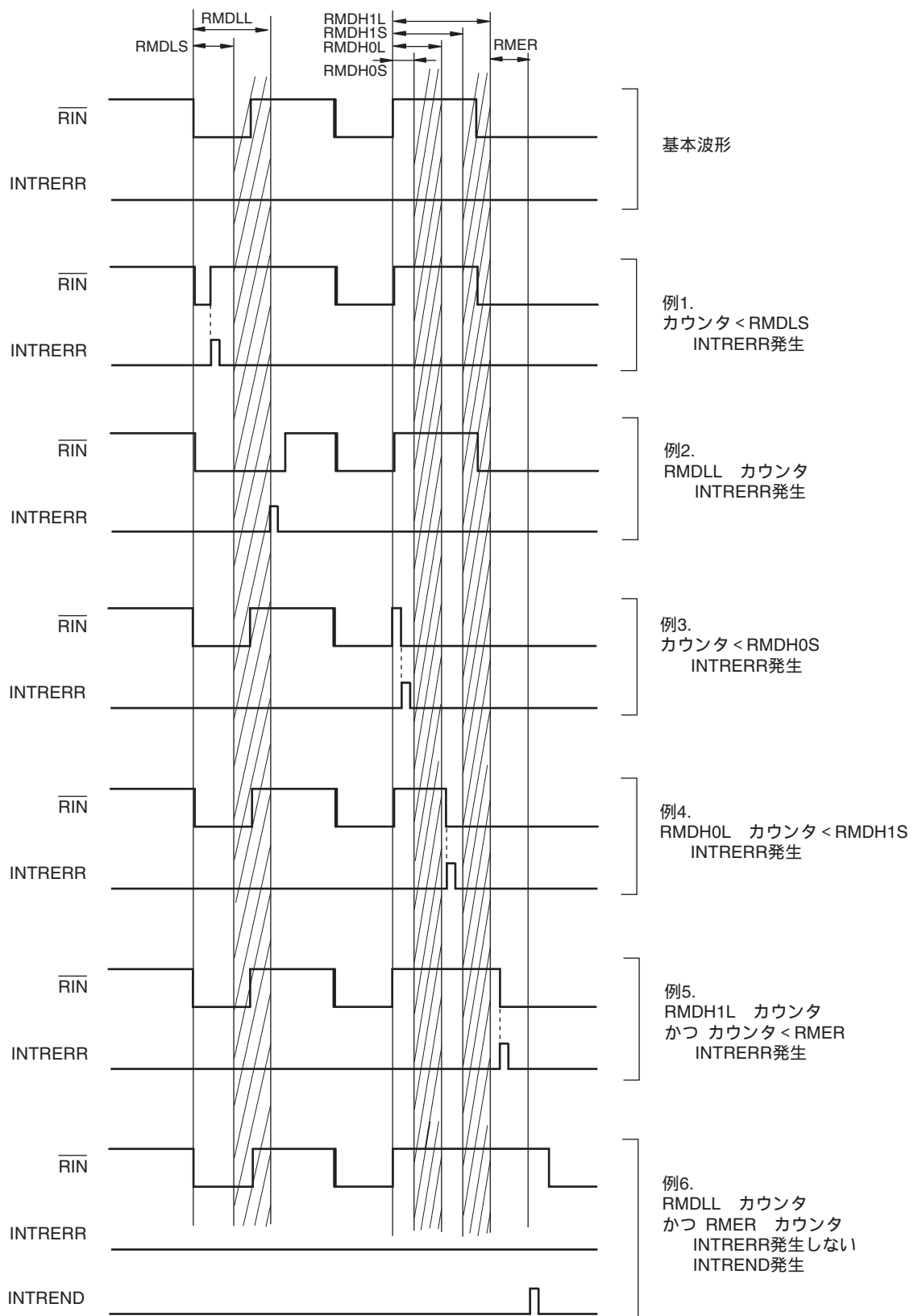
以下のいずれかの条件で、INTRERR信号を発生します。

- ・ \overline{RIN} 立ち上がり時点で、カウンタ < RMDLS のとき
- ・ \overline{RIN} ロウ・レベル期間に、RMDLL カウンタ になったとき
- ・ \overline{RIN} 立ち下がり時点で、カウンタ < RMDH0S のとき
- ・ \overline{RIN} 立ち下がり時点で、RMDH0L カウンタ < RMDH1S のとき
- ・ \overline{RIN} 立ち下がり時点で、RMDH1L カウンタ かつ RMDH1L後のカウンタ < RMER のとき

ただし、1回目のINTDFULL割り込み発生までは、INTRERR信号を発生しません。

図20 - 15にINTRERR信号の発生タイミングを示します。

図20 - 15 INTRERR信号の発生タイミング(C方式受信モード)



20.4.10 ノイズ・キャンセル

このリモコン受信回路では、外部からRIN端子に入力された信号を、ノイズを除去したうえで、回路内部に供給する機能があります。

リモコン受信制御レジスタ (RMCN) のビット5 (PRSEN)、ビット6 (NCW) の設定により、表20 - 2に示すノイズ幅をキャンセルできます。

表20 - 2 ノイズ・キャンセル幅

PRSEN 分周制御信号	NCW ノイズ・キャンセル幅制御信号	PRSENによる分周制御後の 内部動作クロック周期 ($1/f_{REMPRS}$)	キャンセルできる ノイズ幅
0	0	$1/f_{REM}$	$1/f_{REM}$ 未満
0	1	$1/f_{REM}$	$2/f_{REM}$ 未満
1	0	$2/f_{REM}$	$2/f_{REM}$ 未満
1	1	$2/f_{REM}$	$4/f_{REM}$ 未満

備考 f_{REM} : リモコン・カウンタのソース・クロック

ノイズ・キャンセル動作では、PRSENによる分周制御後の内部動作クロックを使います。

そして、RIN端子からの外部入力信号を、クロックと同期化したあと、

NCW = 0の場合、サンプリング2回実施後の信号を、回路内部でRIN入力として処理します。

NCW = 1の場合、サンプリング3回実施後の信号を、回路内部でRIN入力として処理します。

次にノイズ・キャンセル動作の流れを示します。

PRSENにより、内部動作クロックの分周する/しないを選択

PRSEN = 0 : 分周しない ($f_{REMPRS} = f_{REM}$)

PRSEN = 1 : 分周する ($f_{REMPRS} = f_{REM}/2$)

RIN端子からの外部入力信号を、内部動作クロックと同期化する

同期化信号を1回目サンプリングした信号 (samp1) を生成

(同期化した信号から1クロック分遅れた信号になる)

同期化信号とsamp1とで、2回目サンプリングした信号 (samp2) を生成

(同期化信号 = samp1 = Hとなったら、samp1を取り込む)

同期化信号とsamp2とで、3回目サンプリングした信号 (samp3) を生成

(同期化信号 = samp2 = Hとなったら、samp2を取り込む)

NCWにより、回路内部でRIN入力とする信号を選択

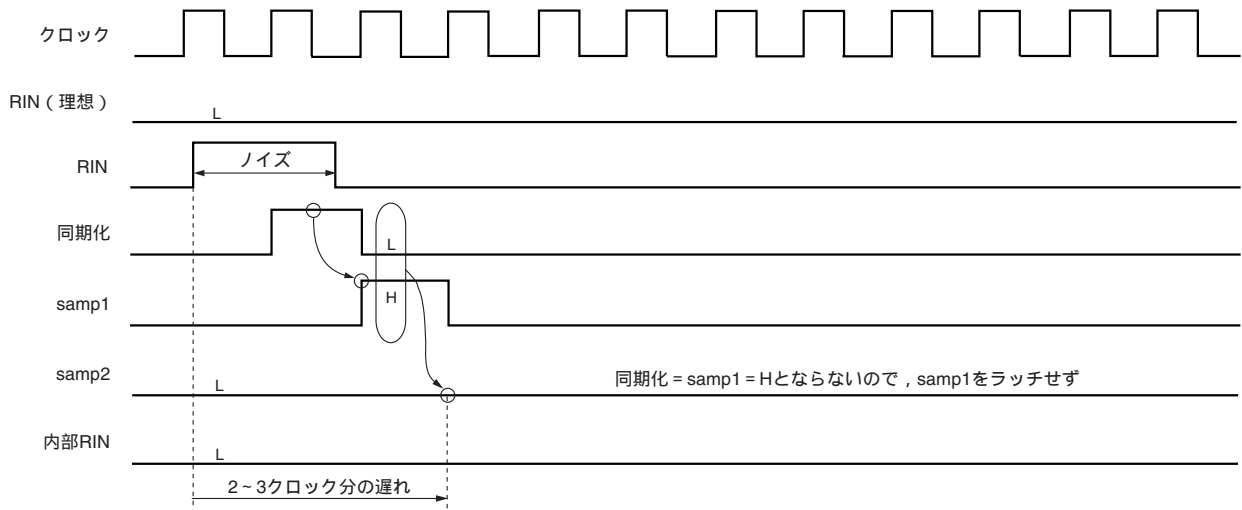
NCW = 0 : samp2を回路内部でRIN入力として処理

NCW = 1 : samp3を回路内部でRIN入力として処理

図20 - 16にノイズ・キャンセル動作例を示します。

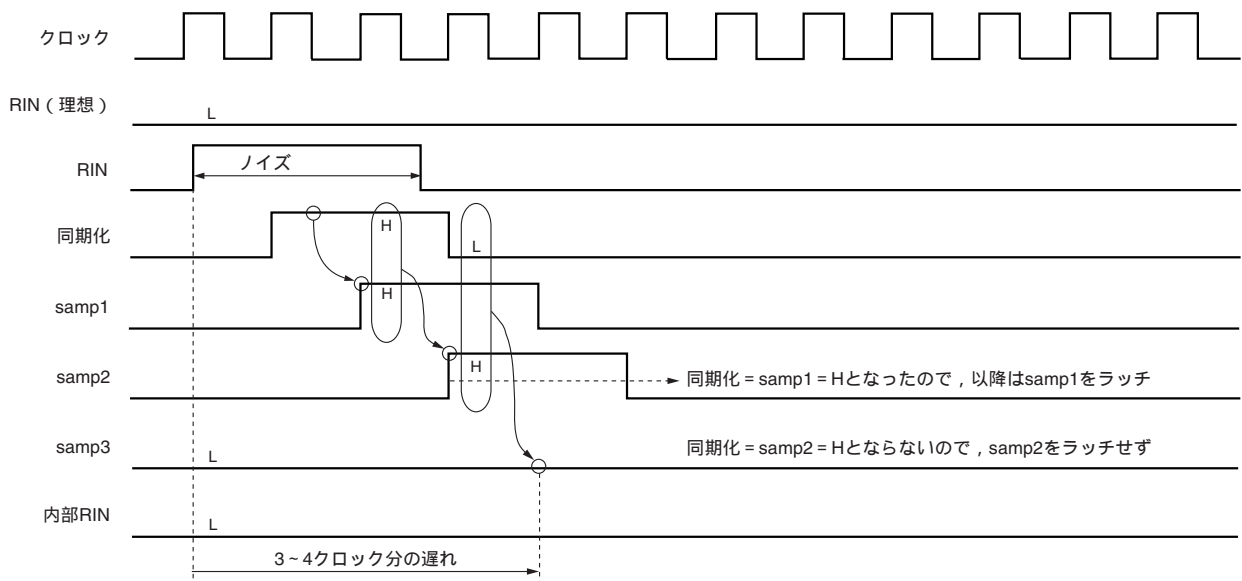
図20 - 16 ノイズ・キャンセル動作例 (1/2)

(a) 1クロック分のノイズ・キャンセル (PRSEN = 0, NCW = 0)



備考 内部RINは、同期化とサンプリング2回実施後の信号なので、実際に外部からRIN端子に入力された信号より2~3クロック分遅れた信号になります。

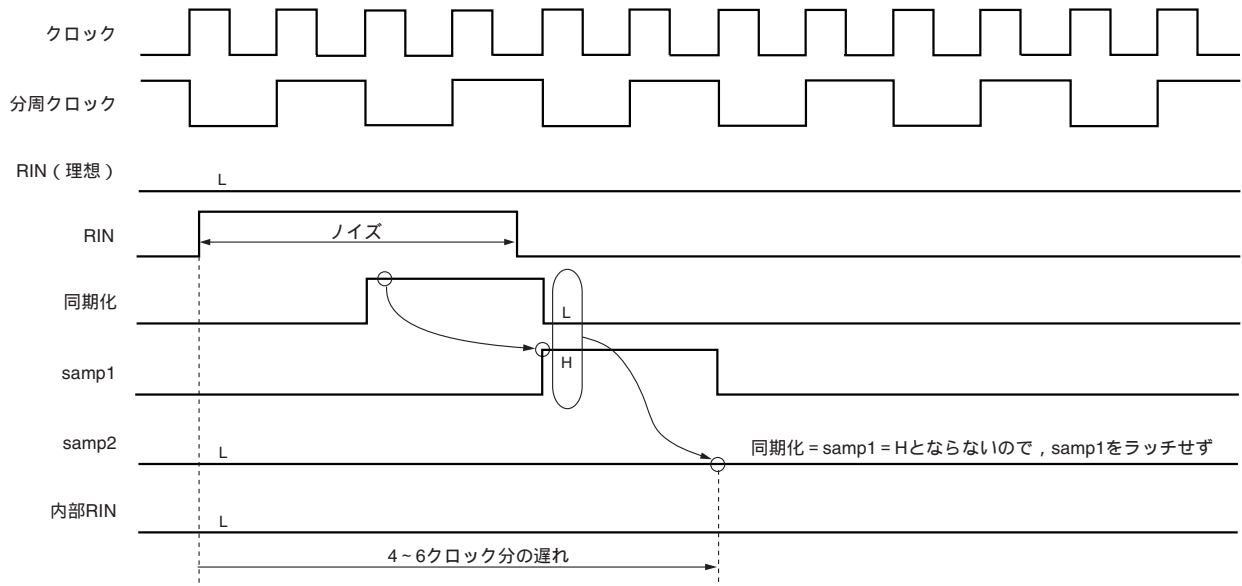
(b) 2クロック分のノイズ・キャンセル (PRSEN = 0, NCW = 1)



備考 内部RINは、同期化とサンプリング3回実施後の信号なので、実際に外部からRIN端子に入力された信号より3~4クロック分遅れた信号になります。

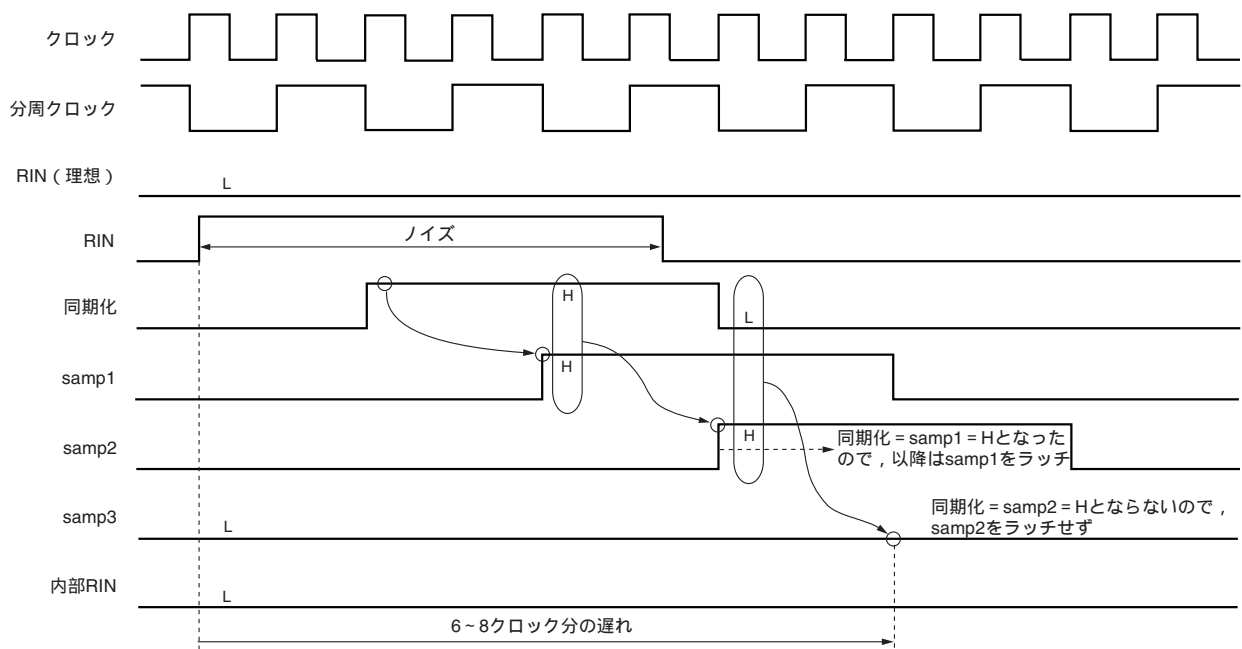
図20 - 16 ノイズ・キャンセル動作例 (2/2)

(c) 2クロック分のノイズ・キャンセル (PRSEN = 1, NCW = 0)



備考 内部RINは、同期化とサンプリング2回実施後の信号なので、実際に外部からRIN端子に入力された信号より4~6クロック分遅れた信号になります。

(d) 4クロック分のノイズ・キャンセル (PRSEN = 1, NCW = 1)



備考 内部RINは、同期化とサンプリング3回実施後の信号なので、実際に外部からRIN端子に入力された信号より6~8クロック分遅れた信号になります。

第21章 割り込み機能

		78K0/LC3		78K0/LD3		78K0/LE3			78K0/LF3		
		μ PD78F040x	μ PD78F041x	μ PD78F042x	μ PD78F043x	μ PD78F044x	μ PD78F045x	μ PD78F046x	μ PD78F047x	μ PD78F048x	μ PD78F049x
マスカブル	外部	5		5		6			7		
割り込み	内部	17	18	19	20	19	20	21	20	21	22

21.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表21 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

21.2 割り込み要因と構成

割り込み要因には、マスカブル割り込みとソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計4要因あります (表21 - 1参照)。

表21 - 1 割り込み要因一覧 (1/2)

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	L C 3	L D 3	L E 3	L F 3		
				名称	トリガ							
マスク ブル	内部	(A)	0	INTLVI	低電圧検出 ^{注3}	0004H						
			外部	(B)	1	INTP0	端子入力エッジ検出	0006H				
					2	INTP1		0008H				
					3	INTP2		000AH				
					4	INTP3		000CH				
					5	INTP4		000EH	-	-		
	6	INTP5			0010H	-		-	-			
	内部	(A)	7	INTSRE6	UART6の受信エラー発生	0012H						
			8	INTSR6	UART6の受信完了	0014H						
			9	INTST6	UART6の送信完了	0016H						
			10	INTCSI10 /INTST0	CSI10の通信完了/UART0の送信完了	0018H						
			11	INTTMH1	TMH1とCMP01の一致(コンペア・レジスタ指定時)	001AH						
			12	INTTMH0	TMH0とCMP00の一致(コンペア・レジスタ指定時)	001CH						
			13	INTTM50	TM50とCR50の一致(コンペア・レジスタ指定時)	001EH						
			14	INTTM000	TM00とCR000の一致(コンペア・レジスタ指定時), TI010端子の有効エッジ検出(キャプチャ・レジスタ指定時)	0020H						
			15	INTTM010	TM00とCR010の一致(コンペア・レジスタ指定時), TI000端子の有効エッジ検出(キャプチャ・レジスタ指定時)	0022H						
			16	INTAD	10ビット逐次比較型A/D変換終了	0024H						
			17	INTSR0	UART0受信完了または受信エラー発生	0026H						
			18	INTRTC	リアルタイム・カウンタの定周期信号/アラーム一致検出	0028H						
19			INTTM51 注4	TM51とCR51の一致(コンペア・レジスタ指定時)	002AH							

注1. 基本構成タイプの(A)-(D)は、それぞれ図21-1の(A)-(D)に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、28が最低順位です。
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=0選択時。
4. 8ビット・タイマ/イベント・カウンタ51と8ビット・タイマH1をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図8-15 転送タイミングを参照)。
5. INTST0のみ。
6. μ PD78F041xのみ。
7. μ PD78F043xのみ。
8. μ PD78F045x, 78F046xのみ。
9. μ PD78F048x, 78F049xのみ。

表21 - 1 割り込み要因一覧 (2/2)

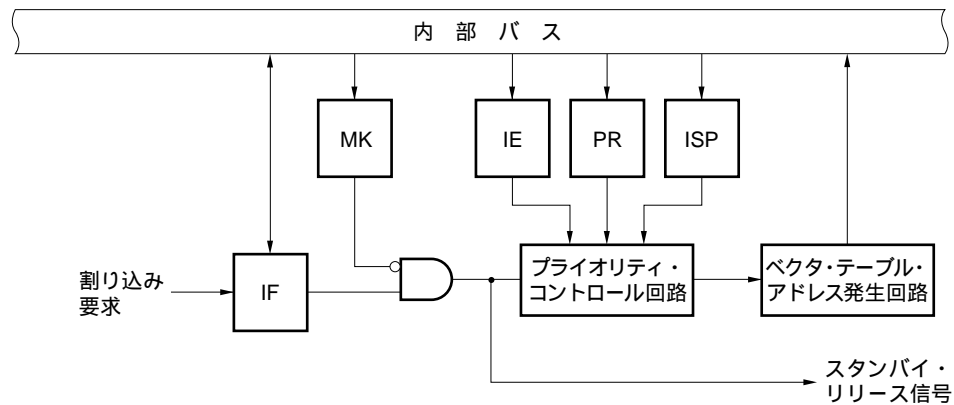
割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ 注2	割り込み要因		ベクタ・テーブル・アドレス	L C 3	L D 3	L E 3	L F 3
				名称	トリガ					
マスカブル	外部	(C)	20	INTKR	キー割り込み検出	002CH				
		内部	(A)	21	INTRTCI	リアルタイム・カウンタのインターバル信号検出	002EH			
			22	INTDSAD	16ビット 型A/D変換終了	0030H	-	-	注4	注5
			23	INTTM52	TM52とCR52の一致(コンペア・レジスタ指定時)	0032H				
			24	INTTMH2	TMH2とCRH2の一致(コンペア・レジスタ指定時)	0034H				
			25	INTMCG	マンチェスタ・コード受信完了	0036H				
			26	INTRIN	リモコン用受信エッジ検出	0038H	-			
			27	INTRERR/ INTGP/ INTREND/ INTDFULL	リモコン用受信エラー発生 リモコン用ガイド・パルス検出 リモコン用データ受信完了 リモコン用8ビット・シフト・データのリード要求	003AH	-			
		28	INTACSI	CSIA0通信完了	003CH	-	-	-		
ソフトウェア	-	(D)	-	BRK	BRK命令の実行	003EH				
リセット	-	-	-	RESET	リセット入力	0000H				
				POC	パワーオン・クリア					
				LVI	低電圧検出注3					
				WDT	WDTのオーバフロー					

注1. 基本構成タイプの (A) - (D) は、それぞれ図21 - 1の (A) - (D) に対応しています。

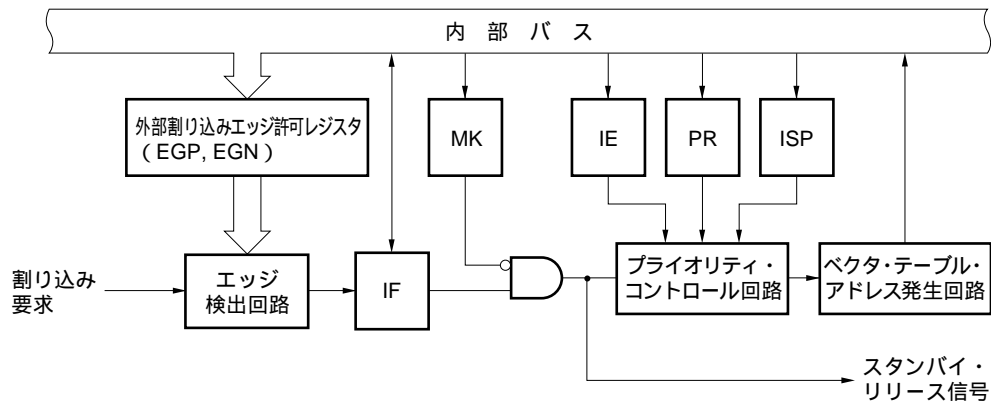
2. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位，28が最低順位です。
3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。
4. μ PD78F046xのみ。
5. μ PD78F049xのみ。

図21 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTPn)



備考 n = 0-3 : 78K0/LC3, 78K0/LD3

n = 0-4 : 78K0/LE3

n = 0-5 : 78K0/LF3

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

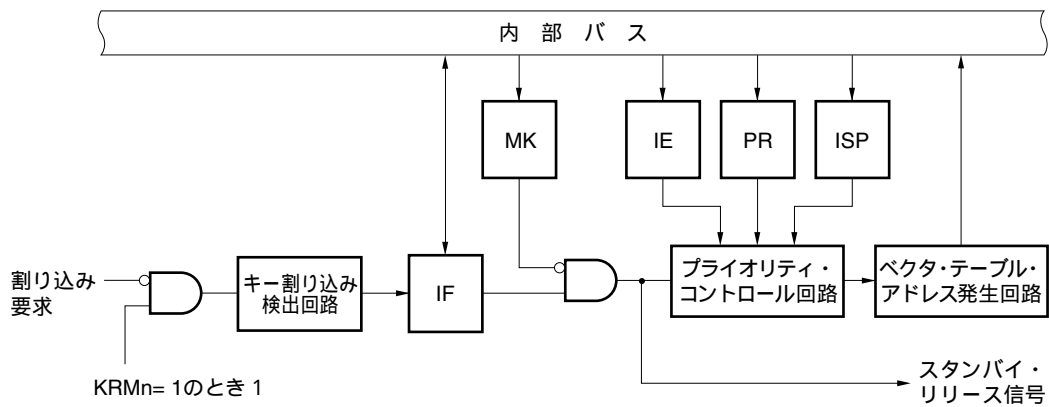
ISP : インサーピス・プライオリティ・フラグ

MK : 割り込みマスク・フラグ

PR : 優先順位指定フラグ

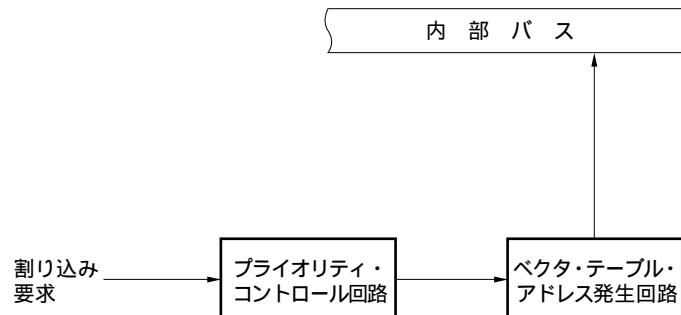
図21 - 1 割り込み機能の基本構成 (2/2)

(C) 外部マスクابل割り込み (INTKR)



- 備考** n = 0, 3, 4 : 78K0/LC3
 n = 0-4 : 78K0/LD3, 78K0/LE3
 n = 0-7 : 78K0/LF3

(D) ソフトウェア割り込み



- IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP : インサーピス・プライオリティ・フラグ
 MK : 割り込みマスク・フラグ
 PR : 優先順位指定フラグ
 KRM : キー・リターン・モード・レジスタ

21.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表21 - 2に示します。

表21 - 2 割り込み要求ソースに対応する各種フラグ (1/2)

L C 3	L D 3	L E 3	L F 3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
						レジスタ		レジスタ		レジスタ
				INTLVI	LVIIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
			INTP0	PIF0	PMK0		PPR0			
			INTP1	PIF1	PMK1		PPR1			
			INTP2	PIF2	PMK2		PPR2			
			INTP3	PIF3	PMK3		PPR3			
-	-		INTP4	PIF4	PMK4		PPR4			
-	-	-	INTP5	PIF5	PMK5		PPR5			
			INTSRE6	SREIF6	SREMK6		SREPR6			
			INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H	
			INTST6	STIF6		STMK6		STPR6		
注1			INTCSI10	CSIIF10 ^{注2}		CSIMK10 ^{注3}		CSIPR10 ^{注4}		
			INTST0	STIF0 ^{注2}		STMK0 ^{注3}		STPR0 ^{注4}		
			INTTMH1	TMIFH1		TMMKH1		TMPRH1		
			INTTMH0	TMIFH0		TMMKH0		TMPRH0		
			INTTM50	TMIF50		TMMK50		TMPR50		
			INTTM000	TMIF000		TMMK000		TMPR000		
			INTTM010	TMIF010		TMMK010		TMPR010		

注1. 78K0/LC3は、INTST0, STIF0, STMK0, STPR0のみ。

2. 割り込み要因INTCSI10とINTST0のうち、どちらかが発生したら、IF0Hのビット2はセット(1)されます。
3. MK0Hのビット2は、割り込み要因INTCSI10とINTST0の両方に対応しています。
4. PR0Hのビット2は、割り込み要因INTCSI10とINTST0の両方に対応しています。

表21 - 2 割り込み要求ソースに対応する各種フラグ (2/2)

L C 3	L D 3	L E 3	L F 3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
						レジスタ		レジスタ		レジスタ
注1	注2	注3	注4	INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
				INTSR0	SRIF0		SRMK0		SRPR0	
				INTRTC	RTCIF		RTCMK		RTCPR	
				INTTM51 ^{注7}	TMIF51		TMMK51		TMPR51	
				INTKR	KRIF		KRMK		KRPR	
				INTRTCI	RTCIF		RTCIMK		RTCIPR	
-	-	注5	注6	INTDSAD	DSADIF		DSADMK		DASDPR	
				INTTM52	TMIF52		TMMK52		TMPR52	
				INTTMH2	TMHIF2	IF1H	TMHMK2	MK1H	TMHPR2	PR1H
				INTMCG	MCGIF		MCGMK		MCGPR	
-				INTRIN	RINIF		RINMK		RINPR	
-				INTRERR	RERRIF ^{注8}		RERRMK ^{注9}		RERRPR ^{注10}	
				INTGP	GPIF ^{注8}		GPMK ^{注9}		GPPR ^{注10}	
				INTREND	RENDIF ^{注8}		RENDMK ^{注9}		RENDPR ^{注10}	
				INTDFULL	DFULLIF ^{注8}	DFULLMK ^{注9}	DFULLPR ^{注10}			
-	-	-		INTACSI	ACSIIF	ACSIMK	ACSIPR			

注1. μ PD78F041xのみ。

2. μ PD78F043xのみ。

3. μ PD78F045x, 78F046xのみ。

4. μ PD78F048x, 78F049xのみ。

5. μ PD78F046xのみ。

6. μ PD78F049xのみ。

7. 8ビット・タイマ/イベント・カウンタ51と8ビット・タイマH1をキャリア・ジェネレータ・モードで使用する場合、INTTM5H1信号の割り込みタイミングで割り込みが発生します(図8 - 15 転送タイミングを参照)。

8. 割り込み要因INTRERR, INTGP, INTREND, INTDFULLのうちのいずれかが発生したら、IF1Hのビット3はセット(1)されます。

9. MK1Hのビット3は、割り込み要因INTRERR, INTGP, INTREND, INTDFULLのすべてに対応しています。

10. PR1Hのビット3は、割り込み要因INTRERR, INTGP, INTREND, INTDFULLのすべてに対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

- 注意1. タイマ,シリアル・インタフェース ,A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。
- なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

図21 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (1/4)

(a) 78K0/LC3

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	0	0	PIF3	PIF2	PIF1	PIF0	LVIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	STIF0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
IF1L	TMIF52	0	RTCIF	KRIF	TMIF51	RTCIF	SRIF0	ADIF ^注

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	[1]	[0]
IF1H	0	0	0	0	0	0	MCGIF	TMHIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 μ PD78F041xのみ。

注意 IF0Lのビット5, 6, IF1Lのビット6, IF1Hのビット2-7には、必ず0を設定してください。

図21 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (2/4)

(b) 78K0/LD3

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	0	0	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10 STIF0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
IF1L	TMIF52	0	RTCIF	KRIF	TMIF51	RTCIF	SRIF0	ADIF ^注

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
IF1H	0	0	0	0	RERRIF GPIF RENIF DFULLIF	RINIF	MCGIF	TMHIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 μ PD78F043xのみ。

注意 IF0Lのビット5, 6, IF1Lのビット6, IF1Hのビット4-7には、必ず0を設定してください。

図21 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (3/4)

(c) 78K0/LE3

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	0	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10 STIF0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF1L	TMIF52	DSADIF ^{注2}	RTCIF	KRIF	TMIF51	RTCIF	SRIF0	ADIF ^{注1}

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
IF1H	0	0	0	0	RERRIF GPIF RENIF DFULLIF	RINIF	MCGIF	TMHIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注1. μ PD78F045x, 78F046xのみ。2. μ PD78F046xのみ。

注意 IF0Lのビット6, IF1Hのビット4-7には、必ず0を設定してください。

図21 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H) のフォーマット (4/4)

(d) 78K0/LF3

アドレス : FFE0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIIF

アドレス : FFE1H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	CSIF10 STIF0	STIF6	SRIF6

アドレス : FFE2H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF1L	TMIF52	DSADIF ^{注2}	RTCIF	KRIF	TMIF51	RTCIF	SRIF0	ADIF ^{注1}

アドレス : FFE3H リセット時 : 00H R/W

略号	7	6	5	[4]	[3]	[2]	[1]	[0]
IF1H	0	0	0	ACSIIF	RERRIF GPIF RENIF DFULLIF	RINIF	MCGIF	TMHIF2

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注1. μ PD78F048x, 78F049xのみ。2. μ PD78F049xのみ。

注意 IF1Hのビット5-7には、必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (1/4)

(a) 78K0/LC3

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	1	1	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	STMK0	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK52	1	RTCIMK	KRMK	TMMK51	RTCMK	SRMK0	ADMK ^注

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	[1]	[0]
MK1H	1	1	1	1	1	1	MCGMK	TMHMK2

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 μ PD78F041xのみ。

注意 MK0Lのビット5, 6, MK1Lのビット6, MK1Hのビット2-7には、必ず1を設定してください。

図21 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (2/4)

(b) 78K0/LD3

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	1	1	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10 STMK0	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK52	1	RTCIMK	KRMK	TMMK51	RTCMK	SRMK0	ADMK ^注

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
MK1H	1	1	1	1	RERRMK GPMK RENDMK DFULLMK	RINMK	MCGMK	TMHMK2

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 μ PD78F043xのみ。

注意 MK0Lのビット5, 6, MK1Lのビット6, MK1Hのビット4-7には, 必ず1を設定してください。

図21 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (3/4)

(c) 78K0/LE3

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	1	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10 STMK0	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK52	DASDMK 注2	RTCIMK	KRMK	TMMK51	RTCMK	SRMK0	ADMK ^{注1}

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
MK1H	1	1	1	1	RERRMK GPMK RENDMK DFULLMK	RINMK	MCGMK	TMHMK2

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注1. μ PD78F045x, 78F046xのみ。2. μ PD78F046xのみ。

注意 MK0Lのビット6, MK1Hのビット4-7には, 必ず1を設定してください。

図21 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H) のフォーマット (4/4)

(d) 78K0/LF3

アドレス : FFE4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス : FFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	CSIMK10 STMK0	STMK6	SRMK6

アドレス : FFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK52	DASDMK 注2	RTCIMK	KRMK	TMMK51	RTCMK	SRMK0	ADMK ^{注1}

アドレス : FFE7H リセット時 : FFH R/W

略号	7	6	5	[4]	[3]	[2]	[1]	[0]
MK1H	1	1	1	ACSIMK	RERRMK GPMK RENDMK DFULLMK	RINMK	MCGMK	TMHMK2

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注1. μ PD78F048x, 78F049xのみ。2. μ PD78F049xのみ。

注意 MK1Hのビット5-7には、必ず1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (1/4)

(a) 78K0/LC3

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	1	1	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	STPR0	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PR1L	TMPR52	1	RTCIPR	KRPR	TMPR51	RTCPR	SRPR0	ADPR ^注

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	[1]	[0]
PR1H	1	1	1	1	1	1	MCGPR	TMHPR2

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 μ PD78F041xのみ。

注意 PR0Lのビット5, 6, PR1Lのビット6, PR1Hのビット2-7には、必ず1を設定してください。

図21 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (2/4)

(b) 78K0/LD3

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	6	5	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	1	1	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10 STPR0	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PR1L	TMPR52	1	RTCIPR	KRPR	TMPR51	RT CPR	SRPR0	ADPR ^注

アドレス : FFE BH リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
PR1H	1	1	1	1	RERRPR GPPR RENDPR DFULLPR	RINPR	MCGPR	TMHPR2

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注 μ PD78F043xのみ。

注意 PR0Lのビット5, 6, PR1Lのビット6, PR1Hのビット4-7には, 必ず1を設定してください。

図21 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (3/4)

(c) 78K0/LE3

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	1	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10 STPR0	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR1L	TMPR52	DSADPR 注2	RTCIPR	KRPR	TMPR51	RT CPR	SRPR0	ADPR ^{注1}

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	4	[3]	[2]	[1]	[0]
PR1H	1	1	1	1	RERRPR GPPR RENDPR DFULLPR	RINPR	MCGPR	TMHPR2

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注1. μ PD78F045x, 78F046xのみ。2. μ PD78F046xのみ。

注意 PR0Lのビット6, PR1Hのビット4-7には、必ず1を設定してください。

図21 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L, PR1H) のフォーマット (4/4)

(d) 78K0/LF3

アドレス : FFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス : FFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	CSIPR10 STPR0	STPR6	SRPR6

アドレス : FFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR1L	TMPR52	DSADPR 注2	RTCIPR	KRPR	TMPR51	RT CPR	SRPR0	ADPR ^{注1}

アドレス : FFE8H リセット時 : FFH R/W

略号	7	6	5	[4]	[3]	[2]	[1]	[0]
PR1H	1	1	1	ACSIPR	RERRPR GPPR RENDPR DFULLPR	RINPR	MCGPR	TMHPR2

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注1. μ PD78F048x, 78F049xのみ。2. μ PD78F049xのみ。

注意 PR1Hのビット5-7には、必ず1を設定してください。

(4)外部割り込み立ち上がりエッジ許可レジスタ(EGP),外部割り込み立ち下がりエッジ許可レジスタ(EGN)

INTP0-INTP5の有効エッジを設定するレジスタです。

EGP, EGNは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

(a) 78K0/LC3, 78K0/LD3

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	0	0	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	0	0	EGN3	EGN2	EGN1	EGN0

(b) 78K0/LE3

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	0	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	0	EGN4	EGN3	EGN2	EGN1	EGN0

(c) 78K0/LF3

アドレス : FF48H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP	0	0	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FF49H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN	0	0	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-5)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表21 - 3に示します。

表21 - 3 EGPnとEGNnに対応するポート

(a) 78K0/LC3, 78K0/LD3

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120/EXLVI	INTP0
EGP1	EGN1	P34/TI52/TI010/TO00/RTC1HZ	INTP1
EGP2	EGN2	P33/TI000/RTCDIV/RTCCL/BUZ	INTP2
EGP3	EGN3	P31/TOH1	INTP3

(b) 78K0/LE3

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120/EXLVI	INTP0
EGP1	EGN1	P34/TI52/TI010/TO00/RTC1HZ	INTP1
EGP2	EGN2	P33/TI000/RTCDIV/RTCCL/BUZ	INTP2
EGP3	EGN3	P31/TOH1	INTP3
EGP4	EGN4	P14	INTP4

(c) 78K0/LF3

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120/EXLVI	INTP0
EGP1	EGN1	P34/TI52/TI010/TO00/RTC1HZ	INTP1
EGP2	EGN2	P33/TI000/RTCDIV/RTCCL/BUZ	INTP2
EGP3	EGN3	P31/TOH1	INTP3
EGP4	EGN4	P14/SCKA0	INTP4
EGP5	EGN5	P30	INTP5

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-3 : 78K0/LC3, 78K0/LD3

n = 0-4 : 78K0/LE3

n = 0-5 : 78K0/LF3

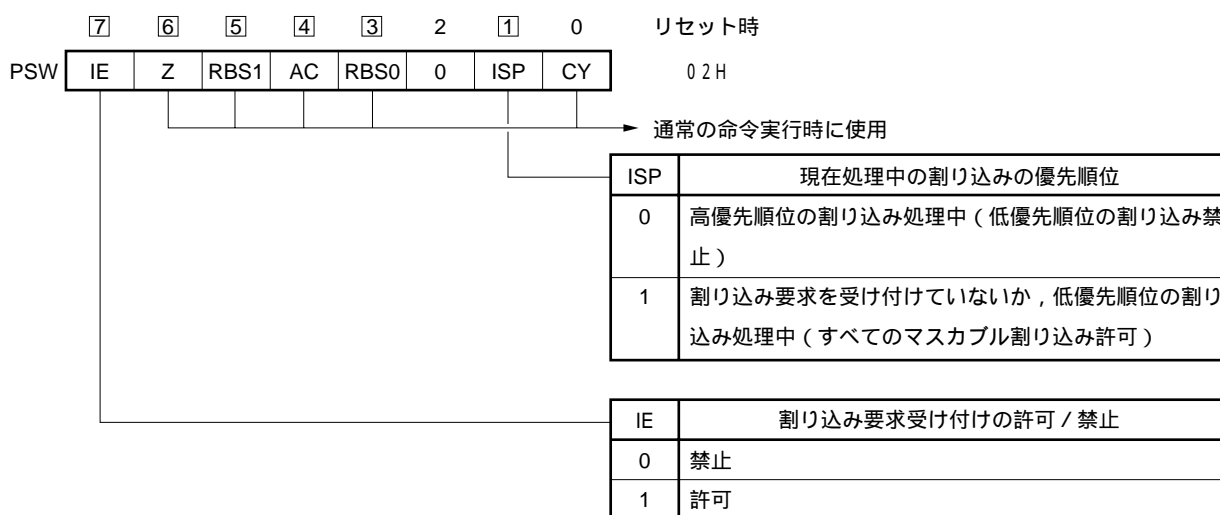
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは02Hとなります。

図21 - 6 プログラム・ステータス・ワードの構成



21.4 割り込み処理動作

21.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表21 - 4のようになります。

割り込み要求の受け付けタイミングについては、図21 - 8、図21 - 9を参照してください。

表21 - 4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
x × PR = 0のとき	7クロック	32クロック
x × PR = 1のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

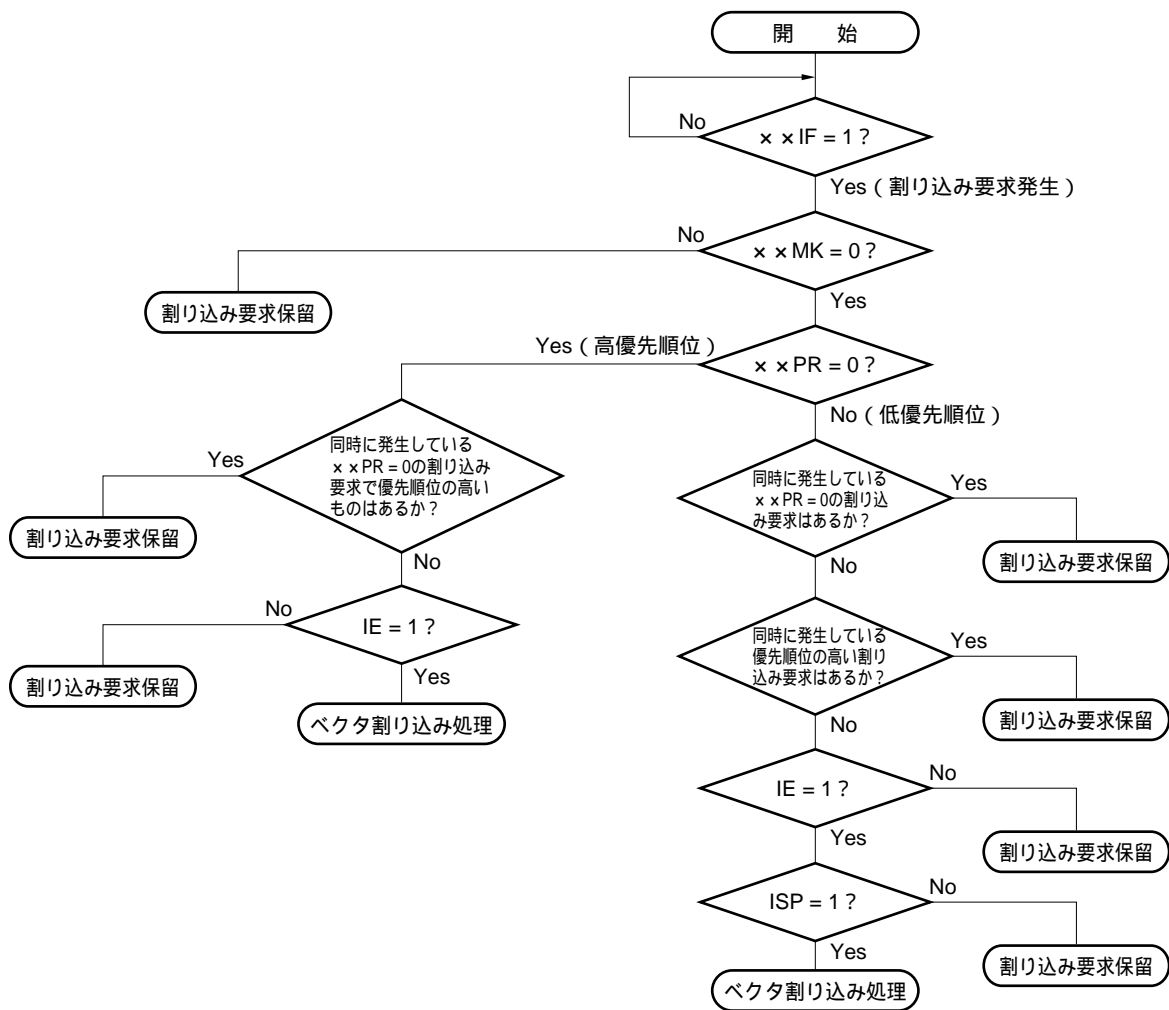
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図21 - 7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図21 - 7 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

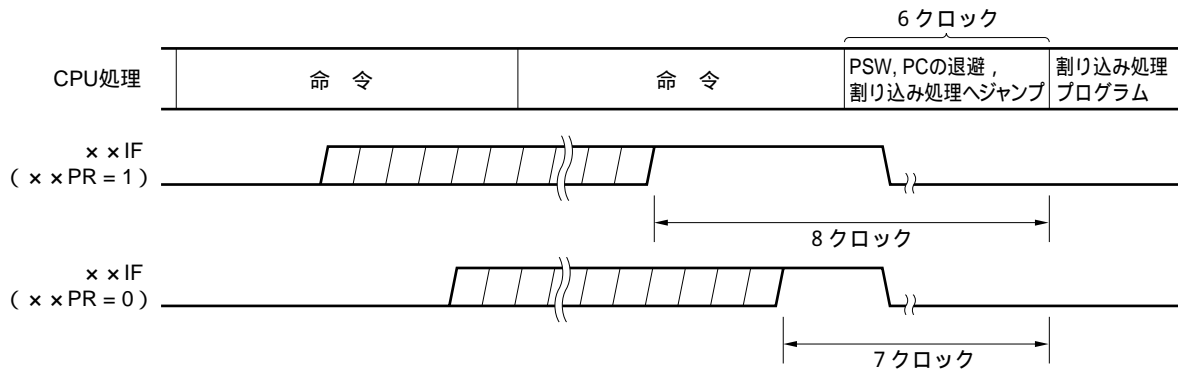
x x MK : 割り込みマスク・フラグ

x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

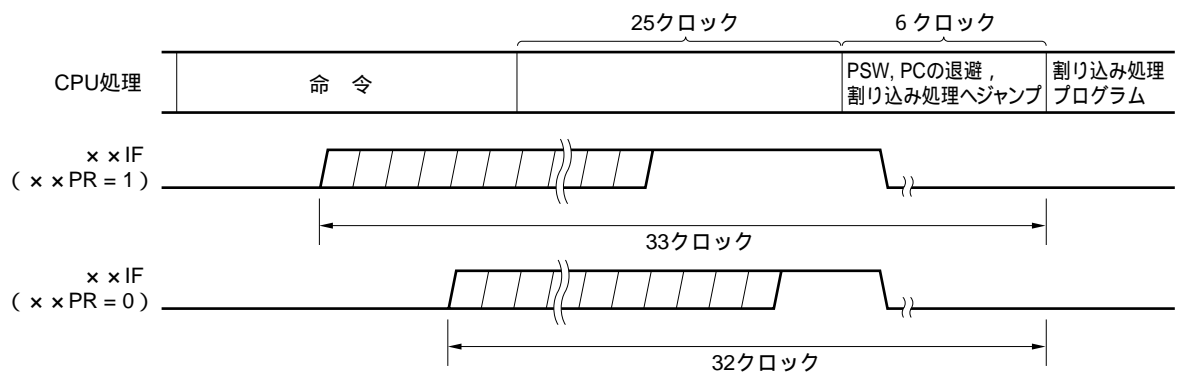
ISP : 現在処理中の割り込みの優先順位を示すフラグ (0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図21 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

図21 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

21.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

21.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表21-5に多重割り込み可能な割り込み要求の関係を、図21-10に多重割り込みの例を示します。

表21-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求		マスカブル割り込み要求				ソフトウェア 割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0		x	x	x	
	ISP = 1		x		x	
ソフトウェア割り込み			x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

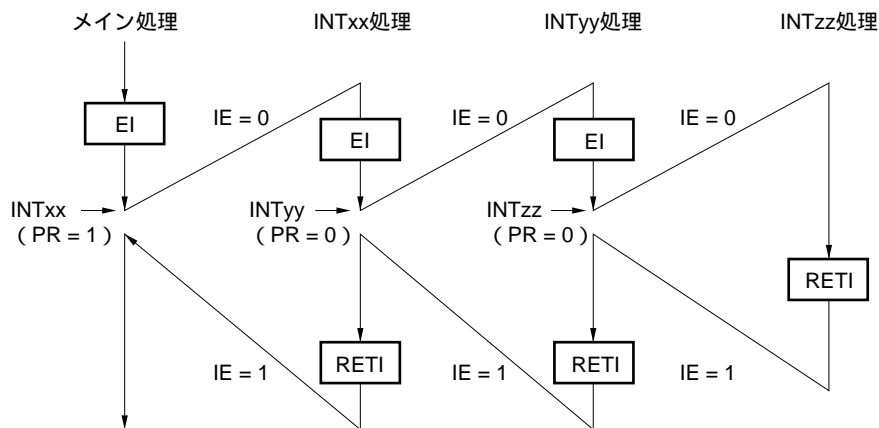
4. PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

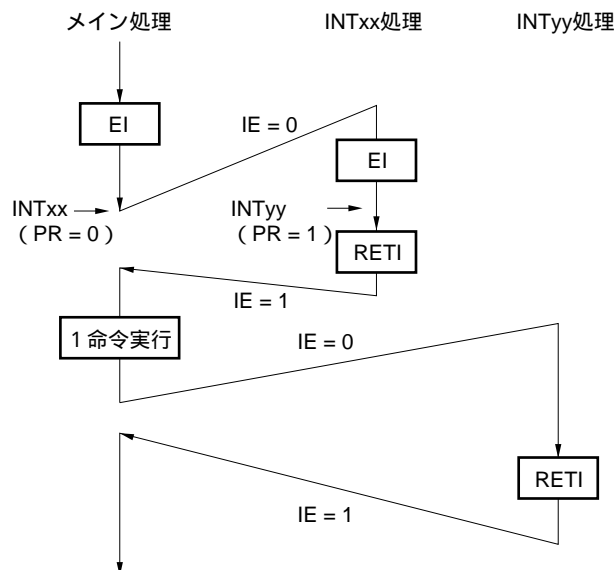
図21 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例

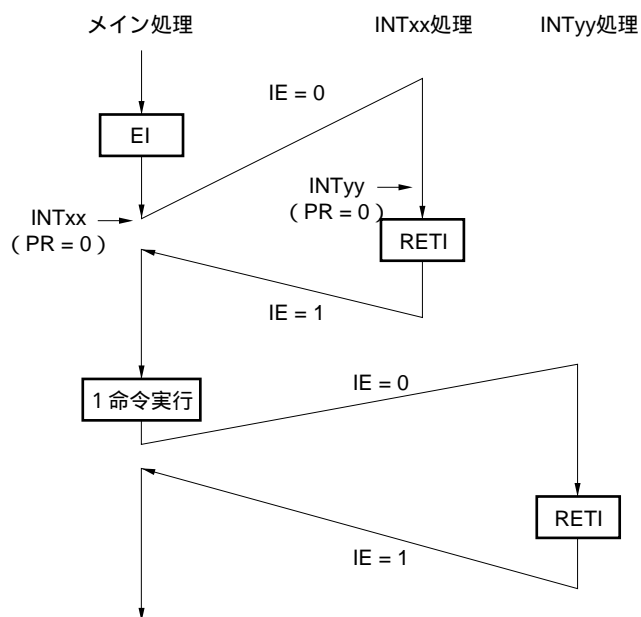


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 0 : 高優先順位レベル
- PR = 1 : 低優先順位レベル
- IE = 0 : 割り込み要求受け付け禁止

図21 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

21.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV A, PSW
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ MOV1 CY, PSW. bit
- ・ AND1 CY, PSW. bit
- ・ OR1 CY, PSW. bit
- ・ XOR1 CY, PSW. bit
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ PUSH PSW
- ・ POP PSW
- ・ BT PSW. bit, \$addr16
- ・ BF PSW. bit, \$addr16
- ・ BTCLR PSW. bit, \$addr16
- ・ EI
- ・ DI
- ・ IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図21-11に示します。

図21-11 割り込み要求の保留



備考1 . 命令N：割り込み要求の保留命令

2 . 命令M：割り込み要求の保留命令以外の命令

3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第22章 キー割り込み機能

	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
キー割り込み	3 ch	5 ch	5 ch	8 ch

22.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KRn) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表22 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRMn	KRn信号を1ビット単位で制御

備考 n = 0, 3, 4 : 78K0/LC3
 n = 0-4 : 78K0/LD3, 78K0/LE3
 n = 0-7 : 78K0/LF3

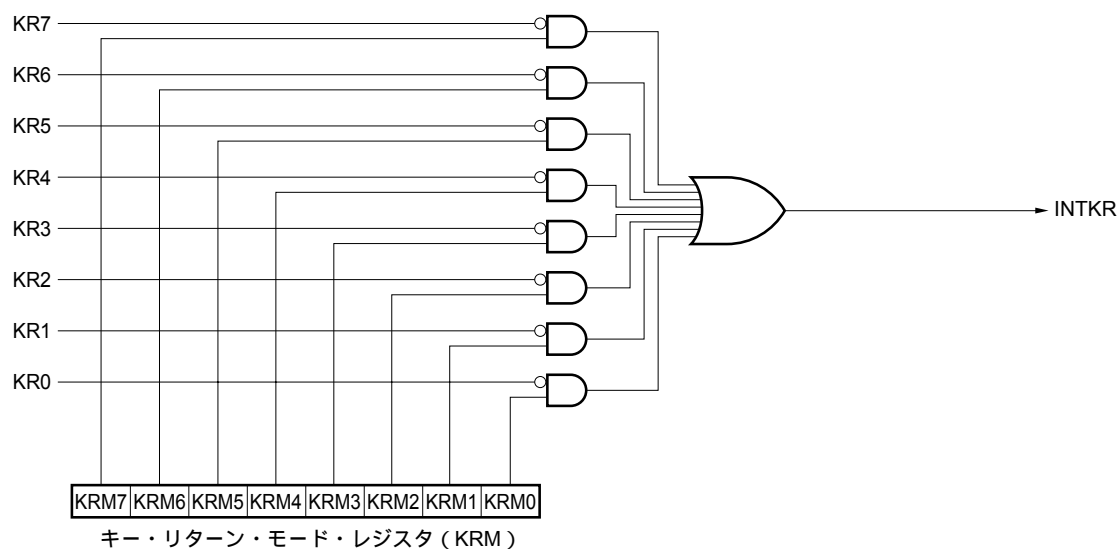
22.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表22-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)

図22-1 キー割り込みのブロック図



備考 KR0, KR3, KR4, KRM0, KRM3, KRM4 : 78K0/LC3
 KR0-KR4, KRM0-KRM4 : 78K0/LD3, 78K0/LE3
 KR0-KR7, KRM0-KRM7 : 78K0/LF3

22.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

キー割り込み入力端子 (KRn) の立ち下がりエッジ発生時に、キー割り込み (INTKR) を検出する / しないを設定するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0, 3, 4 : 78K0/LC3
 n = 0-4 : 78K0/LD3, 78K0/LE3
 n = 0-7 : 78K0/LF3

図22 - 2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス : FF6EH リセット時 : 00H R/W

(a) 78K0/LC3

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	KRM4	KRM3	0	0	KRM0

(b) 78K0/LD3, 78K0/LE3

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	KRM4	KRM3	KRM2	KRM1	KRM0

(c) 78K0/LF3

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. キー割り込み機能を使用する場合, KRMnビットに1を設定するときは, 対応するプルアップ抵抗レジスタ (PUx) のビットに1を設定してください。
- KRMを変更すると, 割り込み要求フラグがセットされる場合があります。したがって, あらかじめ割り込みを禁止してからKRMレジスタを変更し, 割り込み要求フラグをクリアしてから, 割り込みを許可してください。
 - キー割り込み信号を検出しない (KRMn = 0) とした場合は, 対応するPxx端子を通常ポートとして使用可能です。
 - P40/KR0/V_{LC3}端子をキー割り込み機能 (KR0) で使用する場合, LCD表示モード・レジスタ (LCDM) で1/4バイアス法以外に設定してください。1/4バイアス法に設定した場合は, P40/KR0/V_{LC3}端子はV_{LC3}として機能します。
 - セグメント・キー・スキャン機能使用時 (KSON = 1), KRn端子をセグメント・キー・スキャン入力端子として使用する場合はKRMn = 1, KRn端子をセグメント・キー・スキャン入力端子として使用しない場合はKRMn = 0を設定してください (図18 - 8参照)。

備考 n = 0, 3, 4 : 78K0/LC3
 n = 0-4 : 78K0/LD3, 78K0/LE3
 n = 0-7 : 78K0/LF3

第23章 スタンバイ機能

23.1 スタンバイ機能と構成

23.1.1 スタンバイ機能

スタンバイ機能は、78K0/Lx3マイクロコントローラの全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、かなり低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。サブシステム・クロックの発振を停止させることができません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 - 10ビット逐次比較型A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。また、16ビット 型A/Dコンバータ部の動作電流を低減させるためには、16ビット 型A/Dコンバータ・コントロール・レジスタ(ADDCTL0)のビット7(ADDPON)とビット6(ADDCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。

23.1.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したとき, X1クロックの発振安定時間を確認することができます。

OSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDTによるリセット), STOP命令, MSTOP (MOCレジスタのビット7) = 1により, 00Hになります。

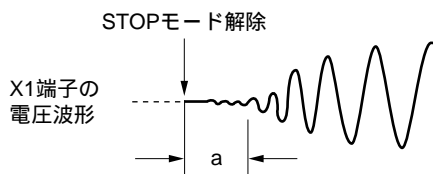
図23 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFA3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス	
					$f_x = 10 \text{ MHz}$ 時	
1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上
1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上
1	1	1	0	0	$2^{14}/f_x$ 以上	1.64 ms以上
1	1	1	1	0	$2^{15}/f_x$ 以上	3.27 ms以上
1	1	1	1	1	$2^{16}/f_x$ 以上	6.55 ms以上

- 注意1. 上記時間経過後, MOST11から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合, STOPモード解除後は, OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合, STOPモード解除後は, OSTCで発振安定時間が経過したかを確認してください。OSTCでは, あらかじめOSTSで設定した時間までの確認ができます。

OSTSは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 05Hになります。

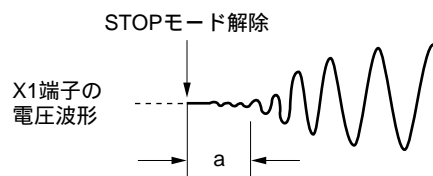
図23 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFA4H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時
0	0	1	$2^{11}/f_x$	204.8 μs
0	1	0	$2^{13}/f_x$	819.2 μs
0	1	1	$2^{14}/f_x$	1.64 ms
1	0	0	$2^{15}/f_x$	3.27 ms
1	0	1	$2^{16}/f_x$	6.55 ms
上記以外			設定禁止	

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令を実行する前にOSTSを設定してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
 - ・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。
 - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

23.2 スタンバイ機能の動作

23.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表23 - 1 HALTモード時の動作状態 (1/2)

HALTモード の設定 の項目		メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f _{RH}) で CPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (f _{EXCLK}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f _{RH}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	fx	HALTモード設定前の状態を継続	動作継続 (停止不可)	HALTモード設定前の状態を保持
	f _{EXCLK}	外部クロックの入力により動作または停止		動作継続 (停止不可)
サブシステム・クロック	f _{XT}	HALTモード設定前の状態を継続		
	f _{RL}	HALTモード設定前の状態を継続		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		HALTモード設定前の状態を保持		
ポート (ラッチ)		HALTモード設定前の状態を保持		
16ビット・タイマ/イベント・カウンタ00		動作可能		
8ビット・タイマ/イベント・カウンタ	50			
	51			
	52			
8ビット・タイマ	H0			
	H1			
	H2			
リアルタイム・カウンタ				
ウォッチドッグ・タイマ		動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力		動作可能		
ブザー出力				
10ビット逐次比較型 A/Dコンバータ				
16ビット 型 A/Dコンバータ				
シリアル・インタフェース	UART0			
	UART6			
	CSI10			
	CSIA0			
LCDコントローラ/ドライバ				
マンチェスタ・コード・ジェネレータ				
リモコン受信回路				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				

備考1. f_{RH} : 高速内蔵発振クロック, fx : X1クロック

f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック

f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

表23 - 1 HALTモード時の動作状態 (2/2)

項 目		HALTモード の設定	サブシステム・クロックでCPU動作中のHALT命令実行時
			XT1クロック (f_{XT}) でCPU動作時
システム・クロック			CPUへのクロック供給は停止
メイン・システム・クロック	f_{RH}		HALTモード設定前の状態を継続
	f_X		
	f_{EXCLK}		外部クロックの入力により動作または停止
サブシステム・クロック	f_{XT}		動作継続 (停止不可)
	f_{RL}		HALTモード設定前の状態を継続
CPU			動作停止
フラッシュ・メモリ			動作停止
RAM			HALTモード設定前の状態を保持
ポート (ラッチ)			HALTモード設定前の状態を保持
16ビット・タイマ/ イベント・カウンタ ⁰⁰ ^注			動作可能
8ビット・タイマ/ イベント・カウンタ	50 ^注		
	51 ^注		
	52 ^注		
8ビット・タイマ	H0		
	H1		
	H2		
リアルタイム・カウンタ			
ウォッチドッグ・タイマ			動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は、ウォッチドッグ・タイマへのクロック供給停止。
クロック出力			動作可能
ブザー出力			動作可能。ただし周辺ハードウェア・クロック (f_{PRS}) 停止時は動作禁止。
10ビット逐次比較型 A/Dコンバータ			
16ビット 型 A/Dコンバータ			動作可能
シリアル・イ ンタフェース	UART0		
	UART6		
	CSI10 ^注		
	CSIA0 ^注		
LCDコントローラ/ドライバ			
マンチェスタ・コード・ ジェネレータ			
リモコン受信回路			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			

注 CPUがサブシステム・クロック動作中で、高速内蔵発振クロックと高速システム・クロックが停止している場合、周辺ハードウェアの端子からの外部クロックで動作開始させないでください。

備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{RL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

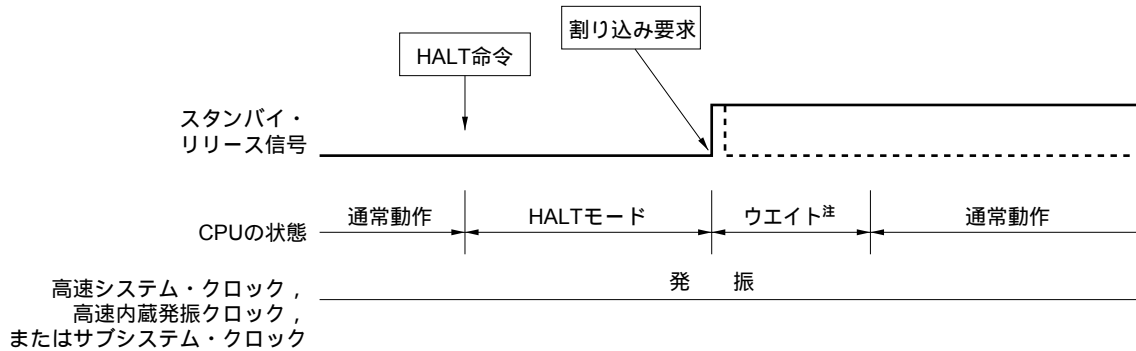
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23 - 3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 11～12クロック
- ・ベクタ割り込み処理を行わない場合 : 4～5クロック

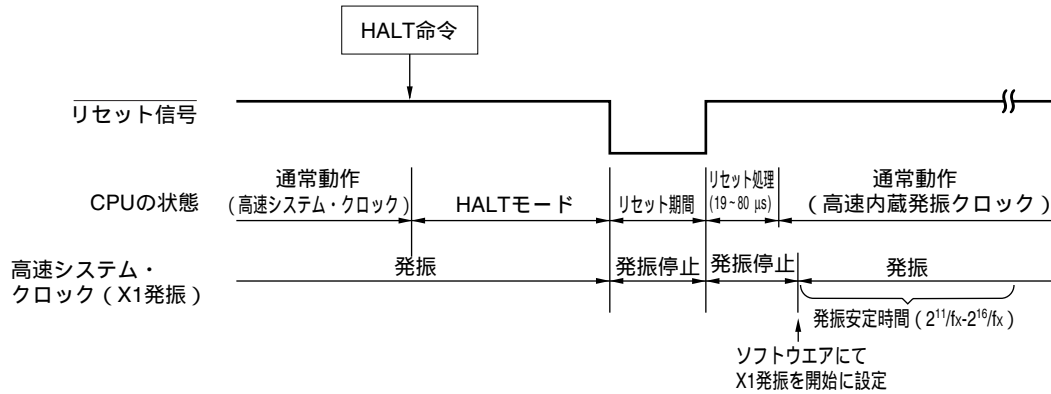
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

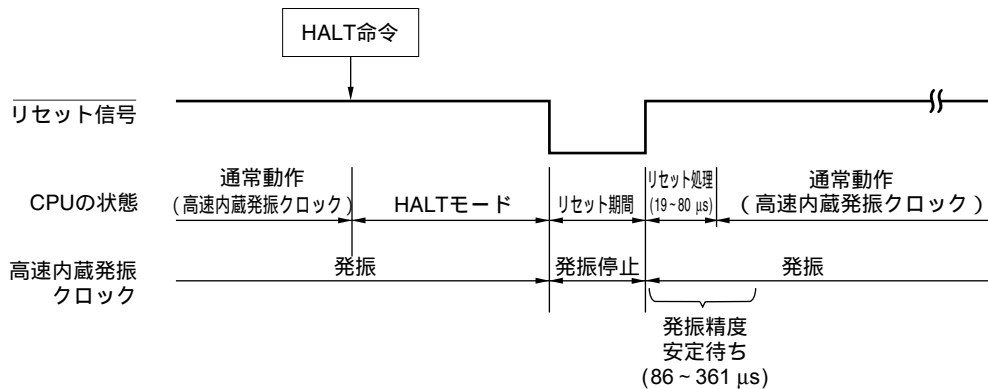
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図23 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図23 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合

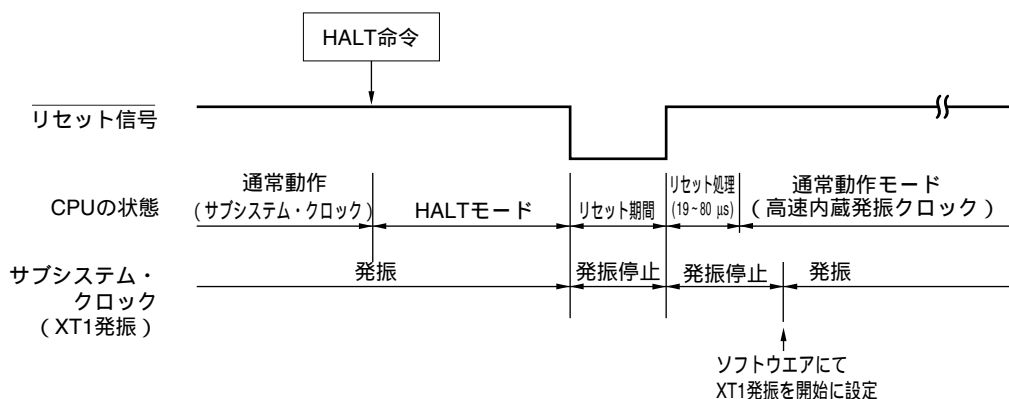


表23 - 2 HALTモード時の割り込み要求に対する動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスクブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
1	x	x	x	HALTモード保持	
リセット	-	-	x	x	リセット処理

x : don't care

23.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表23-3 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック (f_{RH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EXCLK}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	f_{RH}	停止	
	f_x		
	f_{EXCLK}	入力無効	
サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続	
f_{RL}	STOPモード設定前の状態を継続		
CPU	動作停止		
フラッシュ・メモリ	動作停止		
RAM	STOPモード設定前の状態を保持		
ポート (ラッチ)	STOPモード設定前の状態を保持		
16ビット・タイマ/イベント・カウンタ ^{注1}	カウント・クロックにTM52出力, またはTI000選択時のみ動作可能		
8ビット・タイマ/イベント・カウンタ	50 ^{注1}	カウント・クロックにTI50選択時のみ動作可能	
	51 ^{注1}	カウント・クロックにTI51選択時のみ動作可能	
	52 ^{注1}	カウント・クロックにTI52選択時のみ動作可能	
8ビット・タイマ	H0	8ビット・タイマ/イベント・カウンタ50動作時, カウント・クロックにTM50出力選択時のみ動作可能	
	H1	カウント・クロックに f_{RL} , $f_{RL}/2^7$, $f_{RL}/2^9$ 選択時のみ動作可能	
	H2	動作停止	
リアルタイム・カウンタ	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ウォッチドッグ・タイマ	動作可能。ただしオプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」に設定した場合は, ウォッチドッグ・タイマへのクロック供給停止。		
クロック出力	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
ブザー出力	動作停止		
10ビット逐次比較型A/Dコンバータ			
16ビット型A/Dコンバータ ^{注2}	動作可能		
シリアル・インタフェース	UART0	8ビット・タイマ/イベント・カウンタ50動作時, シリアル・クロックにTM50出力選択時のみ動作可能	
	UART6		
	CSI10 ^{注1}	シリアル・クロックに外部クロック選択時のみ動作可能	
	CSIA0 ^{注1}	動作停止	
LCDコントローラ/ドライバ	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
マンチェスタ・コード・ジェネレータ	動作停止		
リモコン受信回路	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			

注1. STOPモード中は, 周辺ハードウェアの端子からの外部クロックで動作開始しないでください。

2. 16ビット型A/Dコンバータは, サンプリング・クロックに $f_{PRS}/4$, $f_{PRS}/8$, $f_{PRS}/16$ を選択時にSTOP命令を行う場合は, 必ず電源をオフ (ADDPON = 0) にしてください。

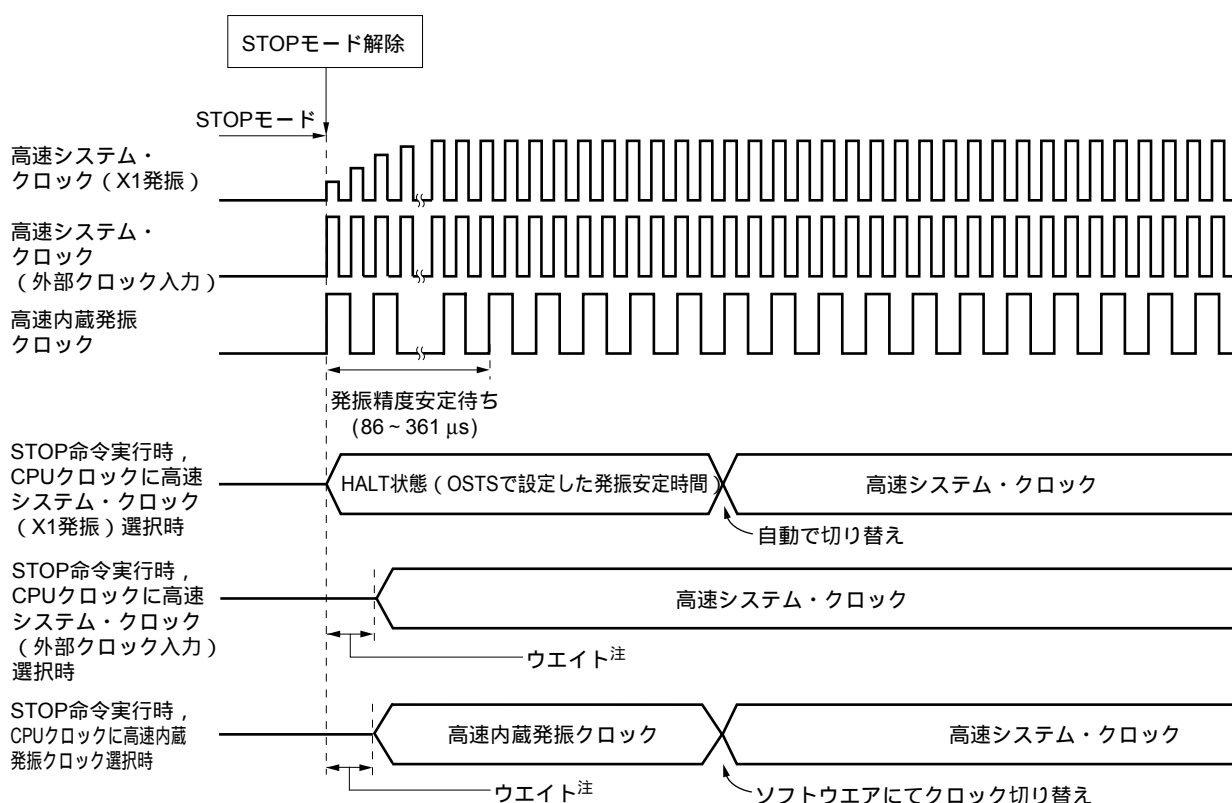
備考1. f_{RH} : 高速内蔵発振クロック, f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック
 f_{RL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア, および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は, 周辺ハードウェアをリスタートしてください。
2. オプション・バイトで「低速内蔵発振器 ソフトウェアにより停止可能」を選択しても, STOPモード時では低速内蔵発振クロックは, STOPモード設定前の状態を継続します。STOPモード中に停止したい場合は, ソフトウェアにて, 低速内蔵発振器の発振を停止してから, STOP命令を実行してください。
3. 高速システム・クロック (X1発振) でCPU動作していて, STOPモード解除後の発振安定時間を短縮したい場合は, STOP命令実行前に次の手順で高速内蔵発振クロックに切り替えることで実現できます。
- RSTOPを0に設定 (高速内蔵発振器の発振開始) MCM0を0に設定 (CPUをX1発振から高速内蔵発振に切り替え) MCS = 0であることを確認 (CPUクロックの確認) RSTS = 1であることを確認 (高速内蔵発振動作の確認) STOP命令実行
- STOPモード解除後, CPUクロックを高速内蔵発振クロックから高速システム・クロック (X1発振) に切り替える場合は, 発振安定時間カウンタ状態レジスタ (OSTC) で発振安定時間を確認してから, 行ってください。
4. STOP命令は, 必ず高速内蔵発振器安定動作 (RSTS = 1) になっていることを確認してから行ってください。

(2) STOPモードの解除

図23 - 5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合)



注 ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17 ~ 18クロック
- ・ベクタ割り込み処理を行わない場合 : 11 ~ 12クロック

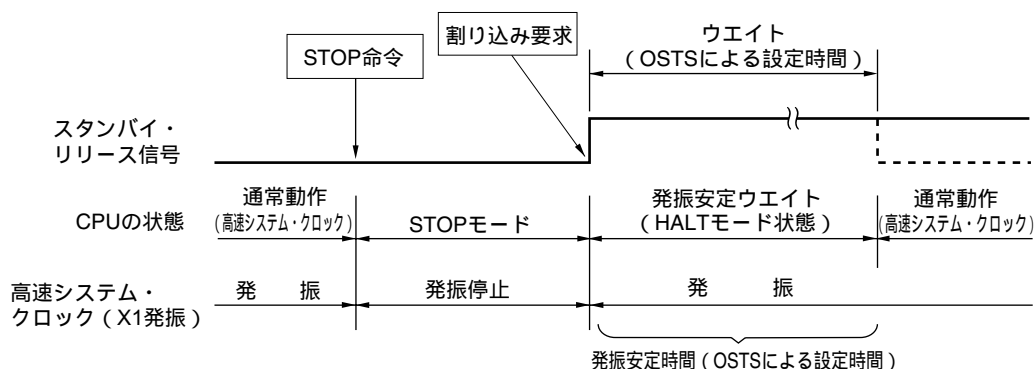
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

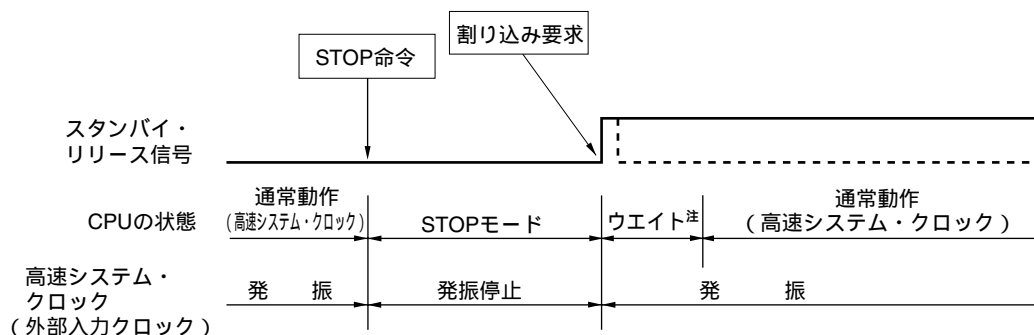
マスクされていない割り込み要求による解除の場合、STOPモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図23 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



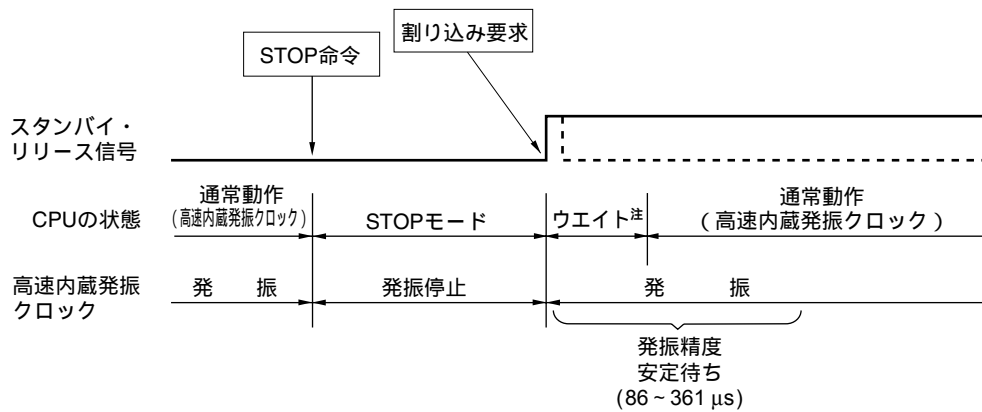
注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17~18クロック
- ・ベクタ割り込み処理を行わない場合 : 11~12クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23 - 6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 17～18クロック
- ・ベクタ割り込み処理を行わない場合 : 11～12クロック

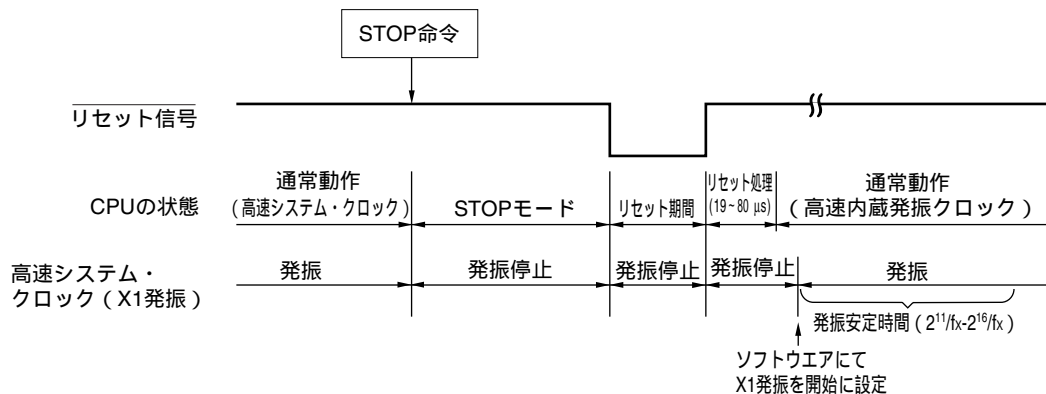
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

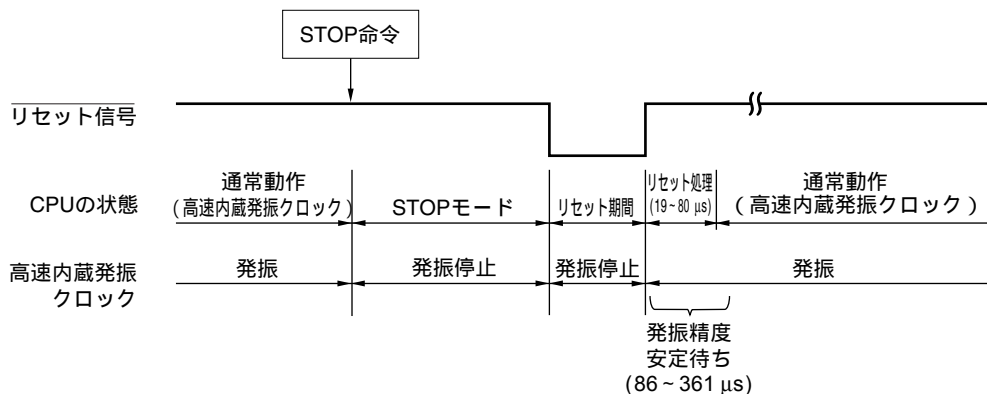
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

表23 - 4 STOPモード時の割り込み要求に対する動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスカブル割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	
	1	x	x	x	STOPモード保持
リセット	-	-	x	x	リセット処理

x : don't care

第24章 リセット機能

リセット機能は、78K0/Lx3マイクロコントローラの全製品に搭載されています。

リセット信号を発生させる方法には、次の4種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電源検出回路 (LVI) の電源電圧と検出電圧との比較による内部リセット

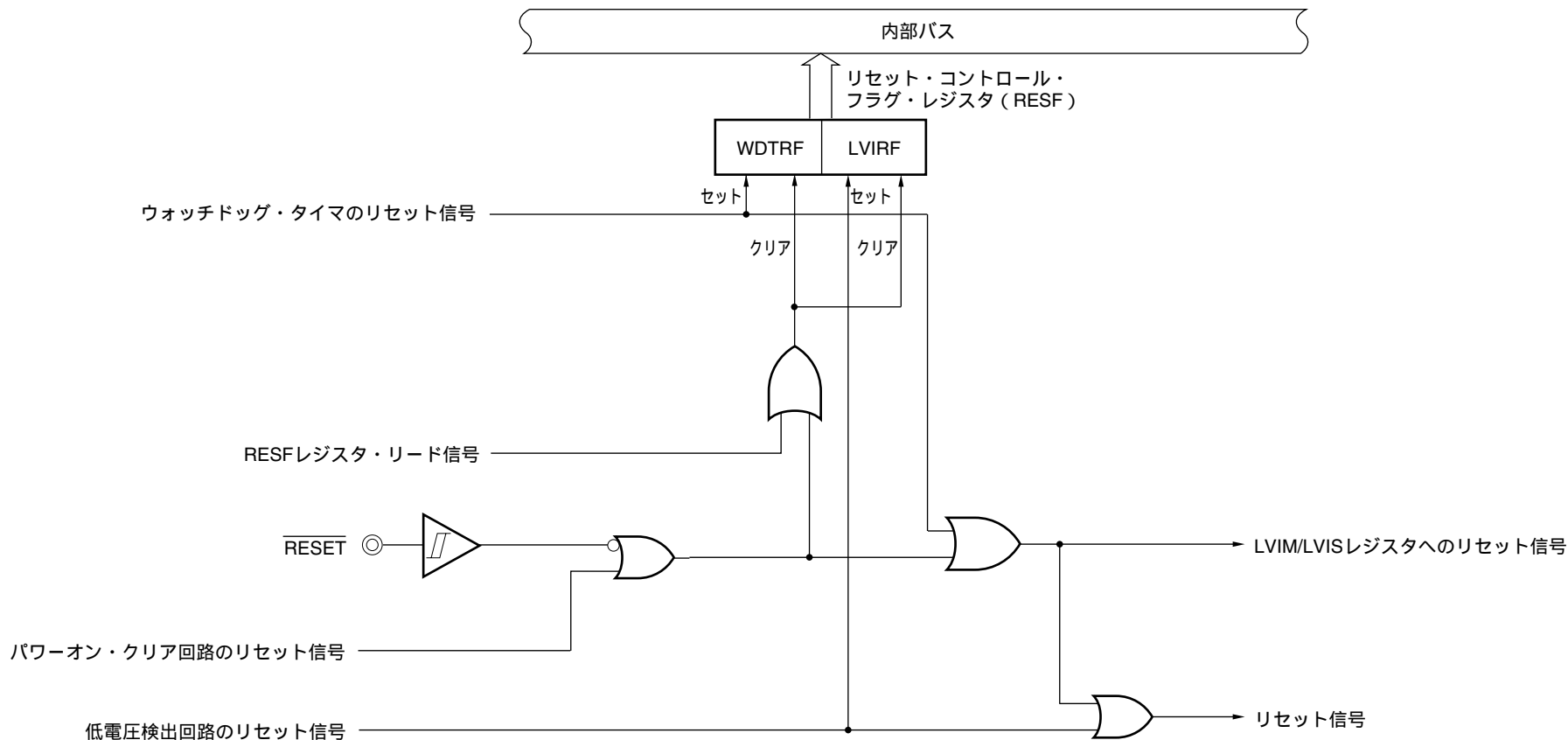
外部リセットと内部リセットは機能面での差はなく、リセット信号の発生により、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、またはPOC回路、LVI回路の電圧検出により、リセットがかかり、各ハードウェアは表24 - 1, 表24 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(図24 - 2 ~ 図24 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 $V_{DD} > V_{POC}$ または $V_{DD} > V_{LVI}$ になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します(第25章 パワーオン・クリア回路と第26章 低電圧検出回路参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。
2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子はハイ・インピーダンスとなります。

図24 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考1.** LVIM：低電圧検出レジスタ
2. LVIS：低電圧検出レベル選択レジスタ

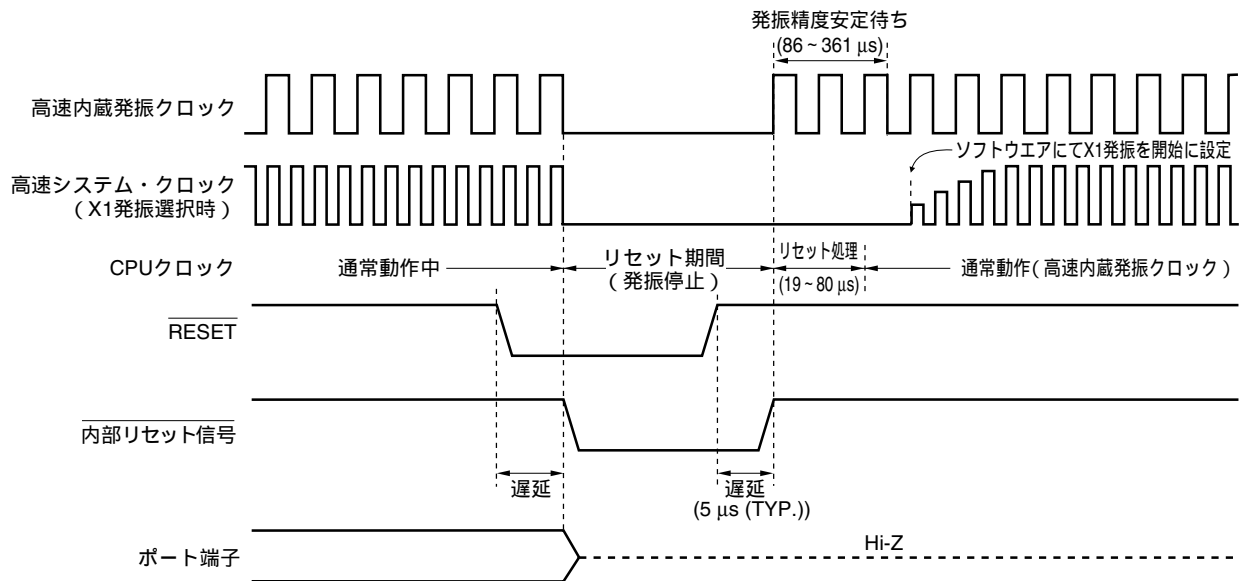
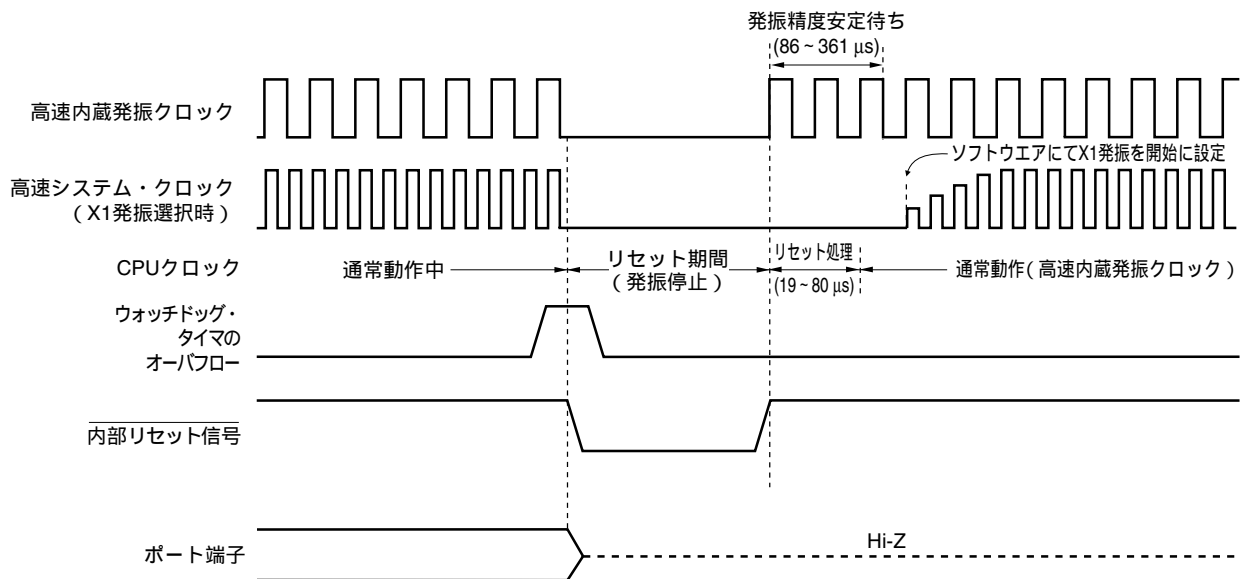
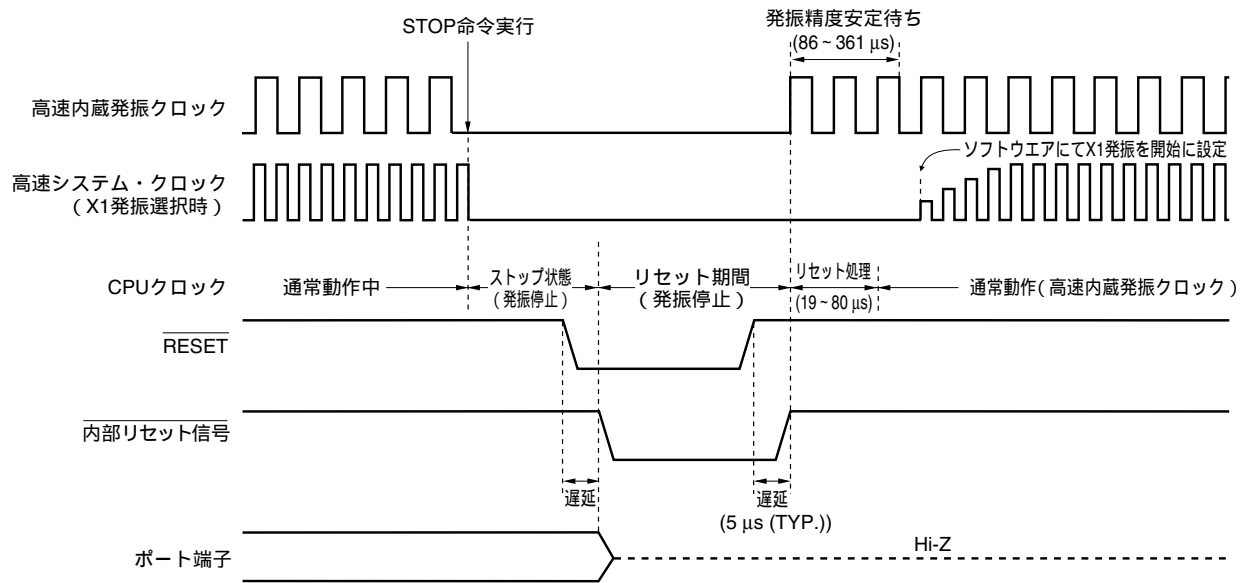
図24 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図24 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図24 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第25章 **パワーオン・クリア回路**と第26章 **低電圧検出回路**を参照してください。

表24 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{RH}	動作停止
	f _X	動作停止 (端子は入出力ポート・モード)
	f _{EXCLK}	クロックの入力無効 (端子は入出力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (端子は入出力ポート・モード)
f _{RL}	動作停止	
CPU		
フラッシュ・メモリ		
RAM		
ポート (ラッチ)		
16ビット・タイマ / イベント・カウンタ00		
8ビット・タイマ / イベント・カウンタ	50	
	51	
	52	
8ビット・タイマ	H0	
	H1	
	H2	
リアルタイム・カウンタ		
ウォッチドッグ・タイマ		
クロック出力		
ブザー出力		
10ビット逐次比較型 A/Dコンバータ		
16ビット 型 A/Dコンバータ		
シリアル・インタフェース	UART0	
	UART6	
	CSI10	
	CSIA0	
LCDコントローラ / ドライバ		
マンチェスタ・コード・ジェネレータ		
リモコン受信回路		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止	
外部割り込み		

備考1. f_{RH} : 高速内蔵発振クロック, f_X : X1クロック

f_{EXCLK} : 外部メイン・システム・クロック, f_{XT} : XT1クロック

f_{RL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

表24 - 2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P1-P4, P8-P15) (出力ラッチ)		00H
ポート・モード・レジスタ (PM1-PM4, PM8-PM15)		FFH
プルアップ抵抗オプション・レジスタ (PU1, PU3, PU4, PU8-PU15)		00H
ポート・ファンクション・レジスタ1 (PF1)		00H
ポート・ファンクション・レジスタ2 (PF2)		00H
ポート・ファンクション・レジスタALL (PFALL)		00H
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH ^{注3}
メモリ・サイズ切り替えレジスタ (IMS)		CFH ^{注3}
クロック動作モード選択レジスタ (OSCCTL)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		01H
内蔵発振モード・レジスタ (RCM)		80H
メインOSCコントロール・レジスタ (MOC)		80H
メイン・クロック・モード・レジスタ (MCM)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		05H
高速内蔵発振トリミング・レジスタ (HIOTRM)		10H
16ビット・タイマ / イベント・カウンタ00	タイマ・カウンタ00 (TM00)	0000H
	キャプチャ/コンペア・レジスタ000, 010 (CR000, CR010)	0000H
	モード・コントロール・レジスタ00 (TMC00)	00H
	プリスケアラ・モード・レジスタ00 (PRM00)	00H
	キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)	00H
	タイマ出力コントロール・レジスタ00 (TOC00)	00H
8ビット・タイマ / イベント・カウンタ50, 51, 52	タイマ・カウンタ50, 51, 52 (TM50, TM51, TM52)	00H
	コンペア・レジスタ50, 51, 52 (CR50, CR51, CR52)	00H
	タイマ・クロック選択レジスタ50, 51, 52 (TCL50, TCL51, TCL52)	00H
	モード・コントロール・レジスタ50, 51, 52 (TMC50, TMC51, TMC52)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時でのリセット後の状態は保持となります。
- メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) のリセット解除後の初期値は内部メモリ容量にかかわらず、78K0/Lx3マイクロコントローラすべての製品において一定 (IMS = CFH, IXS = 0CH) となっています。したがって、リセット解除後、製品ごとに表3 - 1, 表3 - 2に示す値を必ず設定してください。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 **特殊機能レジスタ (SFR: Special Function Register)** を参照してください。

表24 - 2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
8ビット・タイマH0, H1, H2	コンペア・レジスタ00, 10, 01, 11, 02, 12 (CMP00, CMP10, CMP01, CMP11, CMP02, CMP12)	00H
	モード・レジスタ (TMHMD0, TMHMD1, TMHMD2)	00H
	キャリア・コントロール・レジスタ1 (TMCYC1) ^{注2}	00H
リアルタイム・カウンタ	クロック選択レジスタ (RTCCL)	00H
	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
コントロール・レジスタ2 (RTCC2)	00H	
クロック出力 / ブザー出力制御回路	クロック出力選択レジスタ (CKS)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}
10ビット逐次比較型 A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ0 (ADPC0)	08H
16ビット型 A/Dコンバータ	A/Dコンバータ・コントロール・レジスタ0 (ADDCTL0)	00H
	A/Dコンバータ・コントロール・レジスタ1 (ADDCTL1)	00H
	16ビット A/D変換ステータス・レジスタ (ADDSTR)	00H
	16ビット A/D変換結果レジスタ (ADDCR)	0000H
	8ビット A/D変換結果レジスタH (ADDCRH)	00H
シリアル・インタフェースUART0	受信バッファ・レジスタ0 (RXB0)	FFH
	送信シフト・レジスタ0 (TXS0)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 (ASIM0)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 (ASIS0)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)	1FH

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. 8ビット・タイマH1のみ。

3. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3. 2. 3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表24 - 2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 ^注
シリアル・インタフェース UART6	受信バッファ・レジスタ6 (RXB6)	FFH
	送信バッファ・レジスタ6 (TXB6)	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 (ASIM6)	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 (ASIS6)	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 (ASIF6)	00H
	クロック選択レジスタ6 (CKSR6)	00H
	ポーレート・ジェネレータ・コントロール・レジスタ6 (BRGC6)	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 (ASICL6)	16H
	入力切り替え制御レジスタ (ISC)	00H
シリアル・インタフェース CSI10	送信バッファ・レジスタ10 (SOTB10)	00H
	シリアルI/Oシフト・レジスタ10 (SIO10)	00H
	シリアル動作モード・レジスタ10 (CSIM10)	00H
	シリアル・クロック選択レジスタ10 (CSIC10)	00H
シリアル・インタフェース CSIA0	シリアル動作モード指定レジスタ0 (CSIMA0)	00H
	シリアル・ステータス・レジスタ0 (CSIS0)	00H
	シリアル・トリガ・レジスタ0 (CSIT0)	00H
	分周値選択レジスタ0 (BRGCA0)	03H
	自動データ転送アドレス・ポイント指定レジスタ0 (ADTP0)	00H
	自動データ転送間隔指定レジスタ0 (ADTI0)	00H
	シリアルI/Oシフト・レジスタ0 (SIOA0)	00H
	自動データ転送アドレス・カウント・レジスタ0 (ADTC0)	00H
LCDコントローラ / ドライバ	LCDモード・レジスタ (LCDMD)	00H
	LCD表示モード・レジスタ (LCDM)	00H
	LCDクロック制御レジスタ0 (LCDC0)	00H
マンチェスタ・コード・ ジェネレータ	送信バッファ・レジスタ (MC0TX)	FFH
	送信ビット数指定レジスタ (MC0BIT)	07H
	コントロール・レジスタ0 (MC0CTL0)	10H
	コントロール・レジスタ1 (MC0CTL1)	00H
	コントロール・レジスタ2 (MC0CTL2)	1FH
	ステータス・レジスタ (MC0STR)	00H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

表24 - 2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注2}
	低電圧検出レベル選択レジスタ (LVIS)	00H ^{注2}
リモコン受信回路	リモコン受信シフト・レジスタ (RMSR)	00H
	リモコン受信データ・レジスタ (RMDR)	00H
	リモコン・シフト・レジスタ受信カウンタ・レジスタ (RMSCR)	00H
	リモコン受信GPHSコンペア・レジスタ (RMGPHS)	00H
	リモコン受信GPHLコンペア・レジスタ (RMGPHL)	00H
	リモコン受信DLSコンペア・レジスタ (RMDLS)	00H
	リモコン受信DLLコンペア・レジスタ (RMDLL)	00H
	リモコン受信DH0Sコンペア・レジスタ (RMDH0S)	00H
	リモコン受信DH0Lコンペア・レジスタ (RMDH0L)	00H
	リモコン受信DH1Sコンペア・レジスタ (RMDH1S)	00H
	リモコン受信DH1Lコンペア・レジスタ (RMDH1L)	00H
	リモコン受信エンド幅選択レジスタ (RMER)	00H
	リモコン受信割り込みステータス・レジスタ (INTS)	00H
	リモコン受信割り込みステータス・クリア・レジスタ (INTC)	00H
リモコン受信制御レジスタ (RMCN)	00H	
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H (IF0L, IF0H, IF1L, IF1H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H (MK0L, MK0H, MK1L, MK1H)	FFH
	優先順位指定フラグ・レジスタ0L, 0H, 1L, 1H (PR0L, PR0H, PR1L, PR1H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように変化します。

レジスタ		リセット要因	RESET入力	POCによる リセット	WDTによる リセット	LVIによる リセット
RESF	WDTRFビット		クリア (0)	クリア (0)	セット (1)	保持
	LVIRFビット				保持	セット (1)
LVIM			クリア (00H)	クリア (00H)	クリア (00H)	保持
LVIS						

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.3 特殊機能レジスタ (SFR: Special Function Register) を参照してください。

24.1 リセット要因を確認するレジスタ

78K0/Lx3マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図24 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFACH リセット時 : 00H^註 R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	0	LVIRF

WDTRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない, またはRESFをクリアした
1	内部リセット要求は発生した

注 リセット要因により異なります。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表24 - 3に示します。

表24 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	WDTによる リセット	LVIによる リセット
WDTRF	クリア (0)	クリア (0)	セット (1)	保持
LVIRF			保持	セット (1)

第25章 パワーオン・クリア回路

25.1 パワーオン・クリア回路の機能

パワーオン・クリア回路は、78K0/Lx3マイクロコントローラの全製品に搭載されています。

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0) は、電源電圧 (V_{DD}) が $1.59\text{ V} \pm 0.15\text{ V}$ を越えた場合に、リセットを解除します。
2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1) 時は、電源電圧 (V_{DD}) が $2.7\text{ V} \pm 0.2\text{ V}$ を越えた場合に、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.15\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

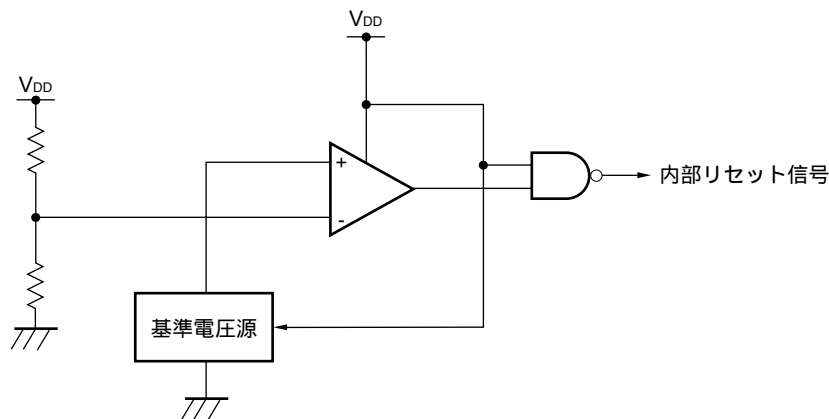
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 78K0/Lx3マイクロコントローラには、内部リセット信号を発生する複数のハードウェアが内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第24章 リセット機能を参照してください。

25.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図25 - 1に示します。

図25 - 1 パワーオン・クリア回路のブロック図



25.3 パワーオン・クリア回路の動作

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{POC}$ のときリセットを解除します。

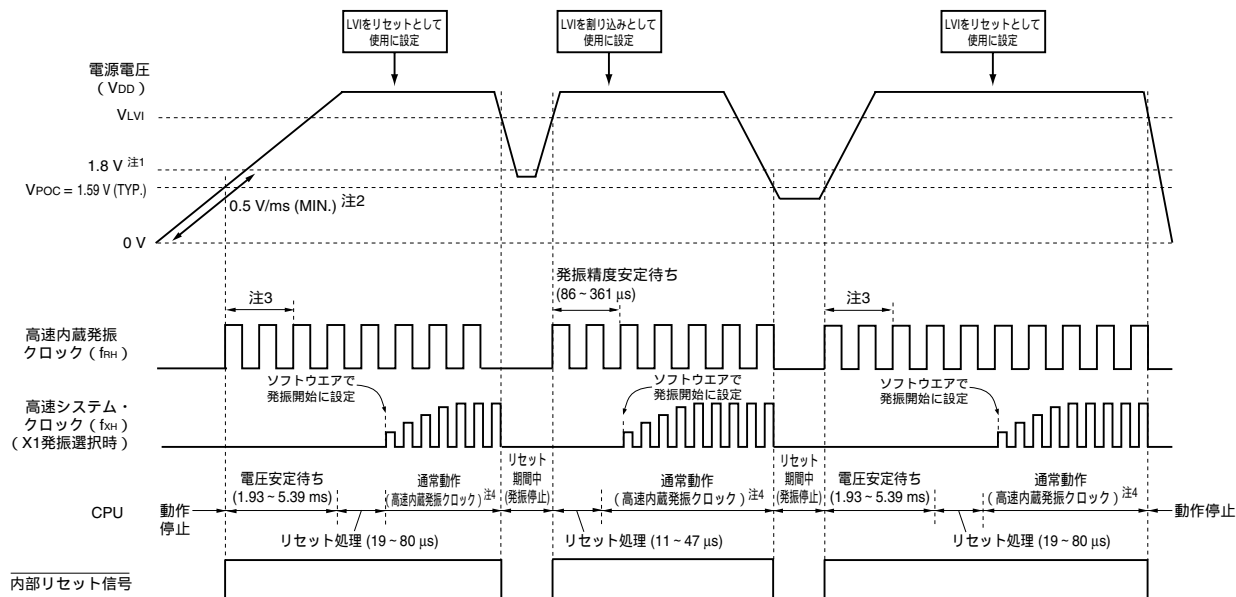
(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が電源電圧投入時検出電圧 ($V_{DDPOC} = 2.7 \text{ V} \pm 0.2 \text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59 \text{ V} \pm 0.15 \text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生し、 $V_{DD} > V_{DDPOC}$ のときリセットを解除します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図25 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト : POCMODE = 0)



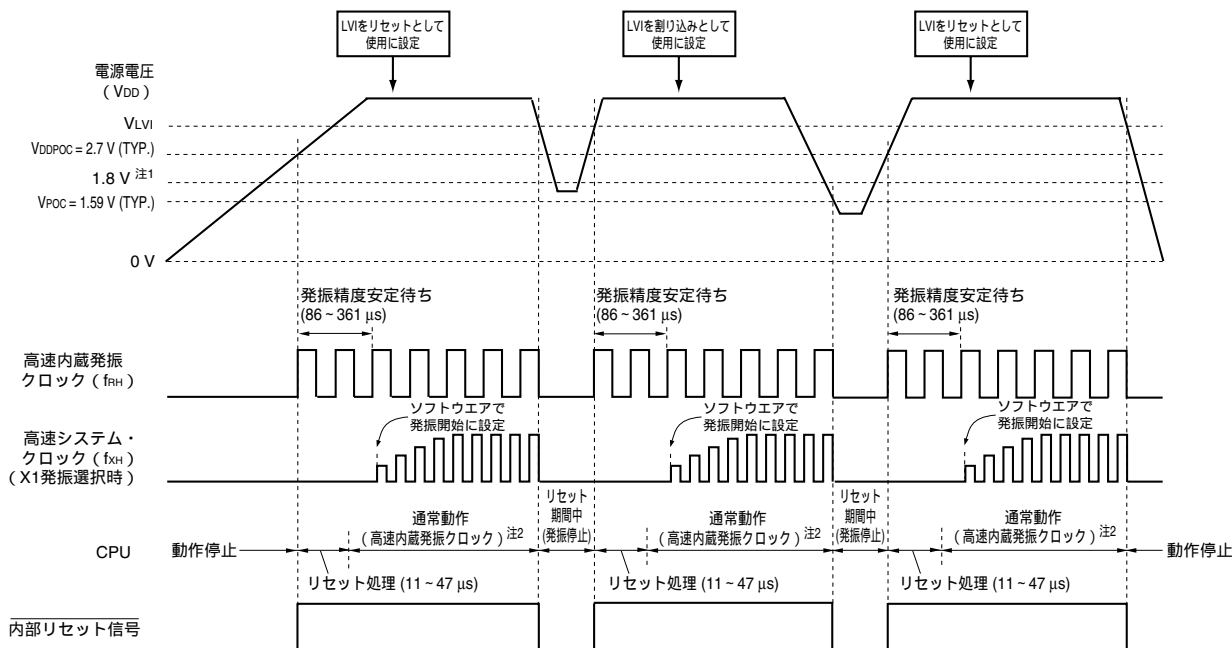
- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、または \overline{RESET} 端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりが、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 \overline{RESET} 端子にロウ・レベルを入力するか、オプション・バイトで2.7 V/1.59 V POCモードを設定 (POCMODE = 1) してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
4. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第26章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
V_{POC} : POC検出電圧

図25 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト : POCMODE = 1)



- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

- 注意1. 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第26章 低電圧検出回路を参照)。
2. 電源電圧が1.59 V (TYP.) に達したあと、1.93 ~ 5.39 msの電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.7 V (TYP.) に達する時間が、1.93 ~ 5.39 ms以内の場合は、リセット処理前に0 ~ 5.39 msの電源安定待ち時間が自動的に発生し、リセット処理時間が19 ~ 80 μ sになります。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

25.4 パワーオン・クリア回路の注意事項

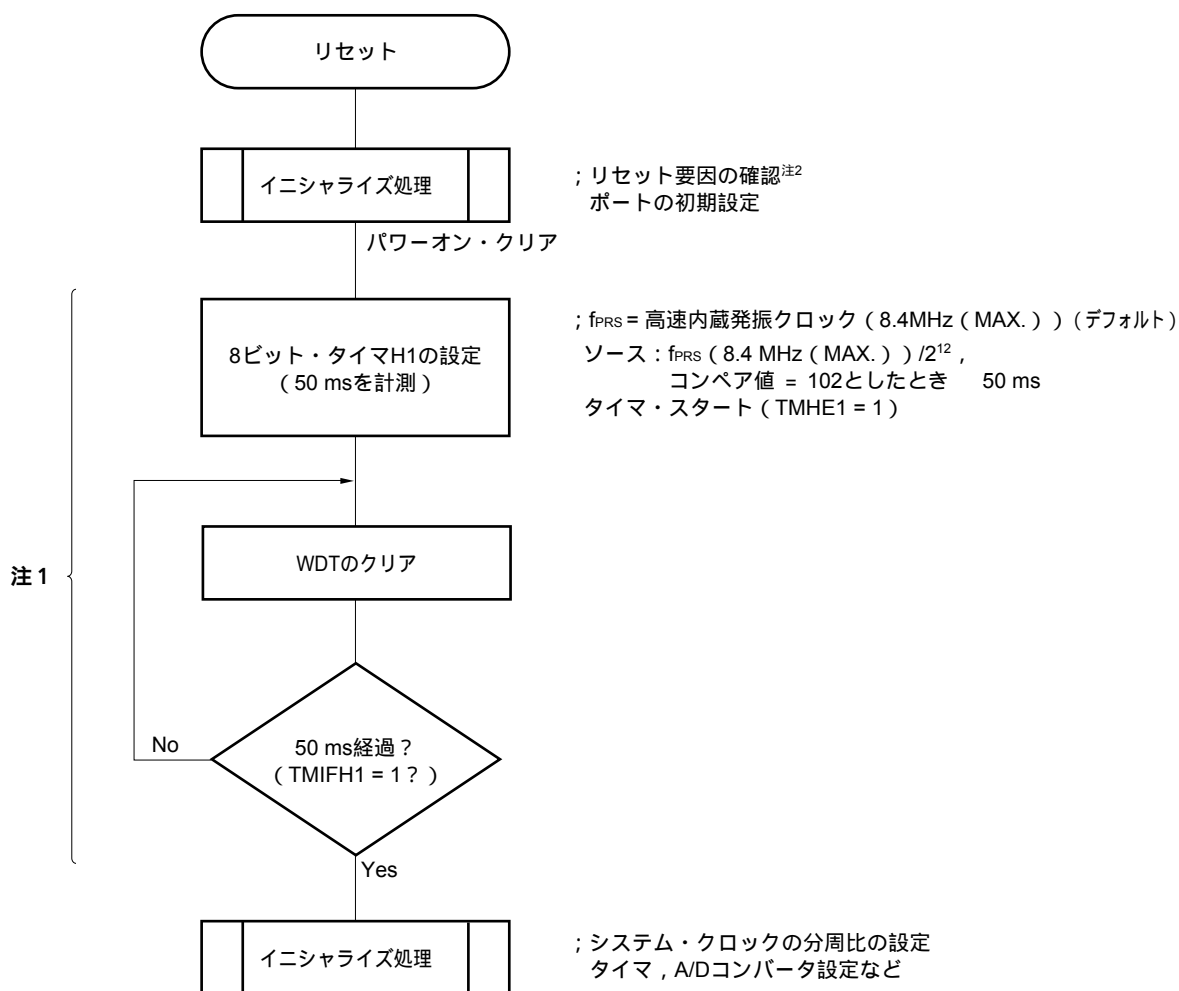
電源電圧 (V_{DD}) が POC 検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図25 - 3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合

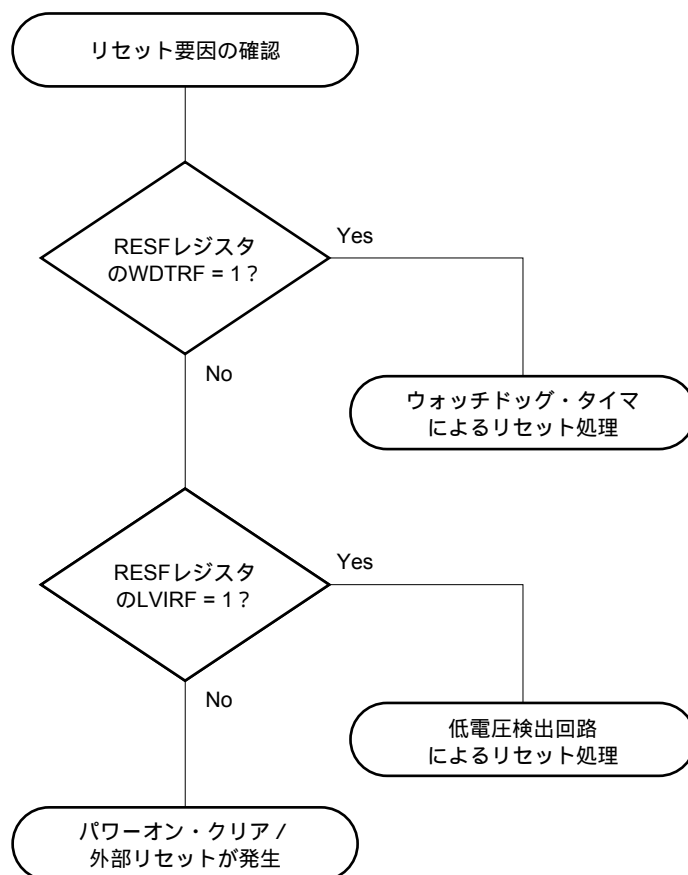


注1. この間に再度リセットが発生した場合、イニシャライズ処理には移行しません。

2. 次ページにフロー・チャートを示します。

図25 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第26章 低電圧検出回路

26.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0/Lx3 マイクロコントローラの全製品に搭載されています。

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21\text{ V (TYP.)}$): **固定**) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・電源電圧 (V_{DD}) / 外部入力端子からの入力電圧 ($EXLVI$) は、ソフトウェアにて選択できます。
- ・リセット / 割り込みは、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを16段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

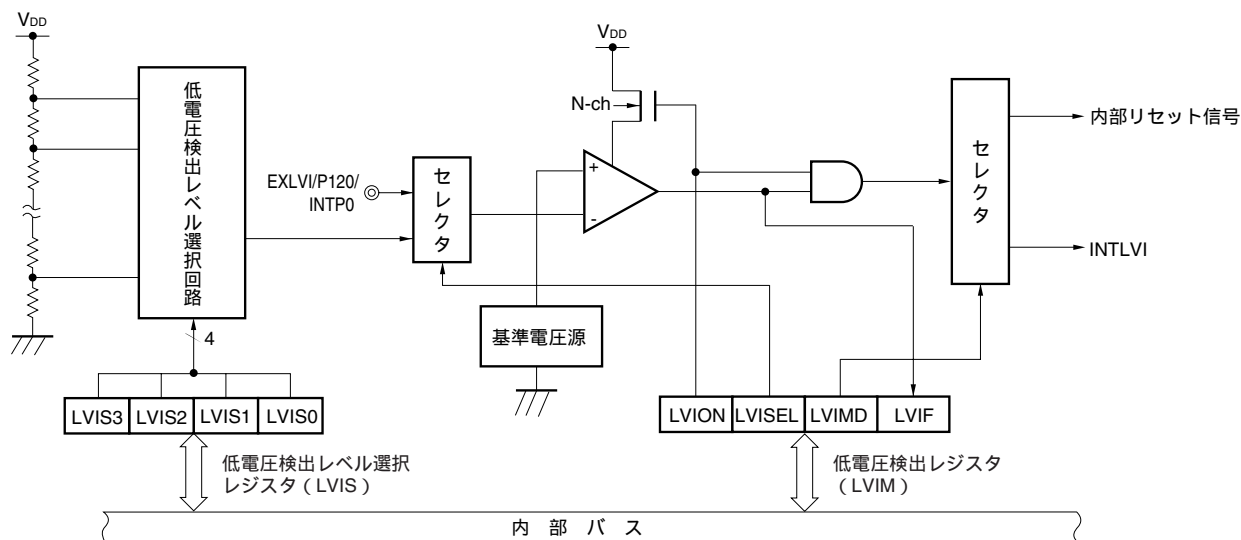
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は、**第24章 リセット機能** を参照してください。

26.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図26 - 1に示します。

図26 - 1 低電圧検出回路のブロック図



26.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVリセット以外のリセット信号の発生により，00Hになります。

図26 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFBEH リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, にV_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}), または動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}), または動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. LVIF以外のリセット時では“00H”にクリアされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIFリセット以外のリセット時にクリア(0)されます。LVIFリセットではクリア(0)されません。
- LVIONをセット(1)すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット(1)してから動作が安定するまでの時間(10 μs (MIN.))を, ソフトウェアでウエイトしてください。また動作安定後, LVI検出電圧未満の状態になってからLVIFがセット(1)されるまで, 200 μs以上の外部入力(最小パルス幅: 200 μs (MIN.))が必要です。

注意1. LVIを停止する場合は, 次のいずれかの手順を行ってください。

- ・8ビット・メモリ操作命令の場合: LVIMに“00H”を書き込む
 - ・1ビット・メモリ操作命令の場合: LVIONをクリア(0)
- 外部入力端子からの入力電圧 (EXLVI) は, EXLVI < V_{DD} でなければなりません。
 - LVIを割り込みとして使用する場合, LVI検出電圧未満の状態LVIONをクリア(0)すると, INTLVI信号が発生し, LVIFが1になります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVIリセット以外のリセット信号の発生により、00Hになります。

図26 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFBFH リセット時 : 00H^註 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V _{LV10} (4.24 V ± 0.1 V)
0	0	0	1	V _{LV11} (4.09 V ± 0.1 V)
0	0	1	0	V _{LV12} (3.93 V ± 0.1 V)
0	0	1	1	V _{LV13} (3.78 V ± 0.1 V)
0	1	0	0	V _{LV14} (3.62 V ± 0.1 V)
0	1	0	1	V _{LV15} (3.47 V ± 0.1 V)
0	1	1	0	V _{LV16} (3.32 V ± 0.1 V)
0	1	1	1	V _{LV17} (3.16 V ± 0.1 V)
1	0	0	0	V _{LV18} (3.01 V ± 0.1 V)
1	0	0	1	V _{LV19} (2.85 V ± 0.1 V)
1	0	1	0	V _{LV110} (2.70 V ± 0.1 V)
1	0	1	1	V _{LV111} (2.55 V ± 0.1 V)
1	1	0	0	V _{LV112} (2.39 V ± 0.1 V)
1	1	0	1	V _{LV113} (2.24 V ± 0.1 V)
1	1	1	0	V _{LV114} (2.08 V ± 0.1 V)
1	1	1	1	V _{LV115} (1.93 V ± 0.1 V)

注 LVIによるリセットのときには、LVISの値はリセットされず、そのまま値を保持します。それ以外のリセットでは、“00H”にクリアされます。

注意1. ビット4-7には必ず“0”を設定してください。

2. LVI動作中に、LVISの値を変更しないでください。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧は固定 (V_{EXLVI} = 1.21 V (TYP.)) です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図26 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

26.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・LVISEL = 1の場合、外部入力端子からの入力電圧 (EXLVI) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V (TYP.)}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD: 低電圧検出レジスタ (LVIM) のビット1

LVISEL: LVIMのビット2

26.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 (10 μs (MIN.)) をウェイトする

LVIMのビット0 (LVIF) で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (レベル検出時にリセット発生) を設定する

図26 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

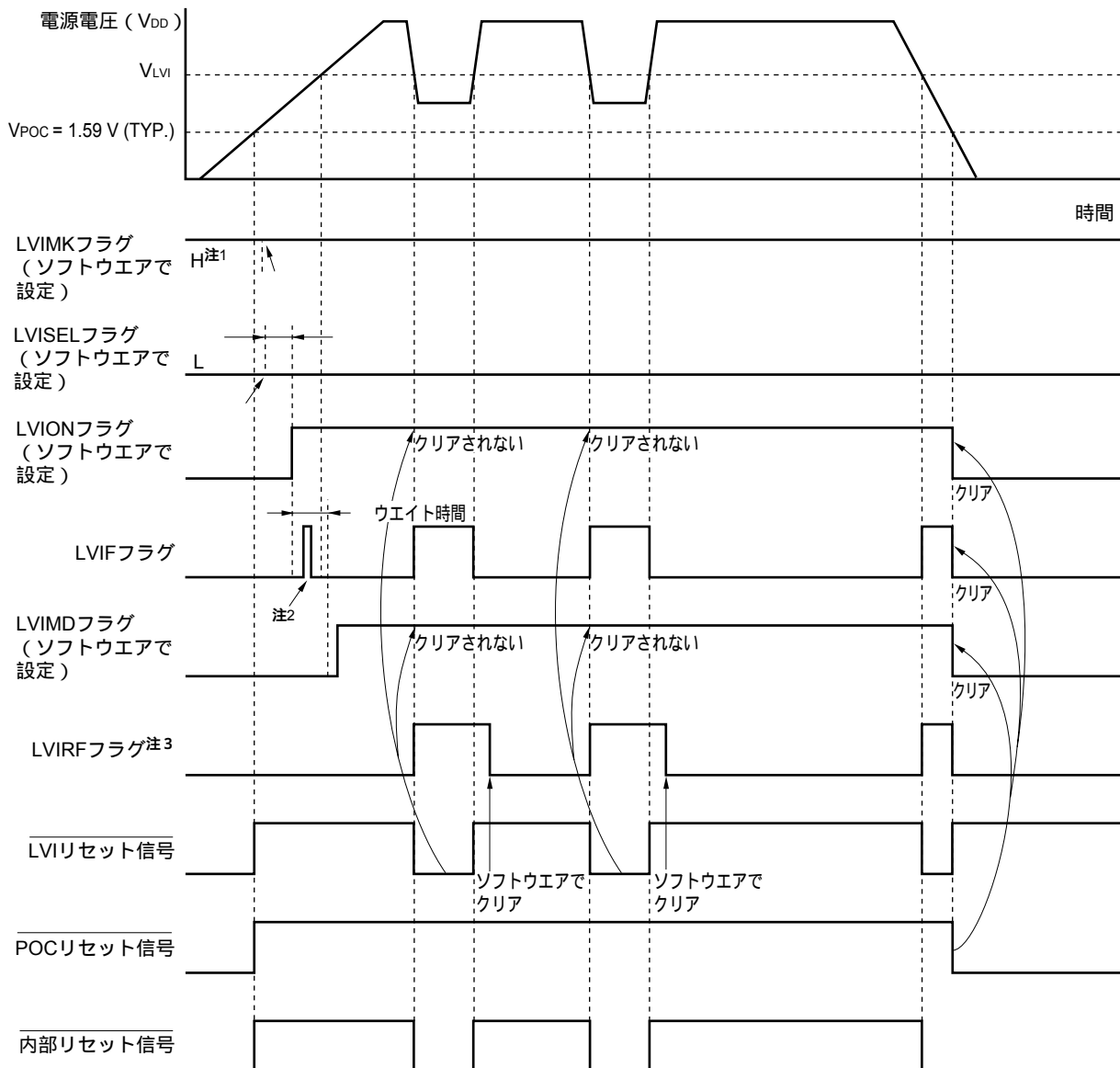
次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：
LVIMに “00H” を書き込む

- ・ 1ビット・メモリ操作命令の場合：
LVIMDをクリア (0) LVIONをクリア (0)

図26 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（1/2）

(1) 1.59 V POCモード設定時（オプション・バイト：POCMODE = 0）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

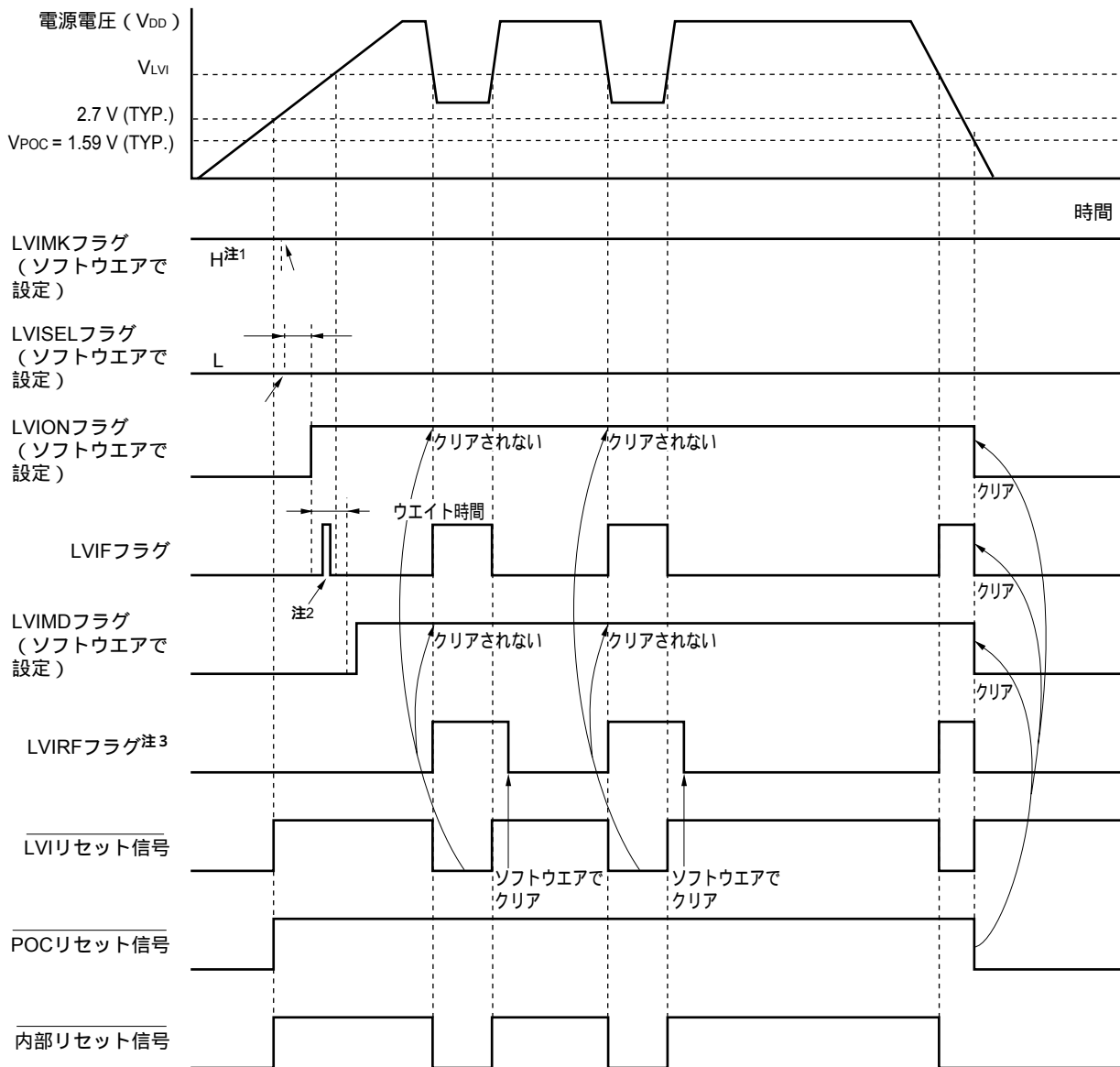
2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は、第24章 リセット機能を参照してください。

備考 図26 - 5の ~ は、26. 4. 1 (1) 電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

図26 - 5 低電圧検出回路の内部リセット信号発生のタイミング（電源電圧（ V_{DD} ）のレベルを検出）（2/2）

(2) 2.7 V/1.59 V POCモード設定時（オプション・バイト：POCMODE = 1）



注1. LVIMKフラグはリセット信号の発生により，“1”になっています。

2. LVIFフラグがセット（1）される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，第24章 リセット機能を参照してください。

備考 図26 - 5の ~ は，26. 4. 1（1）電源電圧（ V_{DD} ）のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する
- LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する
- ソフトウェアで動作安定時間(10 μ s (MIN.))をウエイトする
- LVIMのビット0(LVIF)で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを確認するまで待つ
- LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図26 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

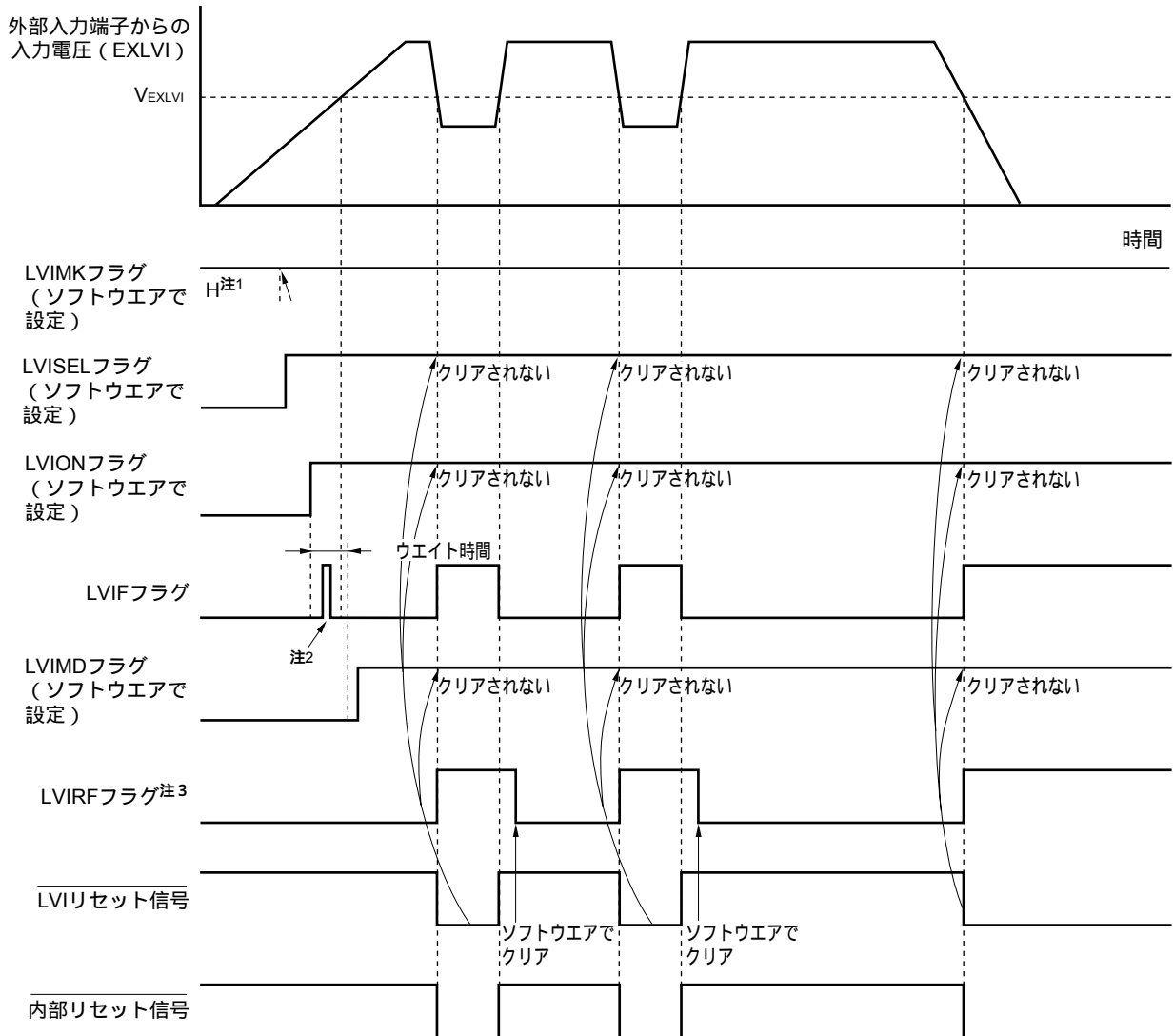
- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに“00H”を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIMDをクリア(0) LVIONをクリア(0)

図26 - 6 低電圧検出回路の内部リセット信号発生のタイミング
 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



注1. LVIMKフラグはリセット信号の発生により, "1" になっています。

2. LVIFフラグがセット (1) される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第24章 リセット機能を参照してください。

備考 図26 - 6の ~ は, 26. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

26.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ ($LVIM$) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ ($LVIS$) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する
 $LVIM$ のビット1 ($LVIMD$) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

$LVIM$ のビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで動作安定時間 ($10 \mu s$ (MIN.)) をウエイトする

$LVIM$ のビット0 ($LVIF$) で、立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を確認する

LVIの割り込み要求フラグ ($LVIF$) をクリア (0) する

LVIの割り込みマスク・フラグ ($LVIMK$) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図26 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：

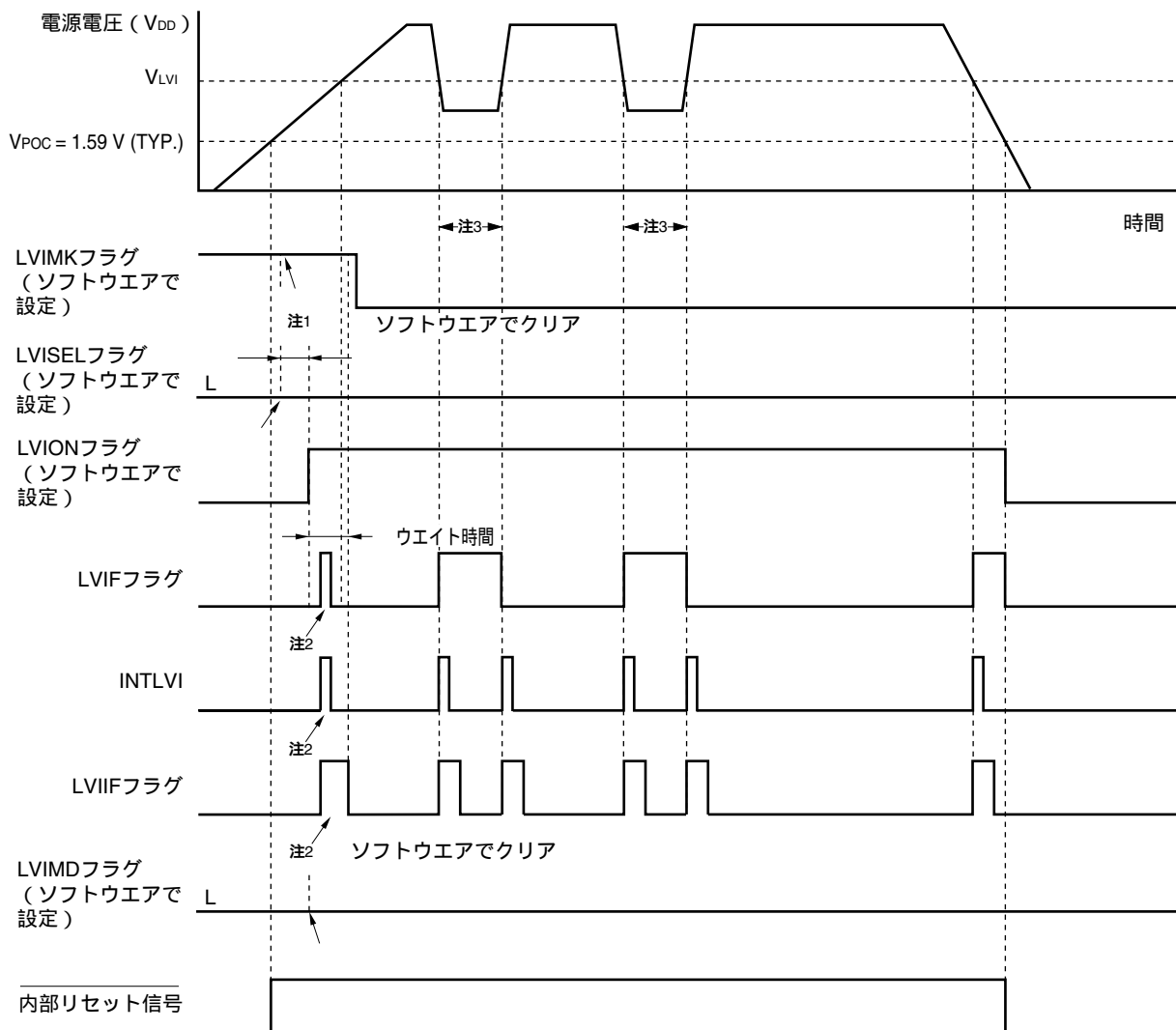
$LVIM$ に “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

$LVION$ をクリア (0)

図26 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (1/2)

(1) 1.59 V POCモード設定時 (オプション・バイト: POCMODE = 0)

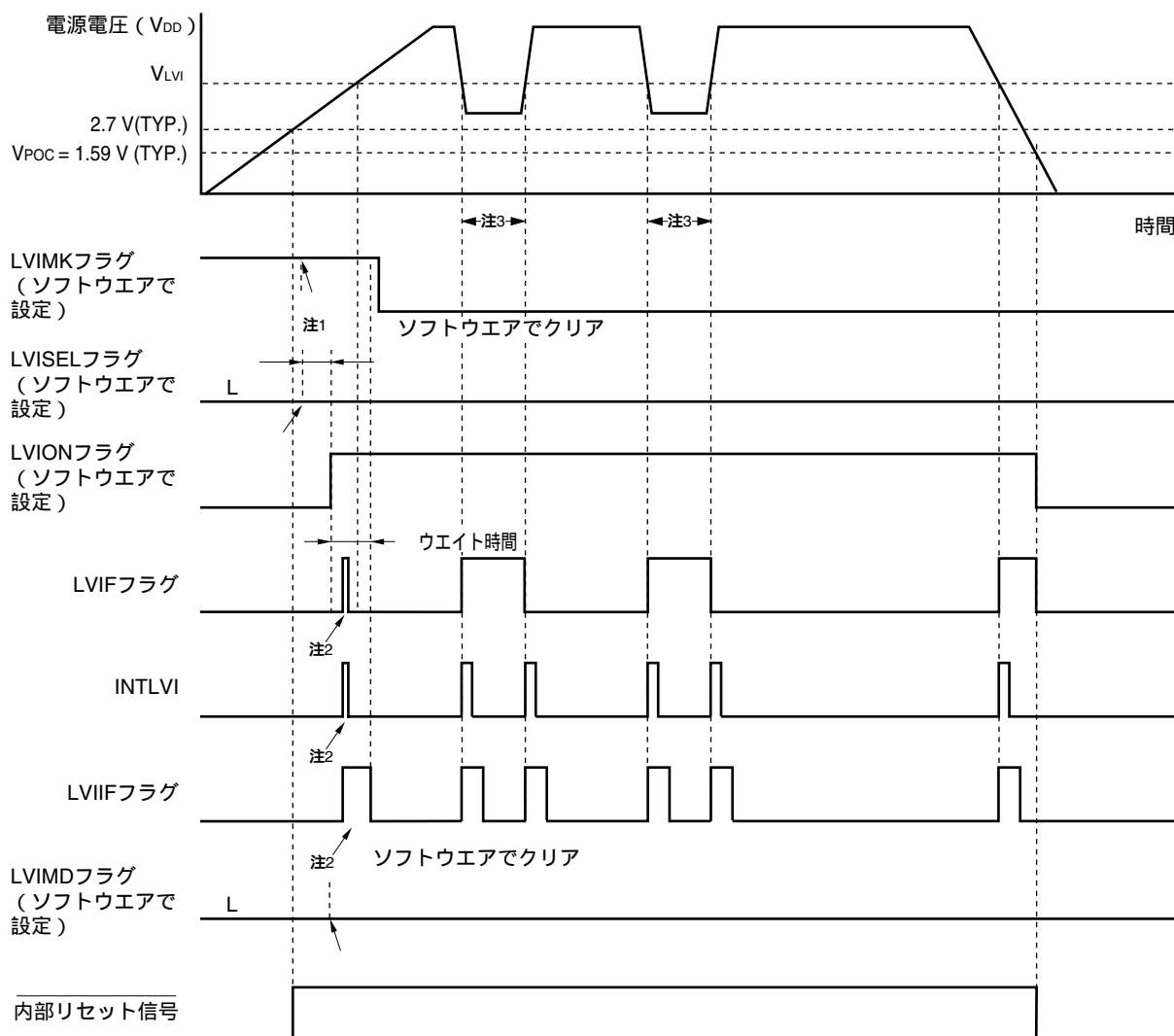


- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態 LVION をクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図26 - 7の ~ は、26. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

図26 - 7 低電圧検出回路の割り込み信号発生タイミング (電源電圧 (V_{DD}) のレベルを検出) (2/2)

(2) 2.7 V/1.59 V POCモード設定時 (オプション・バイト: POCMODE = 1)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し，LVIFフラグ，LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態 LVIONをクリア (0) した場合，INTLVI信号が発生し，LVIIIFが1になります。

備考 図26 - 7の ~ は，26. 4. 2 (1) 電源電圧 (V_{DD}) のレベルを検出する場合 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

- LVIMの割り込みをマスクする (LVIMK = 1)
- 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する
- LVIMのビット1 (LVIMD) に “ 0 ” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)
- LVIMのビット7 (LVION) に “ 1 ” (LVI動作許可) を設定する
- ソフトウェアで動作安定時間 (10 μ s (MIN.)) をウエイトする
- LVIMのビット0 (LVIF) で、立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を確認する
- LVIMの割り込み要求フラグ (LVIF) をクリア (0) する
- LVIMの割り込みマスク・フラグ (LVIMK) を解除する
(ベクタ割り込みを使用する場合) EI命令を実行する

図26 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

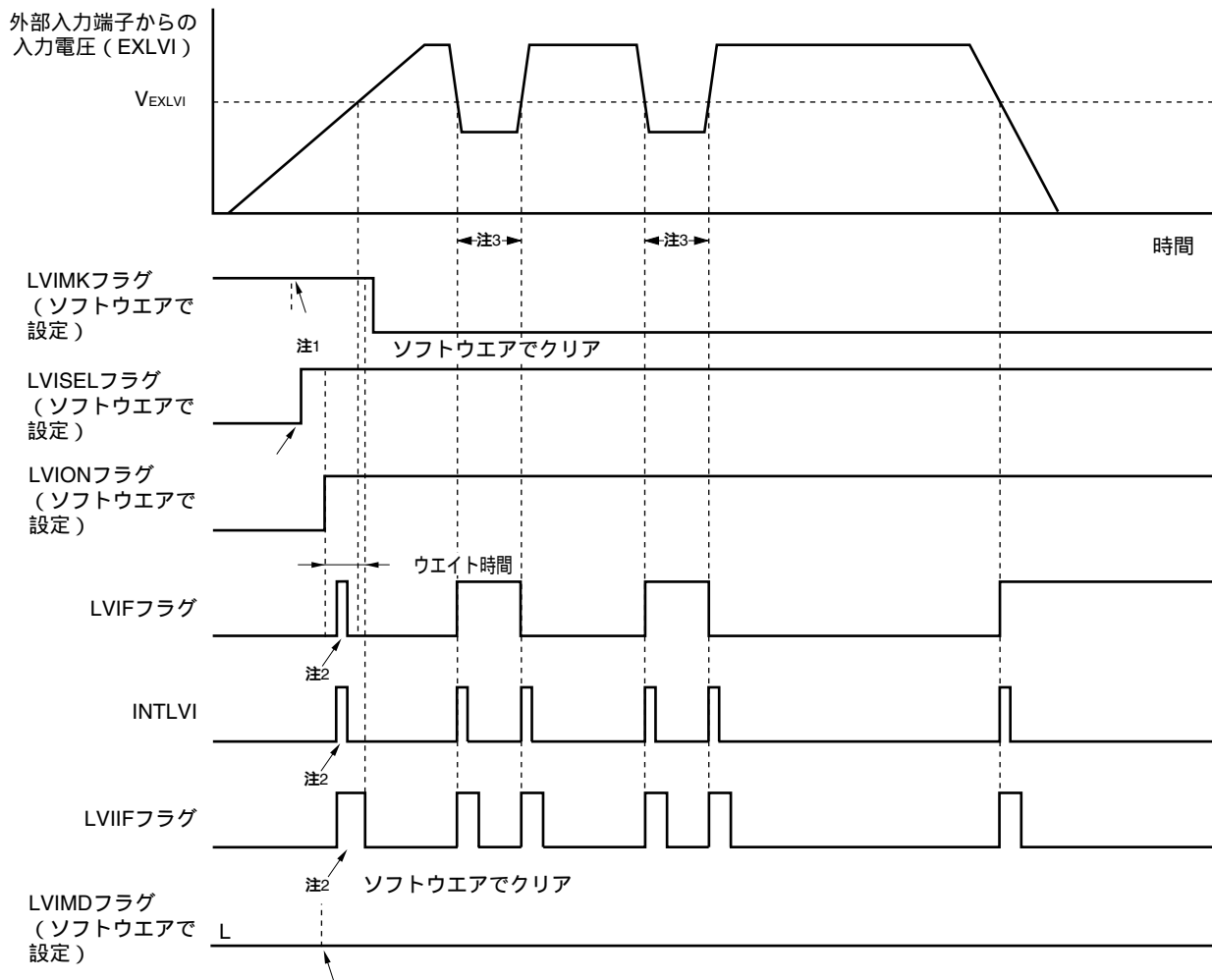
注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合 :
LVIMに “ 00H ” を書き込む
- ・ 1ビット・メモリ操作命令の場合 :
LVIONをクリア (0)

図26 - 8 低電圧検出回路の割り込み信号発生時のタイミング
 (外部入力端子からの入力電圧 (EXLVI) のレベルを検出)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. LVI検出電圧未満の状態でのLVIONをクリア (0) した場合、INTLVI信号が発生し、LVIIIFが1になります。

備考 図26 - 8の ~ は、26.4.2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

26.5 低電圧検出回路の注意事項

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

(1) リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

後述の処置 (1) に示す処理を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置 (2) の (b) に示す処理を行うようにしてください。

< 処 置 >

(1) リセットとして使用する場合

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図 26 - 9 を参照)。

(2) 割り込みとして使用する場合

(a) LVI 割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット 0 (LVIF) にて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、割り込み要求フラグ・レジスタ 0L (IF0L) のビット 0 (LVIIF) をクリア (0) してください。

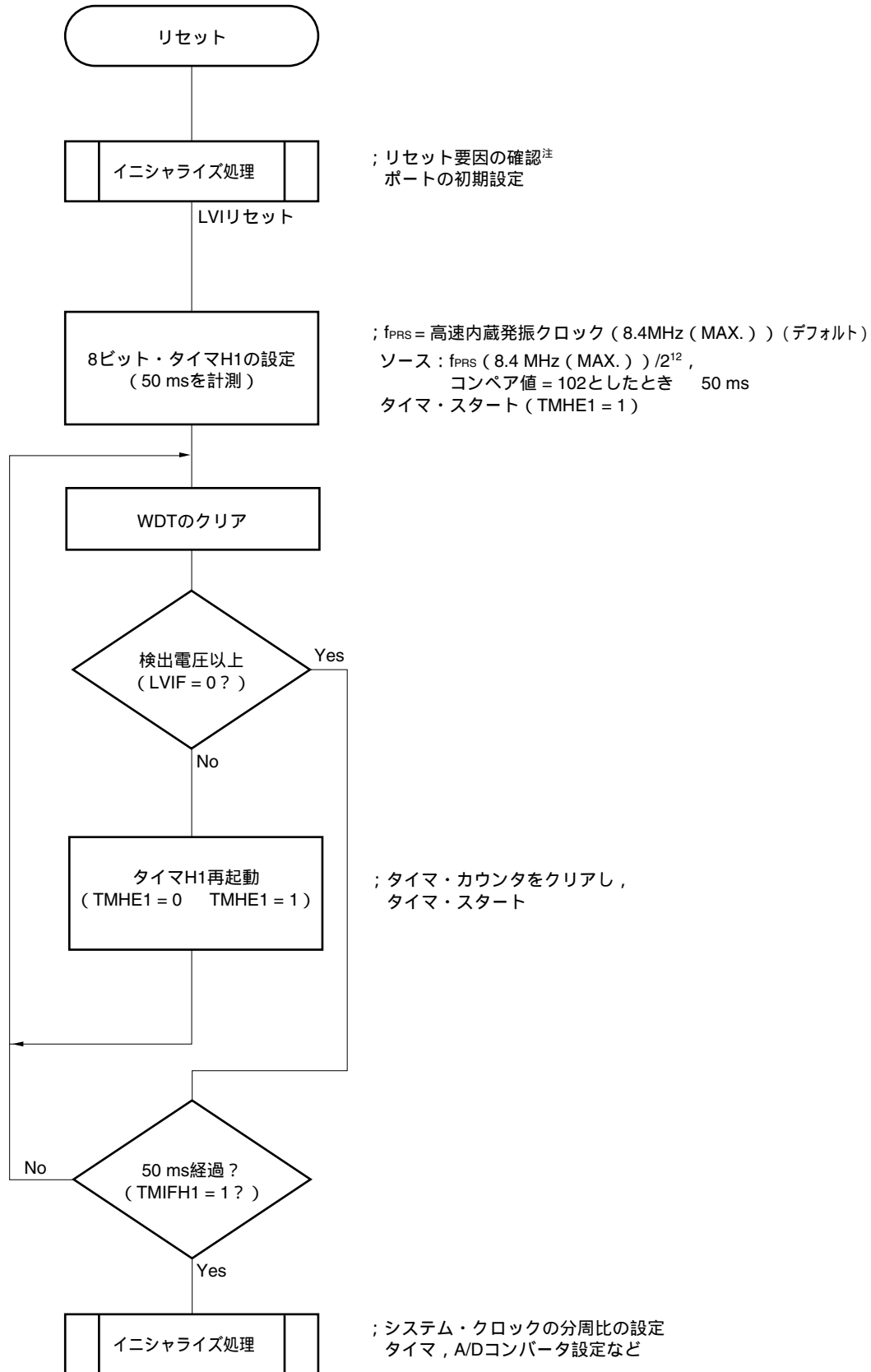
(b) LVI 検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとに、LVIF フラグにて、立ち下がりを検出する場合は “電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) ” を、立ち上がりを検出する場合は “電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ” を確認し、LVIIF フラグをクリア (0) してください。

備考 低電圧検出レジスタ (LVIM) のビット 2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図26 - 9 リセット解除後のソフト処理例 (1/2)

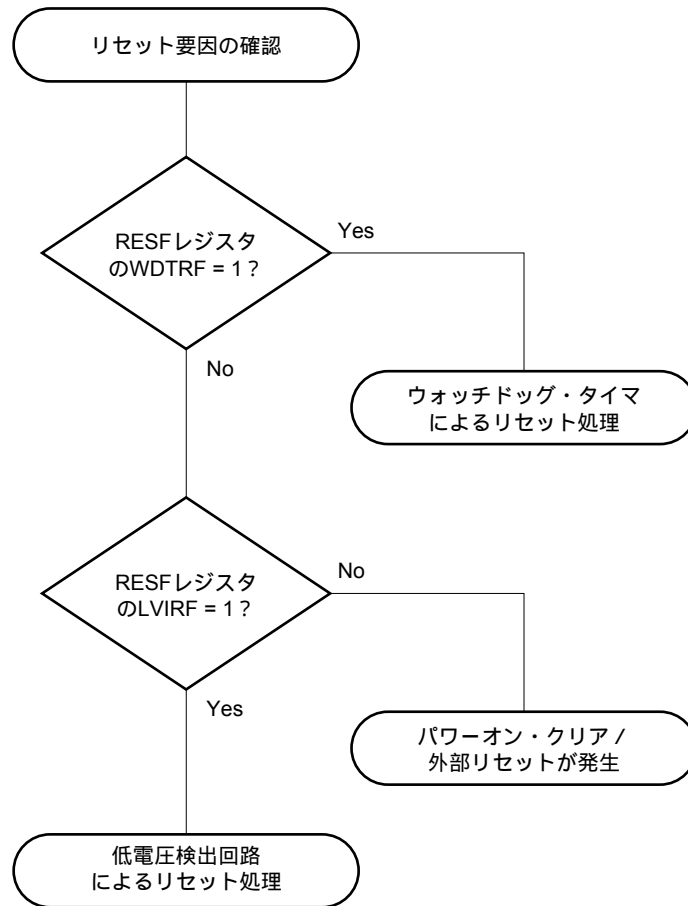
・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

図26 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



第27章 オプション・バイト

27.1 オプション・バイトの機能

78K0/Lx3マイクロコントローラのフラッシュ・メモリの0080H-0084Hは、オプション・バイト領域です。電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する場合、0080H-0084Hは1080H-1084Hと切り替わるので、あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

注意 0082H, 0083H (ブート・スワップ使用時は0082H/1082H, 0083H/1083H) には、必ず00Hを設定してください。

(1) 0080H/1080H

低速内蔵発振器の動作

- ・ソフトウェアにより停止可能
- ・停止不可

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのカウンタの動作

- ・カウンタの動作許可
- ・カウンタの動作禁止

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

注意 ブート・スワップ時は、0080Hと1080Hが切り替わるので、あらかじめ1080Hにも0080Hと同じ値を設定してください。

(2) 0081H/1081H

POCモードの選択

- ・2.7 V/1.59 V POCモード動作時 (POCMODE = 1)

電源投入から2.7 V (TYP.) に達するまでリセット状態になり、2.7 V (TYP.) を越えたとリセットが解除されます。その後、2.7 VでのPOC検出は行われず、1.59 V (TYP.) でPOC検出が行われます。

電源投入から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

- ・1.59 V POCモード動作時 (POCMODE = 0)

電源投入から1.59 V (TYP.) に達するまでリセット状態になり、1.59 V (TYP.) を越えたとリセットが解除されます。その後、電源投入時と同様に、1.59 V (TYP.) でPOC検出が行われます。

注意 POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

(3) 0084H/1084H

オンチップ・デバッグ動作制御

- ・ オンチップ・デバッグ動作禁止
- ・ オンチップ・デバッグ動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
- ・ オンチップ・デバッグ動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

27.2 オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図27 - 1 オプション・バイトのフォーマット (1/2)

アドレス : 0080H/1080H^注

7	6	5	4	3	2	1	0
0	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	LSROSC

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタ / 不正アクセス検出の動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止), 不正アクセス検出動作禁止
1	カウンタ動作許可 (リセット解除後, カウント開始), 不正アクセス検出動作許可

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	$2^{10}/f_{RL}$ (3.88 ms)
0	0	1	$2^{11}/f_{RL}$ (7.76 ms)
0	1	0	$2^{12}/f_{RL}$ (15.52 ms)
0	1	1	$2^{13}/f_{RL}$ (31.03 ms)
1	0	0	$2^{14}/f_{RL}$ (62.06 ms)
1	0	1	$2^{15}/f_{RL}$ (124.12 ms)
1	1	0	$2^{16}/f_{RL}$ (248.24 ms)
1	1	1	$2^{17}/f_{RL}$ (496.48 ms)

LSROSC	低速内蔵発振器の動作
0	ソフトウェアにより停止可能 (RCMレジスタのビット1 (LSRSTOP) に1を書き込むことにより停止)
1	停止不可 (LSRSTOPビットに1を書き込んでも停止しない)

注 ブート・スワップ時は, 0080Hと1080Hが切り替わるので, あらかじめ1080Hにも0080Hと同じ値を設定してください。

- 注意1. WDCS2 = WDCS1 = WDCS0 = 0かつWINDOW1 = WINDOW0 = 0の組み合わせは設定禁止です。
2. 1.8 V $V_{DD} < 2.6$ Vで使用する場合, WINDOW1 = WINDOW0 = 0は設定禁止です。
3. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。
4. LSROSC = 0 (ソフトウェアにより停止可能) の場合, 内蔵発振モード・レジスタ (RCM) のビット1 (LSRSTOP) の設定に関係なく, HALT/STOPモード時では, ウォッチドッグ・タイマにカウンタ・クロックは供給されません。
ただし, 低速内蔵発振クロックで8ビット・タイマH1が動作している場合は, HALT/STOPモード時でも, 8ビット・タイマH1にカウンタ・クロックが供給されます。
5. ビット7には必ず0を書き込んでください。

備考1. f_{RL} : 低速内蔵発振クロック周波数

2. () 内は $f_{RL} = 264$ kHz (MAX.) の場合

図27 - 1 オプション・バイトのフォーマット (2/2)

アドレス : 0081H/1081H^{注1,2}

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	POCMODE

POCMODE	POCモードの選択
0	1.59 V POCモード (デフォルト)
1	2.7 V/1.59 V POCモード

注1. POCMODEは、専用フラッシュ・メモリ・プログラマによる書き込みのみ設定可能です。セルフ・プログラミング、およびセルフ・プログラミング中のブート・スワップ動作では、POCMODEを設定することはできません。ただし、ブート・スワップ動作時には1081Hの値は0081Hにコピーされますので、ブート・スワップ使用時は、1081Hに0081Hと同じ値を設定しておくことを推奨します。

2. POCモードの設定内容を変更する場合は、フラッシュ・メモリの一括消去（チップ消去）後に、再度0081Hに値を設定してください。指定したブロックのメモリ消去後の設定変更は無効となります。

注意 ビット7-1には必ず0を書き込んでください。

アドレス : 0082H/1082H , 0083H/1083H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注 0082H, 0083Hは予約領域なので、必ず00Hを設定してください。またブート・スワップ時は、0082H, 0083Hと1082H, 1083Hが切り替わるので、あらかじめ1082H, 1083Hにも00Hを設定してください。

アドレス : 0084H/1084H^注

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・デバッグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可、オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注 オンチップ・デバッグ機能を使用する場合は、0084Hに02Hまたは03Hを設定してください。また、ブート・スワップ時は、0084Hと1084Hが切り替わるので、あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考 オンチップ・デバッグ・セキュリティIDについては、第29章 オンチップ・デバッグ機能を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	AT 0080H	
OPTION:	DB	30H	; ウォッチドッグ・タイマ動作(不定アクセス検出動作)許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{RL}$, ; 低速内蔵発振器をソフトウェアにより停止可能
	DB	00H	; 1.59V POCモード
	DB	00H	; 予約領域
	DB	00H	; 予約領域
	DB	00H	; オンチップ・デバッグ動作禁止

備考 オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては、**第24章 リセット機能**を参照してください。

第28章 フラッシュ・メモリ

78K0/Lx3マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

28.1 メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により、内部メモリ容量を選択してください。

IMSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、CFHになります。

注意 リセット解除後に各製品ごとに表28 - 1に示す値を設定してください。

図28 - 1 メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H リセット時：CFH R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	0	0	768バイト
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	0	1	0	8 Kバイト
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

表28 - 1 メモリ・サイズ切り替えレジスタ (IMS) の設定値

78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3	IMSの設定値
μ PD78F0400 μ PD78F0410	μ PD78F0420 μ PD78F0430	-	-	42H
μ PD78F0401 μ PD78F0411	μ PD78F0421 μ PD78F0431	μ PD78F0441 μ PD78F0451 μ PD78F0461	μ PD78F0471 μ PD78F0481 μ PD78F0491	04H
μ PD78F0402 μ PD78F0412	μ PD78F0422 μ PD78F0432	μ PD78F0442 μ PD78F0452 μ PD78F0462	μ PD78F0472 μ PD78F0482 μ PD78F0492	C6H
μ PD78F0403 μ PD78F0413	μ PD78F0423 μ PD78F0433	μ PD78F0443 μ PD78F0453 μ PD78F0463	μ PD78F0473 μ PD78F0483 μ PD78F0493	C8H
-	-	μ PD78F0444 μ PD78F0454 μ PD78F0464	μ PD78F0474 μ PD78F0484 μ PD78F0494	CCH
-	-	μ PD78F0445 μ PD78F0455 μ PD78F0465	μ PD78F0475 μ PD78F0485 μ PD78F0495	CFH

28.2 内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ (IXS) により、内部拡張RAM容量を選択してください。

IXSは、8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0CHになります。

注意1. リセット解除後に各製品ごとに表28 - 2に示す値を設定してください。

2. 内部拡張RAMを内蔵していない製品には、IXSを搭載していません。

図28 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

アドレス：FFF4H リセット時：0CH R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	1	0	0	0バイト
1	0	1	0	1024バイト
上記以外				設定禁止

表28 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) の設定値

78K0/LE3	78K0/LF3	IXSの設定値
μ PD78F0441 ^注 , 78F0451 ^注 , 78F0461 ^注	μ PD78F0471 ^注 , 78F0481 ^注 , 78F0491 ^注	0CH
μ PD78F0442 ^注 , 78F0452 ^注 , 78F0462 ^注	μ PD78F0472 ^注 , 78F0482 ^注 , 78F0492 ^注	
μ PD78F0443 ^注 , 78F0453 ^注 , 78F0463 ^注	μ PD78F0473 ^注 , 78F0483 ^注 , 78F0493 ^注	
μ PD78F0444, 78F0454, 78F0464	μ PD78F0474, 78F0484, 78F0494	0AH
μ PD78F0445, 78F0455, 78F0465	μ PD78F0475, 78F0485, 78F0495	

注 内部拡張RAMを内蔵していない製品は、IXSを搭載していません。

28.3 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/Lx3マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

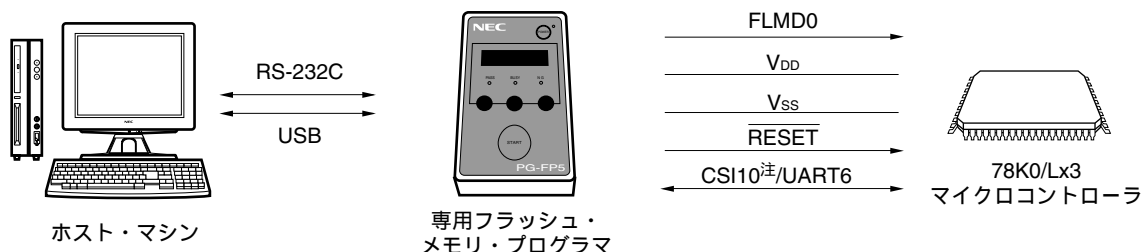
ターゲット・システム上に78K0/Lx3マイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

28.4 プログラミング環境

78K0/Lx3マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図28 - 3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマと78K0/Lx3マイクロコントローラとのインターフェースはCSI10^注またはUART6を使用して、書き込み、消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

注 78K0/LC3は、CSI10を搭載していません。

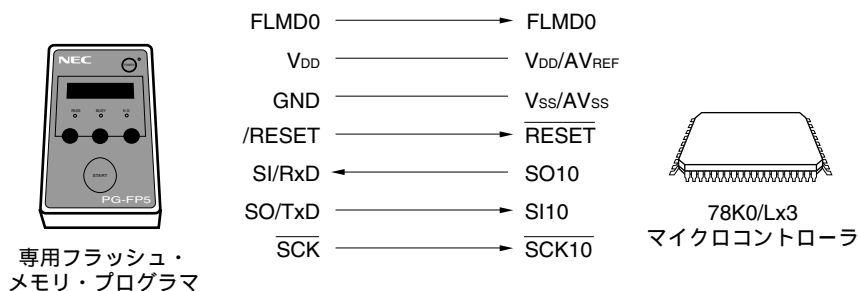
28.5 通信方式

専用フラッシュ・メモリ・プログラマと78K0/Lx3マイクロコントローラとの通信は、78K0/Lx3マイクロコントローラのCSI10^注またはUART6によるシリアル通信で行います。

(1) CSI10^注

転送レート：2.4 kHz～2.5 MHz

図28-4 専用フラッシュ・メモリ・プログラマとの通信 (CSI10)

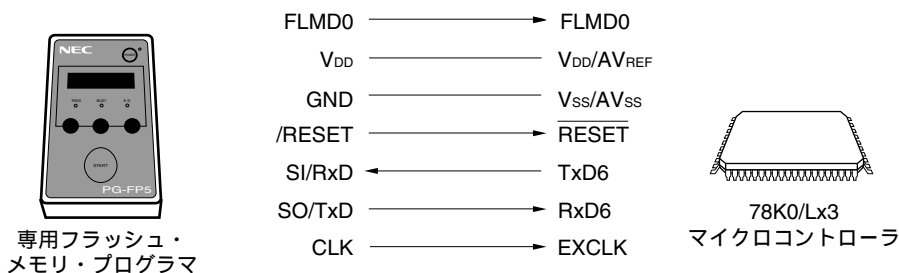


注 78K0/LC3は、CSI10を搭載していません。

(2) UART6

転送レート：115200 bps

図28-5 専用フラッシュ・メモリ・プログラマとの通信 (UART6)



注意 フラッシュ・メモリ・プログラマによる書き込みを行う際のUART6の端子 (RxD6, TxD6) は、下辺側^注のみ対応しています。上辺側^注による書き込みはできません。

注 78K0/LC3： 下辺側のピン番号：23, 24, 上辺側のピン番号：48, 47

78K0/LD3： 下辺側のピン番号：24, 25, 上辺側のピン番号：51, 50

78K0/LE3： 下辺側のピン番号：27, 28, 上辺側のピン番号：63, 62

78K0/LF3： 下辺側のピン番号：35, 36, 上辺側のピン番号：76, 75

専用フラッシュ・メモリ・プログラマは78K0/Lx3マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5のマニュアルを参照してください。

表28 - 3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0/Lx3マイクロ コントローラ	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10 ^{注1}	UART6
FLMD0	出力	モード信号	FLMD0		
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , AV _{REF}		
GND	-	グランド	V _{SS} , AV _{SS}		
CLK	出力	78K0/Lx3マイクロコントローラへのクロック出力	EXCLK/X2/P122	x ^{注2}	注3
/RESET	出力	リセット信号	RESET		
SI/RxD	入力	受信信号	SO10またはTxD6		
SO/TxD	出力	送信信号	SI10またはRx6		
SCK	出力	転送クロック	SCK10		x

注1. 78K0/LC3は、CSI10を搭載していません。

2. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。
3. UART6使用時は、X1クロック (f_x)、外部メイン・システム・クロック (f_{EXCLK})、高速内蔵発振クロック (f_{RH}) で使用できます。

備考 : 必ず接続してください。

: ターゲット・ボード上で生成されていれば、接続の必要はありません。

x : 接続の必要はありません。

専用プログラム・アダプタ (FAシリーズ) 使用時に使用しない端子は、表2 - 2 ~ 表2 - 5 各端子の入出力回路タイプの未使用時の推奨接続方法に示されている処理を行ってください。

28.6 オンボード上の端子処理

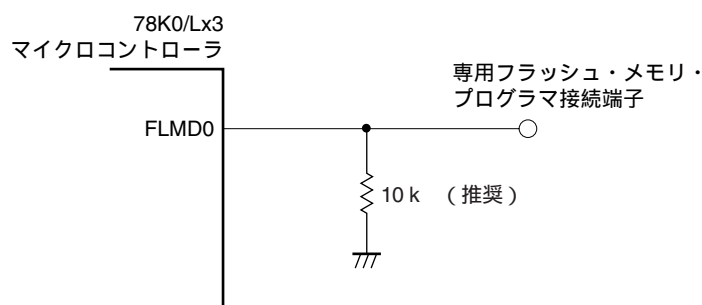
オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

28.6.1 FLMD0端子

通常動作モード時は、FLMD0端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

図28 - 6 FLMD0端子の接続例



28.6.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表28 - 4 各シリアル・インタフェースが使用する端子

シリアル・インタフェース	使用端子
CSI10 ^注	SO10, SI10, SCK10
UART6	TxD6, RxD6

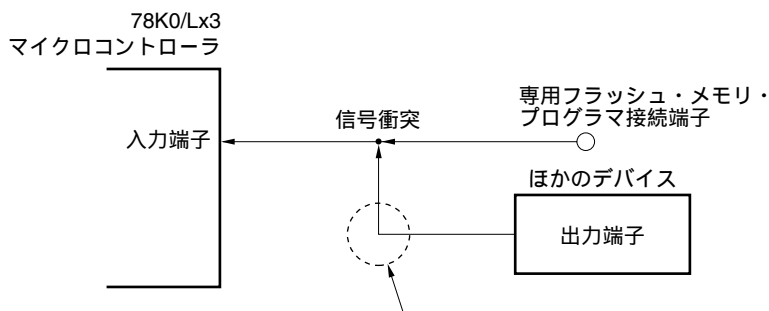
注 78K0/LC3は、CSI10を搭載していません。

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

図28 - 7 信号の衝突 (シリアル・インタフェースの入力端子)

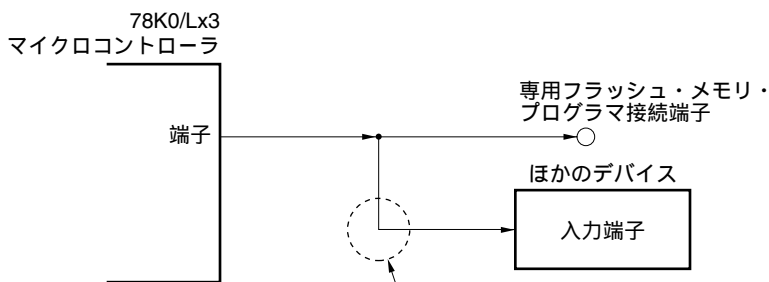


フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

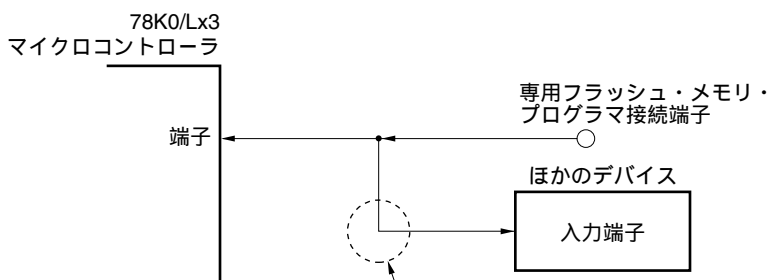
(2) ほかのデバイスの異常動作

ほかのデバイス (入力) と接続しているシリアル・インタフェース用の端子 (入力または出力) に、専用フラッシュ・メモリ・プログラマ (出力または入力) を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図28 - 8 ほかのデバイスの異常動作



フラッシュ・メモリ・プログラミング・モードでは、78K0/Lx3マイクロコントローラが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。



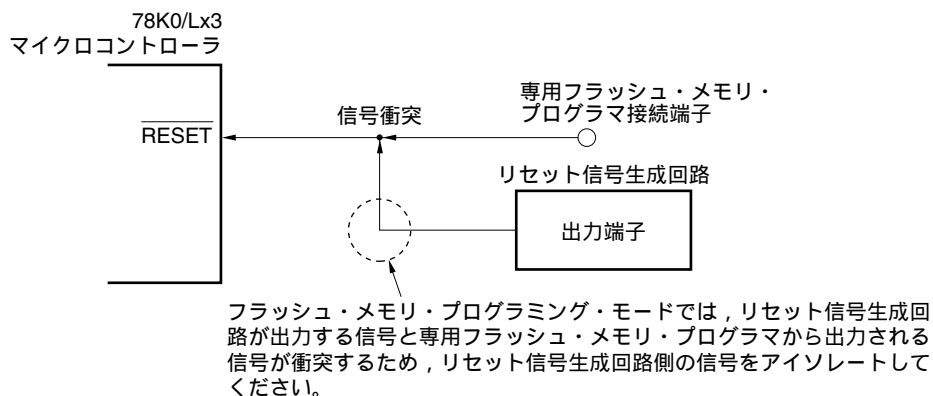
フラッシュ・メモリ・プログラミング・モードでは、専用フラッシュ・メモリ・プログラマが出力する信号が、ほかのデバイスに影響を与える場合、ほかのデバイス側の信号をアイソレートしてください。

28.6.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図28 - 9 信号の衝突 ($\overline{\text{RESET}}$ 端子)



28.6.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

28.6.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF : 推奨) を介し、GNDに接続してください。

28.6.6 その他の信号端子

オンボード上のクロックを使用する場合、X1, X2は、通常動作モード時と同じ状態に接続してください。

ただし、専用フラッシュ・メモリ・プログラマから動作クロックを入力する場合は、プログラマのCLKとEXCLK/X2/P122を接続してください。

注意1. CSI10使用時は、高速内蔵発振クロック (f_{RH}) のみ使用できます。

2. UART6使用時は、X1クロック (f_X)、外部メイン・システム・クロック (f_{EXCLK})、高速内蔵発振クロック (f_{RH}) で使用できます。

28.6.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムで電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

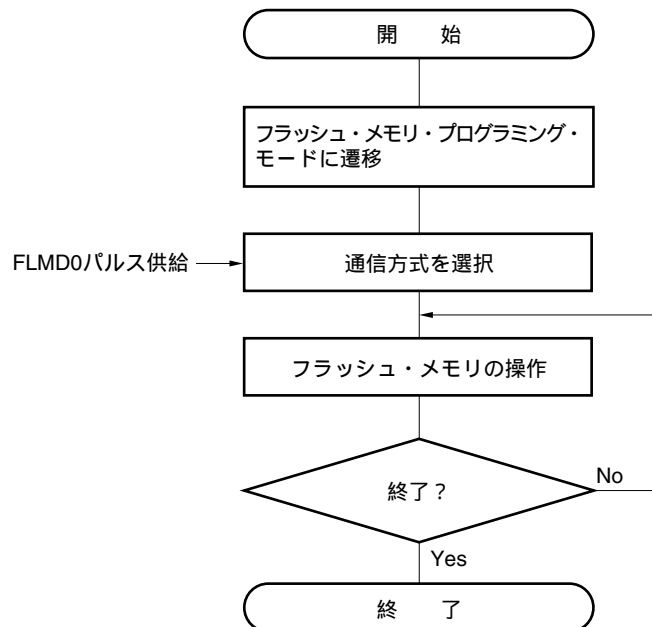
その他の電源 (AV_{REF} 、 AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

28.7 プログラミング方法

28.7.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図28 - 10 フラッシュ・メモリの操作手順



28.7.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0/Lx3 マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図28 - 11 フラッシュ・メモリ・プログラミング・モード

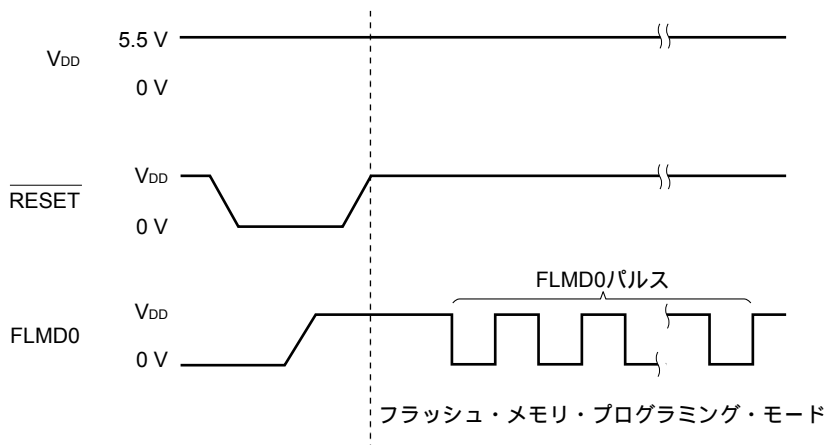


表28 - 5 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

28.7.3 通信方式の選択

78K0/Lx3マイクロコントローラでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルスを入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

表28 - 6 通信方式一覧

通信方式	Standard設定 ^{注1}				使用端子	周辺 クロック	FLMD0 パルス数
	Port	Speed	Frequency	Multiply Rate			
UART (UART6)	UART-Ext-OSC	115200 bps ^{注3}	2 M-10 MHz ^{注2}	1.0	TxD6, RxD6	f _x	0
	UART-Ext-FP5CLK					f _{EXCLK}	3
	UART-Internal-OSC		—			f _{RH}	5
3線式シリアルI/O (CSI10) ^{注4}	CSI-Internal-OSC	2.4 kHz~2.5 MHz	—		SO10, SI10, SCK10	f _{RH}	8

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第31章 **電気的特性（標準品）**を参照してください。
3. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
4. 78K0/LC3は、CSI10を搭載していません。

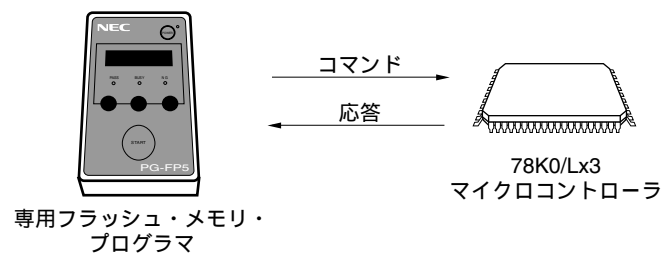
注意 UART6選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・メモリ・プログラマから送られてくるリセット・コマンドを基準に計算します。

備考 f_x : X1クロック
 f_{EXCLK} : 外部メイン・システム・クロック
 f_{RH} : 高速内蔵発振クロック

28.7.4 通信コマンド

78K0/Lx3マイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから 78K0/Lx3マイクロコントローラへ送られる信号を「コマンド」と呼び、78K0/Lx3マイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図28 - 12 通信コマンド



78K0/Lx3マイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0/Lx3マイクロコントローラがコマンドに対応した各処理を行います。

表28 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Status	現在の動作状況（ステータス・データ）を取得します。
	Silicon Signature	78K0/Lx3情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0/Lx3バージョン、ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Oscillating Frequency Set	発振周波数を指定します。

また、78K0/Lx3マイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0/Lx3マイクロコントローラが送出する応答名称を次に示します。

表28 - 8 応答名称

応答名称	機 能
ACK	コマンド / データなどのアクノリッジ
NAK	不正なコマンド / データなどのアクノリッジ

28. 8 セキュリティ設定

78K0/Lx3マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- 一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（0000H-0FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対し、ブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、ブロック消去禁止と書き込み禁止は解除されます。

78K0/Lx3マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表28 - 9に示します。

表28 - 9 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

各プログラミング・モード時のセキュリティ設定方法を表28 - 10に示します。

表28 - 10 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

28.9 PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の、各コマンド処理時間（参考値）を次に示します。

表28 - 11 PG-FP5使用時の各コマンド処理時間（参考値）（1/3）

（1） μ PD78F04x1（内部ROM容量：16 Kバイト）

プログラマ のコマンド	Port: CSI-Internal-OSC (高速内蔵発振ク ロック(f_{RH})使用), Speed:2.5 MHz	Port: UART-Internal-OSC (高速内蔵発振ク ック(f_{RH})使用), Speed: 115200 bps	Port:UART-Ext-OSC (X1クロック(f_x)を使用), Speed:115200 bps		Port:UART-Ext-FP5CLK (外部メイン・システム・ クロック(f_{EXCLK})を使用), Speed:115200 bps	
			Frequency: 2.0 MHz	Frequency: 10 MHz	Frequency: 2.0 MHz	Frequency: 10 MHz
Signature	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Program	3 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)
Verify	2 s (TYP.)	3 s (TYP.)	3 s (TYP.)	3 s (TYP.)	3 s (TYP.)	3 s (TYP.)
E.P.V	3.5 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)
Checksum	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

（2） μ PD78F04x2（内部ROM容量：24 Kバイト）

プログラマ のコマンド	Port: CSI-Internal-OSC (高速内蔵発振ク ロック(f_{RH})使用), Speed:2.5 MHz	Port: UART-Internal-OSC (高速内蔵発振ク ック(f_{RH})使用), Speed: 115200 bps	Port:UART-Ext-OSC (X1クロック(f_x)を使用), Speed:115200 bps		Port:UART-Ext-FP5CLK (外部メイン・システム・ クロック(f_{EXCLK})を使用), Speed:115200 bps	
			Frequency: 2.0 MHz	Frequency: 10 MHz	Frequency: 2.0 MHz	Frequency: 10 MHz
Signature	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Program	4 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)
Verify	2.5 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)	4 s (TYP.)
E.P.V	4.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)	5.5 s (TYP.)
Checksum	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

表28 - 11 PG-FP5使用時の各コマンド処理時間(参考値)(2/3)

(3) μ PD78F04x3 (内部ROM容量: 32 Kバイト)

プログラマ のコマンド	Port: CSI-Internal-OSC (高速内蔵発振ク ロック(f_{RH})使用), Speed:2.5 MHz	Port: UART-Internal-OSC (高速内蔵発振ク ック(f_{RH})使用), Speed: 115200 bps	Port:UART-Ext-OSC (X1クロック(f_x)を使用), Speed:115200 bps		Port:UART-Ext-FP5CLK (外部メイン・システム・ クロック(f_{EXCLK})を使用), Speed:115200 bps	
			Frequency: 2.0 MHz	Frequency: 10 MHz	Frequency: 2.0 MHz	Frequency: 10 MHz
Signature	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Blankcheck	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Erase	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Program	4.5 s (TYP.)	6.5 s (TYP.)	6.5 s (TYP.)	6.5 s (TYP.)	6.5 s (TYP.)	6.5 s (TYP.)
Verify	2.5 s (TYP.)	5 s (TYP.)	5 s (TYP.)	5 s (TYP.)	5 s (TYP.)	5 s (TYP.)
E.P.V	5.5 s (TYP.)	7 s (TYP.)	7 s (TYP.)	7 s (TYP.)	7 s (TYP.)	7 s (TYP.)
Checksum	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Security	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

(4) μ PD78F04x4 (内部ROM容量: 48 Kバイト)

プログラマ のコマンド	Port: CSI-Internal-OSC (高速内蔵発振ク ロック(f_{RH})使用), Speed:2.5 MHz	Port: UART-Internal-OSC (高速内蔵発振ク ック(f_{RH})使用), Speed: 115200 bps	Port:UART-Ext-OSC (X1クロック(f_x)を使用), Speed:115200 bps		Port:UART-Ext-FP5CLK (外部メイン・システム・ クロック(f_{EXCLK})を使用), Speed:115200 bps	
			Frequency: 2.0 MHz	Frequency: 10 MHz	Frequency: 2.0 MHz	Frequency: 10 MHz
Signature	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Blankcheck	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Erase	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Program	6.5 s (TYP.)	9.5 s (TYP.)	9.5 s (TYP.)	9.5 s (TYP.)	9.5 s (TYP.)	9.5 s (TYP.)
Verify	3.5 s (TYP.)	7 s (TYP.)	7 s (TYP.)	7 s (TYP.)	7 s (TYP.)	7 s (TYP.)
E.P.V	7.5 s (TYP.)	10 s (TYP.)	10 s (TYP.)	10 s (TYP.)	10 s (TYP.)	10 s (TYP.)
Checksum	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Security	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

表28 - 11 PG-FP5使用時の各コマンド処理時間(参考値)(3/3)

(5) μ PD78F04x5 (内部ROM容量: 60 Kバイト)

プログラムのコマンド	Port: CSI-Internal-OSC (高速内蔵発振クロック(f_{RH})使用), Speed:2.5 MHz	Port: UART-Internal-OSC (高速内蔵発振クロック(f_{RH})使用), Speed: 115200 bps	Port:UART-Ext-OSC (X1クロック(f_x)を使用), Speed:115200 bps		Port:UART-Ext-FP5CLK (外部メイン・システム・クロック(f_{EXCLK})を使用), Speed:115200 bps	
			Frequency: 2.0 MHz	Frequency: 10 MHz	Frequency: 2.0 MHz	Frequency: 10 MHz
Signature	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Blankcheck	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Erase	2 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Program	8 s (TYP.)	12 s (TYP.)	12 s (TYP.)	11.5 s (TYP.)	12 s (TYP.)	11.5 s (TYP.)
Verify	4.5 s (TYP.)	8.5 s (TYP.)	8.5 s (TYP.)	8.5 s (TYP.)	8.5 s (TYP.)	8.5 s (TYP.)
E.P.V	9 s (TYP.)	12.5 s (TYP.)	12.5 s (TYP.)	12.5 s (TYP.)	12.5 s (TYP.)	12.5 s (TYP.)
Checksum	2 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)
Security	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

注意 ブート・スワップを行う場合、専用フラッシュ・メモリ・プログラマでE.P.Vコマンドを使用しないでください。

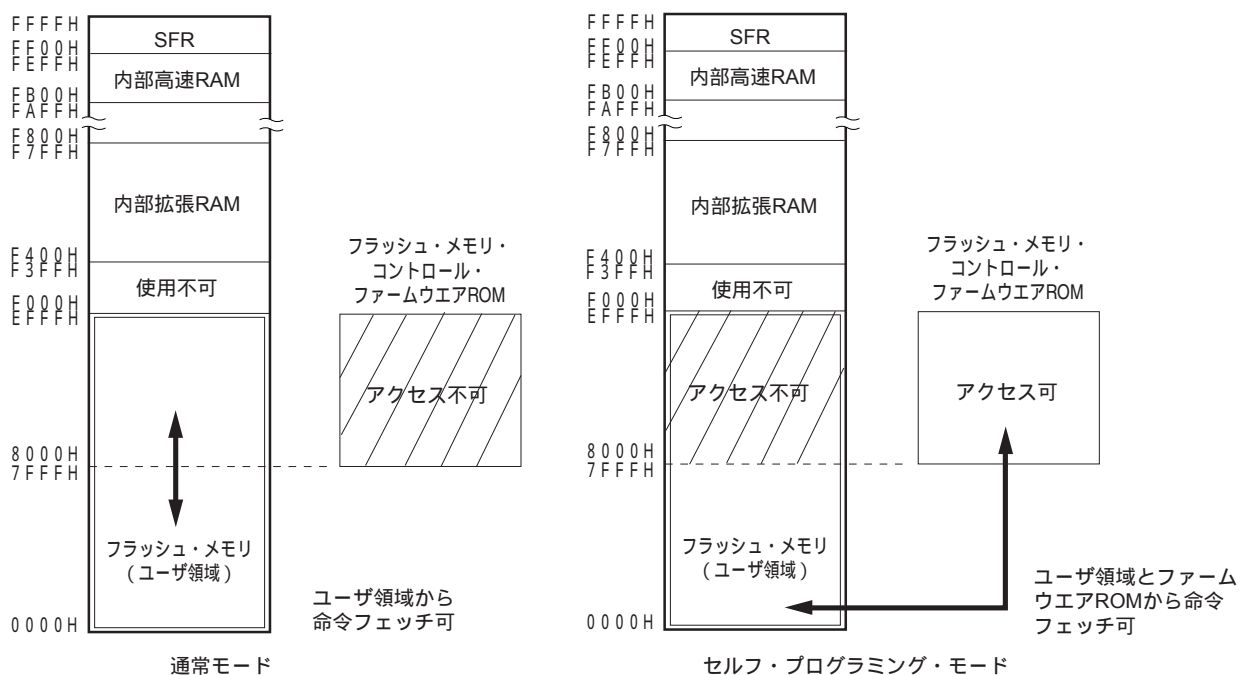
28.10 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/Lx3マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。割り込み処理は、セルフ・プログラミングの中断後に通常モードへ戻しEI命令を実行することで行ってください。その後、再びセルフ・プログラミング・モードに移行すると、セルフ・プログラミングをレジュームすることができます。

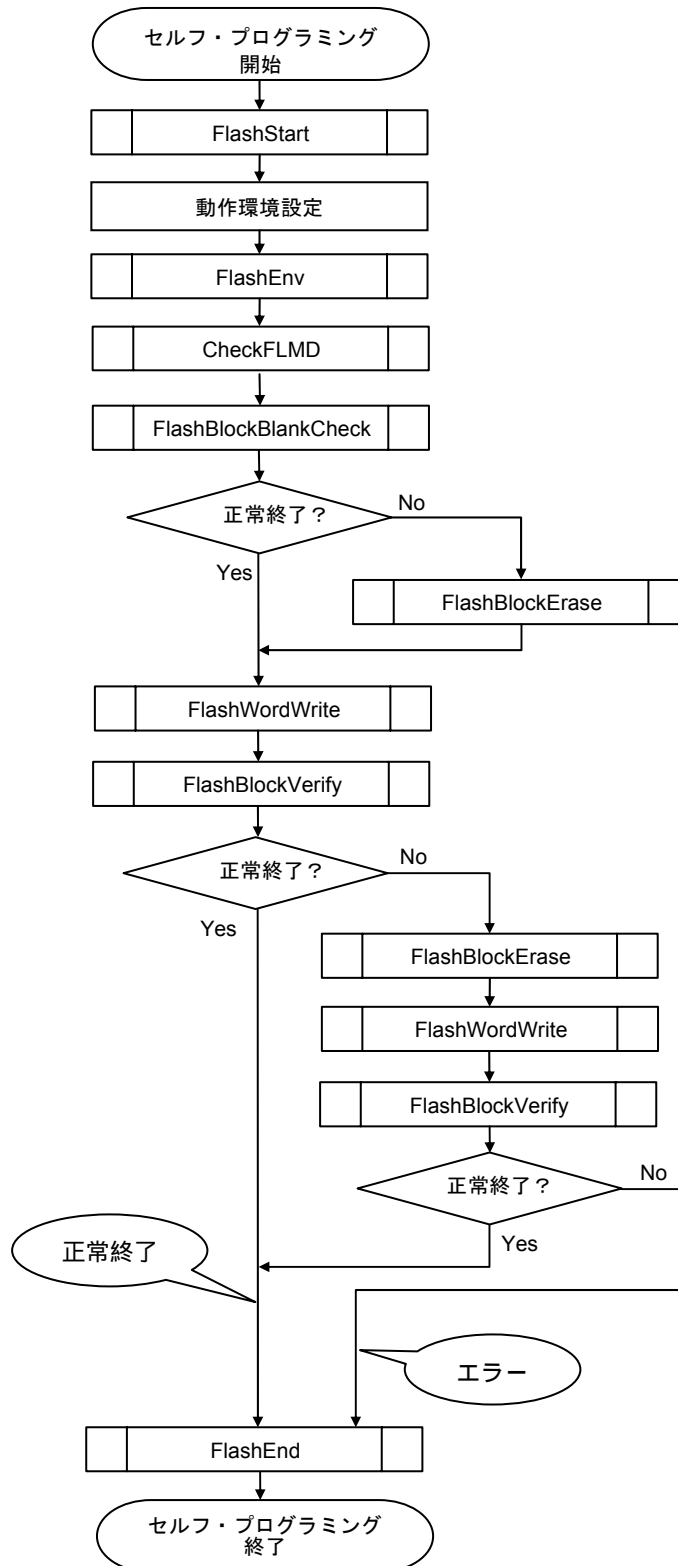
- 注意1.** CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
- セルフ・プログラミング時は、RSTOPフラグ（内蔵発振モード・レジスタ（RCM）のビット0）の設定に関わらず、高速内蔵発振器の発振が開始されます。STOP命令を実行しても、高速内蔵発振器の発振を停止することはできません。
 - セルフ・プログラミング時は、FLMD0端子にハイ・レベルを入力してください。
 - セルフ・プログラミング開始前に必ずDI命令を実行してください。
セルフ・プログラミング機能は割り込み要求フラグ（IF0L, IF0H, IF1L, IF1H）を確認しており、割り込み要求が発生した場合、セルフ・プログラミングを中断します。
 - セルフ・プログラミング中はDI状態でもマスクされていない割り込み要求によってセルフ・プログラミングは中断されます。これを回避したい場合は、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）で割り込みをマスクしてください。
 - セルフ・プログラミングのエントリ・プログラムは、0000H-7FFFHに配置してください。

図28 - 13 セルフ・プログラミングの動作モードとメモリ・マップ（ μ PD78F0475の場合）



次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図28 - 14 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0マイクロコントローラ ユーザーズ・マニュアル セルフ・プログラミング・ライブラリ Type01 (U18274J) を参照してください。

次に、セルフ・プログラミング・ライブラリの処理時間と割り込み応答時間を示します。

表28 - 12 処理時間、および割り込みの受け付け (1/4)

(ノーマル・モデル用ライブラリ、エントリRAMをショート・ダイレクト・アドレッシング外に配置した場合)

関数名	処理時間 (単位: μ s)			割り込み受け付け	
	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) [※]		
	MCS = 0 (高速内蔵発振クロック)	MCS = 1 (高速システム・クロック)	MCS = 1 (高速システム・クロック)		
セルフ・プログラミング・スタート関数	34/fCPU	34/fCPU	34/fCPU	不可	
セルフ・プログラミング・エンド関数	34/fCPU	34/fCPU	34/fCPU	不可	
イニシャライズ関数	55/fCPU+1140	55/fCPU+1140	55/fCPU+1912	不可	
ブロック・イレース関数	179/fCPU+353193	179/fCPU+353193	179/fCPU+353965	可	
ワード・ライト関数	333/fCPU+1154+ 2142 × W	333/fCPU+1154+ 2142 × W	333/fCPU+1927+ 2142 × W	可	
ブロック・ベリファイ関数	179/fCPU+25596	179/fCPU+25596	179/fCPU+26369	可	
ブロック・ブランク・チェック関数	179/fCPU+12805	179/fCPU+12805	179/fCPU+13578	可	
ゲット・インフォメーション関数	オプション値 : 03H	180/fCPU+1065	180/fCPU+1065	180/fCPU+1838	不可
	オプション値 : 04H	190/fCPU+1056	190/fCPU+1056	190/fCPU+1829	不可
	オプション値 : 05H	350/fCPU+1041	350/fCPU+1041	350/fCPU+1813	不可
セット・インフォメーション関数	80/fCPU+753218	80/fCPU+753218	80/fCPU+753990	可	
モード・チェック関数	36/fCPU+952	36/fCPU+952	36/fCPU+1724	不可	
EEPROMライト関数	333/fCPU+1297+ 2286 × W	333/fCPU+1297+ 2286 × W	333/fCPU+2069+ 2286 × W	可	

注 セルフ・プログラミング・スタート関数の実行直後に、実行する場合の関数処理時間です。セルフ・プログラミング・スタート関数以外の関数を実行したあとは、RSTOP = 0 の処理時間と同じになります。

備考 RSTOP : 内蔵発振モード・レジスタ (RCM) のビット 0

RSTS : RCM のビット 7

MCS : メイン・クロック・モード・レジスタ (MCM) のビット 1

fCPU : CPU クロック周波数

W : 書き込みワード数 (1ワード = 4 バイト)

表28 - 12 処理時間，および割り込みの受け付け (2/4)

(ノーマル・モデル用ライブラリ，エントリRAMをショート・ダイレクト・アドレッシング内に配置した場合)

関数名	処理時間 (単位: μ s)			割り込み受け付け	
	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) [※]		
	MCS = 0 (高速内蔵発振クロック)	MCS = 1 (高速システム・クロック)	MCS = 1 (高速システム・クロック)		
セルフ・プログラミング・スタート関数	34/fCPU	34/fCPU	34/fCPU	不可	
セルフ・プログラミング・エンド関数	34/fCPU	34/fCPU	34/fCPU	不可	
イニシャライズ関数	55/fCPU+462	55/fCPU+462	55/fCPU+473	不可	
ブロック・イレース関数	179/fCPU+352516	179/fCPU+352516	179/fCPU+352528	可	
ワード・ライト関数	333/fCPU+477+ 2142 × W	333/fCPU+477+ 2142 × W	333/fCPU+488+ 2142 × W	可	
ブロック・ベリファイ関数	179/fCPU+24918	179/fCPU+24918	179/fCPU+24930	可	
ブロック・ブランク・チェック関数	179/fCPU+12128	179/fCPU+12128	179/fCPU+12139	可	
ゲット・インフォメーション関数	オプション値 : 03H	180/fCPU+388	180/fCPU+388	180/fCPU+399	不可
	オプション値 : 04H	190/fCPU+378	190/fCPU+378	190/fCPU+390	不可
	オプション値 : 05H	350/fCPU+363	350/fCPU+363	350/fCPU+375	不可
セット・インフォメーション関数	80/fCPU+752540	80/fCPU+752540	80/fCPU+753654	可	
モード・チェック関数	36/fCPU+274	36/fCPU+274	36/fCPU+286	不可	
EEPROMライト関数	333/fCPU+619+ 2286 × W	333/fCPU+619+ 2286 × W	333/fCPU+630+ 2286 × W	可	

注 セルフ・プログラミング・スタート関数の実行直後に，実行する場合の関数処理時間です。セルフ・プログラミング・スタート関数以外の関数を実行したあとは，RSTOP = 0 の処理時間と同じになります。

備考 RSTOP : 内蔵発振モード・レジスタ (RCM) のビット 0

RSTS : RCM のビット 7

MCS : メイン・クロック・モード・レジスタ (MCM) のビット 1

fCPU : CPU クロック周波数

W : 書き込みワード数 (1ワード = 4 バイト)

表28 - 12 処理時間，および割り込みの受け付け (3/4)

(スタティック・モデル用ライブラリ，エントリRAMをショート・ダイレクト・アドレッシング外に配置した場合)

関数名	処理時間 (単位: μ s)			割り込み受け付け	
	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) [※]		
	MCS = 0 (CPUが高速内蔵発振クロックで動作)	MCS = 1 (CPUが高速システム・クロックで動作)	MCS = 1 (CPUが高速システム・クロックで動作)		
セルフ・プログラミング・スタート関数	34/fCPU	34/fCPU	34/fCPU	不可	
セルフ・プログラミング・エンド関数	34/fCPU	34/fCPU	34/fCPU	不可	
イニシャライズ関数	55/fCPU+1140	55/fCPU+1140	55/fCPU+1912	不可	
ブロック・イレース関数	136/fCPU+353193	136/fCPU+353193	136/fCPU+353965	可	
ワード・ライト関数	272/fCPU+1154+ 2142 × W	272/fCPU+1154+ 2142 × W	272/fCPU+1927+ 2142 × W	可	
ブロック・ベリファイ関数	136/fCPU+25596	136/fCPU+25596	136/fCPU+26369	可	
ブロック・ブランク・チェック関数	136/fCPU+12805	136/fCPU+12805	136/fCPU+13578	可	
ゲット・インフォメーション関数	オプション値 : 03H	134/fCPU+1065	134/fCPU+1065	134/fCPU+1838	不可
	オプション値 : 04H	144/fCPU+1056	144/fCPU+1056	144/fCPU+1829	不可
	オプション値 : 05H	304/fCPU+1041	304/fCPU+1041	304/fCPU+1813	不可
セット・インフォメーション関数	72/fCPU+753218	72/fCPU+753218	72/fCPU+753990	可	
モード・チェック関数	30/fCPU+952	30/fCPU+952	30/fCPU+1724	不可	
EEPROMライト関数	268/fCPU+1297+ 2286 × W	268/fCPU+1297+ 2286 × W	268/fCPU+2069+ 2286 × W	可	

注 セルフ・プログラミング・スタート関数の実行直後に，実行する場合の関数処理時間です。セルフ・プログラミング・スタート関数以外の関数を実行したあとは，RSTOP = 0 の処理時間と同じになります。

備考 RSTOP : 内蔵発振モード・レジスタ (RCM) のビット 0

RSTS : RCM のビット 7

MCS : メイン・クロック・モード・レジスタ (MCM) のビット 1

fCPU : CPU クロック周波数

W : 書き込みワード数 (1ワード = 4 バイト)

表28 - 12 処理時間，および割り込みの受け付け (4/4)

(スタティック・モデル用ライブラリ，エントリRAMをショート・ダイレクト・アドレッシング内に配置した場合)

関数名	処理時間 (単位: μ s)			割り込み受け付け	
	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) [※]		
	MCS = 0 (CPUが高速内蔵発振クロックで動作)	MCS = 1 (CPUが高速システム・クロックで動作)	MCS = 1 (CPUが高速システム・クロックで動作)		
セルフ・プログラミング・スタート関数	34/fCPU	34/fCPU	34/fCPU	不可	
セルフ・プログラミング・エンド関数	34/fCPU	34/fCPU	34/fCPU	不可	
イニシャライズ関数	55/fCPU+462	55/fCPU+462	55/fCPU+473	不可	
ブロック・イレース関数	136/fCPU+352516	136/fCPU+352516	136/fCPU+352528	可	
ワード・ライト関数	272/fCPU+477+ 2142 × W	272/fCPU+477+ 2142 × W	272/fCPU+488+ 2142 × W	可	
ブロック・ベリファイ関数	136/fCPU+24918	136/fCPU+24918	136/fCPU+24930	可	
ブロック・ブランク・チェック関数	136/fCPU+12128	136/fCPU+12128	136/fCPU+12139	可	
ゲット・インフォメーション関数	オプション値 : 03H	134/fCPU+388	134/fCPU+388	134/fCPU+399	不可
	オプション値 : 04H	144/fCPU+378	144/fCPU+378	144/fCPU+390	不可
	オプション値 : 05H	304/fCPU+363	304/fCPU+363	304/fCPU+375	不可
セット・インフォメーション関数	72/fCPU+752540	72/fCPU+752540	72/fCPU+753654	可	
モード・チェック関数	30/fCPU+274	30/fCPU+274	30/fCPU+286	不可	
EEPROMライト関数	268/fCPU+619+ 2286 × W	268/fCPU+619+ 2286 × W	268/fCPU+630+ 2286 × W	可	

注 セルフ・プログラミング・スタート関数の実行直後に，実行する場合の関数処理時間です。セルフ・プログラミング・スタート関数以外の関数を実行したあとは，RSTOP = 0 の処理時間と同じになります。

備考 RSTOP : 内蔵発振モード・レジスタ (RCM) のビット 0

RSTS : RCM のビット 7

MCS : メイン・クロック・モード・レジスタ (MCM) のビット 1

fCPU : CPU クロック周波数

W : 書き込みワード数 (1ワード = 4 バイト)

表28 - 13 割り込み応答時間 (ノーマル・モデル用ライブラリ)(1/2)

関数名	割り込み応答時間 (単位: μs)					
	エントリRAMをショート・ダイレクト・アドレッシング外に配置した場合			エントリRAMをショート・ダイレクト・アドレッシング内に配置した場合		
	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) ^注	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) ^注
	MCS = 0(CPU が高速内蔵発 振クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)	MCS = 0(CPU が高速内蔵発 振クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)
ブロック・イレース関数	$179/f_{\text{CPU}}+1269$	$179/f_{\text{CPU}}+1269$	$179/f_{\text{CPU}}+1912$	$179/f_{\text{CPU}}+703$	$179/f_{\text{CPU}}+703$	$179/f_{\text{CPU}}+713$
ワード・ライト関数	$333/f_{\text{CPU}}+1098$	$333/f_{\text{CPU}}+1098$	$333/f_{\text{CPU}}+1742$	$333/f_{\text{CPU}}+533$	$333/f_{\text{CPU}}+533$	$333/f_{\text{CPU}}+543$
ブロック・ベリファイ関数	$179/f_{\text{CPU}}+1013$	$179/f_{\text{CPU}}+1013$	$179/f_{\text{CPU}}+1656$	$179/f_{\text{CPU}}+448$	$179/f_{\text{CPU}}+448$	$179/f_{\text{CPU}}+456$
ブロック・ブランク・チェック関数	$179/f_{\text{CPU}}+993$	$179/f_{\text{CPU}}+993$	$179/f_{\text{CPU}}+1637$	$179/f_{\text{CPU}}+428$	$179/f_{\text{CPU}}+428$	$179/f_{\text{CPU}}+438$
セット・インフォメーション関数	$80/f_{\text{CPU}}+833$	$80/f_{\text{CPU}}+833$	$80/f_{\text{CPU}}+1477$	$80/f_{\text{CPU}}+346$	$80/f_{\text{CPU}}+346$	$80/f_{\text{CPU}}+346$
EEPROMライト関数	$333/f_{\text{CPU}}+1107$	$333/f_{\text{CPU}}+1107$	$333/f_{\text{CPU}}+1751$	$333/f_{\text{CPU}}+542$	$333/f_{\text{CPU}}+542$	$333/f_{\text{CPU}}+552$

注 セルフ・プログラミング・スタート関数の実行直後に、実行する場合の関数処理時間です。セルフ・プログラミング・スタート関数以外の関数を実行したあとは、RSTOP = 0 の処理時間と同じになります。

備考 RSTOP : 内蔵発振モード・レジスタ (RCM) のビット 0

RSTS : RCM のビット 7

MCS : メイン・クロック・モード・レジスタ (MCM) のビット 1

f_{CPU} : CPU クロック周波数

W : 書き込みワード数 (1ワード = 4 バイト)

表28 - 13 割り込み応答時間 (スタティック・モデル用ライブラリ)(2/2)

関数名	割り込み応答時間 (単位: μs)					
	エントリRAMをショート・ダイレクト・アドレッシング外に配置した場合			エントリRAMをショート・ダイレクト・アドレッシング内に配置した場合		
	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) ^注	RSTOP = 0かつRSTS = 1 (高速内蔵発振器安定動作中)		RSTOP = 1 (高速内蔵発振器停止) ^注
	MCS = 0(CPU が高速内蔵発 振クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)	MCS = 0(CPU が高速内蔵発 振クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)	MCS = 1(CPU が高速システ ム・クロックで 動作)
ブロック・イレース関数	$136/f_{\text{CPU}}+1269$	$136/f_{\text{CPU}}+1269$	$136/f_{\text{CPU}}+1912$	$136/f_{\text{CPU}}+703$	$136/f_{\text{CPU}}+703$	$136/f_{\text{CPU}}+713$
ワード・ライト関数	$272/f_{\text{CPU}}+1098$	$272/f_{\text{CPU}}+1098$	$272/f_{\text{CPU}}+1742$	$272/f_{\text{CPU}}+533$	$272/f_{\text{CPU}}+533$	$272/f_{\text{CPU}}+543$
ブロック・ベリファイ関数	$136/f_{\text{CPU}}+1013$	$136/f_{\text{CPU}}+1013$	$136/f_{\text{CPU}}+1656$	$136/f_{\text{CPU}}+448$	$136/f_{\text{CPU}}+448$	$136/f_{\text{CPU}}+456$
ブロック・ブランク・チェック関数	$136/f_{\text{CPU}}+993$	$136/f_{\text{CPU}}+993$	$136/f_{\text{CPU}}+1637$	$136/f_{\text{CPU}}+428$	$136/f_{\text{CPU}}+428$	$136/f_{\text{CPU}}+438$
セット・インフォメーション関数	$72/f_{\text{CPU}}+833$	$72/f_{\text{CPU}}+833$	$72/f_{\text{CPU}}+1477$	$72/f_{\text{CPU}}+346$	$72/f_{\text{CPU}}+346$	$72/f_{\text{CPU}}+346$
EEPROMライト関数	$268/f_{\text{CPU}}+1107$	$268/f_{\text{CPU}}+1107$	$268/f_{\text{CPU}}+1751$	$268/f_{\text{CPU}}+542$	$268/f_{\text{CPU}}+542$	$268/f_{\text{CPU}}+552$

注 セルフ・プログラミング・スタート関数の実行直後に、実行する場合の関数処理時間です。セルフ・プログラミング・スタート関数以外の関数を実行したあとは、RSTOP = 0 の処理時間と同じになります。

備考 RSTOP : 内蔵発振モード・レジスタ (RCM) のビット 0

RSTS : RCM のビット 7

MCS : メイン・クロック・モード・レジスタ (MCM) のビット 1

f_{CPU} : CPU クロック周波数

W : 書き込みワード数 (1ワード = 4 バイト)

28. 10. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[※]の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0/Lx3マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

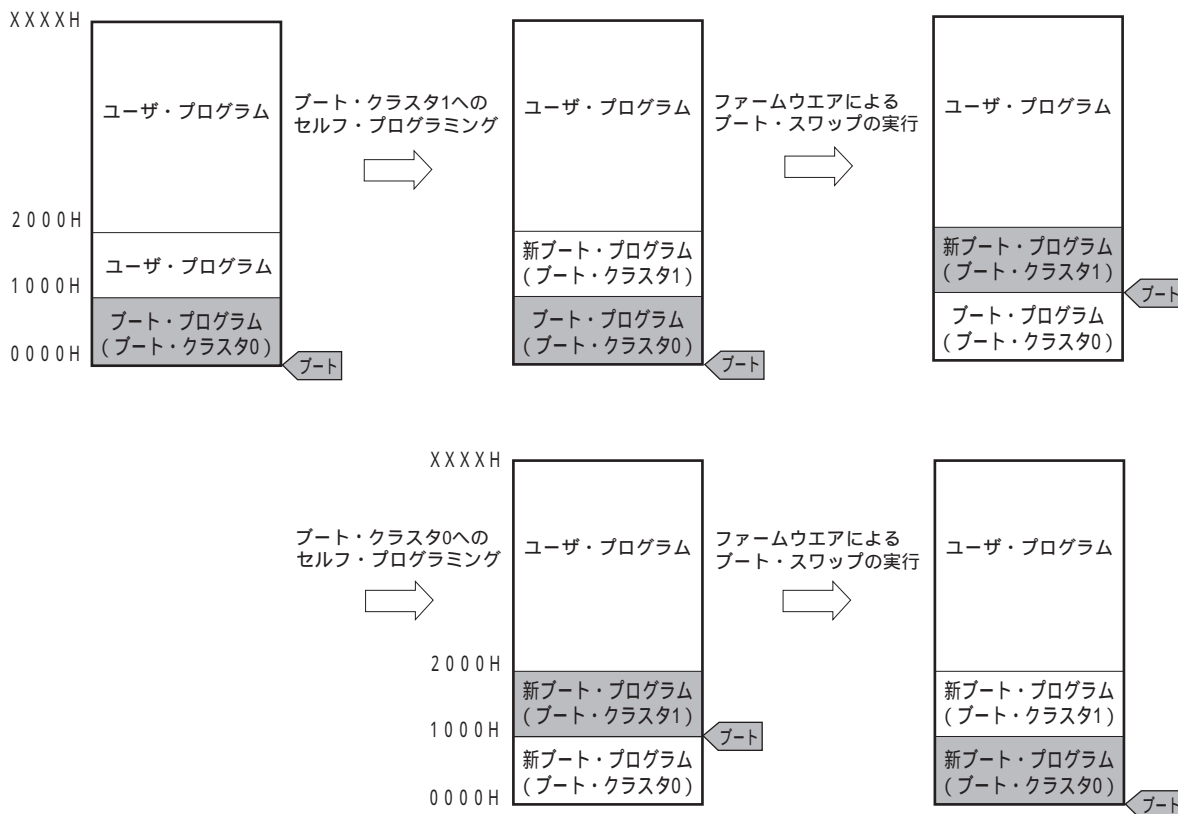
ブート・クラスタ0への書き込みが正常に終了した場合は、78K0/Lx3マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、ブート領域を元に戻します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

ブート・クラスタ0 (0000H~0FFFH) : 本来のブート・プログラム領域です。

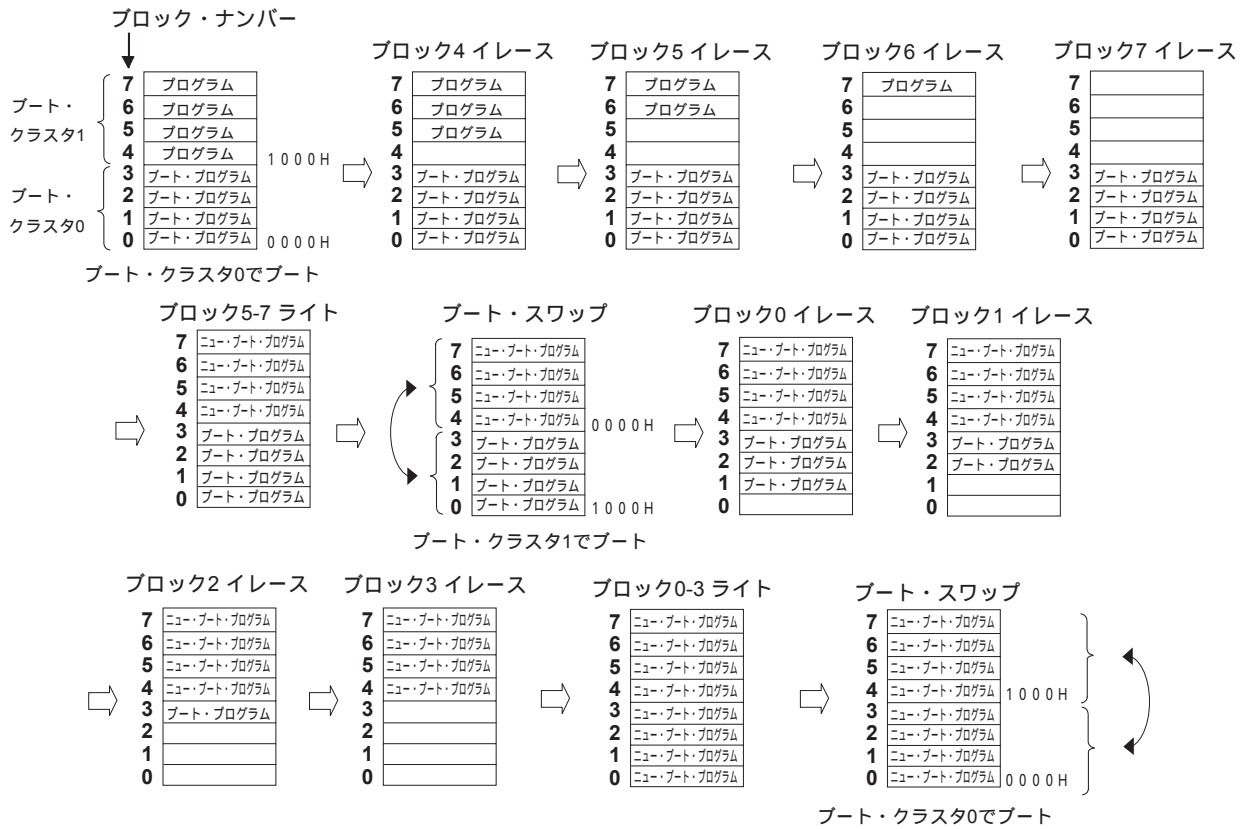
ブート・クラスタ1 (1000H~1FFFH) : ブート・スワップ対象の領域です。

図28 - 15 ブート・スワップ機能



備考 ブート・クラスタ1は、ブート・フラグ設定後にリセットが発生したとき、0000H-0FFFHになります。

図28 - 16 ブート・スワップの実行例



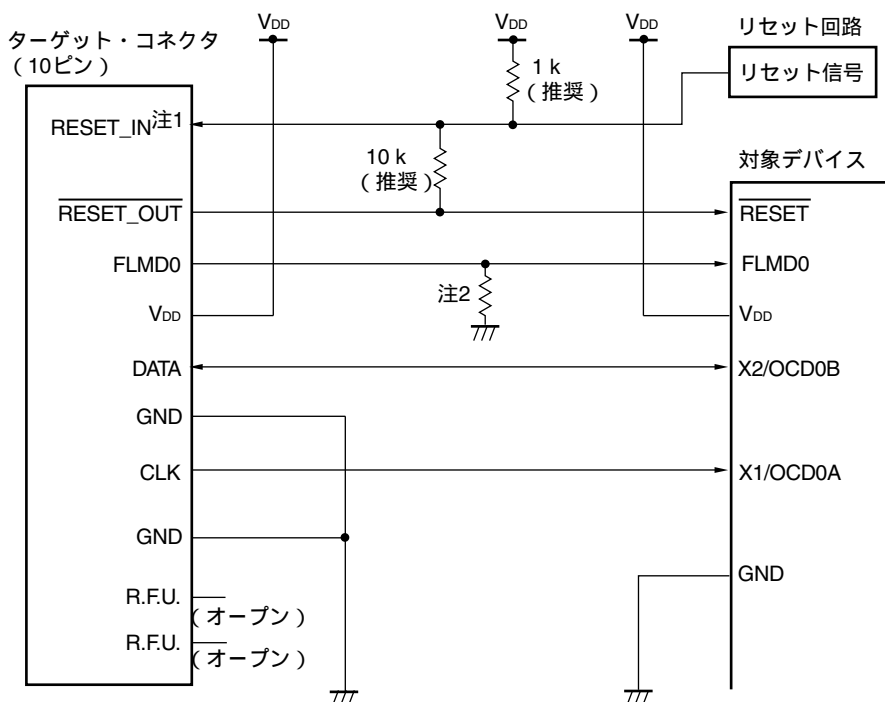
第29章 オンチップ・デバッグ機能

29.1 QB-MINI2と78K0/Lx3マイクロコントローラの接続

78K0/Lx3マイクロコントローラは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、OCD0A/X1、OCD0B/X2、 V_{SS} 端子を使用します。

注意 78K0/Lx3マイクロコントローラには、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図29-1 QB-MINI2と78K0/Lx3マイクロコントローラの接続例

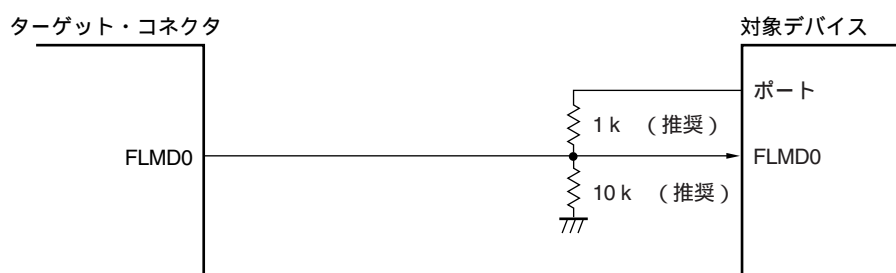


- 注1. リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗：100Ω以下）によるものと想定した回路との接続です。詳細につきましては、QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. プルダウン抵抗値は470Ω以上（10kΩ：推奨）にしてください。

注意 オンチップ・デバッグ時は、OCD0A/X1端子よりクロック入力します。

オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子を次の図のように接続してください。

図29 - 2 オンチップ・デバッグでセルフ・プログラミングを行う場合のFLMD0端子の処理



注意 FLMD0端子を制御するポートは、第31章 電気的特性（標準品）に記載されているハイ・レベル出力電流とFLMD0電源電圧（MIN.値: $0.8V_{DD}$ ）の値を満たすように、十分注意してご使用ください。

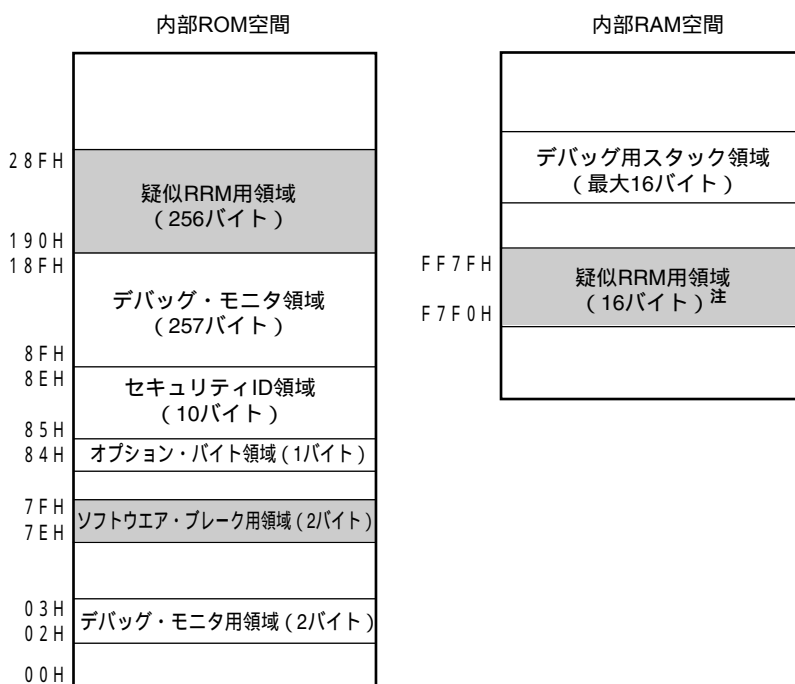
29.2 QB-MINI2が使用する予約領域

QB-MINI2は、78K0/Lx3マイクロコントローラとの通信、または各デバッグ機能を実現するために、図29-3で示した予約領域を使用します。図中のグレーで示した予約領域は使用するデバッグ機能に応じて使用し、それ以外の予約領域はデバッグ時に必ず使用します。これらの予約領域はユーザ・プログラムやコンパイラ・オプションで確保できます。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、あらかじめブート・クラスタ1にも同じ値を設定してください。

予約領域の詳細につきましては、QB-MINI2 **ユーザズ・マニュアル** (U18371J) を参照してください。

図29-3 QB-MINI2が使用する予約領域



注 内部拡張RAMを内蔵していない製品 (μ PD78F04x0, 78F04x1, 78F04x2, 78F04x3) は、この領域を確保する必要はありません。

備考 グレーで示した予約領域 : 使用するデバッグ機能に応じて使用する領域
それ以外の予約領域 : デバッグ時に必ず使用する領域

第30章 命令セットの概要

78K0/Lx3マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

30.1 凡 例

30.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミーディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$: 相対アドレス指定
- ・ [] : 間接アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表30 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミーディエト・データまたはラベル
saddrp	FE20H-FF1FH イミーディエト・データまたはラベル (偶数アドレスのみ)
addr16	0000H-FFFFH イミーディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミーディエト・データまたはラベル
addr5	0040H-007FH イミーディエト・データまたはラベル (偶数アドレスのみ)
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 9 特殊機能レジスタ一覧を参照してください。

30.1.2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x ^H , x ^L	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

30.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

30.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r ^{注3}	1	2	-	A r			
		r, A ^{注3}	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, !addr16	3	8	9	A (addr16)			
		!addr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [DE]	1	4	5	A (DE)			
		[DE], A	1	4	5	(DE) A			
		A, [HL]	1	4	5	A (HL)			
		[HL], A	1	4	5	(HL) A			
		A, [HL + byte]	2	8	9	A (HL + byte)			
		[HL + byte], A	2	8	9	(HL + byte) A			
	A, [HL + B]	1	6	7	A (HL + B)				
	[HL + B], A	1	6	7	(HL + B) A				
	A, [HL + C]	1	6	7	A (HL + C)				
	[HL + C], A	1	6	7	(HL + C) A				
	XCH	A, r ^{注3}	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A sfr			
		A, !addr16	3	8	10	A (addr16)			
		A, [DE]	1	4	6	A (DE)			
		A, [HL]	1	4	6	A (HL)			
A, [HL + byte]		2	8	10	A (HL + byte)				
A, [HL + B]		2	8	10	A (HL + B)				
A, [HL + C]	2	8	10	A (HL + C)					

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp ^{注3}	1	4	-	AX rp			
		rp, AX ^{注3}	1	4	-	rp AX			
		AX, !addr16	3	10	12	AX (addr16)			
	!addr16, AX	3	10	12	(addr16) AX				
XCHW	AX, rp ^{注3}	1	4	-	AX rp				
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B)	x	x	x
	A, [HL + C]	2	8	9	A, CY A + (HL + C)	x	x	x	
	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r ^{注4}	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
A, [HL + C]		2	8	9	A, CY A + (HL + C) + CY	x	x	x	

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. rp = BC, DE, HLのときのみ。

4. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット 演算	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x
	AND	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
		A, [HL + C]	2	8	9	A A (HL + C)	x		

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	XOR	A, #byte	2	4	-	A A byte	x		
		saddr, #byte	3	6	8	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	4	-	A A r	x		
		r, A	2	4	-	r r A	x		
		A, saddr	2	4	5	A A (saddr)	x		
		A, !addr16	3	8	9	A A (addr16)	x		
		A, [HL]	1	4	5	A A (HL)	x		
		A, [HL + byte]	2	8	9	A A (HL + byte)	x		
		A, [HL + B]	2	8	9	A A (HL + B)	x		
	A, [HL + C]	2	8	9	A A (HL + C)	x			
	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r ^{注3}	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
A, [HL + byte]		2	8	9	A - (HL + byte)	x	x	x	
A, [HL + B]		2	8	9	A - (HL + B)	x	x	x	
A, [HL + C]	2	8	9	A - (HL + C)	x	x	x		
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A × X			
	DIVUW	C	2	25	-	AX(商), C(余り) AX ÷ C			

注1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ(PCC)で選択したCPUクロック(f_{CPU})の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
	DECW	rp	1	4	-	rp rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
	ROL	A, 1	1	2	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
	RORC	A, 1	1	2	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
	ROLC	A, 1	1	2	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
	ROR4	[HL]	2	10	12	A ₃₋₀ (HL) ₃₋₀ , (HL) ₇₋₄ A ₃₋₀ , (HL) ₃₋₀ (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ (HL) ₇₋₄ , (HL) ₃₋₀ A ₃₋₀ , (HL) ₇₋₄ (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY (HL).bit			x
		saddr.bit, CY	3	6	8	(saddr.bit) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
	[HL].bit, CY	2	6	8	(HL).bit CY				
	AND1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY CY (saddr.bit)			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY,[HL].bit	2	6	7	CY CY (HL).bit			x
	SET1	saddr.bit	2	4	6	(saddr.bit) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[HL].bit	2	6	8	(HL).bit 1			
	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL].bit	2	6	8	(HL).bit 0			
SET1	CY	1	2	-	CY 1			1	
CLR1	CY	1	2	-	CY 0			0	
NOT1	CY	1	2	-	CY \overline{CY}			x	
コール・リターン	CALL	!addr16	3	7	-	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1) (PC + 2) _H , (SP - 2) (PC + 2) _L , PC ₁₅₋₁₁ 00001, PC ₁₀₋₀ addr11, SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (addr5 + 1), PC _L (addr5), SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) _H , (SP - 3) (PC + 1) _L , PC _H (003FH), PC _L (003EH), SP SP - 3, IE 0			
	RET		1	6	-	PC _H (SP + 1), PC _L (SP), SP SP + 2			
	RETI		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
	RETB		1	6	-	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp _H (SP + 1), rp _L (SP), SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				
無条件分岐	BR	!addr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC _H A, PC _L X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if (HL).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
PSW.bit, \$addr16		4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x	
[HL].bit, \$addr16		3	10	12	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0			
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0			
		saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0			
CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
	NOP		1	2	-	No Operation			
	EI		2	-	6	IE = 1 (Enable Interrupt)			
	DI		2	-	6	IE = 0 (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

30.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP			ROR ROL RORC ROLC
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド \ 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド \ 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第1オペランド \ 第2オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第31章 電気的特性 (標準品)

- 注意1. 78K0/Lx3マイクロコントローラには、開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
ポート1	P12, P13	P11-P13	P11-P14	P10-P17
ポート2	P20-P25		P20-P27	
ポート3	P31-P34			P30-P34
ポート4	P40	P40, P41	P40-P44	P40-P47
ポート8	-	P80	P80-P83	
ポート9	-			P90-P93
ポート10	P100, P101		P100-P103	
ポート11	P112, P113	P111-P113	P110-P113	
ポート12	P120-P124			
ポート13	-			P130-P133
ポート14	P140-P143			
ポート15	P150-P153			

(2) ポート以外の機能

機能		78K0/LC3	78K0/LD3	78K0/LE3	78K0/LF3
電源, グランド		V _{DD} , V _{SS} , V _{LC0-V_{LC3}} , AV _{REF} ^{注1} , AV _{SS} ^{注1}			
レギュレータ		REGC			
リセット		RESET			
クロック発振		X1, X2, XT1, XT2, EXCLK			
フラッシュ書き込み		FLMD0			
割り込み		INTP0-INTP3		INTP0-INTP4	INTP0-INTP5
キー割り込み		KR0, KR3, KR4	KR0-KR4		KR0-KR7
タイマ	TM00	TI000, TI010, TO00			
	TM50	-		TI50, TO50	
	TM51	-		TI51, TO51	
	TM52	TI52			
	TMH0	TOH0			
	TMH1	TOH1			
	RTC	RTC1HZ, RTCCL, RTCDIV			
シリアル・インタフェース	UART0	RxD0, TxD0			
	UART6	RxD6, TxD6			
	CSI10	-	SCK10, SI10, SO10		
	CSIA0	-			SCKA0, SIA0, SOA0
LCD	SEG	SEG0-SEG21	SEG0-SEG23	SEG0-SEG23, SEG24-SEG31 ^{注2}	SEG0-SEG31, SEG32-SEG39 ^{注3}
	COM	COM0-COM7			
セグメント・キー・ソース信号出力		SEG8(KS0)- SEG15(KS7)	SEG10(KS0)- SEG17(KS7)	SEG16(KS0)- SEG23(KS7)	SEG24(KS0)- SEG31(KS7)
10ビット逐次比較型A/D		ANI0-ANI5 ^{注4}		ANI0-ANI7 ^{注5}	
16ビット 型A/D		-		DS0+-DS2+ ^{注6} , DS0--DS2- ^{注6} , REF+ ^{注6} , REF- ^{注6}	
クロック出力		-			PCL
ブザー出力		BUZ			
リモコン受信回路		-	RIN		
マンチェスタ・コード・ジェネレータ		MCGO			
LVI回路		EXLVI			
オンチップ・デバッグ機能		OCD0A, OCD0B			

注1. μ PD78F041x, 78F043x, 78F045x, 78F046x, 78F048x, 78F049xのみ。

2. μ PD78F044x, 78F045xのみ。

3. μ PD78F047x, 78F048xのみ。

4. μ PD78F041x, 78F043xのみ。

5. μ PD78F045x, 78F046x, 78F048x, 78F049xのみ。

6. μ PD78F046x, 78F049xのみ。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^注	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子 入力電圧	V _{I REGC}		- 0.5 ~ + 3.6 かつ - 0.5 ~ V _{DD}	V
入力電圧	V _I	P10-P17, P20-P27, P30-P34, P40-P47, P80-P83, P90-P93, P100-P103, P110-P113, P120-P124, P130-P133, P140-P143, P150-P153, X1, X2, XT1, XT2, FLMD0, RESET	- 0.3 ~ V _{DD} + 0.3 ^注	V
出力電圧	V _O		- 0.3 ~ V _{DD} + 0.3 ^注	V
アナログ入力電圧	V _{AN}	ANI0-ANI7, DS0--DS2-, DS0+-DS2+	- 0.3 ~ AV _{REF} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V
	REF+		- 0.5 ~ AV _{REF} + 0.3 ^注	V
	REF-		- 0.5 ~ + 0.3	V

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P10-P17, P30-P34, P40-P47, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153	- 10	mA
		端子合計 - 37 mA	P10-P17, P30-P34, P40-P47, P120	- 25	mA
			P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153	- 12	mA
	IOH2	1端子	P20-P27	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	IOL	1端子	P10-P17, P30-P34, P40-P47, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153	30	mA
		端子合計 80 mA	P10-P17, P30-P34, P40-P47, P120	40	mA
			P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153	40	mA
		1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	TA			- 40 ~ + 85	
保存温度	Tstg			- 65 ~ + 150	

注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

2. 1端子当たりに流すことができる電流値は、1端子当たりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD 5.5 V, VSS = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック 発振周波数 (fx) 注	2.7 V VDD 5.5 V	2.0		10.0	MHz
			1.8 V VDD < 2.7 V	2.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

内蔵発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD 5.5 V, VSS = AVSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位		
8 MHz 内蔵発振器	高速内蔵発振クロック 周波数 (f _{RH}) ^{注1,2}	RSTS = 1	2.5 V	V _{DD} 5.5 V	7.6	8.0	8.4	MHz
			1.8 V	V _{DD} < 2.5 V	6.75	8.0	8.4	MHz
		RSTS = 0			2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック 周波数 (f _{RL})	2.6 V	V _{DD} 5.5 V	216	240	264	kHz	
		1.8 V	V _{DD} < 2.6 V	192	240	264	kHz	

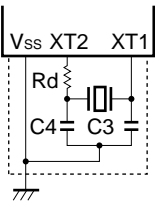
注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. HIOTRM = 10H (± 0 % : デフォルト) 設定の場合。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

XT1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD 5.5 V, VSS = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f _{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

推奨発振回路定数

(1) X1発振 : セラミック発振子 (TA = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲		
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)	
村田製作所	CSTCC2M00G56-R0	SMD	2.00	内蔵 (47)	内蔵 (47)	1.8	5.5	
	CSTLS4M00G56-B0	リード	4.00	内蔵 (47)	内蔵 (47)			
	CSTCR4M00G55-R0	SMD		内蔵 (39)	内蔵 (39)			
	CSTLS4M19G56-B0	リード	4.194	内蔵 (47)	内蔵 (47)			
	CSTCR4M19G55-R0	SMD		内蔵 (39)	内蔵 (39)			
	CSTLS4M91G56-B0	リード	4.915	内蔵 (47)	内蔵 (47)			2.0
	CSTCR4M91G55-R0	SMD		内蔵 (39)	内蔵 (39)	1.8		
	CSTLS5M00G56-B0	リード	5.00	内蔵 (47)	内蔵 (47)	2.0		
	CSTCR5M00G55-R0	SMD		内蔵 (39)	内蔵 (39)	1.8		
	CSTLS6M00G56-B0	リード	6.00	内蔵 (47)	内蔵 (47)	2.2		
	CSTCR6M00G55-R0	SMD		内蔵 (39)	内蔵 (39)	1.9		
	CSTLS8M00G56-B0	リード	8.00	内蔵 (47)	内蔵 (47)	2.2		
	CSTCE8M00G55-R0	SMD		内蔵 (33)	内蔵 (33)	1.8		
	CSTLS8M38G56-B0	リード	8.388	内蔵 (47)	内蔵 (47)	2.2		
	CSTCE8M38G55-R0	SMD		内蔵 (33)	内蔵 (33)	1.8		
	CSTLS10M0G53-B0	SMD	10.0	内蔵 (15)	内蔵 (15)	1.8		
	CSTCE10M0G55-R0	SMD		内蔵 (33)	内蔵 (33)	2.1		
	村田製作所 (低容量品)	CSTLS4M91G53-B0	リード	4.915	内蔵 (15)	内蔵 (15)	1.8	5.5
CSTLS5M00G53-B0		リード	5.00	内蔵 (15)	内蔵 (15)			
CSTCR6M00G53-R0		SMD	6.00	内蔵 (15)	内蔵 (15)	1.8		
CSTLS6M00G53-B0		リード		内蔵 (15)	内蔵 (15)	1.8		
CSTLS8M00G53-B0		リード	8.00	内蔵 (15)	内蔵 (15)	1.8		
CSTLS8M38G53-B0		リード	8.388	内蔵 (15)	内蔵 (15)	1.8		
CSTCE10M0G52-R0		SMD	10.0	内蔵 (10)	内蔵 (10)	1.8		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0/Lx3マイクロコントローラの内部動作条件についてはDC, AC特性の規格内で使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/7)

($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル 出力電流 ^{注1}	I _{OH1}	P10-P17, P30-P34, P40-P47, P120 1端子	4.0 V $V_{DD} \leq 5.5 \text{ V}$			- 3.0	mA	
			2.7 V $V_{DD} < 4.0 \text{ V}$			- 2.5	mA	
			1.8 V $V_{DD} < 2.7 \text{ V}$			- 1.0	mA	
		P140-P143, P150-P153 1端子	4.0 V $V_{DD} \leq 5.5 \text{ V}$				- 1.0	mA
			2.7 V $V_{DD} < 4.0 \text{ V}$				- 0.7	mA
			1.8 V $V_{DD} < 2.7 \text{ V}$				- 0.4	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133 1端子	4.0 V $V_{DD} \leq 5.5 \text{ V}$				- 0.1	mA
			2.7 V $V_{DD} < 4.0 \text{ V}$				- 0.1	mA
			1.8 V $V_{DD} < 2.7 \text{ V}$				- 0.1	mA
	P10-P17, P30-P34, P40-P47, P120 合計 ^{注2}	4.0 V $V_{DD} \leq 5.5 \text{ V}$				- 20.0	mA	
		2.7 V $V_{DD} < 4.0 \text{ V}$				- 10.0	mA	
		1.8 V $V_{DD} < 2.7 \text{ V}$				- 5.0	mA	
	P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 合計 ^{注2}	4.0 V $V_{DD} \leq 5.5 \text{ V}$				- 10.0	mA	
		2.7 V $V_{DD} < 4.0 \text{ V}$				- 7.6	mA	
		1.8 V $V_{DD} < 2.7 \text{ V}$				- 5.2	mA	
全端子合計 ^{注2}	4.0 V $V_{DD} \leq 5.5 \text{ V}$				- 30.0	mA		
	2.7 V $V_{DD} < 4.0 \text{ V}$				- 17.6	mA		
	1.8 V $V_{DD} < 2.7 \text{ V}$				- 10.2	mA		
I _{OH2}	P20-P27 1端子	$AV_{REF} = V_{DD}$				- 0.1	mA	

注1. V_{DD} から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合: 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> デューティ = 50 %, $I_{OH} = -20.0 \text{ mA}$ の場合

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/7)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル 出力電流 ^{注1}	I _{OL1}	P10-P17, P30-P34, P40-P47, P120 1端子	4.0 V $V_{DD} = 5.5\text{ V}$		8.5	mA
			2.7 V $V_{DD} < 4.0\text{ V}$		5.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$		2.0	mA
		P140-P143, P150-P153 1端子	4.0 V $V_{DD} = 5.5\text{ V}$		1.5	mA
			2.7 V $V_{DD} < 4.0\text{ V}$		1.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$		0.5	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133 1端子	4.0 V $V_{DD} = 5.5\text{ V}$		0.4	mA
			2.7 V $V_{DD} < 4.0\text{ V}$		0.4	mA
			1.8 V $V_{DD} < 2.7\text{ V}$		0.4	mA
		P10-P17, P30-P34, P40-P47, P120 合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$		20.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$		15.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$		9.0	mA
	P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$		20.0	mA	
		2.7 V $V_{DD} < 4.0\text{ V}$		16.0	mA	
		1.8 V $V_{DD} < 2.7\text{ V}$		12.0	mA	
全端子合計 ^{注2}	4.0 V $V_{DD} = 5.5\text{ V}$		40.0	mA		
	2.7 V $V_{DD} < 4.0\text{ V}$		31.0	mA		
	1.8 V $V_{DD} < 2.7\text{ V}$		21.0	mA		
I _{OL2}	P20-P27 1端子	$AV_{REF} = V_{DD}$		0.4	mA	

注1. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 70 %の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70 %以外の端子合計の出力電流は下記の計算式で求めることができます。

$$\cdot I_{OH} \text{のデューティが} n \% \text{の場合: 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > デューティ = 50 %, $I_{OH} = -20.0\text{ mA}$ の場合

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/7)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P10, P16, P17, P32, P80-P83, P90-P93, P100-P103, P110-P112, P121-P124, P130-P133, P140-P143, P150-P153	$0.7V_{DD}$		V_{DD}	V
	V_{IH2}	P11-P15, P30, P31, P33, P34, P40-P47, P113, P120, \overline{RESET} , EXCLK	$0.8V_{DD}$		V_{DD}	V
	V_{IH3}	P20-P27	$AV_{REF} = V_{DD}$	$0.7AV_{REF}$	AV_{REF}	V
ロウ・レベル入力電圧	V_{IL1}	P10, P16, P17, P32, P80-P83, P90-P93, P100-P103, P110-P112, P121-P124, P130-P133, P140-P143, P150-P153	0		$0.3V_{DD}$	V
	V_{IL2}	P11-P15, P30, P31, P33, P34, P40-P47, P113, P120, \overline{RESET} , EXCLK	0		$0.2V_{DD}$	V
	V_{IL3}	P20-P27	$AV_{REF} = V_{DD}$	0	$0.3AV_{REF}$	V
ハイ・レベル出力電圧	V_{OH1}	P10-P17, P30-P34, P40-P47, P120,	4.0 V $V_{DD} = 5.5$ V, $I_{OH1} = -3.0$ mA	$V_{DD} - 0.7$		V
			2.7 V $V_{DD} < 4.0$ V, $I_{OH1} = -2.5$ mA	$V_{DD} - 0.5$		V
			1.8 V $V_{DD} < 2.7$ V, $I_{OH1} = -1.0$ mA	$V_{DD} - 0.5$		V
	P140-P143, P150-P153		4.0 V $V_{DD} = 5.5$ V, $I_{OH1} = -1.0$ mA	$V_{DD} - 0.5$		V
			2.7 V $V_{DD} < 4.0$ V, $I_{OH1} = -0.7$ mA	$V_{DD} - 0.5$		V
			1.8 V $V_{DD} < 2.7$ V, $I_{OH1} = -0.4$ mA	$V_{DD} - 0.5$		V
	P80-P83, P90-P93, P100-P103, P110-P113, P130-P133		$I_{OH1} = -0.1$ mA	$V_{DD} - 0.5$		V
	V_{OH2}	P20-P27	$AV_{REF} = V_{DD}$, $I_{OH2} = -0.1$ mA	$V_{DD} - 0.5$		V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 P122/EXCLKは、入力ポート・モードと外部クロック・モードとで、ハイ・レベル入力電圧とロウ・レベル入力電圧が異なります。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/7)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電圧	VOL1	P10-P17, P30-P34, P40-P47, P120	4.0 V $V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 8.5\text{ mA}$			0.7	V
			2.7 V $V_{DD} < 4.0\text{ V}$, $I_{OL1} = 5.0\text{ mA}$			0.7	V
			1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 2.0\text{ mA}$			0.5	V
			1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 1.0\text{ mA}$			0.5	V
			1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 0.5\text{ mA}$			0.4	V
			P140-P143, P150-P153	4.0 V $V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 1.5\text{ mA}$			0.4
		2.7 V $V_{DD} < 4.0\text{ V}$, $I_{OL1} = 1.0\text{ mA}$			0.4	V	
		1.8 V $V_{DD} < 2.7\text{ V}$, $I_{OL1} = 0.5\text{ mA}$			0.4	V	
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133	$I_{OL1} = 0.4\text{ mA}$			0.4	V
		VOL2	P20-P27	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4\text{ mA}$			0.4

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/7)

($T_A = -40 \sim +85$, $1.8 \text{ V} < V_{DD} < 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	I _{LIH1}	P10-P17, P30-P34, P40-P47, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153, FLMD0, $\overline{\text{RESET}}$	$V_I = V_{DD}$		1	μA
	I _{LIH2}	P20-P27	$V_I = AV_{REF} = V_{DD}$		1	μA
	I _{LIH3}	P121-124 (X1, X2, XT1, XT2)	I/Oポート・モード		1	μA
OSCモード				20	μA	
ロウ・レベル 入力リーク電流	I _{LIL1}	P10-P17, P30-P34, P40-P47, P80-P83, P90-P93, P100-P103, P110-P113, P120, P130-P133, P140-P143, P150-P153, FLMD0, $\overline{\text{RESET}}$	$V_I = V_{SS}$		- 1	μA
	I _{LIL2}	P20-P27	$V_I = V_{SS}$, $AV_{REF} = V_{DD}$		- 1	μA
	I _{LIL3}	P121-124 (X1, X2, XT1, XT2)	I/Oポート・モード		- 1	μA
OSCモード				- 20	μA	
プルアップ抵抗値	R _U	$V_I = V_{SS}$	10	20	100	k
FLMD0電源電圧	V _{IL}	通常動作時	0		$0.2V_{DD}$	V
	V _{IH}	セルフ・プログラミング時	$0.8V_{DD}$		V_{DD}	V

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (6/7)

($T_A = -40 \sim +85$, $1.8 \text{ V} < V_{DD} < 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1} ^{注1}	動作モード	f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		1.6	3.0	mA	
				発振子接続		1.9	3.4		
				f _{XH} = 10 MHz, V _{DD} = 3.0 V ^{注2}	方形波入力		1.5	2.9	mA
					発振子接続		1.9	3.3	
				f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2}	方形波入力		0.9	1.7	mA
					発振子接続		1.1	2.0	
				f _{XH} = 5 MHz, V _{DD} = 2.0 V ^{注2}	方形波入力		0.7	1.4	mA
				発振子接続		0.8	1.6		
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注3}			1.4	2.3	mA	
			f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注4}	発振子接続		4.8	26	μA	
	I _{DD2} ^{注1}	HALTモード	f _{XH} = 10 MHz, V _{DD} = 5.0 V ^{注2}	方形波入力		0.4	1.4	mA	
					発振子接続		0.6		1.7
				f _{XH} = 5 MHz, V _{DD} = 3.0 V ^{注2}	方形波入力		0.2	0.7	mA
					発振子接続		0.3	1.0	
			f _{RH} = 8 MHz, V _{DD} = 5.0 V ^{注3}			0.4	1.2	mA	
		f _{SUB} = 32.768 kHz, V _{DD} = 5.0 V ^{注5}	発振子接続		2.39	22	μA		
I _{DD3} ^{注6}	STOPモード	V _{DD} = 5.0 V			1	20	μA		
		V _{DD} = 5.0 V, T _A = -40 ~ +70			1	10	μA		

注1. 内部電源 (V_{DD}) に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。また、MAX.値には周辺動作電流を含みます。ただし、ポートのプルアップ抵抗と出力電流は含みません。

- 8 MHz内蔵発振器, 240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバに流れる電流は含みません。
- X1発振回路, XT1発振回路, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバに流れる電流は含みません。
- X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバに流れる電流は含みません。
- X1発振回路, 8 MHz内蔵発振器, 240 kHz内蔵発振器の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, リアルタイム・カウンタに流れる電流は含みません。
- 内部電源 (V_{DD}) に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。ただし、ポートのプルアップ抵抗と出力電流, および240 kHz内蔵発振器, XT1発振回路の動作電流と, A/Dコンバータ, ウォッチドッグ・タイマ, LVI回路, LCDコントローラ/ドライバ, リアルタイム・カウンタに流れる電流は含みません。

- 備考1. f_{XH} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- f_{RH} : 高速内蔵発振クロック周波数
 - f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (7/7)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ウォッチドッグ・タイマ動作電流	I_{WDT} ^{注1}	240 kHz 低速内蔵発振クロック動作時		5	10	μA	
LVI動作電流	I_{LVI} ^{注2}			9	18	μA	
逐次比較型A/Dコンバータ動作電流	I_{ADC1} ^{注3}	2.3 V $AV_{REF} = V_{DD}$		0.86	1.9	mA	
型A/Dコンバータ動作電流	I_{ADC2} ^{注3}	2.7 V $AV_{REF} = V_{DD}$		1.4	2.7	mA	
LCD動作電流	I_{LCD1} ^{注4}	LCD表示オフ (非選択信号出力) (LCDON = 0, SCOC = 1)	$V_{DD} = 5.0$ V		3.0	8.0	μA
			$V_{DD} = 3.0$ V		2.0	5.0	μA
	I_{LCD2} ^{注4}	LCD表示オン (LCDON = 1, SCOC = 1)	$V_{DD} = 5.0$ V		3.0	8.0	μA
			$V_{DD} = 3.0$ V		2.0	5.0	μA
RTC動作電流	I_{RTC} ^{注5}	$f_{SUB} = 32.768$ kHz	$V_{DD} = 3.0$ V		0.2	1.0	μA
			$V_{DD} = 2.0$ V		0.2	1.0	μA

- 注1. ウォッチドッグ・タイマにのみ流れる電流です (240 kHz内蔵発振器の動作電流を含みます)。HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0/Lx3マイクロコントローラの電流値となります。
2. LVI回路にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合、 I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0/Lx3マイクロコントローラの電流値となります。
3. A/Dコンバータ (AV_{REF}) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC1} または I_{ADC2} を加算した値が、78K0/Lx3マイクロコントローラの電流値となります。
4. LCDコントローラ/ドライバにのみ流れる電流です。LCD分割抵抗に流れる電流は含みません。電源電流 (I_{DD1} , I_{DD2} , I_{DD3} のいずれか) にLCD動作電流 (I_{LCD1} , I_{LCD2} のいずれか) を加算した値が、78K0/Lx3マイクロコントローラの電流値となります。
5. リアルタイム・カウンタにのみ流れる電流です (XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタが動作中の場合、78K0/Lx3マイクロコントローラの電流のTYP.値は、 I_{DD1} または I_{DD2} のTYP.値に I_{RTC} のTYP.値を加算した値となります。 I_{DD1} または I_{DD2} のMAX.値にはリアルタイム・カウンタの動作電流も含みます。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

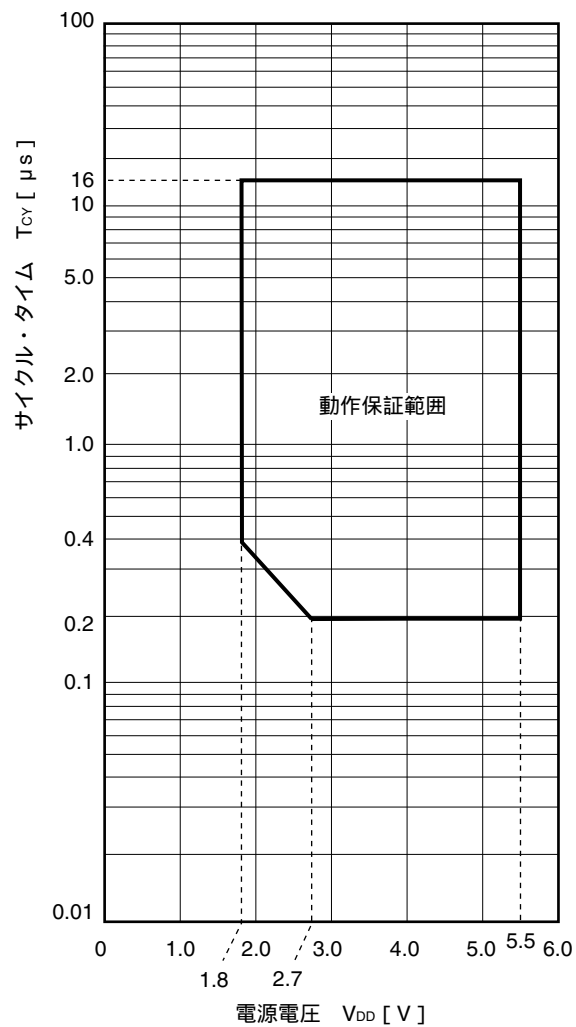
(1) 基本動作

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = AV_{SS} = 0\text{ V}$)

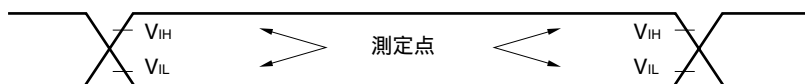
項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{XP}) 動作	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.2		16	$\mu\text{ s}$
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.4		16	$\mu\text{ s}$
		サブシステム・クロック (f_{SUB}) 動作		114	122	125	$\mu\text{ s}$
周辺ハードウェア クロック周波数	f_{PRS}	XSEL=1	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			10	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$			5	MHz
		XSEL=0	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	7.6		8.4	MHz
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$ ^{注1}	6.75		8.4	MHz
外部メイン・システム・クロック周波数	f_{EXCLK}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.0		10.0	MHz	
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	2.0		5.0	MHz	
外部メイン・システム・クロック入力ハイ/ロウ・レベル幅	t_{EXCLKH}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	48		500	ns	
	t_{EXCLKL}	$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	96		500	ns	
TI000 入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH0} , t_{TIL0}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$2/f_{sam} + 0.2$ ^{注2}			$\mu\text{ s}$	
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$2/f_{sam} + 0.5$ ^{注2}			$\mu\text{ s}$	
TI50, TI51, TI52入力周波数	f_{TI5}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	TI50, TI51			10	MHz
			TI52			16	MHz
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$				10	MHz
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$				5	MHz
TI50, TI51, TI52入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH5} , t_{TIL5}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	TI50, TI51	50			ns
			TI52	31.25			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$		50			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$		100			ns
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1			$\mu\text{ s}$	
キー割り込み入力 ロウ・レベル幅	t_{KR}		250			ns	
RESETロウ・レベル幅	t_{RSL}		10			$\mu\text{ s}$	

注1. メイン・システム・クロック周波数の特性です。周辺機能で設定する分周クロックは、 $f_{RH}/2$ 以下にしてください。

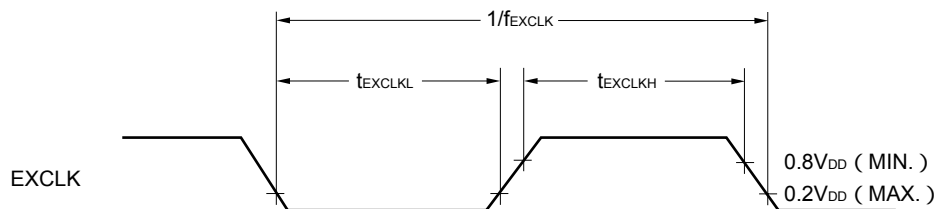
2. プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、 $f_{sam} = f_{PRS}$, $f_{PRS}/4$, $f_{PRS}/256$ の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、 $f_{sam} = f_{PRS}$ となります。

T_{CY} vs V_{DD} (メイン・システム・クロック動作時)

ACタイミング測定点

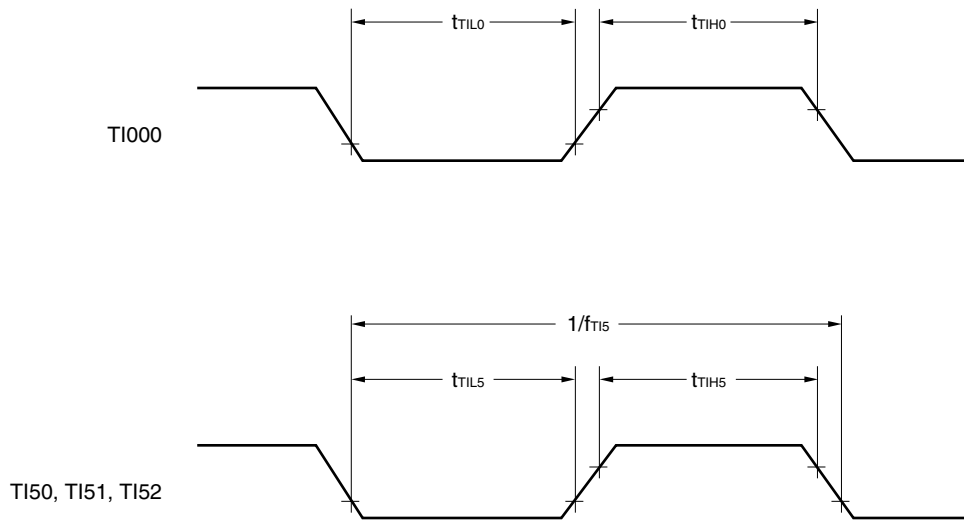


外部メイン・システム・クロック・タイミング

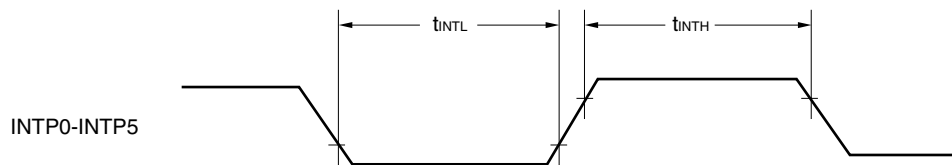


注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

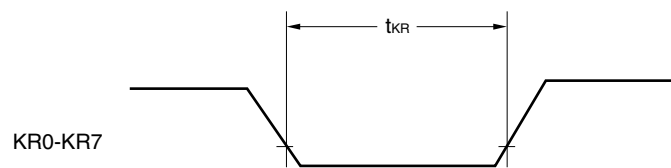
TI タイミング



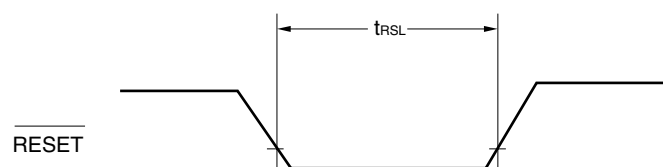
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



(2) マンチェスタ・コード・ジェネレータ

(TA = -40 ~ +85 , 1.8 V VDD 5.5 V, VSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					250	kbps

(3) シリアル・インタフェース

(TA = -40 ~ +85 , 1.8 V VDD 5.5 V, VSS = AVSS = 0 V)

(a) UART6 (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) UART0 (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(c) CSI10 (マスタ・モード, $\overline{SCK10}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KY1}	2.7 V V_{DD} 5.5 V	250			ns
		1.8 V $V_{DD} < 2.7$ V	500			ns
SCK10ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}	2.7 V V_{DD} 5.5 V	$t_{KY1}/2-25$ 注1			ns
		1.8 V $V_{DD} < 2.7$ V	$t_{KY1}/2-50$ 注1			ns
SI10セットアップ時間 (対 $\overline{SCK10}$)	t_{SIK1}	2.7 V V_{DD} 5.5 V	80			ns
		1.8 V $V_{DD} < 2.7$ V	170			ns
SI10ホールド時間 (対 $\overline{SCK10}$)	t_{KSI1}		30			ns
SCK10 SO10出力遅延時間	t_{KSO1}	$C = 50$ pF ^{注2}			40	ns

注1. 高速システム・クロック (f_{XH}) 使用時の数値です。

2. Cは、 $\overline{SCK10}$, SO10出力ラインの負荷容量です。

(d) CSI10 (スレーブ・モード, $\overline{SCK10}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KY2}		400			ns
SCK10ハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KY2}/2$			ns
SI10セットアップ時間 (対 $\overline{SCK10}$)	t_{SIK2}		80			ns
SI10ホールド時間 (対 $\overline{SCK10}$)	t_{KSI2}		50			ns
SCK10 SO10出力遅延時間	t_{KSO2}	$C = 50$ pF ^注			120	ns
			2.7 V V_{DD} 5.5 V			
		1.8 V $V_{DD} < 2.7$ V			165	ns

注 Cは、SO10出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(e) AUTOCSI (マスタ・モード, $\overline{SCKA0}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKA0}$ サイクル・タイム	t_{KY3}	4.0 V V_{DD} 5.5 V	600			ns
		2.7 V $V_{DD} < 4.0$ V	1200			ns
		1.8 V $V_{DD} < 2.7$ V	1800			ns
$\overline{SCKA0}$ ハイ, ロウ・レベル幅	t_{KH3} , t_{KL3}	4.0 V V_{DD} 5.5 V	$t_{KY3}/2-50$			ns
		2.7 V $V_{DD} < 4.0$ V	$t_{KY3}/2-$ 100			ns
		1.8 V $V_{DD} < 2.7$ V	$t_{KY3}/2-$ 200			ns
SIA0 セットアップ時間 (対 $\overline{SCKA0}$)	t_{SIK3}	2.7 V V_{DD} 5.5 V	100			ns
		1.8 V $V_{DD} < 2.7$ V	200			ns
SIA0 ホールド時間 (対 $\overline{SCKA0}$)	t_{KSI3}		300			ns
$\overline{SCKA0}$ SOA0 出力遅延時間	t_{KSO3}	C = 100 pF ^注	4.0 V V_{DD} 5.5 V		200	ns
			2.7 V $V_{DD} < 4.0$ V		300	ns
			1.8 V $V_{DD} < 2.7$ V		400	ns

注 Cは、 $\overline{SCKA0}$, SOA0出力ラインの負荷容量です。

(f) AUTOCSI (スレーブ・モード, $\overline{SCKA0}$...外部クロック入力)

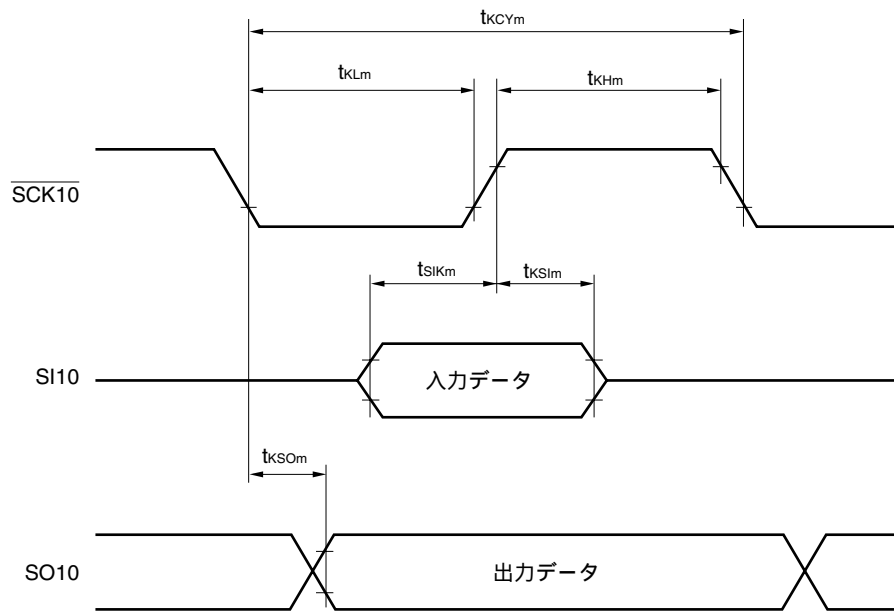
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKA0}$ サイクル・タイム	t_{KY4}	4.0 V V_{DD} 5.5 V	600			ns
		2.7 V $V_{DD} < 4.0$ V	1200			ns
		1.8 V $V_{DD} < 2.7$ V	1800			ns
$\overline{SCKA0}$ ハイ, ロウ・レベル幅	t_{KH4} , t_{KL4}	4.0 V V_{DD} 5.5 V	300			ns
		2.7 V $V_{DD} < 4.0$ V	600			ns
		1.8 V $V_{DD} < 2.7$ V	900			ns
SIA0 セットアップ時間 (対 $\overline{SCKA0}$)	t_{SIK4}		100			ns
SIA0 ホールド時間 (対 $\overline{SCKA0}$)	t_{KSI4}		$2/f_w+100$			ns
$\overline{SCKA0}$ SOA0 出力遅延時間	t_{KSO4}	C = 100 pF ^注	4.0 V V_{DD} 5.5 V		$2/f_w+100$	ns
			2.7 V $V_{DD} < 4.0$ V		$2/f_w+200$	ns
			1.8 V $V_{DD} < 2.7$ V		$2/f_w+300$	ns
$\overline{SCKA0}$ 立ち上がり / 立ち下がり時間	t_{R4}				1000	ns
	t_{F4}					ns

注 Cは、SOA0出力ラインの負荷容量です。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

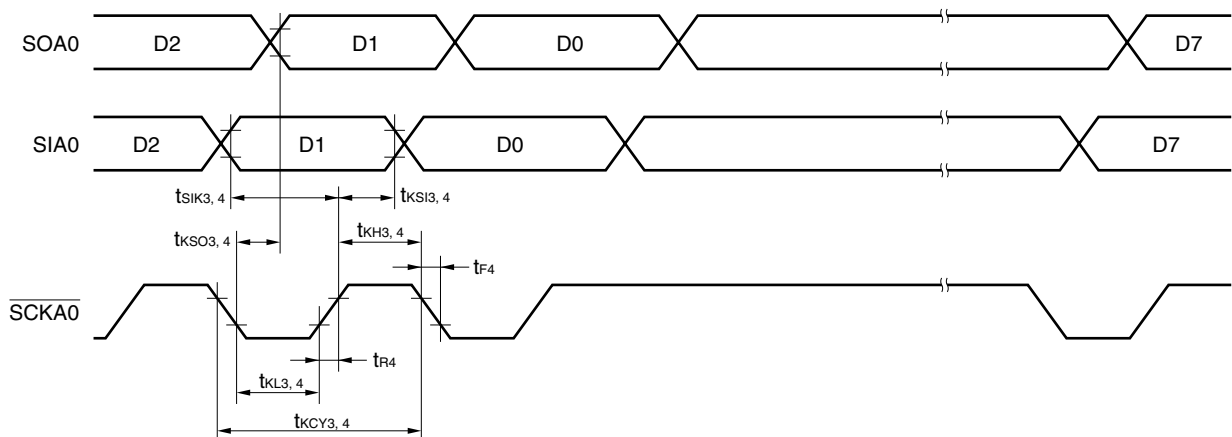
シリアル転送タイミング

CSI10 :



備考 $m = 1, 2$

CSIA0 :



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

10ビット逐次比較型A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.3 V AV_{REF} V_{DD} 5.5 V, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES1				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V AV_{REF} 5.5 V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
		2.3 V $AV_{REF} < 2.7$ V			± 1.2	%FSR
変換時間	t _{CONV}	4.0 V AV_{REF} 5.5 V	6.1		84	μ s
		2.7 V $AV_{REF} < 4.0$ V	12.2		84	μ s
		2.3 V $AV_{REF} < 2.7$ V	27		84	μ s
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	4.0 V AV_{REF} 5.5 V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
		2.3 V $AV_{REF} < 2.7$ V			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	4.0 V AV_{REF} 5.5 V			± 0.4	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.6	%FSR
		2.3 V $AV_{REF} < 2.7$ V			± 0.6	%FSR
積分直線性誤差 ^{注1}	ILE1	4.0 V AV_{REF} 5.5 V			± 2.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 4.5	LSB
		2.3 V $AV_{REF} < 2.7$ V			± 6.5	LSB
微分直線性誤差 ^{注1}	DLE1	4.0 V AV_{REF} 5.5 V			± 1.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 2.0	LSB
		2.3 V $AV_{REF} < 2.7$ V			± 2.0	LSB
アナログ入力電圧	V _{AIN1}		AV_{SS}		AV_{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

16ビット 型A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.7 V AV_{REF} V_{DD} 5.5 V, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES2			8		16	bit
サンプリング・クロック ^{注1}	f _{VP}	差動入力時	3.5 V AV_{REF} 5.5 V	0.016		1.25	MHz
			2.7 V $AV_{REF} < 3.5$ V	0.016		0.625	MHz
		シングル入力時	2.85 V AV_{REF} 5.5 V	0.016		0.625	MHz
			2.7 V $AV_{REF} < 2.85$ V	0.016		0.525	MHz
積分直線性誤差 (相対精度)	ILE2	差動 入力時 ^{注2}	14ビット 分解能 ^{注3}	$AV_{REF} = 5.0$ V		± 1.0	LSB
				3.5 V AV_{REF} 5.5 V		± 1.7	LSB
				2.7 V $AV_{REF} < 3.5$ V		± 2.6	LSB
		シングル 入力時 ^{注2}	12ビット分解能 ^{注3}			± 2.8	LSB
微分直線性誤差 (相対精度)	DLE2	差動 入力時 ^{注2}	14ビット 分解能 ^{注3}	$AV_{REF} = 5.0$ V		± 1.0	LSB
				3.5 V AV_{REF} 5.5 V		± 1.7	LSB
				2.7 V $AV_{REF} < 3.5$ V		± 2.6	LSB
		シングル 入力時 ^{注2}	12ビット分解能 ^{注3}			± 2.8	LSB
オフセット	EOS	差動入力時			± 0.032		%FSR
		シングル入力時			± 0.16		%FSR
ゲイン・エラー	GE	差動入力時			± 0.09		%
		シングル入力時			± 0.1		%
リファレンス電圧	REF+				AV_{REF}		V
	REF-				AV_{SS}		V
アナログ入力電圧	V _{AIN2}	高精度モード・オフ時		0		REF+	V
		高精度モード・オン時		0.1REF+		0.9REF+	V

注1. 変換時間は、サンプリング・クロック (f_{VP}) と設定した分解能 (Nビット) により、次の計算で算出可能です。

$$\text{変換時間} = 2^N / f_{VP}$$

2. 差動入力時は高精度モード・オン、シングル入力時は高精度モード・オフに設定した場合の値です。
3. 積分直線性誤差 (ILE2)、微分直線性誤差 (DLE2) で条件に記載している以外の分解能 (Nビット) の特性は、次の計算で算出できます。

・差動入力時

$$N \text{ ビット分解能時の } I_{LE2} = 14 \text{ ビット分解能時の } I_{LE2} \times 2^{(N-14)}$$

$$N \text{ ビット分解能時の } D_{LE2} = 14 \text{ ビット分解能時の } D_{LE2} \times 2^{(N-14)}$$

・シングル入力時

$$N \text{ ビット分解能時の } I_{LE2} = 12 \text{ ビット分解能時の } I_{LE2} \times 2^{(N-12)}$$

$$N \text{ ビット分解能時の } D_{LE2} = 12 \text{ ビット分解能時の } D_{LE2} \times 2^{(N-12)}$$

備考 16ビット 型A/Dコンバータ特性は、近似直線を最小二乗法により定義しています。

LCD特性 ($T_A = -40 \sim +85$)

(1) 抵抗分割方式

(a) スタティック表示モード ($1.8\text{ V } V_{LCD} \ V_{DD} \ 5.5\text{ V}, V_{SS} = 0\text{ V}$)^{注3}

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	注3			V_{DD}	V
LCD分割抵抗 ^{注1}	R_{LCD}		60	100	150	k
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}				40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{ODS}				200	k

(b) 1/3バイアス法 ($1.8\text{ V } V_{LCD} \ V_{DD} \ 5.5\text{ V}, V_{SS} = 0\text{ V}$)^{注3}

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	注3			V_{DD}	V
LCD分割抵抗 ^{注1}	R_{LCD}		60	100	150	k
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}				40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{ODS}				200	k

(c) 1/2バイアス法, 1/4バイアス法 ($1.8\text{ V } V_{LCD} \ V_{DD} \ 5.5\text{ V}, V_{SS} = 0\text{ V}$)^{注3}

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	注3			V_{DD}	V
LCD分割抵抗 ^{注1}	R_{LCD}		60	100	150	k
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}				40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{ODS}				200	k

注1. 内部抵抗分割方式のみ。

2. 出力抵抗とは, $V_{LC0}, V_{LC1}, V_{LC2}, V_{SS}$ のいずれか1端子と, SEG/COM端子のいずれか1端子との間の抵抗です。

3. 次の条件でVAONを設定してください。

(スタティック表示時)

- ・ $2.0\text{ V } V_{LCD} \ V_{DD} \ 5.5\text{ V}$ 時: VAON = 0
- ・ $1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 1

(1/3バイアス時)

- ・ $2.5\text{ V } V_{LCD} \ V_{DD} \ 5.5\text{ V}$ 時: VAON = 0
- ・ $1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 1

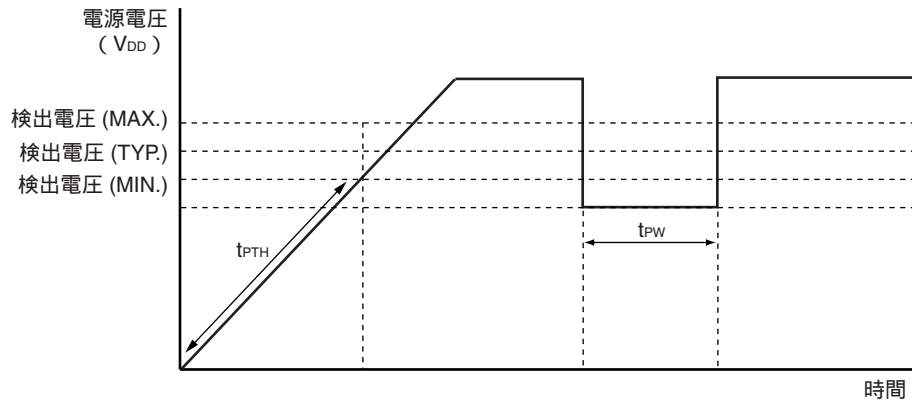
(1/2バイアス時, 1/4バイアス時)

- ・ $2.7\text{ V } V_{LCD} \ V_{DD} \ 5.5\text{ V}$ 時: VAON = 0
- ・ $1.8\text{ V } V_{LCD} \ V_{DD} \ 3.6\text{ V}$ 時: VAON = 1

1.59 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POC}		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0 V$ V_{POC} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}		200			μs

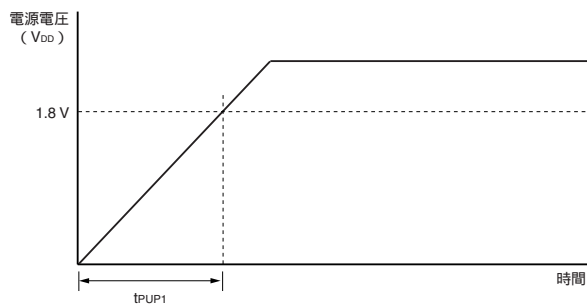
POC回路タイミング

電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

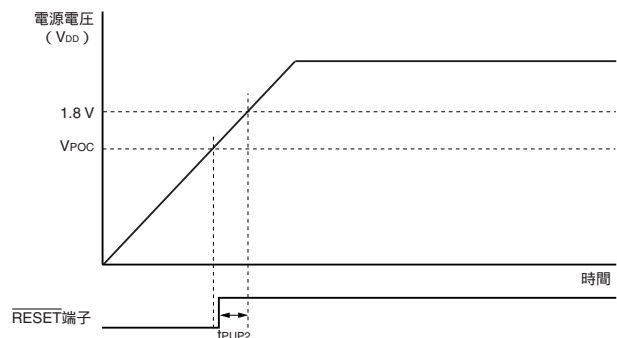
項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ($V_{DD} : 0 V$ 1.8 V)	t_{PUP1}	POCMODE (オプション・バイト) = 0 , RESET入力未使用時			3.6	ms
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 (RESET入力解除 $V_{DD} : 1.8 V$)	t_{PUP2}	POCMODE (オプション・バイト) = 0 , RESET入力使用時			1.9	ms

電源電圧立ち上げ時間のタイミング

・ RESET端子入力未使用時



・ RESET端子入力使用時



2.7 V POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	V_{DDPOC}	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 V$ (TYP.) に達するまでリセット状態になり、 V_{POC} を越えとリセットが解除されます。その後、電源投入時と同様に、 V_{POC} でPOC検出が行われます。 POCMODE = 0の場合、 t_{PUP1} または t_{PUP2} の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 V$ (TYP.) に達するまでリセット状態になり、 V_{DDPOC} を越えとリセットが解除されます。その後、 V_{DDPOC} でのPOC検出は行われず、 $V_{POC} = 1.59 V$ (TYP.) でPOC検出が行われます。 電源投入から 1.8 V に達するまでの電圧の立ち上がり、 t_{PTH} よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

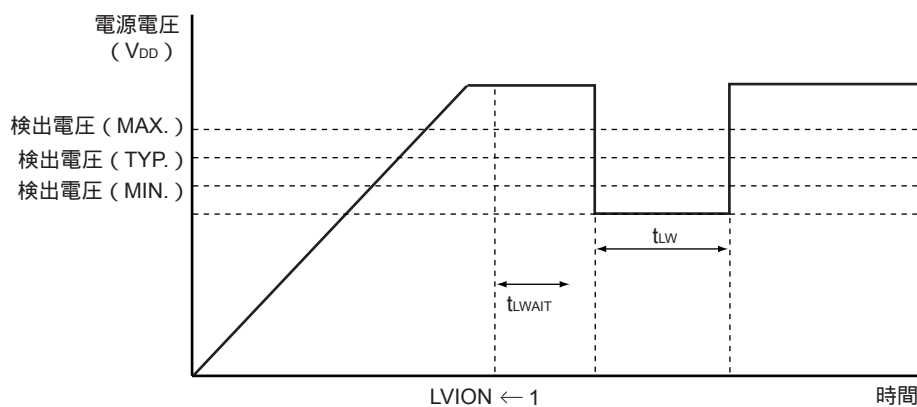
項目	略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	V_{LVI0}	4.14	4.24	4.34	V		
		V_{LVI1}	3.99	4.09	4.19	V		
		V_{LVI2}	3.83	3.93	4.03	V		
		V_{LVI3}	3.68	3.78	3.88	V		
		V_{LVI4}	3.52	3.62	3.72	V		
		V_{LVI5}	3.37	3.47	3.57	V		
		V_{LVI6}	3.22	3.32	3.42	V		
		V_{LVI7}	3.06	3.16	3.26	V		
		V_{LVI8}	2.91	3.01	3.11	V		
		V_{LVI9}	2.75	2.85	2.95	V		
		V_{LVI10}	2.60	2.70	2.80	V		
		V_{LVI11}	2.45	2.55	2.65	V		
		V_{LVI12}	2.29	2.39	2.49	V		
		V_{LVI13}	2.14	2.24	2.34	V		
		V_{LVI14}	1.98	2.08	2.18	V		
		V_{LVI15}	1.83	1.93	2.03	V		
	外部入力端子 ^{注1}	EXLVI	$EXLVI < V_{DD}, 1.8 \text{ V}$	$V_{DD} = 5.5 \text{ V}$	1.11	1.21	1.31	V
最小パルス幅	t_{LW}		200			μs		
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs		

注1. P120/INTP0/ EXLVI端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-15$

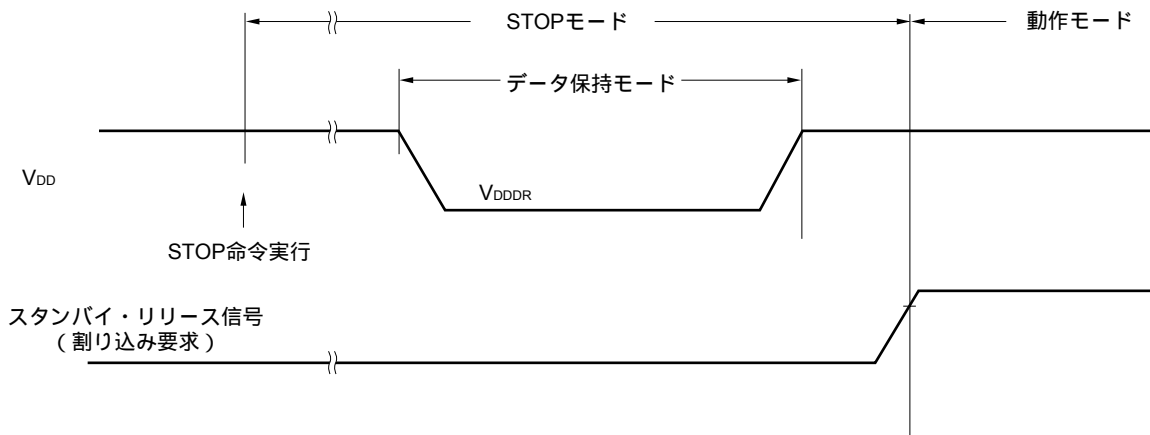
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.44 ^注		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 2.7 V V_{DD} 5.5 V, $V_{SS} = AV_{SS} = 0$ V)

・基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流	I _{DD}			4.5	11.0	mA
消去時間 注1, 2	全ブロック	T _{eraca}		20	200	ms
	ブロック単位	T _{erasa}		20	200	ms
書き込み時間 (8ビット単位) 注1	T _{wrwa}			10	100	μs
1チップあたりの 書き換え回数	C _{erwr}	消去1回 + 消去後の書き込み 1回 = 書き換え回数1回とする ^{注3} 。	フラッシュ・メモリ・プログラマ 使用時および当社提供のライブラリを使用時	保持 15年	1000	回
			当社提供のEEPROMエミュレーション・ライブラリ使用時, 書き換えROMサイズ: 4 Kバイト	保持 3年 ^{注4}	10000	回

注1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP5使用時、およびセルフ・プログラミング時の書き換え時間につきましては、表28 - 11、表28 - 12を参照してください。

2. 消去前のプリライトおよび消去ペリファイ時間 (ライトバック時間) は含まれません。

3. 出荷品に対する初回書き込み時では、「消去 書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

4. データ書き込み後、データの保持を3年保証します。また、書き換えを行った場合は、その時点からさらに3年保証します。

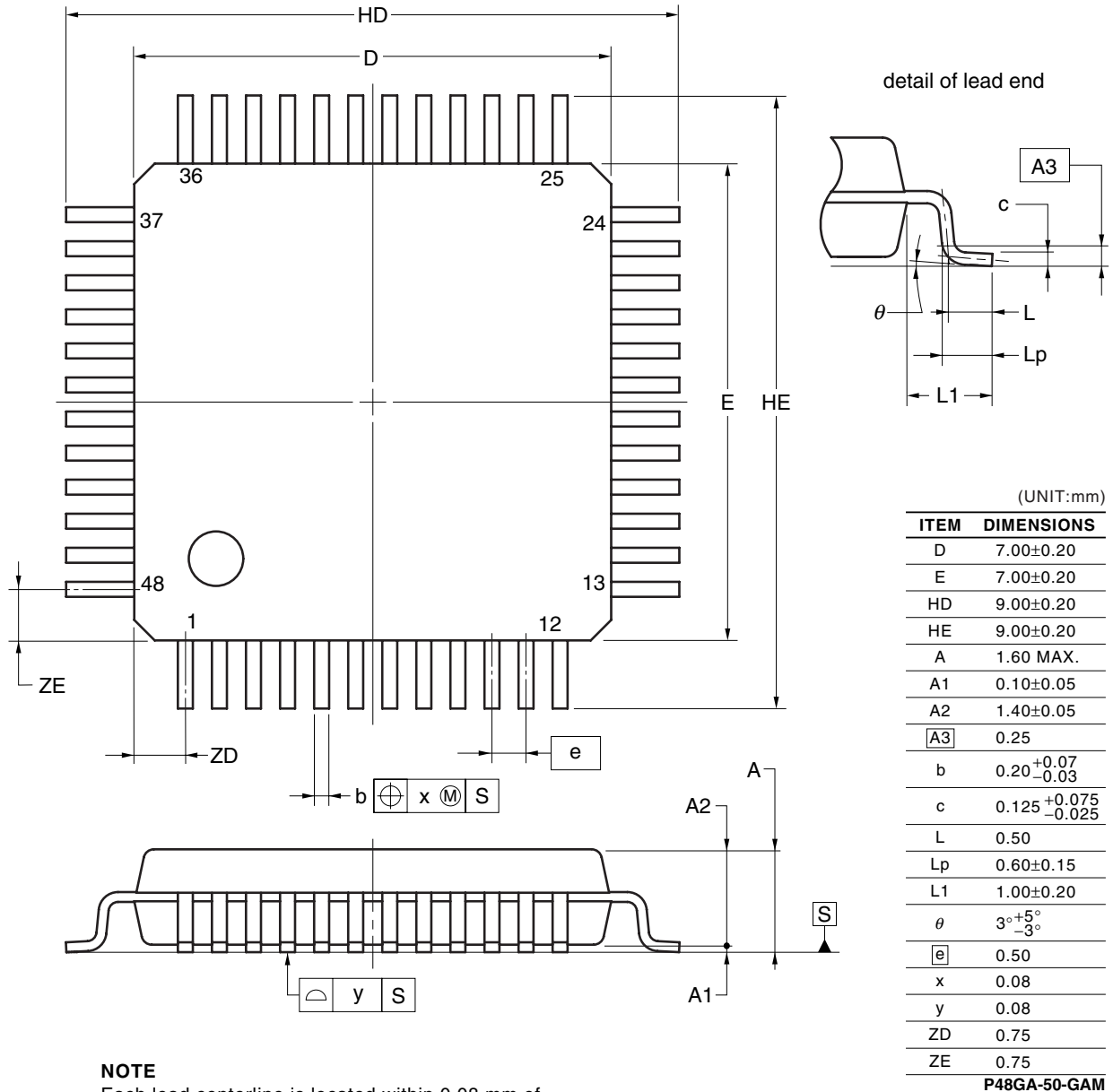
備考1. f_{XP}: メイン・システム・クロック発振周波数

2. シリアル書き込みオペレーション特性につきましては、78K0/Lx3 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U18954J) を参照してください。

第32章 外形图

32.1 78K0/LC3

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)

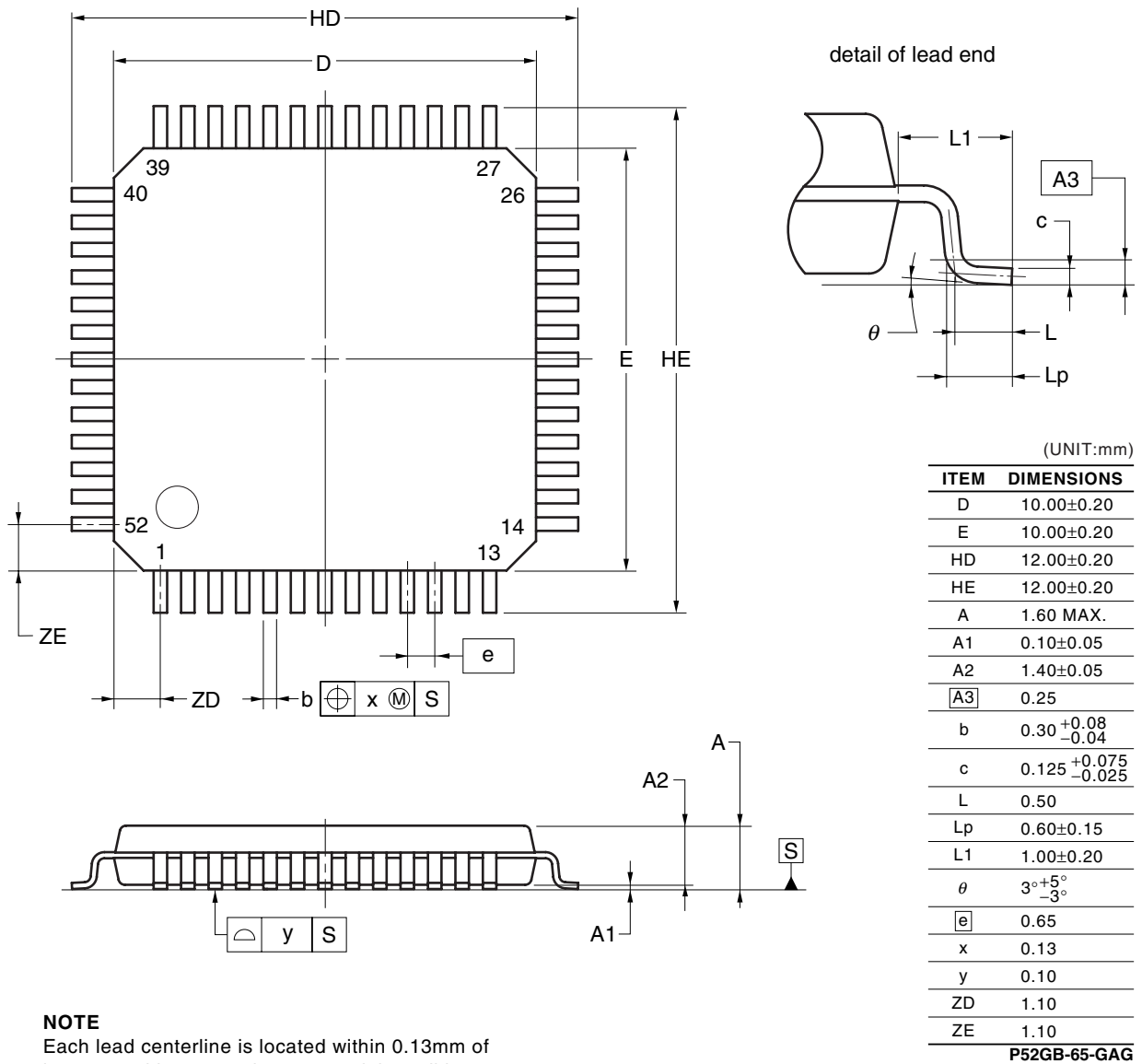


NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

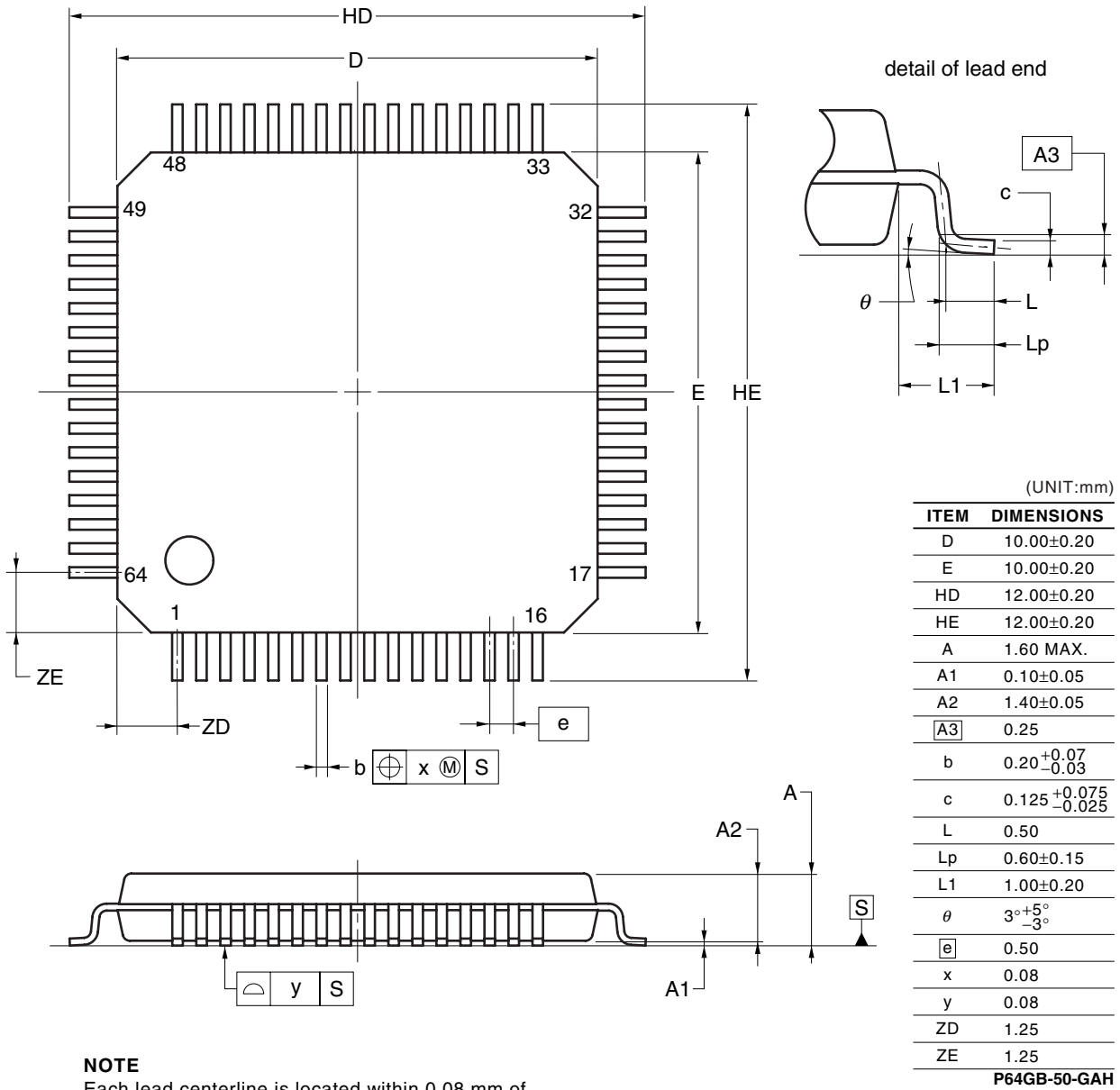
32.2 78K0/LD3

52-PIN PLASTIC LQFP (10x10)

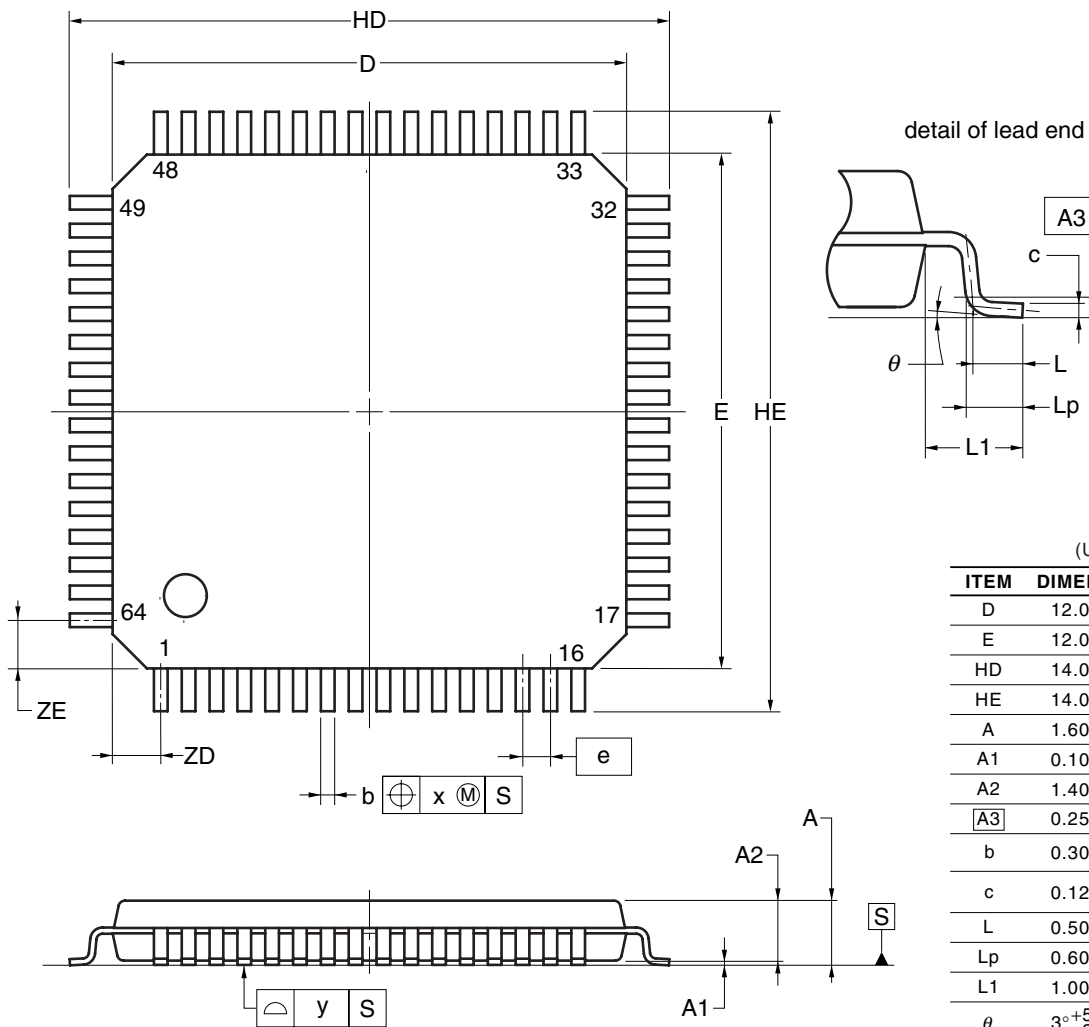


32.3 78K0/LE3

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



64-PIN PLASTIC LQFP (12x12)



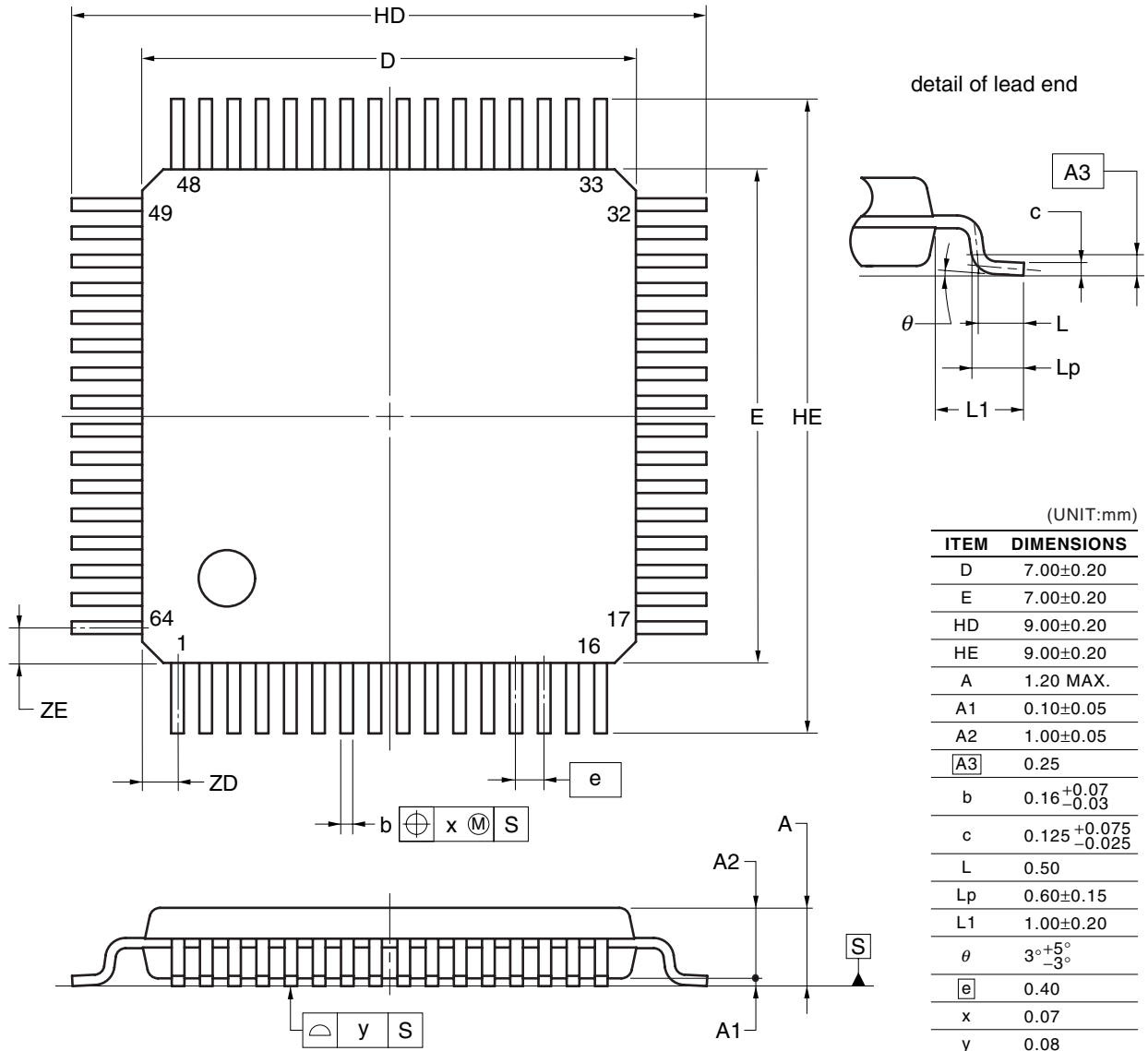
(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.30 ^{+0.08} _{-0.04}
c	0.125 ^{+0.75} _{-0.25}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.65
x	0.13
y	0.10
ZD	1.125
ZE	1.125

P64GK-65-GAJ

NOTE
 Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

64-PIN PLASTIC TQFP (FINE PITCH) (7x7)

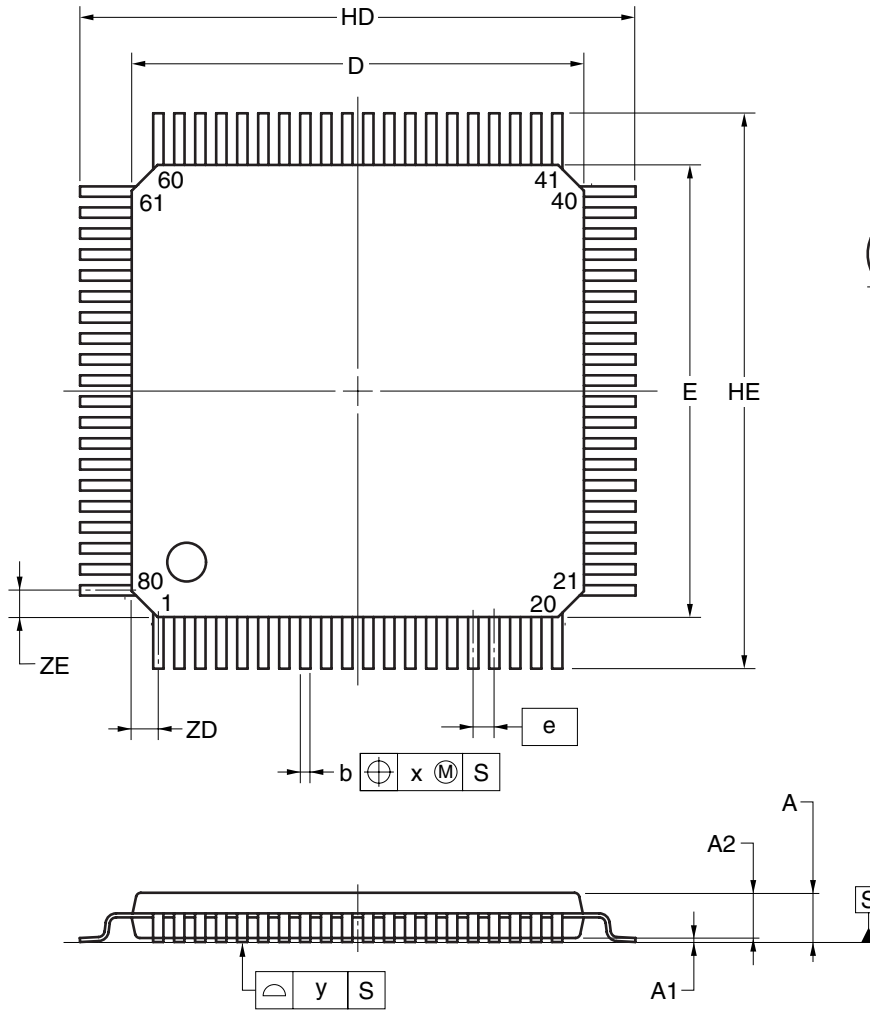


NOTE
 Each lead centerline is located within 0.07mm of its true position at maximum material condition.

P64GA-40-HAB

32.4 78K0/LF3

80-PIN PLASTIC LQFP (14x14)



detail of lead end

(UNIT:mm)

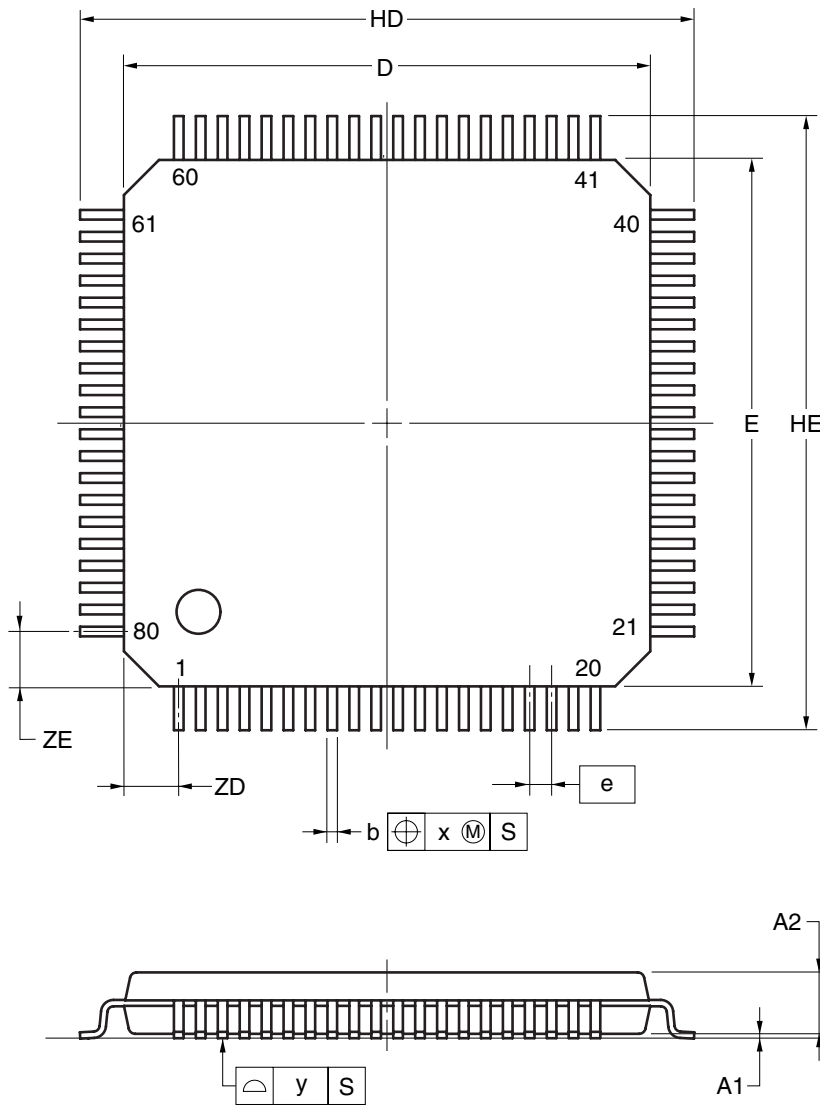
ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	17.20±0.20
HE	17.20±0.20
A	1.70 MAX.
A1	0.125±0.075
A2	1.40±0.05
A3	0.25
b	0.30 ^{+0.08} / _{-0.04}
c	0.125 ^{+0.075} / _{-0.025}
L	0.80
Lp	0.886±0.15
L1	1.60±0.20
θ	3° ^{+5°} / _{-3°}
e	0.65
x	0.13
y	0.10
ZD	0.825
ZE	0.825

NOTE

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

P80GC-65-GAD

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



detail of lead end

(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

P80GK-50-GAK

NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

第33章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://japan.renesas.com/prod/package/manual/index.html>)

表33 - 1 表面実装タイプの半田付け条件

- (1) 48 ピン・プラスチック LQFP (ファインピッチ) (7x7)
 64 ピン・プラスチック LQFP (ファインピッチ) (10x10)
 64 ピン・プラスチック TQFP (ファインピッチ) (7x7)
 80 ピン・プラスチック LQFP (ファインピッチ) (12x12)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

- (2) 52 ピン・プラスチック LQFP (10x10)
 64 ピン・プラスチック LQFP (12x12)
 80 ピン・プラスチック LQFP (14x14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 ^注 （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 ^注 （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

第34章 ウェイトに関する注意事項

34.1 ウェイトに関する注意事項

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。

したがって、競合の恐れがある周辺ハードウェアへのアクセス時には、CPUは正しいデータの受け渡しが行われるまで、処理を繰り返し実行します。

その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります（ウェイト・クロック数については表34-1、表34-2を参照）。リアルタイム性が要求される処理を行う場合は、注意してください。

34.2 ウェイトが発生する周辺ハードウェア

CPUからのアクセス時にウェイト要求が発生するレジスタとCPUのウェイト・クロック数を表34 - 1に、ウェイト要求が発生するRAMアクセスとCPUのウェイト・クロック数を表34 - 2に示します。

表34 - 1 ウェイトが発生するレジスタとCPUのウェイト・クロック数

周辺ハードウェア	対象レジスタ	対象アクセス	ウェイト・クロック数
シリアル・インタフェース UART0	ASIS0	リード	1クロック (固定)
シリアル・インタフェース UART6	ASIS6	リード	1クロック (固定)
10ビット逐次比較型 A/Dコンバータ	ADM	ライト	1~5クロック ($f_{AD} = f_{PRS}/2$ 選択時)
	ADS	ライト	1~7クロック ($f_{AD} = f_{PRS}/3$ 選択時)
	ADPC0	ライト	1~9クロック ($f_{AD} = f_{PRS}/4$ 選択時)
			2~13クロック ($f_{AD} = f_{PRS}/6$ 選択時)
ADCR	リード	2~17クロック ($f_{AD} = f_{PRS}/8$ 選択時) 2~25クロック ($f_{AD} = f_{PRS}/12$ 選択時)	
<p>上記のクロック数は、f_{CPU}とf_{PRS}に同じソース・クロックを選択している場合の例です。次の算出式および条件でウェイト・クロック数を算出できます。</p> <p>ウェイト・クロック数算出式</p> <p>・ウェイト・クロック数 = $\frac{2 f_{CPU}}{f_{AD}} + 1$</p> <p>小数点以下は、ウェイト・クロック数 0.5の場合は切り捨て、ウェイト・クロック数 > 0.5の場合は切り上げる。</p> <p>f_{AD} : A/D変換クロック周波数 ($f_{PRS}/2$-$f_{PRS}/12$)</p> <p>f_{CPU} : CPUクロック周波数</p> <p>f_{PRS} : 周辺ハードウェア・クロック周波数</p> <p>f_{XP} : メイン・システム・クロック周波数</p> <p>最大/最小ウェイト・クロック数条件</p> <p>・最大回数: CPU最高速 (f_{XP}), A/D変換クロック最低速 ($f_{PRS}/12$)</p> <p>・最小回数: CPU最低速 ($f_{SUB}/2$), A/D変換クロック最高速 ($f_{PRS}/2$)</p>			

注意 周辺ハードウェア・クロック (f_{PRS}) が停止しているときに、上記の対象レジスタにウェイト要求が発生するアクセス方法で、アクセスしないでください。

備考 クロックは、CPUクロック (f_{CPU}) を示します。

表34 - 2 ウェイトが発生するRAMアクセスとCPUのウェイト・クロック数

対象エリア	対象アクセス	ウェイト・クロック数
CSIA0のバッファRAM	ライト	下記算出式を参照 ^注
<p><最大ウェイト・クロック数算出式></p> <p>・最大ウェイト・クロック数 = $\frac{5 f_{CPU}}{f_w} + 1$</p> <p>小数点以下は、($1/f_{CPU}$) をかけてt_{CPUL}以下であれば切り捨て、t_{CPUL}を越える場合には切り上げる。</p> <p>f_w : CSIS0レジスタのCKS00ビットで選択した基本クロックの周波数 (CKS00 = 0 : f_{PRS}, CKS00 = 1 : $f_{PRS}/2$)</p> <p>f_{CPU} : CPUクロック周波数</p> <p>t_{CPUL} : CPUクロックのロウ・レベル幅</p> <p>f_{PRS} : 周辺ハードウェア・クロック周波数</p>		

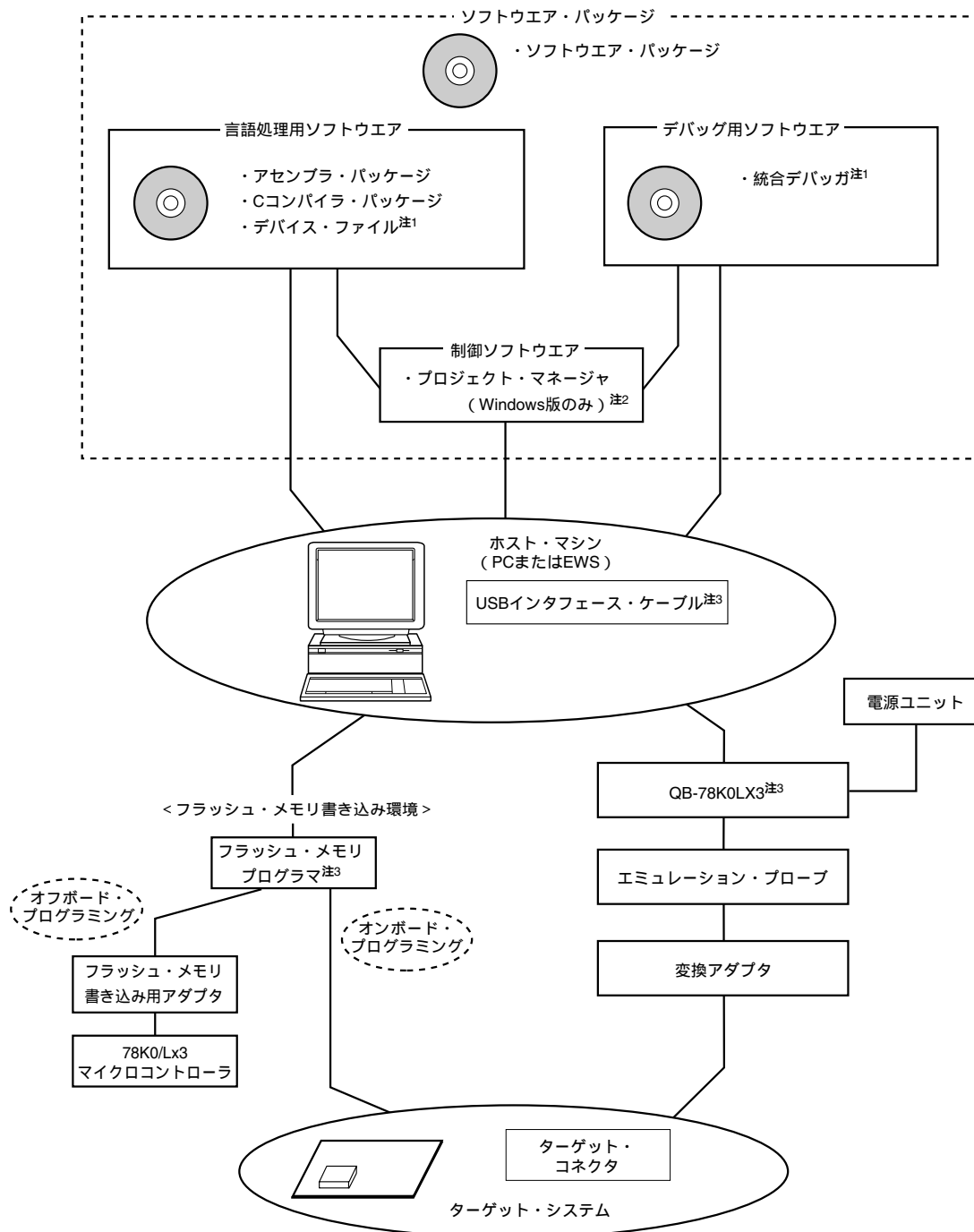
注 CSIA0からのRAMへの書き込みと、CPUからのバッファRAMへの書き込みとの間に、CSIA0の動作クロック5クロック分以上挿入すれば、ウェイトは発生しません。

付録A 開発ツール

78K0/Lx3マイクロコントローラを使用するシステム開発のために次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0LX3を使用する場合



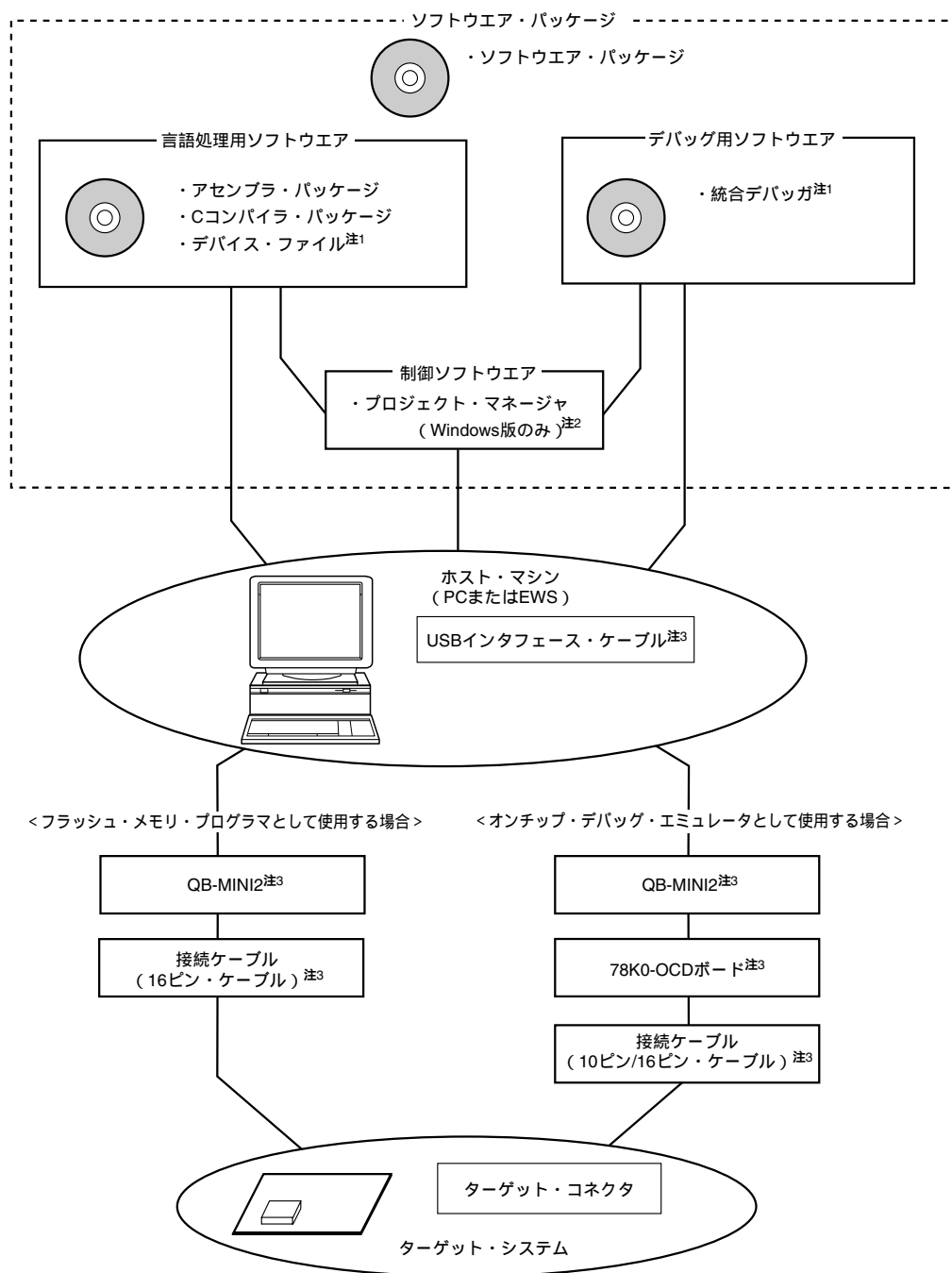
注1. 78K0/Lx3マイクロコントローラ用のデバイス・ファイル(DF780495),および統合デバッガ ID78K0-QBは, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows[®]以外ではPM+は使用できません。

3. QB-78K0LX3は, 統合デバッガ ID78K0-QB, USBインタフェース・ケーブル, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. 78K0/Lx3マイクロコントローラ用のデバイス・ファイル(DF780495),および統合デバッガ ID78K0-QBは,開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

2. プロジェクト・マネージャ PM+は,アセンブラ・パッケージに入っています。また,Windows以外ではPM+は使用できません。

3. QB-MINI2は,USBインタフェース・ケーブル,接続ケーブル(10ピン・ケーブル,16ピン・ケーブル),78K0-OCDボードを添付しています。それ以外の製品はオプションです。また, QB-MINI2を操作するためのソフトウェアを,開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

A.2 言語処理用ソフトウェア

RA78K0 ^{注1} アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的にを行う機能を備えています。</p> <p>デバイス・ファイル(DF780495)と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 ^{注1} Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
DF780495 ^{注2} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB)と組み合わせて使用します。対応OS,ホスト・マシンは組み合わせられる各ツールに依存します。</p>

注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。

2. DF780495は、RA78K0, CC78K0, ID78K0-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A. 3 フラッシュ・メモリ書き込み用ツール

A. 3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

FL-PR5, PG-FP5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-xxxx ^注 フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注 フラッシュ・メモリ書き込み用アダプタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		フラッシュ・メモリ書き込み用 アダプタ
78K0/LC3	48ピン・プラスチックLQFP (GA-GAMタイプ)	FA-78F0413GA-GAM-RX
78K0/LD3	52ピン・プラスチックLQFP (GB-GAGタイプ)	FA-78F0433GB-GAG-RX
78K0/LE3	64ピン・プラスチックLQFP (GB-GAHタイプ)	FA-78F0465GB-GAH-RX
	64ピン・プラスチックLQFP (GK-GAJタイプ)	FA-78F0465GK-GAJ-RX
	64ピン・プラスチックTQFP (GA-HABタイプ)	FA-78F0455GA-HAB-RX
78K0/LF3	80ピン・プラスチックLQFP (GC-GADタイプ)	FA-78F0495GC-GAD-RX
	80ピン・プラスチックLQFP (GK-GAKタイプ)	FA-78F0495GK-GAK-RX

備考1. FL-PR5, FA-xxxxは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Lx3マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル(16ピン・ケーブル)、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル(10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。そのうち、接続ケーブル(10ピン・ケーブル)と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/index.html>) より入手してください。

A. 4 デバッグ用ツール（ハードウェア）

A. 4.1 インサーキット・エミュレータ QB-78K0LX3を使用する場合

QB-78K0LX3 インサーキット・エミュレータ	78K0/Lx3マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ（ID78K0-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-xxxx-EA-xxx ^注 エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-xxxx-YS-xxx ^注 スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。
QB-xxxx-YQ-xxx ^注 YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。
QB-xxxx-HQ-xxx ^注 マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-xxxx-NQ-xxx ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

注 エクステンジ・アダプタ、スペース・アダプタ、YQコネクタ、マウント・アダプタ、ターゲット・コネクタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		エクステンジ・アダプタ	スペース・アダプタ	YQコネクタ	マウント・アダプタ	ターゲット・コネクタ
78K0/LC3	48ピン・プラスチックLQFP（GA-GAMタイプ）	QB-48GA-EA-03T	QB-48GA-YS-01T	QB-48GA-YQ-01T	QB-48GA-HQ-01T	QB-48GA-NQ-01T
	52ピン・プラスチックLQFP（GB-GAGタイプ）	QB-52GB-EA-03T	QB-52GB-YS-01T	QB-52GB-YQ-01T	QB-52GB-HQ-01T	QB-52GB-NQ-01T
78K0/LE3	64ピン・プラスチックLQFP（GB-GAHタイプ）	QB-64GB-EA-09T	QB-64GB-YS-01T	QB-64GB-YQ-01T	QB-64GB-HQ-01T	QB-64GB-NQ-01T
	64ピン・プラスチックLQFP（GK-GAJタイプ）	QB-64GK-EA-07T	QB-64GK-YS-01T	QB-64GK-YQ-01T	QB-64GK-HQ-01T	QB-64GK-NQ-01T
	64ピン・プラスチックTQFP（GA-HABタイプ）	QB-64GA-EA-04T	QB-64GA-YS-01T	QB-64GA-YQ-01T	QB-64GA-HQ-01T	QB-64GA-NQ-01T
78K0/LF3	80ピン・プラスチックLQFP（GC-GADタイプ）	QB-80GC-EA-01T	QB-80GC-YS-01T	QB-80GC-YQ-01T	QB-80GC-HQ-01T	QB-80GC-NQ-01T
	80ピン・プラスチックLQFP（GK-GAKタイプ）	QB-80GK-EA-01T	QB-80GK-YS-01T	QB-80GK-YQ-01T	QB-80GK-HQ-01T	QB-80GK-NQ-01T

（備考は次ページにあります）

備考1. QB-78K0LX3は、統合デバッガ ID78K0-QB，USBインタフェース・ケーブル，オンチップ・デバッグ・エミュレータ QB-MINI2，接続ケーブル（10ピン・ケーブル，16ピン・ケーブル），78K0-OCDボードを添付しています。

QB-MINI2を使用する場合，QB-MINI2を操作するためのソフトウェアを，開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

2. オーダ名称により，QB-78K0LX3の梱包内容は次のように異なります。

梱包内容 オーダ名称	インサーキット・ エミュレータ	エミュレーショ ン・プローブ	エクステンジ アダプタ	YQコネクタ	ターゲット・ コネクタ
QB-78K0LX3-ZZZ	QB-78K0LX3	なし			
QB-78K0LX3-T48GA		QB-80-EP-01T	QB-48GA-EA-03T	QB-48GA-YQ-01T	QB-48GA-NQ-01T
QB-78K0LX3-T52GB			QB-52GB-EA-03T	QB-52GB-YQ-01T	QB-52GB-NQ-01T
QB-78K0LX3-T64GB			QB-64GB-EA-09T	QB-64GB-YQ-01T	QB-64GB-NQ-01T
QB-78K0LX3-T64GK			QB-64GK-EA-07T	QB-64GK-YQ-01T	QB-64GK-NQ-01T
QB-78K0LX3-T64GA			QB-64GA-EA-04T	QB-64GA-YQ-01T	QB-64GA-NQ-01T
QB-78K0LX3-T80GC			QB-80GC-EA-01T	QB-80GC-YQ-01T	QB-80GC-NQ-01T
QB-78K0LX3-T80GK			QB-80GK-EA-01T	QB-80GK-YQ-01T	QB-80GK-NQ-01T

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチッ プ・デバッグ・エミュレータ	78K0/Lx3マイクロコントローラを使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル（10ピンまたは16ピン・ケーブル），ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

備考1. QB-MINI2は，USBインタフェース・ケーブル，接続ケーブル（10ピン・ケーブル，16ピン・ケーブル），78K0-OCDボードを添付しています。そのうち，接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは，オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを，開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

A. 5 デバッグ用ツール（ソフトウェア）

ID78K0-QB ^注 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッグです。ID78K0-QBは，Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF780495）と組み合わせて使用します。
----------------------------------	--

注 開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/index.html>）より入手してください。

付録B レジスタ索引

[A]

ADCR	: 10ビットA/D変換結果レジスタ ...	431
ADCRH	: 8ビットA/D変換結果レジスタ ...	432
ADDCR	: 16ビット 型A/D変換結果レジスタ ...	458
ADDCRH	: 8ビット 型A/D変換結果レジスタ ...	458
ADDCTL0	: 16ビット 型A/Dコンバータ・コントロール・レジスタ0 ...	453
ADDCTL1	: 16ビット 型A/Dコンバータ・コントロール・レジスタ1 ...	455
ADDSTR	: 16ビット 型A/D変換ステータス・レジスタ ...	459
ADM	: A/Dコンバータ・モード・レジスタ ...	428
ADPC0	: A/Dポート・コンフィギュレーション・レジスタ0 ...	196, 434, 460
ADS	: アナログ入力チャネル指定レジスタ ...	433
ADTC0	: 自動データ転送アドレス・カウント・レジスタ0 ...	584
ADTI0	: 自動データ転送間隔指定レジスタ0 ...	583
ADTP0	: 自動データ転送アドレス・ポイント指定レジスタ0 ...	582
ALARMWH	: アラーム時レジスタ ...	398
ALARMWM	: アラーム分レジスタ ...	398
ALARMWW	: アラーム曜日レジスタ ...	399
ASICL6	: アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6 ...	520
ASIF6	: アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6 ...	517
ASIM0	: アシンクロナス・シリアル・インタフェース動作モード・レジスタ0 ...	482
ASIM6	: アシンクロナス・シリアル・インタフェース動作モード・レジスタ6 ...	513
ASIS0	: アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0 ...	484
ASIS6	: アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6 ...	516

[B]

BRGC0	: ボー・レート・ジェネレータ・コントロール・レジスタ0 ...	485
BRGC6	: ボー・レート・ジェネレータ・コントロール・レジスタ6 ...	519
BRGCA0	: 分周値選択レジスタ0 ...	581

[C]

CKS	: クロック出力選択レジスタ ...	421
CKSR6	: クロック選択レジスタ6 ...	517
CMP00	: 8ビット・タイマHコンペア・レジスタ00 ...	359
CMP01	: 8ビット・タイマHコンペア・レジスタ01 ...	359
CMP02	: 8ビット・タイマHコンペア・レジスタ02 ...	359
CMP10	: 8ビット・タイマHコンペア・レジスタ10 ...	359
CMP11	: 8ビット・タイマHコンペア・レジスタ11 ...	359
CMP12	: 8ビット・タイマHコンペア・レジスタ12 ...	359

CR000	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ000 ... 251
CR010	: 16ビット・タイマ・キャプチャ/コンペア・レジスタ010 ... 251
CR50	: 8ビット・タイマ・コンペア・レジスタ50 ... 333
CR51	: 8ビット・タイマ・コンペア・レジスタ51 ... 333
CR52	: 8ビット・タイマ・コンペア・レジスタ52 ... 333
CRC00	: キャプチャ/コンペア・コントロール・レジスタ00 ... 255
CSIC10	: シリアル・クロック選択レジスタ10 ... 558
CSIM10	: シリアル動作モード・レジスタ10 ... 556, 561
CSIMA0	: シリアル動作モード指定レジスタ0 ... 578, 586
CSIS0	: シリアル・ステータス・レジスタ0 ... 579
CSIT0	: シリアル・トリガ・レジスタ0 ... 580

[D]

DAY	: 日カウント・レジスタ ... 394
-----	----------------------

[E]

EGN	: 外部割り込み立ち下がりエッジ許可レジスタ ... 757
EGP	: 外部割り込み立ち上がりエッジ許可レジスタ ... 757

[H]

HIOTRM	: 高速内蔵発振トリミング・レジスタ ... 221
HOURL	: 時カウント・レジスタ ... 392

[I]

IF0H	: 割り込み要求フラグ・レジスタ0H ... 744
IF0L	: 割り込み要求フラグ・レジスタ0L ... 744
IF1H	: 割り込み要求フラグ・レジスタ1H ... 744
IF1L	: 割り込み要求フラグ・レジスタ1L ... 744
IMS	: メモリ・サイズ切り替えレジスタ ... 823
INTC	: リモコン受信割り込みステータス・クリア・レジスタ ... 714
INTS	: リモコン受信割り込みステータス・レジスタ ... 713
ISC	: 入力切り替え制御レジスタ ... 261, 342, 522
IXS	: 内部拡張RAMサイズ切り替えレジスタ ... 824

[K]

KRM	: キー・リターン・モード・レジスタ ... 621, 768
-----	---------------------------------

[L]

LCDC0	: LCDクロック制御レジスタ0 ... 617
LCDM	: LCD表示モード・レジスタ ... 615
LCDMD	: LCDモード・レジスタ ... 614
LVIM	: 低電圧検出レジスタ ... 801
LVIS	: 低電圧検出レベル選択レジスタ ... 803

[M]

MC0BIT	: MCG送信ビット数指定レジスタ ... 679
MC0CTL0	: MCGコントロール・レジスタ0 ... 681, 684, 685, 695
MC0CTL1	: MCGコントロール・レジスタ1 ... 682, 686, 696
MC0CTL2	: MCGコントロール・レジスタ2 ... 683, 687, 697
MC0STR	: MCGステータス・レジスタ ... 683
MC0TX	: MCG送信バッファ・レジスタ ... 679
MCM	: メイン・クロック・モード・レジスタ ... 218
MIN	: 分カウント・レジスタ ... 392
MK0H	: 割り込みマスク・フラグ・レジスタ0H ... 749
MK0L	: 割り込みマスク・フラグ・レジスタ0L ... 749
MK1H	: 割り込みマスク・フラグ・レジスタ1H ... 749
MK1L	: 割り込みマスク・フラグ・レジスタ1L ... 749
MOC	: メインOSCコントロール・レジスタ ... 217
MONTH	: 月カウント・レジスタ ... 396

[O]

OSCCTL	: クロック動作モード選択レジスタ ... 213
OSTC	: 発振安定時間カウンタ状態レジスタ ... 219, 771
OSTS	: 発振安定時間選択レジスタ ... 220, 772

[P]

P1	: ポート・レジスタ1 ... 185
P2	: ポート・レジスタ2 ... 185
P3	: ポート・レジスタ3 ... 185
P4	: ポート・レジスタ4 ... 185
P8	: ポート・レジスタ8 ... 185
P9	: ポート・レジスタ9 ... 185
P10	: ポート・レジスタ10 ... 185
P11	: ポート・レジスタ11 ... 185
P12	: ポート・レジスタ12 ... 185
P13	: ポート・レジスタ13 ... 185
P14	: ポート・レジスタ14 ... 185, 626
P15	: ポート・レジスタ15 ... 185, 626
PCC	: プロセッサ・クロック・コントロール・レジスタ ... 215
PF1	: ポート・ファンクション・レジスタ1 ... 193, 487, 525, 559, 584, 618
PF2	: ポート・ファンクション・レジスタ2 ... 194, 619
PFALL	: ポート・ファンクション・レジスタALL ... 195, 620
PM1	: ポート・モード・レジスタ1 ... 181, 423, 488, 526, 560, 585, 622
PM2	: ポート・モード・レジスタ2 ... 181, 436, 463
PM3	: ポート・モード・レジスタ3 ... 181, 263, 344, 366, 399, 423, 690, 700
PM4	: ポート・モード・レジスタ4 ... 181, 344, 623
PM8	: ポート・モード・レジスタ8 ... 181

PM9	: ポート・モード・レジスタ9 ... 181
PM10	: ポート・モード・レジスタ10 ... 181
PM11	: ポート・モード・レジスタ11 ... 181, 527
PM12	: ポート・モード・レジスタ12 ... 181, 804
PM13	: ポート・モード・レジスタ13 ... 181
PM14	: ポート・モード・レジスタ14 ... 181
PM15	: ポート・モード・レジスタ15 ... 181
PR0H	: 優先順位指定フラグ・レジスタ0H ... 753
PR0L	: 優先順位指定フラグ・レジスタ0L ... 753
PR1H	: 優先順位指定フラグ・レジスタ1H ... 753
PR1L	: 優先順位指定フラグ・レジスタ1L ... 753
PRM00	: プリスケアラ・モード・レジスタ00 ... 259
PU1	: ブルアップ抵抗オプション・レジスタ1 ... 189, 624
PU3	: ブルアップ抵抗オプション・レジスタ3 ... 189
PU4	: ブルアップ抵抗オプション・レジスタ4 ... 189, 625
PU8	: ブルアップ抵抗オプション・レジスタ8 ... 189
PU9	: ブルアップ抵抗オプション・レジスタ9 ... 189
PU10	: ブルアップ抵抗オプション・レジスタ10 ... 189
PU11	: ブルアップ抵抗オプション・レジスタ11 ... 189
PU12	: ブルアップ抵抗オプション・レジスタ12 ... 189
PU13	: ブルアップ抵抗オプション・レジスタ13 ... 189
PU14	: ブルアップ抵抗オプション・レジスタ14 ... 189
PU15	: ブルアップ抵抗オプション・レジスタ15 ... 189

[R]

RCM	: 内蔵発振モード・レジスタ ... 217
RESF	: リセット・コントロール・フラグ・レジスタ ... 793
RMCN	: リモコン受信制御レジスタ ... 715
RMDH0L	: リモコン受信DH0Lコンペア・レジスタ ... 710
RMDH0S	: リモコン受信DH0Sコンペア・レジスタ ... 710
RMDH1L	: リモコン受信DH1Lコンペア・レジスタ ... 711
RMDH1S	: リモコン受信DH1Sコンペア・レジスタ ... 711
RMDLL	: リモコン受信DLLコンペア・レジスタ ... 710
RMDLS	: リモコン受信DLSコンペア・レジスタ ... 710
RMDR	: リモコン受信データ・レジスタ ... 707
RMER	: リモコン受信エンド幅選択レジスタ ... 712
RMGPHL	: リモコン受信GPHLコンペア・レジスタ ... 709
RMGPHS	: リモコン受信GPHSコンペア・レジスタ ... 709
RMGPLL	: リモコン受信GPLLコンペア・レジスタ ... 708
RMGPLS	: リモコン受信GPLSコンペア・レジスタ ... 708
RMSCR	: リモコン・シフト・レジスタ受信カウンタ・レジスタ ... 707
RMSR	: リモコン受信シフト・レジスタ ... 706
RSUBC	: サブカウント・レジスタ ... 391

RTCC0	: リアルタイム・カウンタ・コントロール・レジスタ0 ...	387
RTCC1	: リアルタイム・カウンタ・コントロール・レジスタ1 ...	388
RTCC2	: リアルタイム・カウンタ・コントロール・レジスタ2 ...	390
RTCCCL	: リアルタイム・カウンタ・クロック選択レジスタ ...	386
RXB0	: 受信バッファ・レジスタ0 ...	481
RXB6	: 受信バッファ・レジスタ6 ...	512

[S]

SEC	: 秒カウント・レジスタ ...	391
SIO10	: シリアルI/Oシフト・レジスタ10 ...	556
SIOA0	: シリアルI/Oシフト・レジスタ0 ...	577
SOTB10	: 送信バッファ・レジスタ10 ...	556
SUBCUD	: 時計誤差補正レジスタ ...	397

[T]

TCL50	: タイマ・クロック選択レジスタ50 ...	334
TCL51	: タイマ・クロック選択レジスタ51 ...	334
TCL52	: タイマ・クロック選択レジスタ52 ...	334
TM00	: 16ビット・タイマ・カウンタ00 ...	250
TM50	: 8ビット・タイマ・カウンタ50 ...	333
TM51	: 8ビット・タイマ・カウンタ51 ...	333
TM52	: 8ビット・タイマ・カウンタ52 ...	333
TMC00	: 16ビット・タイマ・モード・コントロール・レジスタ00 ...	254
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ...	338
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51 ...	338
TMC52	: 8ビット・タイマ・モード・コントロール・レジスタ52 ...	338
TMCYC1	: 8ビット・タイマHキャリア・コントロール・レジスタ1 ...	366
TMHMD0	: 8ビット・タイマHモード・レジスタ0 ...	360
TMHMD1	: 8ビット・タイマHモード・レジスタ1 ...	360
TMHMD2	: 8ビット・タイマHモード・レジスタ2 ...	360
TOC00	: 16ビット・タイマ出力コントロール・レジスタ00 ...	257
TXB6	: 送信バッファ・レジスタ6 ...	512
TXS0	: 送信シフト・レジスタ0 ...	481

[W]

WDTE	: ウォッチドッグ・タイマ・イネーブル・レジスタ ...	414
WEEK	: 曜日カウント・レジスタ ...	395

[Y]

YEAR	: 年カウント・レジスタ ...	396
------	------------------	-----

付録C 改版履歴

C.1 本版で改訂された主な箇所

(1/4)

箇所	内容						分類
第31章 電気的特性							
p.874	旧規格品のDC特性のため削除						(b)
	項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 出力電流 ^{注1} (製法規格区分:「K」,「E」)	I _{OH1}	P10-P17, P30-P34, P40-P47, P120 1端子	4.0 V V _{DD} 5.5 V			- 3.0	mA
			2.7 V V _{DD} < 4.0 V			- 2.5	mA
			1.8 V V _{DD} < 2.7 V			- 1.0	mA
		P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 1端子	4.0 V V _{DD} 5.5 V			- 0.1	mA
			2.7 V V _{DD} < 4.0 V			- 0.1	mA
			1.8 V V _{DD} < 2.7 V			- 0.1	mA
		P10-P17, P30-P34, P40-P47, P120 合計 ^{注2}	4.0 V V _{DD} 5.5 V			- 20.0	mA
			2.7 V V _{DD} < 4.0 V			- 10.0	mA
			1.8 V V _{DD} < 2.7 V			- 5.0	mA
	P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153 合計 ^{注2}	4.0 V V _{DD} 5.5 V			- 2.8	mA	
		2.7 V V _{DD} < 4.0 V			- 2.8	mA	
		1.8 V V _{DD} < 2.7 V			- 2.8	mA	
	全端子合計 ^{注2}	4.0 V V _{DD} 5.5 V			- 22.8	mA	
		2.7 V V _{DD} < 4.0 V			- 12.8	mA	
1.8 V V _{DD} < 2.7 V				- 7.8	mA		
I _{OH2}	P20-P27 1端子	AV _{REF} = V _{DD}			- 0.1	mA	

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
(d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(3/4)

箇所	内容						分類
第31章 電気的特性							
p.876	旧規格品のDC特性のため削除						(b)
	項目	略号	条件	MIN.	TYP.	MAX.	単位
	ハイ・レベル出力電圧 (製法規格区分:「K」,「E」)	V _{OH1}	P10-P17, P30-P34, P40-P47, P120	4.0 V $V_{DD} \leq 5.5$ V, $I_{OH1} = -3.0$ mA	$V_{DD} - 0.7$		V
				2.7 V $V_{DD} < 4.0$ V, $I_{OH1} = -2.5$ mA	$V_{DD} - 0.5$		V
				1.8 V $V_{DD} < 2.7$ V, $I_{OH1} = -1.0$ mA	$V_{DD} - 0.5$		V
			P80-P83, P90-P93, P100-P103, P110-P113, P130-P133, P140-P143, P150-P153	$I_{OH1} = -0.1$ mA	$V_{DD} - 0.5$		V
		V _{OH2}	P20-P27	$A_{VREF} = V_{DD}$, $I_{OH2} = -0.1$ mA	$V_{DD} - 0.5$		V

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(4/4)

箇所	内容						分類
第31章 電気的特性							
p.877	旧規格品のDC特性のため削除						(b)
	項目	略号	条件	MIN.	TYP.	MAX.	単位
	ロウ・レベル出力 電圧 (製法規格区分： 「K」, 「E」)	VOL1	P10-P17, P30-P34, P40-P47, P120	4.0 V $V_{DD} = 5.5 V$, $I_{OL1} = 8.5 mA$			0.7 V
2.7 V $V_{DD} < 4.0 V$, $I_{OL1} = 5.0 mA$						0.7 V	
1.8 V $V_{DD} < 2.7 V$, $I_{OL1} = 2.0 mA$						0.5 V	
1.8 V $V_{DD} < 2.7 V$, $I_{OL1} = 1.0 mA$						0.5 V	
1.8 V $V_{DD} < 2.7 V$, $I_{OL1} = 0.5 mA$						0.4 V	
			VOL2	P20-P27	$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4 mA$		

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
(d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

78K0/Lx3 ユーザーズマニュアル
ハードウェア編

発行年月日 2009年8月1日 Rev.1.00

2011年2月28日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

78K0/Lx3