

78K0R/Hx3

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは、78K0R/Hx3マイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- ・78K0R/HC3: μ PD78F1031, 78F1032, 78F1033, 78F1034, 78F1035
- ・78K0R/HE3: μ PD78F1036, 78F1037, 78F1038, 78F1039, 78F1040
- ・78K0R/HF3: μ PD78F1041, 78F1042, 78F1043, 78F1044, 78F1045
- ・78K0R/HG3: μ PD78F1046, 78F1047, 78F1048, 78F1049, 78F1050

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0R/Hx3マイクロコントローラのマニュアルは、このマニュアルと命令編（78K0Rマイクロコントローラ共通）の2冊に分かれています。

78K0R/Hx3 ユーザーズ・マニュアル	78K0Rシリーズ ユーザーズ・マニュアル 命令編
<ul style="list-style-type: none">●端子機能●内部ブロック機能●割り込み●その他の内蔵周辺機能●電気的特性	<ul style="list-style-type: none">●CPU機能●命令セット●命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がRA78K0Rでは予約語に、CC78K0Rでは #pragma sfr指令で、sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

→別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編（U17792J）を参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... xxx または xxx B 10進数... xxx 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
78K0R/Hx3 ユーザーズ・マニュアル	このマニュアル	R01UH0260EJ
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	U17792J	U17792E
78K0Rマイクロコントローラ セルフ・プログラミング・ライブラリ Type02 ユーザーズ・マニュアル ^注	U19193J	U19193E

注 この資料は技術管理です。当社販売員にお問い合わせください。

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和 文	英 文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
PM+ Ver.6.30	U18416J	U18416E	
ID78K0R-QB Ver.3.20 統合デバugg	操作編	U17839J	U17839E

開発ツール (ハードウエア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
QB-MINI2 プログラミング機能付きオンチップ・デバugg・エミュレータ	R20UT0449J	R20UT0449E
QB-78K0RFX3 インサーキット・エミュレータ	R20UT0779J	R20UT0779E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ	R02UT0008J	R02UT0008E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文 : <http://japan.renesas.com/products/package/manual/index.jsp>

英文 : <http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサスエレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意 : 本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

目 次

第1章 概 説.....	17
1.1 特 徴.....	17
1.2 応用分野.....	18
1.3 オータ情報.....	18
1.4 端子接続図 (Top View)	19
1.4.1 78K0R/HC3.....	19
1.4.2 78K0R/HE3.....	20
1.4.3 78K0R/HF3.....	21
1.4.4 78K0R/HG3.....	22
1.5 端子名称.....	23
1.6 ブロック図.....	24
1.6.1 78K0R/HC3.....	24
1.6.2 78K0R/HE3.....	25
1.6.3 78K0R/HF3.....	26
1.6.4 78K0R/HG3.....	27
1.7 機能概要.....	28
第2章 端子機能.....	32
2.1 端子機能一覧.....	32
2.1.1 78K0R/HC3.....	33
2.1.2 78K0R/HE3.....	39
2.1.3 78K0R/HF3.....	46
2.1.4 78K0R/HG3.....	53
2.2 端子機能の説明.....	62
2.2.1 P00-P03 (Port 0)	62
2.2.2 P10-P17 (Port 1)	63
2.2.3 P30-P32 (Port 3)	65
2.2.4 P40-P47 (Port 4)	66
2.2.5 P50-P57 (Port 5)	68
2.2.6 P60-P67 (Port 6)	70
2.2.7 P70-P77 (Port 7)	72
2.2.8 P80-P87 (Port 8)	74
2.2.9 P90-P97 (Port 9)	75
2.2.10 P100-P107 (Port 10)	76
2.2.11 P120-P127 (Port 12)	77
2.2.12 P130 (Port 13)	78
2.2.13 P140 (Port 14)	79
2.2.14 P150-P157 (Port 15)	80
2.2.15 AVREF	81
2.2.16 AVSS.....	81
2.2.17 RESET.....	81
2.2.18 REGC.....	81
2.2.19 VDD, EVDD, EVDD0, EVDD1.....	82
2.2.20 VSS, EVSS, EVSS0, EVSS1.....	82
2.2.21 FLMD0	83
2.3 未使用端子の処理.....	84

第3章 CPUアーキテクチャ	91
3.1 メモリ空間	91
3.1.1 内部プログラム・メモリ空間	99
3.1.2 ミラー領域	102
3.1.3 内部データ・メモリ空間	103
3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域	104
3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	104
3.1.6 データ・メモリ・アドレッシング	105
3.2 プロセッサ・レジスタ	110
3.2.1 制御レジスタ	110
3.2.2 汎用レジスタ	112
3.2.3 ES, CSレジスタ	114
3.2.4 特殊機能レジスタ (SFR : Special Function Register)	115
3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	121
3.3 命令アドレスのアドレッシング	135
3.3.1 レラティブ・アドレッシング	135
3.3.2 イミディエイト・アドレッシング	135
3.3.3 テーブル・インダイレクト・アドレッシング	136
3.3.4 レジスタ・ダイレクト・アドレッシング	137
3.4 処理データ・アドレスに対するアドレッシング	138
3.4.1 インプライド・アドレッシング	138
3.4.2 レジスタ・アドレッシング	138
3.4.3 ダイレクト・アドレッシング	139
3.4.4 ショート・ダイレクト・アドレッシング	140
3.4.5 SFRアドレッシング	141
3.4.6 レジスタ・インダイレクト・アドレッシング	142
3.4.7 ベースト・アドレッシング	143
3.4.8 ベースト・インデクスト・アドレッシング	146
3.4.9 スタック・アドレッシング	147
第4章 ポート機能	148
4.1 ポートの機能	148
4.2 ポートの構成	153
4.2.1 ポート0	155
4.2.2 ポート1	159
4.2.3 ポート3	178
4.2.4 ポート4	185
4.2.5 ポート5	195
4.2.6 ポート6	201
4.2.7 ポート7	209
4.2.8 ポート8	219
4.2.9 ポート9	221
4.2.10 ポート10	223
4.2.11 ポート12	225
4.2.12 ポート13	234
4.2.13 ポート14	235
4.2.14 ポート15	237
4.3 ポート機能を制御するレジスタ	243
4.4 ポート機能の動作	263
4.4.1 入出力ポートへの書き込み	263
4.4.2 入出力ポートからの読み出し	263

4.4.3	入出力ポートでの演算	263
4.4.4	異電位（3V系）外部デバイスとの接続方法	264
4.5	兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定	266
4.6	ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項	272
第5章	クロック発生回路	273
5.1	クロック発生回路の機能	273
5.2	クロック発生回路の構成	275
5.3	クロック発生回路を制御するレジスタ	278
5.4	クロック・モニタ	295
5.5	システム・クロック発振回路	297
5.5.1	X1発振回路	297
5.5.2	サブクロック入力回路	300
5.5.3	高速内蔵発振回路	300
5.5.4	PLL回路	300
5.5.5	低速内蔵発振回路	300
5.5.6	プリスケアラ	300
5.6	クロック発生回路の動作	301
5.7	クロックの制御	304
5.7.1	高速システム・クロックの制御例	304
5.7.2	高速内蔵発振クロックの制御例	308
5.7.3	サブクロックの制御例	310
5.7.4	PLLクロックの制御例	311
5.7.5	低速内蔵発振クロックの制御例	313
5.7.6	CPUクロック状態移行図	315
5.7.7	CPUクロックの移行前の条件と移行後の処理	321
5.7.8	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	322
5.7.9	クロック発振停止前の条件	323
第6章	タイマ・アレイ・ユニット	324
6.1	タイマ・アレイ・ユニットの機能	324
6.1.1	単独チャンネルで動作する機能	324
6.1.2	複数チャンネルで動作する機能	326
6.1.3	LIN-bus対応機能（タイマ・アレイ・ユニット1のチャンネル2, 3のみ）	327
6.2	タイマ・アレイ・ユニットの構成	328
6.3	タイマ・アレイ・ユニットを制御するレジスタ	337
6.4	チャンネル出力（TOmn端子）の制御	375
6.4.1	TOmn端子の出力回路の構成	375
6.4.2	TOmn端子の出力設定	377
6.4.3	チャンネル出力操作時の注意事項	378
6.4.4	TOmnビットの一括操作	383
6.4.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	385
6.5	チャンネル入力（TImn端子）の制御	386
6.5.1	TImnエッジ検出回路	386
6.6	タイマ・アレイ・ユニットの基本機能説明	387
6.6.1	単体動作機能と連動動作機能の概要	387
6.6.2	連動動作機能の基本ルール	387
6.6.3	連動動作機能の基本ルールの適用範囲	388
6.7	タイマ・アレイ・ユニットの単独チャンネルでの動作	389
6.7.1	インターバル・タイマ／方形波出力としての動作	389
6.7.2	外部イベント・カウンタとしての動作	394

6.7.3	分周器としての動作	398
6.7.4	入力パルス間隔測定としての動作	402
6.7.5	入力信号のハイ/ロウ・レベル幅測定としての動作	406
6.8	タイマ・アレイ・ユニットの複数チャネルでの動作	410
6.8.1	PWM機能としての動作	410
6.8.2	ワンショット・パルス出力機能としての動作	417
6.8.3	多重PWM出力機能としての動作	424
第7章	16ビット・ウエイクアップ・タイマ	435
7.1	特徴	435
7.2	構成	436
7.3	制御レジスタ	437
7.4	動作	440
7.4.1	インターバル・タイマ・モード	440
7.4.2	注意事項	442
第8章	ウォッチドッグ・タイマ	443
8.1	ウォッチドッグ・タイマの機能	443
8.2	ウォッチドッグ・タイマの構成	444
8.3	ウォッチドッグ・タイマを制御するレジスタ	445
8.4	ウォッチドッグ・タイマの動作	446
8.4.1	ウォッチドッグ・タイマの動作制御	446
8.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	448
8.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	449
8.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	450
第9章	クロック出力制御回路	451
9.1	クロック出力制御回路の機能	451
9.2	クロック出力制御回路の構成	452
9.3	クロック出力制御回路を制御するレジスタ	452
9.4	クロック出力制御回路の動作	455
9.4.1	出力端子の動作	455
第10章	A/Dコンバータ	456
10.1	A/Dコンバータの機能	456
10.2	A/Dコンバータの構成	457
10.3	A/Dコンバータを制御するレジスタ	459
10.4	A/Dコンバータの動作	479
10.4.1	A/Dコンバータの基本動作	479
10.4.2	入力電圧と変換結果	481
10.4.3	トリガ・モードの選択	482
10.4.4	A/Dコンバータの動作モード	484
10.5	A/Dコンバータ特性表の読み方	495
10.6	A/Dコンバータの注意事項	498

第11章	シリアル・アレイ・ユニット	503
11.1	シリアル・アレイ・ユニットの機能	504
11.1.1	3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)	504
11.1.2	UART (UART2)	505
11.1.3	簡易I ² C (IIC11, IIC20)	505
11.2	シリアル・アレイ・ユニットの構成	506
11.3	シリアル・アレイ・ユニットを制御するレジスタ	513
11.4	動作停止モード	537
11.4.1	ユニット単位で動作停止とする場合	537
11.4.2	チャンネルごとに動作停止とする場合	539
11.5	3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信の動作	540
11.5.1	マスタ送信	541
11.5.2	マスタ受信	550
11.5.3	マスタ送受信	559
11.5.4	スレーブ送信	568
11.5.5	スレーブ受信	577
11.5.6	スレーブ送受信	584
11.5.7	転送クロック周波数の算出	593
11.5.8	3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信時における エラー発生時の処理手順	595
11.6	SPI機能 (CSI00, CSI01) の動作	596
11.6.1	マスタ送信	599
11.6.2	マスタ受信	608
11.6.3	マスタ送受信	617
11.6.4	スレーブ送信	626
11.6.5	スレーブ受信	636
11.6.6	スレーブ送受信	643
11.6.7	転送クロック周波数の算出	652
11.6.8	SPI機能 (CSI00, CSI01) 通信時におけるエラー発生時の処理手順	654
11.7	UART通信の動作	655
11.7.1	UART送信	656
11.7.2	UART受信	665
11.7.3	ボー・レートの算出	672
11.7.4	UART通信時におけるエラー発生時の処理手順	676
11.8	簡易I ² C (IIC11, IIC20) 通信の動作	677
11.8.1	アドレス・フィールド送信	678
11.8.2	データ送信	684
11.8.3	データ受信	688
11.8.4	ストップ・コンディション発生	693
11.8.5	転送レートの算出	694
11.9	簡易I ² C (IIC11, IIC20) 通信時におけるエラー発生時の処理手順	697
11.10	レジスタの設定と端子の関係	698
第12章	アシンクロナス・シリアル・インタフェースLIN-UART (UARTF)	707
12.1	特徴	707
12.2	構成	709
12.3	制御レジスタ	711
12.4	割り込み要求信号	740
12.5	動作	742
12.5.1	データ・フォーマット	742
12.5.2	データ送信	744
12.5.3	データ受信	747

12.5.4	BF送信／受信フォーマット	749
12.5.5	BF送信	755
12.5.6	BF受信	757
12.5.7	パリティの種類と動作	760
12.5.8	データー貫性チェック	762
12.5.9	BF受信モード選択機能	766
12.5.10	ステータス割り込み発生要因	771
12.5.11	送信開始ウエイト機能	774
12.6	UARTバッファ・モード	775
12.6.1	UARTバッファ・モード送信	776
12.7	LIN通信オート・ポー・レート・モード	778
12.7.1	オート・ポー・レート設定機能	784
12.7.2	レスポンス準備エラー検出機能	787
12.7.3	IDパリティ・チェック機能	788
12.7.4	オート・チェック・サム機能	789
12.7.5	多バイト・レスポンス送受信機能	791
12.8	拡張ビット・モード	794
12.8.1	拡張ビット・モード送信	794
12.8.2	拡張ビット・モード受信（データ比較なし）	795
12.8.3	拡張ビット・モード受信（データ比較あり）	796
12.9	受信データのノイズ・フィルタ	797
12.10	専用ポー・レート・ジェネレータ	798
12.11	使用上の注意	805
第13章 CANコントローラ		806
13.1	概 要	806
13.1.1	特 徴	806
13.1.2	機能概要	807
13.1.3	構 成	808
13.2	CANプロトコル	810
13.2.1	フレーム・フォーマット	811
13.2.2	フレーム・タイプ	811
13.2.3	データ・フレーム／リモート・フレーム	812
13.2.4	エラー・フレーム	820
13.2.5	オーバロード・フレーム	821
13.3	機 能	822
13.3.1	バス・プライオリティの決定	822
13.3.2	ビット・スタッフ	822
13.3.3	マルチマスタ	822
13.3.4	マルチキャスト	823
13.3.5	CANスリープ・モード／CANストップ・モード機能	823
13.3.6	エラー制御機能	823
13.3.7	ポー・レート制御機能	829
13.4	ターゲット・システムとの接続	834
13.5	CANコントローラの内部レジスタ	835
13.5.1	CANコントローラの構成	835
13.5.2	レジスタ・アクセス・タイプ	837
13.5.3	レジスタのビット構成	846
13.6	ビットのセット／クリア機能	850
13.7	制御レジスタ	852
13.8	CANコントローラの初期化処理	891
13.8.1	CANモジュールの初期化	891
13.8.2	メッセージ・バッファの初期化	891

13. 8. 3	メッセージ・バッファの再定義	892
13. 8. 4	動作モードへの移行	894
13. 8. 5	CANモジュールのエラー・カウンタCERCのリセット	895
13. 9	メッセージ受信	896
13. 9. 1	メッセージ受信	896
13. 9. 2	受信データの読み出し	897
13. 9. 3	受信履歴・リスト機能	898
13. 9. 4	マスク機能	900
13. 9. 5	マルチ・バッファ受信ブロック機能	902
13. 9. 6	リモート・フレーム受信	903
13. 10	メッセージ送信	904
13. 10. 1	メッセージ送信	904
13. 10. 2	送信履歴・リスト機能	906
13. 10. 3	自動ブロック送信機能 (ABT : Automatic Block Transmission)	908
13. 10. 4	送信中断処理	909
13. 10. 5	リモート・フレーム送信	910
13. 11	パワー・セーブ・モード	911
13. 11. 1	CANスリープ・モード	911
13. 11. 2	CANストップ・モード	914
13. 11. 3	パワー・セーブ・モード使用例	915
13. 12	割り込み機能	916
13. 13	診断機能と特殊動作モード	917
13. 13. 1	受信オンリー・モード	917
13. 13. 2	シングル・ショット・モード	918
13. 13. 3	セルフ・テスト・モード	919
13. 13. 4	各動作モードにおける送受信動作	920
13. 14	タイム・スタンプ機能	921
13. 14. 1	タイム・スタンプ機能	921
13. 15	ポー・レート設定について	923
13. 15. 1	ビット・レート設定条件	923
13. 15. 2	代表的なポー・レート設定例	927
13. 16	CANコントローラの動作	931
第14章	乗除算器	957
14. 1	乗除算器の機能	957
14. 2	乗除算器の構成	957
14. 3	乗除算器を制御するレジスタ	962
14. 4	乗除算器の動作	963
14. 4. 1	乗算動作	963
14. 4. 2	除算動作	964
第15章	DMAコントローラ	966
15. 1	DMAコントローラの機能	966
15. 2	DMAコントローラの構成	967
15. 3	DMAコントローラを制御するレジスタ	970
15. 4	DMAコントローラの動作	975
15. 4. 1	動作手順	975
15. 4. 2	転送モード	977
15. 4. 3	DMA転送の終了	977
15. 5	DMAコントローラの設定例	978
15. 5. 1	CSI連続送信	978
15. 5. 2	A/D変換結果の連続取り込み	980

15.5.3	UART連続受信+ACK送信.....	982
15.5.4	DWAITALLによるDMA転送保留.....	984
15.5.5	ソフトウェアでの強制終了.....	985
15.6	DMAコントローラの注意事項.....	986
第16章	割り込み機能.....	989
16.1	割り込み機能の種類.....	989
16.2	割り込み要因と構成.....	990
16.3	割り込み機能を制御するレジスタ.....	996
16.4	割り込み処理動作.....	1012
16.4.1	マスカブル割り込み要求の受け付け動作.....	1012
16.4.2	ソフトウェア割り込み要求の受け付け動作.....	1015
16.4.3	多重割り込み処理.....	1015
16.4.4	割り込み要求の保留.....	1019
第17章	キー割り込み機能.....	1020
17.1	キー割り込みの機能.....	1020
17.2	キー割り込みの構成.....	1021
17.3	キー割り込みを制御するレジスタ.....	1022
第18章	スタンバイ機能.....	1024
18.1	スタンバイ機能と構成.....	1024
18.1.1	スタンバイ機能.....	1024
18.1.2	スタンバイ機能を制御するレジスタ.....	1025
18.2	スタンバイ機能の動作.....	1030
18.2.1	HALTモード.....	1030
18.2.2	STOPモード.....	1035
第19章	リセット機能.....	1041
19.1	リセット要因を確認するレジスタ.....	1053
第20章	パワーオン・クリア回路.....	1056
20.1	パワーオン・クリア回路の機能.....	1056
20.2	パワーオン・クリア回路の構成.....	1057
20.3	パワーオン・クリア回路の動作.....	1057
20.4	パワーオン・クリア回路の注意事項.....	1060
第21章	低電圧検出回路.....	1061
21.1	低電圧検出回路の機能.....	1061
21.2	低電圧検出回路の構成.....	1062
21.3	低電圧検出回路を制御するレジスタ.....	1062
21.4	低電圧検出回路の動作.....	1066
21.4.1	リセットとして使用時の設定.....	1067
21.4.2	割り込みとして使用時の設定.....	1074
21.5	低電圧検出回路の注意事項.....	1081
第22章	レギュレータ.....	1085
22.1	レギュレータの概要.....	1085
22.2	動作.....	1086

第23章	オプション・バイト	1087
23.1	オプション・バイトの機能	1087
23.1.1	ユーザ・オプション・バイト (000C0H-000C2H/020C0H-020C2H)	1087
23.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/020C3H)	1088
23.2	ユーザ・オプション・バイトのフォーマット	1089
23.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1093
23.4	オプション・バイトの設定	1094
第24章	フラッシュ・メモリ	1096
24.1	概要	1097
24.1.1	コード・フラッシュ・メモリの特徴	1097
24.1.2	データ・フラッシュ・メモリの特徴	1098
24.2	フラッシュ・メモリを制御するレジスタ	1099
24.3	データ・フラッシュへのアクセス手順	1101
24.3.1	データ・フラッシュからのリード手順	1101
24.3.2	データ・フラッシュへのプログラミング手順	1101
24.3.3	データ・フラッシュの停止手順	1101
24.4	フラッシュ・メモリ・プログラマによる書き込み方法	1102
24.5	プログラミング環境	1105
24.6	通信方式	1105
24.7	オンボード上の端子処理	1106
24.7.1	FLMD0端子	1106
24.7.2	TOOL0端子	1107
24.7.3	RESET端子	1107
24.7.4	ポート端子	1108
24.7.5	REGC端子	1108
24.7.6	X1, X2端子	1108
24.7.7	電源	1108
24.8	プログラミング方法	1109
24.8.1	コード・フラッシュ・メモリ制御	1109
24.8.2	コード・フラッシュ・メモリ・プログラミング・モード	1110
24.8.3	通信方式	1110
24.8.4	通信コマンド	1111
24.9	セキュリティ設定	1112
24.10	コード・フラッシュ・セルフ・プログラミング	1114
24.10.1	ブート・スワップ機能	1116
24.10.2	フラッシュ・シールド・ウィンドウ機能	1118
24.11	書き込み済み品発注用ROMコードの作成方法	1119
24.11.1	ROMコードの発注手順	1119
第25章	データ保護とセーフティ	1120
25.1	データ保護	1120
25.1.1	不正メモリ・アクセス検出機能	1120
25.2	セーフティ補助機能	1126
第26章	オンチップ・デバッグ機能	1128
26.1	QB-MINI2と78K0R/Hx3の接続	1128
26.2	オンチップ・デバッグ・セキュリティID	1129
26.3	ユーザ資源の確保	1129

第27章	10進補正 (BCD) 回路	1131
27.1	10進補正回路の機能	1131
27.2	10進補正回路で使用するレジスタ	1131
27.3	10進補正回路の動作	1132
第28章	命令セットの概要	1134
28.1	凡例	1135
28.1.1	オペランドの表現形式と記述方法	1135
28.1.2	オペレーション欄の説明	1136
28.1.3	フラグ動作欄の説明	1137
28.1.4	PREFIX命令	1137
28.2	オペレーション一覧	1138
第29章	電気的特性	1155
第30章	外形図	1213
30.1	78K0R/HC3	1213
30.2	78K0R/HE3	1214
30.3	78K0R/HF3	1215
30.4	78K0R/HG3	1216
付録A	開発ツール	1217
A.1	ソフトウェア・パッケージ	1220
A.2	言語処理用ソフトウェア	1220
A.3	制御ソフトウェア	1221
A.4	フラッシュ・メモリ書き込み用ツール	1222
A.4.1	フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合	1222
A.4.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	1222
A.5	デバッグ用ツール (ハードウェア)	1223
A.5.1	インサーキット・エミュレータ QB-78K0RFX3を使用する場合	1223
A.5.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	1225
A.6	デバッグ用ツール (ソフトウェア)	1226
付録B	改版履歴	1227
B.1	本版で改訂された主な箇所	1227
B.2	前版までの改版履歴	1231

第1章 概 説

1.1 特 徴

高速（42 ns：動作周波数24 MHz動作時）から超低速（33 μ s：低速内蔵発振クロック30 kHz動作時）まで最小命令実行時間を変更可能

汎用レジスタ：8ビット×32レジスタ（8ビット×8レジスタ×4バンク）

ROM, RAM容量

ROM	高速	78K0R/HC3	78K0R/HE3	78K0R/HF3	78K0R/HG3
	RAM	48ピン	64ピン	80ピン	100ピン
256 KB	16 KB	μ PD78F1035	μ PD78F1040	μ PD78F1045	μ PD78F1050
192 KB	12 KB	μ PD78F1034	μ PD78F1039	μ PD78F1044	μ PD78F1049
128 KB	8 KB	μ PD78F1033	μ PD78F1038	μ PD78F1043	μ PD78F1048
96 KB	6 KB	μ PD78F1032	μ PD78F1037	μ PD78F1042	μ PD78F1047
64 KB	4 KB	μ PD78F1031	μ PD78F1036	μ PD78F1041	μ PD78F1046

単電源のフラッシュ・メモリ内蔵（チップ消去／ブロック消去／書き込み禁止機能あり）

セルフ・プログラミング機能対応（ブート・スワップ／フラッシュ・シールド・ウインドウ機能あり）

データ保護機能（不正メモリ・アクセス検出機能あり）

セーフティ機能（特定レジスタ保護機能／意図しないウォッチドッグ・タイマのオーバフロー防止機能あり）

オンチップ・デバッグ機能内蔵

パワーオン・クリア（POC）回路，低電圧検出（LVI）回路内蔵

ウォッチドッグ・タイマ（低速内蔵発振クロックで動作可能）内蔵

乗除算器（16ビット×16ビット，32ビット÷32ビット）内蔵，キー割り込み機能，クロック出力制御回路，10進補正（BCD）回路内蔵，I/Oポート，タイマ・アレイ・ユニット，シリアル・アレイ・ユニット，LIN-UART，CANコントローラを内蔵

10ビット分解能A/Dコンバータ（ $AV_{REF} = 2.7 \sim 5.5$ V）

電源電圧： $V_{DD} = 2.7 \sim 5.5$ V

○動作周囲温度： $T_A = -40 \sim +85$

注意 78K0R/Hx3には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

備考 製品により，搭載している機能が異なります。1.6 ブロック図，1.7 機能概要を参照してください。

1.2 応用分野

- 産業機器
- OA機器
- 家電製品
- AV機器

1.3 オーダ情報

【オーダ名称一覧】

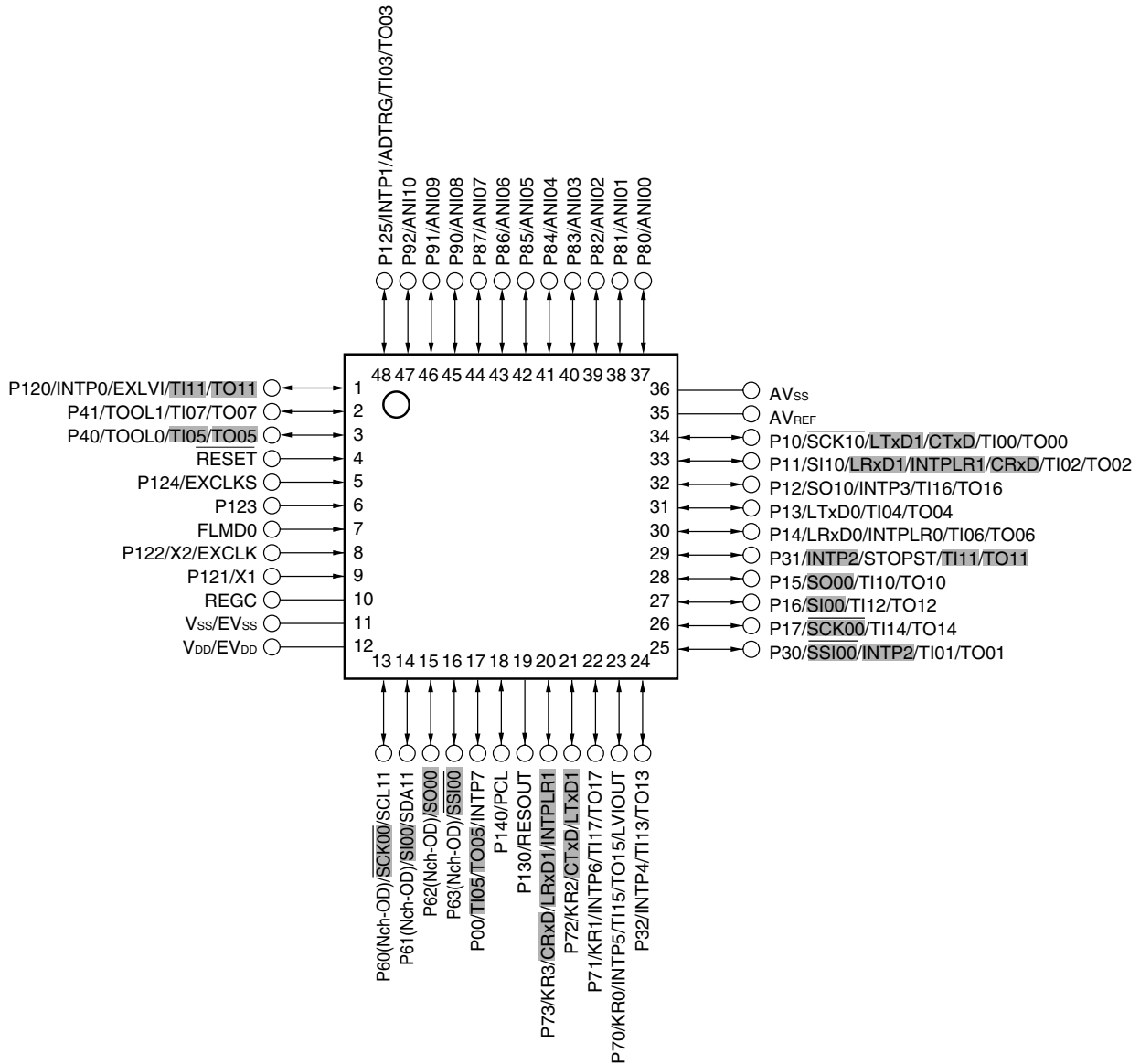
78K0R/Hx3 マイクロ ントローラ	パッケージ	オーダ名称
78K0R/HC3	48ピン・プラスチックLQFP (ファインピッチ) (7x7)	μ PD78F1031GA-GAM-AX, 78F1032GA-GAM-AX, 78F1033GA-GAM-AX, 78F1034GA-GAM-AX, 78F1035GA-GAM-AX
78K0R/HE3	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	μ PD78F1036GB-GAH-AX, 78F1037GB-GAH-AX, 78F1038GB-GAH-AX, 78F1039GB-GAH-AX, 78F1040GB-GAH-AX
78K0R/HF3	80ピン・プラスチックLQFP (ファインピッチ) (12x12)	μ PD78F1041GK-GAK-AX, 78F1042GK-GAK-AX, 78F1043GK-GAK-AX, 78F1044GK-GAK-AX, 78F1045GK-GAK-AX
78K0R/HG3	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	μ PD78F1046GC-UEU-AX, 78F1047GC-UEU-AX, 78F1048GC-UEU-AX, 78F1049GC-UEU-AX, 78F1050GC-UEU-AX

注意 78K0R/Hx3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.4 端子接続図 (Top View)

1.4.1 78K0R/HC3

・48ピン・プラスチックLQFP (ファインピッチ) (7x7)



注意 1. AV_{ss}, EV_{ss}端子はV_{ss}と同電位にしてください。

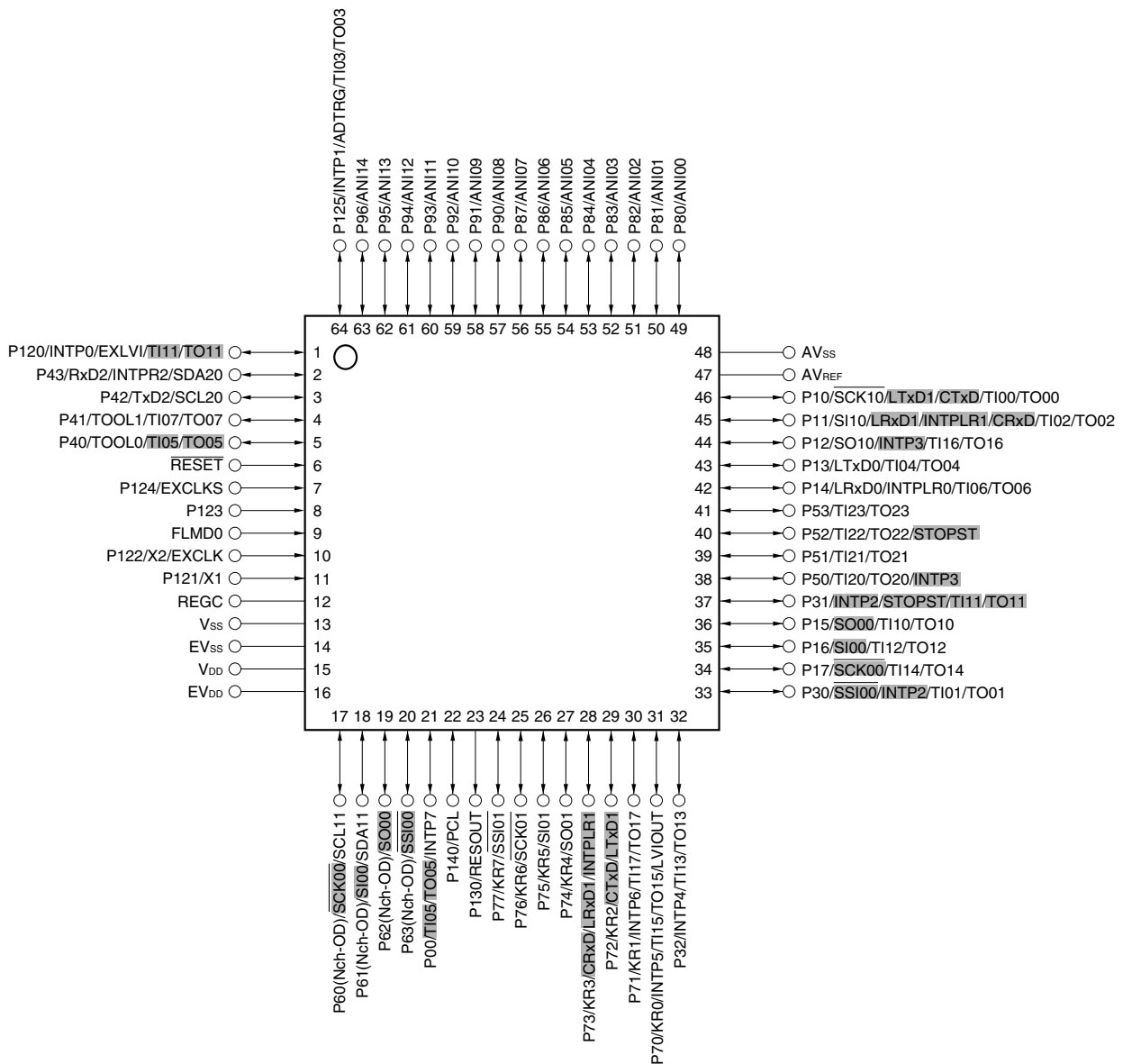
2. REGCはコンデンサ (0.47~1 μF) を介し、V_{ss}に接続してください。

3. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

4. P80/ANI00-P87/ANI07, P90/ANI08-P92/ANI10は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P80/ANI00, ..., P87/ANI07, P90/ANI08, ..., P92/ANI10の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P80/ANI00から設計してください (詳細は、10.3 (8) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

1.4.2 78K0R/HE3

・64ピン・プラスチックLQFP（ファインピッチ）（10x10）



注意 1. AV_{ss}, EV_{ss}端子は、V_{ss}と同電位にしてください。

2. EV_{dd}は、V_{dd}と同電位にしてください。

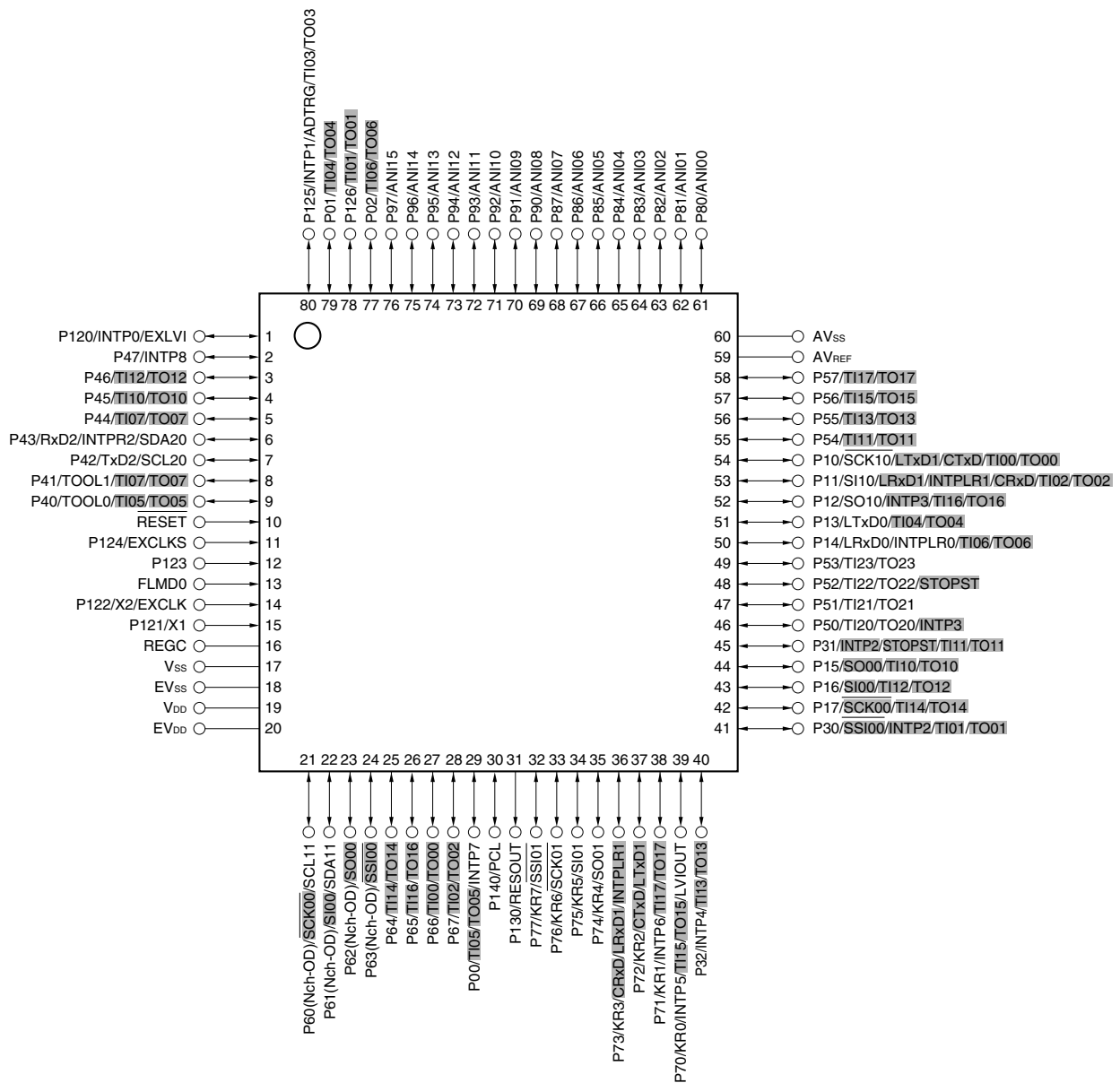
3. REGCはコンデンサ（0.47～1 μF）を介し、V_{ss}に接続してください。

4. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

5. P80/ANI00-P87/ANI07, P90/ANI08-P96/ANI14は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）により、P80/ANI00, ..., P87/ANI07, P90/ANI08, ..., P96/ANI14の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P80/ANI00から設計してください（詳細は、10.3 (8) A/Dポート・コンフィギュレーション・レジスタ（ADPC）参照）。

1.4.3 78K0R/HF3

・ 80ピン・プラスチックLQFP（ファインピッチ）（12x12）



注意 1. AVss, EVss端子は, Vssと同電位にしてください。

2. EVDDは, VDDと同電位にしてください。

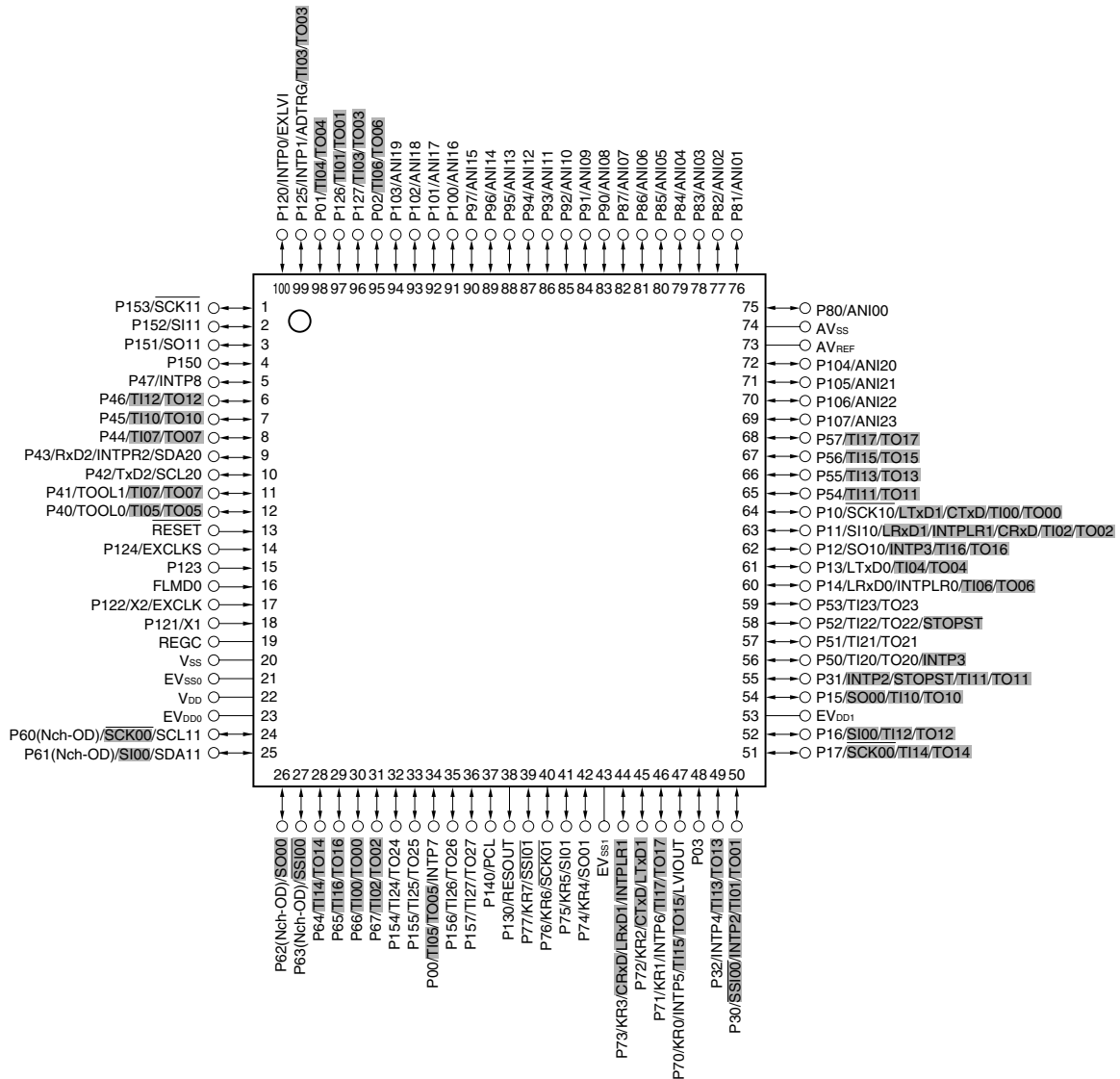
3. REGCはコンデンサ (0.47~1 μ F) を介し, Vssに接続してください。

4. で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

5. P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P80/ANI00, ..., P87/ANI07, P90/ANI08, ..., P97/ANI15の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P80/ANI00から設計してください (詳細は, 10.3 (8) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

1.4.4 78K0R/HG3

- ・ 100ピン・プラスチックLQFP（ファインピッチ）（14x14）



- 注意 1. AV_{SS}, EV_{SS0}, EV_{SS1}端子は、V_{SS}と同電位にしてください。
2. EV_{DD0}, EV_{DD1}は、V_{DD}と同電位にしてください。
3. REGCはコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。
4. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。
5. P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15, P100/ANI16-P107/ANI23は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）により、P80/ANI00,...,P87/ANI07, P90/ANI08,...,P97/ANI15, P100/ANI16,...,P107/ANI23の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P80/ANI00から設計してください（詳細は、10.3（8）A/Dポート・コンフィギュレーション・レジスタ（ADPC）参照）。

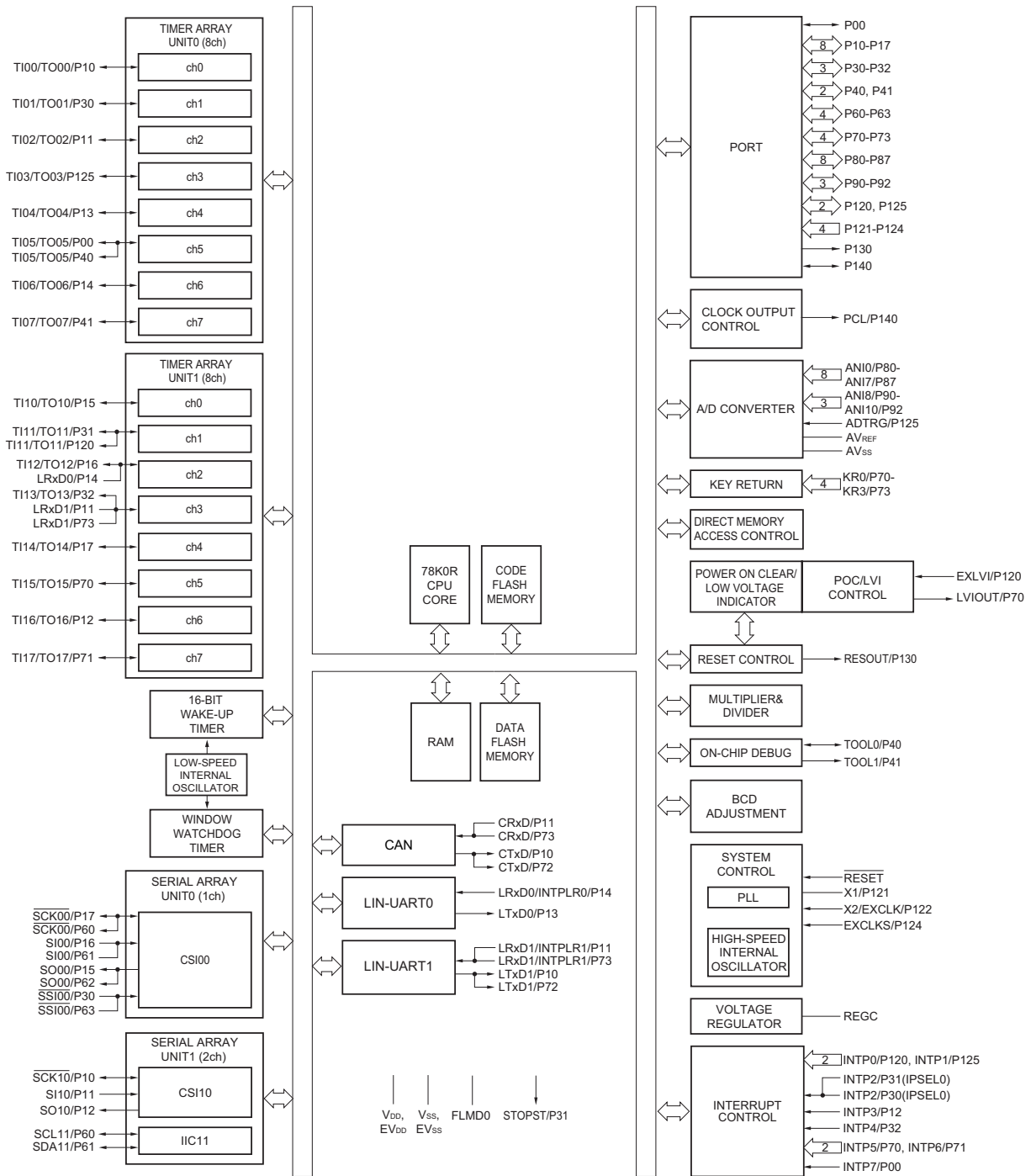
備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}と2つのEV_{DD}に個別の電源を供給し、V_{SS}と2つのEV_{SS}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

1.5 端子名称

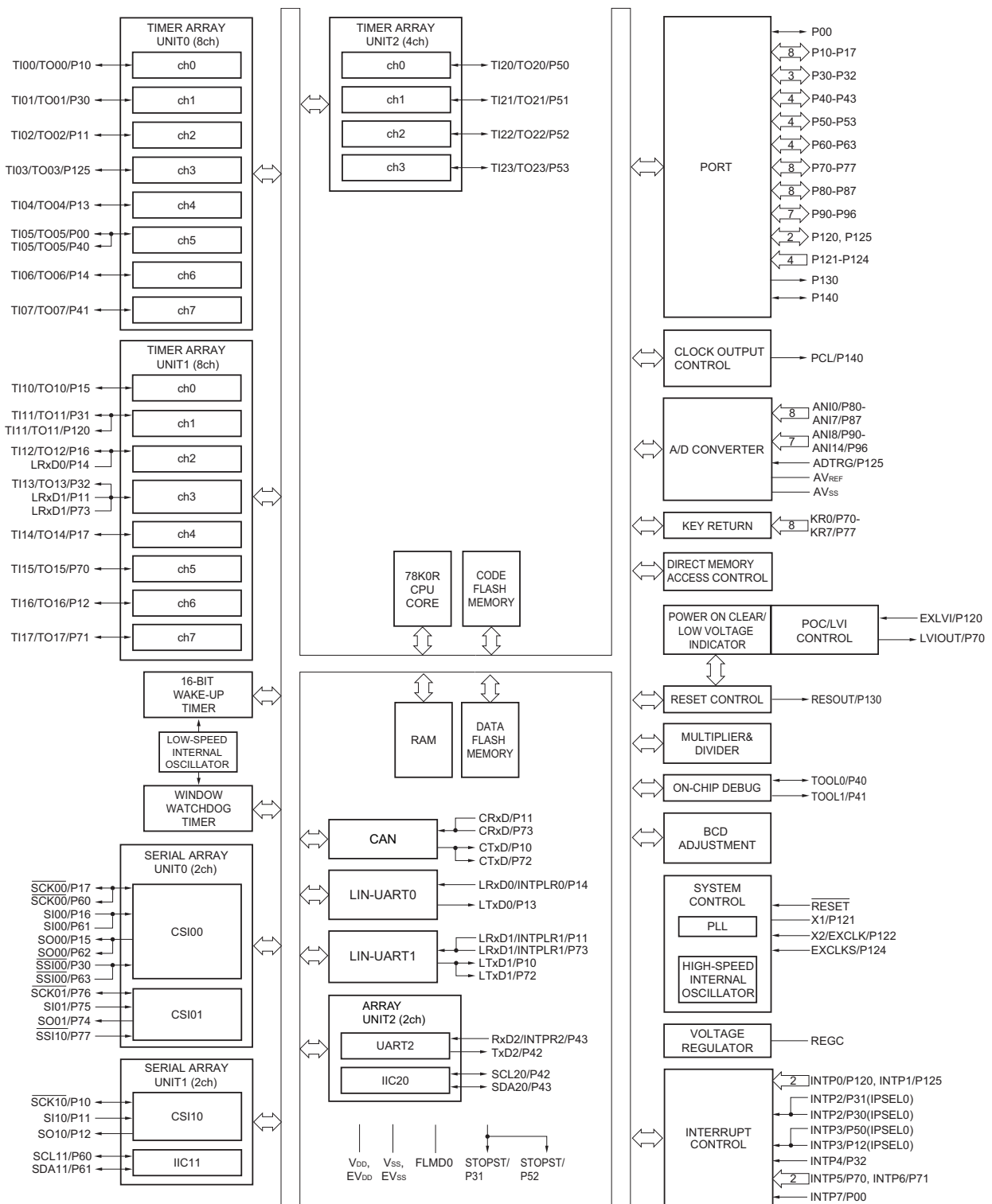
ANI0-ANI23	: Analog Input	P100-P107	: Port 10
ADTRG	: AD Trigger	P120-P127	: Port 12
AV _{REF}	: Analog Reference Voltage	P130	: Port 13
AV _{SS}	: Analog Ground	P140	: Port 14
CTxD	: Transmit data for CAN	P150-P157	: Port 15
CRxD	: Receive data for CAN	PCL	: Programmable Clock Output
EV _{DD} , EV _{DD0} , EV _{DD1}	: Power Supply for Port	REGC	: Regulator Capacitance
EV _{SS} , EV _{SS0} , EV _{SS1}	: Ground for Port	$\overline{\text{RESET}}$: Reset
EXCLK	: External Clock Input (Main System Clock)	RESOUT	: RESET Output
EXCLKS	: External Clock Input (Sub-clock)	RxD2	: Receive Data
EXLVI	: External potential Input for Low-voltage detector	$\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$: Serial Clock Input/Output
FLMD0	: Flash Programming Mode	SCL11, SCL20	: Serial Clock Input/Output
INTP0-INTP8	: External Interrupt Input	SDA11, SDA20	: Serial Data Input/Output
INTPLR0, INTPLR1	: External Interrupt Input for LIN-UART	SI00, SI01, SI10, SI11	: Serial Data Input
INTPR2	: External Interrupt Input for UART2	SO00, SO01, SO10, SO11	: Serial Data Output
KR0-KR7	: Key Return	$\overline{\text{SSI00}}$, $\overline{\text{SSI01}}$: Serial Interface Chip Select Input
LRxD	: Receive Data for LIN-UART	STOPST	: STOP Status Output
LTxD	: Transmit Data for LIN-UART	TI00-TI07, TI10-TI17,	: Timer Input
LVIOUT	: Low-Voltage Detection Flag Output	TI20-TI27	
P00-P03	: Port 0	TO00-TO07, TO10-TO17, TO20-TO27	: Timer Output
P10-P17	: Port 1	TOOL0	: Data Input/Output for Tool
P30-P32	: Port 3	TOOL1	: Clock Output for Tool
P40-P47	: Port 4	TxD2	: Transmit Data
P50-P57	: Port 5	V _{DD}	: Power Supply
P60-P67	: Port 6	V _{SS}	: Ground
P70-P77	: Port 7	X1, X2	: Crystal Oscillator (Main System Clock)
P80-P87	: Port 8		
P90-P97	: Port 9		

1.6 ブロック図

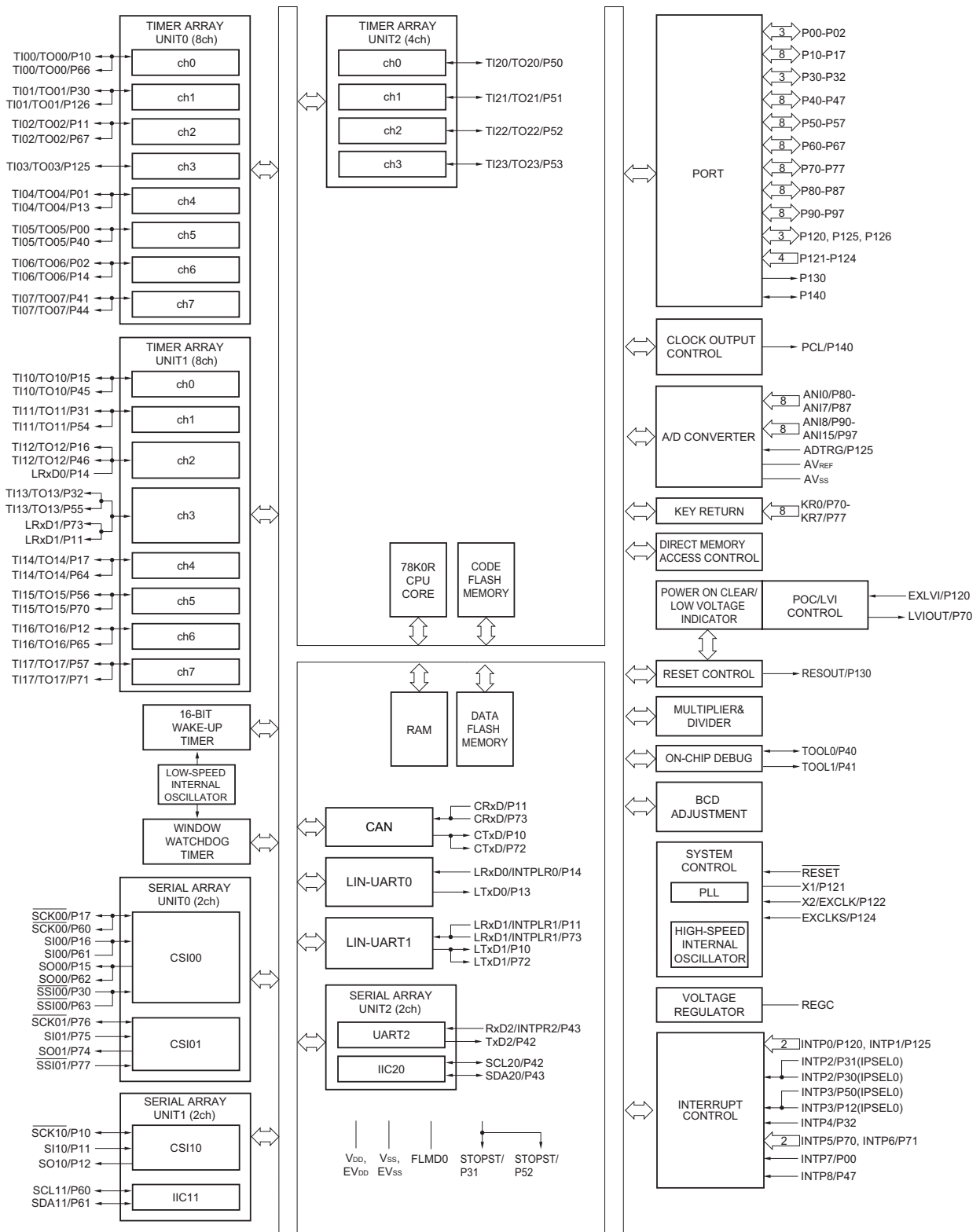
1.6.1 78K0R/HC3



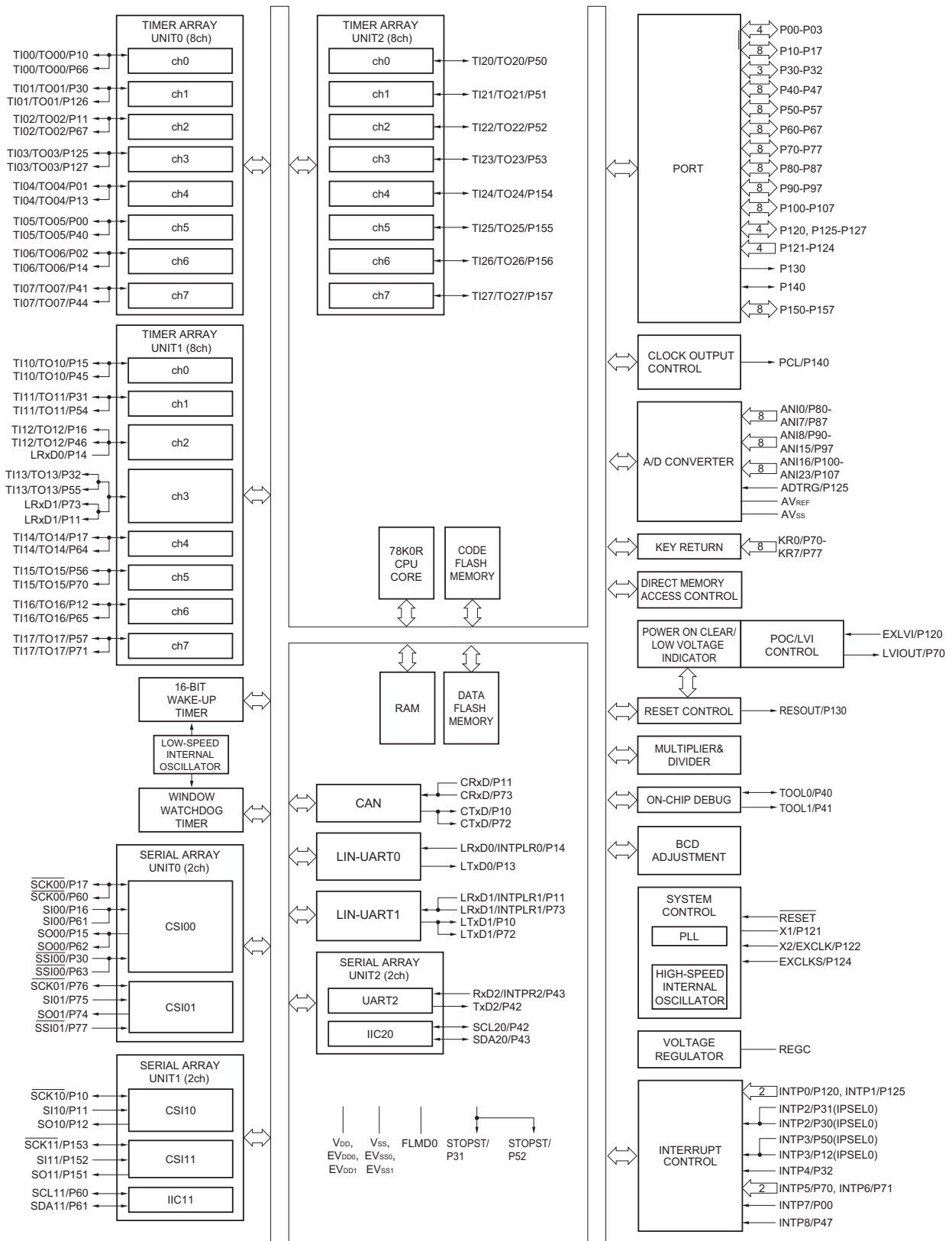
1.6.2 78K0R/HE3



1.6.3 78K0R/HF3



1.6.4 78K0R/HG3



1.7 機能概要

(1/4)

品 名		78K0R/Hx3				
		μ PD78F1031	μ PD78F1032	μ PD78F1033	μ PD78F1034	μ PD78F1035
コード・フラッシュ・メモリ		64 Kバイト	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト
データ・フラッシュ・メモリ		16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト
高速RAM		4 Kバイト	6 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト
レギュレータ		内蔵				
クロック	動作周波数	2~24 MHz : $V_{DD} = 2.7\sim 5.5$ V				
	高速システム	2~20 MHz : $V_{DD} = 2.7\sim 5.5$ V				
	高速内蔵発振	4, 8 MHz (TYP.) : $V_{DD} = 2.7\sim 5.5$ V				
	PLL発振	×1, ×6, ×8				
	低速内蔵発振	30 kHz (TYP.) : $V_{DD} = 2.7\sim 5.5$ V				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		42 ns (24 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 50 ns (20 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 0.1 μ s (10 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 0.2 μ s (5 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 33 μ s (30 kHz : 低速内蔵発振器使用時)				
命令セット		<ul style="list-style-type: none"> ・8ビット演算, 16ビット演算 ・ビット操作 (セット, リセット, テスト, ブール演算) など 				
ポート		合計 : 41本 CMOS入出力 : 32本 CMOS入力 : 4本 CMOS出力 : 1本 N-chオープン・ドレイン入出力 (6 V耐圧) : 4本				
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ : 16 ch ・ウォッチドッグ・タイマ : 1 ch ・16ビット・ウエイクアップ・タイマ : 1 ch 				
	タイマ出力	16本 (PWM出力 : タイマ・アレイ・ユニット0は7本, タイマ・アレイ・ユニット1は7本)				
クロック出力		あり				
A/Dコンバータ		10ビット分解能×11チャンネル				
シリアル・インタフェース		<ul style="list-style-type: none"> ・CSI : 1チャンネル (SPI対応) ・CSI : 1チャンネル ・簡易I²C : 1チャンネル ・LIN-UART : 2チャンネル ・CANコントローラ : 1チャンネル 				
乗除算器		16ビット×16ビット = 32ビット, 32ビット÷32ビット = 32ビット 剰余32ビット				
DMAコントローラ		4チャンネル				
割り込み	外部	10				
	内部	40				
キー割り込み		キー入力端子 (KR0-KR3) の立ち下がリエッジ検出により, キー割り込み (INTKR) 発生				
リセット		<ul style="list-style-type: none"> ・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・クロック・モニタによる内部リセット ・不正メモリ・アクセスによる内部リセット ・パワーオン・クリアによる内部リセット ・低電圧検出回路による内部リセット ・不正命令による内部リセット^注 				
オンチップ・デバッグ機能		あり				
電源電圧		$V_{DD} = 2.7\sim 5.5$ V				
動作周囲温度		$T_A = -40\sim +85$				
パッケージ		48ピン・プラスチックLQFP (ファインピッチ) (7×7)				

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは, インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

(2/4)

品 名		78K0R/HE3				
		μ PD78F1036	μ PD78F1037	μ PD78F1038	μ PD78F1039	μ PD78F1040
コード・フラッシュ・メモリ		64 Kバイト	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト
データ・フラッシュ・メモリ		16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト
高速RAM		4 Kバイト	6 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト
レギュレータ		内蔵				
ク ロ ク ク	メ イン	動作周波数	2~24 MHz : V _{DD} = 2.7~5.5 V			
		高速システム	2~20 MHz : V _{DD} = 2.7~5.5 V			
		高速内蔵発振	4, 8 MHz (TYP.) : V _{DD} = 2.7~5.5 V			
	PLL発振	×1, ×6, ×8				
	低速内蔵発振	30 kHz (TYP.) : V _{DD} = 2.7~5.5 V				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		42 ns (24 MHz : V _{DD} = 2.7~5.5 V) / 50 ns (20 MHz : V _{DD} = 2.7~5.5 V) / 0.1 μs (10 MHz : V _{DD} = 2.7~5.5 V) / 0.2 μs (5 MHz : V _{DD} = 2.7~5.5 V) / 33 μs (30 kHz : 低速内蔵発振器使用時)				
命令セット		<ul style="list-style-type: none"> ・8ビット演算, 16ビット演算 ・ビット操作 (セット, リセット, テスト, ブール演算) など 				
ポート		合計 : 55本 CMOS入出力 : 46本 CMOS入力 : 4本 CMOS出力 : 1本 N-chオープン・ドレイン入出力 (6 V耐圧) : 4本				
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ : 20 ch ・ウォッチドッグ・タイマ : 1 ch ・16ビット・ウエイクアップ・タイマ : 1 ch 				
	タイマ出力	20本 (PWM出力 : タイマ・アレイ・ユニット0は7本, タイマ・アレイ・ユニット1は7本, タイマ・アレイ・ユニット2は3本)				
クロック出力		あり				
A/Dコンバータ		10ビット分解能×15チャンネル				
シリアル・インタフェース		<ul style="list-style-type: none"> ・CSI : 2チャンネル (SPI対応) ・CSI : 1チャンネル ・簡易I²C : 1チャンネル ・UART : 1チャンネル / 簡易I²C : 1チャンネル 		<ul style="list-style-type: none"> ・LIN-UART : 2チャンネル ・CANコントローラ : 1チャンネル 		
乗除算器		16ビット×16ビット = 32ビット, 32ビット÷32ビット = 32ビット 剰余32ビット				
DMAコントローラ		4チャンネル				
割り込み	外部	11				
	内部	47				
キー割り込み		キー入力端子 (KR0-KR7) の立ち下がリエッジ検出により, キー割り込み (INTKR) 発生				
リセット		<ul style="list-style-type: none"> ・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・クロック・モニタによる内部リセット ・不正メモリ・アクセスによる内部リセット ・パワーオン・クリアによる内部リセット ・低電圧検出回路による内部リセット ・不正命令による内部リセット^注 				
オンチップ・デバッグ機能		あり				
電源電圧		V _{DD} = 2.7~5.5 V				
動作周囲温度		T _A = -40~+85				
パッケージ		64ピン・プラスチックLQFP (ファインピッチ) (10×10)				

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは, インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

(4/4)

品 名		78K0R/HG3				
		μ PD78F1046	μ PD78F1047	μ PD78F1048	μ PD78F1049	μ PD78F1050
コード・フラッシュ・メモリ		64 Kバイト	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト
データ・フラッシュ・メモリ		16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト	16 Kバイト
高速RAM		4 Kバイト	6 Kバイト	8 Kバイト	12 Kバイト	16 Kバイト
レギュレータ		内蔵				
クロック	メイン	動作周波数	2~24 MHz : $V_{DD} = 2.7\sim 5.5$ V			
		高速システム	2~20 MHz : $V_{DD} = 2.7\sim 5.5$ V			
		高速内蔵発振	4, 8 MHz (TYP.) : $V_{DD} = 2.7\sim 5.5$ V			
	PLL発振	×1, ×6, ×8				
	低速内蔵発振	30 kHz (TYP.) : $V_{DD} = 2.7\sim 5.5$ V				
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)				
最小命令実行時間		42 ns (24 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 50 ns (20 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 0.1 μ s (10 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 0.2 μ s (5 MHz : $V_{DD} = 2.7\sim 5.5$ V) / 33 μ s (30 kHz : 低速内蔵発振器使用時)				
命令セット		・ 8ビット演算, 16ビット演算 ・ ビット操作 (セット, リセット, テスト, ブール演算) など				
ポート		合計 : 89本 CMOS入出力 : 80本 CMOS入力 : 4本 CMOS出力 : 1本 N-chオープン・ドレイン入出力 (6 V耐圧) : 4本				
タイマ		・ 16ビット・タイマ : 24 ch ・ ウォッチドッグ・タイマ : 1 ch ・ 16ビット・ウエイクアップ・タイマ : 1 ch				
	タイマ出力	24本 (PWM出力 : タイマ・アレイ・ユニット0は7本, タイマ・アレイ・ユニット1は7本, タイマ・アレイ・ユニット2は7本)				
クロック出力		あり				
A/Dコンバータ		10ビット分解能×24チャンネル				
シリアル・インタフェース		・ CSI : 2チャンネル (SPI対応) ・ LIN-UART : 2チャンネル ・ CSI : 1チャンネル ・ CANコントローラ : 1チャンネル ・ CSI : 1チャンネル / 簡易 I^2C : 1チャンネル ・ UART : 1チャンネル / 簡易 I^2C : 1チャンネル				
乗除算器		16ビット×16ビット = 32ビット, 32ビット÷32ビット = 32ビット 剰余32ビット				
DMAコントローラ		4チャンネル				
割り込み	外部	12				
	内部	49				
キー割り込み		キー入力端子 (KR0-KR7) の立ち下がりエッジ検出により, キー割り込み (INTKR) 発生				
リセット		・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ クロック・モニタによる内部リセット ・ 不正メモリ・アクセスによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット ・ 不正命令による内部リセット ^注				
オンチップ・デバッグ機能		あり				
電源電圧		$V_{DD} = 2.7\sim 5.5$ V				
動作周囲温度		$T_A = -40\sim +85$				
パッケージ		100ピン・プラスチックLQFP (ファインピッチ) (14×14)				

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは, インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源 (AV_{REF}, EV_{DD}, V_{DD})

- ・ 78K0R/HC3: 48ピン・プラスチックLQFP (ファインピッチ) (7x7)
- ・ 78K0R/HE3: 64ピン・プラスチックLQFP (ファインピッチ) (10x10)
- ・ 78K0R/HF3: 80ピン・プラスチックLQFP (ファインピッチ) (12x12)

電 源	対応する端子
AV _{REF}	P80-P87, P90-P97
EV _{DD}	P80-P87, P90-P97, P121-P124以外のポート端子
V _{DD}	・ P121-P124 ・ ポート以外の端子

表2-2 各端子の入出力バッファ電源 (AV_{REF}, EV_{DD0}, EV_{DD1}, V_{DD})

- ・ 78K0R/HG3: 100ピン・プラスチックLQFP (ファインピッチ) (14x14)

電 源	対応する端子
AV _{REF}	P80-P87, P90-P97, P100-P107
EV _{DD0} , EV _{DD1}	P80-P87, P90-P97, P100-P107, P121-P124以外のポート端子
V _{DD}	・ P121-P124 ・ ポート以外の端子

2.1.1 78K0R/HC3

(1) ポート機能 (1/2) : 78K0R/HC3

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP7/TI05/TO05
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00/SCK10/TO00/ LTxD1/CTxD
P11				TI02/SI10/LRxD1/ INTPLR1/TO02/ CRxD
P12				INTP3/TI16/SO10/ TO16
P13				TI04/LTxD0/TO04
P14				TI06/LRxD0/ INTPLR0/TO06
P15				TI10/SO00/TO10
P16				TI12/SI00/TO12
P17				TI14/SCK00/TO14
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/SSI00/TI01/ TO01
P31				INTP2/TI11/ STOPST/TO11
P32				INTP4/TI13/TO13
P40	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0/TI05/TO05
P41				TOOL1/TI07/TO07
P60	入出力	ポート6。 4ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6V耐圧）。 P60, P61, P63の入力はTTL入力バッファに設定可能 ^注 。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCL11
P61				SI00/SDA11
P62				SO00
P63				SSI00
P70	入出力	ポート7。 4ビット入出力ポート。 P73の入力はTTL入力バッファに設定可能 ^注 。 P72の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能 ^注 。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/KR0/TI15/ TO15/LVIOU
P71				INTP6/KR1/TI17/ TO17
P72				KR2/CTxD/LTxD1
P73				KR3/CRxD / LRxD1/INTPLR1

注 詳細は、4.4.4 異電位（3V系）外部デバイスとの接続方法を参照してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(1) ポート機能 (2/2) : 78K0R/HC3

機能名称	入出力	機 能	リセット時	兼用機能
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI00-ANI07
P90-P92	入出力	ポート9。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI08-ANI10
P120	入出力	ポート12。 2ビット入出力ポートと4ビット入力ポート。	入力ポート	INTP0/EXLVI/TI11/ TO11
P121	入力	1ビット単位で入力／出力の指定可能。 P120, P125のみ、ソフトウェアの設定により、内蔵プルアップ 抵抗を使用可能。		X1
P122				X2/EXCLK
P123				—
P124				EXCLKS
P125	入出力			INTP1/ADTRG/ TI03/TO03
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	RESOUT
P140	入出力	ポート14。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	PCL

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (1/4) : 78K0R/HC3

機能名称	入出力	機能	リセット時	兼用機能
ANI00-ANI10	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P80-P87, P90-P92
ADTRG	入力	ADコンバータ外部トリガ入力	入力ポート	P125/INTP1/TI03/ TO03
CRxD	入力	CANのシリアル・データ入力	入力ポート	P11/SI10/LRxD1/ INTPLR1/TI02/ TO02, P73/KR3/LRxD1/ INTPLR1
CTxD	出力	CANのシリアル・データ出力	入力ポート	P10/SCK10/LTxD1/ TI00/TO00, P72/KR2/LTxD1
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0/TI11/ TO11
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI/TI11/ TO11
INTP1				P125/ADTRG/TI03/ TO03
INTP2				P30/SSI00/TI01/ TO01, P31/STOPST/TI11/ TO11
INTP3				P12/SO10/TI16/ TO16
INTP4				P32/TI13/TO13
INTP5				P70/KR0/TI15/ TO15/LVIOU
INTP6				P71/KR1/TI17/ TO17
INTP7				P00/TI05/TO05
INTPLR0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART0外部割り込み要求入力	入力ポート	P14/LRxD0/TI06/ TO06
INTPLR1	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART1外部割り込み要求入力	入力ポート	P11/TI02/SI10/ LRxD1/CRxD/ TO02, P73/KR3/CRxD/ LRxD1

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (2/4) : 78K0R/HC3

機能名称	入出力	機 能	リセット時	兼用機能
KR0	入力	キー割り込み入力	入力ポート	P70/INTP5/TI15/ TO15/LVIOU
KR1				P71/INTP6/TI17/ TO17
KR2				P72/CTxD/LTxD1
KR3				P73/CRxD/ LRxD1/INTPLR1
LRxD0	入力	LIN-UART0のシリアル・データ入力	入力ポート	P14/INTPLR0/TI06/ TO06
LRxD1	入力	LIN-UART1のシリアル・データ入力	入力ポート	P11/TI02/SI10/ INTPLR1/CRxD/ TO02, P73/CRxD/KR3/ INTPLR1
LTxD0	出力	LIN-UART0のシリアル・データ出力	入力ポート	P13/TI04/TO04
LTxD1	出力	LIN-UART1のシリアル・データ出力	入力ポート	P10/SCK10/CTxD/TI0 0/TO00, P72/CTxD/KR2
LVIOU	出力	低電圧検出フラグ出力	入力ポート	P70/INTP5/KR0/TI15/ TO15
PCL	出力	クロック出力	出力ポート	P140
REGC	—	内部動作用レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RESOUT	出力	リセット出力	出力ポート	P130
SCK00	入出力	CSI00, CSI10のクロック入力/出力	入力ポート	P17/TI14/TO14, P60/SCL11
SCK10				P10/LTxD1/CTxD/ TI00/TO00
SCL11	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P60/SCK00
SDA11	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P61/SI00
SI00	入力	CSI00, CSI10のシリアル・データ入力	入力ポート	P16/TI12/TO12, P61/SDA11
SI10				P11/LRxD1/CRxD/ INTPLR1/TI02/ TO02
SO00	出力	CSI00, CSI10のシリアル・データ出力	入力ポート	P15/TI10/TO10, P62
SO10				P12/INTP3/TI16/ TO16

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (3/4) : 78K0R/HC3

機能名称	入出力	機能	リセット時	兼用機能
SSI00	入力	CSI00のチップ・セレクト入力	入力ポート	P30/INTP2/TI01/ TO01, P63
STOPST	出力	STOPステータス出力	入力ポート	P31/INTP2/TI11/ TO11
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P10/SCK10/LTxD1/ CTxD/TO00
TI01		16ビット・タイマ01への外部カウント・クロック入力		P30/SSI00/INTP2/ TO01
TI02		16ビット・タイマ02への外部カウント・クロック入力		P11/SI10/LRxD1/ CRxD/INTPLR1/ TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P125/INTP1/ ADTRG/TO03
TI04		16ビット・タイマ04への外部カウント・クロック入力		P13/LTxD0/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P40/TOOL0/TO05, P00/INTP7/TO05
TI06		16ビット・タイマ06への外部カウント・クロック入力		P14/LRxD0/ INTPLR0/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P41/TOOL1/TO07
TI10		16ビット・タイマ10への外部カウント・クロック入力		P15/SO00/TO10
TI11		16ビット・タイマ11への外部カウント・クロック入力		P31/INTP2/ STOPST/TO11, P120/INTP0/ EXLVI/TO11
TI12		16ビット・タイマ12への外部カウント・クロック入力		P16/SI00/TO12
TI13		16ビット・タイマ13への外部カウント・クロック入力		P32/INTP4/TO13
TI14		16ビット・タイマ14への外部カウント・クロック入力		P17/SCK00/TO14
TI15		16ビット・タイマ15への外部カウント・クロック入力		P70/KR0/INTP5/ TO15/LVIOUT
TI16		16ビット・タイマ16への外部カウント・クロック入力		P12/SO10/INTP3/ TO16
TI17		16ビット・タイマ17への外部カウント・クロック入力		P71/KR1/INTP6/ TO17
TO00		出力		16ビット・タイマ00出力
TO01	16ビット・タイマ01出力		P30/SSI00/INTP2/ TI01	
TO02	16ビット・タイマ02出力		P11/SI10/LRxD1/ CRxD/INTPLR1/ TI02	

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (4/4) : 78K0R/HC3

機能名称	入出力	機能	リセット時	兼用機能
TO03	出力	16ビット・タイマ03出力	入力ポート	P125/INTP1/ ADTRG/TI03
TO04		16ビット・タイマ04出力		P13/LTxD0/TI04
TO05		16ビット・タイマ05出力		P40/TOOL0/TI05, P00/INTP7/TI05
TO06		16ビット・タイマ06出力		P14/LRxD0/ INTPLR0/TI06
TO07		16ビット・タイマ07出力		P41/TOOL1/TI07
TO10		16ビット・タイマ10出力		P15/SO00/TI10
TO11		16ビット・タイマ11出力		P31/INTP2/ STOPST/TI11, P120/INTP0/ EXLVI/TI11
TO12		16ビット・タイマ12出力		P16/SI00/TI12
TO13		16ビット・タイマ13出力		P32/INTP4/TI13
TO14		16ビット・タイマ14出力		P17/SCK00/TI14
TO15		16ビット・タイマ15出力		P70/KR0/INTP5/ TI15/LVIOU
TO16		16ビット・タイマ16出力		P12/SO10/INTP3/ TI16
TO17		16ビット・タイマ17出力		P71/KR1/INTP6/ TI17
TOOL0		入出力		フラッシュ・メモリ・プログラマ/デバッグ用データ入出力
TOOL1	出力	デバッグ用クロック出力	入力ポート	P41/TI07/TO07
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	—		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
EXCLKS	入力	サブクロック用外部クロック入力	入力ポート	P124
V _{DD}	—	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{DD}	—	ポート部 (P80-P87, P90-P92, P121-P124以外), RESET端子, FLMD0端子の正電源。	—	—
AV _{REF}	—	・ A/Dコンバータの基準電圧入力 ・ P80-P87, P90-P92, A/Dコンバータの正電源	—	—
V _{SS}	—	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{SS}	—	ポート部 (P80-P87, P90-P92, P121-P124以外), RESET端子, FLMD0端子のグランド電位。	—	—
AV _{SS}	—	A/Dコンバータ, P80-P87, P90-P92のグランド電位。V _{SS} , EV _{SS} と同電位にしてください。	—	—

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.1.2 78K0R/HE3

(1) ポート機能 (1/2) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP7/TI05/TO05
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00/SCK10/TO00/ LTxD1/CTxD
P11				TI02/SI10/LRxD1/ INTPLR1/TO02/ CRxD
P12				INTP3/TI16/SO10/ TO16
P13				TI04/LTxD0/TO04
P14				TI06/LRxD0/ INTPLR0/TO06
P15				TI10/SO00/TO10
P16				TI12/SI00/TO12
P17				TI14/SCK00/TO14
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/SSI00/TI01/ TO01
P31				INTP2/TI11/ STOPST/TO11
P32				INTP4/TI13/TO13
P40	入出力	ポート4。 4ビット入出力ポート。 P42, P43の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に 設定可能 ^注 。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0/TI05/TO05
P41				TOOL1/TI07/TO07
P42				TxD2/SCL20
P43				RxD2/SDA20/ INTPR2
P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/TI20/TO20
P51				TI21/TO21
P52				TI22/STOPST/ TO22
P53				TI23/TO23
P60	入出力	ポート6。 4ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力 (6V耐圧)。 P60, P61, P63の入力はTTLバッファに設定可能 ^注 。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCL11
P61				SI00/SDA11
P62				SO00
P63				SSI00

注 詳細は、4.4.4 異電位 (3V系) 外部デバイスとの接続方法を参照してください。

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(1) ポート機能 (2/2) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
P70	入出力	ポート7。 8ビット入出力ポート。 P73, P75-P77の入力はTTLバッファに設定可能 ^注 。 P72, P74, P76の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能 ^注 。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/KR0/TI15/ TO15/LVIOU _T
P71				INTP6/KR1/TI17/ TO17
P72				KR2/CTxD/LTx _{D1}
P73				KR3/CRxD/ LRxD1/INTPLR1
P74				KR4/SO01
P75				KR5/SI01
P76				KR6/SCK01
P77				KR7/SSI01
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力 ポート	ANI00-ANI07
P90-P96	入出力	ポート9。 7ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力 ポート	ANI08-ANI14
P120	入出力	ポート12。 2ビット入出力ポートと4ビット入力ポート。 1ビット単位で入力/出力の指定可能。 P120, 125のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI/TI11/ TO11
P121	入力			X1
P122				X2/EXCLK
P123				—
P124				EXCLKS
P125	入出力			INTP1/ADTRG/ TI03/TO03
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	RESOUT
P140	入出力	ポート14。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	PCL

注 詳細は、4.4.4 異電位 (3V系) 外部デバイスとの接続方法を参照してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (1/5) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
ANI00-ANI14	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P80-P87, P90-P96
ADTRG	入力	ADコンバータ外部トリガ入力	入力ポート	P125/INTP1/TI03/ TO03
CRxD	入力	CANのシリアル・データ入力	入力ポート	P11/SI10/LRxD1/ INTPLR1/TI02/ TO02, P73/KR3/LRxD1/ INTPLR1
CTxD	出力	CANのシリアル・データ出力	入力ポート	P10/SCK10/LTxD1/ TI00/TO00, P72/KR2/LTxD1
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0/TI11/ TO11
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI/TI11/ TO11
INTP1				P125/ADTRG/TI03/ TO03
INTP2				P30/SSI00/TI01/ TO01, P31/STOPST/TI11/ TO11
INTP3				P12/SO10/TI16/ TO16, P50/TI20/TO20
INTP4				P32/TI13/TO13
INTP5				P70/KR0/TI15/ TO15/LVIOU
INTP6				P71/KR1/TI17/ TO17
INTP7				P00/TI05/TO05
INTPLR0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART0外部割り込み要求入力	入力ポート	P14/LRxD0/TI06/ TO06
INTPLR1	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART1外部割り込み要求入力	入力ポート	P11/TI02/SI10/ CRxD/LRxD1/ TO02, P73/KR3/CRxD/ LRxD1
INTPR2	入力	UART2外部割り込み要求入力	入力ポート	P43/RxD2/SDA20

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (2/5) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
KR0	入力	キー割り込み入力	入力ポート	P70/INTP5/TI15/ TO15/LVIOU
KR1				P71/INTP6/TI17/ TO17
KR2				P72/CTxD/ LTxD1
KR3				P73/CRxD/ LRxD1/INTPLR1
KR4				P74/SO01
KR5				P75/SI01
KR6				P76/SCK01
KR7				P77/SSI01
LRxD0	入力	LIN-UART0のシリアル・データ入力	入力ポート	P14/INTPLR0/TI06/ TO06
LRxD1	入力	LIN-UART1のシリアル・データ入力	入力ポート	P11/TI02/SI10/ CRxD/INTPLR1/ TO02, P73/CRxD/KR3/ INTPLR1
LTxD0	出力	LIN-UART0のシリアル・データ出力	入力ポート	P13/TI04/TO04
LTxD1	出力	LIN-UART1のシリアル・データ出力	入力ポート	P10/TI00/SCK10/ CTxD/TO00, P72/CTxD/KR2
LVIOU	出力	低電圧検出フラグ出力	入力ポート	P70/INTP5/KR0/TI 15/TO15
PCL	出力	クロック出力	出力ポート	P140
REGC	—	内部動作用レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RESOUT	出力	リセット出力	出力ポート	P130
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P43/INTPR2/ SDA20
SCK00	入出力	CSI00, CSI01, CSI10のクロック入力/出力	入力ポート	P17/TI14/TO14, P60/SCL11
SCK01				P76/KR6
SCK10				P10/LTxD1/ CTxD/ TI00/TO00
SCL11	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P60/SCK00
SCL20				P42/TxD2

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (3/5) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
SDA11	入出力	簡易 ² Cのシリアル・データ入出力	入力ポート	P61/SI00
SDA20				P43/RxD2/ INTPR2
SI00	入力	CSI00, CSI01, CSI10のシリアル・データ入力	入力ポート	P16/TI12/TO12, P61/SDA11
SI01				P75/KR5
SI10				P11/LRxD1/ CRxD/INTPLR1/ TI02/TO02
SO00	出力	CSI00, CSI01, CSI10のシリアル・データ出力	入力ポート	P15/TI10/TO10, P62
SO01				P74/KR4
SO10				P12/INTP3/TI16/ TO16
SSI00	入力	CSI00, CSI01のチップ・セレクト入力	入力ポート	P30/INTP2/TI01/ TO01, P63
SSI01				P77/KR7
STOPST	出力	STOPステータス出力	入力ポート	P31/INTP2/TI11/ TO11, P52/TI22/TO22
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P10/SCK10/LTxD1/ CTxD/TO00
TI01		16ビット・タイマ01への外部カウント・クロック入力		P30/SSI00/INTP2/ TO01
TI02		16ビット・タイマ02への外部カウント・クロック入力		P11/SI10/LRxD1/ CRxD/INTPLR1/ TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P125/INTP1/ ADTRG/TO03
TI04		16ビット・タイマ04への外部カウント・クロック入力		P13/LTxD0/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P40/TOOL0/TO05, P00/INTP7/TO05
TI06		16ビット・タイマ06への外部カウント・クロック入力		P14/LRxD0/ INTPLR0/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P41/TOOL1/TO07
TI10		16ビット・タイマ10への外部カウント・クロック入力		P15/SO00/TO10
TI11		16ビット・タイマ11への外部カウント・クロック入力		P31/INTP2/ STOPST/TO11, P120/INTP0/ EXLVI/TO11

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (4/5) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
TI12	入力	16ビット・タイマ12への外部カウント・クロック入力	入力ポート	P16/SI00/TO12
TI13		16ビット・タイマ13への外部カウント・クロック入力		P32/INTP4/TO13
TI14		16ビット・タイマ14への外部カウント・クロック入力		P17/SCK00/TO14
TI15		16ビット・タイマ15への外部カウント・クロック入力		P70/KR0/INTP5/ TO15/LVIOU
TI16		16ビット・タイマ16への外部カウント・クロック入力		P12/SO10/INTP3/ TO16
TI17		16ビット・タイマ17への外部カウント・クロック入力		P71/KR1/INTP6/ TO17
TI20		16ビット・タイマ20への外部カウント・クロック入力		P50/TO20/INTP3
TI21		16ビット・タイマ21への外部カウント・クロック入力		P51/TO21
TI22		16ビット・タイマ22への外部カウント・クロック入力		P52/TO22/STOPS T
TI23		16ビット・タイマ23への外部カウント・クロック入力		P53/TO23
TO00		出力		16ビット・タイマ00出力
TO01	16ビット・タイマ01出力		P30/SSI00/INTP2/ TI01	
TO02	16ビット・タイマ02出力		P11/SI10/LRxD1/ CRxD/INTPLR1/ TI02	
TO03	16ビット・タイマ03出力		P125/INTP1/ ADTRG/TI03	
TO04	16ビット・タイマ04出力		P13/LTxD0/TI04	
TO05	16ビット・タイマ05出力		P40/TOOL0/TI05, P00/INTP7/TI05	
TO06	16ビット・タイマ06出力		P14/LRxD0/ INTPLR0/TI06	
TO07	16ビット・タイマ07出力		P41/TOOL1/TI07	
TO10	16ビット・タイマ10出力		P15/SO00/TI10	
TO11	16ビット・タイマ11出力		P31/INTP2/ STOPST/TI11, P120/INTP0/ EXLVI/TI11	
TO12	16ビット・タイマ12出力		P16/SI00/TI12	
TO13	16ビット・タイマ13出力		P32/INTP4/TI13	
TO14	16ビット・タイマ14出力		P17/SCK00/TI14	
TO15	16ビット・タイマ15出力		P70/KR0/INTP5/ TI15/LVIOU	
TO16	16ビット・タイマ16出力		P12/SO10/INTP3/ TI16	

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (5/5) : 78K0R/HE3

機能名称	入出力	機能	リセット時	兼用機能
TO17	出力	16ビット・タイマ17出力	入力ポート	P71/KR1/INTP6/ TI17
TO20		16ビット・タイマ20出力		P50/TI20/INTP3
TO21		16ビット・タイマ21出力		P51/TI21
TO22		16ビット・タイマ22出力		P52/TI22/STOPST
TO23		16ビット・タイマ23出力		P53/TI23
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	入力ポート	P40/TI05/TO05
TOOL1	出力	デバッグ用クロック出力	入力ポート	P41/TI07/TO07
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P42/SCL20
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	—		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
EXCLKS	入力	サブクロック用外部クロック入力	入力ポート	P124
V _{DD}	—	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{DD}	—	ポート部 (P80-P87, P90-P96, P121-P124以外), RESET端子, FLMD0端子の正電源。V _{DD} と同電位にしてください。	—	—
AV _{REF}	—	・ A/Dコンバータの基準電圧入力 ・ P80-P87, P90-P96, A/Dコンバータの正電源	—	—
V _{SS}	—	グラウンド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{SS}	—	ポート部 (P80-P87, P90-P96, P121-P124以外), RESET端子, FLMD0端子のグラウンド電位。V _{SS} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータ, P80-P87, P90-P96のグラウンド電位。V _{SS} , EV _{SS} と同電位にしてください。	—	—

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.1.3 78K0R/HF3

(1) ポート機能 (1/2) : 78K0R/HF3

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP7/TI05/TO05
P01				TI04/TO04
P02				TI06/TO06
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00/SCK10/TO00/ LTxD1/CTxD
P11				TI02/SI10/LRxD1/ CRxD/INTPLR1/ TO02
P12				INTP3/TI16/SO10/ TO16
P13				TI04/LTxD0/TO04
P14				TI06/LRxD0/ INTPLR0/TO06
P15				TI10/SO00/TO10
P16				TI12/SI00/TO12
P17				TI14/SCK00/TO14
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/SS100/TI01/ TO01
P31				INTP2/TI11/ STOPST/TO11
P32				INTP4/TI13/TO13
P40	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P42, P43の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に 設定可能 ^注 。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0/TI05/TO05
P41				TOOL1/TI07/TO07
P42				TxD2/SCL20
P43				RxD2/SDA20/ INTPR2
P44				TI07/TO07
P45				TI10/TO10
P46				TI12/TO12
P47				INTP8
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/TI20/TO20
P51				TI21/TO21
P52				TI22/STOPST/ TO22
P53				TI23/TO23
P54				TI11/TO11
P55				TI13/TO13
P56				TI15/TO15
P57				TI17/TO17

注 詳細は、4.4.4 異電位 (3V系) 外部デバイスとの接続方法を参照してください。

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(1) ポート機能 (2/2) : 78K0R/HF3

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 8ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力／出力の指定可能。 P60, P61, P63の入力はTTLバッファに設定可能 ^注 。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCL11
P61				SI00/SDA11
P62				SO00
P63				SSI00
P64				TI14/TO14
P65				TI16/TO16
P66				TI00/TO00
P67				TI02/TO02
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P73, P75-P77の入力はTTLバッファに設定可能 ^注 。 P72, P74, P76の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能 ^注 。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/KR0/TI15/ TO15/LVIOUT
P71				INTP6/KR1/TI17/ TO17
P72				KR2/CTxD/LTxD1
P73				KR3/CRxD/ LRxD1/INTPLR1
P74				KR4/SO01
P75				KR5/SI01
P76				KR6/SCK01
P77				KR7/SSI01
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI00-ANI07
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI08-ANI15
P120	入出力	ポート12。 3ビット入出力ポートの4ビットの入力ポート。 1ビット単位で入力／出力の指定可能。 P120, P125, P126のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122	入力			X2/EXCLK
P123	入力			—
P124	入力			EXCLKS
P125	入出力			INTP1/ADTRG/ TI03/TO03
P126	入出力			TI01/TO01
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	RESOUT
P140	入出力	ポート14。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	PCL

注 詳細は、4.4.4 異電位（3V系）外部デバイスとの接続方法を参照してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (1/5) : 78K0R/HF3

機能名称	入出力	機能	リセット時	兼用機能
ANI00-ANI15	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P80-P87, P90-P97
ADTRG	入力	ADコンバータ外部トリガ入力	入力ポート	P125/INTP1/TI03/ TO03
CRxD	入力	CANのシリアル・データ入力	入力ポート	P11/TI02/SI10/ LRxD1/INTPLR1/ TO02, P73/KR3/LRxD1/ INTPLR1
CTxD	出力	CANのシリアル・データ出力	入力ポート	P10/TI00/SCK10/ LTxD1/TO00, P72/KR2/LTxD1
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P125/ADTRG/TI03/ TO03
INTP2				P30/SSI00/TI01/ TO01, P31/STOPST/TI11/ TO11
INTP3				P12/SO10/TI16/ TO16, P50/TI20/ TO20
INTP4				P32/TI13/TO13
INTP5				P70/KR0/TI15/ TO15/LVIOU
INTP6				P71/KR1/TI17/ TO17
INTP7				P00/TI05/TO05
INTP8				P47
INTPLR0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART0外部割り込み要求入力	入力ポート	P14/LRxD0/TI06/ TO06
INTPLR1	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART1外部割り込み要求入力	入力ポート	P11/TI02/SI10/ LRxD1/CRxD/ TO02, P73/KR3/CRxD/ LRxD1
INTPR2	入力	UART2外部割り込み要求入力	入力ポート	P43/RxD2/SDA20

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (2/5) : 78K0R/HF3

機能名称	入出力	機能	リセット時	兼用機能
KR0	入力	キー割り込み入力	入力ポート	P70/INTP5/TI15/ TO15/LVIOU
KR1				P71/INTP6/TI17/ TO17
KR2				P72/CTxD/LTxD1
KR3				P73/CRxD/ LRxD1/INTPLR1
KR4				P74/SO01
KR5				P75/SI01
KR6				P76/SCK01
KR7				P77/SSI01
LRxD0	入力	LIN-UART0のシリアル・データ入力	入力ポート	P14/INTPLR0/TI06/ TO06
LRxD1	入力	LIN-UART1のシリアル・データ入力	入力ポート	P11/ TI02/SI10/ INTPLR1/CRxD/ TO02, P73/CRxD/KR3/ INTPLR1
LTxD0	出力	LIN-UART0のシリアル・データ出力	入力ポート	P13/TI04/TO04
LTxD1	出力	LIN-UART1のシリアル・データ出力	入力ポート	P10/TI00/SCK10/ CTxD/TO00, P72/CTxD/KR2
LVIOU	出力	低電圧検出フラグ出力	入力ポート	P70/INTP5/KR0/ TI15/TO15
PCL	出力	クロック出力	出力ポート	P140
REGC	—	内部動作レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RESOUT	出力	リセット出力	出力ポート	P130
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P43/INTPR2/ SDA20
SCK00	入出力	CSI00, CSI01, CSI10のクロック入力/出力	入力ポート	P17/TI14/TO14, P60/SCL11
SCK01				P76/KR6
SCK10				P10/LTxD1/CTxD/ TI00/TO00
SCL11	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P60/SCK00
SCL20				P42/TxD2
SDA11	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P61/SI00
SDA20				P43/RxD2/INTPR2

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (3/5) : 78K0R/HF3

機能名称	入出力	機 能	リセット時	兼用機能
SI00	入力	CSI00, CSI01, CSI10のシリアル・データ入力	入力ポート	P16/TI12/TO12, P61/SDA11
SI01				P75/KR5
SI10				P11/LRxD1/ INTPLR1/CRxD/ TI02/TO02
SO00	出力	CSI00, CSI01, CSI10のシリアル・データ出力	入力ポート	P15/TI10/TO10, P62
SO01				P74/KR4
SO10				P12/INTP3/TI16/ TO16
SSI00	入力	CSI00, CSI01のチップ・セレクト入力	入力ポート	P30/INTP2/TI01/ TO01, P63
SSI01				P77/KR7
STOPST	出力	STOPステータス出力	入力ポート	P31/INTP2/TI11/ TO11, P52/TI22/TO22
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P10/SCK10/LTxD1/ CTxD/TO00, P66/TO00
TI01		16ビット・タイマ01への外部カウント・クロック入力		P30/SSI00/INTP2/ TO01, P126/TO01
TI02		16ビット・タイマ02への外部カウント・クロック入力		P11/SI10/LRxD1/ INTPLR1/CRxD/ TO02, P67/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P125/INTP1/ ADTRG/TO03
TI04		16ビット・タイマ04への外部カウント・クロック入力		P13/LTxD0/TO04, P01/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P40/TOOL0/TO05, P00/INTP7/TO05
TI06		16ビット・タイマ06への外部カウント・クロック入力		P14/LRxD0/ INTPLR0/TO06, P02/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P41/TOOL1/TO07, P44/TO07
TI10		16ビット・タイマ10への外部カウント・クロック入力		P15/SO00/TO10, P45/TO10
TI11		16ビット・タイマ11への外部カウント・クロック入力		P31/INTP2/ STOPST/TO11, P54/TO11

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (4/5) : 78K0R/HF3

機能名称	入出力	機能	リセット時	兼用機能
T112	入力	16ビット・タイマ12への外部カウント・クロック入力	入力ポート	P16/SI00/TO12, P46/TO12
T113		16ビット・タイマ13への外部カウント・クロック入力		P32/INTP4/TO13, P55/T13
T114		16ビット・タイマ14への外部カウント・クロック入力		P17/SCK00/TO14, P64/TO14
T115		16ビット・タイマ15への外部カウント・クロック入力		P70/KR0/INTP5/ TO15/LVIOU, P56/TO15
T116		16ビット・タイマ16への外部カウント・クロック入力		P12/SO10/INTP3/ TO16, P65/TO16
T117		16ビット・タイマ17への外部カウント・クロック入力		P71/KR1/INTP6/ TO17, P57/TO17
T120		16ビット・タイマ20への外部カウント・クロック入力		P50/TO20/INTP3
T121		16ビット・タイマ21への外部カウント・クロック入力		P51/TO21
T122		16ビット・タイマ22への外部カウント・クロック入力		P52/TO22/STOPS T
T123		16ビット・タイマ23への外部カウント・クロック入力		P53/TO23
TO00	出力	16ビット・タイマ00出力	入力ポート	P10/SCK10/LTxD1/ CTxD/TI00, P66/TI00
TO01		16ビット・タイマ01出力		P30/SSI00/INTP2/ TI01, P126/TI01
TO02		16ビット・タイマ02出力		P11/SI10/LRxD1/ CRxD/INTPLR1/ TI02, P67/TI02
TO03		16ビット・タイマ03出力		P125/INTP1/ ADTRG/TI03
TO04		16ビット・タイマ04出力		P13/LTxD0/TI04, P01/TI04
TO05		16ビット・タイマ05出力		P40/TOOL0/TI05, P00/INTP7/TI05
TO06		16ビット・タイマ06出力		P14/LRxD0/ INTPLR0/TI06, P02/TI06
TO07		16ビット・タイマ07出力		P41/TOOL1/TI07, P44/TI07
TO10		16ビット・タイマ10出力		P15/SO00/TI10, P45/TI10
TO11		16ビット・タイマ11出力		P31/INTP2/ STOPST/TI11, P54/TI11

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (5/5) : 78K0R/HF3

機能名称	入出力	機能	リセット時	兼用機能
TO12	出力	16ビット・タイマ12出力	入力ポート	P16/SI00/TI12, P46/TI12
TO13		16ビット・タイマ13出力		P32/INTP4/TI13, P55/TI13
TO14		16ビット・タイマ14出力		P17/SCK00/TI14, P64/TI14
TO15		16ビット・タイマ15出力		P70/KR0/INTP5/ TI15/LVIOUOUT, P56/TI15
TO16		16ビット・タイマ16出力		P12/SO10/INTP3/ TI16, P65/TI16
TO17		16ビット・タイマ17出力		P71/KR1/INTP6/ TI17, P57/TI17
TO20		16ビット・タイマ20出力		P50/TI20/INTP3
TO21		16ビット・タイマ21出力		P51/TI21
TO22		16ビット・タイマ22出力		P52/TI22/STOPST
TO23		16ビット・タイマ23出力		P53/TI23
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	入力ポート	P40/TI05/TO05
TOOL1	出力	デバッグ用クロック出力	入力ポート	P41/TI07/TO07
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P42/SCL20
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	—		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
EXCLKS	入力	サブクロック用外部クロック入力	入力ポート	P124
V _{DD}	—	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{DD}	—	ポート部 (P80-P87, P90-P97, P121-P124以外), RESET端子, FLMD0端子の正電源。V _{DD} と同電位にしてください。	—	—
AV _{REF}	—	・ A/Dコンバータの基準電圧入力 ・ P80-P87, P90-P97, A/Dコンバータの正電源	—	—
V _{SS}	—	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{SS}	—	ポート部 (P80-P87, P90-P97, P121-P124以外), RESET端子, FLMD0端子のグランド電位。V _{SS} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータ, P80-P87, P90-P97のグランド電位。V _{SS} , EV _{SS} と同電位にしてください。	—	—

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.1.4 78K0R/HG3

(1) ポート機能 (1/3) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP7/TI05/TO05
P01				TI04/TO04
P02				TI06/TO06
P03				—
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00/SCK10/TO00/ CTxD/LTxD1
P11				TI02/SI10/LRxD1/ INTPLR1/CRxD/ TO02
P12				INTP3/TI16/SO10/ TO16
P13				TI04/LTxD0/TO04
P14				TI06/LRxD0/ INTPLR0/TO06
P15				TI10/SO00/TO10
P16				TI12/SI00/TO12
P17				TI14/SCK00/TO14
P30	入出力	ポート3。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/SSI00/TI01/ TO01
P31				INTP2/TI11/ STOPST/TO11
P32				INTP4/TI13/TO13
P40	入出力	ポート4。 8ビット入出力ポート。 P42, P43の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に 設定可能 ^注 。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0/TI05/TO05
P41				TOOL1/TI07/TO07
P42				TxD2/SCL20
P43				RxD2/SDA20/ INTPR2
P44				TI07/TO07
P45				TI10/TO10
P46				TI12/TO12
P47				INTP8

注 詳細は、4.4.4 異電位 (3V系) 外部デバイスとの接続方法を参照してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(1) ポート機能 (2/3) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/TI20/TO20
P51				TI21/TO21
P52				TI22/STOPST/ TO22
P53				TI23/TO23
P54				TI11/TO11
P55				TI13/TO13
P56				TI15/TO15
P57				TI17/TO17
P60	入出力	ポート6。 8ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6V耐圧）。 P60, P61, P63の入力はTTL入力バッファに設定可能 ^注 。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCL11
P61				SI00/SDA11
P62				SO00
P63				SSI00
P64				TI14/TO14
P65				TI16/TO16
P66				TI00/TO00
P67				TI02/TO02
P70	入出力	ポート7。 8ビット入出力ポート。 P73, P75-P77の入力はTTL入力バッファに設定可能 ^注 。 P72, P74, P76の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能 ^注 。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/KR0/TI15/ TO15/LVIOU ^T
P71				INTP6/KR1/TI17/ TO17
P72				KR2/CTxD/LTx ^T D1
P73				KR3/CRxD/LRx ^T D1/ INTPLR1
P74				KR4/SO01
P75				KR5/SI01
P76				KR6/SCK01
P77				KR7/SSI01
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI00-ANI07
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI08-ANI15
P100-107	入出力	ポート10。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	デジタル入力 ポート	ANI16-ANI23

注 詳細は、4.4.4 異電位（3V系）外部デバイスとの接続方法を参照してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(1) ポート機能 (3/3) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	4ビット入出力ポートと4ビット入力ポート。 1ビット単位で入力／出力の指定可能。 P120, P125-P127のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		X1
P122				X2/EXCLK
P123				—
P124				EXCLKS
P125	入出力			INTP1/ADTRG/ TI03/TO03
P126				TI01/TO01
P127				TI03/TO03
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	RESOUT
P140	入出力	ポート14。 1ビット入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	PCL
P150	入出力	ポート15。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能	入力ポート	—
P151				SO11
P152				SI11
P153				SCK11
P154				TI24/TO24
P155				TI25/TO25
P156				TI26/TO26
P157				TI27/TO27

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (1/6) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
ANI00-ANI23	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P80-P87, P90-P97, P100-P107
ADTRG	入力	ADコンバータ外部トリガ入力	入力ポート	P125/INTP1/TI03/TO03
CRxD	入力	CANのシリアル・データ入力	入力ポート	P11/TI02/SI10/LRxD1/INTPLR1/TO02, P73/KR3/LRxD1/INTPLR1
CTxD	出力	CANのシリアル・データ出力	入力ポート	P10/SCK10/LTxD1/TI00/TO00, P72/KR2/LTxD1
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	—	フラッシュ・メモリ・プログラミング・モード引き込み。	—	—
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P125/ADTRG/TI03/TO03
INTP2				P30/SSI00/TI01/TO01, P31/STOPST/TI11/TO11
INTP3				P12/SO10/TI16/TO16, P50/TI20/TO20
INTP4				P32/TI13/TO13
INTP5				P70/KR0/TI15/TO15/LVIOU
INTP6				P71/KR1/TI17/TO17
INTP7				P00/TI05/TO05
INTP8				P47
INTPLR0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART0外部割り込み要求入力	入力ポート	P14/LRxD0/TI06/TO06
INTPLR1	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能なLIN-UART1外部割り込み要求入力	入力ポート	P11/TI02/SI10/LRxD1/CRxD/TO02, P73/KR3/CRxD/LRxD1
INTPR2	入力	UART2外部割り込み要求入力	入力ポート	P43/RxD2/SDA20

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (2/6) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
KR0	入力	キー割り込み入力	入力ポート	P70/INTP5/TI15/ TO15/LVIOU
KR1				P71/INTP6/TI17/ TO17
KR2				P72/CTxD/LTxD1
KR3				P73/CRxD/LRxD1/ INTPLR1
KR4				P74/SO01
KR5				P75/SI01
KR6				P76/SCK01
KR7				P77/SSI01
LRxD0	入力	LIN-UART0のシリアル・データ入力	入力ポート	P14/INTPLR0/TI06/ TO06
LRxD1	入力	LIN-UART1のシリアル・データ入力	入力ポート	P11/TI02/SI10/ INTPLR1/CRxD/ TO02, P73/CRxD/KR3/ INTPLR1
LTxD0	出力	LIN-UART0のシリアル・データ出力	入力ポート	P13/TI04/TO04
LTxD1	出力	LIN-UART1のシリアル・データ出力	入力ポート	P10/TI00/SCK10/ CTxD/TO00, P72/CTxD/KR2
LVIOU	出力	低電圧検出フラグ出力	入力ポート	P70/INTP5/KR0/TI 15/TO15
PCL	出力	クロック出力	出力ポート	P140
REGC	—	内部動作レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。	—	—
RESET	入力	システム・リセット入力。	—	—
RESOUT	出力	リセット出力	出力ポート	P130
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P43/INTPR2/ SDA20
SCK00	入出力	CSI00, CSI01, CSI10, CSI11のクロック入力/出力	入力ポート	P17/TI14/TO14, P60/SCL11
SCK01				P76/KR6
SCK10				P10/LTxD1/CTxD/ TI00/TO00
SCK11				P153
SCL11	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P60/SCK00
SCL20				P42/TxD2
SDA11	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P61/SI00
SDA20				P43/RxD2/INTPR2

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (3/6) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
SI00	入力	CSI00, CSI01, CSI10, CSI11のシリアル・データ入力	入力ポート	P16/TI12/TO12, P61/SDA11
SI01				P75/KR5
SI10				P11/LRxD1/CTxD/ INTPLR1/TI02/ TO02
SI11				P152
SO00	出力	CSI00, CSI01, CSI10, CSI11のシリアル・データ出力	入力ポート	P15/TI10/TO10, P62
SO01				P74/KR4
SO10				P12/INTP3/TI16/ TO16
SO11				P151
SSI00	入力	CSI00, CSI01のチップ・セレクト入力	入力ポート	P30/INTP2/TI01/ TO01, P63
SSI01				P77/KR7
STOPST	出力	STOPステータス出力	入力ポート	P31/INTP2/TI11/ TO11, P52/TI22/TO22
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P10/SCK10/LTxD1/ CTxD/TO00, P66/TO00
TI01		16ビット・タイマ01への外部カウント・クロック入力		P30/SSI00/INTP2/ TO01, P126/TO01
TI02		16ビット・タイマ02への外部カウント・クロック入力		P11/SI10/LRxD1/ INTPLR1/CRxD/ TO02, P67/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P125/INTP1/ ADTRG/TO03, P127/TO03
TI04		16ビット・タイマ04への外部カウント・クロック入力		P13/LTxD0/TO04, P01/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P40/TOOL0/TO05, P00/INTP7/TO05
TI06		16ビット・タイマ06への外部カウント・クロック入力		P14/LRxD0/ INTPLR0/TO06, P02/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P41/TOOL1/TO07, P44/TO07
TI10		16ビット・タイマ10への外部カウント・クロック入力		P15/SO00/TO10, P45/TO10

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (4/6) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能		
T111	入力	16ビット・タイマ11への外部カウント・クロック入力	入力ポート	P31/INTP2/ STOPST/TO11, P54/TO11		
T112		16ビット・タイマ12への外部カウント・クロック入力		P16/SIO0/TO12, P46/TO12		
T113		16ビット・タイマ13への外部カウント・クロック入力		P32/INTP4/TO13, P55/TO13		
T114		16ビット・タイマ14への外部カウント・クロック入力		P17/SCK00/TO14, P64/TO14		
T115		16ビット・タイマ15への外部カウント・クロック入力		P70/KR0/INTP5/ TO15/LVIOU, P56/TO15		
T116		16ビット・タイマ16への外部カウント・クロック入力		P12/SO10/INTP3/ TO16, P65/TO16		
T117		16ビット・タイマ17への外部カウント・クロック入力		P71/KR1/INTP6/ TO17, P57/TO17		
T120		16ビット・タイマ20への外部カウント・クロック入力		P50/TO20/INTP3		
T121		16ビット・タイマ21への外部カウント・クロック入力		P51/TO21		
T122		16ビット・タイマ22への外部カウント・クロック入力		P52/TO22/STOPS T		
T123		16ビット・タイマ23への外部カウント・クロック入力		P53/TO23		
T124		16ビット・タイマ24への外部カウント・クロック入力		P154/TO24		
T125		16ビット・タイマ25への外部カウント・クロック入力		P155/TO25		
T126		16ビット・タイマ26への外部カウント・クロック入力		P156/TO26		
T127		16ビット・タイマ27への外部カウント・クロック入力		P157/TO27		
TO00		出力		16ビット・タイマ00出力	入力ポート	P10/SCK10/LTxD1/ CTxD/TI00, P66/TI00
TO01				16ビット・タイマ01出力		P30/SSI00/INTP2/ TI01, P126/TI01
TO02	16ビット・タイマ02出力		P11/SI10/LRxD1/ INTPLR1/CRxD/ TI02, P67/TI02			
TO03	16ビット・タイマ03出力		P125/INTP1/ ADTRG/TI03, P127/TI03			
TO04	16ビット・タイマ04出力		P13/LTxD0/TI04, P01/TI04			
TO05	16ビット・タイマ05出力		P40/TOOL0/TI05, P00/INTP7/TI05			
TO06	16ビット・タイマ06出力		P14/LRxD0/ INTPLR0/TI06, P02/TI06			

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (5/6) : 78K0R/HG3

機能名称	入出力	機能	リセット時	兼用機能
TO07	出力	16ビット・タイマ07出力	入力ポート	P41/TOOL1/TI07, P44/TI07
TO10		16ビット・タイマ10出力		P15/SO00/TI10, P45/TI10
TO11		16ビット・タイマ11出力		P31/INTP2/ STOPST/TI11, P54/TI11
TO12		16ビット・タイマ12出力		P16/SI00/TI12, P46/TI12
TO13		16ビット・タイマ13出力		P32/INTP4/TI13, P55/TI13
TO14		16ビット・タイマ14出力		P17/SCK00/TI14, P64/TI14
TO15		16ビット・タイマ15出力		P70/KR0/INTP5/ TI15/LVIOU, P56/TI15
TO16		16ビット・タイマ16出力		P12/SO10/INTP3/ TI16, P65/TI16
TO17		16ビット・タイマ17出力		P71/KR1/INTP6/ TI17, P57/TI17
TO20		16ビット・タイマ20出力		P50/TI20/INTP3
TO21		16ビット・タイマ21出力		P51/TI21
TO22		16ビット・タイマ22出力		P52/TI22/STOPST
TO23		16ビット・タイマ23出力		P53/TI23
TO24		16ビット・タイマ24出力		P154/TI24
TO25		16ビット・タイマ25出力		P155/TI25
TO26		16ビット・タイマ26出力		P156/TI26
TO27		16ビット・タイマ27出力		P157/TI27
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	入力ポート	P40/TOI05/TOO5
TOOL1	出力	デバッグ用クロック出力	入力ポート	P41/TI07/TOO7
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P42/SCL20
X1	—	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	—		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
EXCLKS	入力	サブクロック用外部クロック入力	入力ポート	P124
V _{DD}	—	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	—	—
EV _{DD0} , EV _{DD1}	—	ポート部 (P80-P87, P90-P97, P100-P107, P121-P124以外), RESET端子, FLMD0端子の正電源。V _{DD} と同電位にしてください。	—	—
AV _{REF}	—	・A/Dコンバータの基準電圧入力 ・P80-P87, P90-P97, P100-P107, A/Dコンバータの正電源	—	—

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(2) ポート以外の機能 (6/6) : 78K0R/HG3

機能名称	入出力	機 能	リセット時	兼用機能
V _{SS}	—	P121-P124のグラウンド電位、およびポート部以外のグラウンド電位	—	—
EV _{SS0} , EV _{SS1}	—	P80-P87, P90-P97, P100-P107, P121-P124以外のポート部のグラウンド電位。V _{SS} と同電位にしてください。	—	—
AV _{SS}	—	A/Dコンバータ, P80-P87, P90-P97, P100-P107のグラウンド電位。	—	—

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00-P03 (Port 0)

入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み要求入力があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P00/INTP7/TI05/ TO05				
P01/TI04/TO04	—	—		
P02/TI06/TO06	—	—		
P03	—	—	—	

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み要求入力として機能します。

(a) INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力です。

(b) TI04-TI06

16ビット・タイマ04-06への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO04-TO06

16ビット・タイマ04-06のタイマ出力端子です。

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.2 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P10//TI00/ SCK10/LTxD1/ CTxD/TO00				
P11//TI02/ SI10/LRxD1/CRxD/ INTPLR1/TO02				
P12//INTP3/TI16/ SO10/TO16				
P13//TI04/LTxD0/ TO04				
P14//TI06/LRxD0/ INTPLR0/TO06				
P15//TI10/SO00/ TO10				
P16//TI12/SI00/ TO12				
P17//TI14/SCK00/ TO14				

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, CANのデータ入出力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力として機能します。

(a) INTP3

有効エッジ（立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) CRxD

CANの受信データ入力端子です。

(c) CTxD

CANの送信データ出力端子です。

(d) SI00, SI10

シリアル・インタフェースCSI00, CSI10のシリアル・データ入力端子です。

(e) SO00, SO10

シリアル・インタフェースCSI00, CSI10のシリアル・データ出力端子です。

(f) SCK00, SCK10

シリアル・インタフェースCSI00, CSI10のシリアル・クロック入出力端子です。

(g) LRxD0, LRxD1

シリアル・インタフェースLIN-UART0, LIN-UART1のシリアル・データ入力端子です。

(h) LTxD0, LTxD1

シリアル・インタフェースLIN-UART0, LIN-UART1のシリアル・データ出力端子です。

(i) INTPLR0, INTPLR1

LIN-UARTの有効エッジ（立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(j) TI00, TI02, TI04, TI06, TI10, TI12, TI14, TI16

16ビット・タイマ00, 02, 04, 06, 10, 12, 14, 16への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(k) TO00, TO02, TO04, TO06, TO10, TO12, TO14, TO16

16ビット・タイマ00, 02, 04, 06, 10, 12, 14, 16のタイマ出力端子です。

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.3 P30-P32 (Port 3)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、シリアル・インタフェースのチップ・セレクト入力、タイマ入出力、STOPステータス出力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P30/INTP2/SSI00/ TI01/TO01				
P31/INTP2/TI11/ STOPST/TO11				
P32/INTP4/TI13/ TO13				

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、チップ・セレクト入力、タイマ入出力、STOPステータス出力として機能します。

(a) INTP2, INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) SSI00

シリアル・インタフェースSSI00のチップ・セレクト入力端子です。

(c) STOPST

STOPステータス出力端子です。

(d) TI01, TI11, TI13

16ビット・タイマ01, 11, 13への外部カウント・クロック/キャプチャ・トリガ入力端子です。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(e) TO01, TO11, TO13

16ビット・タイマ01, 11, 13のタイマ出力端子です。

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.4 P40-P47 (Port 4)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力、タイマ入出力機能があります。

P42, P43端子の出力は、ポート出力モード・レジスタ4 (POM4) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD}耐圧) に指定できます。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P40/TOOL0/TI05/ TO05				
P41/TOOL1/TI07/ TO07				
P42/TxD2/SCL20	—			
P43/RxD2/SDA20/ INTPR2	—			
P44/TI07/TO07	—	—		
P45/TI10/TO10	—	—		
P46/TI12/TO12	—	—		
P47/INTP8	—	—		

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は、必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力、タイマ入出力として機能します。

- (a) INTP8
有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。
- (b) TI05, TI07, TI10, TI12
16ビット・タイマ05, 07, 10, 12への外部カウント・クロック／キャプチャ・トリガ入力端子です。
- (c) TO05, TO07, TO10, TO12
16ビット・タイマ05, 07, 10, 12のタイマ出力端子です。
- (d) TOOL0
フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力端子です。
オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください（プルダウン禁止）。
- (e) TOOL1
デバッガ用のクロック出力端子です。
オンチップ・デバッグ機能使用時には、P41/TOOL1端子はデバッガのモード設定により次のようになります。
1線モード : ポート（P41）として使用できます。
2線モード : TOOL1端子として使用するためポート（P41）としては使用できません。
- (f) RxD2
シリアル・インタフェースUART2のシリアル・データ入力端子です。
- (g) TxD2
シリアル・インタフェースUART2のシリアル・データ出力端子です。
- (h) SDA20
シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。
- (i) SCL20
シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。
- (j) INTPR2
UART2の有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（注意1, 2は次のページにあります）

- 注意 1. ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。
2. P40/TOOL0端子は、次に示す (a) ~ (c) の場合によって、端子機能が決まります。
(b) か (c) の場合には、該当する端子処理を行ってください。
- (a) 通常動作モード時、かつ、
オプション・バイト (000C3H) でオンチップ・デバッグ禁止 (OCDENSET = 0) 設定時
→ ポート機能 (P40) としてご使用ください。
- (b) 通常動作モード時、かつ、
オプション・バイト (000C3H) でオンチップ・デバッグ許可 (OCDENSET = 1) 設定時
→ 外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続し、リセット解除前から常にハイ・レベルを入力してください。
- (c) オンチップ・デバッグ機能使用時、または、
フラッシュ・メモリ・プログラマによる書き込みモード時
→ TOOL0端子として使用します。
オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することで、プルアップしてください。

2.2.5 P50-P57 (Port 5)

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力、STOPステータス出力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P50/INTP3/TI20/ TO20	—			
P51/TI21/TO21	—			
P52/TI22/STOPST/ TO22	—			
P53/TI23/TO23	—			
P54/TI11/TO11	—	—		
P55/TI13/TO13	—	—		
P56/TI15/TO15	—	—		
P57/TI17/TO17	—	—		

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマ入出力、STOPステータス出力として機能します。

(a) INTP3

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI11, TI13, TI15, TI17, TI20-TI23

16ビット・タイマ11, 13, 15, 17, 20-23への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO11, TO13, TO15, TO17, TO20-TO23

16ビット・タイマ11, 13, 15, 17, 20-23のタイマ出力端子です。

(d) STOPST

STOPステータス出力端子です。

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.6 P60-P67 (Port 6)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、タイマの入出力機能があります。

P60, P61, P63端子の入力は、ポート入力モード・レジスタ6 (PIM6) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

	78K0R/HC3	78K0R/HE3	78K0R/HF3	78K0R/HG3
	(μ PD78F10yy)	(μ PD78F10yy)	(μ PD78F10yy)	(μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P60/SCK00/SCL11				
P61/SI00/SDA11				
P62/SO00				
P63/SSI00				
P64/TI14/TO14	—	—		
P65/TI16/TO16	—	—		
P66/TI00/TO00	—	—		
P67/TI02/TO02	—	—		

注意 で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ6 (PU6) の設定により、内蔵プルアップ抵抗を使用できます。

P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、タイマの入出力として機能します。

- (a) **TI00, TI02, TI14, TI16**
16ビット・タイマ00, 02, 14, 16への外部カウント・クロック／キャプチャ・トリガ入力端子です。
- (b) **TO00, TO02, TO14, TO16**
16ビット・タイマ00, 02, 14, 16のタイマ出力端子です。
- (c) **SCK00**
シリアル・インタフェースCSI00のシリアル・クロック入出力端子です。
- (d) **SI00**
シリアル・インタフェースCSI00のシリアル・データ入力端子です。
- (e) **SO00**
シリアル・インタフェースCSI00のシリアル・データ出力端子です。
- (f) **SSI00**
シリアル・インタフェースCSI00のチップ・セレクト入力端子です。
- (g) **SDA11**
シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。
- (h) **SCL11**
シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.7 P70-P77 (Port 7)

入出力ポートです。入出力ポートのほかに割り込み要求入力、キー割り込み入力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、低電圧検出フラグ出力機能があります。

P73, P75-P77端子の入力は、ポート入力モード・レジスタ7 (PIM7) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P72, P74, PM76端子の出力は、ポート出力モード・レジスタ7 (POM7) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD}耐圧) に指定できます。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P70/INTP5/KR0/ T115/TO15/LVIOU T				
P71/INTP6/KR1/ T117/TO17				
P72/KR2/CTxD/ LTxD1				
P73/KR3/CRxD/ LRxD1/INTPLR1				
P74/KR4/SO01	—			
P75/KR5/SI01	—			
P76/KR6/SCK01	—			
P77/KR7/SSI01	—			

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

割り込み要求入力、キー割り込み入力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、低電圧検出フラグ出力として機能します。

- (a) INTP5, INTP6
有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。
- (b) KR0-KR7
キー割り込み入力端子です。
- (c) CRxD
CANの受信データ入力端子です。
- (d) CTxD
CANの送信データ出力端子です。
- (e) LRxD1
LIN-UART1の受信データ入力端子です。
- (f) LTxD1
LIN-UART1の送信データ出力端子です。
- (g) INTPLR1
LIN-UART1の有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。
- (h) SCK01
シリアル・インタフェースCSI01のシリアル・クロック入出力端子です。
- (i) SI01
シリアル・インタフェースCSI01のシリアル・データ入力端子です。
- (j) SO01
シリアル・インタフェースCSI01のシリアル・データ出力端子です。
- (k) SSI01
シリアル・インタフェースCSI01のチップ・セレクト入力端子です。
- (l) TI15, TI17
16ビット・タイマ15, 17への外部カウント・クロック／キャプチャ・トリガ入力端子です。
- (m) TO15, TO17
16ビット・タイマ15, 17のタイマ出力端子です。
- (n) LVIOUT
低電圧検出フラグ出力端子です。

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.8 P80-P87 (Port 8)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P80/ANI00				
P81/ANI01				
P82/ANI02				
P83/ANI03				
P84/ANI04				
P85/ANI05				
P86/ANI06				
P87/ANI07				

備考 : 搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI00-ANI07) として機能します。アナログ入力端子として使用する場合、10.6 (6) ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107を参照してください。

注意 ANI00/P80-ANI07/P87は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.9 P90-P97 (Port 9)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P90/ANI08				
P91/ANI09				
P92/ANI10				
P93/ANI11	—			
P94/ANI12	—			
P95/ANI13	—			
P96/ANI14	—			
P97/ANI15	—	—		

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI08-ANI15) として機能します。アナログ入力端子として使用する場合、10.6 (6) ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107を参照してください。

注意 ANI08/P90-ANI15/P97は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.10 P100-P107 (Port 10)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P100/ANI16	—	—	—	
P101/ANI17	—	—	—	
P102/ANI18	—	—	—	
P103/ANI19	—	—	—	
P104/ANI20	—	—	—	
P105/ANI21	—	—	—	
P106/ANI22	—	—	—	
P107/ANI23	—	—	—	

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ10 (PM10) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI16-ANI23) として機能します。アナログ入力端子として使用する場合, 10.6 (6) ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107を参照してください。

注意 ANI16/P100-ANI23/P107は, リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.11 P120-P127 (Port 12)

P120, P125-P127は4ビットの入出力ポートです。P121-P124は4ビットの入力ポートです。そのほかに外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブクロック用外部クロック入力, A/Dコンバータ用外部トリガ入力, タイマ入出力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P120/INTP0/EXLVI/ T111/TO11			注	注
P121/X1				
P122/X2/EXCLK				
P123				
P124/EXCLKS				
P125/INTP1/ ADTRG/TI03/TO03				
P126/TI01/TO01	—	—		
P127/TI03/TO03	—	—	—	

注 T111, TO11端子は搭載していません。T111, TO11以外のポート機能, 兼用機能は搭載しています。

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120, P125-P127は4ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により, 内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブクロック用外部クロック入力, A/Dコンバータ用外部トリガ入力, タイマ入出力として機能します。

(a) INTP0, INTP1

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) EXCLKS

サブクロック用外部クロック入力端子です。

(f) ADTRG

A/Dコンバータ用外部トリガ入力端子です。

(g) TI01, TI03, TI11

16ビット・タイマ01, 03, 11への外部カウント・クロック／キャプチャ・トリガ入力端子です。

(h) TO01, TO03, TO11

16ビット・タイマ01, 03, 11のタイマ出力端子です。

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

2.2.12 P130 (Port 13)

出力専用ポートです。

	78K0R/HC3	78K0R/HE3	78K0R/HF3	78K0R/HG3
	(μ PD78F10yy)	(μ PD78F10yy)	(μ PD78F10yy)	(μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P130/RESOUT				

備考1. リセットがかかるとP130はロウ・レベルを出力します。

2. : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P130は1ビットの入力ポートとして機能します。

(2) コントロール・モード

リセット出力として機能します。

(a) RESOUT

リセット出力端子です。

2.2.13 P140 (Port 14)

入出力ポートです。入出力ポートのほかにクロック出力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P140/PCL				

備考1. リセットがかかるとP140はロウ・レベルを出力します。

2. : 搭載, - : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

クロック出力として機能します。

(a) PCL

クロック出力端子です。

2.2.14 P150-P157 (Port 15)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力機能があります。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P150	—	—	—	
P151/SO11	—	—	—	
P152/SI11	—	—	—	
P153/SCK11	—	—	—	
P154/TI24/TO24	—	—	—	
P155/TI25/TO25	—	—	—	
P156/TI26/TO26	—	—	—	
P157/TI27/TO27	—	—	—	

備考 : 搭載, — : 非搭載

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ15 (PU15) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力として機能します。

(a) $\overline{\text{SCK11}}$

シリアル・インタフェースCSI11のシリアル・クロック入出力端子です。

(b) SI11

シリアル・インタフェースCSI11のシリアル・データ入力端子です。

(c) SO11

シリアル・インタフェースCSI11のシリアル・データ出力端子です。

(d) TI24-TI27

16ビット・タイマ24-27への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(e) TO24-TO27

16ビット・タイマ24-27のタイマ出力端子です。

2.2.15 AVREF

A/Dコンバータの基準電圧入力、およびP80-P87, P90-P97, P100-P107, A/Dコンバータの正電源供給端子です。
ポート8-10すべてアナログ・ポートとして使用する場合は、 $2.7\text{ V} \leq AVREF \leq V_{DD}$ となる電位にしてください。
ポート8-10のうち、1本でもデジタル・ポートとして使用する場合、またはA/Dコンバータを使用しない場合は、 EV_{DD} , EV_{DD0} , EV_{DD1} または V_{DD} と同電位にしてください。

2.2.16 AVss

A/Dコンバータ、P80-P87, P90-P97, P100-P107のグランド電位端子です。A/Dコンバータを使用しないときでも、常に EV_{SS} , EV_{SS0} , EV_{SS1} , V_{SS} と同電位で使用してください。

2.2.17 RESET

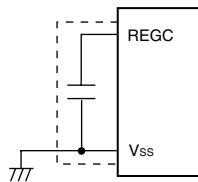
ロウ・レベル・アクティブのシステム・リセット入力端子です。
外部リセット端子を使用しない場合は、直接または抵抗を介して EV_{DD} ^注に接続してください。
外部リセット端子を使用する場合は、 V_{DD} を基準に設計してください。

注 78K0R/HG3の場合は、 EV_{DD0} , EV_{DD1}

2.2.18 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47~1 μF) を介し、 V_{SS} に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.19 V_{DD}, EV_{DD}, EV_{DD0}, EV_{DD1}

V_{DD}は、P121-P124の正電源、およびポート以外の端子（ $\overline{\text{RESET}}$ 端子、FLMD0端子を除く）の正電源供給端子です。

EV_{DD}, EV_{DD0}, EV_{DD1}は、P80-P87, P90-P97, P100-P107, P121-124以外のポート端子と $\overline{\text{RESET}}$ 端子、FLMD0端子の正電源供給端子です。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
V _{DD}				
EV _{DD}				—
EV _{DD0}	—	—	—	
EV _{DD1}	—	—	—	

備考 : 搭載, — : 非搭載

2.2.20 V_{SS}, EV_{SS}, EV_{SS0}, EV_{SS1}

V_{SS}は、P121-P124のグランド電位、およびポート以外の端子（ $\overline{\text{RESET}}$ 端子、FLMD0端子を除く）のグランド電位端子です。

EV_{SS}, EV_{SS0}, EV_{SS1}は、P80-P87, P90-P97, P100-P107, P121-124以外のポート端子と $\overline{\text{RESET}}$ 端子、FLMD0端子のグランド電位端子です。

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
V _{SS}				
EV _{SS}				—
EV _{SS0}	—	—	—	
EV _{SS1}	—	—	—	

備考 : 搭載, — : 非搭載

2.2.21 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値“0”) のままにしておく必要があります (24.2 (2) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、100 kΩ以上の抵抗でプルダウンしてください。

2.3 未使用端子の処理

各端子の使用端子の処理を表2-3に示します。

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

表2-3 各端子の未使用端子処理 (1/4)

端子名称	入出力回路 タイプ	入出力	未使用時の推奨接続方法
P00/INTP7/TI05/TO05	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P01/TI04/TO04			
P02/TI06/TO06			
P03			
P10/TI00/SCK10/ TO00/LTxD1/CTxD	8-T		
P11/TI02/SI10/ LRxD1/CRxD/INTPLR1/ TO02	8-R		
P12/INTP3/TI16/SO10/ TO16	8-T		
P13/TI04/LTxD0/TO04	8-R		
P14/TI06/LRxD0/ INTPLR0/TO06			
P15/TI10/SO00/TO10			
P16/TI12/SI00/TO12			
P17/TI14/SCK00/TO14			
P30/INTP2/SSI00/TI01/ TO01	8-T		
P31/INTP2/TI11/STOPST/ TO11	8-R		
P32/INTP4/TI13/TO13			
P40/TOOL0/TI05/TO05			
			<p><オンチップ・デバッグ許可設定時> プルアップしてください（プルダウン禁止）。 10 kΩの抵抗でプルアップしてください（推奨）。</p> <p><オンチップ・デバッグ禁止設定時> 入力時：個別に抵抗を介して、EV_{DD}、EV_{DD0}、EV_{DD1}、EV_{SS0}、EV_{SS}、EV_{SS1}のいずれかに接続してください。 出力時：オープンにしてください。</p>

注 QB-MINI2非接続時の正常動作を保証するために、オンチップ・デバッグ許可設定時は、外部プルアップ抵抗を必ず使用してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

表2-3 各端子の未使用端子処理 (2/4)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P41/TOOL1/TI07/TO07	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P42/TxD2/SCL20 P43/RxD2/SDA20/INTPR2	5-AR		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P44/TI07/TO07 P45/TI10/TO10 P46/TI12/TO12 P47/INTP8 P50/INTP3/TI20/TO20 P51/TI21/TO21 P52/TI22/STOPST/TO22 P53/TI23/TO23 P54/TI11/TO11 P55/TI13/TO13 P56/TI15/TO15 P57/TI17/TO17	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P60/SCK00/SCL11 P61/SI00/SDA11 P62/SO00 P63/SSI00	13-AK 13-AL 13-AK		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続、またはEV _{SS} 、EV _{SS0} 、EV _{SS1} に直接接続してください。 出力時：ポートの出カラッチに0を設定してロウ・レベル出力でオープン、またはポートの出カラッチに1を設定し個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。
P64/TI14/TO14 P65/TI16/TO16 P66/TI00/TO00 P67/TI02/TO02 P70/INTP5/KR0/TI15/TO15/LVIOU P71/INTP6/KR1/TI17/TO17	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P72/KR2/CTxD/LTxD1	5-AR		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

表2-3 各端子の未使用端子処理 (3/4)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P73/KR3/CRxD/LRx/D1/ INTPLR1	5-AN	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P74/KR4/SO01	5-AZ		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。	
P75/KR5/SI01	5-AN		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P76/KR6/SCK01	5-AY		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。	
P77KR7/SSI01	5-AN		入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P80/ANI00-P87/ANI07 ^{注1}	11-G		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。	
P90/ANI08-P97/ANI15 ^{注1}				
P100/ANI16-P107/ANI23 ^{注1}				
P120/INTP0/EXLVI/TI11/ TO11	8-R	入力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P121/X1 ^{注2}	37-E		個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。	
P122/X2/EXCLK ^{注2}				
P123 ^{注2}	2-H			
P124/EXCLKS ^{注2}	37-F			
P125/INTP1/ADTRG/TI03/ TO03	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P126/TI01/TO01				
P127/TI03/TO03				

注1. P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15, P100/ANI16-P107/ANI23は、リセット解除後はデジタル入力ポート・モードになります。

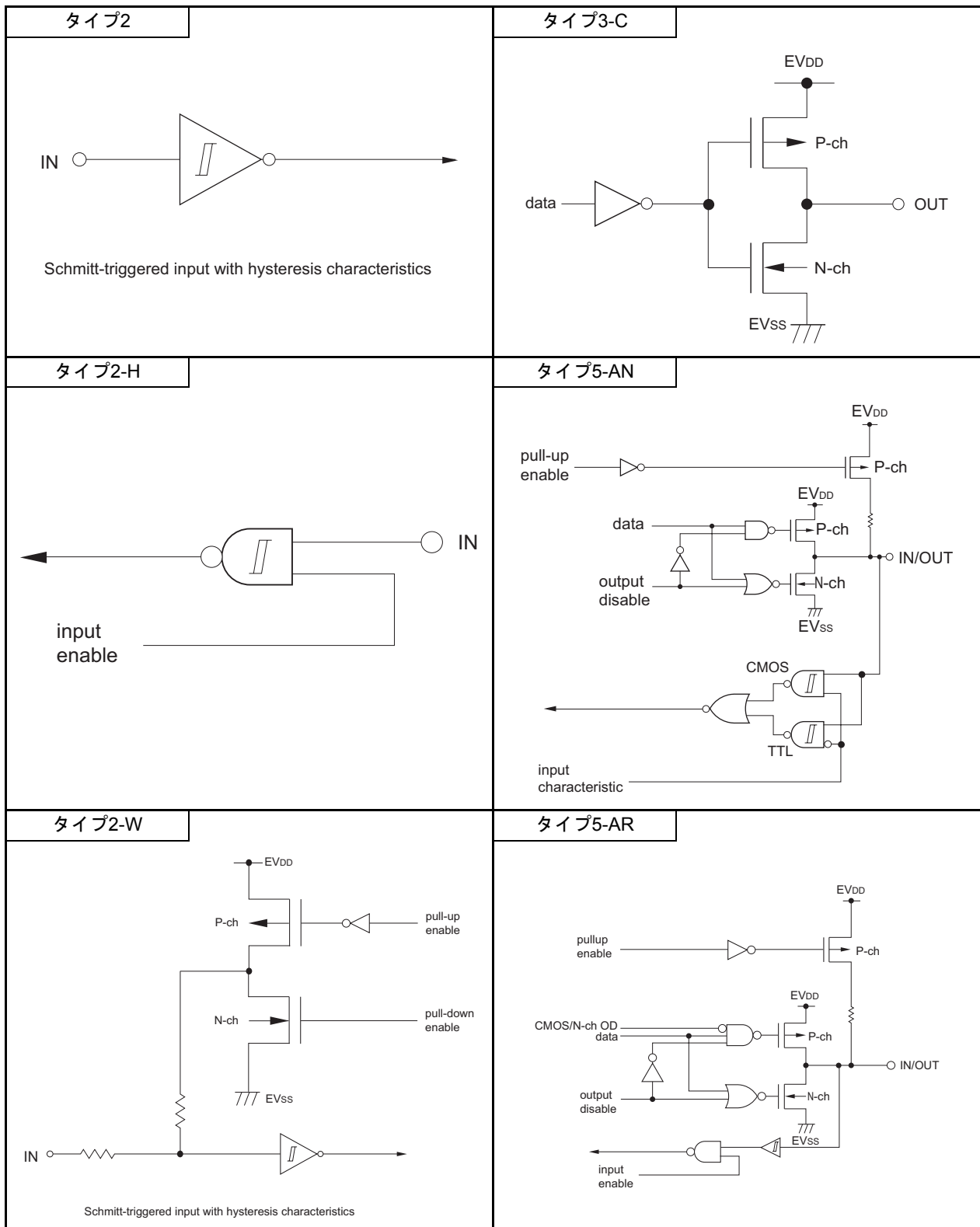
2. 未使用時は、入力ポート・モード（図5-3 クロック動作モード制御レジスタ（CMC）のフォーマットを参照）で上記の推奨接続方法を行ってください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

表2-3 各端子の未使用端子処理 (4/4)

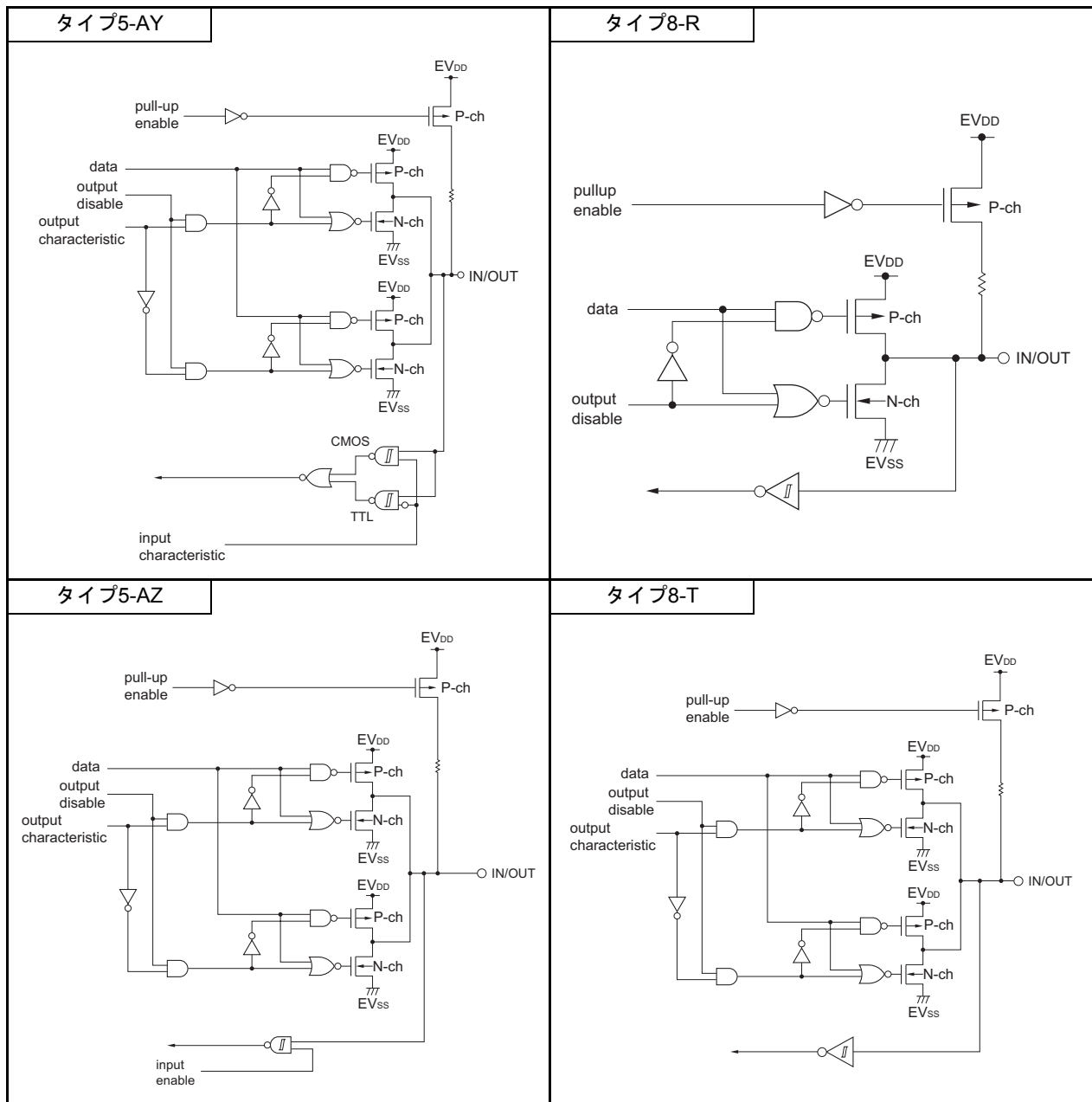
端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P130/RESOUT	3-C	出力	オープンにしてください。
P140/PCL	8-T	入出力	入力時：個別に抵抗を介して、EV _{DD} 、EV _{DD0} 、EV _{DD1} 、EV _{SS} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P150	8-R		
P151/SO11			
P152/SI11			
P153/SCK11			
P154/TI24/TO24			
P155/TI25/TO25			
P156/TI26/TO26			
P157/TI27/TO27			
AV _{REF}			
AV _{SS}	—	—	EV _{SS} 、EV _{SS0} 、EV _{SS1} 、V _{SS} と同電位にしてください。
FLMD0	2-W	—	オープンまたは100 kΩ以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	—	—	コンデンサ (0.47~1 μF) を介し、V _{SS} に接続してください。

図2-1 端子の入出力回路一覧 (1/3)



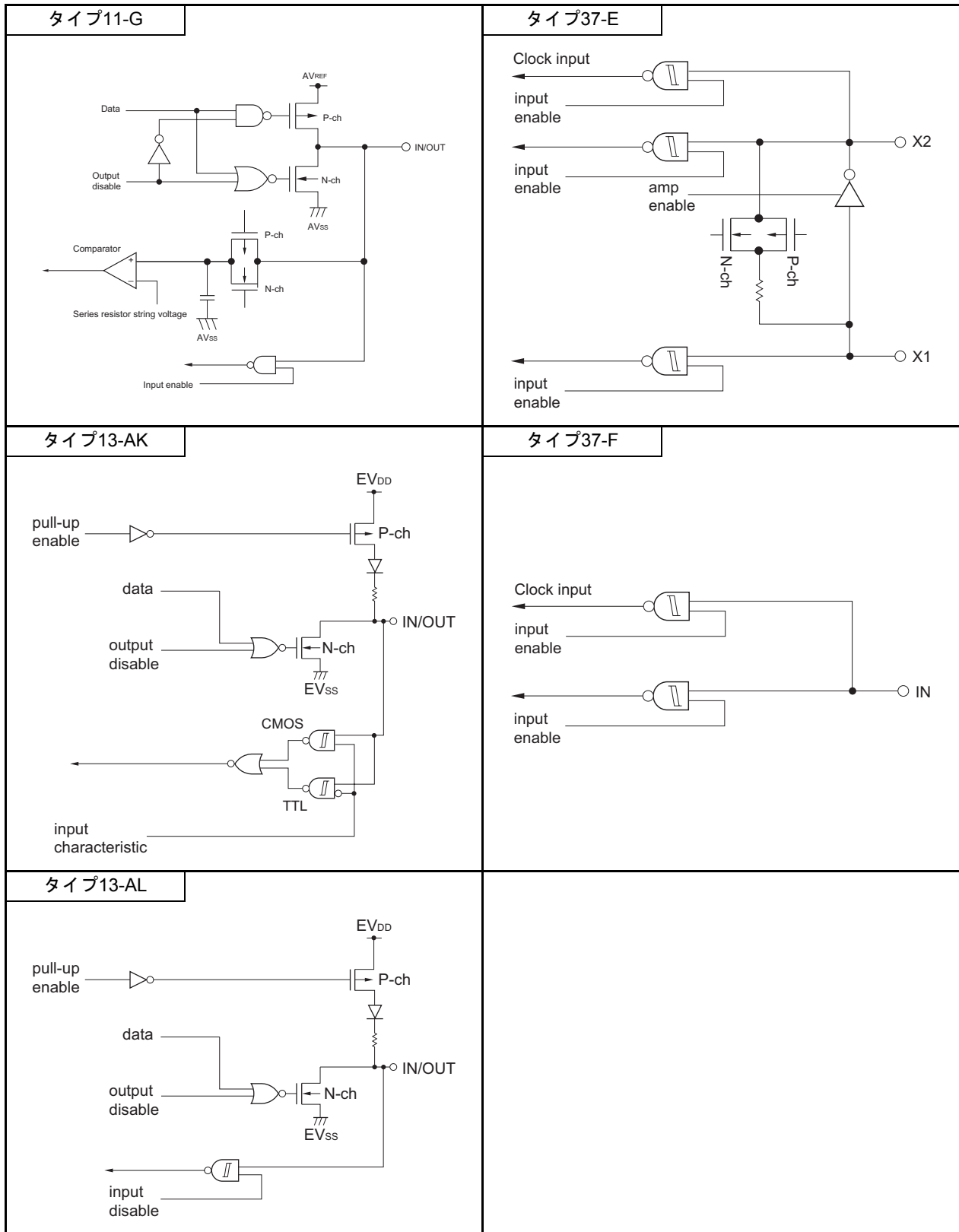
備考 78K0R/HG3の場合は、EV_{DD}をEV_{DD0}、EV_{DD1}に、EV_{SS}をEV_{SS0}、EV_{SS1}に置き換えてください。

図2-1 端子の入出力回路一覧 (2/3)



備考 78K0R/HG3の場合は、EV_{DD}をEV_{DD0}, EV_{DD1}に、EV_{SS}をEV_{SS0}, EV_{SS1}に置き換えてください。

図2-1 端子の入出力回路一覧 (3/3)



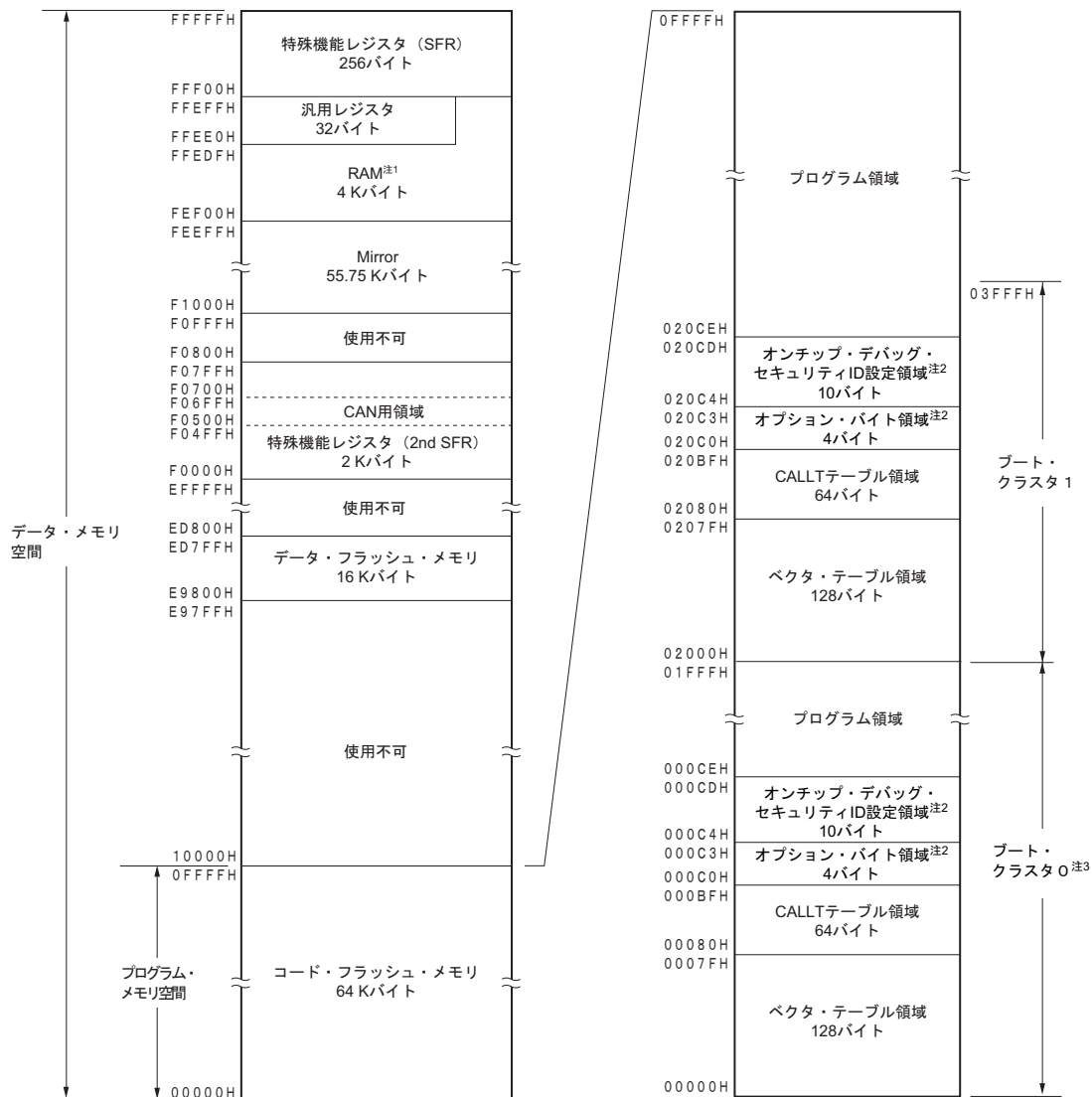
備考 78K0R/HG3の場合は、EV_{DD}をEV_{DD0}, EV_{DD1}に、EV_{SS}をEV_{SS0}, EV_{SS1}に置き換えてください。

第3章 CPUアーキテクチャ

3.1 メモリ空間

78K0R/Hx3は、1 Mバイトのメモリ空間をアクセスできます。図3-1から図3-5に、メモリ・マップを示します。

図3-1 メモリ・マップ (μ PD78F1031, 78F1036, 78F1041, 78F1046)

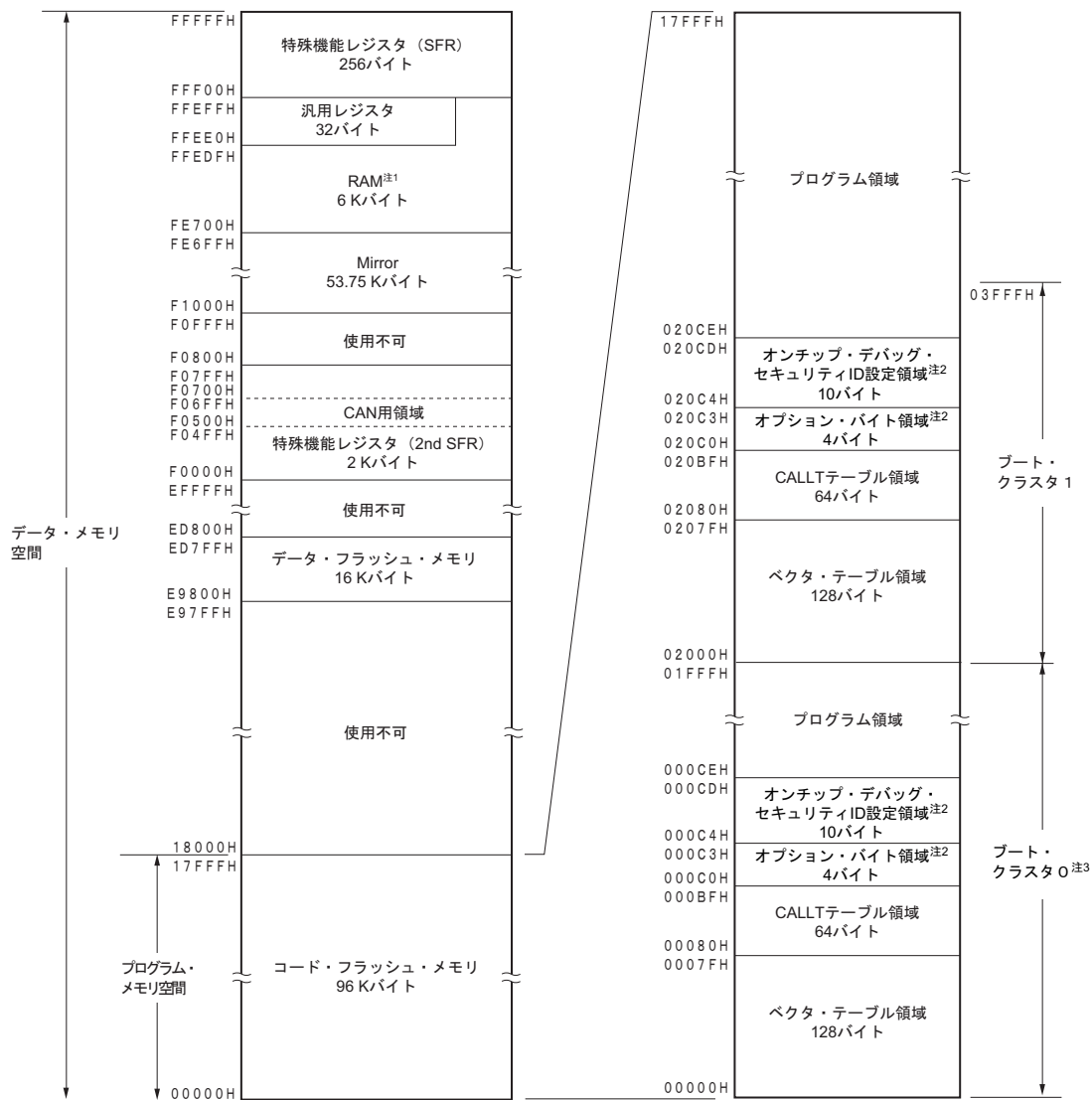


注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイト, 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

3. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (24.9 セキュリティ設定を参照)。

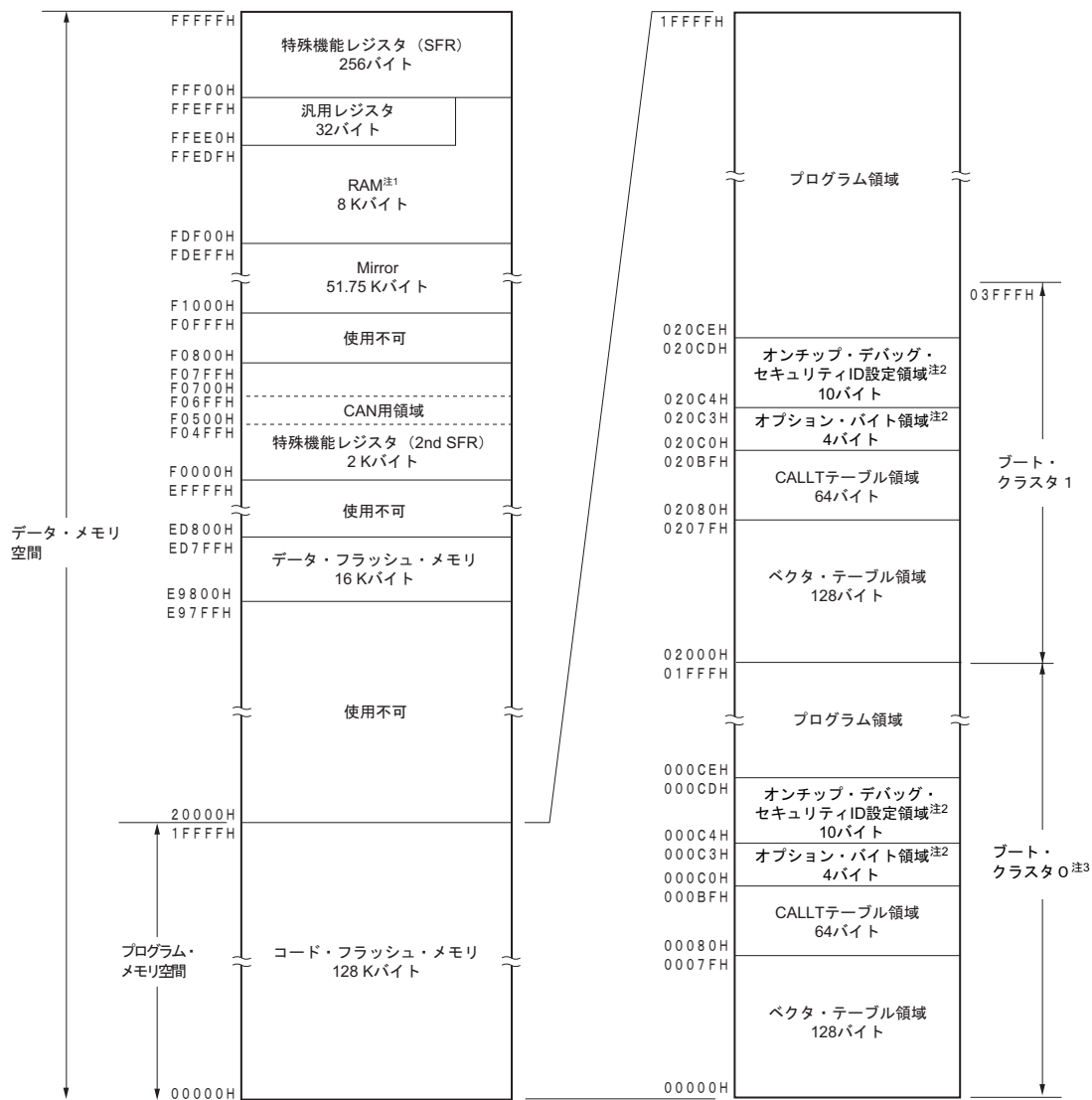
図3-2 メモリ・マップ (μ PD78F1032, 78F1037, 78F1042, 78F1047)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイト, 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

3. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます (24.9 セキュリティ設定を参照)。

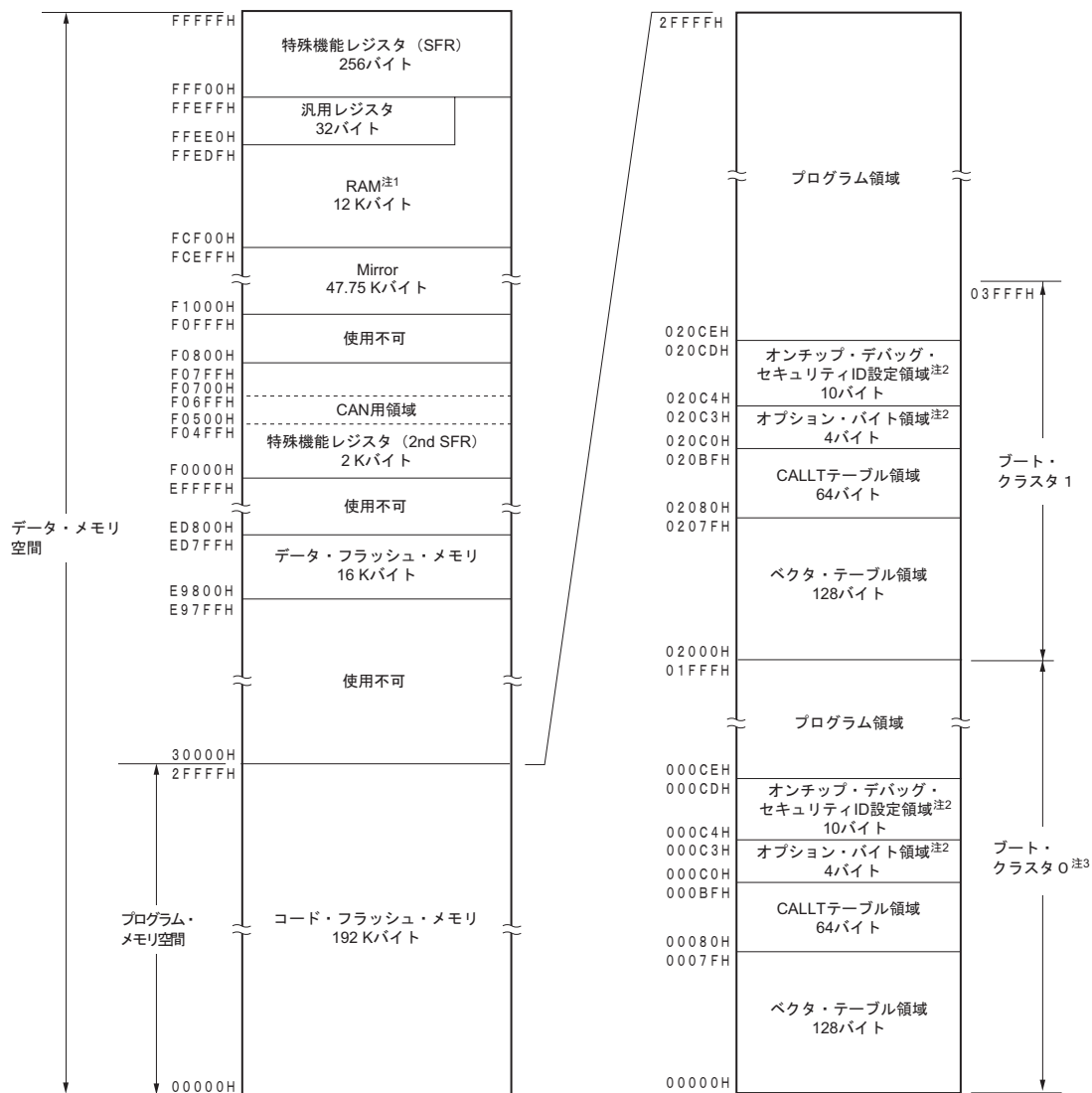
図3-3 メモリ・マップ (μ PD78F1033, 78F1038, 78F1043, 78F1048)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイト, 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

3. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます (24.9 セキュリティ設定を参照)。

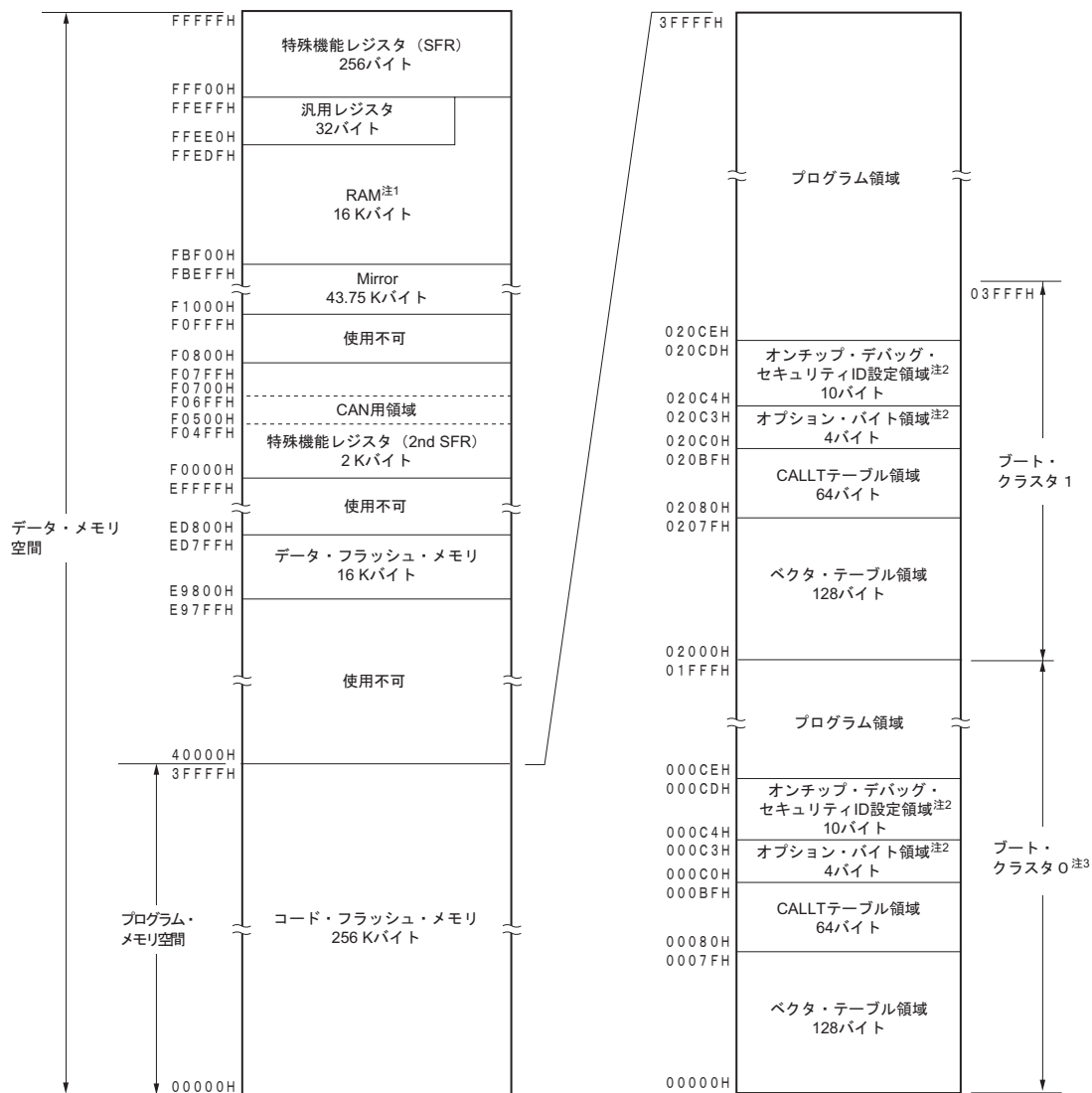
図3-4 メモリ・マップ (μ PD78F1034, 78F1039, 78F1044, 78F1049)

注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイト, 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

3. セキュリティの設定により, ブート・クラス0は書き換えを禁止することができます (24.9 セキュリティ設定を参照)。

図3-5 メモリ・マップ (μ PD78F1035, 78F1040, 78F1045, 78F1050)

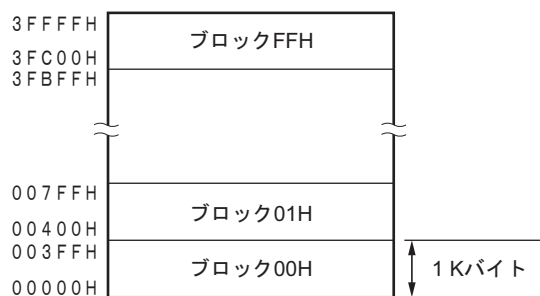
注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイト, 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

3. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます (24.9 セキュリティ設定を参照)。

備考 コード・フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1 Kバイト）。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



コード・フラッシュ・メモリのアドレス値とブロック番号の対応を示します。

表3-1 コード・フラッシュ・メモリのアドレス値とブロック番号の対応 (1/2)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 μ PD78F1031, 78F1036, 78F1041, 78F1046 : ブロック番号00H-3FH
 μ PD78F1032, 78F1037, 78F1042, 78F1047 : ブロック番号00H-5FH
 μ PD78F1033, 78F1038, 78F1043, 78F1048 : ブロック番号00H-7FH

表3-1 コード・フラッシュ・メモリのアドレス値とブロック番号の対応 (2/2)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H-2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

備考 μ PD78F1034, 78F1039, 78F1044, 78F1049 : ブロック番号00H-BFH

μ PD78F1035, 78F1040, 78F1045, 78F1050 : ブロック番号00H-FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

78K0R/Hx3は、次に示す内部ROM（コード・フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD78F1031, 78F1036, 78F1041, 78F1046	コード・フラッシュ・メモリ	65536×8ビット (00000H-0FFFFH)
μ PD78F1032, 78F1037, 78F1042, 78F1047		98304×8ビット (00000H-17FFFH)
μ PD78F1033, 78F1038, 78F1043, 78F1048		131072×8ビット (00000H-1FFFFH)
μ PD78F1034, 78F1039, 78F1044, 78F1049		196608×8ビット (00000H-2FFFFH)
μ PD78F1035, 78F1040, 78F1045, 78F1050		262144×8ビット (00000H-3FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET入力, POC, LVI, WDT, TRAP, IAW, CLKM	00040H	INTCSI11, INTIIC11
		00042H	INTTM04
00004H	INTWDTI	00044H	INTTM05
00006H	INTLVI	00046H	INTTM06
00008H	INTP0	00048H	INTTM07
0000AH	INTP1	0004AH	INTP6, INTKR
0000CH	INTP2	0004CH	INTP7
0000EH	INTP3	0004EH	INTC0ERR
00010H	INTP4	00050H	INTC0WUP
00012H	INTP5	00052H	INTC0REC
00014H	INTCLM	00054H	INTC0TRX
00016H	INTCSI00	00056H	INTTM10
00018H	INTCSI01	00058H	INTTM11
0001AH	INTDMA0	0005AH	INTTM12
0001CH	INTDMA1	0005CH	INTTM13
0001EH	INTWUTM	0005EH	INTMD
00020H	INTFL	00060H	INTST2, INTIIC20
00022H	INTLT0	00062H	INTSR2
00024H	INTLR0	00064H	INTPR2
00026H	INTLS0	00066H	INTTM14
00028H	INTPLR0	00068H	INTTM15
0002AH	INTP8	0006AH	INTTM16
0002CH	INTTM00	0006CH	INTTM17
0002EH	INTTM01	0006EH	INTTM20
00030H	INTTM02	00070H	INTTM21
00032H	INTTM03	00072H	INTTM22
00034H	INTAD	00074H	INTTM23
00036H	INTLT1	00076H	INTTM25
00038H	INTLR1	00078H	INTTM27
0003AH	INTLS1	0007AH	INTDMA2
0003CH	INTPLR1	0007CH	INTDMA3
0003EH	INTCSI10	0007EH	BRK

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第23章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第26章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

78K0R/Hx3では、00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています（ミラーさせるコード・フラッシュ・エリアは、プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

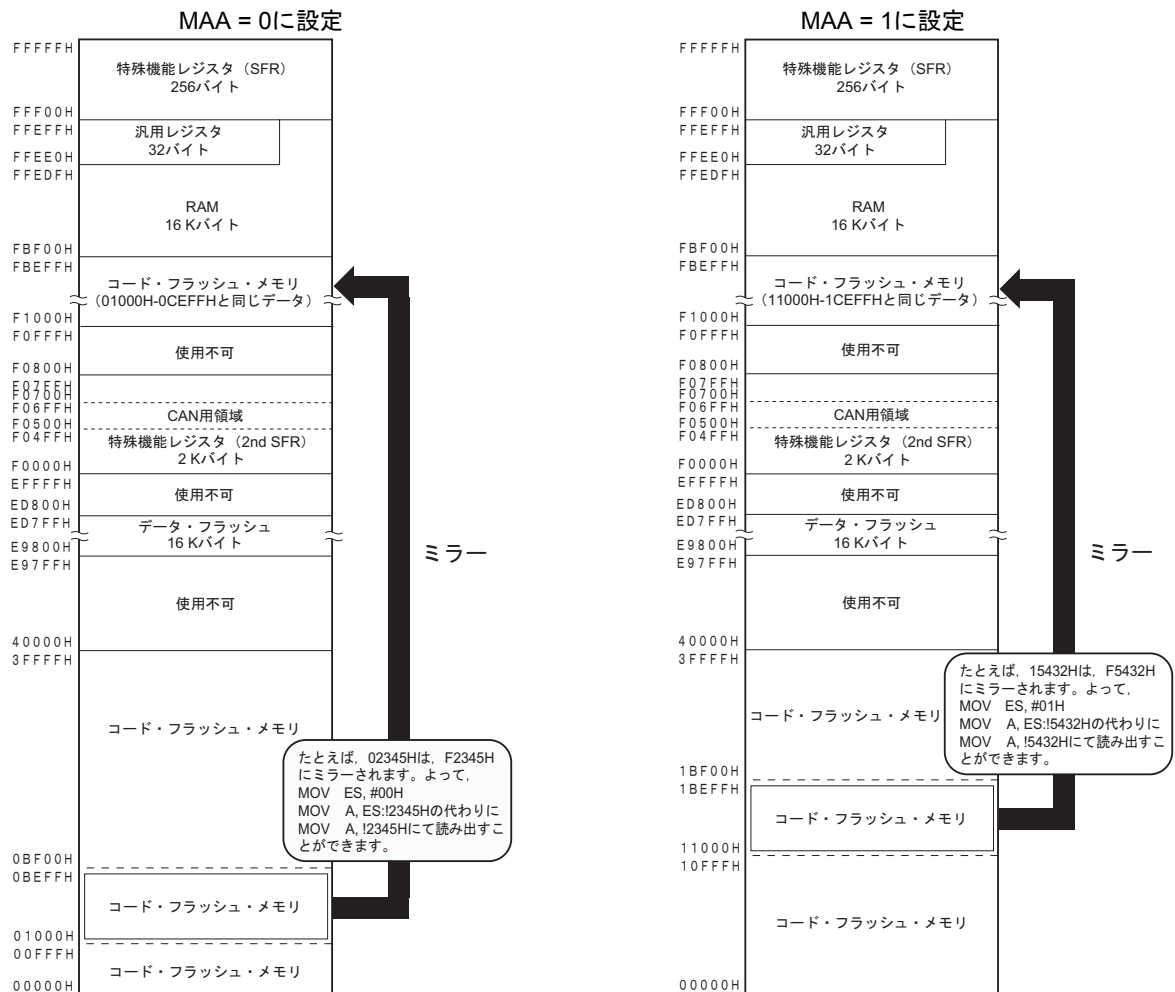
ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 μ PD78F1035, 78F1040, 78F1045, 78F1050（コード・フラッシュ・メモリ 256 Kバイト、RAM 16 Kバイト）の場合



備考 MAAは、プロセッサ・モード・コントロール・レジスタ（PMC）のビット0です。

次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするコード・フラッシュ・メモリ空間を選択するレジスタです。

PMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-6 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H RW

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするコード・フラッシュ・メモリ空間選択
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

- 注意1. PMCの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCの書き替えは禁止です。
2. PMCの設定後、1命令以上空けてミラー領域にアクセスしてください。
3. コード・フラッシュ・メモリが64 K以下の製品は必ずビット0 (MAA) を0に設定してください。

3.1.3 内部データ・メモリ空間

78K0R/Hx3は、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製 品	内部RAM
μ PD78F1031, 78F1036, 78F1041, 78F1046	4096×8ビット (FEF00H-FFEFFFH)
μ PD78F1032, 78F1037, 78F1042, 78F1047	6144×8ビット (FE700H-FFEFFFH)
μ PD78F1033, 78F1038, 78F1043, 78F1048	8192×8ビット (FDF00H-FFEFFFH)
μ PD78F1034, 78F1039, 78F1044, 78F1049	12288×8ビット (FCF00H-FFEFFFH)
μ PD78F1035, 78F1040, 78F1045, 78F1050	16384×8ビット (FBF00H-FFEFFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

注意 汎用レジスタ (FFEE0H-FFEFFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

3.1.4 特殊機能レジスタ（SFR : Special Function Register）領域

FFF00H-FFFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.4 特殊機能レジスタ（SFR : Special Function Register）の表3-5参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）領域

F0000H-F07FFHの領域には、オンチップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表3-6参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0R/Hx3では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。

図3-7から図3-11にデータ・メモリとアドレッシングの対応を示します。

図3-7 データ・メモリとアドレッシングの対応

(μ PD78F1031, 78F1036, 78F1041, 78F1046)

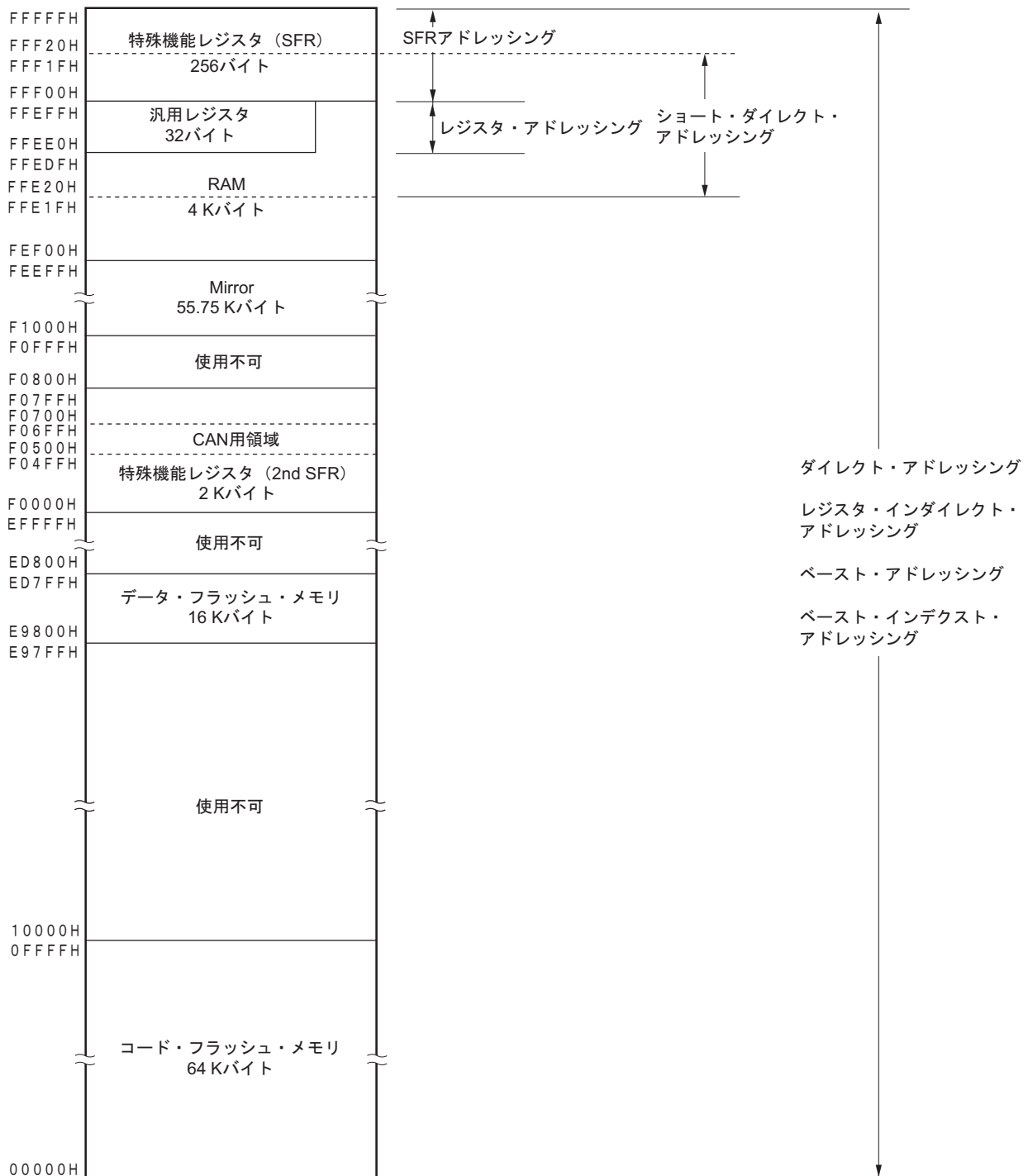


図3-8 データ・メモリとアドレッシングの対応
(μ PD78F1032, 78F1037, 78F1042, 78F1047)

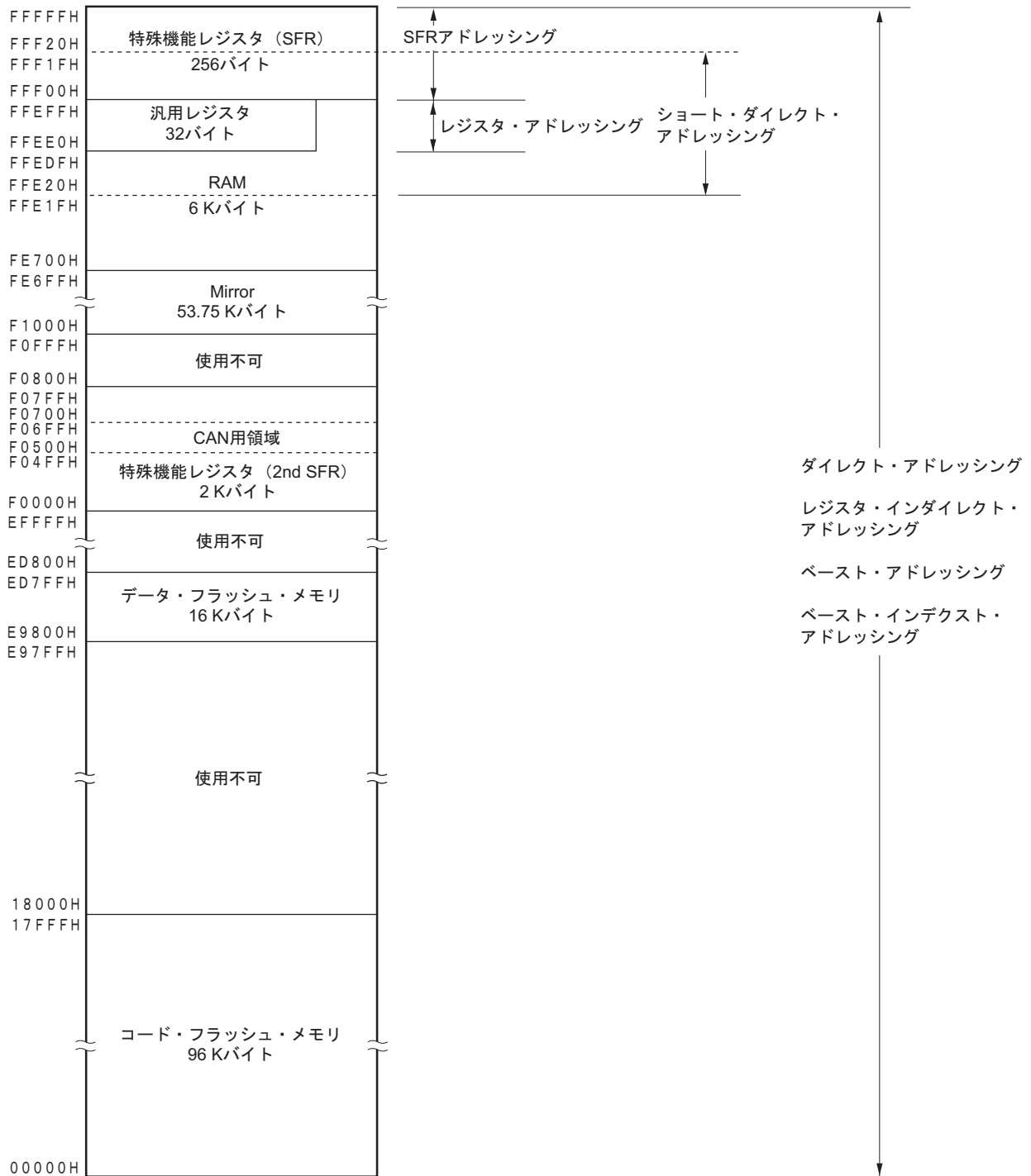


図3-9 データ・メモリとアドレッシングの対応
(μ PD78F1033, 78F1038, 78F1043, 78F1048)

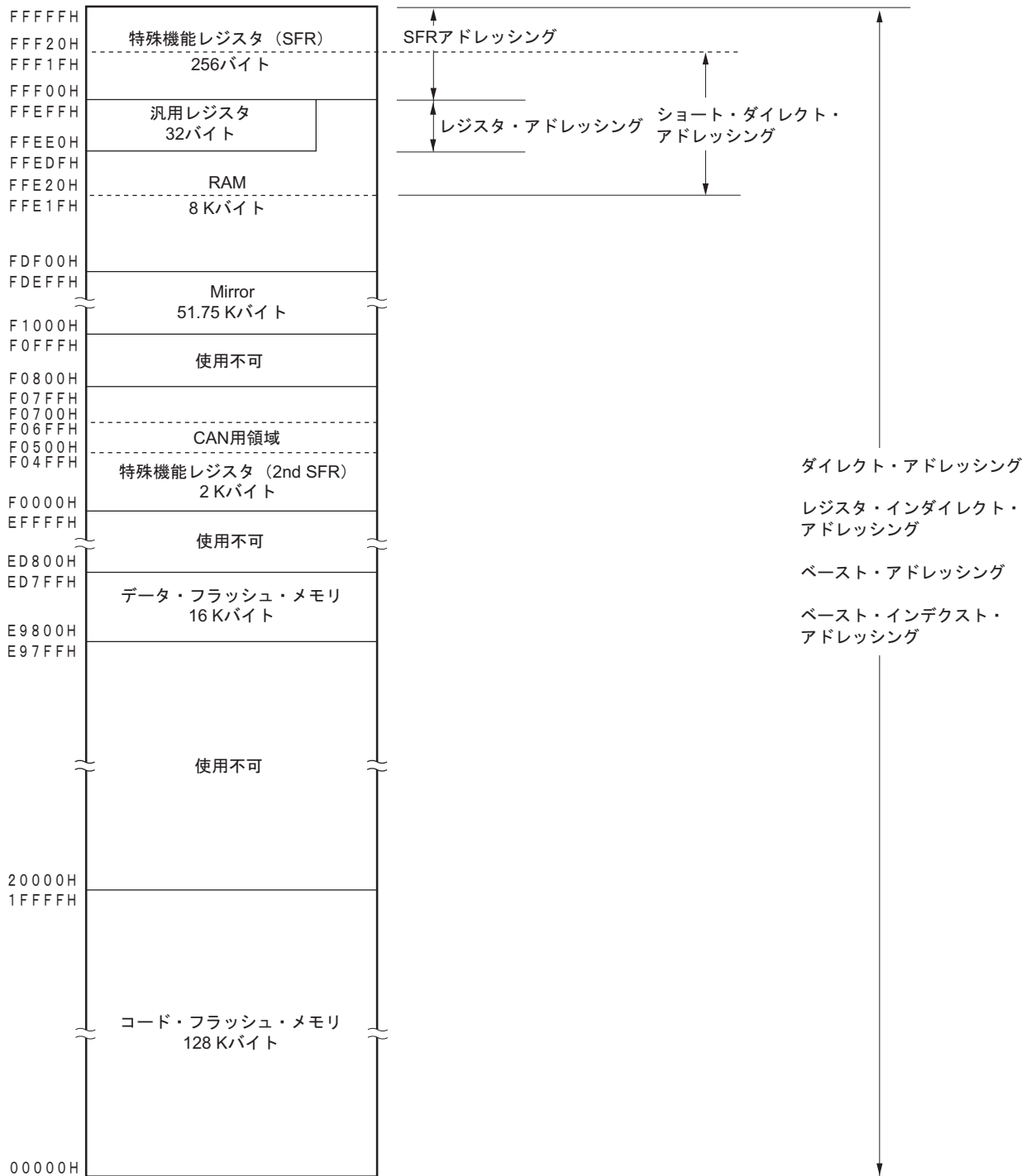


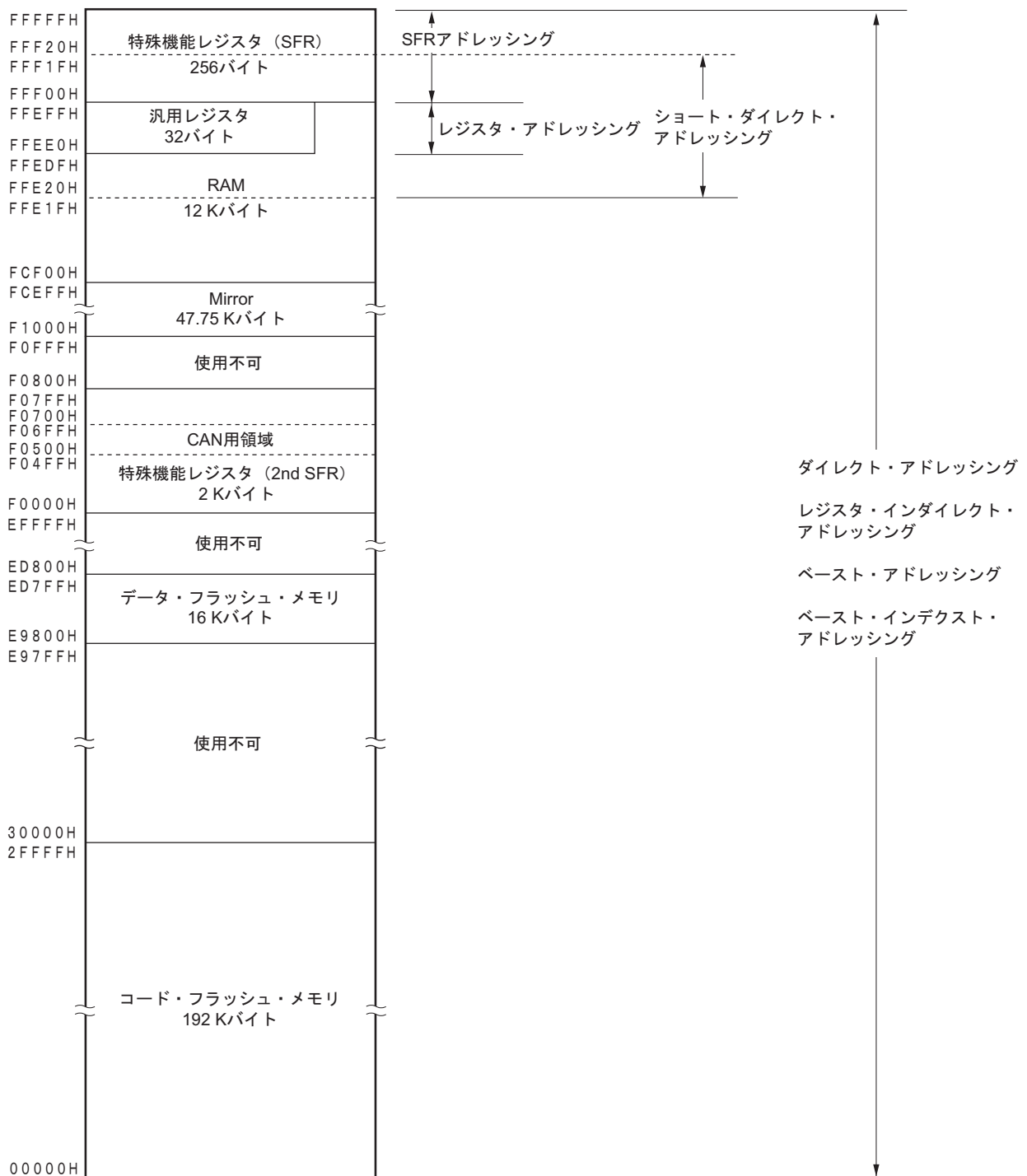
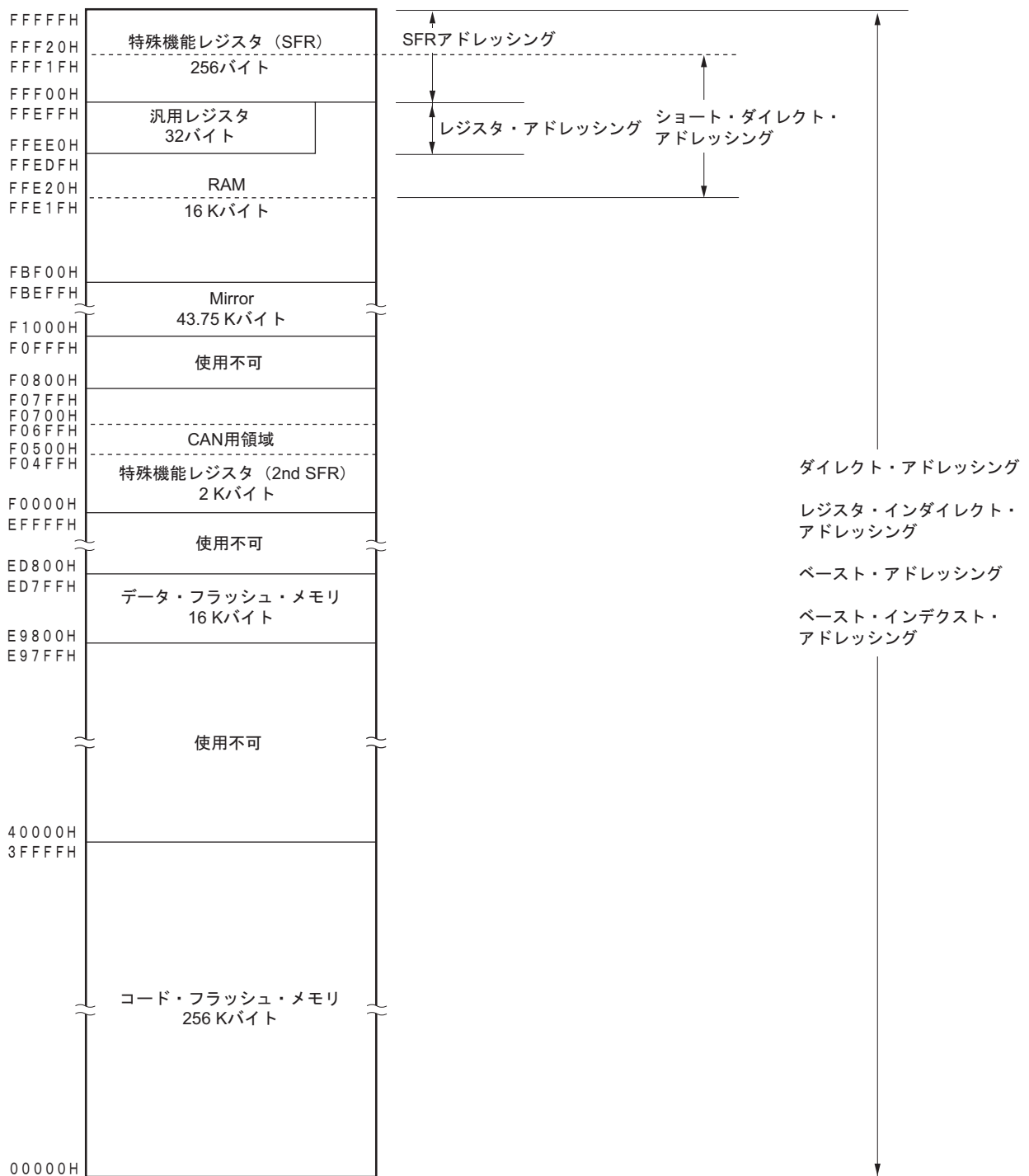
図3-10 データ・メモリとアドレッシングの対応 (μ PD78F1034, 78F1039, 78F1044, 78F1049.)

図3-11 データ・メモリとアドレッシングの対応 (μ PD78F1035, 78F1040, 78F1045, 78F1050)



3.2 プロセッサ・レジスタ

78K0R/Hx3は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-12 プログラム・カウンタの構成



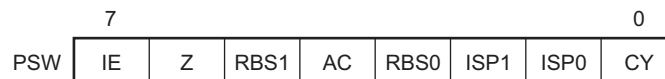
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETb, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-13 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサートビス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスクブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H) (16.3 (3) 参照) でISP0, ISP1の値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

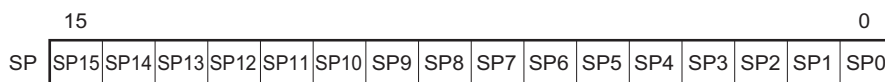
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-14 スタック・ポインタの構成

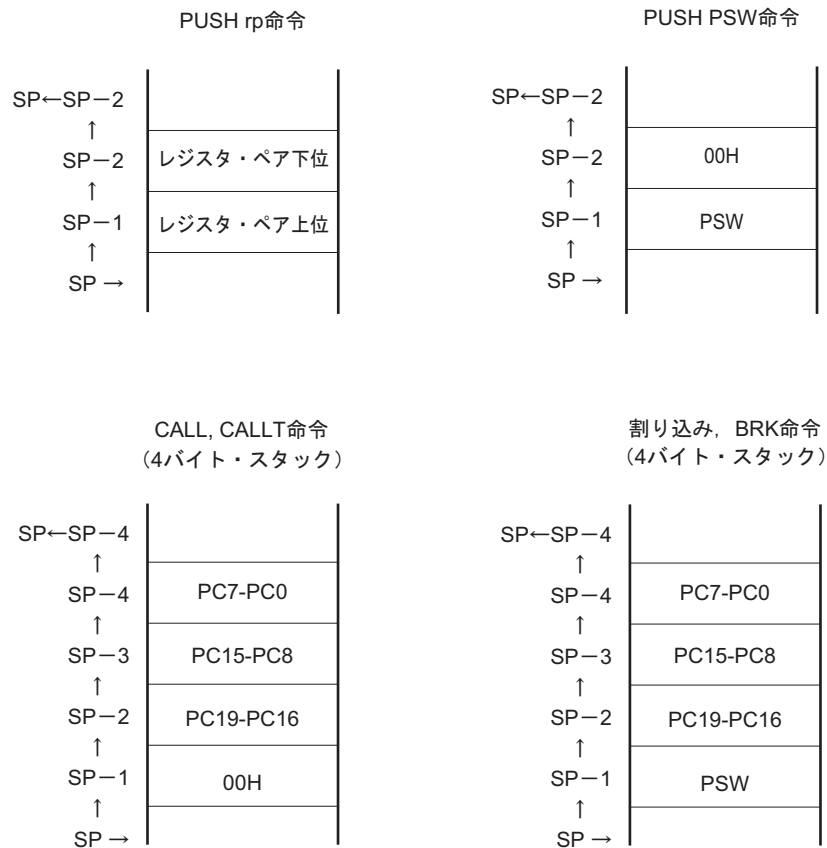


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3-15のようになります。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. SPの設定値は必ず偶数にしてください。奇数を設定すると、最下位のビットは自動的に0が設定されます。
3. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、スタック領域としての使用を禁止します。

図3-15 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

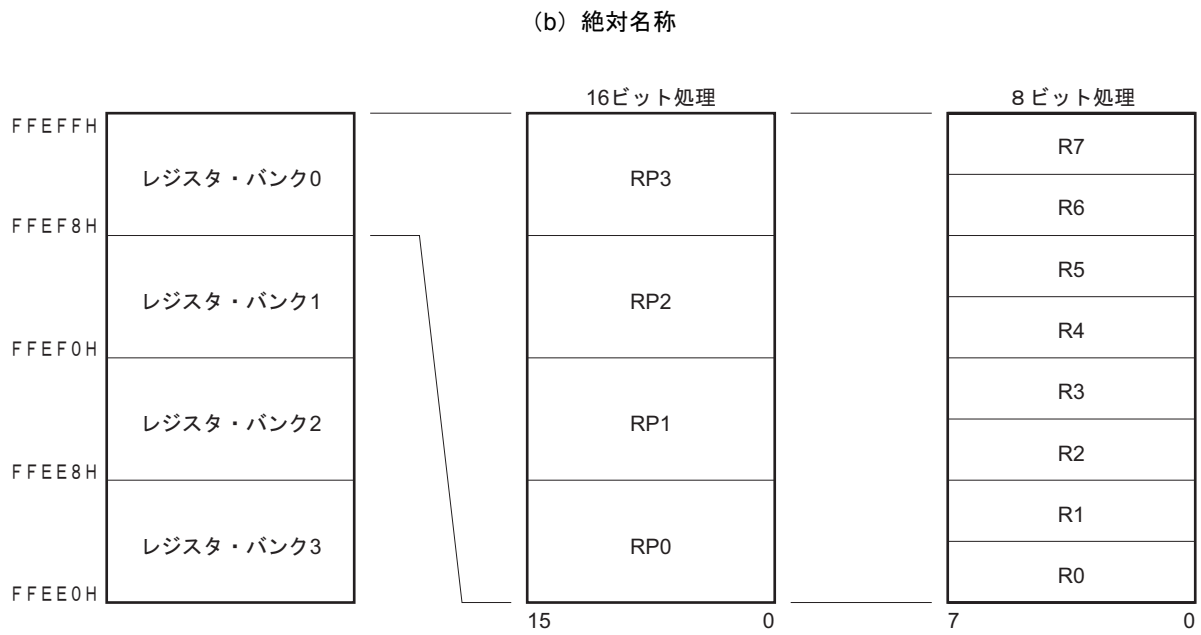
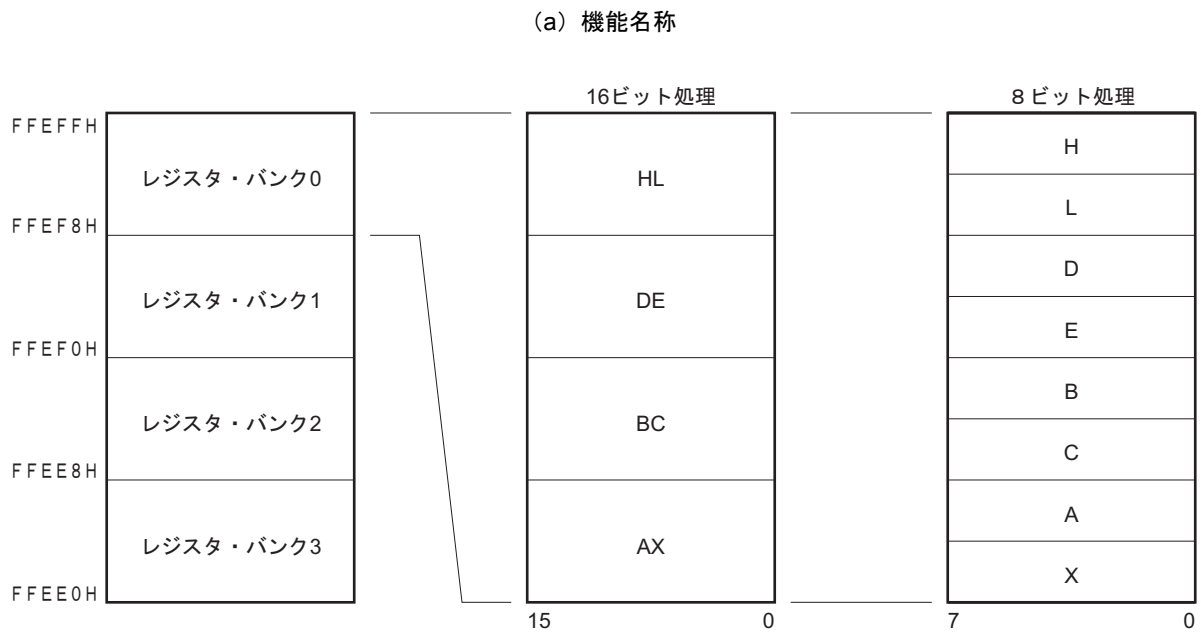
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL Rn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

注意 汎用レジスタ（FFEE0H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3-16 汎用レジスタの構成



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス, CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESのリセット後の初期値は0FH, CSのリセット後の初期値は00Hです。

図3-17 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R、ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。-は操作できないビット単位であることを示します。

- ・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表3-5 SFR一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
FFF00H	ポート・レジスタ0	P0		R/W			—	00H				
FFF01H	ポート・レジスタ1	P1		R/W			—	00H				
FFF03H	ポート・レジスタ3	P3		R/W			—	00H				
FFF04H	ポート・レジスタ4	P4		R/W			—	00H				
FFF05H	ポート・レジスタ5	P5		R/W			—	00H	—			
FFF06H	ポート・レジスタ6	P6		R/W			—	00H				
FFF07H	ポート・レジスタ7	P7		R/W			—	00H				
FFF08H	ポート・レジスタ8	P8		R/W			—	00H				
FFF09H	ポート・レジスタ9	P9		R/W			—	00H				
FFF0AH	ポート・レジスタ10	P10		R/W			—	00H	—	—	—	
FFF0CH	ポート・レジスタ12	P12		R/W			—	00H				
FFF0DH	ポート・レジスタ13	P13		R/W			—	00H				
FFF0EH	ポート・レジスタ14	P14		R/W			—	00H				
FFF0FH	ポート・レジスタ15	P15		R/W			—	00H	—	—	—	
FFF10H	シリアル・データ・レジスタ00	SDR00L	SDR00	R/W	—			0000H				
FFF11H		—			—	—						
FFF12H	シリアル・データ・レジスタ01	SDR01L	SDR01	R/W	—			0000H	—			
FFF13H		—			—	—						
FFF14H	シリアル・データ・レジスタ10	SDR10L	SDR10	R/W	—			0000H				
FFF15H		—			—	—						
FFF16H	シリアル・データ・レジスタ11	SDR11L	SDR11	R/W	—			0000H				
FFF17H		—			—	—						
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	—	—		0000H				
FFF19H												
FFF1AH	タイマ・データ・レジスタ01	TDR01		R/W	—	—		0000H				
FFF1BH												
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	—	—		0000H				
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	—	—		00H				
FFF20H	ポート・モード・レジスタ0	PM0		R/W			—	FFH				
FFF21H	ポート・モード・レジスタ1	PM1		R/W			—	FFH				
FFF23H	ポート・モード・レジスタ3	PM3		R/W			—	FFH				
FFF24H	ポート・モード・レジスタ4	PM4		R/W			—	FFH				
FFF25H	ポート・モード・レジスタ5	PM5		R/W			—	FFH	—			
FFF26H	ポート・モード・レジスタ6	PM6		R/W			—	FFH				
FFF27H	ポート・モード・レジスタ7	PM7		R/W			—	FFH				
FFF28H	ポート・モード・レジスタ8	PM8		R/W			—	FFH				
FFF29H	ポート・モード・レジスタ9	PM9		R/W			—	FFH				
FFF2AH	ポート・モード・レジスタ10	PM10		R/W			—	FFH	—	—	—	
FFF2CH	ポート・モード・レジスタ12	PM12		R/W			—	FFH				
FFF2EH	ポート・モード・レジスタ14	PM14		R/W			—	FEH				
FFF2FH	ポート・モード・レジスタ15	PM15		R/W			—	FFH	—	—	—	

表3-5 SFR一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
							48	64	80	100	
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W			—	00H				
FFF31H	アナログ入力チャネル指定レジスタ	ADS	R/W			—	00H				
FFF33H	A/D変換時間設定レジスタ	ADSMP	R/W			—	00H				
FFF36H	外部割り込み入力端子選択レジスタ0	IPSEL0	R/W			—	00H				
FFF37H	キー・リターン・モード・レジスタ	KRM	R/W			—	00H				
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	R/W			—	00H				
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	R/W			—	00H				
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1	R/W			—	00H				
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1	R/W			—	00H				
FFF3CH	シリアル通信端子選択レジスタ	STSEL	R/W			—	00H				
FFF3EH	タイマ入力選択レジスタ0	TIS0	R/W			—	00H				
FFF3FH	タイマ入力選択レジスタ1	TIS1	R/W			—	00H				
FFF42H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W			—	00H				
FFF44H	シリアル・データ・レジスタ20	SDR20L	SDR20	R/W	—		0000H	—			
FFF45H		—			—	—					
FFF46H	シリアル・データ・レジスタ21	SDR21L	SDR21	R/W	—		0000H	—			
FFF47H		—			—	—					
FFF48H	LIN-UART0 8-bit送信データ・レジスタ	UF0TXB	UF0TX	R/W	—		00H				
FFF49H	LIN-UART0送信データ・レジスタ	—			—	—	0000H				
FFF4AH	LIN-UART0 8-bit受信データ・レジスタ	UF0RXB	UF0RX	R	—		00H				
FFF4BH	LIN-UART0受信データ・レジスタ	—			—	—	0000H				
FFF4CH	LIN-UART1 8-bit送信データ・レジスタ	UF1TXB	UF1TX	R/W	—		00H				
FFF4DH	LIN-UART1送信データ・レジスタ	—			—	—	0000H				
FFF4EH	LIN-UART1 8-bit受信データ・レジスタ	UF1RXB	UF1RX	R	—		00H				
FFF4FH	LIN-UART1受信データ・レジスタ	—			—	—	0000H				
FFF60H	タイマ出力選択レジスタ0	TOS0	R/W			—	00H				
FFF61H	タイマ出力選択レジスタ1	TOS1	R/W			—	00H				
FFF64H	タイマ・データ・レジスタ02	TDR02	R/W	—	—		0000H				
FFF65H											
FFF66H	タイマ・データ・レジスタ03	TDR03	R/W	—	—		0000H				
FFF67H											
FFF68H	タイマ・データ・レジスタ04	TDR04	R/W	—	—		0000H				
FFF69H											
FFF6AH	タイマ・データ・レジスタ05	TDR05	R/W	—	—		0000H				
FFF6BH											
FFF6CH	タイマ・データ・レジスタ06	TDR06	R/W	—	—		0000H				
FFF6DH											
FFF6EH	タイマ・データ・レジスタ07	TDR07	R/W	—	—		0000H				
FFF6FH											
FFF70H	タイマ・データ・レジスタ10	TDR10	R/W	—	—		0000H				
FFF71H											

表3-5 SFR一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
							48	64	80	100	
FFF72H	タイマ・データ・レジスタ11	TDR11	R/W	—	—		0000H				
FFF73H											
FFF74H	タイマ・データ・レジスタ12	TDR12	R/W	—	—		0000H				
FFF75H											
FFF76H	タイマ・データ・レジスタ13	TDR13	R/W	—	—		0000H				
FFF77H											
FFF78H	タイマ・データ・レジスタ14	TDR14	R/W	—	—		0000H				
FFF79H											
FFF7AH	タイマ・データ・レジスタ15	TDR15	R/W	—	—		0000H				
FFF7BH											
FFF7CH	タイマ・データ・レジスタ16	TDR16	R/W	—	—		0000H				
FFF7DH											
FFF7EH	タイマ・データ・レジスタ17	TDR17	R/W	—	—		0000H				
FFF7FH											
FFF90H	タイマ・データ・レジスタ20	TDR20	R/W	—	—		0000H	—			
FFF91H											
FFF92H	タイマ・データ・レジスタ21	TDR21	R/W	—	—		0000H	—			
FFF93H											
FFF94H	タイマ・データ・レジスタ22	TDR22	R/W	—	—		0000H	—			
FFF95H											
FFF96H	タイマ・データ・レジスタ23	TDR23	R/W	—	—		0000H	—			
FFF97H											
FFF98H	タイマ・データ・レジスタ24	TDR24	R/W	—	—		0000H	—	—	—	
FFF99H											
FFF9AH	タイマ・データ・レジスタ25	TDR25	R/W	—	—		0000H	—	—	—	
FFF9BH											
FFF9CH	タイマ・データ・レジスタ26	TDR26	R/W	—	—		0000H	—	—	—	
FFF9DH											
FFF9EH	タイマ・データ・レジスタ27	TDR27	R/W	—	—		0000H	—	—	—	
FFF9FH											
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	—	—	00H				
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			—	C0H				
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			—	00H				
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—		—	07H				
FFFA4H	システム・クロック制御レジスタ	CKC	R/W			—	01H				
FFFA5H	クロック出力選択レジスタ	CKS	R/W			—	00H ^{注1}				
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—		—	00H ^{注2}				
FFFA9H	低電圧検出レジスタ	LVIM	R/W			—	00H ^{注3}				
FFFAAH	低電圧検出レベル選択レジスタ	LVIS	R/W			—	09H ^{注4}				

注1. CKSのリセット値は、オプション・バイトの設定により変化します。

2. RESFのリセット値は、リセット要因により変化します。

3. LVIMのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

4. LVISのリセット値は、リセット要因により変化します。

表3-5 SFR一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—		—	1A/9AH 注				
FFFACH	WUTM制御レジスタ	WUTMCTL		R/W			—	00H				
FFFAEH	WUTMコンペア・レジスタ	WUTMCMP		R/W	—	—		0000H				
FFF AFH												
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	—		—	00H				
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	—		—	00H				
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	—			00H				
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	—			00H				
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	—			00H				
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	—			00H				
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	—			00H				
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	—			00H				
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	—			00H				
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	—			00H				
FFFB AH	DMAモード・コントロール・レジスタ0	DMC0		R/W			—	00H				
FFFB BH	DMAモード・コントロール・レジスタ1	DMC1		R/W			—	00H				
FFFB CH	DMA動作コントロール・レジスタ0	DRC0		R/W			—	00H				
FFFB DH	DMA動作コントロール・レジスタ1	DRC1		R/W			—	00H				
FFFB EH	バックグラウンド・イベント・コントロール・レジスタ	BECTL		R/W			—	00H				
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H				
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H				
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W				00H				
FFFD3H	割り込み要求フラグ・レジスタ3H	IF3H		R/W				00H				
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH				
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH				
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W				FFH				
FFFD7H	割り込みマスク・フラグ・レジスタ3H	MK3H		R/W				FFH				
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH				
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH				
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W				FFH				
FFFDBH	優先順位指定フラグ・レジスタ03H	PR03H		R/W				FFH				
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH				
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH				
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W				FFH				
FFDFH	優先順位指定フラグ・レジスタ13H	PR13H		R/W				FFH				

注 WDTEのリセット値は、オプション・バイトの設定で決定します。

表3-5 SFR一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H				
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H				
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H				
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H				
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH				
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH				
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH				
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH				
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH				
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH				
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH				
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH				
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH				
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH				
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH				
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH				
FFFF0H	乗除算データ・レジスタA (L)	MDAL/MULA		R/W	R/W	—	—	0000H				
FFFF1H												
FFFF2H	乗除算データ・レジスタA (H)	MDAH/MULB		R/W	R/W	—	—	0000H				
FFFF3H												
FFFF4H	乗除算データ・レジスタB (H)	MDBH/MULOH		R/W	R	—	—	0000H				
FFFF5H												
FFFF6H	乗除算データ・レジスタB (L)	MDBL/MULOL		R/W	R	—	—	0000H				
FFFF7H												
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			—	00H				

備考 拡張SFR (2nd SFR) については、表3-6 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F000H-F07FFHの領域です。SFR領域 (FFF0H-FFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

拡張SFRのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- ・R/W

該当する拡張SFRが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を○で示します。-は操作できないビット単位であることを示します。

- ・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
								48	64	80	100
F0017H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—		—	00H ^注				
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W			—	00H				
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W			—	00H				
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W			—	00H				
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W			—	00H				
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W			—	00H	—			
F0036H	プルアップ抵抗オプション・レジスタ6	PU6	R/W			—	00H				
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W			—	00H				
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W			—	00H				
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W			—	00H				
F003FH	プルアップ抵抗オプション・レジスタ15	PU15	R/W			—	00H	—	—	—	
F0046H	ポート入力モード・レジスタ6	PIM6	R/W			—	00H				
F0047H	ポート入力モード・レジスタ7	PIM7	R/W			—	00H				
F0054H	ポート出力モード・レジスタ4	POM4	R/W			—	00H	—			
F0057H	ポート出力モード・レジスタ7	POM7	R/W			—	00H				
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W			—	00H				
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W			—	00H				
F0062H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W			—	00H				
F0063H	ノイズ・フィルタ許可レジスタ3	NFEN3	R/W			—	00H	—			
F0067H	低電圧検出フラグ出力許可レジスタ	LVIOUT	R/W			—	00H				
F006FH	ポート出力スルー・レート選択レジスタ	PSRSEL	R/W			—	00H				
F0070H	特定レジスタ操作保護レジスタ	GUARD	R/W			—	00H				
F0071H	セルフ・プログラミング時ウォッチドッグ・タイマ動作モード変更レジスタ	WDTSELF	R/W	—		—	00H				
F0074H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W			—	00H				
F0075H	不正メモリ・アクセスRAMサイズ設定レジスタ	IAWRAM	R/W	—		—	00H				
F0076H	不正メモリ・アクセスFLASHサイズ設定レジスタ	IAWFLASH	R/W	—		—	00H				
F0080H	DMA SFRアドレス・レジスタ2	DSA2	R/W	—		—	00H				
F0081H	DMA SFRアドレス・レジスタ3	DSA3	R/W	—		—	00H				
F0082H	DMA RAMアドレス・レジスタ2L	DRA2L	DRA2	R/W	—		00H				
F0083H	DMA RAMアドレス・レジスタ2H	DRA2H		—		00H					
F0084H	DMA RAMアドレス・レジスタ3L	DRA3L	DRA3	R/W	—		00H				
F0085H	DMA RAMアドレス・レジスタ3H	DRA3H		—		00H					
F0086H	DMA バイト・カウント・レジスタ2L	DBC2L	DBC2	R/W	—		00H				
F0087H	DMA バイト・カウント・レジスタ2H	DBC2H		—		00H					
F0088H	DMA バイト・カウント・レジスタ3L	DBC3L	DBC3	R/W	—		00H				
F0089H	DMA バイト・カウント・レジスタ3H	DBC3H		—		00H					

注 ADPCレジスタは、PER0.ADCEN = 0に設定してもリセットされません。

表3-6 拡張SFR (2nd SFR) 一覧 (2/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
								48	64	80	100
F008AH	DMAモード・コントロール・レジスタ2	DMC2	R/W			—	00H				
F008BH	DMAモード・コントロール・レジスタ3	DMC3	R/W			—	00H				
F008CH	DMA動作コントロール・レジスタ2	DRC2	R/W			—	00H				
F008DH	DMA動作コントロール・レジスタ3	DRC3	R/W			—	00H				
F008FH	DMA全チャンネル強制ウエイト・レジスタ	DMCALL	R/W			—	00H				
F00E0H	乗除算データ・レジスタC	MDCL	R	—	—		0000H				
F00E1H		MDCH	R	—	—		0000H				
F00E2H											
F00E3H											
F00E8H	乗除算コントロール・レジスタ	MDUC	R/W			—	00H				
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W			—	00H				
F00F1H	周辺イネーブル・レジスタ1	PER1	R/W			—	00H				
F00F2H	周辺クロック選択レジスタ	PCKSEL	R/W			—	00H				
F00F3H	動作スピード・モード制御レジスタ	OSMC	R/W			—	00H				
F00F6H	PLL状態レジスタ	PLLSTS	R			—	00H				
F00F7H	PLL制御レジスタ	PLLCTL	R/W			—	00H				
F00FBH	POCリセット・レジスタ	POCRES	R/W			—	00H				
F00FCH	STOPステータス出力制御レジスタ	STPSTC	R/W			—	00H				
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	—	—	不定				
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	—	0000H				
F0101H		—			—	—					
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	—	0000H	—			
F0103H		—			—	—					
F0104H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	—	0000H				
F0105H		—			—	—					
F0106H	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	—	0000H	—			
F0107H		—			—	—					
F0108H	シリアル・モード・レジスタ00	SMR00	R/W	—	—		0020H				
F0109H											
F010AH	シリアル・モード・レジスタ01	SMR01	R/W	—	—		0020H	—			
F010BH											
F010CH	シリアル通信動作設定レジスタ00	SCR00	R/W	—	—		0087H				
F010DH											
F010EH	シリアル通信動作設定レジスタ01	SCR01	R/W	—	—		0087H	—			
F010FH											
F0110H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R			0000H				
F0111H		—				—		—			

表3-6 拡張SFR (2nd SFR) 一覧 (3/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
F0112H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H				
F0113H		—			—	—						
F0114H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H				
F0115H		—			—	—						
F0116H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—			0000H				
F0117H		—			—	—						
F0118H	シリアル出力レジスタ0	SO0		R/W	—	—		0303H				
F0119H												
F011AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H				
F011BH		—			—	—						
F0120H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—			0000H				
F0121H		—			—	—						
F0122H	シリアル・スレーブ選択許可レジスタ0	SSE0L	SSE0	R/W				0000H				
F0123H		—			—	—						
F0130H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—			0000H				
F0131H		—			—	—						
F0132H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—			0000H				
F0133H		—			—	—						
F0134H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—			0000H				
F0135H		—			—	—						
F0136H	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—			0000H				
F0137H		—			—	—						
F0138H	シリアル・モード・レジスタ10	SMR10		R/W	—	—		0020H				
F0139H												
F013AH	シリアル・モード・レジスタ11	SMR11		R/W	—	—		0020H				
F013BH												
F013CH	シリアル通信動作設定レジスタ10	SCR10		R/W	—	—		0087H				
F013DH												
F013EH	シリアル通信動作設定レジスタ11	SCR11		R/W	—	—		0087H				
F013FH												
F0140H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R				0000H				
F0141H		—			—	—						
F0142H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W				0000H				
F0143H		—			—	—						
F0144H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W				0000H				
F0145H		—			—	—						
F0146H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	—			0000H				
F0147H		—			—	—						

表3-6 拡張SFR (2nd SFR) 一覧 (4/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
F0148H	シリアル出力レジスタ1	SO1		R/W	—	—		0303H				
F0149H												
F014AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W				0000H				
F014BH		—			—	—						
F0150H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	—			0000H				
F0151H		—			—	—						
F0158H	シリアル出力レベル・レジスタ2	SOL2L	SOL2	R/W	—			0000H	—			
F0159H		—			—	—						
F0160H	シリアル・ステータス・レジスタ20	SSR20L	SSR20	R	—			0000H	—			
F0161H		—			—	—						
F0162H	シリアル・ステータス・レジスタ21	SSR21L	SSR21	R	—			0000H	—			
F0163H		—			—	—						
F0164H	シリアル・フラグ・クリア・トリガ・レジスタ20	SIR20L	SIR20	R/W	—			0000H	—			
F0165H		—			—	—						
F0166H	シリアル・フラグ・クリア・トリガ・レジスタ21	SIR21L	SIR21	R/W	—			0000H	—			
F0167H		—			—	—						
F0168H	シリアル・モード・レジスタ20	SMR20		R/W	—	—		0020H	—			
F0169H												
F016AH	シリアル・モード・レジスタ21	SMR21		R/W	—	—		0020H	—			
F016BH												
F016CH	シリアル通信動作設定レジスタ20	SCR20		R/W	—	—		0087H	—			
F016DH												
F016EH	シリアル通信動作設定レジスタ21	SCR21		R/W	—	—		0087H	—			
F016FH												
F0170H	シリアル・チャンネル許可ステータス・レジスタ2	SE2L	SE2	R				0000H	—			
F0171H		—			—	—						
F0172H	シリアル・チャンネル開始レジスタ2	SS2L	SS2	R/W				0000H	—			
F0173H		—			—	—						
F0174H	シリアル・チャンネル停止レジスタ2	ST2L	ST2	R/W				0000H	—			
F0175H		—			—	—						
F0176H	シリアル・クロック選択レジスタ2	SPS2L	SPS2	R/W	—			0000H	—			
F0177H		—			—	—						
F0178H	シリアル出力レジスタ2	SO2		R/W	—	—		0303H	—			
F0179H												
F017AH	シリアル出力許可レジスタ2	SOE2L	SOE2	R/W				0000H	—			
F017BH		—			—	—						
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	—		FFFFH				
F0181H												

表3-6 拡張SFR (2nd SFR) 一覧 (5/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
							48	64	80	100	
F0182H	タイマ・カウンタ・レジスタ01	TCR01	R	-	-		FFFFH				
F0183H											
F0184H	タイマ・カウンタ・レジスタ02	TCR02	R	-	-		FFFFH				
F0185H											
F0186H	タイマ・カウンタ・レジスタ03	TCR03	R	-	-		FFFFH				
F0187H											
F0188H	タイマ・カウンタ・レジスタ04	TCR04	R	-	-		FFFFH				
F0189H											
F018AH	タイマ・カウンタ・レジスタ05	TCR05	R	-	-		FFFFH				
F018BH											
F018CH	タイマ・カウンタ・レジスタ06	TCR06	R	-	-		FFFFH				
F018DH											
F018EH	タイマ・カウンタ・レジスタ07	TCR07	R	-	-		FFFFH				
F018FH											
F0190H	タイマ・モード・レジスタ00	TMR00	R/W	-	-		0000H				
F0191H											
F0192H	タイマ・モード・レジスタ01	TMR01	R/W	-	-		0000H				
F0193H											
F0194H	タイマ・モード・レジスタ02	TMR02	R/W	-	-		0000H				
F0195H											
F0196H	タイマ・モード・レジスタ03	TMR03	R/W	-	-		0000H				
F0197H											
F0198H	タイマ・モード・レジスタ04	TMR04	R/W	-	-		0000H				
F0199H											
F019AH	タイマ・モード・レジスタ05	TMR05	R/W	-	-		0000H				
F019BH											
F019CH	タイマ・モード・レジスタ06	TMR06	R/W	-	-		0000H				
F019DH											
F019EH	タイマ・モード・レジスタ07	TMR07	R/W	-	-		0000H				
F019FH											
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	R	-	-		0000H				
F01A1H		-									
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	R	-	-		0000H				
F01A3H		-									
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	R	-	-		0000H				
F01A5H		-									
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	R	-	-		0000H				
F01A7H		-									
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	R	-	-		0000H				
F01A9H		-									
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	R	-	-		0000H				
F01ABH		-									

表3-6 拡張SFR (2nd SFR) 一覧 (6/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	—	—	—	0000H				
F01ADH		—			—	—						
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	—	—	—	0000H				
F01AFH		—			—	—						
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R	—	—	—	0000H				
F01B1H		—			—	—						
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W	—	—	—	0000H				
F01B3H		—			—	—						
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W	—	—	—	0000H				
F01B5H		—			—	—						
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	—	0000H				
F01B7H												
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	—	—	0000H				
F01B9H		—			—	—						
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	—	—	—	0000H				
F01BBH		—			—	—						
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	—	—	0000H				
F01BDH		—			—	—						
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	—	—	0000H				
F01BFH		—			—	—						
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	—	—	—	FFFFH				
F01C1H												
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	—	—	—	FFFFH				
F01C3H												
F01C4H	タイマ・カウンタ・レジスタ12	TCR12		R	—	—	—	FFFFH				
F01C5H												
F01C6H	タイマ・カウンタ・レジスタ13	TCR13		R	—	—	—	FFFFH				
F01C7H												
F01C8H	タイマ・カウンタ・レジスタ14	TCR14		R	—	—	—	FFFFH				
F01C9H												
F01CAH	タイマ・カウンタ・レジスタ15	TCR15		R	—	—	—	FFFFH				
F01CBH												
F01CCH	タイマ・カウンタ・レジスタ16	TCR16		R	—	—	—	FFFFH				
F01CDH												
F01CEH	タイマ・カウンタ・レジスタ17	TCR17		R	—	—	—	FFFFH				
F01CFH												
F01D0H	タイマ・モード・レジスタ10	TMR10		R/W	—	—	—	0000H				
F01D1H												

表3-6 拡張SFR (2nd SFR) 一覧 (7/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
							48	64	80	100	
F01D2H	タイマ・モード・レジスタ11	TMR11	R/W	—	—		0000H				
F01D3H											
F01D4H	タイマ・モード・レジスタ12	TMR12	R/W	—	—		0000H				
F01D5H											
F01D6H	タイマ・モード・レジスタ13	TMR13	R/W	—	—		0000H				
F01D7H											
F01D8H	タイマ・モード・レジスタ14	TMR14	R/W	—	—		0000H				
F01D9H											
F01DAH	タイマ・モード・レジスタ15	TMR15	R/W	—	—		0000H				
F01DBH											
F01DCH	タイマ・モード・レジスタ16	TMR16	R/W	—	—		0000H				
F01DDH											
F01DEH	タイマ・モード・レジスタ17	TMR17	R/W	—	—		0000H				
F01DFH											
F01E0H	タイマ・ステータス・レジスタ10	TSR10L	TSR10	R	—		0000H				
F01E1H		—			—						
F01E2H	タイマ・ステータス・レジスタ11	TSR11L	TSR11	R	—		0000H				
F01E3H		—			—						
F01E4H	タイマ・ステータス・レジスタ12	TSR12L	TSR12	R	—		0000H				
F01E5H		—			—						
F01E6H	タイマ・ステータス・レジスタ13	TSR13L	TSR13	R	—		0000H				
F01E7H		—			—						
F01E8H	タイマ・ステータス・レジスタ14	TSR14L	TSR14	R	—		0000H				
F01E9H		—			—						
F01EAH	タイマ・ステータス・レジスタ15	TSR15L	TSR15	R	—		0000H				
F01EBH		—			—						
F01ECH	タイマ・ステータス・レジスタ16	TSR16L	TSR16	R	—		0000H				
F01EDH		—			—						
F01EEH	タイマ・ステータス・レジスタ17	TSR17L	TSR17	R	—		0000H				
F01EFH		—			—						
F01F0H	タイマ・チャンネル許可ステータス・レジスタ1	TE1L	TE1	R			0000H				
F01F1H		—			—						
F01F2H	タイマ・チャンネル開始レジスタ1	TS1L	TS1	R/W			0000H				
F01F3H		—			—						
F01F4H	タイマ・チャンネル停止レジスタ1	TT1L	TT1	R/W			0000H				
F01F5H		—			—						
F01F6H	タイマ・クロック選択レジスタ1	TPS1		R/W	—	—	0000H				
F01F7H											

表3-6 拡張SFR (2nd SFR) 一覧 (8/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
F01F8H	タイマ出力レジスタ1	TO1L	TO1	R/W	—			0000H				
F01F9H		—			—							
F01FAH	タイマ出力許可レジスタ1	TOE1L	TOE1	R/W				0000H				
F01FBH		—			—							
F01FCH	タイマ出力レベル・レジスタ1	TOL1L	TOL1	R/W	—			0000H				
F01FDH		—			—							
F01FEH	タイマ出力モード・レジスタ1	TOM1L	TOM1	R/W	—			0000H				
F01FFH		—			—							
F0200H	タイマ・カウンタ・レジスタ20	TCR20		R	—	—		FFFFH	—			
F0201H												
F0202H	タイマ・カウンタ・レジスタ21	TCR21		R	—	—		FFFFH	—			
F0203H												
F0204H	タイマ・カウンタ・レジスタ22	TCR22		R	—	—		FFFFH	—			
F0205H												
F0206H	タイマ・カウンタ・レジスタ23	TCR23		R	—	—		FFFFH	—			
F0207H												
F0208H	タイマ・カウンタ・レジスタ24	TCR24		R	—	—		FFFFH	—	—	—	
F0209H												
F020AH	タイマ・カウンタ・レジスタ25	TCR25		R	—	—		FFFFH	—	—	—	
F020BH												
F020CH	タイマ・カウンタ・レジスタ26	TCR26		R	—	—		FFFFH	—	—	—	
F020DH												
F020EH	タイマ・カウンタ・レジスタ27	TCR27		R	—	—		FFFFH	—	—	—	
F020FH												
F0210H	タイマ・モード・レジスタ20	TMR20		R/W	—	—		0000H	—			
F0211H												
F0212H	タイマ・モード・レジスタ21	TMR21		R/W	—	—		0000H	—			
F0213H												
F0214H	タイマ・モード・レジスタ22	TMR22		R/W	—	—		0000H	—			
F0215H												
F0216H	タイマ・モード・レジスタ23	TMR23		R/W	—	—		0000H	—			
F0217H												
F0218H	タイマ・モード・レジスタ24	TMR24		R/W	—	—		0000H	—	—	—	
F0219H												
F021AH	タイマ・モード・レジスタ25	TMR25		R/W	—	—		0000H	—	—	—	
F021BH												
F021CH	タイマ・モード・レジスタ26	TMR26		R/W	—	—		0000H	—	—	—	
F021DH												
F021EH	タイマ・モード・レジスタ27	TMR27		R/W	—	—		0000H	—	—	—	
F021FH												

表3-6 拡張SFR (2nd SFR) 一覧 (9/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
F0220H	タイマ・ステータス・レジスタ20	TSR20L	TSR20	R	—	—	—	0000H	—	—	—	—
F0221H		—			—	—						
F0222H	タイマ・ステータス・レジスタ21	TSR21L	TSR21	R	—	—	—	0000H	—	—	—	—
F0223H		—			—	—						
F0224H	タイマ・ステータス・レジスタ22	TSR22L	TSR22	R	—	—	—	0000H	—	—	—	—
F0225H		—			—	—						
F0226H	タイマ・ステータス・レジスタ23	TSR23L	TSR23	R	—	—	—	0000H	—	—	—	—
F0227H		—			—	—						
F0228H	タイマ・ステータス・レジスタ24	TSR24L	TSR24	R	—	—	—	0000H	—	—	—	—
F0229H		—			—	—						
F022AH	タイマ・ステータス・レジスタ25	TSR25L	TSR25	R	—	—	—	0000H	—	—	—	—
F022BH		—			—	—						
F022CH	タイマ・ステータス・レジスタ26	TSR26L	TSR26	R	—	—	—	0000H	—	—	—	—
F022DH		—			—	—						
F022EH	タイマ・ステータス・レジスタ27	TSR27L	TSR27	R	—	—	—	0000H	—	—	—	—
F022FH		—			—	—						
F0230H	タイマ・チャンネル許可ステータス・レジスタ2	TE2L	TE2	R	—	—	—	0000H	—	—	—	—
F0231H		—			—	—						
F0232H	タイマ・チャンネル開始レジスタ2	TS2L	TS2	R/W	—	—	—	0000H	—	—	—	—
F0233H		—			—	—						
F0234H	タイマ・チャンネル停止レジスタ2	TT2L	TT2	R/W	—	—	—	0000H	—	—	—	—
F0235H		—			—	—						
F0236H	タイマ・クロック選択レジスタ2	TPS2		R/W	—	—	—	0000H	—	—	—	—
F0237H												
F0238H	タイマ出力レジスタ2	TO2L	TO2	R/W	—	—	—	0000H	—	—	—	—
F0239H		—			—	—						
F023AH	タイマ出力許可レジスタ2	TOE2L	TOE2	R/W	—	—	—	0000H	—	—	—	—
F023BH		—			—	—						
F023CH	タイマ出力レベル・レジスタ2	TOL2L	TOL2	R/W	—	—	—	0000H	—	—	—	—
F023DH		—			—	—						
F023EH	タイマ出力モード・レジスタ2	TOM2L	TOM2	R/W	—	—	—	0000H	—	—	—	—
F023FH		—			—	—						
F0240H	LIN-UART0制御レジスタ0	UF0CTL0		R/W			—	10H				
F0241H	LIN-UART0オプション・レジスタ0	UF0OPT0		R/W			—	14H				
F0242H	LIN-UART0制御レジスタ1	UF0CTL1		R/W	—	—	—	0FFFH				
F0243H												
F0244H	LIN-UART0オプション・レジスタ1	UF0OPT1		R/W			—	00H				
F0245H	LIN-UART0オプション・レジスタ2	UF0OPT2		R/W			—	00H				
F0246H	LIN-UART0状態レジスタ	UF0STR		R	—	—	—	0000H				
F0247H												

表3-6 拡張SFR (2nd SFR) 一覧 (10/13)

アドレス	特殊機能レジスタ (SFR) 名称		略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
					1	8	16		C	E	F	G
					ビット	ビット	ビット		3	3	3	3
								48	64	80	100	
F0248H	LIN-UART0状態クリア・レジスタ		UF0STC	R/W	—	—		0000H				
F0249H												
F024AH		LIN-UART0ウェイト用8-bit送信データ・レジスタ	UF0WTXB	W	—	—		00H				
F024BH	LIN-UART0ウェイト用送信データ・レジスタ		UF0WTX	W	—	—		0000H				
F024EH	LIN-UART0 ID設定レジスタ		UF0ID	R/W	—	—		00H				
F024FH	LIN-UART0バッファ・レジスタ0		UF0BUF0	R/W	—	—		00H				
F0250H	LIN-UART0バッファ・レジスタ1		UF0BUF1	R/W	—	—		00H				
F0251H	LIN-UART0バッファ・レジスタ2		UF0BUF2	R/W	—	—		00H				
F0252H	LIN-UART0バッファ・レジスタ3		UF0BUF3	R/W	—	—		00H				
F0253H	LIN-UART0バッファ・レジスタ4		UF0BUF4	R/W	—	—		00H				
F0254H	LIN-UART0バッファ・レジスタ5		UF0BUF5	R/W	—	—		00H				
F0255H	LIN-UART0バッファ・レジスタ6		UF0BUF6	R/W	—	—		00H				
F0256H	LIN-UART0バッファ・レジスタ7		UF0BUF7	R/W	—	—		00H				
F0257H	LIN-UART0バッファ・レジスタ8		UF0BUF8	R/W	—	—		00H				
F0258H	LIN-UART0バッファ制御レジスタ		UF0BUCTL	R/W	—	—		0000H				
F0259H												
F0260H	LIN-UART1制御レジスタ0		UF1CTL0	R/W		—		10H				
F0261H	LIN-UART1オプション・レジスタ0		UF1OPT0	R/W		—		14H				
F0262H	LIN-UART1制御レジスタ1		UF1CTL1	R/W	—	—		0FFFH				
F0263H												
F0264H	LIN-UART1オプション・レジスタ1		UF1OPT1	R/W		—		00H				
F0265H	LIN-UART1オプション・レジスタ2		UF1OPT2	R/W		—		00H				
F0266H	LIN-UART1状態レジスタ		UF1STR	R	—	—		0000H				
F0267H												
F0268H	LIN-UART1状態クリア・レジスタ		UF1STC	R/W	—	—		0000H				
F0269H												
F026AH		LIN-UART1ウェイト用8-bit送信データ・レジスタ	UF1WTXB	W	—	—		00H				
F026BH	LIN-UART1ウェイト用送信データ・レジスタ		UF1WTX	W	—	—		0000H				
F026EH	LIN-UART1 ID設定レジスタ		UF1ID	R/W	—	—		00H				
F026FH	LIN-UART1バッファ・レジスタ0		UF1BUF0	R/W	—	—		00H				
F0270H	LIN-UART1バッファ・レジスタ1		UF1BUF1	R/W	—	—		00H				
F0271H	LIN-UART1バッファ・レジスタ2		UF1BUF2	R/W	—	—		00H				
F0272H	LIN-UART1バッファ・レジスタ3		UF1BUF3	R/W	—	—		00H				
F0273H	LIN-UART1バッファ・レジスタ4		UF1BUF4	R/W	—	—		00H				
F0274H	LIN-UART1バッファ・レジスタ5		UF1BUF5	R/W	—	—		00H				
F0275H	LIN-UART1バッファ・レジスタ6		UF1BUF6	R/W	—	—		00H				
F0276H	LIN-UART1バッファ・レジスタ7		UF1BUF7	R/W	—	—		00H				
F0277H	LIN-UART1バッファ・レジスタ8		UF1BUF8	R/W	—	—		00H				
F0278H	LIN-UART1バッファ制御レジスタ		UF1BUCTL	R/W	—	—		0000H				
F0279H												

表3-6 拡張SFR (2nd SFR) 一覧 (11/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
								48	64	80	100
F0280H	10ビットA/D変換結果レジスタ0	ADCR0	R	—	—		0000H				
F0281H	8ビットA/D変換結果レジスタ0	ADCR0H	R	—	—		00H				
F0282H	10ビットA/D変換結果レジスタ1	ADCR1	R	—	—		0000H				
F0283H	8ビットA/D変換結果レジスタ1	ADCR1H	R	—	—		00H				
F0284H	10ビットA/D変換結果レジスタ2	ADCR2	R	—	—		0000H				
F0285H	8ビットA/D変換結果レジスタ2	ADCR2H	R	—	—		00H				
F0286H	10ビットA/D変換結果レジスタ3	ADCR3	R	—	—		0000H				
F0287H	8ビットA/D変換結果レジスタ3	ADCR3H	R	—	—		00H				
F0288H	10ビットA/D変換結果レジスタ4	ADCR4	R	—	—		0000H				
F0289H	8ビットA/D変換結果レジスタ4	ADCR4H	R	—	—		00H				
F028AH	10ビットA/D変換結果レジスタ5	ADCR5	R	—	—		0000H				
F028BH	8ビットA/D変換結果レジスタ5	ADCR5H	R	—	—		00H				
F028CH	10ビットA/D変換結果レジスタ6	ADCR6	R	—	—		0000H				
F028DH	8ビットA/D変換結果レジスタ6	ADCR6H	R	—	—		00H				
F028EH	10ビットA/D変換結果レジスタ7	ADCR7	R	—	—		0000H				
F028FH	8ビットA/D変換結果レジスタ7	ADCR7H	R	—	—		00H				
F0290H	10ビットA/D変換結果レジスタ8	ADCR8	R	—	—		0000H				
F0291H	8ビットA/D変換結果レジスタ8	ADCR8H	R	—	—		00H				
F0292H	10ビットA/D変換結果レジスタ9	ADCR9	R	—	—		0000H				
F0293H	8ビットA/D変換結果レジスタ9	ADCR9H	R	—	—		00H				
F0294H	10ビットA/D変換結果レジスタ10	ADCR10	R	—	—		0000H				
F0295H	8ビットA/D変換結果レジスタ10	ADCR10H	R	—	—		00H				
F0296H	10ビットA/D変換結果レジスタ11	ADCR11	R	—	—		0000H	—			
F0297H	8ビットA/D変換結果レジスタ11	ADCR11H	R	—	—		00H	—			
F0298H	10ビットA/D変換結果レジスタ12	ADCR12	R	—	—		0000H	—			
F0299H	8ビットA/D変換結果レジスタ12	ADCR12H	R	—	—		00H	—			
F029AH	10ビットA/D変換結果レジスタ13	ADCR13	R	—	—		0000H	—			
F029BH	8ビットA/D変換結果レジスタ13	ADCR13H	R	—	—		00H	—			
F029CH	10ビットA/D変換結果レジスタ14	ADCR14	R	—	—		0000H	—			
F029DH	8ビットA/D変換結果レジスタ14	ADCR14H	R	—	—		00H	—			
F029EH	10ビットA/D変換結果レジスタ15	ADCR15	R	—	—		0000H	—	—		
F029FH	8ビットA/D変換結果レジスタ15	ADCR15H	R	—	—		00H	—	—		
F02A0H	10ビットA/D変換結果レジスタ16	ADCR16	R	—	—		0000H	—	—	—	
F02A1H	8ビットA/D変換結果レジスタ16	ADCR16H	R	—	—		00H	—	—	—	
F02A2H	10ビットA/D変換結果レジスタ17	ADCR17	R	—	—		0000H	—	—	—	
F02A3H	8ビットA/D変換結果レジスタ17	ADCR17H	R	—	—		00H	—	—	—	
F02A4H	10ビットA/D変換結果レジスタ18	ADCR18	R	—	—		0000H	—	—	—	
F02A5H	8ビットA/D変換結果レジスタ18	ADCR18H	R	—	—		00H	—	—	—	
F02A6H	10ビットA/D変換結果レジスタ19	ADCR19	R	—	—		0000H	—	—	—	
F02A7H	8ビットA/D変換結果レジスタ19	ADCR19H	R	—	—		00H	—	—	—	

表3-6 拡張SFR (2nd SFR) 一覧 (12/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
								48	64	80	100
F02A8H	10ビットA/D変換結果レジスタ20	ADCR20	R	—	—		0000H	—	—	—	
F02A9H	8ビットA/D変換結果レジスタ20	ADCR20H	R	—	—		00H	—	—	—	
F02AAH	10ビットA/D変換結果レジスタ21	ADCR21	R	—	—		0000H	—	—	—	
F02ABH	8ビットA/D変換結果レジスタ21	ADCR21H	R	—	—		00H	—	—	—	
F02ACH	10ビットA/D変換結果レジスタ22	ADCR22	R	—	—		0000H	—	—	—	
F02ADH	8ビットA/D変換結果レジスタ22	ADCR22H	R	—	—		00H	—	—	—	
F02AEH	10ビットA/D変換結果レジスタ23	ADCR23	R	—	—		0000H	—	—	—	
F02AFH	8ビットA/D変換結果レジスタ23	ADCR23H	R	—	—		00H	—	—	—	
F04F0H	データ・フラッシュ・ステータス・レジスタ	DFLST	R			—	00H				
F05C0H	CANグローバル・モジュール制御レジスタ	CGMCTRL	R/W	—	—		0000H				
F05C1H											
F05C6H	CANグローバル自動ブロック送信制御レジスタ	CGMABT	R/W	—	—		0000H				
F05C7H											
F05C8H	CANグローバル自動ブロック送信遅延レジスタ	CGMABTD	R/W	—	—		00H				
F05CEH	CANグローバル・モジュール・クロック選択レジスタ	CGMCS	R/W	—	—		0FH				
F05D0H	CANモジュール・マスク1レジスタL	CMASK1L	R/W	—	—		不定				
F05D1H											
F05D2H	CANモジュール・マスク1レジスタH	CMASK1H	R/W	—	—		不定				
F05D3H											
F05D4H	CANモジュール・マスク2レジスタL	CMASK2L	R/W	—	—		不定				
F05D5H											
F05D6H	CANモジュール・マスク2レジスタH	CMASK2H	R/W	—	—		不定				
F05D7H											
F05D8H	CANモジュール・マスク3レジスタL	CMASK3L	R/W	—	—		不定				
F05D9H											
F05DAH	CANモジュール・マスク3レジスタH	CMASK3H	R/W	—	—		不定				
F05DBH											
F05DCH	CANモジュール・マスク4レジスタL	CMASK4L	R/W	—	—		不定				
F05DDH											
F05DEH	CANモジュール・マスク4レジスタH	CMASK4H	R/W	—	—		不定				
F05DFH											
F05E0H	CANモジュール制御レジスタ	CCTRL	R/W	—	—		0000H				
F05E1H											
F05E2H	CANモジュール最終エラー情報レジスタ	CLEC	R/W	—	—		00H				
F05E3H	CANモジュール情報レジスタ	CINFO	R	—	—		00H				
F05E4H	CANモジュール・エラー・カウンタ・レジスタ	CERC	R	—	—		0000H				
F05E5H											
F05E6H	CANモジュール割り込み許可レジスタ	CIE	R/W	—	—		0000H				
F05E7H											

表3-6 拡張SFR (2nd SFR) 一覧 (13/13)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	H	H	H	H
				1	8	16		C	E	F	G
				ビット	ビット	ビット		3	3	3	3
							48	64	80	100	
F05E8H	CANモジュール割り込みステータス・レジスタ	CINTS	R/W	-	-		0000H				
F05E9H											
F05EAH	CANモジュール・ビットレート・プリスケアラ・レジスタ	CBRP	R/W	-		-	FFH				
F05ECH	CANモジュール・ビットレート・レジスタ	CBTR	R/W	-	-		370FH				
F05EDH											
F05EEH	CANモジュール最終受信ポインタ・レジスタ	CLIPT	R	-		-	不定				
F05F0H	CANモジュール受信履歴・リスト・レジスタ	CRGPT	R/W	-	-		xx02H				
F05F1H											
F05F2H	CANモジュール最終送信ポインタ・レジスタ	CLOPT	R	-		-	不定				
F05F4H	CANモジュール送信履歴・リスト・レジスタ	CTGPT	R/W	-	-		xx02H				
F05F5H											
F05F6H	CANモジュール・タイム・スタンプ・レジスタ	CTS	R/W	-	-		0000H				
F05F7H											

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

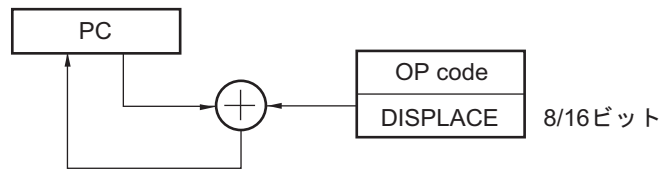
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-18 レラティブ・アドレッシングの概略



注意 以下の命令は、レラティブ・アドレッシングでは行わないでください。

- ・内部プログラム・メモリ空間からRAM空間への分岐命令
- ・RAM空間から内部プログラム・メモリ空間への分岐命令

3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-19 CALL !!addr20/BR !!addr20の例

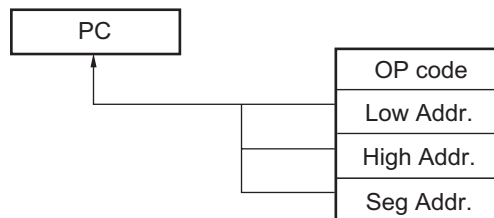
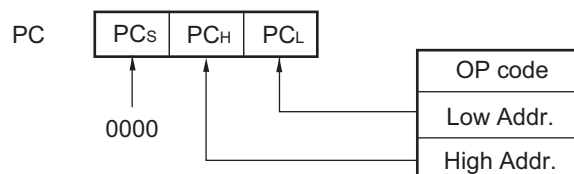


図3-20 CALL !addr16/BR !addr16の例



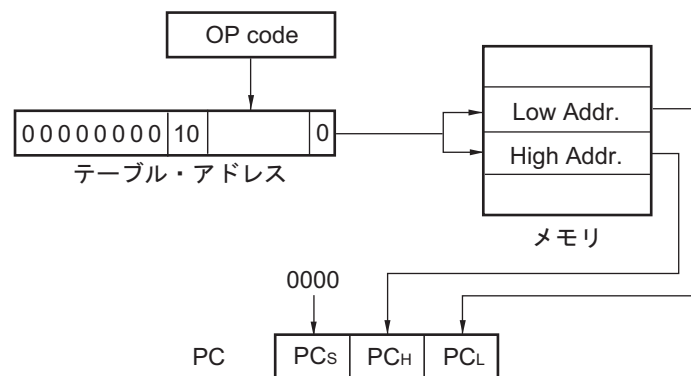
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3-21 テーブル・インダイレクト・アドレッシングの概略

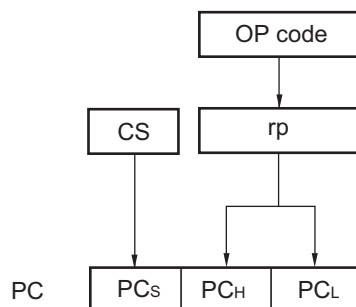


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3-22 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

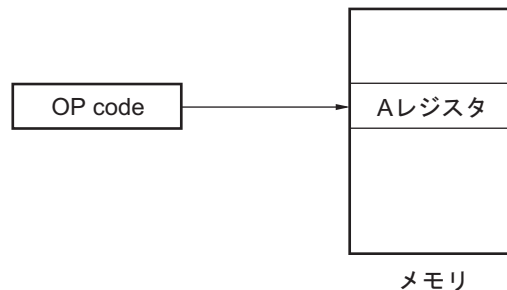
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。
インプライド・アドレッシングはMULU Xのみに適用されます。

図3-23 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

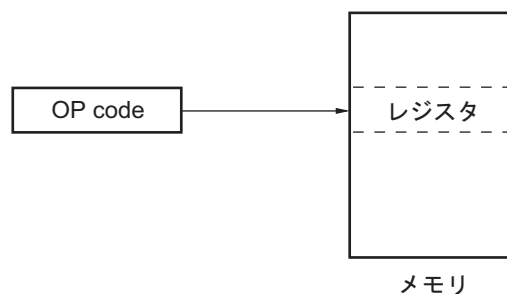
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-24 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3-25 ADDR16の例

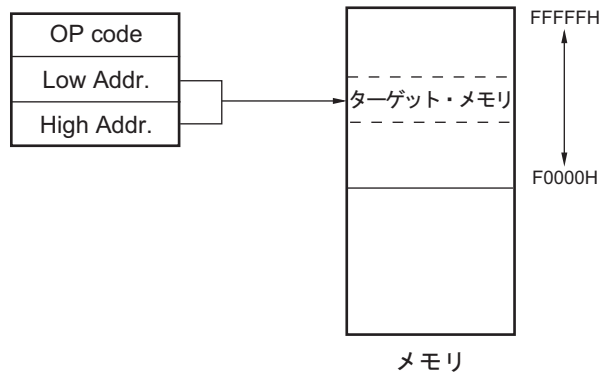
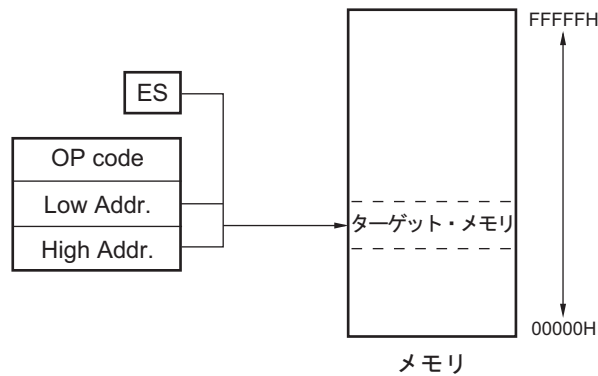


図3-26 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

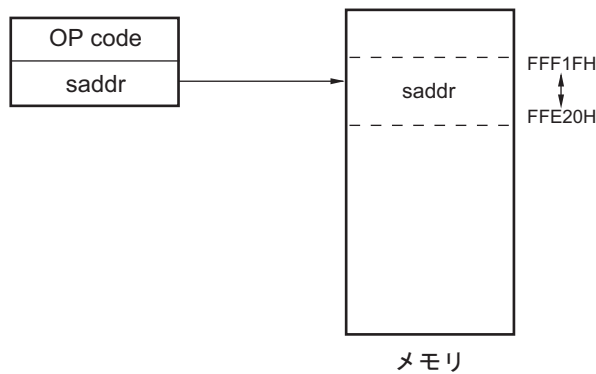
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3-27 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPIは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

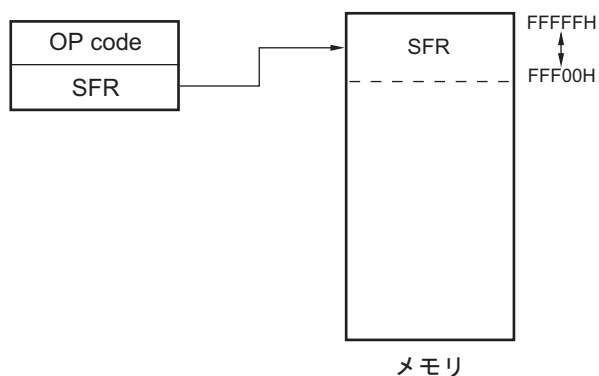
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3-28 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-29 [DE], [HL]の例

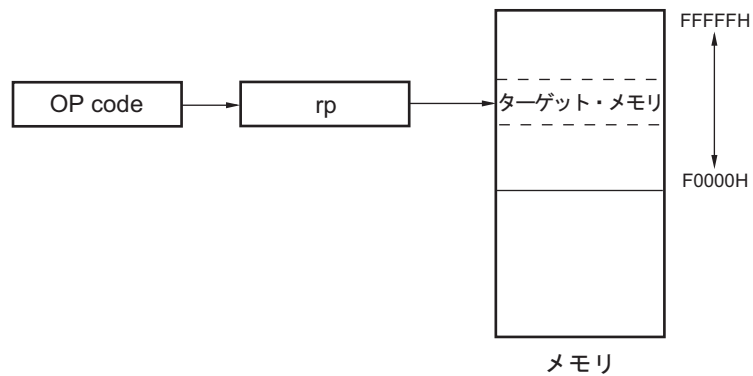
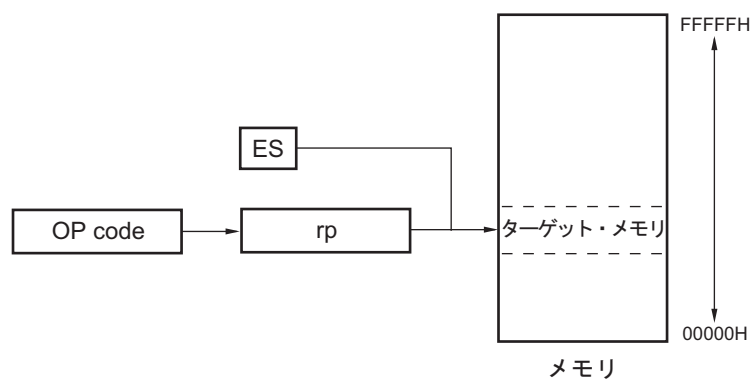


図3-30 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+byte], [DE+byte], [SP+byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+byte], ES:[DE+byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

注意1. ESなしでは、足した値がFFFFHを超える使い方は禁止します。

ESありでは、足した値がFFFFFHを超えた使い方は禁止します。

2. [SP+byte]においては、SPの値はRAM空間にあること、かつSP+byteの足した値がRAM空間のFFEDFH以下にしてください。

図3-31 [SP+byte]の例

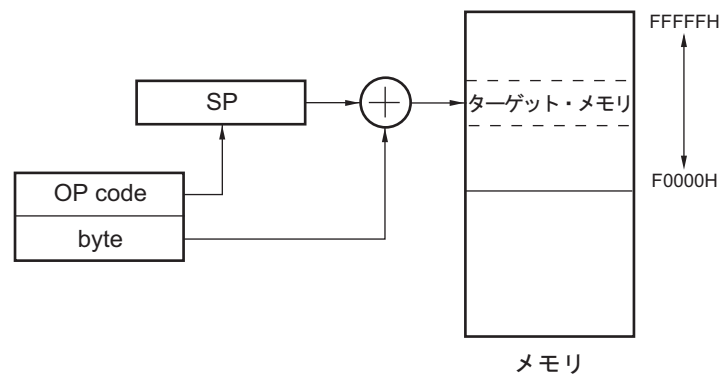


図3-32 [HL+byte], [DE+byte]の例

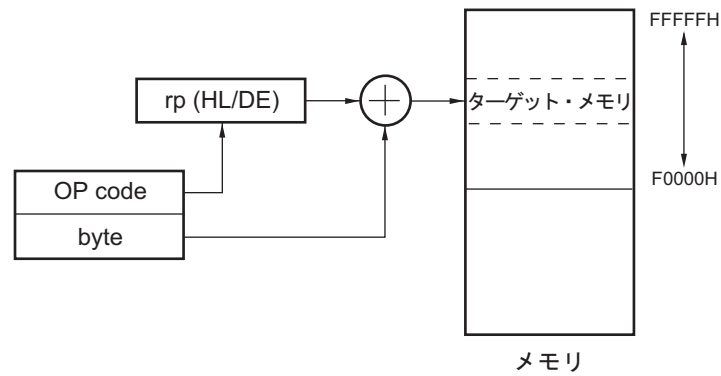


図3-33 word[B], word[C]の例

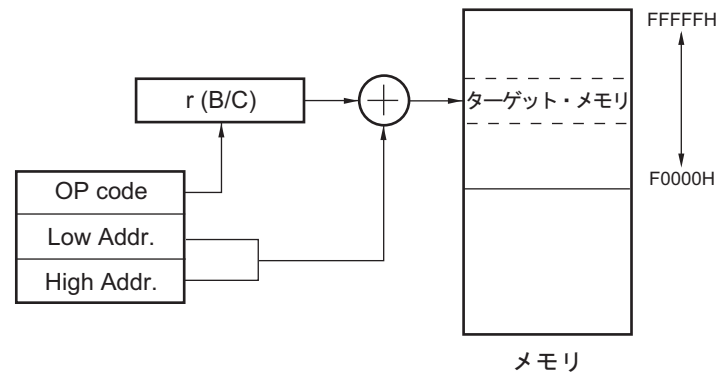


図3-34 word[BC]の例

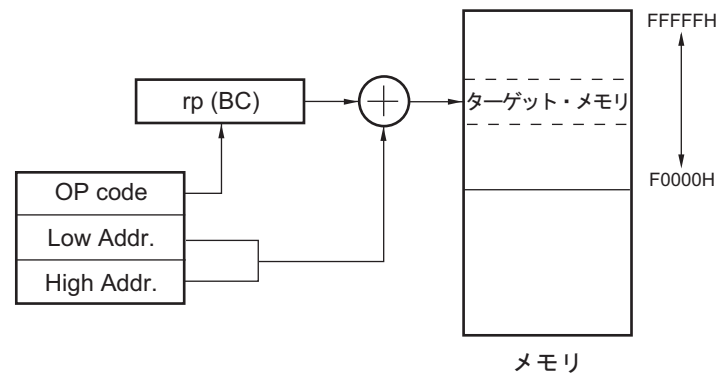


図3-35 ES:[HL+byte], ES:[DE+byte]の例

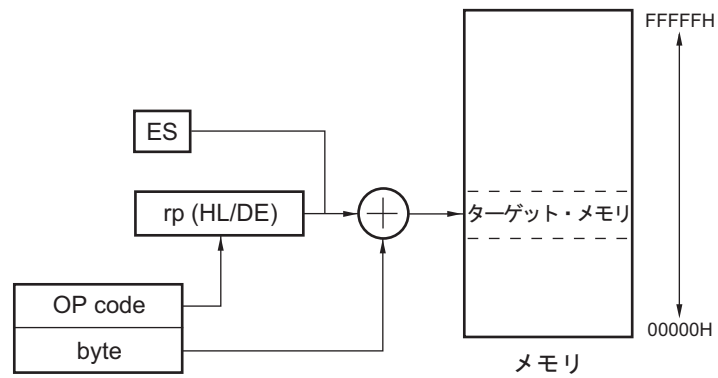


図3-36 ES:word[B], ES:word[C]の例

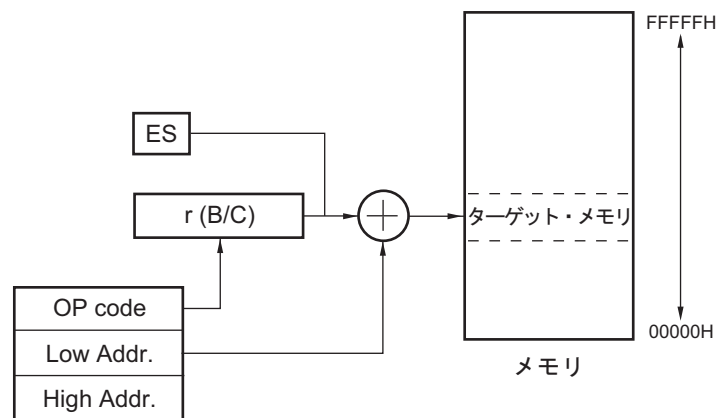
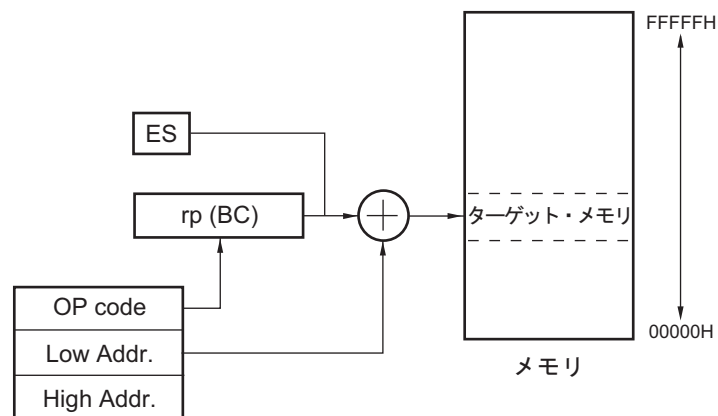


図3-37 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定)

注意 ESなしでは、足した値がFFFFFHを超える使い方は禁止します。
ESありでは、足した値がFFFFFH を超えた使い方は禁止します。

図3-38 [HL+B], [HL+C]の例

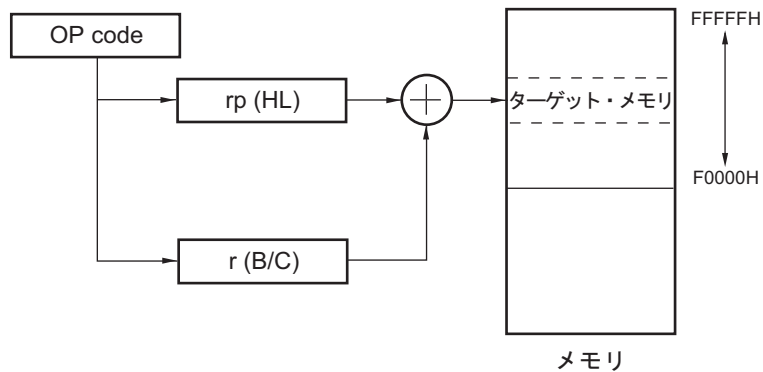
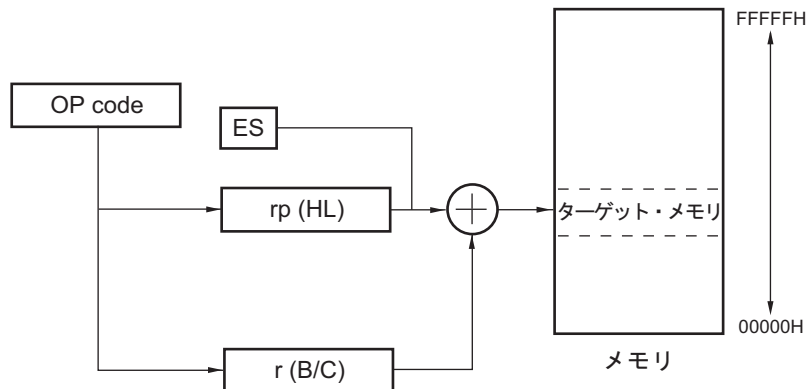


図3-39 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
—	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{REF} 、 EV_{DD} (EV_{DD0} 、 EV_{DD1})、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表4-1 各端子の入出力バッファ電源 (AV_{REF} 、 EV_{DD} 、 V_{DD})

- ・78K0R/HC3: 48ピン・プラスチックLQFP (ファインピッチ) (7x7)
- ・78K0R/HE3: 64ピン・プラスチックLQFP (ファインピッチ) (10x10)
- ・78K0R/HF3: 80ピン・プラスチックLQFP (ファインピッチ) (12x12)

電 源	対応する端子
AV_{REF}	P80-P87, P90-P97
EV_{DD}	P80-P87, P90-P97, P121-P124以外のポート端子
V_{DD}	・ P121-P124 ・ ポート以外の端子

表4-2 各端子の入出力バッファ電源 (AV_{REF} 、 EV_{DD0} 、 EV_{DD1} 、 V_{DD})

- ・78K0R/HG3: 100ピン・プラスチックLQFP (ファインピッチ) (14x14)

電 源	対応する端子
AV_{REF}	P80-P87, P90-P97, P100-P107
EV_{DD0} 、 EV_{DD1}	P80-P87, P90-P97, P100-P107, P121-P124以外のポート端子
V_{DD}	・ P121-P124 ・ ポート以外の端子

78K0R/Hx3は、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4-3のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

表4-3 ポートの機能 (1/4)

H C 3	H E 3	H F 3	H G 3	機能名称	入出力	機能	リセット時	兼用機能
48	64	80	100					
				P00	入出力	ポート0。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP7/TI05/TO05
—	—		P01	TI04/TO04				
—	—		P02	TI06/TO06				
—	—	—	P03	—				
				P10	入出力	ポート1。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00/ SCK10/TO00/ CTxD/LTxD1
			P11	TI02/ SI10/LRxD1/ INTPLR1/CRxD/ TO02				
			P12	INTP3/TI16/SO10/ TO16				
			P13	TI04/LTxD0/TO04				
			P14	TI06/LRxD0/ INTPLR0/TO06				
			P15	TI10/SO00/TO10				
			P16	TI12/SI00/TO12				
			P17	TI14/SCK00/TO14				
				P30	入出力	ポート3。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP2/SSI00/TI01/ TO01
			P31	INTP2/TI11/ STOPST/TO11				
			P32	INTP4/TI13/TO13				

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

表4-3 ポートの機能 (2/4)

H C 3	H E 3	H F 3	H G 3	機能名称	入出力	機能	リセット時	兼用機能
48	64	80	100					
				P40	入出力	ポート4。 入出力ポート。 P42, P43の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0/TI05/TO05
			P41	TOOL1/TI07/TO07				
—			P42	TxD2/SCL20				
—			P43	RxD2/SDA20/ INTPR2				
—	—		P44	TI07/TO07				
—	—		P45	TI10/TO10				
—	—		P46	TI12/TO12				
—	—		P47	INTP8				
—			P50	入出力	ポート5。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP3/TI20/TO20	
—			P51				TI21/TO21	
—			P52				TI22/STOPST/ TO22	
—			P53				TI23/TO23	
—	—		P54				TI11/TO11	
—	—		P55				TI13/TO13	
—	—		P56				TI15/TO15	
—	—		P57				TI17/TO17	
			P60	入出力	ポート6。 入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧)。 P60, P61, P63の入力はTTL入力バッファに設定可能。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/SCL11	
			P61				SI00/SDA11	
			P62				SO00	
			P63				SSI00	
—	—		P64				TI14/TO14	
—	—		P65				TI16/TO16	
—	—		P66				TI00/TO00	
—	—		P67				TI02/TO02	

注意 ■■■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

表4-3 ポートの機能 (3/4)

H C 3	H E 3	H F 3	H G 3	機能名称	入出力	機能	リセット時	兼用機能
48	64	80	100					
				P70	入出力	ポート7。 入出力ポート。 P73, P75-P77の入力はTTL入力バッファに設定可能。 P72, P74, P76の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP5/KR0/TI15/ TO15/LVIOUT
			P71	INTP6/KR1/TI17/ TO17				
			P72	KR2/CTxD/LTxD1				
			P73	KR3/CRxD/LRxD1 /INTPLR1				
—			P74	KR4/SO01				
—			P75	KR5/SI01				
—			P76	KR6/SCK01				
—			P77	KR7/SSI01				
			P80	入出力	ポート8。 入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI00	
			P81				ANI01	
			P82				ANI02	
			P83				ANI03	
			P84				ANI04	
			P85				ANI05	
			P86				ANI06	
			P87				ANI07	
			P90	入出力	ポート9。 入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI08	
			P91				ANI09	
			P92				ANI10	
—			P93				ANI11	
—			P94				ANI12	
—			P95				ANI13	
—			P96				ANI14	
—	—		P97				ANI15	
—	—	—	P100-107	入出力	ポート10。 入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI16-ANI23	

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

表4-3 ポートの機能 (4/4)

H C 3	H E 3	H F 3	H G 3	機能名称	入出力	機能	リセット時	兼用機能
48	64	80	100					
				P120	入出力	ポート12。 入出力ポートと入力ポート。 1ビット単位で入力／出力の指定可能。 P120, P125-P127のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI/TI11 /TO11 ^注
			P121	入力	X1			
			P122		X2/EXCLK			
			P123		—			
			P124		EXCLKS			
			P125	入出力	INTP1/ADTRG/ TI03/TO03			
—	—		P126		TI01/TO01			
—	—	—	P127		TI03/TO03			
			P130	出力	ポート13。 出力専用ポート。	出力ポート	RESOUT	
			P140	入出力	ポート14。 入出力ポート。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート	PCL	
—	—	—	P150	入出力	ポート15。 入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能	入力ポート	—	
—	—	—	P151				SO11	
—	—	—	P152				SI11	
—	—	—	P153				SCK11	
—	—	—	P154				TI24/TO24	
—	—	—	P155				TI25/TO25	
—	—	—	P156				TI26/TO26	
—	—	—	P157				TI27/TO27	

注 TI11, TO11端子は、78K0R/HC3, 78K0R/HE3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-4 ポートの構成 (1/2)

項目	構成
制御レジスタ	<ul style="list-style-type: none"> ・ 78K0R/HC3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0, PM1, PM3, PM4, PM6-PM9, PM12, PM14) ポート・レジスタ (P0, P1, P3, P4, P6-P9, P12-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU4, PU6, PU7, PU12, PU14) ポート入力モード・レジスタ (PIM6, PIM7) ポート出力モード・レジスタ (POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ポート出力スルー・レート選択レジスタ (PSRSEL) ・ 78K0R/HE3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0, PM1, PM3-PM9, PM12, PM14) ポート・レジスタ (P0, P1, P3-P9, P12-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU14) ポート入力モード・レジスタ (PIM6, PIM7) ポート出力モード・レジスタ (POM4, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ポート出力スルー・レート選択レジスタ (PSRSEL) ・ 78K0R/HF3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0, PM1, PM3-PM9, PM12, PM14) ポート・レジスタ (P0, P1, P3-P9, P12-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU14) ポート入力モード・レジスタ (PIM6, PIM7) ポート出力モード・レジスタ (POM4, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ポート出力スルー・レート選択レジスタ (PSRSEL) ・ 78K0R/HG3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0, PM1, PM3-PM10, PM12, PM14, PM15) ポート・レジスタ (P0, P1, P3-P10, P12-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU14, PU15) ポート入力モード・レジスタ (PIM6, PIM7) ポート出力モード・レジスタ (POM4, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ポート出力スルー・レート選択レジスタ (PSRSEL)

表4-4 ポートの構成 (2/2)

項 目	構 成
ポート	<ul style="list-style-type: none"> ・ 78K0R/HC3 : 合計41本 (CMOS入出力 : 32本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本) ・ 78K0R/HE3 : 合計55本 (CMOS入出力 : 46本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本) ・ 78K0R/HF3 : 合計71本 (CMOS入出力 : 62本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本) ・ 78K0R/HG3 : 合計89本 (CMOS入出力 : 80本, CMOS入力 : 4本, CMOS出力 : 1本, N-chオープン・ドレイン入出力 : 4本)
プルアップ抵抗	<ul style="list-style-type: none"> ・ 78K0R/HC3 : 合計25本 ・ 78K0R/HE3 : 合計35本 ・ 78K0R/HF3 : 合計50本 ・ 78K0R/HG3 : 合計60本

4.2.1 ポート0

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P00/INTP7/TI05/ TO05				
P01/TI04/TO04	—	—		
P02/TI06/TO06	—	—		
P03	—	—	—	

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00-P03端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

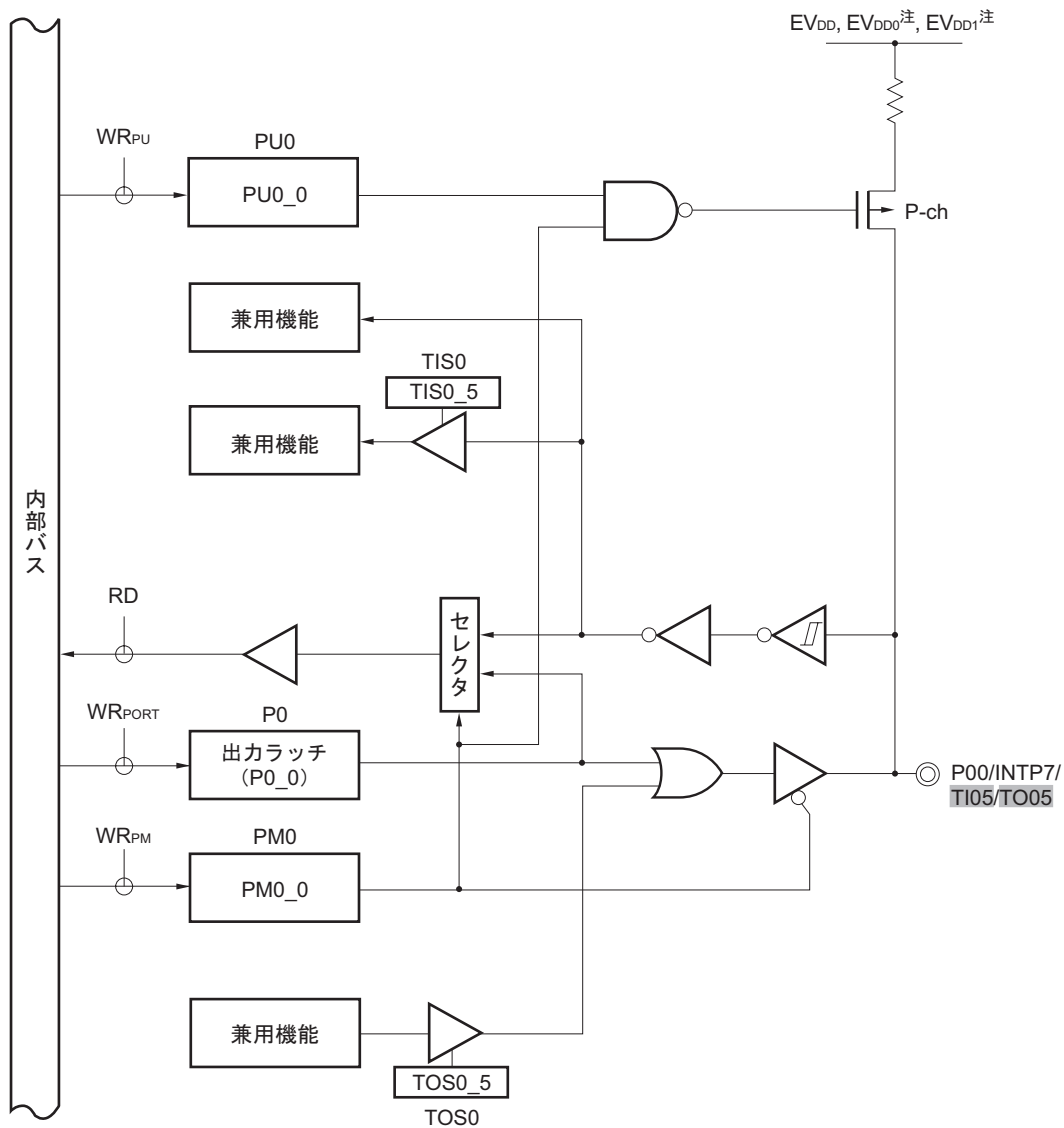
また、兼用機能としてタイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4-1~4-3にポート0のブロック図を示します。

- 注意 1. P00/INTP7/TI05/TO05, P01/TI04/TO04またはP02/TI06/TO06を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット4-6 (TO04-TO06) とタイマ出力許可レジスタ0 (TOE0) のビット4-6 (TOE0_4-TOE0_6) を初期状態と同じ設定“0”で使用してください。
2. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図4-1 P00のブロック図

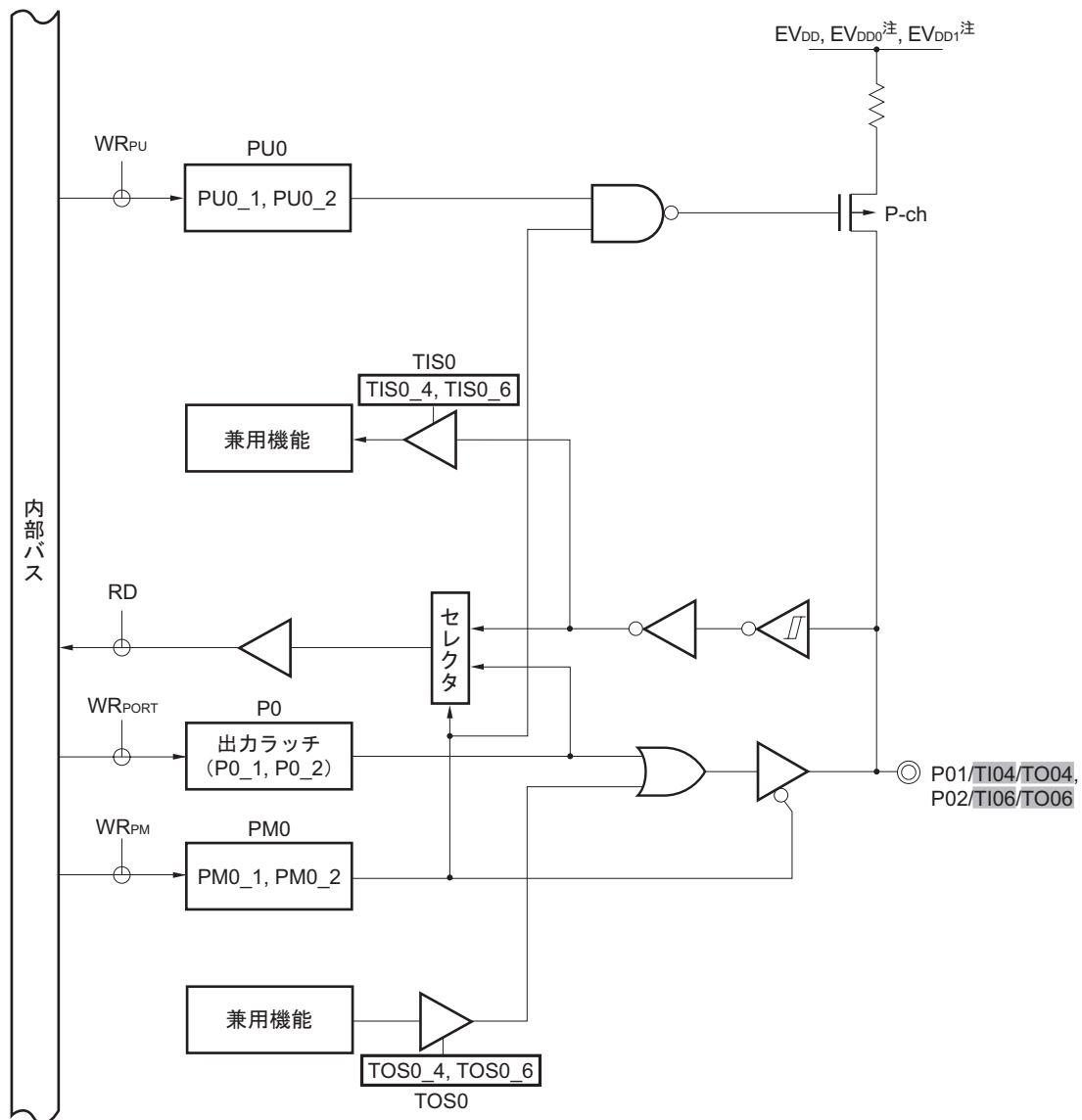


注 EV_{DD0}, EV_{DD1}は, 78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_{xx} : ライト信号

図4-2 P01, P02のブロック図

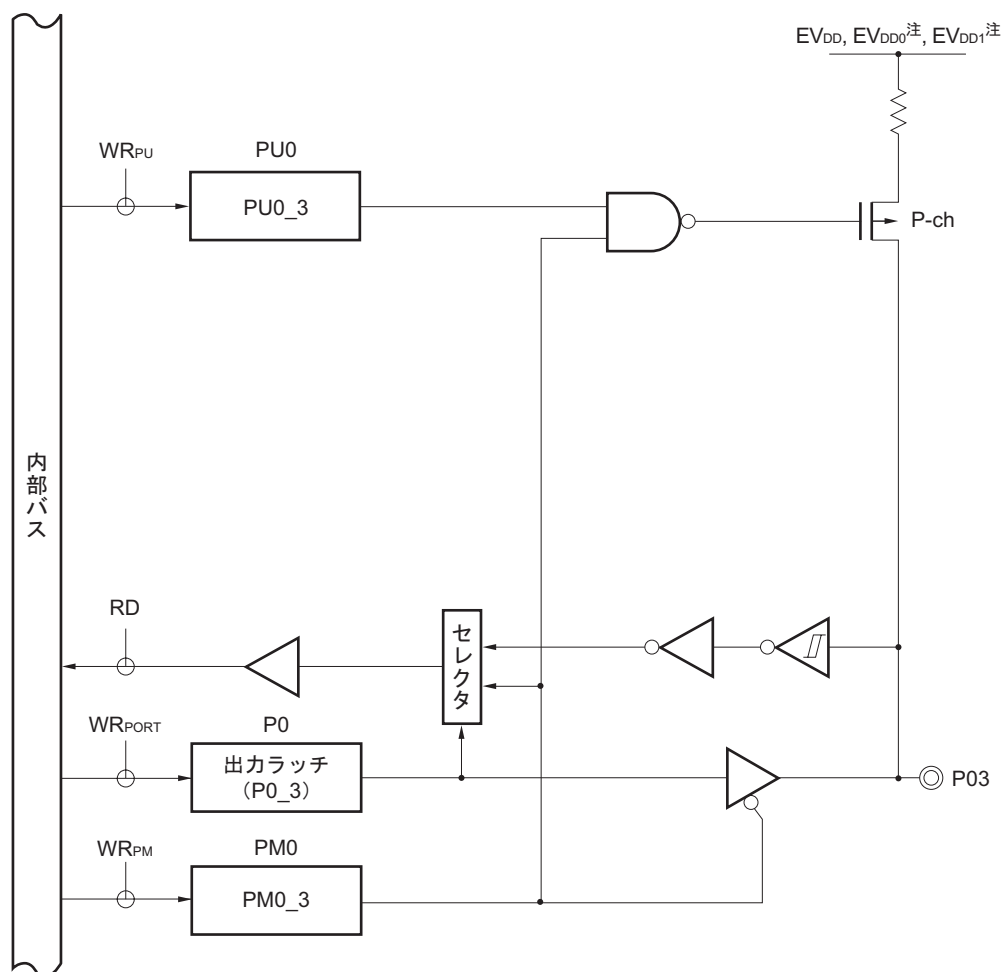


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

図4-3 P03のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

4.2.2 ポート1

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P10/TI00/ SCK10/LTxD1/ CTxD/TO00				
P11/TI02/ SI10/LRxD1/CRxD/ INTPLR1/TO02				
P12/INTP3/TI06/ SO10/TO06				
P13/TI03/LTxD0/ TO03				
P14/TI06/LRxD0/ INTPLR0/TO06				
P15/TI10/SO00/ TO10				
P16/TI12/SI00/ TO12				
P17/TI14/SCK00/ TO14				

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

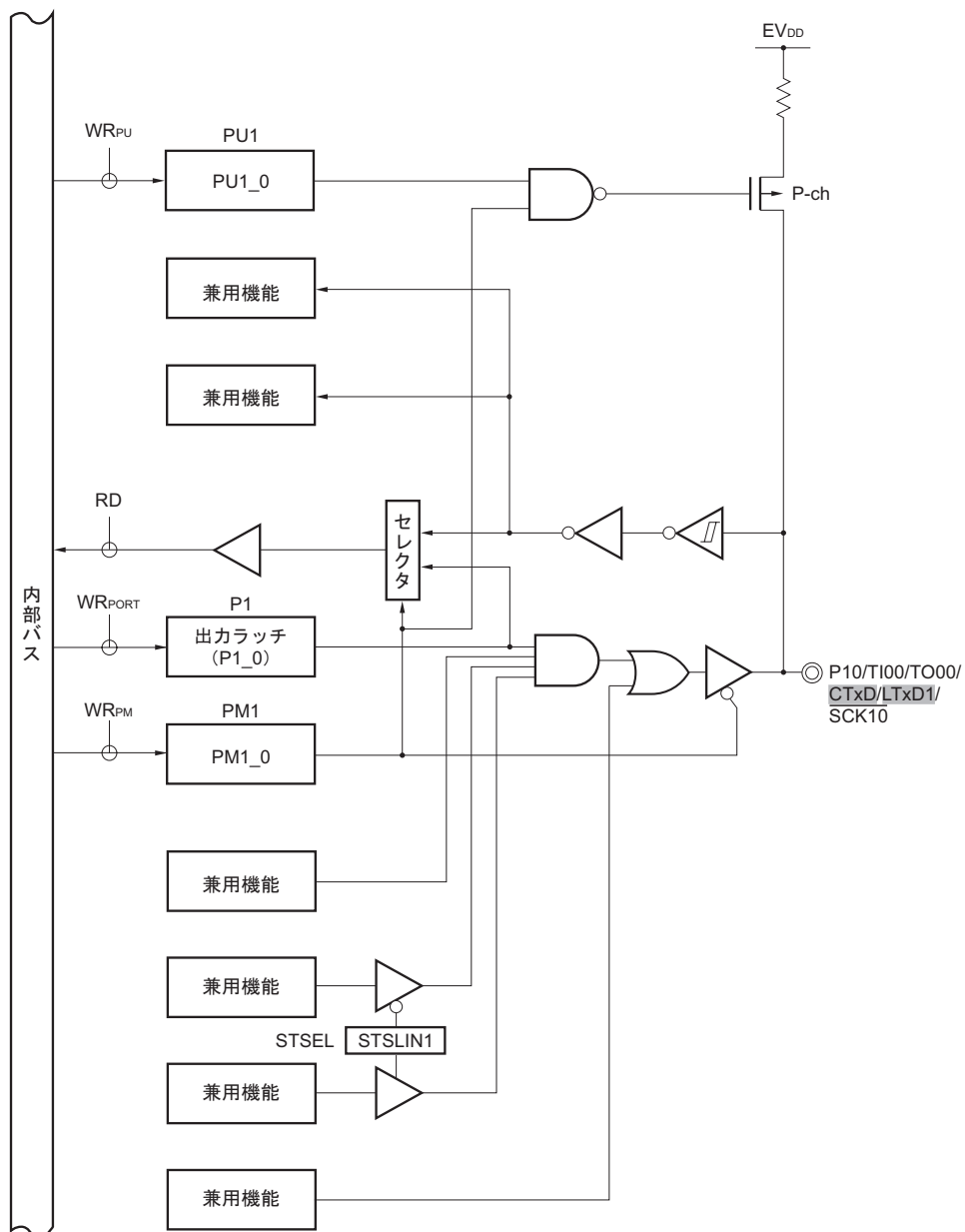
また、兼用機能として外部割り込み要求入力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4-4~4-20にポート1のブロック図を示します。

- 注意1. P10/TI00/SCK10/TO00/LTxD1/CTxD, P11/TI02/SI10/CRxD/LRxD1/INTPLR1/TO02, P12/INTP3/TI16/SO10/TO16, P15/TI10/SO00/TO10, P16/TI12/SI00/TO12, P17/TI14/SCK00/TO14を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、表11-8 レジスタの設定と端子の関係 (ユニット0のチャンネル0: CSI00, STSCSI00 = 0) と表11-11 レジスタの設定と端子の関係 (ユニット1のチャンネル0: CSI10) を参照してください。
2. P10/TI00/SCK10/TO00/LTxD1/CTxD, P11/TI02/SI10/CRxD/LRxD1/INTPLR1/TO02, P12/INTP3/TI16/SO10/TO16, P13/TI04/LTxD0/TO04, P14/TI06/LRxD0/INTPLR0/TO06, P15/TI10/SO00/TO10, P16/TI12/SI00/TO12, P17/TI14/SCK00/TO14を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0, 2, 4, 6 (TO00, TO02, TO04, TO06) およびタイマ出力レジスタ1 (TO1) のビット0, 2, 4, 6 (TO10, TO12, TO14, TO16) とタイマ出力許可レジスタ0 (TOE0) のビット0, 2, 4, 6 (TOE0_0, TOE0_2, TOE0_4, TOE0_6) およびタイマ出力許可レジスタ1 (TOE1) のビット0, 2, 4, 6 (TOE1_0, TOE1_2, TOE1_4, TOE1_6) を初期状態と同じ設定“0”で使用してください。
3. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

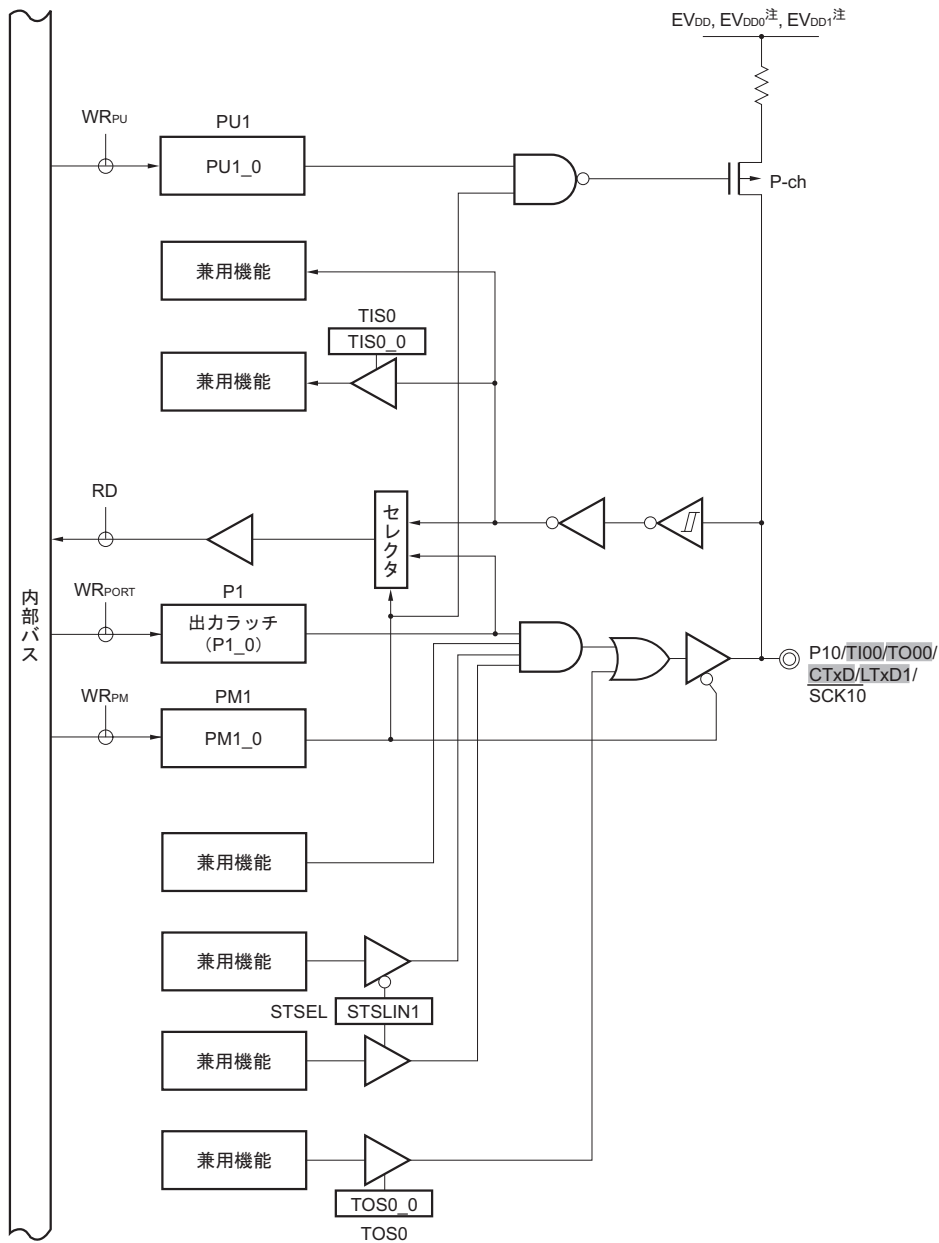
図4-4 P10のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_{xx} : ライト信号

図4-5 P10のブロック図 (78K0R/HF3, 78K0R/HG3)

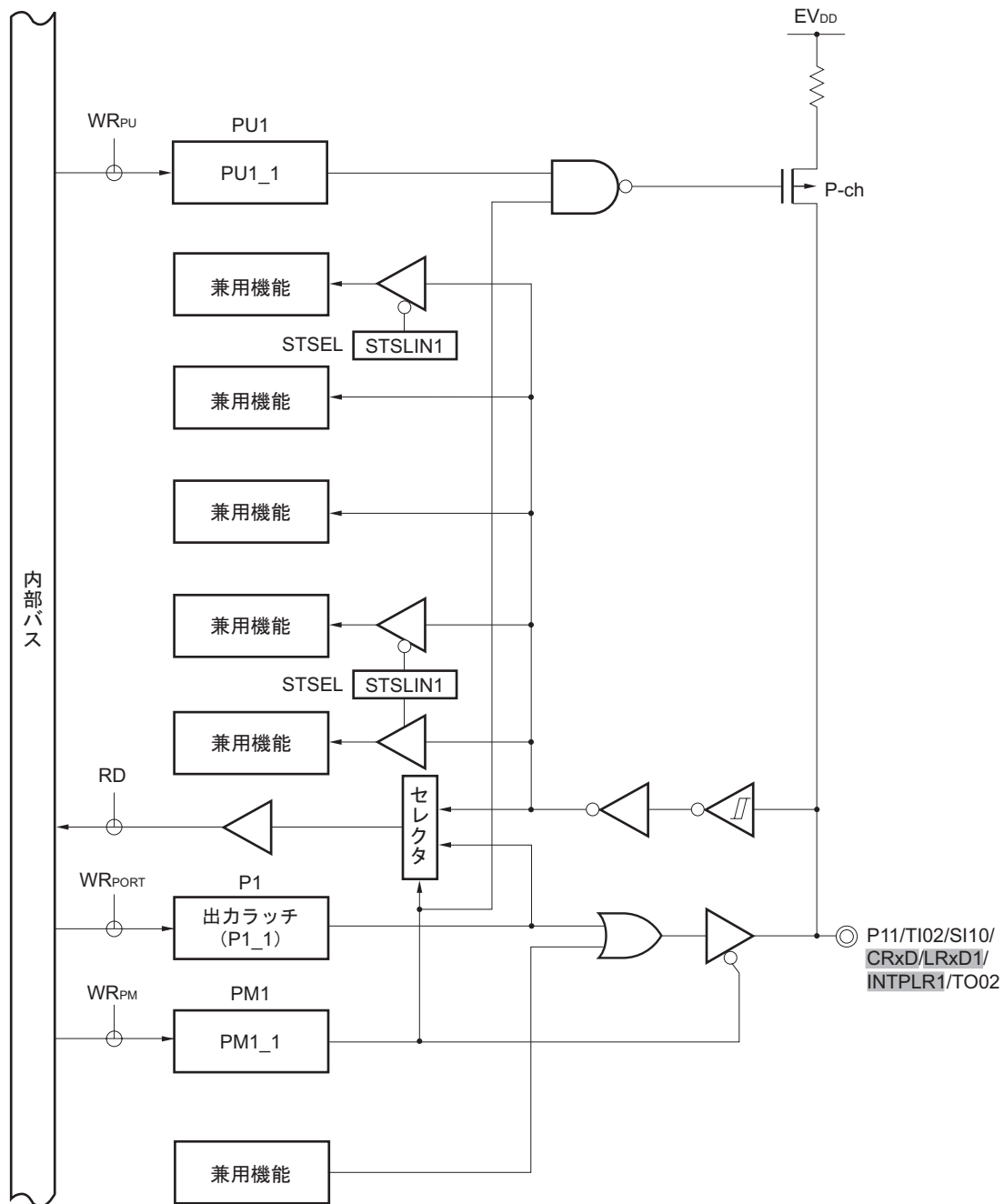


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

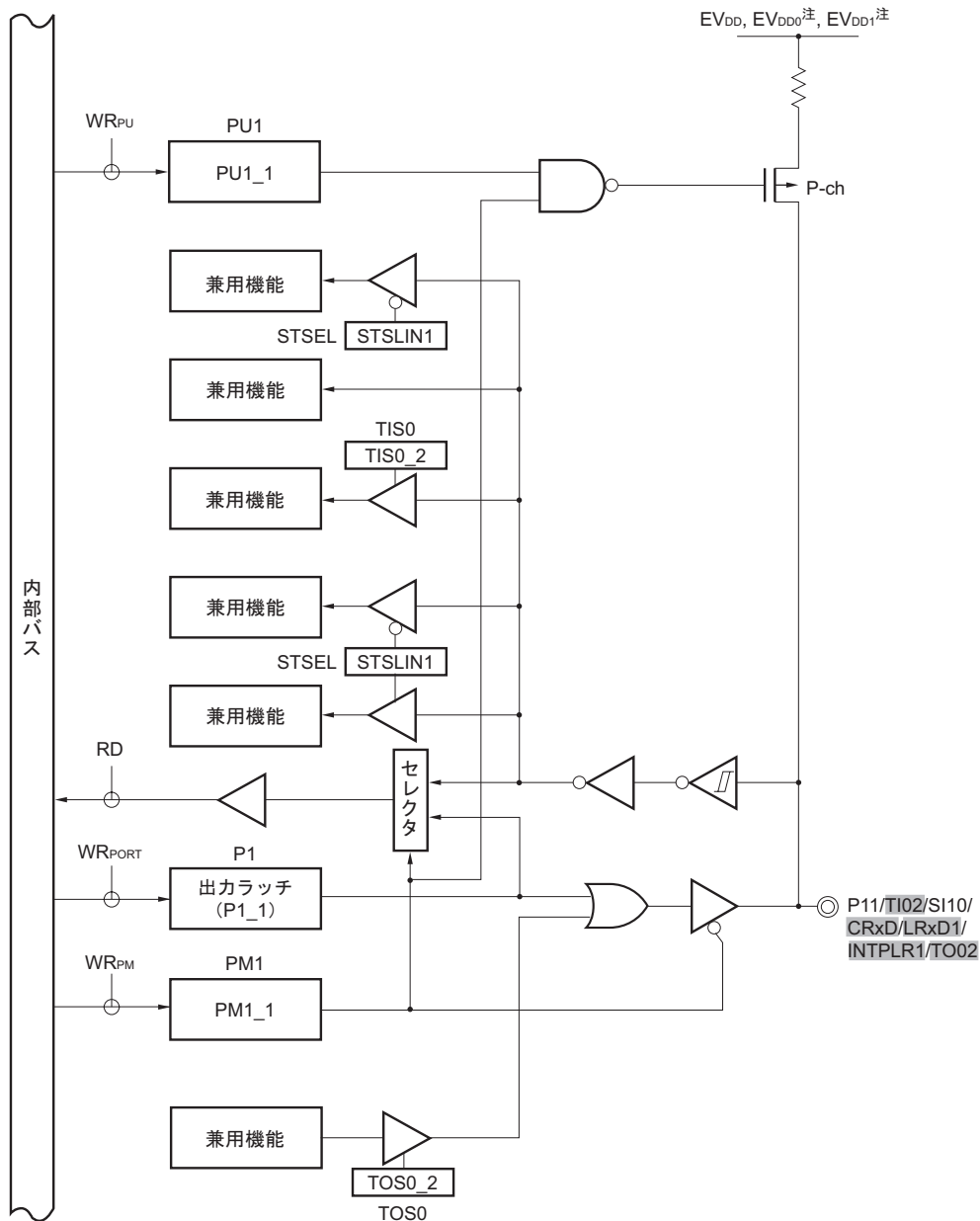
図4-6 P11のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_x : ライト信号

図4-7 P11のブロック図 (78K0R/HF3, 78K0R/HG3)

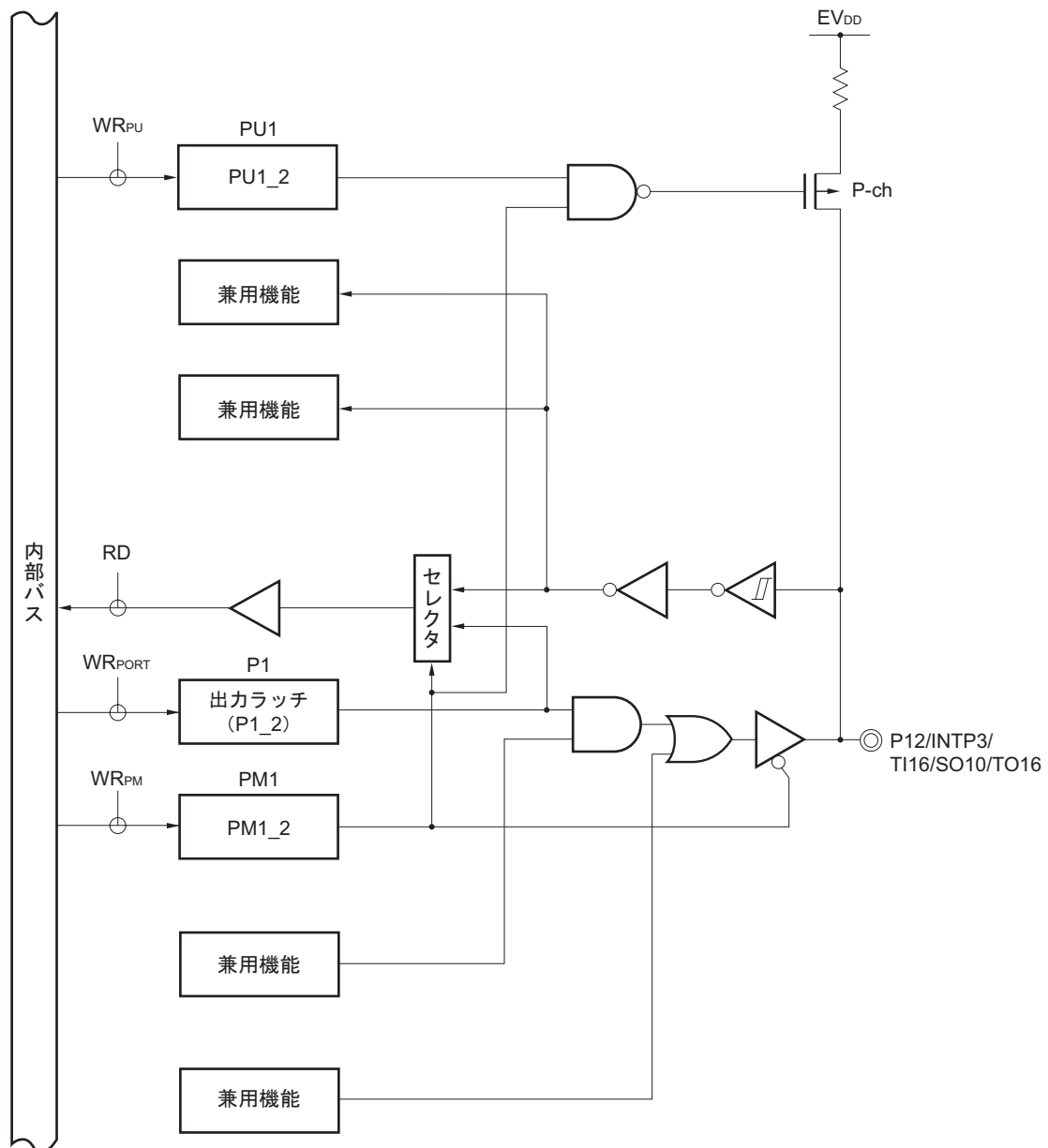


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

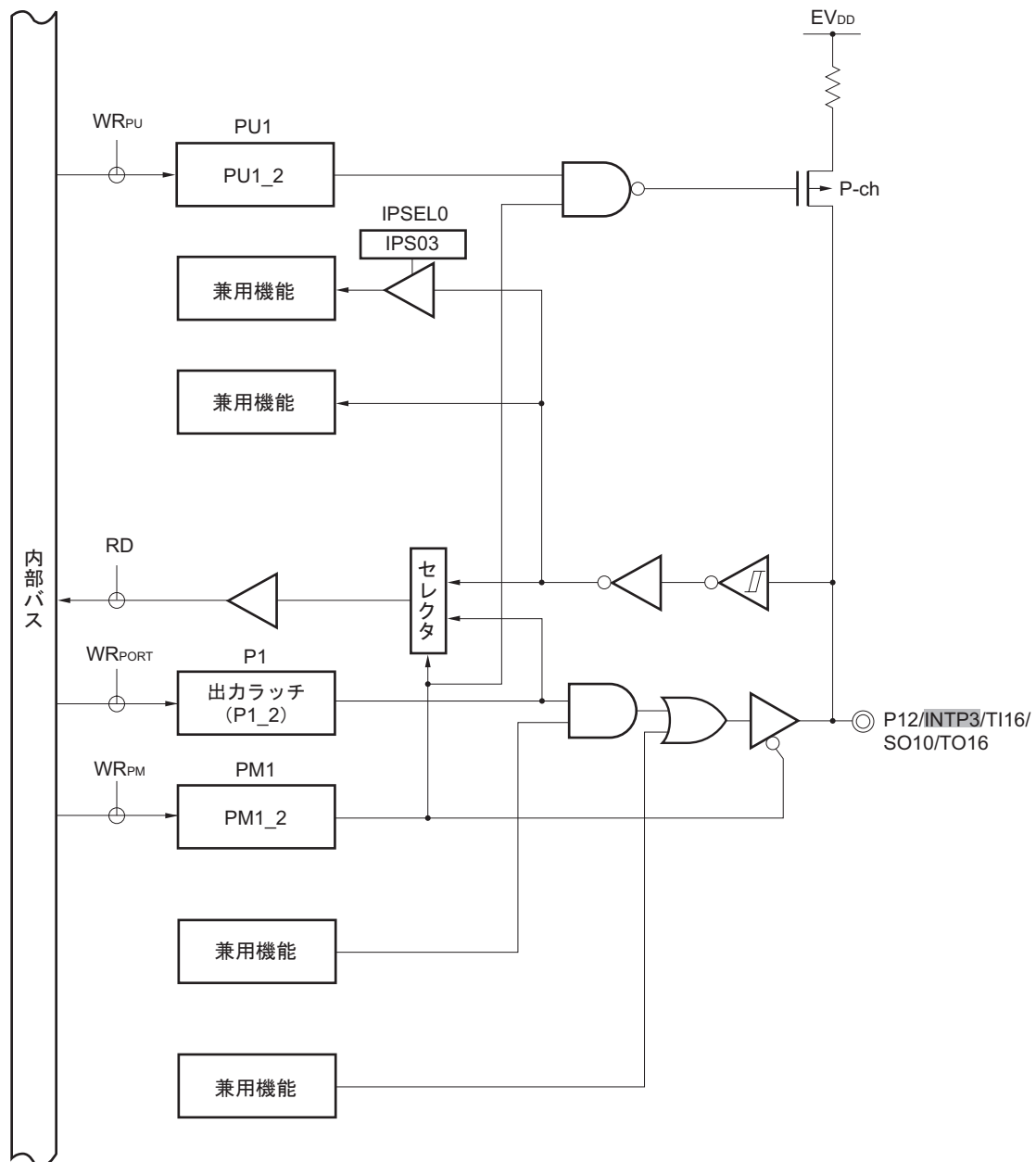
P1	: ポート・レジスタ1
PU1	: プルアップ抵抗オプション・レジスタ1
PM1	: ポート・モード・レジスタ1
RD	: リード信号
STSEL	: シリアル通信端子選択レジスタ
TIS0	: タイマ入力選択レジスタ0
TOS0	: タイマ出力選択レジスタ0
WR _x	: ライト信号

図4-8 P12のブロック図 (78K0R/HC3)



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

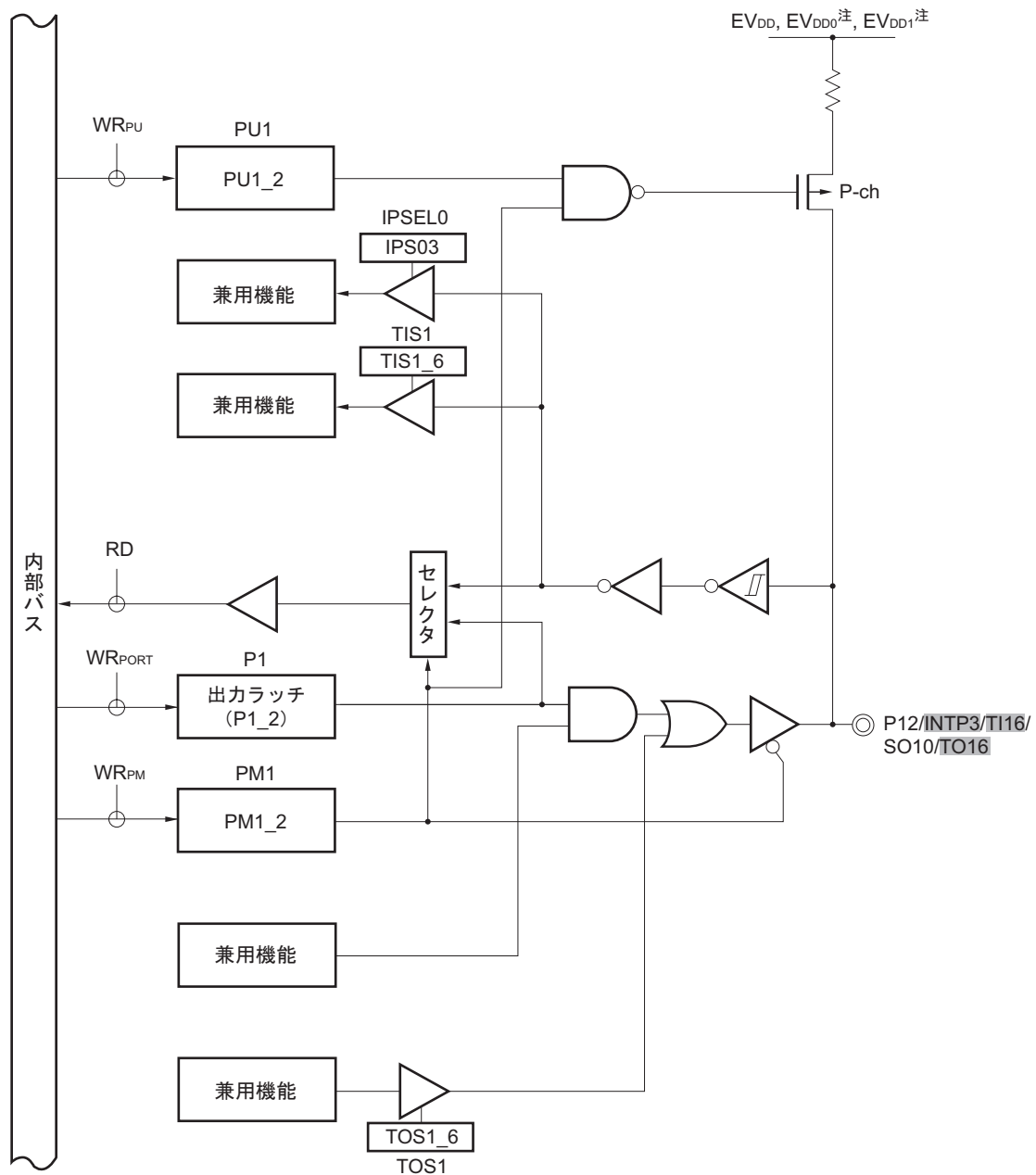
図4-9 P12のブロック図 (78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- IPSELO : 外部割り込み入力端子選択レジスタ0
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-10 P12のブロック図 (78K0R/HF3, 78K0R/HG3)

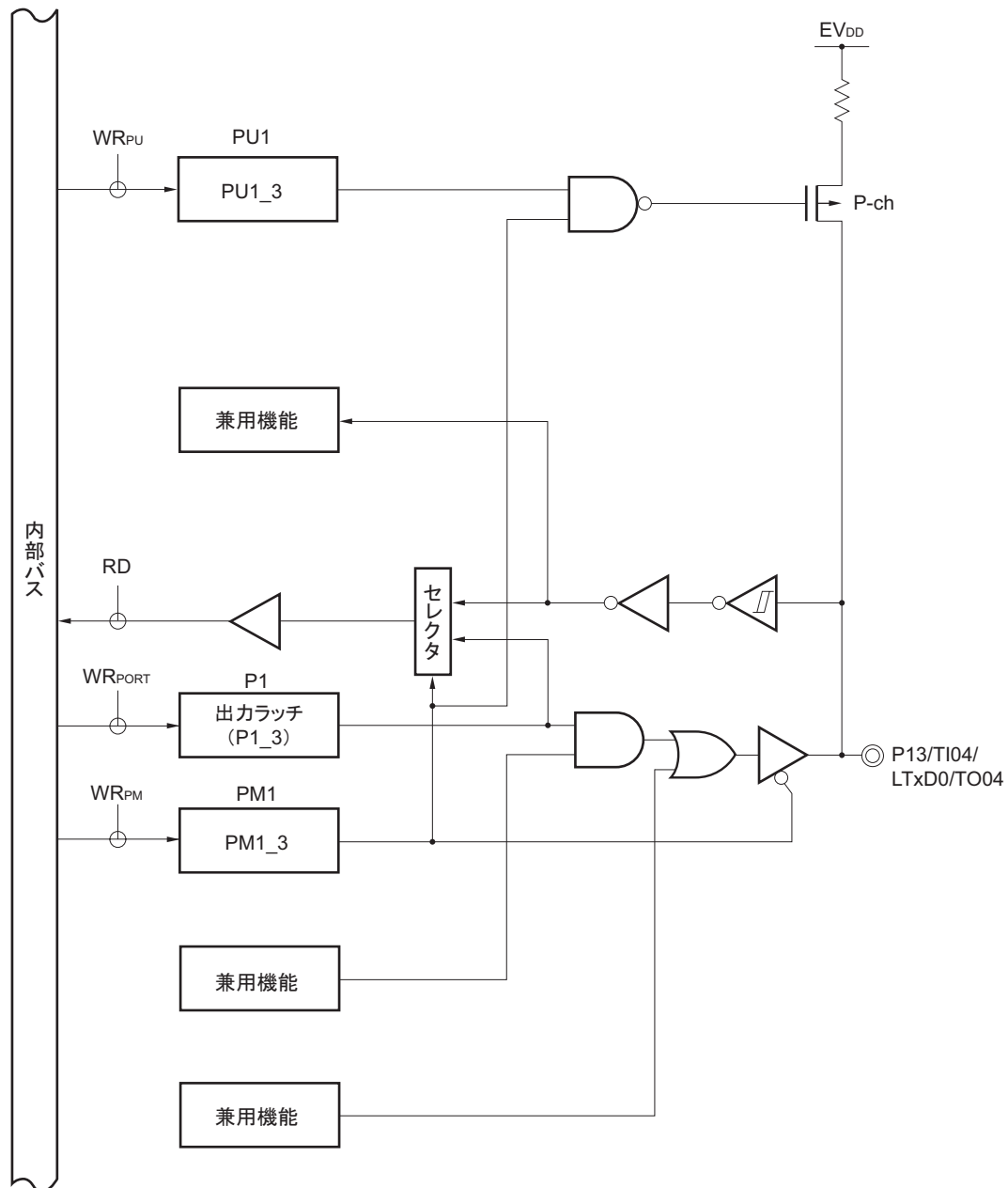


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

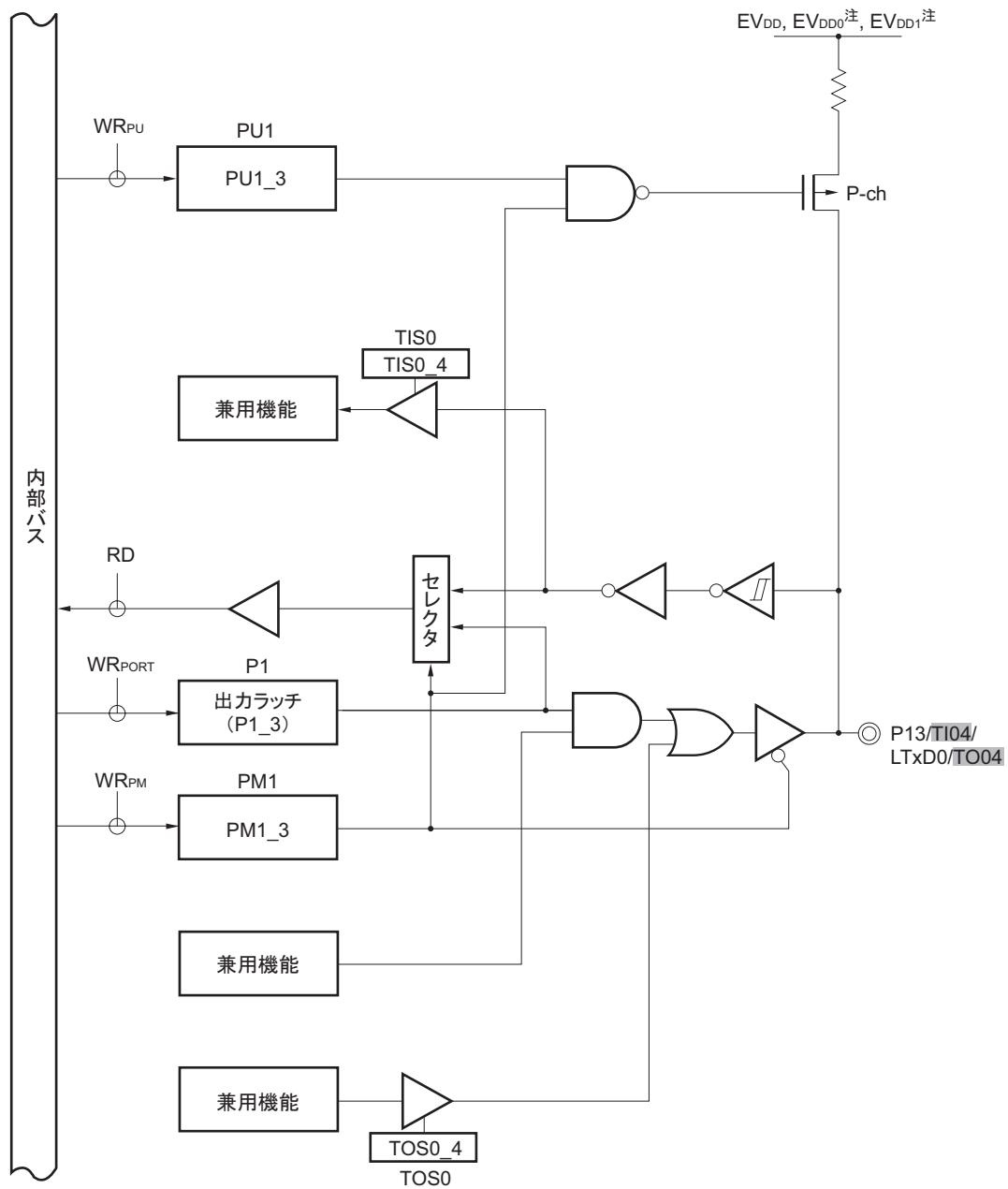
IPSEL0	: 外部割り込み入力端子選択レジスタ0
P1	: ポート・レジスタ1
PU1	: プルアップ抵抗オプション・レジスタ1
PM1	: ポート・モード・レジスタ1
RD	: リード信号
TIS1	: タイマ入力選択レジスタ1
TOS1	: タイマ出力選択レジスタ1
WR _x x	: ライト信号

図4-11 P13のブロック図 (78K0R/HC3, 78K0R/HE3)



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

図4-12 P13のブロック図 (78K0R/HF3, 78K0R/HG3)

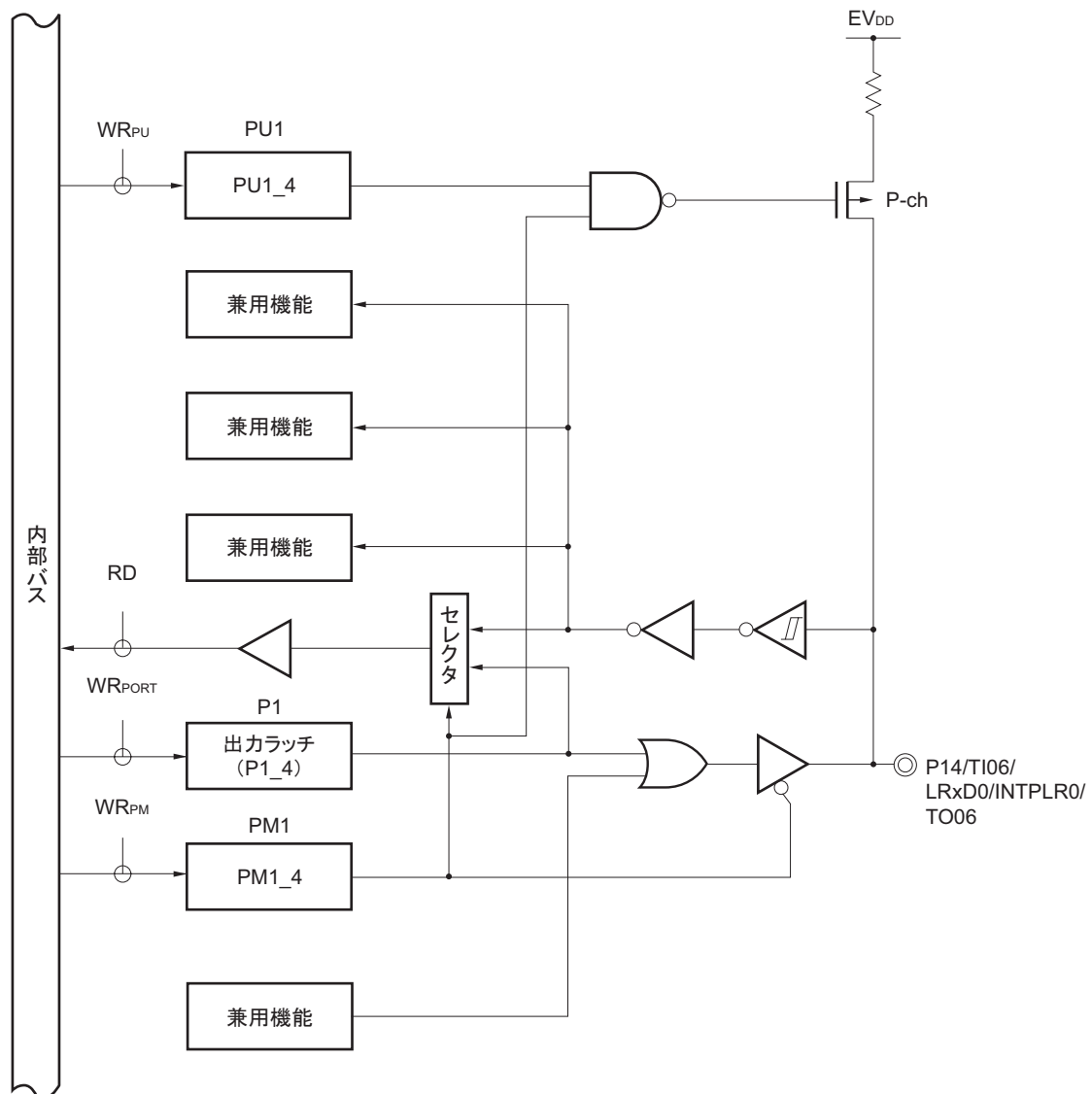


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

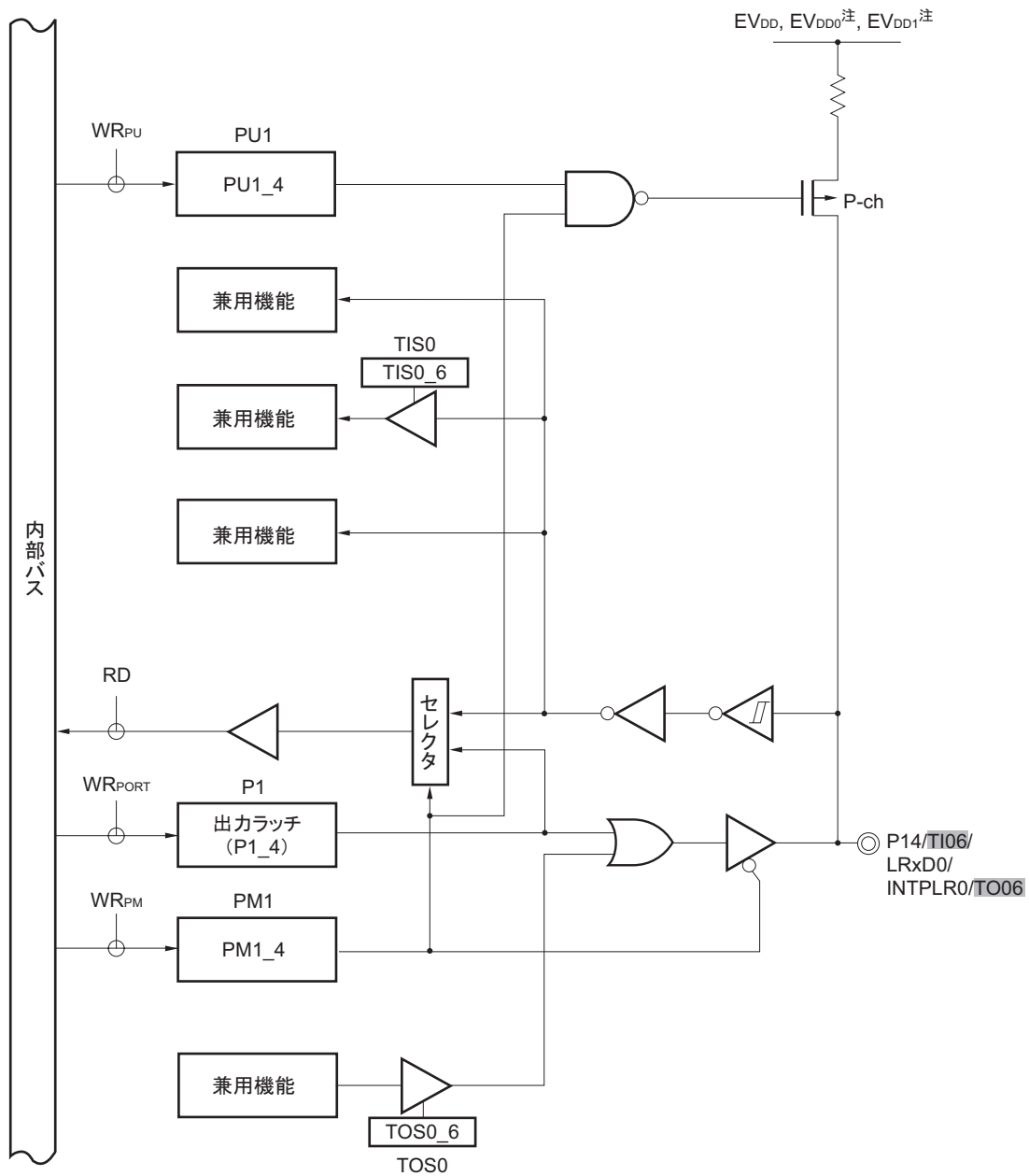
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_{xx} : ライト信号

図4-13 P14のブロック図 (78K0R/HC3, 78K0R/HE3)



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

図4-14 P14のブロック図 (78K0R/HF3, 78K0R/HG3)

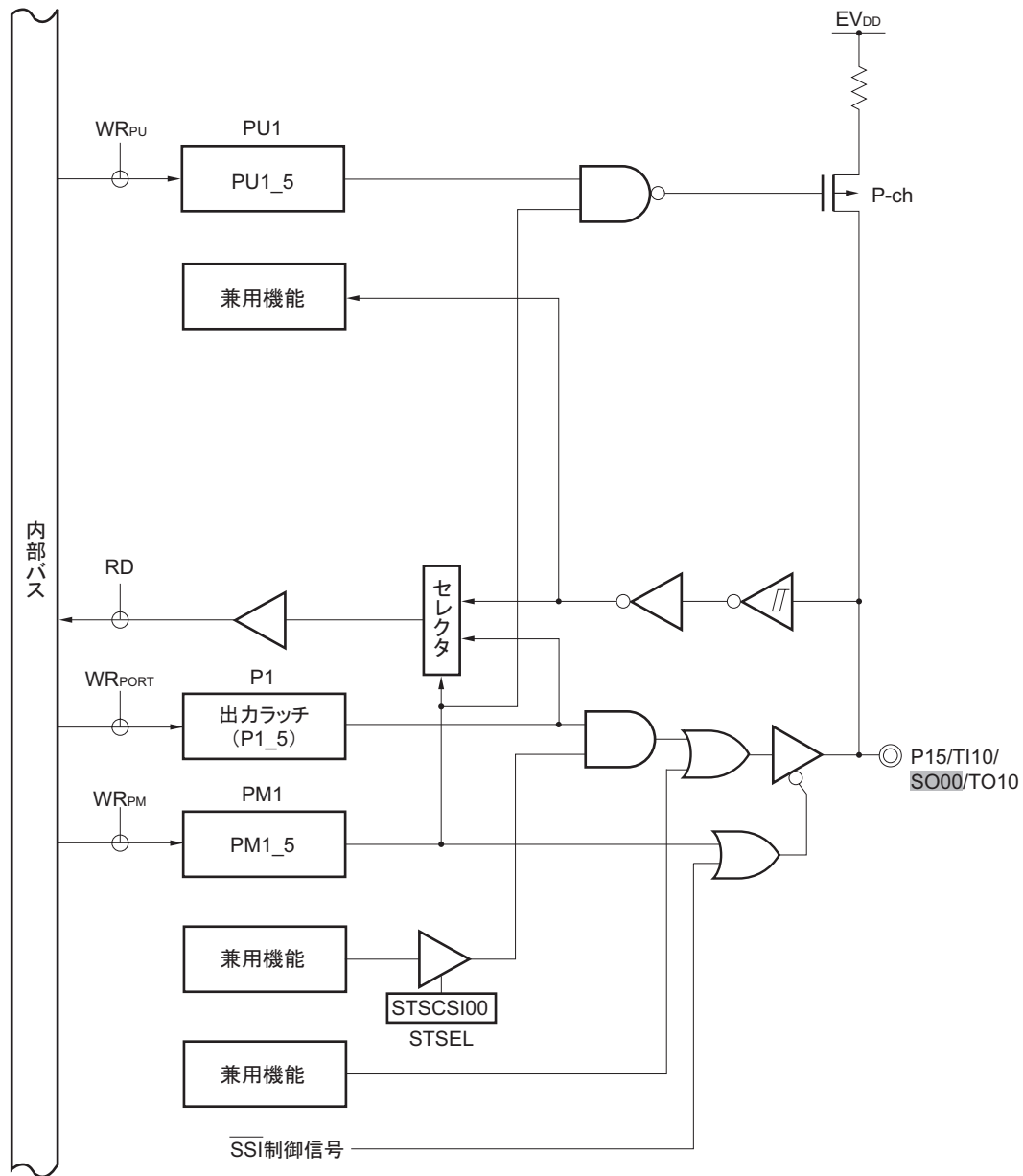


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

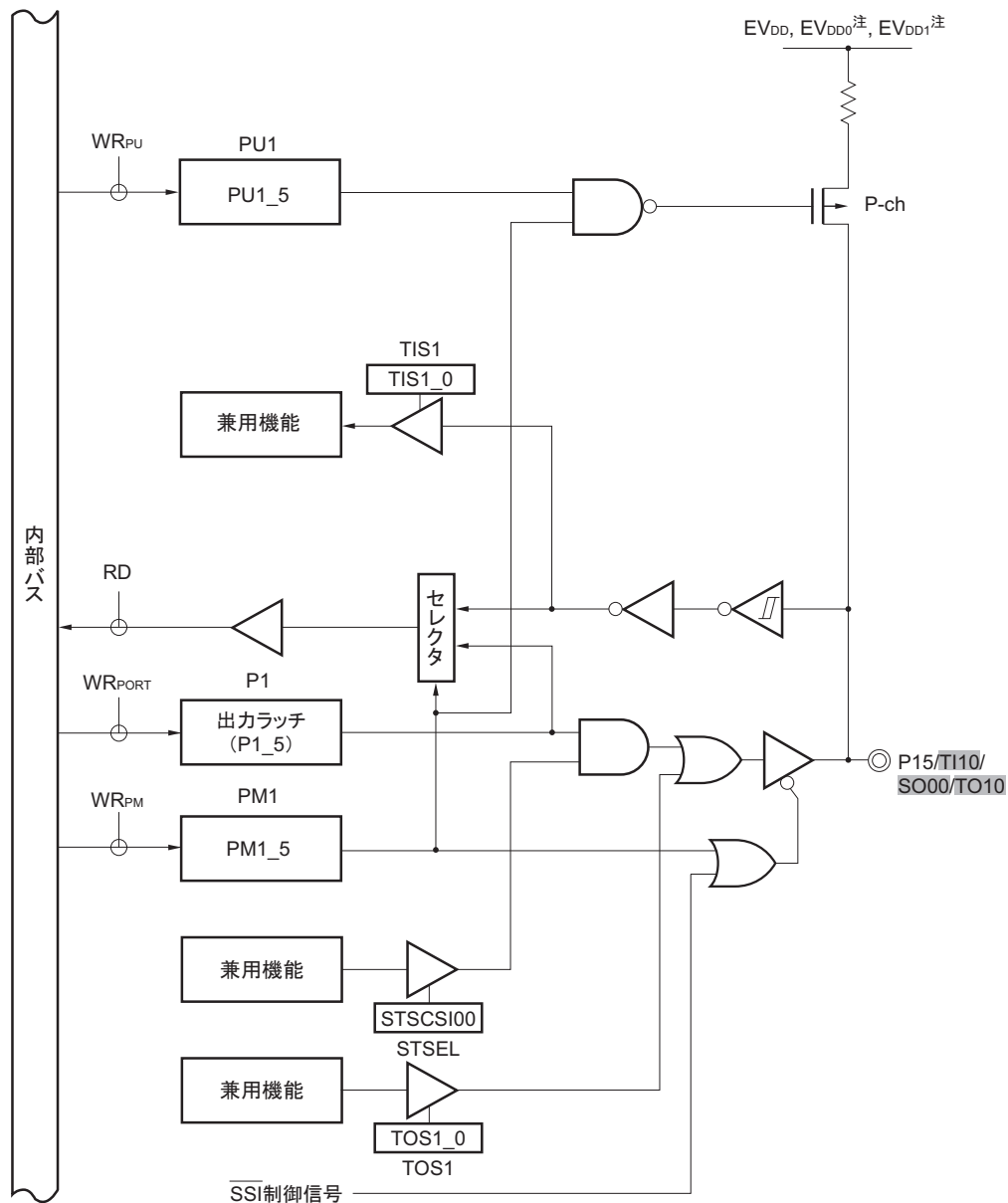
図4-15 P15のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_{xx} : ライト信号

図4-16 P15のブロック図 (78K0R/HF3, 78K0R/HG3)

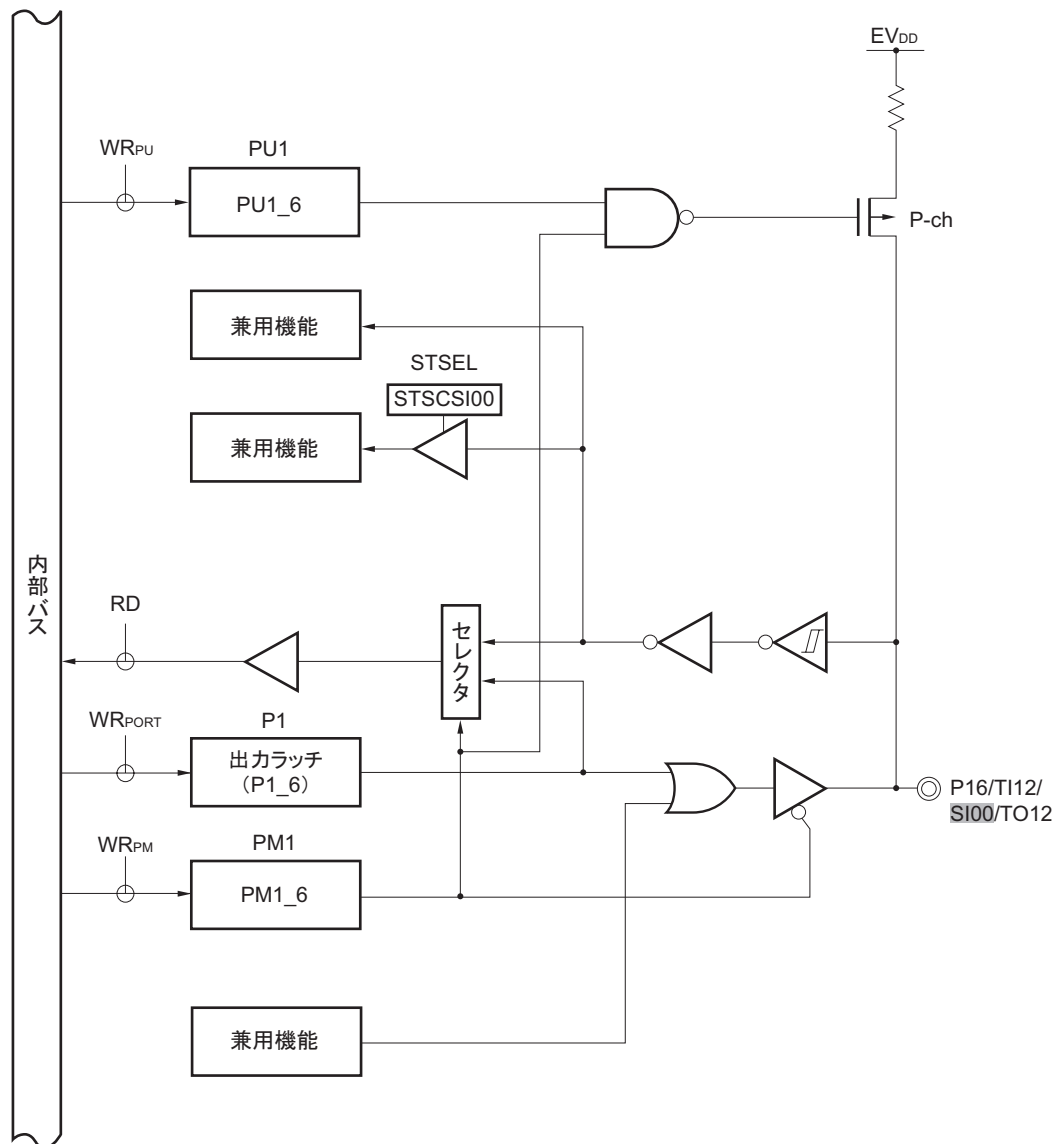


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

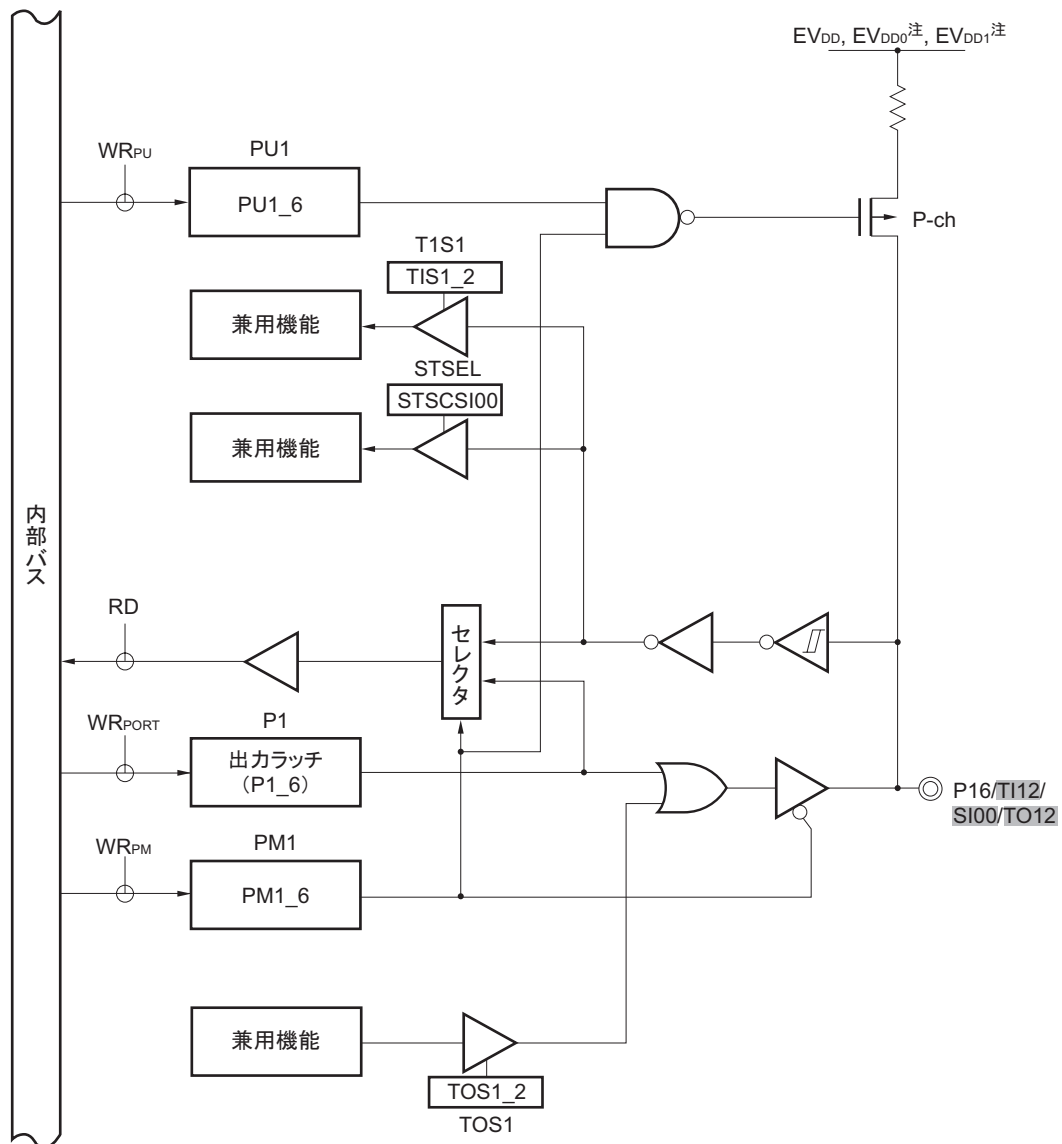
図4-17 P16のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_{xx} : ライト信号

図4-18 P16のブロック図 (78K0R/HF3, 78K0R/HG3)

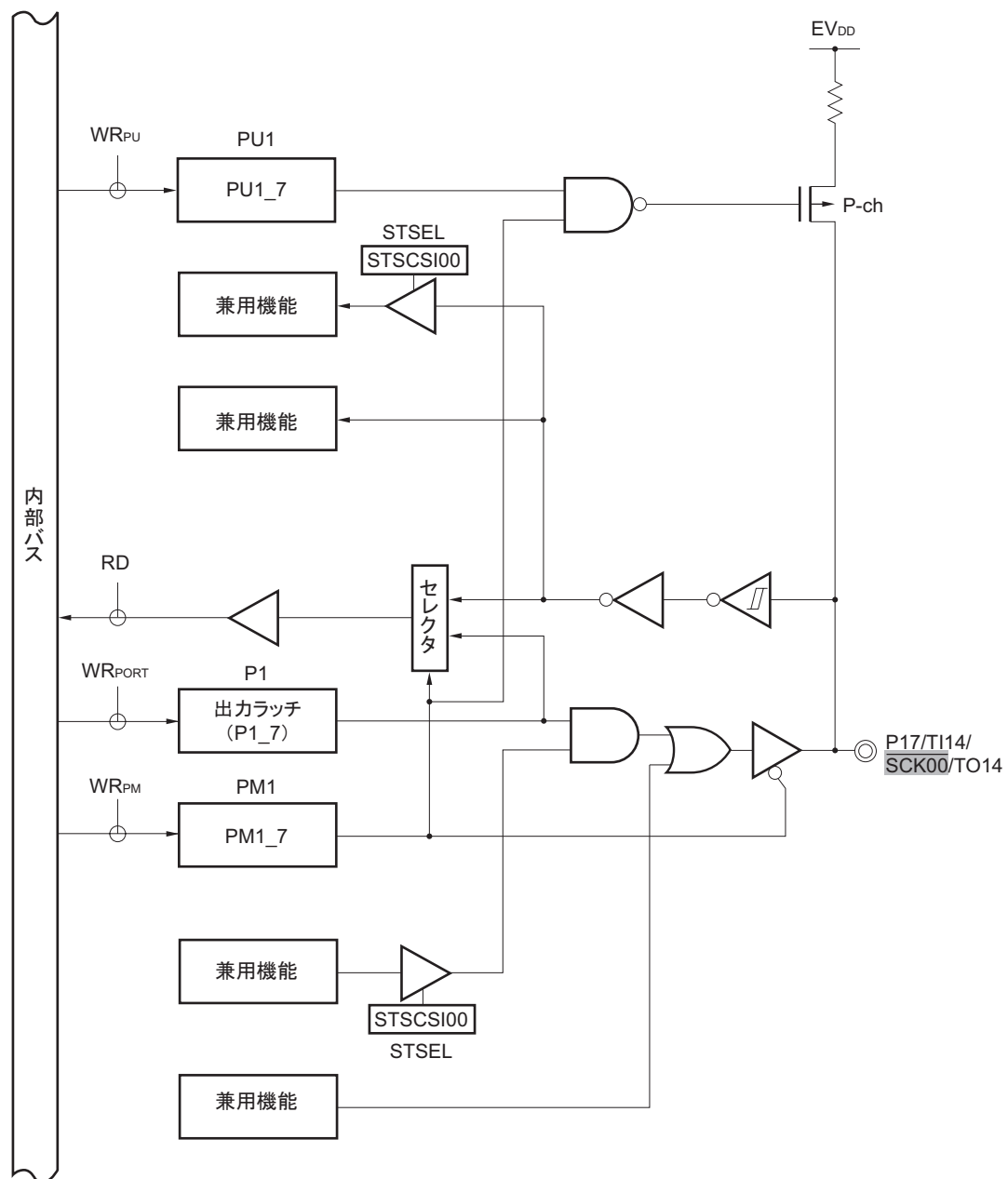


注 EV_{DD0}, EV_{DD1}は, 78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

P1	: ポート・レジスタ1
PU1	: プルアップ抵抗オプション・レジスタ1
PM1	: ポート・モード・レジスタ1
RD	: リード信号
STSEL	: シリアル通信端子選択レジスタ
TIS1	: タイマ入力選択レジスタ1
TOS1	: タイマ出力選択レジスタ1
WR _{xx}	: ライト信号

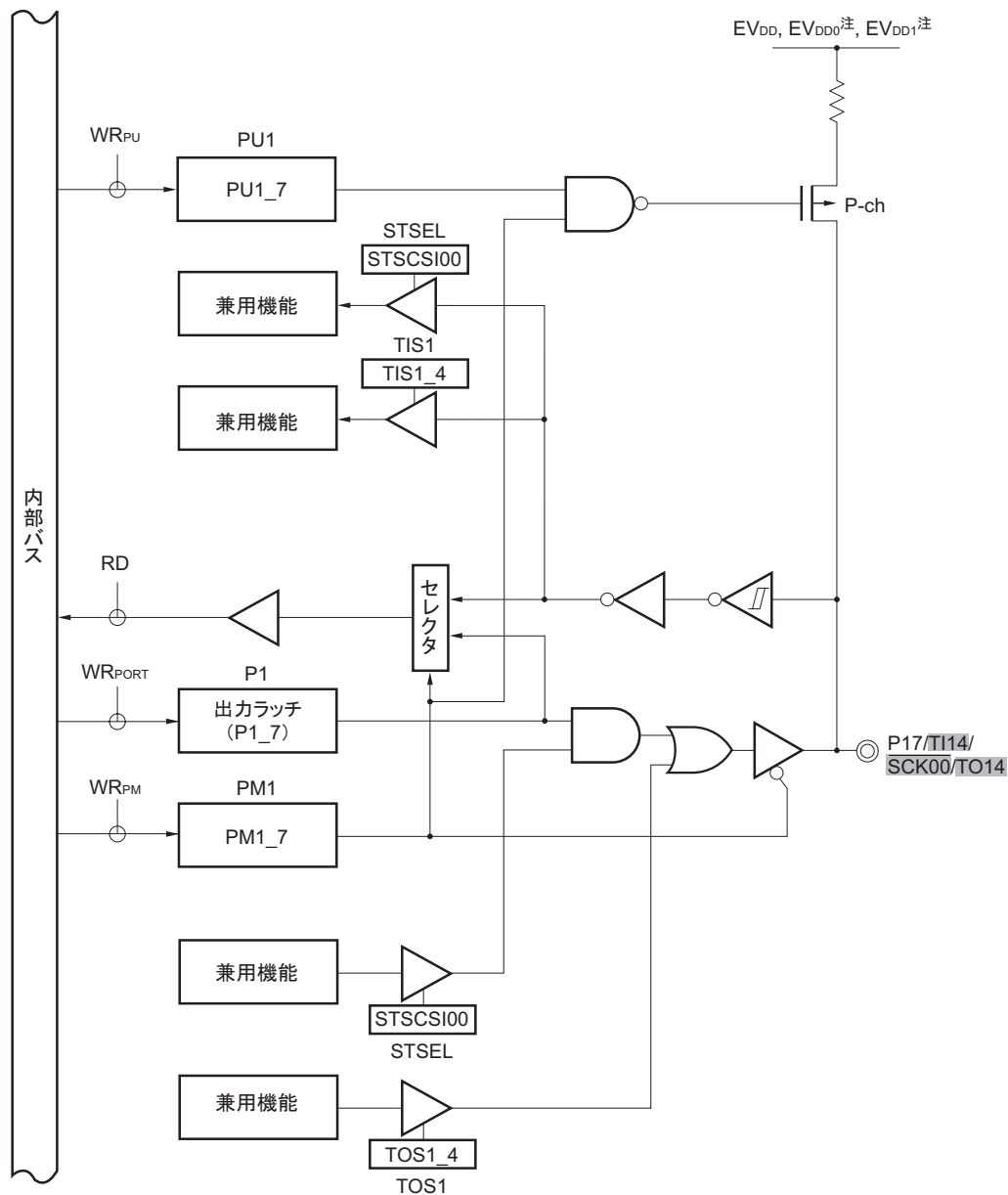
図4-19 P17のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_{xx} : ライト信号

図4-20 P17のブロック図 (78K0R/HF3, 78K0R/HG3)



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

P1	: ポート・レジスタ1
PU1	: プルアップ抵抗オプション・レジスタ1
PM1	: ポート・モード・レジスタ1
RD	: リード信号
STSEL	: シリアル通信端子選択レジスタ
TIS1	: タイマ入力選択レジスタ1
TOS1	: タイマ出力選択レジスタ1
WR _{xx}	: ライト信号

4.2.3 ポート3

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P30/INTP2/SSI00/ TI01/TO01				
P31/INTP2/TI11/ STOPST/TO11				
P32/INTP4/TI13/ TO13				

注意 で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, - : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30-P32端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

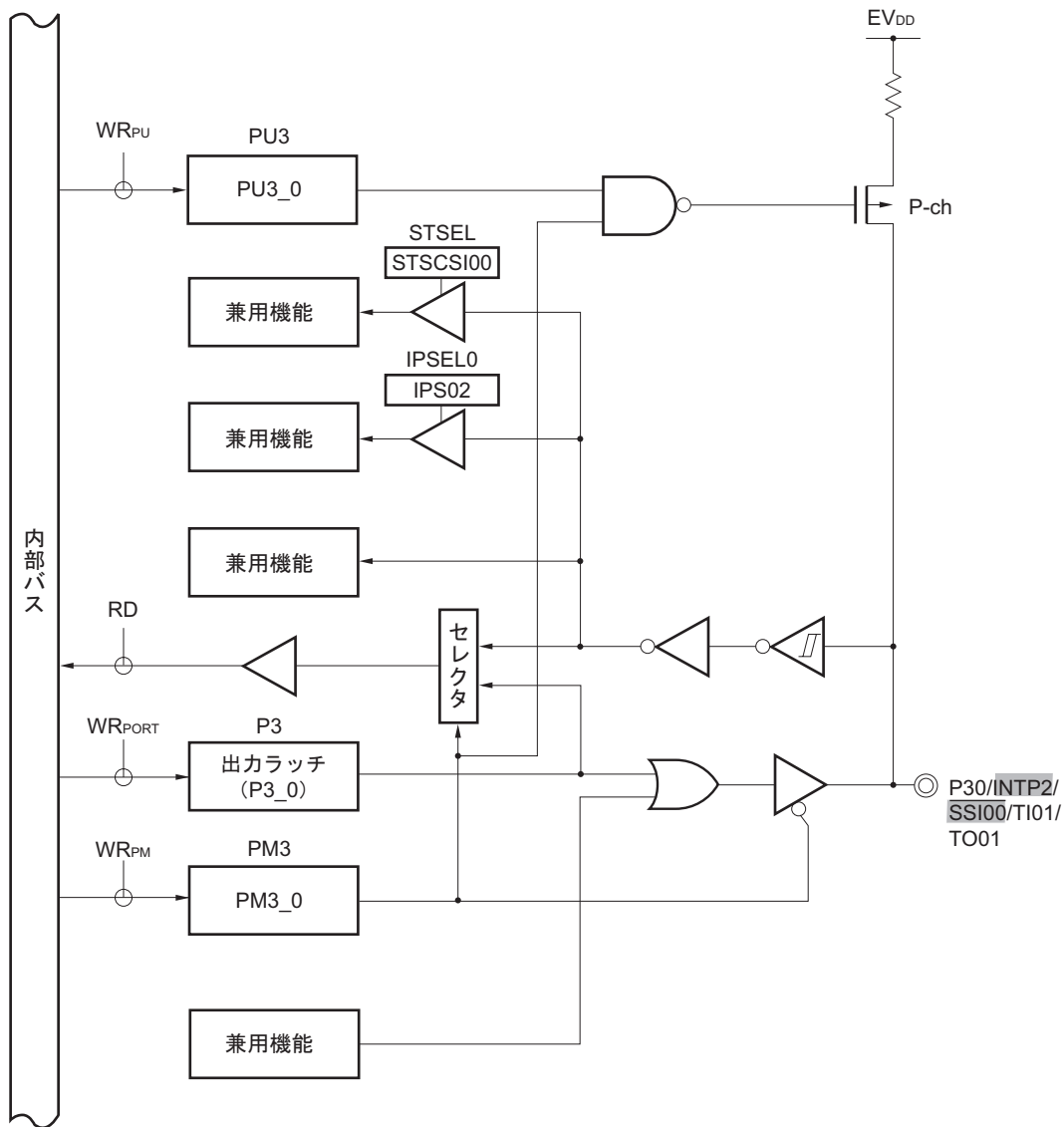
また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのチップ・セレクト入力、タイマ入出力、STOPステータス出力機能があります。

リセット信号の発生により、入力モードになります。

図4-21~4-26にポート3のブロック図を示します。

- 注意1. P30/INTP2/SSI00/TI01/TO01を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、表11-8 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, STSCSI00 = 0) を参照してください。
2. P30/INTP2/SSI00/TI01/TO01, P31/INTP2/TI11/STOPST/TO11, P32/INTP4/TI13/TO13を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット1 (TO01), タイマ出力レジスタ1 (TO1) のビット1, 3 (TO11, TO13) とタイマ出力許可レジスタ0 (TOE0) のビット1 (TOE0_1), タイマ出力許可レジスタ1 (TOE1) のビット1, 3 (TOE1_1, TOE1_3) を初期状態と同じ設定“0”で使用してください。
3. で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

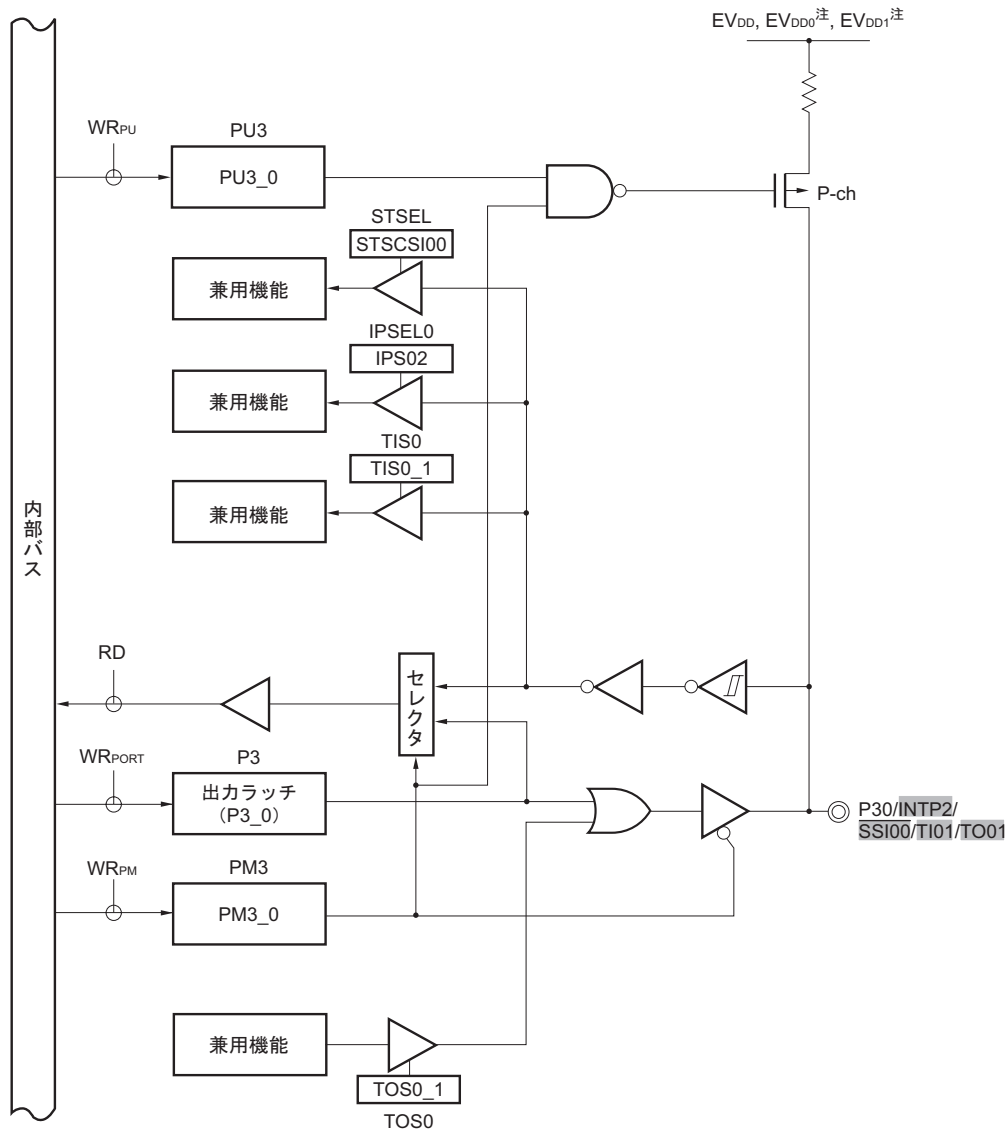
図4-21 P3のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- IPSEL0 : 外部割り込み入力端子選択レジスタ0
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_x : ライト信号

図4-22 P3のブロック図 (78K0R/HF3, 78K0R/HG3)

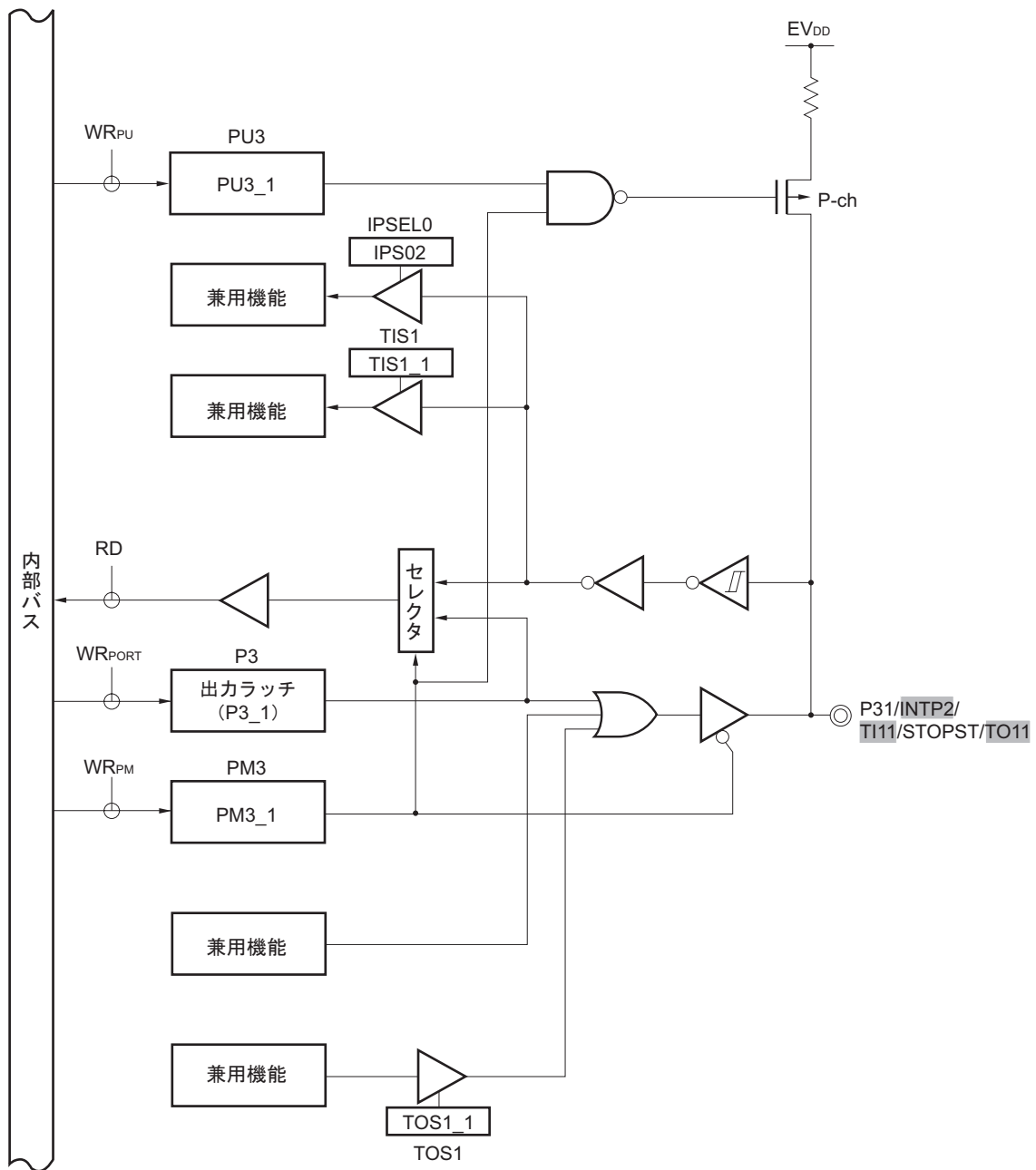


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- IPSEL0 : 外部割り込み入力端子選択レジスタ0
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

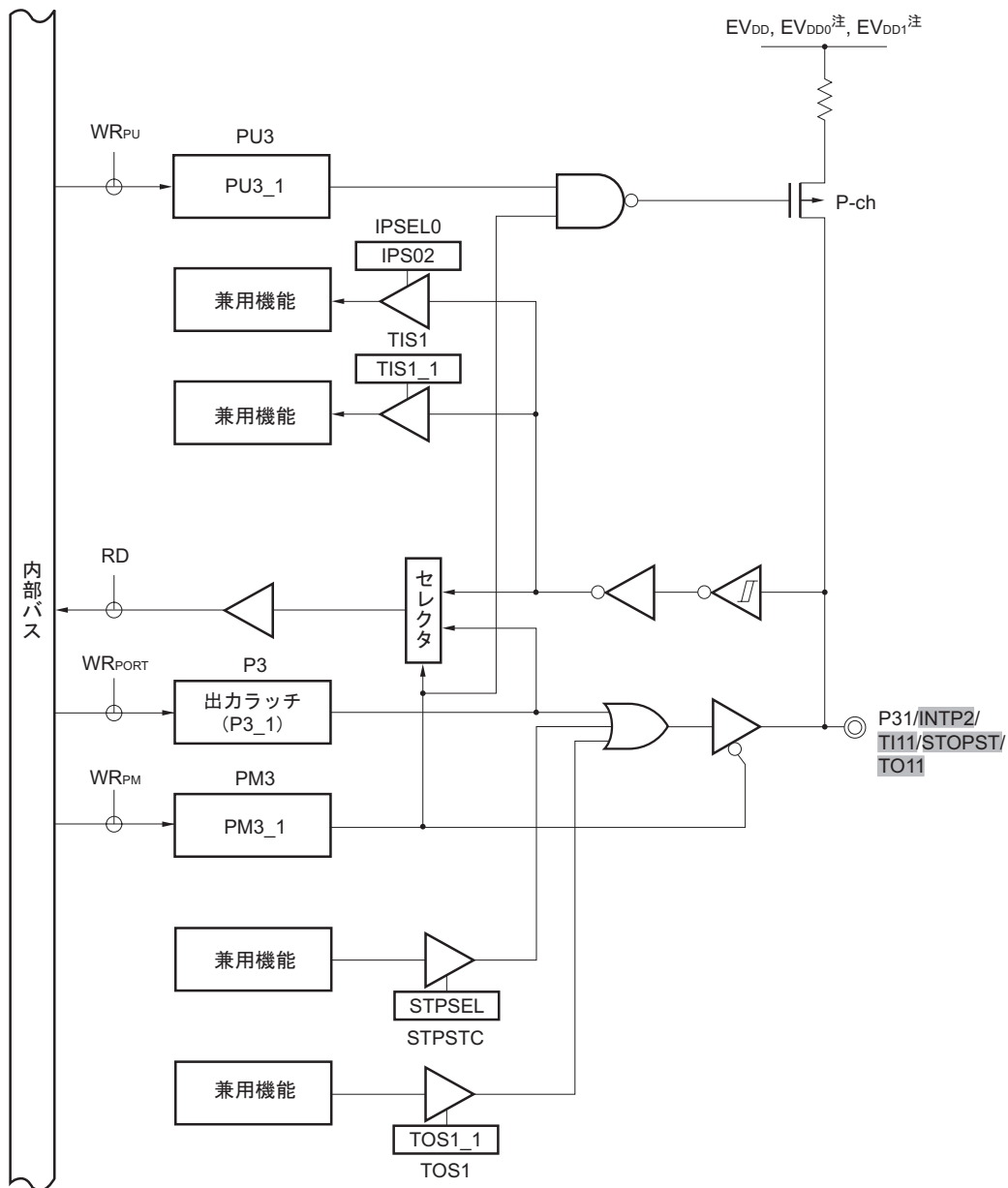
図4-23 P31のブロック図 (78K0R/HC3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- IPSEL0 : 外部割り込み入力端子選択レジスタ0
- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

図4-24 P31のブロック図 (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

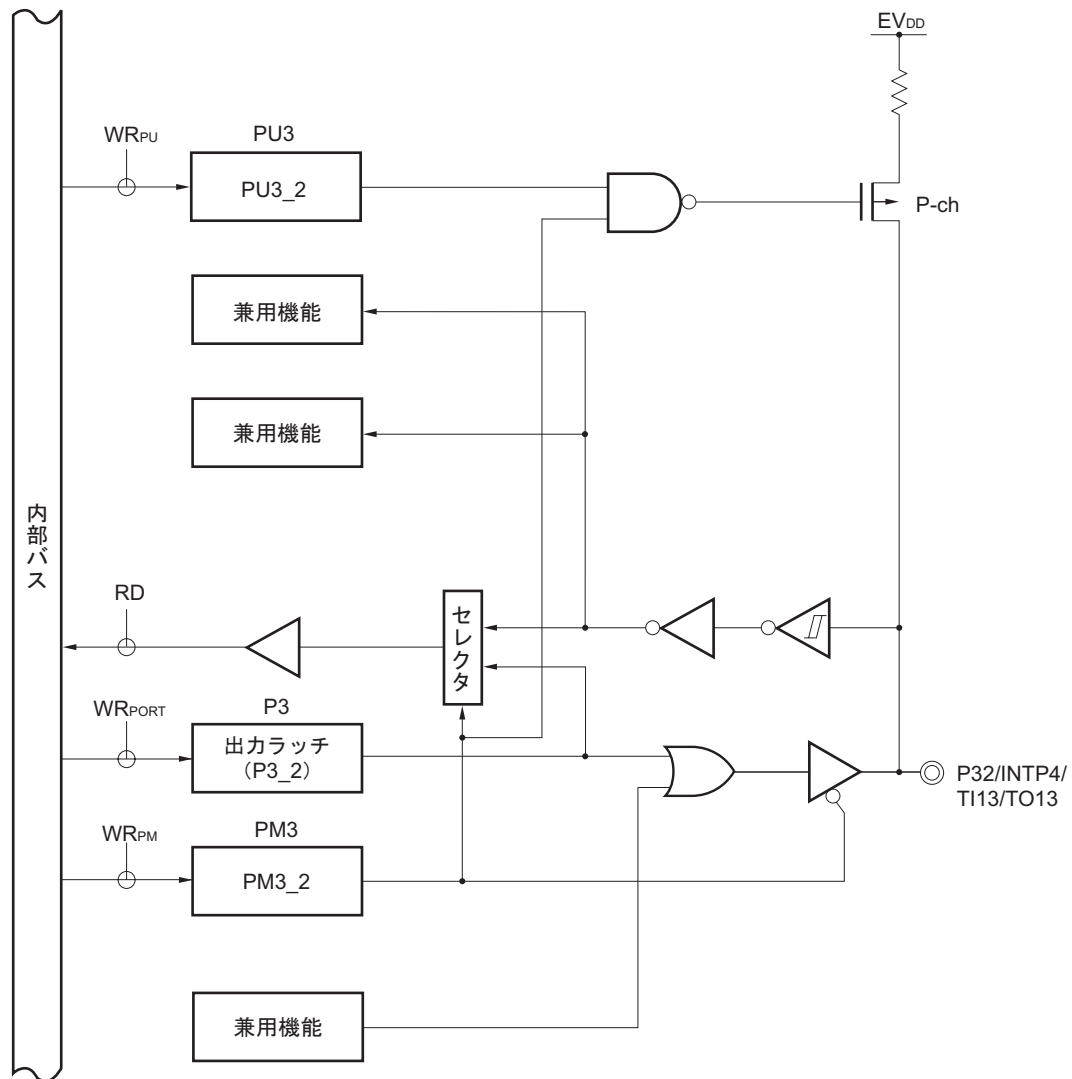


注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

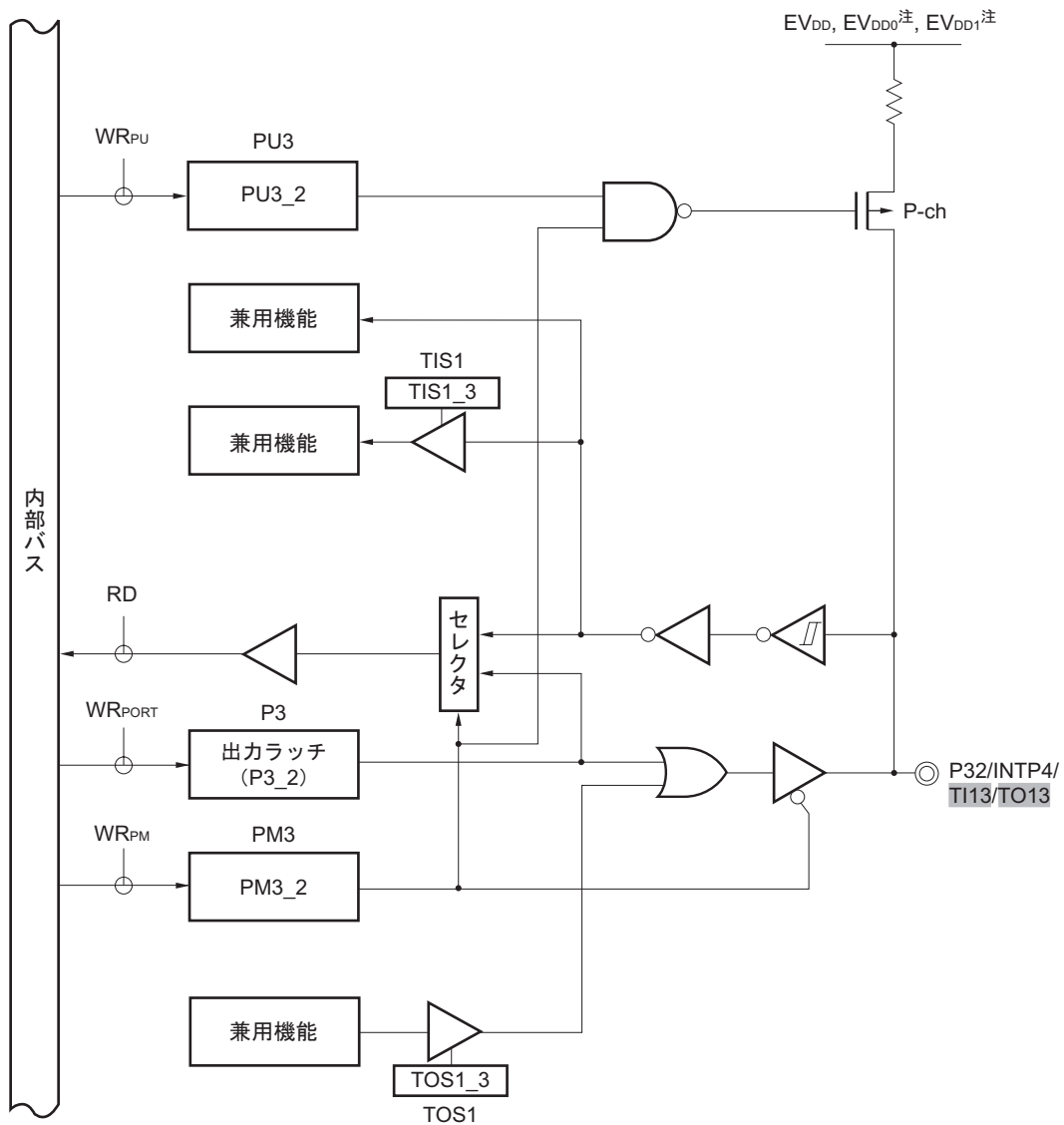
IPSEL0	: 外部割り込み入力端子選択レジスタ0
P3	: ポート・レジスタ3
PU3	: プルアップ抵抗オプション・レジスタ3
PM3	: ポート・モード・レジスタ3
RD	: リード信号
STPSTC	: STOPステータス出力制御レジスタ
TIS1	: タイマ入力選択レジスタ1
TOS1	: タイマ出力選択レジスタ1
WR _{xx}	: ライト信号

図4-25 P32のブロック図 (78K0R/HC3, 78K0R/HE3)



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

図4-26 P32のブロック図 (78K0R/HF3, 78K0R/HG3)



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P3 : ポート・レジスタ3
- PU3 : ブルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

4.2.4 ポート4

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P40/TOOL0/TI05/ TO05				
P41/TOOL1/TI07/ TO07				
P42/TxD2/SCL20	—			
P43/RxD2/SDA20/ INTPR2	—			
P44/TI07/TO07	—	—		
P45/TI10/TO10	—	—		
P46/TI12/TO12	—	—		
P47/INTP8	—	—		

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます^注。

P42, P43端子の出力は、ポート出力モード・レジスタ4 (POM4) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラマ／デバッグ用のデータ入出力、タイマ入出力があります。

リセット信号の発生により、入力モードになります。

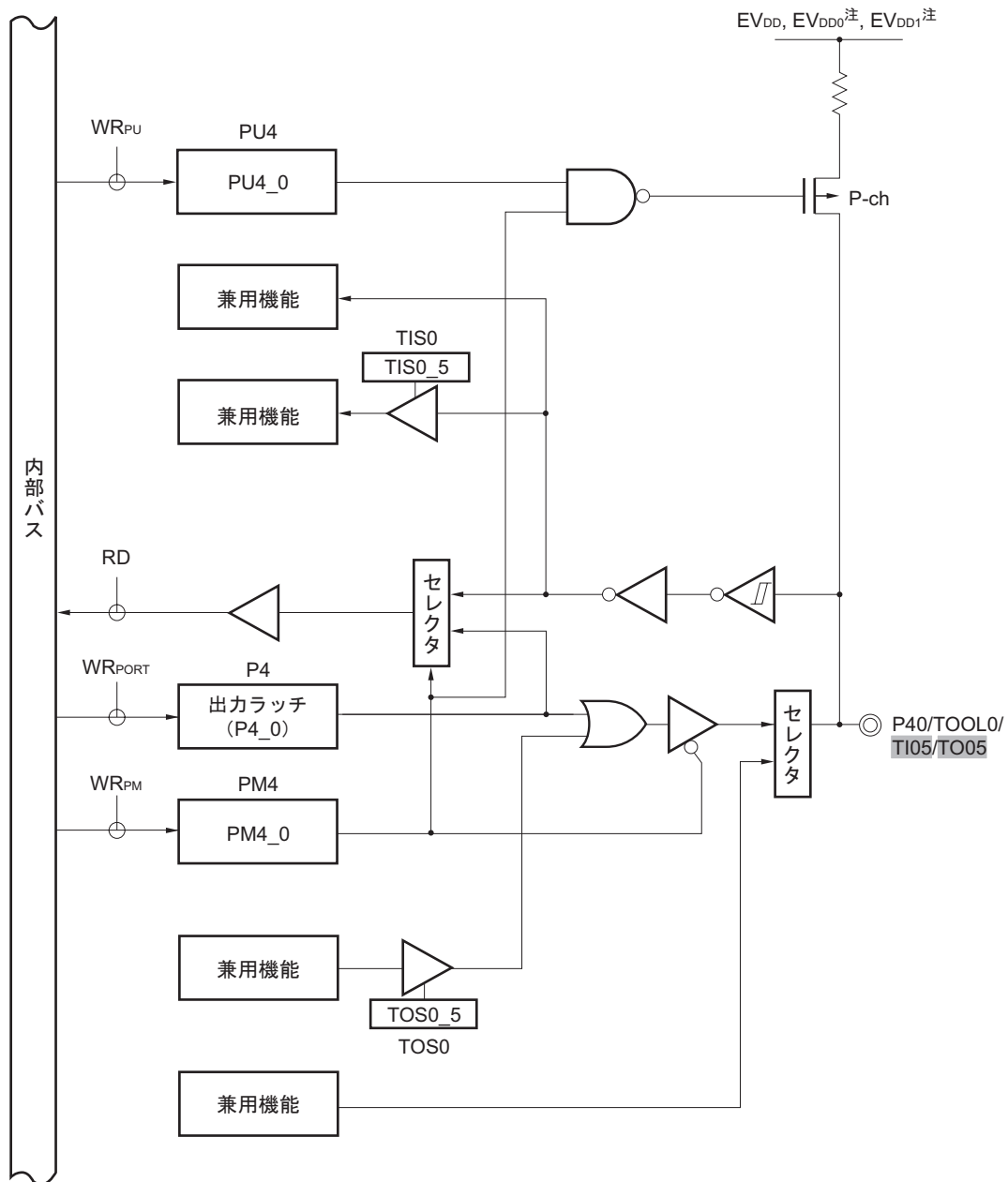
図4-27～4-34にポート4のブロック図を示します。

注 P40, P41端子は、ツール接続時には内蔵プルアップ抵抗は使用できません。

(注意は次ページにあります)

- 注意1. P40端子は、ツール接続時はポート端子として使用できません。
P41端子は、オンチップ・デバッグ機能使用時には、デバッガのモード設定により次のようになります。
- 1線モード : ポート (P41) として使用できます。
 - 2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。
2. P42/TxD2/SCL20, P43/RxD2/SDA20/INTPR2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット2の設定に注意してください。詳細は、表11-13 レジスタの設定と端子の関係 (ユニット2のチャンネル0 : UART2送信, IIC20) と表11-14 レジスタの設定と端子の関係 (ユニット2のチャンネル1 : UART2受信) を参照してください。
3. P40/TOOL0/TI05/TO05, P41/TOOL1/TI07/TO07, P44/TI07/TO07, P45/TI10/TO10, P46/TI12/TO12を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット5, 7 (TO05, TO07), タイマ出力レジスタ1 (TO1) のビット0, 2 (TO10, TO12) とタイマ出力許可レジスタ0 (TOE0) のビット5, 7 (TOE0_5, TOE0_7), タイマ出力許可レジスタ1 (TOE1) のビット0, 2 (TOE1_0, TOE1_2) を初期状態と同じ設定“0”で使用してください。
4. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図4-27 P40のブロック図 (78K0R/HC3, 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

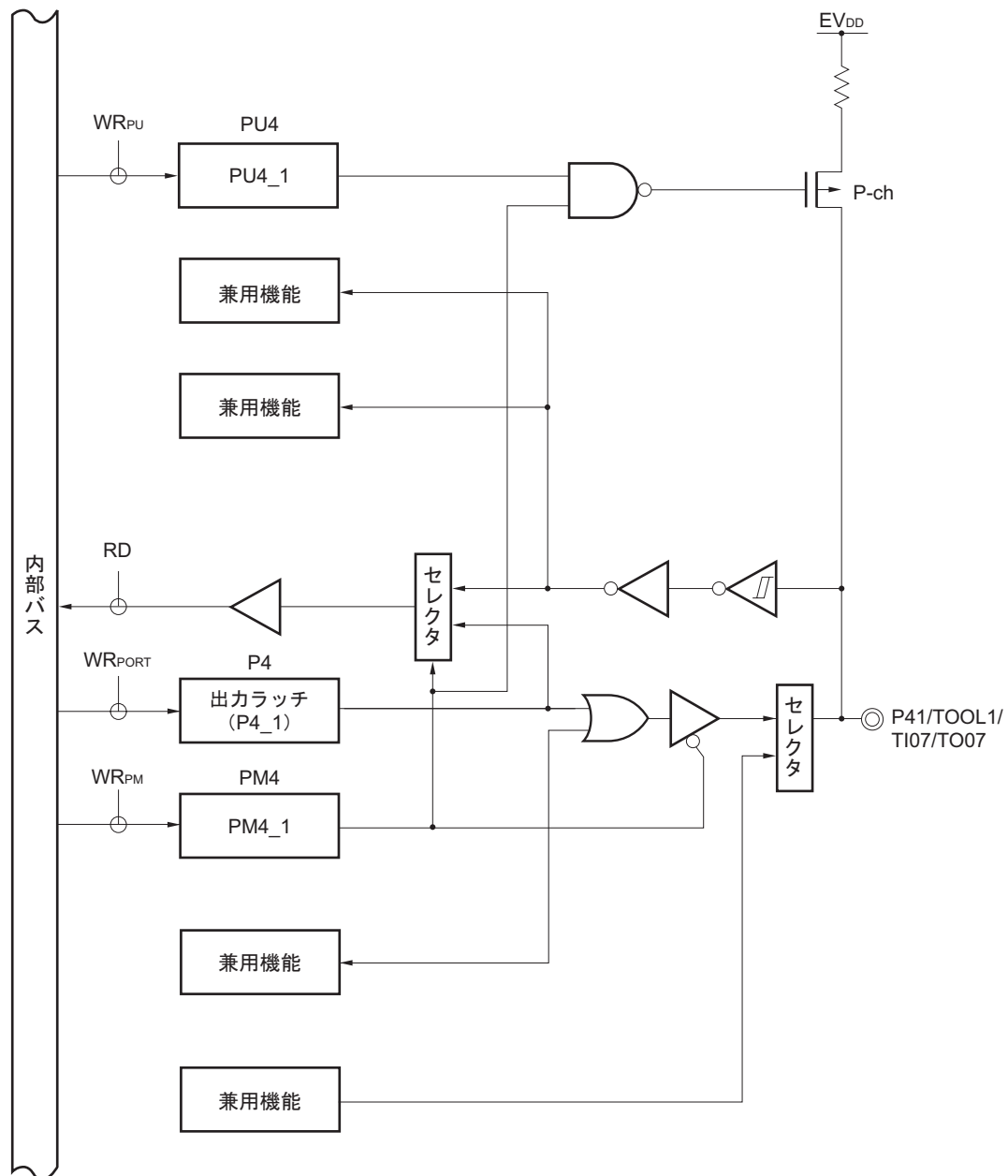


注 EV_{DD0}, EV_{DD1}は, 78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

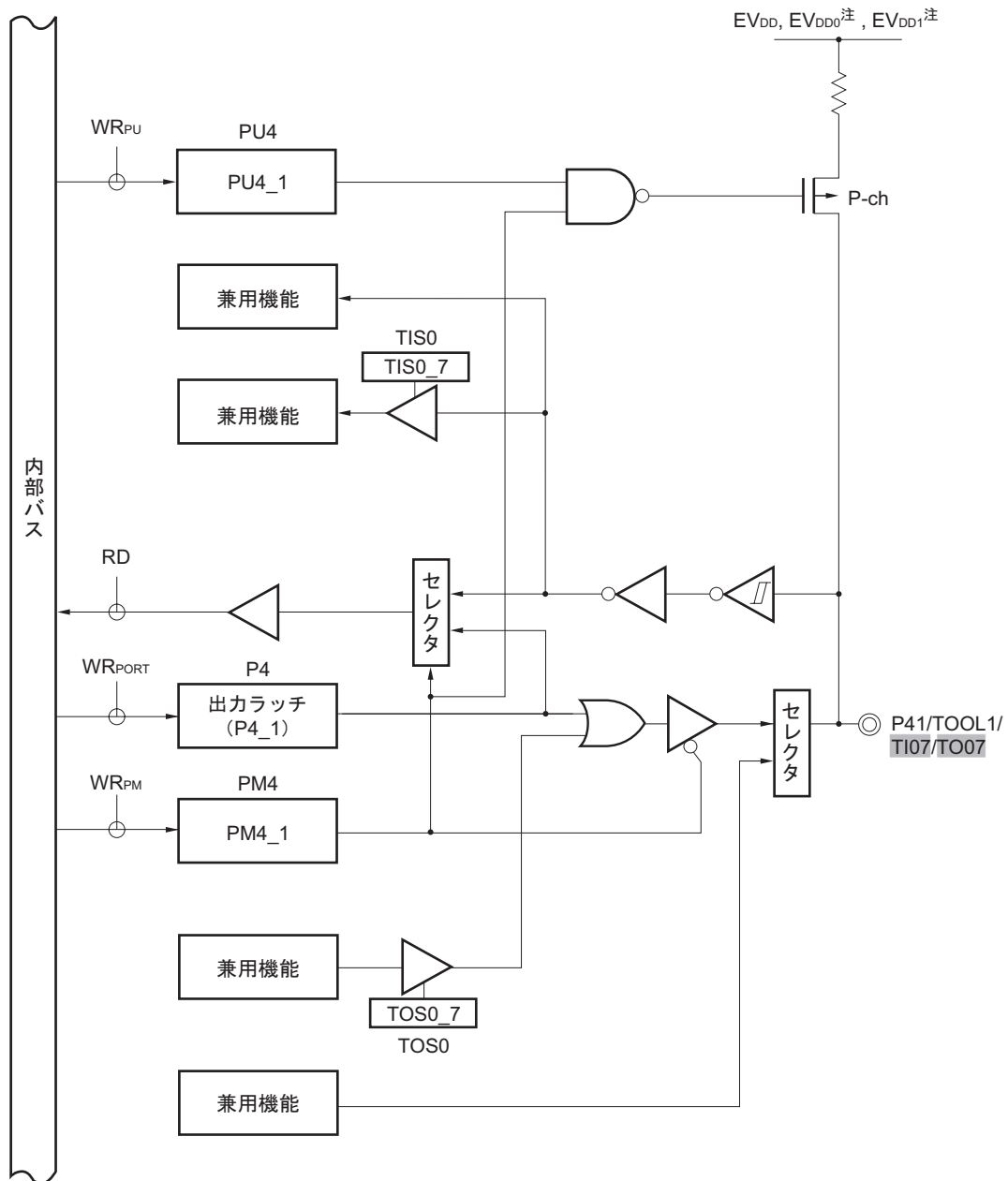
- P4 : ポート・レジスタ4
- PU4 : ブルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_{xx} : ライト信号

図4-28 P41のブロック図 (78K0R/HC3, 78K0R/HE3)



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_x : ライト信号

図4-29 P41のブロック図 (78K0R/HF3, 78K0R/HG3)

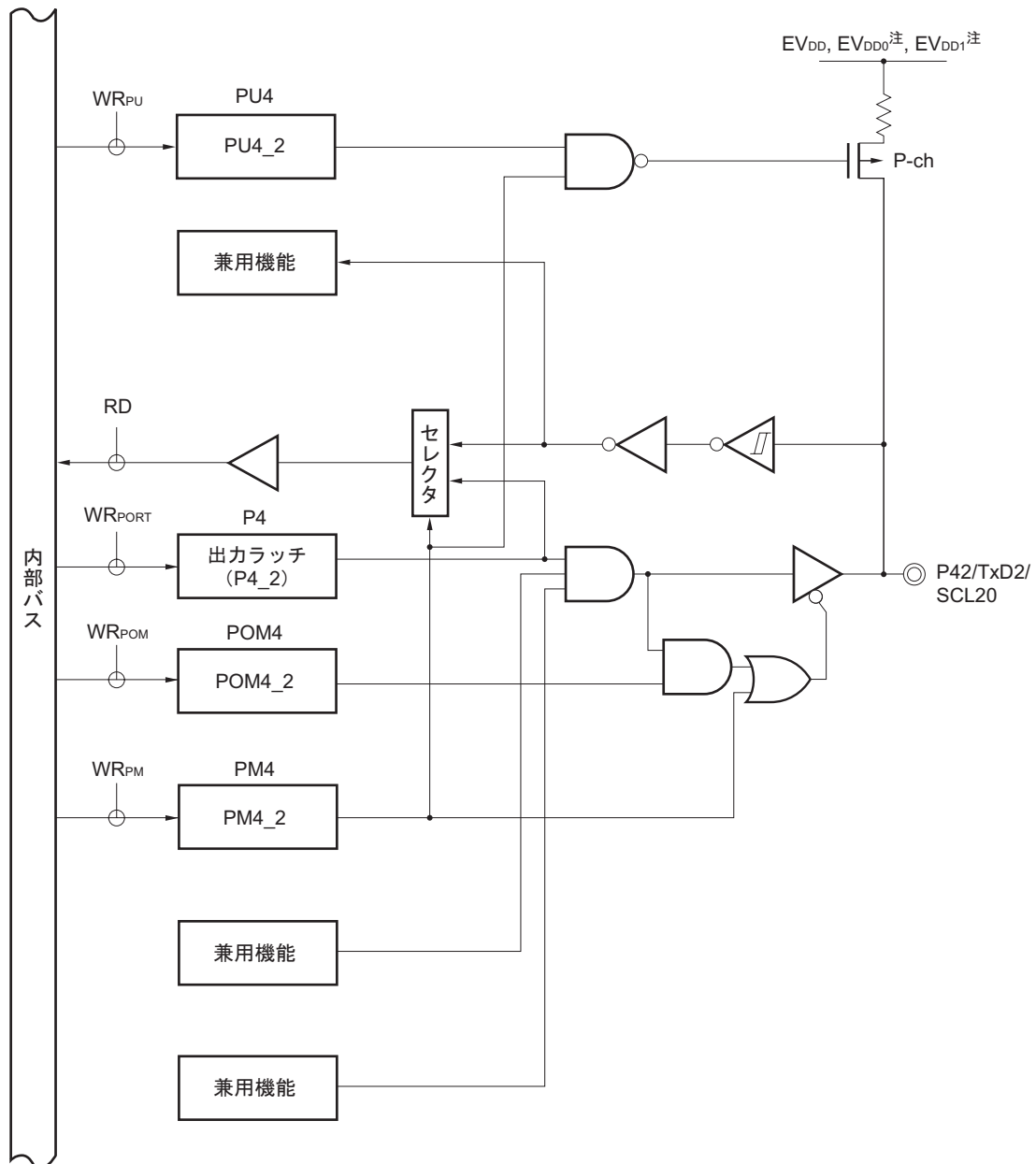


注 EV_{DD0}, EV_{DD1}は, 78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P4 : ポート・レジスタ4
- PU4 : ブルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_{xx} : ライト信号

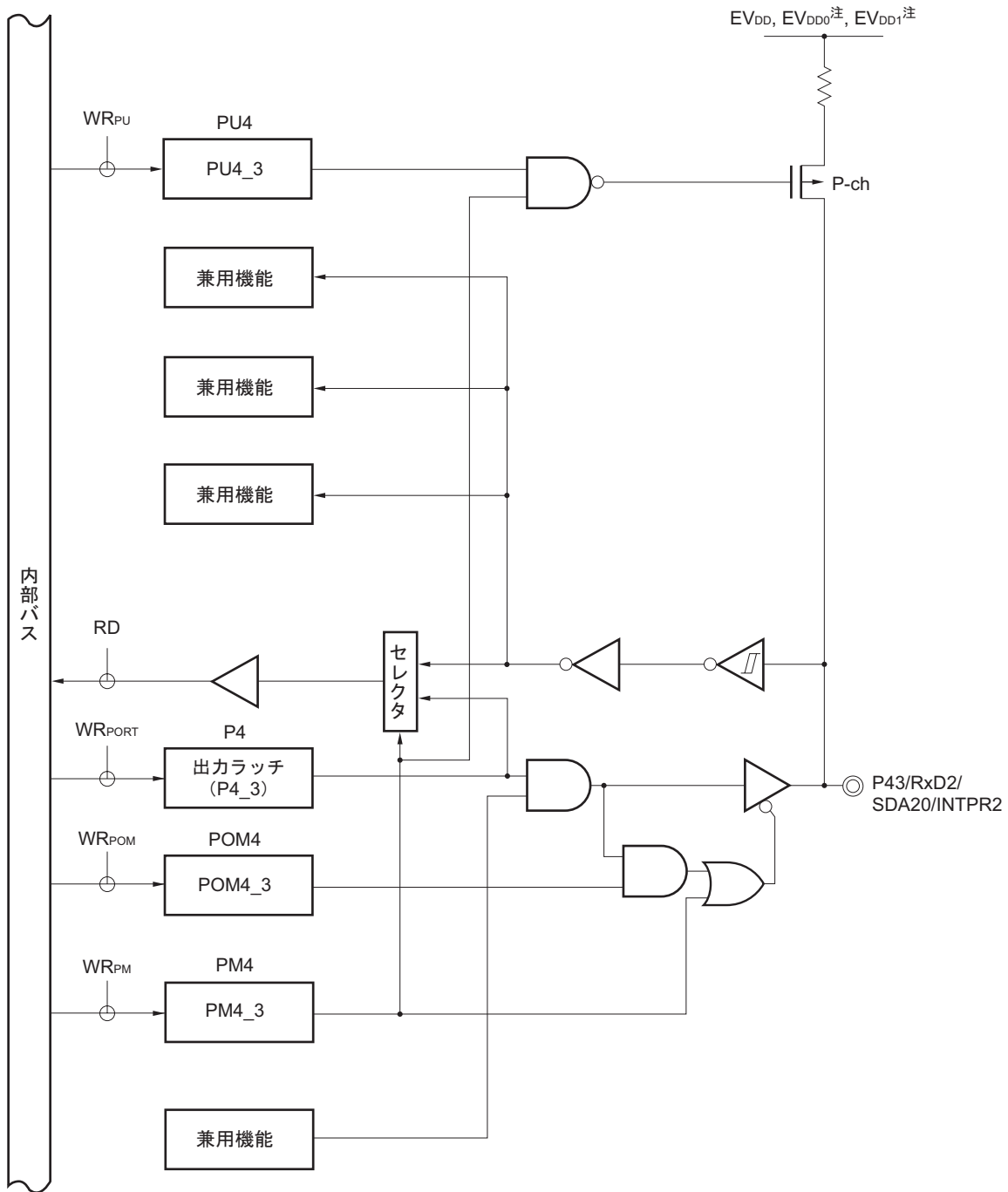
図4-30 P42のブロック図 (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P4 : ポート・レジスタ4
- PU4 : ブルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- POM4 : ポート出力モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

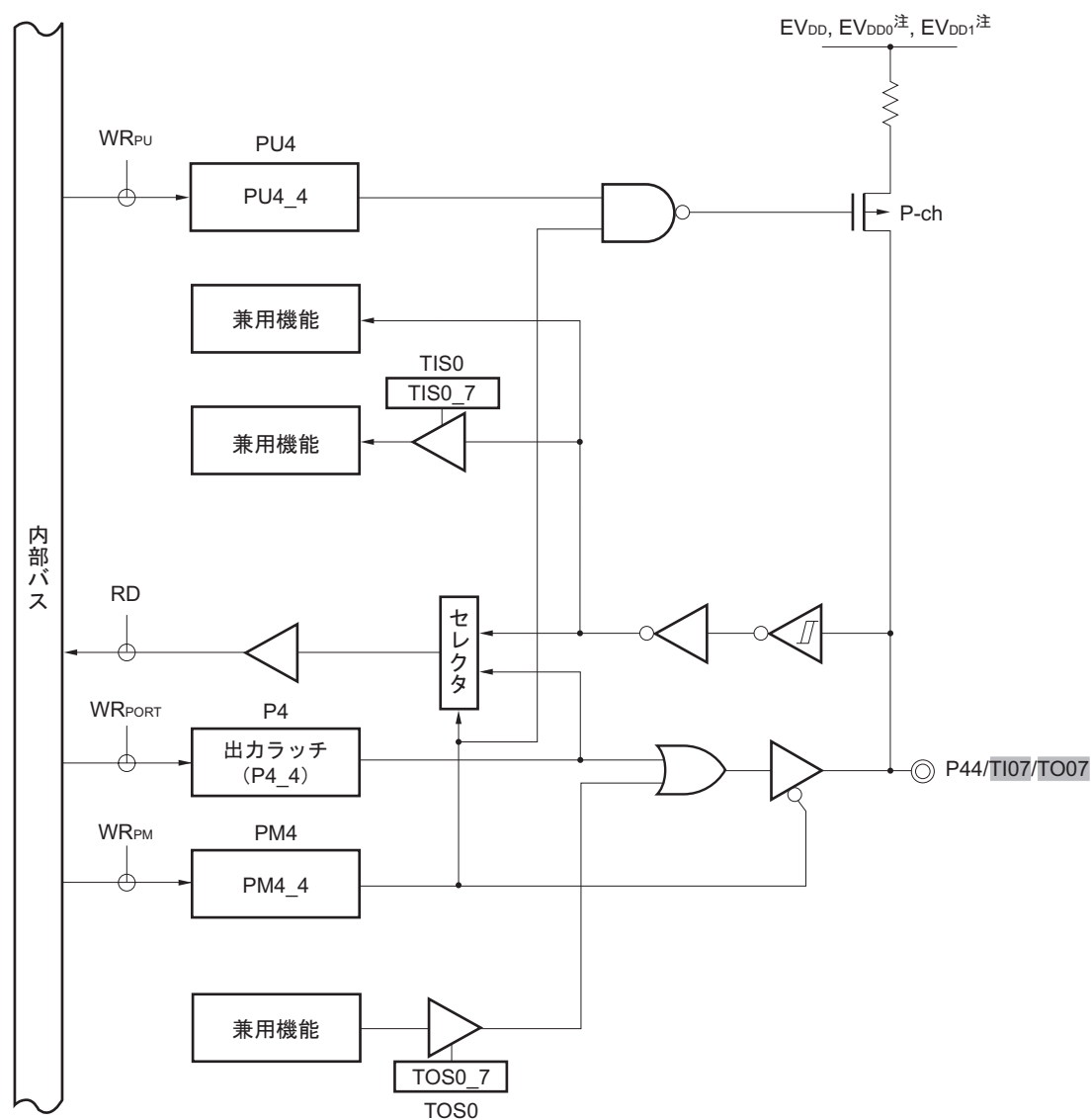
図4-31 P43のブロック図 (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P4 : ポート・レジスタ4
- PU4 : ブルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- POM4 : ポート出力モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4-32 P44のブロック図

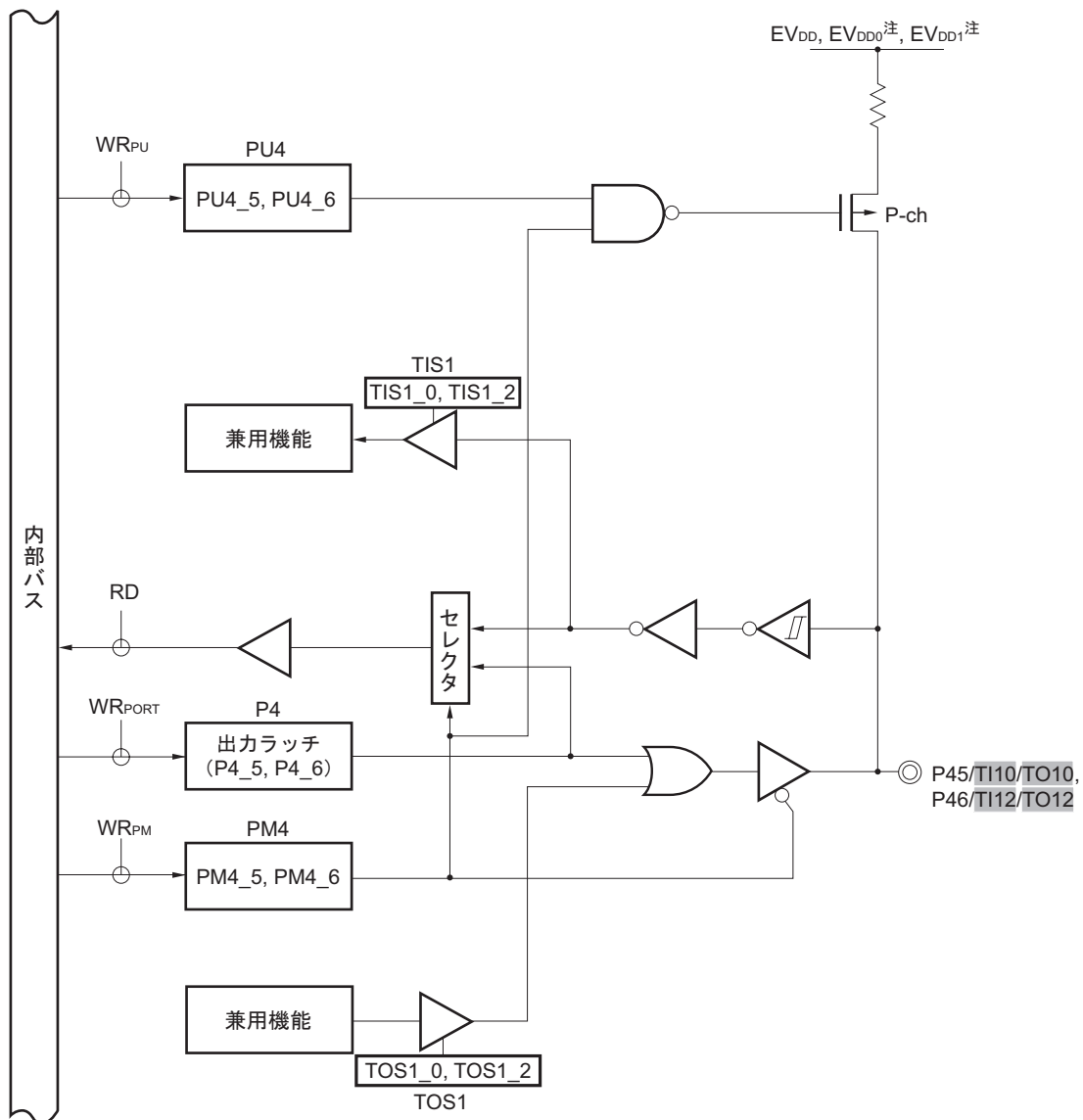


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_{xx} : ライト信号

図4-33 P45, P46のブロック図

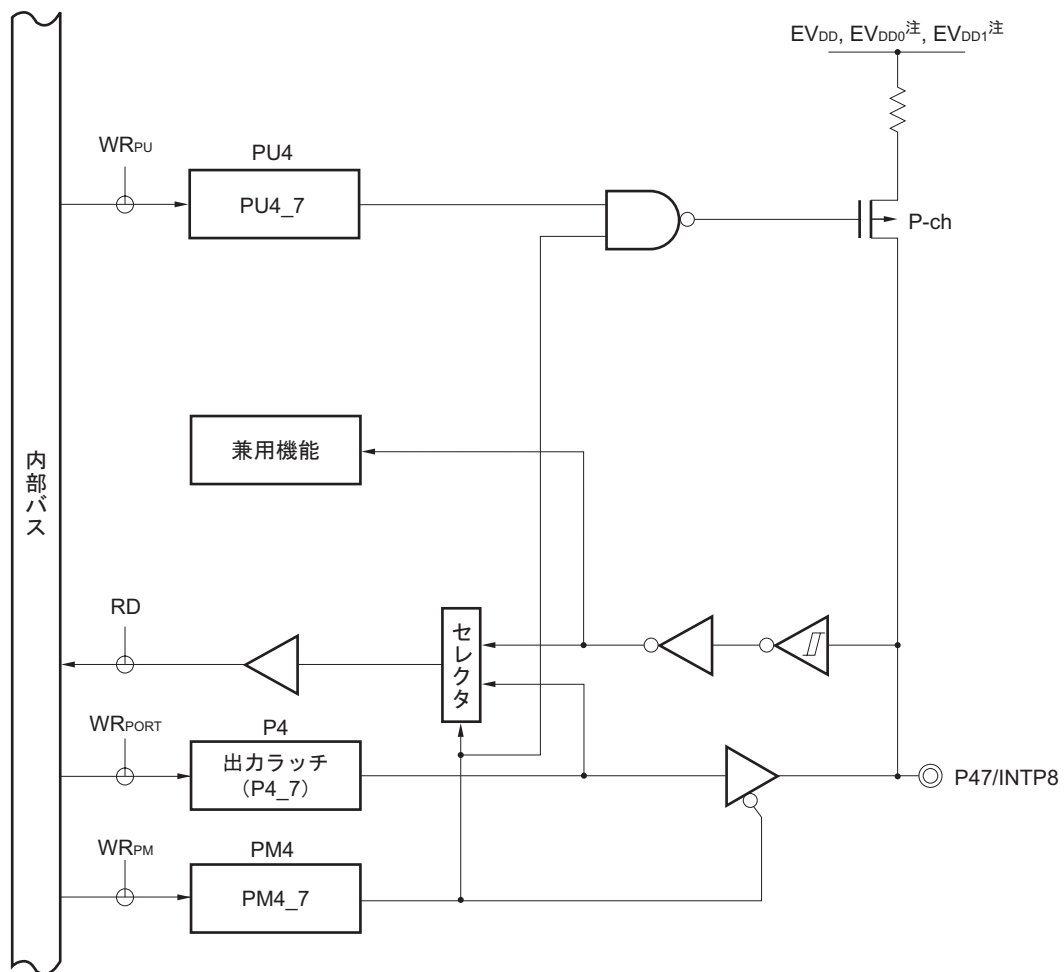


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

P4	: ポート・レジスタ4
PU4	: プルアップ抵抗オプション・レジスタ4
PM4	: ポート・モード・レジスタ4
RD	: リード信号
TIS1	: タイマ入力選択レジスタ1
TOS1	: タイマ出力選択レジスタ1
WR _x	: ライト信号

図4-34 P47のブロック図



注 EVDD0, EVDD1は、78K0R/HG3のみ

- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

4.2.5 ポート5

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P50/INTP3/TI20/ TO20	—			
P51/TI21/TO21	—			
P52/TI22/STOPST/ TO22	—			
P53/TI23/TO23	—			
P54/TI11/TO11	—	—		
P55/TI13/TO13	—	—		
P56/TI15/TO15	—	—		
P57/TI17/TO17	—	—		

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード/出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

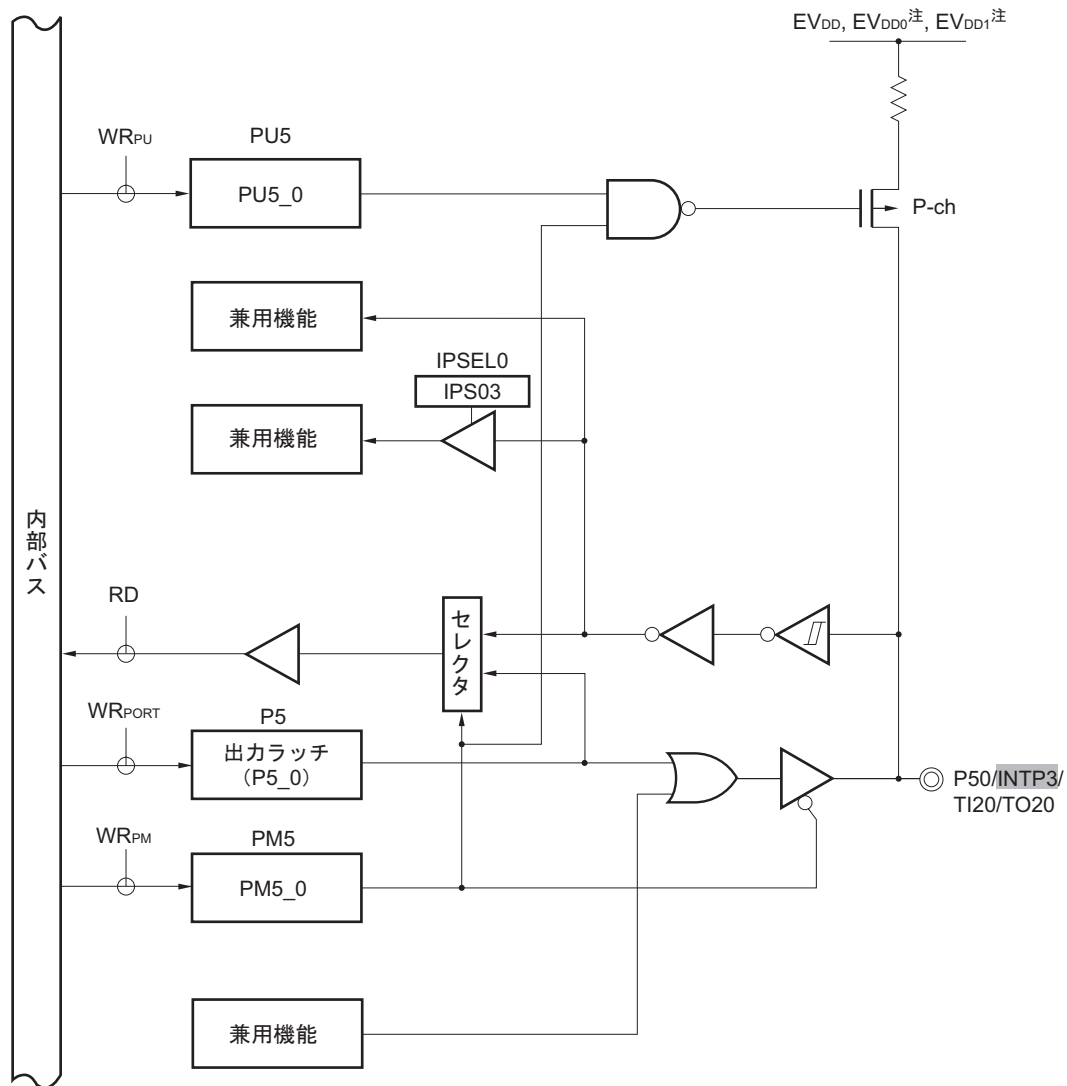
また、兼用機能として外部割り込み要求入力、タイマ入出力、STOPステータス出力があります。

リセット信号の発生により、入力モードになります。

図4-35~4-39にポート5のブロック図を示します。

- 注意 1. P50/INTP3/TI20/TO20, P51/TI21/TO21, P52/TI22/STOPST/TO22, P53/TI23/TO23, P54/TI11/TO11, P55/TI13/TO13, P56/TI15/TO15, P57/TI17/TO17を汎用ポートとして使用する場合、タイマ出力レジスタ1 (TO1) のビット1, 3, 5, 7 (TO11, TO13, TO15, TO17) およびタイマ出力レジスタ2 (TO2) のビット0-3 (TO20-TO23) とタイマ出力許可レジスタ1 (TOE1) のビット1, 3, 5, 7 (TOE1_1, TOE1_3, TOE1_5, TOE1_7) およびタイマ出力許可レジスタ2 (TOE2) のビット0-3 (TOE2_0-TOE2_3) を初期状態と同じ設定“0”で使用してください。
2. ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図4-35 P50のブロック図

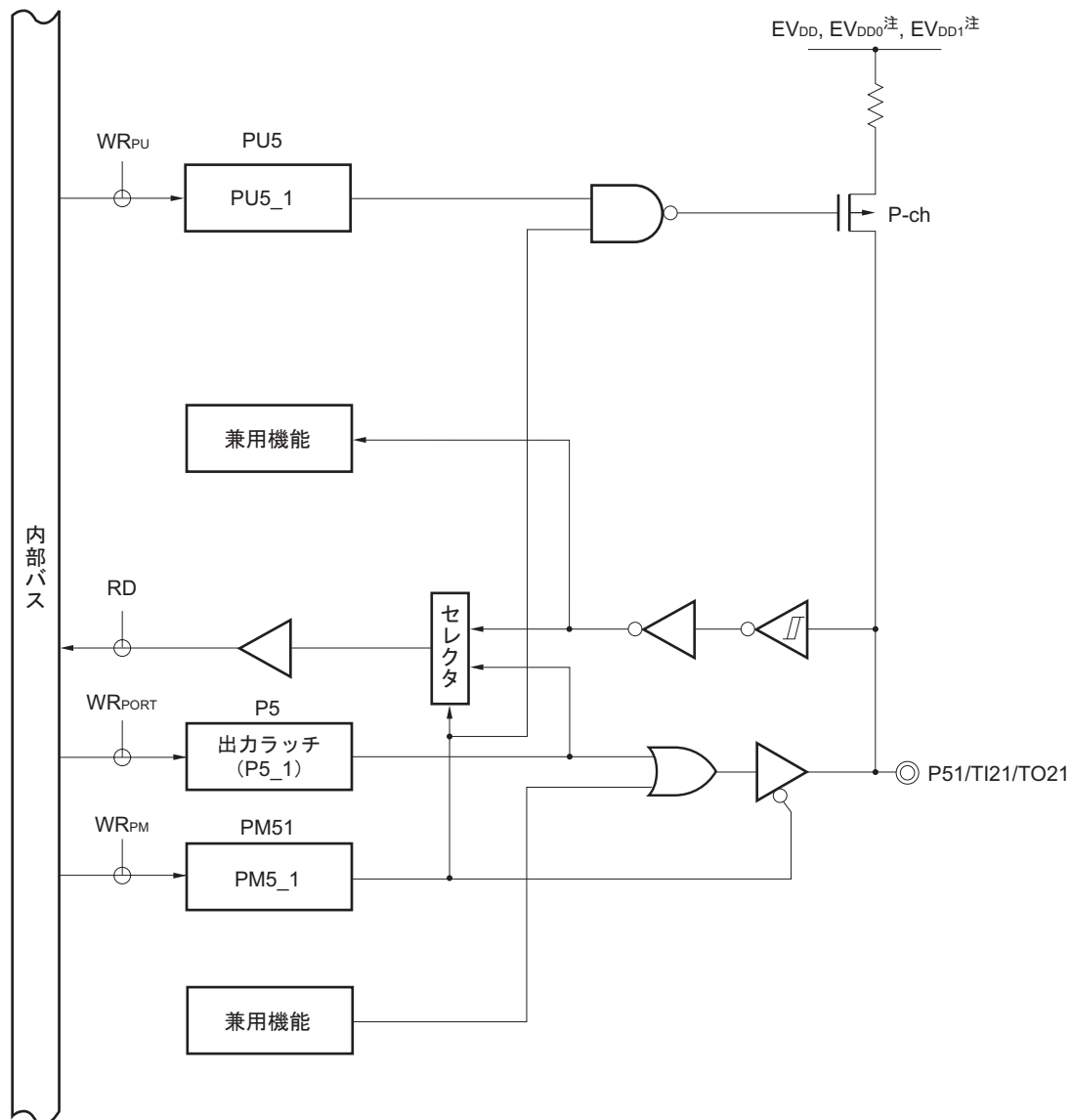


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- IPSELO : 外部割り込み入力端子選択レジスタ0
- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

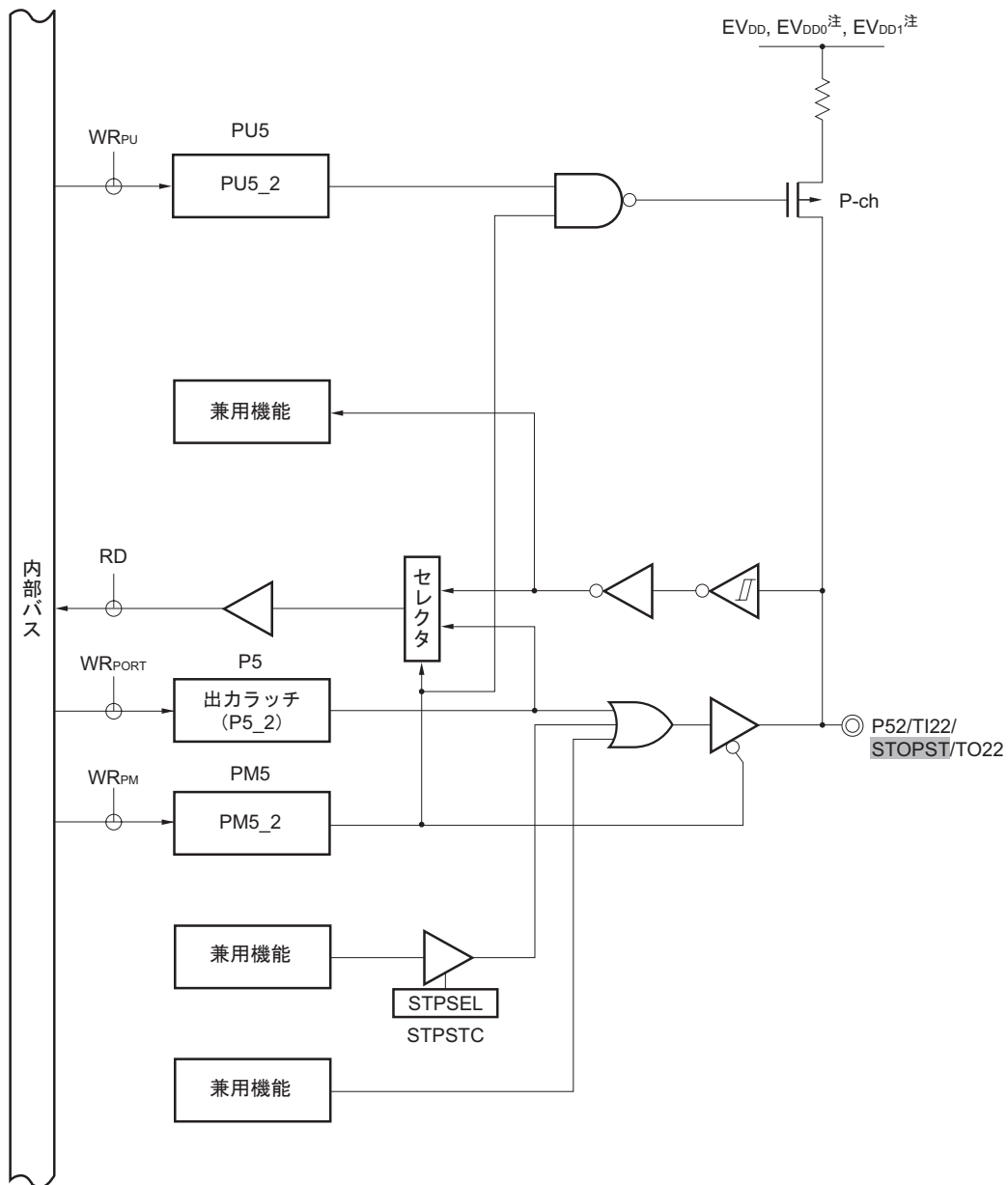
図4-36 P51のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

図4-37 P52のブロック図

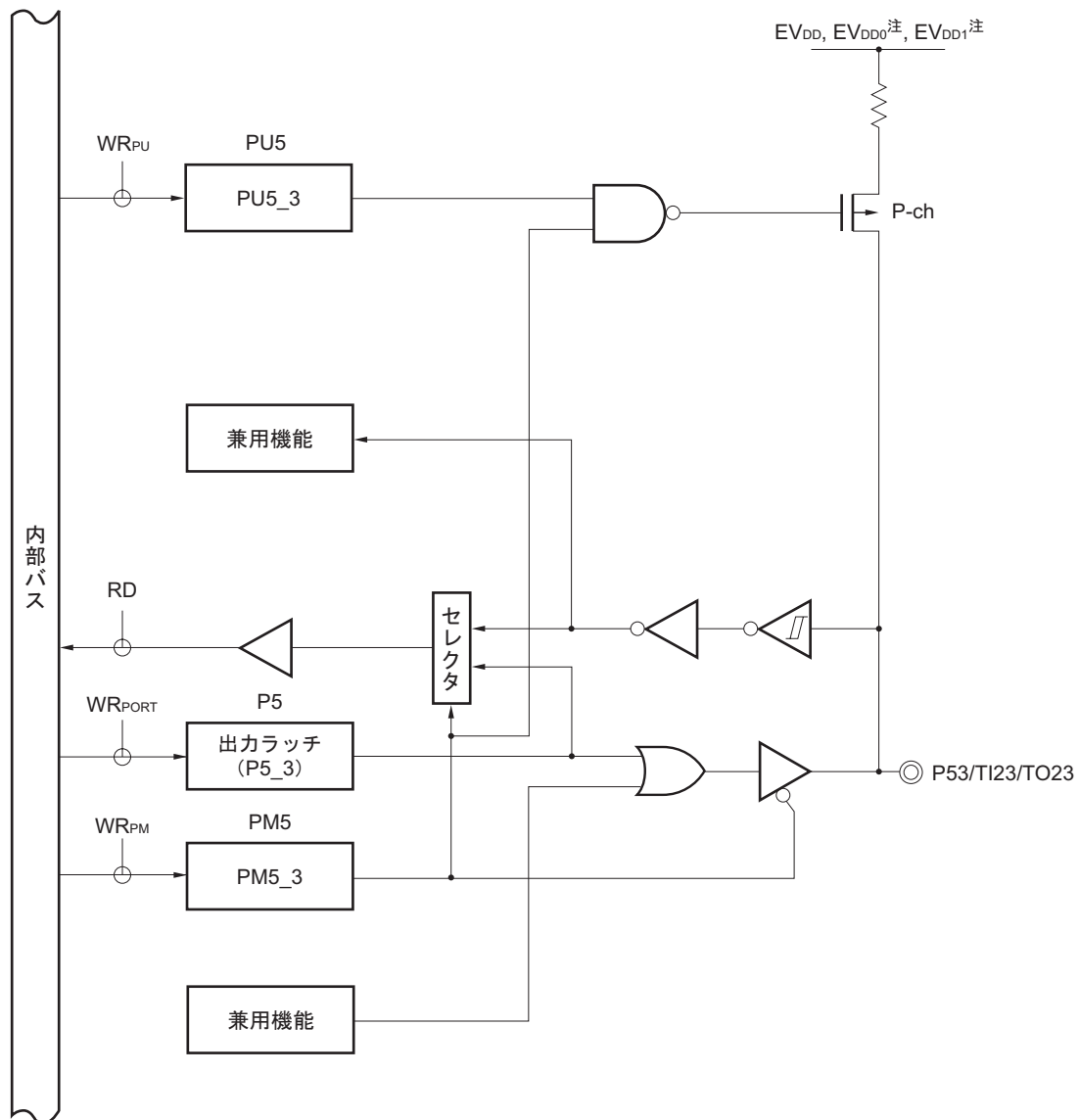


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- STPSTC : STOPステータス出力制御レジスタ
- WR_{xx} : ライト信号

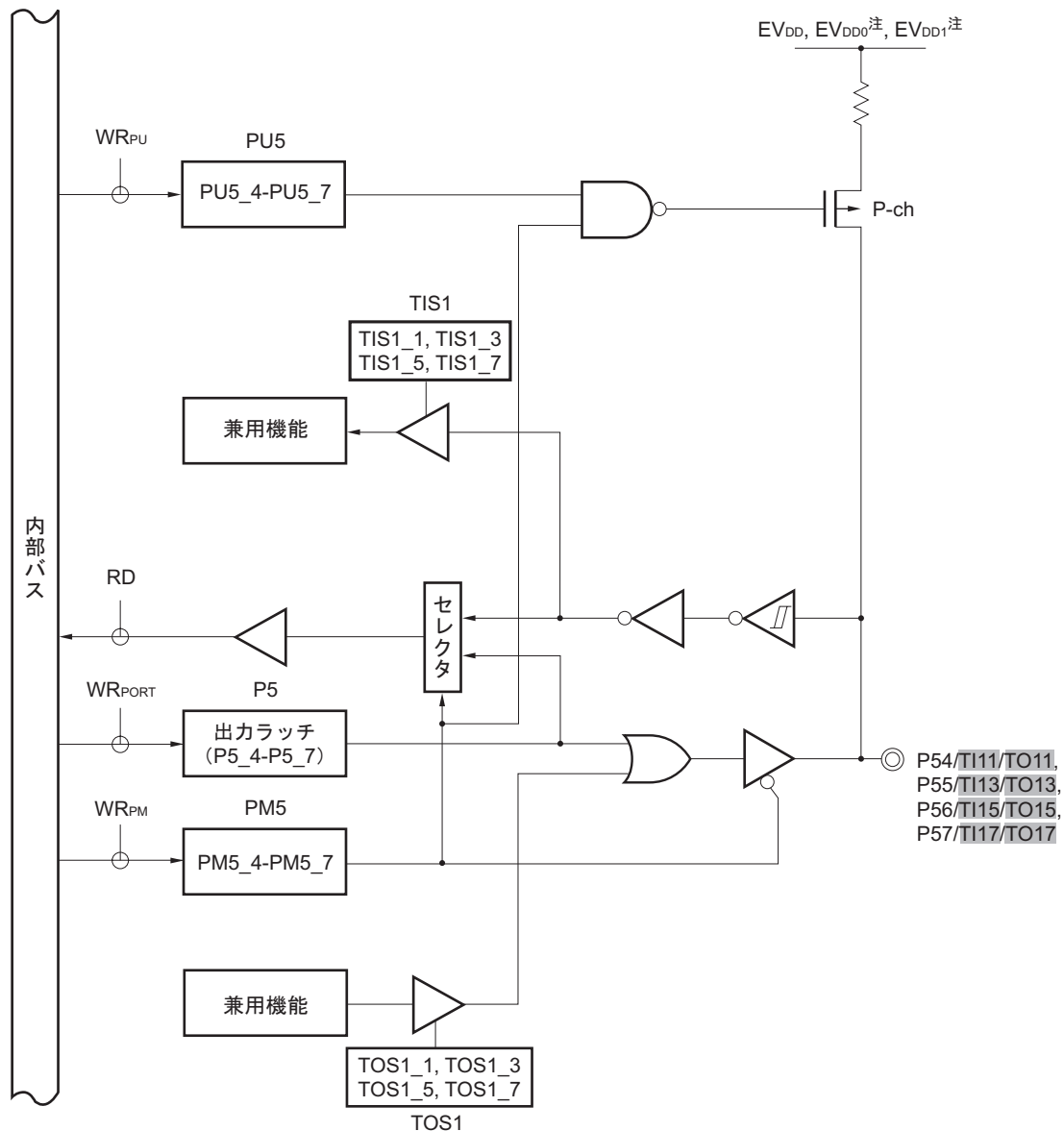
図4-38 P53のブロック図



注 EV_{DD0} , EV_{DD1} は、78K0R/HG3のみ

- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_{xx} : ライト信号

図4-39 P54-P57のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

4.2.6 ポート6

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P60/SCK00/SCL11				
P61/SI00/SDA11				
P62/SO00				
P63/SSI00				
P64/TI14/TO14	—	—		
P65/TI16/TO16	—	—		
P66/TI00/TO00	—	—		
P67/TI02/TO02	—	—		

注意 で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。P60-P67端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

P60, P61, P63端子の入力は、ポート入力モード・レジスタ6 (PIM6) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

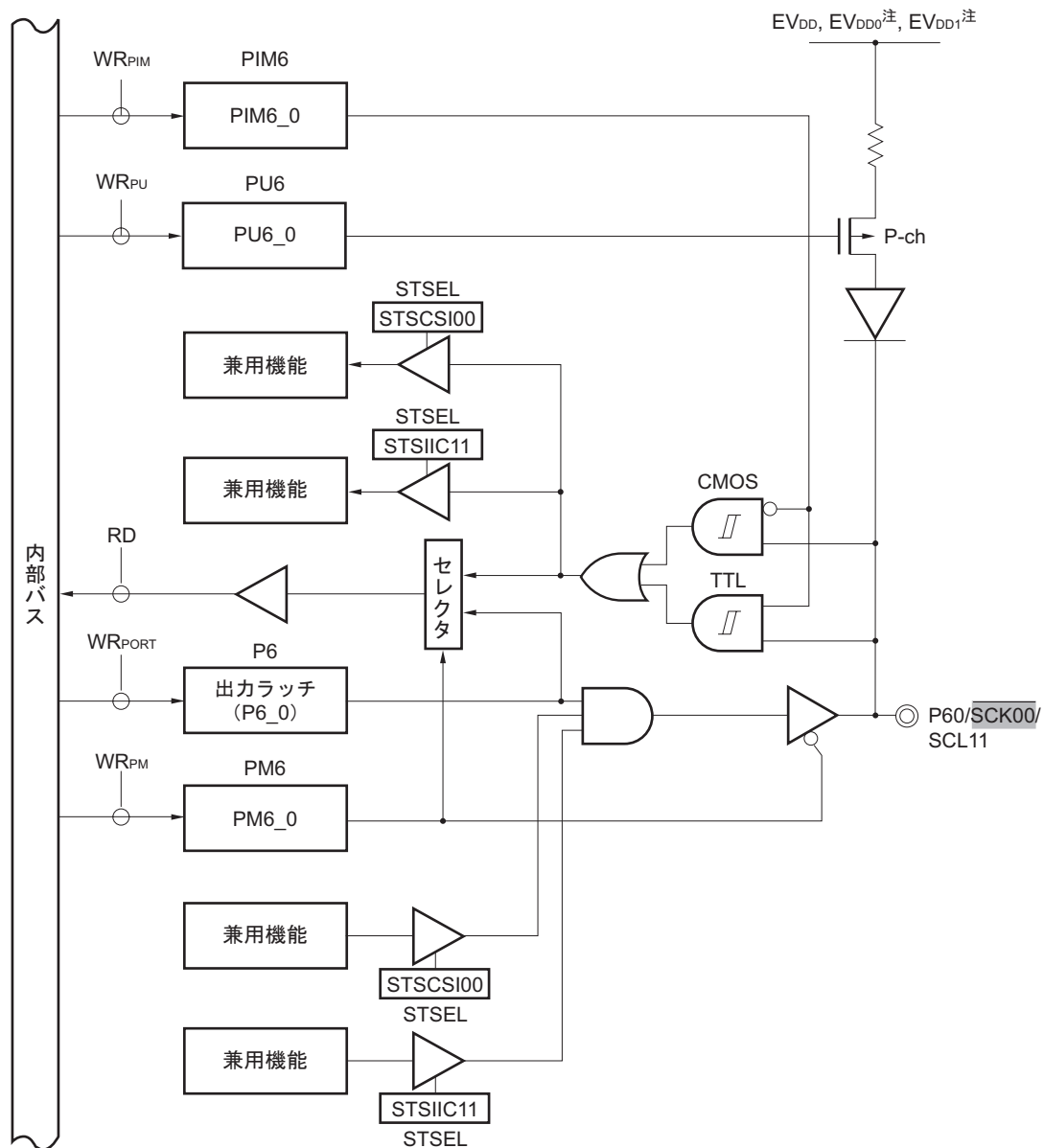
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト、タイマの入出力機能があります。

リセット信号の発生により、入力モードになります。

図4-40~4-46にポート6のブロック図を示します。

- 注意1. P60/SCK00/SCL11, P61/SI00/SDA11, P62/SO00, P63/SSI00を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、表11-9 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, STSCSI00 = 1) と表11-12 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : CSI11, IIC11) を参照してください。
2. P64/TI14/TO14, P65/TI16/TO16, P66/TI00/TO00, P67/TI02/TO02を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0, 2 (TO00, TO02) およびタイマ出力レジスタ1 (TO1) のビット4, 6 (TO14, TO16) とタイマ出力許可レジスタ0 (TOE0) のビット0, 2 (TOE0_0, TOE0_2) およびタイマ出力許可レジスタ1 (TOE1) のビット4, 6 (TOE1_4, TOE1_6) を初期状態と同じ設定"0"で使用してください。
3. で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図4-40 P60のブロック図

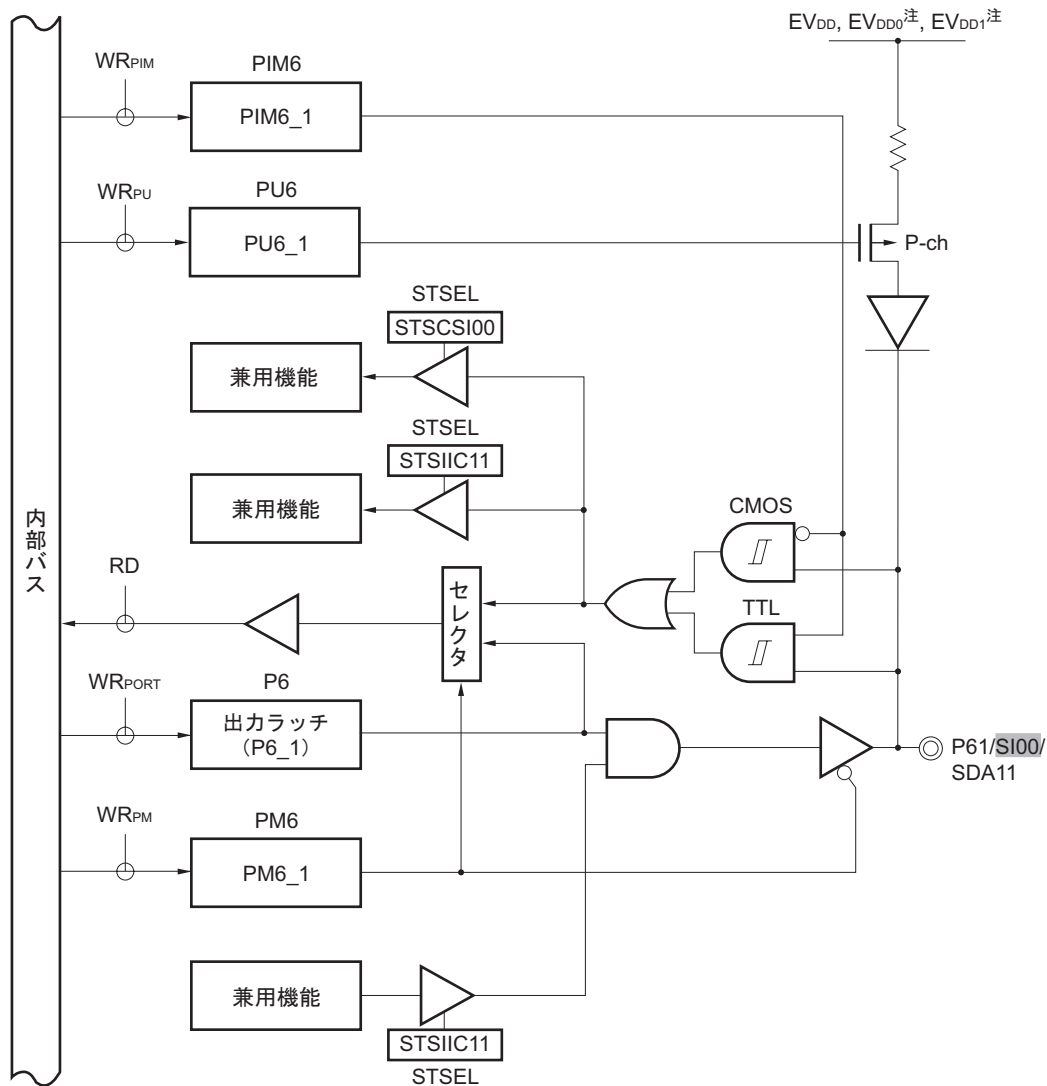


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : ブルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- PIM6 : ポート入力モード・レジスタ6
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_x : ライト信号

図4-41 P61のブロック図

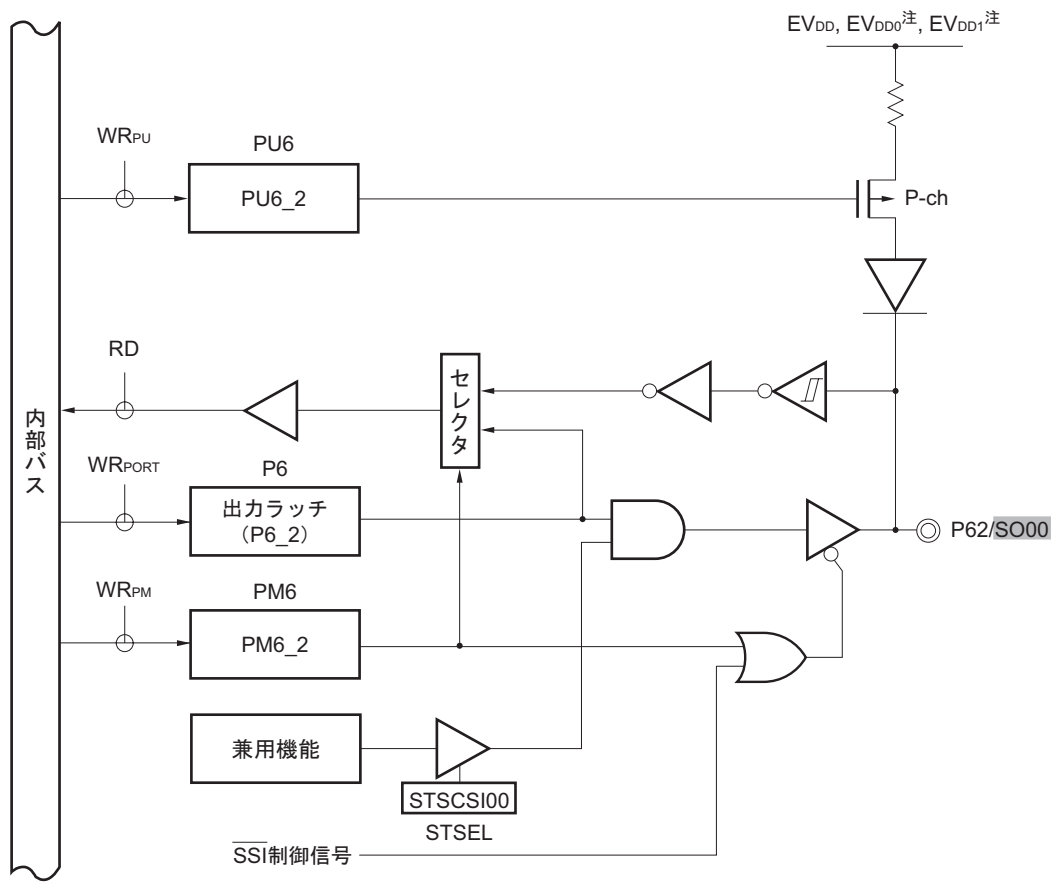


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- PIM6 : ポート入力モード・レジスタ6
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_{xx} : ライト信号

図4-42 P62のブロック図

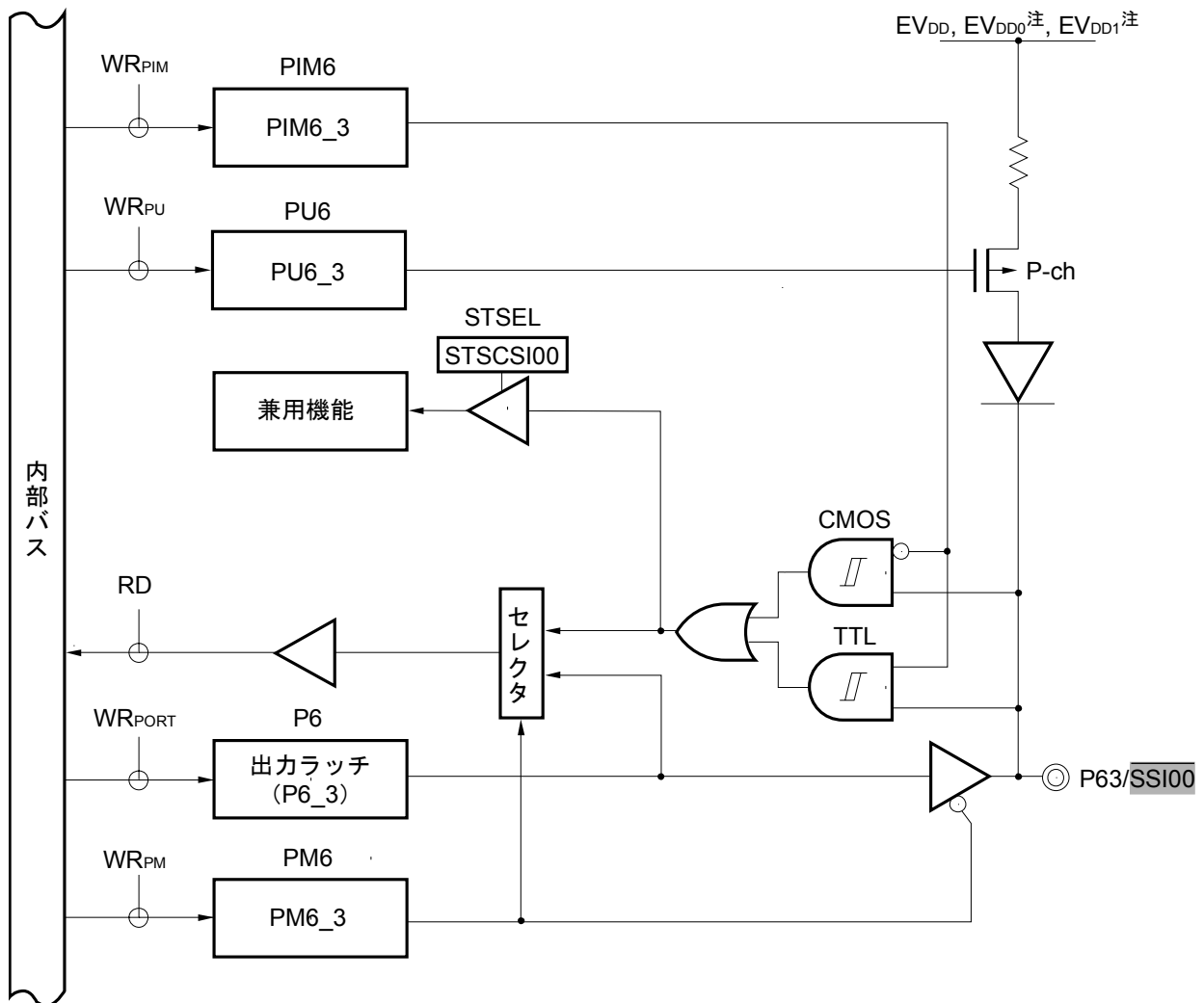


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_x : ライト信号

図4-43 P63のブロック図

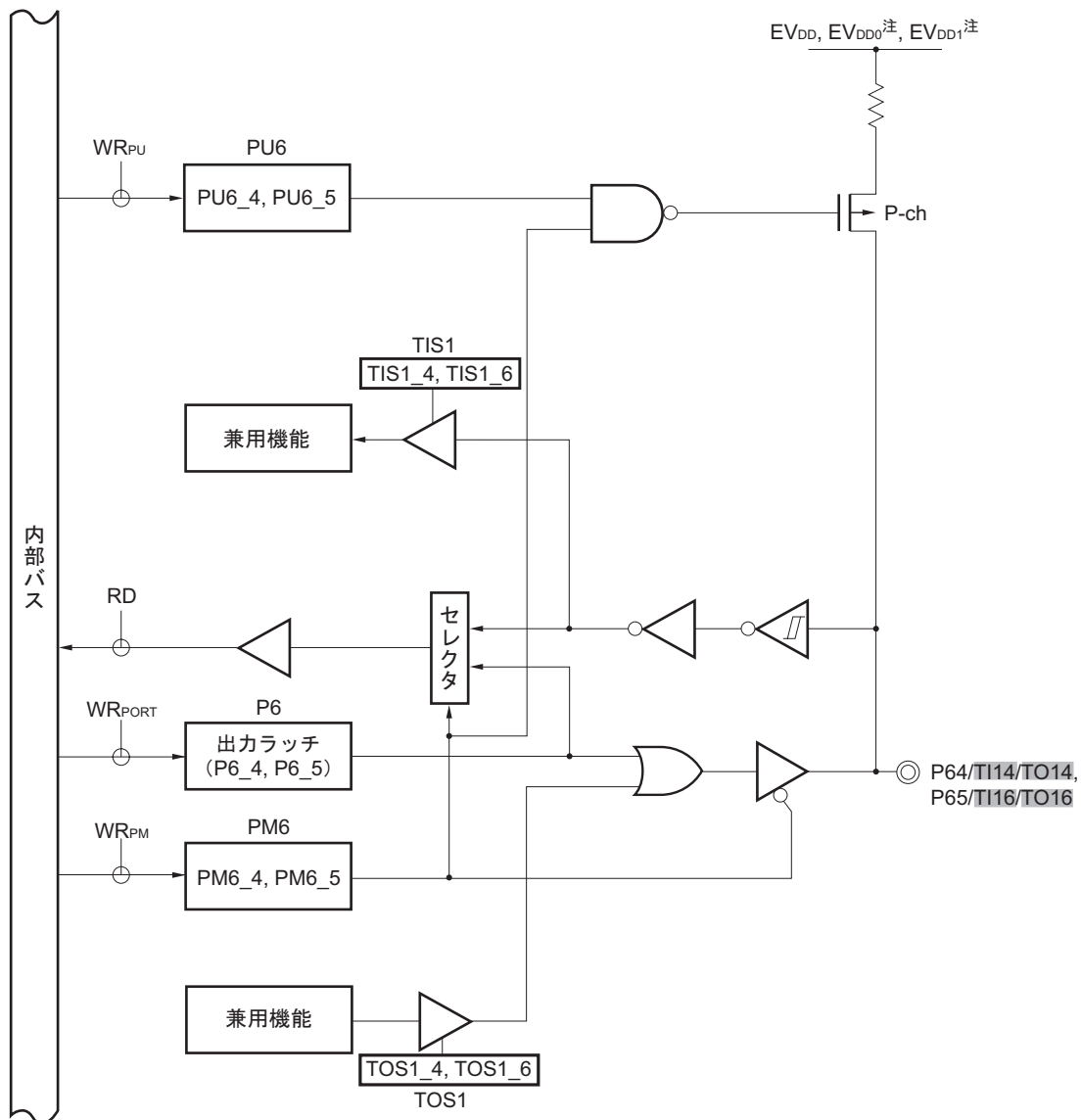


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- PIM6 : ポート入力モード・レジスタ6
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_{xx} : ライト信号

図4-44 P64, 65のブロック図

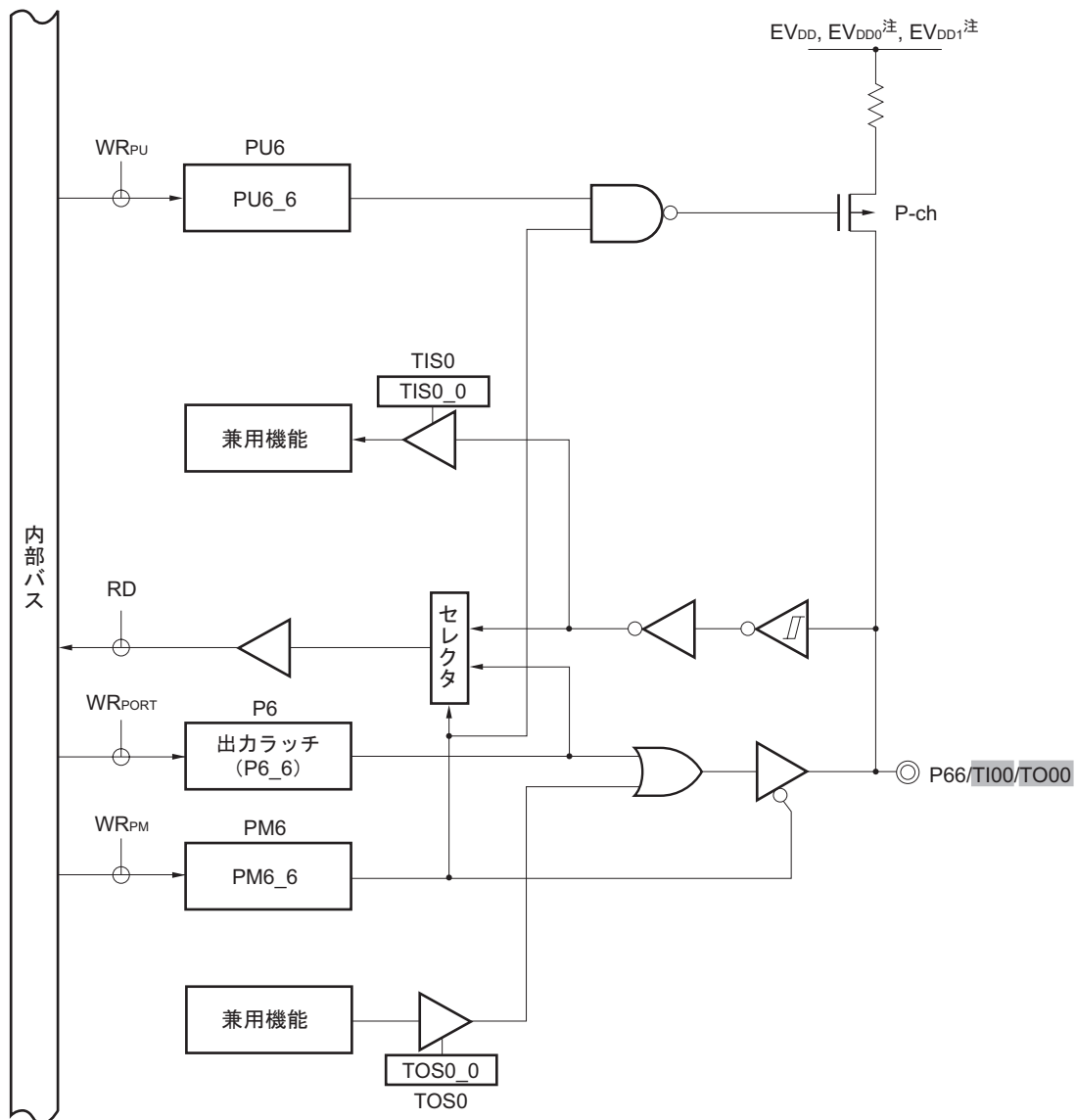


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : ブルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

図4-45 P66のブロック図

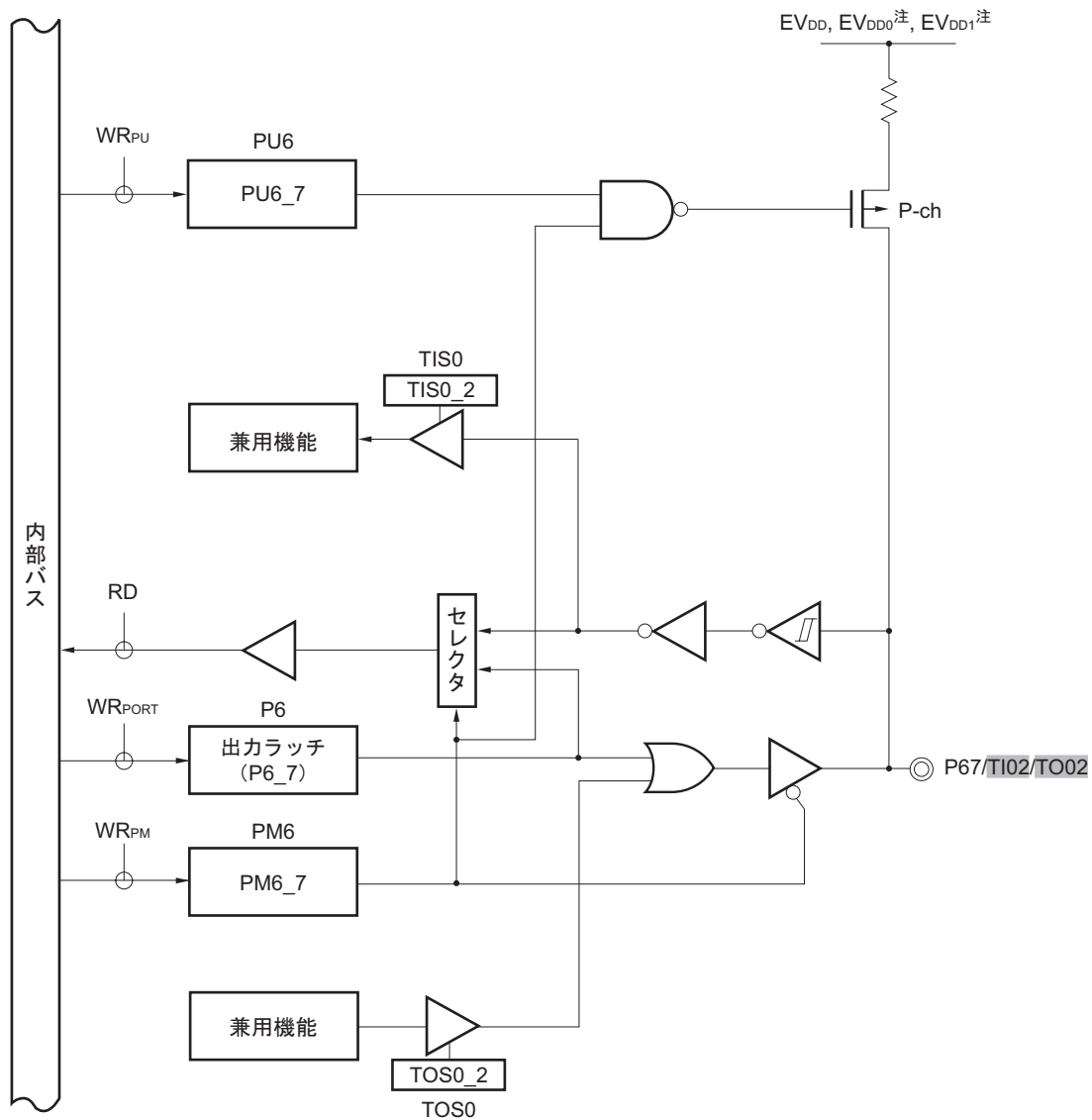


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : ブルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

図4-46 P67のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

4.2.7 ポート7

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P70/INTP5/KR0/ TI15/TO15/LVIOU T				
P71/INTP6/KR1/ TI17/TO17				
P72/KR2/CTxD/ LTxD1				
P73/KR3/CRxD/ LRxD1/INTPLR1				
P74/KR4/SO01	—			
P75/KR5/SI01	—			
P76/KR6/SCK01	—			
P77/KR7/SSI01	—			

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード/出力モードの指定ができます。P70-P77端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P73, P75-P77端子の入力は、ポート入力モード・レジスタ7 (PIM7) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P72, P74, PM76端子の出力は、ポート出力モード・レジスタ7 (POM7) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

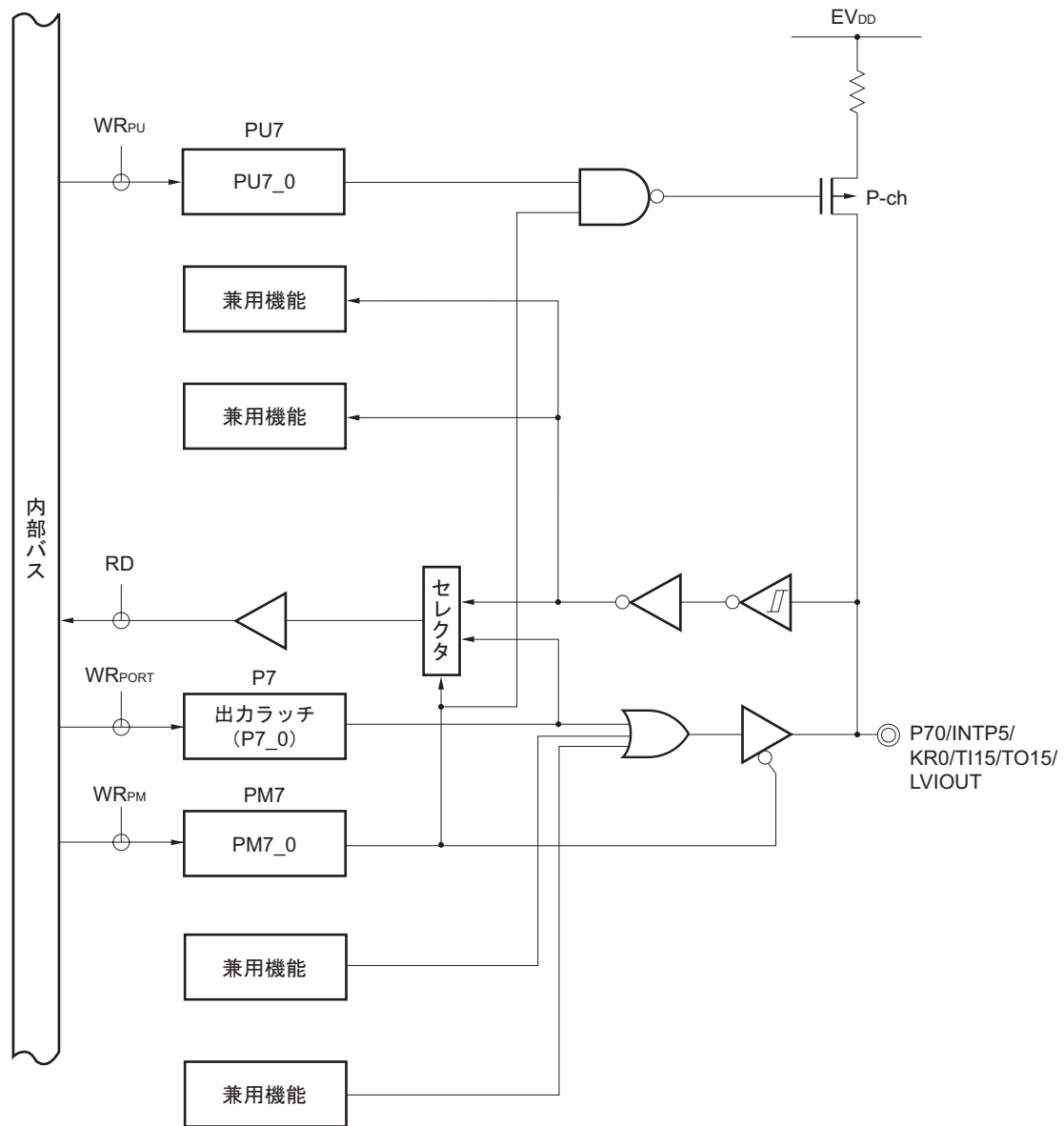
また、兼用機能として割り込み要求入力、キー割り込み入力、CANのデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、低電圧検出フラグ出力機能があります。

リセット信号の発生により、入力モードになります。

図4-47~4-55にポート7のブロック図を示します。

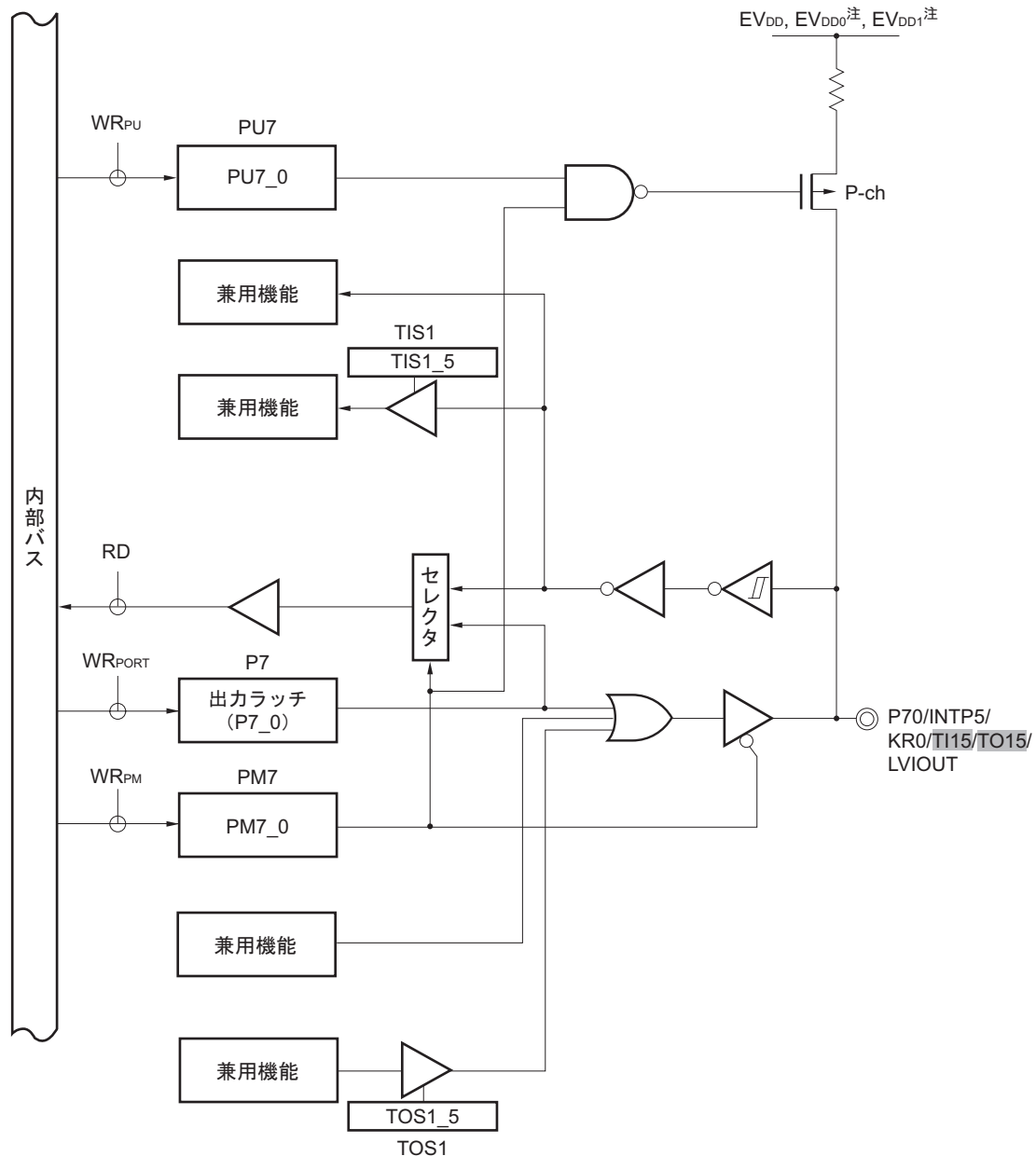
- 注意1. P74/KR4/SO01, P75/KR5/SI01, P76/KR6/SCK01, P77/KR7/SSI01を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、表11-10 レジスタの設定と端子の関係 (ユニット0のチャンネル1: CSI01) を参照してください。
2. P70/INTP5/KR0/TI15/TO15/LVIOU, P71/INTP6/KR1/TI17/TO17を汎用ポートとして使用する場合、タイマ出力レジスタ1 (TO1) のビット5, 7 (TO15, TO17) とタイマ出力許可レジスタ1 (TOE1) のビット5, 7 (TOE1_5, TOE1_7) を初期状態と同じ設定“0”で使用してください。
3. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図4-47 P70のブロック図 (78K0R/HC3, 78K0R/HE3)



- P7 : ポート・レジスタ7
 PU7 : プルアップ抵抗オプション・レジスタ7
 PM7 : ポート・モード・レジスタ7
 RD : リード信号
 WR_{xx} : ライト信号

図4-48 P70のブロック図 (78K0R/HF3, 78K0R/HG3)

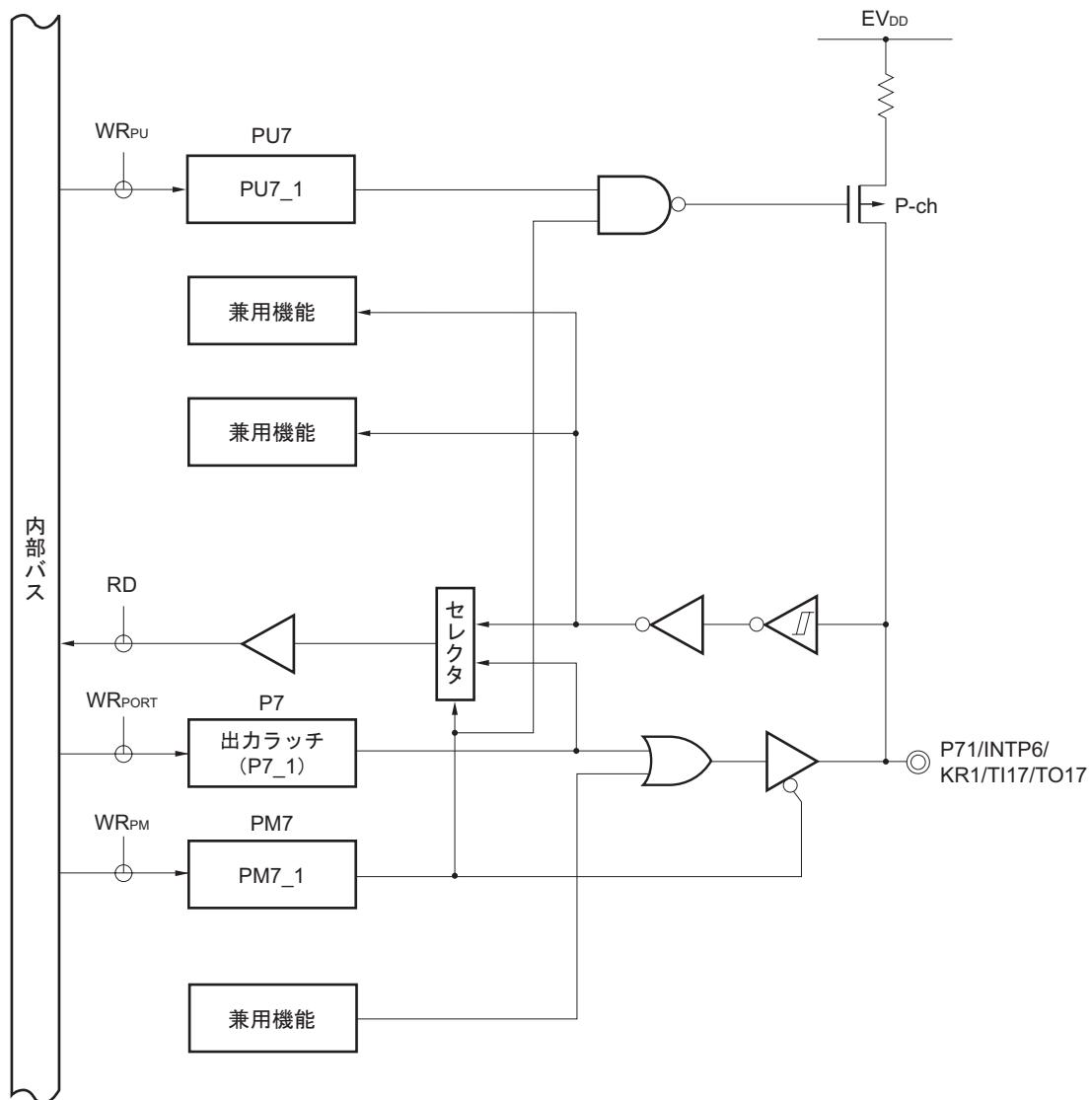


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

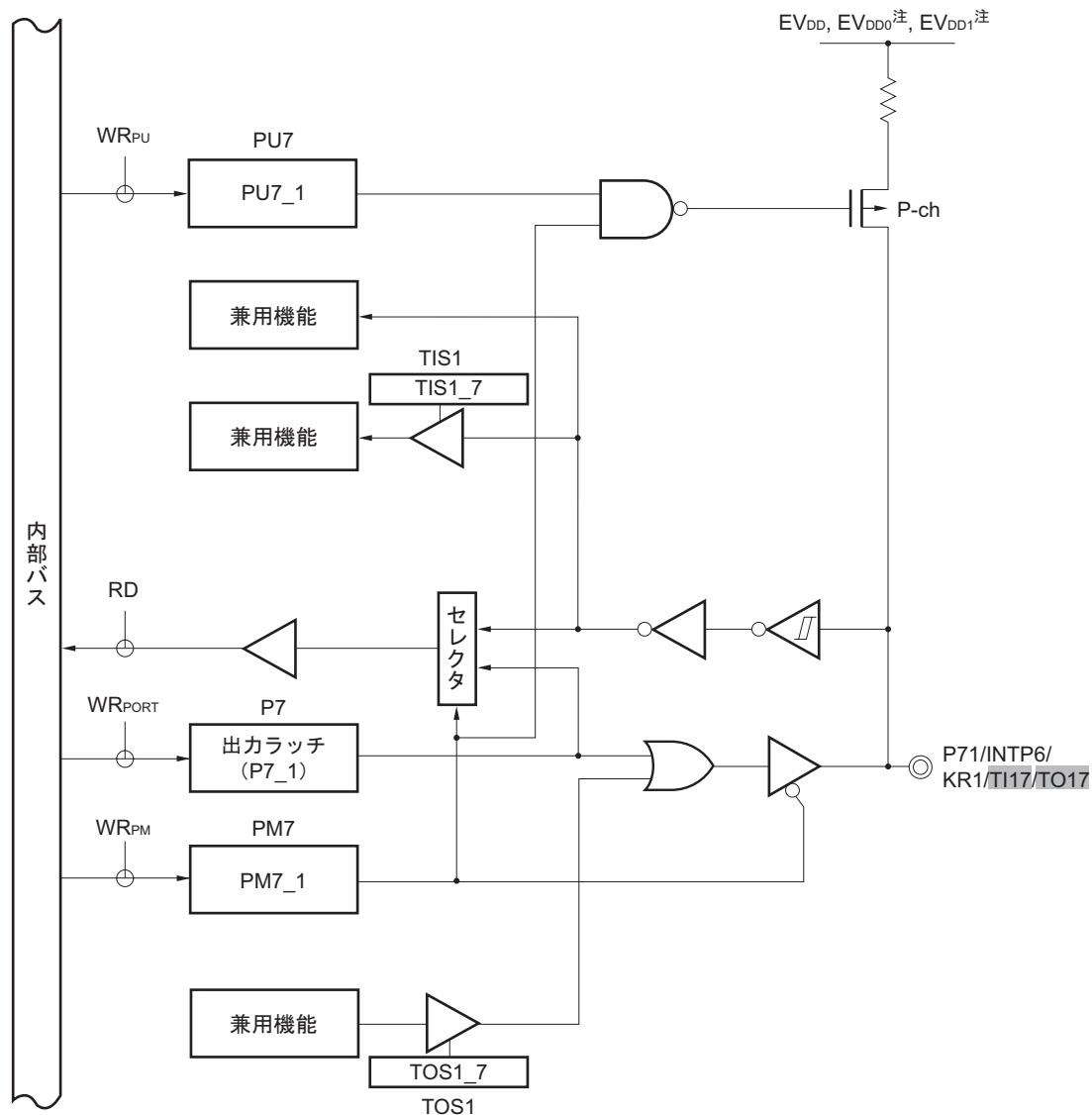
- P7 : ポート・レジスタ7
- PU7 : ブルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_{xx} : ライト信号

図4-49 P71のブロック図 (78K0R/HC3, 78K0R/HE3)



- P7 : ポート・レジスタ7
 PU7 : プルアップ抵抗オプション・レジスタ7
 PM7 : ポート・モード・レジスタ7
 RD : リード信号
 TIS1 : タイマ入力選択レジスタ1
 TOS1 : タイマ出力選択レジスタ1
 WR_{xx} : ライト信号

図4-50 P71のブロック図 (78K0R/HF3, 78K0R/HG3)

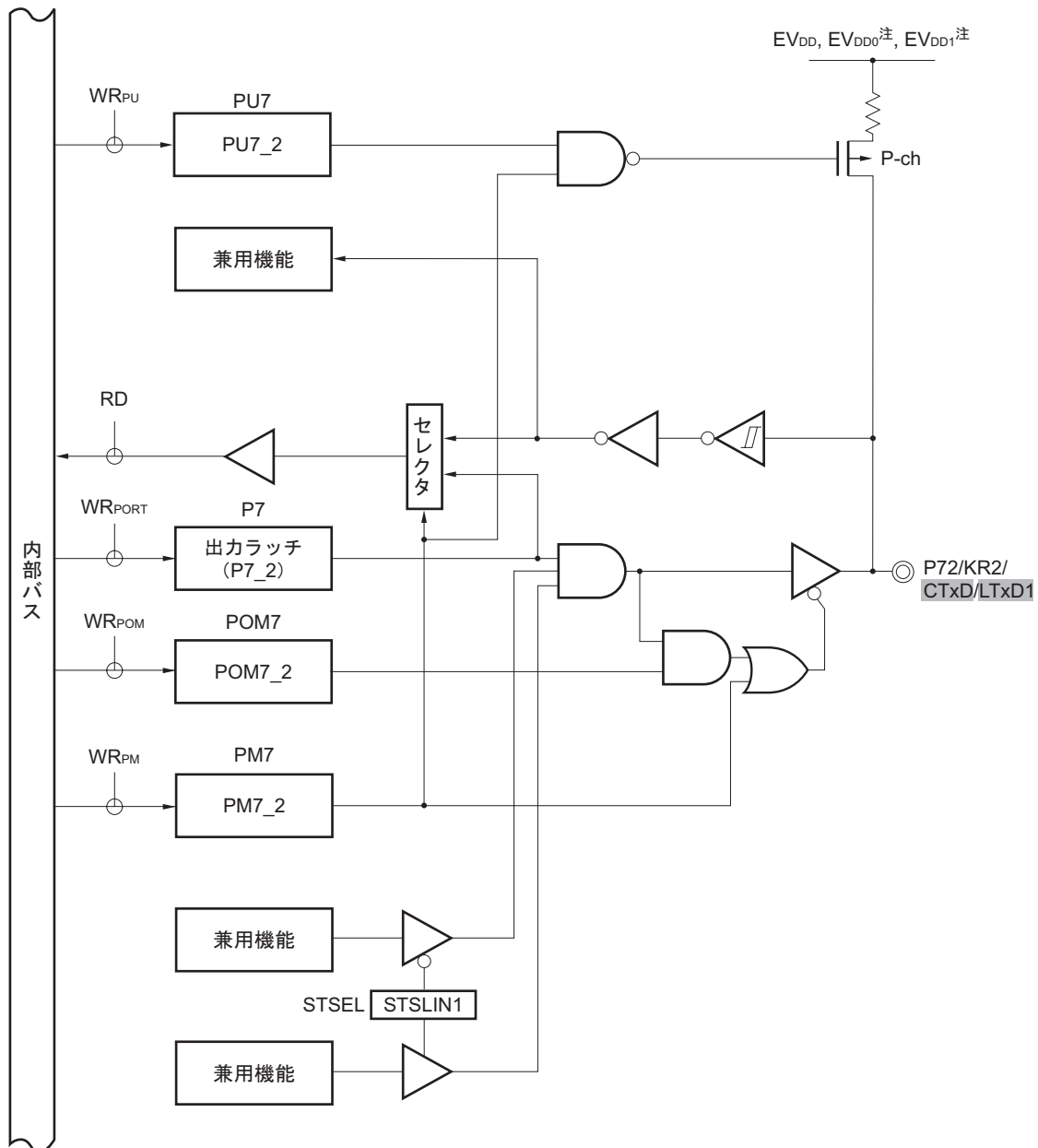


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P7 : ポート・レジスタ7
- PU7 : ブルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

図4-51 P72のブロック図

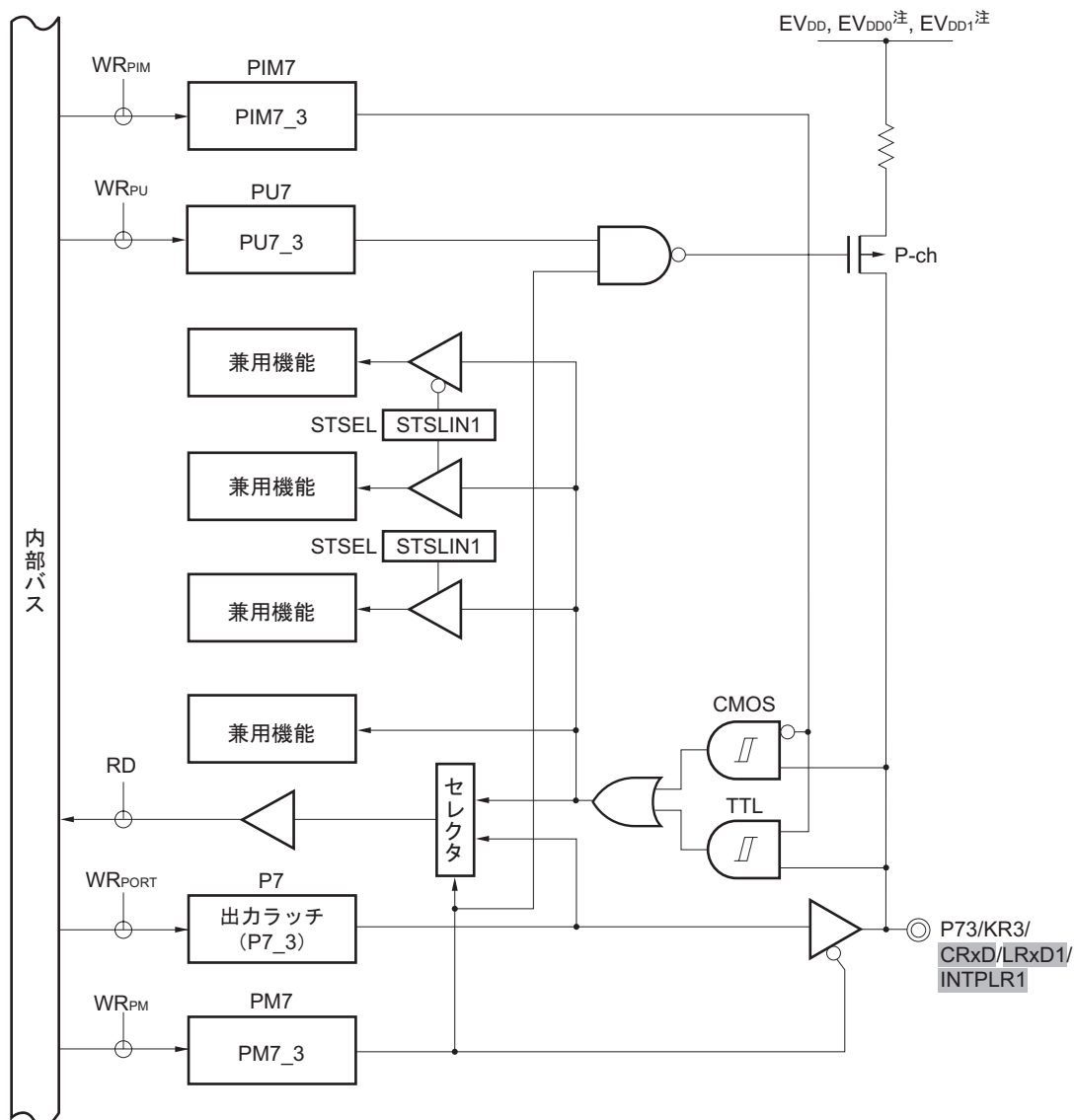


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_x : ライト信号

図4-52 P73のブロック図

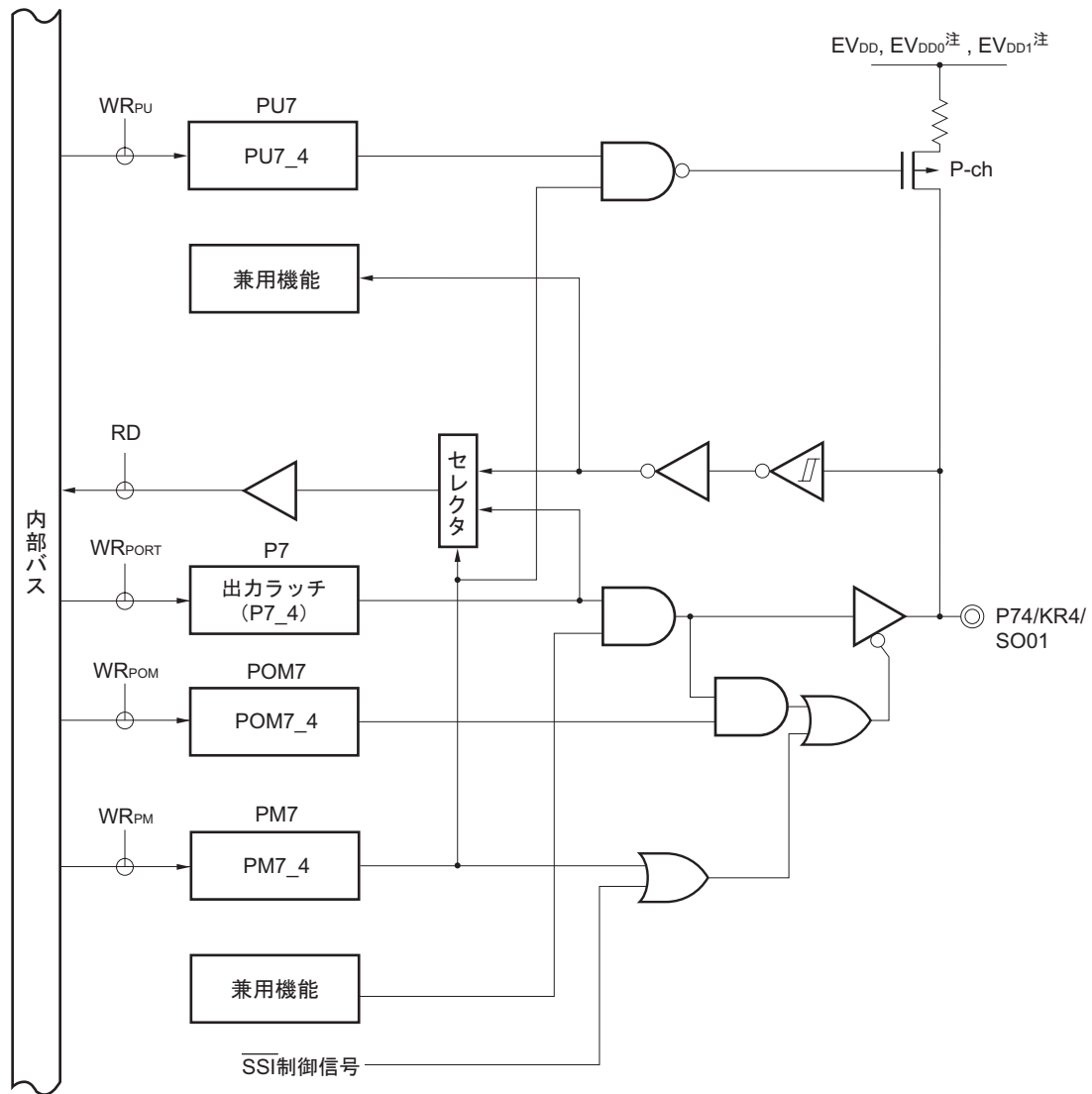


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- RD : リード信号
- STSEL : シリアル通信端子選択レジスタ
- WR_xx : ライト信号

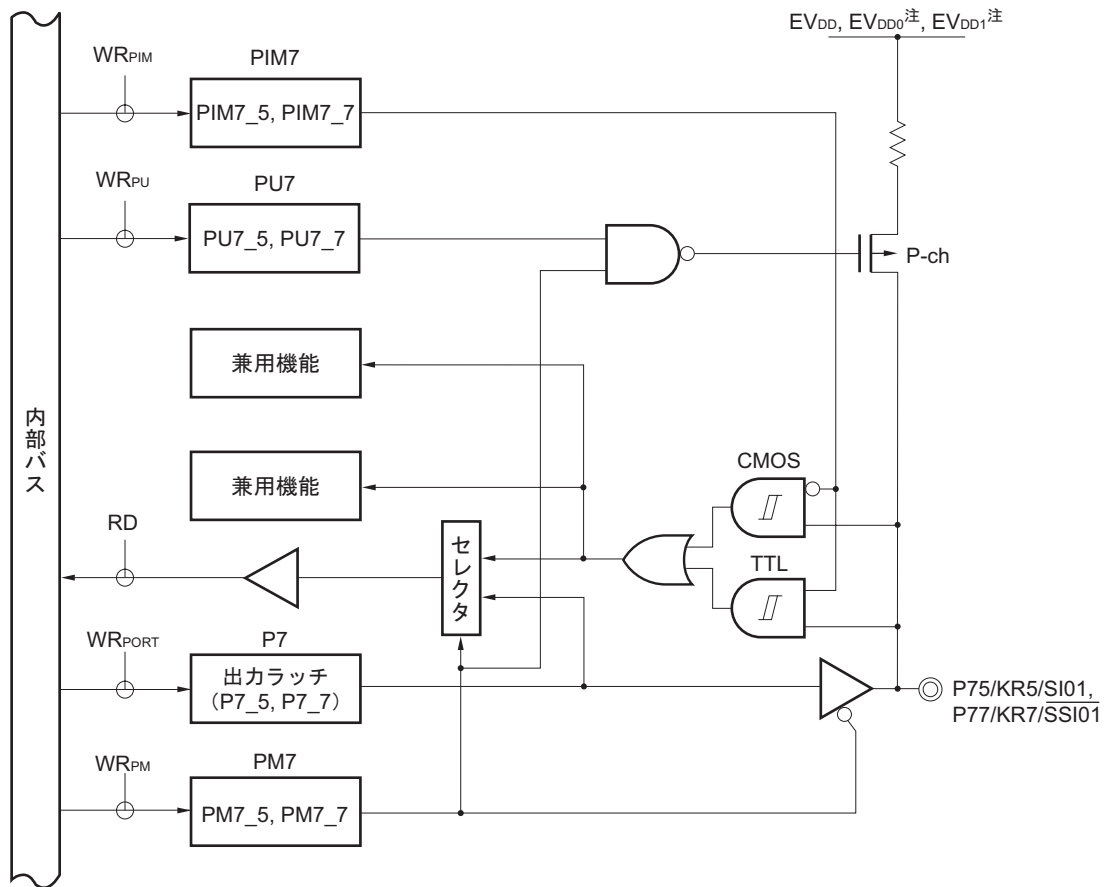
図4-53 P74のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

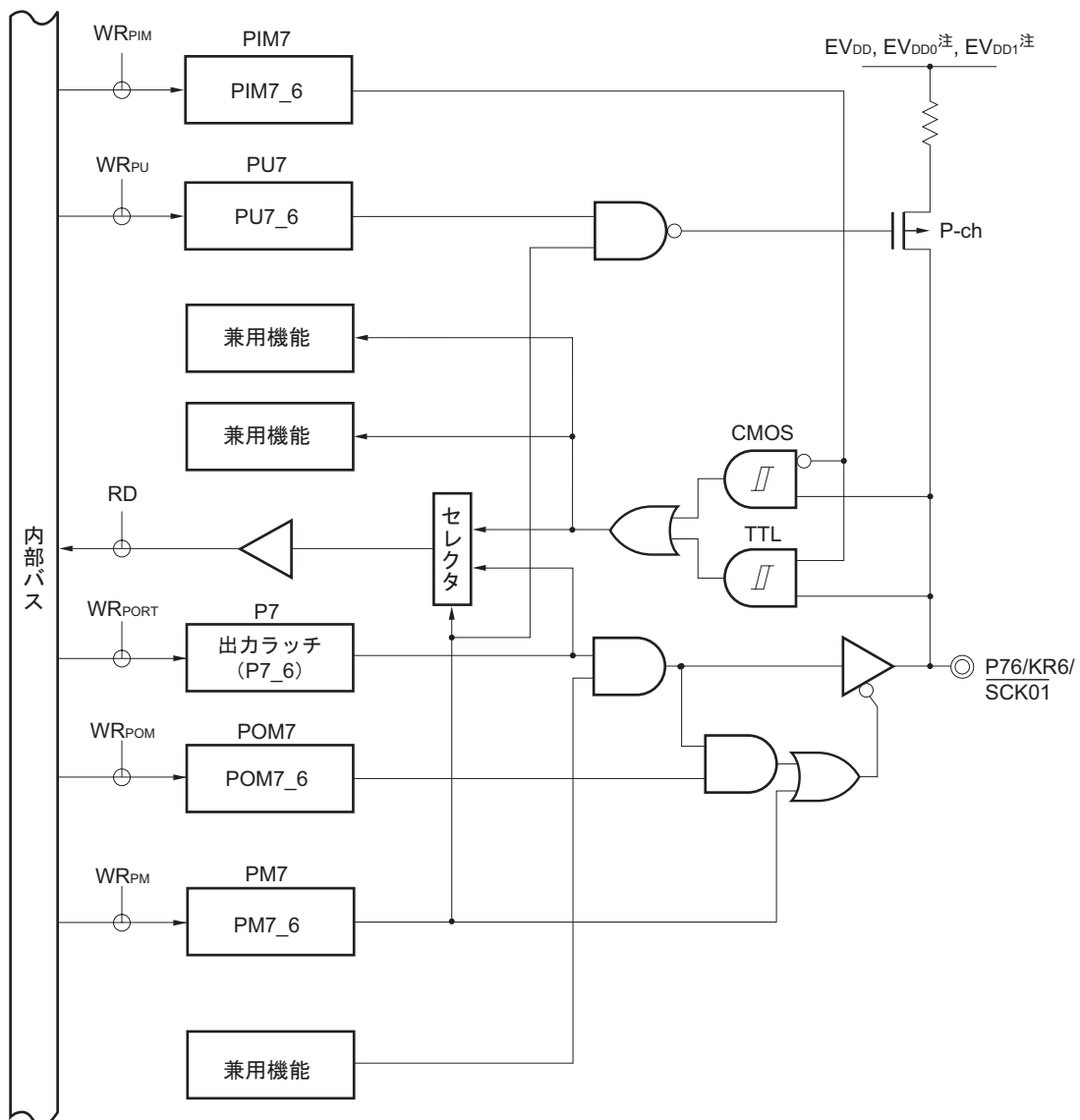
図4-54 P75, P77のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

図4-55 P76のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

4.2.8 ポート8

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P80/ANI00				
P81/ANI01				
P82/ANI02				
P83/ANI03				
P84/ANI04				
P85/ANI05				
P86/ANI06				
P87/ANI07				

備考 : 搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P80/ANI00-P87/ANI07をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM8で入力モードに設定して、上位ビットから使用してください。

P80/ANI00-P87/ANI07をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM8で出力モードに設定してください。

P80/ANI00-P87/ANI07をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM8で入力モードに設定して、下位ビットから使用してください。

表4-5 P80/ANI00-P87/ANI07端子機能の設定

ADPC	PM8	ADS	P80/ANI00-P87/ANI07端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

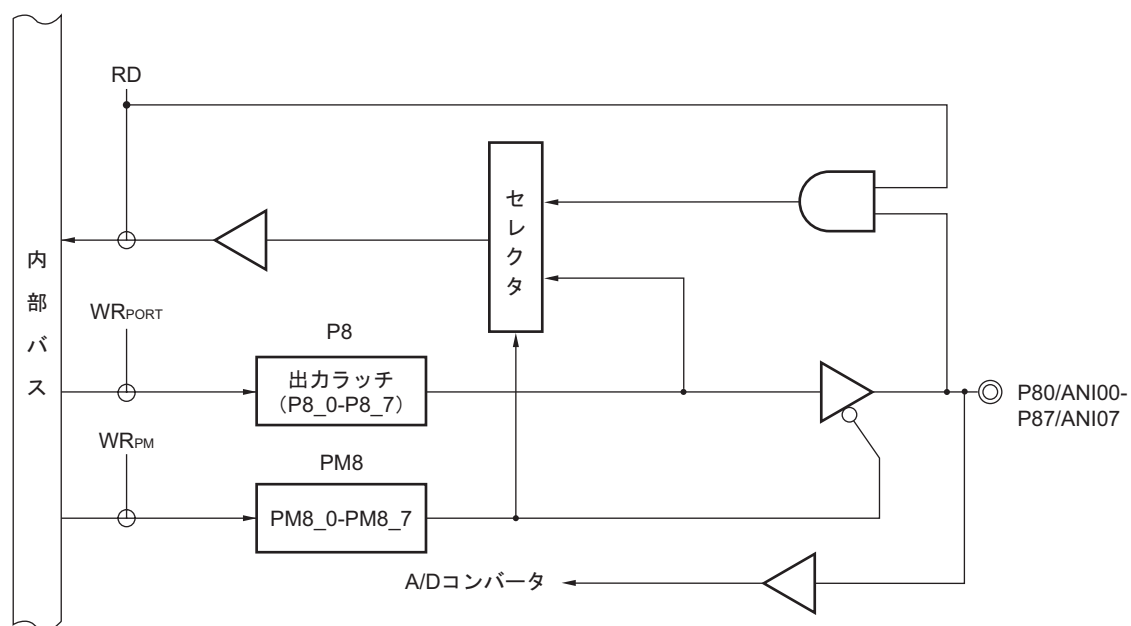
リセット信号の発生により、P80/ANI00-P87/ANI07はすべてデジタル入力になります。

図4-56にポート8のブロック図を示します。

注意 ポート8をデジタル・ポートとして使用する場合は、AVREFをVDDと同電位にしてください。

ポート8をデジタル入力として使用する場合は、ポート・モード・レジスタ8設定後 (設定しない場合は、リセット解除後の使用前に)、ポート・レジスタのダミー・リードを行ってください。

図4-56 P80-P87のブロック図



- P8 : ポート・レジスタ8
 PM8 : ポート・モード・レジスタ8
 RD : リード信号
 WR_{xx} : ライト信号

4.2.9 ポート9

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P90/ANI08				
P91/ANI09				
P92/ANI10				
P93/ANI11	—			
P94/ANI12	—			
P95/ANI13	—			
P96/ANI14	—			
P97/ANI15	—	—		

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P90/ANI08-P97/ANI15をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM9で入力モードに設定して、上位ビットから使用してください。

P90/ANI08-P97/ANI15をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM9で出力モードに設定してください。

P90/ANI08-P97/ANI15をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM9で入力モードに設定して、下位ビットから使用してください。

表4-6 P90/ANI08-P97/ANI15端子機能の設定

ADPC	PM2	ADS	P90/ANI08-P97/ANI15端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

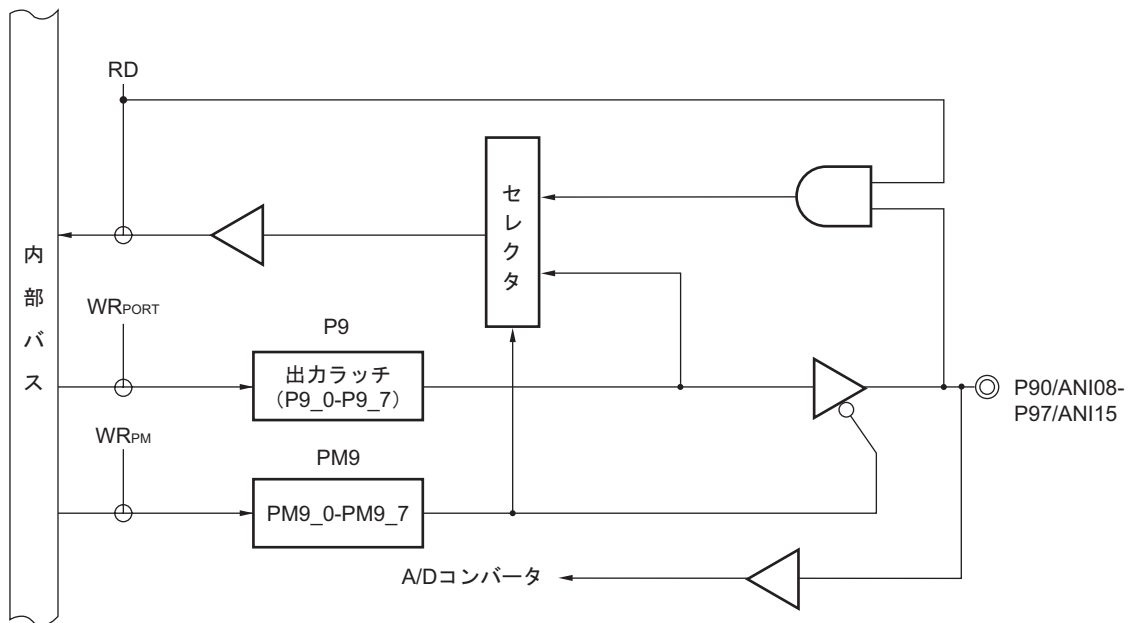
リセット信号の発生により、P90/ANI08-P97/ANI15はすべてデジタル入力になります。

図4-57にポート9のブロック図を示します。

注意 ポート9をデジタル・ポートとして使用する場合は、AVREFをVDDと同電位にしてください。

ポート9をデジタル入力として使用する場合は、ポート・モード・レジスタ9設定後 (設定しない場合は、リセット解除後の使用前に)、ポート・レジスタのダミー・リードを行ってください。

図4-57 P90-P97のブロック図



- P9 : ポート・レジスタ9
 PM9 : ポート・モード・レジスタ9
 RD : リード信号
 WR_{xx} : ライト信号

4.2.10 ポート10

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P100/ANI16	—	—	—	
P101/ANI17	—	—	—	
P102/ANI18	—	—	—	
P103/ANI19	—	—	—	
P104/ANI20	—	—	—	
P105/ANI21	—	—	—	
P106/ANI22	—	—	—	
P107/ANI23	—	—	—	

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ10 (PM10) により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P100/ANI16-P107/ANI23をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM10で入力モードに設定して、上位ビットから使用してください。

P100/ANI16-P107/ANI23をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM10で出力モードに設定してください。

P100/ANI16-P107/ANI23をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM10で入力モードに設定して、下位ビットから使用してください。

表4-7 P100/ANI16-P107/ANI23端子機能の設定

ADPC	PM10	ADS	P100/ANI16-P107/ANI23端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

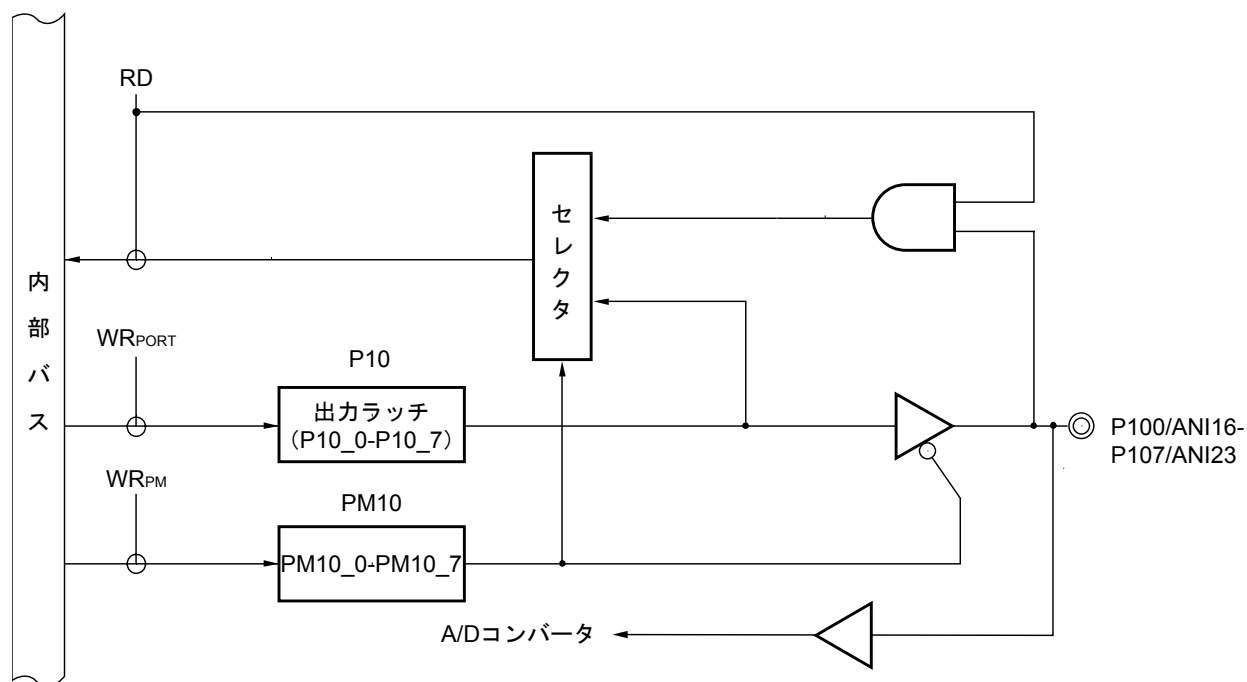
リセット信号の発生により、P100/ANI16-P107/ANI23はすべてデジタル入力になります。

図4-58にポート10のブロック図を示します。

注意 ポート10をデジタル・ポートとして使用する場合は、AVREFをVDDと同電位にしてください。

ポート10をデジタル入力として使用する場合は、ポート・モード・レジスタ10設定後 (設定しない場合は、リセット解除後の使用前に)、ポート・レジスタのダミー・リードを行ってください。

図4-58 P100-P107のブロック図



- P10 : ポート・レジスタ10
 PM10 : ポート・モード・レジスタ10
 RD : リード信号
 WR_{xx} : ライト信号

4.2.11 ポート12

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P120/INTP0/EXLVI/ TI11/TO11			注	注
P121/X1				
P122/X2/EXCLK				
P123				
P124/EXCLKS				
P125/INTP1/ ADTRG/TI03/TO03				
P126/TI01/TO01	—	—		
P127/TI03/TO03	—	—	—	

注 TI11, TO11端子は搭載していません。TI11, TO11以外のポート機能、兼用機能は搭載しています。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 : 搭載, — : 非搭載

P120, P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は入力ポートです。

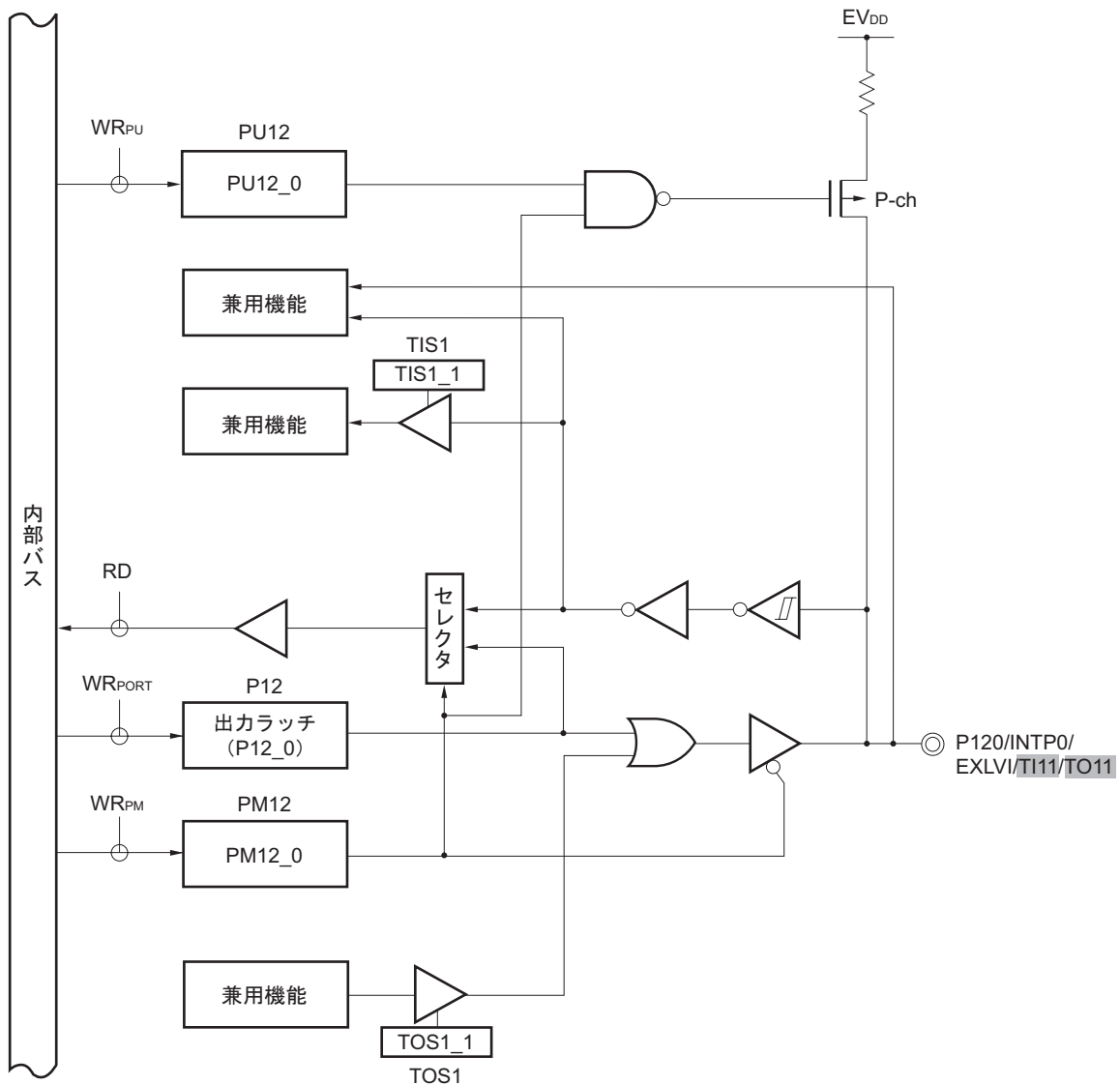
また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブクロック用外部クロック入力、A/Dコンバータ用外部トリガ入力、タイマ入出力があります。

リセット信号の発生により、入力モードになります。

図4-59~4-66にポート12のブロック図を示します。

- 注意1. P121, P122, P124の機能設定は、リセット解除後1回のみ可能です。一度、発振子/発振器接続用に設定したポートは、リセットしないかぎり入力ポートとして使用できません。
2. P120/INTP0/EXLVI/TI11/TO11, P125/INTP1/ADTRG/TI03/TO03, P126/TI01/TO01, P127/TI03/TO03を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット1, 3 (TO01, TO03) およびタイマ出力レジスタ1 (TO1) のビット1 (TO11) とタイマ出力許可レジスタ0 (TOE0) のビット1, 3 (TOE0_1, TOE0_3) およびタイマ出力許可レジスタ1 (TOE1) のビット1 (TOE1_1) を初期状態と同じ設定“0”で使用してください。
3. ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

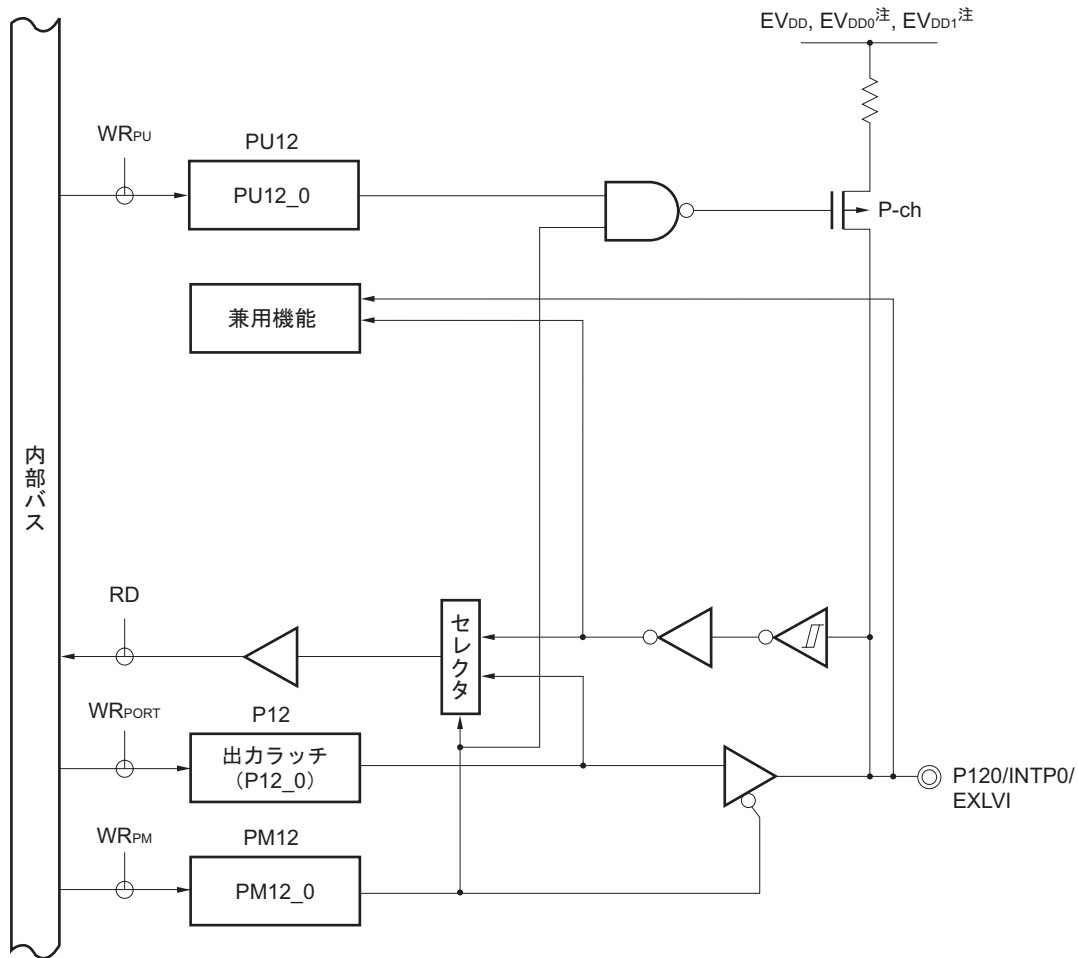
図4-59 P120のブロック図 (78K0R/HC3, 78K0R/HE3)



注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- TIS1 : タイマ入力選択レジスタ1
- TOS1 : タイマ出力選択レジスタ1
- WR_x : ライト信号

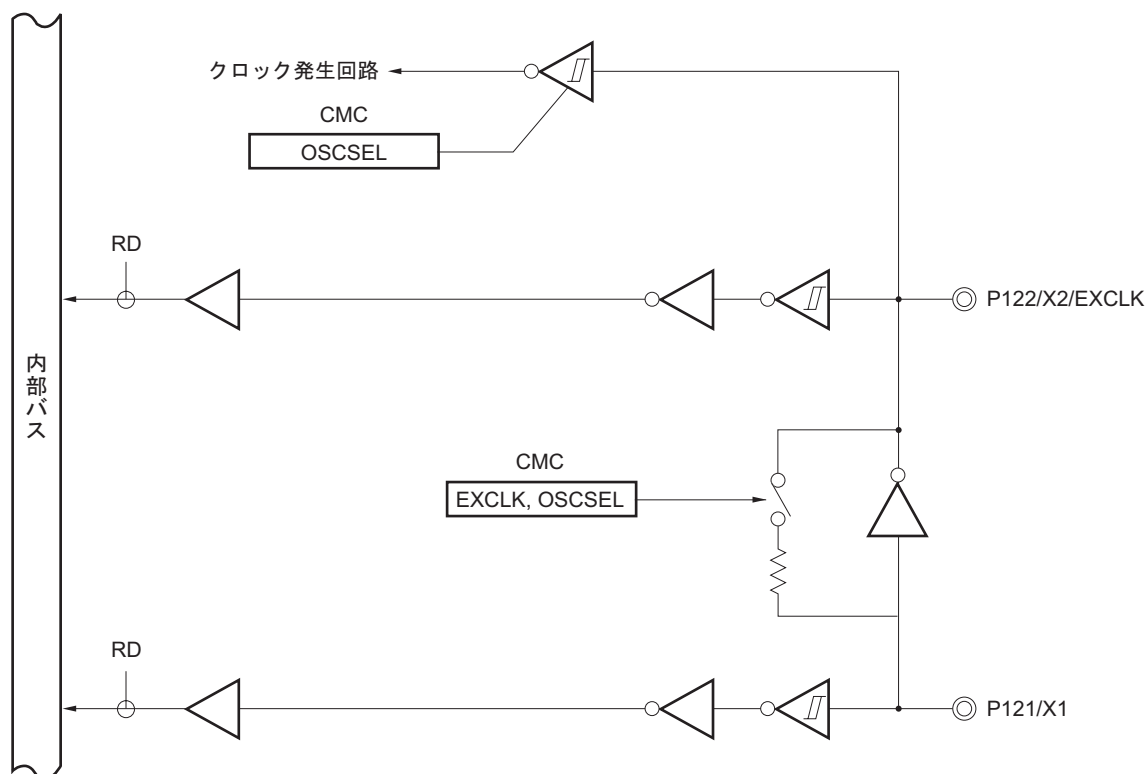
図4-60 P120のブロック図 (78K0R/HF3, 78K0R/HG3)



注 EVDD0, EVDD1は、78K0R/HG3のみ

- P12 : ポート・レジスタ12
- PU12 : ブルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_{xx} : ライト信号

図4-61 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ

RD : リード信号

図4-62 P123のブロック図

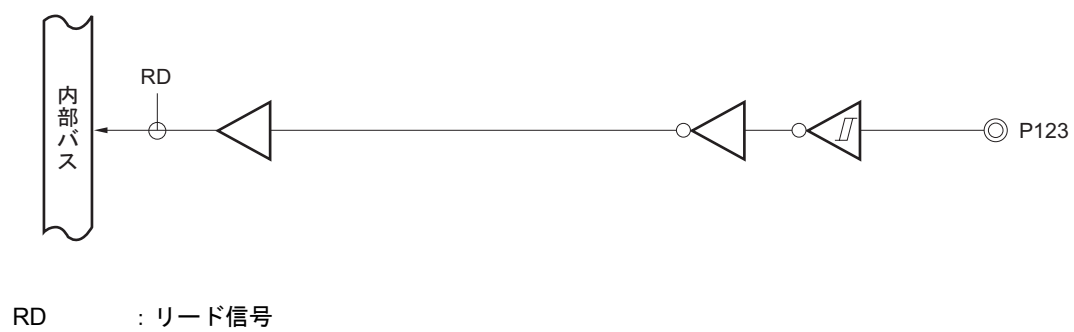
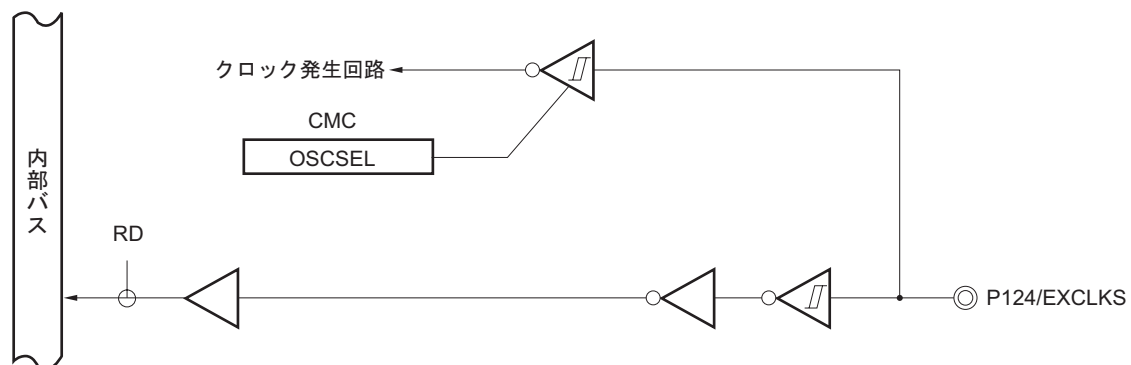


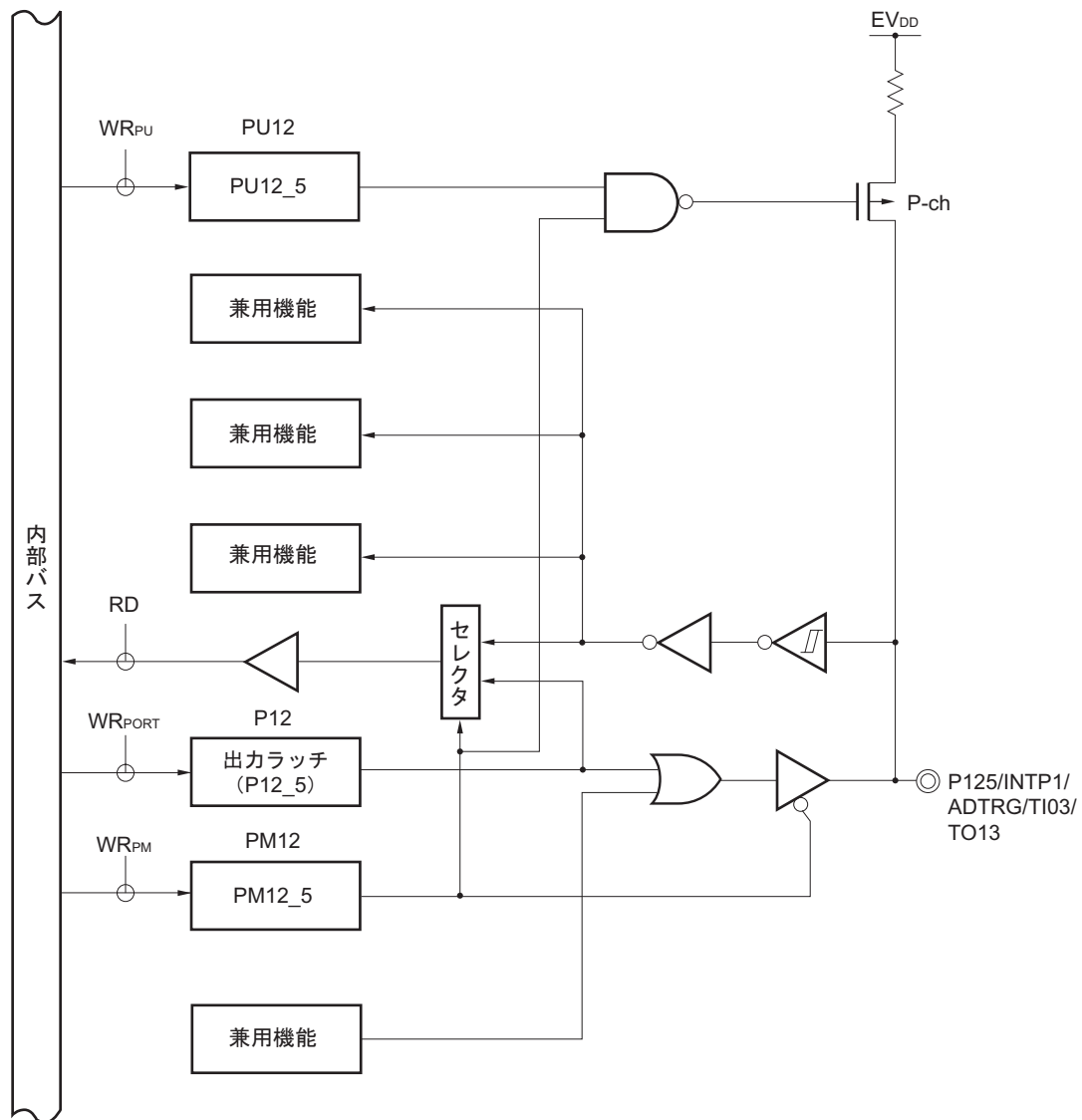
図4-63 P124のブロック図



CMC : クロック動作モード制御レジスタ

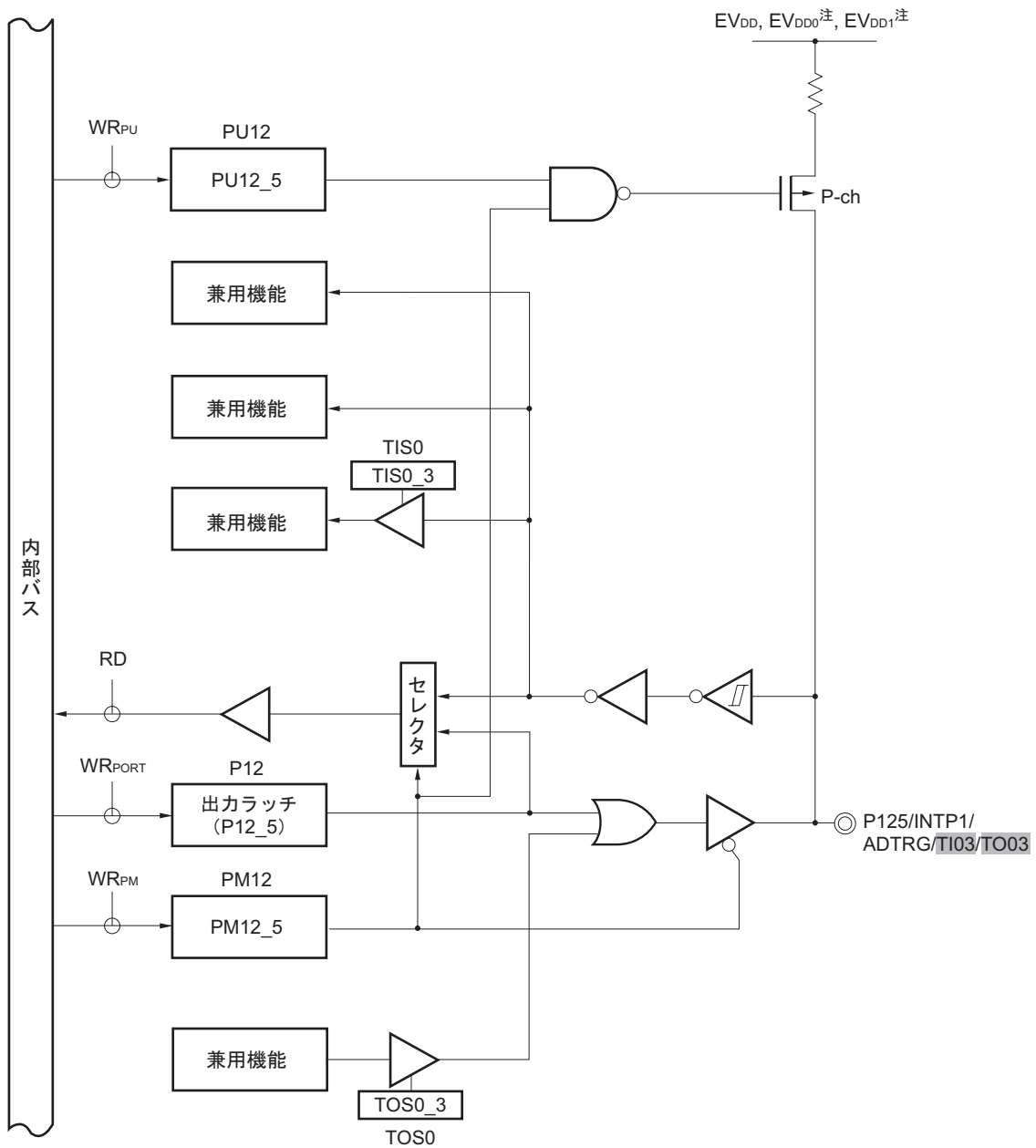
RD : リード信号

図4-64 P125のブロック図 (78K0R/HC3, 78K0R/HE3, 78K0R/HF3)



- P12 : ポート・レジスタ12
 PU12 : プルアップ抵抗オプション・レジスタ12
 PM12 : ポート・モード・レジスタ12
 RD : リード信号
 WR_x : ライト信号

図4-65 P125のブロック図 (78K0R/HG3)

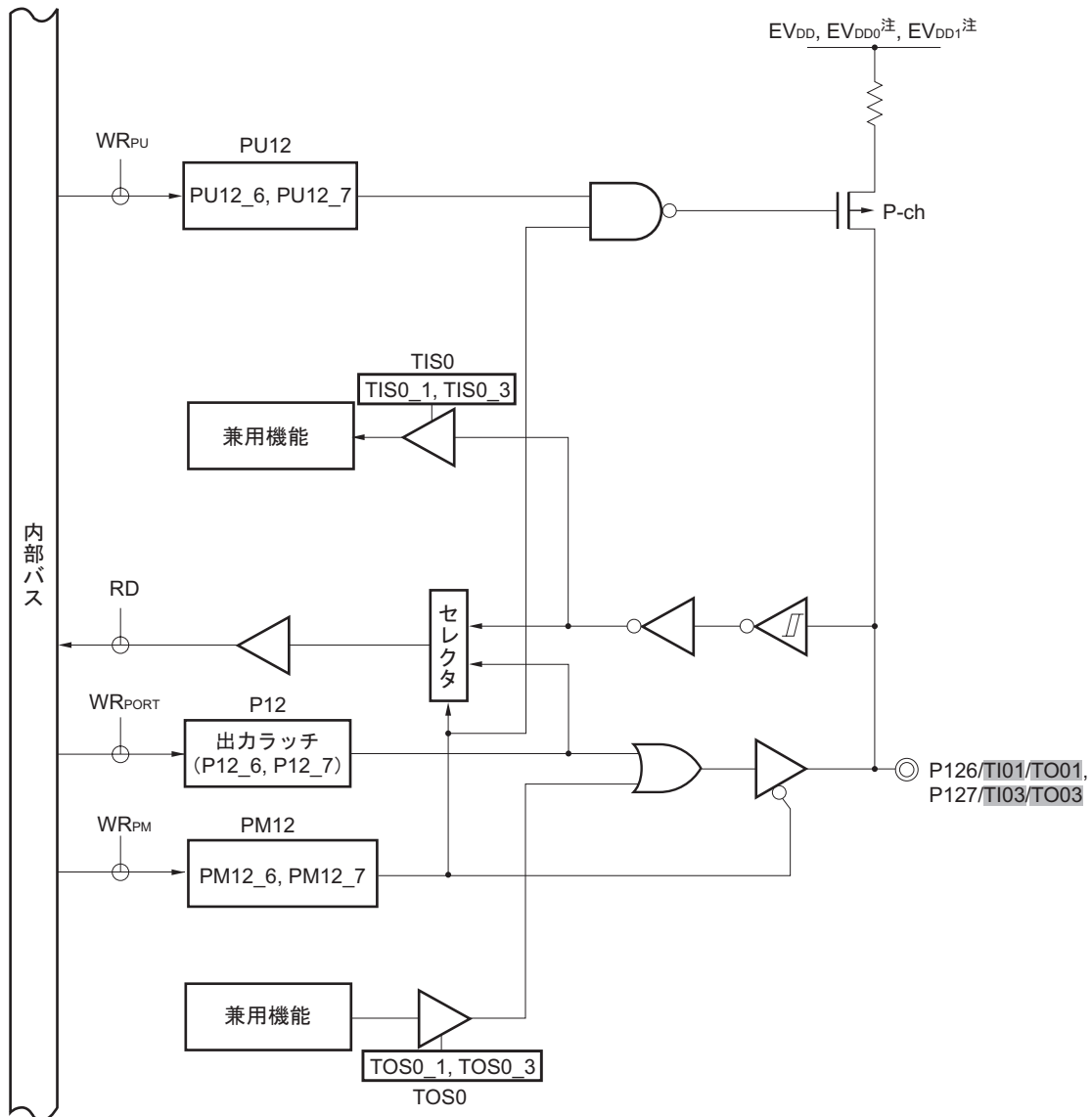


注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P12 : ポート・レジスタ12
- PU12 : ブルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_x : ライト信号

図4-66 P126, P127のブロック図



注 EVDD0, EVDD1は、78K0R/HG3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

- P12 : ポート・レジスタ12
- PU12 : ブルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- TIS0 : タイマ入力選択レジスタ0
- TOS0 : タイマ出力選択レジスタ0
- WR_{xx} : ライト信号

4.2.12 ポート13

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P130/RESOUT				

備考1. リセットがかかるるとP130はロウ・レベルを出力します。

2. : 搭載, - : 非搭載

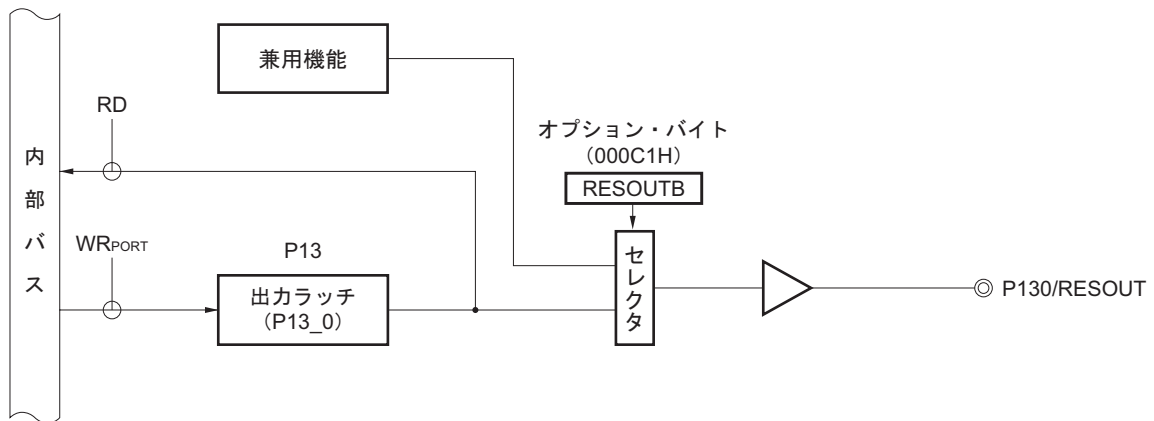
P130は出力ラッチ付き出力専用ポートです。

リセット信号の発生により、出力モードになります。

また兼用機能としてリセット出力があります。

図4-67にポート13のブロック図を示します。

図4-67 P130のブロック図



P13 : ポート・レジスタ13

RD : リード信号

WR_{xx} : ライト信号

4.2.13 ポート14

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P140/PCL				

備考1. リセットがかかるとP140はロウ・レベルを出力します。

2. : 搭載, - : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード／出力モードの指定ができます。P140端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

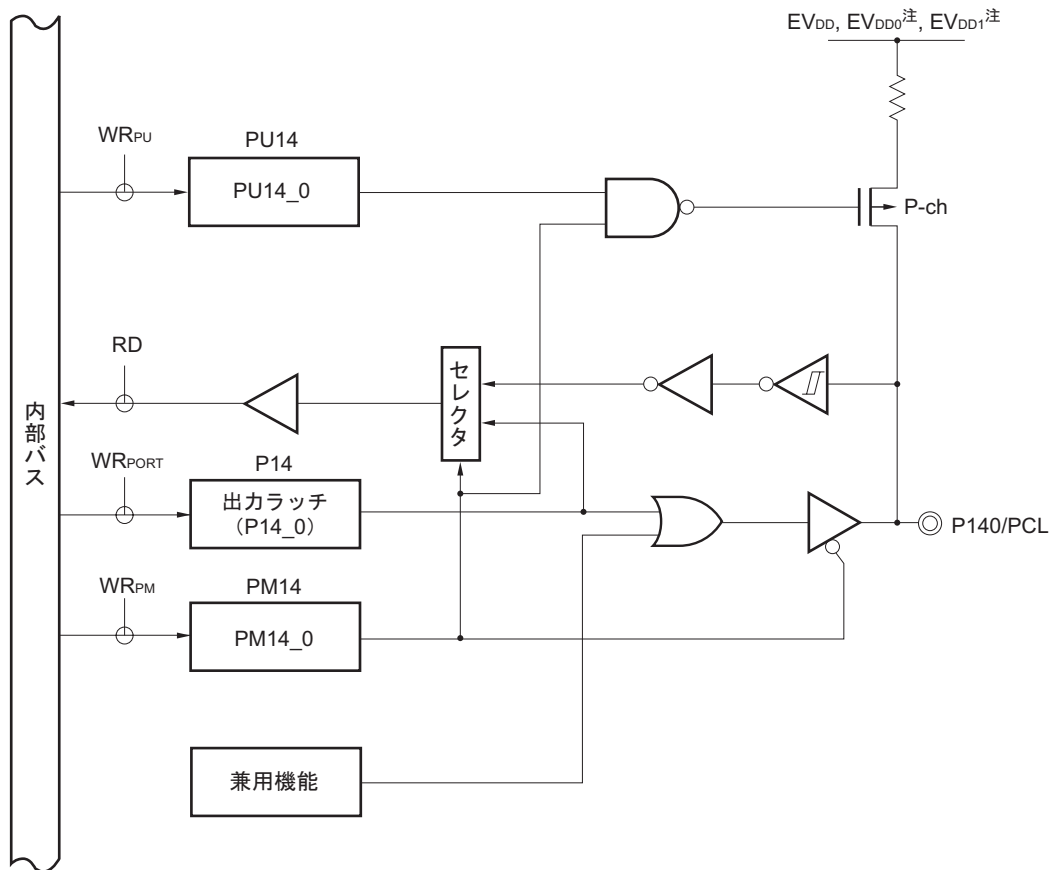
また、兼用機能としてクロック出力があります。

リセット信号の発生により、出力モードになります。

図4-68にポート14のブロック図を示します。

注意 P140/PCLを汎用ポートとして使用する場合、クロック出力選択レジスタ (CKS) のビット7を初期状態と同じ設定“0”で使用してください。

図4-68 P140のブロック図



注 EV_{DD0}, EV_{DD1}は、78K0R/HG3のみ

- P14 : ポート・レジスタ14
- PU14 : ブルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

4.2.14 ポート15

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
P150	—	—	—	
P151/SO11	—	—	—	
P152/SI11	—	—	—	
P153/SCK11	—	—	—	
P154/TI24/TO24	—	—	—	
P155/TI25/TO25	—	—	—	
P156/TI26/TO26	—	—	—	
P157/TI27/TO27	—	—	—	

備考 : 搭載, — : 非搭載

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード／出力モードの指定ができます。P150-P157端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ15 (PU15) により1ビット単位で内蔵プルアップ抵抗を使用できます。

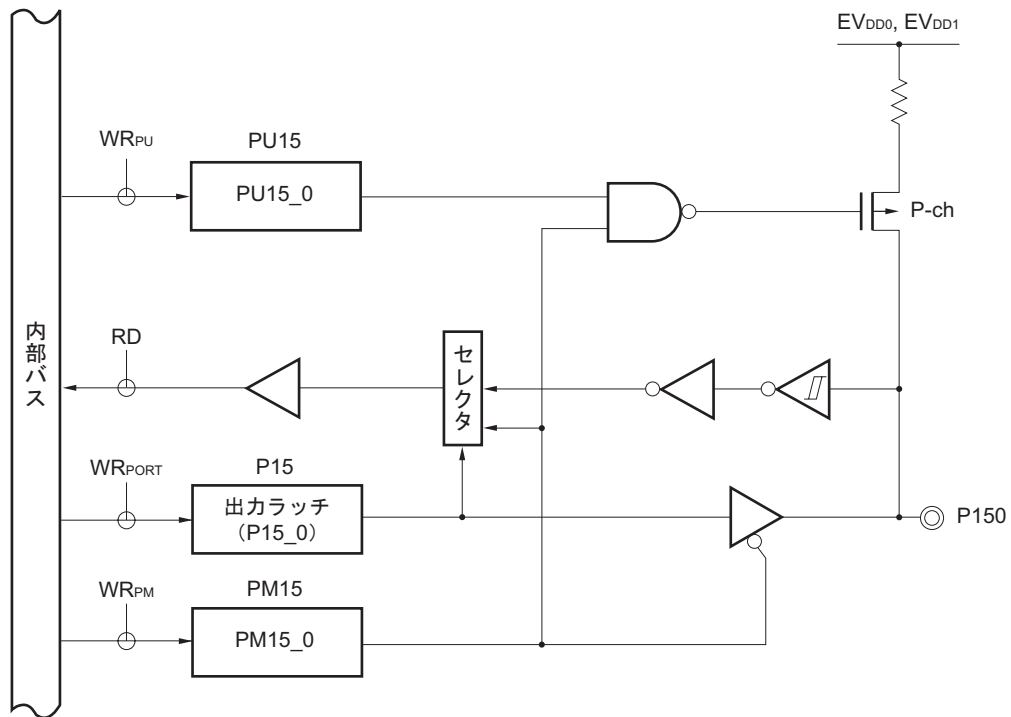
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力機能があります。

リセット信号の発生により、入力モードになります。

図4-69～4-73にポート15のブロック図を示します。

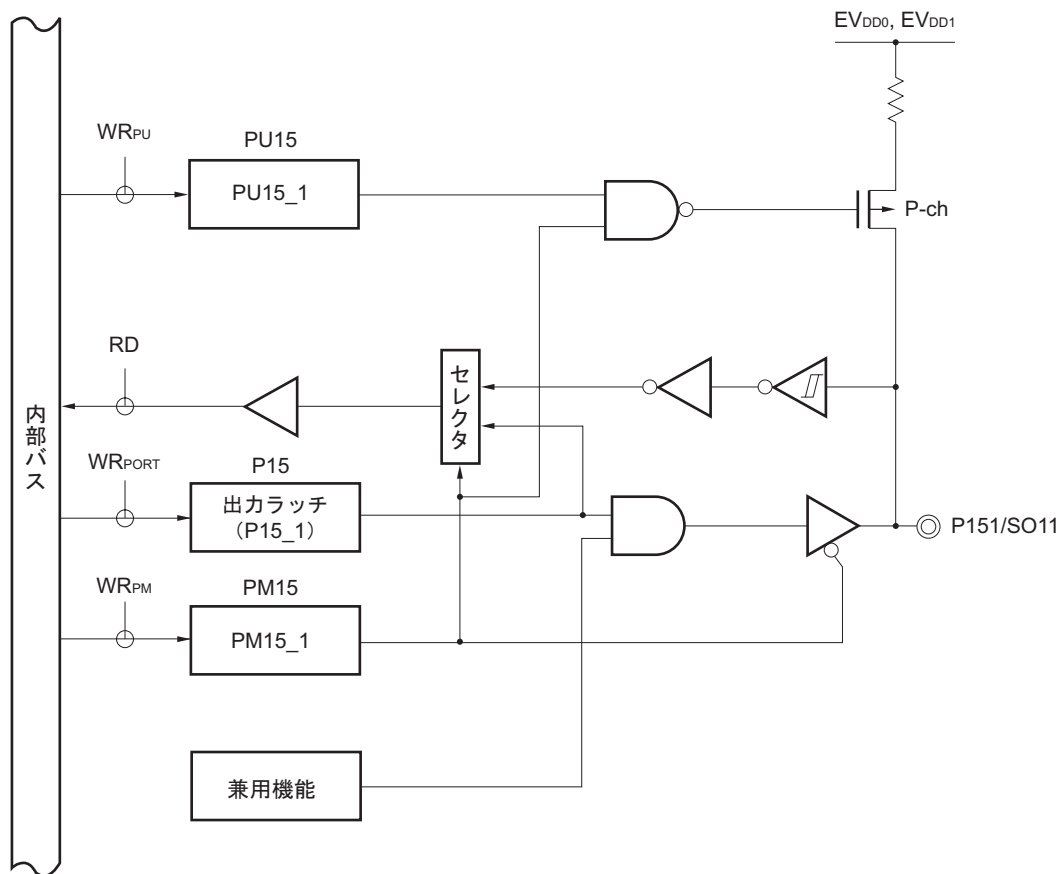
- 注意1. P151/SO11, P152/SI11, P153/SCK11を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、表11-12 レジスタの設定と端子の関係(ユニット1のチャンネル1: CSI11, IIC11) を参照してください。
2. P154/TI24/TO24, P155/TI25/TO25, P156/TI26/TO26, P157/TI27/TO27を汎用ポートとして使用する場合、タイマ出力レジスタ2 (TO2) のビット4-7 (TO24-TO27) とタイマ出力許可レジスタ2 (TOE2) のビット4-7 (TOE2_4-TOE2_7) を初期状態と同じ設定"0"で使用してください。

図4-69 P150のブロック図



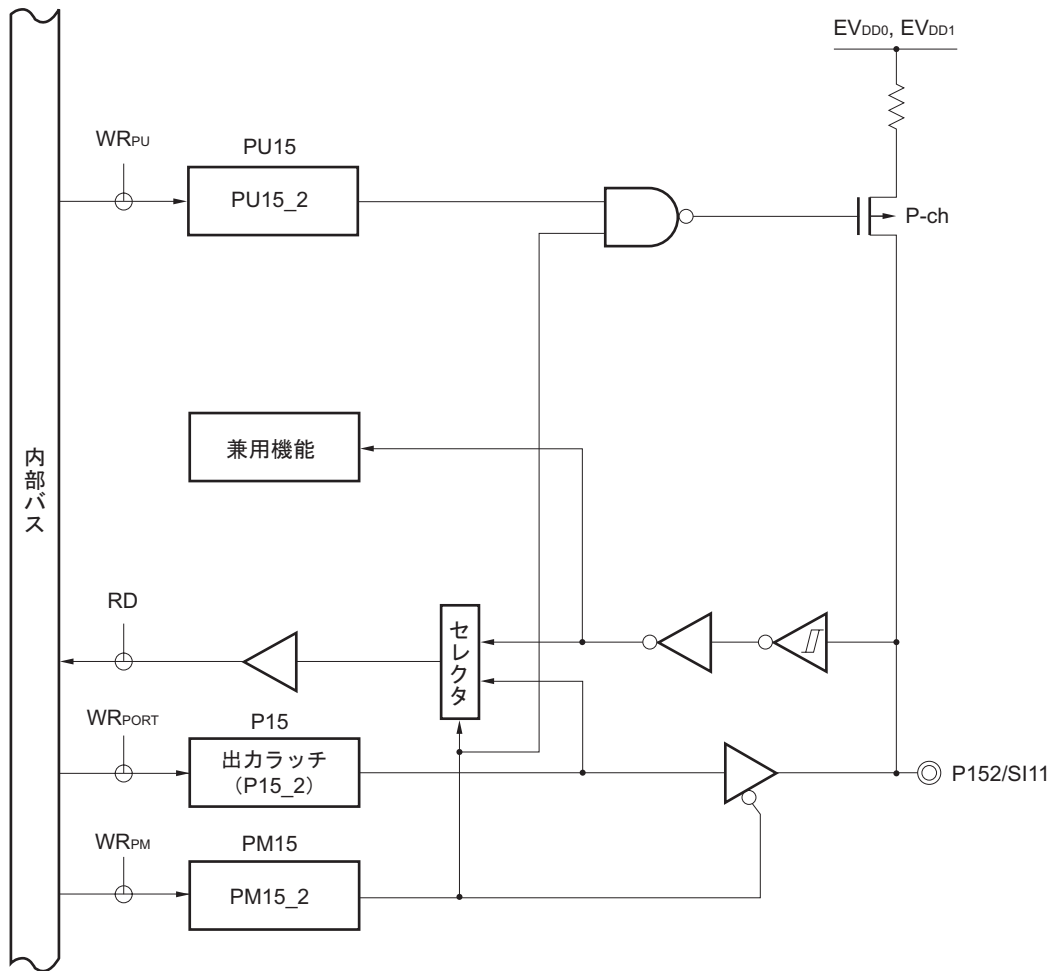
- P15 : ポート・レジスタ15
- PU15 : プルアップ抵抗オプション・レジスタ15
- PM15 : ポート・モード・レジスタ15
- RD : リード信号
- WR_{xx} : ライト信号

図4-70 P151のブロック図



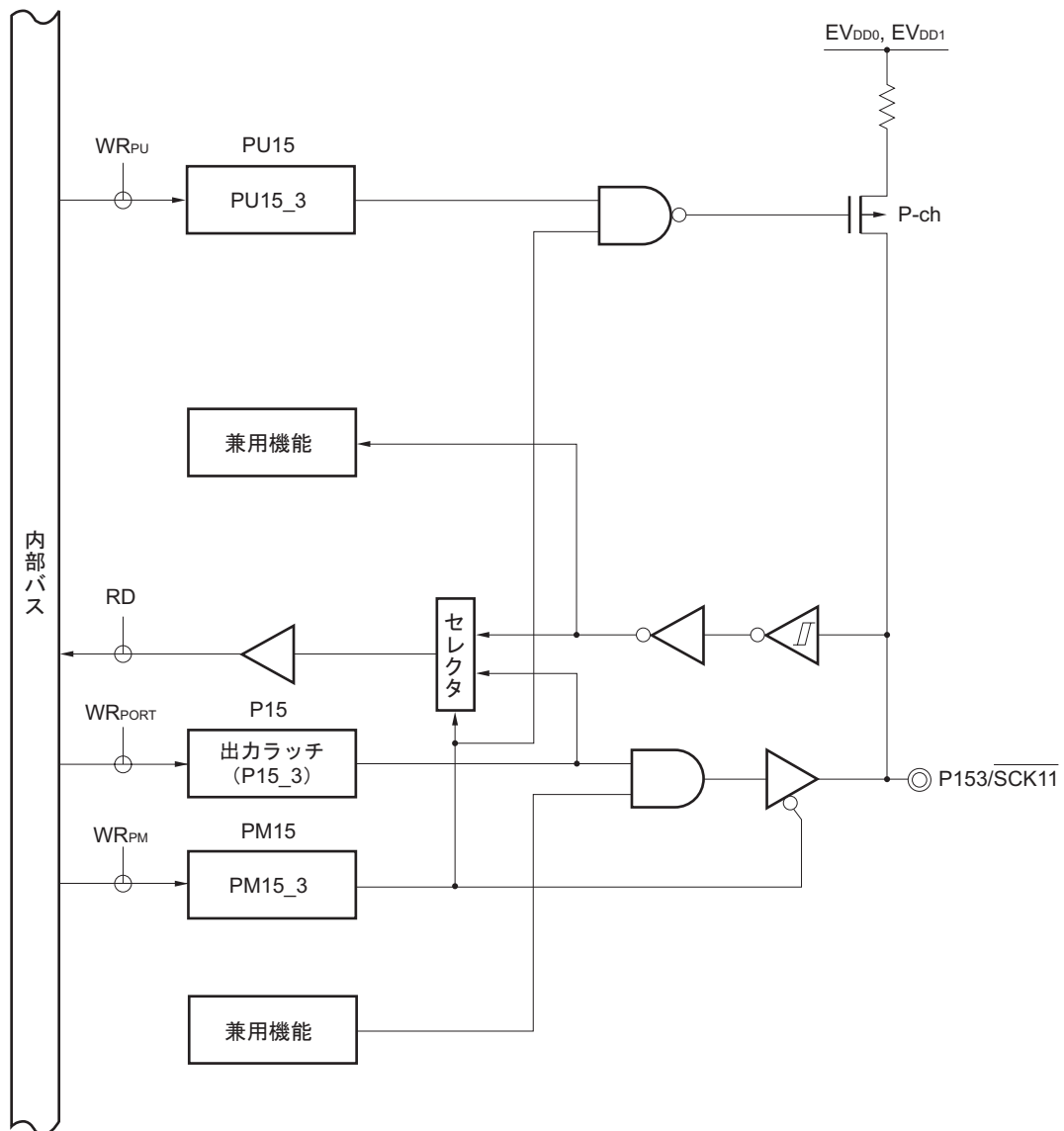
- P15 : ポート・レジスタ15
 PU15 : プルアップ抵抗オプション・レジスタ15
 PM15 : ポート・モード・レジスタ15
 RD : リード信号
 WR_x : ライト信号

図4-71 P152のブロック図



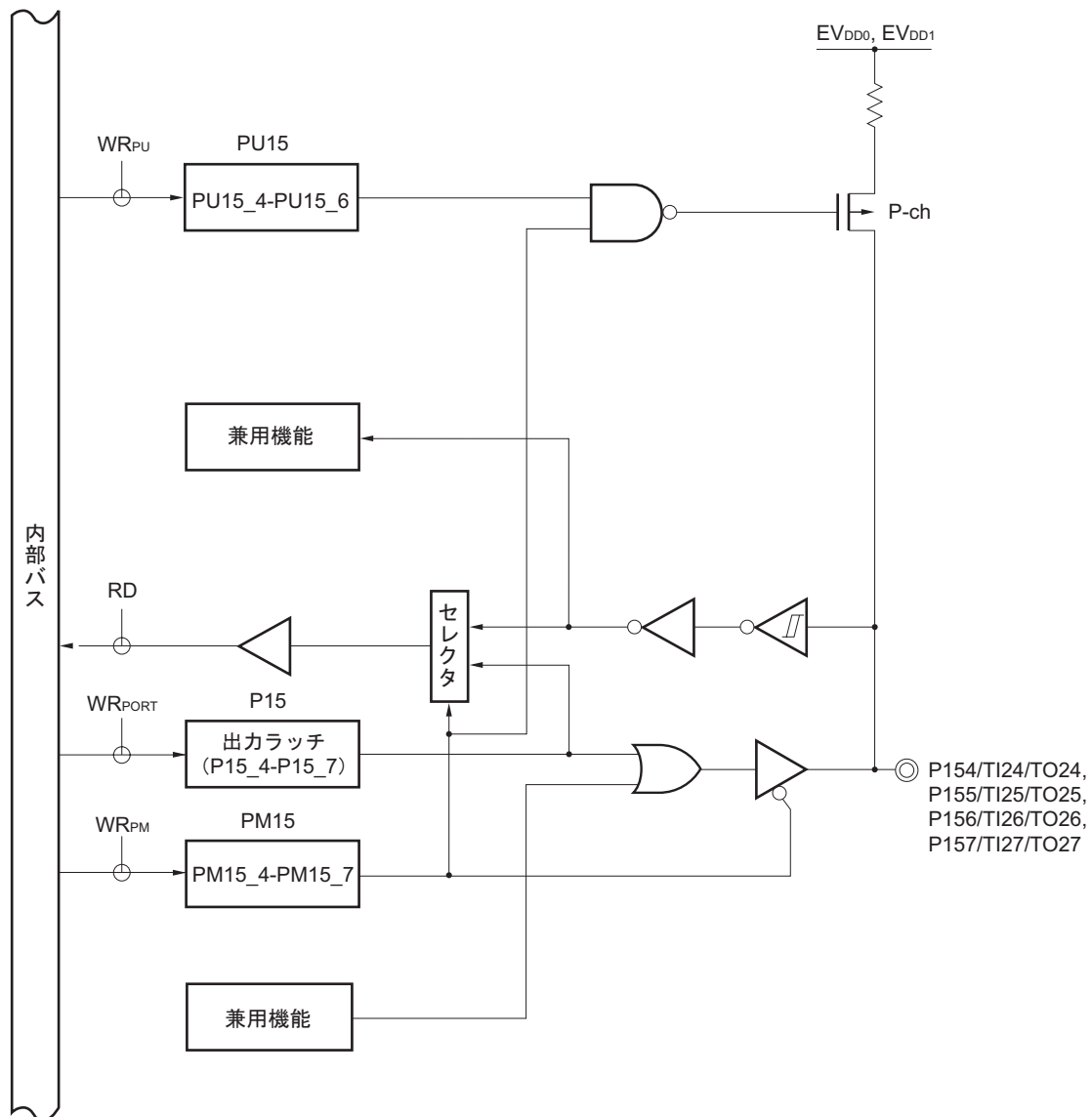
- P15 : ポート・レジスタ15
 PU15 : ブルアップ抵抗オプション・レジスタ15
 PM15 : ポート・モード・レジスタ15
 RD : リード信号
 WR_x : ライト信号

図4-72 P153のブロック図



- P15 : ポート・レジスタ15
 PU15 : プルアップ抵抗オプション・レジスタ15
 PM15 : ポート・モード・レジスタ15
 RD : リード信号
 WR_x : ライト信号

図4-73 P154-P157のブロック図



- P15 : ポート・レジスタ15
 PU15 : ブルアップ抵抗オプション・レジスタ15
 PM15 : ポート・モード・レジスタ15
 RD : リード信号
 WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の7種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIMxx)
- ・ポート出力モード・レジスタ (POMxx)
- ・ポート出カスルー・レート選択レジスタ (PSRSEL)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH (PM14はFEH) になります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4-74 ポート・モード・レジスタのフォーマット (78K0R/HC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	1	PM0_0	FFF20H	FFH	R/W
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0	FFF21H	FFH	R/W
PM3	1	1	1	1	1	PM3_2	PM3_1	PM3_0	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM4_1	PM4_0	FFF24H	FFH	R/W
PM6	1	1	1	1	PM6_3	PM6_2	PM6_1	PM6_0	FFF26H	FFH	R/W
PM7	1	1	1	1	PM7_3	PM7_2	PM7_1	PM7_0	FFF27H	FFH	R/W
PM8	PM8_7	PM8_6	PM8_5	PM8_4	PM8_3	PM8_2	PM8_1	PM8_0	FFF28H	FFH	R/W
PM9	1	1	1	1	1	PM9_2	PM9_1	PM9_0	FFF29H	FFH	R/W
PM12	1	1	PM12_5	1	1	1	1	PM12_0	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM14_0	FFF2EH	FEH	R/W

PMm_n	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 4, 6-9, 12, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット1-7, PM3のビット3-7, PM4のビット2-7, PM6のビット4-7, PM7のビット4-7, PM9のビット3-7, PM12のビット1-4, 6, 7, PM14のビット1-7には必ず1を設定してください。

図4-75 ポート・モード・レジスタのフォーマット (78K0R/HE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	1	PM0_0	FFF20H	FFH	R/W
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0	FFF21H	FFH	R/W
PM3	1	1	1	1	1	PM3_2	PM3_1	PM3_0	FFF23H	FFH	R/W
PM4	1	1	1	1	PM4_3	PM4_2	PM4_1	PM4_0	FFF24H	FFH	R/W
PM5	1	1	1	1	PM5_3	PM5_2	PM5_1	PM5_0	FFF25H	FFH	R/W
PM6	1	1	1	1	PM6_3	PM6_2	PM6_1	PM6_0	FFF26H	FFH	R/W
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0	FFF27H	FFH	R/W
PM8	PM8_7	PM8_6	PM8_5	PM8_4	PM8_3	PM8_2	PM8_1	PM8_0	FFF28H	FFH	R/W
PM9	1	PM9_6	PM9_5	PM9_4	PM9_3	PM9_2	PM9_1	PM9_0	FFF29H	FFH	R/W
PM12	1	1	PM12_5	1	1	1	1	PM12_0	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM14_0	FFF2EH	FEH	R/W
PMm_n	Pmn端子の入出力モードの選択 (m = 0, 1, 3-9, 12, 14 ; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注意 PM0のビット1-7, PM3のビット3-7, PM4のビット4-7, PM5のビット4-7, PM6のビット4-7, PM9のビット7, PM12のビット1-4, 6, 7, PM14のビット1-7には必ず1を設定してください。

図4-76 ポート・モード・レジスタのフォーマット (78K0R/HF3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	PM0_2	PM0_1	PM0_0	FFF20H	FFH	R/W
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0	FFF21H	FFH	R/W
PM3	1	1	1	1	1	PM3_2	PM3_1	PM3_0	FFF23H	FFH	R/W
PM4	PM4_7	PM4_6	PM4_5	PM4_4	PM4_3	PM4_2	PM4_1	PM4_0	FFF24H	FFH	R/W
PM5	PM5_7	PM5_6	PM5_5	PM5_4	PM5_3	PM5_2	PM5_1	PM5_0	FFF25H	FFH	R/W
PM6	PM6_7	PM6_6	PM6_5	PM6_4	PM6_3	PM6_2	PM6_1	PM6_0	FFF26H	FFH	R/W
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0	FFF27H	FFH	R/W
PM8	PM8_7	PM8_6	PM8_5	PM8_4	PM8_3	PM8_2	PM8_1	PM8_0	FFF28H	FFH	R/W
PM9	PM9_7	PM9_6	PM9_5	PM9_4	PM9_3	PM9_2	PM9_1	PM9_0	FFF29H	FFH	R/W
PM12	1	PM12_6	PM12_5	1	1	1	1	PM12_0	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM14_0	FFF2EH	FEH	R/W
PMm_n	Pmn端子の入出力モードの選択 (m = 0, 1, 3-9, 12, 14 ; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注意 PM0のビット3-7, PM3のビット3-7, PM12のビット1-4, 7, PM14のビット1-7には必ず1を設定してください。

図4-77 ポート・モード・レジスタのフォーマット (78K0R/HG3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM0_3	PM0_2	PM0_1	PM0_0	FFF20H	FFH	R/W
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0	FFF21H	FFH	R/W
PM3	1	1	1	1	1	PM3_2	PM3_1	PM3_0	FFF23H	FFH	R/W
PM4	PM4_7	PM4_6	PM4_5	PM4_4	PM4_3	PM4_2	PM4_1	PM4_0	FFF24H	FFH	R/W
PM5	PM5_7	PM5_6	PM5_5	PM5_4	PM5_3	PM5_2	PM5_1	PM5_0	FFF25H	FFH	R/W
PM6	PM6_7	PM6_6	PM6_5	PM6_4	PM6_3	PM6_2	PM6_1	PM6_0	FFF26H	FFH	R/W
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0	FFF27H	FFH	R/W
PM8	PM8_7	PM8_6	PM8_5	PM8_4	PM8_3	PM8_2	PM8_1	PM8_0	FFF28H	FFH	R/W
PM9	PM9_7	PM9_6	PM9_5	PM9_4	PM9_3	PM9_2	PM9_1	PM9_0	FFF29H	FFH	R/W
PM10	PM10_7	PM10_6	PM10_5	PM10_4	PM10_3	PM10_2	PM10_1	PM10_0	FFF2AH	FFH	R/W
PM12	PM12_7	PM12_6	PM12_5	1	1	1	1	PM12_0	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM14_0	FFF2EH	FEH	R/W
PM15	PM15_7	PM15_6	PM15_5	PM15_4	PM15_3	PM15_2	PM15_1	PM15_0	FFF2FH	FFH	R/W

PMm_n	Pmn端子の入出力モードの選択 (m = 0, 1, 3-10, 12, 14, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット4-7, PM3のビット3-7, PM12のビット1-4, PM14のビット1-7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注 P8-P10をA/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると、端子レベルではなく常に0が読み出されます。

図4-78 ポート・レジスタのフォーマット (78K0R/HC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	0	P0_0	FFF00H	00H (出力ラッチ)	R/W
P1	P1_7	P1_6	P1_5	P1_4	P1_3	P1_2	P1_1	P1_0	FFF01H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	P3_2	P3_1	P3_0	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P4_1	P4_0	FFF04H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P6_3	P6_2	P6_1	P6_0	FFF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	P7_3	P7_2	P7_1	P7_0	FFF07H	00H (出力ラッチ)	R/W
P8	P8_7	P8_6	P8_5	P8_4	P8_3	P8_2	P8_1	P8_0	FFF08H	00H (出力ラッチ)	R/W
P9 ^{注1}	0	0	0	0	0	P9_2	P9_1	P9_0	FFF09H	00H (出力ラッチ)	R/W
P12	0	0	P12_5	P12_4	P12_3	P12_2	P12_1	P12_0	FFF0CH	00H (出力ラッチ)	R/W ^注
P13	0	0	0	0	0	0	0	P13_0	FFF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	0	0	0	0	P14_0	FFF0EH	00H (出力ラッチ)	R/W
Pm_n	m = 0, 1, 3-9, 12-14 ; n = 0-7										
	出力データの制御 (出力モード時)				入力データの読み出し (入力モード時)						
0	0を出力				ロウ・レベルを入力						
1	1を出力				ハイ・レベルを入力						

注 P12_1-P12_4はRead Onlyです。

図4-79 ポート・レジスタのフォーマット (78K0R/HE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	0	P0_0	FFF00H	00H (出カラッチ)	R/W
P1	P1_7	P1_6	P1_5	P1_4	P1_3	P1_2	P1_1	P1_0	FFF01H	00H (出カラッチ)	R/W
P3	0	0	0	0	0	P3_2	P3_1	P3_0	FFF03H	00H (出カラッチ)	R/W
P4	0	0	0	0	P4_3	P4_2	P4_1	P4_0	FFF04H	00H (出カラッチ)	R/W
P5	0	0	0	0	P5_3	P5_2	P5_1	P5_0	FFF05H	00H (出カラッチ)	R/W
P6	0	0	0	0	P6_3	P6_2	P6_1	P6_0	FFF06H	00H (出カラッチ)	R/W
P7	P7_7	P7_6	P7_5	P7_4	P7_3	P7_2	P7_1	P7_0	FFF07H	00H (出カラッチ)	R/W
P8	P8_7	P8_6	P8_5	P8_4	P8_3	P8_2	P8_1	P8_0	FFF08H	00H (出カラッチ)	R/W
P9	0	P9_6	P9_5	P9_4	P9_3	P9_2	P9_1	P9_0	FFF09H	00H (出カラッチ)	R/W
P12	0	0	P12_5	P12_4	P12_3	P12_2	P12_1	P12_0	FFF0CH	00H (出カラッチ)	R/W 注
P13	0	0	0	0	0	0	0	P13_0	FFF0DH	00H (出カラッチ)	R/W
P14	0	0	0	0	0	0	0	P14_0	FFF0EH	00H (出カラッチ)	R/W
Pm_n	m = 0, 1, 3-9, 12-14 ; n = 0-7										
	出力データの制御 (出力モード時)				入力データの読み出し (入力モード時)						
0	0を出力				ロウ・レベルを入力						
1	1を出力				ハイ・レベルを入力						

注 P12_1-P12_4はRead Onlyです。

図4-80 ポート・レジスタのフォーマット (78K0R/HF3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	P0_2	P0_1	P0_0	FFF00H	00H (出カラッチ)	R/W
P1	P1_7	P1_6	P1_5	P1_4	P1_3	P1_2	P1_1	P1_0	FFF01H	00H (出カラッチ)	R/W
P3	0	0	0	0	0	P3_2	P3_1	P3_0	FFF03H	00H (出カラッチ)	R/W
P4	P4_7	P4_6	P4_5	P4_4	P4_3	P4_2	P4_1	P4_0	FFF04H	00H (出カラッチ)	R/W
P5	P5_7	P5_6	P5_5	P5_4	P5_3	P5_2	P5_1	P5_0	FFF05H	00H (出カラッチ)	R/W
P6	P6_7	P6_6	P6_5	P6_4	P6_3	P6_2	P6_1	P6_0	FFF06H	00H (出カラッチ)	R/W
P7	P7_7	P7_6	P7_5	P7_4	P7_3	P7_2	P7_1	P7_0	FFF07H	00H (出カラッチ)	R/W
P8	P8_7	P8_6	P8_5	P8_4	P8_3	P8_2	P8_1	P8_0	FFF08H	00H (出カラッチ)	R/W
P9	P9_7	P9_6	P9_5	P9_4	P9_3	P9_2	P9_1	P9_0	FFF09H	00H (出カラッチ)	R/W
P12	0	P12_6	P12_5	P12_4	P12_3	P12_2	P12_1	P12_0	FFF0CH	00H (出カラッチ)	R/W 注
P13	0	0	0	0	0	0	0	P13_0	FFF0DH	00H (出カラッチ)	R/W
P14	0	0	0	0	0	0	0	P14_0	FFF0EH	00H (出カラッチ)	R/W

Pm_n	m = 0, 1, 3-9, 12-14 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P12_1-P12_4はRead Onlyです。

図4-81 ポート・レジスタのフォーマット (78K0R/HG3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P0_3	P0_2	P0_1	P0_0	FFF00H	00H (出カラッチ)	R/W
P1	P1_7	P1_6	P1_5	P1_4	P1_3	P1_2	P1_1	P1_0	FFF01H	00H (出カラッチ)	R/W
P3	0	0	0	0	0	P3_2	P3_1	P3_0	FFF03H	00H (出カラッチ)	R/W
P4	P4_7	P4_6	P4_5	P4_4	P4_3	P4_2	P4_1	P4_0	FFF04H	00H (出カラッチ)	R/W
P5	P5_7	P5_6	P5_5	P5_4	P5_3	P5_2	P5_1	P5_0	FFF05H	00H (出カラッチ)	R/W
P6	P6_7	P6_6	P6_5	P6_4	P6_3	P6_2	P6_1	P6_0	FFF06H	00H (出カラッチ)	R/W
P7	P7_7	P7_6	P7_5	P7_4	P7_3	P7_2	P7_1	P7_0	FFF07H	00H (出カラッチ)	R/W
P8	P8_7	P8_6	P8_5	P8_4	P8_3	P8_2	P8_1	P8_0	FFF08H	00H (出カラッチ)	R/W
P9	P9_7	P9_6	P9_5	P9_4	P9_3	P9_2	P9_1	P9_0	FFF09H	00H (出カラッチ)	R/W
P10	P10_7	P10_6	P10_5	P10_4	P10_3	P10_2	P10_1	P10_0	FFF0AH	00H (出カラッチ)	R/W
P12	P12_7	P12_6	P12_5	P12_4	P12_3	P12_2	P12_1	P12_0	FFF0CH	00H (出カラッチ)	R/W 注
P13	0	0	0	0	0	0	0	P13_0	FFF0DH	00H (出カラッチ)	R/W
P14	0	0	0	0	0	0	0	P14_0	FFF0EH	00H (出カラッチ)	R/W
P15	P15_7	P15_6	P15_5	P15_4	P15_3	P15_2	P15_1	P15_0	FFF0FH	00H (出カラッチ)	R/W

Pm_n	m = 0, 1, 3-10, 12-15; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P12_1-P12_4はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタにより内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-82 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/HC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	0	PU0_0	F0030H	00H	R/W
PU1	PU1_7	PU1_6	PU1_5	PU1_4	PU1_3	PU1_2	PU1_1	PU1_0	F0031H	00H	R/W
PU3	0	0	0	0	0	PU3_2	PU3_1	PU3_0	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU4_1	PU4_0	F0034H	00H	R/W
PU6	0	0	0	0	PU6_3	PU6_2	PU6_1	PU6_0	F0036H	00H	R/W
PU7	0	0	0	0	PU7_3	PU7_2	PU7_1	PU7_0	F0037H	00H	R/W
PU12	0	0	PU12_5	0	0	0	0	PU12_0	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU14_0	F003EH	00H	R/W

PU _m _n	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3, 4, 6, 7, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4-83 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/HE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	0	PU0_0	F0030H	00H	R/W
PU1	PU1_7	PU1_6	PU1_5	PU1_4	PU1_3	PU1_2	PU1_1	PU1_0	F0031H	00H	R/W
PU3	0	0	0	0	0	PU3_2	PU3_1	PU3_0	F0033H	00H	R/W
PU4	0	0	0	0	PU4_3	PU4_2	PU4_1	PU4_0	F0034H	00H	R/W
PU5	0	0	0	0	PU5_3	PU5_2	PU5_1	PU5_0	F0035H	00H	R/W
PU6	0	0	0	0	PU6_3	PU6_2	PU6_1	PU6_0	F0036H	00H	R/W
PU7	PU7_7	PU7_6	PU7_5	PU7_4	PU7_3	PU7_2	PU7_1	PU7_0	F0037H	00H	R/W
PU12	0	0	PU12_5	0	0	0	0	PU12_0	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU14_0	F003EH	00H	R/W
PU _m _n	P _m nの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-7, 12, 14 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

図4-84 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/HF3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	PU0_2	PU0_1	PU0_0	F0030H	00H	R/W
PU1	PU1_7	PU1_6	PU1_5	PU1_4	PU1_3	PU1_2	PU1_1	PU1_0	F0031H	00H	R/W
PU3	0	0	0	0	0	PU3_2	PU3_1	PU3_0	F0033H	00H	R/W
PU4	PU4_7	PU4_6	PU4_5	PU4_4	PU4_3	PU4_2	PU4_1	PU4_0	F0034H	00H	R/W
PU5	PU5_7	PU5_6	PU5_5	PU5_4	PU5_3	PU5_2	PU5_1	PU5_0	F0035H	00H	R/W
PU6	PU6_7	PU6_6	PU6_5	PU6_4	PU6_3	PU6_2	PU6_1	PU6_0	F0036H	00H	R/W
PU7	PU7_7	PU7_6	PU7_5	PU7_4	PU7_3	PU7_2	PU7_1	PU7_0	F0037H	00H	R/W
PU12	0	PU12_6	PU12_5	0	0	0	0	PU12_0	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU14_0	F003EH	00H	R/W

PU _m _n	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-7, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4-85 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/HG3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU0_3	PU0_2	PU0_1	PU0_0	F0030H	00H	R/W
PU1	PU1_7	PU1_6	PU1_5	PU1_4	PU1_3	PU1_2	PU1_1	PU1_0	F0031H	00H	R/W
PU3	0	0	0	0	0	PU3_2	PU3_1	PU3_0	F0033H	00H	R/W
PU4	PU4_7	PU4_6	PU4_5	PU4_4	PU4_3	PU4_2	PU4_1	PU4_0	F0034H	00H	R/W
PU5	PU5_7	PU5_6	PU5_5	PU5_4	PU5_3	PU5_2	PU5_1	PU5_0	F0035H	00H	R/W
PU6	PU6_7	PU6_6	PU6_5	PU6_4	PU6_3	PU6_2	PU6_1	PU6_0	F0036H	00H	R/W
PU7	PU7_7	PU7_6	PU7_5	PU7_4	PU7_3	PU7_2	PU7_1	PU7_0	F0037H	00H	R/W
PU12	PU12_7	PU12_6	PU12_5	0	0	0	0	PU12_0	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU14_0	F003EH	00H	R/W
PU15	PU15_7	PU15_6	PU15_5	PU15_4	PU15_3	PU15_2	PU15_1	PU15_0	F003FH	00H	R/W

PU _m _n	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-7, 12, 14, 15 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(4) ポート入力モード・レジスタ (PIMxx)

ポートの入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-86 ポート入力モード・レジスタのフォーマット (78K0R/HC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM6	0	0	0	0	PIM6_3	0	PIM6_1	PIM6_0	F0046H	00H	R/W
PIM7	0	0	0	0	PIM7_3	0	0	0	F0047H	00H	R/W

PIMm_n	Pmn端子の入力バッファの選択 (m = 6, 7 ; n = 0, 1, 3)
0	通常入力バッファ
1	TTL入力バッファ

図4-87 ポート入力モード・レジスタのフォーマット (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM6	0	0	0	0	PIM6_3	0	PIM6_1	PIM6_0	F0046H	00H	R/W
PIM7	PIM7_7	PIM7_6	PIM7_5	0	PIM7_3	0	0	0	F0047H	00H	R/W

PIMm_n	Pmn端子の入力バッファの選択 (m = 6, 7 ; n = 0, 1, 3, 5-7)
0	通常入力バッファ
1	TTL入力バッファ

(5) ポート出力モード・レジスタ (POMxx)

ポートの出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDAxx端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-88 ポート出力モード・レジスタのフォーマット (78K0R/HC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM7	0	0	0	0	0	POM7_2	0	0	F0057H	00H	R/W

POM7_2	P72端子の出力モードの選択
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

図4-89 ポート出力モード・レジスタのフォーマット (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM4	0	0	0	0	POM4_3	POM4_2	0	0	F0054H	00H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM7	0	POM7_6	0	POM7_4	0	POM7_2	0	0	F0057H	00H	R/W

POM m_n	Pmn端子の出力モードの選択 (m = 4, 7 ; n = 2-4, 6)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(6) ポート出カスルー・レート選択レジスタ (PSRSEL)

ポートの出カスルー・レートを選択するレジスタです。

PSRSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-90 ポート出カスルー・レート選択レジスタ (PSRSEL) のフォーマット (78K0R/Hx3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PSRSEL	0	0	PSR140	0	0	PSR30	PSR12	PSR10	F006FH	00H	R/W

PSR140	P140/PCL端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns /5 V (TYP.))

PSR30	P30/INTP2/SSI00/TI01/TO01端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns /5 V (TYP.))

PSR12	P12/INTP3/TI16/SO10/TO16端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns /5 V (TYP.))

PSR10	P10/TI00/SCK10/TO00/CTxD/LTxD1端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns /5 V (TYP.))

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図4-91 ポート出力スルー・レート選択レジスタ (PSRSEL) のフォーマット (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PSRSEL	0	0	PSR140	PSR76	PSR74	PSR30	PSR12	PSR10	F006FH	00H	R/W

PSR140	P140/PCL端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns/5 V (TYP.))

PSR76	P76/KR6/SCK01端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns/5 V (TYP.))

PSR74	P74/KR4/SO01端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns/5 V (TYP.))

PSR30	P30/INTP2/SSI00/TI01/TO01端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns/5 V (TYP.))

PSR12	P12/INTP3/TI16/SO10/TO16端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns/5 V (TYP.))

PSR10	P10/TI00/SCK10/TO00/CTxD/LTxD1端子の出力モードの選択
0	通常モード (5 ns/5 V (TYP.))
1	スロー・モード (25 ns/5 V (TYP.))

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15, P100/ANI16-P107/ANI23端子を, A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00H^注になります。

注 ADPCレジスタは, PER0.ADCEN = 0に設定してもリセットされません。

図4-92 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPCビット					アナログ入力 (A) / デジタル入出力 (D) の切り替え																							
4	3	2	1	0	ANI 23/ P107	ANI 22/ P106	ANI 21/ P105	ANI 20/ P104	ANI 19/ P103	ANI 18/ P102	ANI 17/ P101	ANI 16/ P100	ANI 15/ P97	ANI 14/ P96	ANI 13/ P95	ANI 12/ P94	ANI 11/ P93	ANI 10/ P92	ANI 09/ P91	ANI 08/ P90	ANI 07/ P87	ANI 06/ P86	ANI 05/ P85	ANI 04/ P84	ANI 03/ P83	ANI 02/ P82	ANI 01/ P81	ANI 00/ P80
0	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	0	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A
0	0	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	1	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
0	1	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	0	0	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	0	1	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	0	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	1	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	0	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	1	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	0	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	1	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	0	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	1	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	0	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	1	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
上記以外					設定禁止																							

(注, 注意, 備考は次ページにあります。)

注 ADPCレジスタは、PER0.ADCEN = 0に設定してもリセットされません。

注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ8-10 (PM8-PM10) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

3. P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15, P100/ANI16-P107/ANI23は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P80/ANI00,...,P87/ANI07, P90/ANI08,...,P97/ANI15, P100/ANI16,...,P107/ANI23の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P80/ANI0から設計してください。

4. ADPCレジスタの設定をする際には、必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN = 1の設定を行ってください。ADCEN = 0の場合は、ADPCレジスタへの書き込みは無視され、設定値は初期値となります。

備考 P80/ANI00-P87/ANI07, P90/ANI08-P92/ANI10 : 78K0R/H3

P80/ANI00-P87/ANI07, P90/ANI08-P96/ANI14 : 78K0R/HE3

P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15 : 78K0R/HF3

P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15, P100/ANI16-P107/ANI23 : 78K0R/HG3

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位（3V系）外部デバイスとの接続方法

ポート4, ポート6, ポート7の一部は, $V_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$ で動作時に, 3V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については, ポート入力モード・レジスタ (PIM6, PIM7) によりビットごとにCMOS/TTLを切り換え可能です。

また, 出力については, ポート出力モード・レジスタ (POM4, POM7) により, 出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧) に切り換えることにより, 異電位に対応可能になります。

(1) CSI00, CSI01機能の入出力端子を使用する場合の設定手順

(a) 3V系の入力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は, 使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

CSI00の場合 : P60, P61, P63

CSI01の場合 : P75-P77

PIMnレジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が3V系の動作電圧で動作します。

備考1. V_{IL} は電気的特性のDC特性 (第29章 電気的特性参照) を満たす範囲内で使用してください。

2. 78K0R/HC3 : n = 6

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : n = 6, 7

(b) 3V系の出力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

CSI01の場合 : P74, P76

該当するポートの出カラッチに1を設定します。

POM7レジスタの該当ビットを1に設定し, N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定します。

PM7レジスタを操作して出力モードに設定します。

この時点では, 出力データはハイ・レベルであるため, 端子はHi-Z状態となっています。

シリアル・アレイ・ユニットの動作状態にしたがってロウ・レベルでのみ動作します。

(2) 簡易IIC11機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

簡易IIC11の場合 : P60, P61

該当するポートの出カラッチに1を設定します。
PM6レジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

(3) LIN-UART, CAN機能の入出力端子を使用する場合の設定手順

(a) 3 V系の入力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
プルアップが必要な場合は、P73端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。
PIM7レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。
 V_{IH}/V_{IL} が3 V系の動作電圧で動作します。

備考 V_{IL} は電気的特性のDC特性(第29章 電気的特性参照)を満たす範囲内で使用してください。

(b) 3 V系の出力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
P72端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。
該当するポートの出カラッチに1を設定します。
POM7レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定します。
PM7レジスタを操作して出力モードに設定します。
この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
LIN-UARTまたはCANコントローラの動作状態にしたがってロウ・レベルでのみ動作します。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-8のように設定してください。

備考 製品により，搭載しているポート端子，兼用機能が異なります。表4-3 ポートの機能を参照してください。

表4-8 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/5)

端子名称	兼用機能		PM $\times\times$	P $\times\times$
	名称	入出力		
P00	INTP7	入力	1	×
	TI05	入力	1	×
	TO05	出力	0	0
P01	TI04	入力	1	×
	TO04	出力	0	0
P02	TI06	入力	1	×
	TO06	出力	0	0
P10	TI00	入力	1	×
	TO00	出力	0	0
	CTxD	出力	0	1
	LTxD1	出力	0	1
	SCK10	入力	1	×
出力		0	1	
P11	TI02	入力	1	×
	SI10	入力	1	×
	CRxD	入力	1	×
	LRxD1	入力	1	×
	INTPLR1	入力	1	×
	TO02	出力	0	0
P12	INTP3	入力	1	×
	TI16	入力	1	×
	SO10	出力	0	1
	TO16	出力	0	0

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : don't care
 PM $\times\times$: ポート・モード・レジスタ
 P $\times\times$: ポートの出力ラッチ

表4-8 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (2/5)

端子名称	兼用機能		PMxx	Pxx
	名称	入出力		
P13	TI04	入力	1	×
	LTxD0	出力	0	1
	TO04	出力	0	0
P14	TI06	入力	1	×
	LRxD0	入力	1	×
	INTPLR0	入力	1	×
	TO06	出力	0	0
P15	TI10	入力	1	×
	SO00	出力	0	1
	TO10	出力	0	0
P16	TI12	入力	1	×
	SI00	入力	1	×
	TO12	出力	0	0
P17	TI14	入力	1	×
	SCK00	入力	1	×
		出力	0	1
TO14	出力	0	0	
P30	INTP2	入力	1	×
	SSI00	入力	1	×
	TI01	入力	1	×
	TO01	出力	0	0
P31	INTP2	入力	1	×
	TI11	入力	1	×
	STOPST	出力	0	0
	TO11	出力	0	0
P32	INTP4	入力	1	×
	TI13	入力	1	×
	TO13	出力	0	0
P40	TOOL0	入出力	×	×
	TI05	入力	1	×
	TO05	出力	0	0
P41	TOOL1	出力	0	1
	TI07	入力	1	×
	TO07	出力	0	0
P42	TxD2	出力	0	1
	SCL20	出力	0	1

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : don't care
 PMxx : ポート・モード・レジスタ
 Pxx : ポート出力ラッチ

表4-8 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (3/5)

端子名称	兼用機能		PMxx	Pxx
	名称	入出力		
P43	RxD2	入力	1	×
	INTPR2	入力	1	×
	SDA20	出力	0	1
P44	TI07	入力	1	×
	TO07	出力	0	0
P45	TI10	入力	1	×
	TO10	出力	0	0
P46	TI12	入力	1	×
	TO12	出力	0	0
P47	INTP8	入力	1	×
P50	INTP3	入力	1	×
	TI20	入力	1	×
	TO20	出力	0	0
P51	TI21	入力	1	×
	TO21	出力	0	0
P52	TI22	入力	1	×
	STOPST	出力	0	0
	TO22	出力	0	0
P53	TI23	入力	1	×
	TO23	出力	0	0
P54	TI11	入力	1	×
	TO11	出力	0	0
P55	TI13	入力	1	×
	TO13	出力	0	0
P56	TI15	入力	1	×
	TO15	出力	0	0
P57	TI17	入力	1	×
	TO17	出力	0	0
P60	SCK00	入力	1	×
		出力	0	1
	SCL11	出力	0	1
P61	SI00	入力	1	×
	SDA11	入出力	0	1
P62	SO00	出力	0	1
P63	SSI00	入力	1	×

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : don't care
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出力ラッチ

表4-8 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定 (4/5)

端子名称	兼用機能		PMxx	Pxx
	名称	入出力		
P64	TI14	入力	1	×
	TO14	出力	0	0
P65	TI16	入力	1	×
	TO16	出力	0	0
P66	TI00	入力	1	×
	TO00	出力	0	0
P67	TI02	入力	1	×
	TO02	出力	0	0
P70	INTP5	入力	1	×
	KR0	入力	1	×
	TI15	入力	1	×
	TO15	出力	0	0
	LVIOUT	出力	0	0
P71	INTP6	入力	1	×
	KR1	入力	1	×
	TI17	入力	1	×
	TO17	出力	0	0
P72	KR2	入力	1	×
	CTxD	出力	0	1
	LTxD1	出力	0	1
P73	KR3	入力	1	×
	CRxD	入力	1	×
	LRxD1	入力	1	×
	INTPLR1	入力	1	×
P74	KR4	入力	1	×
	SO01	出力	0	1
P75	KR5	入力	1	×
	SI01	入力	1	×
P76	KR6	入力	1	×
	SCK01	入力 出力	1 0	×
P77	KR7	入力	1	×
	SSI01	入力	1	×

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : don't care
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出力ラッチ

表4-8 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (5/5)

端子名称	兼用機能		PM $\times\times$	P $\times\times$
	名称	入出力		
P80-P87 ^注	ANI00-ANI07 ^注	入力	1	x
P90-P97 ^注	ANI08-ANI15 ^注	入力	1	x
P100-P107 ^注	ANI16-ANI23 ^注	入力	1	x
P120	INTP0	入力	1	x
	EXLVI	入力	1	x
	TI11	入力	1	x
	TO11	出力	0	0
P121	X1	—	1	x
P122	X2	—	1	x
	EXCLK	入力	1	x
P124	EXCLKS	入力	1	x
P125	INTP1	入力	1	x
	ADTRG	入力	1	x
	TI03	入力	1	x
	TO03	出力	0	0
P126	TI01	入力	1	x
	TO01	出力	0	0
P127	TI03	入力	1	x
	TO03	出力	0	0
P130	RESOUT	出力	x	x
P140	PCL	出力	0	0
P151	SO11	出力	0	1
P152	SI11	入力	1	x
P153	SCK11	入力	1	x
		出力	0	1
P154	TI24	入力	1	x
	TO24	出力	0	0
P155	TI25	入力	1	x
	TO25	出力	0	0
P156	TI26	入力	1	x
	TO26	出力	0	0
P157	TI27	入力	1	x
	TO27	出力	0	0

(注，注意，備考は次ページにあります。)

注 ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107端子の機能は、A/Dポート・コンフィギュレータ・レジスタ（ADPC）、アナログ入力チャンネル指定レジスタ（ADS）、PM8-PM10の設定で決定します。

ADPC	PM8-PM10	ADS	ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

注意 ■■■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 x : don't care
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出カラッチ

4.6 ポート・レジスタ n (P n) に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出カラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出カラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出カラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出カラッチの値は、“FFH”になります。

説明：PM n _mビット = 1であるポートのP n レジスタへの書き込みの対象は出カラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0R/Hx3内部で、次の順序で行われます。

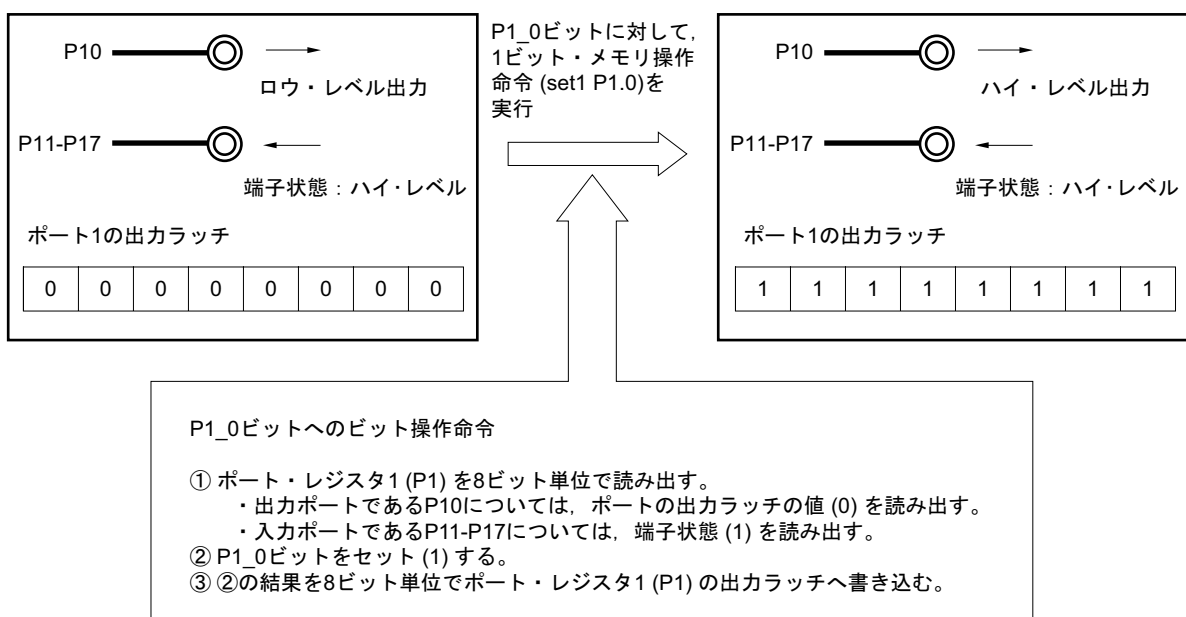
- <1> P n レジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P n レジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出カラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出カラッチに“FFH”が書き込まれます。

図4-93 1ビット・メモリ操作命令（P10の場合）



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2\sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路

$f_{IH} = 4, 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 2\sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

(2) PLLクロック

メイン・システム・クロックを1, 6, 8通倍したクロックを発振させることができます。STOP命令の実行またはPLLON（PLLCTLのビット0）の設定により、発振を停止することができます。

備考 1. 高速内蔵発振クロックの発振周波数はオプション・バイト（000C1H）のビット1（SEL4M）の設定により4 MHzと8 MHzが選択可能です。オプション・バイトについて、詳細は第23章 オプション・バイトを参照してください。

2. PLLクロックの通倍数はオプション・バイト（000C1H）のビット2（OPTPLL）で設定します。オプション・バイトについて、詳細は第23章 オプション・バイトを参照してください。

3. f_x : X1クロック発振周波数

f_{IH} : 高速内蔵発振クロック周波数

f_{EX} : 外部メイン・システム・クロック周波数

(3) サブクロック

EXCLKS/P124端子から外部サブクロック (f_{EXS}) をサブクロック (f_{SUB}) として供給することができます。サブクロックはCPUクロックとして使用することはできません。サブクロックで動作するハードウェアはウエイクアップ・タイマのみです。XTSTOPの設定により、外部サブクロック入力を無効にすることができます。

(4) 低速内蔵発振クロック

・ 低速内蔵発振回路

$f_{IL} = 30 \text{ kHz}$ (TYP.) のクロックを発振させることができます。

オプション・バイト (000C1H) のビット7 (LIOUSE) の設定にてリセット解除後の発振動作を制御できます。

リセット解除後、オプション・バイト (000C1H) のビット7 (LIOUSE) にて低速内蔵発振回路を動作許可に設定した場合、低速内蔵発振回路は自動的に発振を開始します。

低速内蔵発振クロックは、オプション・バイト (000C1H) のビット7 (LIOUSE) が“1”, ビット5 (LIOSYSB) が“0”のとき、CSS (システム・クロック制御レジスタ (CKC) のビット6) の設定により、CPUおよび周辺ハードウェア・クロックとして使用できます。

また、オプション・バイト (000C1H) のビット6 (LIOSTOPB) が“0”のとき、STOP命令の実行により発振を停止することができます。

注意 CPU/周辺ハードウェア・クロックに低速内蔵発振クロックを選択している場合 (CSS = 1), STOP命令は実行禁止です。

備考 f_{EXS} : 外部サブクロック周波数
 f_{SUB} : サブクロック周波数
 f_{IL} : 低速内蔵発振クロック周波数

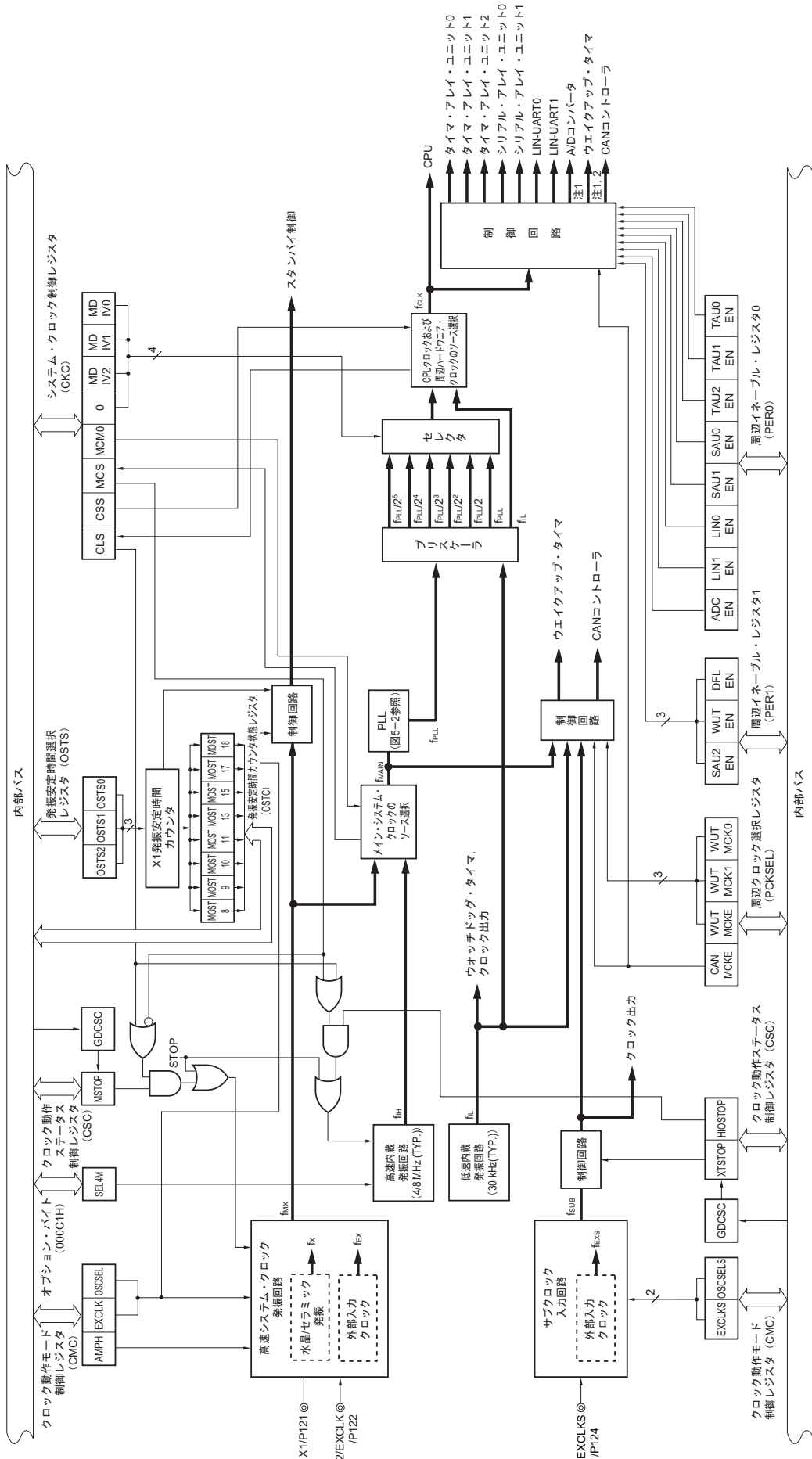
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) システム・クロック制御レジスタ (CKC) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) 周辺クロック選択レジスタ (PCKSEL) 動作スピード・モード制御レジスタ (OSMC) PLL制御レジスタ (PLLCTL) PLL状態レジスタ (PLLSTS)
発振回路	X1発振回路 サブクロック入力回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



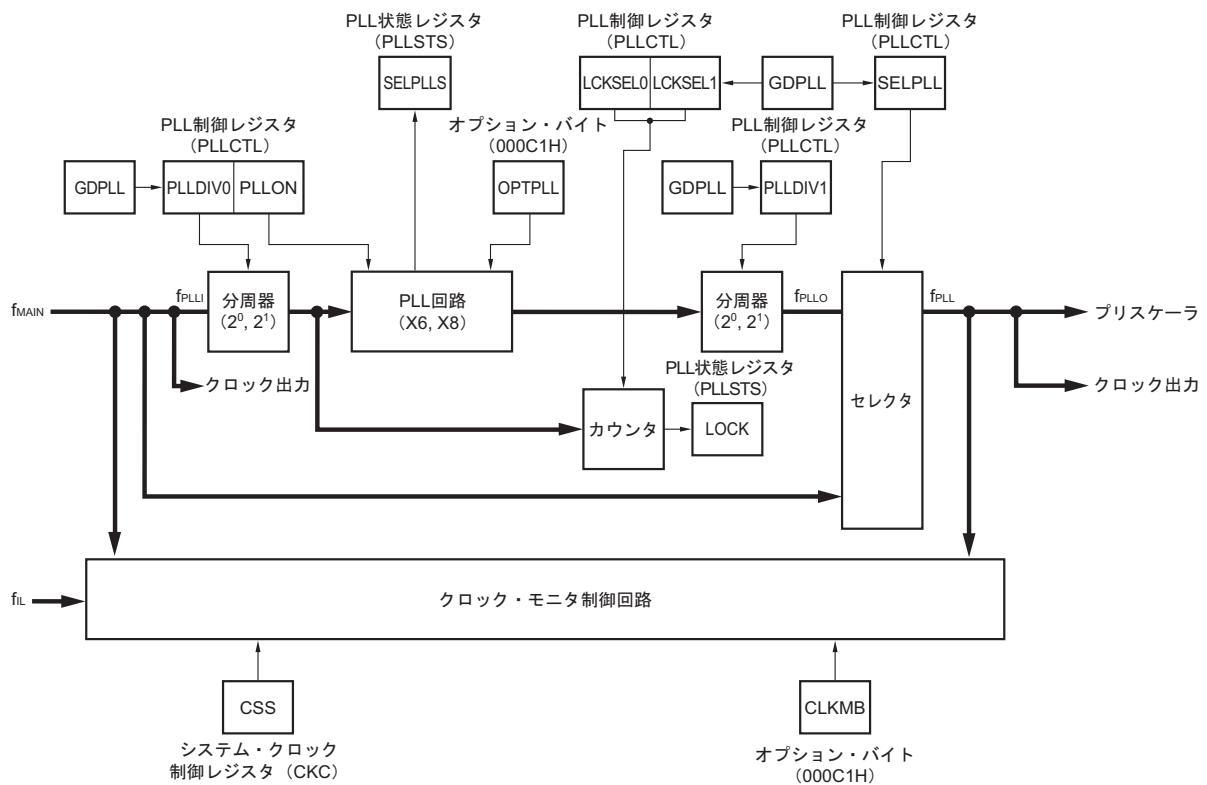
注1, 2, 備考は次ページにあります。

注1. SFRアクセスにのみ使用します。

2. CANコントローラの動作クロックにはメイン・システム・クロック (f_{MAIN}) のみ選択可能です。

備考 f_x : X1クロック
 f_{IH} : 高速内蔵発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{MX} : 高速システム・クロック
 f_{MAIN} : メイン・システム・クロック
 f_{EXS} : 外部サブクロック
 f_{SUB} : サブクロック
 f_{CLK} : CPU/周辺ハードウェア・クロック
 f_{IL} : 低速内蔵発振クロック

図5-2 PLL回路のブロック図



備考 f_{MAIN} : メイン・システム・クロック
 f_{IL} : 低速内蔵発振クロック
 f_{PLLI} : PLL入力可能クロック
 f_{PLLO} : PLL出カクロック
 f_{PLL} : PLLクロック

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の11種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・システム・クロック制御レジスタ (CKC)
- ・周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- ・周辺クロック選択レジスタ (PCKSEL)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・PLL制御レジスタ (PLLCTL)
- ・PLL状態レジスタ (PLLSTS)

(1) クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-3 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶/セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブクロック端子の動作モード	EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート
0	1	設定禁止	
1	0	入力ポート・モード	入力ポート
1	1	外部クロック入力モード	外部クロック入力

AMPH	X1クロック発振周波数の制御
0	2 MHz f_x 10 MHz
1	2 MHz < f_x 20 MHz

- 注意1. CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振を開始する前に、CMCを設定してください。
 - X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHに1を設定してください。ただし、外部クロック入力モード時は設定不要です。
 - 暴走時の誤動作を防止するために、CMCを初期値 (00H) のまま使用する場合でも、リセット解除後に00Hを設定することを推奨します。

備考 f_{SUB} : サブクロック周波数
 f_{EXS} : 外部サブクロック周波数
 f_x : X1クロック発振周波数

(2) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速内蔵発振クロックの動作を制御するレジスタです（低速内蔵発振クロックは除く）。

CSCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

注意 CSCレジスタに書き込む際は、GUARDレジスタのGDCSCビットを“1”に設定してください。

図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	[7]	[6]	5	4	3	2	1	[0]
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	—
1	X1発振回路停止	EXCLK端子からの外部クロック無効	—

XTSTOP	サブクロックの動作制御	
	外部クロック入力モード時	入力ポート・モード時
0	EXCLKS端子からの外部クロック有効	—
1	EXCLKS端子からの外部クロック無効	—

HIOSTOP	高速内蔵発振クロックの動作制御
0	高速内蔵発振回路動作
1	高速内蔵発振回路停止

- 注意1. リセット解除後、MSTOPの設定でX1発振を開始する前に、クロック動作モード制御レジスタ (CMC) を設定してください。
- MSTOPの設定でX1発振を開始する場合、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
 - CPU/周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは、CSCレジスタで停止させないでください。
 - 高速内蔵発振クロック (f_{IH}) の発振周波数はオプション・バイト (000C1H) のビット1 (SEL4M) で選択できます。
 - クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、次のようになります。

表5-2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック	・ CLS = 0かつMCS = 0	MSTOP = 1
外部メイン・システム・クロック	・ CLS = 1 (CPU/周辺ハードウェア・クロックが高速システム・クロック以外で動作)	
高速内蔵発振クロック	・ CLS = 0かつMCS = 1 ・ CLS = 1 (CPU/周辺ハードウェア・クロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1

(3) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたは低速内蔵発振クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- ・ STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

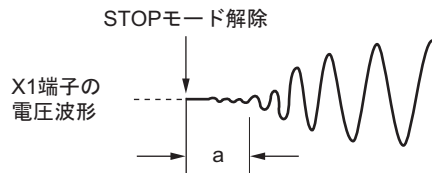
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								fx = 8 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	32 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ /fx以上	32 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	64 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	128 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	256 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	1.02 ms以上	409.6 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	4.10 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	16.38 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	32.77 ms以上	13.11 ms以上

注意1. 上記時間経過後、MOST8から順番に“1”となっていく、そのまま“1”を保持します。

- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。
次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウント値」に設定してください。

- ・CPUクロックが高速内蔵発振クロックまたは低速内蔵発振クロックで、X1クロックの発振を開始したい場合
- ・CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

- X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

(4) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS) のフォーマット

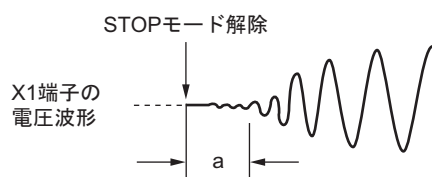
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	発振安定時間の選択	
				$f_x = 8 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	32 μs	設定禁止
0	0	1	$2^9/f_x$	64 μs	25.6 μs
0	1	0	$2^{10}/f_x$	128 μs	51.2 μs
0	1	1	$2^{11}/f_x$	256 μs	102.4 μs
1	0	0	$2^{13}/f_x$	1.02 ms	409.6 μs
1	0	1	$2^{15}/f_x$	4.10 ms	1.64 ms
1	1	0	$2^{17}/f_x$	16.38 ms	6.55 ms
1	1	1	$2^{18}/f_x$	32.77 ms	13.11 ms

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- MSTOPビットの設定でX1クロックを発振させる前に、OSTSレジスタで適切な発振安定時間を設定してください。
- 20 μs 以下の発振安定時間は設定禁止です。
- OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウント値」に設定してください。
 - ・CPUクロックが高速内蔵発振クロックまたは低速内蔵発振クロックで、X1クロックの発振を開始したい場合
 - ・CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)
- PLLクロックをCPUクロック選択時にSTOPモードが解除された場合、OSTSで設定した発振安定時間+PLLロックアップ待ち時間が必要になります。
- X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック

(5) システム・クロック制御レジスタ (CKC)

メイン・システム・クロック, CPU/周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図5-7 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 01H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS ^{注2}	MCS	MCM0 ^{注2,3}	0	MDIV2	MDIV1	MDIV0

CLS	CPU/周辺ハードウェア・クロック (f _{CLK}) のステータス・フラグ
0	PLLクロック (f _{PLL}) を選択中
1	低速内蔵発振クロック (f _{IL}) 選択中

CSS ^{注2}	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択制御ビット
0	PLLクロック/クロック・スルー (f _{PLL})
1	低速内蔵発振クロック (f _{IL})

MCS	メイン・システム・クロック (f _{MAIN}) のステータス・フラグ
0	高速内蔵発振クロック (f _{IH}) 選択中
1	高速システム・クロック (f _{MX}) 選択中

MCM0 ^{注2,3}	メイン・システム・クロック (f _{MAIN}) の選択制御ビット
0	高速内蔵発振クロック (f _{IH})
1	高速システム・クロック (f _{MX})

CLS	MDIV2	MDIV1	MDIV0	PLLクロック (f _{PLL}) の分周
0	0	0	0	f _{PLL}
	0	0	1	f _{PLL} /2
	0	1	0	f _{PLL} /2 ²
	0	1	1	f _{PLL} /2 ³
	1	0	0	f _{PLL} /2 ⁴
	1	0	1	f _{PLL} /2 ⁵ ^{注4}
	上記以外			設定禁止
1	x	x	x	f _{IL}

注1. ビット7, 5は, Read Onlyです。

2. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

3. PLLON = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

4. f_{PLL} < 4 MHz時は設定禁止

注意1. ビット3には, 必ず0を設定してください。

(注意2, 3, 備考は次ページにあります)

- 注意2. 周辺ハードウェア・クロックが低速内蔵発振クロックの場合、A/Dコンバータの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性を参照してください。
3. CSS, MCM0, MDIV2-MDIV0で設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（ウォッチドッグ・タイマ、クロック出力、16ビット・ウエイクアップ・タイマ、およびCANコントローラは除く）。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 備考 PLLクロックの設定については（11）PLL制御レジスタ（PLLCTL）および5.7.3（1）PLLクロックを発振する場合の動作手順例を参照してください。

(6) 周辺イネーブル・レジスタ0, 1 (PER0, PER1)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER0, PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・ウエイクアップ・タイマについてはSFRライト可能／禁止のみ選択します。

動作クロックの供給可能／禁止はPCKSELレジスタで選択します。

図5-8 周辺イネーブル・レジスタ0, 1 (PER0, PER1) のフォーマット (1/3)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	ADCEN	LIN1EN	LIN0EN	SAU1EN	SAU0EN	TAU2EN	TAU1EN	TAU0EN

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	SAU2EN	0	WUTEN	DFLEN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

LIN1EN	アシンクロナス・シリアル・インタフェースLIN-UART1の入カクロックの制御
0	入カクロック供給停止 ・ LIN-UART1で使用するSFRへのライト不可 ・ LIN-UART1はリセット状態
1	入カクロック供給 ・ LIN-UART1で使用するSFRへのリード／ライト可

LIN0EN	アシンクロナス・シリアル・インタフェースLIN-UART0の入カクロックの制御
0	入カクロック供給停止 ・ LIN-UART0で使用するSFRへのライト不可 ・ LIN-UART0はリセット状態
1	入カクロック供給 ・ LIN-UART0で使用するSFRへのリード／ライト可

注意 次のビットは必ず“0”に設定してください。

78K0R/HC3 : PER0レジスタのビット2, PER1レジスタのビット2-7

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : PER1レジスタのビット2, 4-7

図5-8 周辺イネーブル・レジスタ0, 1 (PER0, PER1) のフォーマット (2/3)

SAU1EN	シリアル・アレイ・ユニット1の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU2EN	タイマ・アレイ・ユニット2の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット2で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット2はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット2で使用するSFRへのリード/ライト可

TAU1EN	タイマ・アレイ・ユニット1の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 次のビットは必ず“0”に設定してください。

78K0R/HC3 : PER0レジスタのビット2, PER1レジスタのビット2-7

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : PER1レジスタのビット2, 4-7

図5-8 周辺イネーブル・レジスタ0, 1 (PER0, PER1) のフォーマット (3/3)

SAU2EN	シリアル・アレイ・ユニット2の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット2で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット2はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット2で使用するSFRへのリード/ライト可

WUTEN	16ビット・ウエイクアップ・タイマの入カクロックの制御
0	SFRライト用入カクロック供給停止 ^注 ・16ビット・ウエイクアップ・タイマで使用するSFRへのリード/ライト可
1	SFRライト用入カクロック供給 ・16ビット・ウエイクアップ・タイマで使用するSFRへのライト可

注 本クロック供給を停止しても、動作クロック供給は停止しません。消費電力を低減したい場合、PCKSELレジスタで動作クロック供給を停止してください。

DFLEN	データ・フラッシュの入カクロックの制御
0	入カクロック供給停止 ・データ・フラッシュ領域へのリード/ライト不可
1	入カクロック供給 ・データ・フラッシュ領域へのリード/ライト可

注意 次のビットは必ず“0”に設定してください。

78K0R/HC3 : PER0レジスタのビット2, PER1レジスタのビット2-7

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : PER1レジスタのビット2, 4-7

(7) 周辺クロック選択レジスタ (PCKSEL)

各周辺ハードウェアに対する動作クロックの選択と供給を設定するレジスタです。
PCKSELは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注意 PCKSELレジスタは、各周辺ハードウェアの動作開始前に設定してください。

図5-9 周辺クロック選択レジスタ (PCKSEL) のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKSEL	0	0	0	CANMCKE	0	WUTMCKE	WUTMCK1	WUTMCK0

CANMCKE	CANコントローラの動作クロックの制御 ^注	
0	動作クロック供給停止	
1	動作クロック供給	

WUTMCKE	16ビット・ウエイクアップ・タイマの動作クロックの制御	
0	動作クロック供給停止	
1	動作クロック供給	

WUTMCK1	WUTMCK0	16ビット・ウエイクアップ・タイマの動作クロックの選択
0	0	f _{IL}
0	1	f _{SUB}
1	0	f _{MAIN} /2 ⁸
1	1	f _{MAIN} /2 ¹²

注 CANコントローラ動作クロックに供給されるメイン・システム・クロック (f_{MAIN}) を制御します。メイン・システム・クロック (f_{MAIN}) は、高速システム・クロック (f_{MX}) または高速内蔵発振クロック (f_{MX}) を選択可能です。高速システム・クロック (f_{MX})、高速内蔵発振クロック (f_{IH}) がともに停止した状態で、CANMCKE = 1に設定しないでください。

注意1. PCKSELレジスタのビット3, 5-7は必ず0に設定してください。

2. WUTMMCK1-0を変更する場合は、16ビット・ウエイクアップ・タイマを停止 (WUTMCKE = 0) させてください。

(8) 動作スピード・モード制御レジスタ (OSMC)

データ・フラッシュおよびコード・フラッシュの高速動作昇圧回路を制御するレジスタです。

システム・クロックを10 MHz以下の低速で動作する際には、初期値00Hで使用することで、消費電力を低減することができます。

OSMCは、1ビット/8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-10 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	0	0	DMSTP	0	FSEL

DMSTP	データ・フラッシュのクロック周波数 (f _{CLK}) 選択
0	20 MHz以下の周波数で動作
1	20 MHzを越える周波数で動作

FSEL	コード・フラッシュのクロック周波数 (f _{CLK}) 選択
0	10 MHz以下の周波数で動作
1	10 MHzを越える周波数で動作

- 注意1. FSELに“1”を書き込む場合は、DMAコントローラを停止させてから行ってください。
- FSELに“1”を書き込むと、CPUはウェイトします。
ウェイト時間は20 μ s+3クロック (MAX.) です。
ただし、CPUウェイト中も、fxの発振安定時間のカウンタは継続可能です。
 - f_{CLK}を10 MHz以上にする場合にはFSELを“1”にセットしてから、3クロック以上経過後に切り替えてください。
 - DMSTP = 1に設定していても20 MHz以下の周波数で、FSEL = 1に設定していても10 MHz以下の周波数で動作可能です。
 - FSELに“1”を設定する際は、割り込み禁止状態にしてください。割り込み許可状態に設定するのはFSELに“1”を設定してから2クロック以上経過後に行ってください。
 - FSEL = 1に設定後、3クロック以上経過してからDMAの動作を許可してください。
 - DFLEN = 1の場合、DMSTPの書き換えは禁止です。
 - FSEL = 1に設定後、3クロック以上経過してからCAN関連のレジスタ、データ・フラッシュにアクセスしてください。

(9) PLL制御レジスタ (PLLCTL)

PLL機能を制御する8ビットのレジスタです。

CPUクロックおよび周辺ハードウェア・クロックとしてメイン・システム・クロックを1, 6, 8通倍したクロックを選択することができます。

PLLCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 PLLCTLレジスタに書き込む際は、GUARDレジスタのGDPLLビットを“1”に設定してください。

図5-11 PLL制御レジスタ (PLLCTL) のフォーマット

アドレス : F00F7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0	0	SELPLL	0	PLLON
LCKSEL1	LCKSEL0	ロックアップ待ちカウンタの設定値						
0	0	$2^8 / f_{\text{MAIN}} / 2^{\text{PLLDIV0}}$						
0	1	$2^9 / f_{\text{MAIN}} / 2^{\text{PLLDIV0}}$						
1	0	$2^{10} / f_{\text{MAIN}} / 2^{\text{PLLDIV0}}$						
1	1	設定禁止						
PLLDIV1	PLL出カクロック (f _{PLLO}) の選択							
0	f _{MAIN} /2 ^{PLLDIV0} × PLL通倍数 24 MHzの場合							
1	f _{MAIN} /2 ^{PLLDIV0} × PLL通倍数 > 24 MHzの場合							
PLLDIV0	PLL入カクロック (f _{PLLI}) の選択							
0	f _{MAIN} = 4 MHzの場合							
1	f _{MAIN} = 8 MHzの場合							
SELPLL	クロック・モードの選択							
0	クロック・スルー・モード (f _{MAIN})							
1	PLLクロック選択モード (f _{PLLO})							
PLLON	PLL動作制御							
0	PLL停止							
1	PLL動作 (PLL動作開始後、周波数安定のためにロックアップ待ち時間が必要になります。)							

(注意1-7, 備考1-3は次のページにあります)

- 注意 1. PLL出力が安定していない状態 (LOCK = 0) のとき、SELPLLビットは書き込み禁止です。
2. クロック・モニタ機能がPLLクロックの停止を検出したとき、SELPLLビットは自動的にクリアされません。
クロック・モニタ機能がPLLクロックの停止を検出したとき、PLLSTS.SELPLLSは自動的にクリアされます。
3. ロックアップ待ち時間のカウンタは、100 μ s以上の時間となる設定を選択してください。
4. PLLが動作開始時は、PLLがロックするまでの待ち時間が必要になります。
5. PLL使用時、PLLの入力クロックと通倍数は次の表に示す組み合わせのみ可能です。また、PLL未使用時 (PLLON = 0またはSELPLL = 0) は、2~20 MHzの任意の入力クロックを選択可能です。

オプション・バイト (000C1H)	PLLCTLレジスタ		入力可能周波数 (f_{MAIN})	出力周波数 (f_{PLL})
OPTPLL	PLLDIV1	PLLDIV0		
0	1	0	4 MHz \pm 2%	16 MHz \pm 2%
0	1	1	8 MHz \pm 2%	16 MHz \pm 2%
1	0	0	4 MHz \pm 2%	24 MHz \pm 2%
1	0	1	8 MHz \pm 2%	24 MHz \pm 2%
上記以外			設定禁止	

6. PLLON = 0のとき、PLLONビットとSELPLLビットへの8ビット・アクセスによる同時書き換えは禁止です。
7. PLLONビットをクリア (0) すると、SELPLLビットも自動的にクリアされます (クロック・スルー・モード)。
8. PLLON = 1のとき、PLLDIV1-PLLDIV0の書き換えは禁止です。
9. PLLON = 1のとき、 f_{MAIN} を変更することは禁止です。

備考1. PLLONとSELPLLビットを設定した場合、LOCK、SELPLLSの状態によって f_{PLL} の選択クロックが決まります。PLLON、SELPLL、LOCK、SELPLLSビットを設定したときの f_{PLL} を次に示します。

PLLON	SELPLL	LOCK	SELPLLS	選択クロック (f_{PLL})
0	0	0	0	メイン・システム・クロック (f_{MAIN})
1	0	0	0	メイン・システム・クロック (f_{MAIN})
1	0	1	0	メイン・システム・クロック (f_{MAIN})
1	1	1	0	メイン・システム・クロック (f_{MAIN}) SELPLL = 1に設定後、通倍クロックに切り替わっていない状態
1	1	1	1	メイン・システム・クロック (f_{MAIN}) を通倍したクロック
上記以外				設定禁止

2. PLLの通倍数はオプション・バイト (000C1H) のビット2 (OPTPLL) で設定します。詳細は、第23章 オプション・バイトを参照してください。
3. f_{PLL} : PLL入力クロック周波数,
 f_{PLL} : PLLクロック周波数,
 f_{MAIN} : メイン・システム・クロック周波数

(10) PLL状態レジスタ (PLLSTS)

PLLクロックの動作状態を示すレジスタです。

PLLSTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-12 PLL状態レジスタ (PLLSTS) のフォーマット

アドレス : F00F6H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

PLLSTS	LOCK	0	0	0	SELPLLS	0	0	0
--------	------	---	---	---	---------	---	---	---

LOCK	PLLロック状態
0	アンロック状態
[↑] 注	ロック状態

SELPLLS	クロック・モードの状態
0	クロック・スルー・モード (f _{MAIN})
1	PLLクロック選択モード (f _{PLL})

注 ロックアップ待ちカウンタのオーバフロー時にセット (1) されます。

注意 PLLが動作開始時は、PLLがロック状態 (LOCK = 1) になるまでの時間が必要になります。

備考 PLLの通倍数はオプション・バイト (000C1H) のビット2 (OPTPLL) で設定します。詳細は、第23章 オプション・バイトを参照してください。

5.4 クロック・モニタ

クロック・モニタは、低速内蔵発振器を使用してメイン・システム・クロック (f_{MAIN}) およびPLLクロック (f_{PLL}) をサンプリングします。メイン・システム・クロックの発振が停止した場合、リセット要求信号 (RESCLM) を生成します。PLLクロックが停止した場合は、強制的にクロック・スルー・モードが選択され、SELPLLがクリアされます (SELPLLはクリアされません)。同時に割り込み要求信号 (INTCLM) を生成します。

(1) 構成

クロック・モニタのブロック図を示します。

図5-13 クロック・モニタのブロック図

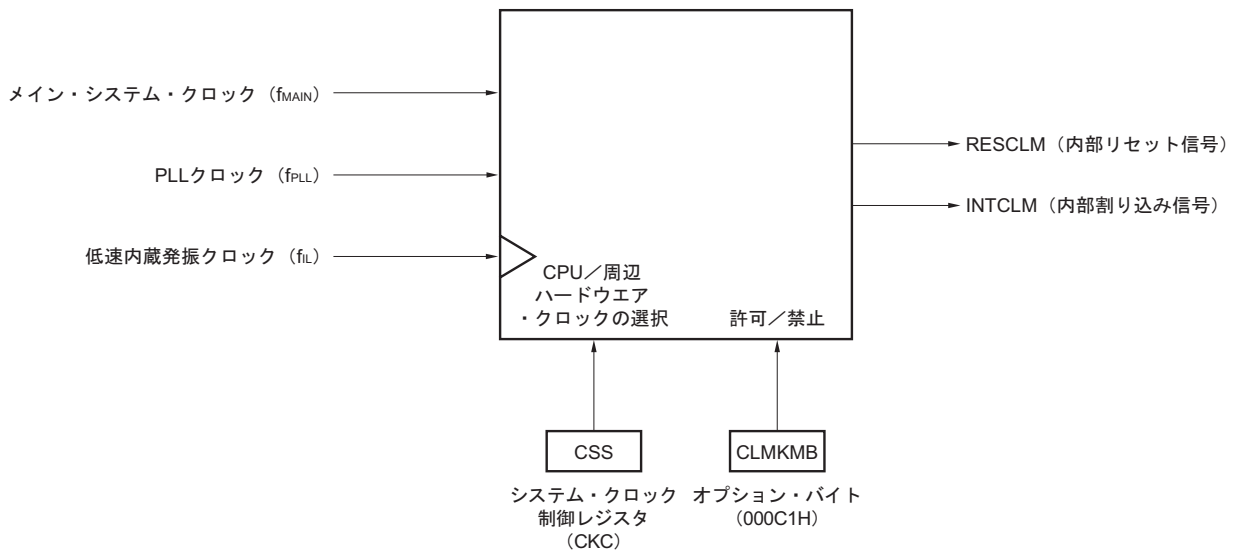


表5-3 クロック・モニタの動作状態 (CLMKMBビット = 0)

CPU/周辺ハードウェア・クロック (f_{CLK})	動作モード	メイン・クロック 発振回路の状態	低速内蔵発振 回路の状態	クロック・ モニタの状態
PLLクロック (f_{PLL})	HALTモード	発振	発振	動作 ^{注1}
	STOPモード	停止	発振	停止 ^{注2}
低速内蔵発振クロック (f_{IL})	—	停止	発振	停止
リセット中	—	停止	停止	停止

注1. 低速内蔵発振器が停止するとクロック・モニタも停止します。

2. STOPモード解除後の発振安定時間のカウント中もクロック・モニタは停止します。

(2) 動作開始と停止

クロック・モニタの動作を許可するには、オプション・バイト (000C1H) のビット4 (CLKMB) を0にセットします。

リセット解除後、クロック・モニタは自動的に動作開始します。

クロック・モニタは次の条件下で自動的に停止します。

- ・ STOPモード中
- ・ STOPモード解除後の発振安定時間のカウント中
- ・ CPU/周辺ハードウェア・クロック周波数 (f_{CLK}) = 低速内蔵発振クロック (f_{IL}) の場合
- ・ サンプリング・クロックが停止した場合 (低速内蔵発振器の停止)
- ・ オプション・バイト (000C1H) のビット4 (CLKMB) が1の場合

5.5 システム・クロック発振回路

5.5.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2~20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

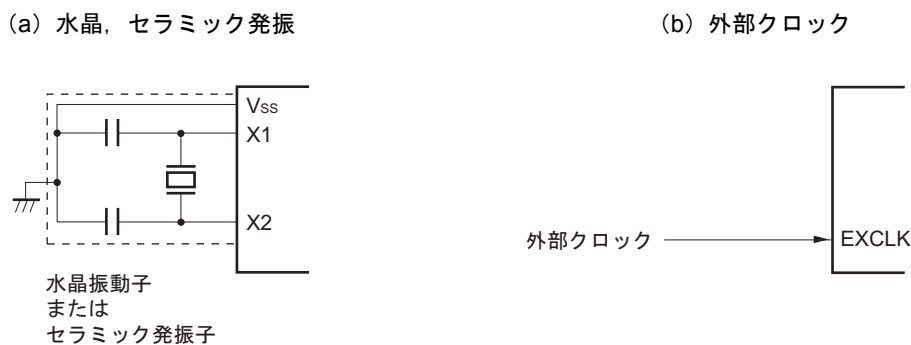
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-2 各端子の未使用端子処理を参照してください。

図5-14にX1発振回路の外付け回路例を示します。

図5-14 X1発振回路の外付け回路例



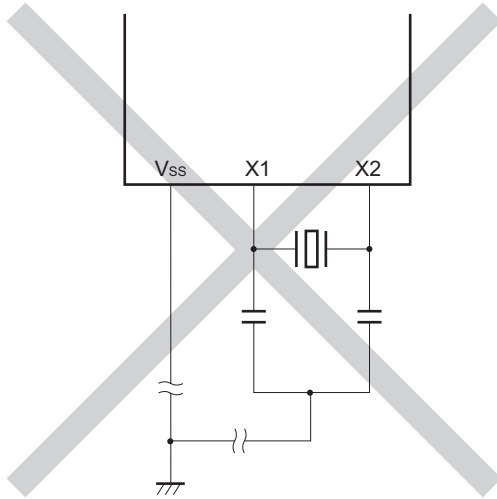
注意 X1発振回路を使用する場合は、配線容量などの影響を避けるために、図5-14の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVssと同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

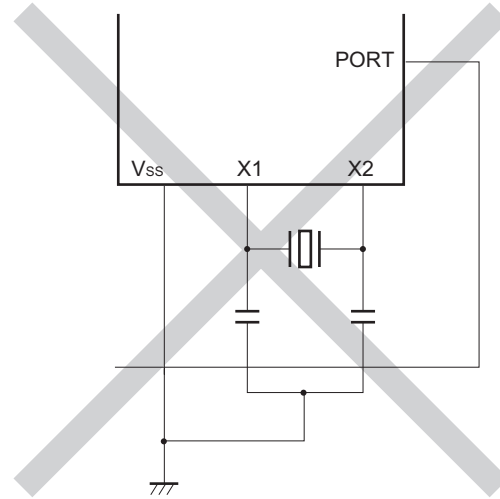
図5-15に発振子の接続の悪い例を示します。

図5-15 発振子の接続の悪い例 (1/2)

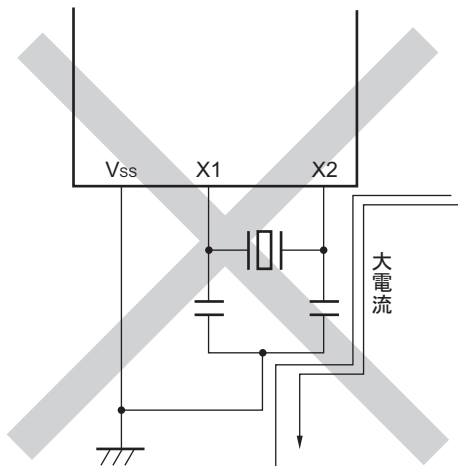
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)

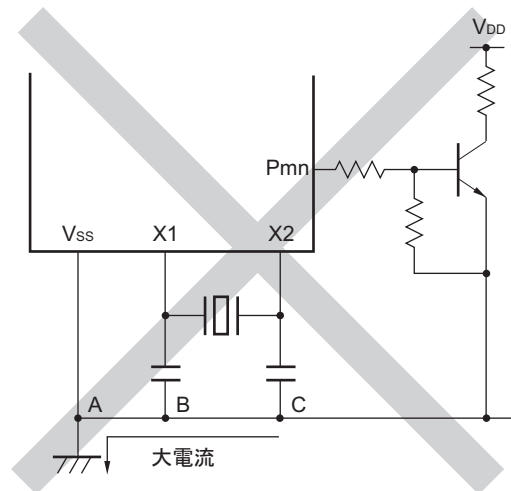
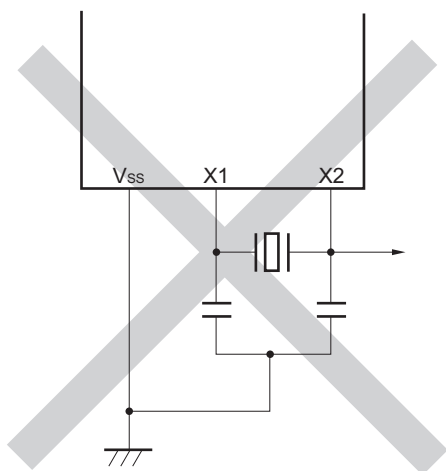


図5-15 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している

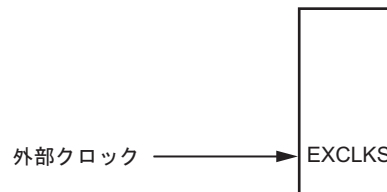


5.5.2 サブクロック入力回路

サブクロック入力回路は、外部サブクロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。

図5-16にサブクロック入力回路の外付け回路例を示します。

図5-16 サブクロック入力回路の外付け回路例



5.5.3 高速内蔵発振回路

78K0R/Hx3は、高速内蔵発振回路を内蔵しています（4, 8 MHz（TYP.））。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

高速内蔵発振クロックの発振周波数はオプション・バイト（000C1H）のビット1（SEL4M）の設定により4 MHzと8 MHzが選択可能です。オプション・バイトの設定について、詳細は第23章 オプション・バイトを参照してください。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します。

5.5.4 PLL回路

78K0R/Hx3は、PLL回路を内蔵しています。PLL制御レジスタ（PLLCTL）のビット0（PLLON）にて動作を制御できます。PLLクロックの通倍数（ $\times 6$ 、 $\times 8$ はオプション・バイト（000C1H）のビット2（OPTPLL）で設定します。オプション・バイトの設定について、詳細は第23章 オプション・バイトを参照してください。

5.5.5 低速内蔵発振回路

78K0R/Hx3は、低速内蔵発振回路を内蔵しています（30 kHz（TYP.））。

オプション・バイト（000C1H）のビット7（LIOUSE）の設定にてリセット解除後の発振動作を制御できます。

リセット解除後、オプションバイト（000C1H）のビット7（LIOUSE）にて低速内蔵発振回路を動作許可に設定した場合は、低速内蔵発振回路は自動的に発振を開始します。

5.5.6 プリスケーラ

プリスケーラは、メイン・システム・クロックおよび低速内蔵発振クロックを分周し、CPU/周辺ハードウェア・クロックを生成します。

5.6 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5-1を参照）。

メイン・システム・クロック f_{MAIN}
・高速システム・クロック f_{MX}
 X1クロック f_x
 外部メイン・システム・クロック f_{EX}
・高速内蔵発振クロック f_{IH}
サブクロック f_{SUB}
・外部サブクロック f_{EXS}
PLLクロック f_{PLL}
低速内蔵発振クロック f_{IL}
CPU/周辺ハードウェア・クロック f_{CLK}

78K0R/Hx3では、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなど最低限の処理をしたりしてシステムを安全に終了することが可能となります。

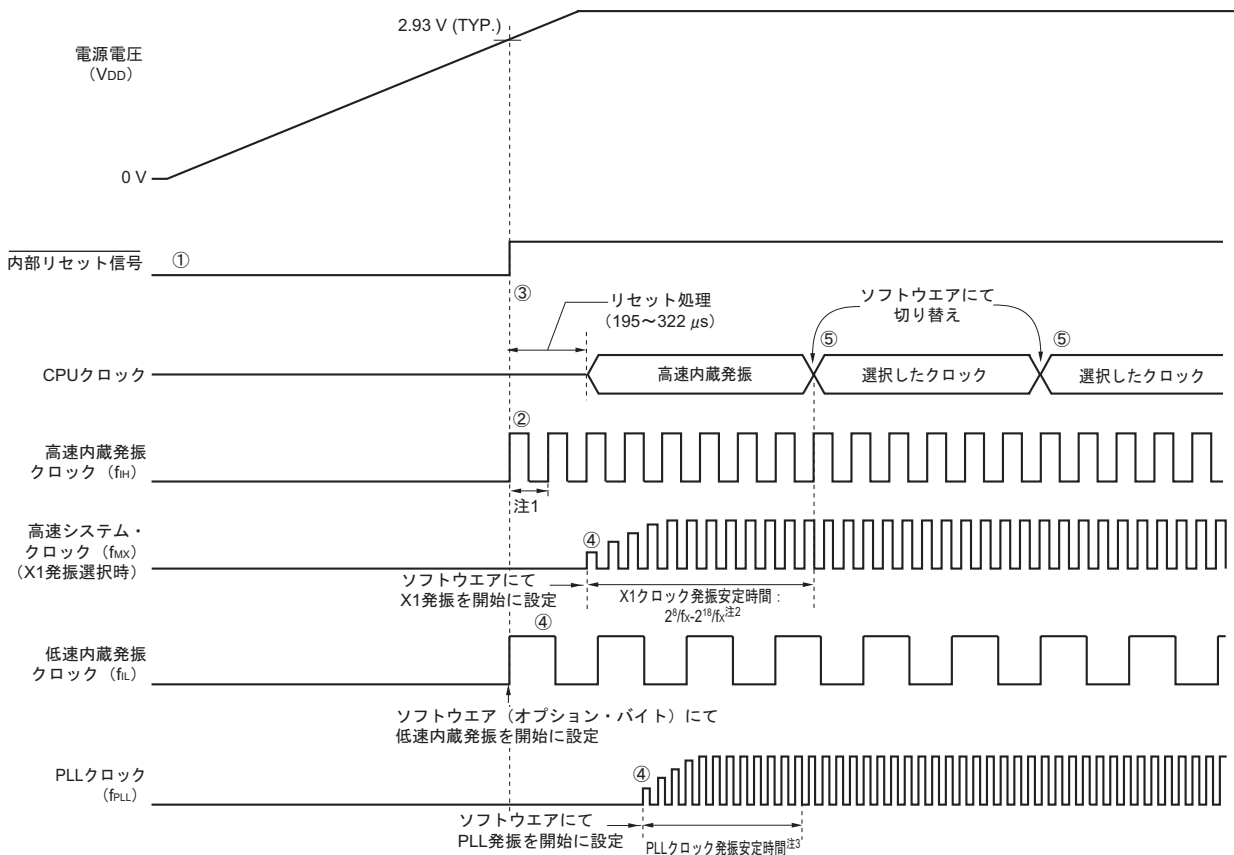
(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5-17に示します。

図5-17 電源電圧投入時のクロック発生回路の動作

(LVIデフォルト・スタート機能動作, 低速内蔵発振使用許可に設定時 (オプション・バイト: LVIOFF = 0, LIOUSE = 1))



電源投入後、低電圧検出 (LVI) 回路による内部リセット信号が発生されます。

電源電圧が2.93 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロック、低速内蔵発振クロック、PLLクロックはソフトウェアにて発振開始を設定してください (5. 7. 1 高速システム・クロックの制御例の (1), 5. 7. 4 PLLクロックの制御例の (1), 5. 7. 5 低速内蔵発振クロックの制御例を参照)。

CPUをX1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5. 7. 1 高速システム・クロックの制御例の (3), 5. 7. 3 低速内蔵発振クロックの制御例を参照)。

- 注1. 高速内蔵発振クロック、低速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。
3. PLLが動作開始時は、PLLがロック状態 (LOCK = 1) になるまでの時間が必要になります。

注意1. 電源電圧が1.61 V (TYP.) に達したあと、電圧安定待ち時間 (2.1~5.84 ms) が必要となります。1.61 V (TYP.) から2.93 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、リセット処理前に電圧安定待ち時間が自動的に発生します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます（5.7.1 高速システム・クロックの制御例の(4)、5.7.2 高速内蔵発振クロックの制御例の(3)、5.7.4 PLLクロックの制御例の(2)、5.7.5 低速内蔵発振クロックの制御例を参照）。

5.7 クロックの制御

5.7.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶／セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPU／周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定, 発振周波数の設定 (CMCレジスタ)

・ 2 MHz f_x 10 MHzの場合

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
0	1	0/1	0/1	0	0	0	0

・ 10 MHz $< f_x$ 20 MHzの場合

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
0	1	0/1	0/1	0	0	0	1

備考 P124端子の設定については、5.7.3 (1) サブクロックを発振する場合の設定手順例を参照してください。

CSCの操作許可

GDCSCを1に設定することでCSCの操作を許可します。

X1クロックの発振制御 (CSCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、EXCLKS, OSCSELSビットの値も同時に設定する必要があります。EXCLKS, OSCSELSビットについては、5.7.3 サブクロックの制御例を参照してください。

2. 電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定 (CMCレジスタ)

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
1	1	0/1	0/1	0	0	0	x

備考1. x : don't care

- P124端子の設定については、5.7.3 (1) 外部サブクロックを使用する場合の設定手順例を参照してください。

CSCの操作許可

GDCSCを1に設定することでCSCの操作を許可します。

外部メイン・システム・クロックの入力制御 (CSCレジスタ)

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。そのため、EXCLKS, OSCSELSビットの値も同時に設定する必要があります。EXCLKS, OSCSELSビットについては、5.7.3 サブクロックの制御例を参照してください。
- 電源電圧が、使用するクロックの動作可能電圧 (第29章 電気的特性を参照) に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注し、メイン・システム・クロックとして高速システム・クロックを選択 (MCM0 = 1)

(5.7.1 (1) X1クロックを発振する場合の設定手順例、または (2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合、 の設定は不要です。

PLLクロックの発振を設定^注

(5.7.4 (1) PLLクロックを発振する場合の設定手順例、または (2) PLLクロックを停止する場合の設定手順例を参照)

注 PLL使用時以外、 の設定は不要です。

PLLクロックをCPU/周辺ハードウェア・クロックに設定し、設定したクロックの分周比を設定 (CKCレジスタ)

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (fCLK) の選択
1	0	0	0	f _{PLL}
	0	0	1	f _{PLL} /2
	0	1	0	f _{PLL} /2 ²
	0	1	1	f _{PLL} /2 ³
	1	0	0	f _{PLL} /2 ⁴
	1	0	1	f _{PLL} /2 ⁵ 注

注 f_{mx} < 4 MHzのとき、設定禁止です。

使用しない周辺ハードウェアがある場合、周辺ハードウェアごとに、入力クロックの供給停止可能
(PER0レジスタ)

ADCEN	LIN1EN	LIN0EN	SAU1EN	SAU0EN	TAU2EN	TAU1EN	TAU0EN
-------	--------	--------	--------	--------	--------	--------	--------

(PER1レジスタ)

0	0	0	0	SAU2EN	0	WUTEN	DFLEN
---	---	---	---	--------	---	-------	-------

xxxEN	入力クロックの制御
0	入力クロック供給停止
1	入力クロック供給

注意 次のビットは必ず“0”に設定してください。

78K0R/HC3 : PER0レジスタのビット2, PER1レジスタのビット2-7

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : PER1レジスタのビット2, 4-7

備考	ADCEN	: A/Dコンバータの入力クロック制御
	LIN1EN	: LIN-UART1の入力クロック制御
	LIN0EN	: LIN-UART0の入力クロック制御
	SAU1EN	: シリアル・アレイ・ユニット1の入力クロック制御
	SAU0EN	: シリアル・アレイ・ユニット0の入力クロック制御
	TAU2EN	: タイマ・アレイ・ユニット2の入力クロック制御
	TAU1EN	: タイマ・アレイ・ユニット1の入力クロック制御
	TAU0EN	: タイマ・アレイ・ユニット0の入力クロック制御
	SAU2EN	: シリアル・アレイ・ユニット2の入力クロック制御
	WUTEN	: 16ビット・ウエイクアップ・タイマの入力クロック制御
	DFLEN	: データ・フラッシュの入力クロック制御

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止（外部クロックを使用している場合は、クロック入力無効）するには、次の2つの方法があります。

- ・ STOP命令を実行する
- ・ MSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第18章 スタンバイ機能を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します（外部クロック入力は無効になります）。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSで、CPUクロックがPLLクロックで動作しているかを確認します。

MCSで、メイン・システム・クロックが高速システム・クロック以外で動作しているかを確認します。CLS = 0, MCS = 1の場合、CPUに高速システム・クロック（クロック・スルー・モード（ $f_{PLL} = f_x$ ））あるいは高速システム・クロックを逡倍したPLLクロックが供給されていますので、CPUクロックを低速内蔵発振クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス	
		メイン・システム・クロック	CPU/周辺ハードウェア・クロック
0	0	高速内蔵発振クロック	PLLクロック
0	1	高速システム・クロック	PLLクロック
1	x	—	低速内蔵発振クロック

備考 f_{PLL} : PLLクロック周波数

f_x : X1クロック発振周波数

X1クロック発振再開後のX1クロックの発振安定時間の設定^注

MSTOPに1を設定する前までに、X1発振再開後にOSTCレジスタで確認したいカウント値より大きい値に、OSTSレジスタの値を設定します。

高速システム・クロックの停止（CSCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注 高速システム・クロックがX1発振モードで、あとでX1クロックを発振再開する場合に必要です。
外部クロック入力モード時は、設定不要です。

注意 MSTOPIに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。
また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.7.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPU/周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^注

高速内蔵発振クロック発振の再開の設定（CSCレジスタ）

HIOSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

注 リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPU/周辺ハードウェア・クロックとして選択されます。

(2) 高速内蔵発振クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例

高速内蔵発振クロックの発振を再開^注し、メイン・システム・クロックとして高速内蔵発振を選択（MCM0 = 0）

（5.7.2（1）高速内蔵発振クロックの発振を再開する場合の設定手順例を参照）。

注 高速内蔵発振クロック動作中の場合、 の設定は不要です。

PLLクロックの発振を設定^注

（5.7.4（1）PLLクロックを発振する場合の設定手順例、または（2）PLLクロックを停止する場合の設定手順例を参照）

注 PLLクロック使用時以外、 の設定は不要です。

PLLクロックをCPU/周辺ハードウェア・クロックに設定し、設定したクロックの分周比を設定（CKCレジスタ）

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (fclk) の選択
0	0	0	0	f_{PLL}
	0	0	1	$f_{PLL}/2$
	0	1	0	$f_{PLL}/2^2$
	0	1	1	$f_{PLL}/2^3$
	1	0	0	$f_{PLL}/2^4$
	1	0	1	$f_{PLL}/2^5$

注意 高速内蔵発振クロックを再開後に、メイン・システム・クロックを高速システム・クロックから高速内蔵発振クロックに切り替える場合は、10 μ s以上経過後に行ってください。再開直後に切り替えた場合は、10 μ s間の高速内蔵発振の精度が保証できません。

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- (a) STOP命令を実行する場合
- (b) HIOSTOPを1に設定する場合

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第18章 スタンバイ機能を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) HIOSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSで、CPUクロックがPLLクロックで動作しているかを確認します。

MCSで、メイン・システム・クロックが高速内蔵発振クロック以外で動作しているかを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロック（クロック・スルー・モード（ f_{PLL} = f_{IH} ））あるいは高速内蔵発振クロックを逡倍したPLLクロックが供給されていますので、CPUクロックを低速内蔵発振クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス	
		メイン・システム・クロック	CPU/周辺ハードウェア・クロック
0	0	高速内蔵発振クロック	PLLクロック
0	1	高速システム・クロック	PLLクロック
1	x	—	低速内蔵発振クロック

備考 f_{PLL} : PLLクロック周波数

f_{IH} : 高速内蔵発振クロック

CSCの操作許可

GDCSCを1に設定することでCSCの操作を許可します。

高速内蔵発振クロックの停止（CSCレジスタ）

HIOSTOPを1に設定すると、高速内蔵発振が停止します。

注意 HIOSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。

また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.7.3 サブクロックの制御例

EXCLKS端子からの外部クロック入力をサブクロックとして入力できます。

サブクロックはCPUクロックとして使用することはできません。サブクロックで動作するハードウェアはウエイクアップ・タイマのみです。

次の設定手順例を、以下に示します。

- (1) 外部サブクロックを使用する場合
- (2) サブクロックを停止する場合

(1) 外部サブクロックを使用する場合の設定手順例

P124/EXCLKS端子の設定（CMCレジスタ）

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
0/1	0/1	1	1	0	0	0	x

備考 1. x : don't care

2. P121/X1, P122/X2端子の設定については、5.7.1 高速システム・クロックの制御例を参照してください。

CSCの操作許可

GDCSCを1に設定することでCSCの操作を許可します。

外部サブクロックの入力制御 (CSCレジスタ)

XTSTOPを0に設定すると、外部サブクロックの入力が有効になります。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、EXCLK, OSCSELビットの値も同時に設定する必要があります。EXCLK, OSCSELビットについては、5.7.1 高速システム・クロックの制御例を参照してください。

2. 電源電圧が、使用するクロックの動作可能電圧（第29章 電気的特性を参照）に達してから、外部サブクロックの設定を行ってください。

(2) サブクロックを停止する場合の設定手順例

サブクロックの停止 (CSCレジスタ)

XTSTOPを1に設定すると、サブクロックが停止します。

注意 XTSTOPに1を設定するとき、サブクロックで動作している周辺ハードウェアがある場合は、その周辺ハードウェアの動作を停止してください。

5.7.4 PLLクロックの制御例

次の設定手順例を、以下に示します。

- (1) PLLクロックを発振する場合
- (2) PLLクロックを停止する場合

(1) PLLクロックを発振する場合の設定手順例

PLLCTLの操作許可

GDPLLを1に設定することでPLLCTLの操作を許可します。

PLL入力クロックの選択 (PLLCTLレジスタ)

PLLDIV0でPLL入力クロック (f_{PLLI}) を選択します。

PLLDIV0 = 0の場合、 f_{PLLI} は4 MHzとなります。

PLLDIV0 = 1の場合、 f_{PLLI} は8 MHzとなります。

PLL出力クロックの選択 (PLLCTLレジスタ)

PLLDIV1でPLL出力クロック (f_{PLLO}) を選択します。

PLLの動作開始

PLLONを1に設定するとPLLクロックは発振を開始します。

PLLのステータスを確認 (PLLSTSレジスタ)

LOCKでPLLがロック状態 (LOCK = 1) であることを確認します。

備考 f_{PLLI} : PLL入力クロック周波数

f_{PLL} : PLLクロック周波数

PLLクロック・モードの選択 (PLLCTLレジスタ)

SELPLLでPLLクロック・モードを選択します。

SELPLL = 1にしてPLLクロック選択モード (f_{MAIN} を通倍したクロック^注) に設定します。

注 PLLの通倍数はオプション・バイト (000C1H) のビット2 (OPTPLL) によって設定します。

また、PLLの入カクロックと通倍数の組み合わせは決まっています。詳細は、5.3 (11) PLL制御レジスタ (PLLCTL) を参照してください。

備考 f_{PLL} : PLLクロック周波数

f_{MAIN} : メイン・システム・クロック

PLLクロック・モードの確認 (PLLSTSレジスタ)

SELPLLSでPLLクロック・モードが選択されていることを確認します (SELPLLS = 1)。

PLLCTLの操作禁止

GDPLLを0に設定することでPLLCTLの操作を禁止します。

(2) PLLクロックを停止する場合の設定手順例

PLLクロックを停止するには、次の2つの方法があります。

- (a) STOP命令を実行し、STOPモードに移行する場合
- (b) PLLONを0に設定し、PLLクロックを停止する場合

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第18章 スタンバイ機能を参照してください)。

スタンバイ解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、PLLクロックは停止します。

(b) PLLONを0に設定し、PLLクロックを停止する場合

PLLCTLの操作許可

GDPLLを1に設定することでPLLCTLの操作を許可します。

PLLクロック・モードの選択 (PLLCTLレジスタ)

SELPLLでPLLクロック・モードを選択します。

SELPLL = 0にし、クロック・スルー・モード ($f_{\text{PLL}} = f_{\text{MAIN}}$) に設定します。

備考 f_{PLL} : PLLクロック周波数

f_{MAIN} : メイン・システム・クロック周波数

PLLクロック・モードの確認 (PLLSTSレジスタ)

クロック・スルー・モードになっている事 (SELPLLS = 0) を確認します。

PLLの動作停止

PLLONを0に設定するとPLLクロックは発振を停止します。

PLLCTLの操作禁止

GDPLLを0に設定することでPLLCTLの操作を禁止します。

5.7.5 低速内蔵発振クロックの制御例

78K0R/Hx3は、低速内蔵発振回路を内蔵しています (30 kHz (TYP.))。

オプション・バイト (000C1H) のビット7 (LIOUSE) の設定にてリセット解除後の発振動作を制御できます。

リセット解除後、オプションバイト (000C1H) のビット7 (LIOUSE) にて低速内蔵発振回路を動作許可に設定した場合は、低速内蔵発振回路は自動的に発振を開始します。

次の設定手順例を以下に示します。

- (1) 低速内蔵発振クロックを発振させる場合
- (2) 低速内蔵発振クロックをCPUクロックとして使用する場合

(1) 低速内蔵発振クロックを発振する場合の設定手順例

低速内蔵発振の動作許可 (オプション・バイト (000C1H))

LIOUSEを“1”に設定することで動作を許可します。

LIOUSE	LIOSTOPB	LIOYSYB	CLKMB	RESOUTB	OPTPLL	SEL4M	LVI OFF
1	x	x	x	x	x	x	x

備考1. オプション・バイトの設定については、詳細は第23章 オプション・バイトを参照してください。

2. x : don't care

低速内蔵発振の動作開始

リセット解除後、自動的に発振開始します。

(2) 低速内蔵発振クロックをCPUクロックとして使用する場合の設定手順例

低速内蔵発振の動作, CPU/周辺ハードウェア・クロックに選択許可 (オプション・バイト (000C1H))

LIOUSEを“1”, LIOYSYBを“0”に設定することで動作とCPUクロックへの選択を許可します。

LIOUSE	LIOSTOPB	LIOYSYB	CLKMB	RESOUTB	OPTPLL	SEL4M	LVI OFF
1	x	0	x	x	x	x	x

備考1. オプション・バイトの設定については、詳細は第23章 オプション・バイトを参照してください。

2. x : don't care

低速内蔵発振クロックをCPU/周辺ハードウェア・クロックに設定 (CKCレジスタ)

CLS	CSS	MCS	MCM0	0	MDIV2	MDIV1	MDIV0
1	1	x	x	0	x	x	x

備考 x : don't care

注意 低速内蔵発振クロックをCPUクロックとして使用する場合、同時に周辺ハードウェア・クロックにも低速内蔵発振クロックが供給されます。このとき、A/Dコンバータの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性を参照してください。

表5-4 低速内蔵発振とウォッチドッグ・タイマの動作/停止制御

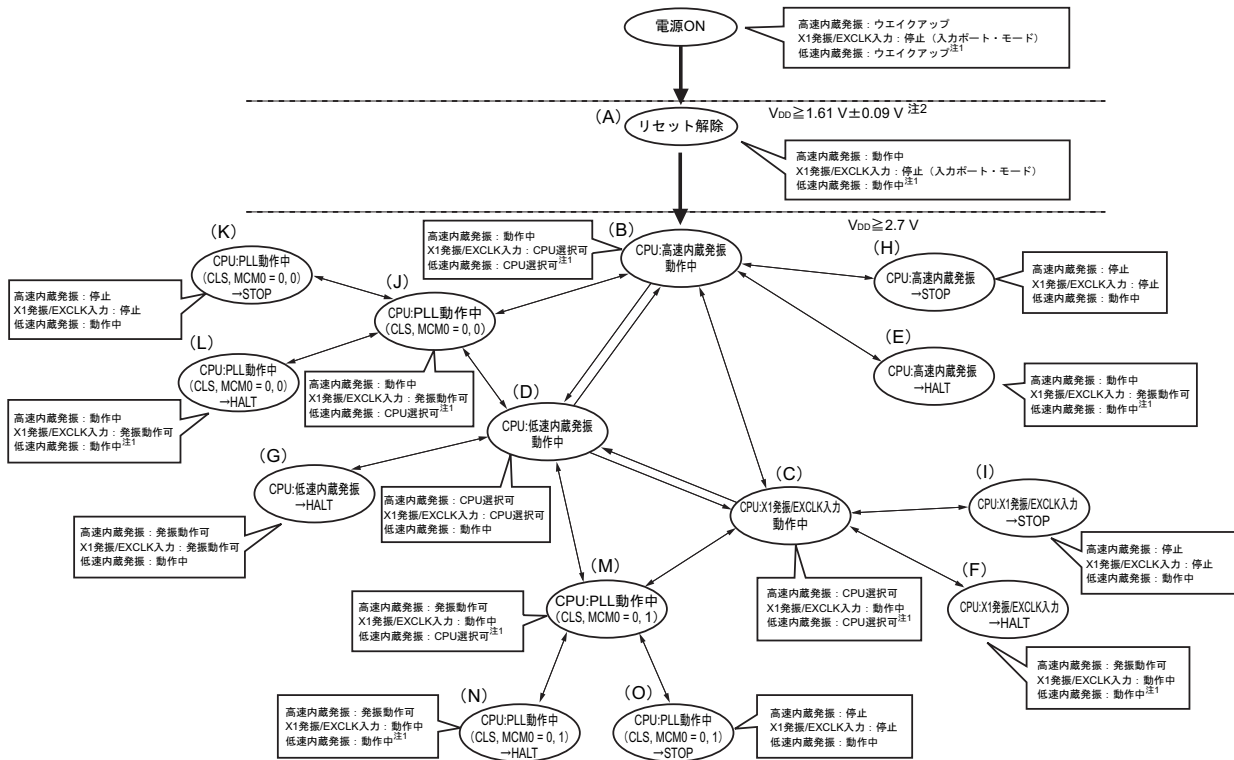
オプション・バイト (000C1H)		オプション・バイト (000C0H)		CPU状態	低速内蔵発振 クロック動作状態	ウォッチドッグ・ タイマ動作状態
LIOUSE	LIOSTOPB	WDTON	WDSTBYON			
0	x	x	x	x	停止	停止
1	0	0	x	RUN/HALT	動作	停止
				STOP	停止	停止
1	0	1	0	RUN	動作	動作
				HALT	動作	停止
				STOP	停止	停止
1	0	1	1	RUN/HALT	動作	動作
				STOP	停止	停止
1	1	0	x	x	動作	停止
1	1	1	0	RUN	動作	動作
				HALT	動作	停止
				STOP	動作	停止
1	1	1	1	x	動作	動作

注意 CPUクロックに低速内蔵発振クロックを選択している場合、STOP命令は実行禁止です。

5.7.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-18に示します。

図5-18 CPUクロック状態移行図



注 1. LIOUSE = 1, LIOSYSB = 0の場合。LIOUSE = 0の場合は停止。

2. LIOUSE = 1の場合。LIOUSE = 0またはLIOUSE = 1かつLIOSTOPB = 0の場合は停止。

注意 (B) → (D) → (C), (C) → (D) → (B) の順での遷移は禁止です。

備考 オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.93\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

そしてリセット処理後に上図の (B) に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表5-5に示します。

表5-5 CPUクロックの移行とSFRレジスタの設定例 (1/5)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(設定順序) →

状態遷移	設定フラグ	CMCレジスタ			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
		EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0
(A) → (B) → (C) (X1クロック : 2 MHz f_x 10 MHz)		0	1	0	0	0	確認 必要	1
(A) → (B) → (C) (X1クロック : 10 MHz < f_x 20 MHz)		0	1	1	0	1 ^注	確認 必要	1
(A) → (B) → (C) (外部メイン・クロック)		1	1	x	0	0/1	確認 不要	1

注 $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して f_{CLK} 10 MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(3) ・リセット解除後 (A) に、CPUを低速内蔵発振クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(設定順序) →

状態遷移	設定内容	オプション・バイト (000C1H)		CKCレジスタ
		LIOUSE	LIOYSB	CSS
(A) → (B) → (D)		1	0	1

備考 表5-5の (A) - (O) は、図5-18の(A) - (O) と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例 (2/5)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(設定順序) →

状態遷移	設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
		EXCLK	OSCSEL	AMPH					
(B) → (C) (X1クロック : 2 MHz f_x 10 MHz)		0	1	0	注2	0	0	確認 必要	1
(B) → (C) (X1クロック : 10 MHz < f_x 20 MHz)		0	1	1	注2	0	1 ^{注3}	確認 必要	1
(B) → (C) (外部メイン・クロック)		1	1	x	注2	0	0/1	確認 不要	1

設定済みの場合は不要
高速システム・クロック
動作中の場合は不要

注1. CMCレジスタは、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。 $f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧（第29章 電気的特性を参照）に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(5) CPUを高速内蔵発振クロック動作 (B) または高速システム・クロック動作 (C) から、低速内蔵発振クロック動作 (D) へ移行

(設定順序) →

状態遷移	設定内容	オプション・バイト (000C1H)		CKCレジスタ
		LIOUSE	LIOYSB	CSS
(B) → (D)		1	0	1
(C) → (D)				

備考 表5-5の (A) - (O) は、図5-18の(A) - (O) と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例 (3/5)

- (6) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・ CPUが低速内蔵発振クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G)	HALT命令を実行する

- (7) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (H)	X1停止時	STOPモード中に動作できない周辺機能を停止する	—	STOP命令を実行する
	X1発振時		OSTSレジスタを設定する	
(C) → (I)				

- (8) ・ CPUを高速内蔵発振クロック動作 (B) から高速内蔵発振クロックによるPLLクロック動作 (J) へ移行
 ・ CPUを高速システム・クロック動作 (C) から高速システム・クロックによるPLLクロック動作 (M) へ移行

(設定順序) →

設定フラグ 状態遷移	オプション・ バイト (000C1H)	PLLCTL レジスタ			PLLSTS レジスタ	PLLCTL レジスタ	PLLSTS レジスタ
	OPTPLL	PLLDIV0	PLLDIV1	PLLON	LOCK	SELPLL	SELPLLS
(B) → (J)	0/1	0/1	0/1	1	確認	1	確認
(C) → (M)					必要		必要

- (9) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(設定順序) →

設定フラグ 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	10 μs	0

高速内蔵発振クロック
動作中の場合は不要

備考 表5-5の (A) - (O) は、図5-18の(A) - (O) と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例 (4/5)

(10) CPUを低速内蔵発振クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

設定フラグ		CSC レジスタ		CKC レジスタ	
		HIOSTOP		MCM0	CSS
状態遷移	(D) → (B)	0		0	0

(設定順序) →

高速内蔵発振
クロック動作中
の場合は不要

変更禁止

(11) CPUを低速内蔵発振クロック動作 (D) から高速システム・クロック動作 (C) へ移行

設定フラグ		CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ	
		EXCLK	OSCSSEL	AMPH					MSTOP	CSS
状態遷移	(D) → (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1	0
	(D) → (C) (X1クロック : 10 MHz <math><f_x</math> 24 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1	0
	(D) → (C) (外部メイン・ クロック)	1	1	0/1	注2	0	0/1	確認 不要	1	0

(設定順序) →

設定済みの場合は不要

高速システム・クロック
動作中の場合は不要

変更禁止

注1. CMCレジスタは、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。 $f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} < 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧（第29章 電気的特性を参照）に電源電圧が達してから、クロックを設定してください。

備考 表5-5の (A) - (O) は、図5-18の(A) - (O) と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例 (5/5)

- (12) ・CPUを高速内蔵発振クロックによるPLLクロック動作 (J) から、高速内蔵発振クロック動作 (B) へ移行
 ・CPUを高速システム・クロックによるPLLクロック動作 (M) から、高速システム・クロック動作 (C) へ移行

(設定順序) →

状態遷移	設定フラグ	PLLCTL レジスタ	PLLSTS レジスタ	PLLCTL レジスタ
		SELPLL	SELPLLS	PLLON
(J) → (B)		0	確認必要	0
(M) → (C)				

- (13) ・CPUを高速内蔵発振クロックによるPLLクロック動作 (J) から、低速内蔵発振クロック動作 (D) へ移行
 ・CPUを高速システム・クロックによるPLLクロック動作 (M) から、低速内蔵発振クロック動作 (D) へ移行

(設定順序) →

状態遷移	設定内容	オプション・バイト (000C1H)		CKCレジスタ
		LIOUSE	LIOSYSB	CSS
(J) → (D)		1	0	1
(M) → (D)				

- (14) ・CPUが高速内蔵発振クロックによるPLLクロック動作中 (J) にSTOPモード (K) へ移行
 ・CPUが高速システム・クロックによるPLLクロック動作中 (M) にSTOPモード (O) へ移行

(設定順序) →

状態遷移		設定内容		
(J) → (K)		STOPモード中に動作できない周辺機能を停止する	—	STOP命令を実行する
(M) → (O)	X1停止時		OSTSレジスタを設定する	
	外部クロック		—	

- (15) ・CPUが高速内蔵発振クロックによるPLLクロック動作中 (J) にHALTモード (L) へ移行
 ・CPUが高速システム・クロックによるPLL動作中 (M) にHALTモード (N) へ移行

状態遷移	設定内容
(J) → (L)	HALT命令を実行する
(M) → (N)	

備考 表5-5の (A) - (O) は、図5-18の(A) - (O) と対応しています。

5.7.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-6 CPUクロックの移行について

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	低速内蔵発振クロック	低速内蔵発振が安定していること ・ CSS = 1, LIOUSE = 1, LIOSYSB = 0	
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	—
	低速内蔵発振クロック	低速内蔵発振が安定していること ・ CSS = 1, LIOUSE = 1, LIOSYSB = 0	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	—
	低速内蔵発振クロック	低速内蔵発振が安定していること ・ CSS = 1, LIOUSE = 1, LIOSYSB = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
低速内蔵発振クロック	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	—
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	

備考 LIOUSE : オプション・バイト (000C1H) のビット7

LIOSYSB : オプション・バイト (000C1H) のビット5

5.7.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット0-2, 4（MDIV0-MDIV2, MCM0）との設定により、メイン・システム・クロックの切り替え（高速内蔵発振クロック→高速システム・クロック）およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は、CKCを書き換えた直後ではなく、CKCを変更したのち、数クロックは切り替え前のクロックで動作します（表5-7～表5-11参照）。

CPUクロックとなるメイン・システム・クロックが高速システム・クロックで動作しているか、高速内蔵発振クロックで動作しているかは、CKCのビット5（MCS）で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-7 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	タイプ
f_{IH}	←→	f_{MX}	タイプ2（表5-9参照）
f_{PLL}	←→	f_{IL}	タイプ3（表5-10参照）
f_{PLL}	←→ (分周比変更)	f_{PLL}	タイプ1（表5-8参照）
f_{IL}	←→ (分周比変更)	f_{IL}	タイプ1（表5-8参照）
f_{PLL} (SELPLLでクロック・スルー・モード (f_{MAIN})を選択時)	←→ (PLL動作モード変更)	f_{PLL} (SELLPLでPLLクロック選択モード (f_{PLLO})を選択時)	タイプ4（表5-11参照）

表5-8 タイプ1で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		$1 + f_A/f_B$ クロック
クロックB	$1 + f_B/f_A$ クロック	

表5-9 タイプ2で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} \geq f_{IH}$		$1 + f_{IH}/f_{MX}$ クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$ クロック
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} \geq f_{IH}$	$2f_{MX}/f_{IH}$ クロック	
	$f_{MX} < f_{IH}$	$1 + f_{MX}/f_{IH}$ クロック	

（備考は次頁にあります。）

表5-10 タイプ3で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{IL})
0 (f _{CLK} = f _{MAIN})		1 + 2f _{MAIN} /f _{IL} クロック
1 (f _{CLK} = f _{IL})	2 + f _{IL} /f _{MAIN} クロック	

表5-11 タイプ4で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
SELPLL	SELPLL	
	0 (f _{PLL} = f _{MAIN})	1 (f _{PLL} = f _{PLLO})
0 (f _{PLL} = f _{MAIN})		1 + f _{MAIN} /f _{PLL} クロック
1 (f _{PLL} = f _{PLLO})	2f _{PLL} /f _{MAIN} クロック	

備考1. 表5-8から表5-11のクロック数は、切り替え前のCPUクロックのクロック数です。

2. 表5-8から表5-11のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2 \text{クロック}$$

5.7.9 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5-12 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
PLLクロック	SELPLLSS = 0またはCLS = 1 (CPUクロックがPLLクロック以外で動作)	PLLON = 0

第6章 タイマ・アレイ・ユニット

製品	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
TAU				
16ビット・タイマ	16	20		24
タイマ・アレイ・ユニット	2	3		

タイマ・アレイ・ユニットには最大3つのユニットがあります。タイマ・アレイ・ユニット0は8つの16ビット・タイマを、タイマ・アレイ・ユニット1, 2は4つまたは8つの16ビット・タイマを搭載しています。各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせて高度なタイマ機能として使用することもできます。

単体動作機能	連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ ・ 方形波出力 ・ 外部イベント・カウンタ ・ 分周器機能 ・ 入力パルス間隔測定 ・ 入力信号のハイ/ロウ・レベル幅測定 	<ul style="list-style-type: none"> ・ PWM出力 ・ ワンショット・パルス出力 ・ 多重PWM出力

またタイマ・アレイ・ユニット1のチャンネル2, 3は、LIN-UART0, 1と連携し、LIN-bus受信処理を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネルで動作する機能

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です（詳細は6. 6. 1 単体動作機能と連動動作機能の概要参照）。

(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(2) 方形波出力

INTTMmnの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TOmn) より出力します。

(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。

(4) 分周器機能

タイマ入力端子 (TImn) から入力されたクロックを、分周して出力端子 (TOmn) より出力します。

(5) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

【分周器機能の場合】

m : ユニット番号 (m = 0, 1)

n : チャネル番号 (n = 0-7)

mn = 05, 11 : 78K0R/HC3, 78K0R/HE3, mn = 00-02, 04-07, 10-17 : 78K0R/HF3,

mn = 00-07, 10-17 : 78K0R/HG3

6.1.2 複数チャンネルで動作する機能

連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる機能です（詳細は6.6.1 単体動作機能と連動動作機能の概要参照）。

(1) PWM (Pulse Width Modulator) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

(2) ワンショット・パルス出力

2チャンネルをセットで使用し、ディレイとパルス幅を任意に設定できるワンショット・パルスを生成します。

(3) 多重PWM (Pulse Width Modulator) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルとして使用することで、周期一定で任意のデューティのPWM信号を最大7種類生成することができます。

6.1.3 LIN-bus対応機能（タイマ・アレイ・ユニット1のチャンネル2, 3のみ）

(1) ウェイクアップ信号の検出

LIN-UART0, 1のシリアル・データ入力端子（LRxD0, LRxD1）に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) シンク・ブレイク・フィールドの検出

ウェイクアップ信号検出後、LIN-UART0, 1のシリアル・データ入力端子（LRxD0, LRxD1）に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、シンク・ブレイク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレイク・フィールド検出後、LIN-UART0, 1のシリアル・データ入力端子（LRxD0, LRxD1）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI07, TI10-TI17, TI20-TI27端子
タイマ出力	TO00-TO07, TO10-TO17, TO20-TO27端子, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSm) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOM) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタmn (TSRmn) ・ノイズ・フィルタ許可レジスタ1-3 (NFEN1-NFEN3) ・タイマ入力選択レジスタ0, 1 (TIS0, TIS1) ・タイマ出力選択レジスタ0, 1 (TOS0, TOS1) ・シリアル通信端子選択レジスタ (STSEL) ・ポート・モード・レジスタ0, 1, 3-7, 12, 15 (PM0, PM1, PM3-PM7, PM12, PM15) ・ポート・レジスタ0, 1, 3-7, 12, 15 (P0, P1, P3-P7, P12, P15)

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

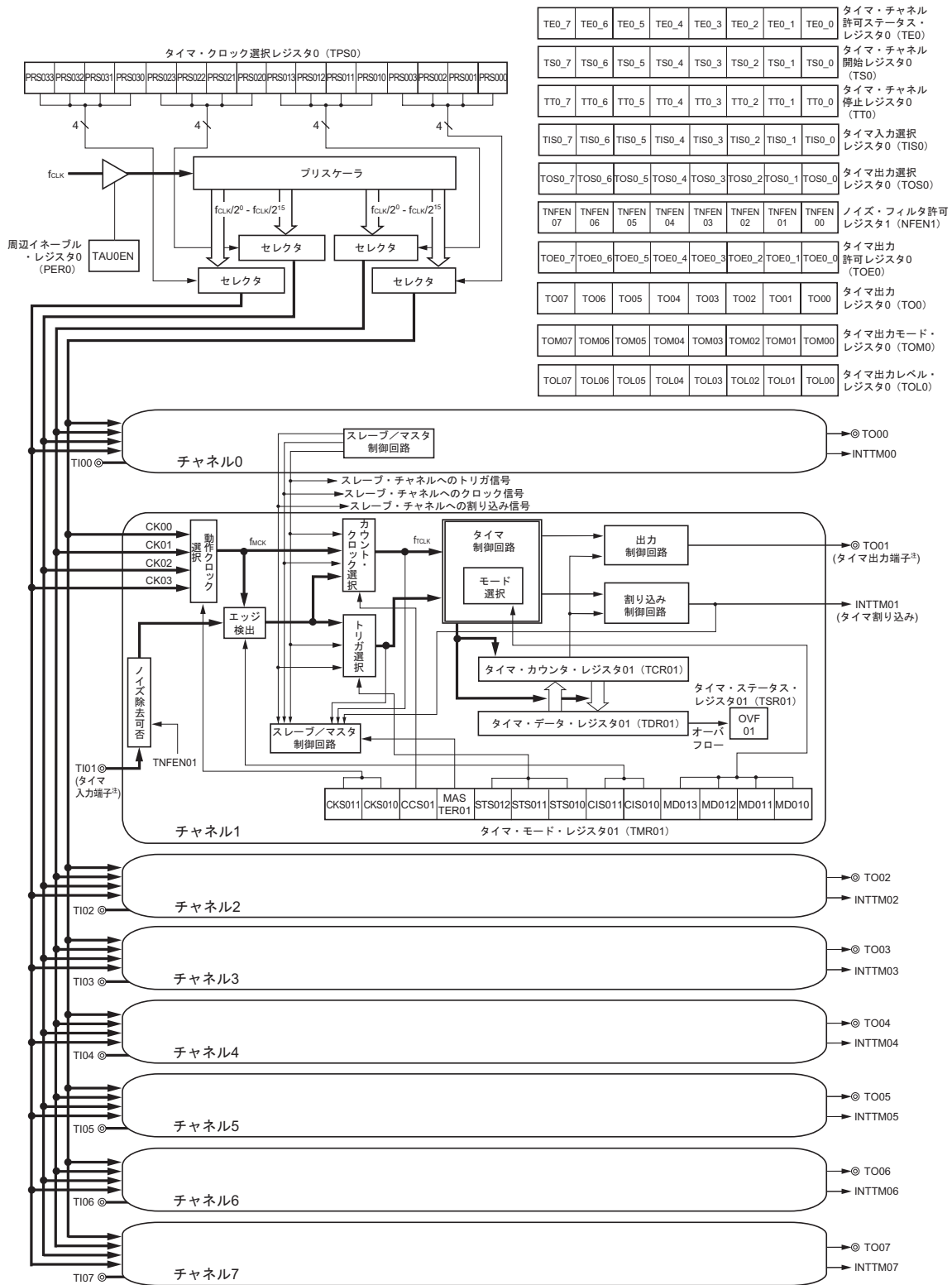
n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

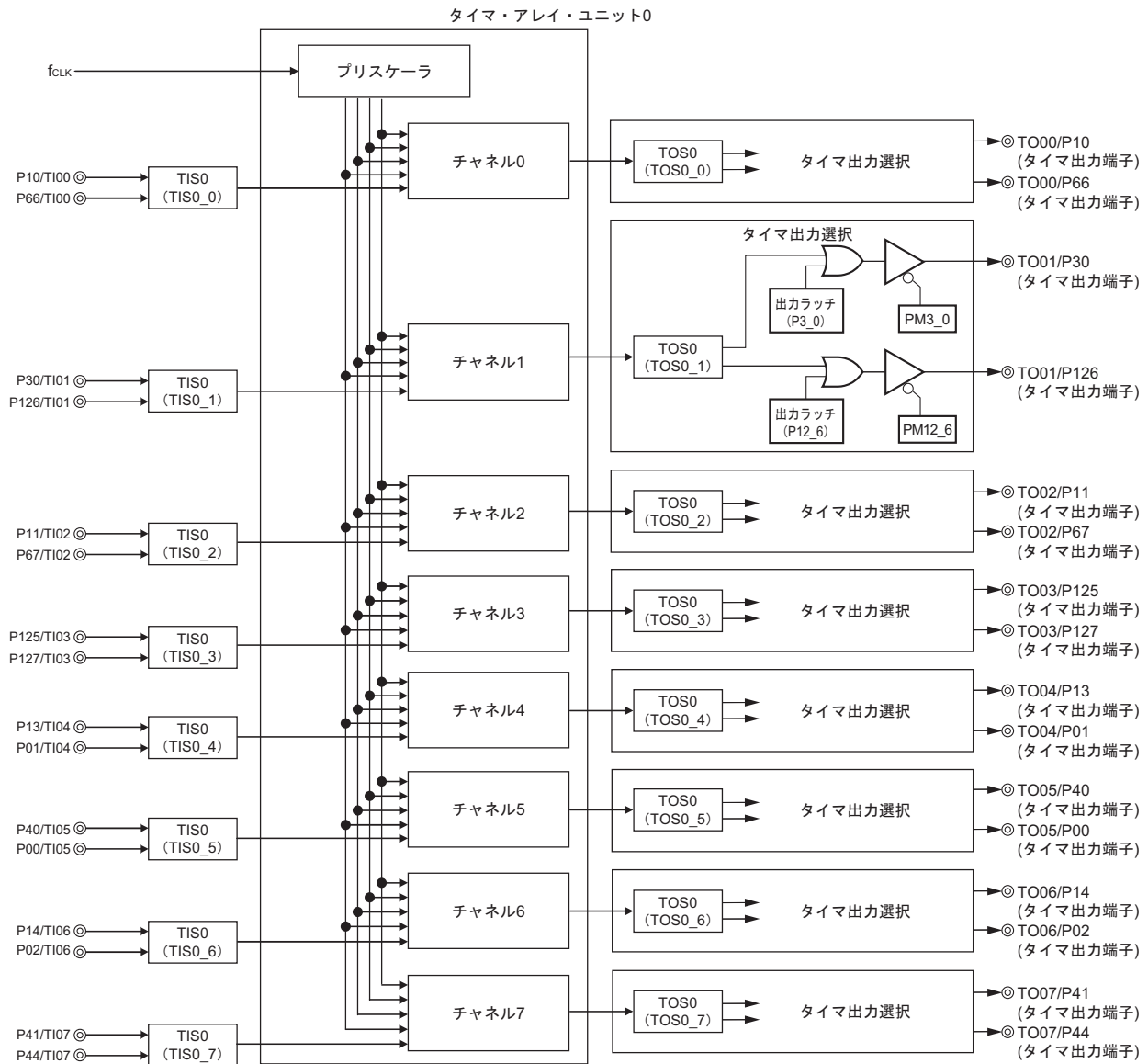
図6-1, 6-3, 6-5にブロック図を示します。

図6-1 タイマ・アレイ・ユニット0のブロック図



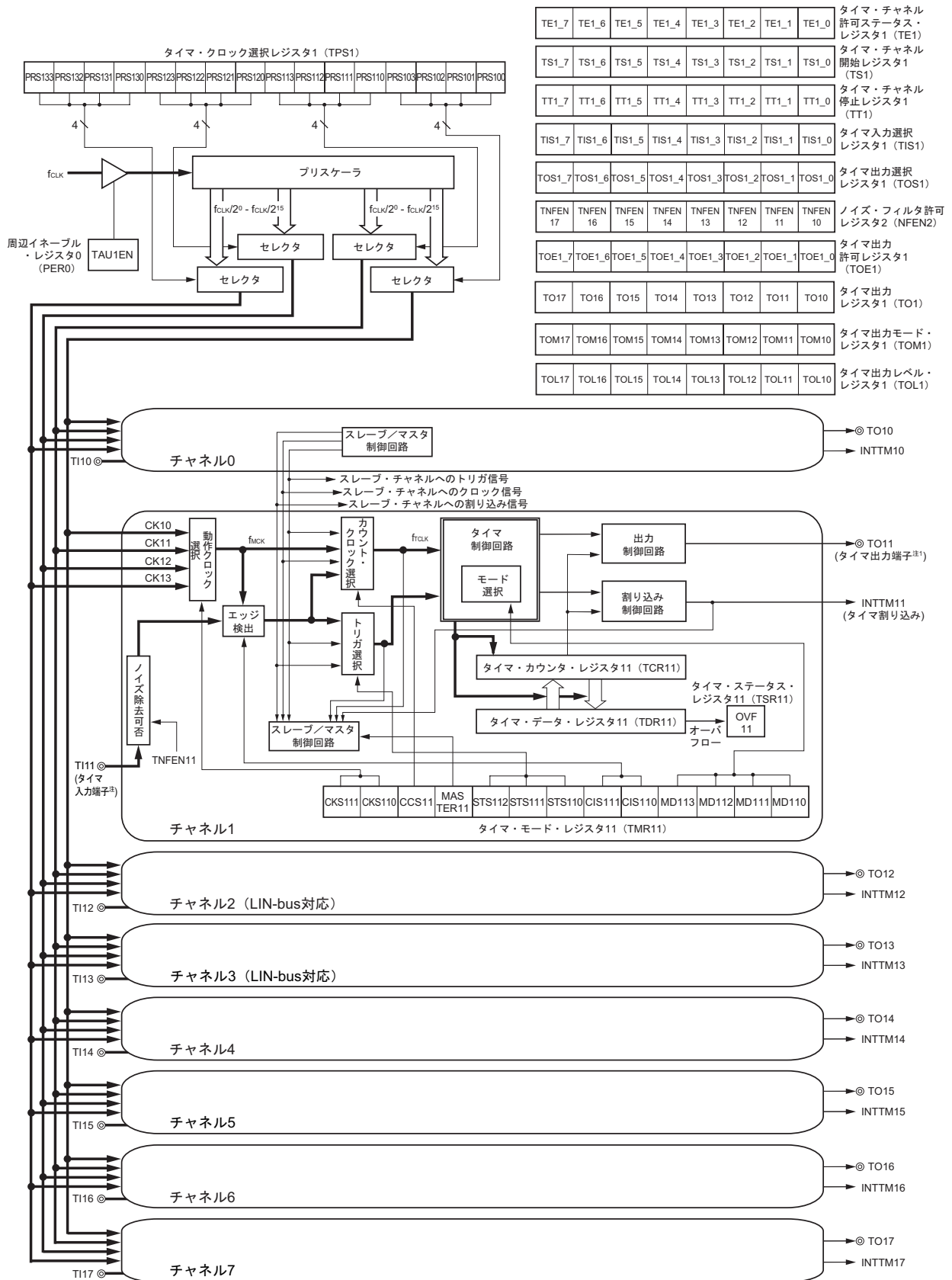
注 タイマ入力端子選択、タイマ出力選択に関しては図6-2を参照してください。

図6-2 タイマ・アレイ・ユニット0のポート構成図



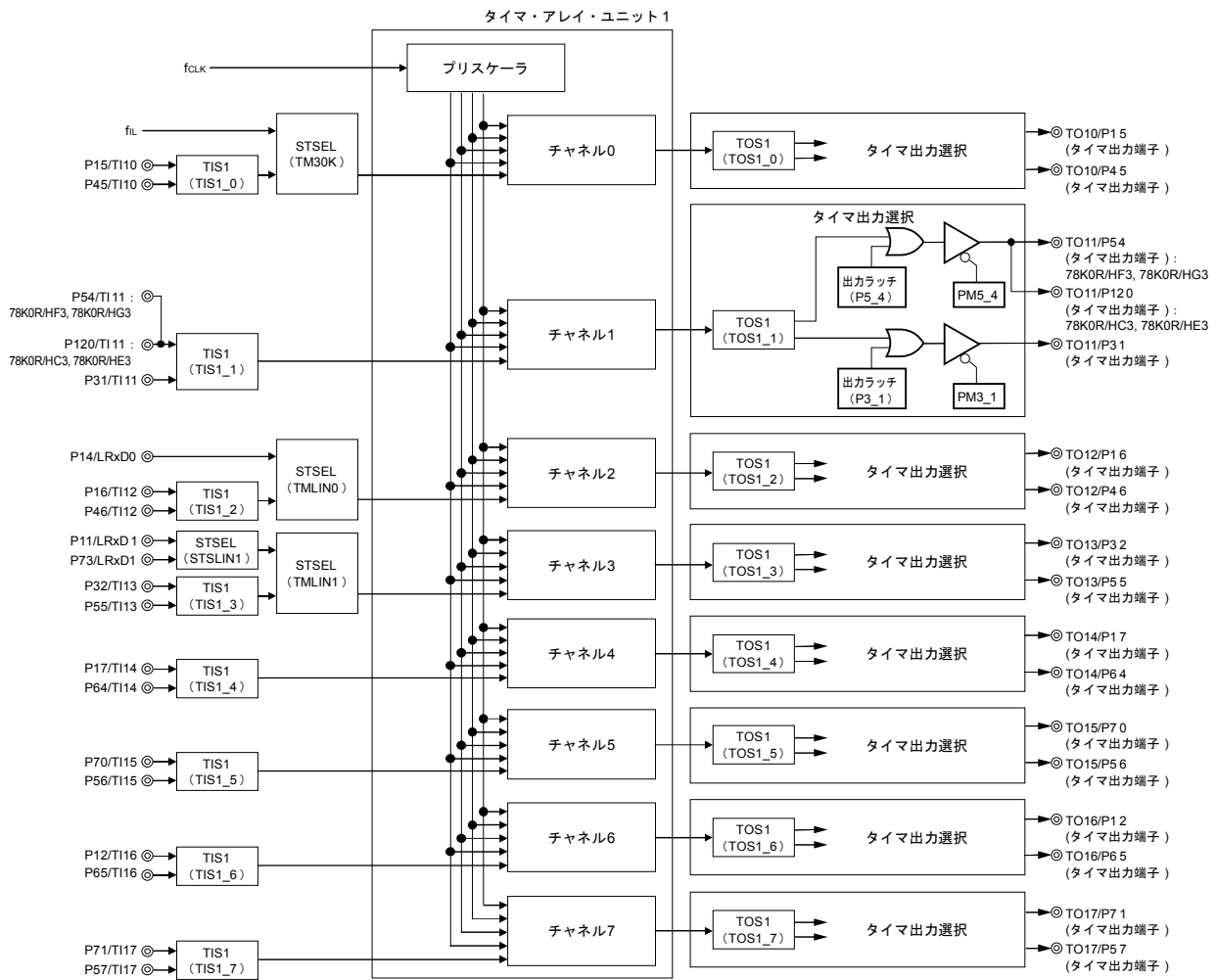
備考 製品によって搭載されている端子が異なります。詳細は、6.3(13)タイマ入力選択レジスタ0, 1 (TIS0, TIS1), 6.3(14)タイマ出力選択レジスタ0, 1 (TOS0, TOS1) を参照してください。

図6-3 タイマ・アレイ・ユニット1のブロック図



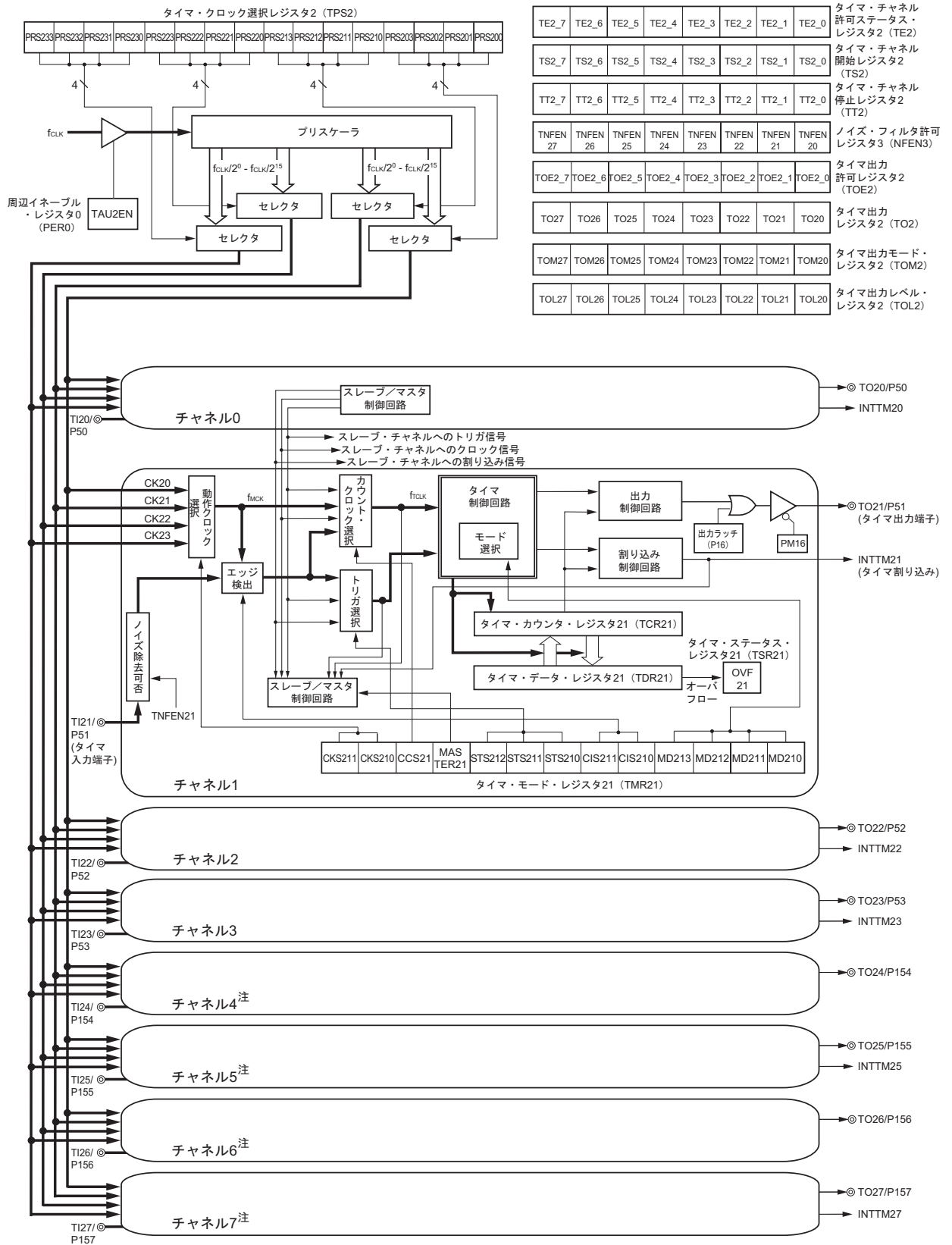
注 タイマ入力端子選択, タイマ出力端子選択に関しては図6-4を参照してください。

図6-4 タイマ・アレイ・ユニット1のポート構成図



備考 製品によって搭載されている端子が異なります。詳細は、6.3(13)タイマ入力選択レジスタ0, 1 (TIS0, TIS1), 6.3(14)タイマ出力選択レジスタ0, 1 (TOS0, TOS1) を参照してください。

図6-5 タイマ・アレイ・ユニット2のブロック図 (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)



注 78K0R/HG3のみ

(1) タイマ・カウンタ・レジスタmn (TCRmn)

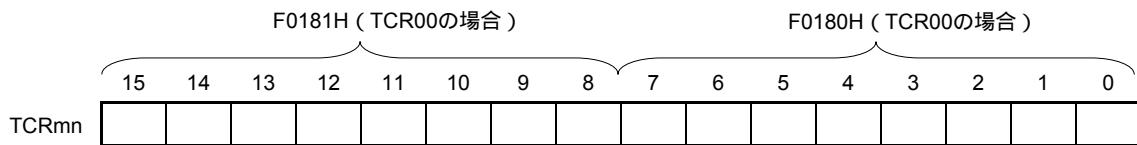
TCRmnは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、TMRmnのMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

図6-6 タイマ・カウンタ・レジスタmn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) , リセット時 : FFFFH R
 F01C0H, F01C1H (TCR10) - F01CEH, F01CFH (TCR17) ,
 F0200H, F0201H (TCR20) - F020EH, F020FH (TCR27)



TCRmnをリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビット (TAU0の場合) , TAU1ENビット (TAU1の場合) , TAU2ENビット (TAU2の場合) をクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnをリードしても、TDRmnにはキャプチャしません。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/H3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/H3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3, mn =

00-07, 10-17, 20-27 : 78K0R/HG3

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-2 各動作モード時のTCRmnレジスタ読み出し値

動作モード	カウント方式	TCRmnレジスタの読み出し値 ^注			
		リセット後に 動作モード変更	カウント動作を 一時停止 (TTm_n = 1) 後、動作モード 変更	カウント動作を 一時停止 (TTm_n = 1) 後、動作再開	ワンカウント後 のスタート・ト リガ待ち状態時
インターバル・タイマ・ モード	ダウン・カウント	FFFFH	不定	停止値	—
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	—
イベント・カウンタ・ モード	ダウン・カウント	FFFFH	不定	停止値	—
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウ ント・モード	アップ・カウント	0000H	不定	停止値	TDRmnレジ スタのキャプチャ 値+1

注 TEm_n = 0でTSm_n = 1にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(2) タイマ・データ・レジスタmn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、TMRmnのMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

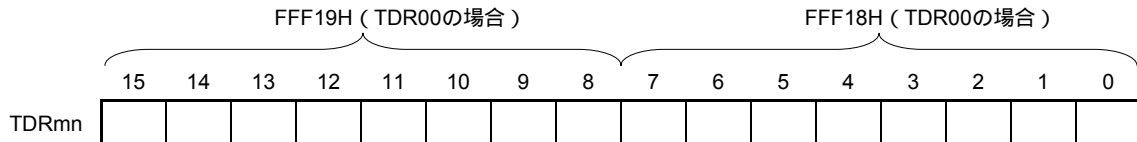
TDRmnは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-7 タイマ・データ・レジスタmn (TDRmn) のフォーマット

アドレス : FFF18H, FFF19H (TDR00) , FFF1AH, FFF1BH (TDR01) , リセット時 : 0000H R/W
 FFF64H, FFF65H (TDR02) - FFF6EH, FFF6FH (TDR07) ,
 FFF70H, FFF71H (TDR10) - FFF7EH, FFF7FH (TDR17) ,
 FFF90H, FFF91H (TDR20) - FFF9EH, FFF9FH (TDR27)



(i) TDRmnをコンペア・レジスタとして使用するとき

TDRmnに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTMmn) を発生します。TDRmnは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) TDRmnをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TCRmnのカウント値をTDRmnにキャプチャします。

キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、TMRmnで設定します。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)
- ・ノイズ・フィルタ許可レジスタ1-3 (NFEN1-NFEN3)
- ・タイマ入力選択レジスタ0, 1 (TIS0, TIS1)
- ・タイマ出力選択レジスタ0, 1 (TOS0, TOS1)
- ・シリアル通信端子選択レジスタ (STSEL)
- ・ポート・モード・レジスタ0, 1, 3-7, 12, 15 (PM0, PM1, PM3-PM7, PM12, PM15)
- ・ポート・レジスタ0, 1, 3-7, 12, 15 (P0, P1, P3-P7, P12, P15)

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
n : チャンネル番号 (n = 0-7)
mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用するときは、ビット0 (TAU0EN) を必ず1に設定してください。

タイマ・アレイ・ユニット1を使用するときは、ビット1 (TAU1EN) を必ず1に設定してください。

タイマ・アレイ・ユニット2を使用するときは、ビット2 (TAU2EN) を必ず1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-8 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	ADCEN	LIN1EN	LIN0EN	SAU1EN	SAU0EN	TAU2EN	TAU1EN	TAU0EN

TAUmEN	タイマ・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットmで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタm (TISm)、タイマ出力選択レジスタm (TOSm)、ノイズ・フィルタ許可レジスタ1-3 (NFEN1-NFEN3)、シリアル通信端子選択レジスタ (STSEL)、ポート・モード・レジスタ0, 1, 3-7, 12, 15 (PM0, PM1, PM3-PM7, PM12, PM15)、ポート・レジスタ0, 1, 3-7, 12, 15 (P0, P1, P3-P7, P12, P15) は除く)。

2. 78K0R/HC3の場合は、ビット2に必ず“0”を設定してください。

備考 m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

(2) タイマ・クロック選択レジスタm (TPSm)

TPSmは、各チャンネルに共通して供給される4種類の動作クロック (CKm0-CKm3) を選択する16ビット・レジスタです。TPSmの15-12ビットでCKm3を、TPSmの11-8ビットでCKm2を、TPSmの7-4ビットでCKm1を、3-0ビットでCKm0を選択します。

タイマ動作中のTPSmの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットの書き換え :

CKSmn0 = 0, CKSmn1 = 0に設定しているチャンネルがすべて動作停止状態 (TE_{m_n} = 0) の場合のみ可能

PRSm10-PRSm13ビットの書き換え :

CKSmn0 = 1, CKSmn1 = 0に設定しているチャンネルがすべて動作停止状態 (TE_{m_n} = 0) の場合のみ可能

PRSm20-PRSm23ビットの書き換え :

CKSmn0 = 0, CKSmn1 = 1に設定しているチャンネルがすべて動作停止状態 (TE_{m_n} = 0) の場合のみ可能

PRSm30-PRSm33ビットの書き換え :

CKSmn0 = 1, CKSmn1 = 1に設定しているチャンネルがすべて動作停止状態 (TE_{m_n} = 0) の場合のみ可能

TPSmは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSmは0000Hになります。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-9 タイマ・クロック選択レジスタm (TPSm) のフォーマット

アドレス : F01B6H, F01B7H (TPS0) , F01F6H, F01F7H (TPS1) リセット時 : 0000H R/W
F0236H, F0237H (TPS2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	PRS m33	PRS m32	PRS m31	PRS m30	PRS m23	PRS m22	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^注				
				f _{CLK} = 2 MHz	f _{CLK} = 6 MHz	f _{CLK} = 12 MHz	f _{CLK} = 24 MHz	
0	0	0	0	f _{CLK}	2 MHz	6 MHz	12 MHz	24 MHz
0	0	0	1	f _{CLK} /2	1 MHz	3 MHz	6 MHz	12 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.5 MHz	3 MHz	6 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	750 kHz	1.5 MHz	3 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	375 kHz	750 kHz	1.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	187.5 kHz	375 kHz	750 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	93.75 kHz	187.5 kHz	375 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	46.87 kHz	93.75 kHz	187.5 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	23.43 kHz	46.87 kHz	93.75 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	11.71 kHz	23.43 kHz	46.87 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	5.85 kHz	11.71 kHz	23.43 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.92 kHz	5.85 kHz	11.71 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.46 kHz	2.92 kHz	5.85 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	732.42 Hz	1.46 kHz	2.92 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	366.21 Hz	732.42 Hz	1.46 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	183.10 Hz	366.21 Hz	732.42 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。
カウント・クロック (f_{CLK}) にCKSmnビットで指定した動作クロック (f_{CK}), またはTImn端子からの入力信号の有効エッジを選択している場合でも停止する必要があります。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
n : チャネル番号 (n = 0-7)
k = 0-3
mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(3) タイマ・モード・レジスタmn (TMRmn)

TMRmnは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, カウント・クロックの選択, マスタ/スレーブの選択, スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワン・カウント, キャプチャ&ワン・カウント) 設定を行います。

TMRmnは、動作中 (TE_m = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_m = 1のとき) の書き換えが可能です (詳細は6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作, 6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を参照)。

TMRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図6-10 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
F01D0H, F01D1H (TMR10) - F01DEH, F01DFH (TMR17)
F0210H, F0211H (TMR20) - F021EH, F021FH (TMR27)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn1	CKS mn0	0	CCS mn0	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (f _{MCK}) の選択
0	0	TPSmレジスタで設定した動作クロックCKm0
0	1	TPSmレジスタで設定した動作クロックCKm1
1	0	TPSmレジスタで設定した動作クロックCKm2
1	1	TPSmレジスタで設定した動作クロックCKm3

動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS_{mn}ビットの設定によりカウント・クロック (f_{CLK}) を生成します。

CCS mn0	チャンネルnのカウント・クロック (f _{CLK}) の選択
0	CKS _{mn} ビットで指定した動作クロック (f _{MCK})
1	TI _{mn} 端子からの入力信号の有効エッジ

カウント・クロック (f_{CLK}) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

2. カウント・クロック (f_{CLK}) にCKS_{mn}ビットで指定した動作クロック (f_{MCK}) , またはTI_{mn}端子からの入力信号の有効エッジを選択していても、f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT_m = 00FFH) させてください。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-10 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
 F01D0H, F01D1H (TMR10) - F01DEH, F01DFH (TMR17)
 F0210H, F0211H (TMR20) - F021EH, F021FH (TMR27)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn1	CKS mn0	0	CCS mn0	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MAS TER mn	チャンネルnの単体動作機能, 連動動作機能のスレーブ/連動動作機能のマスタの選択
0	単体動作機能, または連動動作機能でスレーブ・チャンネルとして動作
1	連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTERmn = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTERmn = 0) で使用してください。 また, 単体動作機能として使用するチャンネルは, MASTERmn = 0 にします。	

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlmn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。		

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 n : チャンネル番号 (n = 0-7)
 mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
 mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-10 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
 F01D0H, F01D1H (TMR10) - F01DEH, F01DFH (TMR17)
 F0210H, F0211H (TMR20) - F021EH, F021FH (TMR27)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn1	CKS mn0	0	CCS mn0	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	チャンネルnの動作モードの設定	TCRのカウンタ動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウンタ	可
0	1	0	1/0	キャプチャ・モード	アップ・カウンタ	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウンタ	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウンタ	不可
1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウンタ	可
上記以外				設定禁止		

MDmn0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード (MDmn3-MDmn1で設定(上表参照))	MD mn0	カウンタ・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード (1, 0, 0)	0	カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする ^注 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

注 動作中にスタート・トリガ (T_{Sm_n} = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(4) タイマ・ステータス・レジスタmn (TSRmn)

TSRmnは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSRmnは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表6-3を参照してください。

TSRmnは、16ビット・メモリ操作命令で読み出します。

またTSRmnの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnは0000Hになります。

図6-11 タイマ・ステータス・レジスタmn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R
 F01E0H, F01E1H (TSR10) - F01EEH, F01EFH (TSR17)
 F0220H, F0221H (TSR20) - F022EH, F022FH (TSR27)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

表6-3 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVF	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可, セット/クリアされない)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタm (TE_m)

TE_mは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタm (T_{Sm}) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタm (T_{Tm}) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE_mは、16ビット・メモリ操作命令で読み出します。

またTE_mの下位8ビットは、TE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE_mは0000Hになります。

図6-12 タイマ・チャンネル許可ステータス・レジスタm (TE_m) のフォーマット

アドレス : F01B0H, F01B1H (TE0) , F01F0H, F01F1H (TE1) リセット時 : 0000H R
F0230H, F0231H (TE2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE _m	0	0	0	0	0	0	0	0	TE _{m_7}	TE _{m_6}	TE _{m_5}	TE _{m_4}	TE _{m_3}	TE _{m_2}	TE _{m_1}	TE _{m_0}

TE	チャンネルnの動作許可／停止状態の表示	
m_n		
0	動作停止状態	
1	動作許可状態	

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
n : チャンネル番号 (n = 0-7)
mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(6) タイマ・チャンネル開始レジスタm (TSm)

TSmは、タイマ・カウンタ (TCRmn) をクリアし、カウント動作の開始を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (TSm_n) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビット (TEm_n) が1にセットされます。TSm_nはトリガ・ビットなので、TEm_n = 1になるとすぐTSm_nはクリアされます。

TSmは、16ビット・メモリ操作命令で設定します。

またTSmの下位8ビットは、TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSmは0000Hになります。

図6-13 タイマ・チャンネル開始レジスタm (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0) , F01F2H, F01F3H (TS1) リセット時 : 0000H R/W
F0232H, F0233H (TS2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	0	0	0	0	TSm_7	TSm_6	TSm_5	TSm_4	TSm_3	TSm_2	TSm_1	TSm_0

TS m_n	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEm_nを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnのカウント動作開始は、各動作モードにより異なります (表6-4参照)。

注意 78K0R/HC3は、TS0, TS1のビット15-8には必ず0を設定してください。

78K0R/HE3, 78K0R/HF3は、TS0, TS1のビット15-8, TS2のビット15-4には必ず0を設定してください。

78K0R/HG3は、TS0-TS2のビット15-8には必ず0を設定してください。

備考1. TSmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

表6-4 カウント動作許可状態からTCRmnのカウント・スタートまでの動作

タイマの動作モード	TSm_n = 1セット時の動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSm_n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnの値をTCRmnにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.3 (6) (a) インターバル・タイマ・モード時のスタート・タイミング参照)。
・イベント・カウンタ・モード	TSm_nビットに1を書き込みにより、TDRmnの値をTCRmnにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMRmnレジスタのSTSmn2-STSmn0ビットで選択した外部トリガ検出では、カウント動作を開始しません (6.3 (6) (b) イベント・カウンタ・モード時のスタート・タイミング参照)。
・キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.3 (6) (c) キャプチャ・モード時のスタート・タイミング参照)。
・ワンカウント・モード	TEm_n = 0の状態、TSm_nビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnの値をTCRmnにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.3 (6) (d) ワンカウント・モード時のスタート・タイミング参照)。
・キャプチャ&ワンカウント・モード	TEm_n = 0の状態、TSm_nビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.3 (6) (e) キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(a) インターバル・タイマ・モード時のスタート・タイミング

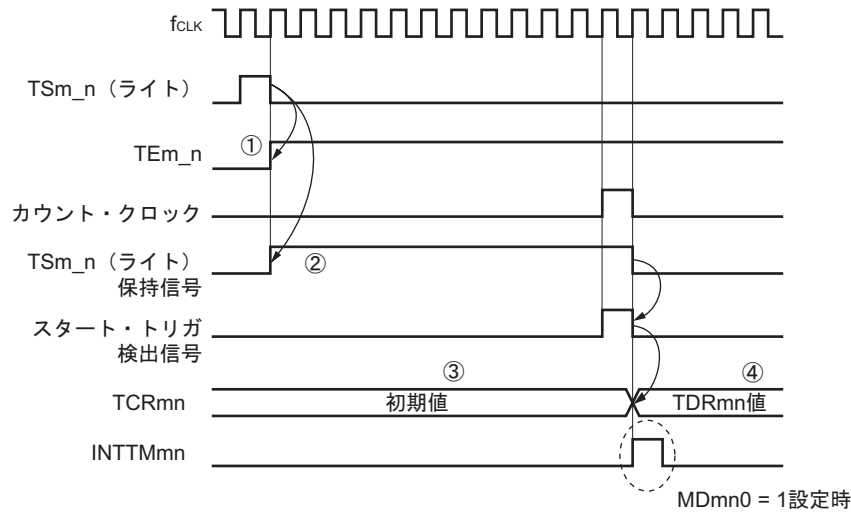
TSm_nへ1を書き込むことにより、TEm_n = 1となります。

TSm_nへの書き込み情報はカウント・クロック発生まで保持されます。

TCRmnは、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、「TDRmn値」をTCRmnにロードし、カウントを開始します。

図6-14 スタート・タイミング（インターバル・タイマ・モード時）



注意 カウント・クロックの1周期目の動作はTSm_n書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(b) イベント・カウンタ・モード時のスタート・タイミング

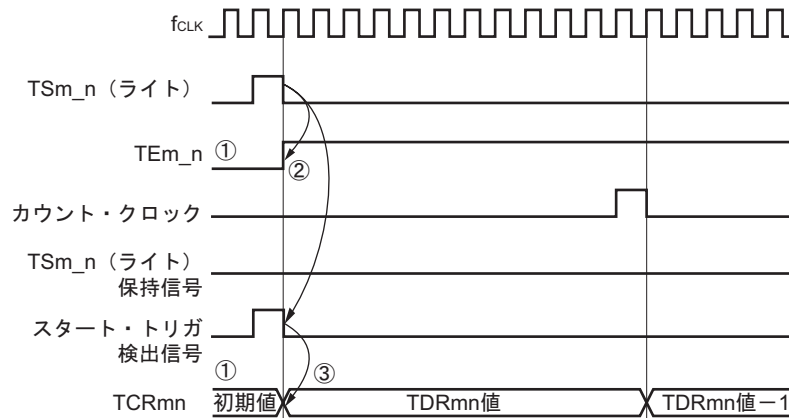
TEm_n = 0期間TCRmnは、初期値を保持します。

TSm_nへ1を書き込むことにより、TEm_n = 1となります。

TSm_n = 1→TEm_n = 1と同時に、TCRmnに「TDRmn値」をロードし、カウントを開始します。

以降はカウント・クロックに従い、TCRmnの値をダウン・カウントします。

図6-15 スタート・タイミング（イベント・カウンタ・モード時）



備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(c) キャプチャ・モード時のスタート・タイミング

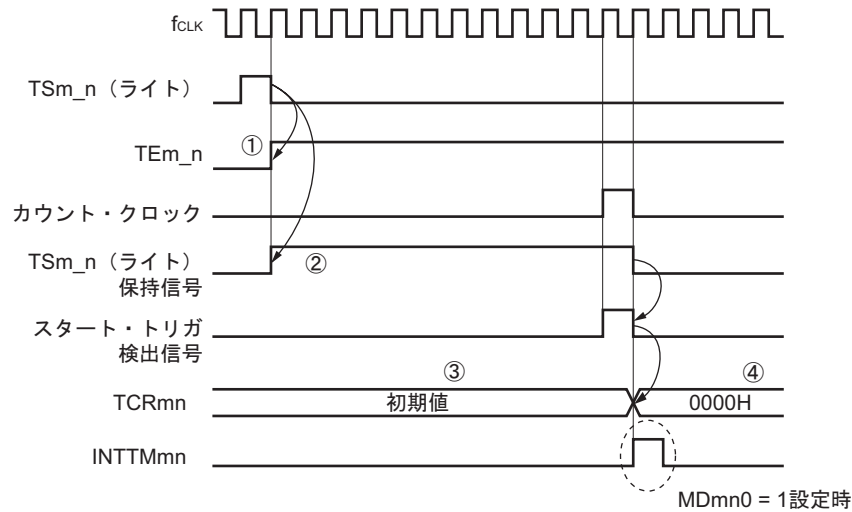
TSm_nへ1を書き込むことにより、TEm_n = 1となります。

TSm_nへの書き込み情報はカウント・クロック発生まで保持されます。

TCRmnは、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、0000HをTCRmnにロードし、カウントを開始します。

図6-16 スタート・タイミング (キャプチャ・モード時)



注意 カウント・クロックの1周期目の動作はTSm_n書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

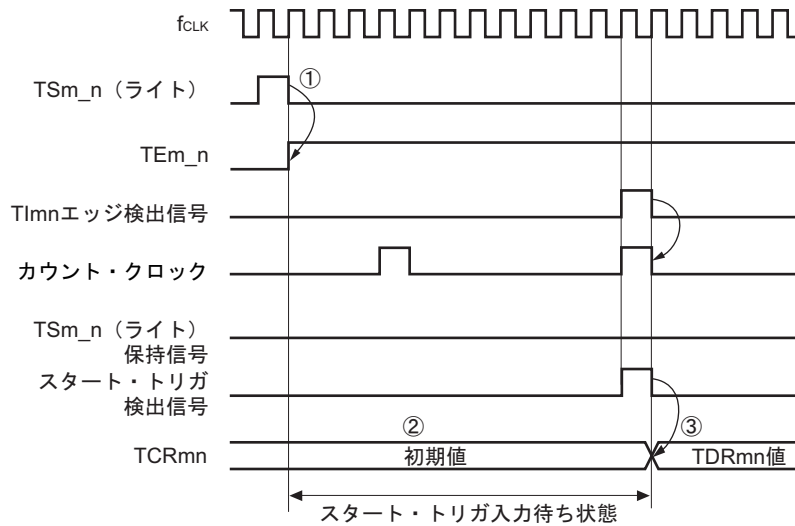
(d) ワンカウント・モード時のスタート・タイミング

TSm_nへ1を書き込むことにより、TEm_n = 1となります。

スタート・トリガ入力待ち状態となり、TCRmnは初期値を保持します。

スタート・トリガ検出により、「TDRmn値」をTCRmnにロードし、カウントを開始します。

図6-17 スタート・タイミング（ワンカウント・モード時）



注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します（TImnを使用する場合、カウント・クロック1クロック分の誤差となります）。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

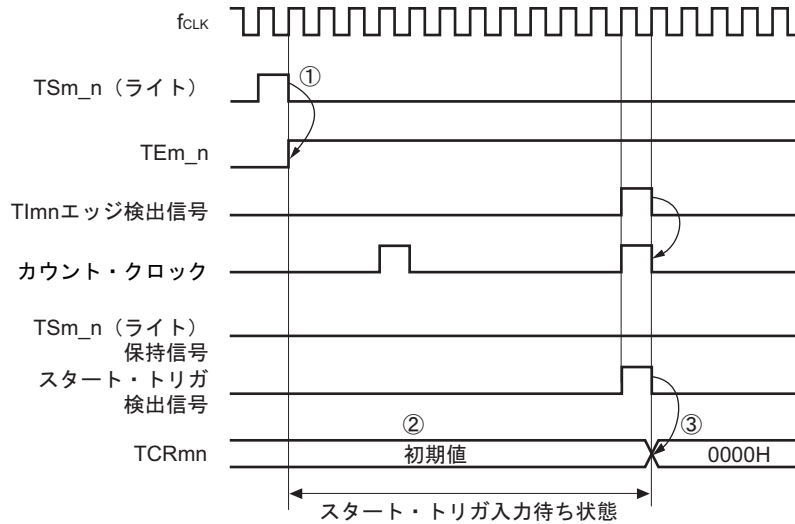
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

TSm_nへ1を書き込むことにより、TEm_n = 1となります。

スタート・トリガ入力待ち状態となり、TCRmnは初期値を保持します。

スタート・トリガ検出により、0000HをTCRmnにロードしカウントを開始します。

図6-18 スタート・タイミング（キャプチャ&ワンカウント・モード時）



注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します（Tlmnを使用する場合、カウント・クロック1クロック分の誤差となります）。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(7) タイマ・チャンネル停止レジスタm (TTm)

TTmは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TTm_n) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビット (TEm_n) が0にクリアされます。TTm_nはトリガ・ビットなので、TEm_n = 0になるとすぐTTm_nはクリアされます。

TTmは、16ビット・メモリ操作命令で設定します。

またTTmの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmは0000Hになります。

図6-19 タイマ・チャンネル停止レジスタm (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0) , F01F4H, F01F5H (TT1) リセット時 : 0000H R/W
F0234H, F0235H (TT2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	0	0	0	0	TTm_7	TTm_6	TTm_5	TTm_4	TTm_3	TTm_2	TTm_1	TTm_0

TT m_n	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

注意 78K0R/HC3は、TT0, TT1のビット15-8には必ず0を設定してください。

78K0R/HE3, 78K0R/HF3は、TT0, TT1のビット15-8, TT2のビット15-4には必ず0を設定してください。

78K0R/HG3は、TT0-TT2のビット15-8には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

2. m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(8) タイマ出力許可レジスタm (TOEm)

TOEmは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ (TOm) のTOmnの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmは、16ビット・メモリ操作命令で設定します。

またTOEmの低位8ビットは、TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEmは0000Hになります。

図6-20 タイマ出力許可レジスタm (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0) , F01FAH, F01FBH (TOE1) リセット時 : 0000H R/W
F023AH, F023BH (TOE2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOE m_7	TOE m_6	TOE m_5	TOE m_4	TOE m_3	TOE m_2	TOE m_1	TOE m_0

TOE m_n	チャンネルnのタイマ出力許可／禁止
0	カウント動作によるTOmn (タイマ・チャンネル出力ビット) の動作停止。 TOmnビットへの書き込みが可能。 TOmn端子がデータ出力機能となり、TOmnビットに設定したレベルがTOmn端子から出力される。 TOmn端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTOmn (タイマ・チャンネル出力ビット) の動作許可。 TOmnへの書き込み不可 (書き込みが無視される)。 TOmn端子がタイマ出力機能となり、タイマの動作によりセット／リセットされる。 TOmn端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意 78K0R/HC3は、TOE0, TOE1のビット15-8には必ず0を設定してください。

78K0R/HE3, 78K0R/HF3は、TOE0, TOE1のビット15-8, TOE2のビット15-4には必ず0を設定してください。

78K0R/HG3は、TOE0-TOE2のビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(9) タイマ出力レジスタm (TOm)

TOmは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタのTOmnのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEm_n = 0) のみ可能です。タイマ出力許可時 (TOEm_n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、タイマ出力を兼用している端子をポート機能として使用する場合は、該当するTOmnビットに“0”を設定してください。

タイマ出力を兼用している端子の詳細は、2.1 (2) ポート以外の端子を参照してください。

TOmは、16ビット・メモリ操作命令で設定します。

またTOmの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmは0000HIになります。

図6-21 タイマ出力レジスタm (TOm) のフォーマット

アドレス : F01B8H, F01B9H (TO0) , F01F8H, F01F9H (TO1) リセット時 : 0000H R/W
F0238H, F0239H (TO2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャンネルnのタイマ出力
0	タイマ出力値が ⁸ “0”
1	タイマ出力値が ⁸ “1”

注意 78K0R/HC3は、TO0, TO1のビット15-8には必ず0を設定してください。

78K0R/HE3, 78K0R/HF3は、TO0, TO1のビット15-8, TO2のビット15-4には必ず0を設定してください。

78K0R/HG3は、TO0-TO2のビット15-8には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(10) タイマ出力レベル・レジスタm (TOLm)

TOLmは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEm_n = 1)、連動動作モード (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。トグル・モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmは、16ビット・メモリ操作命令で設定します。

またTOLmの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmは0000Hになります。

図6-22 タイマ出力レベル・レジスタm (TOLm) のフォーマット

アドレス : F01BCH, F01BDH (TOL0), F01FCH, F01FDH (TOL1) リセット時 : 0000H R/W
F023CH, F023DH (TOL2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOL m7	TOL m6	TOL m5	TOL m4	TOL m3	TOL m2	TOL m1	TOL m0

TOL mn	チャンネルnのタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ)
1	反転出力 (アクティブ・ロウ)

注意 78K0R/HC3は、TOL0, TOL1のビット15-8には必ず0を設定してください。

78K0R/HE3, 78K0R/HF3は、TOL0, TOL1のビット15-8, TOL2のビット15-4には必ず0を設定してください。

78K0R/HG3は、TOL0-TOL2のビット15-8には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。

2. m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(11) タイマ出力モード・レジスタm (TOMm)

TOMmは、各チャンネルのタイマ出力モードを制御するレジスタです。

単体動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

連動動作機能 (PWM出力、ワンショット・パルス出力、多重PWM出力) として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEm_n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmは、16ビット・メモリ操作命令で設定します。

またTOMmの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmは0000Hになります。

図6-23 タイマ出力モード・レジスタm (TOMm) のフォーマット

アドレス : F01BEH, F01BFH (TOM0) , F01FEH, F01FFH (TOM1) リセット時 : 0000H R/W

F023EH, F023FH (TOM2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOM m7	TOM m6	TOM m5	TOM m4	TOM m3	TOM m2	TOM m1	TOM m0

TOM mn	チャンネルnのタイマ出力モードの制御
0	トグル・モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)
1	連動動作モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセット)

注意 78K0R/HC3は、TOM0, TOM1のビット15-8には必ず0を設定してください。

78K0R/HE3, 78K0R/HF3は、TOM0, TOM1のビット15-8, TOM2のビット15-4には必ず0を設定してください。

78K0R/HG3は、TOM0-TOM2のビット15-8には必ず0を設定してください。

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

n < p - 7 (ただしpは, n以降の連続した整数)

m = 1の場合

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

n < p - 7 (ただしpは, n以降の連続した整数)

m = 2の場合

n = 0-3 (マスタ・チャンネル時 : n = 0, 2) : 78K0R/HE3, 78K0R/HF3

n < p - 3 (ただしpは, n以降の連続した整数)

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6) : 78K0R/HG3

n < p - 7 (ただしpは, n以降の連続した整数)

(12) ノイズ・フィルタ許可レジスタ1-3 (NFEN1-NFEN3)

NFEN1は、タイマ・アレイ・ユニット0のタイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

NFEN2は、タイマ・アレイ・ユニット1のタイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

NFEN3は、タイマ・アレイ・ユニット2のタイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、動作クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、動作クロック (f_{MCK}) で同期化だけ行います。

NFEN1-NFEN3は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-24 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	TI06端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN04	TI04端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

備考 製品によって搭載されている端子が異なります。詳細は、6.3 (13) タイマ入力選択レジスタ0, 1 (TIS0, TIS1) を参照してください。

図6-25 ノイズ・フィルタ許可レジスタ2 (NFEN2) のフォーマット

アドレス : F0062H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	TNFEN17	TNFEN16	TNFEN15	TNFEN14	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN17	TI17端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN16	TI16端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN15	TI15端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN14	TI14端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN13	TI13端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN12	TI12端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN11	TI11端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN10	TI10端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

備考 製品によって搭載されている端子が異なります。詳細は、6.3 (13) タイマ入力選択レジスタ0, 1 (TIS0, TIS1) を参照してください。

図6-26 ノイズ・フィルタ許可レジスタ3 (NFEN3) のフォーマット (78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

アドレス : F0063H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN3	TNFEN27 ^注	TNFEN26 ^注	TNFEN25 ^注	TNFEN24 ^注	TNFEN23	TNFEN22	TNFEN21	TNFEN20

TNFEN27	TI27端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN26	TI26端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN25	TI25端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN24	TI24端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN23	TI23端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN22	TI22端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN21	TI21端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN20	TI20端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注 78K0R/HG3のみ。78K0R/HE3, 78K0R/HF3では、必ず0に設定してください。

(13) タイマ入力選択レジスタ0, 1 (TIS0, TIS1)

TIS0, TIS1は、タイマ・アレイ・ユニット0, 1の入力端子を2つのポートから選択するレジスタです。

TIS0, TIS1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 TIS1_2, TIS1_3に関しては、LIN機能との組み合わせで最終的にタイマ・アレイ・ユニットに入力される信号が決定します。

TIS1_0Iに関しては、TM30Kとの組み合わせで最終的にタイマ・アレイ・ユニットに入力される信号が決まります。

図6-27 タイマ入力選択レジスタ0 (TIS0) のフォーマット (1/2)

アドレス : FFF3EH リセット時 : 00H R/W

(1) 78K0R/HC3, 78K0R/HE3

略号	7	6	5	4	3	2	1	0
TIS0	0	0	TIS0_5	0	0	0	0	0

(2) 78K0R/HF3

略号	7	6	5	4	3	2	1	0
TIS0	TIS0_7	TIS0_6	TIS0_5	TIS0_4	0	TIS0_2	TIS0_1	TIS0_0

(3) 78K0R/HG3

略号	7	6	5	4	3	2	1	0
TIS0	TIS0_7	TIS0_6	TIS0_5	TIS0_4	TIS0_3	TIS0_2	TIS0_1	TIS0_0

TIS0_7	TI07入力端子の切り替え制御
0	P41/TOOL1/TI07/TO07
1	P44/TI07/TO07

TIS0_6	TI06入力端子の切り替え制御
0	P14/LRxDO/INTPLR0/TI06/TO06
1	P02/TI06/TO06

TIS0_5	TI05入力端子の切り替え制御
0	P40/TOOL0/TI05/TO05
1	P00/INTP7/TI05/TO05

TIS0_4	TI04入力端子の切り替え制御
0	P13/LTxDO/TI04/TO04
1	P01/TI04/TO04

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図6-27 タイマ入力選択レジスタ0 (TIS0) のフォーマット (2/2)

TIS0_3	TIO3入力端子の切り替え制御
0	P125/INTP1/ADTRG/TIO3/TO03
1	P127/TIO3/TO03

TIS0_2	TIO2入力端子の切り替え制御
0	P11/SI10/CRxD/LRxD1/INTPLR1/TIO2/TO02
1	P67/TIO2/TO02

TIS0_1	TIO1入力端子の切り替え制御
0	P30/SSI00/INTP2/TIO1/TO01
1	P126/TIO1/TO01

TIS0_0	TIO0入力端子の切り替え制御
0	P10/SCK10/CTxD/LTxD1/TIO0/TO00
1	P66/TIO0/TO00

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図6-28 タイマ入力選択レジスタ1 (TIS1) のフォーマット (1/2)

アドレス : FFF3FH リセット時 : 00H R/W

(1) 78K0R/HC3, 78K0R/HE3

略号	7	6	5	4	3	2	1	0
TIS1	0	0	0	0	0	0	TIS1_1	0

(2) 78K0R/HF3, 78K0R/HG3

略号	7	6	5	4	3	2	1	0
TIS1	TIS1_7	TIS1_6	TIS1_5	TIS1_4	TIS1_3	TIS1_2	TIS1_1	TIS1_0

TIS1_7	T117入力端子の切り替え制御
0	P71/KR1/INTP6/TI17/TO17
1	P57/TI17/TO17

TIS1_6	T116入力端子の切り替え制御
0	P12/SO10/INTP3/TI16/TO16
1	P65/TI16/TO16

TIS1_5	T115入力端子の切り替え制御
0	P70/KR0/INTP5/TI15/TO15/LVIOU
1	P56/TI15/TO15

TIS1_4	T114入力端子の切り替え制御
0	P17/SCK00/TI14/TO14
1	P64/TI14/TO14

TIS1_3	T113入力端子の切り替え制御
0	P32/INTP4/TI13/TO13 ^{注1}
1	P55/TI13/TO13 ^{注1}

TIS1_2	T112入力端子の切り替え制御
0	P16/SI00/TI12/TO12 ^{注2}
1	P46/TI12/TO12 ^{注2}

注1. STSEL.TMLIN1 = 1のときは、STSELレジスタのSTSLIN1ビットで選択した端子になります。

2. STSEL.TMLIN0 = 1のときは、P14/LRxDO/INTPLR0/TI06/TO06になります。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図6-28 タイマ入力選択レジスタ1 (TIS1) のフォーマット (2/2)

TIS1_1	T111入力端子の切り替え制御	備 考
0	P54/TI11/TO11	78K0R/HF3, 78K0R/HG3
	P120/INTP0/EXLVI/TI11/TO11	78K0R/HC3, 78K0R/HE3
1	P31/INTP2/STOPST/TI11/TO11	—

TIS1_0	T110入力端子の切り替え制御
0	P15/SO00/TI10/TO10 ^注
1	P45/TI10/TO10 ^注

注 STSEL.TM30K = 1のときは、低速内蔵発振クロックがTI10入力端子に選択されます。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(14) タイマ出力選択レジスタ0, 1 (TOS0, TOS1)

TOS0, TOS1は、タイマ・アレイ・ユニット0, 1の出力端子を2つのポートから選択するレジスタです。

TOS0, TOS1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-29 タイマ出力選択レジスタ0 (TOS0) のフォーマット (1/2)

アドレス : FFF60H リセット時 : 00H R/W

(1) 78K0R/HC3, 78K0R/HE3

略号	7	6	5	4	3	2	1	0
TOS0	0	0	TOS0_5	0	0	0	0	0

(2) 78K0R/HF3

略号	7	6	5	4	3	2	1	0
TOS0	TOS0_7	TOS0_6	TOS0_5	TOS0_4	0	TOS0_2	TOS0_1	TOS0_0

(3) 78K0R/HG3

略号	7	6	5	4	3	2	1	0
TOS0	TOS0_7	TOS0_6	TOS0_5	TOS0_4	TOS0_3	TOS0_2	TOS0_1	TOS0_0

TOS0_7	TO07出力端子の切り替え制御
0	P41/TOOL1/TI07/TO07
1	P44/TI07/TO07

TOS0_6	TO06出力端子の切り替え制御
0	P14/LRxD0/INTPLR0/TI06/TO06
1	P02/TI06/TO06

TOS0_5	TO05出力端子の切り替え制御
0	P40/TOOL0/TI05/TO05
1	P00/TI05/TO05/INTP7

TOS0_4	TO04出力端子の切り替え制御
0	P13/LTxD0/TI04/TO04
1	P01/TI04/TO04

TOS0_3	TO03出力端子の切り替え制御
0	P125/INTP1/ADTRG/TI03/TO03
1	P127/TI03/TO03

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図6-29 タイマ出力選択レジスタ0 (TOS0) のフォーマット (2/2)

TOS0_2	TO02出力端子の切り替え制御
0	P11/SI10/CRxD/LRxD1/INTPLR1/TI02/TO02
1	P67/TI02/TO02

TOS0_1	TO01出力端子の切り替え制御
0	P30/SSI00/INTP2/TI01/TO01
1	P126/TI01/TO01

TOS0_0	TO00出力端子の切り替え制御
0	P10/SCK10/CTxD/LTxD1/TI00/TO00
1	P66/TI00/TO00

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図6-30 タイマ出力選択レジスタ1 (TOS1) のフォーマット (1/2)

アドレス : FFF61H リセット時 : 00H R/W

(1) 78K0R/HC3, 78K0R/HE3

略号	7	6	5	4	3	2	1	0
TOS1	0	0	0	0	0	0	TOS1_1	0

(2) 78K0R/HF3, 78K0R/HG3

略号	7	6	5	4	3	2	1	0
TOS1	TOS1_7	TOS1_6	TOS1_5	TOS1_4	TOS1_3	TOS1_2	TOS1_1	TOS1_0

TOS1_7	TO17出力端子の切り替え制御
0	P71/KR1/INTP6/TI17/TO17
1	P57/TI17/TO17

TOS1_6	TO16出力端子の切り替え制御
0	P12/SO10/INTP3/TI16/TO16
1	P65/TI16/TO16

TOS1_5	TO15出力端子の切り替え制御
0	P70/KR0/INTP5/TI15/TO15/LVIOUT
1	P56/TI15/TO15

TOS1_4	TO14出力端子の切り替え制御
0	P17/SCK00/TI14/TO14
1	P64/TI14/TO14

TOS1_3	TO13出力端子の切り替え制御
0	P32/INTP4/TI13/TO13
1	P55/TI13/TO13

TOS1_2	TO12出力端子の切り替え制御
0	P16/SI00/TI12/TO12
1	P46/TI12/TO12

TOS1_1	TO11出力端子の切り替え制御	備考
0	P54/TI11/TO11	78K0R/HF3, 78K0R/HG3
	P120/INTP0/EXLVI/TI11/TO11	78K0R/HC3, 78K0R/HE3
1	P31/INTP2/STOPST/TI11/TO11	—

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

図6-30 タイマ出力選択レジスタ1 (TOS1) のフォーマット (2/2)

TOS1_0	TO10出力端子の切り替え制御
0	P15/SO00/TI10/TO10
1	P45/TI10/TO10

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

(15) シリアル通信端子選択レジスタ (STSEL)

STSELレジスタは、タイマ・アレイ・ユニットへの入力ソースとLIN-UARTnおよびシリアル・アレイ・ユニットの通信端子の切り替えを行うレジスタです。

1ビット単位または8ビット単位でリード/ライト可能です。

図6-31 シリアル通信端子選択レジスタ (STSEL) のフォーマット (1/2)

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
STSEL	STSLIN1	TMCAN	STSII11	STSCSI00	TM30K	TMLIN1	TMLIN0	0

TMCAN	タイマ・アレイ・ユニット1のチャンネル4入力のソース切り替え制御
0	TI14端子入力 (TI14ビットで選択した端子入力)
1	TSOUT入力 (CANタイム・スタンプ機能)

TM30K	タイマ・アレイ・ユニット1のチャンネル0入力のソース切り替え制御
0	TI10端子入力 (TIS1_0ビットで選択した端子入力)
1	低速内蔵発振器出力

図6-31 シリアル通信端子選択レジスタ (STSEL) のフォーマット (2/2)

TMLIN1	タイマ・アレイ・ユニット1のチャンネル3入力のソース切り替え制御
0	TI13端子入力 (TIS1_3ビットで選択した端子入力)
1	LRxD1端子入力

TMLIN0	タイマ・アレイ・ユニット1のチャンネル2入力のソース切り替え制御
0	TI12端子入力 (TIS1_2ビットで選択した端子入力)
1	LRxD0端子入力

備考 LIN-UARTでLIN通信時、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、TMLINn = 1に設定してシリアル・データ入力端子 (LRxDn) の入力信号をタイマ入力として選択してください。

(16) ポート・モード・レジスタ0, 1, 3-7, 12, 15 (PM0, PM1, PM3-PM7, PM12, PM15)

ポート0, 1, 3-7, 12, 15の入力/出力を1ビット単位で設定するレジスタです。

端子をタイマ出力またはタイマ入力として使用するとき、ポート・レジスタおよびポート・モード・レジスタは表6-5のように設定してください。

PM0, PM1, PM3-PM7, PM12, PM15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

表6-5 タイマ使用時のポート・レジスタとポート・モード・レジスタの設定 (1/3)

端 子	端子設定	ポート・レジスタ	ポート・モード・レジスタ
P00/TI05/TO05/INTP7	タイマ出力	0	0
	タイマ入力	x	1
P01/TI04/TO04	タイマ出力	0	0
	タイマ入力	x	1
P02/TI06/TO06	タイマ出力	0	0
	タイマ入力	x	1
P10/SCK10/CTxD/LTxD1/TI00/TO00	タイマ出力	0	0
	タイマ入力	x	1
P11/SI10/CRxD/LRxD1/INTPLR1/ TI02/TO02	タイマ出力	0	0
	タイマ入力	x	1
P12/SO10/INTP3/TI16/TO16	タイマ出力	0	0
	タイマ入力	x	1
P13/LTxD0/TI04/TO04	タイマ出力	0	0
	タイマ入力	x	1
P14/LRxD0/INTPLR0/TI06/TO06	タイマ出力	0	0
	タイマ入力	x	1
P15/SO00/TI10/TO10	タイマ出力	0	0
	タイマ入力	x	1
P16/SI00/TI12/TO12	タイマ出力	0	0
	タイマ入力	x	1
P17/SCK00/TI14/TO14	タイマ出力	0	0
	タイマ入力	x	1
P30/SSI00/INTP2/TI01/TO01	タイマ出力	0	0
	タイマ入力	x	1
P31/INTP2/STOPST/TI11/TO11	タイマ出力	0	0
	タイマ入力	x	1
P32/INTP4/TI13/TO13	タイマ出力	0	0
	タイマ入力	x	1
P40/TOOL0/TI05/TO05	タイマ出力	0	0
	タイマ入力	x	1

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 X : Don't care

表6-5 タイマ使用時のポート・レジスタとポート・モード・レジスタの設定 (2/3)

端 子	端子設定	ポート・レジスタ	ポート・モード・レジスタ
P41/TOOL1/TI07/TO07	タイマ出力	0	0
	タイマ入力	×	1
P44/TI07/TO07	タイマ出力	0	0
	タイマ入力	×	1
P45/TI10/TO10	タイマ出力	0	0
	タイマ入力	×	1
P46/TI12/TO12	タイマ出力	0	0
	タイマ入力	×	1
P50/INTP3/TI20/TO20	タイマ出力	0	0
	タイマ入力	×	1
P51/TI21/TO21	タイマ出力	0	0
	タイマ入力	×	1
P52/STOPST/TI22/TO22	タイマ出力	0	0
	タイマ入力	×	1
P53/TI23/TO23	タイマ出力	0	0
	タイマ入力	×	1
P54/TI11/TO11	タイマ出力	0	0
	タイマ入力	×	1
P55/TI13/TO13	タイマ出力	0	0
	タイマ入力	×	1
P56/TI15/TO15	タイマ出力	0	0
	タイマ入力	×	1
P57/TI17/TO17	タイマ出力	0	0
	タイマ入力	×	1
P64/TI14/TO14	タイマ出力	0	0
	タイマ入力	×	1
P65/TI16/TO16	タイマ出力	0	0
	タイマ入力	×	1
P66/TI00/TO00	タイマ出力	0	0
	タイマ入力	×	1
P67/TI02/TO02	タイマ出力	0	0
	タイマ入力	×	1
P70/KR0/INTP5/TI15/TO15/LVIOU	タイマ出力	0	0
	タイマ入力	×	1
P71/KR1/INTP6/TI17/TO17	タイマ出力	0	0
	タイマ入力	×	1
P120/INTP0/EXLVI/TI11/TO11 ^注	タイマ出力	0	0
	タイマ入力	×	1

注 TI11, TO11端子は, 78K0R/HC3, 78K0R/HE3のみ

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : Don't care

表6-5 タイマ使用時のポート・レジスタとポート・モード・レジスタの設定 (3/3)

端 子	端子設定	ポート・レジスタ	ポート・モード・レジスタ
P125/INTP1/ADTRG/TI03/TO03	タイマ出力	0	0
	タイマ入力	×	1
P126/TI01/TO01	タイマ出力	0	0
	タイマ入力	×	1
P127/TI03/TO03	タイマ出力	0	0
	タイマ入力	×	1
P154/TI24/TO24	タイマ出力	0	0
	タイマ入力	×	1
P155/TI25/TO25	タイマ出力	0	0
	タイマ入力	×	1
P156/TI26/TO26	タイマ出力	0	0
	タイマ入力	×	1
P157/TI27/TO27	タイマ出力	0	0
	タイマ入力	×	1

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : Don't care

図6-32 ポート・モード・レジスタ0, 1, 3-7, 12, 15 (PM0, PM1, PM3-PM7, PM12, PM15) のフォーマット

アドレス : FFF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM0_3	PM0_2	PM0_1	PM0_0

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0

アドレス : FFF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	PM3_2	PM3_1	PM3_0

アドレス : FFF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM4_7	PM4_6	PM4_5	PM4_4	PM4_3	PM4_2	PM4_1	PM4_0

アドレス : FFF25H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM5	PM5_7	PM5_6	PM5_5	PM5_4	PM5_3	PM5_2	PM5_1	PM5_0

アドレス : FFF26H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM6_7	PM6_6	PM6_5	PM6_4	PM6_3	PM6_2	PM6_1	PM6_0

アドレス : FFF27H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0

アドレス : FFF2CH	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM12	PM12_7	PM12_6	PM12_5	1	1	1	1	PM12_0

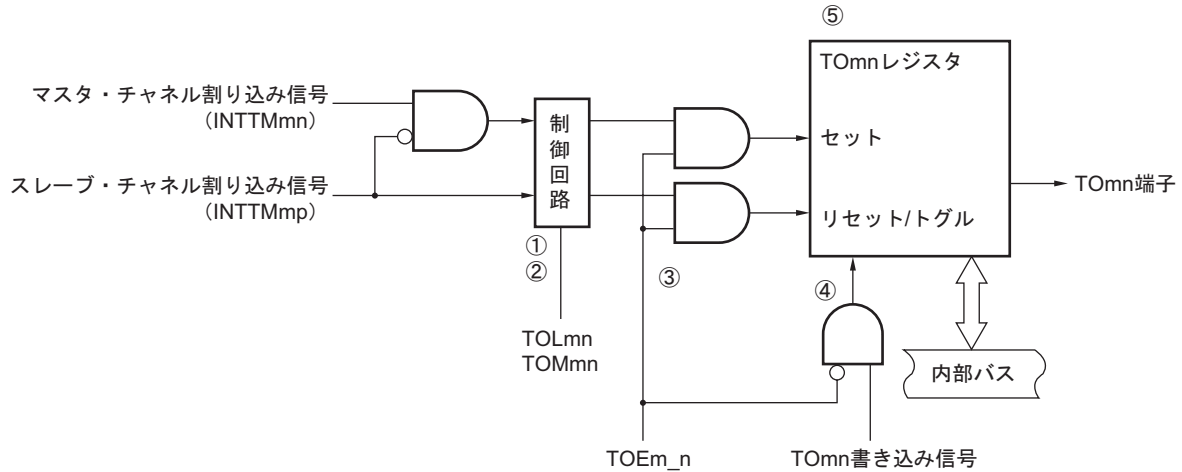
アドレス : FFF2FH	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM15	PM15_7	PM15_6	PM15_5	PM15_4	PM15_3	PM15_2	PM15_1	PM15_0

PMm_n	Pmn端子の入出力モードの選択 (m = 0, 1, 3-7, 12, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 チャンネル出力（TOmn端子）の制御

6.4.1 TOmn端子の出力回路の構成

図6-33 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

TOMmn = 0（トグル・モード）のときは、TOLmnレジスタの設定値は無視され、INTTMmp（スレーブ・チャンネル・タイマ割り込み）のみがTOmnレジスタに伝えられます。

TOMmn = 1（連動動作モード）のときは、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）がTOmnレジスタに伝えられます。

このとき、TOLmnレジスタが有効となり、次のように信号を制御します。

TOLmn = 0の場合 : 正転動作 (INTTMmn→セット, INTTMmp→リセット)

TOLmn = 1の場合 : 反転動作 (INTTMmn→リセット, INTTMmp→セット)

また、INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7（マスタ・チャンネル時 : n = 0, 2, 4, 6）

n < p - 7（ただしpは、n以降の連続した整数）

m = 1の場合

n = 0-7（マスタ・チャンネル時 : n = 0, 2, 4, 6）

n < p - 7（ただしpは、n以降の連続した整数）

m = 2の場合

n = 0-3（マスタ・チャンネル時 : n = 0, 2） : 78K0R/HE3, 78K0R/HF3

n < p - 3（ただしpは、n以降の連続した整数）

n = 0-7（マスタ・チャンネル時 : n = 0, 2, 4, 6） : 78K0R/HG3

n < p - 7（ただしpは、n以降の連続した整数）

TOEm_n = 1で、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）がTOmnに伝えられます。TOmnレジスタへの書き込み（TOmnライト信号）は無効となります。

また、TOEm_n = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。TOmn端子の出力レベルを初期化する場合は、TOEm_n = 0に設定しTOmnに値を書き込む必要があります。

TOEm_n = 0で、対象チャンネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。TOEm_n = 0のとき、INTTMmn（マスタ・チャンネル・タイマ割り込み）とINTTMmp（スレーブ・チャンネル・タイマ割り込み）はTOmnに伝えられません。

TOmnレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号

m = 0の場合

n = 0-7（マスタ・チャンネル時 : n = 0, 2, 4, 6）

n < p - 7（ただしpは、n以降の連続した整数）

m = 1の場合

n = 0-7（マスタ・チャンネル時 : n = 0, 2, 4, 6）

n < p - 7（ただしpは、n以降の連続した整数）

m = 2の場合

n = 0-3（マスタ・チャンネル時 : n = 0, 2） : 78K0R/HE3, 78K0R/HF3

n < p - 3（ただしpは、n以降の連続した整数）

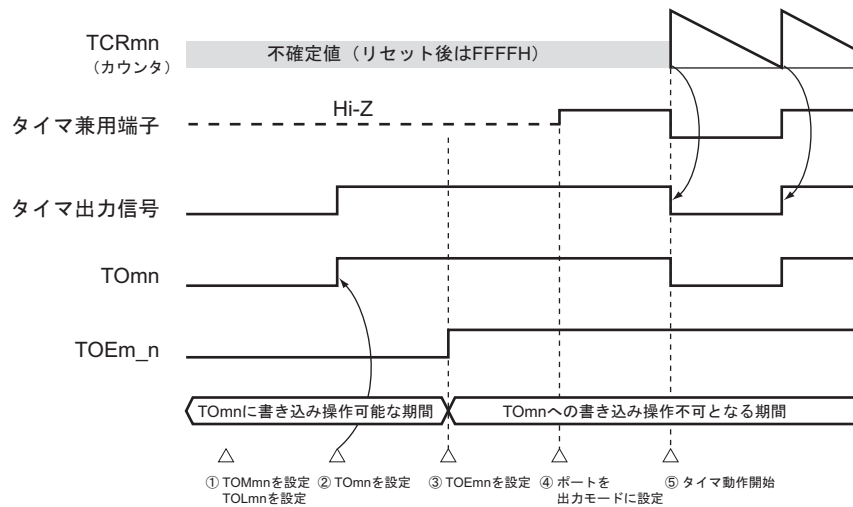
n = 0-7（マスタ・チャンネル時 : n = 0, 2, 4, 6） : 78K0R/HG3

n < p - 7（ただしpは、n以降の連続した整数）

6.4.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6-34 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定します。

- ・ TOMmnビット (0 : トグル・モード, 1 : 連動動作モード)
- ・ TOLmnビット (0 : 正転出力, 1 : 反転出力)

TOmnを設定することにより、タイマ出力信号が初期状態に設定されます。

TOEm_nに1を書き込み、タイマ出力動作を許可します (TOmnへの書き込みは不可となります)。ポートの入出力設定を出力に設定します (6.3 (16) ポート・モード・レジスタ0, 1, 3-7, 12, 15参照)。タイマを動作許可にします (TSm_n = 1)。

- 備考
- m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 - n : チャネル番号 (n = 0-7)
 - mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3, mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.4.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作 (TCRmn,TDRmnの動作) は、TOMn出力回路とは独立しています。よって、TOM、TOEm、TOLm、TOMmの設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOMn端子から出力するためには、各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMmn) 近辺で、TOMを除くTOEm、TOLm、TOMmの設定値変更を行うと、タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは、TOMn端子に異なる波形が出力される場合があります。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 n : チャンネル番号 (n = 0-7)
 mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
 mn = 00-07, 10-17, 20-27 : 78K0R/HG3

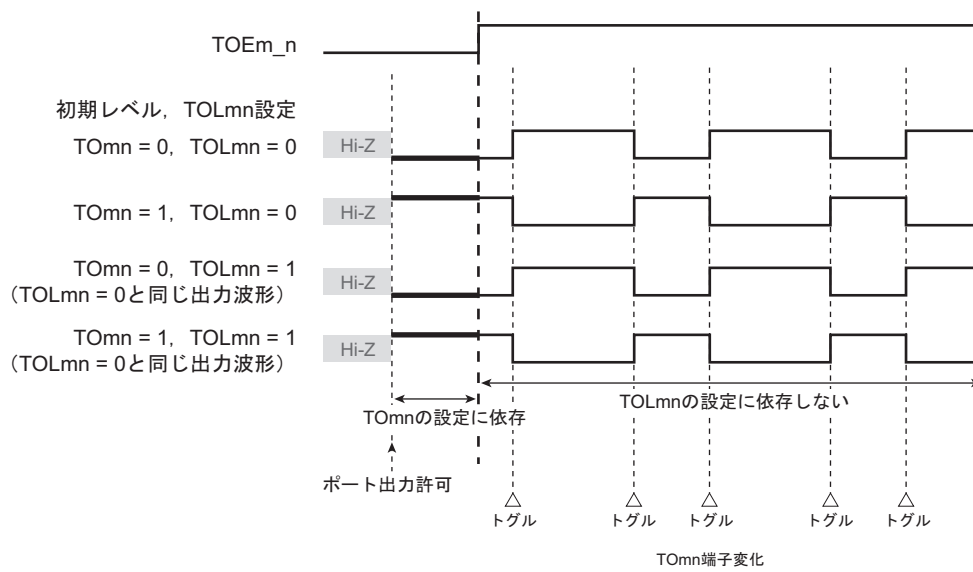
(2) TOMn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、TOEm_n = 0の状態ではTOMnに書き込みを行い、初期レベル変更後TOEm_n = 1に設定した場合のTOMn端子出力レベルの変化を次に示します。

(a) TOMmn = 0設定で動作を開始した場合 (トグル出力)

TOMmn = 0の時、TOLmnの設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOMn端子の出力レベルを反転します。

図6-35 トグル出力時 (TOMmn = 0) のTOMn端子出力状態



備考1. トグル : TOMn端子の出力状態を反転

2. m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

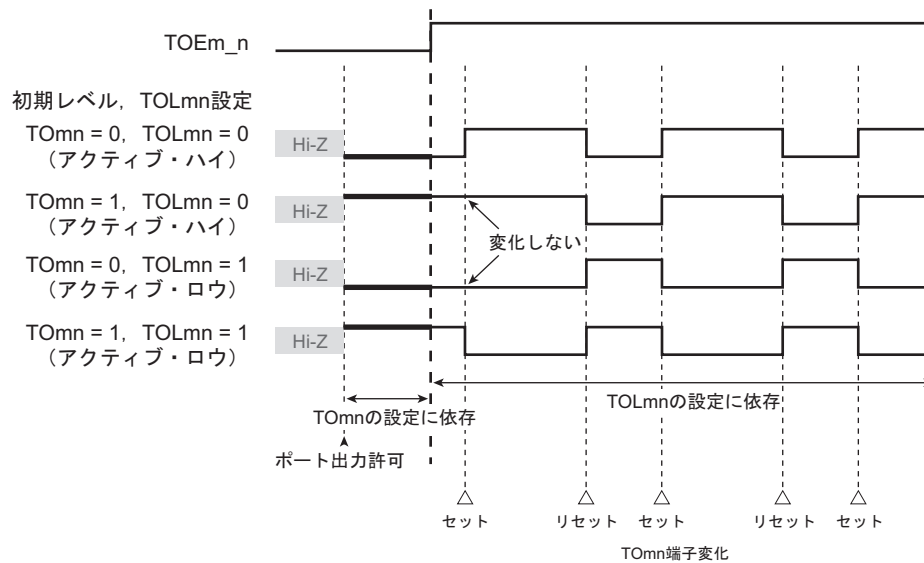
mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(b) TOMmn = 1 設定で動作を開始した場合（連動動作モード（PWM出力））

TOMmn = 1 の時、TOLmn の設定によりアクティブ・レベルを決定します。

図6-36 PWM出力時（TOMmn = 1）のTOMn端子出力状態



- 備考1. セット : TOMn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TOMn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 n : チャネル番号 (n = 0-7)
 mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
 mn = 00-07, 10-17, 20-27 : 78K0R/HG3

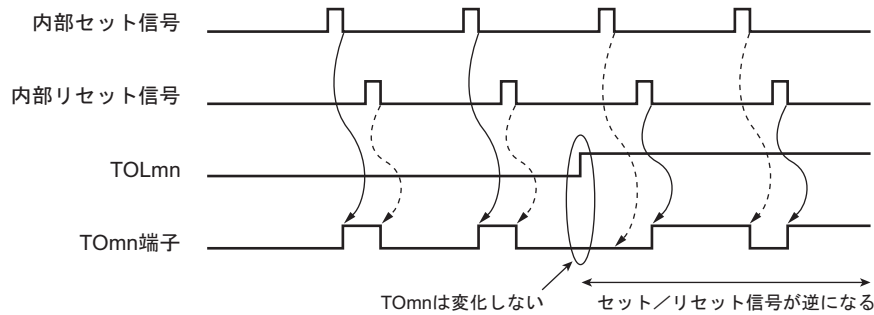
(3) TOmn端子の連動動作モード (TOMmn = 1) での動作について

(a) タイマ動作中にTOLmnの設定を変更した場合

タイマ動作中にTOLmnの設定を変更した場合、設定が有効となるのはTOmn変化条件の発生タイミングです。TOLmnの書き換えでは、TOmnの出力レベルは変化しません。

タイマ動作中 (TOMmn = 1) にTOLmnの値を変更した場合の動作を次に示します。

図6-37 タイマ動作中にTOLmnを変更した場合の動作



備考1. セット : TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

2. m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

(b) セット/リセット・タイミング

PWM出力時に、0%/100%出力を実現するため、マスタ・チャネル・タイマ割り込み (INTTMmn) 発生時のTOmn端子/TOMnセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

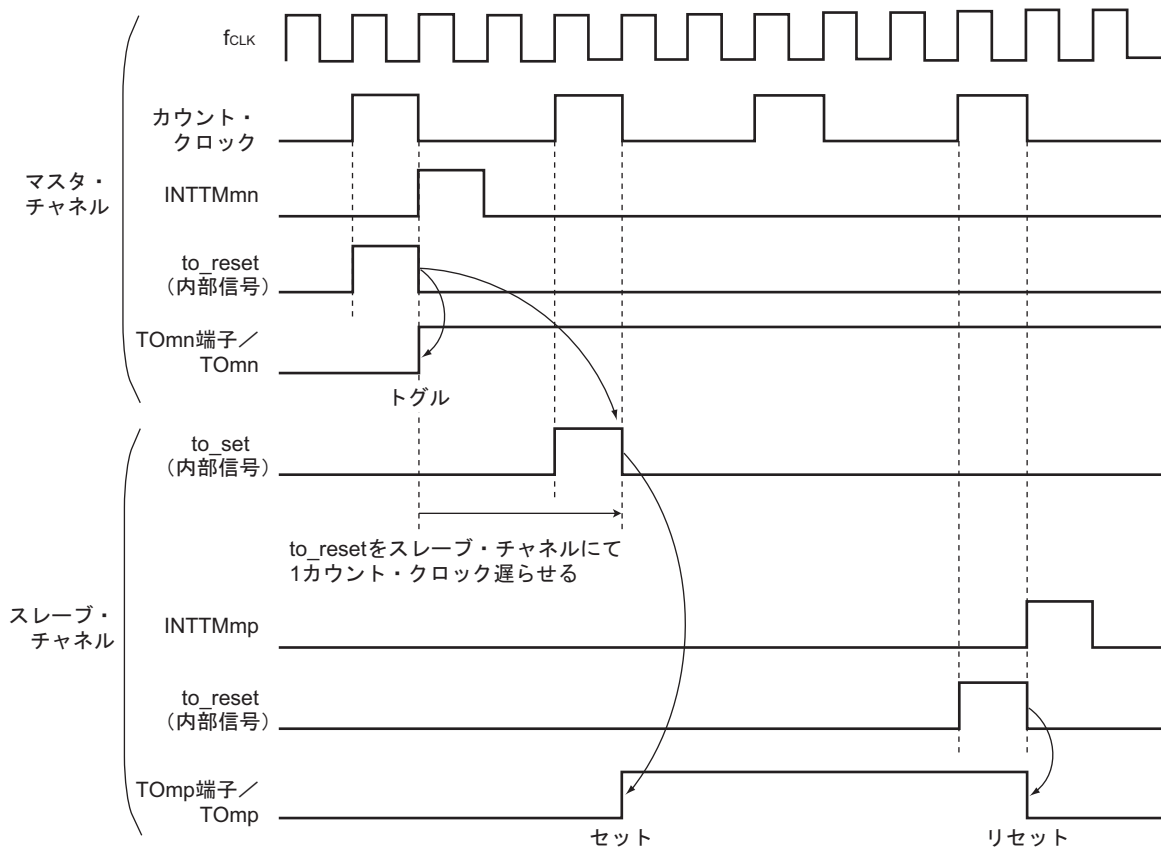
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャネルを次のように設定した場合のセット/リセット動作状態を図6-38に示します。

マスタ・チャネル : TOEm_n = 1, TOMmn = 0, TOLmn = 0

スレーブ・チャネル : TOEm_p = 1, TOMmp = 1, TOLmp = 0

図6-38 セット/リセット・タイミング動作状態

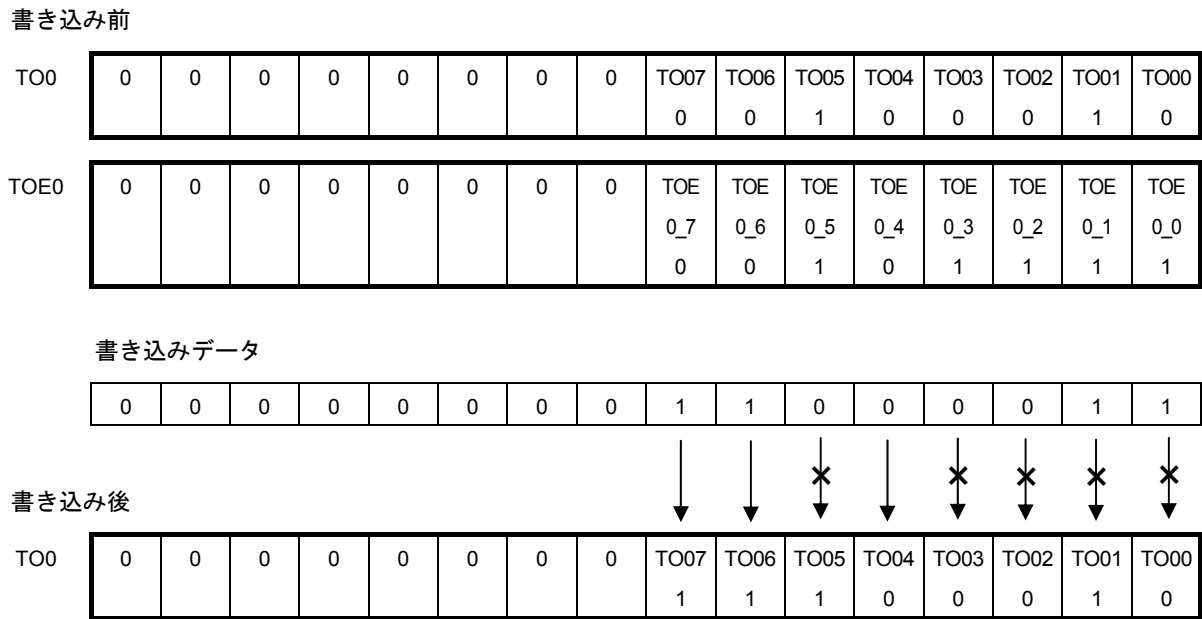


- 備考1. to_reset : TOmn端子のリセット/トグル信号
to_set : TOmn端子のセット信号
2. m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル番号
- m = 0の場合
n = 0-7 (マスター・チャンネル時 : n = 0, 2, 4, 6)
n < p - 7 (ただしpは, n以降の連続した整数)
- m = 1の場合
n = 0-7 (マスター・チャンネル時 : n = 0, 2, 4, 6)
n < p - 7 (ただしpは, n以降の連続した整数)
- m = 2の場合
n = 0-3 (マスター・チャンネル時 : n = 0, 2) : 78K0R/HE3, 78K0R/HF3
n < p - 3 (ただしpは, n以降の連続した整数)
n = 0-7 (マスター・チャンネル時 : n = 0, 2, 4, 6) : 78K0R/HG3
n < p - 7 (ただしpは, n以降の連続した整数)

6.4.4 TOmnビットの一括操作

TOmレジスタには、TSmレジスタ（チャンネル・スタート・トリガ）と同様に、1レジスタに全チャンネル分の設定ビット（TOmn）が配置されています。よって、全チャンネルのTOmnを一括で操作することが可能です。また、操作対象としたいTOmn（チャンネル出力）に該当するTOEm_n = 0とすることによって任意のビットのみ操作することが可能です。

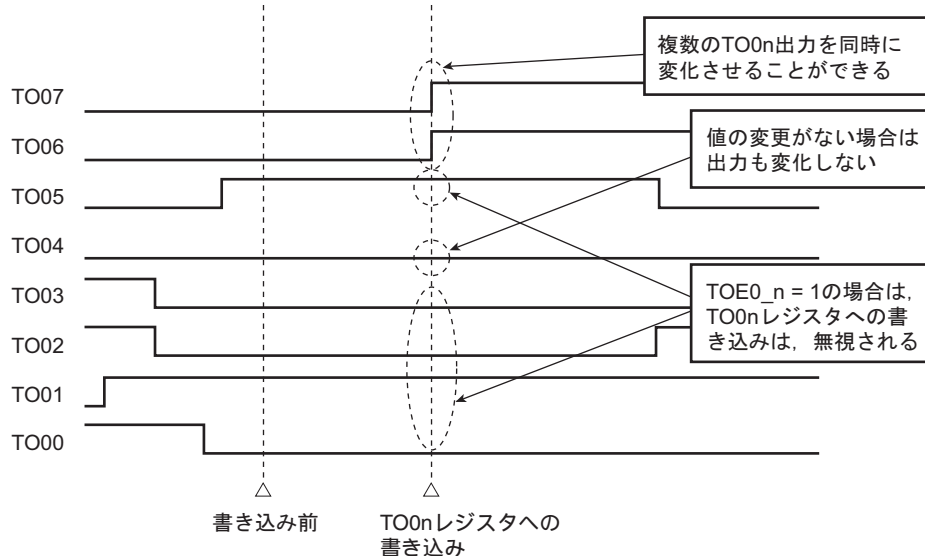
図6-39 TO0nビットの一括操作例



TOEm_n = 0のTOmnビットのみ書き込みが行われます。TOEm_n = 1のTOmnビットへの書き込みは無視されます。

TOEm_n = 1に設定されているTOmn（チャンネル出力）は、書き込み操作による影響は受けません。TOmnに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-40 TO0nビットの一括操作によるTO0nの端子状態



（注意、備考は次ページにあります）

注意 TOEm_n = 1の場合に、各チャネルのタイマ割り込み (INTTMmn) による出力とTOmnへの書き込みが競合しても、TOmn端子は正常に出力動作が行われます。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
n : チャネル番号 (n = 0-7)
mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.4.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について

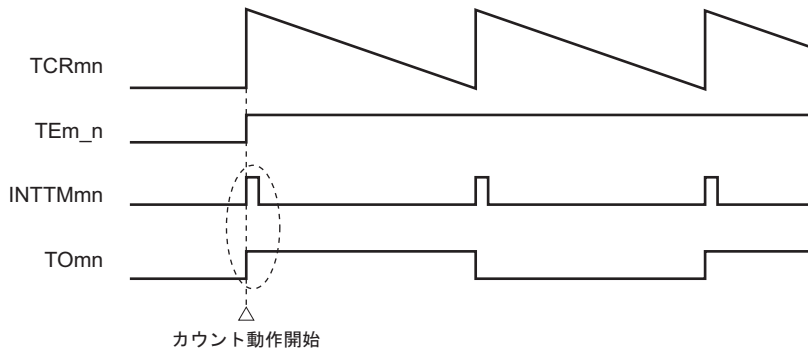
インターバル・タイマ・モード/キャプチャ・モードの場合、TMRmnレジスタのMDmn0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn出力は制御しません。

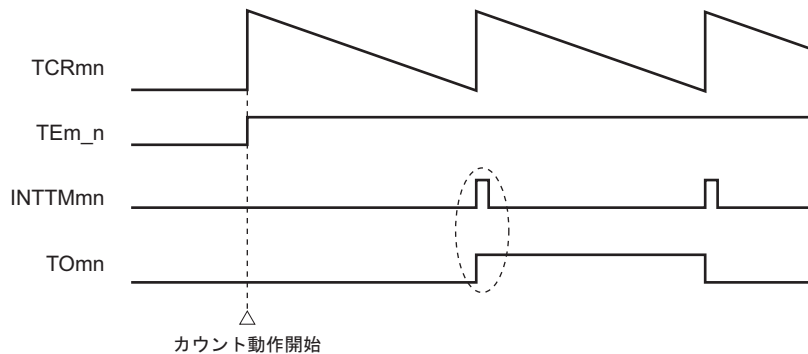
インターバル・タイマ・モード (TOEm_n = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-41 MDmn0 = 1に設定した場合



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmnがトグル動作します。

図6-42 MDmn0 = 0に設定した場合



MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmnも変化しません。1周期をカウント後、INTTMmnを出力し、TOmnがトグル動作します。

- 備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 n : チャネル番号 (n = 0-7)
 mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
 mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.5 チャンネル入力 (Tl_{mn}端子) の制御

6.5.1 Tl_{mn}エッジ検出回路

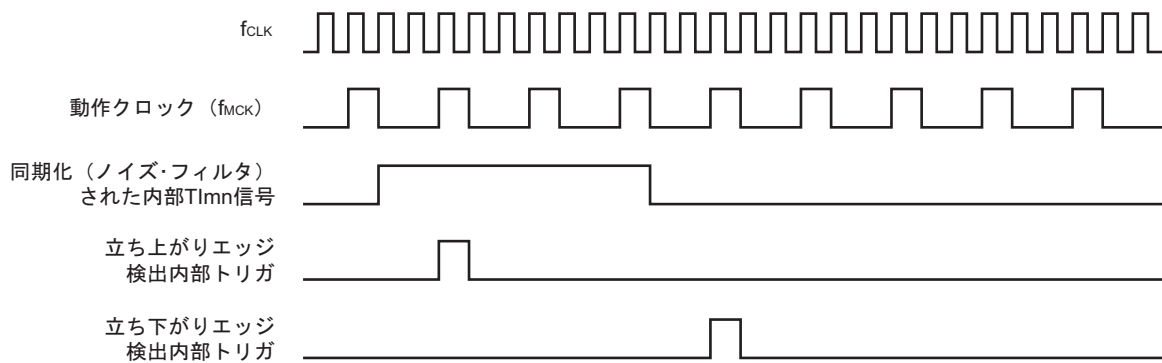
(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック (f_{MCK}) に合わせて行われます。

エッジ検出内部信号は、Tl_{mn}端子からの入力信号の有効エッジを検出し、次のf_{MCK}の立ち上がり同期した信号になります。

これは、実際のTl_{mn}端子からの入力信号よりf_{MCK}の1~2クロック分遅れた信号になります (ノイズ・フィルタ使用時は、f_{MCK}の3~4クロック分遅れます)。

図6-43 エッジ検出基本動作タイミング



備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.6 タイマ・アレイ・ユニットの基本機能説明

6.6.1 単体動作機能と連動動作機能の概要

タイマ・アレイ・ユニット（以下、TAUと略します）は複数のチャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、いくつかのチャンネルを組み合わせて使用する連動動作機能があります。

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です。

連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

6.6.2 連動動作機能の基本ルール

次に連動動作機能の基本的なルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 TAU0のチャンネル2をマスタ・チャンネルにした場合

チャンネル3以降（チャンネル3, チャンネル4, チャンネル5...）がスレーブ・チャンネルに設定できます。

78K0R/HE3, 78K0R/HF3でTAU2のチャンネル2をマスタ・チャンネルにした場合

チャンネル3（78K0R/HE3, 78K0R/HF3のTAU2はチャンネル3までしかないため）がスレーブ・チャンネルに設定できます。

- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。ただし、ユニットをまたがってスレーブ・チャンネルを設定することは出来ません。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

例 TAU0のチャンネル0, チャンネル4をマスタ・チャンネルにした場合

マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル4は、チャンネル5-7をスレーブ・チャンネルとして設定できません。

- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKS1ビット, CKS0ビット（TMRmnレジスタのビット15, ビット14）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMmn（割り込み）／スタート・トリガ／カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMmn（割り込み）／スタート・トリガ／カウント・クロックを使用できますが、下位チャンネルに自身のINTTMmn（割り込み）／スタート・トリガ／カウント・クロックを伝えることはできません。

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

- (9) マスタ・チャンネルは、他のマスタ・チャンネルからのINTTMmn（割り込み）／スタート・トリガ／カウント・クロックを使用できません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのTSm_nビットを同時に設定する必要があります。
- (11) カウント動作中のTSm_nビットの設定は、連動させるすべてのチャンネル、またはマスタ・チャンネルのみ設定できます。スレーブ・チャンネルのTSm_nのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのTTm_nビットを同時に設定する必要があります。

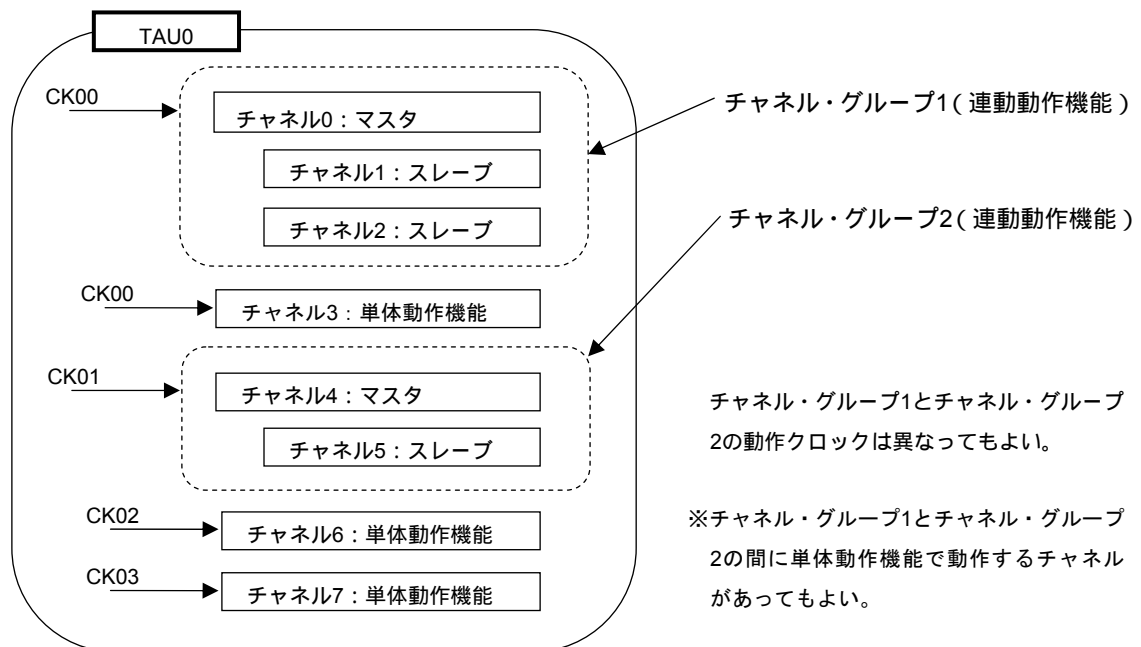
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 n : チャンネル番号 (n = 0-7)
 mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
 mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.6.3 連動動作機能の基本ルールの適用範囲

連動動作機能のルールは、チャンネル・グループ（1つの連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には6.6.2 連動動作機能の基本ルールのルールは適用されません。

例



6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作

6.7.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\cdot \text{TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

TCRmnはインターバル・タイマ・モードでダウン・カウンタとして動作します。

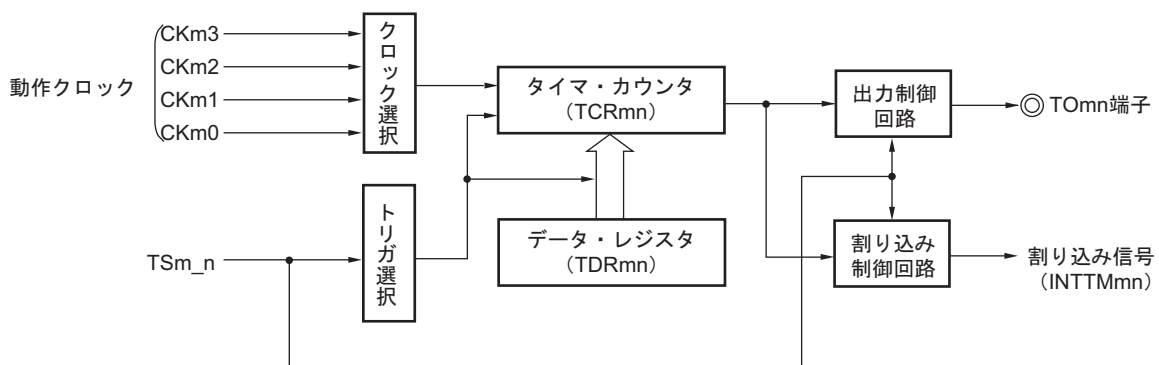
チャンネル・スタート・トリガ・ビット (TSm_n) に1を設定後、最初のカウント・クロックでTCRmnはTDRmnの値をロードします。このときTMRmnのMDmn0 = 0ならば、INTTMmnを出力せず、TOmnはトグルしません。TMRmnのMDmn0 = 1ならば、INTTMmnを出力して、TOmnをトグルします。

その後、TCRmnはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hになったら、次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また、同タイミングで再びTCRmnはTDRmnの値をロードします。以降、同様の動作を継続します。

TDRmnは任意のタイミングで書き換えることができます。書き換えたTDRmnの値は、次の周期から有効となります。

図6-44 インターバル・タイマ／方形波出力としての動作のブロック図



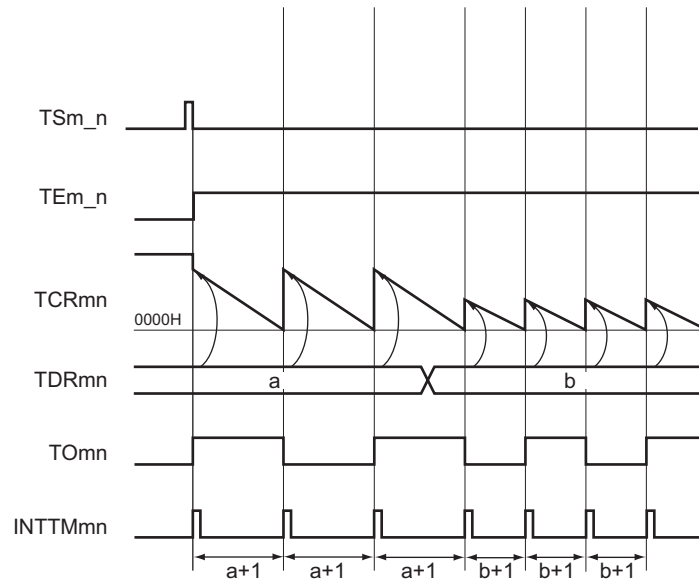
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-45 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



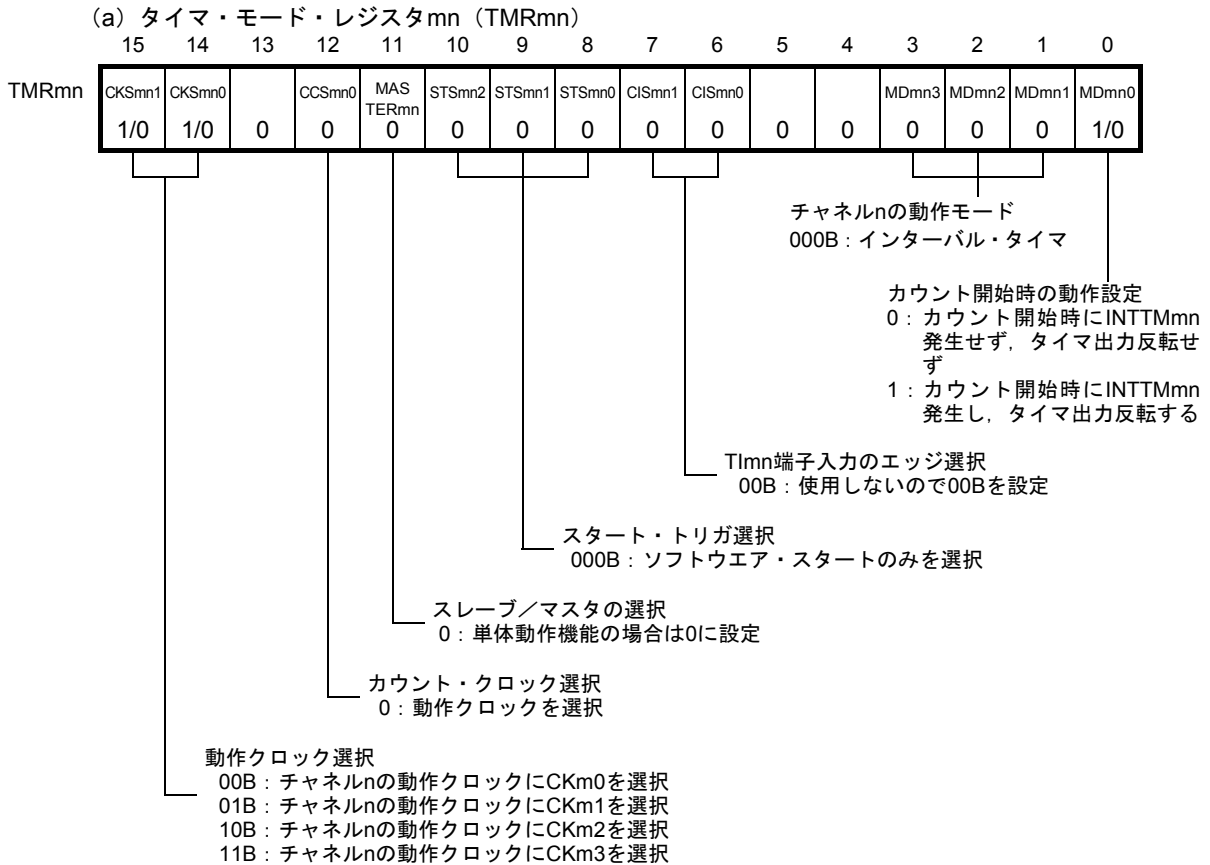
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-46 インターバル・タイマ／方形波出力としての動作時のレジスタ設定内容例



(b) タイマ出力レジスタm (TO0)

ビットn	TOmn	
	1/0	0: TOmnより0を出力する 1: TOmnより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn	TOEm_n	
	1/0	0: カウント動作によるTOmn出力動作停止 1: カウント動作によるTOmn出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn	TOLmn	
	0	0: TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn	TOMmn	
	0	0: トグル・モードを設定

備考 m: ユニット番号 (m = 0, 1: 78K0R/HC3, m = 0-2: 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
n: チャンネル番号 (n = 0-7)
mn = 00-07, 10-17: 78K0R/HC3, mn = 00-07, 10-17, 20-23: 78K0R/HE3, 78K0R/HF3,
mn = 00-07, 10-17, 20-27: 78K0R/HG3

図6-47 インターバル・タイマ/方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAUmENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	TMRmnレジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TDRmnレジスタにインターバル (周期) 値を設定する	
	TOmn出力を使用する場合, TOMmnレジスタのTOMmnビットに0 (トグル・モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する TOEm_nに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作 開始	TOEm_nに1を設定する (動作再開時のみ)	
	TSm_nビットに1を設定する TSm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 1になり, カウント動作開始 カウント・クロック入力でTCRmnはTDRmnの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作 中	TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能	カウンタ (TCRmn) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnはTDRmnの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。以降, この動作を繰り返す。
動作 停止	TTm_nビットに1を設定する TTm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEm_nに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmn設定レベルを出力

動作再開

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-47 インターバル・タイマ/方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmn端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAUmENIに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.7.2 外部イベント・カウンタとしての動作

TI_{mn}端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

TCRmnはイベント・カウンタ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (T_{Sm_n}) に1を設定することによりTCRmnはTDRmnの値をロードします。

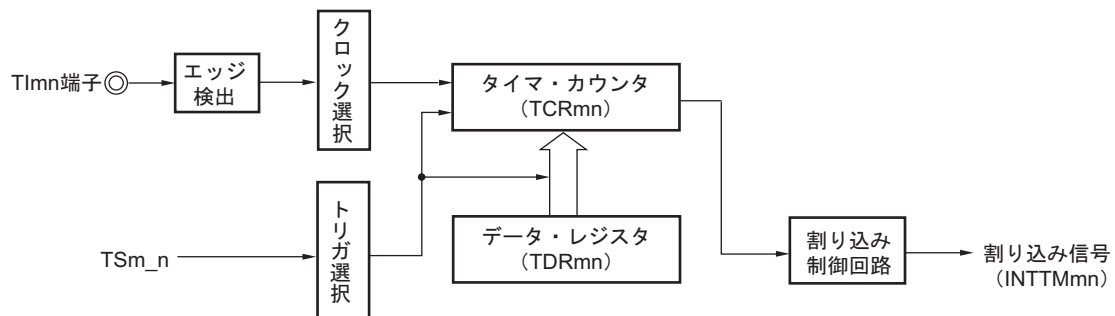
TCRmnはTI_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000Hになったら、再びTDRmnの値をロードして、INTTMmnを出力します。

以降、同様の動作を継続します。

TOmnは外部イベントに依存した不規則な波形となるため、TOmnは使用できません。

TDRmnは任意のタイミングで書き換えることができます。書き換えたTDRmnの値は次のカウント期間で有効になります。

図6-48 外部イベント・カウンタとしての動作のブロック図



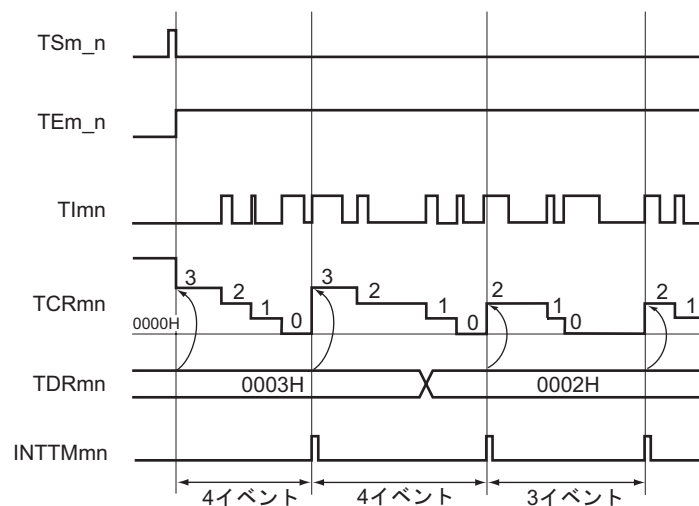
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

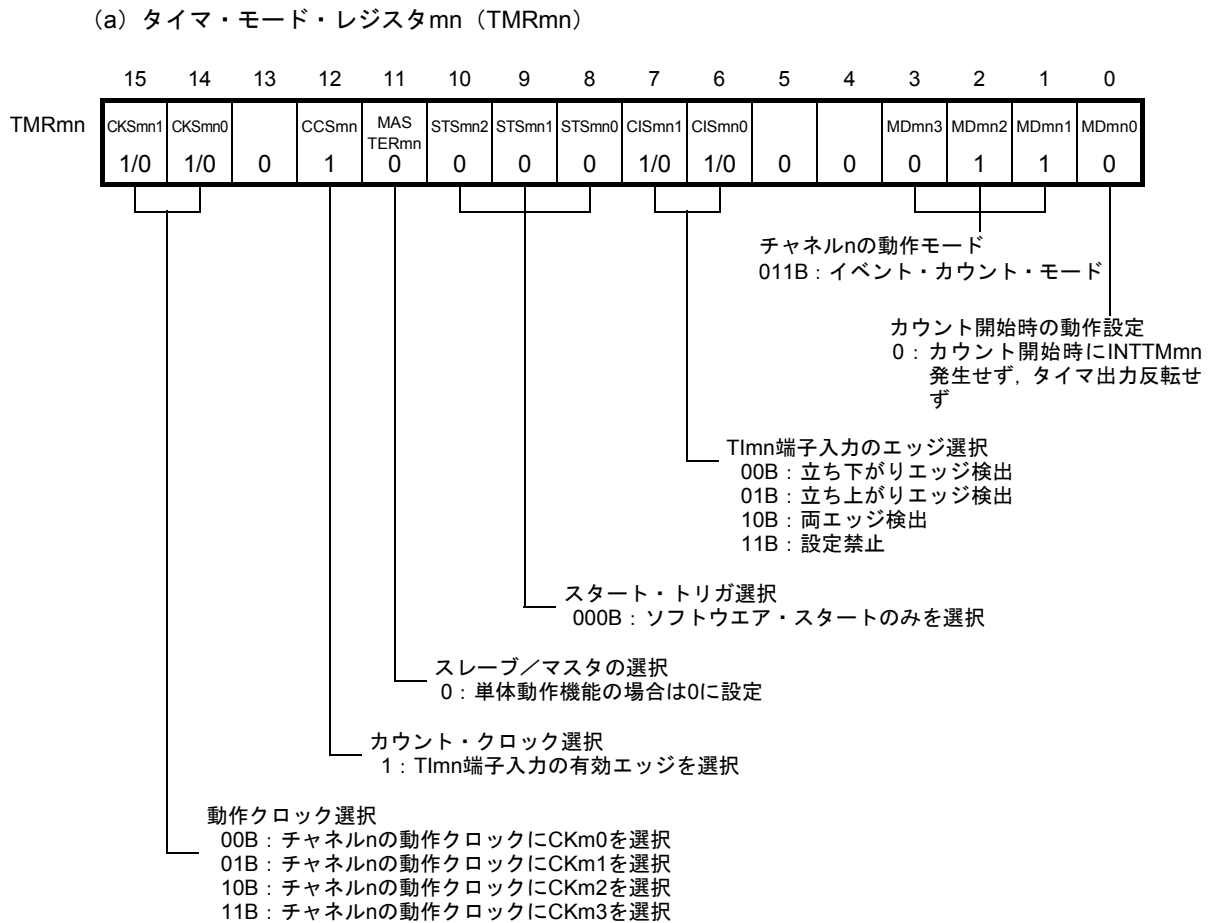
mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-49 外部イベント・カウンタとしての動作の基本タイミング例



- 備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
 n : チャネル番号 (n = 0-7)
 mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
 mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-50 外部イベント・カウンタ・モード時のレジスタ設定内容例



(b) タイマ出力レジスタm (TO0)

ビットn
TOMn
0 : TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn
TOEmn
0 : カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn
TOLmn
0 : TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn
TOMmn
0 : トグル・モードを設定

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-51 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	PER0レジスタのTAUmENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	TMRmnレジスタを設定する (チャンネルの動作モード確定) TDRmnレジスタにカウント数を設定する TOEmレジスタのTOEm_nビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSm_nビットに1を設定する TSm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 1になり, カウント動作開始 TCRmnはTDRmnの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEm_nビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnはTDRmnの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TTm_nビットに1を設定する TTm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.7.3 分周器としての動作

Tl_{mn}に入力されたクロックを分周し、TO_{mn}から出力する分周器として利用することができます。

TO_{mn}出力の分周クロック周波数は次の式で求めることができます。

・立ち上りエッジ/立ち下りエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDRmnの設定値} + 1) \times 2 \}$$

・両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDRmnの設定値} + 1)$$

TCR_{mn}はインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (T_{Sm_n}) に1を設定後、Tl_{mn}の有効エッジ検出でTCR_{mn}はTDR_{mn}の値をロードします。このときTMR_{mn}のMD_{mn0} = 0ならば、INTT_{mn}を出力せず、TO_{mn}はトグルしません。

TMR_{mn}のMD_{mn0} = 1ならば、INTT_{mn}を出力して、TO_{mn}をトグルします。

その後、Tl_{mn}の有効エッジに合わせてダウン・カウントを行い、TCR_{mn} = 0000Hとなったら、TO_{mn}をトグルします。同時にTCR_{mn}はTDR_{mn}の値をロードして、カウントを継続します。

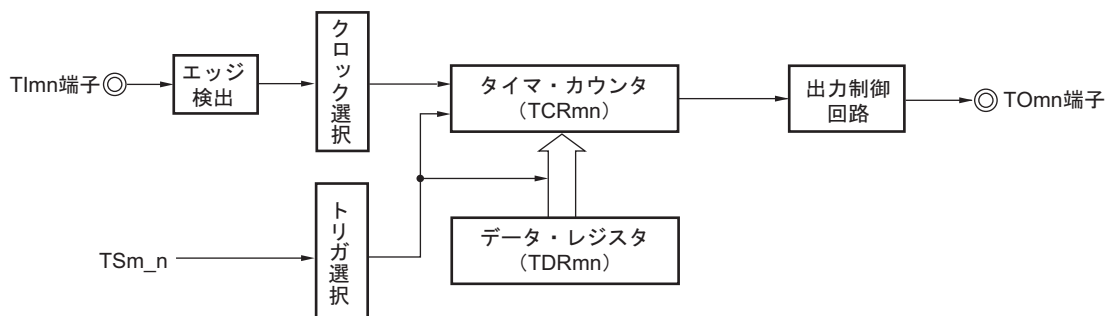
Tl_{mn}の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO_{mn}出力の分周クロック周期に影響します。

TO_{mn}の出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TOmn出力のクロック周期} = \text{理想のTOmn出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR_{mn}は任意のタイミングで書き換えることができます。書き換えたTDR_{mn}の値は次のカウント期間で有効となります。

図6-52 分周器としての動作のブロック図



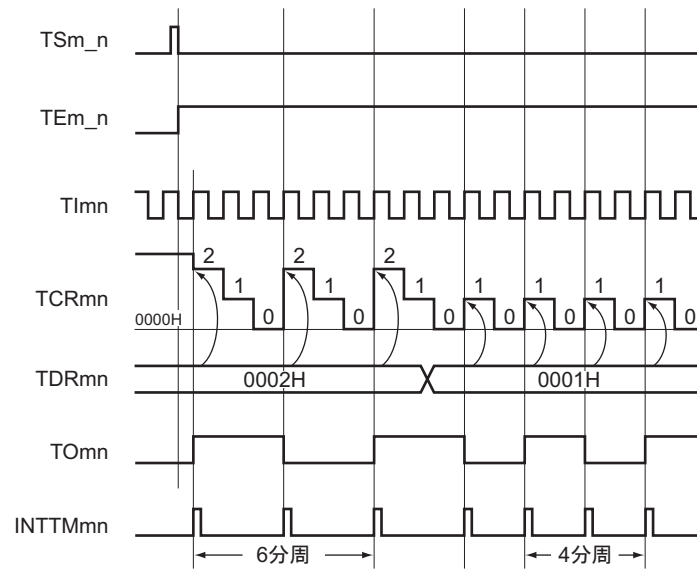
備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-7)

mn = 05, 11 : 78K0R/HC3, 78K0R/HE3, mn = 00-02, 04-07, 10-17 : 78K0R/HF3,

mn = 00-07, 10-17 : 78K0R/HG3

図6-53 分周器としての動作の基本タイミング例 (MDmn0 = 1)



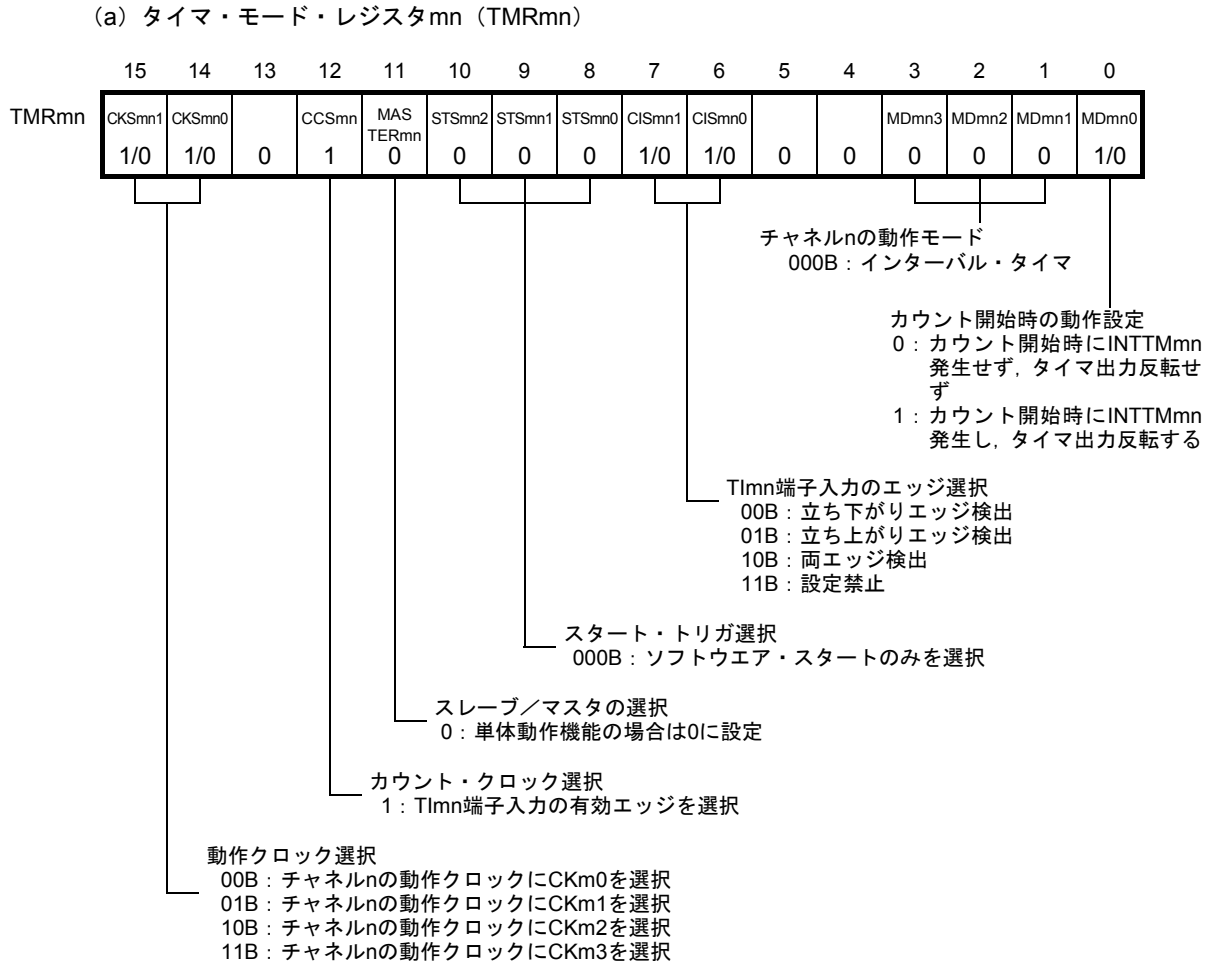
備考 m : ユニット番号 (m = 0, 1)

n : チャネル番号 (n = 0-7)

mn = 05, 11 : 78K0R/HC3, 78K0R/HE3, mn = 00-02, 04-07, 10-17 : 78K0R/HF3,

mn = 00-07, 10-17 : 78K0R/HG3

図6-54 分周器時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットn

TOm	<table border="1"><tr><td>TOmn</td></tr><tr><td>1/0</td></tr></table>	TOmn	1/0	0 : TOmnより0を出力する 1 : TOmnより1を出力する
TOmn				
1/0				

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm	<table border="1"><tr><td>TOEm_n</td></tr><tr><td>1/0</td></tr></table>	TOEm_n	1/0	0 : カウント動作によるTOmn出力動作停止 1 : カウント動作によるTOmn出力動作許可
TOEm_n				
1/0				

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm	<table border="1"><tr><td>TOLmn</td></tr><tr><td>0</td></tr></table>	TOLmn	0	0 : TOMmn = 0 (トグル・モード) では0を設定
TOLmn				
0				

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm	<table border="1"><tr><td>TOMmn</td></tr><tr><td>0</td></tr></table>	TOMmn	0	0 : トグル・モードを設定
TOMmn				
0				

備考 m : ユニット番号 (m = 0, 1)
n : チャンネル番号 (n = 0-7)
mn = 05, 11 : 78K0R/HC3, 78K0R/HE3, mn = 00-02, 04-07, 10-17 : 78K0R/HF3,
mn = 00-07, 10-17 : 78K0R/HG3

図6-55 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	TMRmnレジスタを設定する (チャンネルの動作モード確定) TDRmnレジスタにインターバル (周期) 値を設定する TOMmnレジスタのTOMmnビットに0 (トグル・モード) を設定する TOLmnビットに0を設定する TOMnビットを設定し, TOMn出力の初期レベルを確定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOMn端子はHi-Z出力状態
	TOEm_nに1を設定し, TOMnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOMn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOMnは変化しない TOMn端子はTOMn設定レベルを出力
動作 開始	TOEm_nに1を設定する (動作再開時のみ) TSM_nビットに1を設定する TSM_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 1になり, カウント動作開始 カウント・クロック入力でTCRmnはTDRmnの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOMnもトグル動作する。
	動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止
動作 停止	TTm_nビットに1を設定する TTm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止 TOMn出力は初期化されず, 状態保持
	TOEm_nに0を設定し, TOMnビットに値を設定する	TOMn端子はTOMn設定レベルを出力
TAU 停止	TOMn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOMnビットに0を設定する	TOMn端子出力レベルはポート機能により保持される。
	TOMn端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER0レジスタのTAUmENビットに0を設定する	TOMn端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOMnビットが0になり, TOMn端子はポート機能となる)

動作再開

備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-7)

mn = 05, 11 : 78K0R/HC3, 78K0R/HE3, mn = 00-02, 04-07, 10-17 : 78K0R/HF3,

mn = 00-07, 10-17 : 78K0R/HG3

6.7.4 入力パルス間隔測定としての動作

Tlmn有効エッジでカウント値をキャプチャし、Tlmn入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{Tlmn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 Tlmn端子入力は、TMRmnレジスタのCKSmnビットで選択した動作クロックでサンプリングされるため、最大で動作クロックの1クロック分の誤差が発生します。

TCRmnはキャプチャ・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ (TSm_n) に1を設定するとTCRmnはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

Tlmn端子入力の有効エッジを検出すると、カウント値をTDRmnに転送 (キャプチャ) すると同時に、カウンタ (TCRmn) を0000Hにクリアして、INTTMmnを出力します。このとき、カウンタのオーバフローが発生していたら、TSRmnレジスタのOVFビットが1にセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

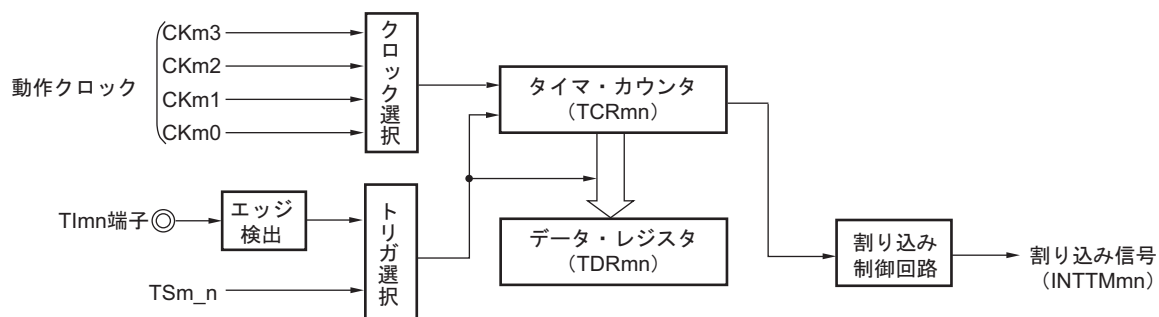
カウント値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは累積形で構成されており、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して、Tlmn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEm_n = 1のとき、TCRmnは、Tlmn端子入力を使用せずに、ソフトウェア操作 (TSm_n = 1) をキャプチャ・トリガにすることもできます。

図6-56 入力パルス間隔測定としての動作のブロック図



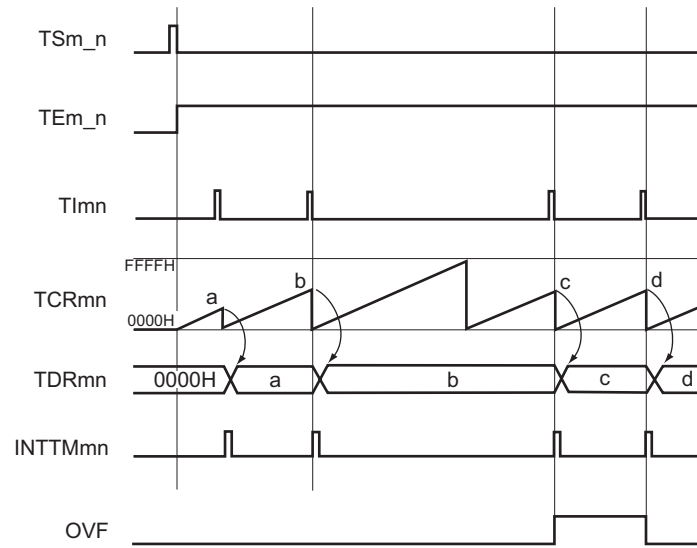
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-57 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



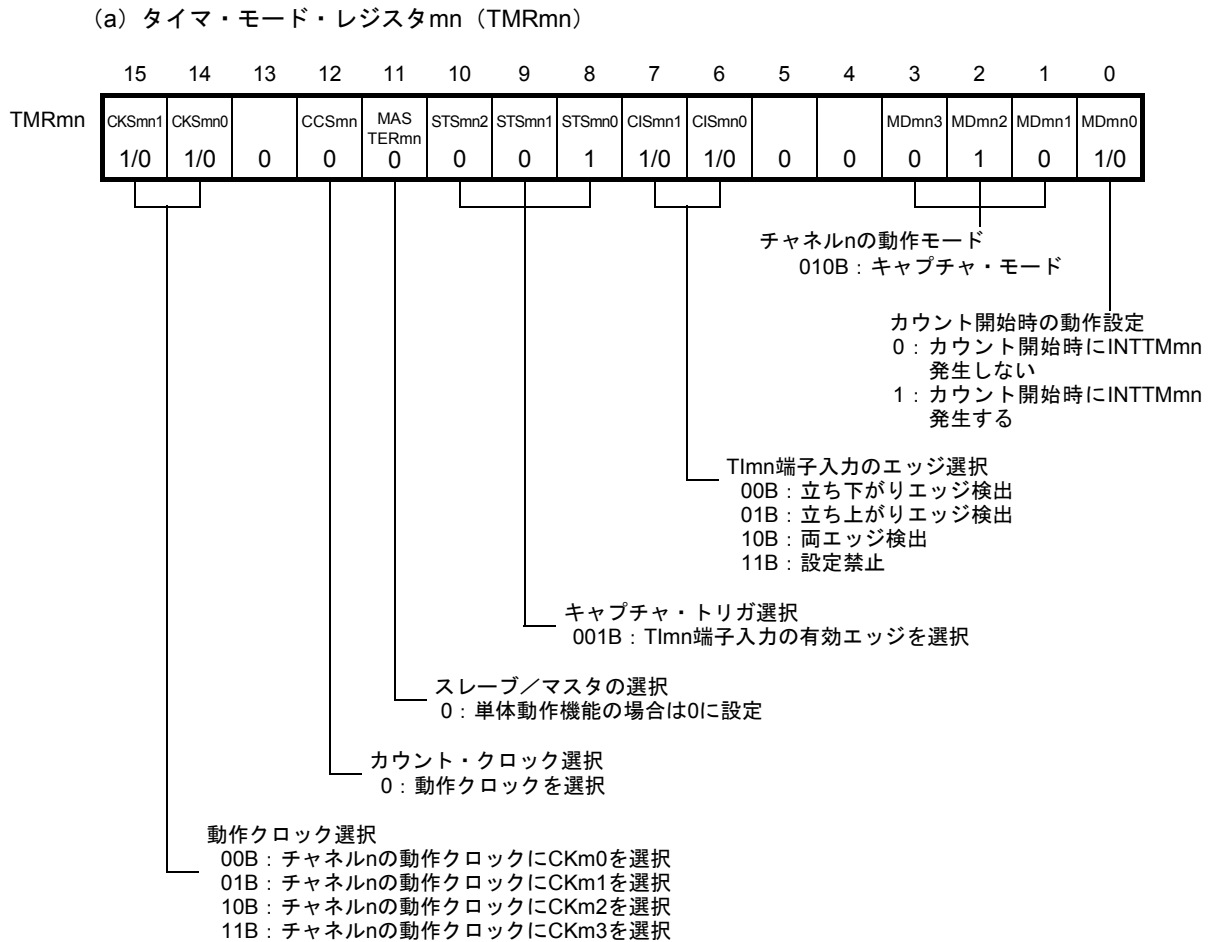
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-58 入力パルス間隔測定時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットn

TOm

TOmn
0

 0 : TOmnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm

TOEn
0

 0 : カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm

TOLmn
0

 0 : TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm

TOMmn
0

 0 : トグル・モードを設定

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)
n : チャンネル番号 (n = 0-7)
mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,
mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-59 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAUmENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	TMRmnレジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	TSm_nビットに1を設定する TSm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 1になり, カウント動作開始 カウント・クロック入力でTCRmnを0000Hにクリアする。 TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生する。
	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TOMmn, TOLmn, TOmn, TOEm_nビットは, 設定値変更禁止	カウンタ (TCRmn) は0000Hからアップ・カウント動作を行い, TImn端子入力の有効エッジが検出されたら, カウント値をTDRmnに転送(キャプチャ)する。同時に, TCRmnを0000Hにクリアし, INTTMmnを発生する。 このときオーバフローが発生していたら, TSRmnレジスタのOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。 以降, この動作を繰り返す。
	TTm_nビットに1を設定する TTm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.7.5 入力信号のハイ／ロウ・レベル幅測定としての動作

Tlmnの片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlmnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。Tlmnの信号幅は次の式で求めることができます。

$$\text{Tlmn入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times \left((10000\text{H} \times \text{TSRn:OVF}) + (\text{TDRmnのキャプチャ値} + 1) \right)$$

注意 Tlmn端子入力は、TMRmnレジスタのCKSmnビットで選択した動作クロックでサンプリングされるため、最大で動作クロックの1クロック分の誤差が発生します。

TCRmnはキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ（TSm_n）に1を設定すると、TEm_n = 1となりTlmn端子のスタート・エッジ検出待ち状態となります。

Tlmnのスタート・エッジ（ハイ・レベル幅測定ならTlmnの立ち上がりエッジ）を検出すると、カウント・クロックに合わせてアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTlmnの立ち下がりエッジ）を検出すると、カウンタ値をTDRmnに転送すると同時にINTTMmnを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRmnレジスタのOVFビットがセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。TCRmnは、「TDRmnに転送した値+1」の値で停止し、Tlmn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDRmnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmnレジスタのOVFビットがセット（1）されます。しかし、OVFビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

Tlmn端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmnレジスタのCISmn1、CISmn0ビットにて設定することができます。

この機能は、Tlmn端子入力の信号幅測定を目的とするため、TEm_n = 1期間中のTSm_nのセット（1）は使用できません。

TMRmnのCISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

TMRmnのCISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

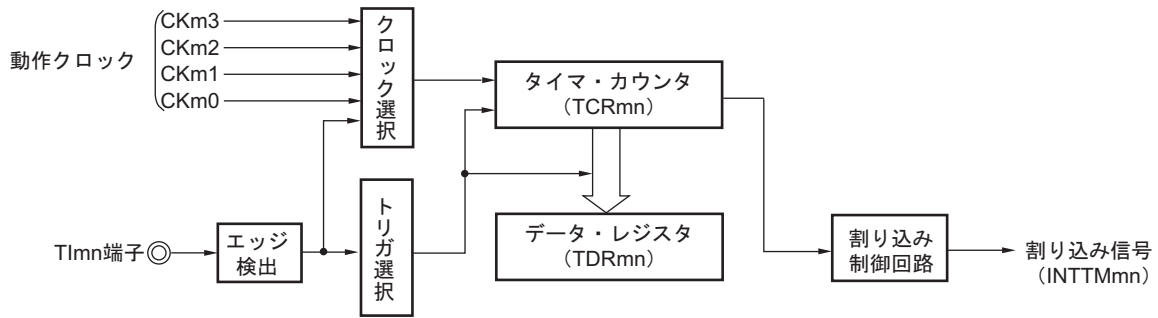
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-60 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



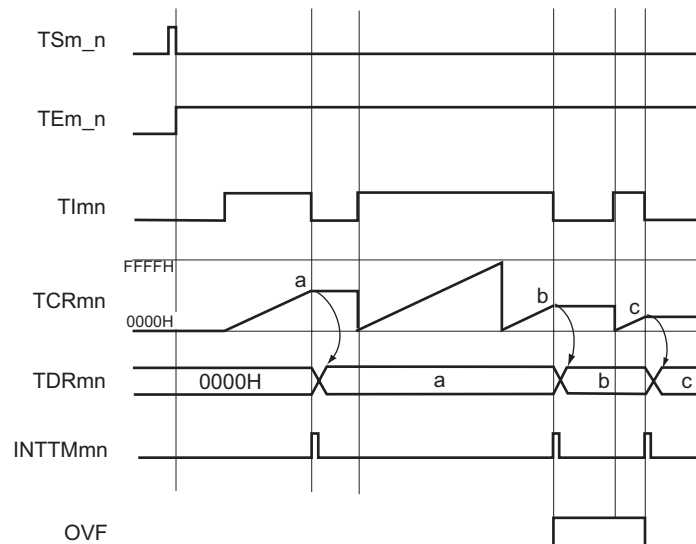
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-61 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



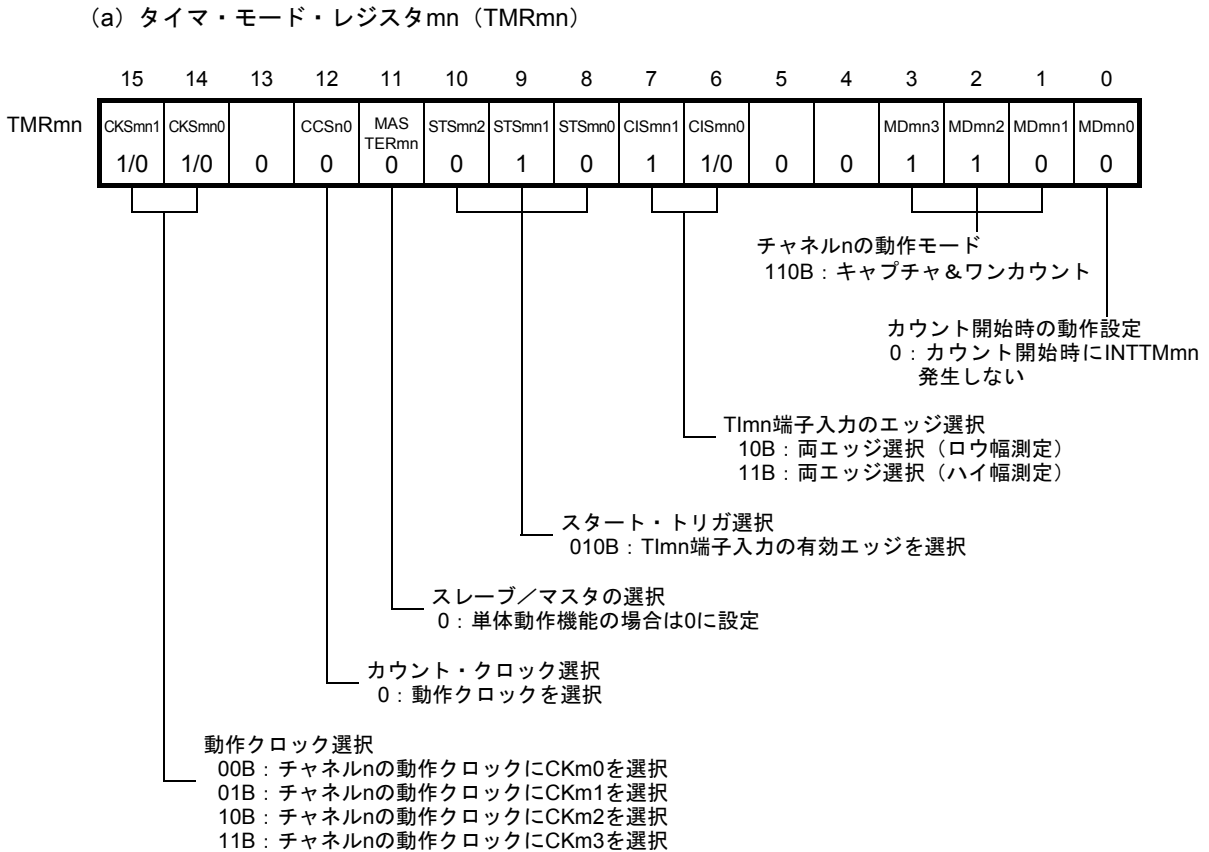
備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-62 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例



(b) タイマ出力レジスタm (TOM)

ビットn

TOM

TOMn
0

 0 : TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm

TOEn
0

 0 : カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm

TOLmn
0

 0 : TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm

TOMmn
0

 0 : トグル・モードを設定

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

図6-63 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAUmENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	TMRmnレジスタを設定する (チャンネルの動作モード確定) TOEm_nに0を設定し, TOmnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSm_nビットに1を設定する TSm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	TCRmnを0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEm_n ビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら, カウント値をTDRmnに転送し, INTTMmnを発生する。 このときオーバフローが発生していたら, TSRmnレジスタのOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTm_nビットに1を設定する TTm_nビットはトリガ・ビットなので, 自動的に0に戻る	TEm_n = 0になり, カウント動作停止 TCRmnはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 m : ユニット番号 (m = 0, 1 : 78K0R/HC3, m = 0-2 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3)

n : チャンネル番号 (n = 0-7)

mn = 00-07, 10-17 : 78K0R/HC3, mn = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3,

mn = 00-07, 10-17, 20-27 : 78K0R/HG3

6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作

6.8.1 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

<p>パルス周期 = {TDRmn (マスタ) の設定値+1} × カウント・クロック周期</p> <p>デューティ [%] = {TDRmp (スレーブ) の設定値} / {TDRmn (マスタ) の設定値+1} × 100</p> <p>0 %出力 : TDRmp (スレーブ) の設定値 = 0000H</p> <p>100 %出力 : TDRmp (スレーブ) の設定値 {TDRmn (マスタ) の設定値+1}</p>
--

備考 TDRmp (スレーブ) の設定値 > {TDRmn (マスタ) の設定値+1} の場合は、デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。チャンネル・スタート・トリガ (TSm_n) に1を設定すると、INTTMmnを出力します。TCRmnはロードしたTDRmnの値からカウント・クロックに合わせてダウン・カウントを行います。TCRmn = 0000Hとなったら、INTTMmnを出力し、再びTCRmnはTDRmnの値をロードして、以降、同様の動作を継続します。

スレーブ・チャンネルは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。スレーブ・チャンネルのTCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmpの値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネルのTDRmpを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpにTDRmn, TDRmpの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われるとTOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnとスレーブのTDRmpを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

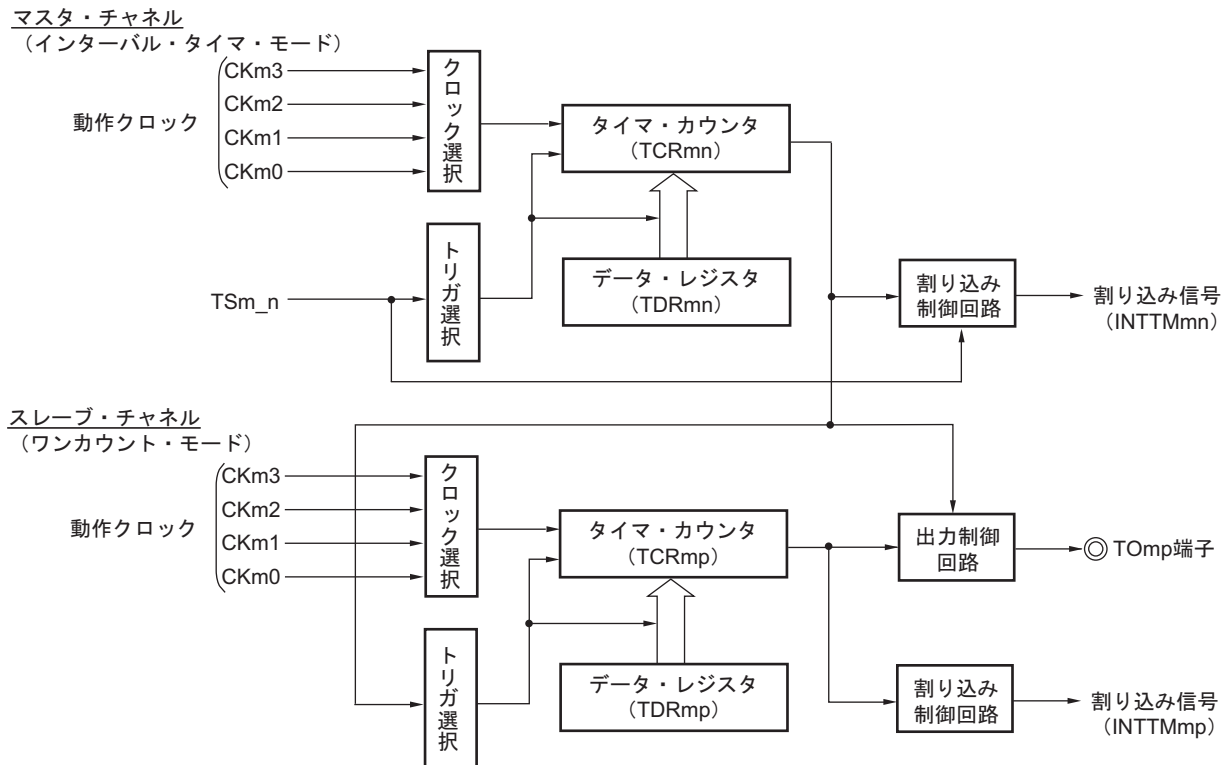
n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

図6-64 PWM機能としての動作のブロック図



備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

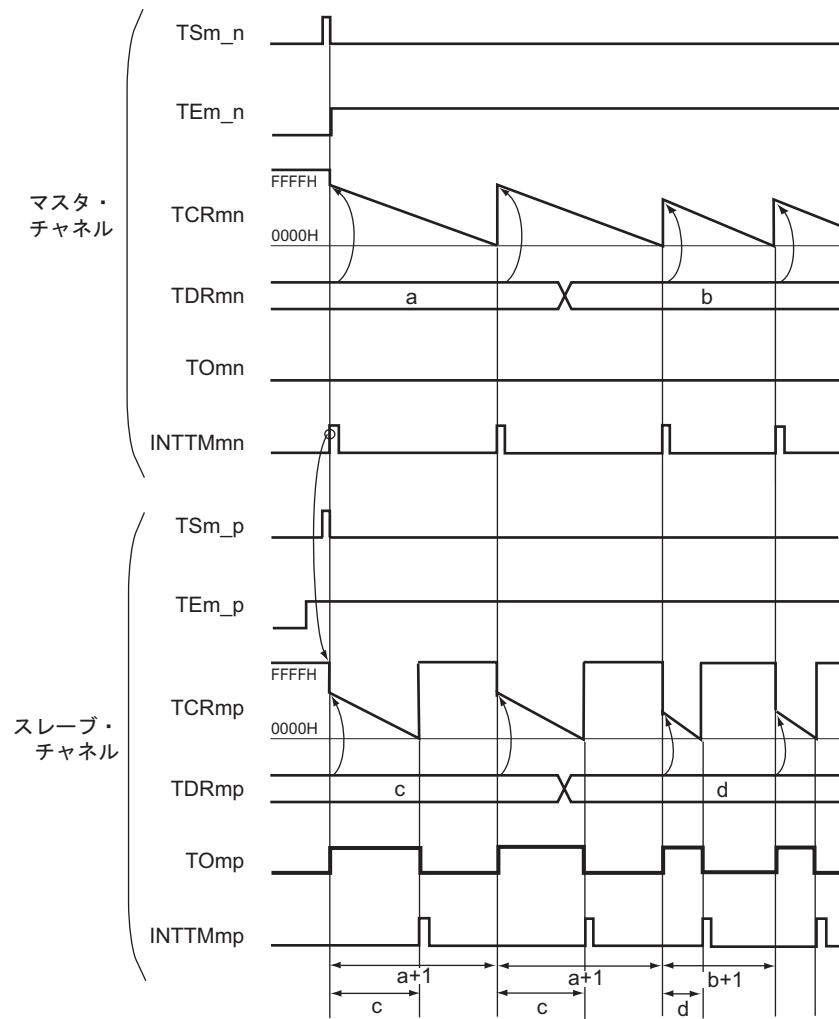
n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

図6-65 PWM機能としての動作の基本タイミング例



備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 ($p = n + 1$ 以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

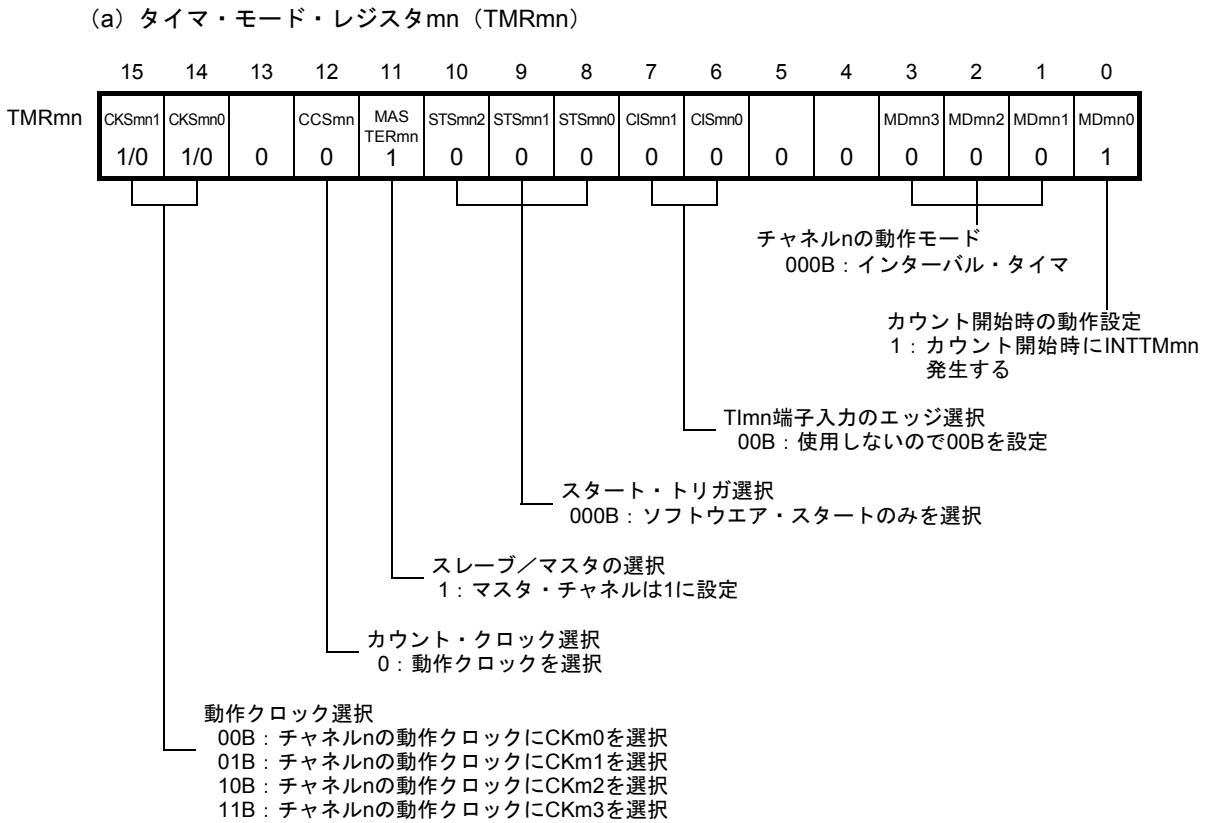
n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

図6-66 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例



(b) タイマ出力レジスタm (TOm)

ビットn

TOm TOmn
0 0 : TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm TOEn
0 0 : カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm TOLmn
0 0 : TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMn)

ビットn

TOMm TOMmn
0 0 : トグル・モードを設定

備考 m : ユニット番号, n : マスタ・チャンネル番号

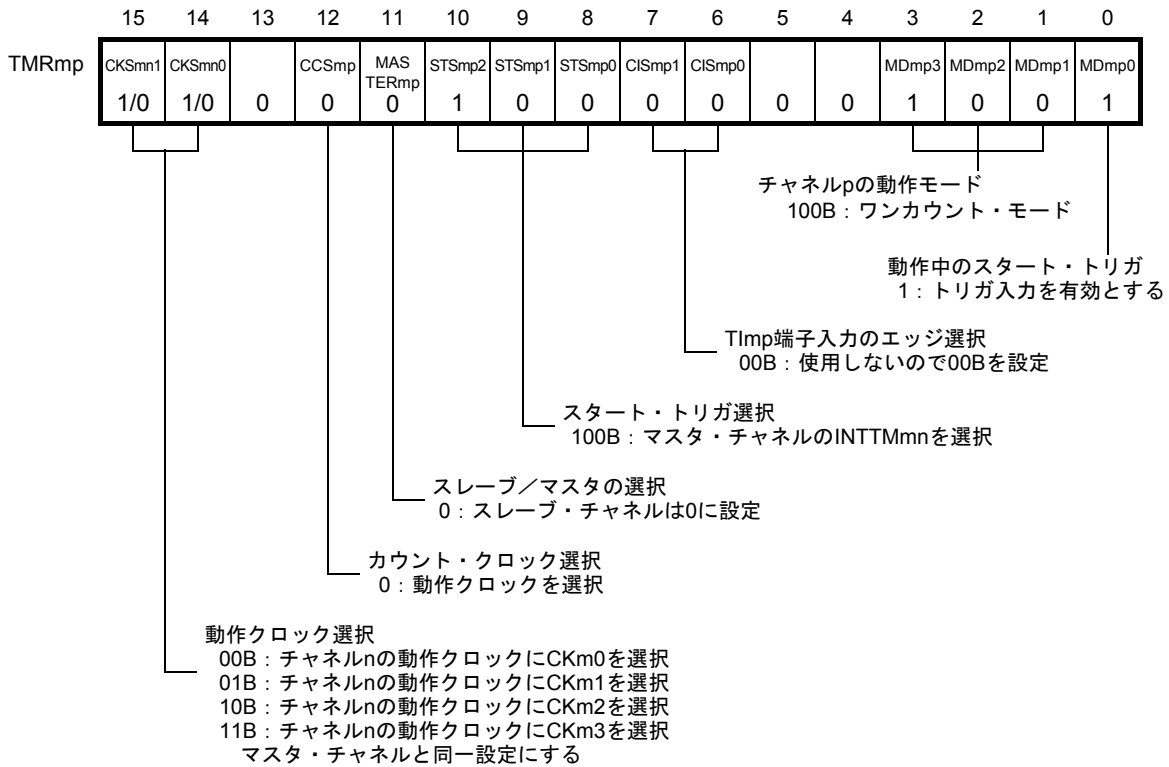
m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 : n = 0, 2, 4, 6

m = 2の場合 : n = 0, 2 : 78K0R/HE3, 78K0R/HF3, n = 0, 2, 4, 6 : 78K0R/HG3

図6-67 PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

ビットp	TOMp	
	1/0	0 : TOMpより0を出力 1 : TOMpより1を出力

(c) タイマ出力許可レジスタm (TOEm)

ビットp	TOEm_p	
	1/0	0 : カウント動作によるTOMp出力動作停止 1 : カウント動作によるTOMp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp	TOLmp	
	1/0	0 : 正論理出力 (アクティブ・ハイ) 1 : 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp	TOMmp	
	1	1 : 連動動作モードを設定

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 : n = 0, 2, 4, 6

m = 2の場合 : n = 0, 2 : 78K0R/HE3, 78K0R/HF3, n = 0, 2, 4, 6 : 78K0R/HG3

図6-68 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMRmn, TMRmpレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタにインターバル (周期) 値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmpビットに1 (連動動作モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEm_pに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力
動作 開始	TOEm_p (スレーブ) に1を設定する (動作再開時のみ) TSMレジスタのTSM_n (マスタ), TSM_p (スレーブ) ビットに同時に1を設定する TSM_n, TSM_pビットはトリガ・ビットなので, 自動的に0に戻る	TEM_n = 1, TEM_p = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
動作 中	TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOMn, TOEmnビットは設定値変更禁止 TDRmn, TDRmp レジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOLmp, TOmp, TOEmpビットは, 設定値変更可能	マスタ・チャンネルでは, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnはTDRmnの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpはTDRmpの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTm_n (マスタ), TTm_p (スレーブ) ビットに同時に1を設定する TTm_n, TTm_pビットはトリガ・ビットなので, 自動的に0に戻る	TEM_n, TEM_p = 0になり, カウント動作停止 TCRmn, TCRmpはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEm_pに0を設定し, TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力

動作再開

図6-68 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOMP端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOMPビットに0を設定する	TOMP端子出力レベルはポート機能により保持される。
	TOMP端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOMP端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOMPビットが0になり、TOMP端子はポート機能となる)

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

6.8.2 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのTCRmnは、スタート・トリガ検出により動作を開始し、TCRmnはTDRmnの値をロードします。TCRmnはロードしたTDRmnの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして動作を開始し、TCRmpはTDRmpの値をロードします。TCRmpはロードしたTDRmpの値からカウント・クロックに合わせてダウン・カウントを行います。そしてTCRmp = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ（マスタ・チャンネルのINTTMmn）検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn端子入力を使用せず、ソフトウェア操作（TSm_n = 1）をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネルのTDRmpでは、ロード・タイミングが異なるため、動作中にTDRmn, TDRmpを書き換えると不正波形が出力されます。TDRmnはINTTMmn発生直後に、TDRmpはINTTMmp発生直後に書き換えてください。

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

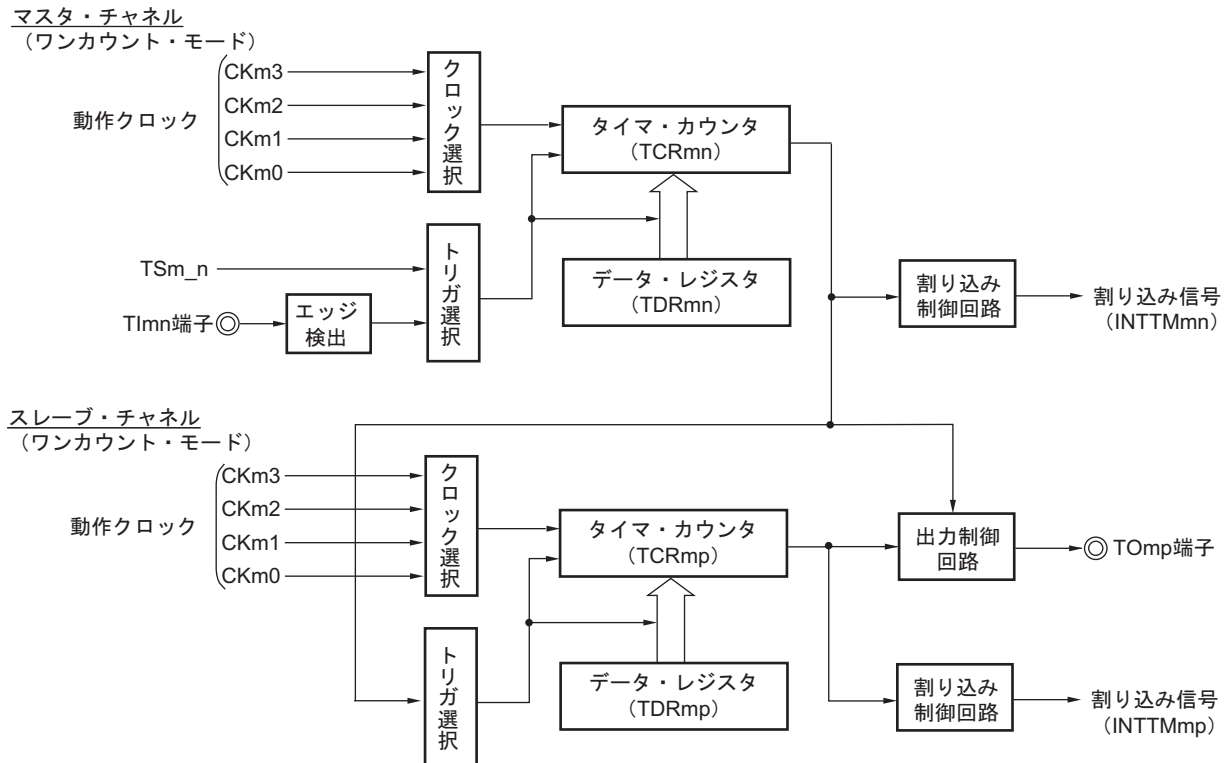
n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

図6-69 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号, n : マスター・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

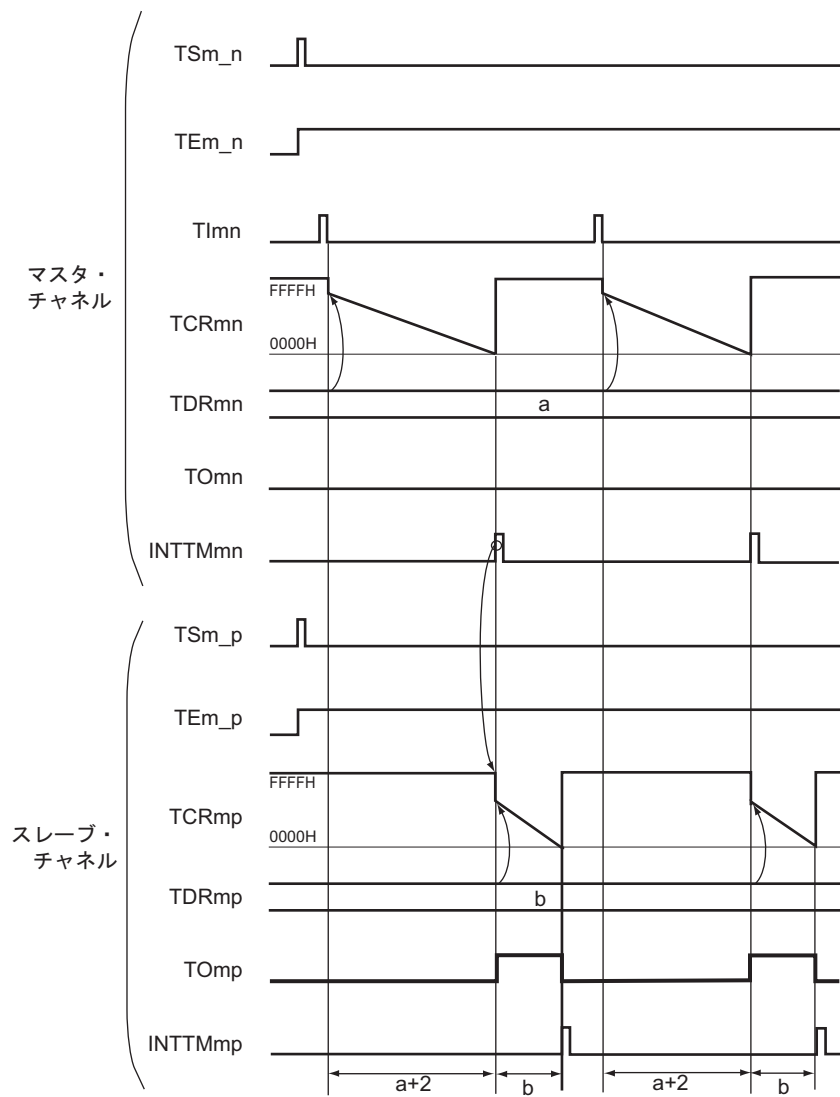
n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

図6-70 ワンショット・パルス出力機能としての動作の基本タイミング例



備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 ($p = n + 1$ 以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

n = 0, 2, 4, 6

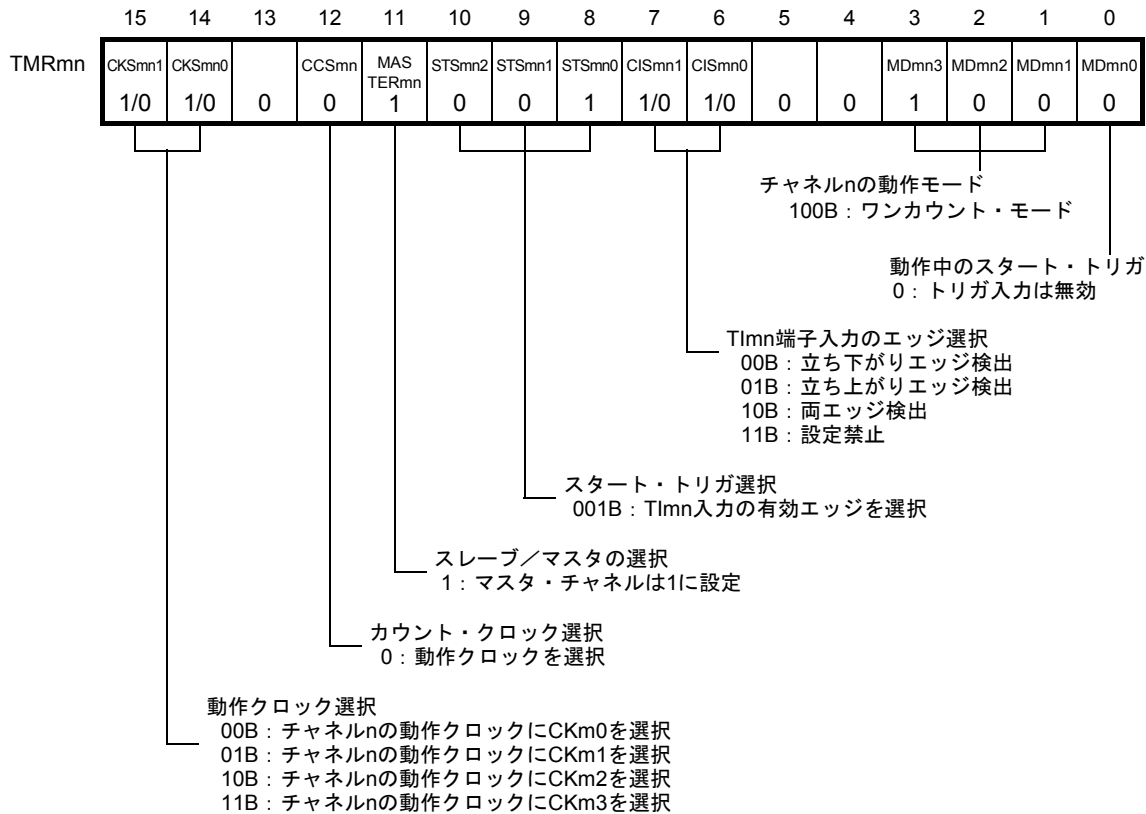
m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

図6-71 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



(b) タイマ出力レジスタm (TOm)

ビットn

TOm TOmn
0 0 : TOmnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm TOEm_n
0 0 : カウント動作によるTomn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm TOLmn
0 0 : TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm TOMmn
0 0 : トグル・モードを設定

備考 m : ユニット番号, n : マスタ・チャンネル番号

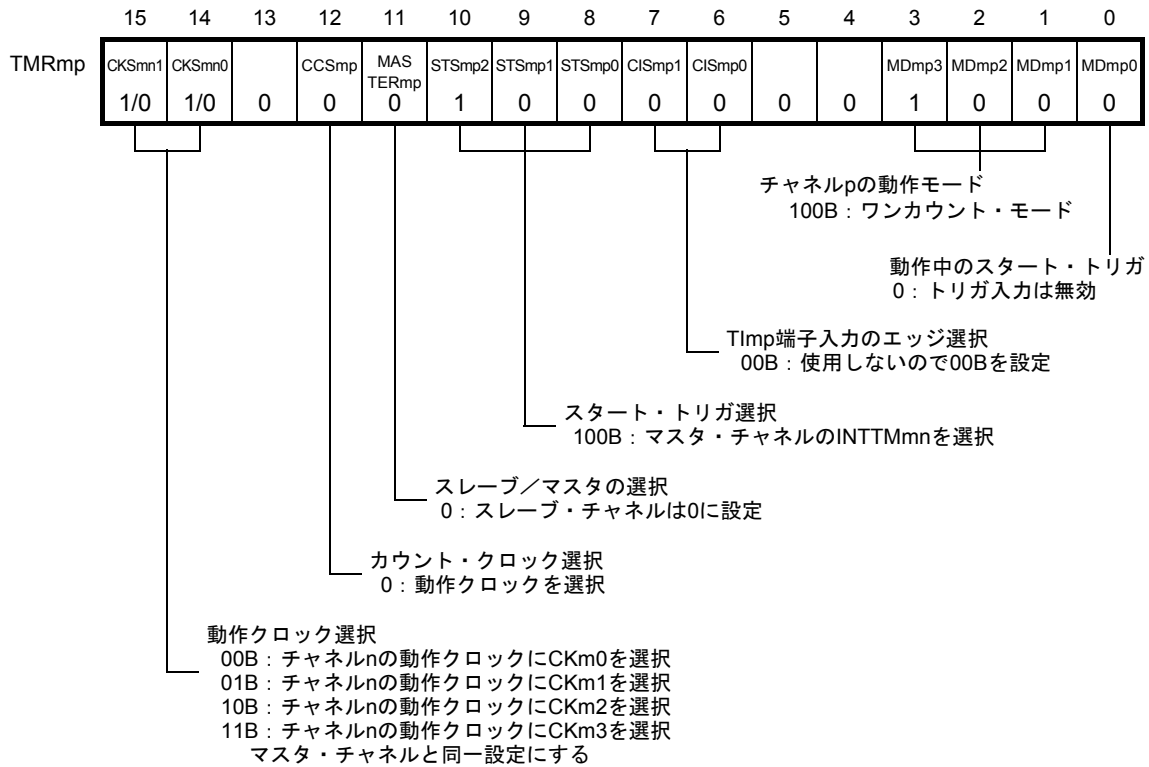
m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 : n = 0, 2, 4, 6

m = 2の場合 : n = 0, 2 : 78K0R/HE3, 78K0R/HF3, n = 0, 2, 4, 6 : 78K0R/HG3

図6-72 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

ビットp	TOMp	説明
	0	TOMpより0を出力する
	1	TOMpより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットp	TOEmp	説明
	0	カウント動作によるTOMp出力動作停止
	1	カウント動作によるTOMp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp	TOLmp	説明
	0	正論理出力 (アクティブ・ハイ)
	1	反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp	TOMmp	説明
	1	連動動作モードを設定

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 : n = 0, 2, 4, 6

m = 2の場合 : n = 0, 2 : 78K0R/HE3, 78K0R/HF3, n = 0, 2, 4, 6 : 78K0R/HG3

図6-73 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMRmn, TMRmpレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタに出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmpビットに1 (連動動作モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEm_pに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力
動作 開始	TOEm_p (スレーブ) に1を設定する (動作再開時のみ) TSMレジスタのTSM_n (マスタ), TSM_p (スレーブ) ビットに同時に1を設定する TSM_n, TSM_pビットはトリガ・ビットなので, 自動的に0に戻る	TEM_n = 1, TEM_p = 1となり, マスタ・チャンネルはTImn入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのTImn端子入力の有効エッジ検出	マスタ・チャンネルがカウント動作開始
動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止 TDRmnレジスタは, INTTMmn発生直後に設定値変更可能 TDRmpレジスタは, INTTMmp発生直後に設定値変更可能 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOLmp, TOmp, TOEmpレジスタは, 設定値変更可能	マスタ・チャンネルでは, TImn端子入力の有効エッジが検出されたら, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のTImn端子入力までカウント動作を停止する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpはTDRmpの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTm_n (マスタ), TTm_p (スレーブ) ビットに同時に1を設定する TTm_n, TTm_pビットはトリガ・ビットなので, 自動的に0に戻る	TEM_n, TEM_p = 0になり, カウント動作停止 TCRmn, TCRmpはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEm_pに0を設定し, TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力

動作再開

図6-73 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。
	TOmp端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmp端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m : ユニット番号, n : マスタ・チャンネル番号, p : スレーブ・チャンネル番号 (p = n+1以降)

m = 0の場合 : n = 0, 2, 4, 6

m = 1の場合 :

n = 0, 2, 4, 6

m = 2の場合 :

n = 0, 2 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4, 6 : 78K0R/HG3

6.8.3 多重PWM出力機能としての動作

PWM機能を拡張し、スレーブ・チャンネルを複数使用することで、多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのTCRmnは、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TCRmpにTDRmpの値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ（マスタ・チャンネルのINTTMmn）が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqも、スレーブ・チャンネル1のTCRmpと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TCRmqにTDRmqの値をロードし、ダウン・カウントを行います。TCRmq = 0000Hとなったら、INTTMmqを出力し、次のスタート・トリガ（マスタ・チャンネルのINTTMmn）が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、タイマ・アレイ・ユニット0-2で各最大7種ずつを同時に出力できます。

注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネル1のTDRmpを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn、TCRmpにTDRmn、TDRmpの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、マスタのTDRmnとスレーブのTDRmpを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。（スレーブ・チャンネル2のTDRmqの場合も同様です。）

（備考は次ページにあります）

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル1番号 (n+1以降),
q : スレーブ・チャンネル2番号 (p+1以降)

m = 0の場合

n = 0, 2, 4

n < p < q 7

m = 1の場合

n = 0, 2, 4

n < p < q 7

m = 2の場合

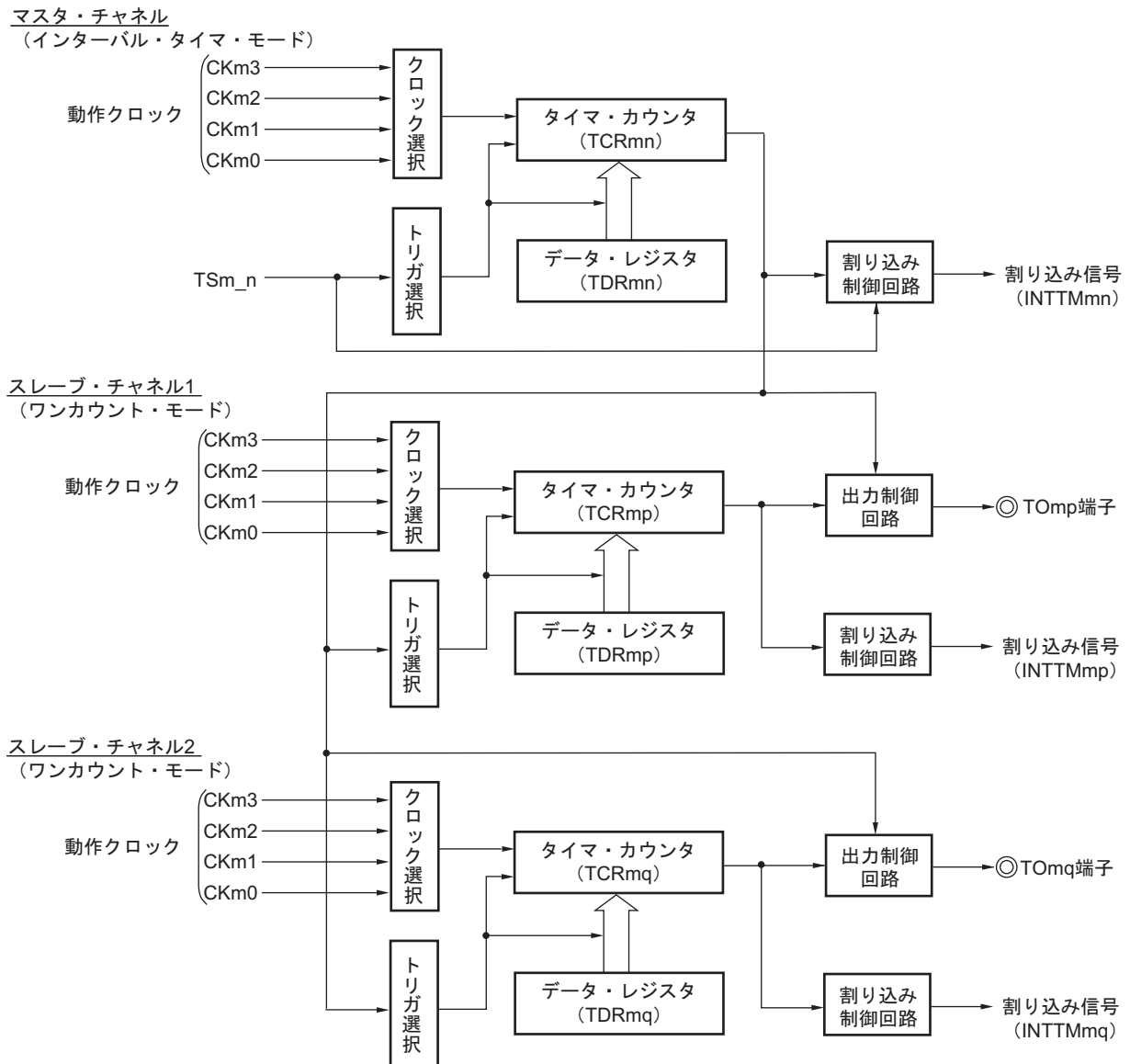
n = 0 : 78K0R/HE3, 78K0R/HF3

n < p < q 3

n = 0, 2, 4 : 78K0R/HG3

n < p < q 7

図6-74 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 m: ユニット番号, n: チャンネル番号, p: スレーブ・チャンネル1番号 (n+1以降),

q: スレーブ・チャンネル2番号 (p+1以降)

m = 0の場合

n = 0, 2, 4

n < p < q 7

m = 1の場合

n = 0, 2, 4

n < p < q 7

m = 2の場合

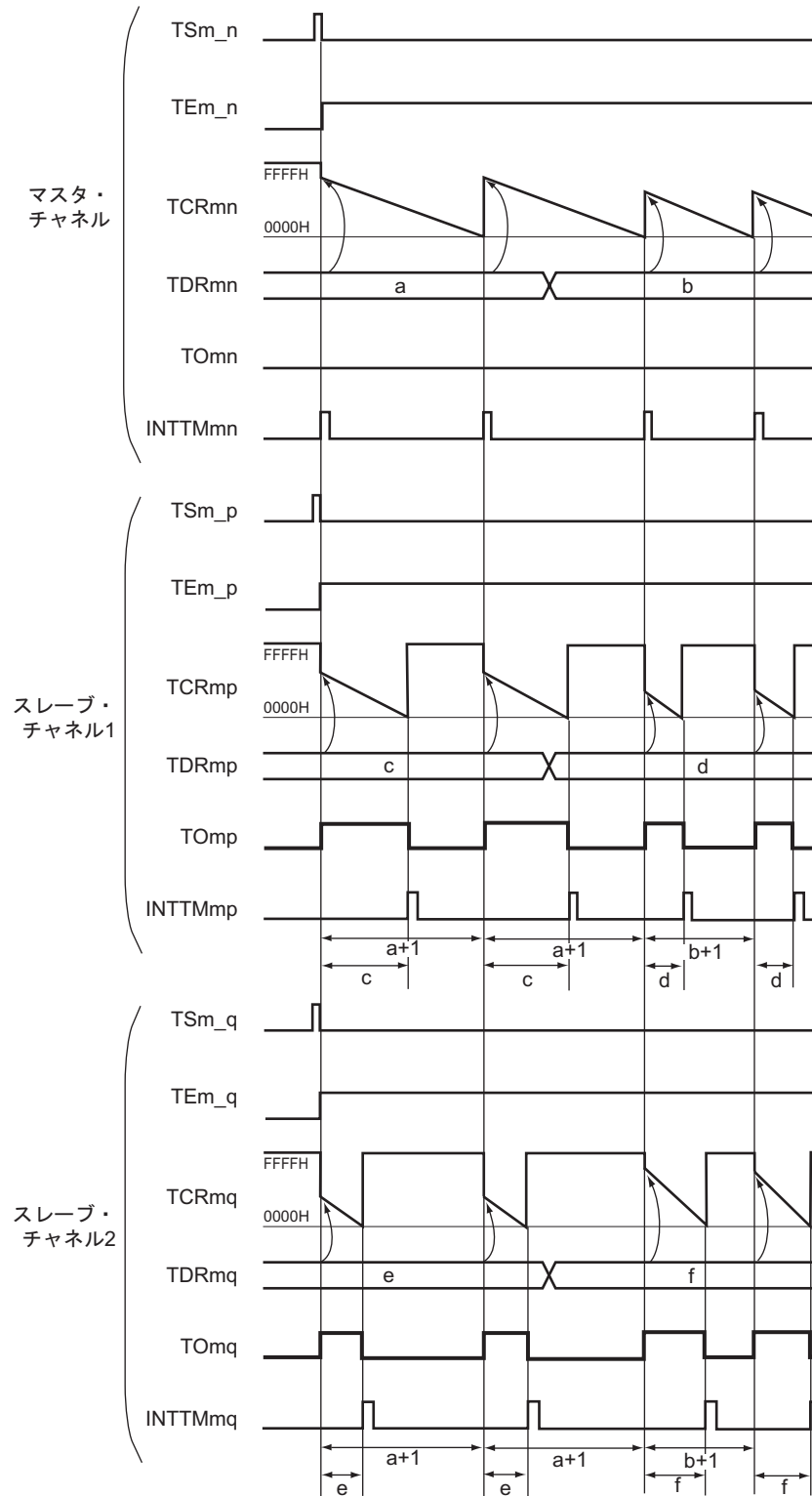
n = 0 : 78K0R/HE3, 78K0R/HF3

n < p < q 3

n = 0, 2, 4 : 78K0R/HG3

n < p < q 7

図6-75 多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）



(備考は次ページにあります)

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル1番号 (n+1以降),
q : スレーブ・チャンネル2番号 (p+1以降)

m = 0の場合

n = 0, 2, 4

n < p < q 7

m = 1の場合

n = 0, 2, 4

n < p < q 7

m = 2の場合

n = 0 : 78K0R/HE3, 78K0R/HF3

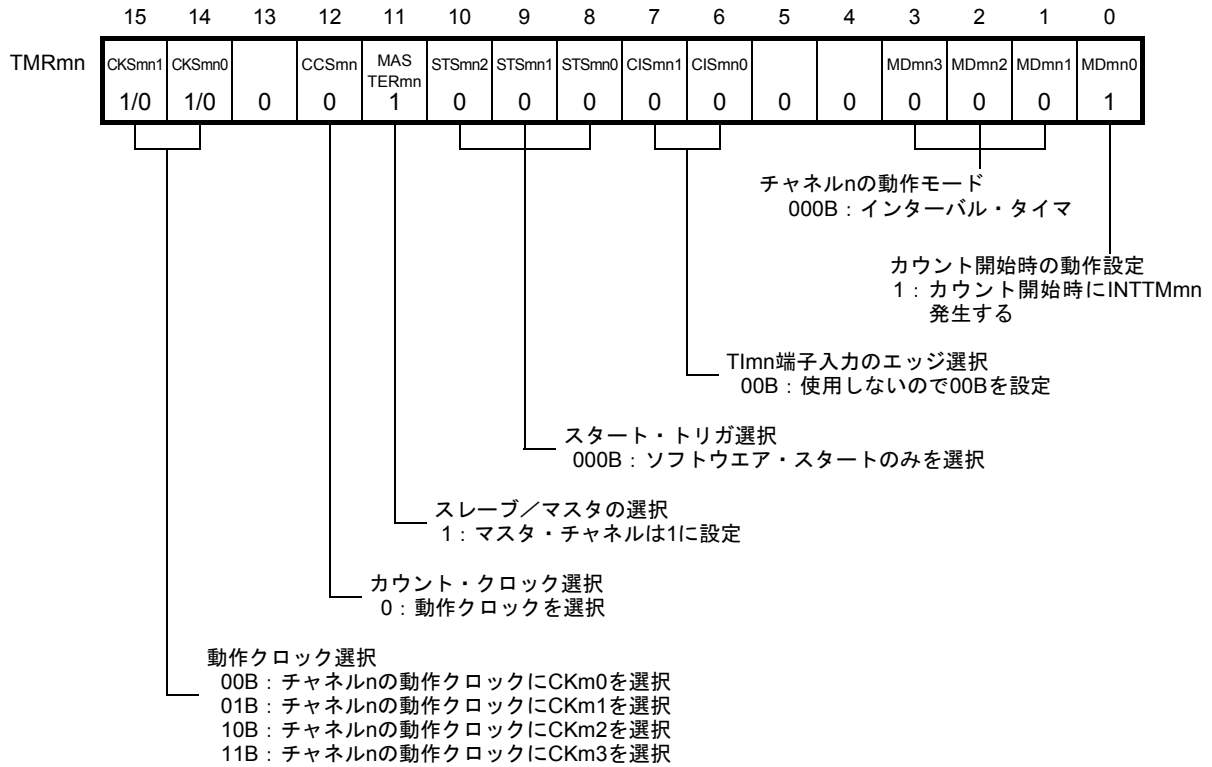
n < p < q 3

n = 0, 2, 4 : 78K0R/HG3

n < p < q 7

図6-76 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn (TMRmn)



(b) タイマ出力レジスタm (TOM)

ビットn

TOM TOMn
0 0 : TOMnより0を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットn

TOEm TOEn
0 0 : カウント動作によるTOMn出力動作停止

(d) タイマ出力レベル・レジスタm (TOLm)

ビットn

TOLm TOLmn
0 0 : TOMmn = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタm (TOMm)

ビットn

TOMm TOMmn
0 0 : トグル・モードを設定

(備考は次ページにあります)

備考 m : ユニット番号, n : チャンネル番号

m = 0の場合

n = 0, 2, 4

m = 1の場合

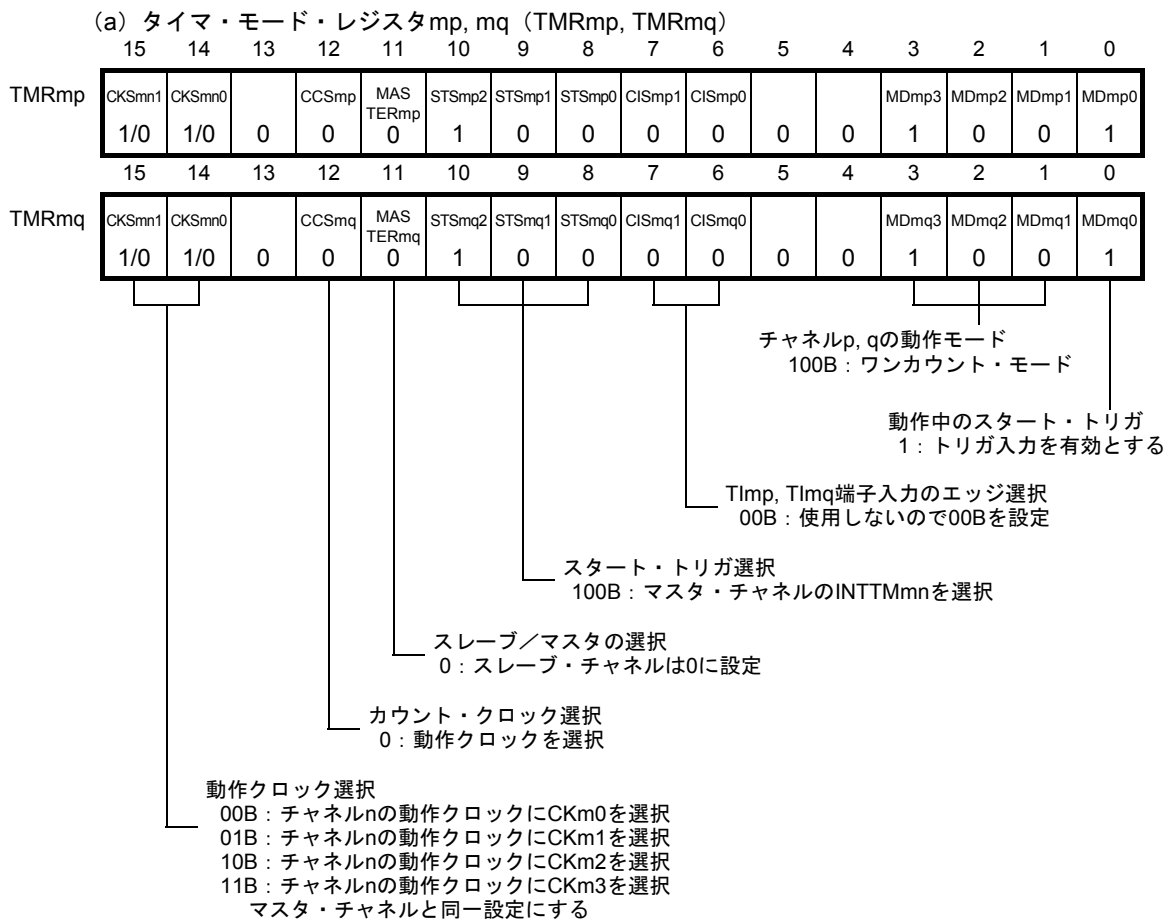
n = 0, 2, 4

m = 2の場合

n = 0 : 78K0R/HE3, 78K0R/HF3

n = 0, 2, 4 : 78K0R/HG3

図6-77 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



(b) タイマ出力レジスタm (TOM)

ビットq ビットp

TOM	TOmq	TOmp	
	1/0	1/0	0: TOmp, TOmqより0を出力する
			1: TOmp, TOmqより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットq ビットp

TOEm	TOEq	TOEp	
	1/0	1/0	0: カウント動作によるTOmp, TOmq出力動作停止
			1: カウント動作によるTOmp, TOmq出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットq ビットp

TOLm	TOLmq	TOLmp	
	1/0	1/0	0: 正論理出力 (アクティブ・ハイ)
			1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットq ビットp

TOMm	TOMmq	TOMmp	
	1	1	1: 連動動作モードを設定

(備考は次ページにあります)

備考 m : ユニット番号, n : チャンネル番号, p : スレーブ・チャンネル1番号 (n+1以降),
q : スレーブ・チャンネル2番号 (p+1以降)

m = 0の場合

n = 0, 2, 4

n < p < q 7

m = 1の場合

n = 0, 2, 4

n < p < q 7

m = 2の場合

n = 0 : 78K0R/HE3, 78K0R/HF3

n < p < q 3

n = 0, 2, 4 : 78K0R/HG3

n < p < q 7

図6-78 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAUmENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) ----- パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSmレジスタを設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャンネルのTMRmn, TMRmp, TMRmqレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタにインターバル (周期) 値, スレーブ・チャンネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmp, TOMmqビットに1 (連動動作モード) を設定する TOLmp, TOLmqビットを設定する TOMP, TOMqビットを設定し, TOMP, TOMq出力の初期レベルを確定する TOEm_p, TOEm_qに1を設定し, TOMP, TOMqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOMP, TOMq端子はHi-Z出力状態 ----- ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOMP, TOMq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOMP, TOMqは変化しない TOMP, TOMq端子はTOMP, TOMq設定レベルを出力
動作 開始	TOEm_p, TOEm_q (スレーブ) に1を設定する (動作再開時のみ) TSMレジスタのTSM_n (マスタ), TSM_p, TSM_q (スレーブ) ビットに同時に1を設定する TSM_n, TSM_p, TSM_qビットはトリガ・ビットなので, 自動的に0に戻る	TEM_n = 1, TEM_p, TEM_q = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
動作 中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは, 常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは, 使用しない TOLmp, TOLmq, TOMP, TOMq, TOEmp, TOEmqビットは, 設定値変更可能	マスタ・チャンネルでは, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に, TCRmnはTDRmnの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル1では, マスタ・チャンネルのINTTMmn信号をトリガとして, TDRmpレジスタ値をTCRmpに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMP出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMP出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 スレーブ・チャンネル2では, マスタ・チャンネルのINTTMmn信号をトリガとして, TDRmqレジスタ値をTCRmqに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOMq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOMq出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。

動作再開時 (次ページより)

図6-78 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開時 (前ページへ)	ソフトウェア操作	ハードウェアの状態
	<p>動作停止</p> <p>TTm_n (マスタ), TTm_p, TTm_q (スレーブ) ビットに同時に1を設定する</p> <p>TTm_n, TTm_p, TTm_qビットはトリガ・ビットなので、自動的に0に戻る</p> <hr/> <p>スレーブ・チャンネルのTOEm_p, TOEm_qに0を設定し, TOmp, TOMqビットに値を設定する</p>	<p>TEm_n, TEm_p, TEm_q = 0になり, カウント動作停止</p> <p>TCRmn, TCRmp, TCRmqはカウント値を保持して停止</p> <p>TOmp, TOMq出力は初期化されず, 状態保持</p> <hr/> <p>TOmp, TOMq端子はTOmp, TOMq設定レベルを出力</p>
<p>TAU停止</p> <p>TOmp, TOMq端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmp, TOMqビットに0を設定する</p> <p>TOmp, TOMq端子の出力レベルを保持不要の場合</p> <p>ポート・モード・レジスタを入力モードに切り替える</p> <hr/> <p>PER0レジスタのTAUmENビットに0を設定する</p>	<p>TOmp, TOMq端子出力レベルはポート機能により保持される。</p> <p>TOmp, TOMq端子出力レベルはHi-Z出力になる。</p> <hr/> <p>パワーオフ状態</p> <p>全回路が初期化され, 各チャンネルのSFRも初期化される (TOmp, TOMqビットが0になり, TOmp, TOMq端子はポート機能となる)</p>	

備考 m: ユニット番号, n: チャンネル番号, p: スレーブ・チャンネル1番号 (n+1以降),

q: スレーブ・チャンネル2番号 (p+1以降)

m = 0の場合

n = 0, 2, 4

n < p < q 7

m = 1の場合

n = 0, 2, 4

n < p < q 7

m = 2の場合

n = 0 : 78K0R/HE3, 78K0R/HF3

n < p < q 3

n = 0, 2, 4 : 78K0R/HG3

n < p < q 7

第7章 16ビット・ウエイクアップ・タイマ

78K0R/Hx3は、16ビット・ウエイクアップ・タイマ（WUTM）を搭載しています。

7.1 特 徴

16ビット・ウエイクアップ・タイマ（WUTM）には、次のような機能があります。

- ・インターバル機能
 - カウンタ × 1
 - コンペア × 1
 - コンペア一致割り込み × 1

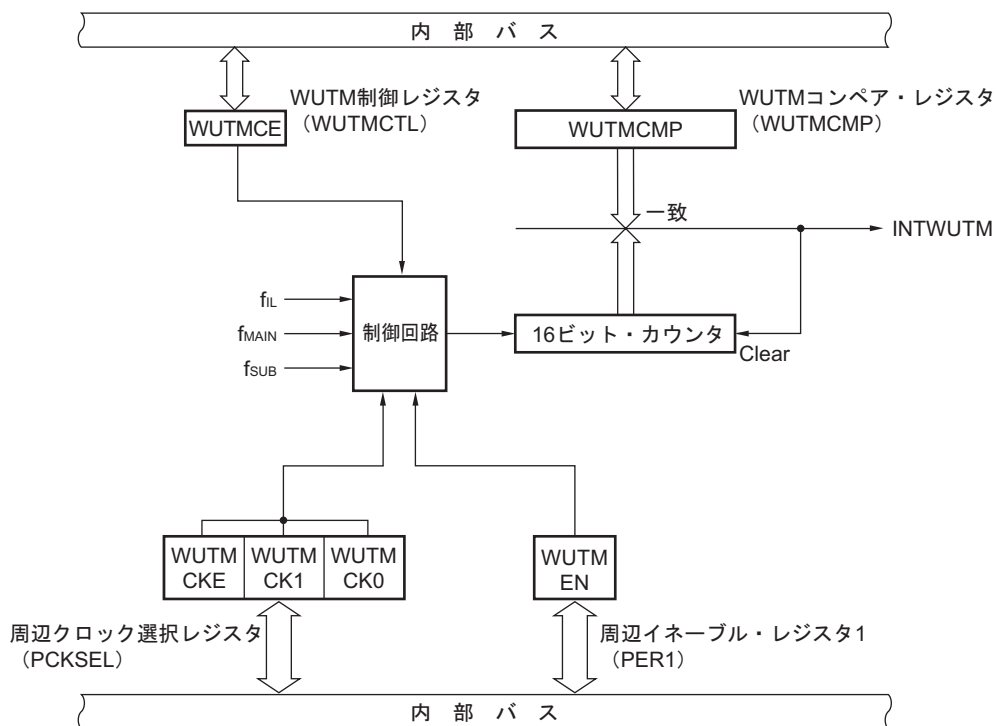
7.2 構成

WUTMは、次のハードウェアで構成されています。

表7-1 WUTMの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ1 (PER1) 周辺クロック選択レジスタ (PCKSEL) WUTM制御レジスタ (WUTMCTL)
レジスタ	WUTMコンペア・レジスタ (WUTMCMP)

図7-1 16ビット・ウエイクアップ・タイマのブロック図



- 備考
- f_{IL} : 低速内蔵発振クロック周波数
 - f_{MAIN} : メイン・システム・クロック周波数
 - f_{SUB} : サブクロック周波数

7.3 制御レジスタ

(1) 周辺イネーブル・レジスタ1 (PER1)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 16ビット・ウエイクアップ・タイマについてはSFRライト可否のみ選択します。

動作クロックの供給可否はPCKSELレジスタで選択します。

図7-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	SAU2EN	0	WUTEN	DFLEN

WUTEN	16ビット・ウエイクアップ・タイマの入カクロックの制御
0	SFR ライト用入カクロック供給停止 ・ 16ビット・ウエイクアップ・タイマで使用する SFR へのライト不可
1	SFR ライト用入カクロック供給 ・ 16ビット・ウエイクアップ・タイマで使用する SFR へのリード/ライト可

注意 次のビットは必ず“0”に設定してください。

78K0R/HC3 : ビット2-7

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : ビット2, 4-7

(2) 周辺クロック選択レジスタ (PCKSEL)

各周辺ハードウェアに対する動作クロックの選択と供給を制御するレジスタです。

PCKSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 PCKSELレジスタは、各周辺ハードウェアの動作開始前に設定してください。

図7-3 周辺クロック選択レジスタ (PCKSEL) のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKSEL	0	0	0	CANMCKE	0	WUTMCKE	WUTMCK1	WUTMCK0

WUTMCKE	16ビット・ウエイクアップ・タイマの動作クロックの制御
0	動作クロック供給停止
1	動作クロック供給

WUTMCK1	WUTMCK0	16ビット・ウエイクアップ・タイマの動作クロックの選択
0	0	f _{IL}
0	1	f _{SUB}
1	0	f _{MAIN} /2 ⁸
1	1	f _{MAIN} /2 ¹²

注意1. PCKSELレジスタのビット3, 5-7には必ず“0”を設定してください。

2. WUTMMCK1-0を変更する場合は、16ビット・ウエイクアップ・タイマを停止 (WUTMCKE = 0) させてください。

(3) WUTMコンペア・レジスタ (WUTMCMP)

WUTMCMPレジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより初期値0000Hになります。

注意1. タイマ動作中 (WUTMCE = 1) のWUTMCMPレジスタの書き換えは禁止ですが、同値書き込みは可能です。

2. WUTMCMPレジスタにライトする際は、必ず周辺イネーブル・レジスタ1 (PER1) のビット1 (WUTEN) をセット (1) して入力クロックを供給してください。

図7-4 WUTMコンペア・レジスタ (WUTMCMP) のフォーマット

アドレス : FFFAEH, FFFAFH リセット時 : 0000H R/W

WUTMCMP	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(4) WUTM制御レジスタ (WUTMCTL)

WUTMCTLレジスタはWUTMのタイマ動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 WUTMCTLレジスタにライトする際は、必ず周辺イネーブル・レジスタ1 (PER1) のビット1 (WUTEN) をセット (1) して入カクロックを供給してください。

図7-5 WUTM制御レジスタ (WUTMCTL) のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
WUTMCTL	WUTMCE	0	0	0	0	0	0	0

WUTMCE	WUTMの動作制御
0	動作禁止
1	動作許可

WUTMCEビットにより、非同期リセットを行います。
WUTMCEビットを“1”にすると、WUTMCEビットを“1”にしたタイミングから入カクロックの2クロック以内に内部動作クロックが許可されカウント・アップします。

- 注意 1. WUTMCTLレジスタのビット0-6には必ず“0”を設定してください。
2. WUTMCEビットを“0”にするとWUTM内のカウンタ値をただちにクリアします。

7.4 動作

7.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは16ビット・カウンタとWUTMコンペア・レジスタ（WUTMCMP）によりWUTMCMPレジスタの値とカウンタ値が一致すると一致割り込み信号（INTWUTM）を出力し、かつ同タイミングでカウンタを0000HIにクリアさせ再度カウント・アップを開始します。

図7-6 インターバル・タイマ・モードの動作開始フロー

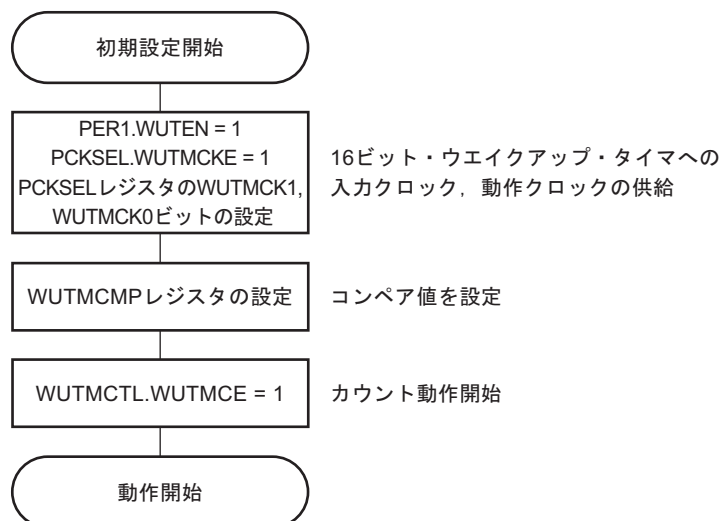
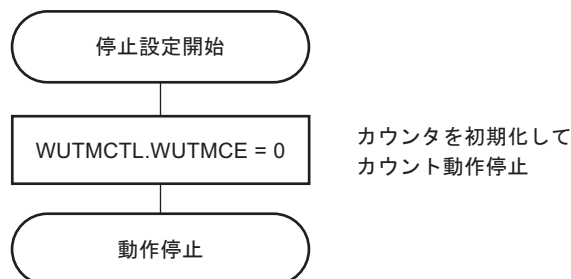
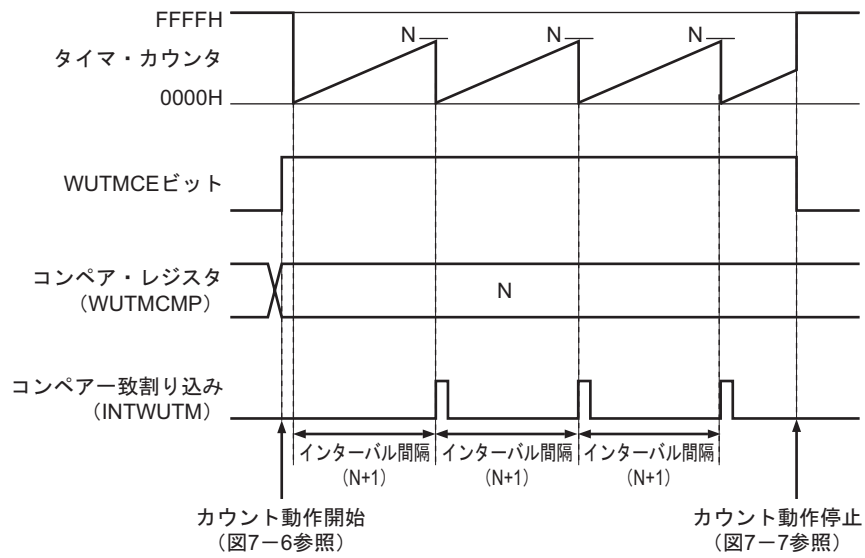


図7-7 インターバル・タイマ・モードの動作停止フロー



備考 WUTM停止させて消費電力を低減したい場合は、PER1.WUTEN, PCKSEL.WUTMCKEもクリア（0）してください。

図7-8 インターバル・タイマ・モードの動作タイミング



注意 割り込み周期は、次の式で求めることができます。

$$\text{INTWUTM (タイマ割り込み) の発生周期} = \text{動作クロックの周期} \times (\text{WUTMCMPの設定値} + 1)$$

7.4.2 注意事項

- (1) クロック生成回路およびクロック・イネーブル・タイミング
 カウント・クロックの動作タイミングを次に示します。

図7-9 カウント動作開始タイミング (遅延MIN.)

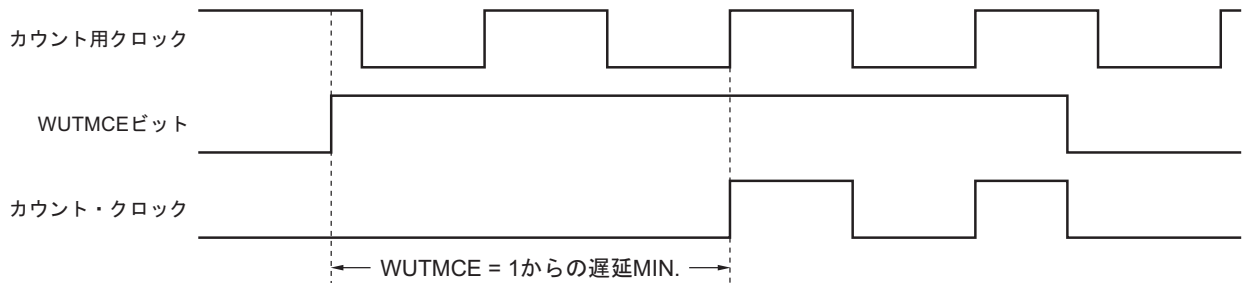
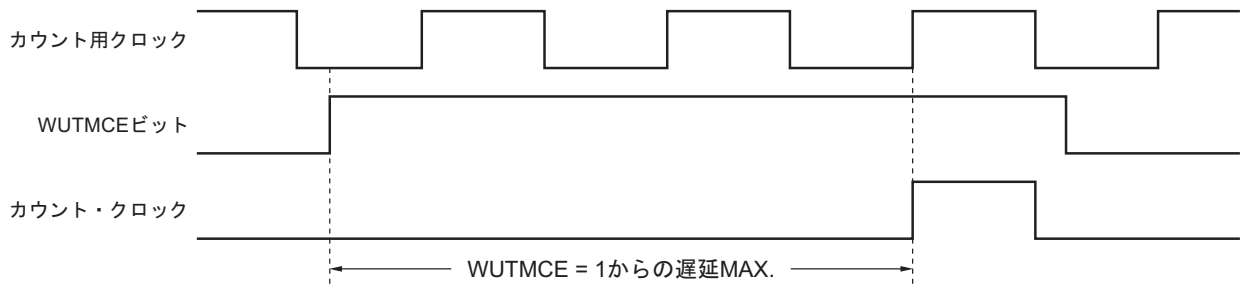


図7-10 カウント動作開始タイミング (遅延MAX.)



- (2) WUTM動作中のレジスタ書き換え

WUTMCMPレジスタはWUTM動作中の書き換えは禁止です。

WUTMCEビット = 1のときに書き換えた場合、割り込みが発生する可能性があります。

第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については第19章 リセット機能を参照してください。

また、オーバーフロー時間の75%到達時にインターバル割り込みを発生することもできます。

8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表8-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

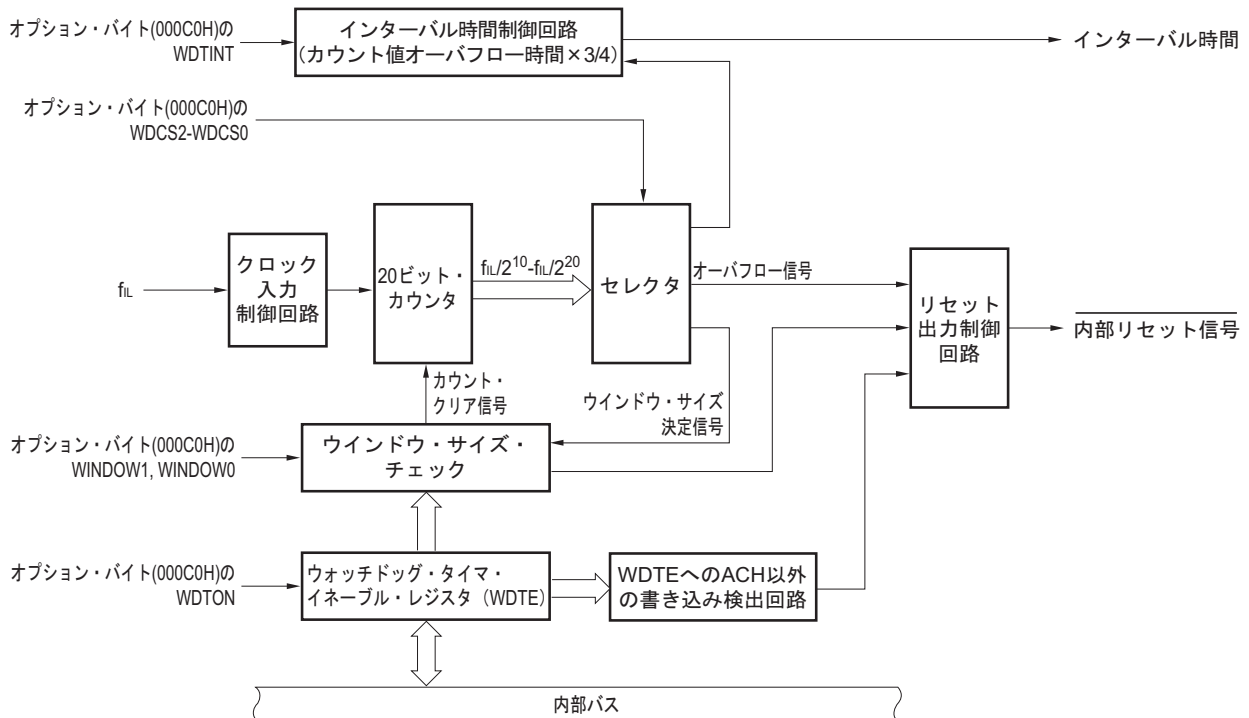
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表8-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2-WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第23章 オプション・バイトを参照してください。

図8-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速内蔵発振クロック

8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図8-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH/1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト (000C0H) のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
2. WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
3. WDTEのリード値は、“9AH/1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

(2) セルフ・プログラミング時ウォッチドッグ・タイマ動作モード変更レジスタ (WDTSELF)

WDTSELFに“35H”を書き込むことにより、セルフ・プログラミング時にオーバフロー時間を自動で最大に変更し、セルフ・プログラミング中にウォッチドッグ・タイマのリセットが発生することを防止します。

注意 WDTSELFレジスタに書き込む際は、GUARDレジスタのGDWDTビットを“1”に設定してください。

図8-3 セルフ・プログラミング時ウォッチドッグ・タイマ動作モード変更レジスタ (WDTSELF) のフォーマット

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WDTSELF								

WDTSELFの設定値	セルフ・プログラミング動作時のウォッチドッグ・タイマのオーバフロー時間
35H	$2^{17}/f_{IL}$
35H以外	オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定した値

備考 f_{IL} : 低速内蔵発振クロック周波数

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H, 000C1H）で次の内容を設定します。

- ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第23章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

- ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、8.4.2および第23章を参照）。
- ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、8.4.3および第23章を参照）。
- ・オプション・バイト（000C1H）のビット7（LIOUSE）で、低速内蔵発振回路を使用許可にしてください（詳細は、第5章および第23章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
 3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1. オプション・バイトで低速内蔵発振回路を動作状態にしないと、ウォッチドッグ・タイマを使用できません。
2. オプション・バイトで低速内蔵発振回路をSTOP中停止に設定したときは、WDSTBYONの設定に関わらずSTOP中にウォッチドッグ・タイマは停止します。ただし、WDSTBYON = 0のときは停止中にウォッチドッグ・タイマはリセットされますが、WDSTBYON = 1のときは低速内蔵発振回路が停止するのみでウォッチドッグ・タイマはSTOPモード設定前のカウンタ値を保持します。STOPモード解除後、再度カウント動作を開始します。
 3. リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大2 μ l秒の誤差が生じる場合があります。

注意5. ウォッチドッグ・タイマのクリアは、カウント値がオーバーフローする直前まで有効です。

<例> オーバフロー時間を $2^{10}/f_{IL}$ 設定時は、カウント値3FFHまで“ACH”の書き込みが有効になります。

6. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

7. フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

備考 次の表に、オプション・バイトとCPU状態の組み合わせによるウォッチドッグ・タイマの動作状態を示します。

オプション・バイト (000C1H)		オプション・バイト (000C0H)		CPU状態	低速内蔵発振 クロック動作状態	ウォッチドッグ・ タイマ動作状態
LIOUSE	LIOSTOPB	WDTON	WDSTBYON			
0	x	x	x	x	停止	停止
1	0	0	x	RUN/HALT	動作	停止
				STOP	停止	停止
1	0	1	0	RUN	動作	動作
				HALT	動作	停止
				STOP	停止	停止
1	0	1	1	RUN/HALT	動作	動作
				STOP	停止	停止
1	1	0	x	x	動作	停止
1	1	1	0	RUN	動作	動作
				HALT	動作	停止
				STOP	動作	停止
1	1	1	1	x	動作	動作

x : don't care

8.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定するオーバフロー時間を次に示します。

表8-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 30 kHz (TYP.) の場合)
0	0	0	2 ⁷ /f _{IL} (4.27 ms)
0	0	1	2 ⁸ /f _{IL} (8.53 ms)
0	1	0	2 ⁹ /f _{IL} (17.07 ms)
0	1	1	2 ¹⁰ /f _{IL} (34.13 ms)
1	0	0	2 ¹² /f _{IL} (136.5 ms)
1	0	1	2 ¹⁴ /f _{IL} (546.1 ms)
1	1	0	2 ¹⁵ /f _{IL} (1092 ms)
1	1	1	2 ¹⁷ /f _{IL} (4369 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

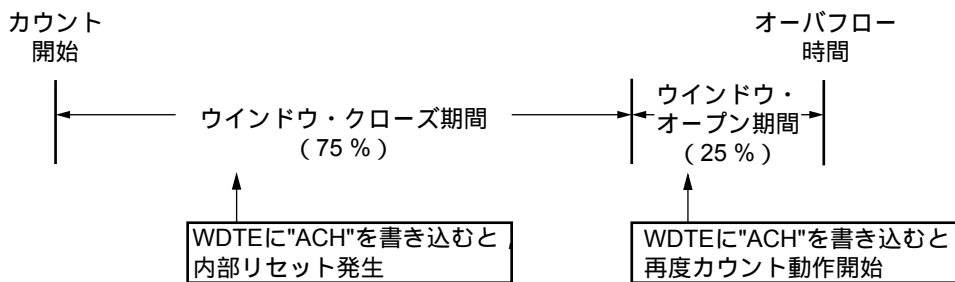
備考 f_{IL} : 低速内蔵発振クロック周波数

8.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25 %の場合



注意 リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表8-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

2. オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。
3. 次の条件に該当する場合は、ウインドウ・オープン期間を25%に設定しないでください。

- ・STOPモードの使用、もしくはソフトウェアでメイン・システム・クロック（高速内蔵発振クロック，X1クロック，外部メイン・システム・クロック）をすべて停止する場合。

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0~28.44 ms	0~18.96 ms	0~9.48 ms	なし
ウインドウ・オープン時間	28.44~31.03 ms	18.96~31.03 ms	9.48~31.03 ms	0~31.03 ms

<ウインドウ・オープン期間25 %のとき>

・オーバフロー時間：

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/33 \text{ kHz} (\text{MAX.}) = 31.03 \text{ ms}$$

・ウインドウ・クローズ時間：

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 28.44 \text{ ms}$$

・ウインドウ・オープン時間：

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/33 \text{ kHz} (\text{MAX.}) = 28.44 \sim 31.03 \text{ ms}$$

8.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表8-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用/不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第9章 クロック出力制御回路

9.1 クロック出力制御回路の機能

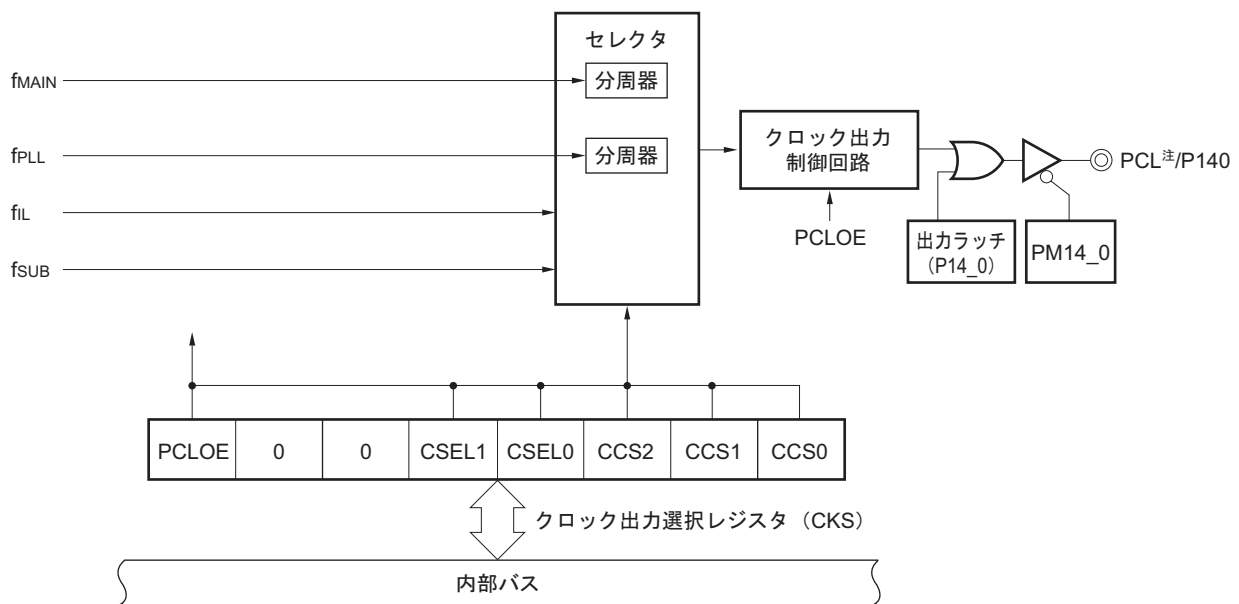
クロック出力は周辺ICに供給するクロックを出力する機能です。

クロック出力は、PCL端子から出力されます。

PCLは、クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

図9-1にクロック出力制御回路のブロック図を示します。

図9-1 クロック出力制御回路のブロック図



注 PCL端子は、12 MHzまでのクロック出力が可能です。

備考 f_{MAIN} : メイン・システム・クロック
 f_{PLL} : PLLクロック
 f_{IL} : 低速内蔵発振クロック
 f_{SUB} : サブクロック

9.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成されています。

表9-1 クロック出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ (CKS) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

リセット解除後のCKSの初期値をオプション・バイトにより設定できます。

表9-2 オプション・バイトとクロック出力制御回路の設定内容

クロック出力制御回路の設定内容	オプション・バイト (000C2H)
リセット解除時のPCL出力許可/禁止の設定	ビット7 (PCLOFF)
リセット解除時のPCL出カクロックの設定	ビット4-0 (CSEL1B, CSEL0B, CCS2B-CCS0B)

備考 オプション・バイトについては、第23章 オプション・バイトを参照してください。

9.3 クロック出力制御回路を制御するレジスタ

クロック出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ (CKS)
- ・ポート・モード・レジスタ14 (PM14)

(1) クロック出力選択レジスタ (CKS)

クロック出力の端子 (PCL) の出力許可/禁止、および出カクロックを設定するレジスタです。

CKSで、PCLの出力するクロックを選択します。

CKSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図9-2 クロック出力選択レジスタ (CKS) のフォーマット (1/2)

アドレス : FFFA5H リセット時 : xxH^注 R/W

略号	7	6	5	4	3	2	1	0
CKS	PCLOE	0	0	CSEL1	CSEL0	CCS2	CCS1	CCS0

PCLOE	PCLの出力許可/禁止の指定
0	出力禁止
1	出力許可

注 初期値はオプション・バイトで設定された値になります。詳細は、第23章 オプション・バイトを参照してください。

図9-2 クロック出力選択レジスタ (CKS) のフォーマット (2/2)

CSEL1	CSEL0	CCS2	CCS1	CCS0	PCLの出力クロックの選択				
					f _{MAIN} = 8 MHz	f _{PLL} = 16 MHz	f _{MAIN} = 20 MHz	f _{PLL} = 24 MHz	
0	0	0	0	0	f _{MAIN}	8 MHz	—	設定禁止 ^注	—
0	0	0	0	1	f _{MAIN} /2	4 MHz	—	10 MHz	—
0	0	0	1	0	f _{MAIN} /2 ²	2 MHz	—	5 MHz	—
0	0	0	1	1	f _{MAIN} /2 ³	1 MHz	—	2.5 MHz	—
0	0	1	0	0	f _{MAIN} /2 ⁴	0.5 MHz	—	1.25 MHz	—
0	0	1	0	1	f _{MAIN} /2 ¹¹	3.91 kHz	—	9.76 kHz	—
0	0	1	1	0	f _{MAIN} /2 ¹²	1.95 kHz	—	4.88 kHz	—
0	0	1	1	1	f _{MAIN} /2 ¹³	0.98 kHz	—	2.44 kHz	—
0	1	0	0	0	f _{PLL}	—	設定禁止 ^注	—	設定禁止 ^注
0	1	0	0	1	f _{PLL} /2	—	8 MHz	—	12 MHz
0	1	0	1	0	f _{PLL} /2 ²	—	4 MHz	—	6 MHz
0	1	0	1	1	f _{PLL} /2 ³	—	2 MHz	—	3 MHz
0	1	1	0	0	f _{PLL} /2 ⁴	—	1 MHz	—	1.5 MHz
0	1	1	0	1	f _{PLL} /2 ¹¹	—	7.81 kHz	—	11.72 kHz
0	1	1	1	0	f _{PLL} /2 ¹²	—	3.91 kHz	—	5.86 kHz
0	1	1	1	1	f _{PLL} /2 ¹³	—	1.95 kHz	—	2.93 kHz
1	0	0	0	0	f _{IL}	30 kHz			
1	1	0	0	0	f _{SUB}	第29章の電気的特性参照			
上記以外					設定禁止				

注 12 MHzを越えるクロック出力は禁止です。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOE = 0) にしてから行ってください。
- クロック出力 (PCLOE = 1) 中に選択クロック (f_{MAIN}, f_{PLL}, f_{IL}, f_{SUB}) が停止した場合は、出力が不定になります。
 - EV_{DD}/EV_{SS}の変動によって、PCL出力周波数に誤差が発生することがあります。高精度なクロックを必要とする場合は十分評価を行ってください。

- 備考1. オプション・バイトの設定により、リセット解除後、クロック出力を開始することが出来ます。詳細は、第23章 オプション・バイトを参照してください。
- 出力クロックとf_{CLK}とは非同期です。f_{CLK}と同期したクロックを出力させる場合は、タイム・アレイ・ユニットの出力機能を使用してください。
 - f_{MAIN} : メイン・システム・クロック周波数
 - f_{PLL} : PLLクロック周波数
 - f_{IL} : 低速内蔵発振クロック周波数
 - f_{SUB} : サブクロック周波数

(2) ポート・モード・レジスタ14 (PM14)

ポート14の入力／出力を1ビット単位で設定するレジスタです。

P140/PCL端子をクロック出力機能として使用するとき、PM14_0およびP14_0の出力ラッチに0を設定してください。

PM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FEHになります。

図9-3 ポート・モード・レジスタ14 (PM14) のフォーマット

アドレス : FFF2EH リセット時 : FEH RW

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	1	PM14_0

PM14_0	P140端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

9.4 クロック出力制御回路の動作

出力端子は、PCLがあります。

PCLは、クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

9.4.1 出力端子の動作

PCLは、次の手順で出力します。

PCL端子のクロック出力選択レジスタ（CKS）のビット0-4（CCS0-CCS2, CSEL0, CSEL1）で出力周波数を選択する（出力は禁止の状態）。

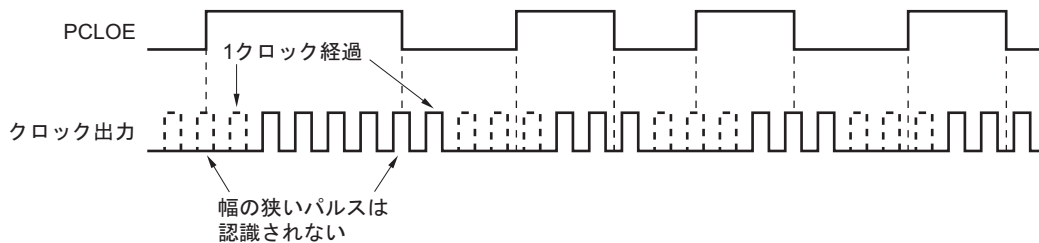
CKSのビット7（PCLOE）に1を設定し、クロック出力を許可する。

注意 STOPモードに移行する場合、クロック出力を停止してから出力クロックの1/2周期以上待ってSTOP命令を実行してください。STOPモード中に発振停止するクロックを選択した場合は、STOPモード遷移時に幅の狭いパルスが出力される可能性があります。

備考1. クロック出力制御回路は、クロック出力の出力許可／禁止（PCLOE）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEによる出力の許可／停止とクロック出力のタイミングを図9-4に示します。

2. オプション・バイトの設定により、リセット解除後、クロック出力を開始することが出来ます。詳細は、第23章 オプション・バイトを参照してください。

図9-4 出力応用例



第10章 A/Dコンバータ

	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
アナログ入力チャネル数	11	15	16	24

10.1 A/Dコンバータの機能

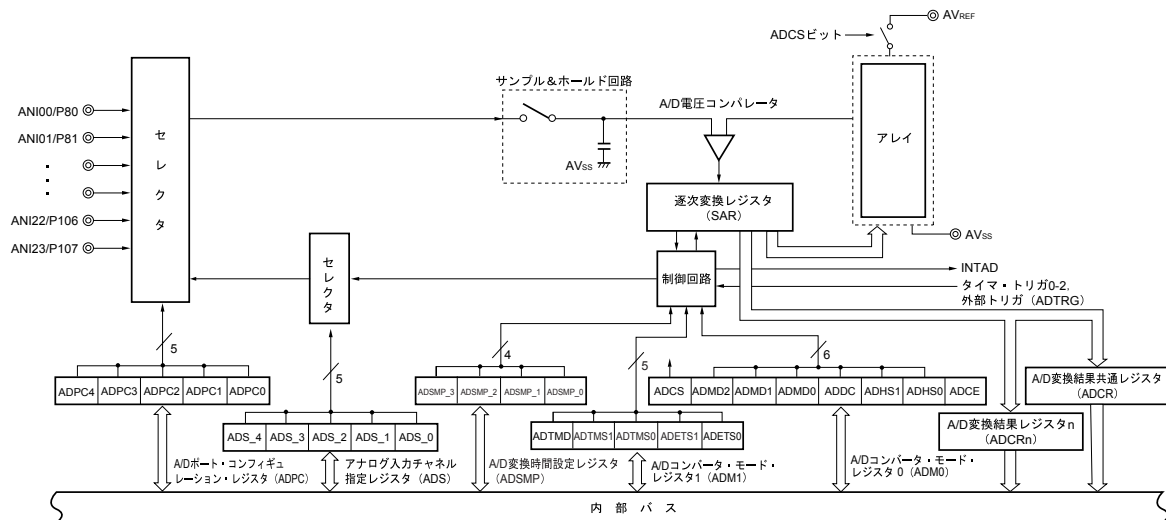
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大24チャンネル (ANI00-ANI23) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- ・ 10ビット分解能A/D変換

ANI00-ANI23からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図10-1 A/Dコンバータのブロック図



備考 n = 0-10, ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

n = 0-14, ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

n = 0-15, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

n = 0-23, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI00-ANI23端子

A/Dコンバータの24チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

備考 ANI00-ANI10 : 78K0R/HC3

ANI00-ANI14 : 78K0R/HE3

ANI00-ANI15 : 78K0R/HF3

ANI00-ANI23 : 78K0R/HG3

(2) ADTRG端子

A/Dコンバータの外部トリガ入力端子です。

(3) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(4) A/D電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセット (1) します。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBをクリア (0) します。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9 (MSB) の値によって、アレイの電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{REF}$)

ビット9 = 1 : ($3/4 AV_{REF}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット8 = 1

アナログ入力電圧 アレイの電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

(5) アレイ

アナログ入力より入力された電圧の比較電圧を生成します。

(6) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果共通レジスタ (ADCR) およびA/D変換結果レジスタn (ADCRn) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(7) 10ビットA/D変換結果共通レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(8) 8ビットA/D変換結果共通レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(9) 10ビットA/D変換結果レジスタn (ADCRn)

A/D変換が終了するたびに、逐次変換レジスタから各アナログ・チャンネルごとの変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(10) 8ビットA/D変換結果レジスタn (ADCRnH)

A/D変換が終了するたびに、逐次変換レジスタから各アナログ・チャンネルごとの変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(11) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADが発生します。

(12) AV_{REF}端子

A/Dコンバータ、コンパレータの電源端子とA/Dコンバータ、コンパレータの基準電圧を入力する端子です。

AV_{REF}、AV_{SS}間にかかる電圧に基づいて、ANI00-ANI23に入力されるアナログ信号をデジタル信号に変換します。

(13) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

備考 n = 0-10, ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

n = 0-14, ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

n = 0-15, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

n = 0-23, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

10.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の11種類のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ 10ビットA/D変換結果共通レジスタ (ADCR)
- ・ 8ビットA/D変換結果共通レジスタ (ADCRH)
- ・ 10ビットA/D変換結果レジスタn (ADCRn)
- ・ 8ビットA/D変換結果レジスタn (ADCRnH)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ A/D変換時間設定レジスタ (ADSMP)
- ・ ポート・モード・レジスタ8-10 (PM8-PM10)

備考 n = 0-10, ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

n = 0-14, ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

n = 0-15, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

n = 0-23, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

(1) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PER0	ADCEN	LIN1EN	LIN0EN	SAU1EN	SAU0EN	TAU2EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 (リード可) ・ A/Dコンバータはリセット状態 ^注
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注 ADPCレジスタは、PER0.ADCEN = 0に設定してもリセットされません。

- 注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ8-10 (PM8-PM10) は除く)。
2. 78K0R/HC3の場合は、ビット2に必ず“0”を設定してください。

(2) A/Dコンバータ・モード・レジスタ0 (ADM0)

動作モードの指定, A/D変換するアナログ入力の変換時間, 変換動作の開始/停止を設定するレジスタです。

ADM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD2	ADMD1	ADMD0	ADDC	ADHS1	ADHS0	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD2	ADMD1	ADMD0	A/D変換動作モードの選択
0	0	x	連続セレクト・モード
0	1	0	連続スキャン・モード (チャンネルごとに割り込み)
0	1	1	連続スキャン・モード (ADSレジスタの指定チャンネル変換後に割り込み)
1	0	x	ワンショット・セレクト・モード
1	1	0	ワンショット・スキャン・モード (チャンネルごとに割り込み)
1	1	1	ワンショット・スキャン・モード (ADSレジスタの指定チャンネル変換後に割り込み)

ADDC	ディスチャージ機能の制御 ^{注1}
0	ディスチャージ機能無効
1	ディスチャージ機能有効

ADHS1	ADHS0	A/D変換モードの選択 ^{注1}
0	0	高速モード1 (4.0 V V_{REF} 5.5 V)
0	1	高速モード2 (2.7 V V_{REF} 5.5 V)
1	0	標準モード (2.7 V V_{REF} 5.5 V)
1	1	設定禁止

ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. ディスチャージ機能, A/D変換に関する詳細は, (10) A/D変換時間設定レジスタ (ADSMP) を参照してください。

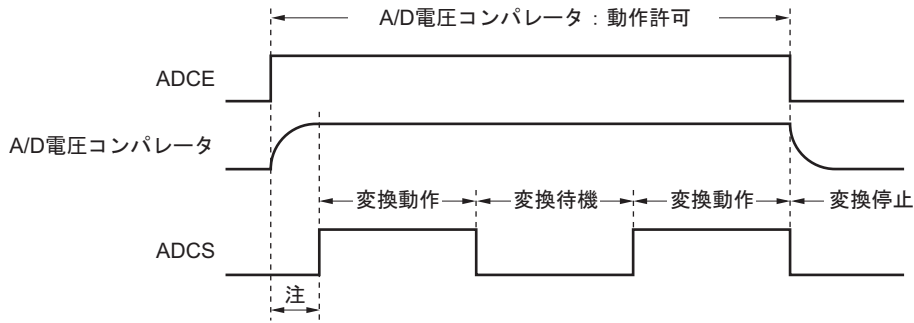
2. A/D電圧コンパレータはADCSとADCEで動作制御され, 動作開始から安定するまでに, $1 \mu s$ かかります。このため, ADCEに1を設定してから $1 \mu s$ 以上経過したあとに, ADCSに1を設定することで, 最初の変換データより有効となります。 $1 \mu s$ 以上ウエイトしないでADCSに1を設定した場合は, 最初の変換データを無視してください。

(注意1-3, 備考は次ページにあります)

表10-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（A/D電圧コンパレータのみ電力消費）
1	0	設定禁止
1	1	変換モード（A/D電圧コンパレータ：動作許可）

図10-4 A/D電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、1 μ s以上必要です。

- 注意1. ディスチャージ機能は、A/D変換終了後に V_{SS} 電圧を一定期間サンプリングします（サンプリング動作のみ行い、比較動作は行いません）。このため、ディスチャージ機能有効時のA/D変換時間は、無効時に比べ長くなります。
2. ADMD2-ADMD0, ADDC, ADHS1, ADHS0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。
3. ADCSビットのセット／クリアにおける動作は次のとおりです。また、1回目の変換結果を有効にするためには、動作開始前にADCE = 1にして変換待機状態にしてください。

0→1：変換動作開始

1→1：変換動作中に1を上書きした場合は変換を中断し、再変換開始

ワンショット完了後も変化動作を再スタート

ハードウェア・トリガ・モード時はトリガ待ち

1→0：変換動作中に0クリアされた場合は、変換動作を停止

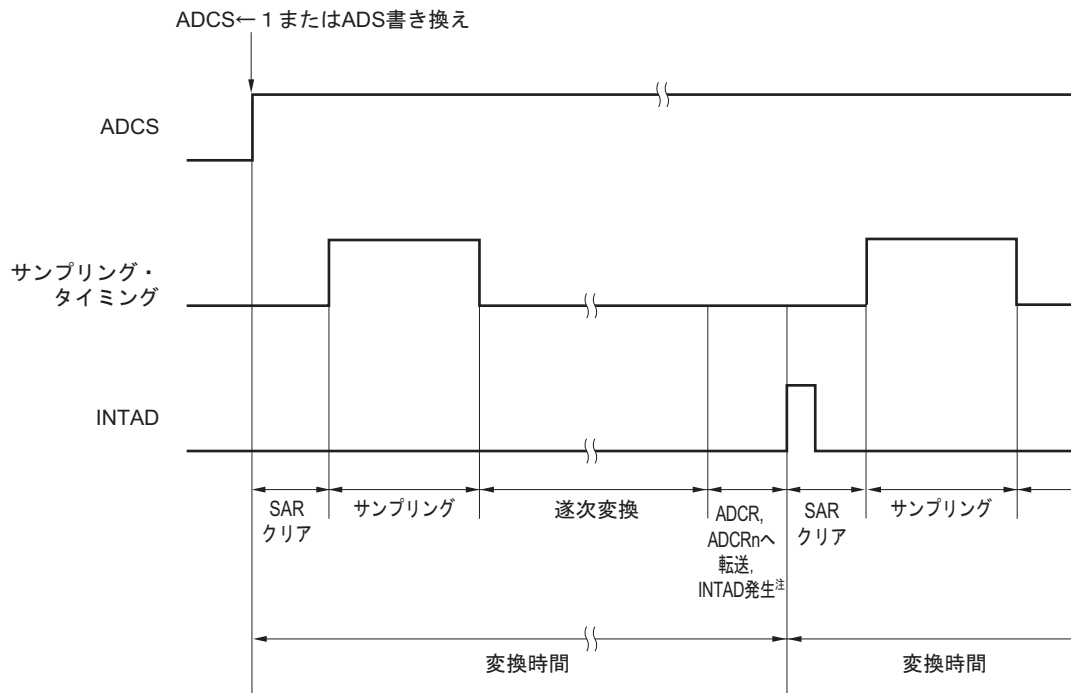
備考 n = 0-10 : 78K0R/HC3

n = 0-14 : 78K0R/HE3

n = 0-15 : 78K0R/HF3

n = 0-23 : 78K0R/HG3

図10-5 A/DコンバータのサンプリングとA/D変換のタイミング



注 ADMD0ビットが0の場合

備考 n = 0-10 : 78K0R/HC3
 n = 0-14 : 78K0R/HE3
 n = 0-15 : 78K0R/HF3
 n = 0-23 : 78K0R/HG3

(3) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換起動トリガを設定するレジスタです。

ADM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF42H リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
ADM1	ADTMD	0	0	0	ADTMS1	ADTMS0	ADETS1	ADETS0

ADTMD	A/Dトリガ・モードの選択
0	ソフトウェア・トリガ・モード (ADCS = 1で即変換開始)
1	ハードウェア・トリガ・モード (ADCS = 1でトリガ待ち)

ADTMS1	ADTMS0	タイマ・トリガ信号の選択
0	0	タイマ・トリガ信号0 (INTTM12)
0	1	タイマ・トリガ信号1 (INTTM22)
1	0	設定禁止
1	1	外部端子トリガ信号 (ADTRG)

ADETS1	ADETS0	外部トリガ (ADTRG) の有効エッジ指定
0	0	エッジ検出なし (トリガが発生しない)
0	1	立ち下がリエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり, 立ち下がりの両エッジ

注意 A/D変換中にADM1を書き換えることは禁止です。変換動作停止時 (ADCS = 0) に書き換えてください。

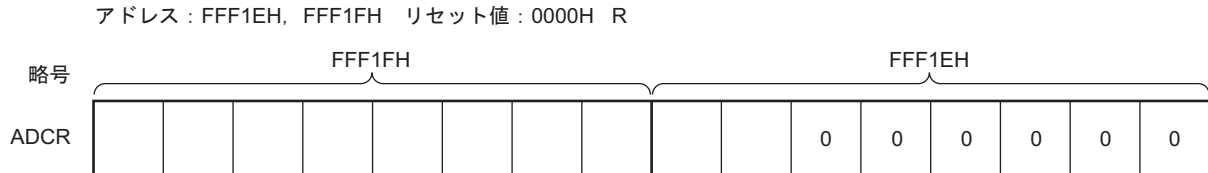
(4) 10ビットA/D変換結果共通レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRレジスタは上位10ビットに変換結果の10ビットが格納され、下位6ビットには0が読み出されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10-7 10ビットA/D変換結果共通レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ0, 1 (ADM0, ADM1), アナログ入力チャンネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、対象チャンネルの変換動作終了後、ADM0, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(5) 8ビットA/D変換結果共通レジスタ (ADCRH)

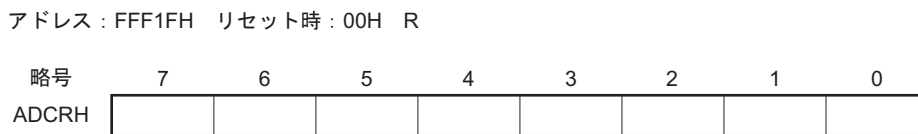
A/D変換結果を保持する8ビットのレジスタです。

ADCRHには、10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10-8 8ビットA/D変換結果共通レジスタ (ADCRH) のフォーマット



注意 A/Dコンバータ・モード・レジスタ0, 1 (ADM0, ADM1), アナログ入力チャンネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、対象チャンネルの変換動作終了後、ADM0, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(6) 10ビットA/D変換結果レジスタn (ADCRn)

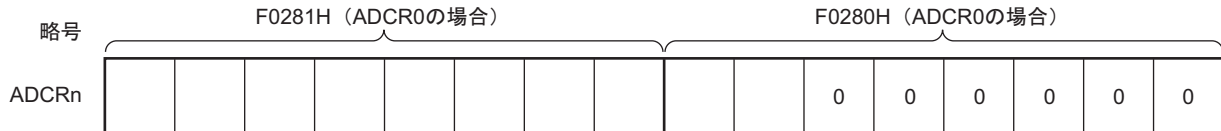
各アナログ・チャンネルごとにA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRnレジスタは上位10ビットに変換結果の10ビットが格納され、下位6ビットには0が読み出されます。

ADCRnは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10-9 10ビットA/D変換結果レジスタn (ADCRn) のフォーマット

アドレス : ADCR0 F0280H, F0281H, ADCR1 F0282H, F0283H, リセット値 : 0000H R
 ADCR2 F0284H, F0285H, ADCR3 F0286H, F0287H,
 ADCR4 F0288H, F0289H, ADCR5 F028AH, F028BH,
 ADCR6 F028CH, F028DH, ADCR7 F028EH, F028FH,
 ADCR8 F0290H, F0291H, ADCR9 F0292H, F0293H,
 ADCR10 F0294H, F0295H, ADCR11 F0296H, F0297H,
 ADCR12 F0298H, F0299H, ADCR13 F029AH, F029BH,
 ADCR14 F029CH, F029DH, ADCR15 F029EH, F029FH,
 ADCR16 F02A0H, F02A1H, ADCR17 F02A2H, F02A3H,
 ADCR18 F02A4H, F02A5H, ADCR19 F02A6H, F02A7H,
 ADCR20 F02A8H, F02A9H, ADCR21 F02AAH, F02ABH,
 ADCR22 F02ACH, F02ADH, ADCR23 F02AEH, F02AFH



注意 A/Dコンバータ・モード・レジスタ0, 1 (ADM0, ADM1), アナログ入力チャンネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRnの内容は不定となることがあります。変換結果は、対象チャンネルの変換動作終了後、ADM0, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

備考 n = 0-10 : 78K0R/HC3
 n = 0-14 : 78K0R/HE3
 n = 0-15 : 78K0R/HF3
 n = 0-23 : 78K0R/HG3

(7) 8ビットA/D変換結果レジスタn (ADCRnH)

各アナログ・チャンネルごとA/D変換結果を保持する8ビットのレジスタです。

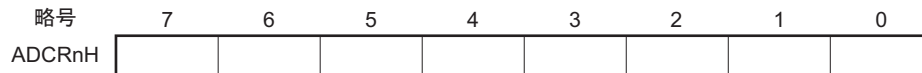
ADCRnHには、10ビット分解能の上位8ビットを格納します。

ADCRnHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10-10 8ビットA/D変換結果レジスタ (ADCRnH) のフォーマット

アドレス : ADCR0H F0281H, ADCR1H F0283H, リセット値 : 00H R
 ADCR2H F0285H, ADCR3H F0287H,
 ADCR4H F0289H, ADCR5H F028BH,
 ADCR6H F028DH, ADCR7H F028FH,
 ADCR8H F0291H, ADCR9H F0293H,
 ADCR10H F0295H, ADCR11H F0297H,
 ADCR12H F0299H, ADCR13H F029BH,
 ADCR14H F029DH, ADCR15H F029FH,
 ADCR16H F02A1H, ADCR17H F02A3H,
 ADCR18H F02A5H, ADCR19H F02A7H,
 ADCR20H F02A9H, ADCR21H F02ABH,
 ADCR22H F02ADH, ADCR23H F02AFH



注意 A/Dコンバータ・モード・レジスタ0, 1 (ADM0, ADM1), アナログ入力チャンネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCRnHの内容は不定となることがあります。変換結果は, 対象チャンネルの変換動作終了後, ADM0, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

備考 n = 0-10 : 78K0R/HC3
 n = 0-14 : 78K0R/HE3
 n = 0-15 : 78K0R/HF3
 n = 0-23 : 78K0R/HG3

(8) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107端子を, A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00H^注になります。

注 ADPCレジスタは, PER0.ADCEN = 0に設定してもリセットされません。

図10-11 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPCビット					アナログ入力 (A) / デジタル入出力 (D) の切り替え																								
4	3	2	1	0	ANI 23/ P107	ANI 22/ P106	ANI 21/ P105	ANI 20/ P104	ANI 19/ P103	ANI 18/ P102	ANI 17/ P101	ANI 16/ P100	ANI 15/ P97	ANI 14/ P96	ANI 13/ P95	ANI 12/ P94	ANI 11/ P93	ANI 10/ P92	ANI 09/ P91	ANI 08/ P90	ANI 07/ P87	ANI 06/ P86	ANI 05/ P85	ANI 04/ P84	ANI 03/ P83	ANI 02/ P82	ANI 01/ P81	ANI 00/ P80	
0	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	0	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	0	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A
0	1	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
0	1	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
1	0	0	0	0	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	1	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	0	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	1	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	0	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	1	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	0	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	1	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
上記以外					設定禁止																								

(注, 注意, 備考は次ページにあります。)

注 ADPCレジスタは、PER0.ADCEN = 0に設定してもリセットされません。

- 注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ8-10 (PM8-PM10) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。
 3. P80/ANI00-P87/ANI07, P90/ANI08-P97/ANI15, P100/ANI16-P107/ANI23は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P80/ANI00,...,P87/ANI07, P90/ANI08,...,P97/ANI15, P100/ANI16,...,P107/ANI23の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P80/ANI0から設計してください。
 4. ADPCレジスタの設定をする際には、必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN=1の設定を行ってください。ADCEN = 0の場合は、ADPCレジスタへの書き込みは無視され、設定値は初期値となります。

備考 ANI00-ANI10 : 78K0R/HC3

ANI00-ANI14 : 78K0R//HE3

ANI00-ANI15 : 78K0R//HF3

ANI00-ANI23 : 78K0R//HG3

(9) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-12 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	ADS_4	ADS_3	ADS_2	ADS_1	ADS_0

ADS_4	ADS_3	ADS_2	ADS_1	ADS_0	選択チャンネル	
					セレクト・モード	スキャン・モード
0	0	0	0	0	ANI00	ANI00
0	0	0	0	1	ANI01	ANI00-ANI01
0	0	0	1	0	ANI02	ANI00-ANI01-ANI02
0	0	0	1	1	ANI03	ANI00-ANI01...-ANI03
0	0	1	0	0	ANI04	ANI00-ANI01...-ANI04
0	0	1	0	1	ANI05	ANI00-ANI01...-ANI05
0	0	1	1	0	ANI06	ANI00-ANI01...-ANI06
0	0	1	1	1	ANI07	ANI00-ANI01...-ANI07
0	1	0	0	0	ANI08	ANI00-ANI01...-ANI08
0	1	0	0	1	ANI09	ANI00-ANI01...-ANI09
0	1	0	1	0	ANI10	ANI00-ANI01...-ANI10
0	1	0	1	1	ANI11	ANI00-ANI01...-ANI11
0	1	1	0	0	ANI12	ANI00-ANI01...-ANI12
0	1	1	0	1	ANI13	ANI00-ANI01...-ANI13
0	1	1	1	0	ANI14	ANI00-ANI01...-ANI14
0	1	1	1	1	ANI15	ANI00-ANI01...-ANI15
1	0	0	0	0	ANI16	ANI00-ANI01...-ANI16
1	0	0	0	1	ANI17	ANI00-ANI01...-ANI17
1	0	0	1	0	ANI18	ANI00-ANI01...-ANI18
1	0	0	1	1	ANI19	ANI00-ANI01...-ANI19
1	0	1	0	0	ANI20	ANI00-ANI01...-ANI20
1	0	1	0	1	ANI21	ANI00-ANI01...-ANI21
1	0	1	1	0	ANI22	ANI00-ANI01...-ANI22
1	0	1	1	1	ANI23	ANI00-ANI01...-ANI23
1	1	x	x	x	ANI00	ANI00

注意1. ビット5-7には必ず0を設定してください。

- A/D変換で使用するチャンネルは、ポート・モード・レジスタ8-10 (PM8-PM10) で入力モードに選択してください。
- ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。
- アナログ入力が存在しないチャンネルを選択すると、変換結果が不定になります。
- A/D変換中にADSを書き換えることは禁止です。変換動作停止時 (ADCS = 0) に書き換えてください。

(備考は次ページにあります)

- 備考1. x : don't care
2. ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3
ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3
ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3
ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

(10) A/D変換時間設定レジスタ (ADSMP)

A/D変換期間を設定するレジスタです。

設定値はCPU/周辺ハードウェア・クロック周波数に依存します。

ADSMPは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ADSMP_3-ADSMP_0により1チャンネルの変換クロック数を決定します。詳細は、表10-2 1チャンネルの変換クロック数（ディスチャージなし）、表10-3 1チャンネルの変換クロック数（ディスチャージあり）を参照してください。

リセット信号の発生により、00Hになります。

図10-13 A/D変換時間設定レジスタ (ADSMP) のフォーマット

アドレス : FFF33H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADSMP	0	0	0	0	ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0

表10-2 1チャンネルの変換クロック数 (ディスチャージなし)

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数条件	1チャンネルの変換クロック数		
					高速モード1	高速モード2	標準モード
0	0	0	0	f _{CLK} 2 MHz	16クロック	17クロック	22クロック
0	0	0	1	f _{CLK} 4 MHz	18クロック	20クロック	40クロック
0	0	1	0	f _{CLK} 6 MHz	20クロック	35クロック	58クロック
0	0	1	1	f _{CLK} 8 MHz	33クロック	37クロック	76クロック
0	1	0	0	f _{CLK} 10 MHz	34クロック	40クロック	94クロック
0	1	0	1	f _{CLK} 12 MHz	37クロック	56クロック	114クロック
0	1	1	0	f _{CLK} 14 MHz	50クロック	59クロック	132クロック
0	1	1	1	f _{CLK} 16 MHz	52クロック	72クロック	150クロック
1	0	0	0	f _{CLK} 18 MHz	54クロック	76クロック	168クロック
1	0	0	1	f _{CLK} 20 MHz	55クロック	78クロック	186クロック
1	0	1	0	f _{CLK} 22 MHz	71クロック	96クロック	208クロック
1	0	1	1	f _{CLK} 24 MHz	73クロック	99クロック	226クロック
1	1	0	0		75クロック	113クロック	244クロック
1	1	0	1		88クロック	116クロック	262クロック
1	1	1	0		89クロック	118クロック	280クロック
1	1	1	1		92クロック	133クロック	300クロック

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換中にADSMPを書き換えることは禁止です。変換動作停止時 (ADCS = 0) に書き換えてください。
3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

表10-3 1チャンネルの変換クロック数（ディスチャージあり）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数条件	1チャンネルの変換クロック数		
					高速モード1	高速モード2	標準モード
0	0	0	0	fCLK 2 MHz	19クロック	22クロック	27クロック
0	0	0	1	fCLK 4 MHz	22クロック	25クロック	47クロック
0	0	1	0	fCLK 6 MHz	24クロック	42クロック	68クロック
0	0	1	1	fCLK 8 MHz	38クロック	44クロック	88クロック
0	1	0	0	fCLK 10 MHz	39クロック	48クロック	108クロック
0	1	0	1	fCLK 12 MHz	44クロック	67クロック	132クロック
0	1	1	0	fCLK 14 MHz	58クロック	70クロック	152クロック
0	1	1	1	fCLK 16 MHz	60クロック	84クロック	173クロック
1	0	0	0	fCLK 18 MHz	63クロック	89クロック	193クロック
1	0	0	1	fCLK 20 MHz	64クロック	92クロック	213クロック
1	0	1	0	fCLK 22 MHz	83クロック	115クロック	240クロック
1	0	1	1	fCLK 24 MHz	86クロック	119クロック	260クロック
1	1	0	0		88クロック	134クロック	281クロック
1	1	0	1		102クロック	137クロック	301クロック
1	1	1	0		103クロック	140クロック	321クロック
1	1	1	1		108クロック	157クロック	345クロック

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換中にADSMPを書き換えることは禁止です。変換動作停止時（ADCS = 0）に書き換えてください。
3. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 表10-4～10-9にADSMPレジスタの設定と各モードのAD変換時間を示します。

1チャンネルのAD変換時間はつぎのとおりです。

例：連続モード

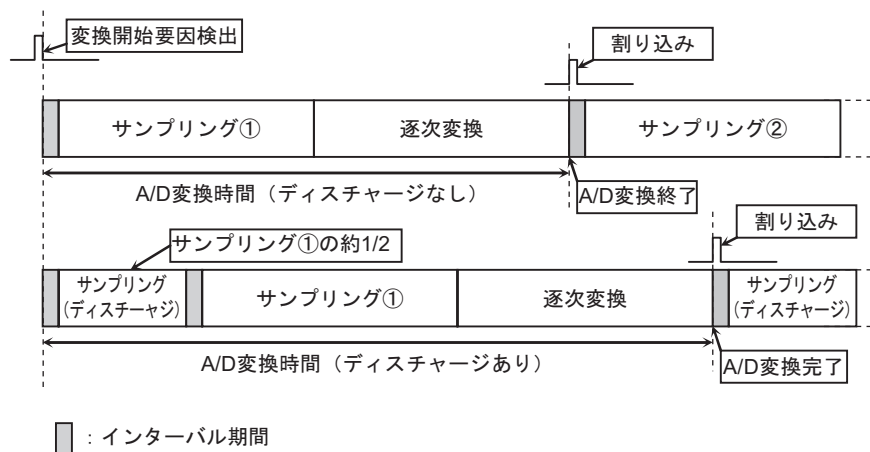


表10-4 CPU/周辺ハードウェア・クロック周波数別のAD変換時間（高速モード1：ADHS1, ADHS0 = 0, 0）
（ディスチャージなし）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数別				
				AD変換時間 (μs)				
				2 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	0	8 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	9 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	10 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	16.5 μs	4.125 μs	設定禁止	設定禁止	設定禁止
0	1	0	0	17 μs	4.25 μs	設定禁止	設定禁止	設定禁止
0	1	0	1	18.5 μs	4.625 μs	設定禁止	設定禁止	設定禁止
0	1	1	0	25 μs	6.25 μs	設定禁止	設定禁止	設定禁止
0	1	1	1	26 μs	6.5 μs	3.25 μs	設定禁止	設定禁止
1	0	0	0	27 μs	6.75 μs	3.375 μs	設定禁止	設定禁止
1	0	0	1	27.5 μs	6.875 μs	3.437 μs	2.75 μs	設定禁止
1	0	1	0	35.5 μs	8.875 μs	4.438 μs	3.55 μs	設定禁止
1	0	1	1	36.5 μs	9.125 μs	4.563 μs	3.65 μs	3.042 μs
1	1	0	0	37.5 μs	9.375 μs	4.688 μs	3.75 μs	3.125 μs
1	1	0	1	44 μs	11 μs	5.5 μs	4.4 μs	3.667 μs
1	1	1	0	44.5 μs	11.125 μs	5.563 μs	4.45 μs	3.709 μs
1	1	1	1	46 μs	11.5 μs	5.75 μs	4.6 μs	3.834 μs

表10-5 CPU/周辺ハードウェア・クロック周波数別のAD変換時間（高速モード1：ADHS1, ADHS0 = 0, 0）
（ディスチャージあり）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数別				
				AD変換時間 (μs)				
				2 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	0	9.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	11 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	12 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	19 μs	4.75 μs	設定禁止	設定禁止	設定禁止
0	1	0	0	19.5 μs	4.875 μs	設定禁止	設定禁止	設定禁止
0	1	0	1	22 μs	5.5 μs	設定禁止	設定禁止	設定禁止
0	1	1	0	29 μs	7.25 μs	設定禁止	設定禁止	設定禁止
0	1	1	1	30 μs	7.5 μs	3.75 μs	設定禁止	設定禁止
1	0	0	0	31.5 μs	7.875 μs	3.937 μs	設定禁止	設定禁止
1	0	0	1	32 μs	8 μs	4 μs	3.2 μs	設定禁止
1	0	1	0	41.5 μs	10.375 μs	5.188 μs	4.15 μs	設定禁止
1	0	1	1	43 μs	10.75 μs	5.375 μs	4.3 μs	3.584 μs
1	1	0	0	44 μs	11 μs	5.5 μs	4.4 μs	3.667 μs
1	1	0	1	51 μs	12.75 μs	6.375 μs	5.1 μs	4.25 μs
1	1	1	0	51.5 μs	12.875 μs	6.438 μs	5.15 μs	4.292 μs
1	1	1	1	54 μs	13.5 μs	6.75 μs	5.4 μs	4.5 μs

表10-6 CPU/周辺ハードウェア・クロック周波数別のAD変換時間（高速モード2：ADHS1, ADHS0 = 0, 1）
（ディスチャージなし）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数別				
				AD変換時間 (μs)				
				2 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	0	8.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	10 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	17.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	18.5 μs	4.625 μs	設定禁止	設定禁止	設定禁止
0	1	0	0	20 μs	5 μs	設定禁止	設定禁止	設定禁止
0	1	0	1	28 μs	7 μs	設定禁止	設定禁止	設定禁止
0	1	1	0	29.5 μs	7.375 μs	設定禁止	設定禁止	設定禁止
0	1	1	1	36 μs	9 μs	4.5 μs	設定禁止	設定禁止
1	0	0	0	38.5 μs	9.5 μs	4.75 μs	設定禁止	設定禁止
1	0	0	1	39 μs	9.75 μs	4.875 μs	3.9 μs	設定禁止
1	0	1	0	48 μs	12 μs	6 μs	4.8 μs	設定禁止
1	0	1	1	49.5 μs	12.375 μs	6.188 μs	4.95 μs	4.125 μs
1	1	0	0	56.5 μs	14.125 μs	7.063 μs	5.65 μs	4.709 μs
1	1	0	1	58 μs	14.5 μs	7.25 μs	5.8 μs	4.834 μs
1	1	1	0	59 μs	14.75 μs	7.375 μs	5.9 μs	4.917 μs
1	1	1	1	66.5 μs	16.625 μs	8.313 μs	6.65 μs	5.542 μs

表10-7 CPU/周辺ハードウェア・クロック周波数別のAD変換時間（高速モード2：ADHS1, ADHS0 = 0, 1）
（ディスチャージあり）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数別				
				AD変換時間 (μs)				
				2 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	0	11 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	12.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	21 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	22 μs	5.5 μs	設定禁止	設定禁止	設定禁止
0	1	0	0	24 μs	6 μs	設定禁止	設定禁止	設定禁止
0	1	0	1	33.5 μs	8.375 μs	設定禁止	設定禁止	設定禁止
0	1	1	0	35 μs	8.75 μs	設定禁止	設定禁止	設定禁止
0	1	1	1	42 μs	10.5 μs	5.25 μs	設定禁止	設定禁止
1	0	0	0	45 μs	11.125 μs	5.562 μs	設定禁止	設定禁止
1	0	0	1	46 μs	11.5 μs	5.75 μs	4.6 μs	設定禁止
1	0	1	0	57.5 μs	14.375 μs	7.189 μs	5.75 μs	設定禁止
1	0	1	1	59.5 μs	14.875 μs	7.438 μs	5.95 μs	4.959 μs
1	1	0	0	67 μs	16.75 μs	8.375 μs	6.7 μs	5.584 μs
1	1	0	1	68.5 μs	17.125 μs	8.563 μs	6.85 μs	5.709 μs
1	1	1	0	70 μs	17.5 μs	8.75 μs	7 μs	5.834 μs
1	1	1	1	78.5 μs	19.625 μs	9.813 μs	7.85 μs	6.542 μs

表10-8 CPU/周辺ハードウェア・クロック周波数別のAD変換時間（標準モード：ADHS1, ADHS0 = 1, 0）
（ディスチャージなし）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数別				
				AD変換時間 (μs)				
				2 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	0	11 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	20 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	29 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	38 μs	9.5 μs	設定禁止	設定禁止	設定禁止
0	1	0	0	47 μs	11.75 μs	設定禁止	設定禁止	設定禁止
0	1	0	1	57 μs	14.25 μs	設定禁止	設定禁止	設定禁止
0	1	1	0	66 μs	16.5 μs	設定禁止	設定禁止	設定禁止
0	1	1	1	75 μs	18.75 μs	9.375 μs	設定禁止	設定禁止
1	0	0	0	設定禁止	21 μs	10.5 μs	設定禁止	設定禁止
1	0	0	1	設定禁止	23.25 μs	11.625 μs	9.3 μs	設定禁止
1	0	1	0	設定禁止	26 μs	13 μs	10.4 μs	設定禁止
1	0	1	1	設定禁止	28.25 μs	14.125 μs	11.3 μs	9.417 μs
1	1	0	0	設定禁止	30.5 μs	15.25 μs	12.2 μs	10.167 μs
1	1	0	1	設定禁止	32.75 μs	16.375 μs	13.1 μs	10.917 μs
1	1	1	0	設定禁止	35 μs	17.5 μs	14 μs	11.667 μs
1	1	1	1	設定禁止	37.5 μs	18.75 μs	15 μs	12.5 μs

表10-9 CPU/周辺ハードウェア・クロック周波数別のAD変換時間（標準モード：ADHS1, ADHS0 = 1, 0）
（ディスチャージあり）

ADSMP_3	ADSMP_2	ADSMP_1	ADSMP_0	CPU/周辺ハードウェア・クロック周波数別				
				AD変換時間 (μs)				
				2 MHz	8 MHz	16 MHz	20 MHz	24 MHz
0	0	0	0	13.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	0	1	23.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	0	34 μs	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1	1	44 μs	11 μs	設定禁止	設定禁止	設定禁止
0	1	0	0	54 μs	13.5 μs	設定禁止	設定禁止	設定禁止
0	1	0	1	66 μs	16.5 μs	設定禁止	設定禁止	設定禁止
0	1	1	0	76 μs	19 μs	設定禁止	設定禁止	設定禁止
0	1	1	1	86.5 μs	21.625 μs	10.813 μs	設定禁止	設定禁止
1	0	0	0	設定禁止	24.125 μs	12.063 μs	設定禁止	設定禁止
1	0	0	1	設定禁止	26.625 μs	13.313 μs	10.65 μs	設定禁止
1	0	1	0	設定禁止	30 μs	15 μs	12 μs	設定禁止
1	0	1	1	設定禁止	32.5 μs	16.25 μs	13 μs	10.834 μs
1	1	0	0	設定禁止	35.125 μs	17.563 μs	14.05 μs	11.709 μs
1	1	0	1	設定禁止	37.625 μs	18.813 μs	15.05 μs	12.542 μs
1	1	1	0	設定禁止	40.125 μs	20.063 μs	16.05 μs	13.376 μs
1	1	1	1	設定禁止	43.125 μs	21.563 μs	17.25 μs	14.375 μs

(11) ポート・モード・レジスタ8-10 (PM8-PM10)

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107端子をアナログ入力ポートとして使用するとき、PM8_0-PM8_7, PM9_0-PM9_7, PM10_0-PM10_7にそれぞれ1を設定してください。このときP8_0-P8_7, P9_0-P9_7, P10_0-P10_7の出カラッチは、0または1のどちらでもかまいません。

PM8_0-PM8_7, PM9_0-PM9_7, PM10_0-PM10_7にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM8-PM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

備考 ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

図10-14 ポート・モード・レジスタ8-10 (PM8-PM10) のフォーマット

アドレス : FFF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	PM8_7	PM8_6	PM8_5	PM8_4	PM8_3	PM8_2	PM8_1	PM8_0

アドレス : FFF29H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM9	PM9_7	PM9_6	PM9_5	PM9_4	PM9_3	PM9_2	PM9_1	PM9_0

アドレス : FFF2AH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM10	PM10_7	PM10_6	PM10_5	PM10_4	PM10_3	PM10_2	PM10_1	PM10_0

PMm_n	Pmn端子の入出力モードの選択 (mn = 80-87, 90-97, 100-107)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI00/P80-ANI07/P87, ANI8/P90-ANI15/P97, ANI16/P100-ANI23/P107端子の機能は, ADPC, ADS, PM8-PM10の設定で決定します。

表10-10 ANI00/P80-ANI07/P87, ANI8/P90-ANI15/P97, ANI16/P100-ANI23/P107端子機能の設定

ADPC	PM8-PM10	ADS	ANI00/P80-ANI07/P87, ANI8/P90-ANI15/P97, ANI16/P100-ANI23/P107
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

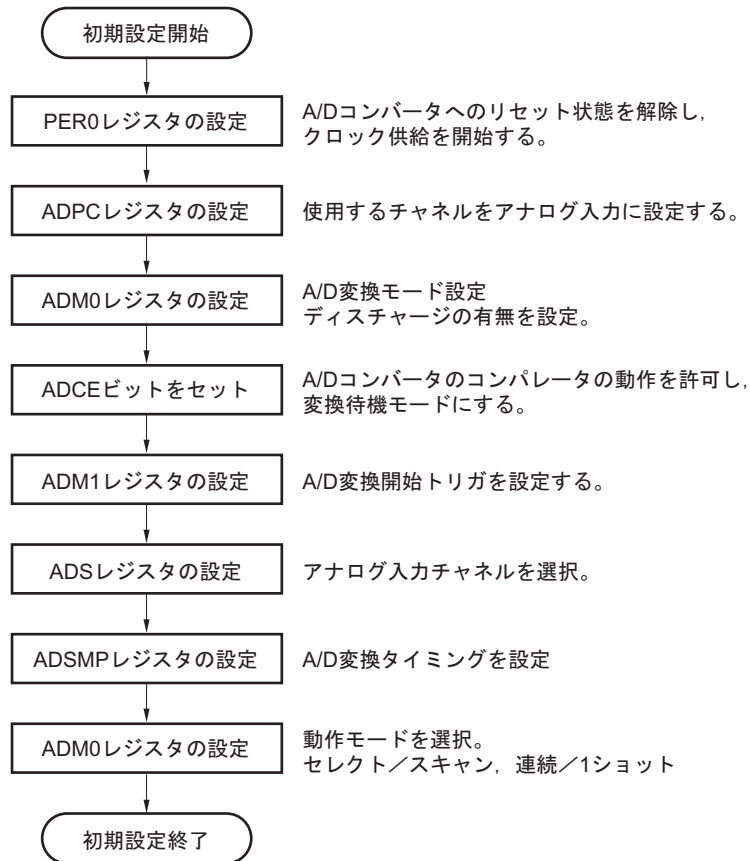
ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

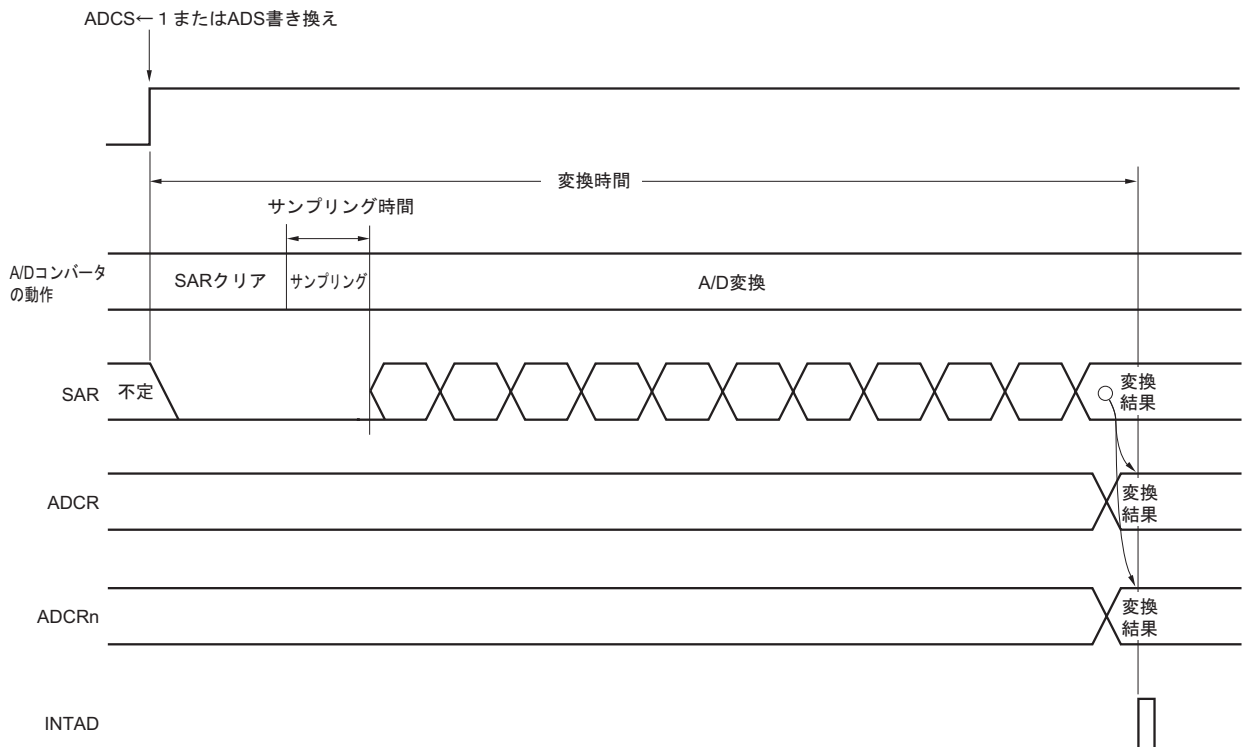
A/D変換の初期設定手順を次に示します。

図10-15 A/Dコンバータの初期設定フロー



注意 変換待機時間は1 μ s以上空けてください。

図10-16 A/Dコンバータの基本動作（連続セレクト・モード）



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果共通レジスタ (ADCR, ADCRH) またはA/D変換結果レジスタn (ADCRn, ADCRnH) は、リセット信号の発生により0000Hまた00Hとなります。

備考 n = 0-10 : 78K0R/HC3
 n = 0-14 : 78K0R/HE3
 n = 0-15 : 78K0R/HF3
 n = 0-23 : 78K0R/HG3

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI00-ANI23) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果共通レジスタ (ADCR), 10ビットA/D変換結果レジスタn (ADCRn)) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

または,

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果共通レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

備考1. ADCRnとアナログ入力電圧の関係を知りたい場合は、式中のADCRをADCRnに置き換えてください。

2. n = 0-10, ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

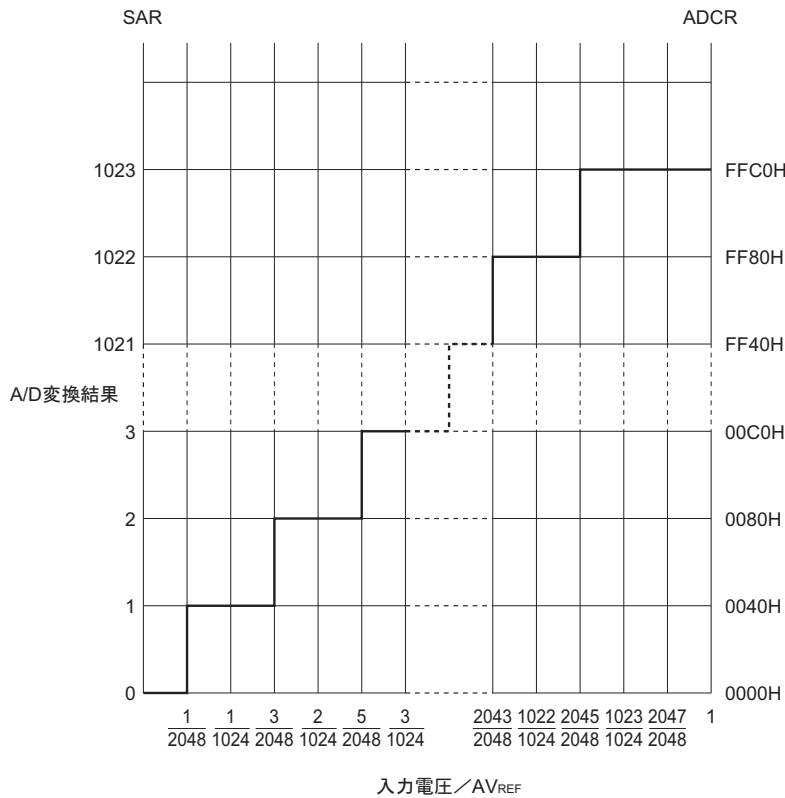
n = 0-14, ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

n = 0-15, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

n = 0-23, ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

図10-17にアナログ入力電圧とA/D変換結果の関係を示します。

図10-17 アナログ入力電圧とA/D変換結果の関係



10.4.3 トリガ・モードの選択

A/D変換の開始タイミングを設定するトリガ・モードには、ソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0-1、外部トリガ・モードの3つがあります。これらのトリガ・モードは、ADM1レジスタで設定します。

- ・ソフトウェア・トリガ・モード
- ・ハードウェア・トリガ・モード (タイマ・トリガ・モード0-1, 外部トリガ・モード)

(1) ソフトウェア・トリガ・モード

ADCS = 1に設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で選択したアナログ入力チャンネル (ANI00-ANI23) のA/D変換を開始するモードです。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM0, ADM1, ADS, ADPCレジスタに書き込みを行った場合、A/D変換は中断されます。その場合、セレクト・モードでは再度最初からA/D変換を行い、スキャン・モードではスキャン0からA/D変換を再開します。

(2) ハードウェア・トリガ・モード

(a) 外部トリガ・モード

外部トリガ (ADTRG端子) の入力により、ADSレジスタで指定したアナログ入力 (ANI0-ANI23端子) に対し、変換動作を開始するモードです。ADM1レジスタのADETS1, ADETS0ビットの設定により、外部トリガのエッジ検出 (立ち上がり, 立ち下がり, 立ち上がり/立ち下がりの両エッジ) の指定ができます。ADM0レジスタのADCS, ADCEビットをセット (1) 設定するとトリガ待機状態となり、

外部トリガが入力されたあとに変換を開始します。

変換を終了すると、変換結果をADCR, ADCRnレジスタに格納します。

ADMD0 = 0の場合、変換結果をADCR, ADCRnレジスタに格納と同時にAD変換終了割り込み要求信号 (INTAD) を発生し、再びトリガ待機状態になります。ADMD0 = 1の場合、ADSレジスタで指定したチャンネルの変換終了後にAD変換終了割り込み要求信号 (INTAD) を発生し、再びトリガ待機状態になります。

変換動作中にADM0, ADM1, ADS, ADPCレジスタに書き込みを行った場合、変換は中断され、再びトリガ待機状態になります。

注意 トリガ・モードを変更する場合は、ADCS = 0にしたあと、変更を行ってください。

備考 n = 0-10, ANI00-ANI10 : 78K0R/HC3
 n = 0-14, ANI00-ANI14 : 78K0R/HE3
 n = 0-15, ANI00-ANI15 : 78K0R/HF3
 n = 0-23, ANI00-ANI23 : 78K0R/HG3

(b) タイマ・トリガ・モード

タイマ割り込み要求信号 (INTTM12, INTTM22) により、ADSレジスタで指定したアナログ入力 (ANI0-ANI23端子) に対し、変換動作を開始するモードです。ADM1レジスタのADTMS1, ADTMS0ビットの設定により、タイマ割り込み要求信号 (INTTM12, INTTM22) のいずれかを指定し、指定された割り込み要求信号の立ち上がりエッジで変換を開始します。ADM0レジスタのADCS, ADCEビットをセット (1) するとトリガ待機状態となり、タイマ割り込み信号が入力されたあとに変換を開始します。

変換を終了すると、変換結果をADCR, ADCRnレジスタに格納します。

ADMD0 = 0の場合、変換結果をADCR, ADCRnレジスタに格納と同時にAD変換終了割り込み要求信号 (INTAD) を発生し、再びトリガ待機状態になります。ADMD0 = 1の場合、ADSレジスタで指定したチャンネルの変換終了後にAD変換終了割り込み要求信号 (INTAD) を発生し、再びトリガ待機状態になります。

変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADM0, ADM1, ADS, ADPCレジスタに書き込みを行った場合、変換は中断され、再びトリガ待機状態になります。

注意 トリガ・モードを変更する場合は、ADCS = 0にしたあと、変更を行ってください。

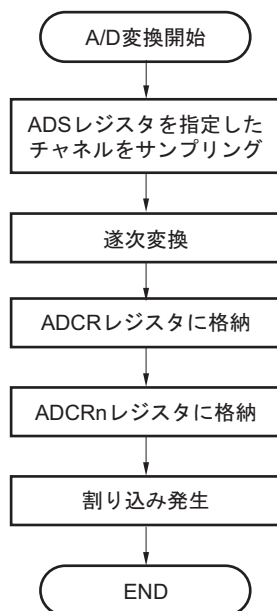
備考 n = 0-10, ANI00-ANI10 : 78K0R/HC3
 n = 0-14, ANI00-ANI14 : 78K0R/HE3
 n = 0-15, ANI00-ANI15 : 78K0R/HF3
 n = 0-23, ANI00-ANI23 : 78K0R/HG3

10.4.4 A/Dコンバータの動作モード

A/Dコンバータの動作モードには、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モードおよびワンショット・スキャン・モードの4つがあります。

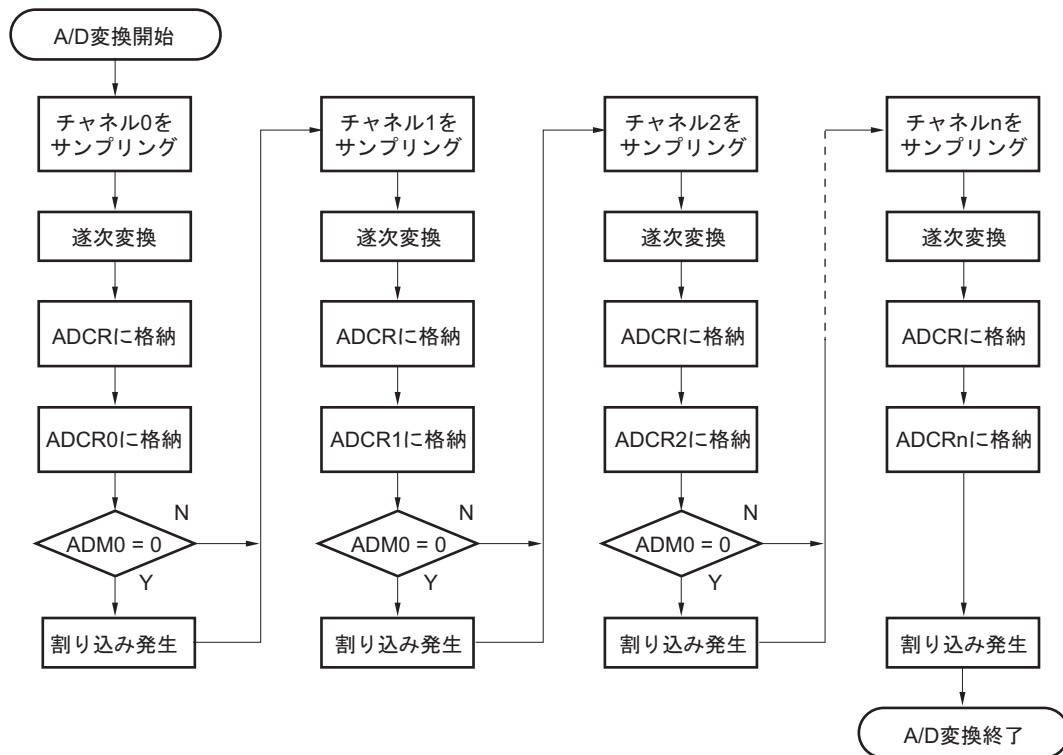
動作モードはADM0レジスタのADMD0-ADMD2ビットで設定します。

図10-18 セレクト・モードの動作フロー



備考 n = 0-10: 78K0R/HC3
n = 0-14: 78K0R/HE3
n = 0-15: 78K0R/HF3
n = 0-23: 78K0R/HG3

図10-19 スキャン・モードの動作フロー



備考 n = 0-10: 78K0R/HC3

n = 0-14: 78K0R/HE3

n = 0-15: 78K0R/HF3

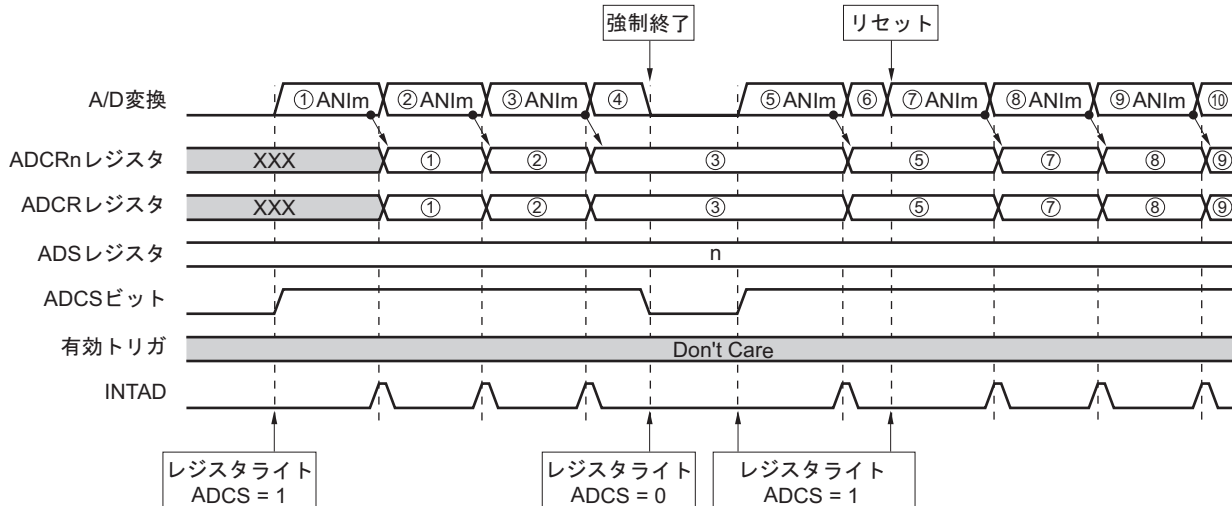
n = 0-23: 78K0R/HG3

(1) 連続セレクト・モード

ADSレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はADCRレジスタおよびアナログ入力端子に対応したADCRnレジスタに格納されます。このモードではアナログ入力端子とADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号（INTAD）が発生します。変換終了後はADM0レジスタのADCSビットを“0”にしないかぎり、次の変換を繰り返し行います。

図10-20 連続セレクト・モード動作タイミング例（ソフトウェア・トリガ・モード）



備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後、AD変換を開始します。

有効トリガの検出は行いません。

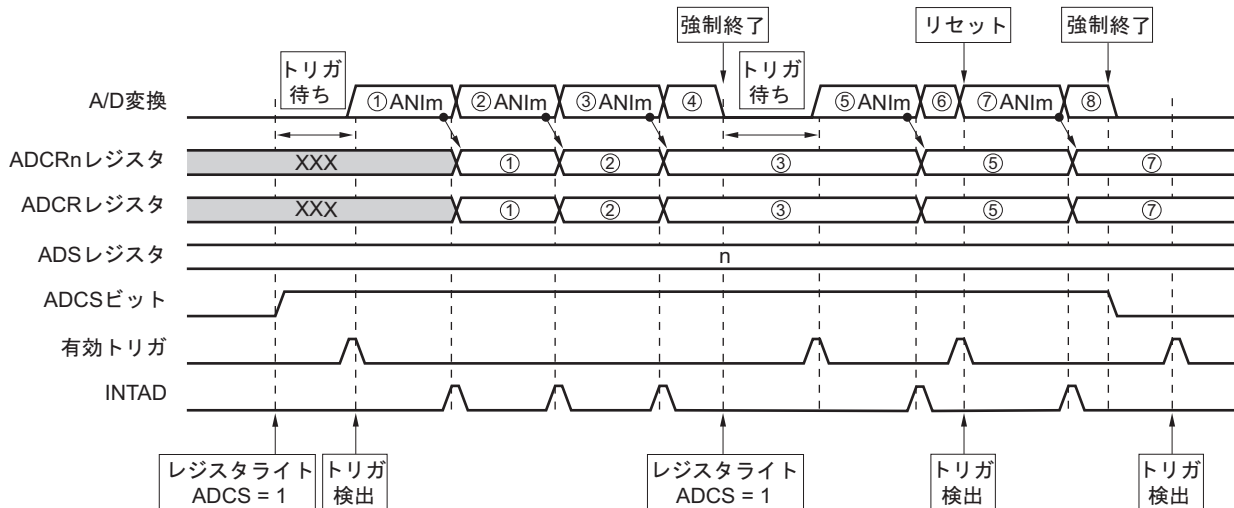
- n = 0-10, m = 00-10 : 78K0R/HC3

n = 0-14, m = 00-14 : 78K0R/HE3

n = 0-15, m = 00-15 : 78K0R/HF3

n = 0-23, m = 00-23 : 78K0R/HG3

図10-21 連続セレクト・モード動作タイミング例（ハードウェア・トリガ・モード）



備考1 ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後、トリガ待ちとなります。

有効トリガの検出でAD変換リセット後、AD変換を開始します。

2. n = 0-10, m = 00-10 : 78K0R/HC3
- n = 0-14, m = 00-14 : 78K0R/HE3
- n = 0-15, m = 00-15 : 78K0R/HF3
- n = 0-23, m = 00-23 : 78K0R/HG3

(2) 連続スキャン・モード

ANI00端子からADSレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。変換結果はADCRレジスタおよびアナログ入力端子に対応したADCRnレジスタに格納されます。

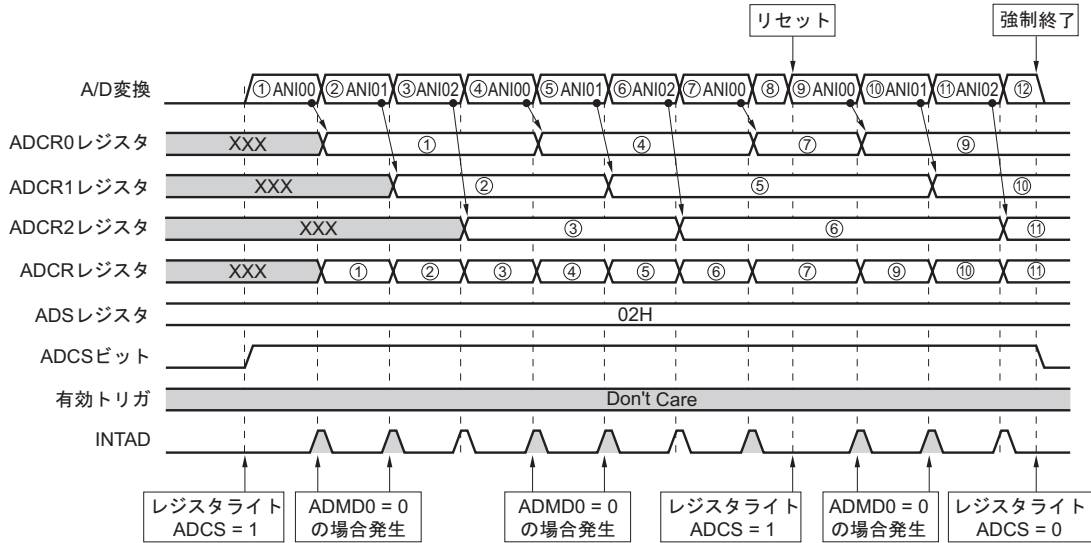
ADMD0 = 0のとき、AD変換ごとにA/D変換終了割り込み要求信号 (INTAD) を発生します。

ADMD0 = 1のとき、ADSレジスタで指定したアナログ入力端子の変換を終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生し、ADCS = 0にしないかぎり、再びANI00端子からA/D変換を開始します。

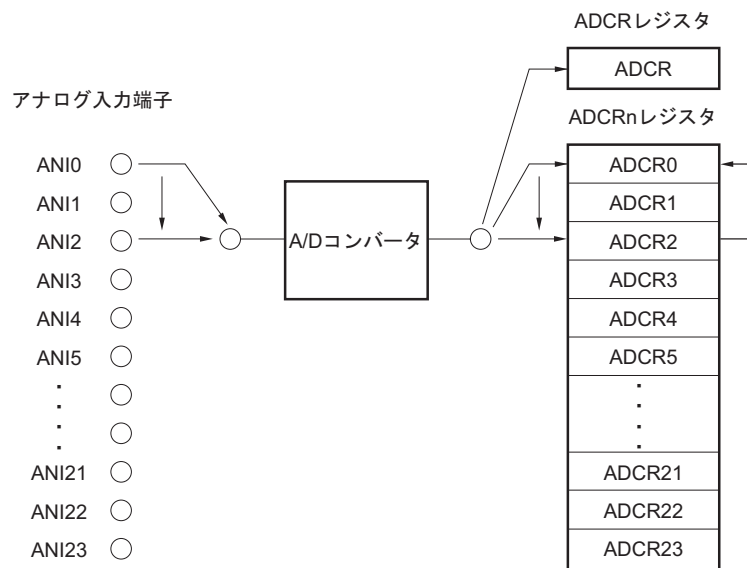
- 備考
- n = 0-10 : 78K0R/HC3
 - n = 0-14 : 78K0R/HE3
 - n = 0-15 : 78K0R/HF3
 - n = 0-23 : 78K0R/HG3

図10-22 連続スキャン・モード動作タイミング例 (ADSレジスタ = 02H, ソフトウェア・トリガ・モード)

(a) タイミング例



(b) ブロック図



備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

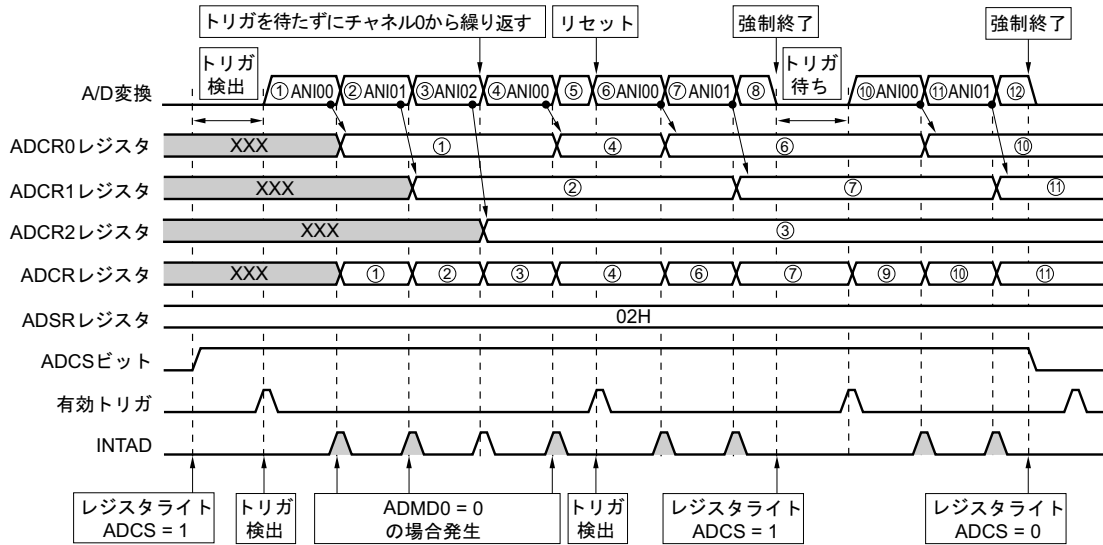
ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後, AD変換を開始します。

有効トリガの検出は行いません。

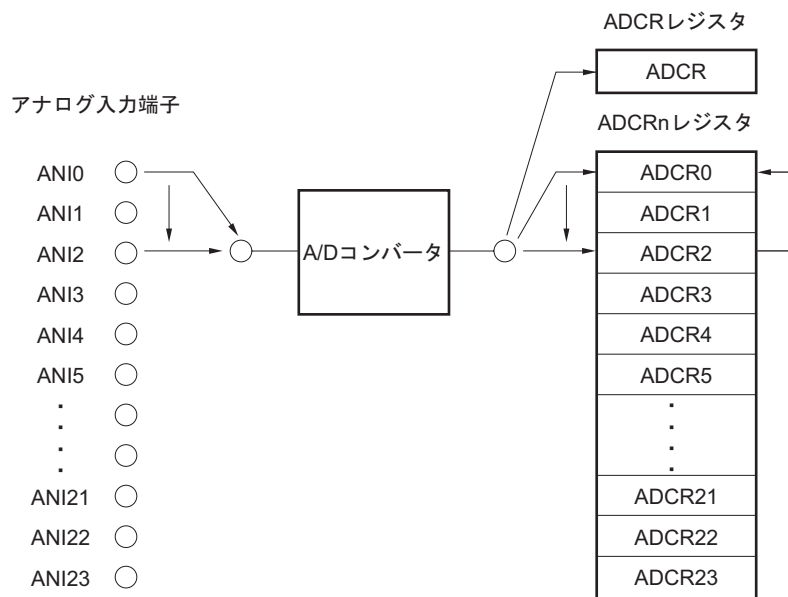
2. n = 0-10, ANI00-ANI10: 78K0R/HC3
 n = 0-14, ANI00-ANI14: 78K0R/HE3
 n = 0-15, ANI00-ANI15: 78K0R/HF3
 n = 0-23, ANI00-ANI23: 78K0R/HG3

図10-23 連続スキャン・モード動作タイミング例 (ADSレジスタ = 02H, ハードウェア・トリガ・モード)

(a) タイミング例



(b) ブロック図



備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後, AD変換を開始します。

有効トリガの検出は行いません。

2. n = 0-10, ANI00-ANI10: 78K0R/HC3
n = 0-14, ANI00-ANI14: 78K0R/HE3
n = 0-15, ANI00-ANI15: 78K0R/HF3
n = 0-23, ANI00-ANI23: 78K0R/HG3

(3) ワンショット・セレクト・モード

ADSレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

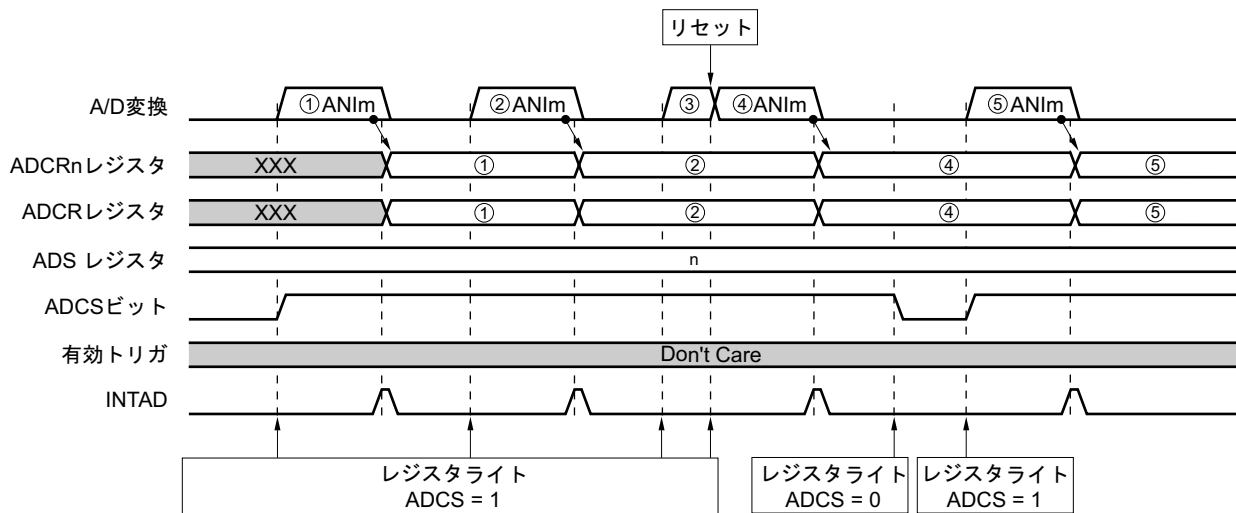
変換結果はアナログ入力端子に対応したADCRnレジスタに格納されます。このモードではアナログ入力端子とADCRnレジスタは1対1に対応しており、1回のA/D変換終了後、AD変換割り込み要求信号（INTAD）が発生します。A/D変換終了後はA/D変換動作を停止します。

ソフトウェア・トリガ・モード時の変換終了後は、ADCS = 1にすると次の変換を開始します。

ハードウェア・トリガ・モード時の変換終了後は、トリガ待ち状態となります。

備考 n = 0-10: 78K0R/HC3
 n = 0-14: 78K0R/HE3
 n = 0-15: 78K0R/HF3
 n = 0-23: 78K0R/HG3

図10-24 ワンショット・セレクト・モード動作タイミング例（ソフトウェア・トリガ・モード）



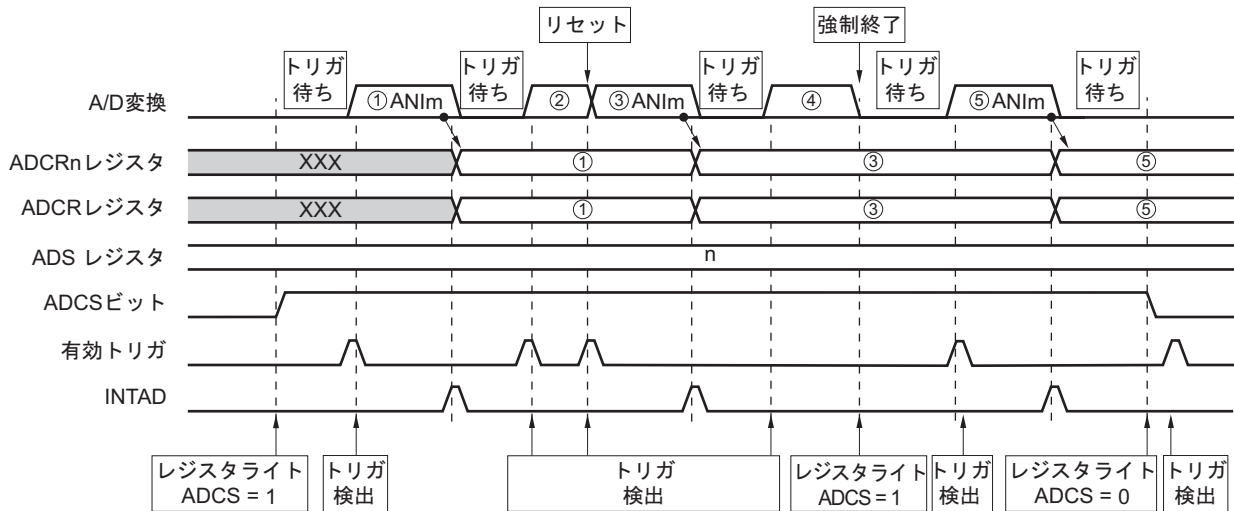
備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後、AD変換を開始します。

有効トリガの検出は行いません。

2. n = 0-10, m = 00-10 : 78K0R/HC3
 n = 0-14, m = 00-14 : 78K0R/HE3
 n = 0-15, m = 00-15 : 78K0R/HF3
 n = 0-23, m = 00-23 : 78K0R/HG3

図10-25 ワンショット・セレクト・モード動作タイミング例（ハードウェア・トリガ・モード）



備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後、トリガ待ちとなります。

有効トリガの検出でAD変換リセット後、AD変換を開始します。

2. n = 0-10, m = 00-10 : 78K0R/HC3
- n = 0-14, m = 00-14 : 78K0R/HE3
- n = 0-15, m = 00-15 : 78K0R/HF3
- n = 0-23, m = 00-23 : 78K0R/HG3

(4) ワンショット・スキャン・モード

ANI00端子からADSレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はADCRレジスタおよびアナログ入力端子に対応したADCRnレジスタに格納されます。

ADSレジスタで指定したアナログ入力端子までの変換が終了すると停止状態になります。

ADMD0 = 0のとき、AD変換ごとにAD変換終了割り込み要求信号 (INTAD) を発生します。

ADMD0 = 1のとき、ADSレジスタで指定したアナログ入力端子の変換を終了すると、AD変換終了割り込み要求信号 (INTAD) が発生します。

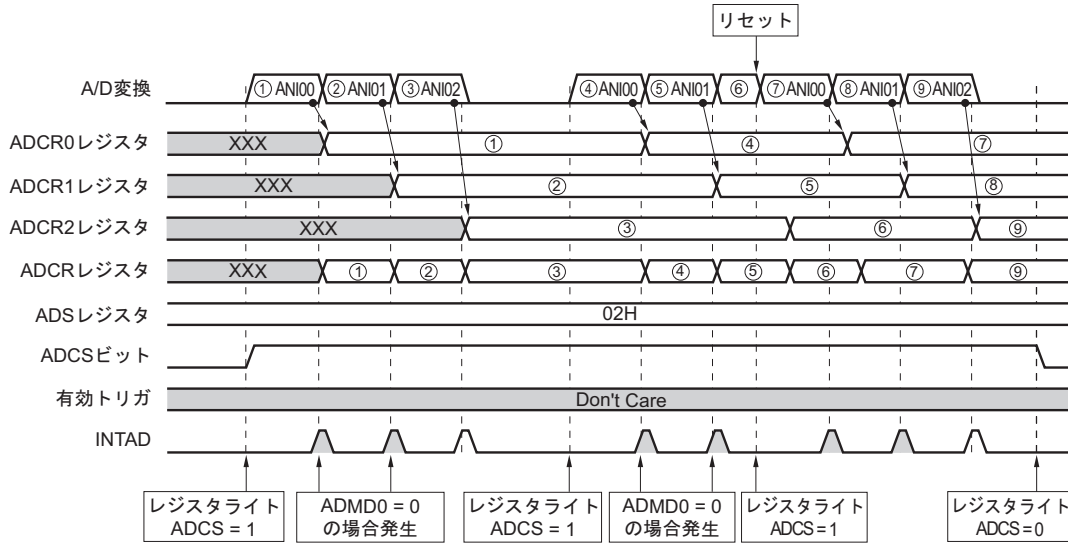
ソフトウェア・トリガ・モード時の変換終了後は、ADCS = 1にすると次の変換を開始します。

ハードウェア・トリガ・モード時の変換終了後は、トリガ待ち状態となります。

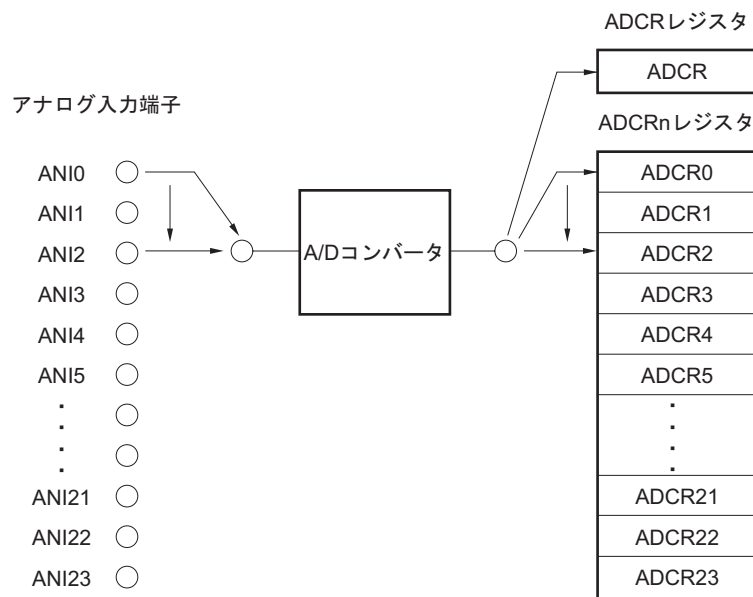
- 備考
- n = 0-10 : 78K0R/HC3
 - n = 0-14 : 78K0R/HE3
 - n = 0-15 : 78K0R/HF3
 - n = 0-23 : 78K0R/HG3

図10-26 ワンショット・スキャン・モード動作タイミング例 (ADSレジスタ = 02H, ソフトウェア・トリガ・モード)

(a) タイミング例



(b) ブロック図



備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

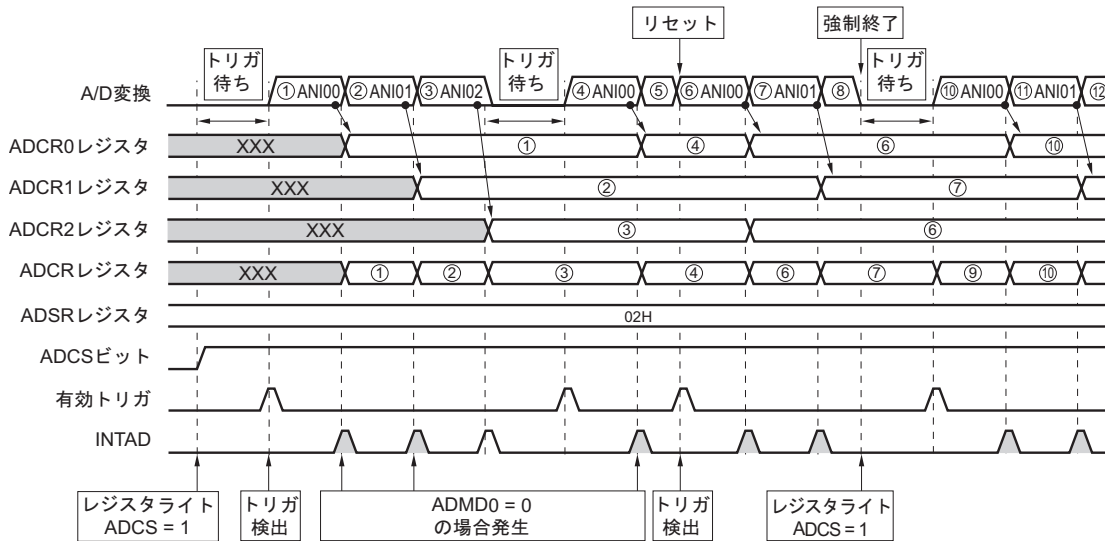
ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後, AD変換を開始します。

有効トリガの検出は行いません。

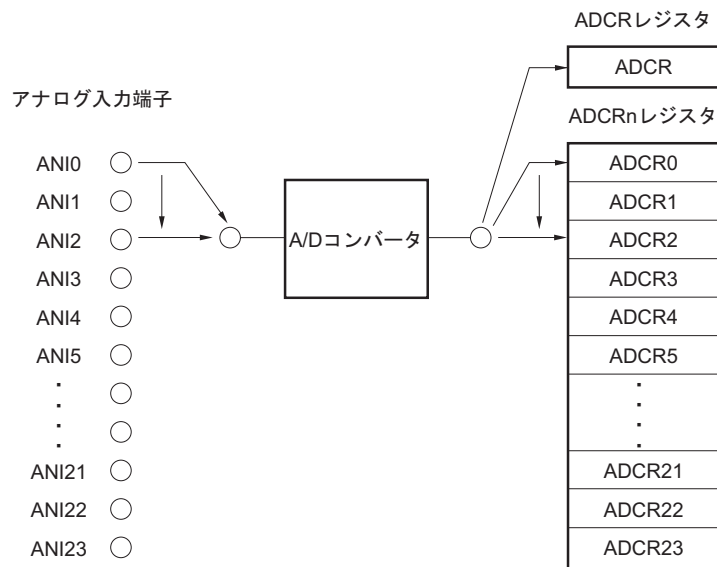
2. n = 0-10, m = 00-10 : 78K0R/HC3
n = 0-14, m = 00-14 : 78K0R/HE3
n = 0-15, m = 00-15 : 78K0R/HF3
n = 0-23, m = 00-23 : 78K0R/HG3

図10-27 ワンショット・スキャン・モード動作タイミング例 (ADSレジスタ = 02H, ハードウェア・トリガ・モード)

(a) タイミング例



(b) ブロック図



備考 1. ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 0) で停止します。

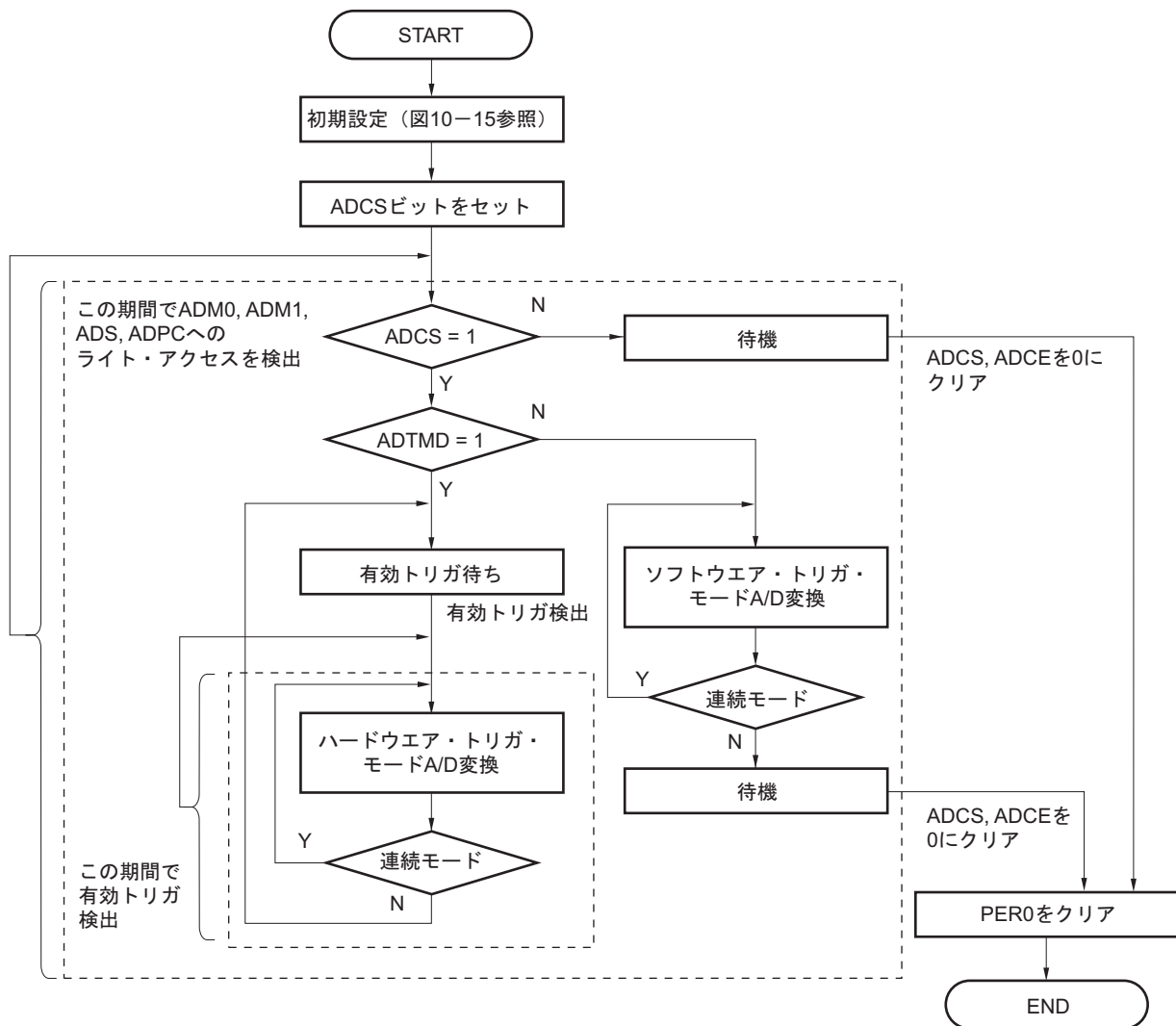
ADM0, ADM1, ADS, ADS, ADCR (ADCRH), ADPCレジスタへのライト (ADCS = 1) でAD変換リセット後, AD変換を開始します。

有効トリガの検出は行いません。

2. $n = 0-10$, ANI00-ANI10 : 78K0R/HC3
- $n = 0-14$, ANI00-ANI14 : 78K0R/HE3
- $n = 0-15$, ANI00-ANI15 : 78K0R/HF3
- $n = 0-23$, ANI00-ANI23 : 78K0R/HG3

次に設定方法を説明します。

図10-28 A/D変換動作フロー



10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

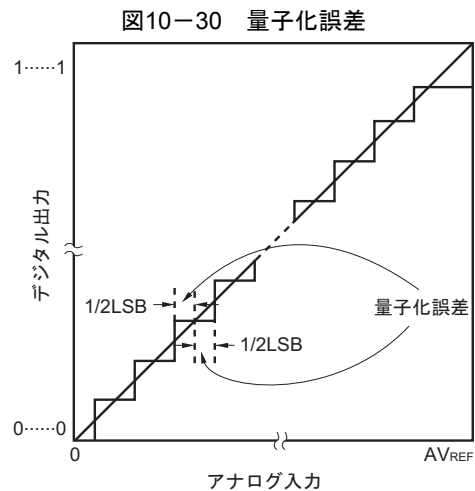
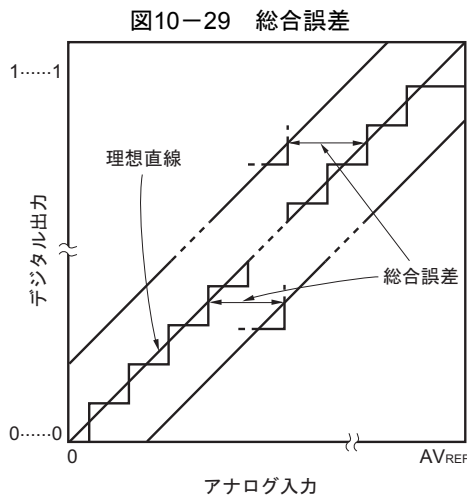
ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（ $1/2$ LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（ $3/2$ LSB）との差を表します。

(5) フルスケール誤差

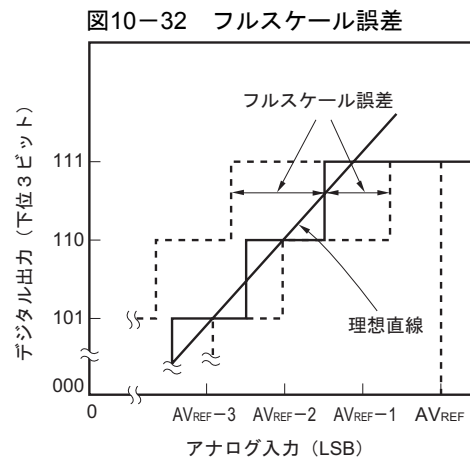
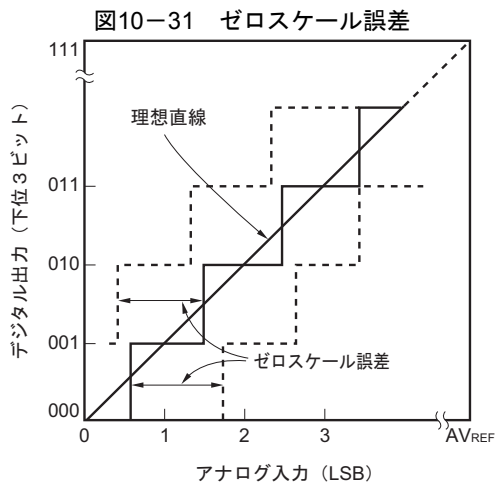
デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール $-3/2$ LSB）との差を表します。

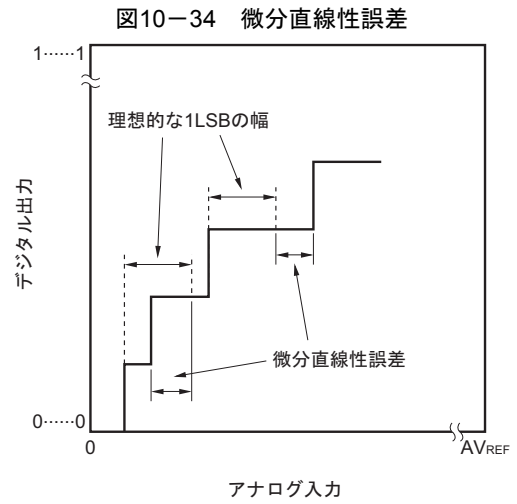
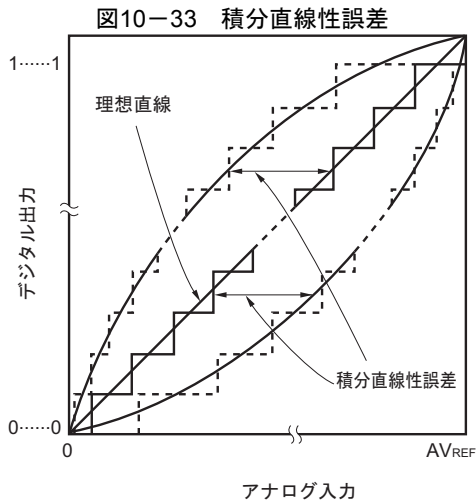
(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。





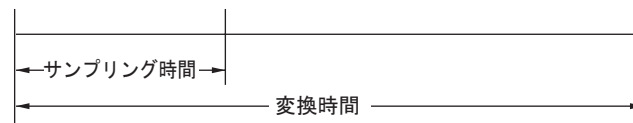
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) A/Dコンバータの停止時の電流低減について

A/Dコンバータ停止時は、A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にしていれば、AVREFへ電圧を印加していてもA/Dコンバータにより電流が増大することはありません。

(3) ANI00-ANI23入力範囲について

ANI00-ANI23入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(4) 競合動作について

変換終了時のA/D変換結果共通レジスタ（ADCR, ADCRH）またはA/D変換結果レジスタn（ADCRn, ADCRnH）ライトと命令によるADCR, ADCRHまたはADCRn, ADCRnHリードとの競合

ADCR, ADCRHまたはADCRn, ADCRnHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHまたはADCRn, ADCRnHにライトされます。

変換終了時のADCR, ADCRHまたはADCRn, ADCRnHライトとA/Dコンバータ・モード・レジスタ0, 1（ADM0, ADM1）ライト、アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）ライトの競合

ADM0, ADM1, ADS, ADPCへのライトが優先されます。ADCR, ADCRH, ADCRn, ADCRnHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

備考	n = 0-10, ANI00-ANI10	: 78K0R/HC3
	n = 0-14, ANI00-ANI14	: 78K0R/HE3
	n = 0-15, ANI00-ANI15	: 78K0R/HF3
	n = 0-23, ANI00-ANI23	: 78K0R/HG3

(5) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI00-ANI23端子へのノイズに注意する必要があります。

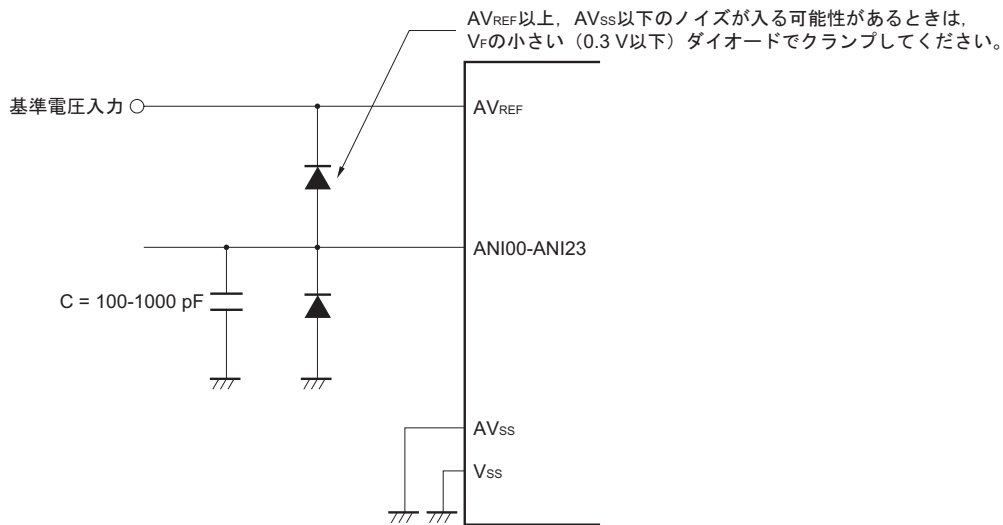
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10-35のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図10-35 アナログ入力端子の処理



(6) ANI00/P80-ANI07/P87, ANI8/P90-ANI14/P97, ANI15/P100-ANI23/P107

アナログ入力（ANI00-ANI07）端子は入力ポート（P80-P87）端子と兼用になっています。

アナログ入力（ANI08-ANI15）端子は入力ポート（P90-P97）端子と兼用になっています。

アナログ入力（ANI16-ANI23）端子は入力ポート（P100-P107）端子と兼用になっています。

ANI00-ANI23のいずれかを選択してA/D変換をする場合、変換中にP8_0-P8_7, P9_0-P9_7, P10_0-P10_7に対してアクセスしないでください。変換分解能が低下することがあります。またP80-P87, P90-P97, P100-P107として使用する端子の選択は、 AV_{REF} から最も遠いアナログ入力端子より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

備考 ANI00/P80-ANI07/P87, ANI08/P90-ANI10/P92 : 78K0R/HC3

ANI00/P80-ANI07/P87, ANI08/P90-ANI14/P96 : 78K0R/HE3

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97 : 78K0R/HF3

ANI00/P80-ANI07/P87, ANI08/P90-ANI15/P97, ANI16/P100-ANI23/P107 : 78K0R/HG3

(7) ANI00-ANI23端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出カインピーダンスを1 kΩ以下にし、出カインピーダンスが高いときはANI00-ANI23端子に100 pF程度のコンデンサを付けることを推奨します(図10-35参照)。

(8) AVREF端子の入カインピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出カインピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

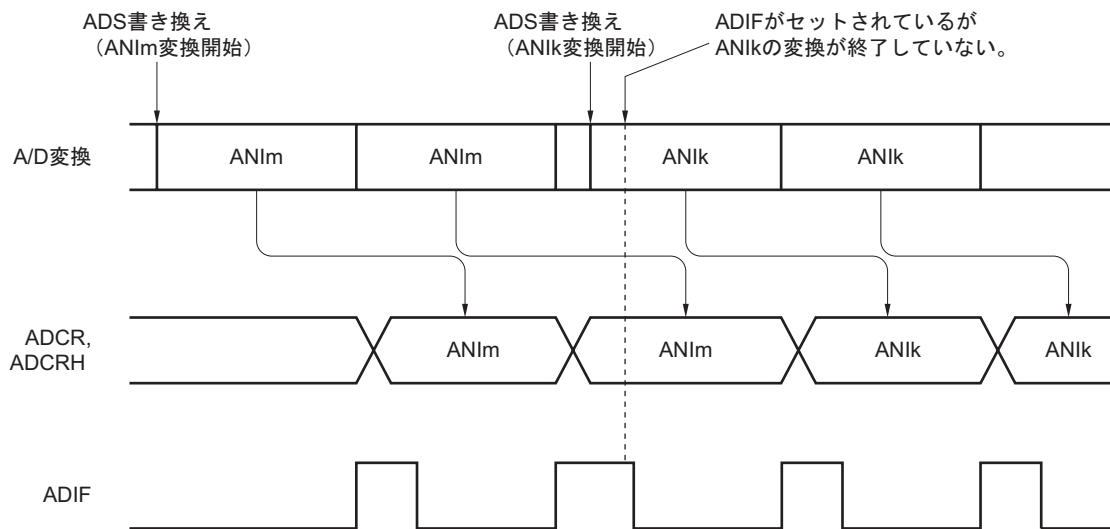
(9) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図10-36 A/D変換終了割り込み要求発生タイミング



備考1. m = 00-10 : 78K0R/HC3

m = 00-14 : 78K0R/HE3

m = 00-15 : 78K0R/HF3

m = 00-23 : 78K0R/HG3

2. k = 00-10 : 78K0R/HC3

k = 00-14 : 78K0R/HE3

k = 00-15 : 78K0R/HF3

k = 00-23 : 78K0R/HG3

(10) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

- (11) A/D変換結果共通レジスタ (ADCR, ADCRH) またはA/D変換結果レジスタn (ADCRn, ADCRnH) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0), A/Dコンバータ・モード・レジスタ1 (ADM1), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCR, ADCRHまたはADCRn, ADCRnHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM0, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。

- (12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10-37 ANIm端子内部等価回路

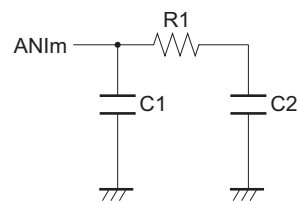


表10-11 等価回路の各抵抗と容量値 (参考値)

AVREF	モード	R1	C1	C2
4.0 V V _{DD} 5.5 V	標準	5.2 kΩ	8 pF	6.3 pF
	高速1	5.2 kΩ		
	高速2	7.8 kΩ		
2.7 V V _{DD} <4.0 V	標準/高速1	18.6 kΩ	8 pF	6.3 pF
	高速2	7.8 kΩ		

備考1. 表10-11の各抵抗と容量値は保証値ではありません。

2. m = 00-10 : 78K0R/HC3
- m = 00-14 : 78K0R/HE3
- m = 00-15 : 78K0R/HF3
- m = 00-23 : 78K0R/HG3

- (13) A/Dコンバータの動作開始について

A/Dコンバータの動作は, AVREFの電圧が安定してから開始してください。

第11章 シリアル・アレイ・ユニット

製品	78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
	SAU	yy = 31-35	yy = 36-40	yy = 41-45
CSI	2	3		4
UART	-		1	
簡易I ² C	1		2	

シリアル・アレイ・ユニットは1つのユニットに2つのシリアル・チャンネルを持ち、各種シリアル・インタフェース（3線シリアル（CSI）、UART、簡易I²C）をいくつか組み合わせて使用できます。

78K0R/Hx3で対応している、各チャンネルの機能割り当ては次のようになっています。

表11-1 製品ごとのシリアル機能の割り当て

HC3	HE3	HF3	HG3	ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
				0	0	CSI00（SPI対応）	-	-
-					1	CSI01（SPI対応）		-
				1	0	CSI10	-	-
注	注	注			1	CSI11		IIC11
-				2	0	-	UART2	IIC20
					1	-		-

注 IIC11のみ搭載

備考 1. ユニット1のチャンネル1で「CSI11」を使用するときは、IIC11を使用することはできません。

「IIC11」を使用するときは、CSI11を使用することはできません。

2. ユニット2のチャンネル0, 1で「UART2」を使用するときは、IIC20を使用することはできません。

「IIC20」を使用するときは、UART2を使用することはできません。

この章では78K0R/HG3の場合について記述しています。

11.1 シリアル・アレイ・ユニットの機能

78K0R/Hx3で対応している各シリアル・インタフェースの特徴を示します。

11.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7～16ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

また、CSI00, CSI01 (ユニット0の0, 1チャンネル) では、SPI機能に対応しています。

[拡張機能]

- ・ SPI機能のスレーブ選択機能

11. 1. 2 UART (UART2)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 7~9, 16ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

11. 1. 3 簡易I²C (IIC11, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション, ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・ マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ ACK出力機能^注, ACK検出機能
- ・ 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・ スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・ 転送完了割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー
- ・ パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・ スレーブ送信, スレーブ受信
- ・ アービトレーション負け検出機能
- ・ ウエイト検出機能

注 最終データの受信時は、SOEm_n (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、11. 8. 3 (2) 処理フローを参照してください。

備考 m : ユニット番号 (m = 1, 2) n : チャンネル番号 (n = 0, 1)

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-2 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	16ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) 注
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK11端子 (3線シリアルI/O用), SCL11, SCL20端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI01, SI10, SI11端子 (3線シリアルI/O用), RxD2端子 (UART用)
シリアル・データ 出力	SO00, SO01, SO10, SO11端子 (3線シリアルI/O用), TxD2端子 (UART用), 出力制御回路
シリアル・データ 入出力	SDA11, SDA20端子 (簡易I ² C用)
スレーブ選択入力	SSI00, SSI01端子 (3線シリアルI/O用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0, 1 (PER0, PER1) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可ステータスレジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOM) ・シリアル出力レベル・レジスタm (SOLm) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) ・シリアル・スレーブ選択許可レジスタ0 (SSE0) ・シリアル通信端子選択レジスタ (STSEL) ・ポート入力モード・レジスタ6, 7 (PIM6, PIM7) ・ポート出力モード・レジスタ4, 7 (POM4, POM7) ・ポート・モード・レジスタ1, 3, 4, 6, 7, 15 (PM1, PM3, PM4, PM6, PM7, PM15) ・ポート・レジスタ1, 3, 4, 6, 7, 15 (P1, P3, P4, P6, P7, P15)

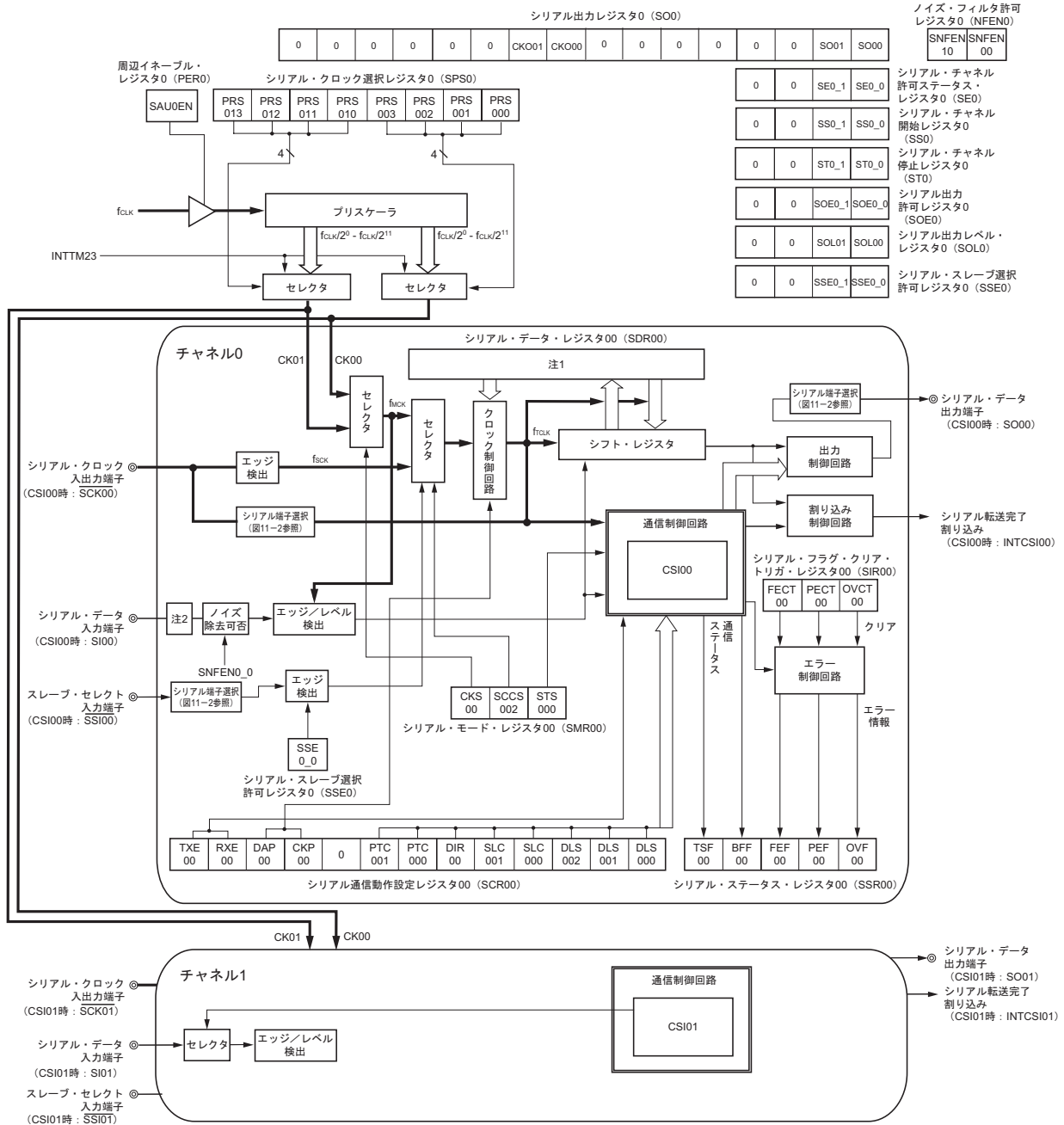
注 動作中 (SEm_n = 1) のとき

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

p : CSI番号 (p = 00, 01, 10, 11) q : UART番号 (q = 2) r : IIC番号 (r = 11, 20)

図11-1にシリアル・アレイ・ユニット0のブロック図を示します。

図11-1 シリアル・アレイ・ユニット0のブロック図



注1. 動作停止 (SEm_n = 0) のとき、上位7ビットがクロック分周設定部、下位ビットは0固定となります。

動作中 (SEm_n = 1) のとき、バッファ・レジスタとなります。

2. シリアル端子選択 (図11-2参照)

図11-2 シリアル・アレイ・ユニット0のポート構成図

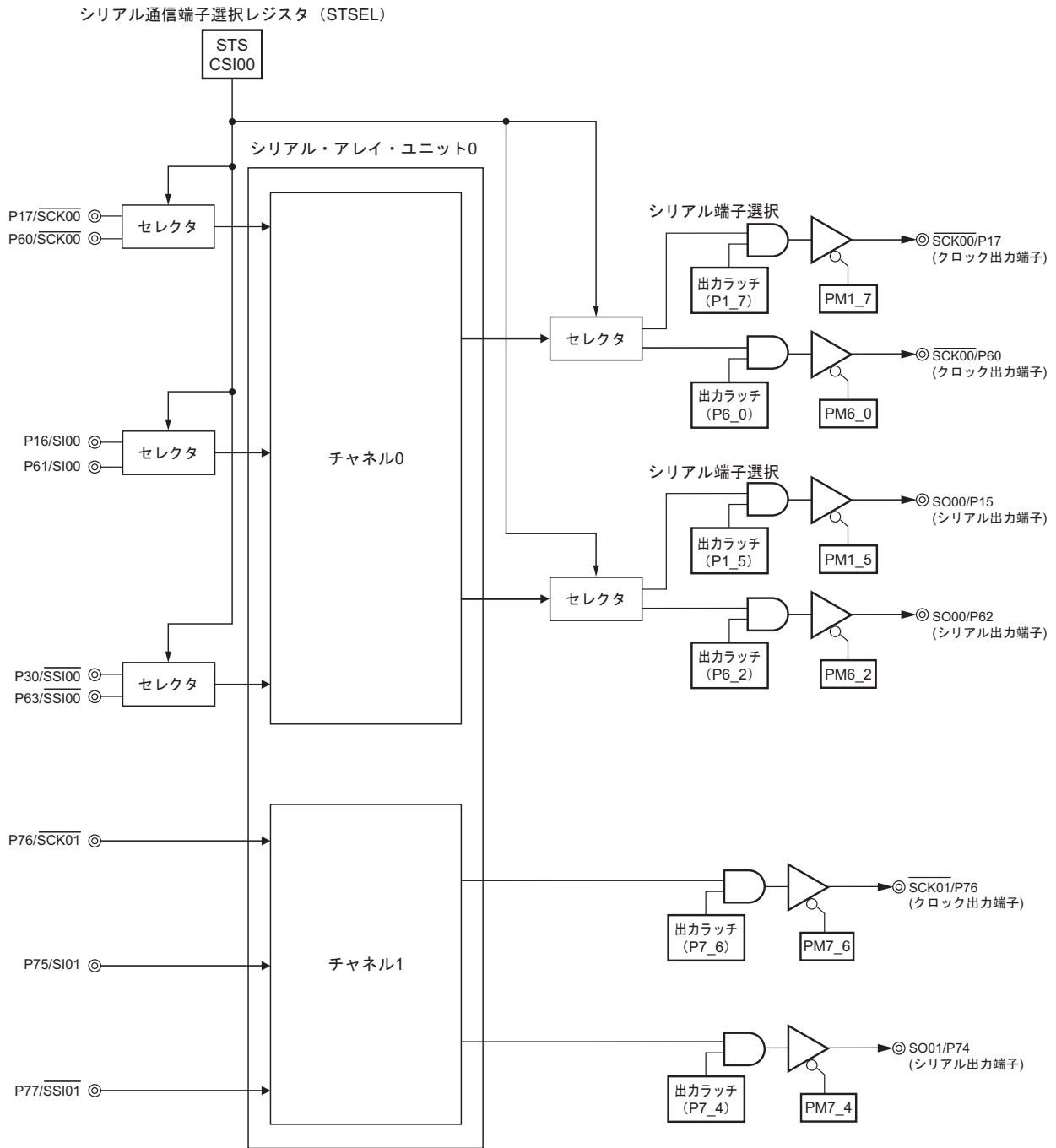
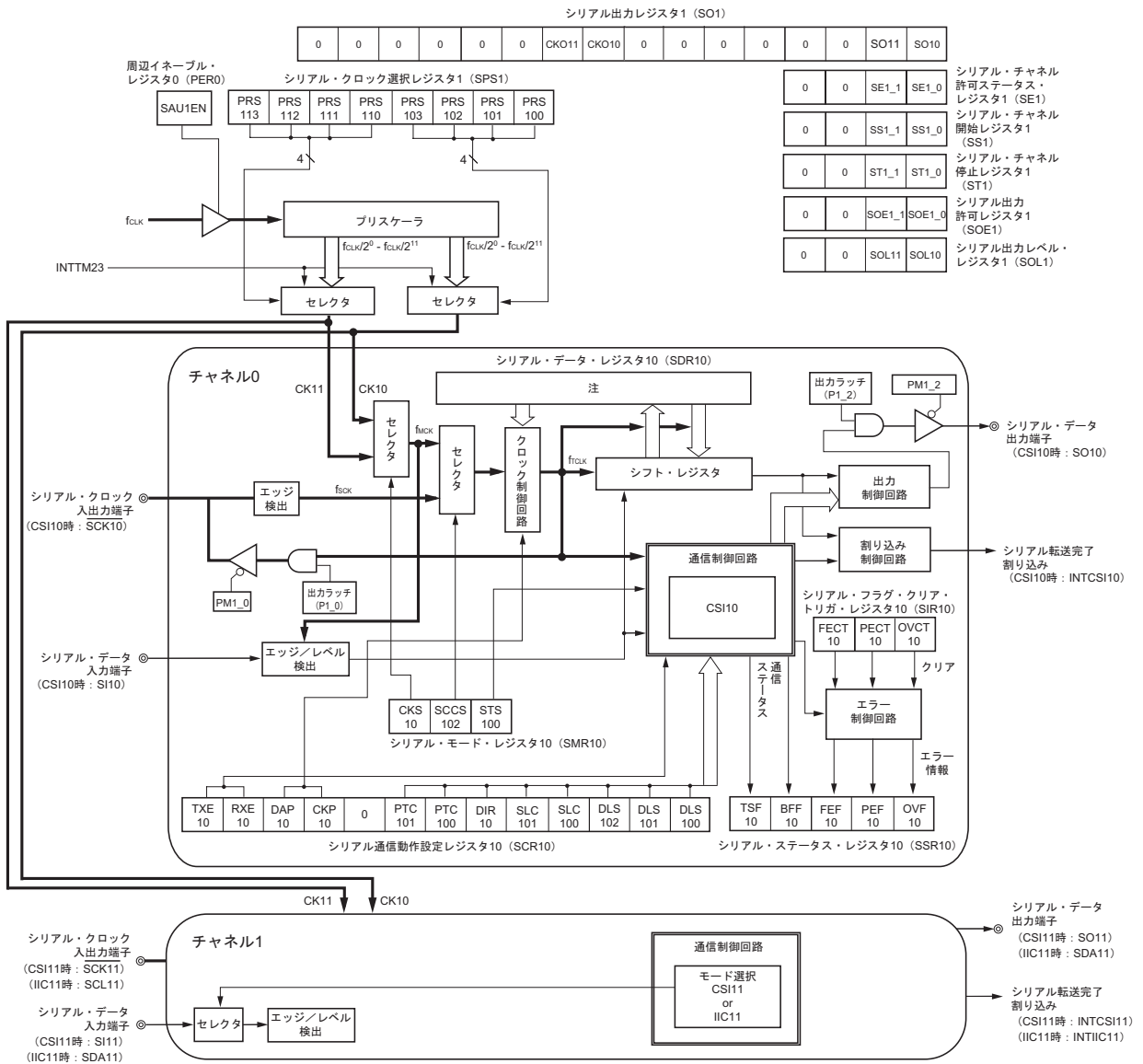


図11-3にシリアル・アレイ・ユニット1のブロック図を示します。

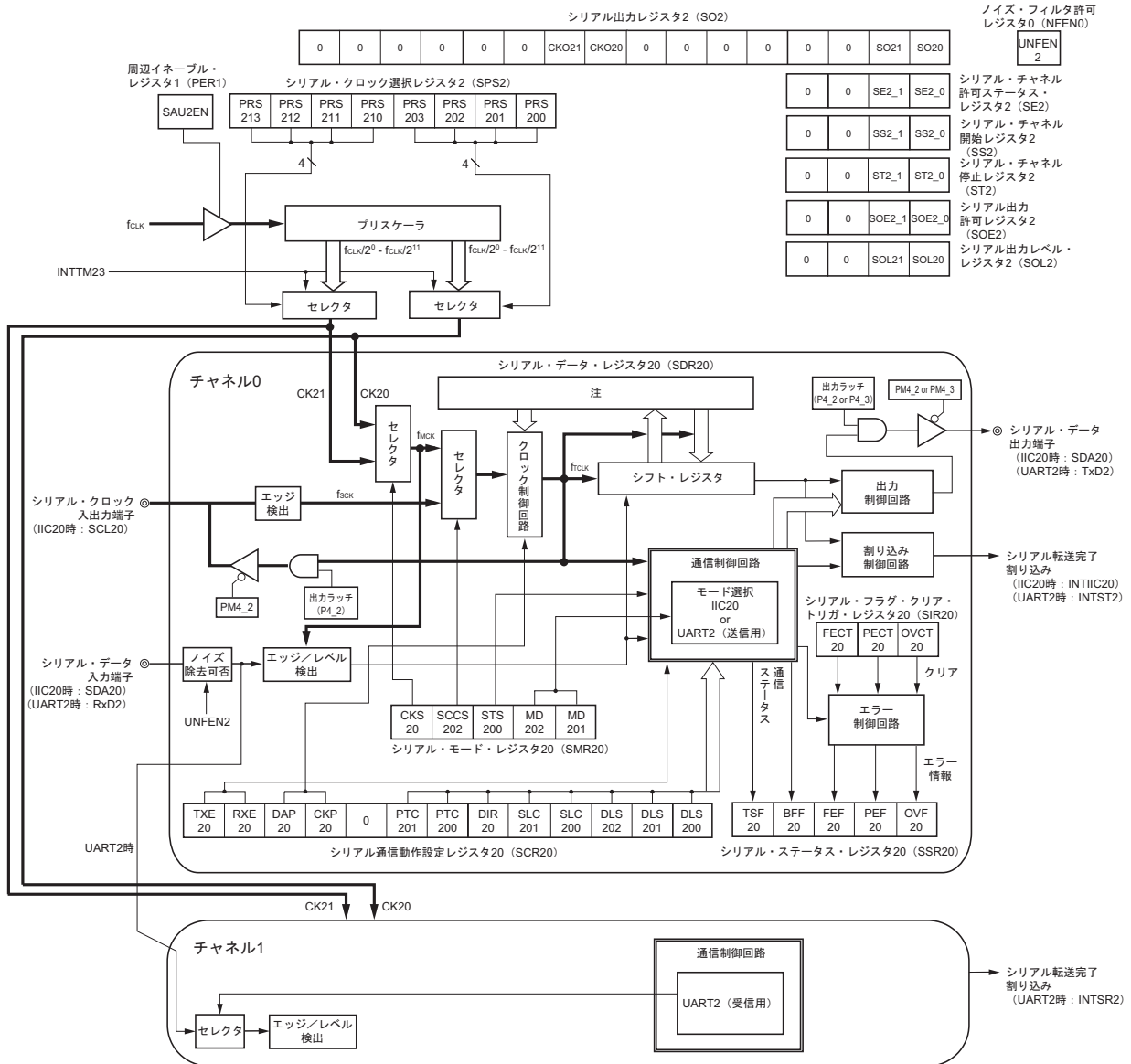
図11-3 シリアル・アレイ・ユニット1のブロック図



注 動作停止 (SEm_n = 0) のとき、上位7ビットがクロック分周設定部、下位ビットは0固定となります。
 動作中 (SEm_n = 1) のとき、バッファ・レジスタとなります。

図11-4にシリアル・アレイ・ユニット2のブロック図を示します。

図11-4 シリアル・アレイ・ユニット2のブロック図



注 動作停止 (SEm_n = 0) のとき、上位7ビットがクロック分周設定部、下位ビットは0固定となります。
 動作中 (SEm_n = 1) のとき、バッファ・レジスタとなります。

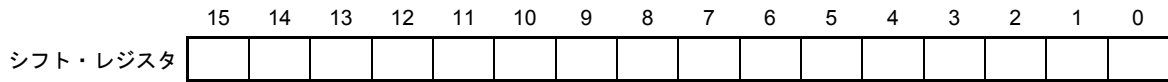
(1) シフト・レジスタ

パラレル シリアルの変換を行う16ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、動作中 (SEm_n = 1) にシリアル・データ・レジスタmn (SDRmn) を使用します。



(2) シリアル・データ・レジスタmn (SDRmn)

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。動作停止状態 (SEm_n = 0) のときに、ビット15-9の部分は動作クロック (fMCK) の分周設定レジスタとして使われます。動作中 (SEm_n = 1) のときに送受信バッファ・レジスタとして機能します。

受信時には、シフト・レジスタで変換したパラレル・データを格納します。送信時は、シフト・レジスタに転送する送信データを設定します。

格納するデータは、データ出力順序に関わらず、SCRmnレジスタのビット3-0 (DLSmn3-DLSmn0) の設定によって、次のようになります。

- ・ 7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRmnレジスタのビット0-7に格納)
- :
- ・ 16ビット・データ長 (SDRmnレジスタのビット0-15に格納)

SDRmnは16ビット単位でリード/ライト可能です。

SEm_n = 1のとき、SDRmnの下位8ビットは、SDRmnLとして8ビット単位のリード/ライト可能^注です。通信方式により使えるSDRmnLレジスタは次のとおりです。

- ・ CSIp通信時・・・SDRpL
- ・ UARTq受信時・・・SDR21L
- ・ UARTq送信時・・・SDR20L
- ・ IICr通信時・・・SDRrL

注 ただし動作停止 (SEm_n = 0) 時は、8ビット単位のライト禁止

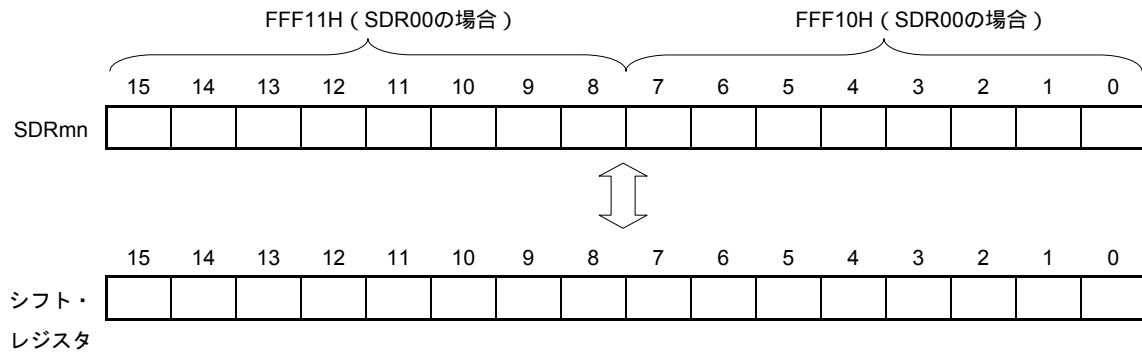
リセット信号の発生により、SDRmnは0000HIになります。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

p : CSI番号 (p = 00, 01, 10, 11) q : UART番号 (q = 2) r : IIC番号 (r = 11, 20)

図11-5 シリアル・データ・レジスタmn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF14H, FFF15H (SDR10) , FFF16H, FFF17H (SDR11) ,
 FFF44H, FFF45H (SDR20) , FFF46H, FFF47H (SDR21)



- 備考1. SDRmnの上位7ビットの機能については、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。
2. m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 1)
 p : CSI番号 (p = 00, 01, 10, 11) q : UART番号 (q = 2) r : IIC番号 (r = 11, 20)

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スレーブ選択許可レジスタ0 (SSE0)
- ・シリアル通信端子選択レジスタ (STSEL)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ6, 7 (PIM6, PIM7)
- ・ポート出力モード・レジスタ4, 7 (POM4, POM7)
- ・ポート・モード・レジスタ1, 3, 4, 6, 7, 15 (PM1, PM3, P4, PM6, PM7, PM15)
- ・ポート・レジスタ1, 3, 4, 6, 7, 15 (P1, P3, P4, P6, P7, P15)

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(1) 周辺イネーブル・レジスタ0, 1 (PER0, PER1)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずPER0のビット3 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずPER0のビット4 (SAU1EN) に1を設定してください。

シリアル・アレイ・ユニット2を使用するときは、必ずPER1のビット3 (SAU2EN) に1を設定してください。

PER0, PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-6 周辺イネーブル・レジスタ0, 1 (PER0, PER1) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	ADCEN	LIN1EN	LIN0EN	SAU1EN	SAU0EN	TAU2EN	TAU1EN	TAU0EN

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	SAU2EN	0	WUTEN	DFLEN

SAU1EN	シリアル・アレイ・ユニット1の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

SAU2EN	シリアル・アレイ・ユニット2の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット2で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット2はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット2で使用するSFRへのリード/ライト可

(注意は次ページにあります)

- 注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ（NFEN0）、シリアル通信端子選択レジスタ（STSEL）、ポート入力モード・レジスタ（PIM6, PIM7）、ポート出力モード・レジスタ（POM4, POM7）、ポート・モード・レジスタ（PM1, PM3, PM4, PM6, PM7, PM15）、ポート・レジスタ（P1, P3, P4, P6, P7, P15）は除く）。
2. PER0, PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
3. 次のビットは必ず“0”に設定してください。
- 78K0R/HC3 : PER0レジスタのビット2, PER1レジスタのビット2-7
- 78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : PER1レジスタのビット2, 4-7

備考 m : ユニット番号 (m = 0-2)

(2) シリアル・クロック選択レジスタm (SPSm)

SPSmは、各チャンネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmは、動作中（SEm_n = 1のとき）の書き換えは禁止です。

SPSmは16ビット・メモリ操作命令で設定します。

またSPSmの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmは0000HIになります。

図11-7 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0116H, F0117H (SPS0) , F0146H, F0147H (SPS1) , リセット時 : 0000H R/W

F0176H, F0177H (SPS2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0		動作クロック (CKmp) の選択 ^注			
					f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 24 MHz
0	0	0	0	f _{CLK}	4 MHz	8 MHz	16 MHz	24 MHz
0	0	0	1	f _{CLK} /2	2 MHz	4 MHz	8 MHz	12 MHz
0	0	1	0	f _{CLK} /2 ²	1 MHz	2 MHz	4 MHz	6 MHz
0	0	1	1	f _{CLK} /2 ³	500 kHz	1 MHz	2 MHz	3 MHz
0	1	0	0	f _{CLK} /2 ⁴	250 kHz	500 kHz	1 MHz	1.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	125 kHz	250 kHz	500 kHz	750 kHz
0	1	1	0	f _{CLK} /2 ⁶	62.5 kHz	125 kHz	250 kHz	375 kHz
0	1	1	1	f _{CLK} /2 ⁷	31.3 kHz	62.5 kHz	125 kHz	187.5 kHz
1	0	0	0	f _{CLK} /2 ⁸	15.6 kHz	31.3 kHz	62.5 kHz	93.75 kHz
1	0	0	1	f _{CLK} /2 ⁹	7.81 kHz	15.6 kHz	31.3 kHz	46.88 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	3.91 kHz	7.81 kHz	15.6 kHz	23.44 kHz
1	0	1	1	f _{CLK} /2 ¹¹	1.95 kHz	3.91 kHz	7.81 kHz	11.72 kHz
1	1	1	1	INTTM23				
上記以外				設定禁止				

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ (CKC) の値を変更）する場合は、シリアル・アレイ・ユニットm (SAUm) の動作を停止 (STm = 0003H) させてから変更してください。動作クロックにINTTM23を選択する場合は、タイマ・アレイ・ユニット2 (TAU2) も停止 (TT2 = 00FFH) させてください。

注意1. ビット15-8には、必ず0を設定してください。

2. PER0, PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. m : ユニット番号 (m = 0-2) , p = 0, 1

(3) シリアル・モード・レジスタmn (SMRmn)

SMRmnは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, シリアル・クロック (f_{SCK}) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMRmnは、動作中 (SEm_n = 1のとき) の書き換えは禁止です。ただしMDmn0ビットは、動作中でも書き換えをすることができます。

SMRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

図11-8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (1/2)

アドレス : F0108H, F0109H (SMR00) , F010AH, F010BH (SMR01) , リセット時 : 0020H R/W
F0138H, F0139H (SMR10) , F013AH, F013BH (SMR11) ,
F0168H, F0169H (SMR20) , F016AH, F016BH (SMR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	SCCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (f _{MCK}) の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、SCCSmnビットとSDRmnレジスタの上位7ビットの設定により、転送クロック (f _{TCLK}) を生成します。	

SCCS mn	チャンネルnの転送クロック (f _{TCLK}) の選択
0	CKSmnビットで指定した動作クロックf _{MCK} の分周クロック
1	SCK端子からの入力クロック (CSIモードのスレーブ転送)
転送クロックf _{TCLK} は、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。SCCSmn = 0の場合は、SDRmnレジスタの上位7ビットでf _{MCK} の分周設定を行います。	

STS mn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxD端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

図11-8 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0108H, F0109H (SMR00) , F010AH, F010BH (SMR01) , リセット時 : 0020H R/W
 F0138H, F0139H (SMR10) , F013AH, F013BH (SMR11) ,
 F0168H, F0169H (SMR20) , F016AH, F016BH (SMR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	SCCS mn	0	0	0	0	0	STS mn0	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタートビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタートビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定 ^注
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注 各ユニット、製品ごとのモード搭載の詳細は、表11-1 製品ごとのシリアル機能の割り当てを参照してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(4) シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長、などの設定を行います。

SCRmnは、動作中 (SEm_n = 1のとき) の書き換えは禁止です。

SCRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087Hになります。

図11-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F010CH, F010DH (SCR00) , F010EH, F010FH (SCR01) , リセット時 : 0087H R/W
 F013CH, F013DH (SCR10) , F013EH, F013FH (SCR11) ,
 F016CH, F016DH (SCR20) , F016EH, F016FH (SCR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信を開始しない
0	1	受信のみ
1	0	送信のみ
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード、簡易I²Cモード時には、必ずDAPmn, CKPmn = 0, 0に設定してください。

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^注	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易I²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット6, 10, 11には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-9 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F010CH, F010DH (SCR00) , F010EH, F010FH (SCR01) , リセット時 : 0087H R/W
 F013CH, F013DH (SCR10) , F013EH, F013FH (SCR11) ,
 F016CH, F016DH (SCR20) , F016EH, F016FH (SCR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	
簡易 ² Cモード時には、必ずDIRmn = 0に設定してください。		

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット
1	1	設定禁止
転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時、簡易 ² Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。 CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。		

DLS mn3	DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	シリアル機能の対応		
					CSI	UART	IIC
0	1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)			—
0	1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)			
1	0	0	0	9ビット・データ長 (SDRmnレジスタのビット0-8に格納)			—
1	0	0	1	10ビット・データ長 (SDRmnレジスタのビット0-9に格納)		—	—
1	0	1	0	11ビット・データ長 (SDRmnレジスタのビット0-10に格納)		—	—
1	0	1	1	12ビット・データ長 (SDRmnレジスタのビット0-11に格納)		—	—
1	1	0	0	13ビット・データ長 (SDRmnレジスタのビット0-12に格納)		—	—
1	1	0	1	14ビット・データ長 (SDRmnレジスタのビット0-13に格納)		—	—
1	1	1	0	15ビット・データ長 (SDRmnレジスタのビット0-14に格納)		—	—
1	1	1	1	16ビット・データ長 (SDRmnレジスタのビット0-15に格納)			—
その他				設定禁止			
簡易 ² Cモード時には、必ずDLSmn3-DLSmn0 = 0111Bに設定してください。							

注意 ビット6, 10, 11には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 1)

(5) シリアル・データ・レジスタmn (SDRmn) の上位7ビット

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。動作停止状態 (SEm_n = 0) ではビット15-9の部分は動作クロック (fmck) の分周設定レジスタとして使われます。動作中 (SEm_n = 1) では送受信バッファ・レジスタとして機能します。

シリアル・モード・レジスタmn (SMRmn) でSCCSmnビットを0に設定した場合は、動作クロックをこのSDRmnの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

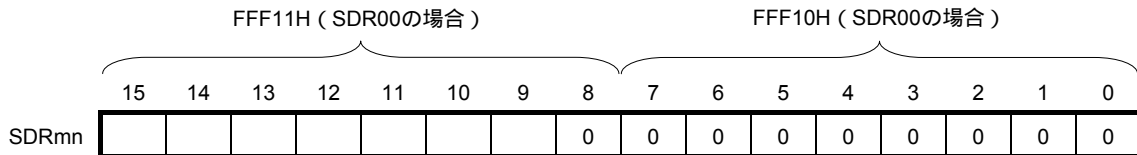
動作中 (SEm_n = 1) のSDRmnの機能については、11.2 シリアル・アレイ・ユニットの構成を参照してください。

SDRmnは16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000HIになります。

図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF14H, FFF15H (SDR10) , FFF16H, FFF17H (SDR11) ,
 FFF44H, FFF45H (SDR20) , FFF46H, FFF47H (SDR21)



SDRmn[15:9]							動作クロック (fmck) の分周による転送クロック設定
0	0	0	0	0	0	0	fmck/2
0	0	0	0	0	0	1	fmck/4
0	0	0	0	0	1	0	fmck/6
0	0	0	0	0	1	1	fmck/8
.
.
.
1	1	1	1	1	1	0	fmck/254
1	1	1	1	1	1	1	fmck/256

- 注意 1. 動作停止状態 (SEm_n = 0) 時、ビット8-0は、必ず0を設定してください。
2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。
4. 動作停止状態 (SEm_n = 0) のときに、下位8ビットへ8ビット書き込みは行わないでください (上位7ビットが0にクリアされます)。

備考1. 動作中 (SEm_n = 1) のSDRmnの機能については、11.2 シリアル・アレイ・ユニットの構成を参照してください。

2. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(6) シリアル・ステータス・レジスタmn (SSRmn)

SSRmnは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnは、16ビット・メモリ操作命令で読み出します。

またSSRmnの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnは0000Hになります。

図11-11 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) , F0102, F0103H (SSR01) , リセット時 : 0000H R

F0130H, F0131H (SSR10) , F0132, F0133H (SSR11) ,

F0160H, F0161H (SSR20) , F0162, F0163H (SSR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	・ STm_n, SSm_nビットに“1”をセットしたとき ・ 通信動作を行っていない
1	通信動作を行っている
更新型フラグなので、通信動作が終わると自動的にクリアされます。また、STm_n/SSm_nビットに1を設定した場合もクリアされます。	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	・ STm_n, SSm_nビットに“1”をセットしたとき ・ 有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
更新型フラグです。送信時には、SDRmnレジスタからシフト・レジスタに転送が終わると自動的にクリアされます。受信時には、SDRmnレジスタから読み出しが終わると自動的にクリアされます。 また、STm_n/SSm_nビットに1を設定した場合もクリアされます。 SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信, 送受信モード時) のときにSDRmnレジスタに送信データを書き込むと自動的にセットされます。SCRmnレジスタのRXEmn = 1 (各通信モードでの受信, 送受信モード時) のときにSDRmnレジスタに受信データが格納されると自動的にセットされます。また受信エラーの場合もセットされます。 BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データは破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。	

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

図11-11 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) , F0102, F0103H (SSR01) , リセット時 : 0000H R
 F0130H, F0131H (SSR10) , F0132, F0133H (SSR11) ,
 F0160H, F0161H (SSR20) , F0162, F0163H (SSR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ	
0	エラーが発生していない	
1	UART受信時に、フレーミング・エラーが発生している <フレーミング・エラー要因> UART受信完了時に、ストップ・ビットが検出されないときにフレーミング・エラーとなります。	
累積型フラグなので、SIRmnレジスタのFECTmnビットに1を書き込むまでクリアされません。		

PEF mn	チャンネルnのパリティ・エラー検出フラグ	
0	エラーが発生していない	
1	UART受信時に、パリティ・エラーが発生している、または ² C送信時に、ACK未検出が発生している <パリティ・エラー要因> ・ UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないときにパリティ・エラーとなります。 ・ ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったときにACK未検出となります。	
累積型フラグなので、SIRmnレジスタのPECTmnビットに1を書き込むまでクリアされません。		

OVF mn	チャンネルnのオーバラン・エラー検出フラグ	
0	エラーが発生していない	
1	オーバラン・エラーが発生している <オーバラン・エラー要因> ・ 受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをした ・ CSIモードのスレーブ送信/送受信で、送信データが準備できていない	
累積型フラグなので、SIRmnレジスタのOVCTmnビットに1を書き込むまでクリアされません。		

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(7) シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると、シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnはトリガ・レジスタなので、SSRmnの対応ビットをクリアするとすぐSIRmnもクリアされます。

SIRmnは、16ビット・メモリ操作命令で設定します。

またSIRmnの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmnは0000Hになります。

図11-12 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0104H, F0105H (SIR00) , F0106H, F0107H (SIR01) , リセット時 : 0000H R/W
 F0134H, F0135H (SIR10) , F0136H, F0137H (SIR11) ,
 F0164H, F0165H (SIR20) , F0166H, F0167H (SIR21)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSRmnレジスタのOVFmnビットを0にクリアする

注意 1. ビット15-3には、必ず0を設定してください。

- SSRnレジスタにセットされているエラー・フラグのみ、SIRmnレジスタでクリアします。セットされていないエラー・フラグに対してクリア操作を行うと、エラー・フラグ読み出しからクリア操作までの間に新たなエラーが検出された場合、そのエラー・フラグを消してしまう可能性があります。

備考 1. SIRmnレジスタの読み出し値は常に0000Hとなります。

- クリア・トリガへの“1”書き込みと、対応するエラー・フラグのセット (1) が同時に発生した場合、エラー・フラグのセットが優先されます。
- m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(8) シリアル・チャンネル許可ステータス・レジスタ m (SE m)

SE m は、各チャンネルのシリアル送受信動作許可／停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタ m (SS m) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ m (ST m) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネル n は、後述のシリアル出力レジスタ m (SO m) のCKO m nの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されません。

動作を停止したチャンネル n は、SO m レジスタのCKO m nの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE m は、16ビット・メモリ操作命令で読み出します。

またSE m の下位8ビットは、SE m Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE m は0000Hになります。

図11-13 シリアル・チャンネル許可ステータス・レジスタ m (SE m) のフォーマット

アドレス : F0110H, F0111H (SE0) , F0140H, F0141H (SE1) , リセット時 : 0000H R
F0170H, F0171H (SE2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE m	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE m_1	SE m_0

SE m_n	チャンネル n の動作許可／停止状態の表示
0	動作停止状態 (制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、FEF, PEF, OVFの各エラー・フラグの状態を保持したまま停止 ^注)
1	動作許可状態

注 ただしSSR m nレジスタのビット6, 5 (TSF m n, BFF m n) はクリアされます。

備考 m : ユニット番号 ($m = 0-2$) n : チャンネル番号 ($n = 0, 1$)

(9) シリアル・チャンネル開始レジスタm (SSm)

SSmは、通信／カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SSm_n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタm (SEm) の対応ビット (SEm_n) が1にセットされます。SSm_nはトリガ・ビットなので、SEm_n = 1になるとすぐSSm_nはクリアされます。

SSmは、16ビット・メモリ操作命令で設定します。

またSSmの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmは0000Hになります。

図11-14 シリアル・チャンネル開始レジスタm (SSm) のフォーマット

アドレス : F0112H, F0113H (SS0) , F0142H, F0143H (SS1) , リセット時 : 0000H R/W
F0172H, F0173H (SS2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS m_1	SS m_0

SS m_n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEm_nに1をセットし、通信待機状態に移す (すでに通信動作中の場合は、通信動作を停止し、起動条件待ちの状態となる)

注意 ビット15-2には、必ず0を設定してください。

備考1. SSmレジスタの読み出し値は常に0000Hとなります。

2. m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(10) シリアル・チャンネル停止レジスタ m (ST m)

ST m は、通信／カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST m_n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ m (SE m) の対応ビット (SE m_n) が0にクリアされます。ST m_n はトリガ・ビットなので、SE m_n = 0になるとすぐST m_n はクリアされます。

ST m は、16ビット・メモリ操作命令で設定します。

またST m の下位8ビットは、ST mL で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST m は0000Hになります。

図11-15 シリアル・チャンネル停止レジスタ m (ST m) のフォーマット

アドレス : F0114H, F0115H (ST0) , F0144H, F0145H (ST1) リセット時 : 0000H R/W
F0174H, F0175H (ST2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST m	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST m_1	ST m_0

ST m_n	チャンネル n の動作停止トリガ
0	トリガ動作せず
1	SE m_n を0にクリアし、通信動作を停止する (制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、FEF, PEF, OVFの各エラー・フラグの状態を保持したまま停止 ^注)

注 ただしSSR m_n レジスタのビット6, 5 (TSF m_n , BFF m_n) はクリアされます。

注意 ビット15-2には、必ず0を設定してください。

備考1. ST m レジスタの読み出し値は常に0000Hとなります。

2. m : ユニット番号 ($m = 0-2$) n : チャンネル番号 ($n = 0, 1$)

(11) シリアル出力許可レジスタm (SOEm)

SOEmは、各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタm (SOm) のSOmnの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SOmレジスタのSOmnの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmは、16ビット・メモリ操作命令で設定します。

またSOEmの低位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmは0000Hになります。

図11-16 シリアル出力許可レジスタm (SOEm) のフォーマット

アドレス : F011AH, F011BH (SOE0) , F014AH, F014BH (SOE1) リセット時 : 0000H R/W
F017AH, F017BH (SOE2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE m_1	SOE m_0

SOE m_n	チャンネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOEmのビット15-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1) ,
mn = 00, 01, 10, 11, 20, 21

(12) シリアル出力レジスタm (SOm)

SOmは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのビットnの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのビット (n+8) の値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnのソフトウェアによる書き換えは、シリアル出力禁止 (SOEm_n = 0) 時のみ可能です。シリアル出力許可 (SOEm_n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnのソフトウェアによる書き換えは、チャンネル動作停止 (SEm_n = 0) 時のみ可能です。チャンネル動作許可 (SEm_n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、P10/ $\overline{\text{SCK10}}$ /LTxD1/TI00/TO00, P12/ $\overline{\text{SO10}}$ /INTP3/TI16/TO16, P15/ $\overline{\text{SO00}}$ /TI10/TO10, P17/ $\overline{\text{SCK00}}$ /TI14/TO14, P42/TxD2/SCL20, P60/ $\overline{\text{SCK00}}$ /SCL11, P62/ $\overline{\text{SO00}}$, P74/ $\overline{\text{SO01}}$ /KR4, P76/ $\overline{\text{SCK01}}$ /KR6, P151/ $\overline{\text{SO11}}$, P153/ $\overline{\text{SCK11}}$ 端子をポート機能として使用する場合は、シリアル通信状態に関係なく、“0”を設定するとロウ・レベルが出力されますので、該当するCKOmn, SOmnビットに“1”を設定してください。

SOmは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0303Hになります。

図11-17 シリアル出力レジスタm (SOm) のフォーマット

アドレス : F0118H, F0119H (SO0) , F0148H, F0149H (SO1) リセット時 : 0303H R/W
F0178H, F0179H (SO2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKO m1	CKO m0	0	0	0	0	0	0	SO m1	SO m0

CKO mn	チャンネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO mn	チャンネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 SOmのビット15-10, 7-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1) ,
mn = 00, 01, 10, 11, 20, 21

(13) シリアル出力レベル・レジスタm (SOLm)

SOLmは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOEm_n = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEm_n = 0) 時はSOLmnビットの値がそのまま出力されます。

SOLmは、動作中 (SEm_n = 1のとき) の書き換えは禁止です。

SOLmは、16ビット・メモリ操作命令で設定します。

またSOLmの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmは0000Hになります。

図11-18 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0120H, F0121H (SOL0) , F0150H, F0151H (SOL1) リセット時 : 0000H R/W
F0158H, F0159H (SOL2)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL m1	SOL m0

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 ビット15-2には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

(14) シリアル・スレーブ選択許可レジスタ0 (SSE0)

SSE0は、CSI通信かつスレーブ・モード時にチャンネルの $\overline{\text{SSI}}$ 端子入力を制御するレジスタです。

$\overline{\text{SSI}}$ 端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行いません。 $\overline{\text{SSI}}$ 端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

リセット信号の発生により、0000Hになります。

- 注意 1. CSI通信かつスレーブ・モード時以外での書き込みは禁止です。
2. SAU停止中 (SE0 = 0) のみ設定可能。
3. シリアル・アレイ・ユニット0 (SAU0) のみ

図11-19 シリアル・スレーブ選択許可レジスタ0 (SSE0) のフォーマット

アドレス : F0122H, F0123H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE 0_1	SSE 0_0

SSE0_n	CSI通信かつスレーブ・モード時のチャンネルnの $\overline{\text{SSI}}$ 入力の設定
0	$\overline{\text{SSI0n}}$ 端子入力の無効
1	$\overline{\text{SSI0n}}$ 端子入力の有効

注意 ビット15-2には、必ず0を設定してください。

備考 n = 0, 1

(15) シリアル通信端子選択レジスタ (STSEL)

STSELレジスタは、タイマ・アレイ・ユニットへの入力ソースとシリアル・アレイ・ユニットおよびUART2の通信端子の切り替えを行うレジスタです。

ビット4でCSI00通信端子の選択ができ、ビット5でIIC11通信端子の選択ができます。

1ビット単位または8ビット単位でリード/ライト可能です。

図11-20 シリアル通信端子選択レジスタ (STSEL) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
STSEL	STSLIN1	TMCAN	STSIIIC11 ^注	STSCSI00	TM30K	TMLIN1	TMLIN0	0

STSIIIC11 ^注	IIC11通信端子の選択	
	SCL11	SDA11
1	P60	P61

STSCSI00	CSI00通信端子の選択			
	$\overline{\text{SSI00}}$	$\overline{\text{SCK00}}$	SI00	SO00
0	P30	P17	P16	P15
1	P63	P60	P61	P62

注 IIC11を使用する場合は必ず1を設定してください。また、兼用機能を使用しない場合は、0に設定してください。

(16) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0は、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI通信時にスレーブ・モードで使用する場合は、 $\overline{\text{SSI00}}/\overline{\text{SSI01}}$ 端子に対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、動作クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。

NFEN0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-21 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0060H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	UNFEN2	0	0	SNFEN01	SNFEN00

UNFEN2	RxD2/P43端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD2端子として使用するときは、UNFEN2 = 1に設定してください。
P43端子として使用するときは、UNFEN2 = 0に設定してください。

SNFEN01	$\overline{\text{SSI01}}$ /P77端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

$\overline{\text{SSI01}}$ 端子として使用するときは、SNFEN01 = 1に設定してください。
P77端子として使用するときは、SNFEN01 = 0に設定してください。

SNFEN00	$\overline{\text{SSI00}}$ /P30または $\overline{\text{SSI00}}$ /P63端子 ^注 のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

$\overline{\text{SSI00}}$ 端子として使用するときは、SNFEN00 = 1に設定してください。
P30, P63端子として使用するときは、SNFEN00 = 0に設定してください。

注 STSCSI00ビットで選択

注意 ビット7-5, 3, 2には、必ず0を設定してください。

(17) ポート入力モード・レジスタ6, 7 (PIM6, PIM7)

ポート6, 7の入力バッファを1ビット単位で設定するレジスタです。

PIM6, PIM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-22 ポート入力モード・レジスタ6, 7 (PIM6, PIM7) のフォーマット

アドレス : F0046H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM6	0	0	0	0	PIM6_3	0	PIM6_1	PIM6_0
アドレス : F0047H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM7	PIM7_7	PIM7_6	PIM7_5	0	PIM7_3	0	0	0

PIMm_n	Pmn端子の入力バッファの選択 (m = 6, 7 ; n = 0, 1, 3, 5-7)
0	通常入力バッファ
1	TTL入力バッファ

(18) ポート出力モード・レジスタ4, 7 (POM4, POM7)

ポート4, 7の出力モードを1ビット単位で設定するレジスタです。

POM4, POM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-23 ポート出力モード・レジスタ4, 7 (POM4, POM7) のフォーマット

アドレス : F0054H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM4	0	0	0	0	POM4_3	POM4_2	0	0
アドレス : F0057H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM7	0	POM7_6	0	POM7_4	0	POM7_2	0	0

POMm_n	Pmn端子の出力モードの選択 (m = 4, 7 ; n = 2-4, 6)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(19) ポート・モード・レジスタ1, 3, 4, 6, 7, 15 (PM1, PM3, PM4, PM6, PM7, PM15)

ポート1, 3, 4, 6, 7, 15の入力/出力を1ビット単位で設定するレジスタです。

端子をシリアル・データ/シリアル・クロック出力またはシリアル・データ/シリアル・クロック入力として使用するとき、ポート・レジスタおよびポート・モード・レジスタは表11-3のように設定してください。

PM1, PM3, PM4, PM6, PM7, PM15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

表11-3 シリアル使用時のポート・レジスタとポート・モード・レジスタの設定

端 子	端子設定	ポート・レジスタ	ポート・モード・レジスタ
P10/SCK10/CTxD/LTxD1/TI00/TO00	シリアル・クロック入力	×	1
	シリアル・クロック出力	1	0
P11/SI10/CRxD/LRxD1/INTPLR1/TI02/TO02	シリアル・データ入力	×	1
P12/SO10/INTP3/TI16/TO16	シリアル・データ出力	1	0
P15/SO00/TI10/TO10	シリアル・データ出力	1	0
P16/SI00/TI12/TO12	シリアル・データ入力	×	1
P17/SCK00/TI14/TO14	シリアル・クロック入力	×	1
	シリアル・クロック出力	1	0
P30/SSI00/INTP2/TI01/TO01	シリアル・データ入力	×	1
P42/TxD2/SCL20	シリアル・クロック出力	1	0
P43/RxD2/INTPR2/SDA20	シリアル・データ入力	×	1
	シリアル・データ出力	1	0
P60/SCK00/SCL11	シリアル・クロック入力	×	1
	シリアル・クロック出力	1	0
P61/SI00/SDA11	シリアル・データ入力	×	1
	シリアル・データ出力	1	0
P62/SO00	シリアル・データ出力	1	0
P63/SSI00	シリアル・データ入力	×	1
P74/SO01/KR4	シリアル・データ出力	1	0
P75/SI01/KR5	シリアル・データ入力	×	1
P76/SCK01/KR6	シリアル・クロック入力	×	1
	シリアル・クロック出力	1	0
P77/SSI01/KR7	シリアル・データ入力	×	1
P151/SO11	シリアル・データ出力	1	0
P152/SI11	シリアル・データ入力	×	1
P153/SCK11	シリアル・クロック入力	×	1
	シリアル・クロック出力	1	0

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 × : Don't care

図11-24 ポート・モード・レジスタ1, 3, 4, 6, 7, 15 (PM1, PM3, PM4, PM6, PM7, PM15) のフォーマット

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0

アドレス : FFF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	PM3_2	PM3_1	PM3_0

アドレス : FFF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM4_7	PM4_6	PM4_5	PM4_4	PM4_3	PM4_2	PM4_1	PM4_0

アドレス : FFF26H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM6	PM6_7	PM6_6	PM6_5	PM6_4	PM6_3	PM6_2	PM6_1	PM6_0

アドレス : FFF27H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0

アドレス : FFF2FH	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM15	PM15_7	PM15_6	PM15_5	PM15_4	PM15_3	PM15_2	PM15_1	PM15_0

PMm_n	Pmn端子の入出力モードの選択 (m = 1, 3, 4, 6, 7, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、P10/SCK10/CTxD/LTxD1/TI00/TO00, P11/SI10/CRxD/LRxD1/INTPLR1/TI02/TO02, P12/SO10/INTP3/TI16/TO16, P15/SO00/TI10/TO10, P16/SI00/TI12/TO12, P17/SCK00/TI14/TO14, P30/SSI00/INTP2/TI01/TO01, P42/TxD2/SCL20, P43/RxD2/INTPR2/SDA20, P60/SCK00/SCL11, P61/SI00/SDA11, P62/SO00, P63/SSI00, P74/SO01/KR4, P75/SI01/KR5, P76/SCK01/KR6, P77/SSI01/KR7, P151/SO11, P152/SI11, P153/SCK11をポート機能として使用できます。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

11.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0, 1 (PER0, PER1)で行います。

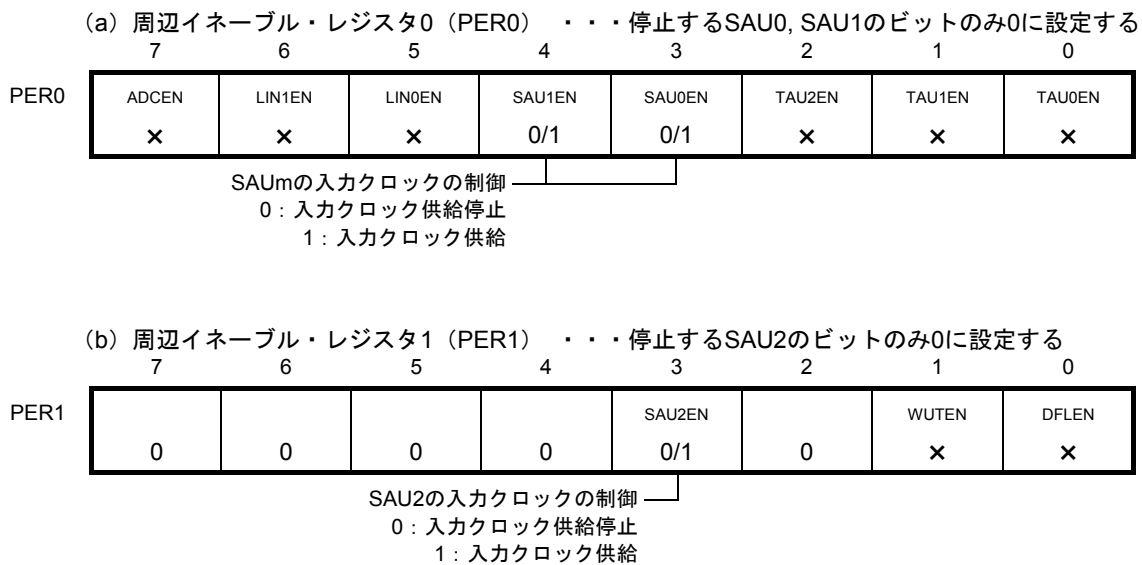
PER0, PER1は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、PER0のビット3 (SAU0EN) に0を設定してください。

シリアル・アレイ・ユニット1を停止するときは、PER0のビット4 (SAU1EN) に0を設定してください。

シリアル・アレイ・ユニット2を停止するときは、PER1のビット3 (SAU2EN) に0を設定してください。

図11-25 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0, 1 (PER0, PER1) の設定



(注意、備考は次ページにあります。)

- 注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ（NFEN0）、シリアル通信端子選択レジスタ（STSEL）、ポート入力モード・レジスタ（PIM6, PIM7）、ポート出力モード・レジスタ（POM4, POM7）、ポート・モード・レジスタ（PM1, PM3, PM4, PM6, PM7, PM15）、ポート・レジスタ（P1, P3, P4, P6, P7, P15）は除く）。
2. 次のビットは必ず“0”に設定してください。
- 78K0R/HC3 : PER0レジスタのビット2, PER1レジスタのビット2-7
- 78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : PER1レジスタのビット2, 4-7

備考 m : ユニット番号 (m = 0, 1)

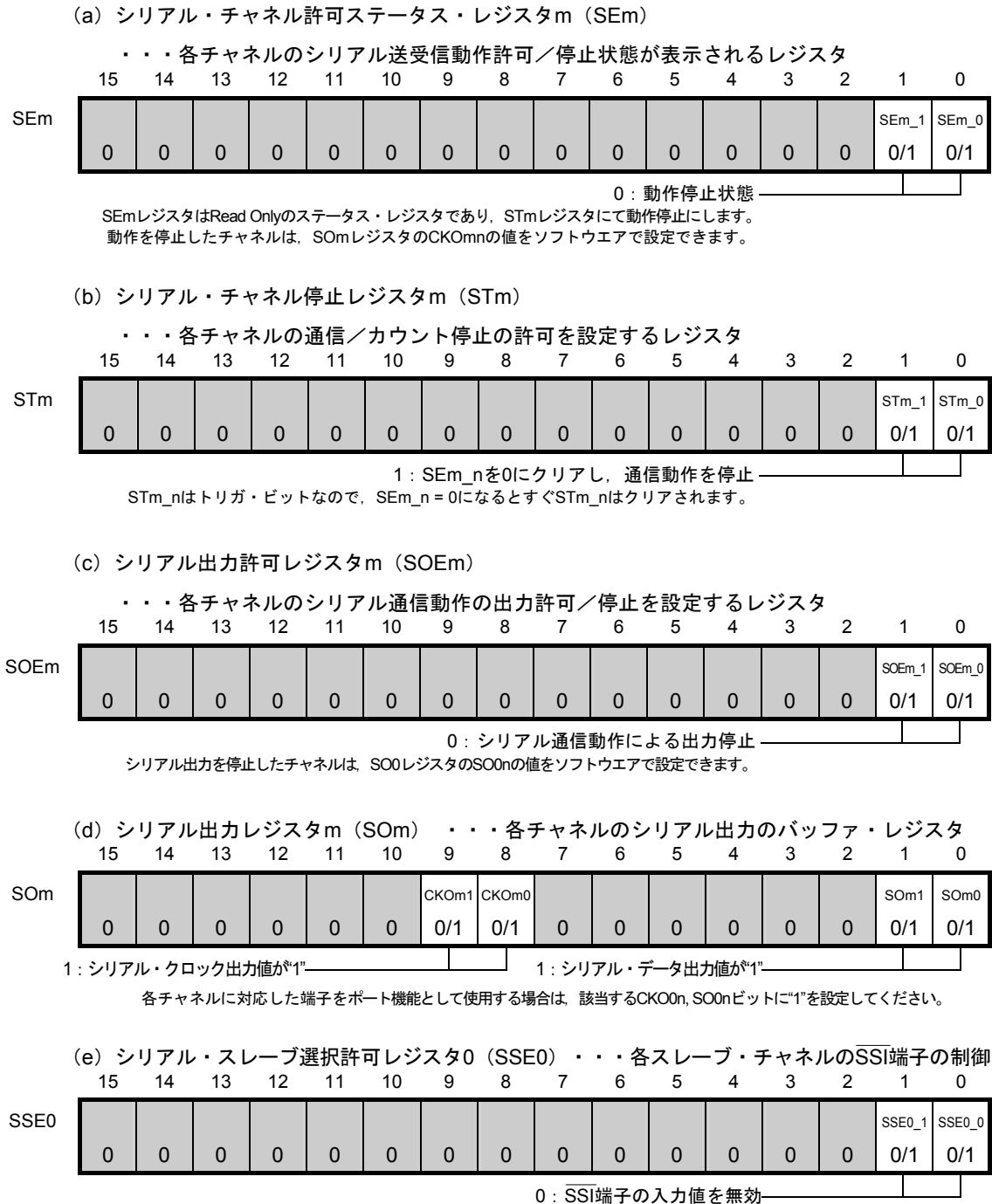
x : シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）

0/1 : ユーザの用途に応じて0または1に設定

11.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-26 チャンネルごとに動作停止とする場合の各レジスタの設定



備考 m : ユニット番号 (m = 0-2) n : チャンネル番号 (n = 0, 1)

■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7-16ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) に対応しているチャンネルは、SAU0のチャンネル0, 1とSAU1のチャンネル0, 1です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易 ² Cとして使用
0	0	CSI00 (SPI対応)	-	-
	1	CSI01 (SPI対応)		-
1	0	CSI10	-	-
	1	CSI11		IIC11
2	0	-	UART2	IIC20
	1	-		-

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (11.5.1項を参照)
- ・ マスタ受信 (11.5.2項を参照)
- ・ マスタ送受信 (11.5.3項を参照)
- ・ スレーブ送信 (11.5.4項を参照)
- ・ スレーブ受信 (11.5.5項を参照)
- ・ スレーブ送受信 (11.5.6項を参照)

11.5.1 マスタ送信

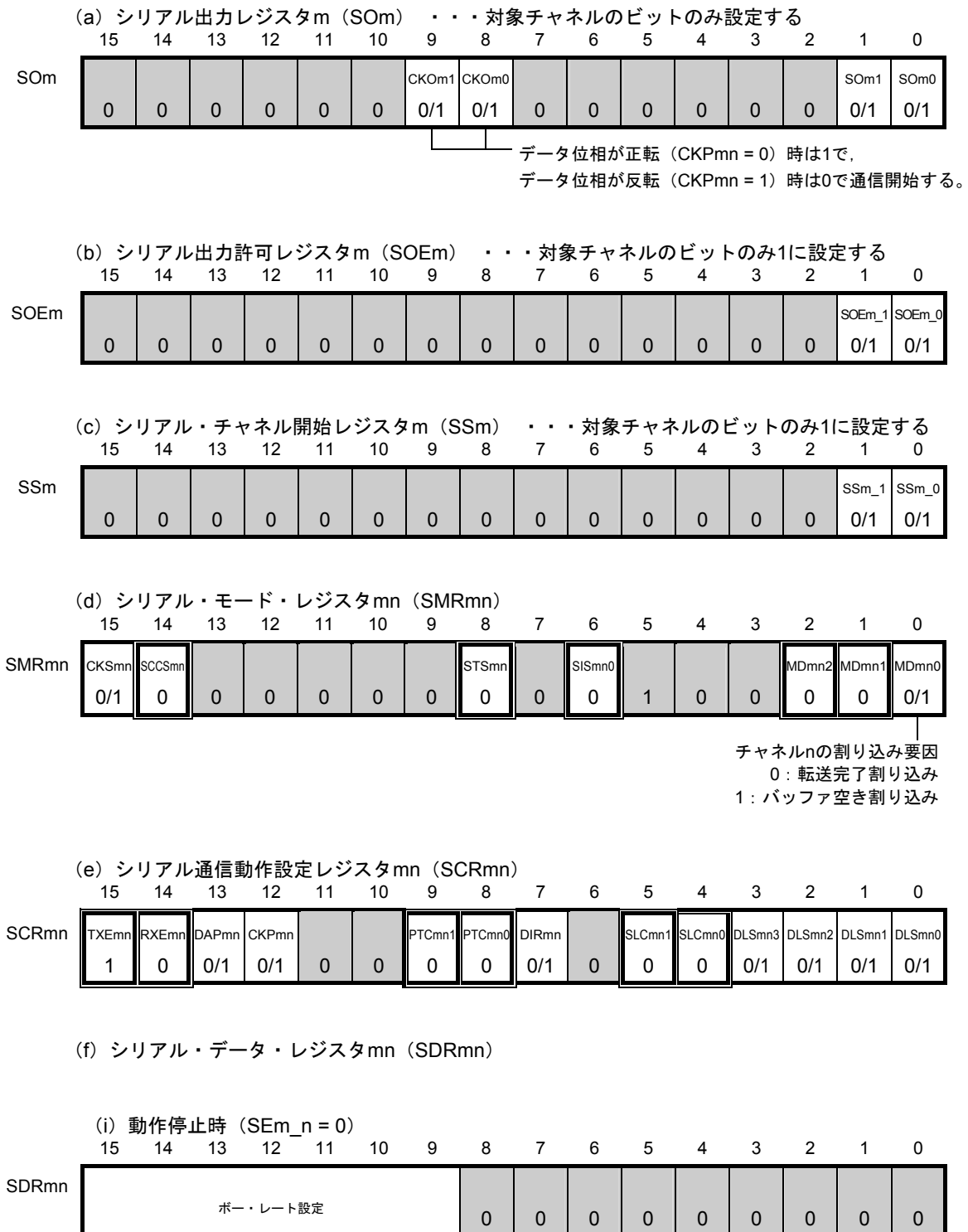
マスタ送信とは、この78K0R/Hx3が転送クロックを出力し、78K0R/Hx3から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7～16ビット			
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] 注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

図11-27 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ送信時のレジスタ設定内容例 (1/2)

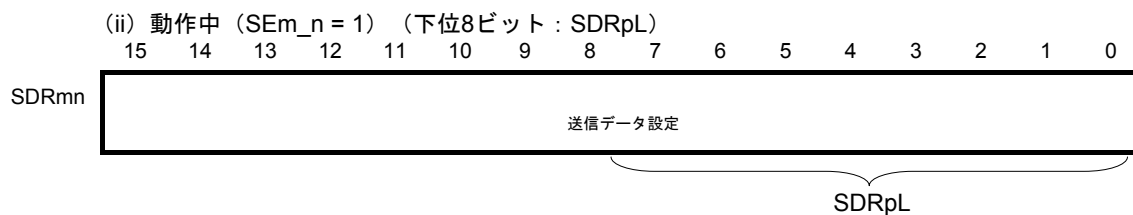
備考 m : ユニット番号 ($m = 0, 1$) n : チャネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01, 10, 11$)

□ : CSIマスタ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-27 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ送信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

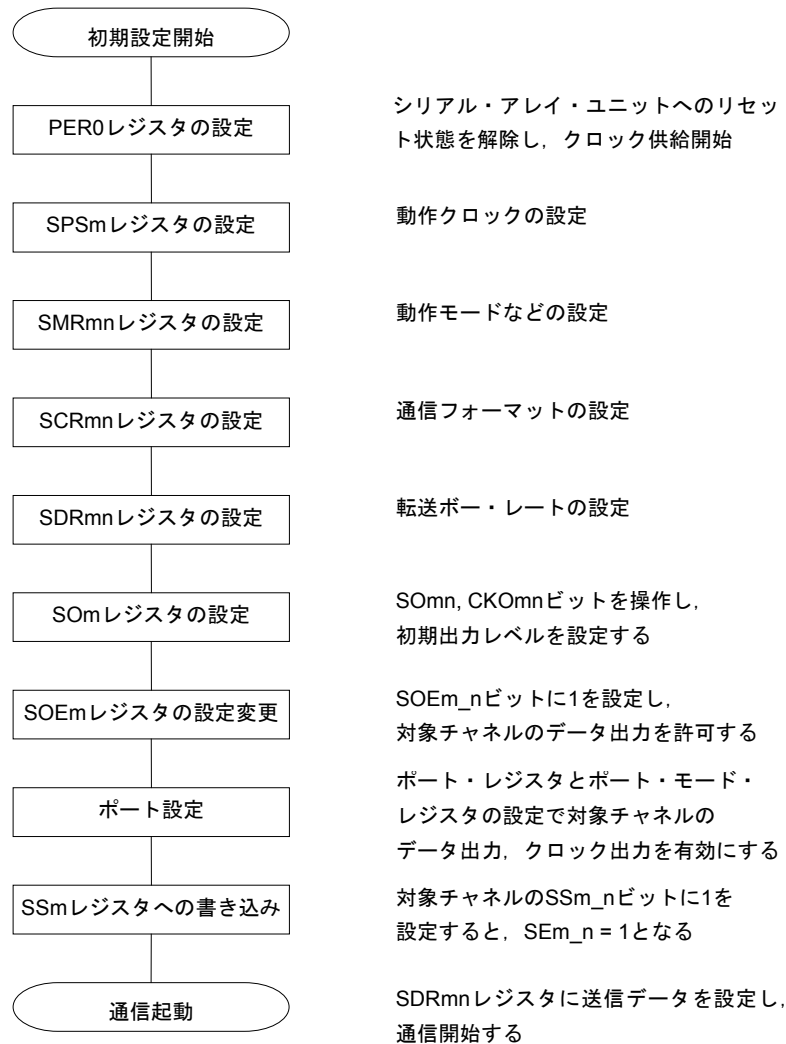
: CSIマスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

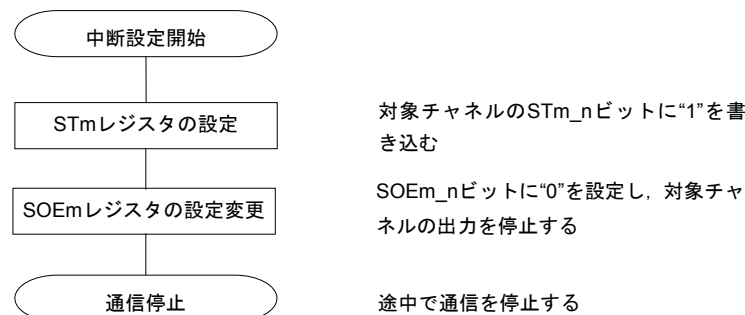
(2) 操作手順

図11-28 マスタ送信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

図11-29 マスタ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11-30 マスタ送信の再開設定手順参照）。

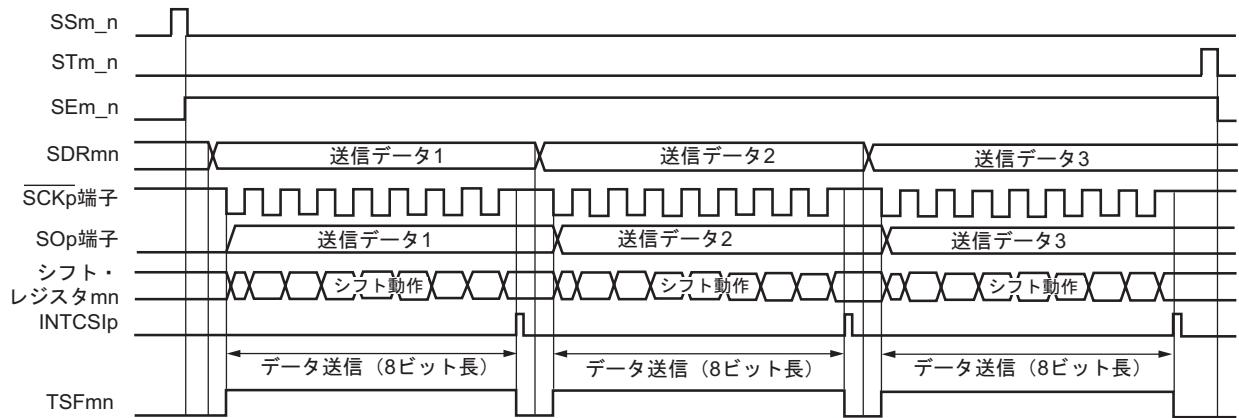
2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-30 マスタ送信の再開設定手順



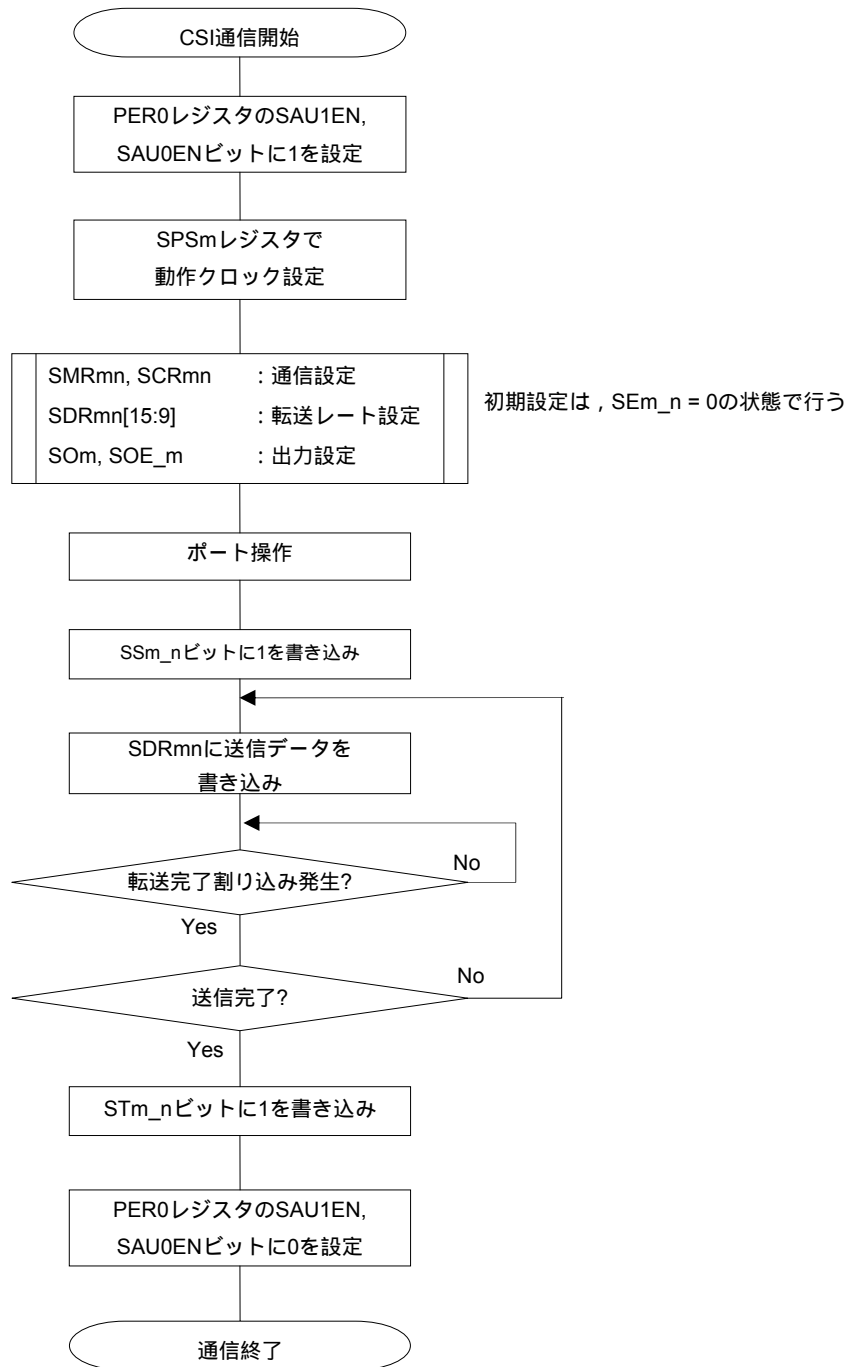
(3) 処理フロー（シングル送信モード時）

図11-31 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

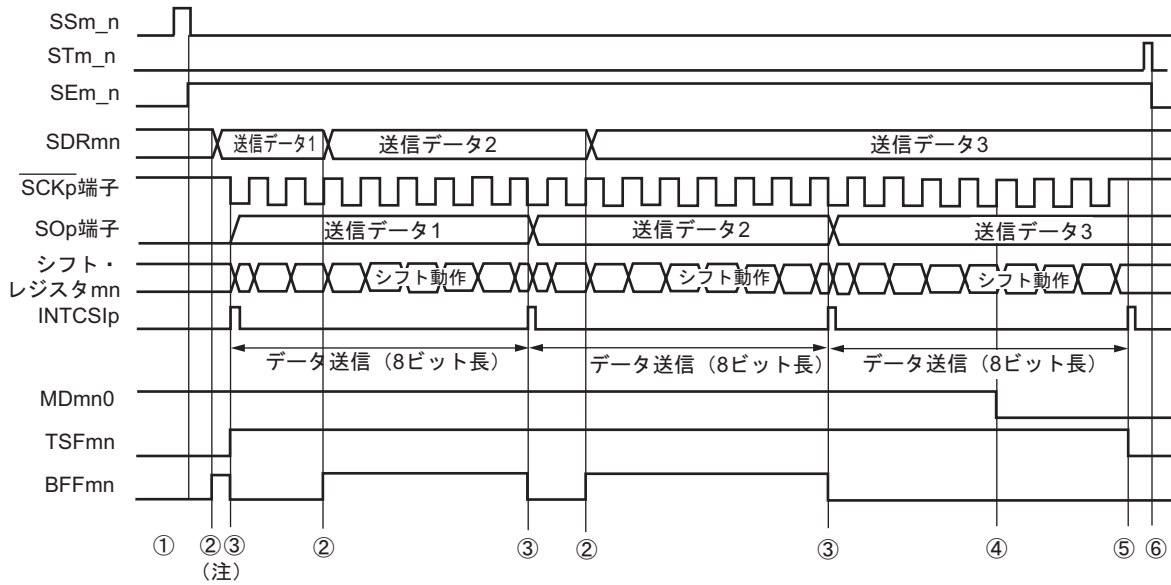
図11-32 マスタ送信（シングル送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11-33 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



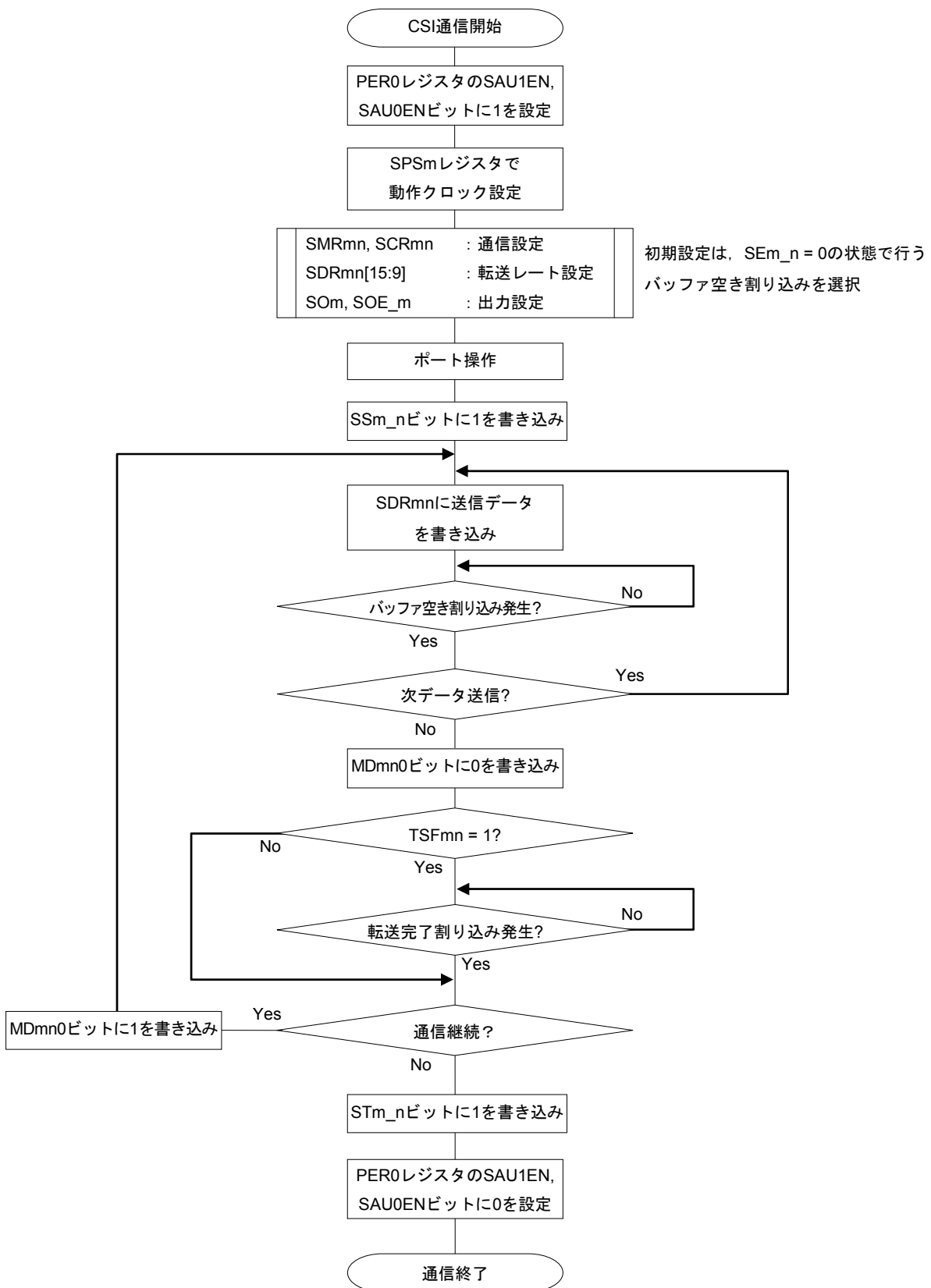
注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-34 マスタ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-33 マスタ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.5.2 マスタ受信

マスタ受信とは、この78K0R/Hx3が転送クロックを出力し、78K0R/Hx3が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] 注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

図11-35 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ受信時のレジスタ設定内容例 (1/2)

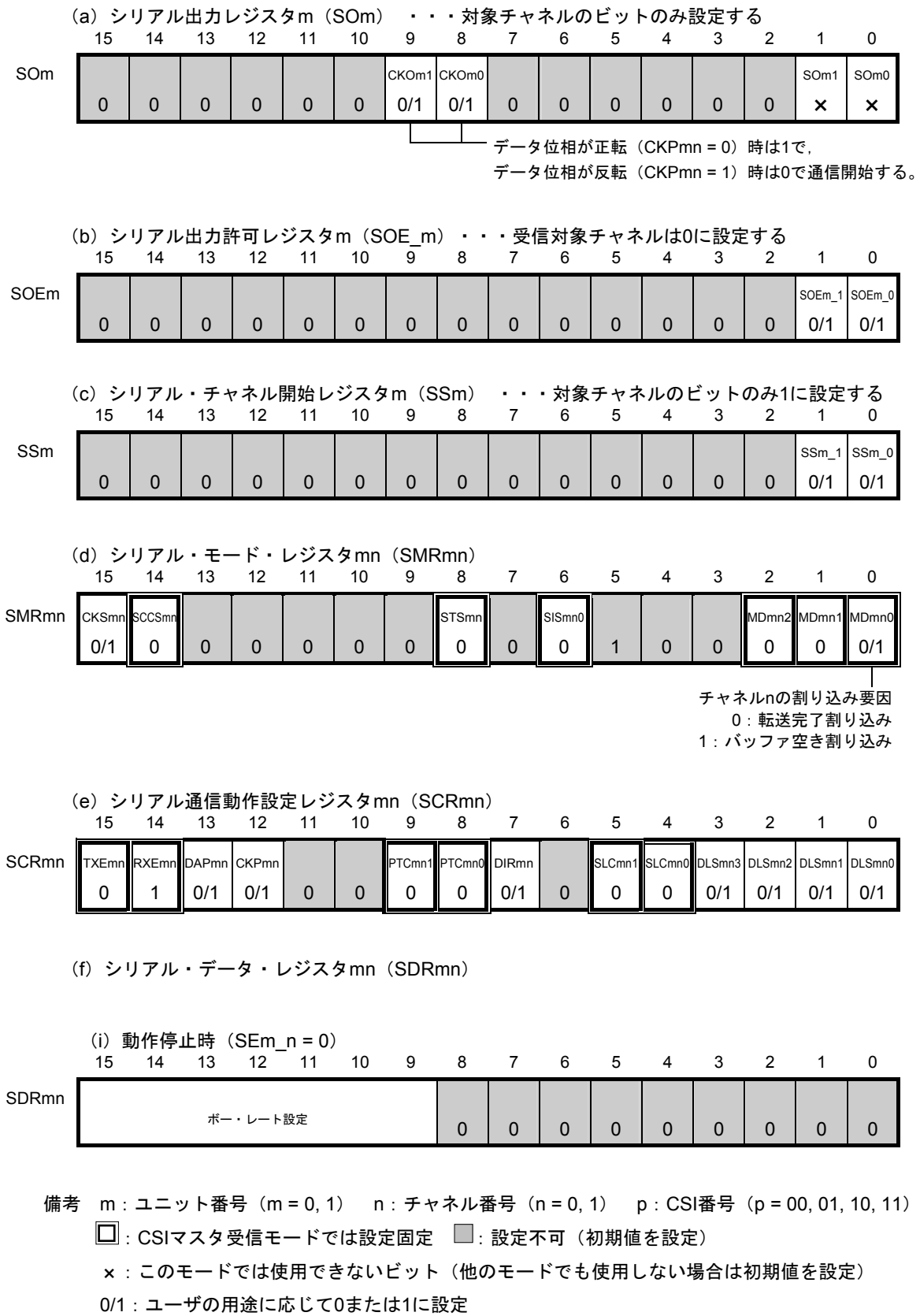
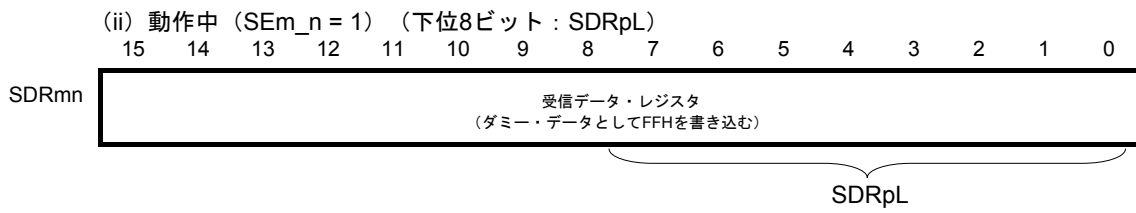


図11-35 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ受信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

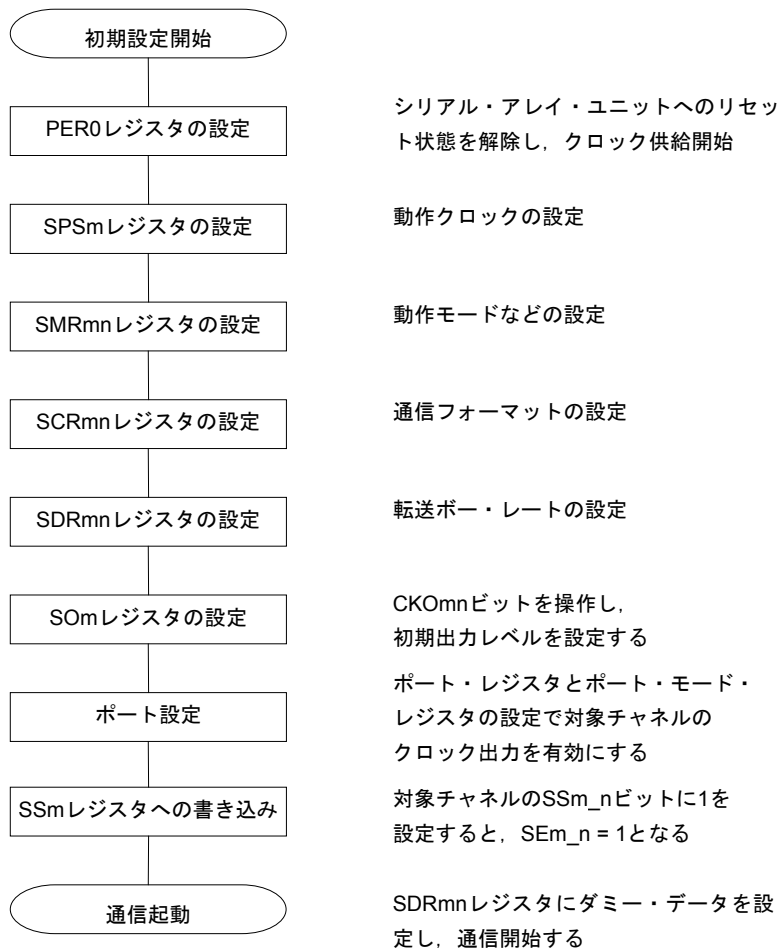
: CSIマスタ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

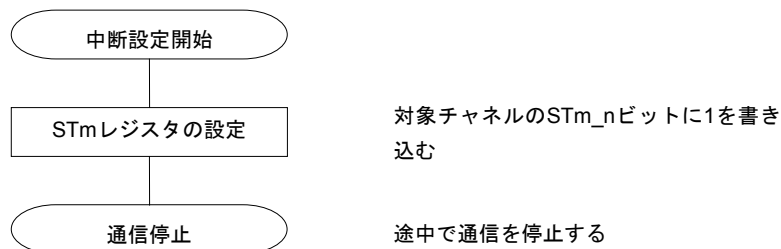
(2) 操作手順

図11-36 マスタ受信の初期設定手順



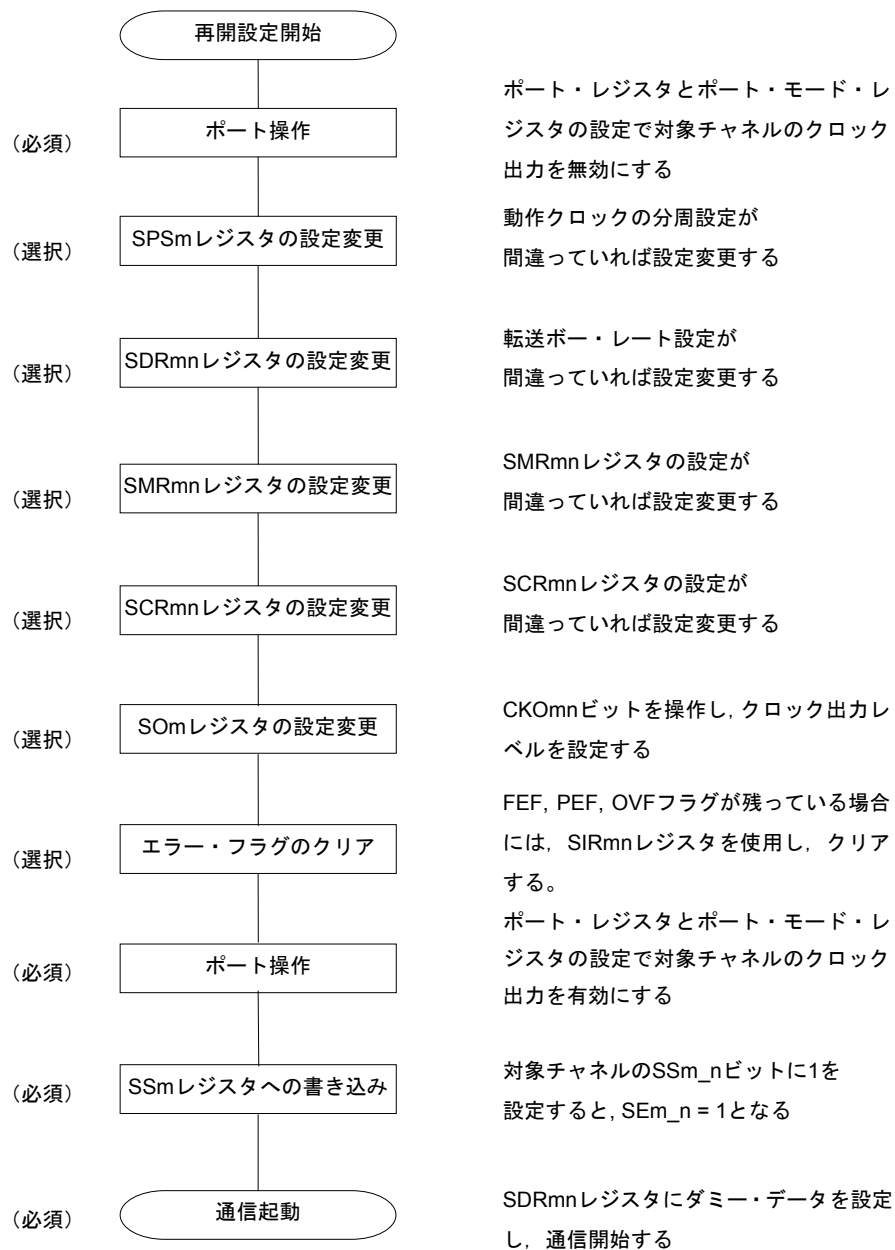
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-37 マスタ受信の中断手順



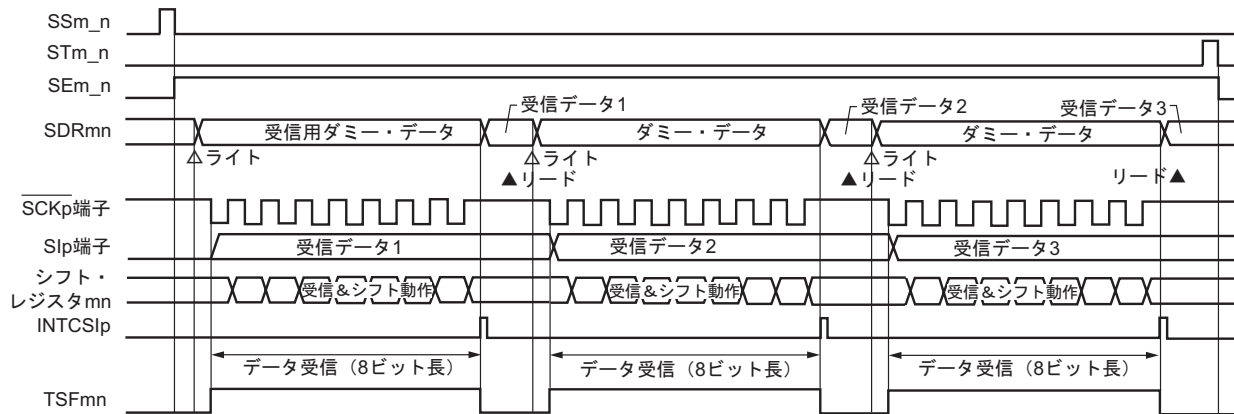
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11-38 マスタ受信の再開設定手順参照)。

図11-38 マスタ受信の再開設定手順



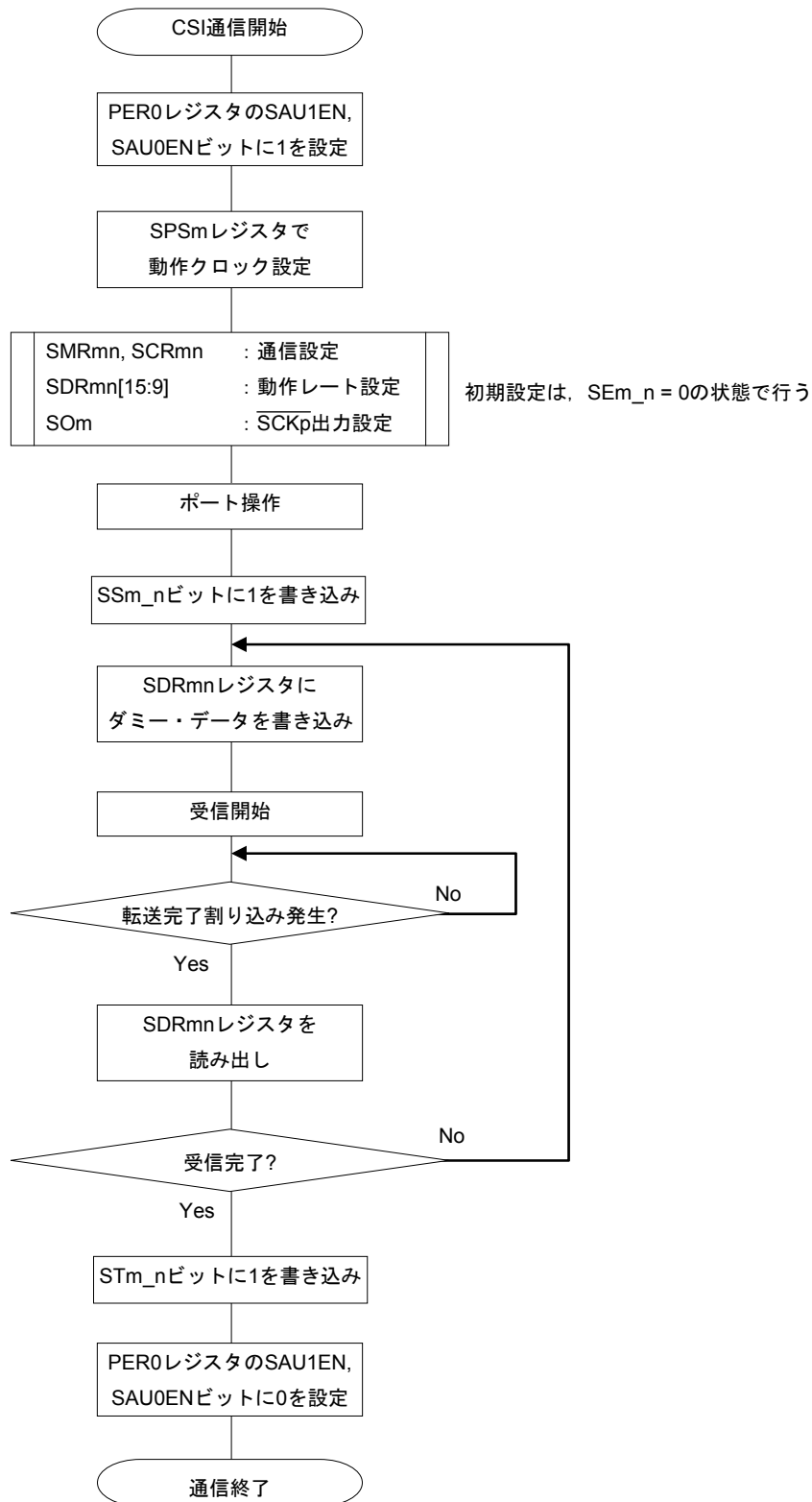
(3) 処理フロー（シングル受信モード時）

図11-39 マスタ受信時（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

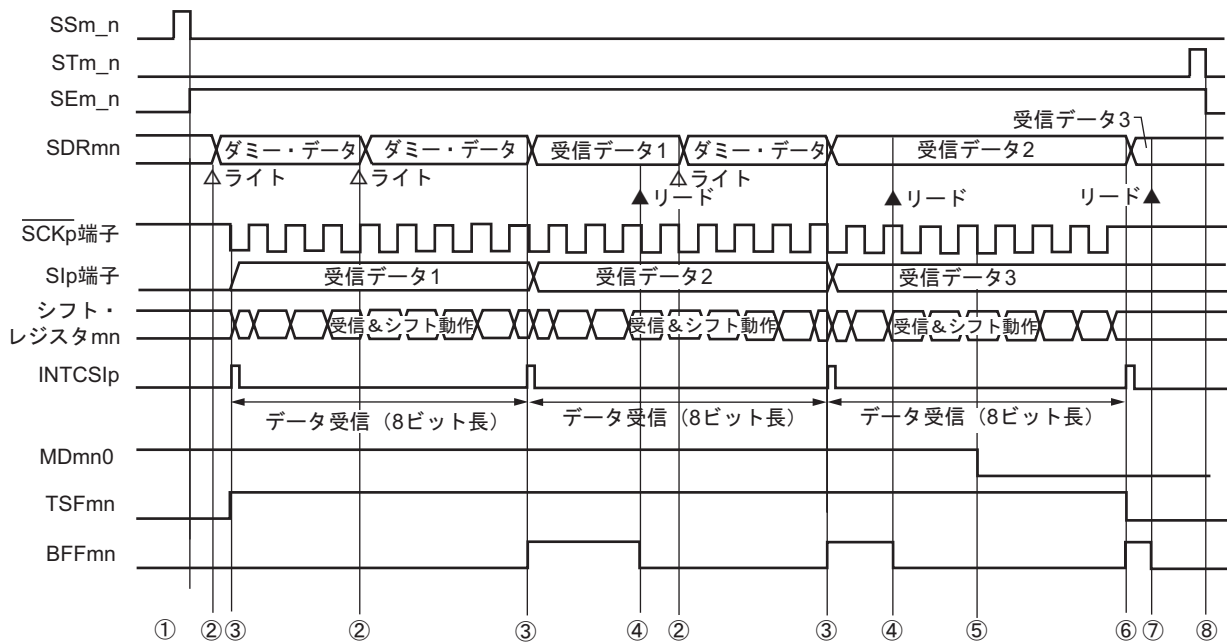
図11-40 マスタ受信（シングル受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続受信モード時）

図11-41 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



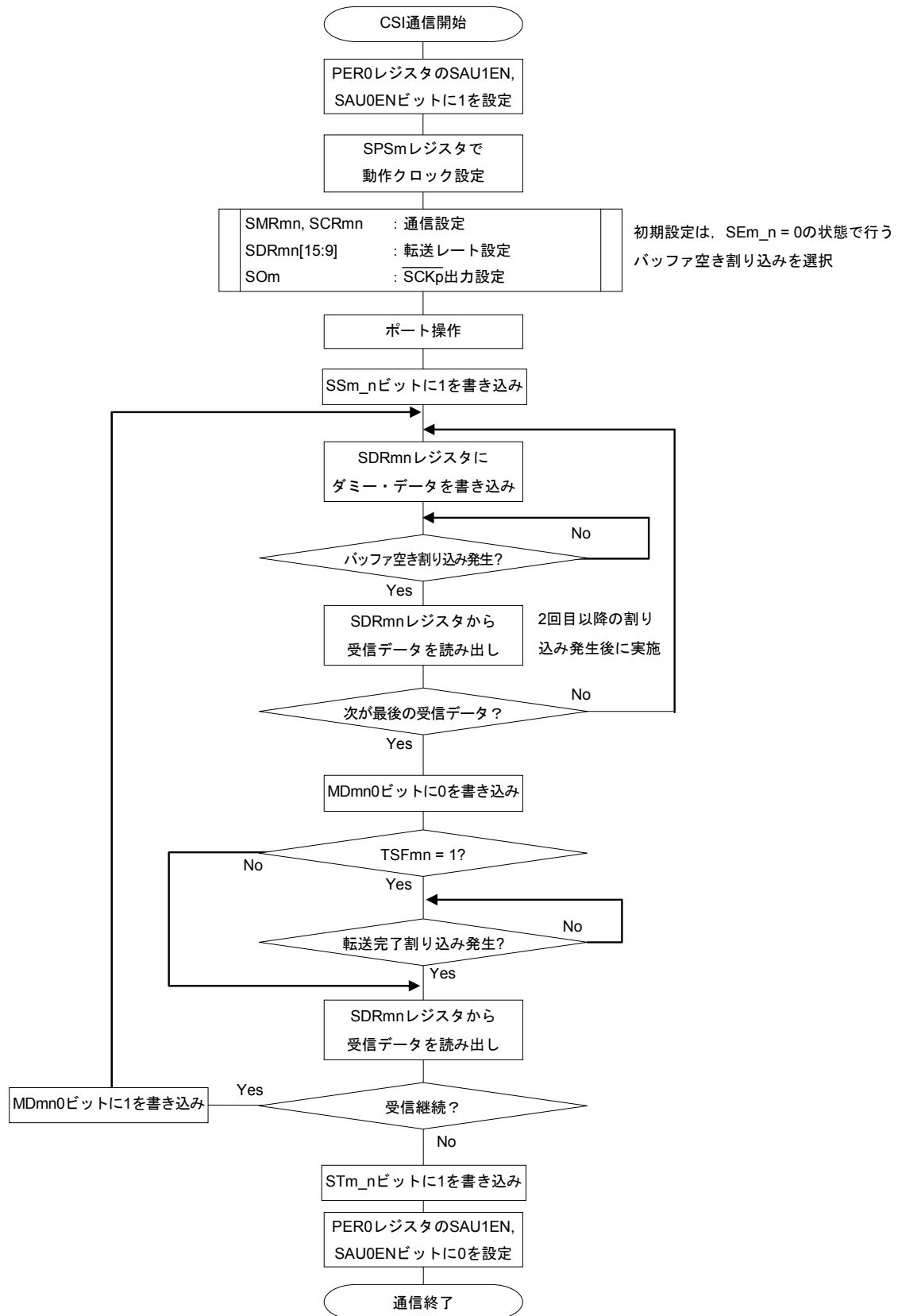
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の ~ は、図11-42 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-42 マスタ受信（連続受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-41 マスタ受信（連続受信モード時）のタイミング・チャートの ~ に対応しています。

11.5.3 マスタ送受信

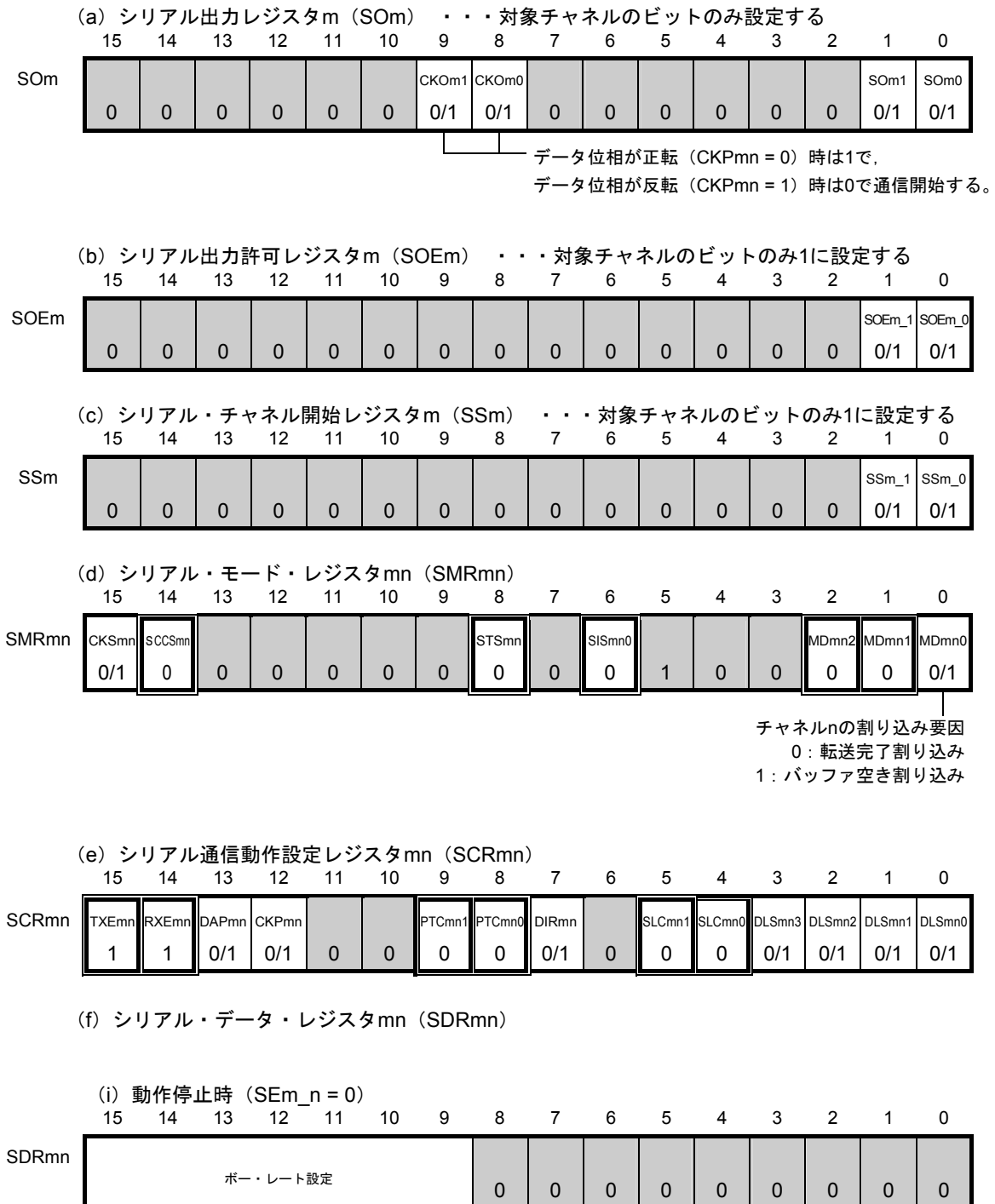
マスタ送受信とは、この78K0R/Hx3が転送クロックを出力し、78K0R/Hx3と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] 注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合 : 正転 ・ CKPmn = 1の場合 : 反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

図11-43 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ送受信時のレジスタ設定内容例 (1/2)



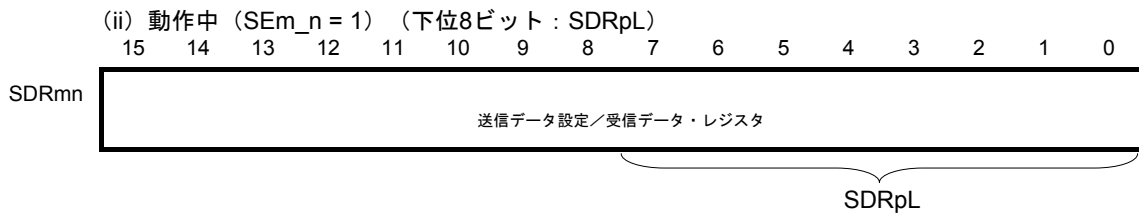
備考 m : ユニット番号 ($m = 0, 1$) n : チャネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01, 10, 11$)

□ : CSIマスタ送受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-43 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ送受信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

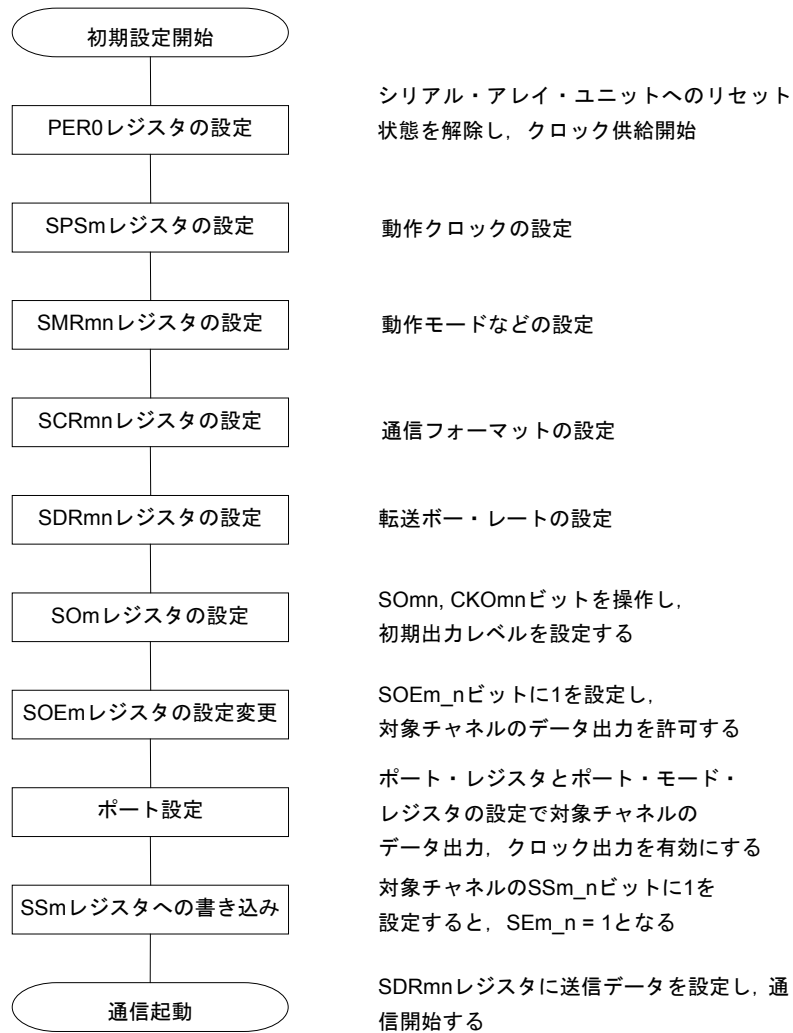
: CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

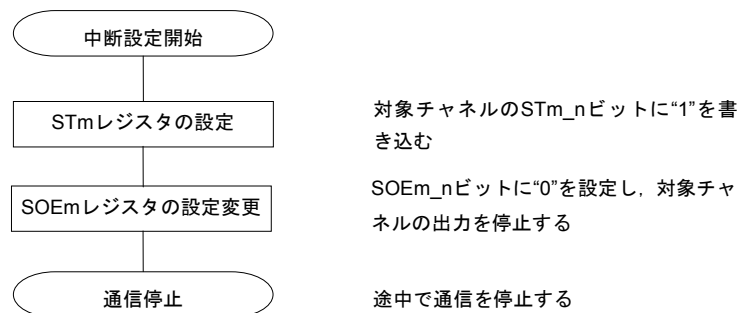
(2) 操作手順

図11-44 マスタ送受信の初期設定手順



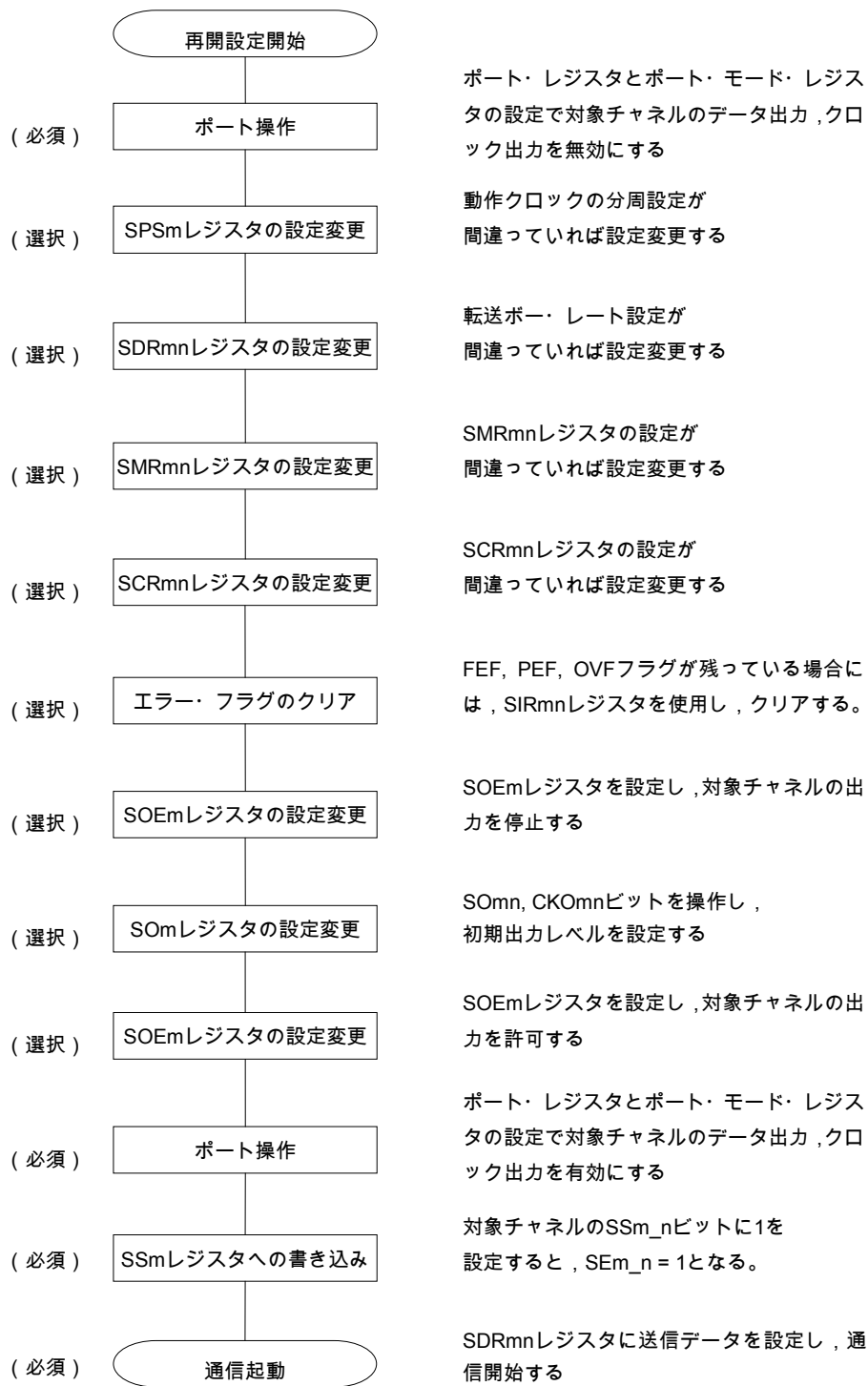
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-45 マスタ送受信の中断手順



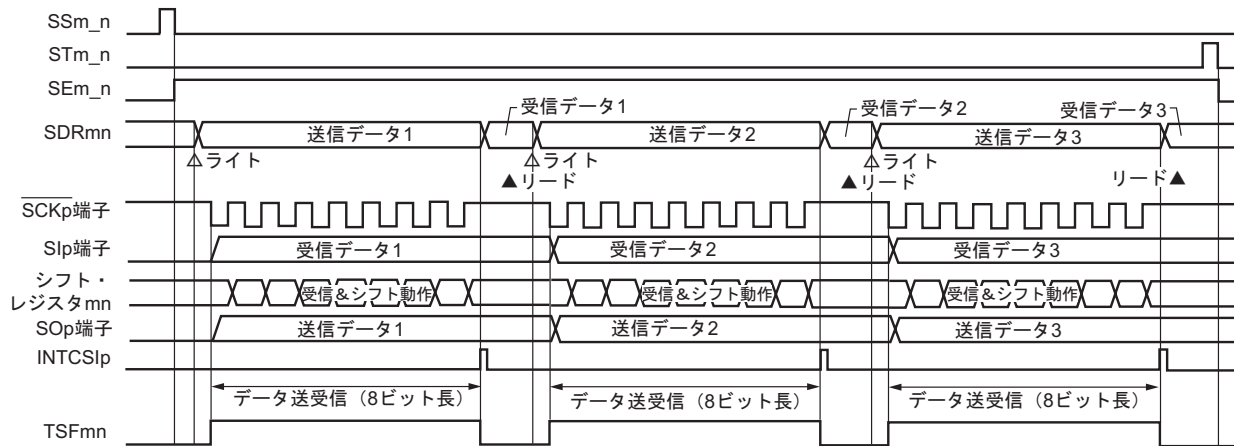
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOMレジスタを再設定してください（図11-46 マスタ送受信の再開設定手順参照）。

図11-46 マスタ送受信の再開設定手順



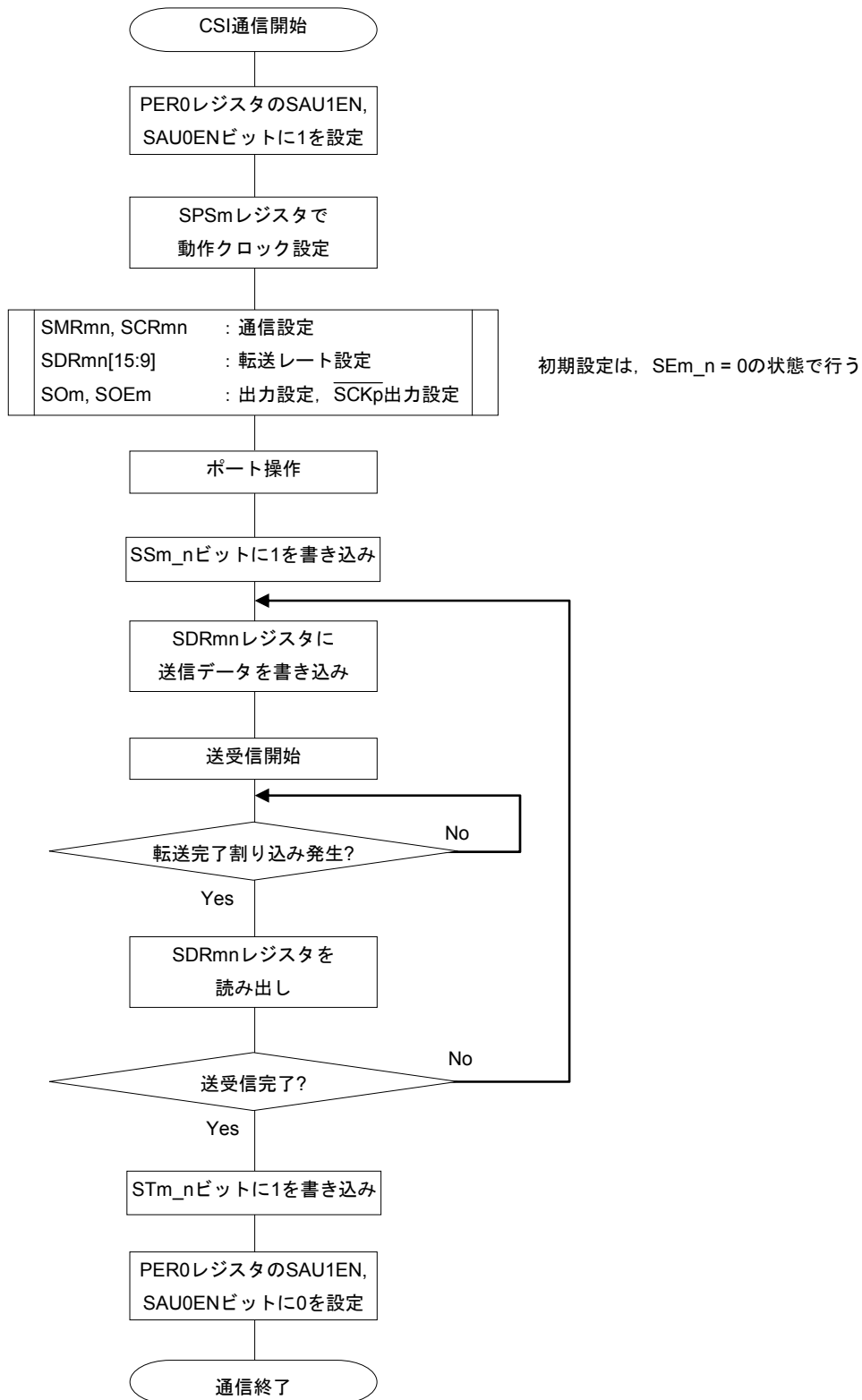
(3) 処理フロー（シングル送受信モード時）

図11-47 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

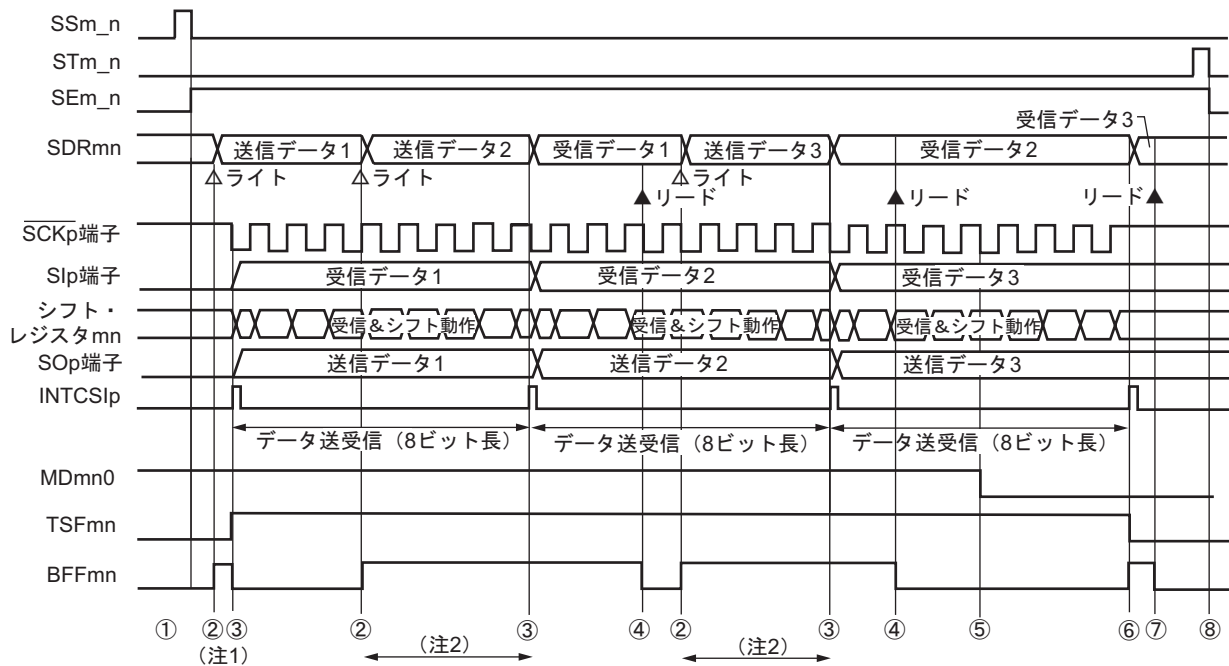
図11-48 マスタ送受信（シングル送受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送受信モード時）

図11-49 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

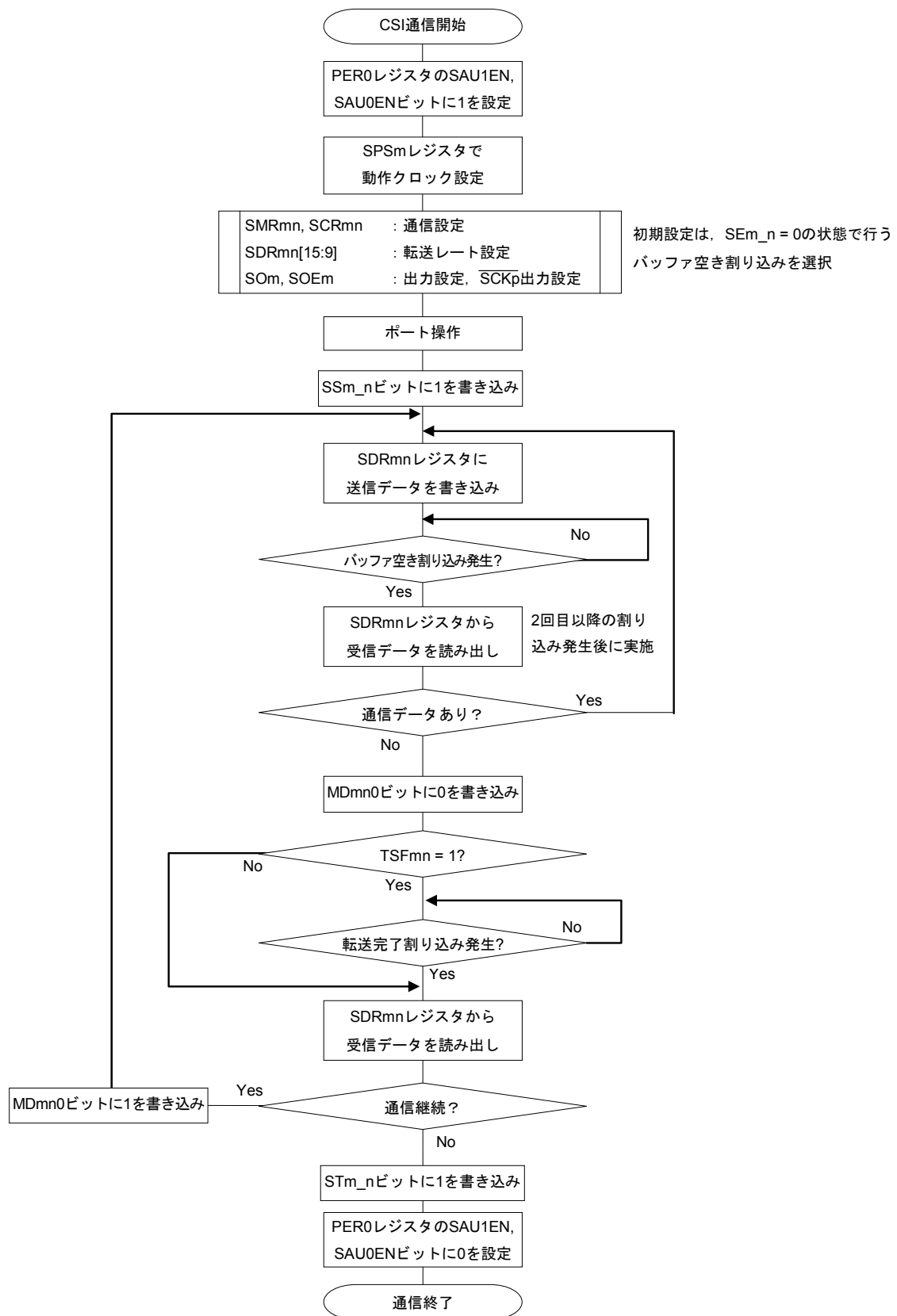
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図11-50 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-50 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-49 マスタ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/Hx3から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU0のチャンネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2。			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK01, SCK10, SCK11端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

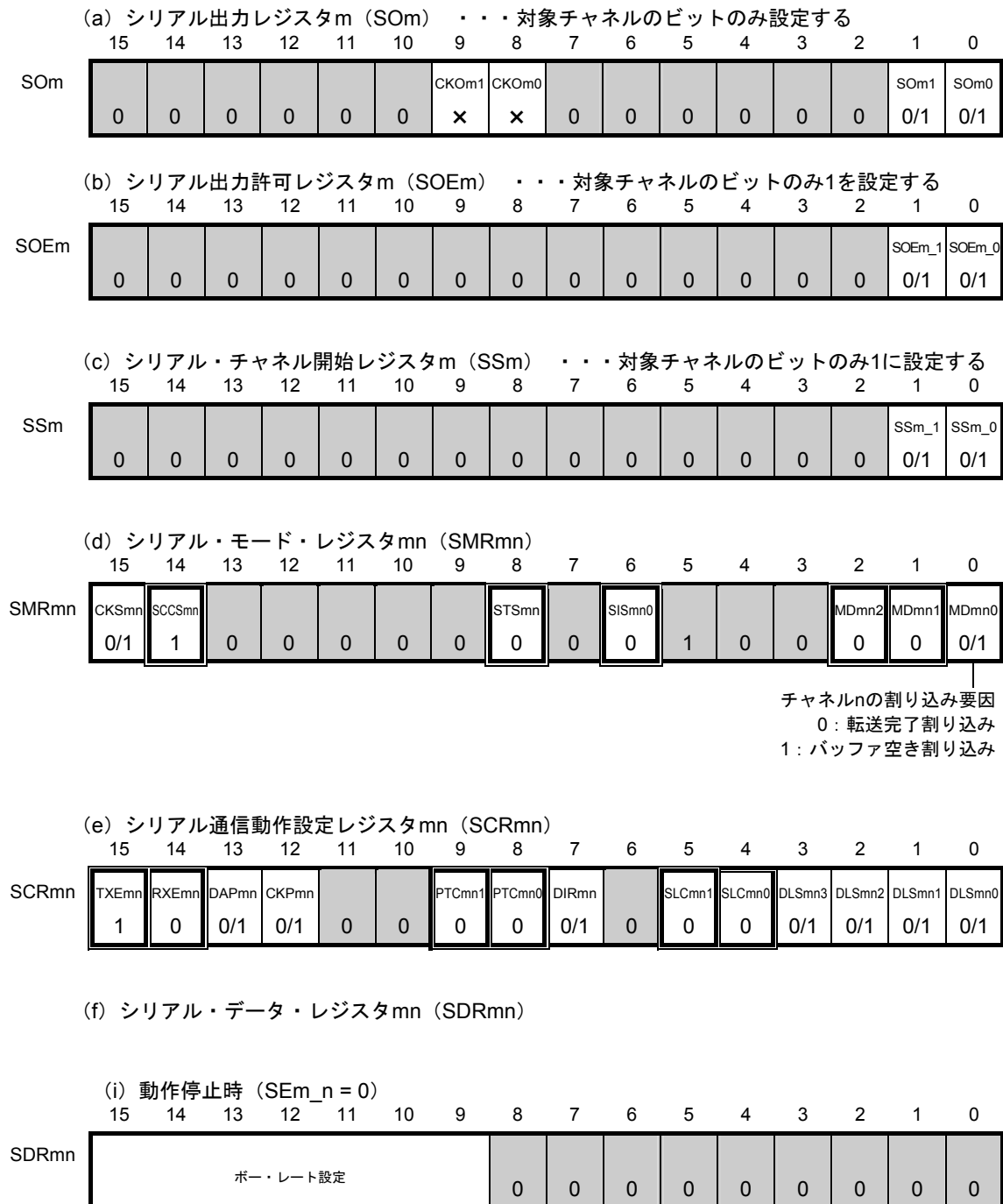
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図11-51 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のスレーブ送信時のレジスタ設定内容例 (1/2)

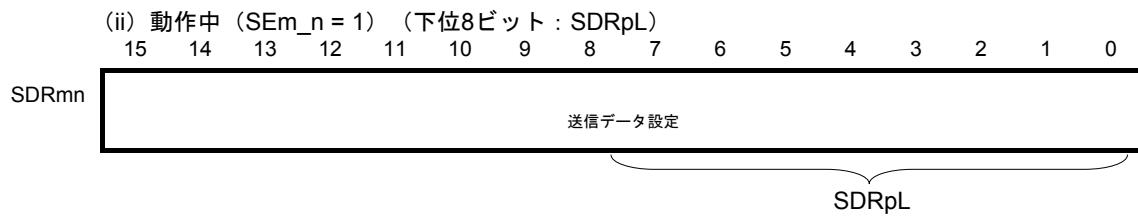
備考 m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01, 10, 11$)

□ : CSIスレーブ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-51 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のスレーブ送信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

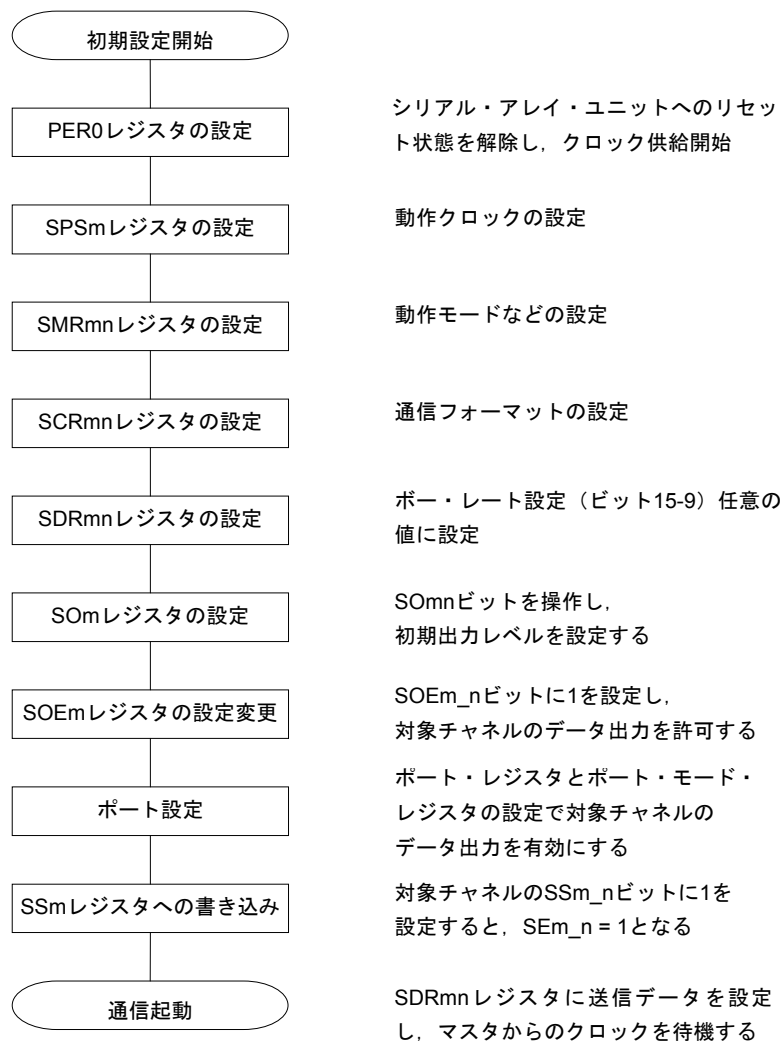
: CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

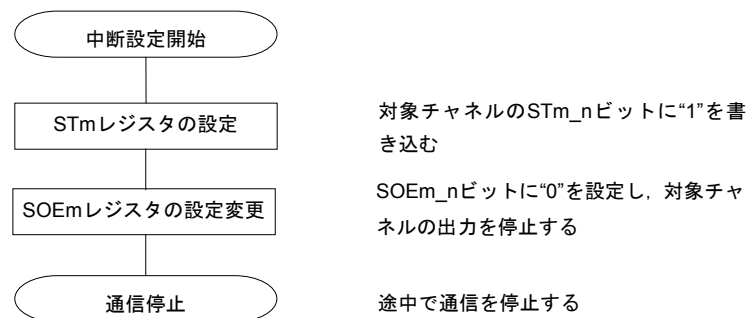
(2) 操作手順

図11-52 スレーブ送信の初期設定手順



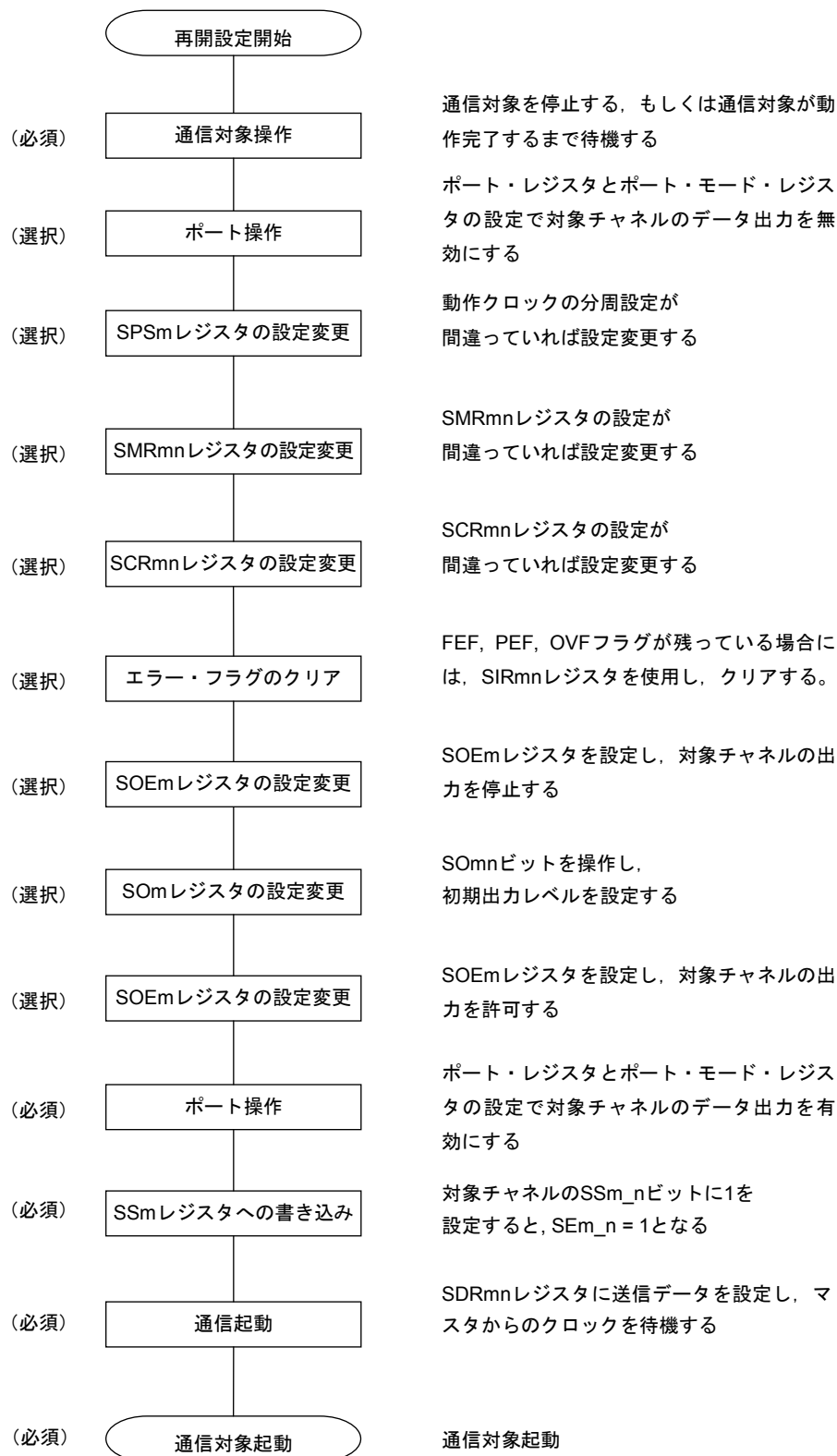
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-53 スレーブ送信の中断手順



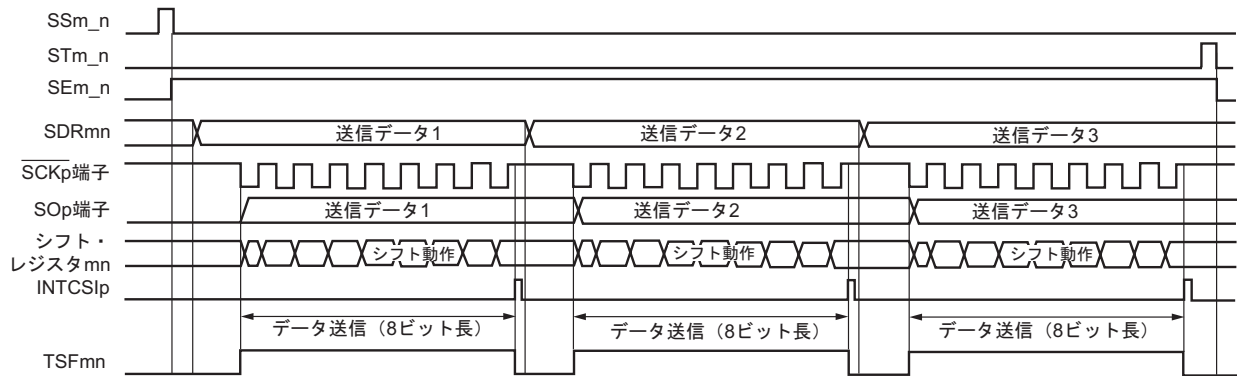
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11-54 スレーブ送信の再開設定手順参照）。

図11-54 スレーブ送信の再開設定手順



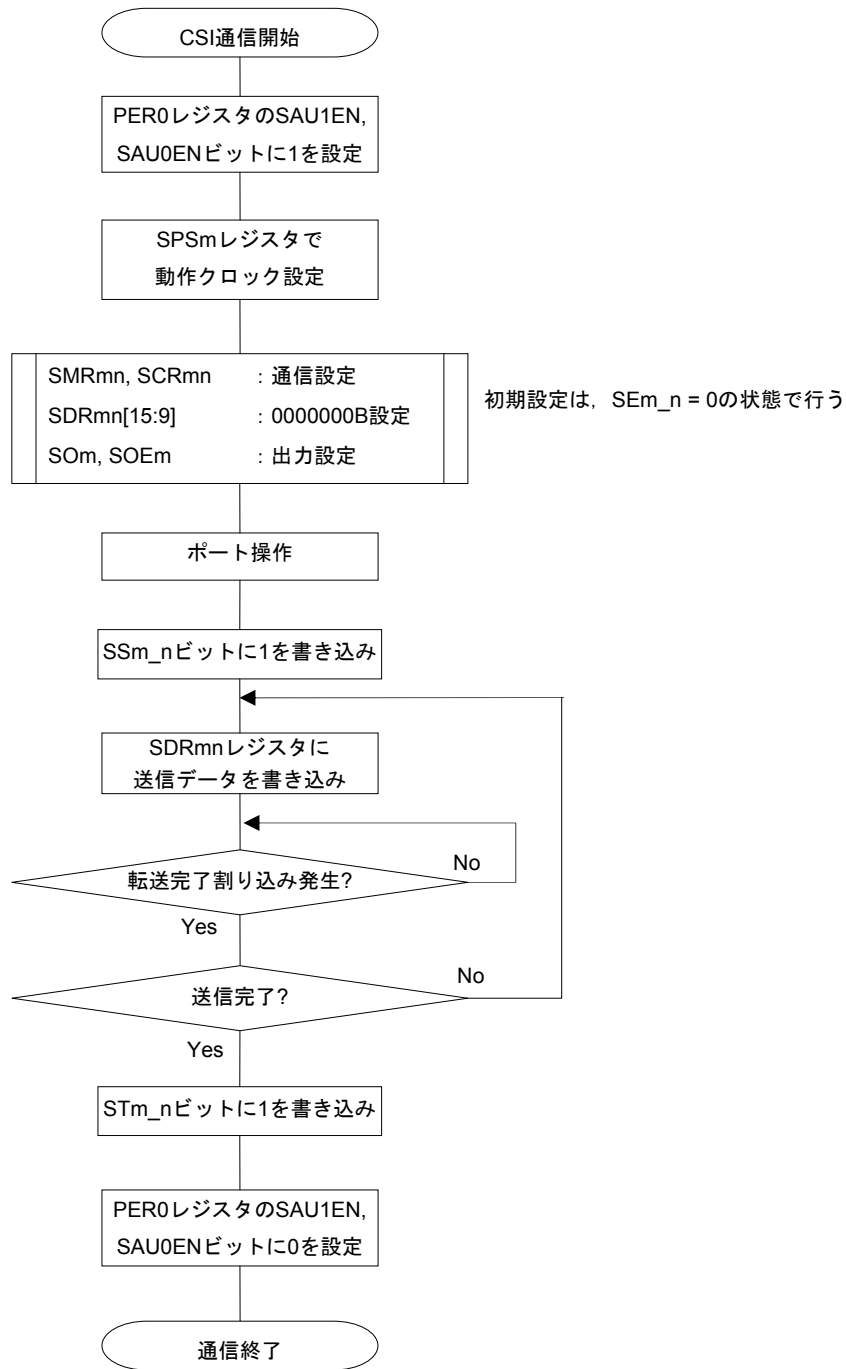
(3) 処理フロー（シングル送信モード時）

図11-55 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

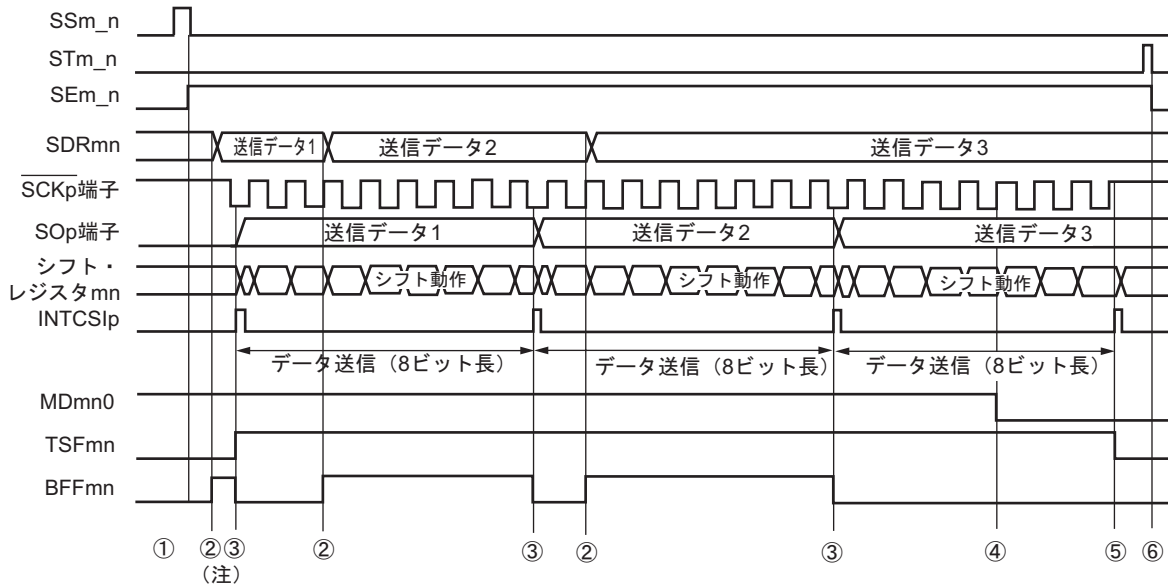
図11-56 スレーブ送信（シングル送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

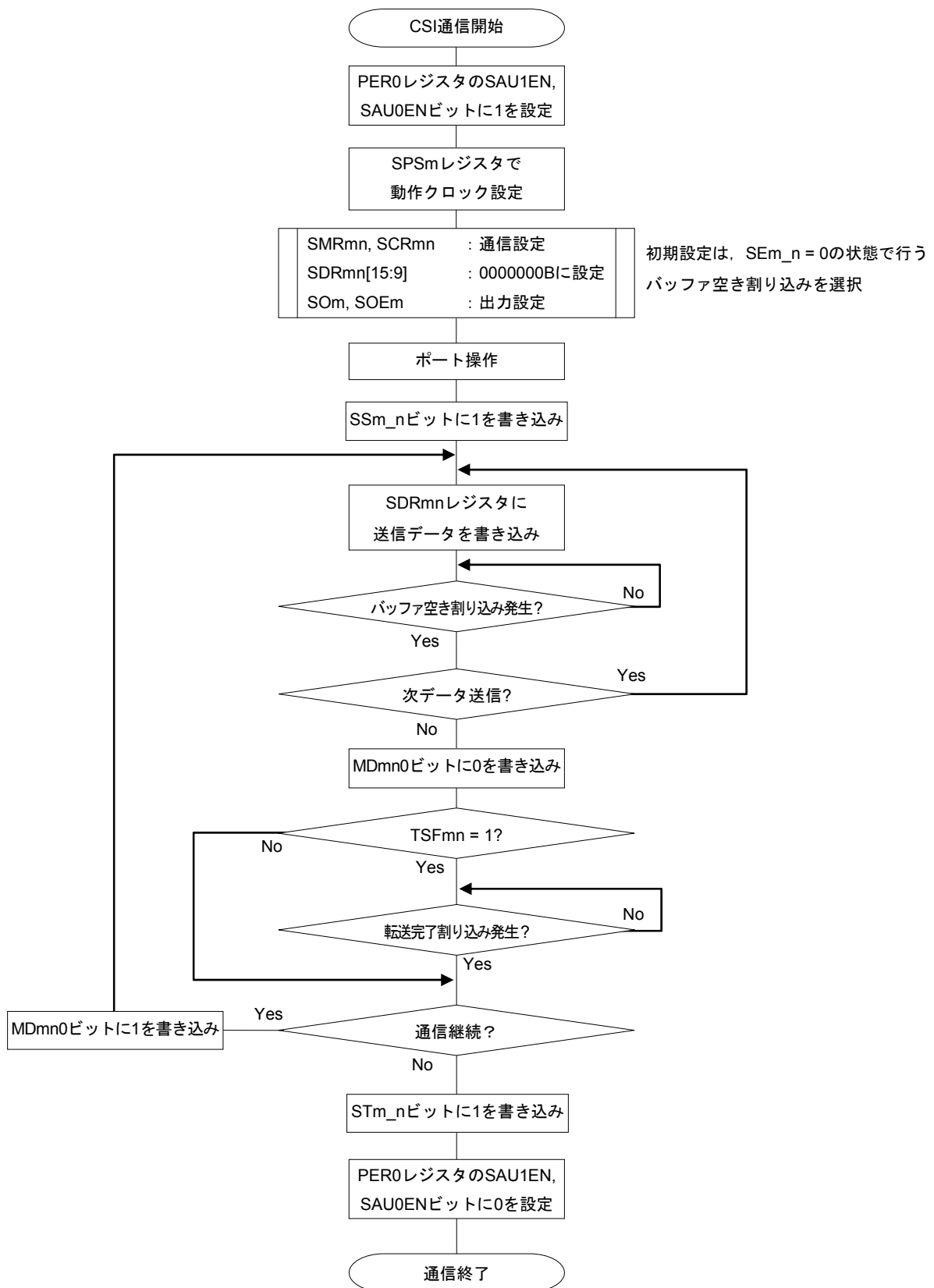
図11-57 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

図11-58 スレーブ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-57 スレーブ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Hx3が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK01, SCK10, SCK11端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図11-59 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のスレーブ受信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタ m (SO m) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO m							CKOm1	CKOm0							SO m 1	SO m 0
	0	0	0	0	0	0	×	×	0	0	0	0	0	0	×	×

(b) シリアル出力許可レジスタ m (SOEm) . . . 受信対処チャンネルは0に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm_1	SOEm_0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャンネル開始レジスタ m (SS m) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS m															SS m _1	SS m _0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタ mn (SMR mn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn	SCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャンネル n の割り込み要因
0 : 転送完了割り込み

(e) シリアル通信動作設定レジスタ mn (SCR mn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SCR mn	TXEmn	RXEmn	DAPmn	CKPmn				PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0	DLSmn3	DLSmn2	DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0		0	0	0/1	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・データ・レジスタ mn (SDR mn)

(i) 動作停止時 (SE m_n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	0000000 (ポー・レート設定)															
								0	0	0	0	0	0	0	0	0

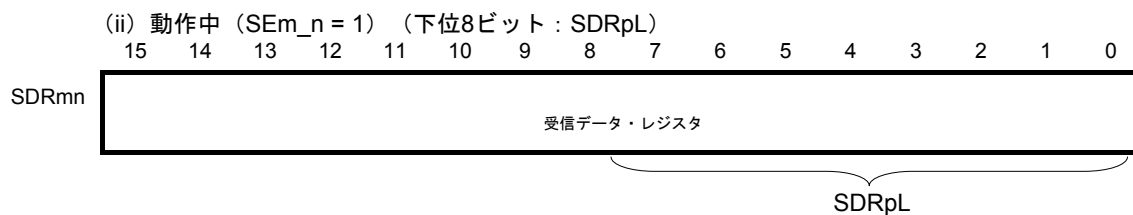
備考 m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01, 10, 11$)

□ : CSIスレーブ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-59 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のスレーブ受信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

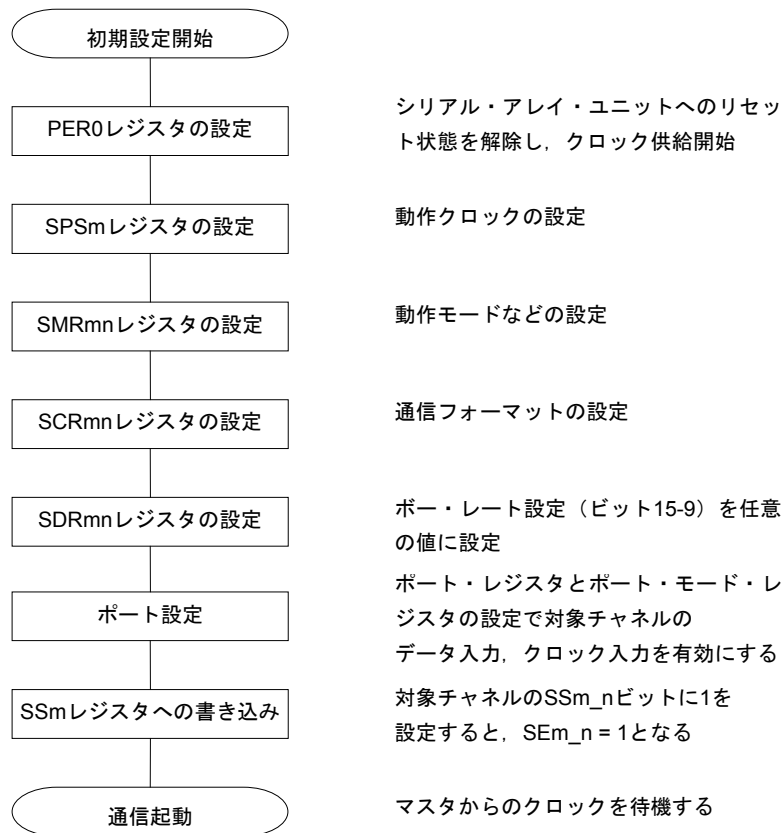
: CSIスレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-60 スレーブ受信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-61 スレーブ受信の中断手順

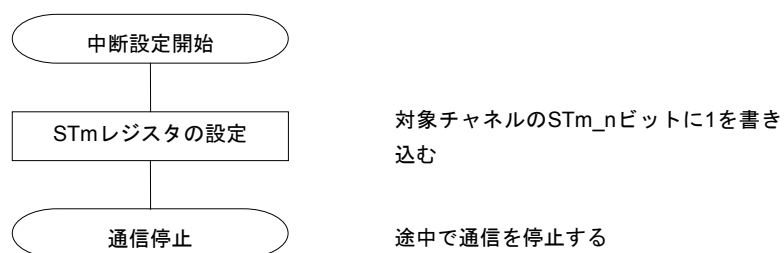
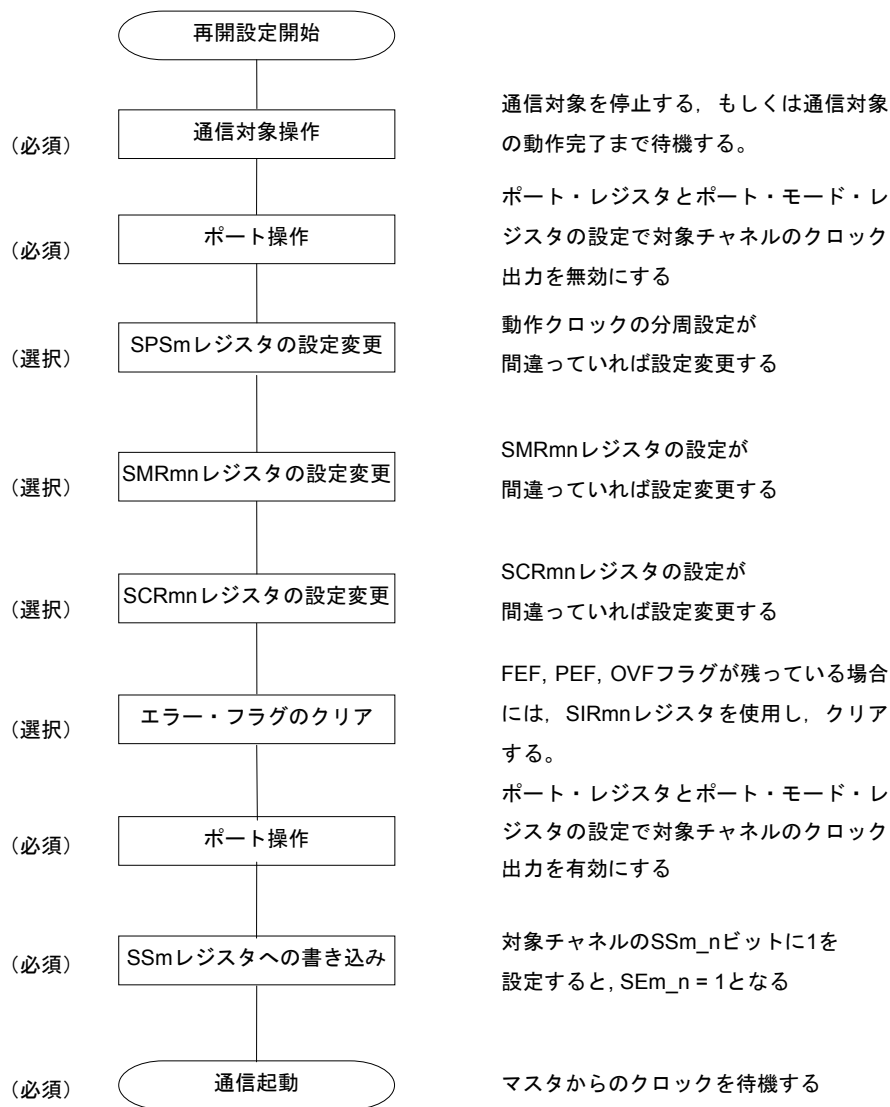
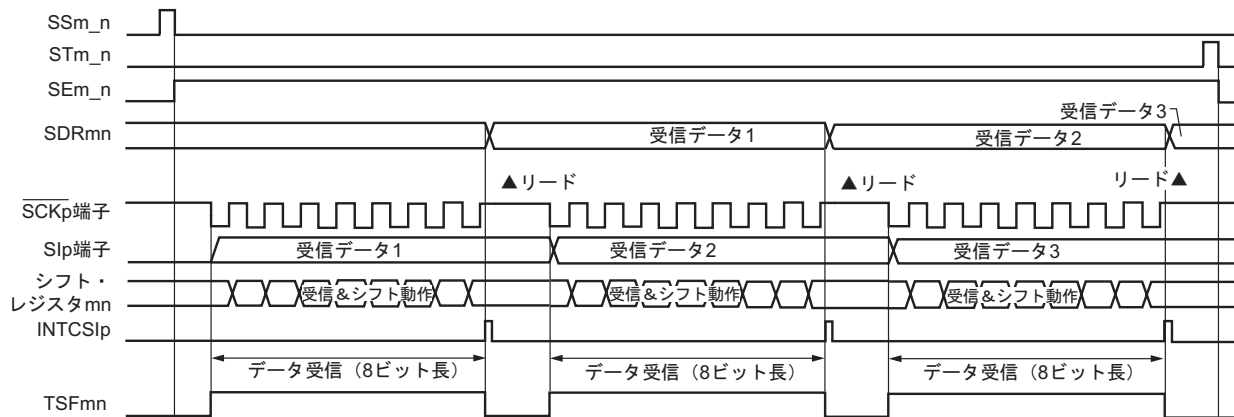


図11-62 スレーブ受信の再開設定手順



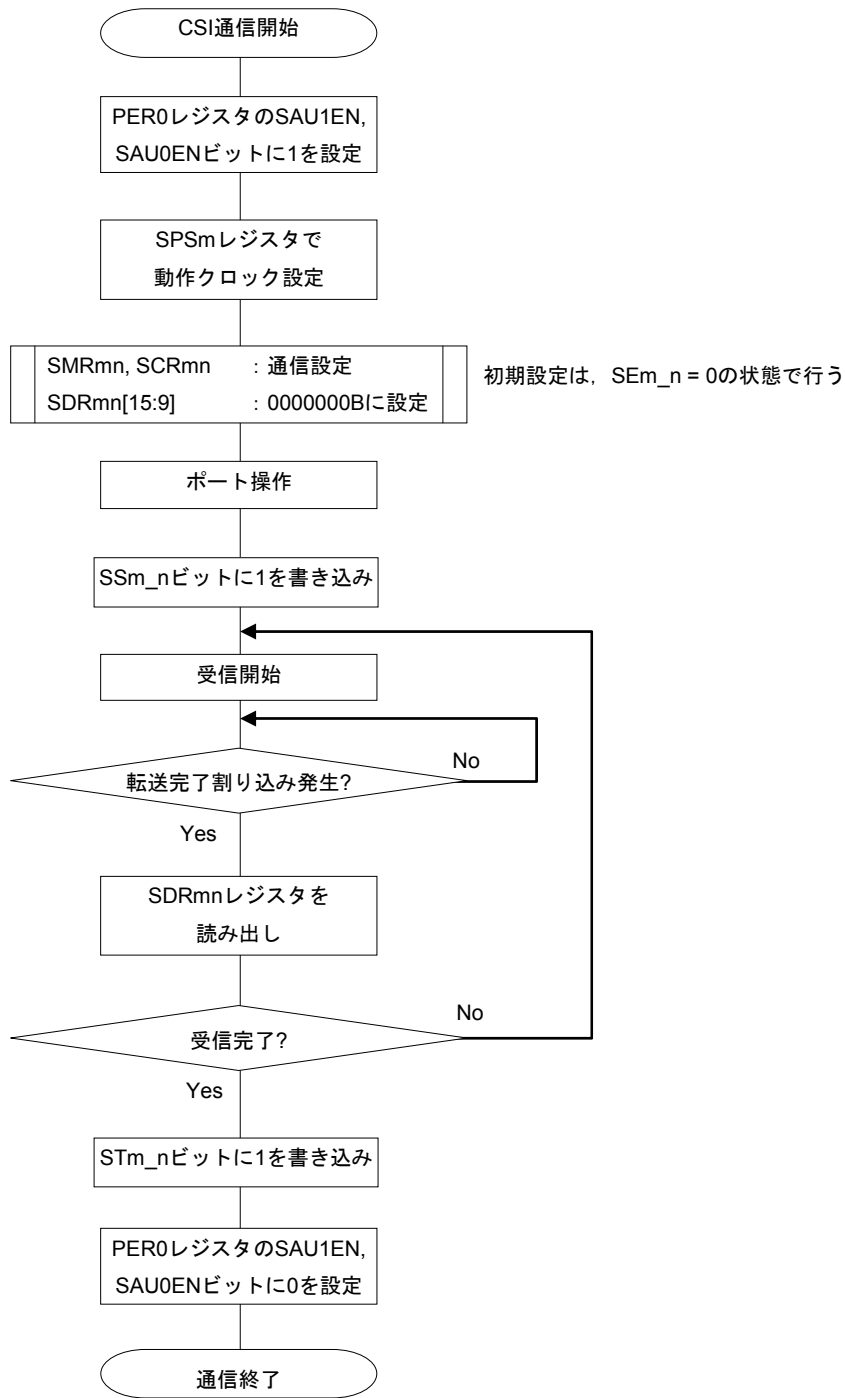
(3) 処理フロー（シングル受信モード時）

図 11-63 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-64 スレーブ受信（シングル受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Hx3と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU1のチャンネル0	SAU1のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. SCK00, SCK01, SCK10, SCK11端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

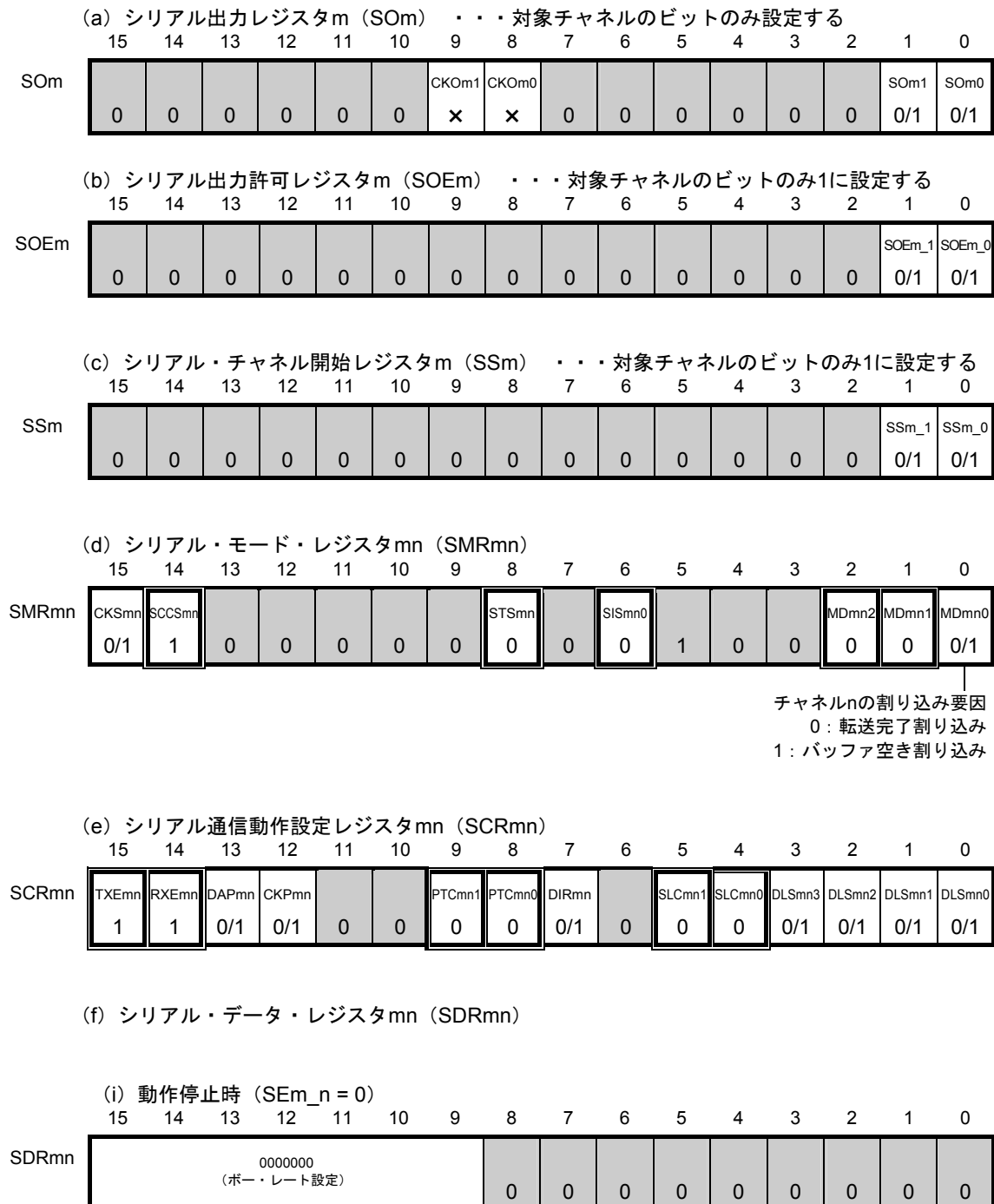
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図11-65 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11)のスレーブ送受信時のレジスタ設定内容例 (1/2)

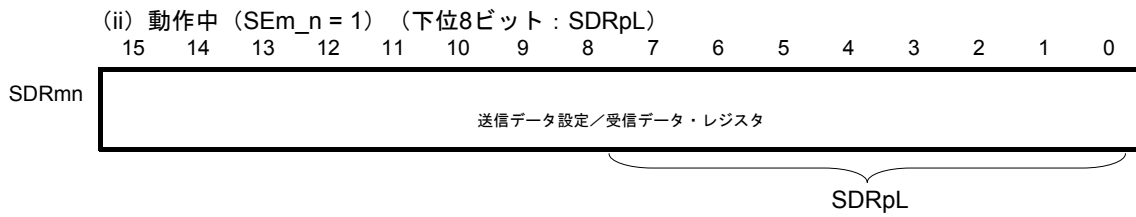
備考 m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01, 10, 11$)

□: CSIスレーブ送受信モードでは設定固定 □: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図11-65 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のスレーブ送受信時のレジスタ設定内容例 (2/2)



注意 マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

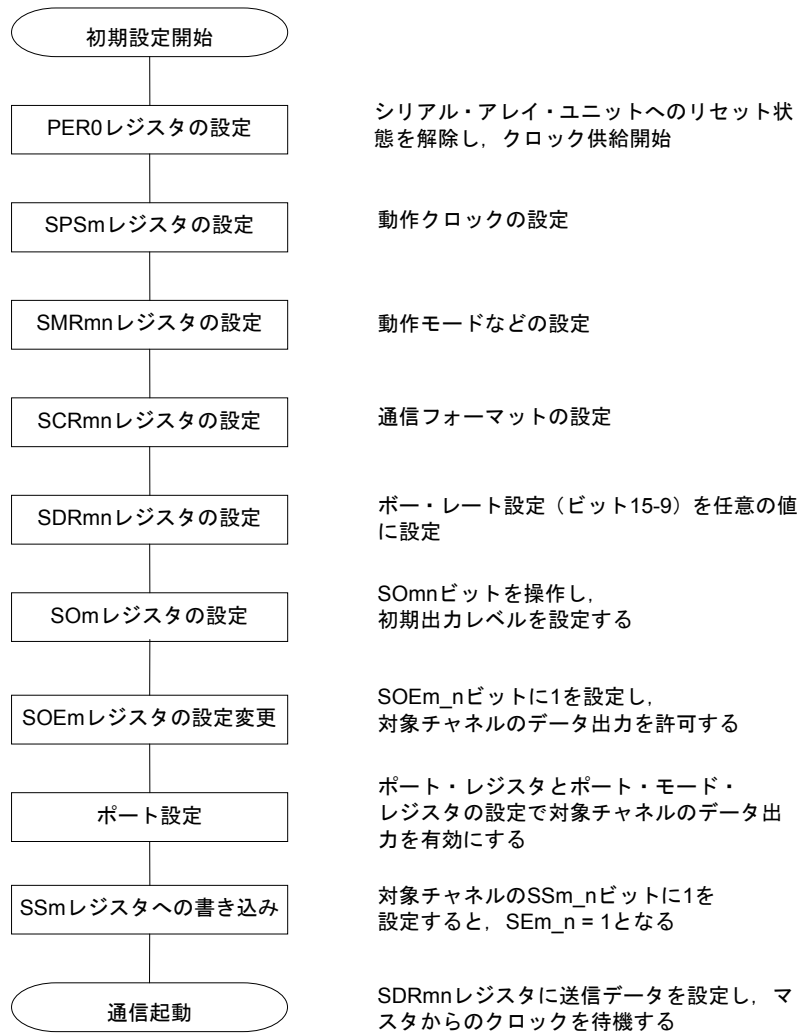
: CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

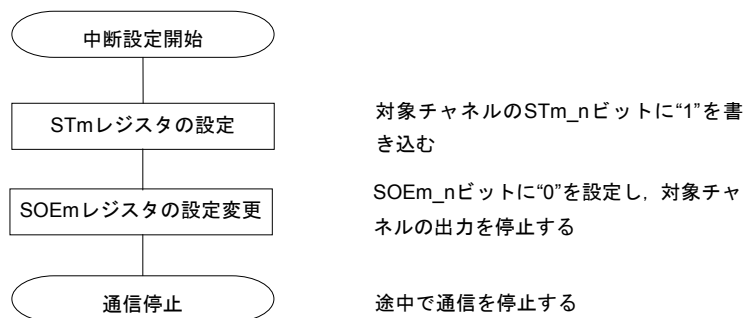
(2) 操作手順

図11-66 スレーブ送受信の初期設定手順



- 注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
 2. マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

図11-67 スレーブ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11-68 スレーブ送受信の再開設定手順参照）。

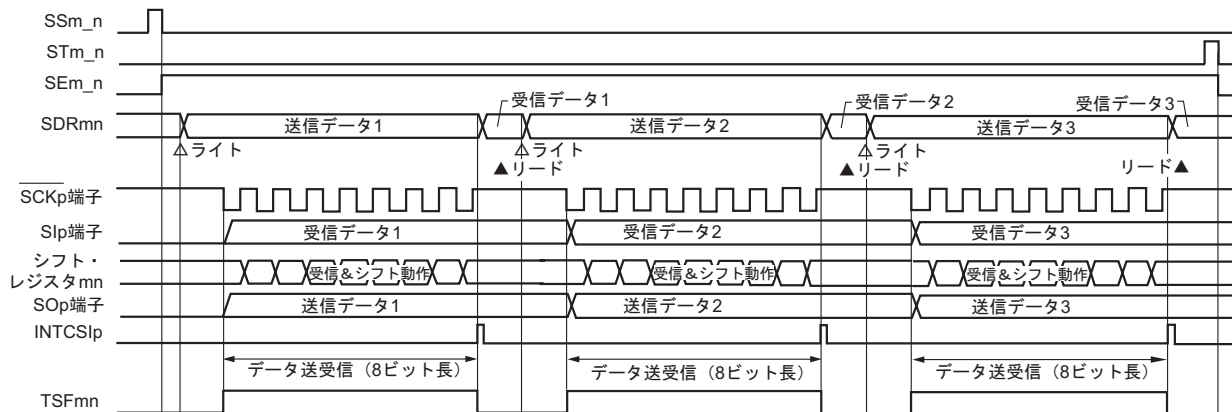
図11-68 スレーブ送受信の再開設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

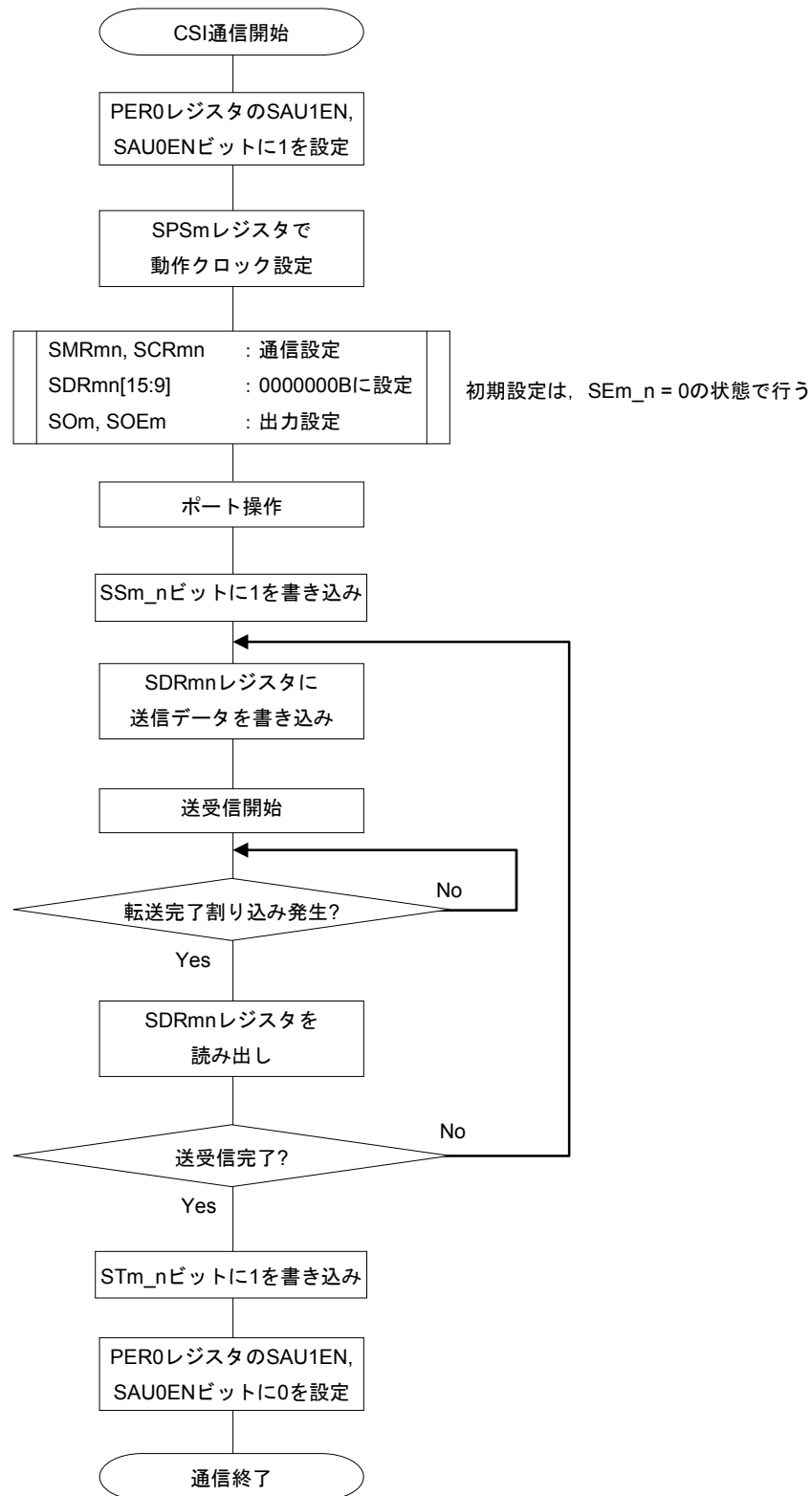
(3) 処理フロー（シングル送受信モード時）

図11-69 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-70 スレーブ送受信（シングル送受信モード時）のフロー・チャート

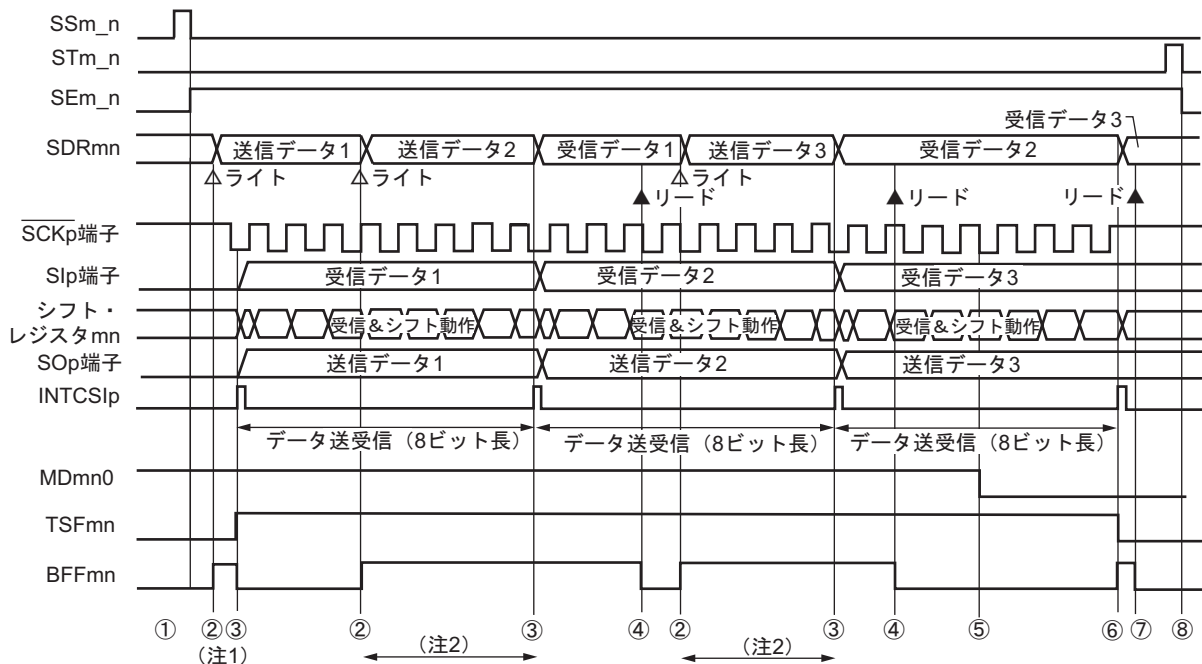


注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11-71 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

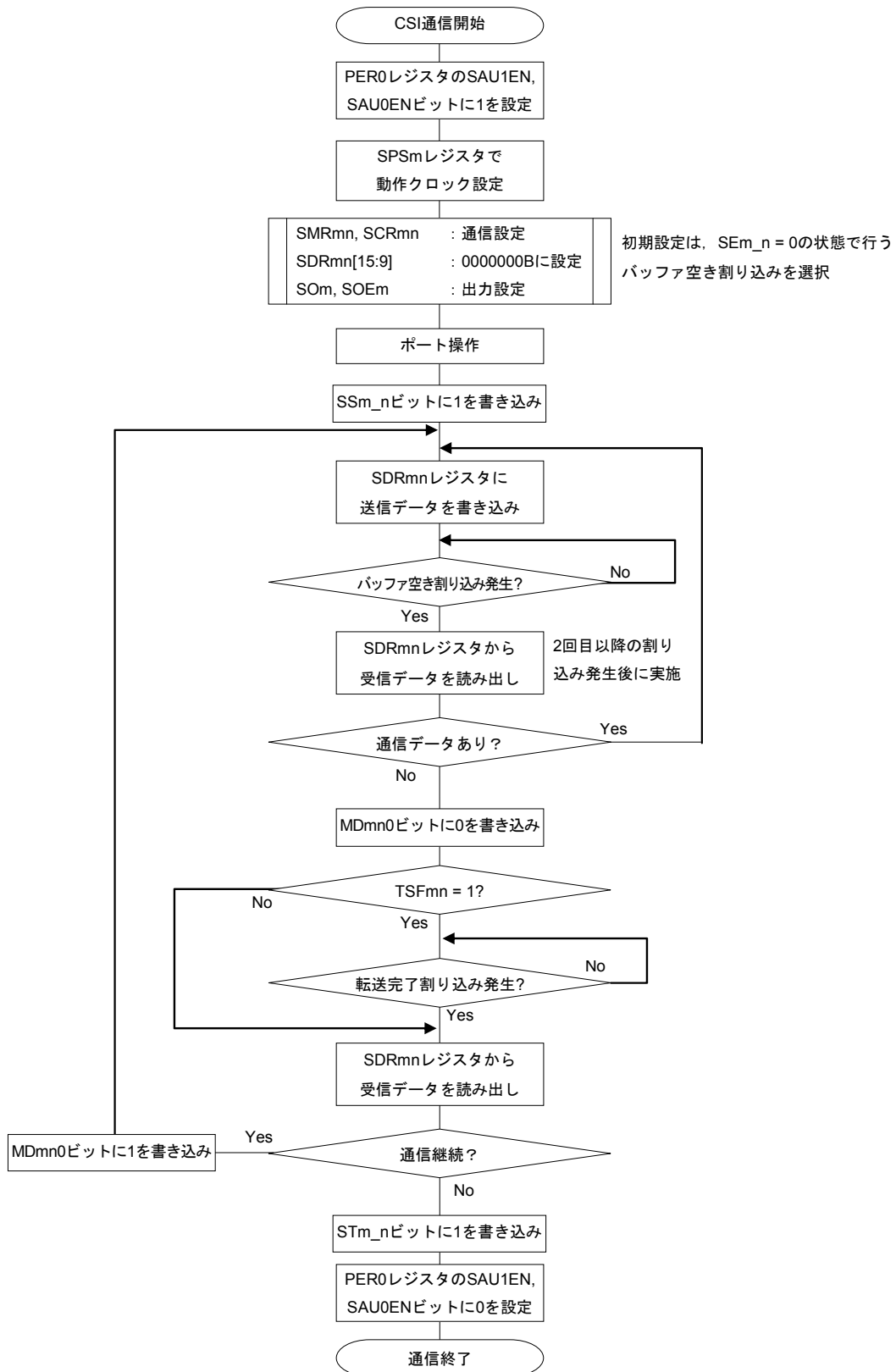
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図11-72 スレーブ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

- m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01, 10, 11)

図11-72 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

備考 図中の ~ は、図11-71 スレーブ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

11.5.7 転送クロック周波数の算出

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数) [Hz]} = \text{[対象チャネルの動作クロック (f}_{MCK}\text{) 周波数]} \div (\text{SDRmn}[15:9]+1) \div 2$$

(2) スレーブの場合

$$\text{(転送クロック周波数) [Hz]} = \text{[マスタが供給するシリアル・クロック (f}_{SCK}\text{) 周波数]} \text{注}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000000B-1111111B) なので、0-127 になります。

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-4 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (f _{CLK})	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 24 MHz 動作時
0	x	x	x	x	0	0	0	0	f _{CLK}	24 MHz
	x	x	x	x	0	0	0	1	f _{CLK} /2	12 MHz
	x	x	x	x	0	0	1	0	f _{CLK} /2 ²	6 MHz
	x	x	x	x	0	0	1	1	f _{CLK} /2 ³	3 MHz
	x	x	x	x	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
	x	x	x	x	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
	x	x	x	x	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
	x	x	x	x	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
	x	x	x	x	1	0	0	0	f _{CLK} /2 ⁸	93.75 kHz
	x	x	x	x	1	0	0	1	f _{CLK} /2 ⁹	46.86 kHz
	x	x	x	x	1	0	1	0	f _{CLK} /2 ¹⁰	23.44 kHz
	x	x	x	x	1	0	1	1	f _{CLK} /2 ¹¹	11.72 kHz
	x	x	x	x	1	1	1	1	INTTM23	
1	0	0	0	0	x	x	x	x	f _{CLK}	24 MHz
	0	0	0	1	x	x	x	x	f _{CLK} /2	12 MHz
	0	0	1	0	x	x	x	x	f _{CLK} /2 ²	6 MHz
	0	0	1	1	x	x	x	x	f _{CLK} /2 ³	3 MHz
	0	1	0	0	x	x	x	x	f _{CLK} /2 ⁴	1.5 MHz
	0	1	0	1	x	x	x	x	f _{CLK} /2 ⁵	750 kHz
	0	1	1	0	x	x	x	x	f _{CLK} /2 ⁶	375 kHz
	0	1	1	1	x	x	x	x	f _{CLK} /2 ⁷	187.5 kHz
	1	0	0	0	x	x	x	x	f _{CLK} /2 ⁸	93.75 kHz
	1	0	0	1	x	x	x	x	f _{CLK} /2 ⁹	46.86 kHz
	1	0	1	0	x	x	x	x	f _{CLK} /2 ¹⁰	23.44 kHz
	1	0	1	1	x	x	x	x	f _{CLK} /2 ¹¹	11.72 kHz
	1	1	1	1	x	x	x	x	INTTM23	
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニットm（SAUm）の動作を停止（STm = 0003H）させてから変更してください。動作クロックにINTTM23を選択する場合は、タイマ・アレイ・ユニット2（TAU2）も停止（TT2 = 00FFH）させてください。

備考1. x : Don't care

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

11.5.8 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信時にエラーが発生した場合の処理手順を図11-73に示します。

図11-73 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 1) mn = 00, 01, 10, 11

11.6 SPI機能（CSI00, CSI01）の動作

SPI機能に対応しているチャンネルは、SAU0のチャンネル0, 1です。

[データ送受信]

- ・ 7-16ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ／スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

[拡張機能]

SPI機能のスレーブ選択機能

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (SPI対応)	—	—
	1	CSI01 (SPI対応)		—
1	0	CSI10	—	—
	1	CSI11		IIC11
2	0	—	UART2	IIC20
	1	—		—

SPI機能の通信動作は、以下の6種類があります。

- ・ マスタ送信 (11.6.1項を参照)
- ・ マスタ受信 (11.6.2項を参照)
- ・ マスタ送受信 (11.6.3項を参照)
- ・ スレーブ送信 (11.6.4項を参照)
- ・ スレーブ受信 (11.6.5項を参照)
- ・ スレーブ送受信 (11.6.6項を参照)

SPI機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ（1つ）に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子は出力状態となり、マスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・インピーダンスとなり、ほかのスレーブのSO出力とのショートを防ぎます。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

図11-74 SPI機能の構成例

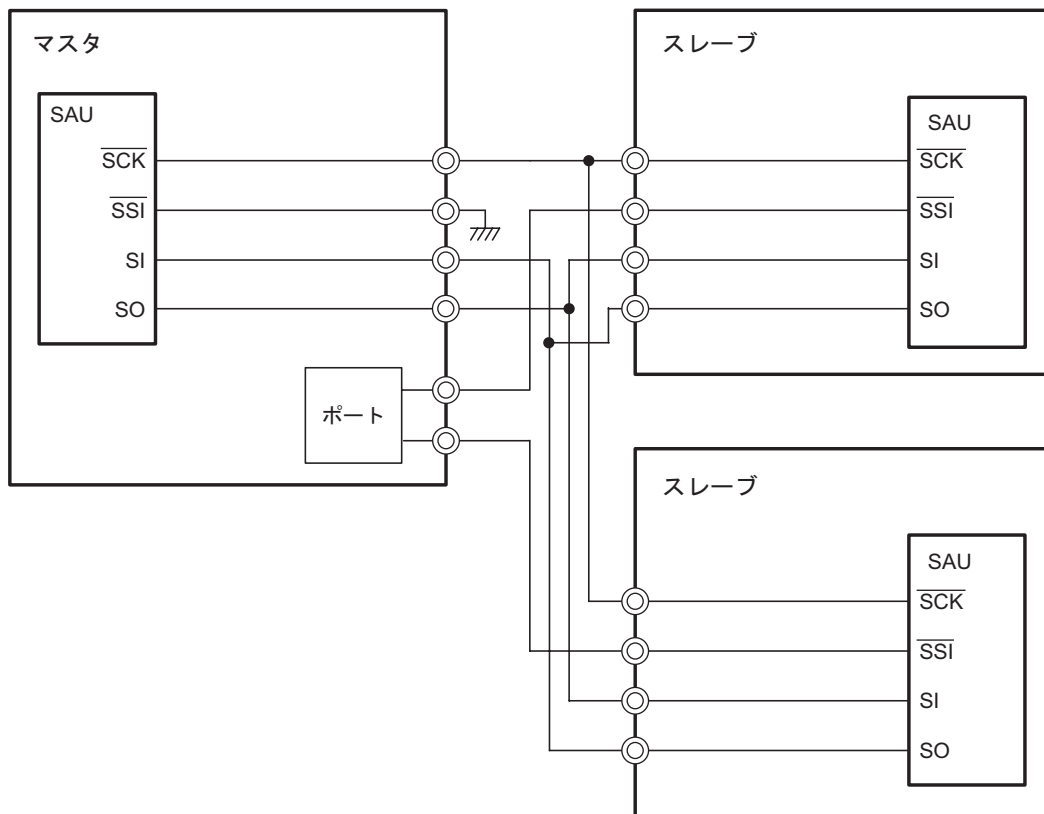
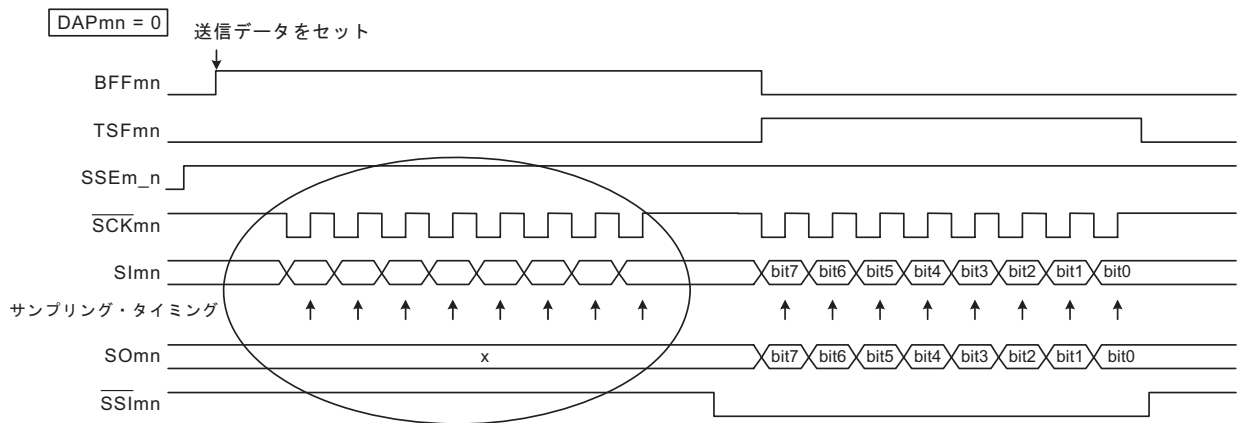
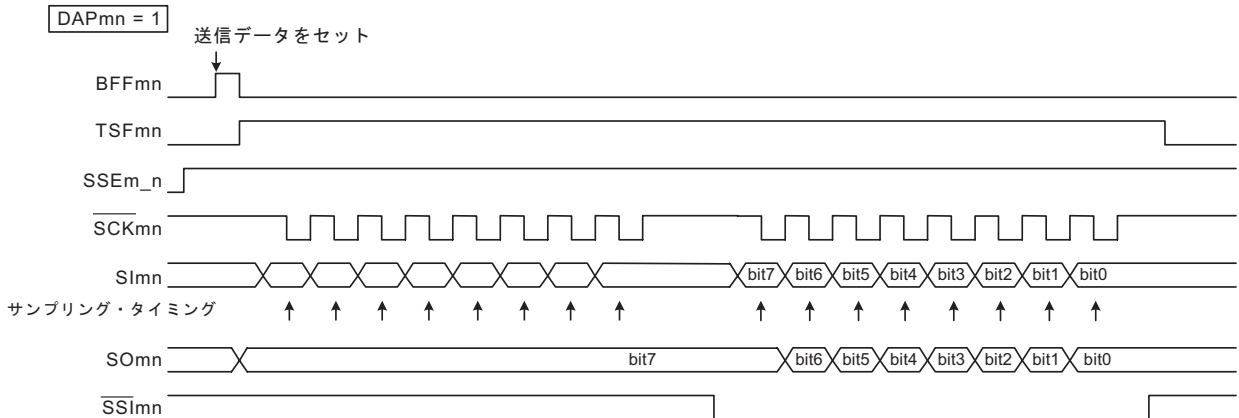


図11-75 SPI機能のタイミング図



SSImnがハイ期間ではSCKmn（シリアル・クロック）の立ち下がりエッジが来ても送信を行いません。
 また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
 SSImnがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを出力（シフト）し、立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ（bit7）を出します。しかし、SCKmn（シリアル・クロック）の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを出力（シフト）し、立ち下がりエッジに同期して受信動作を行います。

11.6.1 マスタ送信

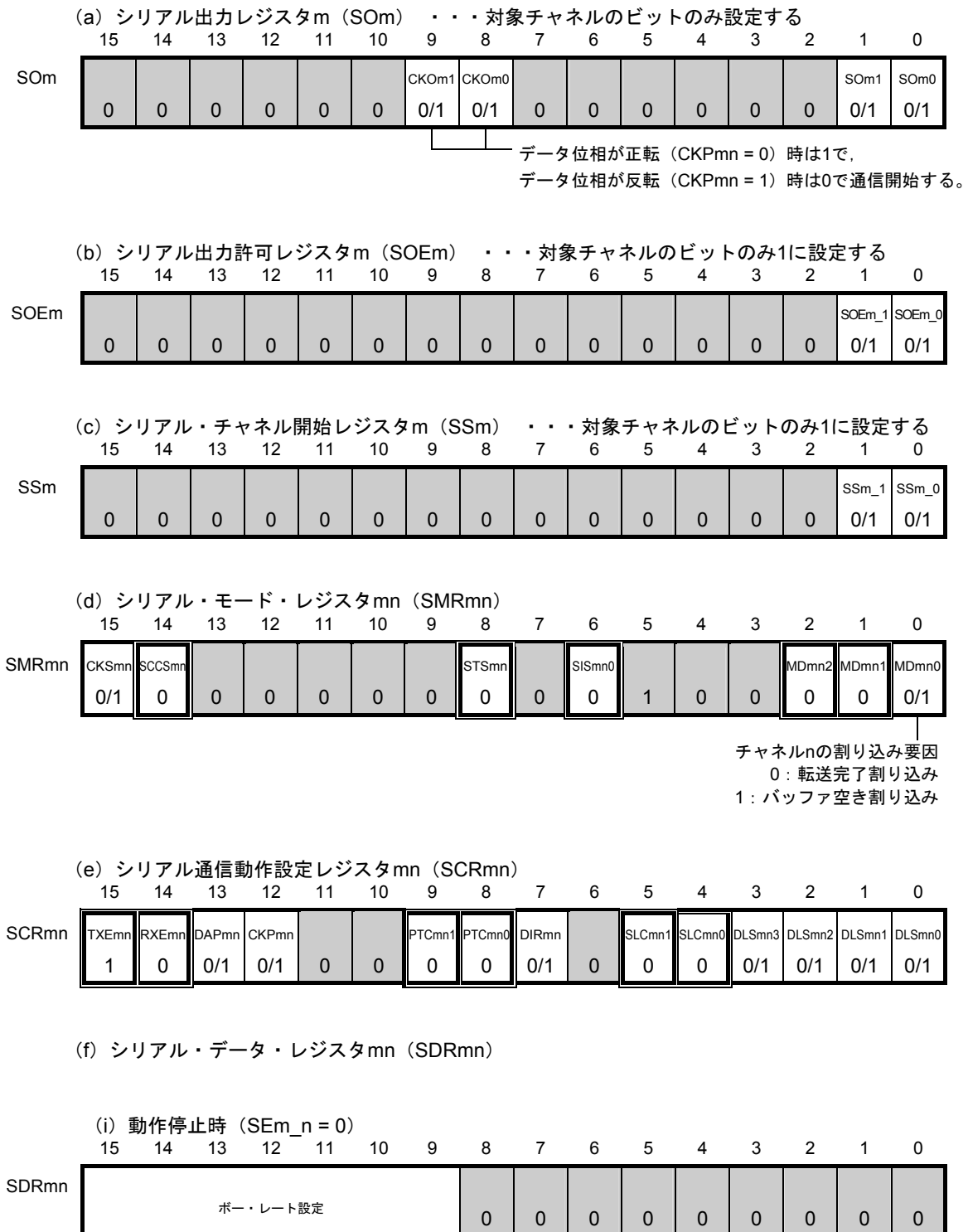
マスタ送信とは、この78K0R/Hx3が転送クロックを出力し、78K0R/Hx3から他デバイスへデータを送信する動作です。

SPI機能	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	7～16ビット	
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数	
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合 : 正転 ・ CKPmn = 1の場合 : 反転 	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

図11-76 SPI機能 (CSI00, CSI01) のマスタ送信時のレジスタ設定内容例 (1/2)

備考 m : ユニット番号 ($m = 0$) n : チャネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01$)

□ : CSIマスタ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

X : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-76 SPI機能 (CSI00, CSI01) のマスタ送信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

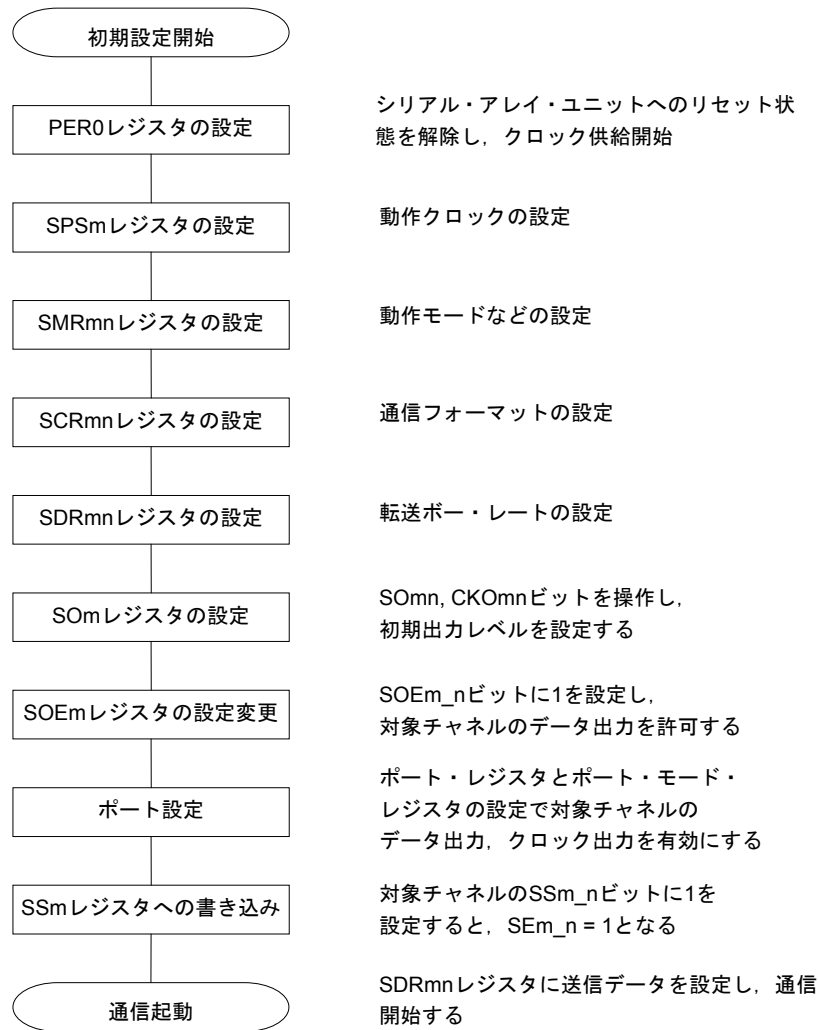
: CSIマスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

X : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

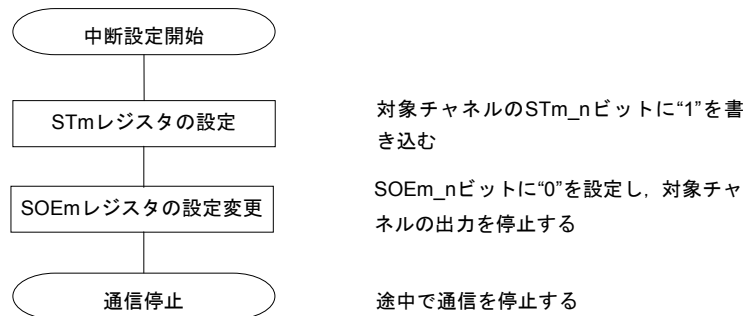
(2) 操作手順

図11-77 マスタ送信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

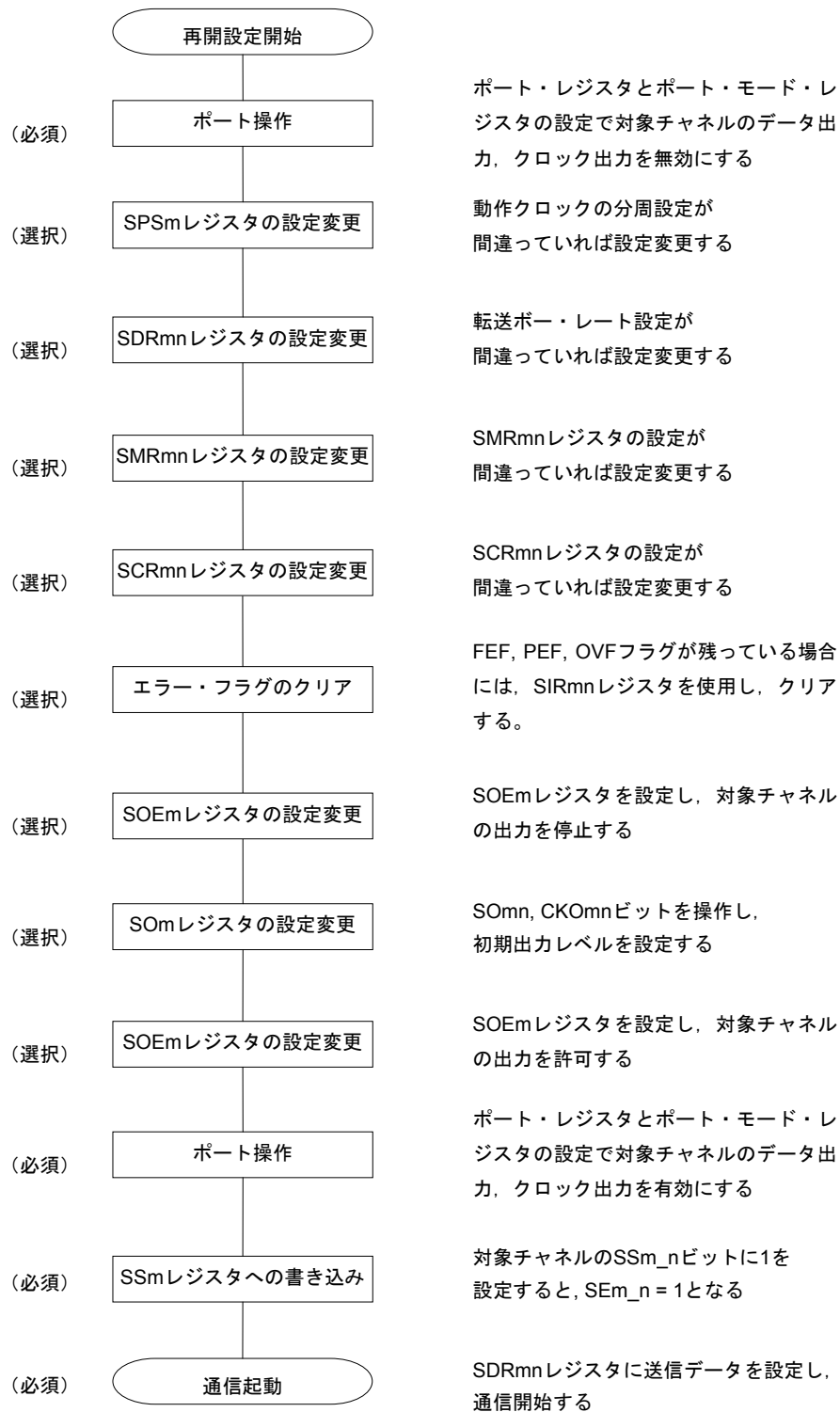
図11-78 マスタ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11-79 マスタ送信の再開設定手順参照）。

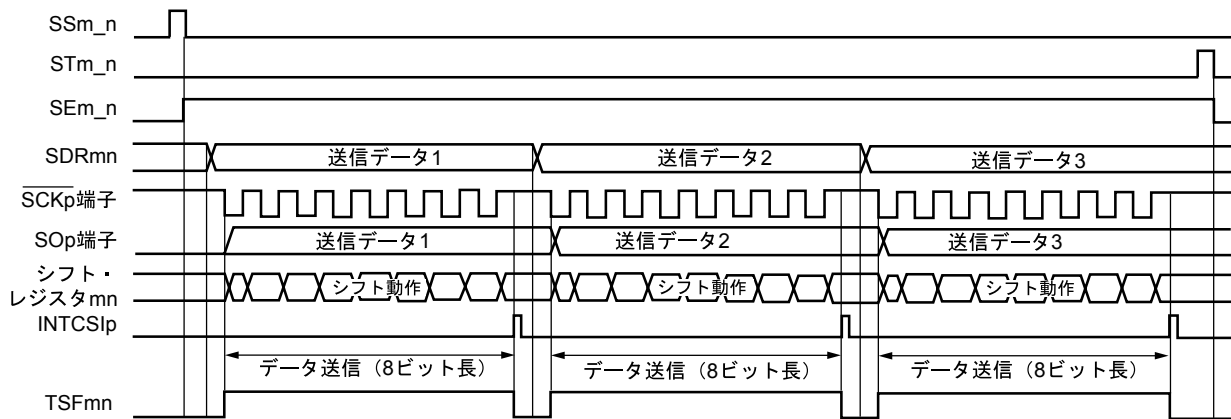
2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

図11-79 マスタ送信の再開設定手順



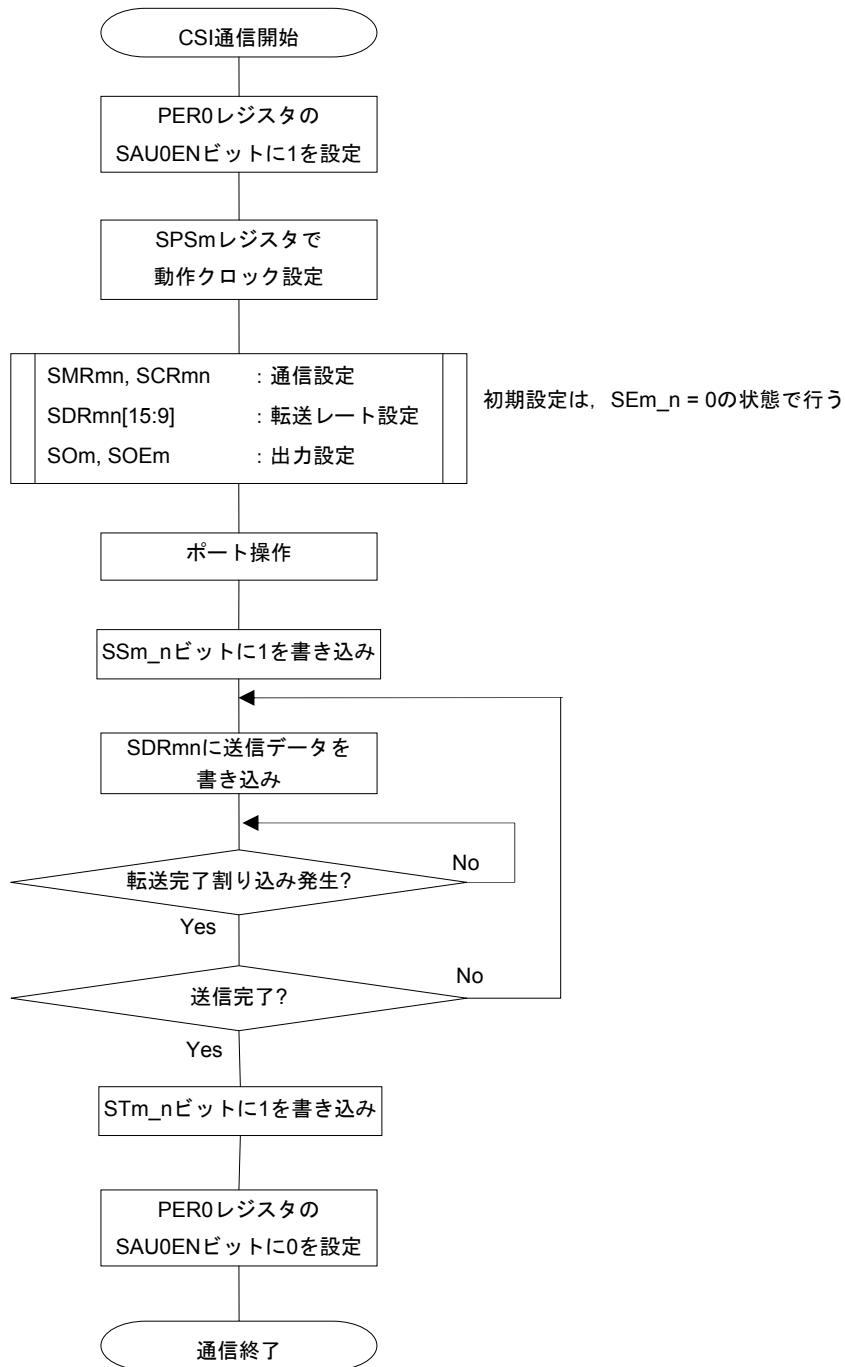
(3) 処理フロー（シングル送信モード時）

図11-80 マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

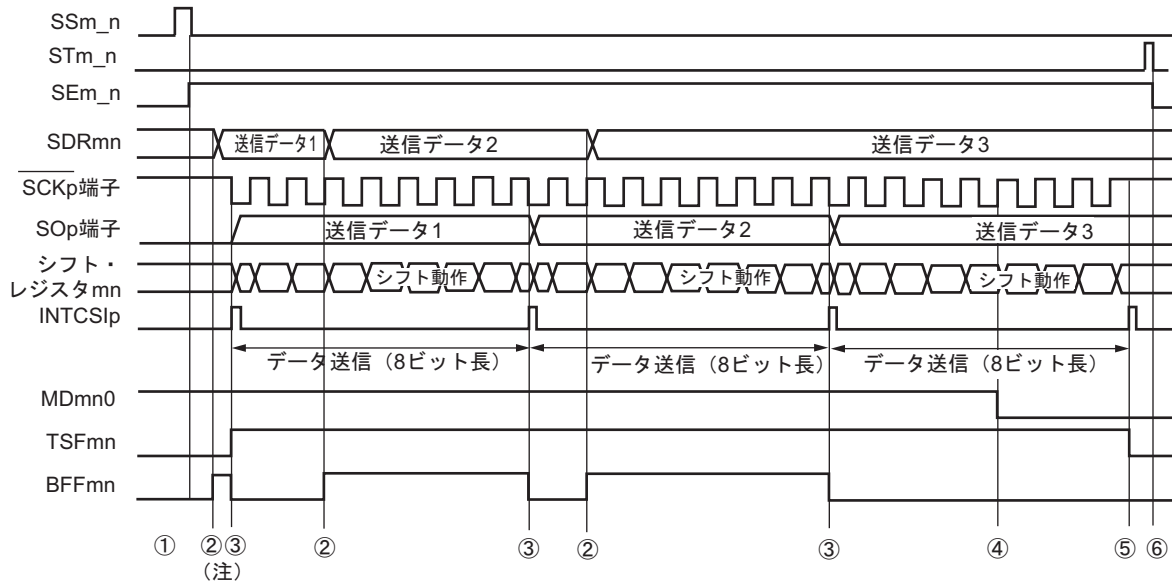
図11-81 マスタ送信（シングル送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11-82 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



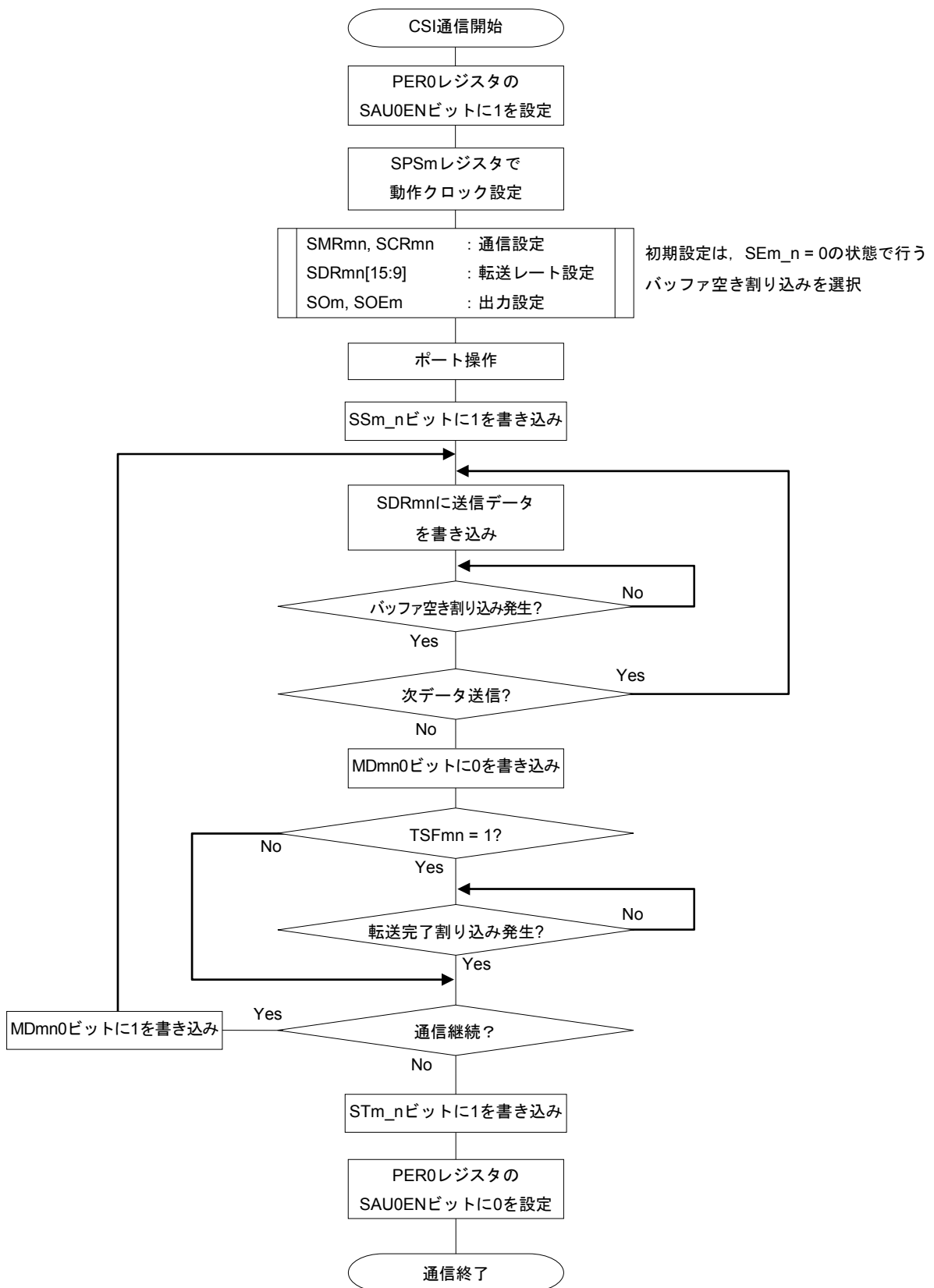
注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

図11-83 マスタ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-82 マスタ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.6.2 マスタ受信

マスタ受信とは、この78K0R/Hx3が転送クロックを出力し、78K0R/Hx3が他デバイスからデータを受信する動作です。

SPI機能	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7～16ビット	
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] 注 f_{CLK} : システム・クロック周波数	
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ入力を開始 	
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合 : 正転 ・ CKPmn = 1の場合 : 反転 	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

図11-84 SPI機能 (CSI00, CSI01) のマスタ受信時のレジスタ設定内容例 (1/2)

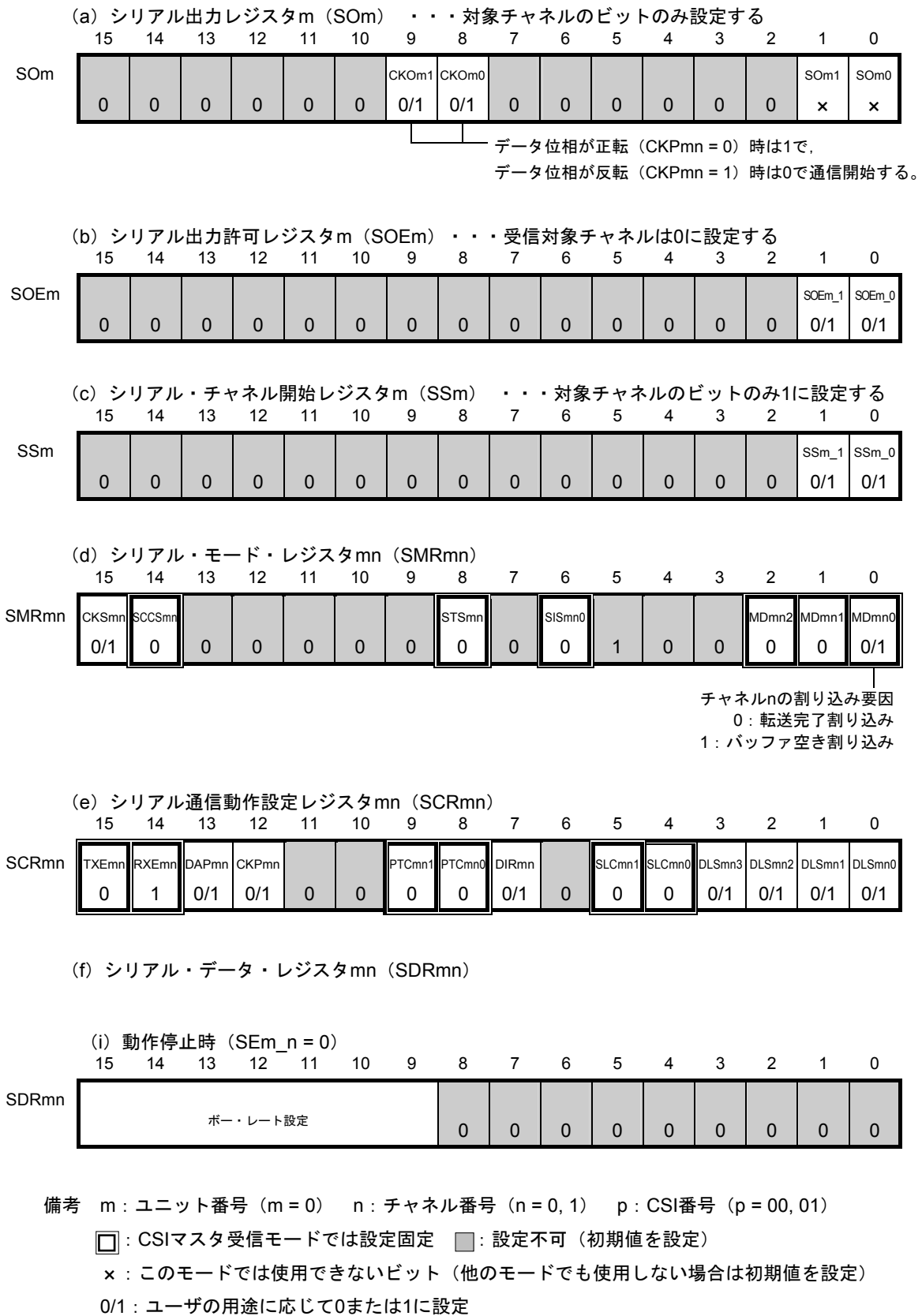
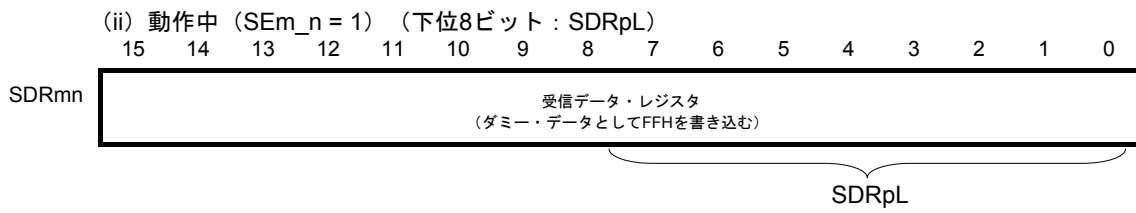


図11-84 SPI機能 (CSI00, CSI01) のマスタ受信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

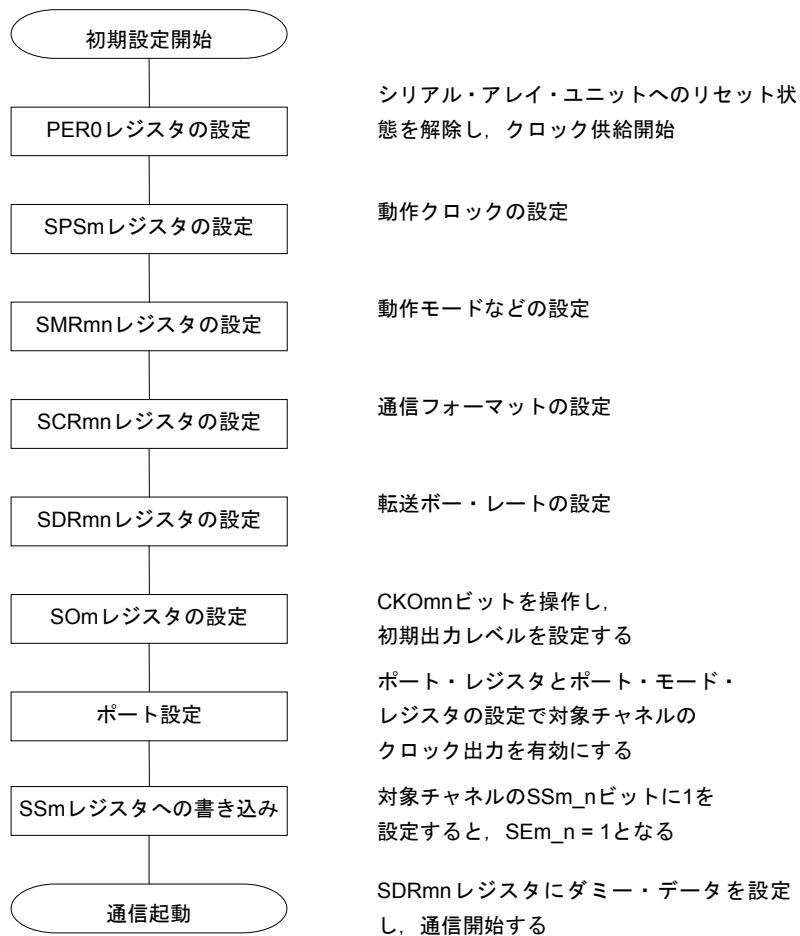
: CSIマスタ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

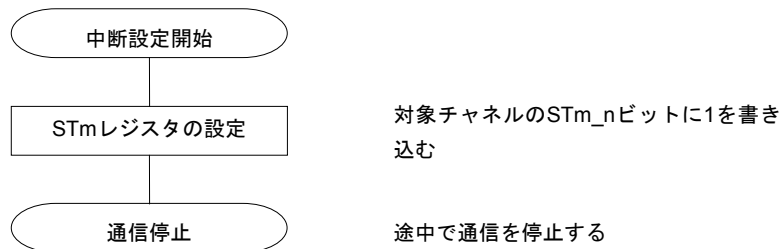
(2) 操作手順

図11-85 マスタ受信の初期設定手順



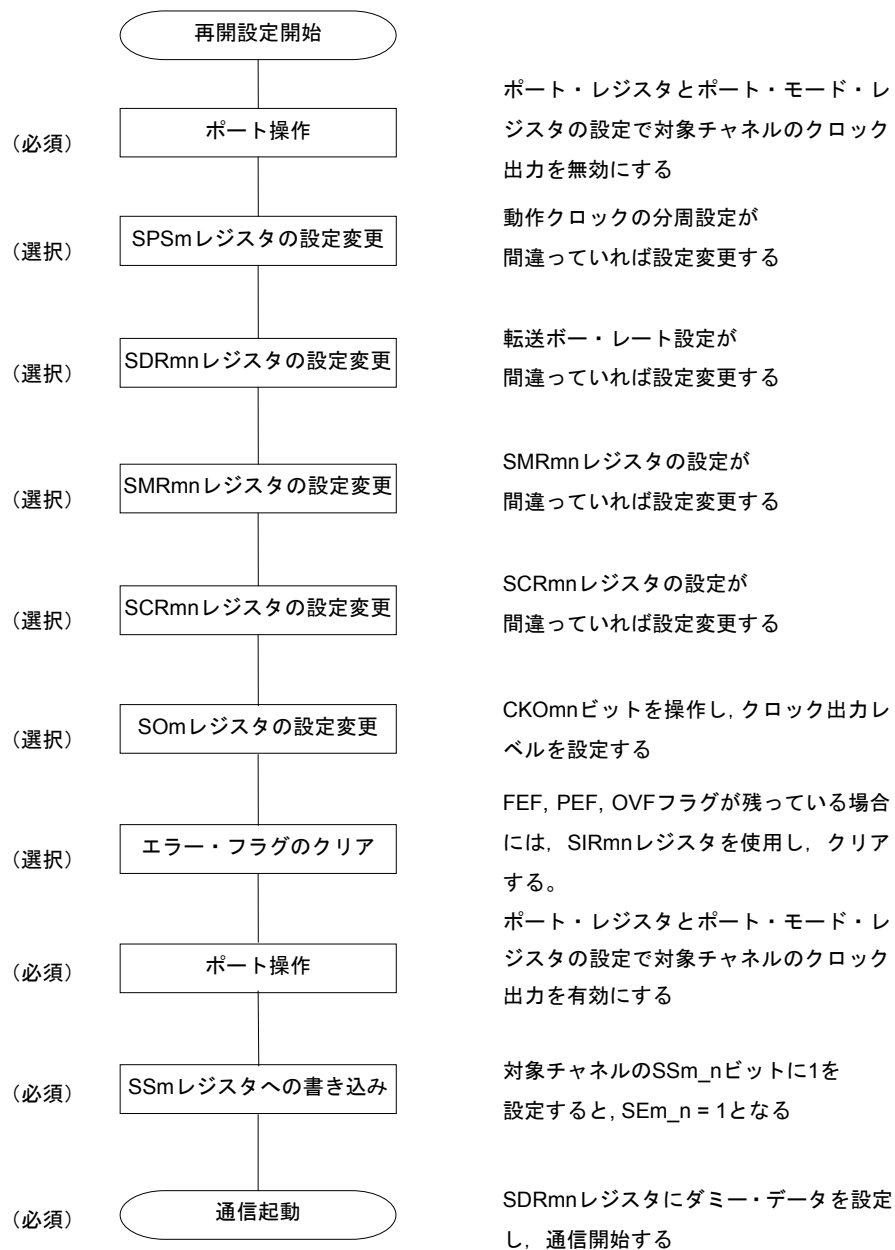
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-86 マスタ受信の中断手順



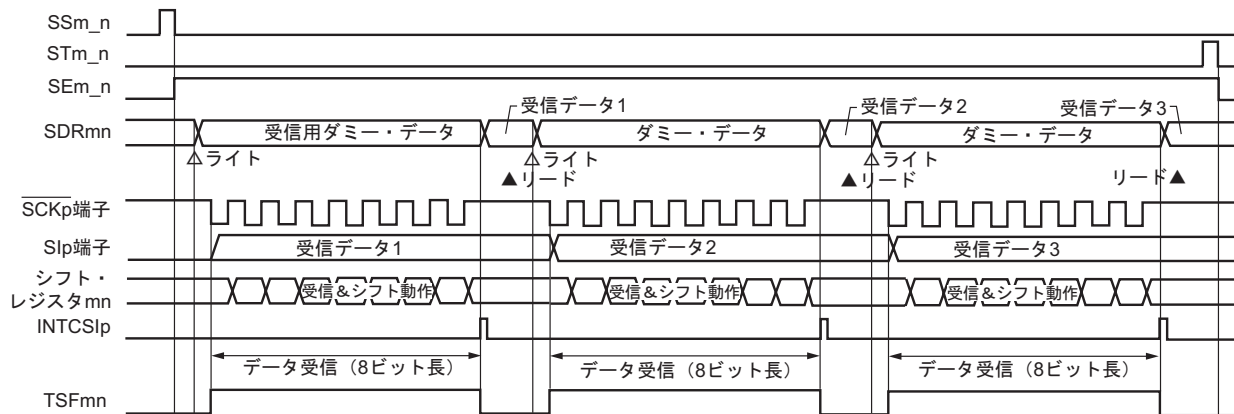
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11-87 マスタ受信の再開設定手順参照)。

図11-87 マスタ受信の再開設定手順



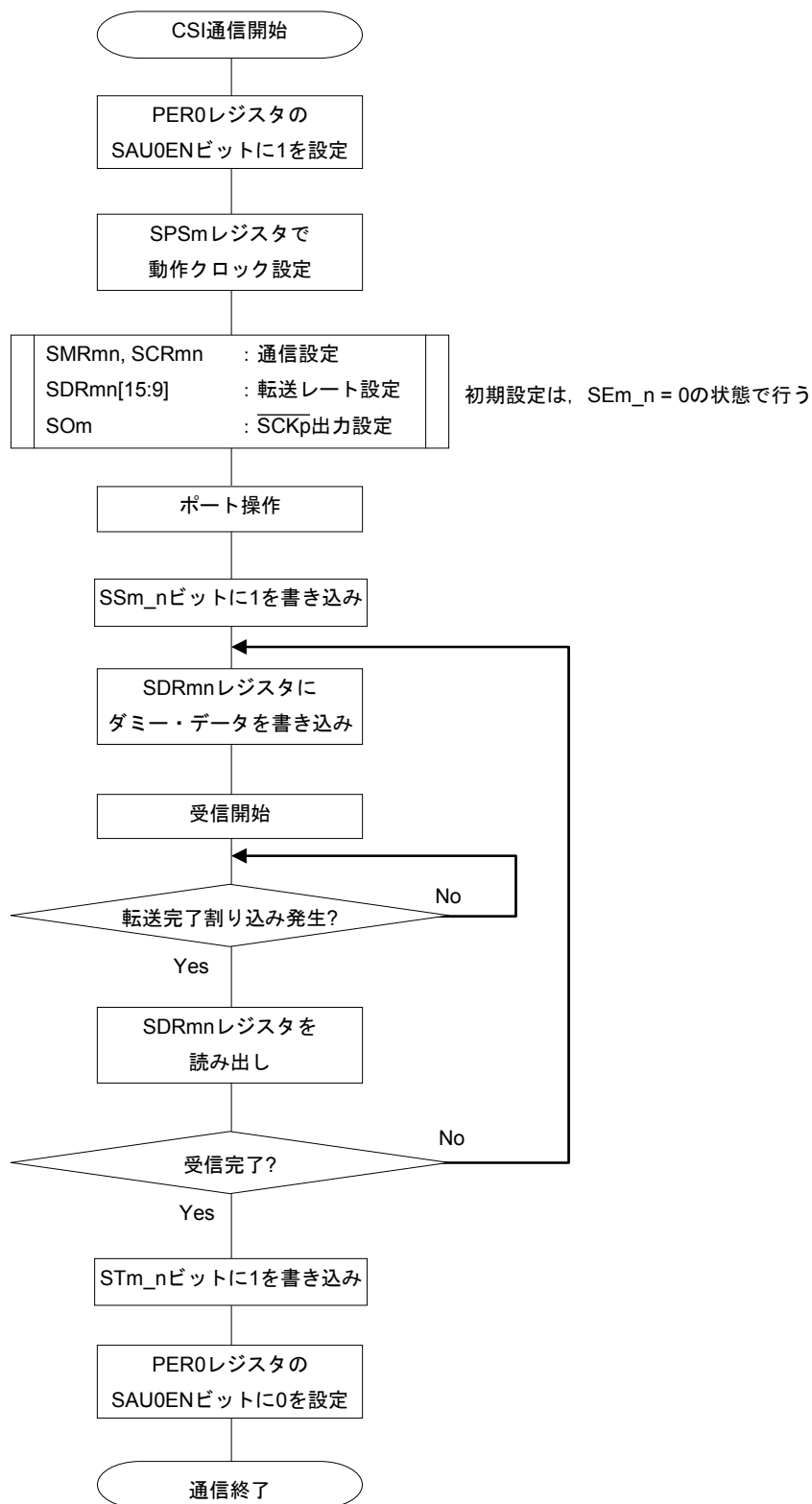
(3) 処理フロー（シングル受信モード時）

図11-88 マスタ受信時（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

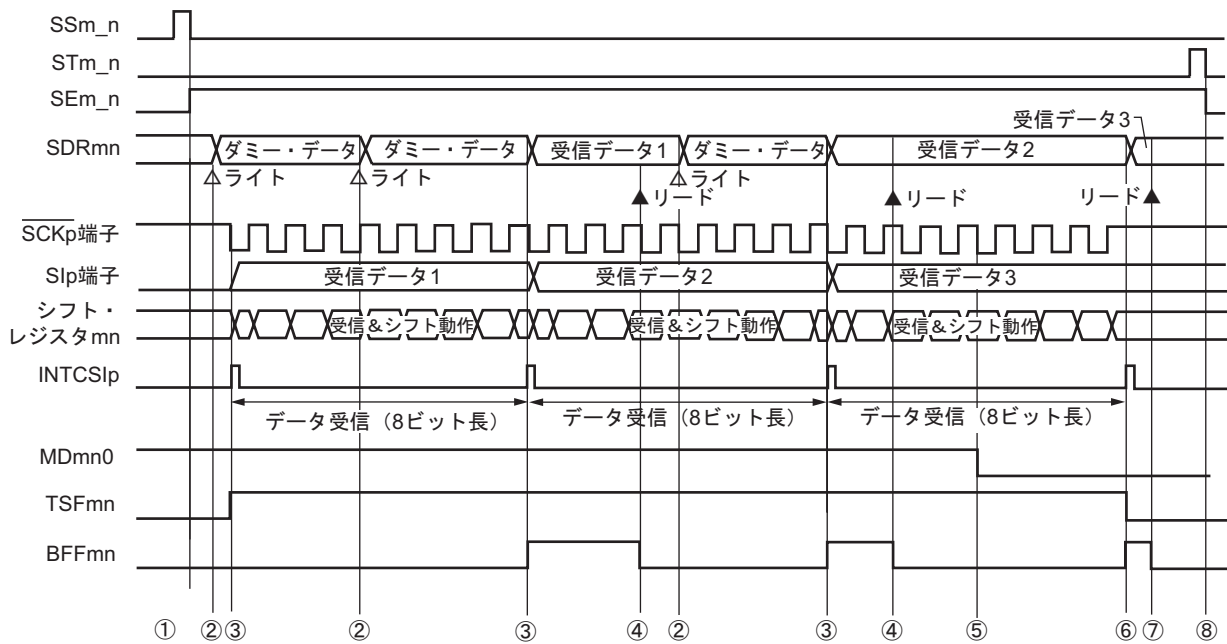
図11-89 マスタ受信（シングル受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続受信モード時）

図11-90 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



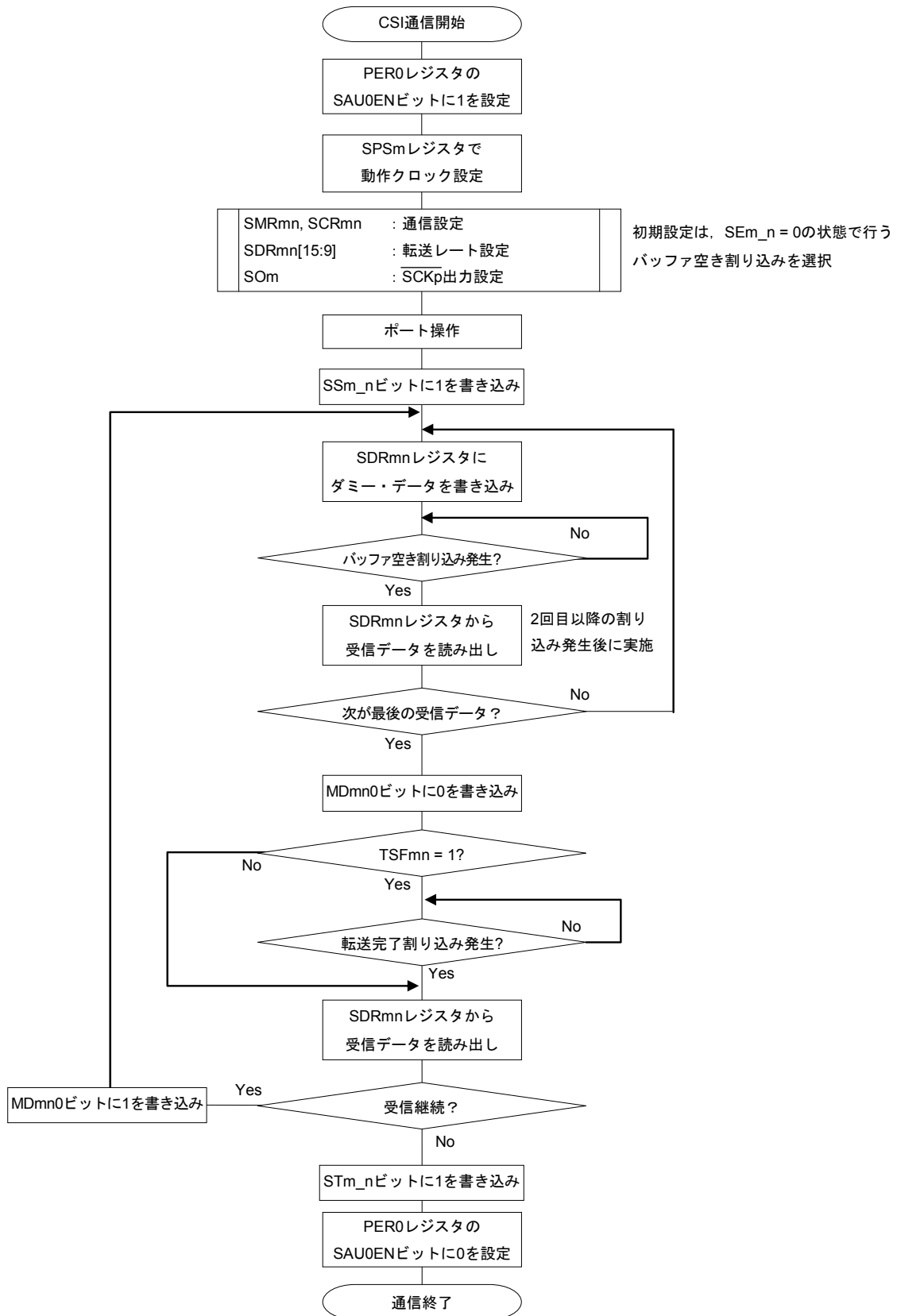
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の ~ は、図11-91 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

図11-91 マスタ受信（連続受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-90 マスタ受信（連続受信モード時）のタイミング・チャートの ~ に対応しています。

11.6.3 マスタ送受信

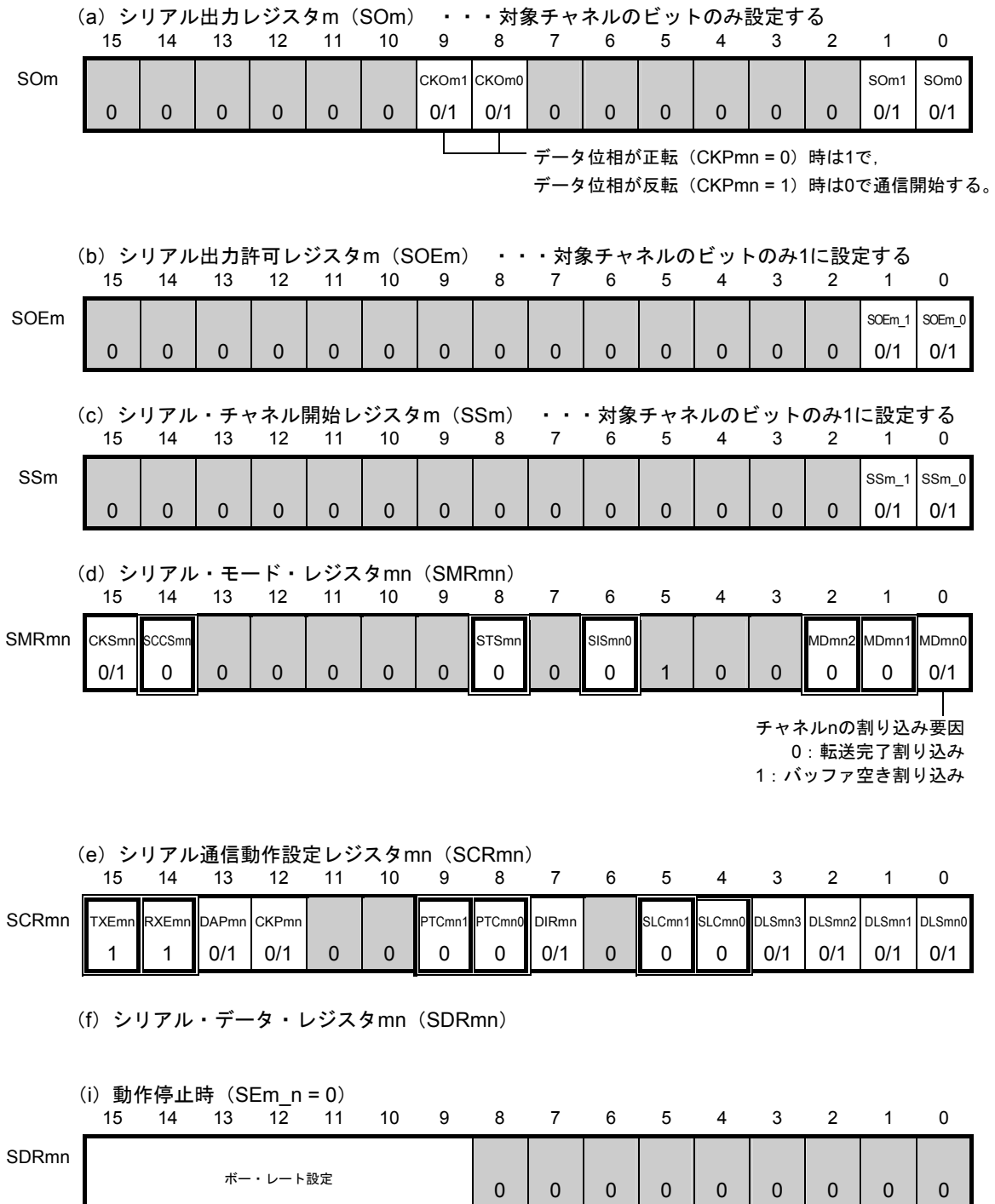
マスタ送受信とは、この78K0R/Hx3が転送クロックを出力し、78K0R/Hx3と他デバイスでデータを送受信する動作です。

SPI機能	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	INTCSI01
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7～16ビット	
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] 注 f_{CLK} : システム・クロック周波数	
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

(1) レジスタ設定

図 11-92 SPI機能 (CSI00, CSI01) のマスタ送受信時のレジスタ設定内容例 (1/2)

備考 m : ユニット番号 ($m = 0$) n : チャネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01$)

□ : CSIマスタ送受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-92 SPI機能 (CSI00, CSI01) のマスタ送受信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

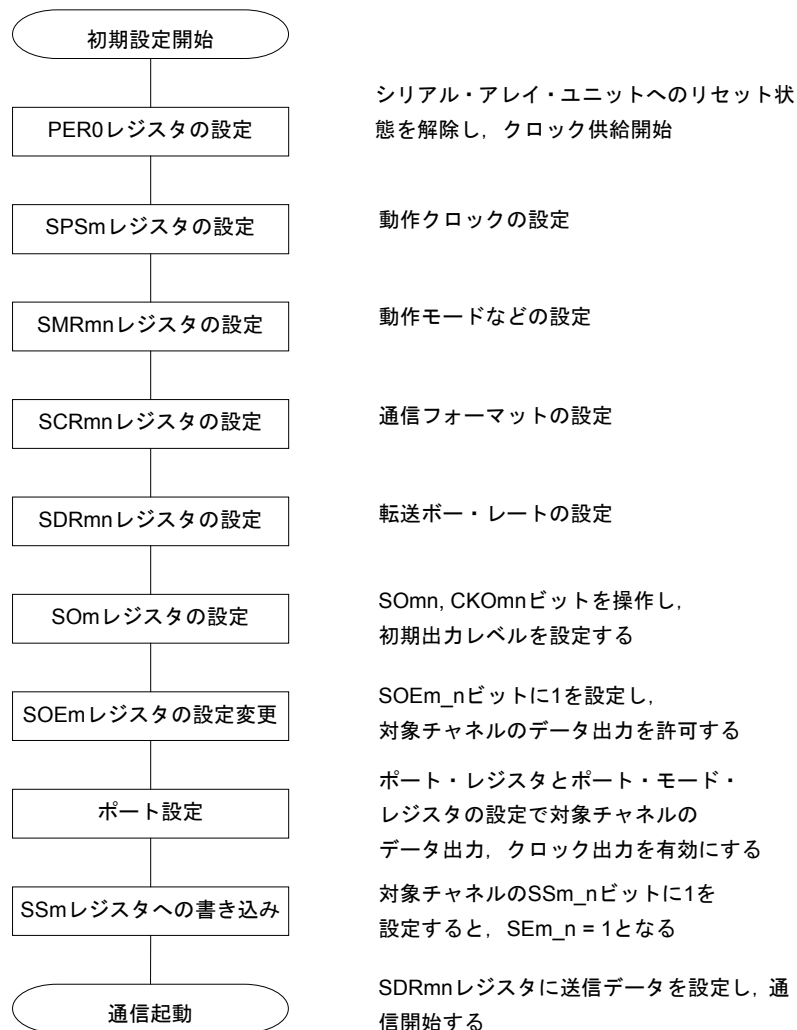
: CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

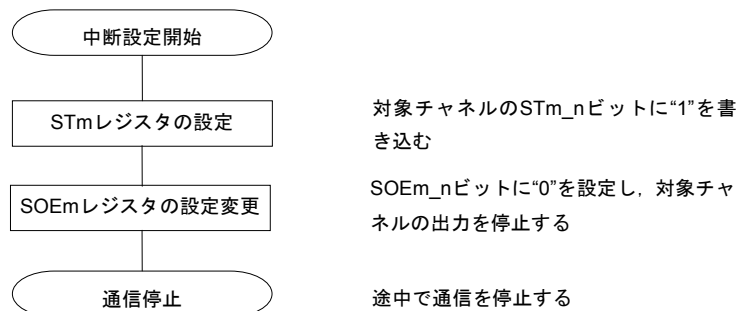
(2) 操作手順

図11-93 マスタ送受信の初期設定手順



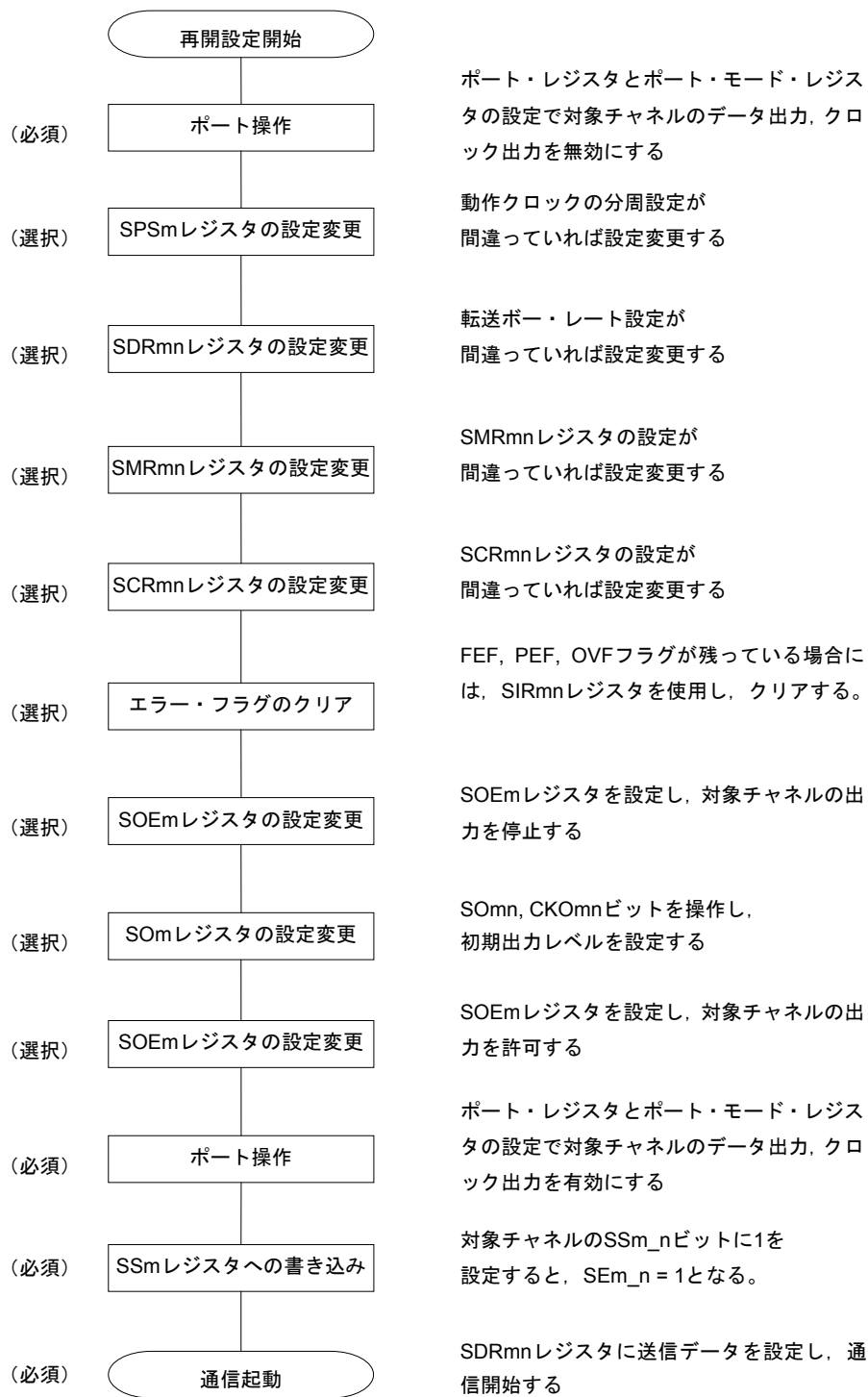
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-94 マスタ送受信の中断手順



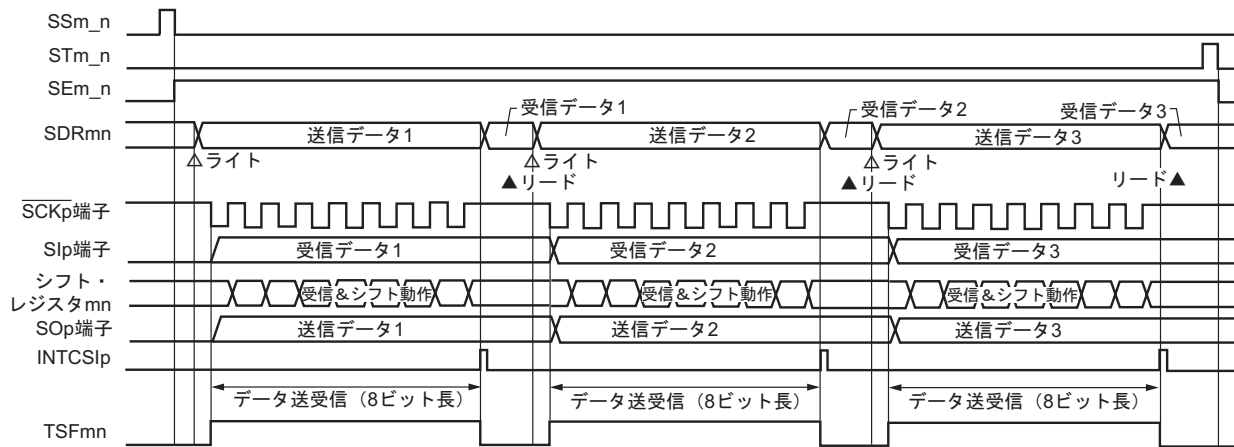
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOMレジスタを再設定してください (図11-95 マスタ送受信の再開設定手順参照)。

図11-95 マスタ送受信の再開設定手順



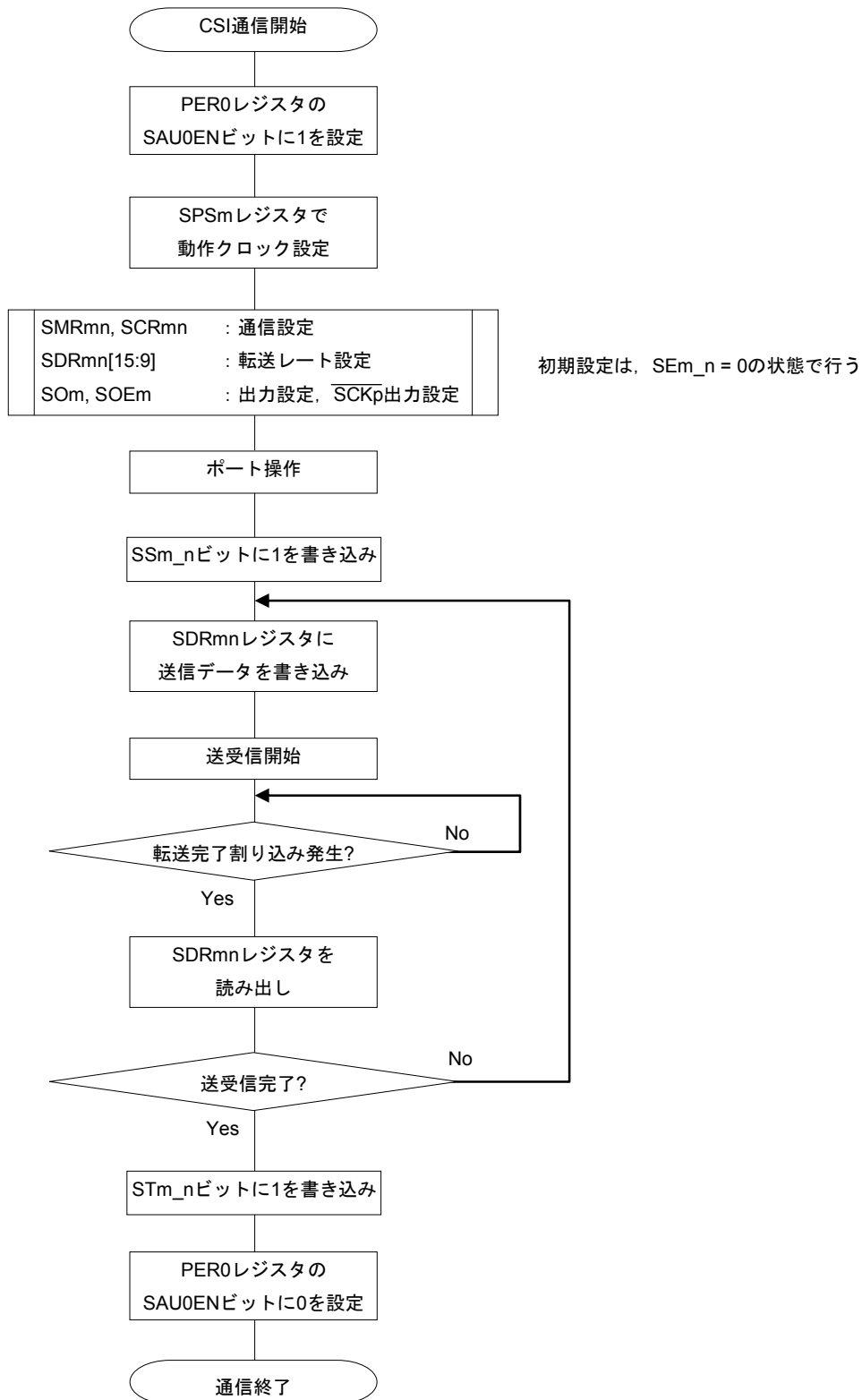
(3) 処理フロー（シングル送受信モード時）

図 11-96 マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

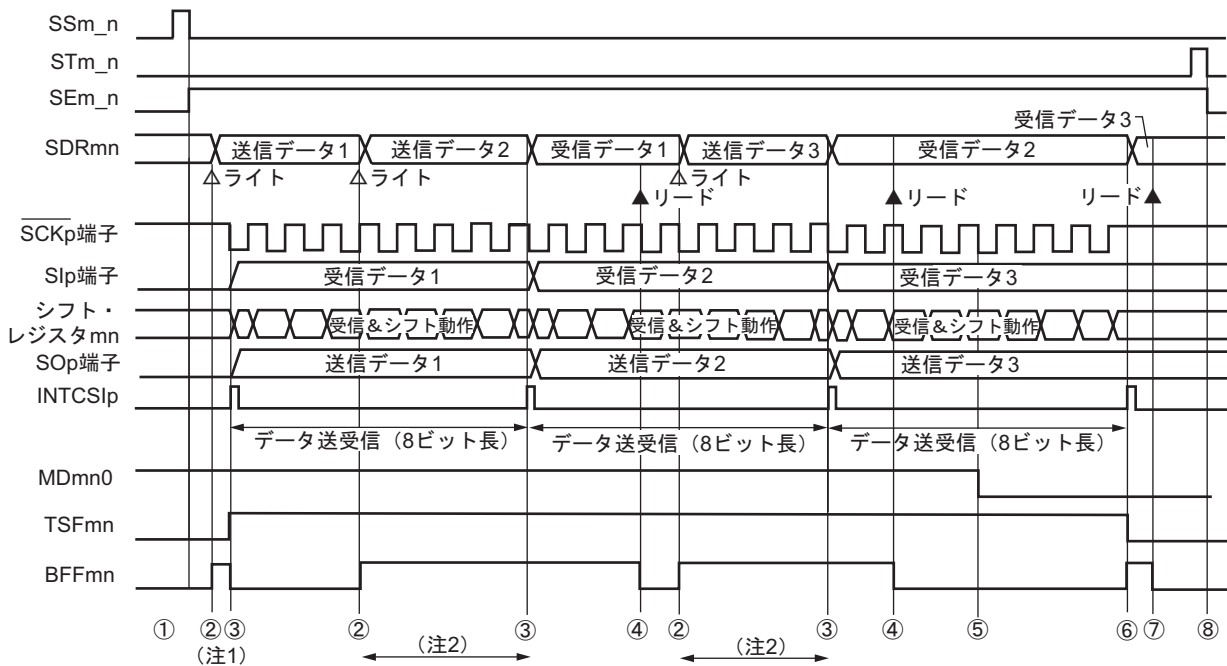
図11-97 マスタ送受信（シングル送受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送受信モード時）

図11-98 マスタ送受信（連続送受信モード時）のタイミング・チャート



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

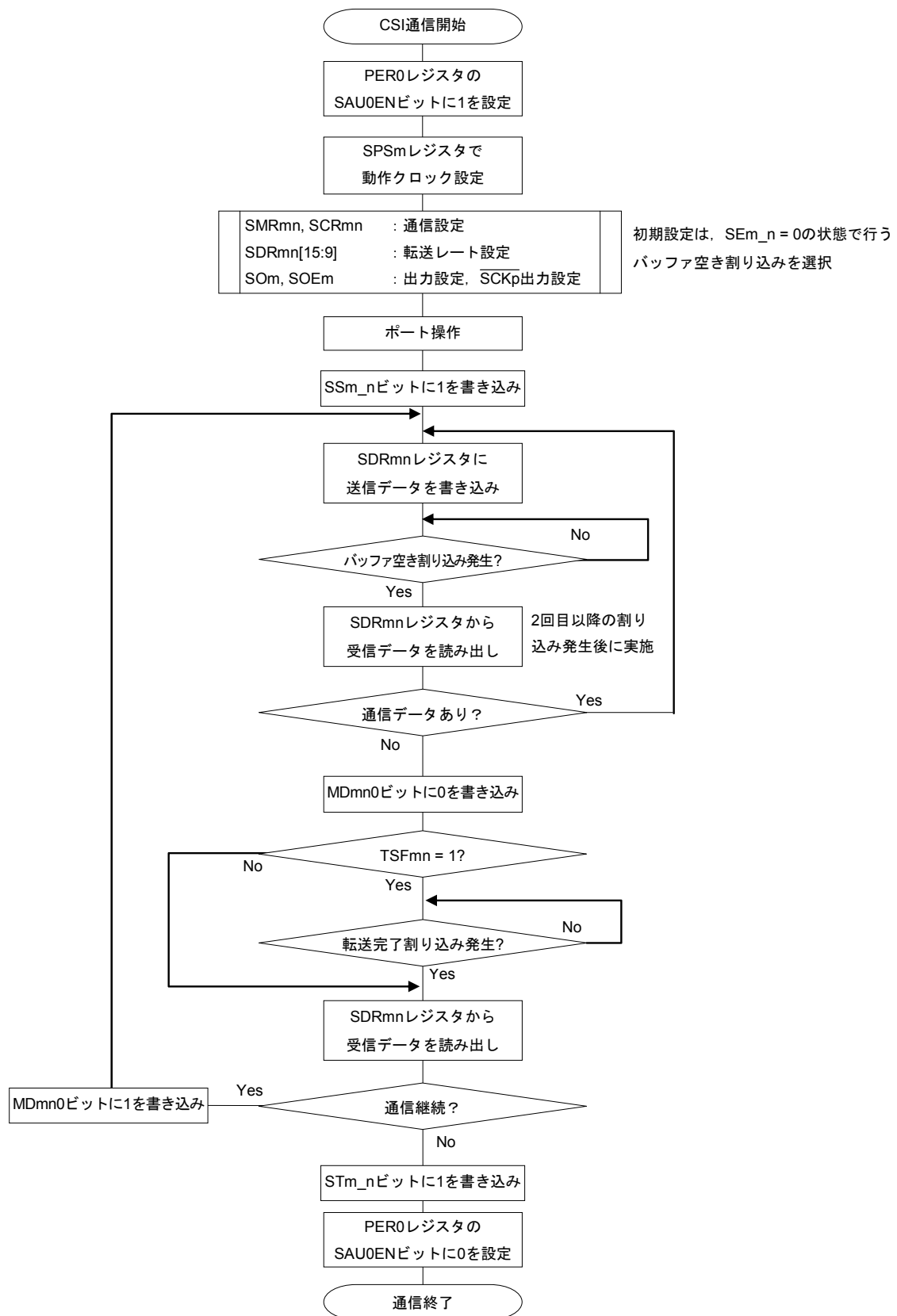
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図11-99 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

図11-99 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-98 マスタ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

11.6.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/Hx3から他デバイスへデータを送信する動作です。

SPI機能	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SO00, SSI00	SCK01, SO01, SSI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7～16ビット	
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2	
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 	
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	
SPI機能	スレーブ・セレクト機能の動作を選択可能	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

2. この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図11-100 SPI機能CSI00, CSI01)のスレーブ送信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタm (SOm) . . . 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1	CKOm0							SOm1	SOm0
	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0/1	0/1

(b) シリアル出力許可レジスタm (SOEm) . . . 対象チャンネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm_1	SOEm_0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャンネル開始レジスタm (SSm) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm_1	SSm_0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタmn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	SCCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの割り込み要因
0 : 転送完了割り込み
1 : バッファ空き割り込み

(e) シリアル通信動作設定レジスタmn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn			PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0	DLSmn3	DLSmn2	DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・データ・レジスタmn (SDRmn)

(i) 動作停止時 (SEm_n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 (ポー・レート設定)															
								0	0	0	0	0	0	0	0	0

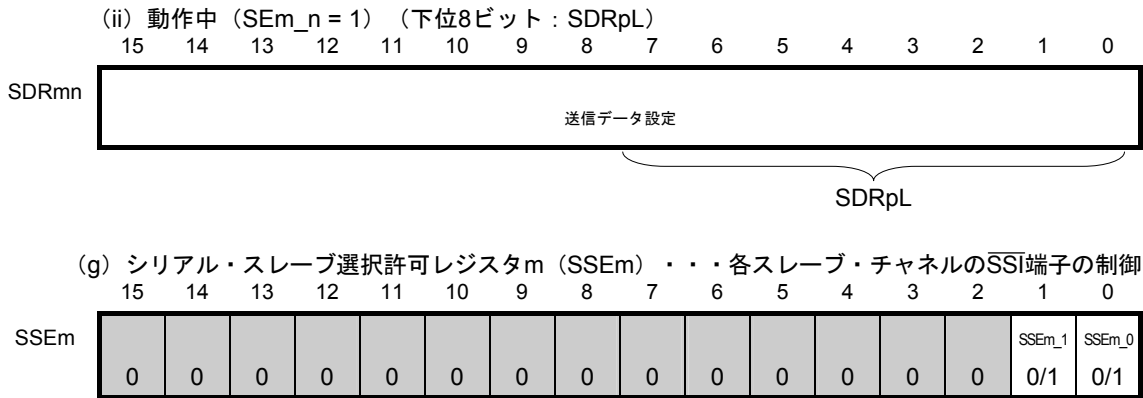
備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

□ : CSIスレーブ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-100 SPI機能 (CSI00, CSI01) のスレーブ送信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

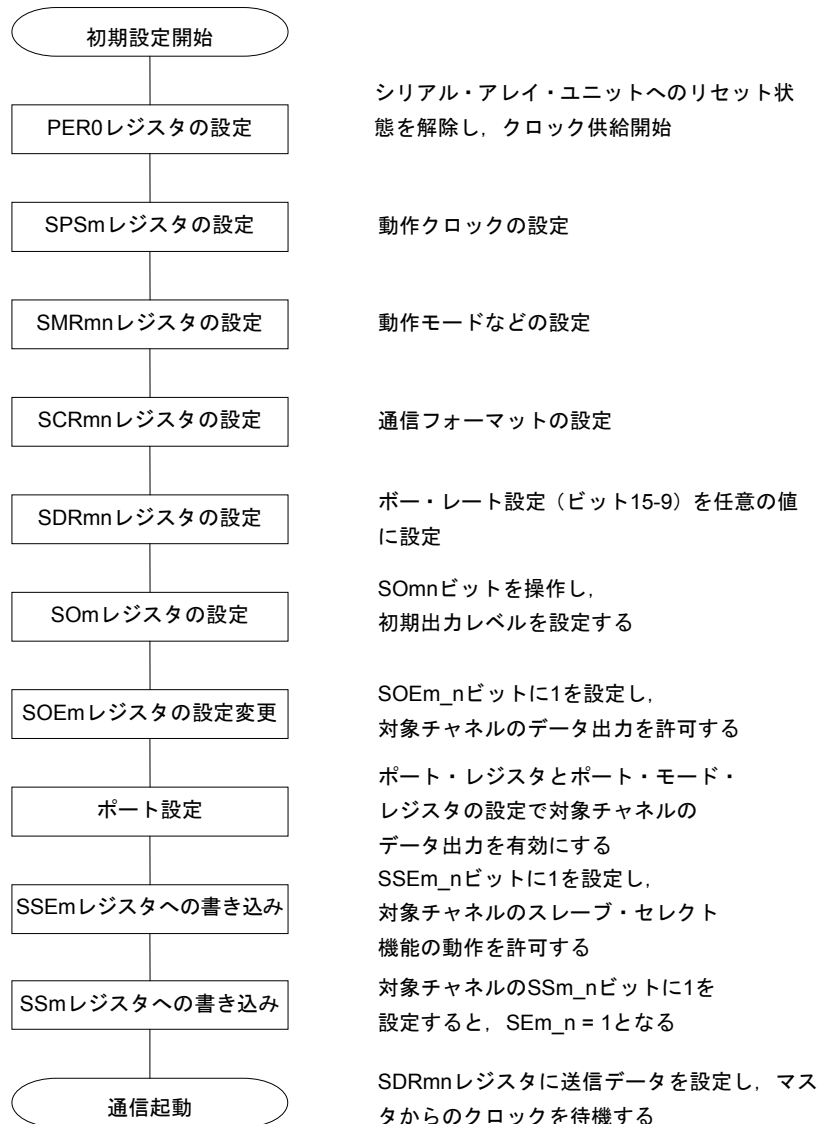
: CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

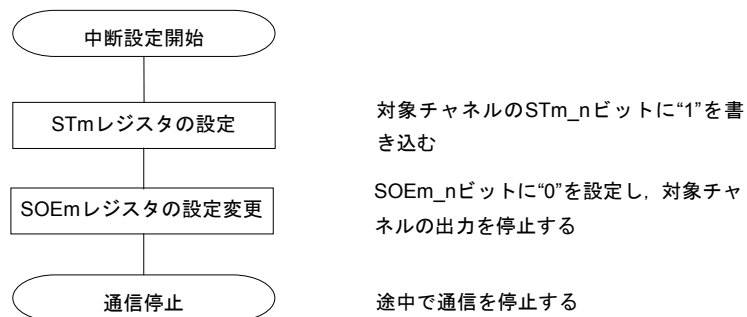
(2) 操作手順

図11-101 スレーブ送信の初期設定手順



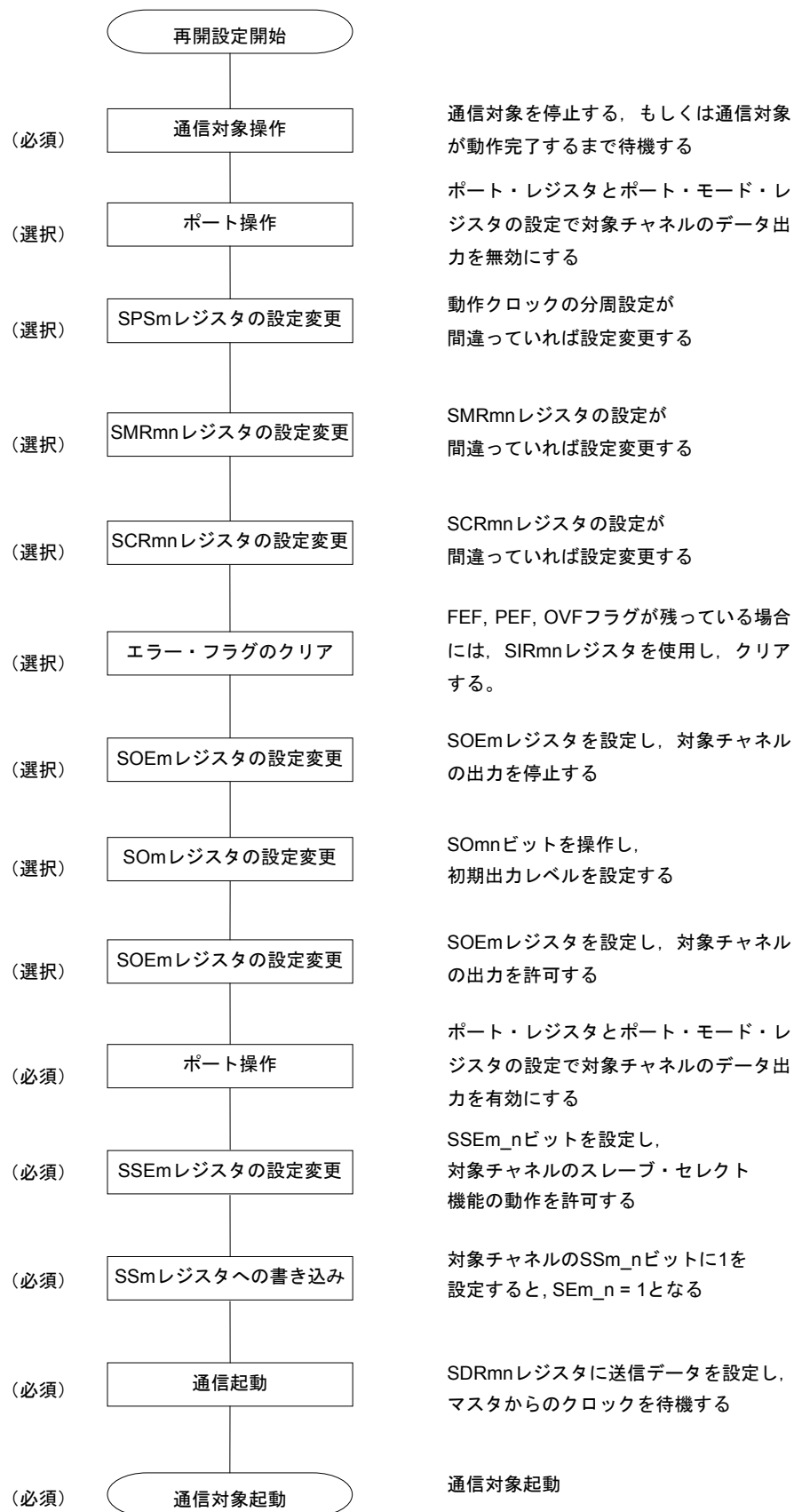
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-102 スレーブ送信の中断手順



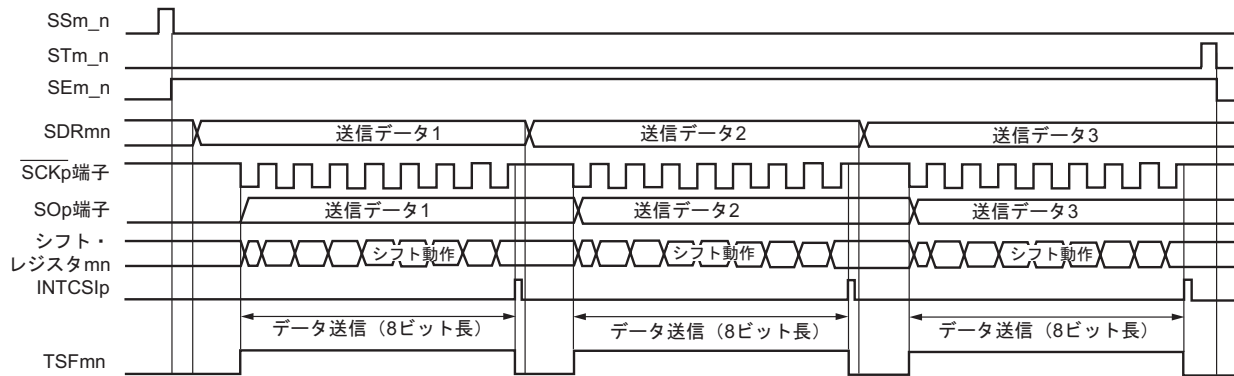
備考 中断後も端子レベルは保持されますので、動作を再開するにはSOmレジスタを再設定してください（図11-103 スレーブ送信の再開設定手順参照）。

図11-103 スレーブ送信の再開設定手順



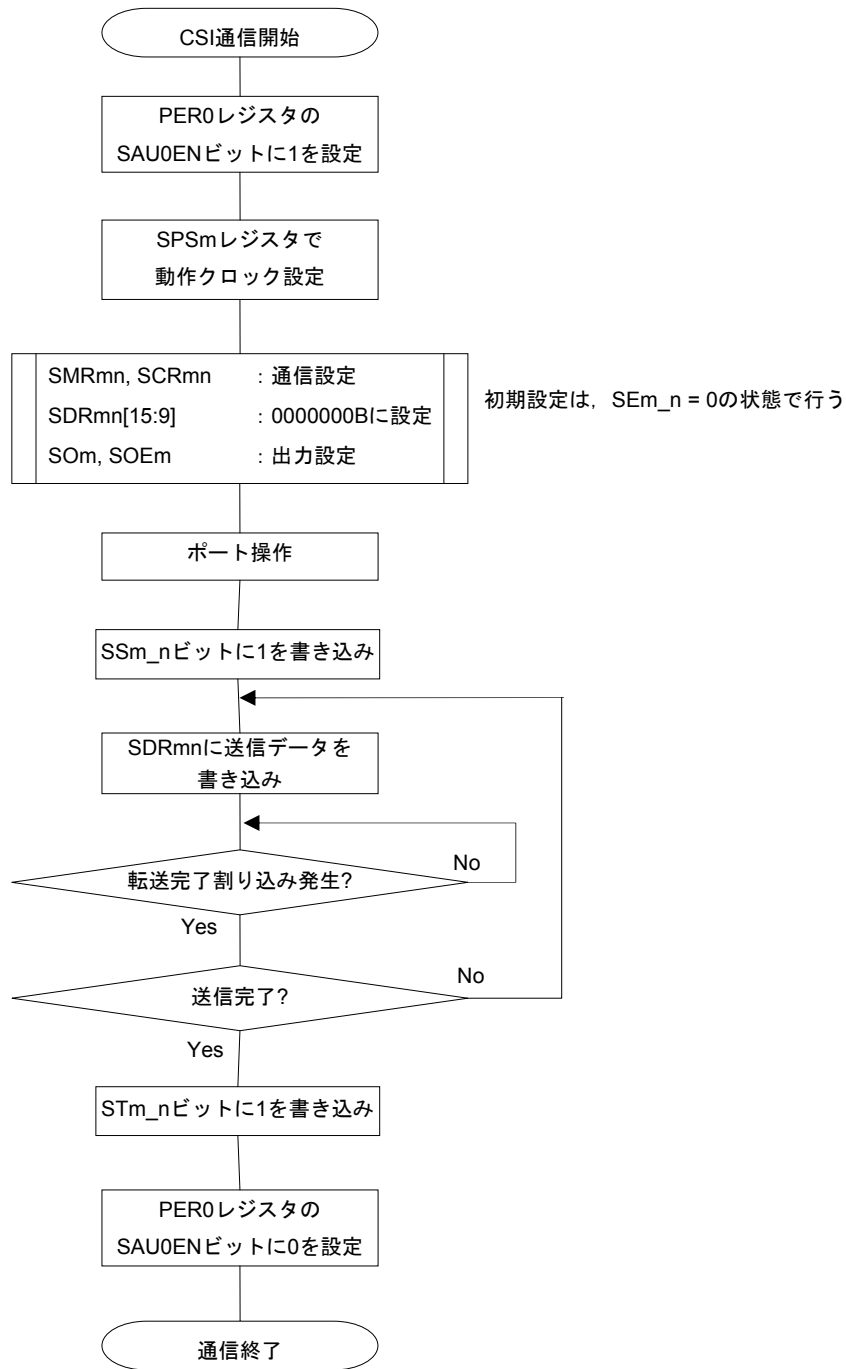
(3) 処理フロー（シングル送信モード時）

図11-104 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

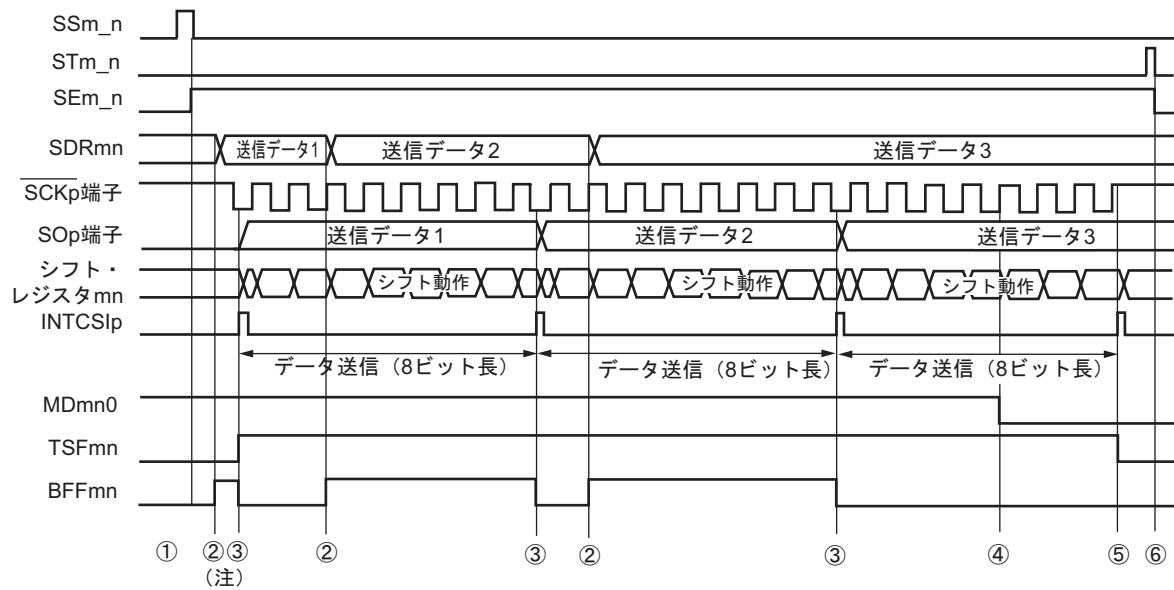
図11-105 スレーブ送信（シングル送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

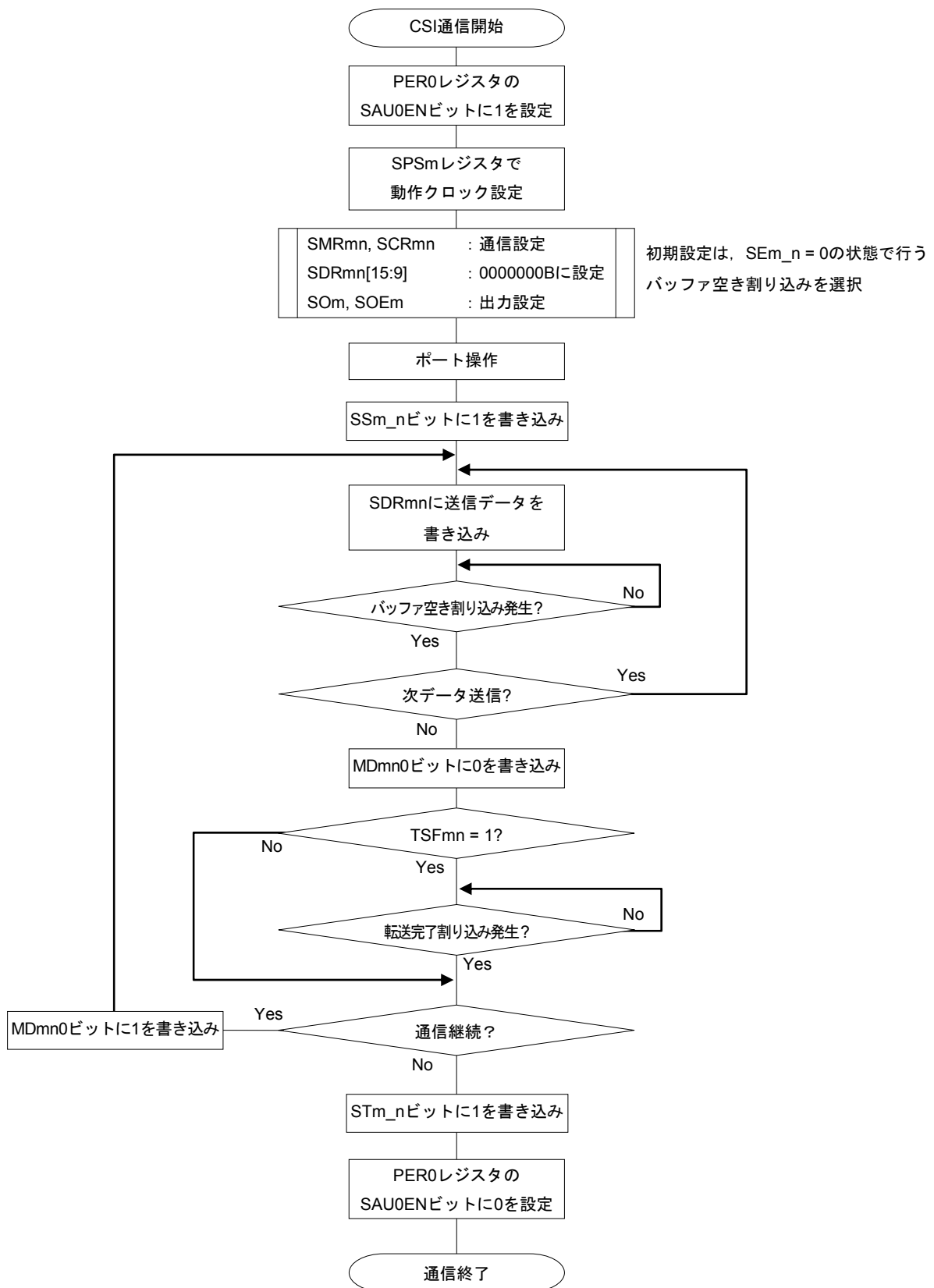
図11-106 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

図11-107 スレーブ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図11-106 スレーブ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.6.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Hx3が他デバイスからデータを受信する動作です。

SPI機能	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SSI00	SCK01, SI01, SSI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7～16ビット	
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2	
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 	
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 	
データ方向	MSBファーストまたはLSBファースト	
SPI機能	スレーブ・セレクト機能の動作を選択可能	

- 注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数
 f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図11-108 SPI機能 (CSI00, CSI01) のスレーブ受信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタ m (SO m) . . . このモードでは使用しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CKOm1	CKOm0							SO m 1	SO m 0
0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x

(b) シリアル出力許可レジスタ m (SOEm) . . . 受信対象チャンネルは0に設定する

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														SOEm_1	SOEm_0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャンネル開始レジスタ m (SS m) . . . 対象チャンネルのビットのみ1に設定する

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														SS m _1	SS m _0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタ mn (SMR mn)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKS mn	SCCS mn						STS mn		SIS mn 0				MD mn 2	MD mn 1	MD mn 0
0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

↑
チャンネル n の割り込み要因
0 : 転送完了割り込み

(e) シリアル通信動作設定レジスタ mn (SCR mn)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXEm n	RXEm n	DAP mn	CKP mn			PTC mn 1	PTC mn 0	DIR mn		SLC mn 1	SLC mn 0	DLS mn 3	DLS mn 2	DLS mn 1	DLS mn 0
0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・データ・レジスタ mn (SDR mn)

(i) 動作停止時 (SE m _ n = 0)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0000000 (ポー・レート設定)							0	0	0	0	0	0	0	0	0

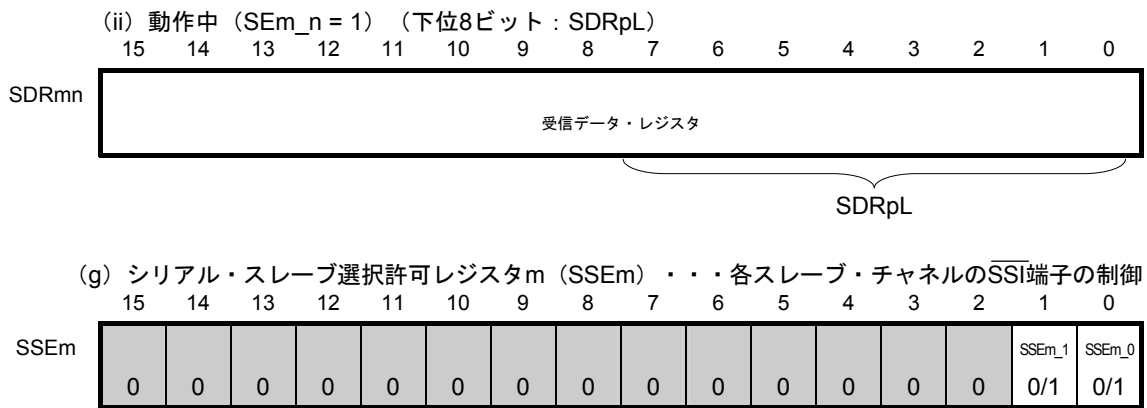
備考 m : ユニット番号 ($m = 0$) n : チャンネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01$)

□ : CSIスレーブ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-108 SPI機能 (CSI00, CSI01) のスレーブ受信時のレジスタ設定内容例 (2/2)



備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

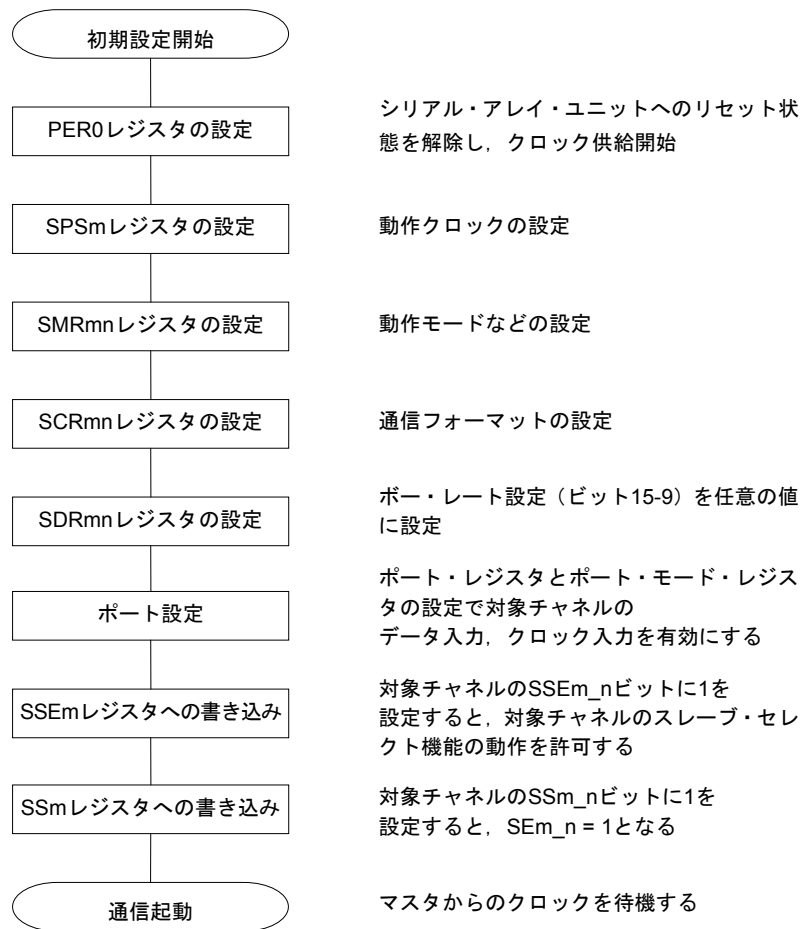
□ : CSIスレーブ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-109 スレーブ受信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11-110 スレーブ受信の中断手順

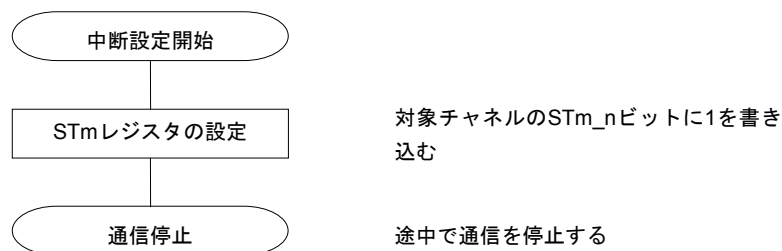
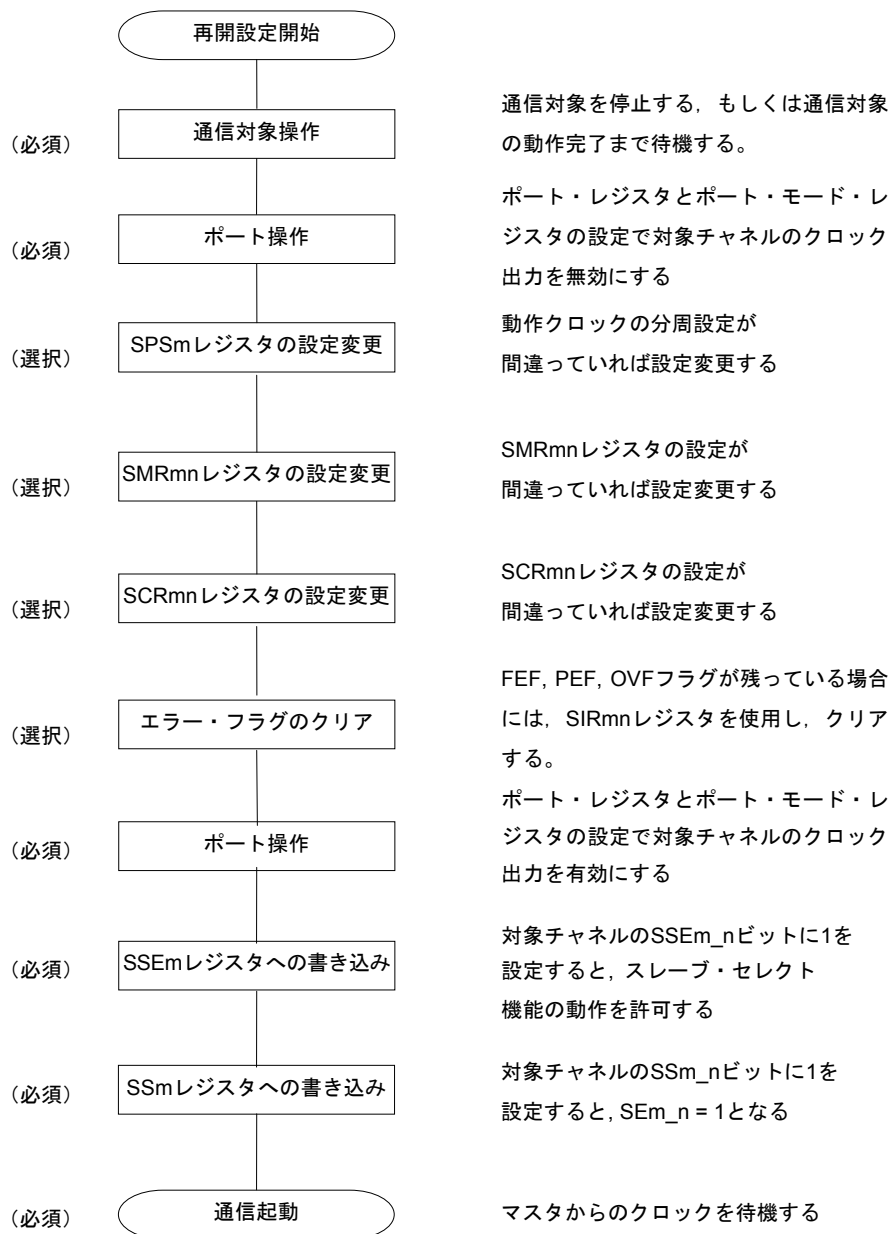
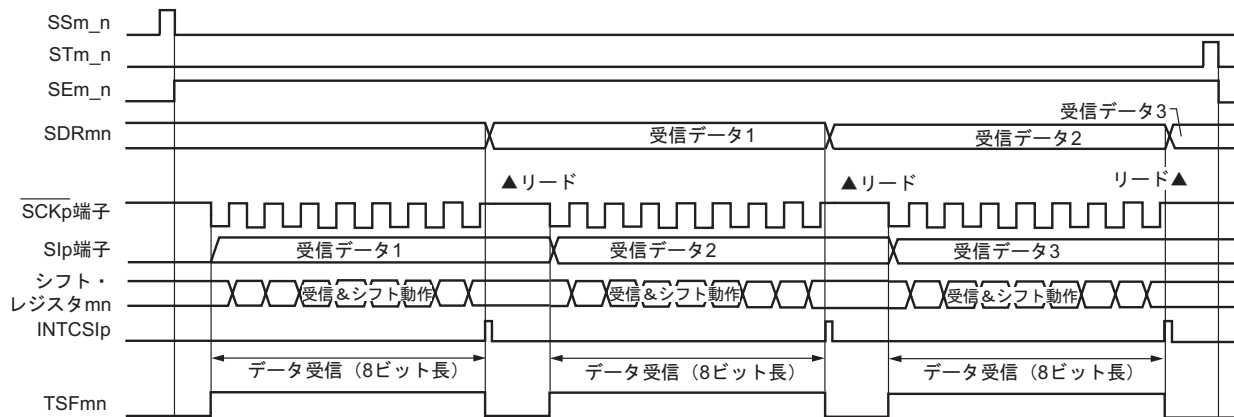


図11-111 スレーブ受信の再開設定手順



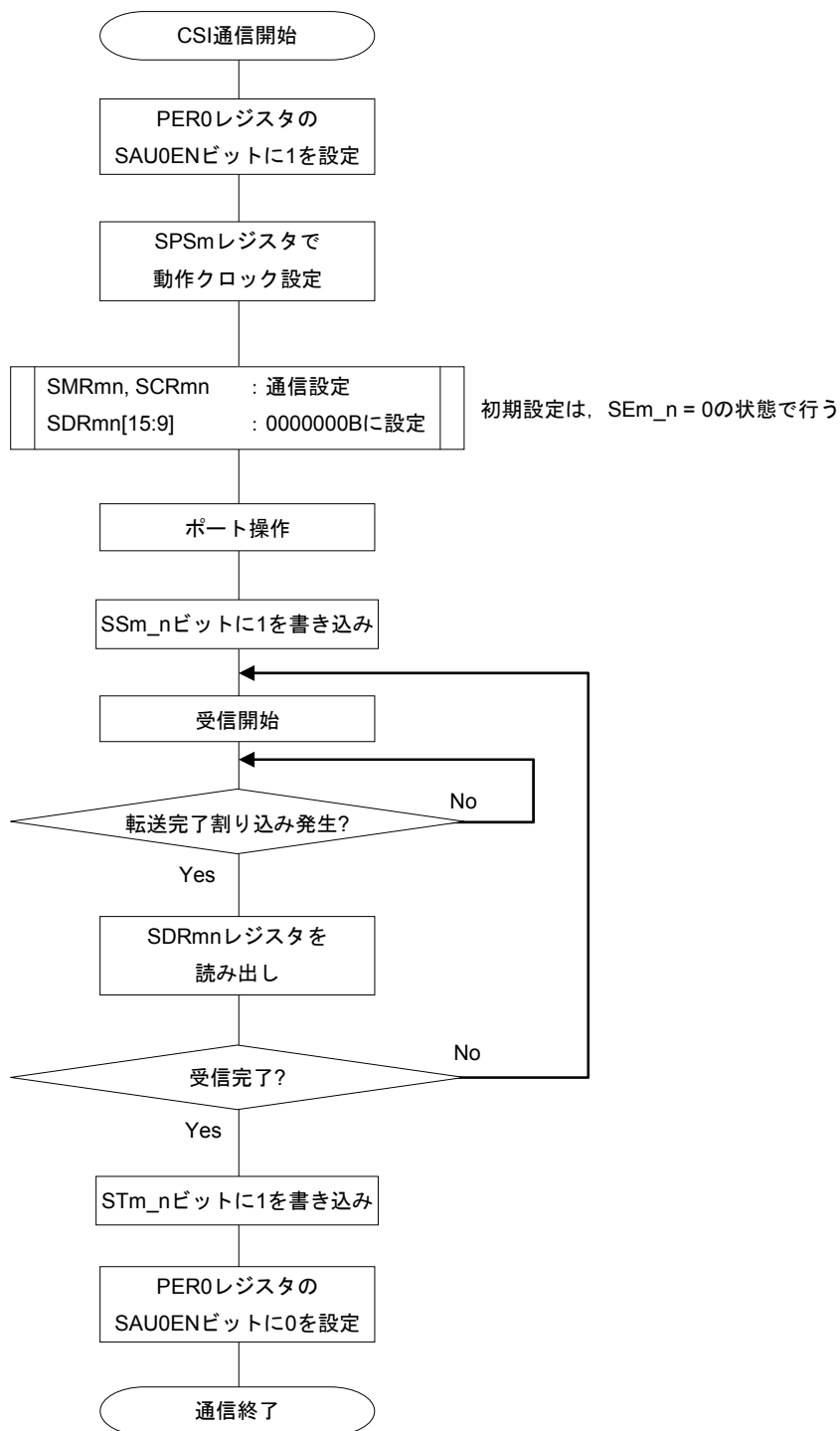
(3) 処理フロー（シングル受信モード時）

図11-112 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

図11-113 スレーブ受信（シングル受信モード時）のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.6.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Hx3と他デバイスでデータを送受信する動作です。

SPI機能	CSI00	CSI01
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1
使用端子	SCK00, SI00, SO00, SSI00	SCK01, SI01, SO01, SSI01
割り込み	INTCSI00 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	INTCSI01
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7～16ビット	
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2	
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	
SPI機能	スレーブ・セレクト機能の動作を選択可能	

注1. SCK00, SCK01端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

- この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図11-114 SPI機能 (CSI00, CSI01) のスレーブ送受信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタ m (SO m) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO m							CKOm1	CKOm0							SO m 1	SO m 0
	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0/1	0/1

(b) シリアル出力許可レジスタ m (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm_1	SOEm_0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャネル開始レジスタ m (SS m) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS m															SS m _1	SS m _0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタ mn (SMR mn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn	ISCCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネル n の割り込み要因
0 : 転送完了割り込み
1 : バッファ空き割り込み

(e) シリアル通信動作設定レジスタ mn (SCR mn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn	RXEmn	DAPmn	CKPmn			PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0	DLSmn3	DLSmn2	DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・データ・レジスタ mn (SDR mn)

(i) 動作停止時 (SE m_n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDR mn	0000000 (ポー・レート設定)																
								0	0	0	0	0	0	0	0	0	0

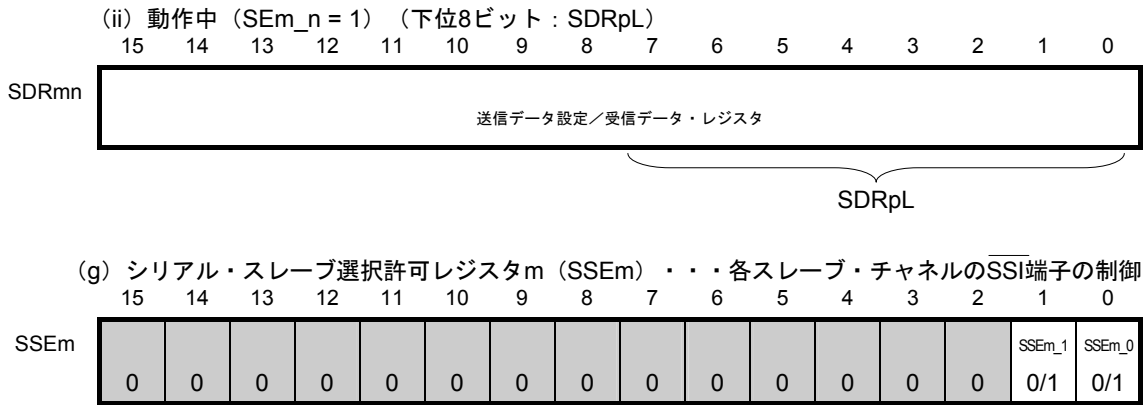
備考 m : ユニット番号 ($m = 0$) n : チャネル番号 ($n = 0, 1$) p : CSI番号 ($p = 00, 01$)

□ : CSIスレーブ送受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-114 SPI機能 (CSI00, CSI01) のスレーブ送受信時のレジスタ設定内容例 (2/2)



注意 マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

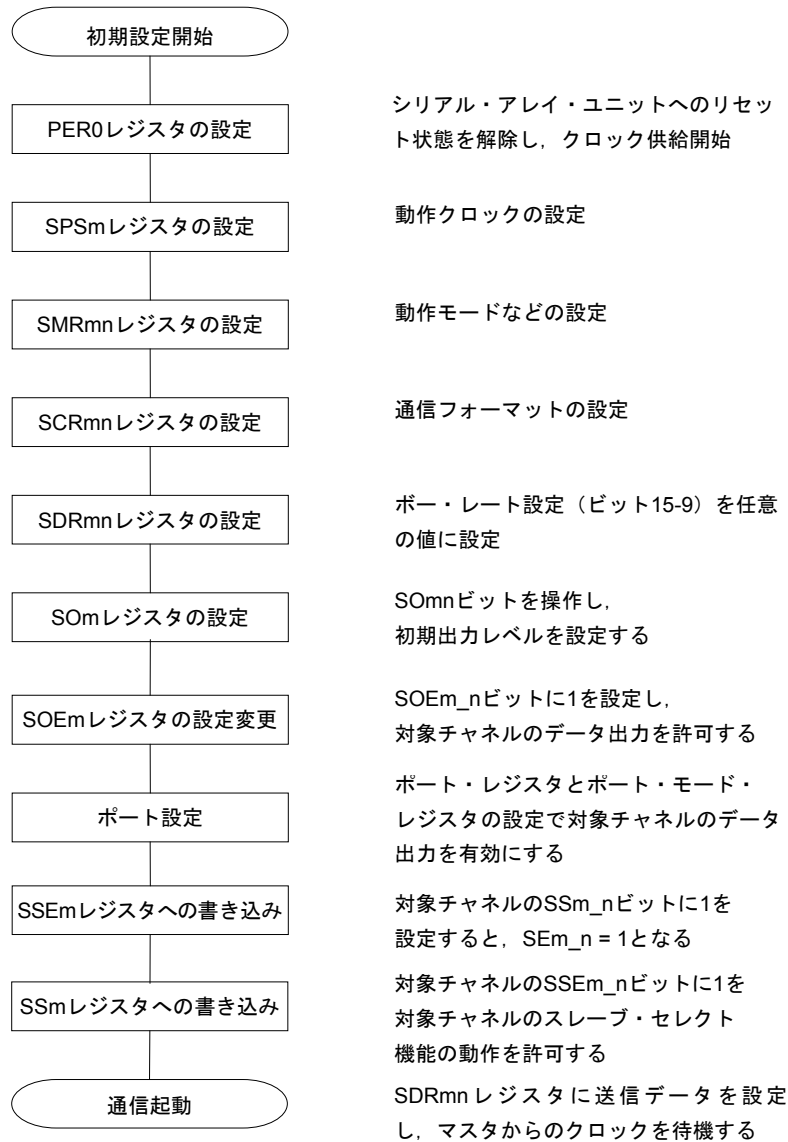
: CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

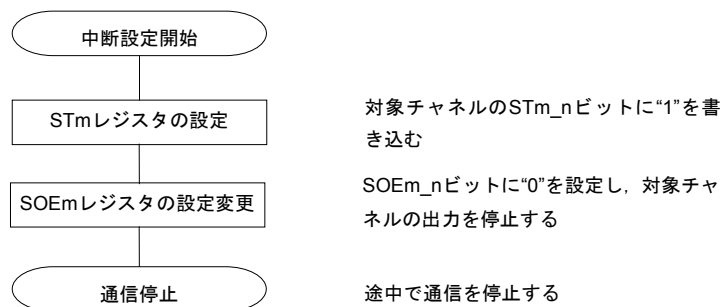
(2) 操作手順

図11-115 スレーブ送受信の初期設定手順



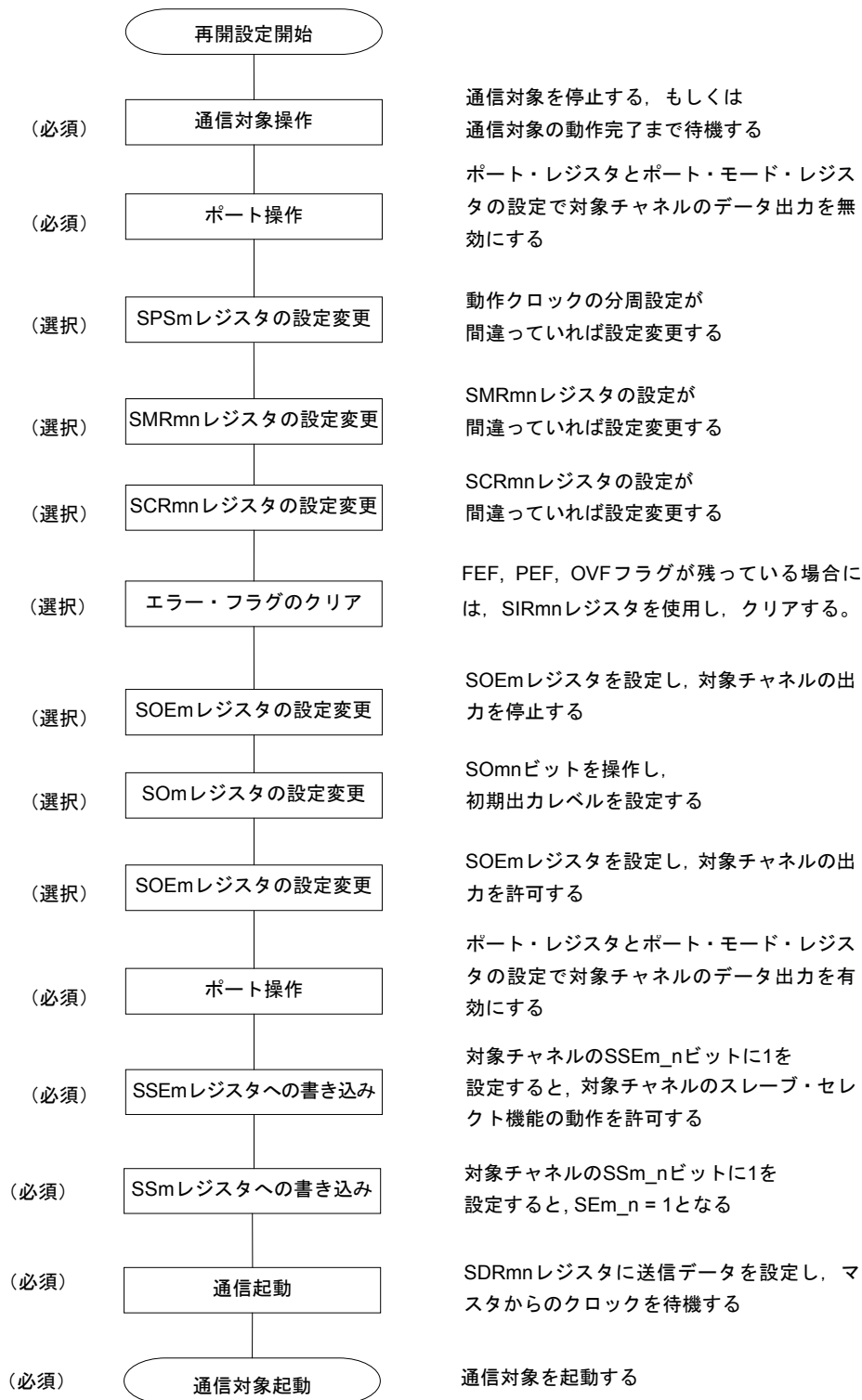
- 注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
 2. マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

図11-116 スレーブ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11-117 スレーブ送受信の再開設定手順参照）。

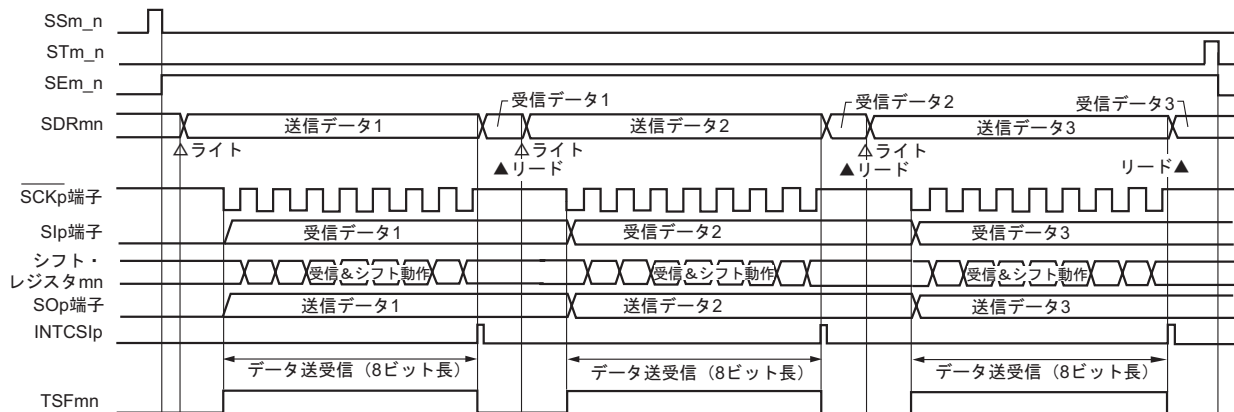
図11-117 スレーブ送受信の再開設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

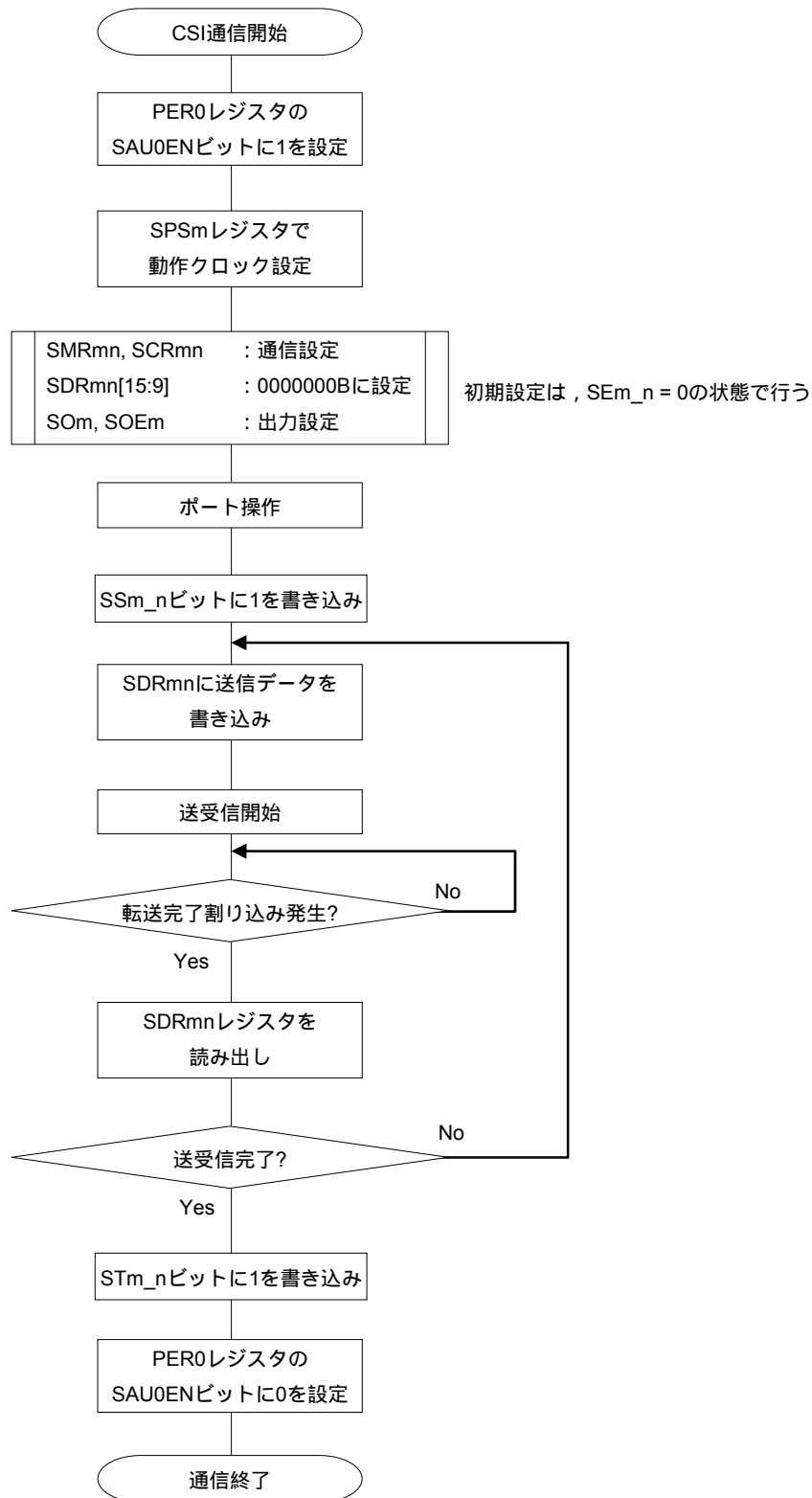
(3) 処理フロー（シングル送受信モード時）

図11-118 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

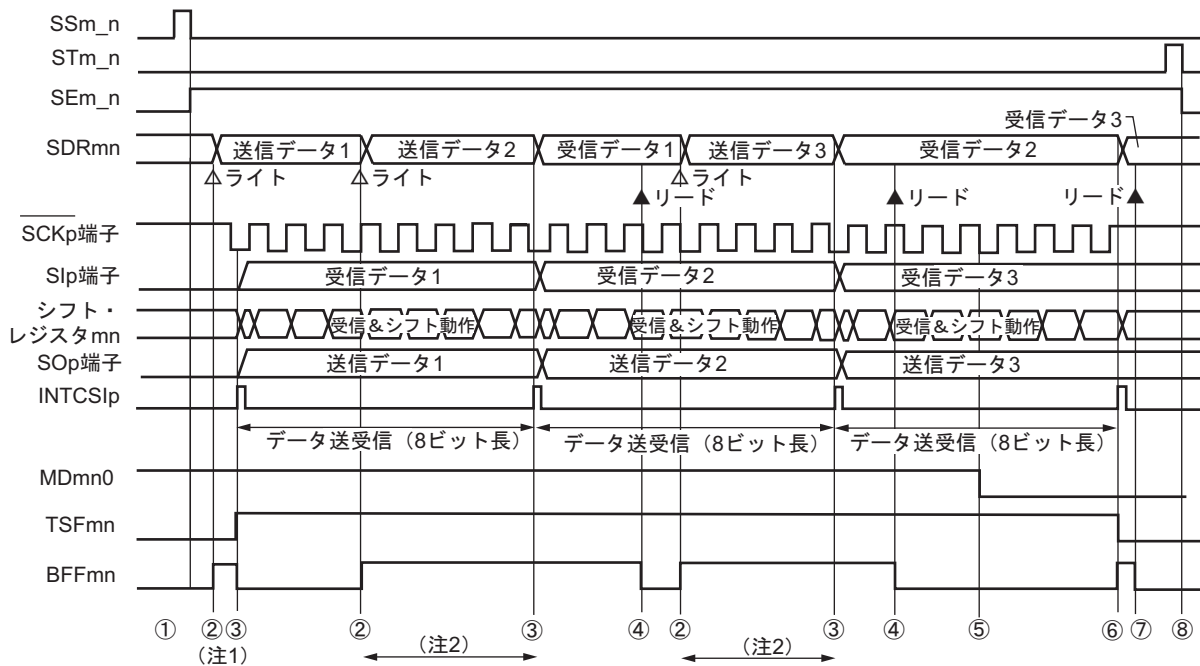
図11-119 スレーブ送受信（シングル送受信モード時）のフロー・チャート



- 注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図11-120 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn=0, CKPmn=0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

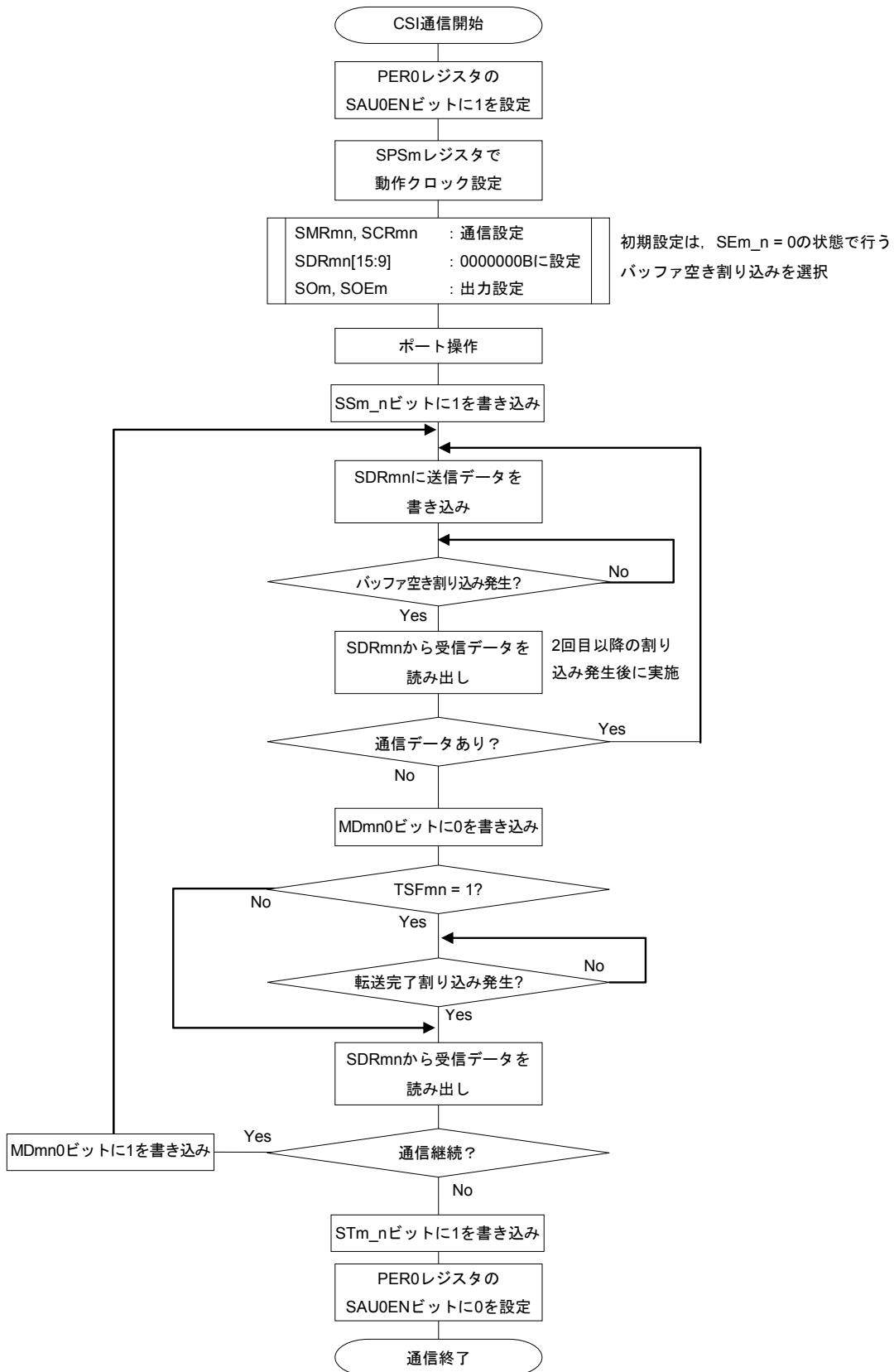
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図11-121 スレーブ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

- m : ユニット番号 (m = 0) n : チャネル番号 (n = 0, 1) p : CSI番号 (p = 00, 01)

図11-121 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSDRpLレジスタへ設定してください。

備考 図中の ~ は、図11-120 スレーブ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

11.6.7 転送クロック周波数の算出

SPI機能 (CSI00, CSI01) を使った通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数) [Hz]} = \text{[対象チャネルの動作クロック (f}_{MCK}\text{) 周波数]} \div (\text{SDRmn}[15:9]+1) \div 2$$

(2) スレーブの場合

$$\text{(転送クロック周波数) [Hz]} = \text{[マスタが供給するシリアル・クロック (f}_{SCK}\text{) 周波数]} \text{注}$$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000000B-1111111B) なので、0-127 になります。

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-5 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	24 MHz
	x	x	x	x	0	0	0	1	fCLK/2	12 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	6 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	3 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	750 kHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	375 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	93.75 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	46.86 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	23.44 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	11.72 kHz
	x	x	x	x	1	1	1	1	INTTM23	
1	0	0	0	0	x	x	x	x	fCLK	24 MHz
	0	0	0	1	x	x	x	x	fCLK/2	12 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	6 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	3 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	750 kHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	375 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	93.75 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	46.86 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	23.44 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	11.72 kHz
	1	1	1	1	x	x	x	x	INTTM23	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニットm（SAUm）の動作を停止（STm = 0003H）させてから変更してください。動作クロックにINTTM23を選択する場合は、タイマ・アレイ・ユニット2（TAU2）も停止（TT2 = 00FFH）させてください。

備考1. x : Don't care

2. m : ユニット番号 (m = 0) , n : チャネル番号 (n = 0, 1)

11. 6. 8 SPI機能（CSI00, CSI01）通信時におけるエラー発生時の処理手順

SPI機能（CSI00, CSI01）通信時にエラーが発生した場合の処理手順を図11-122に示します。

図11-122 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類を判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0, 1) mn = 00, 01

11.7 UART通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 7~9, 16ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

UART2では、SAU2のチャンネル0, 1を使用します。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (SPI対応)	-	-
	1	CSI01 (SPI対応)		-
1	0	CSI10	-	-
	1	CSI11		IIC11
2	0	-	UART2	IIC20
	1	-		-

注意 UARTとして使用する場合は、送信側 (偶数チャンネル) と受信側 (奇数チャンネル) のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は、以下の2種類があります。

- ・ UART送信 (11.7.1項を参照)
- ・ UART受信 (11.7.2項を参照)

11.7.1 UART送信

UART送信は、78K0R/Hx3から他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART2
対象チャンネル	SAU2のチャンネル0
使用端子	TxD2
割り込み	INTST2, 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7~9ビットまたは16ビット
転送レート	Max. $f_{MCK}/6$ [bps] (SDR2n[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] 注
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・1ビット付加 ・2ビット付加
データ方向	MSBファーストまたはLSBファースト

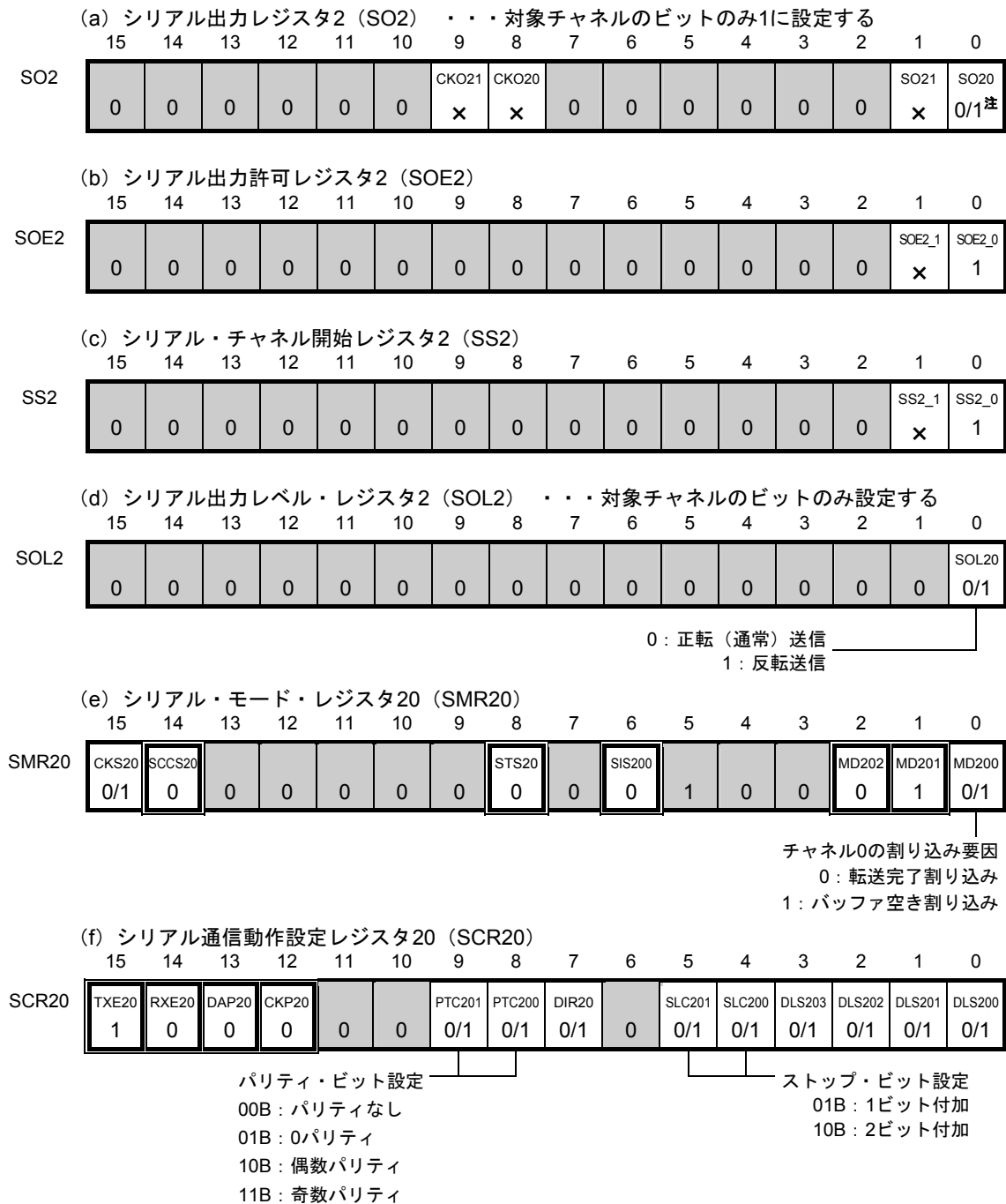
注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

(1) レジスタ設定

図11-123 UART2のUART送信時のレジスタ設定内容例 (1/2)



注 該当するチャネルのSOL20ビットに0を設定している場合は“1”に、SOL20ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

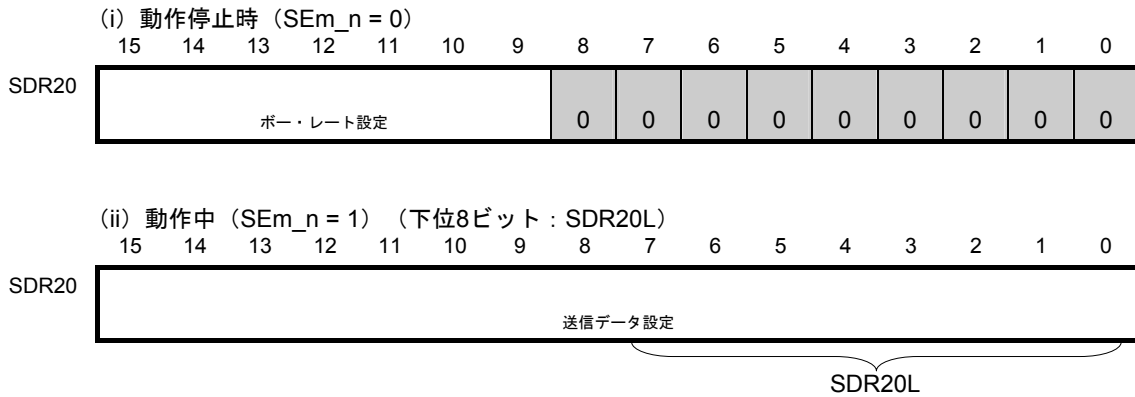
備考 : UART送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-123 UART2のUART送信時のレジスタ設定内容例 (2/2)

(g) シリアル・データ・レジスタ20 (SDR20)



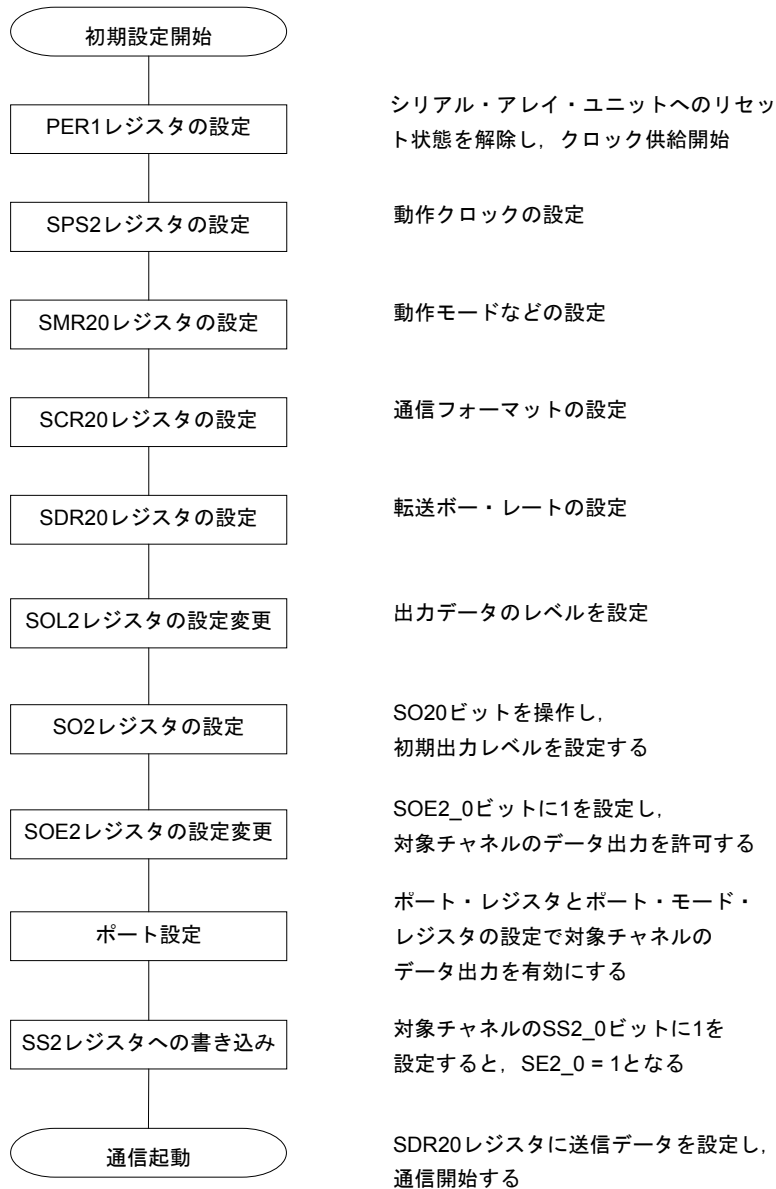
備考 : UART送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

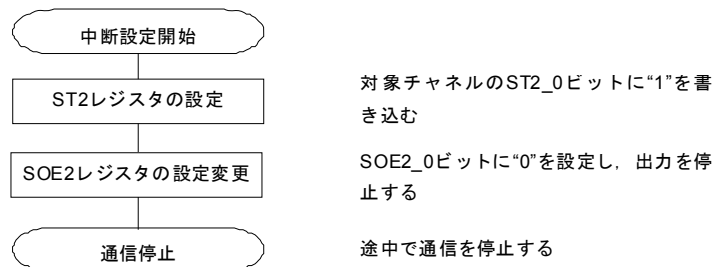
(2) 操作手順

図11-124 UART送信の初期設定手順



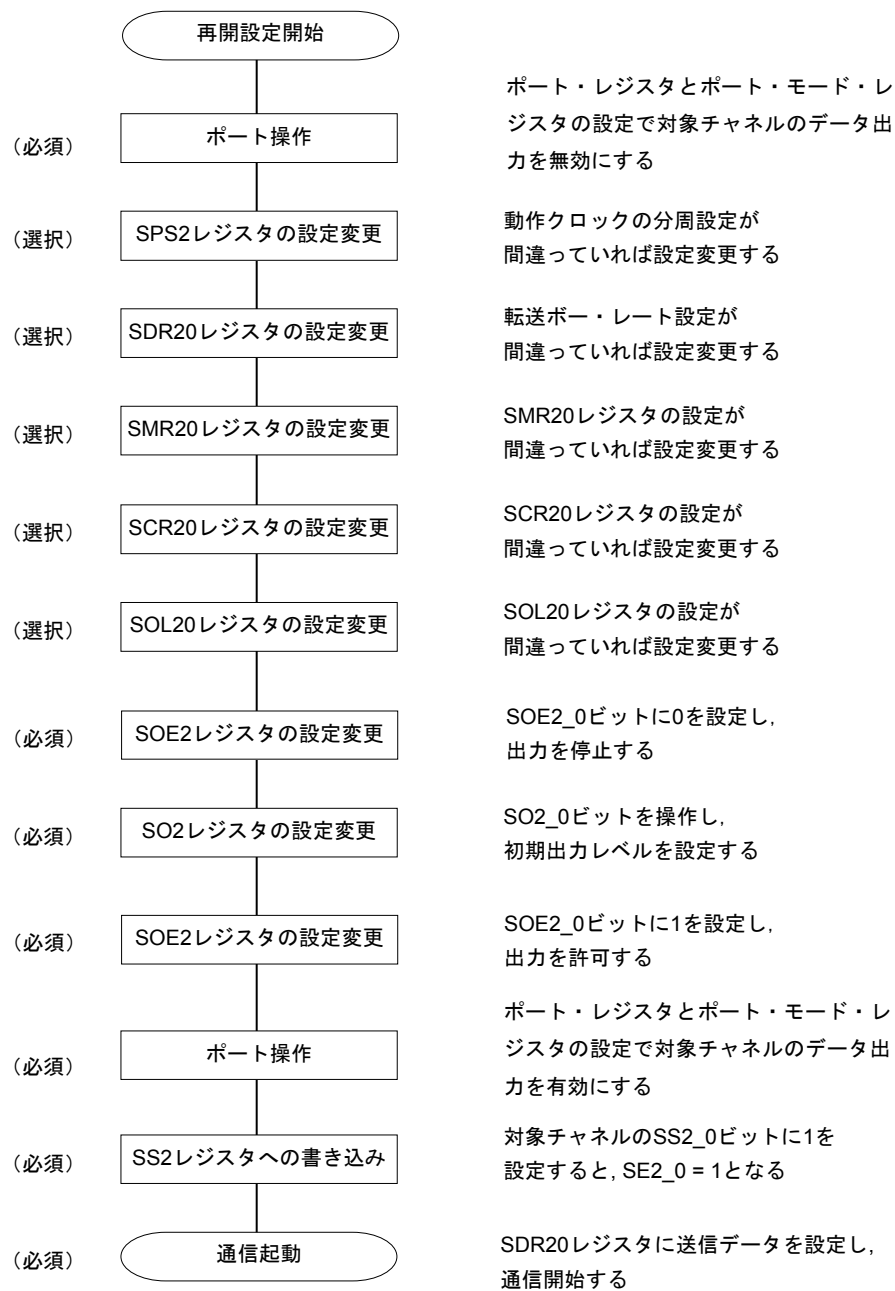
注意 PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPS2レジスタを設定してください。

図11-125 UART送信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSO2レジスタを再設定してください（図11-126 UART送信の再開設定手順参照）。

図11-126 UART送信の再開設定手順



(3) 処理フロー（シングル送信モード時）

図11-127 UART送信（シングル送信モード時）のタイミング・チャート

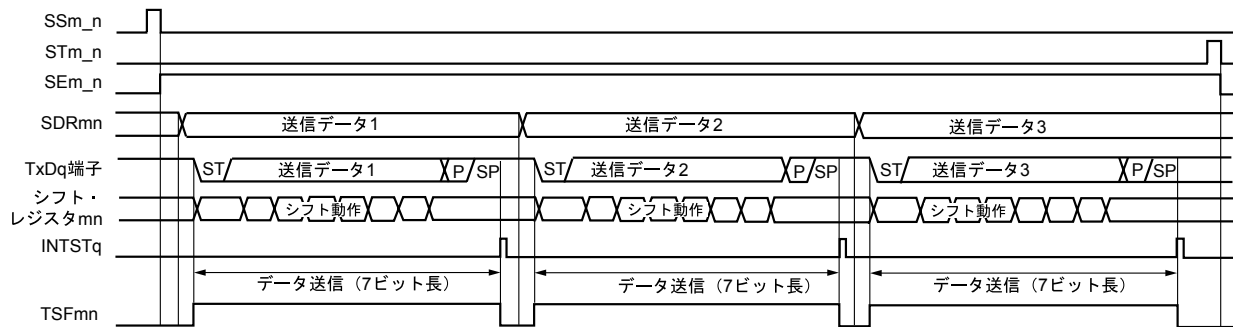
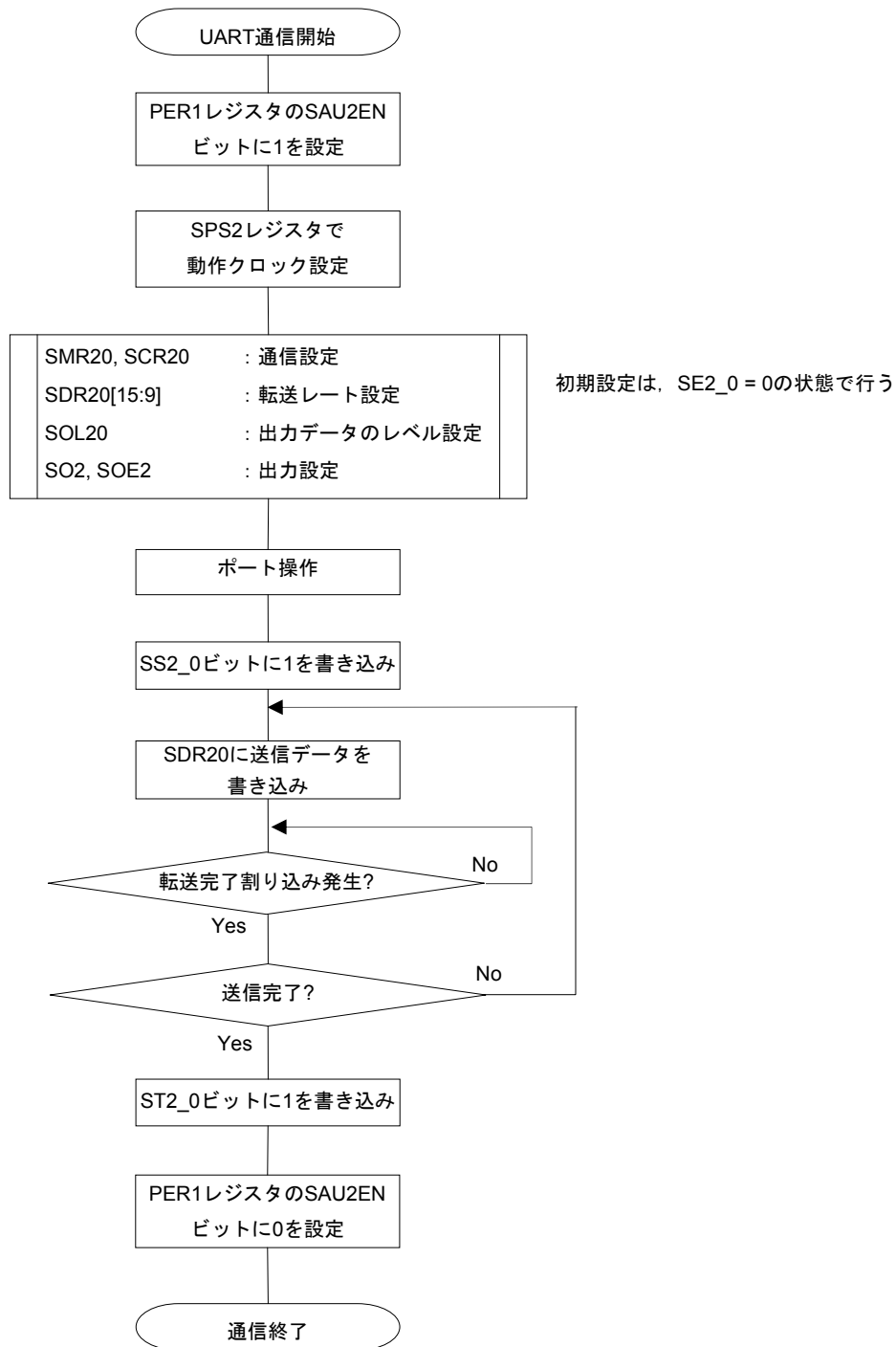


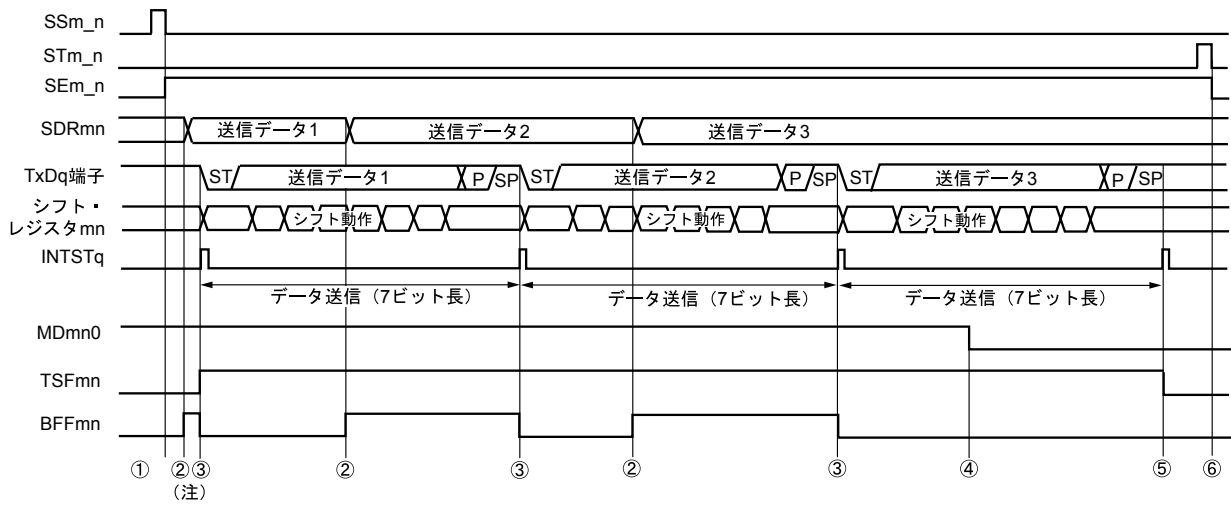
図11-128 UART送信（シングル送信モード時）のフロー・チャート



注意 PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPS2レジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11-129 UART送信（連続送信モード時）のタイミング・チャート

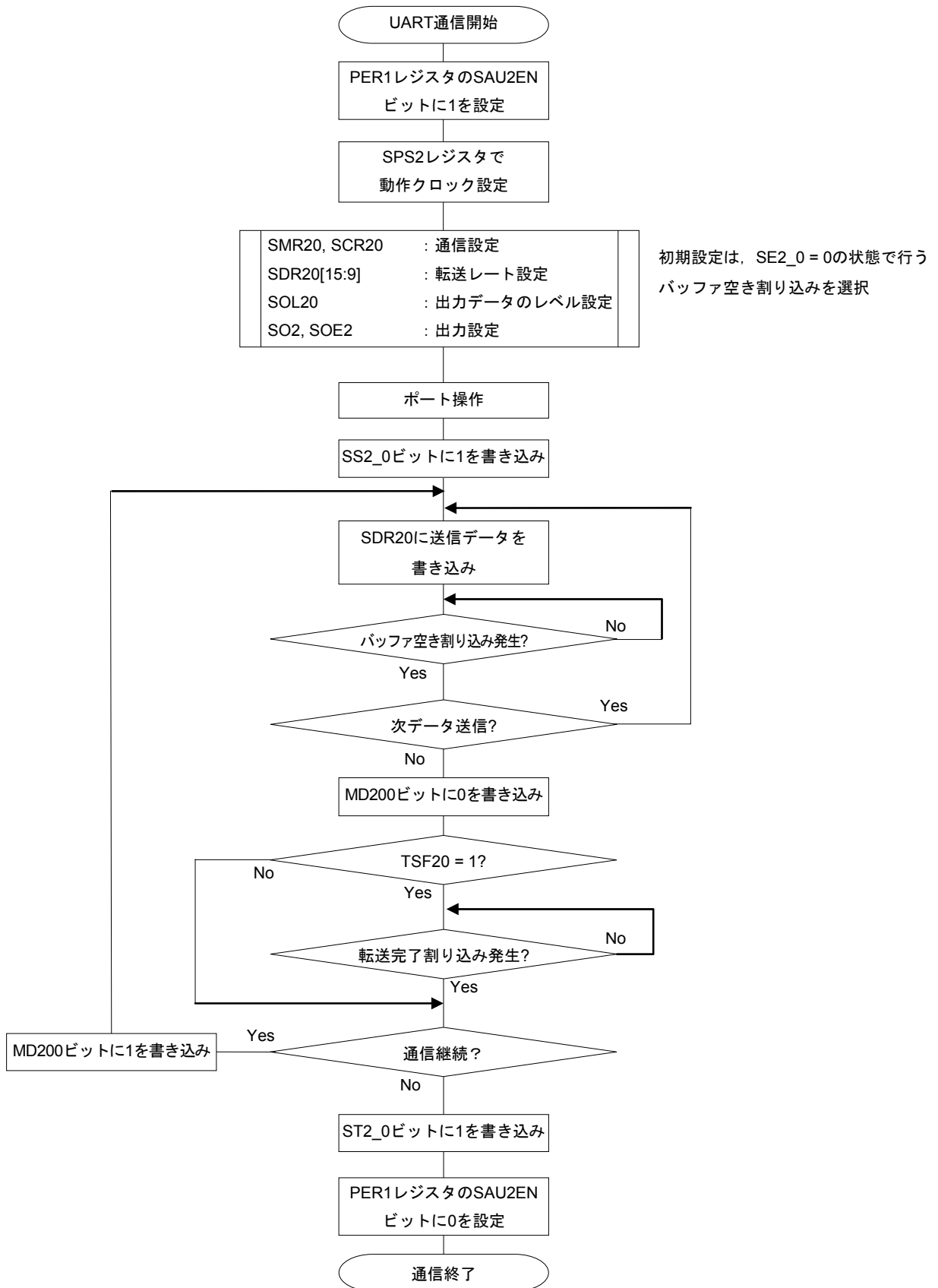


注 BFF20 = 1の期間にSDR20レジスタに送信データを書き込むと、送信データが上書きされます。

注意 MD200ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

図11-130 UART送信（連続送信モード時）のフロー・チャート



注意 PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPS2レジスタを設定してください。

備考 図中の ~ は、図11-129 UART送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

11.7.2 UART受信

UART受信は、他デバイスから78K0R/Hx3が非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります

UART	UART2
対象チャンネル	SAU2のチャンネル1
使用端子	RxD2
割り込み	INTSR2, 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF20） ・ パリティ・エラー検出フラグ（PEF20） ・ オーバラン・エラー検出フラグ（OVF20）
転送データ長	7～9ビットまたは16ビット
転送レート	Max. $f_{MCK}/6$ [bps] (SDR21[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] 注
データ位相	正転入力（デフォルト：ハイ・レベル） 反転入力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック
ストップ・ビット	1ビット付加
データ方向	MSBファーストまたはLSBファースト

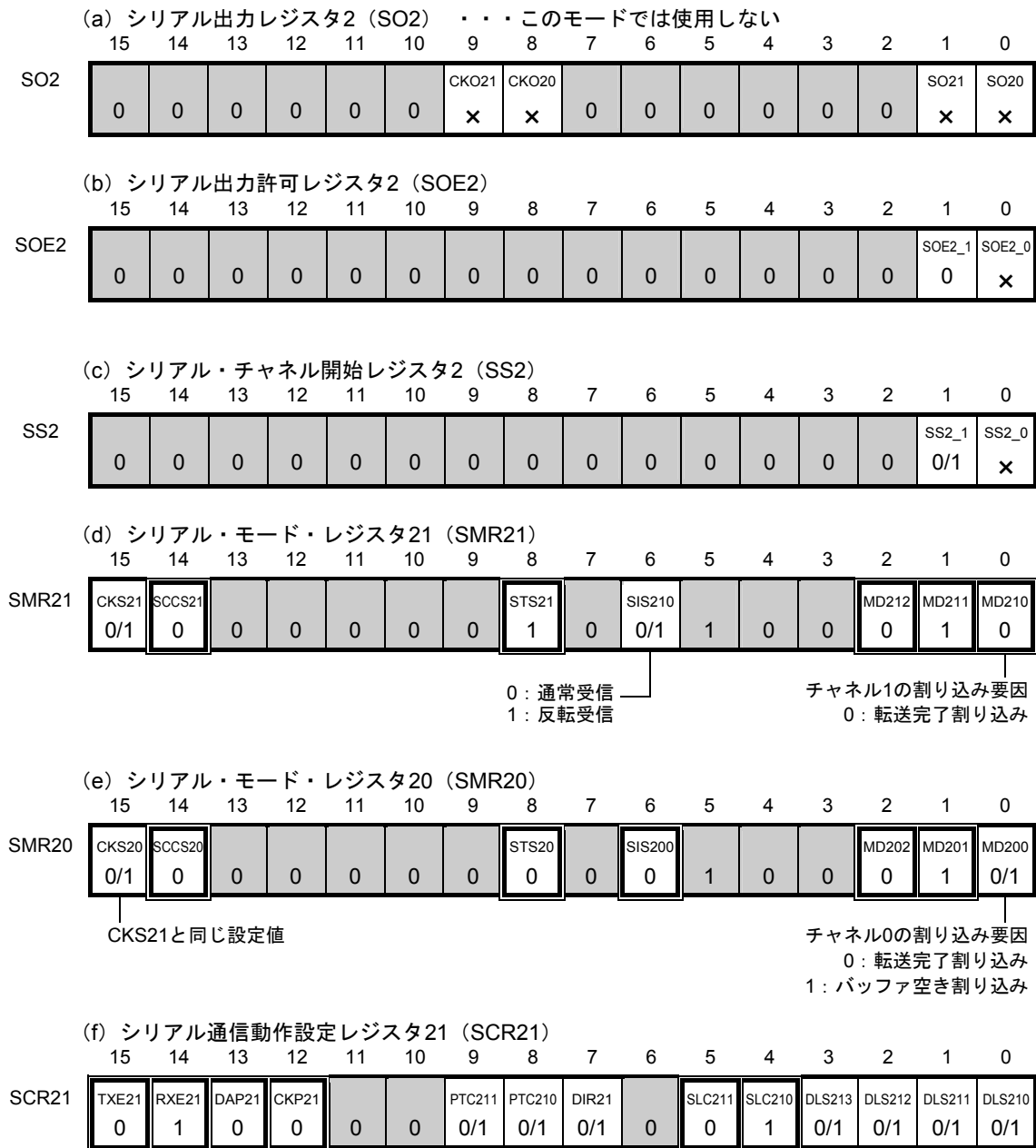
注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

(1) レジスタ設定

図11-131 UART2のUART受信時のレジスタ設定内容例 (1/2)



注意 UART受信時は、チャンネル1とペアになるチャンネル0のSMR20も必ず設定してください。

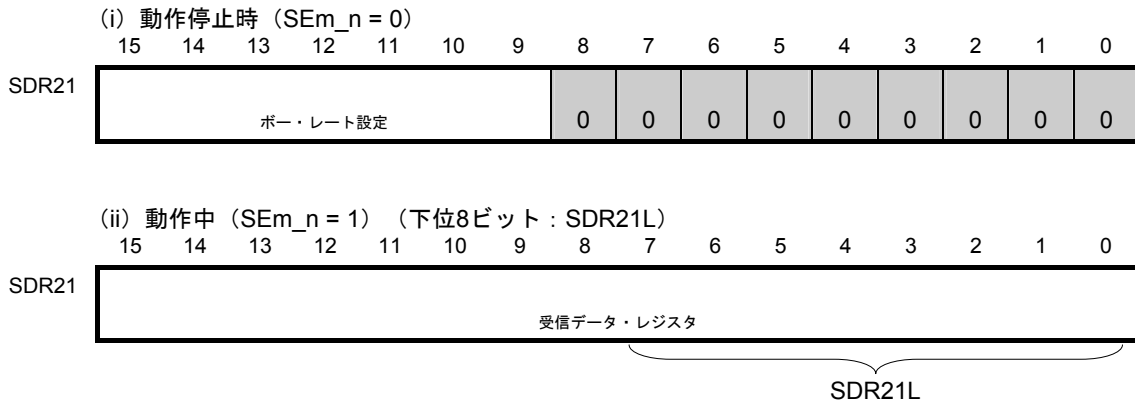
備考 : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-131 UART2のUART受信時のレジスタ設定内容例 (2/2)

(g) シリアル・データ・レジスタ21 (SDR21)



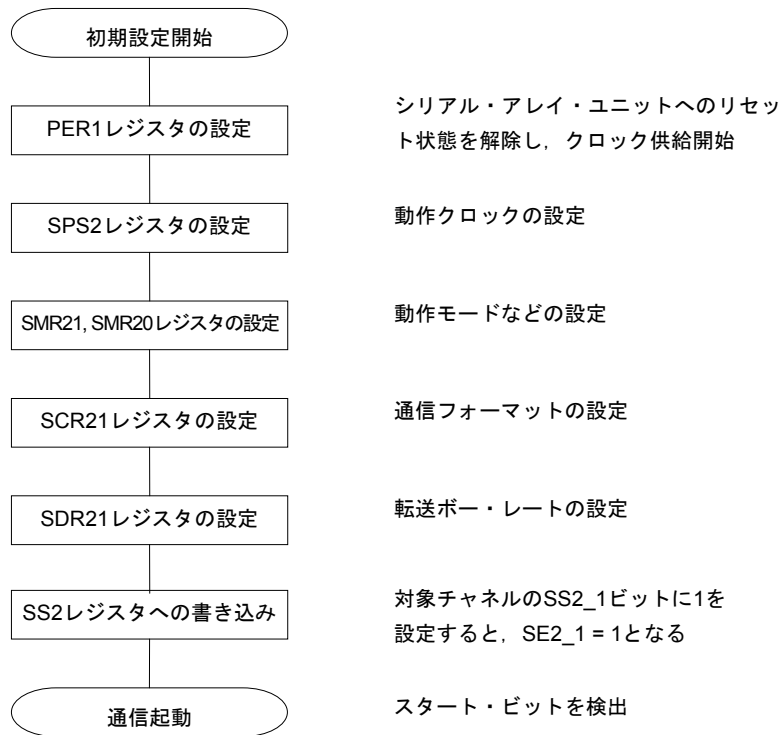
備考 : UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-132 UART受信の初期設定手順



注意 PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPS2レジスタを設定してください。

図11-133 UART受信の中断手順

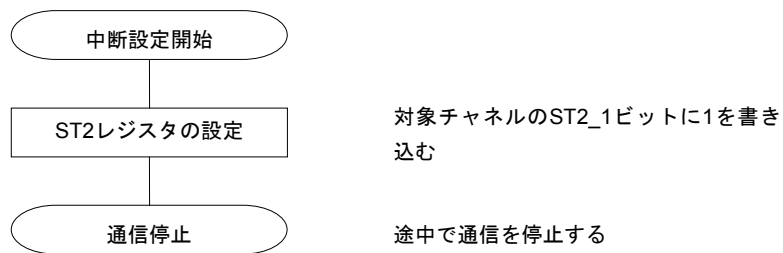
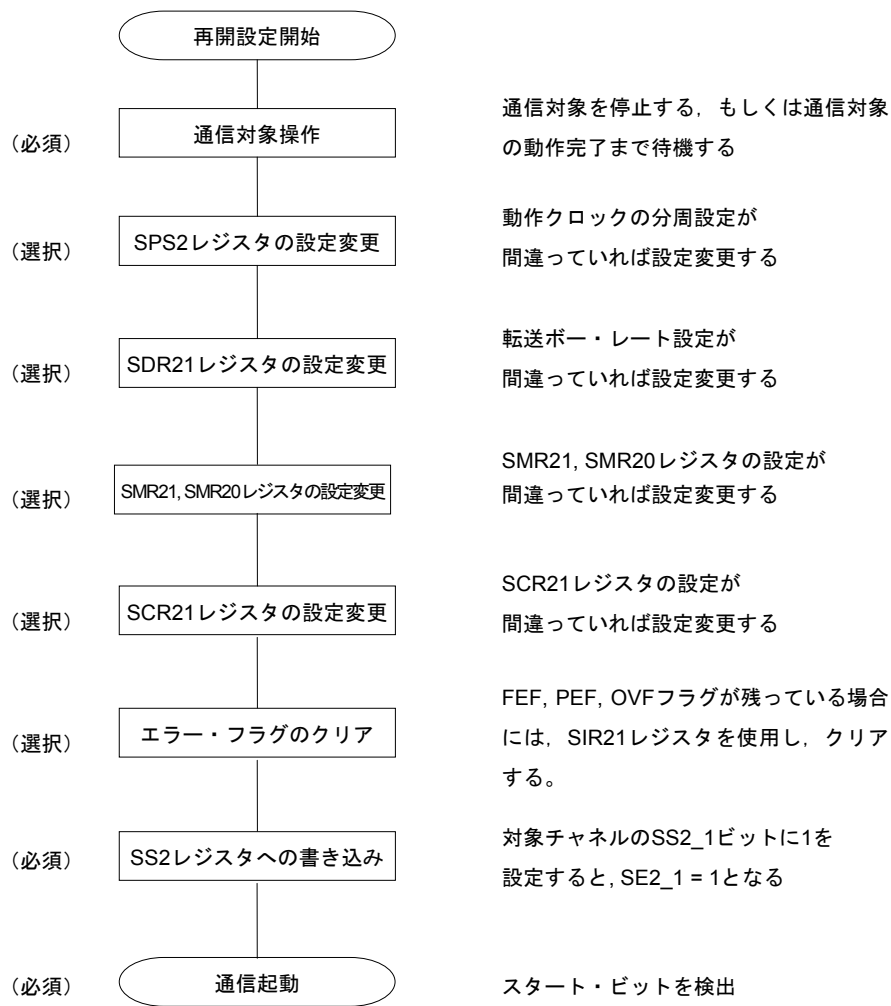


図11-134 UART受信の再開設定手順



(3) 処理フロー

図11-135 UART受信のタイミング・チャート

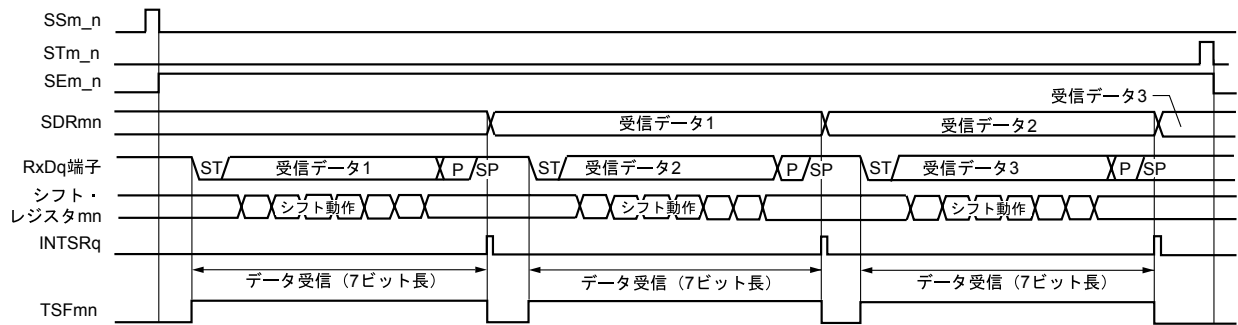
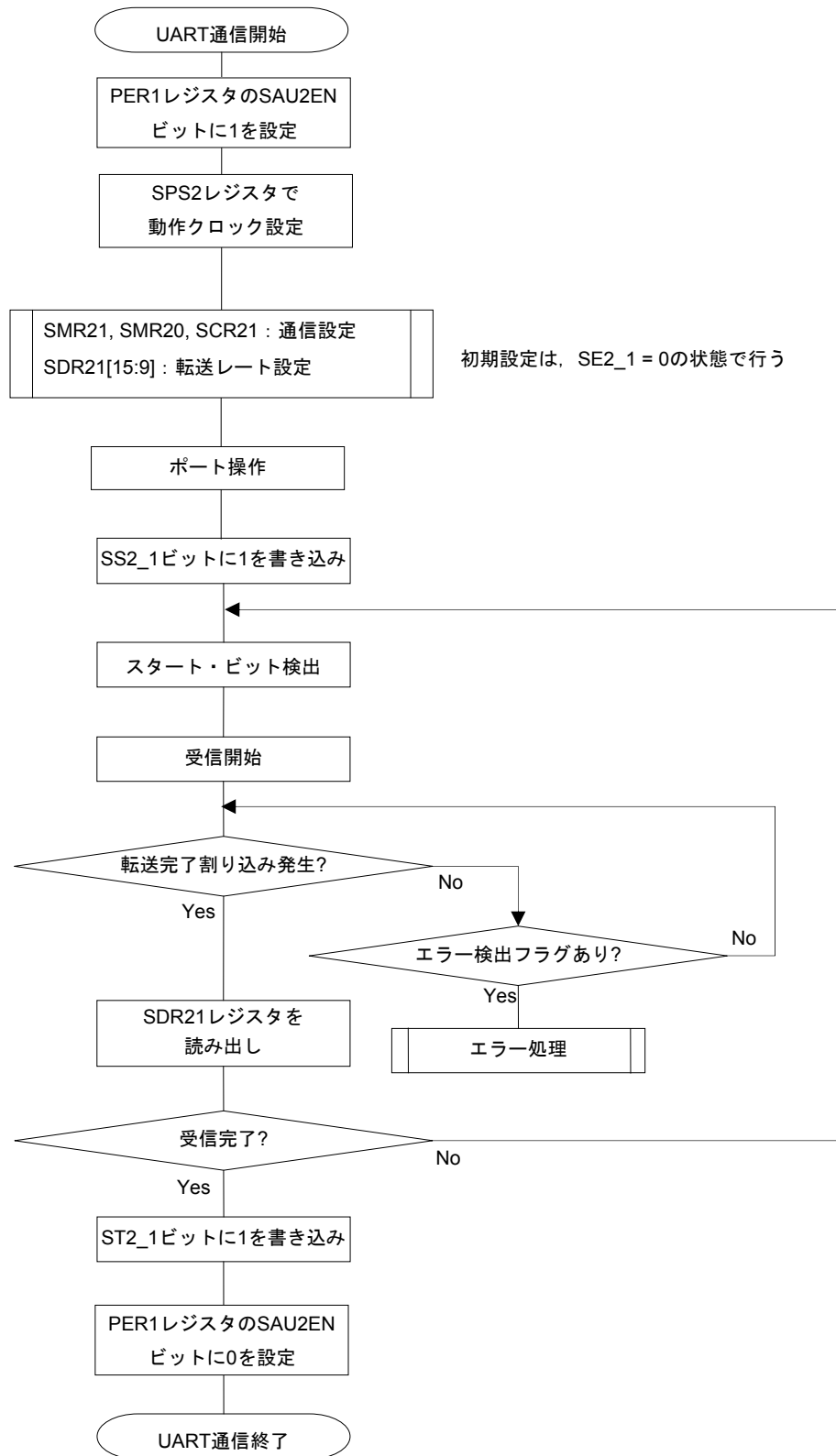


図11-136 UART受信のフロー・チャート



注意 PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPS2レジスタを設定してください。

11.7.3 ボー・レートの算出

(1) ボー・レート算出式

UART (UART2) 通信でのボー・レートは下記の計算式にて算出できます。

$$\text{(ボー・レート) [bps]} = \text{[対象チャンネルの動作クロック (f}_{MCK}\text{) 周波数]} \div (\text{SDR2n}[15:9]+1) \div 2$$

注意 SDR2n[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDR2n [15:9]はSDR2nレジスタのビット15-9の値 (0000010B-1111111B) になるので, 2-127になります。

2. n : チャンネル番号 (n = 0, 1)

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタ2 (SPS2) とシリアル・モード・レジスタ 2n (SMR2n) のビット15 (CKS2n) で決まります。

表11-6 動作クロックの選択

SMR2n レジスタ	SPS2レジスタ								動作クロック (f _{CLK}) ^注	
	CKS2n	PRS 213	PRS 212	PRS 211	PRS 210	PRS 203	PRS 202	PRS 201	PRS 200	f _{CLK} = 24 MHz 動作時
0	x	x	x	x	0	0	0	0	f _{CLK}	24 MHz
	x	x	x	x	0	0	0	1	f _{CLK} /2	12 MHz
	x	x	x	x	0	0	1	0	f _{CLK} /2 ²	6 MHz
	x	x	x	x	0	0	1	1	f _{CLK} /2 ³	3 MHz
	x	x	x	x	0	1	0	0	f _{CLK} /2 ⁴	1.5 MHz
	x	x	x	x	0	1	0	1	f _{CLK} /2 ⁵	750 kHz
	x	x	x	x	0	1	1	0	f _{CLK} /2 ⁶	375 kHz
	x	x	x	x	0	1	1	1	f _{CLK} /2 ⁷	187.5 kHz
	x	x	x	x	1	0	0	0	f _{CLK} /2 ⁸	93.75 kHz
	x	x	x	x	1	0	0	1	f _{CLK} /2 ⁹	46.88 kHz
	x	x	x	x	1	0	1	0	f _{CLK} /2 ¹⁰	23.44 kHz
	x	x	x	x	1	0	1	1	f _{CLK} /2 ¹¹	11.72 kHz
	x	x	x	x	1	1	1	1	INTTM23	
1	0	0	0	0	x	x	x	x	f _{CLK}	24 MHz
	0	0	0	1	x	x	x	x	f _{CLK} /2	12 MHz
	0	0	1	0	x	x	x	x	f _{CLK} /2 ²	6 MHz
	0	0	1	1	x	x	x	x	f _{CLK} /2 ³	3 MHz
	0	1	0	0	x	x	x	x	f _{CLK} /2 ⁴	1.5 MHz
	0	1	0	1	x	x	x	x	f _{CLK} /2 ⁵	750 kHz
	0	1	1	0	x	x	x	x	f _{CLK} /2 ⁶	375 kHz
	0	1	1	1	x	x	x	x	f _{CLK} /2 ⁷	187.5 kHz
	1	0	0	0	x	x	x	x	f _{CLK} /2 ⁸	93.75 kHz
	1	0	0	1	x	x	x	x	f _{CLK} /2 ⁹	46.88 kHz
	1	0	1	0	x	x	x	x	f _{CLK} /2 ¹⁰	23.44 kHz
	1	0	1	1	x	x	x	x	f _{CLK} /2 ¹¹	11.72 kHz
	1	1	1	1	1	x	x	x	x	INTTM23
上記以外									設定禁止	

注 f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット2（SAU2）の動作を停止（ST2 = 0003H）させてから変更してください。動作クロックにINTTM23を選択する場合は、タイマ・アレイ・ユニット2（TAU2）も停止（TT2 = 00FFH）させてください。

- 備考1. x : Don't care
2. n : チャネル番号 (n = 0, 1)

(2) 送信時のボー・レート誤差

UART (UART2) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) [\%] = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100$$

$f_{\text{CLK}} = 24 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 24 \text{ MHz}$ 時			
	動作クロック (fMCK)	SDR2n [15:9]+1	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	78	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	78	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	78	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	78	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	78	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	78	9615.38 bps	+0.16 %
10400 bps	$f_{\text{CLK}}/2^4$	72	10416.64 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	78	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	48	31250.0 bps	±0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	78	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	78	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	78	153846 bps	+0.16 %
312500 bps	f_{CLK}	38	315781.25 bps	+1.05 %

(3) 受信時のボー・レート許容範囲

UART (UART2) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (11.7.3 (1) ボー・レート算出式参照)

k : SDR21[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

図11-137 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

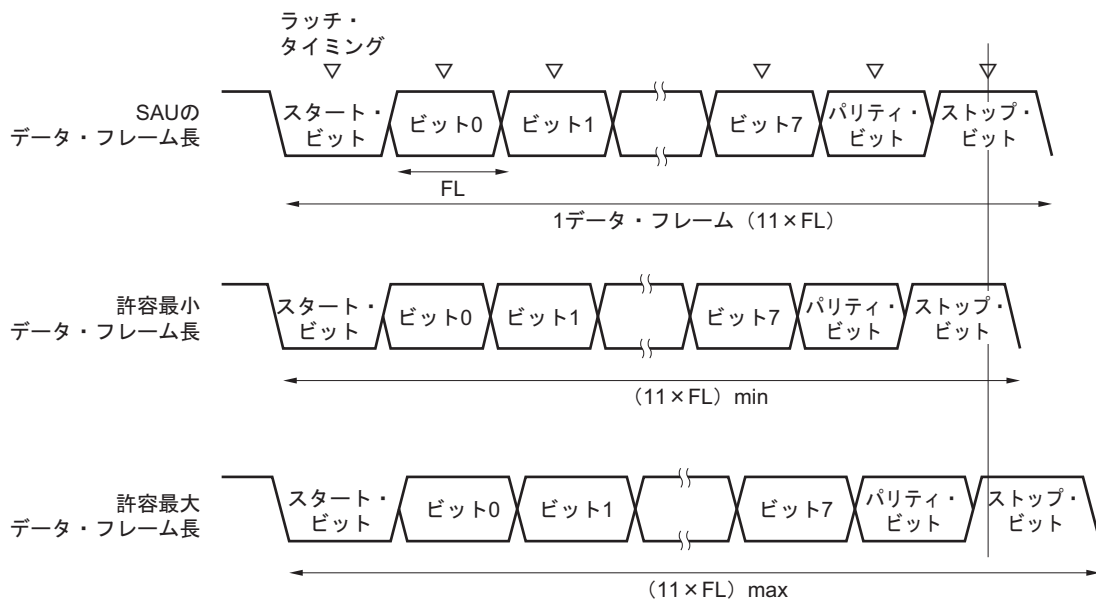


図11-137に示すように、スタート・ビット検出後はシリアル・データ・レジスタ21 (SDR21) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11.7.4 UART通信時におけるエラー発生時の処理手順

UART通信時にエラーが発生した場合の処理手順を図11-138, 図11-139に示します。

図11-138 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDR2nレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
SSR2nレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIR2nレジスタをライトする	▶ エラー・フラグがクリアされる	SSR2nレジスタのリード値をそのままSIR2nレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる

図11-139 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDR2nレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
SSR2nレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIR2nレジスタをライトする	▶ エラー・フラグがクリアされる	SSR2nレジスタのリード値をそのままSIR2nレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる
ST2_nビットに1を設定する	▶ SE2_n = 0となり, チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため, 通信相手との同期を取り直して通信を再開する
SS2_nビットに1を設定する	▶ SE2_n = 1となり, チャネルnは動作許可状態になる	

備考 n: チャネル番号 (n = 0, 1)

11.8 簡易I²C (IIC11, IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能也没有せん。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は, 上位7ビットでアドレス指定し, 最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・オーバラン・エラー
- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は, SOEm_n (SOEmレジスタ) ビットに0を書き込み, シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は, 11. 8. 3 (2) 処理フローを参照してください。

備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1)

簡易I²C (IIC11, IIC20) に対応しているチャネルは, SAU1のチャネル1とSAU2のチャネル0です。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (SPI対応)	-	-
	1	CSI01 (SPI対応)		-
1	0	CSI10	-	-
	1	CSI11		IIC11
2	0	-	UART2	IIC20
	1	-		-

簡易I²C (IIC11, IIC20) の通信動作は, 以下の4種類があります。

- ・アドレス・フィールド送信 (11. 8. 1項を参照)
- ・データ送信 (11. 8. 2項を参照)
- ・データ受信 (11. 8. 3項を参照)
- ・ストップ・コンディション発生 (11. 8. 4項を参照)

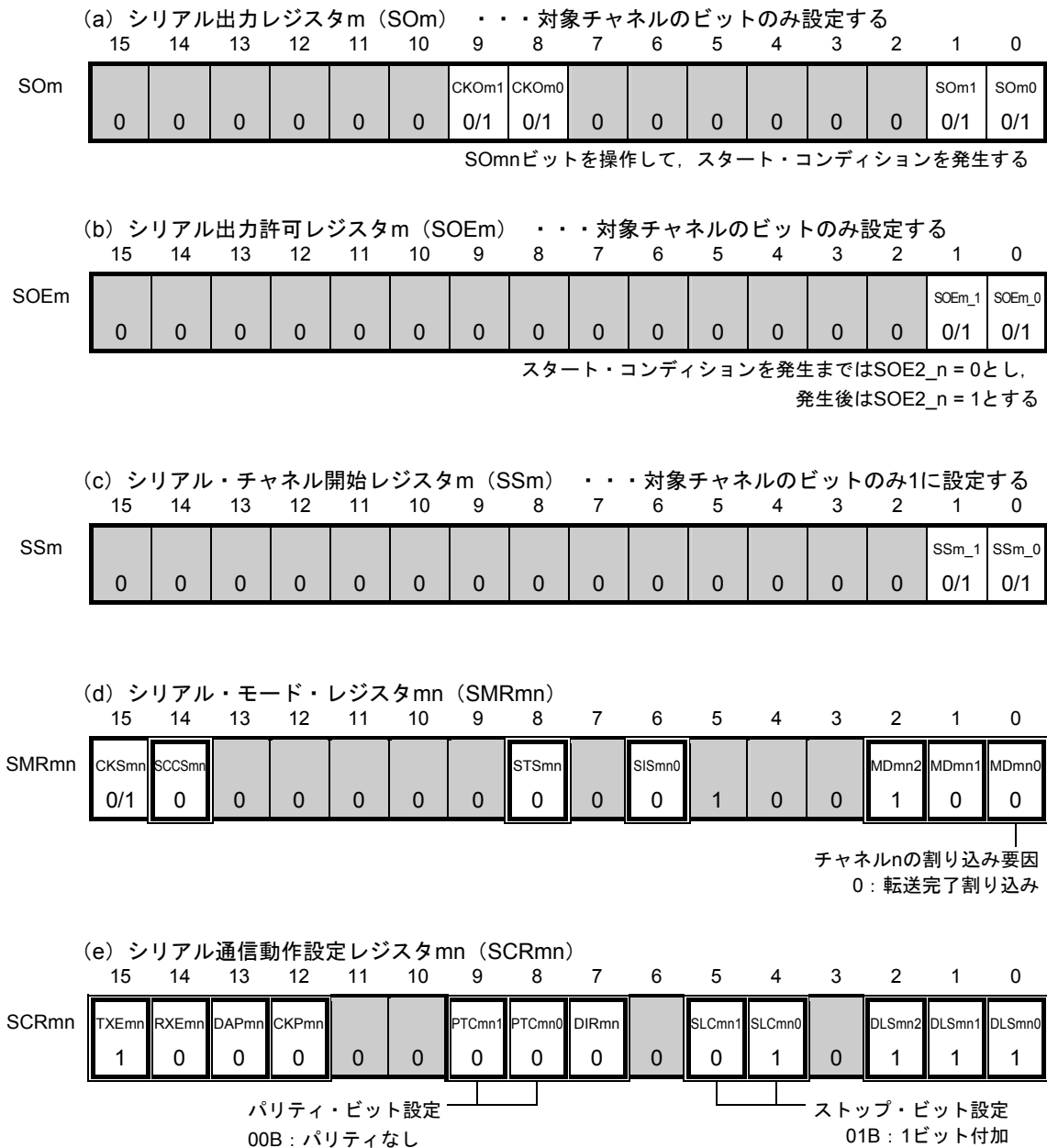
11.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I ² C	IIC11	IIC20
対象チャンネル	SAU1のチャンネル1	SAU2のチャンネル0
使用端子	SCL11, SDA11	SCL20, SDA20 ^注
割り込み	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEF11）	パリティ・エラー検出フラグ（PEF20）
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）	
転送レート	Max. $f_{mck}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{mck} ：対象チャンネルの動作クロック（ f_{mck} ）周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ4（POM4）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM4_3 = 1）してください（詳細は4.3 ポート機能を制御するレジスタを参照）。異電位外部デバイスとの通信の場合は、クロック入力／出力端子（SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM4_2 = 1）してください（詳細は、4.4.4 異電位（3V系）外部デバイスとの接続方法を参照）。

(1) レジスタ設定

図11-140 簡易I²C (IIC11, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例 (1/2)

備考 m : ユニット番号 ($m = 1, 2$) n : チャネル番号 ($n = 0, 1$) r : IIC番号 ($r = 11, 20$)

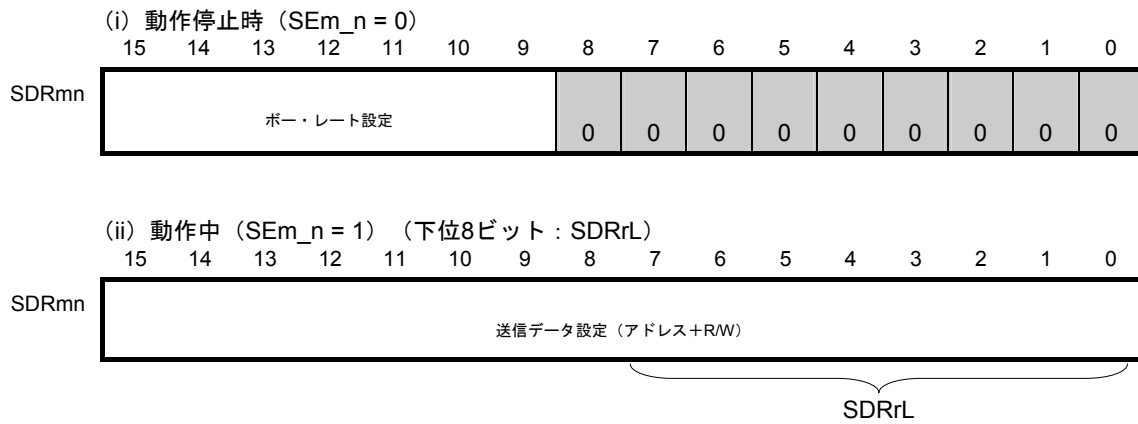
□ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-140 簡易I²C (IIC11, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例 (2/2)

(f) シリアル・データ・レジスタmn (SDRmn)



備考 m: ユニット番号 (m = 1, 2) n: チャネル番号 (n = 0, 1) r: IIC番号 (r = 11, 20)

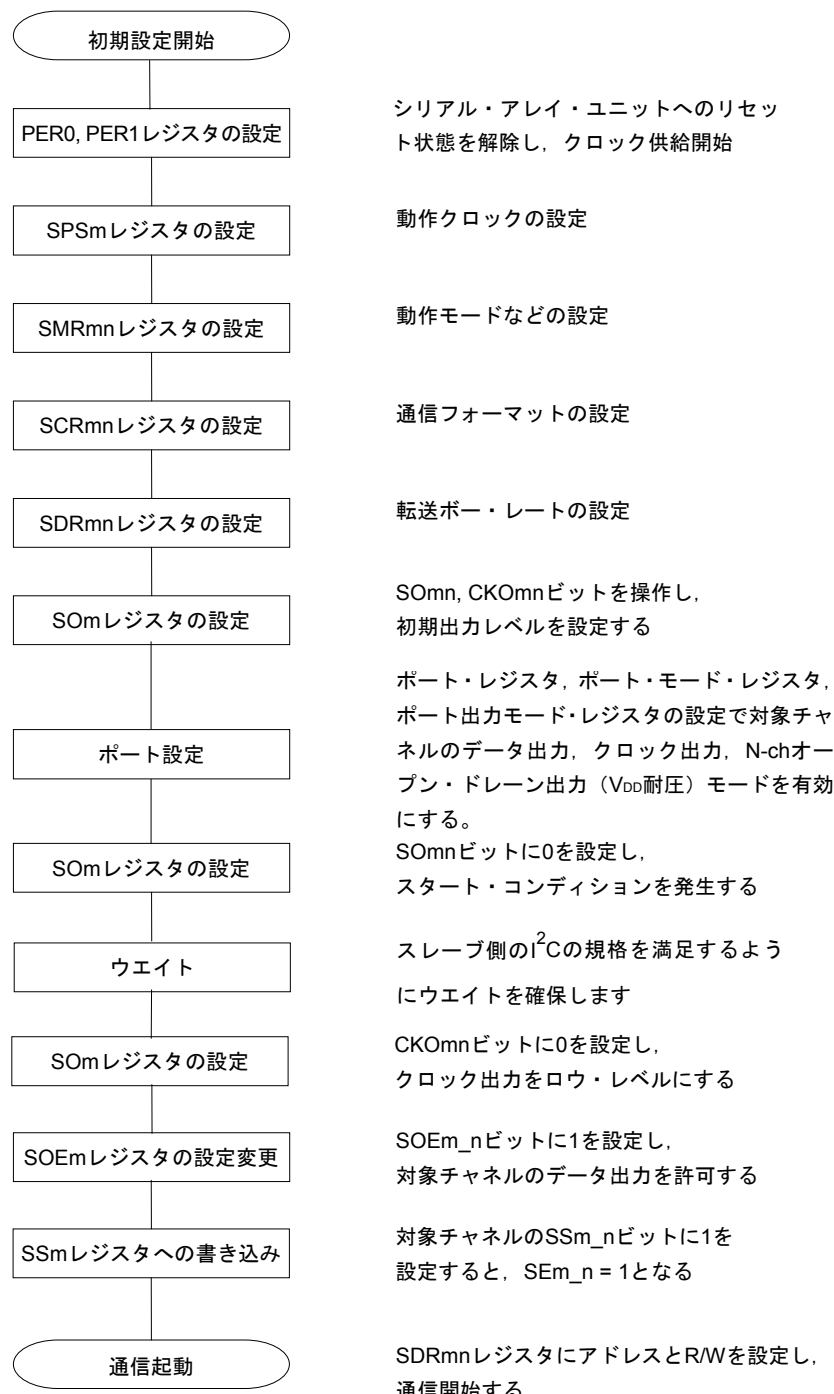
□: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図11-141 アドレス・フィールド送信の初期設定手順

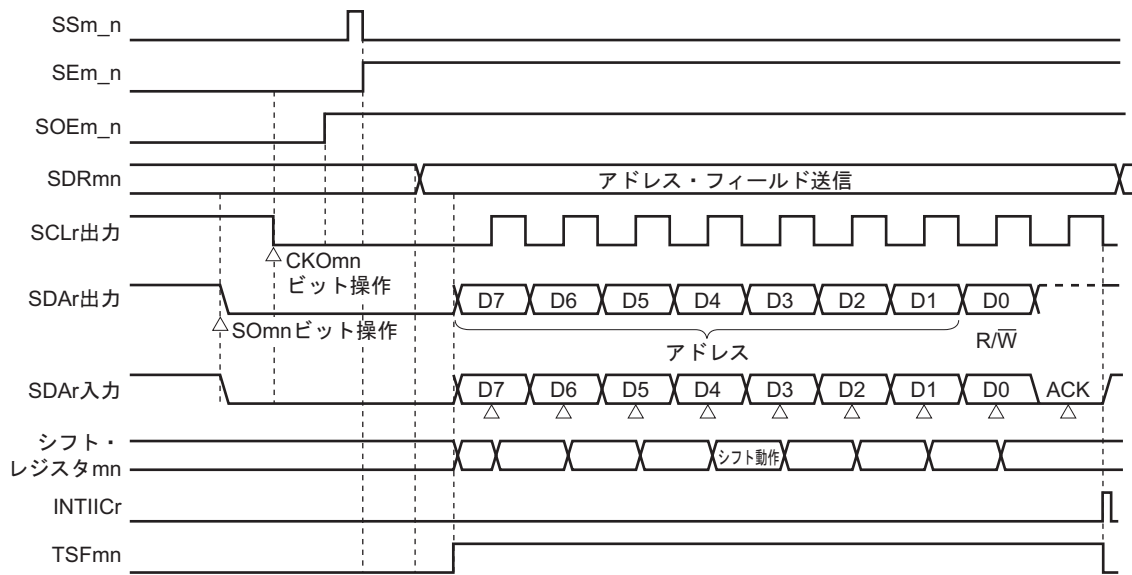


注意 PER0, PER1レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

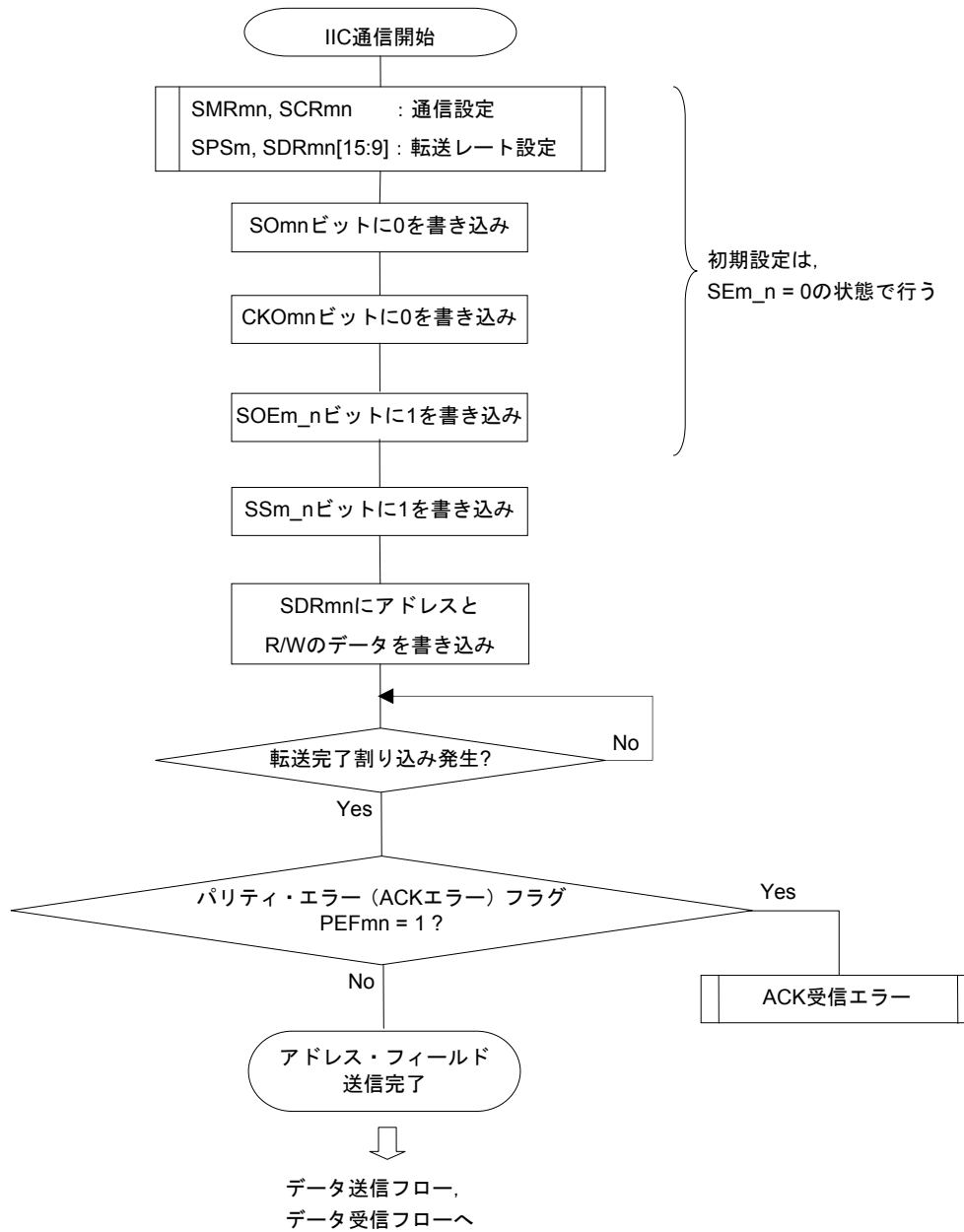
(3) 処理フロー

図11-142 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 1, 2) n : チャンネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

図11-143 アドレス・フィールド送信のフロー・チャート



11.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC11	IIC20
対象チャンネル	SAU1のチャンネル1	SAU2のチャンネル0
使用端子	SCL11, SDA11	SCL20, SDA20 ^注
割り込み	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEF11）	パリティ・エラー検出フラグ（PEF20）
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/4$ [Hz] (SDRmn[15:9] = 1以上) f_{MCK} : 対象チャンネルの動作クロック (f_{MCK}) 周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ4 (POM4) にてN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを設定 (POM4_3 = 1) してください（詳細は4.3 ポート機能を制御するレジスタを参照）。異電位外部デバイスとの通信の場合は、クロック入力／出力端子 (SCL20) も同様にN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを設定 (POM4_2 = 1) してください（詳細は、4.4.4 異電位（3 V系）外部デバイスとの接続方法を参照）。

(1) レジスタ設定

図11-144 簡易I²C (IIC11, IIC20) のデータ送信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタ m (SO m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO m							CKOm1	CKOm0							SO m 1	SO m 0
	0	0	0	0	0	0	×	0/1 ^注	0	0	0	0	0	0	×	0/1 ^注

(b) シリアル出力許可レジスタ m (SOEm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm_1	SOEm_0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャンネル開始レジスタ m (SS m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS m															SS m _1	SS m _0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタ mn (SMR mn) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn	SCCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(e) シリアル通信動作設定レジスタ mn (SCR mn) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn	RXEmn	DAPmn	CKPmn			PTCmn1	PTCmn0	DIRm0		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(f) シリアル・データ・レジスタ mn (SDR mn)

(i) 動作停止時 (SE m _ n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDR mn	ポー・レート設定																
								0	0	0	0	0	0	0	0	0	0

注 通信動作中は通信データにより値が変わります。

備考 m : ユニット番号 ($m = 1, 2$) n : チャンネル番号 ($n = 0, 1$) r : IIC番号 ($r = 11, 20$)

□ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-144 簡易I²C (IIC11, IIC20) のデータ送信時のレジスタ設定内容例 (2/2)

備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

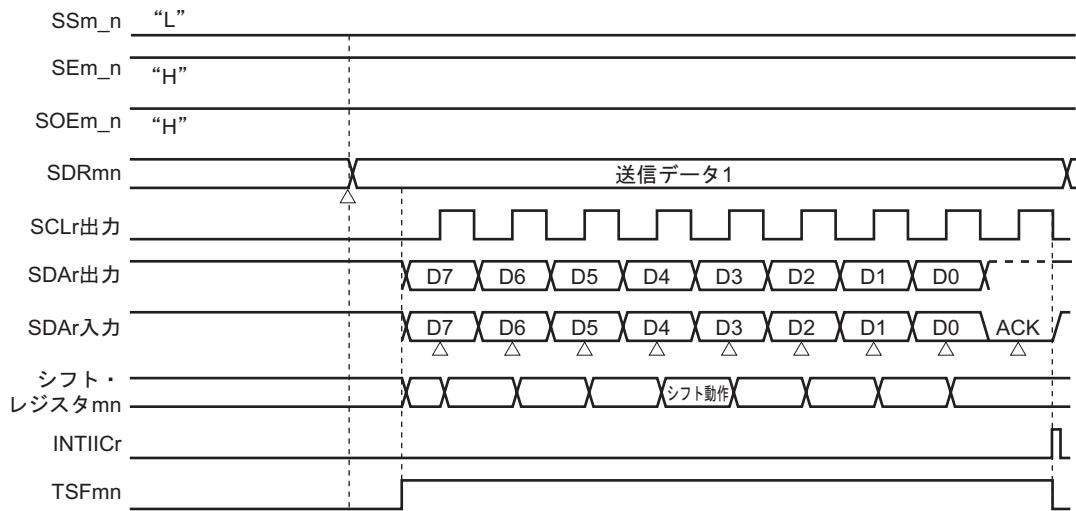
: IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

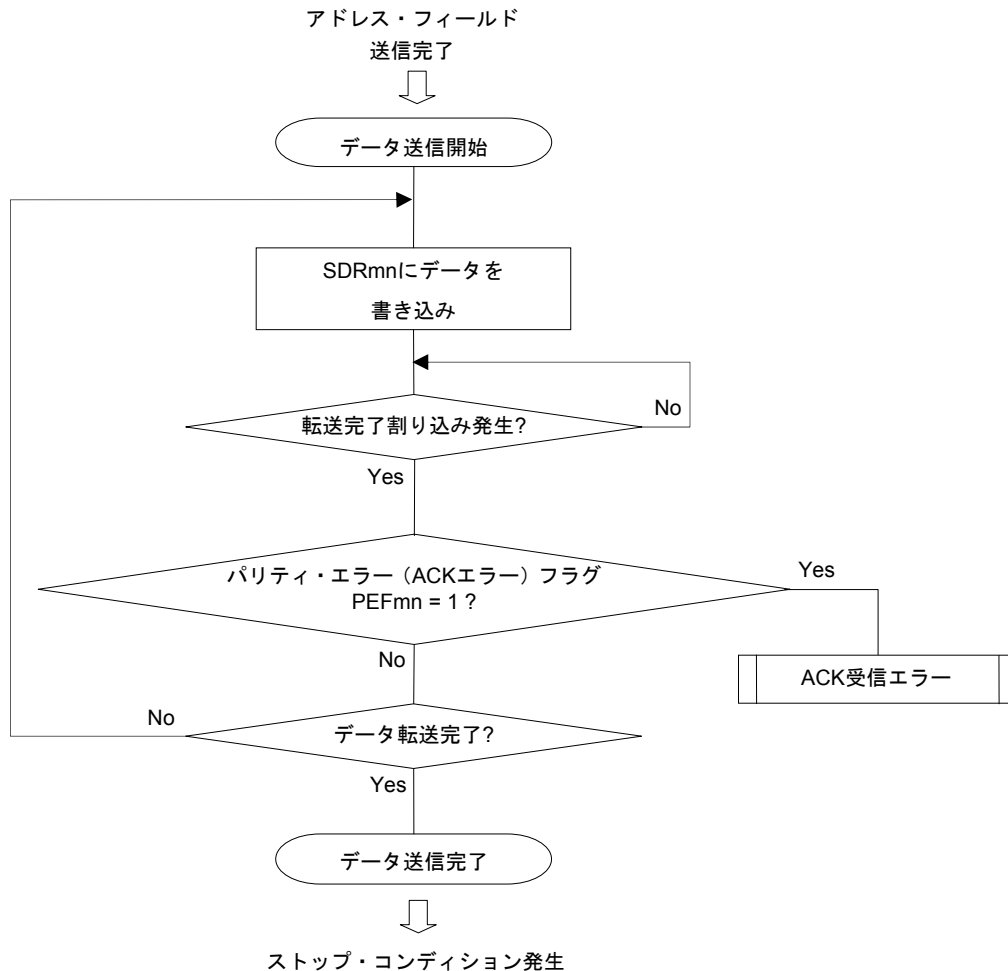
(2) 処理フロー

図11-145 データ送金のタイミング・チャート



備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

図11-146 データ送金のフロー・チャート



11.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC11	IIC20
対象チャンネル	SAU1のチャンネル1	SAU2のチャンネル0
使用端子	SCL11, SDA11	SCL20, SDA20 ^注
割り込み	INTIIC11	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{MCK} : 対象チャンネルの動作クロック（ f_{MCK} ）周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転入力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ4（POM4）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM4_3 = 1）してください（詳細は4.3 ポート機能を制御するレジスタを参照）。異電位外部デバイスとの通信の場合は、クロック入力／出力端子（SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM4_2 = 1）してください（詳細は、4.4.4 異電位（3V系）外部デバイスとの接続方法を参照）。

(1) レジスタ設定

図11-147 簡易I²C (IIC11, IIC20) のデータ受信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタ m (SO m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO m							CKOm1	CKOm0							SO m 1	SO m 0
	0	0	0	0	0	0	x	0/1 ^注	0	0	0	0	0	0	x	0/1 ^注

(b) シリアル出力許可レジスタ m (SOEm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm_1	SOEm_0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(c) シリアル・チャンネル開始レジスタ m (SS m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS m															SS m _1	SS m _0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

(d) シリアル・モード・レジスタ mn (SMR mn) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn	SCCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(e) シリアル通信動作設定レジスタ mn (SCR mn) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn	RXEmn	DAPmn	CKPmn			PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(f) シリアル・データ・レジスタ mn (SDR mn)

(i) 動作停止時 (SE m_n = 0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDR20	ポー・レート設定																
								0	0	0	0	0	0	0	0	0	0

注 通信動作中は通信データにより値が変わります。

備考 m : ユニット番号 ($m = 1, 2$) n : チャンネル番号 ($n = 0, 1$) r : IIC番号 ($r = 11, 20$)

□ : IICモードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図11-147 簡易I²C (IIC11, IIC20) のデータ受信時のレジスタ設定内容例 (2/2)

備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

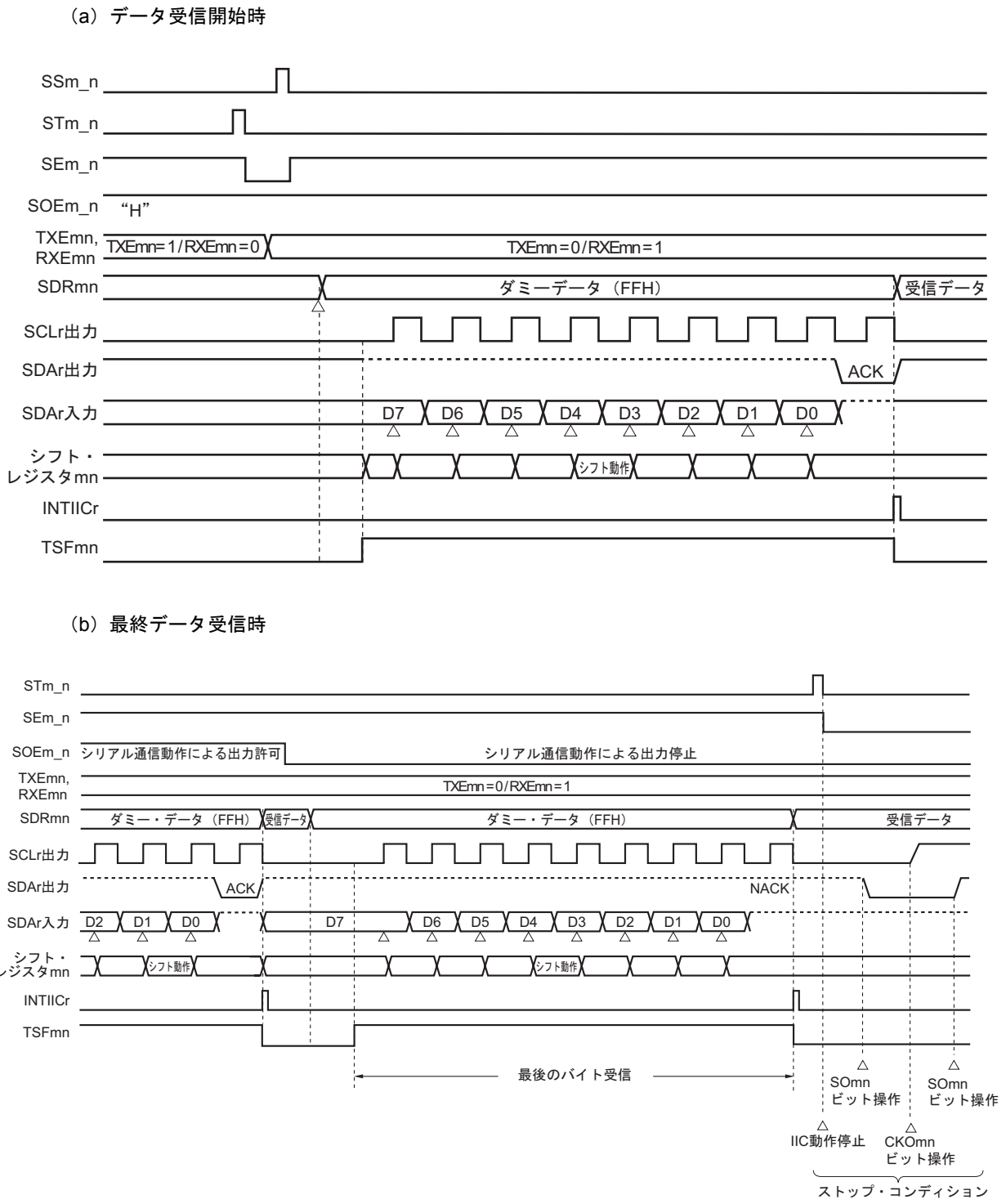
: IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

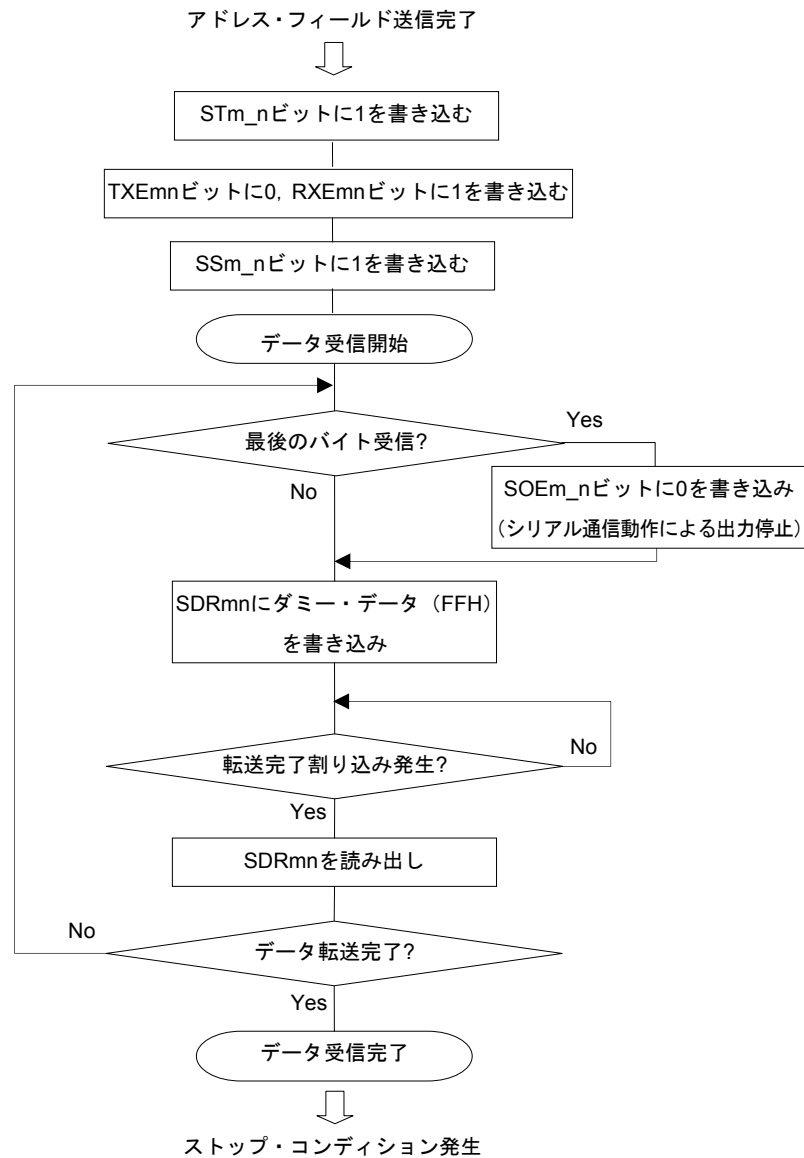
(2) 処理フロー

図11-148 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

図11-149 データ受信のフロー・チャート



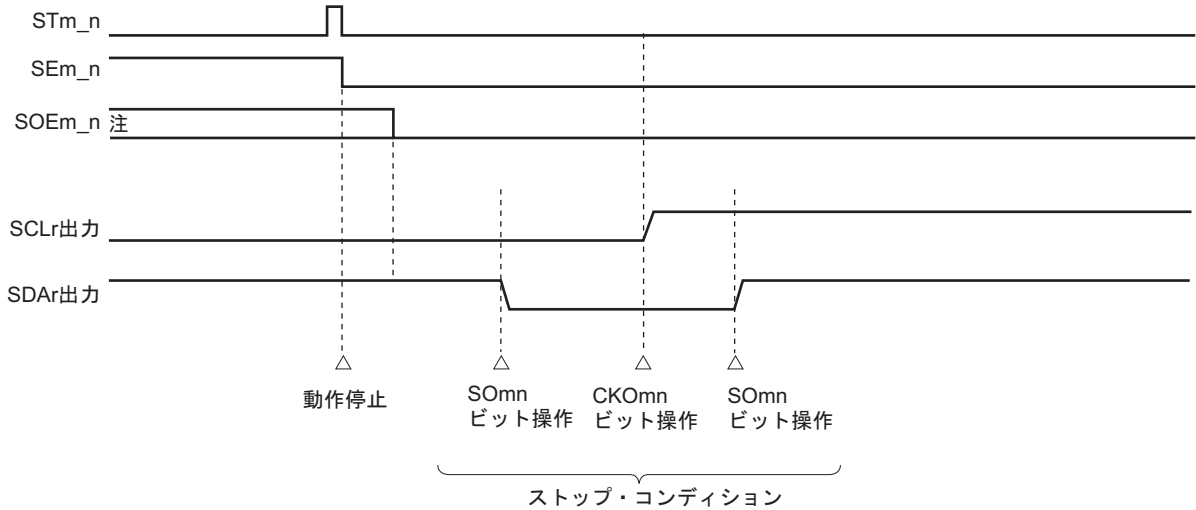
注意 最終データの受信時はACKを出力しません（NACK）。その後、STm_nビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

11.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

図11-150 ストップ・コンディション発生のタイミング・チャート

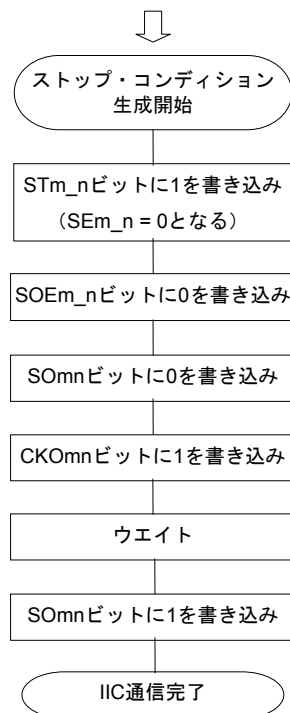


注 受信動作時は最終データを受信する前に、SOEm_nビットを0に設定しています。

備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1) r : IIC番号 (r = 11, 20)

図11-151 ストップ・コンディション発生のフロー・チャート

データ送信完了／データ受信完了



スレーブ側のI²Cの規格を満足するようにウェイトを確保します

11.8.5 転送レートの算出

簡易I²C (IIC11, IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \text{[対象チャンネルの動作クロック (f}_{MCK}\text{) 周波数]} \div (\text{SDRmn}[15:9]+1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000001B-1111111B) なので、1-127 になります。

2. m : ユニット番号 (m = 1, 2) n : チャンネル番号 (n = 0, 1)

動作クロック (f_{MCK}) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-7 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) 注	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 24 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	24 MHz
	x	x	x	x	0	0	0	1	fCLK/2	12 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	6 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	3 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	1.5 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	750 kHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	375 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	187.5 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	93.75 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	46.86 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	23.44 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	11.72 kHz
	x	x	x	x	1	1	1	1	INTTM23	
1	0	0	0	0	x	x	x	x	fCLK	24 MHz
	0	0	0	1	x	x	x	x	fCLK/2	12 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	6 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	3 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	1.5 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	750 kHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	375 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	187.5 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	93.75 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	46.86 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	23.44 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	11.72 kHz
	1	1	1	1	1	x	x	x	INTTM23	
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニットm（SAUm）の動作を停止（STm = 0003H）させてから変更してください。動作クロックにINTTM23を選択する場合は、タイマ・アレイ・ユニット2（TAU2）も停止（TT2 = 00FFH）させてください。

備考 1. x : Don't care

2. m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1)

$f_{MCK} = f_{CLK} = 24 \text{ MHz}$ の場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	$f_{CLK} = 24 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	$SDR_{mn}[15:9]+1$	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}	120	100 kHz	0.0%
400 kHz	f_{CLK}	30	400 kHz	0.0%

備考 m : ユニット番号 (m = 1, 2) n : チャネル番号 (n = 0, 1)

11.9 簡易I²C (IIC11, IIC20) 通信時におけるエラー発生時の処理手順

簡易I²C (IIC11, IIC20) 通信時にエラーが発生した場合の処理手順を図11-152, 図11-153に示します。

図11-152 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる

図11-153 簡易I²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる
STm_nビットに1を設定する	▶ SEm_n = 0となり, チャネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
SSm_nビットに1を設定する	▶ SEm_n = 1となり, チャネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0-2) n : チャネル番号 (n = 0, 1)

11.10 レジスタの設定と端子の関係

シリアル・アレイ・ユニット0-2のチャンネルごとのレジスタの設定と端子の関係を表11-8～表11-14に示します。

表11-8 レジスタの設定と端子の関係 (ユニット00のチャネル0: CSI00, STSCSI00 = 0)

SE 0_0 注1	MD 002	MD 001	SOE 0_0	SO00	OKO	TXE	RXE	SSE	PM 1_7	PM 1_6	PM 1_5	PM 3_0	動作モード	端子機能			
														P17/SCK00/ T114/TO14	P16/SI00/TI12/ TO12	P15/SO00/ TI10/TO10	P30/SSI00/ INTP2/TI01/ TO01
0	0	0	0	1	1	0	0	0	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	動作停止モード	P17/TI14/TO14	P16/TI12/TO12	P15/TI10/TO10	P30/INTP2/ TI01/TO01
1	0	0	0	1	1	0	1	0	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	スレーブCSI00 受信	SCK00 (入力)	SI00	P15	P30
			0	1	1	0	1	1	X ^{注2}	X ^{注2}	1	X	スレーブCSI00 受信 (SPI)	SCK00 (入力)	SI00	P15	SSI00
			1	0/1 ^{注3}	1	1	0	0	1	X	0	X ^{注2}	スレーブCSI00 送信	SCK00 (入力)	P16	SO00	P30
			1	0/1 ^{注3}	1	1	0	1	1	X	0	X	スレーブCSI00 送信 (SPI)	SCK00 (入力)	P16	SO00	SSI00
			1	0/1 ^{注3}	1	1	1	0	1	X	0	X ^{注2}	スレーブCSI00 送受信	SCK00 (入力)	SI00	SO00	P30
			1	0/1 ^{注3}	1	1	1	1	1	X	0	X	スレーブCSI00 送受信 (SPI)	SCK00 (入力)	SI00	SO00	SSI00
			0	1	0/1	0	1	X	0	X ^{注2}	X ^{注2}	X ^{注2}	マスターCSI00 受信	SCK00 (出力)	SI00	P15	P30
			1	0/1 ^{注3}	0/1 ^{注3}	1	0	X	0	X	0	X ^{注2}	マスターCSI00 送信	SCK00 (出力)	P16	SO00	P30
			1	0/1 ^{注3}	0/1 ^{注3}	1	1	X	0	X	0	X ^{注2}	マスターCSI00 送受信	SCK00 (出力)	SI00	SO00	P30

注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。

2. ポート機能として設定することができます。

3. 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタm (S0m) を参照してください。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 x : don't care

表11-9 レジスタの設定と端子の関係 (ユニット0のチャネル0: CSI00, STSCSI00 = 1)

SE	MD	MD	SOE	SO00	CKO	TXE	RXE	SSE	PM	P6_0	PM	P6_0	PM	P6_1	PM	P6_2	PM	P6_3	動作モード	端子機能			
																				P60/SCK00/ SCL11	P61/SI00/ SDA11	P62/SO00	P63/SSI00
0_0 注1	002	001	0_0		00	00	00	0_0	PM	P6_0	PM	P6_2	PM	P6_1	PM	P6_2	PM	P6_3					
0	0	0	0	1	1	0	0	0	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	動作停止モード	P60	P61	P62	P63
1	0	0	0	1	1	0	1	0	1	X	X ^{注2}	X ^{注2}	X ^{注2}	X	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	スレーブCSI00 受信	SCK00 (入力)	SI00	P62	P63
			0	1	1	0	1	1	1	X	X ^{注2}	X ^{注2}	X ^{注2}	X	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	スレーブCSI00 受信 (SPI)	SCK00 (入力)	SI00	P62	SSI00
			1	0/1 ^{注3}	1	1	0	0	1	X	X ^{注2}	0	1	X ^{注2}	X ^{注2}	1	X ^{注2}	X ^{注2}	スレーブCSI00 送信	SCK00 (入力)	P61	SO00	P63
			1	0/1 ^{注3}	1	1	0	1	1	X	X ^{注2}	0	1	X ^{注2}	X ^{注2}	1	X ^{注2}	X ^{注2}	スレーブCSI00 送信 (SPI)	SCK00 (入力)	P61	SO00	SSI00
			1	0/1 ^{注3}	1	1	1	0	1	X	X ^{注2}	0	1	X	X ^{注2}	1	X ^{注2}	X ^{注2}	スレーブCSI00 送受信	SCK00 (入力)	SI00	SO00	P63
			1	0/1 ^{注3}	1	1	1	1	1	X	X ^{注2}	0	1	X	X ^{注2}	1	X ^{注2}	X ^{注2}	スレーブCSI00 送受信 (SPI)	SCK00 (入力)	SI00	SO00	SSI00
			0	1	0/1	0	1	X	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	マスタCSI00 受信	SCK00 (出力)	SI00	P62	P63
			1	0/1 ^{注3}	0/1 ^{注3}	1	0	X	0	1	X ^{注2}	0	1	X ^{注2}	X ^{注2}	1	X ^{注2}	X ^{注2}	マスタCSI00 送信	SCK00 (出力)	P61	SO00	P63
			1	0/1 ^{注3}	0/1 ^{注3}	1	1	1	0	1	X	0	1	X	X ^{注2}	1	X ^{注2}	X ^{注2}	マスタCSI00 送受信	SCK00 (出力)	SI00	SO00	P63

注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。

2. ポート機能として設定することができます。

3. 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタm (SOM) を参照してください。

備考 x : don't care

表11-10 レジスタの設定と端子の関係 (ユニット0のチャネル1: CSI01)

SE	MD	MD	MD	SOE	SO01	CKO	TXE	RXE	SSE	PM	P7_6	PM	P7_5	PM	P7_4	PM	P7_7	端子機能				
																		P76/SCK01/ KR6	P75/SI01/ KR5	P74/SO01/KR4	P77/SSI01/KR7	
0_1 注1	012	011	01	0_1		01	01	01	0_1	PM	7_6	PM	7_5	PM	7_4	PM	7_7					
0	0	0	0	0	1	1	0	0	0	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
1	0	0	0	0	1	1	0	1	0	1	X	1	X	X	X	X	X	X	X	X	X	X
				0	1	1	0	1	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				1	0/1 ^{注3}	1	1	0	0	1	X	X ^{注2}	X ^{注2}	X ^{注2}	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				1	0/1 ^{注3}	1	1	0	1	1	X	X ^{注2}	X ^{注2}	X ^{注2}	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				1	0/1 ^{注3}	1	1	1	0	1	X	X ^{注2}	X ^{注2}	X ^{注2}	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				1	0/1 ^{注3}	1	1	1	1	1	X	X ^{注2}	X ^{注2}	X ^{注2}	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				0	1	0/1	0	1	X	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				1	0/1 ^{注3}	0/1 ^{注3}	1	0	X	0	1	X ^{注2}	X ^{注2}	X ^{注2}	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	
				1	0/1 ^{注3}	0/1 ^{注3}	1	1	X	0	1	X ^{注2}	X ^{注2}	X ^{注2}	0	1	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	X ^{注2}	

注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。

2. ポート機能として設定することができます。

3. 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタm (S0m) を参照してください。

備考 x : don't care

表11-11 レジスタの設定と端子の関係 (ユニット1のチャネル0 : CS10)

SE	MD	MD	SOE	SO10	CKO	TXE	RXE	PM1_0	P1_0	PM1_1	P1_1	PM1_2	P1_2	動作モード	端子機能		
															P10/SCK10/ CTxD/LTxD1/TI00/ TO00	P11/SI10/ CRxD/LRxD1/ INTPLR1/ TI02/TO02	P12/SO10/INTP3/ TI16/TO16
1_0 注1	102	101	1_0		10	10	10										
0	0	0	0	1	0	0	0	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	x ^{注2}	動作停止モード	P10/CTxD/ LTxD1/TI00/TO00	P11/CRxD/ LRxD1/INTPLR1/ TI02/TO02	P12/INTP3/TI16/ TO16
1	0	0	0	1	1	0	1	1	x	1	x	x ^{注2}	x ^{注2}	スレーブCS10 受信	SCK10 (入力)	SI10	P12
			1	0/1 ^{注3}	1	1	0	1	x	x ^{注2}	x ^{注2}	0	1	スレーブCS10 送信	SCK10 (入力)	P11	SO10
			1	0/1 ^{注3}	1	1	1	1	x	1	x	0	1	スレーブCS10 送受信	SCK10 (入力)	SI10	SO10
			0	1	0/1	0	1	0	1	1	x	x ^{注2}	x ^{注2}	マスタCS10 受信	SCK10 (出力)	SI10	P12
			1	0/1 ^{注3}	0/1 ^{注3}	1	0	0	1	x ^{注2}	x ^{注2}	0	1	マスタCS10 送信	SCK10 (出力)	P11	SO10
			1	0/1 ^{注3}	0/1 ^{注3}	1	1	0	1	1	x	0	1	マスタCS10 送受信	SCK10 (出力)	SI10	SO10

注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。

2. ポート機能として設定することができます。

3. 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタm (SOM) を参照してください。

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 x : don't care

表11-12 レジスタの設定と端子の関係 (ユニット1のチャネル1 : CSI11, IIC11) (1/2)

SE	MD	MD	MD	112	111	SOE	1_1	SO11	CKO	11	TXE	11	RXE	PM	15_3	15_3	P	15_2	15_2	PM	P	15_1	15_1	P	PM	6_0	6_0	PM	6_1	PM	IP6_1	動作モード	端子機能				
																																	P153/SCK11	P152/SI11	P151/SO11	P60/SCK00/SCL11	P61/SI00/SDA11
0	0	0	0	0	0	0	0	1	1	0	0	0	0	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	動作停止モード	P153	P152	P151	P60	P61
1	0	0	0	0	1	1	1	1	1	0	1	1	1	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	スレーブCSI11 受信	SCK11 (入力)	SI11	P151	P60	P61
				1	0/1注3	1	1	0/1注3	1	1	0	1	0	0	X注2	X注2	0	1	X注2	X注2	X注2	1	0	1	X注2	X注2	X注2	X注2	X注2	X注2	X注2	スレーブCSI11 送信	SCK11 (入力)	P152	SO11	P60	P61
				1	0/1注3	1	1	0/1注3	1	1	0	1	1	1	X注2	X注2	0	1	X注2	X注2	X注2	1	0	1	X注2	X注2	X注2	X注2	X注2	X注2	X注2	スレーブCSI11 送受信	SCK11 (入力)	SI11	SO11	P60	P61
				0	1	0/1	0/1	0	0	1	0	1	0	1	X注2	X注2	1	1	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	マスタCSI11 受信	SCK11 (出力)	SI11	P151	P60	P61
				1	0/1注3	0/1注3	0/1注3	1	0	0	1	0	0	1	X注2	X注2	0	1	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	マスタCSI11 送信	SCK11 (出力)	P152	SO11	P60	P61
				1	0/1注3	0/1注3	0/1注3	1	1	1	1	1	1	1	X注2	X注2	0	1	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	X注2	マスタCSI11 送受信	SCK11 (出力)	SI11	SO11	P60	P61

注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
 2. ポート機能として設定することができます。
 3. 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタm (S0m) を参照してください。

備考 x : don't care

表11-12 レジスタの設定と端子の関係 (ユニット1のチャネル1: CSI11, IIC11) (2/2)

SE	MD	MD	SOE	ISO11	CKO	TXE	RXE	PM	P	PM	P	PM	P	PM	P6_0	PM	P6_1	動作モード	端子機能																		
																			P153/SCK11	P152/SI11	P151/SO11	P60/SCK00/ SCL11	P61/SI00/ SDA11														
1_1 注1	112	111	1_1		11	11	11	PM	P	PM	P	PM	P	PM	6_0	6_1																					
0	1	0	0	0/1注2	0/1注2	0	0	X注3	X注3	X注3	X注3	X注3	X注3	X注3	0	1	0	1	IIC11																		
						1	0																														
						0	1																														
1	1	0	1	0/1注4	0/1注4	1	0	X注3	X注3	X注3	X注3	X注3	X注3	X注3	0	1	0	1	IIC11																		
						1	0	X注3	X注3	X注3	X注3	X注3	X注3	X注3	X注3	X注3	X注3	0	1	0	1	IIC11データ送信															
						0	1	X注3	X注3	X注3	X注3	X注3	X注3	X注3	X注3	X注3	X注3	0	1	0	1	IIC11データ受信															
0	0	0	0/1注5	0/1注5	0	0	0	X注3	X注3	X注3	X注3	X注3	X注3	0	1	0	1	IIC11																			
																			1	0																	
																			0	1																	

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. CKO11ビットは、スタート・コンディショニング発生前は1にセットします。SO11ビットは、スタート・コンディショニング発生時に1→0にクリアします。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタm (SOM) を参照してください。
5. CKO11ビットは、ストップ・コンディショニング発生前は1にセットします。SO11ビットは、ストップ・コンディショニング発生時に0→1にセットします。

注意 ■ で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 x : don't care

表11-13 レジスタの設定と端子の関係 (ユニット2のチャネル0 : UART2送信, IIC20)

SE2_0 注1	MD202	MD201	SOE2_0	SO20	CKO20	TXE20	RXE20	PM4_2	P4_2	PM 4_3注2	P4_3注2	動作モード		端子機能	
												P42	P43	P42/TxD2/SCL20	P43/RxD2/INTPR2/SDA20注2
0	0	1	0	1	1	0	0	x注3	x注3	x注3	x注3	動作停止モード	P42	P43/RxD2/INTPR2	
	1	0													P43
1	0	1	1	0/1注4	1	1	0	0	1	x注3	x注3	UART2送信注5	TxD2	P43/RxD2/INTPR2	
0	1	0	0	0/1注6	0/1注6	0	0	0	1	0	1	IIC20スタート・ コンディショニング	SCL20	SDA20	
					1	0	0	0	1	0	1				
1			1	0/1注4	0/1注4	1	0	0	1	0	1	IIC20アドレス・ フィード受信	SCL20	SDA20	
			1	0/1注4	0/1注4	1	0	0	1	0	1	IIC20データ送信	SCL20	SDA20	
			1	0/1注4	0/1注4	0	1	0	1	0	1	IIC20データ受信	SCL20	SDA20	
0			0	0/1注7	0/1注7	0	0	0	1	1	x	IIC20ストップ・ コンディショニング	SCL20	SDA20	
					1	0	0								
					0	1	0								

注1. SE2レジスタは、Read Onlyのステータス・レジスタであり、SS2レジスタとST2レジスタにて設定します。

- ユニット2のチャネル1をUART2受信に設定すると、この端子はRxD2機能となります(表11-14参照)。その場合、ユニット2のチャネル0は動作停止モードまたはUART2送信を必ず選択してください。
- ポート機能として設定することができます。
- 通信動作に応じて、0または1となります。詳細は、11.3 (12) シリアル出力レジスタ (SOM) を参照してください。
- UART2を送信と受信のペアで使用する場合は、ユニット2のチャネル1をUART2受信に設定してください(表11-14参照)。
- CKO20ビットは、スタート・コンディショニング発生前は1にセットします。SO20ビットは、スタート・コンディショニング発生時に1→0にクリアします。
- CKO20ビットは、ストップ・コンディショニング発生前は1にセットします。SO20ビットは、ストップ・コンディショニング発生時に0→1にセットします。

備考 x : don't care

表11-14 レジスタの設定と端子の関係（ユニット2のチャネル1：UART2受信）

SE2_1 注1	MD212	MD211	SOE2_1	SO21	CKO21	TXE21	RXE21	PM4_3 ^{注2}	P4_3 ^{注2}	動作モード	端子機能
0	0	1	0	1	1	0	0	x ^{注3}	x ^{注3}	動作停止モード	P43/RxD2/INTPR2/SDA20 ^{注2}
1	0	1	0	1	1	0	1	1	x	UART2受信 ^{注4,5}	RxD2/INTPR2

注1. SE2レジスタは、Read Onlyのステータス・レジスタであり、SS2レジスタとST2レジスタにて設定します。

2. ユニット2のチャネル1をUART2受信に設定すると、この端子はRxD2機能となります。その場合、ユニット2のチャネル0は動作停止モードまたはUART2送信に設定してください（表11-13参照）。

また、ユニット2のチャネル0をIIC20に設定すると、この端子はRxD2機能として使用できません。その場合、ユニット2のチャネル1は動作停止モードに設定してください。

- ポート機能として設定することができます。
- UART2を送信と受信のペアで使用する場合は、ユニット2のチャネル0をUART2送信に設定してください（表11-13参照）。
- UART2受信時はユニット2のチャネル0のSMR20レジスタの設定も必要です。詳細は、11.6.2 (1) レジスタ設定を参照してください。

備考 x : don't care

第12章 アシクロナス・シリアル・インタフェースLIN-UART (UARTF)

78K0R/Hx3はアシクロナス・シリアル・インターフェースLIN-UART (UARTF) を搭載しています。

12.1 特徴

最大転送速度 1 Mbps (専用ポー・レート・ジェネレータ使用)

全二重通信 LIN-UART受信データ・レジスタn (UFnRX) 内蔵

LIN-UART送信データ・レジスタn (UFnTX) 内蔵

2端子構成 LTxDn : 送信データの出力端子

LRxDn : 受信データの入力端子

受信データ/エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー
- ・LIN通信データ一貫性エラー検出機能
- ・BF受信成功検出機能
- ・IDパリティ・エラー
- ・チェック・サム・エラー
- ・レスポンス準備エラー
- ・ID一致機能
- ・拡張ビット検出機能

割り込みソース : 3種類

- ・受信完了割り込み (INTLRn)
- ・送信割り込み (INTLTn)
- ・ステータス割り込み (INTLSn)

キャラクタ長 : 7, 8ビット

拡張ビット設定により9ビット・データ長での通信が可能

任意の拡張ビットが期待するレベルであった場合, 受信データをあらかじめ設定したレジスタ内のデータと8ビット比較が可能

3ビット・プリスケラ内蔵

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

受信のストップ・ビットを保証 (送信開始時に受信のストップ・ビット中の場合, 送信開始をウエイト可能)

備考 n = 0, 1

LIN (Local Interconnect Network) 通信フォーマットにおける送受信機能

- ・BF送信は、13-20ビットまで選択可能
- ・LIN通信フォーマットにおけるBF受信は11ビット以上認識可能
- ・BF受信フラグあり
- ・データ通信中に、新規のBF受信を検出可能。
- ・送信データの一貫性チェック機能あり (送信データと受信データを比較し、不一致を検出する機能)
- ・スレーブ用ポー・レートを手動設定
- ・オート・チェック・サム生成機能あり (レスポンス送信時またはレスポンス受信時のチェック・サムを自動計算する機能)
- ・IDパリティ・チェック機能あり (受信したPIDのパリティ・ビットを自動チェックする機能)

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1~20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

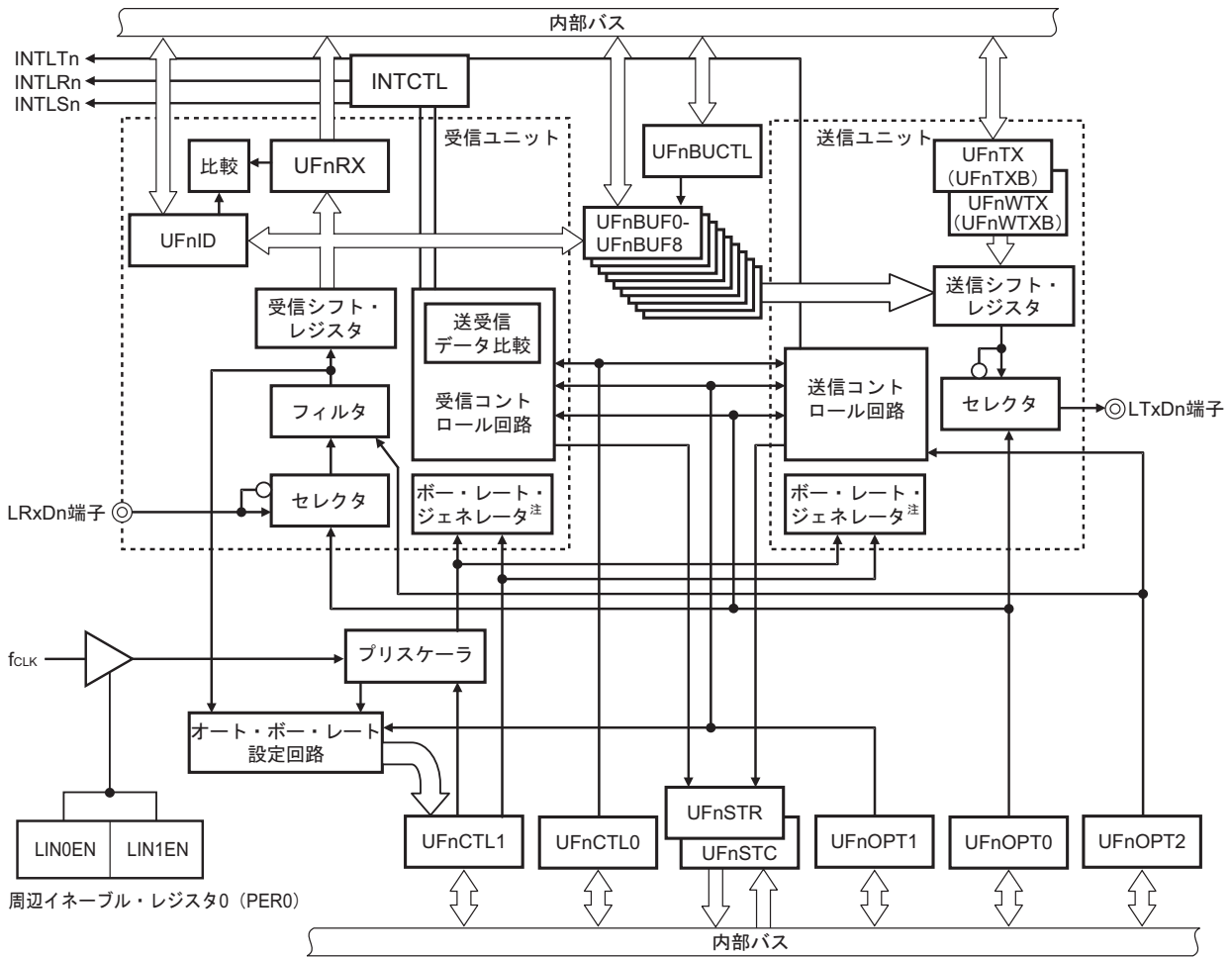
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにポー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため、スレーブのポー・レート誤差が $\pm 14\%$ 以下であれば、通信可能です。

12.2 構成

図12-1 アシクロナス・シリアル・インタフェースLIN-UARTのブロック図



注 ポー・レート・ジェネレータの構成については、図12-73 ポー・レート・ジェネレータの構成を参照してください。

備考 n = 0, 1

LIN-UARTは、次のハードウェアで構成されています。

表12-1 LIN-UARTnの構成

項 目	構 成
レジスタ	周辺イネーブル・レジスタ 0 (PER0) LIN-UARTn 制御レジスタ 0, 1 (UFnCTL0, UFnCTL1) LIN-UARTn オプション・レジスタ 0-2 (UFnOPT0-UFnOPT2) LIN-UARTn 状態レジスタ (UFnSTR) LIN-UARTn 状態クリア・レジスタ (UFnSTC) LIN-UARTn 受信シフト・レジスタ LIN-UARTn 受信データ・レジスタ (UFnRX) LIN-UARTn 8-bit 受信データ・レジスタ (UFnRXB) LIN-UARTn 送信シフト・レジスタ LIN-UARTn 送信データ・レジスタ (UFnTX) LIN-UARTn 8-bit 送信データ・レジスタ (UFnTXB) LIN-UARTn ウェイト用送信データ・レジスタ (UFnWTX) LIN-UARTn 8-bit ウェイト用送信データ・レジスタ (UFnWTXB) LIN-UARTn ID 設定レジスタ (UFnID) LIN-UARTn バッファ・レジスタ 0-8 (UFnBUF0-UFnBUF8) LIN-UARTn バッファ制御レジスタ (UFnBUCTL) シリアル通信端子選択レジスタ (STSEL) ポート・モード・レジスタ 1, 7 (PM1, PM7)

備考 n = 0, 1

12.3 制御レジスタ

(1) 周辺イネーブル・レジスタ (PER0)

PER0レジスタは、各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

LIN-UARTを使用するときは、必ず使用するLIN-UARTのビット（ビット6 (LIN1EN) またはビット5 (LIN0EN)) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	ADCEN	LIN1EN	LIN0EN	SAU1EN	SAU0EN	TAU2EN	TAU1EN	TAU0EN

LIN1EN	LIN-UART1の入カクロックの制御
0	入カクロック供給停止 ・ LIN-UART1で使用するSFRへのライト不可 ・ LIN-UART1はリセット状態
1	入カクロック供給 ・ LIN-UART1で使用するSFRへのリード/ライト可

LIN0EN	LIN-UART0の入カクロックの制御
0	入カクロック供給停止 ・ LIN-UART0で使用するSFRへのライト不可 ・ LIN-UART0はリセット状態
1	入カクロック供給 ・ LIN-UART0で使用するSFRへのリード/ライト可

注意 78K0R/HC3 の場合は、ビット2 に必ず“0”を設定してください。

(2) LIN-UARTn制御レジスタ0 (UFnCTL0)

UFnCTL0レジスタは、LIN-UARTnのシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

図12-3 LIN-UARTn制御レジスタ0 (UFnCTL0) のフォーマット (1/2)

アドレス : F0240H (UF0CTL0), F0260H (UF1CTL0) リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
UFnCTL0	0	UFnTXE	UFnRXE	UFnDIR	UFnPS1	UFnPS0	UFnCL	UFnSL

(n = 0, 1)

UFnTXE	送信動作許可
0	送信動作停止
1	送信動作許可

・ UFnTXEビットの値に関わらず、LTxDn端子のレベルはUFnOPT0レジスタのUFnTDLビットの設定が反映されます。

UFnRXE	受信動作許可
0	受信動作停止
1	受信動作許可

・ 受信中にUF0RXE = 0にすると、受信動作を中断します。受信完了割り込み要求信号には出力されず、受信データレジスタも更新されません。

・ オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のとき、受信端子がハイ・レベルであることを確認してからUFnRXE = 1にしてください。ロウ・レベル時にUFnRXE = 1にすると、そこからBF検出を始めてしまいます。

UFnDIR	通信方向モード (MSB/LSB) 選択
0	MSBファースト
1	LSBファースト

・ UFnTXE = UFnRXE = 0の場合のみ書き換え可能です。

・ LIN通信フォーマットで送受信を行う場合は、UFnDIRビットは“1”に設定してください。

図12-3 LIN-UARTn制御レジスタ0 (UFnCTL0) のフォーマット (2/2)

UFnPS1	UFnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	パリティを判定しない
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UFnTXE = UFnRXE = 0の場合のみ書き換え可能です。
 ・ 受信時に「パリティなしで受信」または「0パリティとして受信」を選択した場合、パリティ判定を行いません。
 したがって、UFnSTRレジスタのUFnPEビットはセットされないため、パリティ・エラーでのステータス割り込み (INTLSn) も発生しません。
 ・ LIN通信フォーマットで送受信を行う場合、UFnPS1, UFnPS0ビットは“00”に設定してください。

UFnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・ UFnTXE = UFnRXE = 0の場合のみ書き換え可能です。
 ・ LIN通信フォーマットで送信受信を行う場合は、UFnCLビットは“1”に設定してください。

UFnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UFnTXE = UFnRXE = 0の場合のみ書き換え可能です。
 注意 受信データのフレーミング・エラー検出時、ストップ・ビットは、ストップ・ビット長選択ビット (UFnSL) の値に関わらず、最初の1ビットのみチェックされます。

備考 パリティについての詳細は、12.5.7 パリティの種類と動作を参照してください。

(3) LIN-UARTn制御レジスタ1 (UFnCTL1)

詳細は、12.10 (2) LIN-UARTn制御レジスタ1 (UFnCTL1) を参照してください。

(4) LIN-UARTnオプション・レジスタ0 (UFnOPT0)

UFnOPT0レジスタは、LIN-UARTnのシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

図12-4 LIN-UARTnオプション・レジスタ0 (UFnOPT0) のフォーマット (1/3)

アドレス : F0241H (UF0OPT0), F0261H (UF1OPT0) リセット時 : 14H R/W

略号	7	6	5	4	3	2	1	0
UFnOPT0	UFnBRF	UFnBRT	UFnBTT	UFnBLS2	UFnBLS1	UFnBLS0	UFnTDL	UFnRDL

(n = 0, 1)

UFnBRF	BF受信フラグ
0	UFnCTL0.UFnRXE = 0に設定したとき。またはBF受信正常終了したとき
1	BF受信成功待ち状態 (UFnBRTビットをセットしたとき)
<ul style="list-style-type: none"> ・LIN通信でのBF (Break Field) を受信していることを判断します。 ・BF受信エラー時に、UFnBRFビットは“1”を保持し、そのあと再度BF受信を開始して正常終了すると“0”になります。命令でクリアできません。 ・UFnBRFビットはリードのみ可能です。 <p>注意 UFnBRF = 1の場合、BF受信が正常に終了したかどうかの判断は、ノイズ等を含め一瞬でも受信入力データにハイ・レベルが入力されると、その時点でロウ・レベル期間が11ビット以上かどうかを判断することで行われます。ロウ・レベル期間が11ビット以上のときは、BF受信に成功したと判断します。</p> <p>通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、ステータス割り込み検出時、BF受信成功フラグ (UFnBSF) が“1”になっている事により、BF受信が正常に終了したことを確認可能です。なお、通信中BF受信可能モードの場合、BF受信トリガ・ビットを設定しても受信完了割り込みは発生しませんが、設定後のステータス割り込み検出時、UFnBRFフラグが“0”になっている事による確認も可能です。</p>	

UFnBRT	BF受信トリガ
0	—
1	BF受信トリガ
<ul style="list-style-type: none"> ・LIN通信でのBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。BFを受信する場合、UFnBRTビットをセット (1) しBF受信可能状態にしてください。 ・UFnCTL0.UFnRXE = 1としてからUFnBRTビットを設定してください。 ・UFnBRTビットは受信動作中でもセットできますが、受信動作は中断されます。ステータス・フラグの更新、割り込み要求信号の発生、データの格納は行われません。 ・再設定はUFnBRF = 0であるときに行ってください。 ・通信中BF受信可能モード時のBF受信の検出は、UFnBRTビットをセットしてから受信入力データの立ち上がりエッジ検出までのロウ・レベル期間で判断されます。このため、BF受信中にUFnBRTビットをセットした場合でも、そのBFは受信可能です。 <p>注意 1. BFを受信せずにBF受信許可状態を解除するには、UFnRXE = 0にする必要があります。</p> <p>2. UFnDCS = 1かつUFnBRF = 1の状態ではデータ送信を行うことは禁止です。ただし、BF送信は可能です。</p> <p>3. オート・ポーレート・モード (UFnMD1, UFnMD0 = 11B) のとき、UFnBRTビットはセット禁止です。</p>	

図12-4 LIN-UARTnオプション・レジスタ0 (UFnOPT0) のフォーマット (2/3)

UFnBTT	BF送信トリガ
0	—
1	BF送信トリガ

・ LIN通信でのBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。
 ・ UFnCTL0.UFnTXE = 1としてからUFnBTTビットを設定してください。

注意1. データ送信中に、次の送信データの設定と本ビットのセットの両方を行うことは禁止です。
 またBF送信中にUFnBTTビットをセットしても無効です (BF送信1回で終了)。

2. BFの送信完了は、BF送信トリガ・ビット設定後のUFnTSFビットが“0”になっている事により確認可能です。ただし、BF送信中に次の送信データをUFnTXレジスタに書き込んだ場合は、UFnTSFビットはBFの送信完了時にクリアされず、“1”を保持します。
 また、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、ステータス割り込み検出後にBF受信成功フラグ (UFnBSF) が“1”になっている事でも確認可能です。

3. オート・ポー・レート・モード時 (UFnMD1, UFnMD0 = 11B), UFnBTTビットはセット禁止です。

UFnBLS2	UFnBLS1	UFnBLS0	BF長選択ビット
1	0	1	13ビット長で出力 (リセット値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力

UFnCTL0.UFnTXE = 0のとき設定できます。

UFnTDL	送信データ・レベル・ビット
0	送信データ 通常出力
1	送信データ 反転出力

・ UFnTDLビットによりLTxDn出力の値を反転できます。
 ・ UFnCTL0.UFnTXE = 0のとき設定できます。

注意1. UFnTDLビットの制御により、UFnTXEビットの値に関係なくLTxDn出力のレベルは反転します。そのため、動作禁止状態でもUFnTDLビットに“1”をセットした場合には、LTxDn出力はロウ・レベルとなります。

2. LIN通信フォーマットで送受信を行う場合は、UFnTDL = 0にしてください。

図12-4 LIN-UARTnオプション・レジスタ0 (UFnOPT0) のフォーマット (3/3)

UFnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<ul style="list-style-type: none"> ・ UFnRDLビットによりLRxDn入力の値を反転できます。 ・ UFnCTL0.UFnRXE = 0のとき設定できます。 <p>注意 1. 必ずUFnRDLビットを変更後に受信許可 (UFnRXE = 1) を行ってください。受信許可後にUFnRDLビットを変更すると、そのときの端子レベルによってスタート・ビットを誤検出することがあります。</p> <p>2. LIN通信フォーマットで送受信を行う場合は、UFnRDL = 0にしてください。</p>	

(5) LIN-UARTnオプション・レジスタ1 (UFnOPT1)

UFnOPT1レジスタは、LIN-UARTnのシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UFnOPT1レジスタは、UFnTXE = 0かつUFnRXE = 0のときに設定してください。ただし、UFnEBCビットのみUFnTXE = 1またはUFnRXE = 1のときでも変更可能です。詳細は12. 8. 3 拡張ビット・モード受信（データ比較あり）を参照してください。

図12-5 LIN-UARTnオプション・レジスタ1 (UFnOPT1) のフォーマット (1/3)

アドレス : F0244H (UF0OPT1), F0264H (UF1OPT1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UFnOPT1	UFnEBE	UFnEBL	UFnEBC	UFnIPCS	UFnACE	UFnMD1	UFnMD0	UFnDCS

(n = 0, 1)

UFnEBE	拡張ビット許可ビット
0	拡張ビット動作禁止 (UFnCTL0.UFnCLIに設定したデータ長 (7, 8ビット) で送受信)
1	拡張ビット動作許可 (UFnCTL0.UFnCL = 1の場合, データ長 (9ビット) で送受信)

注意1. UFnEBEビットをセット (1) し, 9ビットで送受信を行う場合は, データ長を8ビット (UFnCL = 1) に設定する必要があります。データ長を7ビット (UFnCL = 0) に設定した場合は, UFnEBEビットの設定は無効になります。

2. LIN通信フォーマットで送受信を行う場合は, UFnEBE = 0にしてください。

備考 拡張ビットはパリティ対象となります。

UFnEBL	拡張ビット検出レベル選択ビット
0	拡張ビット値“0”を拡張ビット検出レベルに選択
1	拡張ビット値“1”を拡張ビット検出レベルに選択

拡張ビットを許可時 (UFnCL = UFnEBE = 1), UFnEBLビットにより選択したレベルが拡張ビットとして検出された場合, ステータス割り込み要求信号 (INTLSn) が発生し, 拡張ビット検出フラグ (UEnEBD) がセットされます。

反転レベルが拡張ビットとして検出された場合は, 受信完了割り込み要求信号 (INTLRn) が発生し, 拡張ビット検出フラグはセットされません。

備考 UFnEBLビットは, UFnCL = UFnEBE = 1の場合のみ有効になります。詳細は12. 8. 2 拡張ビット・モード受信（データ比較なし）, 12. 8. 3 拡張ビット・モード受信（データ比較あり）を参照してください。

図12-5 LIN-UARTnオプション・レジスタ1 (UFnOPT1) のフォーマット (2/3)

UFnEBC	拡張ビット・データ比較許可ビット
0	比較なし (データ受信完了時、必ずINTLRnまたはINTLSnを発生)
1	UFnEBLビットに選択したレベルが拡張ビットとして検出された場合、UFnRXレジスタとUFnIDレジスタを比較 (UFnRXレジスタとUFnIDレジスタが一致したときのみINTLSnを発生)

UFnEBCビットは拡張ビットを許可時 (UFnCL = UFnEBE = 1)、受信したデータとUFnIDレジスタの比較を許可するビットです。

備考 UFnEBCビットは、UFnCL = UFnEBE = 1の場合のみ有効になります。詳細は12. 8. 2 拡張ビット・モード受信 (データ比較なし)、12. 8. 3 拡張ビット・モード受信 (データ比較あり) を参照してください。

UFnIPCS	IDパリティ・チェック選択ビット
0	自動IDパリティ・チェックなし (ソフトウェアによりPIDのパリティを計算し、チェックが必要)
1	自動IDパリティ・チェックあり

・ UFnIPCSビットは、オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のとき、受信したPIDのパリティ・ビットの自動チェックの取り扱いを選択します。

・ UFnIPCS = 1の場合、LIN通信において受信したPIDをUFnIDレジスタに格納するときにパリティ・ビットをチェックします。結果の不正を検出するとIDパリティ・エラー・フラグ (UFnIPE) がセットされ、ステータス割り込み要求信号 (INTLSn) が発生します。

備考 UFnIPCSビットは、オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) の場合のみ有効になります。詳細は12. 7. 3 IDパリティ・チェック機能を参照してください。

UFnACE	オート・チェック・サム許可ビット
0	チェック・サム自動計算を禁止 レスポンス送信：ソフトウェアによりチェック・サムを計算し、バッファに設定する必要があります レスポンス受信：バッファに格納されたデータからソフトウェアによりチェック・サムを計算し、通信によって得られたチェック・サムと比較確認する必要があります。
1	チェック・サム自動計算を許可 レスポンス送信：バッファに設定したデータからチェック・サムを自動計算し、レスポンス送信の最後に自動的に付加します。 レスポンス受信：バッファに格納されたデータからチェック・サムを自動計算し、通信によって得られたチェック・サムと自動的に比較確認が行われます。

・ UFnACEビットはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のとき、レスポンス送信時とレスポンス受信時のチェック・サム自動計算の取り扱いを選択します。

・ UFnACE = 1でレスポンス受信の場合、LIN通信において受信したチェック・サムを受信バッファに格納するときにチェックします。結果の不正が検出されるとチェック・サム・エラー・フラグ (UFnCSE) がセットされ、ステータス割り込み要求信号 (INTLSn) が発生します。

備考 UFnACEビットは、オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) の場合のみ有効になります。詳細は12. 7. 4 オート・チェック・サム機能を参照してください。

図12-5 LIN-UARTnオプション・レジスタ1 (UFnOPT1) のフォーマット (3/3)

UFnMD1	UFnMD0	LIN-UART動作モード選択ビット
0	0	通常UARTモード
0	1	設定禁止
1	0	LIN通信：通信中BF受信可能モード データの通信中に新規のBreak Fieldを検出します。 (ストップ・ビット位置でのロウ・レベル検出時、次にハイ・レベルが検出されるまで待ち、ロウ・レベル期間が11ビット以上であれば、新規のBF受信と認識)
1	1	LIN通信：オート・ポー・レート・モード

注意 1. LIN通信のマスタの場合、オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) にすることは禁止です。

2. 通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) とオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時には、必ずUFnDCSビットも“1”にしてください。

備考 LIN通信時、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、TMLINn = 1 に設定してシリアル・データ入力端子 (LRxDn) の入力信号をタイマ入力として選択してください。

UFnDCS	データ一貫性チェック選択ビット
0	データの一貫性をチェックしません。
1	データの一貫性をチェックします。

・ UFnDCSビットはLIN通信でデータを送信する場合、データの一貫性チェックの取り扱いを選択します。詳細は、12.5.8 データ一貫性チェックを参照してください。

・ UFnDCS = 1の場合、LIN通信でデータを送信するときに送信データと受信データを比較します。不一致が検出されるとデータ一貫性エラー・フラグ (UFnDCE) がセットされ、ステータス割り込み要求信号 (INTLSn) が発生します。

注意 1. LIN通信を使用する場合、UFnDCSビットのセットが可能です。それ以外の場合は、必ず“0”を設定してください。

2. UFnDCSビットをセット (1) する際は、データ・ビット長を8ビットに固定し、パリティ・ビットの付加は禁止です。

3. 通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) とオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時には、必ずUFnDCS = 1にしてください。

(6) LIN-UARTnオプション・レジスタ2 (UFnOPT2)

UFnOPT2レジスタは、LIN-UARTnのシリアル通信動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

図12-6 LIN-UARTnオプション・レジスタ2 (UFnOPT2) のフォーマット

アドレス : F0245H (UF0OPT2), F0265H (UF1OPT2) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UFnOPT2	0	0	0	0	0	0	UFnRXFL	UFnITS

(n = 0, 1)

UFnRXFL	受信データのノイズ・フィルタ使用選択ビット
0	ノイズ・フィルタを使用
1	ノイズ・フィルタを使用しない

UFnRXFLビットはノイズ・フィルタの使用を選択します。詳細は、12.9 受信データのノイズ・フィルタを参照してください。

注意 UFnRXFLビットは、必ずUFnCTL0.UFnRXE = 0のときに設定してください。

UFnITS	送信割り込み (INTLTn) 発生タイミング選択ビット
0	送信開始時に送信割り込み要求を出力
1	送信完了時に送信割り込み要求を出力

注意 UFnITSビットは、必ずUFnCTL0.UFnTXE = 0のときに設定してください。
ただし、連続送信中 (UFnITS = 0) に最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後にUFnITS = 1へ変更可能ですが、送信完了までに変更処理を終了してください。

(7) LIN-UARTn状態レジスタ (UFnSTR)

UFnSTRレジスタは、LIN-UARTnの通信状態と受信エラー内容を示す16ビットのレジスタです。

16ビット単位でリードのみ可能です。

リセットにより0000Hとなります。

注意 UFnTSFフラグとUFnRSFフラグ以外は、LIN-UARTn状態クリア・レジスタ (UFnSTC) の対象ビットへ“1”をライトしてクリアするまで保持されます。ステータス・フラグをクリアする場合は、LIN-UARTn状態クリア・レジスタ (UFnSTC) の対象ビットへ16ビット操作命令で“1”をライトしてクリアしてください。

図12-7 LIN-UARTn状態レジスタ (UFnSTR) のフォーマット (1/5)

アドレス : F0246H, F0247H (UF0STR), F0266H, F0267H (UF1STR)	リセット時 : 0000H	R						
略号	15	14	13	12	11	10	9	8
UFnSTR	0	UFnIPE	UFnCSE	UFnRPE	UFnHDC	UFnBUC	UFnIDM	UFnEBD
(n = 0, 1)	7	6	5	4	3	2	1	0
	UFnTSF	UFnRSF	0	UFnBSF	UFnDCE	UFnPE	UFnFE	UFnOVE

UFnIPE	IDパリティ・エラー・フラグ
0	IDパリティ・エラーが発生していない
1	IDパリティ・エラーが発生 <IDパリティ・エラー要因> 受信したPIDのパリティが不正
<ul style="list-style-type: none"> UFnIPEビットは、IDパリティ・チェック機能による確認状態を示すフラグです。オート・ポーレート・モード (UFnMD1, UFnMD0 = 11B) 時、受信したPIDのパリティが不正だった場合に“1”となります。詳細は、12.7.3 IDパリティ・チェック機能を参照してください。 UFnIPEビットは累積型フラグなので、UFnSTCレジスタのUFnCLIPEビットへ“1”をライトするまでクリアされません。IDパリティ・チェック機能を禁止している場合 (UFnIPCS = 0) はセットされません。 	

UFnCSE	チェック・サム・エラー・フラグ
0	チェック・サム・エラーが発生していない
1	チェック・サム・エラーが発生 <チェック・サム・エラー要因> レスポンス受信時、バッファに格納されたデータから自動計算したチェック・サムと、通信によって得られたチェック・サムの比較結果が不正
<ul style="list-style-type: none"> UFnCSEビットは、オート・チェック・サム機能による確認状態を示すフラグです。オート・ポーレート・モード (UFnMD1, UFnMD0 = 11B) かつレスポンス受信時、受信したチェック・サムが不正だった場合に“1”となります。詳細は、12.7.4 オート・チェック・サム機能を参照してください。 UFnCSEビットは累積型フラグなので、UFnSTCレジスタのUFnCLCSEビットへ“1”をライトするまでクリアされません。オート・チェック・サム機能を禁止している場合 (UFnACE = 0) はセットされません。 	
<p>注意 1. レスポンス送信時、チェック・サム・エラー・フラグはセットされません。データ一貫性チェックでエラーの確認をしてください。</p> <p>2. レスポンス送信時は、受信データをUFnRXレジスタに格納します。ただし、リードしなくてもオーバーラン・エラーはセットされません。そのため、受信したチェック・サムは受信完了割り込み後にUFnRXレジスタをリードすることで確認できます。</p>	

図12-7 LIN-UARTn状態レジスタ (UFnSTR) のフォーマット (2/5)

UFnRPE	レスポンス準備エラー・フラグ
0	レスポンス準備エラーが発生していない
1	レスポンス準備エラーが発生 <レスポンス準備エラー要因> ヘッダ受信後、1バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかった

・ UFnRPEビットは、レスポンス準備検出機能による確認状態を示すフラグです。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) でレスポンス準備 (UFnNO, UFnRRQビットのセット) が間に合わなかった場合に“1”となります。詳細は、12.7.2 レスポンス準備エラー検出機能を参照してください。

・ UFnRPEビットは累積型フラグなので、UFnSTCレジスタのUFnCLRPEビットへ“1”をライトするまでクリアされません。オート・ポー・レート・モード以外の場合 (UFnMD1, UFnMD0 = 00Bまたは10B) はセットされません。

UFnHDC	ヘッダ受信完了フラグ
0	ヘッダの受信が完了していない
1	ヘッダの受信が完了

・ UFnHDCビットは、ヘッダの受信が完了したことを示すフラグです。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時、ヘッダの受信が完了すると“1”となります。詳細は、12.7.1 オート・ポー・レート設定機能を参照してください。

・ UFnHDCビットは累積型フラグなので、UFnSTCレジスタのUFnCLHDCビットへ“1”をライトするまでクリアされません。オート・ポー・レート・モード以外の場合 (UFnMD1, UFnMD0 = 00Bまたは10B) はセットされません。

注意 PID受信時のエラーではセットされません。

UFnBUC	バッファ送受信完了フラグ
0	バッファ送受信が完了していない
1	バッファ送受信が完了 <バッファ送受信完了条件> 設定された数のデータを送信/受信 (通常UARTモード時は送信のみ)

・ UFnBUCビットは、バッファのデータの送受信状態を示すフラグです。設定された数のデータがエラーなく送信/受信された場合に“1”となります。詳細は、12.6.1 UARTバッファ・モード送信、12.7 LIN通信オート・ポー・レート・モードを参照してください。

・ UFnBUCビットは累積型フラグなので、UFnSTCレジスタのUFnCLBUCビットへ“1”をライトするまでクリアされません。通常UARTモード (UFnMD1, UFnMD0 = 00B) またはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のときのみ、セットされます。

図12-7 LIN-UARTn状態レジスタ (UFnSTR) のフォーマット (3/5)

UFnIDM	ID 一致フラグ
0	ID が一致していない
1	ID が一致 <ID 一致条件> 受信データの拡張ビットを除く 8 ビットとあらかじめ設定した UFnID レジスタの値が一致

・ UFnIDM ビットは、拡張ビット許可 (UFnCL = UFnEBE = 1) で拡張ビット・データ比較許可 (UFnEBC = 1) のとき、受信データの拡張ビットを除く 8 ビットとあらかじめ設定した UFnID レジスタ値の比較結果を示すフラグです。比較は拡張ビット検出レベル選択ビット (UFnEBL) で設定したレベルが検出されたデータで行われます。比較結果が一致した場合、UFnIDM ビットは“1”となります。詳細は、12.8.3 拡張ビット・モード受信 (データ比較あり) を参照してください。
 ・ UFnIDM ビットは累積型フラグなので、UFnSTC レジスタの UFnCLIDM ビットへ“1”をライトするまでクリアされません。拡張ビット許可かつ拡張ビット・データ比較許可 (UFnCL = UFnEBE = UFnEBC = 1) 以外の場合はセットされません。

UFnEBD	拡張ビット検出フラグ
0	拡張ビットが検出されていない
1	拡張ビットを検出 <拡張ビット検出条件> 拡張ビットにおいて、拡張ビット検出レベル選択ビット (UFnEBL) で設定したレベルが検出

・ UFnEBD ビットは、拡張ビット許可 (UFnCL = UFnEBE = 1) のとき、拡張ビット検出レベル選択ビット (UFnEBL) で設定したレベルの検出を示すフラグです。設定レベルが検出された場合、UFnEBD ビットは“1”となります。詳細は、12.8.2 拡張ビット・モード受信 (データ比較なし)、12.8.3 拡張ビット・モード受信 (データ比較あり) を参照してください。
 ・ UFnEBD ビットは累積型フラグなので、UFnSTC レジスタの UFnCLEBD ビットへ“1”をライトするまでクリアされません。拡張ビット禁止の場合 (UFnEBE = 0) はセットされません。

UFnTSF	送信状態フラグ
0	送信動作を行っていない <送信動作停止条件> <ul style="list-style-type: none"> UFnCTL0.UFnTXE = 0 に設定したとき 送信完了後に、UFnTX, UFnWTX, UFnBUF0-UFnBUF8 レジスタに次の送信データがない、かつ、BF送信設定がされていないとき (UFnBTT がセットされていない) BF送信を終えたあと、UFnTX, UFnWTX, UFnBUF0-UFnBUF8 レジスタに次の送信データがなかったとき データ一貫性エラー検出後の送信完了時
1	送信動作を行っている <送信動作開始条件> <ul style="list-style-type: none"> UFnTX, UFnWTX レジスタへの書き込み BF送信トリガ・ビット (UFnBTT) をセットしたとき^注 送信要求ビット (UFnTRQ) をセットしたとき

・ 連続送信を行っている場合には UFnTSF ビットは常に“1”になっています。
 ・ 送信ユニットの初期化を行う場合には、UFnTSF = 0 になっていることを確認してから初期化を行ってください。UFnTSF = 1 の状態で初期化を行った場合、送信が途中で中断されます。
 ・ 通信中 BF 受信可能モード時かつデータ送信中に BF を検出した場合、およびオート・ポー・レート・モード時かつデータ送信中に BF/SF を検出した場合は、UFnDCE フラグがセットされ、ステータス割り込み (INTLSn) の発生するタイミングで UFnTSF ビットをクリアします。

注 BF 期間のみ

図12-7 LIN-UARTn状態レジスタ (UFnSTR) のフォーマット (4/5)

UFnRSF	受信状態フラグ
0	受信動作を行っていない <受信動作停止条件> <ul style="list-style-type: none"> ・ UFnCTL0.UFnRXE = 0に設定したとき ・ 受信時, ストップ・ビット (1ビット目) のサンプリング・ポイントのとき ・ UFnBRT = 1に設定したとき ・ 通信中BF受信可能モードでBF検出したとき ・ オート・ポー・レート・モードでBF/SFを検出したとき
1	受信動作を行っている <受信動作開始条件> スタート・ビットを検出したとき。(LRxDnの立ち下がりエッジ検出後, ビットのサンプリング・ポイントでデータが"0"であることを検出したタイミング)
・ 受信ユニットの初期化を行う場合には, UFnRSF = 0になっていることを確認してから初期化を行ってください。UFnRSF = 1の状態では初期化を行った場合, 受信が途中で中断されます。	

UFnBSF	BF受信成功フラグ
0	BF 受信を成功していない
1	BF 受信を成功 <BF 受信条件> 11 ビット以上の連続するロウ・レベル (BF) を受信
<ul style="list-style-type: none"> ・ UFnBSFビットは, BFの受信に成功したことを表すフラグです。通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) で, 11ビット以上の連続するロウレベル (BF) を受信したとき (LRxDn端子の立ち上がりエッジを検出し, ステータス割り込み (INTLSn) 発生と同タイミング) に"1"となります。 ・ 通信中BF受信可能モードの場合, BFはデータ通信中でも受信される可能性があるため, ステータス割り込み処理でUFnBSFビットを読み出し, 新しいフレーム・スロットの開始を確認する必要があります。 ・ UFnBSFビットは累積型フラグなので, UFnSTCレジスタのUFnCLBSFビットへ"1"をライトするまでクリアされません。通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) 以外ではセットされません。 	

UFnDCE	データ一貫性エラーフラグ
0	データ一貫性エラーが発生していない
1	データ一貫性エラーが発生 <データ一貫性エラー要因> LIN 通信において送信データが受信データと一致しない
<ul style="list-style-type: none"> ・ データの一貫性チェック選択ビットをセットしている場合 (UFnDCS = 1), データを送信するときに送信データと受信データを比較します。不一致を検出した場合, ステータス割り込み (INTLSn) 発生と同時にUFnDCEビットは"1"となります。 ・ UFnDCEビットは累積型フラグなので, UFnSTCレジスタのUFnCLDCEビットへ"1"をライトするか, UFnCTL0レジスタのUFnTXEビットに"0"をライトまでクリアされません。UFnDCS = 0の場合は, UFnDCEビットはセットされません。 <p>注意 データ一貫性エラーを検出した場合, 次の転送は行いません。詳細は12.5.8 データ一貫性チェックを参照してください。</p>	

図12-7 LIN-UARTn状態レジスタ (UFnSTR) のフォーマット (5/5)

UFnPE	パリティ・エラー・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生 <パリティ・エラー要因> 受信時、データのパリティとパリティ・ビットが一致しない
<ul style="list-style-type: none"> UFnPEビットの動作は、UFnPS1, UFnPS0ビットの設定により決定されます。 UFnPEビットは累積型フラグなので、UFnSTCレジスタのUFnCLPEビットへ"1"をライトするか、UFnCTL0レジスタのUFnRXEビットに"0"をライトするまでクリアされません。UFnPS1, UFnPS0 = 0xBの場合は、UFnPEビットはセットされません。(x : Don't Care) 	

UFnFE	フレーミング・エラー・フラグ
0	フレーミング・エラーが発生していない
1	フレーミング・エラーが発生 <フレーミング・エラー要因> 受信時、ストップ・ビットが検出されない
<ul style="list-style-type: none"> 受信データのストップ・ビットは、UFnSLビットの設定値に関わらず、最初の1ビットのみチェックします。 UFnFEビットは累積型フラグなので、UFnSTCレジスタのUFnCLFEビットへ"1"をライトするか、UFnCTL0レジスタのUFnRXEビットに"0"をライトするまでクリアされません。 	

UFnOVE	オーバラン・エラー・フラグ
0	オーバラン・エラーが発生していない
1	オーバラン・エラーが発生 <オーバラン・エラー要因> UFnRXレジスタに受信データが格納され、それを読み出す前に次の受信動作が完了した
<ul style="list-style-type: none"> オーバラン・エラーが発生したとき、次の受信データはUFnRXレジスタに書き込まれず、データは破棄されます。 UFnOVEビットは累積型フラグなので、UFnSTCレジスタのUFnCLOVEビットへ"1"をライトするか、UFnCTL0レジスタのUFnRXEビットに"0"をライトするまでクリアされません。オート・ポーレート・モード (UFnMD1, UFnMD0 = 11B) ではセットされません。 <p>注意 拡張ビット・データ比較許可状態 (UFnEBE = 1かつUFnEBC = 1) で、ID不一致によるステータス割り込みが発生しない場合、受信データがUFnRXレジスタに格納されないため、受信データを読み出さなくてもUFnOVEフラグはセットされません。また、オート・ポーレート・モードで送信する場合、受信データは毎回UFnRXレジスタに格納されますが、受信データを読み出さなくてもUFnOVEフラグはセットされません。</p>	

(8) LIN-UARTn状態クリア・レジスタ (UFnSTC)

UFnSTCレジスタは、LIN-UARTnの状態フラグをクリアする16ビットのレジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hとなります。

注意 対応するビットへ"1"をライトすることにより、LIN-UART状態レジスタ (UFnSTR) のフラグをクリアすることができます。ビットへの"0"ライトは意味がありません。リードした場合は0が読み出されます。

図12-8 LIN-UARTn状態クリア・レジスタ (UFnSTC) のフォーマット (1/2)

アドレス	F0248H, F0249H (UF0STC), F0268H, F0269H (UF1STC)							リセット時	R/W
略号	15	14	13	12	11	10	9	8	
UFnSTC	0	UFnCLPE	UFnCLCSE	UFnCLRPE	UFnCLHDC	UFnCLBUC	UFnCLIDM	UFnCLEBD	
(n = 0, 1)	7	6	5	4	3	2	1	0	
	0	0	0	UFnCLBSF	UFnCLDCE	UFnCLPE	UFnCLFE	UFnCLOVE	
UFnCLPE	チャンネルnのID/パリティ・エラー・フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnPEビットをクリア (0) する								
UFnCLCSE	チャンネルnのチェック・サム・エラー・フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnCSEビットをクリア (0) する								
UFnCLRPE	チャンネルnのレスポンス準備エラー・フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnRPEビットをクリア (0) する								
UFnCLHDC	チャンネルnのヘッダ受信完了フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnHDCビットをクリア (0) する								
UFnCLBUC	チャンネルnのバッファ送受信完了フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnBUCビットをクリア (0) する								
UFnCLIDM	チャンネルnのID一致フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnIDMビットをクリア (0) する								
UFnCLEBD	チャンネルnの拡張ビット検出フラグのクリア・トリガ								
0	トリガ動作せず								
1	UFnSTRレジスタのUFnEBDビットをクリア (0) する								

図12-8 LIN-UARTn状態クリア・レジスタ (UFnSTC) のフォーマット (2/2)

UFnCLBSF	チャンネルnのBF受信成功フラグのクリア・トリガ
0	トリガ動作せず
1	UFnSTRレジスタのUFnBSFビットをクリア (0) する

UFnCLDCE	チャンネルnのデーター貫性エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UFnSTRレジスタのUFnDCEビットをクリア (0) する

UFnCLPE	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UFnSTRレジスタのUFnPEビットをクリア (0) する

UFnCLFE	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UFnSTRレジスタのUFnFEビットをクリア (0) する

UFnCLOVE	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	UFnSTRレジスタのUFnOVEビットをクリア (0) する

(9) LIN-UART_n送信データ・レジスタ (UFnTX)

UFnTXレジスタは、送信データを設定するための16ビット・レジスタです。

UFnTXレジスタは16ビット単位でリード/ライト可能です。8ビット単位でリード/ライトする場合はUFnTXBレジスタとしてアクセス可能です。

バッファを使用しない場合、送信許可状態 (UFnTXE = 1) でデータの一貫性エラーを検出していない (UFnDCE = 0) ときに、UFnTXレジスタへ送信データをライトすることで送信を開始します。

UFnEBE = 0のときは、UFnCLビットで指定されるキャラクタ長の送信データが送信されます。

UFnEBE = UFnCL = 1の場合は、9ビット長の送信データが送信されます。送信データ・フォーマットは、12.5.1 データ・フォーマットを参照してください。

送信するデータは、送信シフト・レジスタへ取り込む前にUFnTXレジスタへライトされた最後のデータです。UFnITS = 0のときは、送信割り込み要求発生後に次の送信データをUFnTXレジスタへ書き込む事で、連続送信が可能となります。送信割り込み要求発生前に次の送信データがライトされると、先にライトされたデータを上書きし、あとのデータだけを送信します。

UFnTXレジスタはリセット入力により0000Hとなります。

図12-9 LIN-UART_n送信データ・レジスタ (UFnTX) のフォーマット

アドレス : FFF48H, FFF49H (UF0TX), FFF4CH, FFF4DH (UF1TX)	リセット時 : 0000H	R/W						
略号	15	14	13	12	11	10	9	8
UFnTX	0	0	0	0	0	0	0	UFnTX8
(n = 0, 1)	7	6	5	4	3	2	1	0
	UFnTX7	UFnTX6	UFnTX5	UFnTX4	UFnTX3	UFnTX2	UFnTX1	UFnTX0

データ長を7ビットに指定した場合 (UFnCL = 0) :

- ・ LSBファースト送信時、送信データはUFnTXレジスタのビット6-0が転送されます。
- ・ MSBファースト送信時、送信データはUFnTXレジスタのビット7-1が転送されます。

注意1. 送信禁止状態 (UFnTXE = 0) において、UFnTXレジスタへ書き込んだ場合、送信開始トリガとして動作しません。そのため、送信禁止状態にてUFnTXレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。

- UFnTXレジスタに8ビットでライトを行った場合 (UFnTXBレジスタにライトした場合)、UFnTX8ビットには0が書き込まれます。
- UFnBUF0-UFnBUF8レジスタ使用時、UFnTXレジスタへの書き込みは禁止です。
- オート・チェック・サム機能を使用する場合、UFnTXレジスタに0000Hを設定しておく必要があります。

備考 UFnTX8ビットは、拡張ビット許可時 (UFnEBE = UFnCL = 1) の拡張ビットです。

(10) LIN-UARTn 8-bit送信データ・レジスタ (UFnTXB)

UFnTXBレジスタは、送信データを設定するための8ビット・レジスタです。

UFnTXBレジスタは8ビット単位でリード/ライト可能です。

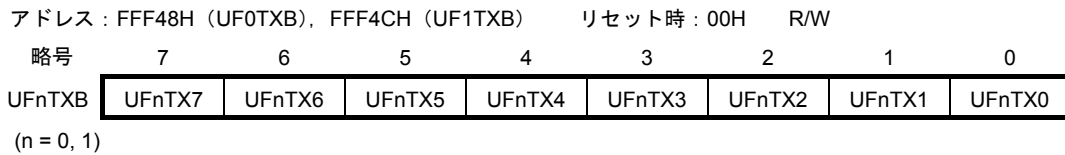
バッファを使用しない場合、送信許可状態 (UFnTXE = 1) でデータの一貫性エラーを検出していない (UFnDCE = 0) ときに、UFnTXBレジスタへ送信データをライトすることで送信を開始します。

UFnEBE = 0のときは、UFnCLビットで指定されるキャラクタ長の送信データが送信されます。送信データ・フォーマットは、12.5.1 データ・フォーマットを参照してください。

送信するデータは、送信シフト・レジスタへ取り込む前にUFnTXBレジスタへライトされた最後のデータです。UFnITS = 0のときは、送信割り込み要求発生後に次の送信データをUFnTXBレジスタへ書き込む事で、連続送信が可能となります。送信割り込み要求発生前に次の送信データがライトされると、先にライトされたデータを上書きし、あとのデータだけを送信します。

UFnTXBレジスタはリセット入力により00Hとなります。

図12-10 LIN-UARTn 8-bit送信データ・レジスタ (UFnTXB) のフォーマット



データ長を7ビットに指定した場合 (UFnCL = 0) :

- ・ LSBファースト送信時、送信データはUFnTXBレジスタのビット6-0が転送されます。
- ・ MSBファースト送信時、送信データはUFnTXBレジスタのビット7-1が転送されます。

- 注意1. 送信禁止状態 (UFnTXE = 0) において、UFnTXBレジスタへ書き込んだ場合、送信開始トリガとして動作しません。そのため、送信禁止状態にてUFnTXBレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。
- UFnTXBレジスタにライトした場合、UFnTXレジスタのUFnTX8ビットには0が書き込まれます。
 - UFnBUF0-UFnBUF8レジスタ使用時、UFnTXBレジスタへの書き込みは禁止です。
 - オート・チェック・サム機能を使用する場合、UFnTXBレジスタに00Hを設定しておく必要があります。

(11) LIN-UARTn ウェイト用送信データ・レジスタ (UFnWTX)

UFnWTXレジスタは、LIN通信時、受信のストップ・ビット完了まで送信開始を遅らせるための専用16ビット・レジスタです。

UFnWTXレジスタは16ビット単位でライトのみ可能です。8ビット単位でライトする場合はUFnWTXBレジスタとしてアクセス可能です。

UFnWTXレジスタは、受信から送信へ切り替わる場合に受信のストップ・ビット長を保証します。

詳細は、12.5.11 送信開始ウェイト機能を参照してください。

UFnWTXレジスタをリードすると、UFnTXレジスタの値がリードされます。

リセット入力により0000Hとなります。

図12-11 LIN-UARTn ウェイト用送信データ・レジスタ (UFnWTX) のフォーマット

アドレス : F024AH, F024BH (UF0WTX), F026AH, F026BH (UF1WTX)	リセット時 : 0000H							W
略号	15	14	13	12	11	10	9	8
UFnWTX	0	0	0	0	0	0	0	UFnWTX8
(n = 0, 1)	7	6	5	4	3	2	1	0
	UFnWTX7	UFnWTX6	UFnWTX5	UFnWTX4	UFnWTX3	UFnWTX2	UFnWTX1	UFnWTX0

- 注意 1. 受信から送信へ切り替わるとき以外（送信中など）、UFnWTXレジスタへのライトは禁止です。
2. UFnWTXレジスタに8ビット・アクセスした場合（UFnWTXBレジスタにアクセスした場合）、UFnWTX8ビットには0が書き込まれます。
3. UFnBUF0-UFnBUF8レジスタ使用時、UFnWTXレジスタへの書き込みは禁止です。

備考 UFnWTX8ビットは、拡張ビット許可時（UFnEBE = UFnCL = 1）の拡張ビットです。

(12) LIN-UARTnウエイト用8-bit送信データ・レジスタ (UFnWTXB)

UFnWTXBレジスタは、LIN通信時、受信のストップ・ビット完了まで送信開始を遅らせるための専用8ビット・レジスタです。

UFnWTXBレジスタは8ビット単位でライトのみ可能です。

UFnWTXBレジスタは、受信から送信へ切り替わる場合に受信のストップ・ビット長を保証します。

詳細は、12.5.11 送信開始ウエイト機能を参照してください。

UFnWTXBレジスタをリードすると、UFnTXBレジスタの値がリードされます。

リセット入力により00Hとなります。

図12-12 LIN-UARTnウエイト用8-bit送信データ・レジスタ (UFnWTXB) のフォーマット

アドレス : F024AH (UF0WTXB), F026AH (UF1WTXB)	リセット時 : 00H	W						
略号	7	6	5	4	3	2	1	0
UFnWTXB	UFnWTX7	UFnWTX6	UFnWTX5	UFnWTX4	UFnWTX3	UFnWTX2	UFnWTX1	UFnWTX0
(n = 0, 1)								

- 注意 1. 受信から送信へ切り替わる時以外(送信中など), UFnWTXBレジスタへのライトは禁止です。
2. UFnWTXBレジスタにアクセスした場合, UFnWTXレジスタのUFnWTX8ビットには0が書き込まれます。
3. UFnBUF0-UFnBUF8レジスタ使用時, UFnWTXBレジスタへの書き込みは禁止です。

(13) LIN-UART_n受信データ・レジスタ (UFnRX)

UFnRXレジスタは、受信データを格納するための16ビット・レジスタです。

オート・ポー・レート・モード以外の場合 (UFnMD1, UFnMD0 = 00B/10B) かつUFnEBE = 0のときは、受信完了のあとにUFnCLビットで指定されるキャラクタ長の受信データがUFnRXレジスタに格納されます。UFnEBE = UFnCL = 1の場合は、9ビット長の受信データが格納されます。

UFnRXレジスタは、16ビット単位でリードのみ可能です。8ビット単位でリードする場合はUFnRXBレジスタとしてアクセス可能です。

リセット入力によりは0000Hとなります。

図12-13 LIN-UART_n受信データ・レジスタ (UFnRX) のフォーマット

アドレス :	FFF4AH, FFF4BH (UF0RX),	FFF4EH, FFF4FH (UF1RX)	リセット時 :	0000H	R			
略号	15	14	13	12	11	10	9	8
UFnRX	0	0	0	0	0	0	0	UFnRX8
(n = 0, 1)	7	6	5	4	3	2	1	0
	UFnRX7	UFnRX6	UFnRX5	UFnRX4	UFnRX3	UFnRX2	UFnRX1	UFnRX0

データ長を7ビットに指定した場合 (UFnCLビット = 0) :

- ・ LSBファースト受信時、受信データはUFnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。
- ・ MSBファースト受信時、受信データはUFnRXレジスタのビット7-1に転送され、LSBは必ず“0”になります。
- ・ オーバラン・エラー (UFnOVE = 1) が発生した場合は、そのときの受信データはUFnRXレジスタに転送されません。

備考 UFnRX8ビットは、拡張ビット許可時 (UFnEBE = UFnCL = 1) の拡張ビットです。

(14) LIN-UARTn 8-bit受信データ・レジスタ (UFnRXB)

UFnRXBレジスタは、受信データを格納するための8ビット・レジスタです。

オート・ポー・レート・モード以外の場合 (UFnMD1, UFnMD0 = 00B/10B) かつUFnEBE = 0のときは、受信完了のあとにUFnCLビットで指定されるキャラクタ長の受信データがUFnRXBレジスタに格納されます。

UFnRXBレジスタは、8ビット単位でリードのみ可能です。

リセット入力によりは00Hとなります。

図12-14 LIN-UARTn 8-bit受信データ・レジスタ (UFnRXB) のフォーマット

アドレス : FFF4AH (UF0RXB), FFF4EH (UF1RXB) リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
UFnRXB	UFnRX7	UFnRX6	UFnRX5	UFnRX4	UFnRX3	UFnRX2	UFnRX1	UFnRX0

(n = 0, 1)

データ長を7ビットに指定した場合 (UFnCLビット = 0) :

- ・ LSBファースト受信時、受信データはUFnRXBレジスタのビット6-0に転送され、MSBは必ず“0”になります。
- ・ MSBファースト受信時、受信データはUFnRXBレジスタのビット7-1に転送され、LSBは必ず“0”になります。
- ・ オーバーラン・エラー (UFnOVE = 1) が発生した場合は、そのときの受信データはUFnRXBレジスタに転送されません。

(15) LIN-UARTn ID設定レジスタ (UFnID)

UFnIDレジスタは、オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) かつLIN通信時に受信したPIDを格納する8ビットのレジスタです。詳細は、12.7 LIN通信オート・ポー・レート・モードを参照してください。

また、通常UARTモード (UFnMD1, UFnMD0 = 00B) かつ拡張ビット・データ比較許可 (UFnCL = UFnEBE = UFnEBC = 1) のときは、受信した拡張ビットが拡張ビット検出レベル (UFnEBL) と一致すると、UFnIDレジスタと受信データの8ビット (UFnRX7-UFnRX0) を比較します。詳細は、12.8.3 拡張ビット・モード受信 (データ比較あり) を参照してください。

受信動作許可ビット (UFnCTL0レジスタのUFnRXEビット) は比較値の設定をするとき"0"とし、設定後"1"として通信を行ってください。

8ビット単位でリード/ライト可能です。

リセット入力により00Hとなります。

図12-15 LIN-UARTn ID設定レジスタ (UFnID) のフォーマット

アドレス : F024EH (UF0ID), F026EH (UF1ID)	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
UFnID	UFnID7	UFnID6	UFnID5	UFnID4	UFnID3	UFnID2	UFnID1	UFnID0
(n = 0, 1)								

注意 オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時、通信前に00Hを設定してください。オート・ポー・レート・モードの通信中、UFnIDレジスタへの書き込みは禁止です。

(16) LIN-UART_nバッファ・レジスタ0-8 (UFnBUF0-UFnBUF8)

UFnBUF0-UFnBUF8レジスタは8ビットのバッファ・レジスタです。

通常UARTモード (UFnMD1, UFnMD0 = 00B) 時の送信またはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時の送受信で使用可能です。

通常UARTモード (UFnMD1, UFnMD0 = 00B) 時, UFnTRQビットをセットすることによりデータをUFnBUF0レジスタから順に送信します。

オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) かつレスポンス送信時 (UFnTRQ = 1) には, UFnBUF0から順に格納されている送信データを送信し, 受信データの格納は行われません。

オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) かつレスポンス受信時 (UFnRRQ = 1) には, 受信したデータをUFnBUF0から順に格納します。

詳細は, 12.6.1 UARTバッファ・モード送信, 12.7 LIN通信オート・ポー・レート・モードを参照してください。

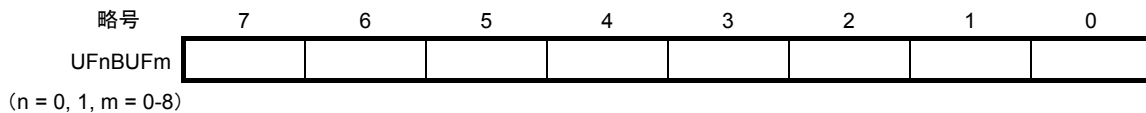
8ビット単位で, リード/ライト可能です。

リセット入力により00Hとなります。

図12-16 LIN-UART_nバッファ・レジスタ0-8 (UFnBUF0-UFnBUF8) のフォーマット

アドレス : F024FH (UF0BUF0), F0250H (UF0BUF1), リセット時 : 00H R/W
 F0251H (UF0BUF2), F0252H (UF0BUF3),
 F0253H (UF0BUF4), F0254H (UF0BUF5),
 F0255H (UF0BUF6), F0256H (UF0BUF7),
 F0257H (UF0BUF8)

F026FH (UF1BUF0), F0270H (UF1BUF1),
 F0271H (UF1BUF2), F0272H (UF1BUF3),
 F0273H (UF1BUF4), F0274H (UF1BUF5),
 F0275H (UF1BUF6), F0276H (UF1BUF7),
 F0277H (UF1BUF8)



注意 拡張ビット許可時 (UFnEBE = UFnCL = 1) は使用できません。

(17) LIN-UARTnバッファ制御レジスタ (UFnBUCTL)

UFnBUCTLは、バッファを制御する16ビット・レジスタです。

16ビット単位で、リード/ライト可能です。

詳細は、12.6.1 UARTバッファ・モード送信、12.7 LIN通信オート・ポー・レート・モードを参照してください。

リセット入力により0000Hとなります。

図12-17 LIN-UARTnバッファ制御レジスタ (UFnBUCTL) のフォーマット (1/2)

アドレス : F0258H, F0259H (UF0BUCTL), F0278H, F0279H (UF1BUCTL) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
UFnBUCTL	0	0	0	0	0	0	UFnTW	UFnCON
(n = 0, 1)	7	6	5	4	3	2	1	0
	UFnECS	UFnNO	UFnRRQ	UFnTRQ	UFnBUL3	UFnBUL2	UFnBUL1	UFnBUL0

UFnTW	送信開始ウェイト・ビット
0	バッファ・データを送信要求時、すぐに送信を開始。
1	バッファ・データを送信要求時、受信のストップ・ビット完了まで送信開始を遅らせる。

UFnTWビットはLIN通信でバッファのデータを送信するとき、受信のストップ・ビット完了まで送信開始を遅らせるためのビットです。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時のみセット可能です。詳細は、12.5.11 送信開始ウェイト機能、12.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 1. ヘッダ受信後にレスポンス送信へ切り替え時以外、セット禁止です。
2. UFnTRQビットのセット (1) と同時にUFnTWビットの値が有効になります。

UFnCON	継続選択ビット
0	次に送受信するデータ群は最終である。
1	次に送受信するデータ群は最終ではない。 (次のヘッダ受信を待たずにデータ送受信を継続)

UFnCONビットは、LIN通信で多バイト・レスポンス送受信機能を使用時、次に送受信するデータ群が最終でないことを示すためのビットです。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時のみセット可能です。

詳細は、12.7.5 多バイト・レスポンス送受信機能を参照してください。

注意 1. 多バイト送受信機能を使用時以外、セット禁止です。
2. UFnNO, UFnRRQ, UFnTRQ設定時、16ビット・アクセスでUFnCONビットも同時に設定してください。

UFnECS	エンハンス・チェック・サム選択ビット
0	クラシック・チェックサム (データ・バイトのみ計算に使用)
1	エンハンス・チェックサム (データ・バイト+PIDバイトを計算に使用)

UFnECSビットは、LIN通信でオート・チェック・サム機能を使用時、チェック・サムの取り扱いを選択するためのビットです。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) かつオート・チェック・サム許可 (UFnACE = 1) 時のみ有効です。

詳細は、12.7.4 オート・チェック・サム機能を参照してください。

図12-17 LIN-UARTnバッファ制御レジスタ (UFnBUCTL) のフォーマット (2/2)

UFnNO	レスポンスなし要求ビット
0	受信PIDに対するレスポンスあり
1	受信PIDに対するレスポンスなし

UFnNOビットはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のとき、UFnIDレジスタに格納されているPID (ヘッダで受信されたPID) が対象外である場合に使用するビットです。UFnNOビット設定後、次のBF-SFの受信完了タイミングで自動的にクリアされます。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時のみセット可能です。

詳細は、12.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 UFnNOビットが“1”の期間は、UFnTRQ, UFnRRQビットをセットしないでください。同時書き換えは禁止です。

UFnRRQ	受信要求ビット
0	受信要求なし
1	受信開始の要求/オート・ポー・レート・モード時の受信動作中

UFnRRQビットは、バッファへのデータ格納開始を要求するためのビットです。バッファへの受信完了割り込みの発生タイミングでクリアされます。オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時のみセット可能です。

詳細は、12.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 UFnRRQビットが“1”の期間は、UFnNO, UFnTRQビットをセットしないでください。同時書き換えは禁止です。

UFnTRQ	送信要求ビット
0	送信要求なし
1	送信開始の要求/バッファ使用時の送信動作中

UFnTRQビットは、バッファのデータ送信開始を要求するためのビットです。バッファに準備されているデータの送信割り込み発生タイミングでクリアされます。通常UARTモード (UFnMD1, UFnMD0 = 00B) またはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時のみセット可能です。

詳細は、12.6.1 UARTバッファ・モード送信、12.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 UFnTRQビットが“1”の期間は、UFnNO, UFnRRQビットをセットしないでください。同時書き換えは禁止です。

UFnBUL3-UFnBUL0	バッファ長ビット
0	9バイトの送受信を行う
1-9	設定バイト数の送受信を行う
10-15	9バイトの送受信を行う

UFnBUL3-UFnBUL0ビットは、バッファのデータ送受信データ数を設定するビットです。リード値は、現在のバッファのポインタです。通常UARTモード (UFnMD1, UFnMD0 = 00B) またはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時のみ有効です。

詳細は、12.6.1 UARTバッファ・モード送信、12.7 LIN通信オート・ポー・レート・モードを参照してください。

注意 オート・チェック・サムを許可した状態で使用している場合 (UFnACE = 1)、チェック・サムのデータ (1バイト) はバッファに格納されないため、チェック・サム分をバッファ長に含める必要はありません。

(18) シリアル通信端子選択レジスタ (STSEL)

STSELレジスタは、タイマ・アレイ・ユニットへの入力ソースとLIN-UARTnおよびCANコントローラの通信端子の切り替えを行うレジスタです。

1ビット単位または8ビット単位でリード/ライト可能です。

78K0R/Hx3ではLTxD1, LRxD1端子が異なる二つのポートに備わっているため、STSELレジスタで2セットのうちどちらを使うかを選択できます。

図12-18 シリアル通信端子選択レジスタ (STSEL) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
STSEL	STSLIN1	TMCAN	STSIC11	STSCSI00	TM30K	TMLIN1	TMLIN0	0

STSLIN1	シリアル通信端子の選択			
	LIN-UART端子		CAN端子	
	LTxD1	LRxD1/INTPLR1	CTxD	CRxD
0	P10	P11	P72	P73
1	P72	P73	P10	P11

TMLIN1	タイマ・アレイ・ユニット1のチャンネル3入力のソース切り替え制御
0	TI13端子入力 (TIS1_3ビットで選択した端子入力)
1	LRxD1端子入力

TMLIN0	タイマ・アレイ・ユニット1のチャンネル2入力のソース切り替え制御
0	TI12端子入力 (TIS1_2ビットで選択した端子入力)
1	LRxD0端子入力

備考 LIN通信時、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、TMLINn = 1に設定してシリアル・データ入力端子 (LRxDn) の入力信号をタイマ入力として選択してください。

(19) ポート・モード・レジスタ1, 7 (PM1, PM7)

ポート1, 7の入力/出力を1ビット単位で設定するレジスタです。

P10/TI00/SCK10/TO00/CTxD/LTxD1, P13/TI04/LTxD0/TO04, P72/KR2/CTxD/LTxD1端子をシリアル・データ出力として使用するとき, PM1_0, PM1_3, PM7_2ビットに0を, P1_0, P1_3, P7_2の出力ラッチに1を設定してください。

P11/TI02/SI10/LRxD1/INTPLR1/CRxD/TO02, P14/TI06/LRxD0/INTPLR0/TO06, P73/KR3/CRxD/LRxD1/INTPLR1端子をシリアル・データ入力として使用するとき, PM1_1, PM1_4, PM7_3ビットに1を設定してください。このときP1_1, P1_4, P7_3の出力ラッチは, 0または1のどちらでもかまいません。

PM1, PM7レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 1. 製品により, 搭載している端子が異なります。1.4 端子接続図 (Top View), 2.1 端子機能一覧を参照してください。

2. ポートの設定に関しては, 第4章 ポート機能を参照してください。

図12-19 ポート・モード・レジスタ1, 7 (PM1, 7) のフォーマット

アドレス : FFF21H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0		

アドレス : FFF27H	リセット時 : FFH	R/W								
略号	7	6	5	4	3	2	1	0		
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0		

PMm_n	PMmn 端子の入出力モードの選択 (m = 1, 7 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 割り込み要求信号

LIN-UARTnからは次の3種類の割り込み要求信号を発生します。

- ・ステータス割り込み要求信号 (INTLSn)
- ・受信完了割り込み要求信号 (INTLRn)
- ・送信割り込み要求信号 (INTLTn)

これら3種類の割り込み要求信号のデフォルト・プライオリティを、表12-2に示します。

表12-2 発生する割り込みとデフォルト・プライオリティ

割り込み	デフォルト・プライオリティ
ステータス	低
受信完了	
送信開始/完了	高

(1) ステータス割り込み要求信号 (INTLSn)

受信中にエラー条件を検出すると、ステータス割り込み要求信号が発生します。検出したステータスに対応したUFnSTRレジスタのフラグ (UFnPE, UFnFE, UFnOVE, UFnDCE, UFnBSF, UFnIPE, UFnCSE, UFnRPE, UFnIDM, UFnEBD) がセットされます。

詳細は、12.5.10 ステータス割り込み発生要因を参照してください。

(2) 受信完了割り込み要求信号 (INTLRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ、UFnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信エラーが起こった場合には、受信完了割り込み要求信号は発生せず、ステータス割り込み要求信号が発生します。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

- ・拡張ビット動作許可 (UFnCL = UFnEBE = 1) かつ拡張ビット・データ比較禁止 (UFnEBC = 0) に設定している場合、拡張ビット検出レベル選択ビット (UFnEBL) で設定したレベルの反転値が拡張ビットとして検出されると受信完了割り込み要求信号が発生します。
- ・オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) かつPID受信完了時 (ストップ・ビット位置) にエラーなしの場合は、受信完了割り込み要求信号が発生します。
- ・オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時、レスポンス受信がエラーなく終了した場合、受信完了割り込み要求信号が発生します。

備考 n = 0, 1

(3) 送信割り込み要求信号 (INTLTn)

送信開始時、送信割り込み要求を出力に設定している場合 (UFnITS = 0) は、UFnTXレジスタから送信シフト・レジスタへ転送完了するタイミングで、送信割り込み要求信号が発生します。

送信完了時、送信割り込み要求を出力に設定している場合 (UFnITS = 1) は、ストップ・ビット送信が完了するタイミングで、送信割り込み要求信号が発生します。

- ・オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) 時、レスポンス送信の最終送信バイト送信開始時に送信完了割り込み要求信号が発生します

備考 n = 0, 1

12.5 動作

12.5.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは、図12-20に示すとおり、スタート・ビット、キャラクタ・ビット、拡張ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UFnCTL0レジスタによって行います。

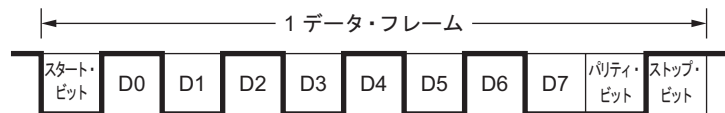
UFnOPT0レジスタのUFnTDLビットでLTxDn端子のUART出力/反転出力の制御を、UFnRDLビットでLRxDn端子のUART入力/反転入力の制御を行います。

備考 n = 0, 1

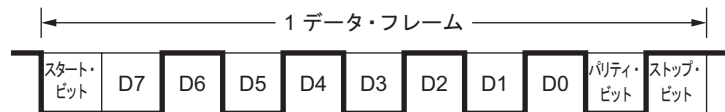
- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・拡張ビット 1ビット
- ・パリティ・ビット 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット 1ビット/2ビット
- ・出力論理 正転/反転
- ・通信方向 LSB/MSB

図12-20 LIN-UARTの送受信データのフォーマット (1/2)

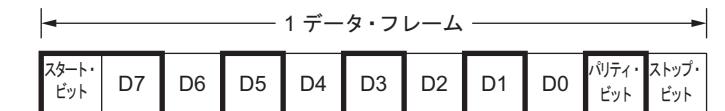
(a) 8ビット・データ長, LSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55H



(b) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55H



(c) 8ビット・データ長, MSB ファースト, 偶数パリティ, 1ストップ・ビット, 転送データ : 55H, LTxDn 反転



(d) 7ビット・データ長, LSB ファースト, 奇数パリティ, 2ストップ・ビット, 転送データ : 36H

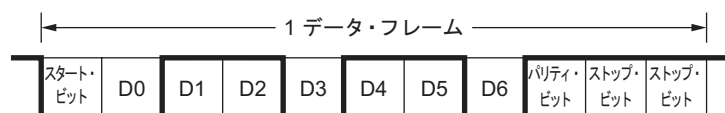
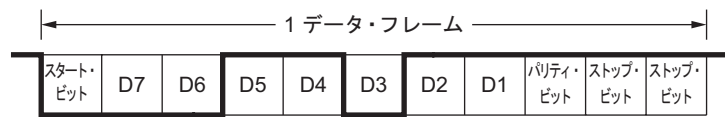
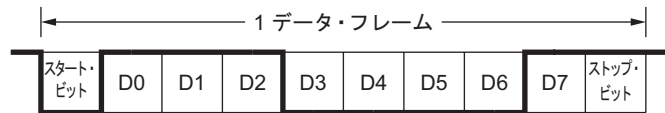


図12-20 LIN-UARTの送受信データのフォーマット (2/2)

(e) 7 ビット・データ長, MSB ファースト, 奇数パリティ, 2ストップ・ビット, 転送データ: 36H



(f) 8 ビット・データ長, LSB ファースト, パリティなし, 1ストップ・ビット, 転送データ: 87H



(g) 8 ビット・データ長, LSB ファースト, 偶数パリティ, 拡張ビット: 許可, 1ストップ・ビット, 転送データ: 155H



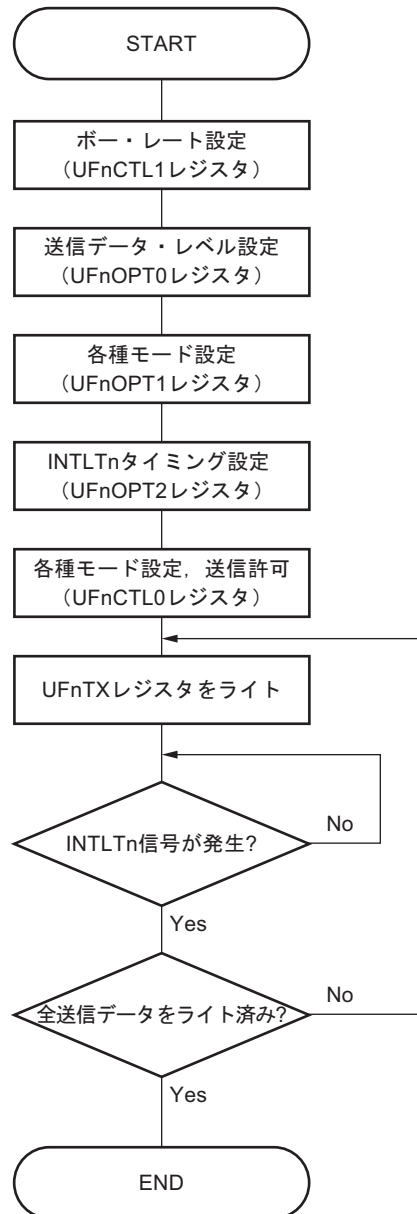
(h) 8 ビット・データ長, MSB ファースト, 偶数パリティ, 拡張ビット: 許可, 1ストップ・ビット, 転送データ: 155H



12.5.2 データ送信

図12-21にデータを送信する手順を説明します。

図12-21 送信処理フロー



- 注意1. 送信ユニットを初期化 (UFnTXE = 0) する場合は、送信状態フラグがリセット (UFnTSF = 0) されていることを必ず確認してください。UFnTSF = 1の状態では初期化すると、送信が途中で中断されます。
2. LIN通信時は、送信と同時に受信も行っているため、ステータス割り込み要求信号 (INTLSn) の発生を確認してください。
3. LIN通信において、データの一貫性エラー検出を設定 (UFnDCS = 1) し、データの一貫性エラーを検出すると、ステータス割り込み要求信号 (INTLSn) が発生してデータの一貫性エラー・フラグがセット (UFnDCE = 1) されると共に、次のデータ・フレームまたはBFの送信が停止します。

備考1. LIN-UARTの起動については、12.11 使用上の注意の (2) を参照してください。

2. n = 0, 1

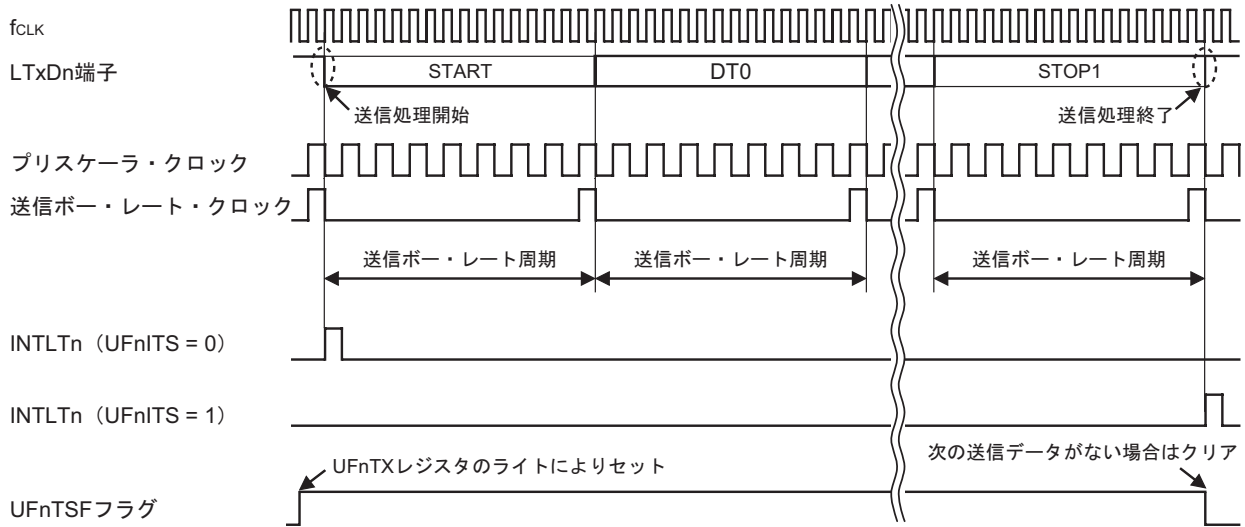
送信データ・レジスタ (UFnTX) に送信データを書き込むことにより送信動作を開始します。

UFnTXレジスタに格納されたデータは送信シフト・レジスタへ転送され、スタート・ビット、拡張ビット、パリティ・ビット、ストップ・ビットが付加されて、LTxDn端子から順次シリアル出力されます。

送信割り込みを送信開始時に設定しているとき (UFnITS = 0) は、UFnTXレジスタに格納されたデータが送信シフト・レジスタへ転送完了するタイミングで、送信割り込み要求信号 (INTLTn) を発生します。

送信割り込みを送信完了時に設定しているとき (UFnITS = 1) は、ストップ・ビット送信が完了するタイミングで、送信割り込み要求信号 (INTLTn) を発生します。

図12-22 データ送信のタイミング・チャート



注意 ストップ・ビット長を2ビットにしている場合 (UFnSL = 1), 送信完了割り込み (INTLTn) は2ビット目のストップ・ビットの送信完了時に出力され、同時に送信状態フラグ (UFnTSF) がクリアされます。

備考 n = 0, 1

送信割り込み発生を送信開始時に設定している場合 ($UFnITS = 0$)、 $INTLTn$ が発生したあと、送信中に次のデータを $UFnTX$ に書き込むことにより、連続送信が可能となります。

図12-23 連続送信を開始する際のタイミング図 ($UFnITS = 0$)

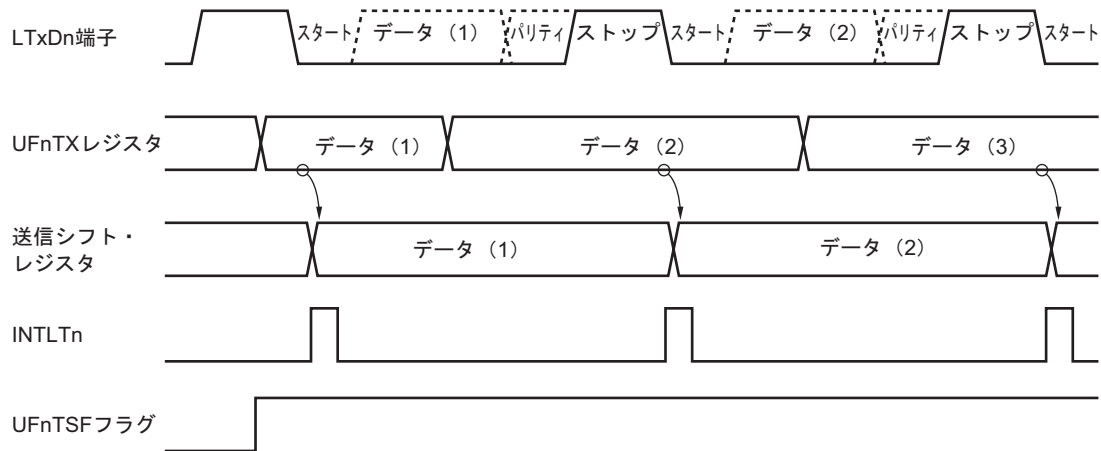
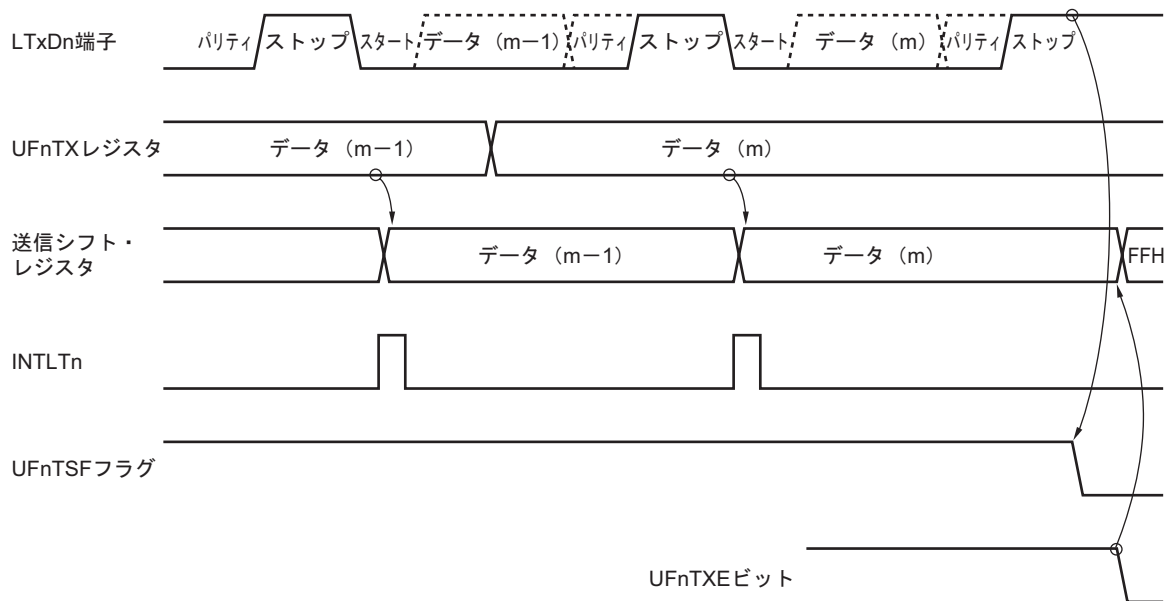


図12-24 連続送信を終了する際のタイミング図 ($UFnITS = 0$)

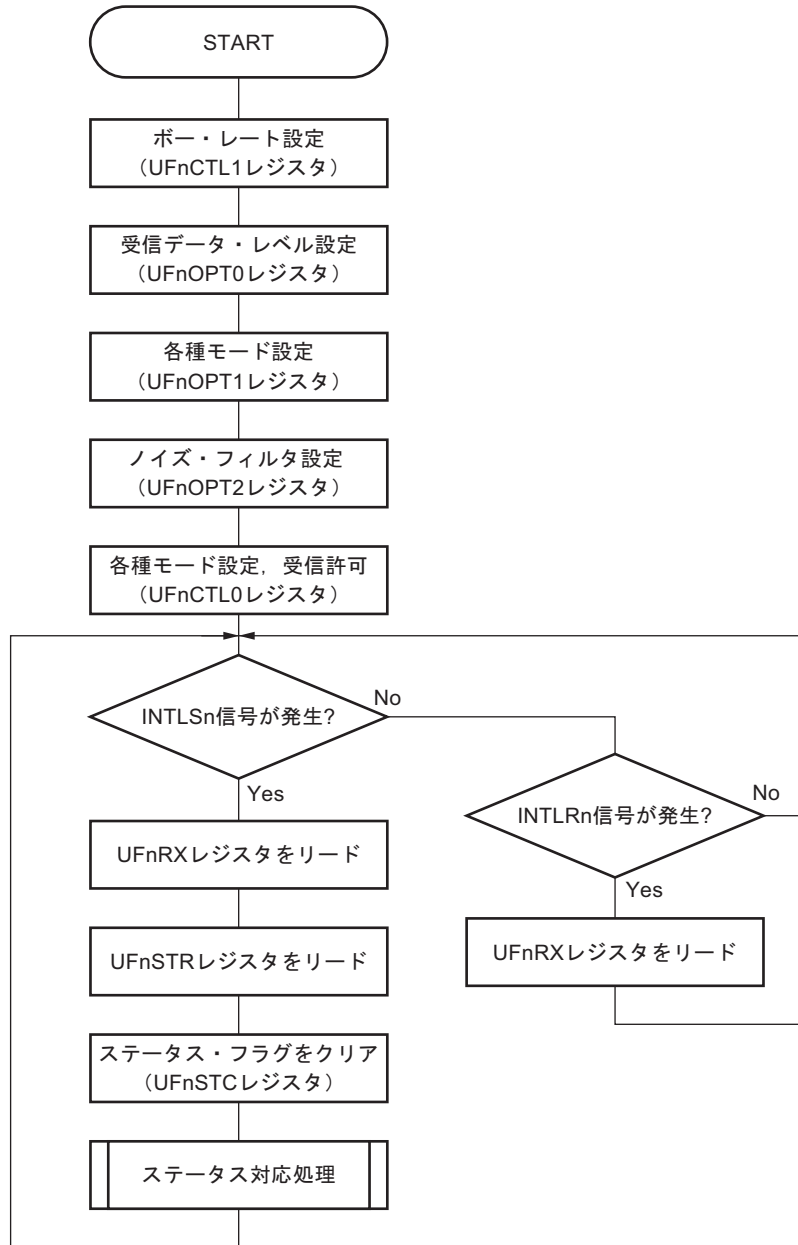


備考 $n = 0, 1$

12.5.3 データ受信

図12-25にデータを受信する手順を説明します。

図12-25 受信処理フロー



- 注意1. 受信ユニットを初期化 (UFnRXE = 0) する場合は、受信状態フラグがリセット (UFnRSF = 0) されていることを必ず確認してください。UFnRSF = 1の状態では初期化すると、受信が途中で中断されません。
2. 受信エラー発生時にも、受信データ・レジスタ (UFnRX) は必ず読み出してください。UFnRXレジスタを読み出さないと、次のデータ受信完了時にオーバーラン・エラーが発生します。

備考1. LIN-UARTの起動については、12.11 使用上の注意の (2) を参照してください。

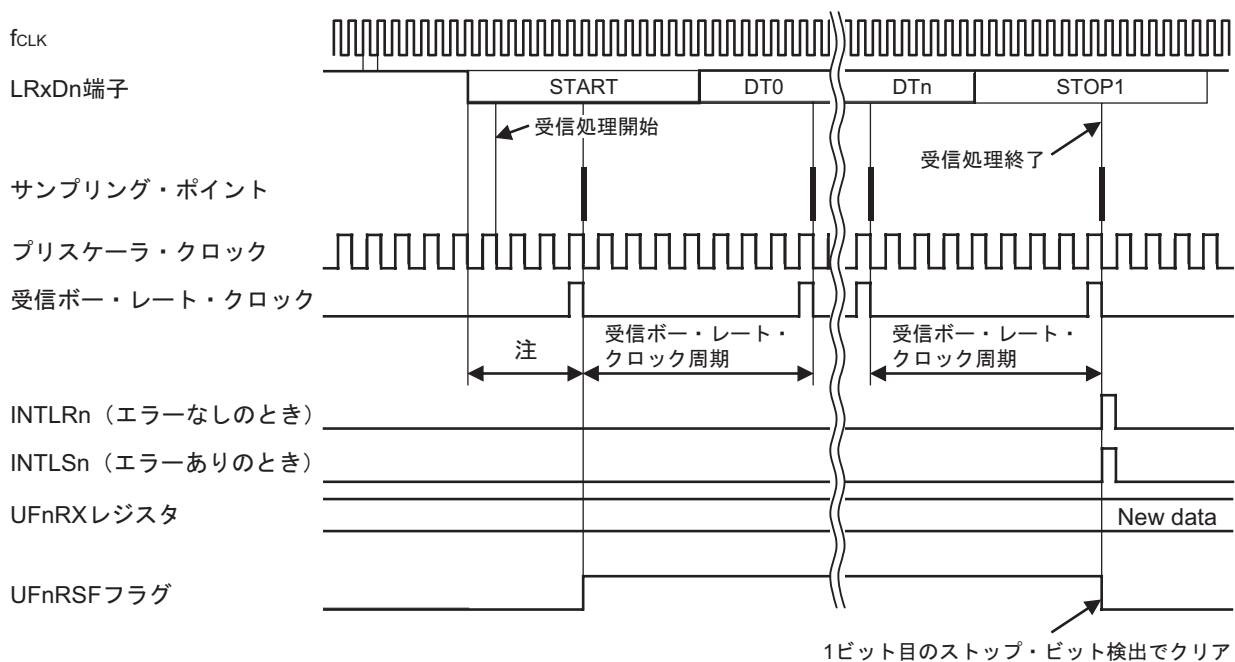
2. n = 0, 1

LRxDn端子を動作クロックでサンプリングし、立ち下がりエッジを検出すると、LRxDn端子のデータ・サンプリングが始まり、立ち下がりエッジ検出後の受信ポー・レート・クロック周期の1/2のタイミングにロウ・レベルであればスタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたポー・レートに合わせてシリアル・データを順次、受信シフト・レジスタに格納していきます。ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTLRn) が発生すると同時に、受信シフト・レジスタに格納されたデータを受信データ・レジスタ (UFnRX) に転送します。

ただし、オーバラン・エラーが発生 (UFnOVE = 1) した場合は、そのときの受信データはUFnRXレジスタに転送されず、破棄されます。その他のエラーが発生した場合、ストップ・ビットの受信位置までは受信を継続し、受信データはUFnRXレジスタに転送されます。

どの受信エラーが発生した場合でも、受信完了後にINTLSnが発生し、INTLRnは発生しません。

図12-26 データ受信のタイミング・チャート



注 受信ポー・レート・クロック周期の1/2

注意1. LRxDn端子の立ち下がりエッジを検出後、受信ポー・レート・クロック周期の1/2のタイミングでハイ・レベルが検出された場合、スタート・ビットは認識されません。

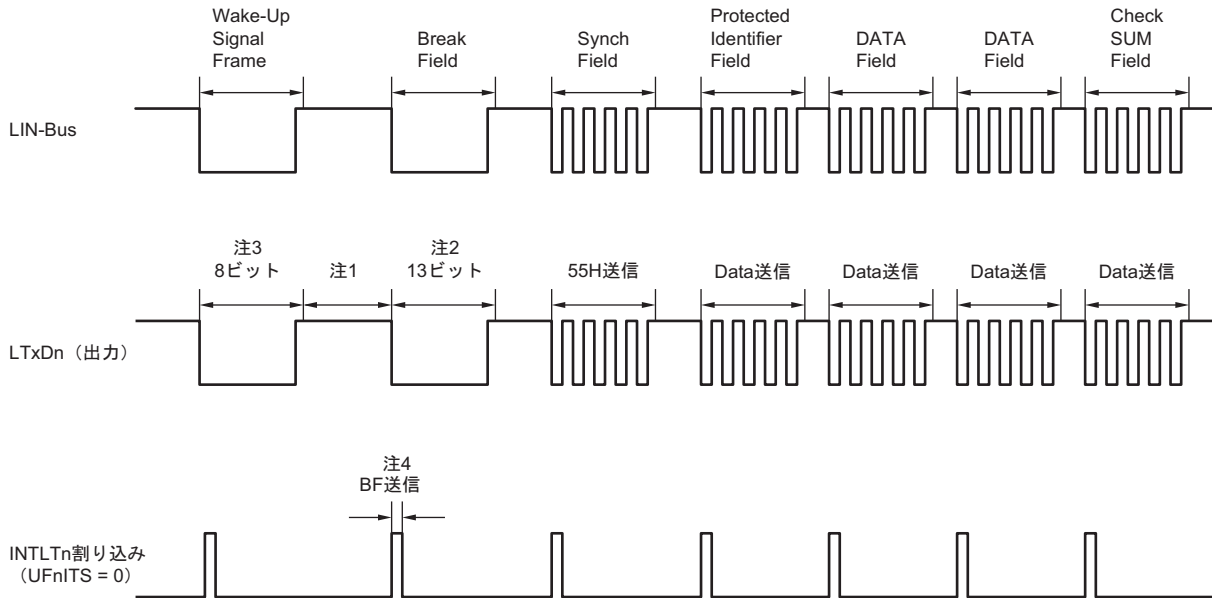
2. 受信は、常にストップ・ビット数 = 1として動作します。
そのとき、2ビット目のストップ・ビットは無視されます。
3. 受信許可動作前からLRxDn端子に常時ロウ・レベルが入力されている状態だと、スタート・ビットとは判断されません。
4. 連続受信の場合、最初の受信データのストップ・ビット検出直後（受信完了割り込み発生時）から次のスタート・ビットの検出は可能です。
5. 必ずUFnRDLビットを変更後に受信許可 (UFnRXE = 1) を行ってください。受信許可後にUFnRDLビットを変更すると、スタート・ビットを誤検出する可能性があります。

備考 n = 0, 1

12.5.4 BF送信／受信フォーマット

78K0R/Hx3にはLIN (Local Interconnect Network) 機能として使用するために、BF (Break Field) 送信／受信制御機能があります。

図12-27 LINの送信操作概略



注1. 各フィールド間の間隔はソフトウェアで制御します。

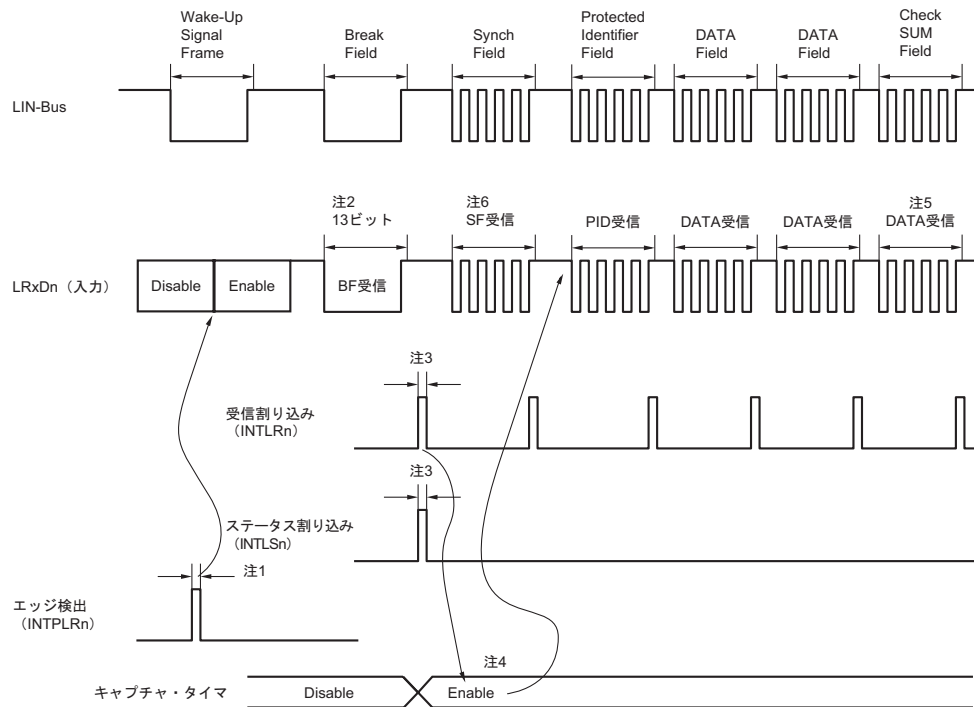
2. BFの出力はハードウェアで行います。出力幅はUFnOPT0レジスタのUFnBLS2-UFnBLS0ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は、UFnCTL1レジスタのUFnBRS11-UFnBRS0ビットの値で調整します。

3. ウェイクアップ信号は、8ビット・モードの80H転送またはBF送信で代用します。

4. 各送信開始時には送信許可割り込み要求信号 (INTLTn) を出力します。BF送信開始時もINTLTn信号を出力します。送信開始時に、必ず送信割り込みが発生するようUFnOPT2.UFnITS = 0に設定してください。

備考 n = 0, 1

図12-28 LINの受信操作概略



- 注1. ウェイクアップ信号受信後、LIN-UARTnをイネーブルにし、受信動作を許可したうえで、必要に応じてBF受信トリガ・ビットをセットします。
2. 11ビット以上のBF受信を検出するとBF受信は正常終了と判断されます。
3. 正常にBF受信を終了した場合、通常UARTモード (UFnMD1, UFnMD0 = 00B) のときは、受信完了割り込み要求信号(UFTIR)が発生します。通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) のときは、ステータス割り込み要求信号 (INTLSn) が発生して、BF受信成功フラグ (UFnBSF) をセットします。BF受信フラグ (UFnBRF) が“1”の場合、BF受信中はオーバラン、パリティ、フレーミングの各エラー (UFnOVE, UFnPE, UFnFE) 検出は行いません。また、受信シフト・レジスタから受信データ・レジスタ (UFnRX) へのデータ転送も行われません。このとき、UFnRXは前の値を保持します。
4. LRxDn端子をタイマ・アレイ・ユニットのTI (キャプチャ入力) に接続します。BF受信完了割り込みでタイマをイネーブルにし、SFの転送データからボー・レートを測定して、ボー・レート誤差を算出します。SF受信後に一度、LIN-UARTnの受信動作を停止させてボー・レート誤差を補正したLIN-UARTn制御レジスタ1 (UFnCTL1) の値を再セットし受信状態にします。
5. チェック・サム・フィールドの区別はソフトウェアで行います。CSF受信後にLIN-UARTnを初期化し、再びBFの受信成功待ち状態 (UFnBRF = 1) に設定する処理もソフトウェアにて行います。ただし、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) のときは、再びBFの受信成功待ち状態 (UFnBRF = 1) に設定しなくても、その後自動的にBFの受信を行うことができます。
6. Synch Fieldは、TAUのキャプチャ機能を使用して、転送のボーレートを算出します。ここで、UARTからの割り込み発生を停止させたい場合、受信停止にすることで、受信割り込みの発生を停止させることができます。

備考1. オート・ボー・レート・モード (UFnMD1, UFnMD0 = 11B) 時については、12.7 LIN通信オート・ボー・レート・モードを参照してください。

2. n = 0, 1

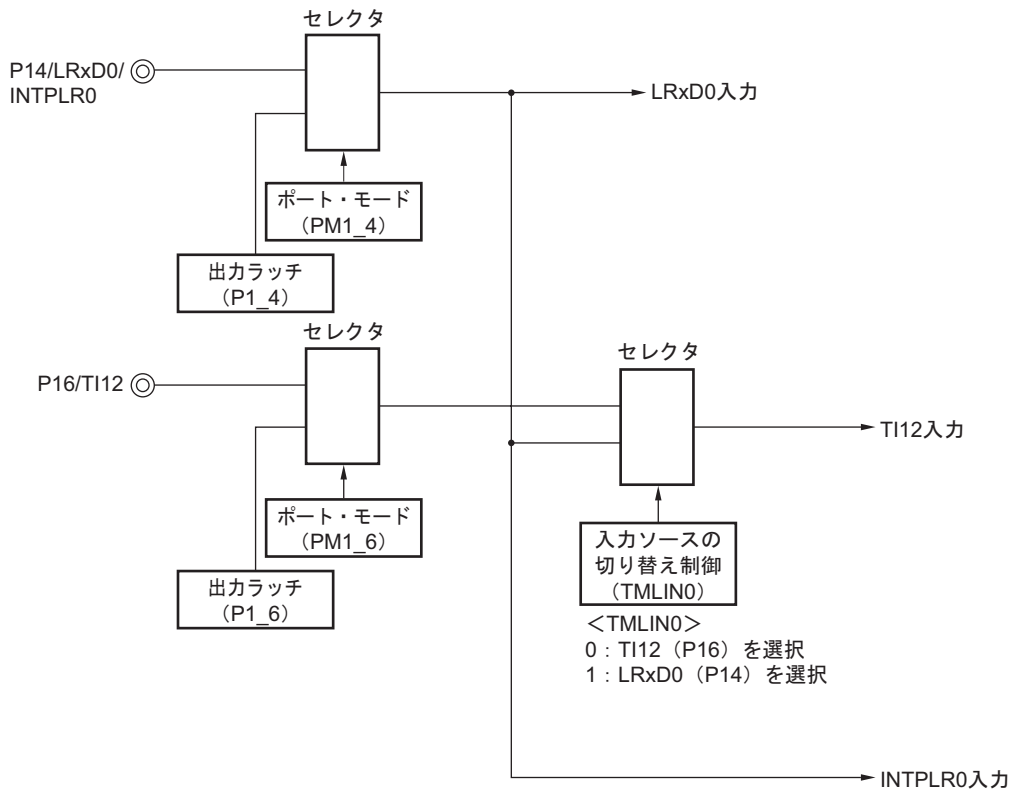
図12-29～12-32はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、INTPLRnのエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット (TAU) の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

シリアル通信端子選択 (TMLINn) により、外部で結線をせずに、受信用ポート入力 (LRxDn) の入力ソースをLIN-UARTn受信端子割り込み (INTPLRn) およびタイマ・アレイ・ユニット (TAU) へ入力することができます。

(1) LIN-UART0

図12-29 LINの受信操作のポート構成図 (78K0R/HC3, 78K0R/HE3)



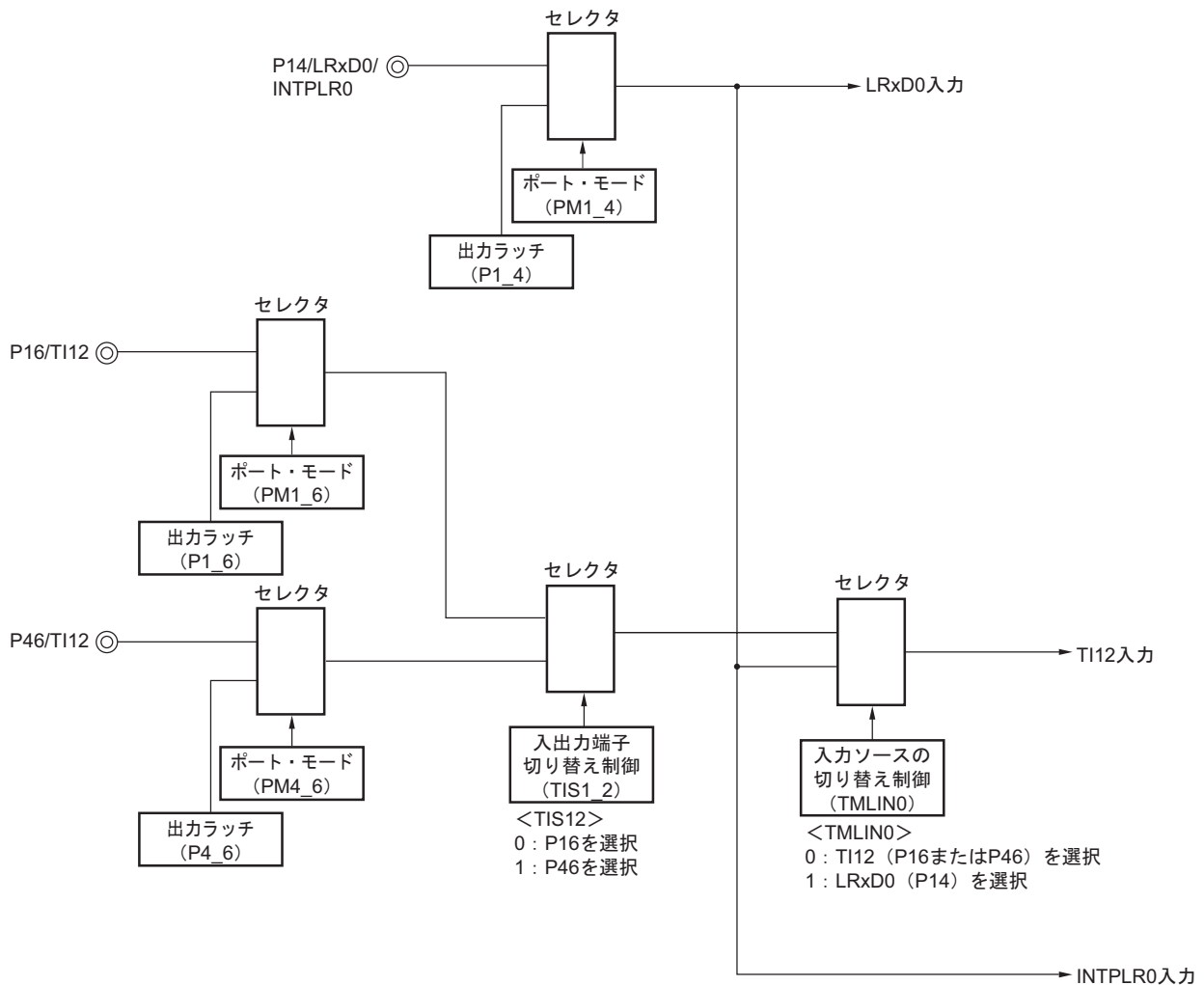
備考 TMLIN0 : シリアル通信端子選択レジスタ (STSEL) のビット1 (図 12-18 参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・ LIN-UART0受信端子割り込み (INTPLR0) ; ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- ・ タイマ・アレイ・ユニット (TAU) のチャンネル12 (TI12) ; ボー・レート誤差検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (TI12入力エッジの間隔をキャプチャ・モードで測定)
- ・ アシンクロナス・シリアル・インタフェースLIN-UART0

図12-30 LINの受信操作のポート構成図 (78K0R/HF3, 78K0R/HG3)



備考 TIS1_2: タイマ入力選択レジスタ 1 (TIS1) のビット 2 (第 6 章 タイマ・アレイ・ユニット参照)

TMLIN0: シリアル通信端子選択レジスタ (STSEL) のビット 1 (図 12-18 参照)

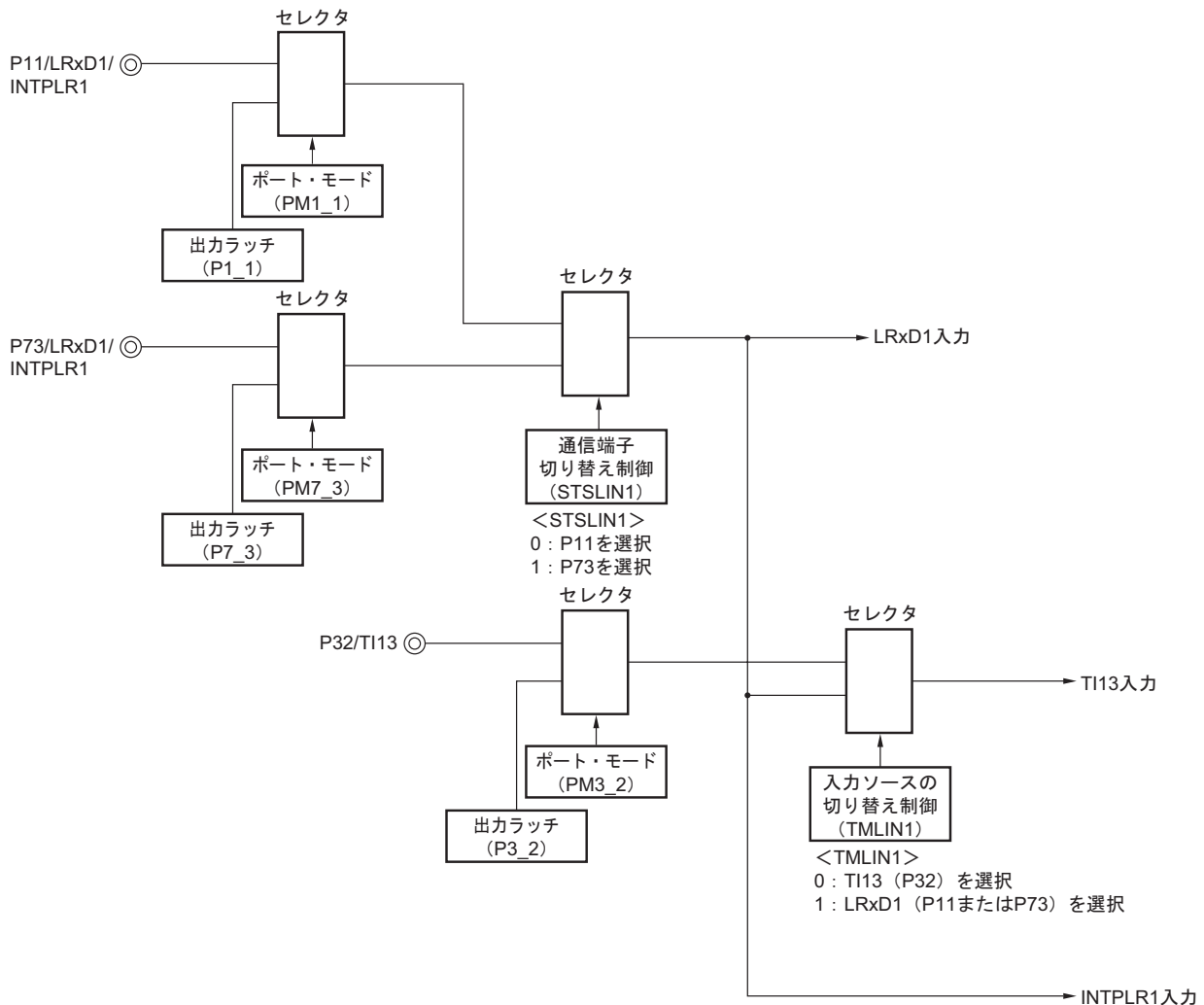
LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・ LIN-UART0受信端子割り込み (INTPLR0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・ タイマ・アレイ・ユニット (TAU) のチャンネル12 (TI12) ; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI12入力エッジの間隔をキャプチャ・モードで測定)
- ・ アシクロナス・シリアル・インタフェースLIN-UART0

(2) LIN-UART1

図 12-31 LINの受信操作のポート構成図 (78K0R/HC3, 78K0R/HE3)



備考 STSLIN1: シリアル通信端子選択レジスタ (STSEL) のビット 7 (図 12-18 参照)

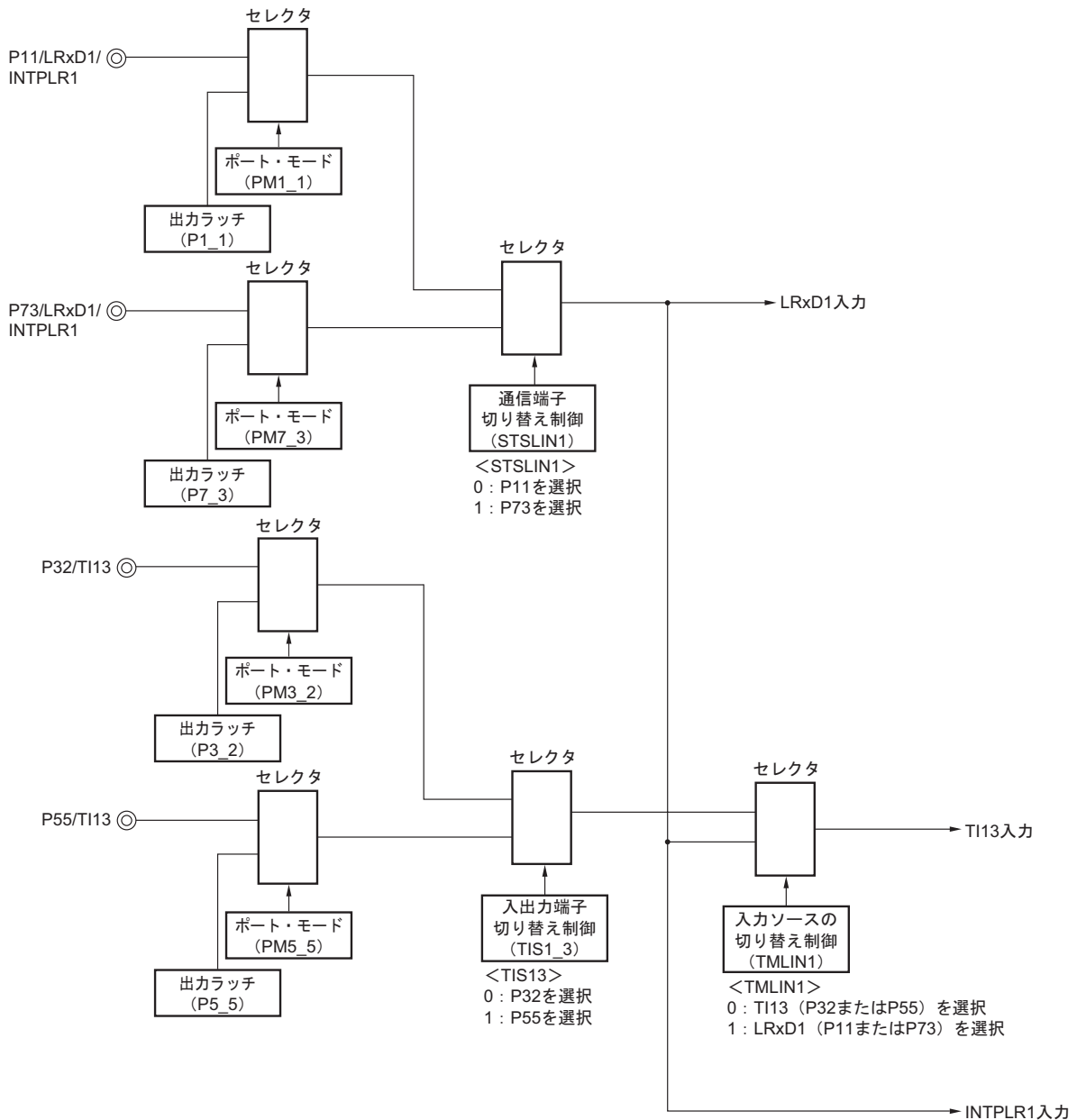
TMLIN1: シリアル通信端子選択レジスタ (STSEL) のビット 2 (図 12-18 参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・ LIN-UART1受信端子割り込み (INTPLR1) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・ タイマ・アレイ・ユニット (TAU) のチャンネル13 (TI13) ; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (TI13入力エッジの間隔をキャプチャ・モードで測定)
- ・ アシクロナス・シリアル・インタフェースLIN-UART1

図12-32 LINの受信操作のポート構成図 (78K0R/HF3, 78K0R/HG3)



- 備考
- STSLIN1: シリアル通信端子選択レジスタ (STSEL) のビット 7 (図 12-18 参照)
 - TIS1_3: タイマ入力選択レジスタ 1 (TIS1) のビット 3 (第 6 章 タイマ・アレイ・ユニット参照)
 - TMLIN1: シリアル通信端子選択レジスタ (STSEL) のビット 2 (図 12-18 参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

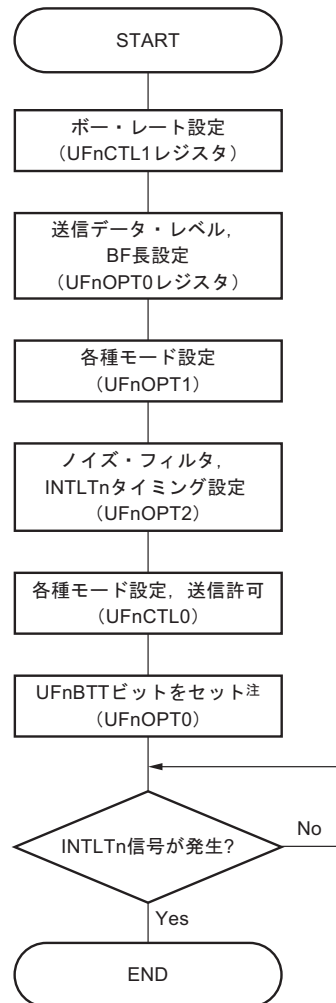
<使用する周辺機能>

- ・LIN-UART1受信端子割り込み (INTPLR1) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・タイマ・アレイ・ユニット (TAU) のチャンネル3 (TI13) ; ポー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでポー・レート誤差を検出 (TI13入力エッジの間隔をキャプチャ・モードで測定)
- ・アシンクロナス・シリアル・インタフェースLIN-UART1

12.5.5 BF送信

図12-33でLIN通信におけるBF送信の処理を説明します。

図12-33 BF送信処理フロー



注 通常UARTモード (UFnMD1, UFnMD0 = 00B) の場合、同時にUFnBRTビットをセットしてください。

注意 BF送信を行う場合は、次の値を設定してください。

送信データ・レベルは、通常出力 (UFnTDL = 0)。

通信方向制御は、LSBファースト (UFnDIR = 1)。

パリティ選択ビットは、パリティ・ビット出力なし (UFnPS1, UFnPS0 = 00B)。

データ・キャラクタ長は、8ビット (UFnCL = 1)。

送信割り込みは、送信開始時 (UFnITS = 0)。

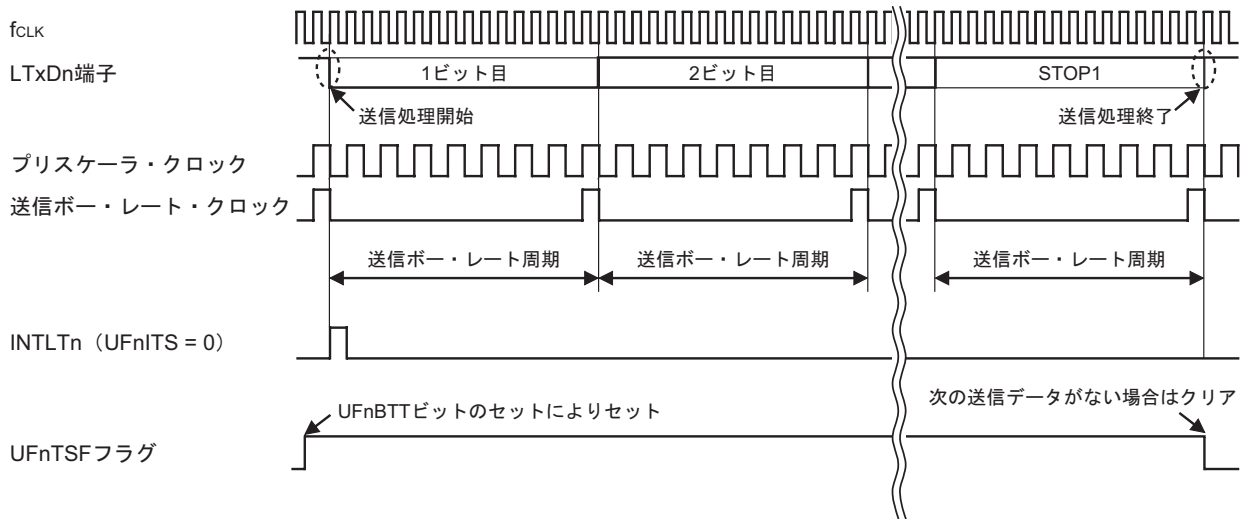
備考1. LIN-UARTの起動については、12.11 使用上の注意の(2)を参照してください。

2. n = 0, 1

BF送信トリガ (UFnBTT) をセットすると、BF送信動作を開始します。LTxDn端子には、BF長選択ビット (UFnBLS2-UFnBLS0) で指定された13ビットから20ビットまでのロウ・レベルが出力されます。BF送信開始時には送信割り込み要求信号 (INTLTn) が発生します。BF送信を終了後、BF送信状態は自動的に解除され、通常のUART送信モードに戻ります。

送信するデータをUFnTXレジスタに書き込むか、BF送信トリガ (UFnBTT) をセットするまで、送信動作は待機状態となります。BF送信時の受信完了割り込み (INTLRn) やステータス割り込み (INTLSn) などによって、BFの正常受信を確認してから、次の送信動作を開始してください。

図12-34 BF送信のタイミング例



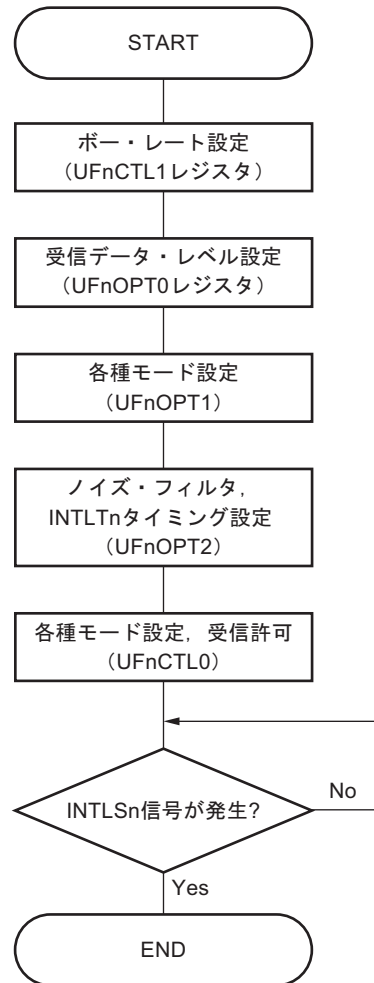
注意 ストップ・ビット長を2ビットにしている場合 (UFnSL = 1), 送信状態フラグ (UFnTSF) は2ビット目のストップ・ビット完了時にクリアされます。

備考 n = 0, 1

12.5.6 BF受信

図12-35でLIN通信におけるBF受信の処理を説明します。

図12-35 BF受信処理フロー



注意 BF受信を行う場合は、次の値を設定してください。

入力論理レベルは、通常入力 (UFnRDL = 0)。

通信方向制御は、LSBファースト (UFnDIR = 1)。

パリティ選択ビットは、パリティ・ビット出力なし (UFnPS1, UFnPS0 = 00B)。

データ・キャラクタ長は、8ビット (UFnCL = 1)。

送信割り込みは、送信開始時 (UFnITS = 0)。

モードは、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B)。

備考 1. 図12-35は、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) のLIN通信の場合の受信処理フローです。

オート・ボー・レート・モード (UFnMD1, UFnMD0 = 11B) の場合は、12.7 LIN通信オート・ボー・レート・モードを参照してください。

2. LIN-UARTの起動については、12.11 使用上の注意の(2)を参照してください。

3. n = 0, 1

LRxDn入力レベルの立ち下がりエッジが検出されると、立ち上がりエッジを検出するまでの間、内蔵カウンタをカウント・アップすることでBFの長さを測定します。立ち上がりエッジを検出した時点で、BFの長さが11ビット長以上の場合は正常と判断され、BF受信を終了します。終了時、ステータス割り込み要求信号 (INTLSn) を発生すると同時にBF受信成功フラグ (UFnBSF) をセットします。オーバラン、パリティ、フレーミング (UFnOVE, UFnPE, UFnFE) の各エラー検出は抑制されます。また、受信シフト・レジスタから受信データ・レジスタ (UFnRX) へのデータ転送も行われません。

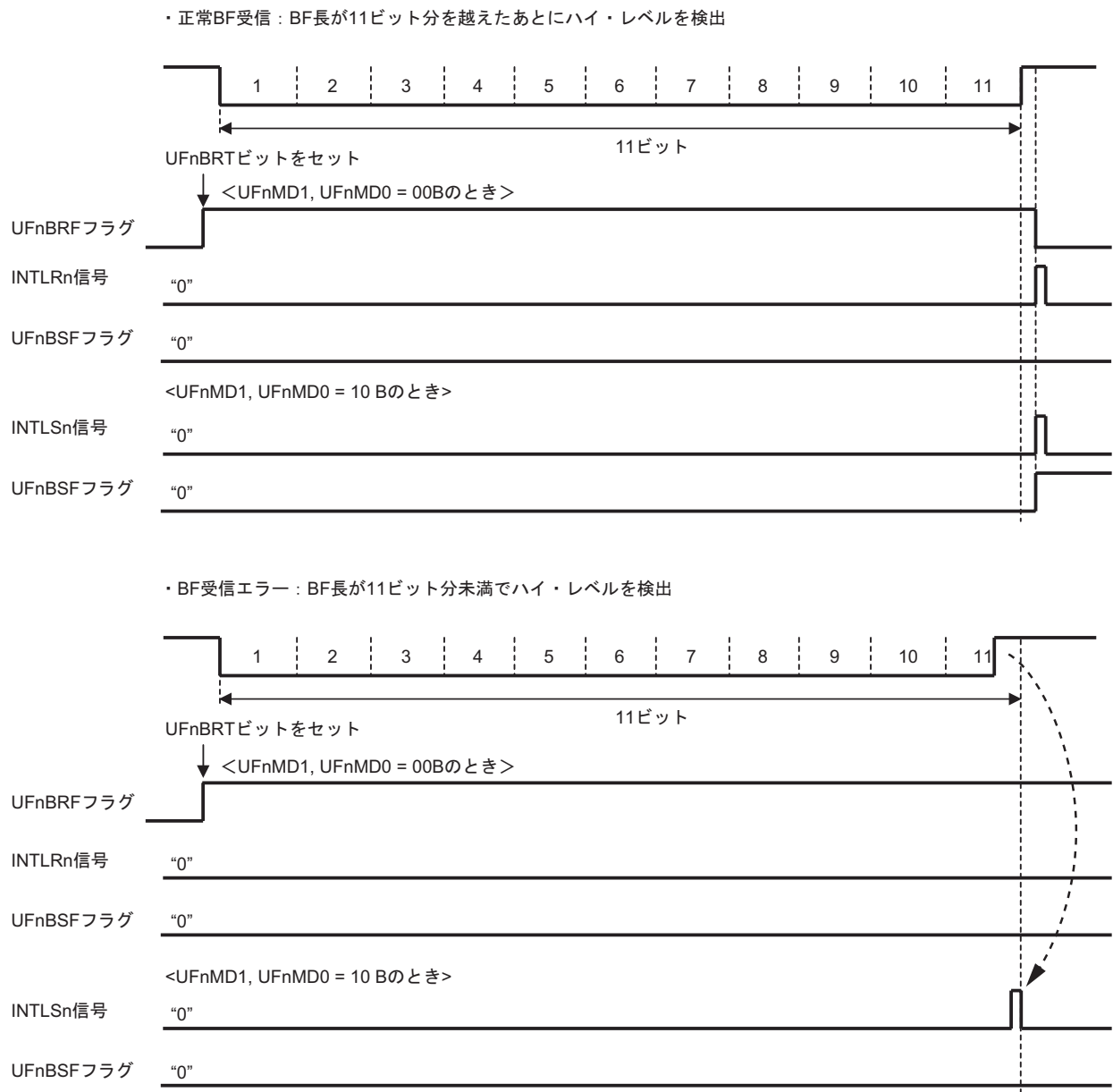
BFの幅が11ビット長未満の場合は異常と判断されます。その場合、ステータス割り込み要求信号 (INTLSn) を発生すると同時にエラーステータスをセットします (UFnSTR)。

もし、データの一貫性チェックあり (UFnDCS = 1) で送信をする場合は、BF受信に成功しても失敗しても、送信データと受信データに不一致が検出されるとデータの一貫性エラー・フラグ (UFnDCE) がセットされ、ステータス割り込み要求信号 (INTLSn) を出力します。そのとき、INTLRnは出力されません。

通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B)、またはオート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のとき、LIN-UARTはデータ通信中でも新規のBF受信を検出できます。

備考 n = 0, 1

図12-36 BF受信のタイミング例



注意 UFnBRFビットは、UFnBRTビットへの“1”設定によりセットされ、BFの正常受信によってクリアされます。
通信中BF受信可能モード（UFnMD1, UFnMD0 = 10 B）時も同様の動作となります。

備考 n = 0, 1

12.5.7 パリティの種類と動作

注意 LIN通信を使用する場合、UFnCTL0レジスタのUFnPS1、UFnPS0ビットを“00”に固定してください。
(n = 0, 1)

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(1) 偶数パリティ

(a) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(b) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(2) 奇数パリティ

(a) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(b) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

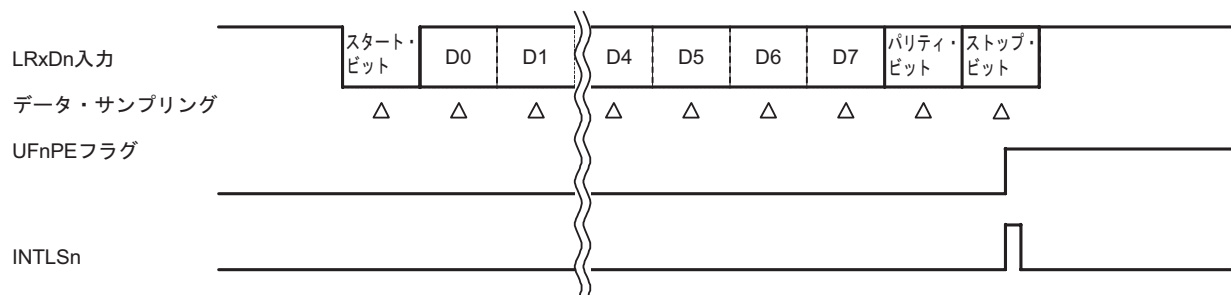
受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

図12-37 パリティ・エラー発生時のタイミング



12.5.8 データ一貫性チェック

データの一貫性チェック選択ビット (UFnDCS) を“1”にすると、受信許可ビットを禁止 (UFnRXE = 0) にしていても、送信動作時に送信データと受信データの比較を行います。

受信許可状態 (UFnRXE = 1) の場合は、送信処理中に受信処理が早期終了していないことも確認します。

送信処理時に送受信信号の不一致、または受信処理の早期終了のどちらかの状態を検出した場合に異常と判定し、ステータス割り込み要求信号 (INTLSn) を出力し、データの一貫性エラー・フラグ (UFnDCE) がセットされます。次の送信データがすでに送信データ・レジスタ (UFnTX) にライト済みであった場合でも、次の送信を行いません (ライトされたUFnTX内のデータは無視されます)。BF送信トリガ・ビット (UFnBTT) がセットされていた場合もBFの送信を行いません。

送信を再開する場合は、送信が完了したことを確認 (UFnTSF = 0) し、データの一貫性エラー・フラグ (UFnDCE) をクリアまたはPER0レジスタのLINnENビットをクリアし、再セット後、送信データを送信データ・レジスタ (UFnTX) にライト、またはBF送信トリガ・ビット (UFnBTT) をセットする必要があります。バッファ使用時には、未転送のデータがバッファに残っていても通信を停止します。

注意 データの一貫性エラーの有無は、受信データの格納動作に影響を与えません。格納が行われる場合は、一貫性エラーが発生しても格納されます。

オーバーランエラーを回避するため、UFnRXE = 1のときは受信データを読み出してください。しかし、UFnRXE = 0のときは受信動作自体が行われず、受信データが格納されないため、受信データを読み出す必要はありません。

また、受信動作が行われない場合、受信完了割り込み要求信号 (INTLRn)、またUFnBSF, UFnFE, UFnOVEのセットとそれによるステータス割り込み要求信号 (INTLSn) は発生しません。

備考 n = 0, 1

(1) 送受信信号の不一致

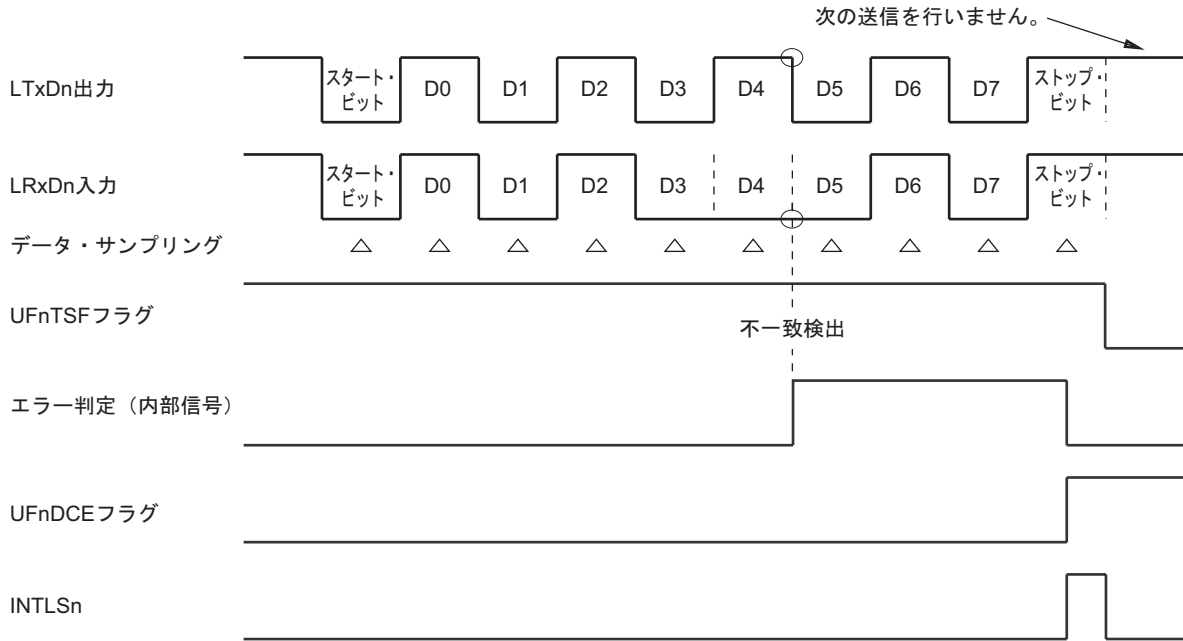
データ（またはBF）送信時にシリアル送受信信号を比較し、不一致が検出された場合に異常と判定し、ステータス割り込み（INTLSn）が発生すると同時にUFnDCEビットがセット（1）されます。

データ送信時は、スタート・ビットからストップ・ビットの1ビット目までが比較されます。

BF送信においては、BFの1ビット目からストップ・ビットの1ビット目までが比較されます。

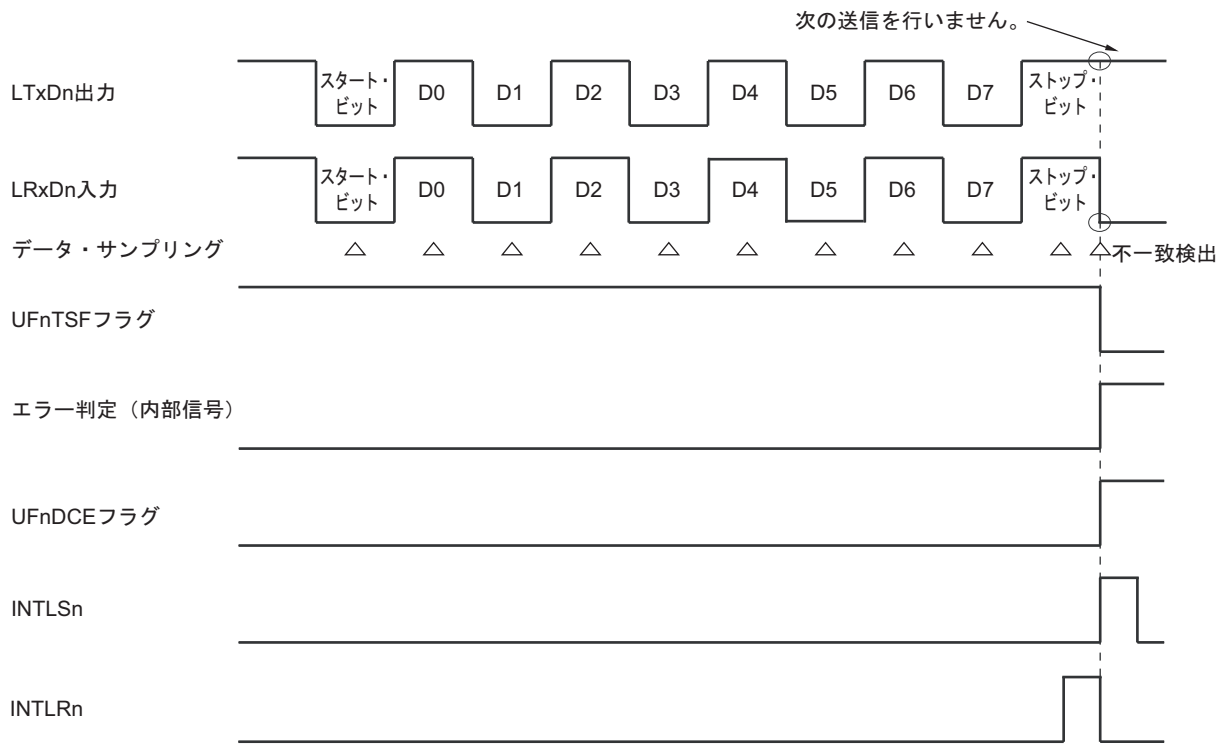
ストップ・ビット長選択ビット（UFnSL）によってストップ・ビット長を2ビットに指定していても、2ビット目のストップ・ビットの一貫性チェックは行われません。

図12-38 データ一貫性エラー発生時のタイミング例1 (UFnBRF = 0)



備考 n = 0, 1

図12-39 データ一貫性エラー発生時のタイミング例2 (UFnBRF = 0)

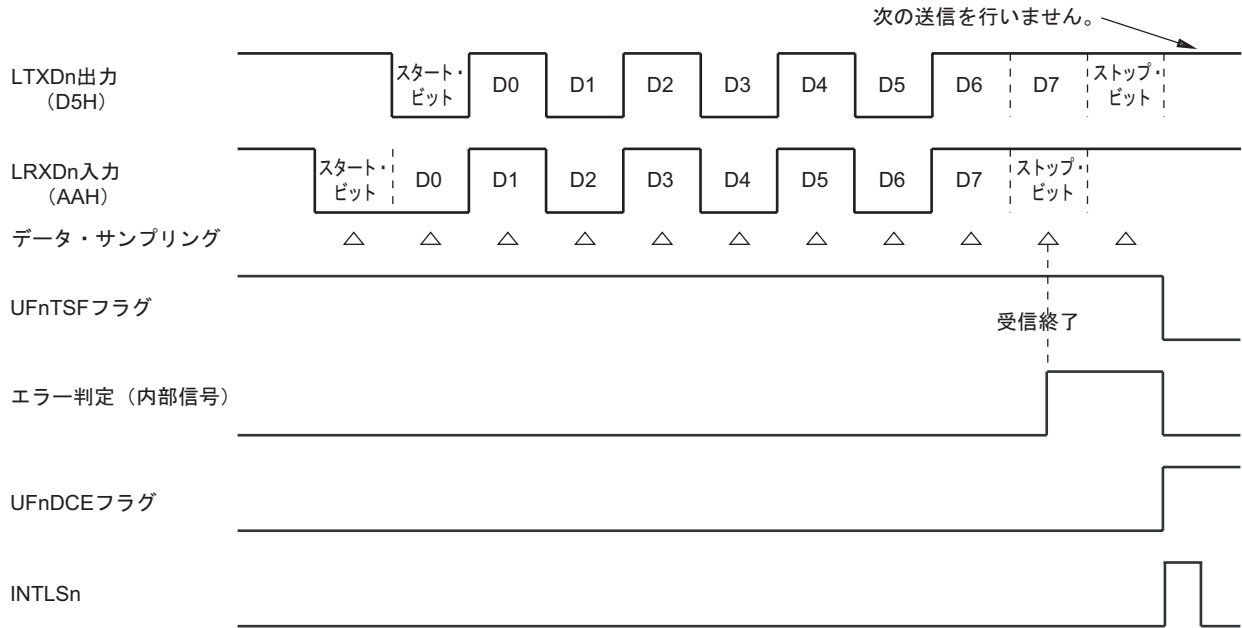


備考 n = 0, 1

(2) 受信処理の早期終了

受信動作許可設定で送信時 (UFnTXE = UFnRXE = 1), 送信中にも関わらず受信処理でストップ・ビットの位置を検出した場合に異常と判定し, ステータス割り込み (INTLSn) が発生すると同時にUFnDCEビットがセット (1) されます。

図12-40 受信処理の早期終了による一貫性エラー発生タイミング例



備考 n = 0, 1

12.5.9 BF受信モード選択機能

BF (Break Field) 受信のためのモードを備えており、LIN-UART動作モード選択ビット (UFnMD1, UFnMD0) によって選択します。

(1) 通常UARTモード (UFnMD1, UFnMD0 = 00B) の場合

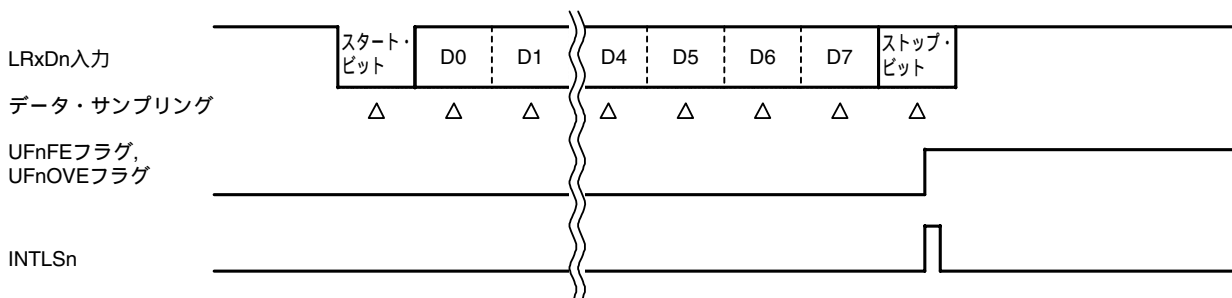
通常UARTモード (UFnMD1, UFnMD0 = 00B) に設定すると、BF受信成功待ち (UFnBRF = 1) のときのみ新規BFを認識するモードとなります。正常にBF受信を終了した場合、受信完了割り込み(INTLRn)が発生します。

BF受信成功待ち状態でない場合 (UFnBRF = 0)、フレーミング・エラー／オーバラン・エラーの判定は、データのストップ・ビット位置 (10ビット目) で行われます (図12-41参照)。オーバラン状態でなければ、受信データはUFnRXレジスタに格納されます。BF受信成功待ち (UFnBRF = 1) の場合、フレーミング・エラー／オーバラン・エラーの検出およびUFnRXレジスタに受信データの格納は行われません。

UFnBRF = 0のとき、データまたはBFのストップ・ビット送信開始時に受信動作が停止している場合、データの一貫性エラーの割り込みとフラグの変化は、ストップ・ビットの次のビット開始時に行われます (12.5.8 (2) 参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット位置で行われます (12.5.8 (1) 参照)。一方、UFnBRF = 1のとき、ストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われ (図12-42参照)、受信動作中の場合はストップ・ビット以降の入力データの立ち上がりエッジ検出時に行われます (図12-43参照)。

注意 通常UARTモード (UFnMD1, UFnMD0 = 00B) の場合、BF受信成功フラグ (UFnBSF) はセットされません。

図12-41 通常UARTモードの場合のフレーミング・エラー／オーバラン・エラー判定タイミング
(UFnBRF = 0のとき)



備考 n = 0, 1

図12-42 UFnBRF = 1の場合のBF送信時一貫性エラー発生タイミング例

(ストップ・ビット送信開始時に受信動作が停止している場合 (直前の入力データが“1”))

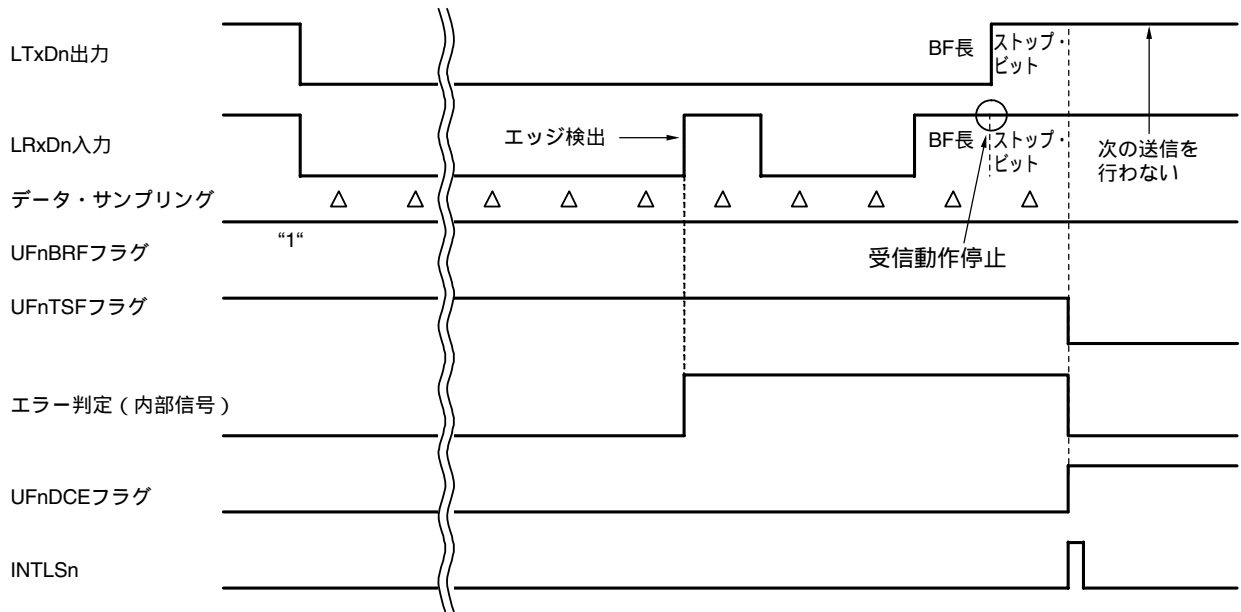
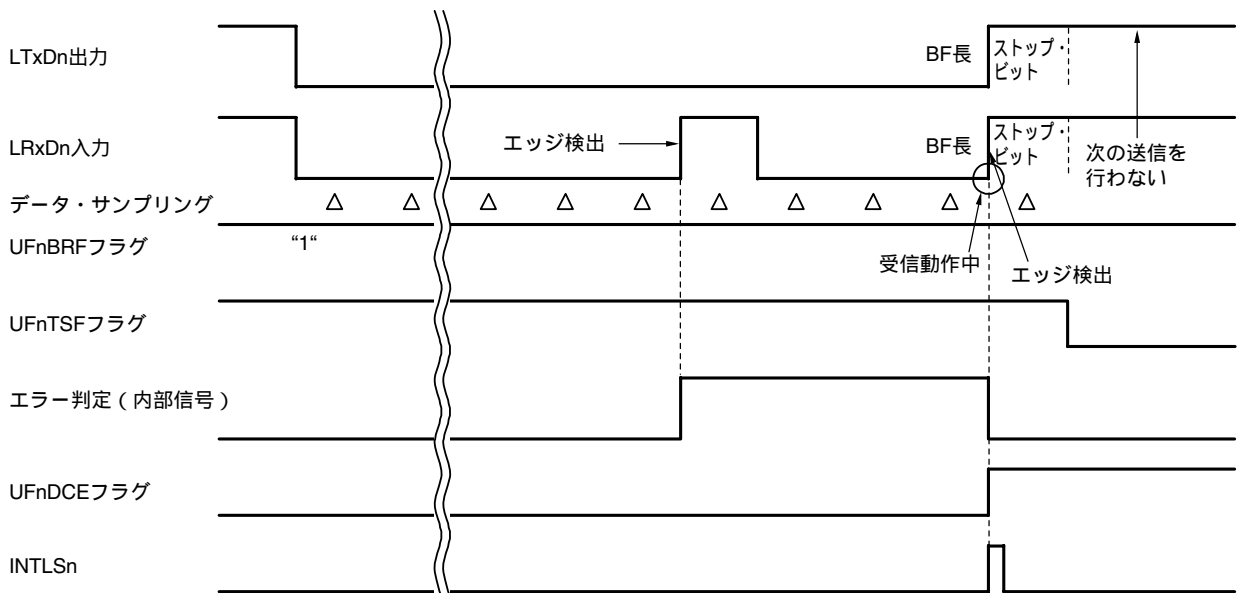


図12-43 UFnBRF = 1の場合のBF送信時一貫性エラー発生タイミング例

(ストップ・ビット送信開始時に受信動作中の場合 (直前の入力データが“0”))



備考 n = 0, 1

(2) 通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B)

通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) に設定すると、BF受信成功待ち (UFnBRF = 1) のときに加えて、データ通信中のときにも新規BFを認識するモードとなります。BF受信成功待ち状態でない場合 (UFnBRF = 0)、データのストップ・ビット位置 (10ビット目) でロウ・レベルを検出した場合は、新規BFを受信中の可能性があるので、入力データがハイ・レベルになるまでフレーミング・エラー／オーバーラン・エラーの判定を待ちます。そして連続するロウ・レベル期間が11ビット未満だった場合はエラー検出と判定します (図12-44参照)。オーバーラン・エラーでなければ、受信データは始めの8ビットがUFnRXレジスタに格納されます。このとき、BF受信成功フラグ (UFnBSF) はセットされません。BF受信成功待ち (UFnBRF = 1) のとき、フレーミング・エラー／オーバーラン・エラーの検出および受信データのUFnRXレジスタへの格納は行われません。

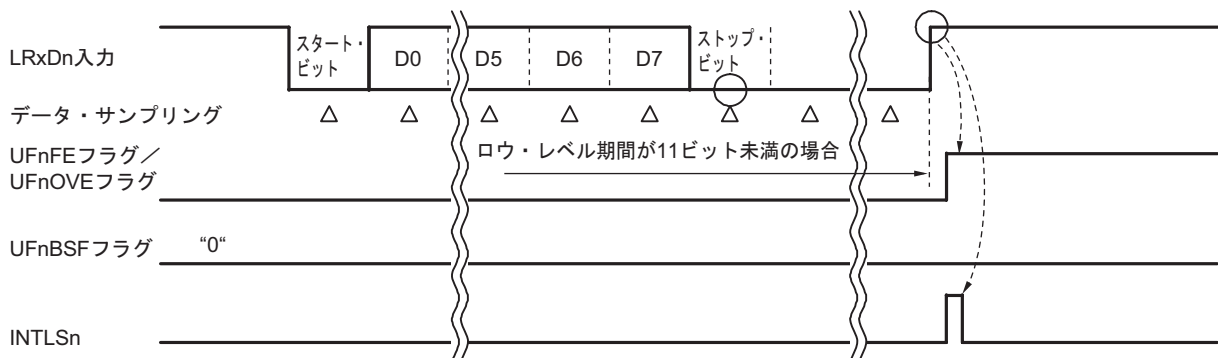
一方、連続するロウ・レベル期間が11ビット以上だった場合は、新規BF受信成功と判断し、BF受信成功フラグ (UFnBSF) をセットします (図12-45参照)。フレーミング・エラー／オーバーラン・エラーの検出は行われません。このとき、受信データはUFnRXレジスタに格納されません。

データの一貫性エラーの割り込みとフラグの変化は、UFnBRF = 0のとき、データまたはBFのストップ・ビット送信開始時に受信動作が停止していると、ストップ・ビットの次のビット開始時に行われます (12.5.8 (2) 参照)。ストップ・ビット送信開始時に受信動作中の場合は、ストップ・ビット以降に入力データ“1”を検出したときに行われます (12.5.8 (1)、図12-46参照)。

一方、UFnBRF = 1でBF送信中に入力データ“1”を検出したとき、ストップビットの1ビット目の送信完了後に行われます (図12-47参照)。BF送信完了後の場合は“1”を検出したビットのタイミングで行われます (図12-48参照)。

注意 通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) にする場合は、必ずUFnOPT1レジスタのUFnDCSビットも“1”にしてください。

図12-44 BF受信失敗時のフレーミング・エラー／オーバーラン・エラー判定タイミング (UFnBRF = 0のとき)



備考 n = 0, 1

図12-45 BF受信成功時のステータス割り込みの発生タイミング (UFnBRF = 0のとき)

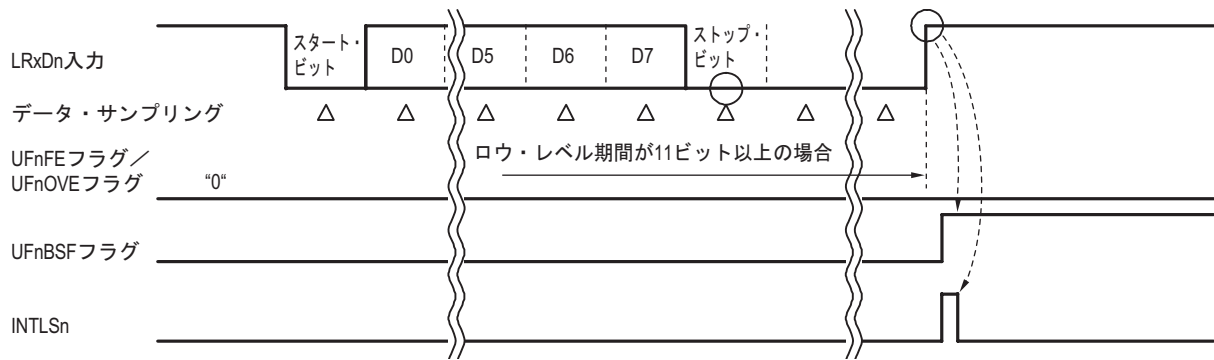
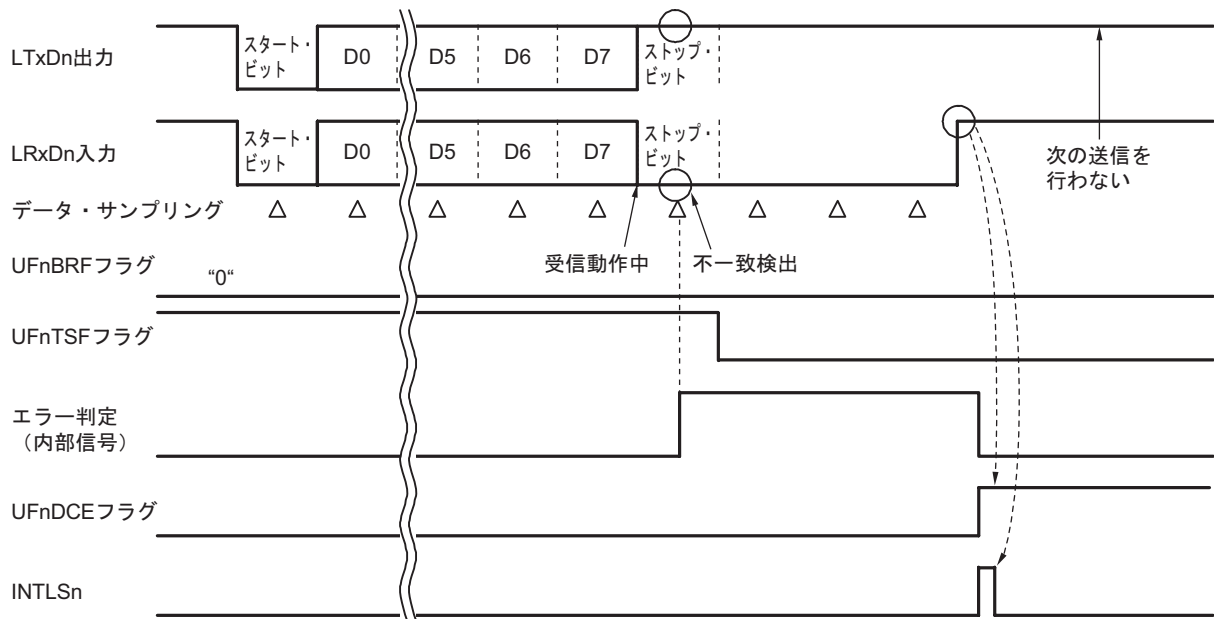


図12-46 UFnBRF = 0の場合のデータの一貫性エラー発生タイミング例



備考 n = 0, 1

図12-47 UFnBRF = 1の場合のBF送信時一貫性エラー発生タイミング例 (BF送信中に“1”を検出した場合)

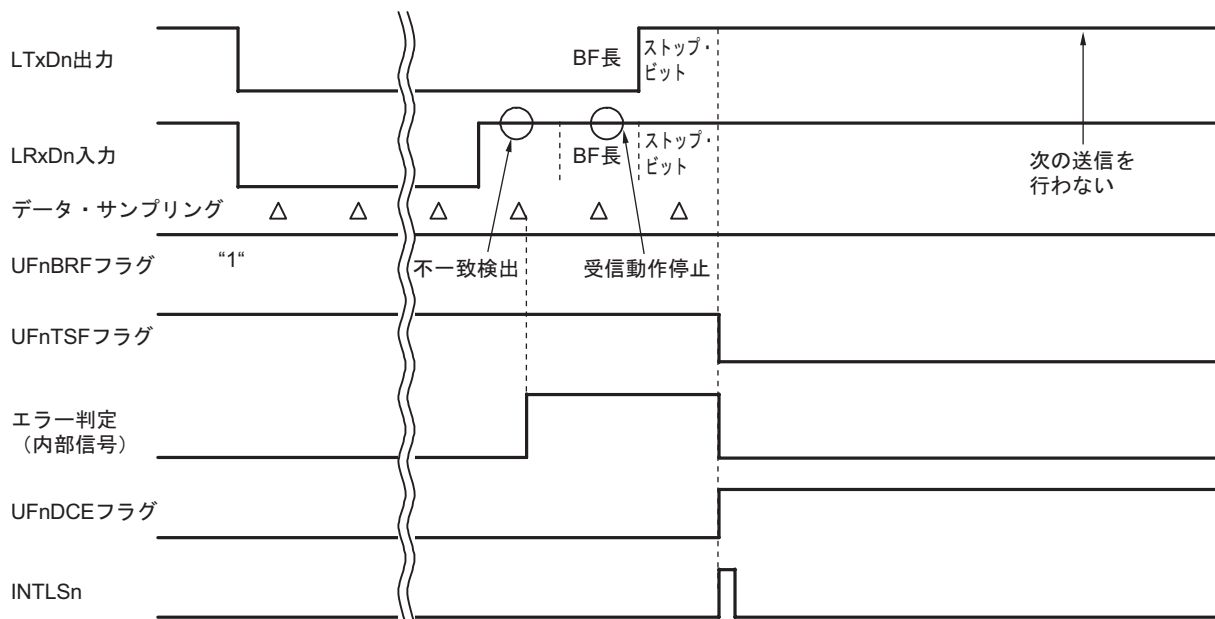
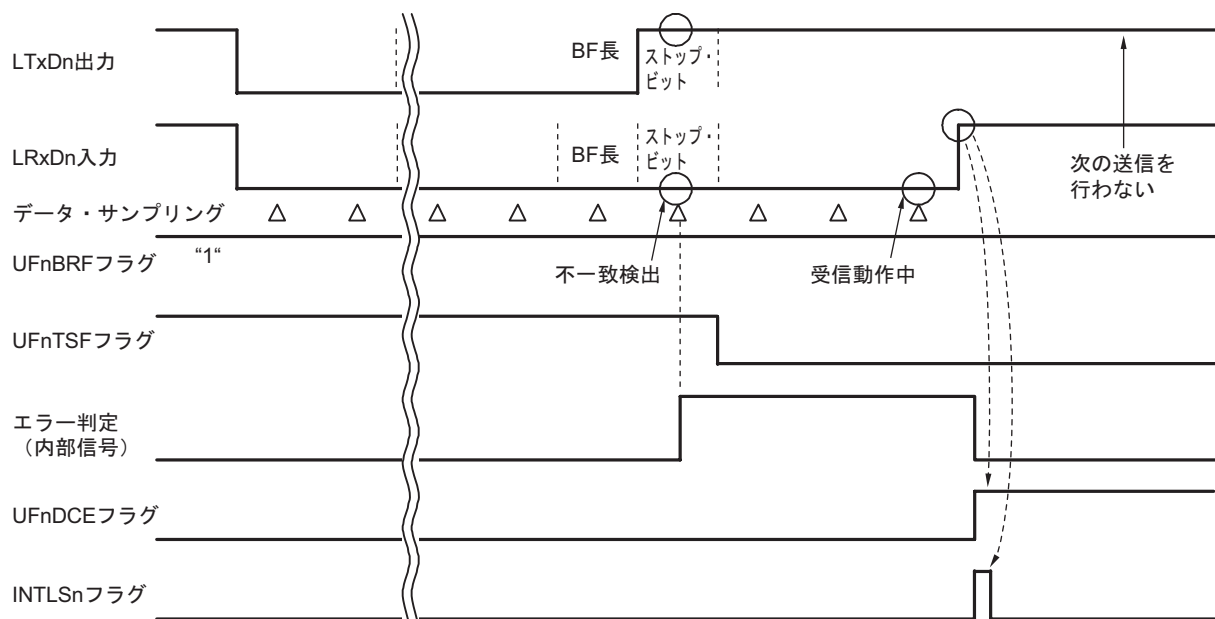


図12-48 UFnBRF = 1の場合のBF送信時一貫性エラー発生タイミング例 (BF送信後に“1”を検出した場合)



備考 n = 0, 1

12.5.10 ステータス割り込み発生要因

ステータス割り込み発生要因には、パリティ・エラー、フレーミング・エラー、オーバラン・エラーと、LIN 通信時のみに発生する、データの一貫性エラー、BF受信成功、オート・ポー・レート・モード時のみに発生するIDパリティ・エラー、チェック・サム・エラー、レスポンス準備エラー、拡張ビット許可時のみに発生するID一致と拡張ビット検出があります。これらを検出すると、ステータス割り込み要求信号 (INTLSn) が発生します。発生要因の種別は状態レジスタ (UFnSTR) で参照できます。ステータス割り込み処理ルーチンでUFnSTR レジスタを参照し、処理内容を決定します。

ステータス・フラグは、ソフトウェアにてUFnSTCレジスタのUFnTSF, UFnRSFビットを除く対応ビットに“1”を書き込みする事でクリアする必要があります。

ステータス割り込みの発生タイミングおよびステータス・フラグの変化タイミングは、モード設定と発生要因によって異なります。

表12-3 ステータス割り込み発生要因

ステータス・フラグ	発生要因	内 容
UFnPE	パリティ・エラー	受信データのパリティ計算結果と受信したパリティ・ビットの値が一致しない。
UFnFE	フレーミング・エラー	ストップ・ビットが検出されない (ストップ・ビット位置でロウ・レベルが検出)。
UFnOVE	オーバラン・エラー	受信データ・レジスタに転送された受信データを読み出す前に次のデータ受信が完了。
UFnDCE	データの一貫性エラー	データの一貫性チェック選択ビット (UFnDCS) がセットされており、かつデータを送信しているときに送信データと受信データの値が一致しない。または送信動作と受信動作にずれが生じている。
UFnBSF	BF受信成功	通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) のときに、新規のBF受信に成功(マスタがBFを送信した場合においても発生)。
UFnIPE	IDパリティ・エラー	受信したPIDのパリティ・ビットのどちらか一方でもエラーがあった。
UFnCSE	チェック・サム・エラー	レスポンス受信時に受信したチェック・サムと自動で計算した結果の比較結果が不正。
UFnRPE	レスポンス準備エラー	レスポンスで1バイト目の受信が完了するまでにレスポンス準備が間に合わなかった
UFnIDM	ID一致	次の条件を満たしている。 ・ 拡張ビット・データ比較許可 (UFnEBC = 1) ・ 拡張ビットが拡張ビット検出レベル選択ビット (UFnEBL) で設定したレベル ・ 受信データがUFnIDレジスタ値と一致
UFnEBD	拡張ビット検出	受信データの拡張ビットにおいて、拡張ビット検出レベル選択ビット (UFnEBL) で設定したレベルを検出

備考 n = 0, 1

ステータス割り込み発生時、発生要因により次の処理が必要です。

・パリティ・エラー、データの一貫性エラー

誤ったデータを受信しているので、受信データを読みだしたあとに破棄し、再度通信を行ってください。受信データを読みださない場合は、次の受信完了でオーバラン・エラーとなります。データの一貫性エラーの場合は、データの衝突も考えられます。

・フレーミング・エラー

正常にストップ・ビットを検出できなかったか、スタート・ビットの誤検出によるビットずれが発生している可能性があります。また、LINによる通信では送信側とボー・レートがずれていることや不十分な長さのBFを受信した可能性もあります。

頻繁にフレーミング・エラーが発生する場合は、ビットずれかボー・レートずれが発生している可能性がありますので、送信側、受信側の双方がイニシャライズ処理を行い、再度通信を開始してください。また、フレーミング・エラー発生後、次のデータを受信するためには、一度、受信端子がハイ・レベルになる必要があります。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了しているので、直前に受信した1フレーム分のデータが破棄された状態となるため、データを再送してもらう必要があります。

・BF受信成功

新規のBF受信に成功したので、新たなフレーム・スロットの開始に備える必要があります。

・IDパリティ・エラー

受信したPIDは不正なので、レスポンスなし要求ビット (UFnNO) をセットしてください。その後、レスポンス送受信を行わず、次のBF受信を待ち、そのフレームを無視してください。

・チェック・サム・エラー

受信したレスポンス (データ・フィールド) は、不正なので破棄してください。

・レスポンス準備エラー

正常にレスポンス処理ができないので、次のBF受信を待ち、そのフレームを無視してください。

・ID一致

UFnEBLビットで設定したレベルの拡張ビットの受信データがUFnIDレジスタの設定値と一致したので、それ以降のデータを受信するために拡張ビット・データ比較禁止 (UFnEBC = 0) にするなどの対応処理をしてください。

・拡張ビット検出

UFnEBLビットで設定したレベルの拡張ビットの受信データが受信されたので、DMA転送開始に備えるなどの対応処理をしてください。

注意 ステータス・フラグは、最新の状態を反映しているのではなく、ステータス・フラグのクリア後に発生したすべての要因の累積です。そのため、次の受信完了までに対応処理を完了し、ステータス・フラグをクリアする必要があります。

LIN通信を行う場合のステータス対応処理の一例を次に示します。

表12-4 LIN通信時のステータス対応処理例

(通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) かつUFnDCS = 1の場合)

UFnBSF	UFnDCE	UFnFE	UFnOVE	状 態	処理例
1	1	×	×	マスタ時, BF送信中に送受信データの不一致を検出。ただし11ビット以上の連続ロウ・レベルは受信している。次のデータ送信準備済みであっても, その送信は行われない。	<ul style="list-style-type: none"> 通信相手がBFを認識できていない可能性があるため, 次のデータ (Synch Field) 送信は行わず, 次のタイム・スケジュールを待つ 通信相手がBFを認識できていない可能性はあるが, 次のデータ (Synch Field) 送信を行うため, UFnDCEビットをクリアして, 次のデータを書き込む
1	0	×	×	マスタ時, BF送信, BF受信に成功。	次のデータ (Synch Field) の送信処理を行う
				スレーブ時, BF受信に成功。	次のデータ (Synch Field) の受信処理を行う
0	1	×	×	マスタ時, BF送信またはデータ (SF/PIDを含む) 送信に失敗。 次のデータまたはBFの送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, すべてのステータス・レジスタを破棄して次のタイム・スケジュールを待つ
				スレーブ時, データ送信に失敗。 次のデータ送信準備済みであっても, その送信は行われない。	その後の送受信データは破棄し, すべてのステータス・レジスタを破棄して次のタイム・スケジュールを待つ
0	0	1	×	データ受信時にフレーミング・エラーを検出。	フレーミング・エラー検出時の処理を行う
0	0	×	1	データ受信時にオーバーラン・エラーを検出。 直前に受信した1データが破棄されている。	オーバーラン・エラー検出時の処理を行う

注意1. いずれの処理においても, セットされているステータス・フラグはすべてクリアしてください。

- LIN通信においてエラーを検出すると (通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) を設定している場合はBF受信に成功したときを含む), 受信完了割り込み要求信号 (INTLRn) ではなく, ステータス割り込み要求信号 (INTLSn) を発生し, 通信状態にしたがってステータス・フラグがセットされます。

備考1. × : 任意

- n = 0, 1

12.5.11 送信開始ウエイト機能

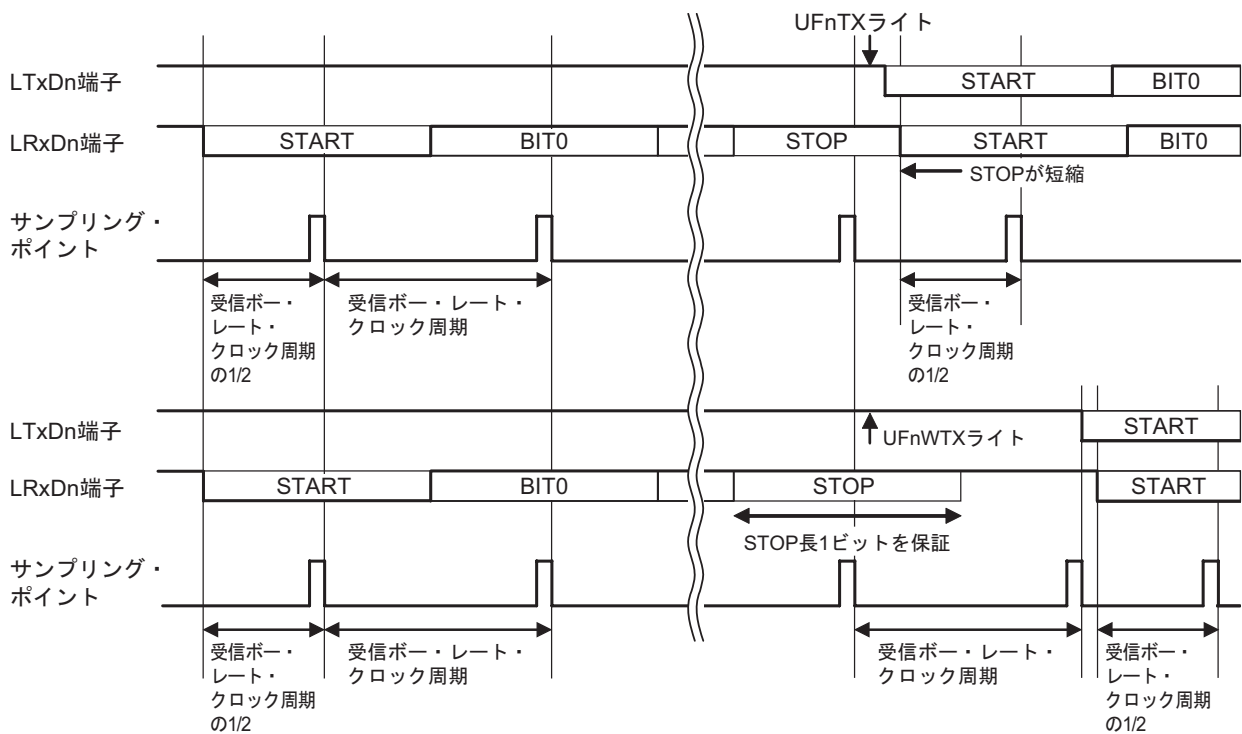
78K0R/Hx3は、LIN通信を行う場合、受信から送信へ切り替わるときに受信のストップ・ビット長を保証する機能を持っています。

受信のストップ・ビット完了まで送信開始を遅らせたい場合、送信開始要求としてUFnTXレジスタへ送信データをライトする代わりに、ウエイト専用レジスタであるUFnWTXレジスタへデータをライトしてください。

この場合、受信データのストップ・ビットが確実に終了するまで1ビット分、送信開始をウエイトします。

なお、ストップ・ビット長選択ビット (UFnSL) によってストップ・ビット長を2ビットに指定していても、1ビット分しかウエイトしません。

図12-49 受信データのストップ・ビット中に送信データをライトした場合



注意 1. LIN通信を行っていない場合、UFnWTXレジスタへのアクセスは禁止します。

2. 受信から送信へ切り替わるとき以外（送信中など）、UFnWTXレジスタへのライトは禁止です。

備考 n = 0, 1

12.6 UARTバッファ・モード

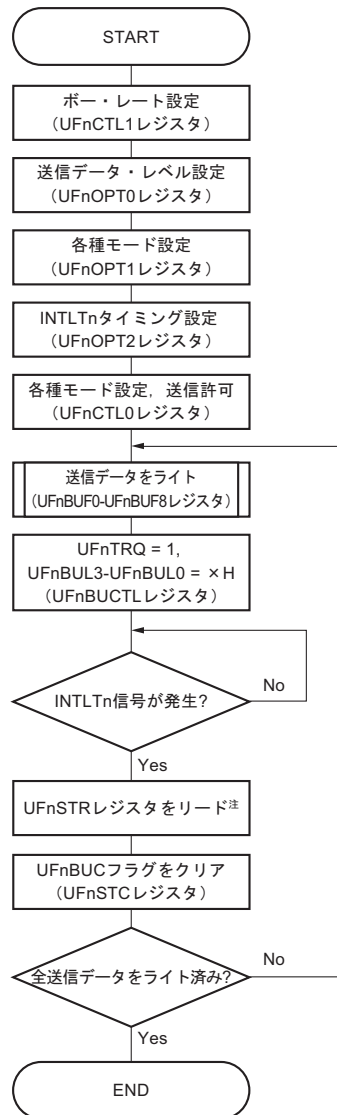
78K0R/Hx3 は、通常の UART 通信の場合 (UFnMD1, UFnMD0 = 00B) に使用可能な 9 バイトの送信用バッファを持っています。

備考 n = 0, 1

12.6.1 UARTバッファ・モード送信

次にUARTバッファ・モードでデータを送信する手順を説明します。

図12-50 UARTバッファ・モードの送信処理フロー



注 省略可能

注意 1. UARTバッファ送信モードでデータを配信する場合は、次の値を設定してください。

- 拡張ビットは禁止 (UFnEBE = 0)
- 通常UARTモード (UFnMD1, UFnMD0 = 00B)
- データ一貫性チェックは禁止 (UFnDCS = 0)
- バッファ送信開始ウエイトは禁止 (UFnTW = 0)
- 転送継続は禁止 (UFnCON = 0)
- レスポンスなし要求ビットはレスポンスあり (UFnNO = 0)
- 受信要求は禁止 (UFnRRQ = 0)

2. UFnBUCフラグをクリアするとき、その他の受信用フラグをクリアしないようにしてください。

備考 1. LIN-UARTの起動については、12.11 使用上の注意の (2) を参照してください。

2. x : 任意, n = 0, 1

バッファ長ビット (UFnBUL3-UFnBUL0) に設定したバイト数 (1~9) の転送が終了すると、送信割り込み要求信号 (INTLTn) を出力します。バッファ長ビットを"0", "10-15"に設定した場合は、9バイトの転送を行います。

バッファ・モードで送信中に送信データ・レジスタ (UFnTX) ヘデータをライトすることは禁止します。

転送を途中で停止させたい場合は、送信許可ビット (UFnTXE) に"0"をライトしてください。データの送信処理が停止され、UFnTRQビット、UFnTSFフラグはクリアされます。

図12-51 UARTバッファ・モードの送信例 (UFnITS = 0)

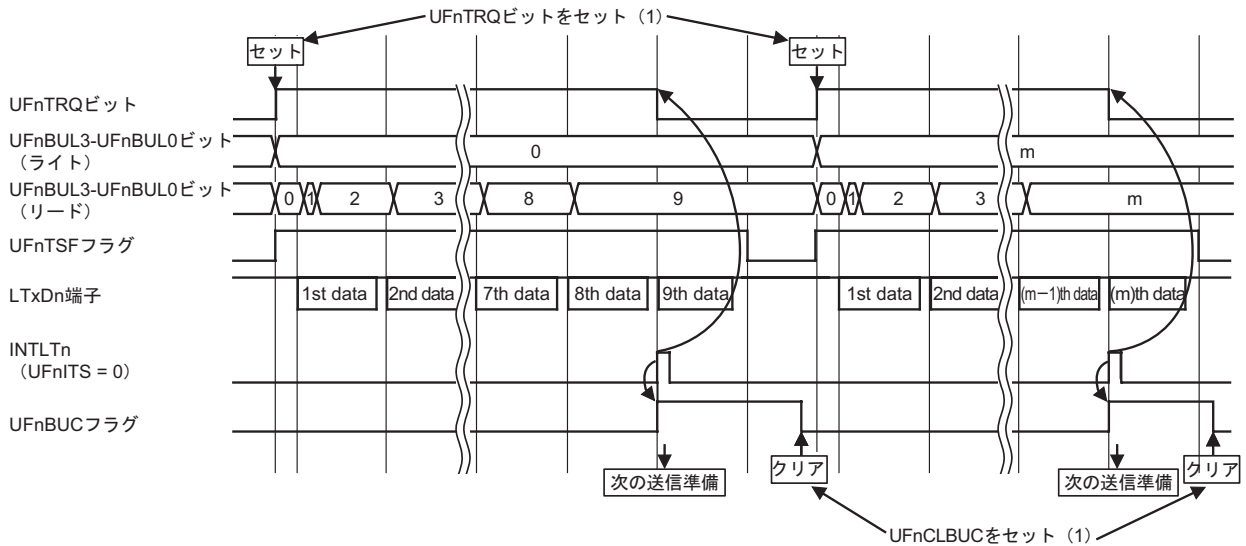
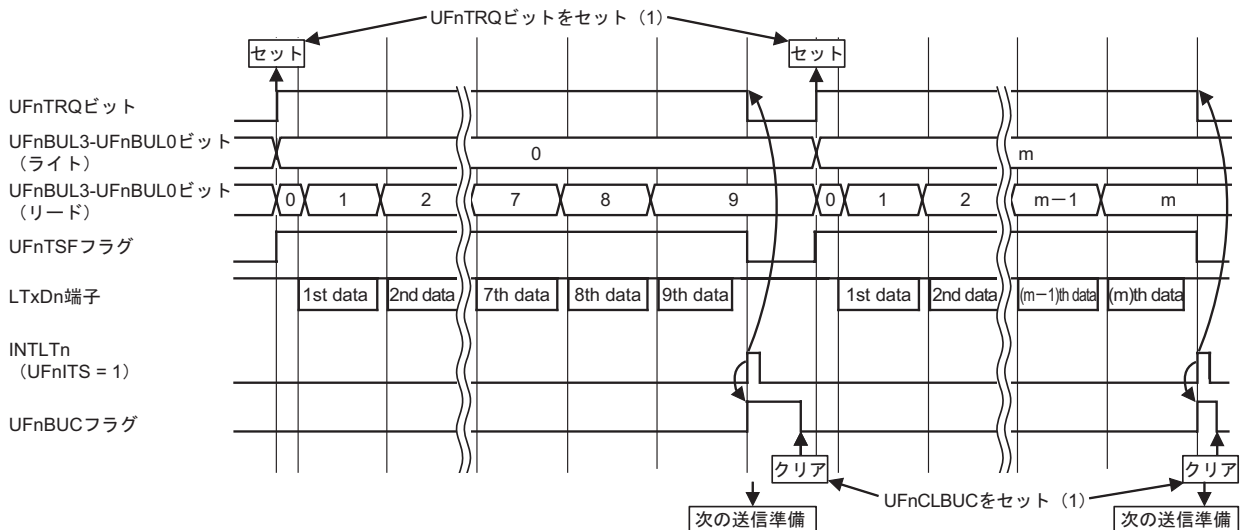


図12-52 UARTバッファ・モードの送信例 (UFnITS = 1)



備考 n = 0, 1, m = 1-9

12.7 LIN通信オート・ポー・レート・モード

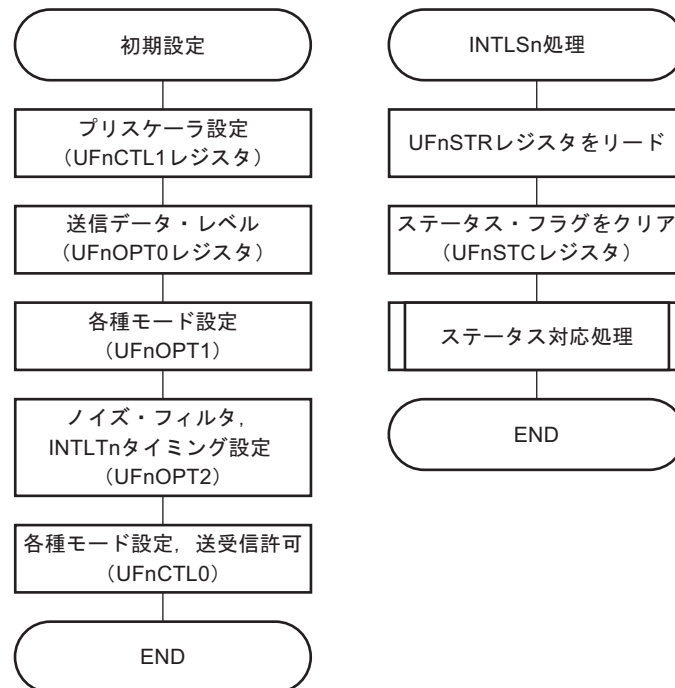
LIN通信オート・ポー・レート・モードは、自動的にBFとSFを検出し、そのSFの計測結果からポー・レートを設定します。

UFnMD1, UFnMD0 = 11Bに設定するとオート・ポー・レート・モードとして動作します。

ポー・レートは2400 bps~128 kbpsで動作可能です。プリスケアラで分周したクロック（プリスケアラ・クロック）は、8~12 MHzに設定してください。そのときはf_{CLK}の周波数からUFnPRS2-UFnPRS0の設定値を求め、初期設定する必要があります。

LIN-UARTをマスタとして使用する場合、オート・ポー・レート・モード（UFnMD1, UFnMD0 = 11B）は使用禁止です。

図12-53 LIN通信オート・ポー・レート・モードの基本処理フロー例（1/2）



注意 1. LIN通信オート・ポー・レート・モードでデータを配信する場合は、次の値を設定してください。

送受信データ・レベルは、通常入力（UFnTDL = UFnRDL = 0）。

拡張ビット禁止（UFnEBE = 0）。

モードは、オート・ポー・レート・モード（UFnMD1, UFnMD0 = 11B）。

一貫性チェック選択（UFnDCS = 1）。

送信割り込みは、送信開始時（UFnITS = 0）。

通信方向制御は、LSBファースト（UFnDIR = 1）。

パリティ選択ビットは、パリティなしで受信（UFnPS1, UFnPS0 = 00B）。

データ・キャラクタ長は、8ビット（UFnCL = 1）。

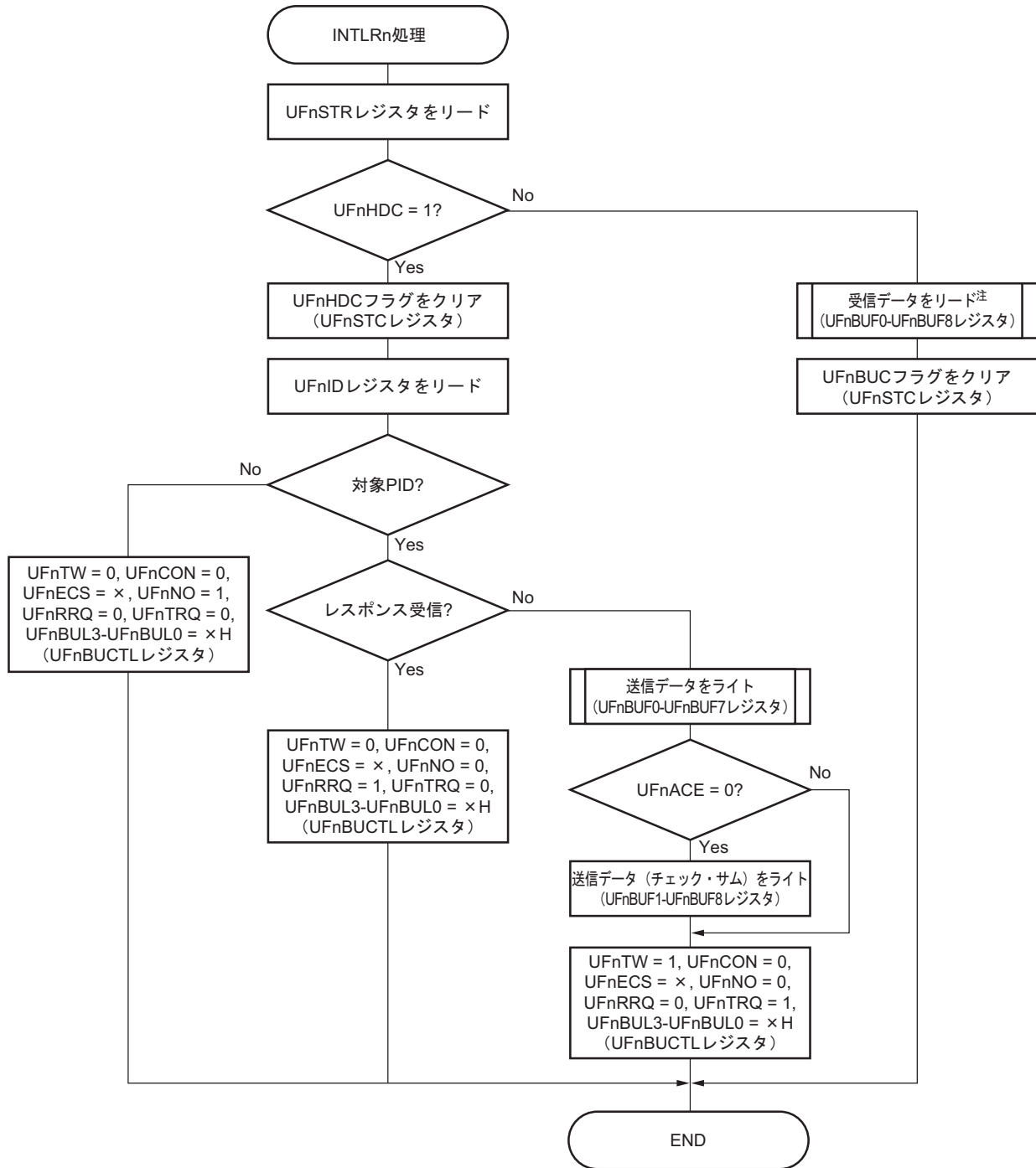
送信データ・レジスタは、初期値（UFnTX = 0000H）。

- プリスケアラで分周したクロックが8~12 MHzになるよう、UFnPRS2-UFnPRS0ビットを設定してください。

備考 1. LIN-UARTの起動については、12.11 使用上の注意の（2）を参照してください。

- n = 0, 1

図12-53 LIN通信オート・ポー・レート・モードの基本処理フロー例 (2/2)



注 省略可能です。

注意 1. バッファ長ビット (UFnBUL3-UFnBUL0) を"0", "10-15"に設定した場合は, 9バイトの受信または送信を行います。またバッファ長を"1-8"に設定した場合, バッファ番号の小さい方から設定バイト数のバッファが使用されます。

例: UFnBUL3-UFnBUL0 = 1に設定すると, 常にUFnBUF0レジスタのみにデータが格納されます。

2. UFnRRQビットをセットすると, 受信データのリードが終了していてもバッファへの格納 (上書き) を行ってしまうので, 受信データのリードが完了するまでUFnRRQビットをセットしないでください。
3. ヘッダ受信後にレスポンス送信へ切り替わるとき以外, UFnTWビットのセット (1) は禁止です。

備考 x : 任意, n = 0, 1

ヘッダの受信が完了したとき (UFnHDC = 1), UFnIDレジスタに格納されているPIDが対象外ならばUFnNOビットをセットして、それ以降の送受信処理を停止 (レスポンスを無視) します。

レスポンス受信のPIDならば、レスポンスのデータ長 (UFnBUL3-UFnBUL0) などを設定すると同時にUFnRRQビットをセットし、レスポンスの受信処理を行います。

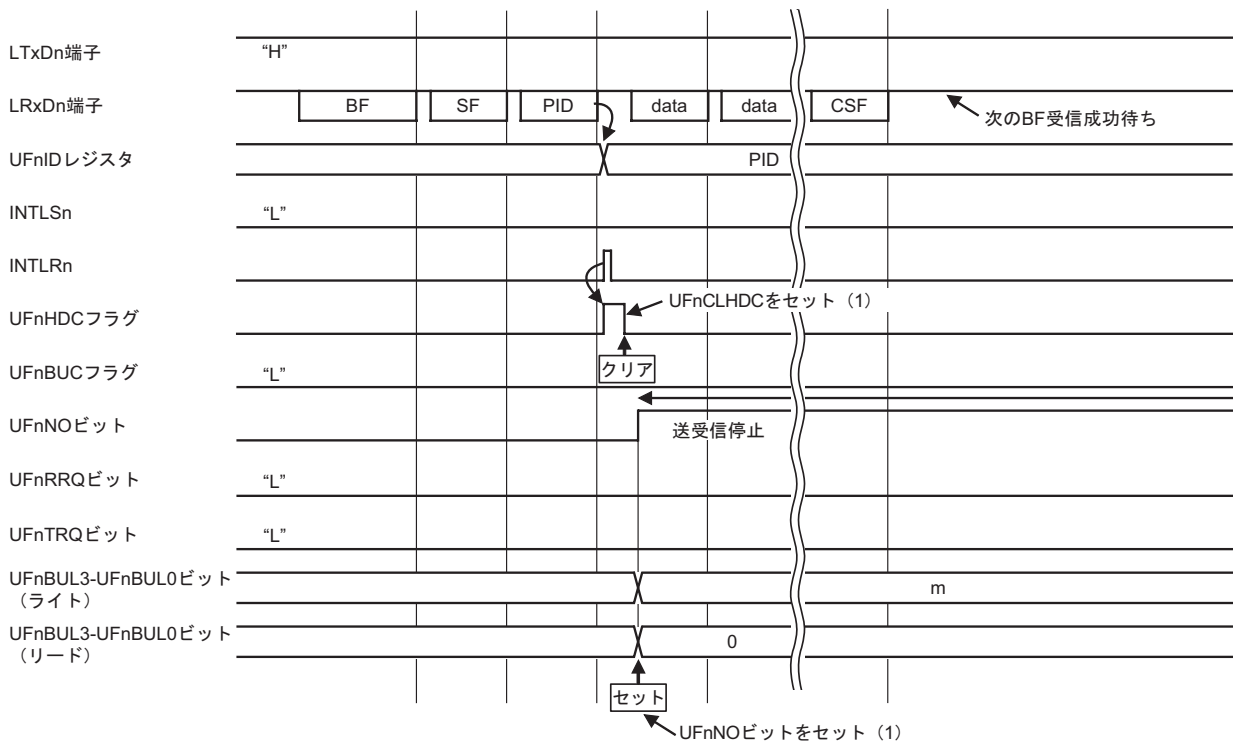
レスポンス送信のPIDならば、送信データをバッファへ設定したあとに、レスポンスのデータ長 (UFnBUL3-UFnBUL0) などを設定すると同時にUFnTRQビットをセットし、レスポンスの送信処理を行います。そのとき、受信データはUFnRXレジスタに格納されます。ただし、読み出さなくてもオーバーラン・エラーにはなりません。

なおPIDに対する処理 (UFnNO/UFnRRQ/UFnTRQビットのセット) は、レスポンスの1バイト目の受信完了前に行ってください。間に合わなかった場合、レスポンス準備エラーが発生します。詳細は、12.7.2 レスポンス準備エラー検出機能を参照してください。

レスポンス受信時やレスポンス送信時、エラー発生によりステータス割り込み要求信号 (INTLSn) が発生した場合、送受信動作を停止して次のBF受信を待ちます。

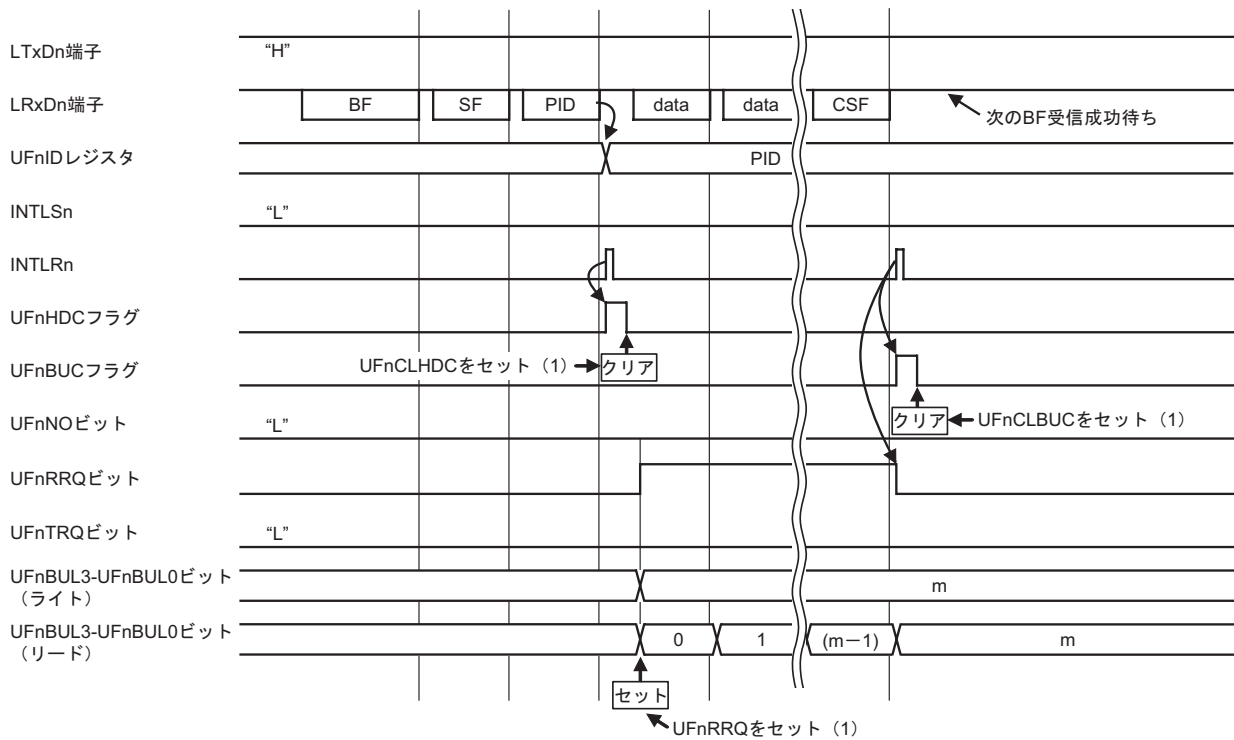
なおオート・ポー・レート・モードでは、バッファを使用する (UFnRXレジスタを使用しない) のでオーバーラン・エラーは発生しません。

図12-54 LIN通信オート・ポー・レート・モード (対象外PIDの場合)



備考 n = 0, 1, m = 1-9

図12-55 LIN通信オート・ポー・レート・モード（レスポンス受信の場合）



次に 8 バイト・データを受信する場合（UFnBUL3-UFnBUL0 = 9）と 3 バイト・データを受信する場合（UFnBUL3-UFnBUL0 = 4）の受信結果のバッファ格納例を示します。

(1) 8バイト・データを受信する場合

(UFnBUL3-UFnBUL0 = 9)

受信結果例

UFnBUF8	チェック・サム
UFnBUF7	Data7
UFnBUF6	Data6
UFnBUF5	Data5
UFnBUF4	Data4
UFnBUF3	Data3
UFnBUF2	Data2
UFnBUF1	Data1
UFnBUF0	Data0

(2) 3バイト・データを受信する場合

(UFnBUL3-UFnBUL0 = 4)

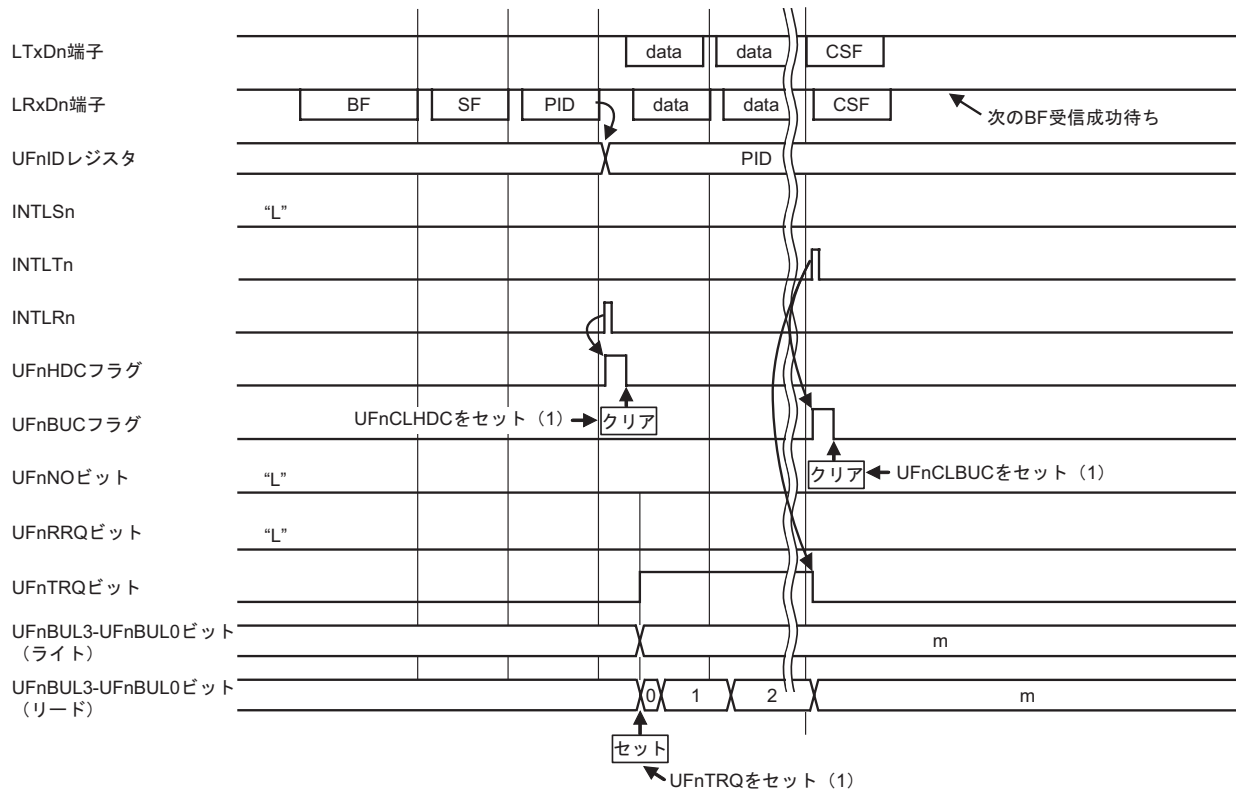
受信結果例

UFnBUF8	—
UFnBUF7	—
UFnBUF6	—
UFnBUF5	—
UFnBUF4	—
UFnBUF3	チェック・サム
UFnBUF2	Data2
UFnBUF1	Data1
UFnBUF0	Data0

注意 オート・チェック・サムを許可した状態で使用している場合（UFnACE = 1）、チェック・サムのデータはバッファに格納されません。

備考 n = 0, 1

図12-56 LIN通信オート・ポー・レート・モード (レスポンス送信の場合)



次に 8 バイト・データを送信する場合 (UFnBUL3-UFnBUL0 = 9) と 3 バイト・データを送信する場合 (UFnBUL3-UFnBUL0 = 4) のバッファ設定例と送信完了後のバッファ状態を示します。

備考 n = 0, 1

(1) 8バイト・データを送信する場合 (UFnBUL3-UFnBUL0 = 9)

	バッファ設定	バッファ状態
UFnBUF8	チェック・サム	チェック・サム
UFnBUF7	Data7	Data7
UFnBUF6	Data6	Data6
UFnBUF5	Data5	Data5
UFnBUF4	Data4	Data4
UFnBUF3	Data3	Data3
UFnBUF2	Data2	Data2
UFnBUF1	Data1	Data1
UFnBUF0	Data0	Data0

(2) 3バイト・データを送信する場合 (UFnBUL3-UFnBUL0 = 4)

	バッファ設定	バッファ状態
UFnBUF8	—	—
UFnBUF7	—	—
UFnBUF6	—	—
UFnBUF5	—	—
UFnBUF4	—	—
UFnBUF3	チェック・サム	チェック・サム
UFnBUF2	Data2	Data2
UFnBUF1	Data1	Data1
UFnBUF0	Data0	Data0

注意 オート・チェック・サム機能を許可する場合 (UFnACE = 1), ソフトウェアでバッファにチェック・サムを設定する必要ありません。

備考 n = 0, 1

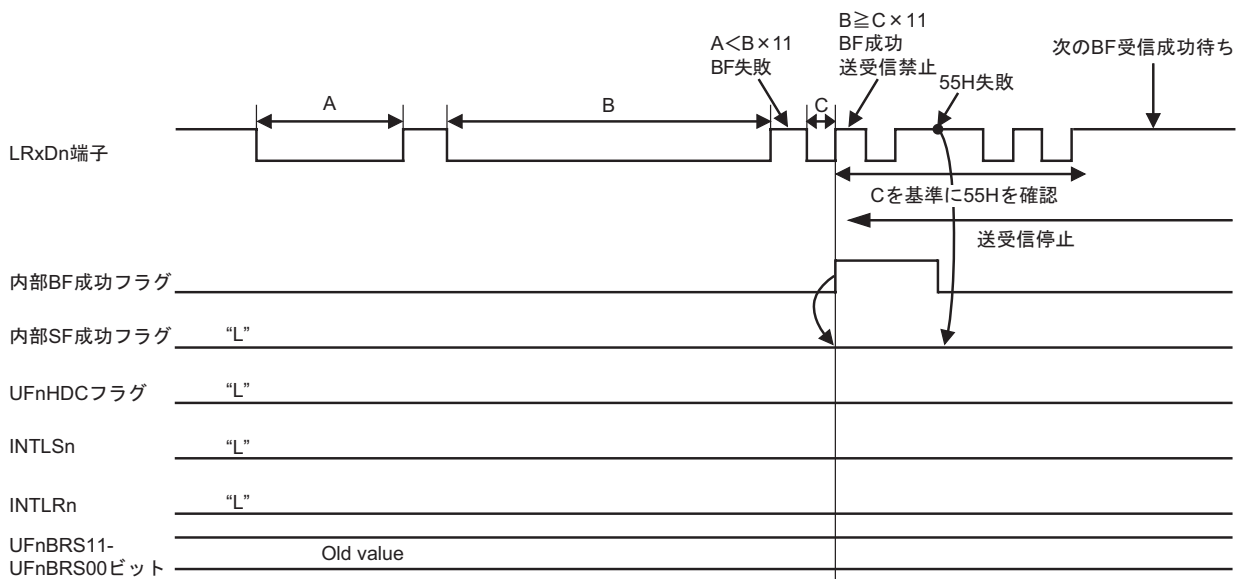
12.7.1 オート・ポー・レート設定機能

オート・ポー・レート・モードのとき、常に受信したロウ・レベル幅を計測しています。そして1回目のロウ・レベル幅が2回目のロウ・レベル幅の11倍以上の場合はBF検出に成功したと判断し、2回目のロウ・レベル幅をSFのスタート・ビットとして、データが55Hであることを確認します。データが55Hであることを確認し、SFの受信が成功したと判断できた場合、一時的に受信動作を停止してからUFnBRS11-UFnBRS00ビットを再設定し、次のスタート・ビットを待って受信動作を開始します。

55Hであることが確認できるとSF検出に成功したと判断し、自動的にUFnBRS11-UFnBRS00ビットへポー・レート設定結果を設定します。その際、UFnPRS2-UFnPRS0ビットの設定は変更しません。その後、送信／受信処理を許可状態にしてから次のデータ (PID) を受信します。PID受信完了時 (ストップ・ビット位置) にエラーなしの場合は、受信完了割り込み要求信号 (INTLRn) が発生し、エラーありの場合、ヘッダはエラー・フラグをセットしてステータス割り込み要求信号 (INTLSn) が発生します。PID受信完了時 (ストップ・ビット位置) にエラーなしの場合、ヘッダ受信完了フラグ (UFnHDC) がセットされますが、エラーありの場合、ヘッダ受信完了フラグ (UFnHDC) がセットされません。一方、55Hでなかった場合はSF検出に失敗したと判断し、送信／受信処理を停止状態のまま次のBF (ロウ・レベル) 受信を待ち、ポー・レート設定は行われません。

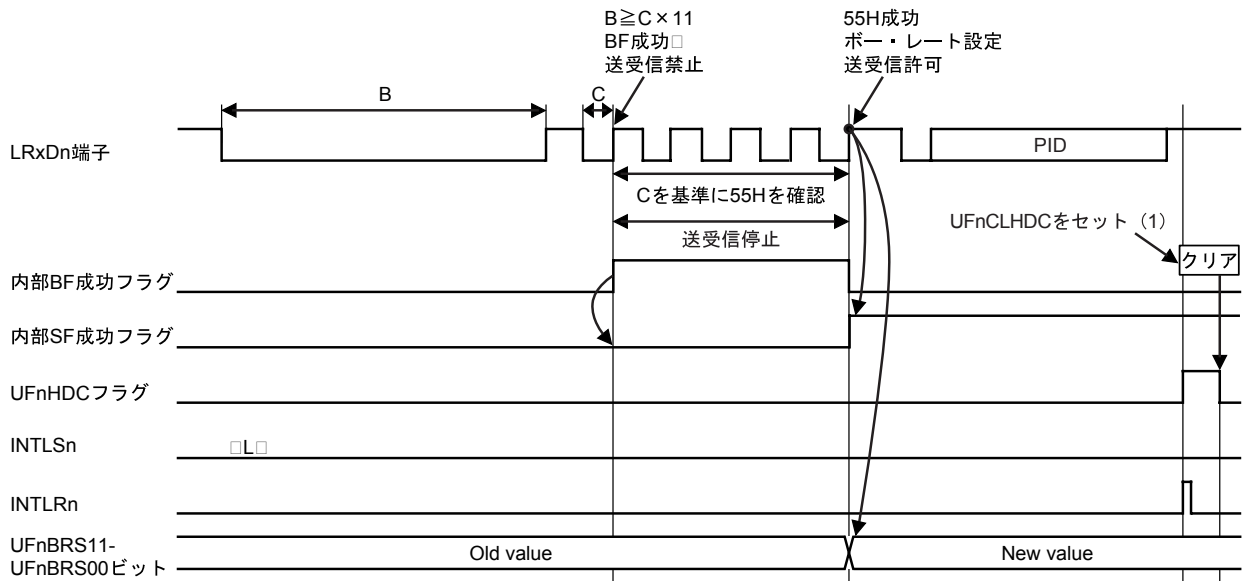
なお送信／受信処理が許可状態のときに受信処理のストップ・ビット位置になると、フレーミング・エラー、一貫性エラーなどを検出してステータス割り込み要求信号 (INTLSn) を発生することがあります。これには通信途中でBFを受信した場合などを含みます。

図12-57 BF/SF受信失敗例



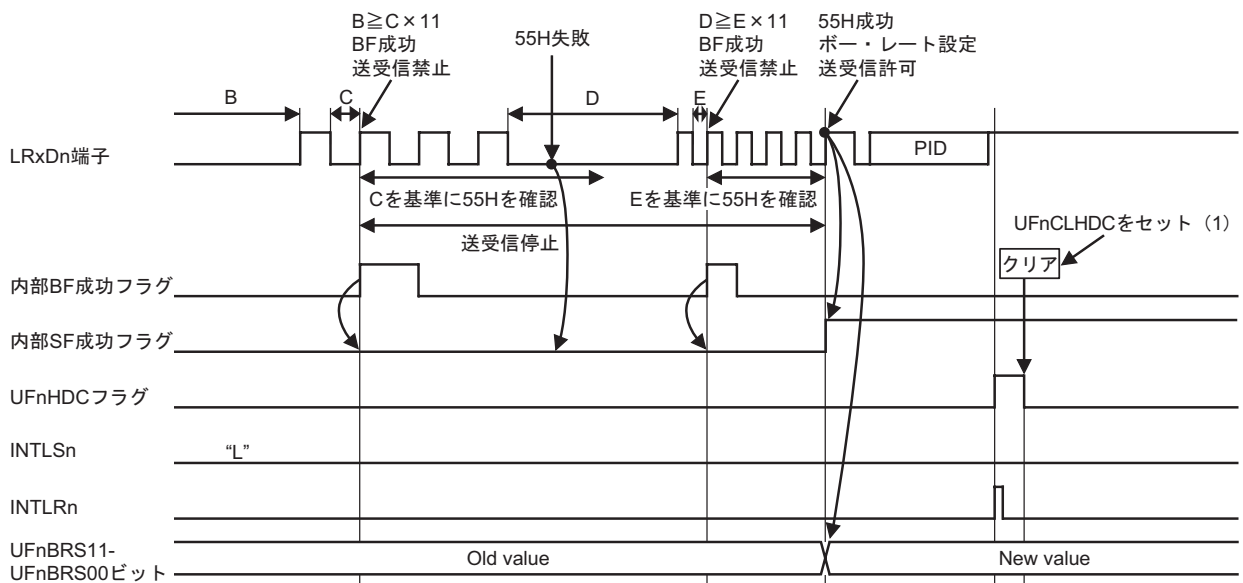
備考 n = 0, 1

図12-58 BF/SF/PID受信成功例



注意 PIDにおいて受信エラーが発生した場合、受信完了割り込み要求信号 (INTLRn) の代わりにステータス割り込み要求信号 (INTLSn) が発生し、その他のエラー・フラグ (UFnFE/UFnIPEなど) が変化します。

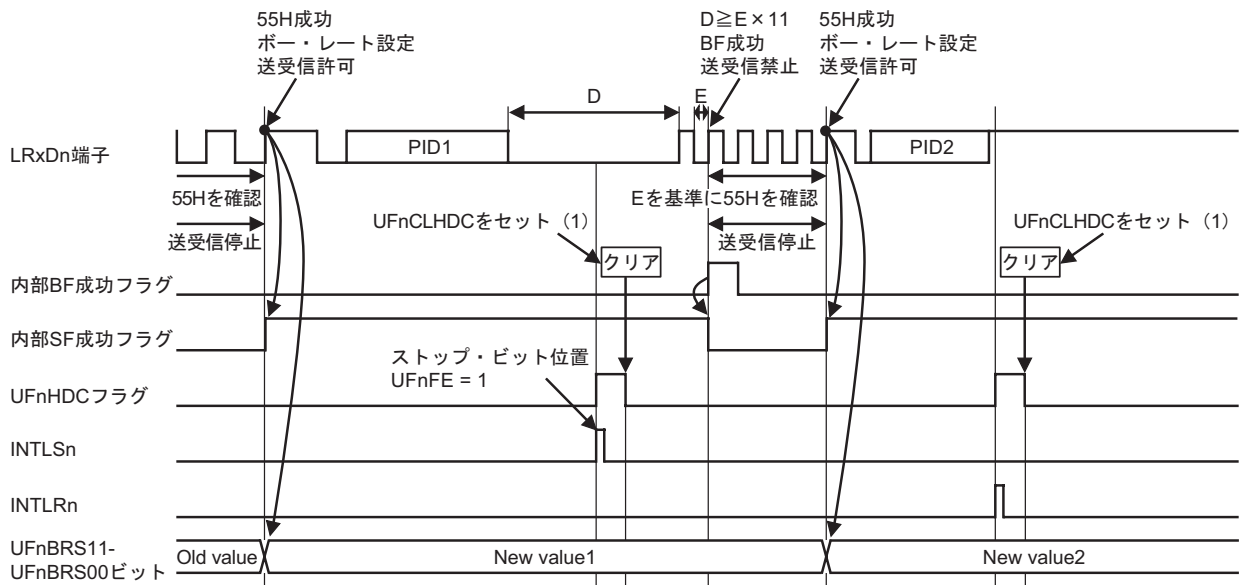
図12-59 SF受信中にBF受信成功例 (PID受信エラーなし)



注意 PIDにおいて受信エラーが発生した場合、受信完了割り込み要求信号 (INTLRn) の代わりにステータス割り込み要求信号 (INTLSn) が発生し、その他のエラー・フラグ (UFnFE/UFnIPEなど) が変化します。

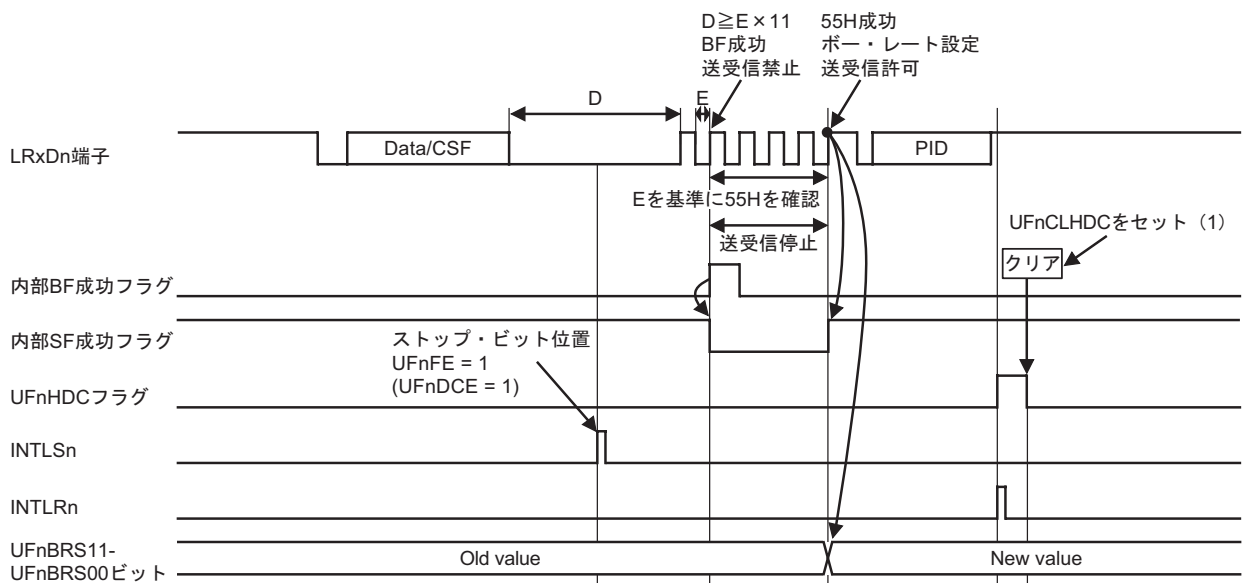
備考 n = 0, 1

図12-60 PID受信中にBF受信成功例 (PID2受信エラーなし)



注意 PID1のストップ・ビット位置が内部BF成功フラグのセット後だった場合、UFnHDCフラグやエラー・フラグ (UFnFE/UFnIPEなど) はセットされず、INTLSnも発生しません。

図12-61 Data/CSF受信中にBF受信成功例 (PID受信エラーなし)



注意 Data/CSFのストップ・ビット位置が内部BF成功フラグのセット後だった場合、UFnBUCフラグやエラー・フラグ (UFnFE/UFnDCE/UFnCSE/UFnRPEなど) はセットされず、INTLSnも発生しません。

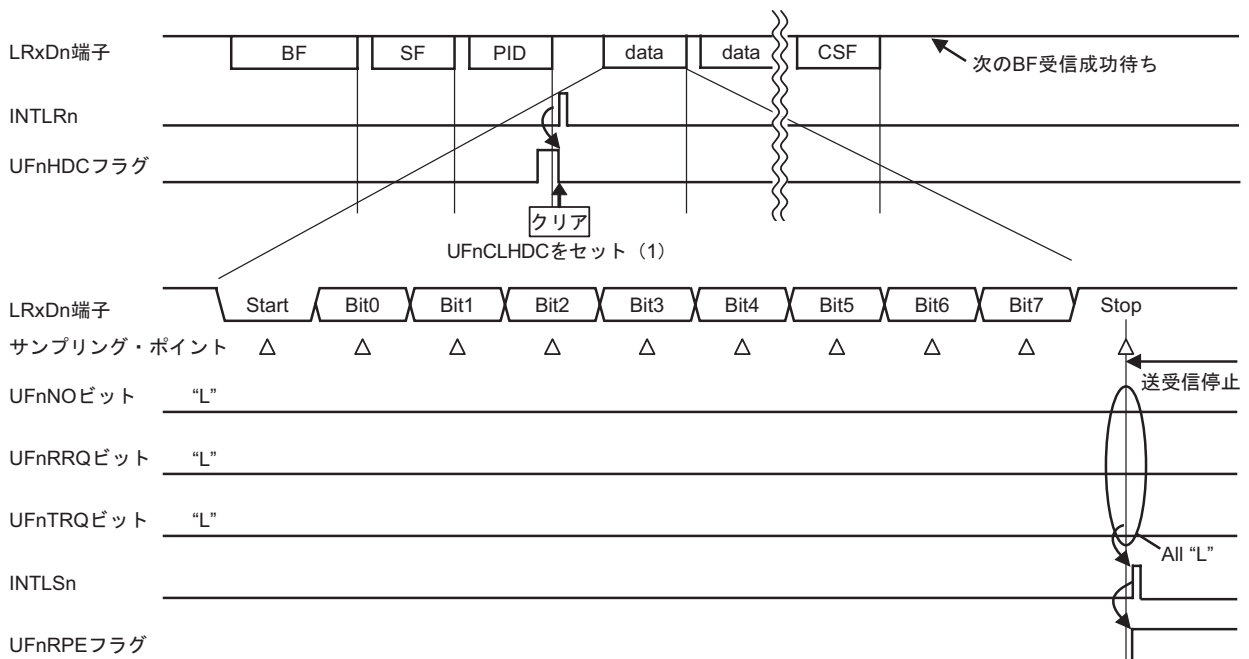
備考 n = 0, 1

12.7.2 レスポンス準備エラー検出機能

オート・ポー・レート・モード (UFnMD1, UFnMD0 = 11B) のとき、レスポンスで1バイト目の受信が完了するまで (ストップ・ビット (1ビット目) のサンプリング・ポイント) にレスポンス準備 (UFnNO/UFnRRQ/UFnTRQビットのセット) が間に合わなかった場合は、レスポンス準備エラー・フラグ (UFnRPE) がセットされ、ステータス割り込み要求信号 (INTLSn) が発生し、データを格納せずにそれ以降の送受信処理を停止 (レスポンスを無視) します。

LRxDn端子への受信開始後にレスポンス送信を開始 (UFnTRQ = 1) した場合、一貫性エラーの発生によって認識できます。

図12-62 レスポンス準備エラー発生例



注意 UFnCON = 0時、UFnBUL3-UFnBUL0ビットで設定したバイト数の通信完了後は、BF受信待ち状態になるため、レスポンス準備エラーになることはありません。

UFnCON = 1時、UFnBUL3-UFnBUL0ビットで設定したバイト数の通信完了後は、再度レスポンス準備エラー確認状態になります。

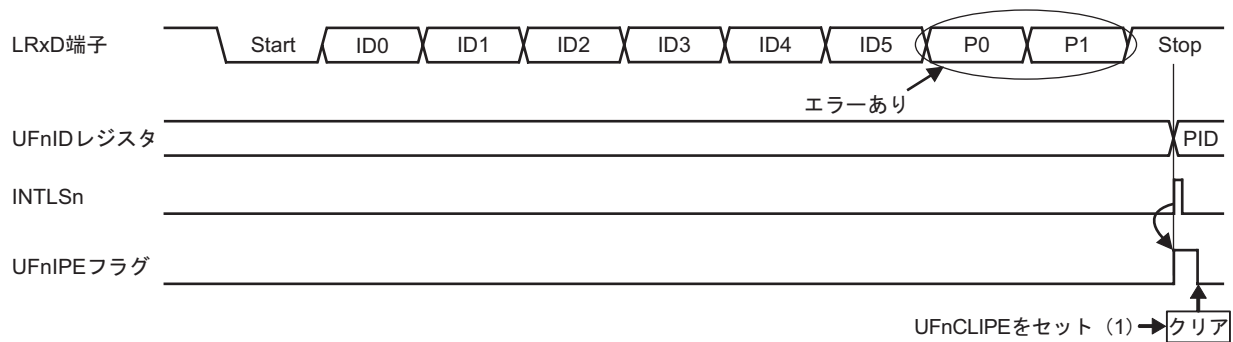
また、レスポンス送信完了後、次のUFnTRQセット前に受信動作が開始された場合には、レスポンス準備エラーになります。

備考 n = 0, 1

12.7.3 IDパリティ・チェック機能

オート・ポーレート・モード (UFnMD1, UFnMD0 = 11B) のとき、IDパリティ・チェック選択ビットをセット (UFnIPCS = 1) すると、受信したPIDをUFnIDレジスタへ格納するときにPIDのパリティ・ビット (P0, P1) を確認します。その際、どちらか一方でもエラーがあるとIDパリティ・エラー・フラグ (UFnIPE) をセットし、受信完了割り込み要求信号 (INTLRn) の代わりにステータス割り込み要求信号 (INTLSn) が発生し、PIDはUFnIDレジスタへ格納されます。

図12-63 PIDのパリティ・エラー発生例



備考 n = 0, 1

12.7.4 オート・チェック・サム機能

オート・ポーレート・モード (UFnMD1, UFnMD0 = 11B) のとき、オート・チェック・サム許可ビットをセットすると (UFnACE = 1)、自動的にチェック・サムを計算します。計算方法には、エンハンス・チェック・サム (計算対象: PID, データ) とクラシック・チェック・サム (計算対象: データのみ) があり、エンハンス・チェック・サム選択ビット (UFnECS) によりフレームごとに選択します。

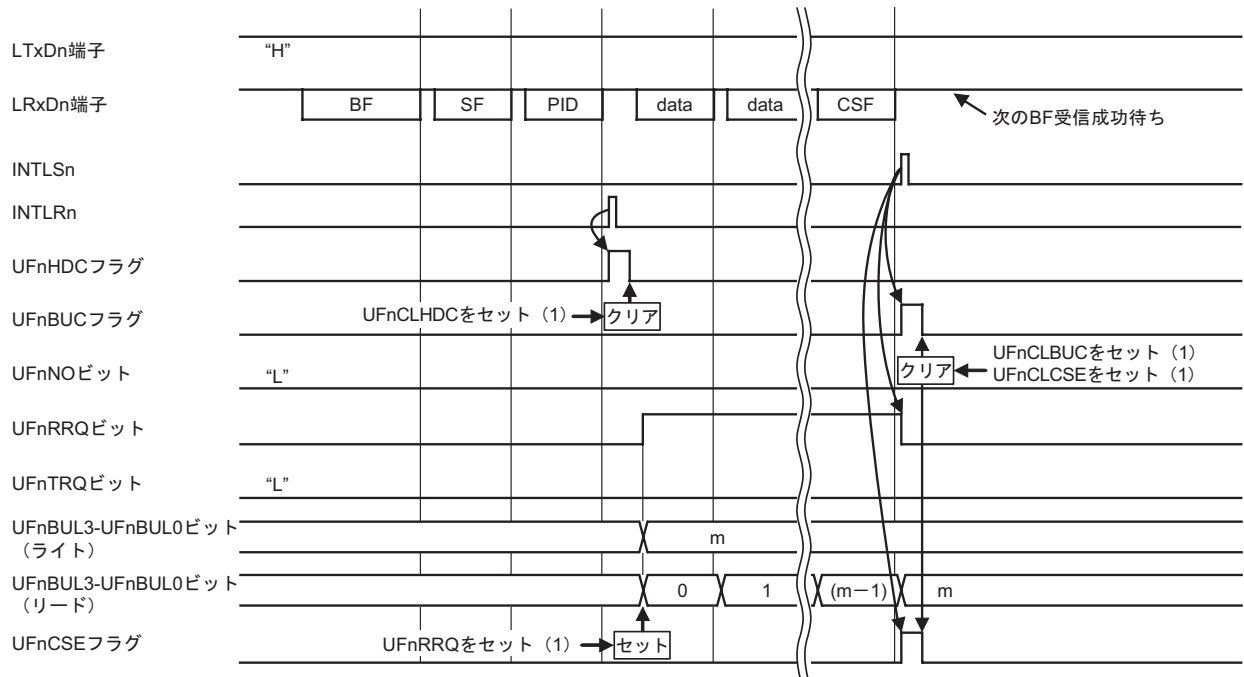
レスポンス送信時は、バッファ・レジスタから送信用シフト・レジスタへデータが1バイトずつ転送されるときに計算が行われ^注、レスポンス送信の最後にこの計算結果が自動的に付加されて送信されます。ソフトウェアでバッファにチェック・サムを設定する必要はありません。

レスポンス受信時は、バッファ・レジスタへデータが1バイトずつ格納されるときに計算が行われ^注、受信したチェック・サムをバッファに格納するとき自動的に格納データとこの計算結果を比較します。比較結果が正しい場合は受信完了割り込み要求信号 (INTLRn) が発生します。ただし、不正の場合は受信完了割り込み要求信号 (INTLRn) の代わりにステータス割り込み要求信号 (INTLSn) を発生して、チェック・サム・エラー・フラグ (UFnCSE) がセットされ、チェック・サムをUFnRXレジスタに格納します。

注 エンハンス・チェック・サムのときは、転送開始時にUFnIDレジスタの値を演算の初期値に設定します。

備考 n = 0, 1

図12-64 オート・チェック・サム・エラー発生例 (レスポンス受信)



備考 n = 0, 1, m = 1-9

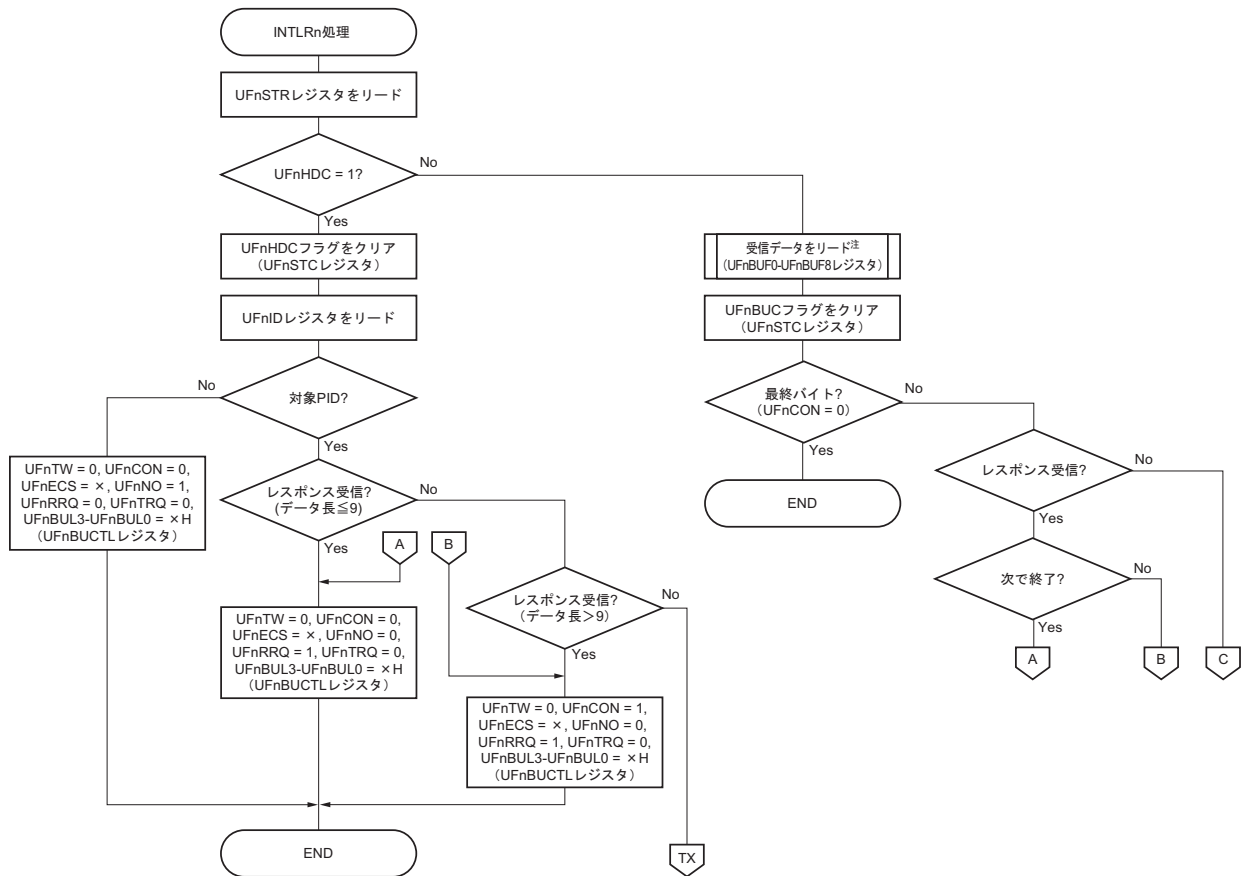
12.7.5 多バイト・レスポンス送受信機能

通常LIN通信において、レスポンスは9バイト以下ですが(チェック・サム・フィールドを含む)、オート・ポーレート・モード(UFnMD1, UFnMD0 = 11B) のとき、10バイト以上のレスポンスを送受信することが可能です。

初期設定とINTLSn発生時の処理フローは基本処理フローと同じです。12.7 LIN通信オート・ポーレート・モードを参照してください。

レスポンス準備エラー検出機能、IDパリティ・チェック機能、オート・チェック・サム機能は有効です。

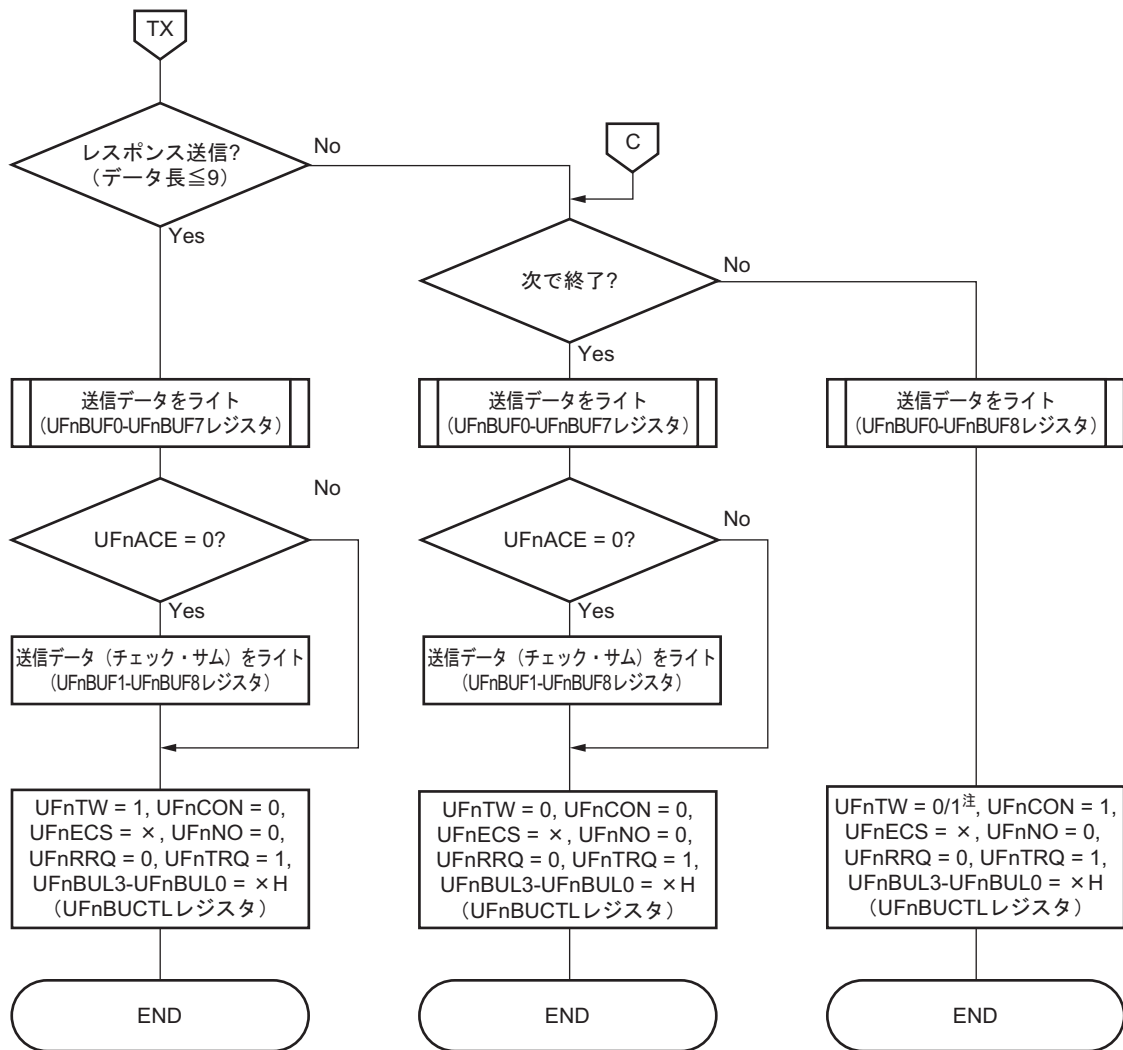
図12-65 多バイト送受信の処理フロー例 (1/2)



注 省略可能

備考 x : 任意, n = 0, 1

図12-65 多バイト送受信の処理フロー例 (2/2)



注 PID受信後、最初のデータ送信時のみUFnTW = 1に設定します。

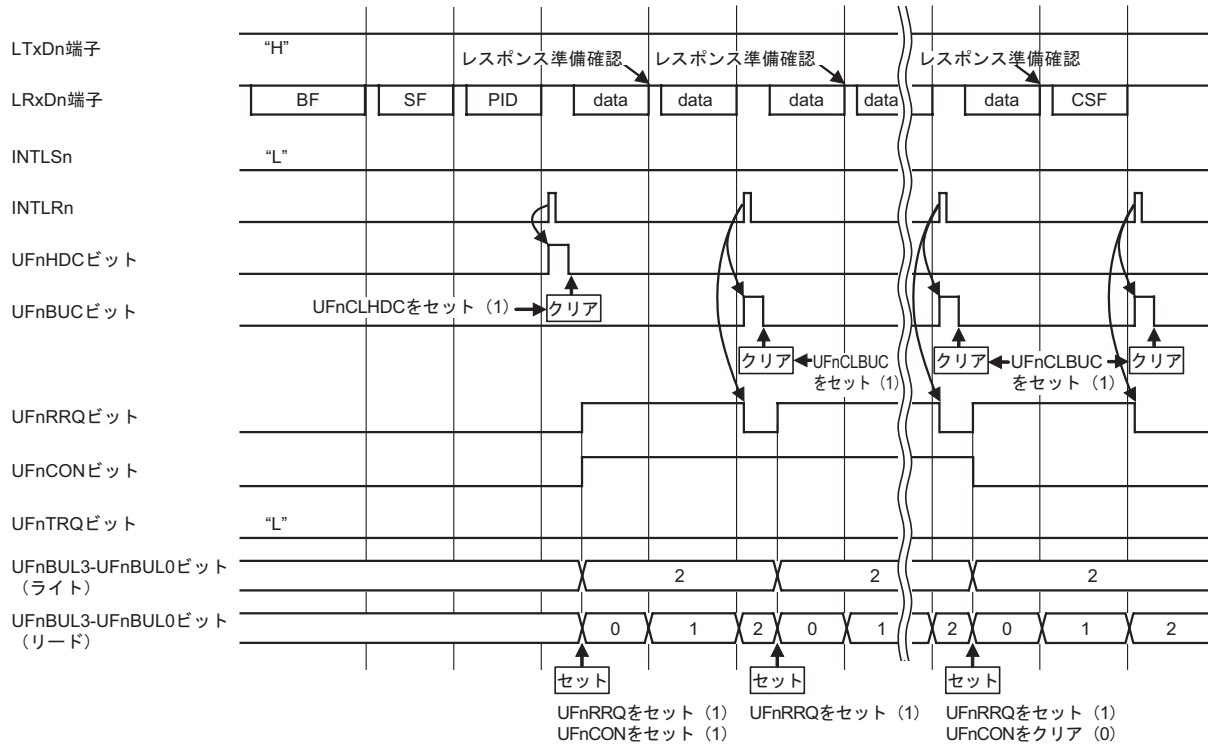
注意 1. バッファ長ビット (UFnBUL3-UFnBUL0) を"0", "10-15"に設定した場合、9バイトの受信または送信を行います。またバッファ長を"1-8"に設定した場合、バッファ番号の小さい方から設定バイト数のバッファが使用されます。

例：UFnBUL3-UFnBUL0 = 1を設定すると、常にUFnBUF0ビットにのみデータが格納されます。

2. UFnRRQビットをセットすると、受信データのリードが終了していてもバッファへの格納(上書き)を行ってしまうので、受信データのリードが完了するまで、UFnRRQビットをセットしないでください。
3. ヘッダ受信後にレスポンス送信へ切り替わるとき以外、UFnTWビットのセットは禁止です。

備考 x : 任意, n = 0, 1

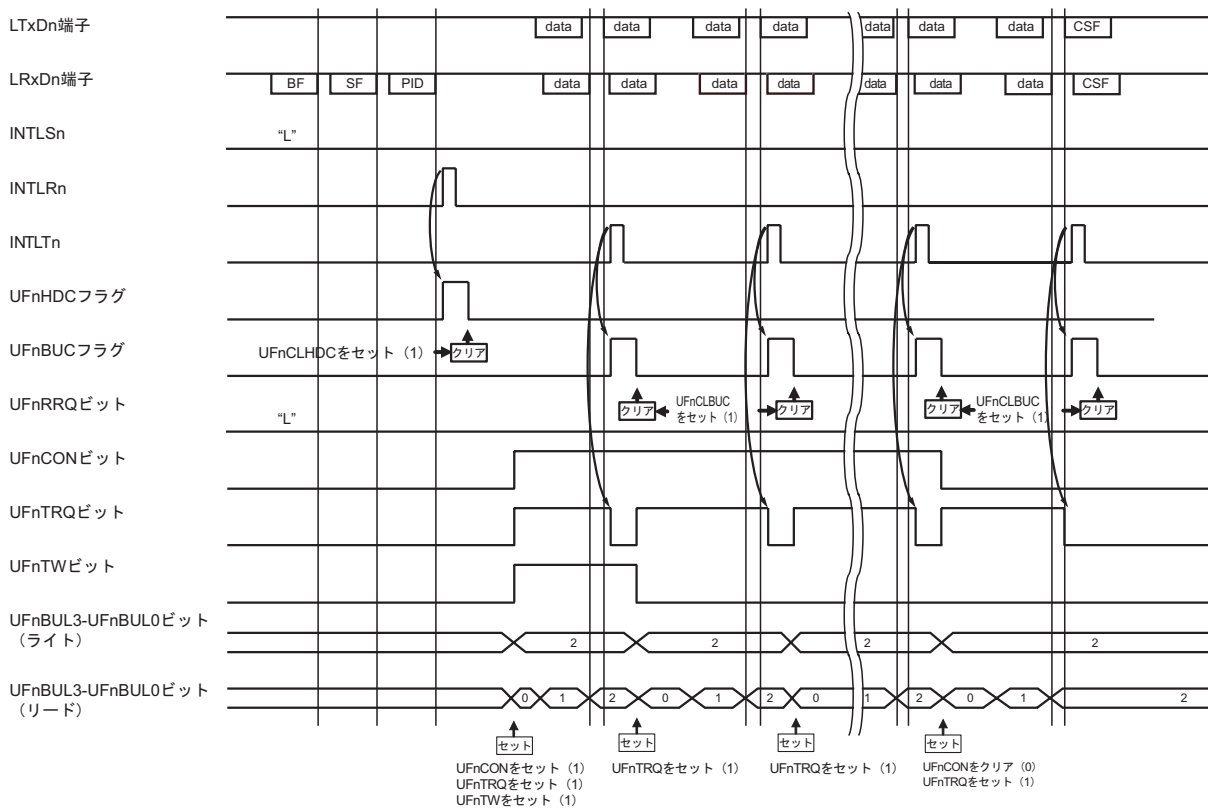
図12-66 多バイト受信実施例



注意 UFnBUL3-UFnBUL0 = 2のときは、常にUFnBUF0, UFnBUL1にデータが格納されます。

受信データのリード処理が間に合わない場合、UFnBUL3-UFnBUL0 = 1にするなどの調整をしてください。

図12-67 多バイト送信実施例



注意 UFnBUL3-UFnBUL0 = 2のときは、常にUFnBUF0, UFnBUL1ビットのデータが送信され、格納されます。

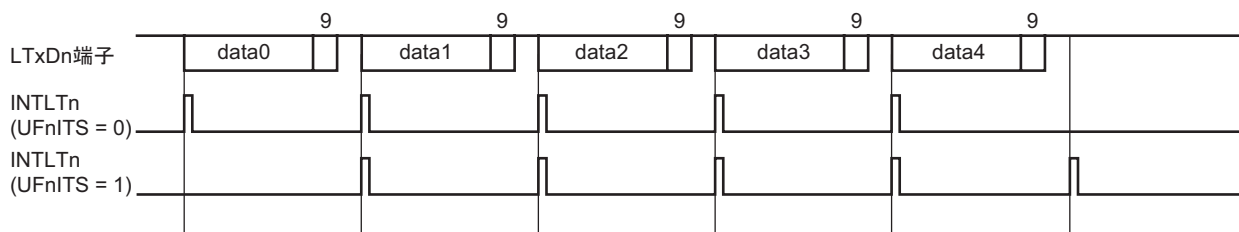
12.8 拡張ビット・モード

通常UARTモードのとき (UFnMD1, UFnMD0 = 00B), 拡張ビット許可ビット (UFnEBE) をセットすることにより, 9ビット長のデータを送受信することが可能です。通信データのフォーマットについては, 12.5.1 データ・フォーマットを参照してください。

12.8.1 拡張ビット・モード送信

拡張ビット・モード (UFnCL = UFnEBE = 1) のとき, UFnTXレジスタに9ビット・データをライトすると9ビット長の送信が開始されます。

図12-68 拡張ビット・モード送信例 (LSBファースト)

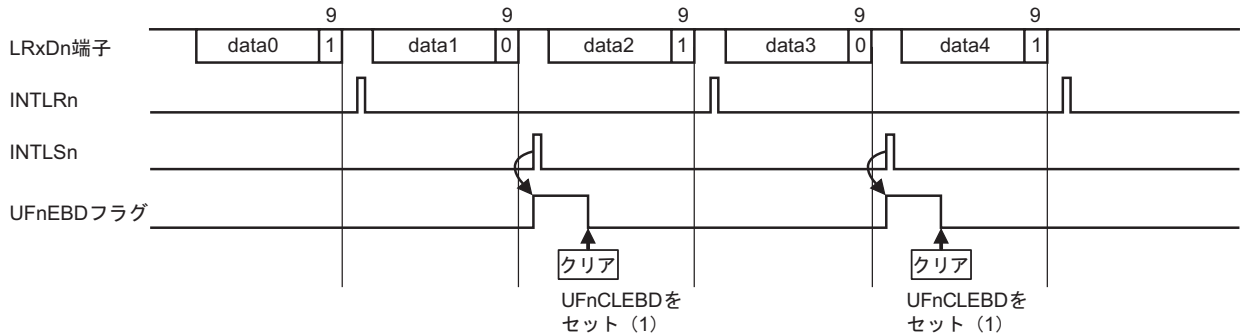


備考 n = 0, 1

12.8.2 拡張ビット・モード受信（データ比較なし）

拡張ビット・モード（ $UFnCL = UFnEBE = 1$ ）かつ拡張ビット・データ比較禁止（ $UFnEBC = 0$ ）のとき、データ比較なしで常に9ビット長の受信が可能です。拡張ビット検出レベル選択ビット（ $UFnEBL$ ）で設定したレベルを検出した場合は、データ受信完了時にステータス割り込み要求信号（ $INTLSn$ ）が発生し、拡張ビット検出フラグ（ $UFnEBD$ ）がセットされます。拡張ビット検出レベルの反転値が検出された場合は、受信完了割り込み要求信号（ $INTLRn$ ）が発生します。どちらの場合も、オーバーラン・エラーでなければ受信データを $UFnRX$ レジスタへ格納します。

図12-69 拡張ビット・モード受信（データ比較なし）の例（LSBファースト、 $UFnEBL = 0$ ）



- 注意1. 受信data0, 2, 4で受信エラー（パリティ・エラー／フレーミング・エラー／オーバーラン・エラー）が発生すると、受信完了割り込み要求信号（ $INTLRn$ ）の代わりにステータス割り込み要求信号（ $INTLSn$ ）が発生し、エラー・フラグが更新されます。
2. 受信data1, 3で受信エラー（パリティ・エラー／フレーミング・エラー／オーバーラン・エラー）が発生すると、エラー・フラグも更新されます。

備考 n = 0, 1

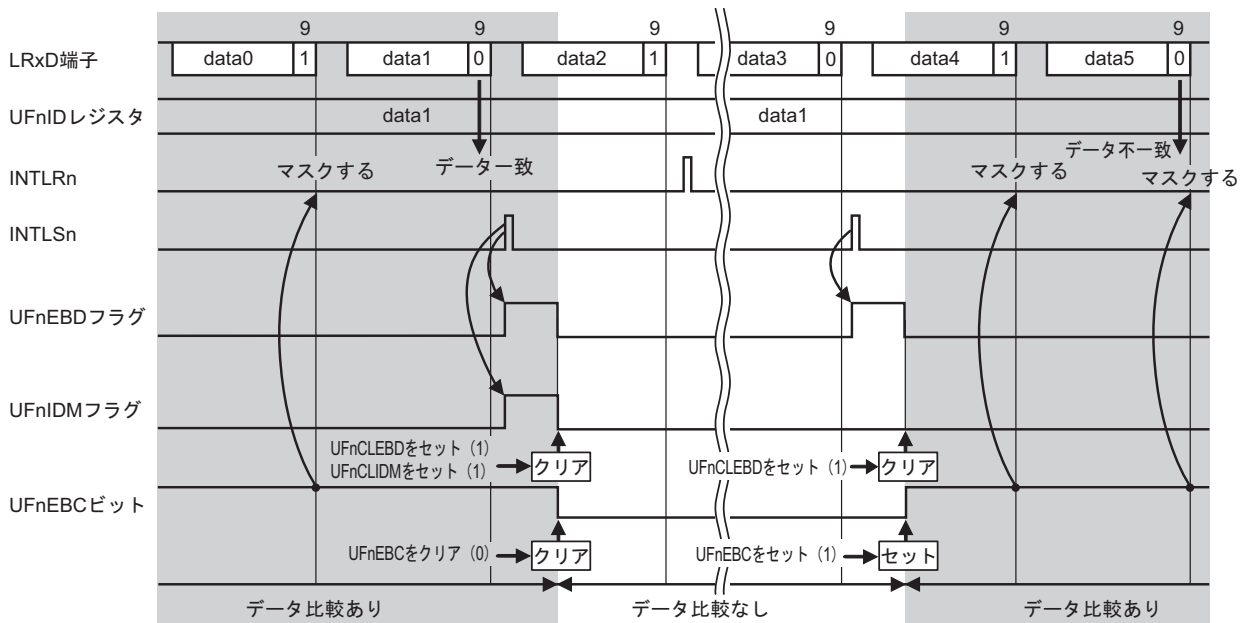
12.8.3 拡張ビット・モード受信（データ比較あり）

拡張ビット・モード（UFnCL = UFnEBE = 1）かつ拡張ビット・データ比較許可（UFnEBC = 1）のとき、拡張ビット検出レベル選択ビット（UFnEBL）で設定したレベルを検出すると、受信データの拡張ビットを除く8ビットをあらかじめ設定したUFnIDレジスタ値と比較します。

比較結果が一致した場合、ステータス割り込み要求信号（INTLSn）が発生して、拡張ビットID一致フラグ（UFnIDM）と拡張ビット検出フラグ（UFnEBD）をセットし、受信データをUFnRXへ格納します。比較結果が一致しない場合、割り込みの発生、フラグの更新、受信データの格納は行われません。

比較結果が一致した場合のステータス割り込み処理で拡張ビット・データ比較禁止（UFnEBC = 0）にすることにより、その後のすべてのデータ受信完了時に割り込み（INTLRn/INTLSn）を発生させ、データを受信できます。UFnEBCビットの変更はデータ受信完了後、次のデータ受信完了までに行ってください。

図12-70 拡張ビット・モード受信（データ比較あり）の例（LSBファースト、UFnEBL = 0）



- 注意1. 受信data2で受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生すると、受信完了割り込み要求信号（INTLRn）の代わりにステータス割り込み要求信号（INTLSn）が発生し、エラー・フラグが更新されます。
2. 受信data1,3で受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生すると、エラー・フラグも更新されます。受信data0, 4, 5で受信エラーが発生するとエラー・フラグは更新されません。

備考 n = 0, 1

12.9 受信データのノイズ・フィルタ

UART受信では通信クロックが存在しないので、ノイズによる誤動作の確率が高くなります。ノイズ・フィルタは、通信バスのノイズを除去し、データの誤受信を低減するために使用します。受信データのノイズ・フィルタ使用選択ビット (UFnRXFL) を"0"にすることによりノイズ・フィルタを有効になります。

シリアル・データ入力端子 (LRxDn) から入力されるスタート・ビットや受信データ等は、プリスケアラで分周したクロック (プリスケアラ・クロック) でサンプリングされます。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅を越えないデータはノイズと判定され、内部回路へは供給されません (図12-71参照)。基本クロックに関しては、12.10 (1) (a) プリスケアラ・クロック (f_{uCLK}) を参照してください。

図12-71 ノイズ・フィルタ回路例

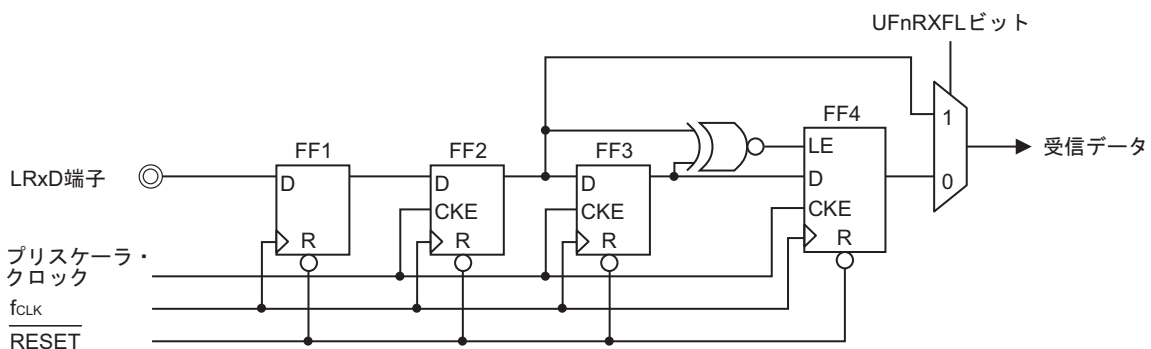
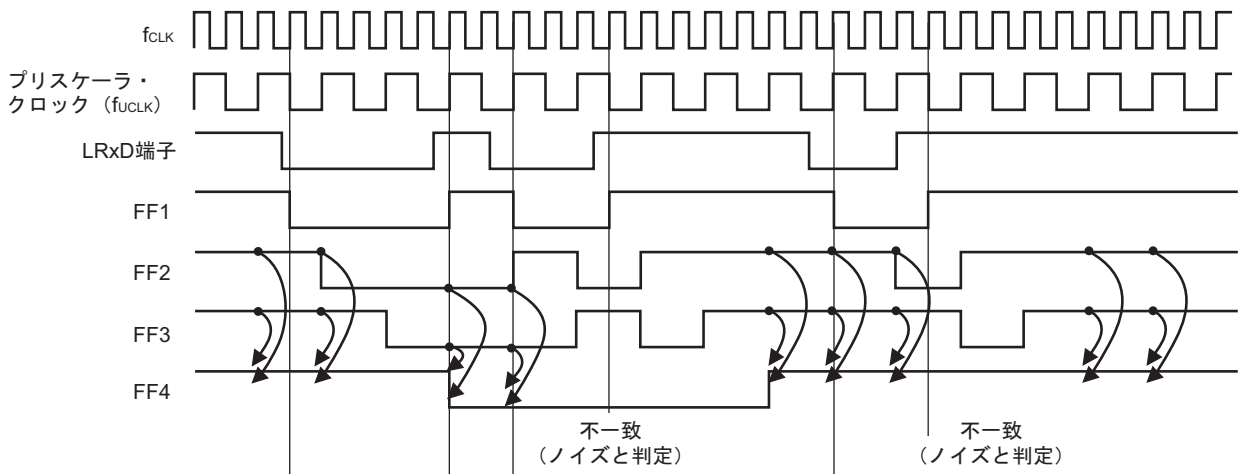


図12-72 ノイズ・フィルタのタイミング・チャート例 (UFnPRS = 1)



備考 n = 0, 1

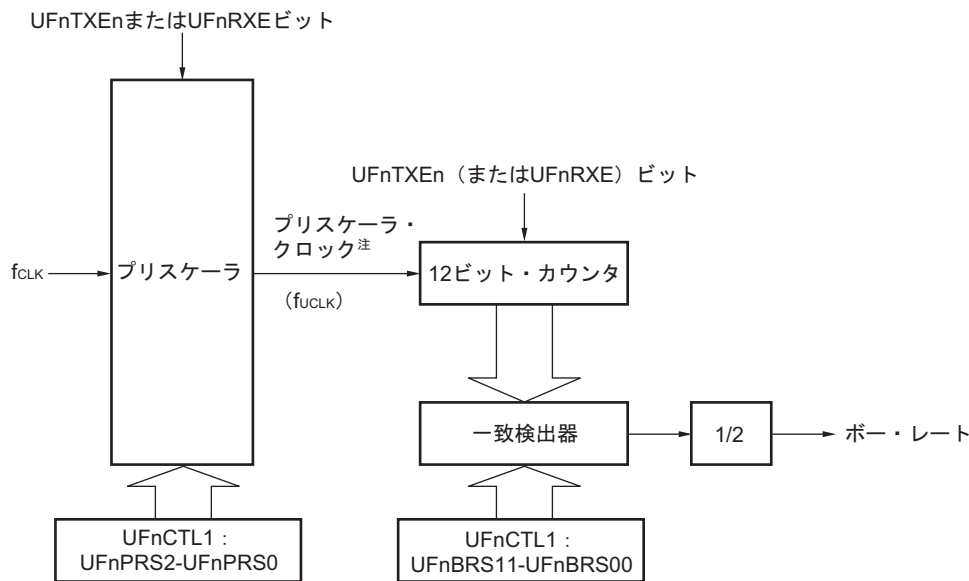
12.10 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、3ビットのプリスケアラ部と12ビットのプログラマブル・カウンタにより構成され、LIN-UARTnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、12ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図12-73 ポー・レート・ジェネレータの構成



注 fCLKを1, 2, 4, 8, 16, 32, 64, 128分周したクロック

オート・ポー・レート・モード時、LRxDn端子がハイ・レベルであることを確認してからUFnRXEビットをセットしてください。

(a) プリスケアラ・クロック (fuCLK)

PERレジスタのLINnENビットが“1”のとき、UFnCTL1レジスタのUFnPRS2-UFnPRS0ビットで指定した分周値に分周されたクロックを12ビット・カウンタに供給します。

このクロックをプリスケアラ・クロックと呼び、その周波数をfuCLKと呼びます。

(b) シリアル・クロックの生成

UFnCTL1レジスタの設定により、シリアル・クロックを生成できます。

UFnCTL1レジスタのUFnBRS11-UFnBRS00ビットにより、12ビット・カウンタの分周値を設定できます。

備考 n = 0, 1

(2) LIN-UARTn制御レジスタ1 (UFnCTL1)

UFnCTL1レジスタは、LIN-UARTnのボー・レートを制御するための16ビットのレジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0FFFHになります。

図12-74 LIN-UARTn制御レジスタ1 (UFnCTL1) のフォーマット

アドレス: F0242H, F0243H (UF0CTL1), F0262H, F0263H (UF1CTL1) リセット時: 0FFFH R/W

	15	14	13	12	11	10	9	8
UFnCTL1	UFnPRS2	UFnPRS1	UFnPRS0	0	UFnBRS11	UFnBRS10	UFnBRS9	UFnBRS8
(n = 0, 1)	7	6	5	4	3	2	1	0
	UFnBRS7	UFnBRS6	UFnBRS5	UFnBRS4	UFnBRS3	UFnBRS2	UFnBRS1	UFnBRS0

UFnPRS2	UFnPRS1	UFnPRS0	プリスケアラ・クロックの分周値
0	0	0	分周なし (プリスケアラ・クロック = fCLK)
0	0	1	2分周 (プリスケアラ・クロック = fCLK/2)
0	1	0	4分周 (プリスケアラ・クロック = fCLK/4)
0	1	1	8分周 (プリスケアラ・クロック = fCLK/8)
1	0	0	16分周 (プリスケアラ・クロック = fCLK/16)
1	0	1	32分周 (プリスケアラ・クロック = fCLK/32)
1	1	0	64分周 (プリスケアラ・クロック = fCLK/64)
1	1	1	128分周 (プリスケアラ・クロック = fCLK/128)

UFnBRS11	UFnBRS10	UFnBRS09	UFnBRS08	UFnBRS07	UFnBRS06	UFnBRS05	UFnBRS04	UFnBRS03	UFnBRS02	UFnBRS01	UFnBRS00	k ^注	シリアル・クロック
0	0	0	0	0	0	0	0	0	0	×	×	4	fCLK/4
0	0	0	0	0	0	0	0	0	1	0	0	4	fCLK/4
0	0	0	0	0	0	0	0	0	1	0	1	5	fCLK/5
:	:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	1	1	1	0	4094	fCLK/4094
1	1	1	1	1	1	1	1	1	1	1	1	4095	fCLK/4095

注 規定値

- 注意1. UFnCTL0レジスタのUFnTXEビット = UFnRXEビット = 0の場合のみ書き換え可能です。
2. シリアル・クロックをさらに1/2分周したものがボー・レートとなります。
3. オート・ボー・レート・モード時、UFnBRS11-UFnBRS00への書き込みは無効です。

備考1. fCLKは、UFnPRS2-UFnPRS0ビットで選択したプリスケアラ・クロックの分周値です。

2. オート・ボー・レート・モード (UFnMD1, UFnMD0 = 11B) の場合、ヘッダの受信後にUFnBRS11-UFnBRS00をリードすることによりボー・レート設定後の値を確認できます。
3. × : 任意

(3) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \quad [\text{bps}]$$

f_{UCLK} = UFnCTL1レジスタのUFnPRS2-UFnPRS0ビットで選択したプリスケアラ・クロックの周波数

k = UFnCTL1レジスタのUFnBRS11-UFnBRS00ビットで設定した値 ($k = 4, 5, 6, \dots, 4095$)

(4) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標とするボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \quad [\%]$$

注意 1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(6) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 ・ CPU/周辺ハードウェア・クロック周波数 = 24 MHz = 24,000,000 Hz

・ 設定値

$f_{\text{CLK}} = 24 \text{ MHz}$

UFnCTL1レジスタのUFnPRS2-UFnPRS0ビットの設定値 = 001B ($f_{\text{UCLK}} = f_{\text{CLK}}/2 = 12 \text{ MHz}$)

UFnCTL1レジスタのUFnBRS11-UFnBRS00ビットの設定値 = 000000100111B ($k = 39$)

・ 目標ボー・レート = 153600 bps

・ ボー・レート = $12000000 / (2 \times 39)$

= 153846 [bps]

・ 誤差 = $(153846/153600 - 1) \times 100$

= 0.160 [%]

備考 $n = 0, 1$

(5) ボー・レート設定例

表12-5 ボー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 24 \text{ MHz}$, UFnPRS2-UFnPRS0 = 0-3)

目標ボー・ レート (bps)	UFnPRS2-UFnPRS0							
	0		1		2		3	
	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)
300	—	—	—	—	—	—	—	—
600	—	—	—	—	—	—	2500	0.00
1200	—	—	—	—	2500	0.00	1250	0.00
2400	—	—	2500	0.00	1250	0.00	625	0.00
4800	2500	0.00	1250	0.00	625	0.00	313	-0.16
9600	1250	0.00	625	0.00	313	-0.16	156	0.16
19200	625	0.00	313	-0.16	156	0.16	78	0.16
31250	384	0.00	192	0.00	96	0.00	48	0.00
38400	313	-0.16	156	0.16	78	0.16	39	0.16
76800	156	0.16	78	0.16	39	0.16	20	-2.34
128000	94	-0.27	47	-0.27	23	1.90	12	-2.34
153600	78	0.16	39	0.16	20	-2.34	10	-2.34
312500	38	1.05	19	1.05	10	-4.00	5	-4.00
1000000	12	0.00	6	0.00	—	—	—	—

表12-6 ボー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 24 \text{ MHz}$, UFnPRS2-UFnPRS0 = 4-7)

目標ボー・ レート (bps)	UFnPRS2-UFnPRS0							
	4		5		6		7	
	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)
300	2500	0.00	1250	0.00	625	0.00	313	-0.16
600	1250	0.00	625	0.00	313	-0.16	156	0.16
1200	625	0.00	313	-0.16	156	0.16	78	0.16
2400	313	-0.16	156	0.16	78	0.16	39	0.16
4800	156	0.16	78	0.16	39	0.16	20	-2.34
9600	78	0.16	39	0.16	20	-2.34	10	-2.34
19200	39	0.16	20	-2.34	10	-2.34	5	-2.34
31250	24	0.00	12	0.00	6	0.00	—	—
38400	20	-2.34	10	-2.34	5	-2.34	—	—
76800	10	-2.34	5	-2.34	—	—	—	—
128000	6	-2.34	—	—	—	—	—	—
153600	5	-2.34	—	—	—	—	—	—
312500	—	—	—	—	—	—	—	—
1000000	—	—	—	—	—	—	—	—

表12-7 ボー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 12 \text{ MHz}$, UFnPRS2-UFnPRS0 = 0-3)

目標ボー・ レート (bps)	UFnPRS2-UFnPRS0							
	0		1		2		3	
	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)
300	—	—	—	—	—	—	2500	0.00
600	—	—	—	—	2500	0.00	1250	0.00
1200	—	—	2500	0.00	1250	0.00	625	0.00
2400	2500	0.00	1250	0.00	625	0.00	313	-0.16
4800	1250	0.00	625	0.00	313	-0.16	156	0.16
9600	625	0.00	313	-0.16	156	0.16	78	0.16
19200	313	-0.16	156	0.16	78	0.16	39	0.16
31250	192	0.00	96	0.00	48	0.00	24	0.00
38400	156	0.16	78	0.16	39	0.16	20	-2.34
76800	78	0.16	39	0.16	20	-2.34	10	-2.34
128000	47	-0.27	23	1.90	12	-2.34	6	-2.34
153600	39	0.16	20	-2.34	10	-2.34	5	-2.34
312500	19	1.05	10	-4.00	5	-4.00	—	—
1000000	6	0.00	—	—	—	—	—	—

表12-8 ボー・レート・ジェネレータ設定データ (通常動作, $f_{CLK} = 12 \text{ MHz}$, UFnPRS2-UFnPRS0 = 4-7)

目標ボー・ レート (bps)	UFnPRS2-UFnPRS0							
	4		5		6		7	
	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)	UFnBRS11- UFnBRS00	ERR (%)
300	1250	0.00	625	0.00	313	-0.16	156	0.16
600	625	0.00	313	-0.16	156	0.16	78	0.16
1200	313	-0.16	156	0.16	78	0.16	39	0.16
2400	156	0.16	78	0.16	39	0.16	20	-2.34
4800	78	0.16	39	0.16	20	-2.34	10	-2.34
9600	39	0.16	20	-2.34	10	-2.34	5	-2.34
19200	20	-2.34	10	-2.34	5	-2.34	—	—
31250	12	0.00	6	0.00	—	—	—	—
38400	10	-2.34	5	-2.34	—	—	—	—
76800	5	-2.34	—	—	—	—	—	—
128000	—	—	—	—	—	—	—	—
153600	—	—	—	—	—	—	—	—
312500	—	—	—	—	—	—	—	—
1000000	—	—	—	—	—	—	—	—

(6) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれをどの程度まで許容できるかを次に示します。

例) データ・ビット長8ビット、スタート・ビット、ストップ・ビット、パリティ・ビットを加えた11ビット受信。

注意 受信時のボー・レート誤差は、次に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図12-75 受信時の許容ボー・レート範囲

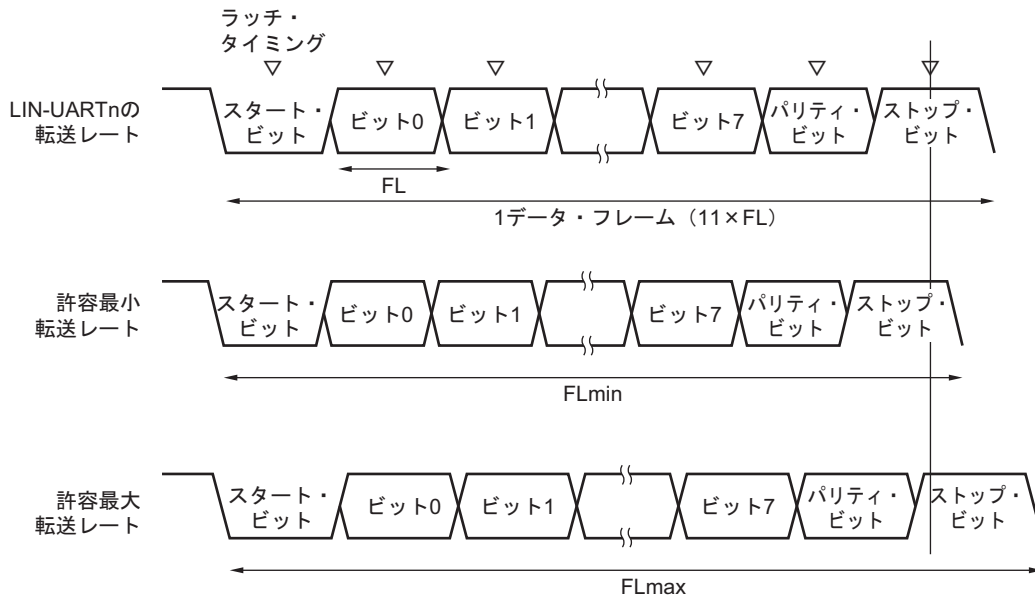


図12-75に示すように、スタート・ビット検出後はUFnCTL1レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これをデータ・ビット長8ビット時、11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : LIN-UARTnのボー・レート

k : UFnCTL1の設定値

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\begin{aligned} \frac{10}{11} \times FL_{\max} &= 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL \\ FL_{\max} &= \frac{21k-2}{20k} FL \times 11 \end{aligned}$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小／最大ボー・レート値の算出式から、LIN-UARTnと送信元とのボー・レートの許容誤差を求めると表12-9のようになります。

表12-9 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差			許容最小ボー・レート誤差		
	BN = 9	BN = 11	BN = 12	BN = 9	BN = 11	BN = 12
4	+2.85 %	+2.32 %	+2.12 %	-3.03 %	-2.43 %	-2.22 %
8	+4.34 %	+3.52 %	+3.22 %	-4.47 %	-3.61 %	-3.29 %
16	+5.10 %	+4.14 %	+3.78 %	-5.18 %	-4.19 %	-3.82 %
64	+5.68 %	+4.60 %	+4.20 %	-5.70 %	-4.61 %	-4.21 %
128	+5.78 %	+4.68 %	+4.27 %	-5.79 %	-4.69 %	-4.28 %
256	+5.83 %	+4.72 %	+4.31 %	-5.83 %	-4.72 %	-4.31 %
512	+5.85 %	+4.74 %	+4.33 %	-5.86 %	-4.74 %	-4.33 %
1024	+5.87 %	+4.75 %	+4.33 %	-5.87 %	-4.75 %	-4.33 %
2048	+5.87 %	+4.75 %	+4.34 %	-5.87 %	-4.75 %	-4.34 %
4095	+3.42 %	+4.75 %	+4.34 %	-3.59 %	-4.75 %	-4.34 %

備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. BN : スタート・ビット～ストップ・ビットまでのビット数
 k : UFnCTL1.UFnBRS [11:0]の設定値

12.11 使用上の注意

(1) LIN-UART動作時にSTOP命令を実行する場合は、LIN-UARTを停止してからSTOP命令を実行してください。

(2) LIN-UART_nの起動は次の順序で行ってください。

ポートの設定

PER0.LINnEN = 1

UFnCTL0.UFnTXE = 1, UFnCTL0.UFnRXE = 1

(3) LIN-UART_nの停止は次の順序で行ってください。

UFnCTL0.UFnTXE = 0, UFnCTL0.UFnRXE = 0

PER0.LINnEN = 0

ポートの設定 (ポートの設定は変更しなくても問題ありません)

(4) 送信モード中 (UFnCTL0.UFnTXE = 1) に、ソフトウェアでUFnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。

備考 n = 0, 1

第13章 CANコントローラ

13.1 概 要

この製品は、CANプロトコルISO11898に準拠したCAN（Controller Area Network）コントローラを1チャンネル内蔵しています。

13.1.1 特 徴

CANプロトコルISO11898準拠、ISO/DIS16845（CANコンFORMANCE・テスト）実施
標準フレーム、拡張フレームの送信／受信が可能
転送速度 最大1 Mbps（CANクロック入力 8 MHz時）
16メッセージ・バッファ／1チャンネル
受信／送信履歴・リスト機能
自動ブロック送信機能
マルチ・バッファ受信ブロック機能
チャンネルごとに4パターンのマスクを設定可能

13.1.2 機能概要

表13-1に機能概要を示します。

表13-1 機能概要

機 能	詳 細
プロトコル	CANプロトコル ISO11898 (標準および拡張フレームの送受信)
ボー・レート	最大1 Mbps (CANクロック入力 8 MHz時)
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	<ul style="list-style-type: none"> ・16メッセージ・バッファ/1チャンネル ・各メッセージ・バッファは、送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・チャンネルごとに4パターンのマスクを設定可能 ・メッセージ・バッファごとに受信完了割り込みの許可/禁止が設定可能 ・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能 (マルチ・バッファ受信ブロック機能) ・受信履歴・リスト機能
メッセージ送信	<ul style="list-style-type: none"> ・各メッセージ・バッファに固有のIDを設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可/禁止が設定可能 ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は、自動ブロック転送に使用可能、またメッセージ送信間隔はプログラマブルに変更可能 (自動ブロック送信機能 (以下、ABTと記述)) ・送信履歴・リスト機能
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	<ul style="list-style-type: none"> ・16ビット・タイマとの併用でメッセージ受信に対してタイム・スタンプ機能を設定可能 ・タイム・スタンプ・キャプチャ・トリガの選択が可能 (CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能)
診断機能	<ul style="list-style-type: none"> ・リード可能なエラー・カウンタ ・バス接続確認用“有効プロトコル動作フラグ” ・受信オンリー・モード ・シングル・ショット・モード ・CANプロトコル・エラーの判別 ・セルフ・テスト・モード
バスオフ復帰機能	<ul style="list-style-type: none"> ・ソフトウェアにより強制的にバスオフから復帰させることが可能 ・バスオフからの自動復帰不可 (ソフトウェアによる復帰要求が必要)
パワー・セーブ・モード	<ul style="list-style-type: none"> ・CANスリープ・モード (CANバスによりウエイク・アップ可能) ・CANストップ・モード (CANバスによるウエイク・アップ不可)

13.1.3 構 成

CANコントローラは、次の4つのブロックから構成されています。

(1) インタフェース

内部バスとのインタフェースと、CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

(2) MCM (Memory Control Module)

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

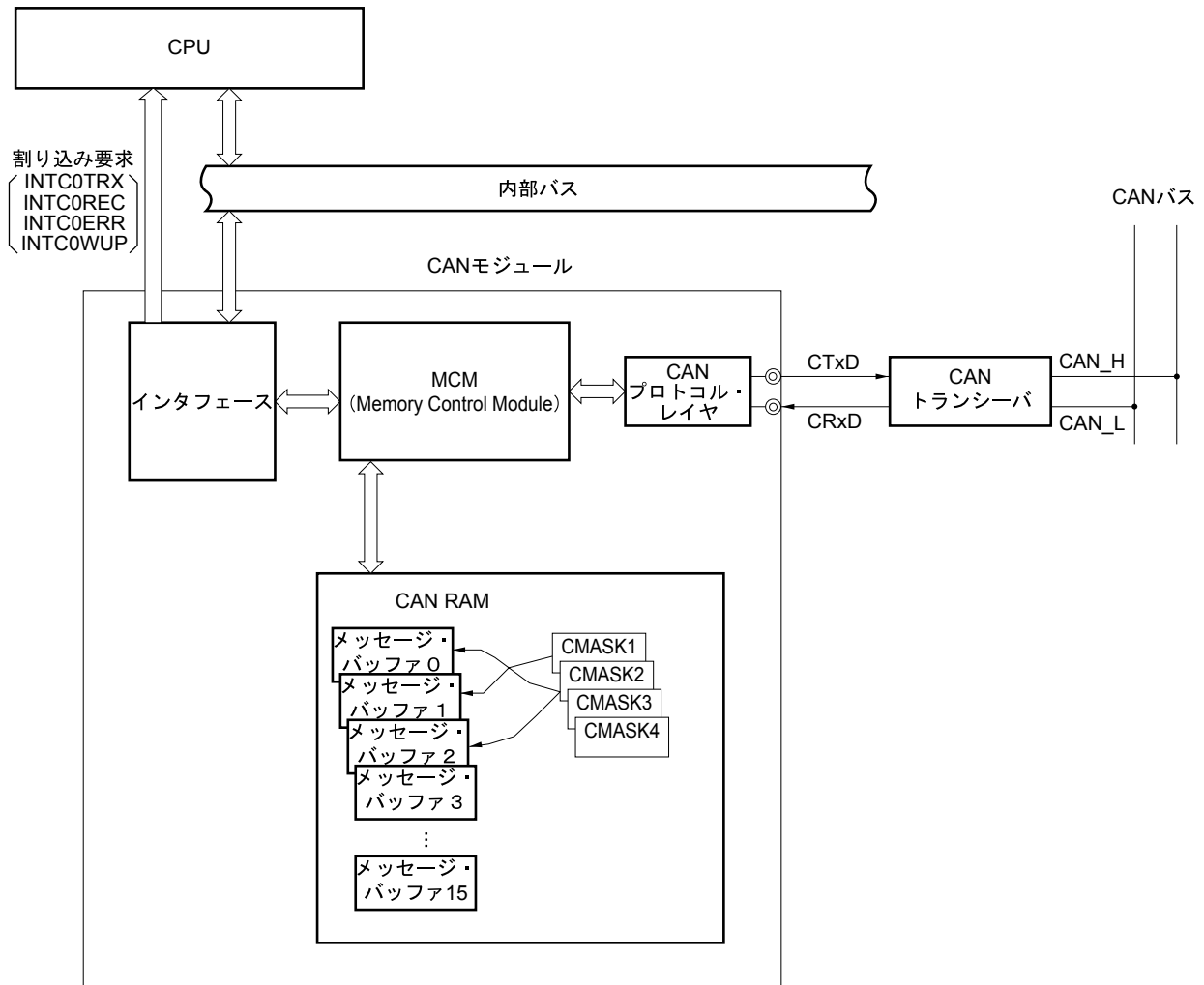
(3) CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

(4) CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図13-1 CANのブロック図



13.2 CAN プロトコル

CAN (Controller Area Network) は、車輦内リアルタイム通信用 (クラスC) 高速多重通信プロトコルです。CAN はISO11898で規定されています。詳細は、ISO 11898仕様を参照してください。

CANの仕様は、大きく分けて2つのレイヤ (物理レイヤとデータ・リンク・レイヤ) に分類されます。さらに、データ・リンク・レイヤは、ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は、次のようになります。

図13-2 各レイヤの構成

上位 ↑ ↓ 下位	データ・リンク・レイヤ注	・ロジカル・リンク・コントロール (LLC) ・ミディアム・アクセス・コントロール (MAC)	・アクセプタンス・フィルタリング ・オーバロード通知 ・リカバリ・マネージメント ・フレーム・コーディング (スタッフィング/非スタッフィング) ・ミディアム・アクセス・マネージメント ・エラー検知 ・エラー通知 ・アクノリッジ ・シリアル化/非シリアル化
	物理レイヤ		信号レベル, ビット表現の規定

注 CANコントローラ仕様

13.2.1 フレーム・フォーマット

(1) 標準フォーマット・フレーム

- ・標準フォーマット・フレームでは、アイデンティファイアが11ビットのため、2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

- ・拡張フォーマット・フレームでは、アイデンティファイアが29ビット（11ビット+18ビット）に拡張され、扱えるメッセージ数が 2048×2^{18} 個になります。
- ・アービトラージ・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合、拡張フォーマット・フレームになります。

13.2.2 フレーム・タイプ

CANプロトコルのフレームは、次の4種類に分けられます。

表13-2 フレームの種類

フレーム種類	説明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバーロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には、ドミナントとレセシブの2通りがあります。

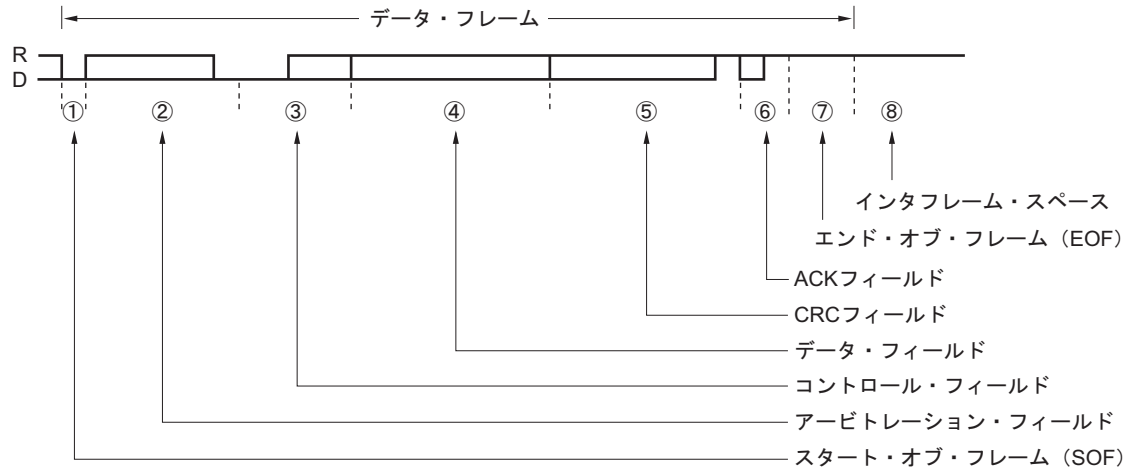
- ・ドミナント・レベルは論理0で表します。
- ・レセシブ・レベルは論理1で表します。
- ・ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります。

13.2.3 データ・フレーム／リモート・フレーム

(1) データ・フレーム

データ・フレームは、7つのフィールドにより構成されます。

図13-3 データ・フレーム



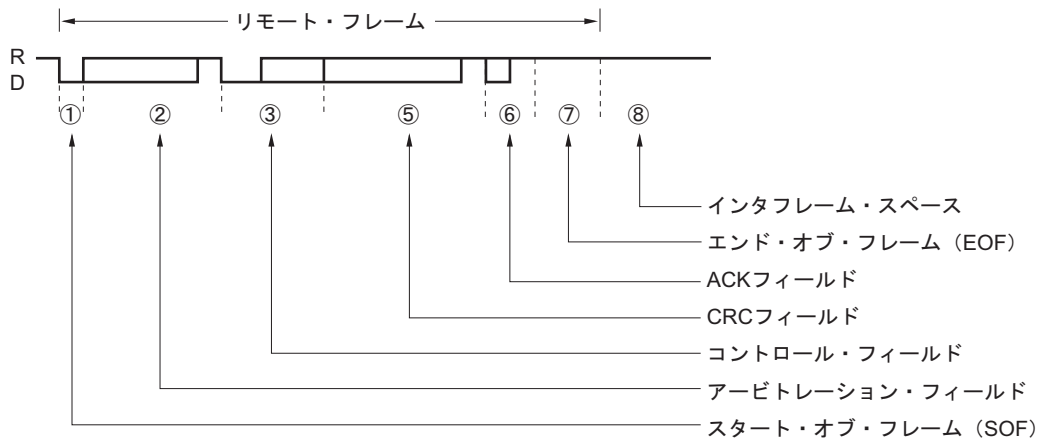
備考 D: ドミナント = 0

R: レセシブ = 1

(2) リモート・フレーム

リモート・フレームは、6つのフィールドにより構成されます。

図13-4 リモート・フレーム



備考1. コントロール・フィールドのデータ長コード≠“0000B”でもデータ・フィールドは転送しません。

2. D: ドミナント = 0

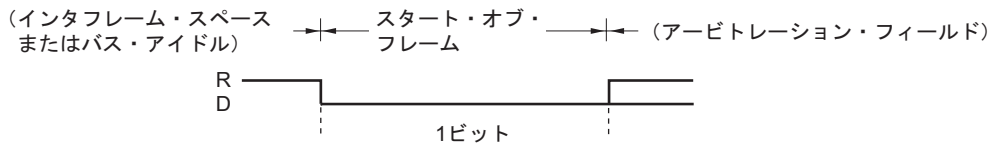
R: レセシブ = 1

(3) 各フィールドの説明

スタート・オブ・フレーム (SOF)

スタート・オブ・フレームは、データ・フレーム、リモート・フレームの開始を示します。

図13-5 スタート・オブ・フレーム (SOF)



備考 D: ドミナント = 0

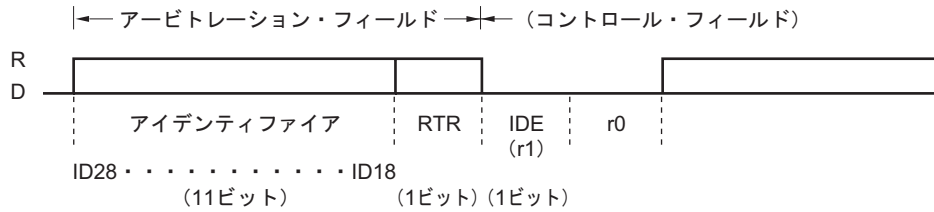
R: レセシブ = 1

- ・バス・アイドル中にドミナント・レベルを検出すると、ハードウェア同期が実行されます（その際、該当するTQがシンク・セグメントになります）。
- ・ハードウェア同期に続くサンプル・ポイントで、ドミナント・レベルがサンプリングされると、そのビットはSOFになります。もし、レセシブ・レベルが検出されたときは、前述のドミナント・パルスはノイズと判断され、プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

アービトレーション・フィールド

アービトレーション・フィールドは、プライオリティ、データ・フレーム/リモート・フレーム、フレーム・フォーマットの設定をします。

図13-6 アービトレーション・フィールド（標準フォーマット・モード時）



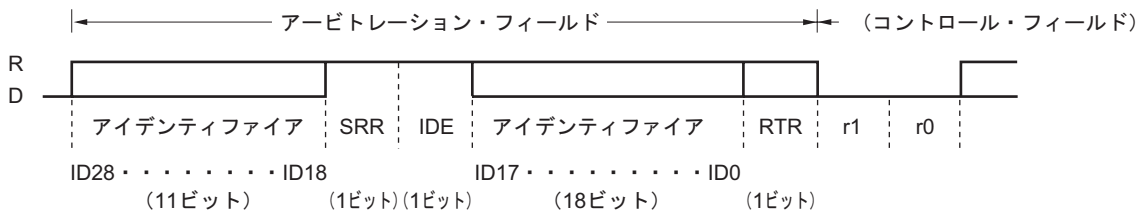
注意1. ID28-ID18は、アイデンティファイアです。

2. アイデンティファイアは、MSBファーストで送信されます。

備考 D: ドミナント = 0

R: レセシブ = 1

図13-7 アービトレーション・フィールド（拡張フォーマット・モード時）



注意1. ID28-ID0は、アイデンティファイアです。

2. アイデンティファイアは、MSBファーストで送信されます。

備考 D: ドミナント = 0

R: レセシブ = 1

表13-3 RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0 (D)
リモート・フレーム	1 (R)

表13-4 フレーム・フォーマットの設定（IDEビット）とアイデンティファイア（ID）のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0 (D)	11ビット
拡張フォーマット・モード	1 (R)	1 (R)	29ビット

コントロール・フィールド
 コントロール・フィールドは、データ・フィールドのデータ・バイト数DLCの設定をします (DLC = 0-8)。

図13-8 コントロール・フィールド



備考 D: ドミナント = 0

R: レセシブ = 1

標準フォーマット・フレームでは、コントロール・フィールドのIDEビットとr1ビットは、同一となります。

表13-5 データ長の設定

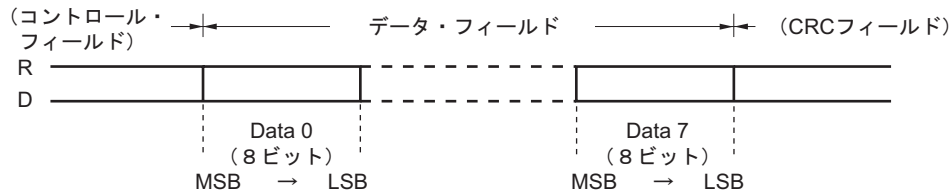
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意 リモート・フレームの場合、データ長コード≠0000Bであってもデータ・フィールドは発生しません。

データ・フィールド

データ・フィールドは、コントロール・フィールドで設定した個数のデータ群（バイト単位）で、最大8データ設定できます。

図13-9 データ・フィールド



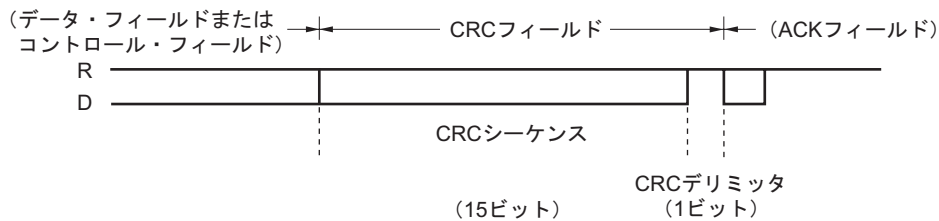
備考 D: ドミナント = 0

R: レセシブ = 1

CRCフィールド

CRCフィールドは、送信データの誤りをチェックするための16ビットのフィールドです。

図13-10 CRCフィールド



備考 D: ドミナント = 0

R: レセシブ = 1

- ・ 15ビットのCRCシーケンスを生成する多項式 $P(X)$ は、次のようになります。

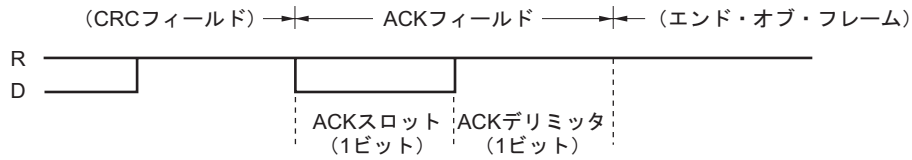
$$P(X) = X^{15} + X^{14} + X^{10} + X^8 + X^7 + X^4 + X^3 + 1$$

- ・ 送信ノード：スタート・オブ・フレーム、アービトレーション・フィールド、コントロール・フィールド、データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシーケンスを送信します。
- ・ 受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールドのCRCシーケンスを比較します。一致しない場合、ノードはエラー・フレームを送信します。

ACKフィールド

ACKフィールドは、正常受信確認のためのフィールドです。

図13-11 ACKフィールド



備考 D : ドミナント = 0

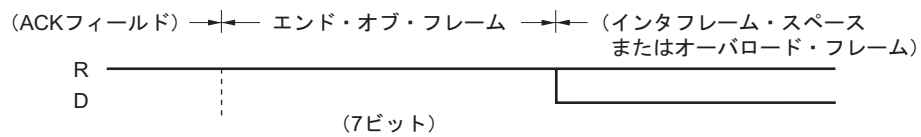
R : レセシブ = 1

- ・CRCエラーが検出されない場合、受信ノードはACKスロットをドミナント・レベルにします。
- ・送信ノードは、2ビットのレセシブ・レベルを出力します。

エンド・オブ・フレーム (EOF)

エンド・オブ・フレームは、データ・フレーム/リモート・フレームの終了を示します。

図13-12 エンド・オブ・フレーム (EOF)



備考 D : ドミナント = 0

R : レセシブ = 1

インタフレーム・スペース

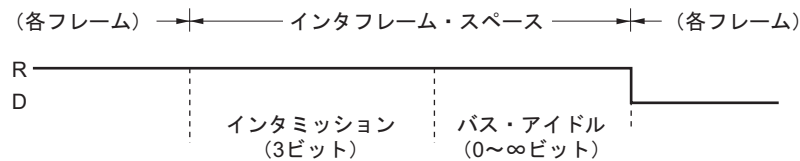
データ・フレーム, リモート・フレーム, エラー・フレーム, オーバロード・フレームから次のフレームの間に挿入されるフレームで, 各フレーム間の区切りを示します。

・バスの状態は, エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成

図13-13 インタフレーム・スペース (エラー・アクティブ状態のノードの場合)



備考1. バス・アイドル : 各ノードがバスを使用していない状態を示します。

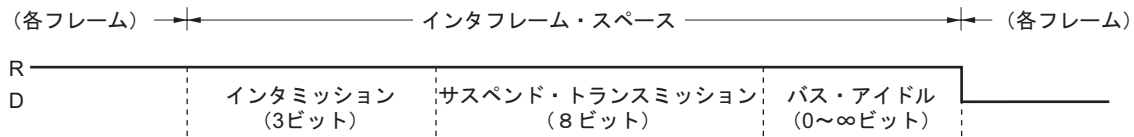
2. D : ドミナント = 0

R : レセシブ = 1

(b) エラー・パッシブ状態のノードの場合

インタミッション, サスペンド・トランスミッション, バス・アイドルより構成

図13-14 インタフレーム・スペース (エラー・パッシブ状態のノードの場合)



備考1. バス・アイドル : 各ノードがバスを使用していない状態を示します。

サスペンド・トランスミッション : エラー・パッシブ状態にあるノードにより送信される8ビットのレセシブ

2. D : ドミナント = 0

R : レセシブ = 1

通常, インタミッションは3ビットです。しかし, 送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合, 送信を行います。

- ・ エラー状態による動作

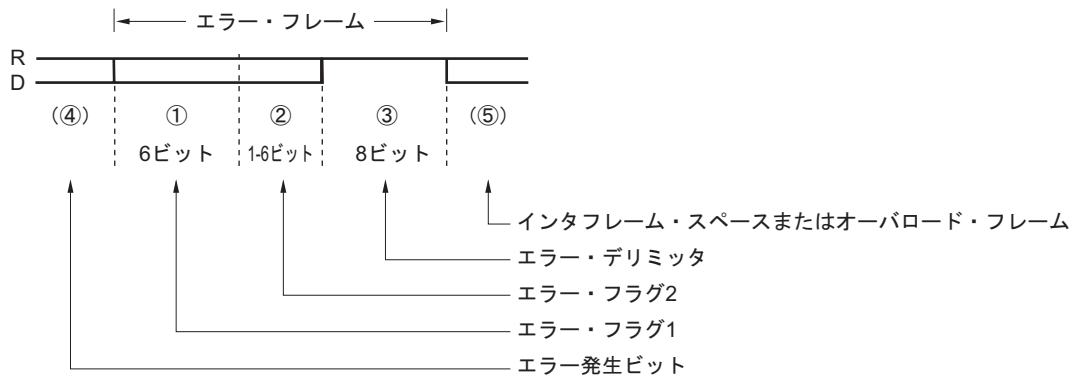
表13-6 エラー状態による動作

エラー状態	動 作
エラー・アクティブ	3ビットのインタミッション後、ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから、さらに8ビット待つて送信可能状態になります。

13.2.4 エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図13-15 エラー・フレーム



備考 D: ドミナント = 0

R: レセシブ = 1

表13-7 エラー・フレームの各フィールドの定義

No	名 称	ビット数	定 義
	エラー・フラグ1	6	エラー・アクティブ・ノード: 6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード: 6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中、ほかのノードがドミナント・レベルを出力した場合、パッシブ・エラー・フラグは、同一レベルを6ビット連続して検出するまで終了しません。
	エラー・フラグ2	0~6	エラー・フラグ1を受信したノードが、ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
	エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバーロード・フレームを送信します。
	エラー発生ビット	—	エラーが検出されたビットです。 エラー・フラグは、エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は、ACKデリミッタに続いて出力されます。
	インタフレーム・スペース/ オーバーロード・フレーム	—	インタフレーム・スペース、またはオーバーロード・フレームが続きます。

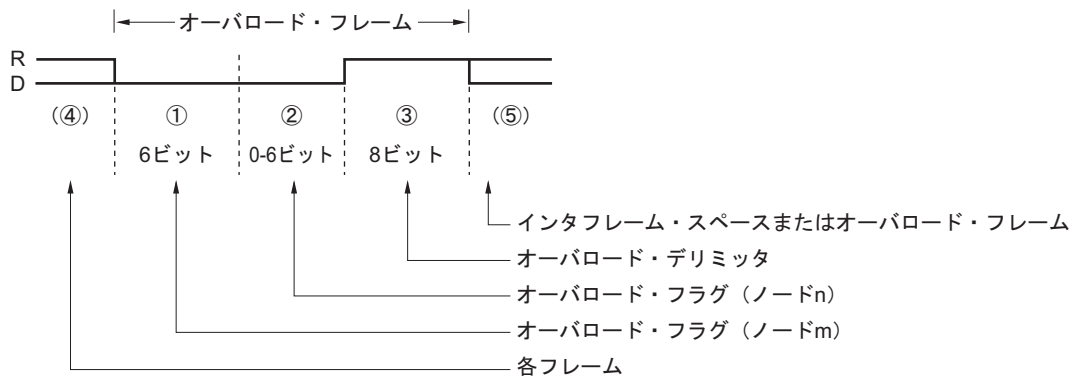
13.2.5 オーバロード・フレーム

オーバロード・フレームは、次の条件が発生した場合に送信されます。

- ・受信ノードが受信動作未了のとき^注
- ・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
- ・エンド・オブ・フレームの最終ビット（7ビット目）、またはエラー・デリミッタ／オーバロード・デリミッタの最終ビット（8ビット目）にドミナント・レベルを検出したとき

注 CANでは、内部処理が十分に早いため、オーバロード・フレームを出力することなく、すべての受信フレームを取り込むことができます。

図13-16 オーバロード・フレーム



備考 D：ドミナント = 0

R：レセシブ = 1

表13-8 オーバロード・フレームの各フィールドの定義

No	名 称	ビット数	定 義
	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
	他ノードからのオーバロード・フラグ	0~6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは、オーバロード・フラグを出力します。
	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合、次のビットからオーバロード・フレームを送信します。
	各フレーム	—	エンド・オブ・フレーム、エラー・デリミッタ、オーバロード・デリミッタに続いて出力します。
	インタフレーム・スペース／オーバロード・フレーム	—	インタフレーム・スペース、またはオーバロード・フレームが続きます。

13.3 機能

13.3.1 バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

- ・バス・アイドル中に、先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

- ・アービトレーション・フィールドの第1ビットから、ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時送信された場合、バスの値はドミナント・レベルになります）。
- ・送信ノードは、自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較しません。

表13-9 バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し、受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

- ・データ・フレームとリモート・フレームがバス上で競合した場合、アービトレーション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

注意 拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合）、標準フォーマット・フレームのリモート・フレームが優先されます。

13.3.2 ビット・スタッフ

ビット・スタッフは、バースト・エラーを防ぐために、同一レベルが5ビット連続した場合、1ビットの反転データを付加して、同期をとる仕組みです。

表13-10 ビット・スタッフ

送信	データ・フレーム、リモート・フレームを送信する際に、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次のビットの前に、前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受信	データ・フレーム、リモート・フレームの受信時、スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合、次の1ビットを削除して受信します。

13.3.3 マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため、どのノードでもバス・マスタになることができます。

13.3.4 マルチキャスト

送信ノードは1つですが、同一のアイデンティファイアを複数のノードに設定できるため、複数のノードで同時に同一データの受信ができます。

13.3.5 CANスリープ・モード／CANストップ・モード機能

CANスリープ・モード／CANストップ・モード機能により、CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが、CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

13.3.6 エラー制御機能

(1) エラーの種類

表13-11 エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信／受信ノード	フィールド／フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較	両レベルの不一致	送信／受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム、エラー・フレーム、オーバーロード・フレームでバス上にデータを出力しているビット。
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド／フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバーロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出カタイミング

表13-12 エラー・フレームの出カタイミング

エラーの種類	出カタイミング
ビット・エラー、スタッフ・エラー、フォーム・エラー、ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出カします。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出カします。

(3) エラー発生時の処置

送信ノードは、エラー・フレーム後にデータ・フレーム、またはリモート・フレームの再送を行います。
(ただし、シングル・ショット・モード時には再送は行いません)。

(4) エラー状態

(a) エラー状態の種類

CANスペックで規定されているエラーの状態には次の3種類があります。

- ・エラー・アクティブ
- ・エラー・パッシブ
- ・バスオフ

これらは、CANエラー・カウンタ・レジスタ (CERC) のTEC7-TEC0ビット (送信エラー・カウンタ・ビット) およびREC6-REC0ビット (受信エラー・カウンタ・ビット) の値によって表13-13のように分類されます。

現在のエラー状態はCANモジュール情報レジスタ (CINFO) に表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル (96) 以上になると、CINFOレジスタのTECS0ビットあるいはRECS0ビットが1にセットされます。この場合、バスに重度の障害があると考えられるため、バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると、エラー・パッシブ状態となり、CINFOレジスタのTECS1ビットあるいはRECS1ビットがセット (1) されます。

- ・送信エラー・カウンタ値が256以上 (実際には送信エラー・カウンタ値は256以上の値は表示しません) になると、バスオフ状態となり、CINFOレジスタのBOFFビットがセット (1) されます。
- ・スタート・アップ時、バス上に1個のノードしかアクティブでない場合 (= 自局のみバスに接続されている場合)、データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが、エラー・パッシブ状態に移行したあとの送信エラー・カウンタはインクリメントされず、バスオフには移行しません。

表13-13 エラー状態の種類

エラー状態の種類	動作	エラー・カウンタの値	CINFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ (6ビットのドミナント・レベルの連続) を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ (6ビットのレセシブ・レベルの連続) を出力 ・送信と送信の間に、インタミッションに続いて8ビットのレセシブ・レベルを送信 (サスペンド・トランスミッション)
	受信	128以上	RECS1, RECS0が11	
バスオフ	送信	256以上 (表示はしない) 注	BOFFが1, TECS1, TECS0が11	・通信できません。 ただし、フレーム受信時にメッセージは格納しませんが、以下の , , の動作を行います。 TSOUTがトグルします。 RECが+/-します。 VALIDビットがセットされます。 ・初期化モードに遷移し、のちに初期化モード以外のいずれかの動作モードに遷移要求を行ったあと、11ビット連続でレセシブ・レベルが128回発生すると、エラー・カウンタが0にリセットされ、エラー・アクティブ状態に戻ることができます。

注 送信エラー・カウンタ (TEC) の値は、BOFFビットがセットされたときには意味を持ちません。送信エラー・カウンタが248-255の範囲の値のとき、さらに+8のインクリメントを行うようなエラーを検知した際は、カウンタ値はインクリメントされずにバスオフ状態となります。

(b) エラー・カウンタ

エラー・カウンタは、エラーが発生した場合にカウント・アップし、送信、受信が正常に行われた場合にカウント・ダウンします。カウント・アップのタイミングは、エラーが検出された直後になります。

表13-14 エラー・カウンタ

状 態	送信エラー・カウンタ (TEC7-TEC0ビット)	受信エラー・カウンタ (REC6-REC0ビット)
受信ノードがエラーを検出 (アクティブ・エラー・フラグ、オーバーロード・フラグ中のビット・エラーを除く)	変化なし	+1 (REPSビット = 0時)
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	+8 (REPSビット = 0時)
送信ノードがエラー・フラグを送信 [例外として、次の場合のエラー・カウンタは変化しません] エラー・パッシブ状態で、ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 アービトレーション・フィールド中にスタッフ・エラーを検出し、それがスタッフ・ビットとしてレセプティブ・レベルを送信したが、ドミナント・レベルを検出	+8	変化なし
アクティブ・エラー・フラグ、オーバーロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの送信ノード)	+8	変化なし
アクティブ・エラー・フラグ、オーバーロード・フラグ出力中のビット・エラー検出 (エラー・アクティブの受信ノード)	変化なし	+8 (REPSビット = 0時)
各ノードがアクティブ・エラー・フラグ、オーバーロード・フラグの最初から14個の連続したドミナント・レベルを検出、およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと、8個連続のドミナント・レベルを検出	+8 (送信時)	+8 (受信時, REPSビット = 0時)
送信ノードがエラーなしで、送信を完了 (エラー・カウンタ = 0の場合は±0)	-1	変化なし
受信ノードがエラーなしで、受信を完了	変化なし	<ul style="list-style-type: none"> ・ -1 (1 REC6-REC0 127, REPSビット = 0時) ・ ±0 (REC6-REC0 = 0, REPSビット = 0時) ・ REPSがセット(1)されたときの受信エラー・カウンタの値により、119~126のいずれかの値をセットする。(REPSビット = 1時)

(c) インタミッション中のビット・エラーの発生

オーバーロード・フレームが発生します。

注意 エラー発生時のエラー制御は、そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

(5) バスオフ状態からの復帰動作

CANモジュールが、バスオフ状態になった場合、CANバスから切り離された送信端子 (CTxD) は、常にレセシブ・レベルの出力となります。

バスオフ状態からの復帰は、次に示すバスオフ復帰 (リカバリ) シーケンスにより行います。

CAN初期化モードへの移行要求

CAN動作モードへの移行要求

- (a) 通常リカバリ・シーケンスによる復帰動作
- (b) リカバリ・シーケンスをスキップする強制復帰動作

(a) 通常リカバリ・シーケンスによるバスオフからの復帰動作

まず、初期化モードへの移行要求を行います (図13-17中のタイミング 参照)。この移行要求は直ちに受け付けられ、CCTRLレジスタのOPMODEビットは000Bとなります。アプリケーション・ソフトウェアにより、バスオフの原因となった故障の解析、CANモジュールおよびメッセージ・バッファの再定義、あるいはGOMビットをクリア (0) することで、CANモジュール自体の動作停止といった処置を行うことが可能です。

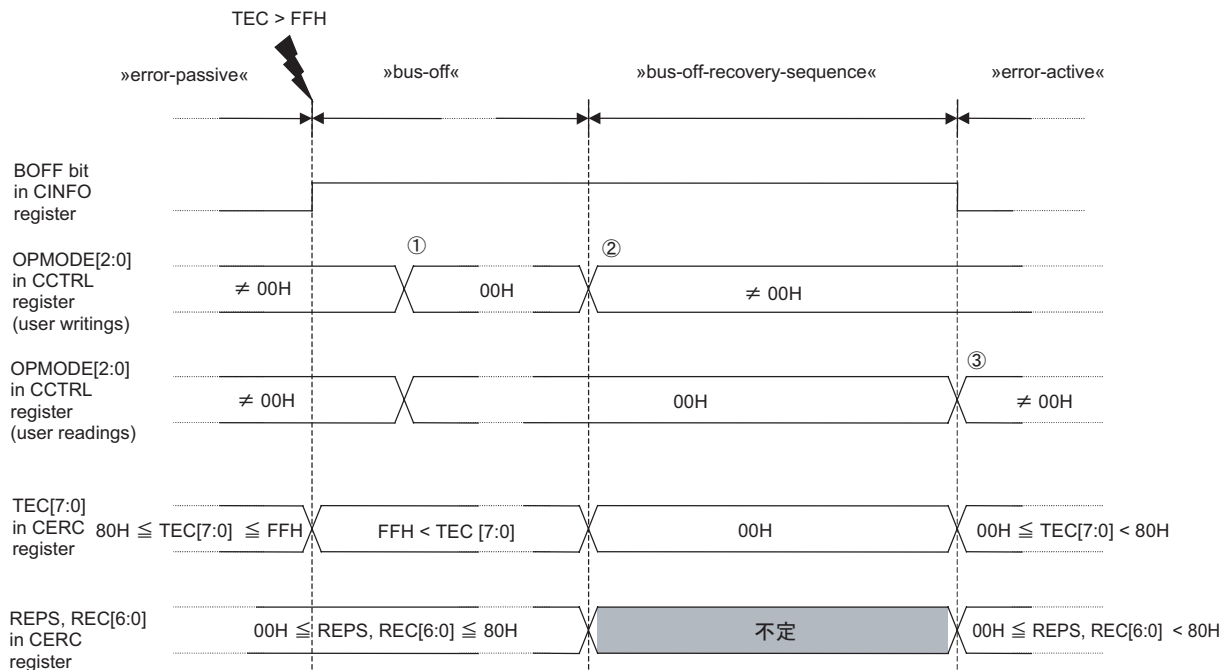
次に、初期化モードから任意の動作モードへの移行要求を行います (図13-17中のタイミング 参照)。この任意の動作モードへの移行要求を行うことで、バスオフからのリカバリ動作が開始されます。バスオフからのリカバリ条件は、CANプロトコルISO11898に規定されており、11ビットの連続したレセシブ・ビットを128回以上検出することが必要です。このとき、任意の動作モードへの移行要求はバスオフのリカバリ条件が満足するまでは保留され、バスオフのリカバリ条件が満足した時点 (図13-17中のタイミング 参照) でCANモジュールは要求された動作モードに移行します。この間、CANモジュールは初期化モードを維持し、任意の動作モードへの移行の完了は、CCTRLレジスタのOPMODEビットをリードすることにより確認できます。なお、任意の動作モードへの移行が完了するまでは、OPMODE [2:0]ビット = 000Bがリードされます。

バスオフ期間中およびバスオフ・リカバリ・シーケンス中は、CINFOレジスタのBOFFビットはセット (1) を継続します。バスオフ・リカバリ・シーケンスは、受信エラー・カウンタ (REC [6:0]ビット) により、バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので、REC [6:0]ビットをリードすることにより復帰状況を確認することができます。

- 注意1. バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ移行要求を行った場合は、最初からバスオフ・リカバリ・シーケンスが開始され、もう一度バス上に11ビットの連続したレセシブ・ビットを128回カウントすることになります。
2. バスオフ・リカバリ・シーケンス中は、REC [6:0]ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウントアップ (+1) します。

バスオフ期間中でもCANモジュールはCANスリープ・モードやCANストップ・モードに移行することができます。バスオフを解除するためには、初期化モードにいったん移行する必要がありますが、CANモジュールがCANスリープ・モードやCANストップ・モードである場合は、直接初期化モードへは移行することができません。この場合は初期化モードへの移行を行わなくても、CANスリープ・モードが解除される際に同時にバスオフ・リカバリ・シーケンスが開始されます。ソフトウェアによるPSMODEビットのクリアのほかにも、CANバス上のドミナント・エッジ検知によるウエイク・アップによっても、バスオフ・リカバリ・シーケンスは開始されず (CANクロックが供給されている状態では、ドミナント・エッジ検知後にソフトウェアによるPSMODEビットのクリアが必要となります)。

図13-17 通常リカバリ・シーケンスによるバスオフからの復帰動作



(b) バスオフ・リカバリ・シーケンスをスキップする強制復帰動作

バスオフ・リカバリ・シーケンスをスキップすることで、バスの状態によらずCANモジュールを強制的にバスオフから復帰させることが可能です。手順を以下に示します。

まず、初期化モードへの移行要求を行います。このときの動作および注意事項は、13.3.6 (5) (a) 通常リカバリ・シーケンスによるバスオフからの復帰動作を参照してください。

次に、任意の動作モードへの移行要求を行い、同時にCTRLレジスタのCCERCビットをセット (1) します。

これにより、CANプロトコルISO11898で規定されているバスオフのリカバリ・シーケンスがスキップされ、ただちに動作モードへの移行が行われます。この場合、CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は、図13-82 バスオフからのリカバリ処理 (ABT付き通常動作モード以外の場合) を参照してください。

注意 この機能は、CANプロトコルISO11898に規定されておりませんので、ご使用の際にはネットワーク・システムへの影響を十分にご確認ください。

(6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ (CERC) の初期化

プログラム・デバッグや評価のために、CANモジュール・エラー・カウンタ・レジスタ (CERC)、およびCANモジュール情報レジスタ (CINFO) の初期化が必要となる場合には、初期化モード中にCTRLレジスタのCCERCビットをセット (1) することで、CERC, CINFOレジスタは初期値に初期化されます。初期化が完了すると、CCERCビットは自動的にクリア (0) されます。

- 注意 1. この機能は、初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット (1) したとしても、CERC, CINFOレジスタは初期化されません。
2. CCERCビットのセットは、任意のCAN動作モードへの移行要求と同時にすることも可能です。

13.3.7 ボー・レート制御機能

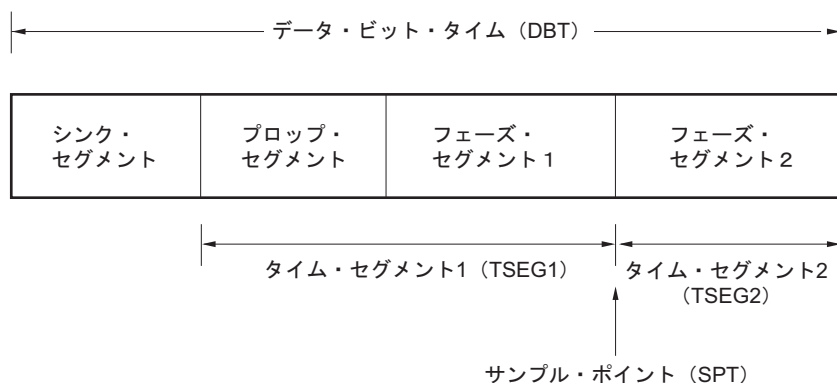
(1) プリスケーラ

CANコントローラは、CANへの供給クロック (f_{CAN}) を分周するプリスケーラを持っています。また、プリスケーラは、CANモジュール・システム・クロック (f_{CANMOD}) を1-256分周したCANプロトコル・レイヤ基本クロック (f_{rQ}) を発生します (13.6 (12) CANモジュール・ビット・レート・プリスケーラ・レジスタ (CBRP) 参照)。

(2) データ・ビット・タイム (8-25 Time Quanta)

1データ・ビット・タイムは、図13-18のように定義されています。図13-18で示すようなタイム・セグメント1, タイム・セグメント2, 同期ジャンプ幅 (SJW) といったビット・タイミングのパラメータに置き換えて設定されます。タイム・セグメント1は、CANプロトコル仕様で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は、フェーズ・セグメント2に該当します。

図13-18 セグメントの設定



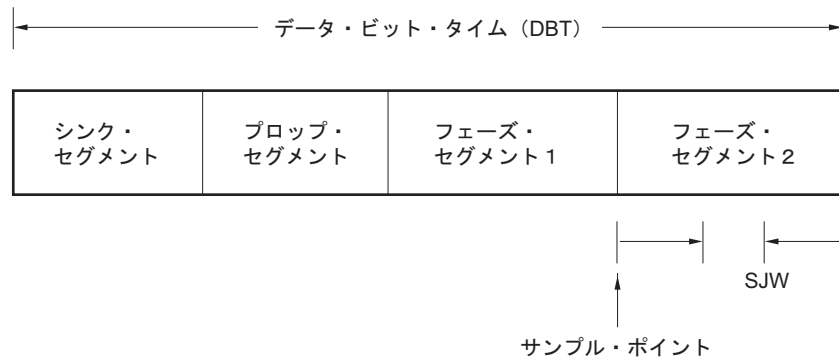
セグメント名	設定可能範囲	CANスペック準拠のための設定上の注意
タイム・セグメント1 (TSEG1)	2TQ-16TQ	タイム・セグメント2の長さに1TQを加えた長さ、ただし最小2TQがタイム・セグメント1の設定下限となります。
タイム・セグメント2 (TSEG2)	1TQ-8TQ	CANコントローラのIPTは0TQです。CANプロトコル仕様に準拠するためには、フェーズ・セグメント1以下の長さがここに設定されなければなりません。すなわち、タイム・セグメント1の長さから1TQを引いた長さ、ただし最大8TQがタイム・セグメント2の設定上限となります。
同期ジャンプ幅 (SJW)	1TQ-4TQ	タイム・セグメント2と等しい長さ、もしくは4TQのどちらか小さいほうの長さが同期ジャンプ幅の設定上限となります。

備考 IPT : Information Processing Time

TQ : Time Quanta

参考：CANプロトコル仕様では、データ・ビット・タイムを構成する各セグメントは、図13-19のように規定されています。

図13-19 CANスペック上でのデータ・ビット・タイムの構成



セグメント名	セグメント長	説明
シンク・セグメント (Synchronization Segment)	1	ハードウェア同期がかかると、レセシブからドミナントに移行するエッジでこのセグメントが始まります。
プロップ・セグメント (Propagation Segment)	1-8のプログラマブル, またはそれ以上	出力バッファ, CANバス, 入力バッファの遅延を吸収するためのセグメントです。 フェーズ・セグメント1の開始までにACKが戻ってくるように設定します。 プロップ・セグメントの時間 (出力バッファの遅延) + 2 × (CANバスの遅延) + (入力バッファの遅延)
フェーズ・セグメント1 (Phase Buffer Segment 1)	1-8のプログラマブル	データ・ビット・タイムの誤差を補償するためのセグメントで、大きいほど許容範囲が大きくとれますが、通信スピードは遅くなります。
フェーズ・セグメント2 (Phase Buffer Segment 2)	フェーズ・セグメント1とIPTとのうち大きい方の値	
SJW (reSynchronization Jump Width)	1TQからセグメント1TQまたは4TQの小さい方までの範囲でプログラマブル	再同期の際のフェーズ・セグメントの伸縮の上限を設定します。

備考 IPT : Information Processing Time

TQ : Time Quanta

(3) データ・ビットの同期

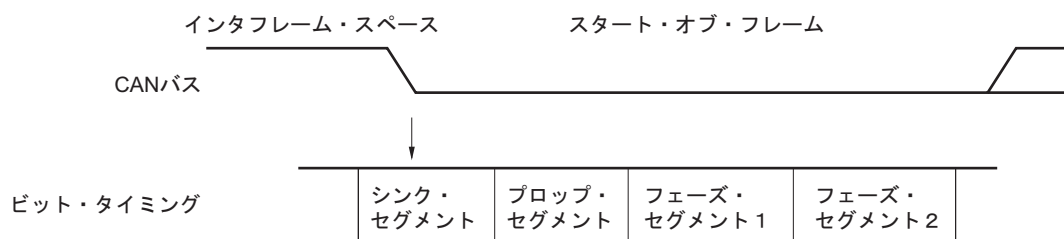
- ・受信ノードは、同期信号がないため、バス上のレベル変化で同期をとります。
- ・送信ノードは、送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウェア同期

受信ノードが、インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

- ・バス上の立ち下がりエッジを検出すると、そのTQがシンク・セグメントで、次がプロップ・セグメントとなります。この場合、SJWIには無関係に同期をとります。

図13-20 バス・アイドル中のドミナント・レベル検出によるハードウェア同期



(b) 再同期

受信中に、バス上のレベル変化を検出した場合（前回のサンプリングがレセシブ・レベル時のみ）、再同期を行います。

- ・エッジの位相誤差は、検出されたエッジとシンク・セグメントの相対位置により与えられます。

<位相誤差の符号>

0 : エッジがシンク・セグメント内にある場合

正 : エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）

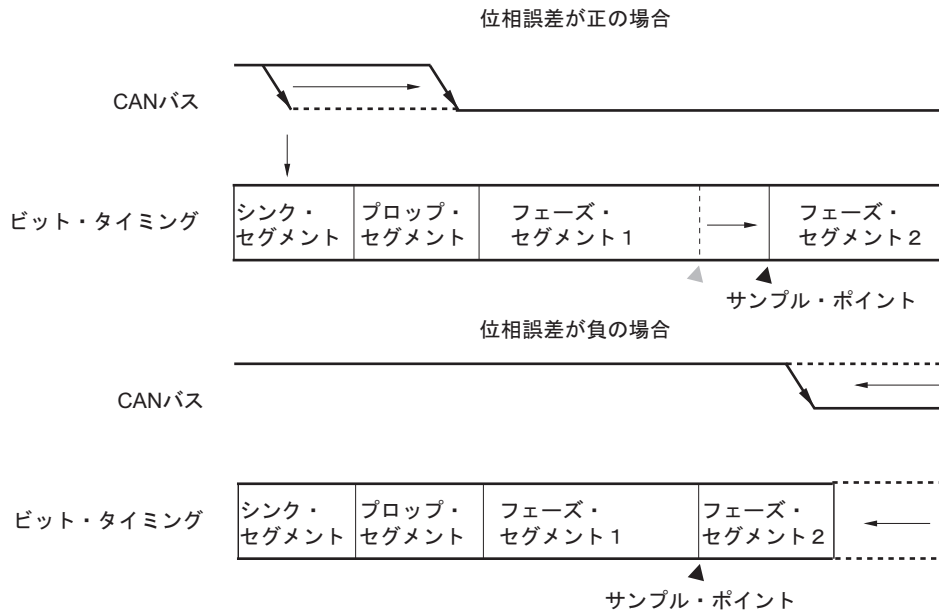
負 : エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）

位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。

位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。

- ・送信ノードと受信ノードのボー・レートの“ずれ”により、受信ノードでのデータのサンプル・ポイントが相対的に移動します。

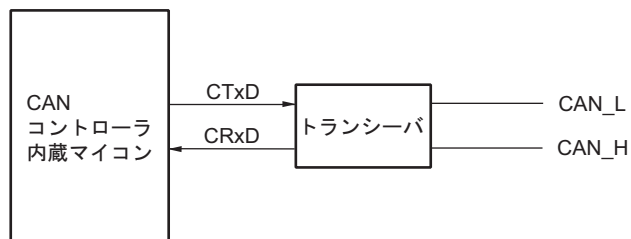
図13-21 再同期



13.4 ターゲット・システムとの接続

CANコントローラ内蔵マイコンは、外部トランシーバを使用してCANバスに接続しなければなりません。

図13-22 CANバスへの接続



13.5 CANコントローラの内部レジスタ

13.5.1 CANコントローラの構成

表13-15 CANコントローラのレジスタ一覧 (1/2)

項 目	レジスタ名
制御レジスタ	周辺クロック・レジスタ (PCKSEL)
	シリアル通信端子選択レジスタ (STSEL)
	ポート・レジスタ1, 7 (P1, P7)
	ポート・モード・レジスタ1, 7 (PM1, PM7)
CANグローバル・レジスタ	CANグローバル・モジュール制御レジスタ (CGMCTRL)
	CANグローバル・モジュール・クロック選択レジスタ (CGMCS)
	CANグローバル自動ブロック送信制御レジスタ (CGMABT)
	CANグローバル自動ブロック送信遅延設定レジスタ (CGMABTD)
CANモジュール・レジスタ	CANモジュール・マスク1レジスタ (CMASK1L, CMASK1H)
	CANモジュール・マスク2レジスタ (CMASK2L, CMASK2H)
	CANモジュール・マスク3レジスタ (CMASK3L, CMASK3H)
	CANモジュール・マスク4レジスタ (CMASK4L, CMASK4H)
	CANモジュール制御レジスタ (CTRL)
	CANモジュール最終エラー情報レジスタ (CLEC)
	CANモジュール情報レジスタ (CINFO)
	CANモジュール・エラー・カウンタ・レジスタ (CERC)
	CANモジュール割り込み許可レジスタ (CIE)
	CANモジュール割り込みステータス・レジスタ (CINTS)
	CANモジュール・ビット・レート・プリスケアラ・レジスタ (CBRP)
	CANモジュール・ビット・レート・レジスタ (CBTR)
	CANモジュール最終受信ポインタ・レジスタ (CLIPT)
	CANモジュール受信履歴・リスト・レジスタ (CRGPT)
	CANモジュール最終送信ポインタ・レジスタ (CLOPT)
	CANモジュール送信履歴・リスト・レジスタ (CTGPT)
	CANモジュール・タイム・スタンプ・レジスタ (CTS)

備考1. CANグローバル・レジスタは、CGM<レジスタ機能>によって定義されます。

CANモジュール・レジスタは、C<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、CM<レジスタ機能>によって定義されます。

2. m = 0-15

表13-15 CANコントローラのレジスタ一覧 (2/2)

項 目	レジスタ名
メッセージ・バッファ・レジスタ	CANメッセージ・データ・バイト01レジスタm (CMDB01m)
	CANメッセージ・データ・バイト0レジスタm (CMDB0m)
	CANメッセージ・データ・バイト1レジスタm (CMDB1m)
	CANメッセージ・データ・バイト23レジスタm (CMDB23m)
	CANメッセージ・データ・バイト2レジスタm (CMDB2m)
	CANメッセージ・データ・バイト3レジスタm (CMDB3m)
	CANメッセージ・データ・バイト45レジスタm (CMDB45m)
	CANメッセージ・データ・バイト4レジスタm (CMDB4m)
	CANメッセージ・データ・バイト5レジスタm (CMDB5m)
	CANメッセージ・データ・バイト67レジスタm (CMDB67m)
	CANメッセージ・データ・バイト6レジスタm (CMDB6m)
	CANメッセージ・データ・バイト7レジスタm (CMDB7m)
	CANメッセージ・データ長レジスタm (CMDLCm)
	CANメッセージ・コンフィギュレーション・レジスタm (CMCONFm)
	CANメッセージIDレジスタm (CMIDLm, CMIDHm)
	CANメッセージ制御レジスタm (CMCTRLm)

備考1. CANグローバル・レジスタは、CGM<レジスタ機能>によって定義されます。

CANモジュール・レジスタは、C<レジスタ機能>によって定義されます。

メッセージ・バッファ・レジスタは、CM<レジスタ機能>によって定義されます。

2. m = 0-15

13.5.2 レジスタ・アクセス・タイプ

CANコントローラ用の周辺I/Oレジスタは000F05C0H~000F06FEHに割り付けられています。3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を参照してください。

表13-16 レジスタ・アクセス・タイプ（1/9）

アドレス	レジスタ名	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F05C0H	CANグローバル・モジュール制御レジスタ	CGMCTRL	R/W	-	-		0000H
000F05C6H	CANグローバル自動ブロック送信制御レジスタ	CGMABT	R/W	-	-		0000H
000F05C8H	CANグローバル自動ブロック送信遅延設定レジスタ	CGMABTD	R/W	-		-	00H
000F05CEH	CANグローバル・モジュール・クロック選択レジスタ	CGMCS	R/W	-		-	0FH
000F05D0H	CANモジュール・マスク1レジスタ	CMASK1L	R/W	-	-		不定
000F05D2H		CMASK1H					不定
000F05D4H	CANモジュール・マスク2レジスタ	CMASK2L	R/W	-	-		不定
000F05D6H		CMASK2H					不定
000F05D8H	CANモジュール・マスク3レジスタ	CMASK3L	R/W	-	-		不定
000F05DAH		CMASK3H					不定
000F05DCH	CANモジュール・マスク4レジスタ	CMASK4L	R/W	-	-		不定
000F05DEH		CMASK4H					不定
000F05E0H	CANモジュール制御レジスタ	CCTRL	R/W	-	-		0000H
000F05E2H	CANモジュール最終エラー情報レジスタ	CLEC	R/W	-		-	00H
000F05E3H	CANモジュール情報レジスタ	CINFO	R	-		-	00H
000F05E4H	CANモジュール・エラー・カウンタ・レジスタ	CERC	R	-	-		0000H
000F05E6H	CANモジュール割り込み許可レジスタ	CIE	R/W	-	-		0000H
000F05E8H	CANモジュール割り込みステータス・レジスタ	CINTS	R/W	-	-		0000H
000F05EAH	CANモジュール・ビット・レート・プリスケアラ・レジスタ	CBRP	R/W	-		-	FFH
000F05ECH	CANモジュール・ビット・レート・レジスタ	CBTR	R/W	-	-		370FH
000F05EEH	CANモジュール最終受信ポインタ・レジスタ	CLIPT	R	-		-	不定
000F05F0H	CANモジュール受信履歴・リスト・レジスタ	CRGPT	R/W	-	-		xx02H
000F05F2H	CANモジュール最終送信ポインタ・レジスタ	CLOPT	R	-		-	不定
000F05F4H	CANモジュール送信履歴・リスト・レジスタ	CTGPT	R/W	-	-		xx02H
000F05F6H	CANモジュール・タイム・スタンプ・レジスタ	CTS	R/W	-	-		0000H

表13-16 レジスタ・アクセス・タイプ (2/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F0600H	CANメッセージ・データ・バイト01レジスタ00	CMDB0100	R/W				不定
000F0600H	CANメッセージ・データ・バイト0レジスタ00	CMDB000					不定
000F0601H	CANメッセージ・データ・バイト1レジスタ00	CMDB100					不定
000F0602H	CANメッセージ・データ・バイト23レジスタ00	CMDB2300					不定
000F0602H	CANメッセージ・データ・バイト2レジスタ00	CMDB200					不定
000F0603H	CANメッセージ・データ・バイト3レジスタ00	CMDB300					不定
000F0604H	CANメッセージ・データ・バイト45レジスタ00	CMDB4500					不定
000F0604H	CANメッセージ・データ・バイト4レジスタ00	CMDB400					不定
000F0605H	CANメッセージ・データ・バイト5レジスタ00	CMDB500					不定
000F0606H	CANメッセージ・データ・バイト67レジスタ00	CMDB6700					不定
000F0606H	CANメッセージ・データ・バイト6レジスタ00	CMDB600					不定
000F0607H	CANメッセージ・データ・バイト7レジスタ00	CMDB700					不定
000F0608H	CANメッセージ・データ長レジスタ00	CM DLC00					0000xxxxB
000F0609H	CANメッセージ・コンフィギュレーション・レジスタ00	CMCONF00					不定
000F060AH	CANメッセージIDレジスタ00	CMIDL00					不定
000F060CH		CMIDH00					不定
000F060EH	CANメッセージ制御レジスタ00	CMCTRL00					00x00000 000xx000B
000F0610H	CANメッセージ・データ・バイト01レジスタ01	CMDB0101					不定
000F0610H	CANメッセージ・データ・バイト0レジスタ01	CMDB001					不定
000F0611H	CANメッセージ・データ・バイト1レジスタ01	CMDB101					不定
000F0612H	CANメッセージ・データ・バイト23レジスタ01	CMDB2301					不定
000F0612H	CANメッセージ・データ・バイト2レジスタ01	CMDB201					不定
000F0613H	CANメッセージ・データ・バイト3レジスタ01	CMDB301					不定
000F0614H	CANメッセージ・データ・バイト45レジスタ01	CMDB4501					不定
000F0614H	CANメッセージ・データ・バイト4レジスタ01	CMDB401					不定
000F0615H	CANメッセージ・データ・バイト5レジスタ01	CMDB501					不定
000F0616H	CANメッセージ・データ・バイト67レジスタ01	CMDB6701					不定
000F0616H	CANメッセージ・データ・バイト6レジスタ01	CMDB601					不定
000F0617H	CANメッセージ・データ・バイト7レジスタ01	CMDB701					不定
000F0618H	CANメッセージ・データ長レジスタ01	CM DLC01					0000xxxxB
000F0619H	CANメッセージ・コンフィギュレーション・レジスタ01	CMCONF01				不定	
000F061AH	CANメッセージIDレジスタ01	CMIDL01				不定	
000F061CH		CMIDH01				不定	
000F061EH	CANメッセージ制御レジスタ01	CMCTRL01				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (3/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F0620H	CANメッセージ・データ・バイト01レジスタ02	CMDB0102	R/W				不定
000F0620H	CANメッセージ・データ・バイト0レジスタ02	CMDB002					不定
000F0621H	CANメッセージ・データ・バイト1レジスタ02	CMDB102					不定
000F0622H	CANメッセージ・データ・バイト23レジスタ02	CMDB2302					不定
000F0622H	CANメッセージ・データ・バイト2レジスタ02	CMDB202					不定
000F0623H	CANメッセージ・データ・バイト3レジスタ02	CMDB302					不定
000F0624H	CANメッセージ・データ・バイト45レジスタ02	CMDB4502					不定
000F0624H	CANメッセージ・データ・バイト4レジスタ02	CMDB402					不定
000F0625H	CANメッセージ・データ・バイト5レジスタ02	CMDB502					不定
000F0626H	CANメッセージ・データ・バイト67レジスタ02	CMDB6702					不定
000F0626H	CANメッセージ・データ・バイト6レジスタ02	CMDB602					不定
000F0627H	CANメッセージ・データ・バイト7レジスタ02	CMDB702					不定
000F0628H	CANメッセージ・データ長レジスタ02	CMDLC02					0000xxxxB
000F0629H	CANメッセージ・コンフィギュレーション・レジスタ02	CMCONF02					不定
000F062AH	CANメッセージIDレジスタ02	CMIDL02					不定
000F062CH		CMIDH02					不定
000F062EH	CANメッセージ制御レジスタ02	CMCTRL02					00x00000 000xx000B
000F0630H	CANメッセージ・データ・バイト01レジスタ03	CMDB0103					不定
000F0630H	CANメッセージ・データ・バイト0レジスタ03	CMDB003					不定
000F0631H	CANメッセージ・データ・バイト1レジスタ03	CMDB103					不定
000F0632H	CANメッセージ・データ・バイト23レジスタ03	CMDB2303					不定
000F0632H	CANメッセージ・データ・バイト2レジスタ03	CMDB203					不定
000F0633H	CANメッセージ・データ・バイト3レジスタ03	CMDB303					不定
000F0634H	CANメッセージ・データ・バイト45レジスタ03	CMDB4503					不定
000F0634H	CANメッセージ・データ・バイト4レジスタ03	CMDB403					不定
000F0635H	CANメッセージ・データ・バイト5レジスタ03	CMDB503					不定
000F0636H	CANメッセージ・データ・バイト67レジスタ03	CMDB6703					不定
000F0636H	CANメッセージ・データ・バイト6レジスタ03	CMDB603				不定	
000F0637H	CANメッセージ・データ・バイト7レジスタ03	CMDB703				不定	
000F0638H	CANメッセージ・データ長レジスタ03	CMDLC03				0000xxxxB	
000F0639H	CANメッセージ・コンフィギュレーション・レジスタ03	CMCONF03				不定	
000F063AH	CANメッセージIDレジスタ03	CMIDL03				不定	
000F063CH		CMIDH03				不定	
000F063EH	CANメッセージ制御レジスタ03	CMCTRL03				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (4/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F0640H	CANメッセージ・データ・バイト01レジスタ04	CMDB0104	R/W				不定
000F0640H	CANメッセージ・データ・バイト0レジスタ04	CMDB004					不定
000F0641H	CANメッセージ・データ・バイト1レジスタ04	CMDB104					不定
000F0642H	CANメッセージ・データ・バイト23レジスタ04	CMDB2304					不定
000F0642H	CANメッセージ・データ・バイト2レジスタ04	CMDB204					不定
000F0643H	CANメッセージ・データ・バイト3レジスタ04	CMDB304					不定
000F0644H	CANメッセージ・データ・バイト45レジスタ04	CMDB4504					不定
000F0644H	CANメッセージ・データ・バイト4レジスタ04	CMDB404					不定
000F0645H	CANメッセージ・データ・バイト5レジスタ04	CMDB504					不定
000F0646H	CANメッセージ・データ・バイト67レジスタ04	CMDB6704					不定
000F0646H	CANメッセージ・データ・バイト6レジスタ04	CMDB604					不定
000F0647H	CANメッセージ・データ・バイト7レジスタ04	CMDB704					不定
000F0648H	CANメッセージ・データ長レジスタ04	CM DLC04					0000xxxxB
000F0649H	CANメッセージ・コンフィギュレーション・レジスタ04	CM CON F04					不定
000F064AH	CANメッセージIDレジスタ04	CMIDL04					不定
000F064CH		CMIDH04					不定
000F064EH	CANメッセージ制御レジスタ04	CM CTRL04					00x00000 000xx000B
000F0650H	CANメッセージ・データ・バイト01レジスタ05	CMDB0105					不定
000F0650H	CANメッセージ・データ・バイト0レジスタ05	CMDB005				不定	
000F0651H	CANメッセージ・データ・バイト1レジスタ05	CMDB105				不定	
000F0652H	CANメッセージ・データ・バイト23レジスタ05	CMDB2305				不定	
000F0652H	CANメッセージ・データ・バイト2レジスタ05	CMDB205				不定	
000F0653H	CANメッセージ・データ・バイト3レジスタ05	CMDB305				不定	
000F0654H	CANメッセージ・データ・バイト45レジスタ05	CMDB4505				不定	
000F0654H	CANメッセージ・データ・バイト4レジスタ05	CMDB405				不定	
000F0655H	CANメッセージ・データ・バイト5レジスタ05	CMDB505				不定	
000F0656H	CANメッセージ・データ・バイト67レジスタ05	CMDB6705				不定	
000F0656H	CANメッセージ・データ・バイト6レジスタ05	CMDB605				不定	
000F0657H	CANメッセージ・データ・バイト7レジスタ05	CMDB705				不定	
000F0658H	CANメッセージ・データ長レジスタ05	CM DLC05				0000xxxxB	
000F0659H	CANメッセージ・コンフィギュレーション・レジスタ05	CM CON F05				不定	
000F065AH	CANメッセージIDレジスタ05	CMIDL05				不定	
000F065CH		CMIDH05				不定	
000F065EH	CANメッセージ制御レジスタ05	CM CTRL05				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (5/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F0660H	CANメッセージ・データ・バイト01レジスタ06	CMDB0106	R/W				不定
000F0660H	CANメッセージ・データ・バイト0レジスタ06	CMDB006					不定
000F0661H	CANメッセージ・データ・バイト1レジスタ06	CMDB106					不定
000F0662H	CANメッセージ・データ・バイト23レジスタ06	CMDB2306				不定	
000F0662H	CANメッセージ・データ・バイト2レジスタ06	CMDB206				不定	
000F0663H	CANメッセージ・データ・バイト3レジスタ06	CMDB306				不定	
000F0664H	CANメッセージ・データ・バイト45レジスタ06	CMDB4506				不定	
000F0664H	CANメッセージ・データ・バイト4レジスタ06	CMDB406				不定	
000F0665H	CANメッセージ・データ・バイト5レジスタ06	CMDB506				不定	
000F0666H	CANメッセージ・データ・バイト67レジスタ06	CMDB6706				不定	
000F0666H	CANメッセージ・データ・バイト6レジスタ06	CMDB606				不定	
000F0667H	CANメッセージ・データ・バイト7レジスタ06	CMDB706				不定	
000F0668H	CANメッセージ・データ長レジスタ06	CMDLC06				0000xxxxB	
000F0669H	CANメッセージ・コンフィギュレーション・レジスタ06	CMCONF06				不定	
000F066AH	CANメッセージIDレジスタ06	CMIDL06				不定	
000F066CH		CMIDH06				不定	
000F066EH	CANメッセージ制御レジスタ06	CMCTRL06				00x00000 000xx000B	
000F0670H	CANメッセージ・データ・バイト01レジスタ07	CMDB0107				不定	
000F0670H	CANメッセージ・データ・バイト0レジスタ07	CMDB007				不定	
000F0671H	CANメッセージ・データ・バイト1レジスタ07	CMDB107				不定	
000F0672H	CANメッセージ・データ・バイト23レジスタ07	CMDB2307				不定	
000F0672H	CANメッセージ・データ・バイト2レジスタ07	CMDB207				不定	
000F0673H	CANメッセージ・データ・バイト3レジスタ07	CMDB307				不定	
000F0674H	CANメッセージ・データ・バイト45レジスタ07	CMDB4507				不定	
000F0674H	CANメッセージ・データ・バイト4レジスタ07	CMDB407				不定	
000F0675H	CANメッセージ・データ・バイト5レジスタ07	CMDB507				不定	
000F0676H	CANメッセージ・データ・バイト67レジスタ07	CMDB6707				不定	
000F0676H	CANメッセージ・データ・バイト6レジスタ07	CMDB607				不定	
000F0677H	CANメッセージ・データ・バイト7レジスタ07	CMDB707				不定	
000F0678H	CANメッセージ・データ長レジスタ07	CMDLC07				0000xxxxB	
000F0679H	CANメッセージ・コンフィギュレーション・レジスタ07	CMCONF07				不定	
000F067AH	CANメッセージIDレジスタ07	CMIDL07				不定	
000F067CH		CMIDH07				不定	
000F067EH	CANメッセージ制御レジスタ07	CMCTRL07				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (6/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F0680H	CANメッセージ・データ・バイト01レジスタ08	CMDB0108	R/W				不定
000F0680H	CANメッセージ・データ・バイト0レジスタ08	CMDB008					不定
000F0681H	CANメッセージ・データ・バイト1レジスタ08	CMDB108					不定
000F0682H	CANメッセージ・データ・バイト23レジスタ08	CMDB2308				不定	
000F0682H	CANメッセージ・データ・バイト2レジスタ08	CMDB208				不定	
000F0683H	CANメッセージ・データ・バイト3レジスタ08	CMDB308				不定	
000F0684H	CANメッセージ・データ・バイト45レジスタ08	CMDB4508				不定	
000F0684H	CANメッセージ・データ・バイト4レジスタ08	CMDB408				不定	
000F0685H	CANメッセージ・データ・バイト5レジスタ08	CMDB508				不定	
000F0686H	CANメッセージ・データ・バイト67レジスタ08	CMDB6708				不定	
000F0686H	CANメッセージ・データ・バイト6レジスタ08	CMDB608				不定	
000F0687H	CANメッセージ・データ・バイト7レジスタ08	CMDB708				不定	
000F0688H	CANメッセージ・データ長レジスタ08	CMDLC08				0000xxxxB	
000F0689H	CANメッセージ・コンフィギュレーション・レジスタ08	CMCONF08				不定	
000F068AH	CANメッセージIDレジスタ08	CMIDL08				不定	
000F068CH		CMIDH08				不定	
000F068EH	CANメッセージ制御レジスタ08	CMCTRL08				00x00000 000xx000B	
000F0690H	CANメッセージ・データ・バイト01レジスタ09	CMDB0109				不定	
000F0690H	CANメッセージ・データ・バイト0レジスタ09	CMDB009				不定	
000F0691H	CANメッセージ・データ・バイト1レジスタ09	CMDB109				不定	
000F0692H	CANメッセージ・データ・バイト23レジスタ09	CMDB2309				不定	
000F0692H	CANメッセージ・データ・バイト2レジスタ09	CMDB209				不定	
000F0693H	CANメッセージ・データ・バイト3レジスタ09	CMDB309				不定	
000F0694H	CANメッセージ・データ・バイト45レジスタ09	CMDB4509				不定	
000F0694H	CANメッセージ・データ・バイト4レジスタ09	CMDB409				不定	
000F0695H	CANメッセージ・データ・バイト5レジスタ09	CMDB509				不定	
000F0696H	CANメッセージ・データ・バイト67レジスタ09	CMDB6709				不定	
000F0696H	CANメッセージ・データ・バイト6レジスタ09	CMDB609				不定	
000F0697H	CANメッセージ・データ・バイト7レジスタ09	CMDB709				不定	
000F0698H	CANメッセージ・データ長レジスタ09	CMDLC09				0000xxxxB	
000F0699H	CANメッセージ・コンフィギュレーション・レジスタ09	CMCONF09				不定	
000F069AH	CANメッセージIDレジスタ09	CMIDL09				不定	
000F069CH		CMIDH09				不定	
000F069EH	CANメッセージ制御レジスタ09	CMCTRL09				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (7/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F06A0H	CANメッセージ・データ・バイト01レジスタ10	CMDB0110	R/W				不定
000F06A0H	CANメッセージ・データ・バイト0レジスタ10	CMDB010					不定
000F06A1H	CANメッセージ・データ・バイト1レジスタ10	CMDB110					不定
000F06A2H	CANメッセージ・データ・バイト23レジスタ10	CMDB2310					不定
000F06A2H	CANメッセージ・データ・バイト2レジスタ10	CMDB210					不定
000F06A3H	CANメッセージ・データ・バイト3レジスタ10	CMDB310					不定
000F06A4H	CANメッセージ・データ・バイト45レジスタ10	CMDB4510					不定
000F06A4H	CANメッセージ・データ・バイト4レジスタ10	CMDB410					不定
000F06A5H	CANメッセージ・データ・バイト5レジスタ10	CMDB510					不定
000F06A6H	CANメッセージ・データ・バイト67レジスタ10	CMDB6710					不定
000F06A6H	CANメッセージ・データ・バイト6レジスタ10	CMDB610					不定
000F06A7H	CANメッセージ・データ・バイト7レジスタ10	CMDB710					不定
000F06A8H	CANメッセージ・データ長レジスタ10	CMDLC10					0000xxxxB
000F06A9H	CANメッセージ・コンフィギュレーション・レジスタ10	CMCONF10					不定
000F06AAH	CANメッセージIDレジスタ10	CMIDL10					不定
000F06ACH		CMIDH10					不定
000F06AEH	CANメッセージ制御レジスタ10	CMCTRL10					00x00000 000xx000B
000F06B0H	CANメッセージ・データ・バイト01レジスタ11	CMDB0111					不定
000F06B0H	CANメッセージ・データ・バイト0レジスタ11	CMDB011					不定
000F06B1H	CANメッセージ・データ・バイト1レジスタ11	CMDB111					不定
000F06B2H	CANメッセージ・データ・バイト23レジスタ11	CMDB2311					不定
000F06B2H	CANメッセージ・データ・バイト2レジスタ11	CMDB211					不定
000F06B3H	CANメッセージ・データ・バイト3レジスタ11	CMDB311					不定
000F06B4H	CANメッセージ・データ・バイト45レジスタ11	CMDB4511					不定
000F06B4H	CANメッセージ・データ・バイト4レジスタ11	CMDB411					不定
000F06B5H	CANメッセージ・データ・バイト5レジスタ11	CMDB511					不定
000F06B6H	CANメッセージ・データ・バイト67レジスタ11	CMDB6711					不定
000F06B6H	CANメッセージ・データ・バイト6レジスタ11	CMDB611				不定	
000F06B7H	CANメッセージ・データ・バイト7レジスタ11	CMDB711				不定	
000F06B8H	CANメッセージ・データ長レジスタ11	CMDLC11				0000xxxxB	
000F06B9H	CANメッセージ・コンフィギュレーション・レジスタ11	CMCONF11				不定	
000F06BAH	CANメッセージIDレジスタ11	CMIDL11				不定	
000F06BCH		CMIDH11				不定	
000F06BEH	CANメッセージ制御レジスタ11	CMCTRL11				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (8/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F06C0H	CANメッセージ・データ・バイト01レジスタ12	CMDB0112	R/W				不定
000F06C0H	CANメッセージ・データ・バイト0レジスタ12	CMDB012					不定
000F06C1H	CANメッセージ・データ・バイト1レジスタ12	CMDB112					不定
000F06C2H	CANメッセージ・データ・バイト23レジスタ12	CMDB2312				不定	
000F06C2H	CANメッセージ・データ・バイト2レジスタ12	CMDB212				不定	
000F06C3H	CANメッセージ・データ・バイト3レジスタ12	CMDB312				不定	
000F06C4H	CANメッセージ・データ・バイト45レジスタ12	CMDB4512				不定	
000F06C4H	CANメッセージ・データ・バイト4レジスタ12	CMDB412				不定	
000F06C5H	CANメッセージ・データ・バイト5レジスタ12	CMDB512				不定	
000F06C6H	CANメッセージ・データ・バイト67レジスタ12	CMDB6712				不定	
000F06C6H	CANメッセージ・データ・バイト6レジスタ12	CMDB612				不定	
000F06C7H	CANメッセージ・データ・バイト7レジスタ12	CMDB712				不定	
000F06C8H	CANメッセージ・データ長レジスタ12	CMDLC12				0000xxxxB	
000F06C9H	CANメッセージ・コンフィギュレーション・レジスタ12	CMCONF12				不定	
000F06CAH	CANメッセージIDレジスタ12	CMIDL12				不定	
000F06CCH		CMIDH12				不定	
000F06CEH	CANメッセージ制御レジスタ12	CMCTRL12				00x00000 000xx000B	
000F06D0H	CANメッセージ・データ・バイト01レジスタ13	CMDB0113				不定	
000F06D0H	CANメッセージ・データ・バイト0レジスタ13	CMDB013				不定	
000F06D1H	CANメッセージ・データ・バイト1レジスタ13	CMDB113				不定	
000F06D2H	CANメッセージ・データ・バイト23レジスタ13	CMDB2313				不定	
000F06D2H	CANメッセージ・データ・バイト2レジスタ13	CMDB213				不定	
000F06D3H	CANメッセージ・データ・バイト3レジスタ13	CMDB313				不定	
000F06D4H	CANメッセージ・データ・バイト45レジスタ13	CMDB4513				不定	
000F06D4H	CANメッセージ・データ・バイト4レジスタ13	CMDB413				不定	
000F06D5H	CANメッセージ・データ・バイト5レジスタ13	CMDB513				不定	
000F06D6H	CANメッセージ・データ・バイト67レジスタ13	CMDB6713				不定	
000F06D6H	CANメッセージ・データ・バイト6レジスタ13	CMDB613				不定	
000F06D7H	CANメッセージ・データ・バイト7レジスタ13	CMDB713				不定	
000F06D8H	CANメッセージ・データ長レジスタ13	CMDLC13				0000xxxxB	
000F06D9H	CANメッセージ・コンフィギュレーション・レジスタ13	CMCONF13				不定	
000F06DAH	CANメッセージIDレジスタ13	CMIDL13				不定	
000F06DCH		CMIDH13				不定	
000F06DEH	CANメッセージ制御レジスタ13	CMCTRL13				00x00000 000xx000B	

表13-16 レジスタ・アクセス・タイプ (9/9)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
000F06E0H	CANメッセージ・データ・バイト01レジスタ14	CMDB0114	R/W				不定
000F06E0H	CANメッセージ・データ・バイト0レジスタ14	CMDB014					不定
000F06E1H	CANメッセージ・データ・バイト1レジスタ14	CMDB114					不定
000F06E2H	CANメッセージ・データ・バイト23レジスタ14	CMDB2314					不定
000F06E2H	CANメッセージ・データ・バイト2レジスタ14	CMDB214					不定
000F06E3H	CANメッセージ・データ・バイト3レジスタ14	CMDB314					不定
000F06E4H	CANメッセージ・データ・バイト45レジスタ14	CMDB4514					不定
000F06E4H	CANメッセージ・データ・バイト4レジスタ14	CMDB414					不定
000F06E5H	CANメッセージ・データ・バイト5レジスタ14	CMDB514					不定
000F06E6H	CANメッセージ・データ・バイト67レジスタ14	CMDB6714					不定
000F06E6H	CANメッセージ・データ・バイト6レジスタ14	CMDB614					不定
000F06E7H	CANメッセージ・データ・バイト7レジスタ14	CMDB714					不定
000F06E8H	CANメッセージ・データ長レジスタ14	CMDLC14					0000xxxxB
000F06E9H	CANメッセージ・コンフィギュレーション・レジスタ14	CMCONF14					不定
000F06EAH	CANメッセージIDレジスタ14	CMIDL14					不定
000F06ECH		CMIDH14					不定
000F06EEH	CANメッセージ制御レジスタ14	CMCTRL14					00x00000 000xx000B
000F06F0H	CANメッセージ・データ・バイト01レジスタ15	CMDB0115					不定
000F06F0H	CANメッセージ・データ・バイト0レジスタ15	CMDB015				不定	
000F06F1H	CANメッセージ・データ・バイト1レジスタ15	CMDB115				不定	
000F06F2H	CANメッセージ・データ・バイト23レジスタ15	CMDB2315				不定	
000F06F2H	CANメッセージ・データ・バイト2レジスタ15	CMDB215				不定	
000F06F3H	CANメッセージ・データ・バイト3レジスタ15	CMDB315				不定	
000F06F4H	CANメッセージ・データ・バイト45レジスタ15	CMDB4515				不定	
000F06F4H	CANメッセージ・データ・バイト4レジスタ15	CMDB415				不定	
000F06F5H	CANメッセージ・データ・バイト5レジスタ15	CMDB515				不定	
000F06F6H	CANメッセージ・データ・バイト67レジスタ15	CMDB6715				不定	
000F06F6H	CANメッセージ・データ・バイト6レジスタ15	CMDB615				不定	
000F06F7H	CANメッセージ・データ・バイト7レジスタ15	CMDB715				不定	
000F06F8H	CANメッセージ・データ長レジスタ15	CMDLC15				0000xxxxB	
000F06F9H	CANメッセージ・コンフィギュレーション・レジスタ15	CMCONF15				不定	
000F06FAH	CANメッセージIDレジスタ15	CMIDL15				不定	
000F06FCH		CMIDH15				不定	
000F06FEH	CANメッセージ制御レジスタ15	CMCTRL15				00x00000 000xx000B	

13.5.3 レジスタのビット構成

表13-17 CANグローバル・レジスタのビット構成

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
000F05C0H	CGMCTRL (W)	0	0	0	0	0	0	0	Clear GOM
000F05C1H		0	0	0	0	0	0	Set EFSD	Set GOM
000F05C0H	CGMCTRL (R)	0	0	0	0	0	0	EFSD	GOM
000F05C1H		MBON	0	0	0	0	0	0	0
000F05C6H	CGMABT (W)	0	0	0	0	0	0	0	Clear ABTTRG
000F05C7H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
000F05C6H	CGMABT (R)	0	0	0	0	0	0	ABTCLR	ABTTRG
000F05C7H		0	0	0	0	0	0	0	0
000F05C8H	CGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0
000F05CEH	CGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 (R) リード時

(W) ライト時

表13-18 CANモジュール・レジスタのビット構成 (1/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
000F05D0H	CMASK1L	CMID1 [7:0]							
000F05D1H		CMID1 [15:8]							
000F05D2H	CMASK1H	CMID1 [23:16]							
000F05D3H		0	0	0	CMID1 [28:24]				
000F05D4H	CMASK2L	CMID2 [7:0]							
000F05D5H		CMID2 [15:8]							
000F05D6H	CMASK2H	CMID2 [23:16]							
000F05D7H		0	0	0	CMID2 [28:24]				
000F05D8H	CMASK3L	CMID3 [7:0]							
000F05D9H		CMID3 [15:8]							
000F05DAH	CMASK3H	CMID3 [23:16]							
000F05DBH		0	0	0	CMID3 [28:24]				
000F05DCH	CMASK4L	CMID4 [7:0]							
000F05DDH		CMID4 [15:8]							
000F05DEH	CMASK4H	CMID4 [23:16]							
000F05DFH		0	0	0	CMID4 [28:24]				
000F05E0H	CCTRL (W)	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
000F05E1H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
000F05E0H	CCTRL (R)	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0
000F05E1H		0	0	0	0	0	0	RSTAT	TSTAT
000F05E2H	CLEC (W)	0	0	0	0	0	0	0	0
000F05E2H	CLEC (R)	0	0	0	0	0	LEC2	LEC1	LEC0
000F05E3H	CINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
000F05E4H	CERC	TEC [7:0]							
000F05E5H		REPS	REC [6:0]						
000F05E6H	CIE (W)	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
000F05E7H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
000F05E6H	CIE (R)	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
000F05E7H		0	0	0	0	0	0	0	0
000F05E8H	CINTS (W)	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
000F05E9H		0	0	0	0	0	0	0	0
000F05E8H	CINTS (R)	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
000F05E9H		0	0	0	0	0	0	0	0

注意 実際のレジスタ・アドレスは、次のように計算されます。

レジスタ・アドレス = CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)
+ 上表に示すレジスタ個別のオフセット・アドレス

備考 (R) リード時

(W) ライト時

表13-18 CANモジュール・レジスタのビット構成 (2/2)

アドレス	略号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
000F05EAH	CBRP	TQPRS [7:0]							
000F05ECH	CBTR	0	0	0	0	TSEG1 [3:0]			
000F05EDH		0	0	SJW [1:0]		0	TSEG2 [2:0]		
000F05EEH	CLIPT	LIPT [7:0]							
000F05F0H	CRGPT (W)	0	0	0	0	0	0	0	Clear ROVF
000F05F1H		0	0	0	0	0	0	0	0
000F05F0H	CRGPT (R)	0	0	0	0	0	0	RHPM	ROVF
000F05F1H		RGPT [7:0]							
000F05F2H	CLOPT	LOPT [7:0]							
000F05F4H	CTGPT (W)	0	0	0	0	0	0	0	Clear TOVF
000F05F5H		0	0	0	0	0	0	0	0
000F05F4H	CTGPT (R)	0	0	0	0	0	0	THPM	TOVF
000F05F5H		TGPT [7:0]							
000F05F6H	CTS (W)	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
000F05F7H		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
000F05F6H	CTS (R)	0	0	0	0	0	TSLOCK	TSSEL	TSEN
000F05F7H		0	0	0	0	0	0	0	0

注意 実際のレジスタ・アドレスは、次のように計算されます。

レジスタ・アドレス = CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)
+ 上表に示すレジスタ個別のオフセット・アドレス

備考 (R) リード時

(W) ライト時

表13-19 メッセージ・バッファ・レジスタのビット構成

アドレス	略号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
000F06x0H	CMDB01m	メッセージ・データ (バイト0)							
000F06x1H		メッセージ・データ (バイト1)							
000F06x0H	CMDB0m	メッセージ・データ (バイト0)							
000F06x1H	CMDB1m	メッセージ・データ (バイト1)							
000F06x2H	CMDB23m	メッセージ・データ (バイト2)							
000F06x3H		メッセージ・データ (バイト3)							
000F06x2H	CMDB2m	メッセージ・データ (バイト2)							
000F06x3H	CMDB3m	メッセージ・データ (バイト3)							
000F06x4H	CMDB45m	メッセージ・データ (バイト4)							
000F06x5H		メッセージ・データ (バイト5)							
000F06x4H	CMDB4m	メッセージ・データ (バイト4)							
000F06x5H	CMDB5m	メッセージ・データ (バイト5)							
000F06x6H	CMDB67m	メッセージ・データ (バイト6)							
000F06x7H		メッセージ・データ (バイト7)							
000F06x6H	CMDB6m	メッセージ・データ (バイト6)							
000F06x7H	CMDB7m	メッセージ・データ (バイト7)							
000F06x8H	CMDLm	0				MDLC3	MDLC2	MDLC1	MDLC0
000F06x9H	CMCONFm	OVS	RTR	MT2	MT1	MT0	0	0	MA0
000F06xAH	CMIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
000F06xBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
000F06xCH	CMIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
000F06xDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
000F06xEH	CMCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
000F06xFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
000F06xEH	CMCTRLm (R)	0	0	0	MOW	IE	DN	TRQ	RDY
000F06xFH		0	0	MUC	0	0	0	0	0

注意 実際のレジスタ・アドレスは、次のように計算されます。

$$\text{レジスタ・アドレス} = \text{CANグローバル・レジスタ領域のオフセット・アドレス (チャンネルごとに異なります)} \\ + \text{上表に示すレジスタ個別のオフセット・アドレス}$$

備考 1. (R) リード時
(W) ライト時

2. m = 0-15

13.6 ビットのセット／クリア機能

CANの制御レジスタには、ビットのセット／クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため、値の直接書き込み（ビット操作、リード・モディファイ・ライト、目標値の直接書き込み）をしないでください。

- ・ CANグローバル・モジュール制御レジスタ (CGMCTRL)
- ・ CANグローバル自動ブロック送信制御レジスタ (CGMABT)
- ・ CANモジュール制御レジスタ (CCTRL)
- ・ CANモジュール割り込み許可レジスタ (CIE)
- ・ CANモジュール割り込みステータス・レジスタ (CINTS)
- ・ CANモジュール受信履歴・リスト・レジスタ (CRGPT)
- ・ CANモジュール送信履歴・リスト・レジスタ (CTGPT)
- ・ CANモジュール・タイム・スタンプ・レジスタ (CTS)
- ・ CANメッセージ制御レジスタm (CMCTRLm)

備考 m = 0-15

上記レジスタの16ビットは、すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図13-23の手順で行ってください。

上記レジスタの下位8ビットのセット／クリアは、上位8ビットと下位8ビットの組み合わせで行います（図13-24 セット／クリア設定後のビット状態参照）。図13-23のように、setビットとclearビットの値により、該当するレジスタのビットをセット／クリア／変化なしと操作できます。

図13-23 ビットのセット/クリアの操作例

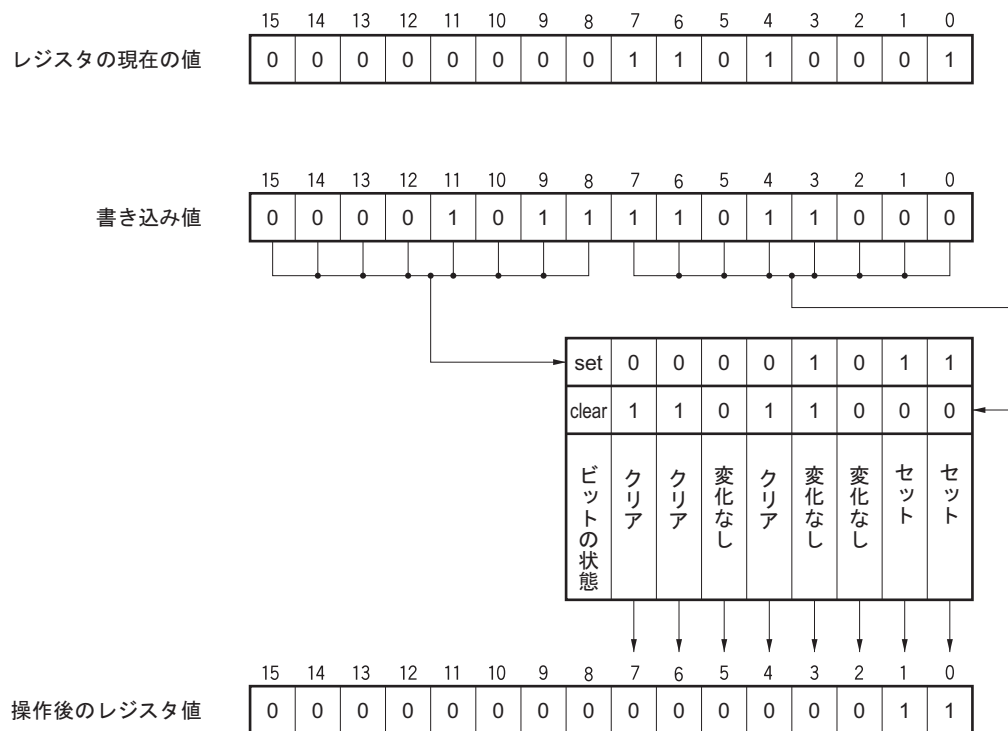


図13-24 セット/クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット/クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

13.7 制御レジスタ

備考 m = 0-15

(1) 周辺クロック選択レジスタ (PCKSEL)

各周辺ハードウェアに対する動作クロックの選択と供給を設定するレジスタです。
PCKSELは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注意 PCKSELレジスタは、各周辺ハードウェアの動作開始前に設定してください。

図13-25 周辺クロック選択レジスタ (PCKSEL) のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PCKSEL	0	0	0	CANMCKE	0	WUTMCKE	WUTMCK1	WUTMCK0

CANMCKE	CANコントローラの動作クロックの制御
0	動作クロック供給停止 ・CANコントローラはリセット状態
1	動作クロック供給

(2) CANグローバル・モジュール制御レジスタ (CGMCTRL)

CGMCTRLレジスタは、CANモジュールの動作を制御します。

図13-26 CANグローバル・モジュール制御レジスタ (CGMCTRL) のフォーマット (1/2)

アドレス : F05C0H リセット時 : 0000H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CGMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

(b) ライト時

	15	14	13	12	11	10	9	8
CGMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

(a) リード時

MBON	メッセージ・バッファ・レジスタおよび送信/受信履歴・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信/受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信/受信履歴・レジスタへのライト・アクセスおよびリード・アクセスは有効

注意1. MBONビットがクリア (0) されている間は、ソフトウェアによるメッセージ・バッファ (CMDB0m, CMDB1m, CMDB01m, CMDB2m, CMDB3m, CMDB23m, CMDB4m, CMDB5m, CMDB45m, CMDB6m, CMDB7m, CMDB67m, CMDLCm, CMCONFm, CMIDLm, CMIDHm, CMCTRLm) および送信履歴, 受信履歴に関連したレジスタ (CLOPT, CTGPT, CLIPT, CRGPT) へのアクセスは無効です。

2. このビットはリード・オンリーです。MBONビット = 0の状態でも1を書き込みしても、MBONビットは変化せず、メッセージ・バッファ・レジスタおよび送信履歴, 受信履歴に関連したレジスタへのアクセスは無効のままです。

備考 CANスリープ・モード/CANストップ・モードに移行した場合、または、GOMビットをクリア (0) した場合に、MBONビットがクリア (0) されます。CANスリープ・モード/CANストップ・モードを解除した場合、またはGOMビットをセット (1) した場合に、MBONビットがセット (1) されます。

図13-26 CANグローバル・モジュール制御レジスタ (CGMCTRL) のフォーマット (2/2)

EFSD	強制シャット・ダウン有効ビット
0	GOMビット = 0による強制シャット・ダウンは無効
1	GOMビット = 0による強制シャット・ダウンは有効

注意 強制シャットダウンの要求を行う場合は、EFSDビットをセット (1) した直後に、GOMビットをクリア (0) してください。EFSDビットをセット (1) した直後にGOMビットをクリア (0) しないで、ソフトウェア (割り込み) またはDMAによる、その他のレジスタ・アクセス (CGMCTRLレジスタのリード含む) の実行をすると、EFSDビットは自動的にクリア (0) され、強制シャットダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

注意 GOMビットは、初期化モードのとき、またはEFSDビットをセット (1) した直後にのみクリア (0) 可能です。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット (1) する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア (0) する
1	0	GOMビットをセット (1) する
上記以外		GOMビットの変更なし

注意 GOMビットの設定とEFSDビットの設定は、常に別々に行ってください。

(3) CANグローバル・モジュール・クロック選択レジスタ (CGMCS)

CGMCSレジスタは、CANモジュール・システム・クロックを選択します。

図13-27 CANグローバル・モジュール・クロック選択レジスタ (CGMCS) のフォーマット

アドレス : F05CEH リセット時 : 0FH R/W

	7	6	5	4	3	2	1	0
CGMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック (f _{CANMOD})
0	0	0	0	f _{CAN/1}
0	0	0	1	f _{CAN/2}
0	0	1	0	f _{CAN/3}
0	0	1	1	f _{CAN/4}
0	1	0	0	f _{CAN/5}
0	1	0	1	f _{CAN/6}
0	1	1	0	f _{CAN/7}
0	1	1	1	f _{CAN/8}
1	0	0	0	f _{CAN/9}
1	0	0	1	f _{CAN/10}
1	0	1	0	f _{CAN/11}
1	0	1	1	f _{CAN/12}
1	1	0	0	f _{CAN/13}
1	1	0	1	f _{CAN/14}
1	1	1	0	f _{CAN/15}
1	1	1	1	f _{CAN/16} (初期値)

備考 f_{CAN} : CANへの供給クロック (f_{MAIN})

(4) CANグローバル自動ブロック送信制御レジスタ (CGMABT)

CGMABTレジスタは、自動ブロック送信 (ABT) 動作を制御します。

図13-28 CANグローバル自動ブロック送信制御レジスタ (CGMABT) のフォーマット (1/2)

アドレス : F05C6H リセット時 : 0000H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CGMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

(b) ライト時

	15	14	13	12	11	10	9	8
CGMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

注意 ABT付き通常動作モードから初期化モードに移行する前には、CGMABTレジスタには必ず初期値 (00H) を設定し、設定後はCGMABTレジスタが0000Hに初期化されたことを確実に確認してください。

(a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

備考1. ABTCLRビットはABTTRGビットがクリア (0) されている状態でセット (1) してください。ABTTRGビットがセット (1) されている状態で、ABTCLRビットをセット (1) した場合の動作保証はしません。

2. ABTCLRビットのセット (1) による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットが直ちに自動的にクリア (0) されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

注意 初期化モード中にABTTRGビットを設定 (ABTTRGビット = 1) しないでください。

初期化モード中にABTTRGビットを設定した場合、ABT付き通常動作モード移行後の動作は保証しません。TSTATビットがセット (1) されている間は、ABTTRGビットをセット (1) しないでください。ABTTRGビットをセット (1) する前に、TSTATビット = 0 であることを直接事前に確認してください。

図13-28 CANグローバル自動ブロック送信制御レジスタ (CGMABT) のフォーマット (2/2)

(b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は、ABTTRGビットのセット (1) による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

注意 ABTTRGビットをセット (1) しても、他ノードからメッセージを受信していた場合やABTメッセージ以外のメッセージ (メッセージ・バッファ8~メッセージ・バッファ15) を送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、ABTTRGビットをクリア (0) しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了 (成功/失敗問わず) するまで送信を続けます。

(5) CANグローバル自動ブロック送信遅延設定レジスタ (CGMABTD)

CGMABTDレジスタは、ABT付き通常動作モードにおいて、ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

図13-29 CANグローバル自動ブロック送信遅延設定レジスタ (CGMABTD) のフォーマット

アドレス : F05C8H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CGMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔 (単位はデータ・ビット・タイム ; DBT)
0	0	0	0	0 DBT (初期値)
0	0	0	1	2 ⁵ DBT
0	0	1	0	2 ⁶ DBT
0	0	1	1	2 ⁷ DBT
0	1	0	0	2 ⁸ DBT
0	1	0	1	2 ⁹ DBT
0	1	1	0	2 ¹⁰ DBT
0	1	1	1	2 ¹¹ DBT
1	0	0	0	2 ¹² DBT
上記以外				設定禁止

- 注意1. ABTTRGビットがセット (1) されている場合は、CGMABTDレジスタの内容は変更しないでください。
2. 実際にCANバス上に送信されるABTメッセージのタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ (メッセージ・バッファ8~メッセージ・バッファ15) に対する送信要求の設定状況によって変化します。

(6) CANモジュール・マスク・レジスタ (CMASKaL, CMASKaH) (a = 1, 2, 3, 4)

CMASKaL/CMASKaHレジスタは、メッセージのアイデンティファイア(ID)の一部をマスクすることで、マスクされた部分のID比較を無効にし、同一メッセージ・バッファ内の受信可能なメッセージ数を拡張します。

図13-30 CANモジュール・マスク・レジスタ (CMASKaL, CMASKaH) (a = 1, 2, 3, 4) のフォーマット (1/2)

・ CANモジュール・マスク1レジスタ (CMASK1L, CMASK1H)

アドレス : F05D0H (CMASK1L) , F05D2H (CMASK1H) リセット時 : 不定 R/W

	15	14	13	12	11	10	9	8
CMASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CMASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・ CANモジュール・マスク2レジスタ (CMASK2L, CMASK2H)

アドレス : F05D4H (CMASK2L) , F05D6H (CMASK2H) リセット時 : 不定 R/W

	15	14	13	12	11	10	9	8
CMASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CMASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

図13-30 CANモジュール・マスク・レジスタ (CMASKaL, CMASKaH) (a = 1, 2, 3, 4) のフォーマット (2/2)

・CANモジュール・マスク3レジスタ (CMASK3L, CMASK3H)

アドレス : F05D8H (CMASK3L) , F05DAH (CMASK3H) リセット時 : 不定 R/W

	15	14	13	12	11	10	9	8
CMASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CMASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CANモジュール・マスク4レジスタ (CMASK4L, CMASK4H)

アドレス : F05DCH (CMASK4L) , F05DEH (CMASK4H) リセット時 : 不定 R/W

	15	14	13	12	11	10	9	8
CMASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
CMASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません (マスクします)。

備考 マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合、CMID17-CMID0ビットは無視されます。したがって、受信IDはCMID28-CMID18ビットのみマスクされます。なお、標準および拡張IDはともに同一マスクを使用することができます。

(7) CANモジュール制御レジスタ (CCTRL)

CCTRLレジスタは、CANモジュールの動作モードを制御します。

図13-31 CANモジュール制御レジスタ (CCTRL) のフォーマット (1/4)

アドレス : F05E0H リセット時 : 0000H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CCTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

(b) ライト時

	15	14	13	12	11	10	9	8
CCTRL	Set	Set	0	Set	Set	Set	Set	Set
	7	6	5	4	3	2	1	0
	0	Clear	Clear	Clear	Clear	Clear	Clear	Clear
		AL	VALID	PSMODE1	PSMODE0	OPMODE2	OPMODE1	OPMODE0

(a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

備考 -RSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・受信フレームのSOFビット
- ・送信フレーム中のアービトレーション・ロスト発生時

-RSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

備考 -TSTATビットは、次の条件（タイミング）でセット（1）されます。

- ・送信フレームのSOFビット

-TSTATビットは、次の条件（タイミング）でクリア（0）されます。

- ・パソフ移行時
- ・送信フレーム中のアービトレーション・ロスト発生時
- ・インタフレーム・スペースの2ビット目にレセシブを検出時
- ・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

図13-31 CANモジュール制御レジスタ (CCTRL) のフォーマット (2/4)

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて、CERCレジスタとCINFOレジスタのクリア中ではありません。
1	初期化モードにおいて、CERCレジスタとCINFOレジスタがクリア中です。

- 備考 1. CCERCビットは、再初期化やバスオフ強制復帰の際に、CERCレジスタとCINFOレジスタをクリアするために使用します。初期化モードでのみ、セット (1) が可能です。
2. CERCおよびCINFOレジスタがクリアされるとCCERCビットも自動的にクリア (0) されます。
3. 初期化モードから任意の動作モードへの遷移要求と同時にCCERCビットのセット (1) が可能です。
4. セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット (1) した場合、受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されません。
1	シングル・ショット・モードにおいて、アービトレーション・ロストが発生した場合、再送信されます。

備考 ALビットは、シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア (0) されてから、有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア (0) されてから、有効なメッセージ・フレーム受信があります。

- 備考 1. 有効な受信メッセージ・フレームの検出には、受信メッセージ・バッファへの格納 (データ・フレーム) または送信メッセージ・バッファへの格納 (リモート・フレーム) の有無に依存しません。
2. 初期化モードから任意の動作モードに移行する前に、VALIDビットをクリア (0) してください。
3. CANバスにCANノードが2つのみ接続され、一方のCANノードが通常動作モードでメッセージ・フレームを送信し、もう一方のCANノードが受信オンリー・モードである場合は、受信オンリー・モードではACKが発生しないため、VALIDビットは送信ノードがエラー・パッシブになる前にセット (1) されることはありません。
4. VALIDビットをクリアする際は、Clear VALIDビットをセット (1) したあと、VALIDビットがクリアされることを確認してください。クリアされていない場合は、再度クリア処理を行ってください。

図13-31 CANモジュール制御レジスタ (CCTRL) のフォーマット (3/4)

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

- 注意 1. CANストップ・モードへの遷移およびCANストップ・モードからの遷移は、必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。
2. パワー・セーブ・モードを解除したあと、再度メッセージ・バッファへアクセスする前にCGMCTRLレジスタのMBONフラグを確認する必要があります。
3. CANスリープ・モードへの遷移要求は、ソフトウェアによりキャンセルされるかあるいはCANバスがバス・アイドル状態に遷移するまで保留されます。PSMODEビットを読み出すことでソフトウェアはCANスリープ・モードへの遷移状況を確認することができます。
4. パワー・セーブ・モードの設定変更は動作モード変更と組み合わせるはなりません。これらの設定はステップを分けて実行しなければなりません。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません (CANモジュールは初期化モード状態)。
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード (ABT付き通常動作モード)
0	1	1	受信オンリー・モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

- 注意 1. 初期化モードまたはパワー・セーブ・モードへの移行は、ある程度の時間がかかる可能性があるため、処理を実行する前にレジスタ値を読み込むことにより、モードの移行が成功したかどうかを必ず確認してください。
2. 動作モードで受信中の間に初期化モードを設定したとき、メッセージ・バッファのDNフラグをセットする最後の受信が発生する可能性があります。しかし、初期化モードから動作モードへ戻る遷移により、受信履歴・リストはクリアされます。従って、動作モードを再開する前に、全ての有効な受信メッセージ・バッファについて、全てのセットされたDNフラグをクリアしなければなりません。

備考 CANスリープ・モードまたはCANストップ・モード中、OPMODE [2:0]ビットはリード・オンリーです。

(b) ライト時

Set CCERC	CCERCビットの設定
1	CCERCビットをセット (1) する
上記以外	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア (0) する
1	0	ALビットをセット (1) する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア (0) する

図13-31 CANモジュール制御レジスタ (CCTRL) のフォーマット (4/4)

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア (0) する
1	0	PSMODE0ビットをセット (1) する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア (0) する
1	0	PSMODE1ビットをセット (1) する
上記以外		PSMODE1ビットの変更なし

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア (0) する
1	0	OPMODE0ビットをセット (1) する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア (0) する
1	0	OPMODE1ビットをセット (1) する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア (0) する
1	0	OPMODE2ビットをセット (1) する
上記以外		OPMODE2ビットの変更なし

(8) CANモジュール最終エラー情報レジスタ (CLEC)

CLECレジスタは、CANプロトコルのエラー情報を示します。

図13-32 CANモジュール最終エラー情報レジスタ (CLEC) のフォーマット

アドレス : F05E2H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
CLEC	0	0	0	0	0	LEC2	LEC1	LEC0

- 備考 1. CLECレジスタの内容は、任意の動作モードから初期化モードへの移行では、クリアされません。
2. CLECレジスタに対してソフトウェアにより00H以外の値を書き込みしようとした場合、アクセスは無視されます。

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー (CANモジュールは送信メッセージの一部として、レセシブ・ビットの送信をしようとしたが(アービトレーション・フィールドを除く)、CANバス上の値はドミナント・ビットであった場合)
1	0	1	ビット・エラー (CANモジュールは送信メッセージ、ACKビット、エラー・フレームまたはオーバーロード・フレームの一部として、ドミナント・ビットの送信をしようとしたが、CANバス上の値はレセシブ・ビットであった場合)
1	1	0	CRCエラー
1	1	1	未定義

(9) CANモジュール情報レジスタ (CINFO)

CINFOレジスタは、CANモジュールのステータスを示します。

図13-33 CANモジュール情報レジスタ (CINFO) のフォーマット

アドレス : F05E3H リセット時 : 00H R

	7	6	5	4	3	2	1	0
CINFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バスオフ状態ビット
0	バスオフ状態ではありません (送信エラー・カウンタ < 255) (送信エラー・カウントが256未満)
1	バスオフ状態 (送信エラー・カウンタ > 255) (送信エラーのカウンタが256以上)

TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満 (<96)
0	1	送信エラー・カウンタはワーニング・レベル範囲 (96.....127)
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバスオフ範囲 (> 128)

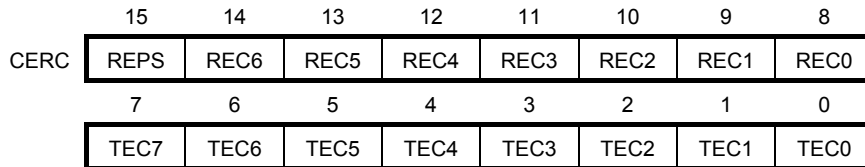
RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満 (<96)
0	1	受信エラー・カウンタはワーニング・レベル範囲 (96.....127)
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲 (> 128)

(10) CANモジュール・エラー・カウンタ・レジスタ (CERC)

CERCレジスタは、送受信エラー・カウンタのカウンタ値を示します。

図13-34 CANモジュール・エラー・カウンタ・レジスタ (CERC) のフォーマット

アドレス : F05E4H リセット時 : 0000H R



REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは、エラー・パッシブではない (<128)
1	受信エラー・カウンタは、エラー・パッシブ範囲 (128)

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウンタ数 受信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 受信エラー・パッシブ状態 (RECS [1:0]ビット = 11B) では、受信エラー・カウンタREC [6:0]ビットは無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウンタ数 送信エラー・カウンタの状態を反映します。カウンタ数はCANプロトコルにより定義されています。

備考 パスオフ中 (BOFFビット = 1) では、送信エラー・カウンタTEC [7:0]は無効です。

(11) CANモジュール割り込み許可レジスタ (CIE)

CIEレジスタは、CANモジュールの割り込み許可／禁止を設定します。

図13-35 CANモジュール割り込み許可レジスタ (CIE) のフォーマット (1/2)

アドレス : F05E6H リセット時 : 0000H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CIE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(b) ライト時

	15	14	13	12	11	10	9	8
CIE	0	0	Set	Set	Set	Set	Set	Set
			CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear	Clear	Clear	Clear	Clear	Clear
			CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタCINTSのCINTS [5:0]ビットに対応する割り込み出力禁止
1	割り込みステータス・レジスタCINTSのCINTS [5:0]ビットに対応する割り込み出力許可

(b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア (0) する
1	0	CIE5ビットをセット (1) する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア (0) する
1	0	CIE4ビットをセット (1) する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア (0) する
1	0	CIE3ビットをセット (1) する
上記以外		CIE3ビットの変更なし

図13-35 CANモジュール割り込み許可レジスタ (CIE) のフォーマット (2/2)

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア (0) する
1	0	CIE2ビットをセット (1) する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア (0) する
1	0	CIE1ビットをセット (1) する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア (0) する
1	0	CIE0ビットをセット (1) する
上記以外		CIE0ビットの変更なし

(12) CANモジュール割り込みステータス・レジスタ (CINTS)

CINTSレジスタは、CANモジュールの割り込みステータスを示します。

図13-36 CANモジュール割り込みステータス・レジスタ (CINTS) のフォーマット

アドレス : F05E8H リセット時 : 0000H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CINTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(b) ライト時

	15	14	13	12	11	10	9	8
CINTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear	Clear	Clear	Clear	Clear	Clear
			CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

(a) リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベントの未発生
1	関連する割り込みソース・イベントの発生

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイクアップ割り込み ^注
CINTS4	アービトラージ・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注 CANバス動作によるCANスリープ・モードからのウエイクアップによってのみ、CINTS5がセット (1) されます。ソフトウェアによるCANスリープ・モードの解除ではCINTS5はセット (1) されません。

(b) ライト時

Clear	CINTS5-CINTS0ビットの設定
CINTS5-CINTS0	
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア (0) する

注意 このレジスタのステータス・ビットは自動的にクリアされることはありませんので、割り込み処理内で各ステータスの確認が必要な場合には、ソフトウェアにてクリア (0) を行ってください。

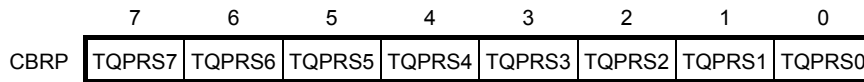
(13) CANモジュール・ビット・レート・プリスケアラ・レジスタ (CBRP)

CBRPレジスタは、CANプロトコル・レイヤ基本クロック (f_{TQ}) を選択します。また、通信ポー・レートは、CBTRレジスタに設定されます。

注意 CBRPレジスタは、初期化モードのときのみライト・アクセス可能です。

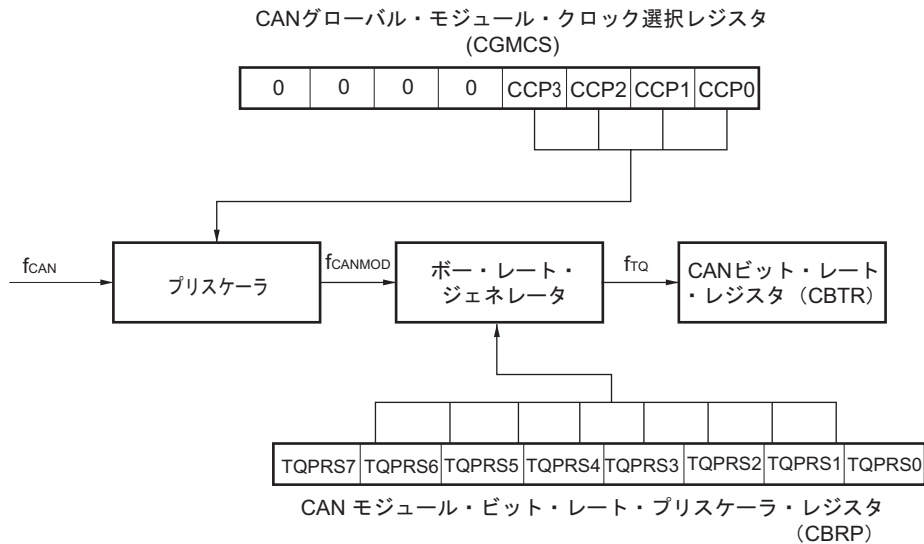
図13-37 CANモジュール・ビット・レート・プリスケアラ・レジスタ (CBRP) のフォーマット

アドレス : F05EAH リセット時 : FFH R/W



TQPRS7-TQPRS0	CANプロトコル・レイヤ基本システム・クロック (f_{TQ})
0	$f_{CANMOD}/1$
1	$f_{CANMOD}/2$
.....
n	$f_{CANMOD}/(n+1)$
.....
255	$f_{CANMOD}/256$ (初期値)

図13-38 CANモジュールのクロック



備考 f_{CAN} : CANへの供給クロック (f_{MAIN})

f_{CANMOD} : CANモジュール・システム・クロック

f_{TQ} : CANプロトコル・レイヤ基本システム・クロック

(14) CANモジュール・ビット・レート・レジスタ (CBTR)

CBTRレジスタは、通信ボー・レートのデータ・ビット・タイムを制御します。

図13-39 CANモジュール・ビット・レート・レジスタ (CBTR) のフォーマット (1/2)

アドレス : F05ECH リセット時 : 370FH R/W

	15	14	13	12	11	10	9	8
CBTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ (初期値)

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ (初期値)

図13-39 CANモジュール・ビット・レート・レジスタ (CBTR) のフォーマット (2/2)

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ ^注
0	0	1	0	3TQ ^注
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ (初期値)

注 CBRPレジスタ = 00Hの場合は、本設定は使用できません。

備考 $TQ = 1/f_{rQ}$ (f_{rQ} : CANプロトコル・レイヤ基本システム・クロック)

図13-40 データ・ビット・タイム

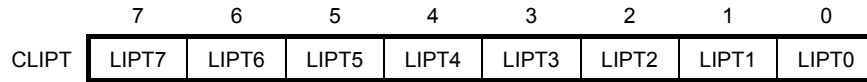


(15) CANモジュール最終受信ポインタ・レジスタ (CLIPT)

CLIPTレジスタは、最後に受信格納したメッセージ・バッファ番号を示します。

図13-41 CANモジュール最終受信ポインタ・レジスタ (CLIPT) のフォーマット

アドレス : F05EEH リセット時 : 不定 R



LIPT7-LIPT0	最終受信ポインタ・レジスタ (CLIPT)
0.....15	CLIPTレジスタをリードすると、受信履歴・リストの最終受信ポインタ (LIPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は、CLIPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にCRGPTレジスタのRHPMビットがセット (1) されている場合には、CLIPTレジスタの読み出し値は不定となります。

(16) CANモジュール受信履歴・リスト・レジスタ (CRGPT)

CRGPTレジスタは、受信履歴・リストを読み出すためのレジスタです。

図13-42 CANモジュール受信履歴・リスト・レジスタ (CRGPT) のフォーマット (1/2)

アドレス : F05F0H リセット時 : xx02H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CRGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

(b) ライト時

	15	14	13	12	11	10	9	8
CRGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

(a) リード時

RGPT7-RGPT0	受信履歴・リスト読み出しポインタ
0.....15	CRGPTレジスタをリードすると、受信履歴・リストの読み出しポインタ (RGPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM ^注	受信履歴・リストのポインタ一致
0	受信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

注 RHPMビット = 1のとき、RGPT0-RGPT7ビットのリード値は無効です。

ROVF ^注	受信履歴・リスト・オーバーフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信履歴・リストに記録されます (受信履歴・リストに空きのエレメントが存在します)。
1	ホスト・プロセッサが受信履歴・リスト (RHL) を最後に使用 (たとえば、CRGPTレジスタの読み込みなど) してから少なくとも23個のエントリが格納されています。 ROVFビットがセットされていると、すべてのメッセージ・バッファ番号はLIPT-1に格納されるため、最初の22個のエントリは順番に格納されていますが、最後のエントリは新たなメッセージを受信格納するたびに上書きされます。したがって、受信した順番を完全に回復することができません。

注 ROVFビットがセット (1) されている状態で、CRGPTレジスタによりすべての受信履歴が読み出されている場合、RHPMビットは新たな受信格納があってもクリア (0) されずセット (1) されたままになります。

図13-42 CANモジュール受信履歴・リスト・レジスタ (CRGPT) のフォーマット (2/2)

(b) ライト時

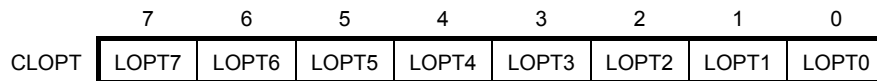
Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア (0) する

(17) CANモジュール最終送信ポインタ・レジスタ (CLOPT)

CLOPTレジスタは、最後に送信したメッセージ・バッファ番号を示します。

図13-43 CANモジュール最終送信ポインタ・レジスタ (CLOPT) のフォーマット

アドレス : F05F2H リセット時 : 不定 R



LOPT7-LOPT0	送信履歴・リストの最終送信ポインタ (LOPT)
0.....15	CLOPTレジスタをリードすると、送信履歴・リストの最終送信ポインタ (LOPT) でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

備考 メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は、CLOPTレジスタの読み出し値は不定です。したがって、初期化モードから任意の動作モードに移行後にTHPMビットがセット (1) されている場合には、CLOPTレジスタの読み出し値は不定となります。

(18) CANモジュール送信履歴・リスト・レジスタ (CTGPT)

CTGPTレジスタは、送信履歴・リストを読み出すためのレジスタです。

図13-44 CANモジュール送信履歴・リスト・レジスタ (CTGPT) のフォーマット (1/2)

アドレス : F05F4H リセット時 : xx02H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CTGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

(b) ライト時

	15	14	13	12	11	10	9	8
CTGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

(a) リード時

TGPT7-TGPT0	送信履歴・リスト読み出しポインタ
0.....15	CTGPTレジスタをリードすると、送信履歴・リストの読み出しポインタ (TGPT) でインデクスされるエレメントの内容が読み出されます。これにより、データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM ^注	送信履歴・リストのポインタ一致
0	送信履歴・リストには、少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信履歴・リストには、リードされていないメッセージ・バッファ番号がありません。

注 THPMビット = 1のとき、TGPT0-TGPT7ビットのリード値は無効です。

図13-44 CANモジュール送信履歴・リスト・レジスタ (CTGPT) のフォーマット (2/2)

TOVF ^注	送信履歴・リスト・オーバーフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信履歴・リストに記録されます (送信履歴・リストに空きのエLEMENTが存在します)。
1	ホスト・プロセッサが送信履歴・リスト (THL) を最後に使用 (たとえば, CTGPTレジスタの読み込みなど) してから少なくとも7 個のエントリが格納されています。TOVFビットがセットされていると, すべてのメッセージ・バッファ番号はLOPT-1に格納されるため, 最初の6個のエントリは順番に格納されていますが, 最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって, 送信した順番を完全に回復することができません。

注 TOVFビットがセット (1) されている状態で, CTGPTレジスタによりすべての送信履歴が読み出されている場合, THPMビットは新たな送信完了があってもクリア (0) されずセット (1) されたままになります。

備考 ABT付き通常動作モードでは, メッセージ・バッファ0-7からの送信は送信履歴・リストには記録されません。

(b) ライト時

Clear TOVF	ROVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア (0) する

(19) CANモジュール・タイム・スタンプ・レジスタ (CTS)

CTSレジスタは、タイム・スタンプ機能を制御します。

図13-45 CANモジュール・タイム・スタンプ・レジスタ (CTS) のフォーマット (1/2)

アドレス : F05F6H リセット時 : 0000H R/W

(a) リード時

	15	14	13	12	11	10	9	8
CTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

(b) ライト時

	15	14	13	12	11	10	9	8
CTS	0	0	0	0	0	Set	Set	Set
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN
	0	0	0	0	0	Clear	Clear	Clear
						TSLOCK	TSSEL	TSEN

備考 ABT付き通常動作モードの場合は、タイム・スタンプ機能のロック機能を使用することができません。

(a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。 ただし、メッセージ・バッファ0にデータ・フレームが正常に格納されたあとは、TSOUT信号の出力がロックされます ^注 。

注 TSENビットは自動的にクリア (0) されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・スタンプ・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT動作設定ビット
0	TSOUTトグル動作禁止
1	TSOUTトグル動作許可

備考 TSOUT信号はCANコントローラからタイマへ出力されます。詳細については第6章 タイマ・アレイ・ユニットを参照してください。

図13-45 CANモジュール・タイム・スタンプ・レジスタ (CTS) のフォーマット (2/2)

(b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア (0) する
1	0	TSLOCKビットをセット (1) する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア (0) する
1	0	TSSELビットをセット (1) する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア (0) する
1	0	TSENビットをセット (1) する
上記以外		TSENビットの変更なし

(20) CANメッセージ・データ・バイト・レジスタ (CMDBxm) (x = 0-7)

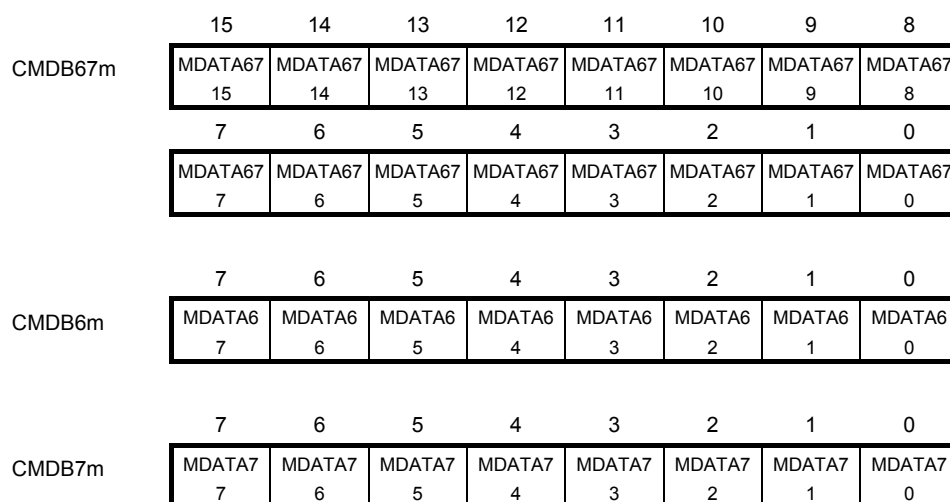
CMDBxmレジスタは、送受信メッセージのデータを格納します。CMDBzmレジスタは、CMDBxmレジスタを16ビット単位でアクセス可能なレジスタです。

図13-46 CANメッセージ・データ・バイト・レジスタ (CMDBxm) (x = 0-7) のフォーマット (1/2)

アドレス : 表13-16を参照してください。 リセット時 : 不定 R/W

	15	14	13	12	11	10	9	8
CMDB01m	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01	MDATA01
	7	6	5	4	3	2	1	0
CMDB0m	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0	MDATA0
	7	6	5	4	3	2	1	0
CMDB1m	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1	MDATA1
	7	6	5	4	3	2	1	0
CMDB23m	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23	MDATA23
	7	6	5	4	3	2	1	0
CMDB2m	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2	MDATA2
	7	6	5	4	3	2	1	0
CMDB3m	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3	MDATA3
	7	6	5	4	3	2	1	0
CMDB45m	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45	MDATA45
	7	6	5	4	3	2	1	0
CMDB4m	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4	MDATA4
	7	6	5	4	3	2	1	0
CMDB5m	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5	MDATA5
	7	6	5	4	3	2	1	0

図13-46 CANメッセージ・データ・バイト・レジスタ (CMDBxm) (x = 0-7) のフォーマット (2/2)



(21) CANメッセージ・データ長レジスタm (CMDLcM)

CMDLcMレジスタは、メッセージ・バッファのデータ・フィールドのバイト数を設定します。

図13-47 CANメッセージ・データ長レジスタm (CMDLcM) のフォーマット

アドレス：表13-16を参照してください。 リセット時：0000xxxxB R/W

	7	6	5	4	3	2	1	0
CMDLcM	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0

MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止
1	0	1	0	(送信時に設定した場合、データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし、実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります) ^注 。
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注 CANバス上に実際に送信されるデータとDLC値は以下のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 (ただしDLC 8の場合は8バイト)	MDLC[3:0]
リモート・フレーム	0バイト	

注意1. ビット7-4には必ず0000Bを設定してください。

2. メッセージ受信時には、受信フレームのDLCに対応するバイト数(ただし、8が上限)分のCMDBxmレジスタに受信データが格納されます。データが格納されなかったCMDBxmレジスタは不定です。

(22) CANメッセージ・コンフィギュレーション・レジスタm (CMCONFm)

CMCONFmレジスタは、メッセージ・バッファのタイプとマスク設定の指定を行います。

図13-48 CANメッセージ・コンフィギュレーション・レジスタm (CMCONFm) のフォーマット (1/2)

アドレス：表13-16を参照してください。 リセット時：不定 R/W

	7	6	5	4	3	2	1	0
CMCONFm	OVS	RTR	MT2	MT1	MT0	0	0	MA0

注意 ビット2, 1には、必ず0を書き込んでください。

OVS	オーバライト制御ビット
0	すでに受信しているメッセージ・バッファ ^注 に対して、新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して、新しく受信したデータ・フレームを上書きします。

注 “すでに受信しているメッセージ・バッファ”とは、DNビットがセット(1)されている受信メッセージ・バッファを意味します。

備考 リモート・フレームの受信格納に際しては、OVSビットおよびDNビットの設定には依存せず、その他の条件が合致 (IDが一致、RTRビット = 0、TRQビット = 0) したリモート・フレームは必ず該当するメッセージ・バッファに受信格納 (割り込み生成、DNフラグのセット、MDLC [3:0]ビットの更新、および受信ヒストリ・リストへの記録) されます。

RTR	リモート・フレームの要求ビット ^注
0	データ・フレーム送信
1	リモート・フレーム送信

注 RTRビットは、送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なリモート・フレームを受信しても、受信した送信メッセージ・バッファのRTRビットはクリア (0) されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット (1) した状態で、CANバスからIDが合致するリモート・フレームを受信した場合でも、そのリモート・フレームの受信格納 (割り込み生成、DNフラグのセット、MDLC [3:0]ビットの更新および受信ヒストリ・リストへの記録) は行われません。

図13-48 CANメッセージ・コンフィギュレーション・レジスタm (CMCONFm) のフォーマット (2/2)

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ (マスク設定なし)
0	1	0	受信メッセージ・バッファ (マスク1設定)
0	1	1	受信メッセージ・バッファ (マスク2設定)
1	0	0	受信メッセージ・バッファ (マスク3設定)
1	0	1	受信メッセージ・バッファ (マスク4設定)
上記以外			設定禁止

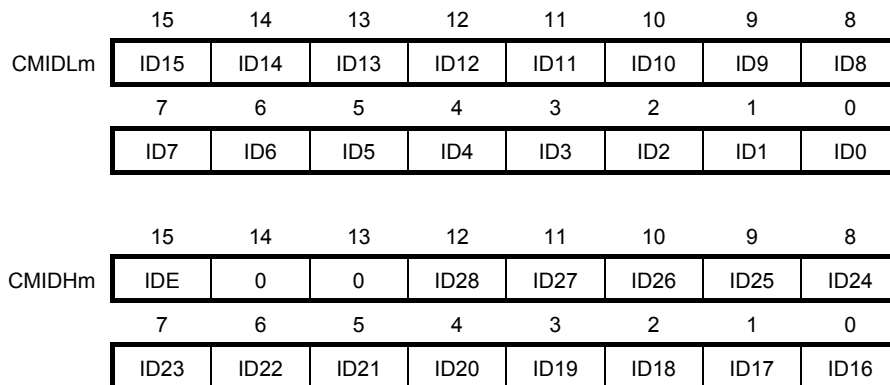
MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

(23) CANメッセージIDレジスタm (CMIDLm, CMIDHm)

CMIDLm, CMIDHmレジスタは、アイデンティファイア (ID) を設定します。

図13-49 CANメッセージIDレジスタm (CMIDLm, CMIDHm) のフォーマット

アドレス：表13-16を参照してください。 リセット時：不定 RW



IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード (ID28-ID18 : 11ビット) 注
1	拡張フォーマット・モード (ID28-ID0 : 29ビット)

注 ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値 (IDEビット = 0のとき)
ID28-ID0	29ビットの拡張ID値 (IDEビット = 1のとき)

注意 1. CMIDHmレジスタのビット14, 13には、必ず0を書き込んでください。

2. 必ず、このレジスタに与えられたビット位置に従って登録するID値を並べてください。
標準IDに関してID値はID28からID18のビット位置をシフトしてください。

(24) CANメッセージ制御レジスタm (CMCTRLm)

CMCTRLmレジスタは、メッセージ・バッファの動作を制御します。

図13-50 CANメッセージ制御レジスタm (CMCTRLm) のフォーマット (1/3)

アドレス：表13-16を参照してください。 リセット時：00x00000 R/W
000xx000B

(a) リード時

	15	14	13	12	11	10	9	8
CMCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

(b) ライト時

	15	14	13	12	11	10	9	8
CMCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

(a) リード時

MUC ^注	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注 MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバーライト・ステータス・ビット
0	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは、新しく受信したデータ・フレームによって上書きされています。

備考 DNビット = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても、MOWはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

図13-50 CANメッセージ制御レジスタm (CMCTRLm) のフォーマット (2/3)

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは、メッセージ・フレームの送信保留中または送信中です。

注意 TRQ ビットと RDY ビットを同時にセット (1) しないでください。TRQ ビットをセット (1) する場合は、事前に RDY ビットを必ずセット (1) してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウェアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウェアによるメッセージ・バッファへの書き込みは無視されます (RDYビット、TRQビット、DNビットおよびMOWビットへのライト・アクセスを除く)。CANモジュールはメッセージ・バッファに書き込みが可能です。

注意1. メッセージ送信中に、RDY ビットをクリア (0) しないでください。再定義のための RDY ビットのクリアは、送信中断処理に従ってください。

2. RDY ビットのクリア処理を行ってもクリアされていない場合は、もう一度クリア処理を行ってください。

3. メッセージ・バッファ・レジスタに書き込む前に、RDY ビットがクリア (0) されたことを確認してください。確認は RDY ビットを読み返して行ってください。

ただし、CMCTRLm レジスタの TRQ ビットまたは RDY ビットのセット (1)、DN ビットまたは MOW ビットのクリア (0) については確認する必要はありません。

(b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア (0) する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア (0) する
1	0	IEビットをセット (1) する
上記以外		IEビットの変更なし

注意 IEビットの設定とRDYビットの設定は、常に別々に行ってください。

Clear DN	DNビットの設定
1	DNビットをクリア (0) する
0	DNビットの変更なし

注意1. ソフトウェアにより、DNビットをセット (1) しないでください。ビット10には、必ず0を書き込んでください。

2. 受信しているアービトレーション・フィールドの終わりまでにDNビットをクリア (0) した場合は、そのメッセージ・バッファは、受信フレームを格納するための検索対象となります。

図13-50 CANメッセージ制御レジスタm (CMCTRLm) のフォーマット (3/3)

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリアする (0)
1	0	TRQビットをセット (1) する
上記以外		TRQビットの変更なし

注意 TRQビットをセット (1) しても、他ノードからメッセージを受信していた場合や他のメッセージ・バッファからメッセージを送信していた場合などの状況により、即時に送信を行わない可能性があります。

また、TRQビットをクリア (0) しても、送信の途中で中断されることはありません。送信中の場合には、送信が完了 (成功/失敗問わず) するまで送信を続けます。

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア (0) する
1	0	RDYビットをセット (1) する
上記以外		RDYビットの変更なし

注意 TRQビットの設定とRDYビットの設定は、常に別々に行ってください。

(25) シリアル通信端子選択レジスタ (STSEL)

STSELレジスタは、タイマ・アレイ・ユニットへの入力ソースとLIN-UARTnおよびCAN通信端子の切り替えを行うレジスタです。

1ビット単位または8ビット単位でリード/ライト可能です。

78K0R/Hx3ではCTxD, CRxD端子が異なる二つのポートに備わっているため、STSELレジスタで2セットのうちどちらを使うかを選択できます。

図13-51 シリアル通信端子選択レジスタ (STSEL) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
STSEL	STSLIN1	TMCAN	STSIIC11	STSCSI00	TM30K	TMLIN1	TMLIN0	0

STSLIN1	シリアル通信端子の選択			
	LIN-UART端子		CAN端子	
	LTxD1	LRxD1/INTPLR1	CTxD	CRxD
0	P10	P11	P72	P73
1	P72	P73	P10	P11

TMCAN	タイマ・アレイ・ユニット1のチャンネル4入力のソース切り替え制御
0	TI14端子入力 (TI14ビットで選択した端子入力)
1	TSOUT入力 (CANタイム・スタンプ機能)

備考 LIN-UARTでLIN通信時、通信中BF受信可能モード (UFnMD1, UFnMD0 = 10B) の場合は、TMLINn = 1に設定してシリアル・データ入力端子 (LRxDn) の入力信号をタイマ入力として選択してください。

(26) ポート・モード・レジスタ1, 7 (PM1, PM7)

ポート1, 7の入力／出力を1ビット単位で設定するレジスタです。

P10/TI00/SCK10/TO00/CTxD/LTxD1, P72/KR2/CTxD/LTxD1端子をCANデータ出力として使用するとき、PM1_0, PM7_2ビットに0を、P1_0, P7_2の出力ラッチに1を設定してください。

P11/TI02/SI10/LRxD1/INTPLR1/CRxD/TO02, P73/KR3/CRxD/LRxD1/INTPLR1端子をCANデータ入力として使用するとき、PM1_1, PM7_3ビットに1を設定してください。このときP1_1, P7_3の出力ラッチは、0または1のどちらでもかまいません。

PM1, PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View), 2.1 端子機能一覧を参照してください。

図13-52 ポート・モード・レジスタ1, 7 (PM1, 7) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM1_7	PM1_6	PM1_5	PM1_4	PM1_3	PM1_2	PM1_1	PM1_0

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0

PMm_n	PMmn端子の入出力モードの選択 (m = 1, 7 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

13.8 CANコントローラの初期化処理

13.8.1 CANモジュールの初期化

CANモジュールの動作を許可する前に、ソフトウェアによりCGMCSレジスタのCCP [3:0] ビットを設定し、CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は、CANモジュールの動作が許可されたあとは変更できません。

CANモジュールは、CGMCTRLレジスタのGOMビットをセット (1) することで動作を許可します。初期化処理手順については、13.16 CANコントローラの動作を参照してください。

13.8.2 メッセージ・バッファの初期化

CANモジュールの動作を許可したあと、メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に、すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

- ・ CMCTRLmレジスタのRDY, TRQ, DNビットをクリア (0) する。
- ・ CMCONFmレジスタのMA0ビットをクリア (0) する。

備考 m = 0-15

13. 8. 3 メッセージ・バッファの再定義

メッセージ・バッファの再定義とは、メッセージ受信時または送信中に他の送受信動作に影響を与えることなく、メッセージ・バッファのIDや制御情報を変更することをいいます。

(1) 初期化モード中にメッセージ・バッファの再定義を行う場合

一度、初期化モードに移行し、初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後、任意の動作モードに移行してください。

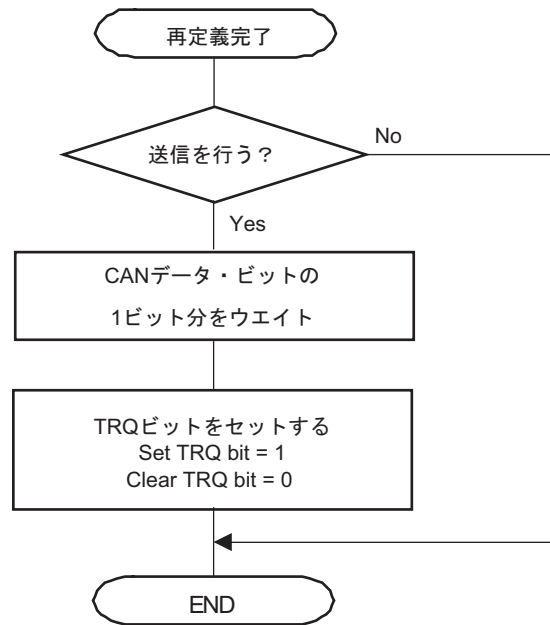
(2) 受信中にメッセージ・バッファの再定義を行う場合

図13-66にしたがって処理してください。

(3) 送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には、送信中断処理(13. 10. 4 (1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理, 13. 10. 4 (2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理参照)を行い、送信が中断されたこと、あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は、次の処理手順にしたがって処理してください。ただし、送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には、1ビット分のウェイトは必要ありません。

図13-53 送信メッセージ・バッファの再定義後の送信要求（TRQ）の設定



注意 1. メッセージ受信時には、各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図13-66の手順に従わなかった場合には、メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。

そのような場合は、メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は、再度メッセージ・バッファの再定義を行ってください。

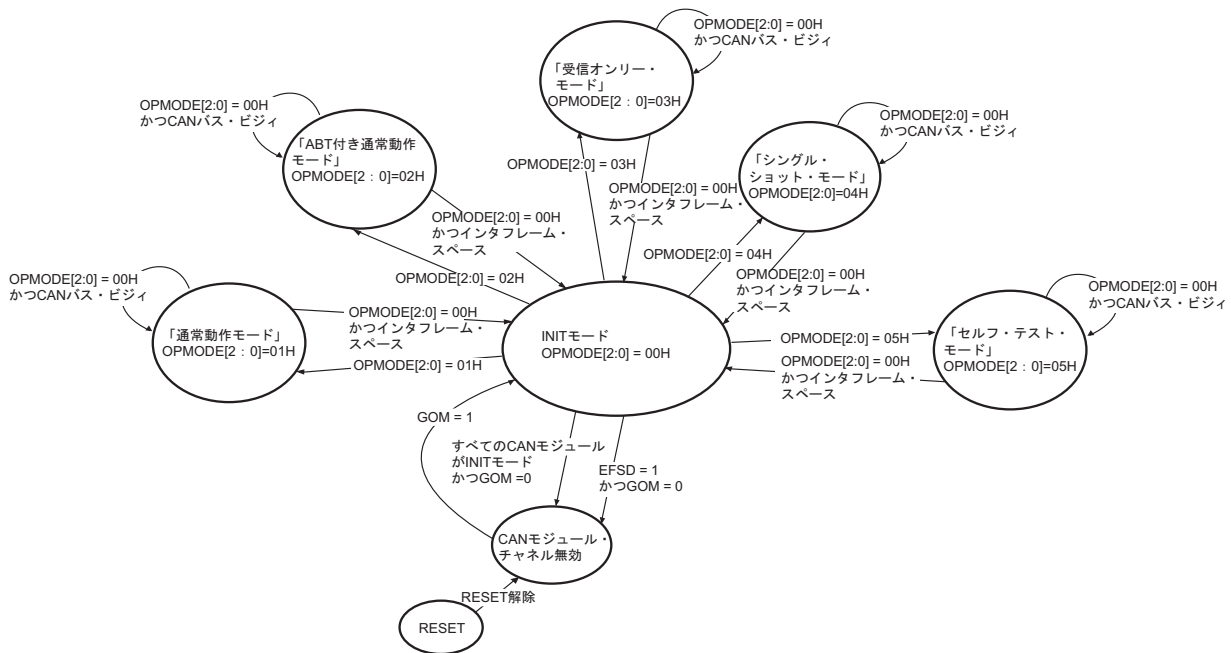
2. メッセージ送信時には、送信要求がセットされている各送信メッセージ・バッファに設定されたID、IDEおよびRTRビットにもとづいて送信優先順位判定を行い、最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図13-53の手順に従わなかった場合には、再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

13.8.4 動作モードへの移行

CANモジュールは、次の動作モードに切り替えることができます。

- ・ 通常動作モード
- ・ ABT付き通常動作モード
- ・ 受信オンリー・モード
- ・ シングル・ショット・モード
- ・ セルフ・テスト・モード

図13-54 動作モードへの移行



初期化モードから動作モードへの移行は、CCTRLレジスタのOPMODE [2:0]ビットで設定します。

ある動作モードから別の動作モードに移行するには、一度初期化モードに移行する必要があります。直接、ある動作モードから別の動作モードに移行しないでください。直接、動作モードを移行した場合の動作保証はいたしません。

動作モードから初期化モードへの移行要求は、CANバスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され、インタフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE [2:0]ビットの値が000Bに変化します）。初期化モードへの移行要求のあとは、OPMODE [2:0]ビットが000Bになるまで、OPMODE [2:0]ビットをリードして、初期化モードへ移行したことを確認してください（図13-64参照）。

13. 8. 5 CANモジュールのエラー・カウンタCERCのリセット

再初期化やバスオフ強制復帰の際に、CANモジュール・エラー・カウンタCERCと、CANモジュール情報レジスタCINFOをリセットする必要がある場合には、初期化モード中にCTRLレジスタのCCERCビットをセット（1）してください。CCERCビットをセット（1）すると、CANモジュール・エラー・カウンタCERCとCANモジュール情報レジスタCINFOは初期値にクリアされます。

13.9 メッセージ受信

13.9.1 メッセージ受信

すべての動作モードにおいて、新規受信メッセージを格納するため、一致するバッファを全メッセージ・バッファ領域に対し、検索します。次の条件を満たすすべてのメッセージ・バッファがその検索に含まれます。

- ・メッセージ・バッファとして使用している。
(CMCONFmレジスタのMA0ビットを1Bに設定)
- ・受信用メッセージ・バッファとして設定している。
(CMCONFmレジスタのMT [2:0]ビットを001B, 010B, 011B, 100B, 101Bに設定)
- ・受信準備ができています。
(CMCTRLmレジスタのRDYビットがセット (1) されている)

複数のメッセージ・バッファにメッセージを受信した場合、受信メッセージの格納優先順位は次のようになります。メッセージは、必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば、マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合、マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても、メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には、必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件（たとえば、OWSビット = 0により上書き禁止ですでに受信しているDNビット = 1の場合など）でも同様です。この場合、受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが、それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1 (高)	マスクされていないメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
2	マスク1とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
3	マスク2とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
4	マスク3とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
5 (低)	マスク4とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1

備考 m = 0-15

13.9.2 受信データの読み出し

ソフトウェアによりCANメッセージ・バッファから一貫してデータを読み出す必要がある場合には、図13-77～13-79の推奨処理手順で行ってください。

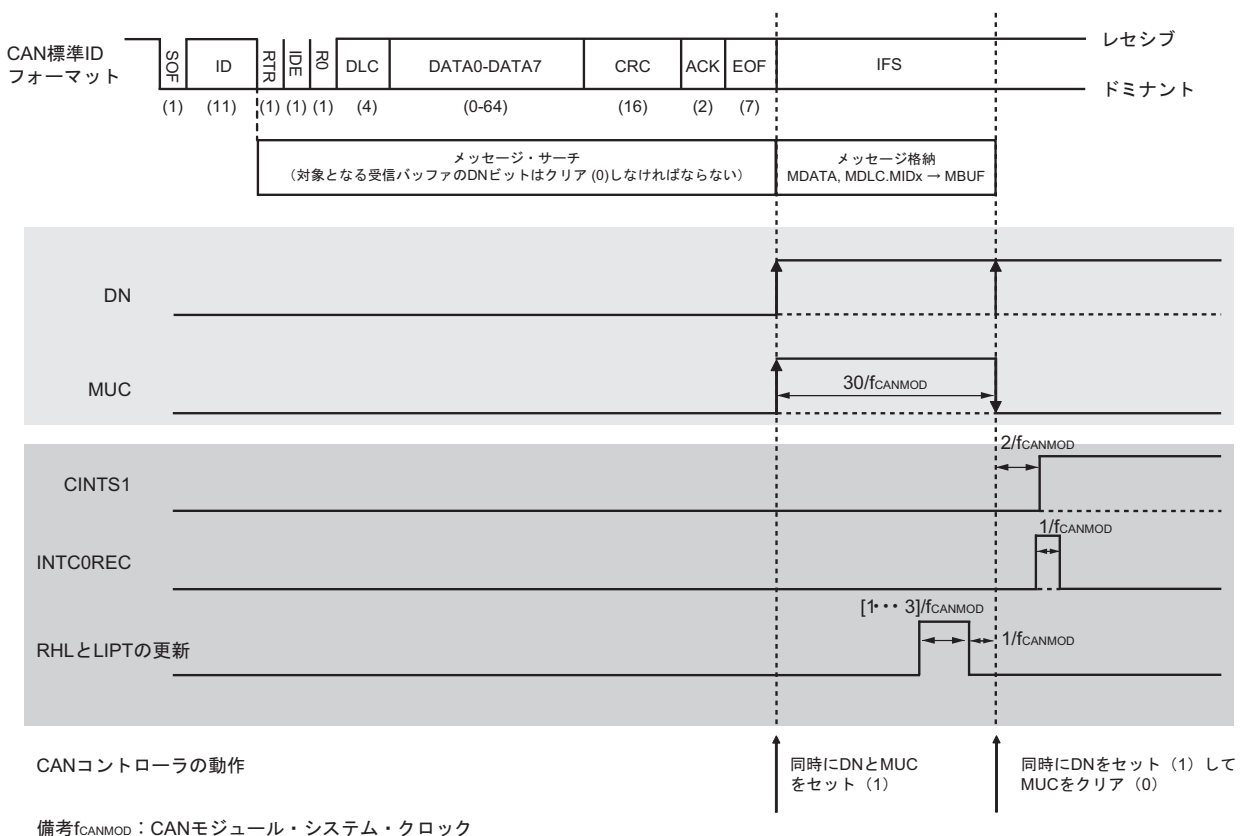
メッセージ受信時、CANモジュールはCMCTRLmレジスタのDNビットをメッセージ・バッファへのデータの格納処理の始まりと、この格納処理の終わりに2回セット（1）します。この格納処理の間、メッセージ・バッファのCMCTRLmレジスタのMUCビットはセット（1）されています（図13-55参照）。

データ格納が完了する前には受信履歴・リストへの書き込みが行われます。またこのデータ格納期間（MUCビット = 1）は、格納対象となっているメッセージ・バッファのCMCTRLmレジスタのRDYビットはCPUによる書き換えが禁止されています。このデータ格納処理はCPUによるいずれかのメッセージ・バッファへのアクセスにより処理完了が遅れることがあります。

メッセージを確実にメッセージ・バッファに格納したい場合、バッファのDNビットをメッセージ・サーチ処理が開始される前（フレームのIDがバス上に出力される前）にクリアする必要があります。これは最短で前のフレームのEOFの後から、15ビット目となります。CANフレームがバス上に連続して現れ、確実に受信したい場合、フレーム受信用のメッセージ・バッファを1個より多く使用することを推奨します。

備考 m = 0-15

図13-55 受信タイミング



13.9.3 受信ヒストリ・リスト機能

受信ヒストリ・リスト機能は、データ・フレームまたはリモート・フレームを受信格納するごとに受信ヒストリ・リスト (RHL) へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは、最大23メッセージ分の格納エレメントと、受信ヒストリ・リスト書き込みポインタ (LIPT) に対応するCLIPTレジスタ、および受信ヒストリ・リスト読み出しポインタ (RGPT) に対応するCRGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、RHLは不定です。

CLIPTレジスタは、LIPTポインタ-1で示されるRHLエレメントの内容を保持しますので、CLIPTレジスタを読み出すことで最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは、RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると、対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに、LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは、記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウェアにより、CRGPTレジスタを読み出すことにより、受信格納したメッセージ・バッファの番号を読み出すことができます。CRGPTレジスタからメッセージ・バッファ番号を読み出すごとに、RGPTポインタは自動的にインクリメントされます。

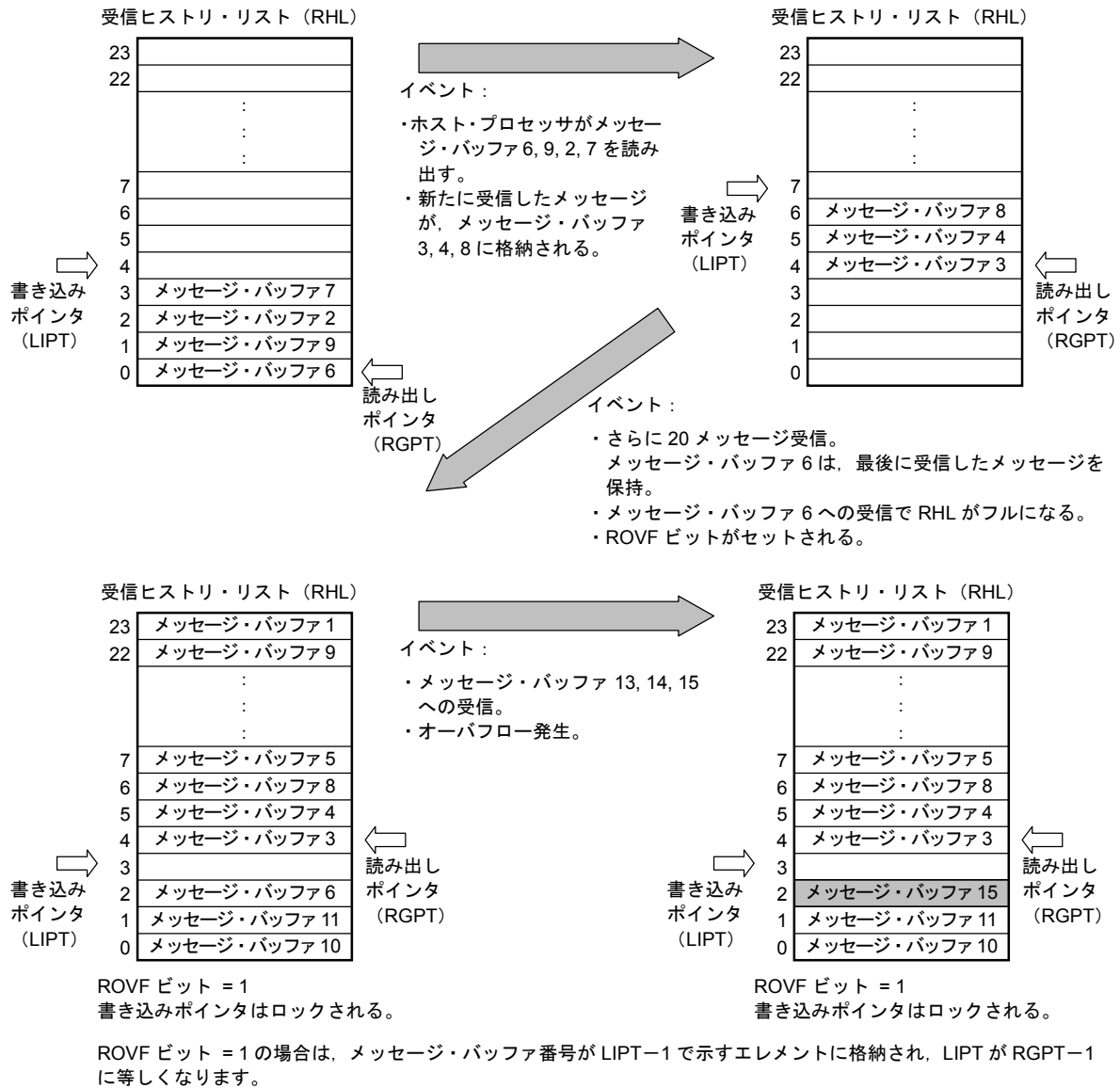
RGPTポインタとLIPTポインタが一致した場合には、CRGPTレジスタのRHPMビット (受信ヒストリ・リスト・ポインタ一致) がセット (1) されます。RHPMビットがセット (1) されていることで、RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、受信格納に新しくメッセージ・バッファ番号の記録が行われると、LIPTポインタがインクリメントされポインタが一致なくなり、RHPMビットはクリア (0) されます。つまり、RHL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLIPTポインタがRGPTポインタ-1と一致した場合には、CRGPTレジスタのROVFビット (受信ヒストリ・リスト・オーバフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに、メッセージの受信格納が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。その場合、ROVFビットがセット (1) されたあと、RHLに保持しているメッセージ・バッファ番号は完全には時系列にはなりません。ただし、受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで、受信格納したメッセージ・バッファ番号を特定することができます。

注意 受信ヒストリ・リストがオーバフローした状態 (ROVFビット = 1) でも、未読の履歴がなくなりRHPMビットがセット (1) されるまで受信履歴を読み出すことが可能です。ただし、ROVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバフローしている) を継続します。この状態では、ROVFビットがクリア (0) されないかぎり、新たに受信格納が発生して新しい受信履歴が書き込まれた場合でもRHPMビットはクリア (0) されません。したがって、ROVFビット = 1かつRHPMビット = 1で受信ヒストリ・リストがオーバフロー状態である場合には、新しい受信格納が発生してもRHPMビットは未読の受信履歴がない状態を示しますので注意してください。

受信履歴・リストは未読の状態では23個以下の受信履歴を保持している場合には受信格納順は保持されますが、ホスト・プロセッサが読み出しを行わない状態で受信格納された場合には、受信格納順は完全には読み出せないことがあります。

図13-56 受信履歴・リスト



13.9.4 マスク機能

受信に使用するいくつかのメッセージ・バッファのために、4つのグローバル受信マスクの1つを割り当てるか、またはマスクなしかを選択することができます。

メッセージIDの比較はマスクされたビットにより軽減されるため、1つのバッファの中にいくつかの異なるIDの受信を許容します。

マスク機能が働いているとき、マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば、ID27-ID25ビットが“0”，ID24ビットとID22ビットが“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合、次に示す手順で行ってください。

メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

x = don't care

メッセージ・バッファ14に設定したアイデンティファイア (例)

(CANメッセージIDレジスタL14, H14 (CMIDL14, CMIDH14) を使用)

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25ビットが“0”に設定され、ID24ビットとID22ビットが“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します。

備考 メッセージ・バッファ14をマスク1にリンクする (CMCONF14レジスタのMT [2:0]ビット = 010Bに設定) 標準フォーマット・アイデンティファイアとして設定します。

CANモジュール1（マスク1）のマスク設定（例）

（CANモジュール・マスク1レジスタL, H（CMASK1L, CMASK1H）を使用）

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1
CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1
CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0				
1	1	1	1	1	1	1				

1：比較しない（マスクする）

0：比較する

CMID27-CMID24およびCMID22ビットは“0”，CMID28, CMID23, CMID21-CMID0ビットは“1”に設定します。

13.9.5 マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック (MBRB) 機能 (以下, MBRBと記述) は, 同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより, CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。

たとえば, メッセージ・バッファ10からメッセージ・バッファ14の5個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて, さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には, 最初にIDが一致するメッセージを受信した場合, メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ, そのメッセージ・バッファに対して上書きが禁止されます。

次に, IDが一致するメッセージを受信した場合, メッセージ・バッファ11に受信格納されます。以降, IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13, 14とメッセージ・バッファの番号順 (昇順) に格納されていきます。このように, 複数のメッセージからなるデータ・ブロックを受信する場合でも, IDが一致した古い受信データを上書きすることなく, 複数のメッセージを受信格納することができます。

また, 各メッセージ・バッファのCMCTRLmレジスタのIEビットを設定することで, データ・ブロックの受信格納の完了を知ることができます。たとえば, データ・ブロックがk個のメッセージで構成されている場合は, データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から (k-2) までは, IEビットをクリア (0) しておき (割り込み無効), メッセージ・バッファk-1では, IEビットをセット (1) します (割り込み有効)。この場合, メッセージ・バッファk-1への受信格納が完了した時点で受信完了割り込みを発生させることで, MBRBがフルになったことを知ることができます。あるいは, メッセージ・バッファ0から (k-3) までは, IEビットをクリア (0) しておきメッセージ・バッファk-2のIEビットをセット (1) しておくことで, MBRBがオーバフローしそうであることのワーニングとすることができます。

MBRBにおいても, 各メッセージ・バッファの受信データの基本的な格納条件は, 単一のメッセージ・バッファに対する格納条件と同じです。

- 注意1. MBRBは, 同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって, メッセージ・バッファ・タイプが異なるが, IDが一致する他のMBRBのメッセージ・バッファに空きがあった場合でも, そのメッセージ・バッファには格納を行わず, 受信メッセージは破棄されます。
2. MBRBは, リング構造をもっていません。したがって, MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへ格納した以降のメッセージに対しては, 再び一番小さいメッセージ・バッファから順に格納を行いません。
 3. MBRBは, 受信格納条件に基づく動作であり, 機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し, 同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。
 4. MBRBにおける「IDが一致する」とは「マスク後のIDが一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても, マスク・レジスタによるマスク後のIDが一致するものは, IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。
 5. 各MBRB間の優先順位は, 13.9.1 メッセージ受信で示す優先順位に従います。

備考 m = 0-15

13.9.6 リモート・フレーム受信

リモート・フレームの受信時には、すべての動作モードで、次の条件を満たすすべてのメッセージ・バッファに対し、格納すべきかどうかの検索を行います。

- ・メッセージ・バッファとして使用している。
(CMCONFmレジスタのMA0ビットを1Bに設定)
- ・送信用メッセージ・バッファとして設定している。
(CMCONFmレジスタのMT[2:0]ビットを000Bに設定)
- ・受信準備ができています。
(CMCTRLmレジスタのRDYビットがセット (1) されている)
- ・メッセージ送信に設定されている。
(CMCONFmレジスタのRTRビットがクリア (0) されている)
- ・送信要求が設定されていない。
(CMCTRLmレジスタのTRQビットがクリア (0) されている)

上記の条件を満足し、かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては、次の受信格納動作が行われます。

- ・CMDLCmレジスタのDLC [3:0]ビットは受信したDLC値を格納します。
- ・データ領域CMDB0m-CMDB7mは更新されません（受信前のデータが保存されます）。
- ・CMCTRLmレジスタのDNビットがセット (1) されます。
- ・CINTSレジスタのCINTS1ビットがセット (1) されます（受信格納するメッセージ・バッファのCMCTRLmレジスタのIEビットがセット (1) されている場合）。
- ・受信完了割り込み（INTC0REC）が出力されます（受信格納するメッセージ・バッファのCMCTRLmレジスタのIEビットがセット (1) されており、かつCIEレジスタのCIE1ビットがセット (1) されている場合）。
- ・メッセージ・バッファ番号を受信履歴・リストに記録します

注意 リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては、メッセージ・バッファのCMCONFmレジスタのOWSビットによるオーバーライト制御の設定およびCMCTRLmレジスタのDNビットには影響を受けません。OWSビットの設定は無視され、どんな場合でもDNビットがセット (1) されます。

複数の送信メッセージ・バッファが同一IDを持ち、受信したリモート・フレームのIDが合致した場合には、最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

備考 m = 0-15

13. 10 メッセージ送信

13. 10. 1 メッセージ送信

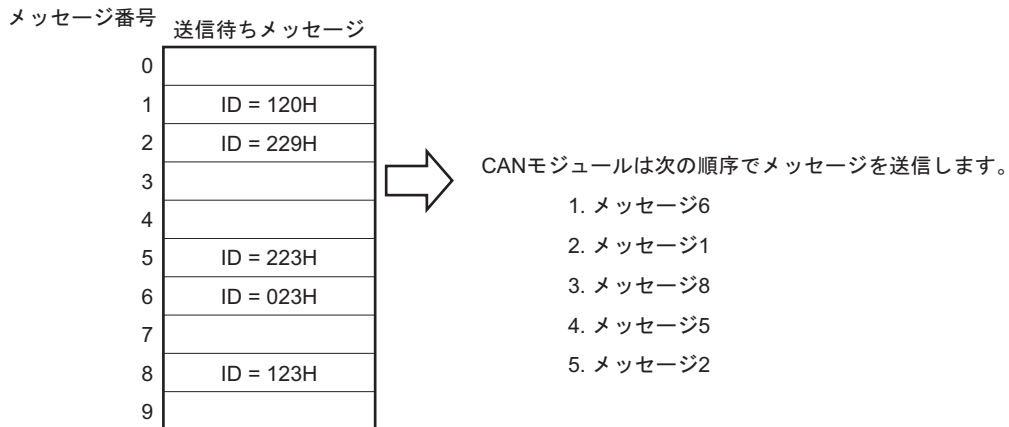
すべての動作モードで、次の条件を満たすメッセージ・バッファにTRQビットがセット(1)されているとき、送信するメッセージ・バッファの検索を行います。

- ・メッセージ・バッファとして使用している。
(CMCONFmレジスタのMA0ビットを1Bに設定)
- ・送信用メッセージ・バッファとして設定している。
(CMCONFmレジスタのMT [2:0]ビットを000Bに設定)
- ・送信準備ができています。
(CMCTRLmレジスタのRDYビットがセット(1)されている)

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは、メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウェアによる送信処理を容易にするため、CANモジュールは複数の送信待ちメッセージが存在する場合、有効なメッセージのどれが最高優先順位を持っているのかハードウェアによりIDを検索して自動的に判断します。したがって、ソフトウェアにより優先順位制御を行う必要がありません。

アイデンティファイア (ID) による送信プライオリティ制御を行います。

図13-57 メッセージ処理例



送信メッセージの検索は、保留されている送信要求を持つ送信メッセージ・バッファ (TRQビットがあらかじめセット(1)されたメッセージ・バッファ)のうち、最高位の優先度を持つ送信メッセージが送信されます。

また、新しく送信要求が設定された場合は、新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合、低位の優先度を持つ送信メッセージの送信が開始されていなければ、最高位の優先度を持つ送信メッセージが送信されます。ただし、すでに低位の優先度を持つ送信メッセージの送信が開始されている場合には、新しい送信要求はあとで送信されます。この優先度の逆転を解決するために、ソフトウェアにより低優先度のメッセージに対し送信中断要求を実行できます。最高位の優先度は、次のように決定されます。

優先順位	条 件	説 明
1 (高)	IDの先頭11ビットの値 [ID28 : ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は、11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム (RTRビットがクリア (0)) は、標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム (IDEビットがクリア (0)) は、拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位 18 ビットの値 [ID17:ID0]	IDの先頭11ビットが同じ値を持ち、フレーム・タイプが同じ (RTRビット値が等しい)、拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合、拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5 (低)	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に、最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

備考1. ABT付き通常動作モードで、自動ブロック送信要求ABTTRGビットをセット (1) した場合、ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット (1) されます。

ABT付き通常動作モードでは、ABTTRGビットにより開始されるとABT領域 (バッファ0~7)に1つのTRQビットがセットされます。このTRQビット以外に、アプリケーションは、ABT領域以外の送信メッセージ・バッファに対し、送信要求ができます。その場合に内部送信検索処理 (TXサーチ)により、検索されたメッセージが次に送信されます。この検索処理は、TRQビットがセットされたすべての送信メッセージ・バッファを検索し、次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合 (たとえば同一IDなど)、最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。

メッセージ・フレームの送信が成功すると、次の動作を行います。

- ・ 対応する送信メッセージ・バッファのTRQビットが自動的にクリア (0) されます。
 - ・ CINTSレジスタの送信完了ステータス・ビットCINTS0がセット (1) されます。
(対応する送信メッセージ・バッファの割り込み許可ビット (IE) がセット (1) されている場合)
 - ・ CIEレジスタのCIE0ビットをセット (1)、かつ対応する送信メッセージ・バッファの割り込み許可ビット (IE) がセット (1) されている場合、INTC0TRXの割り込み要求信号が出力されます。
2. 送信メッセージ・バッファの内容を変更する際は、内容を更新する前にこのバッファのRDYフラグをクリアしなければなりません。内部処理の移行中、RDYフラグが一時的にロックされている可能性があるため、変更後はRDYフラグの状態をソフトウェアにより確認する必要があります。
 3. m = 0-15

13. 10. 2 送信履歴・リスト機能

送信履歴・リスト機能は、データ・フレームまたはリモート・フレームを送信するごとに送信履歴・リスト (THL) ヘメッセージ・バッファ番号の記録を行います。THLは、最大7メッセージ分の格納エレメントと、送信履歴・リスト書き込みポインタ (LOPT) に対応するCLOPTレジスタおよび送信履歴・リスト読み出しポインタ (TGPT) に対応するCTGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後、THLは不定です。

CLOPTポインタは、LOPTポインタ-1で示されるTHLエレメントの内容を保持しますので、CLOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは、THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると、対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに、LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

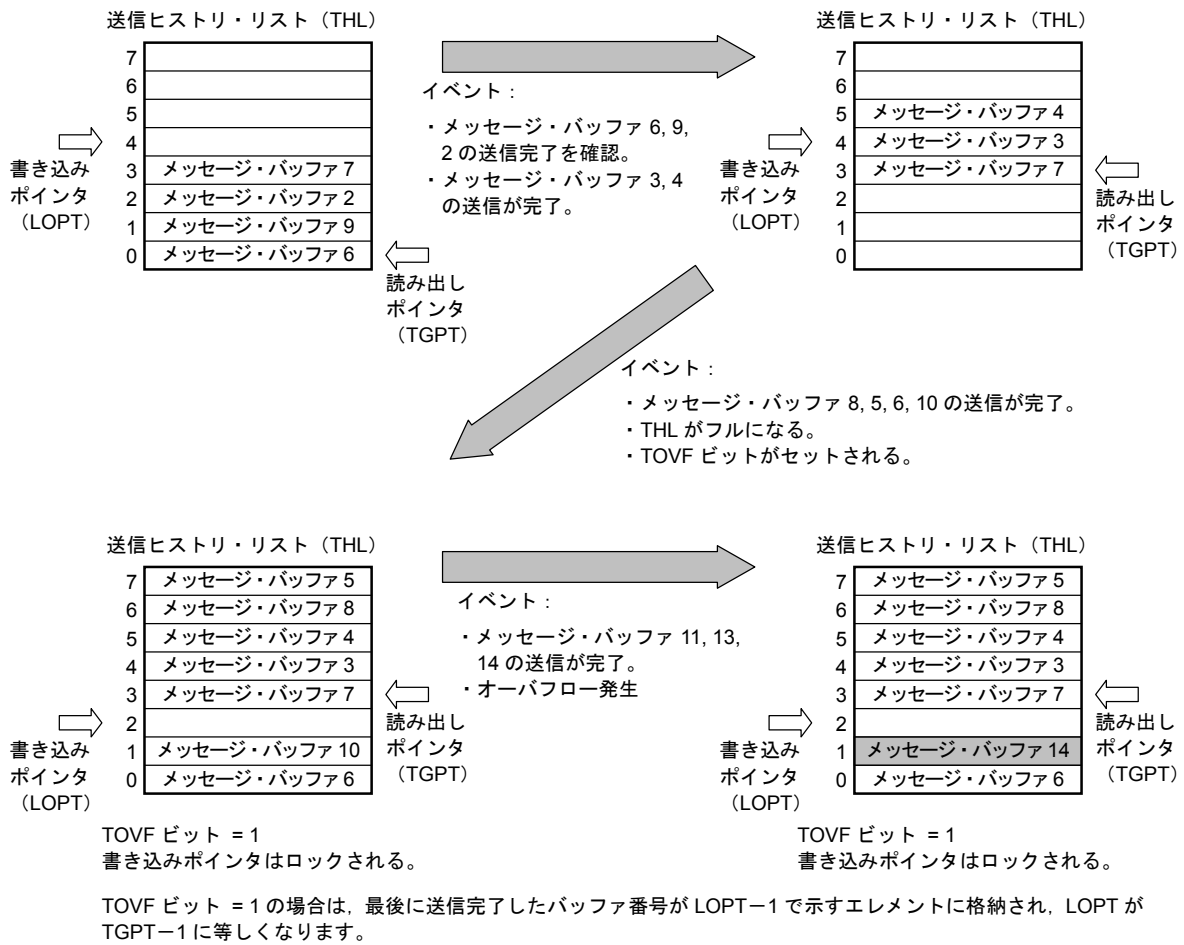
TGPTポインタは、記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウェアにより、CTGPTレジスタを読み出すことにより、送信完了したメッセージ・バッファの番号を読み出すことができます。CTGPTレジスタからメッセージ・バッファ番号を読み出すごとに、TGPTポインタは自動的にインクリメントされます。

TGPTポインタとLOPTポインタが一致した場合には、CTGPTレジスタのTHPMビット (送信履歴・リスト・ポインタ一致) がセット (1) されます。THPMビットがセット (1) されていることで、THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また、送信完了により新しくメッセージ・バッファ番号の記録が行われると、LOPTポインタがインクリメントされポインタが一致なくなり、THPMビットはクリア (0) されます。つまり、THL内には未読のメッセージ・バッファ番号が存在することになります。

また、インクリメントされたLOPTポインタがTGPTポインタ-1と一致した場合には、CTGPTレジスタのTOVFビット (送信履歴・リスト・オーバーフロー) がセット (1) されます。この状態は、まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに、メッセージの送信完了が新たに発生すると、最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。その場合、TOVFビットがセット (1) されたあと、THLに保持しているメッセージ・バッファ番号は完全に時系列にはなりません。ただし、その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます (CPUが送信再設定を行う前に実行)。TOVFに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

注意 送信履歴・リストがオーバーフローした状態 (TOVFビット = 1) でも、未読の履歴がなくなりTHPMビットがセット (1) されるまで送信履歴を読み出すことが可能です。ただし、TOVFビットはソフトウェアによりクリア (0) されるまではセット (1) された状態 (= オーバーフローしている) を継続します。この状態では、TOVFビットがクリア (0) されないかぎりには新たに送信完了が発生し新しい送信履歴が書き込まれた場合でもTHPMビットはクリア (0) されません。したがって、TOVFビット = 1かつTHPMビット = 1で受信履歴・リストがオーバーフロー状態である場合には、新しい送信完了が発生してもTHPMビットは未読の送信履歴がない状態を示しますので注意してください。

図13-58 送信履歴・リスト



13. 10. 3 自動ブロック送信機能 (ABT : Automatic Block Transmission)

自動ブロック送信機能 (以下, ABTと記述) は, CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は, メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは, CCTRLレジスタのOPMODE [2:0]ビットを010Bに設定することで, “自動ブロック送信機能付き通常動作モード” (以下, ABT付き通常動作モードと記述) に選択できます。

ABTの送信要求を発行する前にソフトウェアにより, メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して, MA0ビットをセット (1) し, さらにMT [2:0]ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは, すべてのメッセージ・バッファのIDが同一として使用する場合でも, 必ず各メッセージ・バッファにIDを設定してください。また, 複数のIDを使用する場合は, CMIDLm, CMIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。CMDLCmレジスタおよびCMDB0m-CMDB7mレジスタは, ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに, RDYビットをセット (1) してください。ABTでは, TRQビットをソフトウェアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと, 自動ブロック送信は, ABTTRGビットをセット (1) することで開始されます。ABTが開始されると, 最初のメッセージ・バッファ (メッセージ・バッファ0) のTRQビットが自動的にセット (1) され送信が始まります。メッセージ・バッファ0の送信が終了したら, 次のメッセージ・バッファ1のTRQビットが自動的にセットされ, 以降順次送信を行います。

このとき, 連続送信中の送信要求 (TRQ) の自動セットをする間隔にプログラマブルで遅延の挿入ができます。挿入する遅延量はCGMABTDレジスタで設定を行い, 単位はDBT (データ・ビット・タイム) です。DBTはCBRPレジスタおよびCBTRレジスタで設定される時間に依存します。

ABTは, ABT送信バッファ内での送信IDの優先順位の検索は行わず, メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し, メッセージ・バッファ7からのデータ・フレームの送信が完了すると, ABTTRGビットは自動的にクリア (0) され, ABT送信が完了します。

ABT送信中に, ABT用メッセージ・バッファの中にRDYビットがクリア (0) されたメッセージ・バッファがあると, そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。その後, ソフトウェアによりRDYビットをセット (1) し, ABTTRGビットをセット (1) することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は, ABT送信が停止しABTTRGビットがクリア (0) された状態でABTCLRビットをセット (1) することで内部のABT送信エンジンをリセットすることができます。この場合, ABTCLRビットをクリア (0) 後, ABTTRGビットをセット (1) するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき, 最後のメッセージ・バッファ以外のCMCTRLmレジスタのIEビットをクリア (0) しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ (メッセージ・バッファ8~バッファ15) が送信メッセージ・バッファに割り付けられている場合は, 現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信メッセージ・バッファの間の優先順位判定により, 最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は, 送信履歴・リスト (THL) に記録されません。

- 注意1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには、ABTCLRビットはABTTRGビットがクリア(0)されている状態でセット(1)してください。ABTTRGビットがセット(1)されている状態で、ABTCLRビットをセット(1)した場合には、以降の動作を保証いたしません。
2. ABTCLRビットのセット(1)による自動ブロック送信エンジンのクリアは、クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア(0)されることで確認できます。
 3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合、初期化モードからABTモードへの移行後の正常動作は保証いたしません。
 4. ABT付き通常動作モードでは、ABT用メッセージ・バッファのTRQビットはソフトウェアでセット(1)しないでください。セットした場合には動作は保証いたしません。
 5. CGMABTDレジスタは、ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の、前ABTメッセージの送信完了から、次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは、他局からの送信状況あるいはABTメッセージ以外のメッセージ(メッセージ・バッファ8~バッファ15)に対する送信要求の設定状況に依存して変化します。
 6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に、かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合(CGMABTDレジスタ = 00H)でも、ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。
 7. ABTTRGビット = 1の状態では、RDYビットをクリア(0)しないでください。
 8. ABT付き通常動作モード時、他ノードからメッセージを受信した場合、CGMABTDレジスタ = 00Hの設定時でも1フレーム分待ってからABTメッセージを送信する場合があります。

備考 m = 0-15

13. 10. 4 送信中断処理

(1) 自動ブロック送信機能 (ABT) 付き通常動作モード以外での送信中断処理

送信要求を中断する必要がある場合には、CMCTRLmレジスタのTRQビットをクリア(0)します。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCCTRLレジスタのTSTATビットとCTGPTレジスタを確認してください(詳細は、図13-72の処理を参照してください)。

(2) 自動ブロック送信機能 (ABT) 付き通常動作モードでのABT送信以外の送信中断処理

処理送信要求を中断する必要がある場合には、最初にCGMABTレジスタのABTTRGビットをクリア(0)します。CGMABTレジスタのABTTRGビットがクリア(0)されたことを確認したあとで、CMCTRLmレジスタのTRQビットをクリアします。TRQビットはすぐにクリア(0)されますが、送信中断が成功したかどうかは、CANバス上の送信状態を示すCCTRLレジスタのTSTATビットとCTGPTレジスタを確認してください(詳細は、図13-74を参照してください)。

(3) 自動ブロック送信機能 (ABT) 付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は、CGMABTレジスタのABTTRGビットをクリア (0) します。この場合、現在ABTメッセージの送信であれば、送信が完了 (成功, 失敗問わず) するまでABTTRGビット = 1を保持し、送信が完了した時点でABTTRGはクリア (0) されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合、ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は、内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア (0) 要求をする時点で、TRQビットがセット (1) されている場合には、内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています (詳細は、図13-73の処理を参照してください)。ABTTRGビットのクリアを要求する時点で、TRQビットがクリア (0) されている場合には、内部ABTポインタは+1インクリメントされ、ABT領域の次のメッセージ・バッファを指します (詳細は、図13-74の処理を参照してください)。

注意 ABT送信の中断は必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は、動作を保証いたしません。

ABT中断後にABTTRGをセット (1) することでABT付き通常動作モードが再開する場合、再開後に送信されるABTメッセージ・バッファは次のとおりです。

ABT用メッセージ・ バッファのTRQビットの状態	成功送信完了後に中断	送信エラー後に中断
セット (1)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の同じメッセージ・バッファ
クリア (0)	ABT領域の次のメッセージ・バッファ ^注	ABT領域の次のメッセージ・バッファ ^注

注 ABT領域に、ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ、上記中断後の再開動作が可能です。たとえば、メッセージ・バッファ7のABT送信中に発行された中断要求は、メッセージ・バッファ7の送信が成功完了した場合は、ABTTRGビットがクリア (0) されても、中断ではなくABT送信の完了とみなされます。

また、ABT領域の次のメッセージ・バッファのRDYビットがクリア (0) されている場合などは、内部ABTポインタは保持されますが、ABTTRGビットをセット (1) しても再開動作は行わずにただちにABT送信を終了します。

13. 10. 5 リモート・フレーム送信

リモート・フレームは、送信メッセージ・バッファからのみ送信することができます。CMCONFmレジスタのRTRビットにより、データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット (1) することにより、リモート・フレーム送信ができます。

備考 m = 0-15

13.11 パワー・セーブ・モード

13.11.1 CANスリープ・モード

CANスリープ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは、すべての動作モードから移行することができます。CANスリープ・モードが解除されても、CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは、送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANスリープ・モードへの移行

CCTRLレジスタのPSMODE [1:0]ビットを01Bに設定することで、CANスリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

(i) CANモジュールがすでに次の動作モードにある場合

- ・ 通常動作モード
- ・ ABT付き通常動作モード
- ・ 受信オンリー・モード
- ・ シングル・ショット・モード
- ・ セルフ・テスト・モード
- ・ 上記のすべての動作モードにおいてCANストップ・モードである

(ii) CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセプである）^注

(iii) 送信要求が保留されていない

注 CANバスがドミナントに固着している場合には、CANスリープ・モードへの移行要求は保留されます。また、CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

備考 CANスリープ・モード遷移要求が保留されている状態で受信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく、受信格納が処理されてから受け付けられCANスリープ・モードに移行します。このとき、CPUが受信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび受信履歴・レジスタへのアクセス可否を確認する必要があります。

同様に、CANスリープ・モード遷移要求が保留されている状態で送信が終了すると、CANスリープ・モード遷移要求はキャンセルされることなく受け付けられ、CANスリープ・モードに移行します。このとき、CPUが送信割り込み処理を実行する際には、CANスリープ・モード状態になっていることとなります。したがって、CANスリープ・モードを使用する場合には、割り込み処理でMBONフラグをチェックすることにより、メッセージ・バッファおよび送信履歴・レジスタへのアクセス可否を確認する必要があります。

上記の条件の1つでも満たされない場合は、次のように動作します。

- ・初期化モードにおいてCANスリープ・モードの要求が行われた場合、その要求は無視され初期化モードのままになります。
- ・任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信）ときにCANスリープ・モードの要求が行われた場合、CANスリープ・モードへただちに移行しません。その場合、CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは、PSMODE [1:0]ビットは00Bの設定のままになっていますが、移行が完了するとPSMODE [1:0]ビット = 01Bになります。
- ・任意の動作モードにおいて、初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には、初期化モード遷移要求のみが有効となり、CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- ・また、初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば、CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合、初期化モード遷移要求の発行時点でCANスリープ・モード要求は直ちに無効となります。また初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合、CANスリープ・モード要求の発行時点で直ちにCANスリープ・モード要求が無効になります。

(2) CANスリープ・モードの状態

CANスリープ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CANバスからのウエイク・アップのためにCAN受信端子（CRxD）の立ち下がリエッジ検出は機能しています。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（CTRL）のPSMODE [1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みできません。
- ・CANモジュール・レジスタからの読み出しは、CLIPT, CRGPT, CLOPT, CTGPTレジスタを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル制御レジスタ（CGMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- ・CTRLレジスタのPSMODE [1:0] ビットに00Bを設定した場合
- ・CAN受信端子（CRxD）の立ち下がリエッジの検出（レセシブからドミナントへのCANバス変化）

- 注意 1. この立ち下がりエッジが受信メッセージのSOFであった場合、そのメッセージは受信および格納はされません。CANスリープ・モード中、CANへのクロックが停止されていると、CPUによりCANへのクロックを供給されない限り、CANスリープ・モードは解除されずPSMODE [1:0]ビットは01Bのままとなります。また、それ以降の受信メッセージについても受信されません。
2. CANクロックが供給されている状態で、CAN受信端子 (CRxD) に立ち下がりエッジを検出した場合には、ソフトウェアによるPSMODE0ビットのクリアが必要となります (詳細は、図13-81の処理を参照してください)。

CANスリープ・モードが解除されたあとは、CANスリープ・モードが要求される前の動作モードに戻り、CCTRLレジスタのPSMODE [1:0]ビットは00Bにリセットされます。CANスリープ・モードが、CANバス変化によって解除された場合、CIEレジスタのCIEビットに関わらずCINTSレジスタのCINTS5がセット (1) されます。またCANスリープ・モード解除後は、CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。また、スリープ・モードを解除したあと、アプリケーションにより再度メッセージ・バッファにアクセスする前にMBON = 1を確認しなければなりません。

CANスリープ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANスリープ・モードをいったん解除してください。

- 注意 CANバスのイベントによるCANスリープ・モードの解除では、スリープ・モード移行直後にCANバスのイベントが発生した場合でもウエイク・アップ割り込みが発生しますので、いつでも発生する可能性があることを意識してください。

13.11.2 CANストップ・モード

CANストップ・モードにより、CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは、CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって、CANスリープ・モードに移行します。

CANストップ・モードは、CTRLレジスタのPSMODE [1:0]ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能で、CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANストップ・モードへの移行

CTRLレジスタのPSMODE [1:0]ビットを11Bに設定することで、CANストップ・モードの要求を行います。CANストップ・モードの要求は、CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では、CANストップ・モードの移行要求は無視されます。

注意 CANストップ・モード移行のためには、CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE [1:0]ビット = 01Bであることを確認したあとに、CANストップ・モード要求を行ってください。ただし、これらの処理の間にCAN受信端子（CRxD）のバス変化が発生した場合、CANスリープ・モードが自動的に解除されますので、その場合にはCANストップ・モード要求は受け付けられなくなります（ただし、CANクロックが供給されている状態では、CAN受信端子（CRxD）のバス変化が発生したあとで、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。

(2) CANストップ・モードの状態

CANストップ・モードへ移行後は、CANモジュールは次の状態となります。

- ・内部動作クロックが停止し、低消費電力状態となります。
- ・CPUからのウエイク・アップのためにCANモジュール制御レジスタ（CTRL）のPSMODE [1:0]ビットは書き込みができますが、それ以外のCANモジュール・レジスタおよびビットには書き込みできません。
- ・CANモジュール・レジスタからの読み出しは、CLIPT, CRGPT, CLOPT, CTGPTレジスタを除いて可能です。
- ・CANメッセージ・バッファ・レジスタは書き込みと読み出しができません。
- ・CANグローバル制御レジスタ（CGMCTRL）のMBONビットがクリアされます。
- ・初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANストップ・モードの解除

CANストップ・モードは、CTRLレジスタのPSMODE [1:0]ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると、その要求は無視されます。初期化モードに移行させるにはソフトウェアによりCANストップ・モードを解除し、さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

13. 11. 3 パワー・セーブ・モード使用例

アプリケーション・システムにおいて、消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき、CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで、パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず、CANモジュールをCANスリープ・モードに移行させます（PSMODE [1:0]ビット = 01B）。次に、CPUをCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で、CAN受信端子（CRxD）がレセシブからドミナントへのエッジ変化を検出した場合、CANモジュールはクロック供給がない状態でも、CINTS5ビットのセット（1）と、さらにCTRLレジスタのCIE5ビットがセット（1）されている場合には、ウエイク・アップ割り込み（INTC0WUP）を発生させることが可能です。

CPUは、INTC0WUPを受けて、CPUのパワー・セーブ・モードを解除し、たとえば発振安定時間経過後に、CANモジュールへのクロックを含めた内部クロックの供給を再開し、所定の命令実行動作を開始します。CANモジュールは、クロック供給が再開されると直ちにCANスリープ・モードを解除し、通常動作モード（PSMODE [1:0]ビット= 00B）に復帰します。

13.12 割り込み機能

CANモジュールには、6つの割り込み要因があります。

これらの割り込み要因の発生は、割り込みステータス・レジスタに格納されます。6つの割り込み要因から、4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には、割り込みステータス・レジスタを使用して、割り込み要因の特定ができます。割り込み要因の発生後、ソフトウェアにより対応する割り込みステータス・ビットをクリア (0) する必要があります。

表13-20 CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0 ^{注1}	CINTS	CIE0 ^{注1}	CIE	INTC0TRX	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1 ^{注1}	CINTS	CIE1 ^{注1}	CIE	INTC0REC	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	CINTS	CIE2	CIE	INTC0ERR	CANモジュール・エラー状態割り込み ^{注2}
4	CINTS3	CINTS	CIE3	CIE		CANモジュール・プロトコル・エラー割り込み ^{注3}
5	CINTS4	CINTS	CIE4	CIE		CANモジュール・アービトレーション・ロスト割り込み
6	CINTS5	CINTS	CIE5	CIE	INTC0WUP	CANスリープ・モードからのウエイク・アップ割り込み ^{注4}

- 注 1. メッセージ・バッファでは、割り込みを発生させたいメッセージ・バッファのCMCTRLレジスタのIEビット (メッセージ・バッファ割り込み許可ビット) をセット (1) する必要があります。
2. 送受信エラー・カウンタがワーニング・レベル、エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。
3. スタッフ・エラー、フォーム・エラー、ACKエラー、ビット・エラー、CRCエラーが要因で発生する割り込みです。
4. CAN受信端子の立ち下がりエッジの検出 (レセプからドミナントへのCANバス変化) によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考 m = 0-15

13.13 診断機能と特殊動作モード

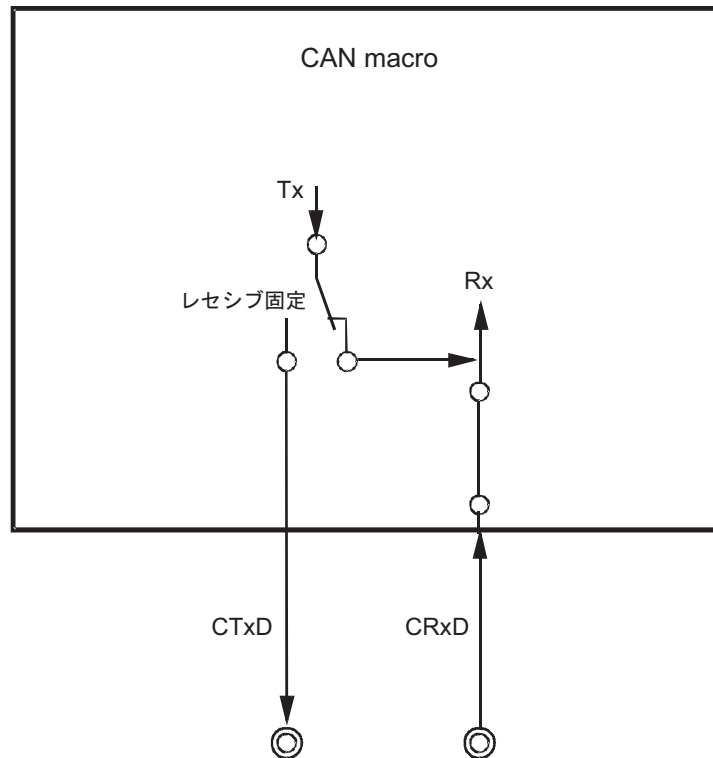
CANモジュールは、CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モードを利用できます。

13.13.1 受信オンリー・モード

受信オンリー・モードは、CANバスに影響を与えずに受信メッセージをモニタするモードで、CANバス分析ノード用に使用できます。

たとえば、自動ポー・レート検出に利用できます。“有効な受信”が検出されるまでCANモジュールのポー・レートを変化させ、互いのポー・レートを合わせ込むことができます（“有効な受信”とは、エラーが発生せず、CANバスに接続されたノードによる適切なACK応答を伴って、CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では、受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は、CCTRLレジスタのVALIDビットがセット（1）されることで確認できます。

図13-59 受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードでは、CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは、CANモジュールのCAN送信端子 (CTxD) は、レセプ・レベルに固定されています。したがって、メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも、CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また、CANモジュールから送信を発行できないため、送信エラー・カウンタTECは更新されません。したがって、受信オンリー・モードのCANモジュールは、バスオフ状態になりません。

さらに、受信オンリー・モードでは、有効なメッセージ・フレームの受信時に、CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバロード・フレームをCANバスに送信することができません。

注意 2つのCANノードのみがCANバスに接続されており、CANノードの1つが「受信オンリー・モード」で動作している場合は、CANバスでACK応答はありません。ACK応答がないため、送信ノードはアクティブ・エラー・フラグを送信し、メッセージ・フレームの送信を繰り返します。送信ノードは、メッセージ・フレームを16回送信したあとにエラー・パッシブになります（エラー・カウンタが最初に0であり、ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに、送信ノードはパッシブ・エラー・フラグを送信します。したがって、受信オンリー・モードの受信ノードは、この時点で、初めて有効なメッセージ・フレームを検出することになり、VALIDビットが初めてセット (1) されます。

13.13.2 シングル・ショット・モード

シングル・ショット・モードでは、CANプロトコルで定義された自動再送信は行いません（CANプロトコルでは、アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は、ソフトウェアによる制御なしで再送信される必要があります）。シングル・ショット・モードのその他の動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードでは、CCTRLレジスタのALビットの設定に従って、中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア (0) されている場合は、アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット (1) されている場合は、エラー発生時の再送信は無効になりますが、アービトレーション・ロスト発生時の再送信は有効になります。したがって、送信メッセージ・バッファとして定義されたメッセージ・バッファのTRQビットは、次のイベントでクリア (0) されます。

- ・メッセージ・フレームの正常送信完了
- ・メッセージ・フレームのアービトレーション・ロスト発生
- ・メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は、それぞれCINTSレジスタのCINTS4ビット、CINTS3ビットを確認し、エラーの種類はCLECレジスタのLEC [2:0]ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時、CINTSレジスタの送信完了割り込みCINTS0は、セット (1) されます。そのとき、CIEレジスタのCIE0ビットがセット (1) されている場合には、割り込み要求信号が出力されます。

シングル・ショット・モードは、タイム・トリガの通信方法 (TTCANレベル1など) をエミュレートするために使用することができます。

注意 ALビットは、シングル・ショット・モードでのみ有効です。その他の動作モードでは、アービトレーション・ロスト時の再送動作に影響を与えません。

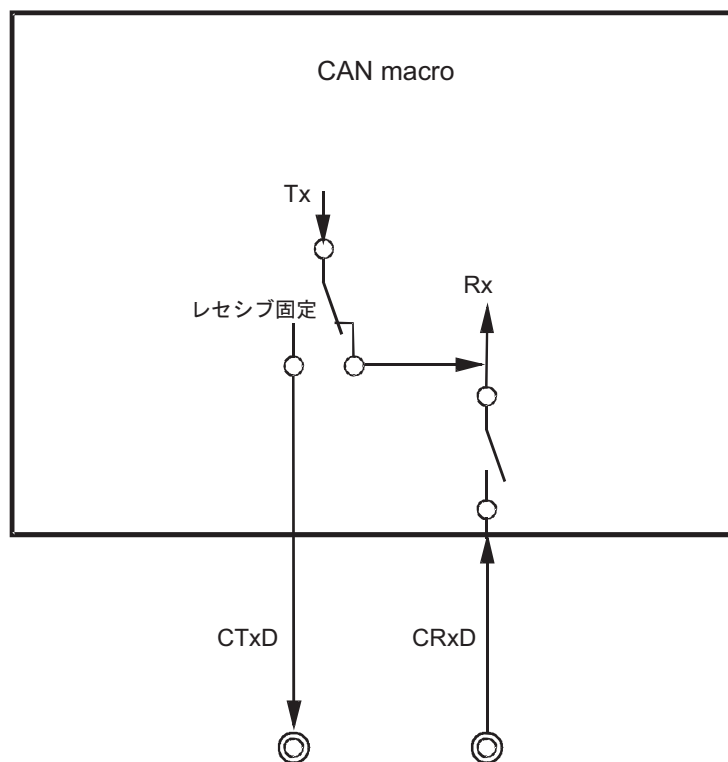
13.13.3 セルフ・テスト・モード

セルフ・テスト・モードでは、CANノードをCANバスに接続することなく、つまり、CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードでは、CANモジュールがCANバスから完全に切断されていますが、内部的に送信と受信はループ・バックされています。CAN送信端子（CTxD）は、レセシブ・レベルに固定されています。

ただし、セルフ・テスト・モードではCANスリープ・モードに移行したあと、CAN受信端子（CRxD）の立ち下がリエッジの検出をすると、他の動作モードと同様にCANスリープ・モードから解除されます（ただし、CANクロックが供給されている状態でスリープ・モードを解除したい場合は、CAN受信端子（CRxD）の立ち下がリエッジの検出後、ソフトウェアによるPSMODE0ビットのクリアが必要となります）。CANスリープ・モードから解除されないようにするには、CAN受信端子（CRxD）をポートに切り替えて使用してください。

図13-60 セルフ・テスト・モードにおけるCAN端子接続



13. 13. 4 各動作モードにおける送受信動作

各動作モードにおける送受信動作の概略を表13-21に示します。

表13-21 各動作モードにおける送受信動作の概要

動作モード	データ・フレーム ／リモート・ フレーム送信	ACK送信	エラー・フレーム ／オーバーロード・ フレーム送信	再送信	自動ブロック 送信 (ABT)	VALID ビットの セット	メッセージ・ バッファへの データ格納
初期化モード	—	—	—	—	—	—	—
通常動作モード					—		
ABT付き通常動作 モード							
受信オンリー・ モード	—	—	—	—	—		
シングル・ ショット・モード				—注 ¹	—		
セルフ・テスト・ モード	注 ²	注 ²	注 ²	注 ²	—	注 ²	注 ²

注1. アービトレーション・ロスト時, CCTRLレジスタのALビットにより, 再送信の設定が可能です。

2. 各信号は外部に出力されませんが, CANモジュール内部で発生します。

13.14 タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって、CANバスに接続されているすべてのノードは、それぞれが独自のローカルなクロックを使っています。そのため、各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり、周波数が完全に合致していません）。

しかし、アプリケーションによっては、ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となる場合があります。グローバル・タイム・ベースを確立するためには、タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要なメカニズムは、CANバス上の信号をトリガとしてタイマ値をキャプチャすることです。

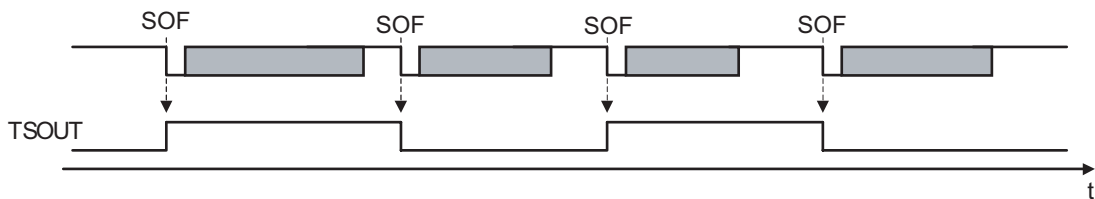
13.14.1 タイム・スタンプ機能

CANコントローラは、特定フレームをトリガとしてタイマ値をキャプチャする場合に必要な機能をサポートしています。そのために、CANコントローラに加え製品に内蔵されている16ビットのキャプチャ/タイマ・ユニットを使用します。この場合、16ビット・キャプチャ・タイマ・ユニットは、CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号（TSOUT）に応じて、タイマ値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより、キャプチャ・イベントの発生時刻、すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUTは、次の2つのイベント・ソースから選択することができ、CTSレジスタのTSSELビットにより指定します。

- ・ SOFイベント （スタート・オブ・フレーム） （TSSELビット = 0）
- ・ EOFイベント （エンド・オブ・フレームの最終ビット） （TSSELビット = 1）

またTSOUT信号は、CTSレジスタのTSENビットをセット（1）することで動作許可状態になります。

図13-61 キャプチャ用信号TSOUTのタイミング図



TSOUTは、データ・フレームの受信時に、選択されたイベントが発生するたびにそのレベルがトグルします（上図は、SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUTによるキャプチャを行うためには、キャプチャ/タイマ・ユニット側では、キャプチャ信号の検出は立ち上がり、および立ち下りの両エッジで行う必要があります。

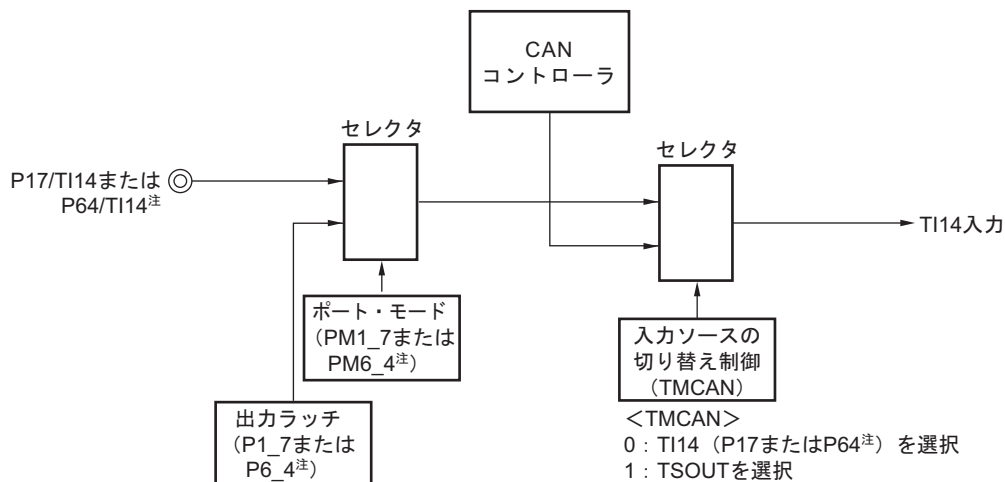
これらのタイム・スタンプの機能は、CTSレジスタのTSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には、選択したイベントが発生するたびにTSOUTがトグルします。TSLOCKビットがセット（1）されている場合には、選択したイベントが発生するたびにTSOUTがトグルしますが、データ・フレームがメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで、トグル動作を停止させることができます。これにより、以降のTSOUTのトグル発生を抑え、最後にトグルした（= 最後にキャプチャした）タイム・スタンプ値を、メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

注意 TSLOCKビットを使ったタイム・スタンプ機能は、メッセージ・バッファ0へのデータ・フレーム受信によりTSOUTのトグルを停止させるものです。そのためには、メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので、リモート・フレーム受信によりTSOUTのトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信ではTSOUTのトグルは停止しません。

上記の理由で、CANモジュールがABT付き通常モードに設定されている場合には、メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため、メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって、この動作モードではTSLOCKビットによるTSOUTのトグルの停止機能は使用できません。

入カソースの切り替え制御（TMCAN）により、外部でTSOUTとTI14の結線をせずに、キャプチャ用のトリガ信号（TSOUT）の入カソースをタイマ・アレイ・ユニット1のチャンネル4へ入力することができます。

図13-62 入カソースの切り替え制御



注 TIS1_4で選択

- 備考 1. TMCAN : シリアル通信端子選択レジスタ（STSEL）のビット6（図13-51参照）
 TIS1_4 : タイマ入力選択レジスタ1（TIS1）のビット4（第6章 タイマ・アレイ・ユニット参照）
2. 製品によって搭載されている端子が異なります。詳細は、1.4 端子接続図（Top View）、2.1 端子機能一覧を参照してください。

13. 15 ボー・レート設定について

13. 15. 1 ビット・レート設定条件

CANを正常に動作させるために、次の条件に設定してください。

- (a) 5TQ SPT (サンプル・ポイント) 17TQ
SPT = TSEG1+1TQ
- (b) 8TQ DBT (データ・ビット・タイム) 25TQ
DBT = TSEG1+TSEG2+1TQ = TSEG2+SPT
- (c) 1TQ SJW (同期ジャンプ幅) 4TQ
SJW DBT-SPT
- (d) 4TQ TSEG1 16TQ [3 TSEG1[3:0]ビットの設定値 15]
- (e) 1TQ TSEG2 8TQ [0 TSEG2[2:0]ビットの設定値 7]

備考 TQ = 1/frq (frq : CANプロトコル・レイヤ基本システム・クロック)
TSEG1 [3:0] (CANビット・レート・レジスタ (CBTR) のビット3-0)
TSEG2 [2:0] (CANビット・レート・レジスタ (CBTR) のビット10-8)

上記条件を満たすビット・レートの組み合わせを表13-22に示します。

表13-22 設定可能なビット・レート組み合わせ (1/3)

DBTの長さ	有効なビット・レート設定				CBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

表13-22 設定可能なビット・レート組み合わせ (2/3)

DBTの長さ	有効なビット・レート設定				CBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

表13-22 設定可能なビット・レート組み合わせ (3/3)

DBTの長さ	有効なビット・レート設定				CBTRレジスタ設定値		サンプル・ポイント (単位: %)
	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG1 [3:0]	TSEG2 [2:0]	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7 ^注	1	2	2	2	0011	001	71.4
7 ^注	1	4	1	1	0100	000	85.7
6 ^注	1	1	2	2	0010	001	66.7
6 ^注	1	3	1	1	0011	000	83.3
5 ^注	1	2	1	1	0010	000	80.0
4 ^注	1	1	1	1	0001	000	75.0

注 DBT値が7以下の設定は、CBTRレジスタ = 00H以外の場合のみ有効です。

注意 表13-22は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

13. 15. 2 代表的なボー・レート設定例

代表的なボー・レート設定例を表13-23および表13-24に示します。

表13-23 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz設定時) (1/2)

ボー・レート 設定値 (単位: kbps)	CBRP による 分周比	CBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位: TQ)					CBTRレジスタ 設定値		サンプル・ ポイント (単位: %)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意 表13-23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表13-23 代表的なボー・レート設定例 (f_{CANMOD} = 8 MHz設定時) (2/2)

ボー・レート 設定値 (単位: kbps)	CBRP による 分周比	CBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位: TQ)					CBTRレジスタ 設定値		サンプル・ ポイント (単位: %)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意 表13-23は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表13-24 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時) (1/2)

ボー・レート 設定値 (単位： kbps)	CBRPに よる 分周比	CBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位：TQ)					CBTRレジスタ設 定値		サンプル・ ポイント (単位：%)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意 表13-24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

表13-24 代表的なボー・レート設定例 (f_{CANMOD} = 16 MHz設定時) (2/2)

ボー・レート 設定値 (単位: kbps)	CBRPに よる 分周比	CBRP レジスタ 設定値 TQPRS [7:0]	有効なビット・レート設定 (単位: TQ)					CBTRレジスタ設 定値		サンプル・ ポイント (単位: %)
			DBTの 長さ	SYNC SEGM ENT	PROP SEGM ENT	PHASE SEGM ENT1	PHASE SEGM ENT2	TSEG1 [3:0]	TSEG2 [2:0]	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

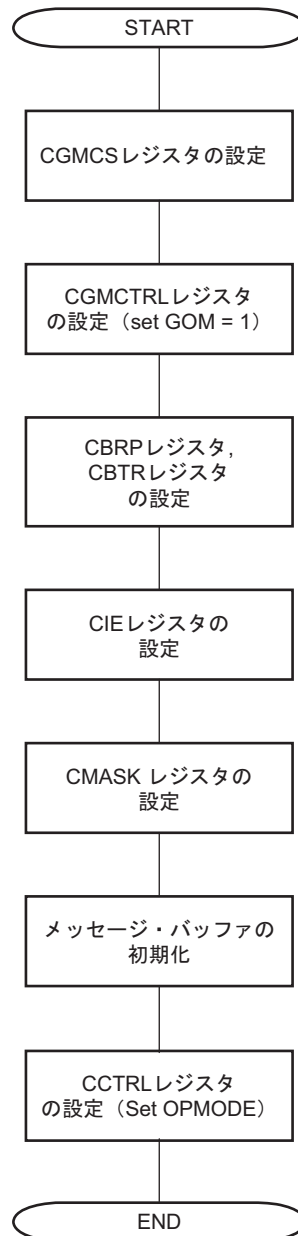
注意 表13-24は、ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス、CANトランシーバなどの遅延などを考慮して、ネットワーク・システムへの影響を十分にご確認ください。

13.16 CANコントローラの動作

ここで示す処理手順は、CANコントローラを動作させるための推奨処理手順となります。この推奨処理手順を参考にプログラム開発を行ってください。

備考 m = 0-15

図13-63 初期化



備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

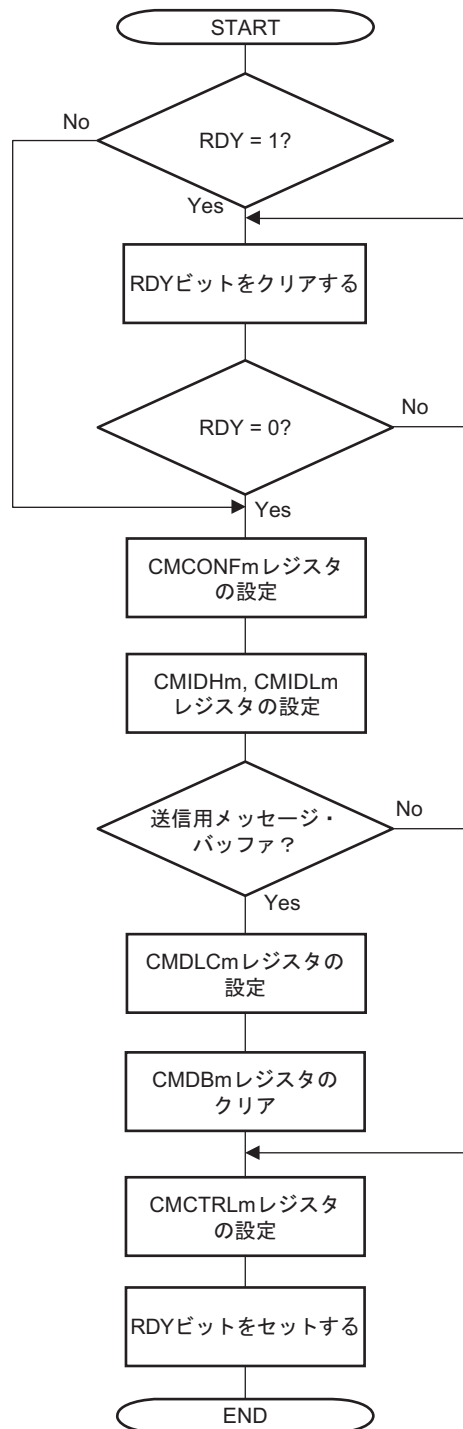
図13-64 再初期化



注意 初期化モードへ移行したあとに、連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には、必ずCCTRL, CGMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。

備考 OPMODE：通常動作モード、ABT付き通常動作モード、受信オンリー・モード、シングル・ショット・モード、セルフ・テスト・モード

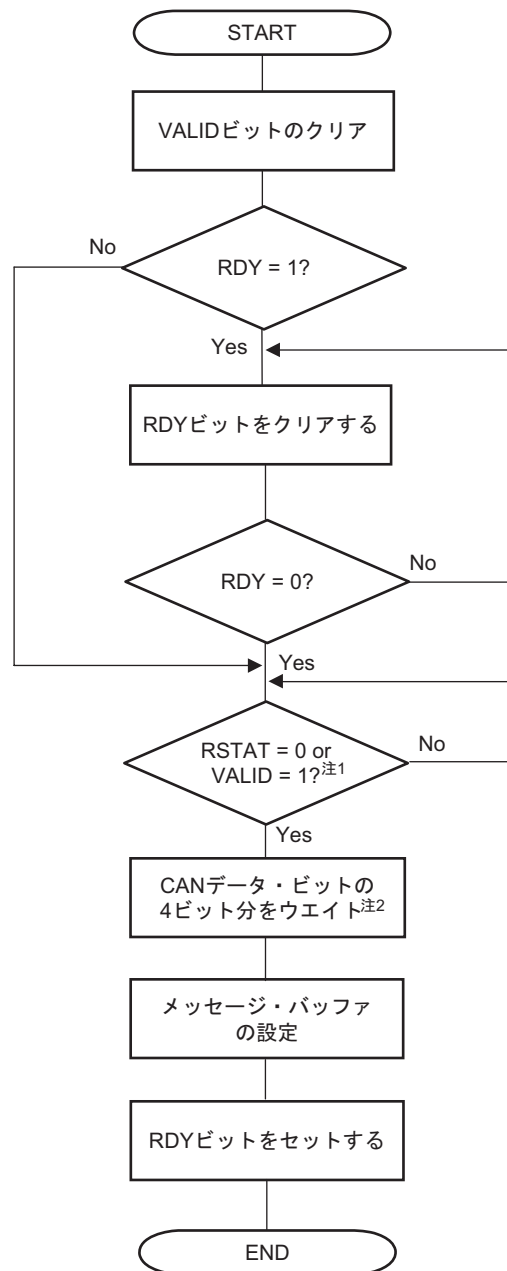
図13-65 メッセージ・バッファの初期化



- 注意 1.** メッセージ・バッファを初期化する前に、RDYビットをクリアしてください。
2. アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。
- ・ CMCTRLmレジスタのRDYビット、TRQビット、DNビットをクリア (0) する。
 - ・ CMCONFmレジスタのMA0ビットをクリア (0) する。

図13-66は、受信メッセージ・バッファに対する処理です(CMCONFmレジスタのMT[2:0]ビット = 001B-101B)。

図13-66 メッセージ・バッファの再定義



注1. メッセージ受信中に再定義を行った場合には、受信が終わってからRDYビットをセットしなければならな
いため、受信中かどうかを確認する必要があります。

2. この4ビットの期間は、メッセージの受信格納動作中にメッセージ・バッファの再定義を行ってしまう可能
性があります。

図13-67は、送信中の送信メッセージ・バッファに対する処理です（CMCONFmレジスタのMT[2:0]ビット = 000B）。

図13-67 送信中のメッセージ・バッファの再定義

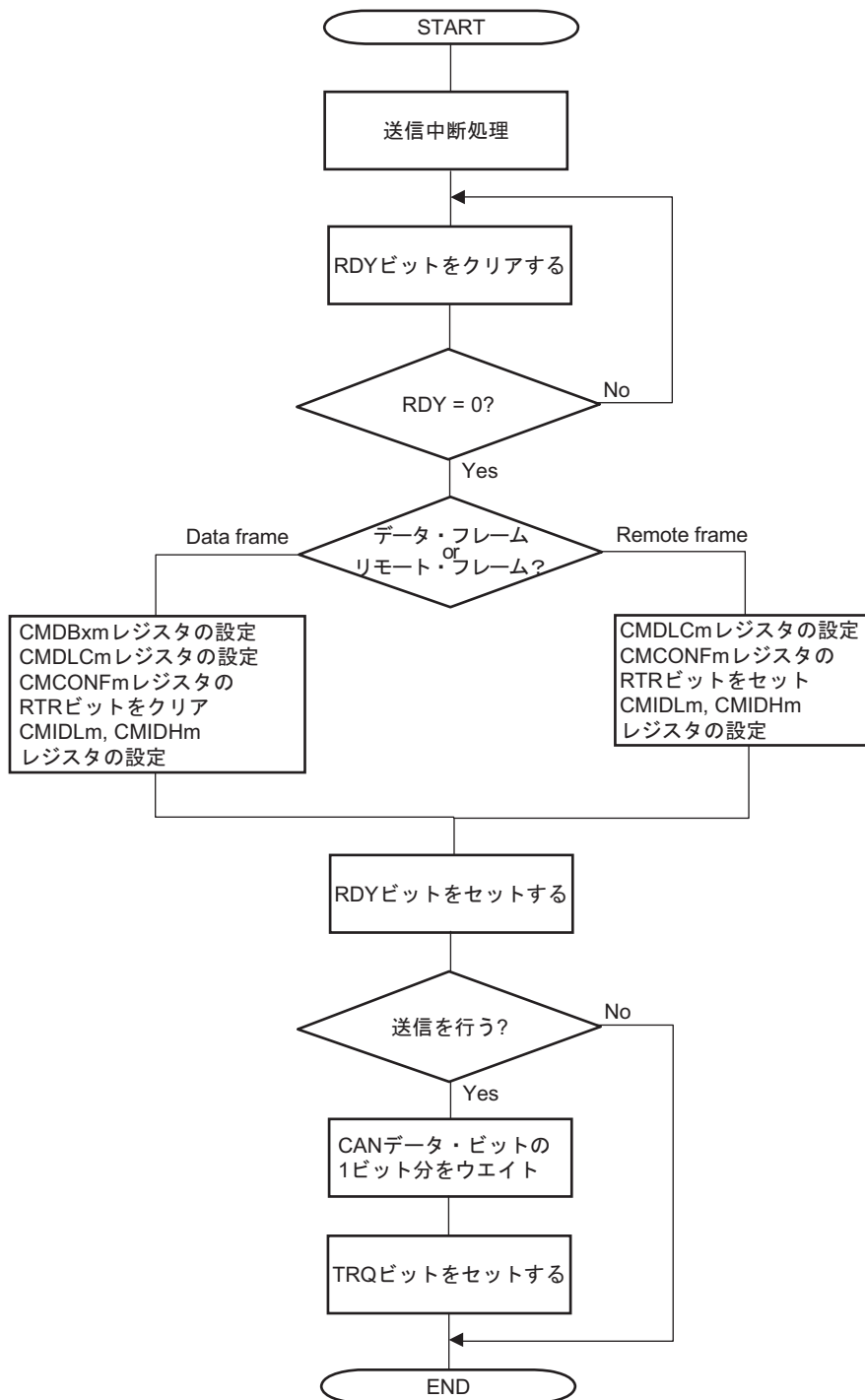
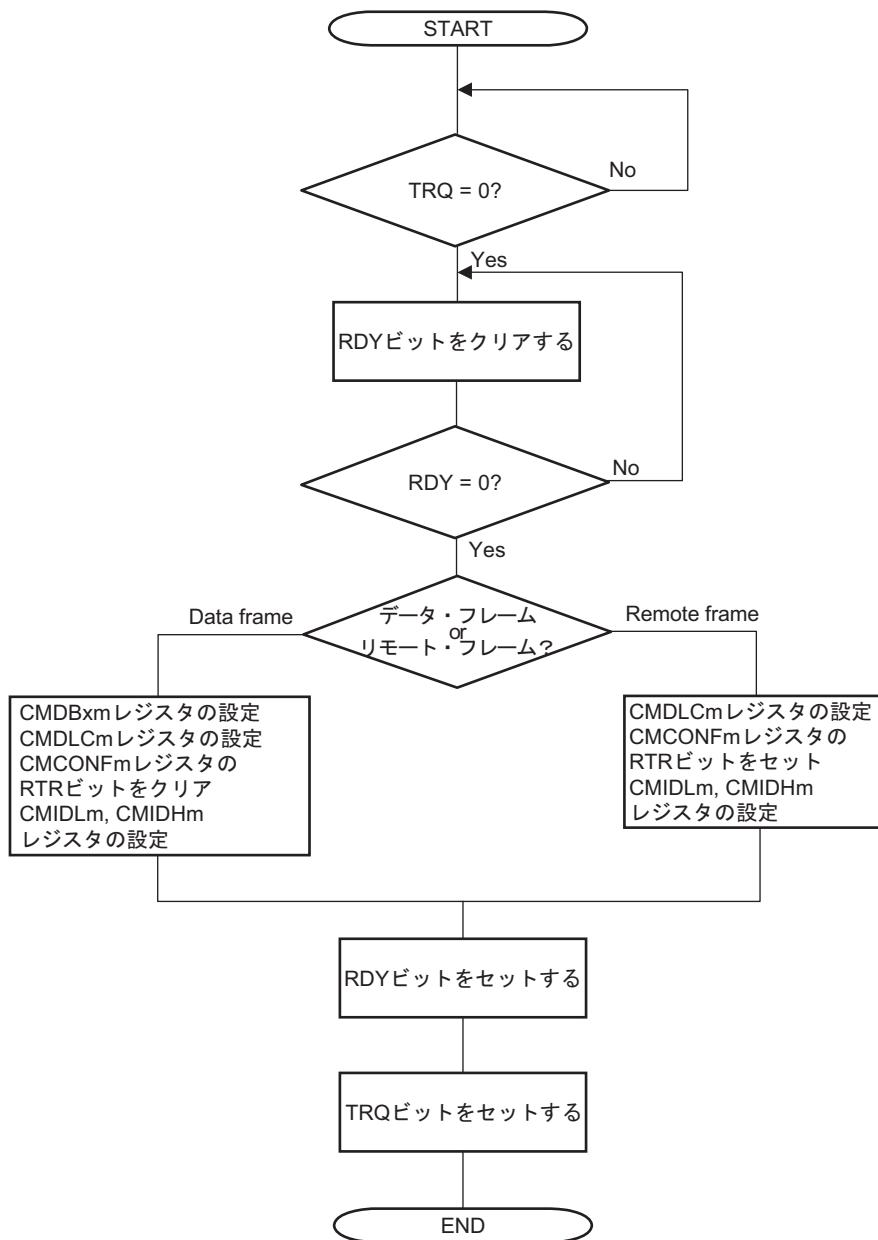


図13-68は、送信メッセージ・バッファに対する処理です（CMCONFmレジスタのMT [2:0]ビット = 000B）。

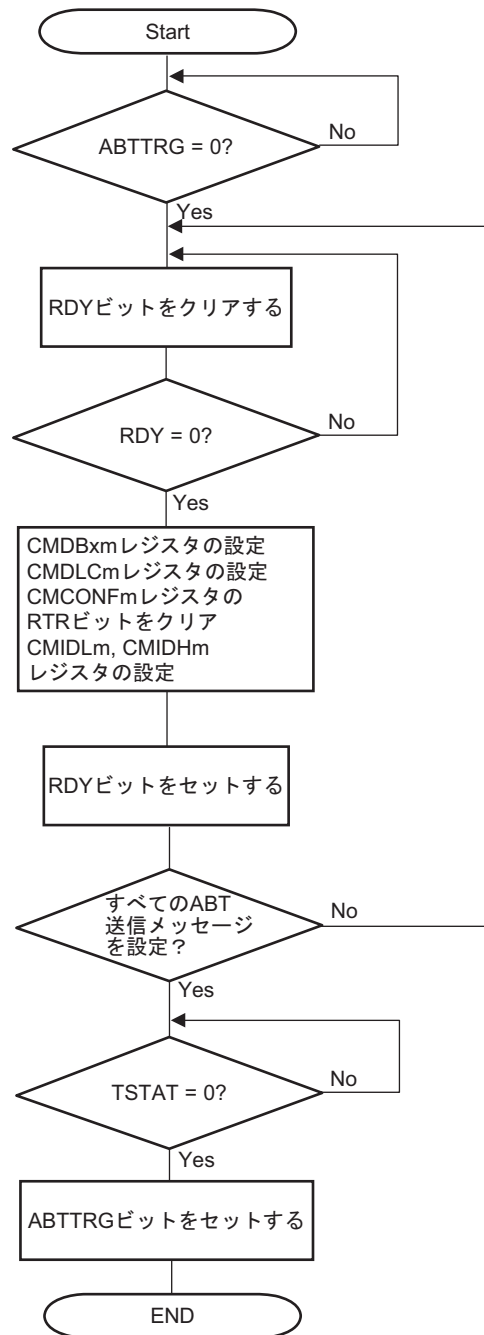
図13-68 メッセージ送信処理



- 注意1. RDYビットはTRQビットを設定する前に必ず設定してください。
 2. RDYビットとTRQビットは同時に設定しないでください。

図13-69は、送信メッセージ・バッファに対する処理です（CMCONFmレジスタのMT [2:0]ビット = 000B）。

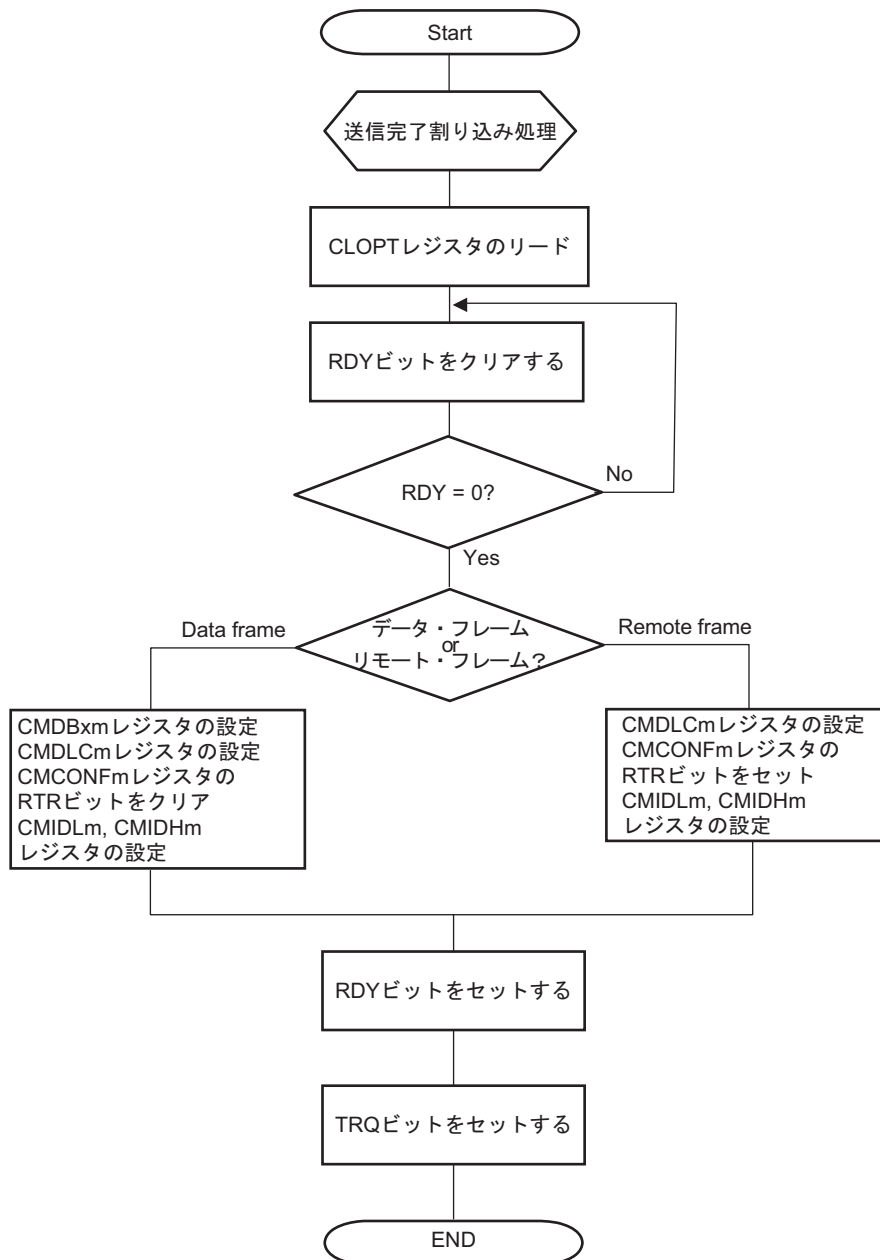
図13-69 ABTメッセージ送信処理



注意 ABTTRGビットのセット（1）は、TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は、連続的に処理を行う必要があります。

備考 この処理（ABT付き通常動作モード）は、メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては、図13-68を参照してください。

図13-70 割り込みによる送信処理 (CLOPTレジスタを使用する場合)

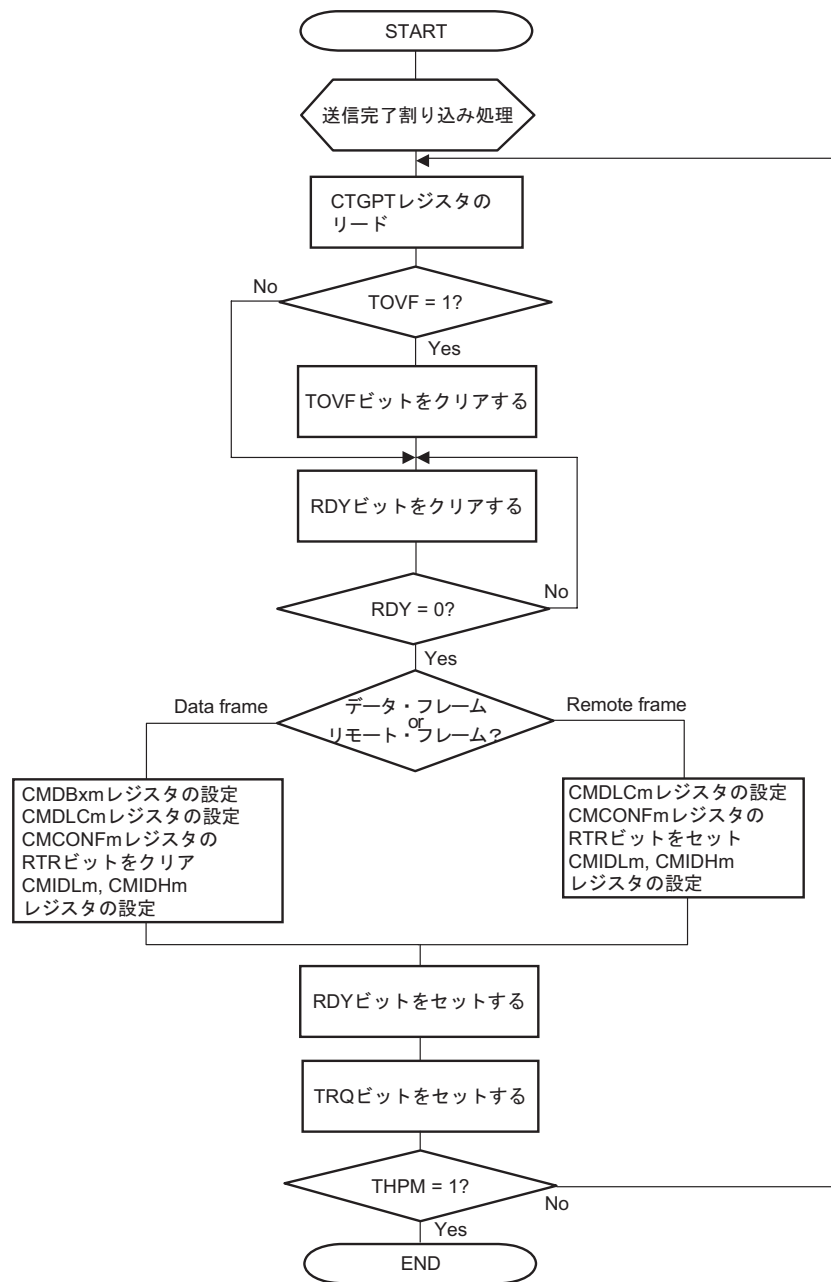


注意1. RDYビットはTRQビットを設定する前に必ず設定してください。

2. RDYビットとTRQビットは同時に設定しないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア (0) されていた場合には、実行中の処理を中止し、MBONビットが再度セット (1) されたあとで処理を再実行してください。このような理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

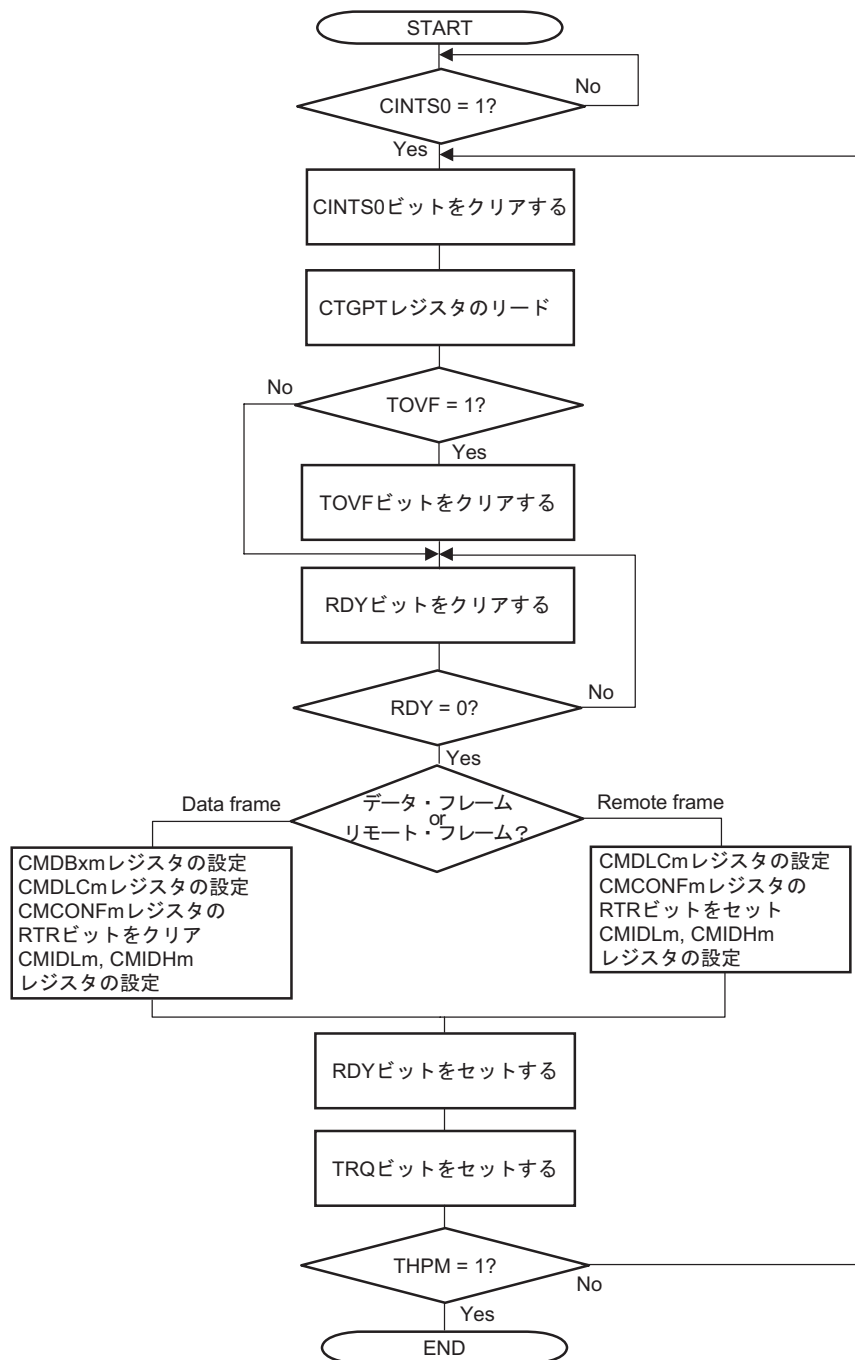
図13-71 割り込みによる送信処理 (CTGPTレジスタを使用する場合)



- 注意 1. RDYビットはTRQビットを設定する前に必ず設定してください。
2. RDYビットとTRQビットは同時に設定しないでください。

- 備考 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア (0) されていた場合には、実行中の処理を中止し、MBONビットが再度セット (1) されたあとで処理を再実行してください。この様な理由により、送信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. TOVFビットが一度セット (1) された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

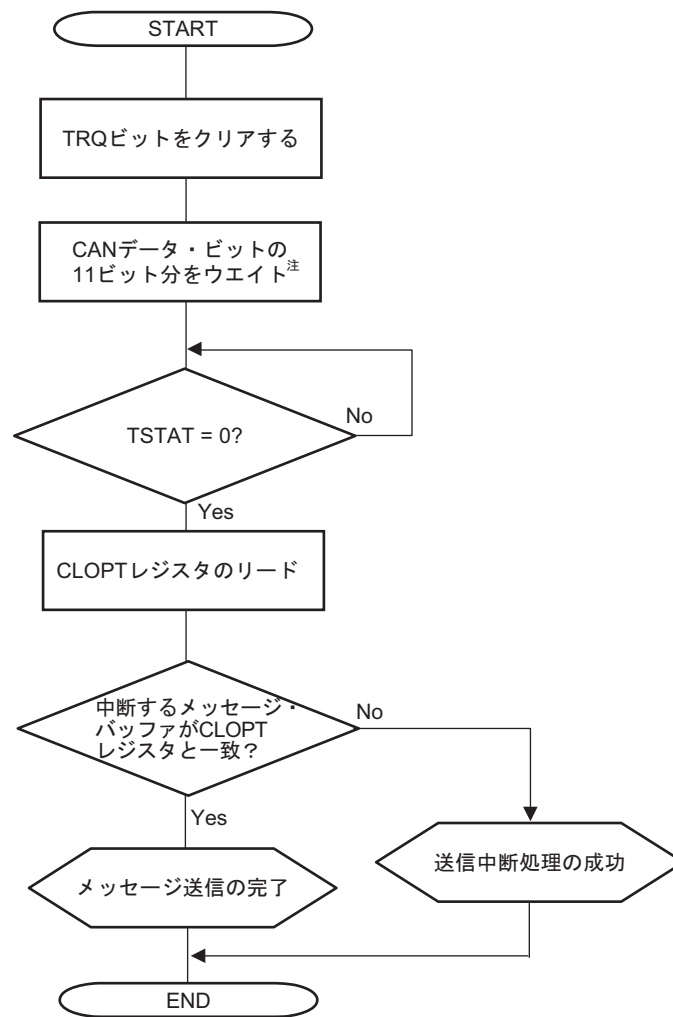
図13-72 ソフトウェア・ポーリングによる送信処理



- 注意1. RDYビットはTRQビットを設定する前に必ず設定してください。
 2. RDYビットとTRQビットは同時に設定しないでください。

- 備考1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび送信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されていた場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。
2. TOVFビットが一度セット（1）された場合、送信履歴・リストは矛盾するので、送信完了した送信メッセージ・バッファのすべてをスキャンしてください。

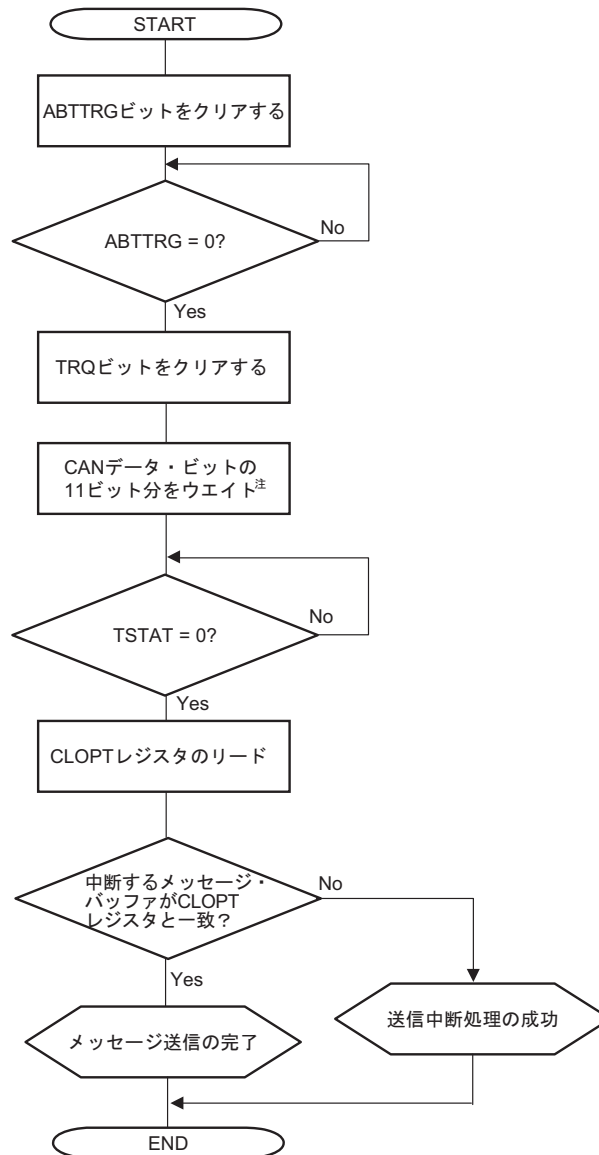
図13-73 送信中断処理 (ABT付き通常動作モード以外)



注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意1. 送信要求アボート処理は、RDYビットをクリアして実行するのではなく、TRQクリアにより実行してください。
- スリープ要求を行う場合は、このフローにより送信要求が完全になくなったことを確認したあとに行ってください。
 - TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
 - 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
 - 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、CTGPTレジスタの履歴情報などを使用することにより判定を行ってください。

図13-74 ABT送信以外の送信中断処理 (ABT付き通常動作モード)

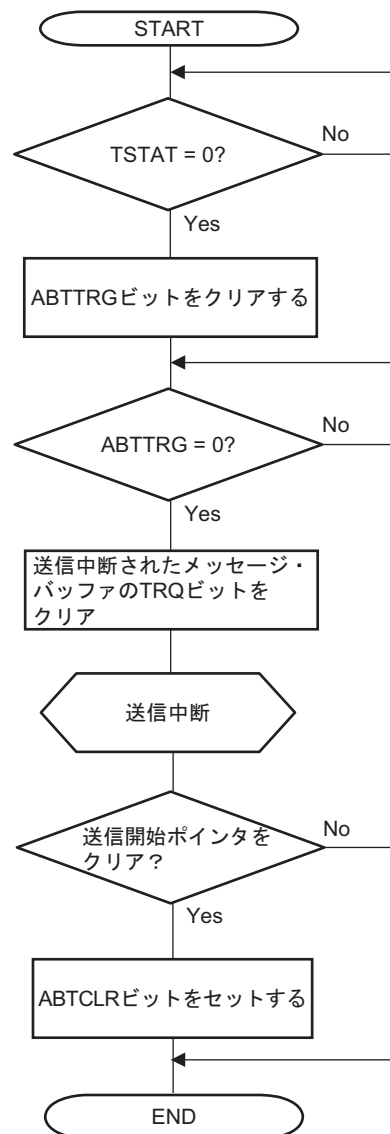


注 インタ・フレーム・スペース (3ビット) とサスペンド・トランスミッション (8ビット) の合計11ビットの期間は、すでにプロトコル・レイヤに送信要求が受け付けられている場合があるため、TRQビットをクリアしても中断されずに送信を開始してしまう可能性があります。

- 注意1. 送信中断処理は、RDYビットをクリアして実行するのではなく、TRQビットのクリアにより実行してください。
- スリープ要求を行う場合は、このフローにより送信要求が完全になくなったことを確認したあとに行ってください。
 - TSTATビットの確認は、ユーザ・アプリケーションにより周期的に行うか、送信完了割り込み後に行うことも可能です。
 - 送信中断処理を実行中に、他のメッセージ・バッファを含め新しい送信要求を行わないでください。
 - 同一メッセージ・バッファを連続で送信する場合や1つのみのメッセージ・バッファを使用する場合には、送信中断の成否判定で矛盾が生じる可能性があります。その場合、CTGPTレジスタの履歴情報などを使用することにより判定を行ってください。

図13-75は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図13-75 ABT送信中断処理（ABT付き通常動作モード）

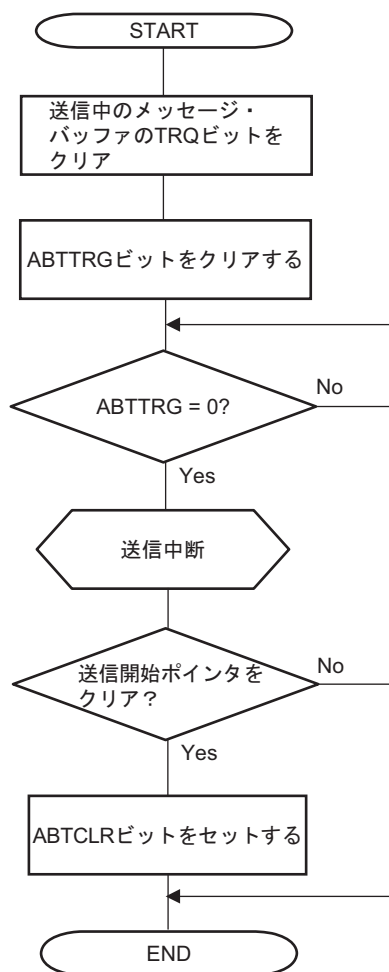


注意1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。

2. CANスリープ・モード／CANストップ・モードの要求は、図13-75または図13-76により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図13-74に従ってください。

図13-76は、ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

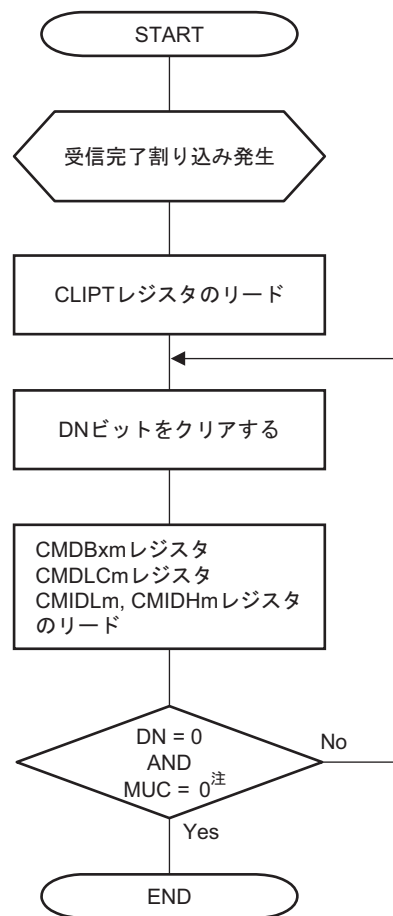
図13-76 ABT送信中断処理（ABT付き通常動作モード）



注意1. ABT送信中断処理中は、いかなる送信要求もセットしないでください。

2. CANスリープ・モード／CANストップ・モードの要求は、図13-75または図13-76により、ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから）、行ってください。ABT領域以外の送信要求をクリアする場合は、図13-74に従ってください。

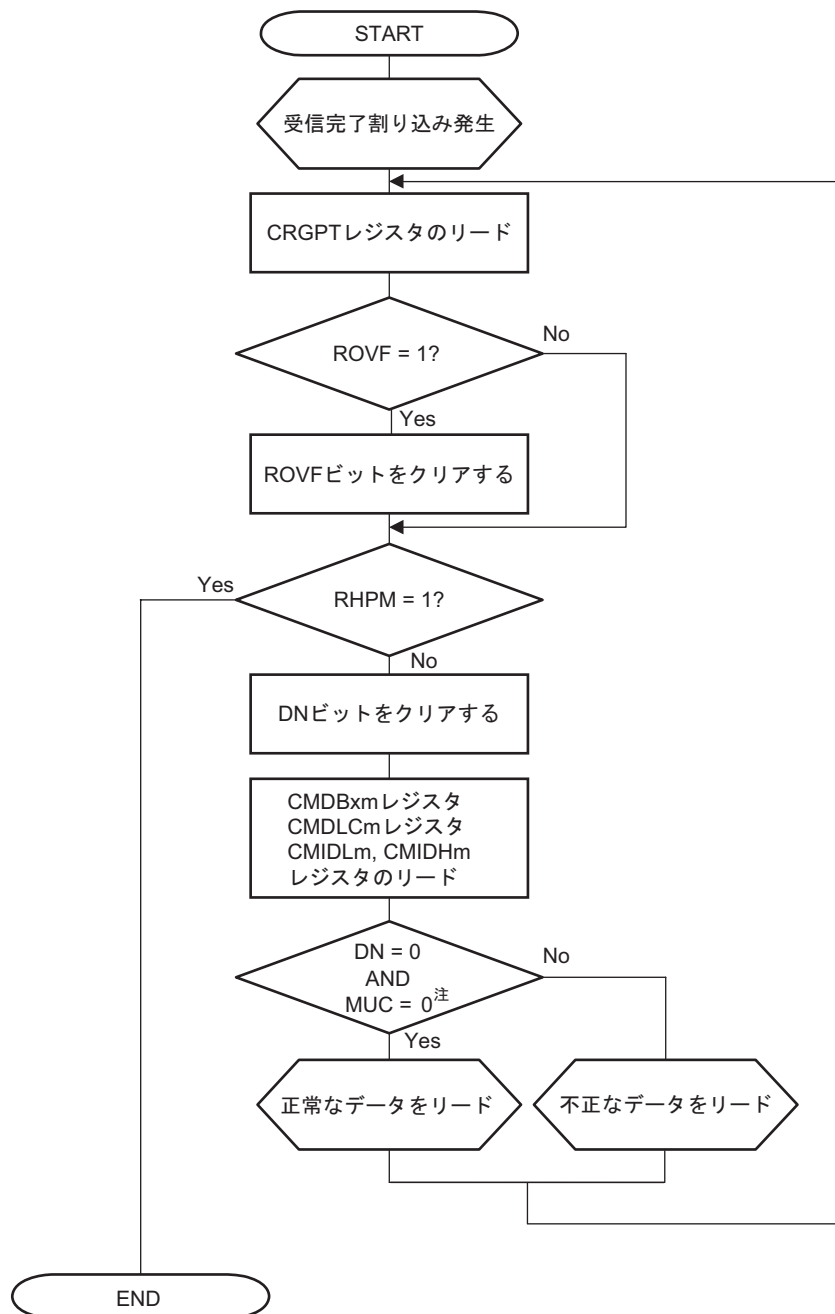
図13-77 割り込みによる受信処理 (CLIPTレジスタを使用する場合)



注 MUCビットとDNビットは別々にリードしないでください。

備考 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア (0) されていた場合には、実行中の処理を中止し、MBONビットが再度セット (1) されたあとで処理を再実行してください。このような理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。

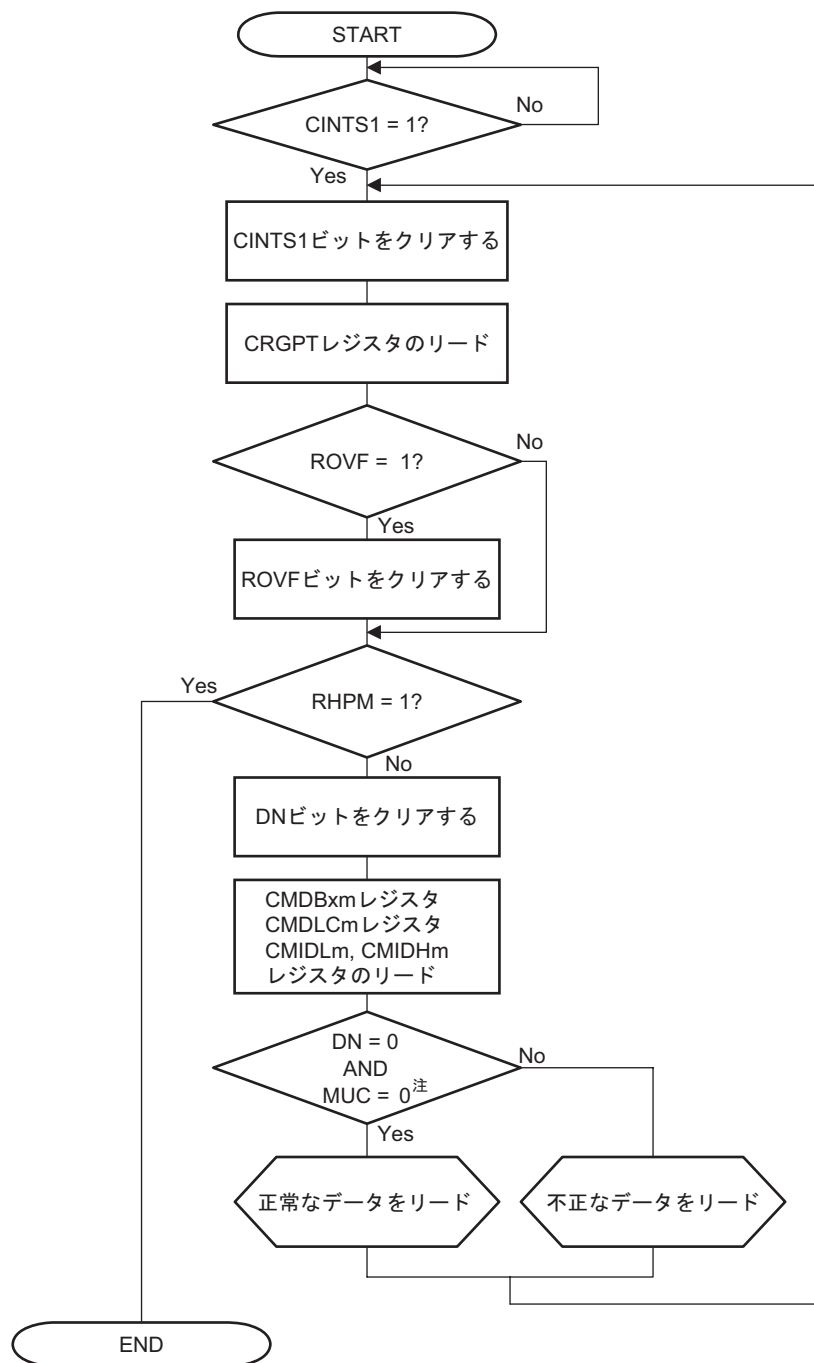
図13-78 割り込みによる受信処理（CRGPTレジスタを使用する場合）



注 MUCビットとDNビットは別々にリードしないでください。

- 備考 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、割り込みルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア（0）されていた場合には、実行中の処理を中止し、MBONビットが再度セット（1）されたあとで処理を再実行してください。この様な理由により、受信割り込み処理を実行する前にはCANスリープ・モード遷移要求をキャンセルすることを推奨します。
2. ROVFビットが一度セット（1）された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

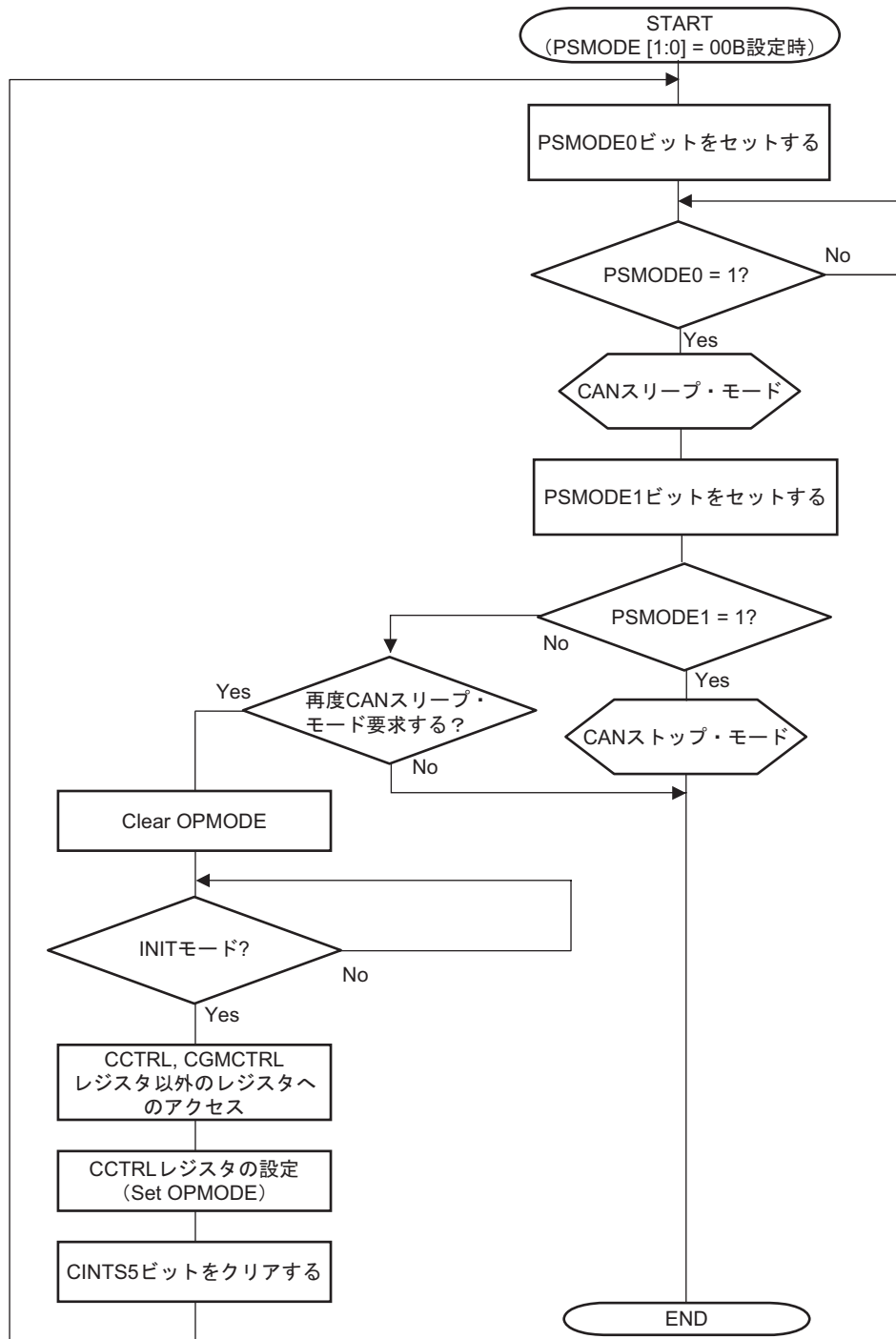
図13-79 ソフトウェア・ポーリングによる受信処理



注 MUCビットとDNビットは別々にリードしないでください。

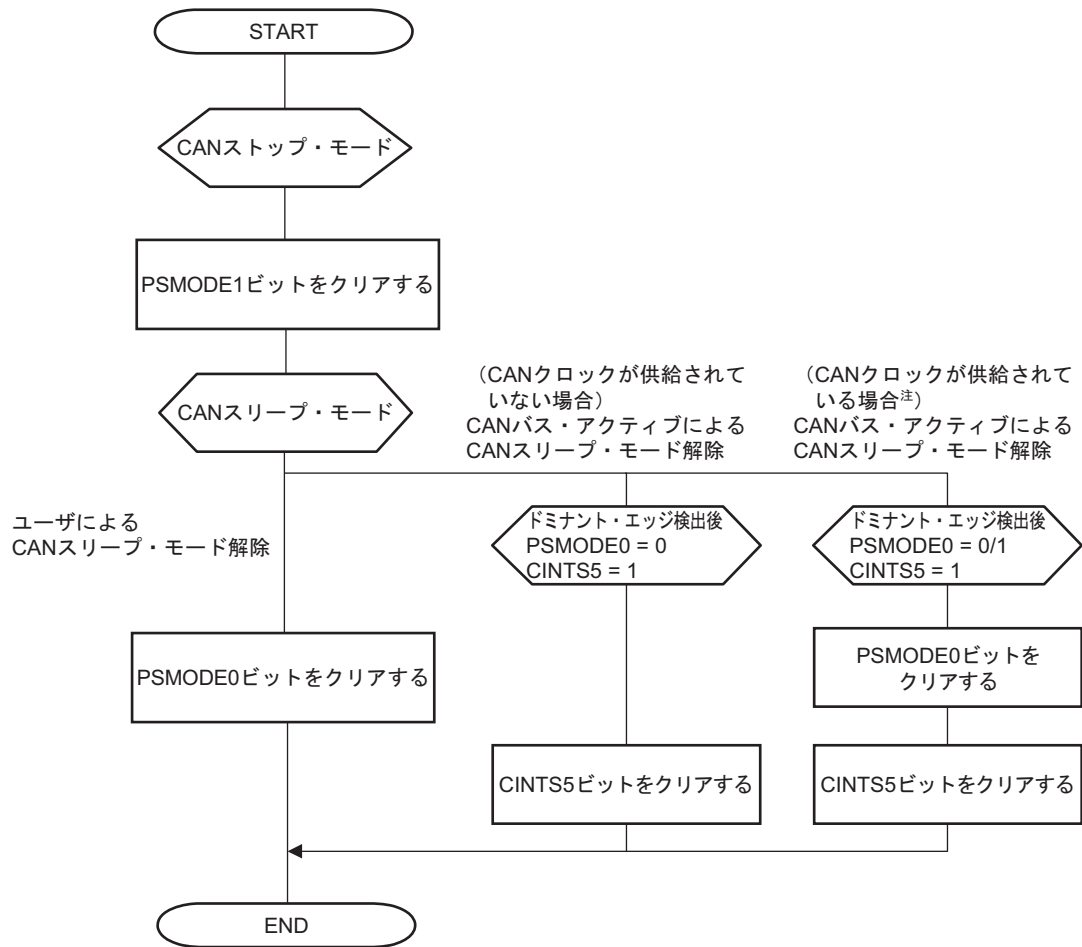
- 備考 1. 保留されていたCANスリープ・モード遷移要求が実行されている場合がありますので、メッセージ・バッファおよび受信履歴・レジスタへのアクセスが可能であることを確かめるために、ポーリング・ルーチンの開始と終了時にはMBONビットを確認してください。その際にMBONビットがクリア (0) されていた場合には、実行中の処理を中止し、MBONビットが再度セットされたあとで処理を再実行してください。
2. ROVFビットが一度セット (1) された場合、受信履歴・リストは矛盾するので、受信完了した受信メッセージ・バッファのすべてをスキャンしてください。

図13-80 CANスリープ・モード/CANストップ・モードの設定



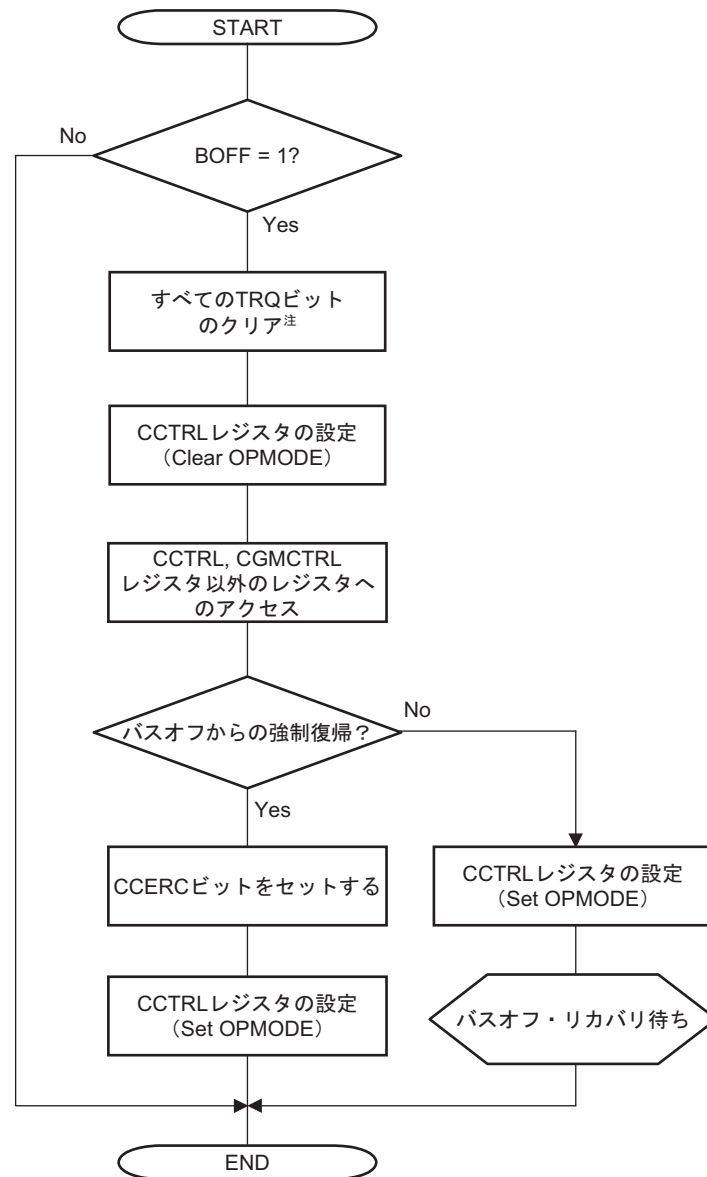
注意 CANスリープ・モードの要求前に送信中断を行う場合は、図13-73または13-74に従って処理してください。

図13-81 CANスリープ・モード／CANストップ・モードの解除



備考 CANクロックが供給されている場合とは、CPUスタンバイ・モードに設定せずに、CANスリープ・モードに設定されている状態を指します。

図13-82 バスオフからのリカバリ処理 (ABT付き通常動作モード以外の場合)

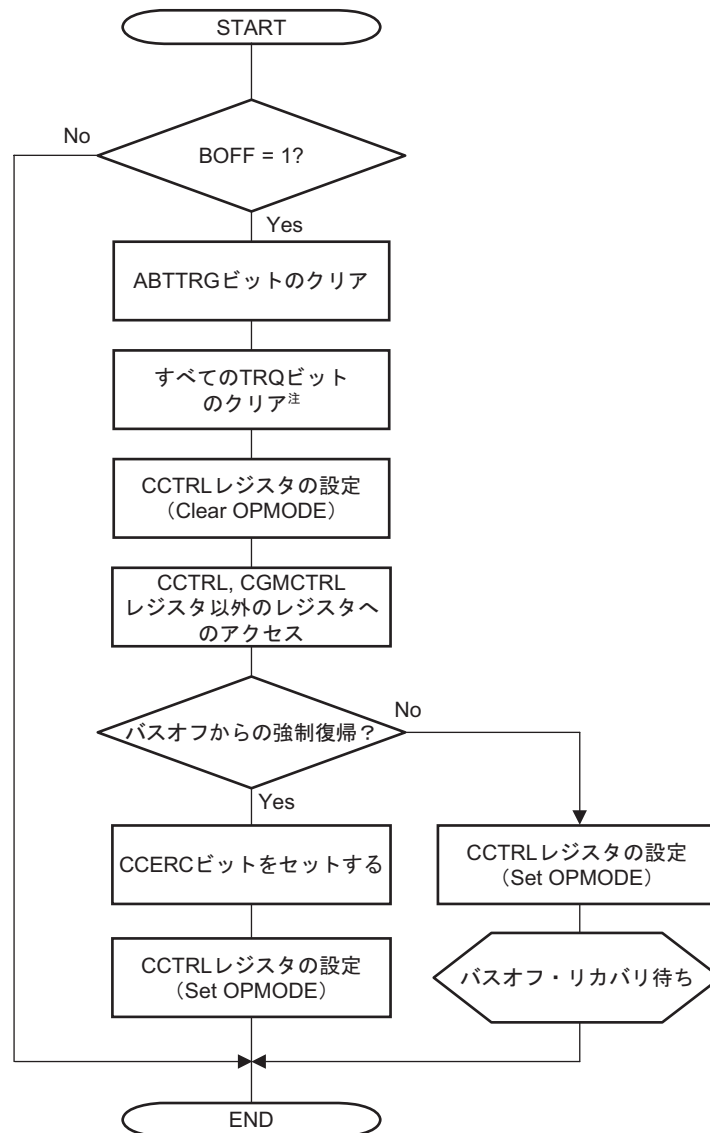


注 バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

注意 バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]ビット) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図13-83 バスオフからのリカバリ処理 (ABT付き通常動作モードの場合)



注 バスオフ・リカバリ・シーケンス開始前に、RDYビットをクリアしてメッセージ・バッファの再初期化をする場合は、すべてのTRQビットをクリアしてください。

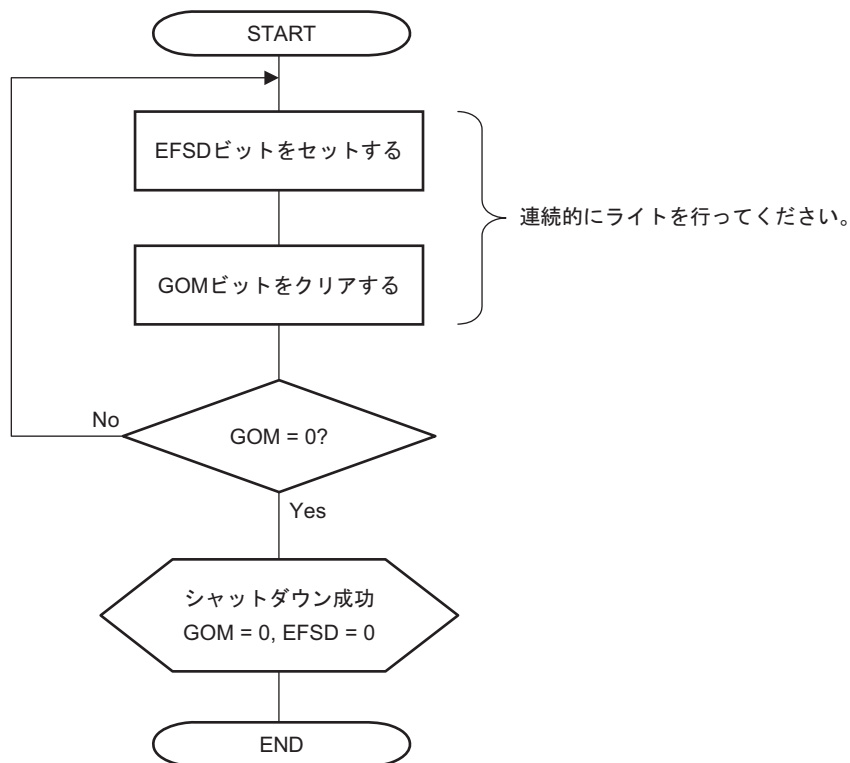
注意 バスオフ・リカバリ・シーケンス中にもう一度バスオフ・リカバリ・シーケンスを行うために、初期化モードから任意の動作モードへ遷移要求をしたとき、受信エラー・カウンタ (REC [6:0]) がクリアされます。したがって、もう一度バス上に11ビットの連続したレセシブ・ビットを128回検出する必要があります。

備考 OPMODE : 通常動作モード, ABT付き通常動作モード, 受信オンリー・モード, シングル・ショット・モード, セルフ・テスト・モード

図13-84 通常シャット・ダウン処理



図13-85 強制シャット・ダウン処理



注意 EFSDビットのセットとGOMビットのクリアの間に、ソフトウェアによる他のレジスタへのリード/ライト・アクセスを行わないでください。

このとき、ソフトウェア（割り込み）またはDMAによる、その他のレジスタ・アクセス（CGMCTRLレジスタのリード含む）が行われた場合、連続アクセスと見なされず、強制シャットダウンの要求は無効になりますので、注意してください。

図13-86 エラー処理

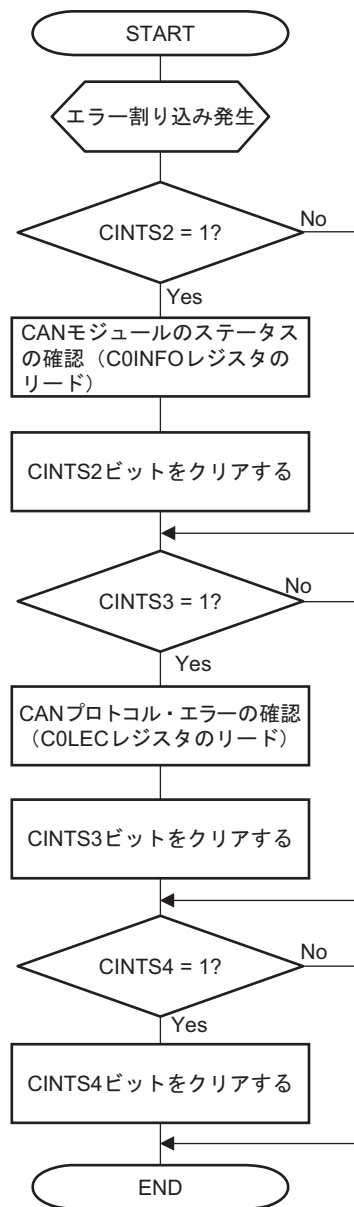
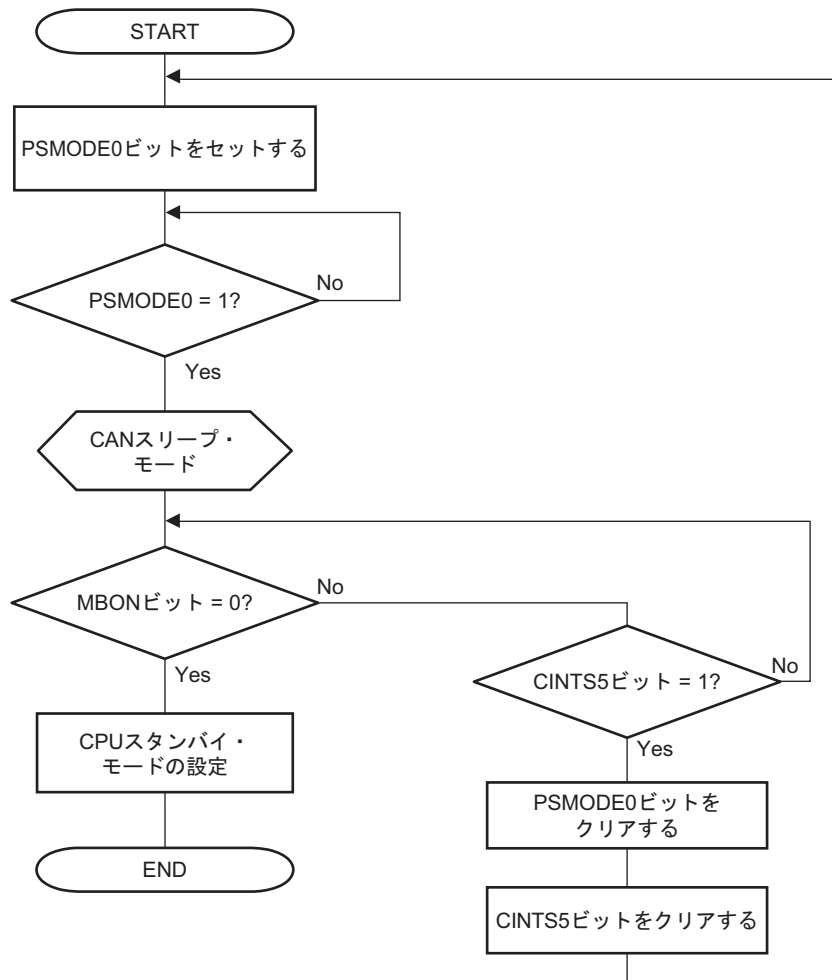
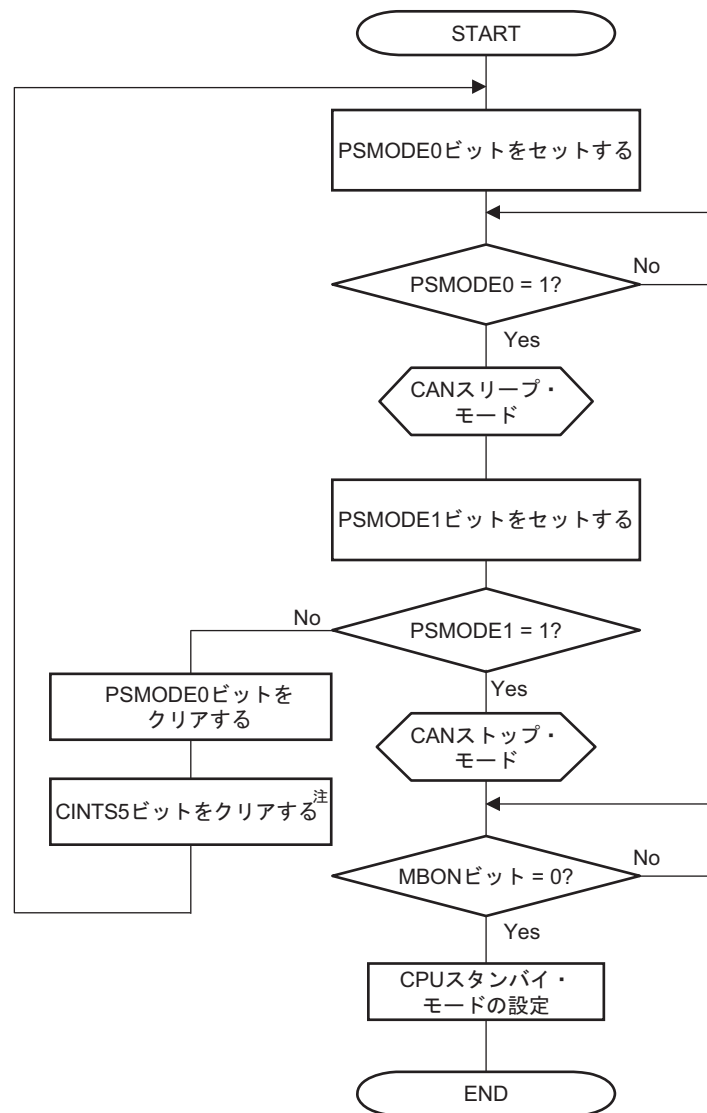


図13-87 CPUスタンバイ処理 (CANスリープ・モードからの移行)



注意 CPUをスタンバイ・モードに設定する前に、CANスリープ・モードかどうかを確認してください。ただし、CANスリープ・モードかどうかを確認してから、CPUをスタンバイ・モードに設定するまでに、ウエイクアップによってCANスリープ・モードが解除されることがあります。

図13-88 CPUスタンバイ処理 (CANストップ・モードからの移行)



注 ウェイクアップ割り込み使用時

注意 CANストップ・モードは、CTRLレジスタのPSMODE [1:0]ビットを01Bに設定することでのみ解除が可能で、CANバスの変化によって解除されません。

第14章 乗除算器

14.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷32ビット = 32ビット 剰余32ビット (除算)

14.2 乗除算器の構成

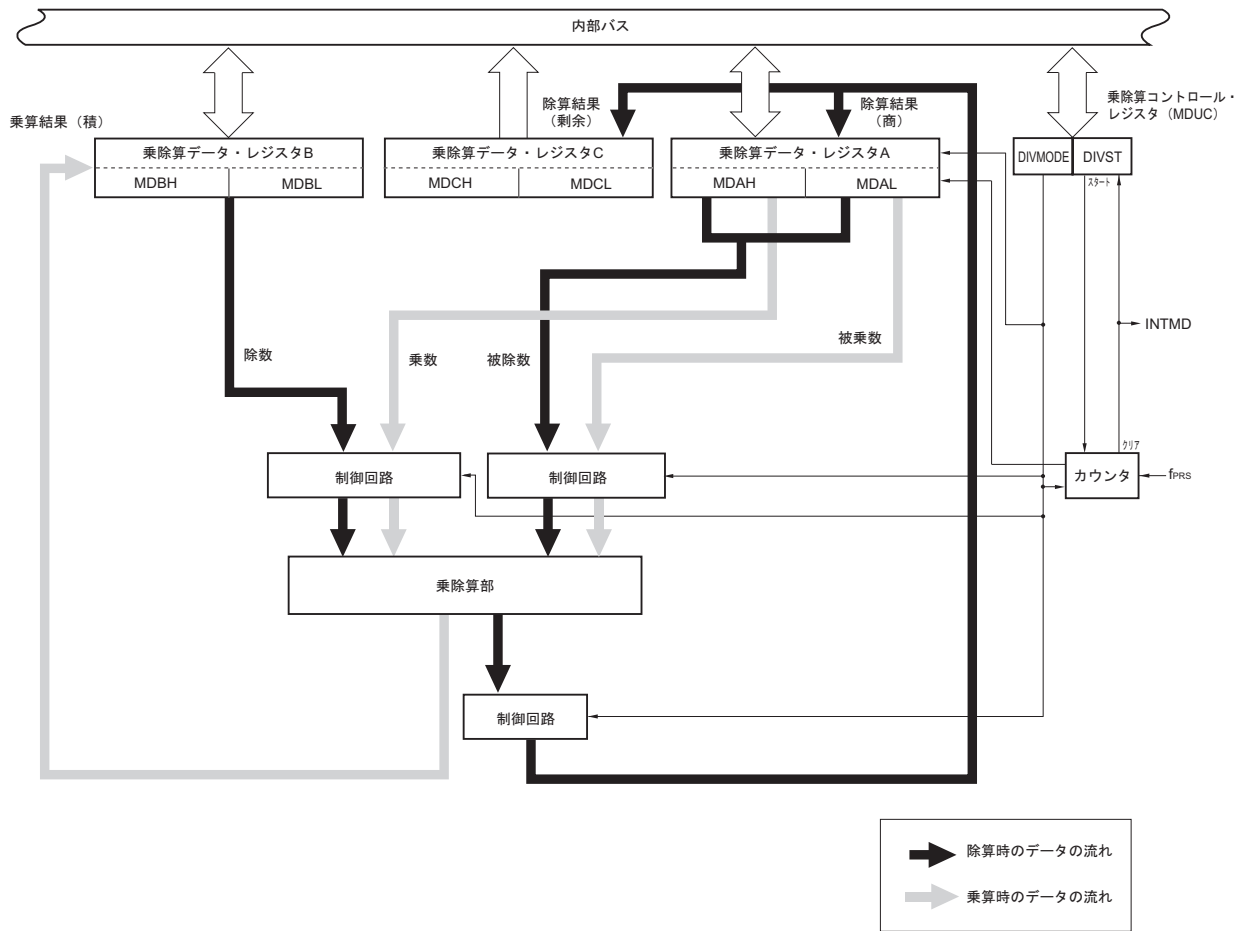
乗除算器は、次のハードウェアで構成されています。

表14-1 乗除算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除算器のブロック図を図14-1に示します。

図14-1 乗除算器のブロック図



(1) 乗除算データ・レジスタA (MDAH, MDAL)

MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図14-2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



- 注意1. 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81Hのとき）に、MDAH, MDALの値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中（MDUCが81Hのとき）にMDAH, MDALの値を読み出した場合、その値は保証しません。

MDAH, MDALの演算実行時の機能を次に示します。

表14-2 MDAH, MDALの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	MDAH：乗数 MDAL：被乗数	—
1	除算モード	MDAH：被除数（上位16ビット） MDAL：被除数（下位16ビット）	MDAH：除算結果（商） 上位16ビット MDAL：除算結果（商） 下位16ビット

備考 DIVMODE：乗除算コントロール・レジスタ（MDUC）のビット7

(2) 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図14-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時：0000H, 0000H R/W



注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDBH, MDBLの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。

2. 除算モード時は、MDBH, MDBLに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

MDBH, MDBLの演算実行時の機能を次に示します。

表14-3 MDBH, MDBLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	—	MDBH：乗算結果（積） 上位16ビット MDBL：乗算結果（積） 下位16ビット
1	除算モード	MDBH：除数（上位16ビット） MDBL：除数（下位16ビット）	—

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

(3) 乗除算データ・レジスタC (MDCL, MDCH)

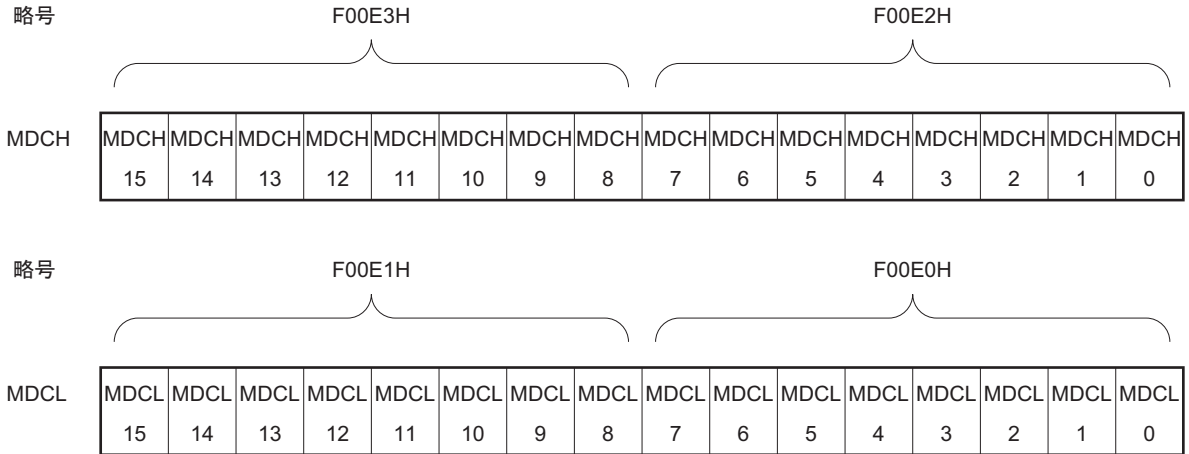
MDCH, MDCLレジスタは、除算モード時に於いて演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLは、16ビット操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図14-4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス : F00E0H, F00E1H, F00E2H, F00E3H リセット時 : 0000H, 0000H R



注意 除算演算処理中 (乗除算コントロール・レジスタ (MDUC) が81Hのとき) に、MDCH, MDCLの値を読み出した場合、その値は保証されません。

表14-4 MDCH, MDCLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	—	—
1	除算モード	—	MDCH : 剰余 (上位16ビット) MDCL : 剰余 (下位16ビット)

備考 DIVMODE : 乗除算コントロール・レジスタ (MDUC) のビット7

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

<乗数A> <乗数B> <積>

MDAL (ビット15-0) × MDAH (ビット15-0) = [MDBH (ビット15-0), MDBL (ビット15-0)]

・除算時のレジスタ構成

<被除数> <除数>

[MDAH (ビット15-0), MDAL (ビット15-0)] ÷ [MDBH (ビット15-0), MDBL (ビット15-0)] =

<商> <剰余>

[MDAH (ビット15-0), MDAL (ビット15-0)] ... [MDCH (ビット15-0), MDCL (ビット15-0)]

14.3 乗除算器を制御するレジスタ

乗除算器は、乗除算コントロール・レジスタ（MDUC）で制御します。

(1) 乗除算コントロール・レジスタ（MDUC）

MDUCは、乗除算器の動作を制御する8ビット・レジスタです。

MDUCは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図14-5 乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	0	0	0	0	0	0	DIVST

DIVMODE	演算モード（乗算／除算）の選択
0	乗算モード
1	除算モード

DIVST ^注	除算演算動作の開始／停止
0	除算演算処理完了
1	除算演算開始／除算演算処理中

注 DIVSTは除算モード時にのみセット（1）可能です。除算モード時、DIVSTをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTがクリア（0）されます。乗算モード時は、MDAH, MDALに乗数、被乗数を設定することにより自動的に演算が開始されます。

- 注意1. 演算処理中（DIVSTが1のとき）に、DIVMODEを書き換えないでください。書き換えた場合、演算結果が不定値となります。
2. 除算演算処理中（DIVSTが1のとき）にDIVSTをソフトウェアでクリア（0）することはできません。

14.4 乗除算器の動作

14.4.1 乗算動作

- ・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) を0にする。

乗除算データ・レジスタA (L) (MDAL) に被乗数をセット

乗除算データ・レジスタA (H) (MDAH) に乗数をセット

(, のセットの順はどちらが先でも問題ありません。MDAH, MDALに乗数, 被乗数をセットすると自動的に乗算演算を開始します。)

- ・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

- ・演算終了

乗除算データ・レジスタB (L) (MDBL) から積 (下位16ビット) を読み出します。

乗除算データ・レジスタB (H) (MDBH) から積 (上位16ビット) を読み出します。

(, の読み出しの順はどちらが先でも問題ありません。)

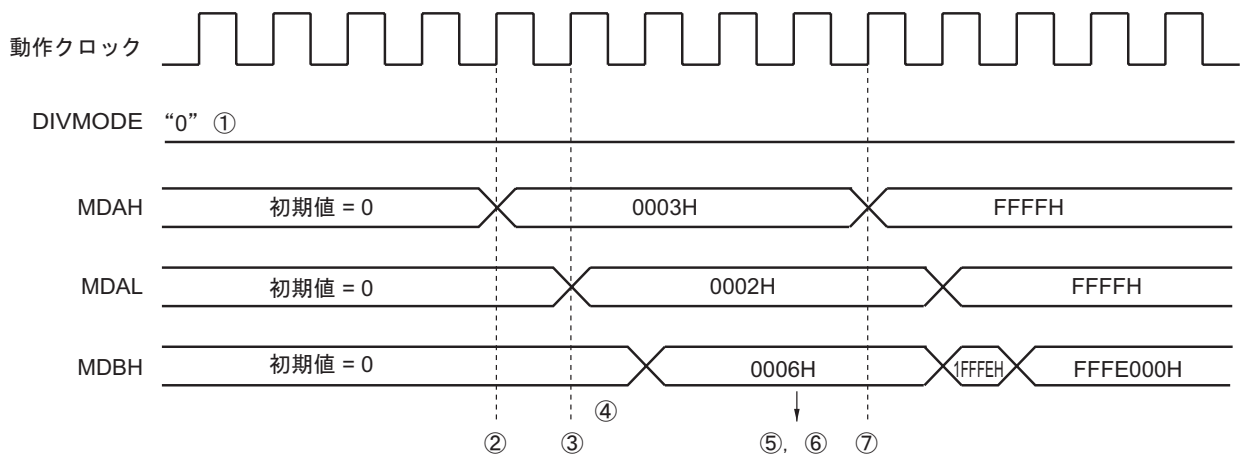
- ・次回演算

次に乗算を行う場合は、乗算動作の「初期設定」から行ってください。

次に除算を行う場合は、14.4.2 除算動作の「初期設定」から行ってください。

備考 手順の ~ は、図14-6の ~ に対応しています。

図14-6 乗算動作のタイミング図 (0003H×0002H)



14.4.2 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) に1をセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・ 16クロック以上ウエイト (16クロックで演算は終了します。)

・ DIVSTがクリアされたことを確認

・ 除算完了割り込み (INTMD) 発生

(演算処理中のMDBL, MDBH, MDCH, MDCLのリード値は保証しません。)

・演算終了

DIVSTがクリア (0) され, 割り込み要求信号 (INTMD) が発生します (演算終了)。

MDALから商 (下位16ビット) を読み出します。

MDAHから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

(~ の順はどれから読み出しても問題ありません。)

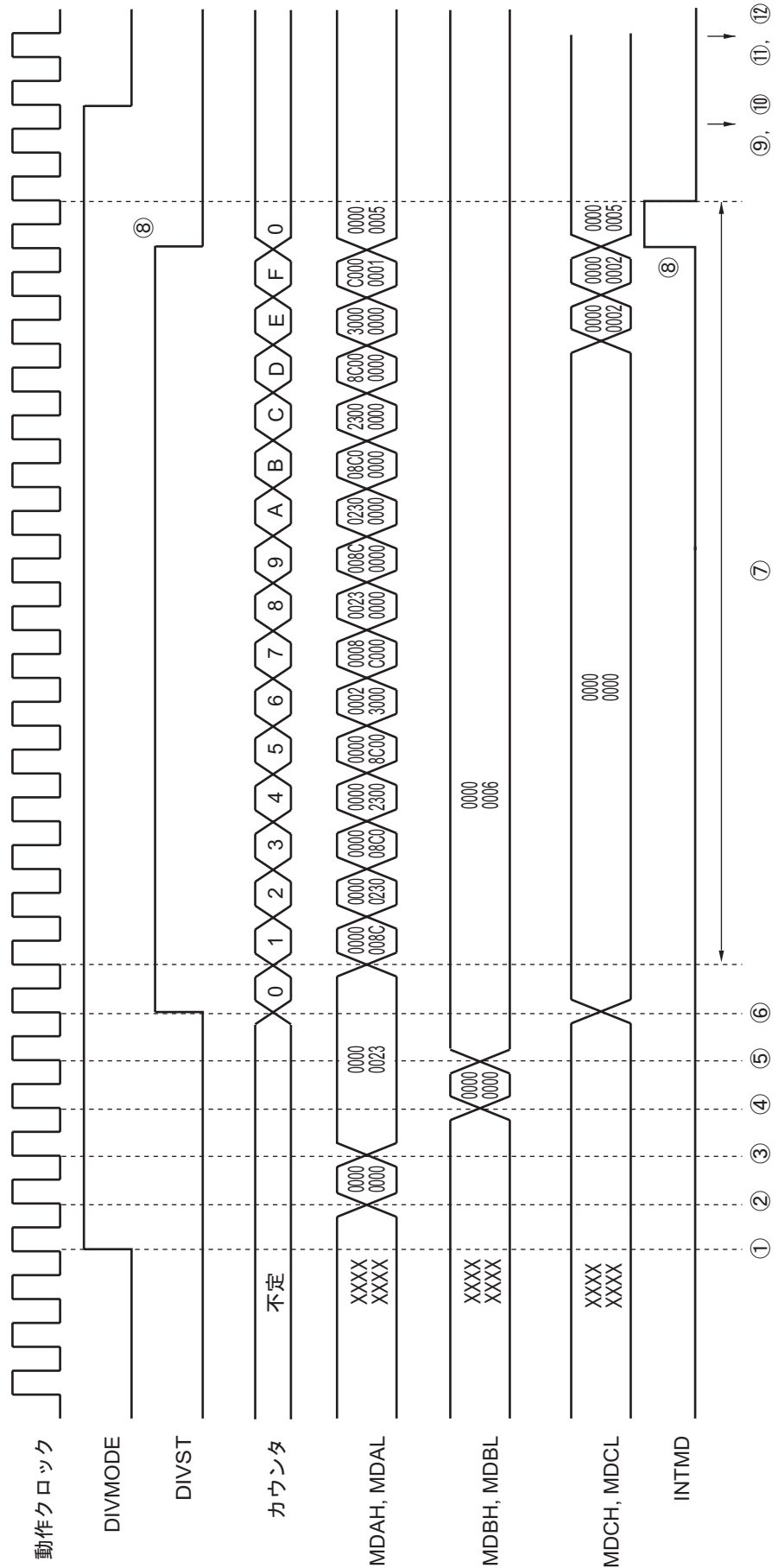
・次回演算

次に乗算を行う場合は, 14.4.1 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は, 除算動作の「初期設定」から行ってください。

備考 手順の ~ は, 図14-7の ~ に対応しています。

図14-7 除算動作のタイミング図 (例: $35 \div 6 = 5$ 余5)



第15章 DMAコントローラ

78K0R/Hx3は、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したリアルタイム制御も実現できます。

15.1 DMAコントローラの機能

DMAチャンネル数：4チャンネル

転送単位：8ビット／16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・ A/Dコンバータ
- ・ シリアル・アレイ・ユニット (CSI00, CSI01, CSI10, CSI11, UART2, IIC11, IIC20)
- ・ タイマ (タイマ・アレイ・ユニット0, 1のチャンネル1, 3, 5, 7, タイマ・アレイ・ユニット2のチャンネル1, 3)
- ・ LIN-UART
- ・ 乗除算器

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・ シリアル・インタフェースの連続転送
- ・ アナログ・データをまとめて転送
- ・ 一定時間ごとにA/Dの変換結果を取り込む
- ・ 一定時間ごとにポートの値を取りこむ

15.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表15-1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・DMA SFRアドレス・レジスタn (DSAn) ・DMA RAMアドレス・レジスタn (DRAn)
カウント・レジスタ	・DMAバイト・カウント・レジスタn (DBCn)
制御レジスタ	・DMAモード・コントロール・レジスタn (DMCn) ・DMA動作コントロール・レジスタn (DRCn) ・DMA全チャンネル強制ウェイト・レジスタ (DMCALL)

備考 n : DMAチャンネル番号

n = 0-3

(1) DMA SFRアドレス・レジスタn (DSAn)

DMAチャンネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H-FFFFFHの下位8ビットを設定してください^注。

このレジスタは自動的にインクリメント動作せず、固定値となります。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

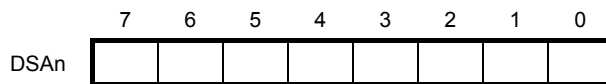
DSAnは8ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

注 アドレスFFFFEHは、PMCレジスタのため、設定することはできません。

図15-1 DMA SFRアドレス・レジスタn (DSAn) のフォーマット

アドレス : FFFB0H (DSA0) , FFFB1H (DSA1) , リセット時 : 00H R/W
F0080H (DSA2) , F0081H (DSA3)



備考 n : DMAチャンネル番号

n = 0-3

(2) DMA RAMアドレス・レジスタn (DRAn)

DMAチャンネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域 (μ PD78F1045, 78F1050では, FBF00H-FFEDFH) のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

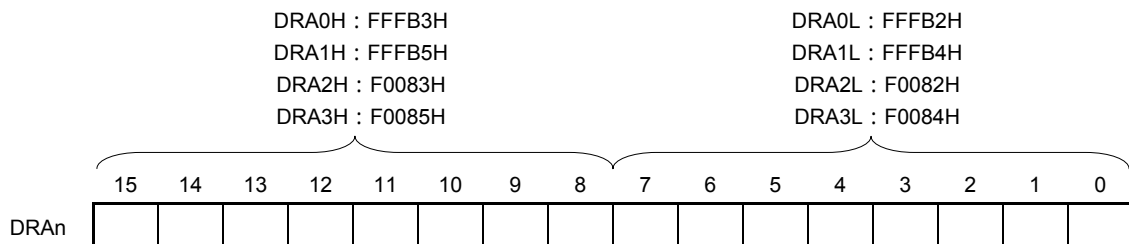
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図15-2 DMA RAMアドレス・レジスタn (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0) , FFFB4H, FFFB5H (DRA1) , リセット時 : 0000H R/W
F0082H, F0083H (DRA2) , F0084H, F0085H (DRA3)



備考 n : DMAチャンネル番号

n = 0-3

(3) DMA/バイト・カウント・レジスタn (DBCn)

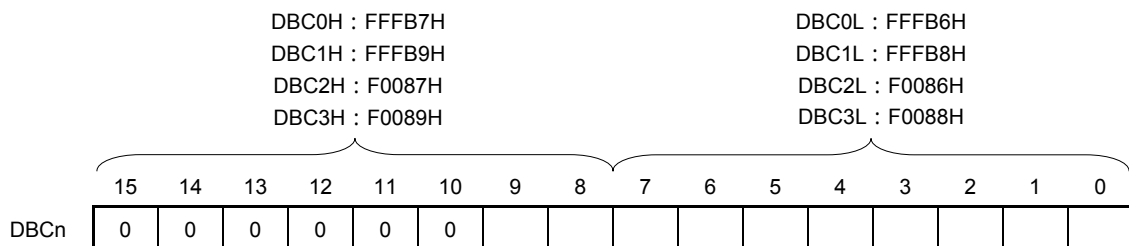
DMAチャンネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBCnは8/16ビット単位でリード／ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図15-3 DMA バイト・カウント・レジスタn (DBCn) のフォーマット

アドレス： FFFB6H, FFFB7H (DBC0) , FFFB8H, FFFB9H (DBC1) , リセット時： 0000H R/W
F0086H, F0087H (DBC2) , F0088H, F0089H (DBC3)



DBCn[9:0]	転送回数設定 (DBCnライト時)	残りの転送回数 (DBCnリード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意 1. ビット15-10は、必ず0を設定してください。

- 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み／読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャンネル番号

n = 0-3

15.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・DMAモード・コントロール・レジスタn (DMCn)
- ・DMA動作コントロール・レジスタn (DRCn)
- ・DMA全チャンネル強制ウェイト・レジスタ (DMCALL)

備考 n : DMAチャンネル番号

n = 0-3

(1) DMAモード・コントロール・レジスタn (DMCn)

DMCnは、DMAチャンネルnの転送モード設定レジスタです。転送方向、データ・サイズ、起動要因の選択を行います。ビット7 (STGn) はDMA起動のソフトウェア・トリガとなります。

DMCnのビット6, 5, 3-0は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DMCnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (1/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) , リセット時 : 00H R/W
F008AH (DMC2) , F008BH (DMC3)

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	0	IFCn3	IFCn2	IFCn1	IFCn0

STGn ^注	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DENn = 1) 時に、DMA転送を開始する
DMA動作許可 (DENn = 1) 時に、STGnに1を書き込むことでDMA転送を1回開始します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

注 ソフトウェア・トリガ (STGn) は、IFCn3-IFCn0の値に関係なく使用できます。

備考 n : DMAチャンネル番号

n = 0-3

図15-4 DMAモード・コントロール・レジスタn (DMCn) のフォーマット (2/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) , リセット時 : 00H R/W
F008AH (DMC2) , F008BH (DMC3)

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	0	IFCn3	IFCn2	IFCn1	IFCn0

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA _n 起動要因の選択 ^注			
				DMA0, DMA1		DMA2, DMA3	
				トリガ信号	トリガ内容	トリガ信号	トリガ内容
0	0	0	0	—	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)	—	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	0	1	INTTM01	タイマ・チャンネル01割り込み	INTTM15	タイマ・チャンネル15割り込み
0	0	1	0	INTTM03	タイマ・チャンネル03割り込み	INTTM17	タイマ・チャンネル17割り込み
0	0	1	1	INTTM05	タイマ・チャンネル05割り込み	INTTM21	タイマ・チャンネル21割り込み
0	1	0	0	INTTM07	タイマ・チャンネル07割り込み	INTTM23	タイマ・チャンネル23割り込み
0	1	0	1	INTTM11	タイマ・チャンネル11割り込み	INTCSI11/ INTIIC11	CSI11転送完了割り込み/ IIC11転送完了割り込み
0	1	1	0	INTTM13	タイマ・チャンネル13割り込み	INTST2/ INTIIC20	UART2送信完了割り込み/ IIC20転送完了割り込み
0	1	1	1	INTCSI10	CSI10転送完了割り込み	INTSR2	UART2受信完了割り込み
1	0	0	0	INTLT0	LIN-UART0送信割り込み	INTLT0	LIN-UART0送信割り込み
1	0	0	1	INTLR0	LIN-UART0受信完了割り込み	INTLR0	LIN-UART0受信完了割り込み
1	0	1	0	INTLT1	LIN-UART1送信割り込み	INTLT1	LIN-UART1送信割り込み
1	0	1	1	INTLR1	LIN-UART1受信完了割り込み	INTLR1	LIN-UART1受信完了割り込み
1	1	0	0	INTCSI00	CSI00転送完了割り込み	INTCSI00	CSI00転送完了割り込み
1	1	0	1	INTCSI01	CSI01転送完了割り込み	INTCSI01	CSI01転送完了割り込み
1	1	1	0	INTMD	乗除算演算終了割り込み	INTMD	乗除算演算終了割り込み
1	1	1	1	INTAD	A/D変換終了割り込み	INTAD	A/D変換終了割り込み

注 ソフトウェア・トリガ (STGn) は、IFCn3-IFCn0の値に関係なく使用できます。

注意 製品によって割り込み数が異なります。詳細は、第16章 割り込み機能を参照してください。

備考 n : DMAチャンネル番号

n = 0-3

(2) DMA動作コントロール・レジスタn (DRCn)

DRCnは、DMAチャンネルnの転送許可／禁止を設定するレジスタです。

DRCnのビット7 (DENn) は、動作中 (DSTn = 1のとき) の書き換えは禁止です。

DRCnは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-5 DMA動作コントロール・レジスタn (DRCn) のフォーマット

アドレス：FFFBC_H (DRC0) , FFFBD_H (DRC1) , リセット時：00H R/W
F008C_H (DRC2) , F008D_H (DRC3)

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャンネルnの動作禁止 (DMAの動作クロック停止)
1	DMAチャンネルnの動作許可

DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。

DSTn	DMA転送モード・フラグ
0	DMAチャンネルnのDMA転送終了
1	DMAチャンネルnのDMA転送未終了 (転送中)

DMA動作許可 (DENn = 1) にしてから、DSTn = 1にすることでDMAトリガ待ち状態になります。
そしてソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。
その後、DMA転送が終了すると自動的に0にクリアされます。
DMA転送中に強制終了したい場合は、0を書き込みます。

注意 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は15.5.5 ソフトウェアでの強制終了参照)。

備考 n : DMAチャンネル番号

n = 0-3

(3) DMA全チャンネル強制ウエイト・レジスタ (DMCALL)

すべてのチャンネルのDMA転送を一括で強制的にウエイト制御するレジスタです。

転送チャンネルの優先順位の設定変更を行います。

DMA転送動作中、DMCALLのビット7 (DRPMOD) は書き換え可能です。書き換えた場合にも現在の転送を保証されます。

アドレス : F008FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCALL	DRPMOD	0	0	0	0	0	0	DWAITALL

DRPMOD	転送チャンネル優先順位制御
0	優先順位固定 (CH0→CH1→CH2→CH3)
1	優先順位可変

DWAITALL	全チャンネル強制ウエイト制御
0	全チャンネル通常動作中
1	全チャンネル強制ウエイト中

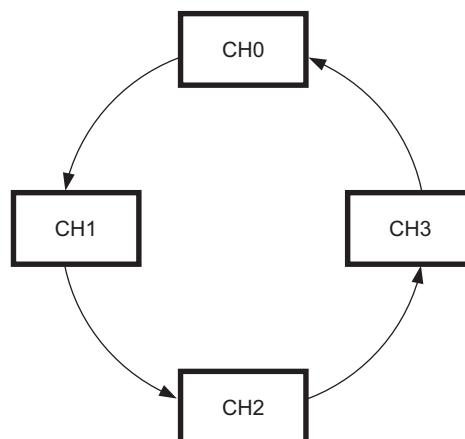
備考 優先順位可変の場合、受け付けられたDMA転送が完了すると現在最優先のチャンネル+1のチャンネルが最優先となり、常に優先順位がローテーションします。

DMA要求の競合の有無にかかわらず、また、どのチャンネルの要求であっても、1つDMA転送を完了するごとに優先順位がローテーションします。

チャンネル優先順位の初期値はCH0です。

例) CH0が最優先の状態ではCH2を受け付けた場合、次はCH1が最優先になります。

CH1が最優先の状態ではCH0を受け付けた場合、次はCH2が最優先になります。



15.4 DMAコントローラの動作

15.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。

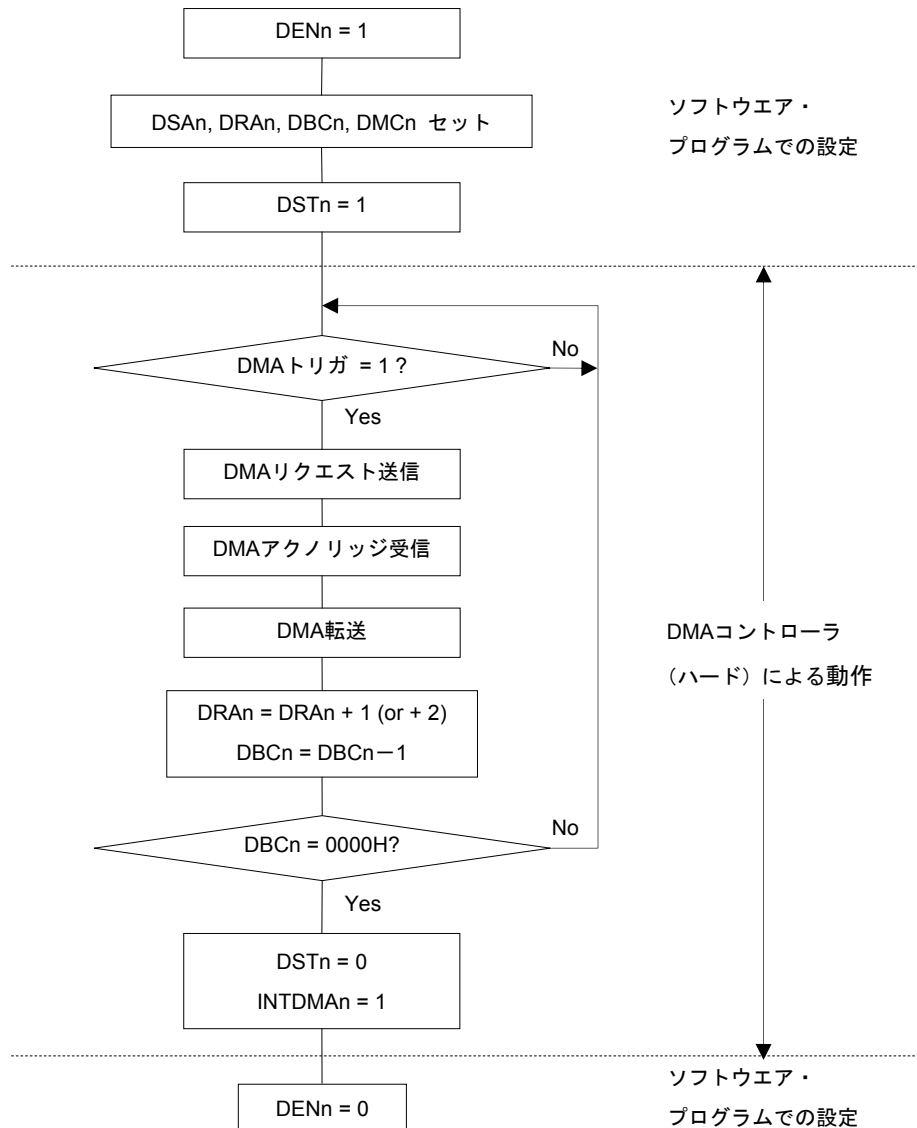
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

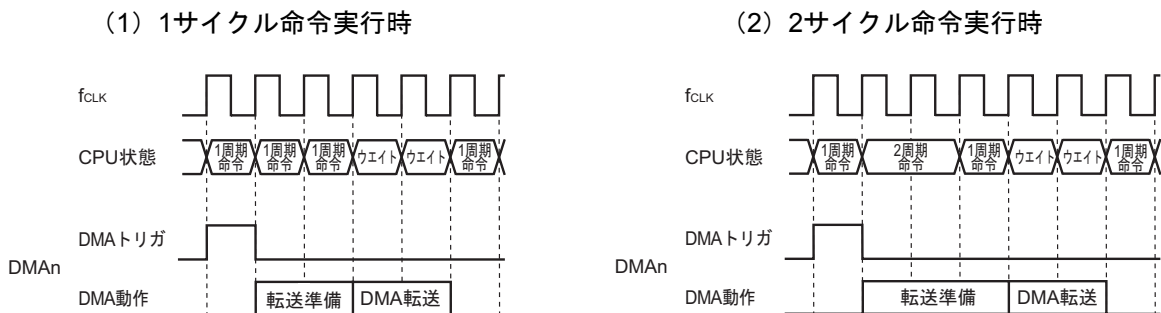
図15-6 動作手順



備考 n : DMAチャンネル番号
n = 0-3

1サイクル命令実行時と2サイクル命令実行時の動作説明を次に示します。

図15-7 動作説明図



15.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRSn	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

15.4.3 DMA転送の終了

DBCn = 00HとなりDMA転送が完了すると、自動的にDSTnビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDSTnビットをクリア (0) すると、DBCnレジスタとDRAnレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャネル番号

n = 0-3

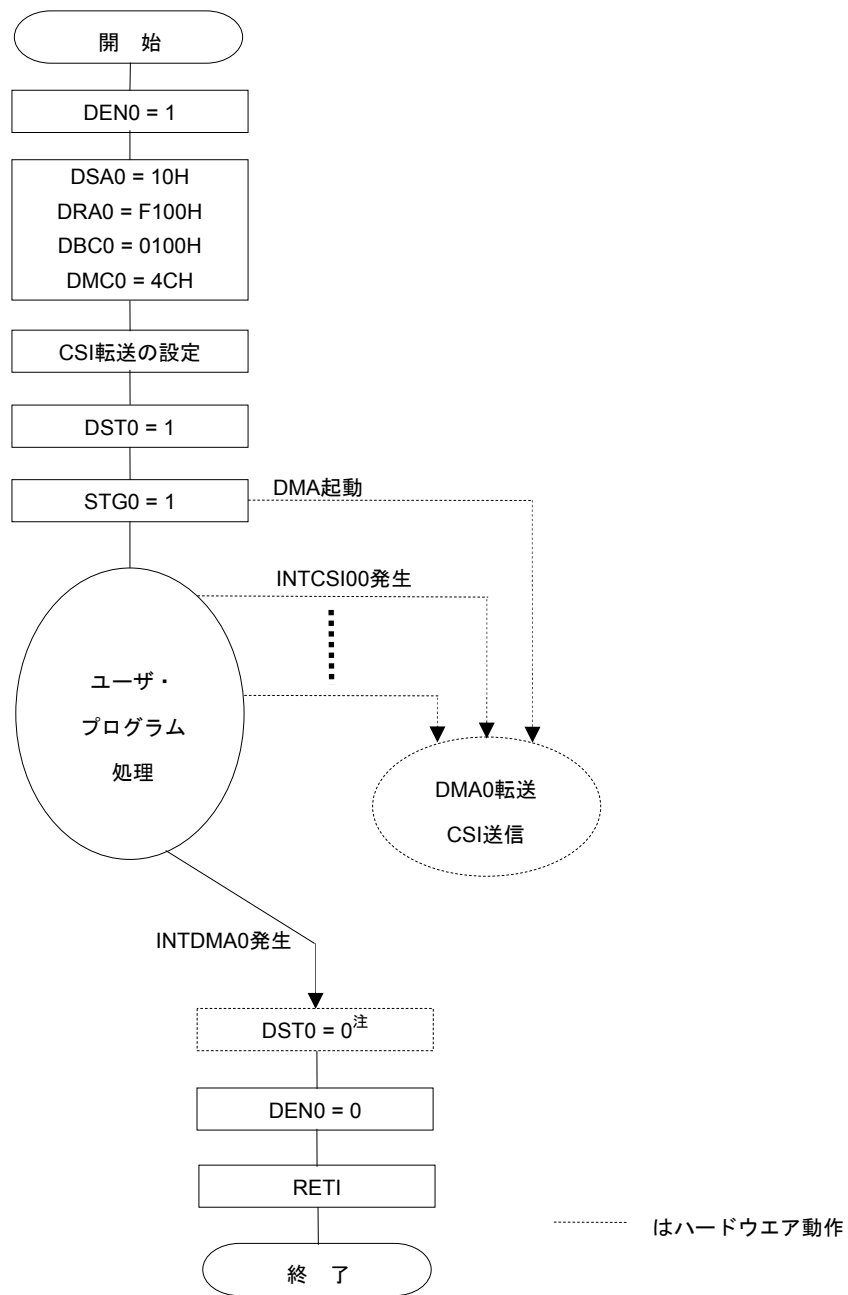
15.5 DMAコントローラの設定例

15.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI00の連続送信 (256 バイト)
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因 : INTCSI00 (最初の起動要因のみソフトウェア・トリガ (STG0))
- ・ CSI00の割り込みはIFC03-IFC00 (DMC0レジスタのビット3-0) = 1100Bに割り当て
- ・ RAMのFF100H-FF1FFH (256バイト) をCSIのデータ・レジスタ (SDR00L) のFFF10HIに転送

図15-8 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください（詳細は15.5.5 ソフトウェアでの強制終了参照）。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

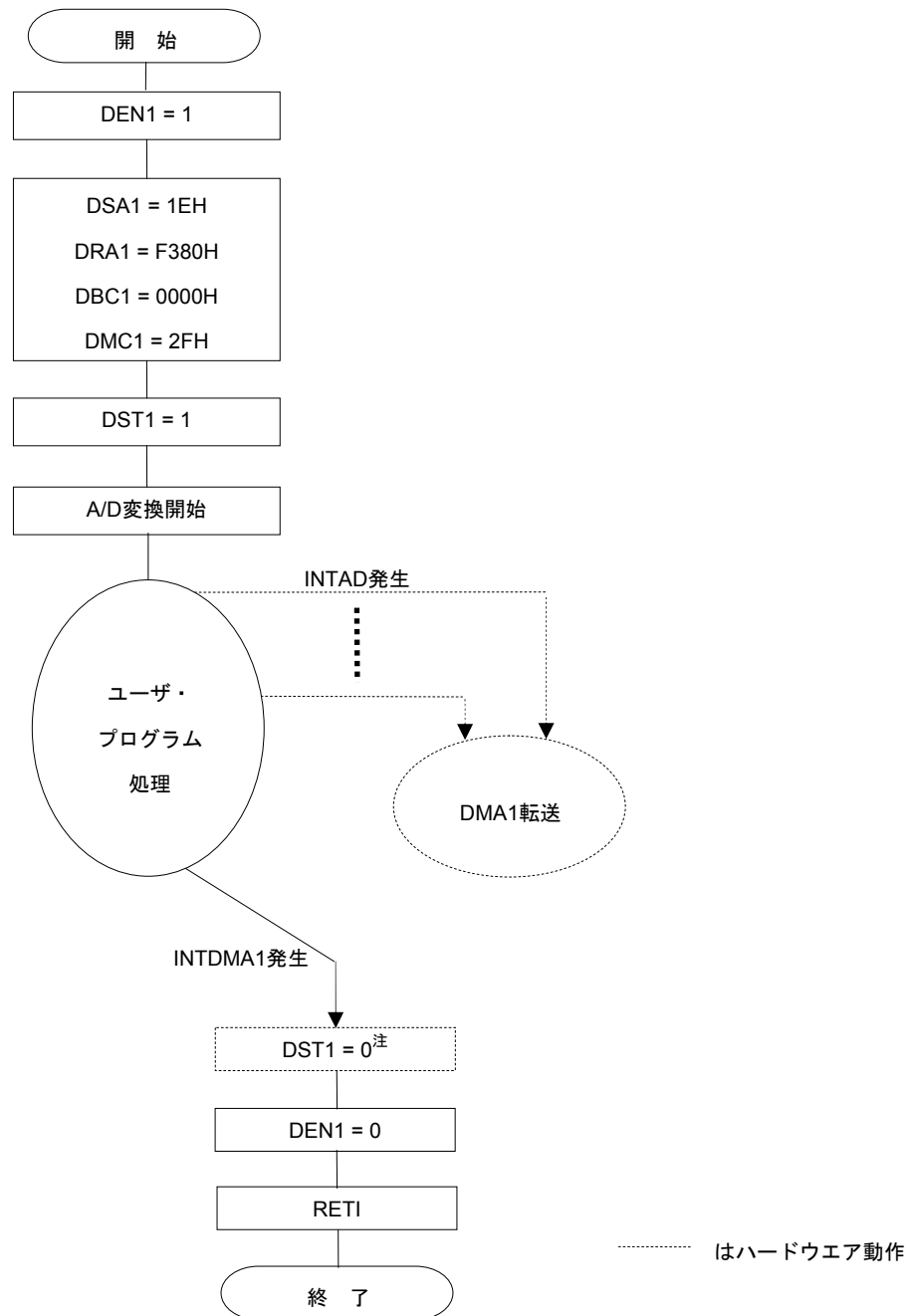
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み（INTDMA0）が発生します。

15.5.2 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因 : INTAD
- ・ A/Dの割り込みはIFC13-IFC10 (DMC1レジスタのビット3-0) = 1111Bに割り当て
- ・ 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH (2バイト) をRAMのFF380H-FFB7FHの2048バイトに転送

図15-9 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

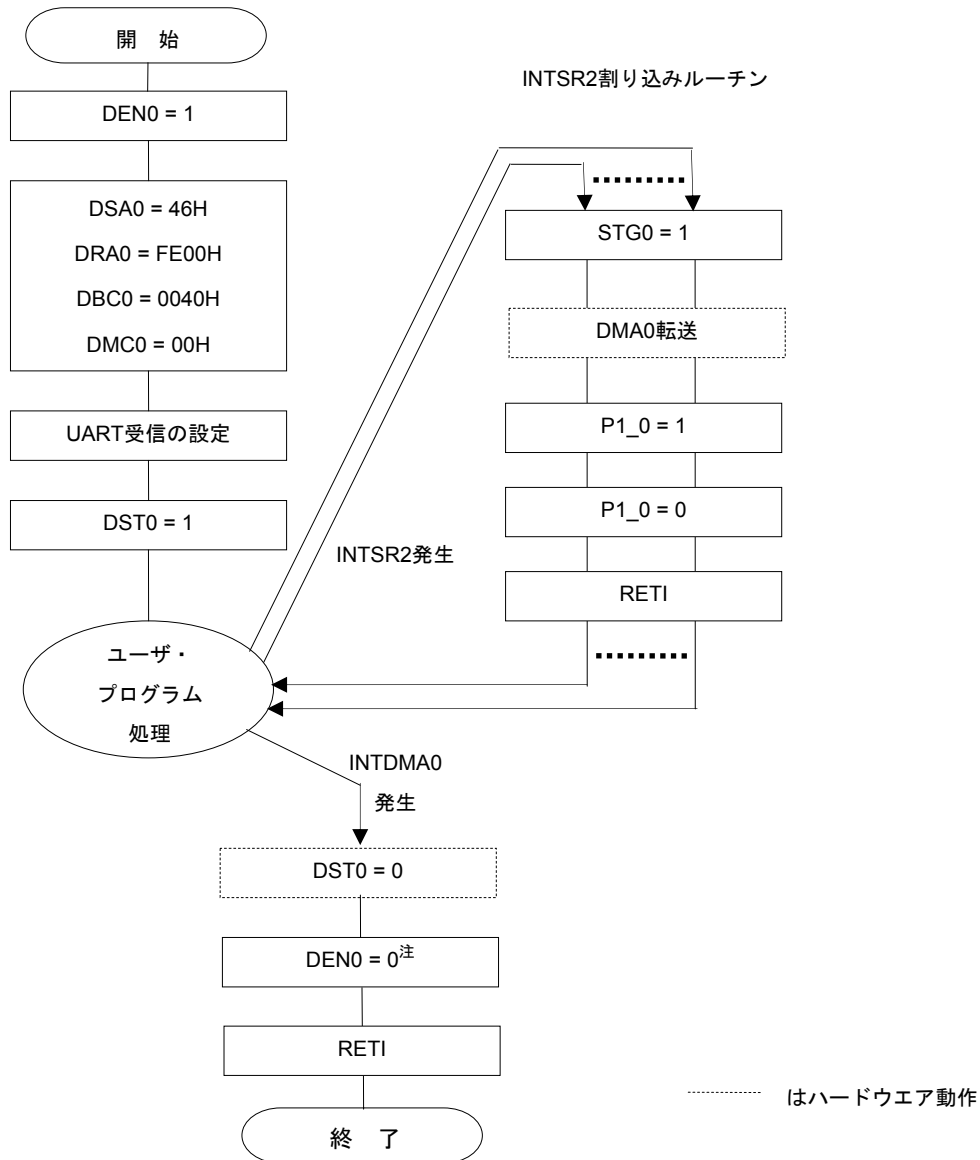
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は15.5.5 ソフトウェアでの強制終了参照)。

15. 5. 3 UART連続受信+ACK送信

UART連続受信+ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART2の連続受信を行い, P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因: ソフトウェア・トリガ (割り込みによるDMA転送禁止)
- ・ UART2受信データ・レジスタ (RXD2) のFFF46HをRAMのFFE00H-FFE3FHの64バイトに転送

図15-10 UART連続受信+ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください（詳細は15.5.5 ソフトウェアでの強制終了参照）。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART2受信完了割り込み（INTSR2）をDMA起動要因に設定して、受信することもできます。

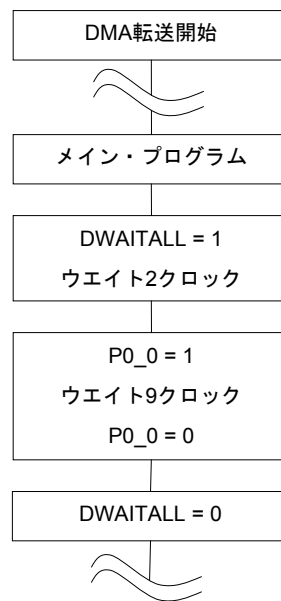
15.5.4 DWAITALLによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITALL = 1とすることでDMA転送を保留できます。

一例として、P00端子より動作周波数の10クロック幅のパルスを出力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITALL = 1とすることでDMA転送を保留できます。

DWAITALL = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図15-11 DWAITALLによるDMA転送保留の設定例



注意 保留中に同一チャネルの転送トリガが2回以上発生しても、保留解除後に実行される転送命令は1回になります。

備考1. n : DMAチャネル番号

n = 0-3

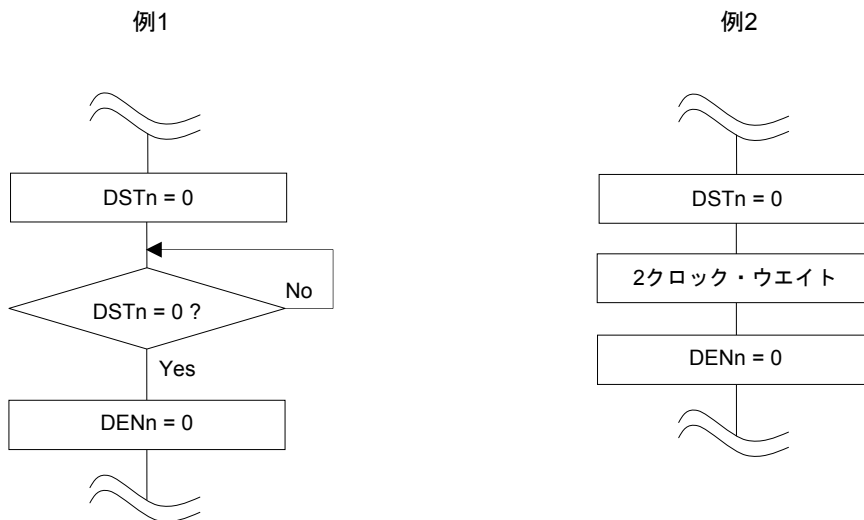
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

15.5.5 ソフトウェアでの強制終了

ソフトウェアで $DSTn = 0$ に設定してから、実際にDMA転送が停止し、 $DSTn = 0$ となるまでには最大で2クロックが必要となります。そのため、 DMA_n の割り込み (INTDMA $_n$) 発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のどちらかの処理をしてください。

- ・ソフトウェアで $DSTn = 0$ (バイト操作命令で書き込む場合は $DRCn = 80H$) にしてから、実際に $DSTn$ が 0 になったことをポーリングで確認後、 $DENn = 0$ (バイト操作命令で書き込む場合は $DRCn = 00H$) とする
- ・ソフトウェアで $DSTn = 0$ (バイト操作命令で書き込む場合は $DRCn = 80H$) にしてから、2クロック経過後に $DENn = 0$ (バイト操作命令で書き込む場合は $DRCn = 00H$) とする

図15-12 DMA転送の強制終了



備考1. n : DMAチャンネル番号

$n = 0-3$

2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

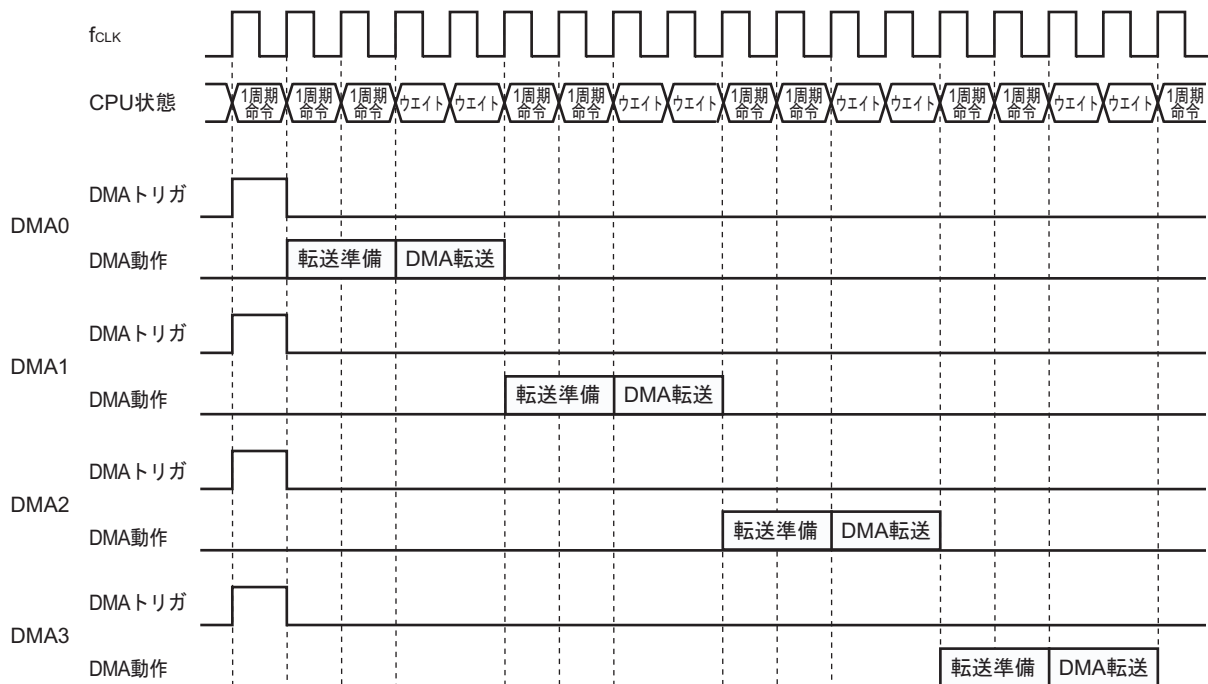
15.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時期に発生した場合は、DMCALLレジスタのビット7（DRPMOD）にて設定した優先順位になります。同時期とは、DMA要求の発生からそのDMA転送が開始される1クロック前までとなります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

図15-13 各DMAチャネルのDMA要求トリガ競合時の動作例（優先順位がCH0→CH1→CH2→CH3の場合）



(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表15-2 DMA転送における応答時間

	最小時間	最大時間
応答時間 ^注	3クロック	10クロック

注 内部ROMからの命令実行時の時間です。ただし、次の場合はさらにDMA転送が遅れる場合があります。

- ・内部RAMからの命令実行時
- ・データ・フラッシュへのアクセス時
- ・ウェイトが必要なSFR（CANコントローラのレジスタ、ただし制御レジスタ（周辺クロック・レジスタ（PCKSEL）、シリアル通信端子選択レジスタ（STSEL）、ポート・レジスタ1,7（P1, P7）、ポート・モード・レジスタ1,7（PM1, PM7））は除く（表13-15参照））へのアクセス時
- ・DMA保留命令の実行時
- ・他のDMA要求発生時

注意1. 応答時間には、DMA転送の2クロック分は含まれていません。

2. 最大応答時間+1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。
3. データ・フラッシュ用のEEPROMエミュレーション・ライブラリ使用時は、データ・フラッシュへのアクセスをしていないときでもDMA転送が遅れる場合があります。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表15-3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL laddr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H, PSWの各レジスタに対するビット操作命令

(5) ウェイトが必要となるSFR^注にアクセスする命令実行時の動作

ウェイトが必要となるSFRレジスタにアクセスする命令を実行した場合、DMA転送は保留されます。

ウェイトが必要となるSFRレジスタをポーリングし続けた場合、DMA転送は保留され続けます。

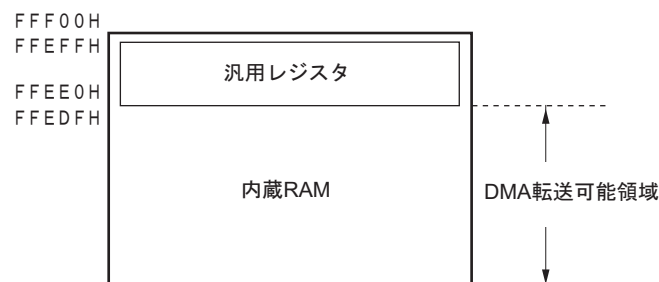
注 ウェイトが必要となるSFRレジスタは、CANコントローラのレジスタです。ただし、制御レジスタ（周辺クロック・レジスタ（PCKSEL）、シリアル通信端子選択レジスタ（STSEL）、ポート・レジスタ1, 7（P1, P7）、ポート・モード・レジスタ1, 7（PM1, PM7））は対象外です（表13-15参照）。

(6) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったら、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

- SFRからRAMへの転送モード時
そのアドレスのデータを破壊してしまいます。
- RAMからSFRへの転送モード時
不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



第16章 割り込み機能

		78K0R/HC3 (μ PD78F10yy)	78K0R/HE3 (μ PD78F10yy)	78K0R/HF3 (μ PD78F10yy)	78K0R/HG3 (μ PD78F10yy)
		yy = 31-35	yy = 36-40	yy = 41-45	yy = 46-50
マスカブル 割り込み	外部	10	11	12	12
	内部	40	47	47	49

16.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位（プライオリティ）にしたがって処理されます。優先順位（プライオリティ）については表16-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

16.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（表16-1参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表16-1 割り込み要因一覧 (1/4)

割り込みの種類	内部 ／ 外部	基本構成タイプ注 ¹	デフォルト・プライオリティ注 ²	割り込み要因		ベクタ・テーブル・アドレス	HC3	HE3	HF3	HG3
				名称	トリガ					
マスカブル	内部	(A)	0	INTWDTI	ウォッチドッグ・タイマのインターバル注 ³ (オーバフロー時間の75%)	0004H				
			1	INTLVI	低電圧検出注 ⁴	0006H				
	外部	(B)	2	INTP0	端子入力エッジ検出	0008H				
			3	INTP1		000AH				
			4	INTP2		000CH				
			5	INTP3		000EH				
			6	INTP4		0010H				
			7	INTP5		0012H				
			内部	(A)		8	INTCLM	PLLクロックの停止	0014H	
	9	INTCSI00			CSI00の通信完了	0016H				
	10	INTCSI01			CSI01の通信完了	0018H	—			
	11	INTDMA0			DMA0の転送完了	001AH				
	12	INTDMA1			DMA1の転送完了	001CH				
	13	INTWUTM			ウエイクアップ・タイマ・コンペアー一致	001EH				
	14	INTFL			データ・フラッシュ・プログラミング完了	0020H				
	15	INTLT0			LIN-UART0の送信開始または送信完了	0022H				
	16	INTLR0			LIN-UART0の受信完了	0024H				
	17	INTLS0			LIN-UART0の受信ステータス・エラー	0026H				
	外部	(B)	18	INTPLR0	LIN-UART0受信端子入力	0028H				
			19	INTP8	端子入力エッジ検出	002AH	—	—		
	内部	(A)	20	INTTM00	タイマ・チャンネル00のカウント完了 またはキャプチャ完了	002CH				
21			INTTM01	タイマ・チャンネル01のカウント完了 またはキャプチャ完了	002EH					

注1. 基本構成タイプの (A) - (D) は、それぞれ図16-1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、60が最低順位です。
3. オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
4. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 0選択時。

表16-1 割り込み要因一覧 (2/4)

割り込みの種類	内部 ／ 外部	基本構成タイプ注 ¹	デフォルト・プライオリティ注 ²	割り込み要因		ベクタ・テーブル・アドレス	HC3	HE3	HF3	HG3
				名称	トリガ					
マスク ブル	内部	(A)	22	INTTM02	タイマ・チャンネル02のカウンタ完了 またはキャプチャ完了	0030H				
			23	INTTM03	タイマ・チャンネル03のカウンタ完了 またはキャプチャ完了	0032H				
			24	INTAD	A/D変換終了	0034H				
			25	INTLT1	LIN-UART1の送信開始または送信完了	0036H				
			26	INTLR1	LIN-UART1の受信完了	0038H				
			27	INTLS1	LIN-UART1の受信ステータス・エラー	003AH				
	外部	(B)	28	INTPLR1	LIN-UART1受信端子入力	003CH				
	内部	(A)	29	INTCSI10	CSI10通信完了	003EH				
			30	INTCSI11/ INTIIC11	CSI11の通信完了/ IIC11の通信完了	0040H	-	-	-	
			31	INTTM04	タイマ・チャンネル04のカウンタ完了 またはキャプチャ完了	0042H				
			32	INTTM05	タイマ・チャンネル05のカウンタ完了 またはキャプチャ完了	0044H				
			33	INTTM06	タイマ・チャンネル06のカウンタ完了 またはキャプチャ完了	0046H				
			34	INTTM07	タイマ・チャンネル07のカウンタ完了 またはキャプチャ完了	0048H				
	外部	(B)	35	INTP6	端子入力エッジ検出	004AH				
		(C)		INTKR	キー割り込み検出					
		(B)	36	INTP7	端子入力エッジ検出	004CH				
	内部	(A)	37	INTC0ERR	CANエラー	004EH				
			38	INTC0WUP	CANウエイクアップ	0050H				
			39	INTC0REC	CAN受信完了	0052H				
			40	INTC0TRX	CAN送信完了	0054H				

注1. 基本構成タイプの (A) - (D) は、それぞれ図16-1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、60が最低順位です。

表16-1 割り込み要因一覧 (3/4)

割り込みの種類	内部 ／ 外部	基本構成タイプ注 ¹	デフォルト・プライオリティ注 ²	割り込み要因		ベクタ・テーブル・アドレス	HC3	HE3	HF3	HG3
				名称	トリガ					
マスク ブル	内部	(A)	41	INTTM10	タイマ・チャネル10のカウンタ完了 またはキャプチャ完了	0056H				
			42	INTTM11	タイマ・チャネル11の カウンタ完了またはキャプチャ完了	0058H				
			43	INTTM12	タイマ・チャネル12のカウンタ完了 またはキャプチャ完了	005AH				
			44	INTTM13	タイマ・チャネル13のカウンタ完了 またはキャプチャ完了	005CH				
			45	INTMD	除算演算終了	005EH				
			46	INTST2/ INTIIC20	UART2の送信完了/ IIC20の通信完了	0060H	—			
			47	INTSR2	UART2の受信完了	0062H	—			
	外部	(B)	48	INTPR2	UART2受信端子入力	0064H	—			
	内部	(A)	49	INTTM14	タイマ・チャネル14のカウンタ完了 またはキャプチャ完了	0066H				
			50	INTTM15	タイマ・チャネル15のカウンタ完了 またはキャプチャ完了	0068H				
			51	INTTM16	タイマ・チャネル16のカウンタ完了 またはキャプチャ完了	006AH				
			52	INTTM17	タイマ・チャネル17のカウンタ完了 またはキャプチャ完了	006CH				
			53	INTTM20	タイマ・チャネル20のカウンタ完了 またはキャプチャ完了	006EH	—			
			54	INTTM21	タイマ・チャネル21のカウンタ完了 またはキャプチャ完了	0070H	—			
			55	INTTM22	タイマ・チャネル22のカウンタ完了 またはキャプチャ完了	0072H	—			
			56	INTTM23	タイマ・チャネル23のカウンタ完了 またはキャプチャ完了	0074H	—			
			57	INTTM25	タイマ・チャネル25のカウンタ完了 またはキャプチャ完了	0076H	—	—	—	
			58	INTTM27	タイマ・チャネル27のカウンタ完了 またはキャプチャ完了	0078H	—	—	—	
			59	INTDMA2	DMA2の転送完了	007AH				

注1. 基本構成タイプの (A) - (D) は、それぞれ図16-1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、60が最低順位です。

表16-1 割り込み要因一覧 (4/4)

割り込みの種類	内部／外部	基本構成タイプ ^{注1}	デフォルト・プライオリティ ^{注2}	割り込み要因		ベクタ・テーブル・アドレス	HC3	HE3	HF3	HG3
				名称	トリガ					
マスクブル	内部	(A)	60	INTDMA3	DMA3の転送完了	007CH				
ソフトウェア	—	(D)	—	BRK	BRK命令の実行	007EH				
リセット	—	—	—	RESET	RESET端子入力	0000H				
				POC	パワーオン・クリア					
				LVI	低電圧検出 ^{注3}					
				WDT	ウォッチドッグ・タイマのオーバーフロー					
				TRAP	不正命令の実行 ^{注4}					
				IAW	不正メモリ・アクセス					
				CLKM	クロック・モニタ					

注1. 基本構成タイプの (A) - (D) は、それぞれ図16-1の (A) - (D) に対応しています。

2. デフォルト・プライオリティは、複数のマスクブル割り込みが同時に発生している場合に、優先して処理するベクタ割り込みの順位です。0が最高順位、60が最低順位です。

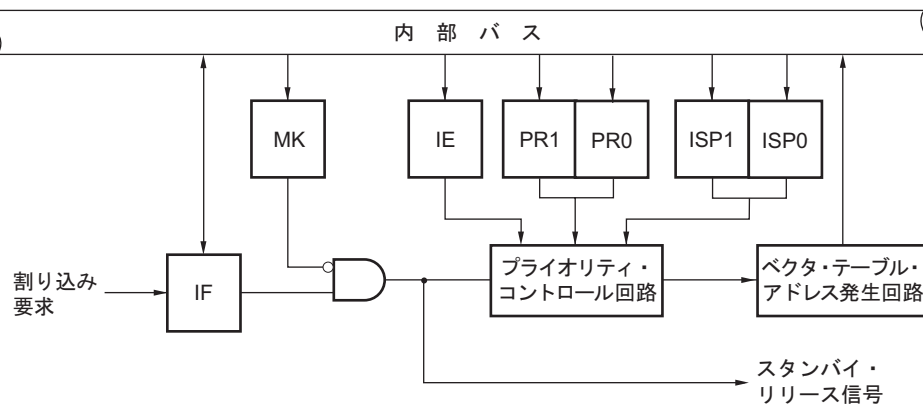
3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

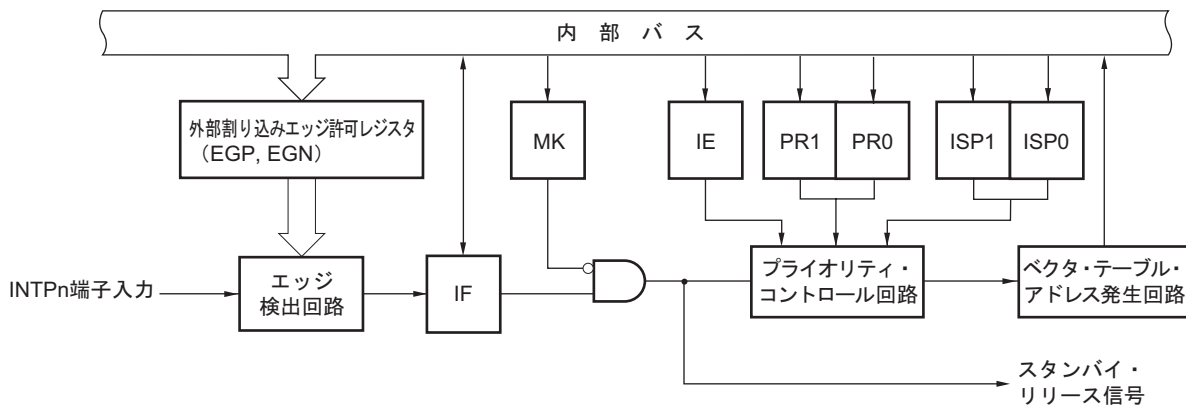
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図16-1 割り込み機能の基本構成 (1/2)

(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn, INTPR2, INTPLR0, INTPLR1)



備考 n = 0-7 : 78K0R/HC3, 78K0R/HE3

n = 0-8 : 78K0R/HF3, 78K0R/HG3

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP0 : インサービス・プライオリティ・フラグ0

ISP1 : インサービス・プライオリティ・フラグ1

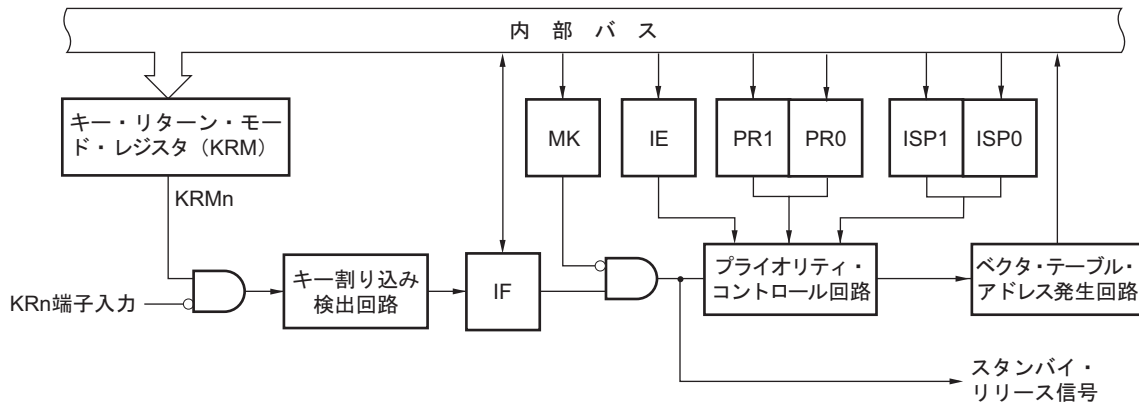
MK : 割り込みマスク・フラグ

PR0 : 優先順位指定フラグ0

PR1 : 優先順位指定フラグ1

図16-1 割り込み機能の基本構成 (2/2)

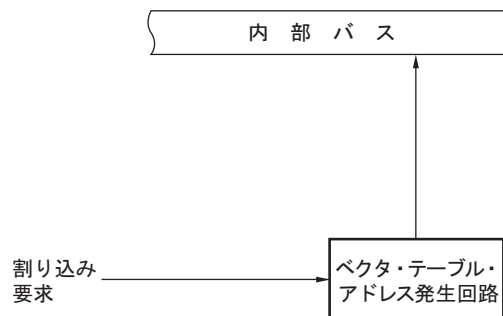
(C) 外部マスカブル割り込み (INTKR)



備考 n = 0-3 : 78K0R/HC3

n = 0-7 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

(D) ソフトウェア割り込み



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP0 : インサース・プライオリティ・フラグ0

ISP1 : インサース・プライオリティ・フラグ1

MK : 割り込みマスク・フラグ

PR0 : 優先順位指定フラグ0

PR1 : 優先順位指定フラグ1

16.3 割り込み機能を制御するレジスタ

割り込み機能は、次の7種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・外部割り込み入力端子選択レジスタ0 (IPSEL0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表16-2に示します。

表16-2 割り込み要求ソースに対応する各種フラグ (1/5)

HC3	HE3	HF3	HG3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
					レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ
				INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
				INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
				INTP0	PIF0		PMK0		PPR00, PPR10	
				INTP1	PIF1		PMK1		PPR01, PPR11	
				INTP2	PIF2		PMK2		PPR02, PPR12	
				INTP3	PIF3		PMK3		PPR03, PPR13	
				INTP4	PIF4		PMK4		PPR04, PPR14	
				INTP5	PIF5		PMK5		PPR05, PPR15	
				INTCLM	CLMIF	IF0H	CLMMK	MK0H	CLMPR0, CLMPR1	PR00H, PR10H
				INTCSI00	CSIIIF00		CSIMK00		CSIPR000, CSIPR100	
-				INTCSI01	CSIIIF01		CSIMK01		CSIPR001, CSIPR101	
				INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
				INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
				INTWUTM	WUTMIF		WUTMMK		WUTMPR0, WUTMPR1	
				INTFL	FLIF		FLMK		FLPR0, FLPR1	
				INTLT0	LTIF0		LTMK0		LTPR00, LTPR10	

表16-2 割り込み要求ソースに対応する各種フラグ (2/5)

HC3	HE3	HF3	HG3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
					レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ
				INTLR0	LRIFO	IF1L	LRMK0	MK1L	LRPR00, LRPR10	PR01L,
				INTLS0	LSIFO		LSMK0		LSPR00, LSPR10	PR11L
				INTPLR0	PIFLR0		PMKLR0		PPR0LR0, PPR1LR0	
-	-			INTP8	PIF8		PMK8		PPR08, PPR18	
				INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
				INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
				INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
				INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
				INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H,
				INTLT1	LTIF1		LTMK1		LTPR01, LTPR11	PR11H
				INTLR1	LRIF1		LRMK1		LRPR01, LRPR11	
				INTLS1	LSIF1		LSMK1		LSPR01, LSPR11	
				INTPLR1	PIFLR1		PMKLR1		PPR0LR1, PPR1LR1	
				INTCSI10	CSIF10		CSIMK10		CSIPR010, CSIPR110	
-	-	-		INTCSI11 ^注	CSIF11 ^注		CSIMK11 ^注		CSIPR011, CSIPR111 ^注	
-	-	-		INTIIC11 ^注	IICIF11 ^注		IICMK11 ^注		IICPR011, IICPR111 ^注	
				INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	

注 INTCSI11, INTIIC11は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTCSI11, INTIIC11のうち、どちらかが発生したら、IF1Hのビット6はセット(1)されます。また、MK1H, PR01H, PR11Hのビット6は、両方の割り込み要因に対応しています。

表16-2 割り込み要求ソースに対応する各種フラグ (3/5)

HC3	HE3	HF3	HG3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
					レジスタ	レジスタ	レジスタ	レジスタ		
				INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
				INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
				INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
				INTP6 ^注	PIF6 ^注		PMK6 ^注		PPR06, PPR16 ^注	
				INTKR ^注	KRIF ^注		KRMK ^注		KRPR0, KRPR1 ^注	
				INTP7	PIF7		PMK7		PPR07, PPR17	
				INTC0ERR	C0ERRIF		C0ERRMK		C0ERRPR0, C0ERRPR1	
				INTC0WUP	C0WUPIF		C0WUPMK		C0WUPPR0, C0WUPPR1	
				INTC0REC	C0RECIF		C0RECMK		C0RECPR0, C0RECPR1	

注 INTP6, INTKRは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP6, INTKRのうち、どちらかが発生したら、IF2Lのビット3はセット(1)されます。また、MK2L, PR02L, PR12Lのビット3は、両方の割り込み要因に対応しています。

表16-2 割り込み要求ソースに対応する各種フラグ (4/5)

HC3	HE3	HF3	HG3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
					レジスタ	レジスタ	レジスタ	レジスタ		
				INTC0TRX	C0TRXIF	IF2H	C0TRXMK	MK2H	C0TRXPR0, C0TRXPR1	PR02H, PR12H
				INTTM10	TMIF10		TMMK10		TMPR010, TMPR110	
				INTTM11	TMIF11		TMMK11		TMPR011, TMPR111	
				INTTM12	TMIF12		TMMK12		TMPR012, TMPR112	
				INTTM13	TMIF13		TMMK13		TMPR013, TMPR113	
				INTMD	MDIF		MDMK		MDPR0, MDPR1	
-				INTST2 ^注	STIF2 ^注		STMK2 ^注		STPR02, STPR12 ^注	
-				INTIIC20 ^注	IICIF20 ^注		IICMK20 ^注		IICPR020, IICPR120 ^注	
-				INTSR2	SRIIF2		SRMK2		SRPR02, SRPR12	

注 INTST2, INTIIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTIIC20のうち、どちらかが発生したら、IF2Hのビット6はセット（1）されます。また、MK2H, PR02H, PR12Hのビット6は、両方の割り込み要因に対応しています。

表16-2 割り込み要求ソースに対応する各種フラグ (5/5)

HC3	HE3	HF3	HG3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
					レジスタ	レジスタ	レジスタ	レジスタ	レジスタ	レジスタ
—				INTPR2	PIFR2	IF3L	PMKR2	MK3L	PPR0R2, PPR1R2	PR03L,
				INTTM14	TMIF14		TMMK14		TMPR014, TMPR114	PR13L
				INTTM15	TMIF15		TMMK15		TMPR015, TMPR115	
				INTTM16	TMIF16		TMMK16		TMPR016, TMPR116	
				INTTM17	TMIF17		TMMK17		TMPR017, TMPR117	
—				INTTM20	TMIF20		TMMK20		TMPR020, TMPR120	
—				INTTM21	TMIF21		TMMK21		TMPR021, TMPR121	
—				INTTM22	TMIF22		TMMK22		TMPR022, TMPR122	
—				INTTM23	TMIF23	IF3H	TMMK23	MK3H	TMPR023, TMPR123	PR03H,
—	—	—		INTTM25	TMIF25		TMMK25		TMPR025, TMPR125	PR13H
—	—	—		INTTM27	TMIF27		TMMK27		TMPR027, TMPR127	
				INTDMA2	DMAIF2		DMAMK2		DMAPR02, DMAPR12	
				INTDMA3	DMAIF3		DMAMK3		DMAPR03, DMAPR13	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2H, IF3LとIF3Hをあわせて16ビット・レジスタIF0, IF1, IF2, IF3として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (78K0R/HG3の場合) (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	LTIF0	FLIF	WUTMIF	DMAIF1	DMAIF0	CSIF01	CSIF00	CLMIF

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	PIF8	PIFLR0	LSIF0	LRIF0

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	CSIF11 IICIF11	CSIF10	PIFLR1	LSIF1	LRIF1	LTIF1	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	C0RECIIF	C0WUPIIF	C0ERRIF	PIF7	PIF6 KRIF	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	SRIF2	STIF2 IICIF20	MDIF	TMIF13	TMIF12	TMIF11	TMIF10	C0TRXIF

図16-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット
(78K0R/HG3の場合) (2/2)

アドレス : FFFD2H リセット時 : 00H R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
IF3L	TMIF22	TMIF21	TMIF20	TMIF17	TMIF16	TMIF15	TMIF14	PIFR2

アドレス : FFFD3H リセット時 : 00H R/W

略号	7	6	5	[4]	[3]	[2]	[1]	[0]
IF3H	0	0	0	DMAIF3	DMAIF2	TMIF27	TMIF25	TMIF23

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 上記は、78K0R/HG3の場合のビット構成です。製品によって、搭載しているビットは異なります。各製品に搭載しているビットについては、表16-2を参照してください。また、搭載していないビットには必ず0を設定してください。

2. タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
3. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

4. 製品により搭載されているビットが異なります。詳細は表16-2 割り込み要求ソースに対応する各種フラグを参照してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0H, MK1LとMK1H, MK2LとMK2H, MK3LとMK3Hをあわせて16ビット・レジスタMK0, MK1, MK2, MK3として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (78K0R/HG3の場合) (1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	LTMK0	FLMK	WUTMMK	DMAMK1	DMAMK0	CSIMK01	CSIMK00	CLMMK

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	PMK8	PMKLR0	LSMK0	LRMK0

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	CSIMK11 IICMK11	CSIMK10	PMKLR1	LSMK1	LRMK1	LTMK1	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	C0RECMK	C0WUPMK	C0ERRMK	PMK7	PMK6 KRMK	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	SRMK2	STMK2 IICMK20	MDMK	TMMK13	TMMK12	TMMK11	TMMK10	C0TRXMK

アドレス : FFFD6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK3L	TMMK22	TMMK21	TMMK20	TMMK17	TMMK16	TMMK15	TMMK14	PMKR2

図16-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)
のフォーマット (78K0R/HG3の場合) (2/2)

アドレス : FFFD7H リセット時 : FFH R/W

略号	7	6	5	[4]	[3]	[2]	[1]	[0]
MK3H	1	1	1	DMAMK3	DMAMK2	TMMK27	TMMK25	TMMK23

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 上記は、78K0R/HG3の場合のビット構成です。製品によって、搭載しているビットは異なります。各製品に搭載しているビットについては、表16-2を参照してください。また、搭載していないビットには必ず1設定してください。

(3) 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR03LとPR03H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12H, PR13LとPR13Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) (78K0R/HG3の場合) のフォーマット (1/3)

アドレス : FFFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00H	LTPR00	FLPR0	WUTMPR0	DMAPR01	DMAPR00	CSIPR001	CSIPR000	CLMPR0

アドレス : FFFEDH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10H	LTPR10	FLPR1	WUTMPR1	DMAPR11	DMAPR10	CSIPR101	CSIPR100	CLMPR1

アドレス : FFFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	PPR08	PPR0LR0	LSPR00	LRPR00

アドレス : FFFEEH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	PPR18	PPR1LR0	LSPR10	LRPR10

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01H	TMPR004	CSIPR011 IICPR011	CSIPR010	PPR0LR1	LSPR01	LRPR01	LTPR01	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11H	TMPR104	CSIPR111 IICPR111	CSIPR110	PPR1LR1	LSPR11	LRPR11	LTPR11	ADPR1

図16-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) (78K0R/HG3の場合) のフォーマット (2/3)

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	CORECPR0	COWUPPR0	COERRPR0	PPR07	PPR06 KRPR0	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	CORECPR1	COWUPPR1	COERRPR1	PPR17	PPR16 KRPR1	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	SRPR02	STPR02 IICPR020	MDPR0	TMPR013	TMPR012	TMPR011	TMPR010	COTRXPR0

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	SRPR12	STPR12 IICPR120	MDPR1	TMPR113	TMPR112	TMPR111	TMPR110	COTRXPR1

アドレス : FFFDAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR03L	TMPR022	TMPR021	TMPR020	TMPR017	TMPR016	TMPR015	TMPR014	PPR0R2

アドレス : FFFDEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR13L	TMPR122	TMPR121	TMPR120	TMPR117	TMPR116	TMPR115	TMPR114	PPR1R2

アドレス : FFFDBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR03H	1	1	1	DMAPR03	DMAPR02	TMPR027	TMPR025	TMPR023

アドレス : FFFDFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR13H	1	1	1	DMAPR13	DMAPR12	TMPR127	TMPR125	TMPR123

図16-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) (78K0R/HG3の場合) のフォーマット (3/3)

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 上記は、78K0R/HG3の場合のビット構成です。製品によって、搭載しているビットは異なります。各製品に搭載しているビットについては、表16-2を参照してください。また、搭載していないビットには必ず1設定してください。

- (4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) (1/2) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP0_7	EGP0_6	EGP0_5	EGP0_4	EGP0_3	EGP0_2	EGP0_1	EGP0_0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN0_7	EGN0_6	EGN0_5	EGN0_4	EGN0_3	EGN0_2	EGN0_1	EGN0_0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP1_3	EGP1_2	EGP1_1	EGP1_0

図16-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) (2/2) のフォーマット

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN1_3	EGN1_2	EGN1_1	EGN1_0

EGPm_n	EGNm_n	INTPn端子の有効エッジの選択 (m = 0-1, n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPm_nとEGNm_nに対応するポートを表16-3に示します。

表16-3 EGPm_nとEGNm_nに対応するポート

検出許可レジスタ		エッジ検出ポート		割り込み要求信号
EGP0_0	EGN0_0	P120		INTP0
EGP0_1	EGN0_1	P125		INTP1
EGP0_2	EGN0_2	P30またはP31		INTP2
EGP0_3	EGN0_3	P12	78K0R/HC3	INTP3
		P12またはP50	78K0R/HE3, HF3, HG3	
EGP0_4	EGN0_4	P32		INTP4
EGP0_5	EGN0_5	P70		INTP5
EGP0_6	EGN0_6	P71		INTP6
EGP0_7	EGN0_7	P00		INTP7
EGP1_0	EGN1_0	P47	78K0R/HF3, HG3	INTP8 ^注
EGP1_1	EGN1_1	P43	78K0R/HE3, HF3, HG3	INTPR2 ^注
EGP1_2	EGN1_2	P14		INTPLR0
EGP1_3	EGN1_3	P11またはP73		INTPLR1

注 INTP8とINTPR2を同時に使用することは禁止です。

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPm_nとEGNm_nを0に設定してからポート・モードに切り替えてください。

備考 m = 0-1, n = 0-7

(5) 外部割り込み入力端子選択レジスタ0 (IPSEL0)

IPSEL0は、外部割り込み要求入力端子を2つのポートから選択するレジスタです。
 IPSEL0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図16-6 外部割り込み入力端子選択レジスタ0 (IPSEL0) のフォーマット

アドレス : FFF36H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IPSEL0	0	0	0	0	IPS03 ^注	IPS02	0	0

IPS03 ^注	INTP3入力端子選択
0	P12/INTP3/SO10/TI16/TO16
1	P50/INTP3/TI20/TO20

IPS02	INTP2入力端子選択
0	P30/INTP2/SSI00/TI01/TO01
1	P31/INTP2/STOPST/TI11/TO11

注 78K0R/HE3, 78K0R/HF3, 78K0R/HG3のみ。78K0R/HC3では必ず0に設定してください。

注意 IPSEL0レジスタを書き換える際は、誤動作防止のため、書き換え対象ビットに関連付けられる割り込み要因をマスクしてください。

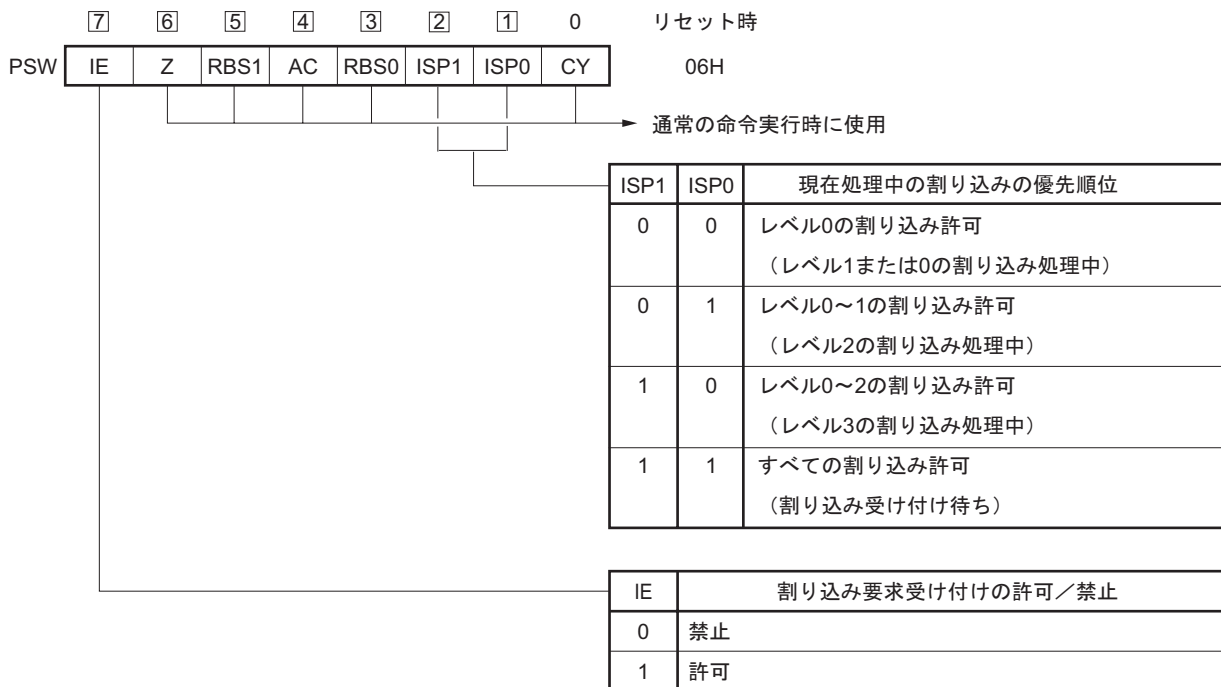
(6) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスク可能割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWIは06Hとなります。

図16-7 プログラム・ステータス・ワードの構成



16.4 割り込み処理動作

16.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット (1) され、その割り込み要求のマスク (MK) フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態 (IEフラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表16-4のようになります。

割り込み要求の受け付けタイミングについては、図16-9, 16-10を参照してください。

表16-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

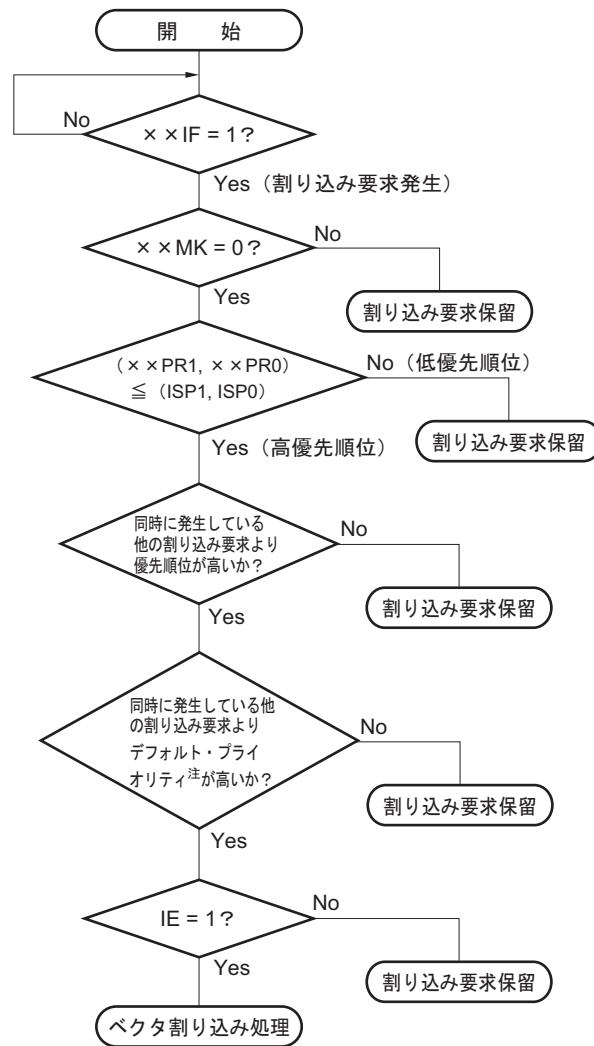
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図16-8に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図16-8 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

x x PR0 : 優先順位指定フラグ0

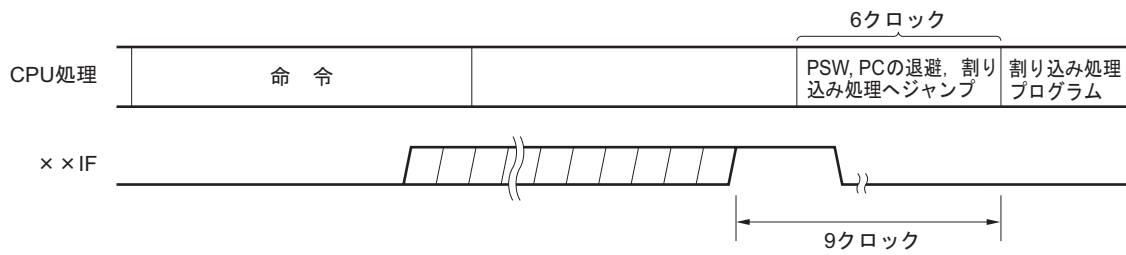
x x PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図16-7参照)

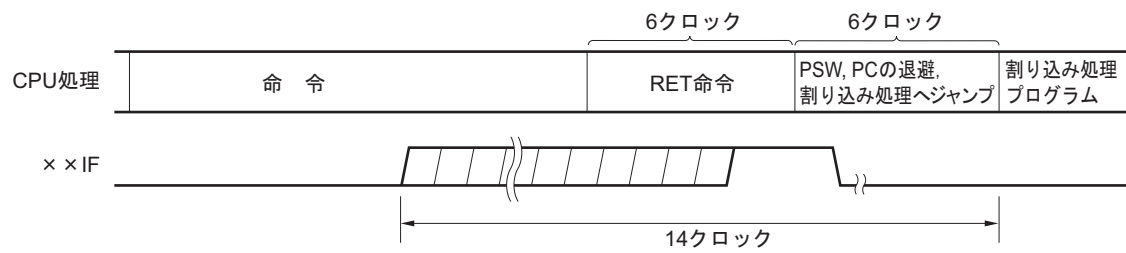
注 デフォルト・プライオリティは、表16-1 割り込み要因一覧を参照してください。

図16-9 割り込み要求の受け付けタイミング（最小時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図16-10 割り込み要求の受け付けタイミング（最大時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

16.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表16-5に多重割り込み可能な割り込み要求の関係を、図16-11に多重割り込みの例を示します。

表16-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0		×	×	×	×	×	×	×	
	ISP1 = 0 ISP0 = 1		×		×	×	×	×	×	
	ISP1 = 1 ISP0 = 0		×		×		×	×	×	
	ISP1 = 1 ISP0 = 0		×		×		×		×	
	ISP1 = 1 ISP0 = 1		×		×		×		×	
ソフトウェア割り込み			×		×		×		×	

備考1. : 多重割り込み可能。

2. × : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

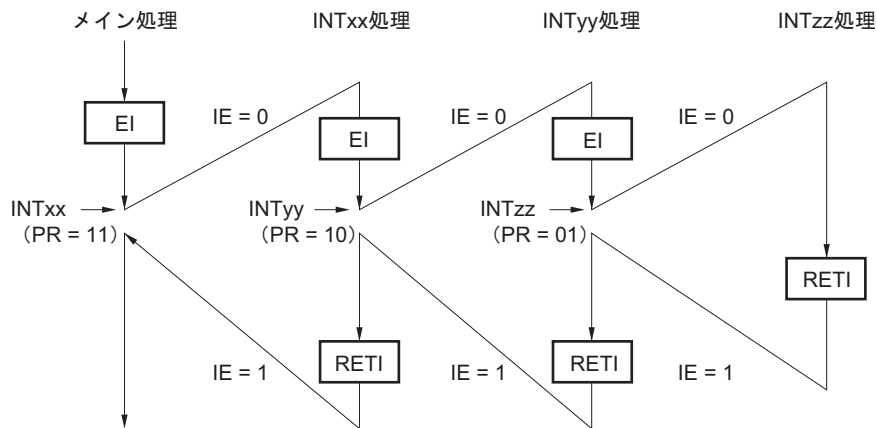
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

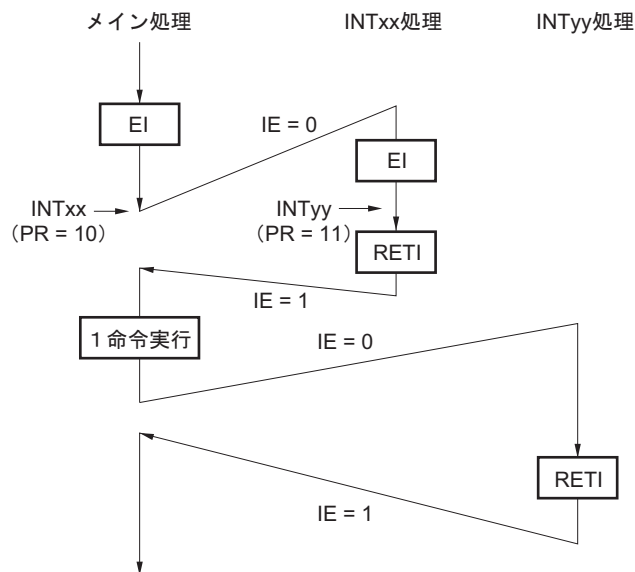
図16-11 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0, x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0, x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1, x \times PR0x = 0$ でレベル2を指定

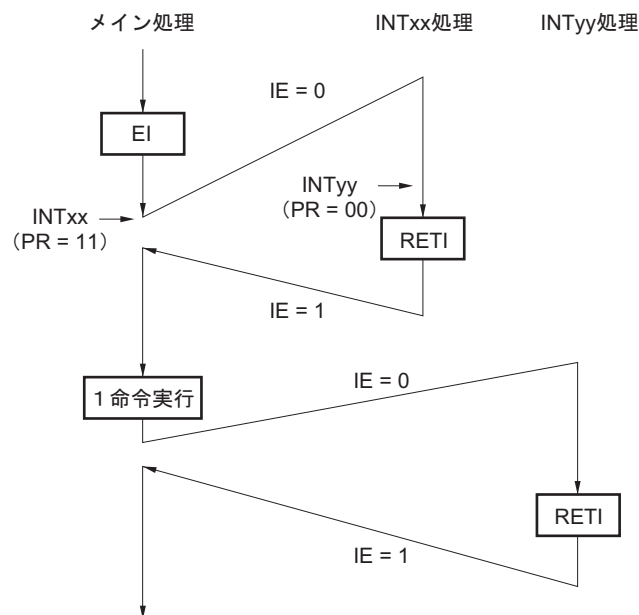
PR = 11 : $x \times PR1x = 1, x \times PR0x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図16-11 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

16.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図16-12に示します。

図16-12 割り込み要求の保留



- 備考1. 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
 3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第17章 キー割り込み機能

	78K0R/HC3	78K0R/HE3	78K0R/HF3	78K0R/HG3
キー割り込み	4	8		

17.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KRn) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表17-1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM_n	KRn信号を1ビット単位で制御

備考 n = 0-3 : 78K0R/HC3

n = 0-7 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

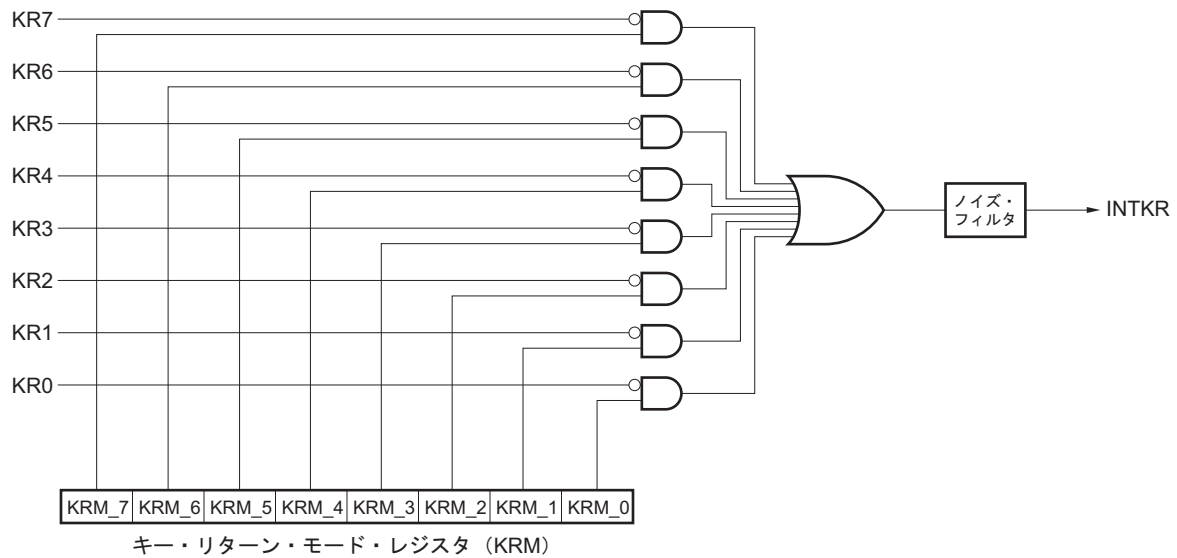
17.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表17-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM)
	ポート・モード・レジスタ7 (PM7)

図17-1 キー割り込みのブロック図



備考 KR0-KR3, KRM_0-KRM_3 : 78K0R/HC3

KR0-KR7, KRM_0-KRM_7 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

17.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRM_nビットをそれぞれKRn信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

(1) 78K0R/HC3

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	KRM_3	KRM_2	KRM_1	KRM_0

(2) 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

略号	7	6	5	4	3	2	1	0
KRM	KRM_7	KRM_6	KRM_5	KRM_4	KRM_3	KRM_2	KRM_1	KRM_0

KRM_n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. KRM_nのうち使用するビットに1を設定する場合、事前にそれに対応するプルアップ抵抗レジスタ7 (PU7) のビットn (PU7_n) に1を設定してください。

2. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅 (250 ns以上) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

備考 n = 0-3 : 78K0R/HC3

n = 0-7 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

(2) ポート・モード・レジスタ7 (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P70/INTP5/KR0/TI15/TO15/LVIOU^T, P71/INTP6/KR1/TI17/TO17, P72/KR2/CTxD/LTx^D1, P73/KR3/CRxD/LRx^D1/INTPLR1, P74/KR4/SO01, P75/KR5/SI01, P76/KR6/SCK0¹, P77/KR7/SSI0¹端子をキー割り込み入力として使用するとき、PM7_0-PM7_7にそれぞれ1を設定してください。このときP7_0-P7_7の出力ラッチは、0または1のどちらでもかまいません。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図17-3 ポート・モード・レジスタ (PM7) のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

(1) 78K0R/HC3

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	1	PM7_3	PM7_2	PM7_1	PM7_0

(2) 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

略号	7	6	5	4	3	2	1	0
PM7	PM7_7	PM7_6	PM7_5	PM7_4	PM7_3	PM7_2	PM7_1	PM7_0

PM7_n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 ■で示している端子は二つのポートに備わっています。対応するレジスタでどちらかのポートを選択してください。

備考 n = 0-3 : 78K0R/HC3

n = 0-7 : 78K0R/HE3, 78K0R/HF3, 78K0R/HG3

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、低速内蔵発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUが低速内蔵発振クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、低速内蔵発振クロックのいずれかの動作状態でも使用できます。
- STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 - A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 - 低速内蔵発振回路をHALT、STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第23章 オプション・バイトを参照してください。
 - STOPモード解除後、PLLの設定はハードウェアで行われるため、ソフトウェアでPLLの再設定をする必要はありません。

18.1.2 スタンバイ機能を制御するレジスタ

STOPモード解除時にP31もしくはP52のポート・ラッチを反転出力させるレジスタが1種類、発振安定時間を制御するレジスタが2種類あります。

- ・ STOPステータス出力制御レジスタ (STPSTC)
- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止, 切り替えを制御するレジスタについては, 第5章 クロック発生回路を参照してください。

(1) STOPステータス出力制御レジスタ (STPSTC)

STOP解除要因発生時に, P31もしくはP52のポート・ラッチを反転させるレジスタです。

STPSTCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

注意 STOPステータス出力制御レジスタを使用する際は, あらかじめ対象ポートを出力モード, ポート・ラッチを0に設定しておいてください。

図18-1 STOPステータス出力制御レジスタ (STPSTC) のフォーマット

アドレス : F00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
STPSTC	STPOEN	0	0	STPLV	0	0	0	STPSEL

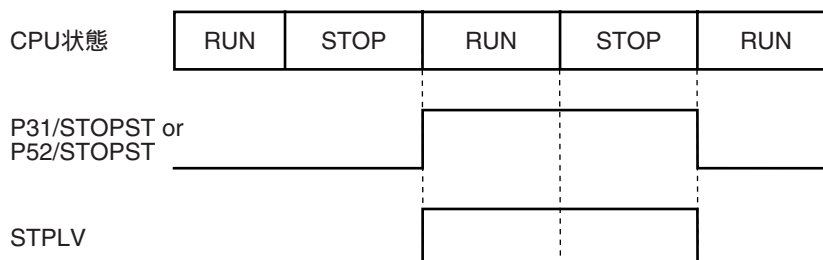
STPOEN	STPSEL	STOP解除時の動作
0	x	STOP解除時に何もしない。
1	0	STOP解除要因発生時にP31/STOPST端子を反転
1	1	STOP解除要因発生時にP52/STOPST端子を反転

STPOENビットは, STPLVビットの値の出力を制御します。

STPLV	STOP解除時の動作
0	STPOENが1の場合, STPSELで選択した端子から, STPLVの論理レベルが出力されます。
1	

STPLVビットは, STPOENの状態に関係なくSTOP要因発生時に反転します。図18-2を参照してください。

図18-2 STPLV, P31/STOPST, P52/STOPSTのタイミング図



(2) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたは低速内蔵発振クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00HIになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- ・ STOPモードを解除したとき

図18-3 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

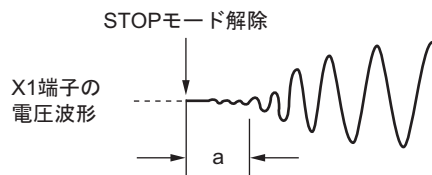
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								fx = 8 MHz時	fx = 20 MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	32.0 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ /fx以上	32.0 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	64.0 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	128.0 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	256.0 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	1.02 ms以上	409.6 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	4.10 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	16.38 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	32.77 ms以上	13.11 ms以上

注意1. 上記時間経過後、MOST8から順番に“1”となっていき、そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。
次のときには、「OSTSの発振安定時間」「OSTCレジスタで確認したいカウント値」に設定してください。

- ・ CPUクロックが高速内蔵発振クロックまたは低速内蔵発振クロックで、X1クロックの発振を開始したい場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

(3) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

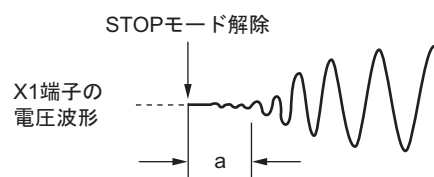
図18-4 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 8 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	32.0 μs 設定禁止
0	0	1	$2^9/f_x$	64.0 μs 25.6 μs
0	1	0	$2^{10}/f_x$	128.0 μs 51.2 μs
0	1	1	$2^{11}/f_x$	256.0 μs 102.4 μs
1	0	0	$2^{13}/f_x$	1.02 ms 409.6 μs
1	0	1	$2^{15}/f_x$	4.10 ms 1.64 ms
1	1	0	$2^{17}/f_x$	16.38 ms 6.55 ms
1	1	1	$2^{18}/f_x$	32.77 ms 13.11 ms

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。
- MSTOPビットの設定でX1クロックを発振させる前に、OSTSレジスタで適切な発振安定時間を設定してください。
 - 20 μs 以下の発振安定時間は設定禁止です。
 - OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウンタ動作が終了していることを確認してください。
 - X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。**
次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウンタ値」に設定してください。
 - ・CPUクロックが高速内蔵発振クロックまたは低速内蔵発振クロックで、X1クロックの発振を開始したい場合
 - ・CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください)
 - PLL動作時にSTOPモードが解除された場合、OSTSで設定した発振安定時間+PLLロックアップ待ち時間が必要になります。
 - X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、低速内蔵発振クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表18-1 HALTモード時の動作状態 (1/2)

項 目	HALTモード の設定		メイン・システム・クロックでCPU動作中のHALT命令実行時							
			高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_X) でCPU動作時	外部メイン・システム・ クロック (f_{EX}) でCPU動作時					
システム・クロック	CPUへのクロック供給は停止									
メイン・システム・クロック	f_{IH}		HALTモード設定前の状態を継続							
	f_X									
	f_{EX}									
サブクロック	f_{EXS}									
f_{IL}										
f_{PLL}										
CPU	動作停止									
コード・フラッシュ・メモリ	低消費電流モードで動作可能									
RAM	動作停止。ただしPOC検出電圧以上では、HALTモード設定前の状態を保持。									
ポート (ラッチ)	HALTモード設定前の状態を保持									
16ビット・ウエイクアップ・タイマ	動作可能 (動作クロックの状態に依存)									
タイマ・アレイ・ユニット (TAU)	動作可能									
ウォッチドッグ・タイマ	オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON), オプション・バイト (000C1H) のビット6 (LIOSTOPB), ビット7 (LIOUSE) にて設定 動作状態についての詳細は、5.7.5 低速内蔵発振クロックまたは8.4.1 ウォッチドッグ・タイマの動作制御参照									
クロック出力	動作可能									
A/Dコンバータ										
シリアル・アレイ・ユニット (SAU)										
LIN-UART										
CANコントローラ										
乗除算器										
DMAコントローラ										
パワーオン・クリア機能										
低電圧検出機能										
外部割り込み										
キー割り込み機能										
不正メモリ・アクセス検出機能						動作可能 (HALT中のDMAによる不正アクセスを検出可能)				

- 備考 1. f_{IH} : 高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{EXS} : 外部サブシステム・クロック
 f_{IL} : 低速内蔵発振クロック
 f_{PLL} : PLLクロック

2. 製品により、搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

表 18-1 HALTモード時の動作状態 (2/2)

HALTモードの設定		低速内蔵発振クロックでCPU動作中のHALT命令実行時	
項 目		低速内蔵発振クロック (f _L) で動作時	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	HALTモード設定前の状態を継続	
	f _X		
	f _{EX}		
サブクロック	f _{EXS}		
f _L	f _{PLL}		
CPU		動作停止	
コード・フラッシュ・メモリ		低消費電流モードで動作可能	
RAM		動作停止。ただしPOC検出電圧以上では、HALTモード設定前の状態を保持。	
ポート (ラッチ)		HALTモード設定前の状態を保持	
16ビット・ウエイクアップ・タイマ		動作可能 (動作クロックの状態に依存)	
タイマ・アレイ・ユニット (TAU)		動作可能	
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON), オプション・バイト (000C1H) のビット6 (LIOSTOPB), ビット7 (LIOUSE) にて設定動作状態についての詳細は、5.7.5 低速内蔵発振クロックまたは8.4.1 ウォッチドッグ・タイマの動作制御参照	
クロック出力		動作可能	
A/Dコンバータ			
シリアル・アレイ・ユニット (SAU)			
LIN-UART			
CANコントローラ			
乗除算器			
DMAコントローラ			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			
キー割り込み機能			
不正メモリ・アクセス検出機能			動作可能 (HALT中のDMAによる不正アクセスを検出可能)

- 備考 1. f_H : 高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{EXS} : 外部サブシステム・クロック
 f_L : 低速内蔵発振クロック
 f_{PLL} : PLLクロック

2. 製品により、搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

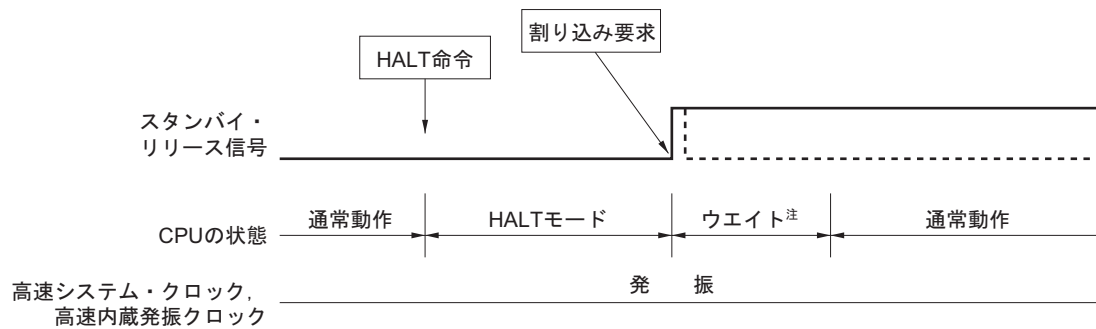
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-5 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10~12クロック
- ・ベクタ割り込み処理を行わない場合 : 5~6クロック

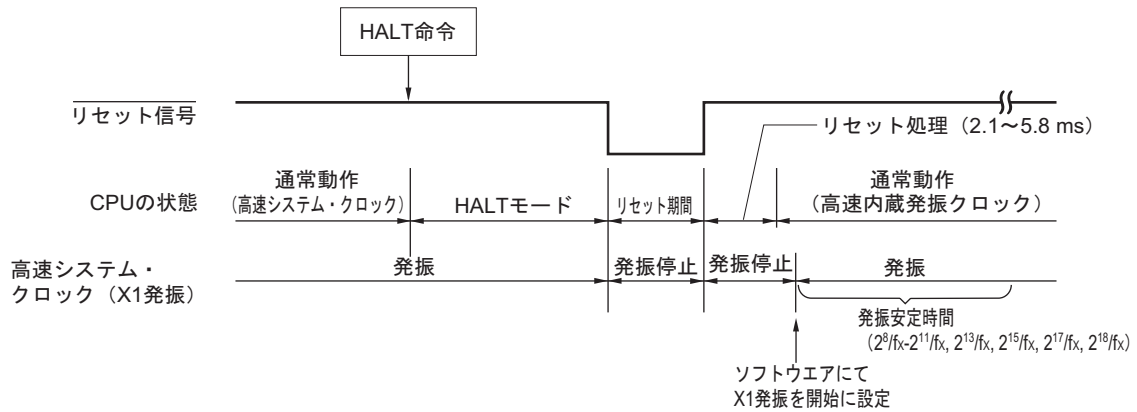
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

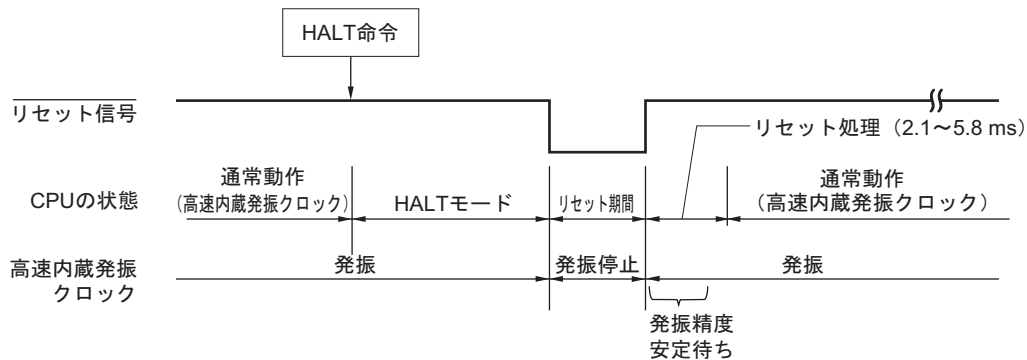
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18-6 HALTモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表18-2 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・ クロック (f_{EX}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	f_x	f_{EX}
サブクロック	f_{EXS}	STOPモード設定前の状態を継続	
f_{IL}	オプション・バイト (000C1H) のビット6 (LIOSTOPB) , ビット7 (LIOUSE) にて設定 ・ LIOSTOPB = 0またはLIOUSE = 0のとき : 停止 ・ LIOSTOPB = 1かつLIOUSE = 0のとき : 発振		
f_{PLL}	停止		
CPU	動作停止		
コード・フラッシュ・メモリ	動作停止		
RAM	動作停止。ただしPOC検出電圧以上では、STOPモード設定前の状態を保持。		
ポート (ラッチ)	STOPモード設定前の状態を継続		
16ビット・ウエイクアップ・タイマ	動作可能 (動作クロックの状態に依存)		
タイマ・アレイ・ユニット (TAU)	動作停止		
ウォッチドッグ・タイマ	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) , オプション・バイト (000C1H) のビット6 (LIOSTOPB) , ビット7 (LIOUSE) にて設定 動作状態についての詳細は、5.7.5 低速内蔵発振クロックまたは8.4.1 ウォッチドッグ・タイマ の動作制御参照		
クロック出力	動作可能 (出カクロックの状態に依存)		
A/Dコンバータ	動作停止		
シリアル・アレイ・ ユニット (SAU)			
LIN-UART			
CANコントローラ			
乗除算器			
DMAコントローラ			
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			
キー割り込み機能			
不正メモリ・アクセス検出 機能	動作停止		

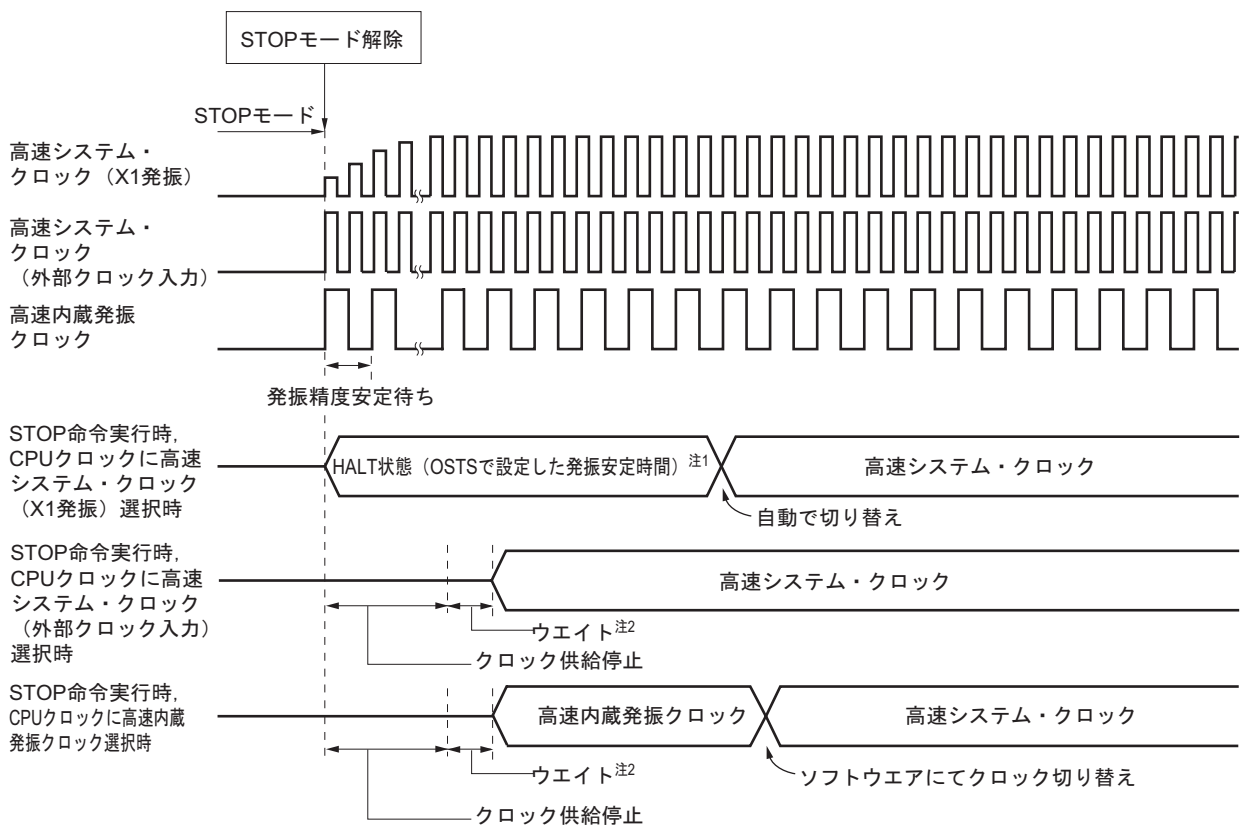
- 備考 1. f_{IH} : 高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{EXS} : 外部サブシステム・クロック
 f_{IL} : 低速内蔵発振クロック
 f_{PLL} : PLLクロック

2. 製品により、搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速内蔵発振クロックを停止したい場合は、オプション・バイトを設定（000C1Hのビット6（LIOSTOPB）= 0）してから、STOP命令を実行してください。
3. 高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速内蔵発振クロックに切り替えてください。STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック（X1発振）に切り替える場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから、行ってください。

(2) STOPモードの解除

図18-7 STOPモード解除時の動作タイミング（マスクされていない割り込み要求による解除の場合）



注1. OSTCで設定した発振安定時間が61 μ s以下の場合、最大で“61 μ s+ウエイト時間”までHALT状態が継続されます。

2. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10~12クロック
- ・ベクタ割り込み処理を行わない場合 : 5~6クロック

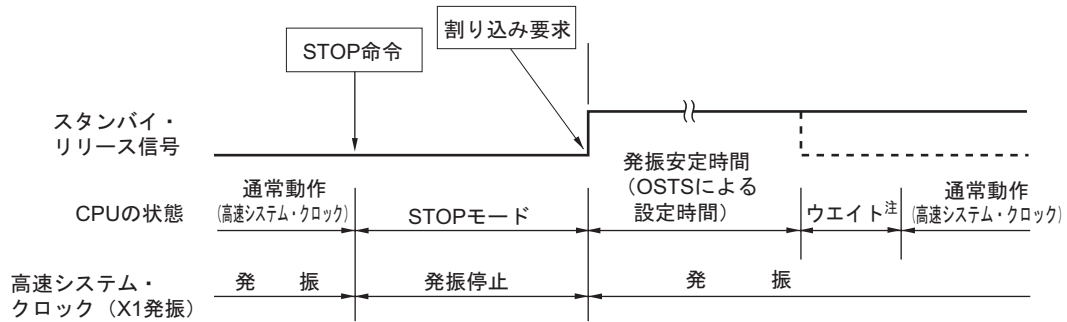
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

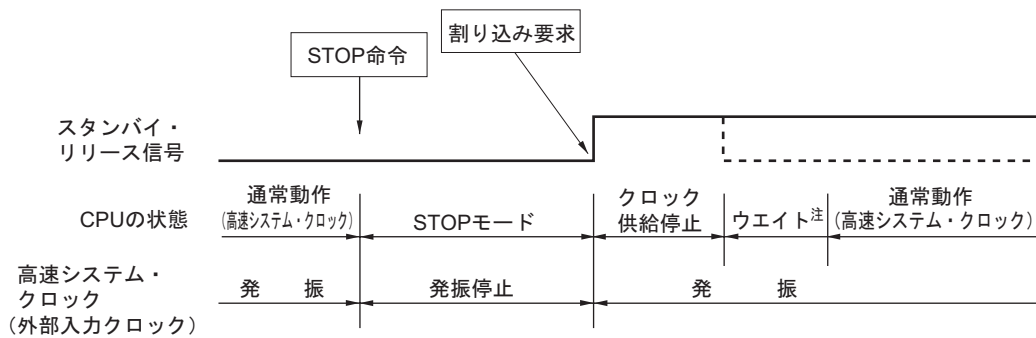
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図18-8 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



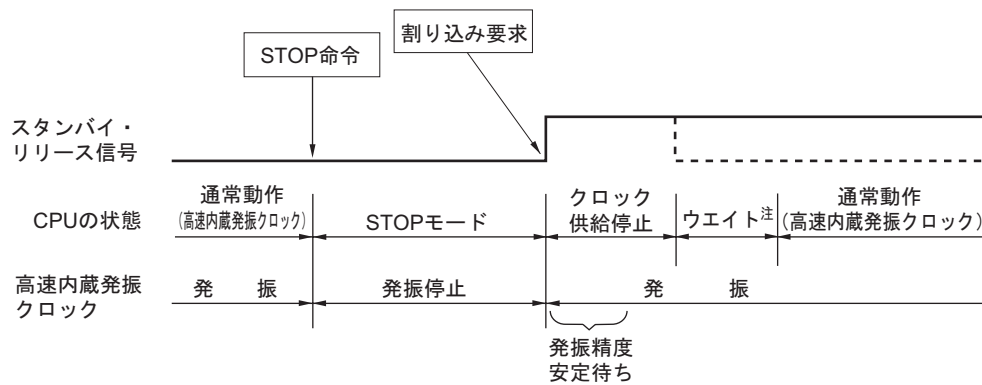
注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10~12クロック
- ・ベクタ割り込み処理を行わない場合 : 5~6クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図18-8 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10~12クロック
- ・ベクタ割り込み処理を行わない場合 : 5~6クロック

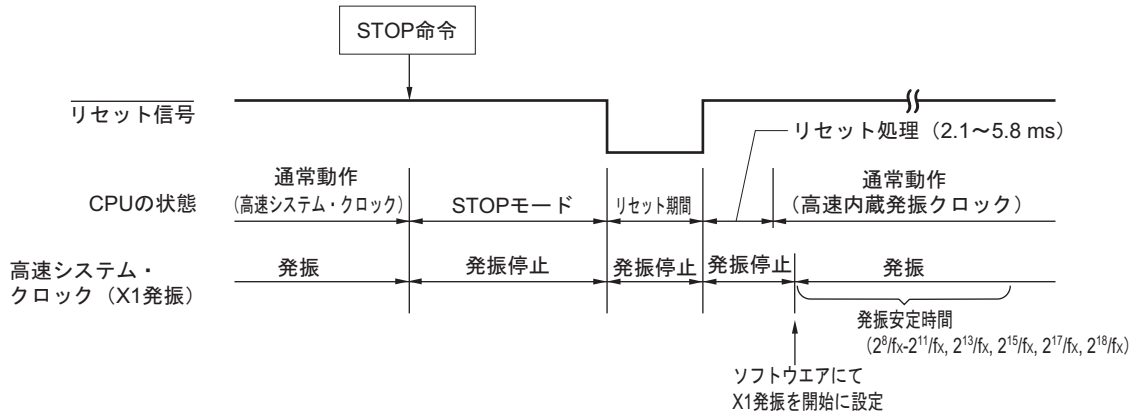
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

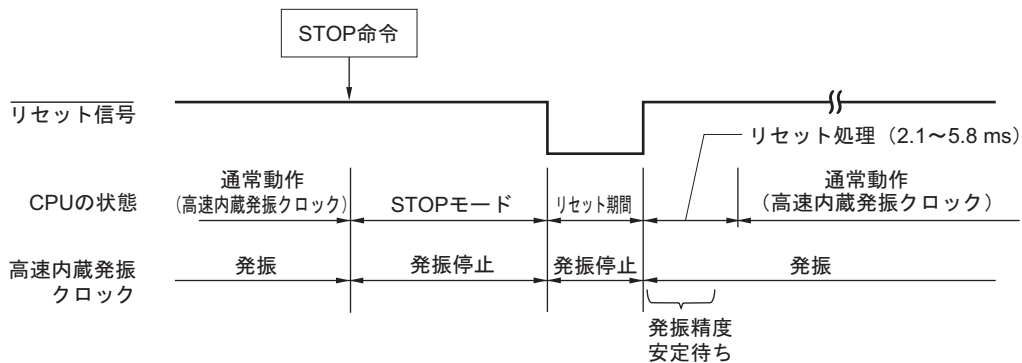
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18-9 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第19章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) クロック・モニタによるメイン・クロック発振停止の検出による内部リセット
- (7) 不正メモリ・アクセスの検出による内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、不正命令の実行^注、クロック・モニタによるメイン・クロック発振の停止の検出、または不正メモリ・アクセスの検出により、リセットがかかり、各ハードウェアは表19-1、表19-2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130, P140のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図19-2から図19-4参照)。POC回路、LVI回路の電圧検出によるリセットは、リセット後 V_{DD} V_{POC} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第20章 パワーオン・クリア回路と第21章 低電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

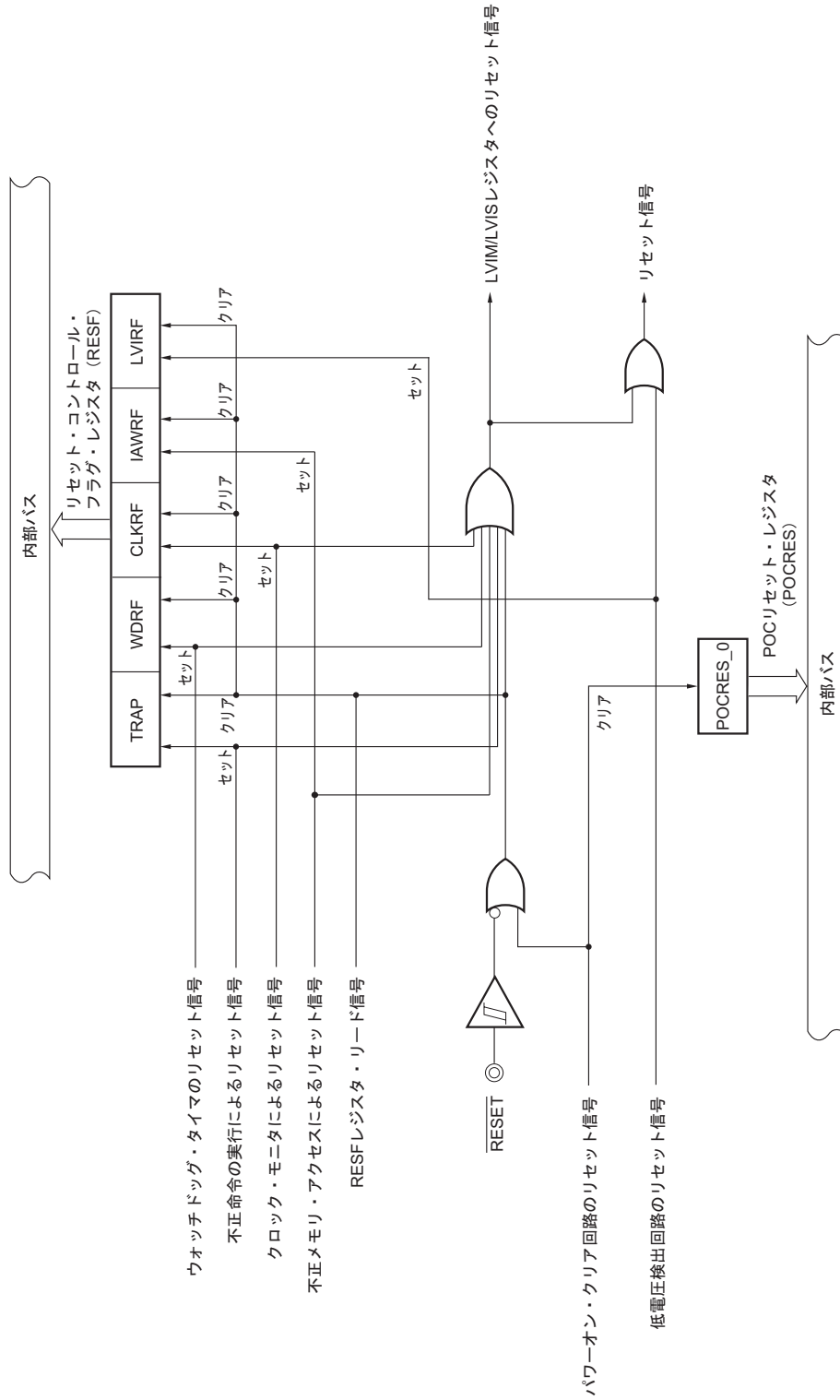
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合、動作電圧範囲外 ($V_{DD} < 2.7$ V) の期間は10 μ sにカウントしません。ただしロウ・レベル入力はPOC解除前から継続されていてもかまいません。)

2. リセット信号発生中では、X1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。ただし、各SFRと2nd SFRは初期化されるため、ポート端子P130, P140はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。

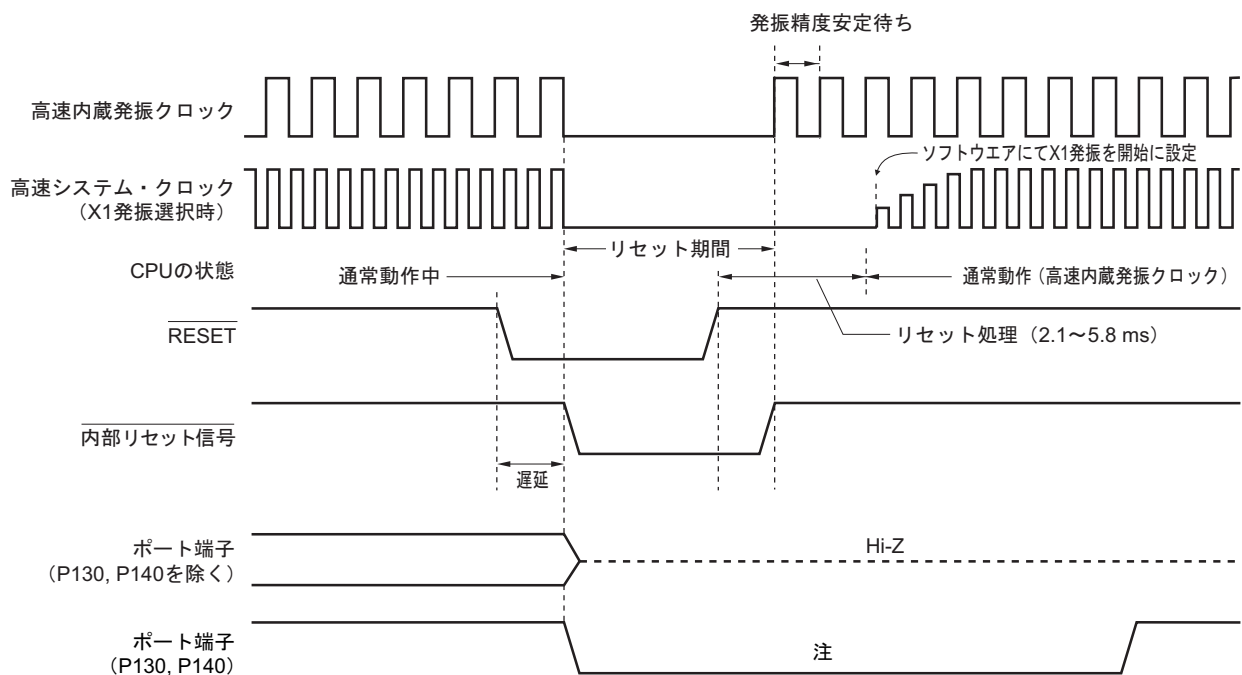
図19-1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

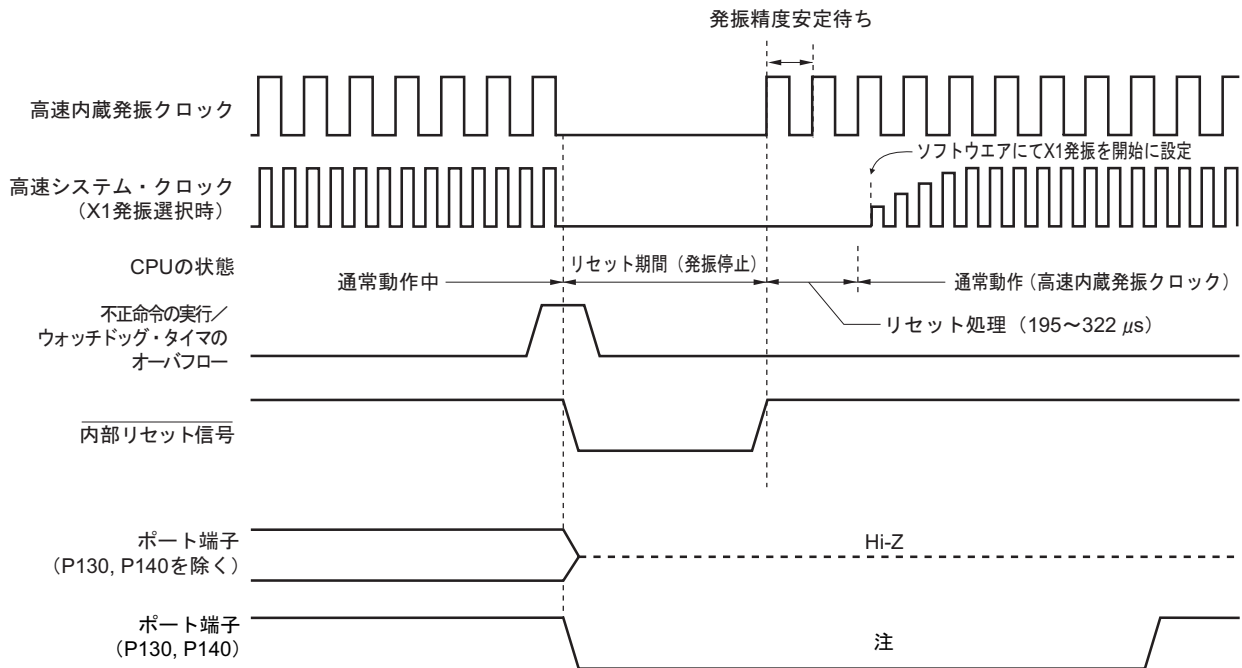
備考1 . LVIM: 低電圧検出レジスタ

2 . LVIS: 低電圧検出レベル選択レジスタ

図19-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

注 リセットがかかるとP130, P140はロウ・レベルを出力するため、リセットがかかる前にP130, P140をハイ・レベル出力にした場合、P130, P140からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130, P140をソフトウェアでハイ・レベル出力にしてください。

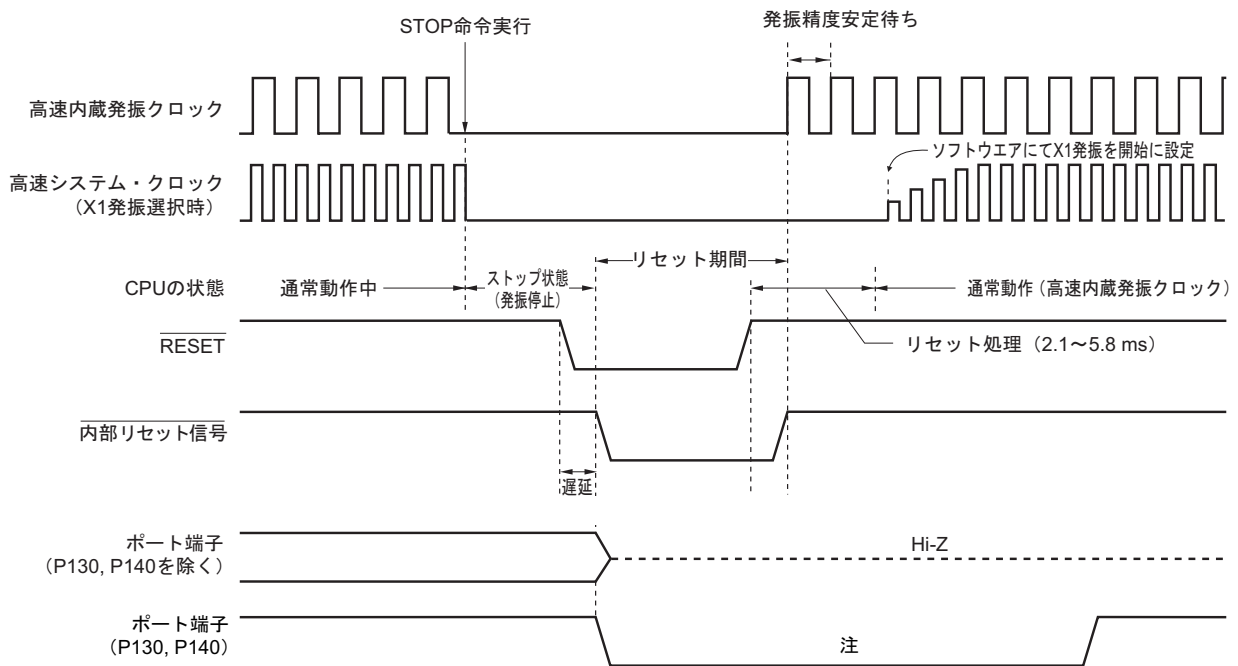
図19-3 不正命令の実行/ウォッチドッグ・タイマのオーバフローによるリセット・タイミング



注 リセットがかかるとP130, P140はロウ・レベルを出力するため、リセットがかかる前にP130, P140をハイ・レベル出力にした場合、P130, P140からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130, P140をソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図19-4 STOPモード中のRESET入力によるリセット・タイミング



注 リセットがかかるとP130, P140はロウ・レベルを出力するため、リセットがかかる前にP130, P140をハイ・レベル出力にした場合、P130, P140からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130, P140をソフトウェアでハイ・レベル出力にしてください。

備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第20章 パワーオン・クリア回路と第21章 低電圧検出回路を参照してください。

表19-1 リセット期間中の動作状態

項 目	リセット期間中
システム・クロック	CPUへのクロック供給は停止
メイン・システム・クロック	動作停止
サブクロック	動作停止 (X1, X2端子は入力ポート・モード)
	クロックの入力無効 (端子は入力ポート・モード)
fil	動作停止
fPLL	
CPU	
コード・フラッシュ	低消費電流モードで動作可能
RAM	動作停止 (ただしPOC検出電圧以上での保持は行う)
ポート (ラッチ)	動作停止 (P130, P140以外はHi-Z (入力禁止)。P130, P140はロウ出力。)
16ビット・ウエイクアップ・タイマ	動作停止
タイマ・アレイ・ユニット (TAU)	
ウォッチドッグ・タイマ	
クロック出力	
A/Dコンバータ	
シリアル・アレイ・ユニット (SAU)	
LIN-UART	
CANコントローラ	
乗除算器	
DMAコントローラ	
パワーオン・クリア機能	動作可能
低電圧検出機能	動作停止 (ただし, LVIデフォルト動作有効時, LVIリセット時は動作継続)
外部割り込み	動作停止
キー割り込み機能	
不正メモリ・アクセス検出機能	動作停止

- 備考1. fiH : 高速内蔵発振クロック
fx : X1発振クロック
fEX : 外部メイン・システム・クロック
fEXS : 外部サブシステム・クロック
fil : 低速内蔵発振クロック
fPLL : PLLクロック

2. 製品により, 搭載している機能が異なります。1.7 ブロック図, 1.8 機能概要を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (1/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0, P1, P3-P10, P12-P15) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0, PM1, PM3-PM10, PM12, PM15)		FFH
ポート・モード・レジスタ (PM14)		FEH
ポート入力モード・レジスタ6, 7 (PIM6, PIM7)		00H
ポート出力モード・レジスタ4, 7 (POM4, POM7)		00H
ブルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU7, PU12, PU14, PU15)		00H
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
システム・クロック制御レジスタ (CKC)		01H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1, 2, 3 (NFEN0, NFEN1, NFEN2, NFEN3)		00H
周辺イネーブル・レジスタ0, 1 (PER0, PER1)		00H
周辺クロック選択レジスタ (PCKSEL)		00H
PLL制御レジスタ (PLLCTL)		00H
PLL状態レジスタ (PLLSTS)		00H
動作スピード・モード制御レジスタ (OSMC)		00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.4 特殊機能レジスタ (SFR: Special Function Register), 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (2/6)

ハードウェア	リセット受け付け後の状態 ^{注1}	
タイマ・アレイ・ユニット (TAU)	タイマ・データ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13, 14, 15, 16, 17, 20, 21, 22, 23, 24, 25, 26, 27 (TDR00, TDR01, TDR02, TDR03, TDR04, TDR05, TDR06, TDR07, TDR10, TDR11, TDR12, TDR13, TDR14, TDR15, TDR16, TDR17, TDR20, TDR21, TDR22, TDR23, TDR24, TDR25, TDR26, TDR27)	0000H
	タイマ・モード・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13, 14, 15, 16, 17, 20, 21, 22, 23, 24, 25, 26, 27 (TMR00, TMR01, TMR02, TMR03, TMR04, TMR05, TMR06, TMR07, TMR10, TMR11, TMR12, TMR13, TMR14, TMR15, TMR16, TMR17, TMR20, TMR21, TMR22, TMR23, TMR24, TMR25, TMR26, TMR27)	0000H
	タイマ・ステータス・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13, 14, 15, 16, 17, 20, 21, 22, 23, 24, 25, 26, 27 (TSR00, TSR01, TSR02, TSR03, TSR04, TSR05, TSR06, TSR07, TSR10, TSR11, TSR12, TSR13, TSR14, TSR15, TSR16, TSR17, TSR20, TSR21, TSR22, TSR23, TSR24, TSR25, TSR26, TSR27)	0000H
	タイマ入力選択レジスタ0, 1 (TIS0, TIS1)	00H
	タイマ・カウンタ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13, 14, 15, 16, 17, 20, 21, 22, 23, 24, 25, 26, 27 (TCR00, TCR01, TCR02, TCR03, TCR04, TCR05, TCR06, TCR07, TCR10, TCR11, TCR12, TCR13, TCR14, TCR15, TCR16, TCR17, TCR20, TCR21, TCR22, TCR23, TCR24, TCR25, TCR26, TCR27)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0, 1, 2 (TE0, TE1, TE2)	0000H
	タイマ・チャンネル開始レジスタ0, 1, 2 (TS0, TS1, TS2)	0000H
	タイマ・チャンネル停止レジスタ0, 1, 2 (TT0, TT1, TT2)	0000H
	タイマ・クロック選択レジスタ0, 1, 2 (TPS0, TPS1, TPS2)	0000H
	タイマ出力レジスタ0, 1, 2 (TO0, TO1, TO2)	0000H
	タイマ出力許可レジスタ0, 1, 2 (TOE0, TOE1, TOE2)	0000H
	タイマ出力レベル・レジスタ0, 1, 2 (TOL0, TOL1, TOL2)	0000H
	タイマ出力モード・レジスタ0, 1, 2 (TOM0, TOM1, TOM2)	0000H
16ビット・ウエイク・アップ・タイマ	WUTM制御レジスタ (WUTMCTL)	00H
	WUTMコンペア・レジスタ (WUTMCMP)	0000H
クロック出力制御回路	クロック出力選択レジスタ (CKS)	00H ^{注2}
ウォッチドッグ・タイマ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	1AH/9AH ^{注3}

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. CKSのリセット値は、オプション・バイトの設定により変化します。
3. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.4 特殊機能レジスタ (SFR: Special Function Register), 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (3/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	10ビットA/D変換結果レジスタ0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23 (ADCR0, ADCR1, ADCR2, ADCR3, ADCR4, ADCR5, ADCR6, ADCR7, ADCR8, ADCR9, ADCR10, ADCR11, ADCR12, ADCR13, ADCR14, ADCR15, ADCR16, ADCR17, ADCR18, ADCR19, ADCR20, ADCR21, ADCR22, ADCR23)	0000H
	8ビットA/D変換結果レジスタ0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23 (ADCR0H, ADCR1H, ADCR2H, ADCR3H, ADCR4H, ADCR5H, ADCR6H, ADCR7H, ADCR8H, ADCR9H, ADCR10H, ADCR11H, ADCR12H, ADCR13H, ADCR14H, ADCR15H, ADCR16H, ADCR17H, ADCR18H, ADCR19H, ADCR20H, ADCR21H, ADCR22H, ADCR23H)	00H
	A/Dコンバータ・モード・レジスタ0 (ADM0)	00H
	A/Dコンバータ・モード・レジスタ1 (ADM1)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	00H ^{注2}
	A/D変換時間設定レジスタ (ADSMP)	00H
	シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00, 01, 10, 11, 20, 21 (SDR00, SDR01, SDR10, SDR11, SDR20, SDR21)
シリアル・ステータス・レジスタ00, 01, 10, 11, 20, 21 (SSR00, SSR01, SSR10, SSR11, SSR20, SSR21)		0000H
シリアル・フラグ・クリア・トリガ・レジスタ00, 01, 10, 11, 20, 21 (SIR00, SIR01, SIR10, SIR11, SIR20, SIR21)		0000H
シリアル・モード・レジスタ00, 01, 10, 11, 20, 21 (SMR00, SMR01, SMR10, SMR11, SMR20, SMR21)		0020H
シリアル通信動作設定レジスタ00, 01, 10, 11, 20, 21 (SCR00, SCR01, SCR10, SCR11, SCR20, SCR21)		0087H
シリアル・チャネル許可ステータス・レジスタ0, 1, 2 (SE0, SE1, SE2)		0000H
シリアル・チャネル開始レジスタ0, 1, 2 (SS0, SS1, SS2)		0000H
シリアル・チャネル停止レジスタ0, 1, 2 (ST0, ST1, ST2)		0000H
シリアル・クロック選択レジスタ0, 1, 2 (SPS0, SPS1, SPS2)		0000H
シリアル出力レジスタ0, 1, 2 (SO0, SO1, SO2)		0303H
シリアル出力許可レジスタ0, 1, 2 (SOE0, SOE1, SOE2)		0000H
シリアル出力レベル・レジスタ0, 1, 2 (SOL0, SOL1, SOL2)		0000H
シリアル・スレーブ選択許可レジスタ0 (SSE0)		0000H
シリアル通信端子選択レジスタ (STSEL)		00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. ADPCレジスタは、PER0.ADCEN = 0に設定してもリセットされません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.4 特殊機能レジスタ (SFR: Special Function Register), 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (4/6)

ハードウェア		リセット受け付け後の状態 ^注
LIN-UART0	LIN-UART0制御レジスタ0 (UF0CTL0)	10H
	LIN-UART0制御レジスタ1 (UF0CTL1)	0FFFH
	LIN-UART0オプション・レジスタ0 (UF0OPT0)	14H
	LIN-UART0オプション・レジスタ1 (UF0OPT1)	00H
	LIN-UART0オプション・レジスタ2 (UF0OPT2)	00H
	LIN-UART0状態レジスタ (UF0STR)	0000H
	LIN-UART0状態クリア・レジスタ (UF0STC)	0000H
	LIN-UART0受信データ・レジスタ (UF0RX)	0000H
	LIN-UART0 8-bit受信データ・レジスタ (UF0RXB)	00H
	LIN-UART0送信データ・レジスタ (UF0TX)	0000H
	LIN-UART0 8-bit送信データ・レジスタ (UF0TXB)	00H
	LIN-UART0ウェイト用送信データ・レジスタ (UF0WTX)	0000H
	LIN-UART0 8-bitウェイト用送信データ・レジスタ (UF0WTXB)	00H
	LIN-UART0 ID設定レジスタ (UF0ID)	00H
	LIN-UART0バッファ・レジスタ0, 1, 2, 3, 4, 5, 6, 7, 8 (UF0BUF0, UF0BUF1, UF0BUF2, UF0BUF3, UF0BUF4, UF0BUF5, UF0BUF6, UF0BUF7, UF0BUF8)	00H
	LIN-UART0バッファ制御レジスタ (UF0BUCTL)	0000H
LIN-UART1	LIN-UART1制御レジスタ0 (UF1CTL0)	10H
	LIN-UART1制御レジスタ1 (UF1CTL1)	0FFFH
	LIN-UART1オプション・レジスタ0 (UF1OPT0)	14H
	LIN-UART1オプション・レジスタ1 (UF1OPT1)	00H
	LIN-UART1オプション・レジスタ2 (UF1OPT2)	00H
	LIN-UART1状態レジスタ (UF1STR)	0000H
	LIN-UART1状態クリア・レジスタ (UF1STC)	0000H
	LIN-UART1受信データ・レジスタ (UF1RX)	0000H
	LIN-UART1 8-bit受信データ・レジスタ (UF1RXB)	00H
	LIN-UART1送信データ・レジスタ (UF1TX)	0000H
	LIN-UART1 8-bit送信データ・レジスタ (UF1TXB)	00H
	LIN-UART1ウェイト用送信データ・レジスタ (UF1WTX)	0000H
	LIN-UART1 8-bitウェイト用送信データ・レジスタ (UF1WTXB)	00H
	LIN-UART1 ID設定レジスタ (UF1ID)	00H
	LIN-UART1バッファ・レジスタ0, 1, 2, 3, 4, 5, 6, 7, 8 (UF1BUF0, UF1BUF1, UF1BUF2, UF1BUF3, UF1BUF4, UF1BUF5, UF1BUF6, UF1BUF7, UF1BUF8)	00H
	LIN-UART1バッファ制御レジスタ (UF1BUCTL)	0000H

注 リセット信号発生中および発振安定時間ウェイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.4 特殊機能レジスタ (SFR: Special Function Register) , 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (5/6)

ハードウェア		リセット受け付け後の状態 ^注
CANコントローラ	CANグローバル・モジュール制御レジスタ (CGMCTRL)	0000H
	CANグローバル・モジュール・クロック選択レジスタ (CGMCS)	0FH
	CANグローバル自動ブロック送信制御レジスタ (CGMABT)	0000H
	CANグローバル自動ブロック送信遅延設定レジスタ (CGMABTD)	00H
	CANモジュール・マスク1レジスタ (CMASK1L, CMASK1H)	不定
	CANモジュール・マスク2レジスタ (CMASK2L, CMASK2H)	不定
	CANモジュール・マスク3レジスタ (CMASK3L, CMASK3H)	不定
	CANモジュール・マスク4レジスタ (CMASK4L, CMASK4H)	不定
	CANモジュール制御レジスタ (CCTRL)	0000H
	CANモジュール最終エラー情報レジスタ (CLEC)	00H
	CANモジュール情報レジスタ (CINFO)	00H
	CANモジュール・エラー・カウンタ・レジスタ (CERC)	0000H
	CANモジュール割り込み許可レジスタ (CIE)	0000H
	CANモジュール割り込みステータス・レジスタ (CINTS)	0000H
	CANモジュール・ビット・レート・プリスケラ・レジスタ (CBRP)	FFH
	CANモジュール・ビット・レート・レジスタ (CBTR)	370FH
	CANモジュール最終受信ポインタ・レジスタ (CLIPT)	不定
	CANモジュール受信履歴・リスト・レジスタ (CRGPT)	xx02H
	CANモジュール最終送信ポインタ・レジスタ (CLOPT)	不定
	CANモジュール送信履歴・リスト・レジスタ (CTGPT)	xx02H
CANモジュール・タイム・スタンプ・レジスタ (CTS)	0000H	
乗除算器	乗除算データ・レジスタA (L) (MDAL)	0000H
	乗除算データ・レジスタA (H) (MDAH)	0000H
	乗除算データ・レジスタB (L) (MDBL)	0000H
	乗除算データ・レジスタB (H) (MDBH)	0000H
	乗除算データ・レジスタC (L) (MDCL)	0000H
	乗除算データ・レジスタC (H) (MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウンタ・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
	DMA全チャンネル強制ウェイト・レジスタ (DMCALL)	00H

注 リセット信号発生中および発振安定時間ウェイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.4 特殊機能レジスタ (SFR: Special Function Register), 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (6/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
	POCリセット・レジスタ (POCRES)	00H ^{注3}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H/82H ^{注4}
	低電圧検出レベル選択レジスタ (LVIS)	09H ^{注2}
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H, IF3L, IF3H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 03L, 03H, 10L, 10H, 11L, 11H, 12L, 12H, 13L, 13H (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)	00H
10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. クリア要因により、次のように異なります。

クリア要因		RESE \bar{T} 入力	POCによる リセット	不正命令の 実行による リセット	RESFの リード	WDTによる リセット	CLMIによる リセット	不正メモリ・ アクセスによ るリセット	LVIによる リセット
レジスタ	RESF	TRAP	クリア (0)	セット (1)	クリア (0)	保持			
		WDRF	クリア (0)	保持	クリア (0)	セット (1)	保持		
		CLKRF	クリア (0)	保持	クリア (0)	保持	セット (1)	保持	
		IAWRF	クリア (0)	保持	クリア (0)	保持		セット (1)	保持
		LVIRF	クリア (0)	保持	クリア (0)	保持			セット (1)
POCRES	POCRES_0	保持	クリア (0)	保持	保持	保持			
LVIS		クリア (09H)			保持	クリア (09H)			保持
LVIM		クリア (00H/82H ^{注4})			保持	クリア (00H/82H ^{注4})			保持

3. POC以外のリセット要因発生時は、リセット直前の値を保持します。

4. リセット要因およびオプション・バイトの設定により異なります。

備考 製品により、搭載している特殊機能レジスタ (SFR) が異なります。3.2.4 特殊機能レジスタ (SFR: Special Function Register), 3.2.5 拡張特殊機能レジスタ (2nd SFR: 2nd Special Function Register) を参照してください。

19.1 リセット要因を確認するレジスタ

(1) リセット・コントロール・フラグ・レジスタ (RESF)

78K0R/Hx3は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

RESET入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

- 注意 1. 電源立ち上げ時、RESET入力を同時にに入れていた場合も00Hとなります。
 2. POCリセット解除後、CPU動作開始前にRESET端子を使用した場合も00Hとなります。

図19-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00H^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDRF	0	CLKRF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

CLKRF	クロック・モニタによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

- 注 1. リセット要因により異なります。
 2. FFHの命令コードを実行したときに発生します。
 不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

- 注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。
 2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) , 電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。

リセット要求時のRESFの状態を表19-3に示します。

表19-3 リセット要求時のRESFの状態

クリア要因 フラグ	RESET入力	POCによる リセット	不正命令の 実行による リセット	RESFの リード	WDTによる リセット	CLMIによる リセット	不正メモリ・ アクセスによ るリセット	LVIIによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	クリア (0)	保持	保持	保持	保持
WDRF			保持	クリア (0)	セット (1)	保持	保持	保持
CLKRF			保持	クリア (0)	保持	セット (1)	保持	保持
IAWRF			保持	クリア (0)	保持	保持	セット (1)	保持
LVIRF			保持	クリア (0)	保持	保持	保持	セット (1)

(2) POCリセット・レジスタ (POCRES)

POCリセット・レジスタ (POCRES) は、POCリセットの発生を確認するレジスタです。

POCRESは、“1”書き込みのみ有効で、“0”書き込みは無効になります。

パワーオン・クリア (POC) 回路によるリセットでのみ00Hになります。

注意 POCRES = 1の場合、POCリセットが発生していないことは保証しますが、RAMの値などは保証しません。

備考 パワーオン・クリア (POC) 回路によるリセットを確認する場合、あらかじめPOCRES_0に“1”をセットしてください。

図19-6 POCリセット・レジスタ (POCRES) のフォーマット

アドレス : F00FBH リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
POCRES	0	0	0	0	0	0	0	POCRES_0

POCRES_0	POCリセットによる内部リセット要求
0	POCリセットは発生した、または書き込みがされていない
1	POCリセットは発生していない

注 POC以外のリセット要因発生時は、リセット直前の値を保持します。

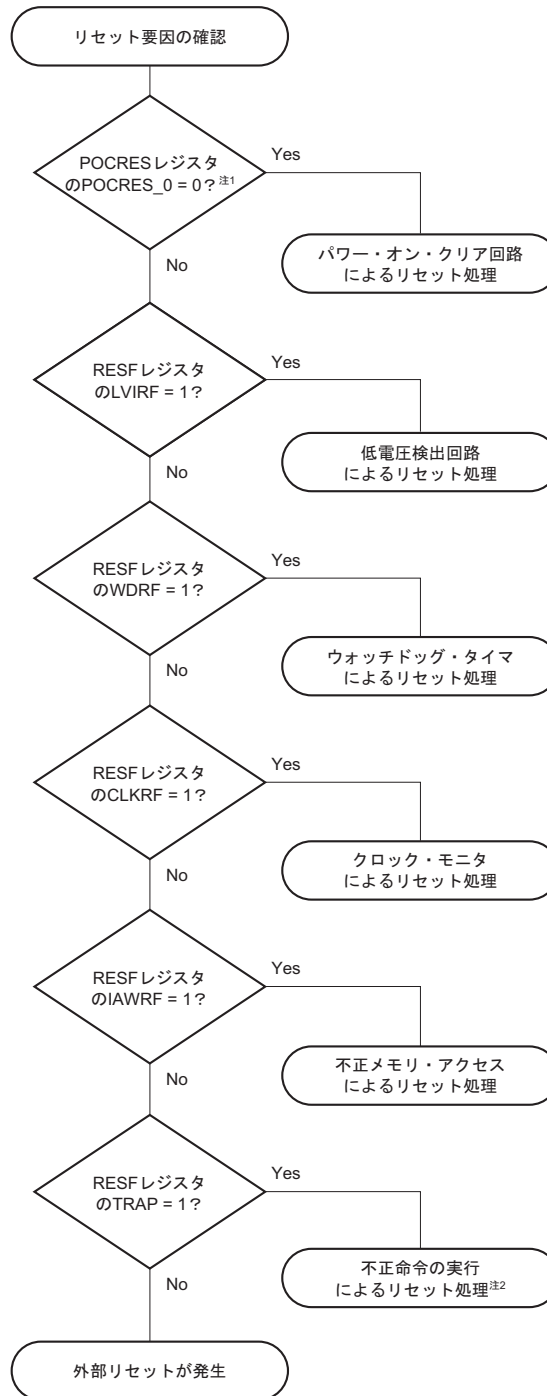
リセット要求時のPOCRESの状態を表19-4に示します。

表19-4 リセット要求時のPOCRESの状態

クリア要因 フラグ	RESET入力	POCによる リセット	不正命令の 実行による リセット	RESFの リード	WDTによる リセット	CLMIによる リセット	不正メモリ・ アクセスによ るリセット	LVIIによる リセット
POCRES_0	保持	クリア (0)	保持	保持	保持	保持	保持	保持

リセット解除後のソフト処理例を次に示します。

図19-7 リセット解除後のソフト処理例



注1. パワーオン・クリア（POC）回路によるリセットを検出する場合、あらかじめPOCRES_0に“1”をセットしてください。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 リセット要因が複数発生した場合は、同時に対応する要因フラグがセットされます。

第20章 パワーオン・クリア回路

20.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧 (V_{DD}) が $1.61\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。

注意 オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトで ON に設定した場合は、電源電圧 (V_{DD}) が $2.93\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

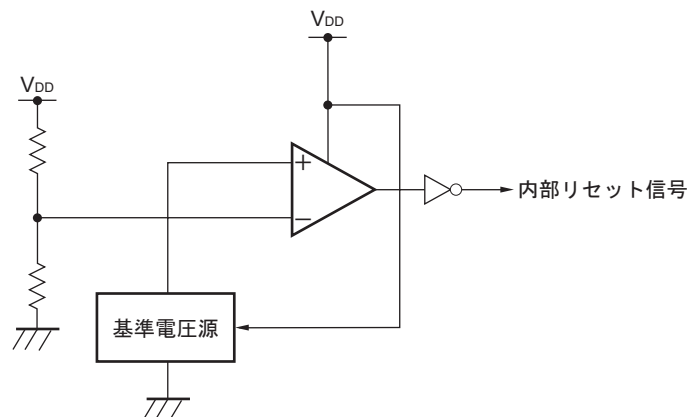
注意 POC 回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令 / クロック・モニタ / 不正メモリ・アクセスの実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESF は WDT / LVI / 不正命令 / クロック・モニタ / 不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESF の詳細については、第 19 章 リセット機能を参照してください。

20.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図20-1に示します。

図20-1 パワーオン・クリア回路のブロック図



20.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$) を越えた場合、リセットを解除します。

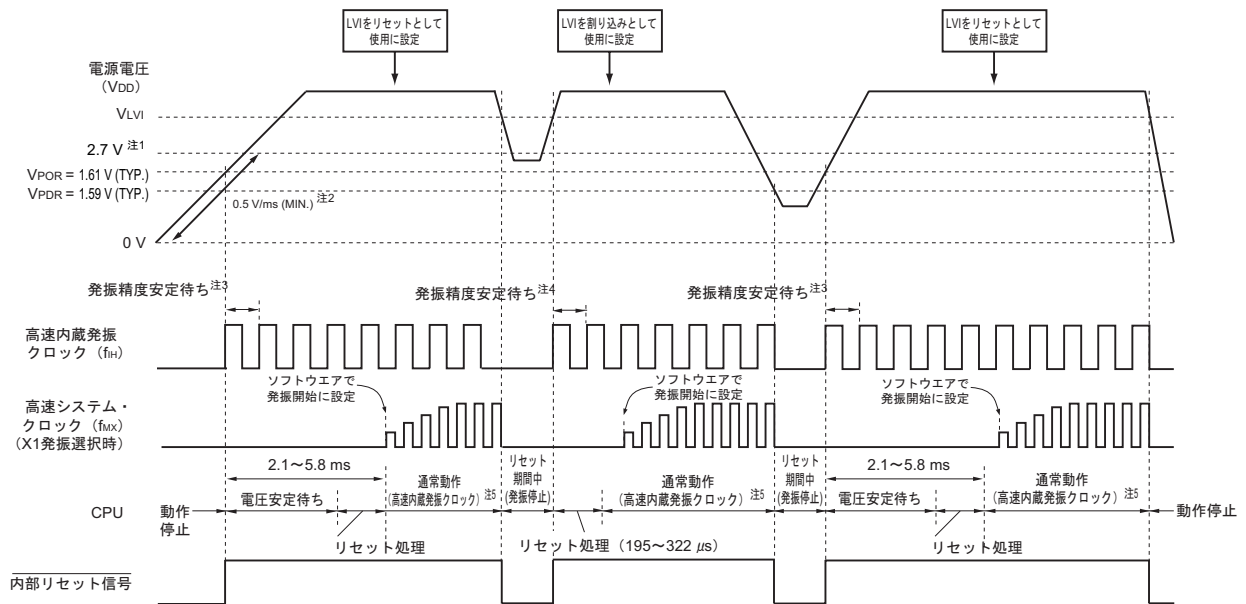
注意 オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.93\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図20-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (1/2)

(1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVIOFF = 1)



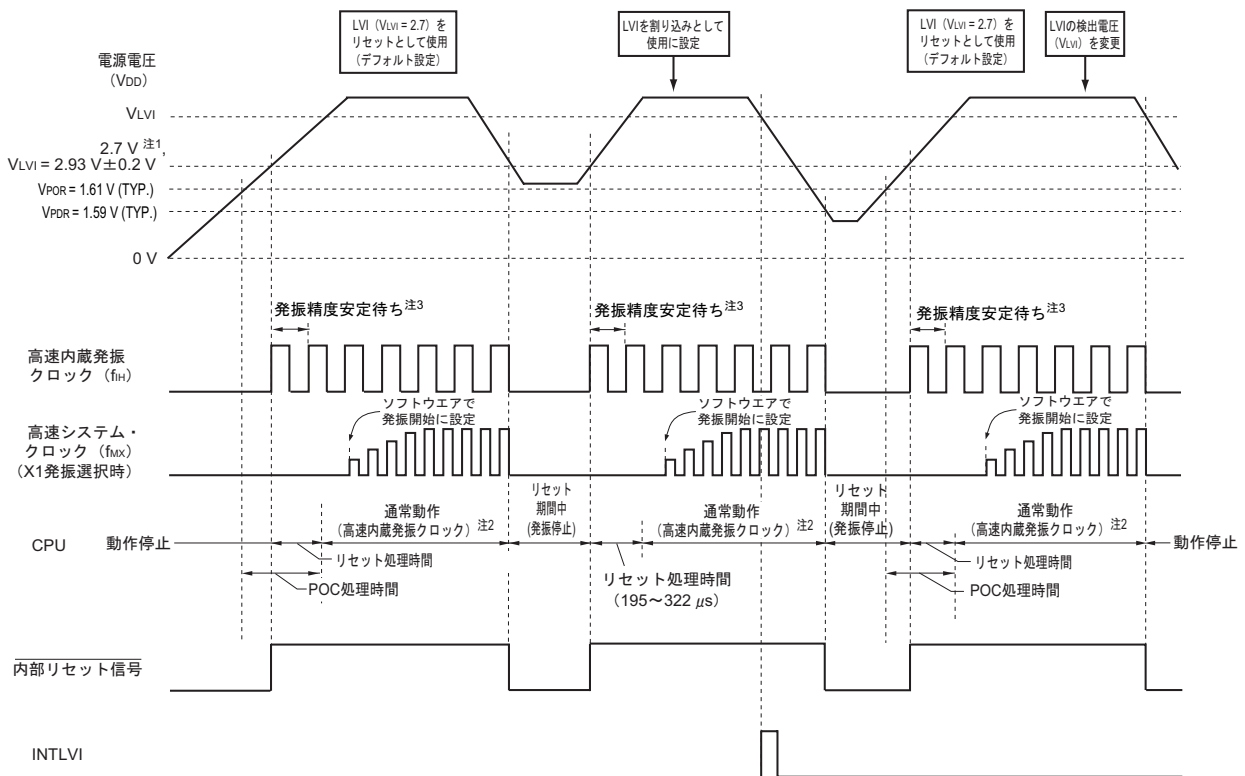
- 注1. 動作保証範囲は、2.7 V V_{DD} 5.5 Vです。必ず2.7 V以上になってから、通常動作を行ってください。電源立ち下がり時に2.7 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入時から2.7 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から2.7 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVIOFF = 0) に設定してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第21章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

図20-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (2/2)

(2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト : LVIOFF = 0)



- 注1. 動作保証範囲は、2.7 V V_{DD} 5.5 Vです。必ず2.7 V以上になってから、通常動作を行ってください。電源立ち下がり時に2.7 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、発振安定時間を確認してから、切り替えてください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注意 低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください（第21章 低電圧検出回路を参照）。

備考 V_{LVI} : LVI検出電圧
 V_{POOR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

20.4 パワーオン・クリア回路の注意事項

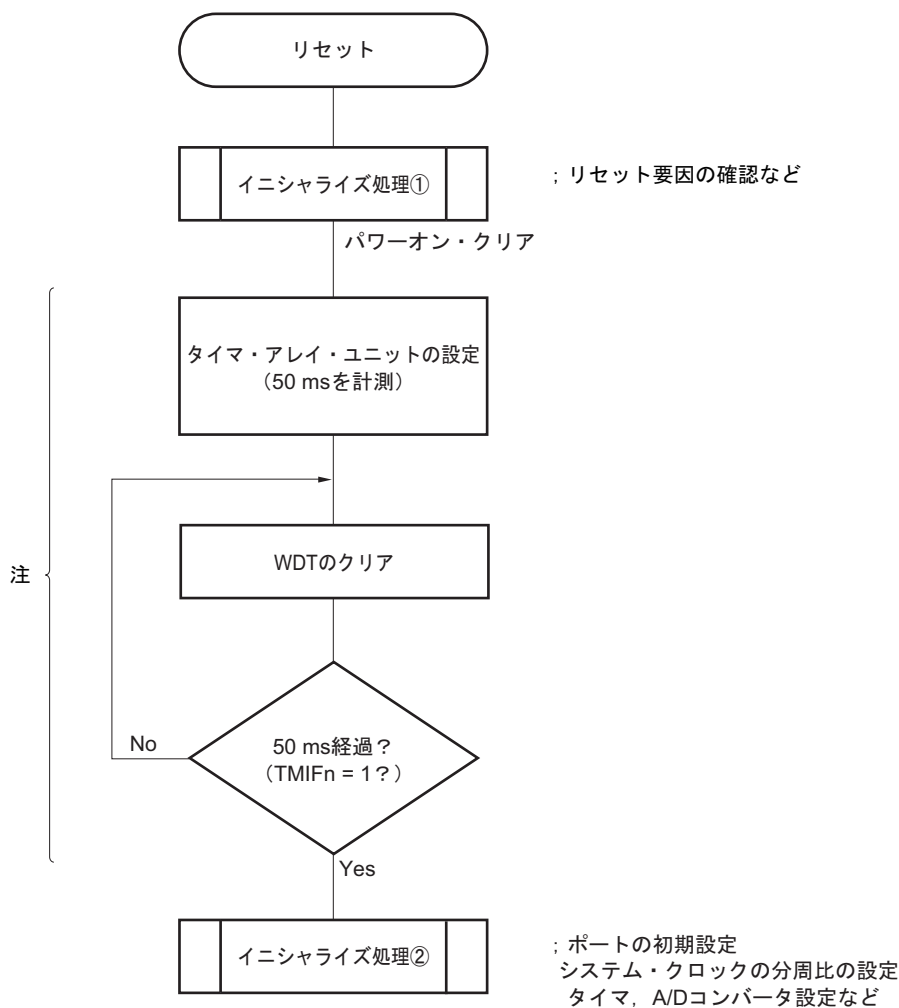
電源電圧 (V_{DD}) が POC 検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図20-3 リセット解除後のソフト処理例

- ・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合



注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 n = 00-07, 10-17 : 78K0R/H3,

n = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3, n = 00-07, 10-17, 20-27 : 78K0R/HG3

第21章 低電圧検出回路

21.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセット^注または内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。ONに設定し、POC 検出電圧 ($V_{POR} = 1.61 V$ (TYP.)) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($2.93 V \pm 0.2 V$) のときに内部リセット信号^注を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($2.84 V \pm 0.1 V$) のときに内部リセット信号^注を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを10段階より選択できます。
- ・STOPモード時においても動作可能です。

注 LVIリセットが解除されてから、通常動作までのリセット処理時間は、図20-2 (2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト: LVIOFF = 0) のタイミングを参照してください。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 (LVISEL = 0)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 (LVISEL = 1)	
リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)	リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 LVISEL : 低電圧検出レジスタ (LVIM) のビット2

LVIMD : LVIMのビット1

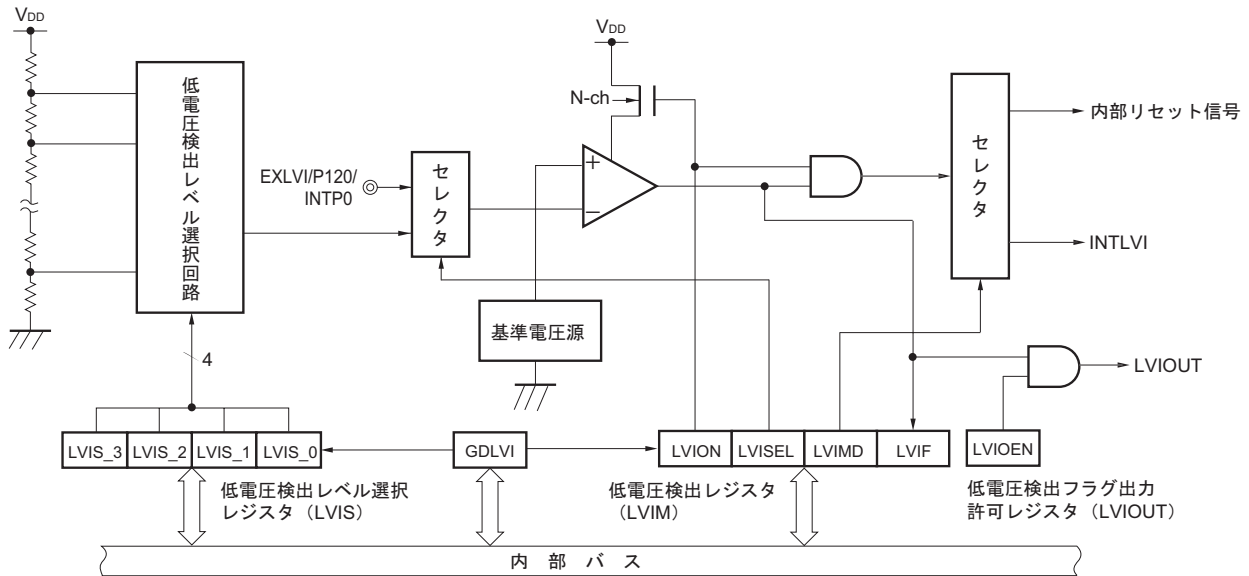
低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、第19章 リセット機能を参照してください。

21.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図21-1に示します。

図21-1 低電圧検出回路のブロック図



21.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)
- ・低電圧検出フラグ出力許可レジスタ (LVIOUT)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMIは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

注意 LVIMレジスタへの書き込みは，特定レジスタ操作保護レジスタ (GUARD) のビット5 (GDLVIビット) = 1のときのみ有効です。

図21-2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H/82H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注4}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注4}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL = 0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL = 1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, V_{DD} > V_{LVI}時に内部リセット解除 LVISEL = 1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF ^{注4}	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL = 1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL = 1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時は, クリア (00H) されません。

LVI以外のリセット時は, オプション・バイトLVIOFF = 0のときには, “82H”になり, オプション・バイトLVIOFF = 1のときには, “00H”にリセットされます。

2. ビット0はRead Onlyです。

3. LVIONビットをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONビットをセット (1) してからLVIFフラグで電圧を確認するまでに, 次の時間をソフトウェアでウエイトしてください。

・動作安定時間 (10 μ s (MAX.))

・最小パルス幅 (200 μ s (MIN.))

この期間のLVIFフラグの値は電圧レベルによらず, セット/クリアされる可能性があります。使用できません。また, この期間は割り込み要求フラグのLVIFフラグがセット (1) される可能性もあります。

4. LVIMレジスタを変更した場合, 値が反映されるまで1クロックかかります。リードする場合は1クロック以上あけてからリードしてください。

(注意は, 次ページにあります)

注意1. LVIを停止する場合は、次のとおりにしてください。

- ・1ビット・メモリ操作命令：LVIONをクリア (0)
- 2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
- 3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、09Hになります。

注意 LVISレジスタへの書き込みは、特定レジスタ操作保護レジスタ (GUARD) のビット5 (GDLVIビット) = 1のときのみ有効です。

図21-3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFFAAH リセット時：09H^注 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS_3	LVIS_2	LVIS_1	LVIS_0

LVIS_3	LVIS_2	LVIS_1	LVIS_0	検出レベル
0	0	0	0	V_{LV10} (4.22 ± 0.1 V)
0	0	0	1	V_{LV11} (4.07 ± 0.1 V)
0	0	1	0	V_{LV12} (3.92 ± 0.1 V)
0	0	1	1	V_{LV13} (3.76 ± 0.1 V)
0	1	0	0	V_{LV14} (3.61 ± 0.1 V)
0	1	0	1	V_{LV15} (3.45 ± 0.1 V)
0	1	1	0	V_{LV16} (3.30 ± 0.1 V)
0	1	1	1	V_{LV17} (3.15 ± 0.1 V)
1	0	0	0	V_{LV18} (2.99 ± 0.1 V)
1	0	0	1	V_{LV19} (2.84 ± 0.1 V)
上記以外				設定禁止

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“09H”にリセットされます。

- 注意 1. ビット7-4には必ず“0”を設定してください。
2. LVI動作中 (LVION = 1) は、LVISの値を変更しないでください。
3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM12_0に1を設定してください。このときP12_0の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21-4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	PM12_7	PM12_6	PM12_5	1	1	1	1	PM12_0

PM12_0	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 EXLVI使用時、P12_0をリードした場合“0”が読み出されます。

(4) 低電圧検出フラグ出力許可レジスタ (LVIOUT)

低電圧検出フラグ (LVIM.LVIF) をP70/LVIOUT/INTP5/KR0/TI15/TO15端子から出力するための制御レジスタです。

このレジスタは、すべてのリセット要因で初期化されます。リセットが発生すると、P70はハイ・インピーダンスになるため、このレジスタは、動作モードを割り込みに選択 (LVIM.LVIMD = 0) した場合のみ有効です。

注意 このレジスタは、GUARDレジスタの保護対象外です。

図21-5 低電圧検出フラグ出力許可レジスタ (LVIOUT) のフォーマット

アドレス : F0067H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LVIOUT	0	0	0	0	0	0	0	LVIOEN

LVIOEN	低電圧検出フラグ (LVIM.LVIF) 出力制御
0	低電圧検出フラグ (LVIM.LVIF) をポート出力しない。
1	低電圧検出フラグ (LVIM.LVIF) をP70から出力する。 ^注

注 このレジスタを使用する場合は、P70を出力モード (PM7_0 = 0) かつポート・ラッチ (P7_0) = 0 にしてください。また、P70端子のLVIOUT以外の兼用機能は使用しないでください。

21.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

備考 オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。

ONに設定し、POC検出電圧 ($V_{POR} = 1.61 V$ (TYP.)) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($2.93 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.84 V \pm 0.1 V$) のときに内部リセット信号を発生します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット1

LVISEL : LVIMのビット2

21.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS_3-LVIS_0) で検出電圧を設定する
LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウエイトする。

・動作安定時間 (10 μ s (MAX.))

・最小パルス幅 (200 μ s (MIN.))

「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを、LVIMのビット0 (LVIF) で確認するまで待つ

LVIMのビット1 (LVIMD) に“1” (レベル検出時リセット発生) を設定する

図21-6に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

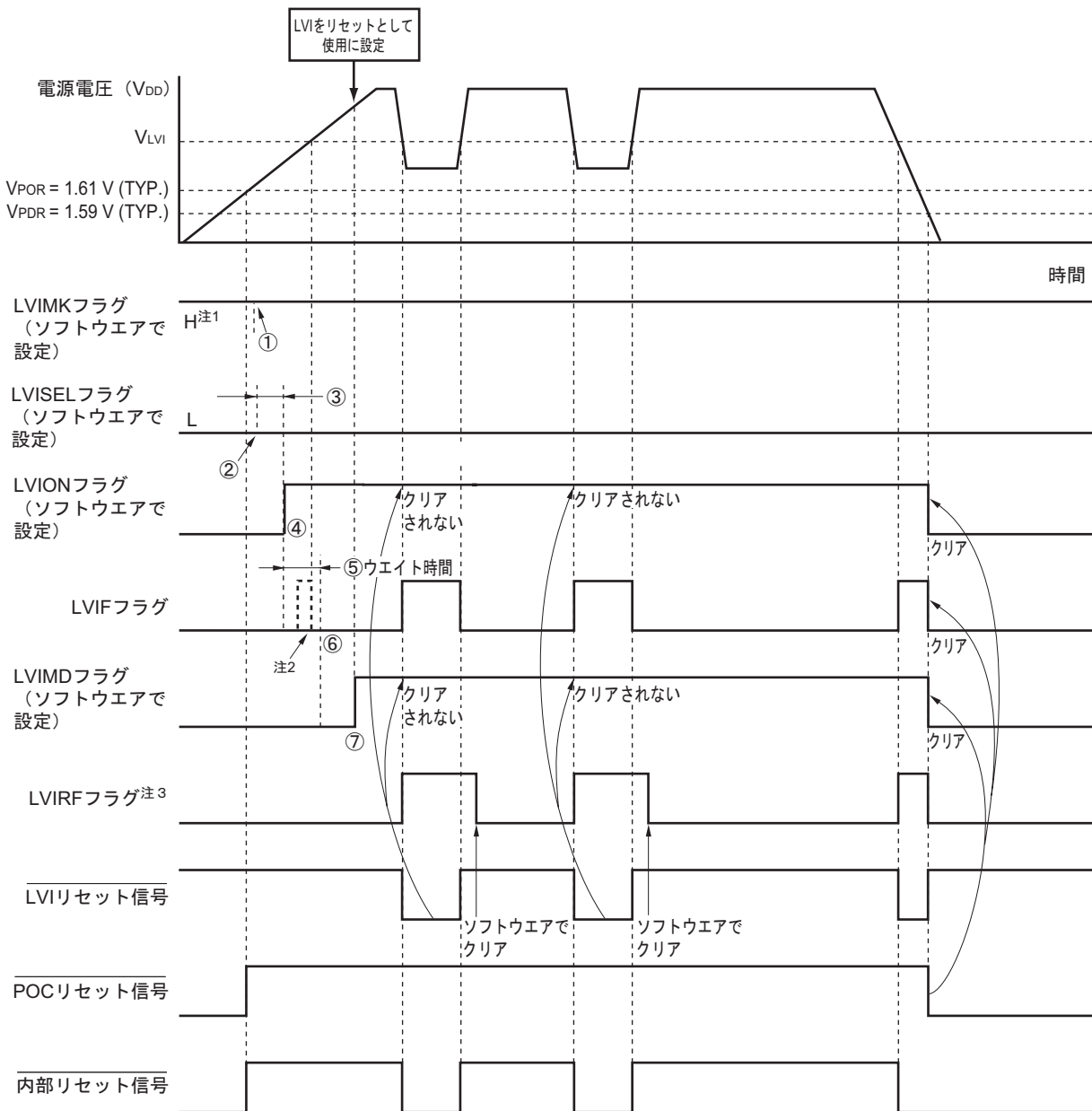
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

1ビット・メモリ操作命令で、LVIMDビットをクリア (0) →LVIONのクリア (0) を実行してください。

図21-6 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット (1) される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第19章 リセット機能を参照してください。

備考1. 図21-6の ~ は、21.4.1 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

2. V_{POR}: POC電源立ち上がり検出電圧
- V_{PDR}: POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は“1” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は“0” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は09H (デフォルト値 : V_{LVI} = 2.93 V ± 0.2 V)
- ・ LVIMのビット1 (LVIMD) は“1” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は“0” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

図21-7に、低電圧検出回路の内部リセット信号発生タイミングを示します。

動作停止時

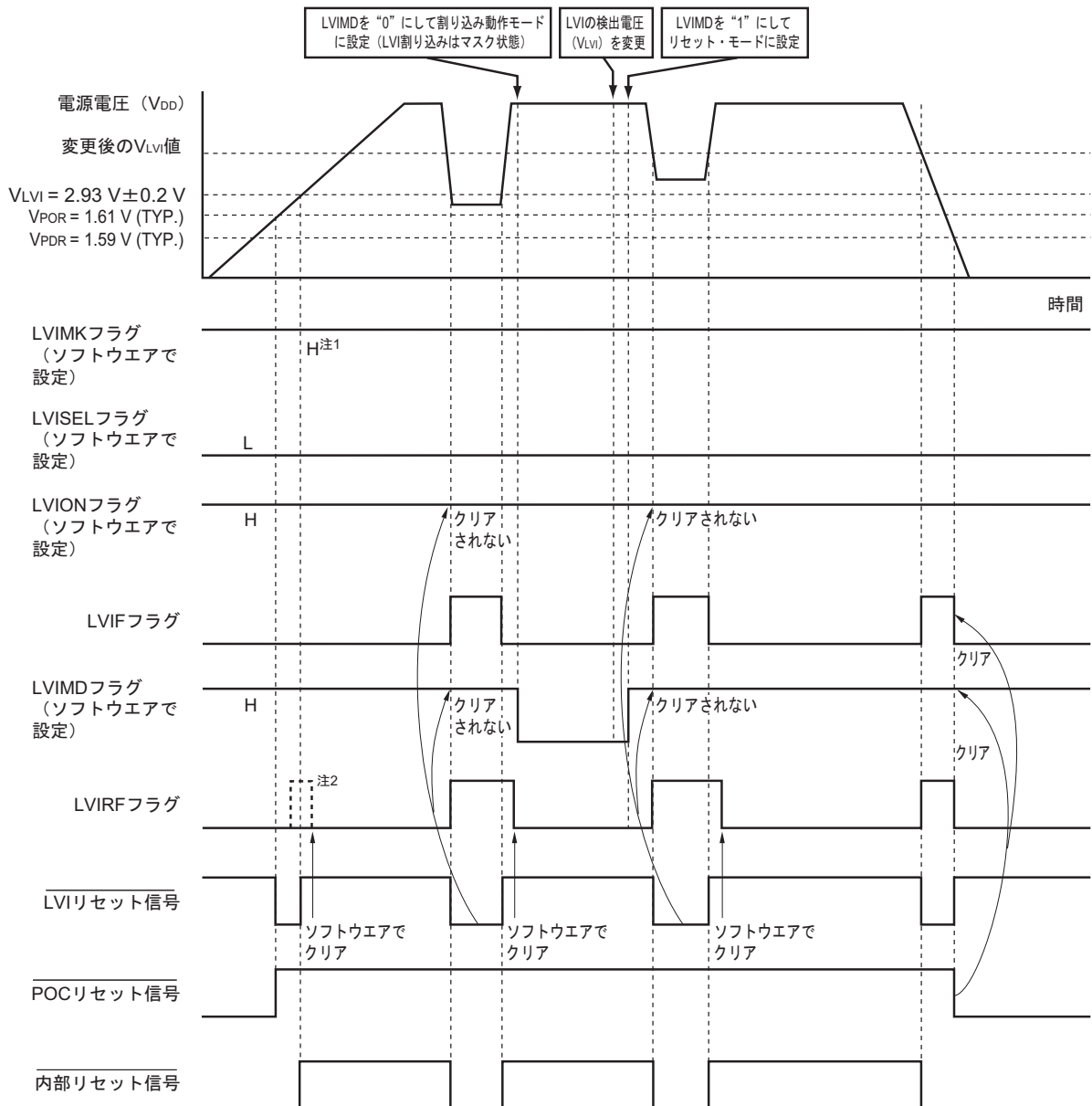
1ビット・メモリ操作命令で、LVIMDビットをクリア (0) →LVIONのクリア (0) を実行してください。

図21-8に、LVI動作停止時の内部リセット信号発生タイミングを示します。

注意 LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、POCと端子リセット以外のリセットが発生した場合は、正常に低電圧検出できない期間があります。

図21-7 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により, "1"になっています。

2. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

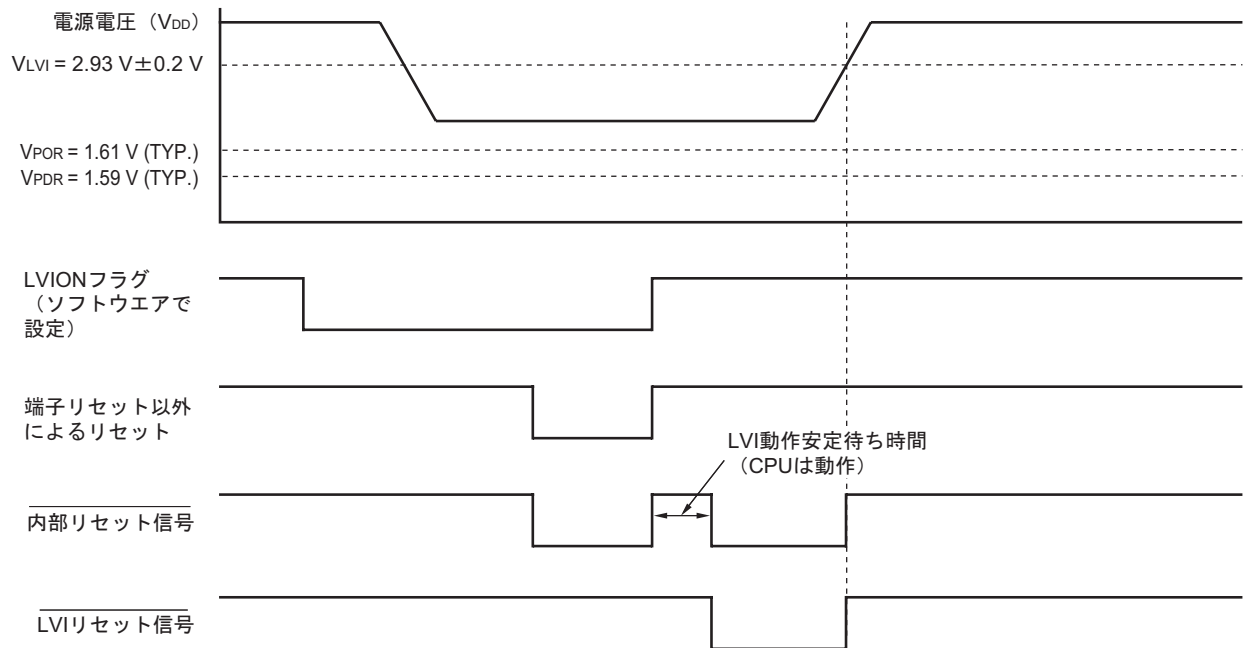
LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は, 電源立ち上がり波形により, LVIRFフラグが最初から1になることがあります。

RESFについての詳細は, 第19章 リセット機能を参照してください。

備考 V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

図21-8 LVI動作停止に設定した場合の内部リセット信号発生タイミング
 (ビット : LVISEL = 0, オプション・バイト : LVIOFF = 0)



備考 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する

LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であることを、LVIMのビット0 (LVIF) で確認するまで待つ

LVIMのビット1 (LVIMD) に“1” (レベル検出時にリセット発生) を設定する

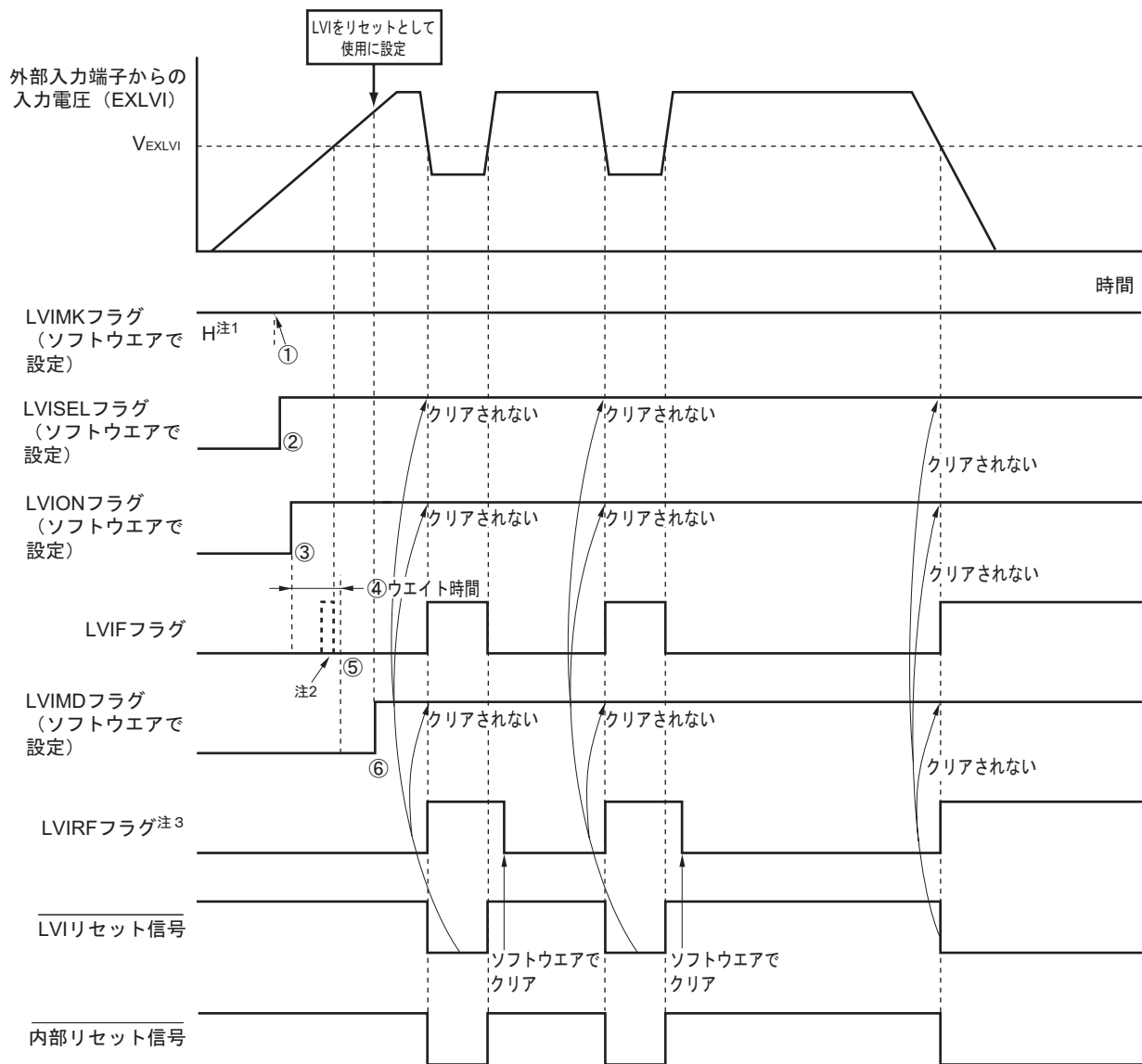
図21-9に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

- 注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
3. 外部入力端子からの入力電圧 (EXLVI) は、EXLVI V_{DD} でなければなりません。

動作停止時

1ビット・メモリ操作命令で、LVIMDビットをクリア (0) →LVIONのクリア (0) を実行してください。

図21-9 内部リセット信号発生タイミング (ビット: LVISEL = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット (1) される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第19章 リセット機能を参照してください。

備考 図21-9の ~ は、21.4.1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

21.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 (LVIMD) に“0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS_3-LVIS_0) で検出電圧を設定する

LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μs) をウエイトする。

- ・動作安定時間 (10 μs (MAX.))

- ・最小パルス幅 (200 μs (MIN.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する

場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を、LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

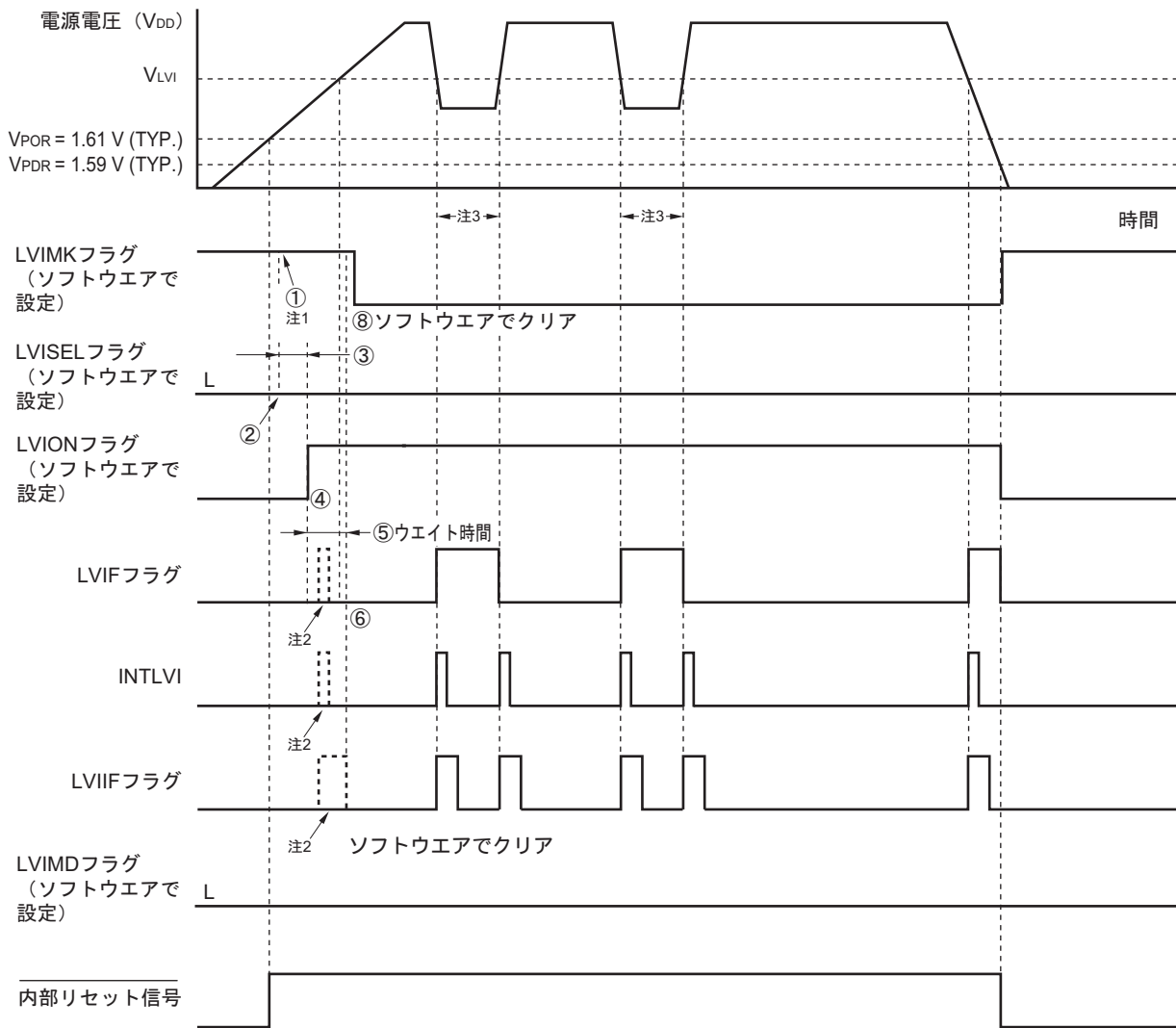
(ベクタ割り込みを使用する場合) EI命令を実行する

図21-10に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

1ビット・メモリ操作命令でLVIONビットをクリア (0) してください。

図21-10 割り込み信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考1. 図21-10の ~ は、21.4.2 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は“1” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は“0” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は09H (デフォルト値 : V_{LVI} = 2.93 V ± 0.2 V)
- ・ LVIMのビット1 (LVIMD) は“1” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は“0” (立ち下がりを検出する「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

LVIMのビット1 (LVIMD) に“0” (レベル検出時に割り込み発生) を設定する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図21-11に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

1ビット・メモリ操作命令でLVIONビットをクリア (0) してください。

図21-12に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

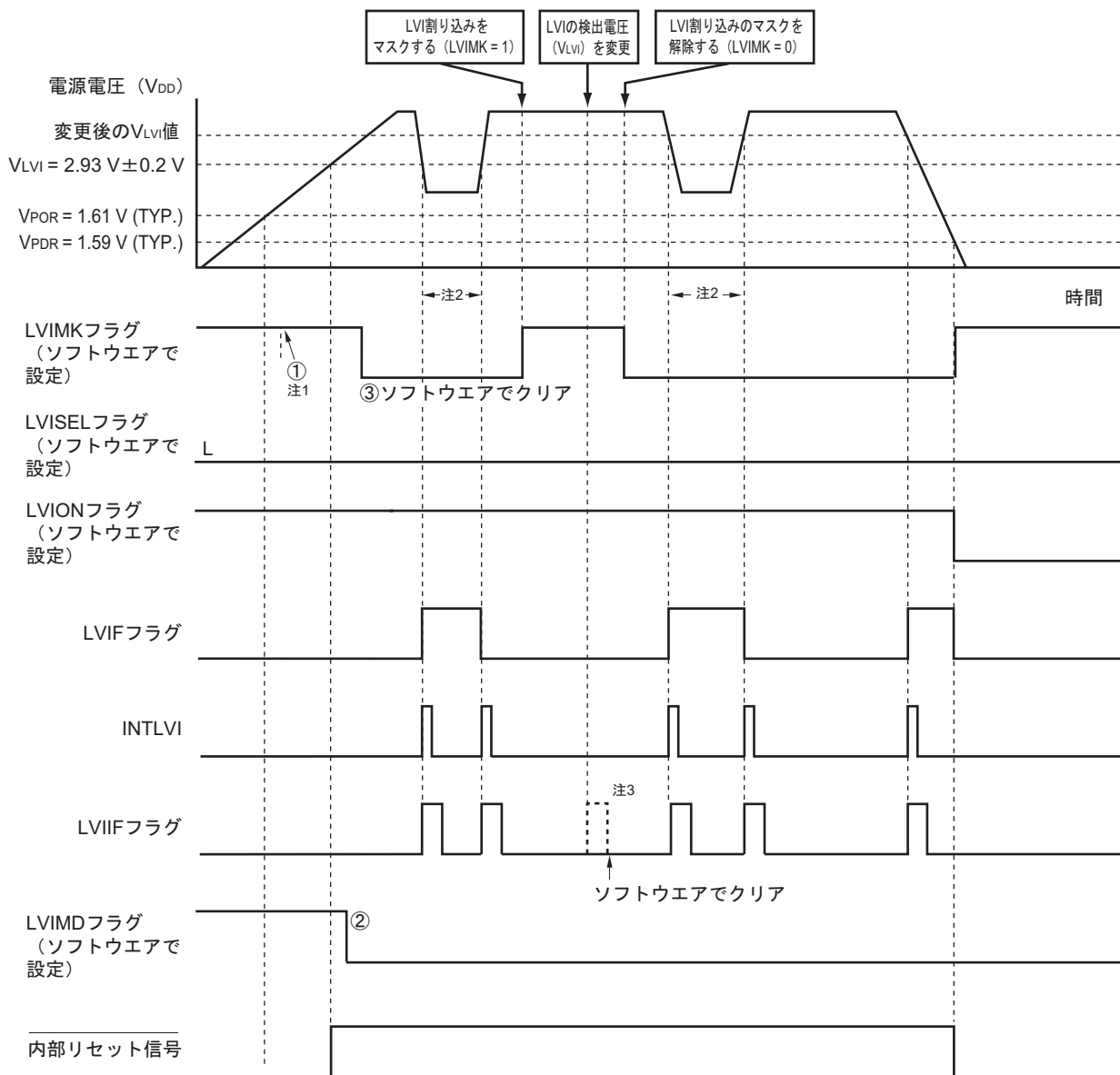
注意1. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、POCと端子リセット以外のリセットが発生した場合は、正常に低電圧検出できない期間があります。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第19章 リセット機能を参照してください。

図21-11 割り込み信号発生時のタイミング1 (ビット : LVISEL = 0, オプション・バイト : LVIOFF = 0)

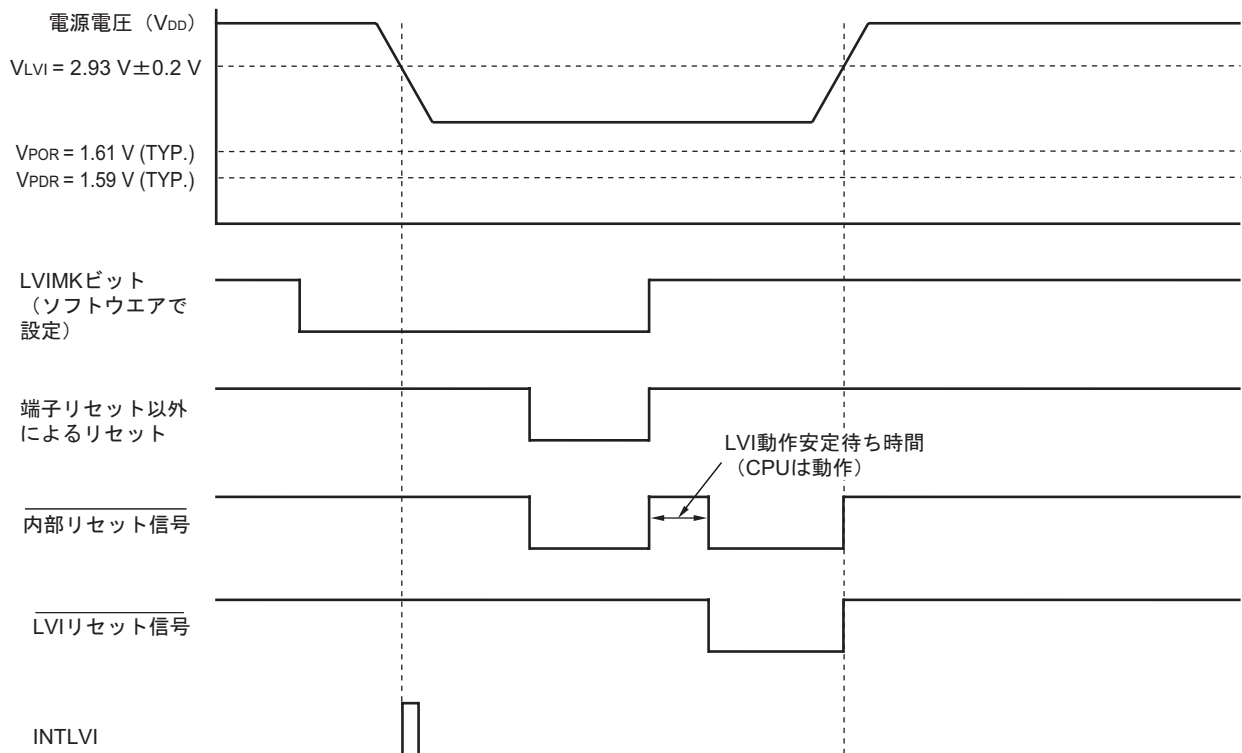


- 注 1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。
3. LVIの検出電圧変更時にLVIIIFフラグがセットされることがあります。

備考 1. 図21-11の ~ は、21.4.2 (1) (b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧
V_{PDR} : POC電源立ち下がり検出電圧

図21-12 割り込み信号発生タイミング2 (ビット : LVISEL = 0, オプション・バイト : LVIOFF = 0)



備考 V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する

LVIMのビット1 (LVIMD) に“0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

LVIMのビット7 (LVION) に“1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウエイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

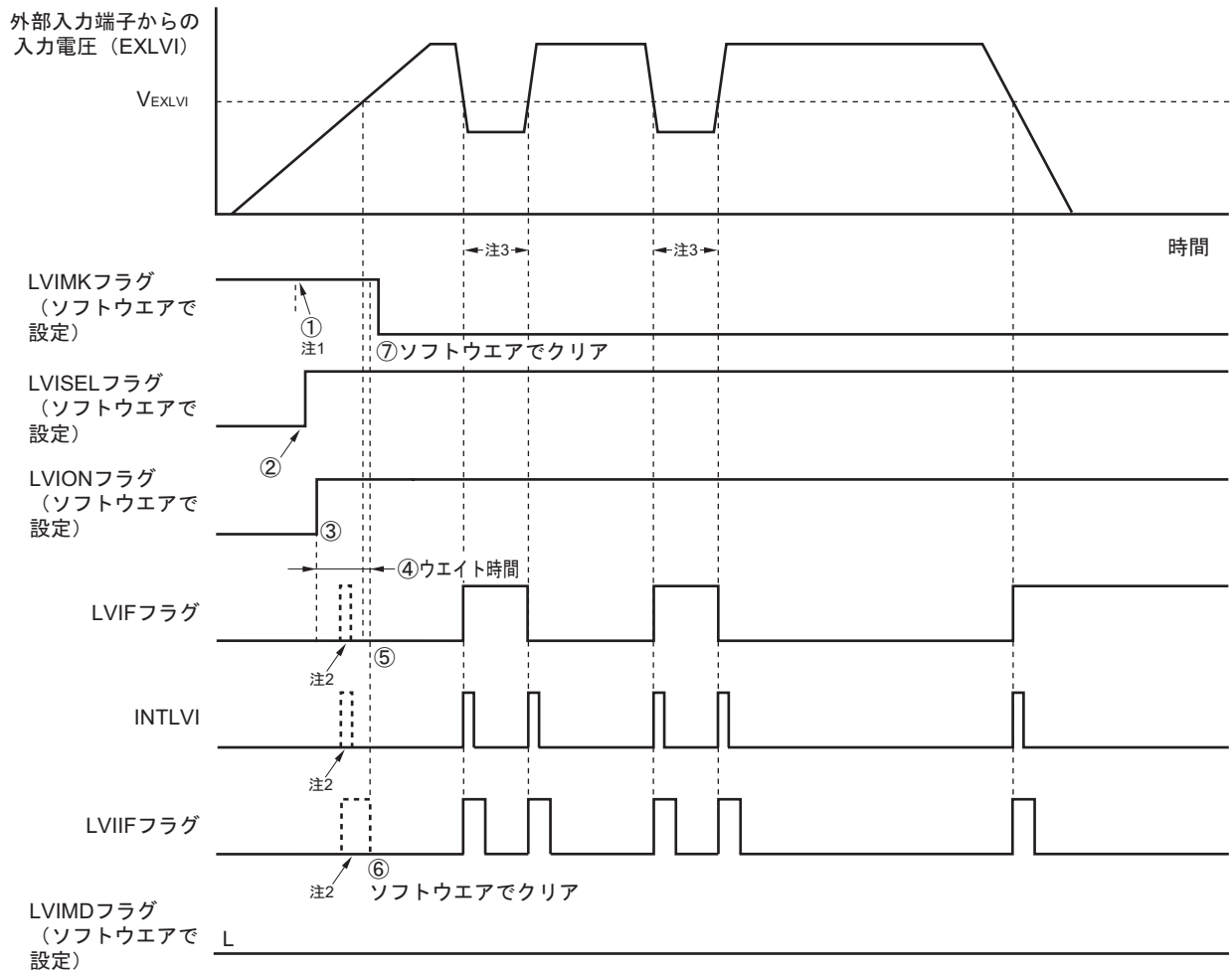
図21-13に、～ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

1ビット・メモリ操作命令でLVIONビットをクリア (0) してください。

図21-13 割り込み信号発生タイミング (ビット: LVISEL = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIFフラグがセット (1) される可能性があります。
3. 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIF = 1となることがあります。

備考 図21-13の ~ は、21.4.2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

21.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態／リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

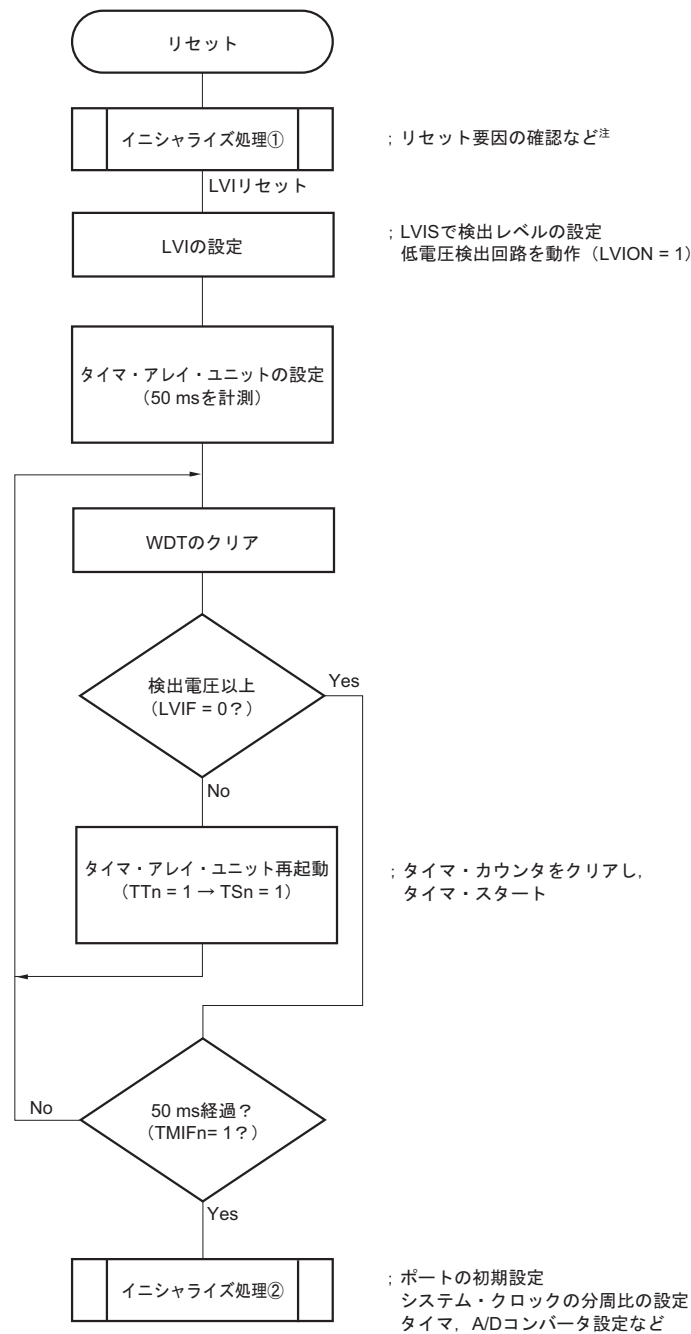
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図21-14を参照)。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) →外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) →検出電圧 (V_{EXLVI} = 1.21 V)

図21-14 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

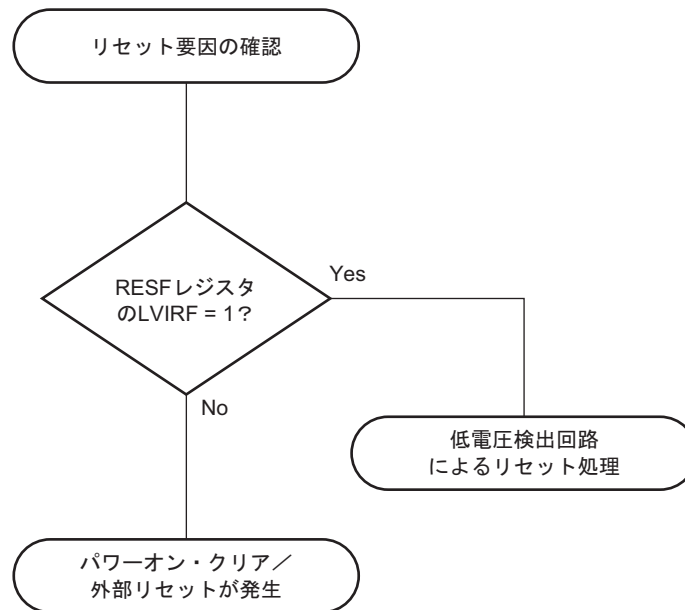
- ・ 電源電圧 (V_{DD}) → 外部入力端子からの入力電圧 (EXLVI)
- ・ 検出電圧 (V_{LVI}) → 検出電圧 (V_{EXLVI} = 1.21 V)

2. 備考 n = 00-07, 10-17 : 78K0R/HC3,

n = 00-07, 10-17, 20-23 : 78K0R/HE3, 78K0R/HF3, n = 00-07, 10-17, 20-27 : 78K0R/HG3

図21-14 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。

次の処置を行うようにしてください。

<処 置>

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとにこれらの処置を行ってください。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

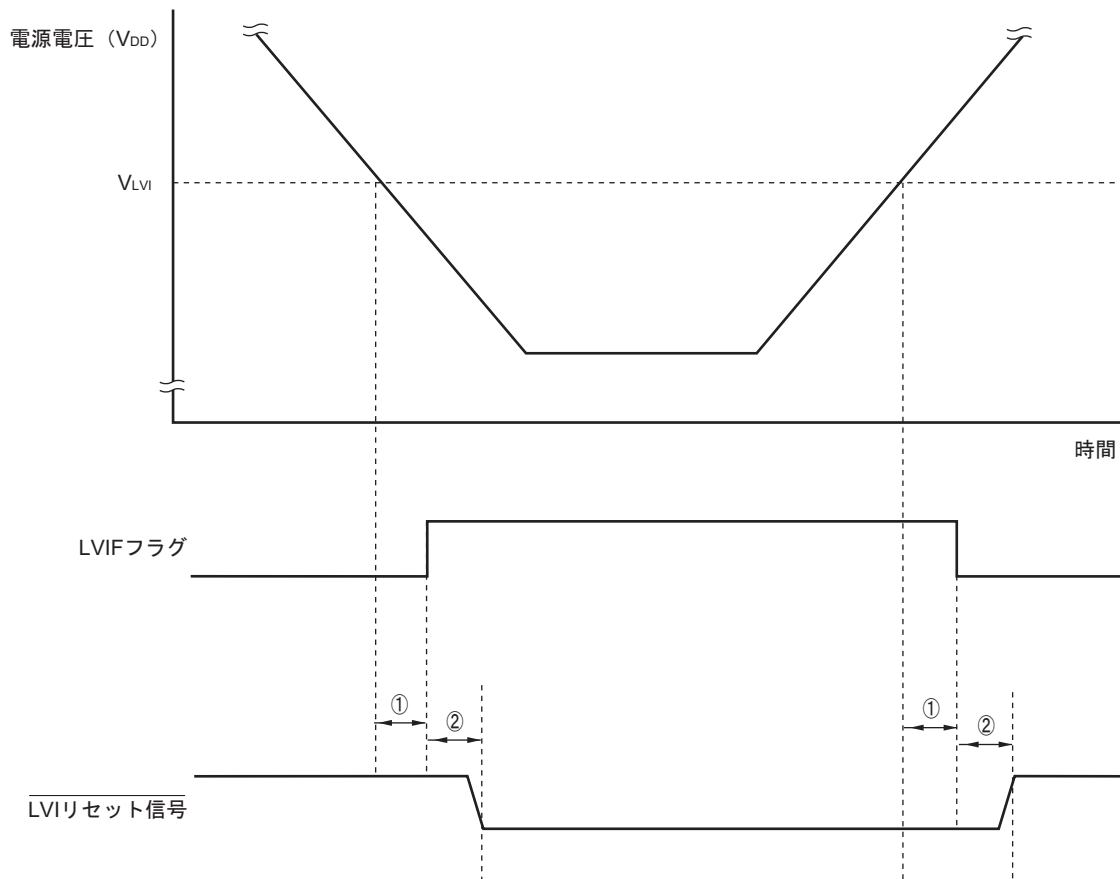
- ・電源電圧 (V_{DD}) → 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) → 検出電圧 (V_{EXLVI} = 1.21 V)

(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。同じようにLVI検出電圧 (V_{LVI}) > 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図21-15参照)。

LVIリセットが解除されてから、通常動作までのリセット処理時間は、図20-2 (2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト : LVIOFF = 0) のタイミングを参照してください。

図21-15 LVIリセット要因発生からLVIリセット発生または解除までの遅延



① : 最小パルス幅 (200 μ s (MIN.))

② : 検出遅延 (200 μ s (MAX.))

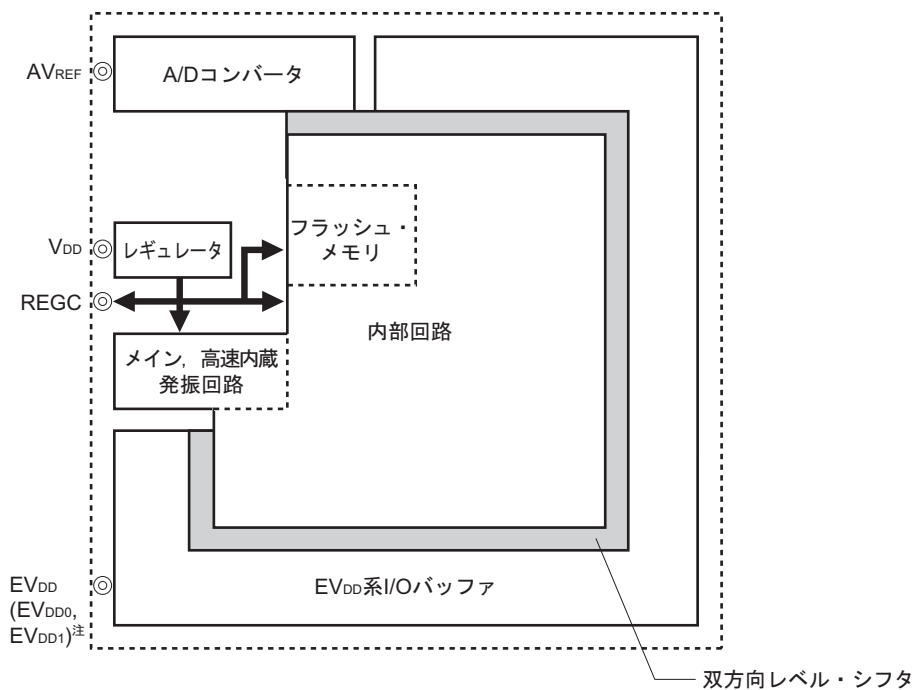
第22章 レギュレータ

22.1 レギュレータの概要

78K0R/Hx3は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ（0.47~1 μ F）を介し、Vssに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.5V（TYP.）です。

図22-1 レギュレータ



注 78K0R/HG3のみ

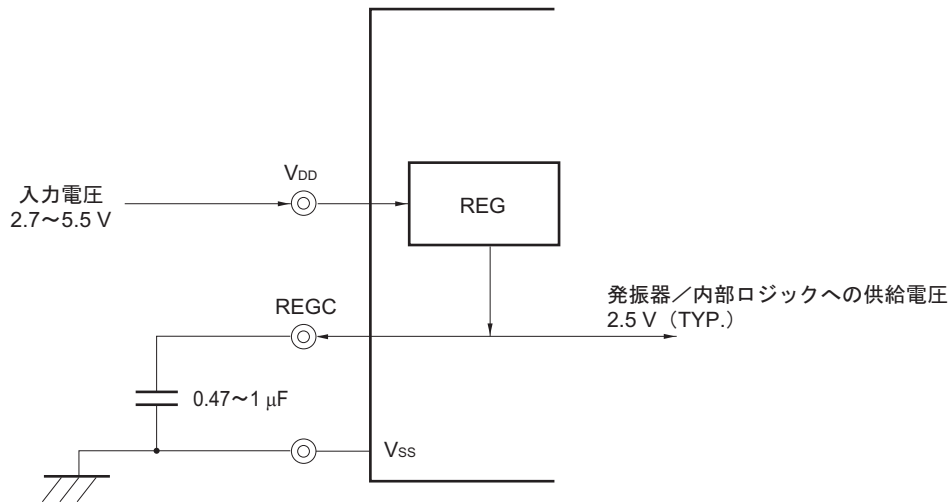
22.2 動作

この製品のレギュレータは、すべての動作モード（通常動作モード/HALTモード/STOPモード/リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子に容量（ $0.47\sim 1\ \mu\text{F}$ ）を接続してください。

次に端子の接続の方法を示します。

図22-2 REGC端子の接続



第23章 オプション・バイト

23.1 オプション・バイトの機能

78K0R/Hx3のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは020C0H-020C3Hと切り替わるので、020C0H-020C3Hにも000C0H-000C3Hと同じ値を設定してください。

23.1.1 ユーザ・オプション・バイト（000C0H-000C2H/020C0H-020C2H）

(1) 000C0H/020C0H

ウォッチドッグ・タイマの動作

- ・ HALT/STOPモード時の動作停止／可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・ 動作停止／可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・ 使用する／使用しない

注意 ブート・スワップ時は、000C0Hと020C0Hが切り替わるので、020C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/020C1H

リセット解除時（電源立ち上げ時）のLVIの設定

- ・リセット解除時（LVIを除くRESET端子, POC, クロック・モニタ, 不正メモリ・アクセス, WDT, 不正命令によるリセット）, LVIがデフォルトでON/OFF

内蔵高速発振器 4 MHz/8 MHzの指定

PLLクロックの倍数設定 6/8通倍

P130のモード設定

ポート・モード／兼用機能モード

クロック・モニタの動作

- ・動作／停止

低速内蔵発振クロックの設定

- ・CPU／周辺ハードウェアクロックに設定許可／禁止

低速内蔵発振クロックのSTOPモード時の動作

- ・STOPモード時の動作／停止

注意 ブート・スワップ時は, 000C1Hと020C1Hが切り替わるので, 020C1HIにも000C1Hと同じ値を設定してください。

(3) 000C2H/020C2H

クロック出力の制御

- ・リセット解除後のクロック出力許可／停止
- ・リセット解除後の出カクロックの選択

注意 ブート・スワップ時は, 000C2Hと020C2Hが切り替わるので, 020C2HIにも000C2Hと同じ値を設定してください。

23. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H/020C3H)

オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止／許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップ時は, 000C3Hと020C3Hが切り替わるので, 020C3HIにも000C3Hと同じ値を設定してください。

23.2 ユーザ・オプション・バイトのフォーマット

図23-1 ユーザ・オプション・バイト (000C0H/020C0H) のフォーマット (1/2)

アドレス : 000C0H/020C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバーフロー時間の75%到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止)
1	カウンタ動作許可 (リセット解除後, カウント開始)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間 (TYP.)
0	0	0	$2^7/f_{IL}$ (4.27 ms)
0	0	1	$2^8/f_{IL}$ (8.53 ms)
0	1	0	$2^9/f_{IL}$ (17.07 ms)
0	1	1	$2^{10}/f_{IL}$ (34.13 ms)
1	0	0	$2^{12}/f_{IL}$ (136.5 ms)
1	0	1	$2^{14}/f_{IL}$ (546.1 ms)
1	1	0	$2^{15}/f_{IL}$ (1092 ms)
1	1	1	$2^{17}/f_{IL}$ (4369 ms)

図23-1 ユーザ・オプション・バイト (000C0H/020C0H) のフォーマット (2/2)

アドレス : 000C0H/020C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}
1	HALT/STOPモード時, カウンタ動作許可

注1. ブート・スワップ時は, 000C0Hと020C0Hが切り替わるので, 020C0Hにも000C0Hと同じ値を設定してください。

- WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウィンドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

備考1. f_L : 低速内蔵発振クロック周波数

- () 内は, $f_L = 30 \text{ kHz}$ (TYP.) の場合

図23-2 ユーザ・オプション・バイト (000C1H/020C1H) のフォーマット (1/2)

アドレス : 000C1H/020C1H^注

7	6	5	4	3	2	1	0
LIOUSE	LIOSTOPB	LIOSYSB	CLKMB	RESOUTB	OPTPLL	SEL4M	LVI OFF

LIOUSE	低速内蔵発振の動作制御
0	低速内蔵発振動作停止
1	低速内蔵発振動作許可

LIOSTOPB	STOPモード時の低速内蔵発振の設定
0	STOPモード時, 低速内蔵発振停止
1	STOPモード時, 低速内蔵発振動作

LIOSYSB	低速内蔵発振 (f_L) をCPU/周辺ハードウェア・クロック (f_{CLK}) に設定許可/禁止
0	低速内蔵発振 (f_L) をCPU/周辺ハードウェア・クロック (f_{CLK}) に設定許可
1	低速内蔵発振 (f_L) をCPU/周辺ハードウェア・クロック (f_{CLK}) に設定禁止

CLKMB	クロック・モニタの動作制御
0	クロック・モニタ動作
1	クロック・モニタ停止

図23-2 ユーザ・オプション・バイト (000C1H/020C1H) のフォーマット (2/2)

アドレス : 000C1H/020C1H^注

7	6	5	4	3	2	1	0
LIOUSE	LIOSTOPB	LIOSYSB	CLKMB	RESOUTB	OPTPLL	SEL4M	LVIOFF
RESOUTB		P130の機能の選択					
0		P130をRESOUT端子として使用 ・ RESET中はロウ出力 ・ RESET解除時, 自動的にハイ出力 ・ ポート・ラッチの値は出力に影響なし					
1		P130を通常ポート (出力専用) として使用 ・ RESET中はロウ出力 ・ RESET解除後はポート・ラッチを出力					
OPTPLL		PLL通倍の選択					
0		8通倍					
1		6通倍					
SEL4M		内蔵高速発振器の周波数選択					
0		8 MHz動作					
1		4 MHz動作					
LVIOFF		電源立ち上げ時のLVIの設定					
0		リセット解除時 (電源立ち上げ時), LVIがデフォルトでON (LVIデフォルト・スタート機能動作)					
1		リセット解除時 (電源立ち上げ時), LVIがデフォルトでOFF (LVIデフォルト・スタート機能停止)					

注 ブート・スワップ時は, 000C1Hと020C1Hが切り替わるので, 020C1Hにも000C1Hと同じ値を設定してください。

注意 LVIデフォルト・スタート機能使用時でも, ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には, 次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合, リセット解除後にCPUがスタートするとLVION = 1に再設定されます。

しかし, WDTによるリセット, 不正命令の実行によるリセット, クロック・モニタでのメイン・クロック発振停止の検出によるリセット, 不正メモリ・アクセスの検出によるリセットが発生した場合は, 正常に低電圧検出できない期間があります。

図23-3 ユーザ・オプション・バイト (000C2H/020C2H) のフォーマット

アドレス : 000C2H/020C2H^{注1}

7	6	5	4	3	2	1	0
PCLOFF	1	1	CSEL1B	CSEL0B	CCS2B	CCS1B	CCS0B

PCLOFF	PCLデフォルト出力の許可/禁止
0	PCLデフォルト出力許可
1	PCLデフォルト出力禁止

CSEL1B	CSEL0B	CCS2B	CCS1B	CCS0B		PCLの出力クロックの選択 ^{注2}			
						f _{MAIN} = 8 MHz	f _{PLL} = 16 MHz	f _{MAIN} = 20 MHz	f _{PLL} = 24 MHz
1	1	1	1	1	f _{MAIN}	8 MHz	—	設定禁止 ^{注3}	—
1	1	1	1	0	f _{MAIN} /2	4 MHz	—	10 MHz	—
1	1	1	0	1	f _{MAIN} /2 ²	2 MHz	—	5 MHz	—
1	1	1	0	0	f _{MAIN} /2 ³	1 MHz	—	2.5 MHz	—
1	1	0	1	1	f _{MAIN} /2 ⁴	0.5 MHz	—	1.25 MHz	—
1	1	0	1	0	f _{MAIN} /2 ¹¹	3.91 kHz	—	9.76 kHz	—
1	1	0	0	1	f _{MAIN} /2 ¹²	1.95 kHz	—	4.88 kHz	—
1	1	0	0	0	f _{MAIN} /2 ¹³	0.98 kHz	—	2.44 kHz	—
1	0	1	1	1	f _{PLL}	—	設定禁止 ^{注3}	—	設定禁止 ^{注3}
1	0	1	1	0	f _{PLL} /2	—	8 MHz	—	12 MHz
1	0	1	0	1	f _{PLL} /2 ²	—	4 MHz	—	6 MHz
1	0	1	0	0	f _{PLL} /2 ³	—	2 MHz	—	3 MHz
1	0	0	1	1	f _{PLL} /2 ⁴	—	1 MHz	—	1.5 MHz
1	0	0	1	0	f _{PLL} /2 ¹¹	—	7.81 kHz	—	11.72 kHz
1	0	0	0	1	f _{PLL} /2 ¹²	—	3.91 kHz	—	5.86 kHz
1	0	0	0	0	f _{PLL} /2 ¹³	—	1.95 kHz	—	2.93 kHz
0	1	×	×	×	f _{IL}	30 kHz (TYP.)			
0	0	×	×	×	f _{SUB}	第29章の電氣的特性参照			
上記以外					設定禁止				

注1. ブート・スワップ時は、000C2Hと020C2Hが切り替わるので、020C2Hにも000C2Hと同じ値を設定してください。

2. PCLOFFが0の場合は、f_{MAIN}またはf_{MAIN}を分周した出力を選択してください。またフラッシュ・メモリ・プログラミング・モード時もPCLが出力されます。
3. 12 MHzを越えるクロック出力は禁止です。

注意1. 出力クロックの切り替えは、出力禁止 (PCLOE = 0) にしてから行ってください。

2. クロック出力 (PCLOE = 1) 中に選択クロック (f_{MAIN}, f_{PLL}, f_{IL}, f_{SUB}) が停止した場合は、出力が不定になります。
3. EV_{DD}/EV_{SS}の変動によって、PCL出力周波数に誤差が発生することがあります。高精度なクロックを必要とする場合は十分評価を行ってください。
4. ビット6, 5には、必ず1を書き込んでください。

備考1. f_{MAIN} : メイン・システム・クロック周波数

2. f_{PLL} : PLLクロック周波数

3. f_{IL} : 低速内蔵発振クロック周波数

4. f_{SUB} : サブクロック周波数

5. × : Don't care

23.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図23-4 オンチップ・デバッグ・オプション・バイト (000C3H/020C3H) のフォーマット

アドレス : 000C3H/020C3H^注

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は、000C3Hと020C3Hが切り替わるので、020C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。

ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

23.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R アセンブラ・パッケージ ユーザーズ・マニュアルを参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE
	DB	36H ; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	C9H ; 低速内蔵発振動作許可, ; STOPモード時, 低速内蔵発振動作, ; 低速内蔵発振をf _{CLK} に設定許可, ; クロック・モニタ動作, ; P130を出力専用ポートとして使用, ; PLL 8逓倍を選択, ; 高速内蔵発振回路に8 MHzを選択, ; LVIデフォルト・スタート機能停止
	DB	7FH ; PCLデフォルト出力許可, ; PCL出カクロックにf _{MAIN} を選択
	DB	85H ; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは020C0H-020C3Hと切り替わります。そのため020C0H-020C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	020C0H
DB	36H		; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
DB	C9H		; 低速内蔵発振動作許可, ; STOPモード時, 低速内蔵発振動作, ; 低速内蔵発振を f_{CLK} に設定許可, ; クロック・モニタ動作, ; P130を出力専用ポートとして使用, ; PLL 8逡倍を選択, ; 高速内蔵発振回路に8 MHzを選択, ; LVIデフォルト・スタート機能停止
DB	7FH		; PCLデフォルト出力許可, ; PCL出カクロックに f_{MAIN} を選択
DB	85H		; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために020C0H～020C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第24章 フラッシュ・メモリ

78K0R/Hx3はフラッシュ・メモリを内蔵しています。

78K0R/Hx3マイクロコントローラ		製品名	コード・フラッシュ	データ・フラッシュ
78K0R/HC3	48ピン	μPD78F1031	64 KB	16 KB
		μPD78F1032	96 KB	16 KB
		μPD78F1033	128 KB	16 KB
		μPD78F1034	192 KB	16 KB
		μPD78F1035	256 KB	16 KB
78K0R/HE3	64ピン	μPD78F1036	64 KB	16 KB
		μPD78F1037	96 KB	16 KB
		μPD78F1038	128 KB	16 KB
		μPD78F1039	192 KB	16 KB
		μPD78F1040	256 KB	16 KB
78K0R/HF3	80ピン	μPD78F1041	64 KB	16 KB
		μPD78F1042	96 KB	16 KB
		μPD78F1043	128 KB	16 KB
		μPD78F1044	192 KB	16 KB
		μPD78F1045	256 KB	16 KB
78K0R/HG3	100ピン	μPD78F1046	64 KB	16 KB
		μPD78F1047	96 KB	16 KB
		μPD78F1048	128 KB	16 KB
		μPD78F1049	192 KB	16 KB
		μPD78F1050	256 KB	16 KB

24.1 概要

コード・フラッシュ・メモリは、プログラム・コードや定数データを格納します。

データ・フラッシュ・メモリは、外部メモリ領域の一部として割り当てられます。またデータ・フラッシュ・メモリは、当社ライブラリ（対応予定）によるプログラム動作中のプログラミングが可能です。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムにマイクロコントローラを半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで少量多品種生産が容易
- ユーザ規格ごとに量産立ち上げ時のデータ調整が容易
- 在庫管理が容易
- 出荷後のソフトウェアのアップデートが容易

コード・フラッシュ・メモリは次のさまざまな方法で書き換え可能です。

- 専用のアダプタ（FAシリーズ）に実装し、専用フラッシュ・メモリ・プログラマとのシリアル・インタフェース通信を介しての書き換え（オフボード・プログラミング）
- ターゲット・システムに実装し、専用フラッシュ・メモリ・プログラマとのシリアル・インタフェース通信を介しての書き換え（オンボード・プログラミング）
- ユーザ・プログラミング（アプリケーション）によるコード・フラッシュ・メモリの書き換え（セルフ・プログラミング）

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

また、コード・フラッシュ・メモリには、本製品のオプション機能を設定するオプション・バイト領域があります。

オプション・バイトでは、低速内蔵発振器のソフトウェアによる停止許可／禁止設定や、ウォッチドッグ・タイマなどの動作モード設定を行います。

コード・フラッシュ・メモリにプログラムを書き込む際、必ずオプション・バイト領域にデータを設定してください。詳細は、第23章 オプション・バイトを参照してください。

24.1.1 コード・フラッシュ・メモリの特徴

全ブロック一括消去、複数ブロック一括消去、または単一ブロック消去が可能

単一電源による消去／書き込みが可能

専用フラッシュ・メモリ・プログラマとの各種シリアル・インタフェースを介しての通信が可能

オンボード、オフボード・プログラミングが可能

セルフ・プログラミングによるフラッシュ・メモリ・プログラミングが可能

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能、フラッシュ・シールド・ウインドウにより、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

セルフ・プログラミングの割り込み受け付けが可能

24.1.2 データ・フラッシュ・メモリの特徴

78K0R/Hx3は、16 Kバイトのデータ・フラッシュを内蔵しています。このデータ・フラッシュは外部メモリ領域の一部として割り当てられます。

データ・フラッシュには次のような特徴があります。

- ・1ブロック（2 Kバイト）×8で構成
- ・32ビット単位で書き込み可能。
- ・ブロック単位（2 Kバイト）で消去可能。
- ・アプリケーション実行中（コード・フラッシュ・メモリをフェッチ）にデータ・フラッシュの書き込み、消去が可能。

注意 セルフ・プログラミングによるコード・フラッシュ・メモリ書き込み中は、データ・フラッシュ・メモリへアクセスすることはできません。逆の場合も同様です。

- 備考** 1. データ・フラッシュ・メモリ領域への命令フェッチはできません。
2. 専用フラッシュ・メモリ・プログラマによるデータ・フラッシュ領域への書き込みはできません。

24.2 フラッシュ・メモリを制御するレジスタ

(1) 周辺イネーブル・レジスタ1 (PER1)

各周辺ハードウェアの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 PER1レジスタは、データ・フラッシュの読み出し前に設定してください。

図24-1 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	SAU2EN	0	WUTEN	DFLEN

DFLEN	データ・フラッシュの入カクロックの制御
0	入カクロック供給停止 ・データ・フラッシュへのリード/ライト不可
1	入カクロック供給 ・データ・フラッシュへのリード/ライト可

WUTEN	ウエイクアップ・タイマへの同期クロック供給
0	同期クロック供給停止
1	同期クロック供給

SAU2EN	シリアル・アレイ・ユニット2へのクロック供給
0	クロック供給停止
1	クロック供給

注意 次のビットは必ず“0”に設定してください。

78K0R/HC3 : ビット2-7

78K0R/HE3, 78K0R/HF3, 78K0R/HG3 : ビット2, 4-7

(2) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 データ・フラッシュ・プログラミング時は設定不要です。

図24-2 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

アドレス : FFFBEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0

FLMDPUP	FLMD0端子のソフトウェア制御
0	プルダウン選択
1	プルアップ選択

(3) データ・フラッシュ・ステータス・レジスタ (DFLST)

図24-3 データ・フラッシュ・ステータス・レジスタ (DFLST) のフォーマット

アドレス : F04F0H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
DFLST	0	0	0	0	0	0	0	DFRDY

DFRDY	データ・フラッシュのセットアップ完了フラグ
0	セットアップ未完了 (データ・フラッシュへのアクセス不可)
1	セットアップ完了 (データ・フラッシュへのアクセス可)

24.3 データ・フラッシュへのアクセス手順

リセット解除後、データ・フラッシュは停止状態になっており、そのままではアクセス（リードおよびプログラム）はできません。

24.3.1 データ・フラッシュからのリード手順

20 MHzを越える周波数でCPU動作中にデータ・フラッシュをリードする場合は、DMSTPビット（OSMCレジスタのビット2）へ1を書き込む。

DFLENビット（PER1レジスタのビット0）へ1を書き込む。

セットアップ待ち（50 - 74 μ s）を行う。データ・フラッシュ・ステータス・レジスタを確認してください。

セットアップ完了前はデータ・フラッシュにアクセス禁止。

セットアップ完了前にSTOP命令/HALT命令を実行したい場合は、DFLEN = 0に設定してからSTOP命令/HALT命令を実行。

セットアップ完了後、データ・フラッシュはリード可能となる。

24.3.2 データ・フラッシュへのプログラミング手順

データ・フラッシュへのプログラミングは、データ・フラッシュに対応する当社ライブラリによるアプリケーション実行中の書き込みに対応します。

ライブラリによる書き込みについては、データ・フラッシュ・メモリ・アクセス・ライブラリに関するマニュアル（作成中）を参照してください。

24.3.3 データ・フラッシュの停止手順

データ・フラッシュを使用しない期間は、DFLENビット（PER1レジスタのビット0）へ0を設定することにより、データ・フラッシュの消費電流を抑えることができます。

HALT命令実行時、フラッシュ・メモリは自動的にHALTモードへ遷移し消費電流を抑えます。HALT解除時のセットアップ待ちは不要です。

STOP命令実行時、DFLENビットを操作しなくてもフラッシュ・メモリは自動的にSTOPモードへ遷移し、データ・フラッシュの消費電流を抑えることができます。STOP解除後はデータ・フラッシュ・ステータス・レジスタを確認してください。STOP解除後すぐにデータ・フラッシュへアクセスすることはできません。ただし、データ・フラッシュのセットアップ完了前にSTOP命令を実行する場合は、DFLEN = 0に設定してからSTOP命令を実行してください。

備考 データ・フラッシュへの書き込み、または消去中にSTOP命令やHALT命令を行わないでください。

24.4 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0R/Hx3を実装後、コード・フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0R/Hx3を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

表24-1 78K0R/HC3と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			端子名	ピン番号
信号名	入出力	端子機能		
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	3
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	—	—
CLK	出力	クロック出力	—	—
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	4
FLMD0	出力	モード信号	FLMD0	7
V _{DD}	入出力	V _{DD} 電圧生成/電源監視	V _{DD}	12
			EV _{DD}	12
			AV _{REF}	35
GND	—	グラウンド	V _{SS}	11
			EV _{SS}	11
			AV _{SS}	36

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

表24-2 78K0R/HE3と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			端子名	ピン番号
信号名	入出力	端子機能		
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	5
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	—	—
CLK	出力	クロック出力	—	—
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	6
FLMD0	出力	モード信号	FLMD0	9
V _{DD}	入出力	V _{DD} 電圧生成/電源監視	V _{DD}	15
			EV _{DD}	16
			AV _{REF}	47
GND	—	グラウンド	V _{SS}	13
			EV _{SS}	14
			AV _{SS}	48

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

表24-3 78K0R/HF3と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			端子名	ピン番号
信号名	入出力	端子機能		
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	9
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	—	—
CLK	出力	クロック出力	—	—
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	10
FLMD0	出力	モード信号	FLMD0	13
V _{DD}	入出力	V _{DD} 電圧生成／電源監視	V _{DD}	19
			EV _{DD}	20
			AV _{REF}	59
GND	—	グラウンド	V _{SS}	17
			EV _{SS}	18
			AV _{SS}	60

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

表24-4 78K0R/HG3と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子			端子名	ピン番号
信号名	入出力	端子機能		
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	12
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	—	—
CLK	出力	クロック出力	—	—
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	13
FLMD0	出力	モード信号	FLMD0	16
V _{DD}	入出力	V _{DD} 電圧生成／電源監視	V _{DD}	22
			EV _{DD0}	23
			EV _{DD1}	53
			AV _{REF}	73
GND	—	グラウンド	V _{SS}	20
			EV _{SS0}	21
			EV _{SS1}	43
			AV _{SS}	74

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

24.5 プログラミング環境

78K0R/Hx3のコード・フラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24-4 コード・フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

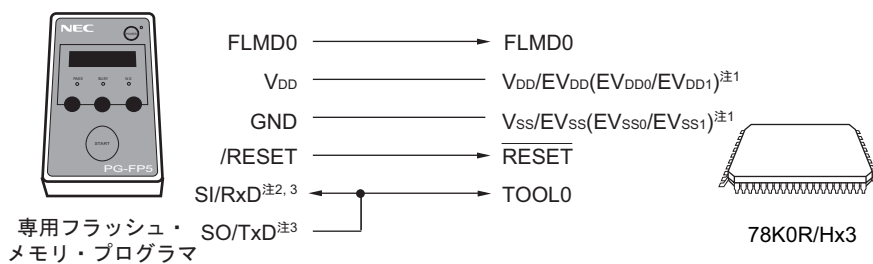
また、専用フラッシュ・メモリ・プログラマと78K0R/Hx3とのインターフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

24.6 通信方式

専用フラッシュ・メモリ・プログラマと78K0R/Hx3との通信は、78K0R/Hx3のTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート : 115200 bps, 250000 bps, 500000 bps, 1 Mbps

図24-5 専用フラッシュ・メモリ・プログラマとの通信



注1. EVDD0, EVDD1, EVDD0, EVSS1は、78K0R/HG3のみ

2. PG-FP5, FL-PR5使用時は、接続の必要はありません。

3. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

専用フラッシュ・メモリ・プログラマを使用した場合、78K0R/Hx3に対して次の信号を生成します。詳細は専用フラッシュ・メモリ・プログラマのマニュアルを参照してください。

表24-5 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0R/Hx3	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD} , EV _{DD} (EV _{DD0} , EV _{DD1}) ^{注1} , AV _{REF}	
GND	—	グラウンド	V _{SS} , EV _{SS} (EV _{SS0} , EV _{SS1}) ^{注1} , AV _{SS}	
CLK	出力	クロック出力	—	×
/RESET	出力	リセット信号	RESET	
SI/RxD ^{注2,3}	入力	受信信号	TOOL0	
SO/TxD ^{注3}	出力	送信信号		
SCK	出力	転送クロック	—	×

注1. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}は78K0R/HG3のみ

2. PG-FP5, FL-PR5使用時は、接続の必要はありません。

3. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

備考 : 必ず接続してください。

× : 接続の必要はありません。

24.7 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

24.7.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、100 kΩ以上の抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値“0”) のままにしておく必要があります (24.2 (2) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

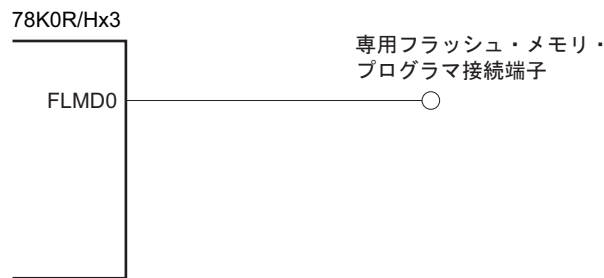
また、セルフ・プログラミングやプログラマによるコード・フラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図24-6 FLMD0端子の接続例



24.7.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD} (EV_{DD0}, EV_{DD1})^注に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してEV_{DD} (EV_{DD0}, EV_{DD1})^注に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください(プルダウン禁止)。

注 EV_{DD0}, EV_{DD1}は78K0R/HG3のみ

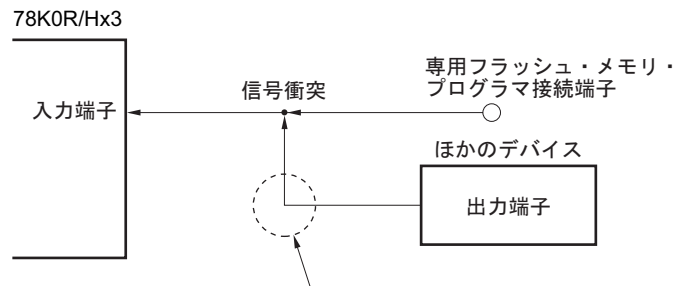
備考 78K0R/Hx3と専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUの端子は使用しません。

24.7.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図24-7 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

24.7.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

24.7.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ ($0.47\sim 1\ \mu\text{F}$) を介し、GNDに接続してください。ただし通常動作時に、高速内蔵発振クロック、外部メイン・システム・クロックからのSTOPモードを使用する場合は、 $0.47\ \mu\text{F}$ を推奨します。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

24.7.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

24.7.7 電 源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラマの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラマのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラマの V_{DD} 、GNDと必ず接続してください。

その他の電源 (EV_{DD} , EV_{DD0} ^注, EV_{DD1} ^注, EV_{SS} , EV_{SS0} ^注, EV_{SS1} ^注, AV_{REF} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

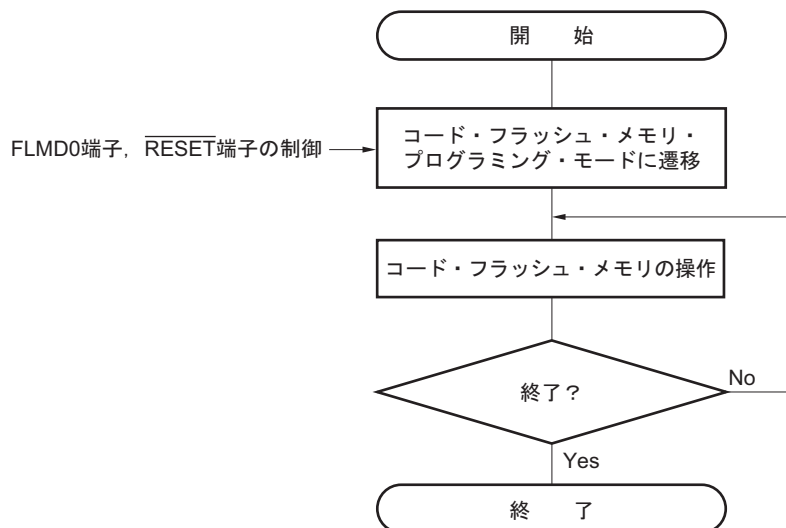
注 EV_{DD0} , EV_{DD1} , EV_{SS0} , EV_{SS1} は、78K0R/HG3のみ

24.8 プログラミング方法

24.8.1 コード・フラッシュ・メモリ制御

コード・フラッシュ・メモリを操作する手順を次に示します。

図24-8 コード・フラッシュ・メモリの操作手順



24. 8. 2 コード・フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してコード・フラッシュ・メモリの内容を書き換えるときは、78K0R/Hx3をコード・フラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図24-9 コード・フラッシュ・メモリ・プログラミング・モード

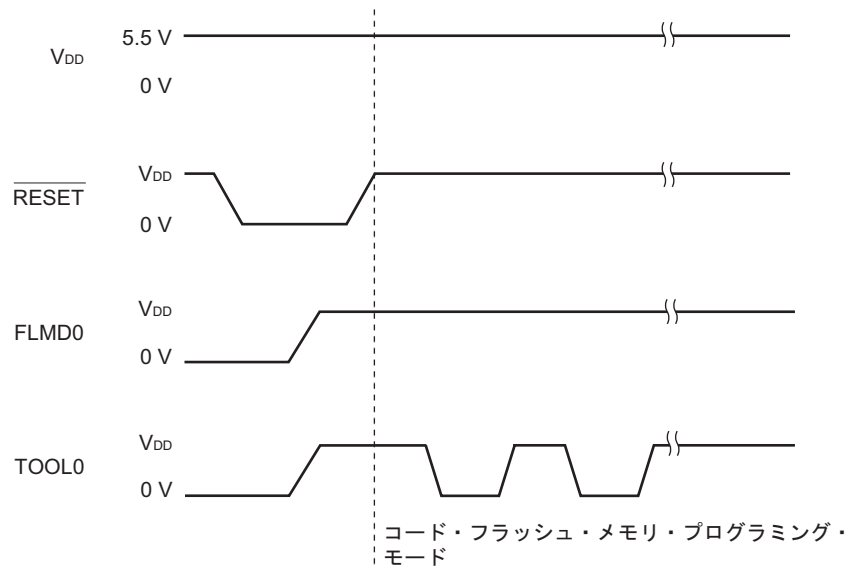


表24-6 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	コード・フラッシュ・メモリ・プログラミング・モード

24. 8. 3 通信方式

78K0R/Hx3の通信方式は、次のようになります。

表24-7 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
1線モード (単線UART)	UART-ch0	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0

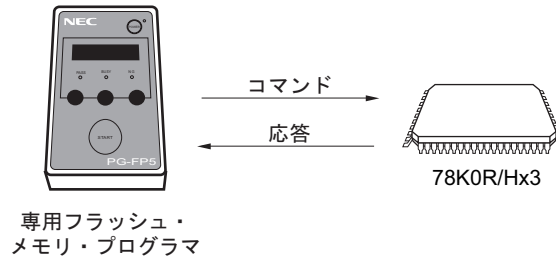
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

24.8.4 通信コマンド

78K0R/Hx3と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0R/Hx3へ送られる信号を「コマンド」と呼び、78K0R/Hx3から専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図24-10 通信コマンド



78K0R/Hx3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0R/Hx3がコマンドに対応した各処理を行います。

表24-8 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	コード・フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のコード・フラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	コード・フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0R/Hx3情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0R/Hx3ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また、78K0R/Hx3は、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0R/Hx3が送出する応答名称を次に示します。

表24-9 応答名称

応答名称	機能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

24.9 セキュリティ設定

78K0R/Hx3は、コード・フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード／オフボード・プログラミング時に、コード・フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。

また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにコード・フラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード／オフボード・プログラミング時に、コード・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード／オフボード・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（00000H-01FFFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去）／ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード／オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0R/Hx3のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24-10に示します。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は24.10.2を参照）。

表24-10 セキュリティ機能有効時とコマンドの関係

(1) オンボード／オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去 (チップ消去) 禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去 (チップ消去) 禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去 (チップ消去) 禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います (詳細は24. 10. 2を参照)。

表24-11 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード／オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去 (チップ消去) 禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去 (チップ消去) コマンドを実行する
書き込み禁止		設定後、無効にできない
ブート・クラスタ0の書き換え禁止		

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去 (チップ消去) 禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード／オフボード・プログラミングで、一括消去 (チップ消去) コマンドを実行する (セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

24.10 コード・フラッシュ・セルフ・プログラミング

78K0R/Hx3は、ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0R/Hx3セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

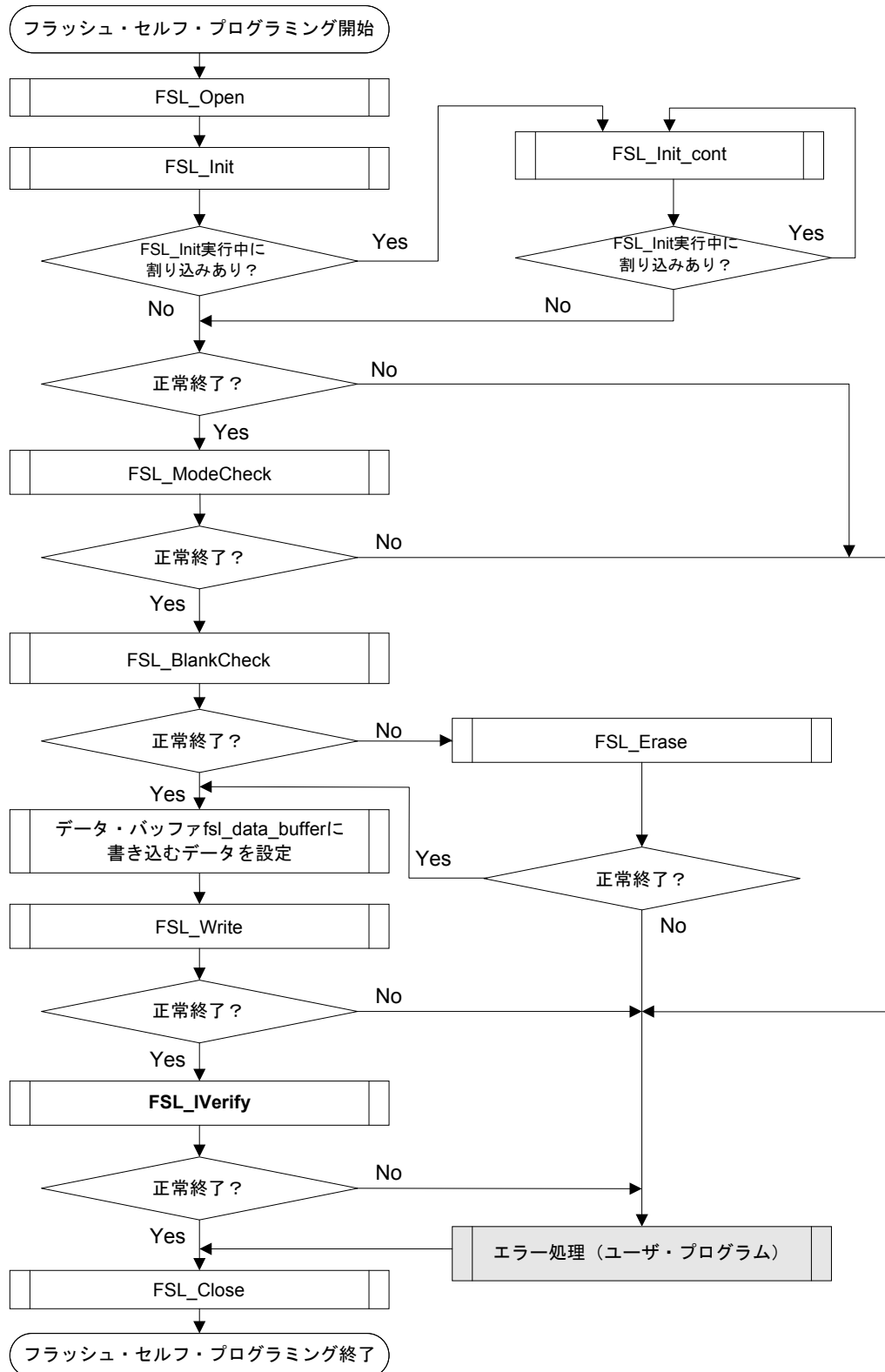
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

- 注意1. CPUが低速内蔵発振クロック動作時の場合、セルフ・プログラミング機能は使用できません。
- セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ (FlashStart) を呼び出してください。
 - セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。
- 割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
- セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止 (DENn = 0) してください。
 - セルフ・プログラミング機能使用時は、FFE20H~FFFEFHの領域をスタック・メモリとして使用できません。

- 備考1. セルフ・プログラム機能の詳細および78K0R/Hx3セルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type2 ユーザーズ・マニュアル (U19193J) を参照してください。
- セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

次に、セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図24-11 セルフ・プログラミング（コード・フラッシュ・メモリの書き換え）の流れ



24. 10. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

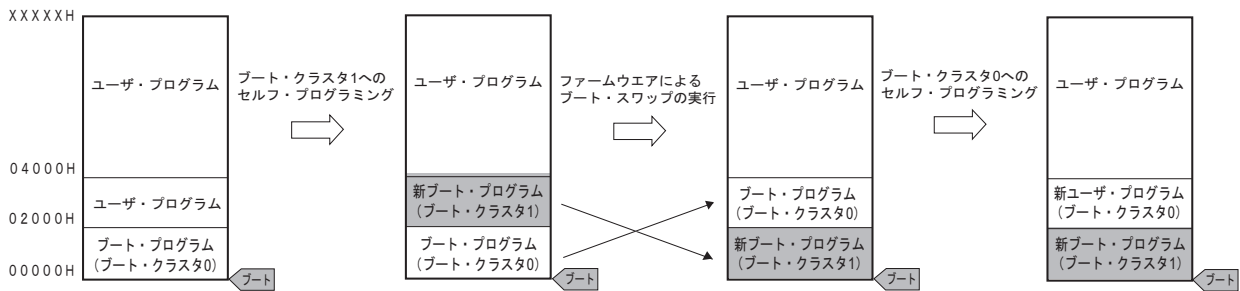
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0R/Hx3内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは8 Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図24-12 ブート・スワップ機能

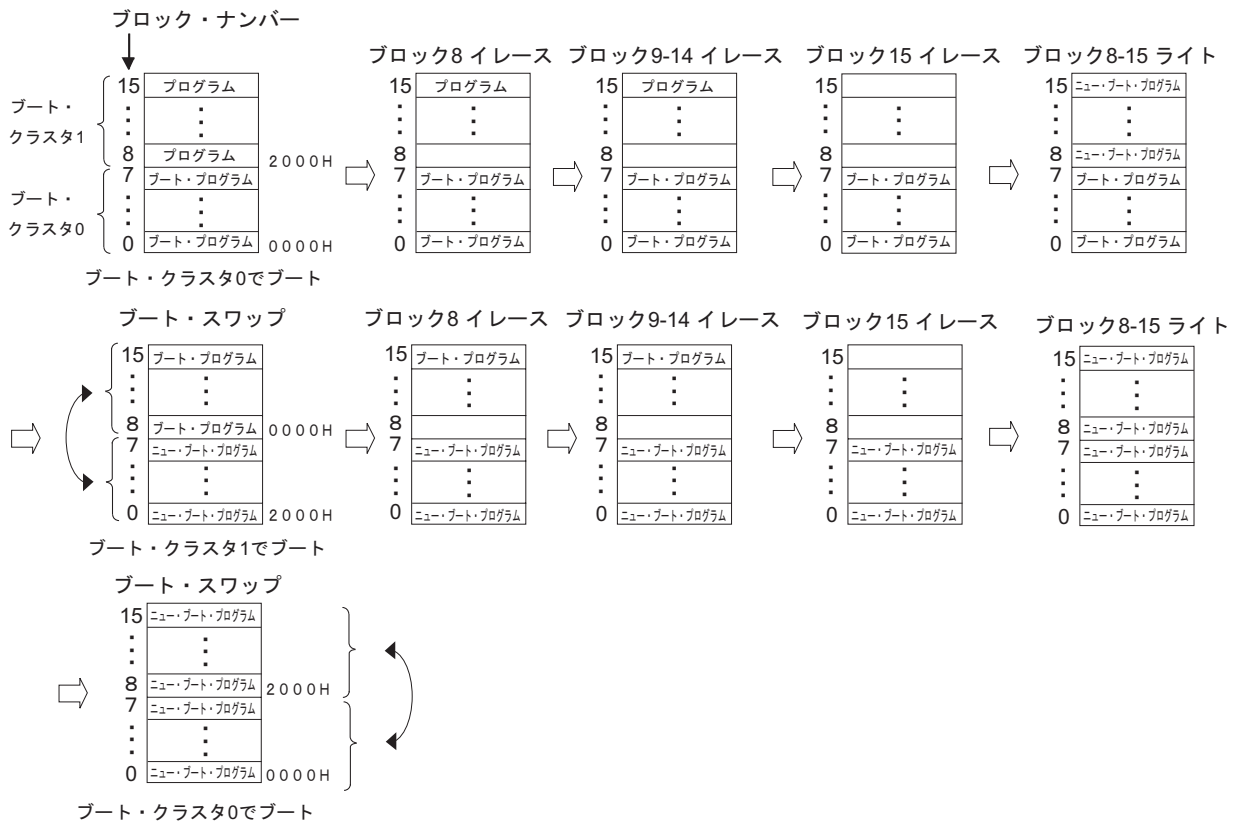


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図24-13 ブート・スワップの実行例



24. 10. 2 フラッシュ・シールド・ウインドウ機能

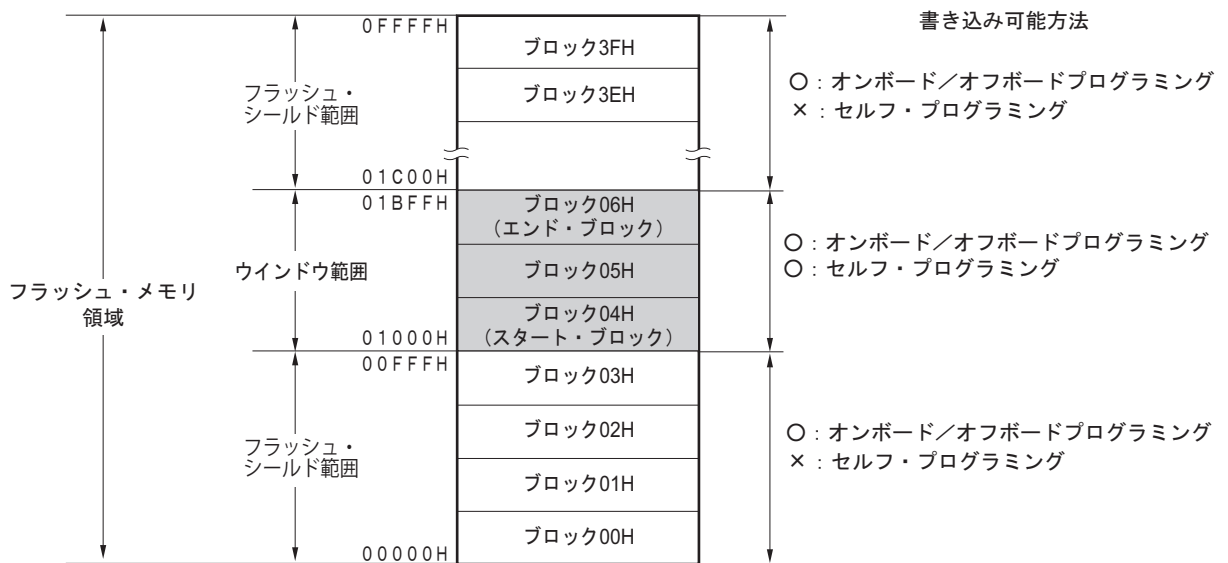
セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード／オフボード・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、オンボード／オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図24-14 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：μPD78F1046, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表24-12 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード／オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUIなどで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード／オフボード・プログラミング時の書き込み／消去を禁止したい場合には、24.9 セキュリティ設定を参照してください。

24. 11 書き込み済み品発注用ROMコードの作成方法

ルネサス エレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、ルネサス エレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラムによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

ルネサス エレクトロニクスのWEBサイトからHCUをダウンロードしてください。

(1) WEBサイト

<http://www2.renesas.com/micro/ja/ods/> → 「バージョンアップ・サービス」をクリック

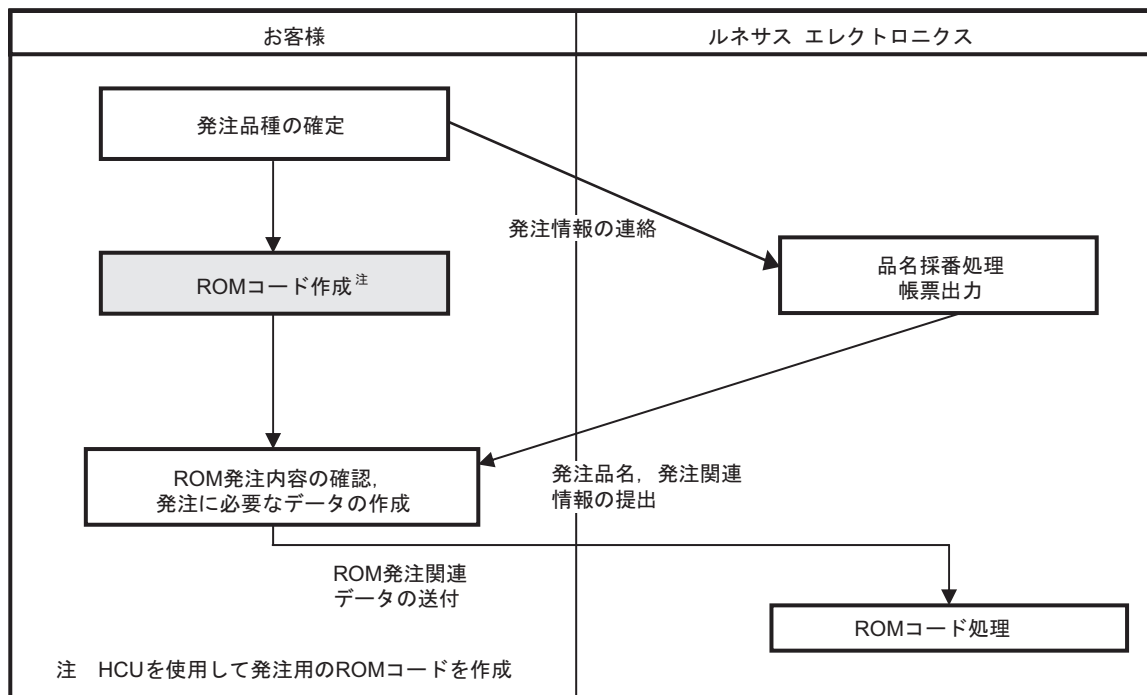
(2) HCUのダウンロード方法

「書き込み済みフラッシュ製品用ソフトウェア」→「HCU_GUI」をクリックしてダウンロードしてください。

備考 インストール方法、HCUの使用法の詳細については、上記WEBサイトにあるHCUの添付資料（ユーザーズ・マニュアル）を参照してください。

24. 11. 1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、ルネサス エレクトロニクスへ発注してください。詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



第25章 データ保護とセーフティ

78K0R/Hx3は、内蔵メモリの不正メモリ・アクセスからのデータ保護機能や特定レジスタの誤操作を防止するためのセーフティ補助機能を備えています。

25.1 データ保護

25.1.1 不正メモリ・アクセス検出機能

78K0R/Hx3は、不正メモリ・アクセス検出機能を搭載しています。不正メモリ・アクセス検出機能は、次のアクセスを検出し、不正領域へのアクセスを検出した場合は内部リセットを発生します。

- ・ RAM, SFR, 2ndSFR以外へのライト・アクセス
- ・ コード・フラッシュ, RAM, SFR, 2nd SFR, データ・フラッシュ以外へのリード・アクセス
- ・ コード・フラッシュ, RAM以外へのフェッチ・アクセス

(1) 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセス検出制御レジスタは、メモリへの不正アクセス検出の取り扱いを選択するレジスタです。

IAWCTLレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hとなります。

注意 IAWCTLレジスタへの書込みは、特定レジスタ操作保護レジスタ (GUARD) のビット6 (GDIAWビット) = 1のときのみ有効です。

図25-1 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	0	0	0	0	0	0

IAWEN	不正メモリ・アクセス検出機能の制御
0	不正メモリ・アクセス検出無効
1	不正メモリ・アクセス検出有効

図25-2 不正メモリ・アクセス判定例

(コード・フラッシュ : 128 KB, IAWFLASH = 0CH, RAM : 8 KB, IAWRAM = 0CHの場合の設定)

メモリ・マップ	アクセス可否		
	リード	ライト	フェッチ
FFFFFH	OK	OK	NG
FFF00H			RAM
FFEFFH		IAWRAM 設定領域	
FE700H			IAWRAM 設定領域外
FE6FFH		ミラー	
FDF00H			使用不可
FDEFFH		2nd SFR	
F1000H			OCD領域
F0FFFH		CAN用領域	
F0800H			使用不可
F07FFH	データ・フラッシュ	OK	
F0000H			使用不可
FFFFFFH	使用不可	NG	
EE000H			使用不可
EDFFFH	使用不可	NG	
EA000H			使用不可
E9FFFH	使用不可	NG	
20000H			IAWFLASH 設定領域外
1FFFFH	IAWFLASH 設定領域	OK	
18000H			コード・ フラッシュ
17FFFH	コード・ フラッシュ	OK	
00000H			コード・ フラッシュ

備考 IAWEN = 1のときNGの領域へアクセスした場合リセットが発生します。

(2) 不正メモリ・アクセスRAMサイズ設定レジスタ (IAWRAM)

不正メモリ・アクセスRAMサイズ設定レジスタは、不正メモリ・アクセス検出対象のRAMサイズを設定するレジスタです。

IAWRAMレジスタは8ビット・メモリ操作で設定します。

リセット信号の発生により、00Hとなります。

- 注意 1. IAWRAMレジスタへの書込みは、特定レジスタ操作保護レジスタ (GUARD) のビット6 (GDIWAビット) = 1のときのみ可能です。
2. IAWRAMレジスタを書き換える際は、IAWCTL.IAWEN = 0に設定してから書き換えてください。

図25-3 不正メモリ・アクセスRAMサイズ設定レジスタ (IAWRAM) のフォーマット (1/2)

アドレス : F0075H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWRAM	0	0	IAWRAM5	IAWRAM4	IAWRAM3	IAWRAM2	IAWRAM1	IAWRAM0

IAWRAM5	IAWRAM4	IAWRAM3	IAWRAM2	IAWRAM1	IAWRAM0	不正メモリ・アクセス 対象検出RAMサイズ設定
0	0	0	0	0	0	RAM不正検出なし
0	0	0	0	0	1	0.5 KB
0	0	0	0	1	0	1.0 KB
0	0	0	0	1	1	1.5 KB
0	0	0	1	0	0	2 KB
0	0	0	1	0	1	2.5 KB
0	0	0	1	1	0	3 KB
0	0	0	1	1	1	3.5 KB
0	0	1	0	0	0	4 KB
0	0	1	0	0	1	4.5 KB ^{注1}
0	0	1	0	1	0	5 KB ^{注1}
0	0	1	0	1	1	5.5 KB ^{注1}
0	0	1	1	0	0	6 KB ^{注1}
0	0	1	1	0	1	6.5 KB ^{注2}
0	0	1	1	1	0	7 KB ^{注2}
0	0	1	1	1	1	7.5 KB ^{注2}
0	1	0	0	0	0	8 KB ^{注2}

注 1. RAMが4 KB以下の製品は設定禁止。

2. RAMが6 KB以下の製品は設定禁止。

図25-3 不正メモリ・アクセスRAMサイズ設定レジスタ (IAWRAM) のフォーマット (2/2)

IAWRAM5	IAWRAM4	IAWRAM3	IAWRAM2	IAWRAM1	IAWRAM0	不正メモリ・アクセス対象 検出RAMサイズ設定
0	1	0	0	0	1	8.5 KB ^{注1}
0	1	0	0	1	0	9 KB ^{注1}
0	1	0	0	1	1	9.5 KB ^{注1}
0	1	0	1	0	0	10 KB ^{注1}
0	1	0	1	0	1	10.5 KB ^{注1}
0	1	0	1	1	0	11 KB ^{注1}
0	1	0	1	1	1	11.5 KB ^{注1}
0	1	1	0	0	0	12 KB ^{注1}
0	1	1	0	0	1	12.5 KB ^{注2}
0	1	1	0	1	0	13 KB ^{注2}
0	1	1	0	1	1	13.5 KB ^{注2}
0	1	1	1	0	0	14 KB ^{注2}
0	1	1	1	0	1	14.5 KB ^{注2}
0	1	1	1	1	0	15 KB ^{注2}
0	1	1	1	1	1	15.5 KB ^{注2}
1	0	0	0	0	0	16 KB ^{注2}
上記以外						設定禁止

注1. RAMが8 KB以下の製品は設定禁止。

2. RAMが12 KB以下の製品は設定禁止。

(3) 不正メモリ・アクセスFLASHサイズ設定レジスタ (IAWFLASH)

不正メモリ・アクセスFLASHサイズ設定レジスタは、不正メモリ・アクセス検出対象のコード・フラッシュのサイズを設定するレジスタです。

IAWFLASHレジスタは8ビット・メモリ操作で設定します。

リセット信号の発生により、00Hとなります。

- 注意 1. IAWFLASHレジスタへの書込みは、特定レジスタ操作保護レジスタ (GUARD) のビット6 (GDIWAビット) = 1のときのみ可能です。
2. IAWFLASHレジスタを書き換える際は、IAWCTL.IAWEN = 0に設定してから書き換えてください。
3. IAWFLASHで設定した最終16バイトで命令を実行した場合、リセットが発生しますので、コードの配置を行わないでください。

図25-4 不正メモリ・アクセスFLASHサイズ設定レジスタ (IAWFLASH) のフォーマット (1/2)

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWFLASH	0	0	IAWFL5	IAWFL4	IAWFL3	IAWFL2	IAWFL1	IAWFL0

IAWFL5	IAWFL4	IAWFL3	IAWFL2	IAWFL1	IAWFL0	不正メモリ・アクセス対象検出 フラッシュ・メモリ・サイズ設定
0	0	0	0	0	0	コード・フラッシュ不正検出なし
0	0	0	0	0	1	8 KB
0	0	0	0	1	0	16 KB
0	0	0	0	1	1	24 KB
0	0	0	1	0	0	32 KB ^{注1}
0	0	0	1	0	1	40 KB ^{注2}
0	0	0	1	1	0	48 KB ^{注2}
0	0	0	1	1	1	56 KB ^{注3}
0	0	1	0	0	0	64KB ^{注3}
0	0	1	0	0	1	72 KB ^{注4}
0	0	1	0	1	0	80 KB ^{注4}
0	0	1	0	1	1	88 KB ^{注4}
0	0	1	1	0	0	96 KB ^{注4}
0	0	1	1	0	1	104 KB ^{注5}
0	0	1	1	1	0	112 KB ^{注5}
0	0	1	1	1	1	120 KB ^{注5}
0	1	0	0	0	0	128 KB ^{注5}

- 注 1. コード・フラッシュが24 KB以下の製品は設定禁止。
2. コード・フラッシュが32 KB以下の製品は設定禁止。
3. コード・フラッシュが48 KB以下の製品は設定禁止。
4. コード・フラッシュが64 KB以下の製品は設定禁止。
5. コード・フラッシュが96 KB以下の製品は設定禁止。

図25-4 不正メモリ・アクセスFLASHサイズ設定レジスタ (IAWFLASH) のフォーマット (2/2)

IAWFL5	IAWFL4	IAWFL3	IAWFL2	IAWFL1	IAWFL0	不正メモリ・アクセス対象検出 フラッシュ・メモリ・サイズ設定
0	1	0	0	0	1	136 KB ^{注1}
0	1	0	0	1	0	144 KB ^{注1}
0	1	0	0	1	1	152 KB ^{注1}
0	1	0	1	0	0	160 KB ^{注1}
0	1	0	1	0	1	168 KB ^{注1}
0	1	0	1	1	0	176 KB ^{注1}
0	1	0	1	1	1	184 KB ^{注1}
0	1	1	0	0	0	192 KB ^{注1}
0	1	1	0	0	1	200 KB ^{注2}
0	1	1	0	1	0	208 KB ^{注2}
0	1	1	0	1	1	216 KB ^{注2}
0	1	1	1	0	0	224 KB ^{注2}
0	1	1	1	0	1	232 KB ^{注2}
0	1	1	1	1	0	240 KB ^{注2}
0	1	1	1	1	1	248 KB ^{注2}
1	0	0	0	0	0	256 KB ^{注2}
上記以外						設定禁止

注1. コード・フラッシュが128 KB以下の製品は設定禁止。

2. コード・フラッシュが192 KB以下の製品は設定禁止。

25.2 セーフティ補助機能

78K0R/Hx3は、特定レジスタの誤操作によるリセット発生を防止するためにセーフティ補助機能を搭載します。

(1) 特定レジスタ操作保護レジスタ (GUARD)

GUARDレジスタは、低電圧検出回路 (LVI) やクロック制御などの特定レジスタを操作する際、操作許可に設定した場合のみ書き込みが有効になるよう制御します。

GUARDレジスタで操作許可に設定していない場合は、特定レジスタへの書き込みは無視されます。ただし、ユーザ・プログラムからの書き込みは無視されますが、周辺機能からアクセスされるステータス・フラグの書き込みは無視されません。

GUARDレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

GUARDレジスタは、リセット信号の発生により00Hとなります。

図25-5 特定レジスタ操作保護レジスタ (GUARD) のフォーマット (1/2)

アドレス : F0070H リセット時 : 00H R/W

略号	[7]	[6]	[5]	4	3	2	[1]	[0]
GUARD	GDWDT	GDIAW	GDLVI	0	0	0	GDPLL	GDCSC

GDWDT	セルフ・プログラミング時ウォッチドッグ・タイマ動作モード変更レジスタ (WDTSELF) の操作保護
0	WDTSELFレジスタの操作禁止
1	WDTSELFレジスタの操作許可
GDWDTビットは、セルフ・プログラミング時ウォッチドッグ・タイマ動作モード変更レジスタ (WDTSELF) の書き込みの取り扱いを選択するレジスタです。GDWDTビットをセット時のみWDTSELFレジスタの書き込みが有効になります。	

GDIAW	不正メモリ・アクセス検出制御レジスタ (IAWCTL), 不正メモリ・アクセスFLASHサイズ設定レジスタ (IAWFLASH), 不正メモリ・アクセスRAMサイズ設定レジスタ (IAWRAM) の操作保護
0	IAWCTL, IAWFLASH, IAWRAMレジスタの操作禁止
1	IAWCTL, IAWFLASH, IAWRAMレジスタの操作許可
GDIAWビットは、不正メモリ・アクセス検出制御レジスタ (IAWCTL), 不正メモリ・アクセスFLASHサイズ設定レジスタ (IAWFLASH), 不正メモリ・アクセスRAMサイズ設定レジスタ (IAWRAM) の書き込みの取り扱いを選択するレジスタです。GDIAWビットをセット時のみIAWCTL, IAWFLASH, IAWRAMレジスタの書き込みが有効になります。	

GDLVI	低電圧検出レジスタ (LVIM), 低電圧検出レベル選択レジスタ (LVIS) の操作保護
0	LVIM, LVISレジスタの操作禁止
1	LVIM, LVISレジスタの操作許可
GDLVIビットは、低電圧検出レジスタ (LVIM), 低電圧検出レベル選択レジスタ (LVIS) の書き込みの取り扱いを選択するレジスタです。GDLVIビットをセット時のみLVIM, LVISレジスタの書き込みが有効になります。	

図25-5 特定レジスタ操作保護レジスタ (GUARD) のフォーマット (2/2)

GDPLL	PLL制御レジスタ (PLLCTL) の操作保護
0	PLLCTLレジスタの操作禁止
1	PLLCTLレジスタの操作許可
GDPLLビットは、PLL制御レジスタ (PLLCTL) の書き込みの取り扱いを選択するレジスタです。GDPLLビットをセット時のみPLLCTLレジスタの書き込みが有効になります。	

GDCSC	クロック動作ステータス制御レジスタ (CSC) の操作保護
0	CSCレジスタの操作禁止
1	CSCレジスタの操作許可
GDCSCビットは、クロック動作ステータス制御レジスタ (CSC) の書き込みの取り扱いを選択するレジスタです。GDCSCビットをセット時のみCSCレジスタの書き込みが有効になります。	

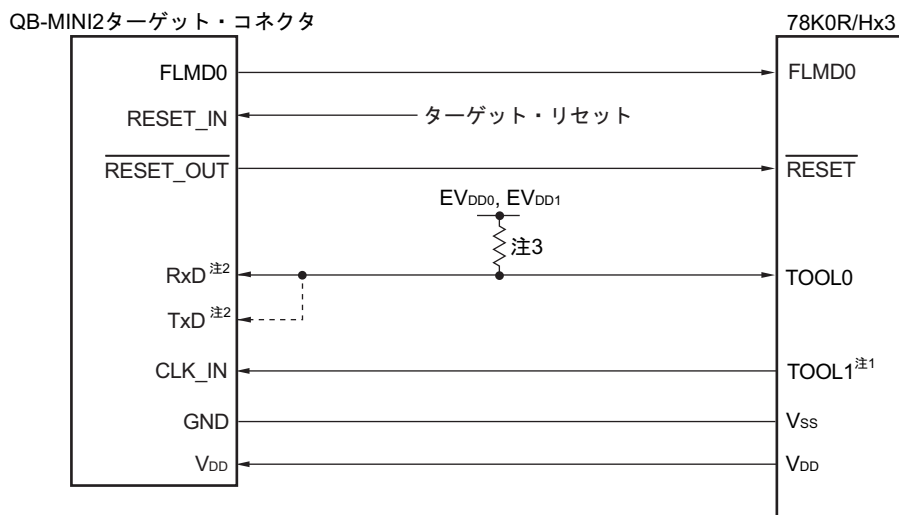
第26章 オンチップ・デバッグ機能

26.1 QB-MINI2と78K0R/Hx3の接続

78K0R/Hx3は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、TOOL0、TOOL1^{注1}、 V_{SS} 端子を使用します。

注意 78K0R/Hx3には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図26-1 QB-MINI2と78K0R/Hx3の接続例



注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表2-3 各端子の未使用端子処理に従って、端子処理をしてください。

2. QB-MINI2の場合、Rx_D、Tx_DはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラマを使用する場合、プログラマ内部でRx_DとTx_Dをショートできない場合があります。この場合、Rx_D、Tx_Dをターゲット・システム上でショートする必要があります。

3. 10 kΩの抵抗でプルアップしてください（推奨）。QB-MINI2非接続時の正常動作を保証するために、オンチップ・デバッグ許可設定時は、外部プルアップ抵抗を必ず使用してください。

注意 2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライト等などの使用が有効です。

備考 セルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0, TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表26-1に示します。

表26-1 1線モードと2線モードの違い

通信方式	フラッシュ・プログラミング機能
1線モード	使用可能
2線モード	なし

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INIに接続していたとしても問題なく正常に書き込みができます。

26.2 オンチップ・デバッグ・セキュリティID

78K0R/Hx3では、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第23章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H, 000C4H-000CDHと020C3H, 020C4H-020CDHが切り替わるので、あらかじめ020C3H, 020C4H-020CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル（U18371J）を参照してください。

表26-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
020C4H-020CDH	

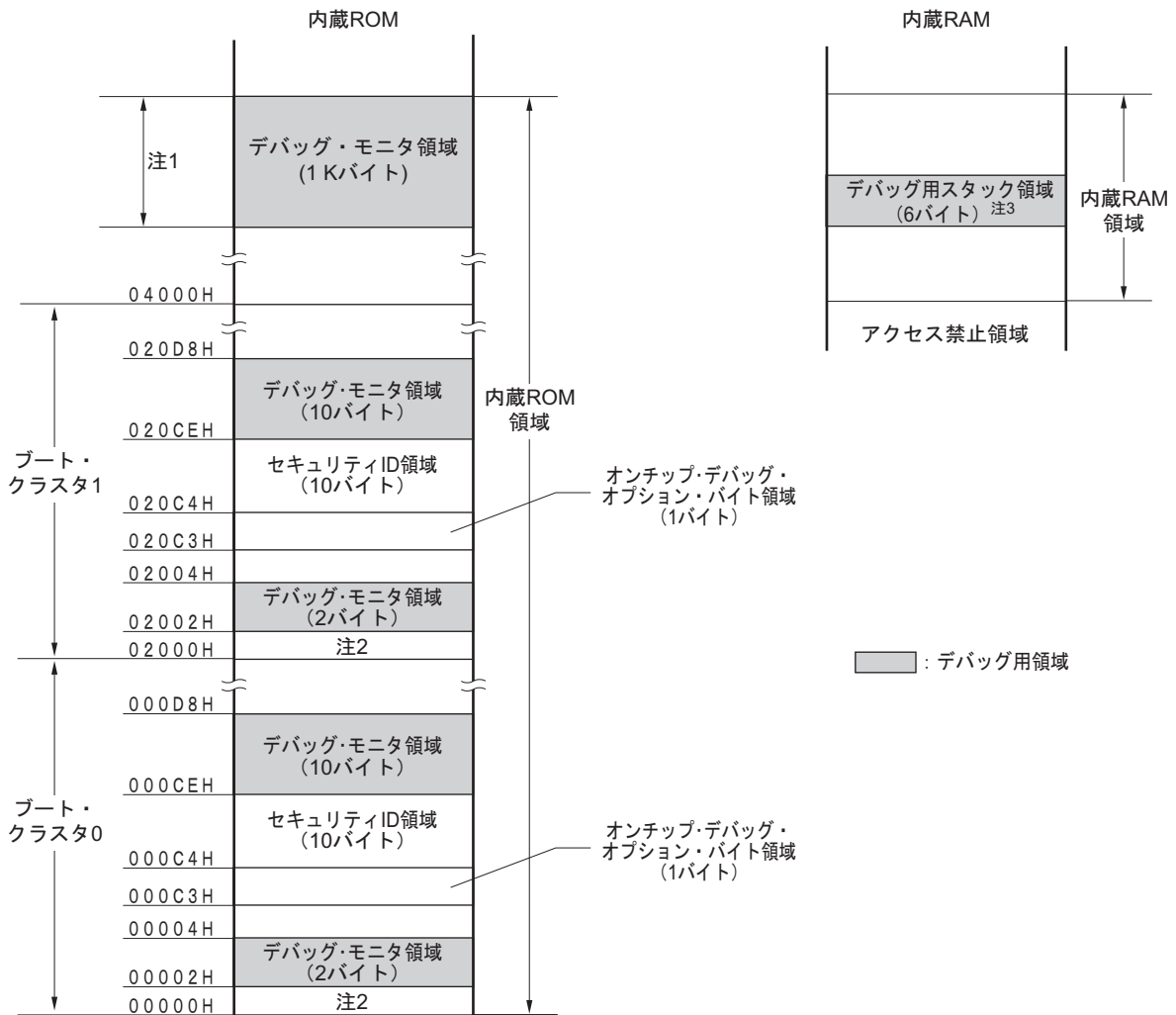
26.3 ユーザ資源の確保

78K0R/Hx3とQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R、コンパイラ CC78K0Rを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図26-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図26-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品	内蔵ROM	アドレス
μ PD78F1031, 78F1036, 78F1041, 78F1046	64 Kバイト	0FC00H-0FFFFH
μ PD78F1032, 78F1037, 78F1042, 78F1047	96 Kバイト	17C00H-17FFFH
μ PD78F1033, 78F1038, 78F1043, 78F1048	128 Kバイト	1FC00H-1FFFFH
μ PD78F1034, 78F1039, 78F1044, 78F1049	192 Kバイト	2FC00H-2FFFFH
μ PD78F1035, 78F1040, 78F1045, 78F1050	256 Kバイト	3FC00H-3FFFFH

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J) を参照してください。

第27章 10進補正 (BCD) 回路

27.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCDADJレジスタを加減算することで10進補正演算結果が求められます。

27.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・ BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正值が格納されます。

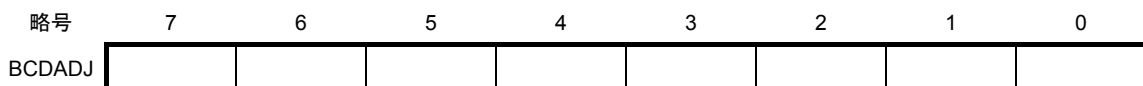
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図27-1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



27.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

- (1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値（被加算値）をAレジスタに格納する。

Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCDADJレジスタに格納される。

Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正值）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、 の命令のあとは、他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CYフラグ、ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	—	—	—
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	—

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	—	—	—
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	—

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	—	—	—
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値 (被減算値) をAレジスタに格納する。

Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91-52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	—	—	—
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	—

第28章 命令セットの概要

78K0Rマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編（U17792J）を参照してください。

備考 表28-5 オペレーション一覧の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

28.1 凡例

28.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [, ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [, ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表28-1の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表28-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3-5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3-6 拡張SFR（2nd SFR）一覧を参照してください。

28.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表28-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミューディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミューディエト・データ
addr20	20ビット・イミューディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイースメント値)
jdisp16	符号付き16ビット・データ (ディスプレイースメント値)

28.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表28-3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

28.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表28-4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

28.2 オペレーション一覧

表28-5 オペレーション一覧 (1/17)

命令群	モニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	—	r ← byte			
		saddr, #byte	3	1	—	—	(saddr) ← byte			
		sfr, #byte	3	1	—	—	sfr ← byte			
		!addr16, #byte	4	1	—	—	(addr16) ← byte			
		A, r 注4	1	1	—	—	A ← r			
		r, A 注4	1	1	—	—	r ← A			
		A, saddr	2	1	—	—	A ← (saddr)			
		saddr, A	2	1	—	—	(saddr) ← A			
		A, sfr	2	1	—	—	A ← sfr			
		sfr, A	2	1	—	—	sfr ← A			
		A, laddr16	3	1	4	—	A ← (addr16)			
		!addr16, A	3	1	—	—	(addr16) ← A			
		PSW, #byte	3	3	—	—	PSW ← byte	x	x	x
		A, PSW	2	1	—	—	A ← PSW			
		PSW, A	2	3	—	—	PSW ← A	x	x	x
		ES, #byte	2	1	—	—	ES ← byte			
		ES, saddr	3	1	—	—	ES ← (saddr)			
		A, ES	2	1	—	—	A ← ES			
		ES, A	2	1	—	—	ES ← A			
		CS, #byte	3	1	—	—	CS ← byte			
		A, CS	2	1	—	—	A ← CS			
		CS, A	2	1	—	—	CS ← A			
		A, [DE]	1	1	4	—	A ← (DE)			
		[DE], A	1	1	—	—	(DE) ← A			
		[DE+byte], #byte	3	1	—	—	(DE+byte) ← byte			
		A, [DE+byte]	2	1	4	—	A ← (DE+byte)			
		[DE+byte], A	2	1	—	—	(DE+byte) ← A			
		A, [HL]	1	1	4	—	A ← (HL)			
		[HL], A	1	1	—	—	(HL) ← A			
		[HL+byte], #byte	3	1	—	—	(HL+byte) ← byte			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (2/17)

命令群	ニモニク	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	-	A ← (HL+byte)			
		[HL+byte], A	2	1	-	-	(HL+byte) ← A			
		A, [HL+B]	2	1	4	-	A ← (HL+B)			
		[HL+B], A	2	1	-	-	(HL+B) ← A			
		A, [HL+C]	2	1	4	-	A ← (HL+C)			
		[HL+C], A	2	1	-	-	(HL+C) ← A			
		word[B], #byte	4	1	-	-	(B+word) ← byte			
		A, word[B]	3	1	4	-	A ← (B+word)			
		word[B], A	3	1	-	-	(B+word) ← A			
		word[C], #byte	4	1	-	-	(C+word) ← byte			
		A, word[C]	3	1	4	-	A ← (C+word)			
		word[C], A	3	1	-	-	(C+word) ← A			
		word[BC], #byte	4	1	-	-	(BC+word) ← byte			
		A, word[BC]	3	1	4	-	A ← (BC+word)			
		word[BC], A	3	1	-	-	(BC+word) ← A			
		[SP+byte], #byte	3	1	-	-	(SP+byte) ← byte			
		A, [SP+byte]	2	1	-	-	A ← (SP+byte)			
		[SP+byte], A	2	1	-	-	(SP+byte) ← A			
		B, saddr	2	1	-	-	B ← (saddr)			
		B, laddr16	3	1	4	-	B ← (addr16)			
		C, saddr	2	1	-	-	C ← (saddr)			
		C, laddr16	3	1	4	-	C ← (addr16)			
		X, saddr	2	1	-	-	X ← (saddr)			
		X, laddr16	3	1	4	-	X ← (addr16)			
		ES:laddr16, #byte	5	2	-	-	(ES, addr16) ← byte			
		A, ES:laddr16	4	2	5	4	A ← (ES, addr16)			
		ES:laddr16, A	4	2	-	-	(ES, addr16) ← A			
		A, ES:[DE]	2	2	5	4	A ← (ES, DE)			
		ES:[DE], A	2	2	-	-	(ES, DE) ← A			
		ES:[DE+byte], #byte	4	2	-	-	((ES, DE)+byte) ← byte			
		A, ES:[DE+byte]	3	2	5	4	A ← ((ES, DE)+byte)			
		ES:[DE+byte], A	3	2	-	-	((ES, DE)+byte) ← A			
A, ES:[HL]	2	2	5	4	A ← (ES, HL)					
ES:[HL], A	2	2	-	-	(ES, HL) ← A					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (fCLK) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (3/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット・データ転送	MOV	ES:[HL+byte],#byte	4	2	—	—	((ES, HL)+byte) ← byte			
		A, ES:[HL+byte]	3	2	5	4	A ← ((ES, HL)+byte)			
		ES:[HL+byte], A	3	2	—	—	((ES, HL)+byte) ← A			
		A, ES:[HL+B]	3	2	5	4	A ← ((ES, HL)+B)			
		ES:[HL+B], A	3	2	—	—	((ES, HL)+B) ← A			
		A, ES:[HL+C]	3	2	5	4	A ← ((ES, HL)+C)			
		ES:[HL+C], A	3	2	—	—	((ES, HL)+C) ← A			
		ES:word[B], #byte	5	2	—	—	((ES, B)+word) ← byte			
		A, ES:word[B]	4	2	5	4	A ← ((ES, B)+word)			
		ES:word[B], A	4	2	—	—	((ES, B)+word) ← A			
		ES:word[C], #byte	5	2	—	—	((ES, C)+word) ← byte			
		A, ES:word[C]	4	2	5	4	A ← ((ES, C)+word)			
		ES:word[C], A	4	2	—	—	((ES, C)+word) ← A			
		ES:word[BC], #byte	5	2	—	—	((ES, BC)+word) ← byte			
		A, ES:word[BC]	4	2	5	4	A ← ((ES, BC)+word)			
		ES:word[BC], A	4	2	—	—	((ES, BC)+word) ← A			
		B, ES:!addr16	4	2	5	4	B ← (ES, addr16)			
		C, ES:!addr16	4	2	5	4	C ← (ES, addr16)			
	X, ES:!addr16	4	2	5	4	X ← (ES, addr16)				
	XCH	A, r ^{注4}	1 (r = X) 2 (r = X以外)	1	—	—	A ↔ r			
		A, saddr	3	2	—	—	A ↔ (saddr)			
		A, sfr	3	2	—	—	A ↔ sfr			
		A, !addr16	4	2	—	—	A ↔ (addr16)			
		A, [DE]	2	2	—	—	A ↔ (DE)			
		A, [DE+byte]	3	2	—	—	A ↔ (DE+byte)			
		A, [HL]	2	2	—	—	A ↔ (HL)			
		A, [HL+byte]	3	2	—	—	A ↔ (HL+byte)			
		A, [HL+B]	2	2	—	—	A ↔ (HL+B)			
A, [HL+C]	2	2	—	—	A ↔ (HL+C)					

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (4/17)

命令群	ニモニク	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット・データ転送	XCH	A, ES:!addr16	5	3	—	—	A ↔ (ES, addr16)			
		A, ES:[DE]	3	3	—	—	A ↔ (ES, DE)			
		A, ES:[DE+byte]	4	3	—	—	A ↔ ((ES, DE)+byte)			
		A, ES:[HL]	3	3	—	—	A ↔ (ES, HL)			
		A, ES:[HL+byte]	4	3	—	—	A ↔ ((ES, HL)+byte)			
		A, ES:[HL+B]	3	3	—	—	A ↔ ((ES, HL)+B)			
		A, ES:[HL+C]	3	3	—	—	A ↔ ((ES, HL)+C)			
	ONEB	A	1	1	—	—	A ← 01H			
		X	1	1	—	—	X ← 01H			
		B	1	1	—	—	B ← 01H			
		C	1	1	—	—	C ← 01H			
		saddr	2	1	—	—	(saddr) ← 01H			
		!addr16	3	1	—	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	—	(ES, addr16) ← 01H			
	CLR B	A	1	1	—	—	A ← 00H			
		X	1	1	—	—	X ← 00H			
		B	1	1	—	—	B ← 00H			
		C	1	1	—	—	C ← 00H			
		saddr	2	1	—	—	(saddr) ← 00H			
		!addr16	3	1	—	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	—	(ES, addr16) ← 00H			
	MOVS	[HL+byte], X	3	1	—	—	(HL+byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	—	(ES, HL+byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	—	—	rp ← word			
		saddrp, #word	4	1	—	—	(saddrp) ← word			
		sfrp, #word	4	1	—	—	sfrp ← word			
		AX, saddrp	2	1	—	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	—	AX ← sfrp			
		sfrp, AX	2	1	—	—	sfrp ← AX			
		AX, rp ^{注4}	1	1	—	—	AX ← rp			
		rp, AX ^{注4}	1	1	—	—	rp ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. rp = AXを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (5/17)

命令群	ニモニック	オペラント	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, !addr16	3	1	4	—	AX ← (addr16)			
		!addr16, AX	3	1	—	—	(addr16) ← AX			
		AX, [DE]	1	1	4	—	AX ← (DE)			
		[DE], AX	1	1	—	—	(DE) ← AX			
		AX, [DE+byte]	2	1	4	—	AX ← (DE+byte)			
		[DE+byte], AX	2	1	—	—	(DE+byte) ← AX			
		AX, [HL]	1	1	4	—	AX ← (HL)			
		[HL], AX	1	1	—	—	(HL) ← AX			
		AX, [HL+byte]	2	1	4	—	AX ← (HL+byte)			
		[HL+byte], AX	2	1	—	—	(HL+byte) ← AX			
		AX, word[B]	3	1	4	—	AX ← (B+word)			
		word[B], AX	3	1	—	—	(B+word) ← AX			
		AX, word[C]	3	1	4	—	AX ← (C+word)			
		word[C], AX	3	1	—	—	(C+word) ← AX			
		AX, word[BC]	3	1	4	—	AX ← (BC+word)			
		word[BC], AX	3	1	—	—	(BC+word) ← AX			
		AX, [SP+byte]	2	1	—	—	AX ← (SP+byte)			
		[SP+byte], AX	2	1	—	—	(SP+byte) ← AX			
		BC, saddrp	2	1	—	—	BC ← (saddrp)			
		BC, !addr16	3	1	4	—	BC ← (addr16)			
		DE, saddrp	2	1	—	—	DE ← (saddrp)			
		DE, !addr16	3	1	4	—	DE ← (addr16)			
		HL, saddrp	2	1	—	—	HL ← (saddrp)			
		HL, !addr16	3	1	4	—	HL ← (addr16)			
		AX, ES:!addr16	4	2	5	4	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	—	—	(ES, addr16) ← AX			
		AX, ES:[DE]	2	2	5	4	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	—	(ES, DE) ← AX			
		AX, ES:[DE+byte]	3	2	5	4	AX ← ((ES, DE)+byte)			
		ES:[DE+byte], AX	3	2	—	—	((ES, DE)+byte) ← AX			
		AX, ES:[HL]	2	2	5	4	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	—	(ES, HL) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (6/17)

命令群	ニモニック	オペラント	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	4	AX ← ((ES, HL)+byte)			
		ES:[HL+byte], AX	3	2	—	—	((ES, HL)+byte) ← AX			
		AX, ES:word[B]	4	2	5	4	AX ← ((ES, B)+word)			
		ES:word[B], AX	4	2	—	—	((ES, B)+word) ← AX			
		AX, ES:word[C]	4	2	5	4	AX ← ((ES, C)+word)			
		ES:word[C], AX	4	2	—	—	((ES, C)+word) ← AX			
		AX, ES:word[BC]	4	2	5	4	AX ← ((ES, BC)+word)			
		ES:word[BC], AX	4	2	—	—	((ES, BC)+word) ← AX			
		BC, ES:laddr16	4	2	5	4	BC ← (ES, addr16)			
		DE, ES:laddr16	4	2	5	4	DE ← (ES, addr16)			
	HL, ES:laddr16	4	2	5	4	HL ← (ES, addr16)				
	XCHW	AX, rp ^{注4}	1	1	—	—	AX ↔ rp			
	ONEW	AX	1	1	—	—	AX ← 0001H			
BC		1	1	—	—	BC ← 0001H				
CLRW	AX	1	1	—	—	AX ← 0000H				
	BC	1	1	—	—	BC ← 0000H				
8ビット演算	ADD	A, #byte	2	1	—	—	A, CY ← A+byte	x	x	x
		saddr, #byte	3	2	—	—	(saddr), CY ← (saddr)+byte	x	x	x
		A, r ^{注5}	2	1	—	—	A, CY ← A+r	x	x	x
		r, A	2	1	—	—	r, CY ← r+A	x	x	x
		A, saddr	2	1	—	—	A, CY ← A+(saddr)	x	x	x
		A, laddr16	3	1	4	—	A, CY ← A+(addr16)	x	x	x
		A, [HL]	1	1	4	—	A, CY ← A+(HL)	x	x	x
		A, [HL+byte]	2	1	4	—	A, CY ← A+(HL+byte)	x	x	x
		A, [HL+B]	2	1	4	—	A, CY ← A+(HL+B)	x	x	x
		A, [HL+C]	2	1	4	—	A, CY ← A+(HL+C)	x	x	x
		A, ES:laddr16	4	2	5	4	A, CY ← A+(ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	4	A, CY ← A+(ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	4	A, CY ← A+((ES, HL)+byte)	x	x	x
		A, ES:[HL+B]	3	2	5	4	A, CY ← A+((ES, HL)+B)	x	x	x
		A, ES:[HL+C]	3	2	5	4	A, CY ← A+((ES, HL)+C)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. rp = AXを除く。
5. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (7/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	—	A, CY ← A+byte+CY	x	x	x
		saddr, #byte	3	2	—	—	(saddr), CY ← (saddr)+byte+CY	x	x	x
		A, r ^{注4}	2	1	—	—	A, CY ← A+r+CY	x	x	x
		r, A	2	1	—	—	r, CY ← r+A+CY	x	x	x
		A, saddr	2	1	—	—	A, CY ← A+(saddr)+CY	x	x	x
		A, laddr16	3	1	4	—	A, CY ← A+(addr16)+CY	x	x	x
		A, [HL]	1	1	4	—	A, CY ← A+(HL)+CY	x	x	x
		A, [HL+byte]	2	1	4	—	A, CY ← A+(HL+byte)+CY	x	x	x
		A, [HL+B]	2	1	4	—	A, CY ← A+(HL+B)+CY	x	x	x
		A, [HL+C]	2	1	4	—	A, CY ← A+(HL+C)+CY	x	x	x
		A, ES:laddr16	4	2	5	4	A, CY ← A+(ES, addr16)+CY	x	x	x
		A, ES:[HL]	2	2	5	4	A, CY ← A+(ES, HL)+CY	x	x	x
		A, ES:[HL+byte]	3	2	5	4	A, CY ← A+((ES, HL)+byte)+CY	x	x	x
		A, ES:[HL+B]	3	2	5	4	A, CY ← A+((ES, HL)+B)+CY	x	x	x
	A, ES:[HL+C]	3	2	5	4	A, CY ← A+((ES, HL)+C)+CY	x	x	x	
	SUB	A, #byte	2	1	—	—	A, CY ← A-byte	x	x	x
		saddr, #byte	3	2	—	—	(saddr), CY ← (saddr)-byte	x	x	x
		A, r ^{注4}	2	1	—	—	A, CY ← A-r	x	x	x
		r, A	2	1	—	—	r, CY ← r-A	x	x	x
		A, saddr	2	1	—	—	A, CY ← A-(saddr)	x	x	x
		A, laddr16	3	1	4	—	A, CY ← A-(addr16)	x	x	x
		A, [HL]	1	1	4	—	A, CY ← A-(HL)	x	x	x
		A, [HL+byte]	2	1	4	—	A, CY ← A-(HL+byte)	x	x	x
		A, [HL+B]	2	1	4	—	A, CY ← A-(HL+B)	x	x	x
		A, [HL+C]	2	1	4	—	A, CY ← A-(HL+C)	x	x	x
		A, ES:laddr16	4	2	5	4	A, CY ← A-(ES:addr16)	x	x	x
A, ES:[HL]		2	2	5	4	A, CY ← A-(ES:HL)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (8/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	—	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	—	—	$(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte} - CY$	x	x	x
		A, r ^{注4}	2	1	—	—	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	—	—	$r, CY \leftarrow r - A - CY$	x	x	x
		A, saddr	2	1	—	—	$A, CY \leftarrow A - (\text{saddr}) - CY$	x	x	x
		A, laddr16	3	1	4	—	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, [HL]	1	1	4	—	$A, CY \leftarrow A - (\text{HL}) - CY$	x	x	x
		A, [HL+byte]	2	1	4	—	$A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	—	$A, CY \leftarrow A - (\text{HL} + B) - CY$	x	x	x
		A, [HL+C]	2	1	4	—	$A, CY \leftarrow A - (\text{HL} + C) - CY$	x	x	x
		A, ES:laddr16	4	2	5	4	$A, CY \leftarrow A - (\text{ES:addr16}) - CY$	x	x	x
		A, ES:[HL]	2	2	5	4	$A, CY \leftarrow A - (\text{ES:HL}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	4	$A, CY \leftarrow A - ((\text{ES:HL}) + \text{byte}) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	4	$A, CY \leftarrow A - ((\text{ES:HL}) + B) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	4	$A, CY \leftarrow A - ((\text{ES:HL}) + C) - CY$	x	x	x
	AND	A, #byte	2	1	—	—	$A \leftarrow A \ \text{byte}$	x		
		saddr, #byte	3	2	—	—	$(\text{saddr}) \leftarrow (\text{saddr}) \ \text{byte}$	x		
		A, r ^{注4}	2	1	—	—	$A \leftarrow A \ r$	x		
		r, A	2	1	—	—	$r \leftarrow r \ A$	x		
		A, saddr	2	1	—	—	$A \leftarrow A \ (\text{saddr})$	x		
		A, laddr16	3	1	4	—	$A \leftarrow A \ (\text{addr16})$	x		
		A, [HL]	1	1	4	—	$A \leftarrow A \ (\text{HL})$	x		
		A, [HL+byte]	2	1	4	—	$A \leftarrow A \ (\text{HL} + \text{byte})$	x		
		A, [HL+B]	2	1	4	—	$A \leftarrow A \ (\text{HL} + B)$	x		
		A, [HL+C]	2	1	4	—	$A \leftarrow A \ (\text{HL} + C)$	x		
		A, ES:laddr16	4	2	5	4	$A \leftarrow A \ (\text{ES:addr16})$	x		
		A, ES:[HL]	2	2	5	4	$A \leftarrow A \ (\text{ES:HL})$	x		

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. $r = A$ を除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (9/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	—	A ← A byte		x	
		saddr, #byte	3	2	—	—	(saddr) ← (saddr) byte		x	
		A, r ^{注4}	2	1	—	—	A ← A r		x	
		r, A	2	1	—	—	r ← r A		x	
		A, saddr	2	1	—	—	A ← A (saddr)		x	
		A, !addr16	3	1	4	—	A ← A (addr16)		x	
		A, [HL]	1	1	4	—	A ← A (HL)		x	
		A, [HL+byte]	2	1	4	—	A ← A (HL+byte)		x	
		A, [HL+B]	2	1	4	—	A ← A (HL+B)		x	
		A, [HL+C]	2	1	4	—	A ← A (HL+C)		x	
		A, ES:!addr16	4	2	5	4	A ← A (ES:addr16)		x	
		A, ES:[HL]	2	2	5	4	A ← A (ES:HL)		x	
		A, ES:[HL+byte]	3	2	5	4	A ← A ((ES:HL)+byte)		x	
		A, ES:[HL+B]	3	2	5	4	A ← A ((ES:HL)+B)		x	
		A, ES:[HL+C]	3	2	5	4	A ← A ((ES:HL)+C)		x	
	XOR	A, #byte	2	1	—	—	A ← A—byte		x	
		saddr, #byte	3	2	—	—	(saddr) ← (saddr)—byte		x	
		A, r ^{注4}	2	1	—	—	A ← A—r		x	
		r, A	2	1	—	—	r ← r—A		x	
		A, saddr	2	1	—	—	A ← A—(saddr)		x	
		A, !addr16	3	1	4	—	A ← A—(addr16)		x	
		A, [HL]	1	1	4	—	A ← A—(HL)		x	
		A, [HL+byte]	2	1	4	—	A ← A—(HL+byte)		x	
		A, [HL+B]	2	1	4	—	A ← A—(HL+B)		x	
		A, [HL+C]	2	1	4	—	A ← A—(HL+C)		x	
		A, ES:!addr16	4	2	5	4	A ← A—(ES:addr16)		x	
		A, ES:[HL]	2	2	5	4	A ← A—(ES:HL)		x	
A, ES:[HL+byte]	3	2	5	4	A ← A—((ES:HL)+byte)		x			
A, ES:[HL+B]	3	2	5	4	A ← A—((ES:HL)+B)		x			
A, ES:[HL+C]	3	2	5	4	A ← A—((ES:HL)+C)		x			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (10/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	—	A - byte	x	x	x
		saddr, #byte	3	1	—	—	(saddr) - byte	x	x	x
		A, r ^{注4}	2	1	—	—	A - r	x	x	x
		r, A	2	1	—	—	r - A	x	x	x
		A, saddr	2	1	—	—	A - (saddr)	x	x	x
		A, !addr16	3	1	4	—	A - (addr16)	x	x	x
		A, [HL]	1	1	4	—	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	—	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	—	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	—	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	—	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	4	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	4	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	4	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	4	A - ((ES:HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	4	A - ((ES:HL) + C)	x	x	x
	ES:!addr16, #byte	5	2	5	4	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	—	—	A - 00H	x	x	x
		X	1	1	—	—	X - 00H	x	x	x
		B	1	1	—	—	B - 00H	x	x	x
		C	1	1	—	—	C - 00H	x	x	x
		saddr	2	1	—	—	(saddr) - 00H	x	x	x
		!addr16	3	1	4	—	(addr16) - 00H	x	x	x
ES:!addr16		4	2	5	4	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	—	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	4	X - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (11/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	—	—	AX, CY ← AX+word	×	×	×
		AX, AX	1	1	—	—	AX, CY ← AX+AX	×	×	×
		AX, BC	1	1	—	—	AX, CY ← AX+BC	×	×	×
		AX, DE	1	1	—	—	AX, CY ← AX+DE	×	×	×
		AX, HL	1	1	—	—	AX, CY ← AX+HL	×	×	×
		AX, saddrp	2	1	—	—	AX, CY ← AX+(saddrp)	×	×	×
		AX, !addr16	3	1	4	—	AX, CY ← AX+(addr16)	×	×	×
		AX, [HL+byte]	3	1	4	—	AX, CY ← AX+(HL+byte)	×	×	×
		AX, ES:!addr16	4	2	5	4	AX, CY ← AX+(ES:addr16)	×	×	×
		AX, ES: [HL+byte]	4	2	5	4	AX, CY ← AX+((ES:HL)+byte)	×	×	×
	SUBW	AX, #word	3	1	—	—	AX, CY ← AX-word	×	×	×
		AX, BC	1	1	—	—	AX, CY ← AX-BC	×	×	×
		AX, DE	1	1	—	—	AX, CY ← AX-DE	×	×	×
		AX, HL	1	1	—	—	AX, CY ← AX-HL	×	×	×
		AX, saddrp	2	1	—	—	AX, CY ← AX-(saddrp)	×	×	×
		AX, !addr16	3	1	4	—	AX, CY ← AX-(addr16)	×	×	×
		AX, [HL+byte]	3	1	4	—	AX, CY ← AX-(HL+byte)	×	×	×
		AX, ES:!addr16	4	2	5	4	AX, CY ← AX-(ES:addr16)	×	×	×
		AX, ES: [HL+byte]	4	2	5	4	AX, CY ← AX-((ES:HL)+byte)	×	×	×
	CMPW	AX, #word	3	1	—	—	AX-word	×	×	×
		AX, BC	1	1	—	—	AX-BC	×	×	×
		AX, DE	1	1	—	—	AX-DE	×	×	×
		AX, HL	1	1	—	—	AX-HL	×	×	×
		AX, saddrp	2	1	—	—	AX-(saddrp)	×	×	×
		AX, !addr16	3	1	4	—	AX-(addr16)	×	×	×
		AX, [HL+byte]	3	1	4	—	AX-(HL+byte)	×	×	×
		AX, ES:!addr16	4	2	5	4	AX-(ES:addr16)	×	×	×
AX, ES: [HL+byte]		4	2	5	4	AX-((ES:HL)+byte)	×	×	×	
乗算	MULU	X	1	1	—	—	AX ← A×X			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (12/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
増減	INC	r	1	1	—	—	$r \leftarrow r + 1$	×	×	
		saddr	2	2	—	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		laddr16	3	2	—	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		[HL+byte]	3	2	—	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES:laddr16	4	3	—	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		ES: [HL+byte]	4	3	—	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	—	$r \leftarrow r - 1$	×	×	
		saddr	2	2	—	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		laddr16	3	2	—	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		[HL+byte]	3	2	—	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES:laddr16	4	3	—	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		ES: [HL+byte]	4	3	—	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	—	$rp \leftarrow rp + 1$			
		saddrp	2	2	—	—	$(saddrp) \leftarrow (saddrp) + 1$			
		laddr16	3	2	—	—	$(addr16) \leftarrow (addr16) + 1$			
		[HL+byte]	3	2	—	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES:laddr16	4	3	—	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		ES: [HL+byte]	4	3	—	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	—	$rp \leftarrow rp - 1$			
		saddrp	2	2	—	—	$(saddrp) \leftarrow (saddrp) - 1$			
		laddr16	3	2	—	—	$(addr16) \leftarrow (addr16) - 1$			
[HL+byte]		3	2	—	—	$(HL + byte) \leftarrow (HL + byte) - 1$				
ES:laddr16		4	3	—	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$				
ES: [HL+byte]		4	3	—	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$				
シフト	SHR	A, cnt	2	1	—	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
SARW	AX, cnt	2	1	—	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。
3. cntはビット・シフト数です。

表28-5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
ローデータ	ROR	A, 1	2	1	—	—	$(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1$			x
	ROL	A, 1	2	1	—	—	$(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1$			x
	RORC	A, 1	2	1	—	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			x
	ROLC	A, 1	2	1	—	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			x
	ROLWC	AX, 1	2	1	—	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			x
BC, 1		2	1	—	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			x	
ビット操作	MOV1	CY, saddr.bit	3	1	—	—	$CY \leftarrow (saddr).bit$			x
		CY, sfr.bit	3	1	—	—	$CY \leftarrow sfr.bit$			x
		CY, A.bit	2	1	—	—	$CY \leftarrow A.bit$			x
		CY, PSW.bit	3	1	—	—	$CY \leftarrow PSW.bit$			x
		CY, [HL].bit	2	1	4	—	$CY \leftarrow (HL).bit$			x
		saddr.bit, CY	3	2	—	—	$(saddr).bit \leftarrow CY$			
		sfr.bit, CY	3	2	—	—	$sfr.bit \leftarrow CY$			
		A.bit, CY	2	1	—	—	$A.bit \leftarrow CY$			
		PSW.bit, CY	3	4	—	—	$PSW.bit \leftarrow CY$	x	x	
		[HL].bit, CY	2	2	—	—	$(HL).bit \leftarrow CY$			
	CY, ES:[HL].bit	3	2	5	4	$CY \leftarrow (ES, HL).bit$			x	
	ES:[HL].bit, CY	3	3	—	—	$(ES, HL).bit \leftarrow CY$				
	AND1	CY, saddr.bit	3	1	—	—	$CY \leftarrow CY (saddr).bit$			x
CY, sfr.bit		3	1	—	—	$CY \leftarrow CY sfr.bit$			x	
CY, A.bit		2	1	—	—	$CY \leftarrow CY A.bit$			x	
CY, PSW.bit		3	1	—	—	$CY \leftarrow CY PSW.bit$			x	
CY, [HL].bit		2	1	4	—	$CY \leftarrow CY (HL).bit$			x	
CY, ES:[HL].bit		3	2	5	4	$CY \leftarrow CY (ES, HL).bit$			x	
OR1	CY, saddr.bit	3	1	—	—	$CY \leftarrow CY (saddr).bit$			x	
	CY, sfr.bit	3	1	—	—	$CY \leftarrow CY sfr.bit$			x	
	CY, A.bit	2	1	—	—	$CY \leftarrow CY A.bit$			x	
	CY, PSW.bit	3	1	—	—	$CY \leftarrow CY PSW.bit$			x	
	CY, [HL].bit	2	1	4	—	$CY \leftarrow CY (HL).bit$			x	
	CY, ES:[HL].bit	3	2	5	4	$CY \leftarrow CY (ES, HL).bit$			x	

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ（CKC）で選択したCPUクロック（f_{CLK}）の1クロック分です。

2. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (14/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	—	—	$CY \leftarrow \overline{CY} \text{ (saddr).bit}$			x
		CY, sfr.bit	3	1	—	—	$CY \leftarrow \overline{CY} \text{ sfr.bit}$			x
		CY, A.bit	2	1	—	—	$CY \leftarrow \overline{CY} \text{ A.bit}$			x
		CY, PSW.bit	3	1	—	—	$CY \leftarrow \overline{CY} \text{ PSW.bit}$			x
		CY, [HL].bit	2	1	4	—	$CY \leftarrow \overline{CY} \text{ (HL).bit}$			x
		CY, ES:[HL].bit	3	2	5	4	$CY \leftarrow \overline{CY} \text{ (ES, HL).bit}$			x
	SET1	saddr.bit	3	2	—	—	$\text{(saddr).bit} \leftarrow 1$			
		sfr.bit	3	2	—	—	$\text{sfr.bit} \leftarrow 1$			
		A.bit	2	1	—	—	$\text{A.bit} \leftarrow 1$			
		!addr16.bit	4	2	—	—	$\text{(addr16).bit} \leftarrow 1$			
		PSW.bit	3	4	—	—	$\text{PSW.bit} \leftarrow 1$	x	x	x
		[HL].bit	2	2	—	—	$\text{(HL).bit} \leftarrow 1$			
		ES:!addr16.bit	5	3	—	—	$\text{(ES, addr16).bit} \leftarrow 1$			
		ES:[HL].bit	3	3	—	—	$\text{(ES, HL).bit} \leftarrow 1$			
	CLR1	saddr.bit	3	2	—	—	$\text{(saddr).bit} \leftarrow 0$			
		sfr.bit	3	2	—	—	$\text{sfr.bit} \leftarrow 0$			
		A.bit	2	1	—	—	$\text{A.bit} \leftarrow 0$			
		!addr16.bit	4	2	—	—	$\text{(addr16).bit} \leftarrow 0$			
		PSW.bit	3	4	—	—	$\text{PSW.bit} \leftarrow 0$	x	x	x
		[HL].bit	2	2	—	—	$\text{(HL).bit} \leftarrow 0$			
		ES:!addr16.bit	5	3	—	—	$\text{(ES, addr16).bit} \leftarrow 0$			
ES:[HL].bit		3	3	—	—	$\text{(ES, HL).bit} \leftarrow 0$				
SET1	CY	2	1	—	—	$CY \leftarrow 1$			1	
CLR1	CY	2	1	—	—	$CY \leftarrow 0$			0	
NOT1	CY	2	1	—	—	$CY \leftarrow \overline{CY}$			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (15/17)

命令群	ニモニク	オペランド	バイト	クロック			オペレーション	フラグ			
				注1	注2	注3		Z	AC	CY	
コール・リターン	CALL	rp	2	3	—	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC ← CS, rp, SP ← SP-4				
		\$!addr20	3	3	—	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← PC+3+jdisp16, SP ← SP-4				
		laddr16	3	3	—	—	(SP-2) ← (PC+3) _s , (SP-3) ← (PC+3) _H , (SP-4) ← (PC+3) _L , PC ← 0000, addr16, SP ← SP-4				
		!!addr20	4	3	—	—	(SP-2) ← (PC+4) _s , (SP-3) ← (PC+4) _H , (SP-4) ← (PC+4) _L , PC ← addr20, SP ← SP-4				
		CALLT	[addr5]	2	5	—	—	(SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0000, addr5+1), PC _L ← (0000, addr5), SP ← SP-4			
		BRK	—	2	5	—	—	(SP-1) ← PSW, (SP-2) ← (PC+2) _s , (SP-3) ← (PC+2) _H , (SP-4) ← (PC+2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP-4, IE ← 0			
		RET	—	1	6	—	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), SP ← SP+4			
	RETI	—	2	6	—	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R	
	RETB	—	2	6	—	—	PC _L ← (SP), PC _H ← (SP+1), PC _s ← (SP+2), PSW ← (SP+3), SP ← SP+4	R	R	R	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表28-5 オペレーション一覧 (16/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	—	(SP-1) ← PSW, (SP-2) ← 00H, SP ← SP-2			
		rp	1	1	—	—	(SP-1) ← rp _H , (SP-2) ← rp _L , SP ← SP-2			
	POP	PSW	2	3	—	—	PSW ← (SP+1), SP ← SP+2	R	R	R
		rp	1	1	—	—	rp _L ← (SP), rp _H ← (SP+1), SP ← SP+2			
	MOVW	SP, #word	4	1	—	—	SP ← word			
		SP, AX	2	1	—	—	SP ← AX			
		AX, SP	2	1	—	—	AX ← SP			
		HL, SP	3	1	—	—	HL ← SP			
		BC, SP	3	1	—	—	BC ← SP			
		DE, SP	3	1	—	—	DE ← SP			
ADDW	SP, #byte	2	1	—	—	SP ← SP+byte				
SUBW	SP, #byte	2	1	—	—	SP ← SP-byte				
無条件分岐	BR	AX	2	3	—	—	PC ← CS, AX			
		\$addr20	2	3	—	—	PC ← PC+2+jdisp8			
		!addr20	3	3	—	—	PC ← PC+3+jdisp16			
		!addr16	3	3	—	—	PC ← 0000, addr16			
		!!addr20	4	3	—	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注4}	—	—	PC ← PC+2+jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注4}	—	—	PC ← PC+2+jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注4}	—	—	PC ← PC+2+jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注4}	—	—	PC ← PC+2+jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注4}	—	—	PC ← PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注4}	—	—	PC ← PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注4}	—	—	PC ← PC+3+jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注4}	6/7	—	PC ← PC+3+jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注4}	7/8	6/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表28-5 オペレーション一覧 (17/17)

命令群	ニモニック	オペランド	バイト	クロック			オペレーション	フラグ		
				注1	注2	注3		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注4}	—	—	PC ← PC+3+jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注4}	6/7	—	PC ← PC+3+jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注4}	7/8	6/8	PC ← PC+4+jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注4}	—	—	PC ← PC+3+jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注4}	—	—	PC ← PC+4+jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5 ^{注4}	—	—	PC ← PC+3+jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注4}	—	—	PC ← PC+4+jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	—	Next instruction skip if (Z CY)=0			
	SKNH	—	2	1	—	—	Next instruction skip if (Z CY)=1			
CPU制御	SEL	Rb _n	2	1	—	—	RBS[1:0] ← n			
	NOP	—	1	1	—	—	No Operation			
	EI	—	3	4	—	—	IE ← 1(Enable Interrupt)			
	DI	—	3	4	—	—	IE ← 0(Disable Interrupt)			
	HALT	—	2	3	—	—	Set HALT Mode			
	STOP	—	2	3	—	—	Set STOP Mode			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. データ・フラッシュ・メモリ領域をアクセスしたとき。
4. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。
3. nはレジスタ・バンク数です (n = 0-3)。

第29章 電気的特性

注意1. 78K0R/Hx3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のように異なります。

(1) ポート機能

ポート	78K0R/HC3	78K0R/HE3	78K0R/HF3	78K0R/HG3
	48ピン	64ピン	80ピン	100ピン
ポート0	P00		P00-P02	P00-P03
ポート1	P10-P17			
ポート3	P30-P32			
ポート4	P40, P41	P40-P43	P40-P47	
ポート5	—	P50-P53	P50-P57	
ポート6	P60-P63		P60-P67	
ポート7	P70-P73	P70-P77		
ポート8	P80-P87			
ポート9	P90-P92	P90-P96	P90-P97	
ポート10	—			P100-P107
ポート12	P120-P125		P120-P126	P120-P127
ポート13	P130			
ポート14	P140			
ポート15	—			P150-P157

(次ページに、続きの表があります)

(2) ポート以外の機能

機能	78K0R/HC3	78K0R/HE3	78K0R/HF3	78K0R/HG3
	48ピン	64ピン	80ピン	100ピン
	μ PD78F1031-78F1035	μ PD78F1036-78F1040	μ PD78F1041-78F1045	μ PD78F1046-78F1050
電源, グランド	V _{DD} , EV _{DD} , V _{SS} , EV _{SS} , AV _{REF} , AV _{SS}			V _{DD} , EV _{DD0} , EV _{DD1} , V _{SS} , EV _{SS0} , EV _{SS1} , AV _{REF} , AV _{SS}
レギュレータ	REGC			
リセット	RESET			
クロック発振	X1, X2, EXCLK, EXCLKS			
フラッシュ書き込み	FLMD0			
割り込み	INTP0-INTP7		INTP0-INTP8	
キー割り込み	KR0-KR3	KR0-KR7		
タイム・アレイ・ユニット	TAU0	TI00-TI07, TO00-TO07		
	TAU1	TI10-TI17, TO10-TO17		
	TAU2	—	TI20-TI23, TO20-TO23	TI20-TI27, TO20-TO27
シリアル・アレイ・ユニット	CSI00	SCK00, SI00, SO00, SSI00		
	CSI01	—	SCK01, SI01, SO01, SSI01	
	CSI10	SCK10, SI10, SO10		
	CSI11	—		SCK11, SI11, SO11
	IIC11	SCL11, SDA11		
	UART2	—	TxD2, RxD2, INTPR2	
	IIC20	—	SDA20, SCL20	
LIN-UART	LTxD0, LTxD1, LRxD0, LRxD1, INTPLR0, INTPLR1			
CANコントローラ	CTxD, CRxD			
A/Dコンバータ	ANI00-ANI11, ADTRG	ANI00-ANI14, ADTRG	ANI00-ANI15, ADTRG	ANI00-ANI23, ADTRG
クロック出力	PCL			
リセット出力	RESOUT			
LVI回路	EXLVI, LVIOUT			
オンチップ・デバッグ機能	TOOL0, TOOL1			

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD} , EV _{DD0} , EV _{DD1}	EV _{DD} = EV _{DD0} = EV _{DD1}	-0.5~+6.5	V
	V _{SS}		-0.5~+0.3	V
	EV _{SS} , EV _{SS0} , EV _{SS1}	EV _{SS} = EV _{SS0} = EV _{SS1}	-0.5~+0.3	V
	AV _{REF}		-0.5~V _{DD} +0.3 ^{注1}	V
	AV _{SS}		-0.5~+0.3	V
	REGC端子入力電圧	V _{I_{REGC}}	REGC	-0.3~3.6 かつ-0.3~V _{DD} +0.3 ^{注2}
入力電圧	V _{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120-P127, P140, P150-P157, EXCLK, EXCLKS, RESET, FLMD0	-0.3~EV _{DD} = EV _{DD0} = EV _{DD1} +0.3 かつ-0.3~V _{DD} +0.3 ^{注1}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	-0.3~+6.5	V
	V _{I3}	P80-P87, P90-P97, P100-P107	-0.3~AV _{REF} +0.3 かつ-0.3~V _{DD} +0.3 ^{注1}	V
出力電圧	V _{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P120-P127, P130, P140, P150-P157	-0.3~EV _{DD} = EV _{DD0} = EV _{DD1} +0.3 ^{注1}	V
	V _{O2}	P80-P87, P90-P97, P100-P107	-0.3~AV _{REF} +0.3	V
アナログ入力電圧	V _{AN}	ANI00-ANI23	-0.3~AV _{REF} +0.3 ^{注1} かつ-0.3~V _{DD} +0.3 ^{注1}	V

注1. 6.5 V以下であること。

2. REGC端子にはコンデンサ (0.47~1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157	-10	mA
		端子合計 -80 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	-25	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157	-55	mA
	I _{OH2}	1端子	P80-P87, P90-P97, P100-P107	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	I _{OL1}	1端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157	30	mA
		端子合計 200 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	60	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P130, P140, P154-P157	140	mA
	I _{OL2}	1端子	P80-P87, P90-P97, P100-P107	1	mA
		端子合計		9	mA
動作周囲温度	T _A	通常動作時		-40~+85	
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			-65~+150	

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (fx) 注	AMPH = 0	2.0		10.0	MHz
			AMPH = 1	2.0		20.0	
水晶振動子		X1クロック発振周波数 (fx) 注	AMPH = 0	2.0		10.0	MHz
			AMPH = 1	2.0		20.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

発振子	略号	条 件	MIN.	TYP.	MAX.	単位
高速内蔵発振器 (高精度)	f_{IH8M}	SEL4M = 0	7.84	8.0	8.16	MHz
	f_{IH4M}	SEL4M = 1	3.92	4.0	4.08	MHz
低速内蔵発振器	f_{IL}		27	30	33	kHz

PLL回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項 目	略号	条 件	MIN.	TYP.	MAX.	単位	
PLL入力可能クロック 周波数	f_{PLLI}	高速内蔵発振クロック 選択時	PLLDIV0 = 0		f_{IH4M}		MHz
			PLLDIV0 = 1		f_{IH8M}		MHz
	高速システム・クロック 選択時	PLLDIV0 = 0		3.92	4.00	4.08	MHz
		PLLDIV0 = 1		7.84	8.00	8.16	MHz
PLL出力周波数セン ター値	f_{PLLO}	OPTPLL = 0		$f_{PLLI}/2^{PLL DIV0} \times 8/2^{PLL DIV1}$		MHz	
		OPTPLL = 1		$f_{PLLI}/2^{PLL DIV0} \times 6/2^{PLL DIV1}$		MHz	
ロングターム・ジッ タ ^{注1}	TLJ	$f_{PLLO} = 24 \text{ MHz}$, 480 count ^{注2}				± 2.0	ns
		$f_{PLLO} = 16 \text{ MHz}$, 320 count ^{注2}				± 2.0	ns

注1. 電源、入力クロックが安定した状態の値です。電源、入力クロック変動によって発生する場合の誤差は含みません。

2. 20 μs の期間を意味します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/12)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157 1端子	注3			-3.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157 上記端子のうち6本まで 1端子	注3			-5.0	mA
		P10, P12, P30, P74, P76, P140 1端子	注4			-0.6	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 (デューティ = 70 %以下のとき ^{注2})				-20.0	mA
	P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157 合計 (デューティ = 70 %以下のとき ^{注2})				-44.0	mA	
	全端子合計 (デューティ = 60 %以下のとき ^{注2})				-50.0	mA	
	IOH2	P80-P87, P90-P97, P100-P107 1端子	$AV_{REF} = V_{DD}$			-0.1	mA
	P80-P87, P90-P97, P100-P107 合計	$AV_{REF} = V_{DD}$			-2.0	mA	

注1. EV_{DD} , EV_{DD0} , EV_{DD1} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (60 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りません)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.6) \div (n \times 0.01)$$

<計算例> $I_{OH1} = -50.0$ mAの場合, $n = 80$ %

$$\text{端子合計の出力電流} = (-50.0 \times 0.6) \div (80 \times 0.01) = -37.5 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. P10, P12, P30, P74, P76, P140の出力スルー・レートは通常モード

4. P10, P12, P30, P74, P76, P140の出力スルー・レートはスロー・モード

注意 P42, P43, P72, P74, P76は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/12)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157 1端子	注3			8.5	mA
		P60-P63 1端子				15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157 上記端子のうち6本まで 1端子	注3			10.0	mA
		P10, P12, P30, P74, P76, P140 1端子	注4			0.59	mA
	P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 (デューティ = 70 %以下のとき ^{注2})				24.0	mA	
	P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P130, P140, P154-P157 合計 (デューティ = 70 %以下のとき ^{注2})				60.0	mA	
	全端子合計 (デューティ = 60 %以下のとき ^{注2})				80.0	mA	
	I _{OL2}	P80-P87, P90-P97, P100-P107 1端子	$AV_{REF} = V_{DD}$			0.4	mA
P80-P87, P90-P97, P100-P107 合計		$AV_{REF} = V_{DD}$			8.0	mA	

注1. 出力端子からEV_{SS}, EV_{SS0}, EV_{SS1}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 60 %以下または70 %以下の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (60 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りません)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.6) / (n \times 0.01)$$

<計算例> I_{OL1} = 80.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (80.0 \times 0.6) / (80 \times 0.01) = 60.0 \text{ mA}$$

ただし、1端子当りに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. P10, P12, P30, P74, P76, P140の出力スルー・レートは通常モード

4. P10, P12, P30, P74, P76, P140の出力スルー・レートはスロー・モード

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} < 4.0$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157 1端子	注3			-1.0	mA
		P10, P12, P30, P74, P76, P140 1端子	注4			-0.2	mA
	P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 (デューティ = 70 %以下のとき ^{注2})				-10.0	mA	
	P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157 合計 (デューティ = 70 %以下のとき ^{注2})				-20.0	mA	
	全端子合計 (デューティ = 60 %以下のとき ^{注2})				-30.0	mA	
	I _{OH2}	P80-P87, P90-P97, P100-P107 1端子	$AV_{REF} = V_{DD}$			-0.1	mA
	P80-P87, P90-P97, P100-P107 合計	$AV_{REF} = V_{DD}$			-2.0	mA	

注1. EV_{DD} , EV_{DD0} , EV_{DD1} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %以下または70 %以下の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (60 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りませぬ)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.6) \div (n \times 0.01)$$

<計算例> $I_{OH1} = -30.0$ mAの場合, $n = 80$ %

$$\text{端子合計の出力電流} = (-30.0 \times 0.6) \div (80 \times 0.01) = -22.5 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せませぬ。

3. P10, P12, P30, P74, P76, P140の出力スルー・レートは通常モード
4. P10, P12, P30, P74, P76, P140の出力スルー・レートはスロー・モード

注意 P42, P43, P72, P74, P76は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しませぬ。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} < 4.0$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157 1端子	注3			1.0	mA
		P10, P12, P30, P74, P76, P140 1端子	注4			0.07	mA
		P60-P63 1端子				3.0	mA
	P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 (デューティ = 70 %以下のとき ^{注2})				21.0	mA	
	P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P130, P140, P154-P157 合計 (デューティ = 70 %以下のとき ^{注2})				53.0	mA	
	全端子合計 (デューティ = 60 %以下のとき ^{注2})				70.0	mA	
	I _{OL2}	P80-P87, P90-P97, P100-P107 1端子	$AV_{REF} = V_{DD}$			0.4	mA
P80-P87, P90-P97, P100-P107 合計		$AV_{REF} = V_{DD}$			8.0	mA	

注1. 出力端子からEV_{SS}, EV_{SS0}, EV_{SS1}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 60 %以下または70 %以下の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます (60 %のデューティをn %に変更する場合。ただし、元のデューティ < nに限りません)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.6) / (n \times 0.01)$$

<計算例> I_{OL1} = 70.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (70.0 \times 0.6) / (80 \times 0.01) = 52.5 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. P10, P12, P30, P74, P76, P140の出力スルー・レートは通常モード

4. P10, P12, P30, P74, P76, P140の出力スルー・レートはスロー・モード

注意 P42, P43, P72, P74, P76は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/12)

($T_A = -40 \sim +85$, $2.7 \text{ V} < V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} < 5.5 \text{ V}$, $AV_{REF} < V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P72, P74, P120, P125-P127, P140, P150-P157	4.0 V $V_{DD} < 5.5 \text{ V}$	0.65V _{DD}		V _{DD}	V
			2.7 V $V_{DD} < 4.0 \text{ V}$	0.7V _{DD}		V _{DD}	V
	V _{IH2}	P73, P75-P77	通常入力バッファ 4.0 V $V_{DD} < 5.5 \text{ V}$	0.65V _{DD}		V _{DD}	V
			通常入力バッファ 2.7 V $V_{DD} < 4.0 \text{ V}$	0.7V _{DD}		V _{DD}	V
	V _{IH3}	P73, P75-P77	TTL入力バッファ 4.0 V $V_{DD} < 5.5 \text{ V}$	2.2		V _{DD}	V
			TTL入力バッファ 2.7 V $V_{DD} < 4.0 \text{ V}$	2.0		V _{DD}	V
	V _{IH4}	P121-P124, $\overline{\text{RESET}}$		0.8V _{DD}		V _{DD}	V
	V _{IH5}	P80-P87, P90-P97, P100-P107	2.7 V $AV_{REF} < V_{DD} < 5.5 \text{ V}$	0.8AV _{REF}		AV _{REF}	V
	V _{IH6}	P60-P63	通常入力バッファ 4.0 V $V_{DD} < 5.5 \text{ V}$	0.65V _{DD}		6.0	V
			通常入力バッファ 2.7 V $V_{DD} < 4.0 \text{ V}$	0.7V _{DD}		6.0	V
	V _{IH7}	P60, P61, P63	TTL入力バッファ 4.0 V $V_{DD} < 5.5 \text{ V}$	2.2		6.0	V
			TTL入力バッファ 2.7 V $V_{DD} < 4.0 \text{ V}$	2.0		6.0	V
V _{IH8}	FLMD0		0.9V _{DD} ^注		V _{DD}	V	

注 フラッシュ・メモリ・プログラミング・モードで使用するとき、0.9V_{DD}以上にする必要があります。

注意 P42, P43, P72, P74, P76は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はV_{DD}です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (6/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル入力電圧	V _{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P72, P74, P120, P125-P127, P140, P150-P157	4.0 V V_{DD} 5.5 V	0		0.35V _{DD}	V
			2.7 V $V_{DD} < 4.0$ V	0		0.3V _{DD}	V
	V _{IL2}	P73, P75-P77	通常入力バッファ 4.0 V V_{DD} 5.5 V	0		0.35V _{DD}	V
			通常入力バッファ 2.7 V $V_{DD} < 4.0$ V	0		0.3V _{DD}	V
	V _{IL3}	P73, P75-P77	TTL入力バッファ 4.0 V V_{DD} 5.5 V	0		0.8	V
			TTL入力バッファ 2.7 V $V_{DD} < 4.0$ V	0		0.5	V
	V _{IL4}	P121-P124, \overline{RESET}		0		0.2V _{DD}	V
	V _{IL5}	P80-P87, P90-P97, P100-P107	4.0 V AV_{REF} V_{DD} 5.5 V	0		0.5AV _{REF}	V
			2.7 V $AV_{REF} = V_{DD} < 4.0$ V	0		0.4AV _{REF}	V
	V _{IL6}	P60-P63	通常入力バッファ 4.0 V V_{DD} 5.5 V	0		0.35V _{DD}	V
			通常入力バッファ 2.7 V $V_{DD} < 4.0$ V	0		0.3V _{DD}	V
	V _{IL7}	P60, P61, P63	TTL入力バッファ 4.0 V V_{DD} 5.5 V	0		0.8	V
			TTL入力バッファ 2.7 V $V_{DD} < 4.0$ V	0		0.5	V
	V _{IL8}	FLMD0 ^注		0		0.1V _{DD}	V

注 フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接V_{SS}へ接続し、0.1V_{DD}以下の電圧を保つようにしてください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (7/12)

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル 出力電圧	V _{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P130, P140, P150-P157	注1	4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OH1} = -3.0 \text{ mA}$			V		
				2.7 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OH1} = -1.0 \text{ mA}$			V		
	V _{OH2}	P80-P87, P90-P97, P100-P107		$AV_{REF} = V_{DD}$, $I_{OH2} = -0.1 \text{ mA}$		$V_{DD} - 0.5$		V	
	V _{OH3}	P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157 上記端子のうち6本まで	注1	4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OH1} = -5.0 \text{ mA}$			$V_{DD} - 1.0$	V	
	V _{OH4}	P10, P12, P30, P74, P76, P140	注2	4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OH1} = -0.6 \text{ mA}$			$V_{DD} - 0.8$	V	
				2.7 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OH1} = -0.2 \text{ mA}$			$V_{DD} - 0.5$	V	
ロウ・レベル 出力電圧	V _{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120-P127, P130, P140, P150-P157	注1	4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 8.5 \text{ mA}$			0.7	V	
				2.7 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 1.0 \text{ mA}$			0.5	V	
	V _{OL2}	P80-P87, P90-P97, P100-P107		$AV_{REF} = V_{DD}$, $I_{OL2} = 0.4 \text{ mA}$			0.4	V	
	V _{OL3}	P60-P63		4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 15.0 \text{ mA}$				2.0	V
				4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 5.0 \text{ mA}$				0.4	V
				2.7 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 3.0 \text{ mA}$				0.4	V
	V _{OL4}	P00, P03, P10-P17, P30-P32, P50-P57, P64-P67, P70-P77, P130, P140, P154-P157 上記端子のうち6本まで	注1	4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 10.0 \text{ mA}$				1.0	V
	V _{OL5}	P10, P12, P30, P74, P76, P140	注2	4.0 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 0.59 \text{ mA}$				0.8	V
				2.7 V $V_{DD} \leq 5.5 \text{ V}$, $I_{OL1} = 0.07 \text{ mA}$				0.5	V

注1. P10, P12, P30, P74, P76, P140の出力スルー・レートは通常モード

2. P10, P12, P30, P74, P76, P140の出力スルー・レートはスロー・モード

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (8/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位		
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120-P127, P140, P150-P157, FLMD0, \overline{RESET}	$V_i = V_{DD}$			1	μA	
	I _{LIH2}	P80-P87, P90-P97, P100-P107	$V_i = AV_{REF}$, $AV_{REF} = V_{DD}$			1	μA	
	I _{LIH3}	P121-P124 (X1, X2, EXCLK, EXCLKS)	$V_i = V_{DD}$ 入力ポート時				1	μA
			外部クロック・モード時 (EXCLK, EXCLKS)				1	μA
			発振子接続時 (X1, X2)				10	μA
I _{LIH4}	P60-P63	$V_{DD} < V_i$ 6.0 V 内蔵プルアップ接続				5	μA	
		内蔵プルアップ非接続				1	μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P120-P127, P140, P150-P157, FLMD0, \overline{RESET}	$V_i = V_{SS}$			-1	μA	
			$V_i = V_{SS}$, $AV_{REF} = V_{DD}$				-1	μA
	I _{LIL3}	P121-P124 (X1, X2, EXCLK, EXCLKS)	$V_i = V_{SS}$ 入力ポート時				-1	μA
			外部クロック・モード時 (EXCLK, EXCLKS)				-1	μA
発振子接続時 (X1, X2)						-10	μA	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

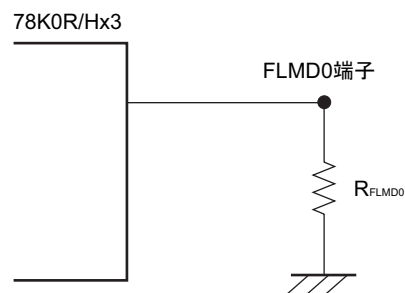
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (9/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
内蔵プルアップ抵抗	RU1	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P64-P67, P70-P77, P120, P125-P127, P140, P150-P157	$V_i = V_{SS}$, 入力ポート時	10	20	40	k Ω
	RU2	P60-P63	$V_i = V_{SS}$	15	27	50	k Ω
FLMD0端子 外付けプルダウン抵抗 ^注	R _{FLMD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			k Ω	

注 FLMD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、R_{FLMD0}を100 k Ω 以上にしてください。



備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (10/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流	I_{DD1} 注1	動作 モード	$f_{CLK} = 24 \text{ MHz}$ 注2, 3, 5	$f_{MX} = 8 \text{ MHz}$,	方形波入力		9.5	20	mA
				$f_{CLK} = f_{MX} \times 3$	発振子接続		9.6	20	
				$f_{IH} = 8 \text{ MHz}$, $f_{CLK} = f_{IH} \times 3$, aFCAN停止			9.5	18	
				$f_{IH} = 4 \text{ MHz}$, $f_{CLK} = f_{IH} \times 6$, aFCAN停止			9.5	18	
			$f_{CLK} = 20 \text{ MHz}$ 注2, 3, 5	$f_{MX} = 20 \text{ MHz}$,	方形波入力		7.5	15	mA
				$f_{CLK} = f_{MX}$, PLL停止, aFCAN停止	発振子接続		7.8	15	
			$f_{CLK} = 10 \text{ MHz}$ 注2, 3, 5	$f_{MX} = 10 \text{ MHz}$,	方形波入力		4.1	8.0	mA
				$f_{CLK} = f_{MX}$, PLL停止, aFCAN停止	発振子接続		4.2	8.0	
			$f_{CLK} = 8 \text{ MHz}$ 注2, 3, 5	$f_{MX} = 8 \text{ MHz}$,	方形波入力		3.2	7.5	mA
				$f_{CLK} = f_{MX}$, PLL停止	発振子接続		3.4	7.5	
				$f_{IH} = 8 \text{ MHz}$, $f_{CLK} = f_{IH}$, PLL停止, aFCAN停止			3.3	6.5	
			$f_{CLK} = 4 \text{ MHz}$ 注2, 3, 5	$f_{MX} = 4 \text{ MHz}$,	方形波入力		1.7	3.5	mA
$f_{CLK} = f_{MX}$, PLL停止, aFCAN停止	発振子接続			1.8	3.5				
$f_{IH} = 4 \text{ MHz}$, $f_{CLK} = f_{IH}$, PLL停止, aFCAN停止				1.7	3.5				
$f_{CLK} = f_{IL}$	PLL 停止 aFCAN 停止	$T_A = -40 \sim +70$ 注2, 3, 5			12	40	μA		
		$T_A = -40 \sim +85$ 注3, 4, 5			14	50			

注1. V_{DD} , EV_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。

2. TYP.は $T_A = +25$, $V_{DD} = 5.0 \text{ V}$ の場合です。周辺停止状態かつデータ・フラッシュは停止です。
3. MAX.は全周辺動作状態です。ただし、A/Dコンバータ、LVI回路、データ・フラッシュは停止かつコード・フラッシュはリード状態です。16ビット・ウエイクアップ・タイマは、 f_{IL} で動作。
4. TYP.は $T_A = +70$, $V_{DD} = 5.0 \text{ V}$ の場合です。周辺停止状態かつデータ・フラッシュは停止です。
5. f_{IL} と f_{CLK} に選択されている以外のクロックは停止です。I/Oバッファに流れる電流は含みません。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
3. f_{IH} : 高速内蔵発振クロック周波数
4. f_{IL} : 低速内蔵発振クロック周波数

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (11/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I_{DD2} ^{注1}	HALT モード	$f_{CLK} = 24$ MHz 注2, 3	$f_{MX} = 8$ MHz, 方形波入力		2.6	12.0	mA
				$f_{CLK} = f_{MX} \times 3$ 発振子接続		2.8	12.0	
				$f_{IH} = 8$ MHz, $f_{CLK} = f_{IH} \times 3$, aFCAN停止		2.7	10.0	
				$f_{IH} = 4$ MHz, $f_{CLK} = f_{IH} \times 6$, aFCAN停止		2.7	10.0	
			$f_{CLK} = 20$ MHz 注2, 3	$f_{MX} = 20$ MHz, 方形波入力		1.6	8.0	mA
				$f_{CLK} = f_{MX}$, PLL停止, aFCAN停止		2.0	8.0	
			$f_{CLK} = 10$ MHz 注2, 3	$f_{MX} = 10$ MHz, 方形波入力		0.8	4.0	mA
				$f_{CLK} = f_{MX}$, PLL停止, aFCAN停止		1.0	4.0	
		$f_{CLK} = 8$ MHz 注2, 3	$f_{MX} = 8$ MHz, 方形波入力		0.7	4.5	mA	
			$f_{CLK} = f_{MX}$, PLL停止 発振子接続		0.8	4.5		
$f_{IH} = 8$ MHz, $f_{CLK} = f_{IH}$, PLL停止, aFCAN停止			0.7	3.5				
$f_{CLK} = 4$ MHz 注2, 3	$f_{MX} = 4$ MHz, 方形波入力		0.4	2.0	mA			
	$f_{CLK} = f_{MX}$, PLL停止, aFCAN停止		0.5	2.0				
	$f_{IH} = 4$ MHz, $f_{CLK} = f_{IH}$, PLL停止, aFCAN停止		0.45	2.0				
$f_{CLK} = f_{IL}$	PLL停止, aFCAN停止	$T_A = -40 \sim +70$ 注2, 3		3.5	25	μ A		
		$T_A = -40 \sim +85$ 注3, 4		4.7	35			
I_{DD3} ^{注5}	STOP モード	$T_A = -40 \sim +70$ 注6, 7			1.0	15	μ A	
		$T_A = -40 \sim +85$ 注7, 8			2.5	25		

注1. V_{DD} , EV_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。フラッシュ・メモリでのHALT命令実行時です。

2. TYP.は $T_A = +25$, $V_{DD} = 5.0$ Vの場合です。周辺停止状態かつデータ・フラッシュ, f_{IL} と f_{CLK} に選択されている以外のクロックは停止です。I/Oバッファに流れる電流は含みません。

3. MAX.は全周辺動作状態です。ただし、A/Dコンバータ, LVI回路, データ・フラッシュ, f_{IL} と f_{CLK} に選択されている以外のクロックは停止かつコード・フラッシュはリード状態です。I/Oバッファに流れる電流は含みません。16ビット・ウエイクアップ・タイマは, f_{IL} で動作。

4. TYP.は $T_A = +70$, $V_{DD} = 5.0$ Vの場合です。周辺停止状態かつデータ・フラッシュ, f_{IL} と f_{CLK} に選択されている以外のクロックは停止です。I/Oバッファに流れる電流は含みません。

(注5, 6, 7, 8, 備考は次ページに示します)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

5. V_{DD} , EV_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力電流を含みます。サブクロック、ウォッチドッグ・タイマは停止しています。
6. TYP.は $T_A = +25$, $V_{DD} = 5.0$ Vの場合です。周辺停止状態かつ f_{IL} は停止です。I/Oバッファに流れる電流は含みません。
7. MAX.は全周辺動作状態です。ただし、A/Dコンバータ、LVI回路、 f_{IL} 以外のクロックは停止かつコード・フラッシュはリード状態です。I/Oバッファに流れる電流は含みません。16ビット・ウエイクアップ・タイマは、 f_{IL} で動作。
8. TYP.は $T_A = +70$, $V_{DD} = 5.0$ Vの場合です。周辺停止状態かつ f_{IL} は停止です。I/Oバッファに流れる電流は含みません。

備考1. f_{CLK} : CPU/周辺ハードウェア・クロック

2. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

3. f_{IH} : 高速内蔵発振クロック周波数

4. f_{IL} : 低速内蔵発振クロック周波数

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (12/12)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2, 3	f _{IL} = 30 kHz STOPモード中			0.52	1.1	μA		
A/Dコンバータ動作電流	I_{ADC} ^{注4}	最高速変換中	高速モード1	$AV_{REF} = V_{DD} = 5.0$ V		1.72	3.2	mA	
			高速モード2	$AV_{REF} = V_{DD} = 3.0$ V		0.72	1.6		
			標準モード	$AV_{REF} = V_{DD} = 5.0$ V		0.86	1.9		
LVI動作電流	I_{LVI} ^{注5}				9	18	μA		
データ・フラッシュ動作電流	I_{DFL} ^{注1, 6}	DFLEN = 0					0	mA	
			DFLEN = 1	STOPモード時					0
				HALTモード時			0.2		0.4
				待機時 (リード・アドレスがデータ・フラッシュ外)			0.3		0.5
				リード時 (リード・アドレスがデータ・フラッシュ内)					11.0 ^{注7}

注 1. 電流はV_{DD}端子に流れます。

2. 高速内蔵発振、高速システム・クロックは停止時。

3. ウォッチドッグ・タイマにのみ流れる電流です (低速内蔵発振器の動作電流を含みます)。f_{CLK} = f_{IL}/2時またはSTOPモード時にウォッチドッグ・タイマが動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{WDT}を加算した値が、78K0R/Hx3の電流値となります。

4. A/Dコンバータ (AV_{REF}端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、78K0R/Hx3の電流値となります。

5. LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{LVI}を加算した値が、78K0R/Hx3の電流値となります。

6. リーク電流は含みません。

7. データ・フラッシュへのアクセス命令の最小クロックサイクルは4クロックであるため、実質的には平均化され、1/4の値となります。

備考1. f_{IL} : 低速内蔵発振クロック周波数

2. f_{CLK} : CPU/周辺ハードウェア・クロック

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作 (1/4)

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{XP}) 動作	FSEL = 0	0.1		8.16	μs	
			FSEL = 1	PLL未使用時	0.05		8.16	μs
				PLL使用時	0.04		2.1	μs
		低速内蔵発振器動作	30	33.3	37	μs		
		セルフ・プログラミング時	注1		0.5	μs		
外部メイン・システム・クロック周波数	f_{EX}			2.0		20.0	MHz	
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t_{EXH}			24.0			ns	
	t_{EXL}							
外部サブクロック入力周波数	f_{EXS}			30.0		1000	kHz	
外部サブクロック入力ハイ、ロウ・レベル幅	t_{EXSH}			480			ns	
	t_{EXSL}							
Tl _{mn} 入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH}			$1/f_{MCK} +$			ns	
	t_{TIL}			10				
T _{Omn} 出力周波数	f_{TO}	C = 30 pF	TO00/P10, 通常モード (PSRSEL.PSRk = 0)			12	MHz	
			TO01/P30, 通常モード (PSRSEL.PSRk = 0)					
		上記以外のT _{Omn}	TO16/P12, スロー・モード (PSRSEL.PSRk = 1)			2		
			4.0 V $V_{DD} \leq 5.5 \text{ V}$				12 ^{注2}	
		2.7 V $V_{DD} < 4.0 \text{ V}$				6 ^{注2}		
PCL出力周波数	f_{PCL}	C = 30 pF	通常モード (PSRSEL.PSRk = 0)			12	MHz	
			スロー・モード (PSRSEL.PSRk = 1)			2		
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH}			1			μs	
	t_{INTL}							
キー割り込み入力ロウ・レベル幅	t_{KR}			250			ns	
RESETロウ・レベル幅	t_{RSL}			10			μs	

注1. MIN.値はメイン・システム・クロック動作時の各条件に準じます。また、低速内蔵発振器動作時のセルフ・プログラミング動作は保証しません

2. 通常モード (PSRSEL.PSRk = 0) 時

備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(TMR_{mn}レジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0-2) , n : チャネル番号 (n = 0-7) , mn = 00-07, 10-17, 20-27)

2. k = 10, 12, 30, 74, 76, 140

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (2/4)

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

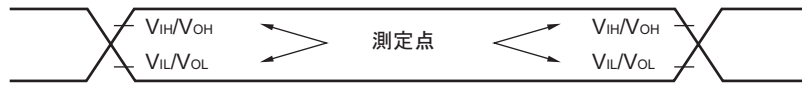
項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
出力立ち上がり時間, 立ち下がり時間	t_{RO}, t_{FO}	P00-P03, P11, P13-P17, P31, P32, P42-P47, P50-P57, P64-P67, P70-P73, P75, P77, P120, P125-P127, P130, P150-P157	スルー・レート: ト: 通常モード, C = 30 pF	4.0V $V_{DD} \leq 5.5 \text{ V}$		25	ns
				2.7V $V_{DD} < 4.0 \text{ V}$		55	ns
		P10, P12, P30, P40, P41, P74, P76, P140	スルー・レート: 通常モード, C = 30 pF			25	ns
		P10, P12, P30, P74, P76, P140	スルー・レート: ト: スローモード, C = 30 pF	4.0V $V_{DD} \leq 5.5 \text{ V}$	25 ^注	60	ns
				2.7V $V_{DD} < 4.0 \text{ V}$		100	ns

注 $T_A = +25$, $V_{DD} = 5.0 \text{ V}$ 時

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (3/4)

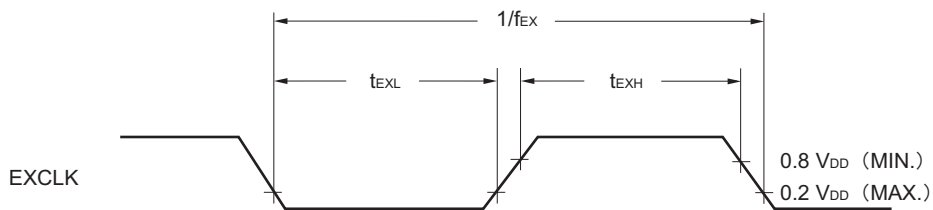
ACタイミング測定点^注



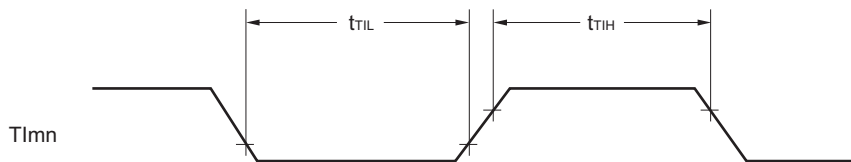
注 t_{RO} , t_{FO} (出力立ち上がり, 立ち下がり時間) は, $V_{OL} = 0.1V_{DD}$, $V_{OH} = 0.9V_{DD}$ になります。

t_{RO} , t_{FO} 以外の項目の V_{OL} , V_{OH} , V_{IL} , V_{IH} は, DC特性を参照してください。

外部メイン・システム・クロック・タイミング

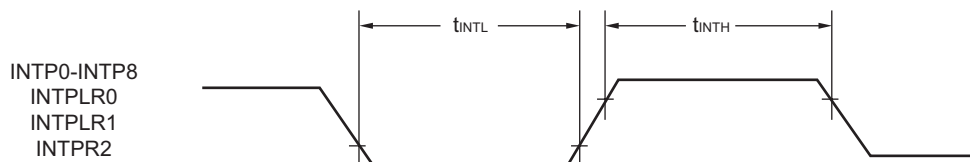


TIタイミング

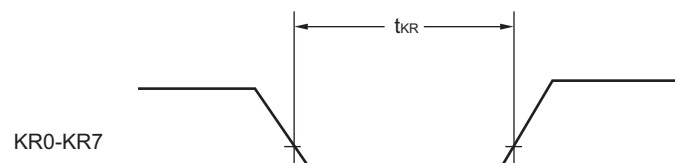


備考 n : チャネル番号, m : ユニット番号, mn = 00-07, 10-17, 20-27

割り込み要求入力タイミング



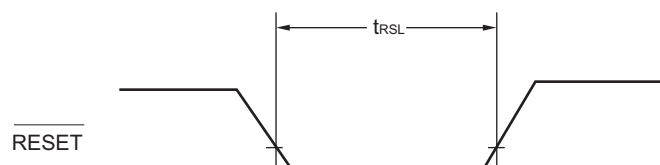
キー割り込み入力タイミング



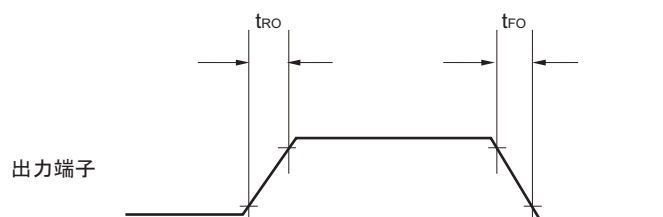
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (4/4)

RESET入カタイミング



出力立ち上がり, 立ち下がりタイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

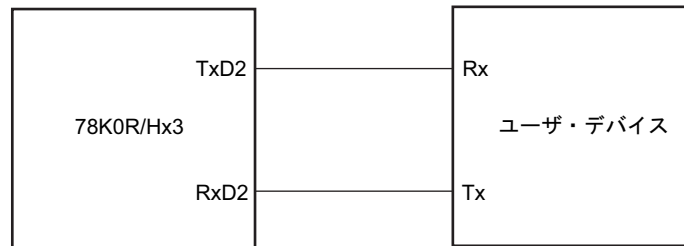
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (1/26)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

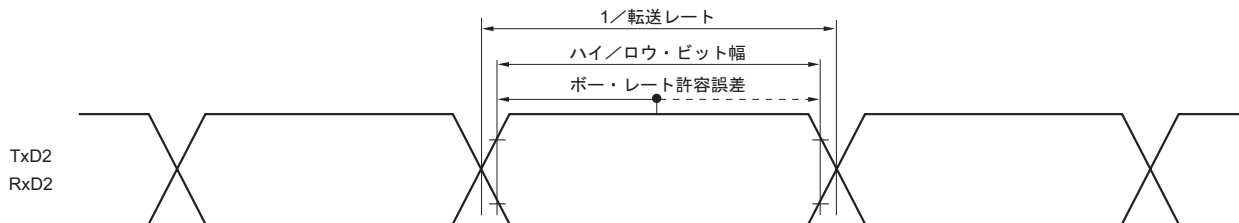
(a) 同電位通信時 (UARTモード) (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 24$ MHz, $f_{MCK} = f_{CLK}$	スルー・レート：通常 モード		4	Mbps
		スルー・レート：スロ ー・モード		2	Mbps	

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 POM4レジスタで、TxD2は通常出力モードを選択。

備考 f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR2nレジスタのCKS2nビットで設定する動作クロック。n : チャネル番号 (n = 0, 1))

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (2/26)

(b) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, スルー・レート：通常モード)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkCY1	4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V	200 ^{注4}			ns
		2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} < 4.0$ V	300 ^{注4}			ns
SCKpハイ、ロウ・レベル幅	tkH1, tkL1	4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V	tkCY1/2-20			ns
		2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} < 4.0$ V	tkCY1/2-35			ns
Slpセットアップ時間 (対SCKp \uparrow) ^{注1}	tsIK1	4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V	70			ns
		2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} < 4.0$ V	100			ns
Slpホールド時間 (対SCKp \uparrow) ^{注1}	tkSI1		30			ns
SCKp \downarrow →SOp出力遅延時間 ^{注2}	tkSO1	C = 30 pF ^{注3}			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \downarrow ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \uparrow ”となります。

3. Cは、 $\overline{\text{SCKp}}$, SOp出力ラインの負荷容量です。

4. かつtkCY1 4/fCLK

注意1. CSI00の場合は、P15-P17を選択時の値です (11.3 (15) シリアル通信端子選択レジスタ (STSEL) 参照)。

2. PIMgレジスタとPOM7レジスタで、SIjは通常入力バッファ、SOjとSCKjは通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10, 11) , g : PIM番号 (g = 6, 7) ,

j : 異電位通信を選択可能なCSI番号 (j = 00, 01)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (3/26)

(c) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, スルー・レート :
スロー・モード)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t_{CY1}		500 ^{注4}			ns
$\overline{\text{SCKp}}$ ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}		$t_{\text{CY1}}/2 - 60$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{SIK1}		120			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{KS1}		80			ns
$\overline{\text{SCKp}}$ ↓→SO _p 出力遅延時間 ^{注2}	t_{KS01}	C = 30 pF ^{注3}			90	ns

注1. DAP_mn = 0, CKP_mn = 0またはDAP_mn = 1, CKP_mn = 1のとき。DAP_mn = 0, CKP_mn = 1またはDAP_mn = 1, CKP_mn = 0のときは“対 $\overline{\text{SCKp}}$ ↓”となります。

2. DAP_mn = 0, CKP_mn = 0またはDAP_mn = 1, CKP_mn = 1のとき。DAP_mn = 0, CKP_mn = 1またはDAP_mn = 1, CKP_mn = 0のときは“対 $\overline{\text{SCKp}}$ ↑”となります。

3. Cは、 $\overline{\text{SCKp}}$, SO_p出力ラインの負荷容量です。

4. かつ $t_{\text{CY1}} \geq 4/f_{\text{CLK}}$

注意1. CSI00の場合は、P15-P17を選択時の値です (11.3 (15) シリアル通信端子選択レジスタ (STSEL) 参照)。

2. PIM_gレジスタとPOM7レジスタで、SI_jは通常入力バッファ、SO_jと $\overline{\text{SCKj}}$ は通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10, 11) , g : PIM番号 (g = 6, 7) ,

j : 異電位通信を選択可能なCSI番号 (j = 00, 01)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (4/26)

(d) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, スルー・レート : 通常モード)

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	4.0 V $V_{DD} = EV_{DD}$ = $EV_{DD0} = EV_{DD1}$ 5.5 V	$20 \text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 20 \text{ MHz}$	$6/f_{\text{MCK}}$		ns
		2.7 V $V_{DD} = EV_{DD}$ = $EV_{DD0} = EV_{DD1} <$ 4.0 V	$16 \text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$		ns
			$f_{\text{MCK}} \leq 16 \text{ MHz}$	$6/f_{\text{MCK}}$		ns
SCKpハイ、ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{\text{KCY2}}/2$			ns
Slpセットアップ時間 (対SCKp \uparrow) 注1	t_{SIK2}		80			ns
Slpホールド時間 (対SCKp \uparrow) 注1	t_{KSI2}		$1/f_{\text{MCK}} +$ 50			ns
SCKp \downarrow →SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3	4.0 V $V_{DD} = EV_{DD} = EV_{DD0}$ = $EV_{DD1} \leq 5.5 \text{ V}$		$2/f_{\text{MCK}} + 45$	ns
			2.7 V $V_{DD} = EV_{DD} = EV_{DD0}$ = $EV_{DD1} < 4.0 \text{ V}$		$2/f_{\text{MCK}} + 57$	ns
SSIpセットアップ時間	t_{SSIK}	DAP = 0		120		ns
		DAP = 1		$1/f_{\text{MCK}} + 120$		ns
SSIpホールド時間	t_{KSSI}	DAP = 0		$1/f_{\text{MCK}} + 120$		ns
		DAP = 1		120		ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \downarrow ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \uparrow ”となります。

3. Cは、SOp出カラインの負荷容量です。

注意1. CSI00の場合は、P15-P17, P30を選択時の値です (11.3 (15) シリアル通信端子選択レジスタ (STSEL) 参照)

2. PIMgレジスタとPOM7レジスタで、Sijと $\overline{\text{SCKj}}$ は通常入力バッファ、SOjは通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10, 11) , g : PIM番号 (g = 6, 7) ,

j : 異電位通信を選択可能なCSI番号 (j = 00, 01)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) ,

n : チャネル番号 (n = 0, 1))

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (5/26)

(e) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, スルー・レート :
スロー・モード)

($T_A = -40 \sim +85$, $4.0 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	$20 \text{ MHz} < f_{MCK}$	$10/f_{MCK}$			ns
		$10 \text{ MHz} < f_{MCK} < 20 \text{ MHz}$	$8/f_{MCK}$			ns
		$f_{MCK} < 10 \text{ MHz}$	$6/f_{MCK}$			ns
SCKpハイ、ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KCY2}/2$			ns
Slpセットアップ時間 (対SCKp \uparrow) 注1	t_{SIK2}		80			ns
Slpホールド時間 (対SCKp \uparrow) 注1	t_{KSI2}		$1/f_{MCK} + 50$			ns
SCKp \downarrow →SOp出力遅延時間注2	t_{KSO2}	$C = 30 \text{ pF}$ 注3			$2/f_{MCK} + 80$	ns
SSIpセットアップ時間	t_{SSIK}	DAP = 0	120			ns
		DAP = 1	$1/f_{MCK} + 120$			ns
SSIpホールド時間	t_{KSSI}	DAP = 0	$1/f_{MCK} + 120$			ns
		DAP = 1	120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \downarrow ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp \uparrow ”となります。

3. Cは、SO_p出カラインの負荷容量です。

注意1. CSI00の場合は、P15-P17, P30を選択時の値です (11.3 (15) シリアル通信端子選択レジスタ (STSEL) 参照)

2. PIMgレジスタとPOM7レジスタで、SijとSCKjは通常入力バッファ、SOjは通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10, 11) , g : PIM番号 (g = 6, 7) ,

j : 異電位通信を選択可能なCSI番号 (j = 00, 01)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) ,

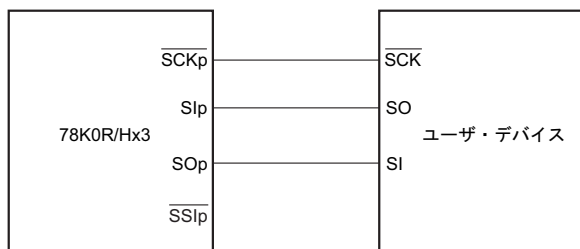
n : チャネル番号 (n = 0, 1))

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

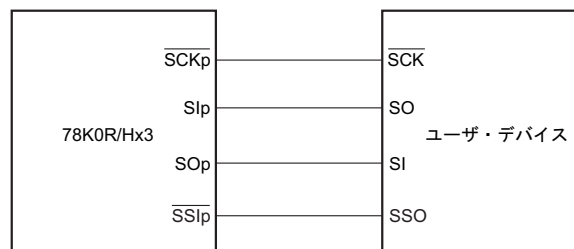
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (6/26)

CSIモード接続図（同電位通信時）

<マスタ>

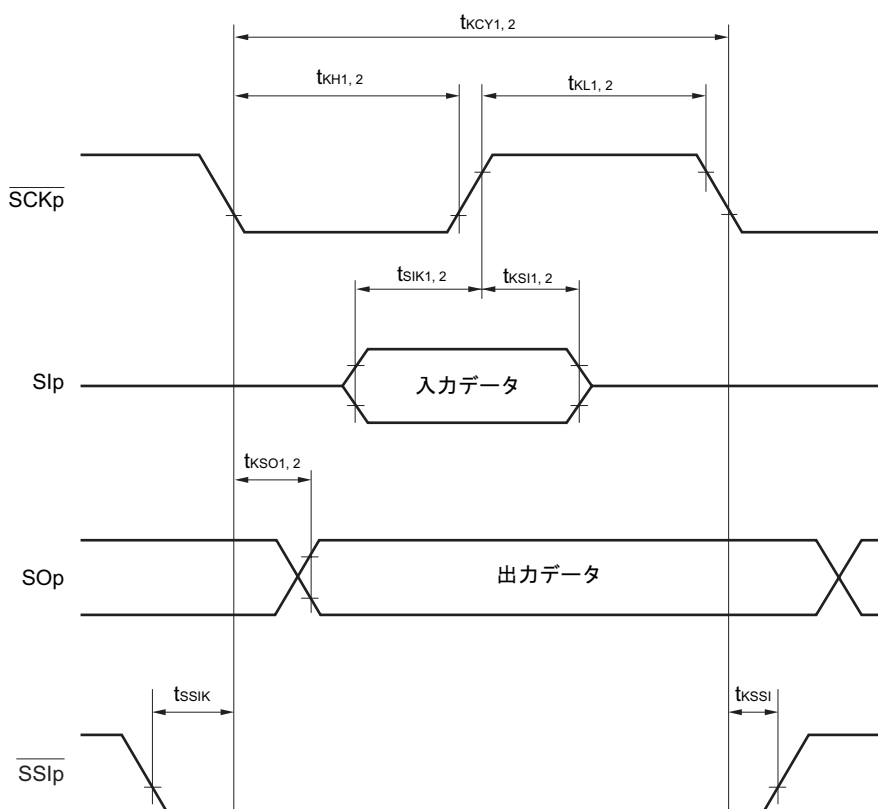


<スレーブ>



CSIモード・シリアル転送タイミング（同電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



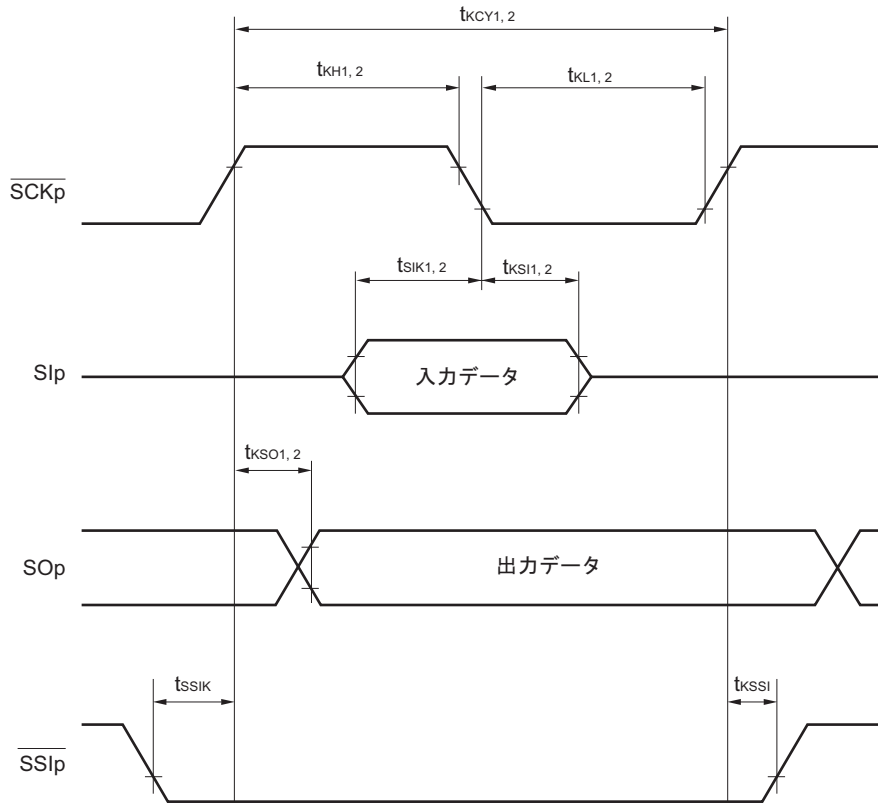
備考1. p : CSI番号 (p = 00, 01, 10, 11)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (7/26)

CSIモード・シリアル転送タイミング（同電位通信時）
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 11)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (8/26)

(f) CSI00 (P60-P63端子使用時) による同電位通信時 (CSIモード)

(マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, スルー・レート：通常モード)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

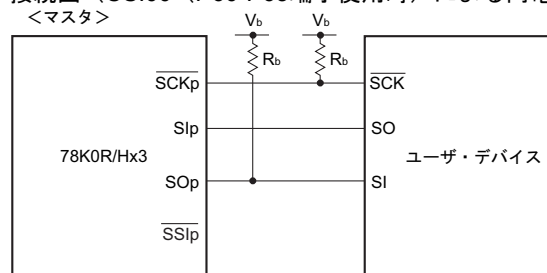
項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t_{KCY1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	400 ^{注3}		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$			
$\overline{\text{SCKp}}$ ハイ・レベル幅	t_{KH1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	$t_{\text{KCY1}}/2 - 40$		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$	$t_{\text{KCY1}}/2 - 70$		ns
$\overline{\text{SCKp}}$ ロウ・レベル幅	t_{KL1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	$t_{\text{KCY1}}/2 - 20$		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$	$t_{\text{KCY1}}/2 - 35$		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{SIK1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	115		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$	145		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\downarrow$) ^{注2}	t_{SIK1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	70		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$	70		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{KSI1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	30		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$	30		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\downarrow$) ^{注2}	t_{KSI1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$	30		ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$	30		ns
$\overline{\text{SCKp}}\downarrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注1}	t_{KSO1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$		85	ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$		115	ns
$\overline{\text{SCKp}}\uparrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注2}	t_{KSO1}	4.0 V V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.1 \text{ k}\Omega$		40	ns
		$V_{DD} < 4.0 \text{ V}$, V_{DD} V_b , $C_b = 30 \text{ pF}$, $R_b = 1.8 \text{ k}\Omega$		40	ns

注 1. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。

2. $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のとき。

3. $t_{\text{KCY1}} \approx 4/f_{\text{CLK}}$

CSIモード接続図 (CSI00 (P60-P63端子使用時) による同電位通信時)



注意 1. PIM6レジスタで、Slpは通常入力バッファ・モードを選択。SO $\overline{\text{p}}$, $\overline{\text{SCKp}}$ はN-chオープン・ドレイン出力 (6 V耐圧) モード固定。

2. CSI00 (P60-P63端子使用時) による同電位通信の転送タイミング図は、CSI異電位通信時の転送タイミング図と同じになります。

備考 1. p: CSI番号 (p = 00)

2. m: ユニット番号 (m = 0), n: チャネル番号 (n = 0)

3. R_b [Ω]: 通信ライン ($\overline{\text{SCKp}}$, SO $\overline{\text{p}}$) プルアップ抵抗値, C_b [F]: 通信ライン (SO $\overline{\text{p}}$, $\overline{\text{SCKp}}$) 負荷容量値, V_b [V]: 通信ライン電圧

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (9/26)

(g) CSI00 (P60-P63端子使用時) による同電位通信時 (CSIモード)

(スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, スルー・レート：通常モード)

($T_A = -40 \sim +85$, $2.7 \text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkcy2	4.0 V V_{DD}	20 MHz < f _{MCK}	10/f _{MCK}		ns
		V _b	10MHz < f _{MCK} 20 MHz	8/f _{MCK}		ns
			f _{MCK} 10 MHz	6/f _{MCK}		ns
	V _{DD} < 4.0 V, V _{DD} V _b	23.2 MHz < f _{MCK}	22/f _{MCK}		ns	
		20.3 MHz < f _{MCK} 23.2 MHz	20/f _{MCK}		ns	
		17.4 MHz < f _{MCK} 20.3 MHz	18/f _{MCK}		ns	
		14.5 MHz < f _{MCK} 17.4 MHz	16/f _{MCK}		ns	
		11.6 MHz < f _{MCK} 14.5 MHz	14/f _{MCK}		ns	
		8.7 MHz < f _{MCK} 11.6 MHz	12/f _{MCK}		ns	
		5.8 MHz < f _{MCK} 8.7 MHz	10/f _{MCK}		ns	
2.9 MHz < f _{MCK} 5.8 MHz	8/f _{MCK}		ns			
f _{MCK} 2.9 MHz	6/f _{MCK}		ns			
SCKpハイ、ロウ・レベル幅	tkHZ, tkL2		tkcy2/2			ns
Slpセットアップ時間 (対SCKp↑) 注1	tSIK2		80			ns
Slpホールド時間 (対SCKp↑) 注1	tKSI2		1/f _{MCK} + 50			ns
$\overline{\text{SCKp}} \downarrow \rightarrow \text{SOp}$ 出力遅延時間注2	tkSO2	C = 30 pF注3	4.0 V V_{DD} V _b , R _b = 1.1 kΩ		2/f _{MCK} + 85	ns
		V _{DD} V _b < 4.0 V, R _b = 1.8 kΩ		2/f _{MCK} + 130	ns	
SSIpセットアップ時間	tSSIK	DAP = 0		120		ns
		DAP = 1		1/f _{MCK} + 120		ns
SSIpホールド時間	tkSSI	DAP = 0		1/f _{MCK} + 120		ns
		DAP = 1		120		ns

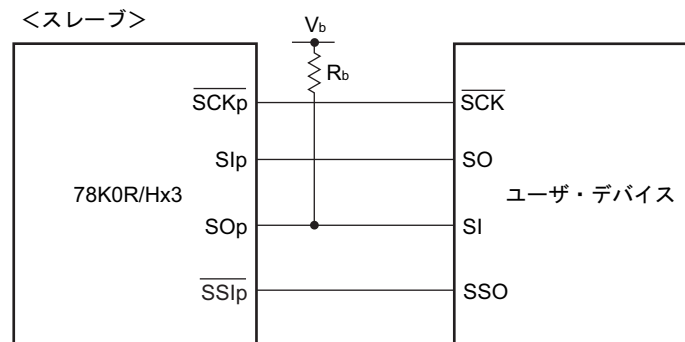
(注, 注意, 備考は次ページあります。)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (10/26)

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}\downarrow$ ”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}\uparrow$ ”となります。
3. Cは、SOp出カラインの負荷容量です。

CSIモード接続図 (CSI00 (P60-P63端子使用時) による同電位通信時)



- 注意1. PIM6レジスタで、Slp, $\overline{\text{SCKp}}$ は通常入力バッファ・モードを選択。SOpはN-chオープン・ドレイン出力 (6V耐圧) モード固定。
2. CSI00 (P60-P63端子使用時) による同電位通信の転送タイミング図は、CSI異電位通信時の転送タイミング図と同じになります。

備考1. p : CSI番号 (p = 00)

2. R_b [Ω] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値,
 V_b [V] : 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR00レジスタのCKS00ビットで設定する動作クロック)。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（11/26）

(h) 同電位通信時（簡易I²Cモード）

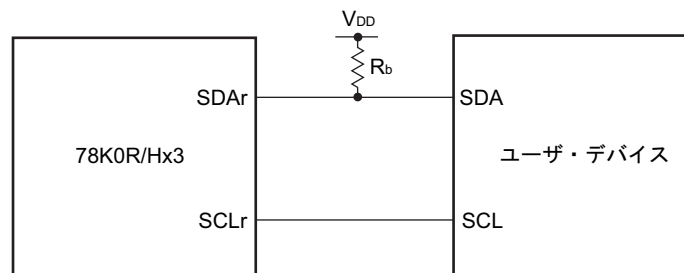
（IIC20使用時，SDA20はN-chオープン・ドレイン出力（V_{DD}耐圧）モード，SCL20は通常出力モード）

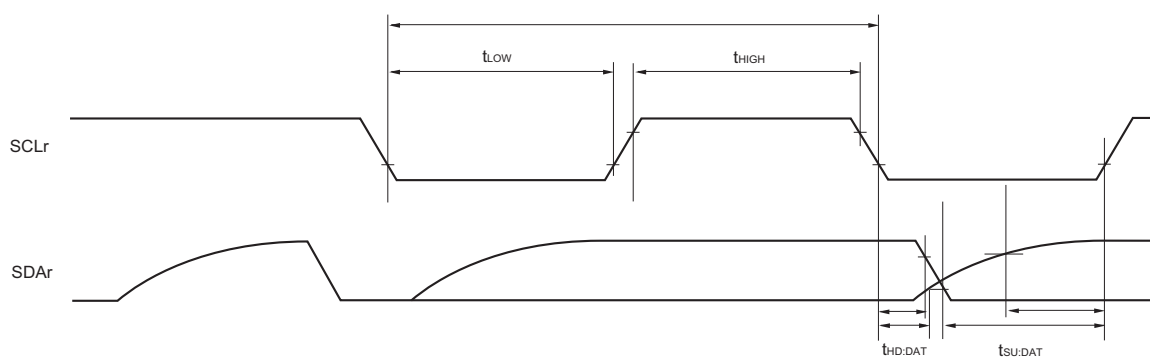
（T_A = -40～+85 ， 2.7 V V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V）

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ		400 ^注	kHz
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 3.0 kΩ		400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	995		ns
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 3.0 kΩ	995		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	995		ns
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 3.0 kΩ	995		ns
データ・セットアップ時間（受信時）	t _{SU:DAT}	4.0 V V _{DD} 5.5 V	1/f _{MCK} + 85		ns
		2.7 V V _{DD} < 4.0 V	1/f _{MCK} + 120		ns
データ・ホールド時間（送信時）	t _{HD:DAT}	4.0 V < V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	0	130	ns
		2.7 V V _{DD} 4.0 V, C _b = 100 pF, R _b = 3.0 kΩ	0	160	ns

注 かつf_{SCL} f_{MCK}/4

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）

注意 POM4レジスタで、SDA20はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択，SCL20は通常出力モードを選択。

- 備考1. R_b [Ω] : 通信ライン（SDAr）プルアップ抵抗値， C_b [F] : 通信ライン（SCLr, SDAr）負荷容量値
2. r : IIC番号（ $r = 20$ ）
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
（SMR20レジスタのCKS20ビットで設定する動作クロック。）

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（12/26）

(i) 同電位通信時（簡易I²Cモード）

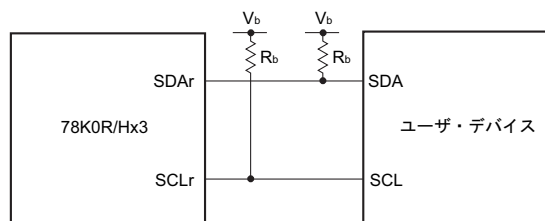
（IIC20使用時，SDA20，SCL20はN-chオープン・ドレイン出力（V_{DD}耐圧）モード）

（T_A = -40～+85 ， 2.7 V V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V）

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}			400 ^註	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1300		ns
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 kΩ			ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	600		ns
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 kΩ			ns
データ・セットアップ時間（受信時）	t _{SU : DAT}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	1/f _{MCK} + 120		ns
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 kΩ	1/f _{MCK} + 270		ns
データ・ホールド時間（送信時）	t _{HD : DAT}	4.0 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 1.7 kΩ	0	300	ns
		2.7 V V _{DD} < 4.0 V, C _b = 100 pF, R _b = 5.7 kΩ			

注 かつf_{SCL} f_{MCK}/4

簡易I²Cモード接続図（IIC20による同電位通信時）



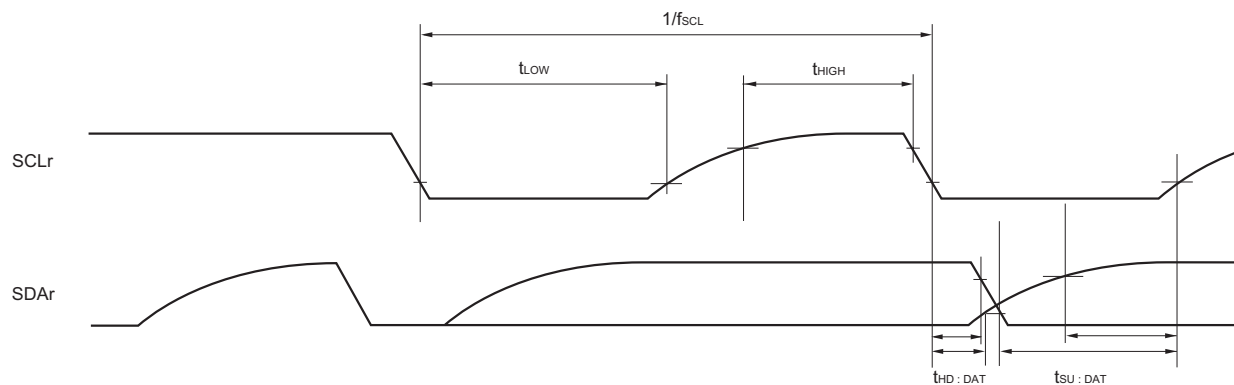
注意 POM4レジスタで，SDAr, SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択。

- 備考1. R_b [Ω] : 通信ライン（SDAr, SCLr）プルアップ抵抗値, C_b [F] : 通信ライン（SDAr, SCLr）負荷容量値,
V_b [V] : 通信ライン電圧
2. r : IIC番号（r = 20）
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
（SMR20レジスタのCKS20ビットで設定する動作クロック。）

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（13/26）

簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考 r : IIC番号 (r = 20)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (14/26)

(j) 同電位通信時 (簡易I²Cモード)

(IIC11使用時、SDA11は通常入力バッファ・モード、N-chオープン・ドレイン出力 (6 V耐圧) モード、SCL11はN-chオープン・ドレイン出力 (6 V耐圧) モード)

(T_A = -40~+85 , 2.7 V V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V)

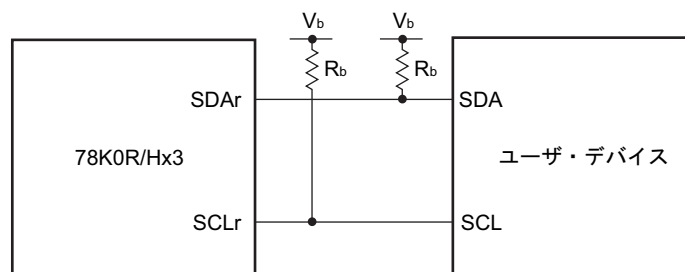
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	4.0 V V _{DD} 5.5 V, V _{DD} V _b 5.5 V, C _b = 100 pF, R _b = 1.8 kΩ		400 ^注	kHz
		2.7 V V _{DD} <4.0 V, V _{DD} V _b <4.0 V, C _b = 100 pF, R _b = 1.8 kΩ			
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V V _{DD} 5.5 V, V _{DD} V _b 5.5 V, C _b = 100 pF, R _b = 1.8 kΩ	1300		ns
		2.7 V V _{DD} <4.0 V, V _{DD} V _b <4.0 V, C _b = 100 pF, R _b = 1.8 kΩ			ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V V _{DD} 5.5 V, V _{DD} V _b 5.5 V, C _b = 100 pF, R _b = 1.8 kΩ	600		ns
		2.7 V V _{DD} <4.0 V, V _{DD} V _b <4.0 V, C _b = 100 pF, R _b = 1.8 kΩ			ns
データ・セットアップ時間 (受信時)	t _{SU: DAT}	4.0 V V _{DD} 5.5 V, V _{DD} V _b 5.5 V, C _b = 100 pF, R _b = 1.8 kΩ	1/f _{MCK} +120		ns
		2.7 V V _{DD} <4.0 V, V _{DD} V _b <4.0 V, C _b = 100 pF, R _b = 1.8 kΩ	1/f _{MCK} +135		ns
データ・ホールド時間 (送信時)	t _{HD: DAT}	4.0 V V _{DD} 5.5 V, V _{DD} V _b 5.5 V, C _b = 100 pF, R _b = 1.8 kΩ	0	300	ns
		2.7 V V _{DD} <4.0 V, V _{DD} V _b <4.0 V, C _b = 100 pF, R _b = 1.8 kΩ			

注 かつf_{SCL} f_{MCK}/4

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（15/26）

簡易I²Cモード接続図（同電位通信時）（IIC11による同電位通信時）



注意1. PIM6レジスタで、SDA11は通常入力バッファ・モードを選択。SCL11, SDA11はN-chオープン・ドレイン出力（6 V耐圧）モード固定。

2. IIC11による同電位通信の転送タイミング図は、簡易I²C異電位通信時の転送タイミング図と同じになります。

備考1. R_b [Ω] : 通信ライン（SDAr, SCLr）プルアップ抵抗値, C_b [F] : 通信ライン（SDAr, SCLr）負荷容量値,

V_b [V] : 通信ライン電圧

2. r : IIC番号 ($r = 11$)

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR11レジスタのCKS11ビットで設定する動作クロック。)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（16/26）

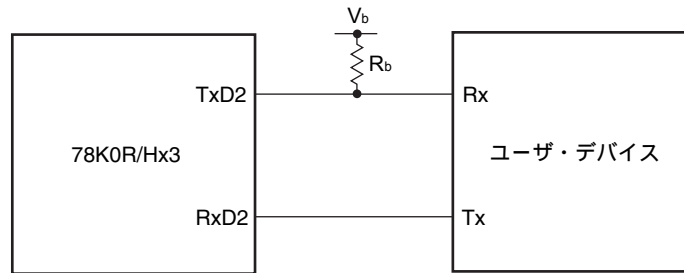
(k) 異電位通信時（UARTモード）（TxD出力バッファ=Nch-OD, RxD入力バッファ=TTL）

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

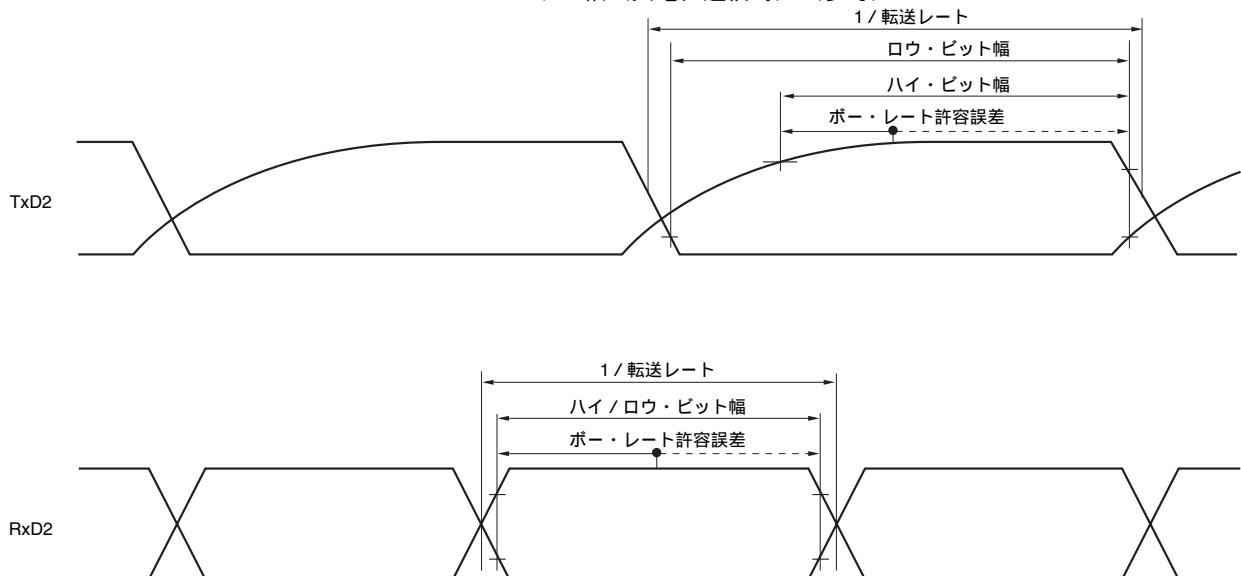
項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		受信	2.7V V_b 4.0V			$f_{MCK}/6$	bps
			$V_{IH}=2.2\text{V}$, $V_{IL}=0.8\text{V}$	最大転送レート理論値 ^注 ($C_b=30\text{pF}$)		4	Mbps
		送信	2.7V V_b 4.0V			$f_{MCK}/6$ と(式 1) の小さい方	bps
			$V_{OH}=2.2\text{V}$, $V_{OL}=0.8\text{V}$	最大転送レート理論値 ^注 ($C_b=30\text{pF}$, $R_b=1.4\text{k}\Omega$) 通常スルー・レート		4	Mbps

式 1：最大転送レート = $1 / \{-C_b \times R_b \times \ln(1 - 2.2/V_b)\} \times 3$

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注 最大転送レート理論値は、本製品の性能を具体値で示すための参考値です。

備考1. f_{MCK} ：シリアル・アレイ・ユニットの動作クロック周波数

(SMR2nレジスタのCKS2nビットで設定する動作クロック。n：チャンネル番号 (n = 0, 1))

2. R_b [Ω]：通信ライン (TxD) プルアップ抵抗値, C_b [F]：通信ライン (TxD) 負荷容量値, V_b [V]：通信ライン電圧

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（17/26）

(I) 異電位（3 V系）通信時（CSIモード）（マスタ・モード、 $\overline{\text{SCKp}}$...内部クロック出力、スルー・レート：通常モード）

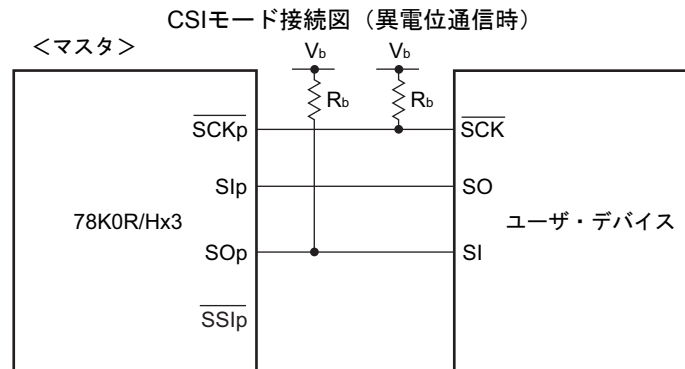
($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$, 5.5 V , $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t_{KCY1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	400 ^{注3}		ns
$\overline{\text{SCKp}}$ ハイ・レベル幅	t_{KH1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{\text{KCY1}}/2 - 75$		ns
$\overline{\text{SCKp}}$ ロウ・レベル幅	t_{KL1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	$t_{\text{KCY1}}/2 - 20$		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{SIK1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	150		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\downarrow$) ^{注2}	t_{SIK1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	70		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{KSI1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	30		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\downarrow$) ^{注2}	t_{KSI1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	30		ns
$\overline{\text{SCKp}}\downarrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注1}	t_{KSO1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		120	ns
$\overline{\text{SCKp}}\uparrow \rightarrow \text{SOp}$ 出力遅延時間 ^{注2}	t_{KSO1}	2.7 V V_b V_{DD} , $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		40	ns

注1. $\text{DAPmn} = 0$, $\text{CKPmn} = 0$ または $\text{DAPmn} = 1$, $\text{CKPmn} = 1$ のとき。

2. $\text{DAPmn} = 0$, $\text{CKPmn} = 1$ または $\text{DAPmn} = 1$, $\text{CKPmn} = 0$ のとき。

3. $\text{かつ } t_{\text{KCY1}} \quad 4/f_{\text{CLK}}$



注意1. CSI00の場合は、P15-P17を選択時の値です（11.3（15）シリアル通信端子選択レジスタ（STSEL）参照）。

2. PIMgレジスタとPOM7レジスタで、SlpはTTL入力バッファ、SOpと $\overline{\text{SCKp}}$ はN-chオープン・ドレイン出力（ V_{DD} 耐圧）モードを選択。

備考1. p : CSI番号（ $p = 00, 01$ ）, g : PIM番号（ $g = 6, 7$ ）

2. m : ユニット番号（ $m = 0, 1$ ）, n : チャネル番号（ $n = 0, 1$ ）

3. R_b [Ω] : 通信ライン（ $\overline{\text{SCKp}}$, SOp）プルアップ抵抗値, C_b [F] : 通信ライン（SOp, $\overline{\text{SCKp}}$ ）負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

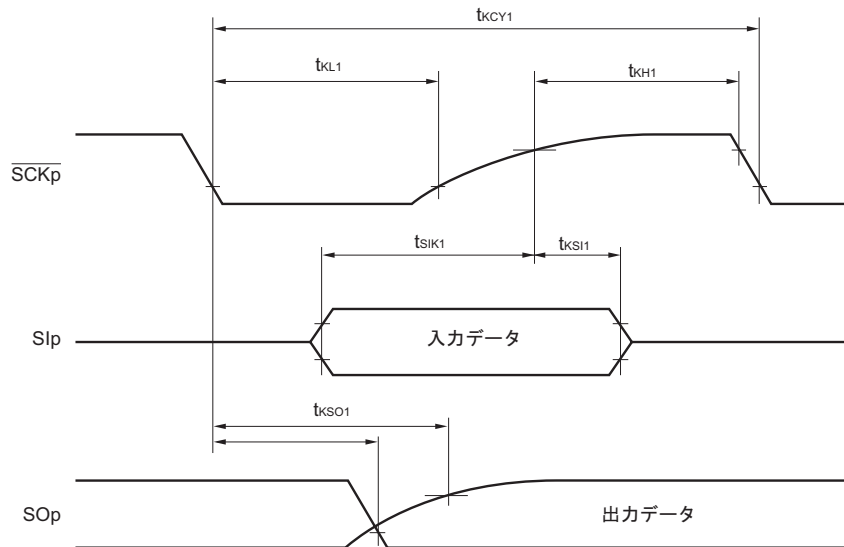
4.0 V V_{DD} 5.5 V , 2.7 V V_b 4.0 V のとき : $V_{IH} = 2.2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$

5. CSI10, CSI11は、異電位通信できません。異電位通信をする場合は、CSI00, CSI01を使用してください。

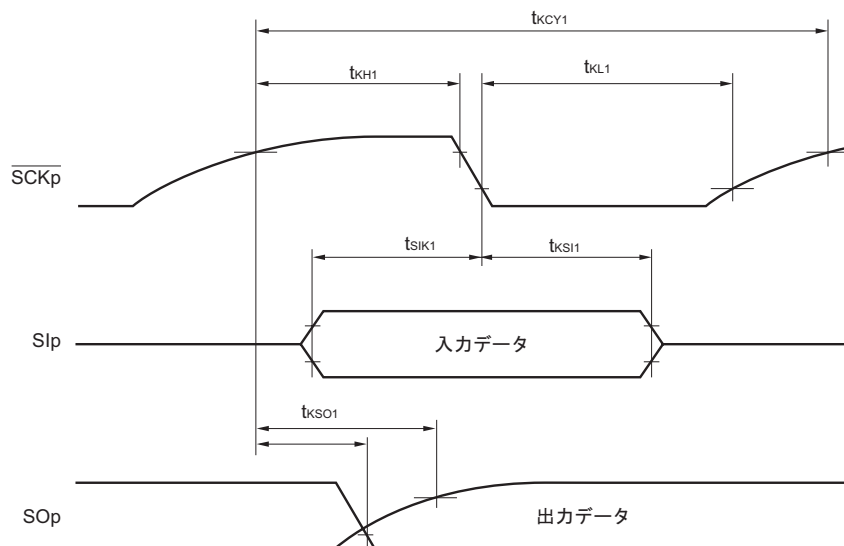
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (18/26)

CSIモード・シリアル転送タイミング：マスタ・モード^①（異電位通信時）
 （DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード^①（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 PIMgレジスタとPOM7レジスタで、SlpはTTL入力バッファ、SOpとSCKpはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. p : CSI番号 (p = 00, 01) , g : PIM番号 (g = 6, 7)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

3. CSI10, CSI11は、異電位通信できません。異電位通信をする場合は、CSI00, CSI01を使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット（19/26）

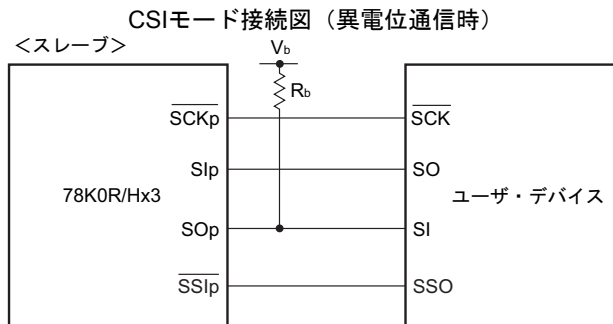
(m) 異電位（3V系）通信時（CSIモード）（スレーブ・モード， $\overline{\text{SCKp}}$...外部クロック入力，スレーブ・レート：通常モード）

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	2.7 V V_b	20 MHz < f_{MCK} < 24 MHz	12/ f_{MCK}	ns
		V_{DD}	13.6 MHz < f_{MCK} < 20 MHz	10/ f_{MCK}	ns
			6.8 MHz < f_{MCK} < 13.6 MHz	8/ f_{MCK}	ns
			f_{MCK} < 6.8 MHz	6/ f_{MCK}	ns
SCKpハイ、ロウ・レベル幅	t_{KH2}, t_{KL2}	2.7 V V_b V_{DD}	$t_{KCY2}/2 - 20$		ns
Slpセットアップ時間（対 $\overline{\text{SCKp}}$ ） ^{注1}	t_{SIK2}		90		ns
Slpホールド時間（対 $\overline{\text{SCKp}}$ ） ^{注1}	t_{KSI2}		1/ $f_{MCK} + 50$		ns
$\overline{\text{SCKp}} \downarrow \rightarrow \text{SO}$ 出力遅延時間 ^{注2}	t_{KSO2}	2.7 V V_b V_{DD} , $C_b = 30$ pF, $R_b = 1.4$ k Ω		2/ $f_{MCK} + 120$	ns
SSIpセットアップ時間	t_{SSIK}	DAP = 0	120		ns
		DAP = 1	1/ $f_{MCK} + 120$		ns
SSIpホールド時間	t_{KSSI}	DAP = 0	1/ $f_{MCK} + 120$		ns
		DAP = 1	120		ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}} \downarrow$ ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}} \uparrow$ ”となります。



注意1. CSI00の場合は、P15-P17, P30を選択時の値です（11.3（15）シリアル通信端子選択レジスタ（STSEL）参照）

2. PIMgレジスタとPOM7レジスタで、Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ、SOpはN-chオープン・ドレイン出力（ V_{DD} 耐圧）モードを選択。

備考1. p：CSI番号（p = 00, 01）, g：PIM番号（g = 6, 7）

2. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値, C_b [F]：通信ライン（SOp）負荷容量値, V_b [V]：通信ライン電圧

3. f_{MCK} ：シリアル・アレイ・ユニットの動作クロック周波数
 （SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0, 1）, n：チャンネル番号（n = 0, 1））

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

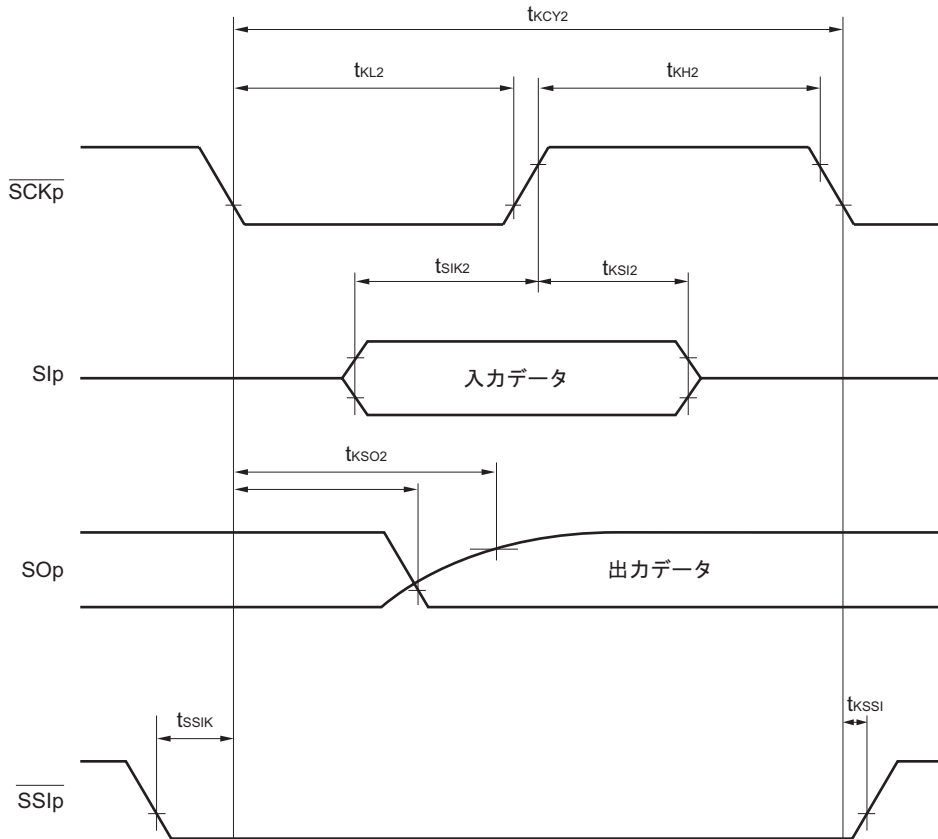
4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき： $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V

5. CSI10, CSI11は、異電位通信できません。異電位通信をする場合は、CSI00, CSI01を使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (20/26)

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



注意 PIMgレジスタとPOM7レジスタで、SIpとSCKpはTTL入力バッファ、SOpはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. p : CSI番号 (p = 00, 01) , g : PIM番号 (g = 6, 7)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)

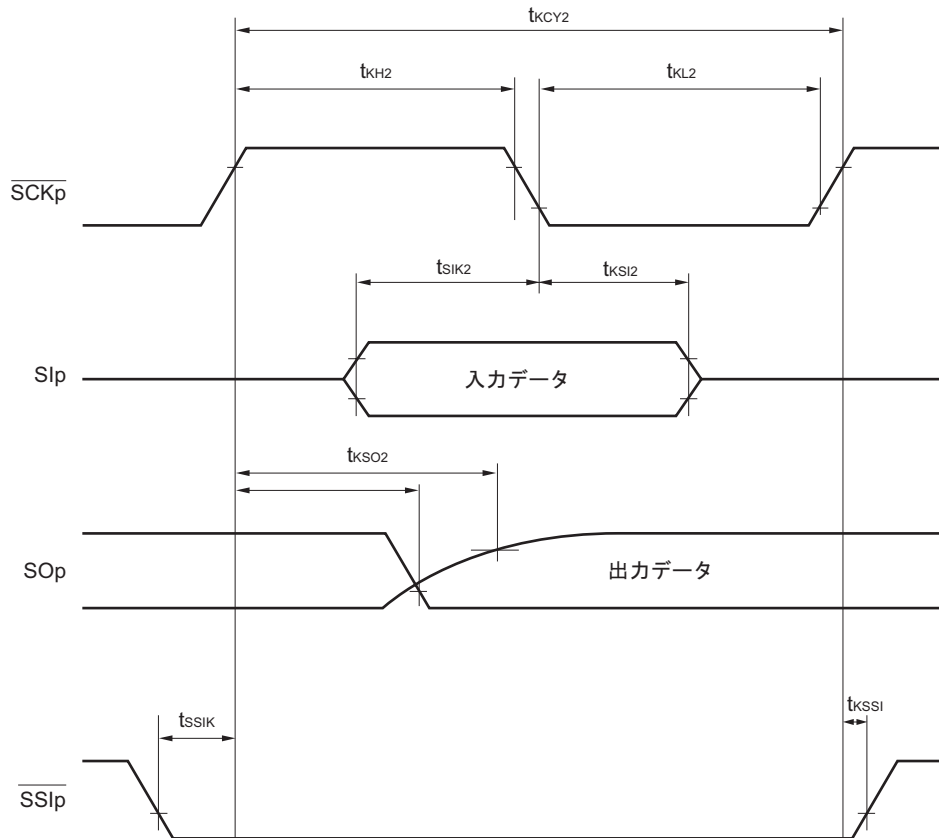
3. CSI10, CSI11は、異電位通信できません。異電位通信をする場合は、CSI00, CSI01を使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (21/26)

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOM7レジスタで、SIpとSCKpはTTL入力バッファ、SOpはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. p : CSI番号 (p = 00, 01) , g : PIM, POM番号 (g = 6, 7)
 2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 1)
 3. CSI10, CSI11は、異電位通信できません。異電位通信をする場合は、CSI00, CSI01を使用してください。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (22/26)

(n) CSI00 (P60-P63端子使用時) による異電位通信時 (CSIモード)

(マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力, スルー・レート：通常モード)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

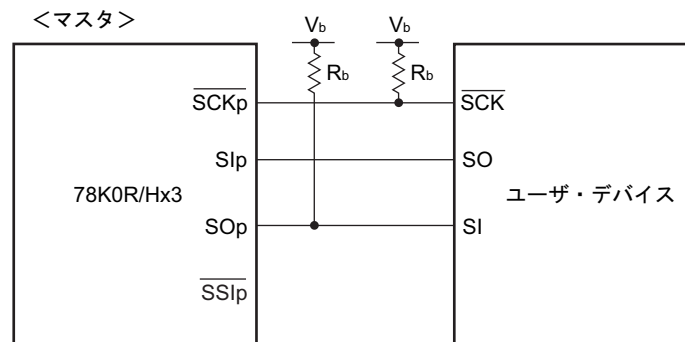
項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t_{KCY1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	400 ^{注3}		ns
$\overline{\text{SCKp}}$ ハイ・レベル幅	t_{KH1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	$t_{\text{KCY1}}/2-40$		ns
$\overline{\text{SCKp}}$ ロウ・レベル幅	t_{KL1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	$t_{\text{KCY1}}/2-20$		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{SIK1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	115		ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}\downarrow$) ^{注2}	t_{SIK1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	70		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\uparrow$) ^{注1}	t_{KSI1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	30		ns
Slpホールド時間 (対 $\overline{\text{SCKp}}\downarrow$) ^{注2}	t_{KSI1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω	30		ns
$\overline{\text{SCKp}}\downarrow \rightarrow \text{SO}$ 出力遅延時間 ^{注1}	t_{KSO1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω		85	ns
$\overline{\text{SCKp}}\uparrow \rightarrow \text{SO}$ 出力遅延時間 ^{注2}	t_{KSO1}	2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 0.8$ k Ω		40	ns

注 1. $\text{DAPmn} = 0$, $\text{CKPmn} = 0$ または $\text{DAPmn} = 1$, $\text{CKPmn} = 1$ のとき。

2. $\text{DAPmn} = 0$, $\text{CKPmn} = 1$ または $\text{DAPmn} = 1$, $\text{CKPmn} = 0$ のとき。

3. $t_{\text{KCY1}} = 4/f_{\text{CLK}}$

CSIモード接続図 (CSI00 (P60-P63端子使用時) による異電位通信時)



注意 PIM6レジスタで, SlpはTTL入力バッファ・モードを選択。SOp, $\overline{\text{SCKp}}$ はN-chオープン・ドレイン出力 (6 V 耐圧) モード固定。

備考1. p : CSI番号 (p = 00)

2. m : ユニット番号 (m = 0), n : チャネル番号 (n = 0)

3. R_b [Ω] : 通信ライン ($\overline{\text{SCKp}}$, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp, $\overline{\text{SCKp}}$) 負荷容量値, V_b [V] : 通信ライン電圧

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (23/26)

(o) CSI00 (P60-P63端子使用時) による異電位通信時 (CSIモード)

(スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力, スルー・レート：通常モード)

($T_A = -40 \sim +85$, 4.0 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KY2}	2.7 V V_b 4.0 V	20 MHz < f_{MCK} 24 MHz	$12/f_{MCK}$		ns
			13.6 MHz < f_{MCK} 20 MHz	$10/f_{MCK}$		ns
			6.8 MHz < f_{MCK} 13.6 MHz	$8/f_{MCK}$		ns
			f_{MCK} 6.8 MHz	$6/f_{MCK}$		ns
SCKpハイ、ロウ・レベル幅	t_{KH2} , t_{KL2}	2.7 V V_b 4.0 V	$t_{KY2}/2 -$ 20			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) 注1	t_{SIK2}		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) 注1	t_{KSIZ}		$1/f_{MCK} +$ 50			ns
$\overline{\text{SCKp}} \downarrow \rightarrow \text{SOp}$ 出力遅延時間注2	t_{KSO2}	$C_b = 30$ pF 2.7 V V_b 4.0 V, $R_b = 0.8$ k Ω			$2/f_{MCK} + 120$	ns
SSIpセットアップ時間	t_{SSIK}	DAP = 0	120			ns
		DAP = 1	$1/f_{MCK} + 120$			ns
SSIpホールド時間	t_{KSSI}	DAP = 0	$1/f_{MCK} + 120$			ns
		DAP = 1	120			ns

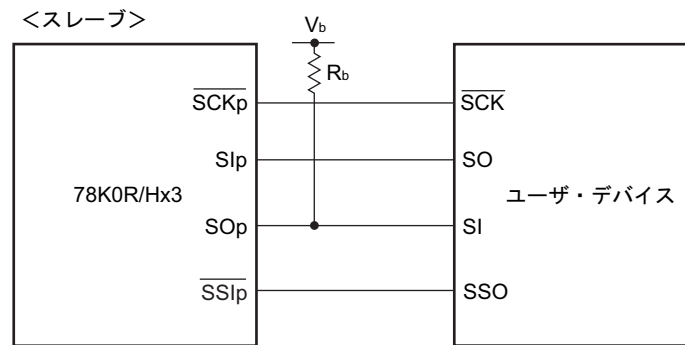
(注, 注意, 備考は次ページあります。)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (24/26)

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}\downarrow$ ”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}\uparrow$ ”となります。

CSIモード接続図 (CSI00 (P60-P63端子使用時) による異電位通信時)



注意 PIM6レジスタで、Slp, $\overline{\text{SCKp}}$ は通常入力バッファ・モードを選択。SOpはN-chオープン・ドレイン出力 (6 V 耐圧) モード固定。

備考1. p : CSI番号 (p = 00)

2. R_b [Ω] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値,
 V_b [V] : 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMR00レジスタのCKS00ビットで設定する動作クロック。)

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (25/26)

(p) 異電位 (3 V系) 通信時 (簡易I²Cモード)

(IIC11使用時, SDA11はTTL入力バッファ・モード, N-chオープン・ドレイン出力 (6V耐圧) モード,
SCL11はN-chオープン・ドレイン出力 (6V耐圧) モード)

(T_A = -40 ~ +85 , 4.0 V V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCL11クロック周波数	f _{SCL}	2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ		400 ^注	kHz
SCL11 = "L"のホールド・タイム	t _{LOW}	2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	1200		ns
SCL11 = "H"のホールド・タイム	t _{HIGH}	2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	600		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	135 + 1/f _{MCK}		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 1.4 kΩ	0	140	ns

注 かつ f_{SCL} f_{MCK}/4

注意 PIM6レジスタで, SDA11はTTL入力バッファ・モードを選択。SCL11, SDA11はN-chオープン・ドレイン出力 (6V耐圧) モード固定。

備考1. R_b [Ω]: 通信ライン (SDA11, SCL11) プルアップ抵抗値, C_b [F]: 通信ライン (SDA11, SCL11) 負荷容量値,
V_b [V]: 通信ライン電圧

2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(SMR11レジスタのCKS11ビットで設定する動作クロック。)

3. シリアル・アレイ・ユニットの簡易I²Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

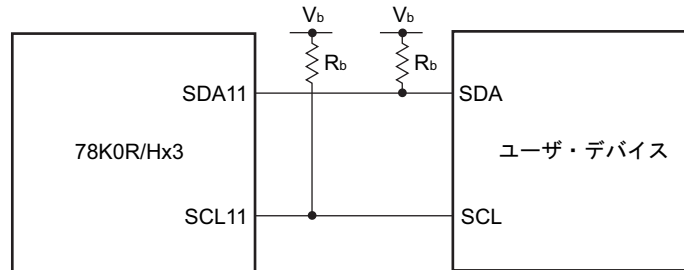
4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき: V_{IH} = 2.2 V, V_{IL} = 0.8 V

4. IIC20は, 異電位通信できません。異電位通信をする場合は, IIC11を使用してください。

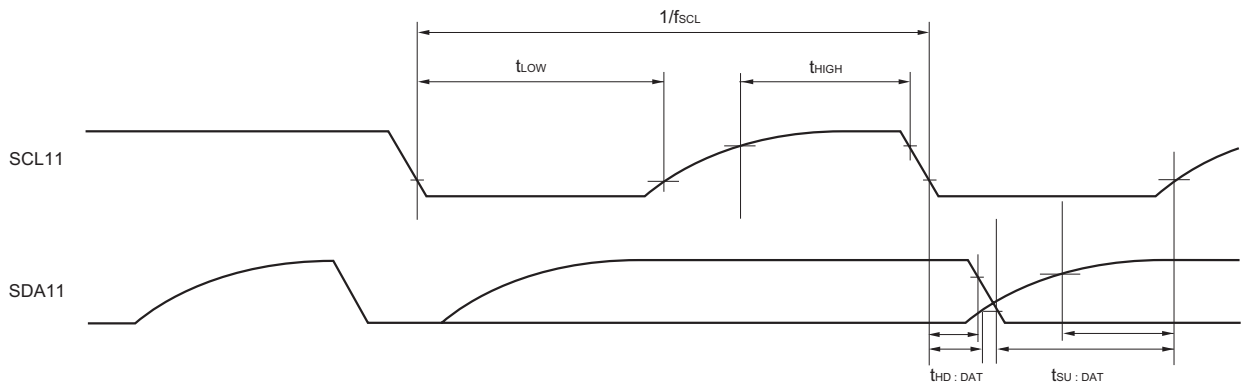
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (26/26)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 PIM6レジスタで、SDA11はTTL入カバッファ・モードを選択。SCL11はN-chオープン・ドレイン出力 (6V 耐圧) モード固定。

備考 R_b [Ω] : 通信ライン (SDA11, SCL11) プルアップ抵抗値, V_b [V] : 通信ライン電圧

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(3) LIN-UART

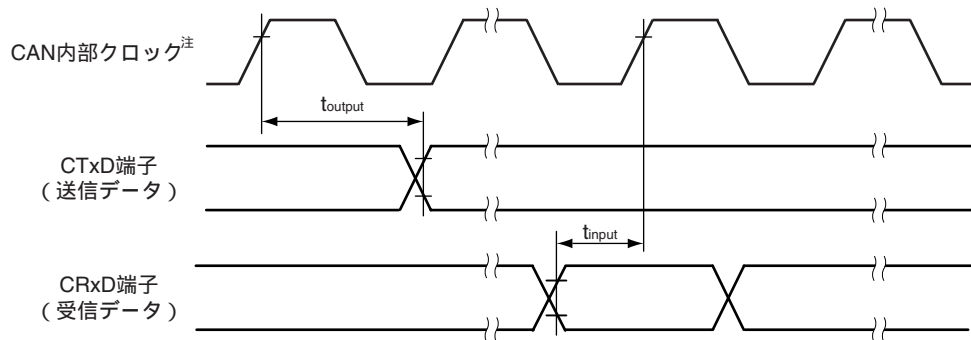
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		スルー・レート：通常モード			1	Mbps

(4) CANコントローラ

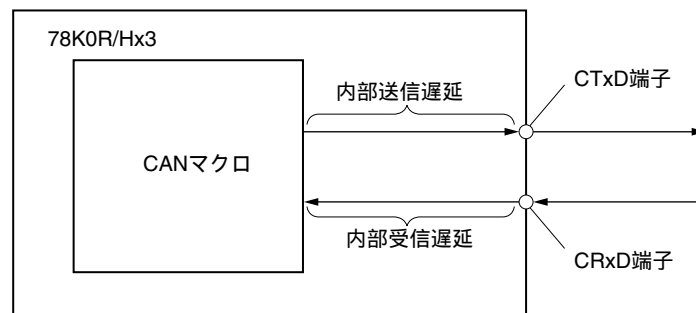
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					1	Mbps
内部遅延時間	t_{NODE}				100	ns



内部遅延時間 (t_{NODE}) = 内部送信時間 (t_{output}) + 内部受信時間 (t_{input})

注 CAN内部クロック (f_{CAN}) : CANポー・レート・クロック



内部遅延イメージ図

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(5) シリアル・インタフェース：オンチップ・デバッグ（UART）

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(a) オンチップ・デバッグ（UART）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			$f_{CLK}/2^{12}$		$f_{CLK}/6$	bps
		フラッシュ・メモリ・プログラミング・モード ($f_{CLK} = 20\text{ MHz}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $C_b = 30\text{ pF}$)			3.33	Mbps
TOOL1出力周波数	f_{TOOL1}	$C_b = 30\text{ pF}$			12	MHz

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1,2}	AINL	4.0 V $AV_{REF} = 5.5$ V			± 0.3	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.5	%FSR
変換時間	t _{CONV}	高速モード1 (4.0 V $AV_{REF} = 5.5$ V)	2.75		77	μ s
		高速モード2	3.9		77	μ s
		標準モード	9.3		77	μ s
ゼロスケール誤差 ^{注1,2}	EVS	4.0 V $AV_{REF} = 5.5$ V			± 0.3	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.5	%FSR
フルスケール誤差 ^{注1,2}	EFS	4.0 V $AV_{REF} = 5.5$ V			± 0.3	%FSR
		2.7 V $AV_{REF} < 4.0$ V			± 0.5	%FSR
積分直線性誤差 ^{注1}	ILE	4.0 V $AV_{REF} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	4.0 V $AV_{REF} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF} < 4.0$ V			± 1.5	LSB
アナログ入力電圧	V _{AIN}		AV_{SS}		AV_{REF}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

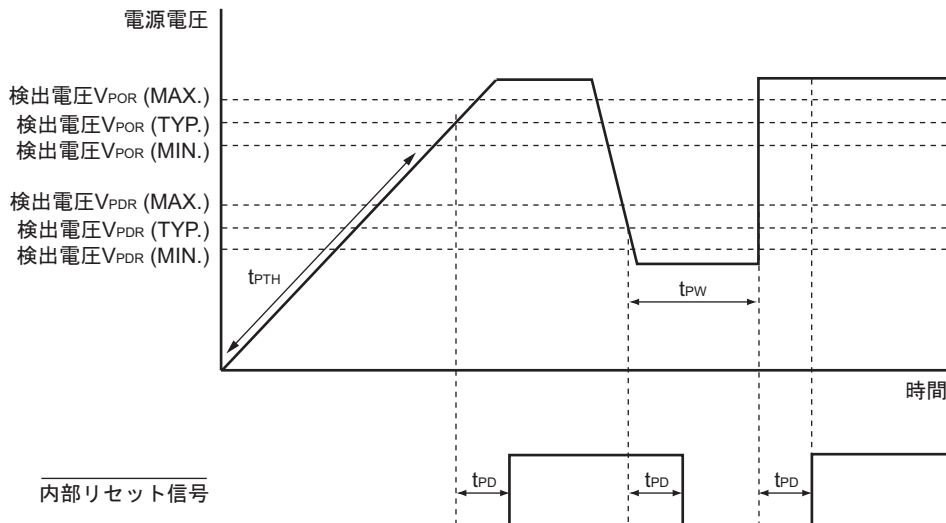
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	パワー・オン検出	1.52	1.61	1.70	V
	V_{PDR}	パワー・ダウン検出	1.5	1.59	1.68	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0 V \rightarrow V_{POCO}$ の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μs
検出遅延	t_{PD}				200	μs

POC回路タイミング



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

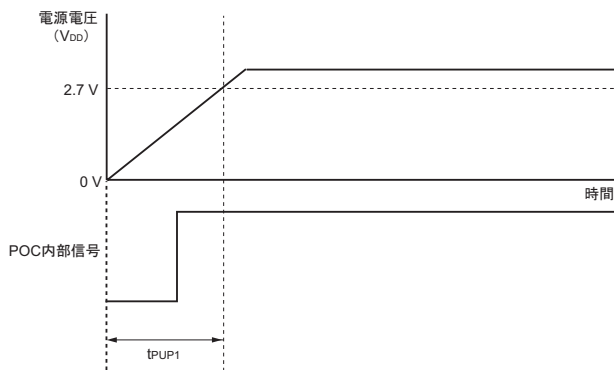
電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
2.7 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V \rightarrow 2.7 V$)	t_{PUP1}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力未使用時			5.4	ms
2.7 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 (\overline{RESET} 入力解除 $\rightarrow V_{DD} : 2.7 V$)	t_{PUP2}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力使用時			1.88	ms

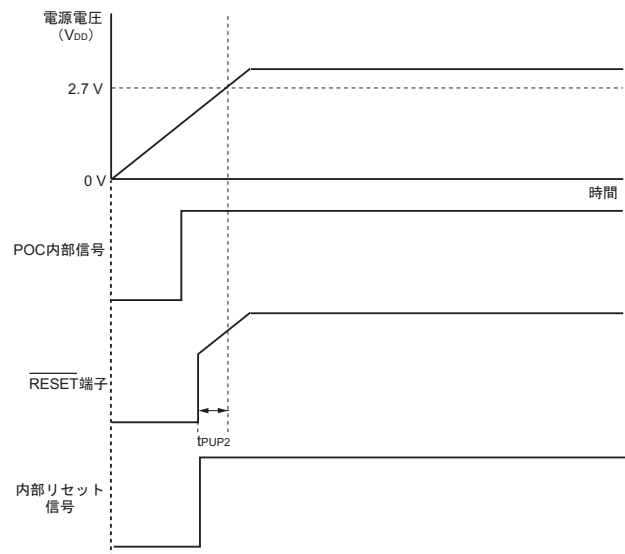
注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

・ \overline{RESET} 端子入力未使用時



・ \overline{RESET} 端子入力使用時 (POC解除後, \overline{RESET} 端子による外部リセットが解除される場合)



注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

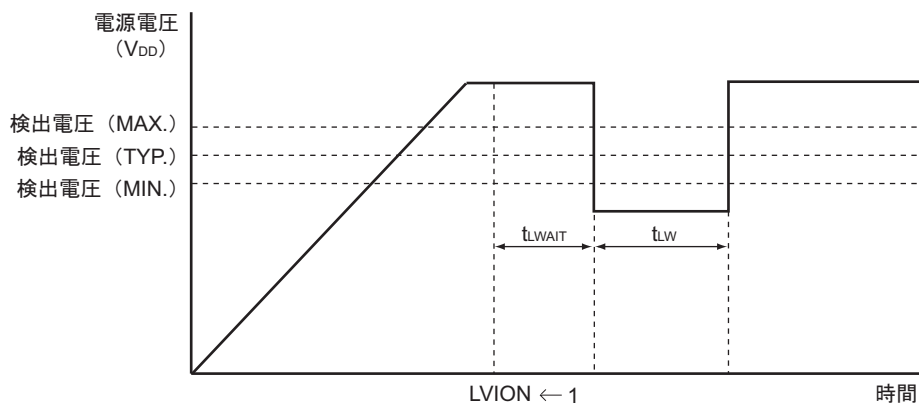
LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 電源電圧レベル	V_{LVI0}		4.12	4.22	4.32	V
	V_{LVI1}		3.97	4.07	4.17	V
	V_{LVI2}		3.82	3.92	4.02	V
	V_{LVI3}		3.66	3.76	3.86	V
	V_{LVI4}		3.51	3.61	3.71	V
	V_{LVI5}		3.35	3.45	3.55	V
	V_{LVI6}		3.20	3.30	3.40	V
	V_{LVI7}		3.05	3.15	3.25	V
	V_{LVI8}		2.89	2.99	3.09	V
	V_{LVI9}		2.74	2.84	2.94	V
外部入力端子 ^注	V_{EXLVI}	EXLVI $V_{DD} = 2.7 \text{ V}$ $V_{DD} = 5.5 \text{ V}$	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧	V_{PULVI}	LVIデフォルト・スタート機能動作時	2.73	2.93	3.13	V
最小パルス幅	t_{LW}		200			μs
検出遅延	t_{LD}				200	μs
動作安定待ち時間	t_{LWAIT}				10	μs

注 EXLVI/P120/INTP0端子を使用します。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 1-9$

LVI回路タイミング



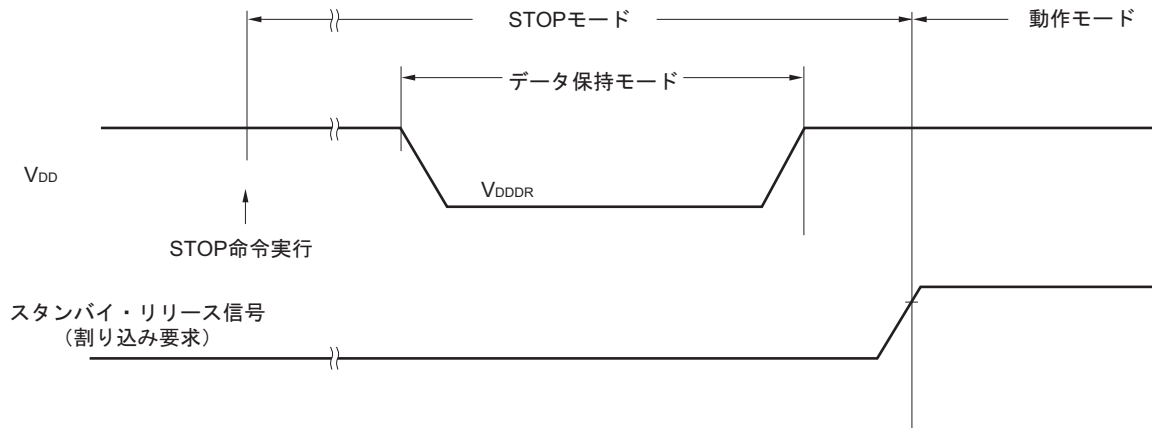
注意 製品により、搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧 ^{注1}	V _{DDDR}		1.5 ^{注2}		5.5	V

注 1. STOP中以外の状態でリセットがかかった場合のデータは保証しません。

2. POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



コード・フラッシュ・メモリ・プログラミング特性

(TA = -40~+85 , 2.7 V V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流 ^注	I _{DD}	TYP. = 10 MHz, MAX. = 24 MHz		4.5	20	mA
CPU/周辺ハードウェア・ クロック周波数	f _{CLK}		2		24	MHz
書き換え回数(ブロックごとの消 去回数)	C _{enwr}	プログラム更新用途 フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使 用時	保持 15年	1000		回

注 コード・フラッシュのプログラミング電流とチップの動作電流を含んだ値です。

データ・フラッシュ・メモリ・プログラミング特性

(TA = -40~+85 , 2.7 V V_{DD} = EV_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流 ^{注1}	I _{DD}			6	12	mA
CPU/周辺ハードウェア・ クロック周波数	f _{CLK}				24	MHz
1セクタあたりの書き換え回数	S _{enwr}	保持20年 ^{注2}	10000			回

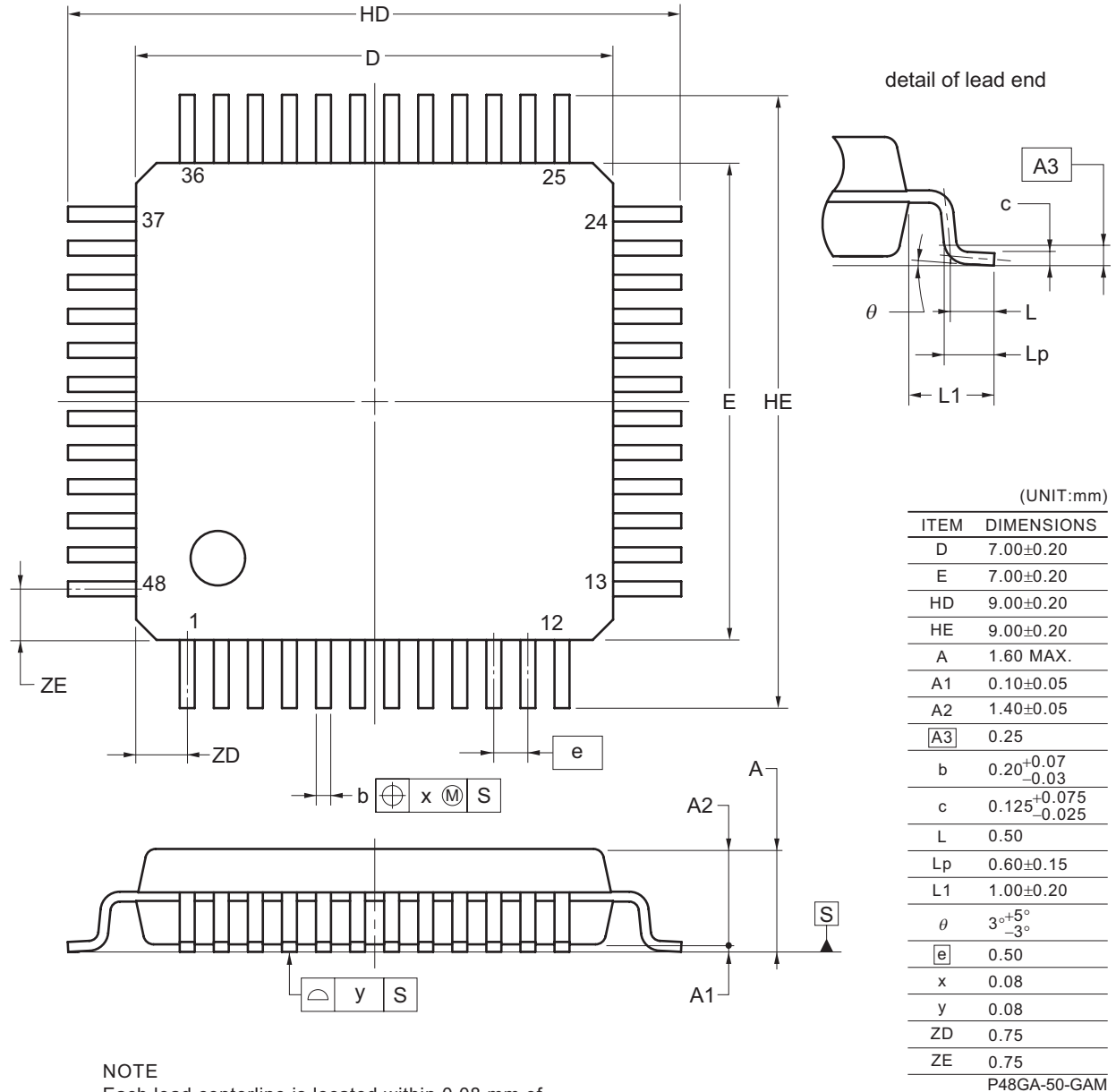
注1. データ・フラッシュのみの消費電流です。

- データ・フラッシュへの最初の書き込みを行った時点からの保持年数です。最初に書き込みを行ったブロックだけでなく、他のブロックもすべて対象になります。

第30章 外形图

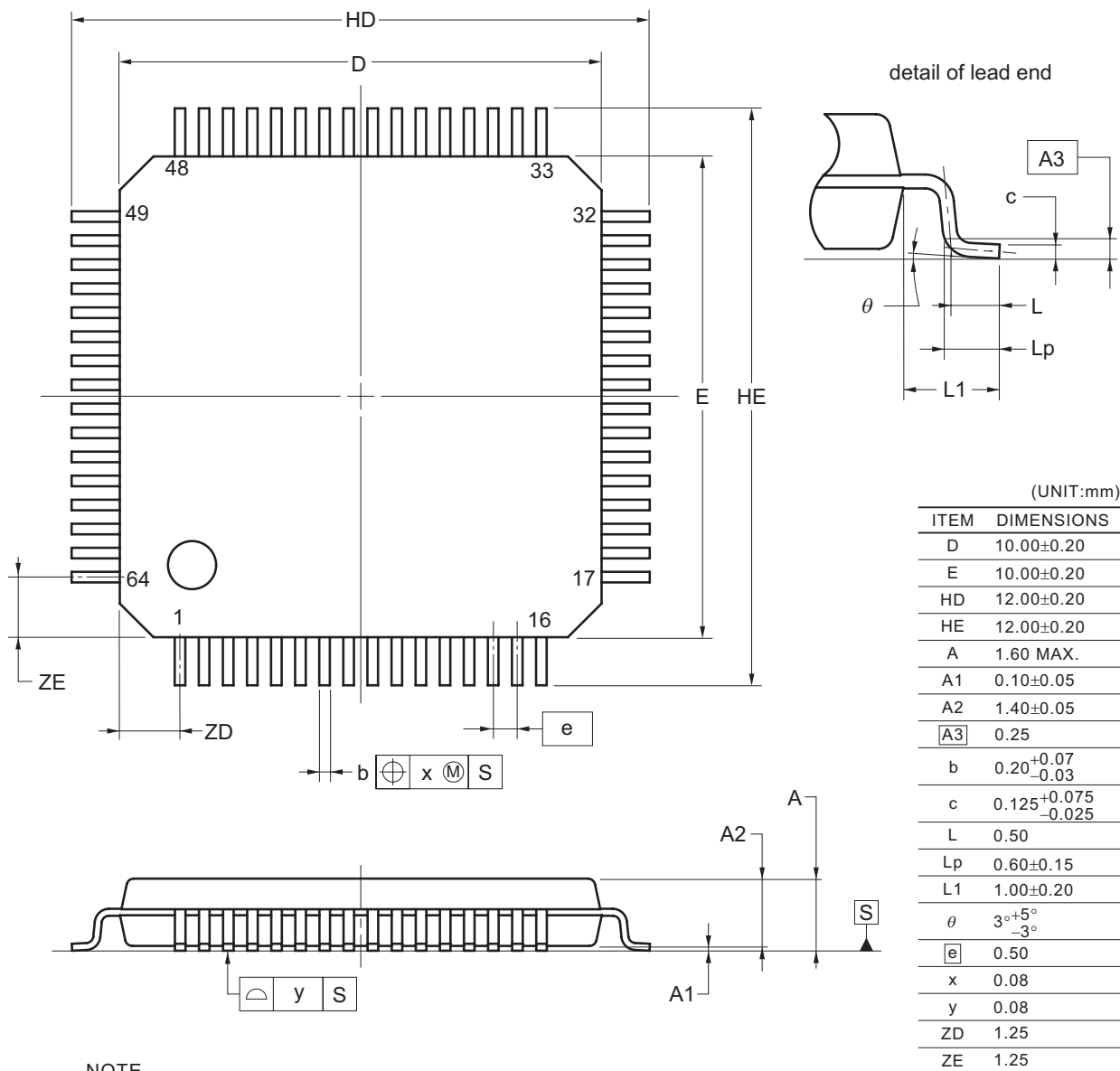
30.1 78K0R/HC3

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)



30.2 78K0R/HE3

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)

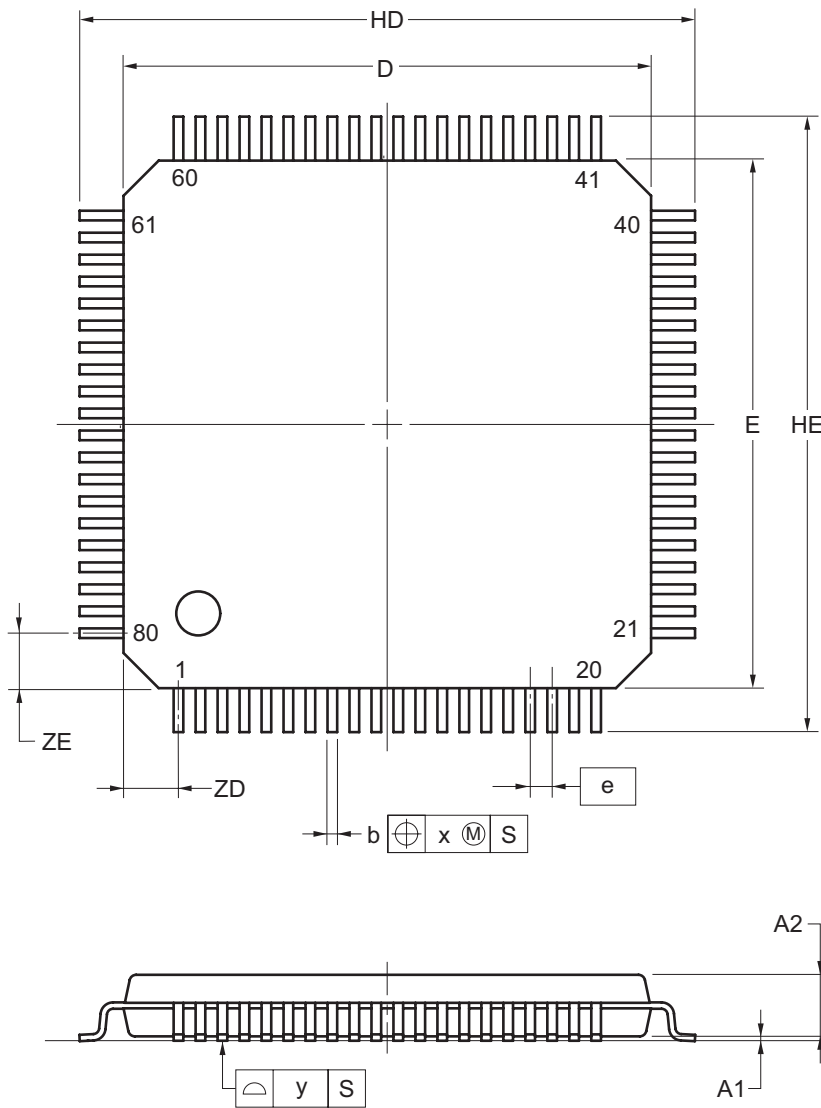


NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

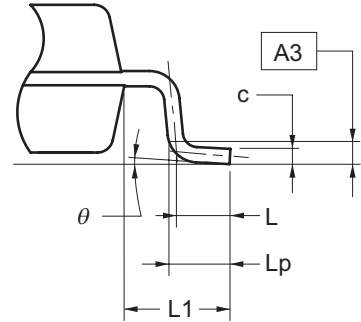
P64GB-50-GAH

30.3 78K0R/HF3

80-PIN PLASTIC LQFP (FINE PITCH) (12x12)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

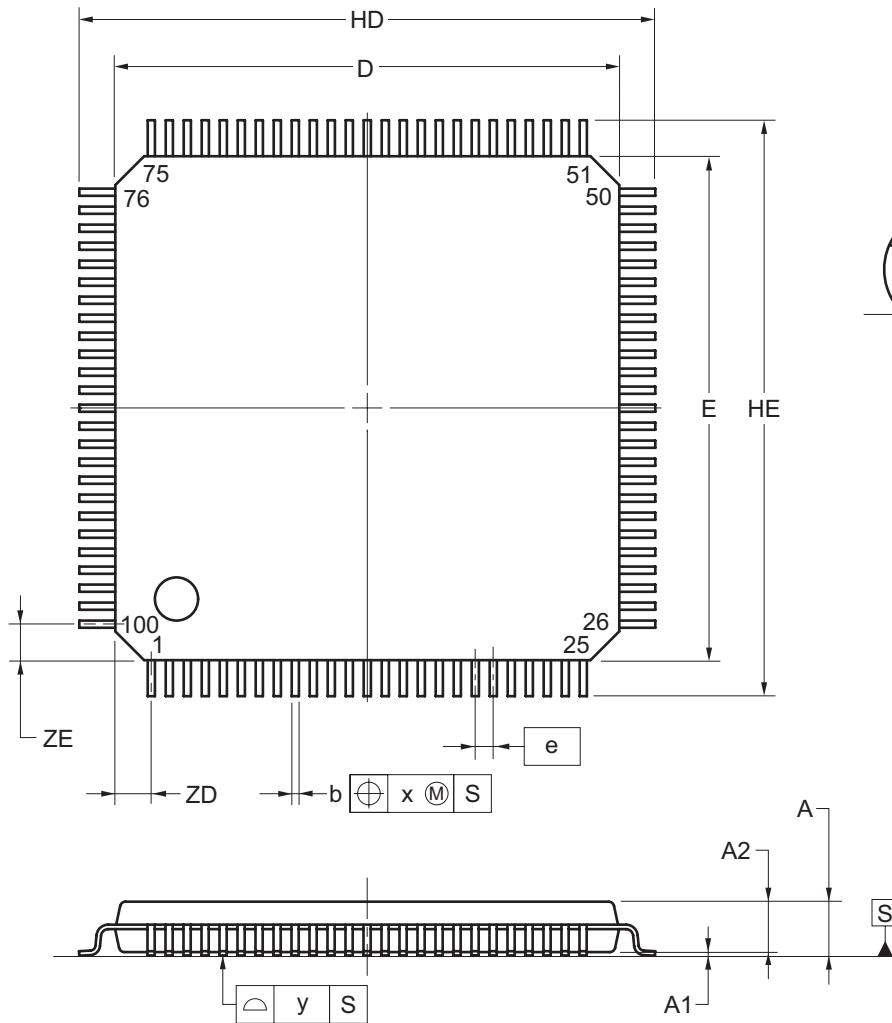
NOTE

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

P80GK-50-GAK

30.4 78K0R/HG3

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1

付録A 開発ツール

78K0R/Hx3を使用するシステム開発のために次のような開発ツールを用意しています。

図A-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

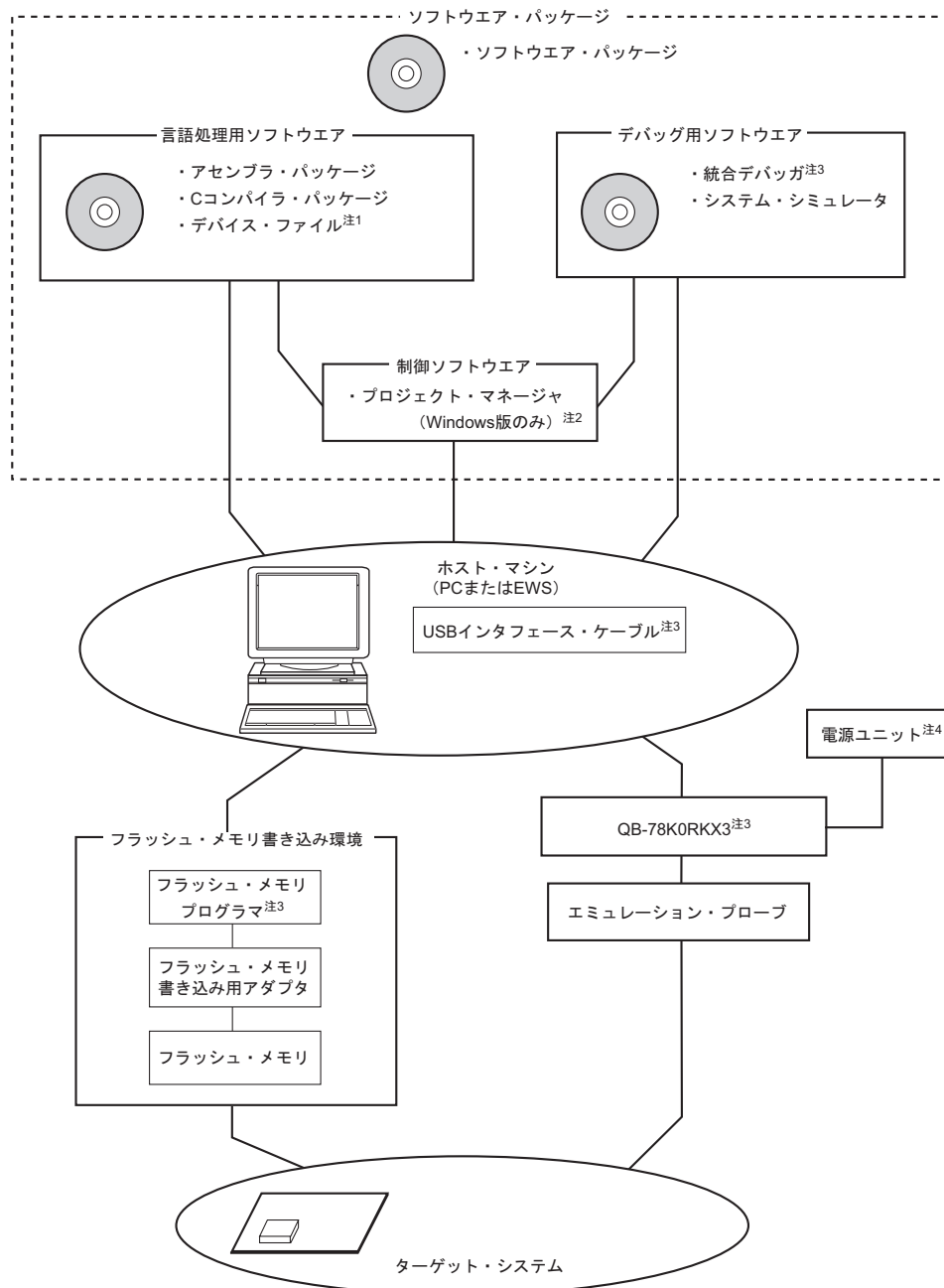
●Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 98
- ・ Windows NT[®]
- ・ Windows 2000
- ・ Windows XP[®]

図A-1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0RFX3を使用する場合



注1. 78K0R/Hx3用のデバイス・ファイル (DF781050) は、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/>) より入手してください。

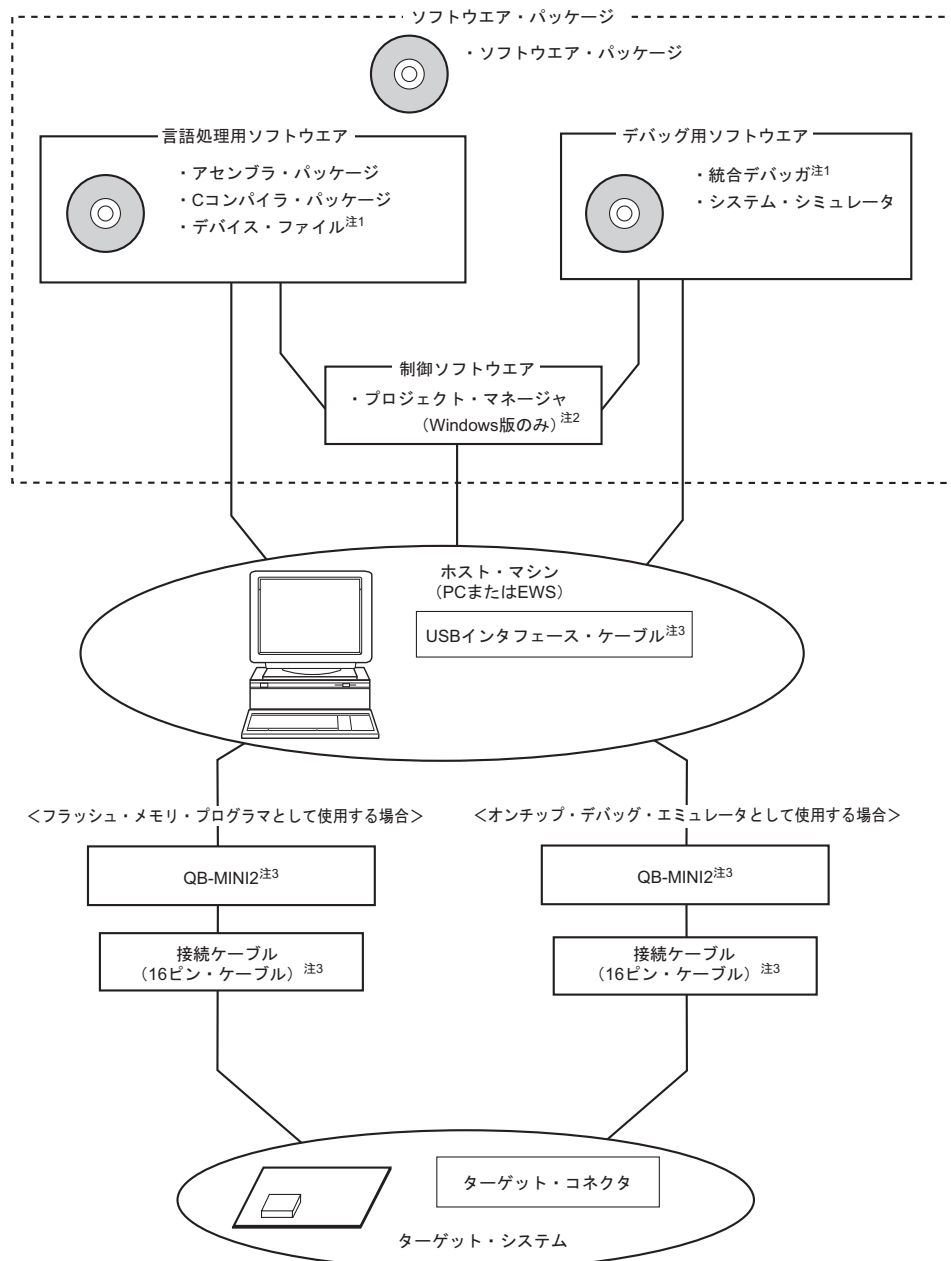
2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。また、Windows以外ではPM+は使用しません。

3. QB-78K0RFX3は、統合デバッガ ID78K0R-QB, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, USBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

4. 電源ユニットは、QB-78K0RFX3には含まれていません。別売りとなります。

図A-1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1. 78K0R/Hx3用のデバイス・ファイル (DF781050) および統合デバッガ ID78K0R-QBIは、開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ja/ods/>) より入手してください。

2. プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。また、Windows以外ではPM+は使用しません。

3. オンチップ・デバッグ・エミュレータ QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。また、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0R 78K0Rマイクロコントローラ・ソフトウェア・パッケージ	78K0Rマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称：μSxxxxSP78K0R
---	---

備考 オーダ名称のxxxxは、使用するホスト・マシン、OSにより異なります。

μSxxxxSP78K0R

xxxx	ホスト・マシン	OS
AB17	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows
BB17		英語Windows

A.2 言語処理用ソフトウェア

RA78K0R アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>デバイス・ファイル（DF781050）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称：μSxxxxRA78K0R</p>
CC78K0R Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称：μSxxxxCC78K0R</p>
DF781050 ^注 デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール（RA78K0R, CC78K0R, ID78K0R-QB）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダ名称：μSxxxxDF781050</p>

注 DF781050は、RA78K0R, CC78K0R, ID78K0R-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www2.renesas.com/micro/ja/ods/>）より入手してください。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0R

μS××××CC78K0R

××××	ホスト・マシン	OS
AB17	PC-9800シリーズ、IBM PC/AT互換機	日本語Windows
BB17		英語Windows

μS××××DF781050

××××	ホスト・マシン	OS
AB13	PC-9800シリーズ、IBM PC/AT互換機	日本語Windows
BB13		英語Windows

A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ（RA78K0R）の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

FL-PR5, PG-FP5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-xxxx ^注 フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注 フラッシュ・メモリ書き込み用アダプタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		フラッシュ・メモリ書き込み用 アダプタ
78K0R/HC3	48ピン・プラスチックLQFP (GA-GAMタイプ)	FA-78F1828GA-GAM-RX
78K0R/HE3	64ピン・プラスチックLQFP (GB-GAHタイプ)	FA-78F1833GB-GAH-RX
78K0R/HF3	80ピン・プラスチックLQFP (GK-GAKタイプ)	FA-78F1840GK-GAK-RX
78K0R/HG3	100ピン・プラスチックLQFP (GC-UEUタイプ)	FA-78F1845GC-UEU-RX

備考 1. FL-PR5, FA-xxxxは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL (042) 750-4172）

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0Rマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。78K0R/Hx3を使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.5 デバッグ用ツール（ハードウェア）

A.5.1 インサーキット・エミュレータ QB-78K0RFX3を使用する場合

QB-78K0RFX3 インサーキット・エミュレータ	78K0R/Hx3を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ（ID78K0R-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-144-EP-02S ^{注1} QB-80-EP-01T ^{注2} エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-xxxx-EA-xxx ^{注3} エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-xxxx-YS-xxx ^{注3} スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。
QB-xxxx-YQ-xxx ^{注3} YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。
QB-xxxx-HQ-xxx ^{注3} マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-xxxx-NQ-xxx ^{注3} ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

注1. 78K0R/HG3のみ

2. 78K0R/HC3, 78K0R/HE3, 78K0R/HF3のみ

3. エクステンジ・アダプタ、スペース・アダプタ、YQコネクタ、マウント・アダプタ、ターゲット・コネクタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		エクステンジ・アダプタ	スペース・アダプタ	YQコネクタ	マウント・アダプタ	ターゲット・コネクタ
78K0R/HC3	48ピン・プラスチックLQFP（GA-GAMタイプ）	QB-48GA-EA-05T	QB-48GA-YS-01T	QB-48GA-YQ-01T	QB-48GA-HQ-01T	QB-48GA-NQ-01T
78K0R/HE3	64ピン・プラスチックLQFP（GB-GAHタイプ）	QB-64GB-EA-09T	QB-64GB-YS-01T	QB-64GB-YQ-01T	QB-64GB-HQ-01T	QB-64GB-NQ-01T
78K0R/HF3	80ピン・プラスチックLQFP（GK-GAKタイプ）	QB-80GK-EA-10T	QB-80GK-YS-01T	QB-80GK-YQ-01T	QB-80GK-HQ-01T	QB-80GK-NQ-01T
78K0R/HG3	100ピン・プラスチックLQFP（GC-UEUタイプ）	QB-100GC-EA-09T	QB-100GC-YS-01T	QB-100GC-YQ-01T	QB-100GC-HQ-01T	QB-100GC-NQ-01T

（備考1, 2, 3は次のページにあります）

- 備考1. QB-78K0RFX3は、USBインタフェース・ケーブルを添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を添付しています。
2. 電源ユニットは、QB-78K0RFX3には含まれていません。別売りとなります。
3. オーダ名称により、梱包内容は次のように異なります。

梱包内容 オーダ名称	インサートキット・ エミュレータ	エミュレーション・ プローブ	エクスチェンジ・ アダプタ	YQコネクタ	ターゲット・ コネクタ
QB-78K0RFX3-ZZZ	QB-78K0RFX3	なし			
QB-78K0RFX3-T48GA		QB-80-EP-01T	QB-48GA-EA-05T	QB-48GA-YQ-01T	QB-48GA-NQ-01T
QB-78K0RFX3-T64GB			QB-64GB-EA-09T	QB-64GB-YQ-01T	QB-64GB-NQ-01T
QB-78K0RFX3-T80GK			QB-80GK-EA-10T	QB-80GK-YQ-01T	QB-80GK-NQ-01T
QB-78K0RFX3-T100GC		QB-144-EP-02S	QB-100GC-EA-09T	QB-100GC-YQ-01T	QB-100GC-NQ-01T

A. 5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0Rマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 USBインタフェース・ケーブル, 接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。78K0R/Hx3を使用する場合, USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	---

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ
(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.6 デバッグ用ツール（ソフトウェア）

ID78K0R-QB 統合デバッガ	78K0Rマイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0R-QBIは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。 オーダ名称： μ S****ID78K0R-QB
----------------------	---

備考 オーダ名称の****は、使用するホスト・マシン、OSにより異なります。

μ S****ID78K0R-QB

****	ホスト・マシン	OS
AB17	PC-9800シリーズ,	日本語Windows
BB17	IBM PC/AT互換機	英語Windows

付録B 改版履歴

B.1 本版で改訂された主な箇所

(1/4)

箇所	内容	分類
第1章 概 説		
p.19~22	1.4 端子接続図 (Top View) を変更	(b)
p.28	1.7 機能概要を変更	(a)
第2章 端子機能		
p.36~61	2.1 端子機能一覧を変更	(c)
p.63~83	2.2 端子機能の説明を変更	(c)
p.87	2.3 未使用端子の処理を変更	(c)
第3章 CPU アーキテクチャ		
p.99	3.1 メモリ空間を変更	(c)
p.135	3.3 命令アドレスのアドレッシングを変更	(c)
p.143~146	3.4 処理データ・アドレスに対するアドレッシングを変更	(c)
第4章 ポート機能		
p.163~232	4.2 ポートの構成を変更	(c)
p.244~258	4.3 ポート機能を制御するレジスタを変更	(c)
p.270	4.5 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定を変更	(c)
第5章 クロック発生回路		
p.285~293	5.3 クロック発生回路を制御するレジスタを変更	(c)
p.316	5.7 クロックの制御を変更	(c)
第6章 タイマ・アレイ・ユニット		
p.345~374	6.3 タイマ・アレイ・ユニットを制御するレジスタを変更	(c)
p.386	6.5 チャンネル入力 (TImn端子) の制御を変更	(c)
p.409	6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作を変更	(c)
p.411~433	6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を変更	(c)
第7章 16ビット・ウエイクアップ・タイマ		
p.437, 438	7.3 制御レジスタを変更	(c)
p.440	7.4 動作を変更	(c)
第9章 クロック出力制御回路		
p.453, 454	9.3 クロック出力制御回路を制御するレジスタを変更	(c)
第10章 A/Dコンバータ		
p.470~478	10.3 A/Dコンバータを制御するレジスタを変更	(c)
p.490	10.4 A/Dコンバータの動作を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(2/4)

箇所	内容	分類
第11章 シリアル・アレイ・ユニット		
p.506	表11-2 シリアル・アレイ・ユニットの構成を変更	(c)
p.508	図11-2 シリアル・アレイ・ユニット0のポート構成図の誤記を修正	(a)
p.525~536	11.3 シリアル・アレイ・ユニットを制御するレジスタを変更	(c)
p.542~592	11.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) 通信の動作を変更	(c)
p.598	図11-75 SPI機能のタイミング図の誤記を修正	(a)
p.600~651	11.6 SPI機能 (CSI00, CSI01) の動作を変更	(c)
p.631	図11-103 スレーブ送信の再開設定手順の誤記を修正	(a)
p.657~674	11.7 UART通信の動作を変更	(c)
p.688~696	11.8 簡易I ² C (IIC11, IIC20) 通信の動作を変更	(c)
第12章 アシクロナス・シリアル・インタフェースLIN-UART (UARTF)		
p.709	図12-1 アシクロナス・シリアル・インタフェースLIN-UARTのブロック図の誤記を修正	(a)
p.712~739	12.3 制御レジスタを変更	(c)
p.712	図12-3 LIN-UARTn制御レジスタ0 (UFnCTL0) のフォーマット (1/2) の説明を変更	(c)
p.714	図12-4 LIN-UARTnオプション・レジスタ0 (UFnOPT0) のフォーマット (1/3) UFnBRFの注意を変更	(c)
p.715	図12-4 LIN-UARTnオプション・レジスタ0 (UFnOPT0) のフォーマット (2/3) の説明を変更	(c)
p.728	図12-9 LIN-UARTn送信データ・レジスタ (UFnTX) のフォーマットの注意, 備考を変更	(c)
p.729	図12-10 LIN-UARTn 8-bit送信データ・レジスタ (UFnTXB) のフォーマットの注意, 備考を変更	(c)
p.732	図12-13 LIN-UARTn受信データ・レジスタ (UFnRX) のフォーマットの注意を変更	(c)
p.737	図12-17 LIN-UARTnバッファ制御レジスタ (UFnBUCTL) のフォーマット (2/2) UFnBUL3-UFnBUL0の注意を変更	(c)
p.740	12.4 (2) 受信完了割り込み要求信号 (INTLRn) を変更	(c)
p.741	12.4 (3) 送信割り込み要求信号 (INTLTn) の説明を変更	(c)
p.742~770	12.5 動作を変更	(c)
p.742	12.5.1 データ・フォーマットの備考を変更	(c)
p.750	図12-28 LINの受信操作概略の注を変更	(c)
p.755	図12-33 BF送信処理フローの説明を変更	(c)
p.758	12.5.6 BF受信の説明を変更	(c)
p.759	図12-36 BF受信のタイミング例の説明を変更	(c)
p.762	12.5.8 データ一貫性チェックの説明, 注意を変更	(c)
p.779~793	12.7 LIN通信オート・ポー・レート・モードを変更	(c)
p.782	図12-56 LIN通信オート・ポー・レート・モード (レスポンス送信の場合) の誤記を修正	(a)
p.798~804	12.10 専用ポー・レート・ジェネレータを変更	(c)
第13章 CANコントローラ		
p.826	表13-14 エラー・カウンタ 受信ノードがエラーなしで, 受信を完了の説明を変更	(c)
p.830	図13-18 セグメントの設定の説明を変更	(c)
p.852	図13-25 周辺クロック選択レジスタ (PCKSEL) のフォーマットを変更	(c)
p.854	図13-26 CANグローバル・モジュール制御レジスタ (CGMCTRL) のフォーマット (2/2) EFSDの注意を変更	(c)
p.863	図13-31 CANモジュール制御レジスタ (CCTRL) のフォーマット (3/4) の注意を変更	(c)
p.887	図13-50 CANメッセージ制御レジスタm (CMCTRLm) のフォーマット (2/3) (b) ライト時 Clear DNの注意を変更	(c)
p.890	図13-52 ポート・モード・レジスタ1,7 (PM1, 7) のフォーマットを変更	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(3/4)

箇所	内容	分類
第13章 CANコントローラ (続き)		
p.897	13.9.2 受信データの読み出しの説明を変更	(c)
p.915	13.11.3 パワー・セーブ・モード使用例の説明を変更	(c)
p.953	図13-85 強制シャット・ダウン処理を変更	(c)
第16章 割り込み機能		
p.990	16.2 割り込み要因と構成を変更	(c)
p.996~1008	16.3 割り込み機能を制御するレジスタを変更	(c)
第17章 キー割り込み機能		
p.1022, 1023	17.3 キー割り込みを制御するレジスタを変更	(c)
第18章 スタンバイ機能		
p.1024, 1025	18.1 スタンバイ機能と構成を変更	(c)
第19章 リセット機能		
p.1054	19.1 リセット要因を確認するレジスタを変更	(c)
第20章 パワーオン・クリア回路		
p.1056	20.1 パワーオン・クリア回路の機能を変更	(c)
p.1057	図20-1 パワーオン・クリア回路のブロック図の誤記を修正	(a)
p.1057	20.3 パワーオン・クリア回路の動作を変更	(c)
第21章 低電圧検出回路		
p.1064	21.3 (2) 低電圧検出レベル選択レジスタ (LVIS) を変更	(c)
p.1065	図21-4 ポート・モード・レジスタ12 (PM12) のフォーマット誤記を修正	(a)
p.1072	21.4 低電圧検出回路の動作を変更	(c)
p.1084	21.5 低電圧検出回路の注意事項を変更	(c)
第22章 レギュレータ		
p.1085	22.1 レギュレータの概要を変更	(c)
p.1086	22.2 動作を変更	(c)
第23章 オプション・バイト		
p.1088	23.1.1 ユーザ・オプション・バイト (000C0H-000C2H/020C0H-020C2H) を変更	(c)
p.1091	図23-2 ユーザ・オプション・バイト (000C1H/020C1H) のフォーマット (2/2) の注意を変更	(c)
p.1092	図23-3 ユーザ・オプション・バイト (000C2H/020C2H) のフォーマットの誤記を修正	(a)
p.1094	23.4 オプション・バイトの設定の誤記を修正	(a)
第24章 フラッシュ・メモリ		
p.1098	24.1 概要を変更	(c)
p.1100	24.2 フラッシュ・メモリを制御するレジスタを変更	(c)
p.1101	24.3 データ・フラッシュへのアクセス手順を変更	(c)
p.1106~1108	24.7 オンボード上の端子処理を変更	(c)
p.1112	24.9 セキュリティ設定の誤記を修正	(a)
第26章 オンチップ・デバッグ機能		
p.1129	26.2 オンチップ・デバッグ・セキュリティIDの誤記を修正	(a)
p.1130	図26-2 デバッグ用モニタ・プログラムが配置されるメモリ空間の誤記を修正	(a)
第28章 命令セットの概要		
p.1136	表28-2 オペレーション欄の記号の説明を変更	(c)
p.1138~1154	28.2 オペレーション一覧を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(4/4)

箇所	内容	分類
第29章 電気的特性		
p.1157~1212	第29章 電気的特性を変更	(a)
p.1165	DC特性 (5/12) の誤記を修正	(a)
p.1166	DC特性 (6/12) の誤記を修正	(a)
p.1170	DC特性 (10/12) の誤記を修正	(a)
p.1171	DC特性 (11/12) の誤記を修正	(a)
p.1172	DC特性 (11/12) 注の説明を変更	(c)
p.1176	割り込み要求入力タイミングの誤記を修正	(a)
p.1210	LVI回路タイミングの誤記を修正	(a)
p.1212	データ・フラッシュ・メモリ・プログラミング特性の条件を修正	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

B.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用範囲は各版での章を示します。

(1/4)

版数	内 容	適用範囲	
第2版	P70の兼用端子にLVIOUTを追加	全般	
	シリアル・モード・レジスタmn (SMRmn) のCCSmnビットの名称をSCCSmnビットに変更		
	1.4 端子接続図の注意を変更	第1章 概説	
	1.6 ブロック図にLVIOUT/P70端子を追加		
	1.7 機能概要のシリアル・インタフェースにCSI (SPI対応) を追加		
	2.2.3 (1) ポート・モードを変更	第2章 端子機能	
	2.2.7 (2) (a) INTP5, INTP6を変更		
	表2-3 各端子の未使用端子処理を変更		
	図2-1 端子の入出力回路一覧を追加		
	表3-5 SFR一覧を変更		第3章 CPUアーキテクチャ
	表3-6 拡張SFR (2nd SFR) 一覧を変更		
	表4-4 ポートの構成を変更	第4章 ポート機能	
	図4-47~図4-50 を変更		
	4.2.8 ポート8を変更		
	4.2.9 ポート9を変更		
	4.2.10 ポート10を変更		
	図4-92 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットの注意を変更		
	4.4.4 (2) 簡易IIC11機能の入出力端子を使用する場合の設定手順の説明を変更		
	表4-8 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 (5/5) のP140-PCLを変更		
	図5-1 クロック発生回路のブロック図を変更, 注を追加		第5章 クロック発生回路
	5.3 (3) 発振安定時間カウンタ状態レジスタ (OSTC) の備考を変更		
	5.3 (5) システム・クロック制御レジスタ (CKC) のリセット値, 注意を変更		
	図5-8 周辺イネーブル・レジスタ0, 1 (PER0, PER1) のフォーマットの注意を変更		
	図5-9 周辺クロック選択レジスタ (PCKSEL) のフォーマットに注, 注意を追加		
	図5-11 PLL制御レジスタ (PLLCTL) のフォーマットのPLLDIV1ビットを変更		
	図5-12 PLL状態レジスタ (PLLSTS) のフォーマットのアドレスを変更		
	5.4 クロック・モニタの説明を変更		
	図5-17 電源電圧投入時のクロック発生回路の動作を変更, 注意を変更	第6章 タイマ・アレイ・ユニット	
	5.7.1 (3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例の注意を変更		
	図6-8 周辺イネーブル・レジスタ0 (PER0) のフォーマットの注意2を変更		
	図6-28 タイマ入力選択レジスタ1 (TIS1) のフォーマット (1/2) のTIS15ビットの説明を変更		
	図6-30 タイマ出力選択レジスタ1 (TOS1) のフォーマット (1/2) のTOS15ビットの説明を変更		
	表6-5 タイマ使用時のポート・レジスタとポート・モード・レジスタの設定 (2/3) のP70端子を変更, 注を追加		

(2/4)

版数	内 容	適用範囲	
第2版	図7-2 周辺イネーブル・レジスタ1 (PER1) のフォーマットの注意を変更	第7章 16ビット・ウエイクアップ・タイマ	
	8.3 (2) セルフ・プログラミング時ウォッチドッグ・タイマ動作モード変更レジスタ (WDTSELF) に注意を追加		
	図10-2 周辺イネーブル・レジスタ0 (PER0) のフォーマットに注意2を追加		第10章 A/Dコンバータ
	図10-6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマットを変更		
	図10-11 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットの注意3を変更		
	表10-2 1チャンネルの変換クロック数 (ディスチャージなし) を変更		
	表10-3 1チャンネルの変換クロック数 (ディスチャージあり) を変更		
	表10-4 CPU/周辺ハードウェア・クロック周波数別のAD変換時間 (高速モード1: ADHS1, ADHS0 = 0, 0) (ディスチャージなし) を変更		
	表10-9 CPU/周辺ハードウェア・クロック周波数別のAD変換時間 (標準モード: ADHS1, ADHS0 = 1, 0) (ディスチャージあり)		
	10.4.3 トリガ・モードの選択の説明を変更		
	10.6 (4) 競合動作についての説明を変更		
	表10-11 等価回路の各抵抗と容量値 (参考値) を変更	第11章 シリアル・アレイ・ユニット	
	図11-6 周辺イネーブル・レジスタ0, 1 (PER0, PER1) のフォーマットの注意3を変更		
	図11-10 シリアル・データ・レジスタmn (SDRmn) のフォーマットを変更		
	図11-19 シリアル・スレープ選択許可レジスタ0 (SSE0) のフォーマットの注意を変更		
	10.3 (16) ノイズ・フィルタ許可レジスタ0 (NFEN0) の説明を変更		
	図11-24 ポート・モード・レジスタ1, 3, 4, 6, 7, 15 (PM1, PM3, PM4, PM6, PM7, PM15) のフォーマットを変更		
	図11-25 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0, 1 (PER0, PER1) の設定の注意2を変更		
	表11-8~表11-12を変更	第12章 アシンクロナス・シリアル・インタフェース LIN-UART (UARTF)	
	図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマットに注意を追加		
表12-2 発生する割り込みとデフォルト・プライオリティを変更			
12.11 使用上の注意の説明を変更	第13章 CANコントローラ		
図13-31 CANモジュール制御レジスタ (CTRL) のフォーマットのアドレスを変更			
13.9.5 マルチ・バッファ受信ブロック機能を変更	第14章 乗除算器		
図14-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマットを変更			
DMA全チャンネル強制ウェイト・レジスタのレジスタ名, ビット名を変更	第15章 DMAコントローラ		

(3/4)

版数	内容	適用範囲
第2版	表16-1 割り込み要因一覧を変更	第16章 割り込み機能
	16.3 割り込み機能を制御するレジスタを変更	
	図16-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (78K0R/HG3の場合) に注意を追加	
	図16-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (78K0R/HG3の場合) に注意を追加	
	図16-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) (78K0R/HG3の場合) のフォーマットに注意を追加	
	表16-3 EGPnとEGNnに対応するポートを変更	
	18.1.2 (2) 発振安定時間カウンタ状態レジスタ (OSTC) の備考を変更	第18章 スタンバイ機能
	図18-6 HALTモードのリセットによる解除を変更	
	図18-9 STOPモードのリセットによる解除を変更	
	図19-2 RESET入力によるリセット・タイミングを変更	第19章 リセット機能
	図19-3 不正命令の実行/ウォッチドッグ・タイマのオーバフローによるリセット・タイミングを変更	
	表19-2 各ハードウェアのリセット受け付け後の状態のシステム・クロック制御レジスタ (CKC) を変更	
	図20-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト: LVIOFF = 1) を変更	第20章 パワーオン・クリア回路
	図20-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト: LVIOFF = 0) を変更	
	21.4.1 (1) 電源電圧 (VDD) のレベルを検出する場合の説明を変更	第21章 低電圧検出回路
	21.4.1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合の説明を変更	
	24.1.2 データ・フラッシュ・メモリの特徴に注意を追加	第24章 フラッシュ・メモリ
	図24-1 周辺イネーブル・レジスタ1 (PER1) のフォーマットに注意を追加	
	24.10 コード・フラッシュ・セルフ・プログラミングに注意を追加	
	25.1.1 (1) 不正メモリ・アクセス検出制御レジスタ (IAWCTL) の説明を変更	第25章 データ保護とセーフティ
25.2 (1) 特定レジスタ操作保護レジスタ (GUARD) を変更		
図26-1 QB-MINI2と78K0R/Hx3の接続例に注を追加	第26章 オンチップ・デバッグ機能	
28.2 オペレーション一覧を変更	第28章 命令セットの概要	

(4/4)

版 数	内 容	適用範囲
第2版	PLL回路特性を追加	第29章 電氣的特性
	DC特性 ハイ・レベル入力リーク電流 (ILIH4) を変更	
	DC特性 内蔵プルアップ抵抗の条件欄を変更	
	DC特性 電源電流を変更	
	DC特性 データ・フラッシュ動作電流を変更	
	AC特性 (1) 基本動作のTOMn出力周波数を変更	
	AC特性 (1) 基本動作の出力立ち上がり時間, 立ち下がり時間を変更	
	AC特性 (1) 基本動作のACタイミング測定点に注を追加	
	AC特性 (1) 基本動作に出力立ち上がり, 立ち下がりタイミングを追加	
	(2) シリアル・インタフェース: シリアル・アレイ・ユニットを変更	
	データ・フラッシュ・メモリ・プログラミング特性を変更	
A. 5.1 インサーキット・エミュレータ QB-78K0RFX3を使用する場合のオーダ名称を変更	付録A 開発ツール	

78K0R/Hx3 ユーザーズマニュアル
ハードウェア編

発行年月日 2011年8月11日 Rev.2.00
 2013年9月20日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町 2-6-2 (日本ビル)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

78K0R/Hx3