

78K0R/KC3-L, 78K0R/KE3-L (USB コントローラ内蔵製品)

ユーザーズマニュアル ハードウェア編
16 ビット・シングルチップ・マイクロコントローラ

μPD78F1022

μPD78F1023

μPD78F1024

μPD78F1025

μPD78F1026

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは78K0R/KC3-L, KE3-Lの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

このマニュアルの対象製品は、次表の太枠で示した製品です。

愛称	標準製品	USBコントローラ内蔵製品
78K0R/KC3-L	μ PD78F1000, 78F1001, 78F1002, 78F1003	μ PD78F1022, 78F1023, 78F1024
78K0R/KE3-L	μ PD78F1007, 78F1008, 78F1009	μ PD78F1025, 78F1026

「78K0R/Kx3-L ユーザーズ・マニュアル」 このマニュアルをご覧ください。
(R01UH0106J) をご覧ください。

このマニュアルで78K0R/KC3-L, KE3-Lと記載している場合は、次の製品を表しております。

- ・78K0R/KC3-L : μ PD78F1022, 78F1023, 78F1024
- ・78K0R/KE3-L : μ PD78F1025, 78F1026

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0R/KC3-L, KE3-Lのマニュアルは、このマニュアルと命令編（78K0Rマイクロコントローラ共通）の2冊に分かれています。

78K0R/KC3-L, 78K0R/KE3-L (USBコントローラ内蔵製品) ユーザーズ・マニュアル	78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0Rでは予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編 (R01US0029J) を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
78K0R/KC3-L, 78K0R/KE3-L (USBコントローラ内蔵製品) ユーザーズ・マニュアル	このマニュアル	R01UH0019E
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	R01US0029J	R01US0029E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和 文	英 文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
SM+ システム・シミュレータ	操作編	U18010J	U18010E
PM+ Ver.6.30		U18416J	U18416E
ID78K0R-QB Ver.3.20 統合デバッガ	操作編	U17839J	U17839E

開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホームページ参照

和文：<http://japan.renesas.com/prod/package/manual/index.html>

英文：<http://www.renesas.com/prod/package/manual/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章 概 説 ... 16

- 1.1 特 徴 ... 16
- 1.2 応用分野 ... 17
- 1.3 オーダ情報 ... 17
- 1.4 端子接続図 (Top View) ... 18
- 1.5 端子名称 ... 21
- 1.6 78K0R/Kx3-Lマイクロコントローラの製品展開 ... 22
- 1.7 ブロック図 ... 23
 - 1.7.1 78K0R/KC3-L ... 23
 - 1.7.2 78K0R/KE3-L ... 24
- 1.8 機能概要 ... 25

第2章 端子機能 ... 27

- 2.1 端子機能一覧 ... 27
 - 2.1.1 78K0R/KC3-L ... 28
 - 2.1.1 78K0R/KE3-L ... 32
- 2.2 端子機能の説明 ... 36
 - 2.2.1 P02-P04 (Port 0) ... 36
 - 2.2.2 P10-P17 (Port 1) ... 37
 - 2.2.3 P20-P27 (Port 2) ... 39
 - 2.2.4 P31 (Port 3) ... 39
 - 2.2.5 P40-P43 (Port 4) ... 40
 - 2.2.6 P50-P53 (Port 5) ... 41
 - 2.2.7 P60-P63 (Port 6) ... 42
 - 2.2.8 P70-P77 (Port 7) ... 43
 - 2.2.9 P110, P111 (Port 11) ... 44
 - 2.2.10 P120-P124 (Port 12) ... 44
 - 2.2.11 P130 (Port 13) ... 45
 - 2.2.12 P140, P142-P144 (Port 14) ... 45
 - 2.2.13 AVREF ... 47
 - 2.2.14 AVSS ... 47
 - 2.2.15 $\overline{\text{RESET}}$... 47
 - 2.2.16 REGC ... 47
 - 2.2.17 VDD, EVDD ... 47
 - 2.2.18 VSS, EVSS ... 47
 - 2.2.19 FLMD0 ... 48
- 2.3 端子の入出力回路と未使用端子の処理 ... 49

第3章 CPUアーキテクチャ ... 53

- 3.1 メモリ空間 ... 53
 - 3.1.1 内部プログラム・メモリ空間 ... 58
 - 3.1.2 ミラー領域 ... 60

- 3.1.3 内部データ・メモリ空間 ... 61
- 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 62
- 3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 62
- 3.1.6 データ・メモリ・アドレッシング ... 63
- 3.2 **プロセッサ・レジスタ** ... 66
 - 3.2.1 制御レジスタ ... 66
 - 3.2.2 汎用レジスタ ... 68
 - 3.2.3 ES, CSレジスタ ... 70
 - 3.2.4 特殊機能レジスタ (SFR : Special Function Register) ... 71
 - 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 77
- 3.3 **命令アドレスのアドレッシング** ... 99
 - 3.3.1 レラティブ・アドレッシング ... 99
 - 3.3.2 イミューディエト・アドレッシング ... 99
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 100
 - 3.3.4 レジスタ・ダイレクト・アドレッシング ... 100
- 3.4 **処理データ・アドレスに対するアドレッシング** ... 101
 - 3.4.1 インプライド・アドレッシング ... 101
 - 3.4.2 レジスタ・アドレッシング ... 101
 - 3.4.3 ダイレクト・アドレッシング ... 102
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 103
 - 3.4.5 SFRアドレッシング ... 104
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 105
 - 3.4.7 ベースト・アドレッシング ... 106
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 109
 - 3.4.9 スタック・アドレッシング ... 110

第4章 ポート機能 ... 111

- 4.1 **ポートの機能** ... 111
- 4.2 **ポートの構成** ... 114
 - 4.2.1 ポート0 ... 115
 - 4.2.2 ポート1 ... 118
 - 4.2.3 ポート2 ... 126
 - 4.2.4 ポート3 ... 128
 - 4.2.5 ポート4 ... 129
 - 4.2.6 ポート5 ... 134
 - 4.2.7 ポート6 ... 136
 - 4.2.8 ポート7 ... 138
 - 4.2.9 ポート11 ... 139
 - 4.2.10 ポート12 ... 141
 - 4.2.11 ポート13 ... 145
 - 4.2.12 ポート14 ... 146
- 4.3 **ポート機能を制御するレジスタ** ... 150
- 4.4 **ポート機能の動作** ... 159
 - 4.4.1 入出力ポートへの書き込み ... 159
 - 4.4.2 入出力ポートからの読み出し ... 159
 - 4.4.3 入出力ポートでの演算 ... 159
 - 4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法 ... 160
- 4.5 **兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定** ... 162
- 4.6 **ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項** ... 164

第5章 クロック発生回路 ... 165

- 5.1 クロック発生回路の機能 ... 165
- 5.2 クロック発生回路の構成 ... 167
- 5.3 クロック発生回路を制御するレジスタ ... 169
- 5.4 システム・クロック発振回路 ... 187
 - 5.4.1 X1発振回路 ... 187
 - 5.4.2 XT1発振回路 ... 187
 - 5.4.3 高速内蔵発振回路 ... 191
 - 5.4.4 低速内蔵発振回路 ... 191
 - 5.4.5 プリスケーラ ... 191
- 5.5 クロック発生回路の動作 ... 192
- 5.6 クロックの制御 ... 197
 - 5.6.1 高速システム・クロックの制御例 ... 197
 - 5.6.2 高速内蔵発振クロックの制御例 ... 200
 - 5.6.3 サブシステム・クロックの制御例 ... 202
 - 5.6.4 低速内蔵発振クロックの制御例 ... 204
 - 5.6.5 USBクロックの制御 ... 205
 - 5.6.6 CPUクロック状態移行図 ... 206
 - 5.6.7 CPUクロックの移行前の条件と移行後の処理 ... 213
 - 5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 215
 - 5.6.9 クロック発振停止前の条件 ... 216

第6章 タイマ・アレイ・ユニット ... 217

- 6.1 タイマ・アレイ・ユニットの機能 ... 217
 - 6.1.1 単独チャンネルで動作する機能 ... 217
 - 6.1.2 複数チャンネルで動作する機能 ... 218
 - 6.1.3 LIN-bus対応機能（チャンネル7のみ） ... 219
- 6.2 タイマ・アレイ・ユニットの構成 ... 220
- 6.3 タイマ・アレイ・ユニットを制御するレジスタ ... 225
- 6.4 チャンネル出力（TO0n端子）の制御 ... 247
 - 6.4.1 TO0n端子の出力回路の構成 ... 247
 - 6.4.2 TO0n端子の出力設定 ... 248
 - 6.4.3 チャンネル出力操作時の注意事項 ... 249
 - 6.4.4 TO0nビットの一括操作 ... 254
 - 6.4.5 カウント動作開始時のタイマ割り込みとTO0n端子出力について ... 255
- 6.5 チャンネル入力（TI0n端子）の制御 ... 256
 - 6.5.1 TI0nエッジ検出回路 ... 256
- 6.6 タイマ・アレイ・ユニットの基本機能説明 ... 257
 - 6.6.1 単体動作機能と連動動作機能の概要 ... 257
 - 6.6.2 連動動作機能の基本ルール ... 257
 - 6.6.3 連動動作機能の基本ルールの適用範囲 ... 258
- 6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作 ... 259
 - 6.7.1 インターバル・タイマ/方形波出力としての動作 ... 259
 - 6.7.2 外部イベント・カウンタとしての動作 ... 265
 - 6.7.3 分周器としての動作（78K0R/KE3-Lのチャンネル0のみ） ... 269
 - 6.7.4 入力パルス間隔測定としての動作 ... 273
 - 6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作 ... 277
- 6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作 ... 281

- 6. 8. 1 PWM機能としての動作 ... 281
- 6. 8. 2 ワンショット・パルス出力機能としての動作 ... 288
- 6. 8. 3 多重PWM出力機能としての動作 ... 295

第7章 リアルタイム・カウンタ ... 302

- 7. 1 リアルタイム・カウンタの機能 ... 302
- 7. 2 リアルタイム・カウンタの構成 ... 302
- 7. 3 リアルタイム・カウンタを制御するレジスタ ... 304
- 7. 4 リアルタイム・カウンタの動作 ... 319
 - 7. 4. 1 リアルタイム・カウンタの動作開始 ... 319
 - 7. 4. 2 動作開始後のSTOPモードへの移行 ... 320
 - 7. 4. 3 リアルタイム・カウンタのカウント読み出し / 書き込み ... 321
 - 7. 4. 4 リアルタイム・カウンタのアラーム設定 ... 323
 - 7. 4. 5 リアルタイム・カウンタの32.768 kHz出力 ... 324
 - 7. 4. 6 リアルタイム・カウンタの512 Hz, 16.384 kHz出力 ... 324
 - 7. 4. 7 リアルタイム・カウンタの時計誤差補正例 ... 325

第8章 ウォッチドッグ・タイマ ... 330

- 8. 1 ウォッチドッグ・タイマの機能 ... 330
- 8. 2 ウォッチドッグ・タイマの構成 ... 331
- 8. 3 ウォッチドッグ・タイマを制御するレジスタ ... 332
- 8. 4 ウォッチドッグ・タイマの動作 ... 333
 - 8. 4. 1 ウォッチドッグ・タイマの動作制御 ... 333
 - 8. 4. 2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 334
 - 8. 4. 3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 ... 335
 - 8. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定 ... 336

第9章 クロック出力 / ブザー出力制御回路 ... 337

- 9. 1 クロック出力 / ブザー出力制御回路の機能 ... 337
- 9. 2 クロック出力 / ブザー出力制御回路の構成 ... 338
- 9. 3 クロック出力 / ブザー出力制御回路を制御するレジスタ ... 338
- 9. 4 クロック出力 / ブザー出力制御回路の動作 ... 341
 - 9. 4. 1 出力端子の動作 ... 341

第10章 A/Dコンバータ ... 342

- 10. 1 A/Dコンバータの機能 ... 342
- 10. 2 A/Dコンバータの構成 ... 343
- 10. 3 A/Dコンバータで使用するレジスタ ... 345
- 10. 4 A/Dコンバータの動作 ... 355
 - 10. 4. 1 A/Dコンバータの基本動作 ... 355
 - 10. 4. 2 入力電圧と変換結果 ... 357
 - 10. 4. 3 A/Dコンバータの動作モード ... 358
- 10. 5 A/Dコンバータ特性表の読み方 ... 361
- 10. 6 A/Dコンバータの注意事項 ... 364

第11章 シリアル・アレイ・ユニット ... 368

- 11.1 シリアル・アレイ・ユニットの機能 ... 369
 - 11.1.1 3線シリアルI/O (CSI00, CSI10, CSI20) ... 369
 - 11.1.2 UART (UART0-UART3) ... 370
 - 11.1.3 簡易I²C (IIC10, IIC20) ... 371
- 11.2 シリアル・アレイ・ユニットの構成 ... 372
- 11.3 シリアル・アレイ・ユニットを制御するレジスタ ... 379
- 11.4 動作停止モード ... 400
 - 11.4.1 ユニット単位で動作停止とする場合 ... 400
 - 11.4.2 チャンネルごとに動作停止とする場合 ... 401
- 11.5 3線シリアルI/O (CSI00, CSI10, CSI20) 通信の動作 ... 402
 - 11.5.1 マスタ送信 ... 404
 - 11.5.2 マスタ受信 ... 412
 - 11.5.3 マスタ送受信 ... 418
 - 11.5.4 スレーブ送信 ... 426
 - 11.5.5 スレーブ受信 ... 434
 - 11.5.6 スレーブ送受信 ... 440
 - 11.5.7 転送クロック周波数の算出 ... 448
- 11.6 UART (UART0-UART3) 通信の動作 ... 450
 - 11.6.1 UART送信 ... 452
 - 11.6.2 UART受信 ... 461
 - 11.6.3 LIN送信 ... 467
 - 11.6.4 LIN受信 ... 470
 - 11.6.5 ボー・レートの算出 ... 475
- 11.7 簡易I²C (IIC10, IIC20) 通信の動作 ... 479
 - 11.7.1 アドレス・フィールド送信 ... 481
 - 11.7.2 データ送信 ... 486
 - 11.7.3 データ受信 ... 489
 - 11.7.4 ストップ・コンディション発生 ... 493
 - 11.7.5 転送レートの算出 ... 495
- 11.8 エラー発生時の処理手順 ... 498
- 11.9 レジスタの設定と端子の関係 ... 500

第12章 シリアル・インタフェースIICA ... 507

- 12.1 シリアル・インタフェースIICAの機能 ... 507
- 12.2 シリアル・インタフェースIICAの構成 ... 510
- 12.3 シリアル・インタフェースIICAを制御するレジスタ ... 513
- 12.4 I²Cバス・モードの機能 ... 527
 - 12.4.1 端子構成 ... 527
 - 12.4.2 IICWL, IICWHレジスタによる転送クロック設定方法 ... 528
- 12.5 I²Cバスの定義および制御方法 ... 529
 - 12.5.1 スタート・コンディション ... 529
 - 12.5.2 アドレス ... 530
 - 12.5.3 転送方向指定 ... 530
 - 12.5.4 アクノリッジ (ACK) ... 531
 - 12.5.5 ストップ・コンディション ... 532
 - 12.5.6 ウェイト ... 533

- 12. 5. 7 ウェイト解除方法 ... 535
- 12. 5. 8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御 ... 536
- 12. 5. 9 アドレスの一致検出方法 ... 537
- 12. 5. 10 エラーの検出 ... 537
- 12. 5. 11 拡張コード ... 538
- 12. 5. 12 アービトレーション ... 539
- 12. 5. 13 ウエイク・アップ機能 ... 541
- 12. 5. 14 通信予約 ... 544
- 12. 5. 15 その他の注意事項 ... 548
- 12. 5. 16 通信動作 ... 549
- 12. 5. 17 I²C割り込み要求 (INTIICA) の発生タイミング ... 557
- 12. 6 タイミング・チャート ... 578

第13章 USBファンクション・コントローラ (USBFC) ... 585

- 13. 1 概 要 ... 585
- 13. 2 構 成 ... 586
 - 13. 2. 1 ブロック図 ... 586
- 13. 3 外部回路構成 ... 587
 - 13. 3. 1 概 要 ... 587
 - 13. 3. 2 接続構成 ... 588
- 13. 4 注意事項 ... 589
- 13. 5 リクエスト ... 590
 - 13. 5. 1 自動リクエスト ... 590
 - 13. 5. 2 その他のリクエスト ... 598
- 13. 6 レジスタ構成 ... 599
 - 13. 6. 1 USBファンクション・コントローラ・レジスタ一覧 ... 599
 - 13. 6. 2 クロック制御レジスタ ... 614
 - 13. 6. 3 EPC制御レジスタ ... 616
 - 13. 6. 4 データ保持レジスタ ... 670
 - 13. 6. 5 EPCリクエスト・データ・レジスタ ... 695
 - 13. 6. 6 EPC周辺制御レジスタ ... 711
- 13. 7 STALLハンドシェークまたはノー・ハンドシェーク ... 712
- 13. 8 特定状態でのレジスタ値 ... 713
- 13. 9 FW処理 ... 715
 - 13. 9. 1 初期化处理 ... 717
 - 13. 9. 2 割り込み処理 ... 720
 - 13. 9. 3 USBメイン処理 ... 721
 - 13. 9. 4 Suspend/Resume処理 ... 749
 - 13. 9. 5 電源投入後の処理 ... 752

第14章 乗除算器 ... 755

- 14. 1 乗除算器の機能 ... 755
- 14. 2 乗除算器の構成 ... 755
- 14. 3 乗除算器を制御するレジスタ ... 760
- 14. 4 乗除算器の動作 ... 761
 - 14. 4. 1 乗算動作 ... 761
 - 14. 4. 2 除算動作 ... 762

第15章 DMAコントローラ ... 764

- 15.1 DMAコントローラの機能 ... 764
- 15.2 DMAコントローラの構成 ... 765
- 15.3 DMAコントローラを制御するレジスタ ... 768
- 15.4 DMAコントローラの動作 ... 772
 - 15.4.1 動作手順 ... 772
 - 15.4.2 転送モード ... 773
 - 15.4.3 DMA転送の終了 ... 773
- 15.5 DMAコントローラの設定例 ... 774
 - 15.5.1 CSI連続送信 ... 774
 - 15.5.2 CSIマスタ受信 ... 776
 - 15.5.3 CSI送受信 ... 778
 - 15.5.4 A/D変換結果の連続取り込み ... 780
 - 15.5.5 UART連続受信+ACK送信 ... 782
 - 15.5.6 DWAITnによるDMA転送保留 ... 784
 - 15.5.7 ソフトウェアでの強制終了 ... 785
- 15.6 DMAコントローラの注意事項 ... 787

第16章 割り込み機能 ... 790

- 16.1 割り込み機能の種類 ... 790
- 16.2 割り込み要因と構成 ... 790
- 16.3 割り込み機能を制御するレジスタ ... 796
- 16.4 割り込み処理動作 ... 806
 - 16.4.1 マスカブル割り込み要求の受け付け動作 ... 806
 - 16.4.2 ソフトウェア割り込み要求の受け付け動作 ... 809
 - 16.4.3 多重割り込み処理 ... 809
 - 16.4.4 割り込み要求の保留 ... 813

第17章 キー割り込み機能 ... 814

- 17.1 キー割り込みの機能 ... 814
- 17.2 キー割り込みの構成 ... 814
- 17.3 キー割り込みを制御するレジスタ ... 815

第18章 スタンバイ機能 ... 817

- 18.1 スタンバイ機能と構成 ... 817
 - 18.1.1 スタンバイ機能 ... 817
 - 18.1.2 スタンバイ機能を制御するレジスタ ... 818
- 18.2 スタンバイ機能の動作 ... 822
 - 18.2.1 HALTモード ... 822
 - 18.2.2 STOPモード ... 827

第19章 リセット機能 ... 832

- 19.1 リセット要因を確認するレジスタ ... 841

第20章	パワーオン・クリア回路	... 842
20.1	パワーオン・クリア回路の機能	... 842
20.2	パワーオン・クリア回路の構成	... 843
20.3	パワーオン・クリア回路の動作	... 843
20.4	パワーオン・クリア回路の注意事項	... 846
第21章	低電圧検出回路	... 848
21.1	低電圧検出回路の機能	... 848
21.2	低電圧検出回路の構成	... 849
21.3	低電圧検出回路を制御するレジスタ	... 849
21.4	低電圧検出回路の動作	... 853
21.4.1	リセットとして使用時の設定	... 854
21.4.2	割り込みとして使用時の設定	... 860
21.5	低電圧検出回路の注意事項	... 866
第22章	レギュレータ	... 870
22.1	レギュレータの概要	... 870
22.2	レギュレータを制御するレジスタ	... 870
第23章	オプション・バイト	... 872
23.1	オプション・バイトの機能	... 872
23.1.1	ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)	... 872
23.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)	... 873
23.2	ユーザ・オプション・バイトのフォーマット	... 874
23.3	オンチップ・デバッグ・オプション・バイトのフォーマット	... 876
23.4	オプション・バイトの設定	... 877
第24章	フラッシュ・メモリ	... 878
24.1	フラッシュ・メモリ・プログラマによる書き込み方法	... 878
24.2	プログラミング環境	... 882
24.3	通信方式	... 883
24.4	オンボード上の端子処理	... 884
24.4.1	FLMD0端子	... 884
24.4.2	TOOL0端子	... 885
24.4.3	RESET端子	... 885
24.4.4	ポート端子	... 885
24.4.5	REGC端子	... 885
24.4.6	X1, X2端子	... 886
24.4.7	電 源	... 886
24.5	フラッシュ・メモリを制御するレジスタ	... 887
24.6	プログラミング方法	... 887
24.6.1	フラッシュ・メモリ制御	... 887
24.6.2	フラッシュ・メモリ・プログラミング・モード	... 888
24.6.3	通信方式	... 889
24.6.4	通信コマンド	... 889

24.7	セキュリティ設定 ...	891
24.8	セルフ書き込みによるフラッシュ・メモリ・プログラミング ...	893
24.8.1	ブート・スワップ機能 ...	896
24.8.2	フラッシュ・シールド・ウインドウ機能 ...	898
第25章 オンチップ・デバッグ機能 ... 899		
25.1	QB-MINI2と78K0R/KC3-L, KE3-Lの接続 ...	899
25.2	オンチップ・デバッグ・セキュリティID ...	900
25.3	ユーザ資源の確保 ...	900
第26章 10進補正 (BCD) 回路 ... 902		
26.1	10進補正回路の機能 ...	902
26.2	10進補正回路で使用するレジスタ ...	902
26.3	10進補正回路の動作 ...	903
第27章 命令セットの概要 ... 905		
27.1	凡 例 ...	906
27.1.1	オペランドの表現形式と記述方法 ...	906
27.1.2	オペレーション欄の説明 ...	907
27.1.3	フラグ動作欄の説明 ...	908
27.1.4	PREFIX命令 ...	908
27.2	オペレーション一覧 ...	909
第28章 電気的特性 ... 926		
第29章 外形図 ... 971		
29.1	78K0R/KC3-L (48ピン製品) ...	971
29.2	78K0R/KE3-L (64ピン製品) ...	973
付録A 開発ツール ... 976		
A.1	ソフトウェア・パッケージ ...	978
A.2	言語処理用ソフトウェア ...	978
A.3	制御ソフトウェア ...	979
A.4	フラッシュ・メモリ書き込み用ツール ...	980
A.4.1	フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ...	980
A.4.2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ...	980
A.5	デバッグ用ツール (ハードウェア) ...	981
A.5.1	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ...	981
A.6	デバッグ用ツール (ソフトウェア) ...	981
付録B 改版履歴 ... 982		
B.1	本版で改訂された主な箇所 ...	982

第1章 概 説

1.1 特 徴

高速 (0.05 μ s : 高速システム・クロック20 MHz動作時 (USB未使用時)) から超低速 (61 μ s : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間を変更可能
 汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)
 ROM, RAM容量

製品名		プログラム・メモリ (ROM)		データ・メモリ (RAM)
愛称	品名			
78K0R/KC3-L (48ピン)	μ PD78F1022	フラッシュ・メモリ	64 Kバイト	6Kバイト
	μ PD78F1023		96 Kバイト	8 Kバイト ^注
	μ PD78F1024		128 Kバイト	8 Kバイト ^注
78K0R/KE3-L (64ピン)	μ PD78F1025		96 Kバイト	8 Kバイト ^注
	μ PD78F1026		128 Kバイト	8 Kバイト ^注

注 セルフ・プログラミング機能使用時は, 7 Kバイト

高速内蔵発振クロック内蔵

- ・20 MHz高速内蔵発振クロック : 20 MHz (TYP.)
- ・8 MHz高速内蔵発振クロック : 8 MHz (TYP.)
- ・1 MHz高速内蔵発振クロック : 1 MHz (TYP.)

単電源のフラッシュ・メモリ内蔵 (チップ消去 / ブロック消去 / 書き込み禁止機能あり)

セルフ・プログラミング機能対応 (ブート・スワップ / フラッシュ・シールド・ウインドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ内蔵 (専用の低速内蔵発振クロックで動作可能)

乗除算器 (16ビット×16ビット, 32ビット÷32ビット) 内蔵

キー割り込み機能内蔵

クロック出力 / ブザー出力制御回路内蔵

10進補正 (BCD) 回路内蔵

I/Oポート : 53/39本 (N-chオープン・ドレイン : 4本)

タイマ : 10チャンネル

- ・16ビット・タイマ : 8チャンネル
- ・ウォッチドッグ・タイマ : 1チャンネル
- ・リアルタイム・カウンタ : 1チャンネル

シリアル・インタフェース

- ・CSI : 1チャンネル / UART : 1チャンネル
- ・CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル
- ・CSI : 1チャンネル^注 / UART : 1チャンネル^注 / 簡易I²C : 1チャンネル^注
- ・UART (LIN-bus対応) : 1チャンネル
- ・I²C : 1チャンネル

USBコントローラ

- ・USBファンクション (フルスピード) : 1チャンネル

注 78K0R/KE3-Lのみ

10ビット分解能A/Dコンバータ (AVREF = 1.8~3.6 V) : 8チャンネル

電源電圧 : V_{DD} = 1.8~3.6 V (USB未使用時) , V_{DD} = 3.0~3.6 V (USB使用時)

動作周囲温度 : T_A = -40 ~ +85

1.2 応用分野

USBインタフェースを使用する機器

AV機器

家電製品

産業機器

ヘルスケア機器

1.3 オーダ情報

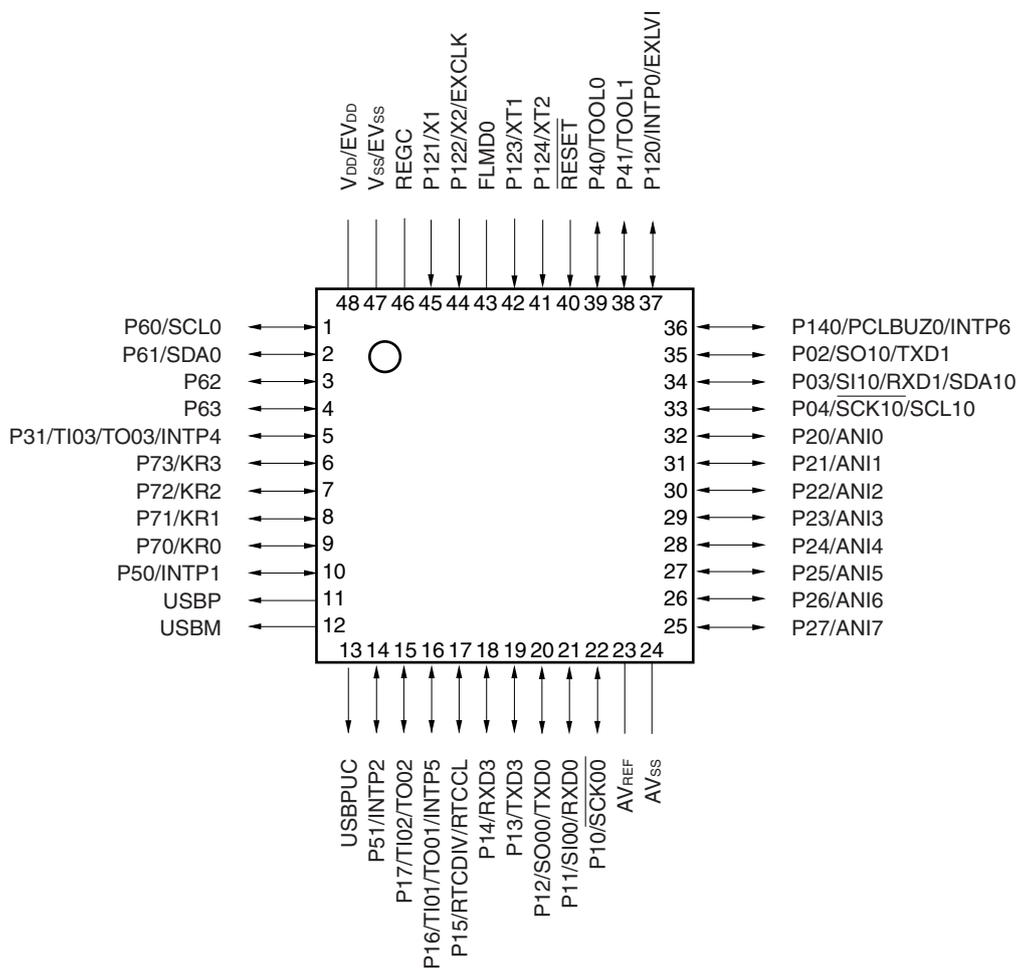
・フラッシュ・メモリ製品 (鉛フリー製品)

78K0R/Kx3-L マイクロコン トローラ	パッケージ	オーダ名称
78K0R/KC3-L	48ピン・プラスチックTQFP (ファインピッチ) (7x7)	μ PD78F1022GA-HAA-AX, 78F1023GA-HAA-AX, 78F1024GA-HAA-AX
	48ピン・プラスチックWQFN (7x7)	μ PD78F1022K8-5B4-AX, 78F1023K8-5B4-AX, 78F1024K8-5B4-AX
78K0R/KE3-L	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	μ PD78F1025GB-GAH-AX, 78F1026GB-GAH-AX
	64ピン・プラスチックTQFP (ファインピッチ) (7x7)	μ PD78F1025GA-HAB-AX, 78F1026GA-HAB-AX
	64ピン・プラスチックFBGA (5x5)	μ PD78F1025F1-AN9-A, 78F1026F1-AN9-A

注意 78K0R/KC3-L, 78K0R/KE3-Lには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1. 4 端子接続図 (Top View)

- ・ 48ピン・プラスチックTQFP (ファインピッチ) (7 x 7)
- ・ 48ピン・プラスチックWQFN (7 x 7)

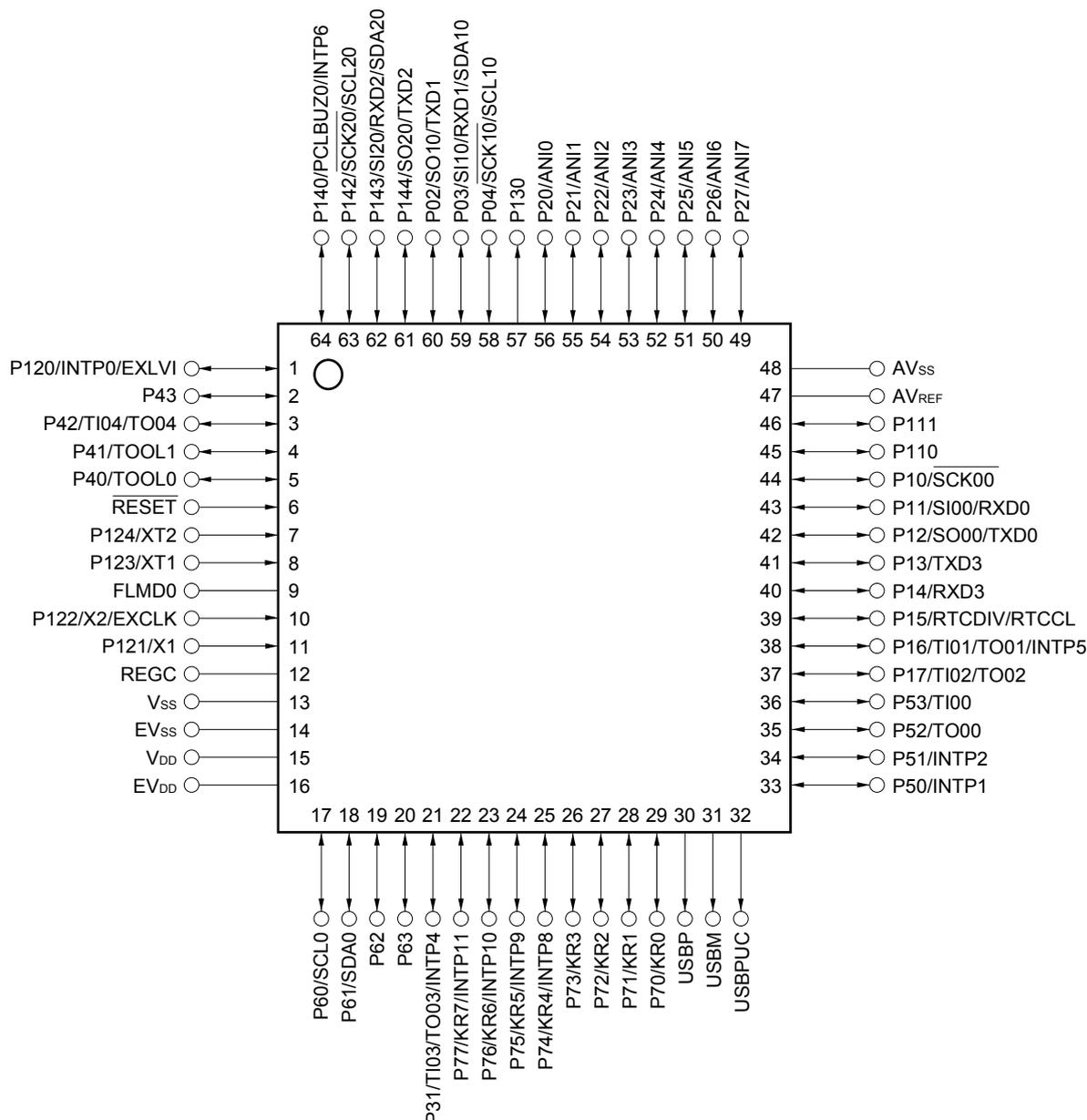


注意1. AVssは、EVss、Vssと同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1 μ F) を介し、Vssに接続してください。

3. P20/ANI0-P27/ANI7は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P27/ANI7、...、P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P27/ANI7から順に優先的に使用してください (詳細は、10. 3 (6) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

- ・ 64ピン・プラスチックTQFP (7 x 7 mm)
- ・ 64ピン・プラスチックLQFP (10 x 10 mm)



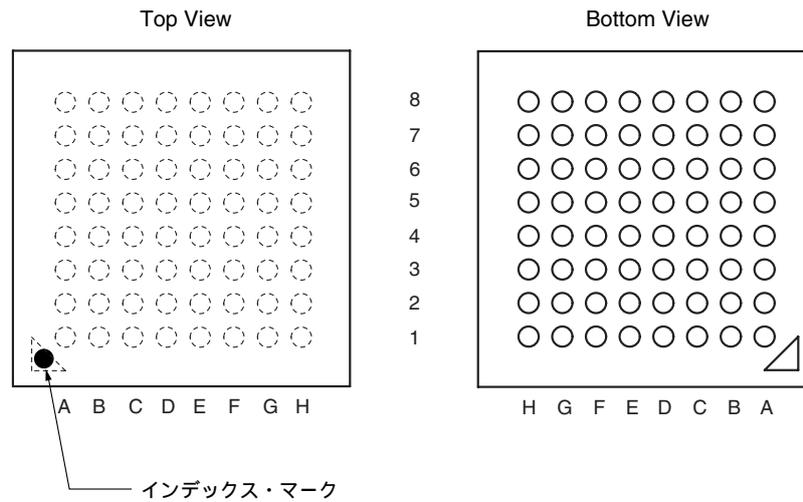
注意1. AV_{SS}, EV_{SS}は, V_{SS}と同電位にしてください。

2. EV_{DD}は, V_{DD}と同電位にしてください。

3. REGCはコンデンサ (0.47 ~ 1 μF) を介し, V_{SS}に接続してください。

4. P20/ANIO-P27/ANI7は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P27/ANI7, ..., P20/ANIOの順にアナログ入力に設定されます。アナログ入力として使用する場合は, P27/ANI7から順に優先的に使用してください (詳細は, 10. 3 (6) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

・ 64ピン・プラスチックFBGA (5 x 5 mm)



ピン番号	名称	ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	USBM	C1	P53/TI00	E1	P13/TxD3	G1	AVREF
A2	USBP	C2	P51/INTP2	E2	P12/SO00/TxD0	G2	P27/ANI7
A3	P71/KR1	C3	P52/TO00	E3	P110	G3	P25/ANI5
A4	P73/KR3	C4	P74/KR4/INTP8	E4	P111	G4	P23/ANI3
A5	P31/TI03/TO03/INTP4	C5	P76/KR6/INTP10	E5	P143/SI20/RxD2/ SDA20	G5	P21/ANI1
A6	P61/SDA0	C6	P77/KR7/INTP11	E6	P41/TOOL1	G6	P04/SCK10/SCL10
A7	P60/SCL0	C7	Vss	E7	RESET	G7	P02/SO10/TxD1
A8	EVDD	C8	P121/X1	E8	FLMD0	G8	P124/XT2
B1	P50/INTP1	D1	P14/RxD3	F1	P10/SCK00	H1	AVss
B2	USBPUC	D2	P16/TI01/TO01/ INTP5	F2	P11/SI00/RxD0	H2	P26/ANI6
B3	P70/KR0	D3	P15/RTCDIV/RTCCL	F3	P130	H3	P24/ANI4
B4	P72/KR2	D4	P17/TI02/TO02	F4	P144/SO20/TxD2	H4	P22/ANI2
B5	P63	D5	P75/KR5/INTP9	F5	P142/SCK20/SCL20	H5	P20/ANI0
B6	P62	D6	P40/TOOL0	F6	P43	H6	P03/SI10/RxD1/ SDA10
B7	VDD	D7	REGC	F7	P42/TI04/TO04	H7	P140/PCLBUZ0/ INTP6
B8	EVss	D8	P122/X2/EXCLK	F8	P123/XT1	H8	P120/INTP0/EXLVI

注意 1. AVss, EVssは, Vssと同電位にしてください。

2. EVDDは, VDDと同電位にしてください。

3. REGCはコンデンサ (0.47 ~ 1 μ F) を介し, Vssに接続してください。

1.5 端子名称

ANI0-ANI7	: Analog Input	RTCCL	: Real-time Counter Clock (32 kHz
AVREF	: Analog Reference Voltage		Original Oscillation) Output
AVSS	: Analog Ground	RTCDIV	: Real-time Counter Clock (32 kHz
EVDD	: Power Supply for Port		Divided Frequency) Output
EVSS	: Ground for Port	RxD0-RxD3	: Receive Data
EXLVI	: External potential Input for Low-voltage detector	$\overline{\text{SCK00}}, \overline{\text{SCK10}}, \overline{\text{SCK20}}$: Serial Clock Input/Output
FLMD0	: Flash Programming Mode	SCL0, SCL10, SCL20	: Serial Clock Input/Output
INTP0-INTP2, INTP4-INTP6, INTP8-INTP11	: External Interrupt Input	SDA0, SDA10, SDA20	: Serial Data Input/Output
KR0-KR7	: Key Return	SI00, SI10, SI20	: Serial Data Input
PCLBUZ0	: Clock out put/ Buzzer output	SO00, SO10, SO20	: Serial Data Output
P02-P04	: Port 0	TI00-TI04	: Timer Input
P10-P17	: Port 1	TO00-TO04	: Timer Output
P20-P27	: Port 2	TOOL0	: Data Input/Output for Tool
P31	: Port 3	TOOL1	: Clock Output for Tool
P40-P43	: Port 4	TxD0-TxD3	: Transmit Data
P50-P53	: Port 5	USBP	: USB Data I/O (+)
P60-P63	: Port 6	USBM	: USB Data I/O (-)
P70-P77	: Port 7	USBPUC	: USB Pull-up Resistor Control
P110, P111	: Port 11	V _{DD}	: Power Supply
P120-P124	: Port 12	V _{SS}	: Ground
P130	: Port 13	X1, X2	: Crystal Oscillator (Main SystemClock)
P140-P144	: Port 14	XT1, XT2	: Crystal Oscillator (SubsystemClock)
REGC	: Regulator Capacitance		
$\overline{\text{RESET}}$: Reset		

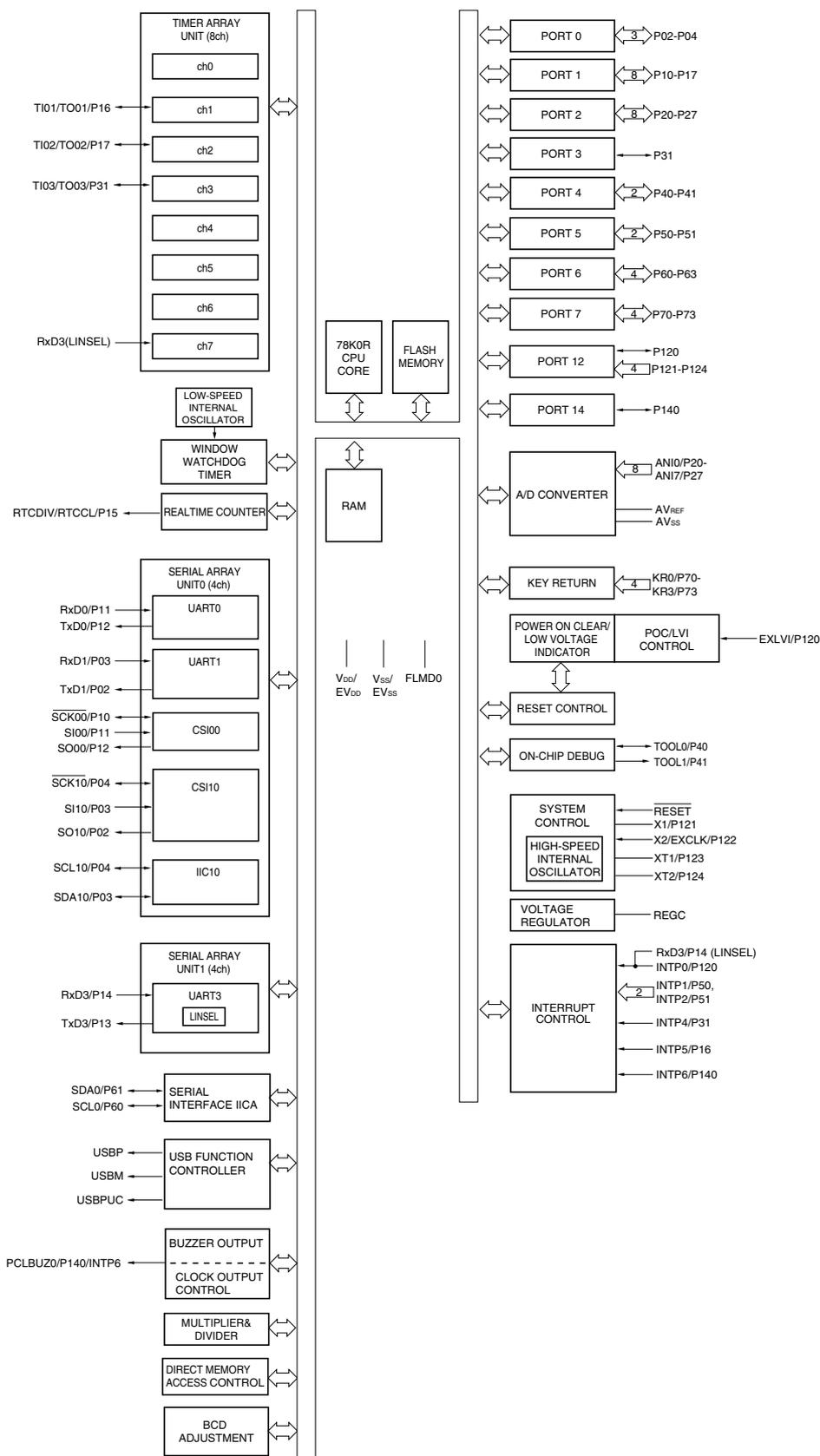
1.6 78K0R/Kx3-L マイクロコントローラの製品展開

ROM	RAM	USBファンクション内蔵	
		78K0R/KC3-L	78K0R/KE3-L
		48ピン	64ピン
128 KB	8 KB ^注	μPD78F1024	μPD78F1026
96 KB	8 KB ^注	μPD78F1023	μPD78F1025
96 KB	6 KB	-	-
64 KB	6 KB	μPD78F1022	-

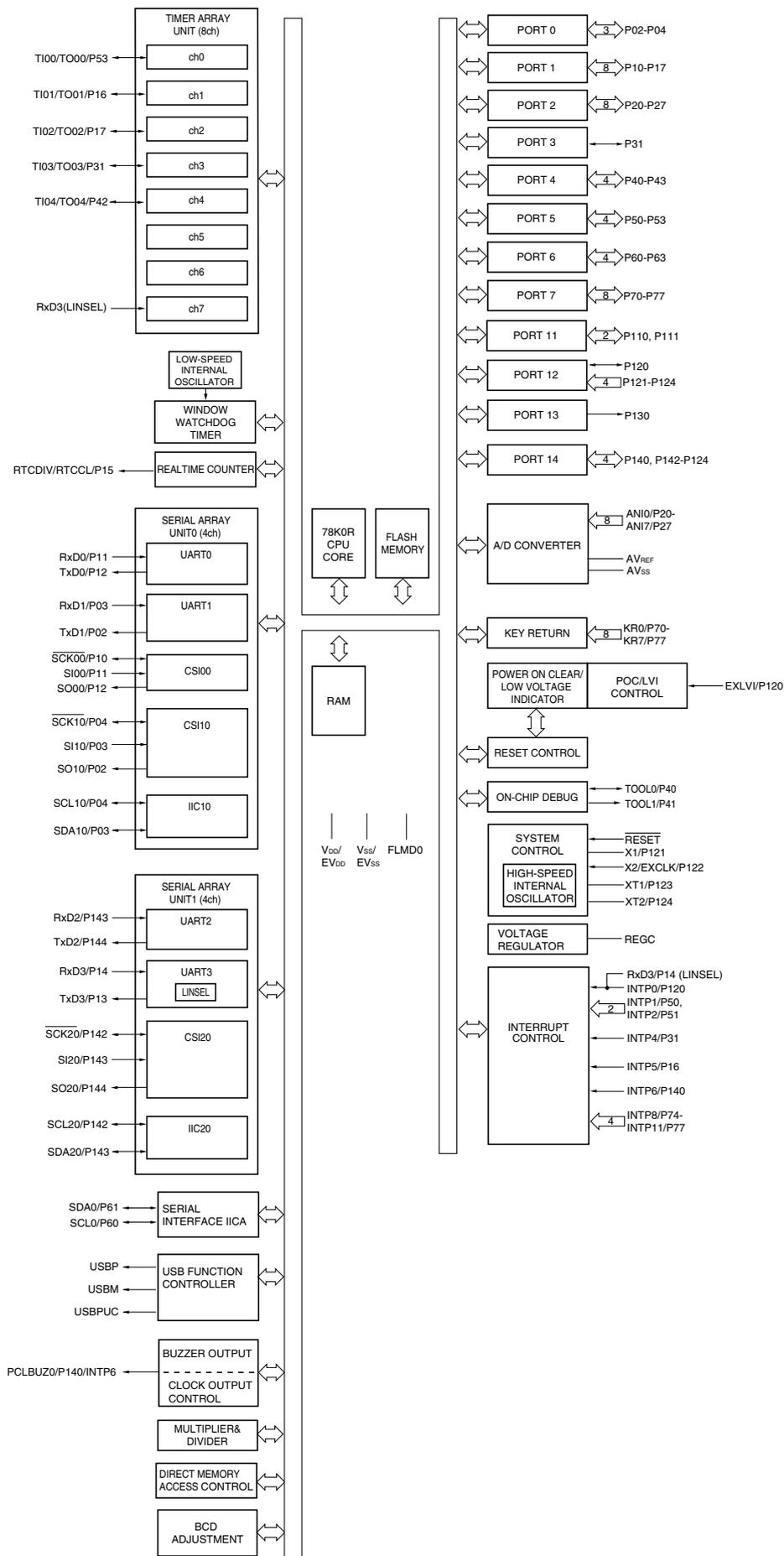
注 セルフ・プログラミング機能使用時は、7 Kバイト

1.7 ブロック図

1.7.1 78K0R/KC3-L



1.7.2 78K0R/KE3-L



1.8 機能概要

(1/2)

項 目		78K0R/KC3-L			78K0R/KE3-L	
		μ PD78F1022	μ PD78F1023	μ PD78F1024	μ PD78F1025	μ PD78F1026
内部メモリ	フラッシュ・メモリ(セルフ・プログラミング対応)	64 Kバイト	96 Kバイト	128 Kバイト	96 Kバイト	128 Kバイト
	RAM	6 Kバイト	8 Kバイト ^{注1}		8 Kバイト ^{注1}	
メモリ空間		1 Mバイト				
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 2~20 MHz : $V_{DD} = 2.7 \sim 3.6$ V, 2~5 MHz : $V_{DD} = 1.8 \sim 3.6$ V				
	高速内蔵発振クロック	内蔵発振 1 MHz \pm 13 %, 8 MHz \pm 1.8 % : $V_{DD} = 1.8 \sim 3.6$ V				
	20 MHz高速内蔵発振クロック	内蔵発振 20 MHz \pm 2.4 % : $V_{DD} = 1.8 \sim 3.6$ V				
USB用クロック		48 MHz (高速システム・クロックの12 MHz, 16 MHz, 20 MHz ($V_{DD} = 3.0 \sim 3.6$ V)を分周, 逡倍して生成)				
サブシステム・クロック (発振周波数)		XT1 (水晶) 発振 32.768 kHz (TYP.) : $V_{DD} = 1.8 \sim 3.6$ V				
低速内蔵発振クロック (WDT専用)		内蔵発振 30 kHz (TYP.) : $V_{DD} = 1.8 \sim 3.6$ V				
汎用レジスタ		8ビット \times 32レジスタ (8ビット \times 8レジスタ \times 4バンク)				
最小命令実行時間		0.05 μ s (高速システム・クロック : $f_{MX} = 20$ MHz動作時)				
		61 μ s (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時)				
命令セット		<ul style="list-style-type: none"> ・ 8ビット演算, 16ビット演算 ・ 乗算 (8ビット \times 8ビット) ・ ビット操作 (セット, リセット, テスト, ブール演算) など 				
I/Oポート	合計	39			53	
	CMOS入出力	30			43	
	CMOS入力	4			4	
	CMOS出力	-			1	
	N-ch O.D入出力 (6 V耐圧)	4			4	
	USBバッファ制御用	1			1	
タイマ	<ul style="list-style-type: none"> ・ 16ビット・タイマ : 8チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル ・ リアルタイム・カウンタ : 1チャンネル 					
	タイマ出力	3本 (PWM出力 : 2本 ^{注2})			5本 (PWM出力 : 4本 ^{注2})	
	RTC出力	1本 ・ 512 Hzまたは16.384 kHzまたは32.768 kHz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz)				

注1. セルフ・プログラミング機能使用時は, 7 Kバイト

2. 設定によって出力数は変わります。

(2/2)

項 目	78K0R/KC3-L			78K0R/KE3-L	
	μ PD78F1022	μ PD78F1023	μ PD78F1024	μ PD78F1025	μ PD78F1026
クロック出力 / ブザー出力	1本 ・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (周辺ハードウェア・クロック : $f_{MAIN} = 20$ MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時)				
A/Dコンバータ	10ビット分解能 \times 8チャンネル ($AV_{REF} = 1.8 \sim 3.6$ V)				
シリアル・ インタフェース	SAU0	・ CSI : 1チャンネル / UART : 1チャンネル ・ CSI : 1チャンネル / UART : 1チャンネル / 簡易 $\dot{P}C$: 1チャンネル		・ CSI : 1チャンネル / UART : 1チャンネル ・ CSI : 1チャンネル / UART : 1チャンネル / 簡易 $\dot{P}C$: 1チャンネル	
	SAU1	・ UART (LIN-bus対応) : 1チャンネル		・ CSI : 1チャンネル / UART : 1チャンネル / 簡易 $\dot{P}C$: 1チャンネル ・ UART (LIN-bus対応) : 1チャンネル	
	IICA	・ $\dot{P}C$ バス : 1チャンネル			
乗除算器	16ビット \times 16ビット = 32ビット (乗算) 32ビット \div 32ビット = 32ビット (除算)				
USBファンクション・ コントローラ	USB2.0 フルスピード ファンクション コントローラ : 1ch				
DMAコントローラ	2チャンネル				
ベクタ割り込み 要因	内部	36			41
	外部	7			11
キー割り込み	4チャンネル (KR0-KR3)			8チャンネル (KR0-KR7)	
リセット	<ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット^注 ・ リセット処理のチェック・エラーによる内部リセット 				
パワーオン・クリア回路	<ul style="list-style-type: none"> ・ パワーオン・リセット : 1.61 ± 0.09 V ・ パワーダウン・リセット : 1.59 ± 0.09 V 				
低電圧検出回路	1.91 V \sim 3.45 V (11段階)				
オンチップ・デバッグ機能	あり				
電源電圧	USB未使用時 : $V_{DD} = 1.8 \sim 3.6$ V , USB使用時 : $V_{DD} = 3.0 \sim 3.6$ V				
動作周囲温度	$T_A = -40 \sim +85$				
パッケージ	48ピンLQFP (7 x 7) (0.50 mmピッチ)			64ピンTQFP (7 x 7) (0.40 mmピッチ) 64ピンLQFP (10 x 10) (0.50 mmピッチ) 64ピンFBGA (5 x 5) (0.50 mmピッチ)	

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{REF} 、 EV_{DD} 、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{REF}	P20-P27
EV_{DD}	・ P20-P27以外のポート端子 ・ \overline{RESET} 端子, FLMD0端子
V_{DD}	・ P121-P124 ・ ポート以外の端子 (\overline{RESET} 端子, FLMD0端子を除く)

2.1.1 78K0R/KC3-L

(1) ポート機能 (1/2) : 78K0R/KC3-L

機能名称	入出力	機能	リセット時	兼用機能
P02	入出力	ポート0。 3ビット入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P10	入出力	ポート1。 8ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10, P12の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00
P11				SI00/RxD0
P12				SO00/TxD0
P13				TxD3
P14				RxD3
P15				RTCDIV/RTCCL
P16				TI01/TO01/INTP5
P17				TI02/TO02
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
P31	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI03/TO03/INTP4
P40 ^注	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41			入力ポート	TOOL1
P50	入出力	ポート5。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P51				INTP2
P60	入出力	ポート6。 4ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCL0
P61				SDA0
P62, P63				-

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P47 (Port 4) の注意参照)。

(1) ポート機能 (2/2) : 78K0R/KC3-L

機能名称	入出力	機能	リセット時	兼用機能
P70-P73	入出力	ポート7。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR3
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P140	入出力	ポート14。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0/INTP6

(2) ポート以外の機能 (1/2) : 78K0R/KC3-L

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P20-P27
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下 がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P50
INTP2				P51
INTP4				P31/TI03/TO03
INTP5				P16/TI01/TO01
INTP6				P140/PCLBUZ0
KR0-KR3				入力
PCLBUZ0	出力	クロック出力 / ブザー出力	入力ポート	P140/INTP6
REGC	-	内部動作レギュレータ出力 (2.4 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F) を介し, V_{SS} に接続してください。	-	-
RTCDIV	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	入力ポート	P15/RTCCL
RTCCL	出力	リアルタイム・カウンタ・クロック (32 kHz原発) 出力	入力ポート	P15/RTCDIV
\overline{RESET}	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI00
RxD1	入力	UART1のシリアル・データ入力	入力ポート	P03/SI10/SDA10
RxD3	入力	UART3のシリアル・データ入力	入力ポート	P14
$\overline{SCK00}$	入出力	CSI00, CSI10のクロック入力 / 出力	入力ポート	P10
$\overline{SCK10}$				P04/ $\overline{SCL10}$
SCL0	入出力	I ² Cのクロック入力 / 出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力 / 出力	入力ポート	P04/ $\overline{SCK10}$
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P03/SI10/RxD1
SI00	入力	CSI00, CSI10のシリアル・データ入力	入力ポート	P11/RxD0
SI10				P03/RxD1/SDA10

(2) ポート以外の機能 (2/2) : 78K0R/KC3-L

機能名称	入出力	機能	リセット時	兼用機能
SO00	出力	CSI00, CSI10のシリアル・データ出力	入力ポート	P12/TxD0
SO10				P02/TxD1
TI01	出力	16ビット・タイマ01への外部カウント・クロック入力		P16/TO01/INTP5
TI02		16ビット・タイマ02への外部カウント・クロック入力		P17/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P31/TO03/INTP4
TO01	出力	16ビット・タイマ01出力	入力ポート	P16/TO01/INTP5
TO02		16ビット・タイマ02出力		P17/TO02
TO03		16ビット・タイマ03出力		P31/TO03/INTP4
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P12/SO00
TxD1		UART1のシリアル・データ出力		P02/SO10
TxD3		UART3のシリアル・データ出力		P13
USBM	入出力	USBデータ入出力(-)	入力ポート	-
USBP	入出力	USBデータ入出力(+)	入力ポート	-
USBPUC	出力	USB プルアップ抵抗制御端子	ロウ・レベル出力	-
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P121-P124およびポート以外の端子(RESET 端子, FLMD0 端子を除く))	-	-
EV _{DD}	-	ポート部 (P20-P27, P121-P124以外), RESET 端子, FLMD0 端子の正電源	-	-
AV _{REF}	-	・ A/Dコンバータの基準電圧入力 ・ P20-P27, A/Dコンバータの正電源	-	-
V _{SS}	-	グランド電位 (P121-P124およびポート以外の端子 (RESET 端子, FLMD0 端子を除く))	-	-
EV _{SS}	-	ポート部 (P20-P27, P121-P124以外), RESET 端子, FLMD0 端子のグランド電位	-	-
AV _{SS}	-	A/Dコンバータ, P20-P27のグランド電位。EV _{SS} , V _{SS} と同電位にしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.1.1 78K0R/KE3-L

(1) ポート機能 (1/2) : 78K0R/KE3-L

機能名称	入出力	機能	リセット時	兼用機能
P02	入出力	ポート0。 3ビット入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P10	入出力	ポート1。 8ビット入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10, P12の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00
P11				SI00/RxD0
P12				SO00/TxD0
P13				TxD3
P14				RxD3
P15				RTCDIV/RTCCL
P16				TI01/TO01/INTP5
P17				TI02/TO02
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
P31	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI03/TO03/INTP4
P40 ^注	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				-
P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
P51				INTP2
P52				TO00
P53				TI00
P60	入出力	ポート6。 4ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCL0
P61				SDA0
P62, P63				-

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P47 (Port 4) の注意参照)。

(1) ポート機能 (2/2) : 78K0R/KE3-L

機能名称	入出力	機能	リセット時	兼用機能
P70-P73	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0-KR3
P74-P77				KR4/INTP8- KR7/INTP11
P110, P111	入出力	ポート11。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	-
P140	入出力	ポート14。 4ビット入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0/INTP6
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2

(2) ポート以外の機能 (1/2) : 78K0R/KE3-L

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P20-P27
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P50
INTP2				P51
INTP4				P31/TI03/TO03
INTP5				P16/TI01/TO01
INTP6				P140/PCLBUZ0
INTP8- INTP11				P74/KR4-P77/KR7
KR0-KR3				入力
KR4-KR7	P74/INTP8- P77/INTP11			
PCLBUZ0	出力	クロック出力 / ブザー出力	入力ポート	P140/INTP6
REGC	-	内部動作レギュレータ出力（2.4V）安定容量接続。 コンデンサ（0.47～1μF）を介し，V _{SS} に接続してください。	-	-
RTCDIV	出力	リアルタイム・カウンタ・クロック（32 kHz分周）出力	入力ポート	P15/RTCCL
RTCCL	出力	リアルタイム・カウンタ・クロック（32 kHz原発）出力	入力ポート	P15/RTCDIV
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI00
RxD1	入力	UART1のシリアル・データ入力	入力ポート	P03/SI10/SDA10
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P143/SI20/SDA20
RxD3	入力	UART3のシリアル・データ入力	入力ポート	P14
SCK00	入出力	CSI00, CSI10, CSI20のクロック入力 / 出力	入力ポート	P10
SCK10				P04/SCL10
SCK20				P142/SCL20
SCL0	入出力	I ² Cのクロック入力 / 出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力 / 出力	入力ポート	P04/SCK10
SCL20				P142/SCK20
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P03/SI10/RxD1
SDA20				P143/SI20/RxD2
SI00	入力	CSI00, CSI10, CSI20のシリアル・データ入力	入力ポート	P11/RxD0
SI10				P03/RxD1/SDA10
SI20				P143/RxD2/SDA20

(2) ポート以外の機能 (2/2) : 78K0R/KE3-L

機能名称	入出力	機能	リセット時	兼用機能
SO00	出力	CSI00, CSI10, CSI20のシリアル・データ出力	入力ポート	P12/TxD0
SO10				P02/TxD1
SO20				P144/TxD2
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P53
TI01		16ビット・タイマ01への外部カウント・クロック入力		P16/TO01/INTP5
TI02		16ビット・タイマ02への外部カウント・クロック入力		P17/TO02
TI03		16ビット・タイマ03への外部カウント・クロック入力		P31/TO03/INTP4
TI04		16ビット・タイマ04への外部カウント・クロック入力		P42/TO04
TO00	出力	16ビット・タイマ00出力	入力ポート	P52
TO01		16ビット・タイマ01出力		P16/TO01/INTP5
TO02		16ビット・タイマ02出力		P17/TO02
TO03		16ビット・タイマ03出力		P31/TO03/INTP4
TO04		16ビット・タイマ04出力		P42/TO04
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P12/SO00
TxD1		UART1のシリアル・データ出力		P02/SO10
TxD2		UART2のシリアル・データ出力		P144/SO20
TxD3		UART3のシリアル・データ出力		P13
USBM	入出力	USBデータ入出力 (-)	入力ポート	-
USBP	入出力	USBデータ入出力 (+)	入力ポート	-
USBPUC	出力	USB プルアップ抵抗制御端子	ロウ・レベル出力	-
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{DD}	-	ポート部 (P20-P27, P121-P124以外), RESET端子, FLMD0端子の正電源	-	-
AV _{REF}	-	・ A/Dコンバータの基準電圧入力 ・ P20-P27, A/Dコンバータの正電源	-	-
V _{SS}	-	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{SS}	-	ポート部 (P20-P27, P121-P124以外), RESET端子, FLMD0端子のグランド電位	-	-
AV _{SS}	-	A/Dコンバータ, P20-P27のグランド電位。EV _{SS} , V _{SS} と同電位にしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.2 端子機能の説明

2.2.1 P02-P04 (Port 0)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P02/SO10/TxD1		
P03/SI10/RxD1/SDA10		
P04/SCK10/SCL10		

入出力ポートです。入出力ポートのほかにタイマの入出力，シリアル・インタフェースのデータ入出力，クロック入出力機能があります。

P03, P04端子の入力は，ポート入力モード・レジスタ0 (PIM0) の設定により，1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P02-P04端子の出力は，ポート出力モード・レジスタ0 (POM0) の設定により，1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力，シリアル・インタフェースのデータ入出力，クロック入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) TxD1

シリアル・インタフェースUART1のシリアル・データ出力端子です。

(e) RxD1

シリアル・インタフェースUART1のシリアル・データ入力端子です。

(f) SDA10

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(g) SCL10

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

注意 P02/SO10/TxD1, P04/SCK10/SCL10を汎用ポートとして使用する場合、シリアル通信動作設定レジスタ02 (SCR02) は初期状態と同じ設定 (0087H) にしてください。また、ポート出力モード・レジスタ0 (POM0) は00Hにしてください。

2.2.2 P10-P17 (Port 1)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P10/SCK00		
P11/SI00/RxD0		
P12/SO00/TxD0		
P13/TxD3		
P14/RxD3		
P15/RTCDIV/RTCCL		
P16/TI01/TO01/INTP5		
P17/TI02/TO02		

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・カウンタのクロック出力機能があります。

P10, P11端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P10, P12端子の出力は、ポート出力モード・レジスタ1 (POM1) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・カウンタのクロック出力として機能します。

(a) SI00

シリアル・インタフェースCSI00のシリアル・データ入力端子です。

(b) SO00

シリアル・インタフェースCSI00のシリアル・データ出力端子です。

(c) $\overline{\text{SCK00}}$

シリアル・インタフェースCSI00のシリアル・クロック入出力端子です。

(d) RxD0, RxD3

シリアル・インタフェースUART0, UART3のシリアル・データ入力端子です。

(e) TxD0, TxD3

シリアル・インタフェースUART0, UART3のシリアル・データ出力端子です。

(f) TI01, TI02

16ビット・タイマ01, 02への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(g) TO01, TO02

16ビット・タイマ01, 02のタイマ出力端子です。

(h) INTP5

有効エッジ（立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(i) RTCDIV

リアルタイム・カウンタ・クロック（32 kHz分周）出力端子です。

(j) RTCCL

リアルタイム・カウンタ・クロック（32 kHz原発）出力端子です。

- 注意1.** P10/ $\overline{\text{SCK00}}$, P12/ $\overline{\text{SO00}}$ /TxD0を汎用ポートとして使用する場合, シリアル通信動作設定レジスタ00 (SCR00) は初期状態と同じ設定 (0087H) にしてください。
- 2.** RTCCLとRTCDIVは同時に出力許可設定にしないでください。

2.2.3 P20-P27 (Port 2)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P20/ANI0		
P21/ANI1		
P22/ANI2		
P23/ANI3		
P24/ANI4		
P25/ANI5		
P26/ANI6		
P27/ANI7		

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合、10.6 (5) ANI0/P20-ANI7/P27を参照してください。

注意 ANI0/P20-ANI7/P27は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.4 P31 (Port 3)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P31/TI03/TO03/INTP4		

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP3, INTP4

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) TI03

16ビット・タイマ03への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO03

16ビット・タイマ03のタイマ出力端子です。

(d) RTC1HZ

リアルタイム・カウンタの補正クロック（1 Hz）出力端子です。

2.2.5 P40-P43 (Port 4)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P40/TOOL0		
P41/TOOL1		
P42/TI04/TO04	-	
P43	-	

入出力ポートです。入出力ポートのほかにフラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力、クロック出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により、内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可（オプション・バイトで設定）の場合は、必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力、クロック出力、タイマの入出力として機能します。

(a) TOOL0

フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください（プルダウン禁止）。

(b) TOOL1

デバッグ用のクロック出力端子です。

オンチップ・デバッグ機能使用時には、P41/TOOL1端子はデバッグのモード設定により次のようになります。

1線モード : ポート (P41) として使用できます。

2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

(c) TI04

16ビット・タイマ04への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(d) TO04

16ビット・タイマ04のタイマ出力端子です。

注意 P40/TOOL0端子は、次に示す (a) ~ (c) の場合によって、端子機能が決まります。

(b) か (c) の場合には、該当する端子処理を行ってください。

(a) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ禁止 (OCDENSET = 0) 設定時
ポート機能 (P40) としてご使用ください。

(b) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ許可 (OCDENSET = 1) 設定時
外部で抵抗を介してEV_{DD}に接続し、リセット解除前から常にハイ・レベルを入力してください。

(c) オンチップ・デバッグ機能使用時、または、フラッシュ・メモリ・プログラマによる書き込み
モード時

TOOL0端子として使用します。

オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD}に接続することで、プルアップしてください。

2.2.6 P50-P53 (Port 5)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P50/INTP1		
P51/INTP2		
P52/TO00	-	
P53/TI00	-	

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

(a) INTP1, INTP2

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI00

16ビット・タイマ00への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(c) TO00

16ビット・タイマ00のタイマ出力端子です。

2.2.7 P60-P63 (Port 6)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P60/SCL0		
P61/SDA0		
P62		
P63		

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63の出力はN-chオープン・ドレイン出力 (6V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力として機能します。

(a) SDA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

(b) SCL0

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

2.2.8 P70-P77 (Port 7)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P70/KR0		
P71/KR1		
P72/KR2		
P73/KR3		
P74/KR4/INTP8	-	
P75/KR5/INTP9	-	
P76/KR6/INTP10	-	
P77/KR7/INTP11	-	

入出力ポートです。入出力ポートのほかにキー割り込み入力、外部割り込み要求入力機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子、外部割り込み要求入力として機能します。

(a) KR0-KR7

キー割り込み入力端子です。

(b) INTP8-INTP11

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

2.2.9 P110, P111 (Port 11)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P110	-	
P111	-	

入出力ポートです。

ポート・モード・レジスタ11 (PM11) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ11 (PU11) の設定により, 内蔵プルアップ抵抗を使用できます。

2.2.10 P120-P124 (Port 12)

P120は入出力ポートです。P121-P124は入力ポートです。そのほかに外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P120/INTP0/EXLVI		
P121/X1		
P122/X2/EXCLK		
P123/XT1		
P124/XT2		

(1) ポート・モード

P120は入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により, 内蔵プルアップ抵抗を使用できます。

P121-P124は入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

2.2.11 P130 (Port 13)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P130	-	

出力ポートです。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます(4.2.12 ポート13の備考の図を参照)。

2.2.12 P140, P142-P144 (Port 14)

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P140/PCLBUZ0/INTP6		
P142/ $\overline{\text{SCK20}}$ /SCL20	-	
P143/SI20/RxD2/SDA20	-	
P144/SO20/TxD2	-	

入出力ポートです。入出力ポートのほかに外部割り込み要求入力、クロック/ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

P142, P143端子の入力は、ポート入力モード・レジスタ14 (PIM14) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P142-P144端子の出力は、ポート出力モード・レジスタ14 (POM14) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレーン出力 (V_{DD} 耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, クロック/ブザー出力, シリアル・インタフェースのデータ入出力, クロック入出力として機能します。

(a) INTP6

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) PCLBUZ0

クロック/ブザー出力端子です。

(c) SI20

シリアル・インタフェースCSI20のシリアル・データ入力端子です。

(d) SO20

シリアル・インタフェースCSI20のシリアル・データ出力端子です。

(e) $\overline{\text{SCK20}}$

シリアル・インタフェースCSI20のシリアル・クロック入出力端子です。

(f) TxD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

(g) RxD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

(h) SDA20

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(i) SCL20

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

2.2.13 AVREF

A/Dコンバータの基準電圧入力，およびP20-P27, A/Dコンバータの正電源供給端子です。

P20/ANI0-P27/ANI7をすべてアナログ・ポートとして使用する場合は，1.8 V AVREF VDDとなる電位にしてください。P20/ANI0-P27/ANI7のうち，1本でもデジタル・ポートとして使用する場合，またはA/Dコンバータを使用しない場合は，EVDDまたはVDDと同電位にしてください。

2.2.14 AVSS

A/DコンバータおよびP20-P27のグランド電位端子です。A/Dコンバータを使用しないときでも，常にEVSS, VSSと同電位で使用してください。

2.2.15 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

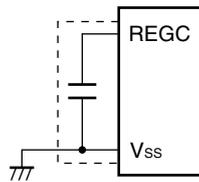
外部リセット端子を使用しない場合は，直接または抵抗を介してEVDDに接続してください。

また，外部リセット端子を使用する場合は，VDDを基準に設計してください。

2.2.16 REGC

内部動作レギュレータ出力 (2.4 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μ F) を介し，VSSに接続してください。

また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.17 VDD, EVDD

VDDは，P121-P124の正電源，およびポート以外の端子 (RESET端子，FLMD0端子を除く) の正電源供給端子です。

EVDDは，P20-P27, P121-P124以外のポート端子とRESET端子，FLMD0端子の正電源供給端子です。

2.2.18 VSS, EVSS

VSSは，P121-P124のグランド電位，およびポート以外の端子 (RESET端子，FLMD0端子を除く) のグランド電位端子です。

EVSSは，P20-P27, P121-P124以外のポート端子とRESET端子，FLMD0端子のグランド電位端子です。

2.2.19 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (23.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 kΩ以下の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-2に示します。入出力回路タイプは、図2-1 端子の入出力回路一覧を参照してください。

表2-2 各端子の未使用端子処理 (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P02/SO10/TxD1	5-AG	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。	
P03/SI10/RxD1/SDA10	5-AN			
P04/SCK10/SCL10				
P10/SCK00				
P11/SI00/RxD0				
P12/SO00/TxD0	5-AG			
P13/TxD3	8-R			
P14/RxD3				
P15/RTCDIV/RTCCL	5-AG			
P16/TI01/TO01/INTP5	8-R			
P17/TI02/TO02				
P20/ANI0-P27/ANI7 ^注	11-G			入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P31/TI03/TO03/INTP4	8-R			入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P40/TOOL0				<オンチップ・デバッグ許可設定時> プルアップしてください（プルダウン禁止）。 <オンチップ・デバッグ禁止設定時> 入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P41/TOOL1	5-AG	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。		
P42/TI04/TO04	8-R			
P43				
P50/INTP1				
P51/INTP2				
P52/TO00	5-AG			
P53/TI00	8-R			

注 P20/ANI0-P27/ANI7は、リセット解除後はデジタル入力ポート・モードになります。

表2-2 各端子の未使用端子処理 (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P60/SCL0	13-R	入出力	入力時：EV _{SS} に接続してください。 出力時：ポートの出カラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P61/SDA0			
P62, P63	13-P		
P70/KR0-P73/KR3	8-R		入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P74/KR4/INTP8-P77/KR7/INTP11			
P110	8-R		
P111	5-AG		
P120/INTP0/EXLVI	8-R		
P121/X1 ^注	37-B	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^注			
P123/XT1 ^注			
P124/XT2 ^注			
P130	3-C	出力	オープンにしてください。
P140/PCLBUZ0/INTP6	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} のいずれかに接続してください。 出力時：オープンにしてください。
P142/SCK20/SCL20	5-AN		
P143/SI20/RxD2/SDA20			
P144/SO20/TxD2	5-AG		
AV _{REF}	-	-	<P20-P27のうち、1本でもデジタル・ポートとして設定時> EV _{DD} またはV _{DD} と同電位にしてください。 <P20-P27をすべてアナログ・ポートとして設定時> 1.8 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	EV _{SS} , V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 kΩ以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	EV _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF) を介し、V _{SS} に接続してください。
USBP	USB	入出力	EV _{SS} に接続してください。
USBM	USB	入出力	EV _{SS} に接続してください。
USBPUC	3-C	出力	オープンにしてください。

注 未使用時は、入力ポート・モード (図5-2 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

図2-1 端子の入出力回路一覧(1/2)

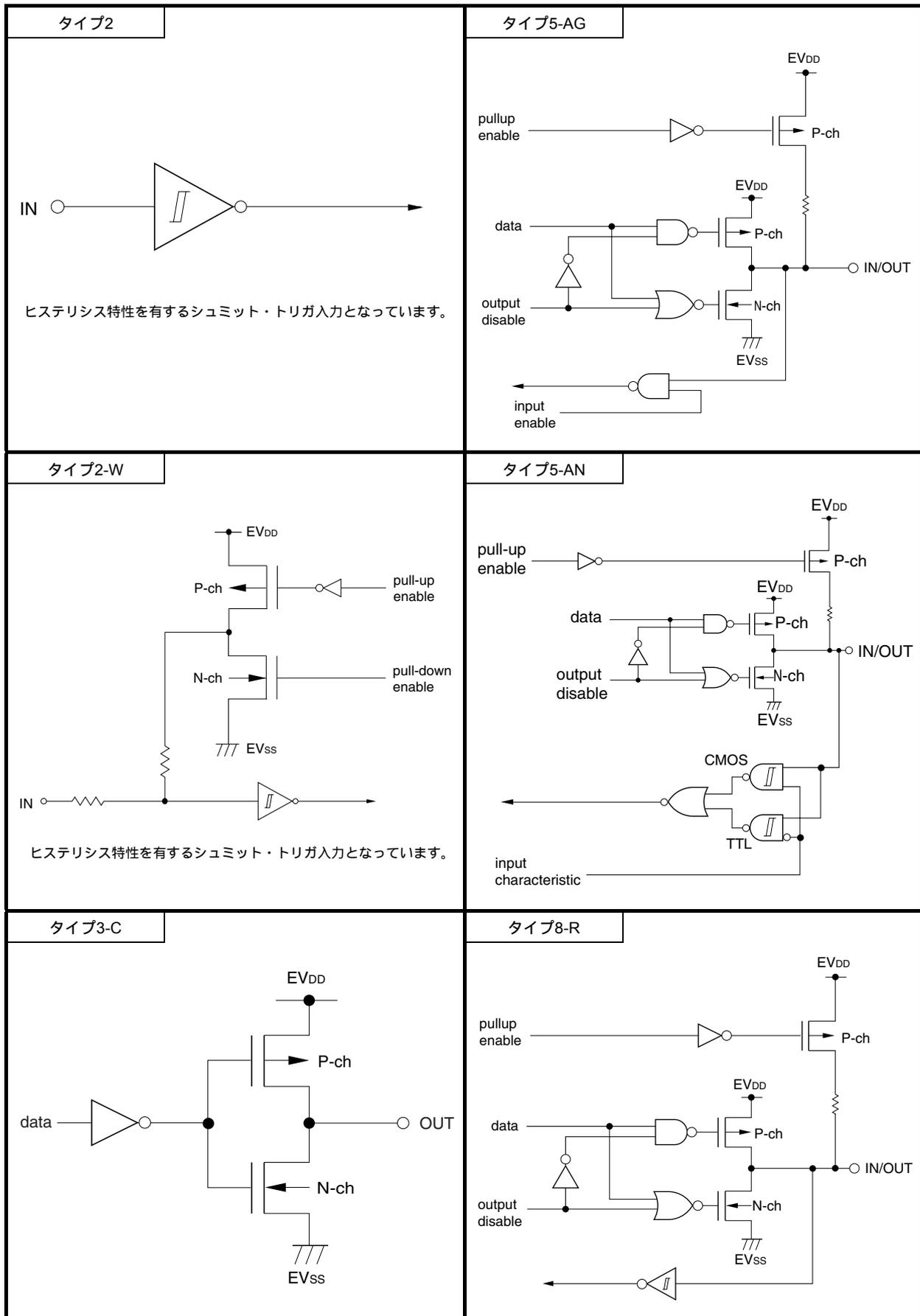
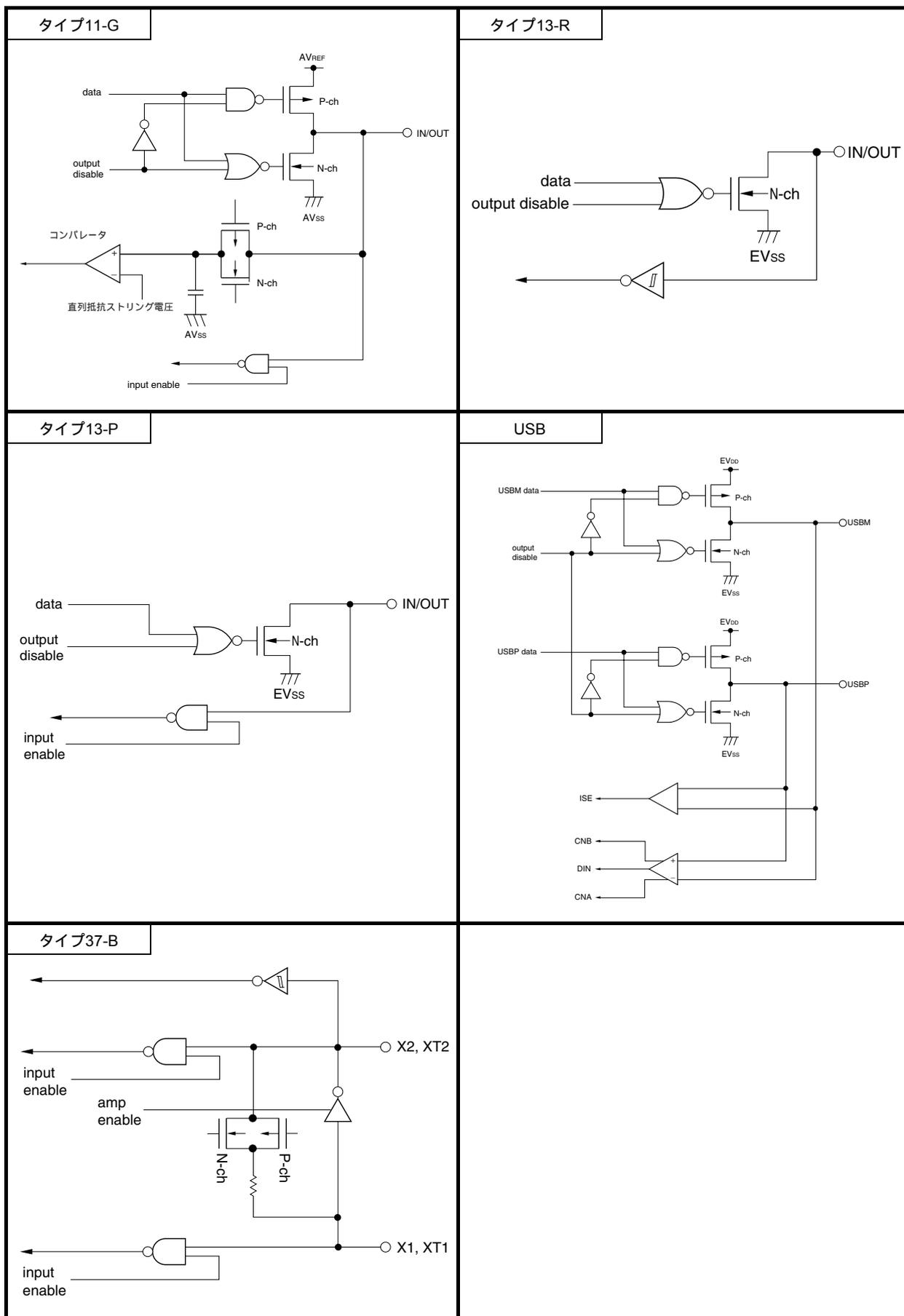


図2 - 1 端子の入出力回路一覧 (2/2)

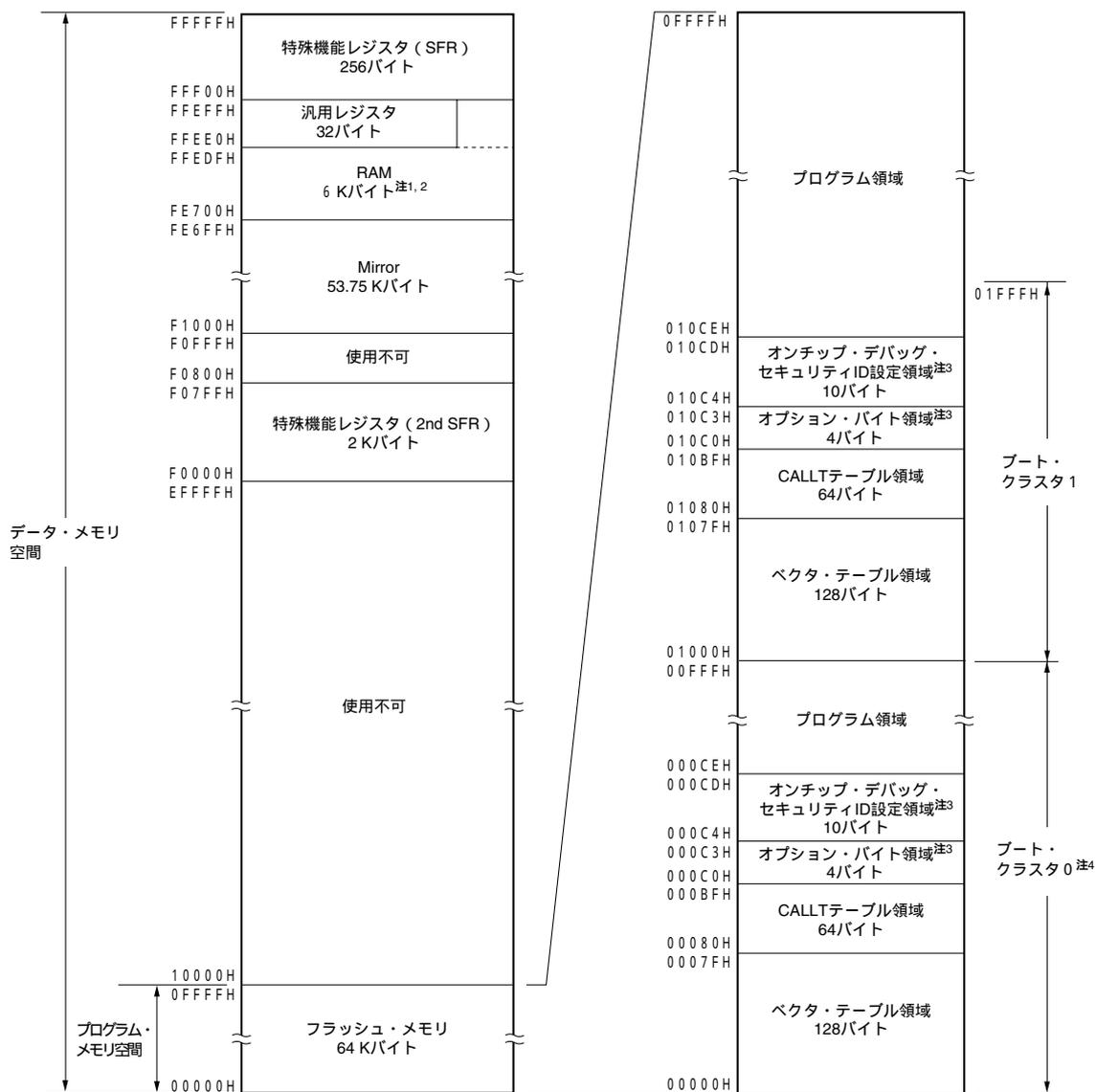


第3章 CPUアーキテクチャ

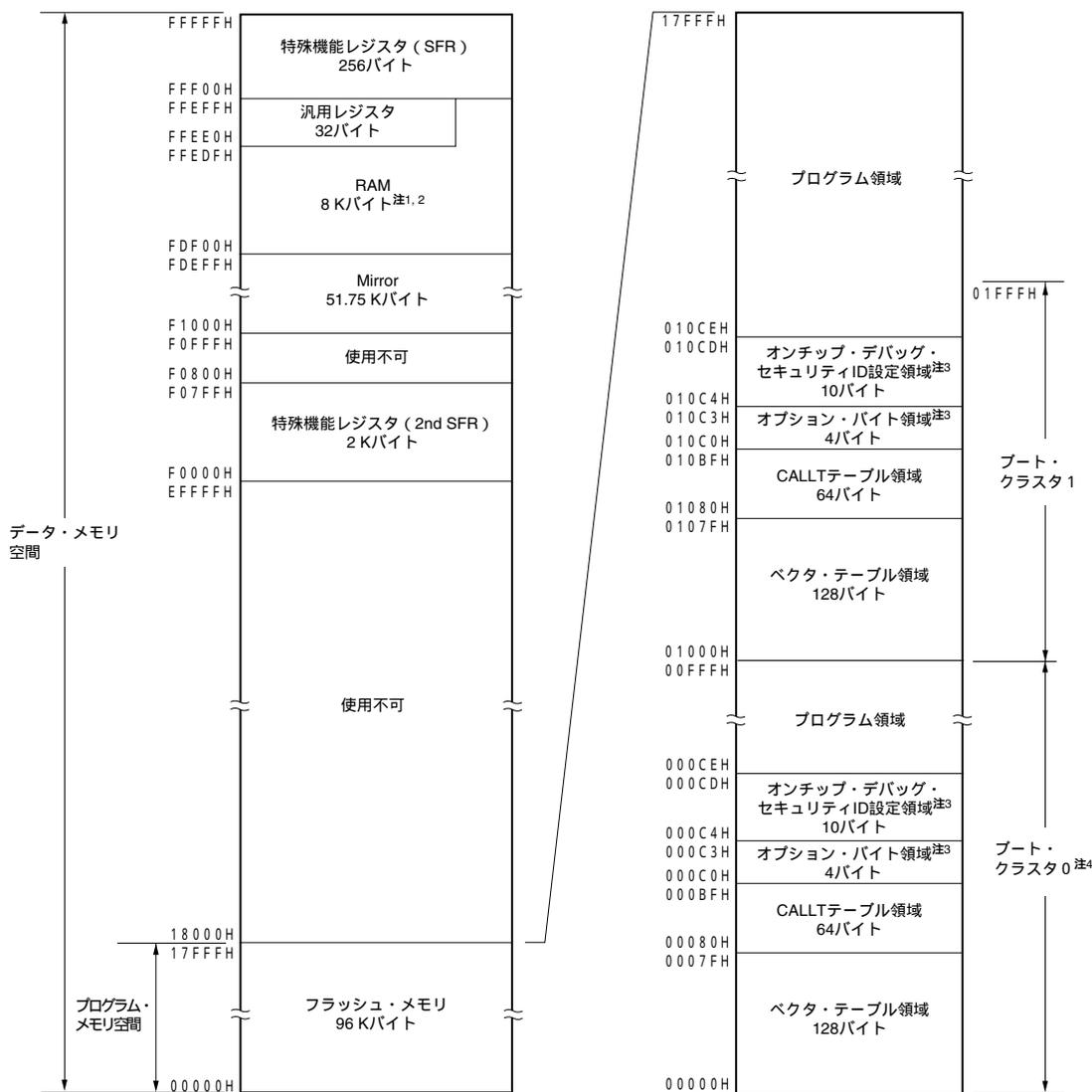
3.1 メモリ空間

78K0R/KC3-L, 78K0R/KE3-Lは、1 Mバイトのメモリ空間をアクセスできます。図3 - 1 ~ 図3 - 3に、メモリ・マップを示します。

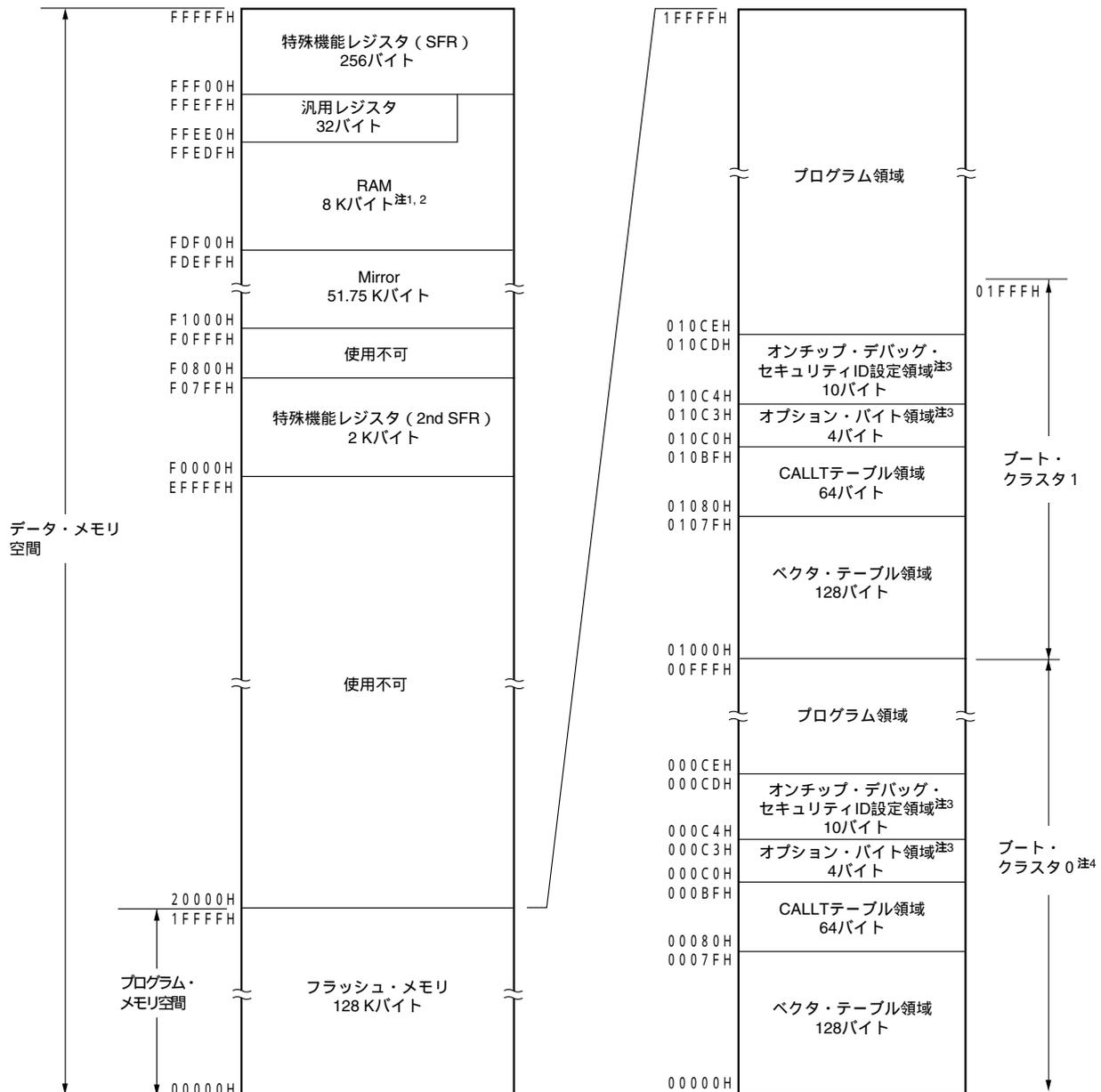
図3 - 1 メモリ・マップ (μPD78F1022)



- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H, 010C0H-010C3Hにオプション・バイト，000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(24.7 **セキュリティ設定を参照**)。

図3-2 メモリ・マップ (μ PD78F1023, 78F1025)

- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFDF00H-FE2FFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H, 010C0H-010C3Hにオプション・バイト，000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(24.7 セキュリティ設定を参照)。

図3-3 メモリ・マップ (μ PD78F1024, 78F1026)

- 注1. セルフ・プログラミング機能使用時は,セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFDF00H-FE2FFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により,ブート・クラスタ0は書き換えを禁止することができます(24.7 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
0000H-003FFH	00H	0800H-083FFH	20H	1000H-103FFH	40H	1800H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 μ PD78F1022 : ブロック番号00H-3FH
 μ PD78F1023, 78F1025 : ブロック番号00H-5FH
 μ PD78F1024, 78F1026 : ブロック番号00H-7FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。

78K0R/KC3-L, KE3-Lは、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD78F1022	フラッシュ・メモリ	65536×8ビット (00000H-0FFFFH)
μ PD78F1023, 78F1025		98304×8ビット (00000H-17FFFH)
μ PD78F1024, 78F1026		131072×8ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET入力, POC, LVI, WDT, TRAP	0002EH	INTTM01
		00030H	INTTM02
00002H	INTDBG	00032H	INTTM03
00004H	INTWDTI	00034H	INTAD
00006H	INTLVI	00036H	INTRTC
00008H	INTP0	00038H	INTRTCI
0000AH	INTP1	0003AH	INTKR
0000CH	INTP2	0003CH	INTST2/INTCSI20/INTIIC20 ^注
00010H	INTP4	0003EH	INTP6
00012H	INTP5	00042H	INTTM04
00014H	INTST3	00044H	INTTM05
00016H	INTSR3	00046H	INTTM06
00018H	INTSRE3	00048H	INTTM07
0001AH	INTDMA0	0004AH	INTSR2 ^注
0001CH	INTDMA1	0004EH	INTP8 ^注
0001EH	INTST0/INTCSI00	00050H	INTP9 ^注
00020H	INTSR0	00052H	INTP10 ^注
00022H	INTSRE0	00054H	INTP11 ^注
00024H	INTST1/INTCSI10/INTIIC10	0005CH	INTSRE2 ^注
00026H	INTSR1	0005EH	INTSUB
00028H	INTSRE1	00060H	INTRSUM
0002AH	INTIICA	0007EH	BRK
0002CH	INTTM00		

注 78K0R/KE3-Lのみ

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください (アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第22章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第24章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

μ PD78F1022では、00000H-0FFFFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています。μ PD78F1023, 78F1024, 78F1025, 78F1026では、00000H-0FFFFFFHまたは10000H-1FFFFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています（ミラーさせるデータ・フラッシュ・エリアは、プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

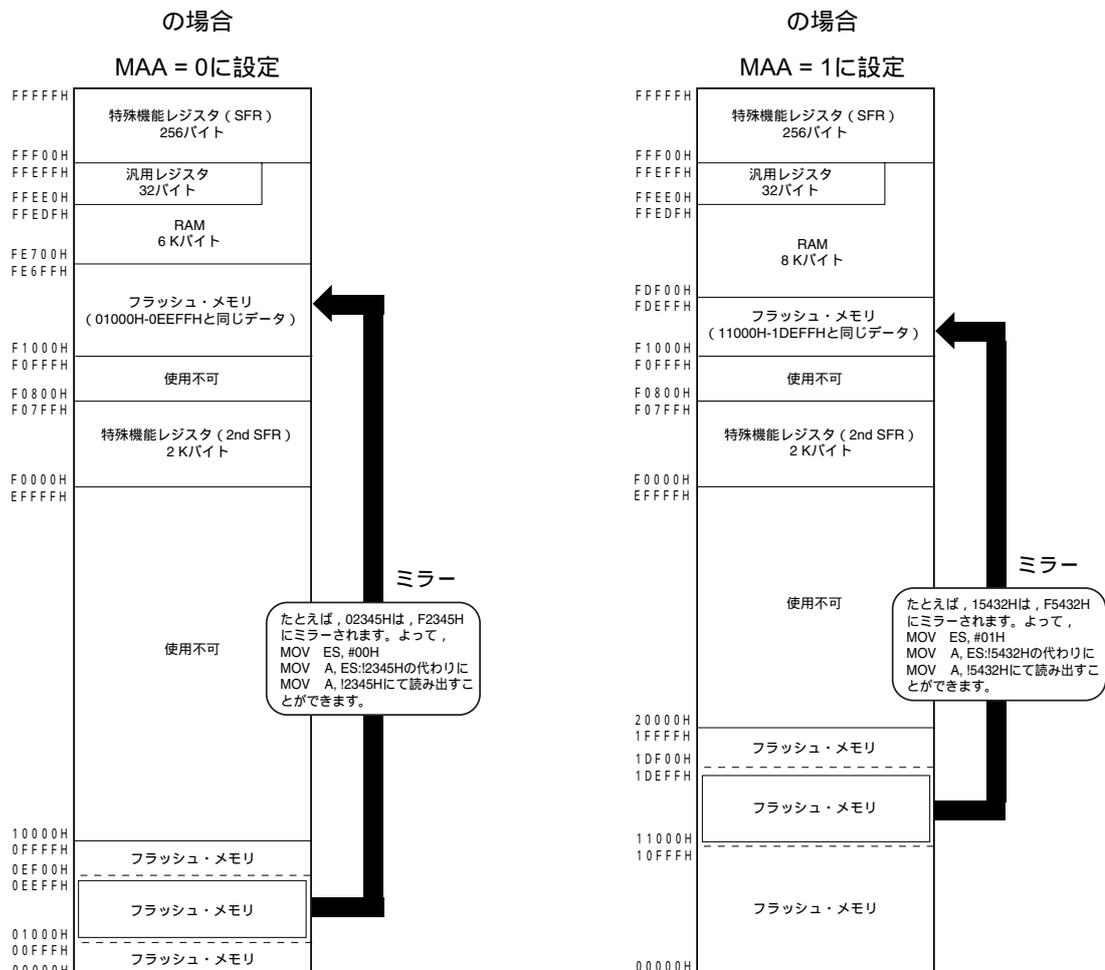
ミラー先のF0000H-FFFFFFHからデータを読み込むことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし、SFR, 拡張SFR, RAM領域, 使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例1 μ PD78F1022 (フラッシュ・メモリ 64 Kバイト, RAM 6 Kバイト) 例2 μ PD78F1024, 78F1026 (フラッシュ・メモリ 128 Kバイト, RAM 8 Kバイト)



備考 MAAは、プロセッサ・モード・コントロール・レジスタ（PMC）のビット0です。

次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-4 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間選択
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

- 注意1. PMCレジスタの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。
初期設定以外でのPMCレジスタの書き替えは禁止です。
2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。
3. μ PD78F1022を使用するときは、必ずビット0 (MAA) を0 (初期値) でご使用ください。

3.1.3 内部データ・メモリ空間

78K0R/KC3-L, 78K0R/KE3-Lは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製 品	内部RAM
μ PD78F1022	6144×8ビット (FE700H-FFEFFH)
μ PD78F1023, 78F1024, 78F1025, 78F1026	8192×8ビット (FDF00H-FFEFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
2. セルフ・プログラミング機能使用時は、FFE20H-FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1023, 78F1024, 78F1025, 78F1026では、FDF00H-FE2FFHの領域もスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 6参照)。

SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

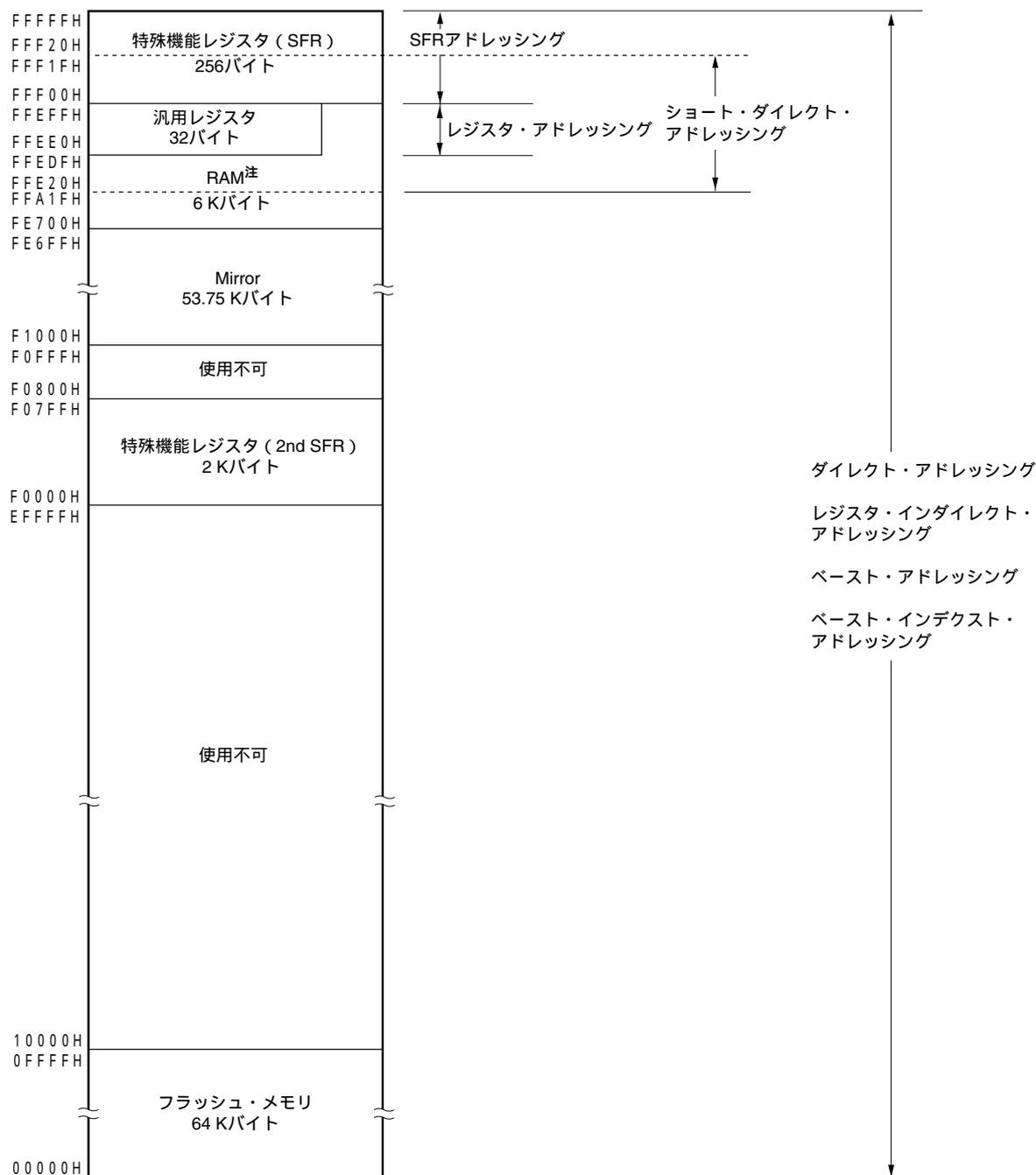
注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

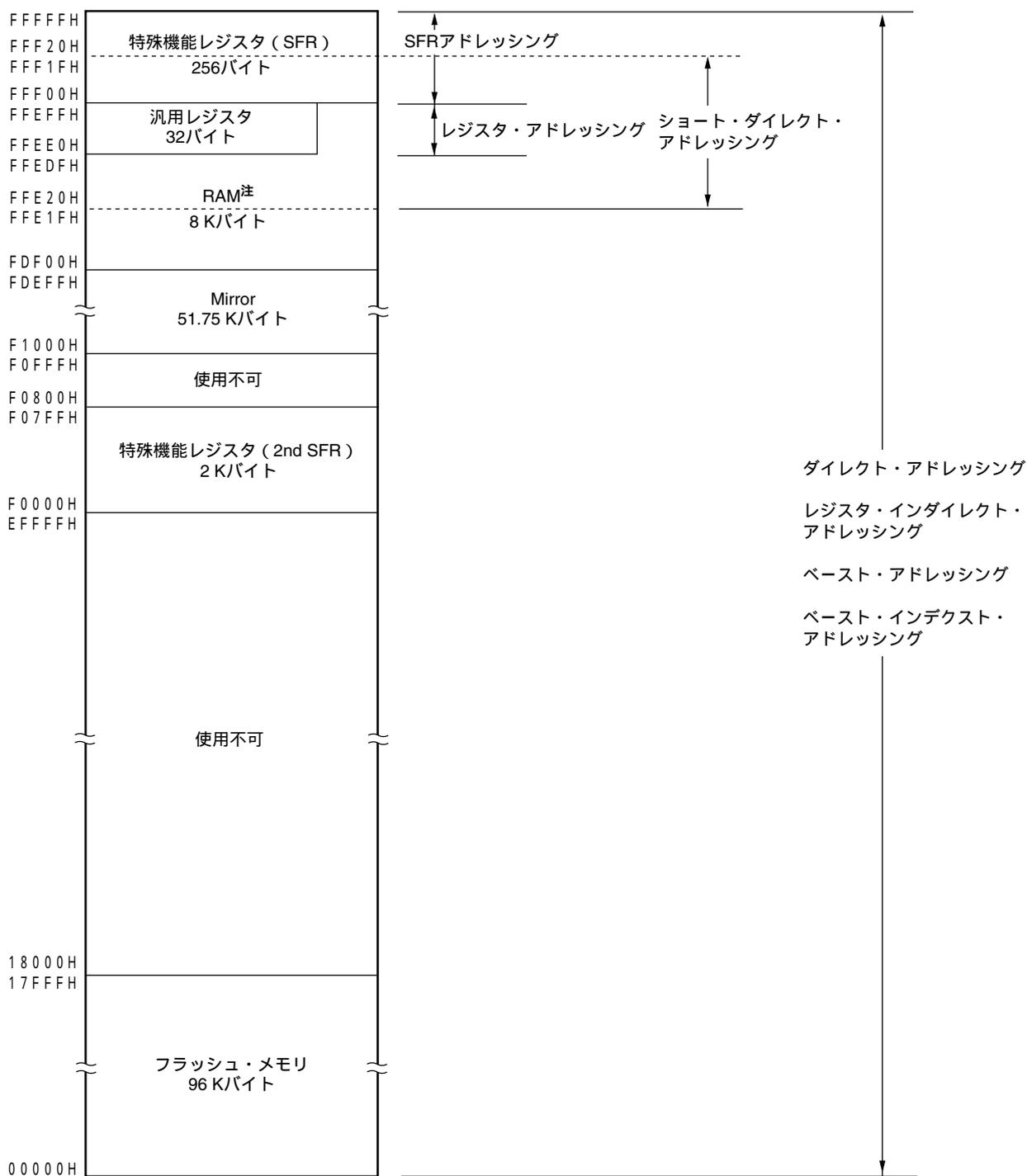
命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0R/KC3-L, KE3-Lでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-5～図3-7にデータ・メモリとアドレッシングの対応を示します。

図3-5 データ・メモリとアドレッシングの対応 (μPD78F1022)

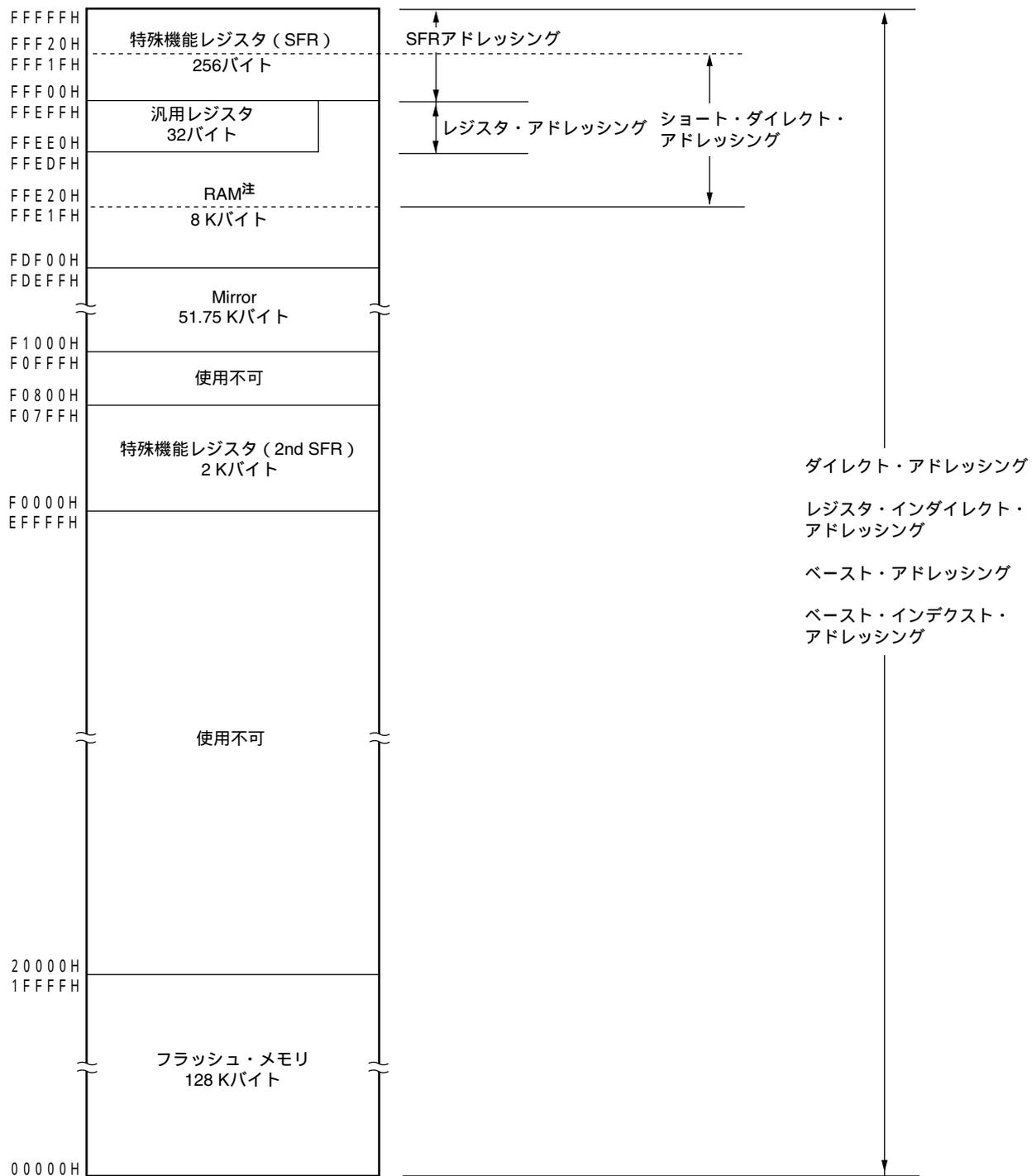


注 セルフ・プログラミング機能使用時は、FFE20H-FFE00Hの領域をスタック・メモリとして使用できません。

図3 - 6 データ・メモリとアドレッシングの対応 (μ PD78F1023, 78F1025)



注 セルフ・プログラミング機能使用時は、FFE20H-FFEDFHとFDF00H-FE2FFHの領域をスタック・メモリとして使用できません。

図3-7 データ・メモリとアドレッシングの対応 (μ PD78F1024, 78F1026)

注 セルフ・プログラミング機能使用時は、FFE20H-FFEDFHとFDF00H-FE2FFHの領域をスタック・メモリとして使用できません。

3.2 プロセッサ・レジスタ

78K0R/KC3-L, KE3-Lは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW)、スタック・ポインタ (SP) があります。

(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-8 プログラム・カウンタの構成



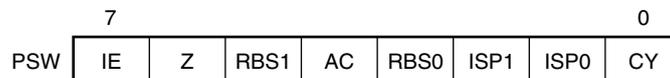
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-9 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ (ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (15.3(3)参照) でISP0, ISP1の値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

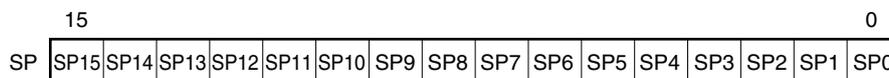
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 10 スタック・ポインタの構成

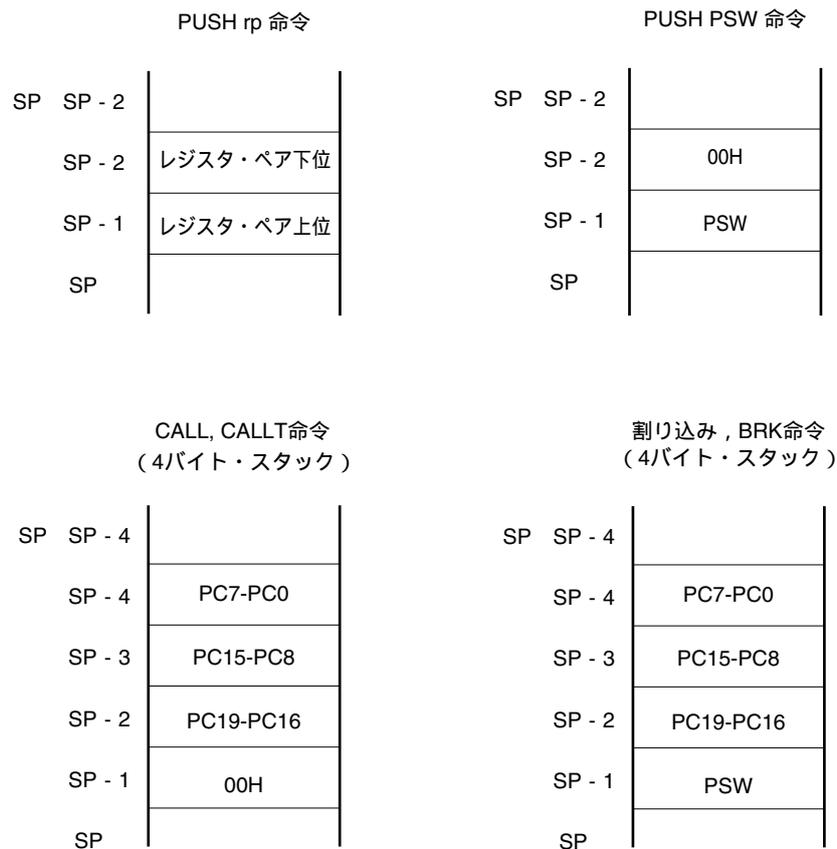


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3 - 11のようになります。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、スタック領域としての使用を禁止します。
3. セルフ・プログラミング機能使用時は、FFE20H-FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1023, 78F1024, 78F1025, 78F1026では、FDF00H-FE2FFHの領域もスタック・メモリとして使用できません。

図3 - 11 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

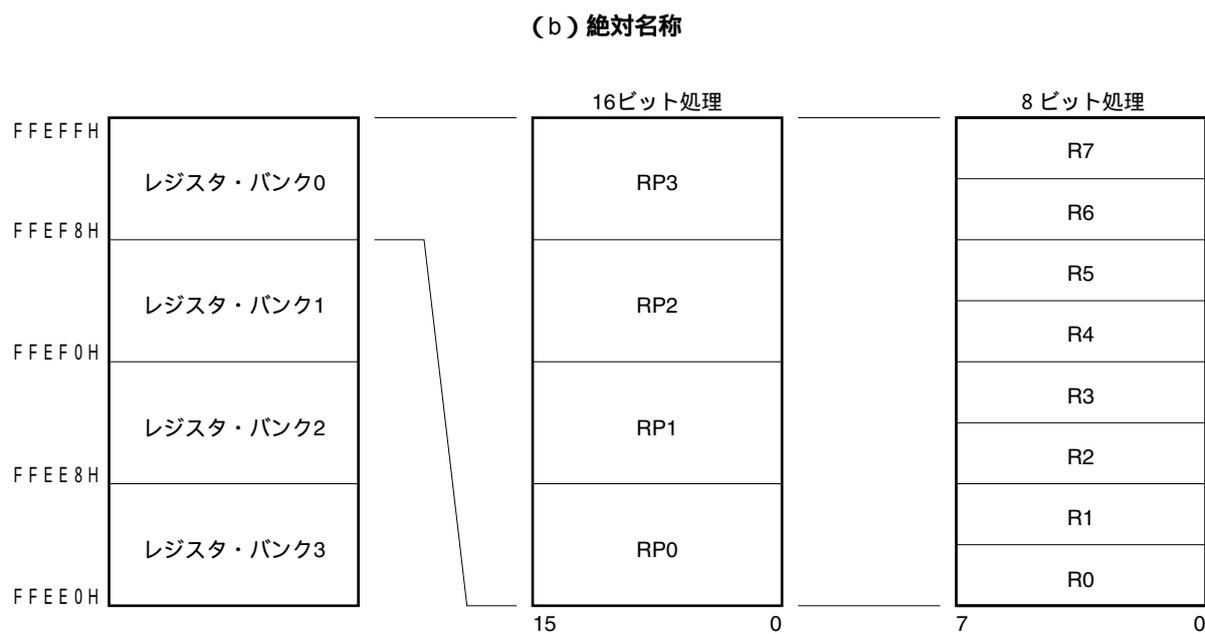
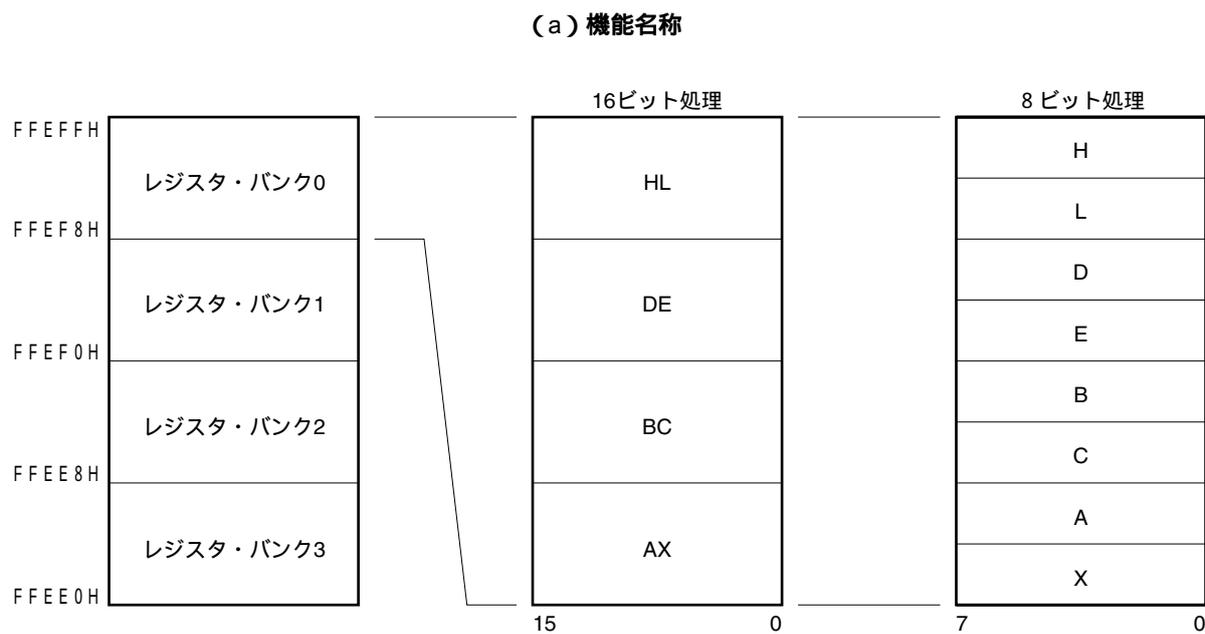
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

- 注意1.** 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- 2.** セルフ・プログラミング機能使用時は、FFE20H-FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1023, 78F1024, 78F1025, 78F1026では、FDF00H-FE2FFHの領域もスタック・メモリとして使用できません。

図3 - 12 汎用レジスタの構成



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス, CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH, CSレジスタのリセット後の初期値は00Hです。

図3 - 13 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3-5 SFR一覧(1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
FFF00H	ポート・レジスタ0	P0		RW			-	00H		
FFF01H	ポート・レジスタ1	P1		RW			-	00H		
FFF02H	ポート・レジスタ2	P2		RW			-	00H		
FFF03H	ポート・レジスタ3	P3		RW			-	00H		
FFF04H	ポート・レジスタ4	P4		RW			-	00H		
FFF05H	ポート・レジスタ5	P5		RW			-	00H		
FFF06H	ポート・レジスタ6	P6		RW			-	00H		
FFF07H	ポート・レジスタ7	P7		RW			-	00H		
FFF0BH	ポート・レジスタ11	P11		RW			-	00H	-	
FFF0CH	ポート・レジスタ12	P12		RW			-	不定		
FFF0DH	ポート・レジスタ13	P13		RW			-	00H	-	
FFF0EH	ポート・レジスタ14	P14		RW			-	00H		
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	-			0000H		
FFF11H		-			-	-				
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	-			0000H		
FFF13H		-			-	-				
FFF14H	シリアル・データ・レジスタ12	TXD3	SDR12	R/W	-			0000H		
FFF15H		-			-	-				
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	-			0000H		
FFF17H		-			-	-				
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	-	-		0000H		
FFF19H										
FFF1AH	タイマ・データ・レジスタ01	TDR01		R/W	-	-		0000H		
FFF1BH										
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	-	-		0000H		
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	-	-		00H		
FFF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH		
FFF21H	ポート・モード・レジスタ1	PM1		R/W			-	FFH		
FFF22H	ポート・モード・レジスタ2	PM2		R/W			-	FFH		
FFF23H	ポート・モード・レジスタ3	PM3		R/W			-	FFH		
FFF24H	ポート・モード・レジスタ4	PM4		R/W			-	FFH		
FFF25H	ポート・モード・レジスタ5	PM5		R/W			-	FFH		
FFF26H	ポート・モード・レジスタ6	PM6		R/W			-	FFH		
FFF27H	ポート・モード・レジスタ7	PM7		R/W			-	FFH		
FFF2BH	ポート・モード・レジスタ11	PM11		R/W			-	FFH	-	
FFF2CH	ポート・モード・レジスタ12	PM12		R/W			-	FFH		
FFF2EH	ポート・モード・レジスタ14	PM14		R/W			-	FFH		

表3-5 SFR一覧(2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
FFF30H	A/Dコンバータ・モード・レジスタ	ADM		R/W			-	00H		
FFF31H	アナログ入力チャンネル指定レジスタ	ADS		R/W			-	00H		
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W			-	00H		
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W			-	00H		
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W			-	00H		
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W			-	00H	-	
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W			-	00H	-	
FFF3CH	入力切り替え制御レジスタ	ISC		R/W			-	00H		
FFF3EH	タイマ入力選択レジスタ0	TIS0		R/W			-	00H		
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	-			0000H		
FFF45H		-			-	-				
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-			0000H		
FFF47H		-			-	-				
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	-			0000H	-	
FFF49H		-			-	-				
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-			0000H	-	
FFF4BH		-			-	-				
FFF50H	IICAシフト・レジスタ	IICA		R/W	-		-	00H		
FFF51H	IICAステータス・レジスタ	IICS		R			-	00H		
FFF52H	IICAフラグ・レジスタ	IICF		R/W			-	00H		
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	-	-		0000H		
FFF65H										
FFF66H	タイマ・データ・レジスタ03	TDR03		R/W	-	-		0000H		
FFF67H										
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	-	-		0000H		
FFF69H										
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	-	-		0000H		
FFF6BH										
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	-	-		0000H		
FFF6DH										
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	-	-		0000H		
FFF6FH										

表3-5 SFR一覧(3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
FFF90H FFF91H	サブカウント・レジスタ	RSUBC	R	-	-		0000H		
FFF92H	秒カウント・レジスタ	SEC	R/W	-		-	00H		
FFF93H	分カウント・レジスタ	MIN	R/W	-		-	00H		
FFF94H	時カウント・レジスタ	HOUR	R/W	-		-	12H		
FFF95H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H		
FFF96H	日カウント・レジスタ	DAY	R/W	-		-	01H		
FFF97H	月カウント・レジスタ	MONTH	R/W	-		-	01H		
FFF98H	年カウント・レジスタ	YEAR	R/W	-		-	00H		
FFF99H	時計誤差補正レジスタ	SUBCUD	R/W	-		-	00H		
FFF9AH	アラーム分レジスタ	ALARMWWM	R/W	-		-	00H		
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	-		-	12H		
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H		
FFF9DH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H		
FFF9EH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H		
FFF9FH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H		
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-		-	00H		
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			-	C0H		
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H		
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-		-	07H		
FFFA4H	クロック・コントロール・レジスタ	CKC	R/W			-	09H		
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W			-	00H		
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注1}		
FFFA9H	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注2}		
FFFAAH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	0EH ^{注3}		
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1A/9A ^{注4}		

注1. RESFのリセット値は、リセット要因により変化します。

2. LVIMのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

3. LVISのリセット値は、リセット要因により変化します。

4. WDTEのリセット値は、オプション・バイトの設定で決定します。

表3-5 SFR一覧(4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	-		-	00H		
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	-		-	00H		
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-			00H		
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-			00H		
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-			00H		
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-			00H		
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-			00H		
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	-			00H		
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-			00H		
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	-			00H		
FFFB9H	DMA モード・コントロール・レジスタ0	DMC0		R/W			-	00H		
FFFB9H	DMA モード・コントロール・レジスタ1	DMC1		R/W			-	00H		
FFFB9H	DMA 動作コントロール・レジスタ0	DRC0		R/W			-	00H		
FFFB9H	DMA 動作コントロール・レジスタ1	DRC1		R/W			-	00H		
FFFB9H	バック・グラウンド・イベント・コントロール・レジスタ	BECTL		R/W			-	00H		
FFFC0H	-	PFCMD ^注		-	-	-	-	不定		
FFFC2H	-	PFS ^注		-	-	-	-	00H		
FFFC4H	-	FLPMC ^注		-	-	-	-	08H		
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H		
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W					00H	
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH		
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W					FFH	
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH		
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W					FFH	
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH		
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W					FFH	
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H		
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W					00H	
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H		
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W					00H	
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH		
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W					FFH	
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH		
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W					FFH	
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH		
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W					FFH	

注 セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。

表3 - 5 SFR一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH		
FFFE BH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH		
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH		
FFFE DH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH		
FFFE EH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH		
FFFE FH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH		
FFFF0H	乗除算データ・レジスタA (L)	MDAL/MULA		R/W	-	-		0000H		
FFFF1H										
FFFF2H	乗除算データ・レジスタA (H)	MDAH/MULB		R/W	-	-		0000H		
FFFF3H										
FFFF4H	乗除算データ・レジスタB (H)	MDBH/ MULOH		R/W	-	-		0000H		
FFFF5H										
FFFF6H	乗除算データ・レジスタB (L)	MDBL/ MULOL		R/W	-	-		0000H		
FFFF7H										
FFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			-	00H		

備考 拡張SFR (2nd SFR) については、表3 - 6 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFRのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- **R/W**

該当する拡張SFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
F0017H	ADポート・コンフィギュレーション・レジスタ	ADPC		R/W	-		-	10H		
F0030H	ブルアップ抵抗オプション・レジスタ0	PU0		R/W			-	00H		
F0031H	ブルアップ抵抗オプション・レジスタ1	PU1		R/W			-	00H		
F0033H	ブルアップ抵抗オプション・レジスタ3	PU3		R/W			-	00H		
F0034H	ブルアップ抵抗オプション・レジスタ4	PU4		R/W			-	00H		
F0035H	ブルアップ抵抗オプション・レジスタ5	PU5		R/W			-	00H		
F0037H	ブルアップ抵抗オプション・レジスタ7	PU7		R/W			-	00H		
F003BH	ブルアップ抵抗オプション・レジスタ11	PU11		R/W			-	00H	-	
F003CH	ブルアップ抵抗オプション・レジスタ12	PU12		R/W			-	00H		
F003EH	ブルアップ抵抗オプション・レジスタ14	PU14		R/W			-	00H		
F0040H	ポート入力モード・レジスタ0	PIM0		R/W			-	00H		
F0041H	ポート入力モード・レジスタ1	PIM1		R/W			-	00H		
F004EH	ポート入力モード・レジスタ14	PIM14		R/W			-	00H	-	
F0050H	ポート出力モード・レジスタ0	POM0		R/W			-	00H		
F0051H	ポート出力モード・レジスタ1	POM1		R/W			-	00H		
F005EH	ポート出力モード・レジスタ14	POM14		R/W			-	00H	-	
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0		R/W			-	00H		
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1		R/W			-	00H		
F00E0H	乗除算データ・レジスタC (L)	MDCL		R	-	-		0000H		
F00E2H	乗除算データ・レジスタC (H)	MDCH		R	-	-		0000H		
F00E8H	乗除算コントロール・レジスタ	MDUC		R/W			-	00H		
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W			-	00H		
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	-		-	00H		
F00F4H	レギュレータ・モード制御レジスタ	RMC		R/W	-		-	00H		
F00F6H	20 MHz高速内蔵発振制御レジスタ	DSCCTL		R/W			-	00H		
F00FEH	BCD補正結果レジスタ	BCDADJ		R	-		-	00H		
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	-			0000H		
F0101H		-			-	-				
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	-			0000H		
F0103H		-			-	-				
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	-			0000H		
F0105H		-			-	-				
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	-			0000H		
F0107H		-			-	-				
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	-			0000H		
F0109H		-			-	-				
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	-			0000H		
F010BH		-			-	-				
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	-			0000H		
F010DH		-			-	-				

表3-6 拡張SFR (2nd SFR) 一覧 (2/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	-			0000H		
F010FH		-			-					
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-		0020H		
F0111H										
F0112H	シリアル・モード・レジスタ01	SMR1		R/W	-	-		0020H		
F0113H										
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	-	-		0020H		
F0115H										
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	-	-		0020H		
F0117H										
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-		0087H		
F0119H										
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-		0087H		
F011BH										
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	-	-		0087H		
F011DH										
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	-	-		0087H		
F011FH										
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R				0000H		
F0121H		-			-					
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H		
F0123H		-			-					
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H		
F0125H		-			-					
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-			0000H		
F0127H		-			-					
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-		0F0FH		
F0129H										
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H		
F012BH		-			-					
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	-			0000H		
F0135H		-			-					
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	-			0000H	-	
F0141H		-			-					
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	-			0000H	-	
F0143H		-			-					
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	-			0000H		
F0145H		-			-					
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	-			0000H		
F0147H		-			-					

表3-6 拡張SFR (2nd SFR) 一覧 (3/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	-			0000H	-	
F0149H		-			-	-			-	
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	-			0000H	-	
F014BH		-			-	-			-	
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ12	SIR12L	SIR12	R/W	-			0000H		
F014DH		-			-	-				
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ13	SIR13L	SIR13	R/W	-			0000H		
F014FH		-			-	-				
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	-	-		0020H	-	
F0151H										
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	-	-		0020H	-	
F0153H										
F0154H	シリアル・モード・レジスタ12	SMR12		R/W	-	-		0020H		
F0155H										
F0156H	シリアル・モード・レジスタ13	SMR13		R/W	-	-		0020H		
F0157H										
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-		0087H	-	
F0159H										
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-		0087H	-	
F015BH										
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W	-	-		0087H		
F015DH										
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W	-	-		0087H		
F015FH										
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R				0000H		
F0161H		-			-	-				
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W				0000H		
F0163H		-			-	-				
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W				0000H		
F0165H		-			-	-				
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-			0000H		
F0167H		-			-	-				
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-		0F0FH		
F0169H										
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W				0000H		
F016BH		-			-	-				
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-			0000H		
F0175H		-			-	-				
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-		FFFFH		
F0181H										

表3 - 6 拡張SFR (2nd SFR) 一覧 (4/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0182H	タイマ・カウンタ・レジスタ01	TCR01	R	-	-		FFFFH		
F0183H									
F0184H	タイマ・カウンタ・レジスタ02	TCR02	R	-	-		FFFFH		
F0185H									
F0186H	タイマ・カウンタ・レジスタ03	TCR03	R	-	-		FFFFH		
F0187H									
F0188H	タイマ・カウンタ・レジスタ04	TCR04	R	-	-		FFFFH		
F0189H									
F018AH	タイマ・カウンタ・レジスタ05	TCR05	R	-	-		FFFFH		
F018BH									
F018CH	タイマ・カウンタ・レジスタ06	TCR06	R	-	-		FFFFH		
F018DH									
F018EH	タイマ・カウンタ・レジスタ07	TCR07	R	-	-		FFFFH		
F018FH									
F0190H	タイマ・モード・レジスタ00	TMR00	R/W	-	-		0000H		
F0191H									
F0192H	タイマ・モード・レジスタ01	TMR01	R/W	-	-		0000H		
F0193H									
F0194H	タイマ・モード・レジスタ02	TMR02	R/W	-	-		0000H		
F0195H									
F0196H	タイマ・モード・レジスタ03	TMR03	R/W	-	-		0000H		
F0197H									
F0198H	タイマ・モード・レジスタ04	TMR04	R/W	-	-		0000H		
F0199H									
F019AH	タイマ・モード・レジスタ05	TMR05	R/W	-	-		0000H		
F019BH									
F019CH	タイマ・モード・レジスタ06	TMR06	R/W	-	-		0000H		
F019DH									
F019EH	タイマ・モード・レジスタ07	TMR07	R/W	-	-		0000H		
F019FH									
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-	-	0000H		
F01A1H		-							
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-	-	0000H		
F01A3H		-							
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-	-	0000H		
F01A5H		-							
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	-	-	0000H		
F01A7H		-							
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-	-	0000H		
F01A9H		-							

表3-6 拡張SFR (2nd SFR) 一覧 (5/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
					1ビット	8ビット	16ビット			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	-			0000H		
F01ABH		-			-	-				
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	-			0000H		
F01ADH		-			-	-				
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-			0000H		
F01AFH		-			-	-				
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R				0000H		
F01B1H		-			-	-				
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W				0000H		
F01B3H		-			-	-				
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W				0000H		
F01B5H		-			-	-				
F01B6H	タイマ・クロック選択レジスタ0	TPS0L	TPS0	R/W	-			0000H		
F01B7H		-			-	-				
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	-			0000H		
F01B9H		-			-	-				
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W				0000H		
F01BBH		-			-	-				
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	-			0000H		
F01BDH		-			-	-				
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	-			0000H		
F01BFH		-			-	-				
F0230H	IICAコントロール・レジスタ0	IICCTL0		R/W			-	00H		
F0231H	IICAコントロール・レジスタ1	IICCTL1		R/W			-	00H		
F0232H	IICAロウ・レベル幅設定レジスタ	IICWL		R/W	-		-	FFH		
F0233H	IICAハイ・レベル幅設定レジスタ	IICWH		R/W	-		-	FFH		
F0234H	スレーブ・アドレス・レジスタ	SVA		R/W	-		-	00H		

備考 SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

表3 - 6 拡張SFR (2nd SFR) 一覧 (6/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0540H	UF0 EP0NAKレジスタ	UF0E0N	R/W	-		-	00H		
F0541H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W	-		-	00H		
F0542H	UF0 EPNAKレジスタ	UF0EN	R/W	-		-	00H		
F0543H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W	-		-	00H		
F0544H	UF0 SNDSIEレジスタ	UF0SDS	R/W	-		-	00H		
F0545H	UF0 CLRリクエスト・レジスタ	UF0CLR	R	-		-	00H		
F0546H	UF0 SETリクエスト・レジスタ	UF0SET	R	-		-	00H		
F0547H	UF0 EPステータス0レジスタ	UF0EPS0	R	-		-	00H		
F0548H	UF0 EPステータス1レジスタ	UF0EPS1	R	-		-	00H		
F0549H	UF0 EPステータス2レジスタ	UF0EPS2	R	-		-	00H		
F0550H	UF0 INTステータス0レジスタ	UF0IS0	R	-		-	00H		
F0551H	UF0 INTステータス1レジスタ	UF0IS1	R	-		-	00H		
F0552H	UF0 INTステータス2レジスタ	UF0IS2	R	-		-	00H		
F0553H	UF0 INTステータス3レジスタ	UF0IS3	R	-		-	00H		
F0554H	UF0 INTステータス4レジスタ	UF0IS4	R	-		-	00H		
F0557H	UF0 INTマスク0レジスタ	UF0IM0	R/W	-		-	00H		
F0558H	UF0 INTマスク1レジスタ	UF0IM1	R/W	-		-	00H		
F0559H	UF0 INTマスク2レジスタ	UF0IM2	R/W	-		-	00H		
F055AH	UF0 INTマスク3レジスタ	UF0IM3	R/W	-		-	00H		
F055BH	UF0 INTマスク4レジスタ	UF0IM4	R/W	-		-	00H		
F055EH	UF0 INTクリア0レジスタ	UF0IC0	W	-		-	FFH		
F055FH	UF0 INTクリア1レジスタ	UF0IC1	W	-		-	FFH		
F0560H	UF0 INTクリア2レジスタ	UF0IC2	W	-		-	FFH		
F0561H	UF0 INTクリア3レジスタ	UF0IC3	W	-		-	FFH		
F0562H	UF0 INTクリア4レジスタ	UF0IC4	W	-		-	FFH		
F0570H	UF0 FIFOクリア0レジスタ	UF0FIC0	W	-		-	00H		
F0571H	UF0 FIFOクリア1レジスタ	UF0FIC1	W	-		-	00H		
F0575H	UF0 データ・エンド・レジスタ	UF0DEND	R/W	-		-	00H		
F0577H	UF0 GPRレジスタ	UF0GPR	R/W	-		-	00H		
F057AH	UF0 モード・コントロール・レジスタ	UF0MODC	R/W	-		-	00H		
F057CH	UF0 モード・ステータス・レジスタ	UF0MODS	R	-		-	00H		
F0580H	UF0 EP0リード・レジスタ	UF0E0R	R	-		-	不定		
F0581H	UF0 EP0レングス・レジスタ	UF0E0L	R	-		-	00H		
F0582H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R	-		-	00H		
F0583H	UF0 EP0ライト・レジスタ	UF0E0W	W	-		-	00H		
F0584H	UF0 バルク・アウト1レジスタ	UF0BO1	R	-		-	不定		
F0585H	UF0 バルク・アウト1レングス・レジスタ	UF0BO1L	R	-		-	00H		
F0586H	UF0 バルク・アウト2レジスタ	UF0BO2	R	-		-	不定		
F0587H	UF0 バルク・アウト2レングス・レジスタ	UF0BO2L	R	-		-	00H		
F0588H	UF0 バルク・イン1レジスタ	UF0BI1	W	-		-	00H		

表3-6 拡張SFR (2nd SFR) 一覧 (8/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0589H	UF0 バルク・イン2レジスタ	UF0BI2	W	-		-	00H		
F058AH	UF0 インタラプト1レジスタ	UF0INT1	W	-		-	00H		
F058BH	UF0 インタラプト2レジスタ	UF0INT2	W	-		-	00H		
F059CH	PLLコントロール・レジスタ	PLLC	R/W			-	01H		
F059DH	USBクロック制御レジスタ	UCKC	R/W			-	00H		
F059EH	バッファ・コントロール・レジスタ	UF0BC	R/W	-		-	00H		
F05A2H	デバイス・ステータス・レジスタL	UF0DSTL	R/W	-		-	00H		
F05A6H	EP0ステータス・レジスタL	UF0E0SL	R/W	-		-	00H		
F05A8H	EP1ステータス・レジスタL	UF0E1SL	R/W	-		-	00H		
F05AAH	EP2ステータス・レジスタL	UF0E2SL	R/W	-		-	00H		
F05ACH	EP3ステータス・レジスタL	UF0E3SL	R/W	-		-	00H		
F05AEH	EP4ステータス・レジスタL	UF0E4SL	R/W	-		-	00H		
F05B4H	EP7ステータス・レジスタL	UF0E7SL	R/W	-		-	00H		
F05B6H	EP8ステータス・レジスタL	UF0E8SL	R/W	-		-	00H		
F05C0H	アドレス・レジスタ	UF0ADRS	R	-		-	00H		
F05C1H	コンフィギュレーション・レジスタ	UF0CNF	R	-		-	00H		
F05C2H	インタフェース0レジスタ	UF0IF0	R	-		-	00H		
F05C3H	インタフェース1レジスタ	UF0IF1	R	-		-	00H		
F05C4H	インタフェース2レジスタ	UF0IF2	R	-		-	00H		
F05C5H	インタフェース3レジスタ	UF0IF3	R	-		-	00H		
F05C6H	インタフェース4レジスタ	UF0IF4	R	-		-	00H		
F05D0H	ディスクリプタ・レングス・レジスタ	UF0DSC L	R/W	-		-	00H		
F05D1H	デバイス・ディスクリプタ・レジスタ0	UF0DD0	R/W	-		-	不定		
F05D2H	デバイス・ディスクリプタ・レジスタ1	UF0DD1	R/W	-		-	不定		
F05D3H	デバイス・ディスクリプタ・レジスタ2	UF0DD2	R/W	-		-	不定		
F05D4H	デバイス・ディスクリプタ・レジスタ3	UF0DD3	R/W	-		-	不定		
F05D5H	デバイス・ディスクリプタ・レジスタ4	UF0DD4	R/W	-		-	不定		
F05D6H	デバイス・ディスクリプタ・レジスタ5	UF0DD5	R/W	-		-	不定		
F05D7H	デバイス・ディスクリプタ・レジスタ6	UF0DD6	R/W	-		-	不定		
F05D8H	デバイス・ディスクリプタ・レジスタ7	UF0DD7	R/W	-		-	不定		
F05D9H	デバイス・ディスクリプタ・レジスタ8	UF0DD8	R/W	-		-	不定		
F05DAH	デバイス・ディスクリプタ・レジスタ9	UF0DD9	R/W	-		-	不定		
F05DBH	デバイス・ディスクリプタ・レジスタ10	UF0DD10	R/W	-		-	不定		
F05DCH	デバイス・ディスクリプタ・レジスタ11	UF0DD11	R/W	-		-	不定		
F05DDH	デバイス・ディスクリプタ・レジスタ12	UF0DD12	R/W	-		-	不定		
F05DEH	デバイス・ディスクリプタ・レジスタ13	UF0DD13	R/W	-		-	不定		
F05DFH	デバイス・ディスクリプタ・レジスタ14	UF0DD14	R/W	-		-	不定		
F05E0H	デバイス・ディスクリプタ・レジスタ15	UF0DD15	R/W	-		-	不定		
F05E1H	デバイス・ディスクリプタ・レジスタ16	UF0DD16	R/W	-		-	不定		
F05E2H	デバイス・ディスクリプタ・レジスタ17	UF0DD17	R/W	-		-	不定		

表3 - 6 拡張SFR (2nd SFR) 一覧 (8/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F05E3H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ0	UF0CIE0	R/W	-		-	不定		
F05E4H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ1	UF0CIE1	R/W	-		-	不定		
F05E5H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ2	UF0CIE2	R/W	-		-	不定		
F05E6H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ3	UF0CIE3	R/W	-		-	不定		
F05E7H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ4	UF0CIE4	R/W	-		-	不定		
F05E8H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ5	UF0CIE5	R/W	-		-	不定		
F05E9H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ6	UF0CIE6	R/W	-		-	不定		
F05EAH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ7	UF0CIE7	R/W	-		-	不定		
F05EBH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ8	UF0CIE8	R/W	-		-	不定		
F05ECH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ9	UF0CIE9	R/W	-		-	不定		
F05EDH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ10	UF0CIE10	R/W	-		-	不定		
F05EEH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ11	UF0CIE11	R/W	-		-	不定		
F05EFH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ12	UF0CIE12	R/W	-		-	不定		
F05F0H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ13	UF0CIE13	R/W	-		-	不定		
F05F1H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ14	UF0CIE14	R/W	-		-	不定		
F05F2H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ15	UF0CIE15	R/W	-		-	不定		
F05F3H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ16	UF0CIE16	R/W	-		-	不定		
F05F4H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ17	UF0CIE17	R/W	-		-	不定		
F05F5H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ18	UF0CIE18	R/W	-		-	不定		
F05F6H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ19	UF0CIE19	R/W	-		-	不定		

表3 - 6 拡張SFR (2nd SFR) 一覧 (9/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F05F7H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ20	UF0CIE20	R/W	-		-	不定		
F05F8H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ21	UF0CIE21	R/W	-		-	不定		
F05F9H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ22	UF0CIE22	R/W	-		-	不定		
F05FAH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ23	UF0CIE23	R/W	-		-	不定		
F05FBH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ24	UF0CIE24	R/W	-		-	不定		
F05FCH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ25	UF0CIE25	R/W	-		-	不定		
F05FDH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ26	UF0CIE26	R/W	-		-	不定		
F05FEH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ27	UF0CIE27	R/W	-		-	不定		
F05FFH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ28	UF0CIE28	R/W	-		-	不定		
F0600H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ29	UF0CIE29	R/W	-		-	不定		
F0601H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ30	UF0CIE30	R/W	-		-	不定		
F0602H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ31	UF0CIE31	R/W	-		-	不定		
F0603H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ32	UF0CIE32	R/W	-		-	不定		
F0604H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ33	UF0CIE33	R/W	-		-	不定		
F0605H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ34	UF0CIE34	R/W	-		-	不定		
F0606H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ35	UF0CIE35	R/W	-		-	不定		
F0607H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ36	UF0CIE36	R/W	-		-	不定		
F0608H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ37	UF0CIE37	R/W	-		-	不定		
F0609H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ38	UF0CIE38	R/W	-		-	不定		
F060AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ39	UF0CIE39	R/W	-		-	不定		

表3 - 6 拡張SFR (2nd SFR) 一覧 (10/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F060BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ40	UF0CIE40	R/W	-		-	不定		
F060CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ41	UF0CIE41	R/W	-		-	不定		
F060DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ42	UF0CIE42	R/W	-		-	不定		
F060EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ43	UF0CIE43	R/W	-		-	不定		
F060FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ44	UF0CIE44	R/W	-		-	不定		
F0610H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ45	UF0CIE45	R/W	-		-	不定		
F0611H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ46	UF0CIE46	R/W	-		-	不定		
F0612H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ47	UF0CIE47	R/W	-		-	不定		
F0613H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ48	UF0CIE48	R/W	-		-	不定		
F0614H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ49	UF0CIE49	R/W	-		-	不定		
F0615H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ50	UF0CIE50	R/W	-		-	不定		
F0616H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ51	UF0CIE51	R/W	-		-	不定		
F0617H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ52	UF0CIE52	R/W	-		-	不定		
F0618H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ53	UF0CIE53	R/W	-		-	不定		
F0619H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ54	UF0CIE54	R/W	-		-	不定		
F061AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ55	UF0CIE55	R/W	-		-	不定		
F061BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ56	UF0CIE56	R/W	-		-	不定		
F061CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ57	UF0CIE57	R/W	-		-	不定		
F061DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ58	UF0CIE58	R/W	-		-	不定		
F061EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ59	UF0CIE59	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (11/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F061FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ60	UF0CIE60	R/W	-		-	不定		
F0620H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ61	UF0CIE61	R/W	-		-	不定		
F0621H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ62	UF0CIE62	R/W	-		-	不定		
F0622H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ63	UF0CIE63	R/W	-		-	不定		
F0623H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ64	UF0CIE64	R/W	-		-	不定		
F0624H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ65	UF0CIE65	R/W	-		-	不定		
F0625H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ66	UF0CIE66	R/W	-		-	不定		
F0626H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ67	UF0CIE67	R/W	-		-	不定		
F0627H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ68	UF0CIE68	R/W	-		-	不定		
F0628H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ69	UF0CIE69	R/W	-		-	不定		
F0629H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ70	UF0CIE70	R/W	-		-	不定		
F062AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ71	UF0CIE71	R/W	-		-	不定		
F062BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ72	UF0CIE72	R/W	-		-	不定		
F062CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ73	UF0CIE73	R/W	-		-	不定		
F062DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ74	UF0CIE74	R/W	-		-	不定		
F062EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ75	UF0CIE75	R/W	-		-	不定		
F062FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ76	UF0CIE76	R/W	-		-	不定		
F0630H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ77	UF0CIE77	R/W	-		-	不定		
F0631H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ78	UF0CIE78	R/W	-		-	不定		
F0632H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ79	UF0CIE79	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (12/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0633H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ80	UF0CIE80	R/W	-		-	不定		
F0634H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ81	UF0CIE81	R/W	-		-	不定		
F0635H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ82	UF0CIE82	R/W	-		-	不定		
F0636H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ83	UF0CIE83	R/W	-		-	不定		
F0637H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ84	UF0CIE84	R/W	-		-	不定		
F0638H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ85	UF0CIE85	R/W	-		-	不定		
F0639H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ86	UF0CIE86	R/W	-		-	不定		
F063AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ87	UF0CIE87	R/W	-		-	不定		
F063BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ88	UF0CIE88	R/W	-		-	不定		
F063CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ89	UF0CIE89	R/W	-		-	不定		
F063DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ90	UF0CIE90	R/W	-		-	不定		
F063EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ91	UF0CIE91	R/W	-		-	不定		
F063FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ92	UF0CIE92	R/W	-		-	不定		
F0640H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ93	UF0CIE93	R/W	-		-	不定		
F0641H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ94	UF0CIE94	R/W	-		-	不定		
F0642H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ95	UF0CIE95	R/W	-		-	不定		
F0643H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ96	UF0CIE96	R/W	-		-	不定		
F0644H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ97	UF0CIE97	R/W	-		-	不定		
F0645H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ98	UF0CIE98	R/W	-		-	不定		
F0646H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ99	UF0CIE99	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (13/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0647H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ100	UF0CIE100	R/W	-		-	不定		
F0648H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ101	UF0CIE101	R/W	-		-	不定		
F0649H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ102	UF0CIE102	R/W	-		-	不定		
F064AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ103	UF0CIE103	R/W	-		-	不定		
F064BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ104	UF0CIE104	R/W	-		-	不定		
F064CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ105	UF0CIE105	R/W	-		-	不定		
F064DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ106	UF0CIE106	R/W	-		-	不定		
F064EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ107	UF0CIE107	R/W	-		-	不定		
F064FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ108	UF0CIE108	R/W	-		-	不定		
F0650H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ109	UF0CIE109	R/W	-		-	不定		
F0651H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ110	UF0CIE110	R/W	-		-	不定		
F0652H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ111	UF0CIE111	R/W	-		-	不定		
F0653H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ112	UF0CIE112	R/W	-		-	不定		
F0654H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ113	UF0CIE113	R/W	-		-	不定		
F0655H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ114	UF0CIE114	R/W	-		-	不定		
F0656H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ115	UF0CIE115	R/W	-		-	不定		
F0657H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ116	UF0CIE116	R/W	-		-	不定		
F0658H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ117	UF0CIE117	R/W	-		-	不定		
F0659H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ118	UF0CIE118	R/W	-		-	不定		
F065AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ119	UF0CIE119	R/W	-		-	不定		

表3 - 6 拡張SFR (2nd SFR) 一覧 (14/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F065BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ120	UF0CIE120	R/W	-		-	不定		
F065CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ121	UF0CIE121	R/W	-		-	不定		
F065DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ122	UF0CIE122	R/W	-		-	不定		
F065EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ123	UF0CIE123	R/W	-		-	不定		
F065FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ124	UF0CIE124	R/W	-		-	不定		
F0660H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ125	UF0CIE125	R/W	-		-	不定		
F0661H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ126	UF0CIE126	R/W	-		-	不定		
F0662H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ127	UF0CIE127	R/W	-		-	不定		
F0663H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ128	UF0CIE128	R/W	-		-	不定		
F0664H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ129	UF0CIE129	R/W	-		-	不定		
F0665H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ130	UF0CIE130	R/W	-		-	不定		
F0666H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ131	UF0CIE131	R/W	-		-	不定		
F0667H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ132	UF0CIE132	R/W	-		-	不定		
F0668H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ133	UF0CIE133	R/W	-		-	不定		
F0669H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ134	UF0CIE134	R/W	-		-	不定		
F066AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ135	UF0CIE135	R/W	-		-	不定		
F066BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ136	UF0CIE136	R/W	-		-	不定		
F066CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ137	UF0CIE137	R/W	-		-	不定		
F066DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ138	UF0CIE138	R/W	-		-	不定		
F066EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ139	UF0CIE139	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (15/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F066FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ140	UF0CIE140	R/W	-		-	不定		
F0670H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ141	UF0CIE141	R/W	-		-	不定		
F0671H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ142	UF0CIE142	R/W	-		-	不定		
F0672H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ143	UF0CIE143	R/W	-		-	不定		
F0673H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ144	UF0CIE144	R/W	-		-	不定		
F0674H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ145	UF0CIE145	R/W	-		-	不定		
F0675H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ146	UF0CIE146	R/W	-		-	不定		
F0676H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ147	UF0CIE147	R/W	-		-	不定		
F0677H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ148	UF0CIE148	R/W	-		-	不定		
F0678H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ149	UF0CIE149	R/W	-		-	不定		
F0679H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ150	UF0CIE150	R/W	-		-	不定		
F067AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ151	UF0CIE151	R/W	-		-	不定		
F067BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ152	UF0CIE152	R/W	-		-	不定		
F067CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ153	UF0CIE153	R/W	-		-	不定		
F067DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ154	UF0CIE154	R/W	-		-	不定		
F067EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ155	UF0CIE155	R/W	-		-	不定		
F067FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ156	UF0CIE156	R/W	-		-	不定		
F0680H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ157	UF0CIE157	R/W	-		-	不定		
F0681H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ158	UF0CIE158	R/W	-		-	不定		
F0682H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ159	UF0CIE159	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (16/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0683H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ160	UF0CIE160	R/W	-		-	不定		
F0684H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ161	UF0CIE161	R/W	-		-	不定		
F0685H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ162	UF0CIE162	R/W	-		-	不定		
F0686H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ163	UF0CIE163	R/W	-		-	不定		
F0687H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ164	UF0CIE164	R/W	-		-	不定		
F0688H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ165	UF0CIE165	R/W	-		-	不定		
F0689H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ166	UF0CIE166	R/W	-		-	不定		
F068AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ167	UF0CIE167	R/W	-		-	不定		
F068BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ168	UF0CIE168	R/W	-		-	不定		
F068CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ169	UF0CIE169	R/W	-		-	不定		
F068DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ170	UF0CIE170	R/W	-		-	不定		
F068EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ171	UF0CIE171	R/W	-		-	不定		
F068FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ172	UF0CIE172	R/W	-		-	不定		
F0690H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ173	UF0CIE173	R/W	-		-	不定		
F0691H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ174	UF0CIE174	R/W	-		-	不定		
F0692H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ175	UF0CIE175	R/W	-		-	不定		
F0693H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ176	UF0CIE176	R/W	-		-	不定		
F0694H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ177	UF0CIE177	R/W	-		-	不定		
F0695H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ178	UF0CIE178	R/W	-		-	不定		
F0696H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ179	UF0CIE179	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (17/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F0697H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ180	UF0CIE180	R/W	-		-	不定		
F0698H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ181	UF0CIE181	R/W	-		-	不定		
F0699H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ182	UF0CIE182	R/W	-		-	不定		
F069AH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ183	UF0CIE183	R/W	-		-	不定		
F069BH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ184	UF0CIE184	R/W	-		-	不定		
F069CH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ185	UF0CIE185	R/W	-		-	不定		
F069DH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ186	UF0CIE186	R/W	-		-	不定		
F069EH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ187	UF0CIE187	R/W	-		-	不定		
F069FH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ188	UF0CIE188	R/W	-		-	不定		
F06A0H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ189	UF0CIE189	R/W	-		-	不定		
F06A1H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ190	UF0CIE190	R/W	-		-	不定		
F06A2H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ191	UF0CIE191	R/W	-		-	不定		
F06A3H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ192	UF0CIE192	R/W	-		-	不定		
F06A4H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ193	UF0CIE193	R/W	-		-	不定		
F06A5H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ194	UF0CIE194	R/W	-		-	不定		
F06A6H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ195	UF0CIE195	R/W	-		-	不定		
F06A7H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ196	UF0CIE196	R/W	-		-	不定		
F06A8H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ197	UF0CIE197	R/W	-		-	不定		
F06A9H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ198	UF0CIE198	R/W	-		-	不定		
F06AAH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ199	UF0CIE199	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (18/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F06ABH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ200	UF0CIE200	R/W	-		-	不定		
F06ACH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ201	UF0CIE201	R/W	-		-	不定		
F06ADH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ202	UF0CIE202	R/W	-		-	不定		
F06AEH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ203	UF0CIE203	R/W	-		-	不定		
F06AFH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ204	UF0CIE204	R/W	-		-	不定		
F06B0H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ205	UF0CIE205	R/W	-		-	不定		
F06B1H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ206	UF0CIE206	R/W	-		-	不定		
F06B2H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ207	UF0CIE207	R/W	-		-	不定		
F06B3H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ208	UF0CIE208	R/W	-		-	不定		
F06B4H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ209	UF0CIE209	R/W	-		-	不定		
F06B5H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ210	UF0CIE210	R/W	-		-	不定		
F06B6H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ211	UF0CIE211	R/W	-		-	不定		
F06B7H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ212	UF0CIE212	R/W	-		-	不定		
F06B8H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ213	UF0CIE213	R/W	-		-	不定		
F06B9H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ214	UF0CIE214	R/W	-		-	不定		
F06BAH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ215	UF0CIE215	R/W	-		-	不定		
F06BBH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ216	UF0CIE216	R/W	-		-	不定		
F06BCH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ217	UF0CIE217	R/W	-		-	不定		
F06BDH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ218	UF0CIE218	R/W	-		-	不定		
F06BEH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ219	UF0CIE219	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (19/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F06BFH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ220	UF0CIE220	R/W	-		-	不定		
F06C0H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ221	UF0CIE221	R/W	-		-	不定		
F06C1H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ222	UF0CIE222	R/W	-		-	不定		
F06C2H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ223	UF0CIE223	R/W	-		-	不定		
F06C3H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ224	UF0CIE224	R/W	-		-	不定		
F06C4H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ225	UF0CIE225	R/W	-		-	不定		
F06C5H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ226	UF0CIE226	R/W	-		-	不定		
F06C6H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ227	UF0CIE227	R/W	-		-	不定		
F06C7H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ228	UF0CIE228	R/W	-		-	不定		
F06C8H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ229	UF0CIE229	R/W	-		-	不定		
F06C9H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ230	UF0CIE230	R/W	-		-	不定		
F06CAH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ231	UF0CIE231	R/W	-		-	不定		
F06CBH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ232	UF0CIE232	R/W	-		-	不定		
F06CCH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ233	UF0CIE233	R/W	-		-	不定		
F06CDH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ234	UF0CIE234	R/W	-		-	不定		
F06CEH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ235	UF0CIE235	R/W	-		-	不定		
F06CFH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ236	UF0CIE236	R/W	-		-	不定		
F06D0H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ237	UF0CIE237	R/W	-		-	不定		
F06D1H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ238	UF0CIE238	R/W	-		-	不定		
F06D2H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ239	UF0CIE239	R/W	-		-	不定		

表3-6 拡張SFR (2nd SFR) 一覧 (20/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F06D3H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ240	UF0CIE240	R/W	-		-	不定		
F06D4H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ241	UF0CIE241	R/W	-		-	不定		
F06D5H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ242	UF0CIE242	R/W	-		-	不定		
F06D6H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ243	UF0CIE243	R/W	-		-	不定		
F06D7H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ244	UF0CIE244	R/W	-		-	不定		
F06D8H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ245	UF0CIE245	R/W	-		-	不定		
F06D9H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ246	UF0CIE246	R/W	-		-	不定		
F06DAH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ247	UF0CIE247	R/W	-		-	不定		
F06DBH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ248	UF0CIE248	R/W	-		-	不定		
F06DCH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ249	UF0CIE249	R/W	-		-	不定		
F06DDH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ250	UF0CIE250	R/W	-		-	不定		
F06DEH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ251	UF0CIE251	R/W	-		-	不定		
F06DFH	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ252	UF0CIE252	R/W	-		-	不定		
F06E0H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ253	UF0CIE253	R/W	-		-	不定		
F06E1H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ254	UF0CIE254	R/W	-		-	不定		
F06E2H	コンフィギュレーション/インターフェース/ エンドポイント・ディスクリプタレジスタ255	UF0CIE255	R/W	-		-	不定		

表3 - 6 拡張SFR (2nd SFR) 一覧 (21/21)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/KC3-L	78K0R/KE3-L
				1ビット	8ビット	16ビット			
F06F0H	アクティブ・インターフェース・ナンバ・レジスタ	UF0AIFN	R/W	-		-	00H		
F06F1H	アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W	-		-	00H		
F06F2H	オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R	-		-	00H		
F06F3H	エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W	-		-	00H		
F06F4H	エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W	-		-	00H		
F06F5H	エンドポイント3インタフェース・マッピング・レジスタ	UF0E3IM	R/W	-		-	00H		
F06F6H	エンドポイント4インタフェース・マッピング・レジスタ	UF0E4IM	R/W	-		-	00H		
F06F9H	エンドポイント7インタフェース・マッピング・レジスタ	UF0E7IM	R/W	-		-	00H		
F06FAH	エンドポイント8インタフェース・マッピング・レジスタ	UF0E8IM	R/W	-		-	00H		

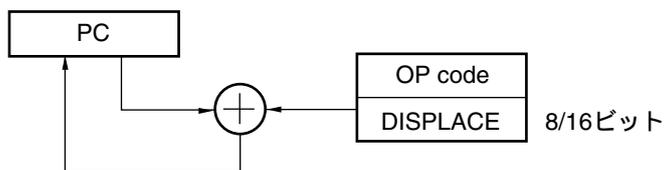
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 14 レラティブ・アドレッシングの概略



3.3.2 イミディエイト・アドレッシング

【機能】

命令語中のイミディエイト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエイト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 15 CALL !!addr20/BR !!addr20の例

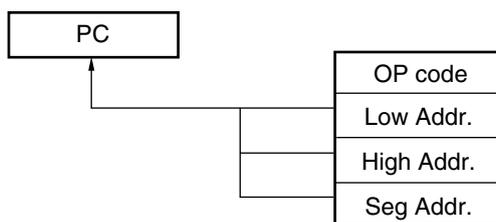
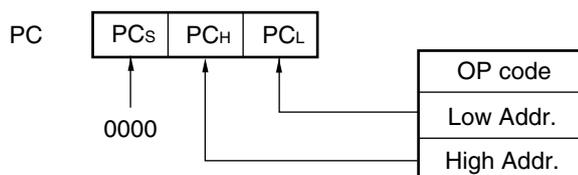


図3 - 16 CALL !addr16/BR !addr16の例



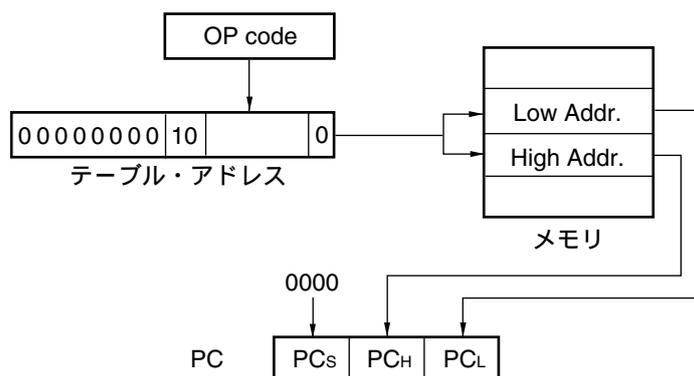
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 17 テーブル・インダイレクト・アドレッシングの概略

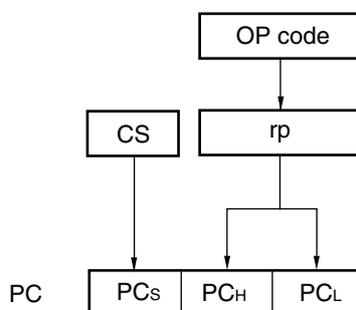


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 18 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

【機能】

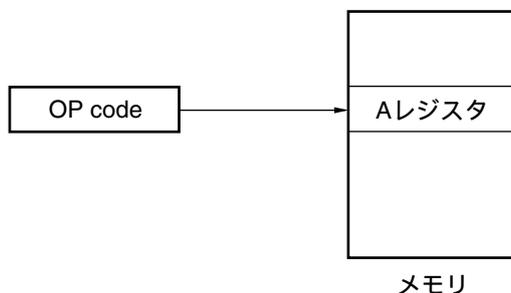
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 19 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

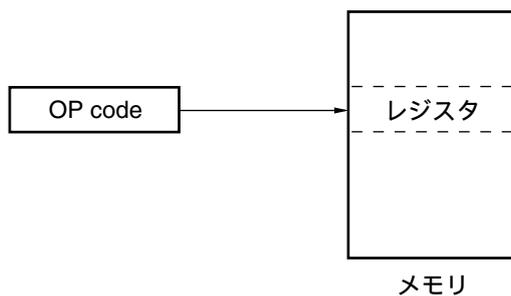
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 20 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 21 ADDR16の例

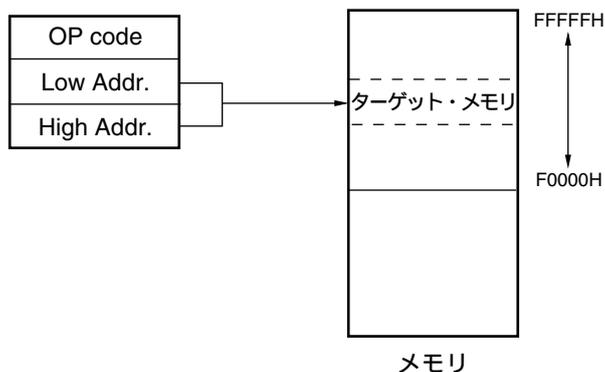
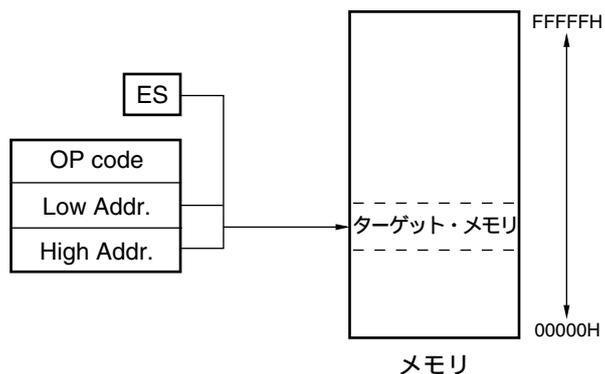


図3 - 22 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

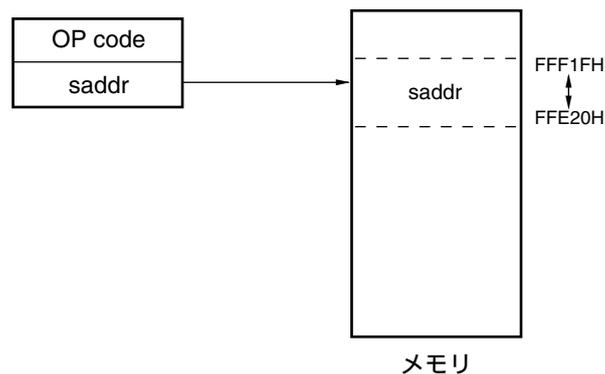
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 23 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

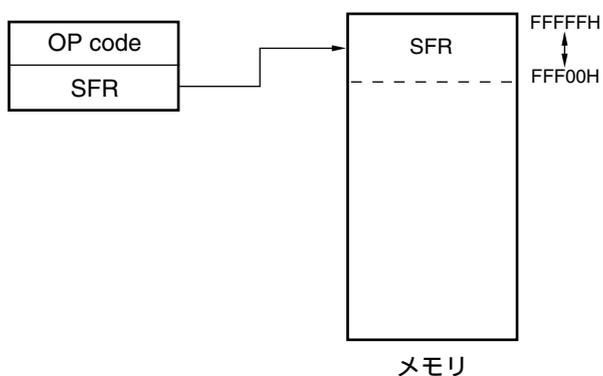
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3 - 24 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 25 [DE], [HL]の例

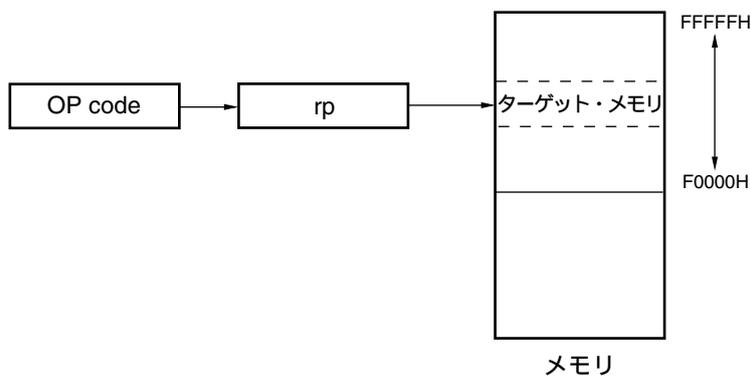
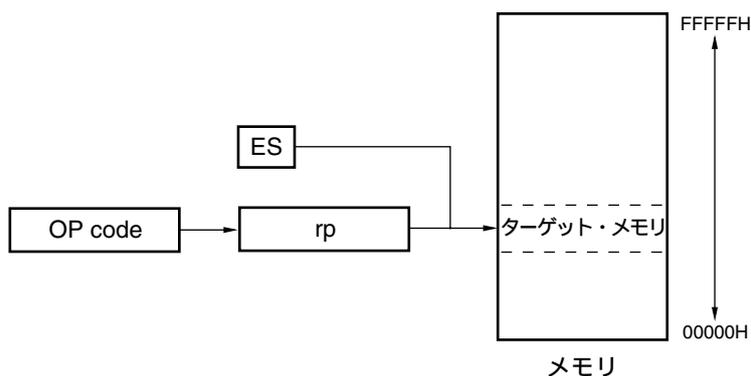


図3 - 26 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 27 [SP+byte]の例

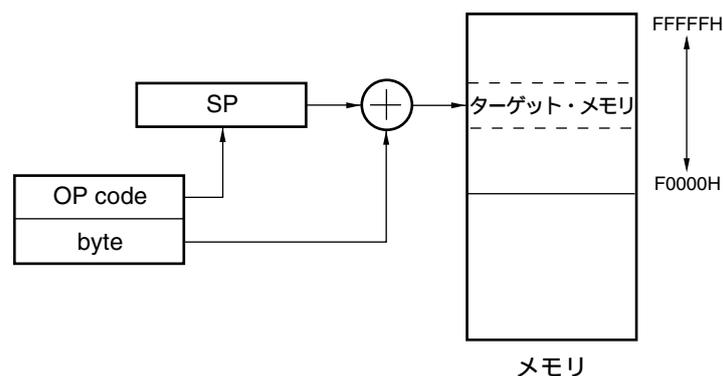


図3 - 28 [HL+byte], [DE+byte]の例

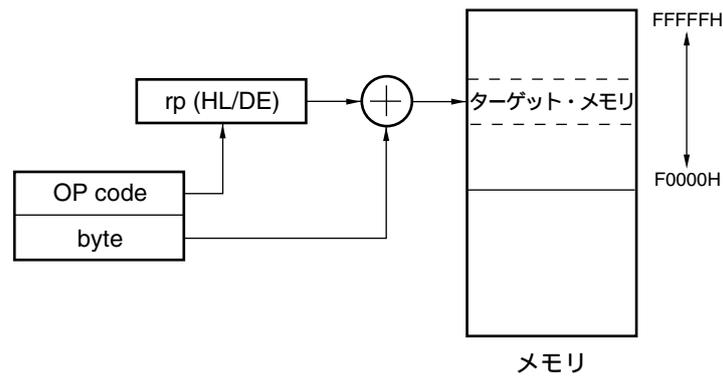


図3 - 29 word[B], word[C]の例

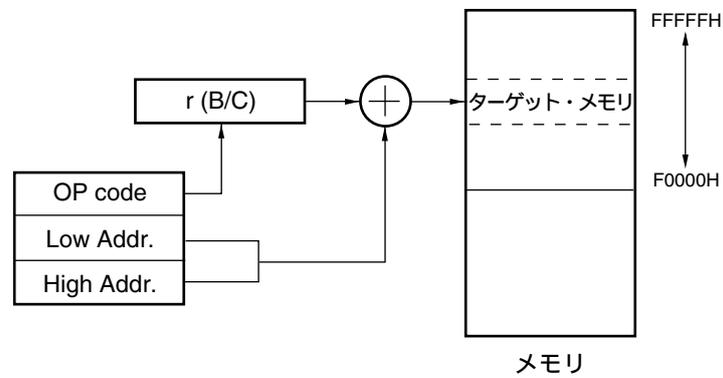


図3 - 30 word[BC]の例

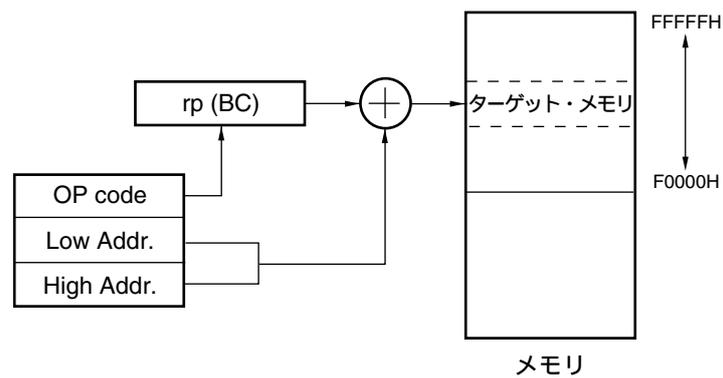


図3 - 31 ES:[HL+byte] , ES:[DE+byte]の例

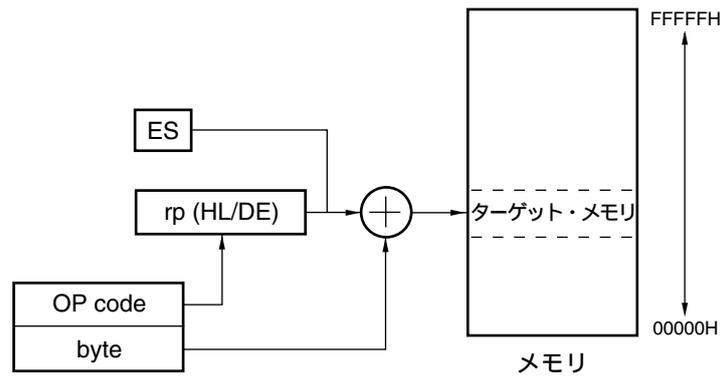


図3 - 32 ES:word[B] , ES:word[C]の例

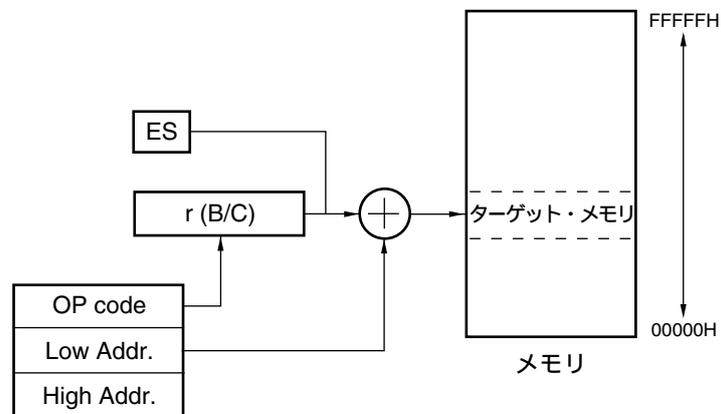
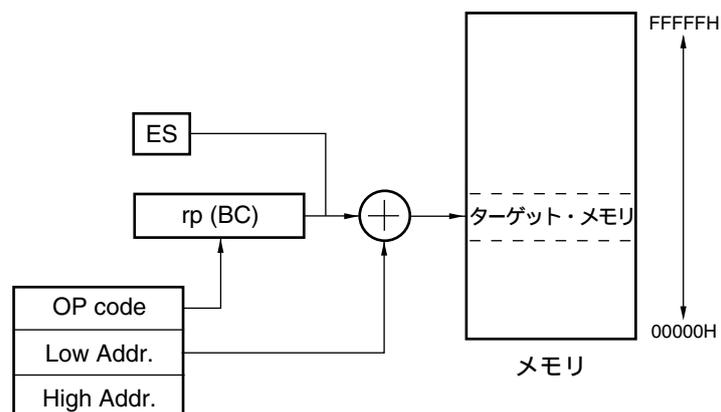


図3 - 33 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 34 [HL+B] , [HL+C]の例

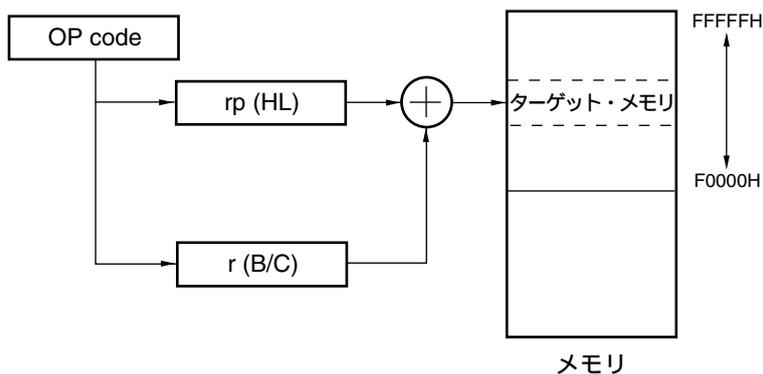
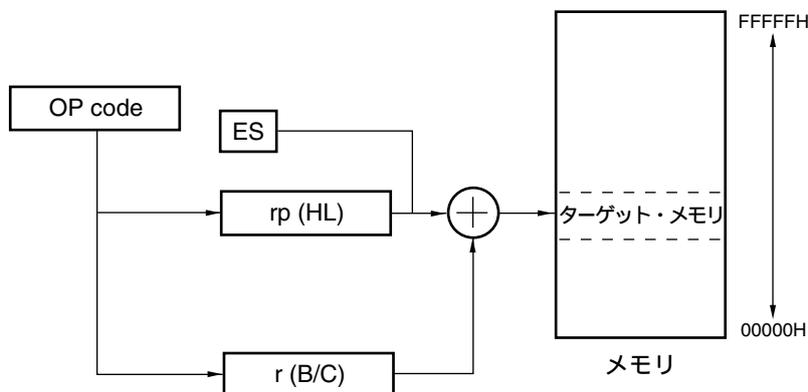


図3 - 35 ES:[HL+B] , ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{REF} 、 EV_{DD} 、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{REF}	P20-P27
EV_{DD}	<ul style="list-style-type: none"> ・ P20-P27以外のポート端子 ・ \overline{RESET}端子, FLMD0端子
V_{DD}	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子 (\overline{RESET}端子, FLMD0端子を除く)

78K0R/KC3-L, 78K0R/KE3-Lは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

表4-2 ポートの機能 (1/2)

KE3-L	KC3-L	機能名称	入出力	機能	リセット時	兼用機能
		P02	入出力	ポート0。 入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1
	P03	SI10/RxD1/SDA10				
	P04	SCK10/SCL10				
		P10	入出力	ポート1。 入出力ポート。 P10, P11の入力はTTL入力バッファに設定可能。 P10, P12の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00
	P11	SI00/RxD0				
	P12	SO00/TxD0				
	P13	TxD3				
	P14	RxD3				
	P15	RTCDIV/RTCCL				
	P16	TI01/TO01/INTP5				
	P17	TI02/TO02				
		P20-P27	入出力	ポート2。 入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
		P31	入出力	ポート3。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI03/TO03/INTP4
		P40 ^注	入出力	ポート4。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
	P41	TOOL1				
	× P42	TI04/TO04				
	× P43	-				
		P50	入出力	ポート5。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1
	P51	INTP2				
	× P52	TO00				
	× P53	TI00				
		P60	入出力	ポート6。 入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力 (6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
	P61	SDA0				
	P62, P63	-				

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P43 (Port 4) の注意文参照)。

表4-2 ポートの機能(2/2)

KE3-L	KC3-L	機能名称	入出力	機能	リセット時	兼用機能
		P70-P73	入出力	ポート7。	入力ポート	KR0-KR3
	×	P74-P77		入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		KR4/INTP8- KR7/INTP11
	×	P110, 111	入出力	ポート11。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-
		P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
		P121	入力	1ビット入出力ポートと4ビット入力ポート。		X1
		P122		P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		X2/EXCLK
		P123				XT1
		P124				XT2
	×	P130	出力	ポート13。 1ビット出力専用ポート。	出力ポート	-
		P140	入出力	ポート14。	入力ポート	PCLBUZ0/INTP6
	×	P142		入出力ポート。		SCK20/SCL20
	×	P143		P142, P143の入力はTTL入力バッファに設定可能。		SI20/RxD2/SDA20
	×	P144		P142-P144の出力はN-chオープン・ドレイン出力(VDD耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		SO20/TxD2

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項目	構成
制御レジスタ	<ul style="list-style-type: none"> ・78K0R/KC3-L (48ピン製品) ポート・モード・レジスタ (PM0-PM7, PM12, PM14) ポート・レジスタ (P0-P7, P12, P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1) ポート出力モード・レジスタ (POM0, POM1) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・78K0R/KE3-L (64ピン製品) ポート・モード・レジスタ (PM0-PM7, PM11, PM12, PM14) ポート・レジスタ (P0-P7, P11-P14) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU11, PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1, PIM14) ポート出力モード・レジスタ (POM0, POM1, POM14) A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	<ul style="list-style-type: none"> ・78K0R/KC3-L (48ピン製品) 合計：39本 (CMOS入出力：30本, CMOS入力：4本, N-chオープン・ドレイン入出力：4本), USBバッファ制御用：1本 ・78K0R/KE3-L (64ピン製品) 合計：53本 (CMOS入出力：43本, CMOS入力：4本, CMOS出力：1本, N-chオープン・ドレイン入出力：4本), USBバッファ制御用：1本
プルアップ抵抗	<ul style="list-style-type: none"> ・78K0R/KC3-L (48ピン製品) 合計：22本 ・78K0R/KE3-L (64ピン製品) 合計：35本

4.2.1 ポート0

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P02/SO10/TxD1		
P03/SI10/RxD1/SDA10		
P04/SCK10/SCL10		

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P02-P04端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P02-P04端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレーン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

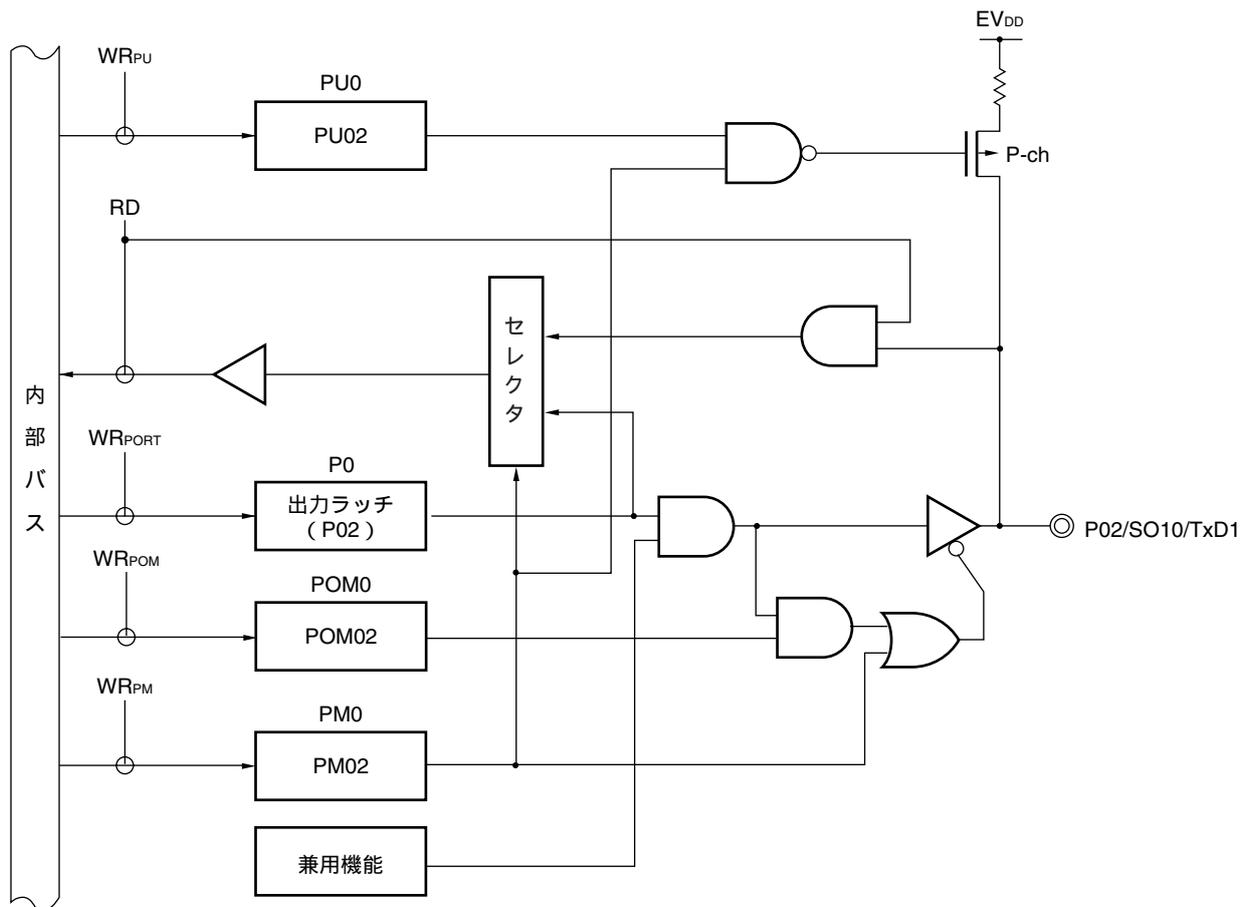
リセット信号の発生により、入力モードになります。

図4 - 1, 図4 - 2にポート0のブロック図を示します。

注意 P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/SCK10/SCL10を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、次の表を参照してください。

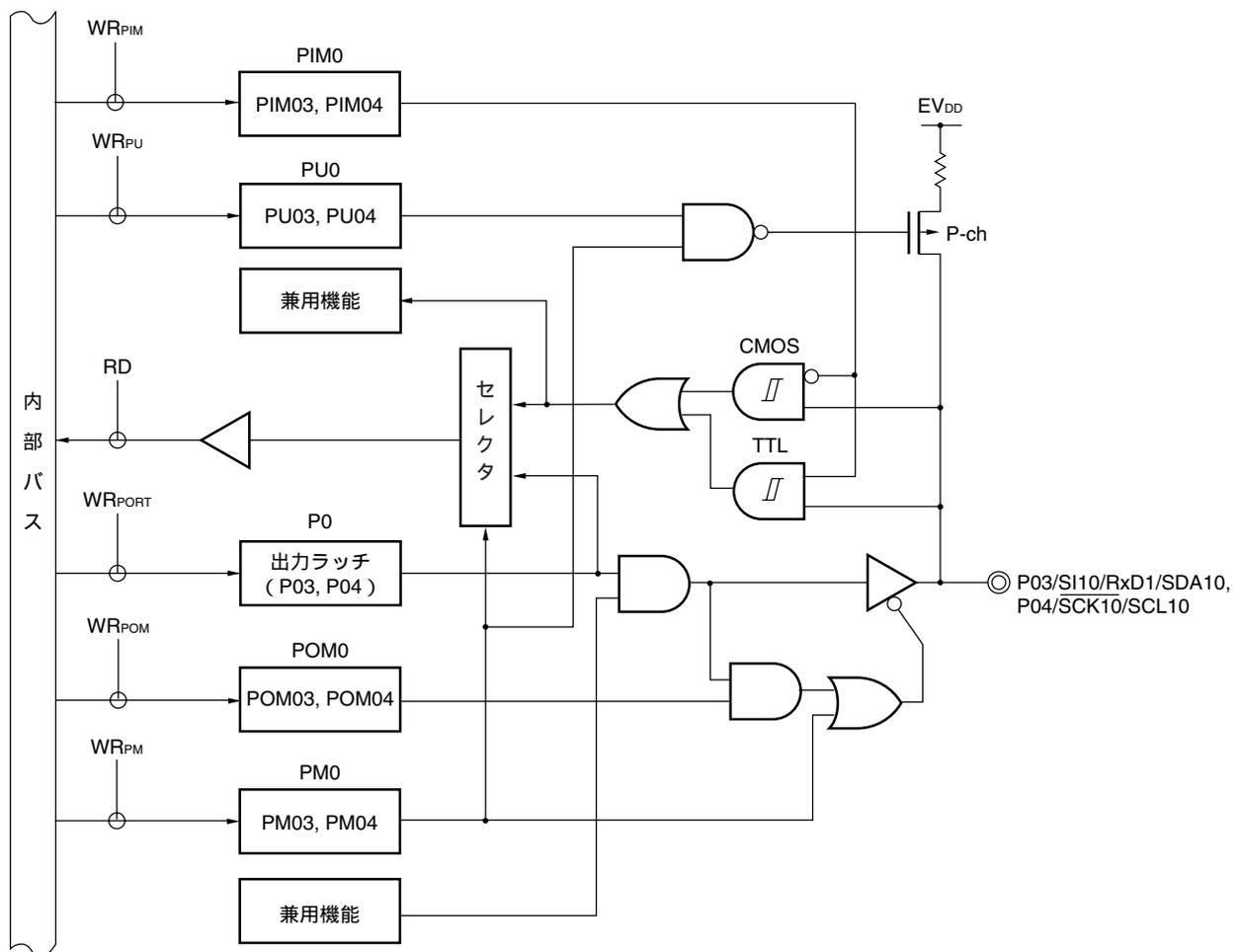
- ・表11 - 7 レジスタの設定と端子の関係 (ユニット0のチャンネル2 : CSI10, UART1送信, IIC10)
- ・表11 - 8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信)

図4 - 1 P02のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 POM0 : ポート出力モード・レジスタ0
 RD : リード信号
 WR_{xx} : ライト信号

図4-2 P03, P04のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 PIM0 : ポート入力モード・レジスタ0
 POM0 : ポート出力モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

4.2.2 ポート1

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P10/ $\overline{\text{SCK00}}$		
P11/SI00/RxD0		
P12/SO00/TxD0		
P13/TxD3		
P14/RxD3		
P15/RTCDIV/RTCCCL		
P16/TI01/TO01/INTP5		
P17/TI02/TO02		

出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P10, P12端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能として外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力, リアルタイム・カウンタのクロック出力があります。

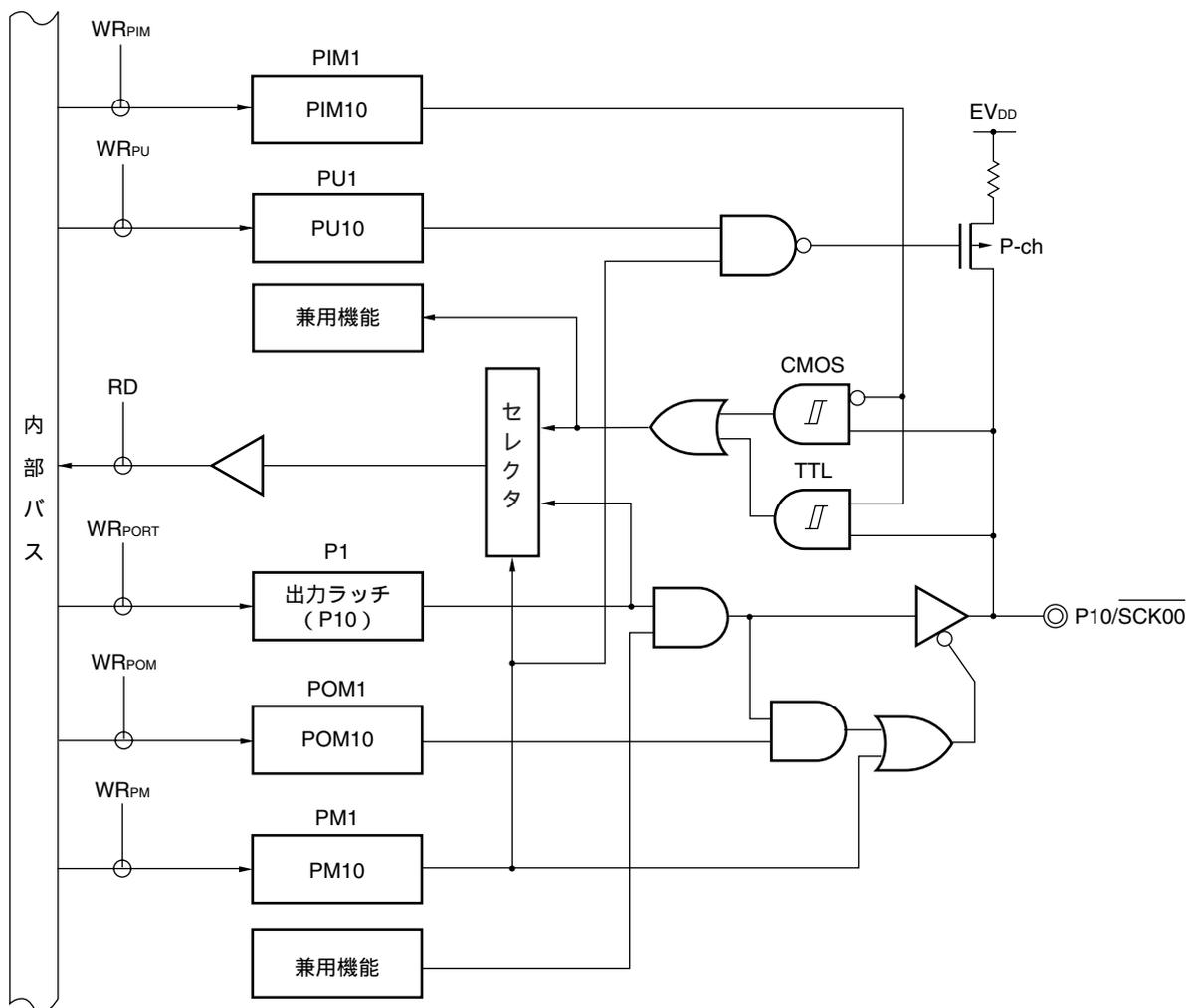
リセット信号の発生により、入力モードになります。

図4-3～図4-9にポート1のブロック図を示します。

注意1. P10/ $\overline{\text{SCK00}}$, P11/SI00/RxD0, P12/SO00/TxD0, P13/TxD3, P14/RxD3を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、次の表を参照してください。

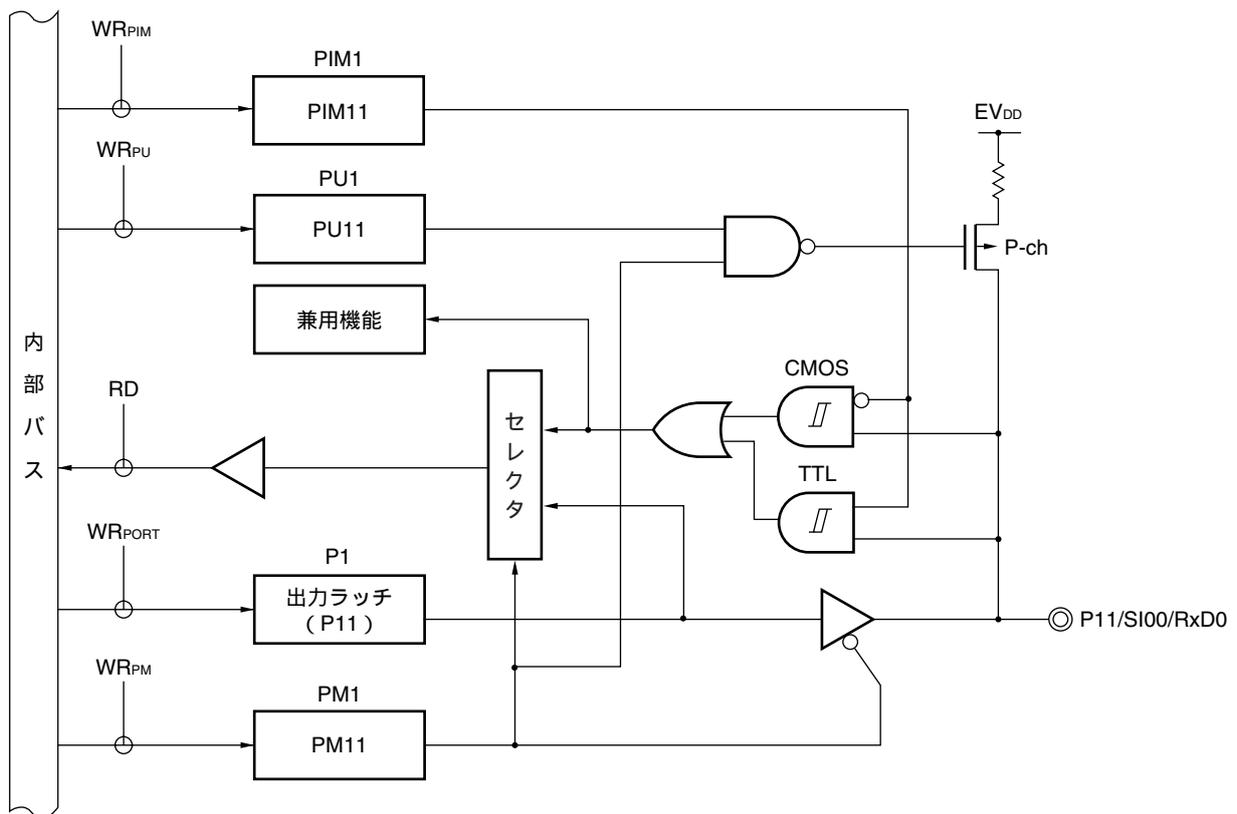
- ・表11-5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, UART0送信)
 - ・表11-6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : UART0受信)
 - ・表11-11 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)
 - ・表11-12 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)
2. P16/TI01/TO01/INTP5, P17/TI02/TO02を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット1, 2 (TO01, TO02) とタイマ出力許可レジスタ0 (TOE0) のビット1, 2 (TOE01, TOE02) を初期状態と同じ設定“0”で使用してください。
 3. P15/RTCDIV/RTCCCLを汎用ポートとして使用する場合、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット4 (RCLOE0) とリアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のビット6 (RCLOE2) を初期状態と同じ設定“0”で使用してください。

図4-3 P10のブロック図



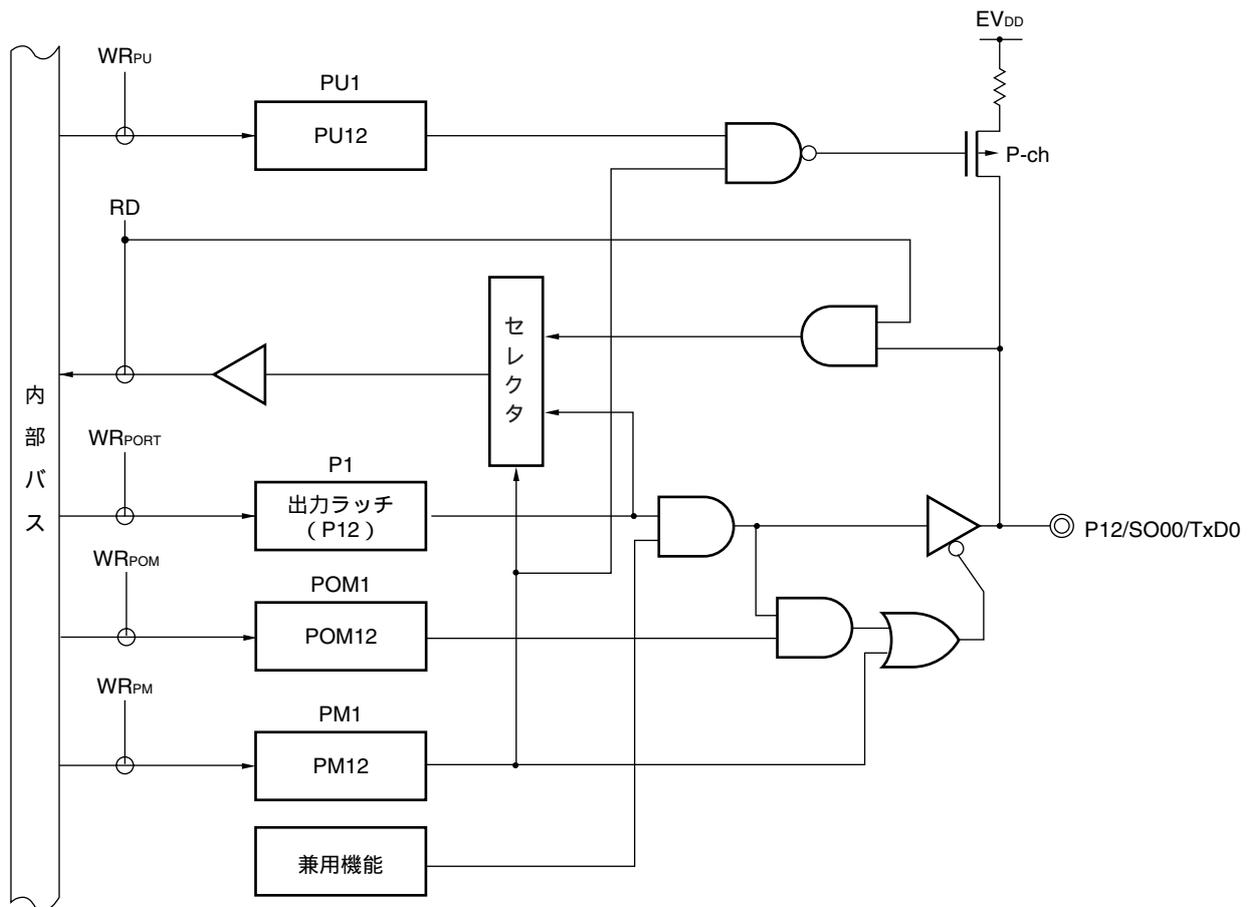
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4-4 P11のブロック図



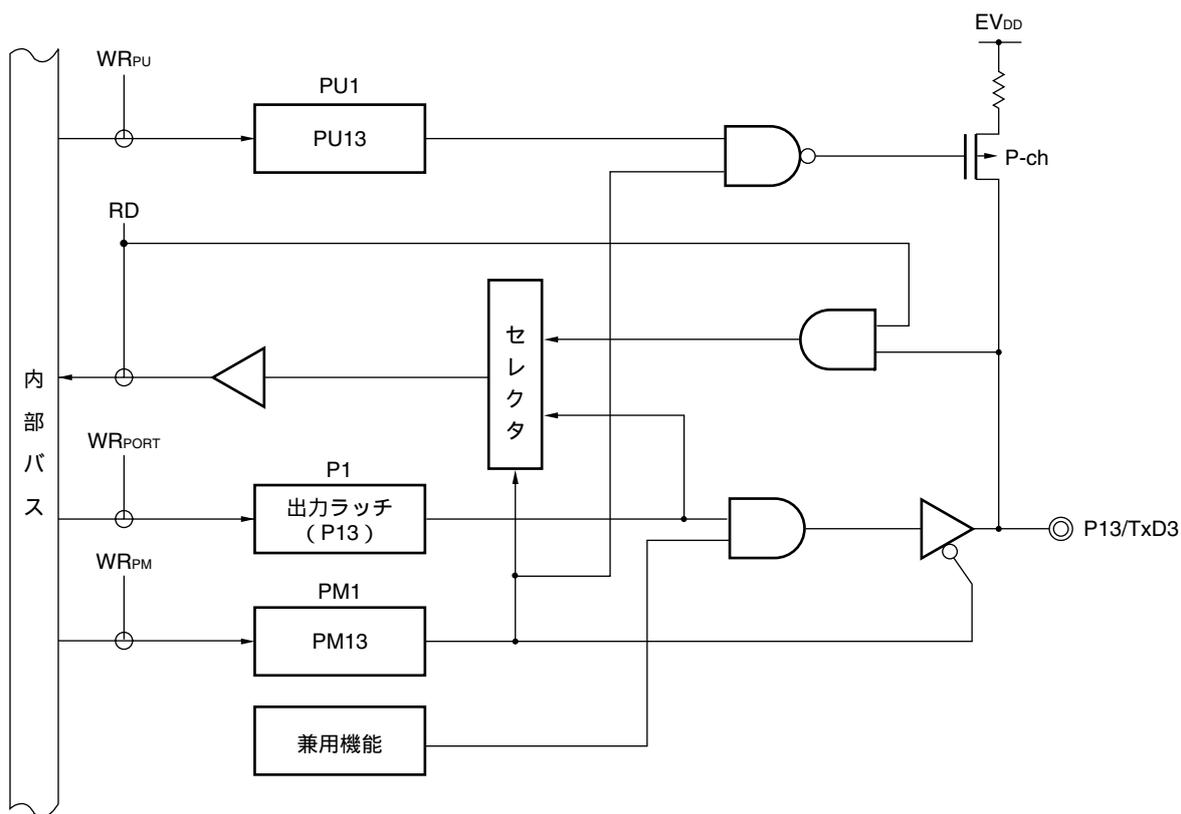
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- PIM1 : ポート入力モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-5 P12のブロック図



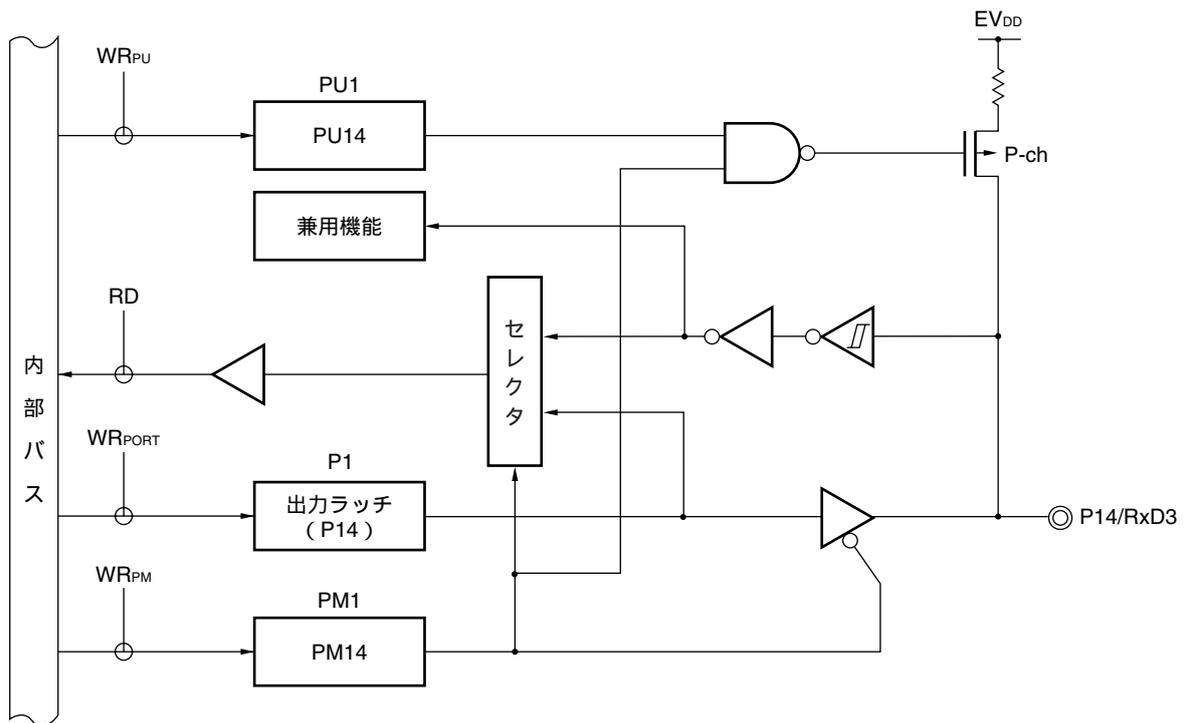
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- POM1 : ポート出力モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 6 P13のブロック図



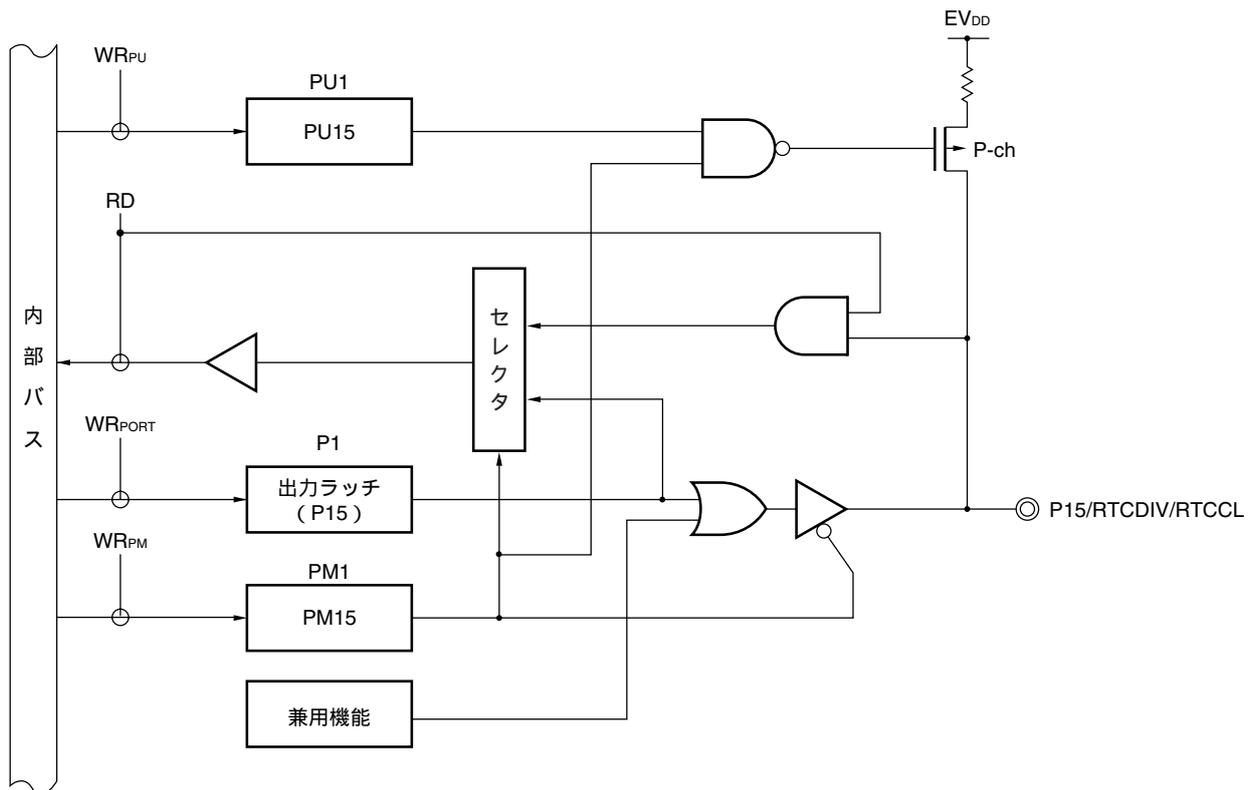
- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

図4-7 P14のブロック図



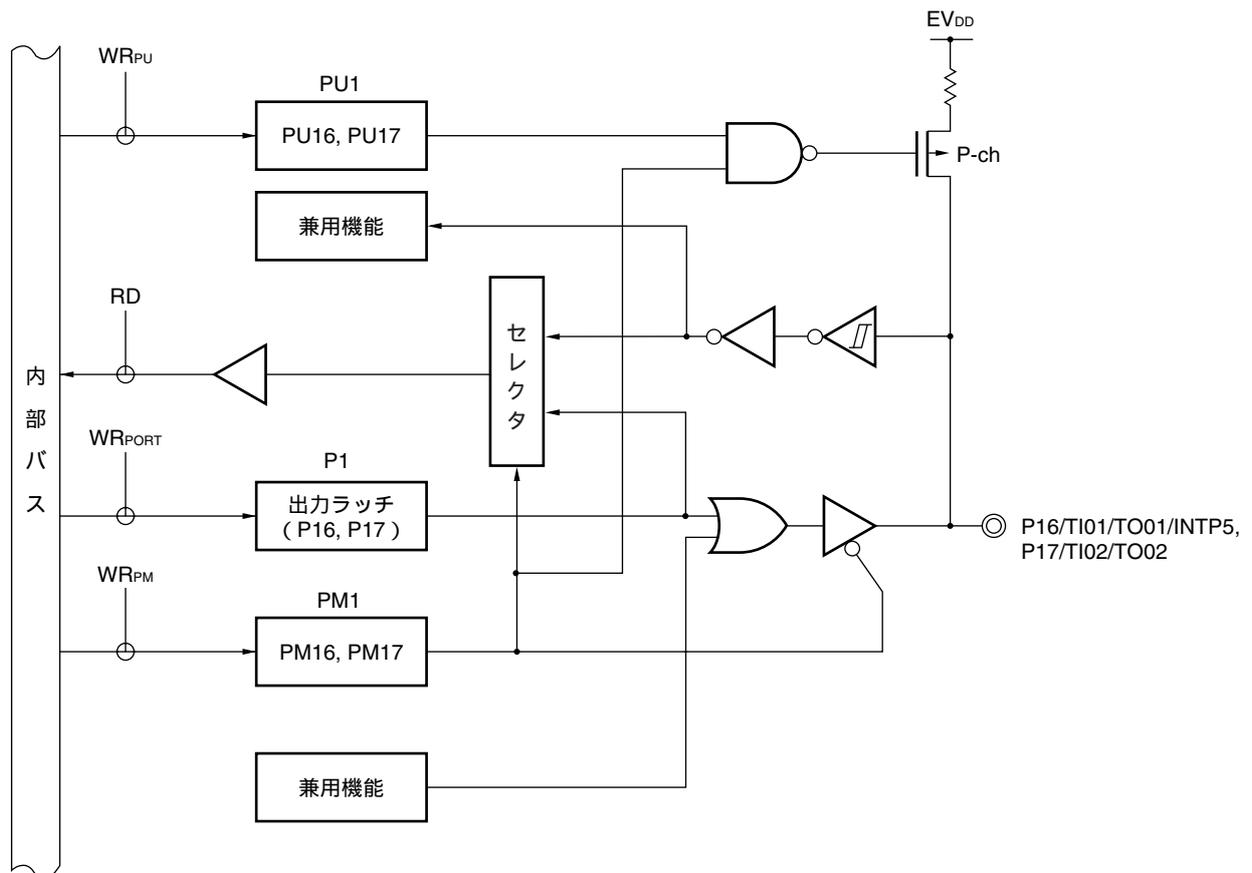
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4 - 8 P15のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-9 P16, P17のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

4.2.3 ポート2

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P20/ANI0		
P21/ANI1		
P22/ANI2		
P23/ANI3		
P24/ANI4		
P25/ANI5		
P26/ANI6		
P27/ANI7		

出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2で入力モードに設定して、上位ビットから使用してください。

表4 - 4 P20/ANI0-P27/ANI7端子機能の設定

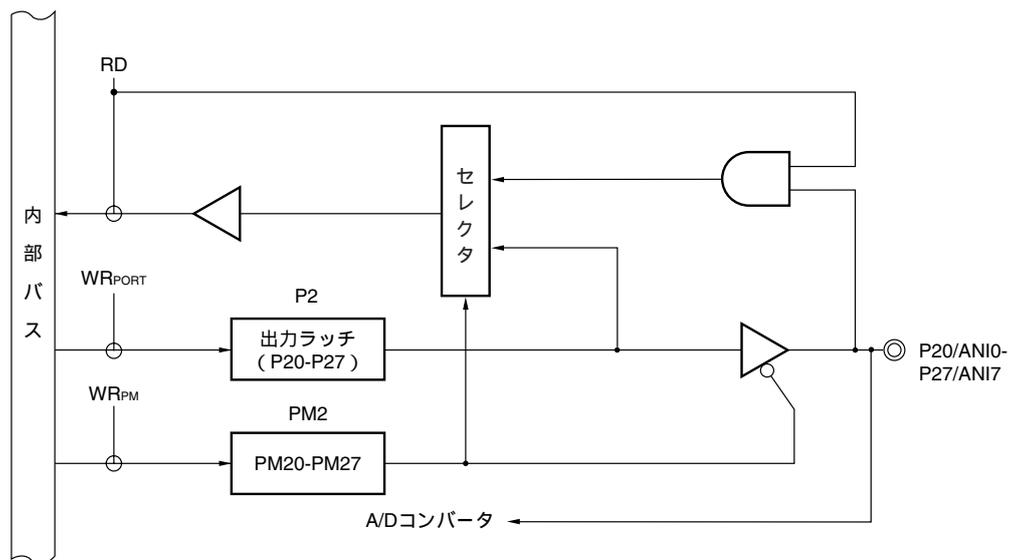
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてデジタル入力になります。

図4 - 10にポート2のブロック図を示します。

注意 ポート2をデジタル入出力として使用する場合はAV_{REF}端子への印加電圧については、2. 2. 13 AV_{REF}を参照してください。

図4 - 10 P20-P27のブロック図



- P2 : ポート・レジスタ2
 PM2 : ポート・モード・レジスタ2
 RD : リード信号
 WR_x : ライト信号

4.2.4 ポート3

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P31/TI03/TO03/INTP4		

出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

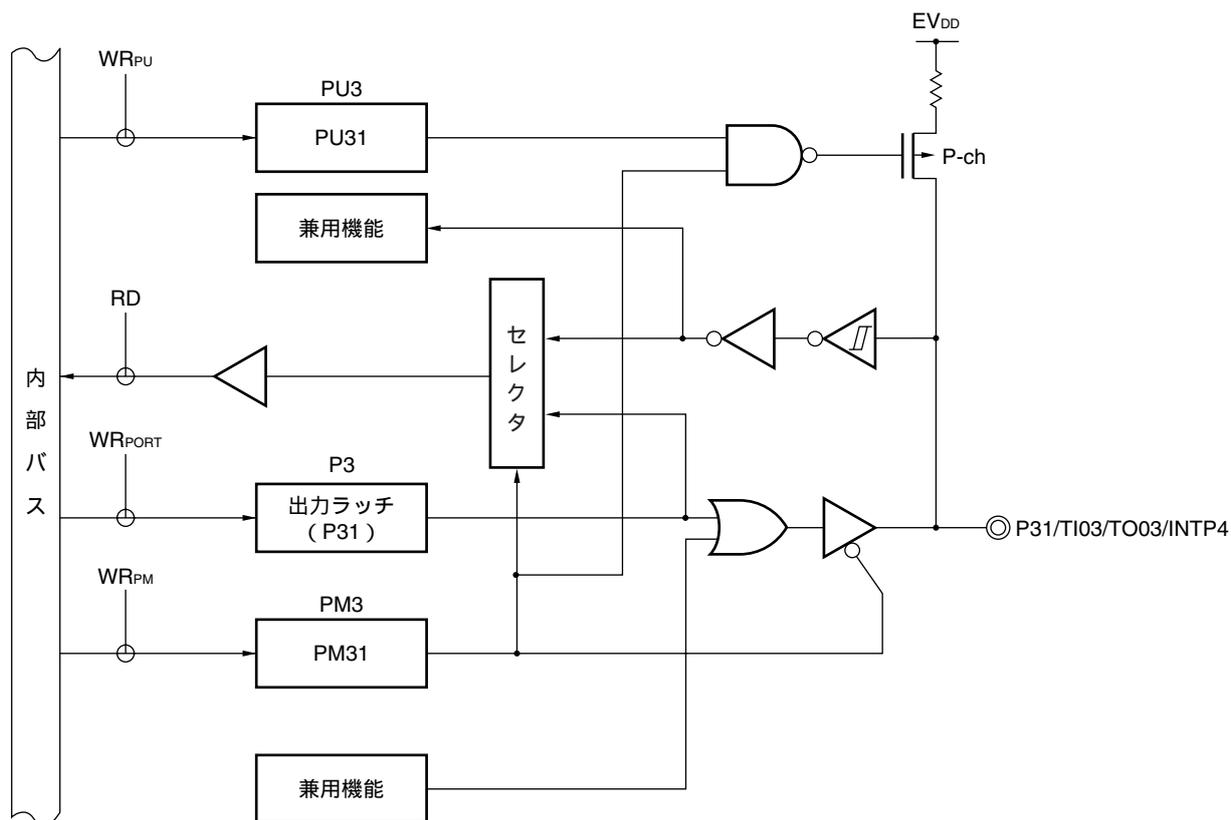
また、兼用機能として外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 11にポート3のブロック図を示します。

注意 P31/TI03/TO03/INTP4を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット3 (TO03) とタイマ出力許可レジスタ0 (TOE0) のビット3 (TOE03) を初期状態と同じ設定“0”で使用してください。

図4 - 11 P31のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x : ライト信号

4.2.5 ポート4

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P40/TOOL0		
P41/TOOL1		
P42/TI04/TO04	-	
P43	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます^注。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用データ入出力、クロック出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 12 ~ 図4 - 15にポート4のブロック図を示します。

注 P40, P41端子は、ツール接続時にはプルアップ抵抗は接続できません。

注意1. P40端子は、ツール接続時はポート端子として使用できません。

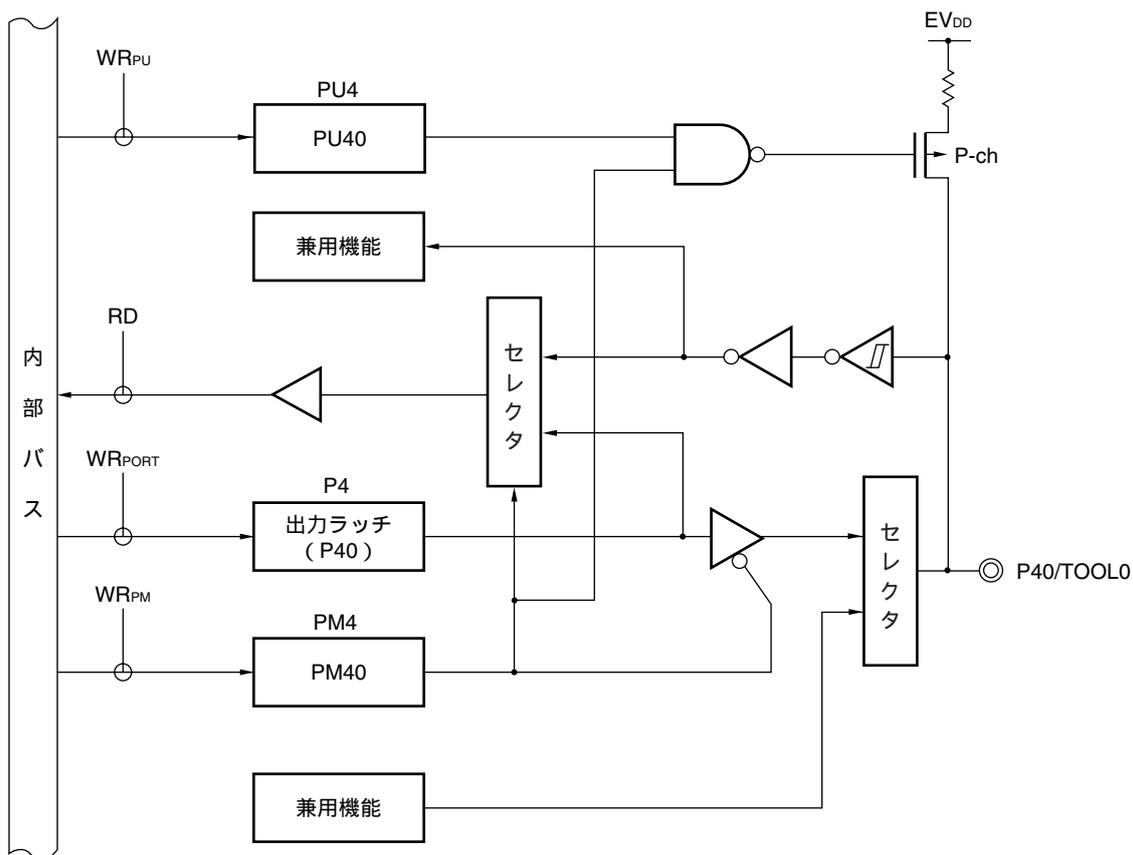
P41端子は、オンチップ・デバッグ機能使用時には、デバッグのモード設定により次のようになります。

1線モード : ポート (P41) として使用できます。

2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

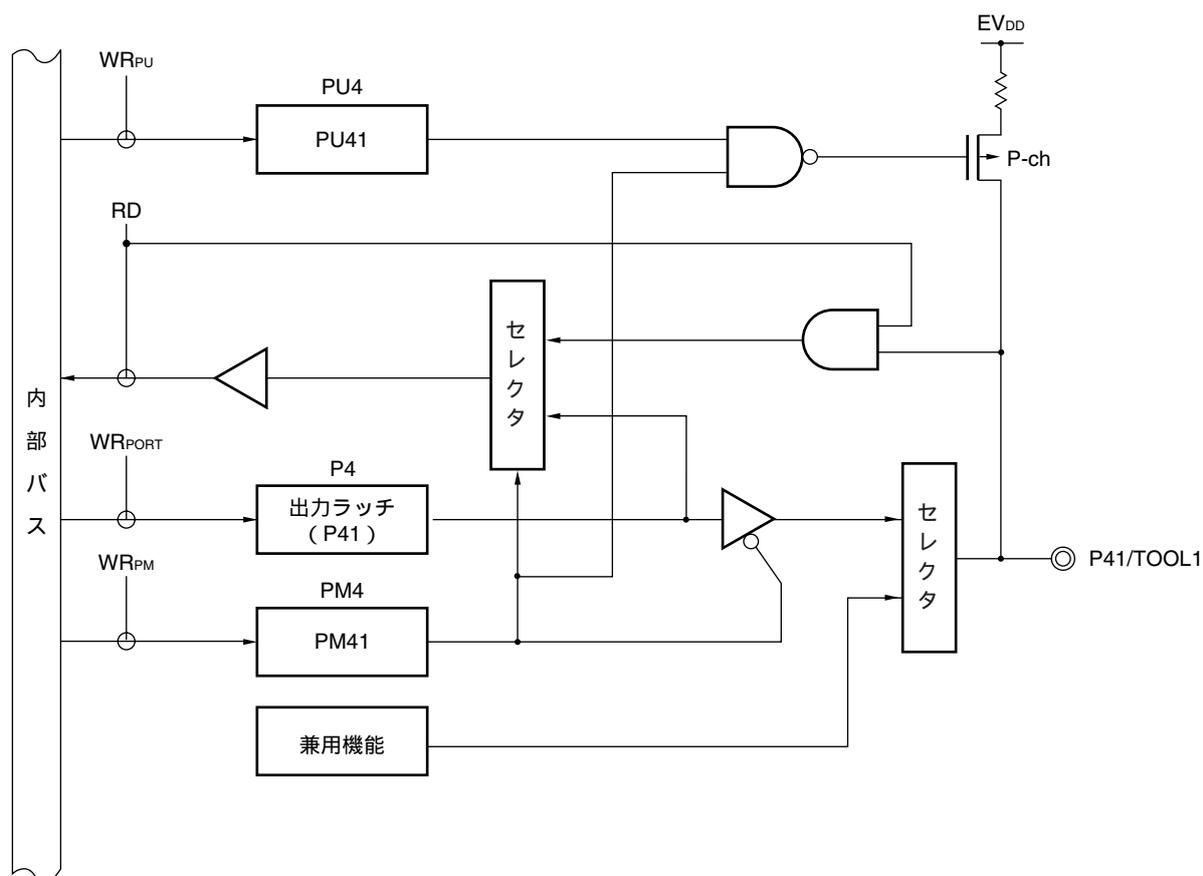
2. P42/TI04/TO04を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット4 (TO04) とタイマ出力許可レジスタ0 (TOE0) のビット4 (TOE04) を初期状態と同じ設定 "0" で使用してください。

図4 - 12 P40のブロック図



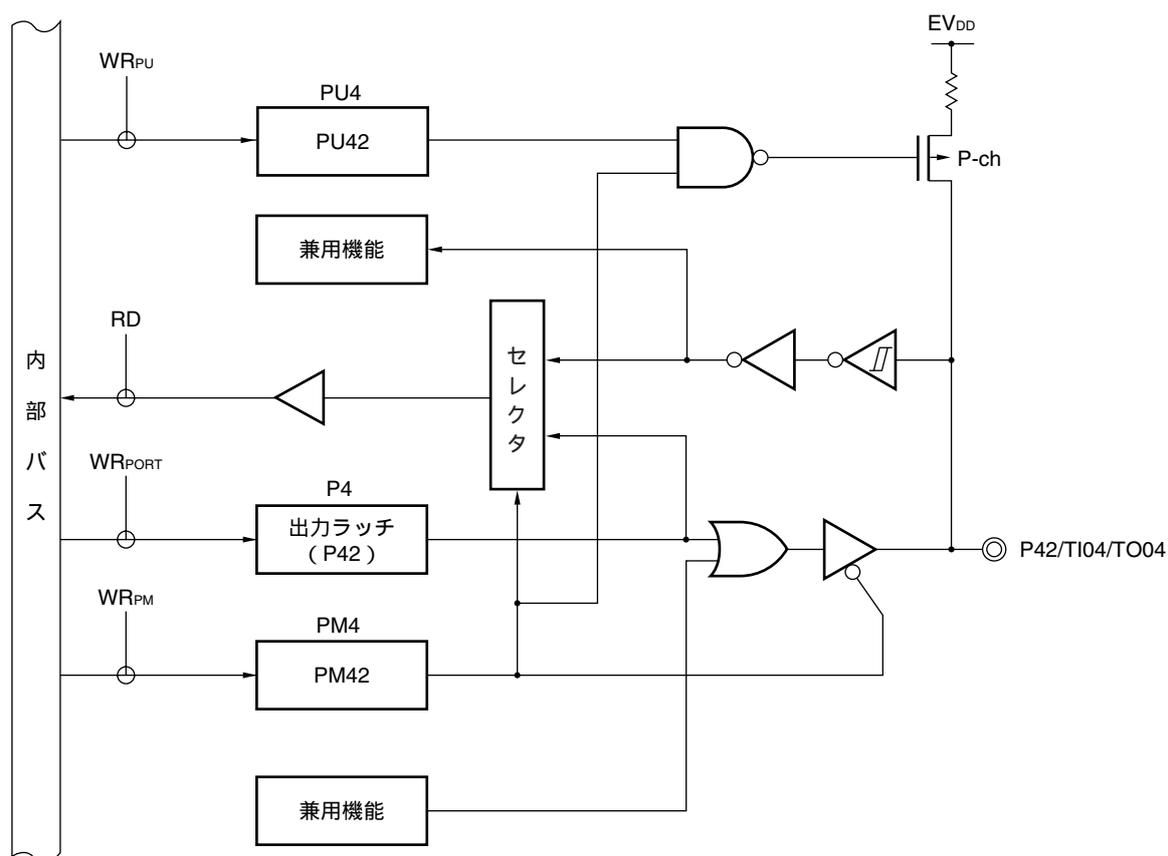
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4-13 P41のブロック図



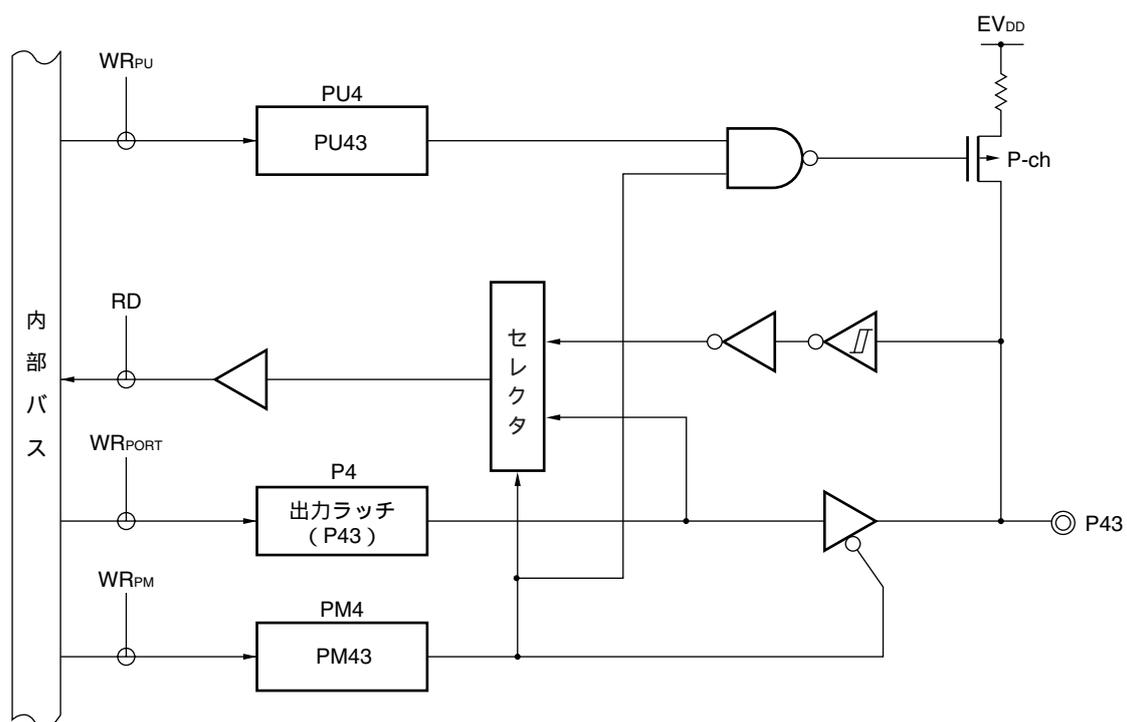
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4-14 P42のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 15 P43のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

4.2.6 ポート5

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P50/INTP1		
P51/INTP2		
P52/TO00	-	
P53/TI00	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード / 出力モードの指定ができます。P50-P53端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

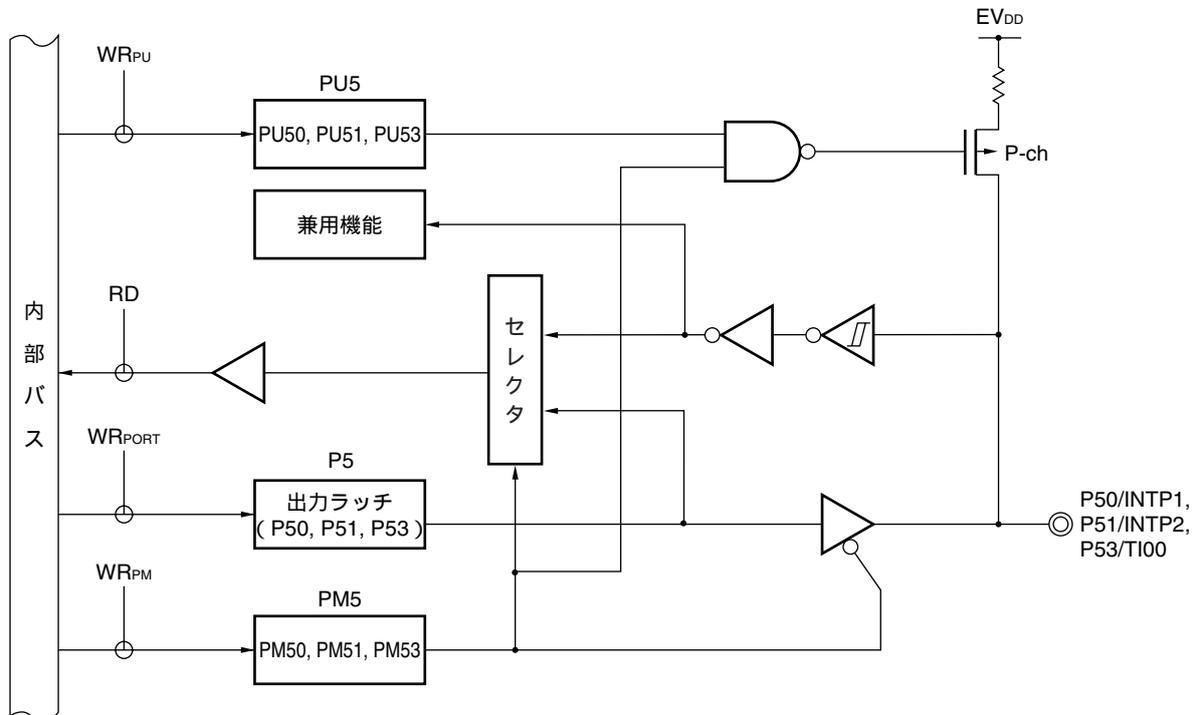
また、兼用機能として外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 16 ~ 図4 - 17にポート5のブロック図を示します。

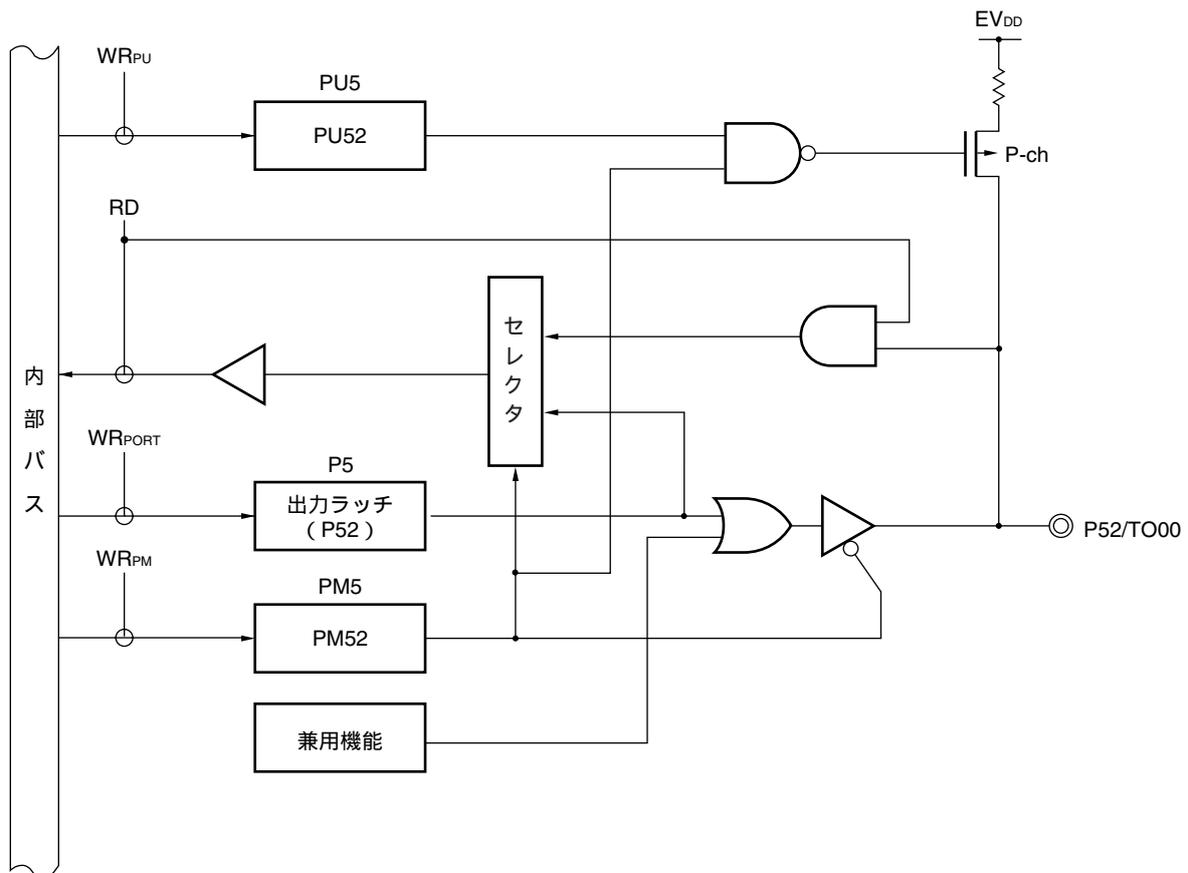
注意 P52/TO00を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0 (TO00) とタイマ出力許可レジスタ0 (TOE0) のビット0 (TOE00) を初期状態と同じ設定“0”で使用してください。

図4 - 16 P50, P51, P53のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

図4-17 P52のブロック図



- P5 : ポート・レジスタ5
 PU5 : プルアップ抵抗オプション・レジスタ5
 PM5 : ポート・モード・レジスタ5
 RD : リード信号
 WR_{xx} : ライト信号

4.2.7 ポート6

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P60/SCL0		
P61/SDA0		
P62		
P63		

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード / 出力モードの指定ができます。

P60-P63端子の出力は、N-chオープン・ドレイン出力 (6 V耐圧) です。

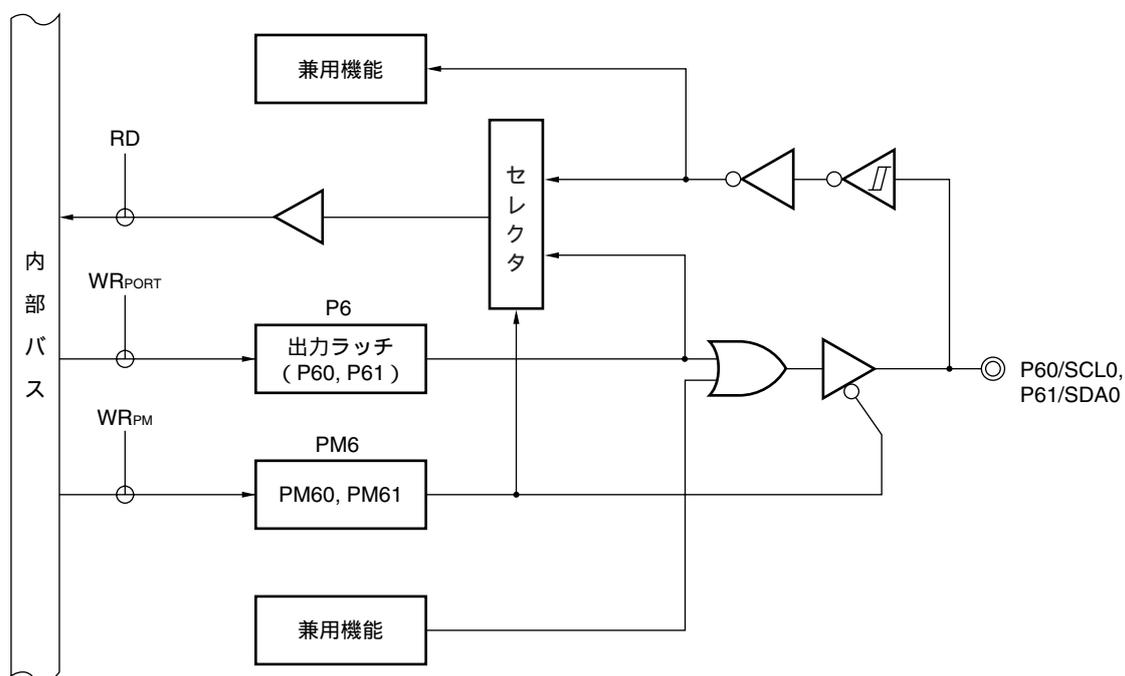
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロックの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 18 ~ 図4 - 19にポート6のブロック図を示します。

注意 P60/SCL0, P61/SDA0を汎用ポートとして使用する場合、シリアル・インタフェースIICAを動作停止にしてください。

図4 - 18 P60, P61のブロック図



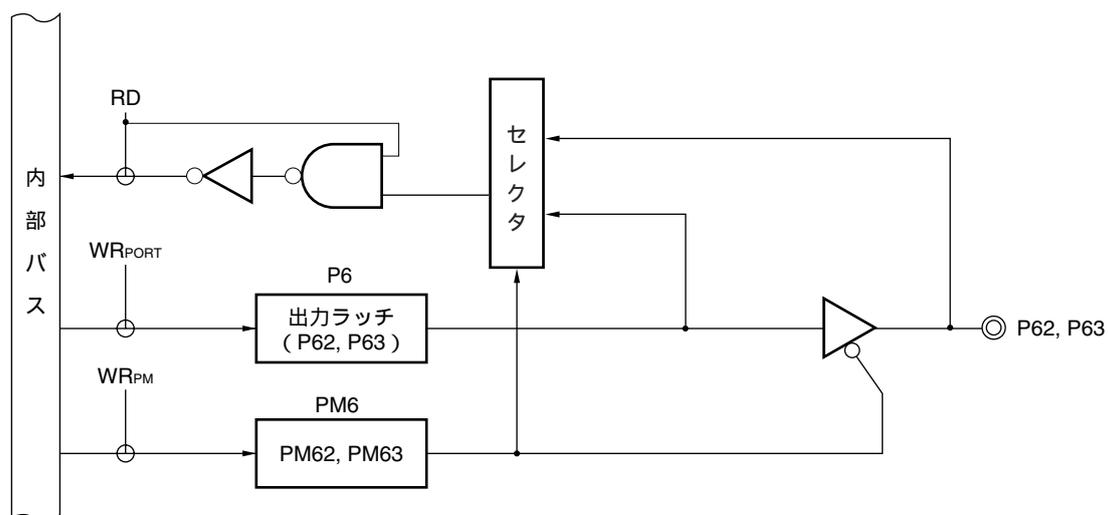
P6 : ポート・レジスタ6

PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_x : ライト信号

図4 - 19 P62, P63のブロック図



P6 : ポート・レジスタ6

PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_x : ライト信号

4.2.8 ポート7

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P70/KR0		
P71/KR1		
P72/KR2		
P73/KR3		
P74/KR4/INTP8	-	
P75/KR5/INTP9	-	
P76/KR6/INTP10	-	
P77/KR7/INTP11	-	

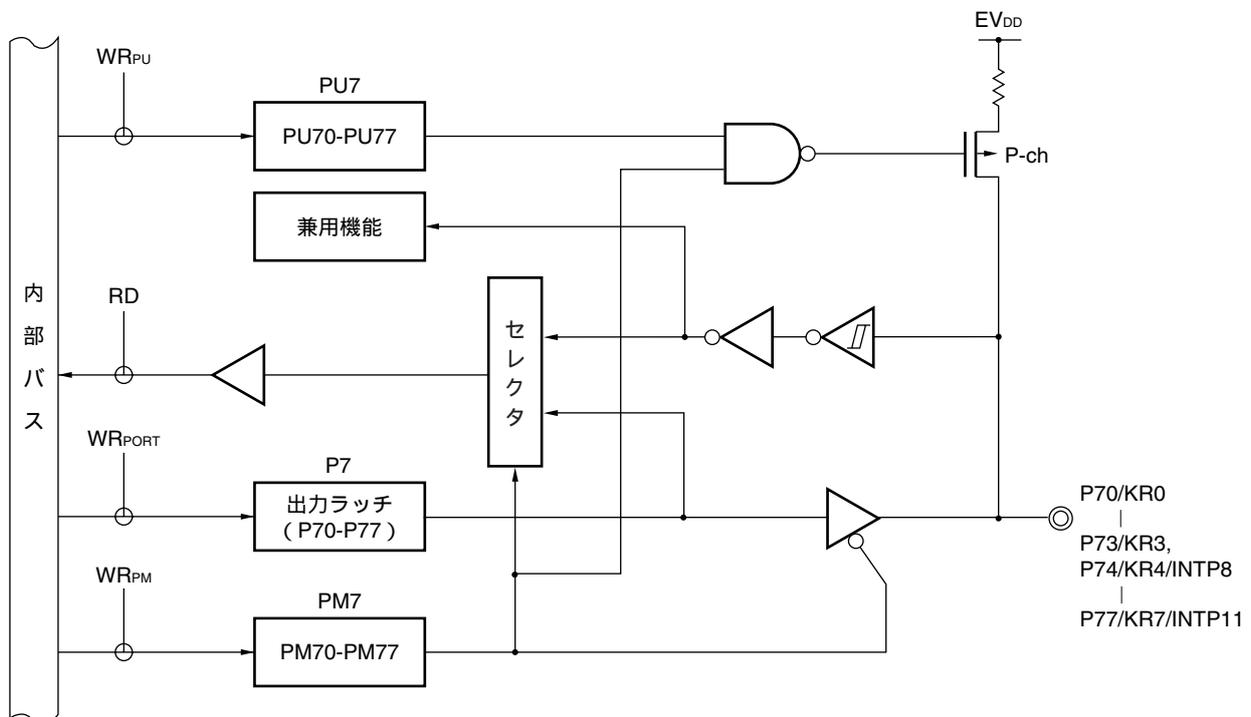
出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン入力、割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4 - 20にポート7のブロック図を示します。

図4 - 20 P70-P77のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

4.2.9 ポート11

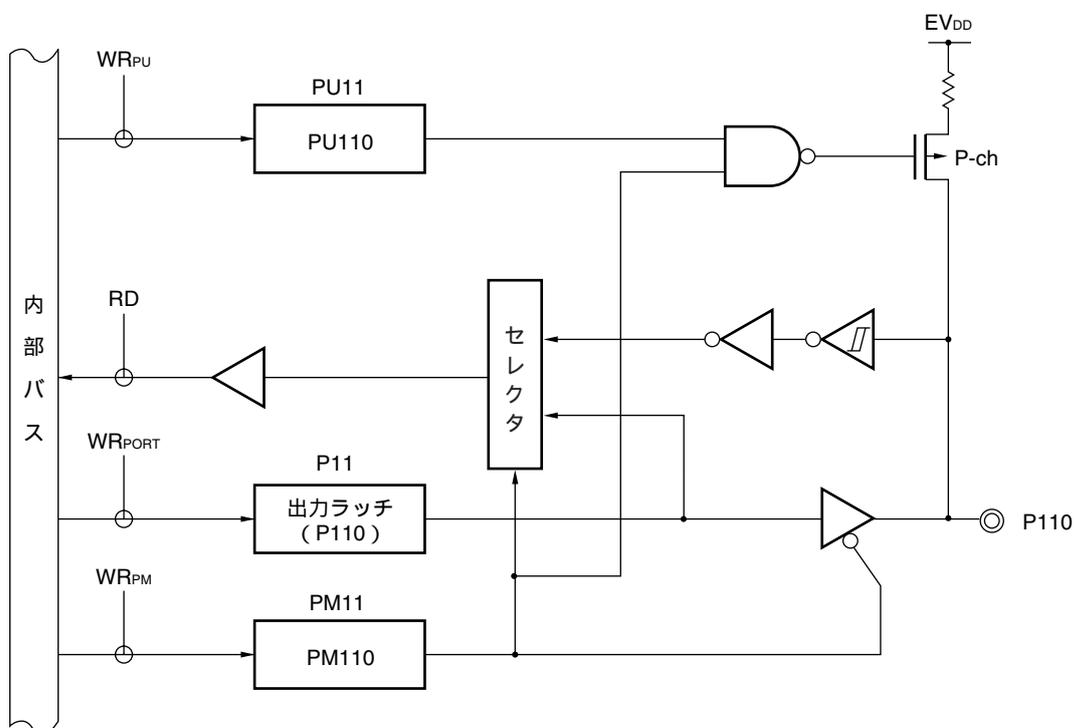
	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P110	-	
P111	-	

出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ11 (PM11) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ11 (PU11) により内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力モードになります。

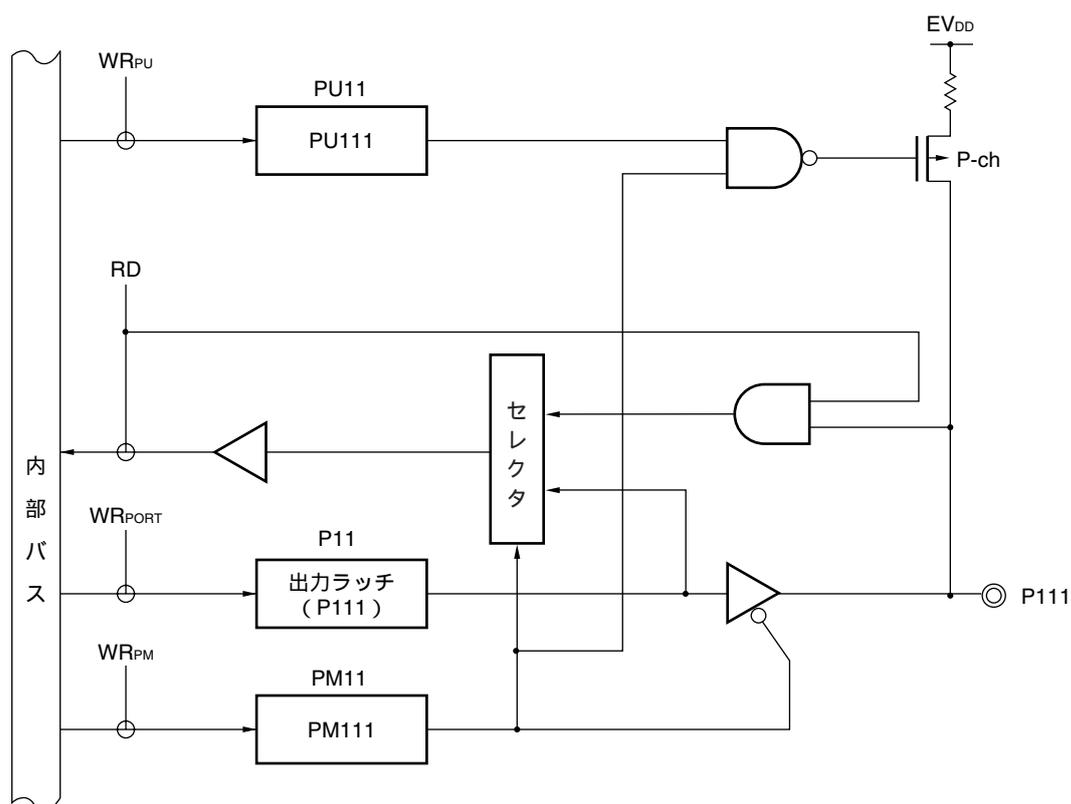
図4 - 21、図4 - 22にポート11のブロック図を示します。

図4 - 21 P110のブロック図



- P11 : ポート・レジスタ11
- PU11 : プルアップ抵抗オプション・レジスタ11
- PM11 : ポート・モード・レジスタ11
- RD : リード信号
- WR_x : ライト信号

図4-22 P111のブロック図



- P11 : ポート・レジスタ11
 PU11 : プルアップ抵抗オプション・レジスタ11
 PM11 : ポート・モード・レジスタ11
 RD : リード信号
 WR_{x} : ライト信号

4.2.10 ポート12

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P120/INTP0/EXLVI		
P121/X1		
P122/X2/EXCLK		
P123/XT1		
P124/XT2		

P120は出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は入力ポートです。

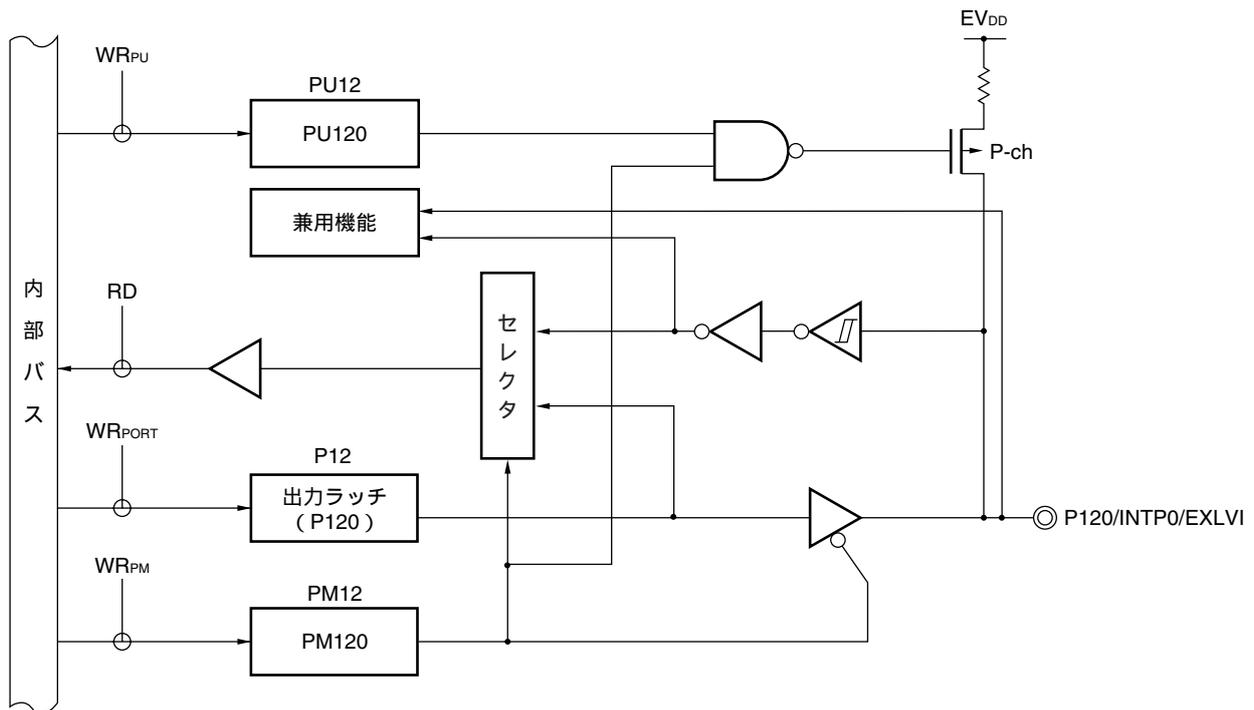
また兼用機能として外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により、入力モードになります。

図4 - 23 ~ 図4 - 25にポート12のブロック図を示します。

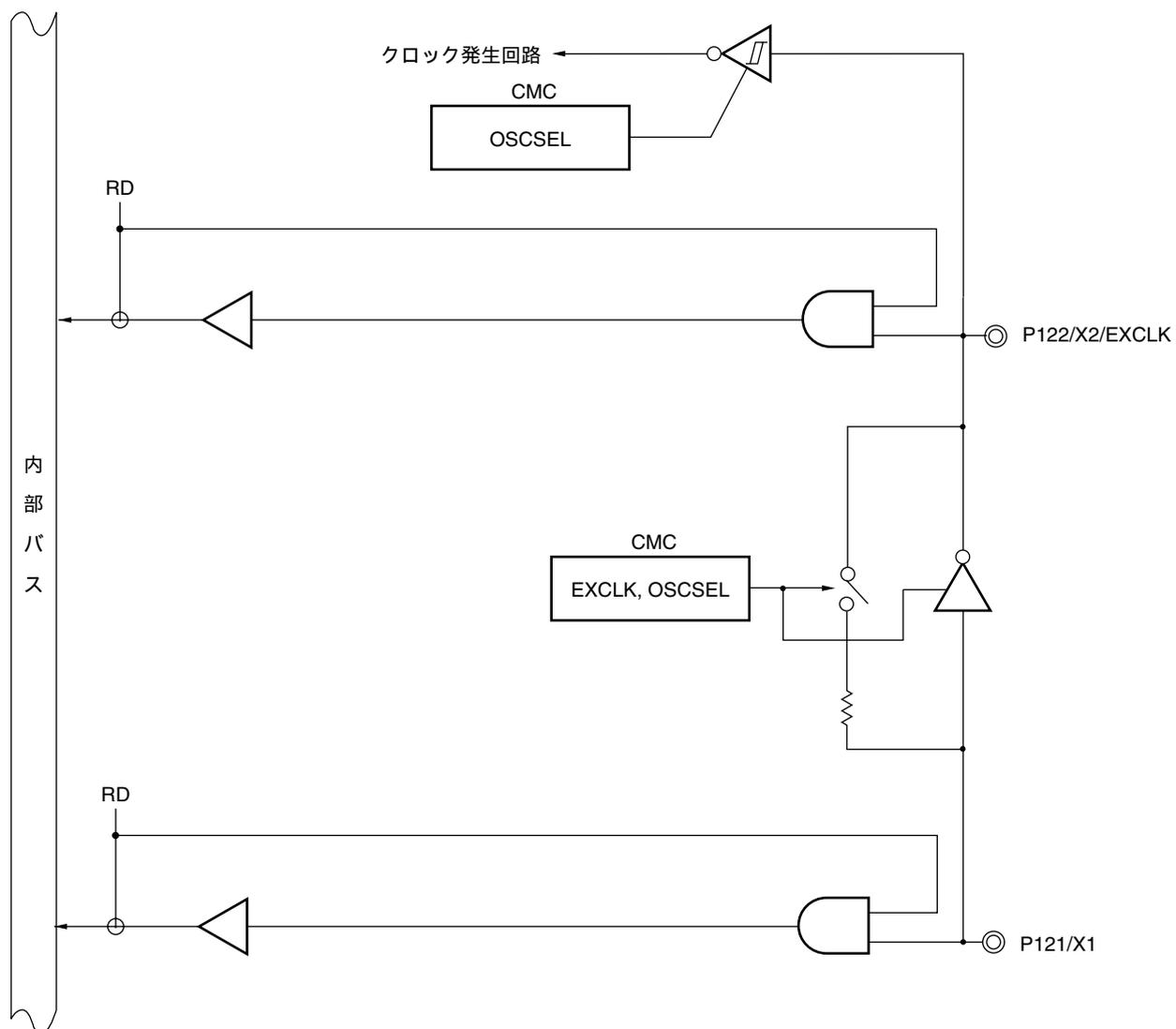
注意 P121-P124の機能設定は、リセット解除後1回のみ可能です。一度、発振子/発振器接続用に設定したポートは、リセットしないかぎり入力ポートとして使用できません。

図4-23 P120のブロック図



- P12 : ポート・レジスタ12
 PU12 : プルアップ抵抗オプション・レジスタ12
 PM12 : ポート・モード・レジスタ12
 RD : リード信号
 WR_x : ライト信号

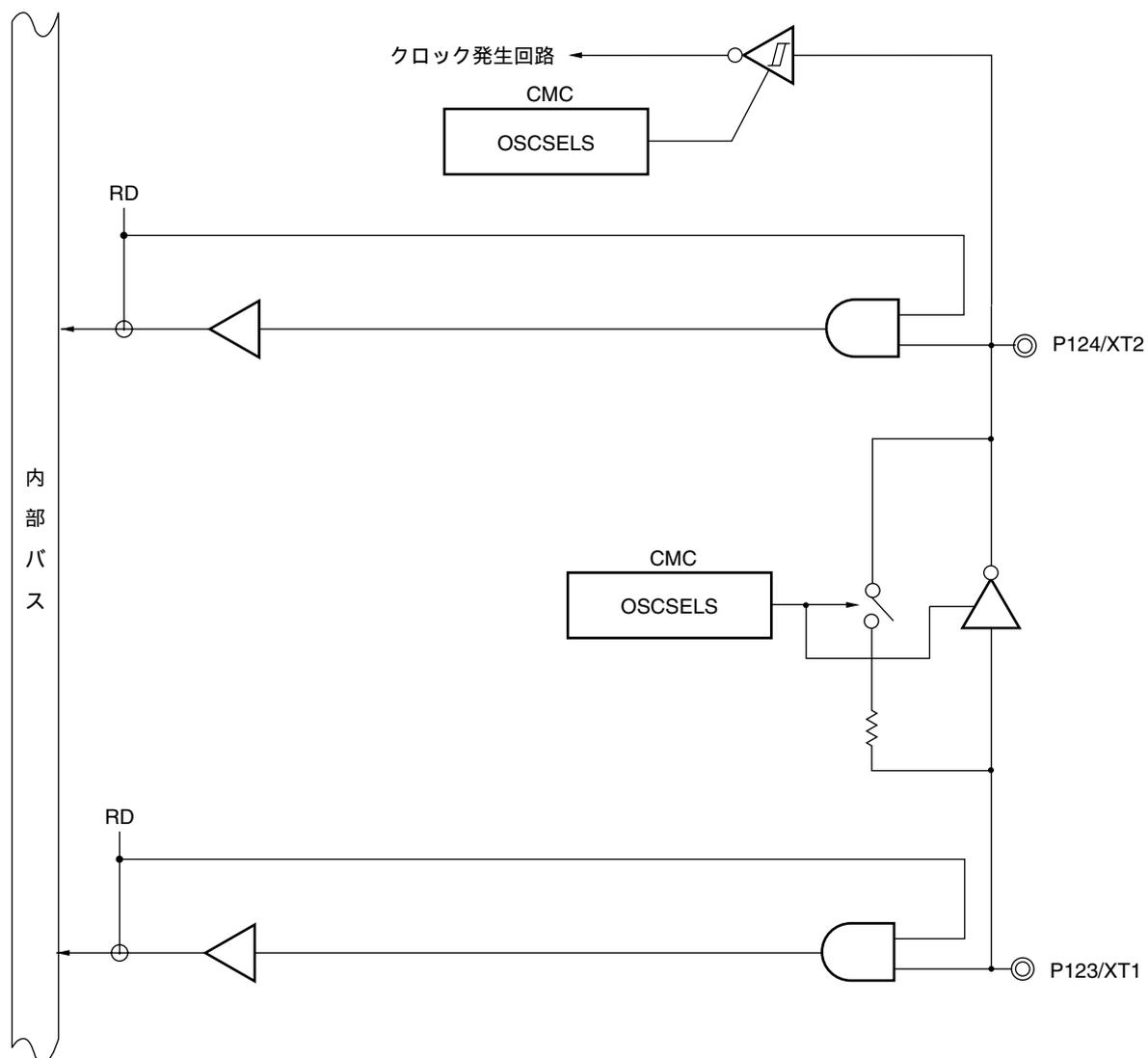
図4 - 24 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ

RD : リード信号

図4 - 25 P123, P124のブロック図



CMC : クロック動作モード制御レジスタ

RD : リード信号

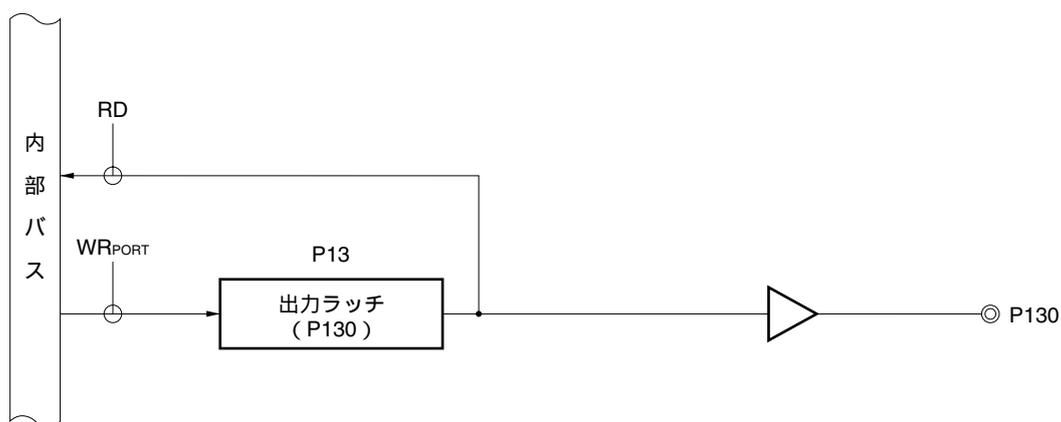
4.2.11 ポート13

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P130	-	

P130は出力ラッチ付き1ビット出力専用ポートです。

図4 - 26にポート13のブロック図を示します。

図4 - 26 P130のブロック図

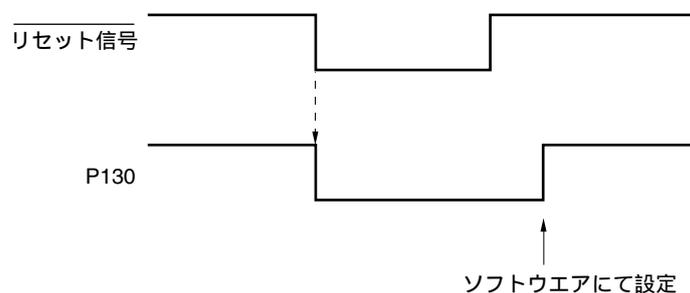


P13 : ポート・レジスタ13

RD : リード信号

WR_x : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.12 ポート14

	78K0R/KC3-L (48ピン) (μ PD78F102y : y = 2-4)	78K0R/KE3-L (64ピン) (μ PD78F102y : y = 5, 6)
P140/PCLBUZ0/INTP6		
P142/SCK20/SCL20	-	
P143/SI20/RxD2/SDA20	-	
P144/SO20/TxD2	-	

出力ラッチ付きの入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード/出力モードの指定ができます。P140, P142-P144端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P142, P143端子の入力は、ポート入力モード・レジスタ14 (PIM14) の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P142-P144端子の出力は、ポート出力モード・レジスタ14 (POM14) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能として外部割り込み要求入力、クロック/プザー出力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

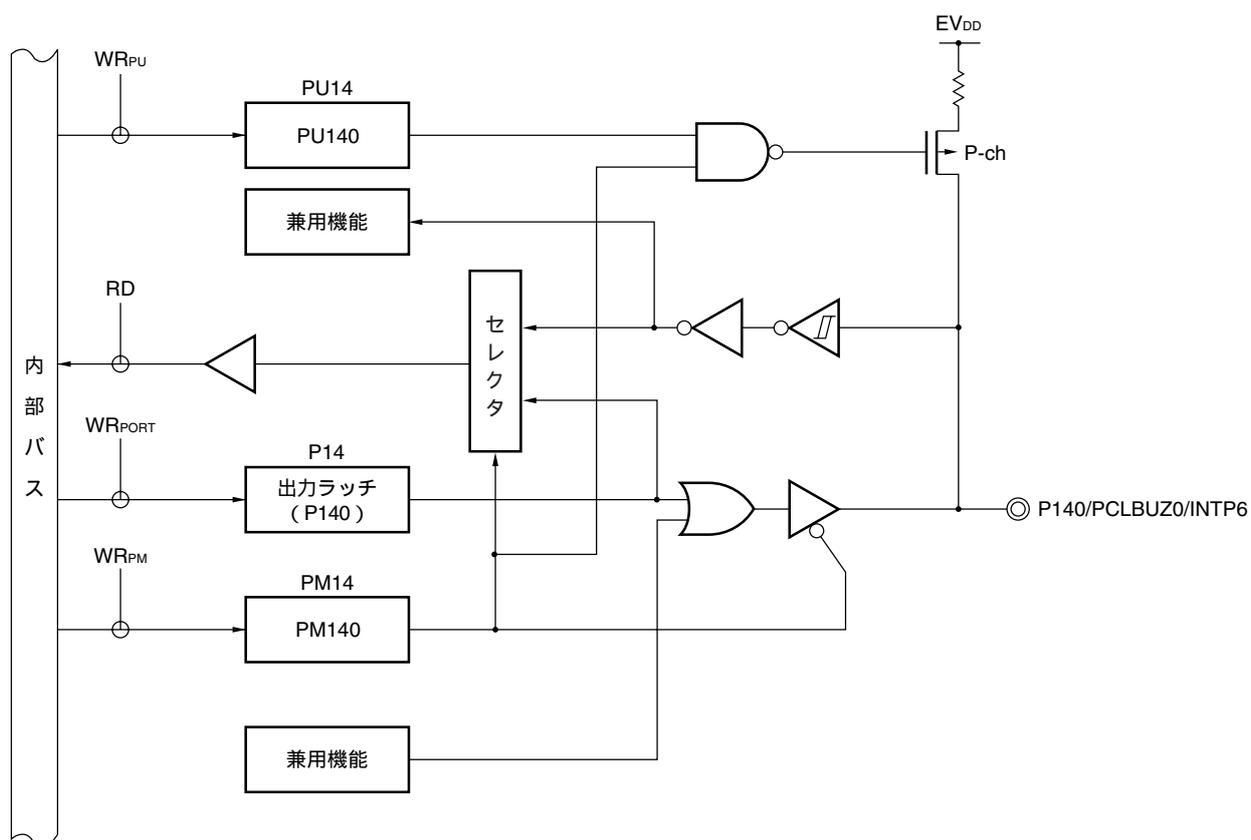
図4 - 27 ~ 図4 - 29にポート14のブロック図を示します。

注意1. P142/SCK20/SCL20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、次の表を参照してください。

- ・表11 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)
- ・表11 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

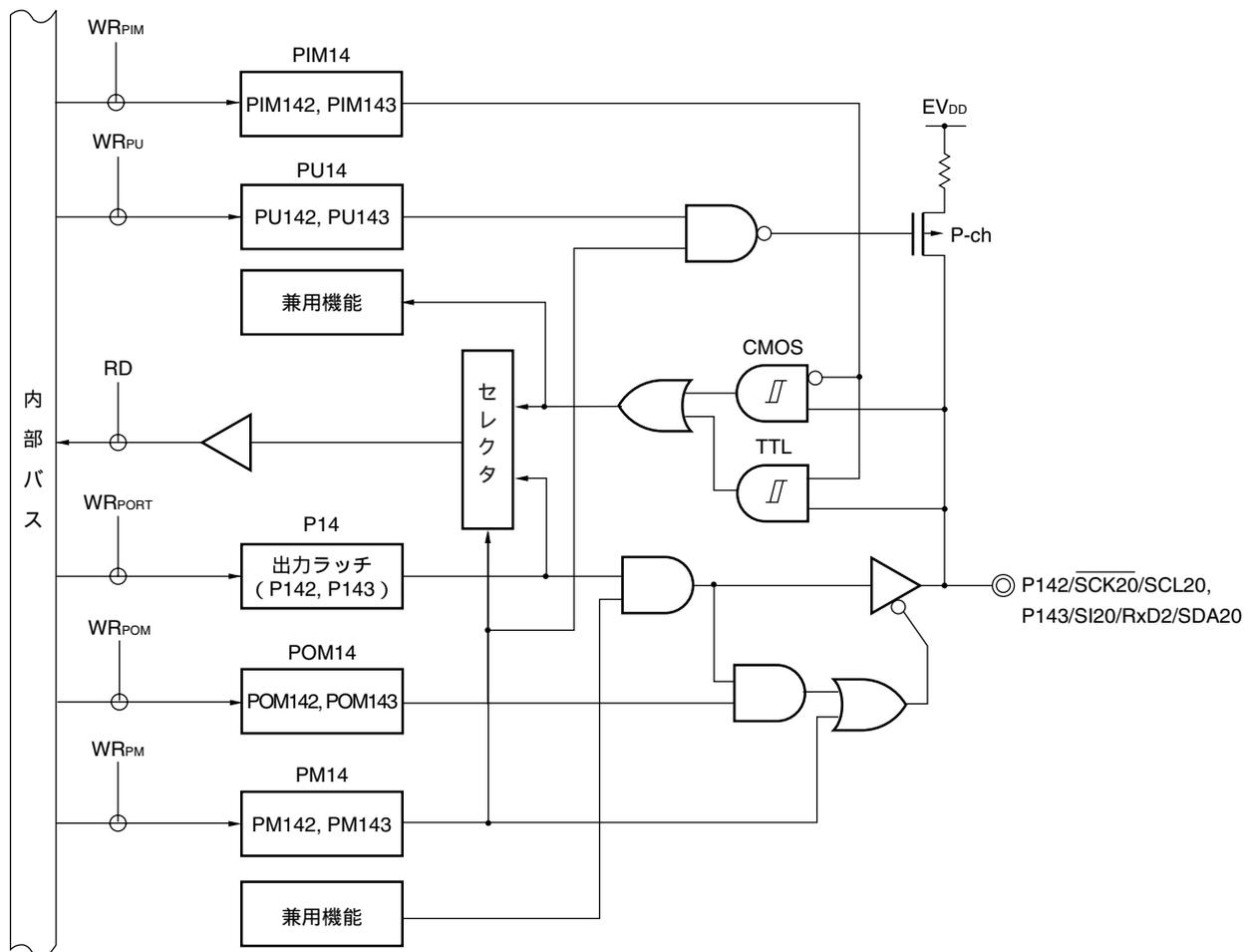
2. P140/PCLBUZ0/INTP6を汎用ポートとして使用する場合、クロック出力選択レジスタ0 (CKS0) のビット7を初期状態と同じ設定 "0" で使用してください。

図4 - 27 P140のブロック図



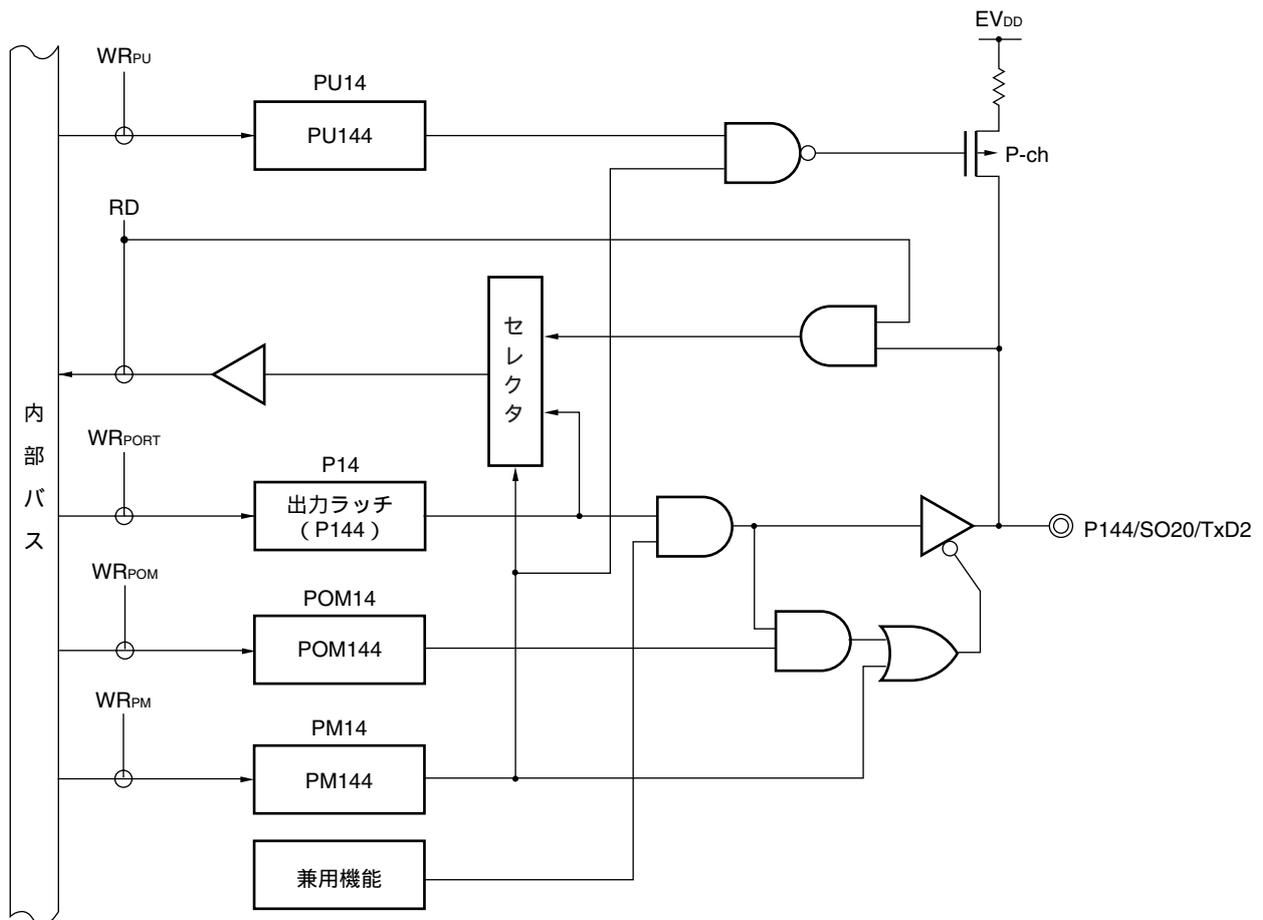
- P14 : ポート・レジスタ14
 PU14 : プルアップ抵抗オプション・レジスタ14
 PM14 : ポート・モード・レジスタ14
 RD : リード信号
 WR_x : ライト信号

図4 - 28 P142, P143のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PIM14 : ポート入力モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

図4 - 29 P144のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の6種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIMxx)
- ・ポート出力モード・レジスタ (POMxx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4 - 30 ポート・モード・レジスタのフォーマット (78K0R/KC3-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	0	0	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	0	FFF23H	FFH	R/W
PM4	0	0	1	0	0	0	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	0	0	0	1	PM51	PM50	FFF25H	FFH	R/W
PM6	0	0	0	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	0	0	0	0	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM11	1	1	1	1	1	1	1	0	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	1	0	0	1	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 12, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 注意1. PM0のビット5, 6, PM3のビット0, PM4のビット2-4, 6, 7, PM5のビット3-5, PM6のビット5-7, PM7のビット4-7, PM11のビット0, PM14のビット2, 3には必ず0を設定してください。リセットにより初期値に戻った場合も、再度必ず0を設定してください。
2. PM0のビット0, 1, 7, PM3のビット2-7, PM4のビット5, PM5のビット2, 6, 7, PM6のビット4, PM11のビット1-7, PM12のビット1-7, PM14のビット1, 4-7には必ず1を設定してください。

図4-31 ポート・モード・レジスタのフォーマット (78K0R/KE3-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	0	0	PM04	PM03	PM02	1	1	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	0	FFF23H	FFH	R/W
PM4	0	0	1	0	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	0	0	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	0	0	0	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	PM144	PM143	PM142	1	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-7, 11, 12, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 注意1. PM0のビット5, 6, PM3のビット0, PM4のビット4, 6, 7, PM5のビット4, 5, PM6のビット5-7には必ず0を設定してください。リセットにより初期値に戻った場合も, 再度必ず0を設定してください。
2. PM0のビット0, 1, 7, PM3のビット2-7, PM4のビット5, PM5のビット6, 7, PM6のビット4, PM11のビット2-7, PM12のビット1-7, PM14のビット1, 5-7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx)

ポートの出力ラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注 P2をA/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると、端子レベルではなく常に0が読み出されます。

図4 - 32 ポート・レジスタのフォーマット (78K0R/KC3-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	P02	0	0	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	0	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P14	0	0	0	0	0	0	0	P140	FFF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-7, 12, 14 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

図4 - 33 ポート・レジスタのフォーマット (78K0R/KE3-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	P04	P03	P02	0	0	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	0	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P13	0	0	0	0	0	0	0	P130	FFF0DH	00H (出力ラッチ)	R/W
P14	0	0	0	P144	P143	P142	0	P140	FFF0EH	00H (出力ラッチ)	R/W

Pmn	m = 0-7, 11-14 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 34 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/KC3-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	PU02	0	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	0	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU7	0	0	0	0	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU140	F003EH	00H	R/W

PU _m _n	P _m _n の内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 14; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4 - 35 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/KE3-L)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	PU04	PU03	PU02	0	0	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	0	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU11	0	0	0	0	0	0	PU111	PU110	F003BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	PU144	PU143	PU142	0	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 11, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(4) ポート入力モード・レジスタ (PIM0, PIM1, PIM14^注)

PIM0, PIM1, PIM14は ,P03, P04, P10, P11, P142, P143の入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

PIM0, PIM1, PIM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 36 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	0	0	F0040H	00H	R/W
PIM1	0	0	0	0	0	0	PIM11	PIM10	F0041H	00H	R/W
PIM14 ^注	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 14; n = 0-4)
0	通常入力バッファ
1	TTL入力バッファ

注 78K0R/KE3-Lのみ

(5) ポート出力モード・レジスタ (POM0, POM1, POM14^注)

P02-P04, P10, P12, P142-P144の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA10, SDA20端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

POM0, POM1, POM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 37 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM1	0	0	0	0	0	POM12	0	POM10	F0051H	00H	R/W
POM14 ^注	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 14; n = 0, 2-4)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

注 78K0R/KE3-Lのみ

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7端子を、ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

図4 - 38 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え								
					ポート2								
					ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20	
0	0	0	0	0	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	D	D	D
0	0	0	1	1	A	A	A	A	A	D	D	D	D
0	0	1	0	0	A	A	A	A	D	D	D	D	D
0	0	1	0	1	A	A	A	D	D	D	D	D	D
0	0	1	1	0	A	A	D	D	D	D	D	D	D
0	0	1	1	1	A	D	D	D	D	D	D	D	D
0	1	0	0	0	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D
上記以外					設定禁止								

- 注意1. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- ADPCでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
 - P20/ANI0-P27/ANI7は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P27/ANI7,...,P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P27/ANI7から設計してください。
 - ADPCレジスタの設定をする際には、必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN = 1の設定を行ってください。ADCEN = 0の場合は、ADPCへの書き込みは無視され、設定値は初期値となります。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法

ポート0, 1, 14^註の一部は, $V_{DD} = 1.8 \sim 3.6$ Vで動作時に, 2.5 V系, 3 V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については, ポート入力モード・レジスタ (PIM0, PIM1, PIM14^註)によりビットごとに通常入力 (CMOS) / TTLを切り換え可能です。

また, 出力については, ポート出力モード・レジスタ (POM0, POM1, POM14^註)により, 出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧) に切り換えることにより, 異電位に対応可能になります。

(1) UART0-UART2, CSI00, CSI10, CSI20機能の入出力端子を使用する場合の設定手順

(a) 2.5 V系, 3 V系の入力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は, 使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合	: P11
UART1の場合	: P03
UART2の場合 ^註	: P143
CSI00の場合	: P10, P11
CSI10の場合	: P03, P04
CSI20の場合 ^註	: P142, P143

PIMnレジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5 V系, 3 V系の動作電圧で動作します。

注 78K0R/KE3-Lのみ

備考 78K0R/KC3-L : n= 0, 1

78K0R/KE3-L : n= 0, 1, 14

(b) 2.5 V系, 3 V系の出力ポートとして使用

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合	: P12
UART1の場合	: P02
UART2の場合 ^注	: P144
CSI00の場合	: P10, P12
CSI10の場合	: P02, P04
CSI20の場合 ^注	: P142, P144

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードに設定します。

PMnレジスタを操作して出力モードに設定します。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
シリアル・アレイ・ユニットに設定を行うと通信を開始します。

注 78K0R/KE3-Lのみ

備考 78K0R/KC3-L : n= 0, 1
78K0R/KE3-L : n= 0, 1, 14

(2) 簡易IIC10, IIC20機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

簡易IIC10の場合	: P03, P04
簡易IIC20の場合 ^注	: P142, P143

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードに設定します。

PMnレジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。
シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

注 78K0R/KE3-Lのみ

備考 78K0R/KC3-L : n= 0, 1
78K0R/KE3-L : n= 0, 1, 14

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-6のように設定してください。

表4-6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×	端子名称	兼用機能		PM × ×	P × ×
	名称	入出力				名称	入出力		
P02	SO10	出力	0	1	P40	TOOL0	入出力	×	×
	TxD1	出力	0	1	P41	TOOL1	出力	×	×
P03	SI10	入力	1	×	P42	TI04	入力	1	×
	RxD1	入力	1	×		TO04	出力	0	0
	SDA10	入出力	0	1	P50, P51	INTP1, INTP2	入力	1	×
P04	SCK10	入力	1	×	P52 ^{注2}	TO00	出力	0	0
		出力	0	1	P53 ^{注2}	TI00	入力	1	×
	SCL10	入出力	0	1	P60	SCL0	入出力	0	0
P10	SCK00	入力	1	×	P61	SDA0	入出力	0	0
		出力	0	1	P70-P73	KR0-KR3	入力	1	×
P11	SI00	入力	1	×	P74-P77 ^{注2}	INTP8-INTP11	入力	1	×
	RxD0	入力	1	×		KR4-KR7	入力	1	×
P12	SO00	出力	0	1	P120	INTP0	入力	1	×
	TxD0	出力	0	1		EXLVI	入力	1	×
P13	TxD3	出力	0	1	P140	PCLBUZ0	出力	0	0
P14	RxD3	入力	1	×		INTP6	入力	1	×
P15	RTCDIV	出力	0	0	P142 ^{注2}	SCK20	入力	1	×
	RTCCL	出力	0	0			出力	0	1
P16	TI01	入力	1	×	P143 ^{注2}	SCL20	入出力	0	1
	TO01	出力	0	0		SI20	入力	1	×
P17	INTP5	入力	1	×	P144 ^{注2}	RxD2	入力	1	×
	TI02	入力	1	×		SDA20	入出力	0	1
	TO02	出力	0	0	SO20	出力	0	1	
P20-P27 ^{注1}	ANI0-ANI7 ^{注1}	入力	1	×		TxD2	出力	0	1
P31	TI03	入力	1	×					
	INTP4	入力	1	×					

注1. ANI0/P20-ANI7/P27端子の機能は，A/Dポート・コンフィギュレータ・レジスタ(ADPC)，アナログ入力チャネル指定レジスタ(ADS)，PM2の設定で決定します。

2. 78K0R/KE3-Lのみ。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

表4 - 7 ANI0/P20-ANI7/P27端子機能の設定

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 x : don't care

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート, P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明: PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ, 読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0R/KC3-L, KE3-L内部で、次の順序で行われます。

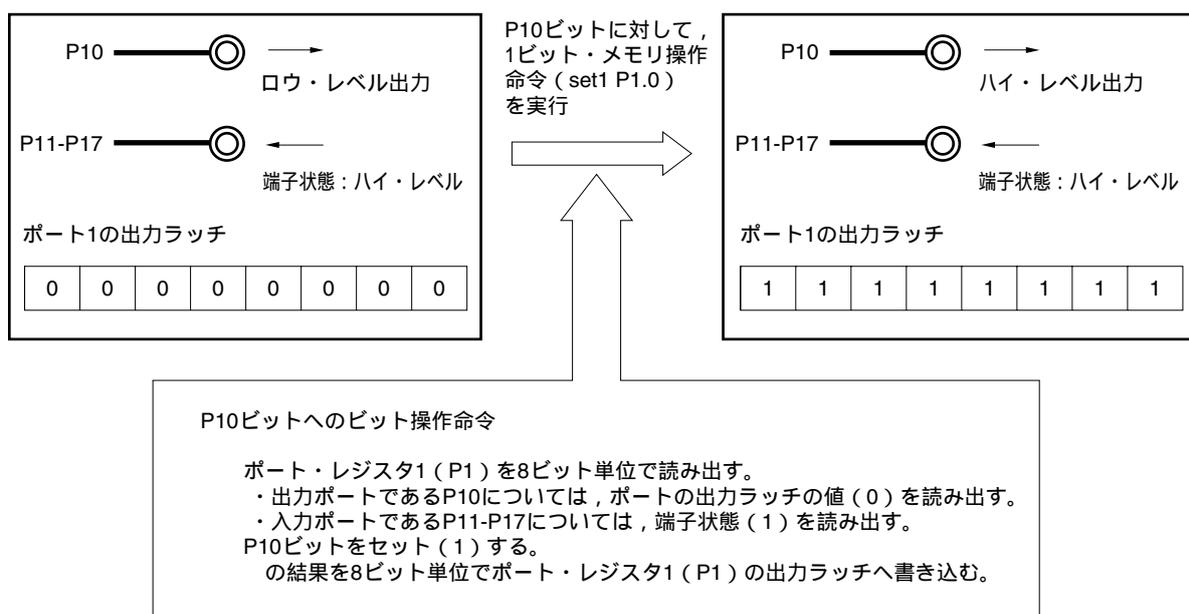
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4-39 1ビット・メモリ操作命令 (P10の場合)



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振させることができます。
STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路^注

$f_{IH} = 1, 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

20 MHz高速内蔵発振クロック発振回路^注

$f_{IH20} = 20$ MHz（TYP.）のクロックを発振させることができます。 $V_{DD} = 2.7$ Vで20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。DSCONを0に設定すると発振を停止することができます。

注 1, 8, 20 MHz高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数を設定しておいてください（詳細は、**第22章 オプション・バイト**参照）。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は、その後、20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 2 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

備考 f_x : X1クロック発振周波数
 f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数

(2) サブシステム・クロック

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより, $f_{SUB} = 32.768$ kHzのクロックを発振させることができます。XTSTOP (CSCのビット6) の設定により, 発振を停止することができます。

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ専用クロック)

・低速内蔵発振回路

$f_{IL} = 30$ kHz (TYP.) のクロックを発振させることができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは, ウォッチドッグ・タイマのみです。

ウォッチドッグ・タイマ動作停止時は, 発振を停止します。

(4) USB用クロック

・PLL

X1発振回路で生成するクロック (f_x) または外部入力クロック (f_{EX}) の12 MHz, 16 MHz, 20 MHzを分周または逡倍して48 MHzを生成します。PLLコントロール・レジスタ (PLL) のPLL M ビットにより分周比と逡倍率を選択し, PLLSTOPビットによりPLLを動作, 停止します。

備考1. f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速内蔵発振クロック周波数

f_{USB} : USB用クロック発振周波数

2. ウォッチドッグ・タイマは, 次の場合に動作停止します。

・オプション・バイト (000C0H) のビット4 (WDTON) = 0の場合

・オプション・バイト (000C0H) のビット4 (WDTON) = 1, ビット0 (WDSTBYON) = 0

のときに, HALT命令またはSTOP命令を実行した場合

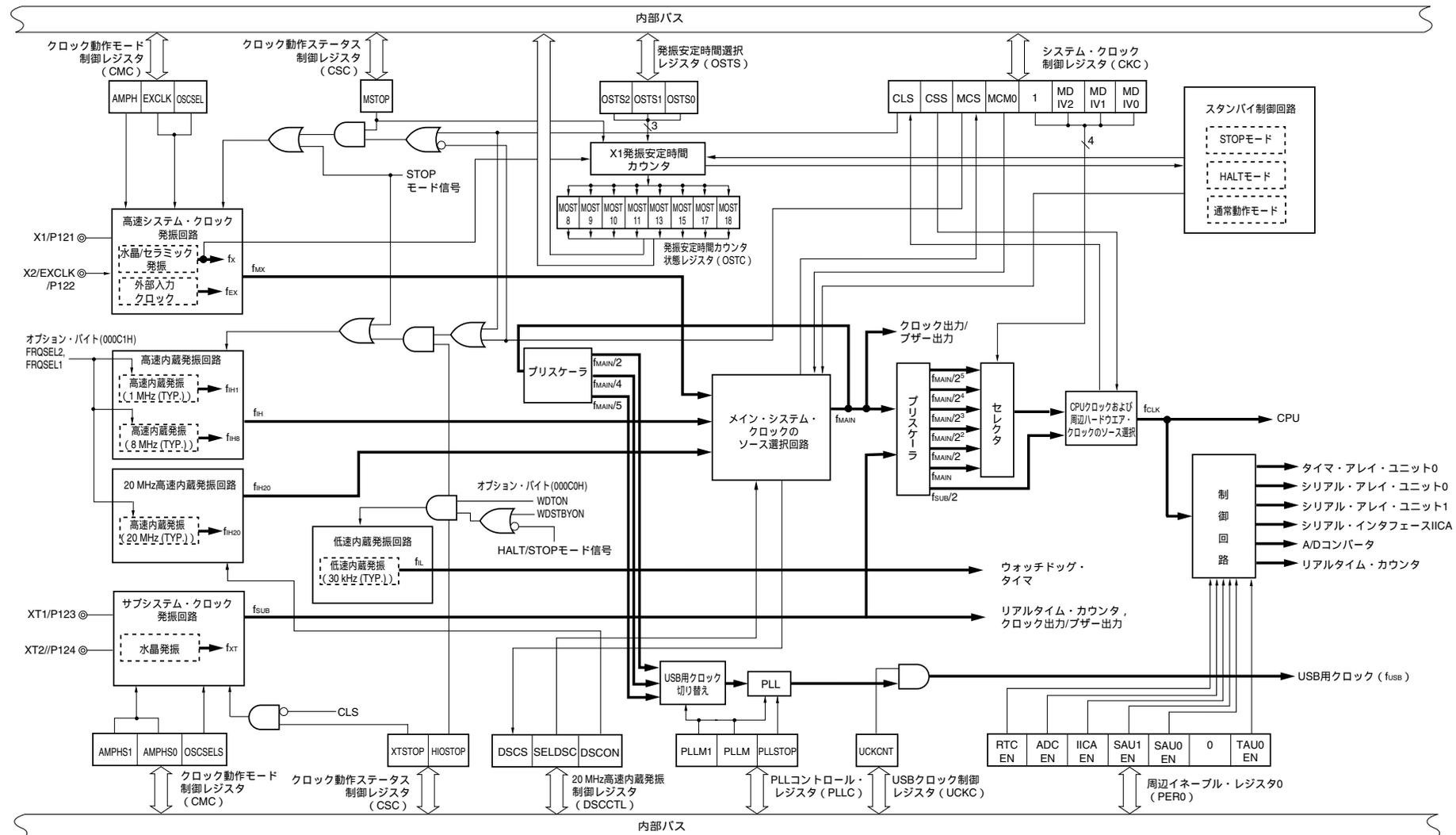
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 20 MHz高速内蔵発振制御レジスタ (DSCCTL) 周辺イネーブル・レジスタ0 (PER0) 動作スピード・モード制御レジスタ (OSMC) PLLコントロール・レジスタ (PLL0) USBクロック制御レジスタ (UCKC)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考

f_X	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{IH20}	: 20 MHz高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{SUB}	: サブシステム・クロック周波数
f_{CLK}	: CPU / 周辺ハードウェア・クロック周波数
f_{IL}	: 低速内蔵発振クロック周波数
f_{USB}	: USB用クロック発振周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の10種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・20 MHz高速内蔵発振制御レジスタ (DSCCTL)
- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・PLLコントロール・レジスタ (PLLCC)
- ・USBクロック制御レジスタ (UCKC)

(1) クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/P124端子
0	入力ポート・モード	入力ポート	
1	XT1発振モード	水晶振動子接続	

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振 (デフォルト)
0	1	通常発振
1	0	超低消費発振
1	1	

AMPH	X1クロック発振周波数の制御
0	2 MHz f_x 10 MHz
1	10 MHz $< f_x$ 20 MHz

- 注意1. CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCを設定してください。
 - X1クロック発振周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
 - CMCを初期値(00H)のまま使用する場合、暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。
 - XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
 - 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - XT1発振回路のモードを超低消費発振 (AMPHS1 = 1) で使用する場合は第28章 電気的特性に記載されている推奨発振子をご使用ください。
 - XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1 = 1) を選択している場合はご注意ください。

(注意, 備考は次ページに続きます。)

- ・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には，できるかぎり V_{SS} と同電位のグランド・パターンを配置してください。
- ・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

備考 f_x : X1クロック周波数

(2) システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 09Hになります。

図5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス: FFFA4H リセット時: 09H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	1	MDIV2	MDIV1	MDIV0

CLS	CPU/周辺ハードウェア・クロック (f _{CLK}) のステータス
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロックの2分周 (f _{SUB/2})

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20})
1	高速システム・クロック (f _{MX})

MCM0	メイン・システム・クロック (f _{MAIN}) の動作制御
0	メイン・システム・クロック (f _{MAIN}) に高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20}) を選択
1	メイン・システム・クロック (f _{MAIN}) に高速システム・クロック (f _{MX}) を選択

CSS	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _{MAIN}
	0	0	1	f _{MAIN} /2 (MCM0 = 0でこの設定が, デフォルト)
	0	1	0	f _{MAIN} /2 ²
	0	1	1	f _{MAIN} /2 ³ ^{注2}
	1	0	0	f _{MAIN} /2 ⁴ ^{注2}
	1	0	1	f _{MAIN} /2 ⁵ ^{注2,3}
1 ^{注4}	x	x	x	f _{SUB/2}
上記以外				設定禁止

注1. ビット7, 5は, Read Onlyです。

2. メイン・システム・クロック (f_{MAIN}) に1 MHz高速内蔵発振クロック (f_{IH1}) を選択している場合は, 設定禁止です。
3. メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択している場合, f_{MX} < 4 MHzのときは, 設定禁止です。
4. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

- 備考1. f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
2. x : don't care

注意1. ビット3には、必ず1を設定してください。

2. CSS, MCM0, MDIV2-MDIV0で設定したクロックは、CPUと周辺ハードウェアに供給されま
す。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更
されます(リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・
タイマは除く)。よって、CPU/周辺ハードウェア・クロックを変更する場合は、各周辺
機能を停止してください。
3. 周辺ハードウェア・クロックがサブシステム・クロックの場合、A/Dコンバータ、IICAの動
作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章
および第28章 電気的特性を参照してください。
4. USB動作中はサブシステム・クロックへ切り替えないようにしてください。サブシステム・
クロックに切り替える場合は、あらかじめUCKC = 0に設定し、USBクロックの供給を停止
してください。

78K0R/KC3-L, 78K0R/KF3-Lの一番速い命令はCPUクロック1クロックで実行されます。したがって、
CPUクロック (f_{CLK}) と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (MDIV2-MDIV0 ビットで設定)	最小命令実行時間: $1/f_{CLK}$					
	メイン・システム・クロック (CSS = 0)					サブシステム・クロック (CSS = 1)
	高速システム・クロック (MCM0 = 1)			高速内蔵発振クロック (MCM0 = 0)		
	12 MHz動作時	16 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	20 MHz (TYP.) 動作時	32.768 kHz動作時
f_{MAIN}	0.0833 μs	0.0625 μs	0.05 μs	0.125 μs (TYP.)	0.05 μs	-
$f_{MAIN}/2$	0.167 μs	0.125 μs	0.1 μs	0.25 μs (TYP.) (デフォルト)	0.1 μs	-
$f_{MAIN}/2^2$	0.333 μs	0.25 μs	0.2 μs	0.5 μs (TYP.)	0.2 μs	-
$f_{MAIN}/2^3$	0.666 μs	0.5 μs	0.4 μs	1.0 μs (TYP.)	0.4 μs	-
$f_{MAIN}/2^4$	1.33 μs	1 μs	0.8 μs	2.0 μs (TYP.)	0.8 μs	-
$f_{MAIN}/2^5$	2.67 μs	2 μs	1.6 μs	4.0 μs (TYP.)	1.6 μs	-
$f_{SUB}/2$	-			-		61 μs

備考 f_{MAIN} : メイン・システム・クロック周波数 (f_{IH} , f_{IH20} または f_{MX})

f_{SUB} : サブシステム・クロック周波数

(3) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速内蔵発振クロック，サブシステム・クロックの動作を制御するレジスタです（20 MHz高速内蔵発振クロック，低速内蔵発振クロックは除く）。

CSCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御	
	XT1発振モード時	入力ポート・モード時
0	XT1発振回路動作	入力ポート
1	XT1発振回路停止	

HIOSTOP	高速内蔵発振クロックの動作制御
0	高速内蔵発振回路動作
1	高速内蔵発振回路停止 ^注

注 1, 8 MHz (TYP.) 高速内蔵発振クロックが停止します。20 MHz高速内蔵発振クロックが動作中 (DSCON = 1) の場合は，高速内蔵発振回路停止 (HIOSTOP = 1) に設定禁止です。20 MHz高速内蔵発振クロックを停止する場合は，HIOSTOPビットではなく20 MHz高速内蔵発振制御レジスタ (DSCCTL) で設定してください。

- 注意1. リセット解除後は，クロック動作モード制御レジスタ (CMC) を設定してからCSCを設定してください。
- MSTOPの設定でX1発振を開始する場合，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
 - CPU / 周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは，CSCレジスタで停止させないでください。

(注意は次ページに続きます。)

注意4. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は、次のようになります。

表5-3 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック	CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
サブシステム・クロック	CPU / 周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速内蔵発振クロック	CPU / 周辺ハードウェア・クロックが高速内蔵発振クロック, 20 MHz高速内蔵発振クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

(4) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 MSTOP = 0)
- ・ STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

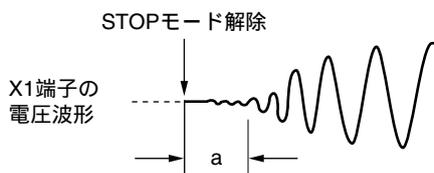
略号	7	6	5	4	3	2	1	0
OSTC	MOST							
	8	9	10	11	13	15	17	18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス			
								$f_x=12\text{MHz}$ 時	$f_x=16\text{MHz}$ 時	$f_x=20\text{MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	21.33 μs 未満	16 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	21.33 μs 以上	16 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	42.67 μs 以上	32 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	85.33 μs 以上	64 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	170.67 μs 以上	128 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	682.67 μs 以上	512 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	2.73 ms 以上	2.05 ms 以上	1.64 ms 以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	10.92 ms 以上	8.19 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	21.85 ms 以上	16.38 ms 以上	13.11 ms 以上

- 注意1. 上記時間経過後, MOST8から順番に“1”となっていき, そのまま“1”を保持します。
 2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。
 次のときには, OSTSの発振安定時間を, 発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
 (したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みませぬ。



備考 f_x : X1クロック発振周波数

(5) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図5 - 6 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

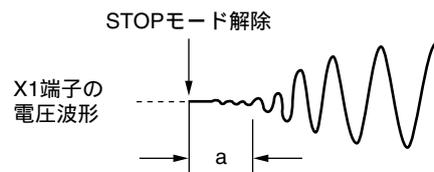
略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			$f_x = 12 \text{ MHz}$ 時	$f_x = 16 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	$2^8/f_x$	21.33 μs	設定禁止	設定禁止
0	0	1	$2^9/f_x$	42.67 μs	32 μs	25.6 μs
0	1	0	$2^{10}/f_x$	85.33 μs	64 μs	51.2 μs
0	1	1	$2^{11}/f_x$	170.67 μs	128 μs	102.4 μs
1	0	0	$2^{13}/f_x$	682.67 μs	512 μs	409.6 μs
1	0	1	$2^{15}/f_x$	2.73 ms	2.05 ms	1.64 ms
1	1	0	$2^{17}/f_x$	10.92 ms	8.19 ms	6.55 ms
1	1	1	$2^{18}/f_x$	21.85 ms	16.38 ms	13.11 ms

- 注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。
- 発振安定時間が20 μs 以下は設定禁止です。
 - OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。
 - X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
 - 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。次のときには、OSTSの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

- X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。

備考 f_x : X1クロック発振周波数

(6) 20 MHz高速内蔵発振制御レジスタ (DSCCTL)

20 MHz高速内蔵発振クロック (DSC) 機能の制御を行うレジスタです。

20 MHz高速内蔵発振クロック (f_{H20}) の発振と、CPU / 周辺ハードウェア・クロックとして20 MHz高速内蔵発振クロック (f_{H20}) の供給を制御することができます。

DSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 7 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のフォーマット

アドレス : F00F6H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	DSCS	SELDSC	0	DSCON

DSCS	20 MHz高速内蔵発振供給状態フラグ
0	供給していない
1	供給している (CPU/周辺ハードウェア・クロック (f_{CLK}) は20 MHz高速内蔵発振動作)

SELDSC	CPU / 周辺ハードウェア・クロック (f_{CLK}) への20 MHz高速内蔵発振選択
0	20 MHz高速内蔵発振を選択しない (CKCレジスタで選択されたクロックが f_{CLK} へ供給)
1	20 MHz高速内蔵発振を選択 (20 MHz高速内蔵発振が f_{CLK} へ供給)

DSCON	20 MHz高速内蔵発振クロック (f_{H20}) の動作 / 停止
0	停止
1	動作

注 ビット3は、Read Onlyです。

注意1. 20 MHz内蔵発振は、 V_{DD} 2.7 Vでないと使用できません。

2. V_{DD} 2.7 VでDSCONを設定後、100 μ s経過後にSELDSCを設定してください。

3. DSCON = 1のときは高速内蔵発振回路を動作 (HIOSTOP = 0) させておく必要があります。

4. オプション・バイトで1 MHz内蔵発振を選択している場合は、20 MHz高速内蔵発振は使用できません。DSCONビットをセット (1) しないでください。

(7) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- ・リアルタイム・カウンタ
- ・A/Dコンバータ
- ・シリアル・インタフェースIICA
- ・シリアル・アレイ・ユニット0
- ・シリアル・アレイ・ユニット1
- ・タイマ・アレイ・ユニット

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-8 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック供給 ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給許可 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給許可 ・A/Dコンバータで使用するSFRへのリード/ライト可

IICAEN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注 RTCENで制御可能な入力クロックは、CPUからリアルタイム・カウンタ (RTC) で使用するレジスタにアクセスする場合に使用されます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意 ビット1, 6には必ず“0”を設定してください。

図5-8 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給許可 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給許可 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

注意 ビット1, 6には必ず“0”を設定してください。

(8) 動作スピード・モード制御レジスタ (OSMC)

OSMCレジスタは、少しでも不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

FLPC, FSELでは、フラッシュ・メモリの高速動作昇圧回路の制御をすることが可能です。

10 MHz以上のシステム・クロックで動作する場合は、01Bに設定してください。

システム・クロックを10 MHz以下の低速で動作する際に、初期値00Bでを使用することにより昇圧回路を停止できるので、消費電力を低減することができます。また、システム・クロックを1 MHzで動作する際に、FLPC = 1とすることで、さらに消費電力を低減することができます。

また、RTCLPC = 1に設定して、リアルタイム・カウンタ動作設定にすると、STOPモード時とサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・カウンタ以外の周辺機能へのクロック同期回路を停止するので、消費電流を低減することが可能です。

OSMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-9 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	0	0	0	FLPC	FSEL

FLPC	FSEL	f _{CLK} の周波数選択
0	0	10 MHz以下の周波数で動作 (デフォルト)
0	1	10 MHzを越える周波数で動作
1	0	1 MHzの周波数で動作
1	1	設定禁止

RTCLPC	STOPモード時とサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表17-1参照)
1	リアルタイム・カウンタ以外の周辺機能へのサブシステム・クロック供給停止

注意1. FSELに“1”を書き込む場合は、必ず以下の2つの動作よりも前に行なってください。

- ・ f_{CLK}をf_{IH}以外に切り替える
 - ・ DMAコントローラを動作させる
2. FSELビットに“1”を書き込むと、CPUはウェイト (140.5クロック (f_{CLK})) します。ウェイト中に発生した割り込み要求は保留されます。
ただし、CPUウェイト中も、f_Xの発振安定時間のカウンタは継続可能です。
 3. f_{CLK}を10 MHz以上にする場合には、FSELを“1”にセットしてから、3クロック以上経過後に切り替えてください。
 4. FSEL = 0に設定する場合は、先にf_{CLK}を10 MHz以下に設定してください。
 5. V_{DD} 2.7 VでSTOPモードに移行する場合は、FSEL = 0にしてください。

(注意は次ページに続きます。)

- 注意6. RTCLPCを1に設定することで,STOPモード時とサブシステム・クロック時のHALTモード時の電流を低減できます。ただし,サブシステム・クロックでCPU動作中のHALTモード時はリアルタイム・カウンタ以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックHALTモードに設定する前に,PER0のビット7(RTCEN)は1に,それ以外のPER0の0-6ビットは0にしてください。
7. FLPCは一度1 MHz以下の周波数にしてセット(1)すると,その後にクリア(0)したり,1 MHz以上の周波数にすることは禁止です。

(9) PLLコントロール・レジスタ (PLL)

PLLの動作モードを設定するレジスタです。

PLLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図5 - 10 PLLコントロール・レジスタ (PLL) のフォーマット

アドレス：F059CH リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
PLL	0	0	0	0	0	PLLM1	PLLM	PLLSTOP

PLLM1	PLLM	PLLへの供給クロック/PLLの通倍選択	
		供給クロック	通倍選択
0	0	$f_{MX}/2$	8通倍 ^{注1}
0	1	$f_{MX}/4$	12通倍 ^{注2}
1	0	$f_{MX}/5$	12通倍 ^{注3}
1	1	設定禁止	

PLLSTOP	PLLの動作制御
0	PLL動作
1	PLL停止

注1. $f_{MX} = 12 \text{ MHz}$ のとき, $f_{USB} = 48 \text{ MHz}$ となります。

2. $f_{MX} = 16 \text{ MHz}$ のとき, $f_{USB} = 48 \text{ MHz}$ となります。

3. $f_{MX} = 20 \text{ MHz}$ のとき, $f_{USB} = 48 \text{ MHz}$ となります。

注意1. USBを使用する場合には、必ずリセット後の初期設定でPLLの供給クロックを設定してください。

<設定手順>

PLLを停止 (PLLSTOP = 1)

PLLM1, PLLMを選択 (PLLM1 = 0, PLLM = 0: f_{MX} が12 MHzのとき, PLLM1 = 0,

PLLM = 1: f_{MX} が16 MHzのとき, PLLM1 = 1, PLLM0 = 0: f_{MX} が20 MHzのとき)

PLLの動作を許可 (PLLSTOP = 0)

- PLLの発振開始 (PLLSTOP = 0) の操作は、USBクロック (f_{USB}) 供給を停止した状態 (UCKCNT = 0) で行ってください。
- PLL動作中の通倍率の設定変更 (PLLM, PLLM1ビットの変更) は禁止です。
- PLL停止中 (PLLSTOP = 1) のUSBファンクション・コントローラへのクロック供給 (UCKCNT = 1) は禁止です。
- USBファンクション・コントローラへクロック供給中にPLLを停止 (PLLSTOP = 1) することはできません。
- USBファンクション・コントローラへクロック供給中に通倍率の設定を変更 (PLLM, PLLM1ビットの変更) することはできません。

備考 f_{MX} : 高速システム・クロック周波数

(10) USBクロック制御レジスタ (UCKC)

USBファンクション・コントローラへ供給するUSBクロック (f_{USB}) を制御するレジスタです。

UCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 11 USBクロック制御レジスタ (UCKC) のフォーマット

アドレス : F059DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UCKC	UCKCNT	0	0	0	0	0	0	0

UCKCNT	USBファンクション・コントローラへのUSBクロック供給制御
0	USBクロック供給停止
1	USBクロック供給

注意 STOPモードへ移行する場合は、USBファンクション・コントローラへのクロック供給を停止してください。

STOPモード解除後はPLLの発振安定待ち時間(800 μs)をソフトウェアでカウントし、発振安定待ち時間終了後にUSBファンクション・コントローラへクロックを供給してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

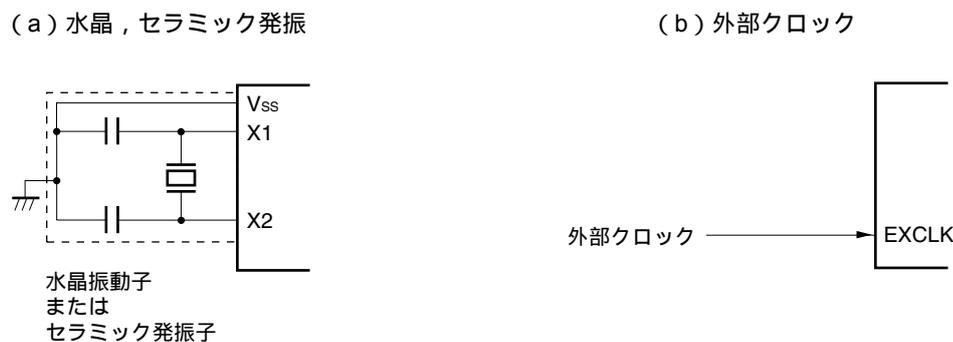
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-2 各端子の未使用端子処理を参照してください。

図5-12にX1発振回路の外付け回路例を示します。

図5-12 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

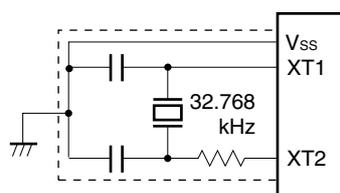
XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

XT1発振回路を使用しない場合は、入力ポート・モード（OSCSELS = 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-2 各端子の未使用端子処理を参照してください。

図5-13にXT1発振回路の外付け回路例を示します。

図5-13 XT1発振回路の外付け回路例（水晶発振）



注意を次ページに示します。

注意1. X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 12, 図5 - 13の破線の部分を次のように配線してください。

- ・配線は極力短くしてください。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。

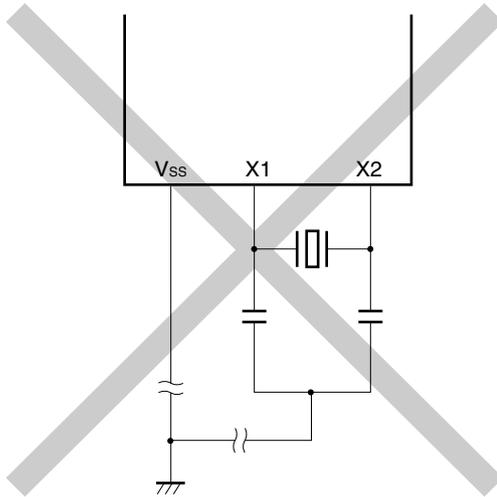
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・XT1発振回路のモードを超低消費発振 (AMPHS1 = 1) で使用する場合は第28章 電気的特性に記載されている推奨発振子をご使用ください。
- ・XT1端子, XT2端子と発振子との配線は極力短くし、寄生容量, 配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1 = 1) を選択している場合はご注意ください。
- ・回路基板は寄生容量, 配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎり V_{SS} と同電位のグランド・パターンを配置してください。
- ・XT1端子, XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子, XT2端子間に容量やリークが生じない材料をご使用ください。

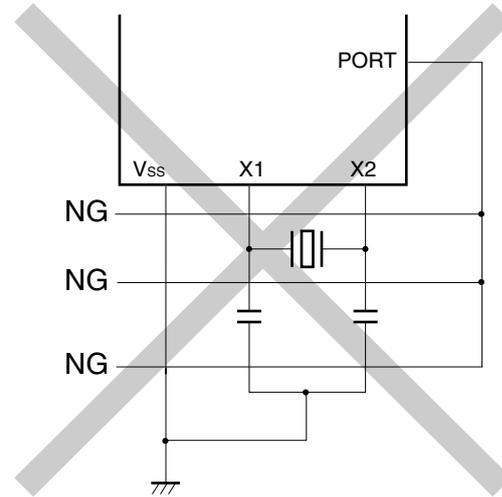
図5 - 14に発振子の接続の悪い例を示します。

図5 - 14 発振子の接続の悪い例 (1/2)

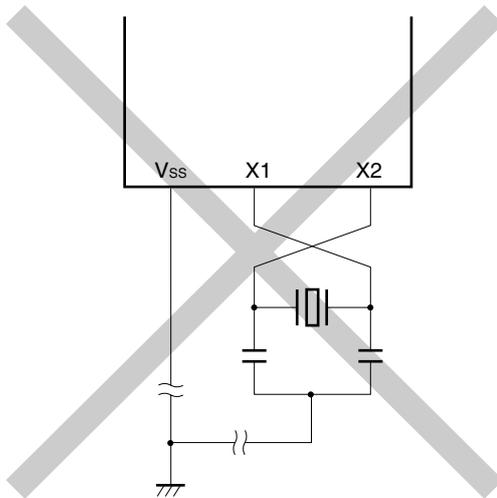
(a) 接続回路の配線が長い



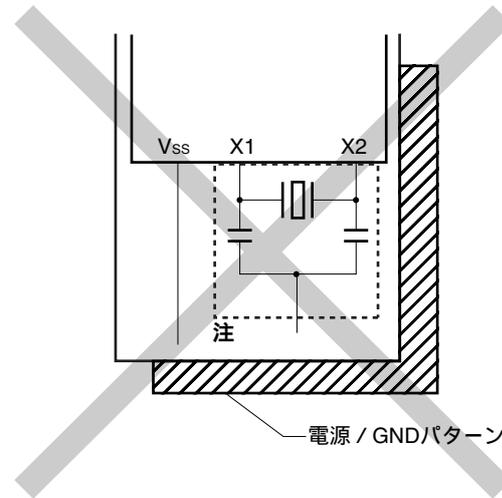
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある



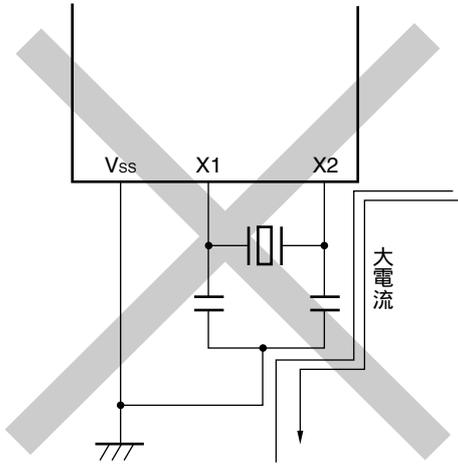
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

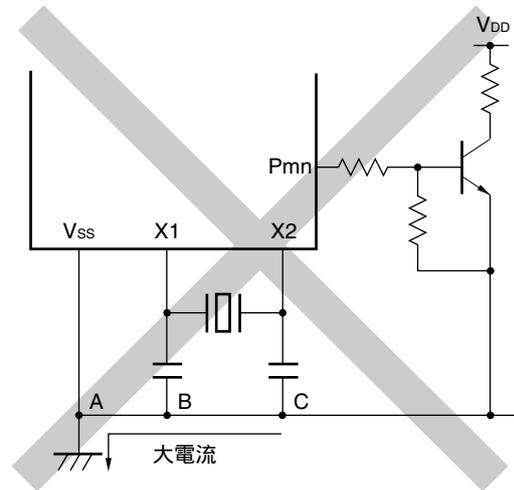
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-14 発振子の接続の悪い例 (2/2)

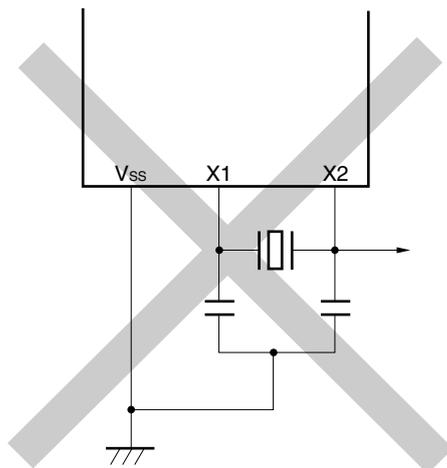
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速内蔵発振回路

78K0R/KC3-L, 78K0R/KF3-Lは、高速内蔵発振回路を内蔵しています(1, 8, 20 MHz (TYP.))。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP), 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0 (DSCON) にて発振を制御できます。

注意 1, 8, 20 MHz高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数を設定しておいてください(詳細は、第22章 オプション・バイト参照)。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します(オプション・バイトで8 MHz/20 MHz選択時は8 MHz高速内蔵発振回路で動作します)。20 MHzの高速内蔵発振回路で動作する場合は、その後、 $V_{DD} = 2.7$ Vで20 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0 (DSCON) を1に設定すると発振を開始します。

5.4.4 低速内蔵発振回路

78K0R/KC3-L, 78K0R/KF3-Lは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマのクロックとしてのみ使用します。CPUクロックとして使用できません。

リセット解除後、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、低速内蔵発振回路は自動的に発振を開始し、ウォッチドッグ・タイマを駆動します(30 kHz (TYP.))。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振回路の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

5.4.5 プリスケーラ

プリスケーラは、メイン・システム・クロックおよびサブシステム・クロックを分周し、CPU/周辺ハードウェア・クロックを生成します。

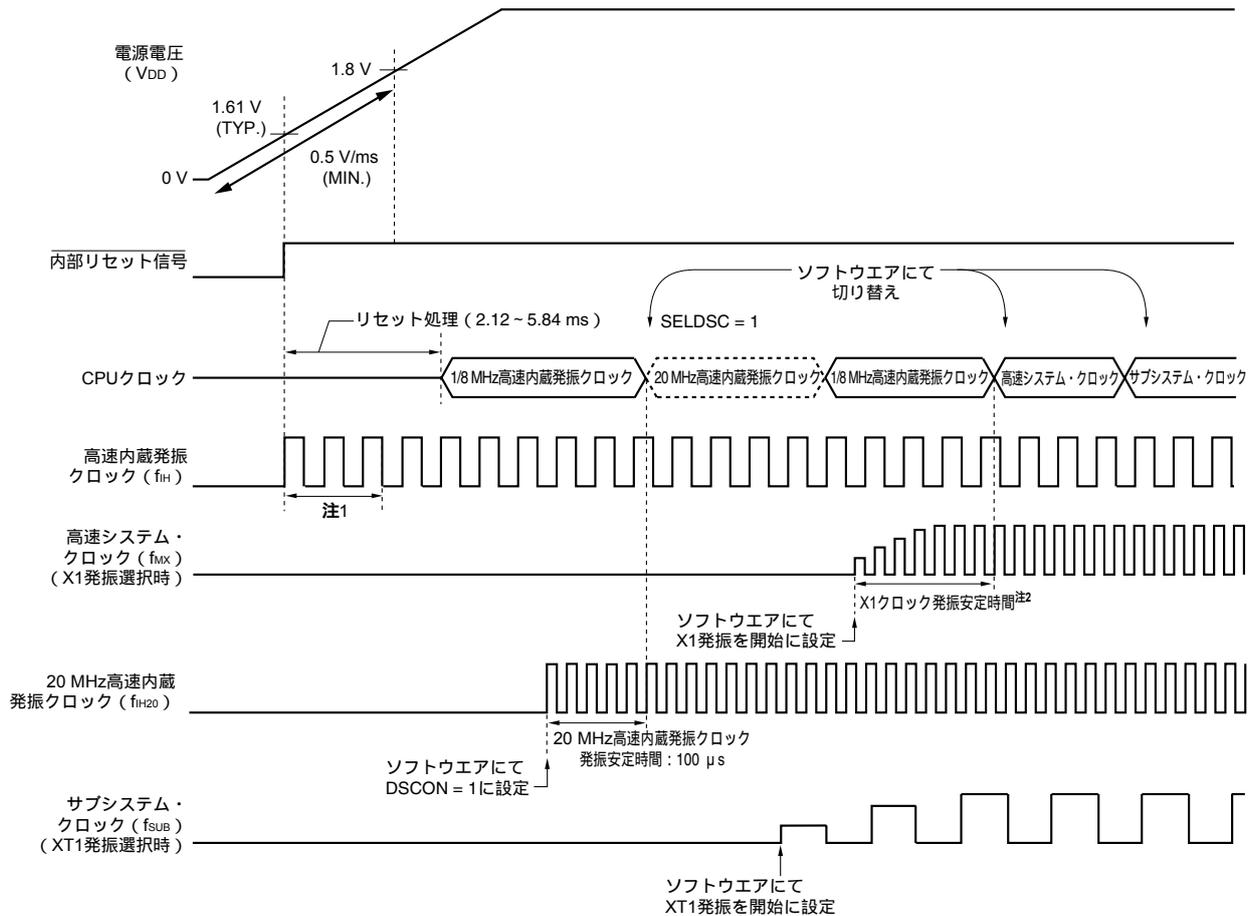
5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

- メイン・システム・クロック f_{MAIN}
- ・高速システム・クロック f_{MX}
 - X1クロック f_x
 - 外部メイン・システム・クロック f_{EX}
- ・高速内蔵発振クロック f_{IH}
- ・20 MHz高速内蔵発振クロック f_{IH20}
- サブシステム・クロック f_{SUB}
- 低速内蔵発振クロック f_{IL}
- CPU / 周辺ハードウェア・クロック f_{CLK}
- USB用クロック f_{USB}

78K0R/KC3-L, 78K0R/KF3-Lでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を、図5 - 15と図5 - 16に示します。

図5 - 15 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能停止に設定時 (オプション・バイト : LVIOFF = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器^{注3}が自動的に発振開始されます。

リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速内蔵発振クロック^{注3}で動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 **高速システム・クロックの制御例**の(1)、5.6.3 **サブシステム・クロックの制御例**の(1)を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、電源電圧が2.7 V以上であることを確認してソフトウェアにてDSCON = 1に設定し発振を開始してください。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 **高速システム・クロックの制御例**の(3)、5.6.3 **サブシステム・クロックの制御例**の(2)を参照)。

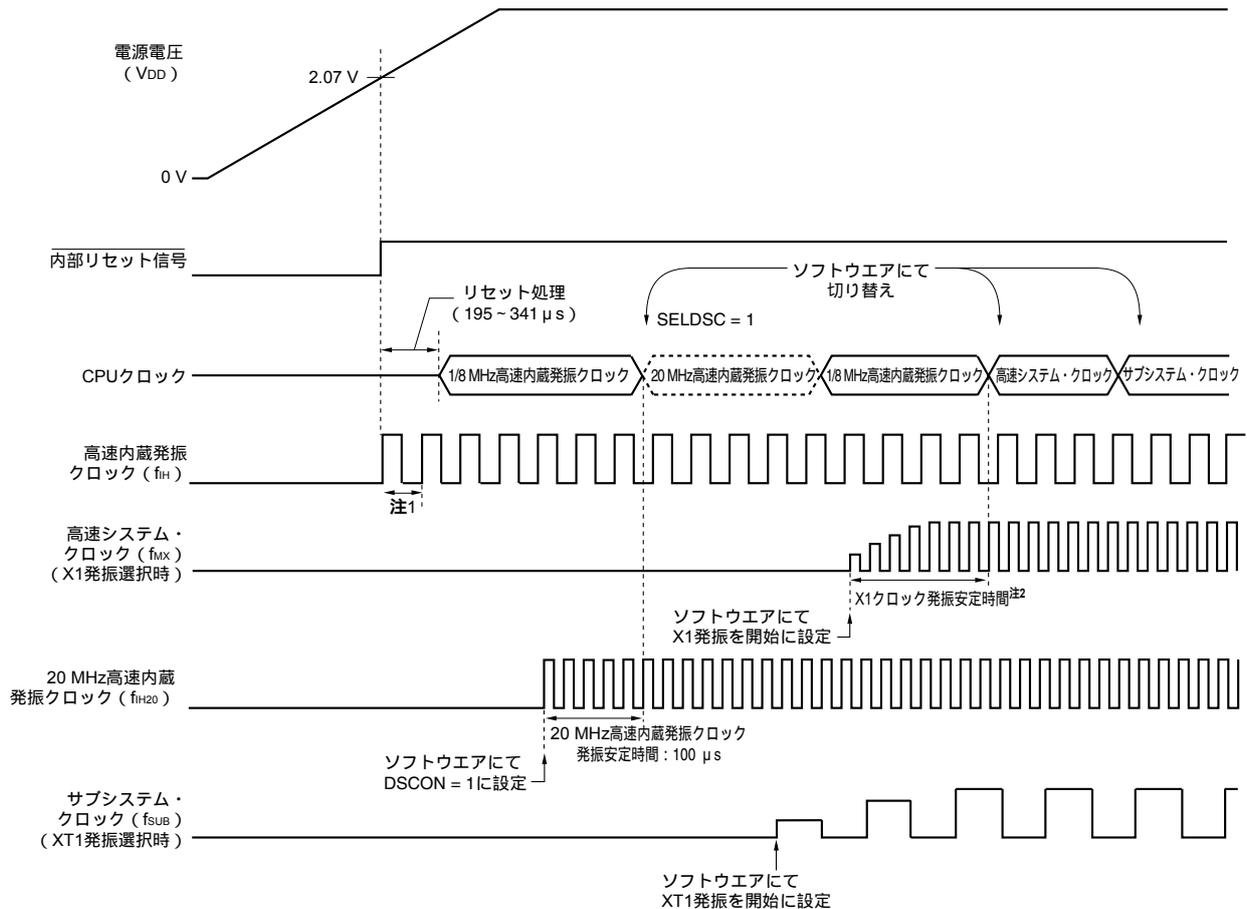
20 MHz高速内蔵発振クロックに切り替える場合は、DSCONビット (20 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0) を設定したあと100 μsウエイトし、ソフトウェアにてSELDC = 1に設定することでクロックが切り替わります^{注4}。

(注, 注意は次ページにあります。)

- 注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
 3. オプション・バイトで高速内蔵発振回路を8 MHz/20 MHzに選択している場合は8 MHz高速内蔵発振クロックで、1 MHzを選択している場合は1 MHz高速内蔵発振クロックで動作します。
 4. オプション・バイトで高速内蔵発振回路を1 MHzに設定している場合、20 MHz高速内蔵発振クロックは使用できません。

- 注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりが、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトでLVIデフォルト・スタート機能動作を設定（LVIOFF = 0）してください（図5 - 16参照）。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5 - 15の以降と同様のタイミングで動作します。
2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

図5-16 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF = 0))



電源投入後、低電圧検出(LVI)回路による内部リセット信号が発生されます。

電源電圧が2.07 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器^{注3}が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロック^{注3}で動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1)、5.6.3 サブシステム・クロックの制御例の(1)を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、ソフトウェアにてDSCON = 1に設定し発振を開始してください。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(2)を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、電源電圧が2.7 V以上であることを確認し、DSCONビット(20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0)を設定したあと100 μsウエイトします。ウエイト後、ソフトウェアにてSELDSC = 1に設定することでクロックが切り替わります^{注4}。

(注、注意は次ページにあります。)

- 注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
 3. オプション・バイトで高速内蔵発振回路を8 MHz/20 MHzに選択している場合は8 MHz高速内蔵発振クロックで、1 MHzを選択している場合は1 MHz高速内蔵発振クロックで動作します。
 4. オプション・バイトで高速内蔵発振回路を1 MHzに設定している場合、20 MHz高速内蔵発振クロックは使用できません。

- 注意 1. 電源電圧が1.61 V (TYP.) に達したあと、電圧安定待ち時間（約2.12 ~ 5.84 ms）が必要となります。1.61 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、電圧安定待ち時間を経過してからリセット処理に入ります。
2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶/セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定, 発振周波数の設定 (CMCレジスタ)

・2 MHz f_x 10 MHzの場合

EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH
0	1	0	0/1	0	0/1	0/1	0

・10 MHz < f_x 20 MHzの場合

EXCLK	OSCSEL	0	OSCSELS	0	AMPHS1	AMPHS0	AMPH
0	1	0	0/1	0	0/1	0/1	1

備考1. f_x : X1クロック発振周波数

2. P123/XT1, P124/XT2端子の設定については、5.6.3 サブシステム・クロックの制御例を参照してください。

X1クロックの発振制御 (CSCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、5.6.3 サブシステム・クロックの制御例を参照してください。

2. 電源電圧が、使用するクロックの動作可能電圧 (第28章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定 (CMCレジスタ)

EXCLK	OSCESEL	0	OSCELS	0	AMPHS1	AMPHS0	AMPH
1	1	0	0/1	0	0/1	0/1	0/1

備考 P123/XT1, P124/XT2端子の設定については, 5.6.3 (1) サブシステム・クロックを発振する場合の設定手順例を参照してください。

外部メイン・システム・クロックの入力制御 (CSCレジスタ)

MSTOPを0に設定すると, 外部メイン・システム・クロックの入力が有効になります。

注意1. CMCレジスタは, リセット解除後, 8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため, OSCELSビットの値も同時に設定する必要があります。OSCELSビットについては, 5.6.3 サブシステム・クロックの制御例を参照してください。

2. 電源電圧が, 使用するクロックの動作可能電圧 (第28章 電気的特性を参照) に達してから, 外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5.6.1 (1) X1クロックを発振する場合の設定手順例, または (2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合, の設定不要です。

高速システム・クロックをCPU/周辺ハードウェア・クロックのソース・クロックに設定し, 設定したクロックの分周比を設定 (CKCレジスタ)

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
1	0	0	0	f _{MX}
	0	0	1	f _{MX} /2
	0	1	0	f _{MX} /2 ²
	0	1	1	f _{MX} /2 ³
	1	0	0	f _{MX} /2 ⁴
	1	0	1	f _{MX} /2 ⁵ ^注

注 f_{MX} < 4 MHzのとき, 設定禁止です。

使用しない周辺ハードウェアがある場合、周辺ハードウェアごとに、入力クロックの供給停止可能 (PER0レジスタ)

RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN
-------	---	-------	--------	--------	--------	---	--------

xxxEN	入力クロックの制御
0	入力クロック供給停止
1	入力クロック供給

注意 ビット1, 6には必ず0を設定してください。

備考 RTCEN : リアルタイム・カウンタの入力クロック制御
 ADCEN : A/Dコンバータの入力クロック制御
 IICAEN : シリアル・インタフェースIICAの入力クロック制御
 SAU1EN : シリアル・アレイ・ユニット1の入力クロック制御
 SAU0EN : シリアル・アレイ・ユニット0の入力クロック制御
 TAU0EN : タイマ・アレイ・ユニット0の入力クロック制御

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止 (外部クロックを使用している場合は、クロック入力無効) するには、次の2つの方法があります。

- ・STOP命令を実行する
- ・MSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第17章 **スタンバイ機能**を参照してください)。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します (外部クロック入力は無効になります)。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。
CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

X1クロック発振再開後のX1クロックの発振安定時間の設定[※]

MSTOPに1を設定する前までに、X1発振再開後にOSTCレジスタで確認したいカウント値より大きい値に、OSTSレジスタの値を設定します。

高速システム・クロックの停止（CSCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注 高速システム・クロックがX1発振モードで、あとでX1クロックを発振再開する場合に必要です。
外部クロック入力モード時は、設定不要です。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例[※]

高速内蔵発振クロック発振の再開の設定（CSCレジスタ）

HIOSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

注 リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPU / 周辺ハードウェア・クロックとして選択されます。

(2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合

高速内蔵発振クロックの発振を再開[※]

(5.6.2 (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

注 高速内蔵発振クロック動作中の場合、 の設定不要です。

高速内蔵発振クロックをCPU/周辺ハードウェア・クロックのソース・クロックに設定し、設定したクロックの分周比を設定（CKCレジスタ）

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _H
	0	0	1	f _H /2
	0	1	0	f _H /2 ²
	0	1	1	f _H /2 ³
	1	0	0	f _H /2 ⁴
	1	0	1	f _H /2 ⁵

注意 高速内蔵発振クロックを再開後に、CPU/周辺ハードウェア・クロックを高速システム・クロックから高速内蔵発振クロックに切り替える場合は、10 μs以上経過後に行ってください。再開直後に切り替えた場合は、10 μs間の高速内蔵発振の精度が保障できません。

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行する
- ・ HIOSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第17章 **スタンバイ機能**を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) HIOSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (CSCレジスタ)

HIOSTOPを1に設定すると、高速内蔵発振が停止します。

注意 HIOSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。
また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

XT1, XT2端子に水晶発振子を接続して、サブシステム・クロックを発振することができます。

また、未使用時では、XT1/P123, XT2/P124端子を入力ポートとして使用できます。

注意 XT1/P123, XT2/P124端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) サブシステム・クロックを発振する場合
- (2) サブシステム・クロックをCPUクロックとして使用する場合
- (3) サブシステム・クロックを停止する場合

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます(リアルタイム・カウンタ, クロック出力/ブザー出力, およびウォッチドッグ・タイマは除く)。このとき, A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第28章 電気的特性を参照してください。

(1) サブシステム・クロックを発振する場合の設定手順例

P123/XT1, P124/XT2端子の設定 (CMCレジスタ)

EXCLK	OSCSEL	0	OSCSLS	0	AMPHS1	AMPHS0	AMPH
0/1	0/1	0	1	0	0/1	0/1	0/1

備考 P121/X1, P122/X2端子の設定については、5.6.1 高速システム・クロックの制御例を参照してください。

サブシステム・クロックの発振制御 (CSCレジスタ)

XTSTOPを0に設定すると、XT1発振回路が発振を開始します。

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
そのため、EXCLK, OSCSELビットの値も同時に設定する必要があります。EXCLK, OSCSELビットについては、5.6.1 (1) X1クロックを発振する場合の設定手順例、または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照してください。

(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振[※]

(5.6.3 (1) サブシステム・クロックを発振する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、 の設定不要です。

サブシステム・クロックをCPUクロックのソース・クロックに設定 (CKCレジスタ)

CSS	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
1	f _{SUB} /2

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます (リアルタイム・カウンタ、クロック出力/ブザー出力、およびウォッチドッグ・タイマは除く)。このとき、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第28章 電気的特性を参照してください。

(3) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (CKCレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの停止 (CSCレジスタ)

XTSTOPを1に設定すると、サブシステム・クロックが停止します。

注意1. XTSTOPに1を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで動作している周辺ハードウェアがある場合は、その周辺ハードウェアの動作を停止してください。

2. STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。ウォッチドッグ・タイマのクロックとしてのみ使用します。

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（30 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振器の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

(1) 低速内蔵発振クロックを停止する場合の設定手順例

低速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）し、HALT命令またはSTOP命令を実行する
- ・ オプション・バイトで「ウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット4（WDTON）= 0）する

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

低速内蔵発振クロックを再開するには、次の方法があります。

- ・ HALTモードまたはSTOPモードを解除する
（オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）し、HALT命令またはSTOP命令の実行で、ウォッチドッグ・タイマの動作が停止している場合のみ）

5.6.5 USBクロックの制御

USBファンクション・コントローラ用のクロック ($f_{\text{USB}} = 48 \text{ MHz}$) は、メイン・システム・クロック周波数 (f_{MAIN}) の分周クロックをPLLで逡倍して使用します。

$f_{\text{MX}} = 12/16/20 \text{ MHz}$ からUSBクロック供給する場合（設定方法例）

PLLSTOPを1に設定（PLLCレジスタ）

PLLSTOPを1に設定して、PLLを動作停止します。

PLLMを0/1に設定（PLLCレジスタ）

$f_{\text{MAIN}} = 12 \text{ MHz}$ の場合、PLLMを0に設定して、8逡倍を選択します。

$f_{\text{MAIN}} = 16 \text{ MHz}$ の場合、PLLMを1に設定して、12逡倍を選択します。

$f_{\text{MAIN}} = 20 \text{ MHz}$ の場合、PLLM1を1に設定して、12逡倍を選択します。

PLLSTOPを0に設定（PLLCレジスタ）

PLLSTOPを0に設定すると、PLLが動作開始します。

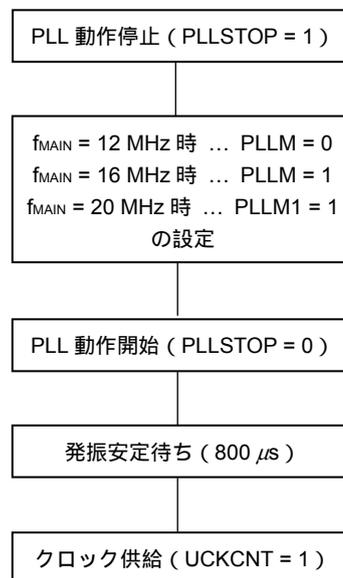
PLLの発振安定待ち

ソフトウェアで、 $800 \mu\text{s}$ ウエイトします。ウエイト中は、他のソフトウェア処理を実行できます。

UCKCNTを1に設定（UCKCレジスタ）

UCKCNTを1に設定すると、USBファンクション・コントローラへクロック供給開始します。

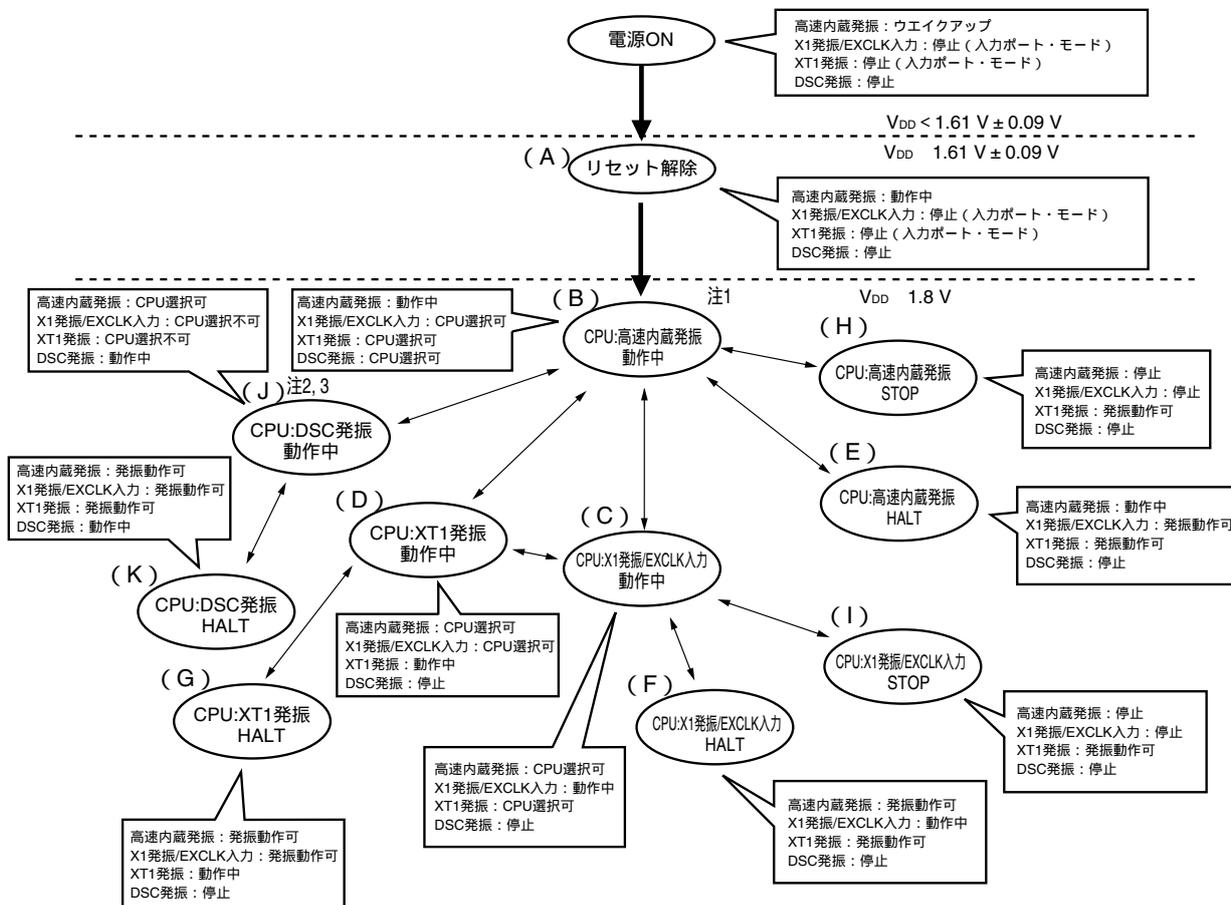
<制御フロー>



5.6.6 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 17に示します。

図5 - 17 CPUクロック状態移行図



注1. リセット解除後は、システム・クロック制御レジスタ (CKC) = 09Hにより、 $f_{CLK} = f_{IH}/2$ が選択されるため、次の動作周波数で動作開始します。

- ・ オプション・バイトで1 MHzを選択時 : 500 kHz (1 MHz/2)
- ・ オプション・バイトで8 MHz, 20MHzを選択時 : 4 MHz (8 MHz/2)

2. 20 MHz内蔵発振はV_{DD}が2.7 V以上であることを確認して設定してください。
3. 20 MHz内蔵発振は、オプション・バイトで1 MHz内蔵発振を選択時は使用することができません。

備考1. オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が2.07 V ± 0.2 Vを越えるまでリセットは解除されません。

そしてリセット処理後に上図の (B) に移行します。

2. DSC : 20 MHz高速内蔵発振クロック

CPUクロックの移行とSFRレジスタの設定例などを表5-4に示します。

表5-4 CPUクロックの移行とSFRレジスタの設定例 (1/6)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCESEL	AMPH	MSTOP	FSEL		MCM0
(A) (B) (C) (X1クロック: 2 MHz f_x 10 MHz)	0	1	0	0	0	確認 必要	1
(A) (B) (C) (X1クロック: 10 MHz <math><f_x</math> 20 MHz)	0	1	1	0	1 ^{注2}	確認 必要	1
(A) (B) (C) (外部メイン・クロック)	1	1	x	0	0/1 ^{注2}	確認 不要	1

注1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注			CSC レジスタ	発振安定 待ち	CKC レジスタ
	OSCELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) (B) (D)	1	0/1	0/1	0	必要	1

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考 表5-4の (A) - (K) は、図5-17の(A) - (K) と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(2/6)

- (4) リセット解除後 (A) に、CPUを20 MHz高速内蔵発振クロック動作 (J) へ移行
(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTLレジスタ ^注	発振安定待ち	DSCCTLレジスタ
	(A) (B) (J)	DSCON		SELDSC
		1	必要 (100 μs)	1

注 V_{DD} 2.7 Vであることを確認して、DSCON = 1にしてください。

- (5) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH					
(B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1
(B) (C) (X1クロック : 10 MHz < f_x 20 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1
(B) (C) (外部メイン・クロック)	1	1	x	注2	0	0/1 ^{注3}	確認 不要	1

設定済みの場合は不要
高速システム・クロック
動作中の場合は不要

注1. CMCレジスタは、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. OSTCの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} < 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考1. x : don't care

2. 表5-4の (A) - (K) は、図5-17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (3/6)

(6) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CMCレジスタ ^註	CSCレジスタ	発振安定待ち	CKCレジスタ
		OSCSELS	XTSTOP		CSS
(B) (D)		1	0	必要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

(7) CPUを高速内蔵発振クロック動作 (B) から、20 MHz高速内蔵発振クロック動作 (J) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTLレジスタ ^註	発振安定待ち	DSCCTLレジスタ
		DSCON		SELDSC
(B) (J)		1	必要 (100 μ s)	1

20 MHz高速内蔵発振クロック
動作中の場合は不要

注 V_{DD} 2.7 Vであることを確認して、DSCON = 1にしてください。

(8) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) (B)		0	10 μ s	0

高速内蔵発振クロック
動作中の場合は不要

備考 表5 - 4の (A) - (K) は、図5 - 17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/6)

(9) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振安定待ち	CKCレジスタ
		XTSTOP		CSS
(C) (D)		0	必要	1

サブシステム・クロック動作中の場合は不要

(10) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	CKCレジスタ	
		HIOSTOP	MCM0	CSS
(D) (B)		0	0	0

高速内蔵発振クロック動作中の場合は不要

設定済みの場合は不要

備考 表5 - 4の (A) - (K) は、図5 - 17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (5/6)

(11) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ	
			MSTOP	FSEL		MCM0	CSS
(D) (C) (X1クロック : 2 MHz f_x 10 MHz)		注1	0	0	確認 必要	1	0
(D) (C) (X1クロック : 10 MHz < f_x 20 MHz)		注1	0	1 ^{注2}	確認 必要	1	0
(D) (C) (外部メイン・クロック)		注1	0	0/1 ^{注2}	確認 不要	1	0

高速システム・クロック動作中の場合は不要
設定済みの場合は不要

注1. OSTCの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

2. $f_{CLK} > 10$ MHzのときは, FSEL = 1です。

$f_x > 10$ MHzのときでも, 分周クロックを選択して $f_{CLK} < 10$ MHzとなる場合は, FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性を参照) に電源電圧が達してから, クロックを設定してください。

(12) CPUを20 MHz高速内蔵発振クロック動作 (J) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTLレジスタ	
		SELDSC	DSCON
(J) (B)		0	0

備考 表5 - 4の (A) - (K) は, 図5 - 17の(A) - (K) と対応しています。

表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (6/6)

- (13) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・ CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行
 ・ CPUが20 MHz高速内蔵発振クロック動作中 (J) にHALTモード (K) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G) (J) (K)	HALT命令を実行する

- (14) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容		
(B) (H)		STOPモード中に動作できない周辺機能を停止する	-	STOP命令を実行する
(C) (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		-	

備考 表5 - 4の (A) - (K) は、図5 - 17の(A) - (K) と対応しています。

5.6.7 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-5 CPUクロックの移行について(1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・ システム・ク ロック	EXCLK端子からの外部クロック入力を有効 にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	サブシステ ム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	
	20 MHz 高速 内蔵発振ク ロック	オプション・バイトで20 MHzが設定されて いて、DSC発振が安定していること ・ V _{DD} 2.7 V ・ DSCON = 1に設定して発振安定時間(100 μs) 経過後 ・ SELDSC = 1	-
X1クロック	高速内蔵発振 クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	X1発振停止可能 (MSTOP = 1)
	外部メイン・ システム・ク ロック	移行不可 (変更したい場合は、いったんリセットして から再設定してください。)	-
	サブシステ ム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
	20 MHz 高速 内蔵発振ク ロック	いったん高速内蔵発振クロックに切り替え ないと移行できません。	-
外部メイン・シ ステム・クロッ ク	高速内蔵発振 クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットして から再設定してください。)	-
	サブシステ ム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入 力を無効に設定可能 (MSTOP = 1)
	20 MHz 高速 内蔵発振ク ロック	いったん高速内蔵発振クロックに切り替え ないと移行できません。	-

表5-5 CPUクロックの移行について(2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
サブシステム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能(XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCESEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCESEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
20 MHz 高速内蔵発振クロック	高速内蔵発振クロック	・SELDCS = 0 (移行時に設定します)	20 MHz高速内蔵発振クロック停止に設定可能(DSCON = 0)
	X1クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	外部メイン・システム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	サブシステム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

5.6.8 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット0-2, 4, 6 (MDIV0-MDIV2, MCM0, CSS) との設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック), メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, CKCを書き換えた直後ではなく, CKCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-6~表5-9参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速内蔵発振クロックで動作しているかは, CKCのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-6 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{MAIN}	↔ (分周比変更)	f_{MAIN}	表5-7参照
f_{IH}	↔	f_{MX}	表5-8参照
f_{MAIN}	↔	f_{SUB}	表5-9参照

表5-7 $f_{MAIN} \leftrightarrow f_{MAIN}$ (分周比変更) で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		$1 + f_A/f_B$ クロック
クロックB	$1 + f_B/f_A$ クロック	

表5-8 $f_{IH} \leftrightarrow f_{MX}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} \geq f_{IH}$		$1 + f_{IH}/f_{MX}$ クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$ クロック
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} \geq f_{IH}$	$2f_{MX}/f_{IH}$ クロック	
	$f_{MX} < f_{IH}$	$1 + f_{MX}/f_{IH}$ クロック	

(備考は次ページにあります。)

表5 - 9 $f_{\text{MAIN}} \leftrightarrow f_{\text{SUB}}$ で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 ($f_{\text{CLK}} = f_{\text{MAIN}}$)	1 ($f_{\text{CLK}} = f_{\text{SUB}}$)
0 ($f_{\text{CLK}} = f_{\text{MAIN}}$)	/	$1 + 2f_{\text{MAIN}}/f_{\text{SUB}}$ クロック
1 ($f_{\text{CLK}} = f_{\text{SUB}}$)		$2 + f_{\text{SUB}}/f_{\text{MAIN}}$ クロック

備考1. 表5 - 7から表5 - 9のクロック数は、切り替え前のCPUクロックのクロック数です。

2. 表5 - 7から表5 - 9のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{\text{H}} = 8 \text{ MHz}$, $f_{\text{M}} = 10 \text{ MHz}$ 発振時)

$$1 + f_{\text{H}}/f_{\text{M}} = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2 \text{ クロック}$$

5.6.9 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 10 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
20 MHz高速内蔵発振クロック	SELDSC = 0 (メイン・システム・クロックが20 MHz高速内蔵発振クロック以外で動作)	DSCON = 0

第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは1つのユニットに8つの16ビット・タイマを搭載しています。各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせで高度なタイマ機能として使用することもできます。

単体動作機能	連動動作機能
<ul style="list-style-type: none"> ・ インターバル・タイマ ・ 方形波出力 ・ 外部イベント・カウンタ ・ 分周器機能 (78K0R/KE3-Lのチャンネル0のみ) ・ 入力パルス間隔測定 ・ 入力信号のハイ/ロウ・レベル幅測定 	<ul style="list-style-type: none"> ・ PWM出力 ・ ワンショット・パルス出力 ・ 多重PWM出力

またチャンネル7は、シリアル・アレイ・ユニット1のUART3と連携し、LIN-bus受信処理を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネルで動作する機能

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です(詳細は6.6.1 **単体動作機能と連動動作機能の概要参照**)。

(1) インターバル・タイマ

一定間隔で割り込み (INTTM0n) を発生する基準タイマとして利用できます。

(2) 方形波出力

INTTM0nの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TO0n) より出力します。

(3) 外部イベント・カウンタ

タイマ入力端子 (TI0n) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。

備考 n : チャンネル番号 (n = 0-7)

ただし、タイマ入出力端子 (TI0n, TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

(4) 分周器機能 (78K0R/KE3-Lチャンネルのみ)

タイマ入力端子 (TI00) から入力されたクロックを、分周して出力端子 (TO00) より出力します。

(5) 入力パルス間隔測定

タイマ入力端子 (TI0n) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

備考 KE3-L : n = 0-4

KC3-L : n = 1-3

6.1.2 複数チャンネルで動作する機能

連動動作機能は、マスタ・チャンネル (主に周期を制御する基準タイマ) とスレーブ・チャンネル (マスタ・チャンネルに従い動作するタイマ) を組み合わせて実現する機能です (詳細は6.6.1 単体動作機能と連動動作機能の概要参照)。

(1) PWM (Pulse Width Modulator) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

(2) ワンショット・パルス出力

2チャンネルをセットで使用し、ディレイとパルス幅を任意に設定できるワンショット・パルスを生成します。

(3) 多重PWM (Pulse Width Modulator) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルとして使用することで、周期一定で任意のデューティのPWM信号を最大7種類生成することができます。

6.1.3 LIN-bus対応機能 (チャンネル7のみ)

(1) ウェイクアップ信号の検出

UART3のシリアル・データ入力端子 (RxD3) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) シンク・ブレイク・フィールドの検出

ウェイクアップ信号検出後、UART3のシリアル・データ入力端子 (RxD3) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、シンク・ブレイク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレイク・フィールド検出後、UART3のシリアル・データ入力端子 (RxD3) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタ0n (TCR0n)
レジスタ	タイマ・データ・レジスタ0n (TDR0n)
タイマ入力	78K0R/KC3-Lの場合：TI01-TI03端子，RxD3端子 (LIN-bus用) 78K0R/KE3-Lの場合：TI00-TI04端子，RxD3端子 (LIN-bus用)
タイマ出力	78K0R/KC3-Lの場合：TO01-TO03端子，出力制御回路 78K0R/KE3-Lの場合：TO00-TO04端子，出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタ0 (TPS0) ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0) ・タイマ・チャンネル開始レジスタ0 (TS0) ・タイマ・チャンネル停止レジスタ0 (TT0) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタ0 (TOE0) ・タイマ出力レジスタ0 (TO0) ・タイマ出力レベル・レジスタ0 (TOL0) ・タイマ出力モード・レジスタ0 (TOM0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ0n (TMR0n) ・タイマ・ステータス・レジスタ0n (TSR0n) ・入力切り替え制御レジスタ (ISC) (チャンネル7のみ) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ1, 3, 4, 5[※] (PM1, PM3, PM4, PM5[※]) ・ポート・レジスタ1, 3, 4, 5[※] (P1, P3, P4, P5[※])

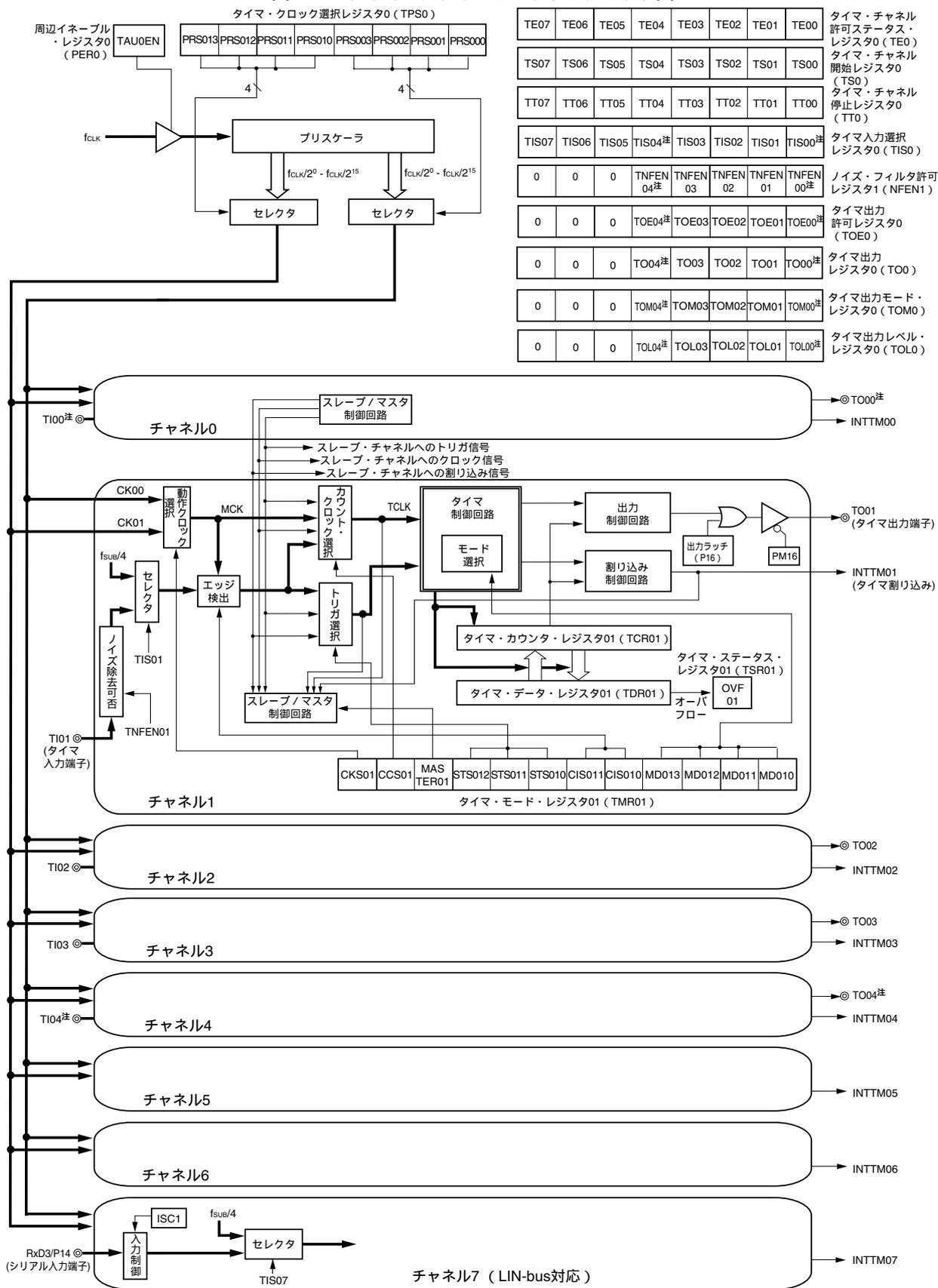
備考 n：チャンネル番号 (n=0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

タイマ・アレイ・ ユニット・チャンネル	各製品の入出力端子	
	KC3-L	KE3-L
チャンネル0	-	P00/TI00, P01/TO00
チャンネル1	P16/TI01/TO01	
チャンネル2	P17/TI02/TO02	
チャンネル3	P31/TI03/TO03	
チャンネル4	-	P42/TI04/TO04
チャンネル5	-	
チャンネル6	-	
チャンネル7	-	

図6-1にブロック図を示します。

図6-1 タイマ・アレイ・ユニットのブロック図



注 78K0R/KE3-Lのみ。

(1) タイマ・カウンタ・レジスタ0n (TCR0n)

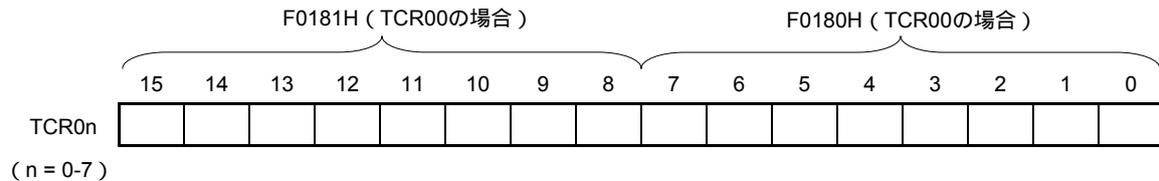
TCR0nは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、TMR0nのMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

図6-2 タイマ・カウンタ・レジスタ0n (TCR0n) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R



TCR0nをリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR0nをリードしても、TDR0nにはキャプチャしません。

TCR0nレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-2 各動作モード時のTCR0nレジスタ読み出し値

動作モード	カウント方式	TCR0nレジスタの読み出し値 ^注			
		リセット後に動作モード変更	カウント動作を一時停止 (TT0n = 1) 後、動作モード変更	カウント動作を一時停止 (TT0n = 1) 後、動作再開	ワンカウント後のスタート・トリガ待ち状態時
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	-
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	-
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	-
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDR0nレジスタのキャプチャ値 + 1

注 TE0n = 0でTS0n = 1にした時点の、TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

備考 n = 0-7

(2) タイマ・データ・レジスタ0n (TDR0n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、TMR0nのMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

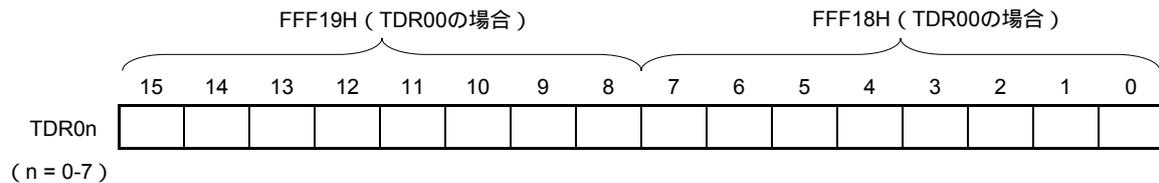
TDR0nは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-3 タイマ・データ・レジスタ0n (TDR0n) のフォーマット

アドレス：FFF18H, FFF19H (TDR00), FFF1AH, FFF1BH (TDR01), リセット時：0000H R/W
FFF64H, FFF65H (TDR02) - FFF6EH, FFF6FH (TDR07)

**(i) TDR0nをコンペア・レジスタとして使用するとき**

TDR0nに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTM0n) を発生します。TDR0nは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR0nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) TDR0nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TCR0nのカウント値をTDR0nにキャプチャします。

キャプチャ・トリガとして、TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、TMR0nで設定します。

備考 n：チャンネル番号 (n = 0-7)

ただし、タイマ入力端子 (TI0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・モード・レジスタ0n (TMR0n)
- ・タイマ・ステータス・レジスタ0n (TSR0n)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- ・タイマ・チャンネル開始レジスタ0 (TS0)
- ・タイマ・チャンネル停止レジスタ0 (TT0)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・レジスタ1, 3, 4, 5[※] (PM1, PM3, PM4, PM5[※])
- ・ポート・レジスタ1, 3, 4, 5[※] (P1, P3, P4, P5[※])

注 78K0R/KE3-Lのみ。

備考 n = 0-7

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用するときは、必ずビット0 (TAU0EN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAU0EN = 1の設定を行ってください。TAU0EN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・レジスタ1, 3, 4, 5[※] (PM1, PM3, PM4, PM5[※]), ポート・レジスタ1, 3, 4, 5[※] (P1, P3, P4, P5[※]) は除く)。

2. PER0レジスタのビット1, 6には必ず“0”を設定してください。

注 78K0R/KE3-Lのみ。

(2) タイマ・クロック選択レジスタ0 (TPS0)

TPS0は、各チャンネルに共通して供給される2種類の動作クロック (CK00, CK01) を選択する16ビット・レジスタです。TPS0の7-4ビットでCK01を、3-0ビットでCK00を選択します。

タイマ動作中のTPS0の書き換えは、次の場合のみ可能です。

PRS000-PRS003ビットの書き換え：

CKSn = 0に設定しているチャンネルがすべて動作停止状態 (TE0n = 0) の場合のみ可能

PRS010-PRS013ビットの書き換え：

CKSn = 1に設定しているチャンネルがすべて動作停止状態 (TE0n = 0) の場合のみ可能

TPS0は16ビット・メモリ操作命令で設定します。

またTPS0の下位8ビットは、TPS0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TPS0は0000Hになります。

図6-5 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット

アドレス：F01B6H, F01B7H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	0	0	0	0	0	0	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0m3	PRS 0m2	PRS 0m1	PRS 0m0	動作クロック (CK0m) の選択 ^注				
				f _{CLK} = 10 MHz	f _{CLK} = 12 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz	
0	0	0	0	f _{CLK}	10 MHz	12 MHz	16 MHz	20 MHz
0	0	0	1	f _{CLK} /2	5 MHz	6 MHz	8 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	2.5 MHz	3 MHz	4 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	1.25 MHz	1.5 MHz	2 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	625 kHz	750 kHz	1 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	312.5 kHz	375 kHz	500 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	156.2 kHz	187.5 kHz	250 kHz	312.5 kHz
0	1	1	1	f _{CLK} /2 ⁷	78.1 kHz	93.7 kHz	125 kHz	156.2 kHz
1	0	0	0	f _{CLK} /2 ⁸	39.1 kHz	46.8 kHz	62.5 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	19.5 kHz	23.4 kHz	31.2 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	9.76 kHz	11.7 kHz	15.6 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	4.88 kHz	5.85 kHz	7.81 kHz	9.76 kHz
1	1	0	0	f _{CLK} /2 ¹²	2.44 kHz	2.92 kHz	3.91 kHz	4.88 kHz
1	1	0	1	f _{CLK} /2 ¹³	1.22 kHz	1.46 kHz	1.95 kHz	2.44 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	610 Hz	732 Hz	976 Hz	1.22 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	305 Hz	366 Hz	488 Hz	610 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。

注意 ビット15-8には、必ず0を設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. m = 0, 1 n = 0-7

(3) タイマ・モード・レジスタ0n (TMR0n)

TMR0nは、チャンネルnの動作モード設定レジスタです。動作クロック (MCK) の選択, カウント・クロックの選択, マスタ/スレーブの選択, スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワン・カウント, キャプチャ&ワン・カウント) 設定を行います。

TMR0nは、動作中 (TE0 = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS0n1, CIS0n0) は、一部の機能で動作中 (TE0 = 1のとき) の書き換えが可能です (詳細は6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作, 6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を参照)。

TMR0nは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図6-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS 0n	チャンネルnの動作クロック (MCK) の選択
0	TPS0レジスタで設定した動作クロックCK00
1	TPS0レジスタで設定した動作クロックCK01
動作クロックMCKは、エッジ検出回路に使用されます。また、CCS0nビットの設定によりカウント・クロック (TCLK) を生成します。	

CCS 0n	チャンネルnのカウント・クロック (TCLK) の選択
0	CKS0nビットで指定した動作クロックMCK
1	TI0n端子からの入力信号の有効エッジ/サブシステム・クロックの4分周 ($f_{SUB}/4$)
カウント・クロック (TCLK) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

MAS TER 0n	チャンネルnの単体動作機能, 連動動作機能のスレーブ/連動動作機能のマスタの選択
0	単体動作機能, または連動動作機能でスレーブ・チャンネルとして動作
1	連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTER0n = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTER0n = 0) で使用してください。 また、単体動作機能として使用するチャンネルは、MASTER0n = 0 にします。	

注意 ビット14, 13, 5, 4には、必ず0を設定してください。

備考 n : チャンネル番号 (n = 0-7)

ただし、タイマ入力端子 (TI0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

図6-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (2/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

STS 0n2	STS 0n1	STS 0n0	チャンネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	TIO _n 端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	TIO _n 端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS 0n1	CIS 0n0	TIO _n 端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がりエッジ
STS0n2-STS0n0ビット = 010B時以外で両エッジ指定を使用する場合は, CIS0n1-CIS0n0ビット = 10Bに設定してください。		

備考 n : チャンネル番号 (n = 0-7)

ただし, タイマ入力端子 (TIO_n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

図6-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (3/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	MD 0n0	チャンネルnの動作モードの設定	TCRのカウンタ動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウンタ	可
0	1	0	1/0	キャプチャ・モード	アップ・カウンタ	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウンタ	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウンタ	不可
1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウンタ	可
上記以外				設定禁止		

MD0n0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード (MD0n3-MD0n1で設定(上表参照))	MD 0n0	カウンタ・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード (1, 0, 0)	0	カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする ^注 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

- 注1. ワンカウント・モードでは、カウンタ動作開始時の割り込み出力 (INTTM0n), TO0n出力は制御しません。
2. 動作中にスタート・トリガ (TS0n = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 n = 0-7

(4) タイマ・ステータス・レジスタ0n (TSR0n)

TSR0nは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSR0nは、キャプチャ・モード (MD0n3-MD0n1 = 010B) とキャプチャ&ワンカウント・モード (MD0n3-MD0n1 = 110B) のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表6-3を参照してください。

TSR0nは、16ビット・メモリ操作命令で読み出します。

またTSR0nの下位8ビットは、TSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSR0nは0000Hになります。

図6-7 タイマ・ステータス・レジスタ0n (TSR0n) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

表6-3 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVF	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア セット	(使用不可, セット/クリアされない)

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ0 (TE0)

TE0は、各チャンネルのタイマ動作許可 / 停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタ0 (TS0) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタ0 (TT0) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0は、16ビット・メモリ操作命令で読み出します。

またTE0の下位8ビットは、TE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE0は0000Hになります。

図6-8 タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	0	0	0	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

TE0n	チャンネルnの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

備考 n = 0-7

(6) タイマ・チャンネル開始レジスタ0 (TS0)

TS0は、タイマ・カウンタ (TCR0n) をクリアし、カウント動作の開始を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (TS0n) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビット (TE0n) が1にセットされます。TS0nはトリガ・ビットなので、TE0n = 1になるとすぐTS0nはクリアされます。

TS0は、16ビット・メモリ操作命令で設定します。

またTS0の低位8ビットは、TS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TS0は0000Hになります。

図6-9 タイマ・チャンネル開始レジスタ0 (TS0) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	0	0	0	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

TS0n	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TE0nを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nのカウント動作開始は、各動作モードにより異なります (表6-4参照)。

注意 ビット15-8には、必ず0を設定してください。

備考1. TS0レジスタの読み出し値は常に0となります。

2. n = 0-7

表6-4 カウント動作許可状態からTCR0nのカウント・スタートまでの動作 (1/2)

タイマの動作モード	TS0n = 1セット時の動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nの値をTCR0nにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.3(6)(a) インターバル・タイマ・モード時のスタート・タイミング 参照)。
・イベント・カウンタ・モード	TS0nビットに1を書き込みにより、TDR0nの値をTCR0nにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMR0nレジスタのSTS0n2-STS0n0ビットで選択した外部トリガ検出では、カウント動作を開始しません (6.3(6)(b) イベント・カウンタ・モード時のスタート・タイミング 参照)。
・キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.3(6)(c) キャプチャ・モード時のスタート・タイミング 参照)。

表6 - 4 カウント動作許可状態からTCR0nのカウント・スタートまでの動作 (2/2)

タイマの動作モード	TS0n = 1セット時の動作
・ワンカウント・モード	TE0n = 0の状態、TS0nビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nの値をTCR0nにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.3 (6) (d) ワンカウント・モード時のスタート・タイミング参照)。
・キャプチャ&ワンカウント・モード	TE0n = 0の状態、TS0nビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.3 (6) (e) キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。

(a) インターバル・タイマ・モード時のスタート・タイミング

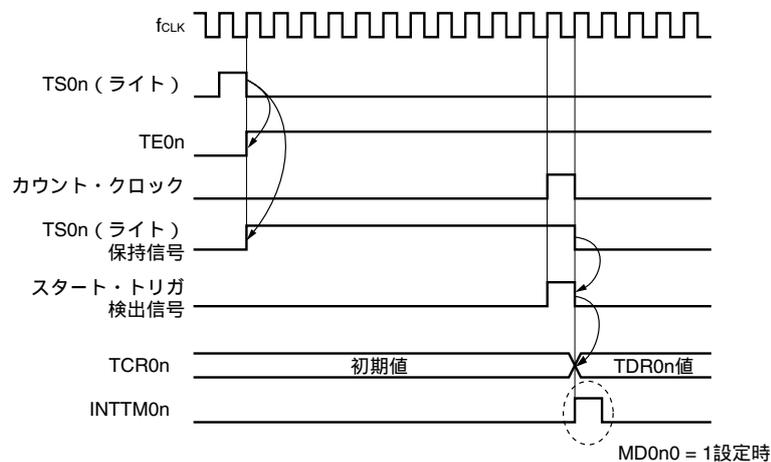
TS0nへ1を書き込むことにより、TE0n = 1となります。

TS0nへの書き込み情報はカウント・クロック発生まで保持されます。

TCR0nは、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、「TDR0n値」をTCR0nにロードし、カウントを開始します。

図6 - 10 スタート・タイミング (インターバル・タイマ・モード時)



注意 カウント・クロックの1周期目の動作はTS0n書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

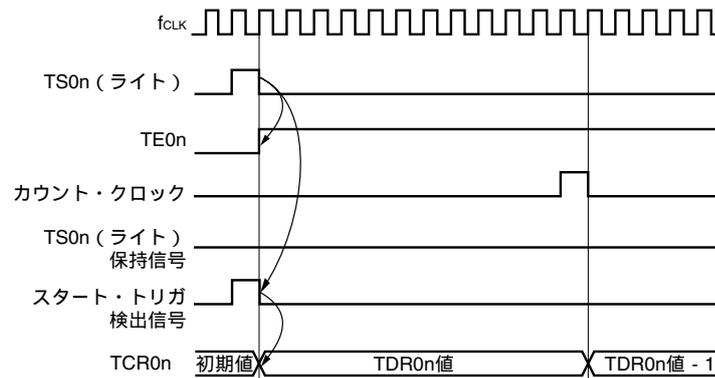
TE0n = 0期間TCR0nは、初期値を保持します。

TS0nへ1を書き込むことにより、TE0n = 1となります。

TS0n = 1 TE0n = 1と同時に、TCR0nに「TDR0n値」をロードし、カウントを開始します。

以降はカウント・クロックに従い、TCR0nの値をダウン・カウントします。

図6-11 スタート・タイミング (イベント・カウンタ・モード時)



(c) キャプチャ・モード時のスタート・タイミング

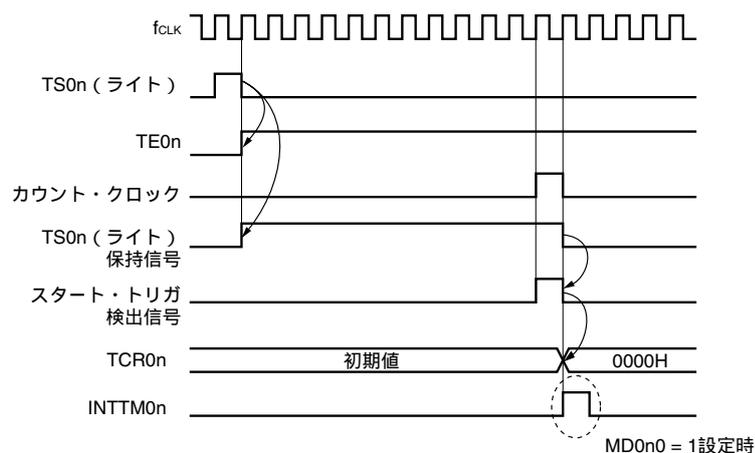
TS0nへ1を書き込むことにより、TE0n = 1となります。

TS0nへの書き込み情報はカウント・クロック発生まで保持されます。

TCR0nは、カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により、0000HをTCR0nにロードし、カウントを開始します。

図6-12 スタート・タイミング (キャプチャ・モード時)



注意 カウント・クロックの1周期目の動作はTS0n書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

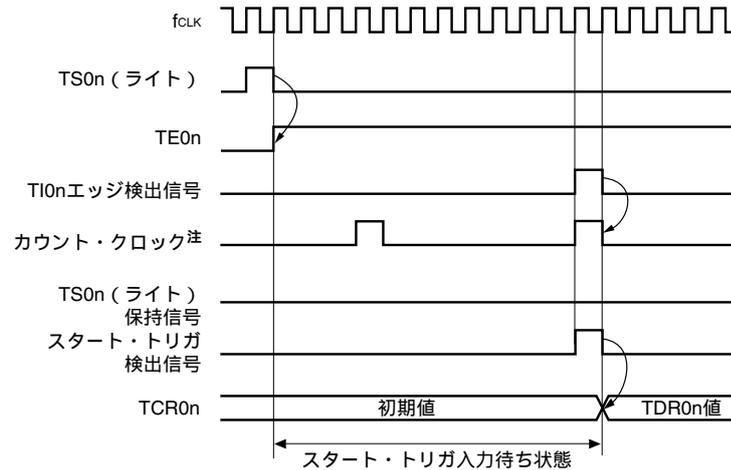
(d) ワンカウント・モード時のスタート・タイミング

TS0nへ1を書き込むことにより、TE0n = 1となります。

スタート・トリガ入力待ち状態となり、TCR0nは初期値を保持します。

スタート・トリガ検出により、「TDR0n値」をTCR0nにロードしカウントを開始します。

図6 - 13 スタート・タイミング (ワンカウント・モード時)



注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (MCK) が選択されま
ず (CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します
(TI0nを使用する場合、カウント・クロック1クロック分の誤差となります)。

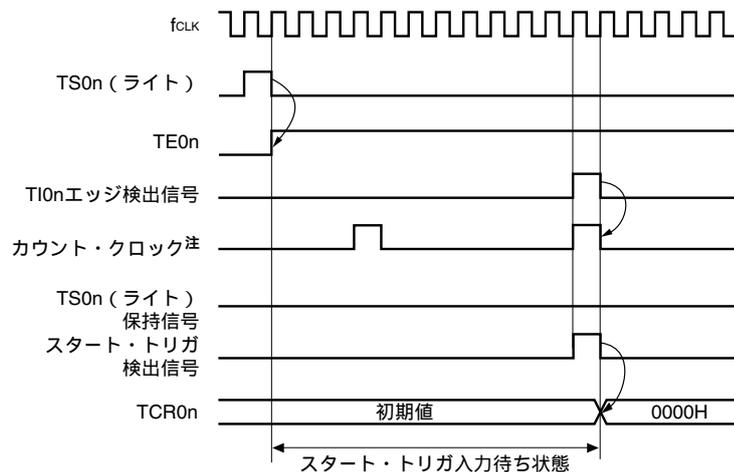
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

TS0nへ1を書き込むことにより、TE0n = 1となります。

スタート・トリガ入力待ち状態となり、TCR0nは初期値を保持します。

スタート・トリガ検出により、0000HをTCR0nにロードしカウントを開始します。

図6 - 14 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (MCK) が選択されます (CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (Tl0nを使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタ0 (TT0)

TT0は、タイマ・カウンタ (TCR0n) をクリアし、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TT0n) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビット (TE0n) が0にクリアされます。TT0nはトリガ・ビットなので、TE0n = 0になるとすぐTT0nはクリアされます。

TT0は、16ビット・メモリ操作命令で設定します。

またTT0の下位8ビットは、TT0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TT0は0000Hになります。

図6 - 15 タイマ・チャンネル停止レジスタ0 (TT0) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	0	0	0	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TT0n	チャンネルnの動作停止トリガ	
0	トリガ動作しない	
1	動作停止 (停止トリガ発生)	

注意 ビット15-8には、必ず0を設定してください。

備考1. TT0レジスタの読み出し値は常に0となります。

2. n = 0-7

(8) タイマ入力選択レジスタ0 (TIS0)

TIS0は、タイマ入力端子 (TI0n) の入力信号か、サブシステム・クロックの4分周 ($f_{SUB}/4$) か、どちらを有効にするかを各チャンネルごとに選択するレジスタです。

TIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 16 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : FFF3EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04 ^註	TIS03	TIS02	TIS01	TIS00 ^註

TIS0n	チャンネルnで使用するタイマ入力/サブシステム・クロックの選択
0	タイマ入力端子 (TI0n) の入力信号 (チャンネル5, 6 (78K0R/KC3-Lの場合, チャンネル0, 4-6) にはタイマ入力端子がないため, タイマ入力はサブシステム・クロックの4分周 ($f_{SUB}/4$) しか使用できません。タイマ入力を使用しない場合は, TIS05, TIS06 (78K0R/KC3-Lの場合, TIS0, TIS04-TIS06) ビットに0を設定してください。チャンネル7の場合は, RxD3端子の入力信号をタイマ入力とすることができます (ISCレジスタのISC1 = 1))。
1	サブシステム・クロックの4分周 ($f_{SUB}/4$)

注 78K0R/KE3-Lのみ。

備考 n : チャンネル番号 (n = 0-4)

ただし, タイマ入力端子 (TI0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

(9) タイマ出力許可レジスタ0 (TOE0)

TOE0は、各チャンネルのタイマ出力許可/禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ (TO0) のTO0nの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0は、16ビット・メモリ操作命令で設定します。

またTOE0の下位8ビットは、TOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOE0は0000Hになります。

図6 - 17 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	0	0	0	TOE04 ^注	TOE03	TOE02	TOE01	TOE00 ^注

TOE0n	チャンネルnのタイマ出力許可/禁止
0	カウント動作によるTO0n (タイマ・チャンネル出力ビット) の動作停止。 TO0nビットへの書き込みが可能。 TO0n端子がデータ出力機能となり、TO0nビットに設定したレベルがTO0n端子から出力される。 TO0n端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTO0n (タイマ・チャンネル出力ビット) の動作許可。 TO0nへの書き込み不可 (書き込みが無視される)。 TO0n端子がタイマ出力機能となり、タイマの動作によりセット/リセットされる。 TO0n端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注 78K0R/KE3-Lのみ。

注意 ビット15-5 (78K0R/KC3-Lの場合は、ビット15-4, 0) には、必ず0を設定してください。

備考 n : チャンネル番号 (n = 0-4)

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

(10) タイマ出力レジスタ0 (TO0)

TO0は、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TO0n) から出力されます。

このレジスタのTO0nのソフトウェアによる書き換えは、タイマ出力禁止時 (TOE0n = 0) のみ可能です。タイマ出力許可時 (TOE0n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P52/TO00[※], P16/TO01, P17/TO02, P31/TO03, P42/TO04[※]端子をポート機能として使用する場合は、該当するTO0nビットに“0”を設定してください。

TO0は、16ビット・メモリ操作命令で設定します。

またTO0の下位8ビットは、TO0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TO0は0000Hになります。

図6 - 18 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	0	0	0	TO0 4 [※]	TO0 3	TO0 2	TO0 1	TO0 0 [※]

TO0 n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注 78K0R/KE3-Lのみ。

注意 ビット15-5 (78K0R/KC3-Lの場合は、ビット15-4, 0) には、必ず0を設定してください。

備考 n : チャンネル番号 (n = 0-4)

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

(11) タイマ出力レベル・レジスタ0 (TOL0)

TOL0は、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOE0n = 1)、連動動作モード (TOM0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。トグル・モード (TOM0n = 0) 時には、このレジスタの設定は無効となります。

TOL0は、16ビット・メモリ操作命令で設定します。

またTOL0の下位8ビットは、TOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL0は0000Hになります。

図6 - 19 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	0	0	0	TOL 04 ^注	TOL 03	TOL 02	TOL 01	TOL 00 ^注

TOL 0n	チャンネルnのタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ)
1	反転出力 (アクティブ・ロウ)

注 78K0R/KE3-Lのみ。

注意 ビット15-5 (78K0R/KC3-Lの場合は、ビット15-4, 0) には、必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。

2. n = 0-4

(12) タイマ出力モード・レジスタ0 (TOM0)

TOM0は、各チャンネルのタイマ出力モードを制御するレジスタです。

単体動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

連動動作機能 (PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOE0n = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOM0は、16ビット・メモリ操作命令で設定します。

またTOM0の下位8ビットは、TOM0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM0は0000Hになります。

図6 - 20 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	0	0	0	TOM04 ^注	TOM03	TOM02	TOM01	TOM00 ^注

TOM0n	チャンネルnのタイマ出力モードの制御
0	トグル・モード (タイマ割り込み要求信号 (INTTM0n) によりトグル出力を行う)
1	連動動作モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTM0n) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTM0m) で出力がリセットされる)

注 78K0R/KE3-Lのみ。

注意 ビット15-5 (78K0R/KC3-Lの場合は、ビット15-4, 0) には、必ず0を設定してください。

備考 n : チャンネル番号, m : スレーブ・チャンネル番号
 n = 0-4 (マスタ・チャンネル時 : n = 0, 2)
 n < m 4 (ただしmは, n以降の連続した整数)

(13) 入力切り替え制御レジスタ (ISC)

ISCは、チャンネル7をシリアル・アレイ・ユニット1と提携してLIN-bus通信動作を実現するときを使用します。

ビット1に1を設定すると、シリアル・データ入力端子 (RxD3) の入力信号がタイマ入力として選択されます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 21 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	タイマ・アレイ・ユニットのチャンネル7の入力を使用しない。
1	RxD3端子の入力信号をタイマ入力とする (シンク・ブレイク・フィールドとシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2には、必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD3端子の入力信号を選択しておいてください。

(14) ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1は、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否を各チャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU / 周辺動作クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU / 周辺動作クロック (f_{CLK}) で同期化だけ行います。

NFEN1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-22 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	TNFEN04 ^注	TNFEN03	TNFEN02	TNFEN01	TNFEN00 ^注

TNFEN04 ^注	TI04/TO04/P42端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03/TO03/INTP4/P31端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02/TO02/P17端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01/TO01/INTP5/P16端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00 ^注	TI00/P53端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注 78K0R/KE3-Lのみ。

(15) ポート・モード・レジスタ1, 3, 4, 5^注 (PM1, PM3, PM4, PM5^注)

ポート1, 3, 4, 5^注の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P52/TO00, P17/TO02/TI02など) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P10/TO02/TI02をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM10ビットを0に設定

ポート・レジスタ1のP10ビットを0に設定

タイマ出力端子を兼用するポート (P53/TI00, P10/TO02/TI02など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

例) P10/TO02/TI02をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM10ビットを1に設定

ポート・レジスタ1のP10ビットを0または1に設定

PM1, PM3, PM4, PM5^注は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

注 78K0R/KE3-Lのみ。

図6-23 ポート・モード・レジスタ1, 3, 4, 5 (PM1, PM3, PM4, PM5) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	0

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	0	0	1	0	PM43	PM42	PM41	PM40

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	1	1	0	0	PM53	PM52	PM51	PM50

PMmn	Pmn端子の入出力モードの選択 (m = 1, 3, 4, 5 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

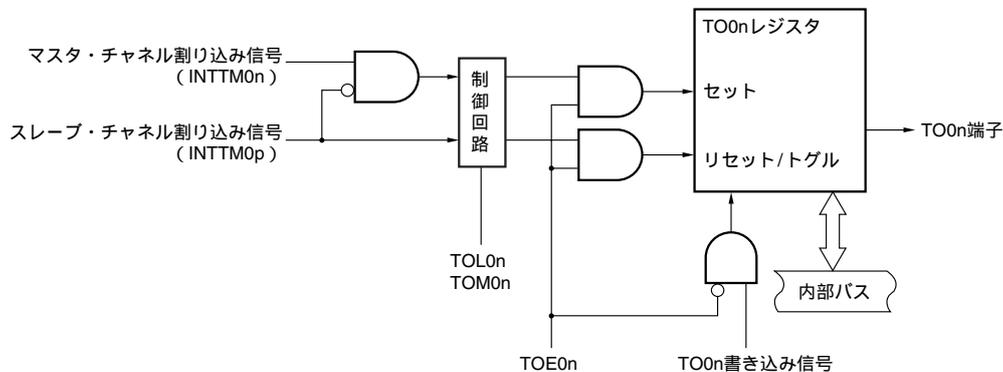
- 注意1. PM3のビット0, PM4のビット4, 6, 7, PM5のビット4, 5には必ず0を設定してください。リセットにより初期値に戻った場合も、再度必ず0を設定してください。
2. PM3のビット2-7, PM4のビット5, PM5のビット6, 7には必ず1を設定してください。

備考 上記は、78K0R/KE3-Lのポート・モード・レジスタ1, 3, 4, 5のフォーマットです。他の製品のポート・モード・レジスタについては、4.3(1)ポート・モード・レジスタ (PMxx) を参照してください。

6.4 チャンネル出力 (TO0n端子) の制御

6.4.1 TO0n端子の出力回路の構成

図6 - 24 出力回路構成図



TO0n端子の出力回路の説明を次に示します。

TOM0n = 0 (トグル・モード) のときは、TOL0nレジスタの設定値は無視され、INTTM0p (スレーブ・チャンネル・タイマ割り込み) のみがTO0nレジスタに伝えられます。

TOM0n = 1 (連動動作モード) のときは、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) がTO0nレジスタに伝えられます。

このとき、TOL0nレジスタが有効となり、次のように信号を制御します。

TOL0n = 0 の場合 : 正転動作 (INTTM0n セット, INTTM0p リセット)

TOL0n = 1 の場合 : 反転動作 (INTTM0n リセット, INTTM0p セット)

また、INTTM0nとINTTM0pが同時に発生した場合 (PWM出力の0%出力時) は、INTTM0p (リセット信号) が優先され、INTTM0n (セット信号) はマスクされます。

TOE0n = 1 で、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) がTO0nに伝えられます。TO0nレジスタへの書き込み (TO0nライト信号) は無効となります。

また、TOE0n = 1 のとき、割り込み信号以外でTO0n端子の出力が変化することはありません。

TO0n端子の出力レベルを初期化する場合は、TOE0n = 0 に設定しTO0nに値を書き込む必要があります。

TOE0n = 0 で、対象チャンネルのTO0nビットへの書き込み (TO0nライト信号) が有効となります。

TOE0n = 0 のとき、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) はTO0nに伝えられません。

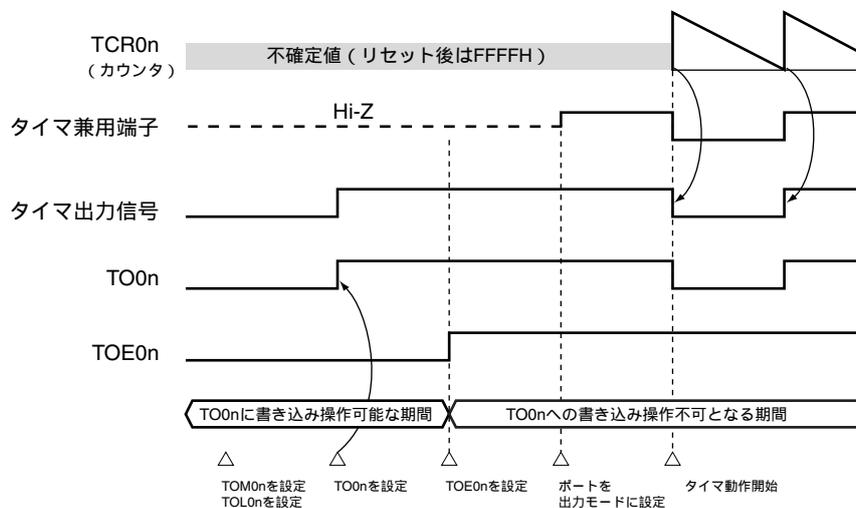
TO0nレジスタは常に読み出し可能であり、TO0n端子の出力レベルを確認することができます。

- 備考1.** n = 0-4 (ただし、マスタ・チャンネルの場合n = 0, 2)
2. タイマ出力端子 (TO0n) の場合nは次のようになります。
KE3-L : n = 0-4, KC3-L : n = 1-3
 3. p = n+1, n+2, n+3 ... (ただしp 4とする)

6.4.2 TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 25 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定します。

- ・TOM0nビット (0: トグル・モード, 1: 連動動作モード)
- ・TOL0nビット (0: 正転出力, 1: 反転出力)

TO0nを設定することにより、タイマ出力信号が初期状態に設定されます。

TOE0nに1を書き込み、タイマ出力動作を許可します (TO0nへの書き込みは不可となります)。

ポートの入出力設定を出力に設定します (6.3 (15) ポート・モード・レジスタ1, 3, 4, 5参照)。

タイマを動作許可にします (TS0n = 1)。

備考 n = 0-4

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

6.4.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTO0,TOE0,TOL0,TOM0レジスタの設定値変更について

タイマ動作(TCR0n,TDR0nの動作)は,TO0n出力回路とは独立しています。よって,TO0, TOE0, TOL0, TOM0の設定値変更はタイマ動作に影響しないため,タイマ動作中に設定値の変更が可能です。ただし,各タイマ動作において期待する波形をTO0n端子から出力するためには,各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み(INTTM0n)近辺で,TO0を除くTOE0, TOL0, TOM0の設定値変更を行うと,タイマ割り込み(INTTM0n)信号発生タイミング直前に設定値変更が実施された場合と,タイマ割り込み(INTTM0n)信号発生タイミング直後に設定値変更が実施された場合とでは,TO0n端子に異なる波形が出力される場合があります。

備考 n = 0-7

ただし,タイマ出力端子(TO0n)の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

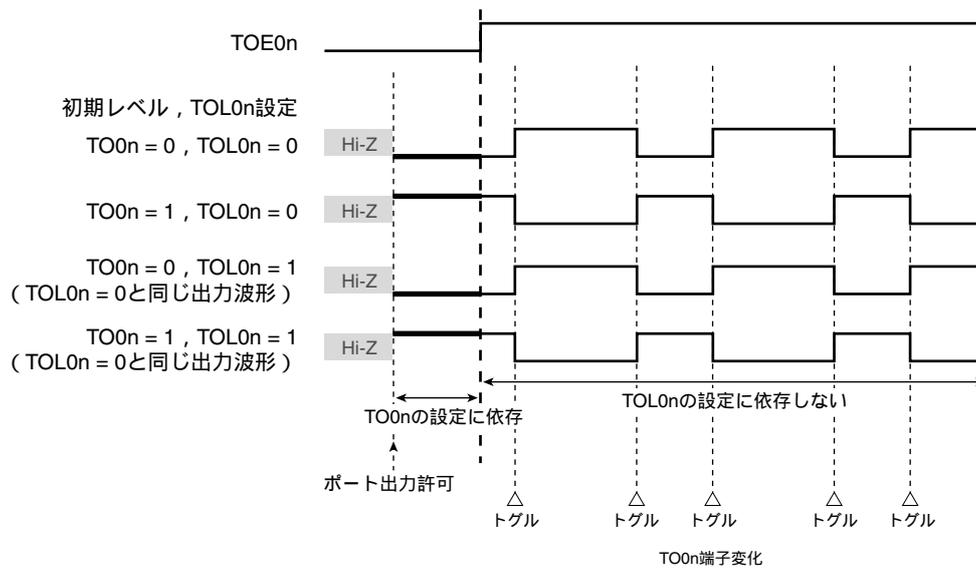
(2) TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、TOE0n = 0の状態ではTO0nに書き込みを行い、初期レベル変更後TOE0n = 1に設定した場合のTO0n端子出力レベルの変化を次に示します。

(a) TOM0n = 0設定で動作を開始した場合（トグル出力）

TOM0n = 0の時、TOL0nの設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTO0n端子の出力レベルを反転します。

図6 - 26 トグル出力時 (TOM0n = 0) のTO0n端子出力状態



備考1. トグル：TO0n端子の出力状態を反転

2. n = 0-4

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

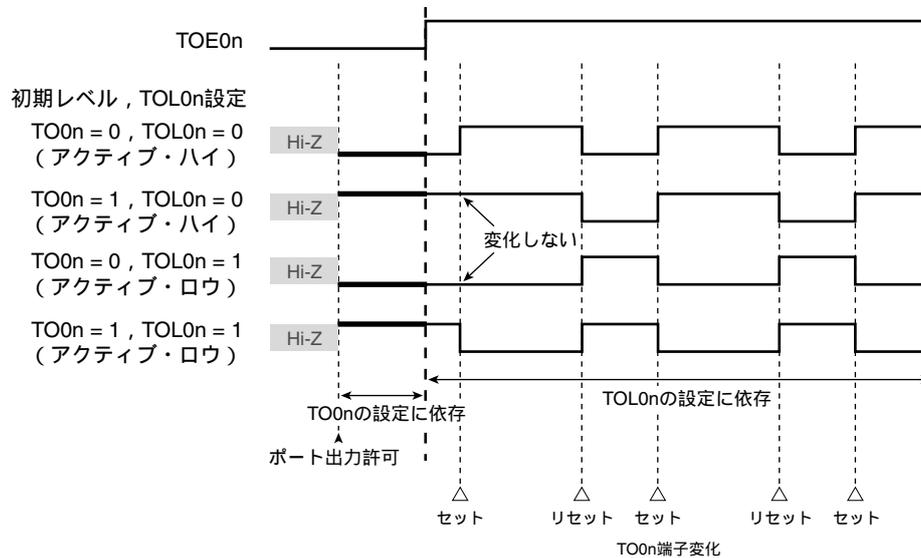
KE3-L : n = 0-4

KC3-L : n = 1-3

(b) TOM0n = 1設定で動作を開始した場合 (連動動作モード (PWM出力))

TOM0n = 1の時、TOL0nの設定によりアクティブ・レベルを決定します。

図6 - 27 PWM出力時 (TOM0n = 1) のTO0n端子出力状態



備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

2. n = 0-4

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

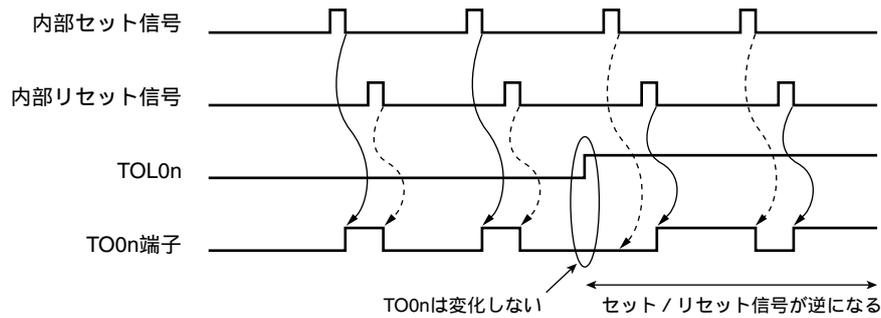
(3) TO0n端子の連動動作モード (TOM0n = 1) での動作について

(a) タイマ動作中にTOL0nの設定を変更した場合

タイマ動作中にTOL0nの設定を変更した場合、設定が有効となるのはTO0n変化条件の発生タイミングです。TOL0nの書き換えでは、TO0nの出力レベルは変化しません。

タイマ動作中 (TOM0n = 1) にTOL0nの値を変更した場合の動作を次に示します。

図6 - 28 タイマ動作中にTOL0nを変更した場合の動作



備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

2. n = 0-4

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

(b) セット/リセット・タイミング

PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTM0n) 発生時のTO0n端子/TO0nセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

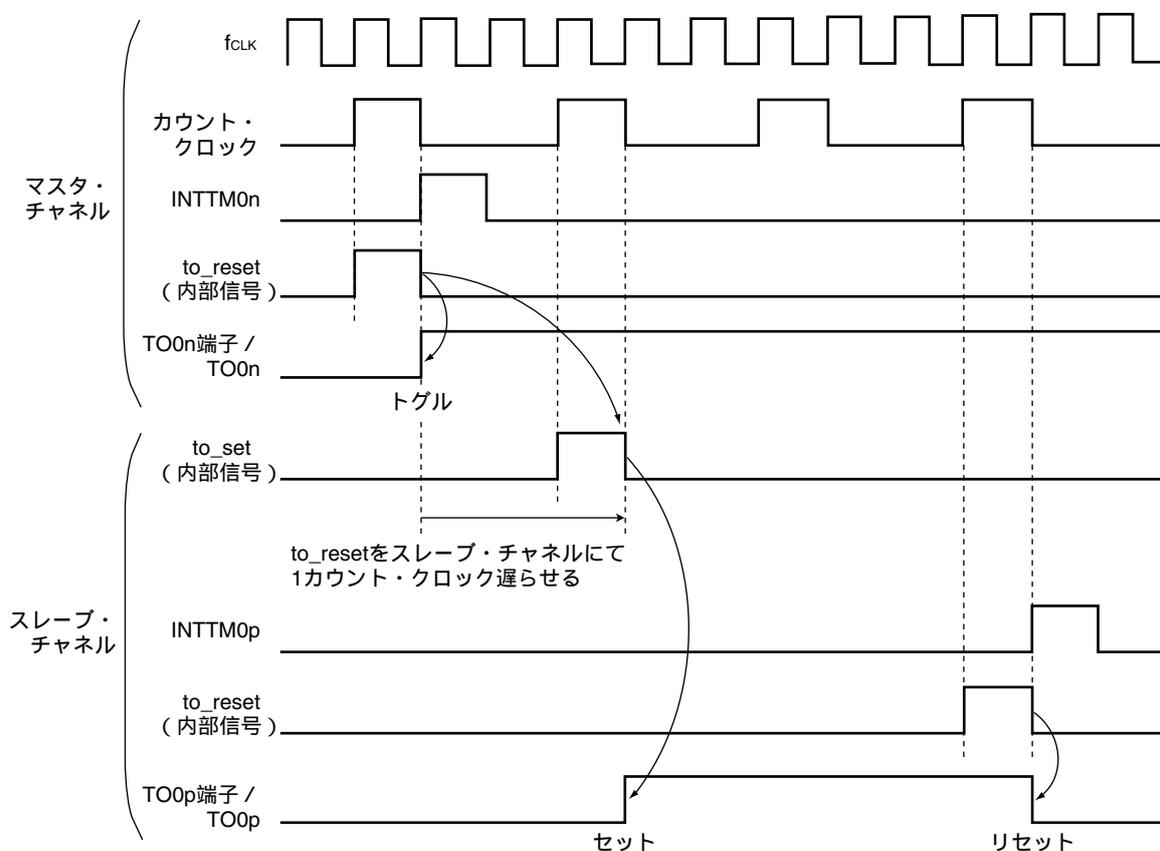
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6-29に示します。

マスタ・チャンネル : TOE0n = 1, TOM0n = 0, TOL0n = 0

スレーブ・チャンネル : TOE0p = 1, TOM0p = 1, TOL0p = 0

図6-29 セット/リセット・タイミング動作状態



- 備考1.** to_reset : TO0n端子のリセット/トグル信号
to_set : TO0n端子のセット信号
- n = 0-4 (ただし、マスタ・チャンネルの場合n = 0, 2)
 - タイマ出力端子 (TO0n) の場合nは次のようになります。
KE3-L : n = 0-4
KC3-L : n = 1-3
 - p = n+1, n+2, n+3 ...
(ただしp 4とする)

6.4.4 TO0nビットの一括操作

TO0レジスタには、TS0レジスタ（チャンネル・スタート・トリガ）と同様に、1レジスタに全チャンネル分の設定ビット（TO0n）が配置されています。よって、全チャンネルのTO0nを一括で操作することが可能です。また、操作対象としたいTO0n（チャンネル出力）に該当するTOE0n = 0とすることによって任意のビットのみ操作することが可能です。

図6-30 TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	0	0	0	TO04	TO03	TO02	TO01	TO00
												0	0	0	1	0
TOE0	0	0	0	0	0	0	0	0	0	0	0	TOE04	TOE03	TOE02	TOE01	TOE00
												0	0	0	1	1

書き込みデータ

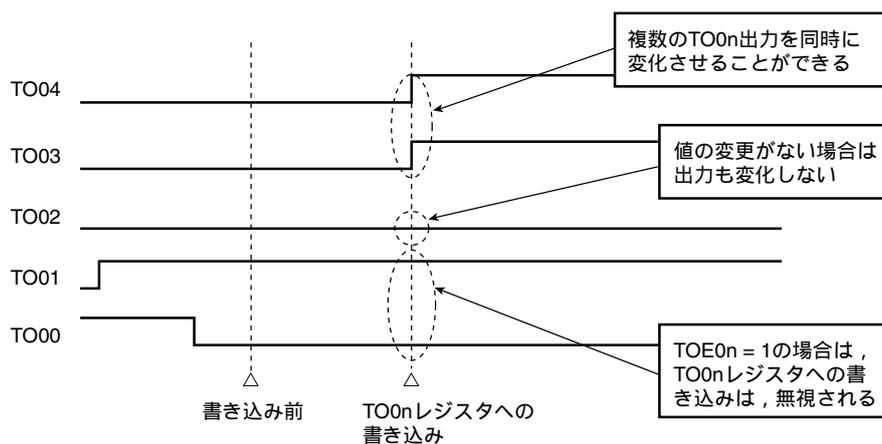
0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

書き込み後

TO0	0	0	0	0	0	0	0	0	0	0	0	TO04	TO03	TO02	TO01	TO00
												1	1	0	1	0

TOE0n = 0のTO0nビットのみ書き込みが行われます。TOE0n = 1のTO0nビットへの書き込みは無視されます。TOE0n = 1に設定されているTO0n（チャンネル出力）は、書き込み操作による影響は受けません。TO0nに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6-31 TO0nビットの一括操作によるTO0nの端子状態



注意 TOE0n = 1の場合に、各チャンネルのタイマ割り込み（INTTM0n）による出力とTO0nへの書き込みが競合しても、TO0n端子は正常に出力動作が行われます。

備考 n = 0-7

ただし、タイマ出力端子（TO0n）の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

6.4.5 カウント動作開始時のタイマ割り込みとTO0n端子出力について

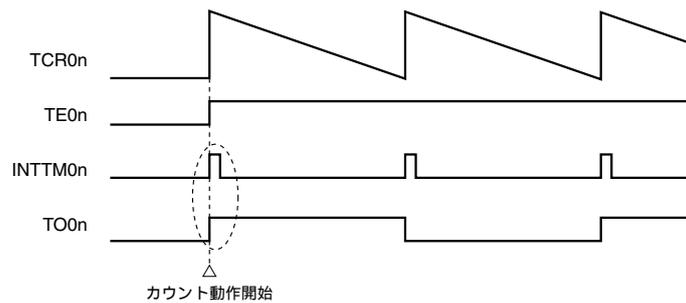
インターバル・タイマ・モード/キャプチャ・モードの場合、TMR0nレジスタのMD0n0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MD0n0 = 1に設定することで、タイマ割り込み (INTTM0n) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TO0n出力は制御しません。

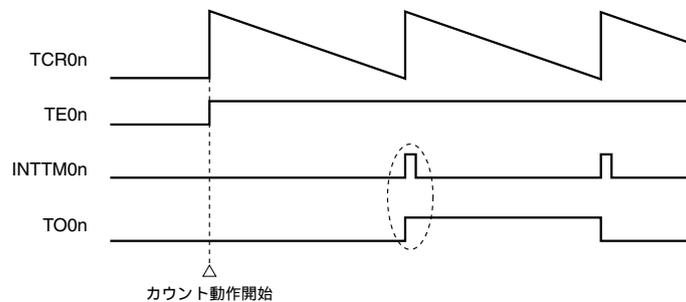
インターバル・タイマ・モード (TOE0n = 1, TOM0n = 0) に設定した場合の動作例を次に示します。

図6 - 32 MD0n0 = 1に設定した場合



MD0n0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTM0n) が出力され、TO0nがトグル動作します。

図6 - 33 MD0n0 = 0に設定した場合



MD0n0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTM0n) を出力しません。TO0nも変化しません。1周期をカウント後、INTTM0nを出力し、TO0nがトグル動作します。

備考 n = 0-7

ただし、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

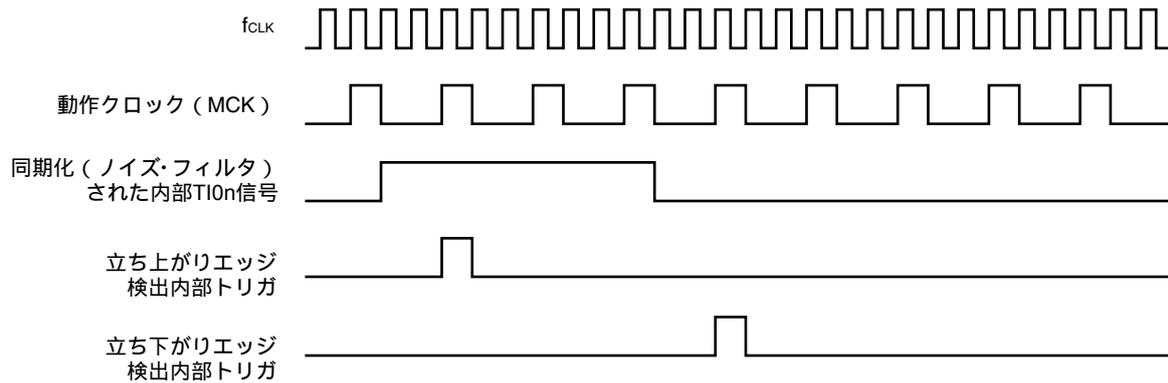
6.5 チャンネル入力 (TI0n端子) の制御

6.5.1 TI0nエッジ検出回路

(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック (MCK) に合わせて行われます。

図6-34 エッジ検出基本動作タイミング



備考 n = 0-4

ただし、タイマ入力端子 (TI0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

6.6 タイマ・アレイ・ユニットの基本機能説明

6.6.1 単体動作機能と連動動作機能の概要

タイマ・アレイ・ユニット（以下、TAUと略します）は複数のチャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、いくつかのチャンネルを組み合わせる連動動作機能があります。

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です。

連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

6.6.2 連動動作機能の基本ルール

次に連動動作機能の基本的なルールを示します。

(1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。

(2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。

(3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）がスレーブ・チャンネルに設定できます。

(4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。

(5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。

(6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSビット（TMR0nレジスタのビット15）が同じ設定値になっている必要があります。

(7) マスタ・チャンネルはINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。

(8) スレーブ・チャンネルはマスタ・チャンネルのINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できますが、下位チャンネルに自身のINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。

(9) マスタ・チャンネルは、他のマスタ・チャンネルからのINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できません。

(10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのTS0nビットを同時に設定する必要があります。

(11) カウント動作中のTS0nビットの設定は、連動させるすべてのチャンネル、またはマスタ・チャンネルのみ設定できます。スレーブ・チャンネルのTS0nのみの設定では使用できません。

(12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのTT0nビットを同時に設定する必要があります。

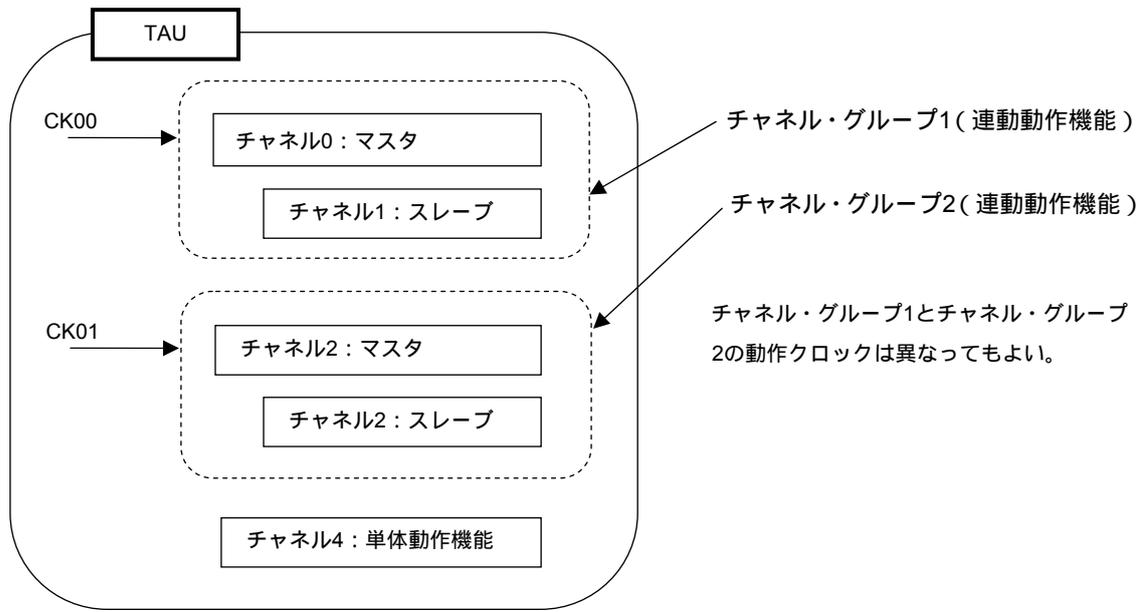
備考 n = 0-7

6.6.3 連動動作機能の基本ルール適用範囲

連動動作機能のルールは、チャンネル・グループ(1つの連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には6.6.2 連動動作機能の基本ルールのルールは適用されません。

例



6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作

6.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTM0n (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM0n (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

カウント・クロックには、CK00, CK01のほかにサブシステム・クロックの4分周 ($f_{\text{SUB}}/4$) の選択ができます。これにより、 f_{CLK} の周波数 (メイン・システムクロック, サブシステム・クロック) に関係なく、カウント・クロックを $f_{\text{SUB}}/4$ 固定でインターバル・タイマ動作が可能です。ただし、 f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニット (TAU) を停止 (TT0 = 00FFH) させてから変更してください。

(2) 方形波出力としての動作

TO0nは、INTTM0n発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TO0n出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TO0nからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR0nの設定値} + 1) \times 2$$

$$\cdot \text{TO0nからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDR0nの設定値} + 1) \times 2 \}$$

TCR0nはインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (TS0n) に1を設定後、最初のカウント・クロックでTCR0nはTDR0nの値をロードします。このときTMR0nのMD0n0 = 0ならば、INTTM0nを出力せず、TO0nはトグルしません。TMR0nのMD0n0 = 1ならば、INTTM0nを出力して、TO0nをトグルします。

その後、TCR0nはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n = 0000Hとなったら、次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また、同タイミングで再びTCR0nはTDR0nの値をロードします。以降、同様の動作を続けます。

TDR0nは任意のタイミングで書き換えることができます。書き換えたTDR0nの値は、次の周期から有効となります。

備考1. n = 0-7

ただし、方形波出力動作、タイマ出力端子 (TO0n) の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック発振周波数

図6 - 35 インターバル・タイマ/方形波出力としての動作のブロック図

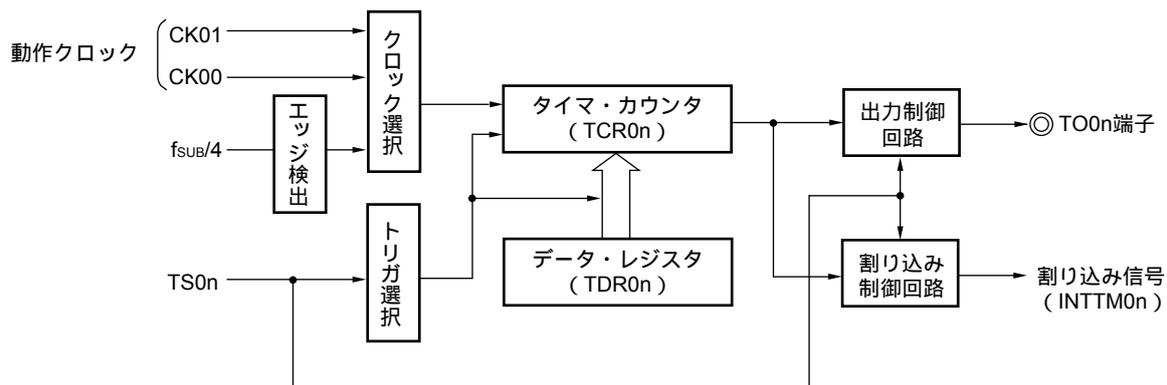
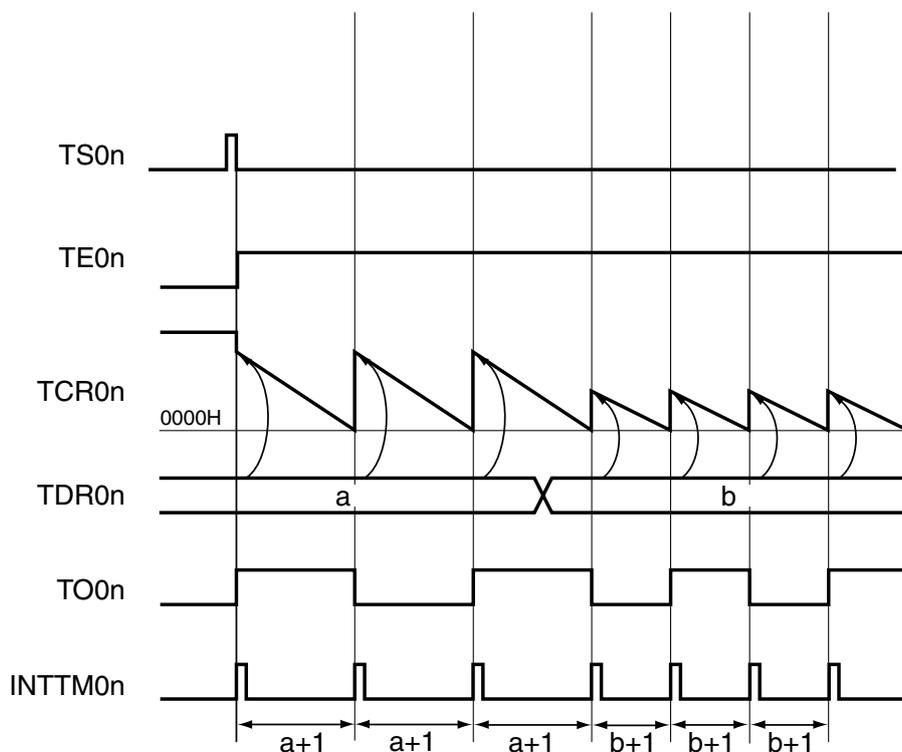


図6 - 36 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MD0n0 = 1)



備考 n = 0-7

ただし、方形波出力動作、タイマ出力端子 (TO0n) の場合nは次のようになります。

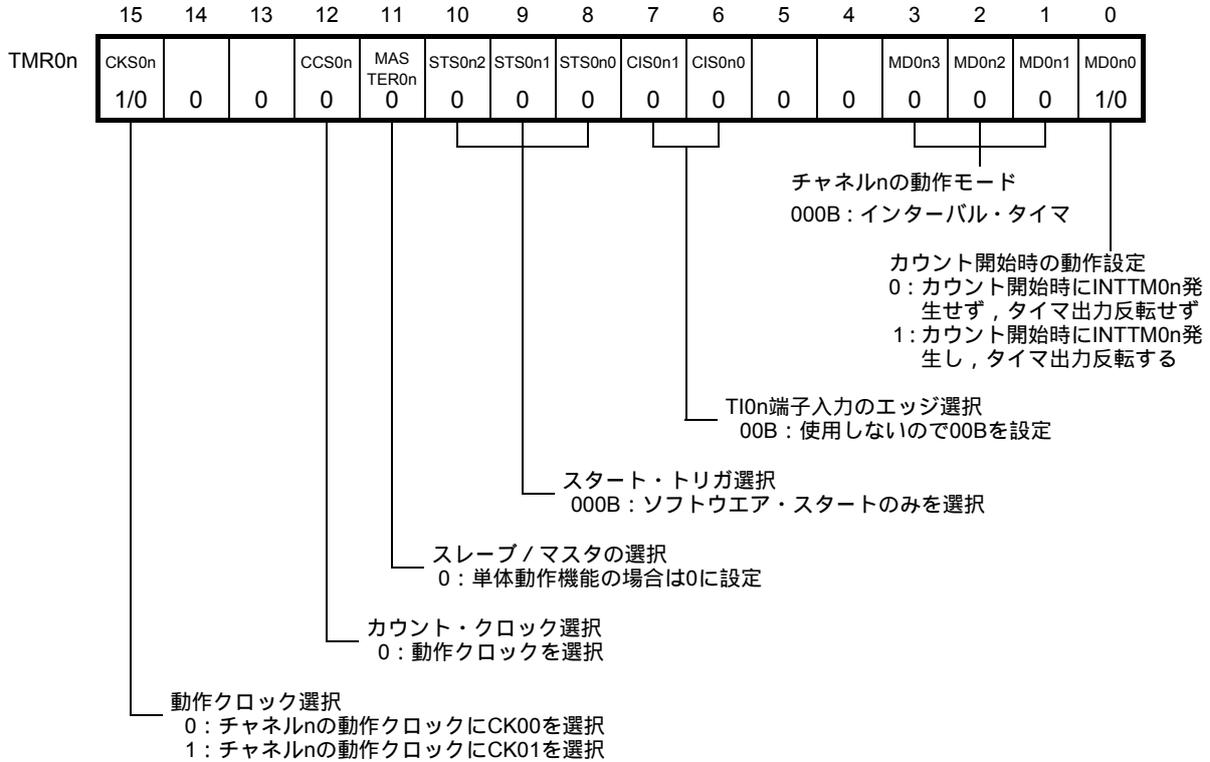
KE3-L : n = 0-4

KC3-L : n = 1-3

図6 - 37 インターバル・タイマ/方形波出力時のレジスタ設定内容例 (1/3)

(1) カウント・クロックにCK00, CK01を選択した場合

(a) タイマ・モード・レジスタ0n (TMR0n)



(b) タイマ出力レジスタ0 (TO0)

	ビットn	
TO0	TO0n	0: TO0nより0を出力する
	1/0	1: TO0nより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットn	
TOE0	TOE0n	0: カウント動作によるTO0n出力動作停止
	1/0	1: カウント動作によるTO0n出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットn	
TOL0	TOL0n	0: TOM0n = 0 (トグル・モード) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットn	
TOM0	TOM0n	0: トグル・モードを設定
	0	

備考 n = 0-7, ただし, 方形波出力動作, タイマ出力端子 (TO0n) の場合nは次のようになります。

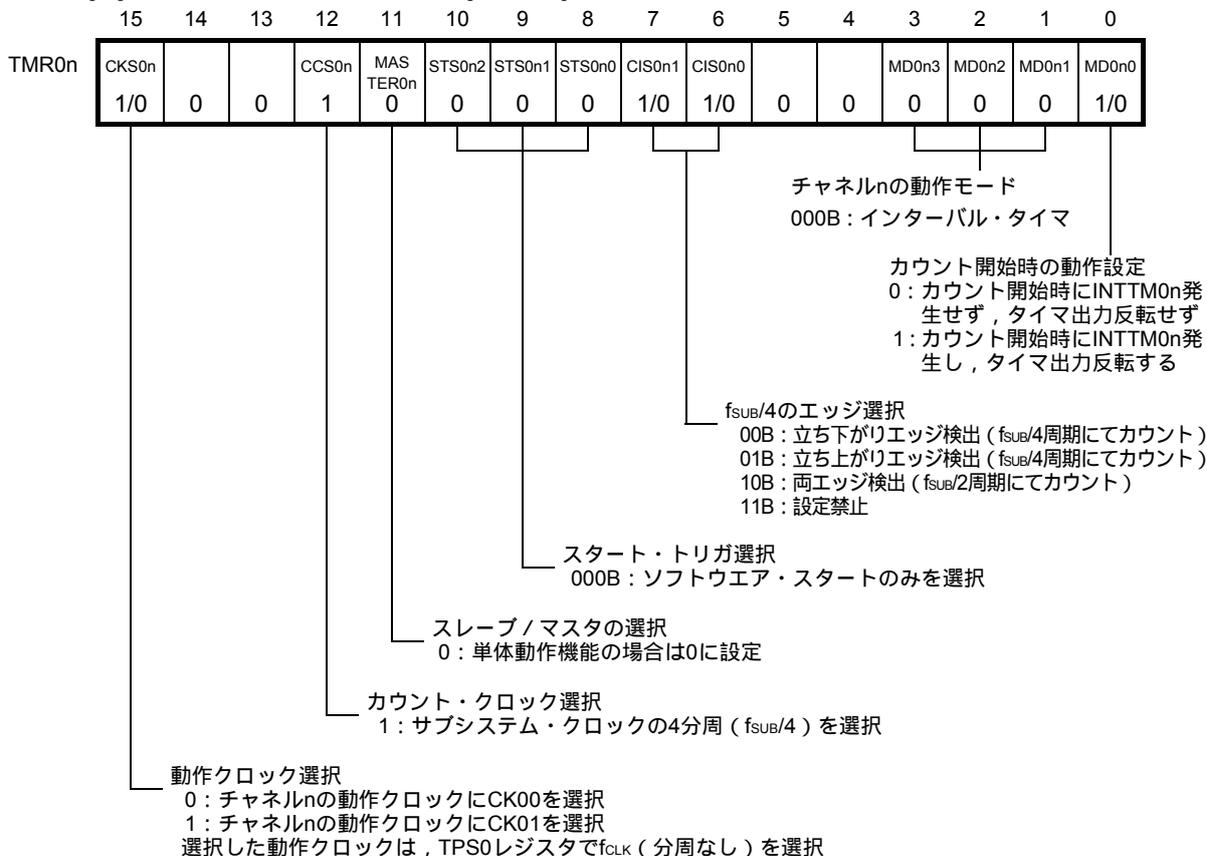
KE3-L : n = 0-4

KC3-L : n = 1-3

図6 - 37 インターバル・タイマ/方形波出力時のレジスタ設定内容例 (2/3)

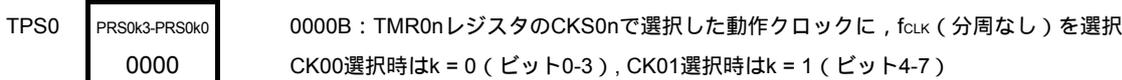
(2) カウント・クロックに $f_{SUB}/4$ を選択した場合

(a) タイマ・モード・レジスタ0n (TMR0n)



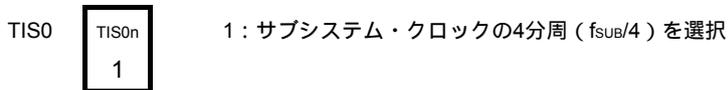
(b) タイマ・クロック選択レジスタ0 (TPS0)

ビット7-4, 3-0



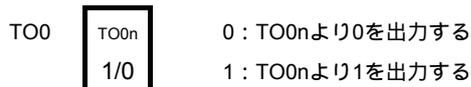
(c) タイマ入力選択レジスタ0 (TIS0)

ビットn



(d) タイマ出力レジスタ0 (TO0)

ビットn



- 備考1. n = 0-7, k = 0, 1
 ただし、方形波出力動作の場合nは次のようになります。
 KE3-L : n = 0-4
 KC3-L : n = 1-3
2. f_{SUB} : サブシステム・クロック発振周波数

図6 - 37 インターバル・タイマノ方形波出力時のレジスタ設定内容例 (3/3)

(2) カウント・クロックに $f_{SUB}/4$ を選択した場合 (続き)

(e) タイマ出力許可レジスタ0 (TOE0)

	ビットn	
TOE0	TOE0n	0 : カウント動作によるTO0n出力動作停止
	1/0	1 : カウント動作によるTO0n出力動作許可

(f) タイマ出力レベル・レジスタ0 (TOL0)

	ビットn	
TOL0	TOL0n	0 : TOM0n = 0 (トグル・モード) では0を設定
	0	

(g) タイマ出力モード・レジスタ0 (TOM0)

	ビットn	
TOM0	TOM0n	0 : トグル・モードを設定
	0	

備考 n = 0-7

ただし、方形波出力動作の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

図6 - 38 インターバル・タイマ/方形波出力機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) → パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する(チャンネルの動作モード確定) カウント・クロックに $f_{sub}/4$ を選択時は, TIS0nビットに 1 ($f_{sub}/4$) を設定する TDR0nレジスタにインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TO0n出力を使用する場合, TOM0レジスタのTOM0nビットに0(トグル・モード) を設定する TOL0nビットに0を設定する TO0nビットを設定し, TO0n出力の初期レベルを確定 する TOE0nに1を設定し, TO0nの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	TO0n端子はHi-Z出力状態 → ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TO0n初期設定レベルが出力される。 → チャンネルは動作停止状態なので, TO0nは変化しない → TO0n端子はTO0n設定レベルを出力
動作 開始	TOE0nに1を設定する(動作再開時のみ) TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻 る	→ TE0n = 1になり, カウント動作開始 カウント・クロック入力でTCR0nはTDR0nの値をロードす る。TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0n を発生し, TO0nもトグル動作する。
	動作 中	TMR0nレジスタ, TOM0n, TOL0nビットは, 設定値変更 禁止 TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻 る	→ TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止 TO0n出力は初期化されず, 状態保持
	TOE0nに0を設定し, TO0nビットに値を設定する	→ TO0n端子はTO0n設定レベルを出力
TAU 停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0nピ ットに0を設定する	→ TO0n端子出力レベルはポート機能により保持される。
	TO0n端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER0レジスタのTAU0ENビットに0を設定する	→ TO0n端子出力レベルはHi-Z出力になる。 → パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO0nビットが0になり, TO0n端子はポート機能となる)

動作再開

備考 n = 0-7, ただし, 方形波出力動作の場合nは次のようになります。

KE3-L : n = 0-4

KC3-L : n = 1-3

6.7.2 外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDR0nの設定値} + 1$$

TCR0n はイベント・カウンタ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット（TS0n）に1を設定することによりTCR0nはTDR0nの値をロードします。

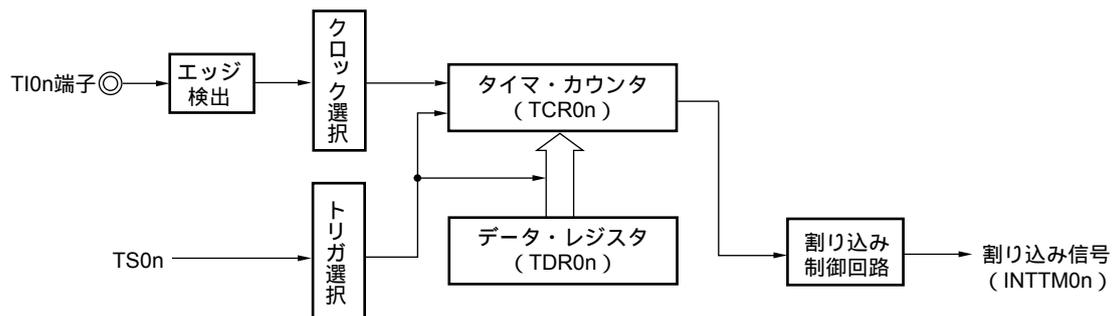
TCR0nはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR0n = 0000Hとなったら、再びTDR0nの値をロードして、INTTM0nを出力します。

以降、同様の動作を継続します。

TO0nは外部イベントに依存した不規則な波形となるため、TO0nは使用できません。

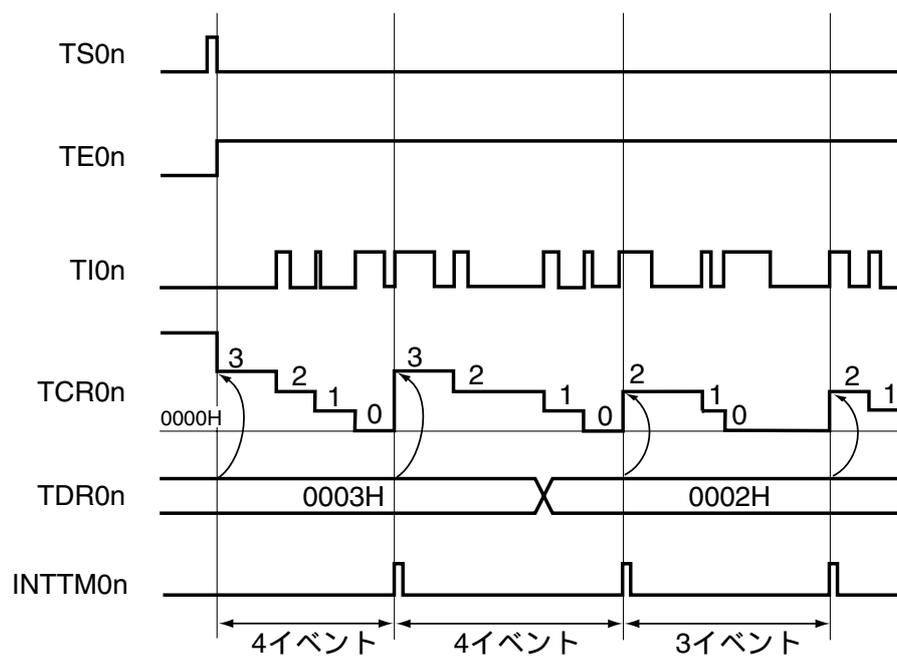
TDR0nは任意のタイミングで書き換えることができます。書き換えたTDR0nの値は次のカウント期間で有効になります。

図6 - 39 外部イベント・カウンタとしての動作のブロック図



備考 n = 0-4

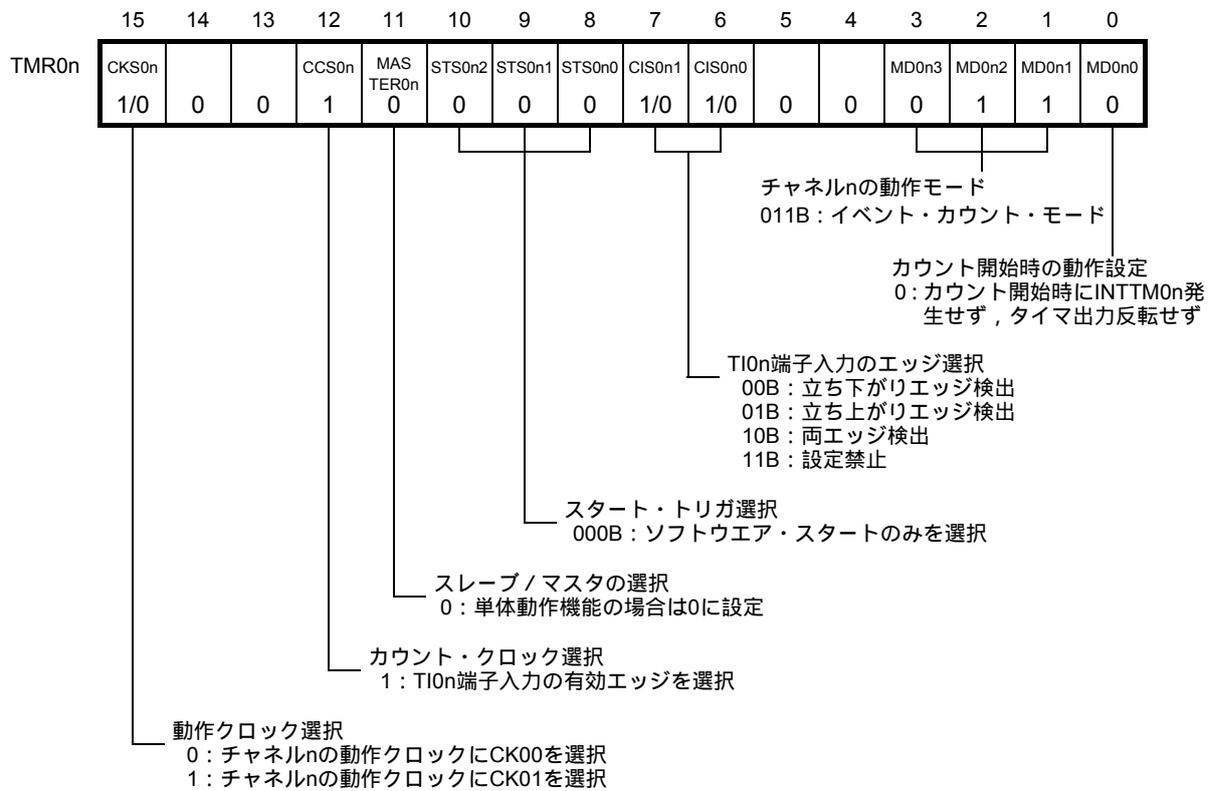
図6-40 外部イベント・カウンタとしての動作の基本タイミング例



備考 n = 0-4

図6-41 外部イベント・カウンタ・モード時のレジスタ設定内容例

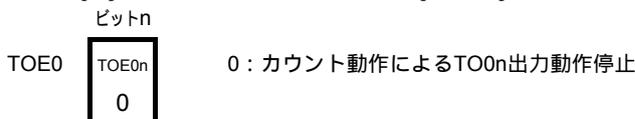
(a) タイマ・モード・レジスタ0n (TMR0n)



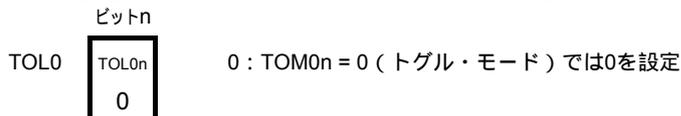
(b) タイマ出力レジスタ0 (TO0)



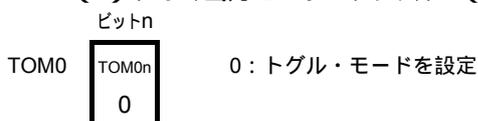
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0-4

図6 - 42 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する (チャンネルの動作モード確定) TDR0nレジスタにカウント数を設定する TOE0レジスタのTOE0nビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 1になり, カウント動作開始 TCR0nはTDR0nの値をロードし, TI0n端子入力のエッジ検出待ち状態になる
	動作 中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 n = 0-4

6.7.3 分周器としての動作 (78K0R/KE3-Lのチャンネル0のみ)

TI00に入力されたクロックを分周し、TO00から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

- ・立ち上がりエッジ / 立ち下りエッジ選択時 :

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDR00 の設定値} + 1) \times 2 \}$$
- ・両エッジ選択時 :

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR00の設定値} + 1)$$

TCR00はインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (TS00) に1を設定後、TI00の有効エッジ検出でTCR00はTDR00の値をロードします。このときTMR00のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00のMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00はTDR00の値をロードして、カウントを継続します。

TI00の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR00は任意のタイミングで書き換えることができます。書き換えたTDR00の値は次のカウント期間で有効となります。

図6 - 43 分周器としての動作のブロック図

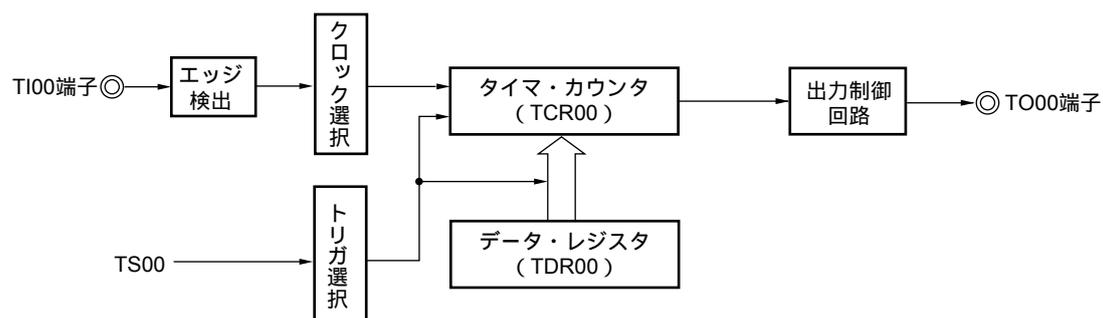


図6-44 分周器としての動作の基本タイミング例 (MD000 = 1)

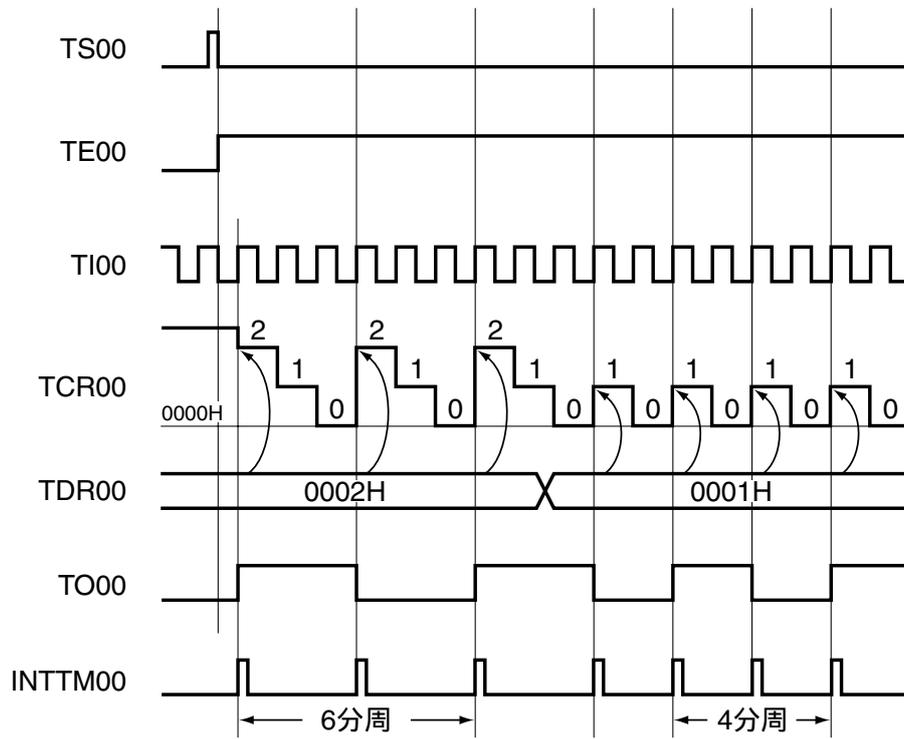
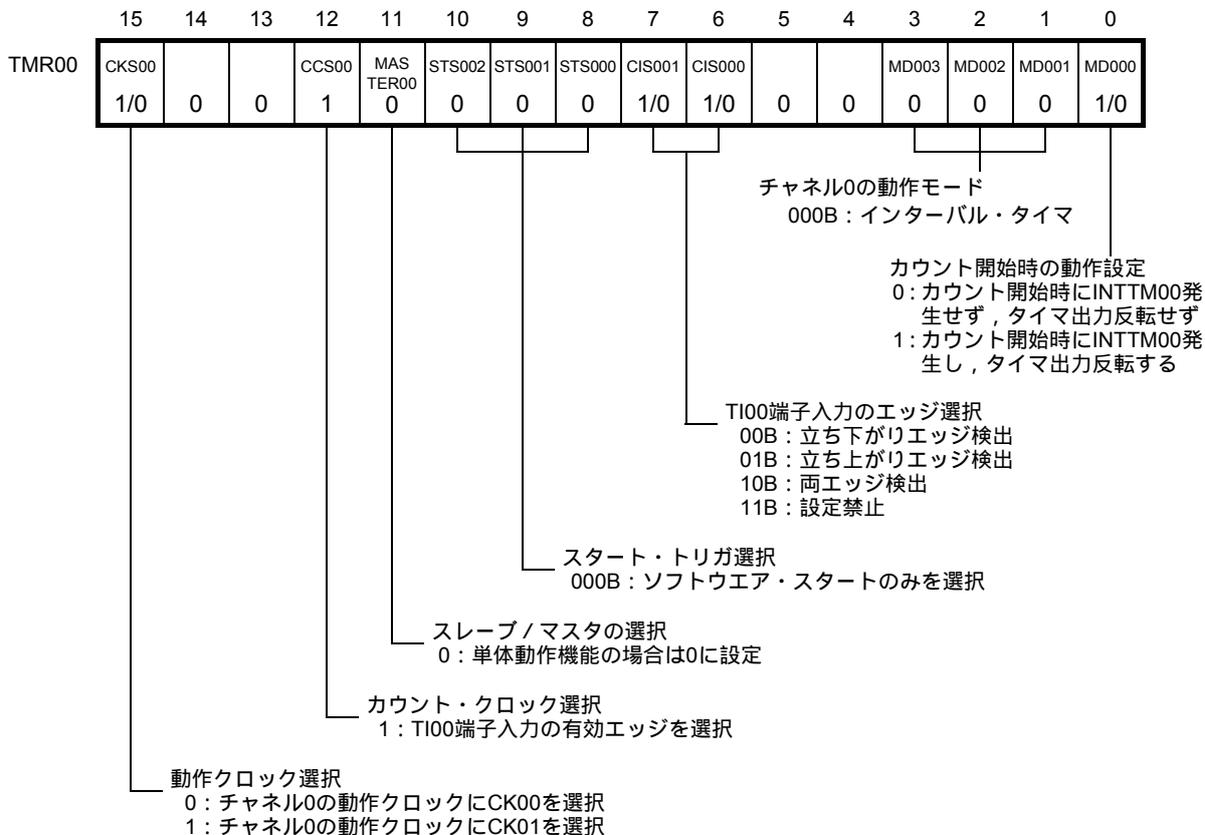


図6 - 45 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ0 (TMR00)



(b) タイマ出力レジスタ0 (TO0)

	ビット0		
TO0	TO00		0: TO00より0を出力する
	1/0		1: TO00より1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビット0		
TOE0	TOE00		0: カウント動作によるTO00出力動作停止
	1/0		1: カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビット0		
TOL0	TOL00		0: TOM00 = 0 (トグル・モード) では0を設定
	0		

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビット0		
TOM0	TOM00		0: トグル・モードを設定
	0		

図6 - 46 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR00レジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TDR00レジスタにインターバル (周期) 値を設定する	
	TOM0レジスタのTOM00ビットに0 (トグル・モード) を設定する	TO00端子はHi-Z出力状態
	TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する	▶ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。
	TOE00に1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	▶チャンネルは動作停止状態なので, TO00は変化しない ▶TO00端子はTO00設定レベルを出力
動作 開始	TOE00に1を設定する (動作再開時のみ)	
	TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	▶TE00 = 1になり, カウント動作開始 カウント・クロック入力でTCR00はTDR00の値をロードする。TMR00レジスタのMD000ビットが1の場合は, JNTTM00を発生し, TO00もトグル動作する。
動作 中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00はTDR00の値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。 以降, この動作を繰り返す。
動作 停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	▶TE00 = 0になり, カウント動作停止 TCR00はカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00に0を設定し, TO00ビットに値を設定する	▶TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	▶TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	▶TO00端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

動作再開

6.7.4 入力パルス間隔測定としての動作

TI0n有効エッジでカウント値をキャプチャし、TI0n入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{TI0n入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times \left((10000\text{H} \times \text{TSR0n:OVF}) + (\text{TDR0nのキャプチャ値} + 1) \right)$$

注意 TI0n端子入力は、TMR0nレジスタのCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。

TCR0nはキャプチャ・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ (TS0n) に1を設定するとTCR0nはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TI0n端子入力の有効エッジを検出すると、カウント値をTDR0nに転送 (キャプチャ) すると同時に、カウンタ (TCR0n) を0000Hにクリアして、INTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、TSR0nレジスタのOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

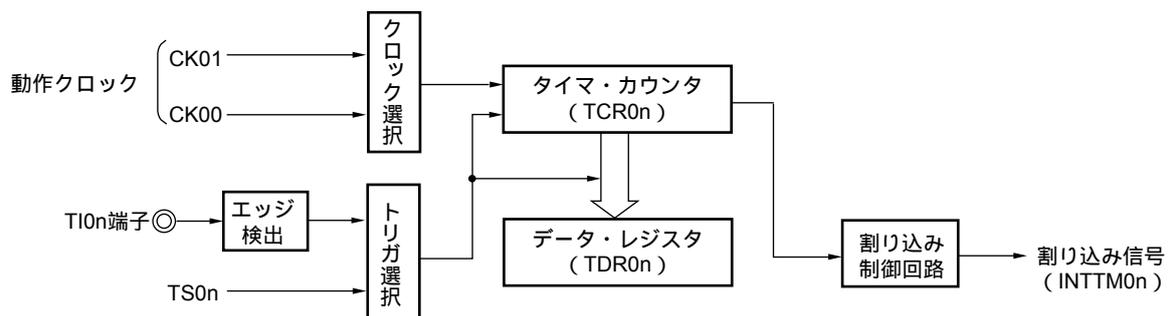
カウント値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して、TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

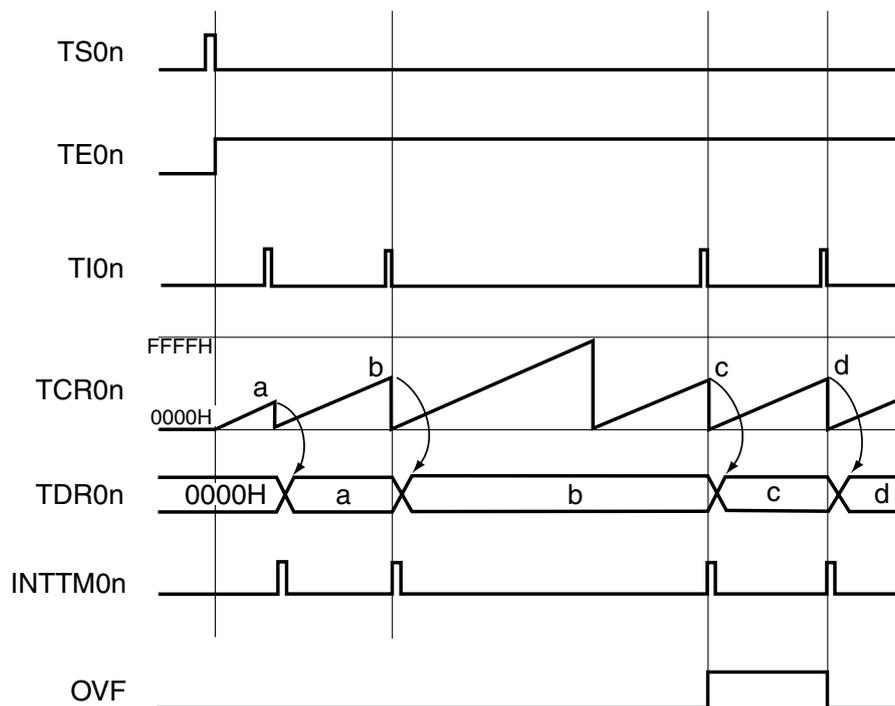
TE0n = 1のときは、TI0n端子入力を使用せずに、ソフトウェア操作 (TS0n = 1) をキャプチャ・トリガにすることもできます。

図6-47 入力パルス間隔測定としての動作のブロック図



備考 n = 0-4

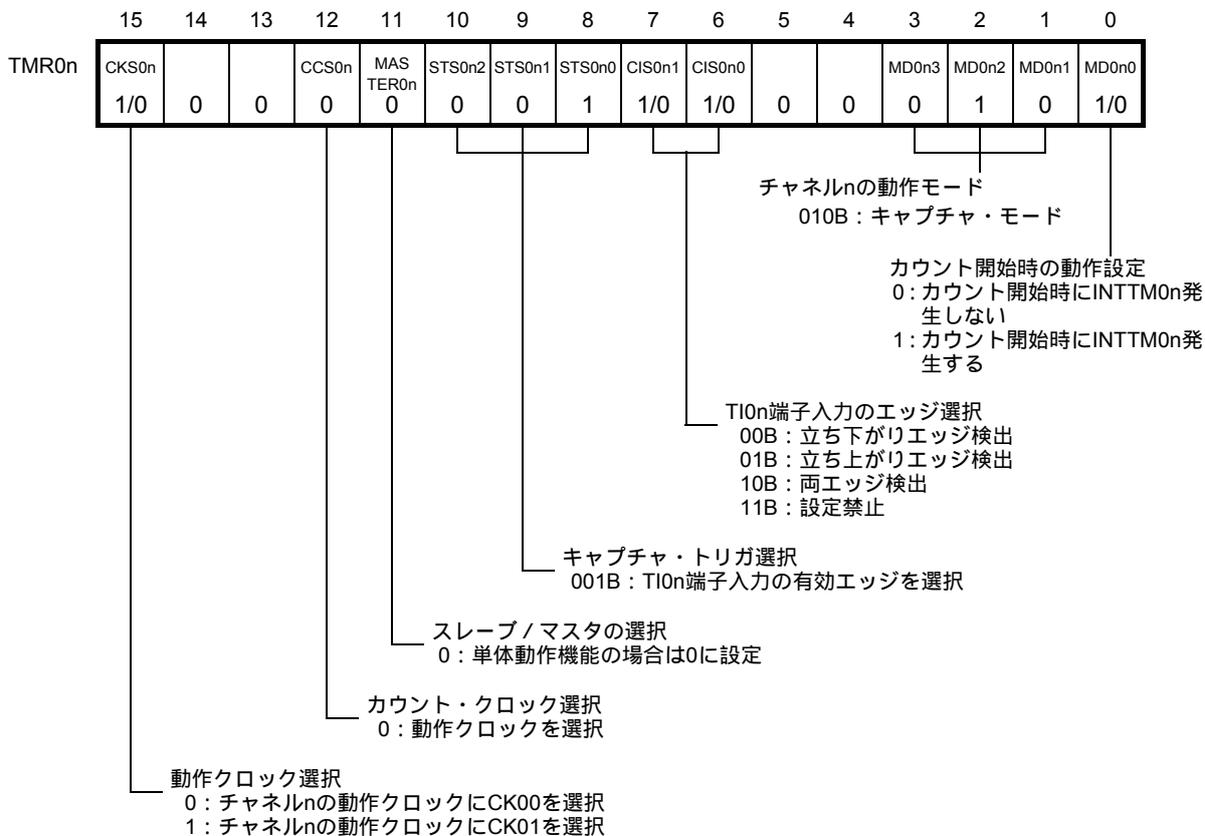
図6 - 48 入力パルス間隔測定としての動作の基本タイミング例 (MD0n0 = 0)



備考 n = 0-4

図6 - 49 入力パルス間隔測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0n)



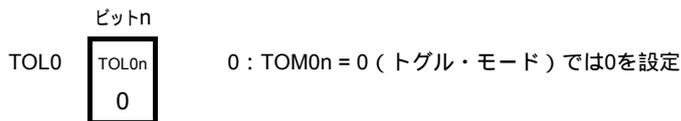
(b) タイマ出力レジスタ0 (TO0)



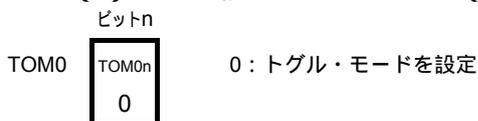
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0-4

図6 - 50 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 1になり, カウント動作開始 カウント・クロック入力でTCR0nを0000Hにクリアする。 TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0nを発生する。
	動作 中	TMR0nレジスタは, CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは, 常に読み出し可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 常に読み出し可能 TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 n = 0-4

6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作

TI0nの片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TI0nの信号幅（ハイ・レベル幅/ロウ・レベル幅）を測定することができます。TI0nの信号幅は次の式で求めることができます。

$$\text{TI0n入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRn:OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、TMR0nレジスタのCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。

TCR0nはキャプチャ&ワンカウント・モードでアップカウンタとして動作します。

チャンネル・スタート・トリガ（TS0n）に1を設定すると、TE0n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0nのスタート・エッジ（ハイ・レベル幅測定ならTI0nの立ち上がりエッジ）を検出すると、カウント・クロックに合わせてアップカウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTI0nの立ち下がりエッジ）を検出すると、カウンタ値をTDR0nに転送すると同時にINTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRnレジスタのOVFビットがセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。TCR0nは、「TDR0nに転送した値+1」の値で停止し、TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット（1）されます。しかし、OVFビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

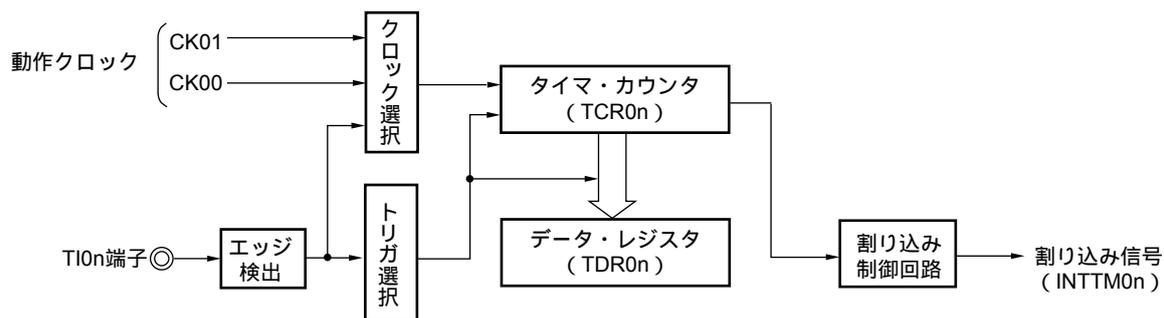
TI0n端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMR0nレジスタのCIS0n1、CIS0n0ビットにて設定することができます。

この機能は、TI0n端子入力の信号幅測定を目的とするため、TE0n = 1期間中のTS0nのセット（1）は使用できません。

TMR0nのCIS0n1, CIS0n0 = 10B : ロウ・レベル幅を測定する

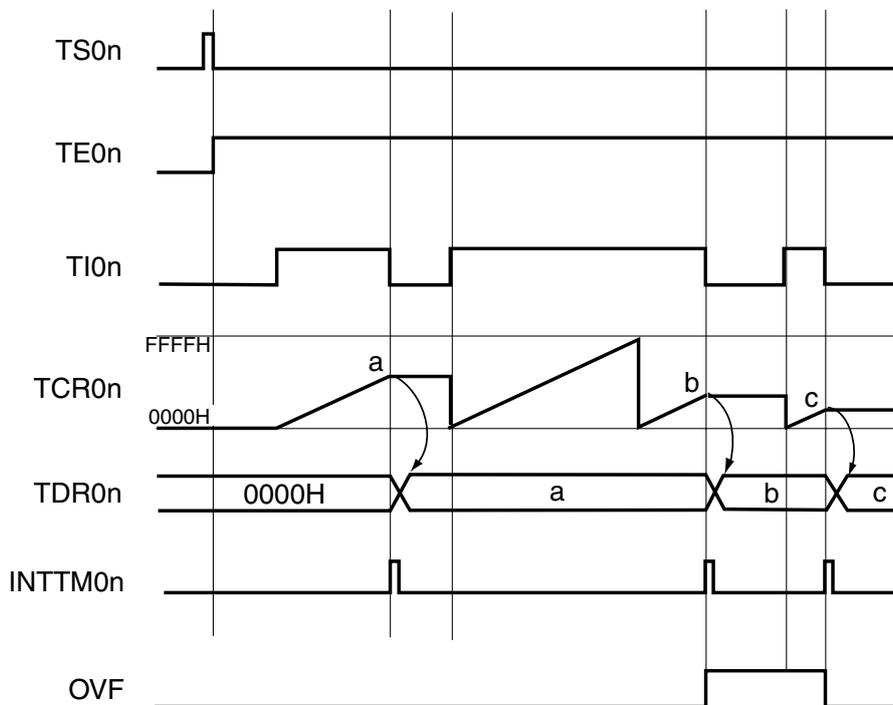
TMR0nのCIS0n1, CIS0n0 = 11B : ハイ・レベル幅を測定する

図6 - 51 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



備考 n = 0-4

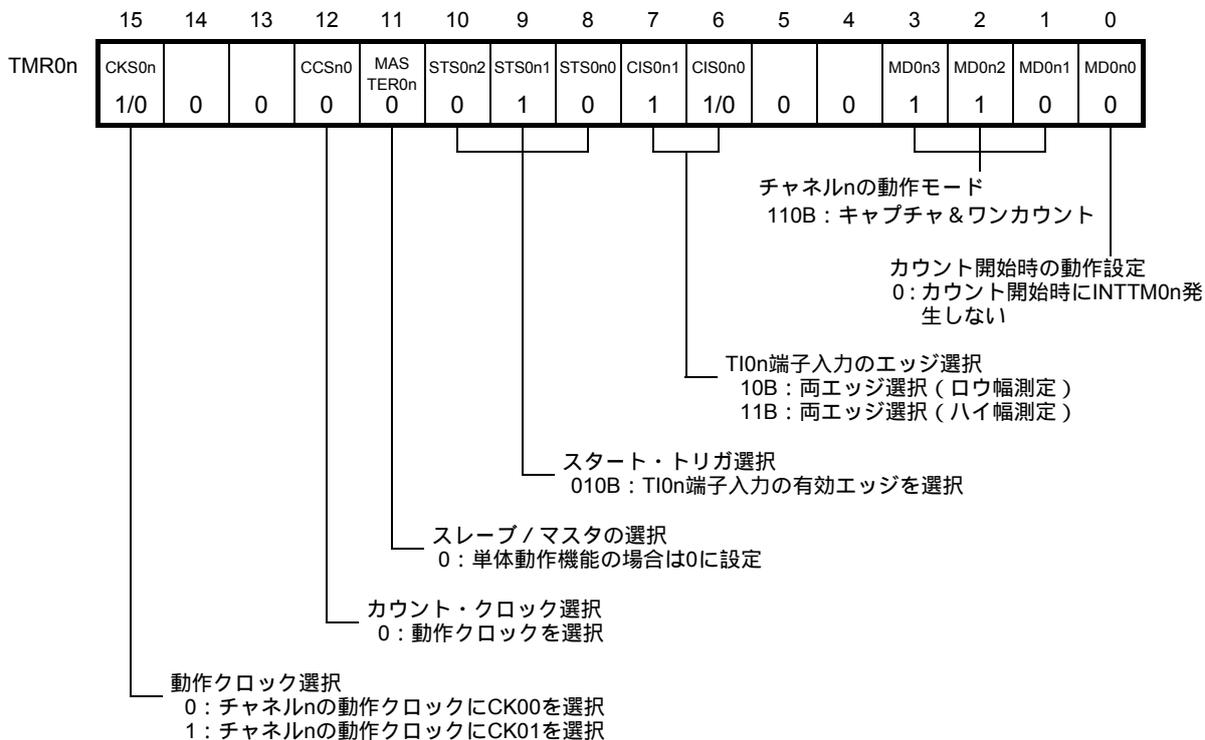
図6 - 52 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考 n = 0-4

図6 - 53 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

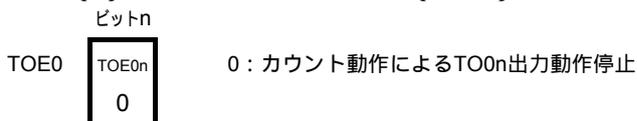
(a) タイマ・モード・レジスタ0n (TMR0n)



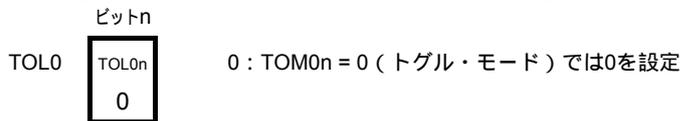
(b) タイマ出力レジスタ0 (TO0)



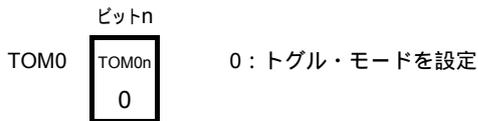
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0-4

図6 - 54 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する (チャンネルの動作モード確定) TOE0nに0を設定し, TO0nの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 1になり, TI0n端子のスタート・エッジ検出待ち状態になる
	TI0n端子入力のカウント・スタート・エッジ検出	▶TCR0nを0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	TI0n端子のスタート・エッジ検出後, カウンタ (TCRn) は0000Hからアップ・カウント動作を行う。TI0n端子のキャプチャ・エッジが検出されたら, カウント値をTDR0nに転送し, INTTM0nを発生する。 このときオーバフローが発生していたら, TSR0nレジスタのOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCR0nは, 次のTI0n端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 n = 0-4

6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作

6.8.1 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDR0m (スレーブ) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDR0m (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDR0m (スレーブ) の設定値} = \{ \text{TDR0n (マスタ) の設定値} + 1 \} \end{aligned}$$

備考 TDR0m (スレーブ) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。チャンネル・スタート・トリガ (TS0n) に1を設定すると、INTTM0nを出力します。TCR0nはロードしたTDR0nの値からカウント・クロックに合わせてダウン・カウントを行います。TCR0n = 0000Hとなったら、INTTM0nを出力し、再びTCR0nはTDR0nの値をロードして、以降、同様の動作を続けます。

スレーブ・チャンネルは、ワンカウント・モードで動作して、デューティをカウントし、TO0m端子よりPWM波形を出力します。スレーブ・チャンネルのTCR0mは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TDR0mの値をロードし、ダウン・カウントを行います。TCR0m = 0000Hとなったら、INTTM0mを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTM0n) が入力されるまでカウントを停止します。TO0mの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0m = 0000Hとなったらインアクティブ・レベルとなります。

注意 マスタ・チャンネルのTDR0nとスレーブ・チャンネルのTDR0mを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCR0n, TCR0mにTDR0n, TDR0mの値がロードされるのは、マスタ・チャンネルのINTTM0n発生時となります。そのため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0m端子は期待通りの波形を出力できません。したがって、マスタのTDR0nとスレーブのTDR0mを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。

備考 n = 0, 2

m = n+1

図6-55 PWM機能としての動作のブロック図

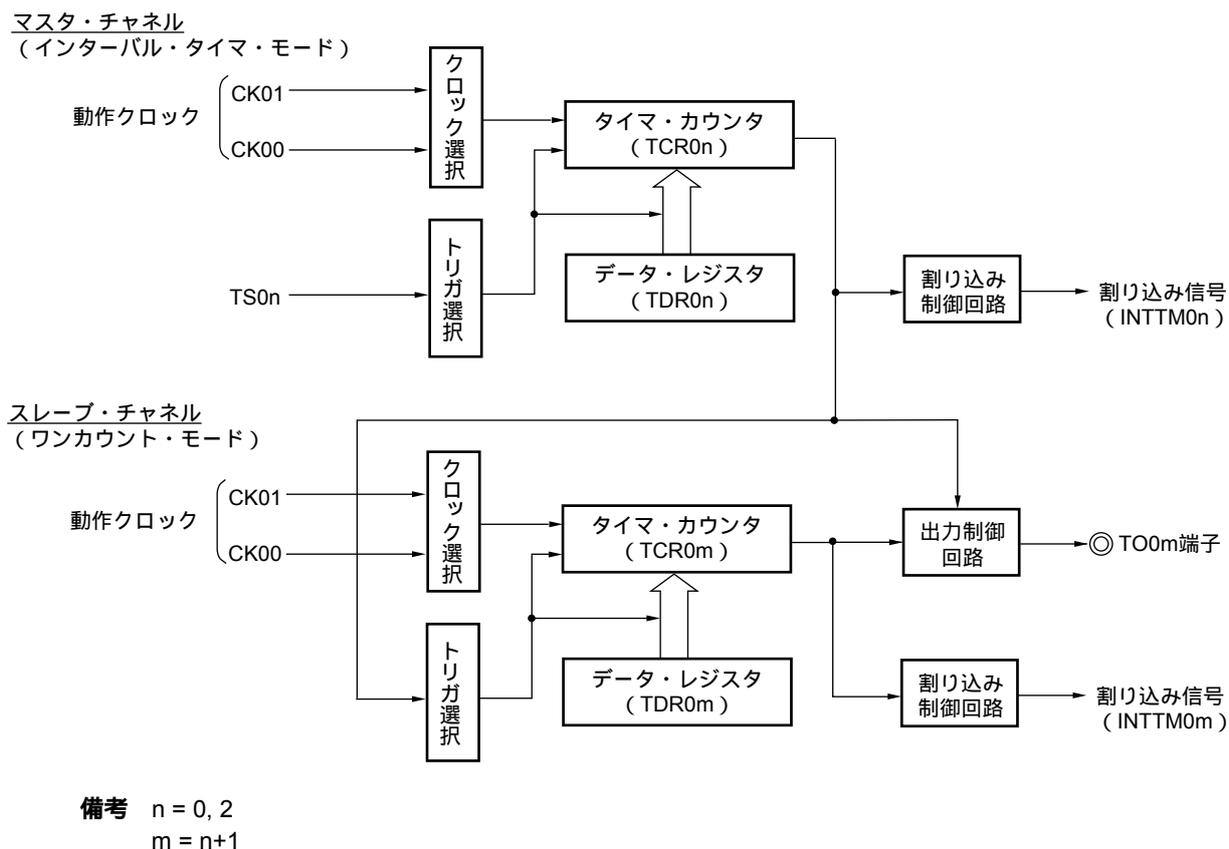
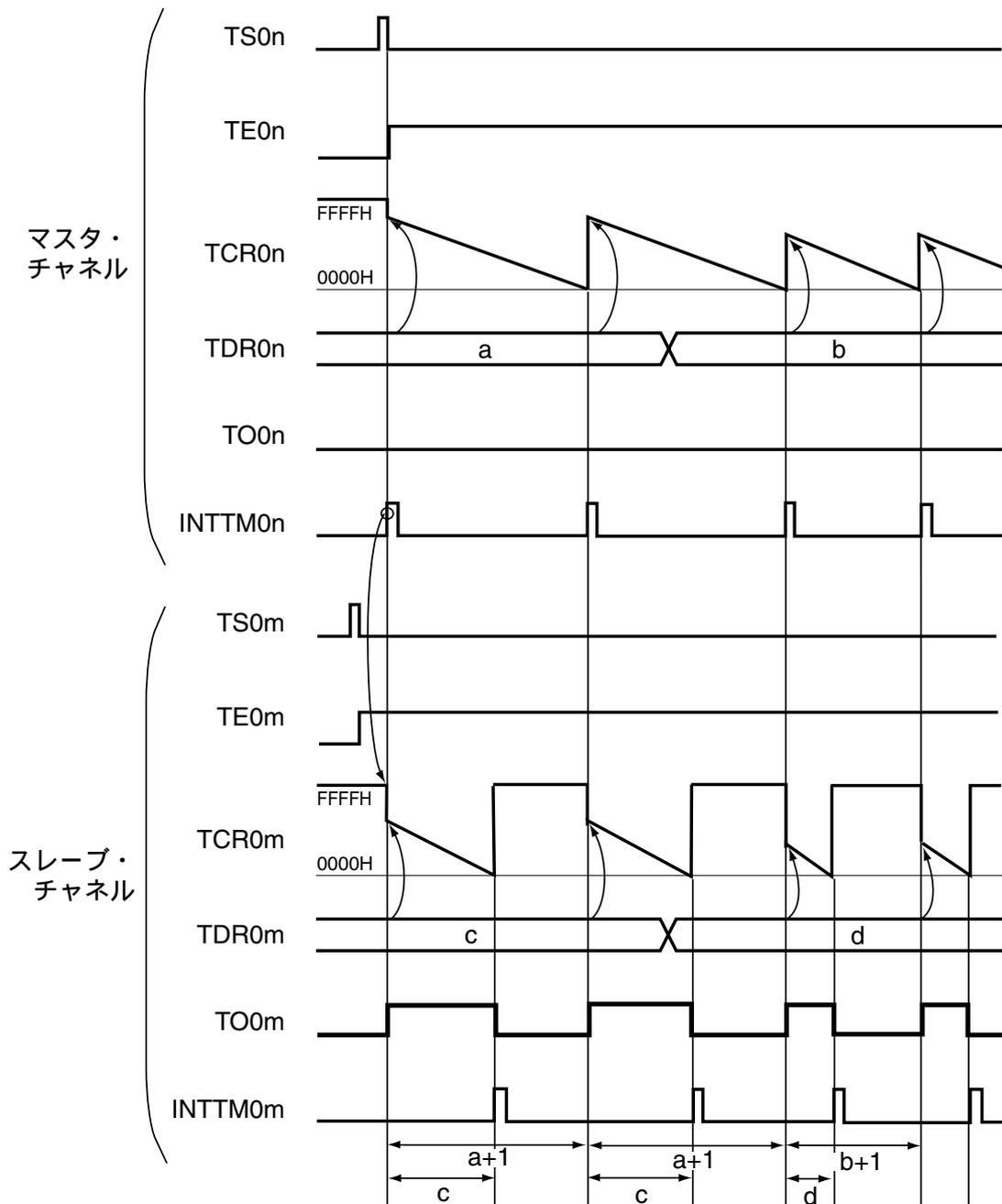


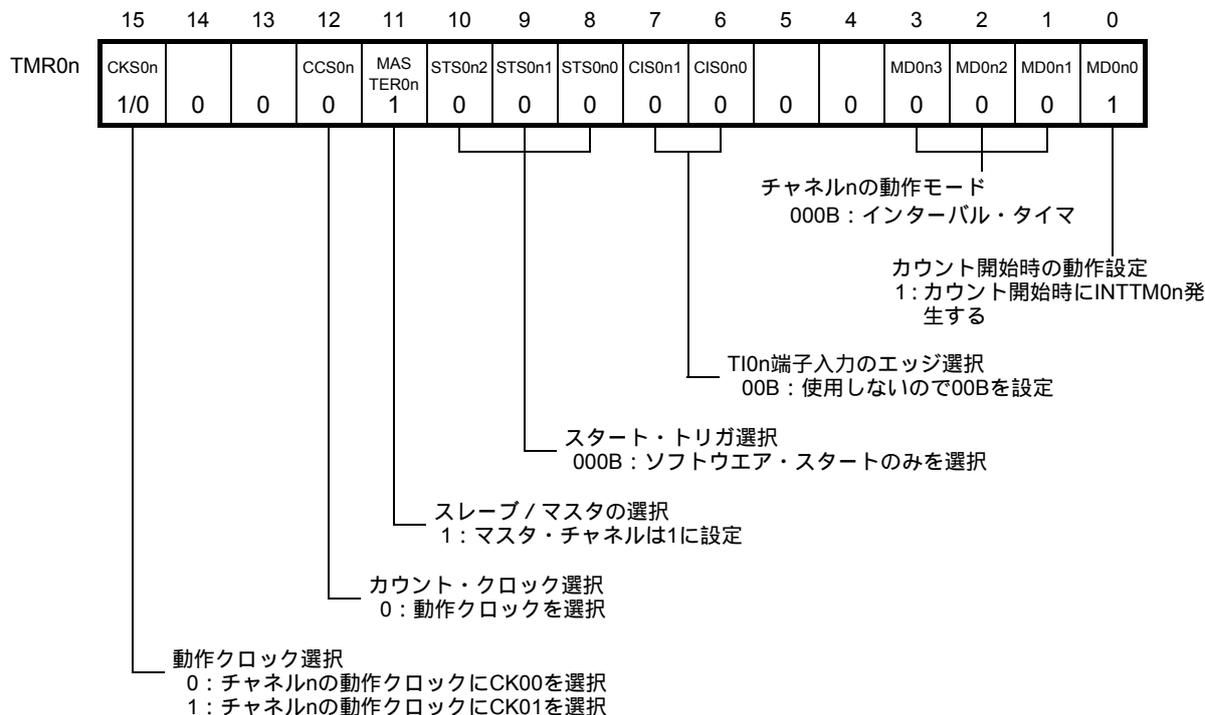
図6-56 PWM機能としての動作の基本タイミング例



備考 n = 0, 2
m = n+1

図6 - 57 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ0n (TMR0n)



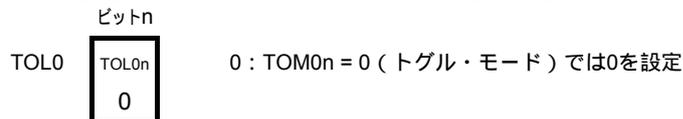
(b) タイマ出力レジスタ0 (TO0)



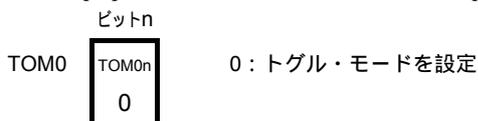
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



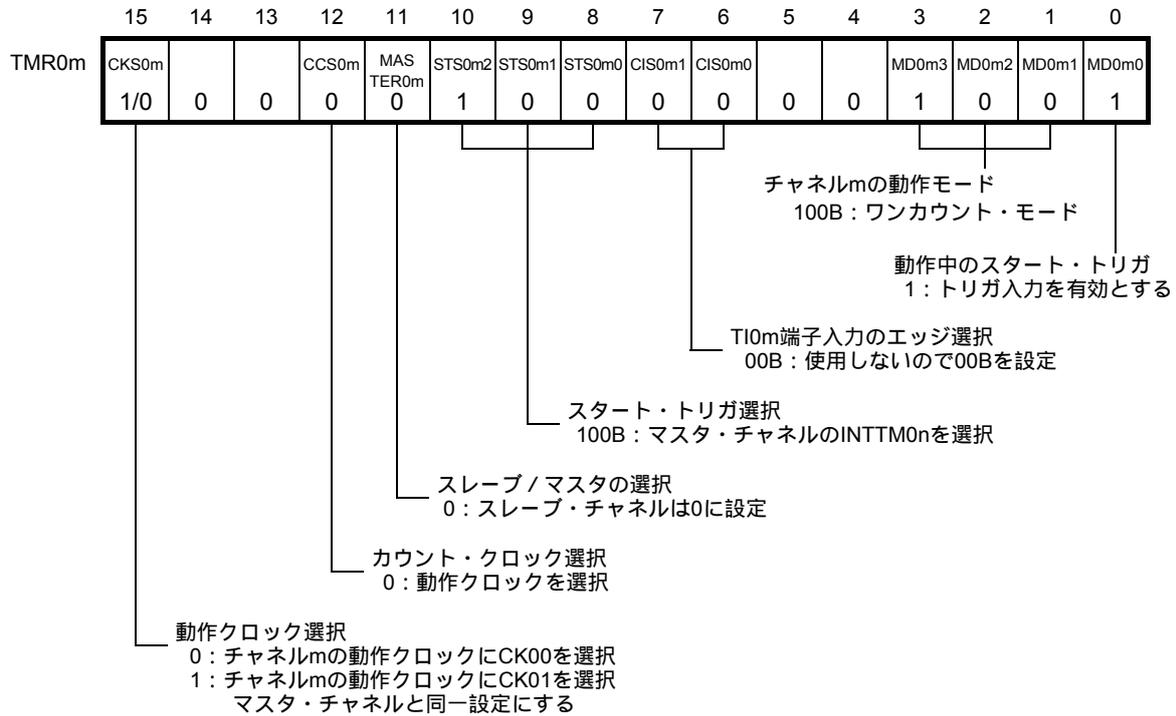
(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0, 2

図6-58 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

(a) タイマ・モード・レジスタ0m (TMR0m)



(b) タイマ出力レジスタ0 (TO0)

ビットm		
TO0	TO0m	0: TO0mより0を出力
	1/0	1: TO0mより1を出力

(c) タイマ出力許可レジスタ0 (TOE0)

ビットm		
TOE0	TOE0m	0: カウント動作によるTO0m出力動作停止
	1/0	1: カウント動作によるTO0m出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットm		
TOL0	TOL0m	0: 正論理出力 (アクティブ・ハイ)
	1/0	1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットm		
TOM0	TOM0m	1: 連動動作モードを設定
	1	

備考 n = 0, 2
m = n+1

図6 - 59 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) → パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMR0n, TMR0mレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR0nレジスタにインターバル(周期)値, スレーブ・チャンネルのTDR0mレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOM0mビットに1(連動動作モード)を設定する TOL0mビットを設定する TO0mビットを設定し, TO0m出力の初期レベルを確定する TOE0mに1を設定し, TO0mの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO0m端子はHi-Z出力状態 → ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0m初期設定レベルが出力される。 → チャンネルは動作停止状態なので, TO0mは変化しない → TO0m端子はTO0m設定レベルを出力
動作 再開	動作開始 TOE0m(スレーブ)に1を設定する(動作再開時のみ) TS0レジスタのTS0n(マスタ), TS0m(スレーブ)ビットに同時に1を設定する TS0n, TS0mビットはトリガ・ビットなので, 自動的に0に戻る	→ TE0n = 1, TE0m = 1となる マスタ・チャンネルがカウント動作開始し, INTTM0nを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMR0n, TMR0mレジスタ, TOM0n, TOM0m, TOL0n, TOL0mビットは, 設定値変更禁止 TDR0n, TDR0mレジスタは, マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0mレジスタは, 常に読み出し可能 TSR0n, TSR0mレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TCR0nはTDR0nの値をロードし, ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に, TCR0nはTDR0nの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTM0nをトリガとして, TCR0mはTDR0mの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0m出力レベルをアクティブ・レベルとする。そしてTCR0m = 0000HまでカウントしたらTO0m出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TT0n(マスタ), TT0m(スレーブ)ビットに同時に1を設定する TT0n, TT0mビットはトリガ・ビットなので, 自動的に0に戻る	→ TE0n, TE0m = 0になり, カウント動作停止 TCR0n, TCR0mはカウント値を保持して停止 TO0m出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOE0mに0を設定し, TO0mビットに値を設定する	→ TO0m端子はTO0m設定レベルを出力

備考 n = 0, 2

m = n+1

図6 - 59 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TO0m端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0mビットに0を設定する</p> <p>TO0m端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビットに0を設定する</p>	<p>TO0m端子出力レベルはポート機能により保持される。</p> <p>TO0m端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0mビットが0になり、TO0m端子はポート機能となる)</p>

備考 n = 0, 2
m = n+1

6.8.2 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TI0n端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$$\begin{aligned} \text{ディレイ} &= \{ \text{TDR0n (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDR0m (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのTCR0nは、スタート・トリガ検出により動作を開始し、TCR0nはTDR0nの値をロードします。TCR0nはロードしたTDR0nの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCR0mは、マスタ・チャンネルのINTTM0nをスタート・トリガとして動作を開始し、TCR0mはTDR0mの値をロードします。TCR0mはロードしたTDR0mの値からカウント・クロックに合わせてダウン・カウントを行います。そしてTCR0m = 0000HとなったらINTTM0mを出力して、次のスタート・トリガ（マスタ・チャンネルのINTTM0n）検出があるまで、カウントを停止します。TO0mの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0m = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TI0n端子入力を使用せず、ソフトウェア操作（TS0n = 1）をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのTDR0nとスレーブ・チャンネルのTDR0mでは、ロード・タイミングが異なるため、動作中にTDR0n、TDR0mを書き換えると不正波形が出力されます。TDR0nはINTTM0n発生後に、TDR0mはINTTM0m発生後に書き換えてください。

備考 n = 0, 2
m = n+1

図6-60 ワンショット・パルス出力機能としての動作のブロック図

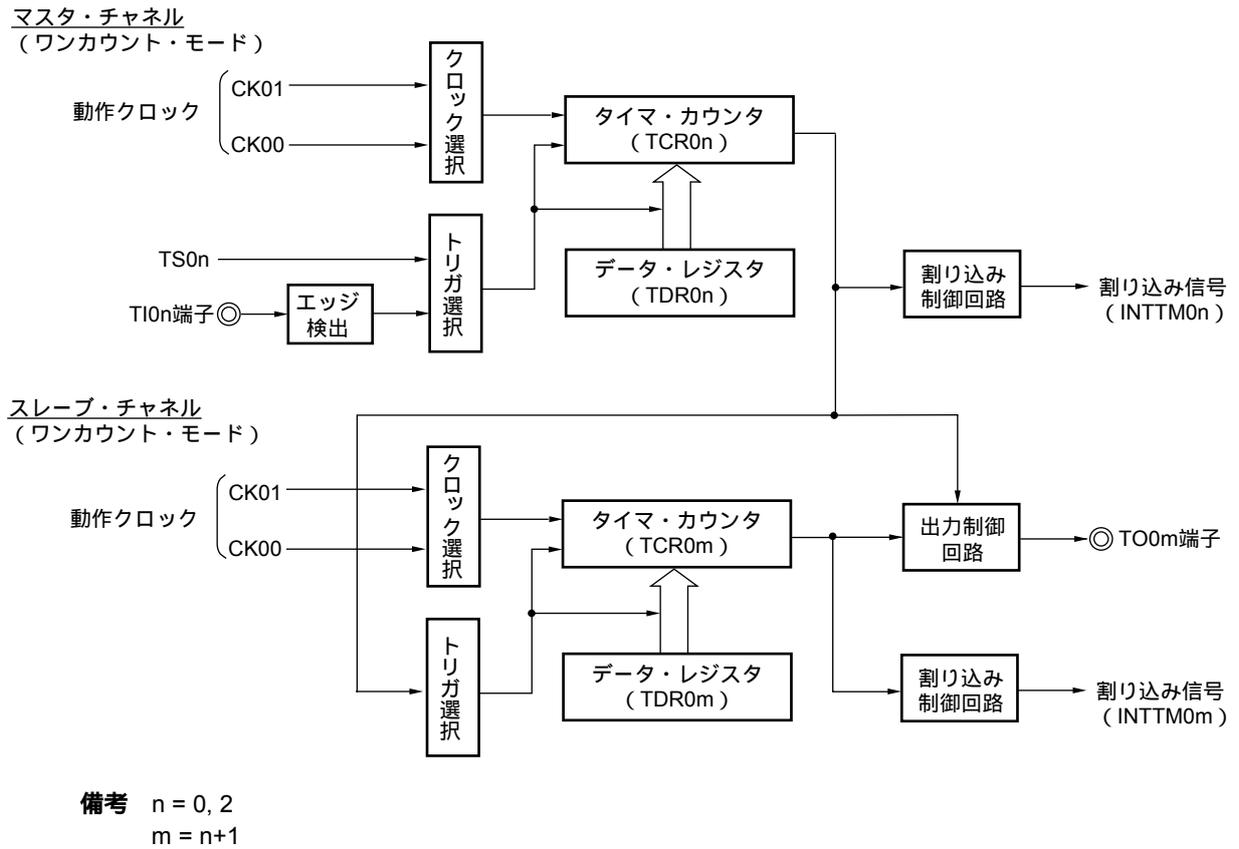
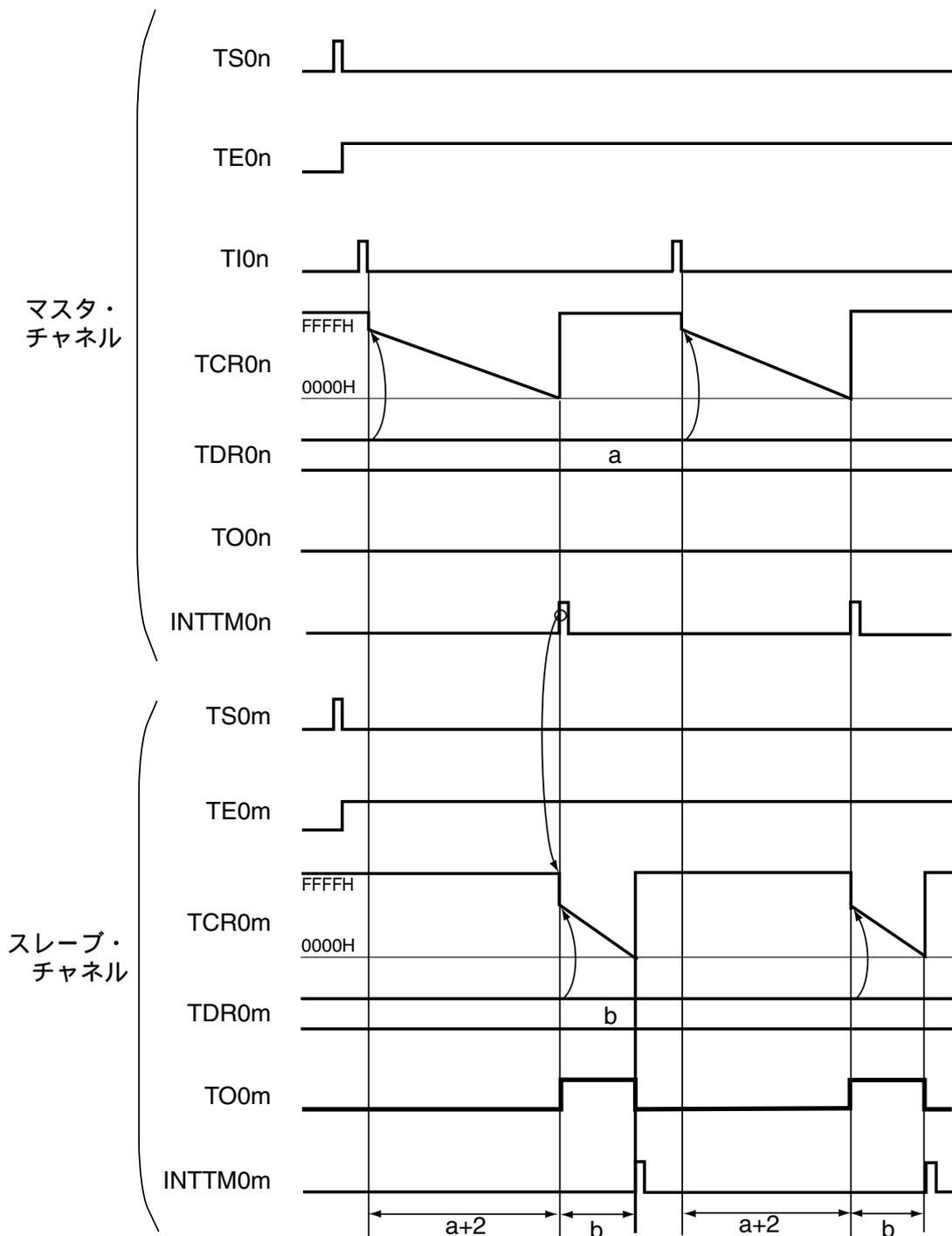


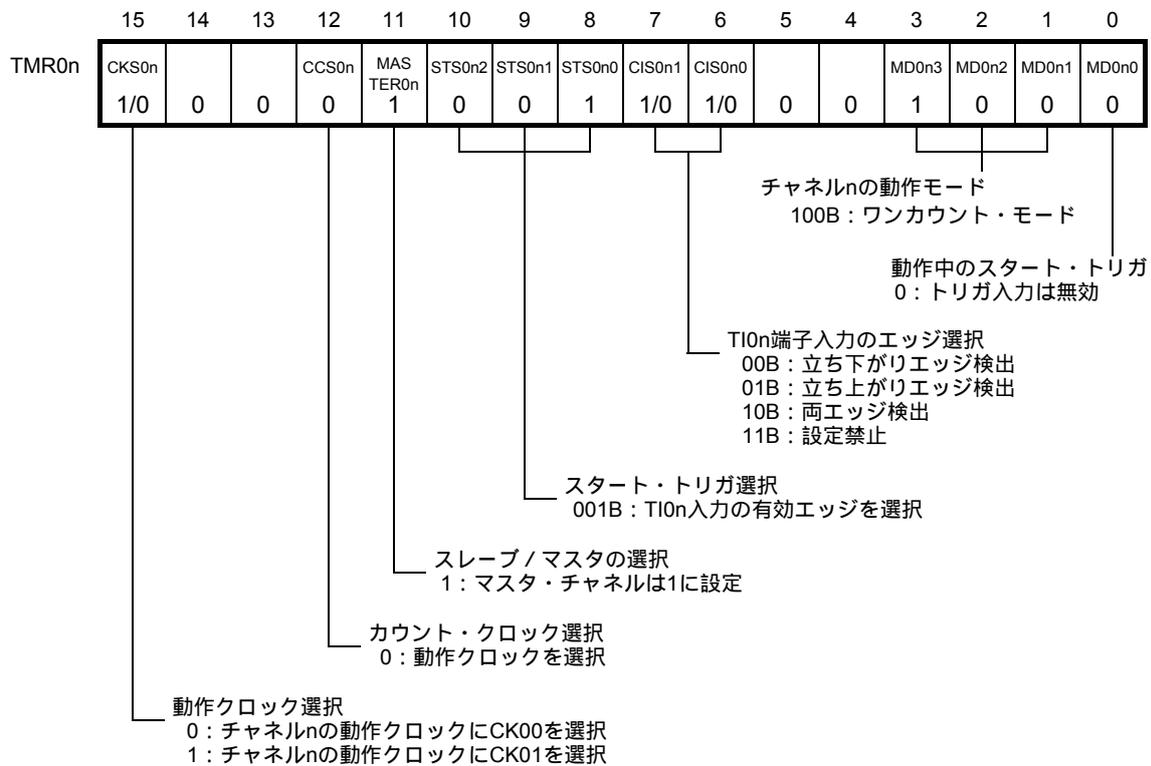
図6 - 61 ワンショット・パルス出力機能としての動作の基本タイミング例



備考 n = 0, 2
m = n+1

図6 - 62 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

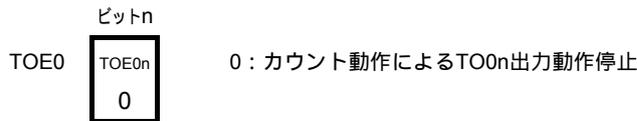
(a) タイマ・モード・レジスタ0n (TMR0n)



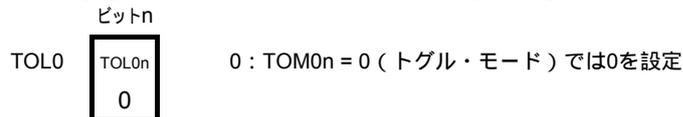
(b) タイマ出力レジスタ0 (TO0)



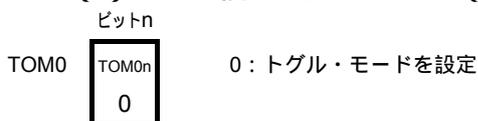
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



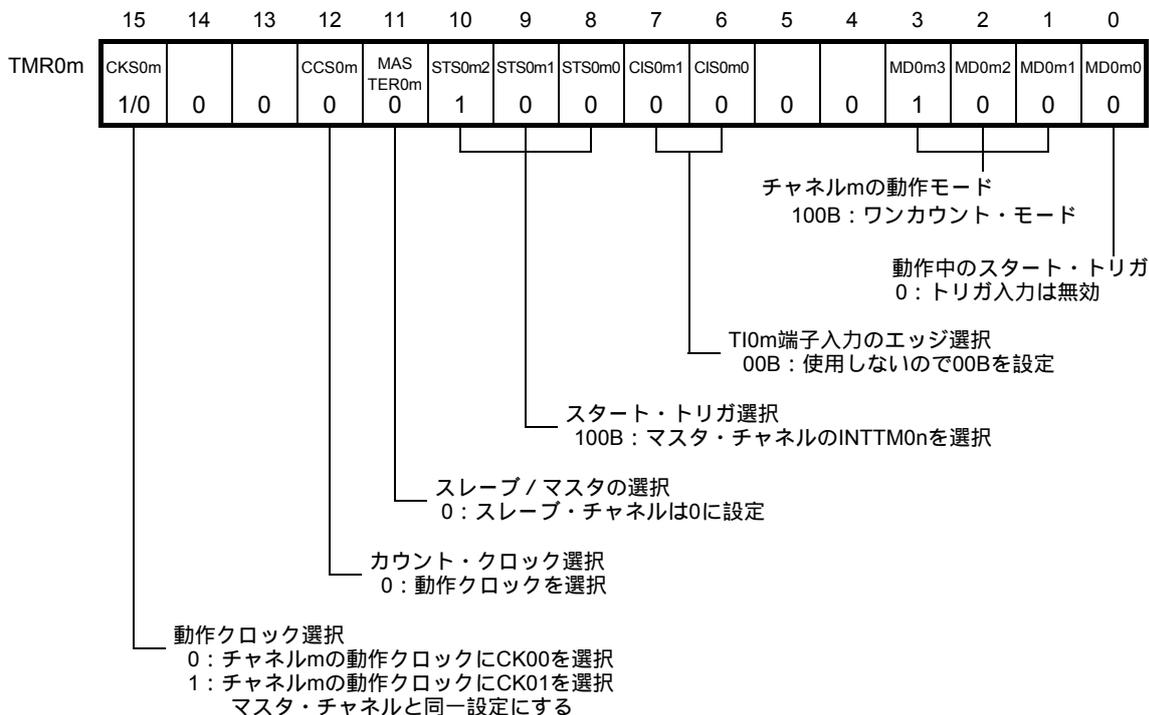
(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0, 2

図6 - 63 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ0m (TMR0m)



(b) タイマ出力レジスタ0 (TO0)

ビットm	
TO0	TO0m
	0: TO0mより0を出力する
	1/0
	1: TO0mより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビットm	
TOE0	TOE0m
	0: カウント動作によるTO0m出力動作停止
	1/0
	1: カウント動作によるTO0m出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットm	
TOL0	TOL0m
	0: 正論理出力 (アクティブ・ハイ)
	1/0
	1: 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットm	
TOM0	TOM0m
	1: 連動動作モードを設定
	1

備考 n = 0, 2
m = n+1

図6 - 64 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMR0n, TMR0mレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR0nレジスタに出力遅延時間, スレーブ・チャンネルのTDR0mレジスタにパルス幅を設定する スレーブ・チャンネルの設定 TOM0レジスタのTOM0mビットに1(連動動作モード)を設定する TOL0mビットを設定する TO0mビットを設定し, TO0m出力の初期レベルを確定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TO0m端子はHi-Z出力状態
	TOE0mに1を設定し, TO0mの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0m初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO0mは変化しない TO0m端子はTO0m設定レベルを出力
動作 開始	TOE0m(スレーブ)に1を設定する(動作再開時のみ) TS0レジスタのTS0n(マスタ), TS0m(スレーブ)ビットに同時に1を設定する TS0n, TS0mビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 1, TE0m = 1となり, マスタ・チャンネルはTI0n入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのTI0n端子入力の有効エッジ検出	マスタ・チャンネルがカウント動作開始
動作 中	TMR0nレジスタは, CIS0n1, CIS0n0ビットのみ設定値変更可能 TMR0m, TDR0n, TDR0mレジスタ, TOM0n, TOM0m, TOL0n, TOL0mビットは, 設定値変更禁止 TCR0n, TCR0mレジスタは, 常に読み出し可能 TSR0n, TSR0mレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TI0n端子入力の有効エッジが検出されたら, TCR0nはTDR0nの値をロードし, ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し, 次のTI0n端子入力までカウント動作を停止する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTM0nをトリガとして, TCR0mはTDR0mの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0m出力レベルをアクティブ・レベルとする。そしてTCR0m = 0000HまでカウントしたらTO0m出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TT0n(マスタ), TT0m(スレーブ)ビットに同時に1を設定する TT0n, TT0mビットはトリガ・ビットなので, 自動的に0に戻る	TE0n, TE0m = 0になり, カウント動作停止 TCR0n, TCR0mはカウント値を保持して停止 TO0m出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOE0mに0を設定し, TO0mビットに値を設定する	TO0m端子はTO0m設定レベルを出力

動作再開

備考 n = 0, 2

m = n+1

図6 - 64 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TO0m端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0mビットに0を設定する</p> <p>TO0m端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビットに0を設定する</p>	<p>TO0m端子出力レベルはポート機能により保持される。</p> <p>TO0m端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0mビットが0になり、TO0m端子はポート機能となる)</p>

備考 n = 0, 2
m = n+1

6.8.3 多重PWM出力機能としての動作

PWM機能を拡張し、スレーブ・チャンネルを複数使用することで、多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{ \text{TDR0p (スレーブ1) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \\ \text{デューティ2 [\%]} &= \{ \text{TDR0q (スレーブ2) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \end{aligned}$$

備考 TDR0p (スレーブ1) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合
または TDR0q (スレーブ2) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのTCR0nは、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCR0pは、ワンカウント・モードで動作して、デューティをカウントし、TO0p端子よりPWM波形を出力します。TCR0pは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TCR0pにTDR0pの値をロードし、ダウン・カウントを行います。TCR0p = 0000Hとなったら、INTTM0pを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTM0n)が入力されるまでカウントを停止します。TO0pの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

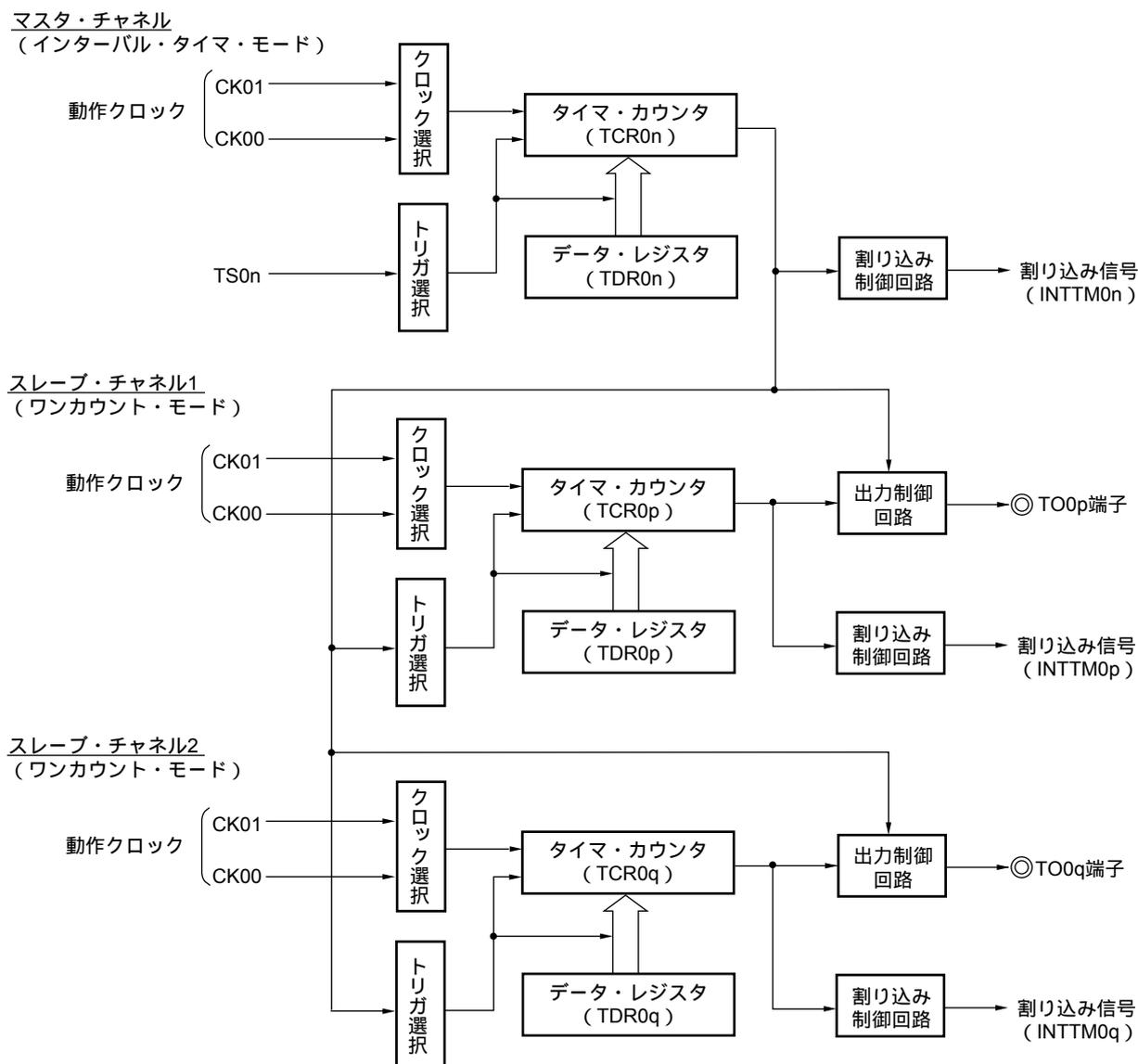
スレーブ・チャンネル2のTCR0qも、スレーブ・チャンネル1のTCR0pと同様に、ワンカウント・モードで動作して、デューティをカウントし、TO0q端子よりPWM波形を出力します。TCR0qは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TCR0qにTDR0qの値をロードし、ダウン・カウントを行います。TCR0q = 0000Hとなったら、INTTM0qを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTM0n)が入力されるまでカウントを停止します。TO0qの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0q = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのTDR0nとスレーブ・チャンネル1のTDR0pを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCR0n, TCR0pにTDR0n, TDR0pの値をロードするのは、マスタ・チャンネルのINTTM0n発生後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、マスタのTDR0nとスレーブのTDR0pを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDR0qの場合も同様です。)

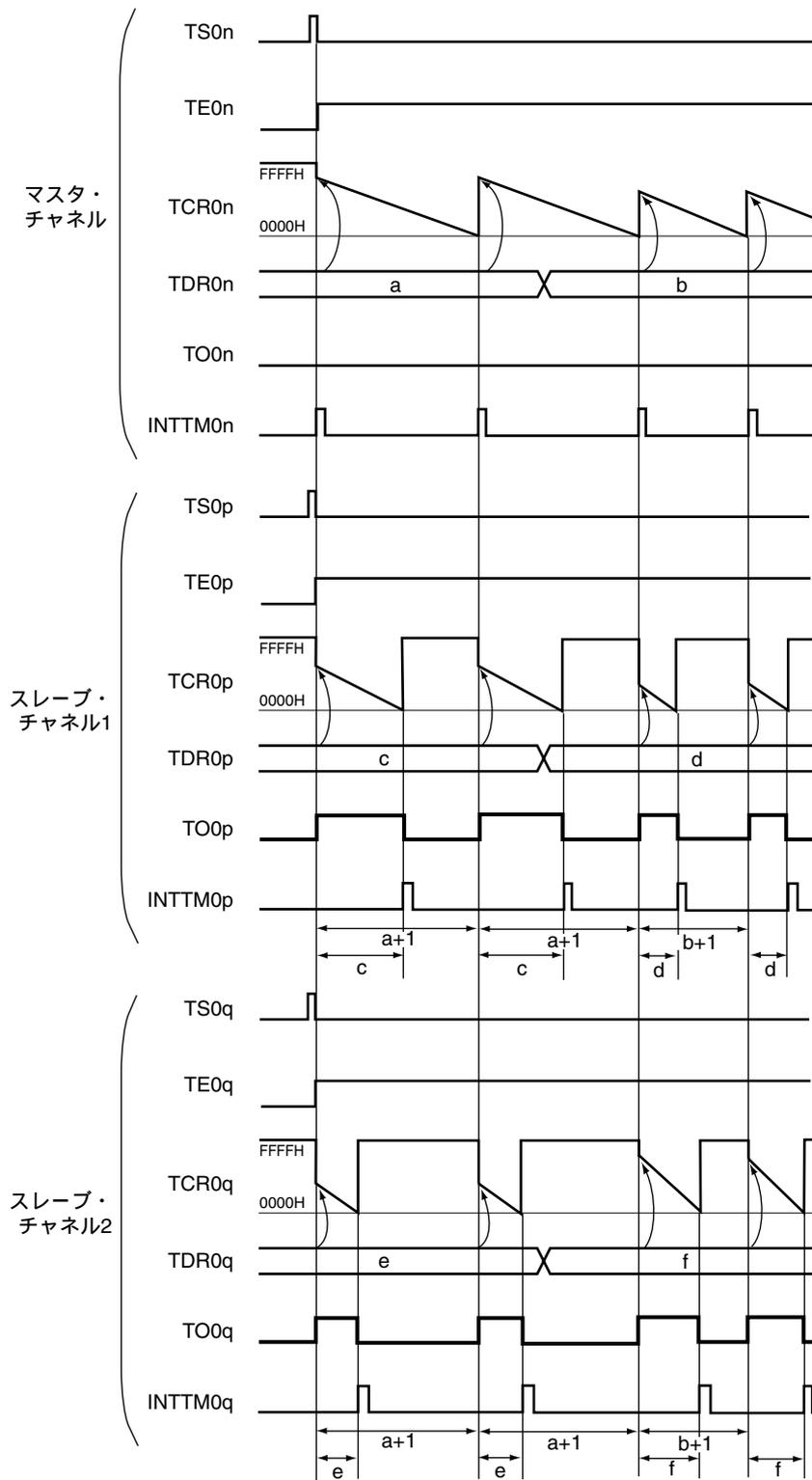
備考 n = 0, 2
n < p < q < 4 (78K0R/KC3-Lはn < p < q < 3)
ただしp, qは、n以降の連続した整数 (p = n + 1, q = n + 2)

図6 - 65 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



- 備考1. $n = 0, 2$
 2. $p = n+1$
 $q = n+2$

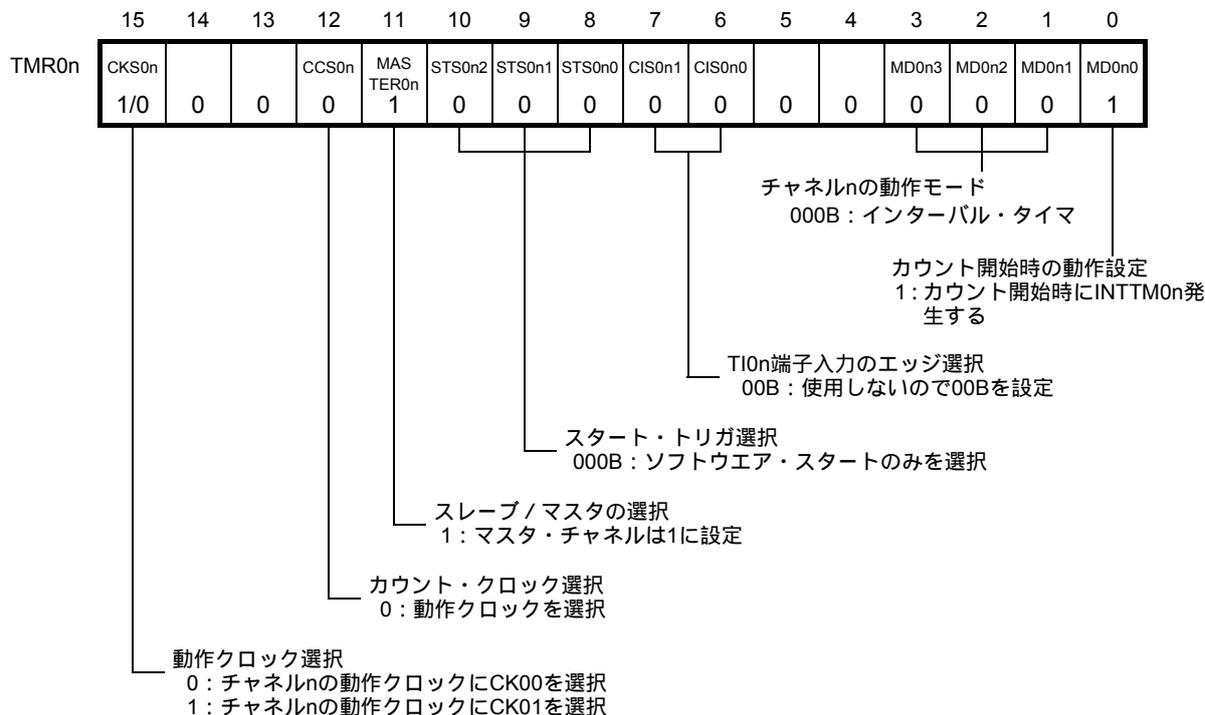
図6 - 66 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



- 備考1. $n = 0, 2$
 2. $p = n+1$
 $q = n+2$

図6 - 67 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

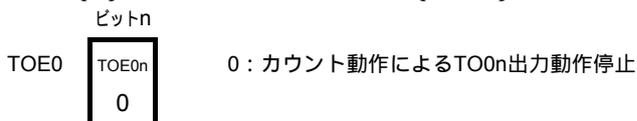
(a) タイマ・モード・レジスタ0n (TMR0n)



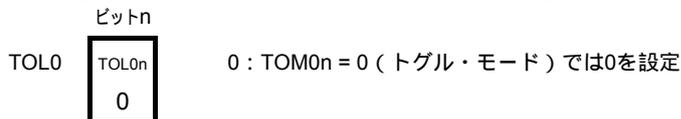
(b) タイマ出力レジスタ0 (TO0)



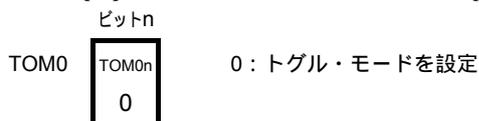
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)

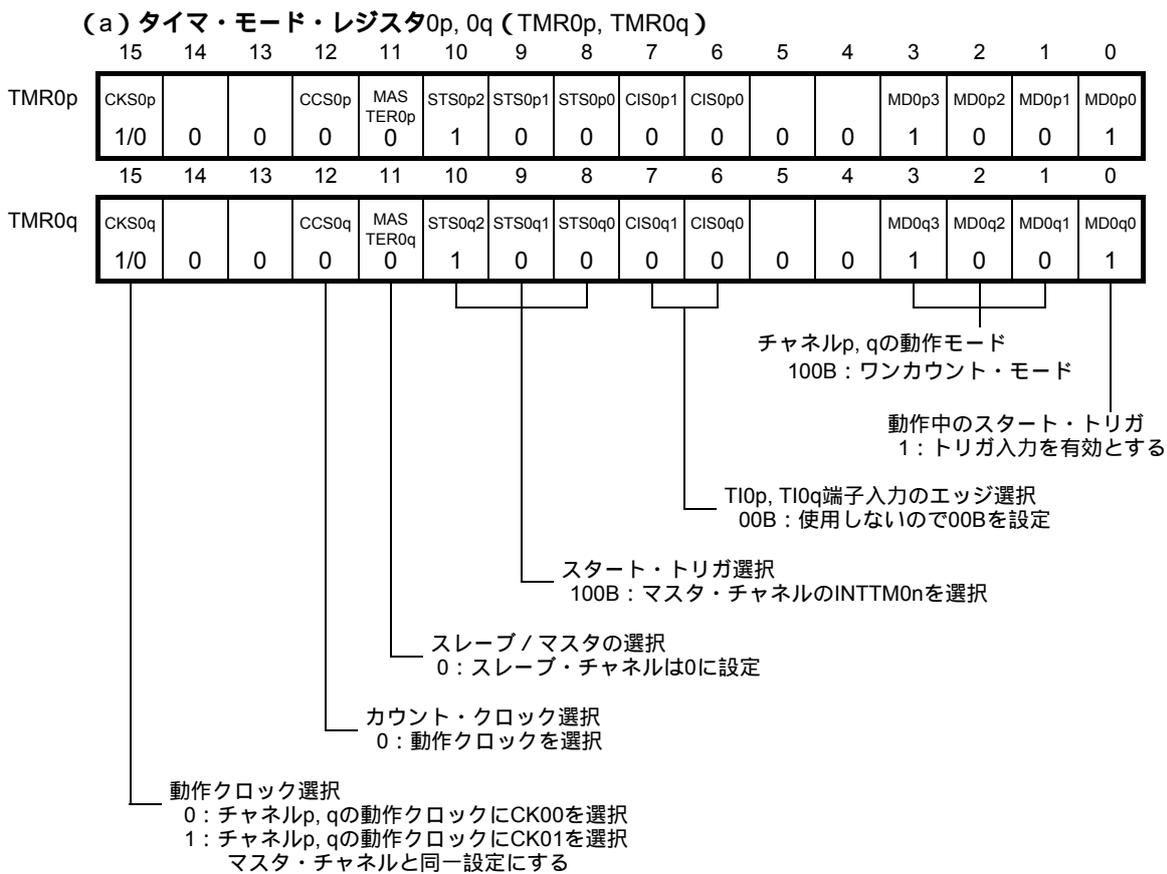


(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0, 2

図6 - 68 多重PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2種類のPWMを出力する場合)



(b) タイマ出力レジスタ0 (TO0)

	ビットq	ビットp	
TO0	TO0q	TO0p	0 : TO0p, TO0qより0を出力する
	1/0	1/0	1 : TO0p, TO0qより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットq	ビットp	
TOE0	TOE0q	TOE0p	0 : カウント動作によるTO0p, TO0q出力動作停止
	1/0	1/0	1 : カウント動作によるTO0p, TO0q出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットq	ビットp	
TOL0	TOL0q	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1/0	1 : 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットq	ビットp	
TOM0	TOM0q	TOM0p	1 : 連動動作モードを設定
	1	1	

備考 n = 0, 2; p = n+1; q = n+2

図6 - 69 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャンネルのTMR0n, TMR0p, TMR0qレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR0nレジスタにインターバル(周期)値, スレーブ・チャンネルのTDR0p, TDR0qレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOM0p, TOM0qビットに1(連動動作モード)を設定する TOL0p, TOL0qビットに0を設定する TO0p, TO0qビットを設定し, TO0p, TO0q出力の初期レベルを確定する	TO0p, TO0q端子はHi-Z出力状態
	TOE0p, TOE0qに1を設定し, TO0p, TO0qの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	▶ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p, TO0q初期設定レベルが出力される。 ▶チャンネルは動作停止状態なので, TO0p, TO0qは変化しない ▶TO0p, TO0q端子はTO0p, TO0q設定レベルを出力

備考1. n = 0, 2

2. p = n+1; q = n+2

図6-69 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE0p, TOE0q (スレーブ)に1を設定する(動作再開時のみ) TS0レジスタのTS0n(マスタ), TS0p, TS0q(スレーブ)ビットに同時に1を設定する TS0n, TS0p, TS0qビットはトリガ・ビットなので,自動的に0に戻る	TE0n = 1, TE0p, TE0q = 1となる マスタ・チャンネルがカウント動作開始し, INTTM0nを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMR0n, TMR0p, TMR0qレジスタ, TOM0n, TOM0p, TOM0q, TOL0n, TOL0p, TOL0qビットは, 設定値変更禁止 TDR0n, TDR0p, TDR0qレジスタは, マスタ・チャンネルのINTTM0n発生後に設定値変更可能 TCR0n, TCR0p, TCR0qレジスタは, 常に読み出し可能 TSR0n, TSR0p, TSR0qレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TCR0nはTDR0nの値をロードし, ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に, TCR0nはTDR0nの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル1では, マスタ・チャンネルのINTTM0n信号をトリガとして, TDR0pレジスタ値をTCR0pに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 スレーブ・チャンネル2では, マスタ・チャンネルのINTTM0n信号をトリガとして, TDR0qレジスタ値をTCR0qに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0q出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0q出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。
	動作停止 TT0n(マスタ), TT0p, TT0q(スレーブ)ビットに同時に1を設定する TT0n, TT0p, TT0qビットはトリガ・ビットなので, 自動的に0に戻る スレーブ・チャンネルのTOE0p, TOE0qに0を設定し, TO0p, TO0qビットに値を設定する	TE0n, TE0p, TE0q = 0になり, カウント動作停止 TCR0n, TCR0p, TCR0qはカウント値を保持して停止 TO0p, TO0q出力は初期化されず, 状態保持 TO0p, TO0q端子はTO0p, TO0q設定レベルを出力
	TAU停止 TO0p, TO0q端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0p, TO0qビットに0を設定する TO0p, TO0q端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER0レジスタのTAU0ENビットに0を設定する	TO0p, TO0q端子出力レベルはポート機能により保持される。 TO0p, TO0q端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO0p, TO0qビットが0になり, TO0p, TO0q端子はポート機能となる)

備考1. n = 0, 2

2. p = n+1; q = n+2

第7章 リアルタイム・カウンタ

7.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年, 月, 曜日, 日, 時, 分, 秒のカウンタを持ち, 最長99年までカウント可能
- ・定周期割り込み機能 (周期: 1ヶ月 ~ 0.5秒)
- ・アラーム割り込み機能 (アラーム: 曜日・時・分)
- ・インターバル割り込み機能
- ・512 Hz, 16.384 kHz, 32.768 kHzのいずれかの端子出力機能

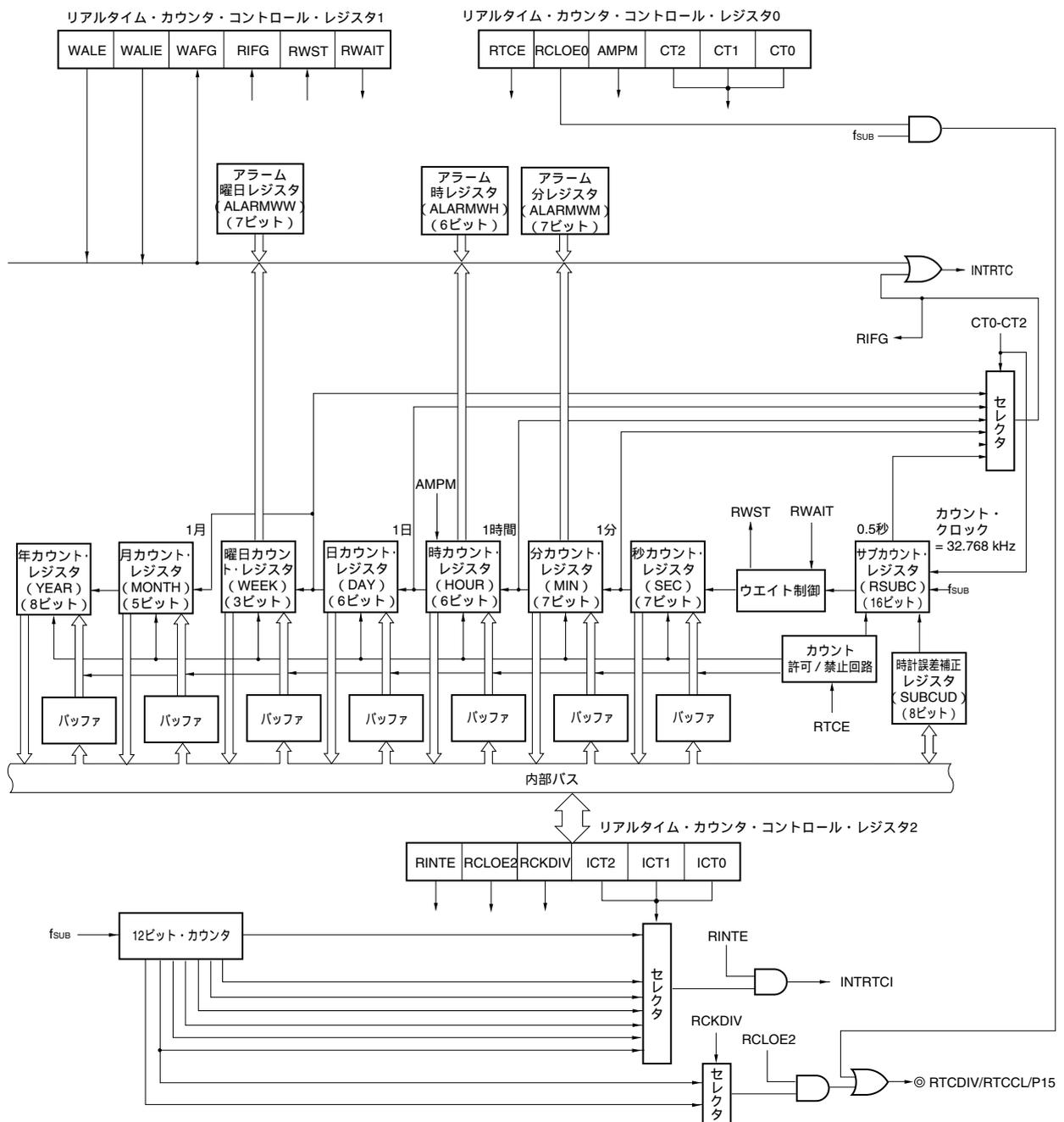
7.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表7-1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
	リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
	リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
	サブカウント・レジスタ (RSUBC)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
	アラーム曜日レジスタ (ALARMWW)

図7-1 リアルタイム・カウンタのブロック図



7.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・カウンタを使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給許可 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

注 RTCENでは、CPUからリアルタイム・カウンタ (RTC) のレジスタにアクセスするときを使用されるクロックを供給、停止できます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

- 注意1. リアルタイム・カウンタを使用する場合は、サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・カウンタの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。
2. 動作スピード・モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、サブシステム・クロック時HALTモードで、リアルタイム・カウンタ以外の周辺機能へのクロック供給を停止することが可能です。その場合、RTCENは1に設定し、PER0のその他のビット0-6は0に設定してください。
3. ビット1, 6には必ず“0”を設定してください。

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止、RTCCL端子、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	0	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

・AMPMの値を変更する場合は、RWAITビット(リアルタイム・カウンタ・コントロール・レジスタ1(RTCC1)のビット0) = 1にしてから書き換えてください。AMPMの値を変更すると、時カウント・レジスタ(HOUR)の値は設定した時間制に対応した値に変更されます。

・時間桁表示表を表7-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0の値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注 RCLOE0とRCLOE2は、同時許可禁止です。

注意 RTCE = 1のときにRCLOE0を変更すると、32.768 kHzの出力の最後の波形が短くなる場合があります。

備考 x : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
<p>カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEを一致動作無効 “0” にしてください。</p>	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
<p>アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に “1” となります。</p> <p>“0” を書き込むことでクリアされ，“1” の書き込みは無効となります。</p>	

図7-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーバフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウントアップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、RSUBCがクリアされます。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

RTCC2は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7-5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：FFF9FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{XT}$ (1.953125 ms)
1	0	0	1	$2^7/f_{XT}$ (3.90625 ms)
1	0	1	0	$2^8/f_{XT}$ (7.8125 ms)
1	0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{XT}$ (125 ms)

RCLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

RCKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hzを出力 (1.95 ms)
1	RTCDIV端子から16.384 kHzを出力 (0.061 ms)

注 RCLOE0とRCLOE2は，同時許可禁止です。

注意1. ICT2, ICT1, ICT0の変更は，RINTE = 0のときに行ってください。

2. RTCDIV端子の出力を停止した場合， f_{XT} の最大2クロック後まで出力を行い，ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると，最小で f_{XT} の1クロック幅のパルスを発生することがあります。
3. 動作開始後，最初のインターバル期間，RTCDIV端子の出力幅は，設定より短くなる場合があります。

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。
通常0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。
RSUBCは、16ビット・メモリ操作命令で設定します。
リセット信号の発生により、0000Hになります。

- 注意1.** SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図7-6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス：FFF90H リセット時：0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス：FFF91H リセット時：0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。
サブカウンタからのオーバーフローによりカウント・アップします。
書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。
SECは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図7-7 秒カウント・レジスタ (SEC) のフォーマット

アドレス：FFF92H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

MINは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7-8 分カウント・レジスタ (MIN) のフォーマット

アドレス: FFF93H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。

また, リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM) で設定した時間制に応じて, 10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると, HOURの値は設定した時間制に対応する値に自動的に変更されます。

範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

HOURは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。

図7-9 時カウント・レジスタ (HOUR) のフォーマット

アドレス: FFF94H リセット時: 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。

AMPMビットの設定値，およびHOURレジスタ値と時間の関係を表7 - 2に示します。

表7 - 2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

(9) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

DAYは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図7 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

MONTHは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図7 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

YEARは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図7 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタ (SEC) へオーバーフローする値 (基準値 : 7FFFH) を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス : FFF99H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> DEV = 0設定時 : SEC = 00H, 20H, 40Hの期間 DEV = 1設定時 : SEC = 00Hの期間 	

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。	
/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。	
補正值の範囲 : (F6 = 0のとき) 2, 4, 6, 8, ... 120, 122, 124	
(F6 = 1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に、時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FFF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FFF9BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

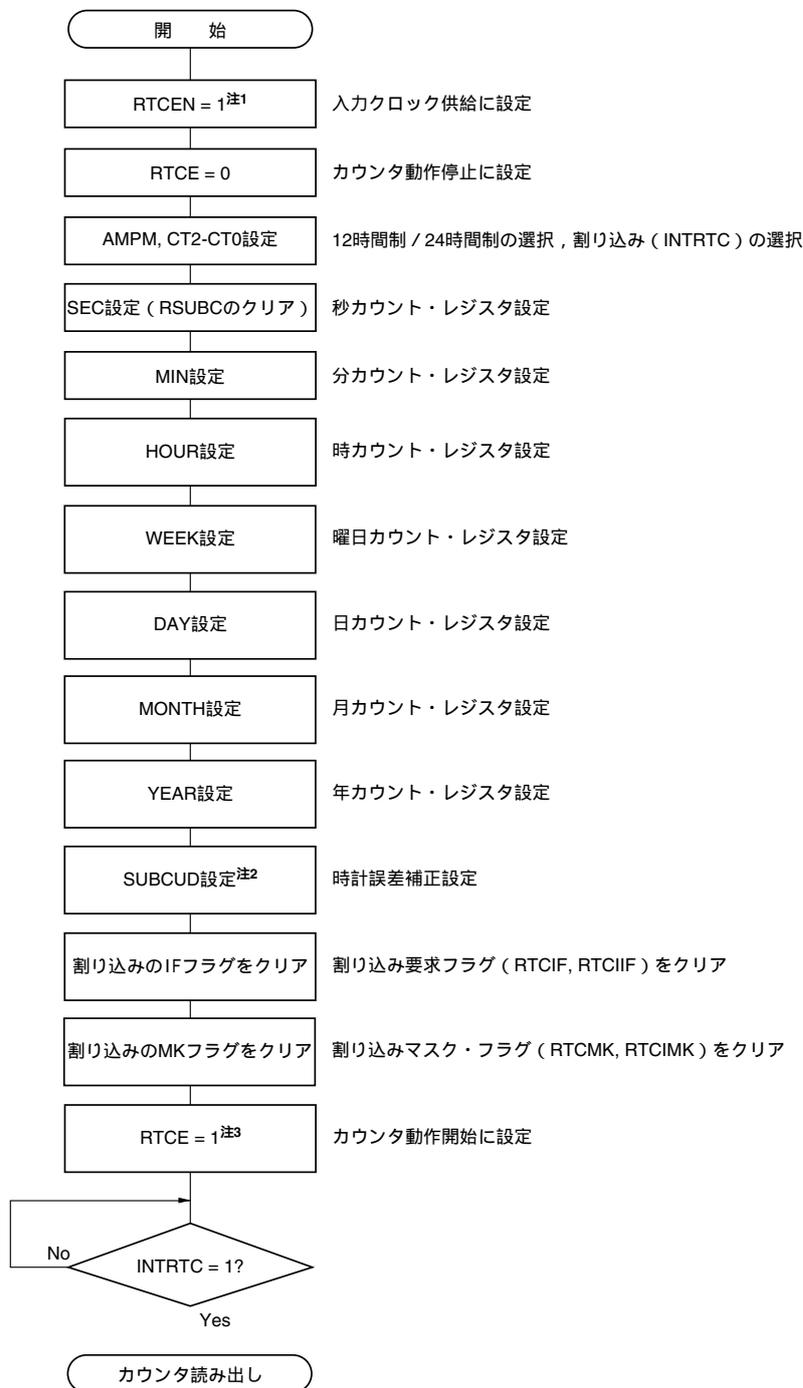
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
0	1	2	3	4	5	6									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

7.4 リアルタイム・カウンタの動作

7.4.1 リアルタイム・カウンタの動作開始

図7-18 リアルタイム・カウンタの動作開始手順



注1. サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

2. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、7.4.7 リアルタイム・カウンタの時計誤差補正例を参照してください。

3. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、7.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

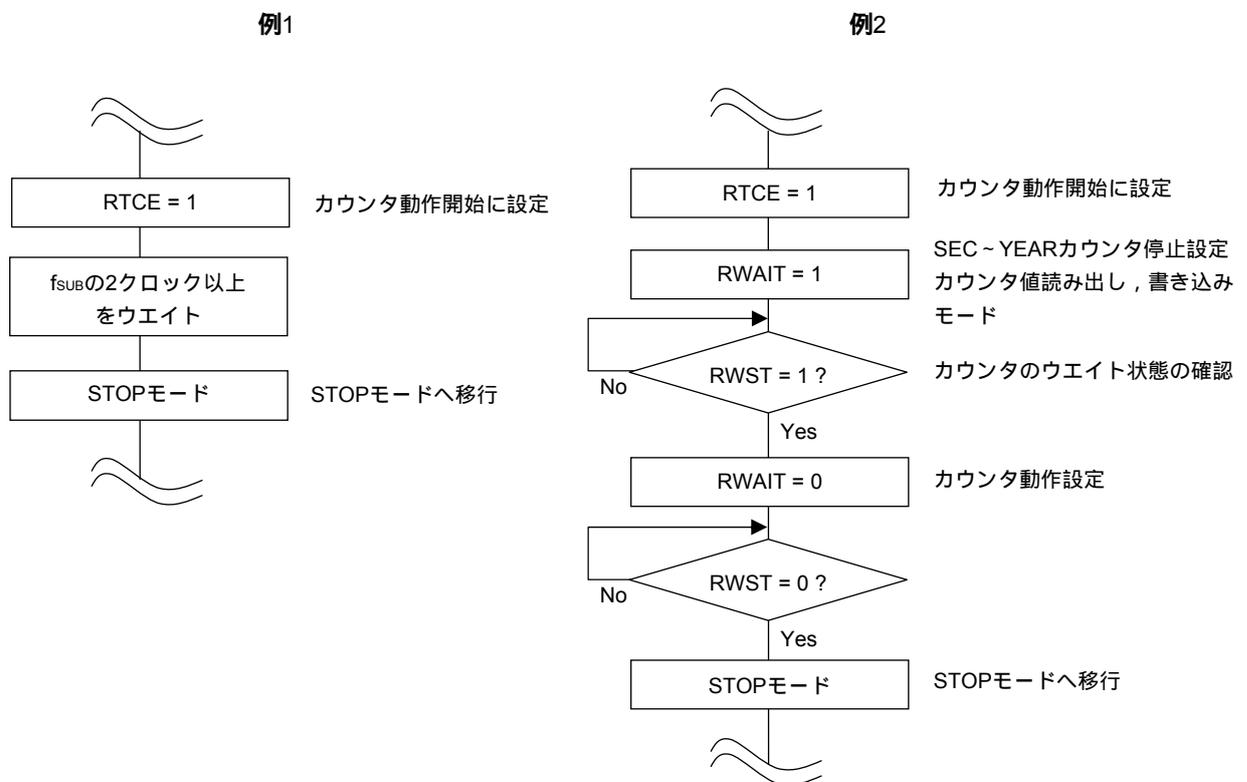
7.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、サブシステム・クロック(f_{SUB})の2クロック分(約 $62 \mu s$)以上経過後にSTOPモードへ移行する(図7-19 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する(図7-19 例2参照)。

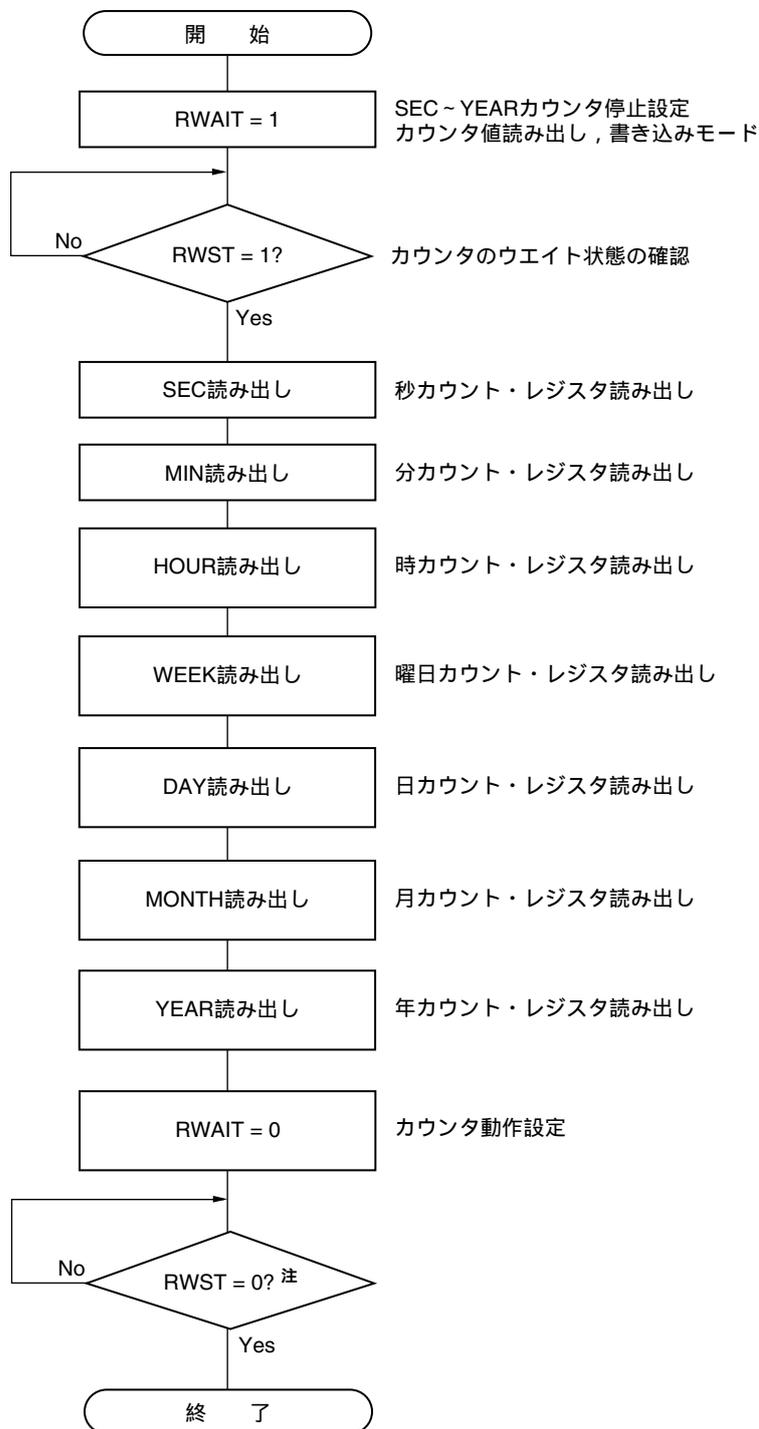
図7-19 RTCE = 1に設定後のSTOPモードへの移行手順



7.4.3 リアルタイム・カウンタのカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図7-20 リアルタイム・カウンタの読み出し手順

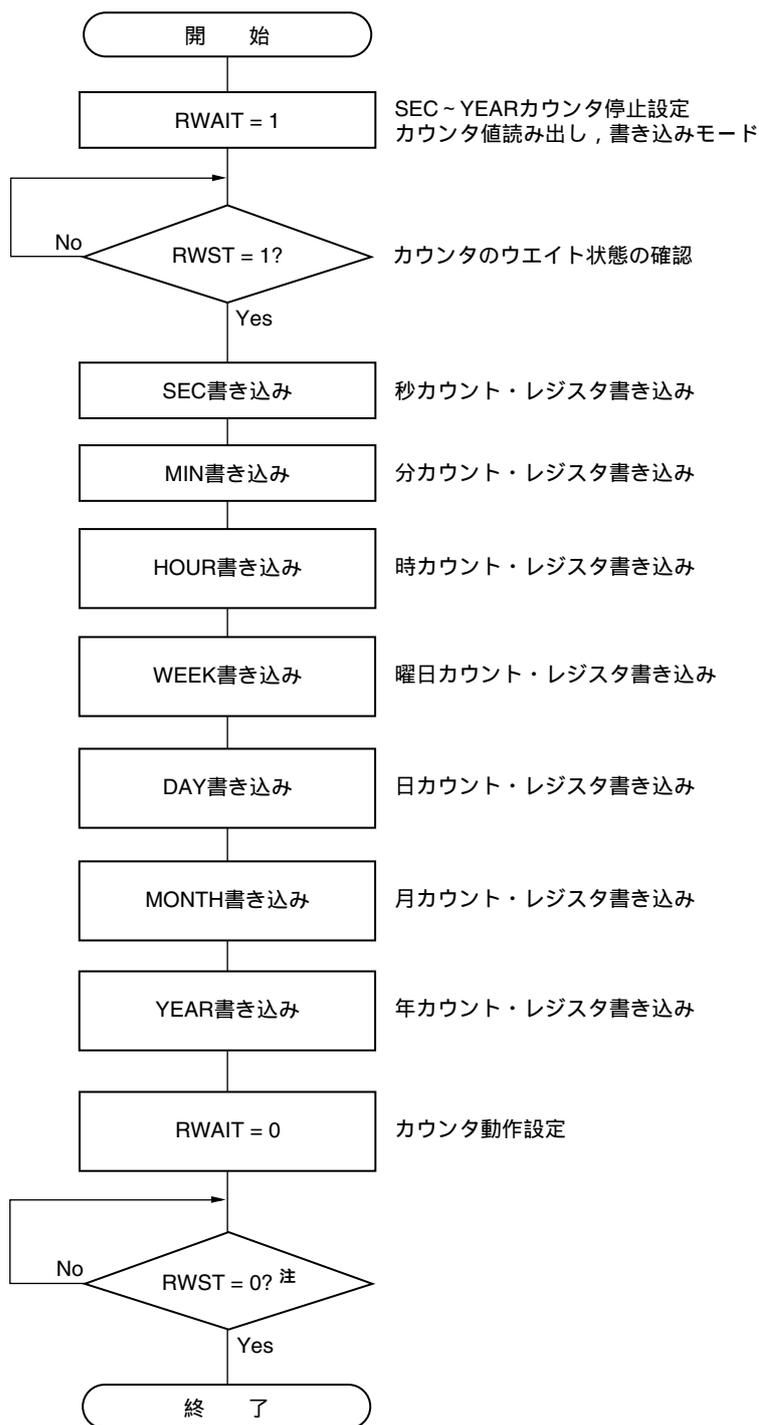


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図7-21 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には, 必ずRWST = 0であることを確認してください。

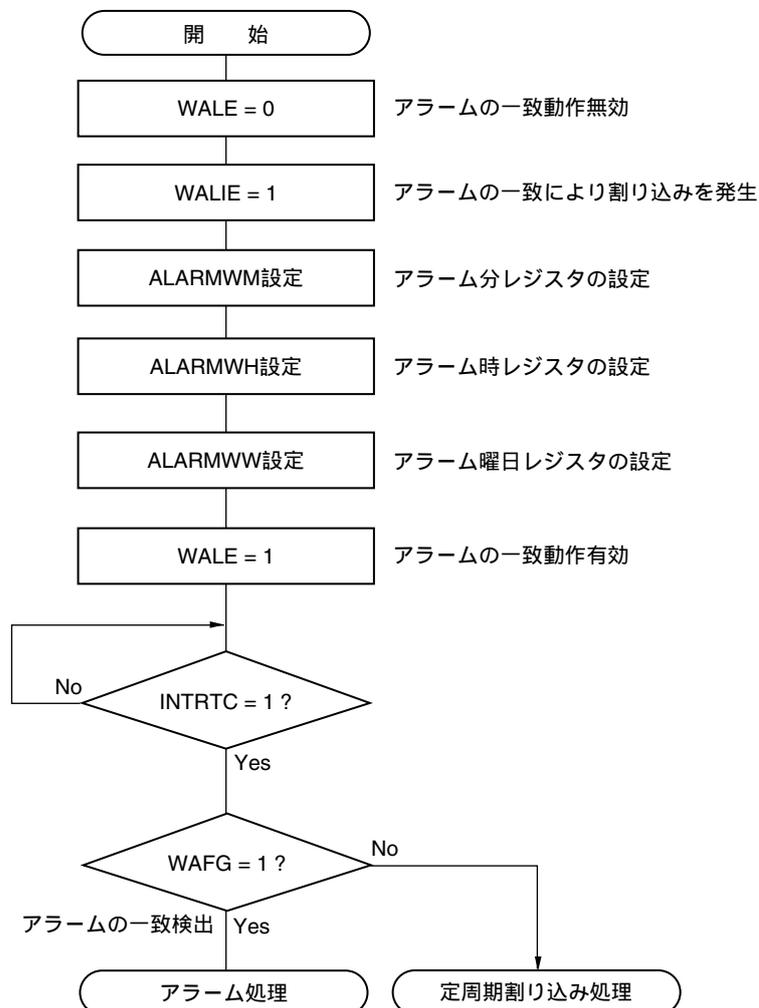
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また, すべてのレジスタを設定する必要はなく, 一部のレジスタのみを書き換えても構いません。

7.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図7-22 アラーム設定手順



備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

- 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

7.4.5 リアルタイム・カウンタの32.768 kHz出力

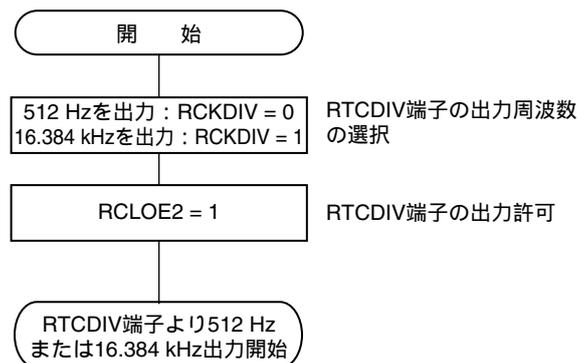
図7 - 23 32.768 kHz出力の設定手順



注意 サブシステム・クロック(f_{SUB})が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

7.4.6 リアルタイム・カウンタの512 Hz, 16.384 kHz出力

図7 - 24 512 Hz, 16.384 kHz出力の設定手順



注意 サブシステム・クロック(f_{SUB})が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

7.4.7 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6} = 0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6} = 1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考**1. 補正値は、2, 4, 6, 8, ……120, 122, 124, または -2, -4, -6, -8, ……-120, -122, -124です。
2. 発振周波数とは、サブシステム・クロック (f_{SUB}) の値です。
RTCCL端子からの32 kHz出力周波数で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]はRTCCL端子から約32.768 kHzを出力して測定します。

注 RTCCL端子から約32 kHzの出力の設定手順は、7. 4. 5 **リアルタイム・カウンタの32.768 kHz出力を参照してください。**

【補正値の算出】

(RTCCL端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= \text{1分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

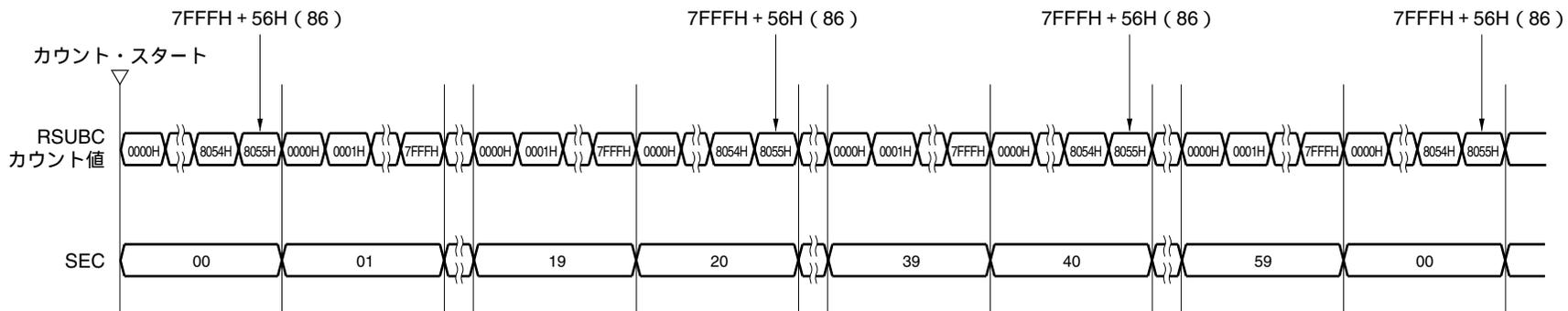
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正値 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図7 - 25に示します。

図7 - 25 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]をRTCCL端子から約32.768 kHzを出力して測定します。

注 RTCCL端子から約32 kHzの出力の設定手順は、7. 4. 5 **リアルタイム・カウンタの32.768 kHz出力を参照してください。**

【補正値の算出】

(RTCCL端子からの出力周波数が32767.4 Hzの場合)

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= \text{1分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下 (速くする場合) では、F6 = 1とします。

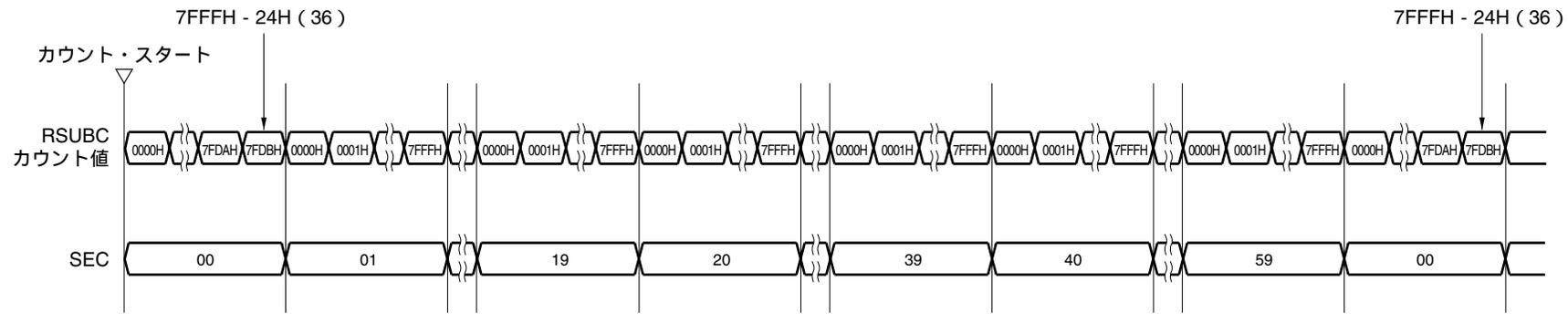
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図7 - 26に示します。

図7-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については第19章 **リセット機能**を参照してください。

また、オーバフロー時間の75%到達時にインターバル割り込みを発生することもできます。

8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表8-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

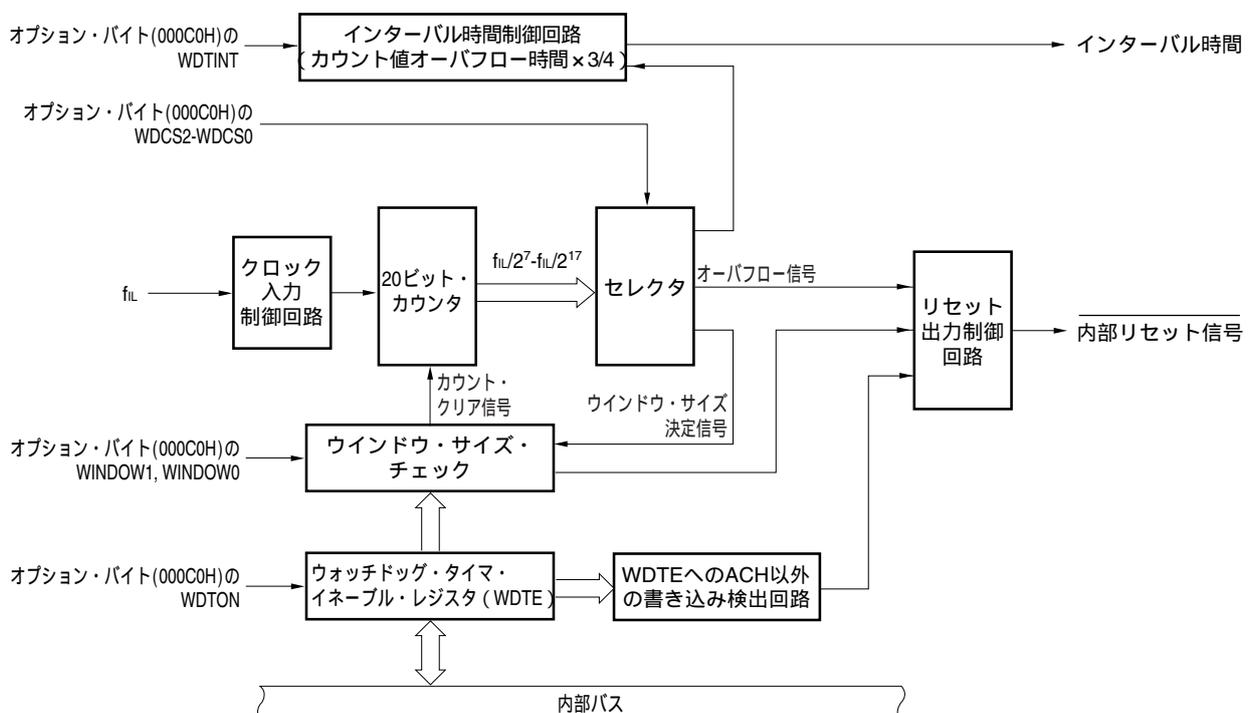
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表8-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第22章 **オプション・バイト**を参照してください。

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図8-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト(000C0H)のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
- WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
 - WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

- ・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウンタ動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第22章 オプション・バイトを参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止（リセット解除後、カウンタ停止）
1	カウンタ動作許可（リセット解除後、カウンタ開始）

- ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、8.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定および第22章 オプション・バイトを参照）。
- ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、8.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定および第22章 オプション・バイトを参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
3. カウンタ動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{clk}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア (0) して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

8.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウンタはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表8-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 34.5 \text{ kHz (MAX.)}$ の場合)
0	0	0	$2^7/f_{IL}$ (3.71 ms)
0	0	1	$2^8/f_{IL}$ (7.42 ms)
0	1	0	$2^9/f_{IL}$ (14.84 ms)
0	1	1	$2^{10}/f_{IL}$ (29.68 ms)
1	0	0	$2^{12}/f_{IL}$ (118.72 ms)
1	0	1	$2^{14}/f_{IL}$ (474.90 ms)
1	1	0	$2^{15}/f_{IL}$ (949.80 ms)
1	1	1	$2^{17}/f_{IL}$ (3799.19 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。

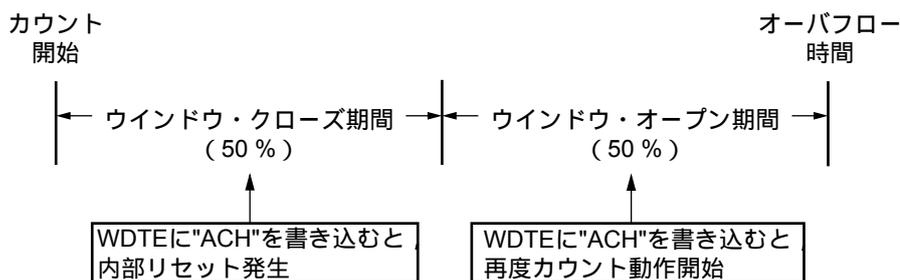
備考 f_{IL} : 低速内蔵発振クロック周波数

8.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が50 %の場合



注意 リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表8 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意1. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

2. オプション・バイト(000C0H)のビット0(WDSTBYON)=0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウインドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

ウインドウ・オープン期間50 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/34.5 \text{ kHz} (\text{MAX.}) = 29.68 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^{10}/25.5 \text{ kHz} (\text{MIN.}) \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/25.5 \text{ kHz} (\text{MIN.}) \times 0.5 \sim 2^{10}/34.5 \text{ kHz} (\text{MAX.}) = 20.08 \sim 29.68 \text{ ms}$$

8.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表8 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第9章 クロック出力/ブザー出力制御回路

9.1 クロック出力/ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。

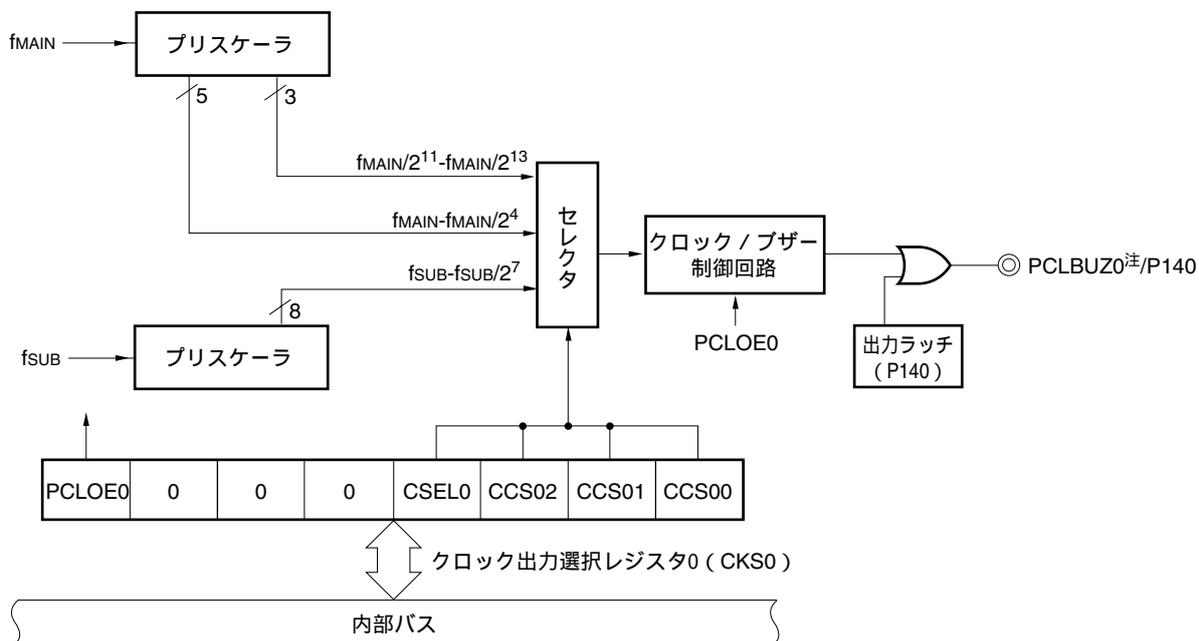
また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロックを出力します。

図9-1にクロック出力/ブザー出力制御回路のブロック図を示します。

図9-1 クロック出力/ブザー出力制御回路のブロック図



注 PCLBUZ0端子は、2.7 V V_{DD} で10 MHzまでのクロック出力が可能です。 $V_{DD} < 2.7$ Vで5 MHzを越えるクロックは設定禁止です。

備考 f_{MAIN} : メイン・システム・クロック周波数

f_{SUB} : サブシステム・クロック周波数

9.2 クロック出力/ブザー出力制御回路の構成

クロック出力/ブザー出力制御回路は、次のハードウェアで構成されています。

表9-1 クロック出力/ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ0 (CKS0) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

9.3 クロック出力/ブザー出力制御回路を制御するレジスタ

クロック出力/ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ0 (CKS0)
- ・ポート・モード・レジスタ14 (PM14)

(1) クロック出力選択レジスタ0 (CKS0)

クロック出力またはブザー周波数出力の端子 (PCLBUZ0) の出力許可/禁止、および出力クロックを設定するレジスタです。

CKS0でPCLBUZ0の出力するクロックを選択します。

CKS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 クロック出力選択レジスタ0 (CKS0) のフォーマット

アドレス : FFFA5H (CKS0) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	CSEL0	CCS02	CCS01	CCS00

PCLOE0	PCLBUZ0の出力許可 / 禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSEL0	CCS02	CCS01	CCS00	PCLBUZ0端子の出力クロックの選択			
				f _{MAIN} = 12 MHz	f _{MAIN} = 16 MHz	f _{MAIN} = 20 MHz	
0	0	0	0	f _{MAIN}	12 MHz	16 MHz	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	6 MHz	8 MHz	10 MHz ^注
0	0	1	0	f _{MAIN} /2 ²	3 MHz	4 MHz	5 MHz
0	0	1	1	f _{MAIN} /2 ³	1.5 MHz	2 MHz	2.5 MHz
0	1	0	0	f _{MAIN} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	5.86 kHz	7.81 kHz	9.76 kHz
0	1	1	0	f _{MAIN} /2 ¹²	2.93 kHz	3.91 kHz	4.88 kHz
0	1	1	1	f _{MAIN} /2 ¹³	1.46 kHz	1.95 kHz	2.44 kHz
1	0	0	0	f _{SUB}	32.768 kHz		
1	0	0	1	f _{SUB} /2	16.384 kHz		
1	0	1	0	f _{SUB} /2 ²	8.192 kHz		
1	0	1	1	f _{SUB} /2 ³	4.096 kHz		
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz		
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz		
1	1	1	0	f _{SUB} /2 ⁶	512 Hz		
1	1	1	1	f _{SUB} /2 ⁷	256 Hz		

注 出力クロックは、10 MHz以内の範囲で使用してください。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOE0 = 0) にしてから行ってください。
2. メイン・システム・クロック選択時 (CSEL0 = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOE0 = 0にしてください。サブシステム・クロック選択時 (CSEL0 = 1) は、STOPモード時にクロック出力が可能のためPCLOE0 = 1に設定可能です。

- 備考1. f_{MAIN} : メイン・システム・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ14 (PM14)

ポート14の入力/出力を1ビット単位で設定するレジスタです。

P140/INTP6/PCLBUZ0端子をクロック出力/ブザー出力機能として使用するとき、PM140およびP140の出力ラッチに0を設定してください。

PM14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図9-3 ポート・モード・レジスタ14 (PM14) のフォーマット

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	PM144 ^注	PM143 ^注	PM142 ^注	1	PM140

PM14n	P14n端子の入出力モードの選択 (n=0, 2-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0R/KE3-Lのみ

9.4 クロック出力/ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロック/ブザーを出力します。

9.4.1 出力端子の動作

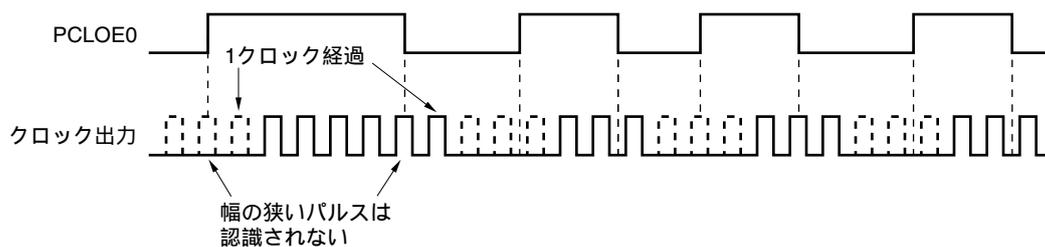
PCLBUZ0は、次の手順で出力します。

PCLBUZ0端子のクロック出力選択レジスタ (CKS0) のビット0-3 (CCS00-CCS02, CSEL0) で出力周波数を選択する (出力は禁止の状態)。

CKS0のビット7 (PCLOE0) に1を設定し、クロック出力/ブザー出力を許可する。

備考 クロック出力用として使用するときの制御回路は、クロック出力の出力許可/禁止 (PCLOE0) を切り替えてから1クロック後にクロック出力を開始/停止します。このとき幅の狭いパルスは出力されません。PCLOE0による出力の許可/停止とクロック出力のタイミングを図9-4に示します。

図9-4 リモコン出力応用例



第10章 A/Dコンバータ

10.1 A/Dコンバータの機能

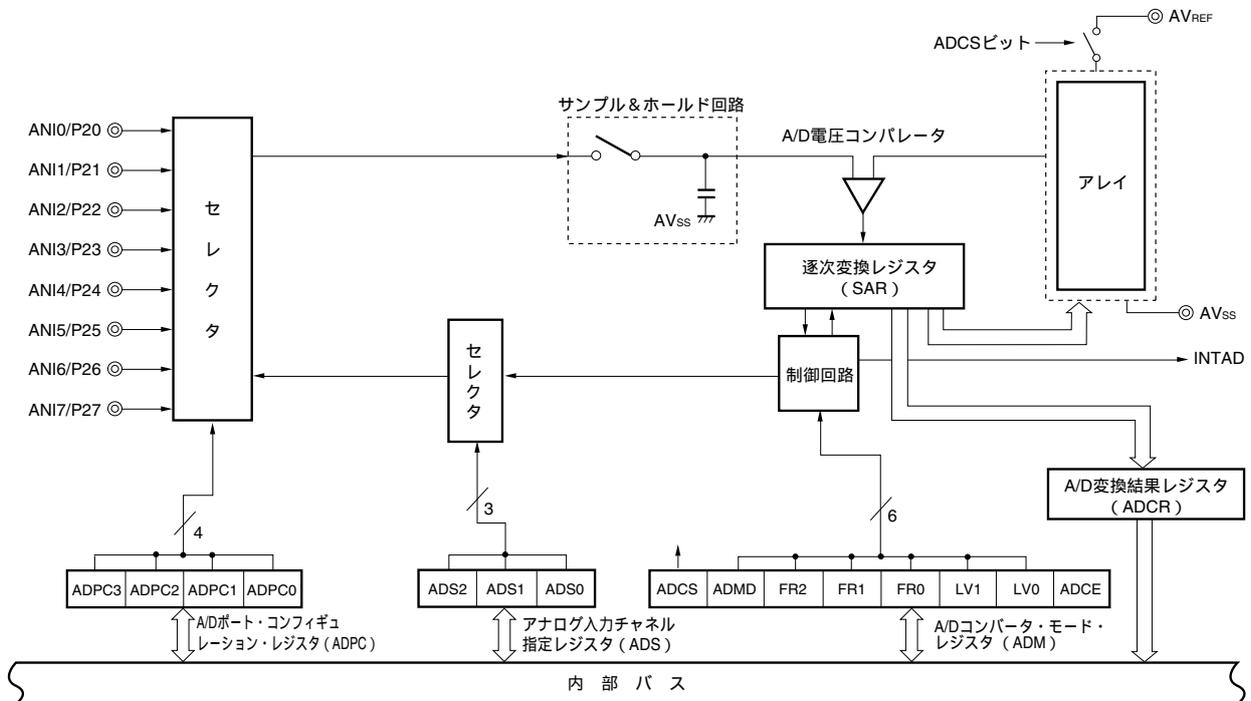
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大8チャンネルのA/Dコンバータ・アナログ入力（ANI0-ANI7）アナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

ANI0-ANI7からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

図10 - 1 A/Dコンバータのブロック図



10.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI7端子

A/Dコンバータの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REF}$)

ビット11 = 1 : ($3/4 AV_{REF}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) アレイ

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{REF}端子

A/Dコンバータの電源端子とA/Dコンバータの基準電圧を入力する端子です。ポート2をすべてアナログ・ポートとして使用する場合は、1.8 V AV_{REF} V_{DD}となる電位にしてください。ポート2のうち、1本でもデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて、ANI0-ANI17に入力されるアナログ信号をデジタル信号に変換します。

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

10.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2 (PM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入力クロック供給許可 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. ビット1, 6には必ず"0"を設定してください。

(2) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	A/D変換動作モードを指定
0	セレクト・モード
1	スキャン・モード

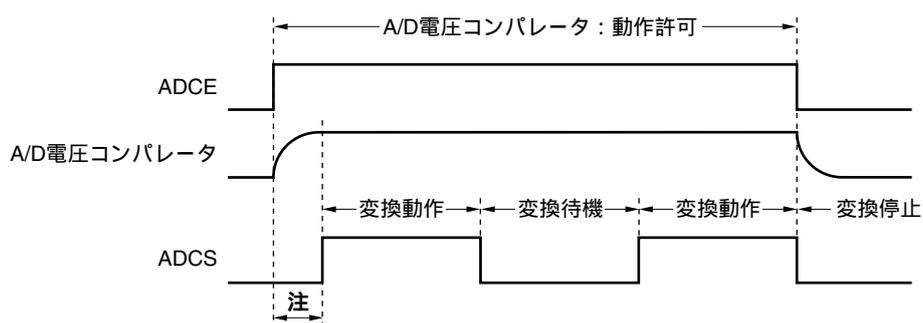
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可 (A/D電圧コンパレータ：1/2AV _{REF} 動作)

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表10-2 A/D変換時間の選択を参照してください。
2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表10-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ：動作許可)

図10 - 4 A/D 電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

注意 FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

表10 - 2 A/D変換時間の選択

(1) 1.8 V AVREF 3.6 V

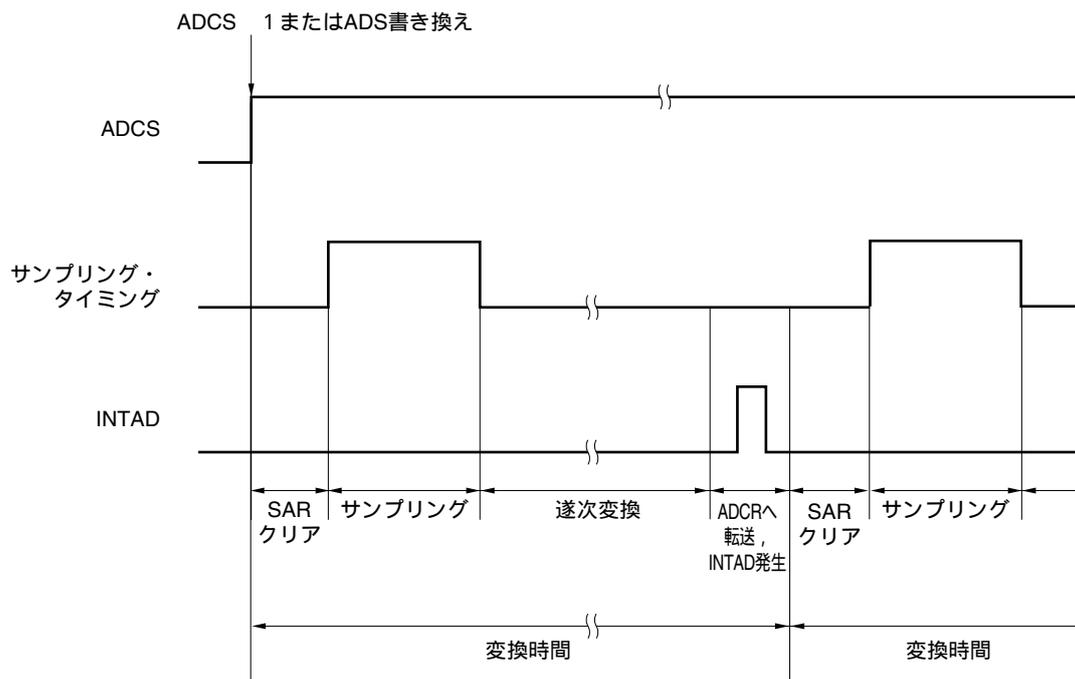
A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 10 MHz	f _{CLK} = 12 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	34.2 μs	28.5 μs	21.4 μs	17.1 μs	f _{CLK} /20
0	0	1				17.2 μs	14.4 μs	10.8 μs	8.6 μs	f _{CLK} /10
0	1	0				13.8 μs	11.5 μs	8.6 μs	設定禁止	f _{CLK} /8
0	1	1				10.4 μs	8.7 μs	設定禁止		f _{CLK} /6
1	0	0				設定禁止	設定禁止	設定禁止	f _{CLK} /4	
1	0	1							f _{CLK} /3	
1	1	0							f _{CLK} /2	
1	1	1						f _{CLK}		
0	0	0	0	1	低電圧	34.2 μs	28.5 μs	設定禁止	設定禁止	f _{CLK} /20
0	0	1				設定禁止	設定禁止	f _{CLK} /10		
0	1	0						f _{CLK} /8		
0	1	1						f _{CLK} /6		
1	0	0						f _{CLK} /4		
1	0	1						f _{CLK} /3		
1	1	0						f _{CLK} /2		
1	1	1						f _{CLK}		
x	x	x	1	0	-	設定禁止				-
0	0	0	1	1	高速	34.2 μs	28.5 μs	21.4 μs	17.1 μs	f _{CLK} /20
0	0	1				17.2 μs	14.4 μs	10.8 μs	8.6 μs	f _{CLK} /10
0	1	0				13.8 μs	11.5 μs	8.6 μs	6.9 μs	f _{CLK} /8
0	1	1				10.4 μs	8.7 μs	6.5 μs	5.2 μs	f _{CLK} /6
1	0	0				7.0 μs	5.8 μs	4.4 μs	3.5 μs	f _{CLK} /4
1	0	1				5.3 μs	4.4 μs	設定禁止	設定禁止	f _{CLK} /3
1	1	0				3.6 μs	設定禁止	設定禁止	f _{CLK} /2	
1	1	1				設定禁止			f _{CLK}	

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図10 - 5 A/DコンバータのサンプリングとA/D変換のタイミング



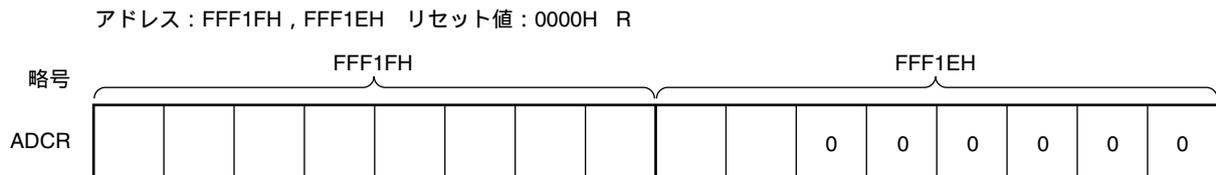
(3) 10ビットA/D変換結果レジスタ (ADCR)

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10 - 6 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

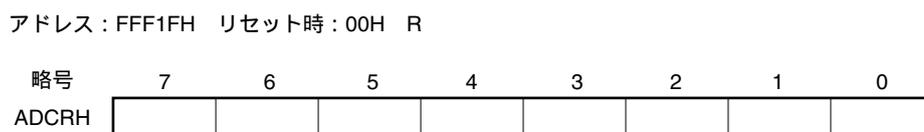
(4) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10 - 7 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(5) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (1/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

セレクト・モード (ADMD = 0)

ADS2	ADS1	ADS0	アナログ入力チャンネル	入力ソース
0	0	0	ANI0	P20/ANI0端子
0	0	1	ANI1	P21/ANI1端子
0	1	0	ANI2	P22/ANI2端子
0	1	1	ANI3	P23/ANI3端子
1	0	0	ANI4	P24/ANI4端子
1	0	1	ANI5	P25/ANI5端子
1	1	0	ANI6	P26/ANI6端子
1	1	1	ANI7	P27/ANI7端子

注意1. ビット3-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

図10 - 8 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

スキャン・モード (ADMD = 1)

ADS2	ADS1	ADS0	アナログ入力チャンネル			
			スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	1	ANI1	ANI2	ANI3	ANI4
0	1	0	ANI2	ANI3	ANI4	ANI5
0	1	1	ANI3	ANI4	ANI5	ANI6
1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外			設定禁止			

注意1. ビット3-7には必ず0を設定してください。

- A/D変換で使用するチャンネルは、ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
- ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27を，A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，10Hになります。

図10-9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス：F0017H リセット時：10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え								
					ポート2								
					ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20	
0	0	0	0	0	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	D	D	D
0	0	0	1	1	A	A	A	A	A	D	D	D	D
0	0	1	0	0	A	A	A	A	D	D	D	D	D
0	0	1	0	1	A	A	A	D	D	D	D	D	D
0	0	1	1	0	A	A	D	D	D	D	D	D	D
0	0	1	1	1	A	D	D	D	D	D	D	D	D
0	1	0	0	0	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D
上記以外					設定禁止								

- 注意1. A/D変換で使用するチャンネルは，ポート・モード・レジスタ2 (PM2) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を，アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。
3. ADPCレジスタの設定をする際には，必ず最初に周辺イネーブル・レジスタ0 (PER0) のADCEN = 1の設定を行ってください。ADCEN = 0の場合は，ADPCへの書き込みは無視され，設定値は初期値となります。

(7) ポート・モード・レジスタ2 (PM2)

ANI0/P20-ANI7/P27端子をアナログ入力ポートとして使用するとき、PM20-PM27にそれぞれ1を設定してください。このときP20-P27の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図10 - 10 ポート・モード・レジスタ2 (PM2) のフォーマット

アドレス：FFF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	P2n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI0/P20-ANI7/P27端子の機能は、ADPC, ADS, PM2の設定で決定します。

表10 - 3 ANI0/P20-ANI7/P27端子機能の設定

ADPC	PM2	ADS	ANI0/P20-ANI7/P27端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

10.4 A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1) し、A/Dコンバータへの入力クロック供給を開始してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を、ビット6 (ADMD) で動作モードを設定してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2) で入力モードに設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

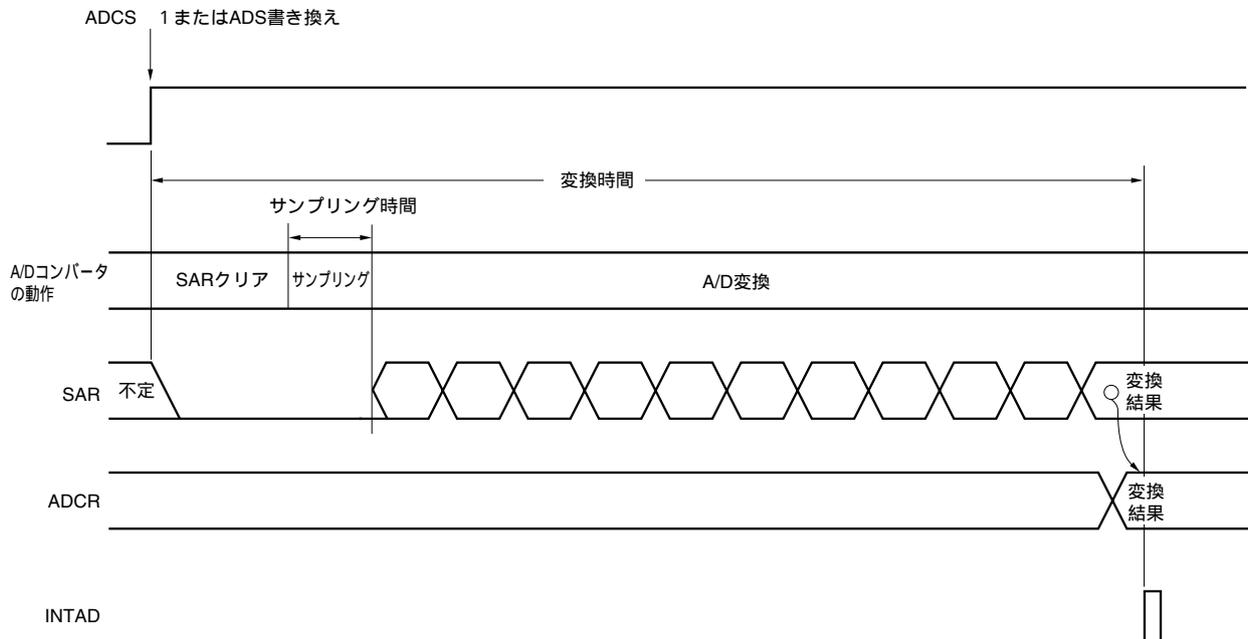
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図10 - 11 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = INT \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

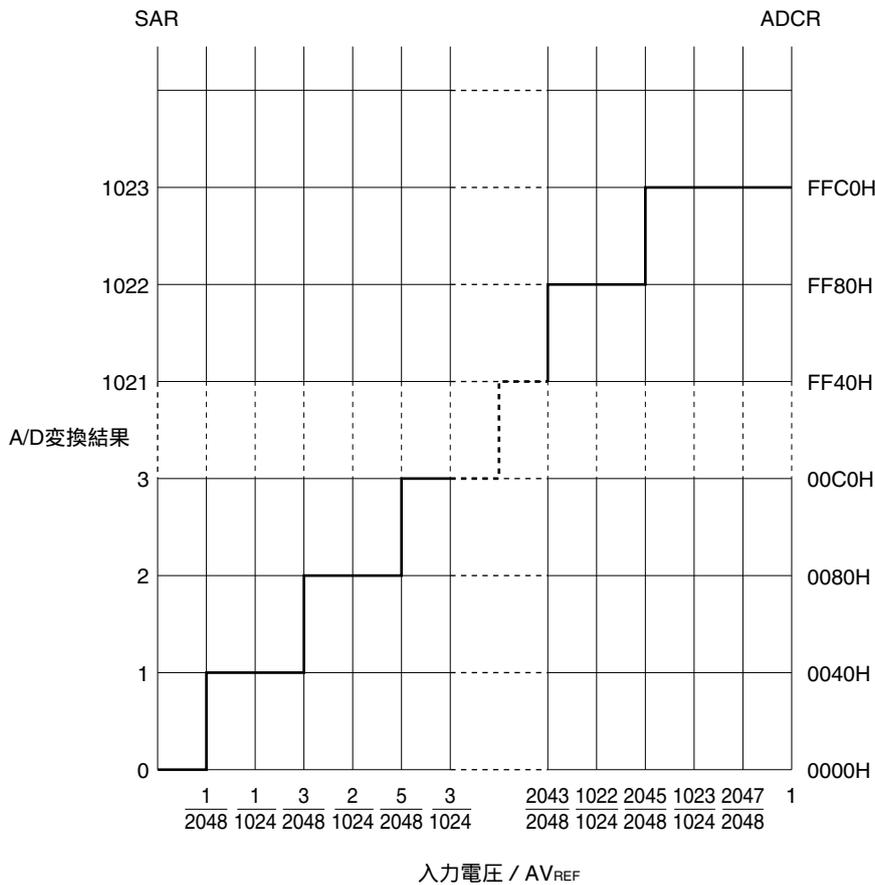
または,

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{AIN} : アナログ入力電圧
- AV_{REF} : AV_{REF}端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図10 - 12にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 12 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードとスキャン・モードがあります。

(1) セレクト・モード

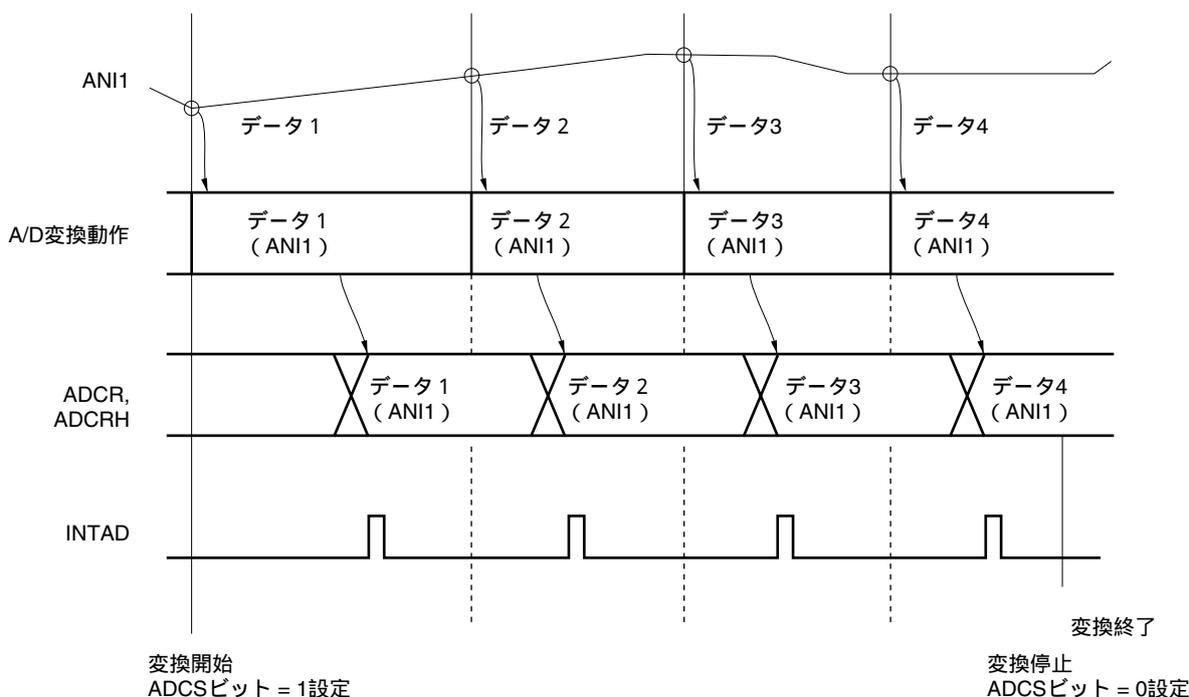
A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 0の状態では、アナログ入力チャンネル指定レジスタ (ADS) で指定された1つのアナログ入力のA/D変換を行います。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、再度最初からA/D変換を行います。

図10 - 13 セレクト・モード動作タイミング例



(2) スキャン・モード

A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 1の状態では、アナログ入力チャンネル指定レジスタ (ADS) で指定したスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を連続して行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

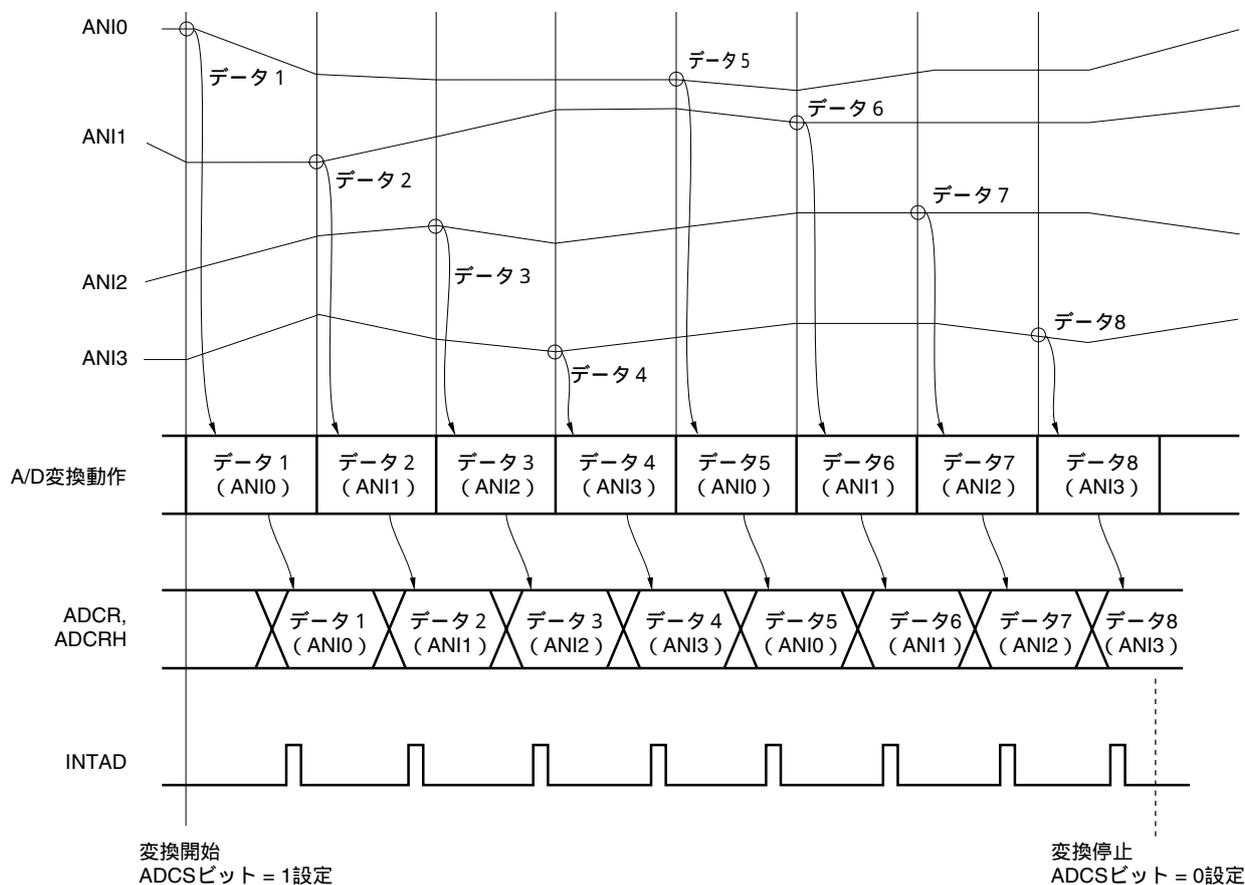
1つのアナログ入力のA/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

なお、すべてのアナログ入力チャンネルのA/D変換結果は、ADCRに格納されるので、1つのアナログ入力チャンネルのA/D変換が終了したら、ADCRの内容をRAMなどに転送して退避することを推奨します。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、再度スキャン0のアナログ入力チャンネルからA/D変換を行います。

図10 - 14 スキャン・モード動作タイミング例



次に設定方法を説明します。

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1)

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を, ビット6 (ADMD) で動作モードを選択

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット3-0 (ADPC3-ADPC0) ,
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) で使用するチャンネルをアナログ
入力に設定

アナログ入力チャンネル指定レジスタ (ADS) のビット2-0 (ADS2-ADS0) で使用するチャンネル
を選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<チャンネルを変更する>

ADSのビット2-0 (ADS2-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

- 注意1.** から までの間は1 μ s以上空けてください。
- は, から までの間に行っても, 問題ありません。
 - は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
 - から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10 - 15 総合誤差

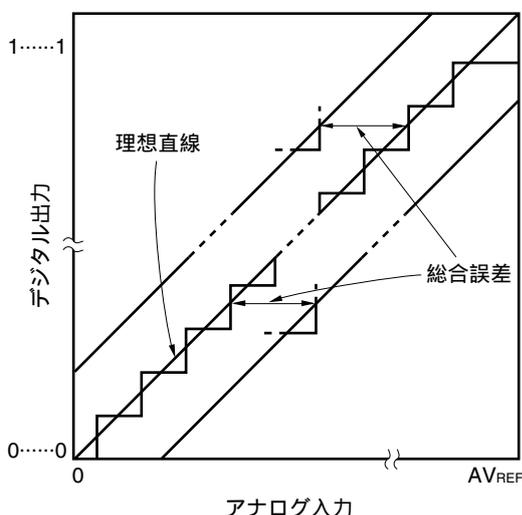
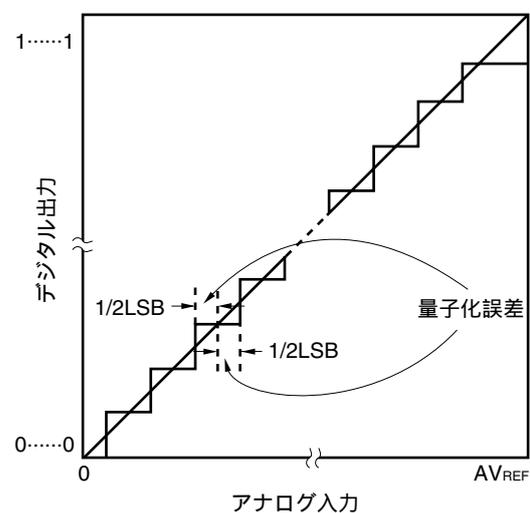


図10 - 16 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（ $1/2$ LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（ $3/2$ LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - $3/2$ LSB）との差を表します。

図10 - 17 ゼロスケール誤差

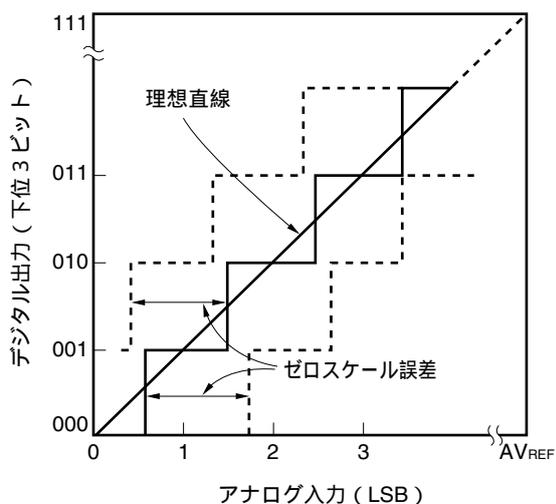
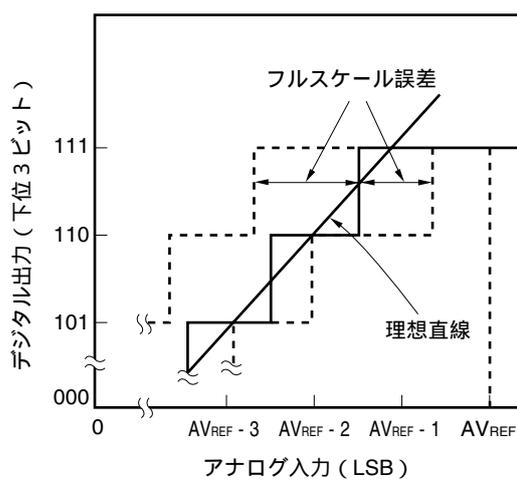


図10 - 18 フルスケール誤差



(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10 - 19 積分直線性誤差

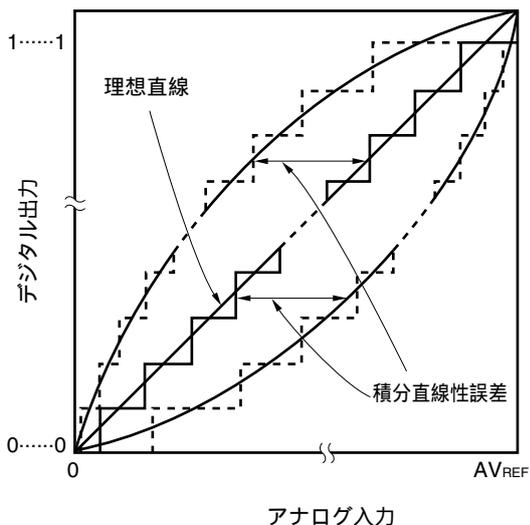
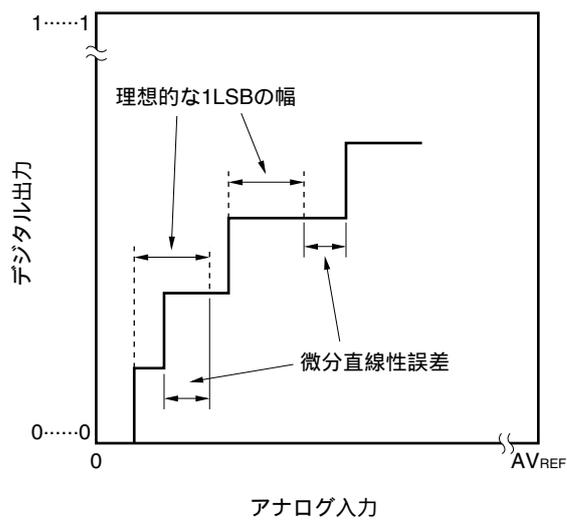


図10 - 20 微分直線性誤差

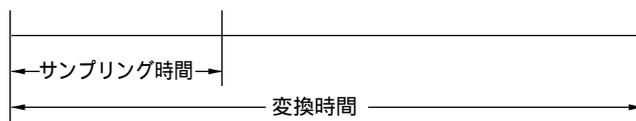
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L（IF1L）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ（ADM）ライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、 $ANI0$ - $ANI7$ 端子へのノイズに注意する必要があります。

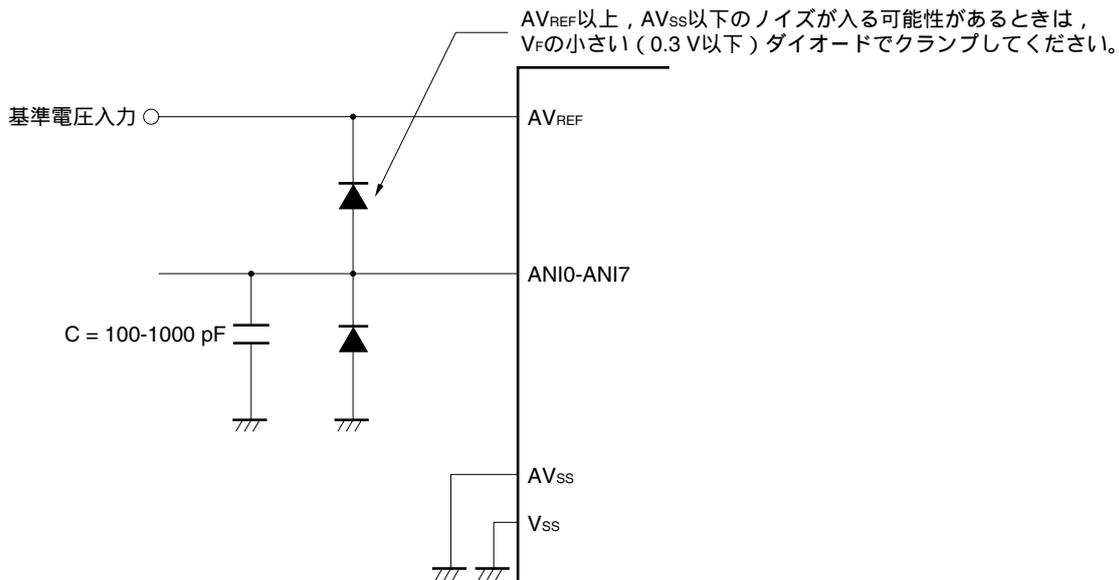
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 21のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図10 - 21 アナログ入力端子の処理



(5) ANI0/P20-ANI7/P27

アナログ入力 ($ANI0$ - $ANI7$) 端子は入力ポート ($P20$ - $P27$) 端子と兼用になっています。

$ANI0$ - $ANI7$ のいずれかを選択してA/D変換をする場合、変換中に $P20$ - $P27$ に対してアクセスしないでください。変換分解能が低下することがあります。また $P20$ - $P27$ として使用する端子の選択は、 AV_{REF} から最も遠い $ANI0/P20$ より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、正確にサンプリングするためには、アナログ入力源の出力インピーダンスを1 k Ω 以下にし、出力インピーダンスが高いときは $ANI0$ - $ANI7$ 端子に100 pF程度のコンデンサを付けることを推奨します(図10 - 21参照)。特に、高速モードで使用される場合は、必ずこの設定でご使用ください。

(7) AVREF端子の入力インピーダンスについて

AVREF端子とAVSS端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

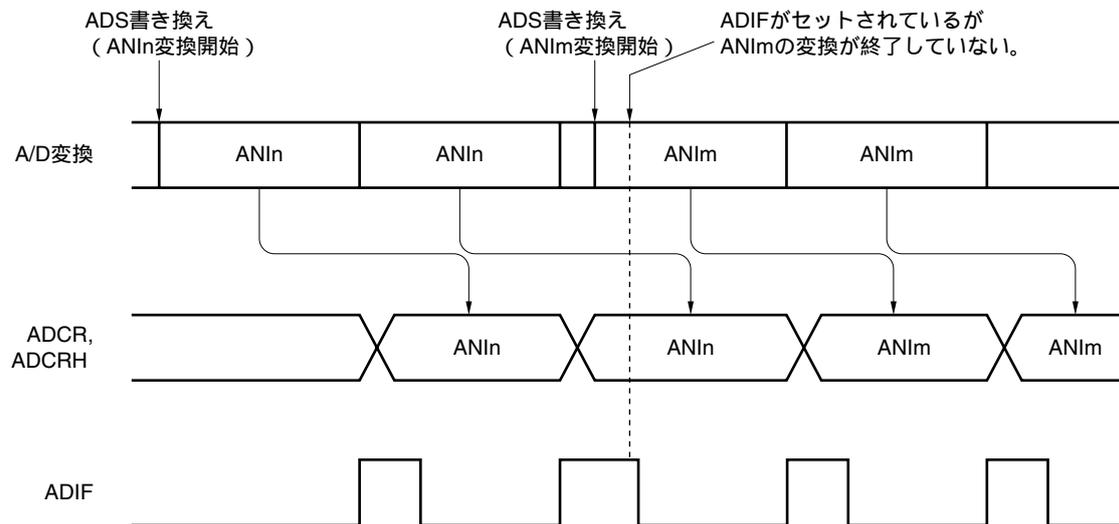
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図10 - 22 A/D変換終了割り込み要求発生タイミング



備考 n = 0-7

m = 0-7

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μs以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCR, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 23 ANIn端子内部等価回路

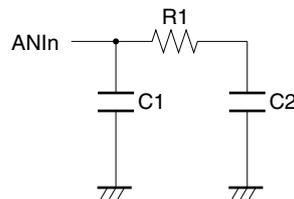


表10 - 4 等価回路の各抵抗と容量値 (参考値)

AVREF	モード	R1	C1	C2
1.8 V VDD < 3.6 V	標準	18.6 kΩ	8 pF	6.3 pF
	高速	7.8 kΩ		

備考1. 表10 - 4の各抵抗と容量値は保証値ではありません。

2. n = 0-7

(12) A/Dコンバータの動作開始について

A/Dコンバータの動作は, AVREFの電圧が安定してから開始してください。

第11章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ち、各チャンネルは3線シリアル（CSI），UART，簡易I²Cの通信機能を実現できます。

78K0R/KC3-L, KE3-Lで対応している各チャンネルの機能割り当ては次のようになっています。

< 78K0R/KC3-Lの場合 >

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	-	-	-
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

< 78K0R/KE3-Lの場合 >

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20 ^注	UART2 ^注	IIC20 ^注
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

（組み合わせ例） ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00を使用することはできませんが、CSI10またはUART1またはIIC10は使用することができます。

本章では、11.3 シリアル・アレイ・ユニットを制御するレジスタ以降については、78K0R/KE3-Lのシリアル・アレイ・ユニット構成を例にして説明を行っています。KC3-LとKE3-Lの構成の違いについては、11.2 シリアル・アレイ・ユニットの構成を参照してください。

11.1 シリアル・アレイ・ユニットの機能

78K0R/KC3-L, KE3-Lで対応している各シリアル・インタフェースの特徴を示します。

11.1.1 3線シリアル/I/O (CSI00, CSI10, CSI20)

マスタから出力されるシリアル・クロック (\overline{SCK}) に同期してデータの送信 / 受信を行います。

シリアル・クロック (\overline{SCK}) 1本と送信, 受信のシリアル・データ (SI, SO) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 「11.5 3線シリアル/I/O (CSI00, CSI10, CSI20) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ / スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケータとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時: Max. $f_{CLK}/4$, スレーブ通信時: Max. $f_{MCK}/6$ ^注

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし, \overline{SCK} サイクル・タイム (t_{CKY}) の特性を満たす範囲内で使用してください (第28章 電
气的特性参照)

11. 1. 2 UART (UART0-UART3)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニット0と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、「11. 6 UART (UART0-UART3) 通信の動作」を参照してください。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART3 (ユニット1の2, 3チャネル) では, LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|--|
| <ul style="list-style-type: none"> ・ ウエイクアップ信号検出 ・ シンク・ブレイク・フィールド (SBF) 検出 ・ シンク・フィールド測定, ボー・レート算出 | } | 外部割り込み (INTP0),
タイマ・アレイ・ユニットTAU0を使用 |
|---|---|--|

11. 1. 3 簡易I²C (IIC10, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション, ストップ・コンディションは, 制御レジスタの操作とともに, ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は, 「11. 7 簡易I²C (IIC10, IIC20) 通信の動作」を参照して下さい。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能[※], ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は, 上位7ビットでアドレス指定し, 最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウェイト検出機能

注 最終データの受信時は, SOEmn (SOEmレジスタ) ビットに0を書き込み, シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は, 11. 7. 3 (2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は, **第12章 シリアル・インタフェースIICA** を参照してください。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2)

11.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表11-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビット ^{注1}
シリアル・クロック入出力	$\overline{\text{SCK00}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ ^{注2} 端子 (3線シリアルI/O用), $\overline{\text{SCL10}}$, $\overline{\text{SCL20}}$ ^{注2} 端子 (簡易I ² C用)
シリアル・データ入力	SI00, SI10, SI20 ^{注2} 端子 (3線シリアルI/O用), RxD0, RxD1, RxD2 ^{注2} 端子 (UART用), RxD3端子 (LIN-bus対応UART用)
シリアル・データ出力	SO00, SO10, SO20 ^{注2} 端子 (3線シリアルI/O用), TxD0, TxD1, TxD2 ^{注2} 端子 (UART用), TxD3端子 (LIN-bus対応UART用), 出力制御回路
シリアル・データ入出力	SDA10, SDA20 ^{注2} 端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOM) ・シリアル出力レベル・レジスタm (SOLm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) <ul style="list-style-type: none"> ・ポート入力モード・レジスタ0, 1, 14^{注2} (PIM0, PIM1, PIM14^{注2}) ・ポート出力モード・レジスタ0, 1, 14^{注2} (POM0, POM1, POM14^{注2}) ・ポート・モード・レジスタ0, 1, 4, 14^{注2} (PM0, PM1, PM4, PM14^{注2}) ・ポート・レジスタ0, 1, 4, 14^{注2} (P0, P1, P4, P14^{注2})

注1. シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時・・・SIOr (IICrデータ・レジスタ)

2. 78K0R/KE3-Lのみ

(備考は次頁にあります。)

備考 ・78K0R/KC3-Lの場合

m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 12, 13

p : CSI番号 (p = 00, 10) q : UART番号 (q = 0, 1, 3) r : IIC番号 (r = 10)

・78K0R/KE3-Lの場合

m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13

p : CSI番号 (p = 00, 10, 20) q : UART番号 (q = 0-3) r : IIC番号 (r = 10, 20)

図11 - 1にシリアル・アレイ・ユニット0のブロック図を示します。

図11 - 1 シリアル・アレイ・ユニット0のブロック図

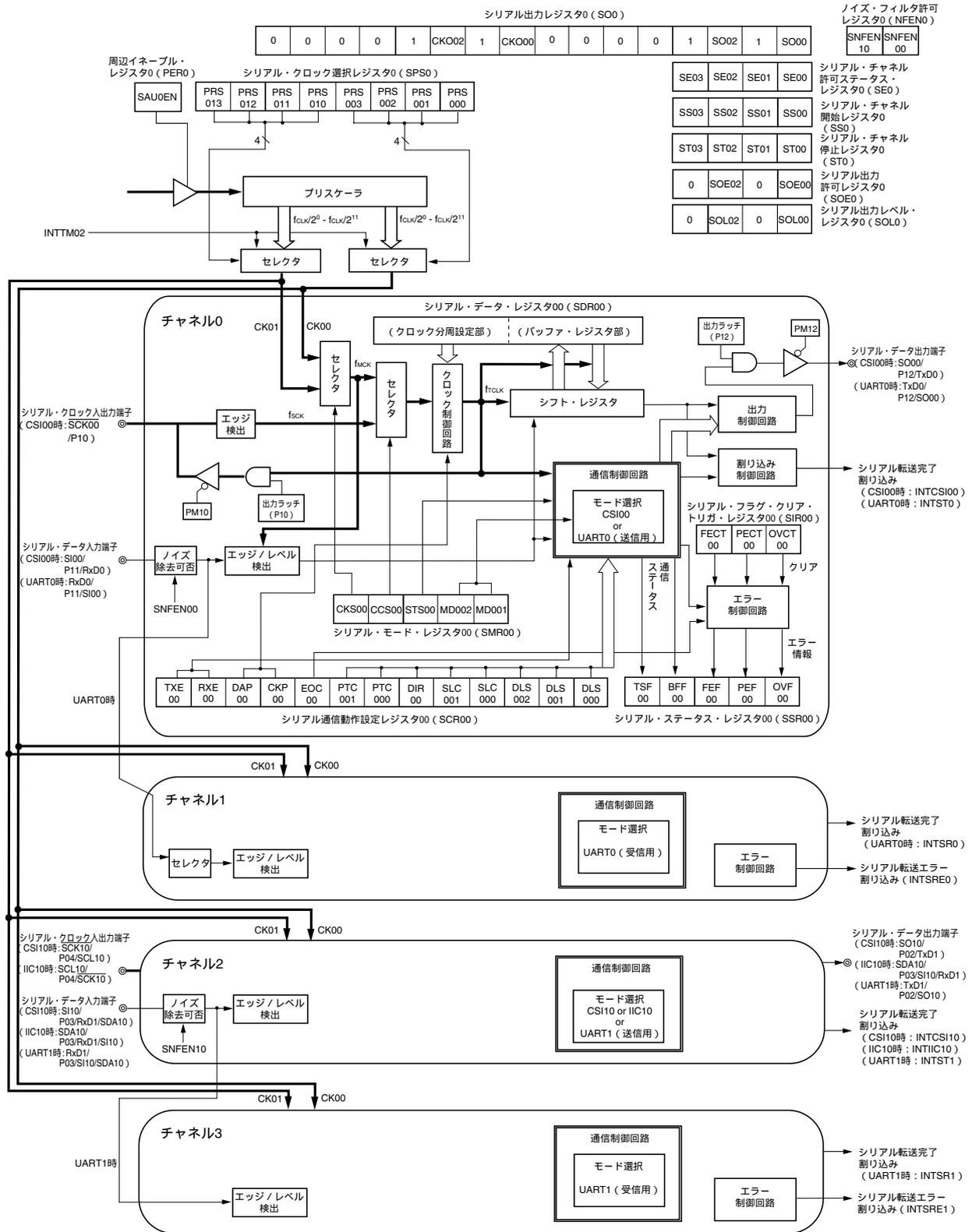


図11 - 2, 図11 - 3にシリアル・アレイ・ユニット1のブロック図を示します。

図11 - 2 シリアル・アレイ・ユニット1のブロック図 (78K0R/KC3-Lの場合)

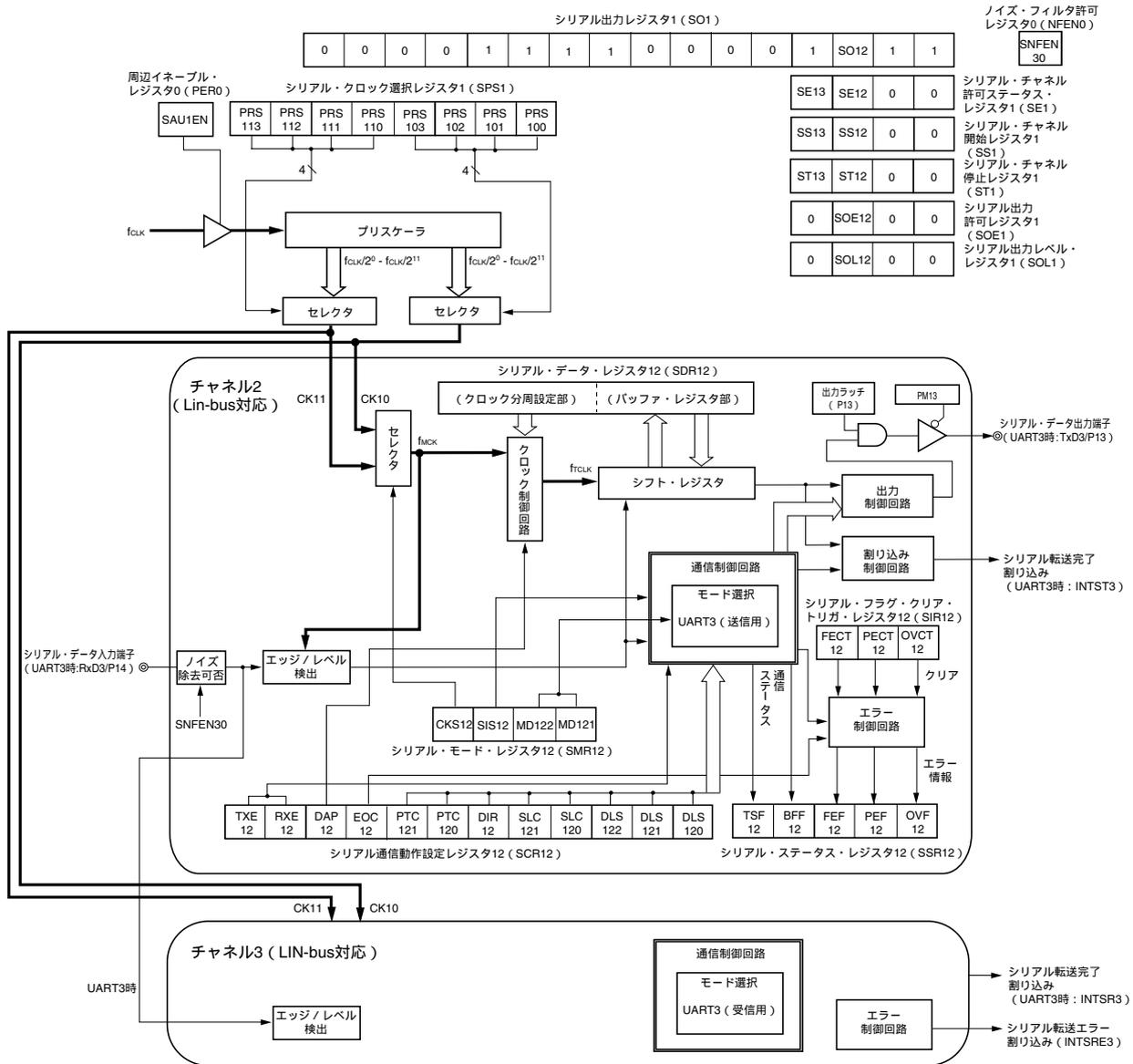
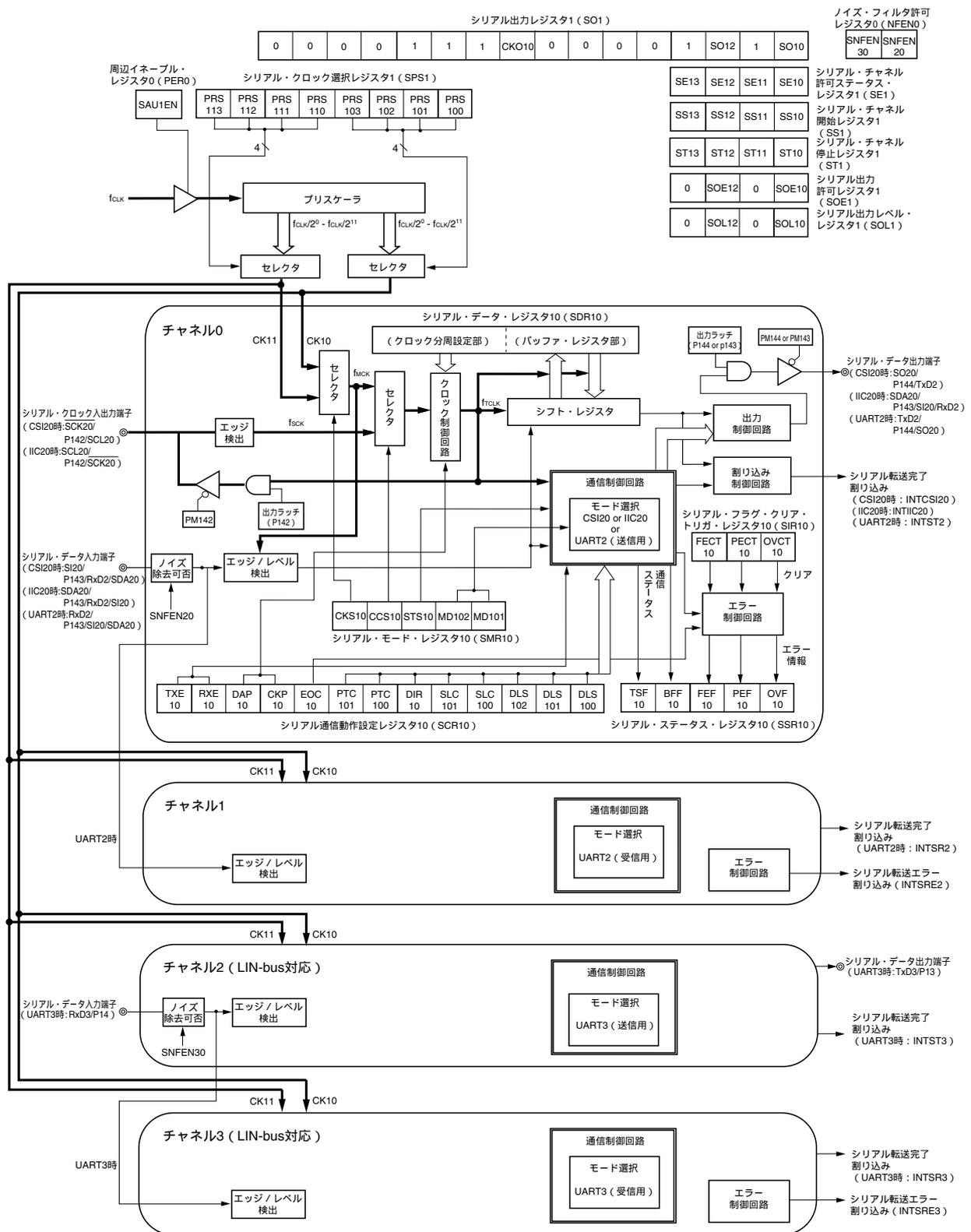


図11-3 シリアル・アレイ・ユニット1のブロック図 (78K0R/KE3-Lの場合)



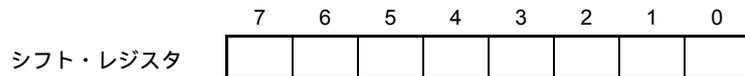
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn) の下位8ビットを使用します。

**(2) シリアル・データ・レジスタmn (SDRmn) の下位8ビット**

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

下位8ビットに格納するデータは、データ出力順序にかかわらず、SCRmnレジスタのビット0-2 (DLSmn0-DLSmn2) の設定によって、次のようになります。

- ・ 5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ設定可)
- ・ 7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRmnレジスタのビット0-7に格納)

SDRmnは16ビット単位でリード/ライト可能です。

またSDRmnの下位8ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^注です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IICr通信時・・・SIOr (IICrデータ・レジスタ)

注 ただし動作停止 (SEmn = 0) 時は、8ビット単位のライト禁止

リセット信号の発生により、SDRmnは0000Hになります。

備考 ・78K0R/KC3-Lの場合

m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 12, 13

p : CSI番号 (p = 00, 10) q : UART番号 (q = 0, 1, 3) r : IIC番号 (r = 10)

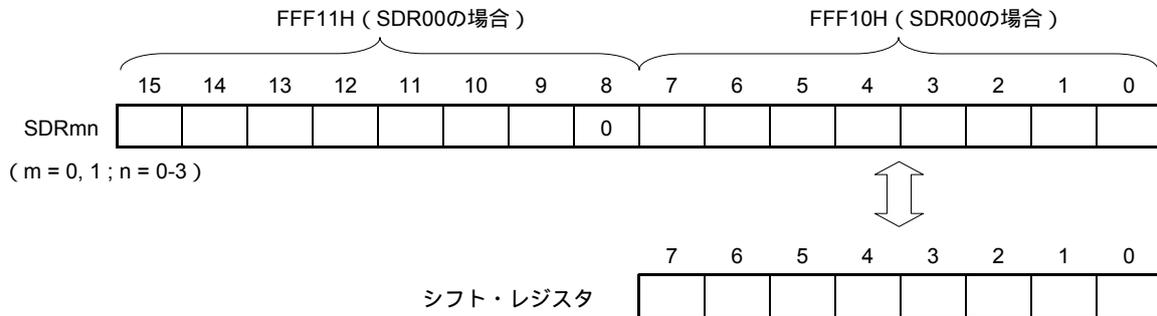
・78K0R/KE3-Lの場合

m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13

p : CSI番号 (p = 00, 10, 20) q : UART番号 (q = 0-3) r : IIC番号 (r = 10, 20)

図11-4 シリアル・データ・レジスタ mn (SDR mn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) ,
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11) ,
 FFF14H, FFF15H (SDR12) , FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考1. SDR mn の上位7ビットの機能については、11.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

2. ・78K0R/KC3-Lの場合

m : ユニット番号 ($m = 0, 1$) n : チャネル番号 ($n = 0-3$) $mn = 00-03, 12, 13$

・78K0R/KE3-Lの場合

m : ユニット番号 ($m = 0, 1$) n : チャネル番号 ($n = 0-3$) $mn = 00-03, 10-13$

11.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14)
- ・ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14)
- ・ポート・モード・レジスタ0, 1, 14 (PM0, PM1, PM14)
- ・ポート・レジスタ0, 1, 14 (P0, P1, P14)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

- 注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ (NFEN0)、ポート入力モード・レジスタ (PIM0, PIM1, PIM14)、ポート出力モード・レジスタ (POM0, POM1, POM14)、ポート・モード・レジスタ (PM0, PM1, PM4, PM14)、ポート・レジスタ (P0, P1, P4, P14) は除く)。
2. SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
3. ビット1, 6には必ず“0”を設定してください。

備考 m：ユニット番号 (m = 0, 1)

(2) シリアル・クロック選択レジスタm (SPSm)

SPSmは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmは16ビット・メモリ操作命令で設定します。

またSPSmの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmは0000Hになります。

図11 - 6 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0		動作クロック (CKmp) の選択 ^{注1}			
					f _{CLK} = 10 MHz	f _{CLK} = 12 MHz	f _{CLK} = 16 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	10 MHz	12 MHz	16 MHz	20 MHz
0	0	0	1	f _{CLK} /2	5 MHz	6 MHz	8 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	2.5 MHz	3 MHz	4 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	1.25 MHz	1.5 MHz	2 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	625 kHz	750 kHz	1 MHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	313 kHz	375 kHz	500 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	156 kHz	187.5 kHz	250 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	78.1 kHz	93.7 kHz	125 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	39.1 kHz	46.8 kHz	62.5 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	19.5 kHz	23.4 kHz	31.2 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	9.77 kHz	11.7 kHz	15.6 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	4.88 kHz	5.85 kHz	7.81 kHz	9.77 kHz
1	1	1	1	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止				
上記以外				設定禁止				

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット0 (TAU0) も停止 (TT0 = 00FFH) させてください。

- タイマ・アレイ・ユニット0のチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし (タイマ入力選択レジスタ0 (TIS0) のTIS02ビットに“1”を設定)、SPS0レジスタでINTTM02を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック、サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0、TAU0を停止させる必要があります。

注意1. ビット15-8には、必ず0を設定してください。

- PER0レジスタのビット2 (SAU0EN)、ビット3 (SAU1EN) を“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

- m : ユニット番号 (m = 0, 1) p = 0, 1

(3) シリアル・モード・レジスタ_{mn} (SMR_{mn})

SMR_{mn}は、チャンネル_nの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, シリアル・クロック (f_{SCK}) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMR_{mn}は、動作中 ($SE_{mn} = 1$ のとき) の書き換えは禁止です。ただしMD_{mn0}ビットは、動作中でも書き換えをすることができます。

SMR_{mn}は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

図11-7 シリアル・モード・レジスタ_{mn} (SMR_{mn}) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネル _n の動作クロック (f_{MCK}) の選択
0	SPSmレジスタで設定した動作クロックCK _{m0}
1	SPSmレジスタで設定した動作クロックCK _{m1}

動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS_{mn}ビットとSDR_{mn}レジスタの上位7ビットの設定により、転送クロック (f_{TCLK}) を生成します。

CCS mn	チャンネル _n の転送クロック (f_{TCLK}) の選択
0	CKS _{mn} ビットで指定した動作クロック f_{MCK} の分周クロック
1	SCK端子からの入力クロック f_{SCK} (CSIモードのスレーブ転送)

転送クロック f_{TCLK} は、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCS_{mn} = 0の場合は、SDR_{mn}レジスタの上位7ビットで動作クロック (f_{MCK}) の分周設定を行います。

STS mn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)

SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

図11-7 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) -F0116H, F0117H (SMR03), リセット時 : 0020H R/W
F0150H, F0151H (SMR10) -F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	パッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(4) シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087Hになります。

図11 - 8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) -F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
F0158H, F0159H (SCR10) -F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード, 簡易I²Cモード時には, 必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0-3)) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード, 簡易I²Cモード, UART送信時には, EOCmn = 0に設定してください。
UART受信時には, EOCmn = 1に設定してください。

注意 ビット3, 6, 11には, 必ず0を設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13
p : CSI番号 (p = 00, 10, 20)

図11 - 8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 [※]	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易²Cモード時には、必ずDIRmn = 0に設定してください。

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
UART受信時、簡易²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	
1	0	0	5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ選択可)	
1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他			設定禁止	

簡易²Cモード時には、必ずDLSmn0 = 1に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13

(5) シリアル・データ・レジスタ_{mn} (SDR_{mn}) の上位7ビット

SDR_{mn}は、チャンネル_nの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ_{mn} (SMR_{mn}) でCCS_{mn}ビットを0に設定した場合は、動作クロックをこのSDR_{mn}の上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDR_{mn}の低位8ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを低位8ビットに格納し、送信時には、シフト・レジスタに転送する送信データを低位8ビット設定します。

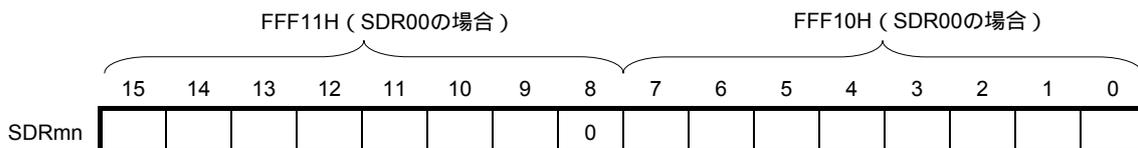
SDR_{mn}は16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SE_{mn} = 0) のときのみ有効です。動作中 (SE_{mn} = 1) にSDR_{mn}に書き込みを行ったときは、低位8ビットのみ値が書き込まれます。動作中にSDR_{mn}の読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、0000Hになります。

図11 - 9 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11),
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDR _{mn} [15:9]							動作クロック (f _{MCK}) の分周による転送クロック設定
0	0	0	0	0	0	0	f _{MCK} /2
0	0	0	0	0	0	1	f _{MCK} /4
0	0	0	0	0	1	0	f _{MCK} /6
0	0	0	0	0	1	1	f _{MCK} /8
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	0	f _{MCK} /254
1	1	1	1	1	1	1	f _{MCK} /256

注意1. ビット8は、必ず0を設定してください。

- UART使用時は、SDR_{mn}[15:9] = (0000000B, 0000001B) は設定禁止です。
- 簡易²C使用時は、SDR_{mn}[15:9] = 0000000Bは設定禁止です。SDR_{mn}[15:9] = 0000001B以上に設定してください。
- 動作停止状態 (SE_{mn} = 0) のときに、低位8ビットへ8ビット書き込みは行わないでください (上位7ビットが0にクリアされます)。

備考1. SDR_{mn}の低位8ビットの機能については、11. 2 シリアル・アレイ・ユニットの構成を参照してください。

- m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(6) シリアル・ステータス・レジスタmn (SSRmn)

SSRmnは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnは、16ビット・メモリ操作命令で読み出します。

またSSRmnの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnは0000Hになります。

図11-10 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03), リセット時：0000H R
F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件>	
<ul style="list-style-type: none"> STmレジスタのSTmnビットに1を設定時（通信停止状態）、もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） 通信動作が終了時 	
<セット条件>	
<ul style="list-style-type: none"> 通信動作を開始時 	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件>	
<ul style="list-style-type: none"> 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 	
<セット条件>	
<ul style="list-style-type: none"> SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信、送受信モード時）の状態ですDRmnレジスタに送信データを書き込んだとき SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態ですDRmnレジスタに受信データが格納されたとき 受信エラー時 	

注意 BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバラン・エラー（OVEmn = 1）と検出されます。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-3） mn = 00-03, 10-13

図11 - 10 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03) , リセット時 : 0000H R
 F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時)
<クリア条件> ・SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)
<クリア条件> ・SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVF mn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(7) シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると, シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnはトリガ・レジスタなので, SSRmnの対応ビットをクリアするとすぐSIRmnもクリアされます。

SIRmnは, 16ビット・メモリ操作命令で設定します。

またSIRmnの下位8ビットは, SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIRmnは0000Hになります。

図11 - 11 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) , F010AH, F010BH (SIR01) , リセット時 : 0000H R/W
F010CH, F010DH (SIR02) , F010EH, F010FH (SIR03) ,
F0148H, F0149H (SIR10) - F014EH, F014FH (SIR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注意 ビット15-3には, 必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

(8) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

SE_mは、各チャンネルのシリアル送受信動作許可 / 停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタ_m (SS_m) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ_m (ST_m) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SO_m) のCKO_mの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネル_nは、SO_mレジスタのCKO_mの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE_mは、16ビット・メモリ操作命令で読み出します。

またSE_mの下位8ビットは、SE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE_mは0000Hになります。

図11 - 12 シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) のフォーマット

アドレス : F0120H, F0121H (SE0), F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE _m	0	0	0	0	0	0	0	0	0	0	0	0	SE _m 3	SE _m 2	SE _m 1	SE _m 0

SE _m n	チャンネル _n の動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(9) シリアル・チャンネル開始レジスタ_m (SS_m)

SS_mは、通信 / カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SS_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が1にセットされます。SS_{mn}はトリガ・ビットなので、SE_{mn} = 1になるとすぐSS_{mn}はクリアされます。

SS_mは、16ビット・メモリ操作命令で設定します。

またSS_mの下位8ビットは、SS_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS_mは0000Hになります。

図11 - 13 シリアル・チャンネル開始レジスタ_m (SS_m) のフォーマット

アドレス : F0122H, F0123H (SS0), F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS _m	0	0	0	0	0	0	0	0	0	0	0	0	SS _m	SS _m	SS _m	SS _m
													3	2	1	0

SS _m	チャンネル _n の動作開始トリガ														
_n															
0	トリガ動作せず														
1	SE _{mn} に1をセットし、通信待機状態に遷移する (すでに通信動作中の場合は、通信動作を停止し、起動条件待ちの状態となる)														

- 備考**1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13
2. SS_mレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル停止レジスタ_m (ST_m)

ST_mは、通信 / カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が0にクリアされます。ST_{mn}はトリガ・ビットなので、SE_{mn} = 0になるとすぐST_{mn}はクリアされます。

ST_mは、16ビット・メモリ操作命令で設定します。

またST_mの下位8ビットは、ST_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST_mは0000Hになります。

図11 - 14 シリアル・チャンネル停止レジスタ_m (ST_m) のフォーマット

アドレス : F0124H, F0125H (ST₀), F0164H, F0165H (ST₁) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST _m	0	0	0	0	0	0	0	0	0	0	0	0	ST _m 3	ST _m 2	ST _m 1	ST _m 0

ST _m n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SE _{mn} を0にクリアし、通信動作を停止する (制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、FEF、PEF、OVFの各エラー・フラグの状態を保持したまま停止 [※])

注 ただしSSR_{mn}レジスタのビット6, 5 (TSF_{mn}, BFF_{mn}) はクリアされません。

注意 ビット15-4には、必ず0を設定してください。

- 備考**1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13
2. ST_mレジスタの読み出し値は常に0000Hとなります。

(11) シリアル出力許可レジスタ_m (SOEm)

SOEmは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SOm) のSOmnの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル_nは、SOmレジスタのSOmnの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmは、16ビット・メモリ操作命令で設定します。

またSOEmの低位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmは0000Hになります。

図11 - 15 シリアル出力許可レジスタ_m (SOEm) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	SOE 00

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 12	0	SOE 10

SOE mn	チャンネル _n のシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 SOE0のビット15-3, 1, SOE1のビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(12) シリアル出力レジスタ_m (SO_m)

SO_mは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSO_{mn}ビットの値が、チャンネル_nのシリアル・データ出力端子から出力されます。

このレジスタのCKO_{mn}ビットの値が、チャンネル_nのシリアル・クロック出力端子から出力されます。

このレジスタのSO_{mn}のソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO_{mn}のソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/ $\overline{\text{SCK10}}$ /SCL10, P10/ $\overline{\text{SCK00}}$, P12/SO00/TxD0, P13/TxD3, P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2端子をポート機能として使用する場合は、該当するCKO_{mn}, SO_{mn}ビットに“1”を設定してください。

SO_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FHになります。

図11 - 16 シリアル出力レジスタ_m (SO_m) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	1	CKO 00	0	0	0	0	1	SO 02	1	SO 00

アドレス : F0168H, F0169H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	1	1	CKO 10	0	0	0	0	1	SO 12	1	SO 10

CKO mn	チャンネル _n のシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO mn	チャンネル _n のシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 SO0のビット11, 9, 3, 1, SO1のビット11-9, 3, 1には、必ず1を設定してください。また、SO_mのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(13) シリアル出力レベル・レジスタ_m (SOL_m)

SOL_mは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネル_nの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOL_mは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOL_mは、16ビット・メモリ操作命令で設定します。

またSOL_mの下位8ビットは、SOL_{mL}で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL_mは0000Hになります。

図11 - 17 シリアル出力レベル・レジスタ_m (SOL_m) のフォーマット

アドレス : F0134H, F0135H (SOL0), F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL _{m2}	0	SOL _{m0}

SOL _{mn}	UARTモードでのチャンネル _n の送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 SOLのビット15-3, 1, SOL1のビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(14) 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、UART3でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットTAU0と連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウエイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ビット1に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号がタイマ入力として選択されます。これによって、シンク・ブレイク・フィールドとシンク・フィールドのパルス幅をタイマで測定できます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 18 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットTAU0のチャンネル7の入力切り替え
0	タイマ・アレイ・ユニットのチャンネル7の入力を使用しない。
1	RxD3端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2には、必ず0を設定してください。

(15) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0は、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI、簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺ハードウェア・クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。

NFEN0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 19 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0060H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子 (RxD3/P14) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD3端子として使用するときは、SNFEN30 = 1に設定してください。
P14端子として使用するときは、SNFEN30 = 0に設定してください。

SNFEN20	RxD2端子 (RxD2/SDA20/SI20/P143) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD2端子として使用するときは、SNFEN20 = 1に設定してください。
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。

SNFEN10	RxD1端子 (RxD1/SDA10/SI10/P03) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD1端子として使用するときは、SNFEN10 = 1に設定してください。
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。

SNFEN00	RxD0端子 (RxD0/SI00/P11) のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD0端子として使用するときは、SNFEN00 = 1に設定してください。
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。

注意 ビット7, 5, 3, 1には、必ず0を設定してください。

(16) ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14)

ポート0, 1, 14の入力バッファを1ビット単位で設定するレジスタです。

PIM0, PIM1, PIM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図11 - 20 ポート入力モード・レジスタ0, 1, 14 (PIM0, PIM1, PIM14) のフォーマット

アドレス: F0040H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM0	0	0	0	PIM04	PIM03	0	0	0
アドレス: F0041H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM1	0	0	0	0	0	0	PIM11	PIM10
アドレス: F004EH	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM14	0	0	0	0	PIM143	PIM142	0	0

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 1, 14 ; n = 0-4)
0	通常入力バッファ
1	TTL入力バッファ

(17) ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14)

ポート0, 1, 14の出力モードを1ビット単位で設定するレジスタです。

POM0, POM1, POM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図11 - 21 ポート出力モード・レジスタ0, 1, 14 (POM0, POM1, POM14) のフォーマット

アドレス: F0050H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM0	0	0	0	POM04	POM03	POM02	0	0
アドレス: F0051H	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM1	0	0	0	0	0	POM12	0	POM10
アドレス: FFF5EH	リセット時: 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM14	0	0	0	POM144	POM143	POM142	0	0

POMmn	Pmn端子の出力モードの選択 (m = 0, 1, 14 ; n = 0, 2-4)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(18) ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14)

ポート0, 1, 4, 14の入力/出力を1ビット単位で設定するレジスタです。

P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/SCK10/SCL10, P10/SCK00, P12/SO00/TxD0, P13/TxD3, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2端子をシリアル・データ出力またはシリアル・クロック出力として使用するとき, PM02, PM03, PM04, PM10, PM12, PM13, PM142, PM143, PM144ビットに0を, P02, P03, P04, P10, P12, P13, P142, P143, P144の出力ラッチに1を設定してください。

P03/SI10/RxD1/SDA10, P04/SCK10/SCL10, P10/SCK00, P11/SI00/RxD0, P14/RxD3, P142/SCK20/SCL20, P143/SI20/RxD2/SDA20端子をシリアル・データ入力またはシリアル・クロック入力として使用するとき, PM03, PM04, PM10, PM11, PM14, PM142, PM143ビットに1を設定してください。このときP03, P04, P10, P11, P14, P142, P143の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM1, PM4, PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図11 - 22 ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14) のフォーマット

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	0	0	PM04	PM03	PM02	1	1

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF24H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM4	0	0	1	0	PM43	PM42	PM41	PM40

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	PM144	PM143	PM142	1	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 4, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 注意1. PM0のビット5, 6, PM4のビット4, 6, 7には必ず0を設定してください。リセットにより初期値に戻った場合も, 再度必ず0を設定してください。
2. PM0のビット0, 1, 7, PM4のビット5, PM14のビット1, 5-7には必ず1を設定してください。

備考 上記は, 78K0R/KE3-Lのポート・モード・レジスタ0, 1, 4, 14のフォーマットです。78K0R/KC3-Lのポート・モード・レジスタのフォーマットについては, 4.3(1) ポート・モード・レジスタ (PMxx) を参照してください。

11.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また、動作停止モードでは、P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/SCK10/SCL10, P10/SCK00, P11/SI00/RxD0, P12/SO00/TxD0, P13/TxD3, P14/RxD3, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2をポート機能として使用できます。

11.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図11-23 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(ノイズ・フィルタ許可レジスタ(NFEN0), ポート入力モード・レジスタ(PIM0, PIM1, PIM14), ポート出力モード・レジスタ(POM0, POM1, POM14), ポート・モード・レジスタ(PM0, PM1, PM4, PM14), ポート・レジスタ(P0, P1, P4, P14)は除く)。

2. ビット1, 6には必ず0を設定してください。

備考 m: ユニット番号 (m = 0, 1) : 設定不可 (初期値を設定)

x: シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1: ユーザの用途に応じて0または1に設定

11.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図11-24 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル許可ステータス・レジスタ_m (SEm)

・・・各チャンネルのシリアル送受信動作許可 / 停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SEm													SEm3	SEm2	SEm1	SEm0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0 : 動作停止状態

SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャンネルは、SOmレジスタのCKOmの値をソフトウェアで設定できます。

(b) シリアル・チャンネル停止レジスタ_m (STm)

・・・各チャンネルの通信 / カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
STm													STm3	STm2	STm1	STm0	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

1 : SEmnを0にクリアし、通信動作を停止

STmnはトリガ・ビットなので、SEmn = 0になるとすぐSTmnはクリアされます。

(c) シリアル出力許可レジスタ_m (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0													SOE02		SOE00	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO0レジスタのSO0nの値をソフトウェアで設定できます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1													SOE12		SOE10	
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO1レジスタのSO10, SO12の値をソフトウェアで設定できます。

(d) シリアル出力レジスタ_m (SOm) ・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0					CKO02		CKO00					SO02		SO00		
	0	0	0	0	1	0/1	1	0/1	0	0	0	0	1	0/1	1	0/1

1 : シリアル・クロック出力値が "1" 1 : シリアル・データ出力値が "1"

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO0n, SO0nビットに "1" を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1					CKO10					SO12		SO10				
	0	0	0	0	1	1	1	0/1	0	0	0	0	1	0/1	1	0/1

1 : シリアル・クロック出力値が "1" 1 : シリアル・データ出力値が "1"

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO10, SO10, SO12ビットに "1" を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

2 : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

11.5 3線シリアル/O (CSI00, CSI10, CSI20) 通信の動作

シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時：Max. $f_{CLK}/4$, スレーブ通信時：Max. $f_{MCK}/6$ ^注

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし、 \overline{SCK} サイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください (第28章 電
气的特性参照)

3線シリアルI/O (CSI00, CSI10, CSI20) に対応しているチャンネルは次のようになっています。

< 78K0R/KC3-Lの場合 >

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用	
0	0	CSI00	UART0	-	
	1	-		-	
	2	CSI10	UART1	IIC10	
	3	-		-	
1	0	-	-	-	
	1	-		-	
	2	-		UART3 (LIN-bus対応)	-
	3	-			-

< 78K0R/KE3-Lの場合 >

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

3線シリアルI/O (CSI00, CSI10, CSI20) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (11. 5. 1項を参照)
- ・ マスタ受信 (11. 5. 2項を参照)
- ・ マスタ送受信 (11. 5. 3項を参照)
- ・ スレーブ送信 (11. 5. 4項を参照)
- ・ スレーブ受信 (11. 5. 5項を参照)
- ・ スレーブ送受信 (11. 5. 6項を参照)

11. 5. 1 **マスタ送信**以降については、78K0R/KE3-Lのシリアル・アレイ・ユニット構成を例にして説明を行っています。KC3-LとKE3-Lの構成の違いについては、11.2 **シリアル・アレイ・ユニットの構成**を参照してください。

11.5.1 マスタ送信

マスタ送信とは、この78K0R/KC3-L, KE3-Lが転送クロックを出力し、78K0R/KC3-L, KE3-Lから他デバイスへデータを送信する動作です。

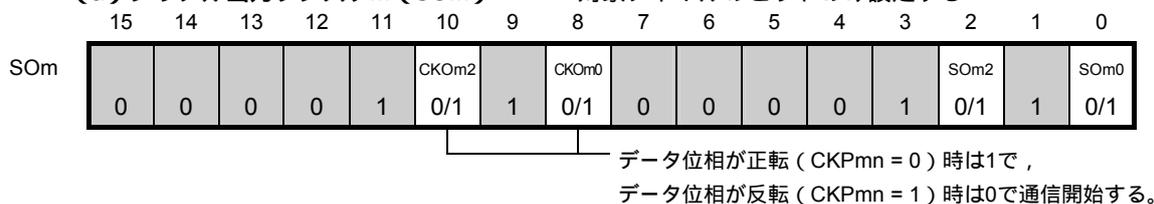
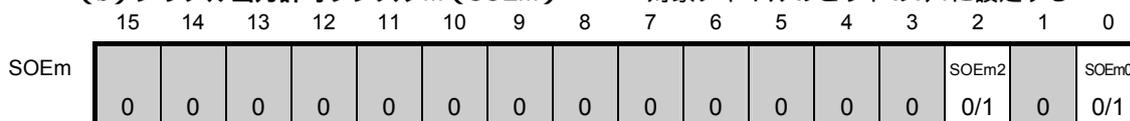
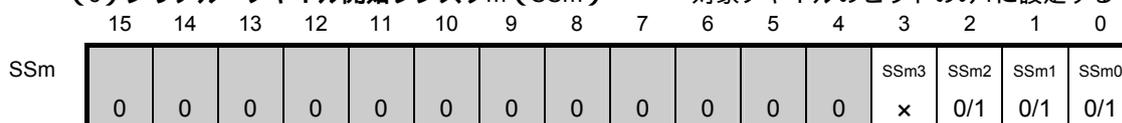
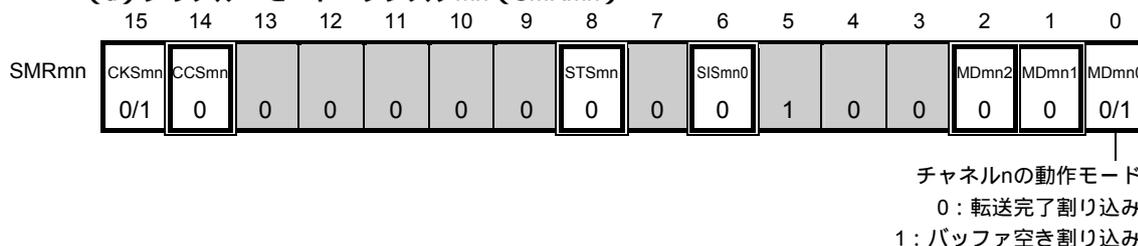
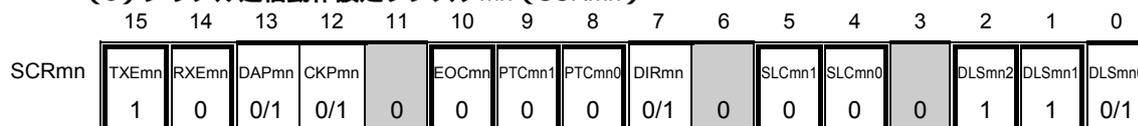
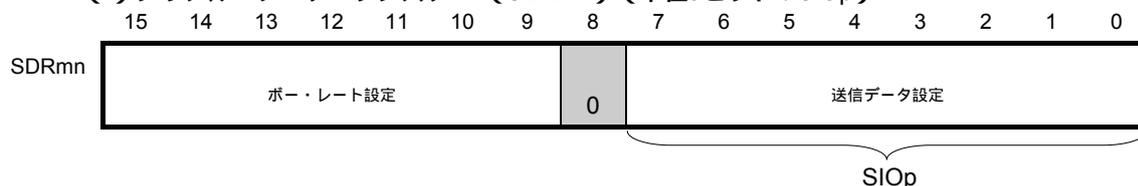
3線シリアルI/O	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数		
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始 		
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合: 正転 ・ CKPmn = 1の場合: 反転 		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 00, 02, 10

(1) レジスタ設定

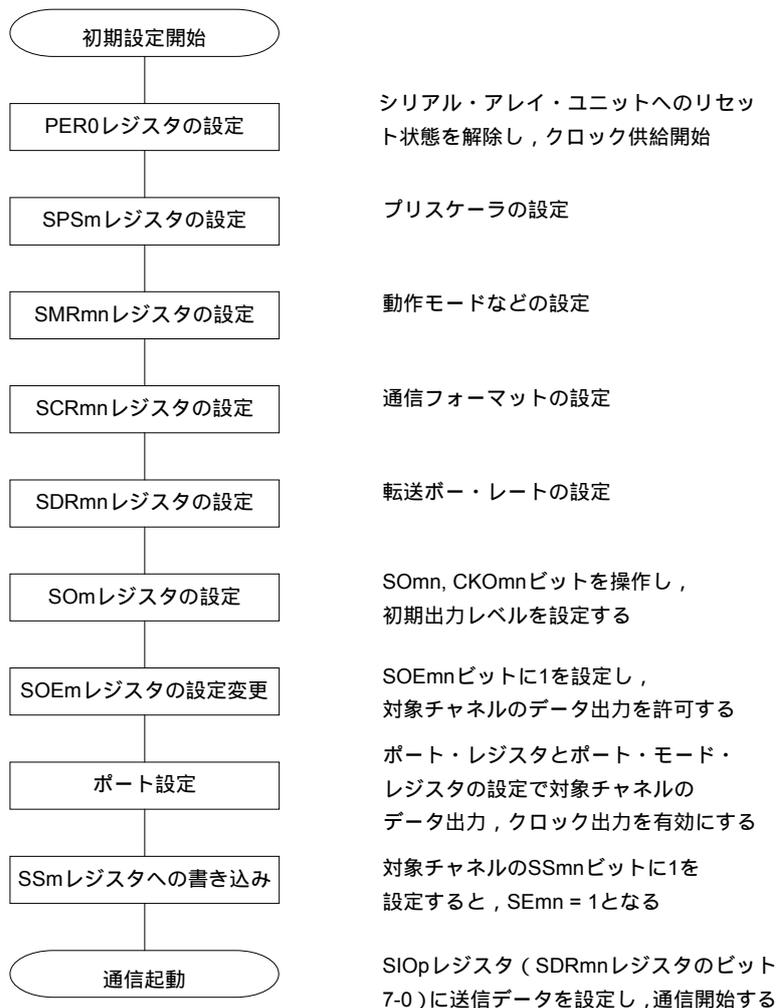
図11 - 25 3線シリアルI/O (CSI00, CSI10, CSI20) のマスタ送信時のレジスタ設定内容例

(a) シリアル出力レジスタ m (SO m) . . . 対象チャンネルのビットのみ設定する(b) シリアル出力許可レジスタ m (SOEm) . . . 対象チャンネルのビットのみ1に設定する(c) シリアル・チャンネル開始レジスタ m (SS m) . . . 対象チャンネルのビットのみ1に設定する(d) シリアル・モード・レジスタ mn (SMR mn)(e) シリアル通信動作設定レジスタ mn (SCR mn)(f) シリアル・データ・レジスタ mn (SDR mn) (下位8ビット: SIOp)

- 備考1. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 2$) $mn = 00, 02, 10$
 p : CSI番号 ($p = 00, 10, 20$)
- 2 : CSIマスタ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

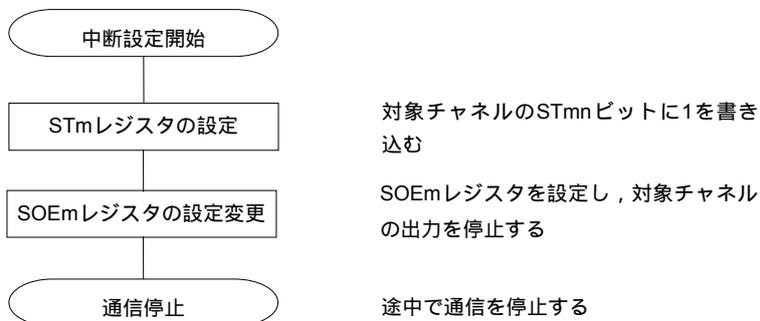
(2) 操作手順

図11 - 26 マスタ送信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

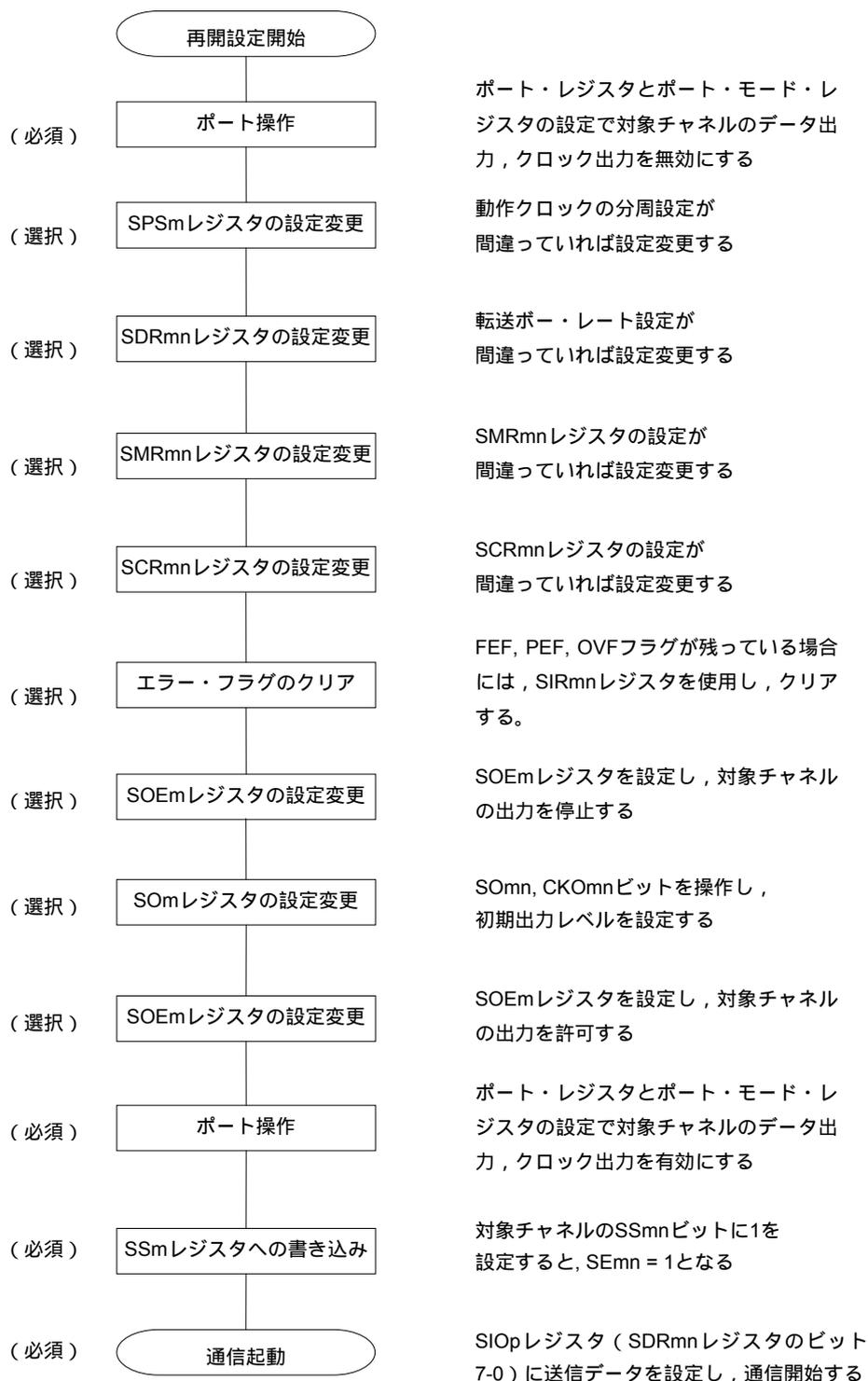
図11 - 27 マスタ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11 - 27 マスタ送信の再開設定手順参照)。

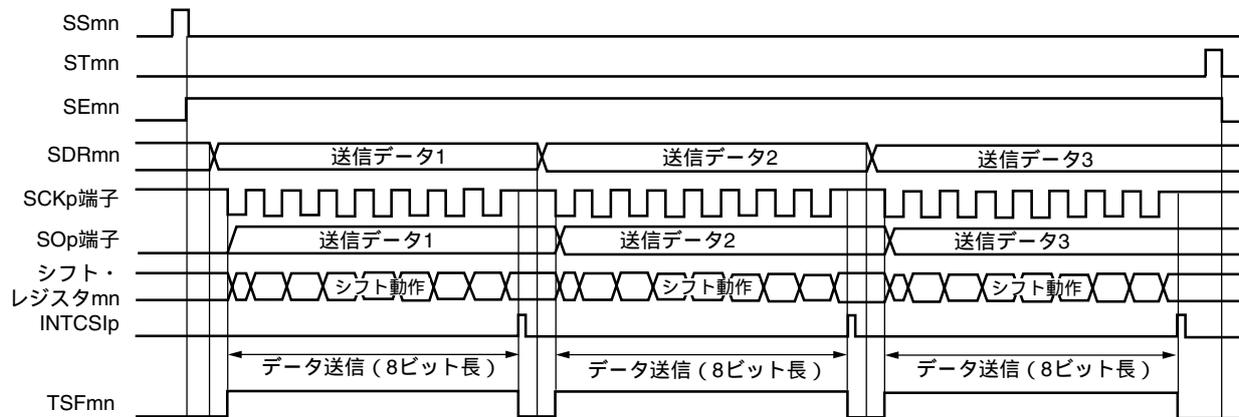
2. p : CSI番号 (p = 00, 10, 20)

図11 - 28 マスタ送信の再開設定手順



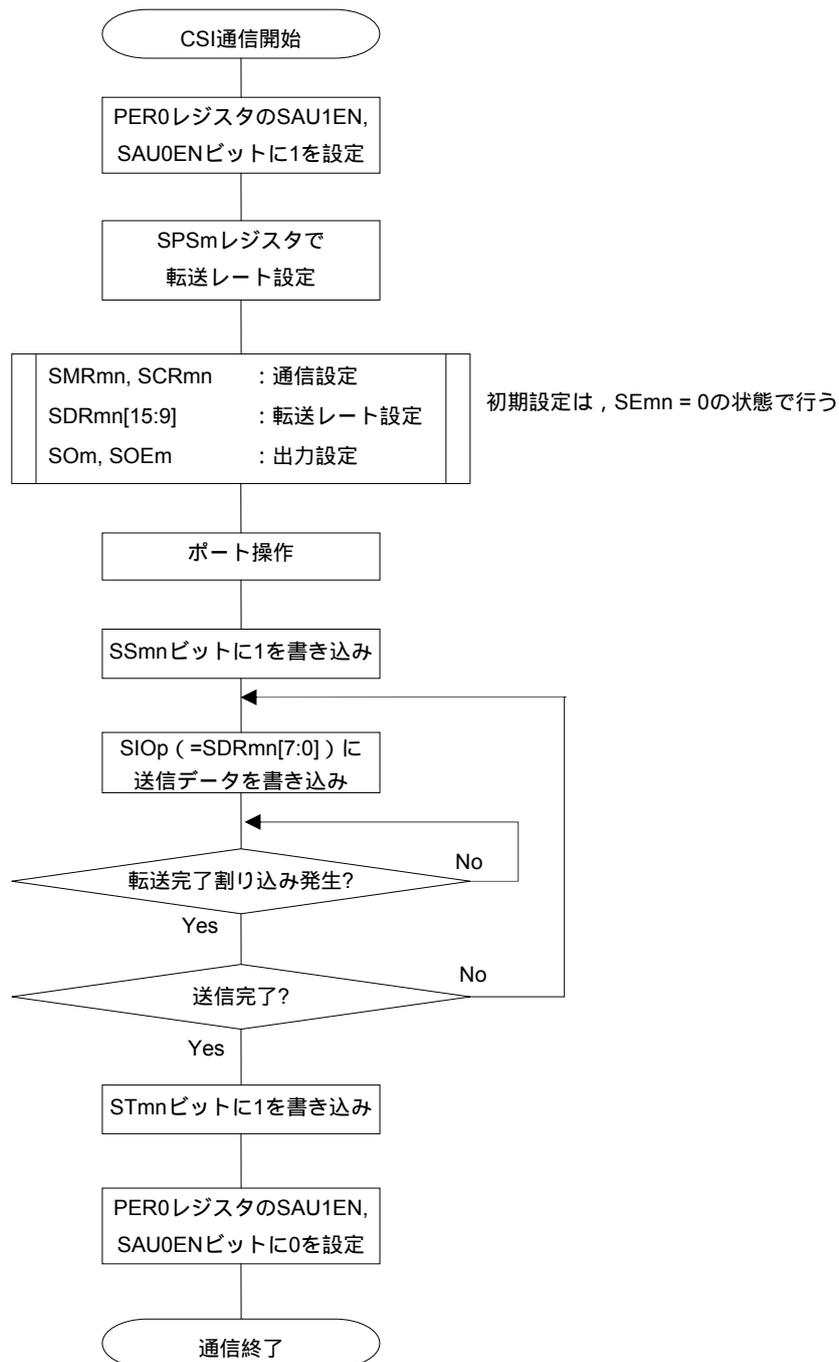
(3) 処理フロー (シングル送信モード時)

図11 - 29 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
 p : CSI番号 (p = 00, 10, 20)

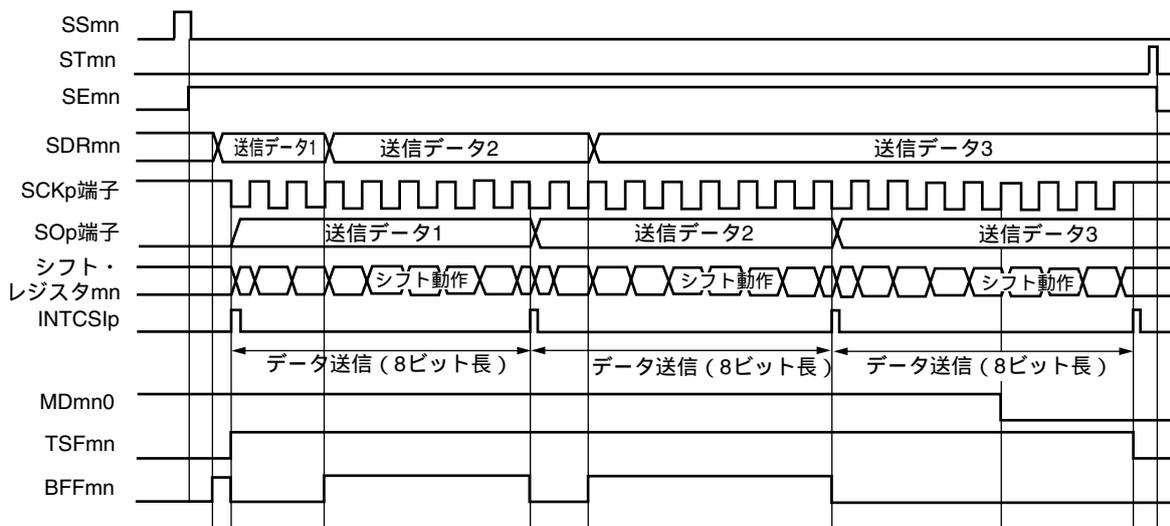
図11 - 30 マスタ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に, f_{CLK} の4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11 - 31 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



(注)

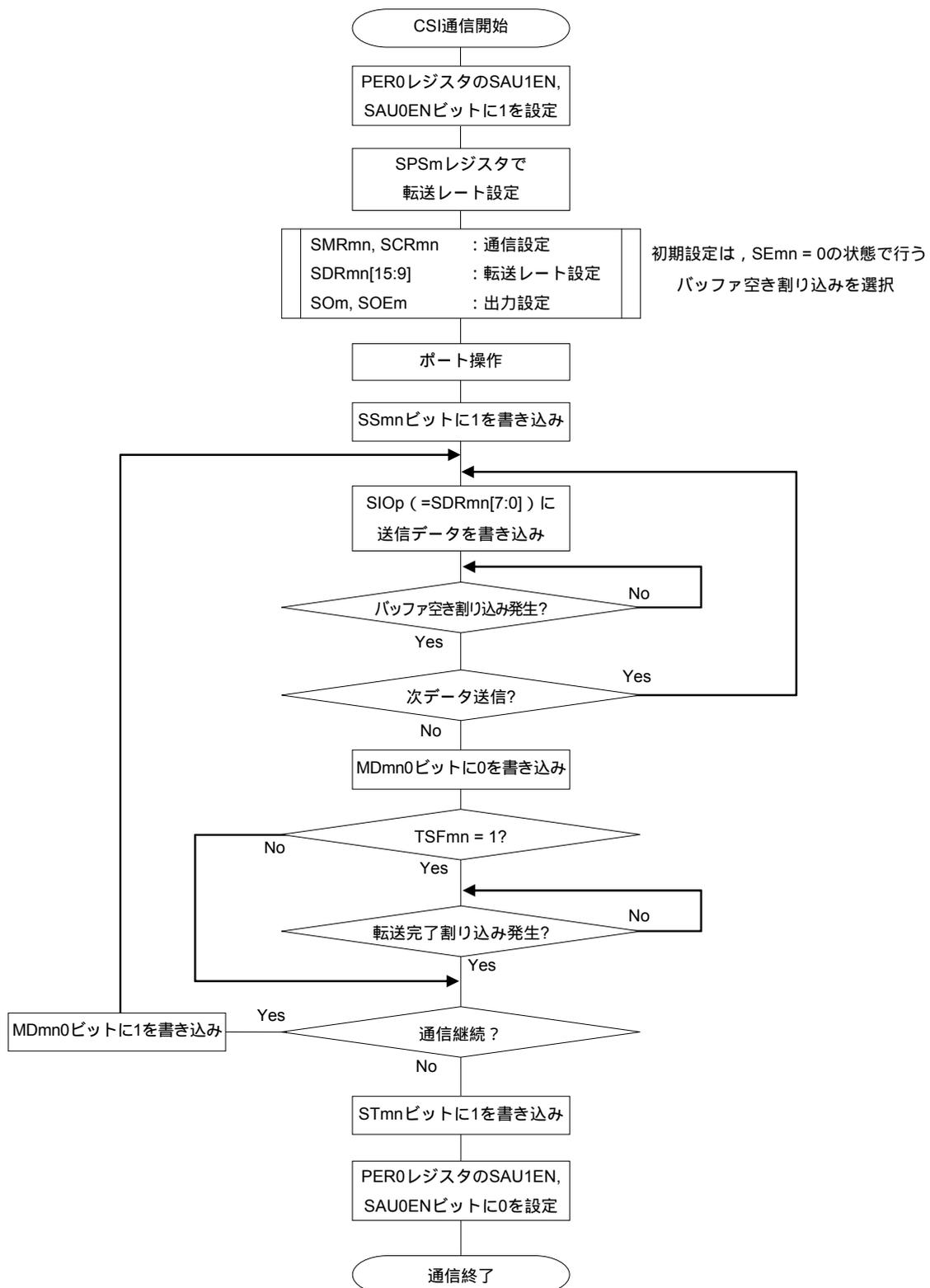
注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
p : CSI番号 (p = 00, 10, 20)

図11 - 32 マスタ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の - は、図11 - 30 マスタ送信（連続送信モード時）のタイミング・チャートの - に対応しています。

11.5.2 マスタ受信

マスタ受信とは、この78K0R/KC3-L, KE3-Lが転送クロックを出力し、78K0R/KC3-L, KE3-Lが他デバイスからデータを受信する動作です。

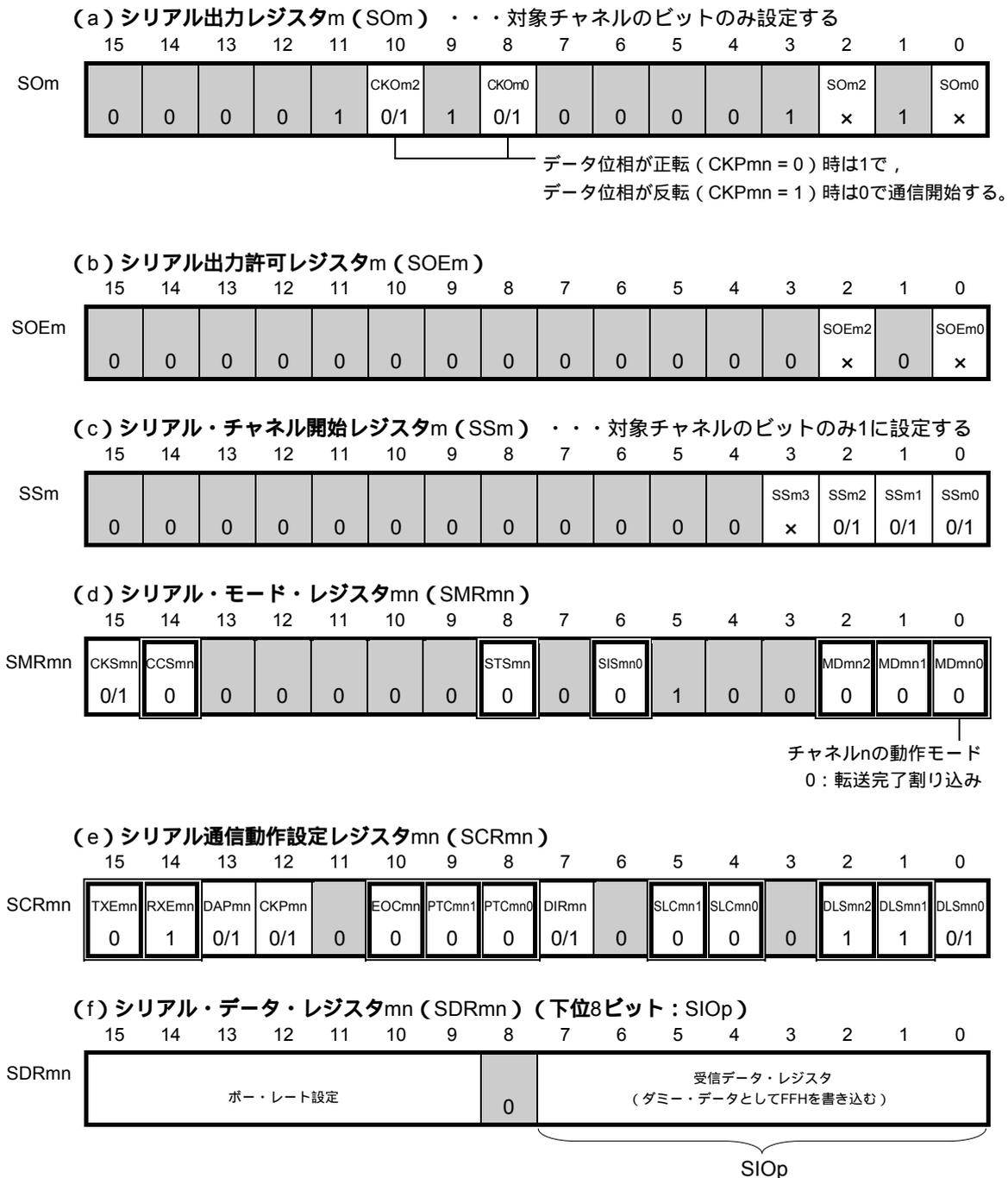
3線シリアルI/O	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK20}}$, SI20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数		
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 		
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 10

(1) レジスタ設定

図11 - 33 3線シリアルI/O (CSI00, CSI10, CSI20) のマスタ受信時のレジスタ設定内容例



備考.1 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

p : CSI番号 (p = 00, 10, 20)

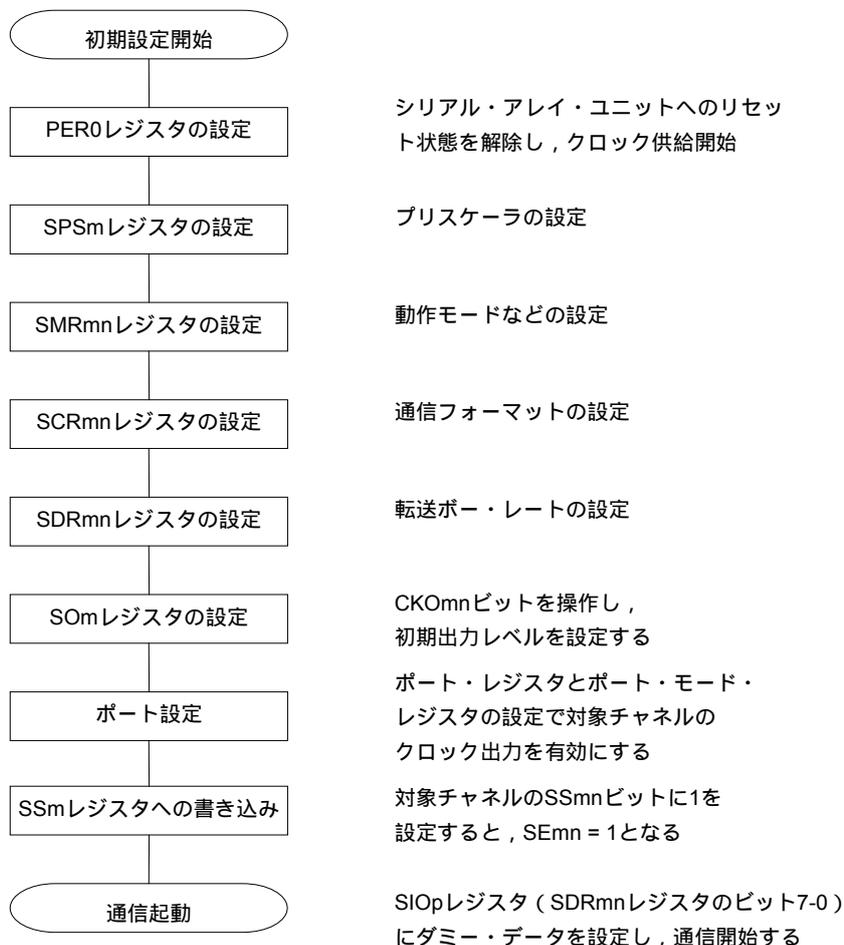
2 : CSIマスタ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

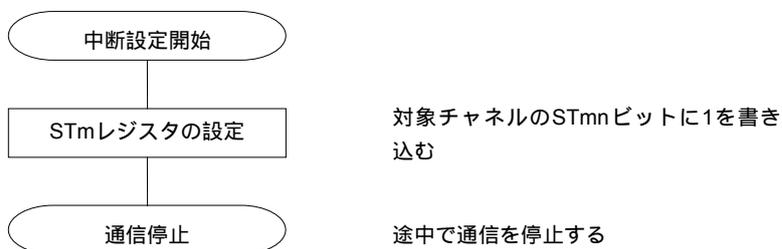
(2) 操作手順

図11 - 34 マスタ受信の初期設定手順



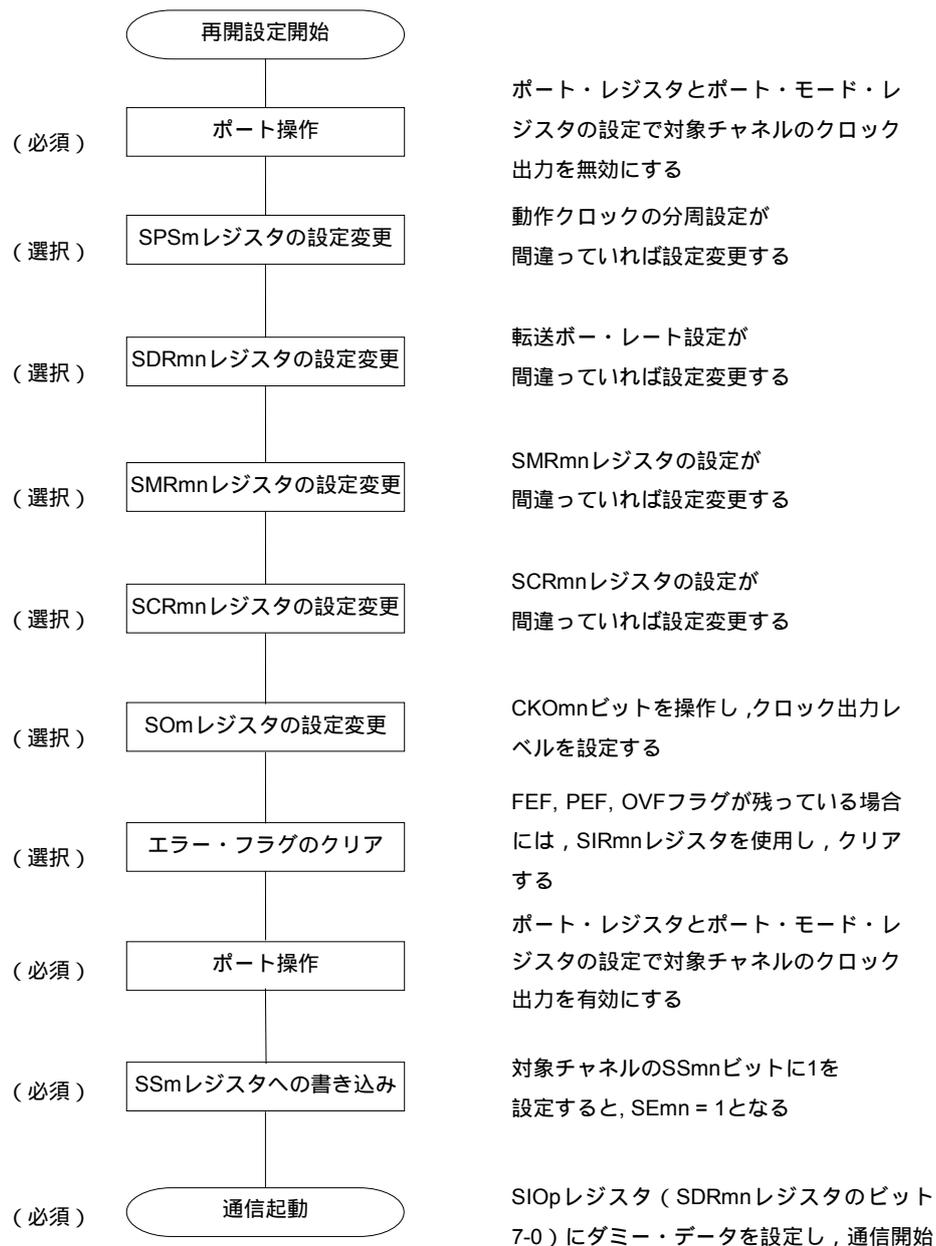
注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

図11 - 35 マスタ受信の中断手順



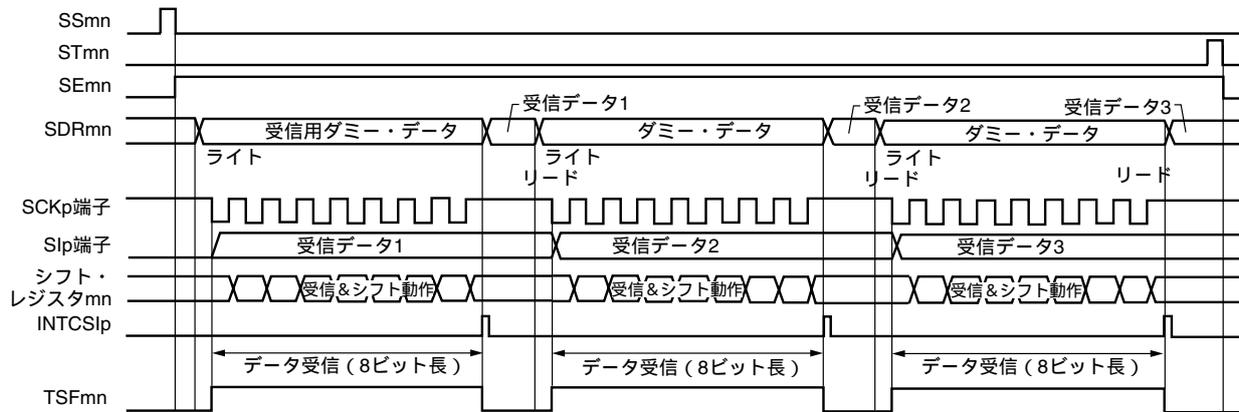
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図11 - 36 マスタ受信の再開設定手順参照)。

図11 - 36 マスタ受信の再開設定手順



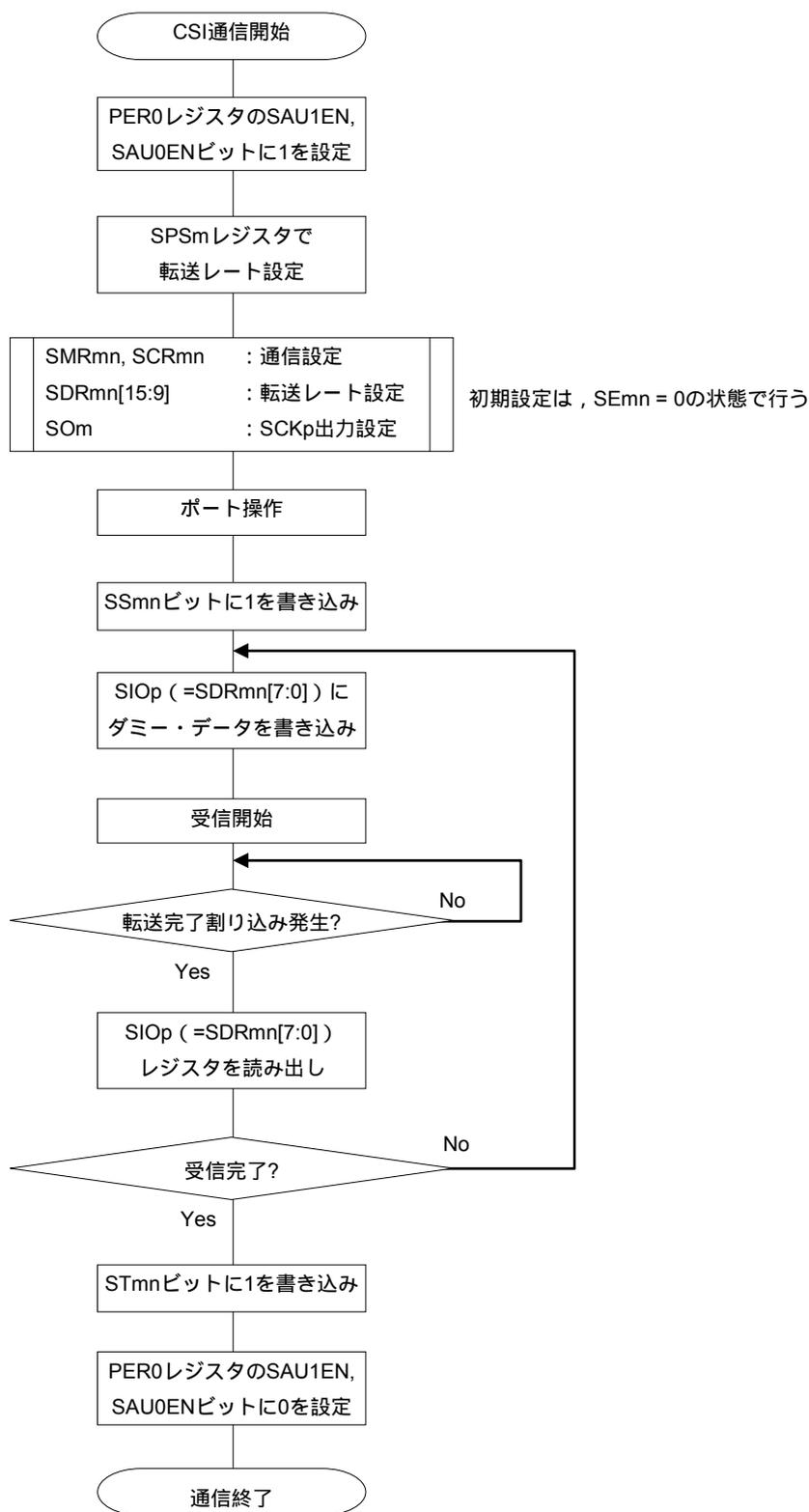
(3) 処理フロー (シングル受信モード時)

図11 - 37 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
 p : CSI番号 (p = 00, 10, 20)

図11 - 38 マスタ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.5.3 マスタ送受信

マスタ送受信とは、この78K0R/KC3-L, KE3-Lが転送クロックを出力し、78K0R/KC3-L, KE3-Lと他デバイスでデータを送受信する動作です。

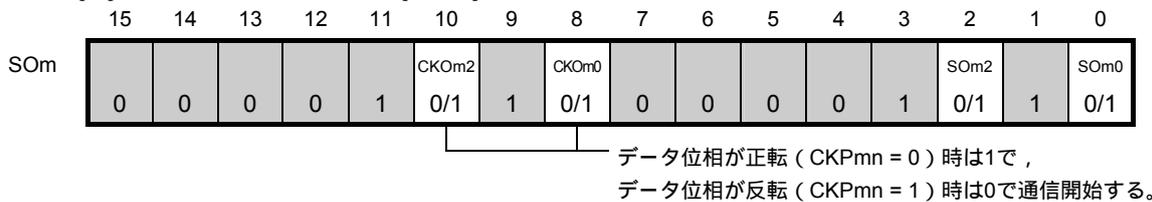
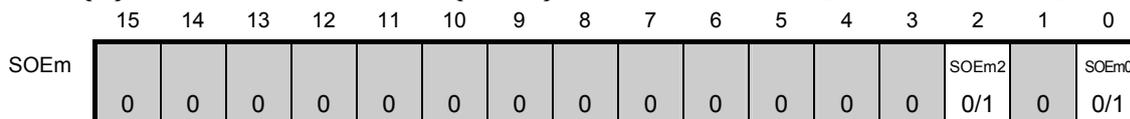
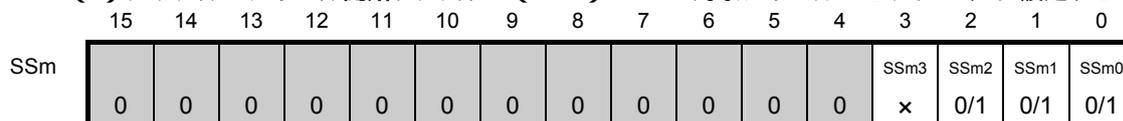
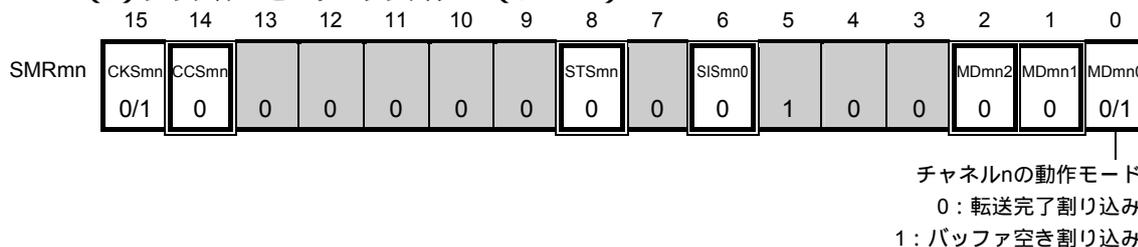
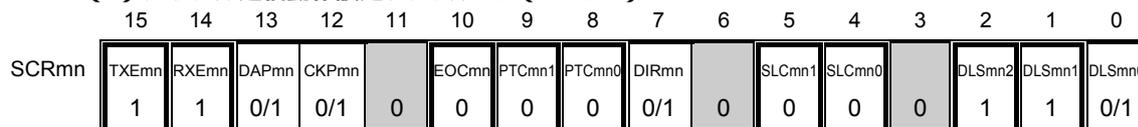
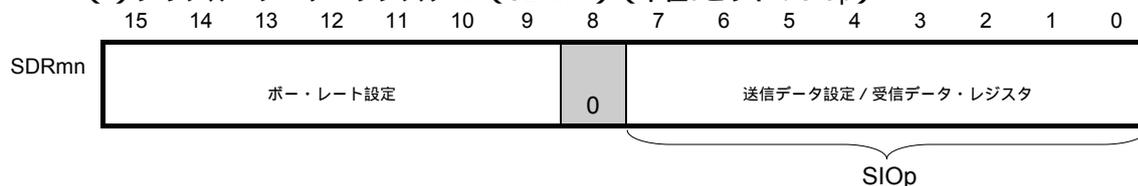
3線シリアルI/O	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] [※] f_{CLK} : システム・クロック周波数		
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 		
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

(1) レジスタ設定

図11 - 39 3線シリアルI/O (CSI00, CSI10, CSI20) のマスタ送受信時のレジスタ設定内容例 (1/2)

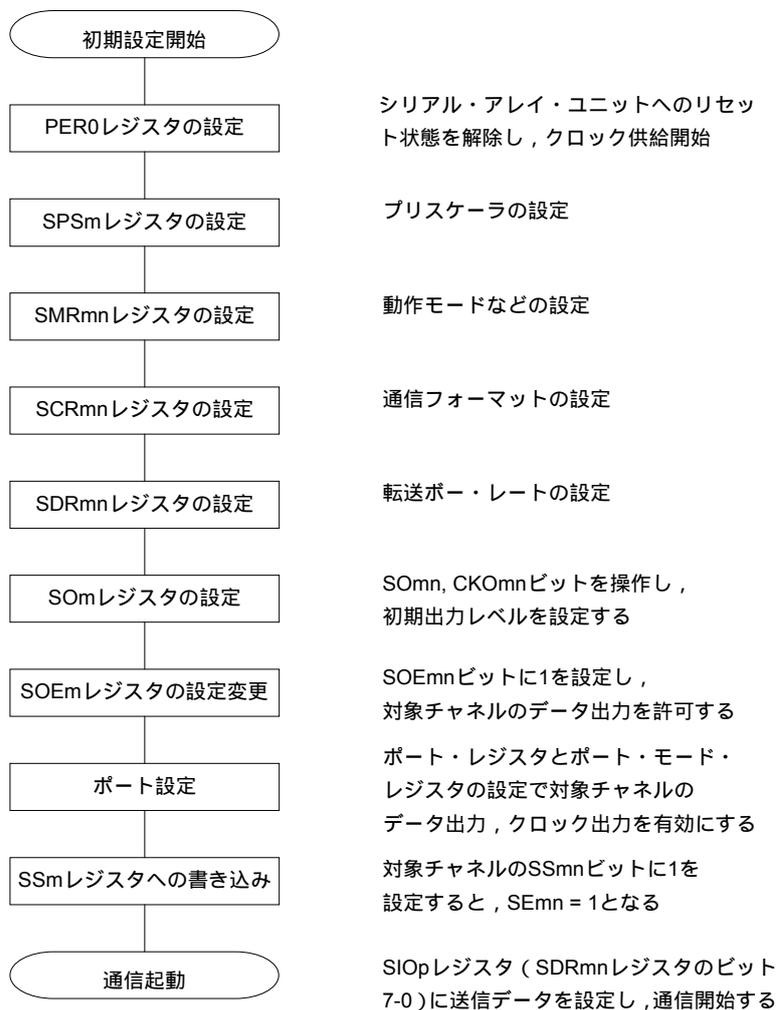
(a) シリアル出力レジスタ m (SO m) . . . 対象チャンネルのビットのみ設定する(b) シリアル出力許可レジスタ m (SOEm) . . . 対象チャンネルのビットのみ1に設定する(c) シリアル・チャンネル開始レジスタ m (SS m) . . . 対象チャンネルのビットのみ1に設定する(d) シリアル・モード・レジスタ mn (SMR mn)(e) シリアル通信動作設定レジスタ mn (SCR mn)(f) シリアル・データ・レジスタ mn (SDR mn) (下位8ビット : SIOp)備考1. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 2$) $mn = 00, 02, 10$ p : CSI番号 ($p = 00, 10, 20$)2 : CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

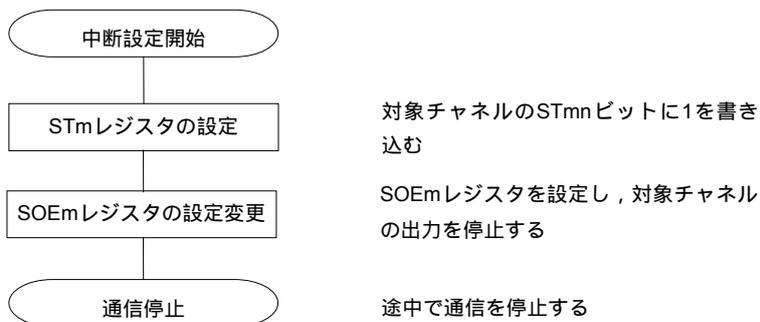
(2) 操作手順

図11 - 40 マスタ送受信の初期設定手順



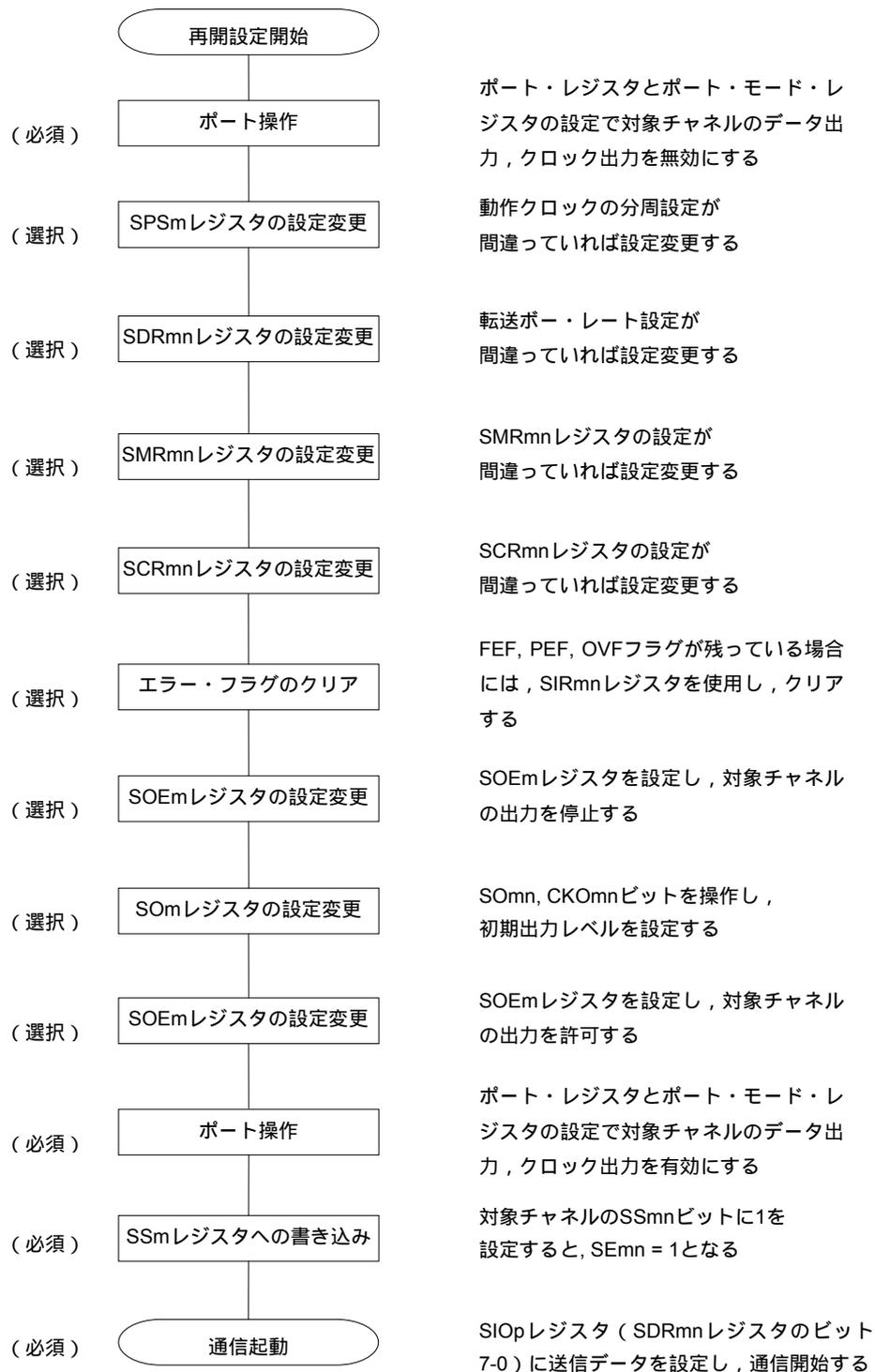
注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 41 マスタ送受信の中断手順



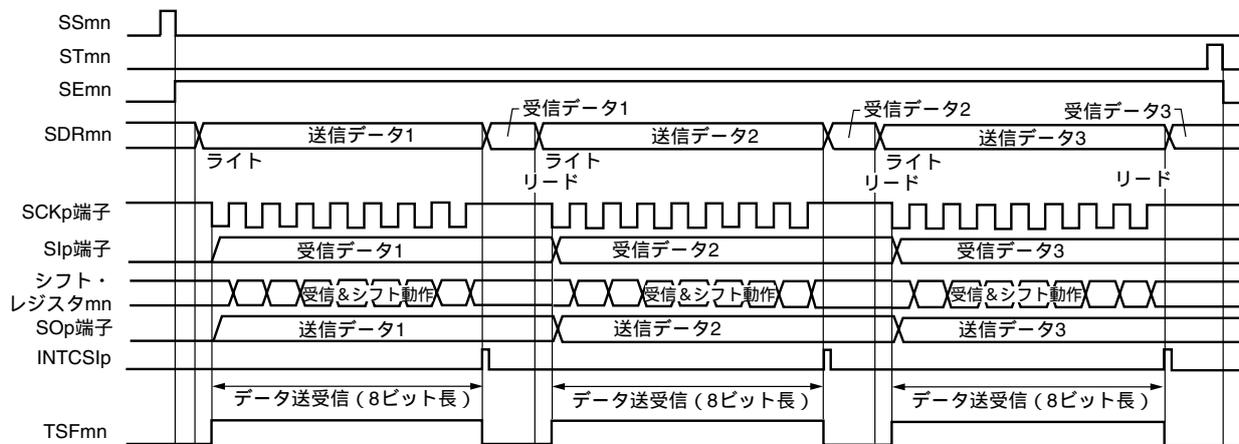
備考 中断後も端子レベルは保持されますので、動作を再開するにはSOMレジスタを再設定してください(図11 - 42 マスタ送受信の再開設定手順参照)。

図11 - 42 マスタ送受信の再開設定手順



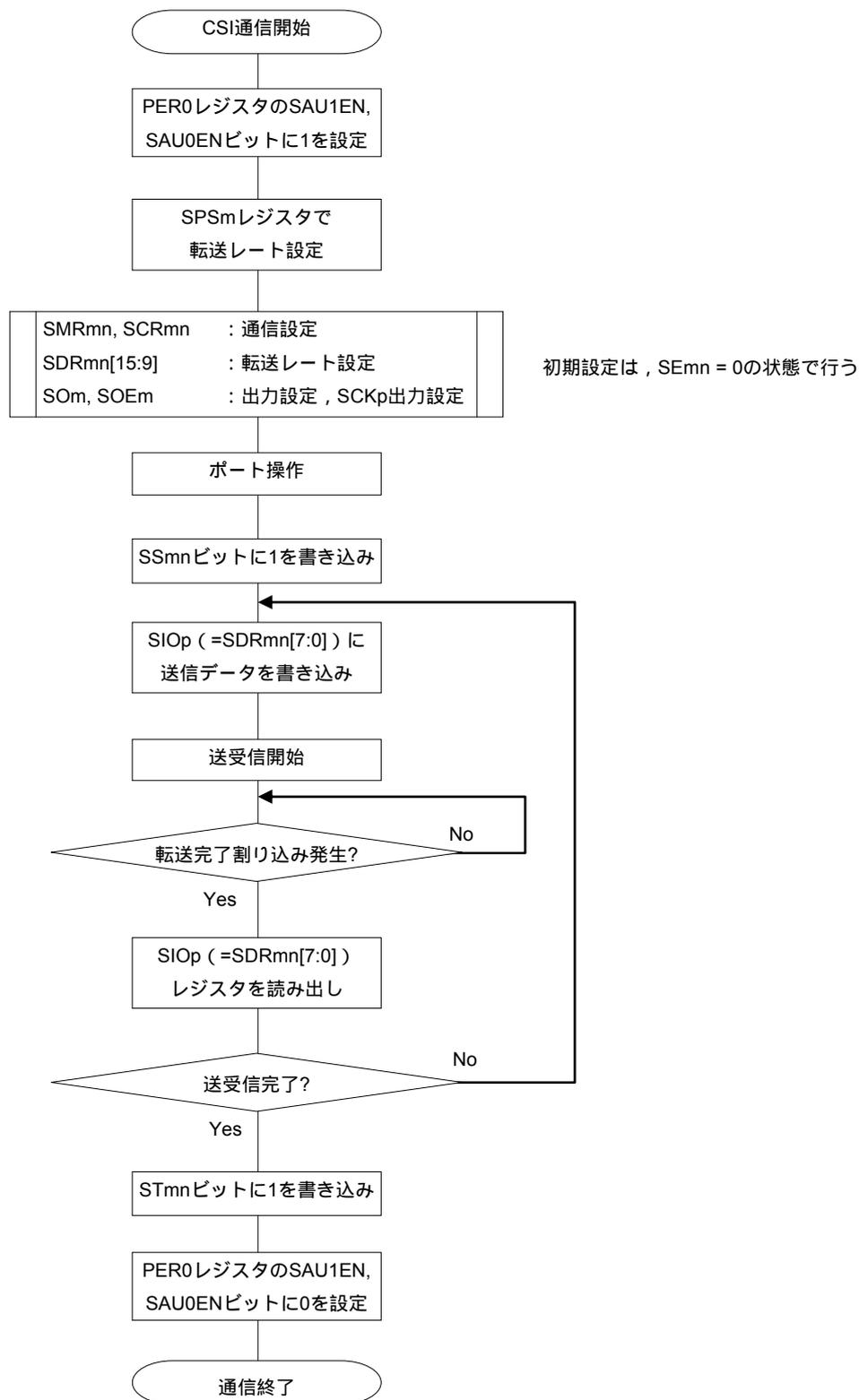
(3) 処理フロー (シングル送受信モード時)

図11 - 43 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
 p : CSI番号 (p = 00, 10, 20)

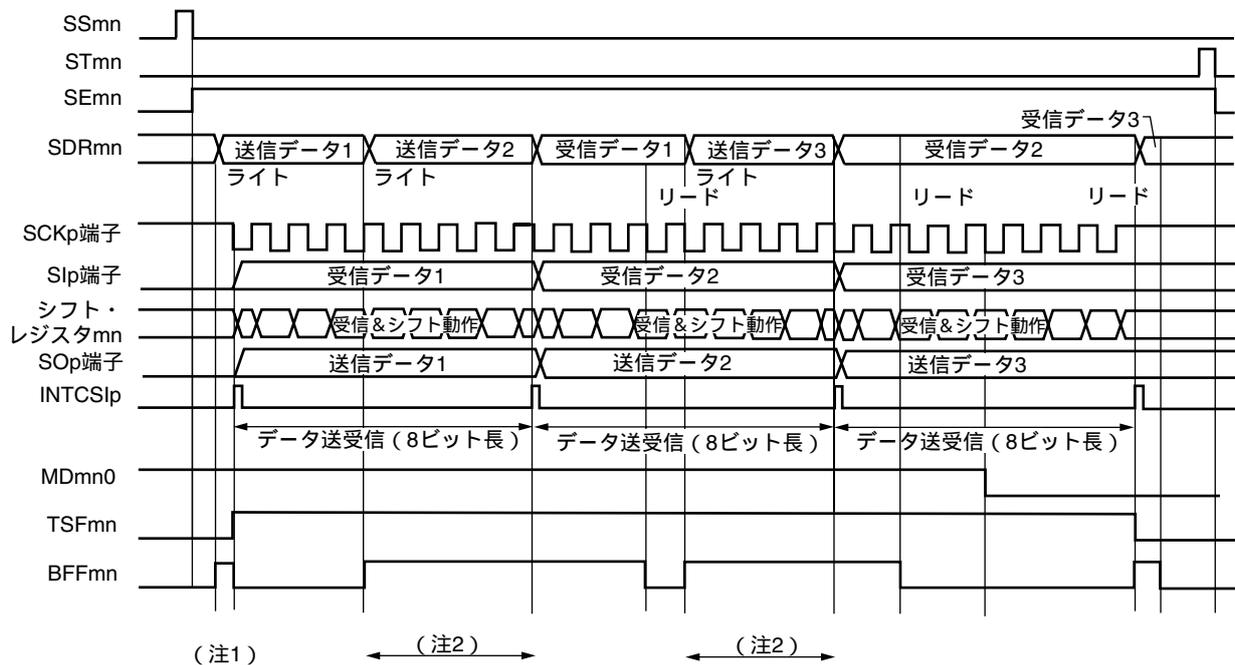
図11 - 44 マスタ送受信 (シングル送受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送受信モード時）

図11 - 45 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

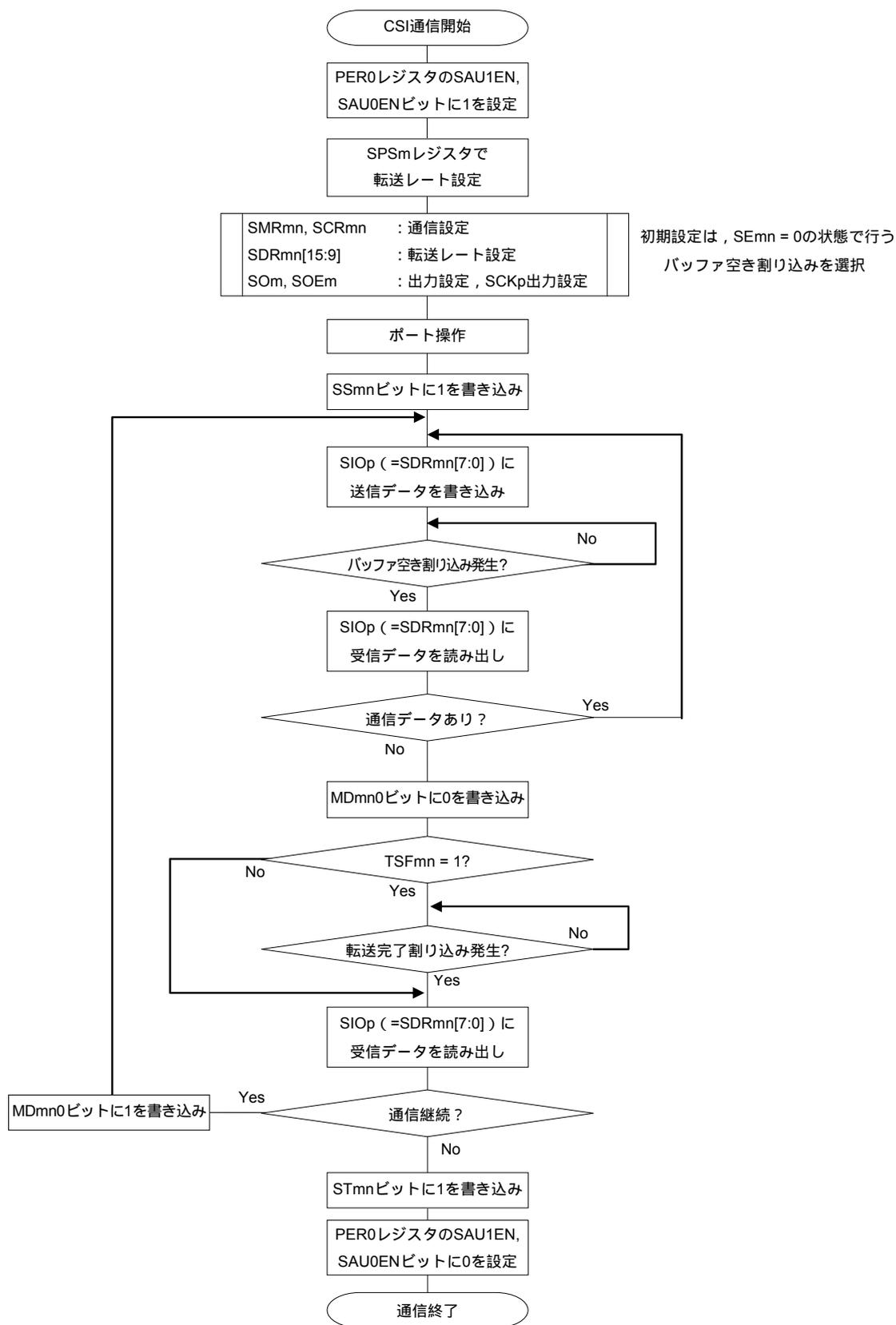
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の - は、図11 - 46 マスタ送受信（連続送受信モード時）のフロー・チャートの - に対応しています。

- m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10
p : CSI番号 (p = 00, 10, 20)

図11 - 46 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 図中の - は、図11 - 45 マスタ送受信（連続送受信モード時）のタイミング・チャートの - に対応しています。

11.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/KC3-L, KE3-Lから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SO00	SCK10, SO10	SCK20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}		
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 		
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. SCK00, SCK10, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [MHz] となります。

2. この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 10

(1) レジスタ設定

図11 - 47 3線シリアル/O (CSI00, CSI10, CSI20) のスレーブ送信時のレジスタ設定内容例

(a) シリアル出力レジスタ m (SO m) . . . 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO m						CKOm2		CKOm0						SO m 2		SO m 0
	0	0	0	0	1	x	1	x	0	0	0	0	1	0/1	1	0/1

(b) シリアル出力許可レジスタ m (SOEm) . . . 対象チャンネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2		SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

(c) シリアル・チャンネル開始レジスタ m (SS m) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS m													SS m 3	SS m 2	SS m 1	SS m 0
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	0/1	0/1

(d) シリアル・モード・レジスタ mn (SMR mn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKS mn	CCS mn						STS mn		SIS mn 0				MD mn 2	MD mn 1	MD mn 0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネル n の動作モード
 0 : 転送完了割り込み
 1 : バッファ空き割り込み

(e) シリアル通信動作設定レジスタ mn (SCR mn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXE mn	RXE mn	DAP mn	CKP mn		EOC mn	PTC mn 1	PTC mn 0	DIR mn		SLC mn 1	SLC mn 0		DLS mn 2	DLS mn 1	DLS mn 0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

(f) シリアル・データ・レジスタ mn (SDR mn) (下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定								0	送信データ設定						

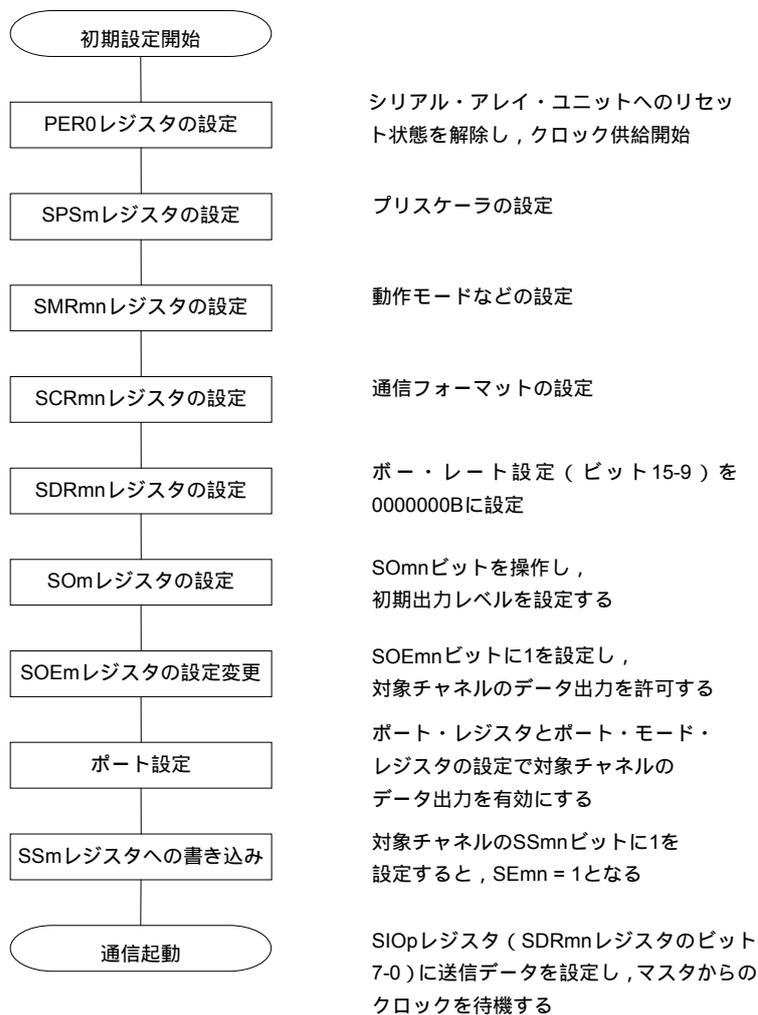
SIOp

備考1. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 2$) $mn = 00, 02, 10$ p : CSI番号 ($p = 00, 10, 20$)2 : CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定) x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

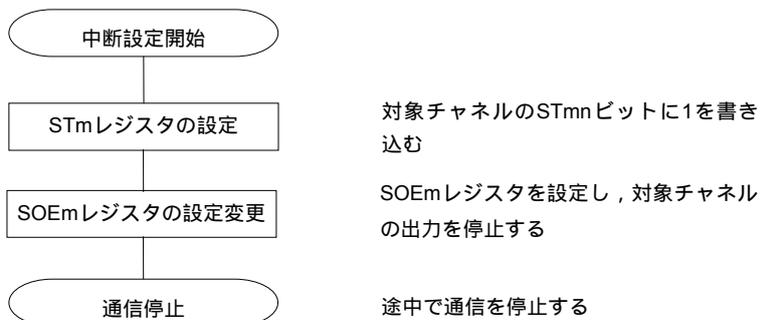
(2) 操作手順

図11 - 48 スレーブ送信の初期設定手順



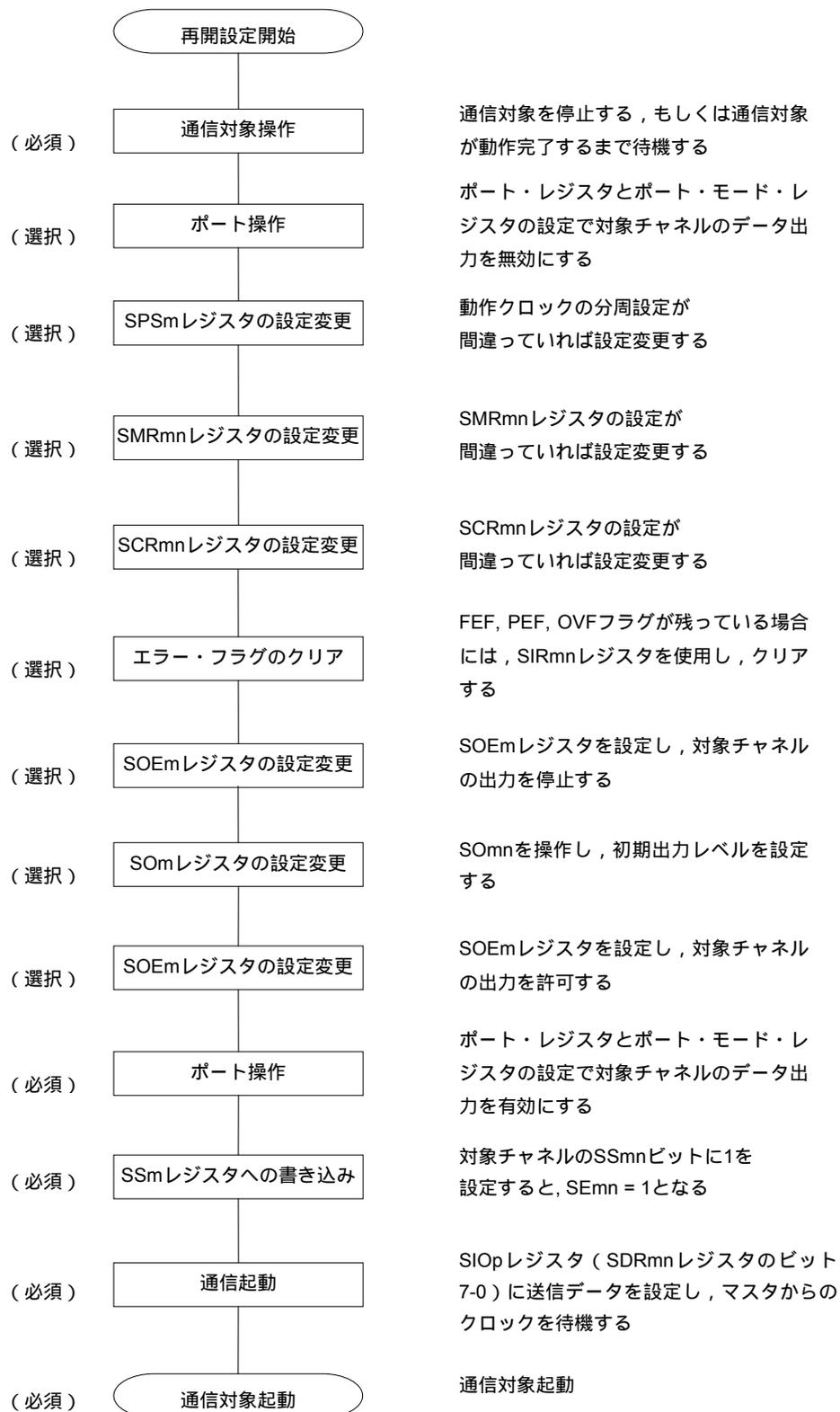
注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 49 スレーブ送信の中断手順



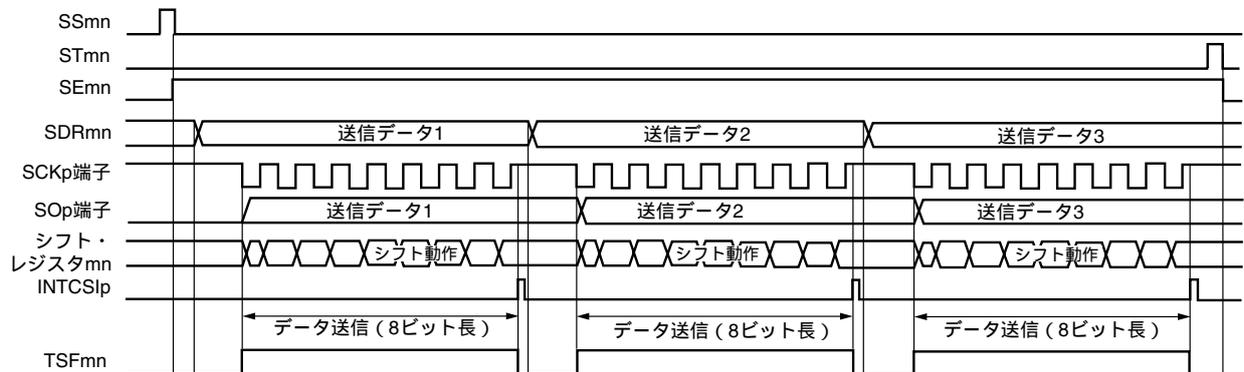
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図11 - 49 スレーブ送信の再開設定手順参照）。

図11 - 50 スレーブ送信の再開設定手順



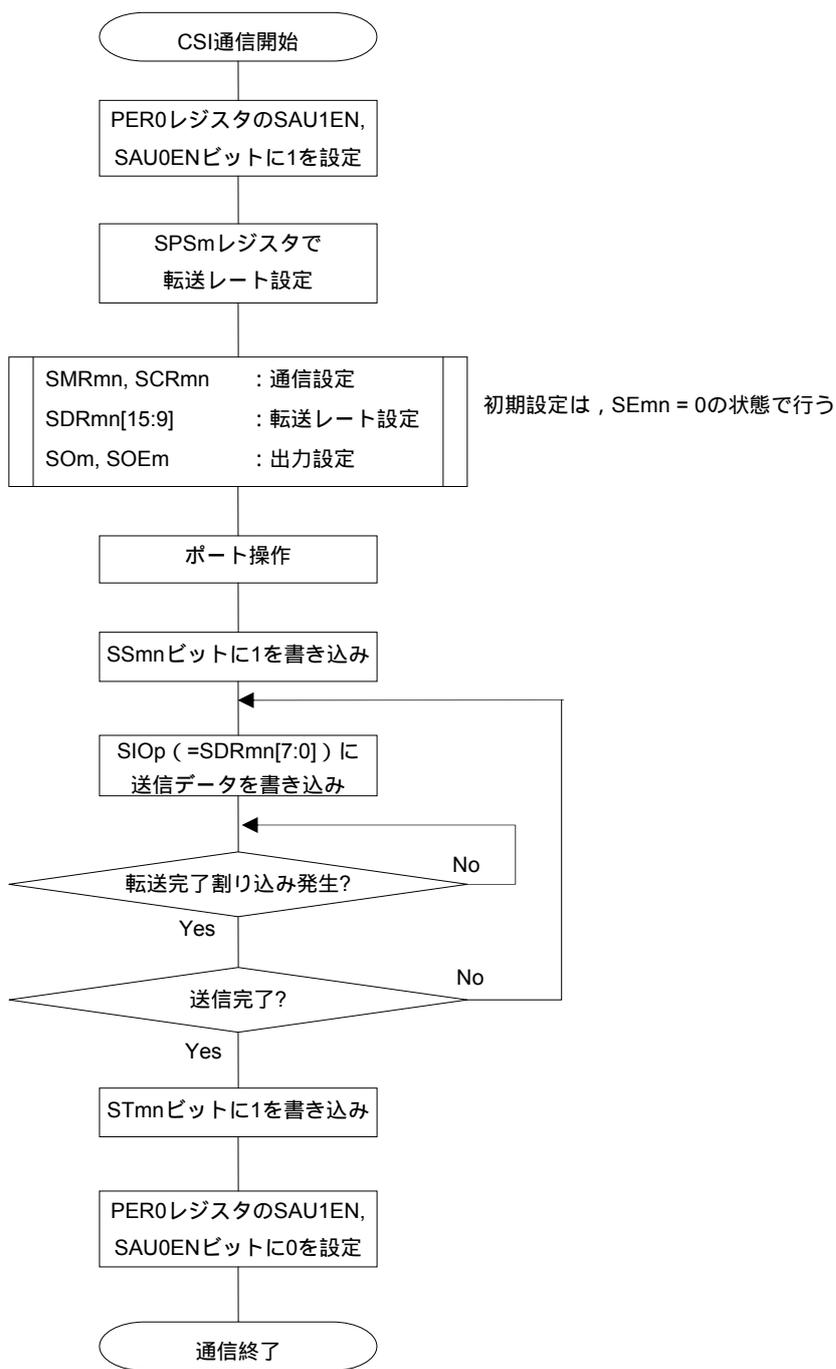
(3) 処理フロー (シングル送信モード時)

図11 - 51 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
 p : CSI番号 (p = 00, 10, 20)

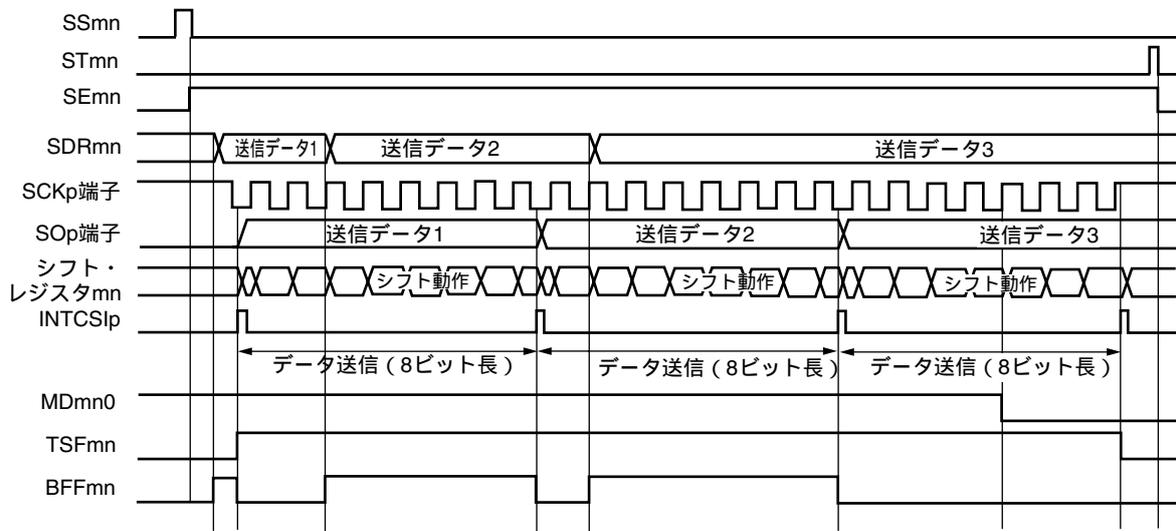
図11 - 52 スレーブ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11 - 53 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

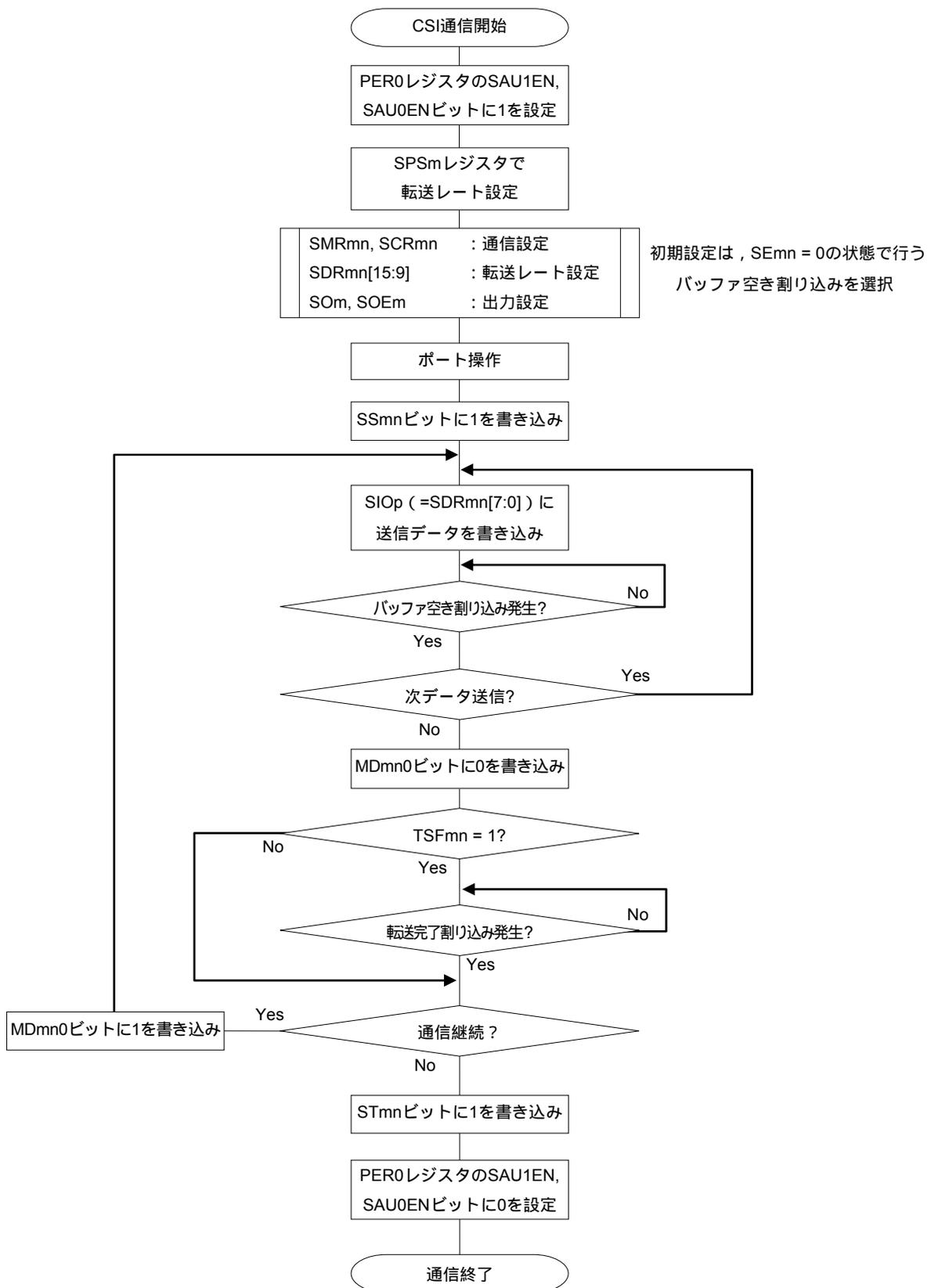


(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

図11 - 54 スレーブ送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 図中の - は、図11 - 53 スレーブ送信（連続送信モード時）のタイミング・チャートの - に対応しています。

11.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/KC3-L, KE3-Lが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK20}}$, SI20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}		
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 		
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [MHz] となります。

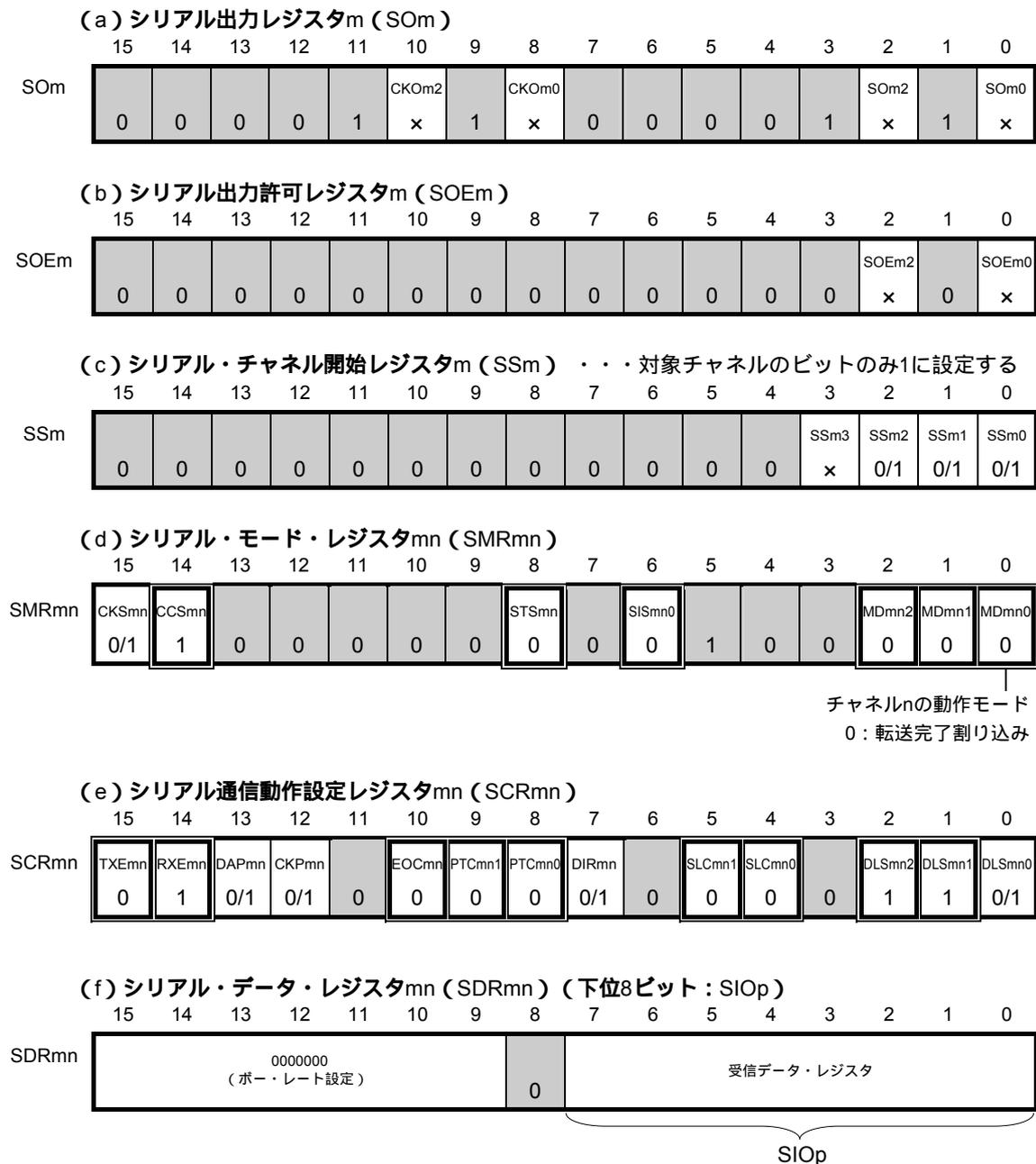
2. この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 10

(1) レジスタ設定

図11 - 55 3線シリアル/O (CSI00, CSI10, CSI20) のスレーブ受信時のレジスタ設定内容例



備考.1 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

p : CSI番号 (p = 00, 10, 20)

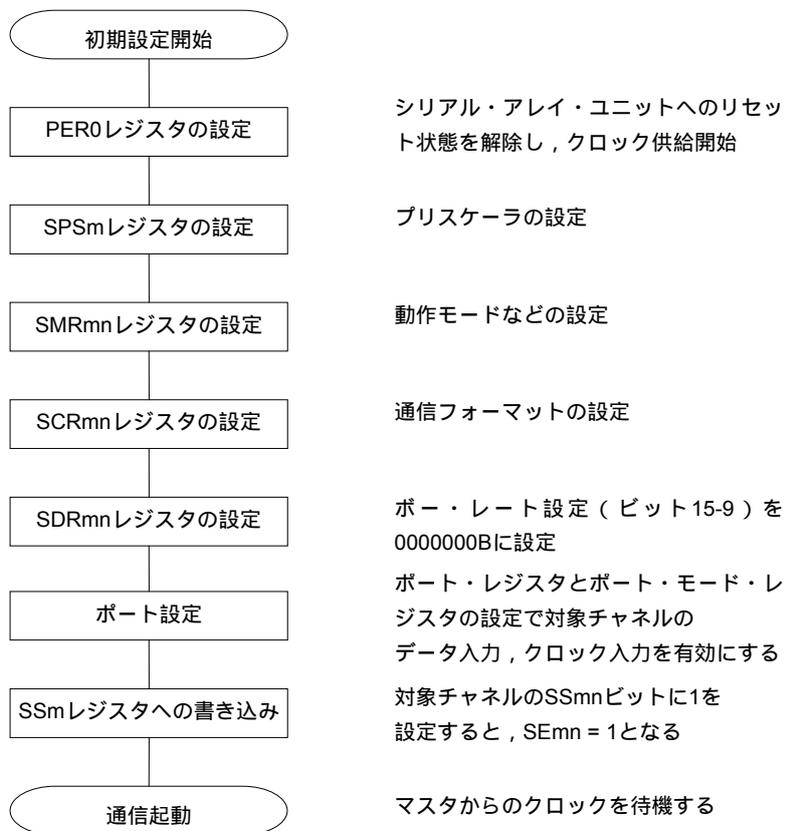
2 : CSIスレーブ受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 56 スレーブ受信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 57 スレーブ受信の中断手順

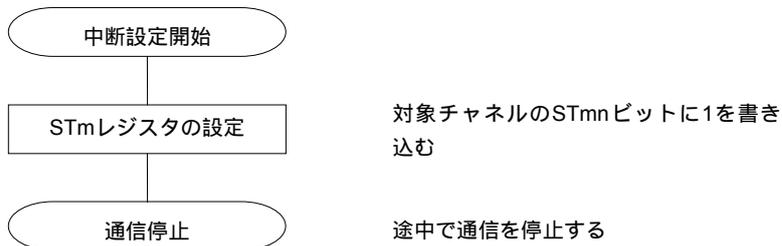
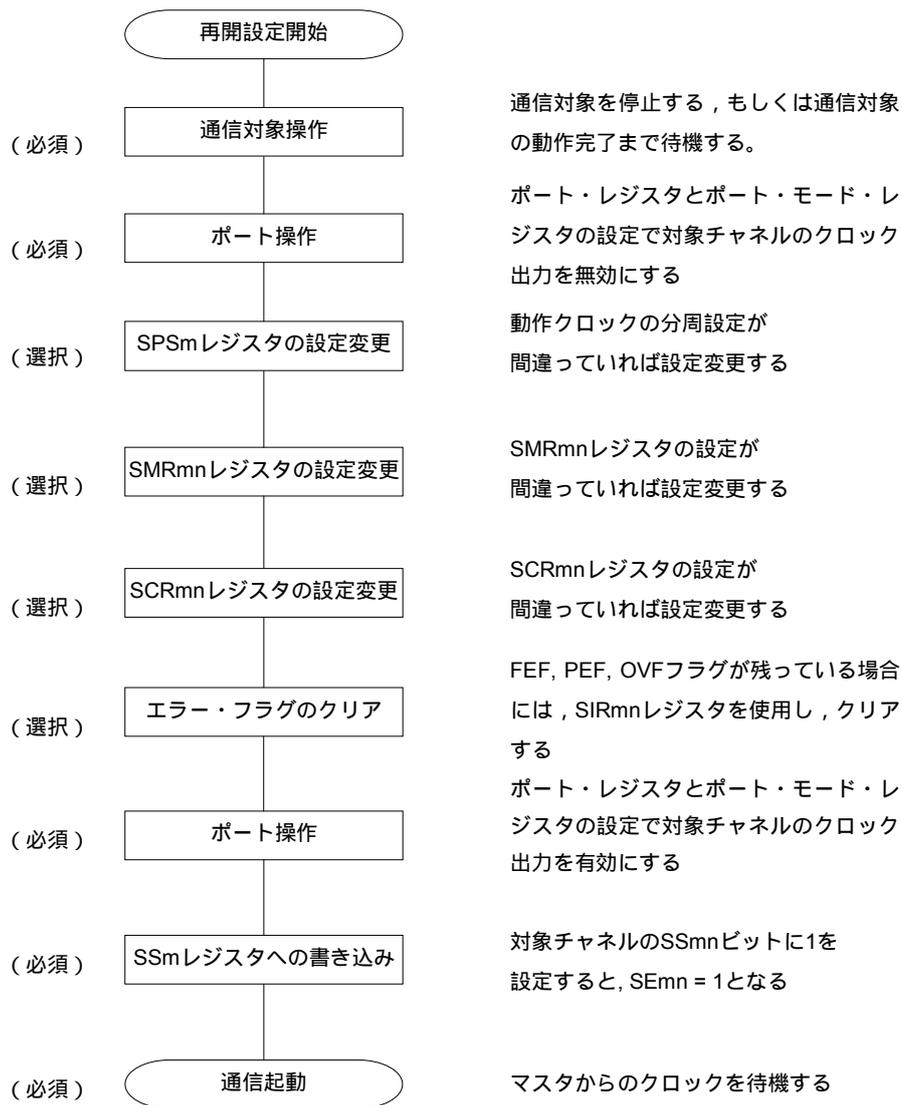
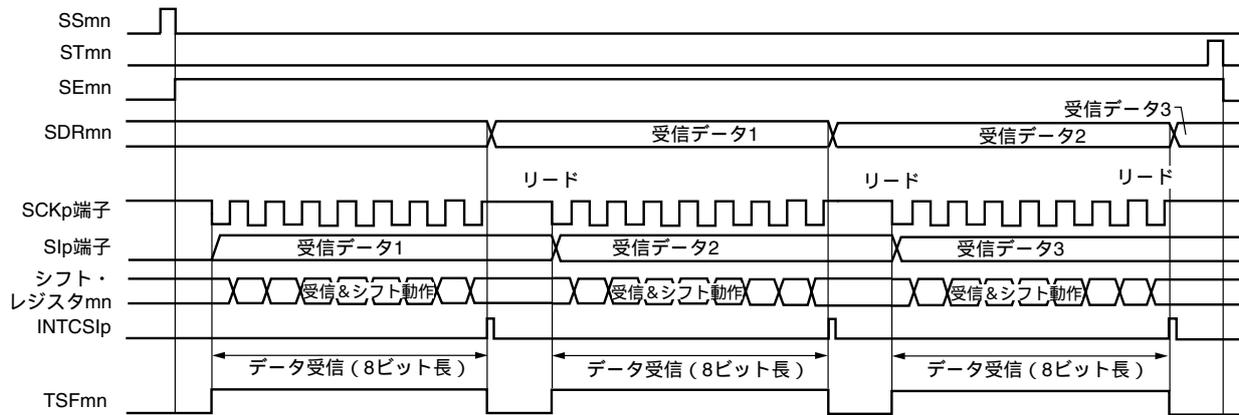


図11 - 58 スレーブ受信の再開設定手順



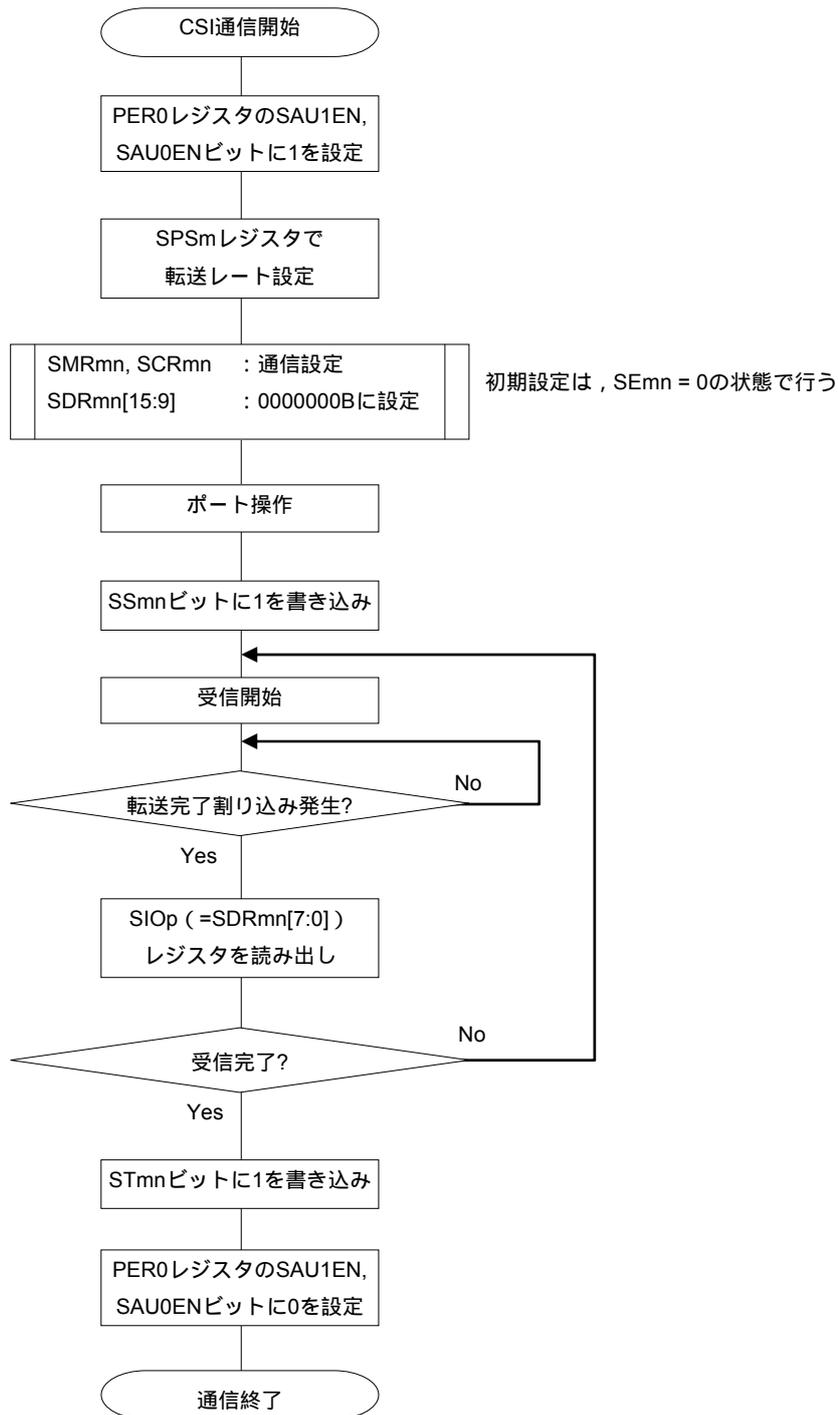
(3) 処理フロー (シングル受信モード時)

図11 - 59 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
 p : CSI番号 (p = 00, 10, 20)

図11 - 60 スレーブ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/KC3-L, KE3-Lと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCK00, SI00, SO00	SCK10, SI10, SO10	SCK20, SI20, SO20
割り込み	INTCSI00	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}		
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 		
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. SCK00, SCK10, SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [MHz] となります。

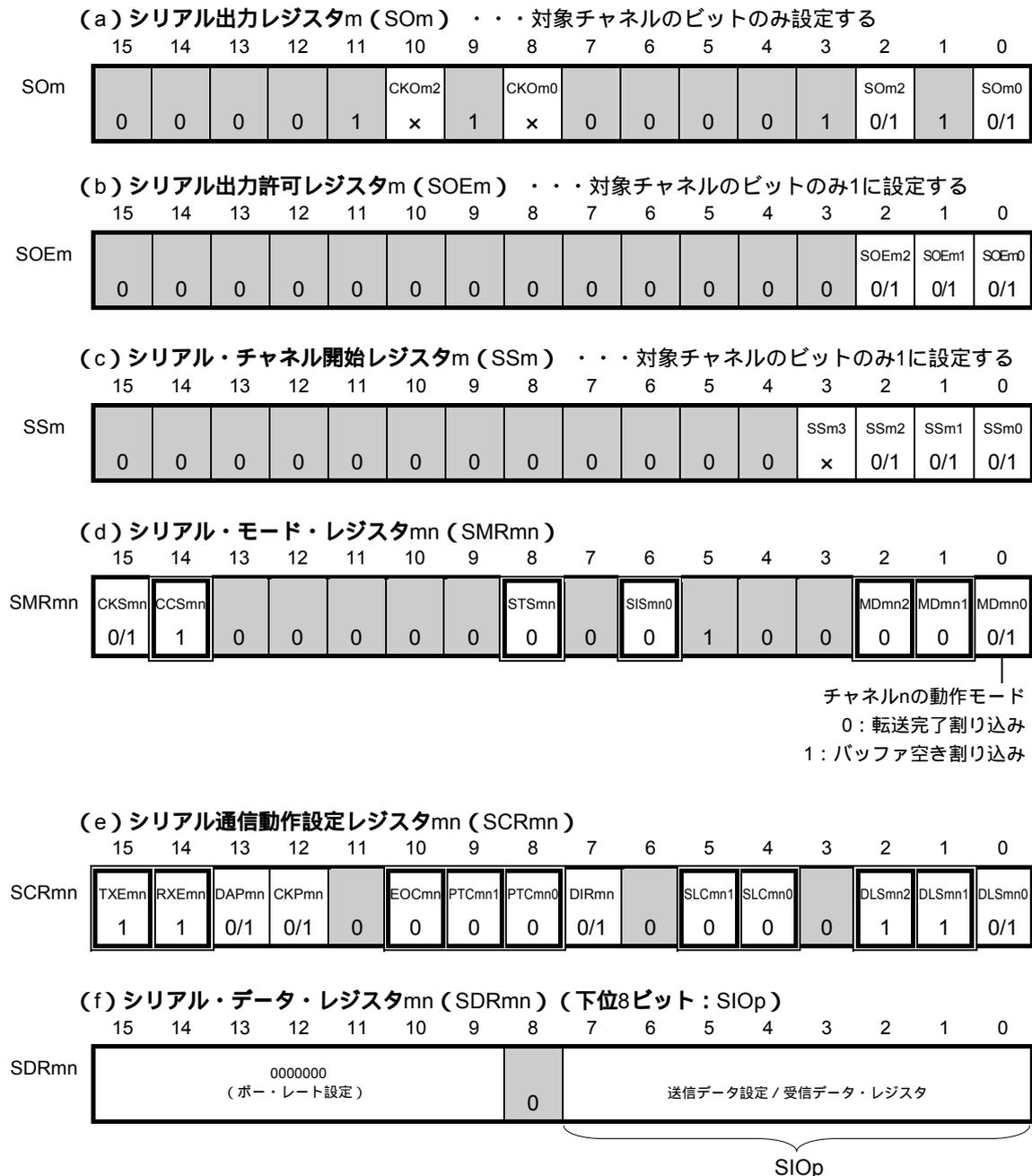
2. この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2） mn = 00, 02, 10

(1) レジスタ設定

図11 - 61 3線シリアルI/O (CSI00, CSI10, CSI20) のスレーブ送受信時のレジスタ設定内容例



備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10

p : CSI番号 (p = 00, 10, 20)

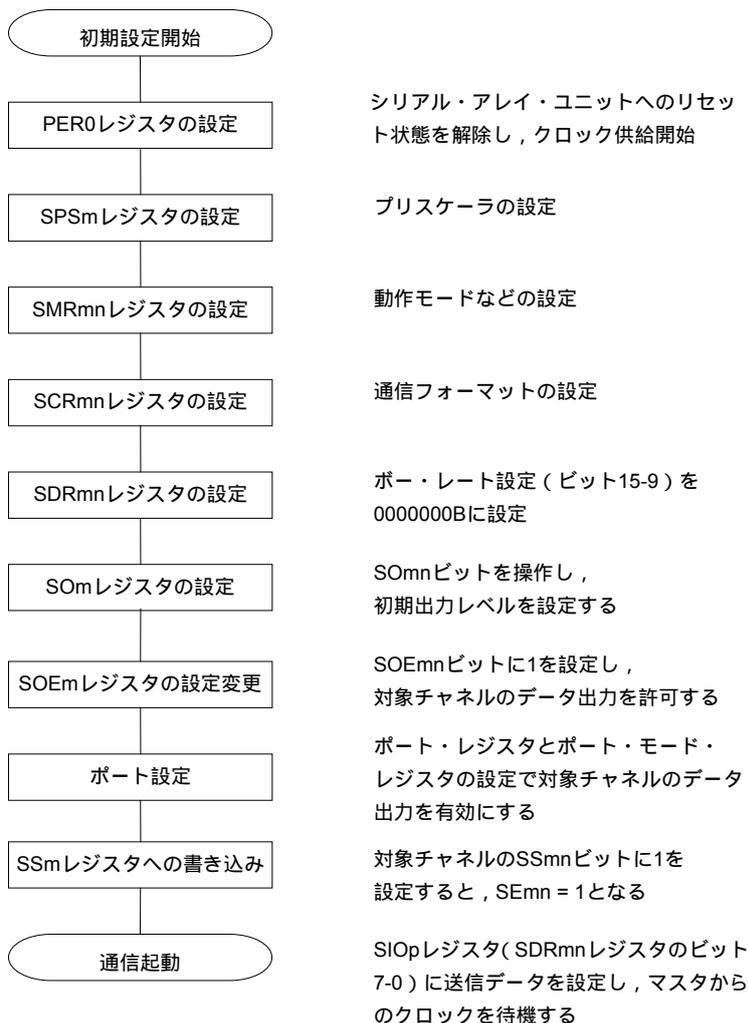
2. : CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

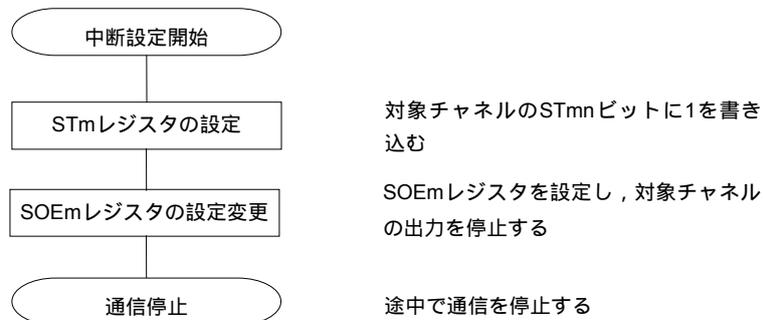
(2) 操作手順

図11 - 62 スレーブ送受信の初期設定手順



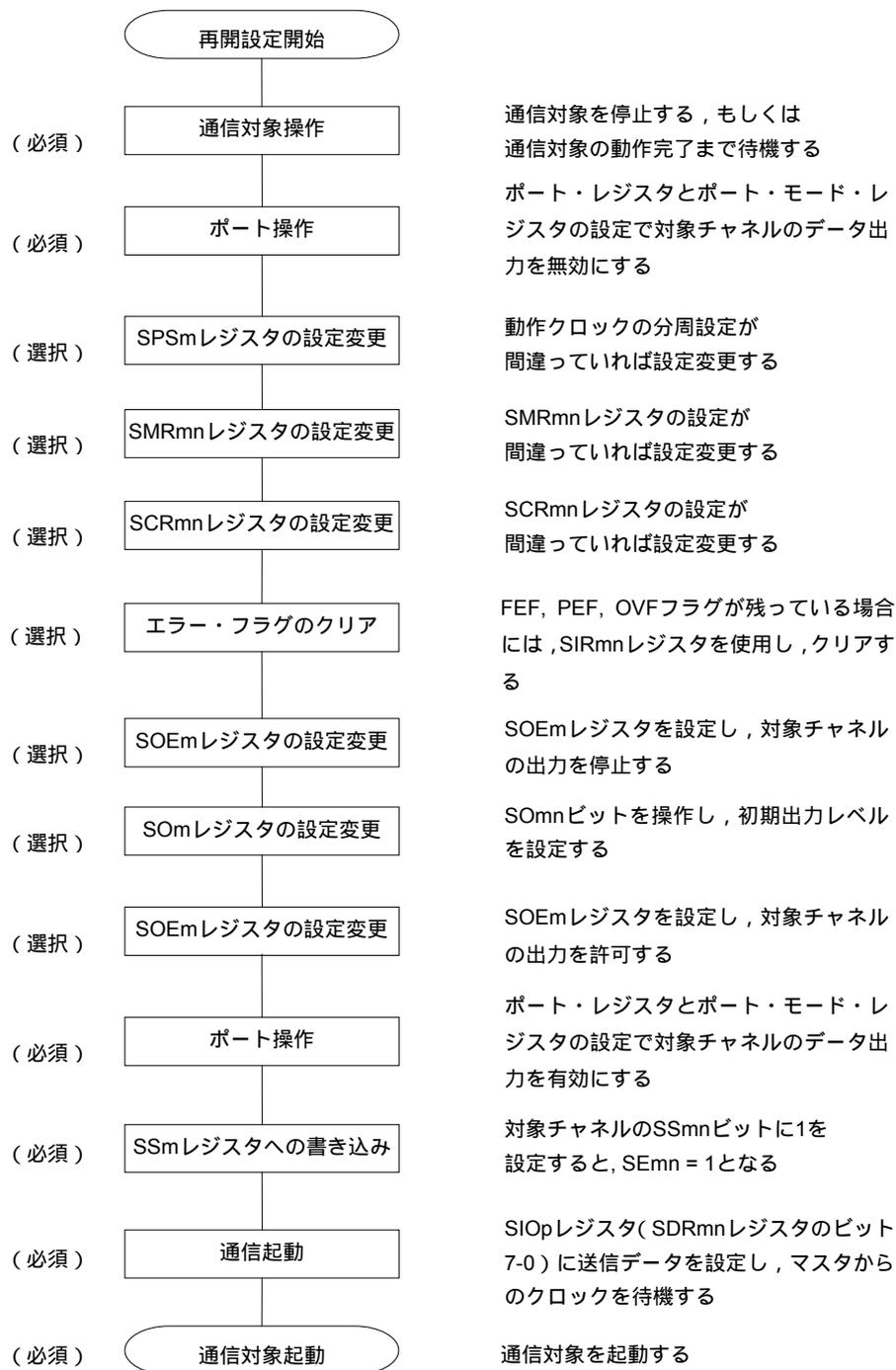
注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

図11 - 63 スレーブ送受信の中断手順



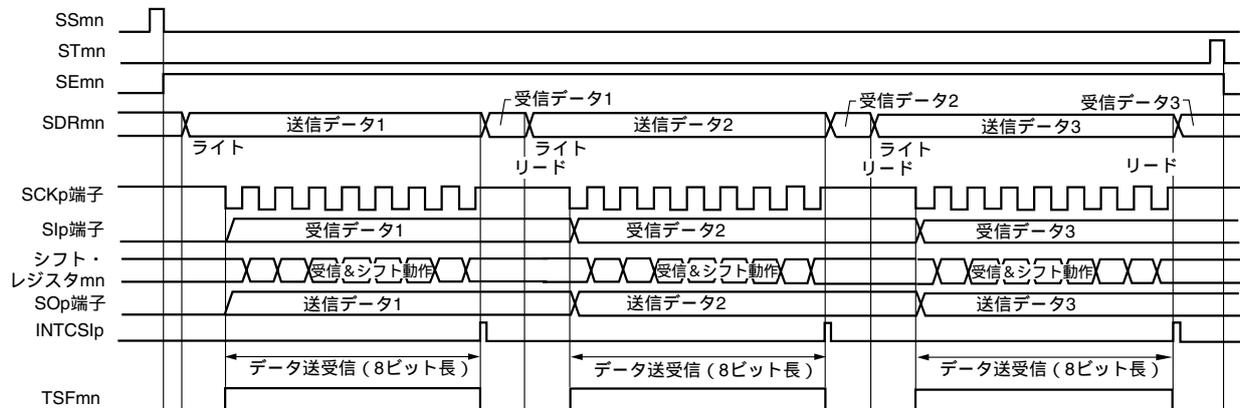
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmnレジスタを再設定してください (図11 - 64 スレーブ送受信の再開設定手順参照)。

図11 - 64 スレーブ送受信の再開設定手順



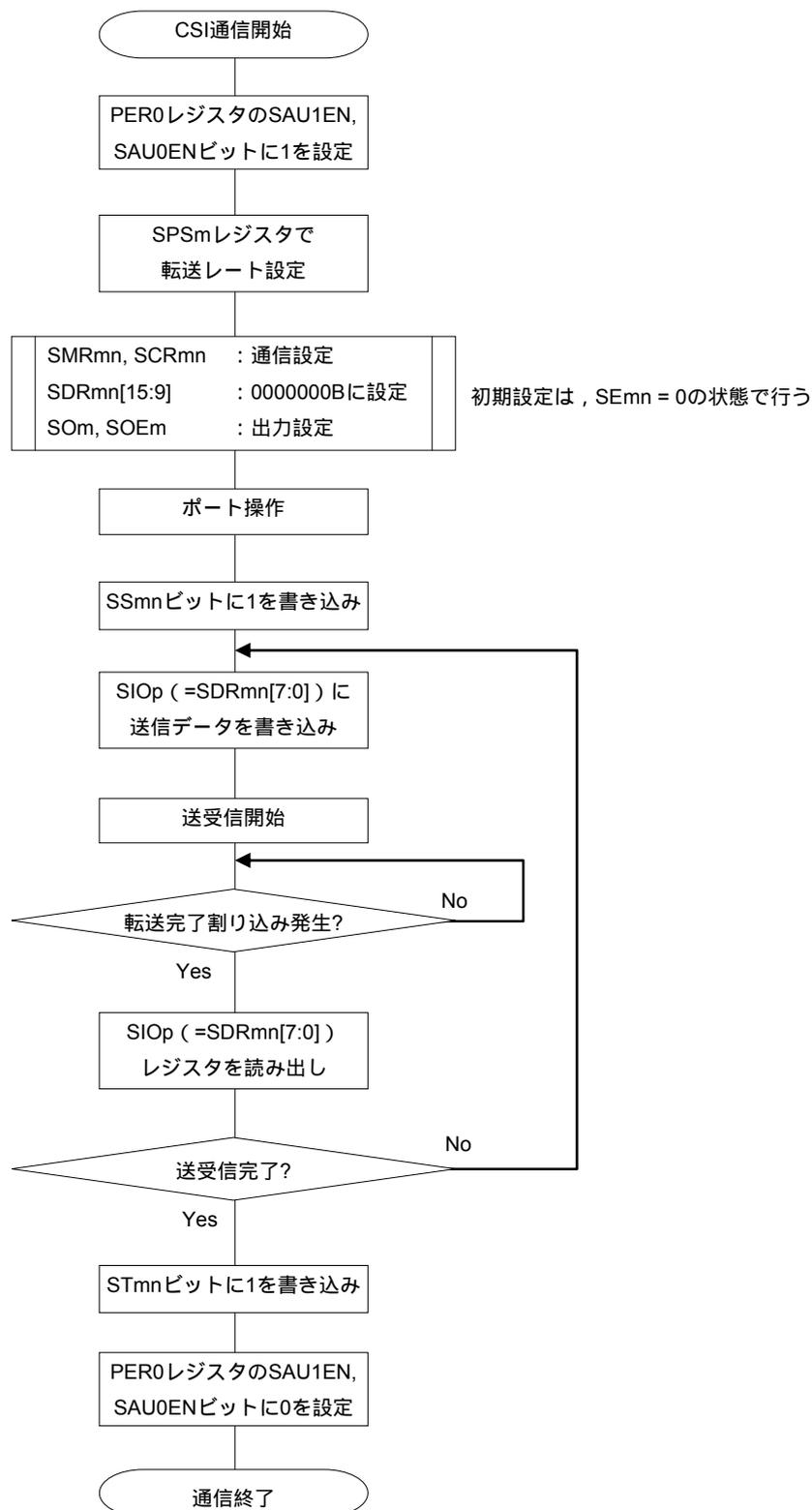
(3) 処理フロー (シングル送受信モード時)

図11 - 65 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
 p : CSI番号 (p = 00, 10, 20)

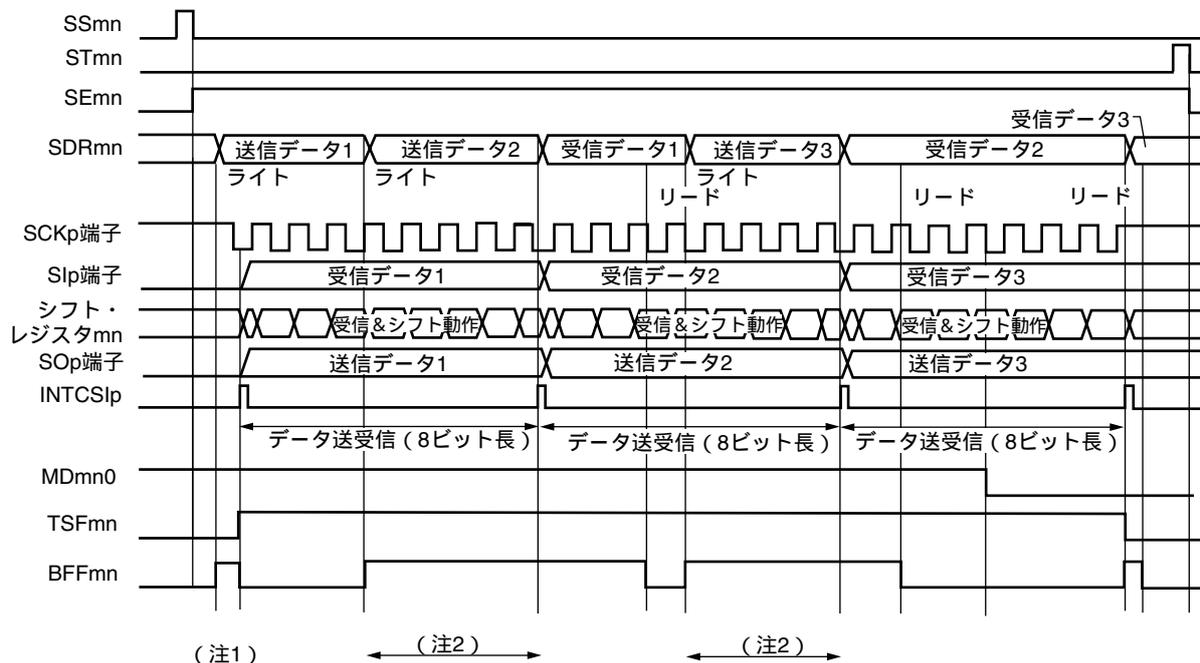
図11 - 66 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー (連続送受信モード時)

図11 - 67 スレープ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

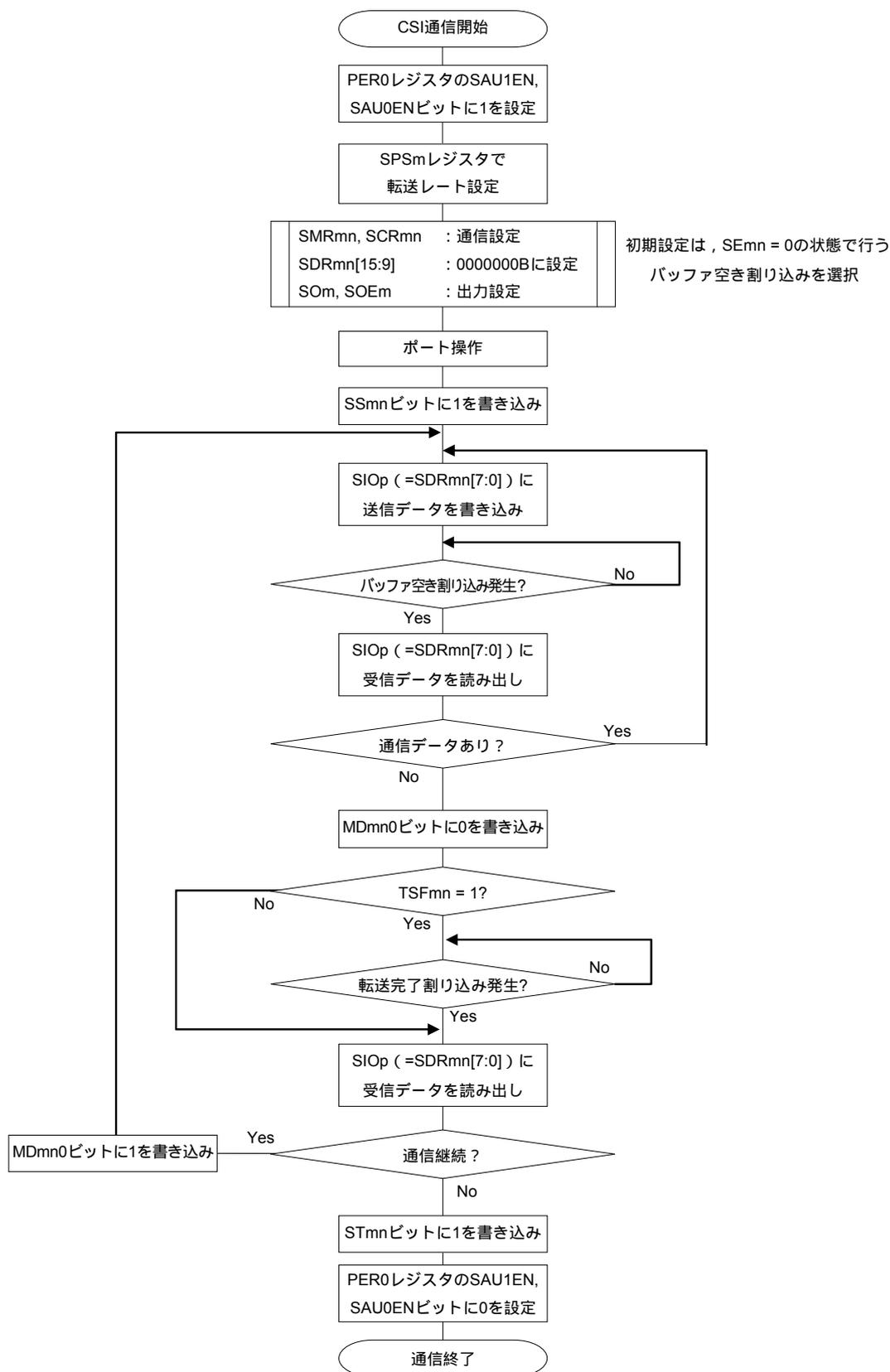
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の - は、図11 - 68 スレープ送受信 (連続送受信モード時) のフロー・チャートの - に対応しています。

- m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 00, 02, 10
p : CSI番号 (p = 00, 10, 20)

図11 - 68 スレーブ送受信 (連続送受信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に, 4クロック以上間隔をあげてからSPSmレジスタを設定してください。

備考 図中の - は, 図11 - 67 スレーブ送受信 (連続送受信モード時) のタイミング・チャートの - に対応しています。

11.5.7 転送クロック周波数の算出

3線シリアルI/O (CSI00, CSI10, CSI20) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$\text{(転送クロック周波数)} = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$\text{(転送クロック周波数)} = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000000B-1111111B) なので、0-127 になります。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10
p : CSI番号 (p = 00, 10, 20)

動作クロック (MCK) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-2 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}			
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 12 MHz 動作時	f _{CLK} = 16 MHz 動作時	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	12 MHz	16 MHz	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	6 MHz	8 MHz	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	3 MHz	4 MHz	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	1.5 MHz	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	375 kHz	500 kHz	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	187.5 kHz	250 kHz	312.5 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	93.75 kHz	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	46.88 kHz	62.5 kHz	78.13 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	23.44 kHz	31.25 kHz	39.06 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	11.72 kHz	15.63 kHz	19.53 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	5.86 kHz	7.81 kHz	9.77 kHz
	X	X	X	X	1	1	1	1	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止			
1	0	0	0	0	X	X	X	X	f _{CLK}	12 MHz	16 MHz	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	6 MHz	8 MHz	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	3 MHz	4 MHz	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	1.5 MHz	2 MHz	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	375 kHz	500 kHz	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	187.5 kHz	250 kHz	312.5 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	93.75 kHz	125 kHz	156.25 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	46.88 kHz	62.5 kHz	78.13 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	23.44 kHz	31.25 kHz	39.06 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	11.72 kHz	15.63 kHz	19.53 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	5.86 kHz	7.81 kHz	9.77 kHz
	1	1	1	1	X	X	X	X	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止			
上記以外									設定禁止			

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット (TAU0) も停止 (TT0 = 00FFH) させてください。

2. タイマ・アレイ・ユニット0のチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし (タイマ入力選択レジスタ0 (TIS0) のTIS02ビットに“1”を設定)、SPS0レジスタでINTTM02を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック、サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0, TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 02, 10

p : CSI番号 (p = 00, 10, 20)

11.6 UART (UART0-UART3) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニット0と外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また、UART3 (ユニット1の2, 3チャンネル) では、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|---|
| <ul style="list-style-type: none"> ・ ウェイクアップ信号検出 ・ シンク・ブレイク・フィールド (SBF) 検出 ・ シンク・フィールド測定, ボー・レート算出 | } | 外部割り込み (INTP0) ,
タイマ・アレイ・ユニットTAU0を活用 |
|---|---|---|

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

UART3では、SAU1のチャンネル2, 3を使用します。

<78K0R/KC3-Lの場合>

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	-	-	-
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

<78K0R/KE3-Lの場合>

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

注意 UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は、以下の4種類があります。

- ・ UART送信 (11.6.1項を参照)
- ・ UART受信 (11.6.2項を参照)
- ・ LIN送信 (UART3のみ) (11.6.3項を参照)
- ・ LIN受信 (UART3のみ) (11.6.4項を参照)

11.6.1 UART送信以降については、78K0R/KE3-Lのシリアル・アレイ・ユニット構成を例にして説明を行っています。KC3-LとKE3-Lの構成の違いについては、11.2 シリアル・アレイ・ユニットの構成を参照してください。

11.6.1 UART送信

UART送信は、78K0R/KC3-L, KE3-Lから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	5ビットまたは7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [bps] (SDR $_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

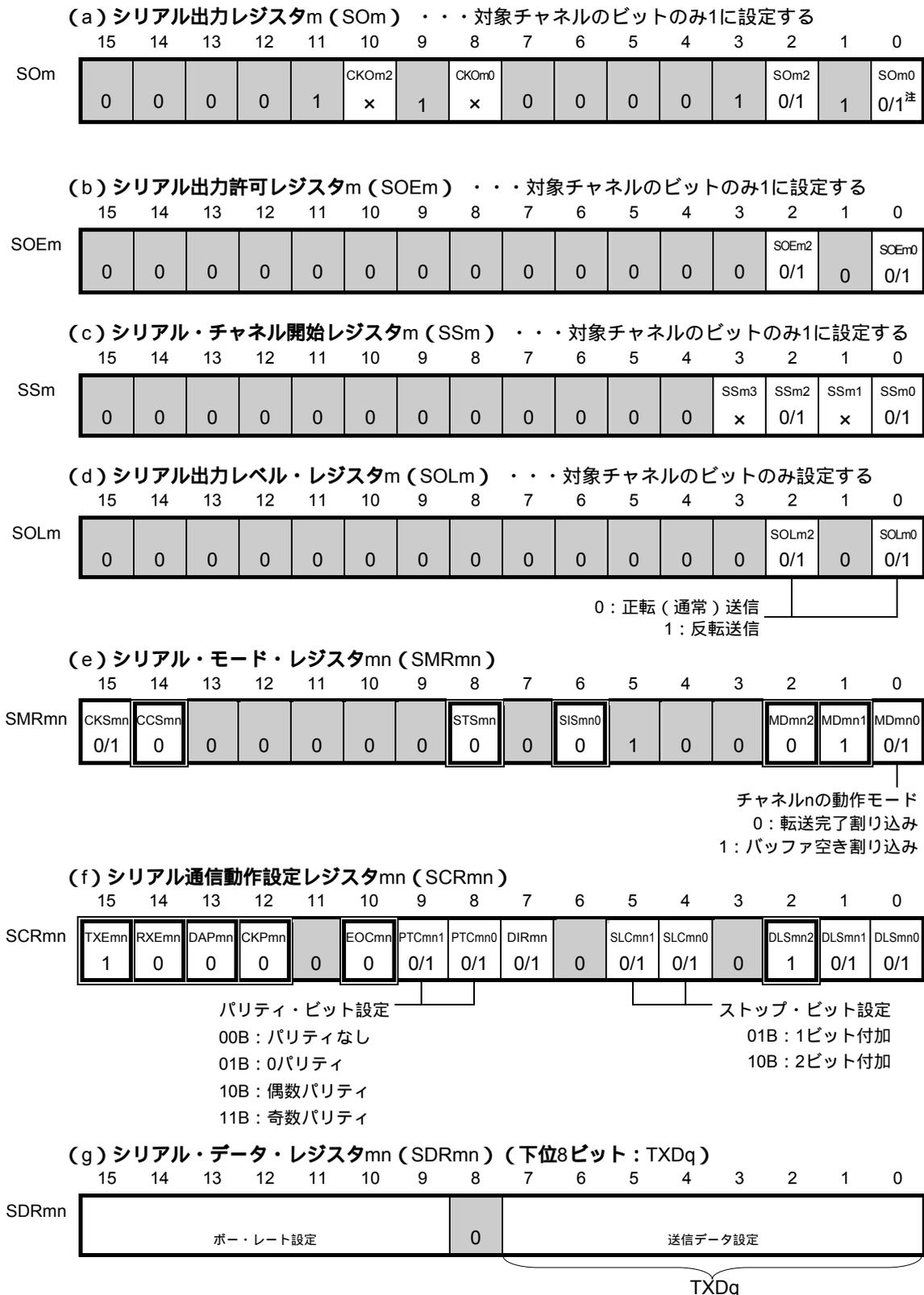
備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

2. m ：ユニット番号（ $m = 0, 1$ ） n ：チャンネル番号（ $n = 0-2$ ） $mn = 00, 02, 10, 12$

(1) レジスタ設定

図11 - 69 UART (UART0-UART3) のUART送信時のレジスタ設定内容例 (1/2)



注 該当するチャンネルのSOL_{mn}ビットに0を設定している場合は“1”に、SOL_{mn}ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

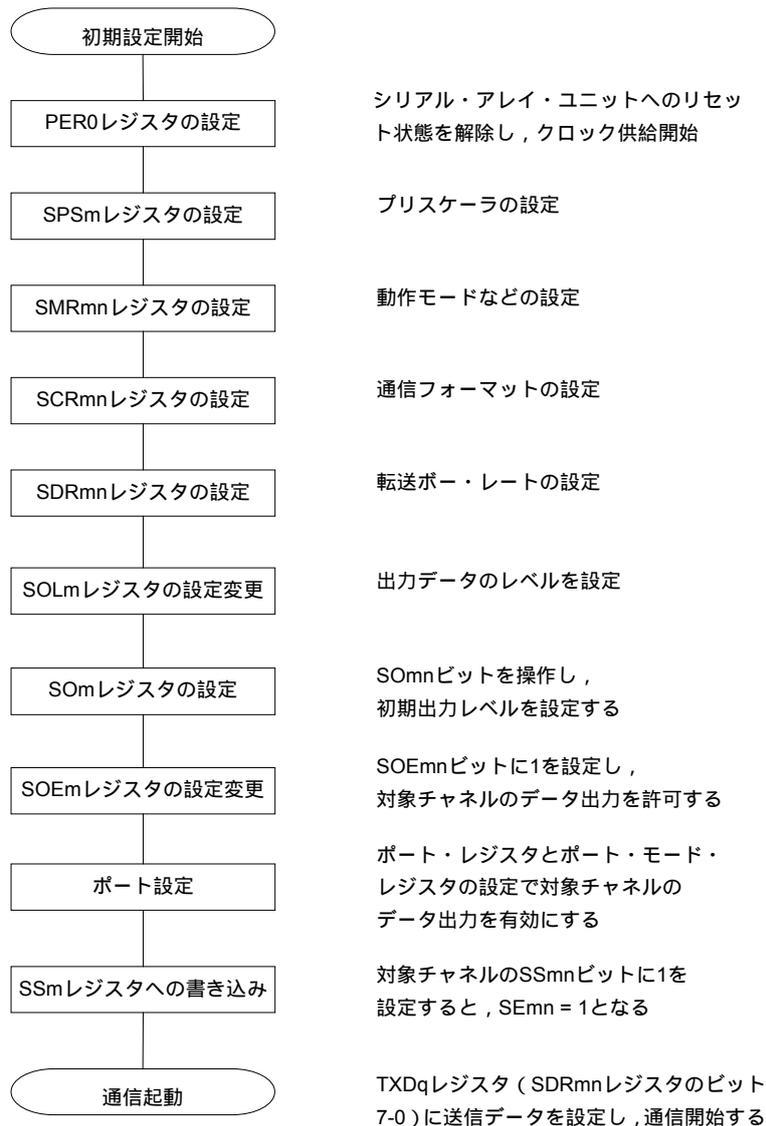
(備考は次頁にあります。)

図11 - 69 UART (UART0-UART3) のUART送信時のレジスタ設定内容例 (2/2)

- 備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00-03, 10-13
q : UART番号 (q = 0, 1, 2, 3)
- 2 : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1に設定

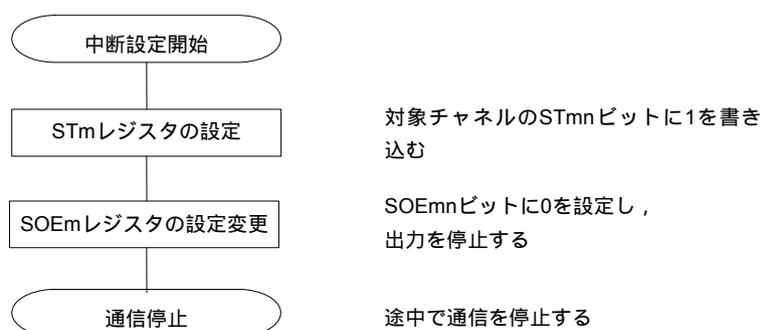
(2) 操作手順

図11 - 70 UART送信の初期設定手順



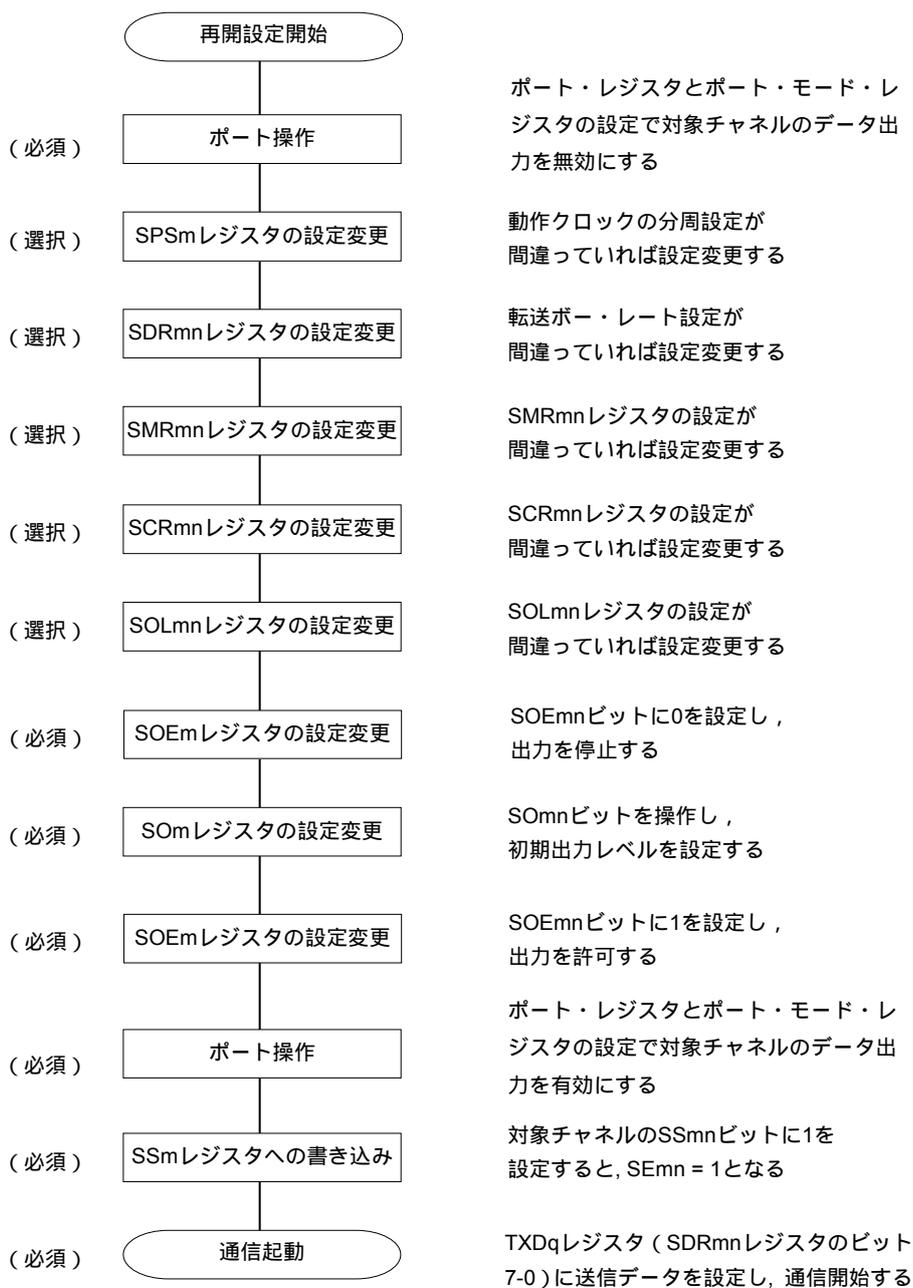
注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 71 UART送信の中断手順



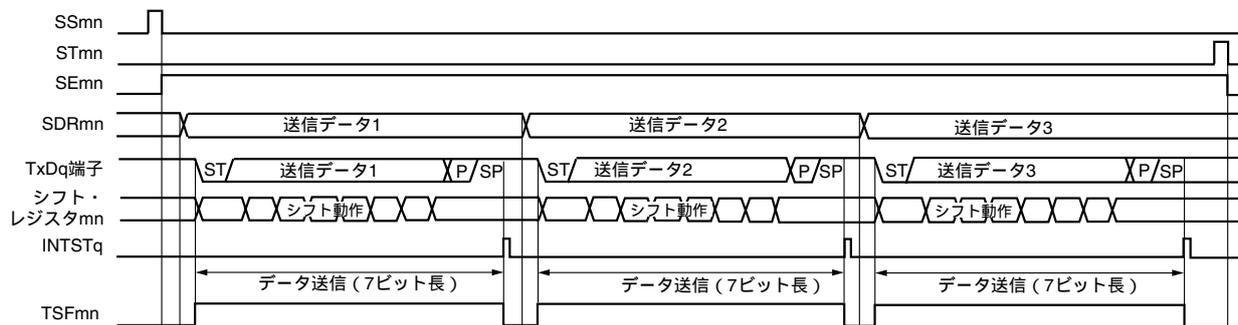
備考 中断後も端子レベルは保持されますので、動作を再開するにはSOmレジスタを再設定してください (図11 - 72 UART送信の再開設定手順参照)。

図11 - 72 UART送信の再開設定手順



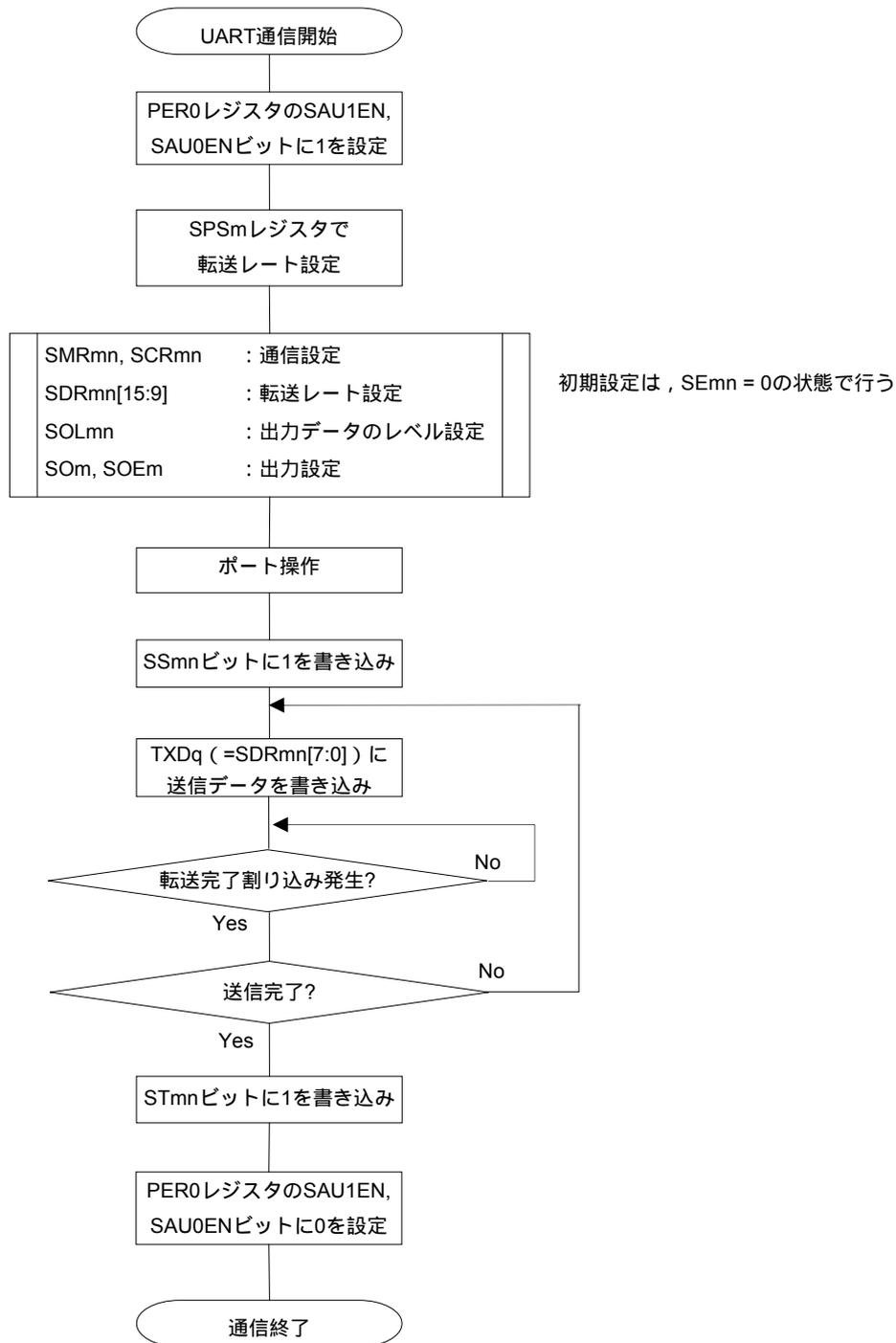
(3) 処理フロー (シングル送信モード時)

図11 - 73 UART送信 (シングル送信モード時) のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00, 02, 10, 12

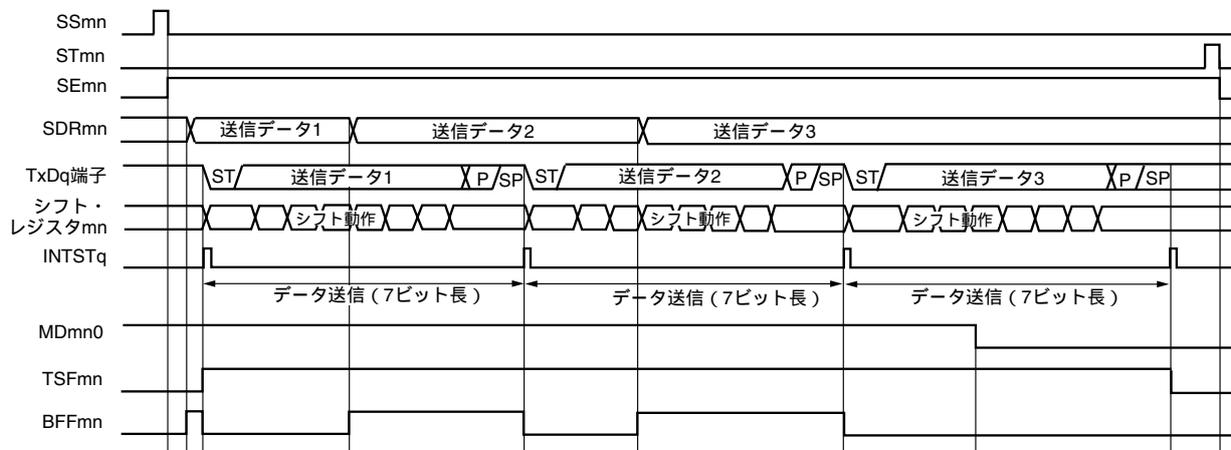
図11 - 74 UART送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図11-75 UART送信（連続送信モード時）のタイミング・チャート



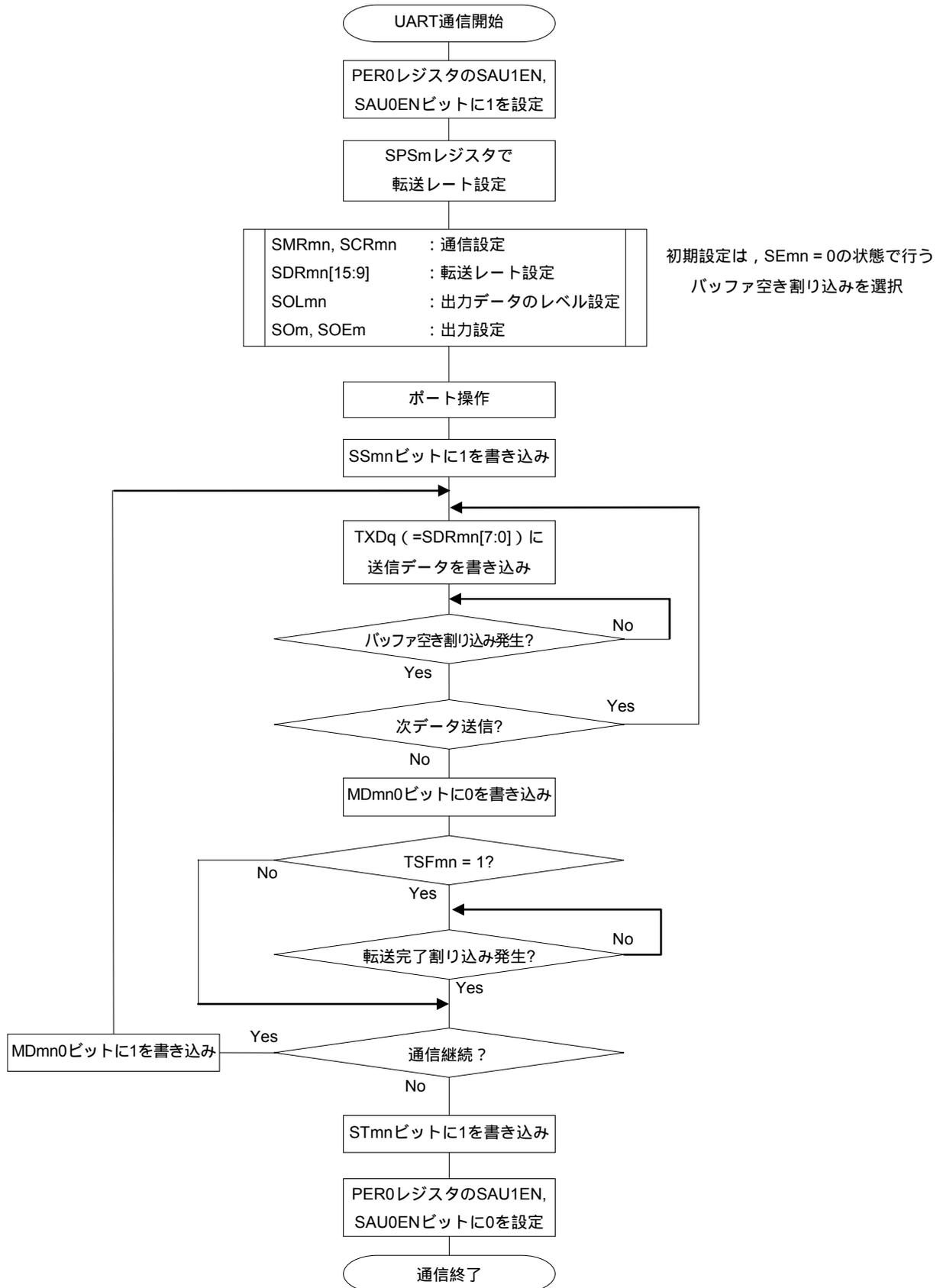
(注)

注 BFFmn = 1の間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00, 02, 10, 12

図11 - 76 UART送信（連続送信モード時）のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に, 4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の - は, 図11 - 75 UART送信（連続送信モード時）のタイミング・チャートの - に対応しています。

11.6.2 UART受信

UART受信は、他デバイスから78K0R/KC3-L, KE3-Lが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、偶数チャンネルのSMRレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn） 			
転送データ長	5ビットまたは7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

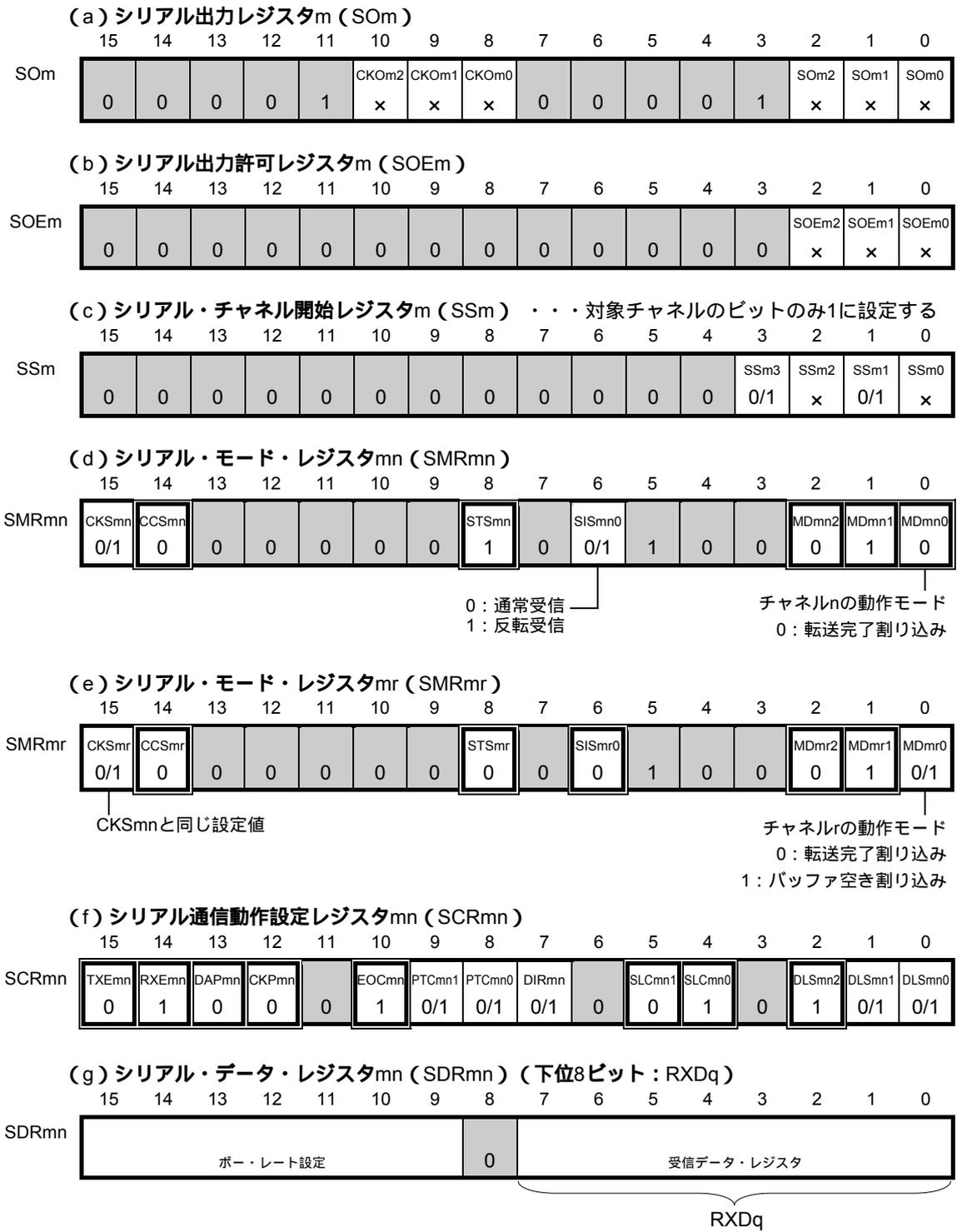
備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

2. m ：ユニット番号（ $m = 0, 1$ ） n ：チャンネル番号（ $n = 1, 3$ ） $mn = 01, 03, 11, 13$

(1) レジスタ設定

図11 - 77 UART (UART0-UART3) のUART受信時のレジスタ設定内容例 (1/2)



注意 UART受信時は、チャンネル_nとペアになるチャンネル_rのSMR_{mr}も必ず設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

q : UART番号 (p = 0, 1, 2, 3)

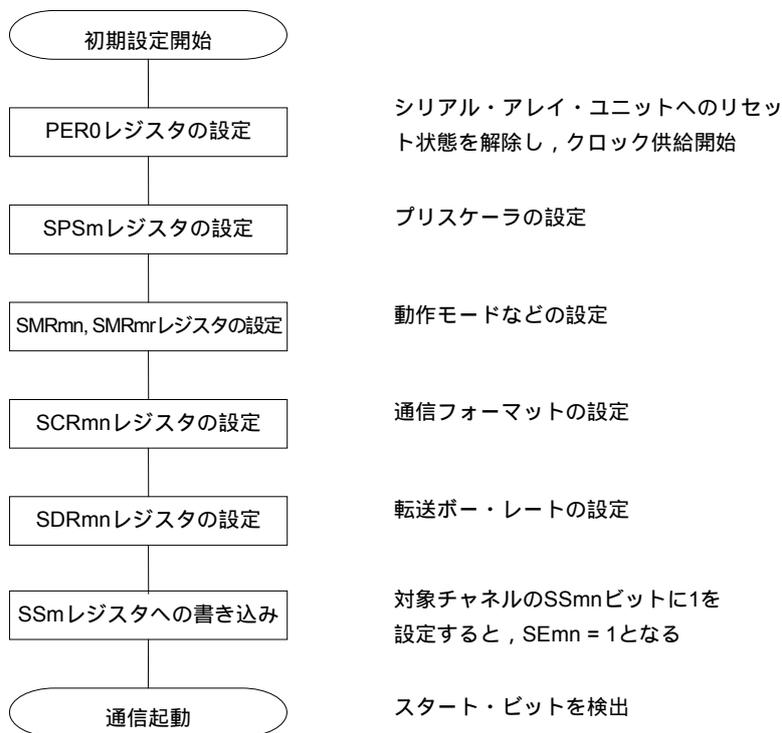
2. □ : UART受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図11 - 78 UART受信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図11 - 79 UART受信の中断手順

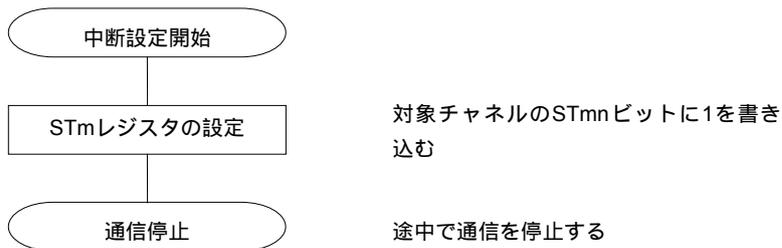
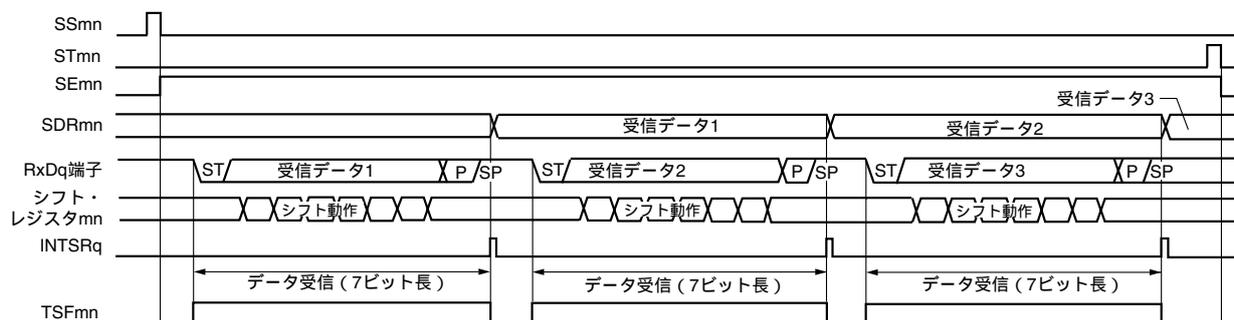


図11 - 80 UART受信の再開設定手順



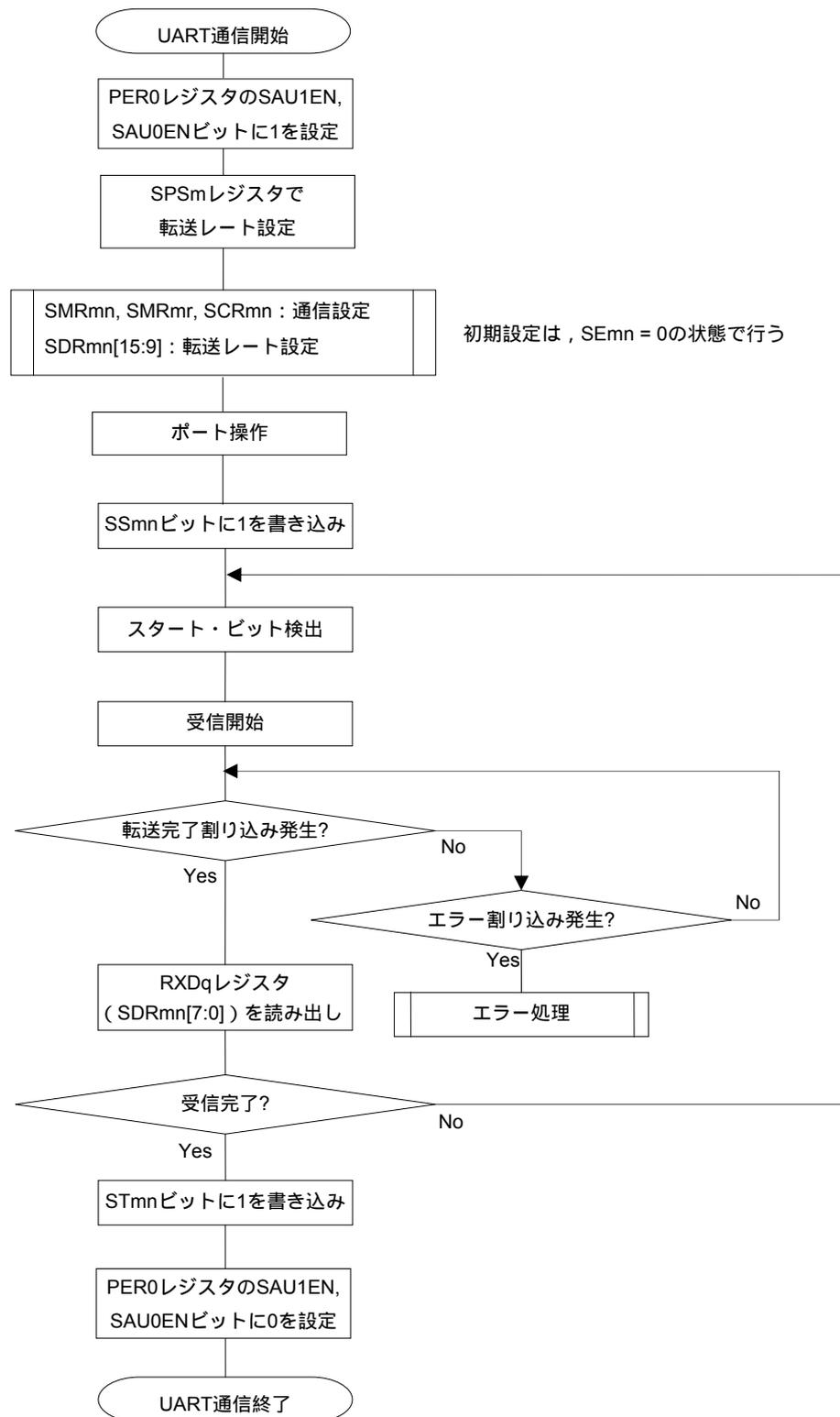
(3) 処理フロー

図11 - 81 UART受信のタイミング・チャート)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13

図11 - 82 UART受信のフロー・チャート



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

11.6.3 LIN送信

UART送信のうち，UART3はLIN通信に対応しています。

LIN送信では，ユニット1（SAU1）のチャンネル2を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	不可	可
対象チャンネル	-	-	-	SAU1のチャンネル2
使用端子	-	-	-	TxD3
割り込み	-	-	-	INTST3
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート	Max. $f_{MCK}/6$ [bps]（SDR12[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

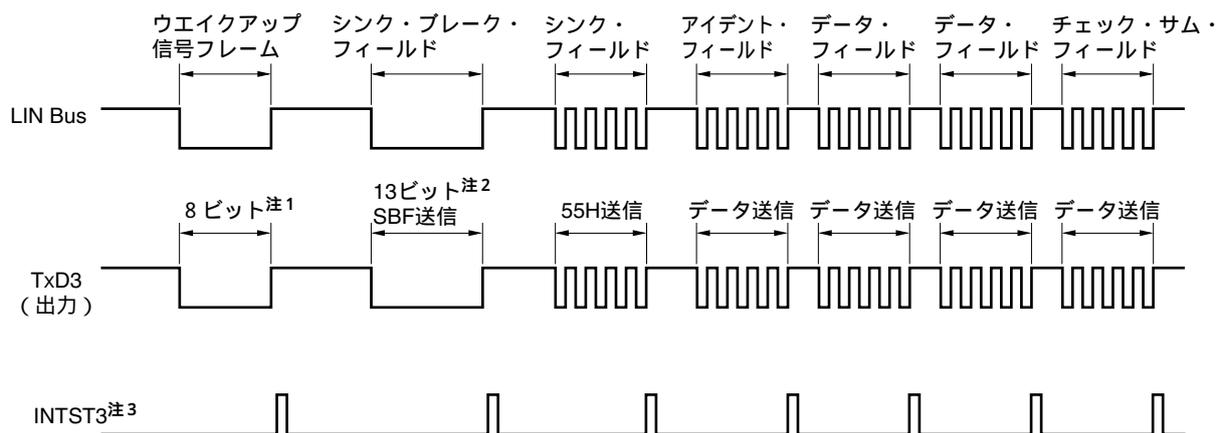
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15%以下であれば，通信可能です。

LINの送信操作の概略を，図11-82に示します。

図11 - 83 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、00Hのデータ送信をすることで対応します。

2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、シンク・ブレイク・フィールドで使用するポー・レートは次のようになります。

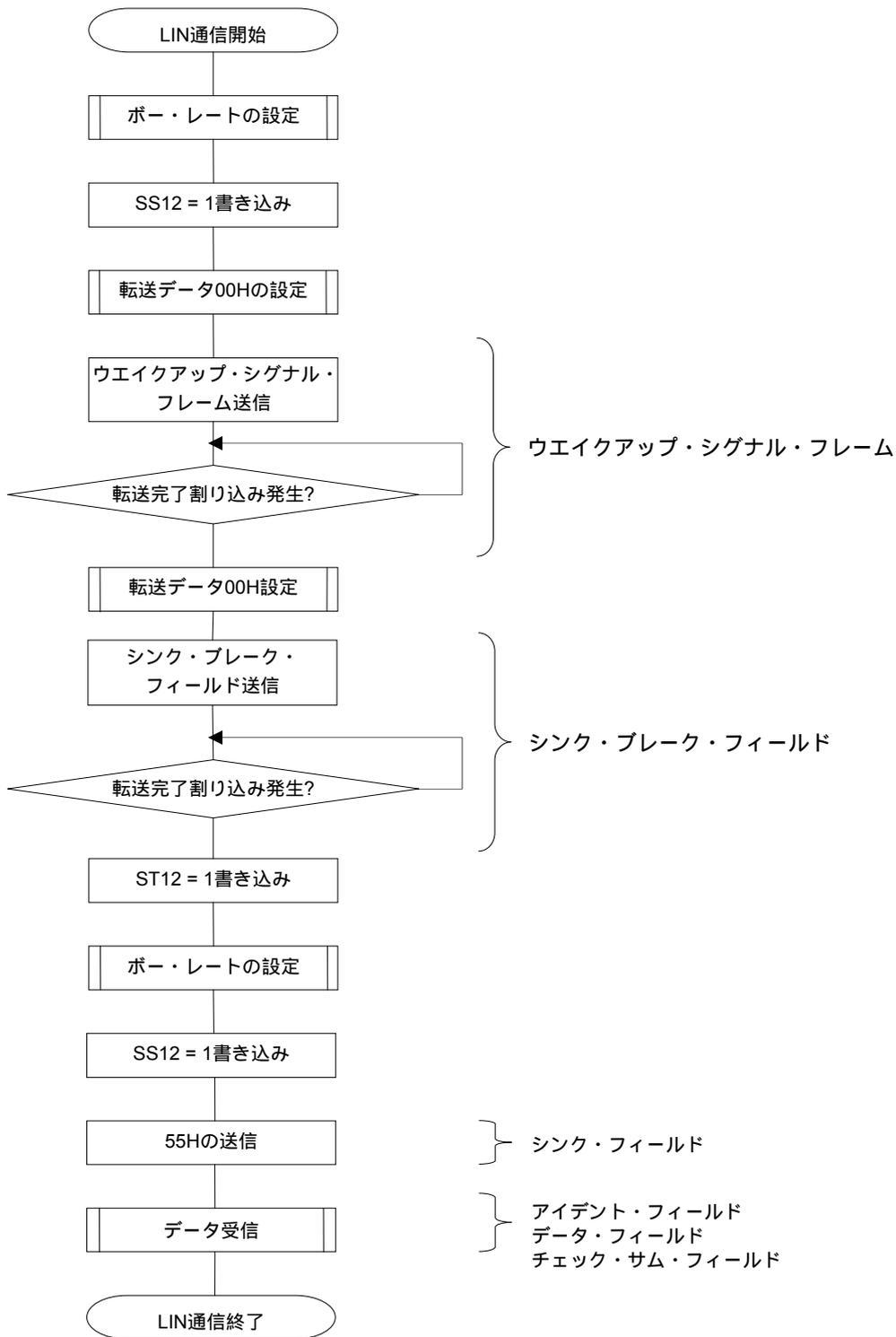
$$\boxed{(\text{シンク・ブレイク・フィールド時のポー・レート}) = 9/13 \times N}$$

このポー・レートで00Hのデータ送信をすることでシンク・ブレイク・フィールドを生成します。

3. 各送信終了時にはINTST3を出力します。またSBF送信時もINTST3を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図11 - 84 LIN送信のフロー・チャート



11.6.4 LIN受信

UART受信のうち，UART3はLIN通信に対応しています。

LIN受信では，ユニット1（SAU1）のチャンネル3を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	不可	可
対象チャンネル	-	-	-	SAU1のチャンネル3
使用端子	-	-	-	RxD3
割り込み	-	-	-	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	-	-	-	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF13） ・ パリティ・エラー検出フラグ（PEF13） ・ オーバラン・エラー検出フラグ（OVF13） 			
転送データ長	8ビット			
転送レート	Max. $f_{MCK}/6$ [bps]（SDR13[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし ・ 0パリティ・ビット付加 ・ 偶数パリティ付加 ・ 奇数パリティ付加 			
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ 1ビット付加 ・ 2ビット付加 			
データ方向	MSBファーストまたはLSBファースト			

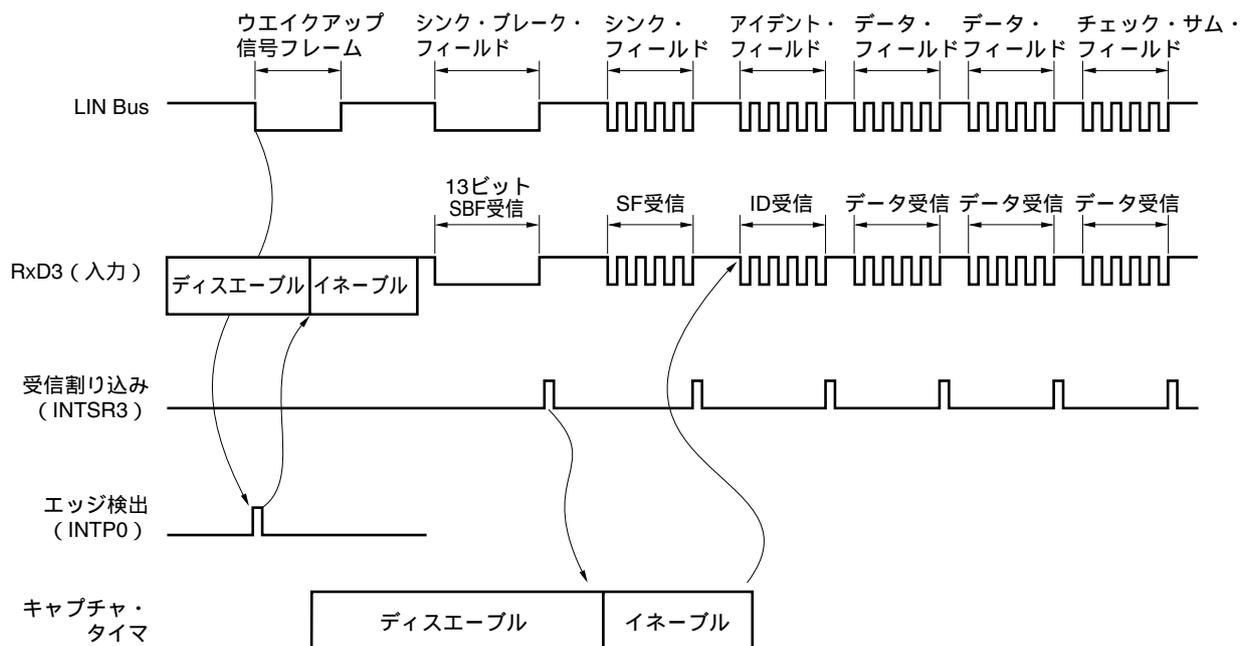
注 この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を，図11 - 85に示します。

図11 - 85 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTPO) で行います。ウェイクアップ信号を検出したら、UART3の受信を許可 (RXE13 = 1) し、SBF受信待ち状態にします。

SBFのスタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、RXD3レジスタ (= シリアル・データ・レジスタ13 (SDR13) のビット7-0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み要求 (INTSR3) を発生します。そして、SBFとして11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は、SBF受信エラーと判断し、SBF受信待ち状態に戻ります。SBF受信を正常終了した場合、タイマ・アレイ・ユニットTAU0のチャンネル7を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照)。

シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったんUART3を動作停止にしてからボー・レートを調整 (再設定) してください。

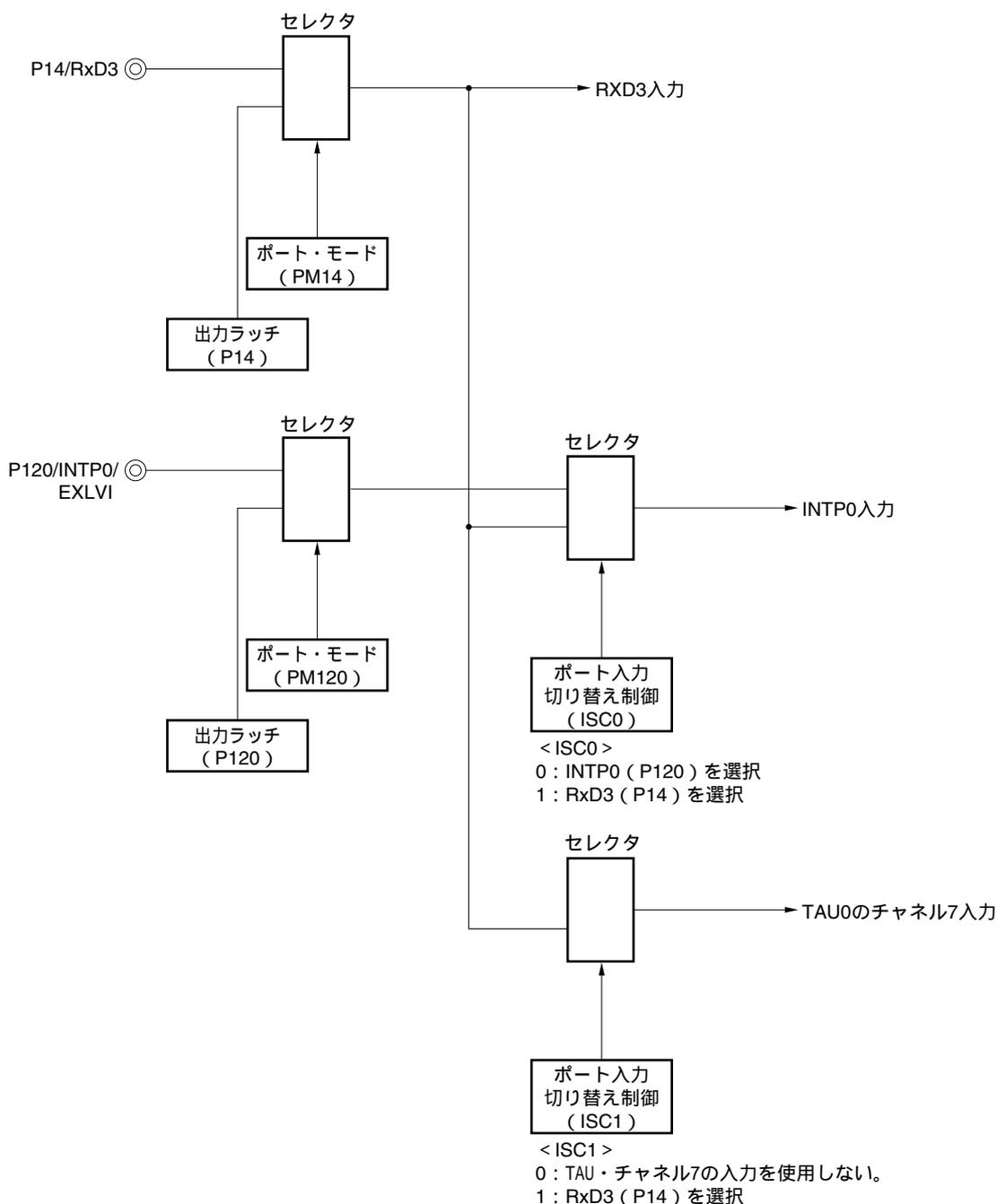
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART3を初期化し、再びSBF受信待ちに設定する処理もソフトウェアにて行ってください。

図11 - 85はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニットTAU0の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部で結線をせずに、受信用ポート入力 (RxD3) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットTAU0へ入力することができます。

図11 - 86 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図11 - 17参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出

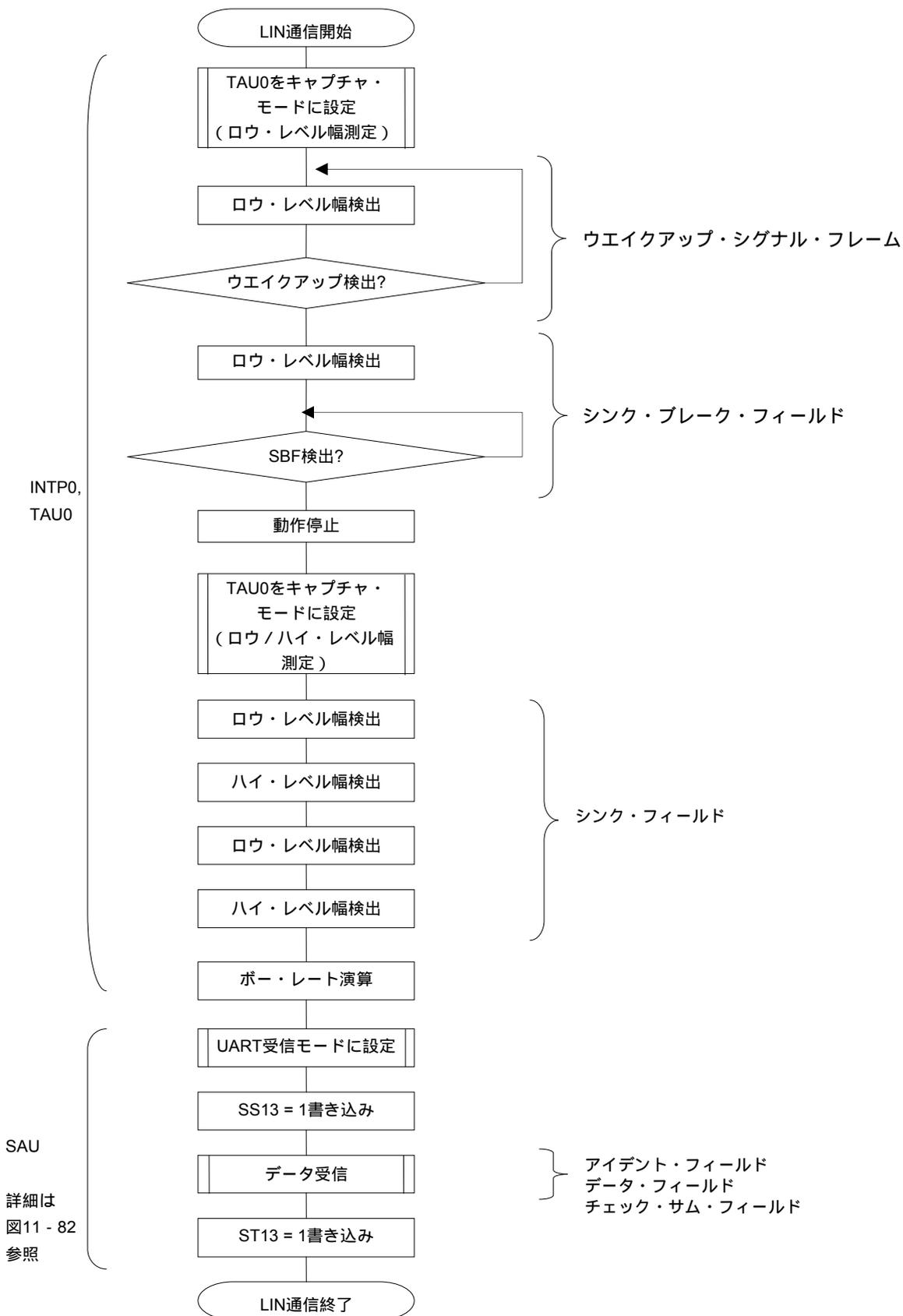
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出

- ・タイマ・アレイ・ユニットTAU0のチャンネル7 ; ボー・レート誤差検出

用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (RxD3
入力エッジの間隔をキャプチャ・モードで測定)

- ・シリアル・アレイ・ユニット (SAU1) のチャンネル2, 3 (UART3)

図11 - 87 LIN受信のフロー・チャート



11.6.5 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART3) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意 SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値(000010B-111111B)なので, 2-127になります。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

動作クロック (MCK) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-3 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}			
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 10 MHz 動作時	f _{CLK} = 16 MHz 動作時	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	12 MHz	16 MHz	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	6 MHz	8 MHz	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	3 MHz	4 MHz	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	1.5 MHz	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	375 kHz	500 kHz	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	187.5 kHz	250 kHz	312.5 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	93.75 kHz	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	46.88 kHz	62.5 kHz	78.13 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	23.44 kHz	31.25 kHz	39.06 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	11.72 kHz	15.63 kHz	19.53 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	5.86 kHz	7.81 kHz	9.77 kHz
	X	X	X	X	1	1	1	1	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止			
1	0	0	0	0	X	X	X	X	f _{CLK}	12 MHz	16 MHz	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	6 MHz	8 MHz	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	3 MHz	4 MHz	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	1.5 MHz	2 MHz	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	375 kHz	500 kHz	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	187.5 kHz	250 kHz	312.5 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	93.75 kHz	125 kHz	156.25 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	46.88 kHz	62.5 kHz	78.13 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	23.44 kHz	31.25 kHz	39.06 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	11.72 kHz	15.63 kHz	19.53 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	5.86 kHz	7.81 kHz	9.77 kHz
	1	1	1	1	X	X	X	X	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止			
上記以外									設定禁止			

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット (TAU0) も停止 (TT0 = 00FFH) させてください。

2. タイマ・アレイ・ユニット0のチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし (タイマ入力選択レジスタ0 (TIS0) のTIS02ビットに“1”を設定)、SPS0レジスタでINTTM02を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック、サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0、TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

(2) 送信時のボー・レート誤差

UART (UART0-UART3) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 12, 16, 20 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 12, 16, 20 \text{ MHz}$ 時				
	動作クロック (MCK)	SDRmn[15:9]	目標ボー・レートとの誤差		
			12 MHz	16 MHz	20 MHz
300 bps	$f_{\text{CLK}}/2^9$	64	+0.16%	+0.16%	+0.16%
600 bps	$f_{\text{CLK}}/2^8$	64	+0.16%	+0.16%	+0.16%
1200 bps	$f_{\text{CLK}}/2^7$	64	+0.16%	+0.16%	+0.16%
2400 bps	$f_{\text{CLK}}/2^6$	64	+0.16%	+0.16%	+0.16%
4800 bps	$f_{\text{CLK}}/2^5$	64	+0.16%	+0.16%	+0.16%
9600 bps	$f_{\text{CLK}}/2^4$	64	+0.16%	+0.16%	+0.16%
19200 bps	$f_{\text{CLK}}/2^3$	64	+0.16%	+0.16%	+0.16%
31250 bps	$f_{\text{CLK}}/2^3$	39	$\pm 0.0\%$	$\pm 0.0\%$	$\pm 0.0\%$
38400 bps	$f_{\text{CLK}}/2^2$	64	+0.16%	+0.16%	+0.16%
76800 bps	$f_{\text{CLK}}/2$	64	+0.16%	+0.16%	+0.16%
153600 bps	f_{CLK}	64	+0.16%	+0.16%	+0.16%
312500 bps	f_{CLK}	31	+1.05%	-1.54%	$\pm 0.0\%$

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) mn = 00, 02, 10, 12

(3) 受信時のボー・レート許容範囲

UART (UART0-UART3) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (11.6.5 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13

図11-88 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

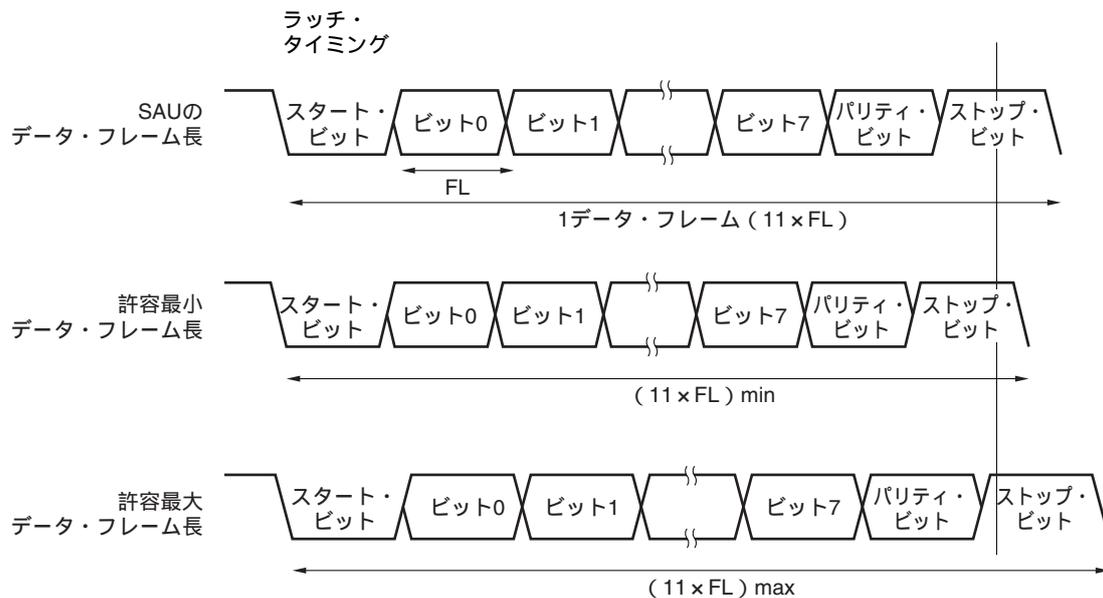


図11-88に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

11.7 簡易I²C (IIC10, IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション, ストップ・コンディションは, 制御レジスタの操作とともに, ACスベックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は, 上位7ビットでアドレス指定し, 最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は, SOEmn (SOEmレジスタ) ビットに0を書き込み, シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は, 11. 7. 3 (2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は, **第12章 シリアル・インタフェースIICA**を参照してください。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10

簡易I²C (IIC10, IIC20) に対応しているチャンネルはチャンネルは次のようになっています。

< 78K0R/KC3-Lの場合 >

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	-	-	-
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

< 78K0R/KE3-Lの場合 >

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	-		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

簡易I²C (IIC10, IIC20) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (11.7.1項を参照)
- ・ データ送信 (11.7.2項を参照)
- ・ データ受信 (11.7.3項を参照)
- ・ ストップ・コンディション発生 (11.7.4項を参照)

11.7.1 アドレス・フィールド送信以降については、78K0R/KE3-Lのシリアル・アレイ・ユニット構成を例にして説明を行っています。KC3-LとKE3-Lの構成の違いについては、11.2 シリアル・アレイ・ユニットの構成を参照してください。

11.7.1 アドレス・フィールド送信

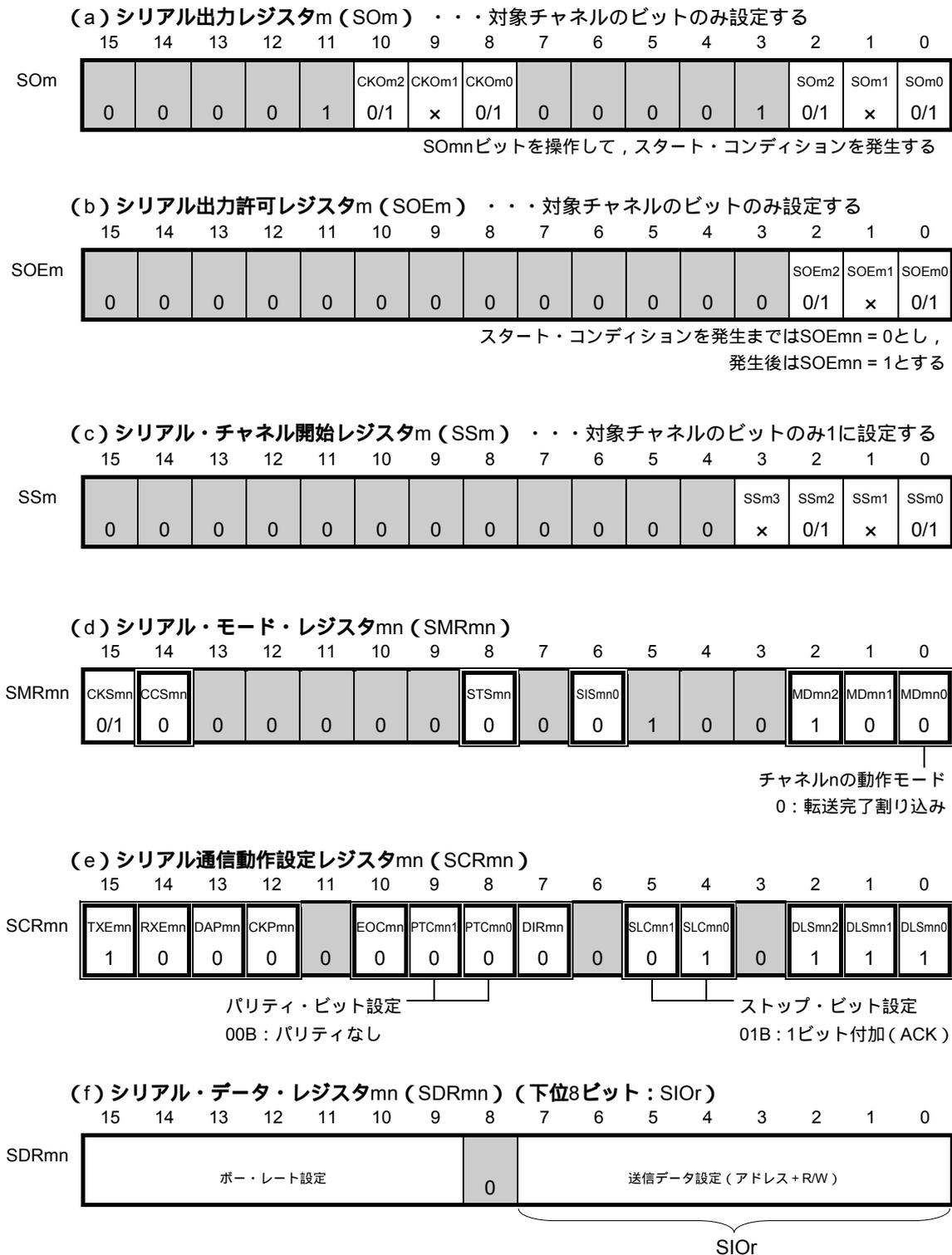
アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、 I^2C 通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易 I^2C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 ^註	SCL20, SDA20 ^註
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）	
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）	
転送レート	Max.f _{CLK} /4 MHz f_{CLK}: システム・クロック周波数 ただし、 I^2C の各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注 簡易 I^2C による通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM03, POM143 = 1）してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5V系, 3V系）外部デバイスとの接続方法を参照**）。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10

(1) レジスタ設定

図11 - 89 簡易²C (IIC10, IIC20) のアドレス・フィールド送信時のレジスタ設定内容例 (1/2)

備考1. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10

r: IIC番号 (r = 10, 20)

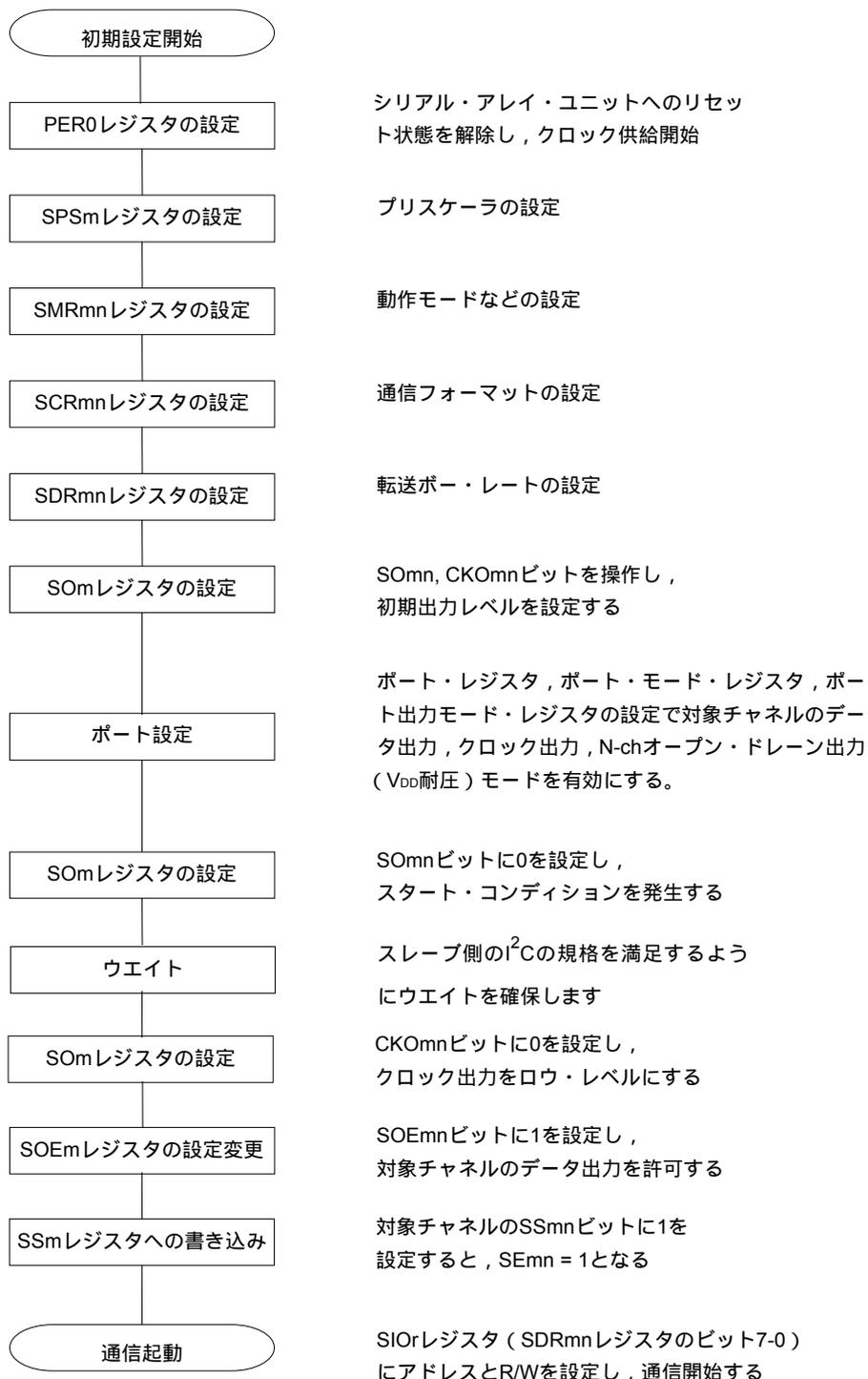
2 : IICモードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

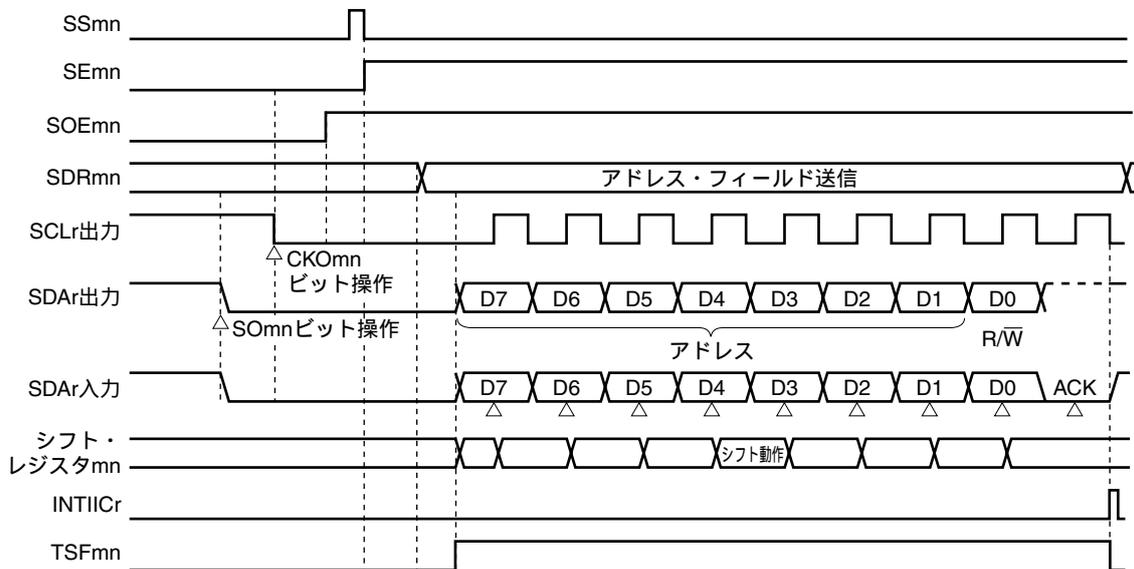
図11 - 90 アドレス・フィールド送信の初期設定手順



注意 PER0レジスタのSAUmENビットを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

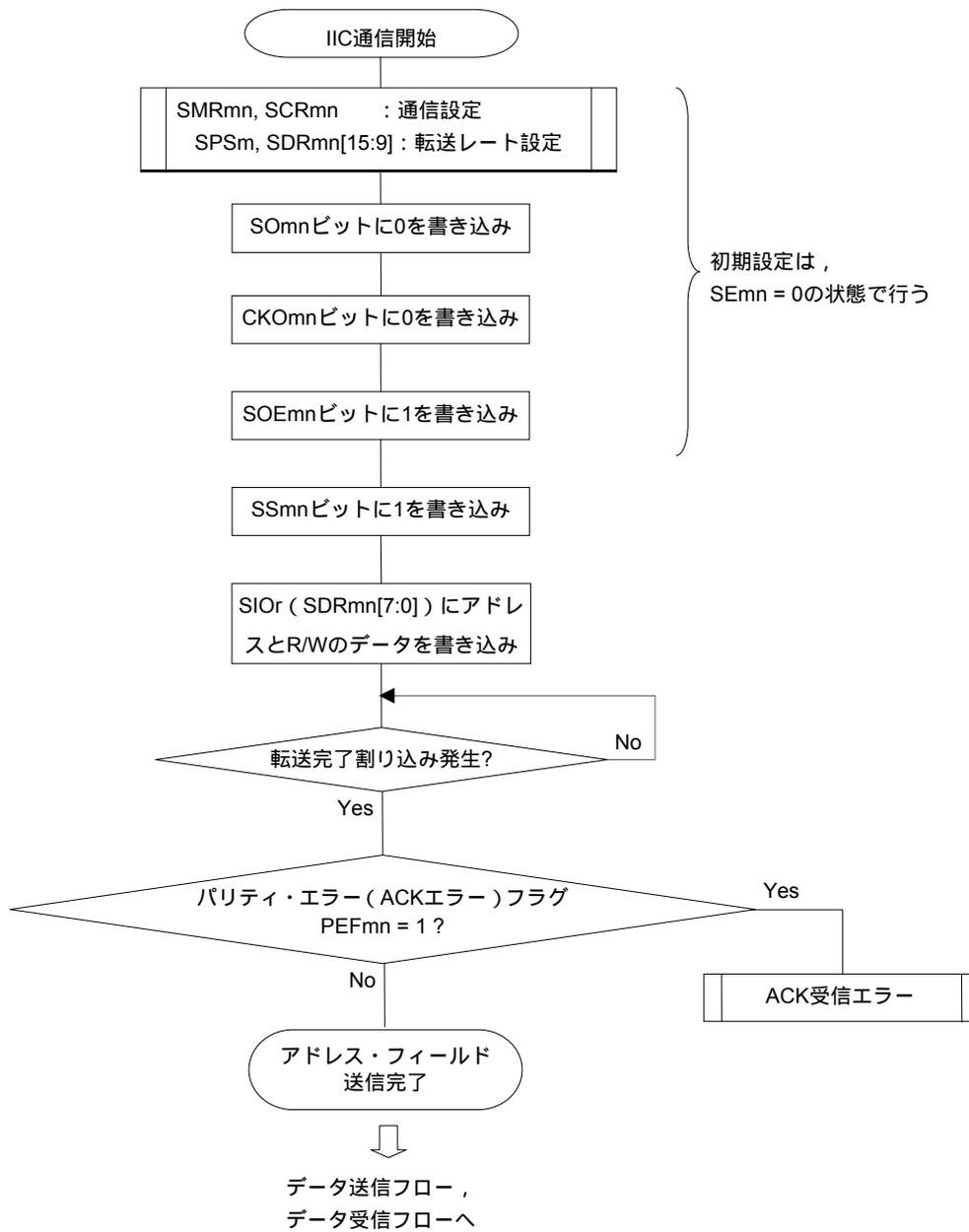
(3) 処理フロー

図11-91 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10
 r : IIC番号 (r = 10, 20)

図11 - 92 アドレス・フィールド送信のフロー・チャート



11.7.2 データ送信

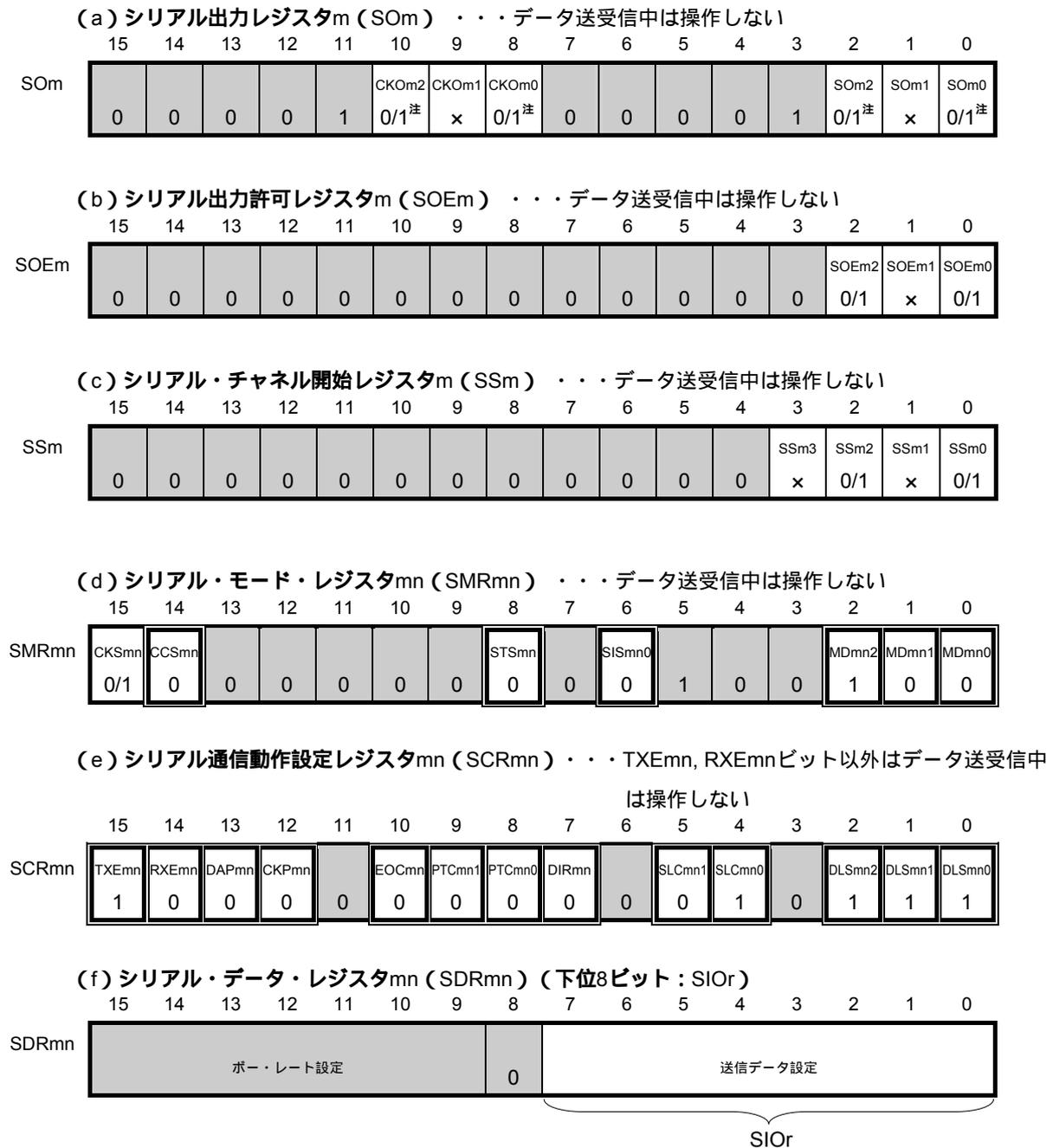
データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 [※]	SCL20, SDA20 [※]
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）	
転送データ長	8ビット	
転送レート	Max.f _{CLK} /4 MHz f_{CLK}: システム・クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM03, POM143 = 1）を設定してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5 V系, 3 V系）外部デバイスとの接続方法を参照**）。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 02, 10

(1) レジスタ設定

図11 - 93 簡易I²C (IIC10, IIC20) のデータ送信時のレジスタ設定内容例

注 通信動作中は通信データにより値が変わります。

備考1. r: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10

r: IIC番号 (r = 10, 20)

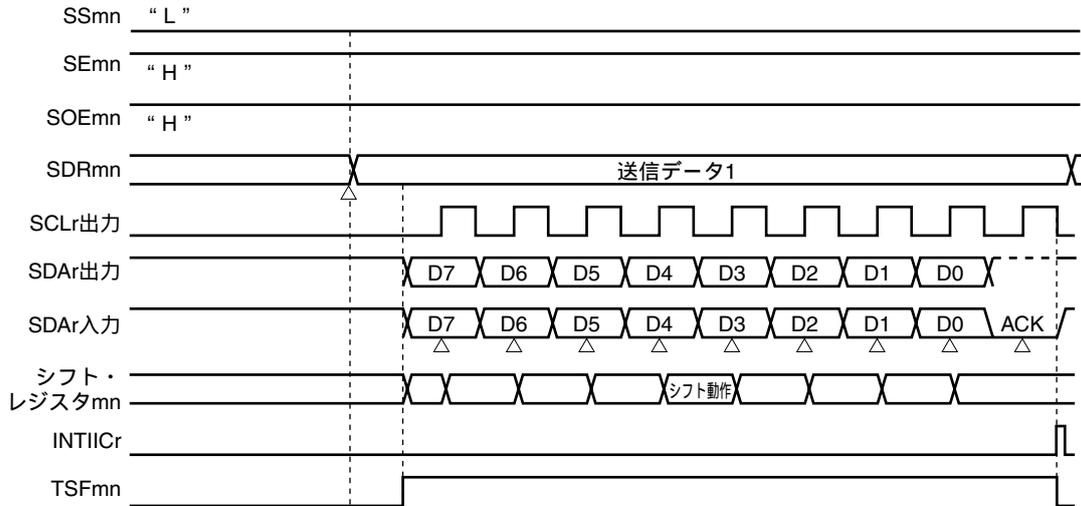
2 : IICモードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

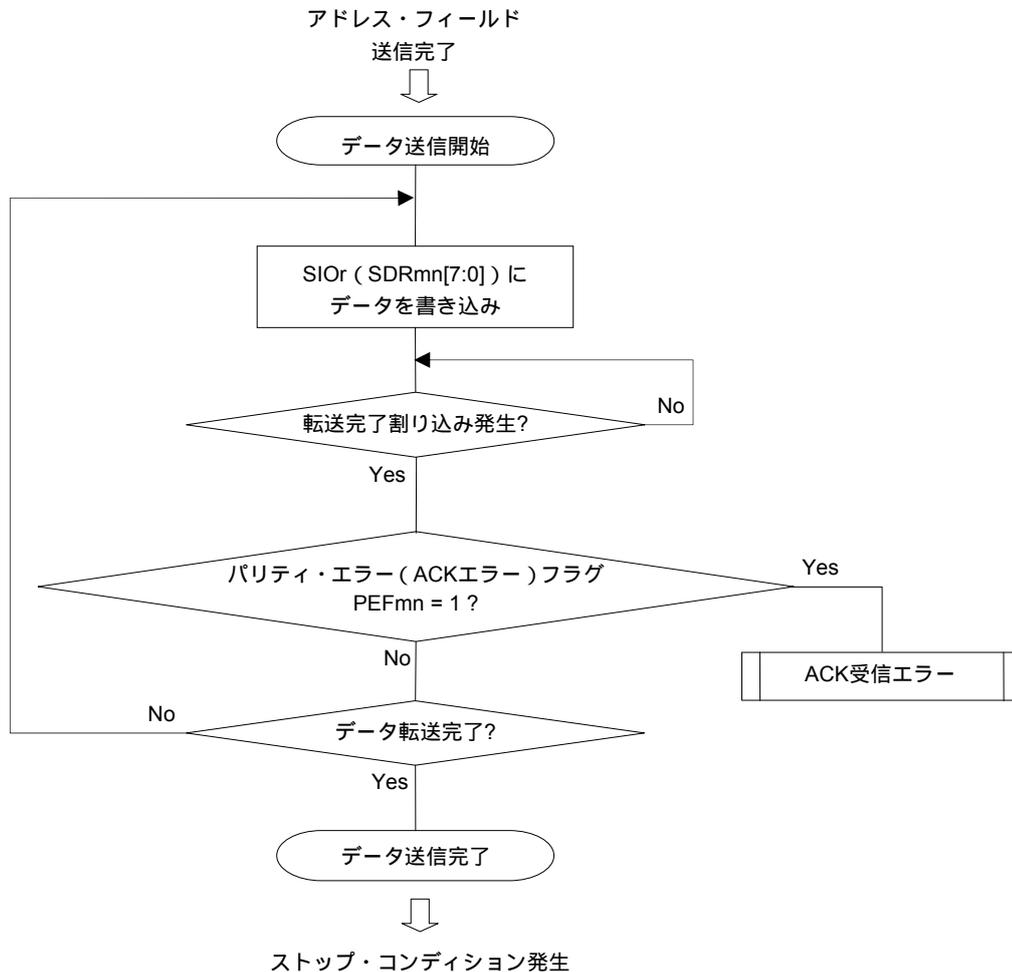
(2) 処理フロー

図11 - 94 データ送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10
r : IIC番号 (r = 10, 20)

図11 - 95 データ送信のフロー・チャート



11.7.3 データ受信

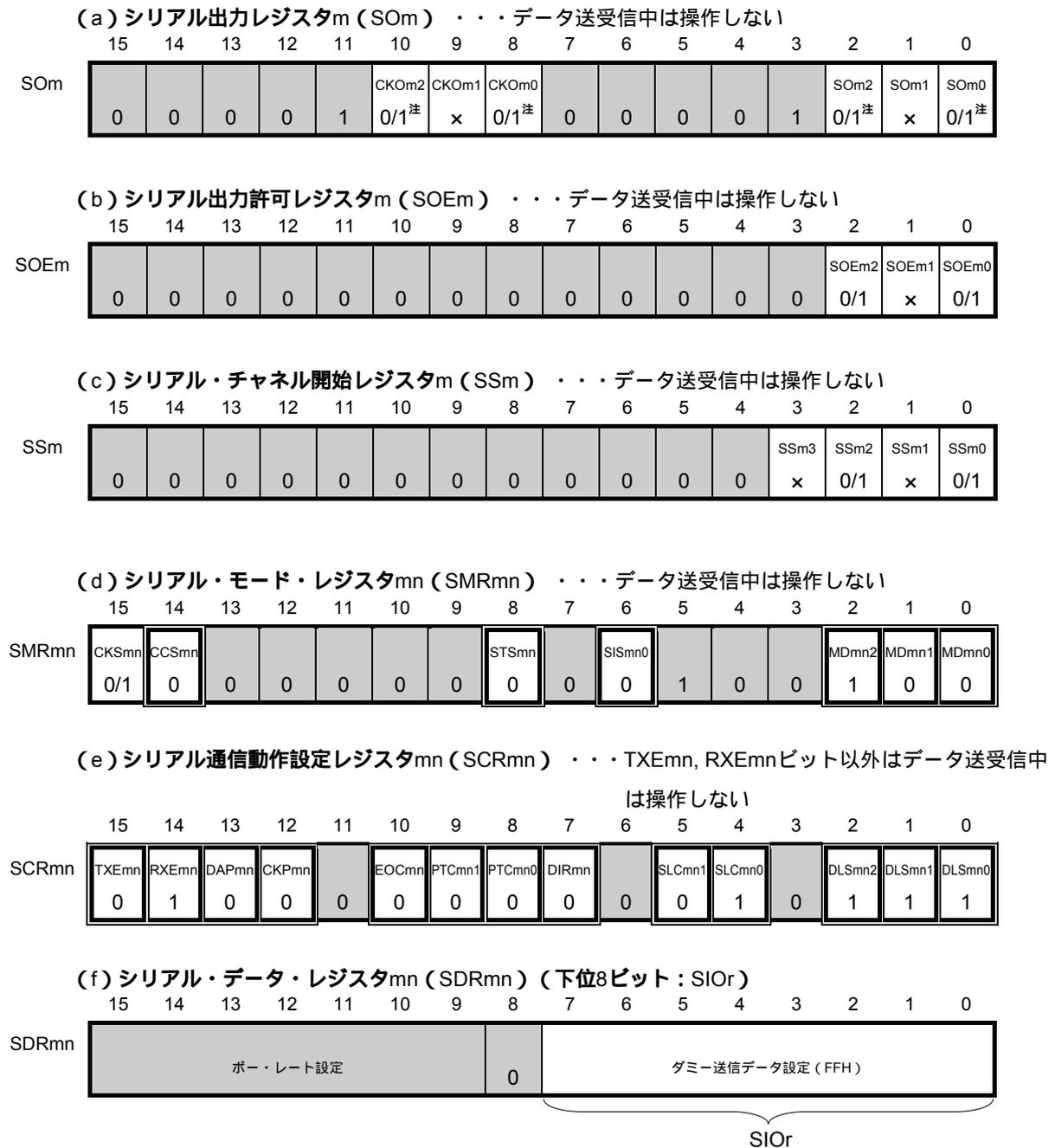
データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 [※]	SCL20, SDA20 [※]
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート	Max.f _{CLK} /4 MHz f_{CLK}: システム・クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM03, POM143 = 1）を設定してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5V系, 3V系）外部デバイスとの接続方法を参照**）。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 02, 10

(1) レジスタ設定

図11-96 簡易I²C (IIC10, IIC20) のデータ受信時のレジスタ設定内容例

注 通信動作中は通信データにより値が変わります。

備考1. r: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) mn = 02, 10

r: IIC番号 (r = 10, 20)

2 : IICモードでは設定固定 : 設定不可 (初期値を設定)

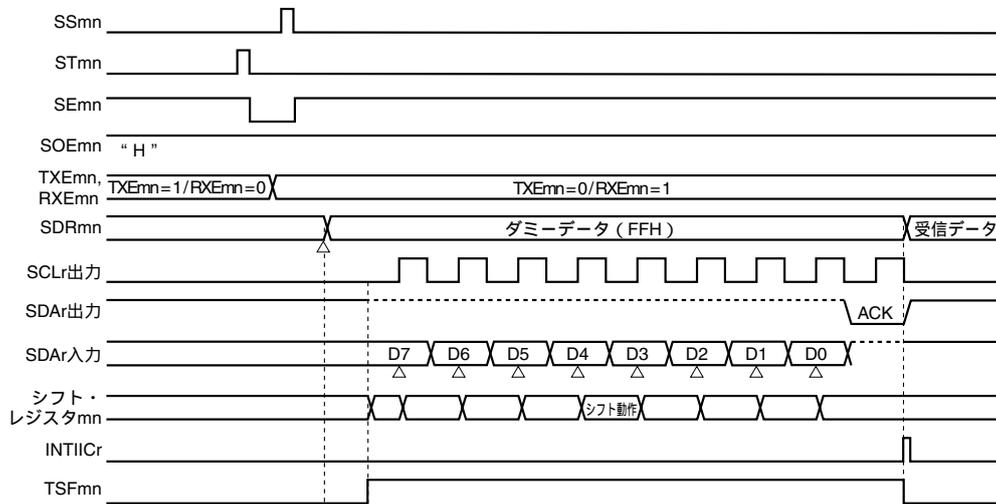
x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

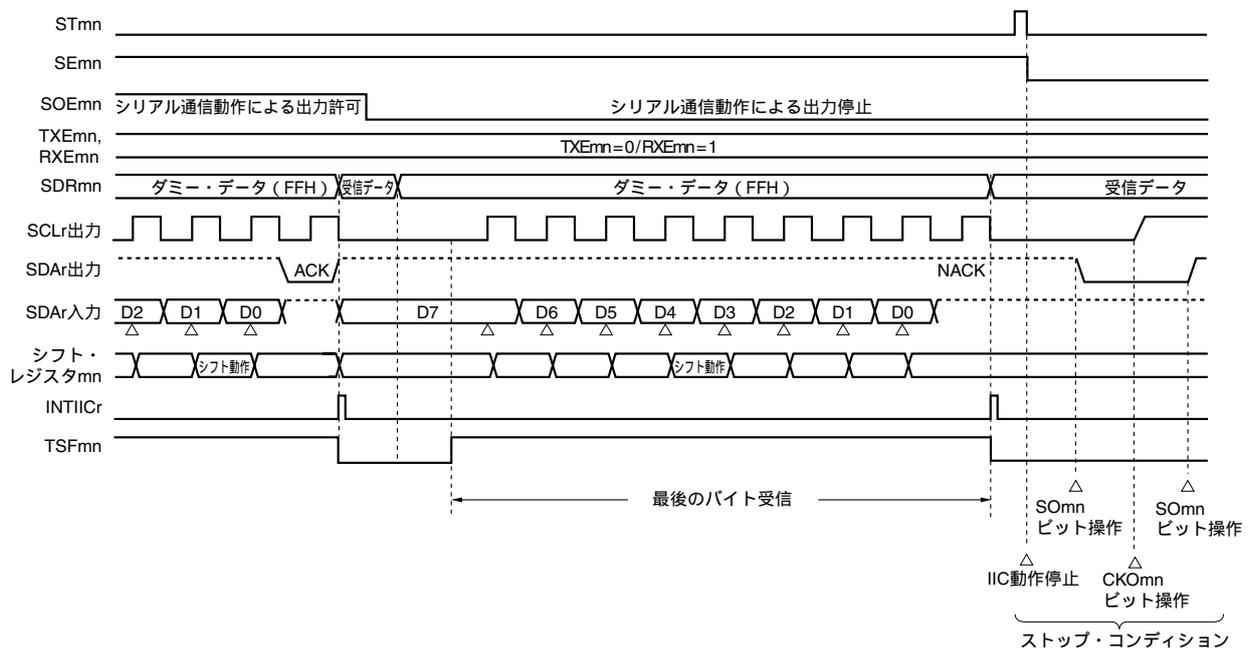
(2) 処理フロー

図11-97 データ受信のタイミング・チャート

(a) データ受信開始時

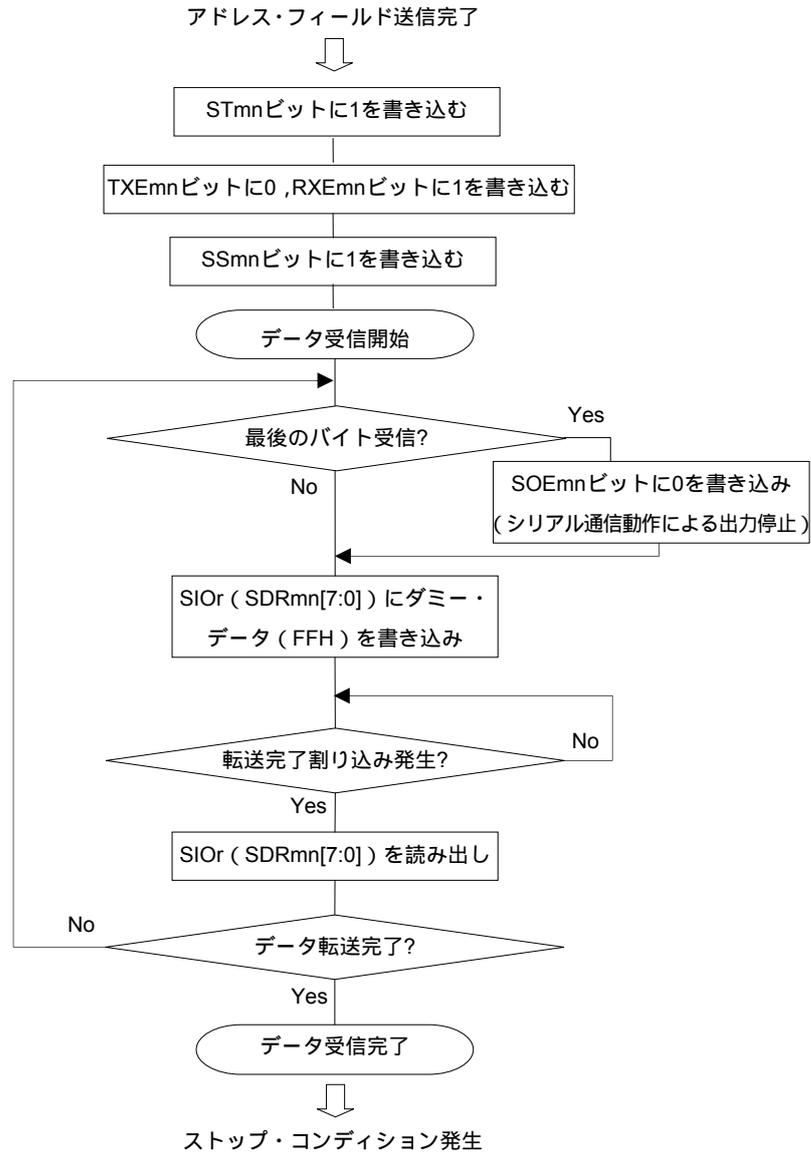


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10
r : IIC番号 (r = 10, 20)

図11 - 98 データ受信のフロー・チャート



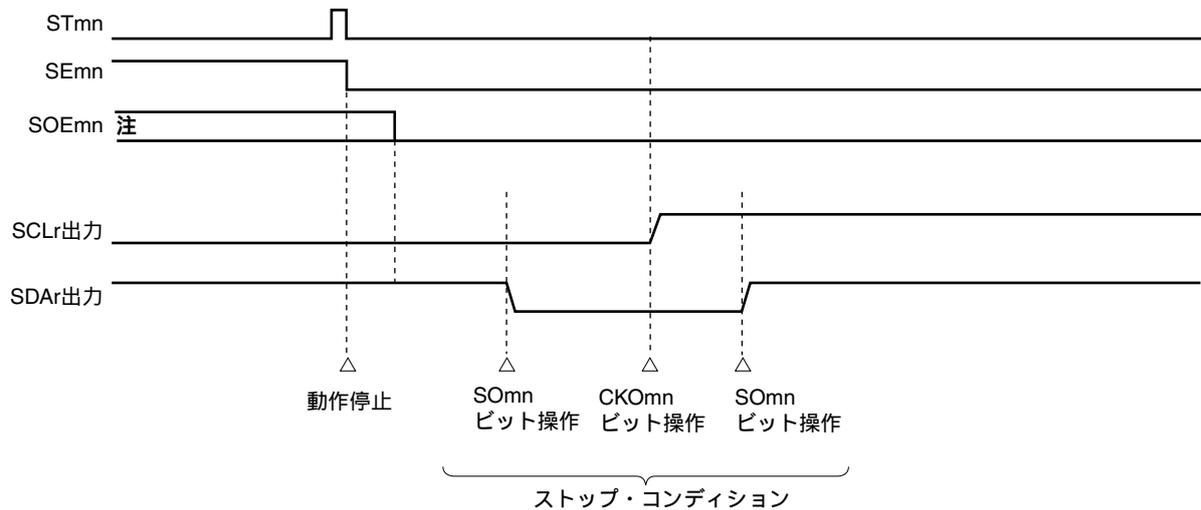
注意 最終データの受信時はACKを出力しません (NACK)。その後、STmnビットに“1”を設定して動作停止と
してから、ストップ・コンディションを発生することにより通信完了します。

11.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

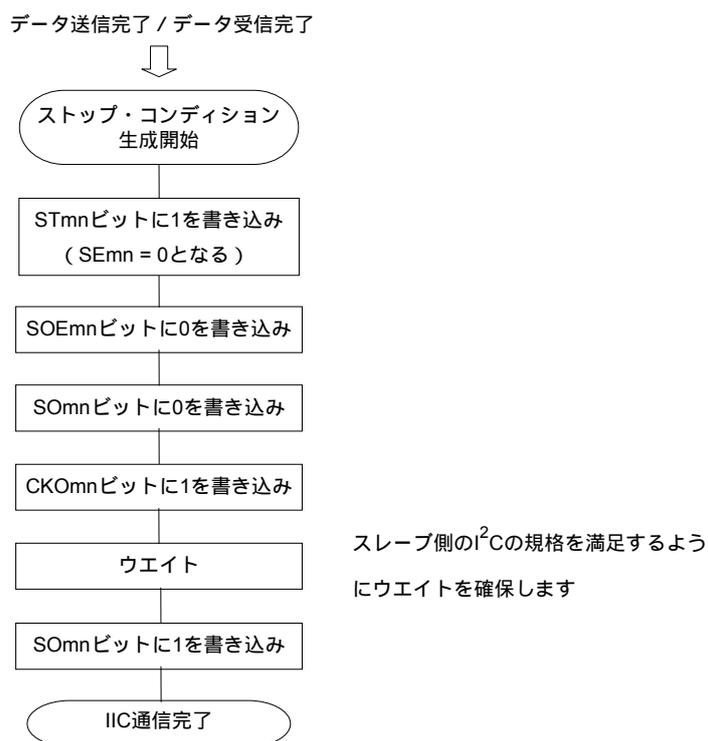
図11 - 99 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、SOEmnビットを0に設定しています。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10
r : IIC番号 (r = 10, 20)

図11 - 100 ストップ・コンディション発生時のフロー・チャート



11.7.5 転送レートの算出

簡易I²C (IIC10, IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値(0000000B-1111111B)なので、0-127になります。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 02, 10

動作クロック (MCK) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表11-4 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}			
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 12 MHz 動作時	f _{CLK} = 16 MHz 動作時	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	12 MHz	16 MHz	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	6 MHz	8 MHz	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	3 MHz	4 MHz	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	1.5 MHz	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	375 kHz	500 kHz	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	187.5 kHz	250 kHz	312.5 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	93.75 kHz	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	46.88 kHz	62.5 kHz	78.13 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	23.44 kHz	31.25 kHz	39.06 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	11.72 kHz	15.63 kHz	19.53 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	5.86 kHz	7.81 kHz	9.77 kHz
	X	X	X	X	1	1	1	1	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止			
1	0	0	0	0	X	X	X	X	f _{CLK}	12 MHz	16 MHz	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	6 MHz	8 MHz	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	3 MHz	4 MHz	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	1.5 MHz	2 MHz	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	0.75 MHz	1 MHz	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	375 kHz	500 kHz	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	187.5 kHz	250 kHz	312.5 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	93.75 kHz	125 kHz	156.25 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	46.88 kHz	62.5 kHz	78.13 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	23.44 kHz	31.25 kHz	39.06 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	11.72 kHz	15.63 kHz	19.53 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	5.86 kHz	7.81 kHz	9.77 kHz
	1	1	1	1	X	X	X	X	m = 0の場合INTTM02 ^{注2} , m = 1の場合は設定禁止			
上記以外									設定禁止			

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット (TAU0) も停止 (TT0 = 00FFH) させてください。

2. タイマ・アレイ・ユニット0のチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし (タイマ入力選択レジスタ0 (TIS0) のTIS02ビットに“1”を設定)、SPS0レジスタでINTTM02を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック、サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0, TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 02, 10

MCK = f_{CLK} = 12, 16, 20 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	f_{CLK} = 12, 16, 20 MHz時							
	動作クロック (MCK)	SDRmn[15:9]			算出転送レート	希望転送レートとの誤差		
		12 MHz	16 MHz	20 MHz		12 MHz	16 MHz	20 MHz
100 kHz	f_{CLK}	99	79	59	100 kHz	0.0%	0.0%	0.0%
400 kHz	f_{CLK}	24	19	14	400 kHz	0.0%	0.0%	0.0%

11.8 エラー発生時の処理手順

エラーが発生した場合の処理手順について、各エラー・タイプ別に図11 - 101 ~ 図11 - 103に説明します。

図11 - 101 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

図11 - 102 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる
STmnビットに1を設定する	▶ SEMn = 0となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれていたためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
SSmnビットに1を設定する	▶ SEMn = 1となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00-03, 10-13

図11 - 103 簡易²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる
STmnビットに1を設定する	▶ SEMn = 0となり, チャネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
SSmnビットに1を設定する	▶ SEMn = 1となり, チャネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) mn = 01, 03, 11, 13

11.9 レジスタの設定と端子の関係

シリアル・アレイ・ユニット0, 1のチャンネルごとのレジスタの設定と端子の関係を表11 - 5 ~ 表11 - 12に示します。

表11 - 5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, UART0送信)

SE 00 注1	MD 002	MD 001	SOE 00	SO 00	CKO 00	TXE 00	RXE 00	PM 10	P10	PM 11 注2	P11 注2	PM 12	P12	動作モード	端子機能			
															SCK00/ P10	SI00/RxD0/ P11注2	SO00/TxD0/ P12	
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	P10	P11	P12	
	0	1														P11/RxD0		
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI00 受信	SCK00 (入力)	SI00	P12	
			1	0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI00 送信	SCK00 (入力)	P11	SO00	
			1	0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI00 送受信	SCK00 (入力)	SI00	SO00	
			0	1	0/1 注4	0	1	0	1	1	×	×	×	×	マスタCSI00 受信	SCK00 (出力)	SI00	P12
			1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	マスタCSI00 送信	SCK00 (出力)	P11	SO00	
			1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI00 送受信	SCK00 (出力)	SI00	SO00	
0	1	1	0/1 注4	1	1	0	×	×	×	×	0	1	UART0 送信注5	P10	P11/RxD0	TxD0		

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると、この端子はRxD0機能となります(表11 - 6参照)。その場合、ユニット0のチャンネル0は動作停止モードまたはUART0送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART0を送信と受信のペアで使用する場合は、ユニット0のチャンネル1をUART0受信に設定にしてください(表11 - 6参照)。

備考 × : dont' care

表11 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : UART0受信)

SE01 ^{注1}	MD012	MD011	TXE01	RXE01	PM11 ^{注2}	P11 ^{注2}	動作 モード	端子機能
								SI00/SDA10/RxD1/P03 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI00/P11 ^{注2}
1	0	1	0	1	1	x	UART0 受信 ^{注4, 5}	RxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると、この端子はRxD0機能となります。その場合、ユニット0のチャンネル0は動作停止モードまたはUART0送信に設定してください (表11 - 5参照)。
また、ユニット0のチャンネル0をCSI10に設定すると、この端子はRxD0機能として使用できません。その場合、ユニット0のチャンネル1は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART0を送信と受信のペアで使用する場合は、ユニット0のチャンネル0をUART1送信に設定にしてください (表11 - 5参照)。
5. UART0受信時はユニット0のチャンネル0のSMR00レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表11-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2 : CSI10, UART1送信, IIC10)

SE 02 注1	MD 022	MD 021	SOE 02	SO 02	CKO 02	TXE 02	RXE 02	PM 04	P04	PM 03 注2	P03 注2	PM 02	P02	動作モード	端子機能		
															SCK10/ SCL10/P04	SI10/SDA10/ RxD1/P03注2	SO10/ TxD1/P02
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	P04	P03	P02
	0	1														P03/RxD1	
	1	0														P03	
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI10 受信	SCK10 (入力)	SI10	P02
			1	0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI10 送信	SCK10 (入力)	P03	SO10
			1	0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI10 送受信	SCK10 (入力)	SI10	SO10
			0	1	0/1 注4	0	1	0	1	1	×	×	×	マスタCSI10 受信	SCK10 (出力)	SI10	P02
			1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	マスタCSI10 送信	SCK10 (出力)	P03	SO10
			1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI10 送受信	SCK10 (出力)	SI10	SO10
	0	1	1	0/1 注4	1	1	0	×	×	×	0	1	UART1 送信注5	P04	P03/RxD1	TxD1	
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	×	×	IIC10 スタート・コン ディション	SCL10	SDA10	P02
						1	0										
						0	1										
	1	1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC10アドレ ス・フィールド 送信	SCL10	SDA10	P02	
		1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC10デー タ 送信	SCL10	SDA10	P02	
1		0/1 注4	0/1 注4	0	1	0	1	0	1	×	×	IIC10デー タ 受信	SCL10	SDA10	P02		
0			0	0/1 注7	0/1 注7	0	0	0	1	0	1	×	×	IIC10 ストップ・コン ディション	SCL10	SDA10	P02
						1	0										
						0	1										

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル3をUART1受信に設定すると、この端子はRxD1機能となります(表11-8参照)。その場合、ユニット0のチャンネル2は動作停止モードまたはUART1送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART1を送信と受信のペアで使用する場合は、ユニット0のチャンネル3をUART1受信に設定にしてください(表11-8参照)。
6. CKO02ビットは、スタート・コンディション発生前は1にセットします。SO02ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO02ビットは、ストップ・コンディション発生前は1にセットします。SO02ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 × : don't care

表11 - 8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信)

SE03 ^{注1}	MD032	MD031	TXE03	RXE03	PM03 ^{注2}	P03 ^{注2}	動作 モード	端子機能
								SI10/SDA10/RxD1/P03 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI10/SDA10/P03 ^{注2}
1	0	1	0	1	1	x	UART1 受信 ^{注4, 5}	RxD1

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル3をUART1受信に設定すると、この端子はRxD1機能となります。その場合、ユニット0のチャンネル2は動作停止モードまたはUART1送信に設定してください (表11 - 7参照)。
また、ユニット0のチャンネル2をCSI10またはIIC10に設定すると、この端子はRxD1機能として使用できません。その場合、ユニット0のチャンネル3は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART1を送信と受信のペアで使用する場合は、ユニット0のチャンネル2をUART1送信に設定にしてください (表11 - 7参照)。
5. UART1受信時はユニット0のチャンネル2のSMR02レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表11 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)

SE 10 注1	MD 102	MD 101	SOE 10	SO 10	CKO 10	TXE 10	RXE 10	PM 142	P142	PM 143 注2	P143 注2	PM 144	P144	動作モード	端子機能																		
															SCK20/ SCL20/P142	SI20/SDA20/ Rx/D2/P143注2	SO20/ Tx/D2/P144																
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作停止 モード	P142	P143	P144																
																P143/RxD2																	
																P143																	
1	0	0	0	1	1	0	1	1	x	1	x	x 注3	x 注3	スレーブCSI20 受信	SCK20 (入力)	SI20	P144																
																1		0/1 注4	1	1	0	1	x	x 注3	x 注3	0	1	スレーブCSI20 送信	SCK20 (入力)	P143	SO20		
																1		0/1 注4	1	1	1	1	x	1	x	0	1	スレーブCSI20 送受信	SCK20 (入力)	SI20	SO20		
																0		1	0/1 注4	0	1	0	1	1	x	x 注3	x 注3	0	1	マスタCSI20 受信	SCK20 (出力)	SI20	P144
																1		0/1 注4	0/1 注4	1	0	0	1	x	x 注3	x 注3	0	1	マスタCSI20 送信	SCK20 (出力)	P143	SO20	
																1		0/1 注4	0/1 注4	1	1	0	1	1	x	0	1	マスタCSI20 送受信	SCK20 (出力)	SI20	SO20		
																0		1	1	0/1 注4	1	1	0	x 注3	x 注3	x 注3	x 注3	0	1	UART2 送信注5	P142	P143/RxD2	TxD2
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	x 注3	x 注3	IIC20 スタート・コン ディション	SCL20	SDA20	P144																
																		1	0														
																		0	1														
1			1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC20アドレ ス・フィールド 送信	SCL20	SDA20	P144																
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC20データ 送信	SCL20	SDA20	P144	
																		1	0/1 注4	0/1 注4	0	1	0	1	0	1	x 注3	x 注3	IIC20データ 受信	SCL20	SDA20	P144	
																		0	0/1 注7	0/1 注7	0	0	0	1	0	1	x 注3	x 注3	IIC20 ストップ・コン ディション	SCL20	SDA20	P144	
0			0	0/1 注7	0/1 注7	0	0	0	1	0	1	x 注3	x 注3																				
																		1	0														
																		0	1														

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります(表11 - 10参照)。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
5. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル1をUART2受信に設定にしてください(表11 - 10参照)。
6. CKO10ビットは、スタート・コンディション発生前は1にセットします。SO10ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO10ビットは、ストップ・コンディション発生前は1にセットします。SO10ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 x : dont' care

表11 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

SE11 ^{注1}	MD112	MD111	TXE11	RXE11	PM143 ^{注2}	P143 ^{注2}	動作 モード	端子機能
								SI20/SDA20/RxD2/P143 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI20/SDA20/P143
1	0	1	0	1	1	x	UART2 受信 ^{注4, 5}	RxD2

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信に設定してください (表11 - 9参照)。
また、ユニット1のチャンネル0をCSI20またはIIC20に設定すると、この端子はRxD2機能として使用できません。その場合、ユニット1のチャンネル1は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル0をUART2送信に設定にしてください (表11 - 9参照)。
5. UART2受信時はユニット1のチャンネル0のSMR10レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表11 - 11 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)

SE12 ^{注1}	MD122	MD121	SOE12	SO12	TXE12	RXE12	PM13 ^{注2}	P13 ^{注2}	動作モード	端子機能
										TxD3/P13
0	0	1	0	1	0	0	x ^{注3}	x ^{注3}	動作停止モード	P13
1	0	1	1	0/1 ^{注4}	1	0	0	1	UART3送信 ^{注5}	TxD3

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル3をUART3受信に設定すると、この端子はRxD3機能となります (表11 - 12参照)。その場合、ユニット1のチャンネル2は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、11. 3 (12) シリアル出力レジスタ_m (SO_m) を参照してください。
5. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル3をUART3受信に設定にしてください (表11 - 12参照)。

備考 x : dont' care

表11 - 12 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)

SE13 ^{注1}	MD132	MD131	TXE13	RXE13	PM14 ^{注2}	P14 ^{注2}	動作モード	端子機能
								RxD3/P14 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止モード	P14
1	0	1	0	1	1	x	UART3受信 ^{注4,5}	RxD3

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART3受信に設定すると、この端子はRxD3機能となります。その場合、ユニット1のチャンネル2は動作停止モードまたはUART3送信に設定してください (表11 - 11参照)。
3. ポート機能として設定することができます。
4. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル2をUART3送信に設定にしてください (表11 - 11参照)。
5. UART3受信時はユニット1のチャンネル2のSMR12レジスタの設定も必要です。詳細は、11. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

第12章 シリアル・インタフェースIICA

12.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IICAでは、SCL0端子とSDA0端子はオープン・ドレーン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1 (IICCTL1) のWUPビットにより設定します。

図12-1に、シリアル・インタフェースIICAのブロック図を示します。

図12 - 1 シリアル・インタフェースIICAのブロック図

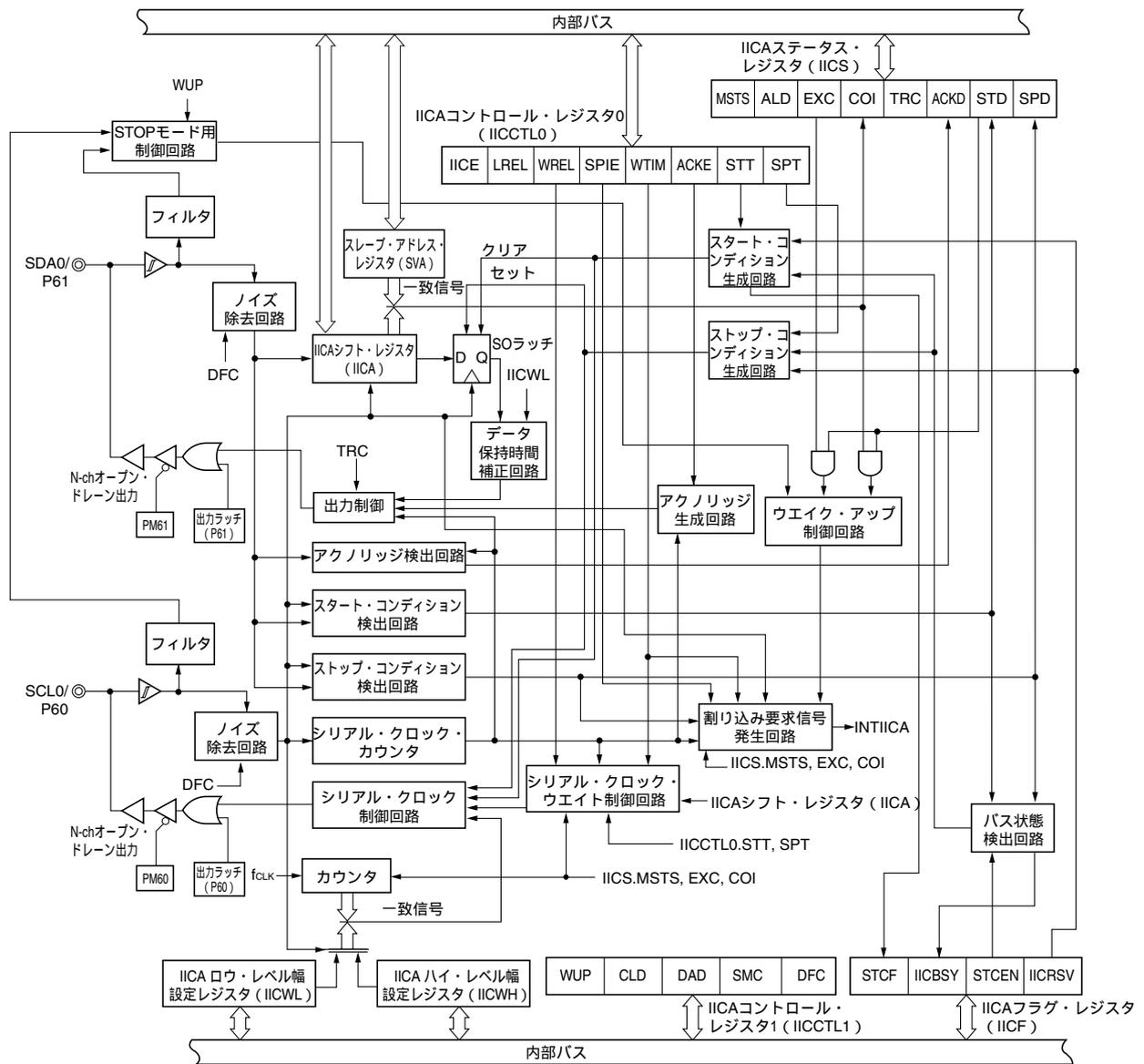
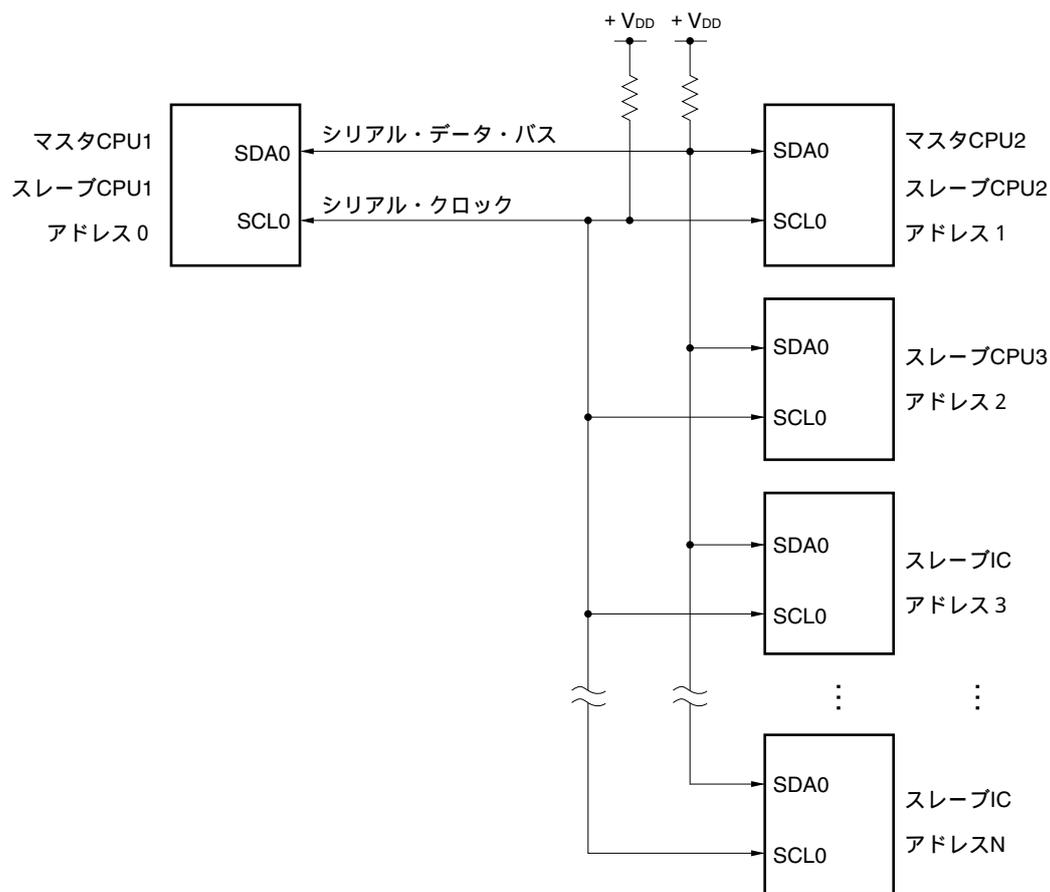


図12 - 2にシリアル・バス構成例を示します。

図12 - 2 I²Cバスによるシリアル・バス構成例



12.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表12-1 シリアル・インタフェースIICAの構成

項 目	構 成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ0 (IICCTL0) IICAステータス・レジスタ (IICS) IICAフラグ・レジスタ (IICF) IICAコントロール・レジスタ1 (IICCTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ (IICA)

IICAは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。IICAは送信および受信の両方に使用されます。

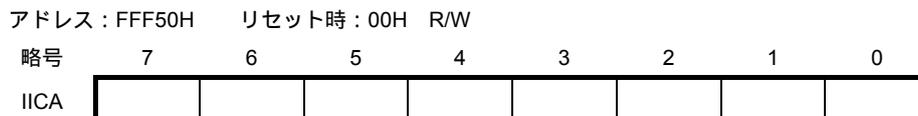
IICAに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウエイト期間中のIICAへの書き込みにより、ウエイトを解除し、データ転送を開始します。

IICAは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 IICAシフト・レジスタ (IICA) のフォーマット



- 注意1. データ転送中はIICAにデータを書き込まないでください。
- IICAには、ウエイト期間中にだけ、書き込み/読み出しをしてください。ウエイト期間中を除く通信状態でのIICAへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAにデータを書き込んでください。

(2) スレープ・アドレス・レジスタ (SVA)

スレープとして使用する場合に、自局アドレスの7ビット { A6, A5, A4, A3, A2, A1, A0 } を格納するレジスタです。

SVAは、8ビット・メモリ操作命令で設定します。

ただし、STD = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図12-4 スレープ・アドレス・レジスタ (SVA) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレープ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEビットで設定)

備考 WTIMビット : IICAコントロール・レジスタ0 (IICCTL0) のビット3
SPIEビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

(12) ストップ・コンディション生成回路

SPTビットがセット(1)されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STTビット	: IICAコントロール・レジスタ0 (IICCTL0)	のビット1
	SPTビット	: "	のビット0
	IICRSVビット	: IICAフラグ・レジスタ (IICF)	のビット0
	IICBSYビット	: "	のビット6
	STCFビット	: "	のビット7
	STCENビット	: "	のビット1

12.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の9種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ0 (IICCTL0)
- ・IICAフラグ・レジスタ (IICF)
- ・IICAステータス・レジスタ (IICS)
- ・IICAコントロール・レジスタ1 (IICCTL1)
- ・IICAロウ・レベル幅設定レジスタ (IICWL)
- ・IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICAEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	0	TAU0EN

IICAEN	シリアル・インタフェースIICAの入力クロックの制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAEN = 1の設定を行ってください。IICAEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. ビット1, 6には必ず“0”を設定してください。

(2) IICAコントロール・レジスタ0 (IICCTL0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTL0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE, WTIM, ACKEビットは, IICE = 0のとき, またはウェイト期間中に設定してください。またIICEビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (1/4)

アドレス : F0230H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTL0	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE = 0)	セットされる条件 (IICE = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LREL ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICCTL0), IICAステータス・レジスタ (IICS) のうち、次のフラグがクリア (0) される。 ・ STT ・ SPT ・ MSTs ・ EXC ・ COI ・ TRC ・ ACKD ・ STD
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL = 0)	セットされる条件 (LREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WREL ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC = 1) で、9クロック目のウェイト期間中にWRELをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC = 0) にします。	
クリアされる条件 (WREL = 0)	セットされる条件 (WREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICSレジスタ、IICFレジスタのSTCF、IICBSYビット、IICCTL1レジスタのCLD、DADビットです。

2. IICE = 0の状態では、このビットの信号は無効になります。
3. LREL, WRELビットの読み出し値は常に0になります。

注意 SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態、かつデジタル・フィルタ・オン (IICCTL1レジスタのDFC = 1) のときにI²Cを動作許可 (IICE = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE = 1) したあと、連続して1ビット・メモリ操作命令により、LRELをセット (1) してください。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (2/4)

SPIE ^{注1}	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
IICCTL1レジスタのWUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE = 0)		セットされる条件 (SPIE = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM ^{注1}	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入りません。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIM = 0)		セットされる条件 (WTIM = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE = 0)		セットされる条件 (ACKE = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注1. IICE = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (3/4)

STT ^注	スタート・コンディション・トリガ				
0	スタート・コンディションを生成しない。				
1	<p>バスが解放されているとき（待機状態，IICBSYが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTTビットはクリアされ，STTクリア・フラグ（STCF）がセット（1）される。スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>				
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット（1）は禁止です。ACKE = 0に設定し，受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット（1）可能です。 マスタ送信の場合：アクリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 SPTと同時セット（1）することは禁止です。 STTをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。 					
<table border="1"> <thead> <tr> <th>クリアされる条件（STT = 0）</th> <th>セットされる条件（STT = 1）</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> 通信予約禁止状態でのSTTのセット（1） アービトレーションに負けたとき マスタでのスタート・コンディション生成 LREL = 1（通信退避）によるクリア IICE = 0（動作停止）のとき リセット時 </td> <td> <ul style="list-style-type: none"> 命令によるセット </td> </tr> </tbody> </table>		クリアされる条件（STT = 0）	セットされる条件（STT = 1）	<ul style="list-style-type: none"> 通信予約禁止状態でのSTTのセット（1） アービトレーションに負けたとき マスタでのスタート・コンディション生成 LREL = 1（通信退避）によるクリア IICE = 0（動作停止）のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット
クリアされる条件（STT = 0）	セットされる条件（STT = 1）				
<ul style="list-style-type: none"> 通信予約禁止状態でのSTTのセット（1） アービトレーションに負けたとき マスタでのスタート・コンディション生成 LREL = 1（通信退避）によるクリア IICE = 0（動作停止）のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット 				

注 IICE = 0の状態では，このビットの信号は無効になります。

備考1. ビット1（STT）は，データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ（IICF）のビット0
 STCF : " のビット7

図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (4/4)

SPT	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する (マスタとしての転送終了)。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット (1) 可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。 ・STTと同時にセット (1) することは禁止です。 ・SPTのセット (1) は、マスタのときのみ行ってください。 ・WTIM = 0設定時に、8クロック出力後のウエイト期間中にSPTをセット (1) すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTをセット (1) してください。 ・SPTをセット(1) 後、クリア (0) する前に、再度セット (1) することは禁止です。		
クリアされる条件 (SPT = 0)		セットされる条件 (SPT = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL = 1 (通信退避) によるクリア ・IICE = 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注意 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき、9クロック目にWREL をセット (1) してウエイト解除すると、TRCをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

備考 ビット0 (SPT) は、データ設定後に読み出すと0になっています。

(3) IICAステータス・レジスタ (IICS)

I²Cのステータスを表すレジスタです。

IICSは、STT = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP=1) 状態でのIICSレジスタの読み出しは禁止です。WUP = 1の状態から、INTIICA割り込み要求と関係なくWUPを10 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE = 1) して割り込み検出後にIICSレジスタを読み出してください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

WUP : IICAコントロール・レジスタ1 (IICCTL1) のビット7

図12 - 7 IICAステータス・レジスタ (IICS) のフォーマット (1/3)

アドレス : FFF51H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
IICS	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

MSTS	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD = 1 (アービトレーション負け) のとき ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (MSTS = 1)		
<ul style="list-style-type: none"> ・スタート・コンディション生成時 		

ALD	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSがクリアされる。	
クリアされる条件 (ALD = 0)		
<ul style="list-style-type: none"> ・IICS読み出し後、自動的にクリア^注 ・IICE = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (ALD = 1)		
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 		

注 IICSのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6

IICE : " のビット7

図12-7 IICAステータス・レジスタ (IICS) のフォーマット (2/3)

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC = 0)		セットされる条件 (EXC = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信回避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI = 0)		セットされる条件 (COI = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信回避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ (SVA)) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC = 0)		セットされる条件 (TRC = 1)
<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL = 1 (通信回避) によるクリア ・IICE = 1 0 (動作停止) のとき ・WREL = 1 (ウエイト解除) によるクリア^注 ・ALD = 0 1 (アービトラージン負け) のとき ・リセット時 ・通信不参加の場合 (MSTS, EXC, COI = 0) <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に "1" を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に "0" を入力したとき 		<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "0" (マスタ送信) を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "1" (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき, 9クロック目にIICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してウエイトを解除すると, TRC をクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は, IICAシフト・レジスタへの書き込みで行ってください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
IICE : " のビット7

図12-7 IICAステータス・レジスタ (IICS) のフォーマット (3/3)

ACKD	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD = 0)		セットされる条件 (ACKD = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SCL0ラインの9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD = 0)		セットされる条件 (STD = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPD = 0)		セットされる条件 (SPD = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6

IICE : " のビット7

(4) IICAフラグ・レジスタ (IICF)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF、IICBSYビットは読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します。

またSTCENにより、IICBSYビットの初期値を設定します。

IICRSV、STCENはI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときのみ書き込み可能です。動作許可後、IICFは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図12 - 8 IICAフラグ・レジスタ (IICF) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず, STTフラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> ・ STT = 1によるクリア ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず, STTがクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICEのセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICE = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

2. STCEN = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STT = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
IICE : " のビット7

(5) IICAコントロール・レジスタ1 (IICCTL1)

I²Cの動作モードの設定やSCL0, SDA0端子状態を検出するためのレジスタです。

IICCTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD、DADビットは読み出しのみ可能です。

IICCTL1は、WUPを除きI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図12 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (1/2)

アドレス : F0231H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTL1	WUP	0	CLD	DAD	SMC	DFC	0	0

WUP	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUP = 1でSTOPモードに移行する場合は、WUPをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図12 - 22 WUP = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPをクリア (0) してください。WUPをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)
・ 命令によるクリア (アドレス一致もしくは拡張コード受信後)	・ 命令によるセット (MSTS, EXC, COIが“0”であり、STDも“0” (通信に不参加である事) のとき) ^{注2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICSの状態を確認しセットする必要があります。

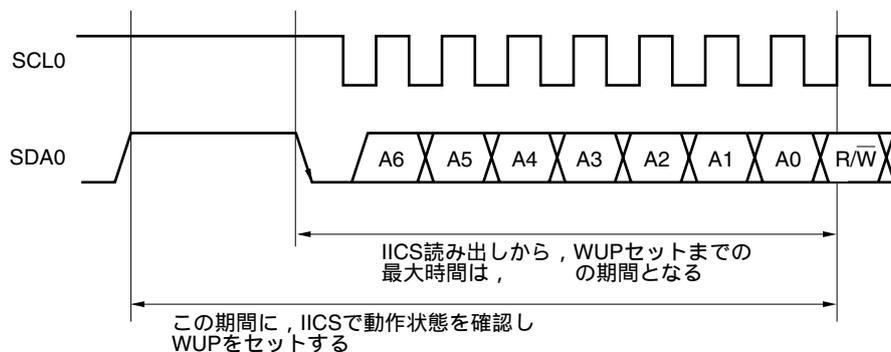


図12 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (2/2)

CLD	SCL0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD = 0)		セットされる条件 (CLD = 1)
<ul style="list-style-type: none"> ・ SCL0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL0端子がハイ・レベルのとき

DAD	SDA0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD = 0)		セットされる条件 (DAD = 1)
<ul style="list-style-type: none"> ・ SDA0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA0端子がハイ・レベルのとき

SMC	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
<p>デジタル・フィルタは、ファースト・モード時にのみ使用できます。</p> <p>ファースト・モード時はDFCのセット(1) / クリア(0)により、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。</p>		

注 ビット4, 5はRead Onlyです。

備考 IICE : IICAコントロール・レジスタ0 (IICCTL0) のビット7

(6) IICAロウ・レベル幅設定レジスタ (IICWL)

シリアル・インタフェースIICAが、出力するSCL0端子信号のロウ・レベル幅を設定するレジスタです。

IICWLは、8ビット・メモリ操作命令で設定します。

IICWLは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12 - 10 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット

アドレス : F0232H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWL								

(7) IICAハイ・レベル幅設定レジスタ (IICWH)

シリアル・インタフェースIICAが、出力するSCL0端子信号のハイ・レベル幅を設定するレジスタです。

IICWHは、8ビット・メモリ操作命令で設定します。

IICWHは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図12 - 11 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット

アドレス : F0233H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IICWH								

備考 IICWL, IICWHレジスタによる転送クロックの設定方法は、12. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

(8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE (IICAコントロール・レジスタ0 (IICCTL0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEに1を設定してから, 行ってください。

PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図12 - 12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	0	0	0	1	PM63	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 ポート6のビット5-7は, 必ず0に設定してください。リセット後に初期値に戻った場合も必ず0に再設定して使用してください。

12.4 I²Cバス・モードの機能

12.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

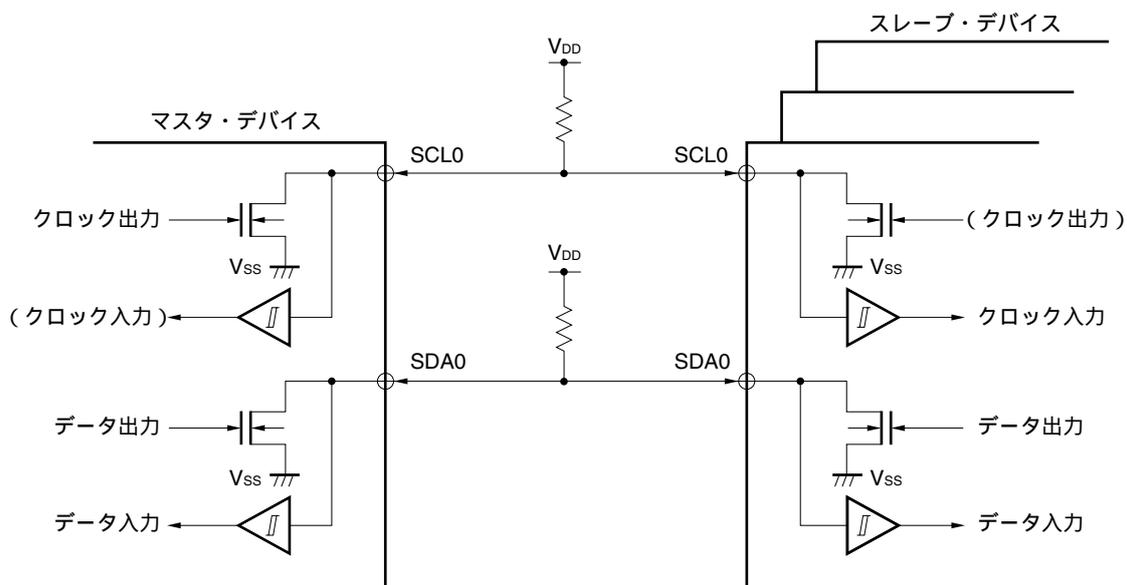
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12 - 13 端子構成図



12.4.2 IICWL, IICWHレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLとIICWHの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWL, IICWH設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

備考1. SDA0, SCL0信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_{F} : SDA0, SCL0信号の立ち下がり時間

t_{R} : SDA0, SCL0信号の立ち上がり時間

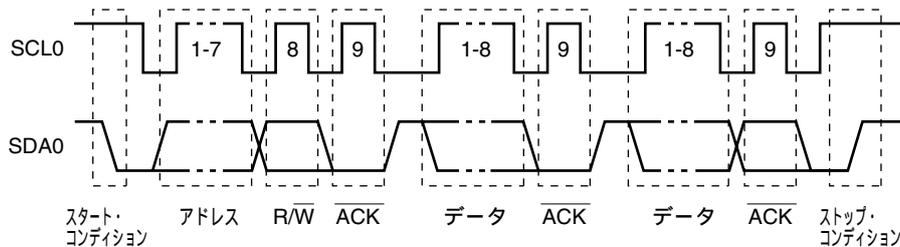
f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

12.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図12-14に示します。

図12-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

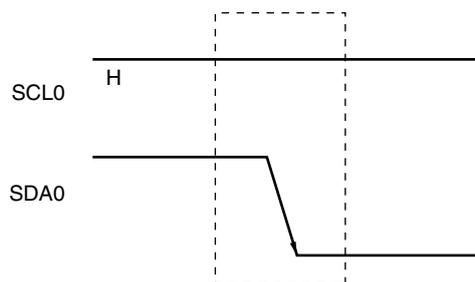
アクリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます (通常、8ビット・データの受信側が出力します)。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウェイトを挿入できます。

12.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図12-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD: IICAステータス・レジスタ (IICS) のビット0 = 1) のときにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSのビット1 (STD) がセット (1) されます。

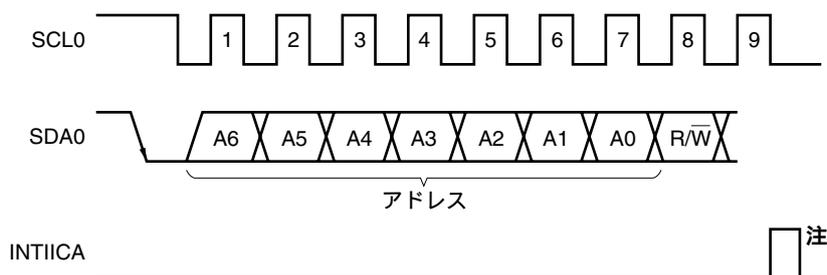
12.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA) と一致しているかを調べます。このとき、7ビット・データとSVAの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図12 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

アドレスは、スレーブのアドレスと12.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAに書き込まれます。

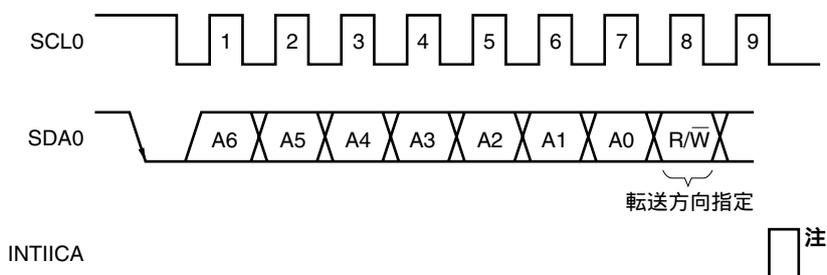
なお、スレーブのアドレスは、IICAの上位7ビットに割り当てられます。

12.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

12.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ (IICS) のビット2 (ACKD) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

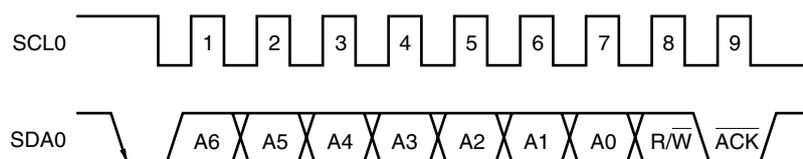
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICCTL0) のビット2 (ACKE) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSレジスタのビット3 (TRC) が設定されます。受信 (TRC = 0) の場合は、通常、ACKEをセット (1) してください。

スレーブ受信動作時 (TRC = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図12-18 アクノリッジ



自局アドレス受信時は、ACKEの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEをセット (1) しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

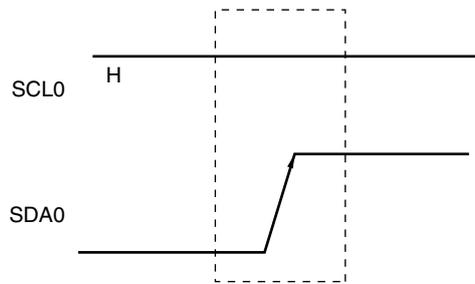
- ・8クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 0) :
ウェイト解除を行う前にACKEをセット (1) することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 1) :
あらかじめACKEをセット (1) することによって、アクノリッジを生成します。

12.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図12 - 19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICCTL0) のビット0 (SPT) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ (IICS) のビット0 (SPD) がセット (1) され、IICCTL0のビット4 (SPIE) がセット (1) されている場合にはINTIICAが発生します。

12.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図12 - 20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE = 1)

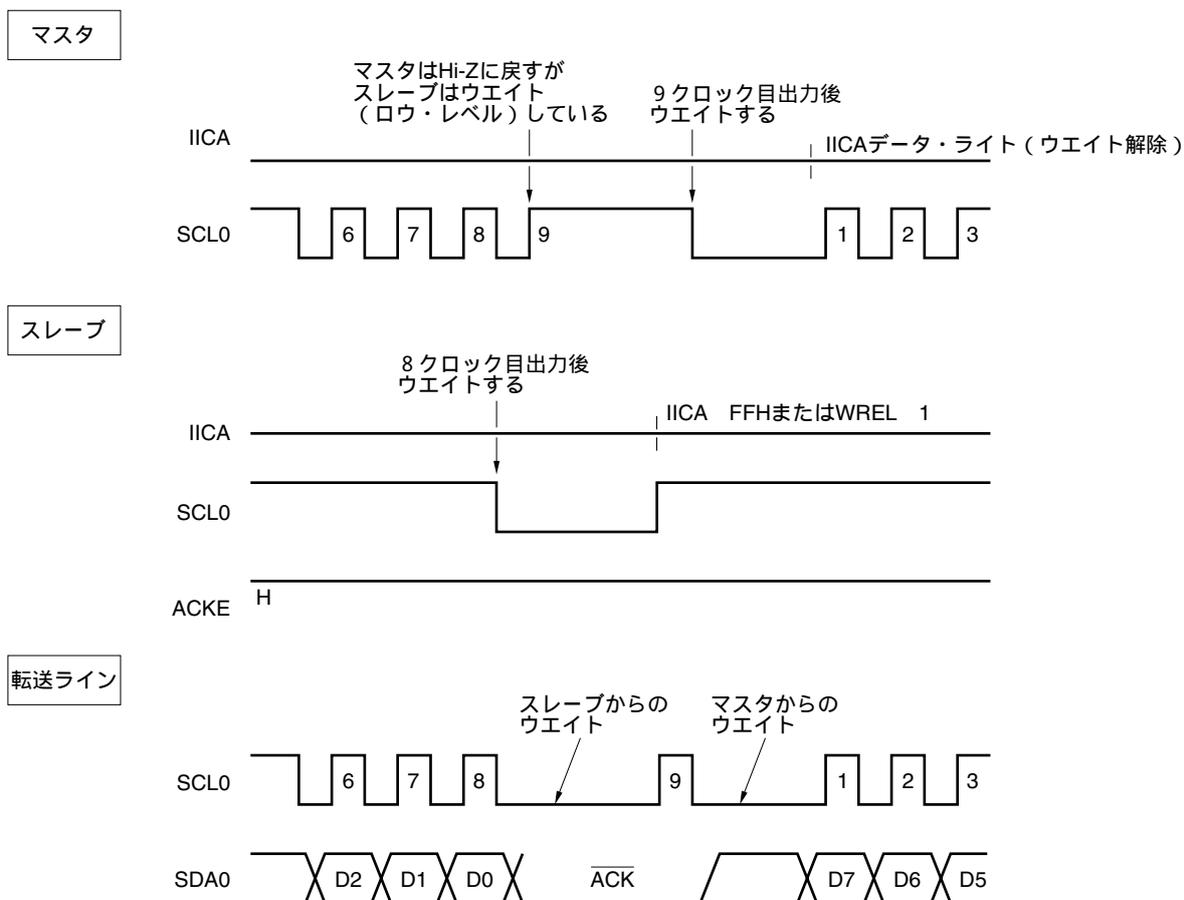
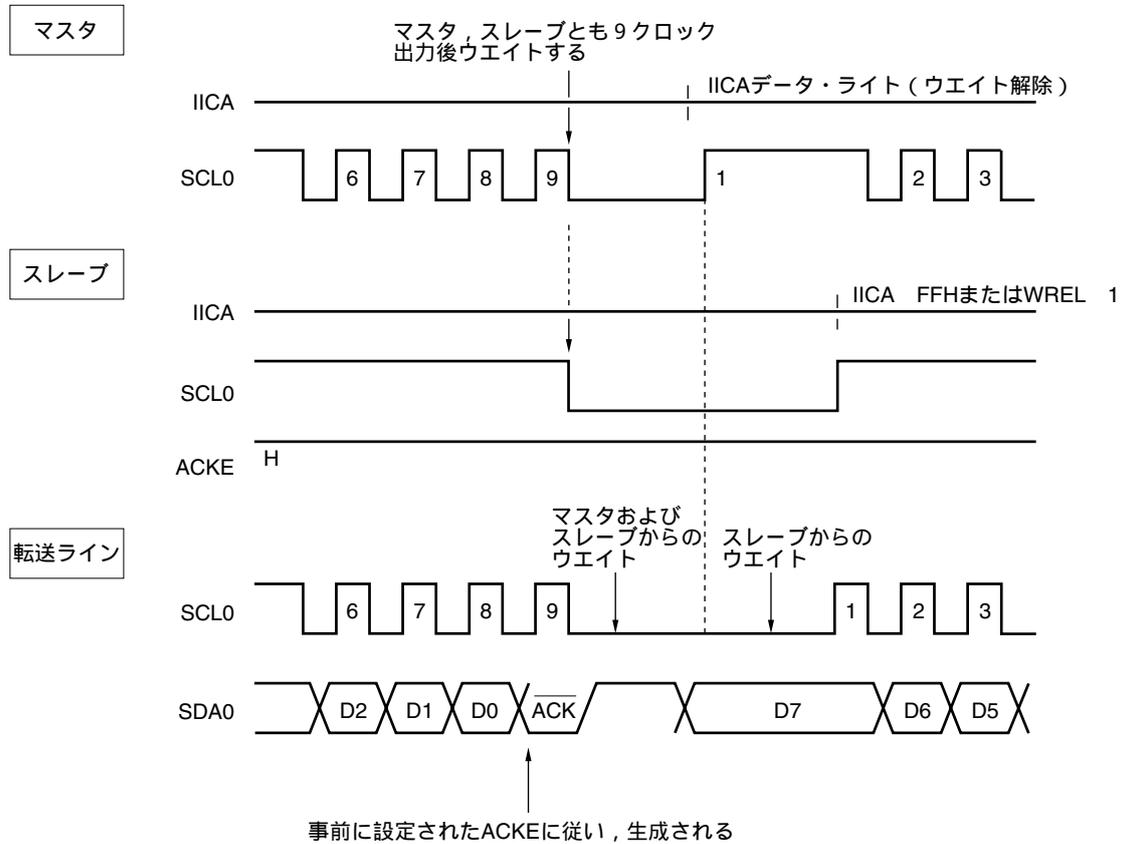


図12 - 20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE = 1)



備考 ACKE : IICAコントロール・レジスタ0 (IICCTL0) のビット2

WREL : " のビット5

ウェイトは, IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定により自動的に発生します。

通常, 受信側はIICCTL0のビット5 (WREL) = 1またはIICAシフト・レジスタ (IICA) にFFHを書き込むとウェイトを解除し, 送信側はIICAにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICCTL0のビット1 (STT) = 1
- ・ IICCTL0のビット0 (SPT) = 1

12.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTL0のビット1 (STT) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTL0のビット0 (SPT) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELにセット (1) によるウェイト解除後、IICAへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIICAへの書き込みタイミングの競合により、SDA0への出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL0のビット6 (LREL) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 IICCTL1レジスタのビット7 (WUP) = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

12.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定で, 表12 - 2に示すタイミングでINTIICAが発生し, また, ウェイト制御を行います。

表12 - 2 INTIICA発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA信号およびウェイトは, スレーブ・アドレス・レジスタ (SVA) に設定しているアドレスと一致したときのみ, 9クロック目の立ち下がりで発生します。また, このとき, IICCTL0のビット2 (ACKC) の設定にかかわらず, アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICAが発生します。
- ただし, リスタート後にアドレス不一致になった場合には, 9クロック目の立ち下がりですべてINTIICAが発生しますが, ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ (SVA) と受信したアドレスが一致せず, かつ拡張コードを受信していない場合は, INTIICAもウェイトも発生しません。

備考 表中の数字は, シリアル・クロックのクロック数を示しています。また, 割り込み要求, ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時: WTIMビットにかかわらず, 上記の注1, 2の条件により, 割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時: WTIMビットにかかわらず, 割り込みおよびウェイト・タイミングは, 9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時: WTIMビットにより, 割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時: WTIMビットにより, 割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAは、ストップ・コンディションを検出すると発生します (SPIE = 1のときのみ)。

12.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ (SVA) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA割り込み要求が発生します。

12.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

12.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICA)を発生します。

スレーブ・アドレス・レジスタ(SVA)に格納された自局アドレスは影響しません。

(2) SVAに“11110xx0”が設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICA)は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC = 1

・7ビット・データの一致 : COI = 1

備考 EXC : IICAステータス・レジスタ(IICS)のビット5

COI : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0(IICCTL0)のビット6(LREL) = 1に設定してください。次の通信待機状態にします。

表12-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cパスの仕様書を参照してください。

12. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (STD = 1になる前にSTT = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICAステータス・レジスタ (IICS) のアービトレーション負けフラグ (ALD) をセット (1) し, SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD = 1になっていることで検出します。

割り込み要求発生タイミングについては, 12. 5. 8 **割り込み要求 (INTIICA) の発生タイミングおよびウェイト制御**を参照してください。

備考 STD : IICAステータス・レジスタ (IICS) のビット1
STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

図12 - 21 アービトレーション・タイミング例

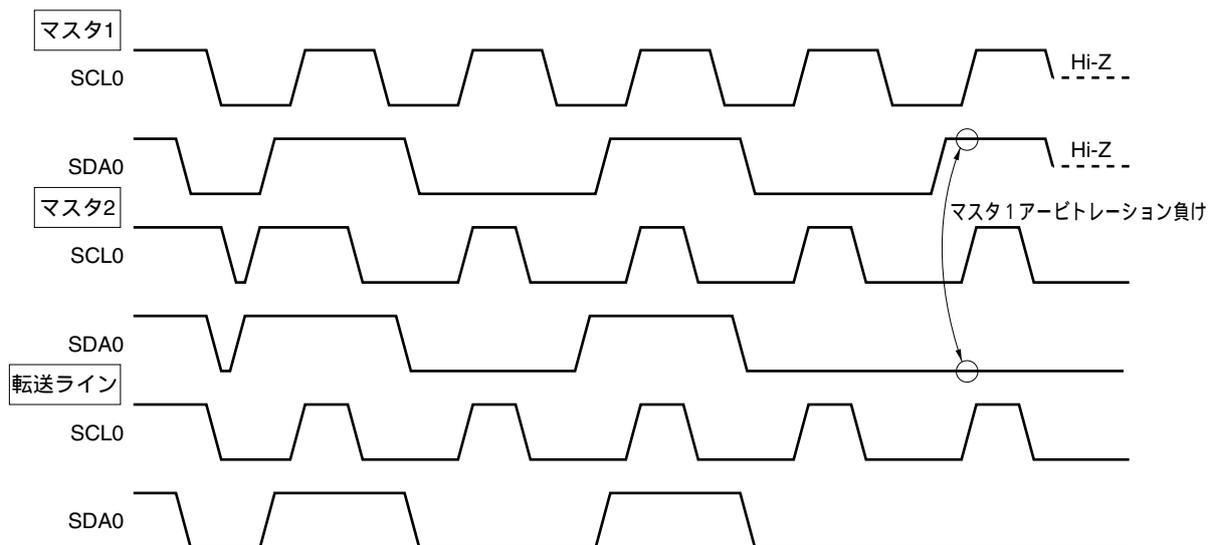


表12-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIM (IICAコントロール・レジスタ0 (IICCTL0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE = 1に設定してください。

備考 SPIE : IICAコントロール・レジスタ0 (IICCTL0) のビット 4

12.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生する機能です。

アドレスが一致しないときは不要なINTIICA信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロール・レジスタ0 (IICCTL0) のビット4 (SPIE) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUP = 1に設定する場合のフローを図12 - 22に、アドレス一致によりWUP = 0に設定する場合のフローを図12 - 23に示します。

図12 - 22 WUP = 1を設定する場合のフロー

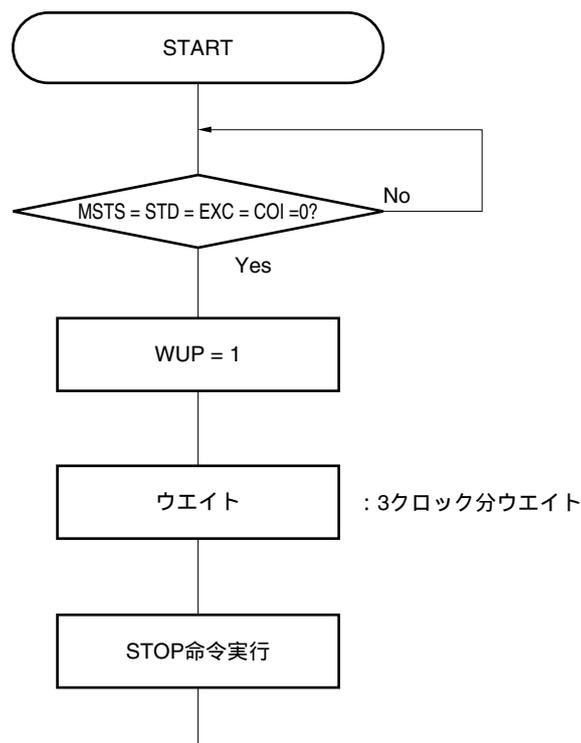
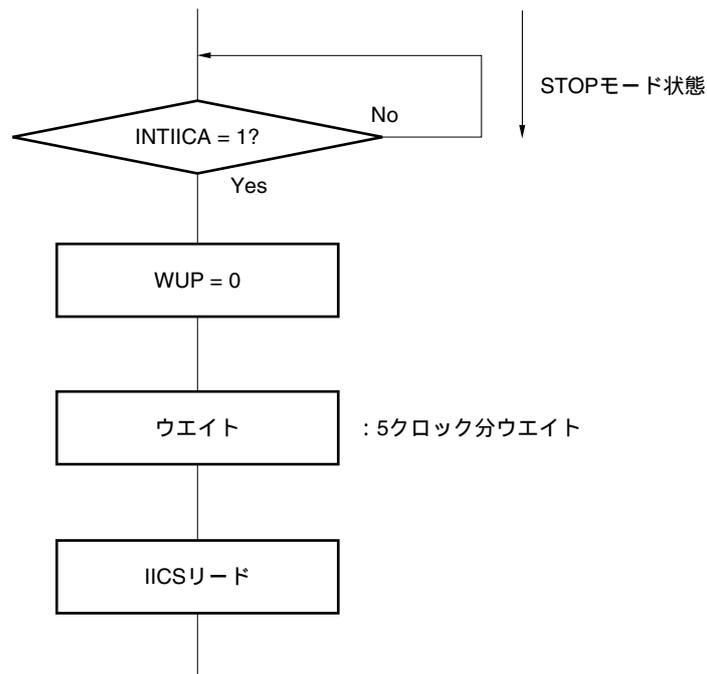


図12 - 23 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）

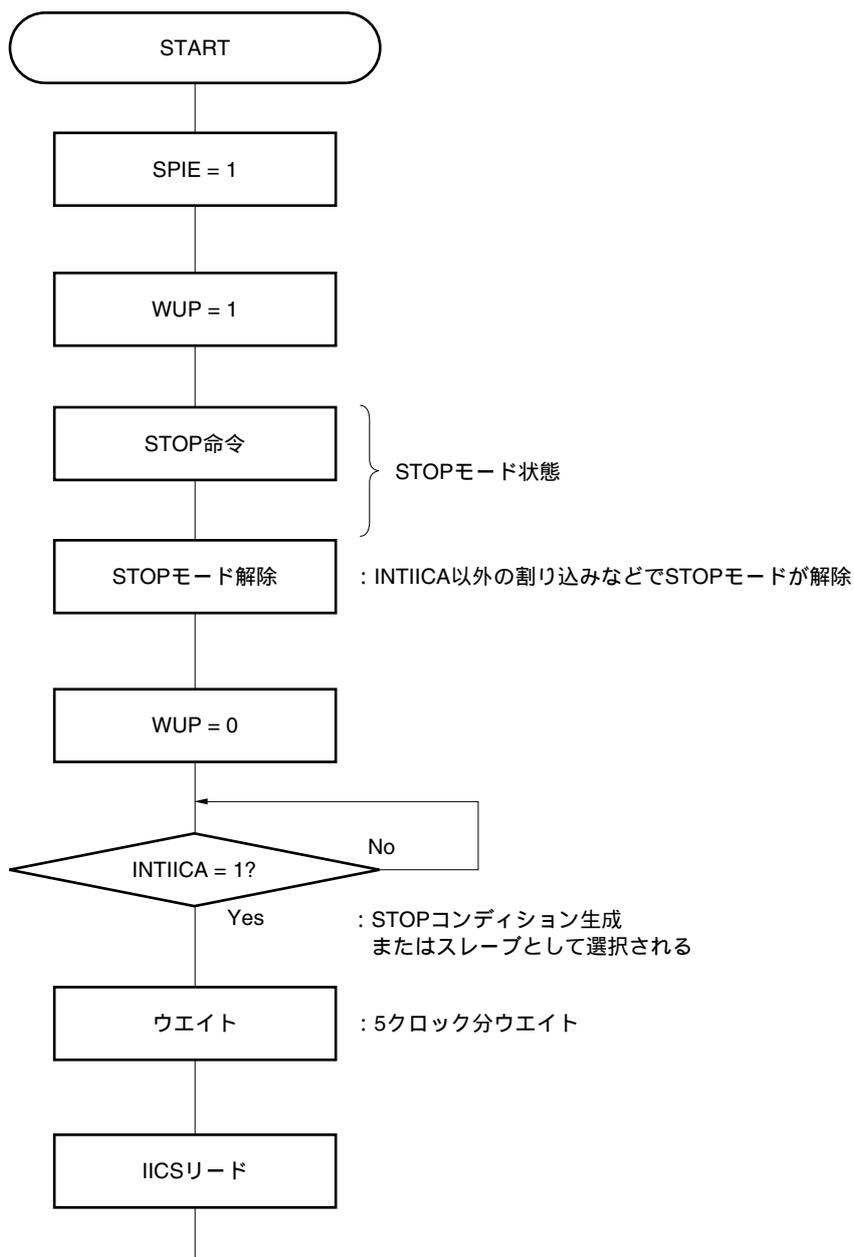


シリアル・インタフェースIICAの動作状態を
確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICA）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図12 - 24のフロー
- ・スレーブとして動作させる場合 : 図12 - 23のフローと同じになります。

図12 - 24 INTIICA以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

12.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICAコントロール・レジスタ0 (IICCTL0) のビット6 (LREL) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL0のビット1 (STT) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICCTL0のビット4 (SPIE) をセット (1) し、割り込み要求信号 (INTIICA) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAに書き込まれたデータは、無効です。

STTをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STTをセット (1) し、ウエイト時間をとったあと、MSTS (IICAステータス・レジスタ (IICS) のビット7) で確認します。

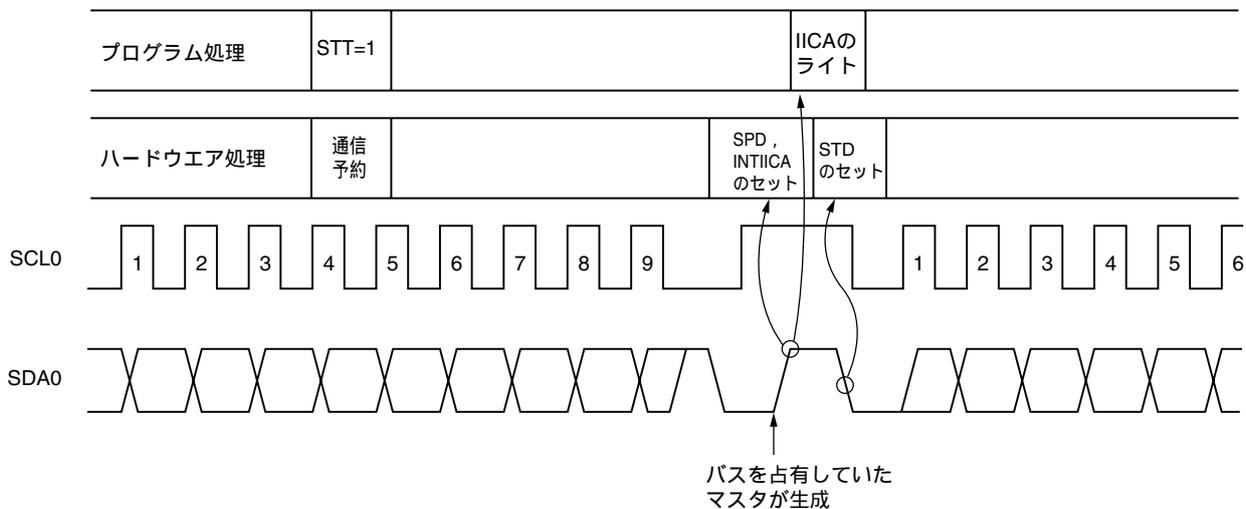
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

<p>STT = 1からMSTSフラグ確認までのウエイト時間： $(\text{IICWLの設定値} + \text{IICWHの設定値} + 4) + t_f \times 2 \times f_{\text{CLK}}$ [クロック]</p>

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_f : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

通信予約のタイミングを図12 - 25に示します。

図12 - 25 通信予約のタイミング



備考 IICA : IICAシフト・レジスタ

STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

STD : IICAステータス・レジスタ (IICS) のビット1

SPD : " のビット0

通信予約は図12 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ (IICS) のビット1 (STD) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) = 1で通信予約をします。

図12 - 26 通信予約受け付けタイミング

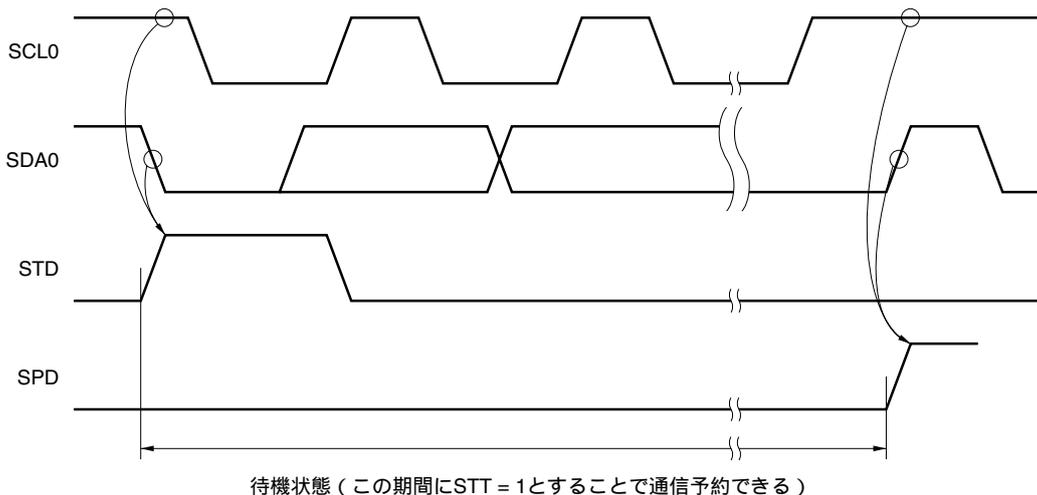
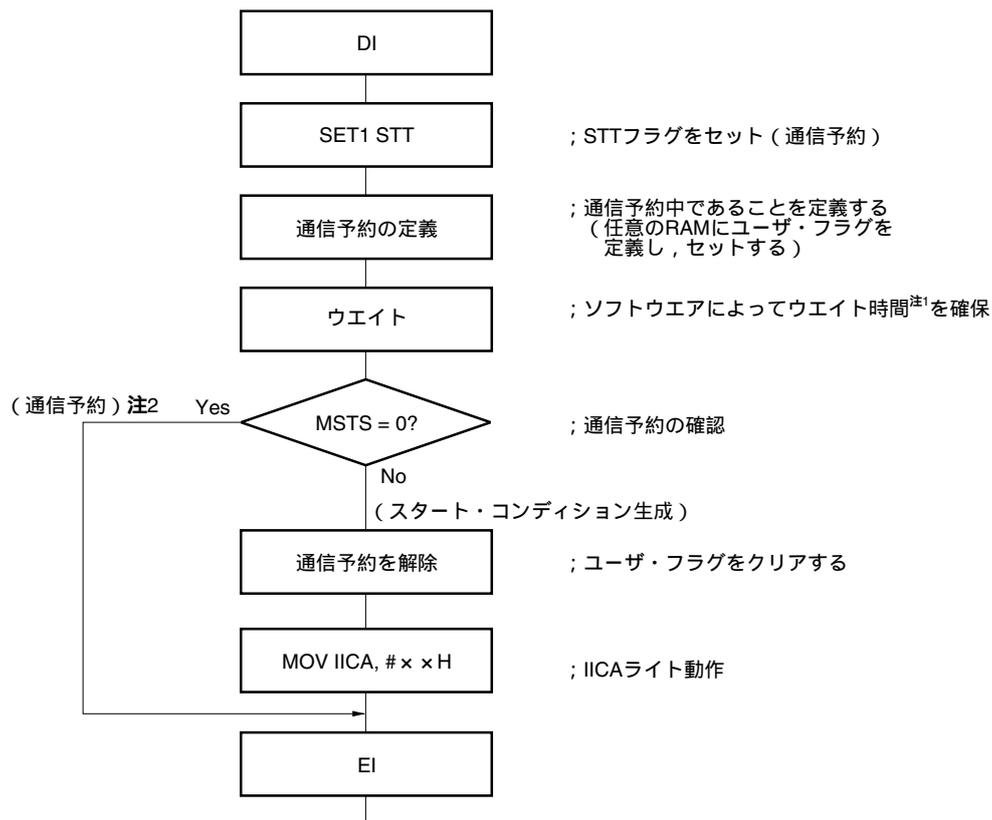


図12 - 27に通信予約の手順を示します。

図12 - 27 通信予約の手順



注1. ウエイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{CLK} \quad [\text{クロック}]$$

- 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

MSTS : IICAステータス・レジスタ (IICS) のビット7

IICA : IICAシフト・レジスタ

IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_F : SDA0, SCL0信号の立ち下がり時間

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態 (IICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT)) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTL0のビット6 (LREL) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICFのビット7) で確認できます。STT = 1としてからSTCFがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

12.5.15 その他の注意事項

(1) STGEN = 0の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICCTL1) を設定する

IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) をセット (1) する

IICCTL0のビット0 (SPT) をセット (1) する

(2) STGEN = 1の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICCTL0のビット4 (SPIE) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA) 発生を禁止する

IICCTL0のビット7 (IICE) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICEをセット (1) してから、4~80クロック中) に、IICCTL0のビット6 (LREL) をセット (1) にし、強制的に検出を無効とする

(4) STT, SPT (IICCTL0のビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIE (IICCTL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAに通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS (IICSのビット7) を検出する場合には、SPIEをセット (1) する必要はありません。

12.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

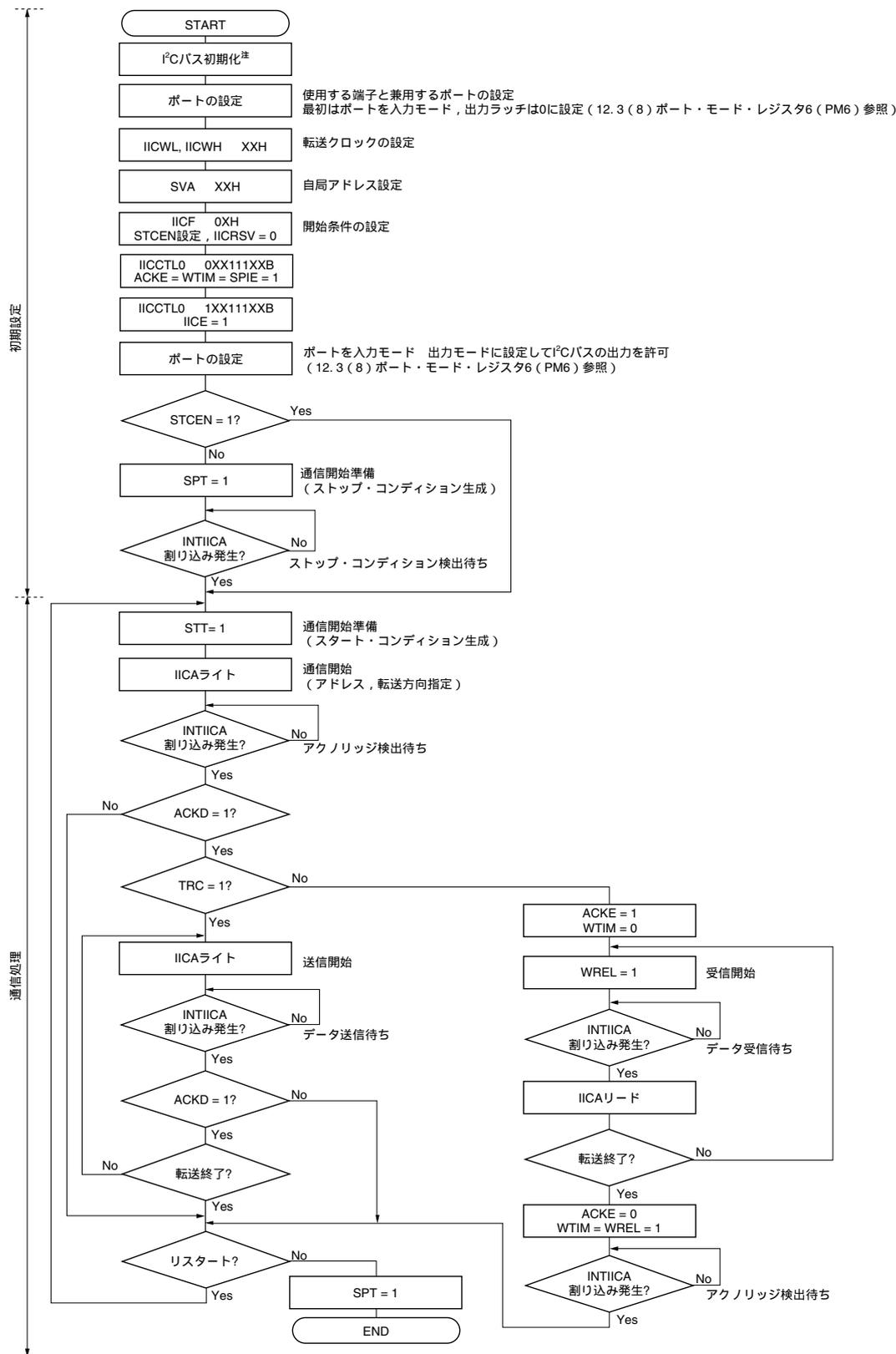
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA割り込みの発生を待ちます。INTIICA割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図12-28 シングルマスタ・システムでのマスタ動作

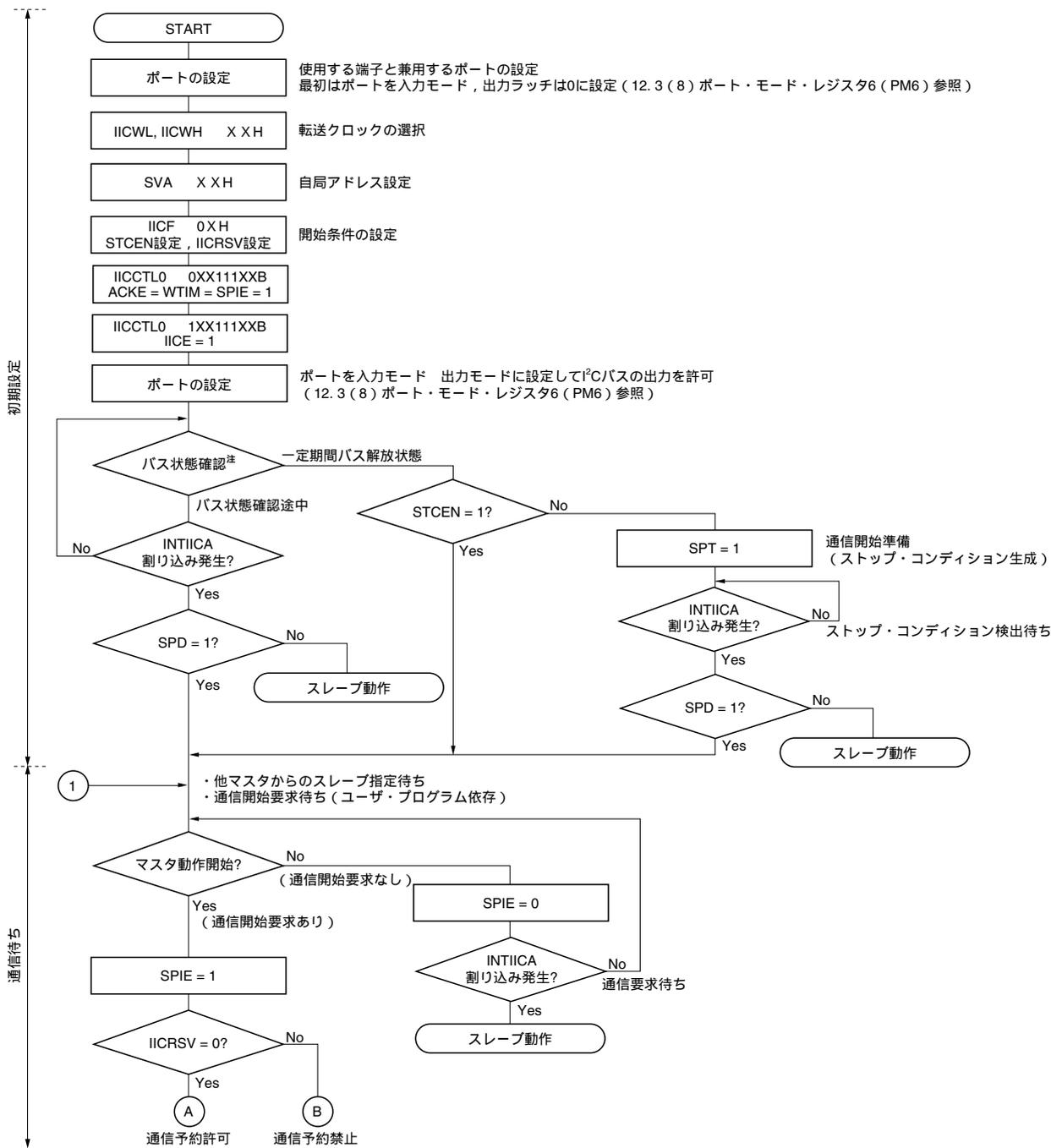


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

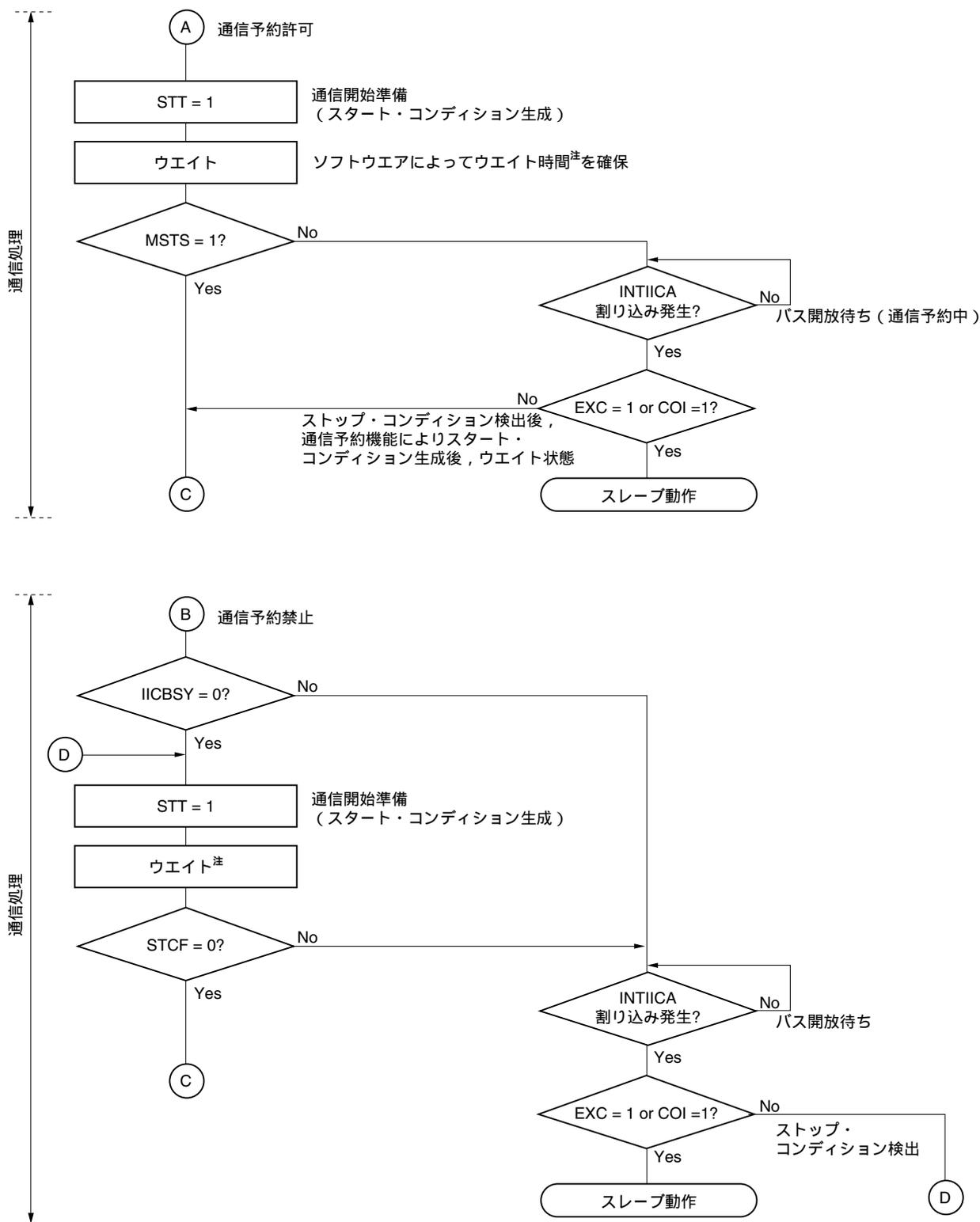
(2) マルチマスタ・システムでのマスタ動作

図12 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDビット = 1, DADビット = 1) であることを確認してください。定常的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図12 - 29 マルチマスタ・システムでのマスタ動作 (2/3)



注 ウェイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4\text{クロック}) / f_{CLK} + t_F \times 2$$

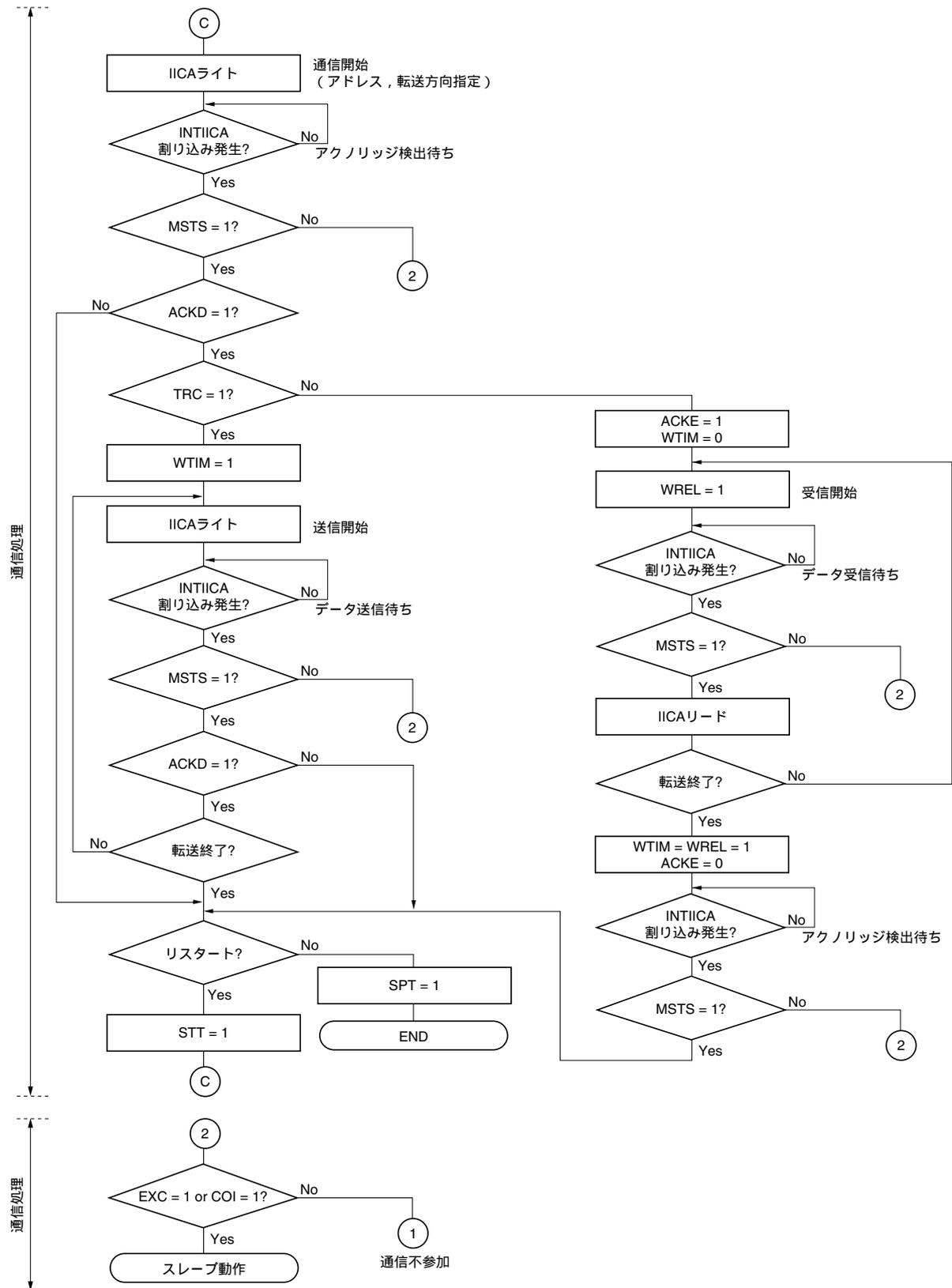
備考 IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_F : SDA0, SCL0信号の立ち下がり時間

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図12 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み発生ごとにMSTSビットをリロードし、アービトレーション結果を確認してください。

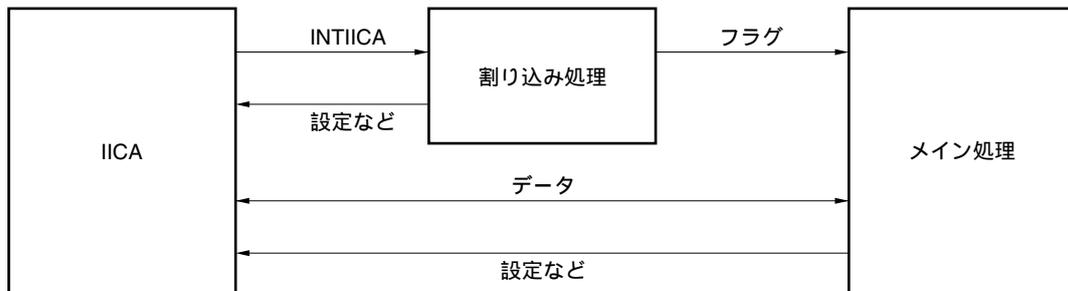
3. マルチマスタ・システムでスレープとして使用する場合は、INTIICA割り込み発生ごとにIICS, IICFレジスタでステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRCの値と同じです。

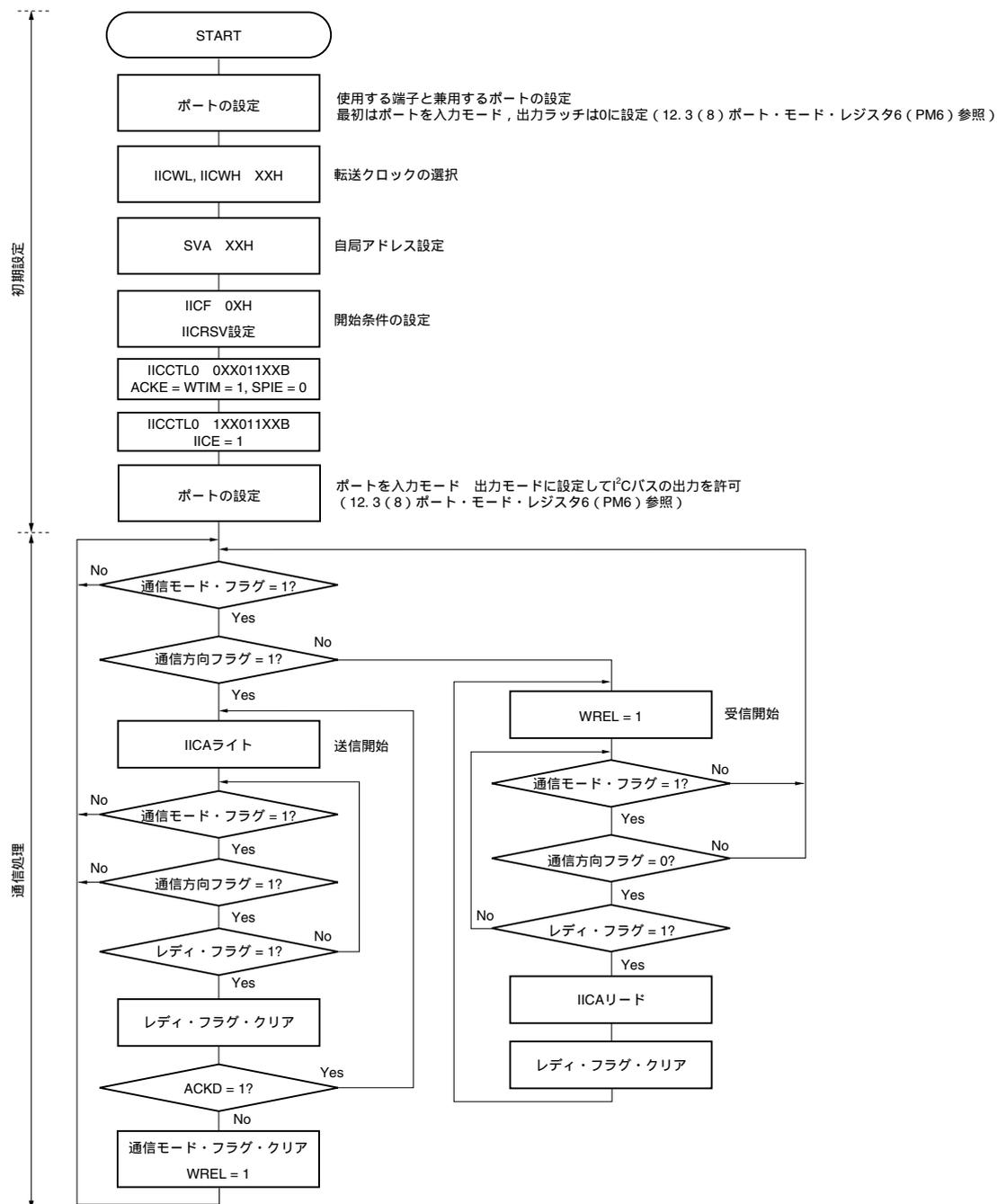
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図12 - 30 スレーブ動作手順（1）



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICA割り込みではステータスを確認して、次のように行います。

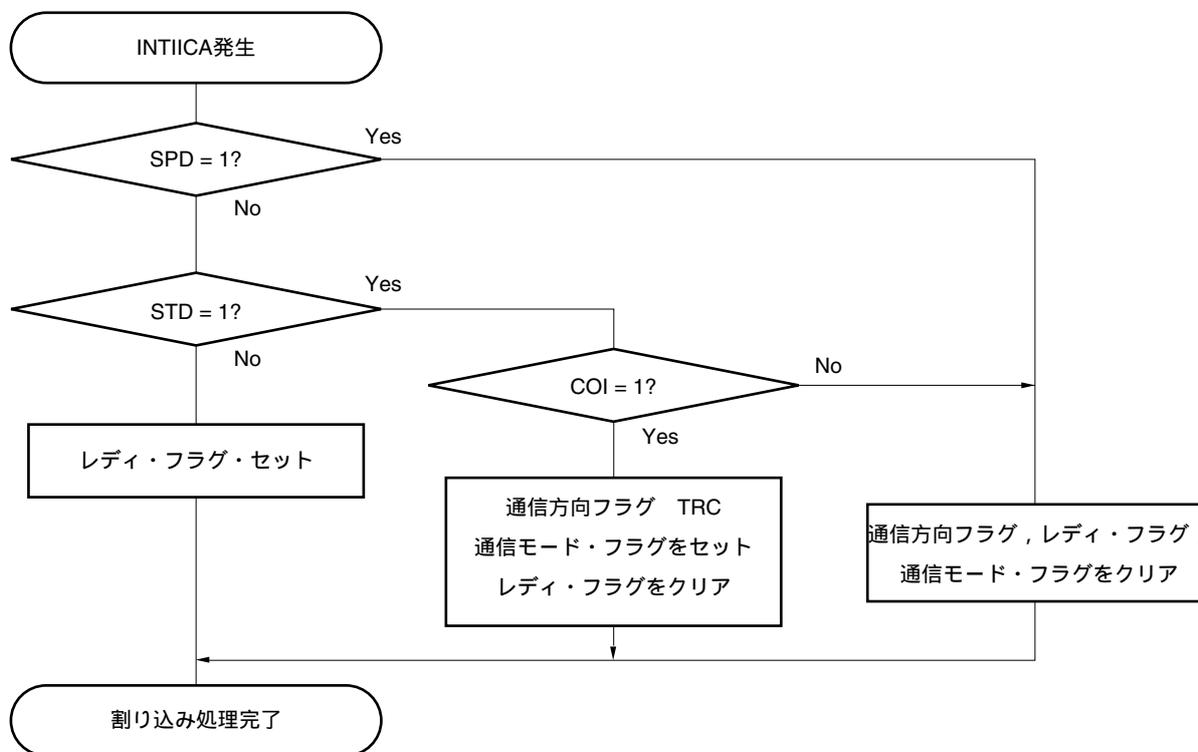
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図12-31 スレーブ動作手順(2)の ~ と対応しています。

図12-31 スレーブ動作手順(2)



12. 5. 17 I²C割り込み要求 (INTIICA) の発生タイミング

次に、データの送受信、INTIICA割り込み要求信号発生タイミングと、INTIICA信号タイミングでのIICSレジスタの値を示します。

備考	ST	: スタート・コンディション
	AD6-AD0	: アドレス
	R \overline{W}	: 転送方向指定
	\overline{ACK}	: アクノリッジ
	D7-D0	: データ
	SP	: ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM = 0 のとき

SPT = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4 5

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 000B
 3 : IICS = 1000 × 000B (WTIMをセット(1))^注
 4 : IICS = 1000 × × 00B (SPTをセット(1))
 5 : IICS = 00000001B

注 ストップ・コンディションを生成するために、WTIMをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

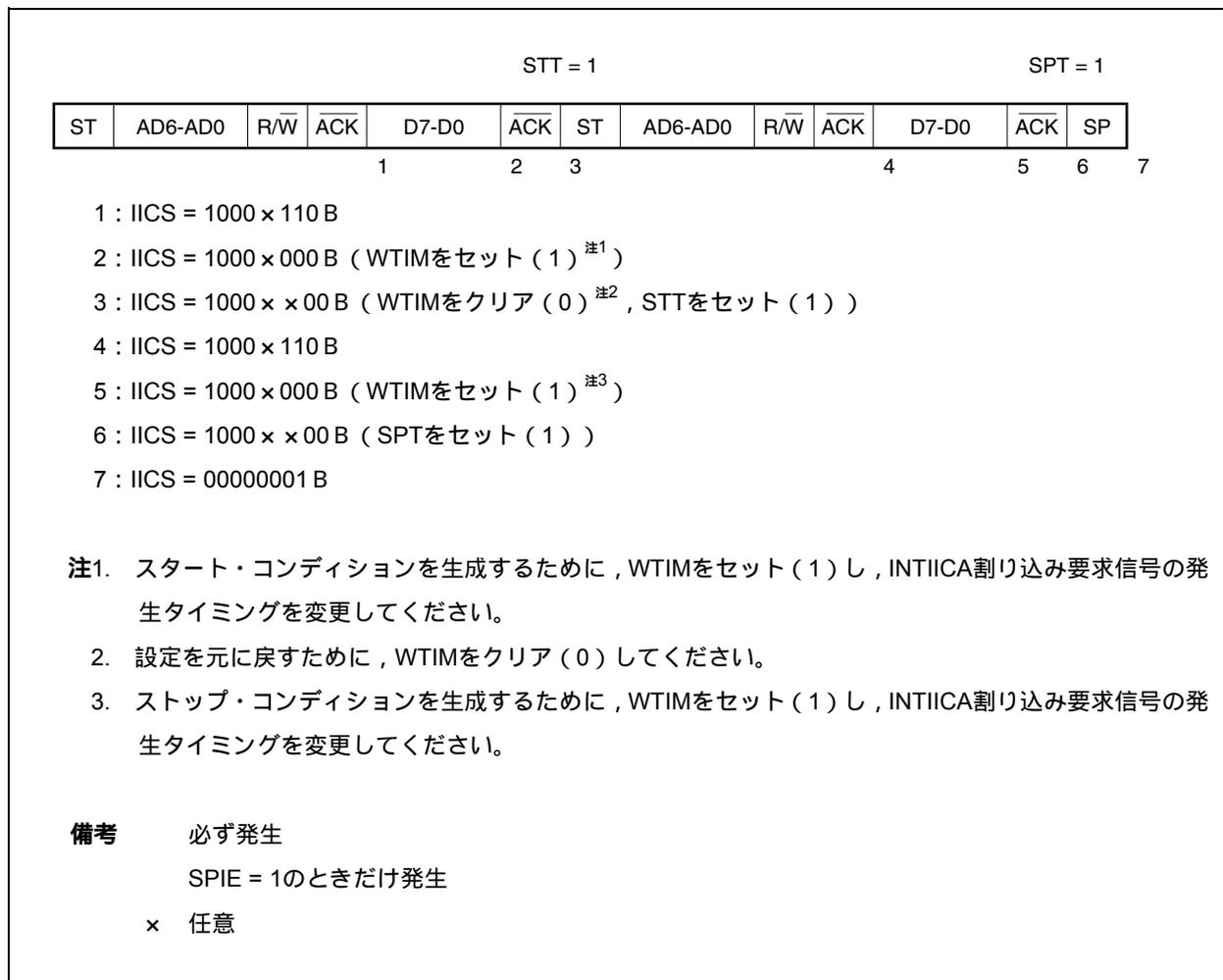
SPT = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 100B
 3 : IICS = 1000 × × 00B (SPTをセット(1))
 4 : IICS = 00000001B

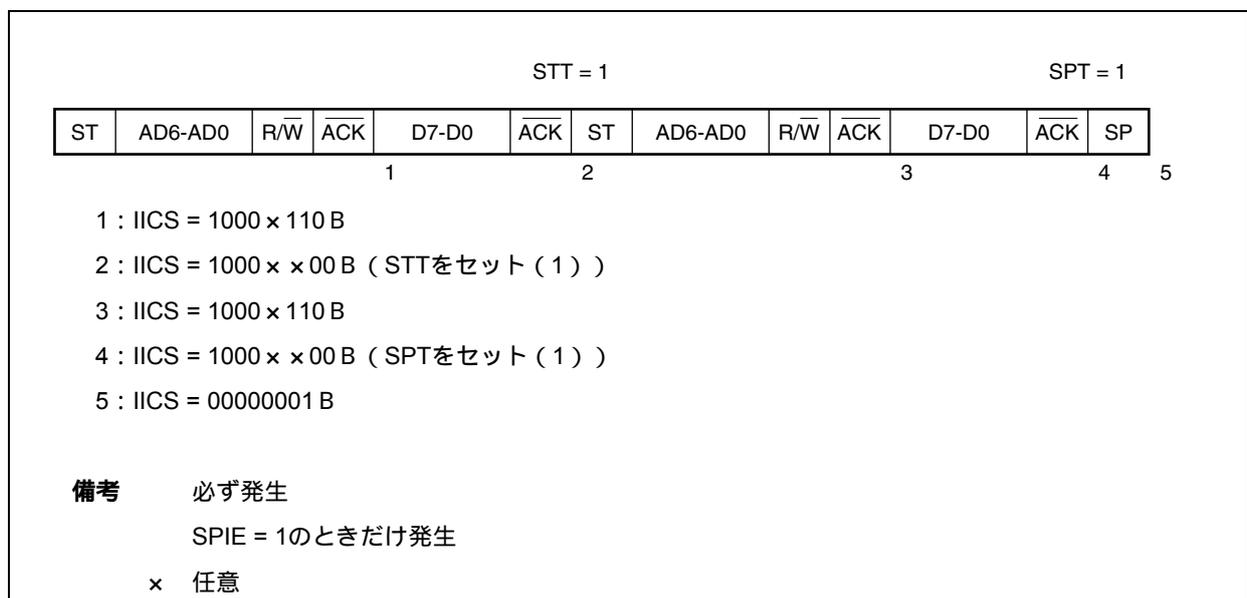
備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM = 0 のとき

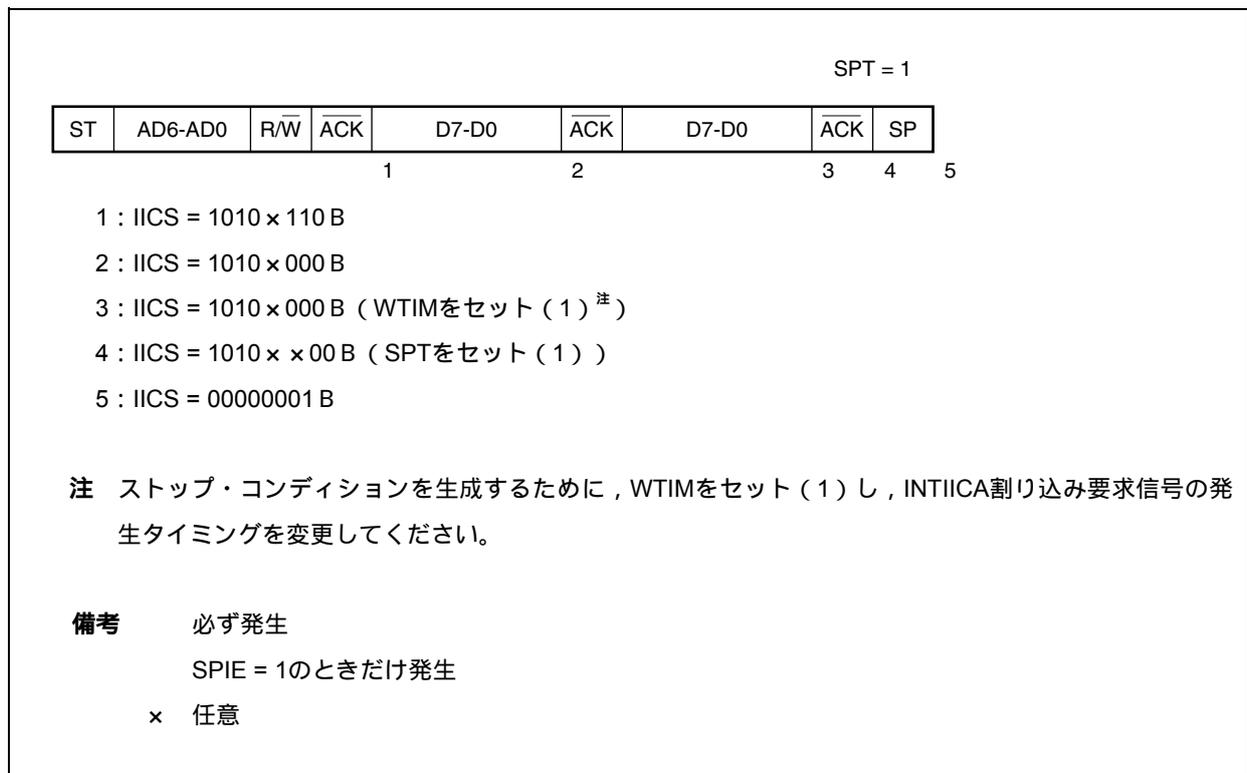


(ii) WTIM = 1 のとき

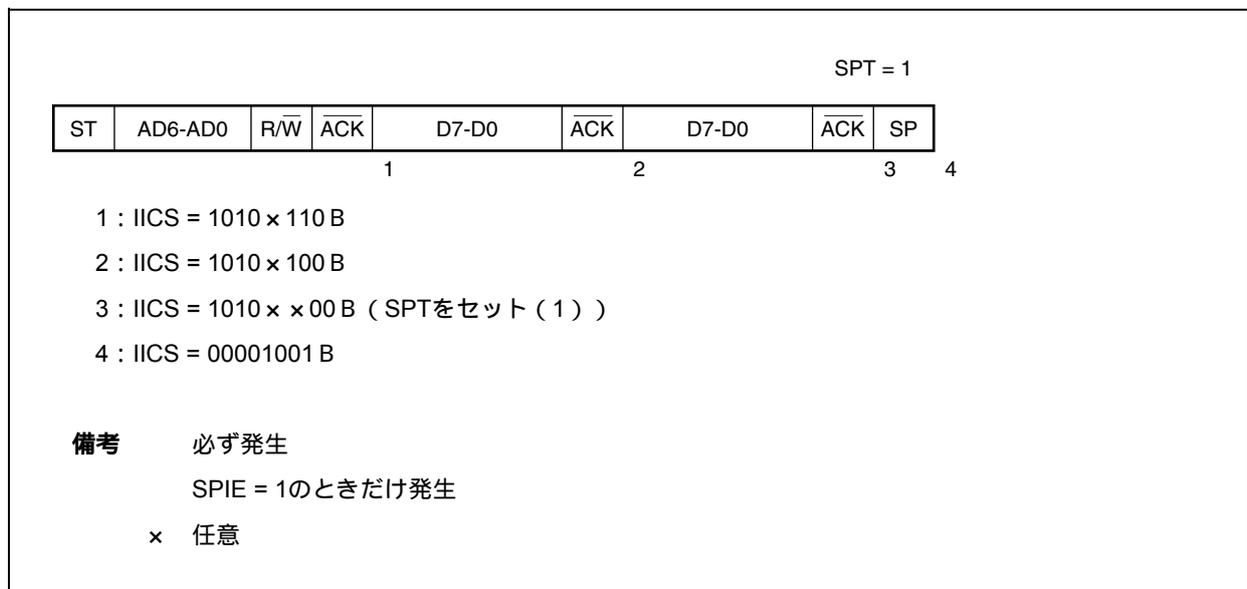


(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM = 0 のとき



(ii) WTIM = 1 のとき



(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 000 B

3 : IICS = 0001 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 100 B

3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 000 B

3 : IICS = 0001 × 110 B

4 : IICS = 0001 × 000 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき (リスタート後, SVA一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × × 00 B

3 : IICS = 0001 × 110 B

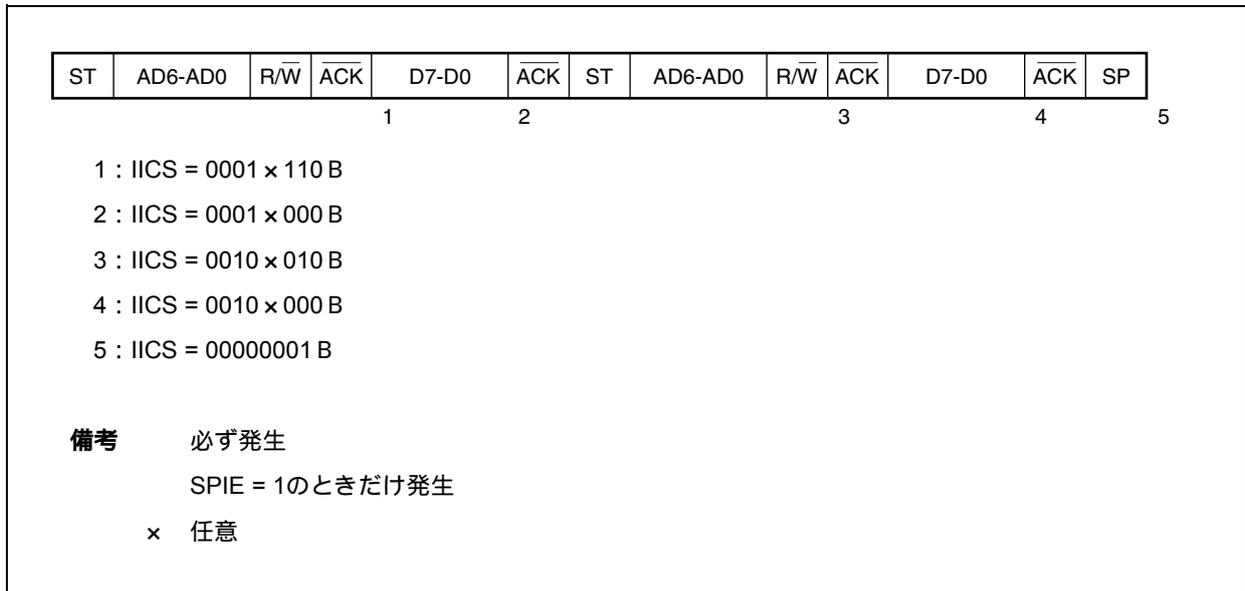
4 : IICS = 0001 × × 00 B

5 : IICS = 00000001 B

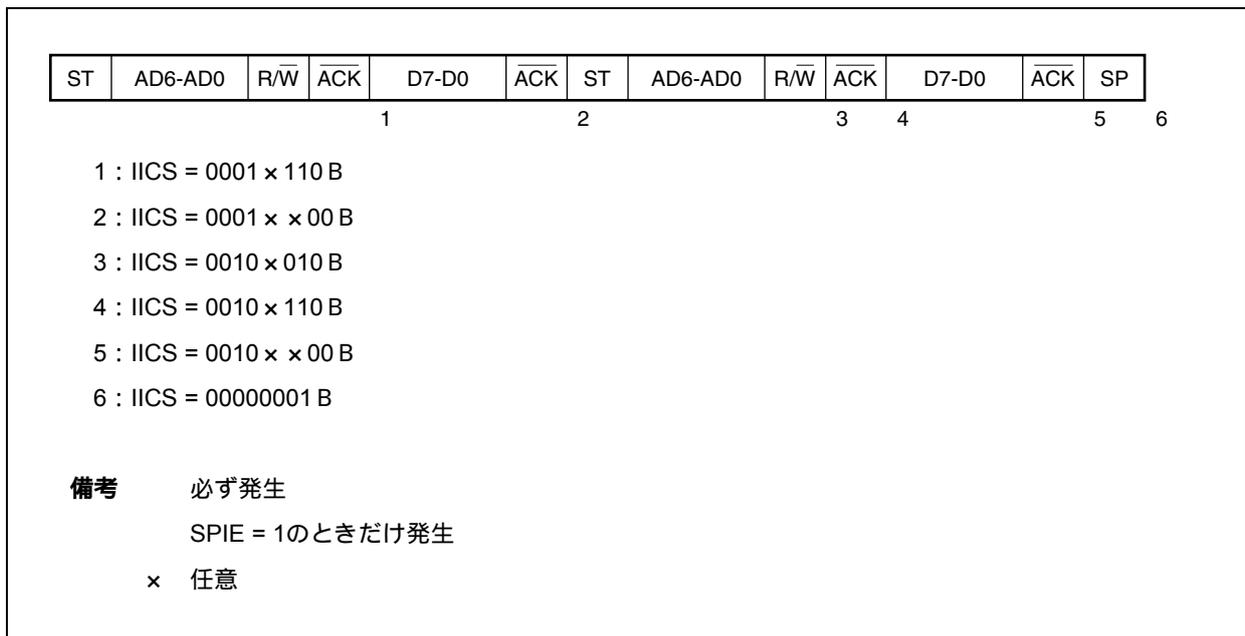
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード))

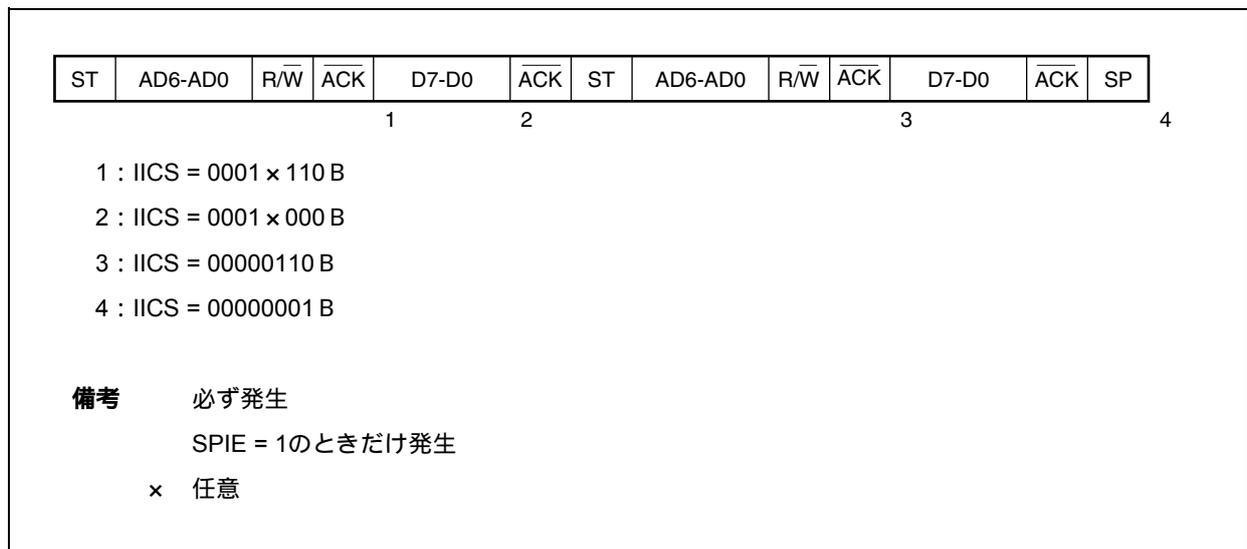


(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード))

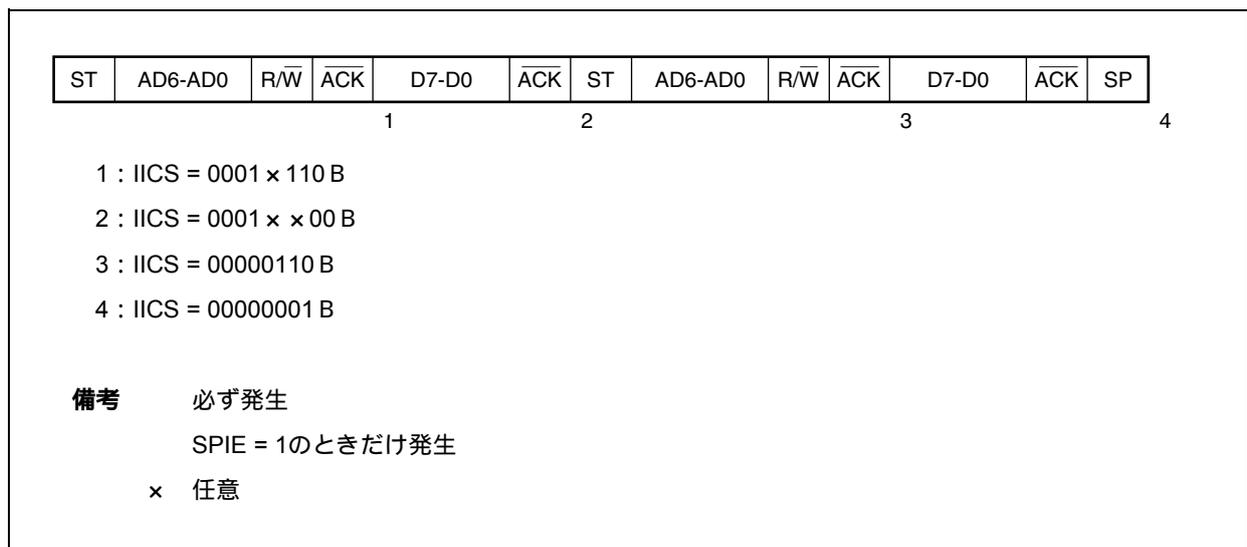


(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2		3		4 5

1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

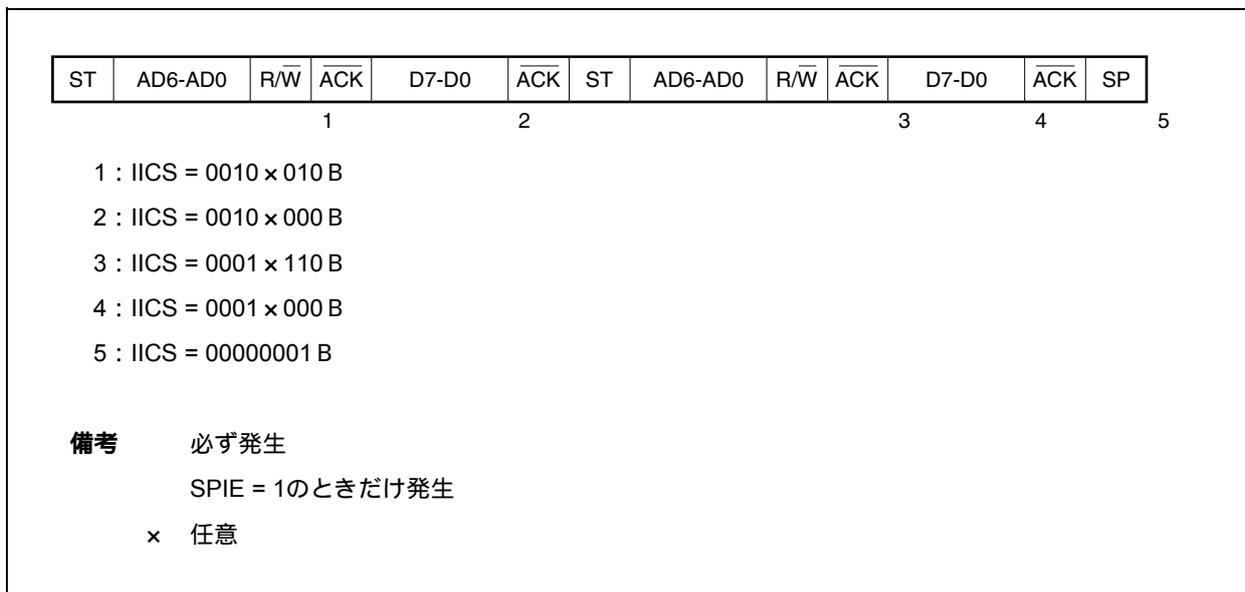
4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

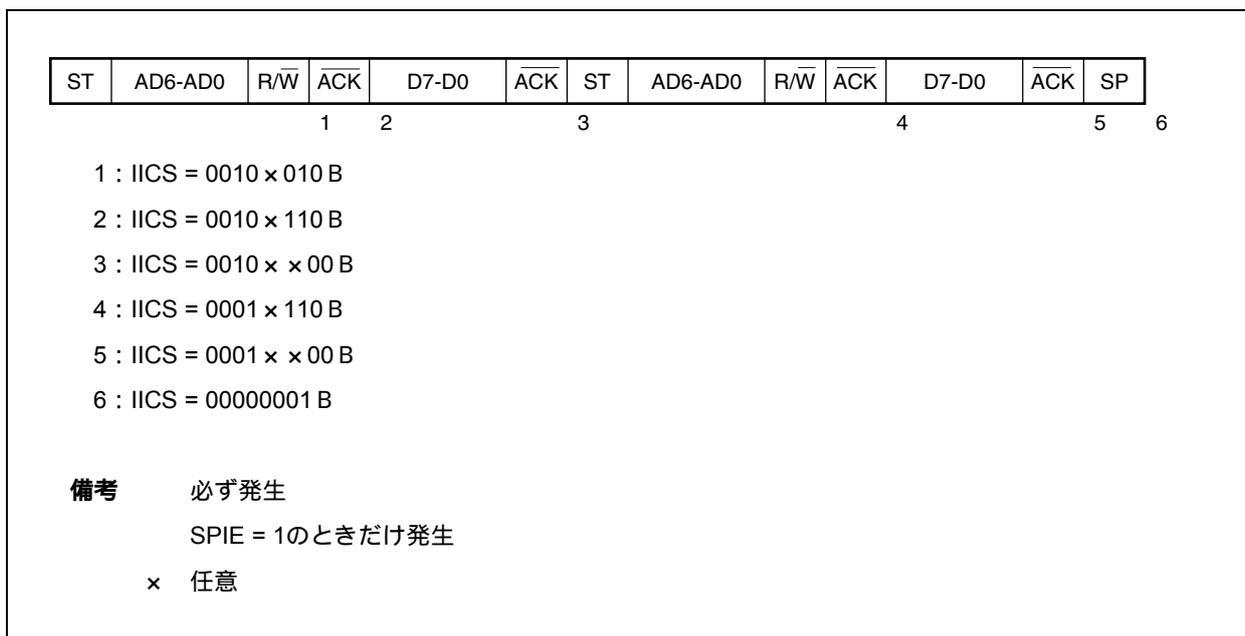
備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

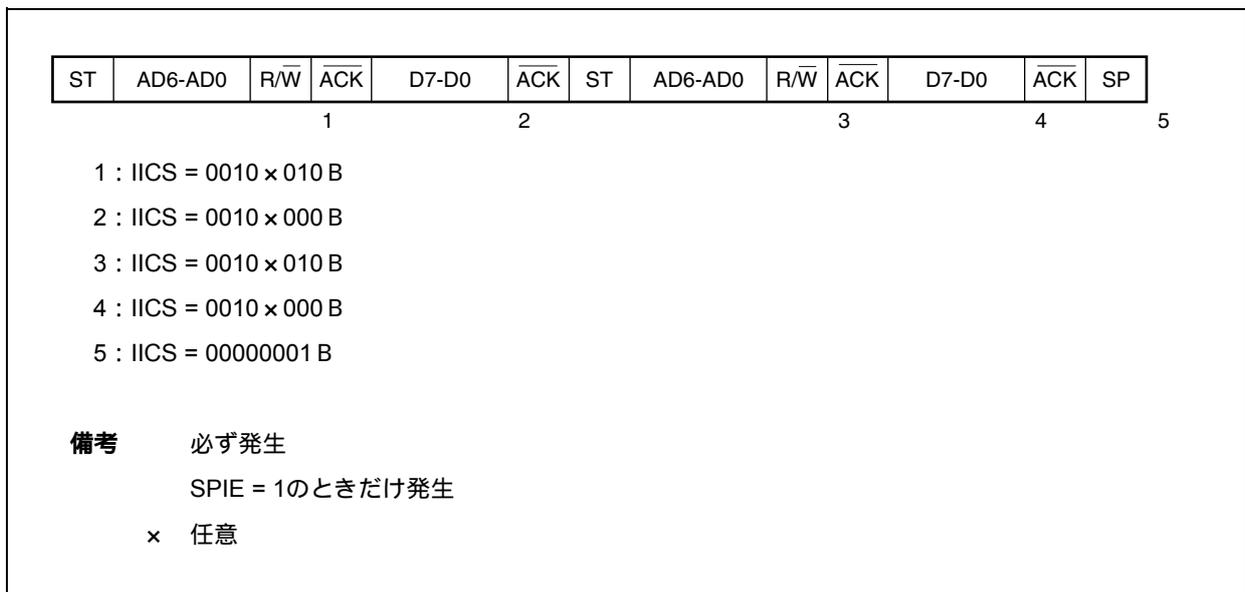


(ii) WTIM = 1 のとき (リスタート後, SVA一致)

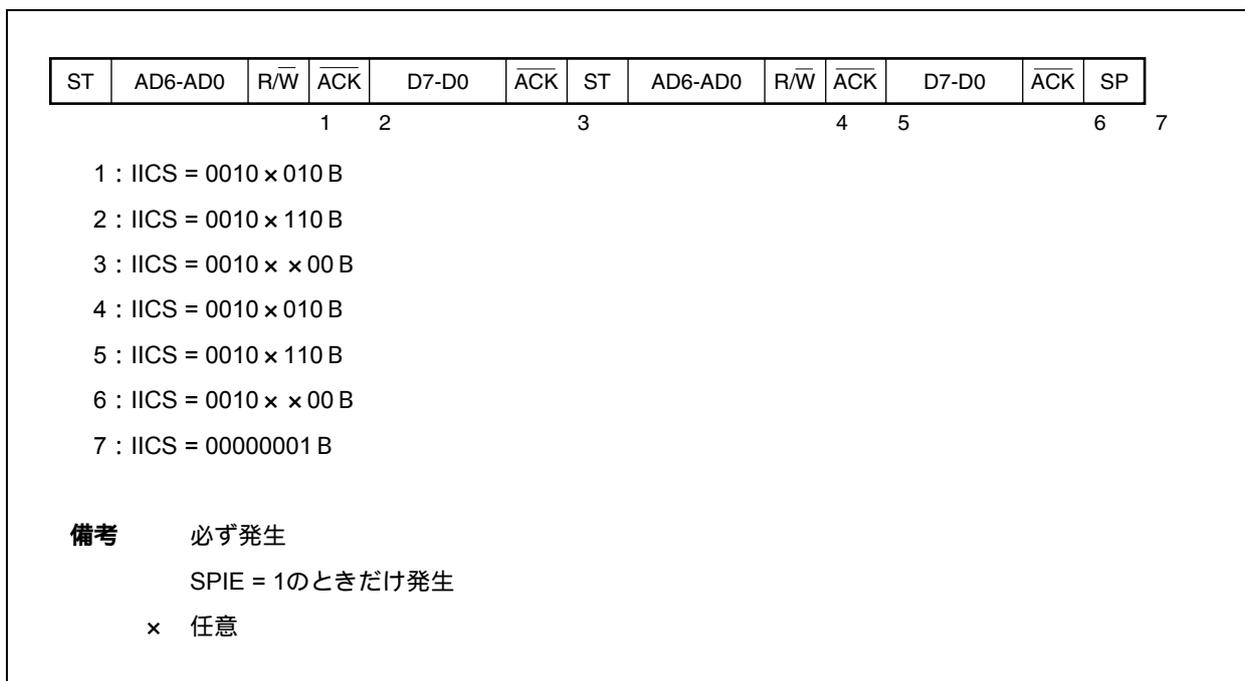


(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, 拡張コード受信)

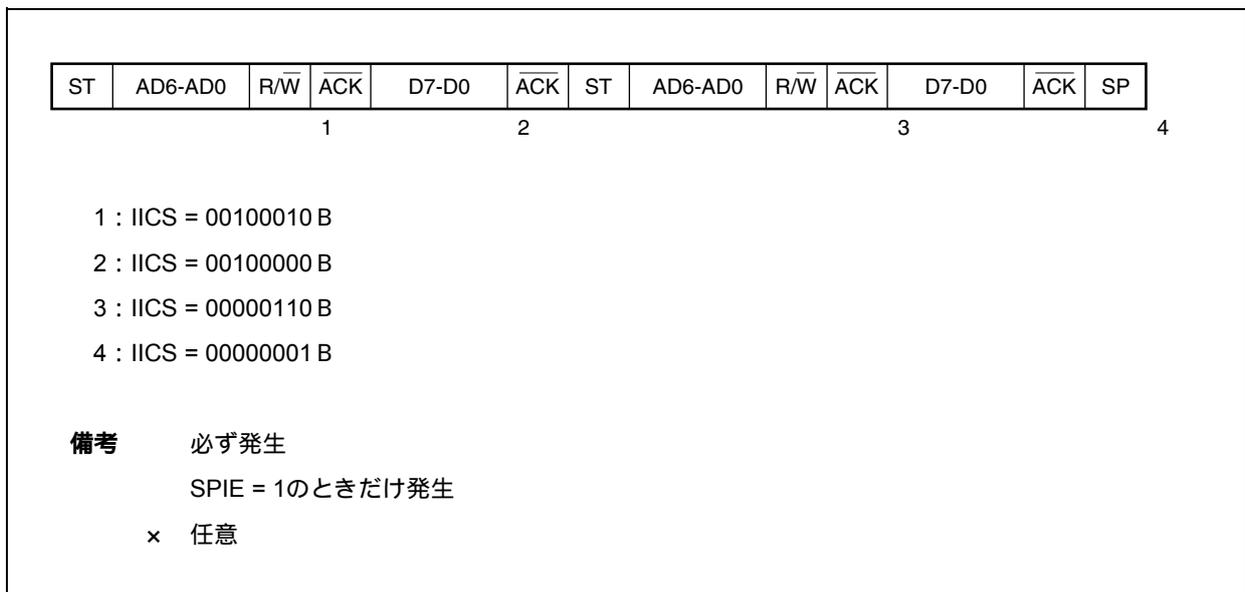


(ii) WTIM = 1 のとき (リスタート後, 拡張コード受信)

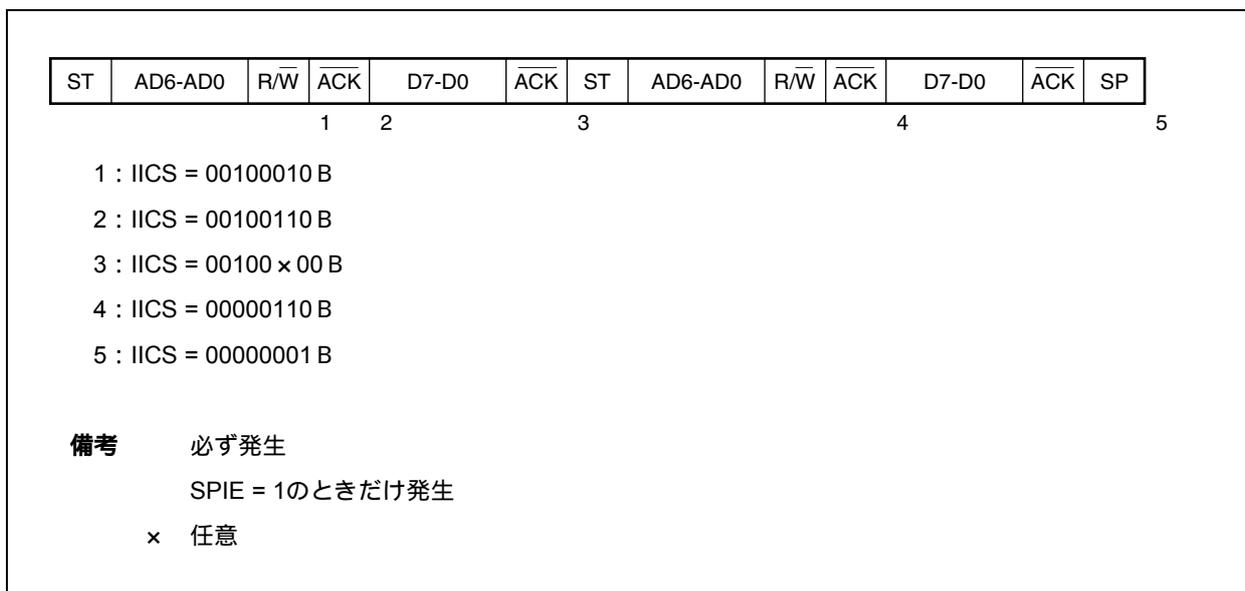


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))

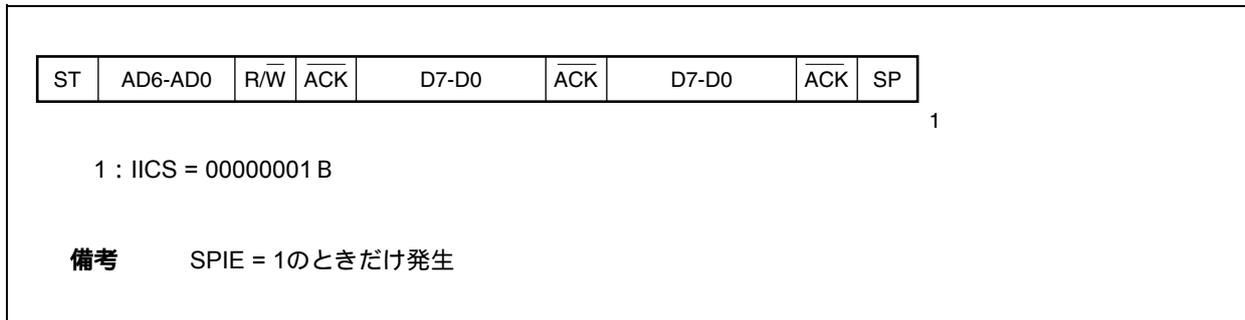


(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

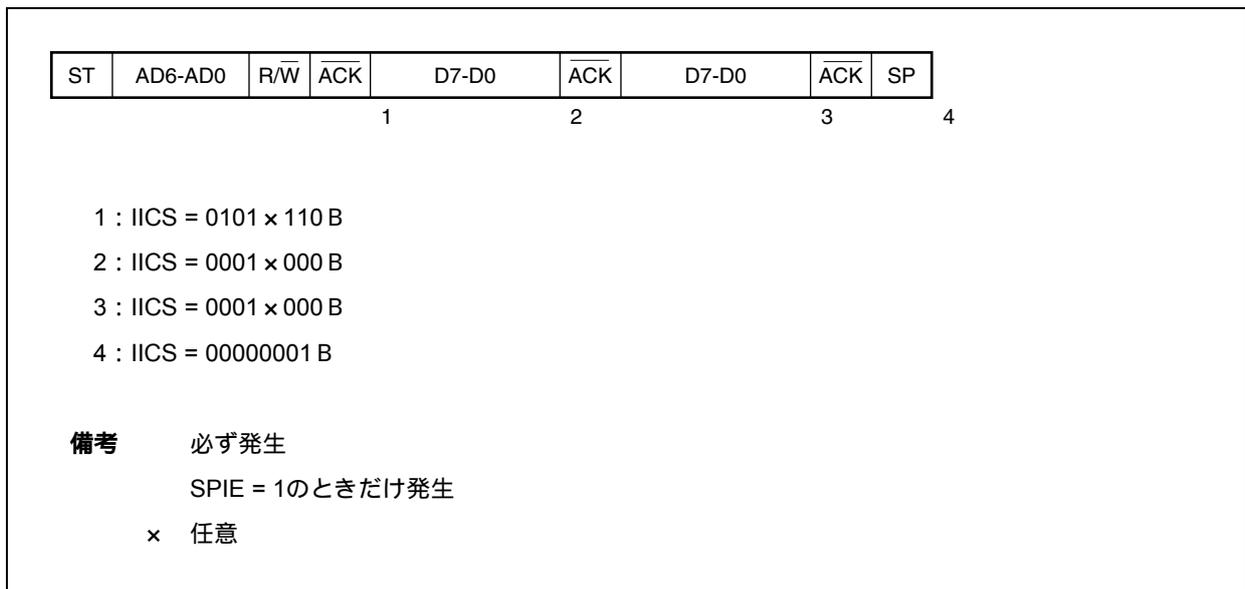


(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み要求信号の発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM = 0のとき



(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0101 × 110 B

2 : IICS = 0001 × 100 B

3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4 5	

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA 割り込み要求信号の発生ごとに MSTS ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM = 1 のとき)

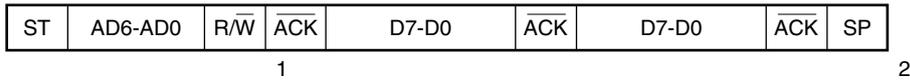
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICS = 01000110 B

2 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS = 0110 × 010 B

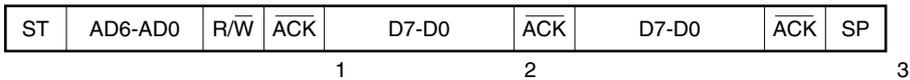
ソフトウェアで LREL = 1 を設定

2 : IICS = 00000001 B

備考 必ず発生
SPIE = 1 のときだけ発生
× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM = 0 のとき



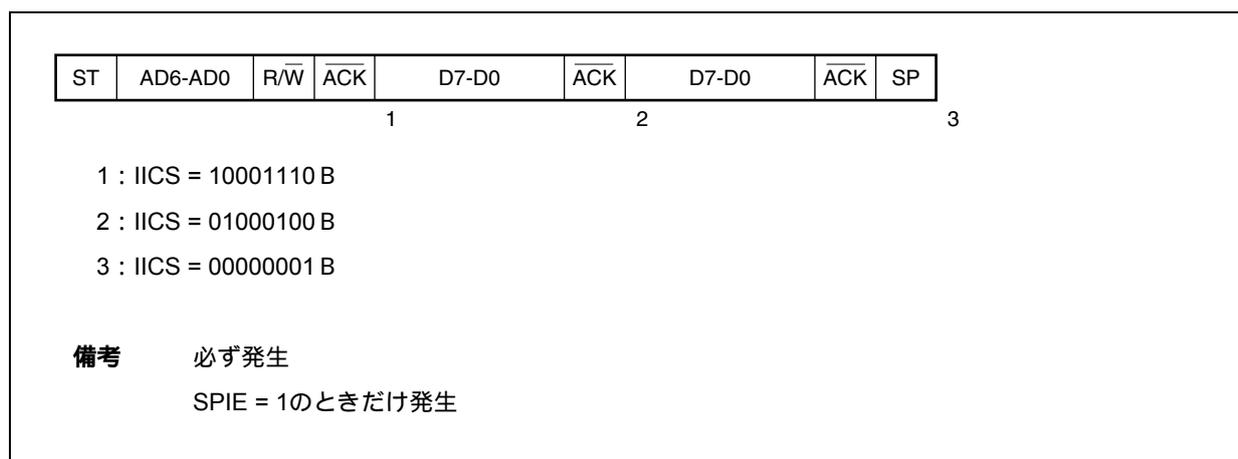
1 : IICS = 10001110 B

2 : IICS = 01000000 B

3 : IICS = 00000001 B

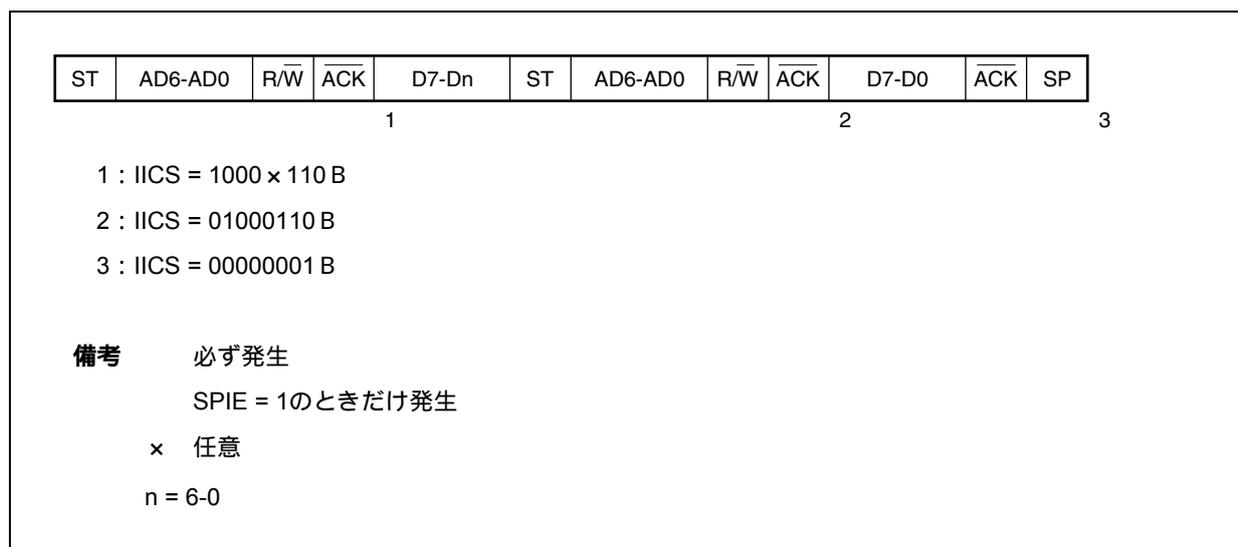
備考 必ず発生
SPIE = 1 のときだけ発生

(ii) WTIM = 1 のとき



(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA不一致)



(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS = 1000 × 110 B

2 : IICS = 01100010 B

ソフトウェアでLREL = 1を設定

3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意
 n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

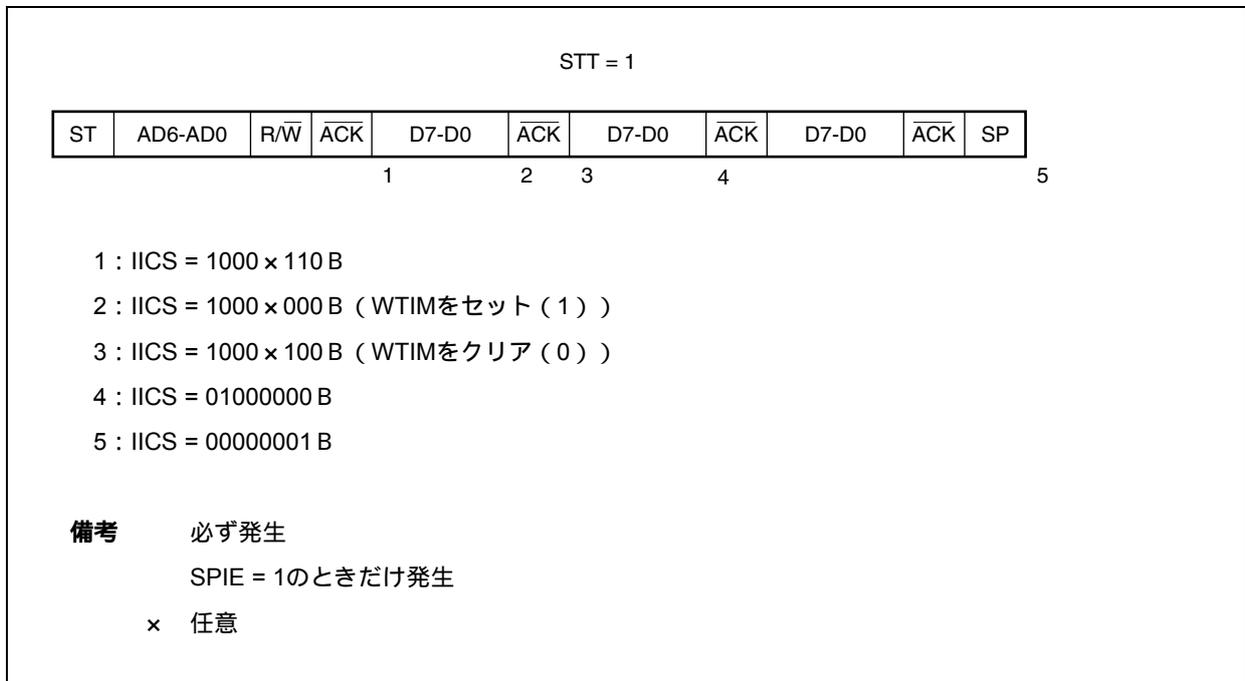
1 : IICS = 10000110 B

2 : IICS = 01000001 B

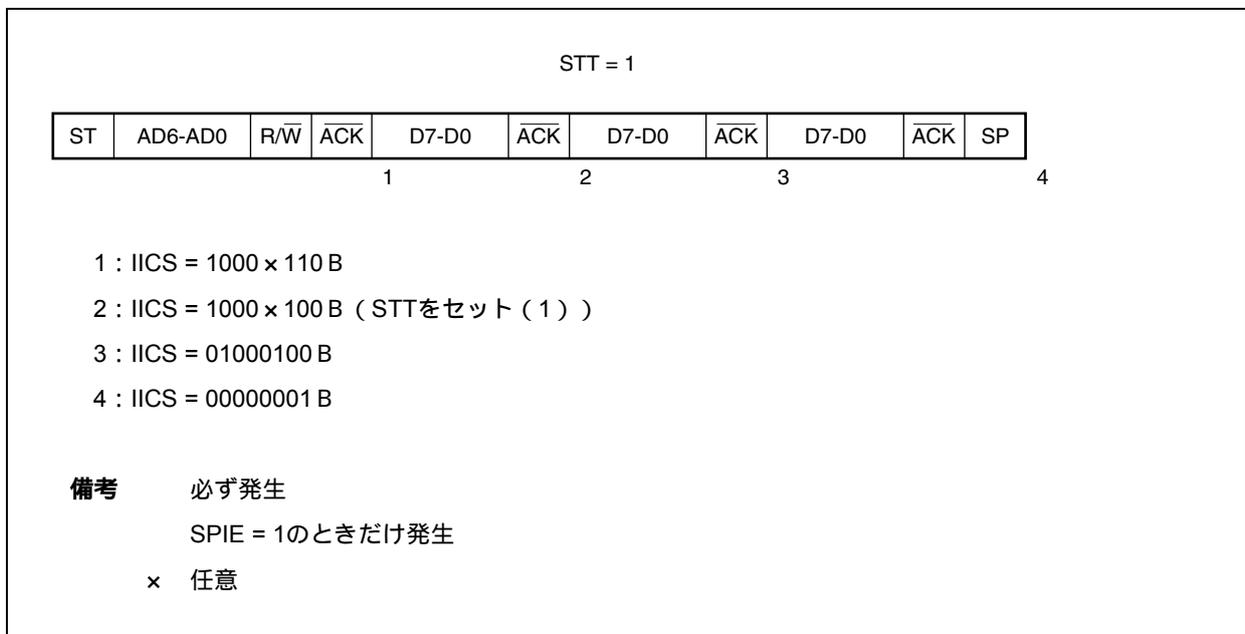
備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意
 n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき

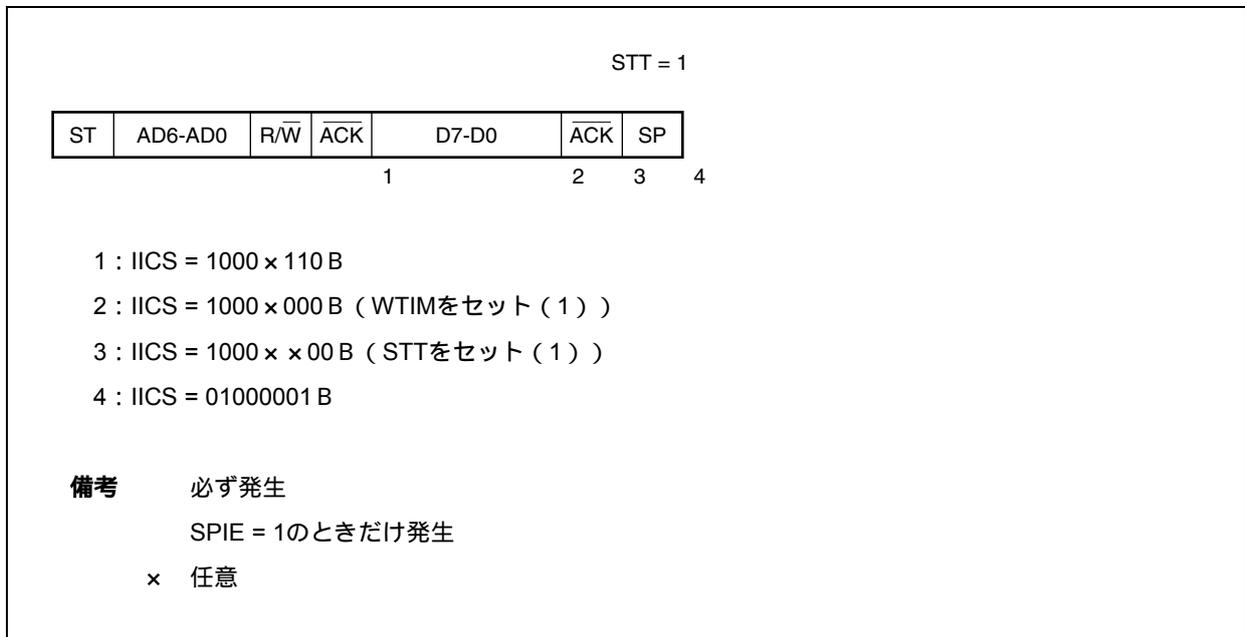


(ii) WTIM = 1 のとき



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM = 0 のとき

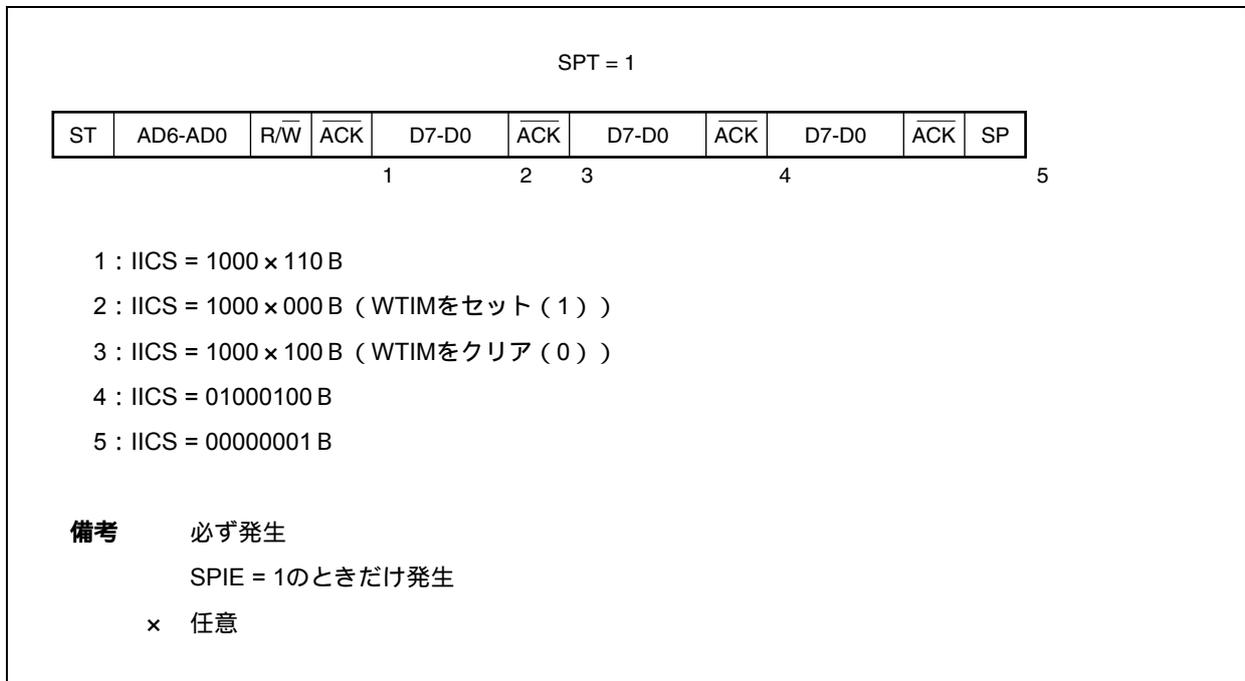


(ii) WTIM = 1 のとき

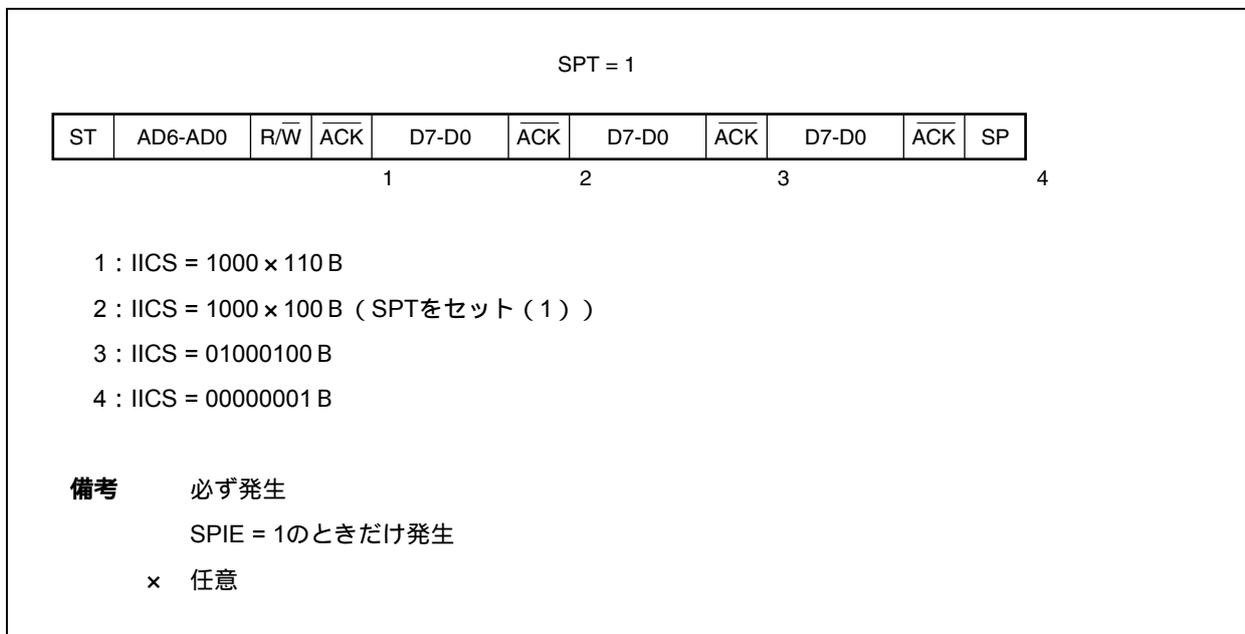


(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき



(ii) WTIM = 1 のとき



12.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビット（IICAステータス・レジスタ（IICS）のビット3）を送信し、スレーブとのシリアル通信を開始します。

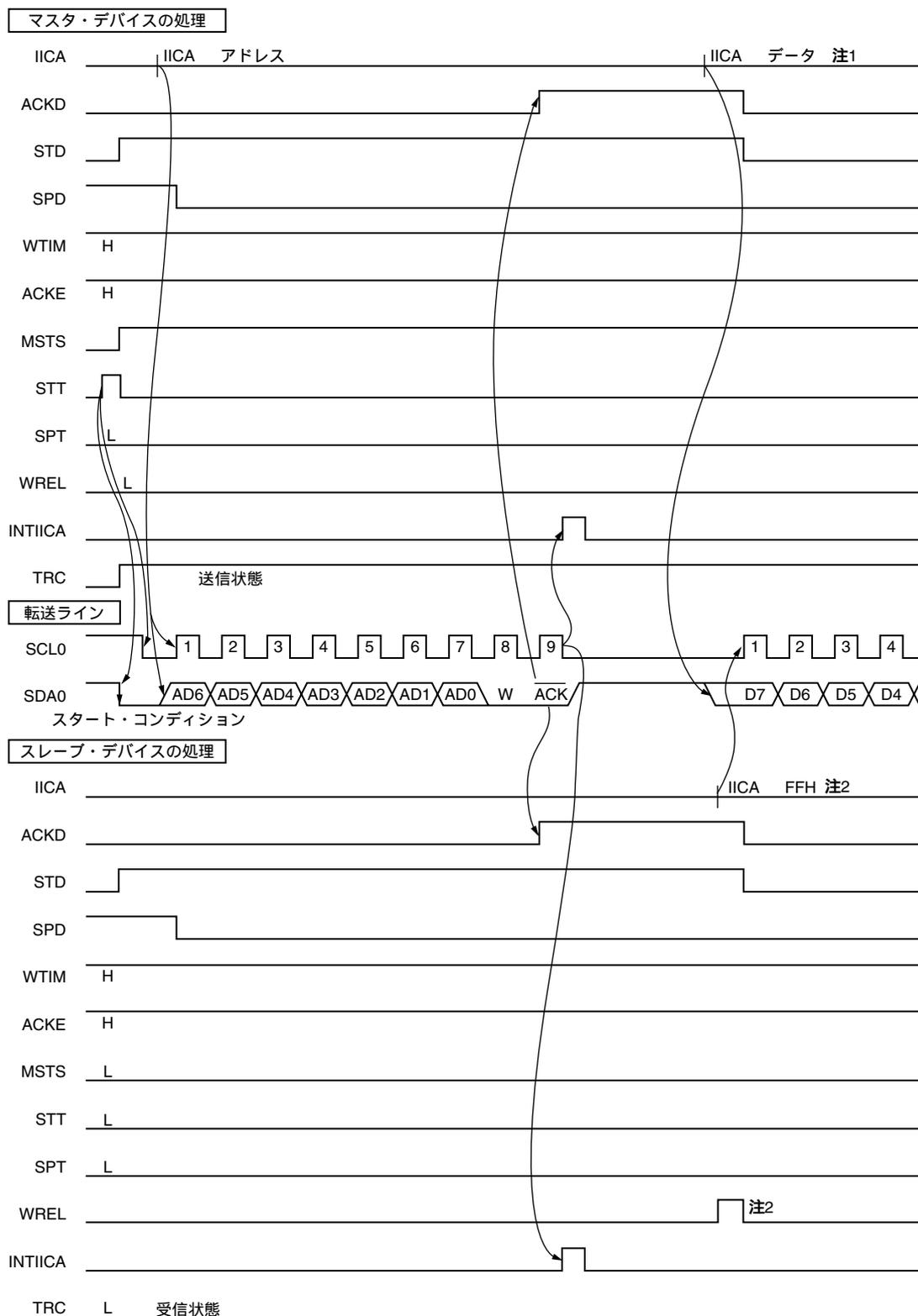
データ通信のタイミング・チャートを図12 - 32，図12 - 33に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIICAに取り込まれます。

図12 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス

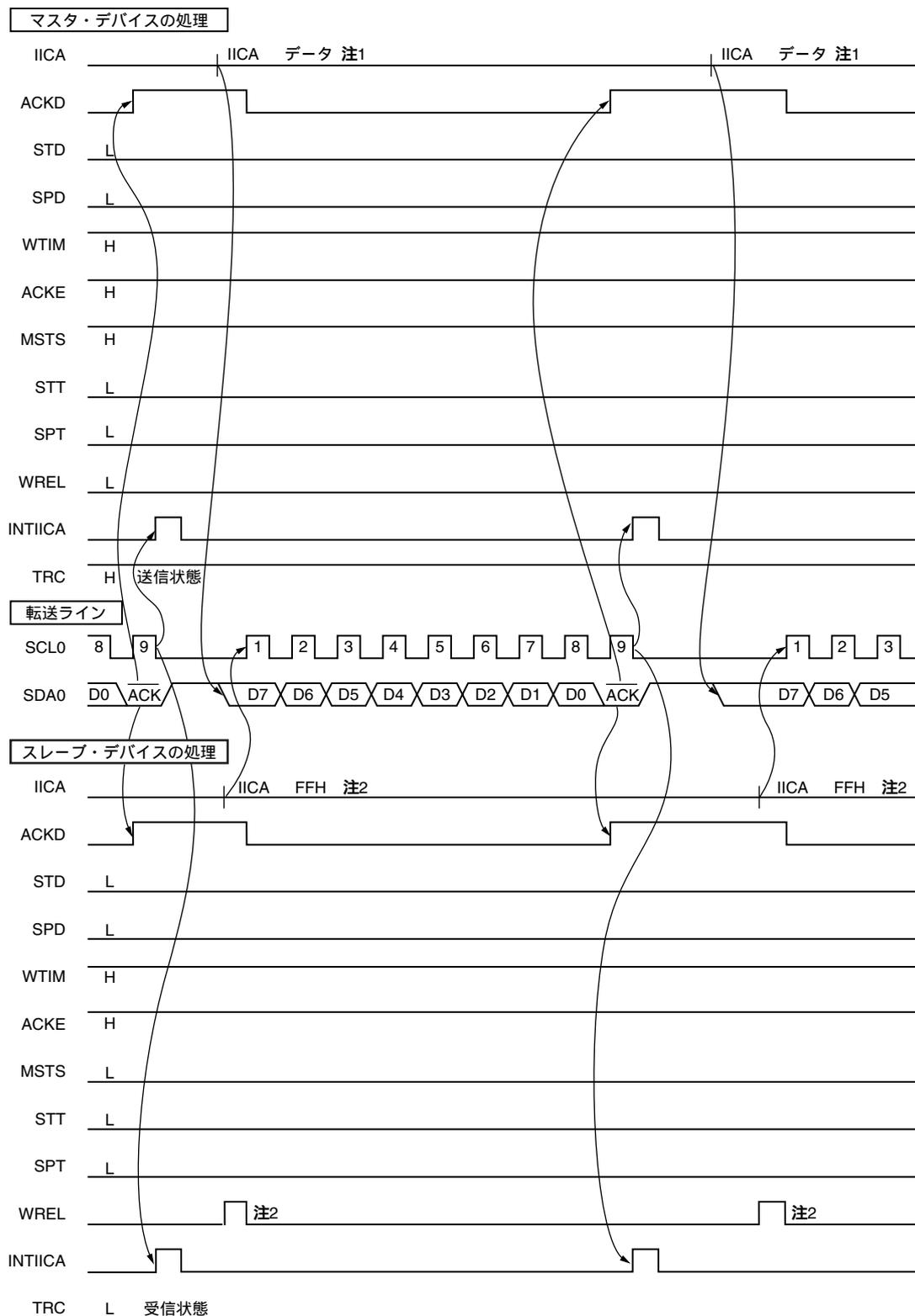


注1. マスタ送信時のウエイト解除は、WRELのセットではなく、IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA FFHまたはWRELのセットのどちらかで行ってください。

図12 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

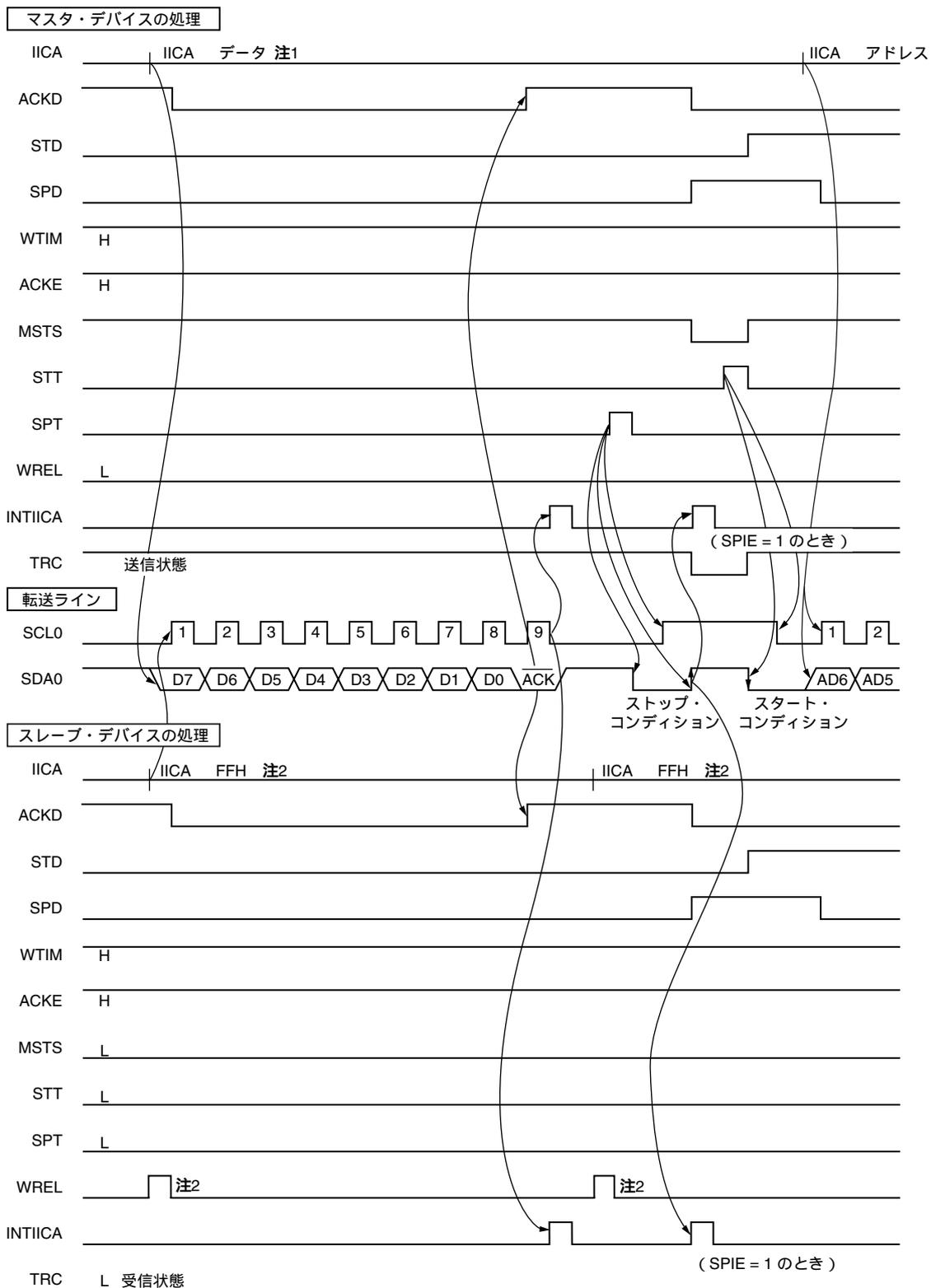


注1. マスタ送信時のウエイト解除は、WRELのセットではなく、IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA FFHまたはWRELのセットのどちらかで行ってください。

図12 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

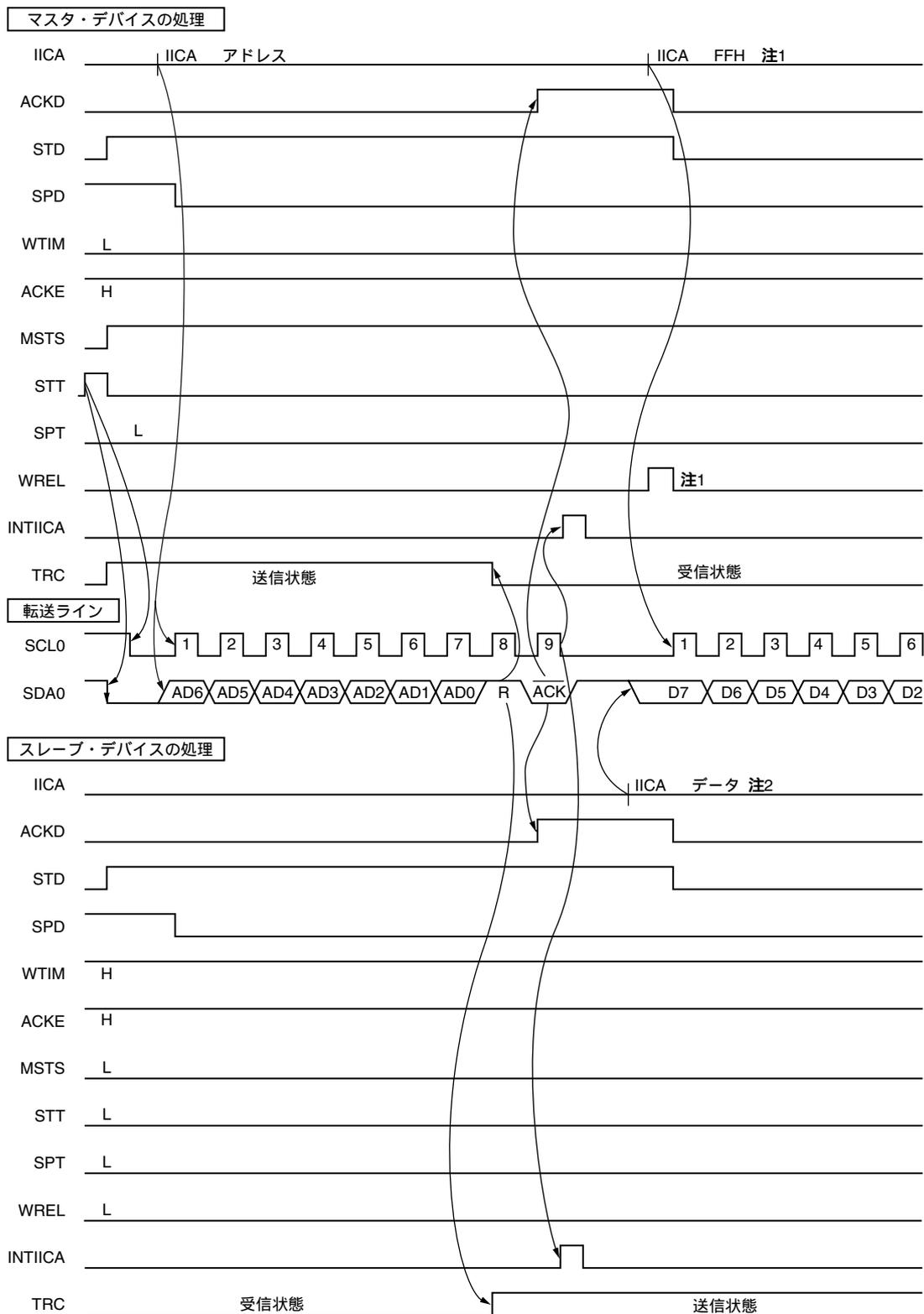
(3) ストップ・コンディション



- 注1. マスタ送信時のウエイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。
- 2. スレーブ・ウエイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス

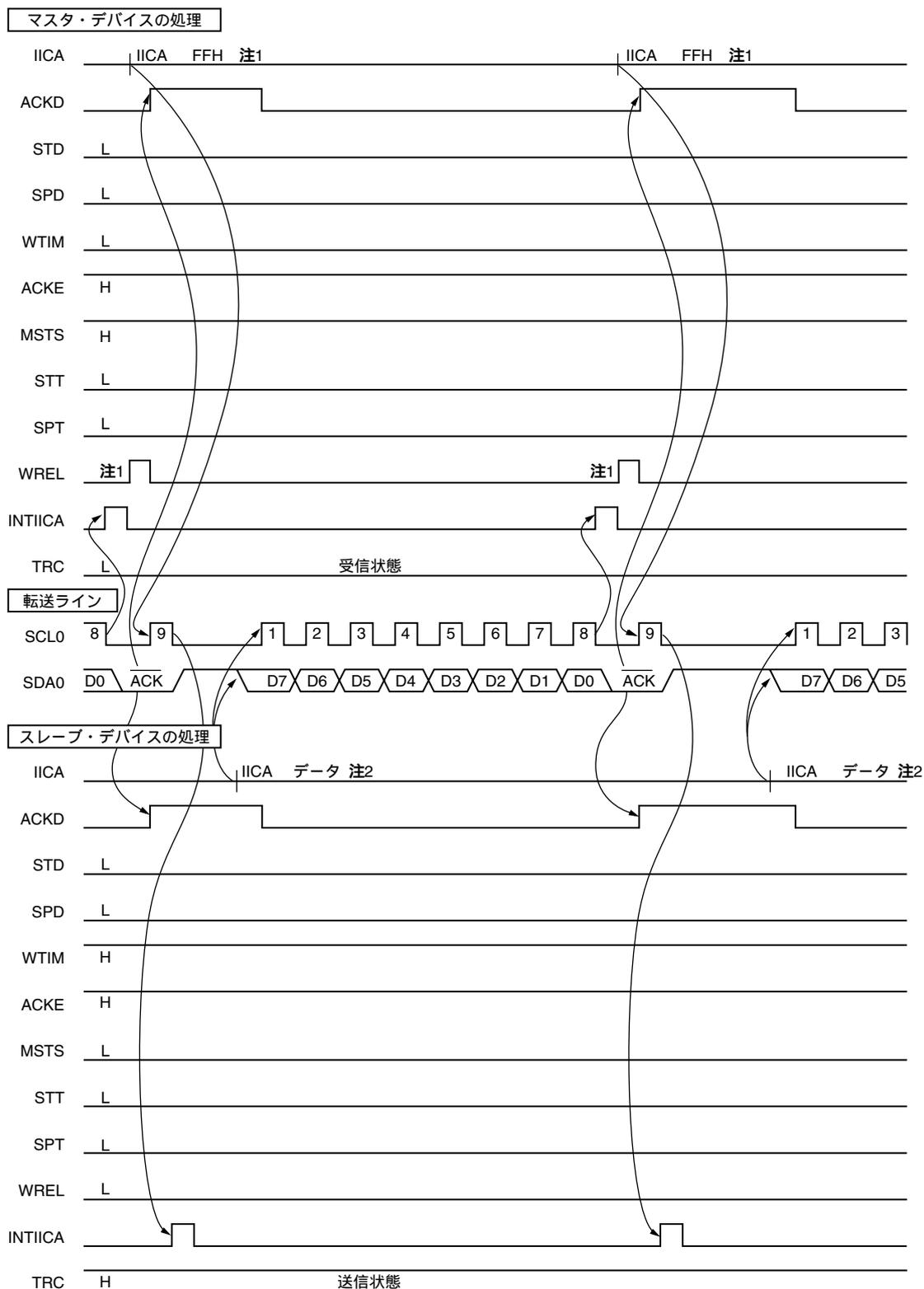


注1. マスタ・ウエイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。

2. スレーブ送信時のウエイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

(2) データ

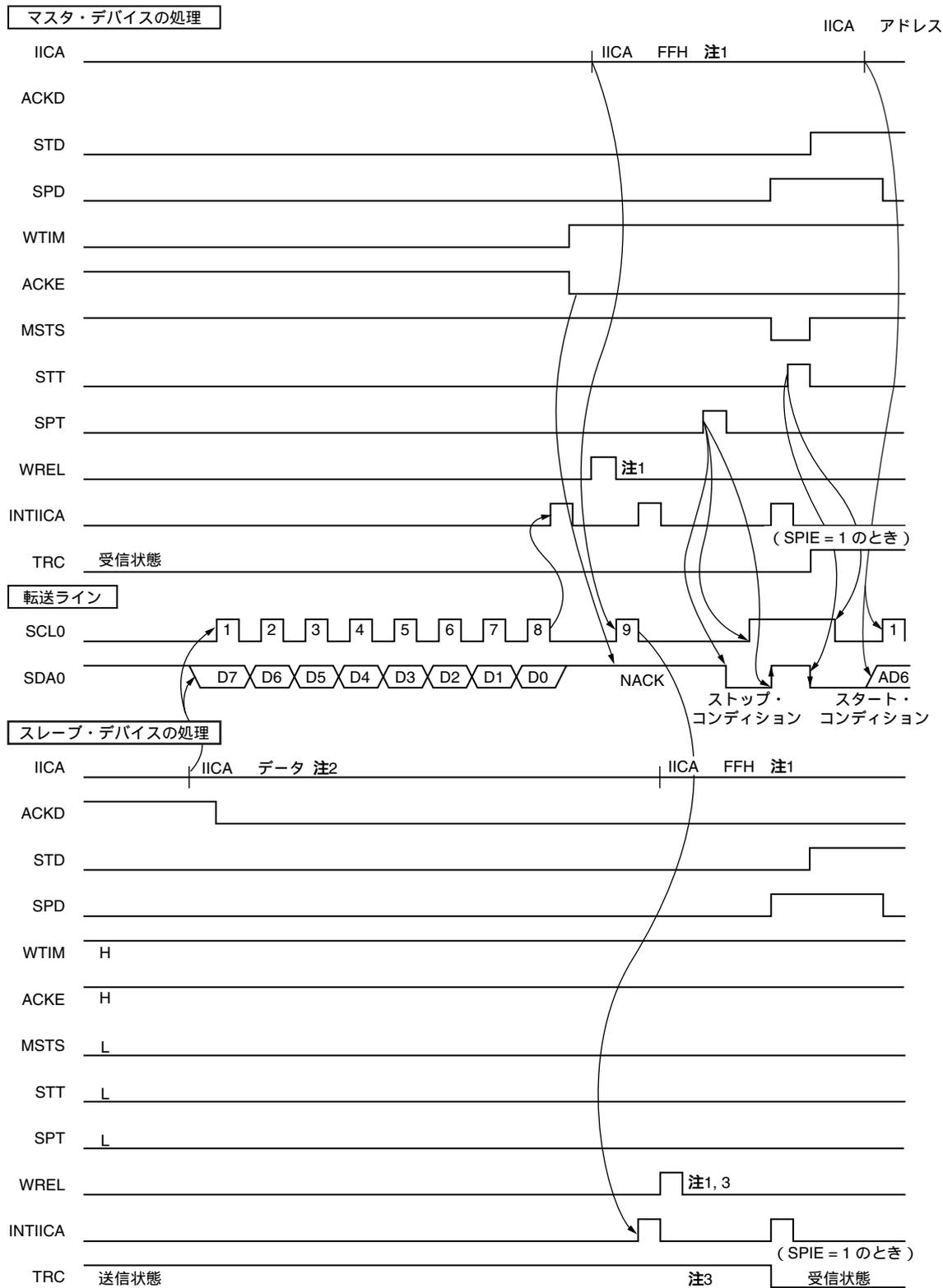


注1. マスタ・ウエイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。

2. スレーブ送信時のウエイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。

図12 - 33 スレーブ マスタ通信例 (マスタ: 8 9クロック, スレーブ: 9クロックでウェイト選択時) (3/3)

(3) ストップ・コンディション



- 注1. ウェイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。
- 2. スレーブ送信時のウェイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。
- 3. スレーブ送信時のウェイトをWRELのセットで解除すると, TRCはクリアされます。

第13章 USBファンクション・コントローラ (USBF)

78K0R/KC3-L, KE3-Lは、Universal Serial Bus Specificationに準拠したUSBファンクション・コントローラ (USBF) を内蔵しています。トークン・ベースのプロトコルにより、外部ホスト・デバイスとの間でポーリング方式のデータ通信を行います。

13.1 概 要

Universal Serial Bus Specificationに準拠

12 Mbps (フルスピード) 転送に対応

転送用のエンドポイントを内蔵

エンドポイント名	FIFOサイズ (バイト)	転送タイプ	備考
Endpoint0 Read	64	コントロール転送	-
Endpoint0 Write	64	コントロール転送	-
Endpoint1	64 × 2	バルク1転送 (IN)	2バッファ構成
Endpoint2	64 × 2	バルク1転送 (OUT)	2バッファ構成
Endpoint3	64 × 2	バルク2転送 (IN)	2バッファ構成
Endpoint4	64 × 2	バルク2転送 (OUT)	2バッファ構成
Endpoint7	64	インタラプト1転送	シングルバッファ構成
Endpoint8	64	インタラプト2転送	シングルバッファ構成

USBクロック：内部クロック (外部20 MHz ÷ 内部5分周 × 内部12逓倍 = 内部48 MHz /

外部16 MHz ÷ 内部4分周 × 内部12逓倍 = 内部48 MHz /

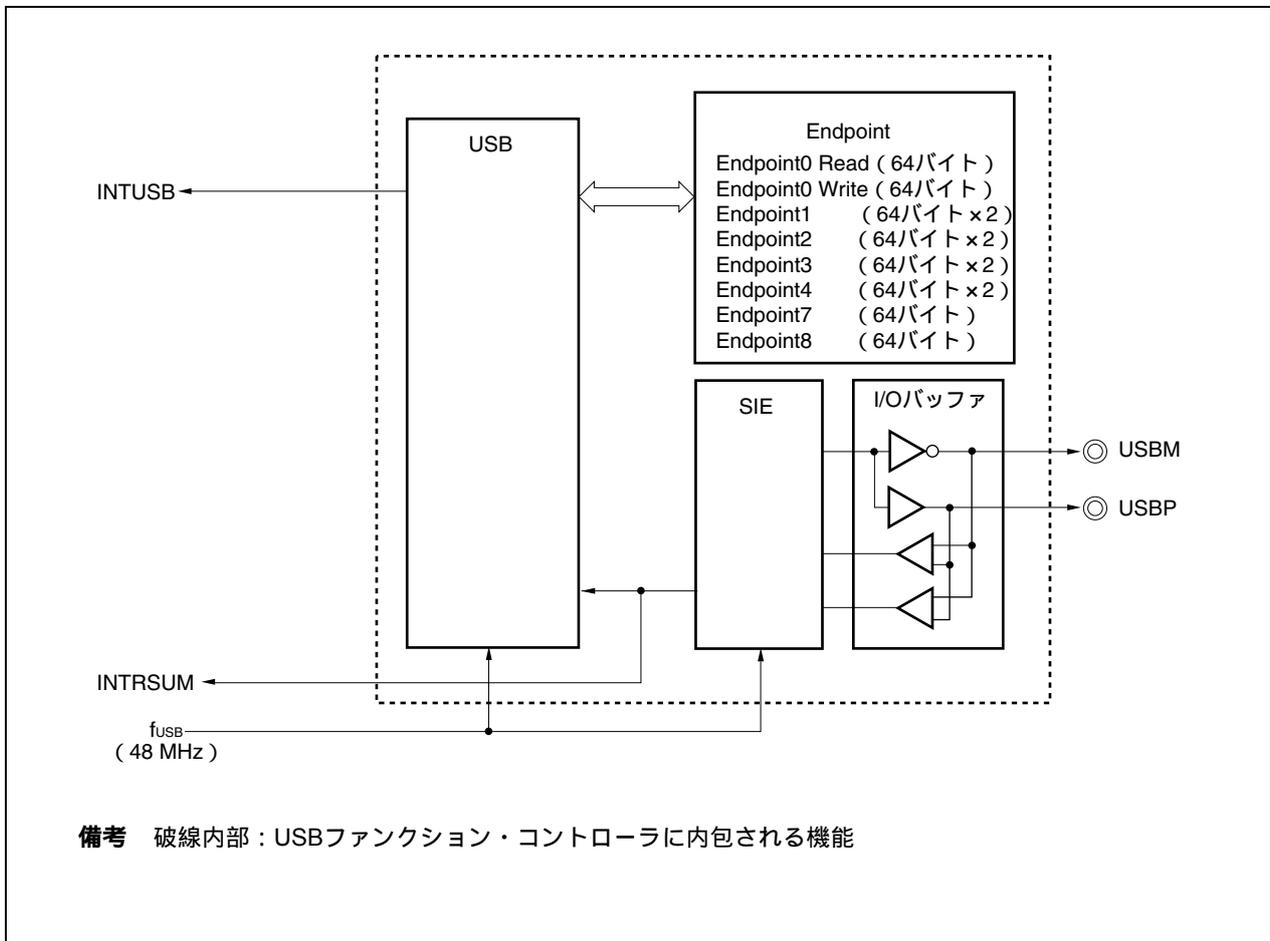
外部12 MHz ÷ 内部2分周 × 内部8逓倍 = 内部48 MHz)

注意 USBファンクション・コントローラ・レジスタ (13.6.2参照) に記載されたレジスタ群は、必ずUSBファンクション・コントローラがクロック供給された状態でアクセスしてください。USBファンクション・コントローラにクロックが供給されていない状態での読み出し、書き込み結果は保証しません。

13.2 構 成

13.2.1 ブロック図

図13 - 1 USBファンクション・コントローラのブロック図



13.3 外部回路構成

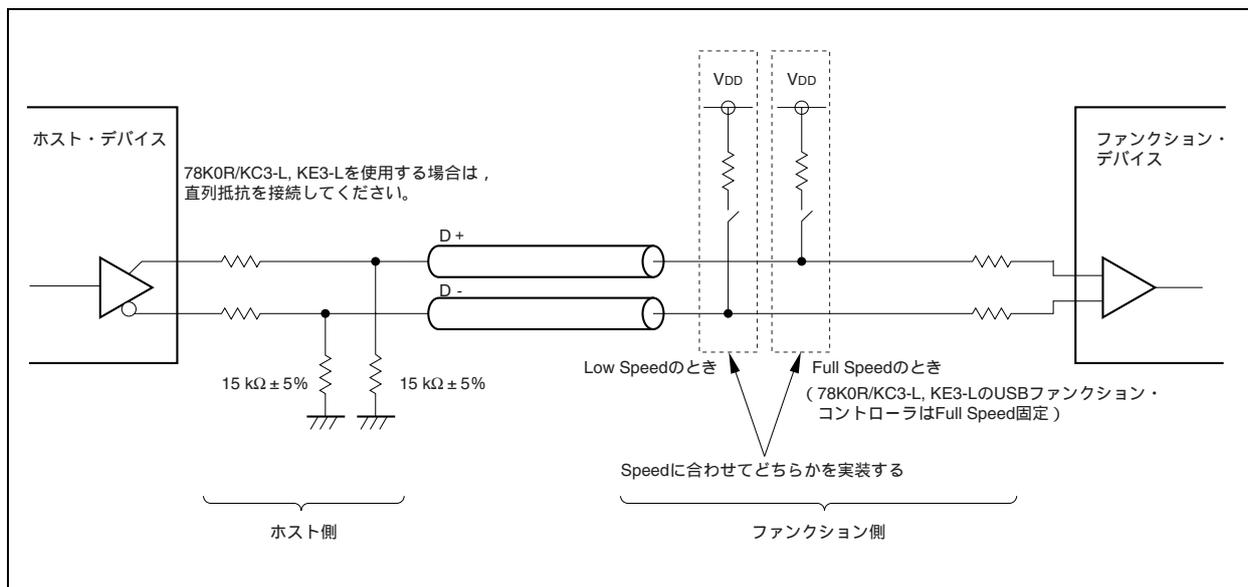
13.3.1 概要

USB伝送において、ホスト・コントローラとファンクション・コントローラが対向して通信する場合、相手を識別するために、USB信号 (D+ / D-) にプルアップ、プルダウン抵抗を接続する必要があります。また78K0R/KC3-L, KE3-Lでは、直列抵抗を接続する必要もあります。

78K0R/KC3-L, KE3-Lはこれらのプルアップ、プルダウン抵抗、直列抵抗を内蔵していませんので、78K0R/KC3-L, KE3-L外部で接続してください。

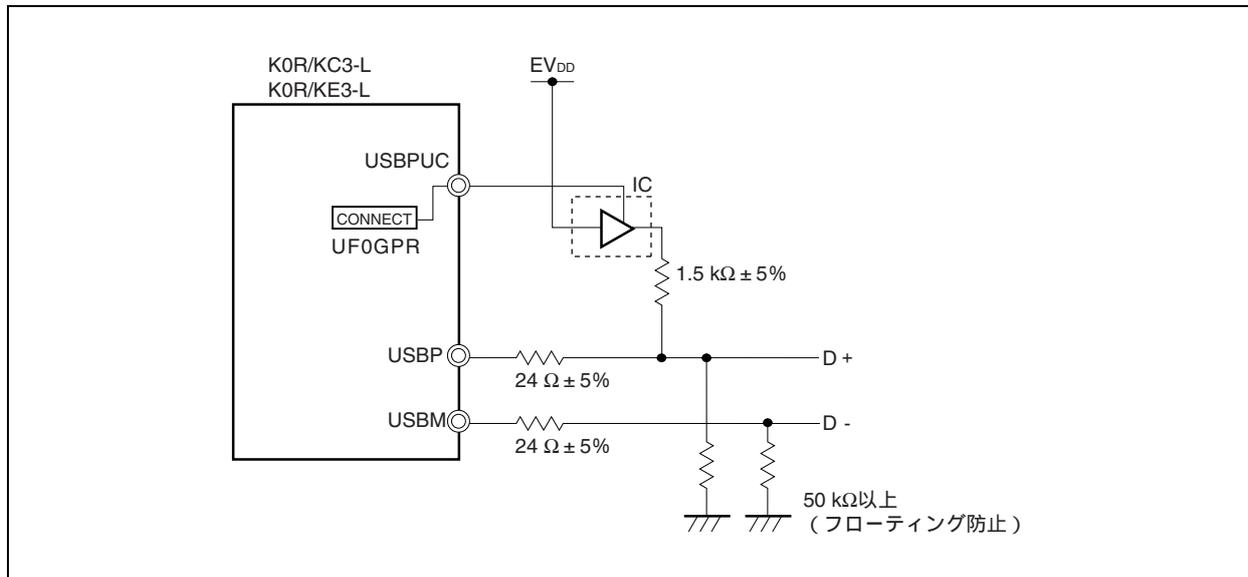
下記はUSB伝送路の構成概略図です。詳しい外付け構成については、各項にて説明します。

図13-2 USB伝送路のプルアップ、プルダウン、直列抵抗の概略構成



13.3.2 接続構成

図13-3 USBファンクション・コントローラ接続例



(1) D+ / D- への直列抵抗の接続

78K0R/KC3-L, KE3-LのUSBファンクション・コントローラのD+ / D- 端子 (USBP, USBM) には、 $24 \Omega \pm 5\%$ の抵抗を直列に接続してください。これを接続しないとインピーダンス規格を満たさないだけでなく、出力波形が乱れる原因となります。

直列抵抗は、なるべく78K0R/KC3-L, KE3-Lに近い位置に配置し、直列抵抗からUSBコネクタまでは、D+ / D- のインピーダンスが等しくなるよう、なるべく等長配線してください (差動で $90 \Omega \pm 5\%$ を推奨します)。

(2) D+ のプルアップ制御

78K0R/KC3-L, KE3-Lのファンクション・コントローラはフルスピード (FS) です。D+ 端子 (USBP) は $1.5 \text{ k}\Omega \pm 5\%$ で EVDD にプルアップしてください。

USBホスト / HUBへの接続通知 (D+ プルアップ) を禁止したい場合 (優先度の高い処理中、初期化処理中など)、システムではD+のプルアップをUF0GPRレジスタのCONNECTビットにより制御してください。図13-3では、USBPUCがロウ・レベルの場合、D+ プルアップ禁止となります。

また、図13-3のICには、システム電源オフ時に電圧印加が可能なICを使用してください。

(3) USBケーブル接続 / 切断の検出

USBケーブルの接続 / 切断を認識するには、VBUS入力信号が必要となります。USBホスト / HUBとUSBケーブルで接続されると、USBホスト / HUBから電圧 (5 V) が印加され、VBUS入力信号を通じてUSBケーブルの接続を検出することができます。

(4) 初期化時または未使用時のフローティング防止

初期化時または未使用時には、フローティング状態を避けるため、D+ / D- 端子は $50 \text{ k}\Omega$ 以上でプルダウンしてください。

13.4 注意事項

(1) クロック精度

USBファンクション・コントローラ使用時には、USBクロックとして、外部12 MHzを内部2分周×8逡倍 = 内部48 MHz、または外部16 MHzを内部4分周×12逡倍 = 内部48 MHz、外部20 MHzを内部5分周×12逡倍 = 内部48 MHzのクロックが必要です。USBクロックには、12, 16, 20 MHz±500 ppm以下の精度の発振子を使用してください。USBクロックの精度が低下すると、送信データがUSB規格を満足できなくなります。

13.5 リクエスト

USBには、ホスト・デバイスからの要求をファンクション・デバイスに伝え、応答処理させるための、リクエストと呼ばれるコマンドがあります。

リクエストは、コントロール転送のSETUPステージにて受信され、一部のリクエストを除いて、USBファンクション・コントローラ (USBF) のハードウェアにて自動処理することができます。

13.5.1 自動リクエスト

(1) デコード

次にリクエストのフォーマットとリクエスト・デコード対応表を示します。

表13-2 リクエストのフォーマット

オフセット	フィールド名	
0	bmRequestType	
1	bRequest	
2	wValue	下位側
3		上位側
4	wIndex	下位側
5		上位側
6	wLength	下位側
7		上位側

表13-3 リクエスト・デコード対応表

オフセット リクエスト	デコード値								応答			データ・ ステージ
	bmRequestType	bRequest	wValue		wIndex		wLength		Df	Ad	Cf	
	0	1	3	2	5	4	7	6				
GET_INTERFACE	81H	0AH	00H	00H	00H	0nH	00H	01H	STALL	STALL	ACK NAK	
GET_CONFIGURATION	80H	08H	00H	00H	00H	00H	00H	01H	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Device	80H	06H	01H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_DESCRIPTOR Configuration	80H	06H	02H	00H	00H	00H	XXH	XXH ^{注1}	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Device	80H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint 0	82H	00H	00H	00H	00H	00H	00H	02H	ACK NAK	ACK NAK	ACK NAK	
GET_STATUS Endpoint X	82H	00H	00H	00H	00H	\$\$H	00H	02H	STALL	STALL	ACK NAK	
CLEAR_FEATURE Device ^{注2}	00H	01H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint 0 ^{注2}	02H	01H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
CLEAR_FEATURE Endpoint X ^{注2}	02H	01H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_FEATURE Device ^{注3}	00H	03H	00H	01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint 0 ^{注3}	02H	03H	00H	00H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_FEATURE Endpoint X ^{注3}	02H	03H	00H	00H	00H	\$\$H	00H	00H	STALL	STALL	ACK NAK	×
SET_INTERFACE	01H	0BH	00H	0#H	00H	0?H	00H	00H	STALL	STALL	ACK NAK	×
SET_CONFIGURATION ^{注4}	00H	09H	00H	00H 01H	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×
SET_ADDRESS	00H	05H	XXH	XXH	00H	00H	00H	00H	ACK NAK	ACK NAK	ACK NAK	×

備考 : データ・ステージあり

× : データ・ステージなし

注1. wLength値が準備している値未満の場合、wLength値までを返信し、wLength値が準備している値以上の場合、準備している値までを返信します。

2. CLEAR_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL)、UF0 EPnステータス・レジスタL (UF0EnSL) (n = 0-4, 7, 8) をクリアします。

- 注3. SET_FEATUREリクエストは、ステータス・ステージでACKを受信した場合にUF0デバイス・ステータス・レジスタL (UF0DSTL), UF0 EPhステータス・レジスタL (UF0EnSL) (n = 0-4, 7, 8) をセットします。また、UF0E0SLレジスタのE0HALTビットを設定した場合は、CLEAR_FEATURE Endpoint0リクエストを受信するまで、GET_STATUS Endpoint0リクエスト、SET_FEATURE Endpoint0リクエスト、CPUDEC割り込み要求の発生するリクエスト以外のコントロール転送のデータ・ステージまたはステータス・ステージでSTALL応答します。なお、サポートしていないリクエストについてのSTALL応答では、UF0E0SLレジスタのE0HALTビットはセット (1) されず、次のSETUPトークンを受信した時点でSTALL応答はクリアされます。
4. wValue値が規定外の場合、自動STALL応答します。

注意1. 次に示す条件では、Universal Serial Bus Specificationで規定されているコントロール転送のシーケンスを満しません。この場合の動作は保証できません。

- SETUPステージなしにいきなりIN/OUTトークンを受信する場合
 - SETUPステージのデータ・フェーズでDATA PID1を送ってくる場合
 - アドレス128以上のトークンを受信する場合
 - SETUPステージで送信されるリクエスト・データが8バイト未満の場合
2. ステータス・ステージにおいて、ホストがNullパケット以外のデータを送信してきた場合でも、ACK応答します。
3. FW処理のコントロール転送 (リード) では、wLength値が00Hであった場合、コントロール転送 (データなし) としてNullパケットを自動送出します。FWリクエストの場合は、Nullパケットを自動送出しません。

備考1. Df : Defaultステート, Ad : Addressedステート, Cf : Configuredステート

2. n = 0-4, 7, 8
Interface番号1-4, 7, 8のリクエストに対して正常応答するか、またはSTALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定により、対象のInterface番号が有効かどうかで決定します。
3. \$\$: 転送方向を含んだ有効なEndpoint番号
有効なEndpointは現在設定されているAlternate Setting番号により決定します (13. 6. 3 (36) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS), (38) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E1IM) - (42) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E7IM) 参照)。
4. ?と#: ホストから送信される値 (Interface番号0-4の情報)
各Interface番号に対応したAlternate Settingのリクエストに対して正常応答するか、STALL応答するかは、UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) とUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) により、対象のInterface番号と対象のAlternate Settingが有効かどうかによって決まります。

(2) 処理内容

次に自動リクエストのDefaultステート, Addressedステート, Configuredステートでの処理内容を示します。

備考 Defaultステート : Default addressで動作する状態

Addressedステート : アドレスが割り当てられたあとの状態

Configuredステート : SET_CONFIGURATION wValue = 1を正常受信したあとの状態

(a) CLEAR_FEATURE()リクエスト

CLEAR_FEATURE()リクエストが, クリアできない, 存在しないFEATUREである, 対象がInterfaceか, または存在しないEndpointの場合には, ステータス・ステージでSTALL応答します。また, wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : CLEAR_FEATURE()リクエストを受信したとき, 対象がデバイスか, または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

CLEAR_FEATURE()リクエストを正常処理した場合には, UF0 CLRリクエスト・レジスタ (UF0CLR) の対象ビットがセット (1) され, UF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがクリア (0) され, 割り込みが発行されます (n = 0-4, 7, 8)。なお, 対象がEndpointのとき, CLEAR_FEATURE()リクエストを受信した場合には, 対象Endpointのトグル・ビット (DATA0/DATA1の切り替え制御) は必ずDATA0に再設定されます。

(b) GET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表13-3 リクエスト・デコード対応表に記載以外のもの場合は, データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_CONFIGURATION()リクエストを受信したとき, UF0コンフィギュレーション・レジスタ (UF0CNF) に格納されている値を返信します。
- ・ Addressedステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_CONFIGURATION()リクエストを受信したとき, UF0CNFレジスタに格納されている値を返信します。

(c) GET_DESCRIPTOR()リクエスト

対象ディスクリプタがwMaxPacketSizeの倍数の長さを持つ場合には、データ・ステージの終わりを示すためにNullパケットを送り返します。そのとき、対象ディスクリプタの長さがwLength値未満の場合、対象ディスクリプタをすべて返信し、対象ディスクリプタの長さがwLength値以上の場合、wLength値まで返信します。

- ・ Defaultステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0デバイス・ディスクリプタ・レジスタn (UF0DDn)、UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタm (UF0CIEm)に格納されている値を返信します(n = 0-17, m = 0-255)。
- ・ Addressedステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。
- ・ Configuredステート : GET_DESCRIPTOR()リクエストを受信したとき、UF0DDnレジスタ、UF0CIEmレジスタに格納されている値を返信します。

UF0CIEmレジスタに格納できるディスクリプタは、総数256バイトまでです。256バイト以上のディスクリプタを返信する場合には、UF0MODCレジスタのCDCGDSTビットをセット(1)して、FWによりGET_DESCRIPTOR()リクエストを処理してください。

UF0CIEmレジスタで設定した全ディスクリプタのバイト数 - 1の値をUF0ディスクリプタ・レンジ・レジスタ (UF0DSCL) に格納してください。このデータ + 1の値とwLengthにより転送データを制御します。

(d) GET_INTERFACE()リクエスト

wValue、wLengthのいずれかが表13-3 リクエスト・デコード対応表に記載以外のもの場合、またはwIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_INTERFACE()リクエストを受信したとき、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_INTERFACE()リクエストを受信したとき、wIndex値に対応したUF0インタフェースnレジスタ (UF0IFn) に格納されている値を返信します (n = 0-4)。

(e) GET_STATUS()リクエスト

wValue, wIndex, wLengthのいずれかが表13-3 リクエスト・デコード対応表に記載以外のもの場合は、データ・ステージでSTALL応答します。また、対象がInterfaceか、または存在しないEndpointの場合は、データ・ステージでSTALL応答します。

- ・ Defaultステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Addressedステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。
- ・ Configuredステート : GET_STATUS()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ対象ステータス・レジスタ[※]に格納されている値を返信します。それ以外の場合は、データ・ステージでSTALL応答します。

注 対象ステータス・レジスタを次に示します。

- ・ 対象がデバイスの場合 : UF0デバイス・ステータス・レジスタL (UF0DSTL)
- ・ 対象がEndpoint0の場合 : UF0 EP0ステータス・レジスタL (UF0E0SL)
- ・ 対象がEndpoint nの場合 : UF0 EPnステータス・レジスタL (UF0EnSL) (n = 1-4, 7, 8)

(f) SET_ADDRESS()リクエスト

wIndex, wLengthのいずれかが表13-3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。指定されたデバイス・アドレスが127より大きい場合は、STALL応答になります。

- ・ Defaultステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0以外の場合には、デバイスはAddressedステートに入り、SIEへ入力するUSB Address値を指定のアドレス値に変更します。指定されたアドレスが0の場合には、Defaultステートのままです。
- ・ Addressedステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはDefaultステートに入り、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。指定されたアドレスが0以外の場合には、Addressedステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。
- ・ Configuredステート : SET_ADDRESS()リクエストを受信したとき、指定されたアドレスが0の場合には、デバイスはConfiguredステートのままで、SIEへ入力するUSB Address値をデフォルト・アドレスに戻します。この場合、Endpoint0以外のEndpointも有効のままで、コントロール転送 (IN)、コントロール転送 (OUT)、Endpoint0以外のEndpointに対するバルク転送およびインタラプト転送にも応答します。指定されたアドレスが0以外の場合には、Configuredステートのままで、SIEへ入力するUSB Address値を指定の新しいアドレス値に変更します。

(g) SET_CONFIGURATION()リクエスト

wValue, wIndex, wLengthのいずれかが表13 - 3 リクエスト・デコード対応表に記載以外のもの場合は、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0モード・ステータス・レジスタ (UF0MODS) のCONFビットとUF0コンフィギュレーション・レジスタ (UF0CNF) がセット (1) されます。指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) されます。つまり、Addressedステートをスキップして、Default addressに응答するConfiguredステートに移行します。
- ・ Addressedステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が1の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがセット (1) され、Configuredステートに入り、指定されたコンフィギュレーション値が0の場合には、Addressedステートのままです。
- ・ Configuredステート : SET_CONFIGURATION()リクエストを受信したとき、指定されたコンフィギュレーション値が0の場合には、UF0MODSレジスタのCONFビットとUF0CNFレジスタがクリア (0) され、Addressedステートに戻り、指定されたコンフィギュレーション値が1の場合には、Configuredステートのままです。

SET_CONFIGURATION()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットがセット (1) され、割り込みが発行されます。指定されたコンフィギュレーション値が現在のコンフィギュレーション値と同じ場合でも、すべてのHalt FeatureはSET_CONFIGURATION()リクエストを完了したあとにクリアされます。また、SET_CONFIGURATION()リクエストを正常処理した場合には、必ずすべてのEndpointのデータ・トグルはDATA0に再び初期化されます (SET_CONFIGURATIONリクエストの受信からSET_INTERFACEリクエストを受信するまではデフォルト状態であるAlternative Setting 0に設定されているものと定義しています)。

(h) SET_FEATURE()リクエスト

SET_FEATURE()リクエストが、セットできない、存在しないFeatureである、対象がInterfaceか、または存在しないEndpointの場合には、ステータス・ステージでSTALL応答します。また、wLength値が0以外の場合もSTALL応答します。

- ・ Defaultステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、またはEndpoint0に対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_FEATURE()リクエストを受信したとき、対象がデバイスか、または存在するEndpointに対するリクエストの場合のみ正常応答します。それ以外の場合はステータス・ステージでSTALL応答します。

SET_FEATURE()リクエストを正常処理した場合には、UF0 SETリクエスト・レジスタ (UF0SET) の対象ビットやUF0 EPnステータス・レジスタL (UF0EnSL) のEnHALTビットがセット (1) され、割り込みが発行されます (n = 0-4, 7, 8)。

(i) SET_INTERFACE()リクエスト

wLengthが表13 - 3 リクエスト・デコード対応表に記載以外のもの場合、wIndexがUF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN) の設定以外の場合、wValueがUF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS) 設定以外の場合のいずれかのときに、ステータス・ステージでSTALL応答します。

- ・ Defaultステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Addressedステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでSTALL応答します。
- ・ Configuredステート : SET_INTERFACE()リクエストを受信したとき、ステータス・ステージでNullパケットを送信します。

SET_INTERFACE()リクエストを正常処理した場合には、割り込みが発行されます。対象InterfaceにリンクされたEndpointのすべてのHalt Featureは、SET_INTERFACE()リクエストを完了したあとにクリアされます。対象Interface番号に関連するすべてのEndpointのデータ・トグルは、必ずDATA0に再び初期化されます。また、SET_INTERFACE()リクエストを正常処理して、現在選択されているAlternative Settingと異なる設定に変更する場合には、影響を受けるEndpointのFIFOは完全にクリアされ、関連するすべての割り込み要因なども初期化されます。

SET_INTERFACE()リクエスト完了時、対象InterfaceにリンクされたすべてのEndpointのFIFOがクリアされます。また、同時にHalt Feature、Data PIDが初期化され、関連するUF0 INTステータスnレジスタ (UF0ISn) がクリア (0) されます (n = 0-4) (SET_CONFIGURATIONリクエスト完了時には、Halt FeatureのクリアとData PIDの初期化のみです)。

13. 5. 2 その他のリクエスト

(1) 応答と処理方法

次にその他のリクエストの応答と処理方法を示します。

表13 - 4 その他のリクエストの応答と処理方法

リクエスト	応答と処理方法
GET_DESCRIPTOR String	CPUDEC割り込み要求発生
GET_STATUS Interface	自動STALL応答
CLEAR_FEATURE Interface	自動STALL応答
SET_FEATURE Interface	自動STALL応答
all SET_DESCRIPTOR	CPUDEC割り込み要求発生
その他の全リクエスト	CPUDEC割り込み要求発生

13.6 レジスタ構成

13.6.1 USBファンクション・コントローラ・レジスタ一覧

(1) クロック制御レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F059CH	PLLコントロール・レジスタ	PLLC	R/W			-	01H
F059DH	USBクロック制御レジスタ	UCKC	R/W			-	00H

(2) EPC制御レジスタ

(1/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0540H	UF0 EP0NAKレジスタ	UF0E0N	R/W	-		-	00H
F0541H	UF0 EP0NAKALLレジスタ	UF0E0NA	R/W	-		-	00H
F0542H	UF0 EPNAKレジスタ	UF0EN	R/W	-		-	00H
F0543H	UF0 EPNAKマスク・レジスタ	UF0ENM	R/W	-		-	00H
F0544H	UF0 SNDSIE レジスタ	UF0SDS	R/W	-		-	00H
F0545H	UF0 CLRリクエスト・レジスタ	UF0CLR	R	-		-	00H
F0546H	UF0 SETリクエスト・レジスタ	UF0SET	R	-		-	00H
F0547H	UF0 EPステータス0レジスタ	UF0EPS0	R	-		-	00H
F0548H	UF0 EPステータス1レジスタ	UF0EPS1	R	-		-	00H
F0549H	UF0 EPステータス2レジスタ	UF0EPS2	R	-		-	00H
F0550H	UF0 INTステータス0レジスタ	UF0IS0	R	-		-	00H
F0551H	UF0 INTステータス1レジスタ	UF0IS1	R	-		-	00H
F0552H	UF0 INTステータス2レジスタ	UF0IS2	R	-		-	00H
F0553H	UF0 INTステータス3レジスタ	UF0IS3	R	-		-	00H
F0554H	UF0 INTステータス4レジスタ	UF0IS4	R	-		-	00H
F0557H	UF0 INTマスク0レジスタ	UF0IM0	R/W	-		-	00H
F0558H	UF0 INTマスク1レジスタ	UF0IM1	R/W	-		-	00H
F0559H	UF0 INTマスク2レジスタ	UF0IM2	R/W	-		-	00H
F055AH	UF0 INTマスク3レジスタ	UF0IM3	R/W	-		-	00H
F055BH	UF0 INTマスク4レジスタ	UF0IM4	R/W	-		-	00H
F055EH	UF0 INTクリア0レジスタ	UF0IC0	W	-		-	00H
F055FH	UF0 INTクリア1レジスタ	UF0IC1	W	-		-	00H
F0560H	UF0 INTクリア2レジスタ	UF0IC2	W	-		-	00H
F0561H	UF0 INTクリア3レジスタ	UF0IC3	W	-		-	00H
F0562H	UF0 INTクリア4レジスタ	UF0IC4	W	-		-	00H
F0570H	UF0 FIFOクリア0レジスタ	UF0FIC0	W	-		-	00H
F0571H	UF0 FIFOクリア1レジスタ	UF0FIC1	W	-		-	00H
F0575H	UF0データ・エンド・レジスタ	UF0DEND	R/W	-		-	00H
F0577H	UF0 GPRレジスタ	UF0GPR	R/W	-		-	00H
F057AH	UF0モード・コントロール・レジスタ	UF0MODC	R/W	-		-	00H
F057CH	UF0モード・ステータス・レジスタ	UF0MODS	R	-		-	00H

(2/2)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F06F0H	UF0アクティブ・インタフェース・ナンバー・レジスタ	UF0AIFN	R/W	-		-	00H
F06F1H	UF0アクティブ・オルタナティブ・セッティング・レジスタ	UF0AAS	R/W	-		-	00H
F06F2H	UF0オルタナティブ・セッティング・ステータス・レジスタ	UF0ASS	R	-		-	00H
F06F3H	UF0エンドポイント1インタフェース・マッピング・レジスタ	UF0E1IM	R/W	-		-	00H
F06F4H	UF0エンドポイント2インタフェース・マッピング・レジスタ	UF0E2IM	R/W	-		-	00H
F06F5H	UF0エンドポイント3インタフェース・マッピング・レジスタ	UF0E3IM	R/W	-		-	00H
F06F6H	UF0エンドポイント4インタフェース・マッピング・レジスタ	UF0E4IM	R/W	-		-	00H
F06F9H	UF0エンドポイント7インタフェース・マッピング・レジスタ	UF0E7IM	R/W	-		-	00H
F06FAH	UF0エンドポイント8インタフェース・マッピング・レジスタ	UF0E8IM	R/W	-		-	00H

(2) EPCデータ保持レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0580H	UF0 EP0リード・レジスタ	UF0E0R	R	-		-	不定
F0581H	UF0 EP0レンジス・レジスタ	UF0E0L	R	-		-	00H
F0582H	UF0 EP0セットアップ・レジスタ	UF0E0ST	R	-		-	00H
F0583H	UF0 EP0ライト・レジスタ	UF0E0W	R	-		-	00H
F0584H	UF0バルク・アウト1レジスタ	UF0BO1	R	-		-	不定
F0585H	UF0バルク・アウト1レンジス・レジスタ	UF0BO1L	R	-		-	00H
F0586H	UF0バルク・アウト2レジスタ	UF0BO2	R	-		-	不定
F0587H	UF0バルク・アウト2レンジス・レジスタ	UF0BO2L	R	-		-	00H
F0588H	UF0バルク・イン1レジスタ	UF0BI1	W	-		-	00H
F0589H	UF0バルク・イン2レジスタ	UF0BI2	W	-		-	00H
F058AH	UF0インタラプト1レジスタ	UF0INT1	W	-		-	00H
F058BH	UF0インタラプト2レジスタ	UF0INT2	W	-		-	00H

(3) EPCリクエスト・データ・レジスタ

(1/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F05A2H	UF0デバイス・ステータス・レジスタL	UF0DSTL	R/W	-		-	00H
F05A6H	UF0 EP0ステータス・レジスタL	UF0E0SL	R/W	-		-	00H
F05A8H	UF0 EP1ステータス・レジスタL	UF0E1SL	R/W	-		-	00H
F05AAH	UF0 EP2ステータス・レジスタL	UF0E2SL	R/W	-		-	00H
F05ACH	UF0 EP3ステータス・レジスタL	UF0E3SL	R/W	-		-	00H
F05AEH	UF0 EP4ステータス・レジスタL	UF0E4SL	R/W	-		-	00H
F05B4H	UF0 EP7ステータス・レジスタL	UF0E7SL	R/W	-		-	00H
F05B6H	UF0 EP8ステータス・レジスタL	UF0E8SL	R/W	-		-	00H
F05C0H	UF0アドレス・レジスタ	UF0ADRS	R	-		-	00H
F05C1H	UF0コンフィギュレーション・レジスタ	UF0CNF	R	-		-	00H
F05C2H	UF0インタフェース0レジスタ	UF0IF0	R	-		-	00H
F05C3H	UF0インタフェース1レジスタ	UF0IF1	R	-		-	00H
F05C4H	UF0インタフェース2レジスタ	UF0IF2	R	-		-	00H
F05C5H	UF0インタフェース3レジスタ	UF0IF3	R	-		-	00H
F05C6H	UF0インタフェース4レジスタ	UF0IF4	R	-		-	00H
F05D0H	UF0ディスクリプタ・レングス・レジスタ	UF0DSCS	R/W	-		-	00H
F05D1H	UF0デバイス・ディスクリプタ・レジスタ0	UF0DD0	R/W	-		-	不定
F05D2H	UF0デバイス・ディスクリプタ・レジスタ1	UF0DD1	R/W	-		-	不定
F05D3H	UF0デバイス・ディスクリプタ・レジスタ2	UF0DD2	R/W	-		-	不定
F05D4H	UF0デバイス・ディスクリプタ・レジスタ3	UF0DD3	R/W	-		-	不定
F05D5H	UF0デバイス・ディスクリプタ・レジスタ4	UF0DD4	R/W	-		-	不定
F05D6H	UF0デバイス・ディスクリプタ・レジスタ5	UF0DD5	R/W	-		-	不定
F05D7H	UF0デバイス・ディスクリプタ・レジスタ6	UF0DD6	R/W	-		-	不定
F05D8H	UF0デバイス・ディスクリプタ・レジスタ7	UF0DD7	R/W	-		-	不定
F05D9H	UF0デバイス・ディスクリプタ・レジスタ8	UF0DD8	R/W	-		-	不定
F05DAH	UF0デバイス・ディスクリプタ・レジスタ9	UF0DD9	R/W	-		-	不定
F05DBH	UF0デバイス・ディスクリプタ・レジスタ10	UF0DD10	R/W	-		-	不定
F05DCH	UF0デバイス・ディスクリプタ・レジスタ11	UF0DD11	R/W	-		-	不定
F05DDH	UF0デバイス・ディスクリプタ・レジスタ12	UF0DD12	R/W	-		-	不定
F05DEH	UF0デバイス・ディスクリプタ・レジスタ13	UF0DD13	R/W	-		-	不定
F05DFH	UF0デバイス・ディスクリプタ・レジスタ14	UF0DD14	R/W	-		-	不定
F05E0H	UF0デバイス・ディスクリプタ・レジスタ15	UF0DD15	R/W	-		-	不定
F05E1H	UF0デバイス・ディスクリプタ・レジスタ16	UF0DD16	R/W	-		-	不定
F05E2H	UF0デバイス・ディスクリプタ・レジスタ17	UF0DD17	R/W	-		-	不定
F05E3H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ0	UF0CIE0	R/W	-		-	不定
F05E4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ1	UF0CIE1	R/W	-		-	不定
F05E5H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ2	UF0CIE2	R/W	-		-	不定
F05E6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ3	UF0CIE3	R/W	-		-	不定

(2/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F05E7H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ4	UF0CIE4	R/W	-		-	不定
F05E8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ5	UF0CIE5	R/W	-		-	不定
F05E9H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ6	UF0CIE6	R/W	-		-	不定
F05EAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ7	UF0CIE7	R/W	-		-	不定
F05EBH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ8	UF0CIE8	R/W	-		-	不定
F05ECH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ9	UF0CIE9	R/W	-		-	不定
F05EDH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ10	UF0CIE10	R/W	-		-	不定
F05EEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ11	UF0CIE11	R/W	-		-	不定
F05EFH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ12	UF0CIE12	R/W	-		-	不定
F05F0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ13	UF0CIE13	R/W	-		-	不定
F05F1H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ14	UF0CIE14	R/W	-		-	不定
F05F2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ15	UF0CIE15	R/W	-		-	不定
F05F3H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ16	UF0CIE16	R/W	-		-	不定
F05F4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ17	UF0CIE17	R/W	-		-	不定
F05F5H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ18	UF0CIE18	R/W	-		-	不定
F05F6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ19	UF0CIE19	R/W	-		-	不定
F05F7H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ20	UF0CIE20	R/W	-		-	不定
F05F8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ21	UF0CIE21	R/W	-		-	不定
F05F9H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ22	UF0CIE22	R/W	-		-	不定
F05FAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ23	UF0CIE23	R/W	-		-	不定
F05FBH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ24	UF0CIE24	R/W	-		-	不定
F05FCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ25	UF0CIE25	R/W	-		-	不定

(3/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F05FDH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ26	UF0CIE26	R/W	-	-	-	不定
F05FEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ27	UF0CIE27	R/W	-	-	-	不定
F05FFH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ28	UF0CIE28	R/W	-	-	-	不定
F0600H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ29	UF0CIE29	R/W	-	-	-	不定
F0601H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ30	UF0CIE30	R/W	-	-	-	不定
F0602H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ31	UF0CIE31	R/W	-	-	-	不定
F0603H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ32	UF0CIE32	R/W	-	-	-	不定
F0604H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ33	UF0CIE33	R/W	-	-	-	不定
F0605H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ34	UF0CIE34	R/W	-	-	-	不定
F0606H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ35	UF0CIE35	R/W	-	-	-	不定
F0607H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ36	UF0CIE36	R/W	-	-	-	不定
F0608H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ37	UF0CIE37	R/W	-	-	-	不定
F0609H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ38	UF0CIE38	R/W	-	-	-	不定
F060AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ39	UF0CIE39	R/W	-	-	-	不定
F060BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ40	UF0CIE40	R/W	-	-	-	不定
F060CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ41	UF0CIE41	R/W	-	-	-	不定
F060DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ42	UF0CIE42	R/W	-	-	-	不定
F060EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ43	UF0CIE43	R/W	-	-	-	不定
F060FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ44	UF0CIE44	R/W	-	-	-	不定
F0610H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ45	UF0CIE45	R/W	-	-	-	不定
F0611H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ46	UF0CIE46	R/W	-	-	-	不定
F0612H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ47	UF0CIE47	R/W	-	-	-	不定

(4/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0613H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ48	UF0CIE48	R/W	-	-	-	不定
F0614H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ49	UF0CIE49	R/W	-	-	-	不定
F0615H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ50	UF0CIE50	R/W	-	-	-	不定
F0616H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ51	UF0CIE51	R/W	-	-	-	不定
F0617H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ52	UF0CIE52	R/W	-	-	-	不定
F0618H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ53	UF0CIE53	R/W	-	-	-	不定
F0619H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ54	UF0CIE54	R/W	-	-	-	不定
F061AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ55	UF0CIE55	R/W	-	-	-	不定
F061BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ56	UF0CIE56	R/W	-	-	-	不定
F061CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ57	UF0CIE57	R/W	-	-	-	不定
F061DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ58	UF0CIE58	R/W	-	-	-	不定
F061EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ59	UF0CIE59	R/W	-	-	-	不定
F061FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ60	UF0CIE60	R/W	-	-	-	不定
F0620H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ61	UF0CIE61	R/W	-	-	-	不定
F0621H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ62	UF0CIE62	R/W	-	-	-	不定
F0622H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ63	UF0CIE63	R/W	-	-	-	不定
F0623H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ64	UF0CIE64	R/W	-	-	-	不定
F0624H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ65	UF0CIE65	R/W	-	-	-	不定
F0625H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ66	UF0CIE66	R/W	-	-	-	不定
F0626H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ67	UF0CIE67	R/W	-	-	-	不定
F0627H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ68	UF0CIE68	R/W	-	-	-	不定
F0628H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ69	UF0CIE69	R/W	-	-	-	不定

(5/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0629H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ70	UF0CIE70	R/W	-	-	-	不定
F062AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ71	UF0CIE71	R/W	-	-	-	不定
F062BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ72	UF0CIE72	R/W	-	-	-	不定
F062CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ73	UF0CIE73	R/W	-	-	-	不定
F062DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ74	UF0CIE74	R/W	-	-	-	不定
F062EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ75	UF0CIE75	R/W	-	-	-	不定
F062FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ76	UF0CIE76	R/W	-	-	-	不定
F0630H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ77	UF0CIE77	R/W	-	-	-	不定
F0631H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ78	UF0CIE78	R/W	-	-	-	不定
F0632H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ79	UF0CIE79	R/W	-	-	-	不定
F0633H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ80	UF0CIE80	R/W	-	-	-	不定
F0634H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ81	UF0CIE81	R/W	-	-	-	不定
F0635H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ82	UF0CIE82	R/W	-	-	-	不定
F0636H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ83	UF0CIE83	R/W	-	-	-	不定
F0637H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ84	UF0CIE84	R/W	-	-	-	不定
F0638H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ85	UF0CIE85	R/W	-	-	-	不定
F0639H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ86	UF0CIE86	R/W	-	-	-	不定
F063AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ87	UF0CIE87	R/W	-	-	-	不定
F063BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ88	UF0CIE88	R/W	-	-	-	不定
F063CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ89	UF0CIE89	R/W	-	-	-	不定
F063DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ90	UF0CIE90	R/W	-	-	-	不定
F063EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ91	UF0CIE91	R/W	-	-	-	不定

(6/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F063FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ92	UF0CIE92	R/W	-	-	-	不定
F0640H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ93	UF0CIE93	R/W	-	-	-	不定
F0641H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ94	UF0CIE94	R/W	-	-	-	不定
F0642H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ95	UF0CIE95	R/W	-	-	-	不定
F0643H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ96	UF0CIE96	R/W	-	-	-	不定
F0644H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ97	UF0CIE97	R/W	-	-	-	不定
F0645H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ98	UF0CIE98	R/W	-	-	-	不定
F0646H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ99	UF0CIE99	R/W	-	-	-	不定
F0647H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ100	UF0CIE100	R/W	-	-	-	不定
F0648H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ101	UF0CIE101	R/W	-	-	-	不定
F0649H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ102	UF0CIE102	R/W	-	-	-	不定
F064AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ103	UF0CIE103	R/W	-	-	-	不定
F064BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ104	UF0CIE104	R/W	-	-	-	不定
F064CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ105	UF0CIE105	R/W	-	-	-	不定
F064DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ106	UF0CIE106	R/W	-	-	-	不定
F064EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ107	UF0CIE107	R/W	-	-	-	不定
F064FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ108	UF0CIE108	R/W	-	-	-	不定
F0650H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ109	UF0CIE109	R/W	-	-	-	不定
F0651H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ110	UF0CIE110	R/W	-	-	-	不定
F0652H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ111	UF0CIE111	R/W	-	-	-	不定
F0653H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ112	UF0CIE112	R/W	-	-	-	不定
F0654H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ113	UF0CIE113	R/W	-	-	-	不定

(7/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0655H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ114	UF0CIE114	R/W	-	-	-	不定
F0656H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ115	UF0CIE115	R/W	-	-	-	不定
F0657H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ116	UF0CIE116	R/W	-	-	-	不定
F0658H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ117	UF0CIE117	R/W	-	-	-	不定
F0659H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ118	UF0CIE118	R/W	-	-	-	不定
F065AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ119	UF0CIE119	R/W	-	-	-	不定
F065BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ120	UF0CIE120	R/W	-	-	-	不定
F065CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ121	UF0CIE121	R/W	-	-	-	不定
F065DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ122	UF0CIE122	R/W	-	-	-	不定
F065EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ123	UF0CIE123	R/W	-	-	-	不定
F065FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ124	UF0CIE124	R/W	-	-	-	不定
F0660H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ125	UF0CIE125	R/W	-	-	-	不定
F0661H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ126	UF0CIE126	R/W	-	-	-	不定
F0662H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ127	UF0CIE127	R/W	-	-	-	不定
F0663H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ128	UF0CIE128	R/W	-	-	-	不定
F0664H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ129	UF0CIE129	R/W	-	-	-	不定
F0665H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ130	UF0CIE130	R/W	-	-	-	不定
F0666H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ131	UF0CIE131	R/W	-	-	-	不定
F0667H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ132	UF0CIE132	R/W	-	-	-	不定
F0668H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ133	UF0CIE133	R/W	-	-	-	不定
F0669H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ134	UF0CIE134	R/W	-	-	-	不定
F066AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ135	UF0CIE135	R/W	-	-	-	不定

(8/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F066BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ136	UF0CIE136	R/W	-	-	-	不定
F066CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ137	UF0CIE137	R/W	-	-	-	不定
F066DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ138	UF0CIE138	R/W	-	-	-	不定
F066EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ139	UF0CIE139	R/W	-	-	-	不定
F066FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ140	UF0CIE140	R/W	-	-	-	不定
F0670H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ141	UF0CIE141	R/W	-	-	-	不定
F0671H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ142	UF0CIE142	R/W	-	-	-	不定
F0672H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ143	UF0CIE143	R/W	-	-	-	不定
F0673H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ144	UF0CIE144	R/W	-	-	-	不定
F0674H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ145	UF0CIE145	R/W	-	-	-	不定
F0675H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ146	UF0CIE146	R/W	-	-	-	不定
F0676H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ147	UF0CIE147	R/W	-	-	-	不定
F0677H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ148	UF0CIE148	R/W	-	-	-	不定
F0678H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ149	UF0CIE149	R/W	-	-	-	不定
F0679H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ150	UF0CIE150	R/W	-	-	-	不定
F067AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ151	UF0CIE151	R/W	-	-	-	不定
F067BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ152	UF0CIE152	R/W	-	-	-	不定
F067CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ153	UF0CIE153	R/W	-	-	-	不定
F067DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ154	UF0CIE154	R/W	-	-	-	不定
F067EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ155	UF0CIE155	R/W	-	-	-	不定
F067FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ156	UF0CIE156	R/W	-	-	-	不定
F0680H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ157	UF0CIE157	R/W	-	-	-	不定

(9/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0681H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ158	UF0CIE158	R/W	-	-	-	不定
F0682H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ159	UF0CIE159	R/W	-	-	-	不定
F0683H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ160	UF0CIE160	R/W	-	-	-	不定
F0684H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ161	UF0CIE161	R/W	-	-	-	不定
F0685H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ162	UF0CIE162	R/W	-	-	-	不定
F0686H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ163	UF0CIE163	R/W	-	-	-	不定
F0687H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ164	UF0CIE164	R/W	-	-	-	不定
F0688H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ165	UF0CIE165	R/W	-	-	-	不定
F0689H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ166	UF0CIE166	R/W	-	-	-	不定
F068AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ167	UF0CIE167	R/W	-	-	-	不定
F068BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ168	UF0CIE168	R/W	-	-	-	不定
F068CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ169	UF0CIE169	R/W	-	-	-	不定
F068DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ170	UF0CIE170	R/W	-	-	-	不定
F068EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ171	UF0CIE171	R/W	-	-	-	不定
F068FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ172	UF0CIE172	R/W	-	-	-	不定
F0690H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ173	UF0CIE173	R/W	-	-	-	不定
F0691H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ174	UF0CIE174	R/W	-	-	-	不定
F0692H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ175	UF0CIE175	R/W	-	-	-	不定
F0693H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ176	UF0CIE176	R/W	-	-	-	不定
F0694H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ177	UF0CIE177	R/W	-	-	-	不定
F0695H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ178	UF0CIE178	R/W	-	-	-	不定
F0696H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ179	UF0CIE179	R/W	-	-	-	不定

(10/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F0697H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ180	UF0CIE180	R/W	-	-	-	不定
F0698H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ181	UF0CIE181	R/W	-	-	-	不定
F0699H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ182	UF0CIE182	R/W	-	-	-	不定
F069AH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ183	UF0CIE183	R/W	-	-	-	不定
F069BH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ184	UF0CIE184	R/W	-	-	-	不定
F069CH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ185	UF0CIE185	R/W	-	-	-	不定
F069DH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ186	UF0CIE186	R/W	-	-	-	不定
F069EH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ187	UF0CIE187	R/W	-	-	-	不定
F069FH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ188	UF0CIE188	R/W	-	-	-	不定
F06A0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ189	UF0CIE189	R/W	-	-	-	不定
F06A1H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ190	UF0CIE190	R/W	-	-	-	不定
F06A2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ191	UF0CIE191	R/W	-	-	-	不定
F06A3H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ192	UF0CIE192	R/W	-	-	-	不定
F06A4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ193	UF0CIE193	R/W	-	-	-	不定
F06A5H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ194	UF0CIE194	R/W	-	-	-	不定
F06A6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ195	UF0CIE195	R/W	-	-	-	不定
F06A7H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ196	UF0CIE196	R/W	-	-	-	不定
F06A8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ197	UF0CIE197	R/W	-	-	-	不定
F06A9H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ198	UF0CIE198	R/W	-	-	-	不定
F06AAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ199	UF0CIE199	R/W	-	-	-	不定
F06ABH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ200	UF0CIE200	R/W	-	-	-	不定
F06ACH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ201	UF0CIE201	R/W	-	-	-	不定

(11/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F06ADH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ202	UF0CIE202	R/W	-	-	-	不定
F06AEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ203	UF0CIE203	R/W	-	-	-	不定
F06AFH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ204	UF0CIE204	R/W	-	-	-	不定
F06B0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ205	UF0CIE205	R/W	-	-	-	不定
F06B1H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ206	UF0CIE206	R/W	-	-	-	不定
F06B2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ207	UF0CIE207	R/W	-	-	-	不定
F06B3H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ208	UF0CIE208	R/W	-	-	-	不定
F06B4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ209	UF0CIE209	R/W	-	-	-	不定
F06B5H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ210	UF0CIE210	R/W	-	-	-	不定
F06B6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ211	UF0CIE211	R/W	-	-	-	不定
F06B7H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ212	UF0CIE212	R/W	-	-	-	不定
F06B8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ213	UF0CIE213	R/W	-	-	-	不定
F06B9H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ214	UF0CIE214	R/W	-	-	-	不定
F06BAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ215	UF0CIE215	R/W	-	-	-	不定
F06BBH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ216	UF0CIE216	R/W	-	-	-	不定
F06BCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ217	UF0CIE217	R/W	-	-	-	不定
F06BDH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ218	UF0CIE218	R/W	-	-	-	不定
F06BEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ219	UF0CIE219	R/W	-	-	-	不定
F06BFH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ220	UF0CIE220	R/W	-	-	-	不定
F06C0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ221	UF0CIE221	R/W	-	-	-	不定
F06C1H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ222	UF0CIE222	R/W	-	-	-	不定
F06C2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ223	UF0CIE223	R/W	-	-	-	不定

(12/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F06C3H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ224	UF0CIE224	R/W	-	-	-	不定
F06C4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ225	UF0CIE225	R/W	-	-	-	不定
F06C5H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ226	UF0CIE226	R/W	-	-	-	不定
F06C6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ227	UF0CIE227	R/W	-	-	-	不定
F06C7H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ228	UF0CIE228	R/W	-	-	-	不定
F06C8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ229	UF0CIE229	R/W	-	-	-	不定
F06C9H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ230	UF0CIE230	R/W	-	-	-	不定
F06CAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ231	UF0CIE231	R/W	-	-	-	不定
F06CBH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ232	UF0CIE232	R/W	-	-	-	不定
F06CCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ233	UF0CIE233	R/W	-	-	-	不定
F06CDH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ234	UF0CIE234	R/W	-	-	-	不定
F06CEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ235	UF0CIE235	R/W	-	-	-	不定
F06CFH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ236	UF0CIE236	R/W	-	-	-	不定
F06D0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ237	UF0CIE237	R/W	-	-	-	不定
F06D1H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ238	UF0CIE238	R/W	-	-	-	不定
F06D2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ239	UF0CIE239	R/W	-	-	-	不定
F06D3H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ240	UF0CIE240	R/W	-	-	-	不定
F06D4H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ241	UF0CIE241	R/W	-	-	-	不定
F06D5H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ242	UF0CIE242	R/W	-	-	-	不定
F06D6H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ243	UF0CIE243	R/W	-	-	-	不定
F06D7H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ244	UF0CIE244	R/W	-	-	-	不定
F06D8H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ245	UF0CIE245	R/W	-	-	-	不定

(13/13)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F06D9H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ246	UF0CIE246	R/W	-	-	-	不定
F06DAH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ247	UF0CIE247	R/W	-	-	-	不定
F06DBH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ248	UF0CIE248	R/W	-	-	-	不定
F06DCH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ249	UF0CIE249	R/W	-	-	-	不定
F06DDH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ250	UF0CIE250	R/W	-	-	-	不定
F06DEH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ251	UF0CIE251	R/W	-	-	-	不定
F06DFH	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ252	UF0CIE252	R/W	-	-	-	不定
F06E0H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ253	UF0CIE253	R/W	-	-	-	不定
F06E1H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ254	UF0CIE254	R/W	-	-	-	不定
F06E2H	UF0コンフィギュレーション/インタフェース/ エンドポイント・ディスクリプタ・レジスタ255	UF0CIE255	R/W	-	-	-	不定

(4) EPC周辺制御レジスタ

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
F059EH	バッファ・コントロール・レジスタ	UF0BC	R/W	-	-	-	0000H

13.6.2 クロック制御レジスタ

(1) PLLコントロール・レジスタ (PLL C)

PLLの動作モードを設定するレジスタです。

PLL Cは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

アドレス : F059CH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
PLL C	0	0	0	0	0	PLL M1	PLL M	PLL STOP

PLL M1	PLL M	PLLへの供給クロック/PLLの通倍選択	
		供給クロック	通倍選択
0	0	$f_{MX}/2$	8通倍 ^{注1}
0	1	$f_{MX}/4$	12通倍 ^{注2}
1	0	$f_{MX}/5$	12通倍 ^{注3}

PLL STOP	PLLの動作制御
0	PLL動作
1	PLL停止

注1. $f_{MX} = 12 \text{ MHz}$ のとき、 $f_{USB} = 48 \text{ MHz}$ となります。

2. $f_{MX} = 16 \text{ MHz}$ のとき、 $f_{USB} = 48 \text{ MHz}$ となります。

3. $f_{MX} = 20 \text{ MHz}$ のとき、 $f_{USB} = 48 \text{ MHz}$ となります。

注意1. USBを使用する場合には、必ずリセット後の初期設定でPLLの供給クロックを設定してください。

<設定手順>

PLLを停止 (PLL STOP = 1)

PLL M1, PLL Mを選択 (PLL M1 = 0, PLL M = 0: f_{MX} が12 MHzのとき, PLL M1 = 0, PLL M = 1: f_{MX} が16 MHzのとき, PLL M1 = 1, PLL M = 0: f_{MX} が20 MHzのとき)

PLLの動作を許可 (PLL STOP = 0)

- PLLの発振開始 (PLL STOP = 0) の操作は、USBクロック (f_{USB}) 供給を停止した状態 (UCKCNT = 0)で行ってください。
- PLL動作中の通倍率の設定変更 (PLL M, PLL M1ビットの変更)は禁止です。
- PLL停止中 (PLL STOP = 1)のUSBファンクション・コントローラへのクロック供給 (UCKCNT = 1)は禁止です。
- USBファンクション・コントローラへクロック供給中にPLLを停止 (PLL STOP = 1)することはできません。
- USBファンクション・コントローラへクロック供給中に通倍率の設定を変更 (PLL M, PLL M1ビットの変更)することはできません。

備考 f_{MX} : 高速システム・クロック周波

(2) USBクロック制御レジスタ (UCKC)

USBファンクション・コントローラへ供給するUSBクロック (f_{USB}) を制御するレジスタです。

UCKCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

アドレス : F059DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
UCKC	UCKCNT	0	0	0	0	0	0	0

UCKCNT	USBファンクション・コントローラへのUSBクロック供給制御
0	USBクロック供給停止
1	USBクロック供給

注意 STOPモードへ移行する場合は、USBファンクション・コントローラへのクロック供給を停止してください。

STOPモード解除後はPLLの発振安定待ち時間 (800 μs) をソフトウェアでカウントし、発振安定待ち時間終了後にUSBファンクション・コントローラへクロックを供給してください。

13.6.3 EPC制御レジスタ

(1) UF0 EP0NAKレジスタ (UF0E0N)

Endpoint0のNAKを制御します (自動実行リクエストを除きます)。

8ビット単位でリード/ライト可能です (ただし、ビット0はリードだけ可能です)。

UF0FIC0, UF0FIC1レジスタをセットしてからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって、正確にステータスを読み出す必要がある場合は、UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は、EP0NKRビットに対する書き込みは無視されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0N	0	0	0	0	0	0	EP0NKR	EP0NKW	F0540H	00H

ビット位置	ビット名	意味
1	EP0NKR	Endpoint0へのOUTトークンに対するNAKを制御します (自動実行リクエストを除く)。Endpoint0がデータを正常受信した際に、ハードウェアによって自動的にセット (1) されます。FWによってUF0E0Rレジスタのデータが読み出されたときに (カウンタ値 = 0), ハードウェアによって自動的にクリア (0) されます。 1: NAKを送信する 0: NAKを送信しない (初期値) USBFBがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なおこの場合には、FWでこのビットをクリア (0) するまでUSBFBはNAKを送出しつづけます。UF0E0Rレジスタをクリアした場合には同時にこのビットもクリア (0) されます。
0	EP0NKW	Endpoint0へのINトークンに対するNAK制御状況を示します (自動実行リクエストを除く)。Endpoint0のデータが送信され、送信データをホストが正常受信した場合にハードウェアによって自動的にクリア (0) されます。UF0E0Wレジスタのデータはこのタイミングまで保持されます。したがって、ホストが正常受信できなかった場合の再送要求に対しても、再度書き込みを行う必要はありません。ショート・パケットを送る場合には必ずUF0DENDレジスタのE0DEDビットをセット (1) してください。FIFOフルの場合は自動的にセット (1) されます。UF0DENDレジスタのE0DEDビットがセット (1) された場合、同時にEP0NKWビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージに変わった場合、UF0E0Wレジスタがクリアされると同時にこのビットもクリア (0) されます。FWによりUF0E0Wをクリアした場合にも同時にこのビットもクリア (0) されます。

次に、IN/OUTトークンをともなうSETUPトランザクションの手順を示します。

(a) INトークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア(0)してください。次に、リクエストに従った処理を行い、INトークンでデータを返す必要がある場合はUF0E0Wレジスタにデータを書き込みます。書き込みが終了したあと、UF0IS1レジスタのPROTビットが0であることを確認してから、UF0DENDレジスタのE0DEDビットをセット(1)します。ハードウェアはEP0NKWビットがセット(1)されてから最初のINトークンでデータの送出手続きを行います。UF0IS1レジスタのPROTビットが1の場合、コントロール転送終了前にSETUPトランザクションが再度発生したことを示します。その場合は、UF0IC1レジスタのPROTCビットをクリア(0)することでUF0IS1レジスタのPROTビットをクリア(0)してから、再度UF0E0STレジスタからデータを読み出してください。あとから受信したリクエストを読み出すことが可能になります。

(b) OUTトークンをともなう場合 (ハードウェアで自動実行するリクエストを除く)

FWはCPUDEC割り込みを受け取ったあと、UF0E0STレジスタからデータを読み出す前に、UF0IS1レジスタのPROTビットをクリア(0)してください。UF0E0Rレジスタからデータを読み出す前にUF0IS1レジスタのPROTビットが0であることを確認してください。もしPROTビットが1であれば無効なデータを保持しているので、FWによりFIFOをクリアしてください(EP0NKRビットは自動的にクリア(0)されます)。UF0IS1レジスタのPROTビットが0の場合はUF0E0Lレジスタのデータを読み出し、セットされている分だけのデータをUF0E0Rレジスタから読み出してください。UF0E0Rレジスタからのデータの読み出しが完了すると(UF0E0Rレジスタのカウンタが0になったときに)、ハードウェアは自動的にEP0NKRビットをクリア(0)します。

(2) UF0 EP0NAKALLレジスタ (UF0E0NA)

Endpoint0のすべてのリクエストのNAKを制御します。自動実行リクエストに対しても有効です。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0NA	0	0	0	0	0	0	0	EP0NKA	F0541H	00H

ビット位置	ビット名	意味
0	EP0NKA	<p>Endpoint0へのSETUPトランザクション以外のNAKを制御します (自動実行リクエストを含む)。このビットの操作はFWによって行います。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>このレジスタは、自動実行リクエストで使用するデータの変更を行う場合に、FWライトとSIEからのリードの競合を防止するためのもので、SIEからのアクセスが行われている間は、FWからこのビットへの書き込みの反映を保留する機能を持っています。FWによりリクエスト・データ・レジスタの書き換えを行う際には、このビットのセット (1) が正しく行えたことを確認してから実行してください。このビットのセット (1) が反映されるのは、次の場合に限りです。</p> <ul style="list-style-type: none"> ・ USBFがリセットされた直後でSETUPトークンを一度も受信していない ・ Bus Resetの受信直後でSETUPトークンを一度も受信していない ・ SETUPトークンのPIDを検出したとき ・ ステータス・ステージへ移行したとき <p>なお、クリア (0) はINトークンの受信中でNAK応答を行っている最中を除いてすぐに反映されます。</p> <p>Endpoint0転送中のEP0NKAビットのセット (1) 反映タイミングは上記の4つの場合となりますが、Endpoint0の転送以外の場合は書き込み後すぐに反映されません。</p>

(3) UF0 EPNAKレジスタ (UF0EN)

Endpoint0以外のEndpointのNAK制御などを行います。

8ビット単位でリード/ライト可能です (ただし, ビット4, 1, 0はリードだけ可能です)。

なお, BKO2NKビットはUF0ENMレジスタのBKO2NKMビット = 1のとき, BKO1NKビットはUF0ENMレジスタのBKO1NKMビット = 1のときだけライト可能です。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは, 関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって, 正確にステータスを読み出す必要がある場合は, UF0FIC0, UF0FIC1レジスタに対するライト信号とUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリード信号との間は4USBクロック以上空けてください。

Endpoint0 Read, Endpoint2, Endpoint4に対するNAK送信中は, BKO1NK, BKO2NKビットに対する書き込みは無視されます。

ビット7, 6には必ず0を設定してください。1を設定した場合の動作は保証できません。

(1/3)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EN	0	0	IT2NK	IT1NK	BKO2NK	BKO1NK	BKI2NK	BKI1NK	F0542H	00H

ビット位置	ビット名	意 味
5	IT2NK	Endpoint8 (インタラプト2転送) に対するNAKを制御します。 データ書き込みによりUF0INT2レジスタがフルになるとこのビットは自動的にセット (1) され, 送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には, UF0DENDレジスタのIT2DENDビットをセット (1) してください。IT2DENDビットがセット (1) されると, 同時にこのビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお, UF0INT2レジスタをクリアした場合には同時にこのビットもクリア (0) されます。
4	IT1NK	Endpoint7 (インタラプト1転送) に対するNAKを制御します。 データ書き込みによりUF0INT1レジスタがフルになるとこのビットは自動的にセット (1) され, 送信が開始されます。FIFOがフルにならないショート・パケットを送る場合には, UF0DENDレジスタのIT1DENDビットをセット (1) してください。IT1DENDビットがセット (1) されると, 同時にこのビットが自動的にセット (1) されます。 1: NAKを送信しない 0: NAKを送信する (初期値) なお, UF0INT1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。

ビット位置	ビット名	意 味
3	BKO2NK	<p>Endpoint4 (バルク2転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO2レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO2DT割り込み要求を受け取った時点でUF0BO2Lレジスタのデータを読み出し、その値分のデータをUF0BO2レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO2レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>
2	BKO1NK	<p>Endpoint2 (バルク1転送 (OUT)) に対するNAKを制御します。</p> <p>1: NAKを送信する 0: NAKを送信しない (初期値)</p> <p>UF0BO1レジスタ (バンク構成の64バイトFIFO) のSIE側に接続されているFIFOがデータを受信できない場合のみセット (1) されます。なお、トグル動作が行われるとクリア (0) されます。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ SIE側に接続されているFIFOに正常受信されたデータを格納した ・ CPU側に接続されているFIFOカウンタ値が0である (リード完了) <p>FWはBLKO1DT割り込み要求を受け取った時点でUF0BO1Lレジスタのデータを読み出し、その値分のデータをUF0BO1レジスタから読み出してください。USBFがデータを受信できるにもかかわらず、なんらかの理由によりUSBバスからのデータを受信したくない場合には、このビットをFWによりセット (1) してください。なお、この場合にはFWがこのビットをクリア (0) するまでUSBFはNAKを送出し続けます。UF0BO1レジスタをクリアした場合には同時にこのビットもクリア (0) されます。</p>

ビット位置	ビット名	意 味
1	BKI2NK	<p>Endpoint3 (バルク2転送 (IN)) に対するNAKを制御します。</p> <p>1 : NAKを送信しない 0 : NAKを送信する (初期値)</p> <p>UF0BI2レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0BI2レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルかUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みによりCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。</p>
0	BKI1NK	<p>Endpoint1 (バルク1転送 (IN)) に対するNAKを制御します。</p> <p>1 : NAKを送信しない 0 : NAKを送信する (初期値)</p> <p>UF0BI1レジスタ (バンク構成の64バイトFIFO) のデータ送信が正常に終了してSIE側に接続されているFIFOにデータがない場合のみクリア (0) されます。なお、トグル動作が行われるとセット (1) されます (UF0BI1レジスタのデータは、送信が正常に完了するまで保持されます)。バンクの切り替え (トグル動作) は、次に示す条件を満たす場合に行われます。</p> <ul style="list-style-type: none"> ・ CPUバス側に接続されているFIFOに正常に書き込みが行われた (ライト完了, FIFOフルかUF0DENDレジスタがセットされている) ・ SIE側に接続されているFIFOカウンタ値が0である <p>データ書き込みでCPU側のFIFOがフルになりFIFOトグル動作が行われると、このビットは自動的にセット (1) されデータ送信が開始されます。</p>

(4) UF0 EPNAKマスク・レジスタ (UF0ENM)

UF0ENレジスタに対する書き込みマスクを制御します。

8ビット単位でリード/ライト可能です。

ビット7-4, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ENM	0	0	0	0	BKO2NKM	BKO1NKM	0	0	F0543H	00H

ビット位置	ビット名	意 味
3	BKO2NKM	UF0ENレジスタのビット3 (BKO2NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)
2	BKO1NKM	UF0ENレジスタのビット2 (BKO1NK) に対する書き込みをマスクするかしないかを設定します。 1: マスクしない 0: マスクする (初期値)

(5) UF0 SNDSIEレジスタ (UF0SDS)

ノー・ハンドシェークなどの操作を行います。SIEの端子を直接操作できます。

8ビット単位でリード/ライトが可能です。

ビット2には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SDS	0	0	0	0	SNDSTL	0	0	RSUMIN	F0544H	00H

ビット位置	ビット名	意 味
3	SNDSTL	<p>Endpoint0に対してSTALLハンドシェークを発行させるようにします。CPUDEC処理のリクエストがシステムで対応していないものであるときにセット(1)することで、STALLハンドシェークで応答させます。SET_CONFIGURATION, SET_INTERFACEリクエストなどでサポートしていないwValueが送られてきた場合は、ハードウェアがこのビットをセット(1)します。自動リクエストでのオーバーラン等によりEndpoint0で問題が発生した場合もこのビットはセット(1)されます。ただし、UF0E0SLレジスタのE0HALTビットへのセット(1)は行われません。</p> <p>1: STALLハンドシェークで応答する 0: STALLハンドシェークで応答しない(初期値)</p> <p>なお、次のSETUPトークンを受信したときにこのビットはクリア(0)され、バスへのハンドシェーク応答はSTALL以外になります。FWでSNDSTLビットをセット(1)する場合には、UF0E0Wレジスタへの書き込みは行わないでください。また、セット(1)するタイミングによってはSTALL応答が間に合わずNAK応答を行ったあとに次の転送にSTALL応答する場合があります。</p> <p>このビットの設定は、セット(1)されたときに実行中のFW実行リクエストの間だけ有効です。次のSETUPトークン受信時に自動的にクリア(0)されます。</p> <p>備考 SNDSTLビットはFW実行リクエストに対してだけ有効です。</p>
0	RSUMIN	<p>USBバス上にResume信号を出力させます。UF0DSTLレジスタのRMWKビットがセット(1)されていないかぎり、このビットへの書き込みは無効となります。</p> <p>1: Resume信号を発生させる 0: Resume信号を発生させない(初期値)</p> <p>このビットがセット(1)されている間はResume信号を発生させ続けますので、一定時間経過したあとFWによりクリア(0)してください。内部でクロックによるサンプリングを行っているため、CLKが供給されている場合のみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。</p>

(6) UF0 CLRリクエスト・レジスタ (UF0CLR)

受信されたCLEAR_FEATUREリクエストが何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット(1)され、このレジスタを読み出したときに自動的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CLR	0	CLREP7	CLREP4	CLREP3	CLREP2	CLREP1	CLREP0	CLRDEV	F0545H	00H

ビット位置	ビット名	意 味
6-1	CLREPn	CLEAR_FEATURE Endpoint nリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)
0	CLRDEV	CLEAR_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない(初期値)

備考 n = 0-4, 7, 8

(7) UF0 SETリクエスト・レジスタ (UF0SET)

自動処理を行ったSET_XXXXリクエスト (SET_INTERFACEを除く) が何を対象にしたものかを示します。

8ビット単位でリードだけ可能です。

このレジスタは割り込み要求が発生したときにだけ意味を持ちます。各ビットはステータス・ステージ終了後にセット (1) され、このレジスタを読み出したときに自動的にクリア (0) されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0SET	SETCON	0	0	0	0	SETEP	0	SETDEV	F0546H	00H

ビット位置	ビット名	意 味
7	SETCON	SET_CONFIGURATIONリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
2	SETEP	SET_FEATURE Endpoint nリクエスト (n = 0-4, 7, 8) を受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)
0	SETDEV	SET_FEATURE Deviceリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った 0: 自動処理を行っていない (初期値)

(8) UF0 EPステータスレジスタ (UF0EPS0)

USBバス状態、レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

UF0FIC0, UF0FIC1レジスタを設定してからこのレジスタにステータスが反映されるまでに5USBクロックかかります。したがって、正確にステータスを読み出す必要がある場合はUF0FIC0, UF0FIC1レジスタに対するライトとUF0EPS0, UF0EPS1, UF0EPS2レジスタ, UF0E0Nレジスタ, UF0ENレジスタに対するリードとの間は4USBクロック以上空けてください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS0	IT2	IT1	BKOUT2	BKOUT1	BKIN2	BKIN1	EPOW	EP0R	F0547H	00H

ビット位置	ビット名	意 味
7	IT2	UF0INT2レジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのIT2DENDビットをセット (1) することにより、UF0INT2レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0INT2レジスタのカウンタが0であっても、UF0DENDレジスタのIT2DENDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
6	IT1	UF0INT1レジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのIT1DENDビットをセット (1) することにより、UF0INT1レジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0INT1レジスタのカウンタが0であっても、UF0DENDレジスタのIT1DENDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。 1: データがある 0: データがない (初期値)
5, 4	BKOUTn	CPU側に接続されたUF0BOnレジスタ (FIFO) にデータがあることを示します。UF0BOnレジスタを構成しているFIFOが切り替わったときに、ハードウェアにより自動的にセット (1) されます。CPU側に接続されたUF0BOnレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません (FIFOのトグルも発生しません)。 1: データがある 0: データがない (初期値)

備考 n = 1, 2

(2/2)

ビット位置	ビット名	意 味
3, 2	BKInn	<p>CPU側に接続されたUF0BInレジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのBKInDEDビットをセット (1) することにより、UF0BInレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0BInレジスタのカウンタが0であっても、UF0DENDレジスタのBKInDEDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。トグル動作時にクリア (0) されます。</p> <p>1: データがある 0: データがない (初期値)</p>
1	EP0W	<p>UF0E0Wレジスタ (FIFO) にデータがあることを示します。また、UF0DENDレジスタのE0DEDビットをセット (1) することにより、UF0E0Wレジスタに書き込みを行わなくてもデータがある状態にすることが可能です (Nullデータ送信)。UF0E0Wレジスタのカウンタが0であっても、UF0DENDレジスタのE0DEDビットをセット (1) すると、同時にこのビットがハードウェアによりセット (1) されます。正常送信後にクリア (0) されます。</p> <p>1: データがある 0: データがない (初期値)</p>
0	EP0R	<p>UF0E0Rレジスタ (FIFO) にデータがあることを示します。UF0E0Rレジスタ (FIFO) の読み出しが終了 (カウンタ値 = 0) したときに、ハードウェアにより自動的にクリア (0) されます。Nullデータを受信した場合はセット (1) されません。</p> <p>1: データがある 0: データがない (初期値)</p>

(9) UF0 EPステータス1レジスタ (UF0EPS1)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS1	RSUM	0	0	0	0	0	0	0	F0548H	00H

ビット位置	ビット名	意 味
7	RSUM	<p>USBバスがResume状態にあることを示します。このビットは割り込み要求が発生したときにだけ意味を持ちます。</p> <p>1 : Suspend状態になった</p> <p>0 : Resume状態になった (初期値)</p> <p>内部でクロックによるサンプリングを行っているため、CLKが供給されている場合にのみ動作を保証できます。システムとしてCLKを停止する場合は注意してください。SIEではCLKが停止した状態でもINTRSUM信号は動作します。したがって割り込み制御レジスタ(UFIC1)を有効にするか、USBFに対するCLKの周波数を下げることで対応が可能になります。</p> <p>このビットは読み出したときに自動的にクリア(0)されます。</p>

(10) UF0 EPステータス2レジスタ (UF0EPS2)

USBバス状態，レジスタのデータの有無を示します。

8ビット単位でリードだけ可能です。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは，関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0EPS2	0	HALT8	HALT7	HALT4	HALT3	HALT2	HALT1	HALT0	F0549H	00H

ビット位置	ビット名	意 味
6-0	HALTn	<p>現在Endpoint nがストールしていることを示すビットです。オーバラン発生や規定外リクエスト受信などのストール条件が成立した場合にセット(1)されます。これらのビットはハードウェアにより自動的にセット(1)されます。</p> <p>1: Endpointがストールしている 0: Endpointはストールしていない(初期値)</p> <p>オーバラン発生/規定外リクエスト受信などによりHALT0ビットがセット(1)されると，同時にSNDSTLビットもセット(1)されます。この状態で次のSETUPトークンを受信すると，SNDSTLビットがクリア(0)されるため，このビットもクリア(0)されます。なお，SET_FEATURE Endpoint0リクエストによりEndpoint0をストールさせた場合には，CLEAR_FEATURE Endpoint0リクエストを受信するかFWでHalt Featureをクリアするまでこのビットはクリア(0)されません。Endpoint0のHalt Featureをセットした状態でGET_STATUS Endpoint0, CLEAR_FEATURE Endpoint0, SET_FEATURE Endpoint0リクエスト，またはCPUDEC割り込み要求によりFWで処理を行うリクエストを受信した場合には，次のSETUPトークンを受信するまでHALT0ビットはマスクされ0になります。Endpoint nがCLEAR_FEATURE Endpointリクエストを受信するまでかEndpointがリンクされたInterfaceに対するSET_INTERFACE, SET_CONFIGURATIONリクエストでHalt Featureをクリアするまで，またはFWでHalt Featureをクリアするまで，HALTnビットはクリア(0)されません。SET_INTERFACE, SET_CONFIGURATIONリクエストを正常処理した場合には，wValue値が現行の設定値と同じであったとしてもEndpoint0を除いたすべての対象EndpointのHalt Featureはリクエストを処理したあとにクリアされ，これらのビットもクリア(0)されます。Endpoint0のHalt FeatureがセットされているとSET_INTERFACE, SET_CONFIGURATIONリクエストはSTALL応答されるため，Endpoint0のHalt Featureはクリアできません。</p>

備考 n = 0-4, 7, 8

(11) UF0 INTステータス0レジスタ (UF0IS0)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC0レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSB) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSB割り込み要求を発行します。

例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSB割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、78K0R/KC3-L, KE3-L内部のINTUSB割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSB割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS0	BUSRST	RSUSPD	0	0	0	SETRQ	CLRRQ	EPHALT	F0550H	00H

ビット位置	ビット名	意味
7	BUSRST	Bus Resetが行われたことを示します。 1 : Bus Resetが行われた (割り込み要求発生) 0 : Bus Reset状態ではない (初期値)
6	RSUSPD	ResumeまたはSuspend状態が発生したことを示します。FWでUF0EPS1レジスタのビット7を参照してください。 1 : ResumeまたはSuspend状態が発生した (割り込み要求発生) 0 : ResumeまたはSuspend状態が発生していない (初期値)
2	SETRQ	自動処理対象のSET_XXXXリクエストを受信し、自動処理を行ったことを示します (XXXX = CONFIGURATION, FEATURE)。 1 : 自動処理対象のSET_XXXXリクエストを受信した (割り込み要求発生) 0 : 自動処理対象のSET_XXXXリクエストを受信していない (初期値) このビットはステータス・ステージ終了後にセット (1) されます。リクエストの対象が何かはUF0SETレジスタを参照してください。FWによりUF0SETレジスタを読み出しても、自動的にクリア (0) されません。 なお、SET_FEATURE Endpointリクエストを受信したときはEPHALTビットもセット (1) されます。

(2/2)

ビット位置	ビット名	意 味
1	CLRRQ	<p>CLEAR_FEATURE リクエストを受信し、自動処理を行ったことを示します。</p> <p>1: CLEAR_FEATURE リクエストを受信した (割り込み要求発生)</p> <p>0: CLEAR_FEATURE リクエストを受信していない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。</p> <p>CLEAR_FEATURE リクエストの対象が何かは UF0CLR レジスタを参照してください。FW により UF0CLR レジスタを読み出しても、自動的にクリア (0) されません。</p>
0	EPHALT	<p>Endpoint がストールしていることを示します。</p> <p>1: Endpoint がストールしている (割り込み要求発生)</p> <p>0: Endpoint がストールしていない (初期値)</p> <p>なお、FW のセットにより Endpoint をストールさせた場合もこのビットがセット (1) されます。</p> <p>ストールしている Endpoint は、UF0EPS2 レジスタを参照してください。</p> <p>CLEAR_FEATURE Endpoint, SET_INTERFACE, SET_CONFIGURATION リクエストを受信しても、自動的にクリア (0) されません。また Endpoint0 のオーバーラン発生の場合、次の SETUP トークンを受信しても、自動的にクリア (0) されません。</p> <p>注意 Endpoint0 の Halt Feature がセットされてこの割り込み要求が発生した場合でも、SET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUS Endpoint0 リクエストまたは FW 処理リクエストを受信してから次の前述以外の SETUP トークンを受信するまでは UF0EPS2 レジスタのビット0 はマスクされ0 になります。</p>

(12) UF0 INTステータス1レジスタ (UF0IS1)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC1レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。ただし、UF0IS1レジスタのSUCES, STGビットは次のSETUPトークン受信で自動的にクリア (0) されます。

注意 USBFでは、Bus Reset, Resume, Shortなど複数の割り込み要因が内部で論理和 (OR) され、1つの割り込み要求 (INTUSB) として発生します。このため、複数の割り込み要因が発生している場合、複数の割り込み要因が論理和 (OR) されてINTUSB割り込み要求を発行します。

例えば、Bus Reset割り込み要因とResume割り込み要因が発生している場合には、2つの要因が論理和 (OR) されてINTUSB割り込み要求を発行します。

この条件で、Bus Reset割り込み要因だけをクリア (0) (UF0IC0.BUSRSTC = 0) した場合、Resume割り込み要因が残っているため、78K0R/KC3-L, KE3-L内部のINTUSB割り込み要求はセット (1) された状態のままとなり、新たに割り込み要求フラグ (US0BIC.US0BIF) がセット (1) されないことがあります。

この場合、INTUSB割り込み処理ルーチン内で各割り込み要求のクリア処理を実施したあと、改めてUF0IS0, UF0IS1レジスタのフラグ状態を確認し、フラグがセット (1) されている割り込み要因がある場合には、フラグのクリア (一括クリアではなく、該当ビットのみをクリア) を行ってください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS1	0	E0IN	E0INDT	E0ODT	SUCES	STG	PROT	CPU DEC	F0551H	00H

ビット位置	ビット名	意味
6	E0IN	Endpoint0に対するINトークンを受信して、ハードウェアが自動的にNAKを送信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
5	E0INDT	UF0E0Wレジスタからデータが正常に送信されたことを示します。 1: UF0E0Wレジスタから送信が完了した (割り込み要求発生) 0: UF0E0Wレジスタから送信を完了していない (初期値) データはUF0E0NレジスタのEP0NKWビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。Nullパケットでもセット (1) されます。UF0E0Wレジスタに書き込みを行った最初のライト・アクセス時にハードウェアにより自動的にクリア (0) されます。

ビット位置	ビット名	意 味
4	E0ODT	<p>データがUF0E0Rレジスタに正常に受信されたことを示します。</p> <p>1: UF0E0Rレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0Rレジスタにデータがない (初期値)</p> <p>正常に受信するとハードウェアにより自動的にセット (1) され、同時にUF0EPS0レジスタのEP0Rビットもセット (1) されます。Nullパケットを受信した場合はセット (1) されません。FWによりUF0E0Rレジスタを読み出し、UF0E0Lレジスタの値が0になるとハードウェアにより自動的にクリア (0) されます。</p>
3	SUCES	<p>FW処理またはハードウェア処理リクエストのどちらかを受信し、ステータス・ステージを正常に終了したことを示します。</p> <p>1: コントロール転送を正常に処理し終わった (割り込み要求発生)</p> <p>0: コントロール転送を正常に処理し終わっていない (初期値)</p> <p>このビットはステータス・ステージ終了後にセット (1) されます。また、次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、コントロール転送のステータス・ステージでData PIDが0のデータ (Nullデータ) を受信した場合もSUCESビットがセット (1) されます。</p>
2	STG	<p>コントロール転送でステータス・ステージが変わったときにセット (1) されます。FW処理またはハードウェア処理のいずれのリクエストでも有効です。また、コントロール転送 (データなし) でもステータス・ステージが変わったときにはセット (1) されます。</p> <p>1: ステータス・ステージに入った (割り込み要求発生)</p> <p>0: ステータス・ステージに入っていない (初期値)</p> <p>このビットは次のSETUPトークンを受信したときにハードウェアにより自動的にクリア (0) されます。</p> <p>なお、データ・ステージでACKを正常に受信できていない状態でコントロール転送がステータス・ステージが変わった場合でもセット (1) されます。この場合、FWでコントロール転送 (リード) を処理している場合にはUF0E0Wレジスタと同時にUF0E0NレジスタのEP0NKWビットもクリア (0) されます。</p>
1	PROT	<p>SETUPトークンを受信したことを示します。ハードウェア処理またはFW処理のいずれのリクエストでも有効です。</p> <p>1: SETUPトークンを正常受信した (割り込み要求発生)</p> <p>0: SETUPトークンを受信していない (初期値)</p> <p>このビットは、UF0E0STレジスタにデータを正常受信した際にセット (1) されます。UF0E0STレジスタを最初にリード・アクセスする際などに、FWによってクリア (0) してください。FWによりクリア (0) しなかった場合、次のSETUPトークンを正常に受け取ったことを認識できません。</p> <p>このビットは、コントロール転送中に再度SETUPトランザクションが行われたことを確実に認識するために使用します。コントロール転送中に再度SETUPトランザクションが行われ、2番目のリクエストがハードウェア実行の場合CPUDECビットはセット (1) されないため、このビットで確認することができます。</p>
0	CPUDEC	<p>UF0E0STレジスタにFWでデコードを行うリクエストがあることを示します。</p> <p>1: UF0E0STレジスタにデータがある (割り込み要求発生)</p> <p>0: UF0E0STレジスタにデータがない (初期値)</p> <p>UF0E0STレジスタのデータをすべてリードすると、ハードウェアにより自動的にクリア (0) されます。</p>

(13) UF0 INTステータス2レジスタ (UF0IS2)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC2レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 1, 3, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS2	BKI2IN	BKI2DT	BKI1IN	BKI1DT	0	0	IT2DT	IT1DT	F0552H	00H

ビット位置	ビット名	意味
7, 5	BKInIN	UF0BInレジスタ (Endpoint m) に対するINトークンを受信してNAKを返信したことを示します。 1: INトークンを受信しNAKを送出した (割り込み要求発生) 0: INトークンを受信していない (初期値)
6, 4	BKInDT	UF0BInレジスタ (Endpoint m) のFIFOのトグルが発生したことを示します。これはEndpoint mにデータを書き込めることを意味します。 1: FIFOのトグル動作が発生した (割り込み要求発生) 0: FIFOのトグル動作が発生していない (初期値) Endpoint mに書き込まれたデータはUF0ENレジスタのBKInNKビットがセット (1) された次のINトークンに同期して送信されますが、FIFOのトグル動作が発生してCPU側からデータが書き込めるようになると、このビットがハードウェアにより自動的にセット (1) されます。Nullパッケージの場合でもFIFOの切り替えが行われた場合はセット (1) されます。UF0BInレジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。
1, 0	ITnDT	UF0INTnレジスタ (Endpoint x) からデータが正常に送信されたことを示します。 1: 送信が完了した (割り込み要求発生) 0: 送信が完了していない (初期値) データはUF0ENレジスタのITnNKビットをセット (1) した次のINトークンに同期して送信されますが、そのデータをホストが正常受信した場合にハードウェアにより自動的にセット (1) されます。UF0INTnレジスタに書き込みを行った最初のライト・アクセス時にハードウェアが自動的にクリア (0) します。Nullパッケージでもセット (1) されます。

備考 n = 1, 2

n = 1のときm = 1, x = 7

n = 2のときm = 3, x = 8

(14) UF0 INTステータス3レジスタ (UF0IS3)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB) が発生した場合、FWはこのレジスタを読み出し割り込み要因を確認してください。

このレジスタの各ビットは、UF0IC3レジスタの対応ビットに0を書き込むと強制的にクリア (0) されます。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS3	BKO2FL	BKO2NL	BKO2 NAK	BKO2DT	BKO1FL	BKO1NL	BKO1 NAK	BKO1DT	F0553H	00H

ビット位置	ビット名	意 味
7, 3	BKOnFL	UF0BOnレジスタ (Endpoint m) にデータが正常受信され、CPU/SIEの両方のFIFOにデータが保持されていることを示します。 1: UF0BOnレジスタの両方のFIFOに受信データが存在する (割り込み要求発生) 0: UF0BOnレジスタの少なくともSIE側FIFOには受信データが存在しない (初期値) CPU/SIEの両方のFIFOにデータが保持されると、ハードウェアにより自動的にセット (1) されます。FIFOのトグル動作が起こるとハードウェアにより自動的にクリア (0) されます。
6, 2	BKOnNL	UF0BOnレジスタ (Endpoint m) でNullパケット (0長パケット) を受信したことを示します。 1: Nullパケットを受信した (割り込み要求発生) 0: Nullパケットは受信していない (初期値) FIFOが空の状態ではNullパケットの受信により受信直後にこのビットがセット (1) されます。CPU側FIFOにデータが存在する状態ではCPU側FIFOの読み出しが完了したあとにこのビットがセット (1) されます。
5, 1	BKOnNAK	UF0BOnレジスタ (Endpoint m) に対するOUTトークンを受信してNAKを返信したことを示します。 1: OUTトークンを受信しNAKを送出した (割り込み要求発生) 0: OUTトークンを受信していない (初期値)

備考 n = 1, 2

n = 1のときm = 2

n = 2のときm = 4

(2/2)

ビット位置	ビット名	意 味
4, 0	BKOnDT	<p>UF0BOnレジスタ (Endpoint m) にデータが正常受信されたことを示します。</p> <p>1: 正常に受信が完了した (割り込み要求発生)</p> <p>0: 受信が完了していない (初期値)</p> <p>正常受信を行いFIFOが切り替わったときに,ハードウェアにより自動的にセット (1) され,同時にUF0EPS0レジスタの対応ビットもセット (1) されます。Null パケットの場合はセット (1) されません。FWIによるUF0BOnレジスタ読み出しでUF0BOnLレジスタの値が0になると,ハードウェアにより自動的にクリア (0) されます。</p> <p>このビットはCPU側のFIFOをすべて読み出したときに自動的にクリア (0) されますが,このときSIE側にデータがあれば割り込み要求はクリアされずINTRSUM信号もインアクティブになりません。連続してデータを受信した場合は,アクティブのままになります。</p>

備考 n = 1, 2
n = 1のときm = 2
n = 2のときm = 4

(15) UF0 INTステータス4レジスタ (UF0IS4)

割り込み要因を示します。このレジスタに変化があった場合は、INTUSBがアクティブになります。

8ビット単位でリードだけ可能です。

USBFから割り込み要求 (INTUSB) が発生した場合、FWはこのレジスタを読み出して割り込み要因を確認してください。

このレジスタのビットは、UF0IC4レジスタの対応ビットに0を書き込むと強制的にクリア(0)されます。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IS4	0	0	SETINT	0	0	0	0	0	F0554H	00H

ビット位置	ビット名	意 味
5	SETINT	SET_INTERFACEリクエストを受信して、自動処理を行ったことを示します。 1: 自動処理を行った (割り込み要求発生) 0: 自動処理を行っていない (初期値) 現在の設定がどのようになっているかはUF0ASSレジスタまたはUF0IFnレジスタ (n = 0-4) を読み出すことで判断できます。

(16) UF0 INTマスク0レジスタ (UF0IM0)

UF0IS0レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM0	BUS RSTM	RSU SPDM	1 注	1 注	1 注	SET RQM	CLR RQM	EP HALTM	F0557H	00H

ビット位置	ビット名	意 味
7	BUSRSTM	Bus Reset割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6	RSUSPDM	Resume/Suspend割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	SETRQM	SET_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	CLRRQM	CLR_RQ割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	EPHALTM	EP_Halt割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

注 ビット3-5の初期値は0ですが、必ず“1”を設定してください。

(17) UF0 INTマスク1レジスタ (UF0IM1)

UF0IS1レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWはこのレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB) 発生をマスクします。マスクした場合もステータスは反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM1	0	E0INM	E0 INDTM	E0 ODTM	SUCESM	STGM	PROTM	CPU DECM	F0558H	00H

ビット位置	ビット名	意 味
6	E0INM	EP0IN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5	E0INDTM	EP0INDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4	E0ODTM	EP0OUTDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
3	SUCESM	Success割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
2	STGM	Stg割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1	PROTM	Protect割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
0	CPUDECM	CPUDECM割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

(18) UF0 INTマスク2レジスタ (UF0IM2)

UF0IS2レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1, 3, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM2	BKI2INM	BKI2 DTM	BKI1INM	BKI1 DTM	0	0	IT2DTM	IT1DTM	F0559H	00H

ビット位置	ビット名	意 味
7, 5	BKInINM	BLKInIN割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 4	BKInDTM	BLKInDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
1, 0	ITnDTM	INTnDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(19) UF0 INTマスク3レジスタ (UF0IM3)

UF0IS3レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB) 発生をマスクします。マスクを行った場合もステータスは反映されません。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	F055AH	00H
	FLM	NLM	NAKM	DTM	FLM	NLM	NAKM	DTM		

ビット位置	ビット名	意 味
7, 3	BKOnFLM	BLKOnFL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
6, 2	BKOnNLM	BLKOnNL割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
5, 1	BKOnNAKM	BLKOnNK割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)
4, 0	BKOnDTM	BLKOnDT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

備考 n = 1, 2

(20) UF0 INTマスク4レジスタ (UF0IM4)

UF0IS4レジスタに示される割り込み要因のマスクを制御します。

8ビット単位でリード/ライト可能です。

FWは、このレジスタの該当するビットに1を書き込むことでUSBFからの割り込み要求 (INTUSB) 発生をマスクします。マスクを行った場合もステータスは反映されます。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IM4	1 ^注	1 ^注	SETINTM	1 ^注	F055BH	00H				

ビット位置	ビット名	意味
5	SETINTM	SET_INT割り込みのマスクを行います。 1: マスクする 0: マスクしない (初期値)

注 ビット0-4, 6, 7の初期値は0ですが、必ず“1”を設定してください。

(21) UF0 INTクリアレジスタ (UF0IC0)

UF0IS0レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア(0)するビットでも、ハードウェアによるクリア(0)の前にFWによるクリア(0)が可能です。0を書き込んだあとは自動的にセット(1)されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC0	BUS	RSU	1	1	1	SET	CLR	EP	F055EH	FFH
	RSTC	SPDC				RQC	RQC	HALTC		

ビット位置	ビット名	意 味
7	BUSRSTC	Bus Reset割り込み要求をクリアします。 0 : クリアする
6	RSUSPDC	Resume/Suspend割り込み要求をクリアします。 0 : クリアする
2	SETRQC	SET_RQ割り込み要求をクリアします。 0 : クリアする
1	CLRRQC	CLR_RQ割り込み要求をクリアします。 0 : クリアする
0	EPHALTC	EP_Halt割り込み要求をクリアします。 0 : クリアする

(22) UF0 INTクリアレジスタ (UF0IC1)

UF0IS1レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC1	1	E0INC	E0 INDTC	E0ODTC	SUCESC	STGC	PROTC	CPU DECC	F055FH	FFH

ビット位置	ビット名	意 味
6	E0INC	EP0IN割り込み要求をクリアします。 0 : クリアする
5	E0INDTC	EP0INDT割り込み要求をクリアします。 0 : クリアする
4	E0ODTC	EP0OUTDT割り込み要求をクリアします。 0 : クリアする
3	SUCESC	Success割り込み要求をクリアします。 0 : クリアする
2	STGC	Stg割り込み要求をクリアします。 0 : クリアする
1	PROTC	Protect割り込み要求をクリアします。 0 : クリアする
0	CPUDECC	CPUDECC割り込み要求をクリアします。 0 : クリアする

(23) UF0 INTクリアレジスタ (UF0IC2)

UF0IS2レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1, 3, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC2	BKI2INC	BKI2 DTC	BKI1INC	BKI1 DTC	1	1	IT2DTC	IT1DTC	F0560H	FFH

ビット位置	ビット名	意 味
7, 5	BKInINC	BLKInIN割り込み要求をクリアします。 0 : クリアする
6, 4	BKInDTC	BLKInDT割り込み要求をクリアします。 0 : クリアする
1, 0	ITnDTC	INTnDT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(24) UF0 INTクリア3レジスタ (UF0IC3)

UF0IS3レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC3	BKO2	BKO2	BKO2	BKO2	BKO1	BKO1	BKO1	BKO1	F0561H	FFH
	FLC	NLC	NAKC	DTC	FLC	NLC	NAKC	DTC		

ビット位置	ビット名	意味
7, 3	BKOnFLC	BLKOnFL割り込み要求をクリアします。 0 : クリアする
6, 2	BKOnNLC	BLKOnNL割り込み要求をクリアします。 0 : クリアする
5, 1	BKOnNAKC	BLKOnNK割り込み要求をクリアします。 0 : クリアする
4, 0	BKOnDTC	BLKOnDT割り込み要求をクリアします。 0 : クリアする

備考 n = 1, 2

(25) UF0 INTクリアレジスタ (UF0IC4)

UF0IS4レジスタに示される割り込み要因のクリアを制御します。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、FFHが読み出せます。

FWはこのレジスタの該当するビットに0を書き込むことで割り込み要因をクリアできます。ハードウェアが自動的にクリア (0) するビットでも、ハードウェアによるクリア (0) の前にFWによるクリア (0) が可能です。0を書き込んだあとは自動的にセット (1) されます。1を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IC4	1	1	SETINTC	1	1	1	1	1	F0562H	FFH

ビット位置	ビット名	意 味
5	SETINTC	SET_INT割り込み要求をクリアします。 0: クリアする

(26) UF0 FIFOクリアレジスタ (UF0FIC0)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC0	BKI2SC	BKI2CC	BKI1SC	BKI1CC	ITR2C	ITR1C	EP0WC	EP0RC	F0570H	00H

ビット位置	ビット名	意味
7, 5	BKInSC	UF0BInレジスタのSIE側FIFOのみをクリア (カウンタをリセット) します。 1: クリアする BKInNKビットがセット (1) されている状態でEndpoint mに対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, BKInNKビットはFIFOをクリアすることで自動的にクリア (0) されます。このビットを使用するときにはCPU側FIFOを必ず空にしておいてください。
6, 4	BKInCC	UF0BInレジスタのCPU側FIFOのみをクリア (カウンタをリセット) します。 1: クリアする
3	ITR2C	UF0INT2レジスタをクリア (カウンタをリセット) します。 1: クリアする IT2NKビットがセット (1) されている状態でEndpoint 8に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, IT2NKビットはFIFOをクリアすることで自動的にクリア (0) されます。
2	ITR1C	UF0INT1レジスタをクリア (カウンタをリセット) します。 1: クリアする IT1NKビットがセット (1) されている状態でEndpoint 7に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, IT1NKビットはFIFOをクリアすることで自動的にクリア (0) されます。
1	EP0WC	UF0E0Wレジスタをクリア (カウンタをリセット) します。 1: クリアする EP0NKWビットがセット (1) されている状態でEndpoint 0に対するINトークンの処理中にこのビットの書き込みを行っても無効になります。なお, EP0NKWビットはFIFOをクリアすることで自動的にクリア (0) されます。
0	EP0RC	UF0E0Rレジスタをクリア (カウンタをリセット) します。 1: クリアする EP0NKRビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでEP0NKRビットが自動的にクリア (0) されます。

備考 n = 1, 2

n = 1のとき m = 1

n = 2のとき m = 3

(27) UF0 FIFOクリアレジスタ (UF0FIC1)

各FIFOをクリアするためのレジスタです。

8ビット単位でライトだけ可能です。このレジスタをリードした場合は、00Hが読み出せます。

FWはこのレジスタの該当するビットに1を書き込むことで対象FIFOをクリアできます。1を書き込んだあとは自動的にクリア(0)されます。0を書き込んでも無効となります。

UF0EnIMレジスタ (n = 2, 4) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0FIC1	0	0	0	0	BKO2C	BKO2CC	BKO1C	BKO1CC	F0571H	00H

ビット位置	ビット名	意 味
3, 1	BKOnC	UF0BOnレジスタのSIE側/CPU側の両FIFOをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア (0) されます。
2, 0	BKOnCC	UF0BOnレジスタのCPU側のFIFOだけをクリア (カウンタをリセット) します。 1: クリアする BKOnNKビットがセット (1) されている場合 (ただし, FWでセット (1) した場合は除く) には, FIFOをクリアすることでBKOnNKビットが自動的にクリア (0) されます。

備考 n = 1, 2

(28) UF0データ・エンド・レジスタ (UF0DEND)

送信系に対し書き込み終了を通知するためのレジスタです。

8ビット単位でリード/ライトが可能です。

FWはこのレジスタの該当するビットに1を書き込むことで対象Endpointのデータ転送を開始させることができます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んででも無効となります。

UF0EnIMレジスタ (n = 1-4, 7, 8) の設定と現在のInterfaceの設定によって各Endpointがサポートされていないときは、関連ビットは無効となります。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DEND	0	0	0	IT2DEND	IT1DEND	BKI2DED	BKI1DED	E0DED	F0575H	00H

ビット位置	ビット名	意味
4	IT2DEND	<p>UF0INT2レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、IT2NKビットがセット (1) されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値)</p> <p>UF0FIC1レジスタのITR2Cビットがセット (1) され、さらにこのビットがセット (1) された場合 (UF0INT2レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), Null (データ長0) パケットが送信されます。</p> <p>UF0INT2レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (UF0INT2レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), ショート・パケットが送信されます。</p> <p>FIFOがフルの場合はこのビットに関連する制御はハードウェアによって自動的に行われます。</p>
3	IT1DEND	<p>UF0INT1レジスタのデータを送信するときにセット (1) してください。このビットがセット (1) されると、IT1NKビットがセット (1) されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない (初期値)</p> <p>UF0FIC0レジスタのITR1Cビットがセット (1) され、さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), Null (データ長0) パケットが送信されます。</p> <p>UF0INT1レジスタにデータが存在し、さらにこのビットがセット (1) された場合 (UF0INT1レジスタのカウンタ = 0, UF0EPS0レジスタの対応ビット = 1), ショート・パケットが送信されます。</p> <p>FIFOがフルの場合はこのビットに関連する制御はハードウェアによって自動的に行われます。</p>

備考 n = 1, 2

(2/2)

ビット位置	ビット名	意 味
2, 1	BKInDED	<p>UF0BInレジスタへの送信データの書き込みが終了したときにセット(1)してください。このビットがセット(1)されると、FIFOのトグル動作が行えるようになったタイミングでFIFOトグル動作が起こり、BKInNKビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>このビットはCPU側のFIFOを制御します。</p> <p>UF0FIC0レジスタのBKInCCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、Null(データ長0)パケットが送信されます。</p> <p>UF0BInレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0BInレジスタのカウンタ = 0)、FIFOがフルでなければショート・パケットが送信されます。</p>
0	E0DED	<p>UF0E0Wレジスタのデータを送信するときにセット(1)してください。このビットがセット(1)されると、EP0NKWビットがセット(1)されデータ転送が行われます。</p> <p>1: ショート・パケットを送信する 0: ショート・パケットを送信しない(初期値)</p> <p>UF0FIC0レジスタのEP0WCビットがセット(1)され、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、Null(データ長0)パケットが送信されます。</p> <p>UF0E0Wレジスタにデータが存在し、さらにこのビットがセット(1)された場合(UF0E0Wレジスタのカウンタ = 0, UF0EPS0レジスタのビット1 = 1)、FIFOがフルでなければショート・パケットが送信されます。</p>

備考 n = 1, 2

(29) UF0 GPRレジスタ (UF0GPR)

USBFとUSBインタフェースを制御します。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。ビット7-1には、必ず0を設定してください。

FWはこのレジスタのビット0に1を書き込むことでUSBFをリセットできます。1を書き込んだあとは自動的にクリア (0) されます。0を書き込んでも無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0GPR	0	0	0	0	0	0	CONNECT	MRST	F0577H	00H

ビット位置	ビット名	意 味
1	CONNECT	D+ に接続するプルアップ抵抗のオン/オフを制御するUSBPUC端子の出力レベルを設定します。 0 : USBPUC端子 = ロウ・レベル 1 : USBPUC端子 = ハイ・レベル USBPUC端子の接続については、13.3.2 接続構成を参照してください。
0	MRST	USBFをリセットするときにセット (1) してください。 1 : リセットする このビットをFWによりセット (1) したあと実際にリセットされるのは、ライト信号のインアクティブから2USBクロック後になります。 システム・クロックの動作中にMRSTビットによるUSBFのリセットを行った場合、USBFについてはRESET端子による制御 (ハードウェア・リセット) と同じになります (レジスタ値が初期値に戻ります)。

(30) UF0モード・コントロール・レジスタ (UF0MODC)

CPUDEC処理の制御を行います。

8ビット単位でリード/ライト可能です。

このレジスタの各ビットを設定することにより、UF0MODSレジスタの設定を変更できます。ハードウェア・リセット時とUF0GRPレジスタのMRSTビットをセット(1)したときにだけ自動的にクリア(0)されます。

このレジスタのビットがハードウェアにより自動的にセット(1)されても、FWによる設定が優先されます。

ビット7, 5-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 このレジスタはデバッグ用に用意されています。動作検証や特殊なモードを使用する場合以外はこのレジスタは設定しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODC	0	CDC GDST	0	0	0	0	0	0	F057AH	00H

ビット位置	ビット名	意 味
6	CDCGDST	GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるときにセット(1)してください。このビットをセット(1)することによりUF0MODSレジスタのCDCGDビットを強制的にセット(1)できます。 1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更(UF0MODSレジスタのCDCGDビットをセット(1)) 0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま(初期値)

(31) UF0モード・ステータス・レジスタ (UF0MODS)

コンフィギュレーション状況を示します。

8ビット単位でリードだけ可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0MODS	0	CDCGD	0	MPACK	DFLT	CONF	0	0	F057CH	00H

ビット位置	ビット名	意 味
6	CDCGD	<p>GET_DESCRIPTOR ConfigurationリクエストをCPUDEC処理に切り替えるかを示します。</p> <p>1: GET_DESCRIPTOR Configurationリクエストを強制的にCPUDEC処理に変更</p> <p>0: GET_DESCRIPTOR Configurationリクエストは自動処理のまま (初期値)</p>
4	MPACK	<p>Endpoint0の送信パケット・サイズを示します。</p> <p>1: 8バイト以外で送信を行っている</p> <p>0: 8バイトで送信を行っている (初期値)</p> <p>このビットはGET_DESCRIPTOR Deviceリクエストを処理したあと (ステータス・ステージ正常終了時) に、ハードウェアにより自動的にセット (1) されます。なお、USBFがリセットされるまでこのビットはクリア (0) されません (Bus Resetではクリア (0) されません)。</p> <p>このビットがセット (1) されていない状態では、ハードウェアは自動実行リクエストのみ8バイト転送を行います。したがって、GET_DESCRIPTOR Deviceリクエストの完了前にFW処理のOUTトークンで8バイト以上のデータが送られた場合でも、正常受信します。</p> <p>なお、Endpoint0のサイズを8バイト構成にした場合は無視されます。</p>
3	DFLT	<p>デフォルト状態 (DFLTビット = 1) になっているかを示します。</p> <p>1: 応答許可</p> <p>0: 応答禁止 (常に無応答) (初期値)</p> <p>このビットはBus Resetにより自動的にセット (1) されます。このビットがセット (1) されるまですべてのEndpointに対するトランザクションに応答しません。</p>
2	CONF	<p>SET_CONFIGURATIONリクエストが完了したかを示します。</p> <p>1: SET_CONFIGURATIONリクエストが完了した</p> <p>0: SET_CONFIGURATIONリクエストが完了していない (初期値)</p> <p>SET_CONFIGURATIONリクエストでConfiguration値 = 1を受信したときにセット (1) されます。</p> <p>このビットがセット (1) されていないかぎり、Endpoint0以外に対するアクセスは無視されます。</p> <p>なお、SET_CONFIGURATIONリクエストでConfiguration値 = 0を受信したとき、このビットはクリア (0) されます。また、Bus Resetを検出したときもクリア (0) されます。</p>

(32) UF0アクティブ・インタフェース・ナンバー・レジスタ (UF0AIFN)

GET/SET_INTERFACEリクエストに対して正常に応答する有効なInterface番号を設定します。なお、Interface 0は必ず有効となるため、Interface 1-4までを選択できます。

8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AIFN	ADDIF	0	0	0	0	0	IFNO1	IFNO0	F06F0H	00H

ビット位置	ビット名	意 味															
7	ADDIF	0以外のInterface番号が利用できるように設定します。 1: IFNO1, IFNO0ビットで指定されるInterface番号までサポート 0: Interface 0だけをサポート (初期値) このビットがセット (1) されていない状態ではこのレジスタのビット1, 0の設定は無効になります。															
1, 0	IFNO1, IFNO0	サポートするInterface番号の範囲を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFNO1</th> <th>IFNO0</th> <th>有効なInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0, 1, 2, 3, 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>0, 1, 2, 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0, 1, 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0, 1</td> </tr> </tbody> </table>	IFNO1	IFNO0	有効なInterface番号	1	1	0, 1, 2, 3, 4	1	0	0, 1, 2, 3	0	1	0, 1, 2	0	0	0, 1
IFNO1	IFNO0	有効なInterface番号															
1	1	0, 1, 2, 3, 4															
1	0	0, 1, 2, 3															
0	1	0, 1, 2															
0	0	0, 1															

(33) UF0アクティブ・オルタナティブ・セッティング・レジスタ (UF0AAS)

Interface番号とAlternative Settingのリンクを設定します。

8ビット単位でリード/ライト可能です。

78K0R/KC3-L, KE3-LのUSBFでは5連Alternative Setting (Alternative Setting 0, 1, 2, 3, 4を定義できる) と2連Alternative Setting (Alternative Setting 0, 1を定義できる) をそれぞれ1つのInterfaceに対して設定できます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0AAS	ALT2	IFAL21	IFAL20	ALT2EN	ALT5	IFAL51	IFAL50	ALT5EN	F06F1H	00H

ビット位置	ビット名	意味															
7, 3	ALTn	n連Alternative SettingをInterface 0にリンクするかを設定します。このビットがセット (1) されるとIFALn1, IFALn0ビットの設定は無効になります。 1: Interface 0にn連Alternative Settingをリンクする 0: Interface 0にはn連Alternative Settingはリンクしない (初期値)															
6, 5, 2, 1	IFALn1, IFALn0	n連Alternative SettingにリンクされるInterface番号を設定します。リンクしたInterface番号がUF0AIFNレジスタで設定されたInterface番号の範囲外の場合は、n連Alternative Settingは無効になります (ALTnENビット = 0)。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>IFALn1</th> <th>IFALn0</th> <th>リンクするInterface番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>Interface 4とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>Interface 3とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>Interface 2とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>Interface 1とリンク</td> </tr> </tbody> </table> 5連Alternative Settingと2連Alternative Settingを同じInterface番号にリンクさせないようにしてください。	IFALn1	IFALn0	リンクするInterface番号	1	1	Interface 4とリンク	1	0	Interface 3とリンク	0	1	Interface 2とリンク	0	0	Interface 1とリンク
IFALn1	IFALn0	リンクするInterface番号															
1	1	Interface 4とリンク															
1	0	Interface 3とリンク															
0	1	Interface 2とリンク															
0	0	Interface 1とリンク															
4, 0	ALTnEN	n連Alternative Settingを有効にします。このビットがセット (1) されていないとALTnビット, IFALn1, IFALn0ビットの設定は無効になります。 1: n連Alternative Settingを有効にする 0: n連Alternative Settingを有効にしない (初期値)															

備考 n = 2, 5

たとえば, UF0AIFNレジスタを82Hに設定し, UF0AASレジスタを15Hに設定した場合, Interface 0, 1, 2, 3が有効になりInterface 0, 2はAlternative Setting 0のみ, Interface 1はAlternative Setting 0, 1, Interface 3はAlternative Setting 0, 1, 2, 3, 4をサポートすることを示します。この設定ではGET_INTERFACE wIndex = 0/1/2/3, SET_INTERFACE wValue = 0 & wIndex = 0/2, SET_INTERFACE wValue = 0/1 & wIndex = 1, SET_INTERFACE wValue = 0/1/2/3/4 & wIndex = 3のリクエストに対して自動応答し, それ以外のGET/SET_INTERFACEリクエストにはSTALL応答します。

(34) UF0オルタナティブ・セッティング・ステータス・レジスタ (UF0ASS)

現在のAlternative Settingの設定状態を示します。

8ビット単位でリードだけ可能です。

SET_INT割り込み要求が発行されたときはこのレジスタを確認してください。なお、SET_INTERFACEリクエストで受信した値は同時にUF0IFnレジスタ (n = 0-4) にも反映されます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ASS	0	0	0	0	AL5ST3	AL5ST2	AL5ST1	AL2ST	F06F2H	00H

ビット位置	ビット名	意味																								
3-1	AL5ST3- AL5ST1	5連Alternative Settingの現在の設定状況を示します。 <table border="1"> <thead> <tr> <th>AL5ST3</th> <th>AL5ST2</th> <th>AL5ST1</th> <th>設定されているAlternative Setting番号</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Alternative Setting 4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Alternative Setting 3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Alternative Setting 2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Alternative Setting 1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Alternative Setting 0</td> </tr> </tbody> </table>	AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号	1	0	0	Alternative Setting 4	0	1	1	Alternative Setting 3	0	1	0	Alternative Setting 2	0	0	1	Alternative Setting 1	0	0	0	Alternative Setting 0
AL5ST3	AL5ST2	AL5ST1	設定されているAlternative Setting番号																							
1	0	0	Alternative Setting 4																							
0	1	1	Alternative Setting 3																							
0	1	0	Alternative Setting 2																							
0	0	1	Alternative Setting 1																							
0	0	0	Alternative Setting 0																							
0	AL2ST	2連Alternative Settingの現在の設定状況 (設定されているAlternative Setting番号) を示します。 1 : Alternative Setting 1 0 : Alternative Setting 0																								

(35) UF0エンドポイント1インタフェース・マッピング・レジスタ (UF0E11M)

Endpoint1がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint1が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint1リクエストとEndpoint1へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1IM	E1EN2	E1EN1	E1EN0	E12AL1	E15AL4	E15AL3	E15AL2	E15AL1	F06F3H	00H

ビット位置	ビット名	意 味																																			
7-5	E1EN2- E1EN0	<p>Endpoint1の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E1EN2</th> <th>E1EN1</th> <th>E1EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E12AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint1が有効になることを示します。</p>	E1EN2	E1EN1	E1EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E1EN2	E1EN1	E1EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E12AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint1が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE15AL4-E15AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E15ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint1が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(36) UF0エンドポイント2インタフェース・マッピング・レジスタ (UF0E2IM)

Endpoint2がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint2が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint2リクエストとEndpoint2へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2IM	E2EN2	E2EN1	E2EN0	E22AL1	E25AL4	E25AL3	E25AL2	E25AL1	F06F4H	00H

ビット位置	ビット名	意 味																																				
7-5	E2EN2- E2EN0	<p>Endpoint2の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E2EN2</th> <th>E2EN1</th> <th>E2EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td>Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E22AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint2が有効になることを示します。</p>	E2EN2	E2EN1	E2EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0		1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E2EN2	E2EN1	E2EN0	リンク状態																																			
1	1	1	Interfaceとリンクされていない																																			
1	1	0																																				
1	0	1	Interface 4, Alternative Setting 0とリンク																																			
1	0	0	Interface 3, Alternative Setting 0とリンク																																			
0	1	1	Interface 2, Alternative Setting 0とリンク																																			
0	1	0	Interface 1, Alternative Setting 0とリンク																																			
0	0	1	Interface 0, Alternative Setting 0とリンク																																			
0	0	0	Interfaceとリンクされていない (初期値)																																			
4	E22AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint2が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE25AL4-E25AL1ビットが0000の場合に有効になります。</p>																																				
3-0	E25ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint2が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																				

備考 n = 1-4

(37) UF0エンドポイント3インタフェース・マッピング・レジスタ (UF0E3IM)

Endpoint3がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint3が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint3リクエストとEndpoint3へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3IM	E3EN2	E3EN1	E3EN0	E32AL1	E35AL4	E35AL3	E35AL2	E35AL1	F06F5H	00H

ビット位置	ビット名	意 味																																			
7-5	E3EN2- E3EN0	<p>Endpoint3の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E3EN2</th> <th>E3EN1</th> <th>E3EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E32AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint3が有効になることを示します。</p>	E3EN2	E3EN1	E3EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E3EN2	E3EN1	E3EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E32AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint3が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE35AL4-E35AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E35ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint3が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(38) UF0エンドポイント4インタフェース・マッピング・レジスタ (UF0E4IM)

Endpoint4がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint4が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint4リクエストとEndpoint4へのOUTトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4IM	E4EN2	E4EN1	E4EN0	E42AL1	E45AL4	E45AL3	E45AL2	E45AL1	F06F6H	00H

ビット位置	ビット名	意 味																																			
7-5	E4EN2- E4EN0	<p>Endpoint4の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E4EN2</th> <th>E4EN1</th> <th>E4EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E42AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint4が有効になることを示します。</p>	E4EN2	E4EN1	E4EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E4EN2	E4EN1	E4EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E42AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint4が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE45AL4-E45AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E45ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint4が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(39) UF0エンドポイント7インタフェース・マッピング・レジスタ (UF0E7IM)

Endpoint7がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint7が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint7リクエストとEndpoint7へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7IM	E7EN2	E7EN1	E7EN0	E72AL1	E75AL4	E75AL3	E75AL2	E75AL1	F06F9H	00H

ビット位置	ビット名	意 味																																			
7-5	E7EN2- E7EN0	<p>Endpoint7の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E7EN2</th> <th>E7EN1</th> <th>E7EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E72AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint7が有効になることを示します。</p>	E7EN2	E7EN1	E7EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E7EN2	E7EN1	E7EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E72AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE75AL4-E75AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E75ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint7が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

(40) UF0エンドポイント8インタフェース・マッピング・レジスタ (UF0E8IM)

Endpoint8がどのInterfaceとAlternative Settingに対して有効になるかを設定します。

8ビット単位でリード/ライト可能です。

このレジスタの設定とSET_INTERFACEリクエストで設定されたAlternative SettingによってEndpoint8が現在有効であるかどうかを判定し, GET_STATUS/CLEAR_FEATURE/SET_FEATURE Endpoint8リクエストとEndpoint8へのINトランザクションに対してどのように応答するかと関連ビットの有効/無効をハードウェアが決定します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E8IM	E8EN2	E8EN1	E8EN0	E82AL1	E85AL4	E85AL3	E85AL2	E85AL1	F06FAH	00H

ビット位置	ビット名	意 味																																			
7-5	E8EN2- E8EN0	<p>Endpoint8の対象Interfaceと2/5連Alternative Settingとのリンクを設定します。リンクされている設定のときは、Alternative Setting 0とリンクされます。なお、Alternative Setting 0にリンクされたEndpointはAlternative Setting 1-4で外すことはできません。</p> <table border="1"> <thead> <tr> <th>E8EN2</th> <th>E8EN1</th> <th>E8EN0</th> <th>リンク状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>1</td> <td rowspan="2">Interfaceとリンクされていない</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>Interface 4, Alternative Setting 0とリンク</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Interface 3, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Interface 2, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>Interface 1, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>Interface 0, Alternative Setting 0とリンク</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Interfaceとリンクされていない (初期値)</td> </tr> </tbody> </table> <p>110, 111に設定されている場合は、E82AL1ビットを0に設定しても無効となります。</p> <p>リンクされている設定であれば、UF0MODSレジスタのCONFビットがセット (1) されたときにEndpoint8が有効になることを示します。</p>	E8EN2	E8EN1	E8EN0	リンク状態	1	1	1	Interfaceとリンクされていない	1	1	0	1	0	1	Interface 4, Alternative Setting 0とリンク	1	0	0	Interface 3, Alternative Setting 0とリンク	0	1	1	Interface 2, Alternative Setting 0とリンク	0	1	0	Interface 1, Alternative Setting 0とリンク	0	0	1	Interface 0, Alternative Setting 0とリンク	0	0	0	Interfaceとリンクされていない (初期値)
E8EN2	E8EN1	E8EN0	リンク状態																																		
1	1	1	Interfaceとリンクされていない																																		
1	1	0																																			
1	0	1	Interface 4, Alternative Setting 0とリンク																																		
1	0	0	Interface 3, Alternative Setting 0とリンク																																		
0	1	1	Interface 2, Alternative Setting 0とリンク																																		
0	1	0	Interface 1, Alternative Setting 0とリンク																																		
0	0	1	Interface 0, Alternative Setting 0とリンク																																		
0	0	0	Interfaceとリンクされていない (初期値)																																		
4	E82AL1	<p>2連Alternative SettingとリンクされたInterfaceのAlternative Settingが1に設定されているときにEndpoint8が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting 1に設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting 1に設定されても有効にならない (初期値)</p> <p>このビットはE85AL4-E85AL1ビットが0000の場合に有効になります。</p>																																			
3-0	E85ALn	<p>5連Alternative SettingとリンクされたInterfaceのAlternative Settingがnに設定されているときにEndpoint8が有効になるようにします。</p> <p>1 : CONFビット = 1でAlternate Setting nに設定されたとき有効になる 0 : CONFビット = 1でAlternate Setting nに設定されても有効にならない (初期値)</p>																																			

備考 n = 1-4

13.6.4 データ保持レジスタ

(1) UF0 EP0リード・レジスタ (UF0E0R)

UF0E0Rレジスタは、Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータを格納する64バイトのFIFOです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはホストからのデータを受信するとUF0E0Rレジスタに自動的に転送を行います。データを正常受信するとUF0IS1レジスタのE0ODTビットをセット (1) し、UF0E0Lレジスタに受信したデータ量を保持して、割り込み要求 (INTUSB) を発行します。UF0E0Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が正常受信だった場合には割り込み要求が発生し、異常受信だった場合にはUF0E0Lレジスタはクリア (0) され割り込み要求は発生しません。

UF0E0Rレジスタに保持しているデータは、UF0E0Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。全データの読み出しが完了したかどうかはUF0EPS0レジスタのEP0Rビットで確認してください (全データの読み出し完了の場合: EP0Rビット = 0)。UF0E0Lレジスタ値が0のとき、UF0E0NレジスタのEP0NKRビットがクリア (0) され、UF0E0Rレジスタは受信可能状態になります。また、UF0E0Rレジスタは、次のSETUPトークン受信時にクリアされます。

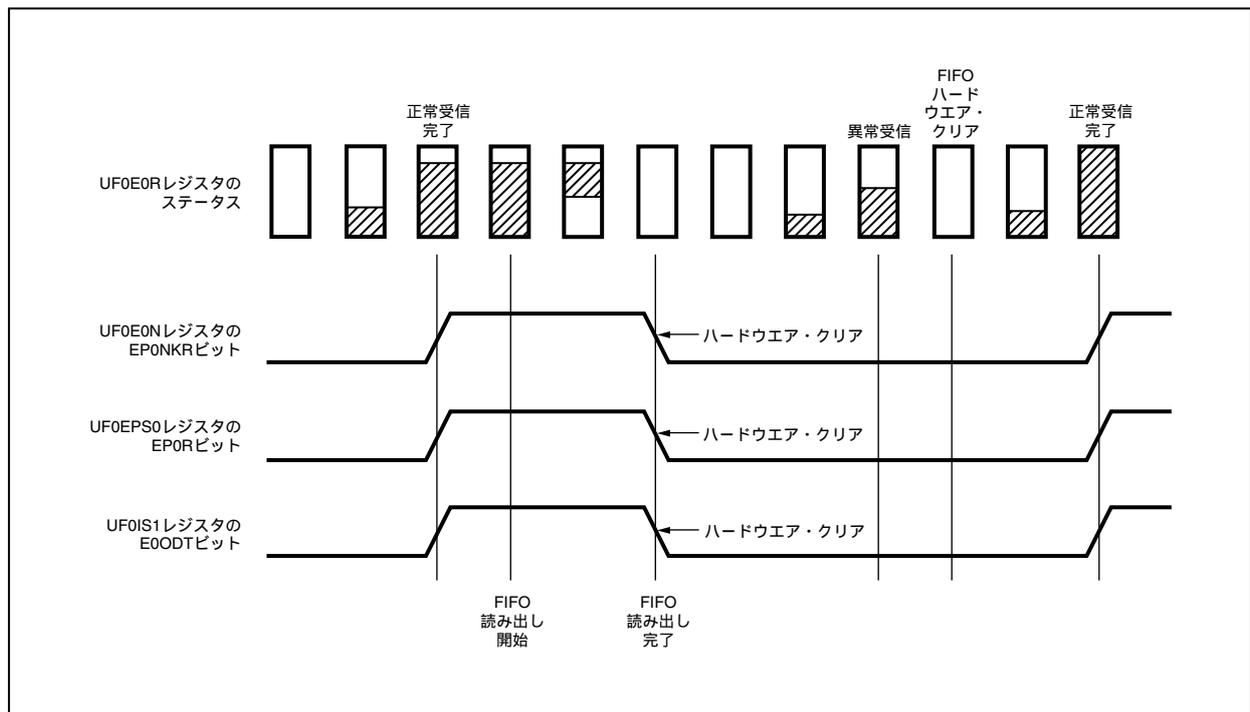
注意 格納されているデータは、すべて読み出してください。途中で廃棄する場合は、FIFOクリアを行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0R	E0R7	E0R6	E0R5	E0R4	E0R3	E0R2	E0R1	E0R0	F0580H	不定

ビット位置	ビット名	意味
7-0	E0R7-E0R0	Endpoint0に対するコントロール転送のデータ・ステージでホストから送られてくるOUTデータが格納されます。

次にUF0E0Rレジスタの動作を示します。

図13-4 UF0E0Rレジスタの動作



(2) UF0 EP0 レンゲス・レジスタ (UF0E0L)

UF0E0Lレジスタは、UF0E0Rレジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0Lレジスタは受信時、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0E0Lレジスタはクリア (0) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWIはUF0E0Lレジスタで読み出した値分のデータだけUF0E0Rレジスタを読み出せます。UF0E0LレジスタはUF0E0Rレジスタを読み出すごとに、ディクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0L	E0L7	E0L6	E0L5	E0L4	E0L3	E0L2	E0L1	E0L0	F0581H	00H

ビット位置	ビット名	意味
7-0	E0L7-E0L0	UF0E0Rレジスタに保持されているデータ長が格納されます。

(3) UF0 EP0セットアップ・レジスタ (UF0E0ST)

UF0E0STレジスタは、ホストから送られてきたSETUPデータを保持するためのレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0E0STレジスタは、SETUPトランザクションを受信すると常にデータの書き込みを行います。ハードウェアはSETUPトランザクションを正常受信した場合、UF0IS1レジスタのPROTビット、FW処理のリクエスト時にはUF0IS1レジスタのCPUDECビットをセット(1)し、割り込み要求(INTUSB)を発行します。FW処理の場合には、必ず8バイト・リードしてください。8バイト・リードしなかった場合には、以降のリクエストを正常にデコードできません。UF0E0STレジスタのリード・カウンタは、Bus Resetの受信時にもクリアされないため、Bus Resetの受信にかかわらず常に8バイト・リードしてください。

UF0E0STレジスタは常に書き込みを許可しているため、データ・リード中にSETUPトランザクションを受け取った場合でも、ハードウェアはそのままデータの上書きを行います。また、SETUPトランザクションを正常受信できなかった場合でも、CPUDEC割り込み要求およびProtect割り込み要求は発生しませんが前のデータは破棄されます。ただし、8バイト以下のSETUPトークンを受信した場合、受信したSETUPデータは破棄され、前回受信したSETUPデータが保持されます。したがって、1回のコントロール転送中に複数回のSETUPトークンを受信した場合、次に示す条件のときには必ずUF0IS1レジスタのPROTビットを確認してください。PROTビット = 1の場合には複数回SETUPトランザクションを受信しているため、UF0E0STレジスタを再度読み出してください。

FWよりリクエストのデコードを行い、UF0E0Rレジスタの読み出し、またはUF0E0Wレジスタの書き込みを行ったとき

デコード結果が対応していないリクエストのためにSTALL応答の準備をするとき

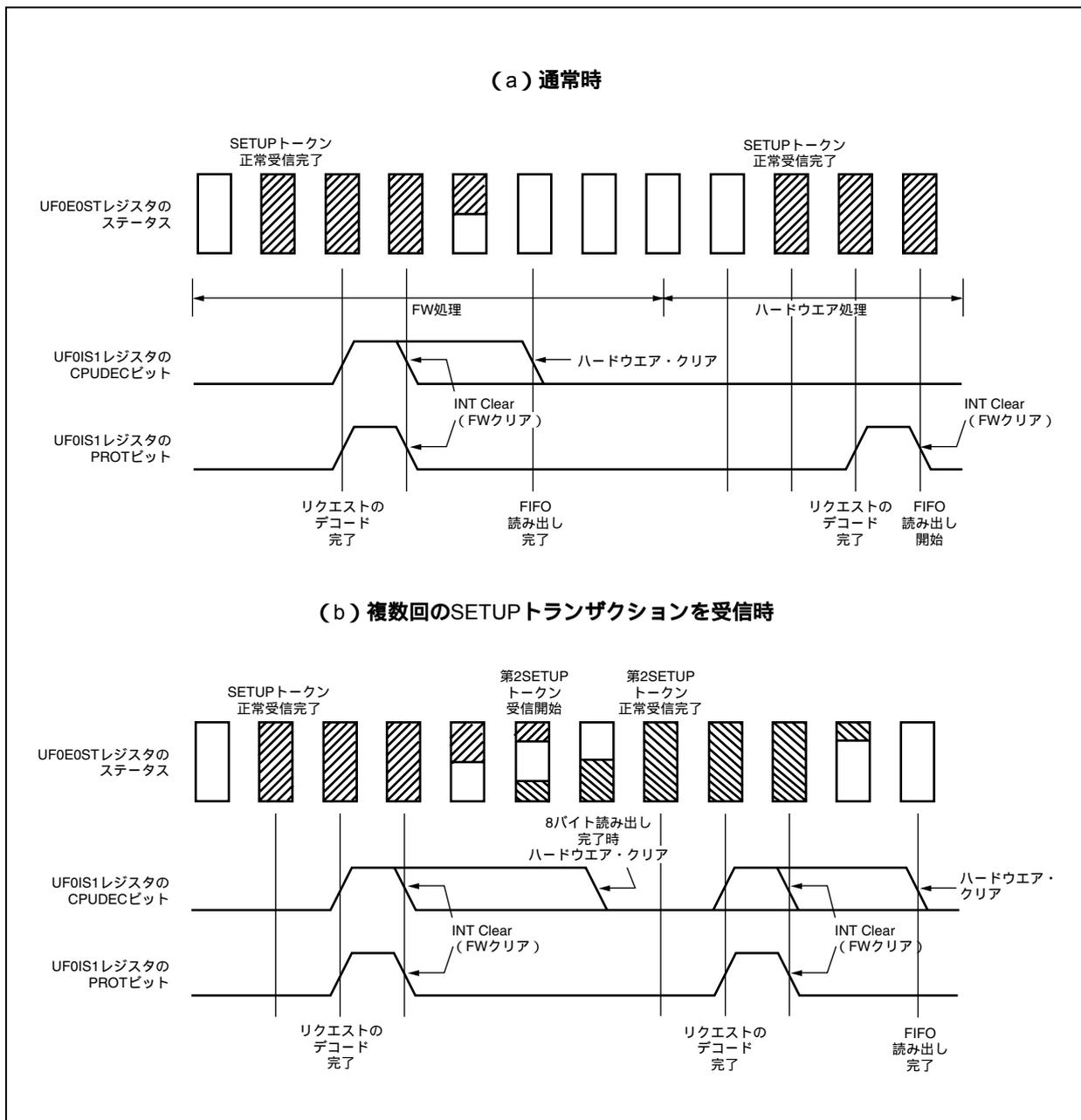
注意 格納されているデータは、すべて読み出してください。UF0E0STレジスタは、常にSETUPトランザクション内のリクエストによって更新されています。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0ST	E0S7	E0S6	E0S5	E0S4	E0S3	E0S2	E0S1	E0S0	F0582H	00H

ビット位置	ビット名	意味
7-0	E0S7-E0S0	ホストから送られてきたSETUPデータを保持します。

次にUF0E0STレジスタの動作を示します。

図13 - 5 UF0E0STレジスタの動作



(4) UF0 EP0ライト・レジスタ (UF0E0W)

UF0E0Wレジスタは、Endpoint0に対するデータ・ステージでホストに送るINデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

8ビット単位でライトのみ可能です。なお、このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアはUF0E0NレジスタのEP0NKWビットがセット (1) されている (NAKを送信しない) 場合のみ、INトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0E0NレジスタのEP0NKWビットがハードウェアによって自動的にクリア (0) されます。ショート・パケットを送信する場合は、UF0E0Wレジスタにデータを書き込み、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。Nullパケットを送信する場合は、UF0E0Wレジスタのクリアを行い、UF0DENDレジスタのE0DEDビットをセット (1) すると送信が行われます (UF0EPS0レジスタのEP0Wビット = 1 (データがある))。

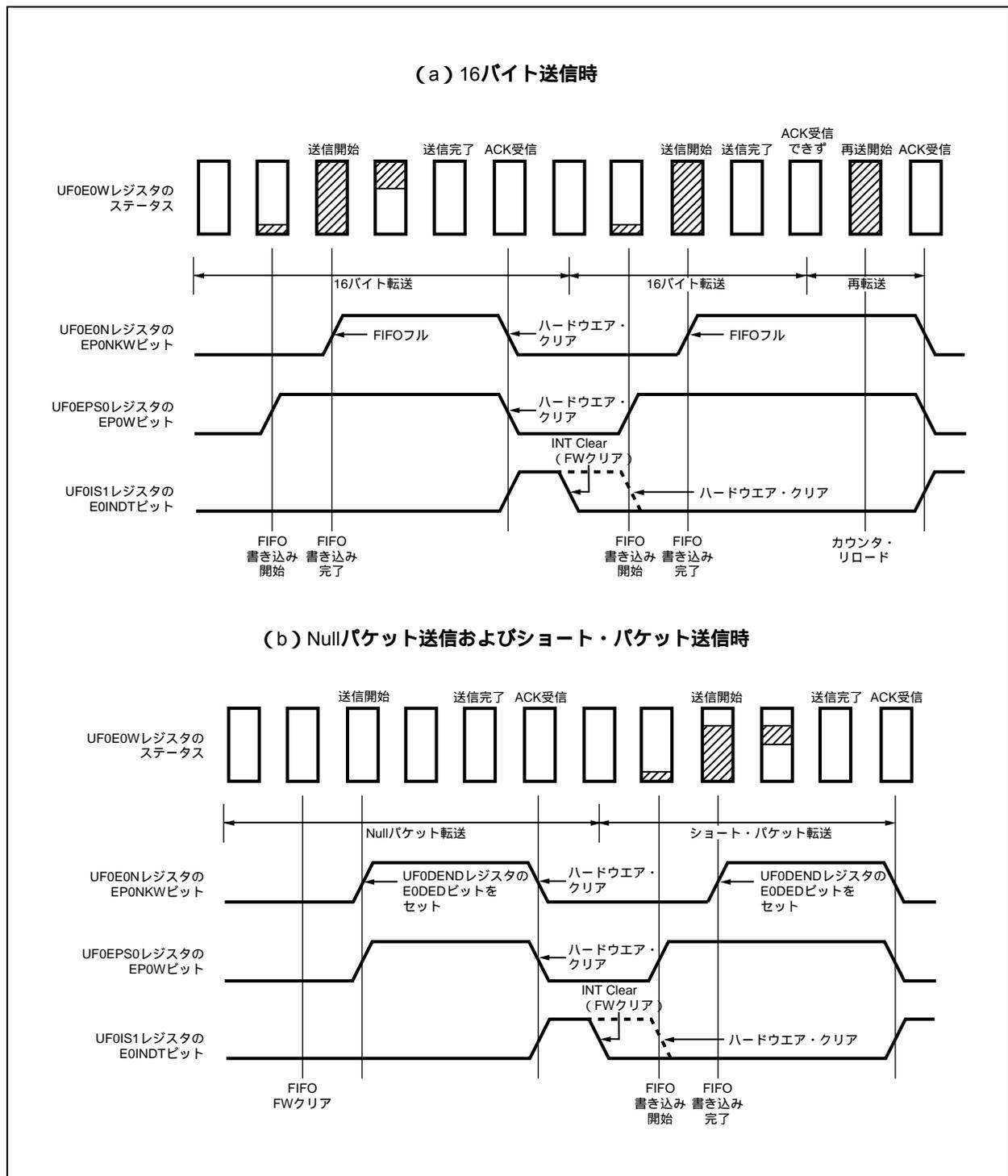
UF0E0Wレジスタは、送信が完了していない状態で次のSETUPトークンを受信したときにクリア (0) されます。また、データ・ステージでACKを正常に受信できていない状態でコントロール転送 (リード) がステータス・ステージに変わった場合、UF0E0Wレジスタは自動的にクリア (0) され、同時にUF0E0NレジスタのEP0NKWビット = 1の場合にはクリア (0) されます。

データが空の状態ではUF0E0Wレジスタを読み出した場合には、00Hが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0W	E0W7	E0W6	E0W5	E0W4	E0W3	E0W2	E0W1	E0W0	F0583H	不定
	ビット位置		ビット名		意 味					
	7-0		E0W7-E0W0		Endpoint0に対するデータ・ステージでホストに送るINデータを格納します。					

次にUF0E0Wレジスタの動作を示します。

図13 - 6 UF0E0Wレジスタの動作



(5) UF0バルク・アウト1レジスタ (UF0BO1)

UF0BO1レジスタは、Endpoint2に対するデータを格納する64バイト×2のFIFOです。UF0BO1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0)ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint2に対するホストからのデータを受信するとUF0BO1レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO1DTビットをセット(1)し、UF0BO1Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求を発生します。

UF0BO1レジスタに保持しているデータは、UF0BO1Lレジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO1Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO1NKビットが自動的にクリア(0)されます。なお、UF0BO1Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint2がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態UF0BO1レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1	BKO17	BKO16	BKO15	BKO14	BKO13	BKO12	BKO11	BKO10	F0584H	不定

ビット位置	ビット名	意味
7-0	BKO17- BKO10	Endpoint2に対するデータが格納されます。

次にUF0BO1レジスタの動作を示します。

図13 - 7 UF0BO1レジスタの動作 (1/2)

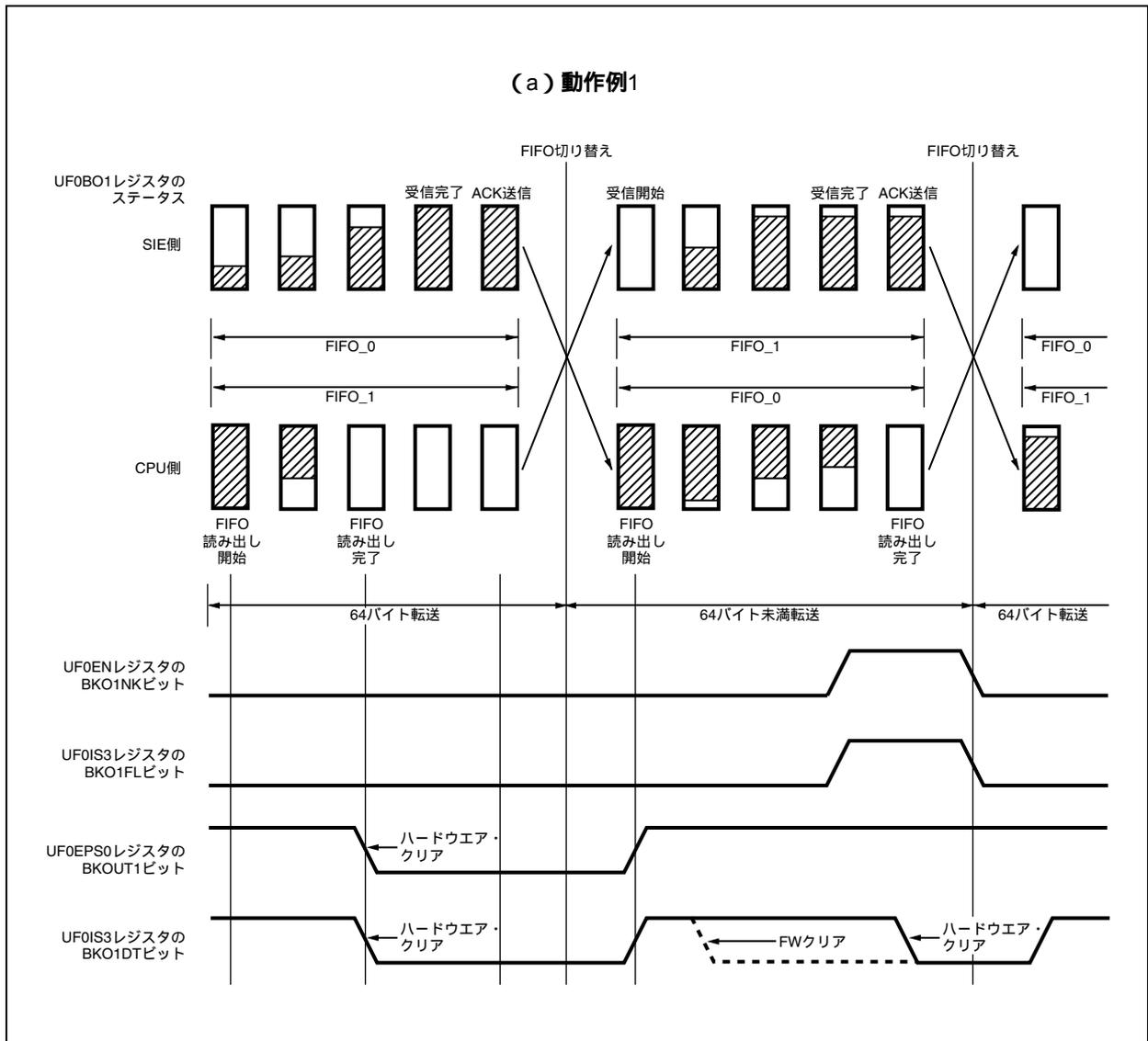
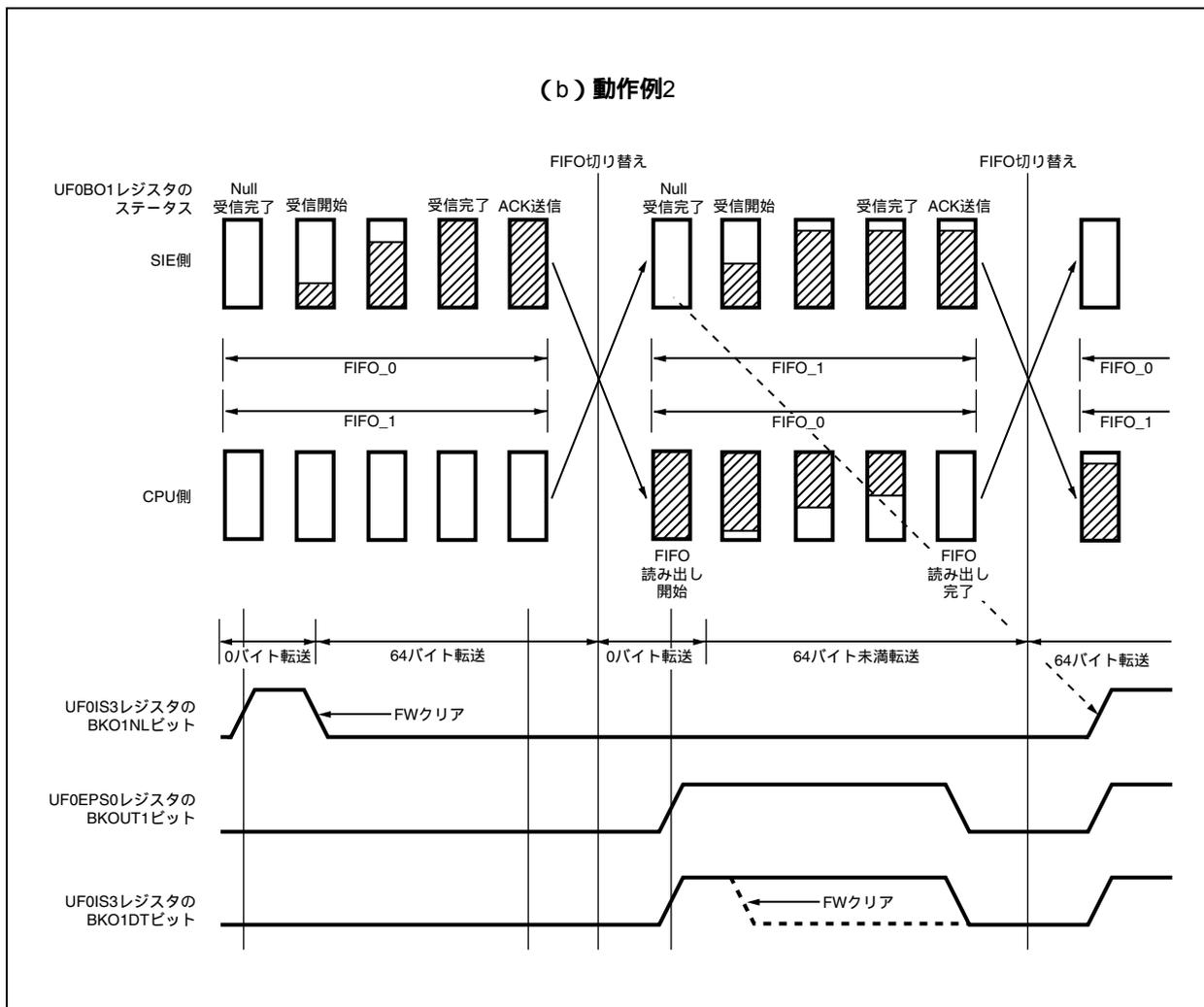


図13 - 7 UF0BO1レジスタの動作 (2/2)



(6) UF0バルク・アウト1レングス・レジスタ (UF0BO1L)

UF0BO1Lレジスタは、UF0BO1レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO1Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO1Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO1Lレジスタで読み出した値分のデータだけUF0BO1レジスタを読み出せます。UF0BO1LレジスタはUF0BO1レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO1L	BKO1L7	BKO1L6	BKO1L5	BKO1L4	BKO1L3	BKO1L2	BKO1L1	BKO1L0	F0585H	00H

ビット位置	ビット名	意味
7-0	BKO1L7- BKO1L0	UF0BO1レジスタに保持されているデータ長が格納されます。

(7) UF0バルク・アウト2レジスタ (UF0BO2)

UF0BO2レジスタは、Endpoint4に対するデータを格納する64バイト×2のFIFOです。UF0BO2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがあり、かつCPU側のFIFOにデータがない(カウンタ値 = 0)ときです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

ハードウェアはEndpoint4に対するホストからのデータを受信するとUF0BO2レジスタに自動的に転送します。データを正常受信するとFIFOトグル動作が起こり、UF0IS3レジスタのBKO2DTビットをセット(1)し、UF0BO2Lレジスタに受信したデータ量を保持して、CPUに対して割り込み要求を発生します。

UF0BO2レジスタに保持しているデータは、UF0BO2レジスタで読み出した値分のデータだけFWにおいて読み出してください。SIE側に接続されているFIFOに正常な受信データが保持されており、UF0BO2Lレジスタの値が0になるとFIFOのトグル動作が発生して、UF0ENレジスタのBKO2NKビットが自動的にクリア(0)されます。なお、UF0BO2Lレジスタ値以上のデータの読み出しを行った場合には、FIFOのトグル条件が成立するとFIFOの切り替えが発生し、結果として次のパケットを誤って読み出す可能性があります。またトグル条件が成立しない場合には、先頭データを繰り返し読み出しますので、注意してください。

CPU側に接続されているFIFOにデータが保持されている状態でオーバーラン・データを受信した場合、Endpoint4がストール状態となり、CPU側FIFOもクリアされます。

データが空の状態でもUF0BO2レジスタを読み出した場合には、不定値が読み出せます。

注意 格納されているデータは、すべて読み出してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2	BKO27	BKO26	BKO25	BKO24	BKO23	BKO22	BKO21	BKO20	F0586H	不定

ビット位置	ビット名	意味
7-0	BKO27- BKO20	Endpoint4に対するデータが格納されます。

次にUF0BO2レジスタの動作を示します。

図13 - 8 UF0BO2レジスタの動作 (1/2)

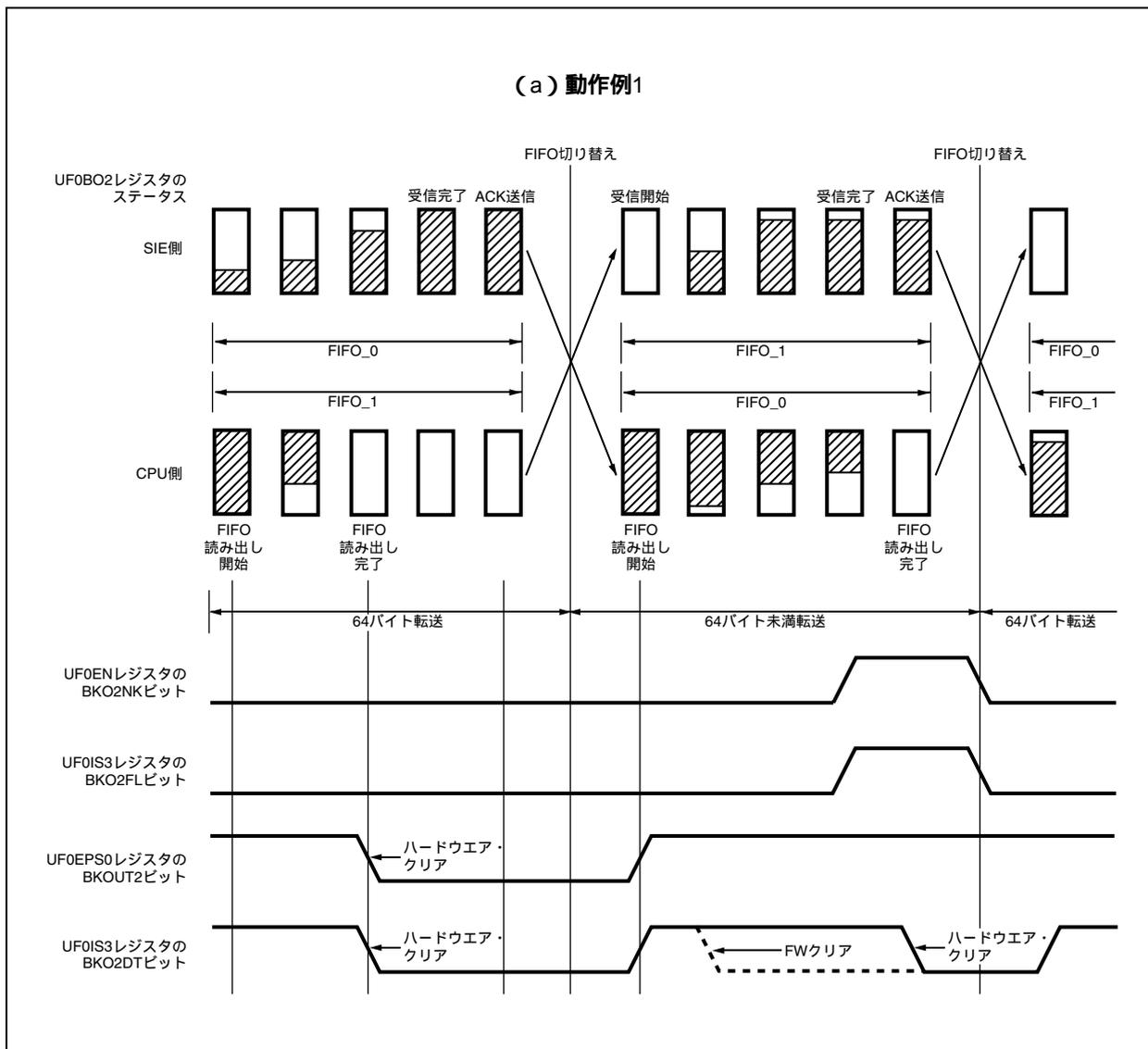
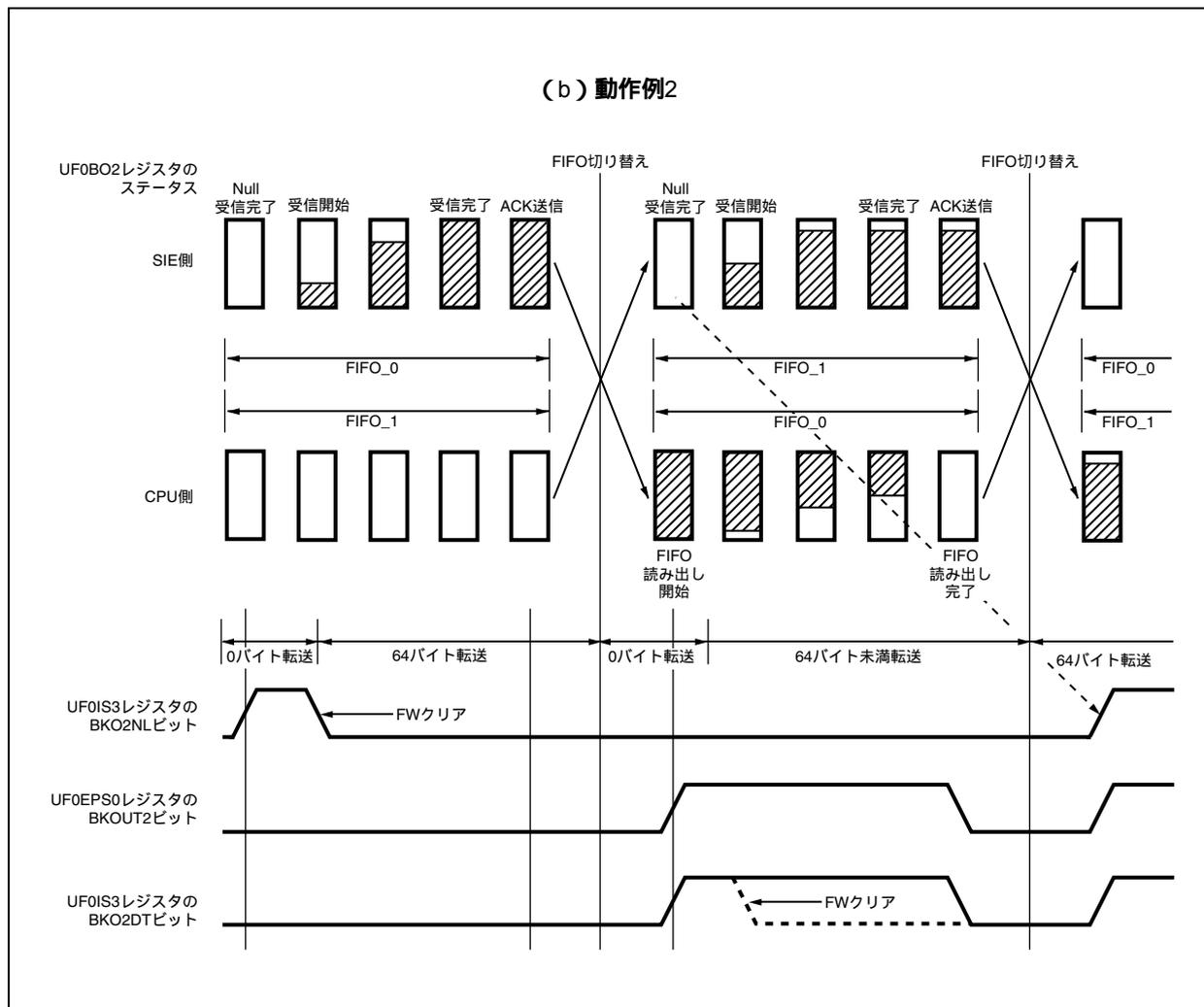


図13 - 8 UF0BO2レジスタの動作 (2/2)



(8) UF0バルク・アウト2レングス・レジスタ (UF0BO2L)

UF0BO2Lレジスタは、UF0BO2レジスタに保持されているデータ長を格納するレジスタです。

8ビット単位でリードのみ可能です。このレジスタをライトした場合は、無視されます。

UF0BO2Lレジスタは受信中、常時受信データ長の更新を行っています。最終的に転送が異常受信だった場合には、UF0BO2Lレジスタはクリア (00H) され、割り込み要求は発生しません。正常受信だった場合のみ割り込み要求が発生し、FWはUF0BO2Lレジスタで読み出した値分のデータだけUF0BO2レジスタを読み出せます。UF0BO2LレジスタはUF0BO2レジスタを読み出すごとに、デクリメントされます。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BO2L	BKO2L7	BKO2L6	BKO2L5	BKO2L4	BKO2L3	BKO2L2	BKO2L1	BKO2L0	F0587H	00H

ビット位置	ビット名	意味
7-0	BKO2L7- BKO2L0	UF0BO2レジスタに保持されているデータ長が格納されます。

(9) UF0バルク・イン1レジスタ (UF0BI1)

UF0BI1レジスタは、Endpoint1に対するデータを格納する64バイト×2のFIFOです。UF0BI1レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI1DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint1に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI1レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI1レジスタにデータを書き込み、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI1レジスタのクリアを行い、UF0DENDレジスタのBKI1DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN1ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI1DTビットをセット(1)し、CPUに対して割り込み要求を発生します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI1	BKI17	BKI16	BKI15	BKI14	BKI13	BKI12	BKI11	BKI10	F0588H	不定

ビット位置	ビット名	意味
7-0	BKI17-BKI10	Endpoint1に対するデータを格納します。

次にUF0BI1レジスタの動作を示します。

図13 - 9 UF0B1レジスタの動作 (1/3)

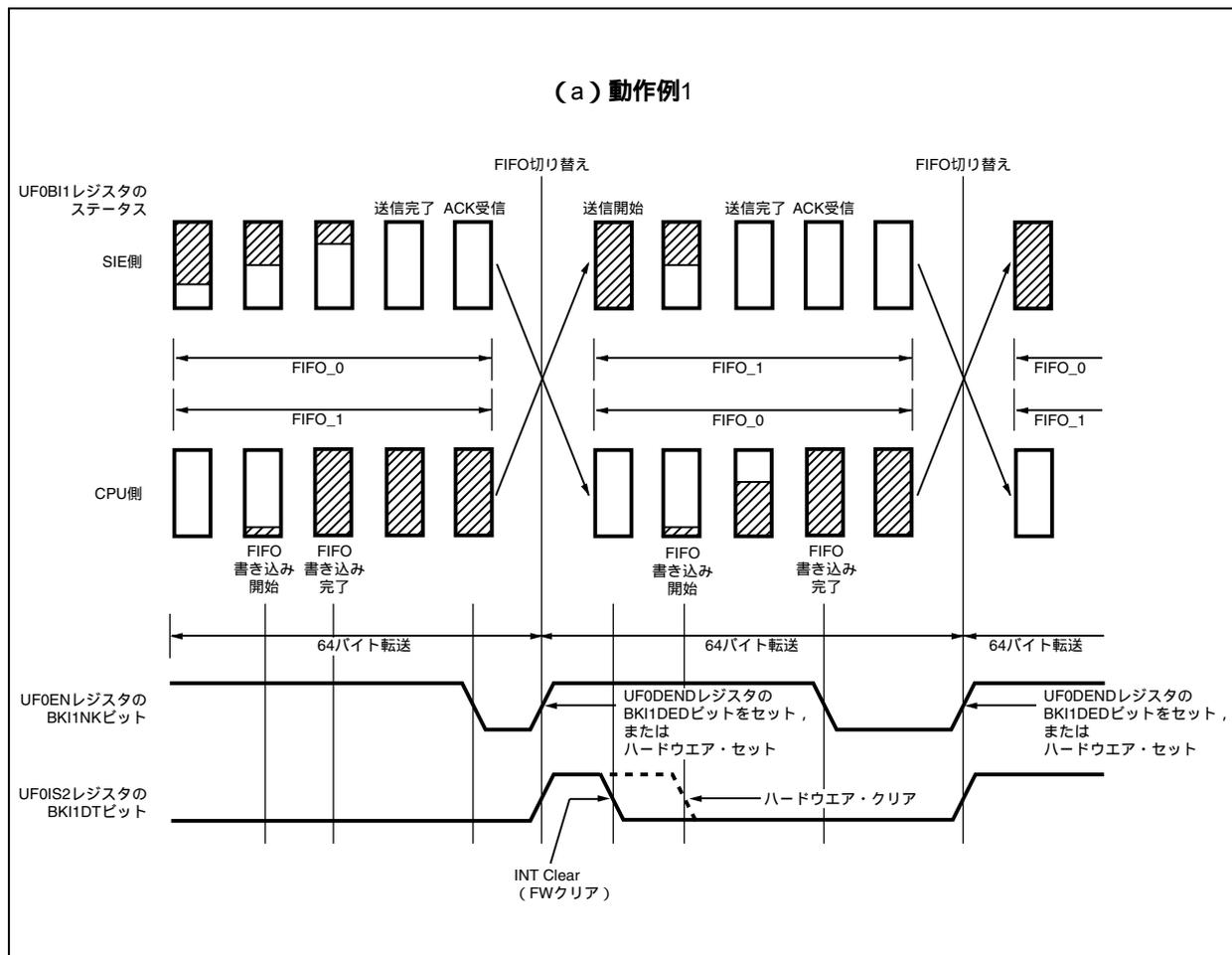


図13 - 9 UF0B1レジスタの動作 (2/3)

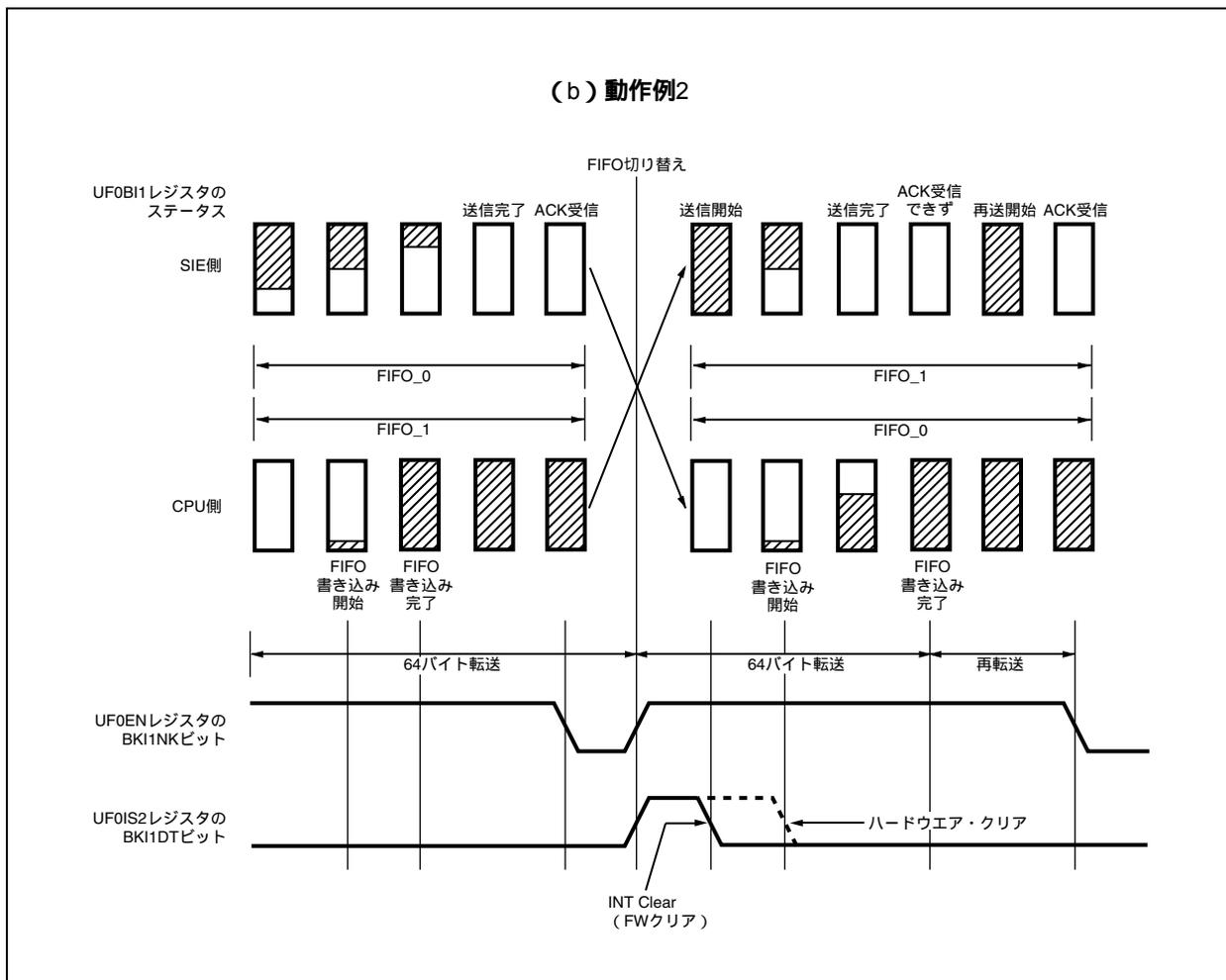
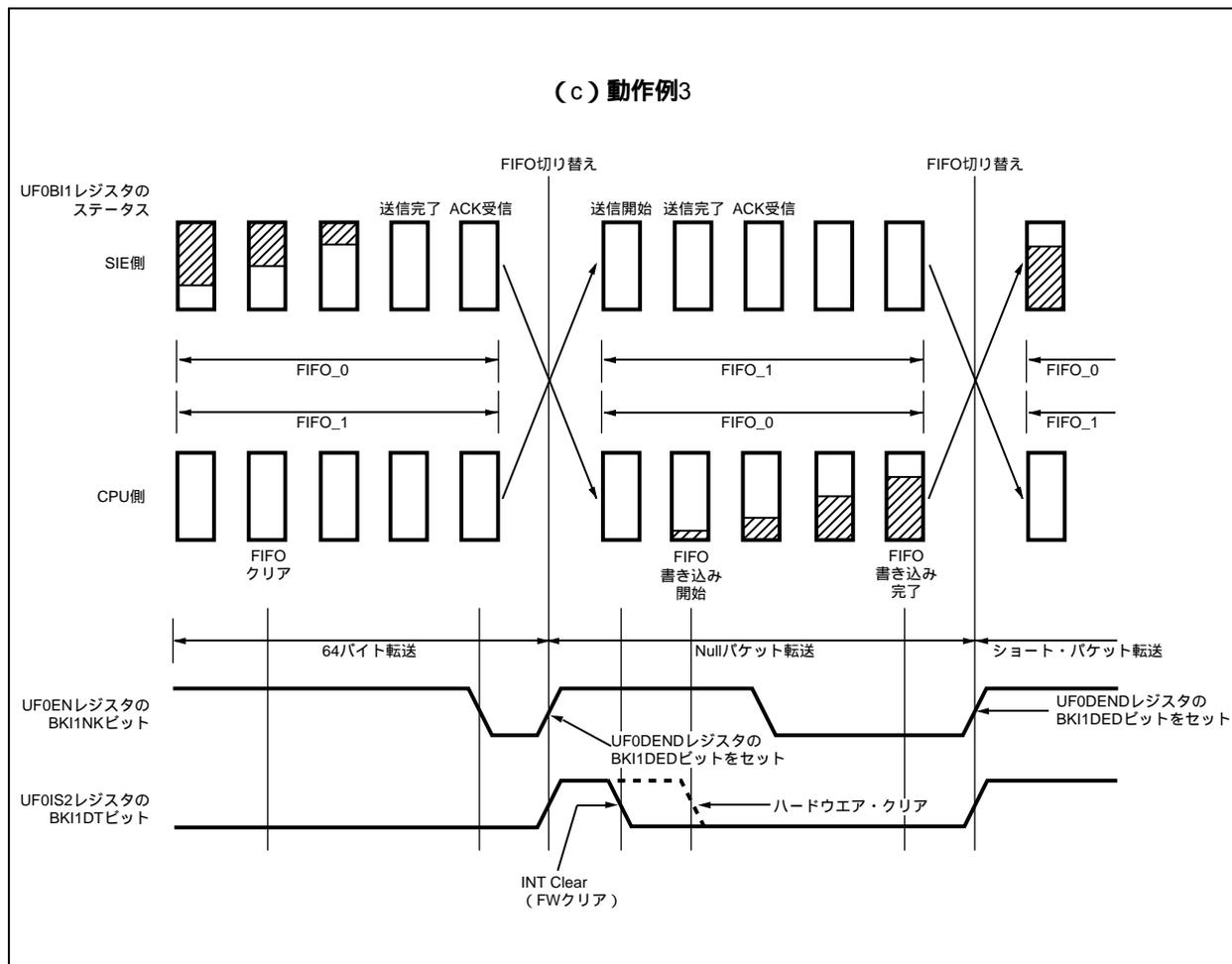


図13 - 9 UF0B1レジスタの動作 (3/3)



(10) UF0バルク・イン2レジスタ (UF0BI2)

UF0BI2レジスタは、Endpoint3に対するデータを格納する64バイト×2のFIFOです。UF0BI2レジスタは、64バイトFIFOがバンク構成になっており、互いにトグル動作を行い、SIE側とCPU側のバスとの接続を繰り返します。トグル条件は、SIE側のFIFOにデータがない(カウンタ値 = 0)、かつCPU側のFIFOが正常に書き込まれていることです(FIFOフル、またはBKI2DEDビット = 1)。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

ハードウェアは、UF0ENレジスタのBKI2NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint3に対するINトークンに同期してUSBバスへのデータの送信を行います。書き込み、および読み出しのアドレスはハードウェアで管理しているため、FWはUF0BI2レジスタにホストに送信するデータを順番に書き込むだけで送信できます。ショート・パケットを送信する場合は、UF0BI2レジスタにデータを書き込み、UF0DENDレジスタのBKI2DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。Nullパケットを送信する場合は、UF0BI2レジスタのクリアを行い、UF0DENDレジスタのBKI2DEDビットをセット(1)すると送信が行われます(UF0EPS0レジスタのBKIN2ビット = 1(データがある))。データを正常送信するとFIFOトグル動作が起こり、UF0IS2レジスタのBKI2DTビットをセット(1)し、CPUに対して割り込み要求を発生します。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BI2	BKI27	BKI26	BKI25	BKI24	BKI23	BKI22	BKI21	BKI20	F0589H	不定

ビット位置	ビット名	意味
7-0	BKI27-BKI20	Endpoint3に対するデータを格納します。

次にUF0BI2レジスタの動作を示します。

図13 - 10 UF0BI2レジスタの動作 (1/3)

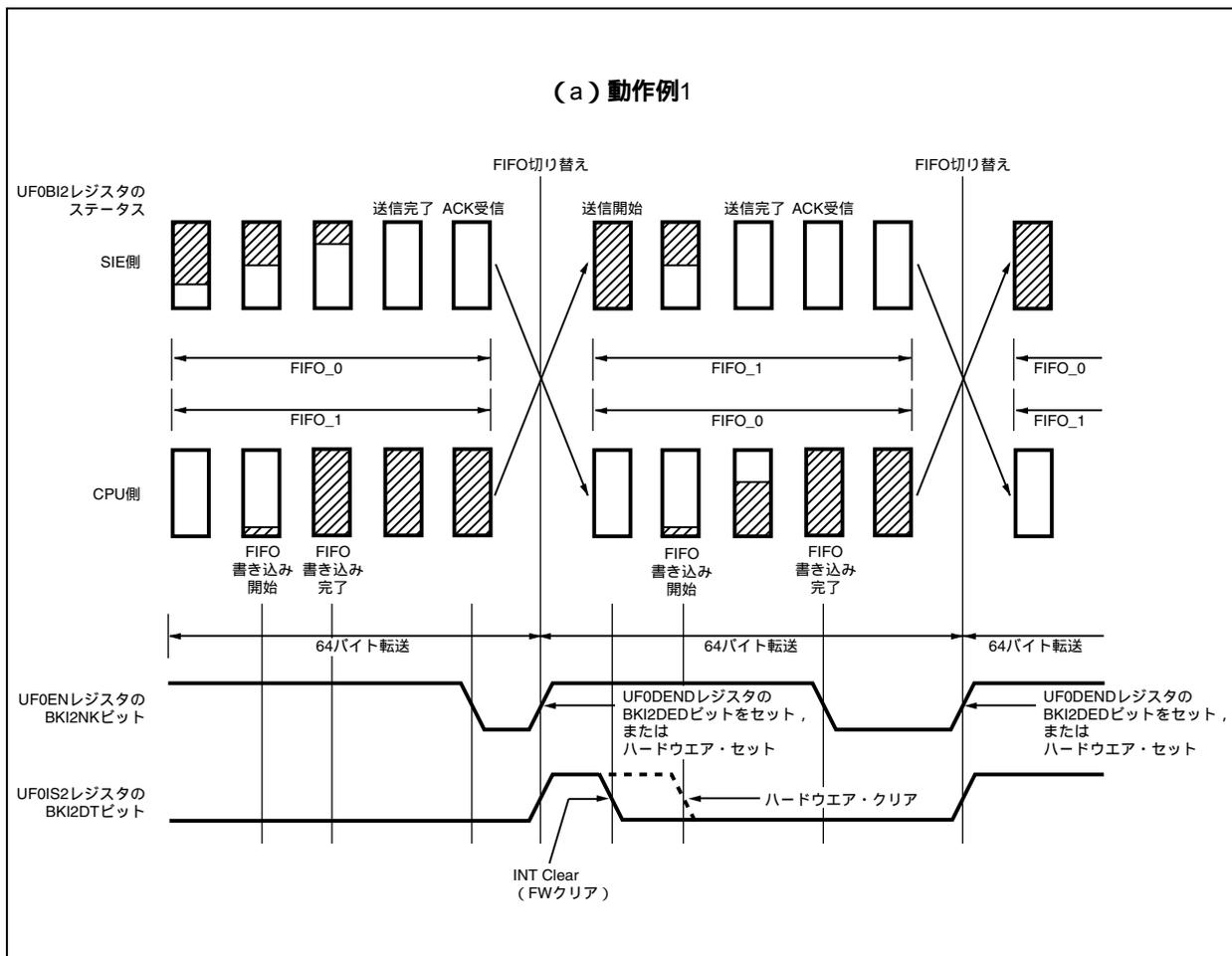


図13 - 10 UF0BI2レジスタの動作 (2/3)

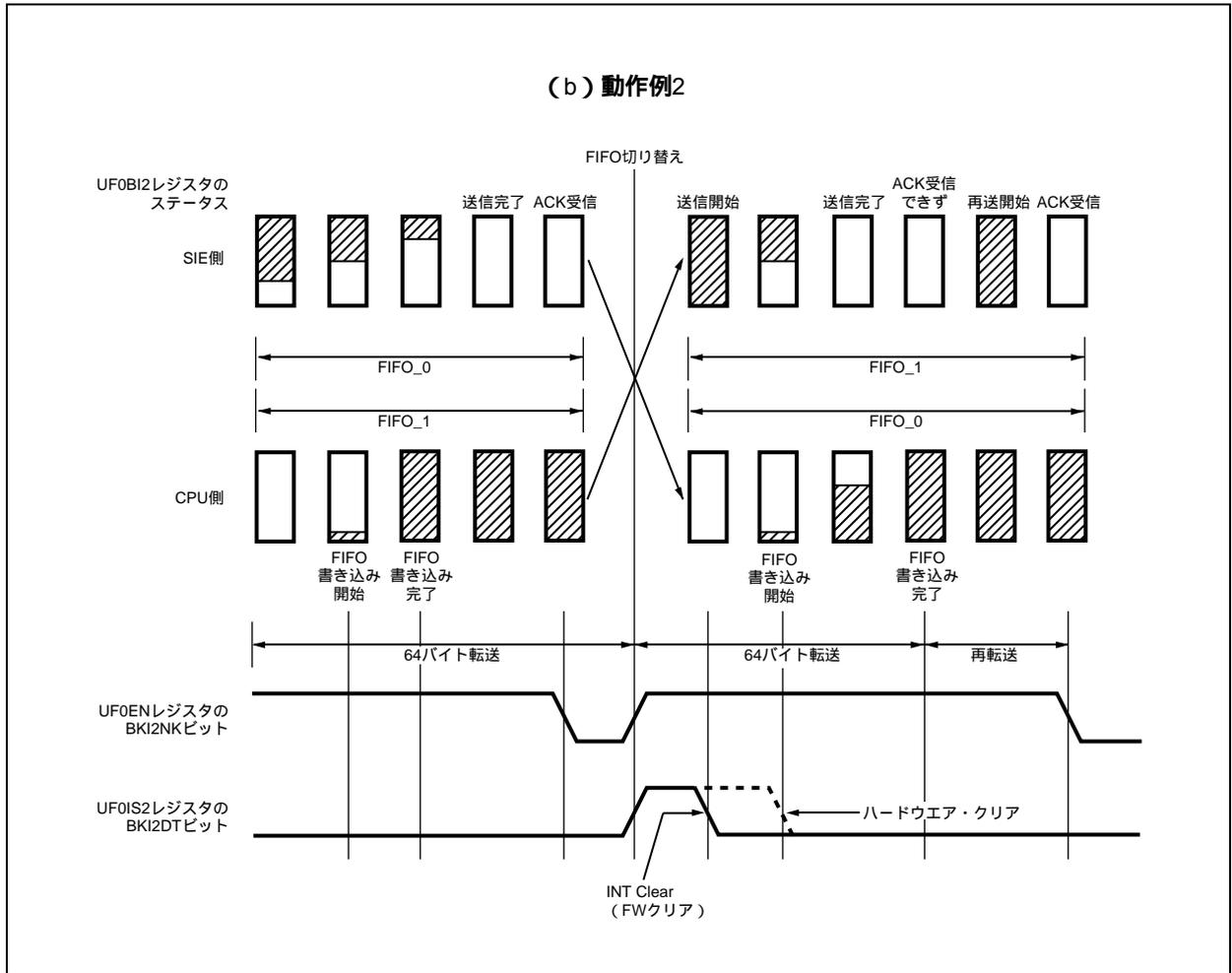
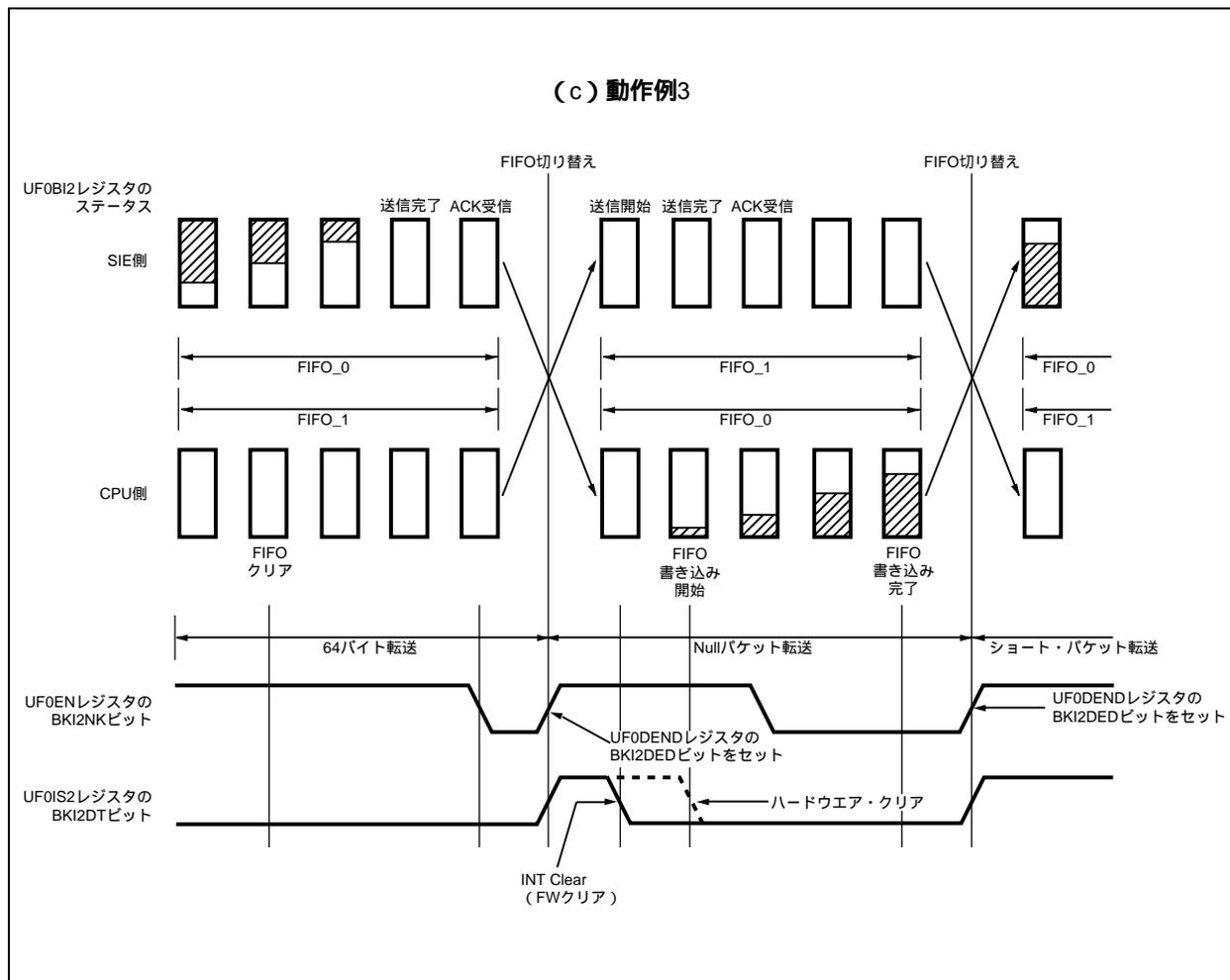


図13 - 10 UF0BI2レジスタの動作 (3/3)



(11) UF0インタラプト1レジスタ (UF0INT1)

UF0INT1レジスタは、Endpoint7に対するデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

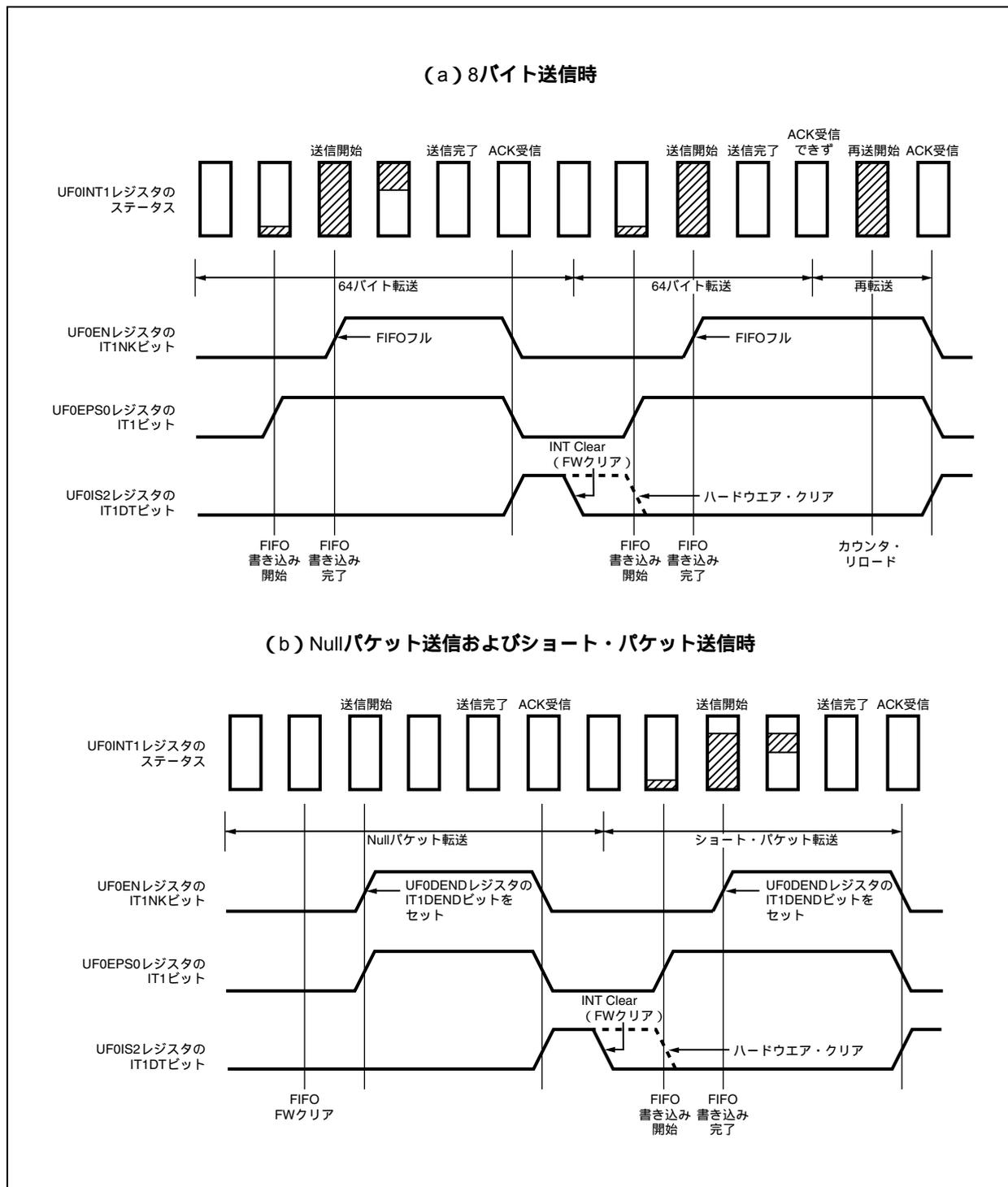
ハードウェアはUF0ENレジスタのIT1NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint7に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0ENレジスタのIT1NKビットがハードウェアによって自動的にクリア(0)されます。ショート・パケットを送信する場合は、UF0INT1レジスタにデータを書き込み、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。Nullパケットを送信する場合は、UF0INT1レジスタのクリアを行い、UF0DENDレジスタのIT1DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT1ビット = 1 (データがある))。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT1	IT17	IT16	IT15	IT14	IT13	IT12	IT11	IT10	F058AH	不定

ビット位置	ビット名	意 味
7-0	IT17-IT10	Endpoint7に対するデータを格納します。

次にUF0INT1レジスタの動作を示します。

図13 - 11 UF0INT1レジスタの動作



(12) UF0インタラプト2レジスタ (UF0INT2)

UF0INT2レジスタは、Endpoint8に対するデータを格納する (SIEに引き渡す) 64バイトのFIFOです。

8ビット単位でライトのみ可能です。このレジスタをリードした場合は、00Hが読み出せます。

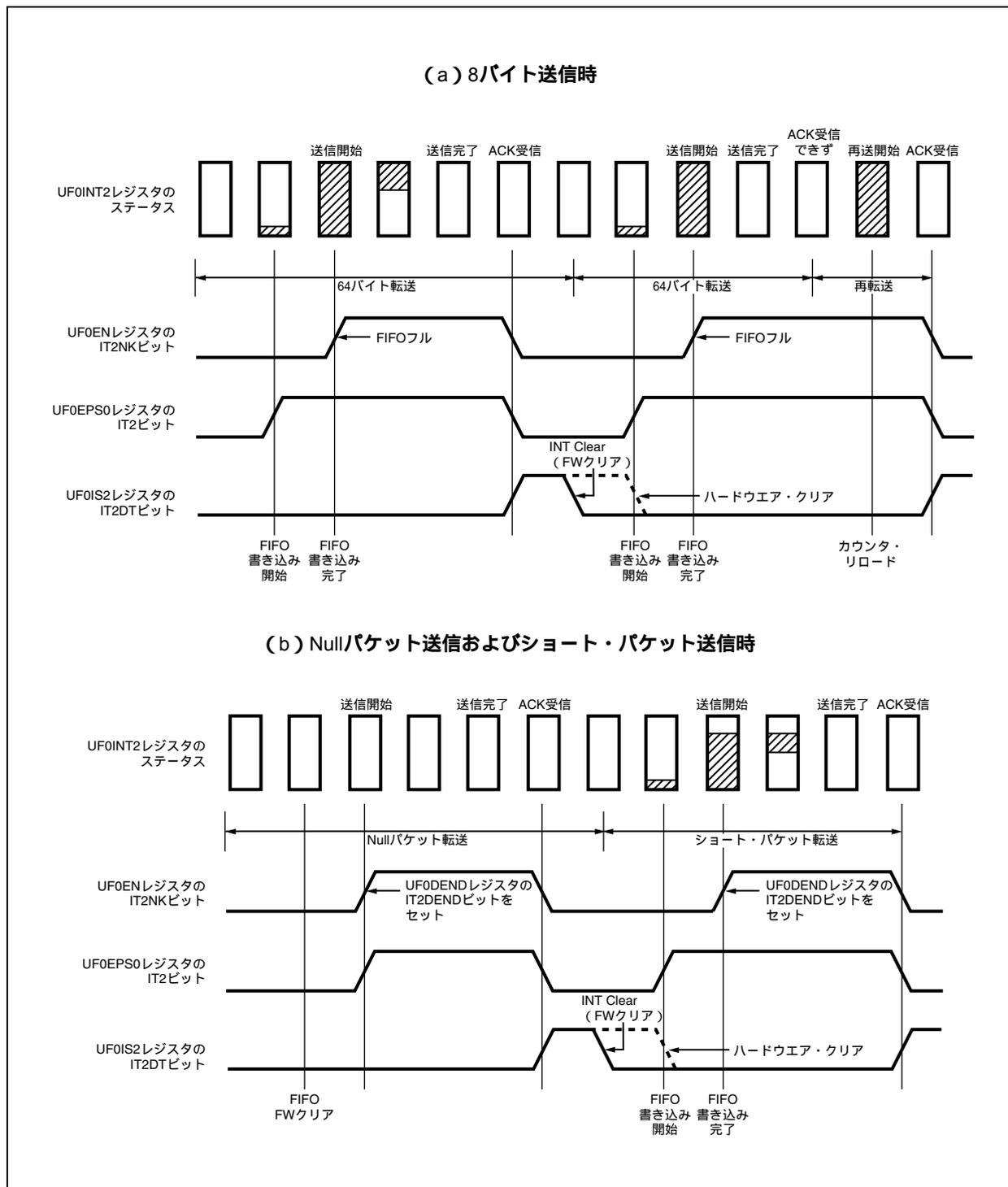
ハードウェアはUF0ENレジスタのIT2NKビットがセット(1)されている(NAKを送信しない)場合のみ、Endpoint8に対するINトークンに同期してUSBバスへのデータの送信を行います。データが送信され、ホストがデータを正常受信した場合、UF0ENレジスタのIT2NKビットがハードウェアによって自動的にクリア(0)されます。ショート・パケットを送信する場合は、UF0INT2レジスタにデータを書き込み、UF0DENDレジスタのIT2DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT2ビット = 1 (データがある))。Nullパケットを送信する場合は、UF0INT2レジスタのクリアを行い、UF0DENDレジスタのIT2DENDビットをセット(1)すると送信が行われます (UF0EPS0レジスタのIT2ビット = 1 (データがある))。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0INT2	IT27	IT26	IT25	IT24	IT23	IT22	IT21	IT20	F058BH	不定

ビット位置	ビット名	意 味
7-0	IT27-IT20	Endpoint8に対するデータを格納します。

次にUF0INT2レジスタの動作を示します。

図13 - 12 UF0INT2レジスタの動作



13.6.5 EPCリクエスト・データ・レジスタ

(1) UF0デバイス・ステータス・レジスタ (UF0DSTL)

GET_STATUS Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。

ハードウェアはGET_STATUS Deviceリクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSTL	0	0	0	0	0	0	RMWK	SFPW	F05A2H	00H

ビット位置	ビット名	意 味
1	RMWK	デバイスによるリモート・ウエイクアップ機能を使用するかどうかを設定します。 1: 許可 0: 禁止 デバイスがリモート・ウエイクアップをサポートする場合は、SET_FEATURE Deviceリクエストを受信したときハードウェアによりセット(1)され、CLEAR_FEATURE Deviceリクエストを受信したときハードウェアによりクリア(0)されます。リモート・ウエイクアップをサポートしない場合にはホストからSET_FEATURE Deviceリクエストを発行しないようにしてください。
0	SFPW	デバイスがセルフ・パワーであるかバス・パワーであるかを示します。 1: セルフ・パワー 0: バス・パワー

(2) UF0 EP0ステータス・レジスタ (UF0E0SL)

GET_STATUS Endpoint0リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

USBF自身でエラーが発生すると、E0HALTビットがFWによってセット(1)されます。Endpoint0へのUSB側アクセスを受けている間の書き込みは無視されます。

FWでE0HALTビットをセット(1)する場合、直前のコントロール転送がSET_FEATURE Endpoint0, CLEAR_FEATURE Endpoint0, GET_STATUA Endpoint0リクエスト, またはFW処理のリクエストの場合には次のSETUPトークンを受信するまで反映されません。

ハードウェアはGET_STATUS Endpoint0リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint0がストールした場合にはUF0E0W, UF0E0Rレジスタがクリアされ、UF0E0NレジスタのEP0NKW, EP0NKRビットがクリア(0)されます。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E0SL	0	0	0	0	0	0	0	E0HALT	F05A6H	00H

ビット位置	ビット名	意 味
0	E0HALT	Endpoint0の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint0リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint0リクエストを受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(3) UF0 EP1ステータス・レジスタ (UF0E1SL)

GET_STATUS Endpoint1リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint1でエラーが発生すると、E1HALTビットがセット(1)されます。Endpoint1へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint1リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint1がストールした場合にはUF0B11レジスタがクリアされ、BK11NKビットがクリア(0)されます。

コントロール転送でなくEndpoint1に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E1SL	0	0	0	0	0	0	0	E1HALT	F05A8H	00H

ビット位置	ビット名	意味
0	E1HALT	Endpoint1の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint1リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint1リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint1がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(4) UF0 EP2ステータス・レジスタ (UF0E2SL)

GET_STATUS Endpoint2リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint2でエラーが発生すると、E2HALTビットがセット(1)されます。Endpoint2へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint2リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint2がストールした場合にはUF0BO1レジスタがクリアされ、BKO1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint2に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E2SL	0	0	0	0	0	0	0	E2HALT	F05AAH	00H

ビット位置	ビット名	意味
0	E2HALT	Endpoint2の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint2リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint2リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint2がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(5) UF0 EP3ステータス・レジスタ (UF0E3SL)

GET_STATUS Endpoint3リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint3でエラーが発生すると、E3HALTビットがセット(1)されます。Endpoint3へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint3リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint3がストールした場合にはUF0BI2レジスタがクリアされ、BK12NKビットがクリア(0)されます。

コントロール転送でなくEndpoint3に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E3SL	0	0	0	0	0	0	0	E3HALT	F05ACH	00H

ビット位置	ビット名	意味
0	E3HALT	Endpoint3の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint3リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint3リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint3がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(6) UF0 EP4ステータス・レジスタ (UF0E4SL)

GET_STATUS Endpoint4リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint4でエラーが発生すると、E4HALTビットがセット(1)されます。Endpoint4へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint4リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint4がストールした場合にはUF0BO2レジスタがクリアされ、BKO2NKビットがクリア(0)されます。

コントロール転送でなくEndpoint4に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E4SL	0	0	0	0	0	0	0	E4HALT	F05AEH	00H

ビット位置	ビット名	意味
0	E4HALT	Endpoint4の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint4リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint4リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint4がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(7) UF0 EP7ステータス・レジスタ (UF0E7SL)

GET_STATUS Endpoint7リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint7でエラーが発生すると、E7HALTビットがセット(1)されます。Endpoint7へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint7リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint7がストールした場合にはUF0INT1レジスタがクリアされ、IT1NKビットがクリア(0)されます。

コントロール転送でなくEndpoint7に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E7SL	0	0	0	0	0	0	0	E7HALT	F05B4H	00H

ビット位置	ビット名	意味
0	E7HALT	Endpoint7の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint7リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint7リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint7がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(8) UF0 EP8ステータス・レジスタ (UF0E8SL)

GET_STATUS Endpoint8リクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

Endpoint8でエラーが発生すると、E8HALTビットがセット(1)されます。Endpoint8へのUSB側アクセスを受けている間の書き込みは無視されます。

ハードウェアはGET_STATUS Endpoint8リクエストを受信したとき、自動的にこのレジスタの内容をホストに対して送信します。Endpoint8がストールした場合にはUF0INT2レジスタがクリアされ、IT2NKビットがクリア(0)されます。

コントロール転送でなくEndpoint8に対する転送を行っている間はこのレジスタへの書き込みがマスクされるため、書き換えが行われたか必ず確認してください。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0E8SL	0	0	0	0	0	0	0	E8HALT	F05B6H	00H

ビット位置	ビット名	意味
0	E8HALT	Endpoint8の状態を示します。 1: ストールしている 0: ストールしていない SET_FEATURE Endpoint8リクエストを受信したときにハードウェアによりセット(1)され、CLEAR_FEATURE Endpoint8リクエストを受信したとき、またはSET_CONFIGURATIONリクエスト、Endpoint8がリンクされたInterfaceに対するSET_INTERFACEリクエストを正しく受信したときにハードウェアによりクリア(0)されます。またDATA PIDはDATA0に初期化されます。

(9) UF0アドレス・レジスタ (UF0ADRS)

デバイス・アドレスを格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタは、SET_ADDRESSリクエストにより送られてくるデバイス・アドレスを解析し、自動的にその値を書き込みます。SET_ADDRESSリクエストをFW処理した場合、ステータス・ステージのSUCCESS信号受信時にこのレジスタの値をデバイス・アドレスとして反映します。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0ADRS	0	ADRS6	ADRS5	ADRS4	ADRS3	ADRS2	ADRS1	ADRS0	F05C0H	00H

ビット位置	ビット名	意味
6-0	ADRS6- ADRS0	SIEのデバイス・アドレスを保持します。

(10) UF0コンフィギュレーション・レジスタ (UF0CNF)

GET_CONFIGURATIONリクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_CONFIGURATIONリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタの値が00Hから00H以外に変化したタイミングを検出して、UF0MODSレジスタのCONFビットがセット (1) されます。また、SET_CONFIGURATIONリクエストをFWで処理した場合、このレジスタにデータを書き込んだ時点ですぐにUF0MODSレジスタに状態が反映されます (ステータス・ステージ終了前にCONFビット = 1になります)。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CNF	0	0	0	0	0	0	CONF1	CONF0	F05C1H	00H

ビット位置	ビット名	意 味
1, 0	CONF1, CONF0	GET_CONFIGURATIONリクエストに対して返信するデータを保持します。

(11) UF0インタフェース0レジスタ (UF0IF0)

GET_INTERFACE wIndex = 0リクエストで返す値を格納するレジスタです。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

SET_INTERFACEリクエストをFWで処理した場合、wIndex、wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF0	0	0	0	0	0	IF02	IF01	IF00	F05C2H	00H

ビット位置	ビット名	意味
2-0	IF02-IF00	GET_INTERFACE wIndex = 0リクエストに対して返信するデータを保持します。

(12) UF0インタフェース1-4レジスタ (UF0IF1-UF0IF4)

GET_INTERFACE wIndex = nリクエストで返す値を格納するレジスタです (n = 1-4)。

8ビット単位でリードのみ可能です。

このレジスタはSET_INTERFACEリクエストを受信すると、自動的にそのwValueを書き込みます。

このレジスタはUF0AIFNレジスタとUF0AASレジスタの設定によっては無効になります。

SET_INTERFACEリクエストをFWで処理した場合、wIndex, wValueをデコードしてEndpointの設定を自動的に変更します。このとき、設定に応じて対象Endpointの状態ビットとDPIDを自動的にクリア (0) します。FIFOは自動的にクリアされません。

注意 このレジスタはライト・アクセスしないでください。ライトした場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0IF1	0	0	0	0	0	IF12	IF11	IF10	F05C3H	00H
UF0IF2	0	0	0	0	0	IF22	IF21	IF20	F05C4H	00H
UF0IF3	0	0	0	0	0	IF32	IF31	IF30	F05C5H	00H
UF0IF4	0	0	0	0	0	IF42	IF41	IF40	F05C6H	00H

ビット位置	ビット名	意味
2-0	IFn2-IFn0	GET_INTERFACE wIndex = nリクエストに対して返信するデータを保持します。

備考 n = 1-4

(13) UF0 ディスクリプタ・レングス・レジスタ (UF0DSCL)

GET_DESCRIPTOR Configuration リクエストで返す値の長さを格納するレジスタです。このレジスタ値はUF0CIEnレジスタで設定した全ディスクリプタのバイト数 - 1の値になります (n = 0-255)。このレジスタ値によりGET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタ長が決定されます。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

wLengthの処理は自動的に制御されます。このレジスタに00Hを設定すると、返信するディスクリプタ長は1バイトを意味し、FFHを設定すると256バイトを意味します。なお、256バイトを越えるディスクリプタを使用する場合には、UF0MODC レジスタのCDCGDST ビットをセット(1)してFWによりGET_DESCRIPTOR リクエストを処理してください(このときUF0MODS レジスタのCDCGD ビットもセット(1)されます)。

注意 このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DSCL	DPL7	DPL6	DPL5	DPL4	DPL3	DPL2	DPL1	DPL0	F05D0H	00H

ビット位置	ビット名	意味
7-0	DPL7-DPL0	GET_DESCRIPTOR Configuration リクエストで返信する全ディスクリプタのバイト数 - 1の値を設定します。

(14) UF0デバイス・ディスクリプタ・レジスタ0-17 (UF0DD0-UF0DD17)

GET_DESCRIPTOR Deviceリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKABITがセット(1)されているときにだけ可能です。

- 注意1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKABITをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0、および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0DDn (n = 0-17)									表13-5参照	不定

表13-5 UF0デバイス・ディスクリプタ・レジスタのマッピングとデータ

略号	アドレス	フィールド名	内容
UF0DD0	F05D1H	bLength	このディスクリプタのサイズ
UF0DD1	F05D2H	bDescriptorType	デバイス・ディスクリプタ・タイプ
UF0DD2	F05D3H	bcdUSB	USB仕様のRev.番号の小数点以下の値
UF0DD3	F05D4H		USB仕様のRev.番号の小数点以上の値
UF0DD4	F05D5H	bDeviceClass	クラス・コード
UF0DD5	F05D6H	bDeviceSubClass	サブクラス・コード
UF0DD6	F05D7H	bDeviceProtocol	プロトコル・コード
UF0DD7	F05D8H	bMaxPacketSize0	Endpoint0の最大パケット・サイズ
UF0DD8	F05D9H	idVendor	ベンダIDの下位側の値
UF0DD9	F05DAH		ベンダIDの上位側の値
UF0DD10	F05DBH	idProduct	製品IDの下位側の値
UF0DD11	F05DCH		製品IDの上位側の値
UF0DD12	F05DDH	bcdDevice	デバイス・リリース番号の下位側の値
UF0DD13	F05DEH		デバイス・リリース番号の上位側の値
UF0DD14	F05DFH	iManufacturer	メーカーを記述するstring・ディスクリプタのインデクス
UF0DD15	F05E0H	iProduct	製品を記述するstring・ディスクリプタのインデクス
UF0DD16	F05E1H	iSerialNumber	デバイス・シリアル番号を記述するstring・ディスクリプタのインデクス
UF0DD17	F05E2H	BNumConfigurations	設定可能なConfigurationの数

(15) UF0コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ0-255

(UF0CIE0-UF0CIE255)

GET_DESCRIPTOR Configurationリクエストで返す値を格納するレジスタです。

8ビット単位でリード/ライト可能です。ただし、ライトはEP0NKAビットがセット(1)されているときにだけ可能です。

このレジスタには256バイトまでのディスクリプタ情報を格納できます。各ディスクリプタは Configuration, Interface, Endpointの順に格納してください(表13-6参照)。Interfaceが複数ある場合は、Interfaceディスクリプタ以降を繰り返し格納してください。

表13-6 UF0CIEnレジスタのマッピング

アドレス	格納するディスクリプタ
F05E3H	Configurationディスクリプタ (9バイト)
F05F5H	Interfaceディスクリプタ (9バイト)
F0607H	Endpoint1ディスクリプタ (7バイト)
F0615H	Endpoint2ディスクリプタ (7バイト)
F0623H	Endpoint3ディスクリプタ (7バイト)
:	:
F02xxH	Interfaceディスクリプタ (9バイト)
F02xxH + 9	Endpoint1ディスクリプタ (7バイト)
F02xxH + 16	Endpoint2ディスクリプタ (7バイト)
F02xxH + 23	Endpoint3ディスクリプタ (7バイト)
:	:

UF0DSCLレジスタの設定により、このレジスタに設定できる有効なデータ範囲が変わります。なお、表13-7に示すディスクリプタ以外にもクラスやベンダに固有のディスクリプタを格納できます。

すべての値が固定されていれば、ROM化可能です。

- 注意** 1. このレジスタを書き換える場合は、リードとライトの競合を防止するために、EP0NKAビットをセット(1)したあと読み出し、セット(1)を確認してから行ってください。
2. 設定する値には、USB Specification Ver2.0, および最新Class Specificationの値を使用してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0CIEn (n = 0-255)									F05E3H- F06E2H	不定

表13 - 7 UF0CIEnレジスタのデータ

(a) Configurationディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	wTotalLength	Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の下位側の値
3		Configuration, 全Interface, 全Endpointのディスクリプタが占める総バイト数の上位側の値
4	bNumInterface	Interfaceの数
5	bConfigurationValue	このConfigurationを選択するための値
6	iConfiguration	このConfigurationを記述するSTRING・ディスクリプタのインデクス
7	bmAttributes	Configurationの特徴 (セルフ・パワード, リモート・ウエイクアップなし)
8	MaxPower	このConfigurationの最大消費電力 (単位: mA) ^注

注 2mAの単位で表されます。(例: 50 = 100 mA)

(b) Interfaceディスクリプタ (9バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bInterfaceNumber	このInterfaceの値
3	bAlternateSetting	Interfaceの代替セッティングを選択する値
4	bNumEndpoints	使用可能なEndpointの数
5	bInterfaceClass	クラス・コード
6	bInterfaceSubClass	サブクラス・コード
7	bInterfaceProtocol	プロトコル・コード
8	Interface	このInterfaceを記述するSTRING・ディスクリプタのインデクス

(c) Endpointディスクリプタ (7バイト)

オフセット	フィールド名	内 容
0	bLength	このディスクリプタのサイズ
1	bDescriptorType	ディスクリプタ・タイプ
2	bEndpointAddress	このEndpointのアドレス / 転送方向
3	bmAttributes	転送種類
4	wMaxPaketSize	最大データ転送数の下位側の値
5		最大データ転送数の上位側の値
6	bInterval	転送周期

13. 6. 6 EPC周辺制御レジスタ

(1) USBファンクション0バッファ・コントロール・レジスタ (UF0BC)

USBファンクションの入力バッファに対するイネーブル制御, フローティング制御を行うレジスタです。
8ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
UF0BC	ENO2EN	0	0	0	0	0	IEN1EN	IOR1En	F059EH	00H

ビット位置	ビット名	意 味
7	ENO2EN	USBPUC端子のバッファの使用を制御します。 1: バッファ無効 0: バッファ有効
1	IEN1EN	USBバッファの使用を制御します。 1: バッファ有効 0: バッファ無効 注意 USBを使用しない場合は、このビットはクリア(0)してください。このビットをセット(1)すると、USBの使用/未使用にかかわらず、定常的に3 mA (TYP.)の電流が流れます。
0	IOR1EN	USBバッファのフローティング対策の使用を制御します。 1: フローティング対策無効 0: フローティング対策有効 ケーブル未接続時(データ入力フローティング時)に、不定値によるBus Reset, Suspend, Resumeなどの誤認識を防止します。このビットをセット(1)した場合は、フローティングに対する処置はVBUS信号等(ケーブル接続の認識)で制御してください。

13.7 STALLハンドシェークまたはノー・ハンドシェーク

USBFのエラーの取り扱いは、次のように定義されています。

転送タイプ	トランザクション	対象 パケット	エラー種類	ファンクション 応答	処理内容
コントロール転送/ バルク転送/ インタラプト転送	IN/OUT/SETUP	トークン	Endpoint未対応	無応答	特になし
			Endpointに対する 転送方向不一致	無応答	特になし
			CRCエラー	無応答	特になし
			ビット・スタッフィング・エラー	無応答	特になし
コントロール転送/ バルク転送/ OUT	OUT/SETUP	データ	タイムアウト	無応答	特になし
			PID チェック・エラー	無応答	特になし
			未対応PID (Data PID以外)	無応答	特になし
			CRCエラー	無応答	受信データを破棄
	ビット・スタッフィング・エラー	無応答	受信データを破棄		
OUT	データ	Data PID不一致	ACK	受信データを破棄	
コントロール転送 (SETUPステージ)	SETUP	データ	オーバラン	無応答	受信データを破棄
コントロール転送 (データ・ステージ)	OUT	データ	オーバラン	無応答 ^{注1}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
コントロール転送 (ステータス・ ステージ)	OUT	データ	オーバラン	ACK or 無応答 ^{注2}	UF0SDSレジスタのSNDSTL ビットをセット(1)し、受信 データを破棄
バルク転送	OUT	データ	オーバラン	無応答 ^{注1}	UF0EnSLレジスタの EnHALTビットをセット(1) する (n=0-4,7)
コントロール転送/ バルク転送/ インタラプト転送	IN	ハンドシ ェーク	PIDチェック・エラー	-	送出したデータを保持し、再 転送 ^{注3}
			未対応PID (ACK PID以外)	-	送出したデータを保持し、再 転送 ^{注3}
			タイムアウト	-	送出したデータを保持し、再 転送 ^{注3}

注1. ホストの再転送に対してSTALL応答します。

- 転送データがMaxPacketSize以下の場合にはACK応答し、ステータス・ステージの受信データを破棄します。一方、MaxPacketSizeを越える場合には無応答となり、UF0SDSレジスタのSNDSTLビットがセット(1)され、受信データは破棄されます。
- コントロール転送で、データ・ステージからステータス・ステージへの変化を示すOUTトランザクションを受信した場合は対象外となり、正常受信完了と判断します。

注意1. 現在設定されているAlternate Settingの番号により対象Endpointが有効か無効かが判定されます。

- Endpoint0へのコントロール転送に含まれるリクエストに対する応答は、13.5 リクエストを参照してください。

13.8 特定状態でのレジスタ値

表13-8 特定状態でのレジスタ値 (1/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E0Nレジスタ	00H	値を保持
UF0E0NAレジスタ	00H	値を保持
UF0ENレジスタ	00H	値を保持
UF0ENMレジスタ	00H	値を保持
UF0SDSレジスタ	00H	値を保持
UF0CLRレジスタ	00H	値を保持
UF0SETレジスタ	00H	値を保持
UF0EPS0レジスタ	00H	値を保持
UF0EPS1レジスタ	00H	値を保持
UF0EPS2レジスタ	00H	値を保持
UF0IS0レジスタ	00H	値を保持
UF0IS1レジスタ	00H	値を保持
UF0IS2レジスタ	00H	値を保持
UF0IS3レジスタ	00H	値を保持
UF0IS4レジスタ	00H	値を保持
UF0IM0レジスタ	00H	値を保持
UF0IM1レジスタ	00H	値を保持
UF0IM2レジスタ	00H	値を保持
UF0IM3レジスタ	00H	値を保持
UF0IM4レジスタ	00H	値を保持
UF0IC0レジスタ	FFH	値を保持
UF0IC1レジスタ	FFH	値を保持
UF0IC2レジスタ	FFH	値を保持
UF0IC3レジスタ	FFH	値を保持
UF0IC4レジスタ	FFH	値を保持
UF0FIC0レジスタ	00H	値を保持
UF0FIC1レジスタ	00H	値を保持
UF0DENDレジスタ	00H	値を保持
UF0GPRレジスタ	00H	値を保持
UF0MODCレジスタ	00H	値を保持
UF0MODSレジスタ	00H	ビット2 (CONF) : クリア (0) , それ以外のビット : 値を保持
UF0AIFNレジスタ	00H	値を保持
UF0AASレジスタ	00H	値を保持
UF0ASSレジスタ	00H	00H
UF0E1IMレジスタ	00H	値を保持
UF0E2IMレジスタ	00H	値を保持

表13 - 8 特定状態でのレジスタ値 (2/2)

レジスタ名	CPUリセット (RESET) 時	Bus Reset時
UF0E3IMレジスタ	00H	値を保持
UF0E4IMレジスタ	00H	値を保持
UF0E7IMレジスタ	00H	値を保持
UF0E8IMレジスタ	00H	値を保持
UF0E0Rレジスタ	不定 ^{注1}	値を保持
UF0E0Lレジスタ	00H	値を保持
UF0E0STレジスタ	00H	00H
UF0E0Wレジスタ	不定 ^{注1}	値を保持
UF0BO1レジスタ	不定 ^{注1}	値を保持
UF0BO1Lレジスタ	00H	値を保持
UF0BO2レジスタ	不定 ^{注1}	値を保持
UF0BO2Lレジスタ	00H	値を保持
UF0BI1レジスタ	不定 ^{注1}	値を保持
UF0BI2レジスタ	不定 ^{注1}	値を保持
UF0INT1レジスタ	不定	値を保持
UF0INT2レジスタ	不定	値を保持
UF0DSTLレジスタ	00H	00H
UF0E0SLレジスタ	00H	00H
UF0E1SLレジスタ	00H	00H
UF0E2SLレジスタ	00H	00H
UF0E3SLレジスタ	00H	00H
UF0E4SLレジスタ	00H	00H
UF0E7SLレジスタ	00H	00H
UF0E8SLレジスタ	00H	00H
UF0ADRSレジスタ	00H	00H
UF0CNFレジスタ	00H	00H
UF0IF0レジスタ	00H	00H
UF0IF1レジスタ	00H	00H
UF0IF2レジスタ	00H	00H
UF0IF3レジスタ	00H	00H
UF0IF4レジスタ	00H	00H
UF0DSCLレジスタ	00H	値を保持
UF0DDnレジスタ (n = 0-17)	注2	注2
UF0CIEnレジスタ (n = 0-255)	注2	注2

注1. 該当のレジスタは、FIFO制御のため、UF0FICnレジスタでのクリア (0) と同様にRESET信号がアクティブになると、ライト・ポインタ、カウンタ、リード・ポインタのすべてがクリア (0) されるので、RESET信号によって、クリア (0) できます。

2. 該当のレジスタは、クリア (0) できません。ただし、FWライト可能なので、任意の値を書き込めます (その場合は、必ずUF0E0NAレジスタのEP0NKAビット = 1にしてから行ってください)。

13.9 FW処理

FW処理は次に示すものに対して行います。

エニマレーション処理中のSET_CONFIGURATION, SET_INTERFACE, SET_FEATURE,
CLEAR_FEATUREリクエストに対する装置側の設定処理
自動処理対象外のXXXXStandardリクエスト, XXXXClassリクエスト, XXXXVendorリクエストの解析とそ
の処理
バルク転送のOUTトークンに続くデータの受信バッファからの読み出し
バルク転送のINトークンに対して返信されるデータの書き込み
インタラプト転送のトークンに対して返信されるデータの書き込み

次にFW対応のリクエストを示します。

表13 - 9 FW対応の標準リクエスト

リクエスト	受信側	処理 / 頻度	説明
CLEAR_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求は来ないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
SET_FEATURE	Interface	自動STALL 応答	bmRequestTypeでは予約しているが、機能セクタ値がないため、Interfaceにはこの要求はないと思われます。 このリクエストを受けた場合、ハードウェアは自動STALL応答します。
GET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを返します。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、ホストに返すデータをUF0E0Wレジスタに書き込みます。
SET_DESCRIPTOR	Device	FW	デバイス・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0DDnレジスタに書き込みます (n = 0-17)。
SET_DESCRIPTOR	Configuration	FW	コンフィギュレーション・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータをUF0CIE nレジスタに書き込みます (n = 0-255)。
SET_DESCRIPTOR	String	FW	ストリング・ディスクリプタを書き換えます。 SETUPトークンでこのリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、次のコントロール転送 (OUT) のデータを取り込みます。
その他のリクエスト	NA	FW	SETUPトークンでその他のリクエストを受信すると、ハードウェアはFWに対してCPUDEC割り込み要求を発生します。FWはCPUDEC割り込み要求からリクエストの内容をデコードし、必要な処理を行ってください。

13.9.1 初期化処理

初期化処理には次の2つの設定があります。

- ・ リクエスト・データ・レジスタの初期化
- ・ 割り込みの設定

リクエスト・データ・レジスタの初期化では、自動返信処理を行うGET_XXXXリクエストに対するデータの書き込みとEndpointのInterfaceに対する割り当てを行います。割り込みの設定では、確認する必要のない割り込み要因に対して、UF0IMnレジスタにより割り込みのマスクを行います (n = 0-4)。

次にフローを示します。

図13 - 13 リクエスト・データ・レジスタの初期化

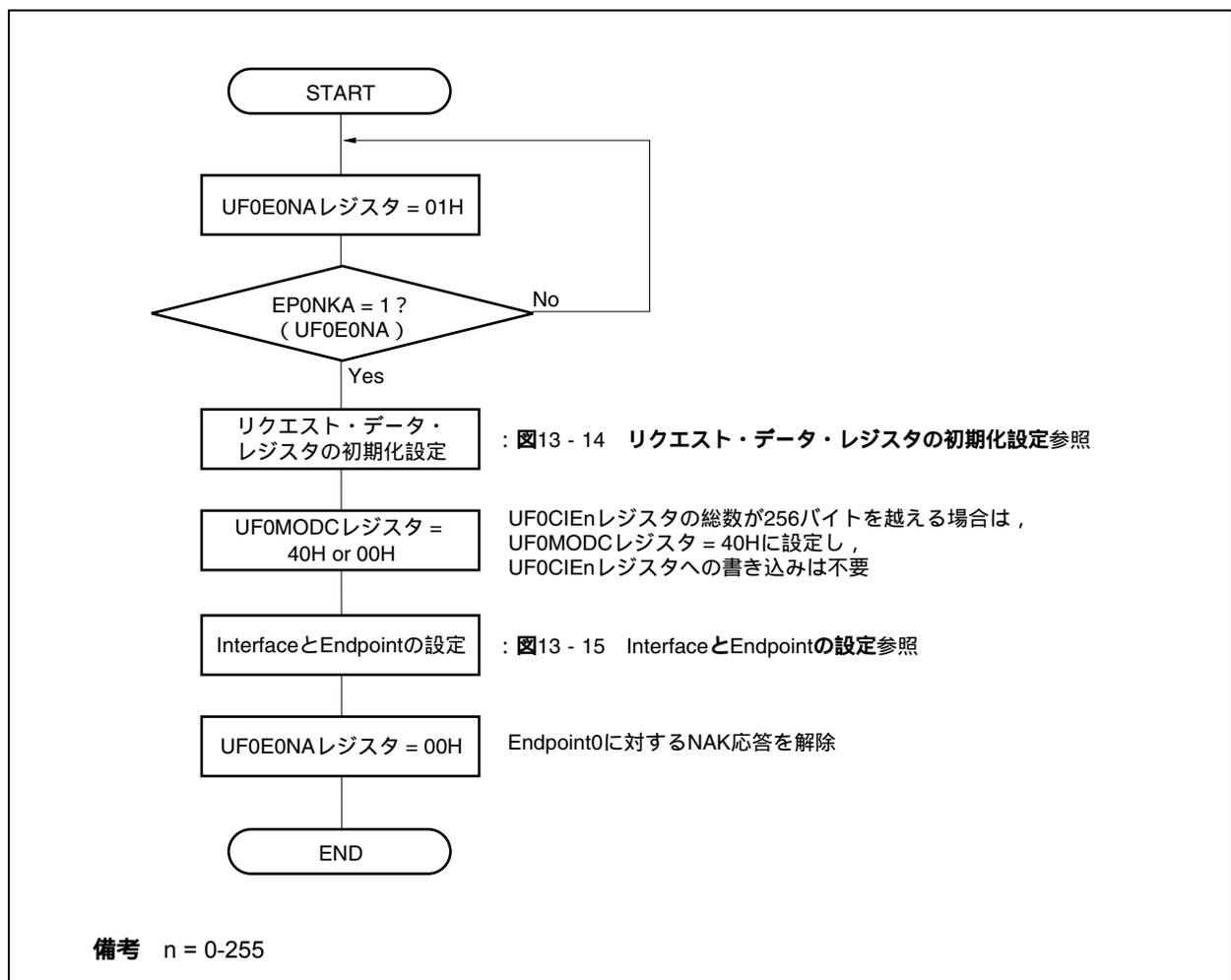


図13 - 14 リクエスト・データ・レジスタの初期化設定

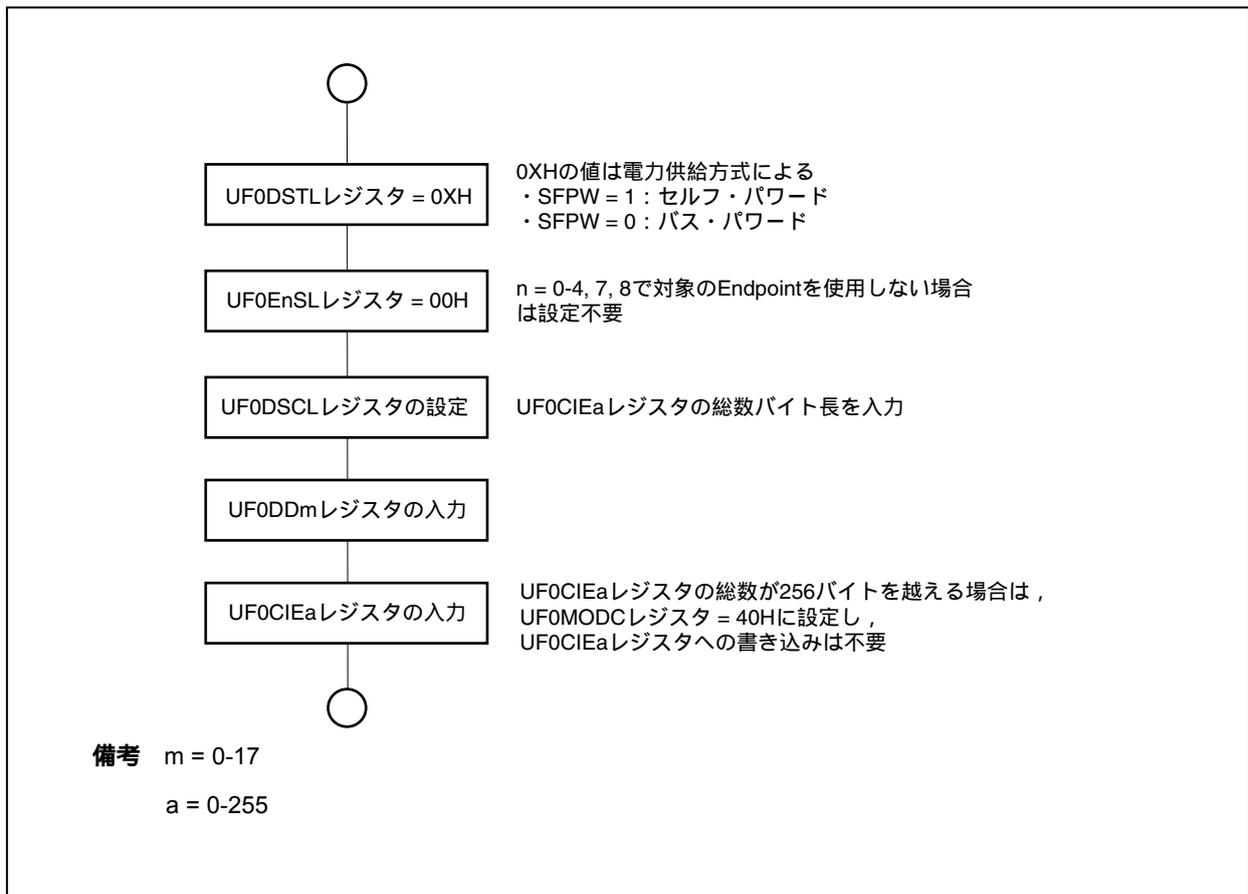


図13 - 15 InterfaceとEndpointの設定

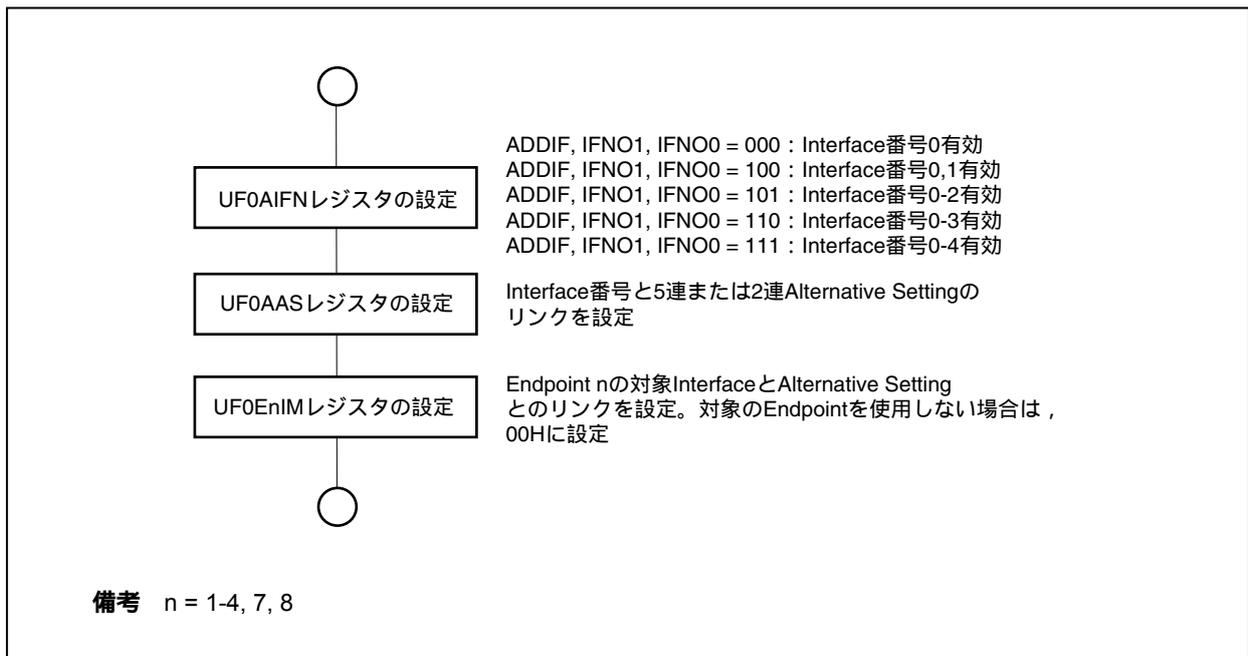
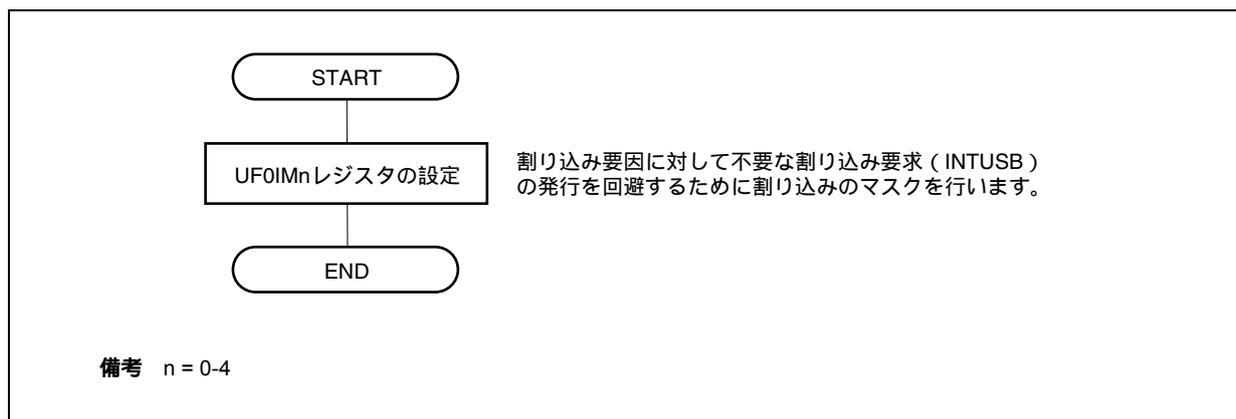


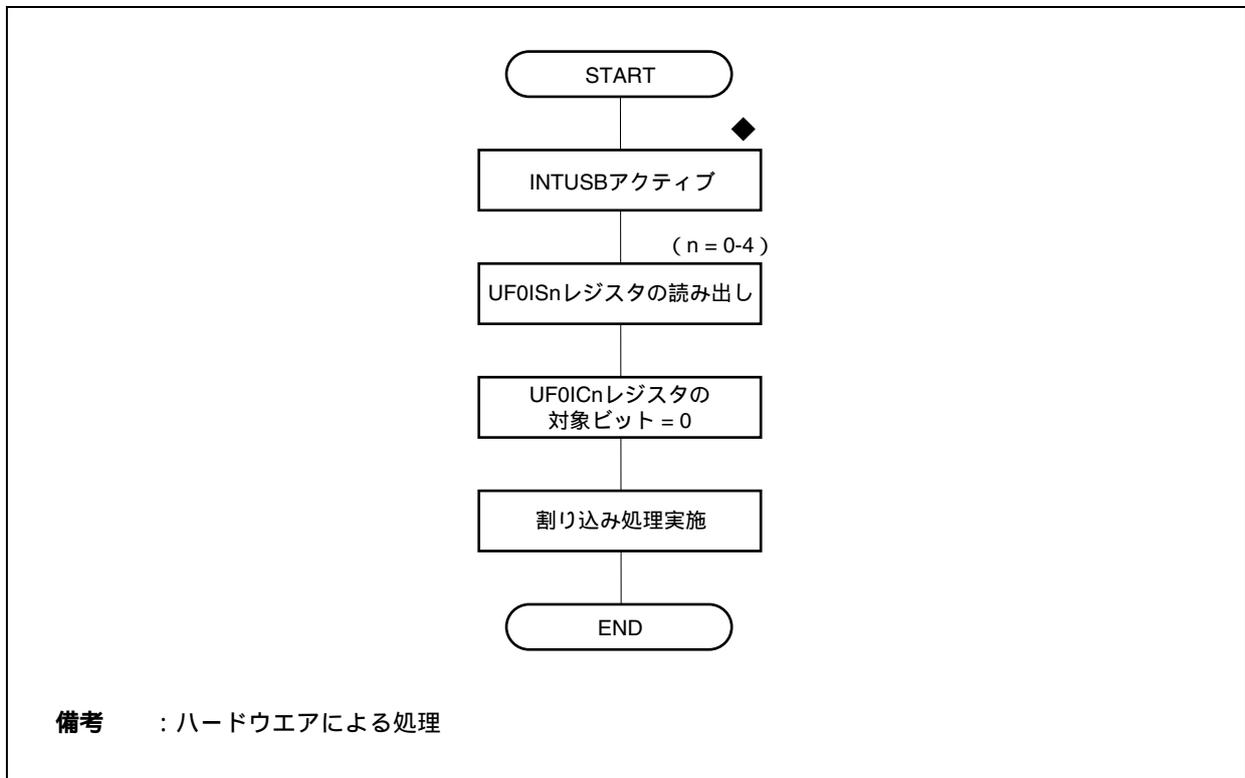
図13 - 16 割り込みの設定



13.9.2 割り込み処理

次にフローを示します。

図13 - 17 割り込み処理



次に示すUF0ISnレジスタのビットは、条件を満たしたときにハードウェアにより、自動的にクリアされます (n = 0-4)。

- ・ UF0IS1レジスタのE0INDT, E0ODT, SUCES, STG, CPUDECビット
- ・ UF0IS2レジスタのBKI2DT, BKI1DT, IT1DTビット
- ・ UF0IS3レジスタのBKO2FL, BKO2DT, BKO1FL, BKO1DTビット

なお、UF0ICnレジスタでの割り込み要因のクリアは、対象となる割り込み要因のハードウェアによるセットより、優先順位は低いため、タイミングによってはクリアできない場合があります (n = 0-4)。

13.9.3 USBメイン処理

USBメイン処理では、USBトランザクションに対する処理を行います。対象となるトランザクションのタイプは次の通りです。

- ・コントロール転送に対する完全自動処理リクエスト
- ・コントロール転送に対する自動処理リクエスト
(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)
- ・コントロール転送に対するCPUDECリクエスト
- ・バルク転送 (IN) に対する処理
- ・バルク転送 (OUT) に対する処理
- ・インタラプト転送 (IN) に対する処理

Endpoint nに対する処理は、データ転送の書き込みまたは読み出し処理です。なお、以降で示すフロー・チャートはPIOを対象にしたものです。

(1) コントロール転送に対する完全自動処理リクエスト

コントロール転送に対する完全自動処理リクエストは、ハードウェアで処理のすべてを実行するため、FWでは参照できません。このため、FWで特別に処理する必要はありません。

(2) コントロール転送に対する自動処理リクエスト

(SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATURE)

SET_CONFIGURATION, SET_INTERFACE, SET_FEATURE, CLEAR_FEATUREのコントロール転送に対する自動処理リクエストに対してレジスタ等への書き込み処理などはハードウェアで自動的に実行されますが、装置側での認知のために割り込み要求を発行します。特に処理すべきことがない場合は、この処理は無視してもかまいません。

次にフローを示します。

図13 - 18 コントロール転送に対する自動処理リクエスト

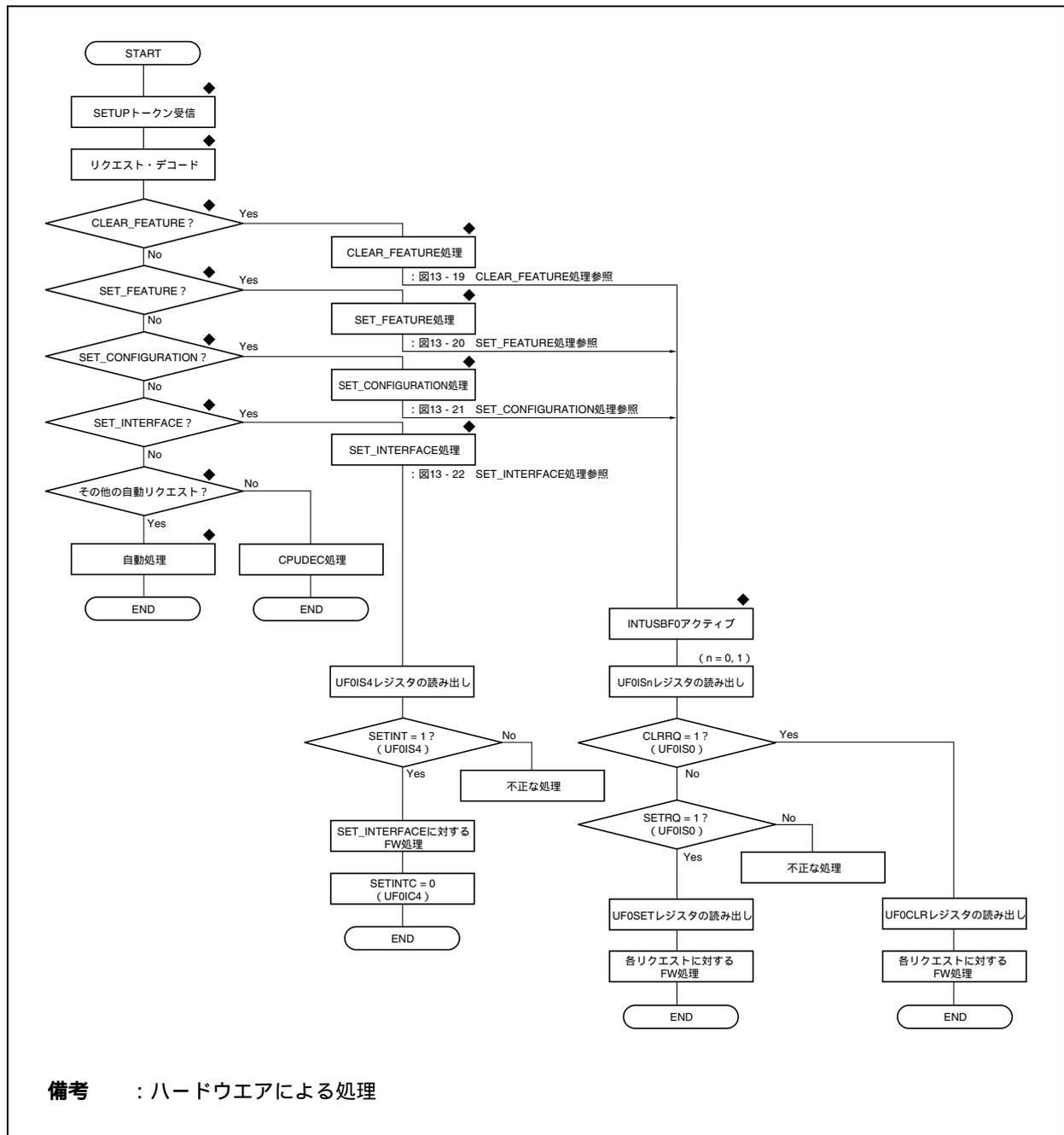


図13 - 19 CLEAR_FEATURE処理

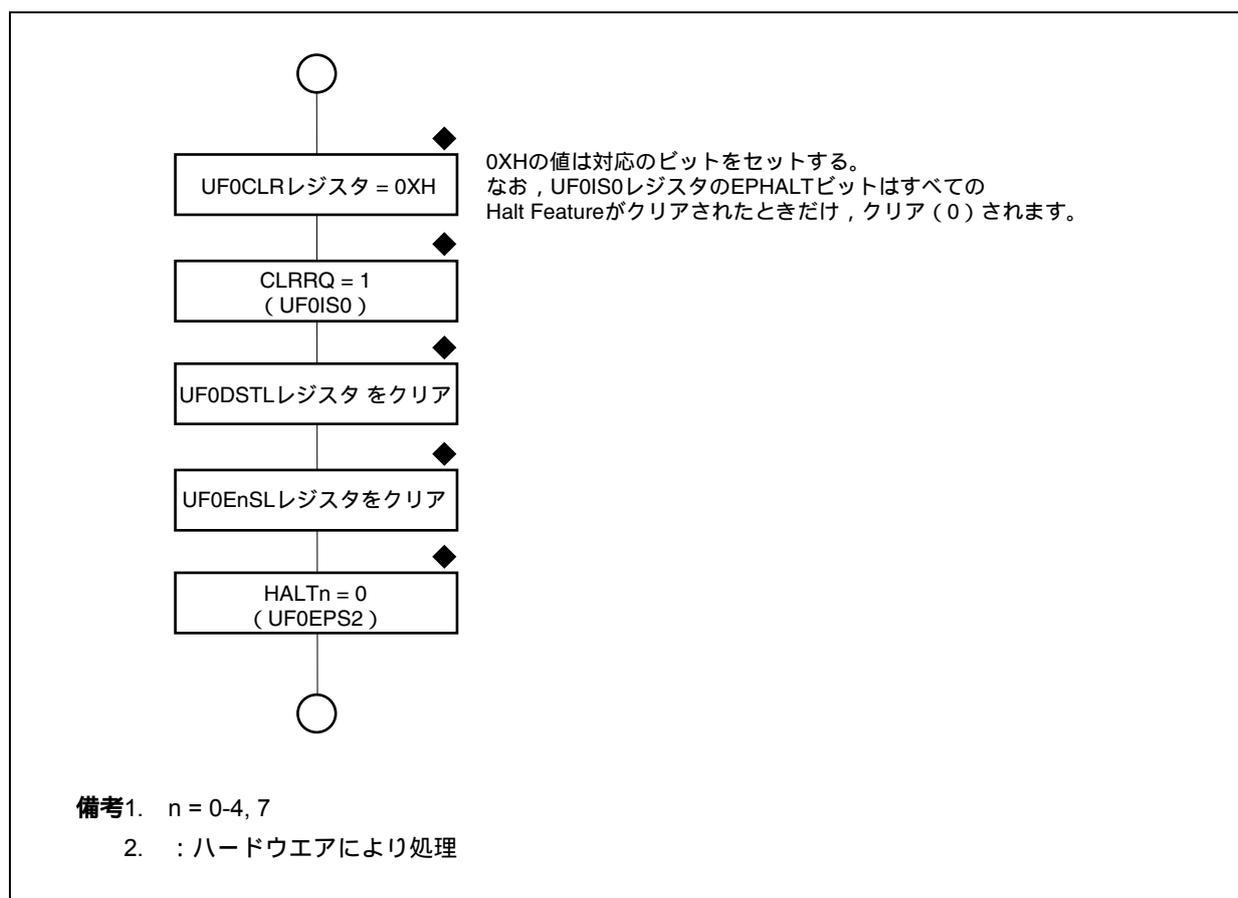


図13 - 20 SET_FEATURE処理

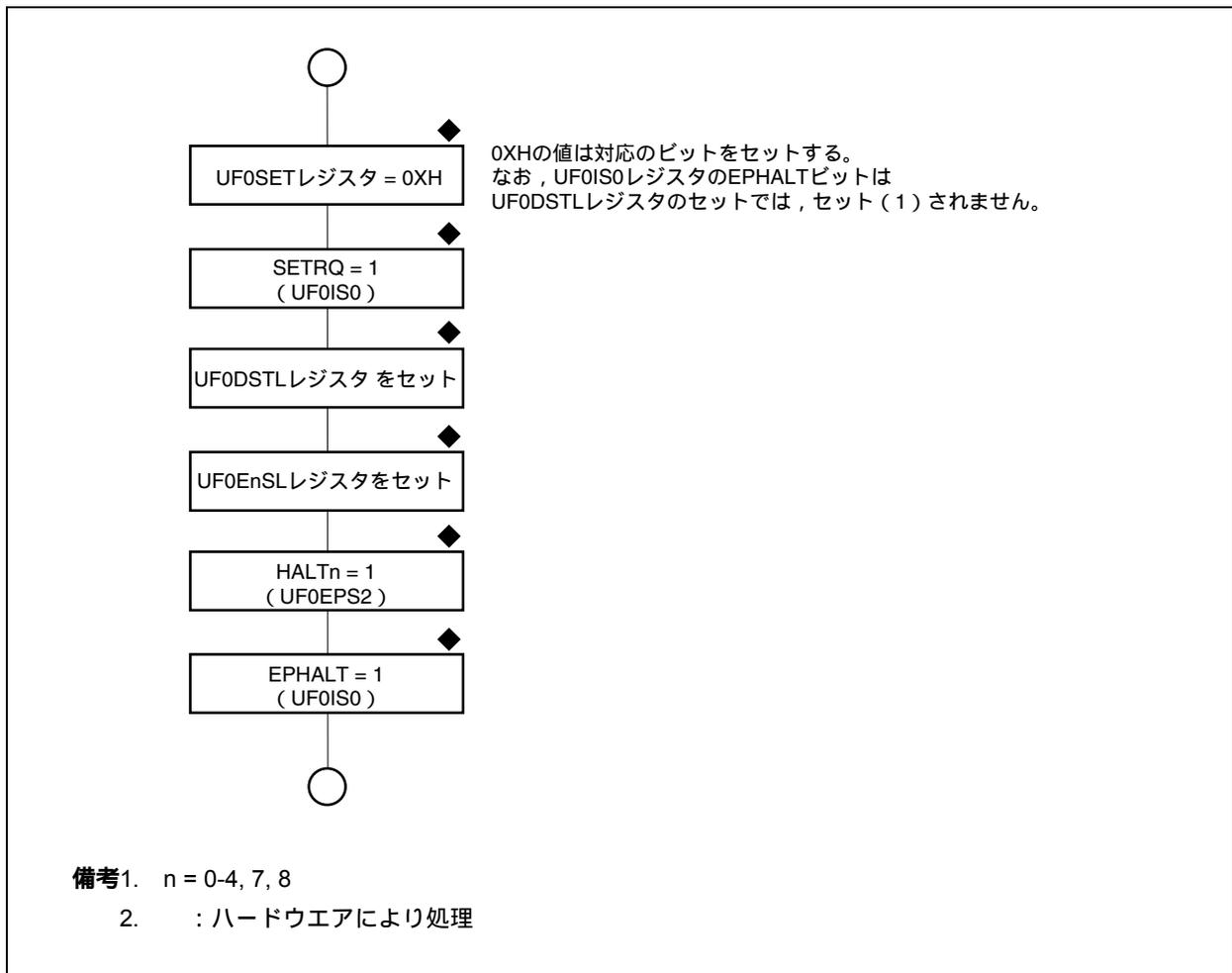


図13 - 21 SET_CONFIGURATION処理

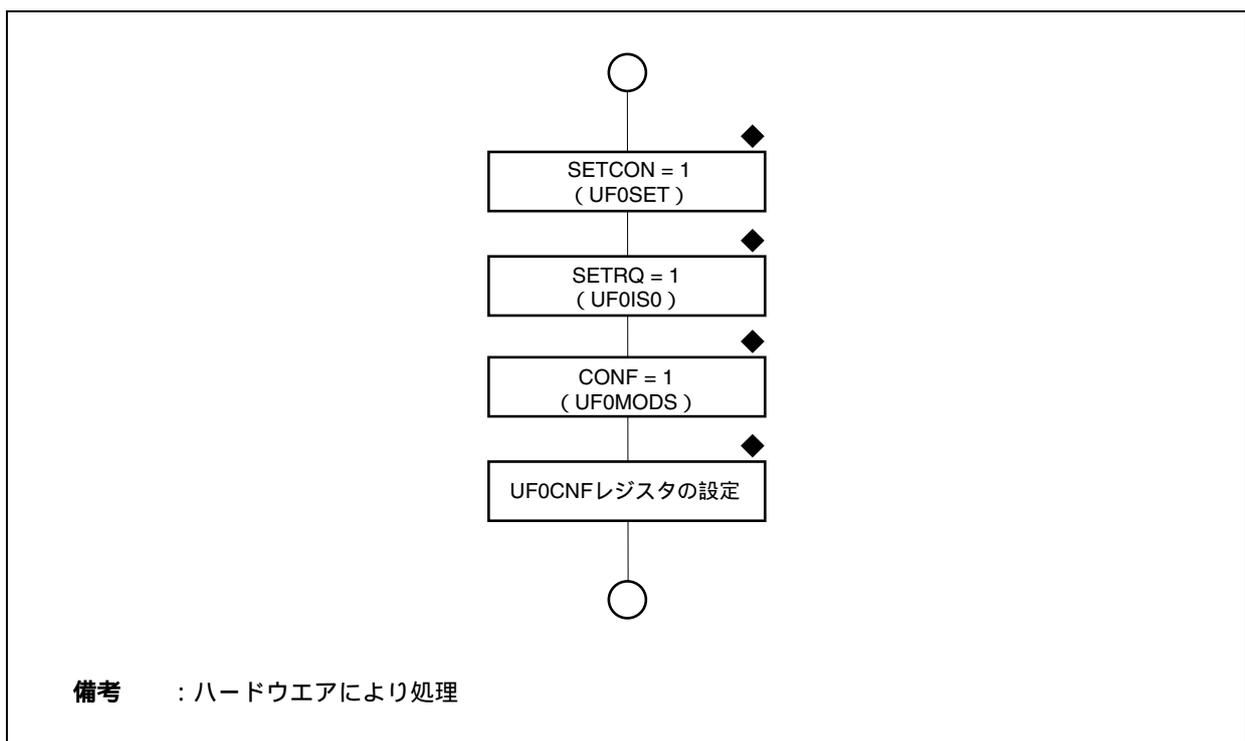
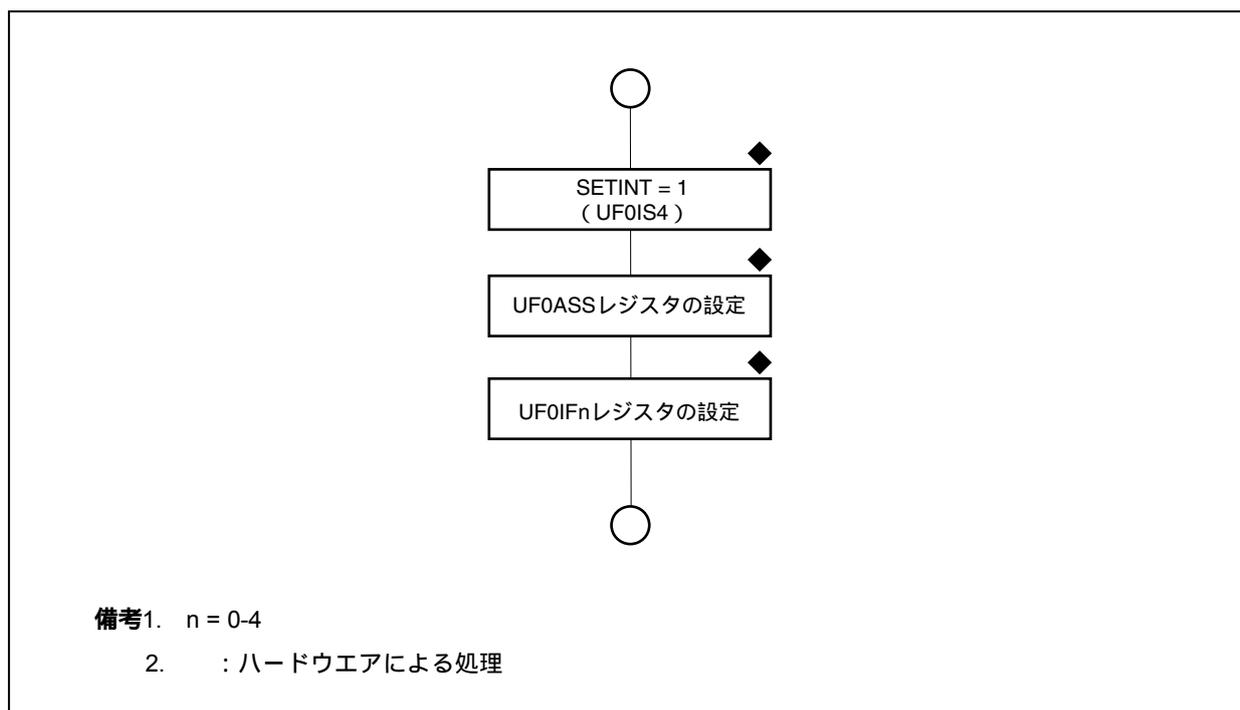


図13 - 22 SET_INTERFACE処理



(3) コントロール転送に対するCPUDECリクエスト

CPUDECリクエストは、コントロール転送(ライト)、コントロール転送(リード)、コントロール転送(データなし)の3つの処理に分類できます。コントロール転送(ライト)はデータ・ステージでOUTトランザクションを利用するリクエスト(例: SET_DESCRIPTOR)、コントロール転送(リード)はデータ・ステージでINトランザクションを利用するリクエスト(例: GET_DESCRIPTOR)、コントロール転送(データなし)はデータ・ステージを持たないリクエスト(例: SET_CONFIGURATION)を示します。

次にフローを示します。

図13 - 23 コントロール転送に対するCPUDECリクエスト (1/12)

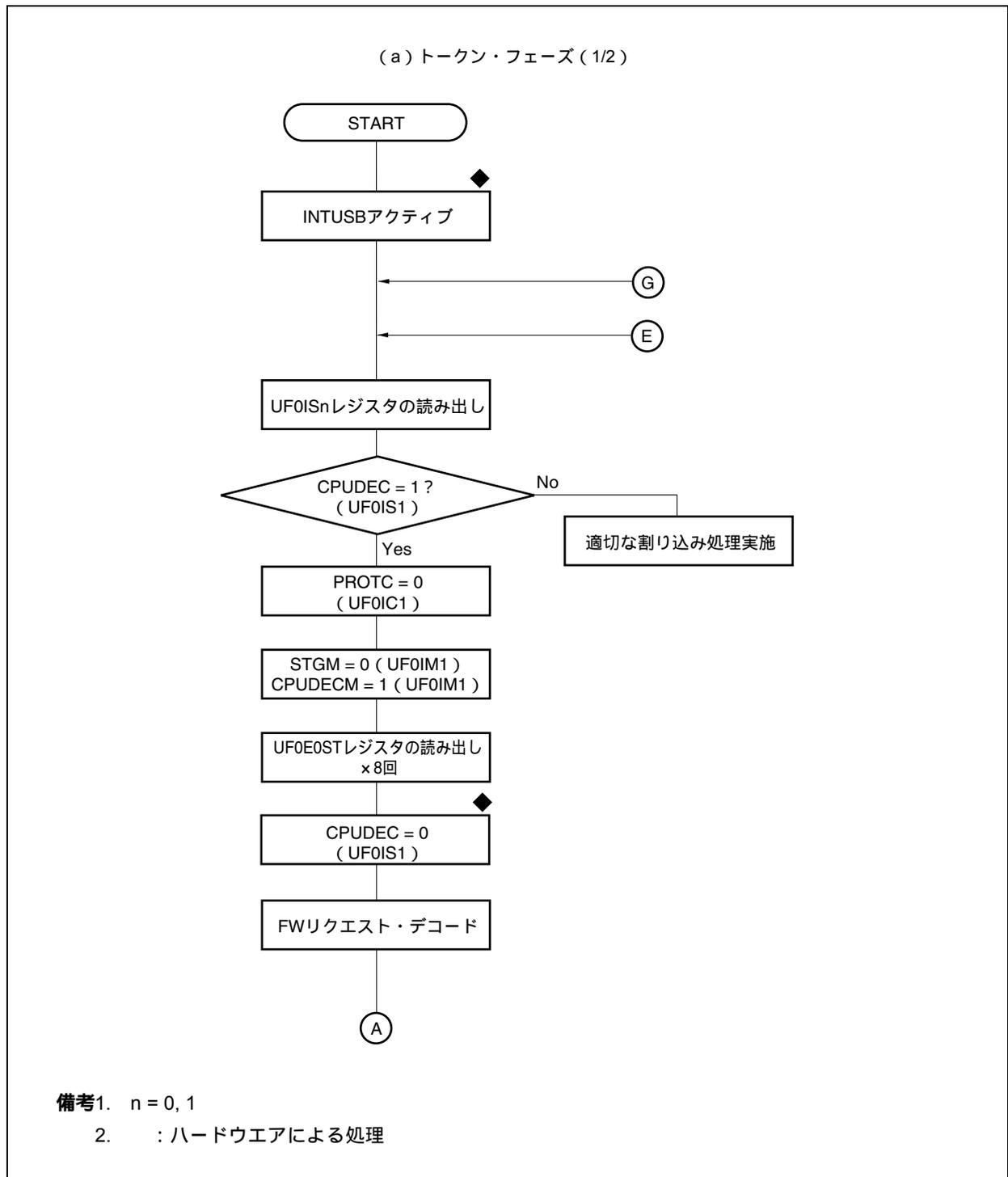


図13 - 23 コントロール転送に対するCPUDECリクエスト (2/12)

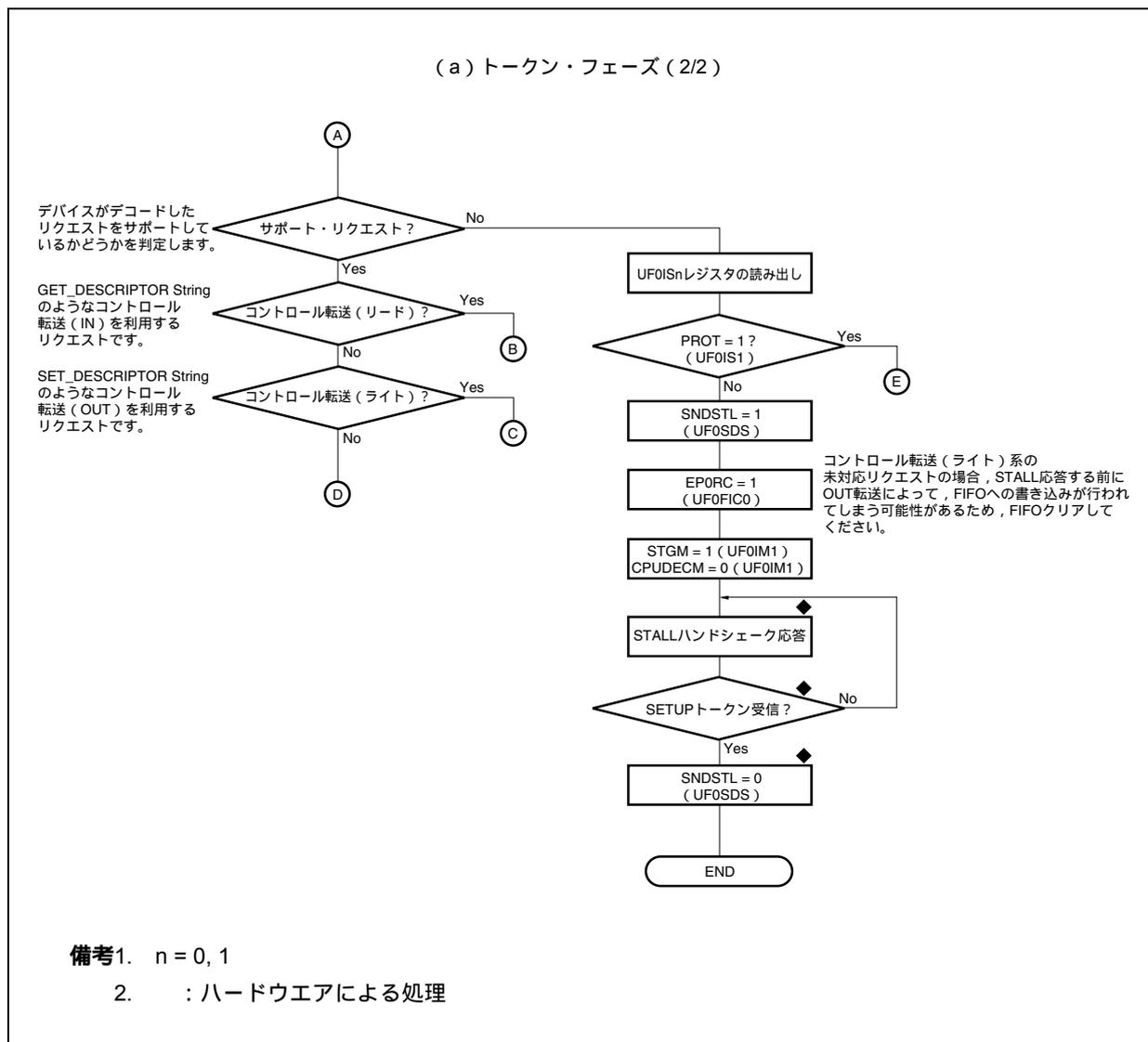


図13 - 23 コントロール転送に対するCPUDECリクエスト (3/12)

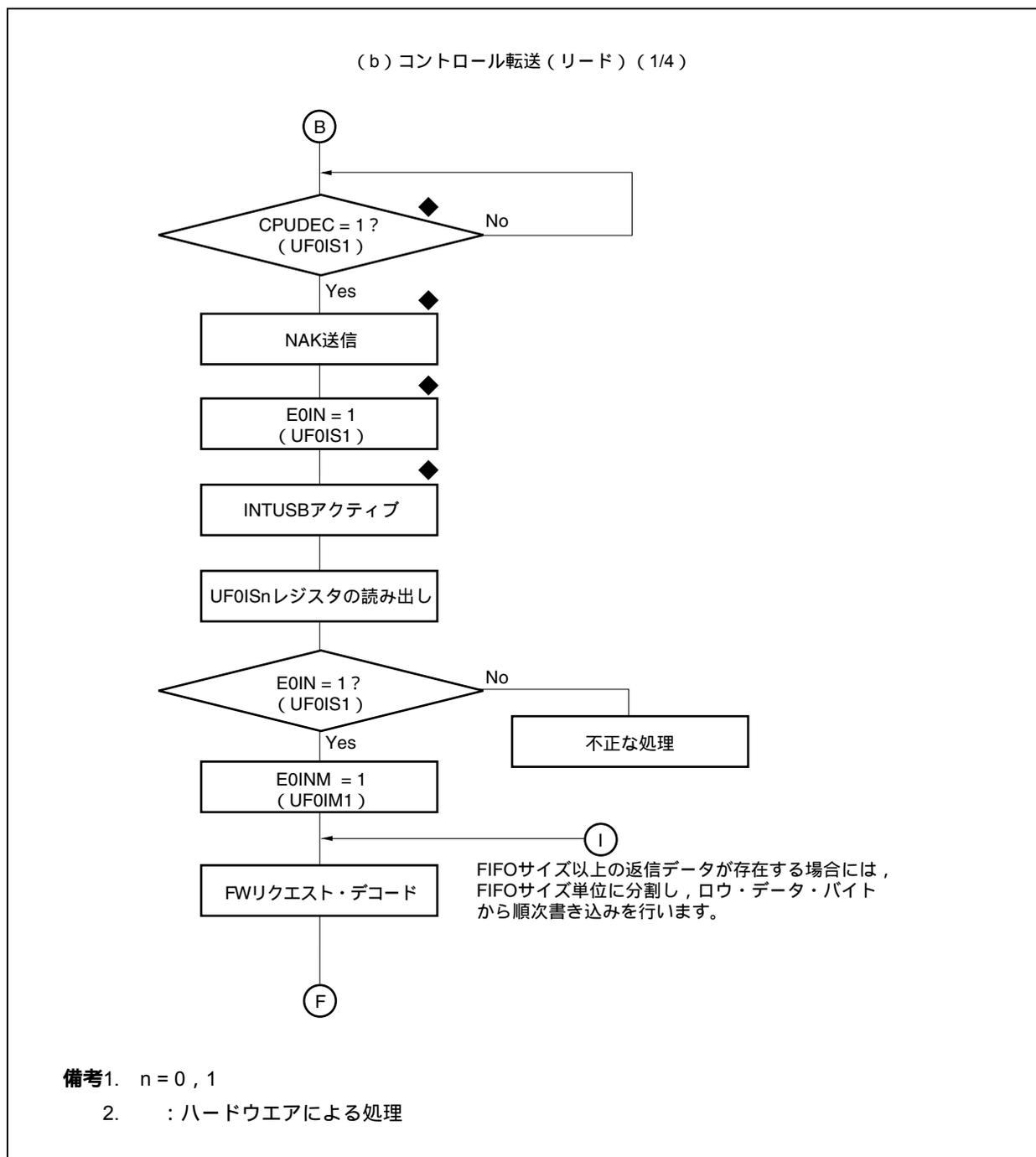


図13 - 23 コントロール転送に対するCPUDECリクエスト (4/12)

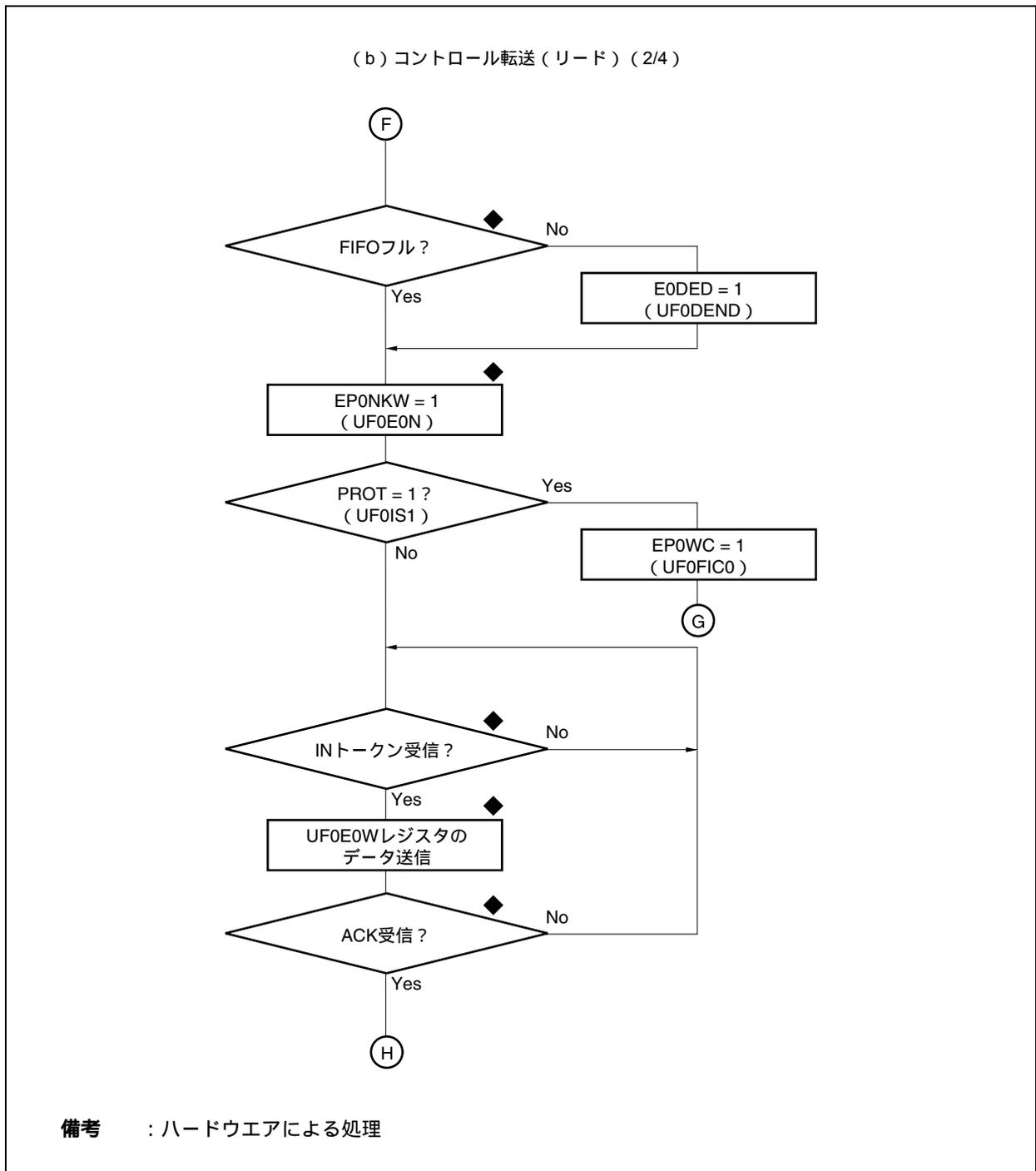


図13 - 23 コントロール転送に対するCPUDECリクエスト (5/12)

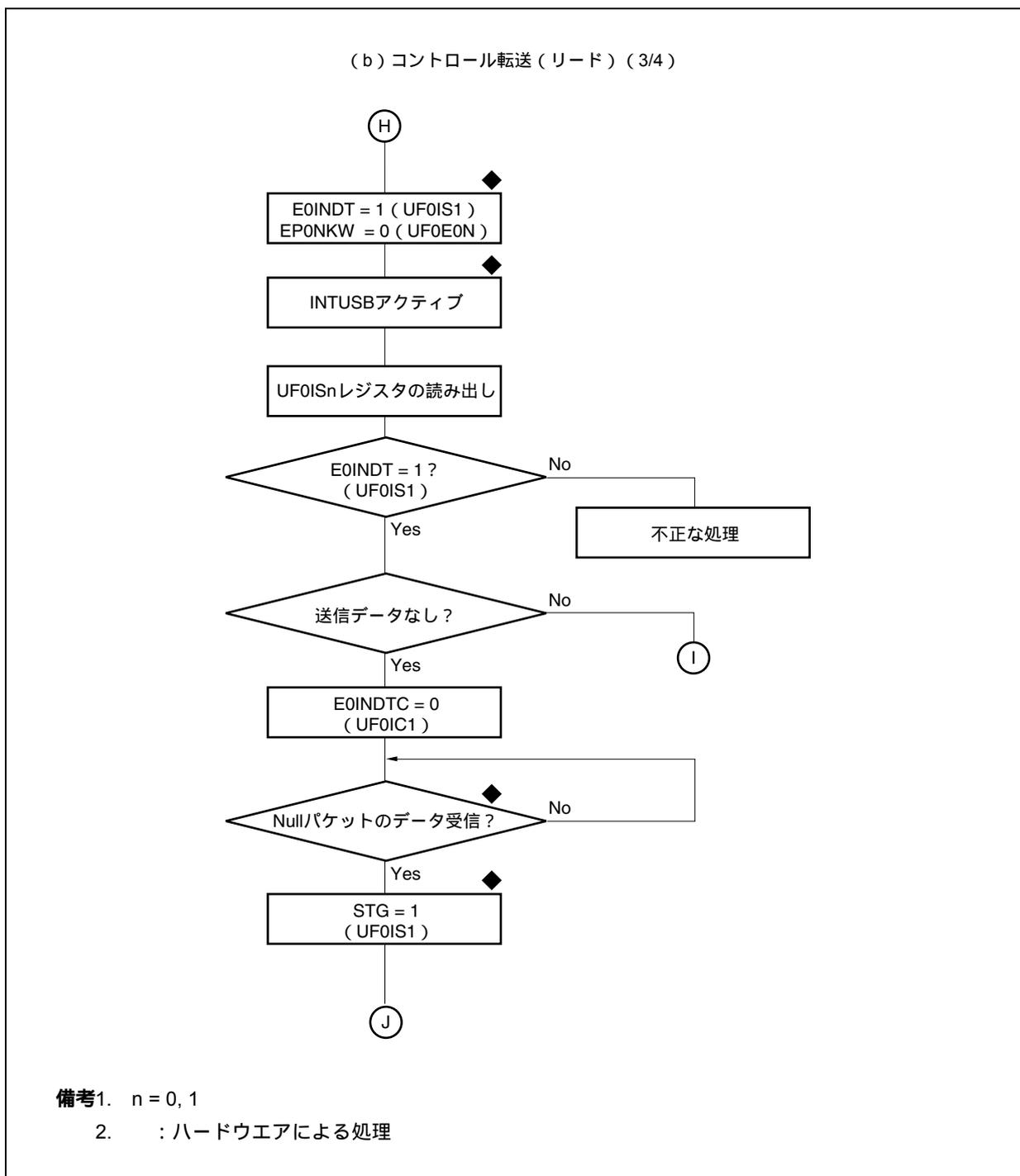


図13 - 23 コントロール転送に対するCPUDECリクエスト (6/12)

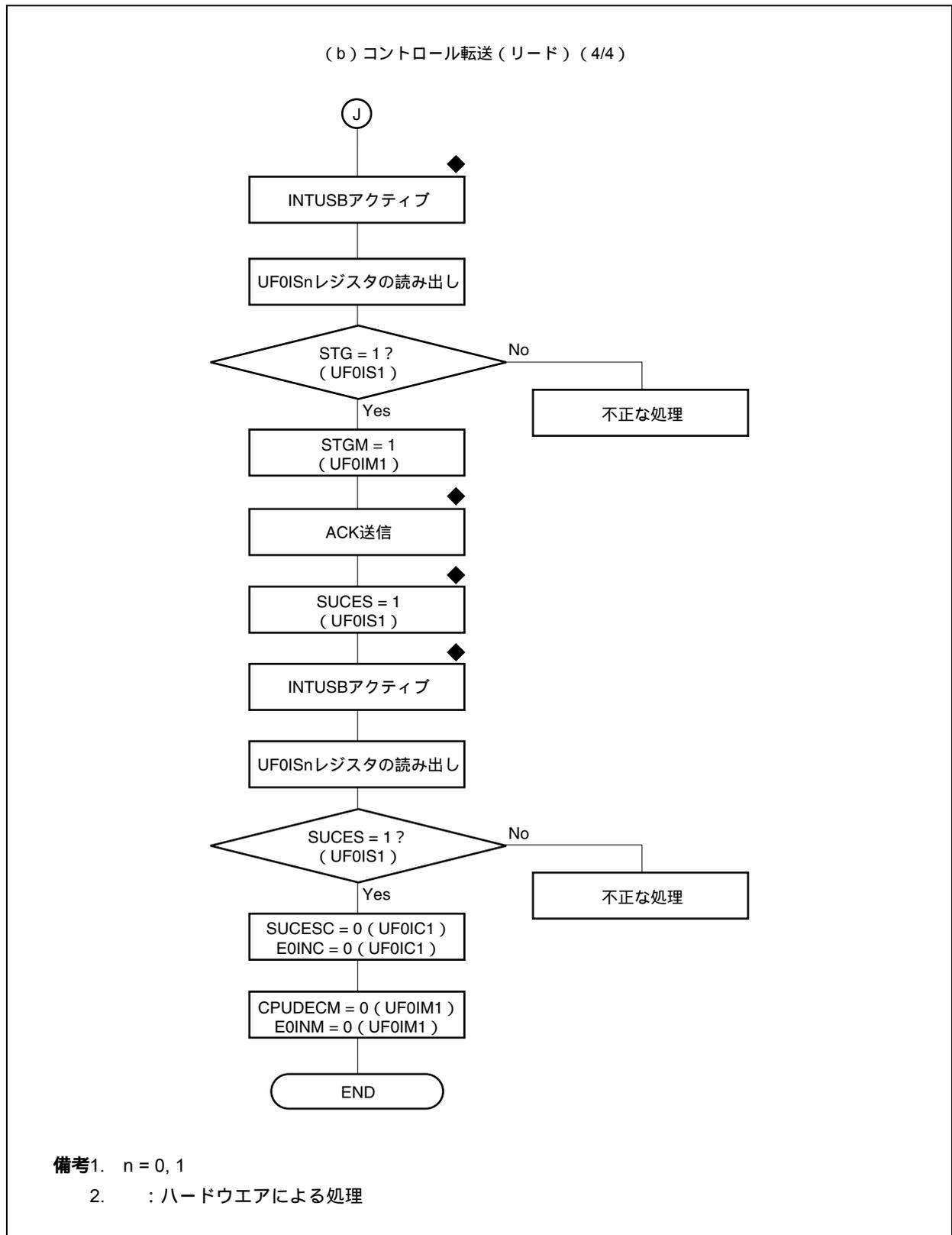


図13 - 23 コントロール転送に対するCPUDECリクエスト (7/12)

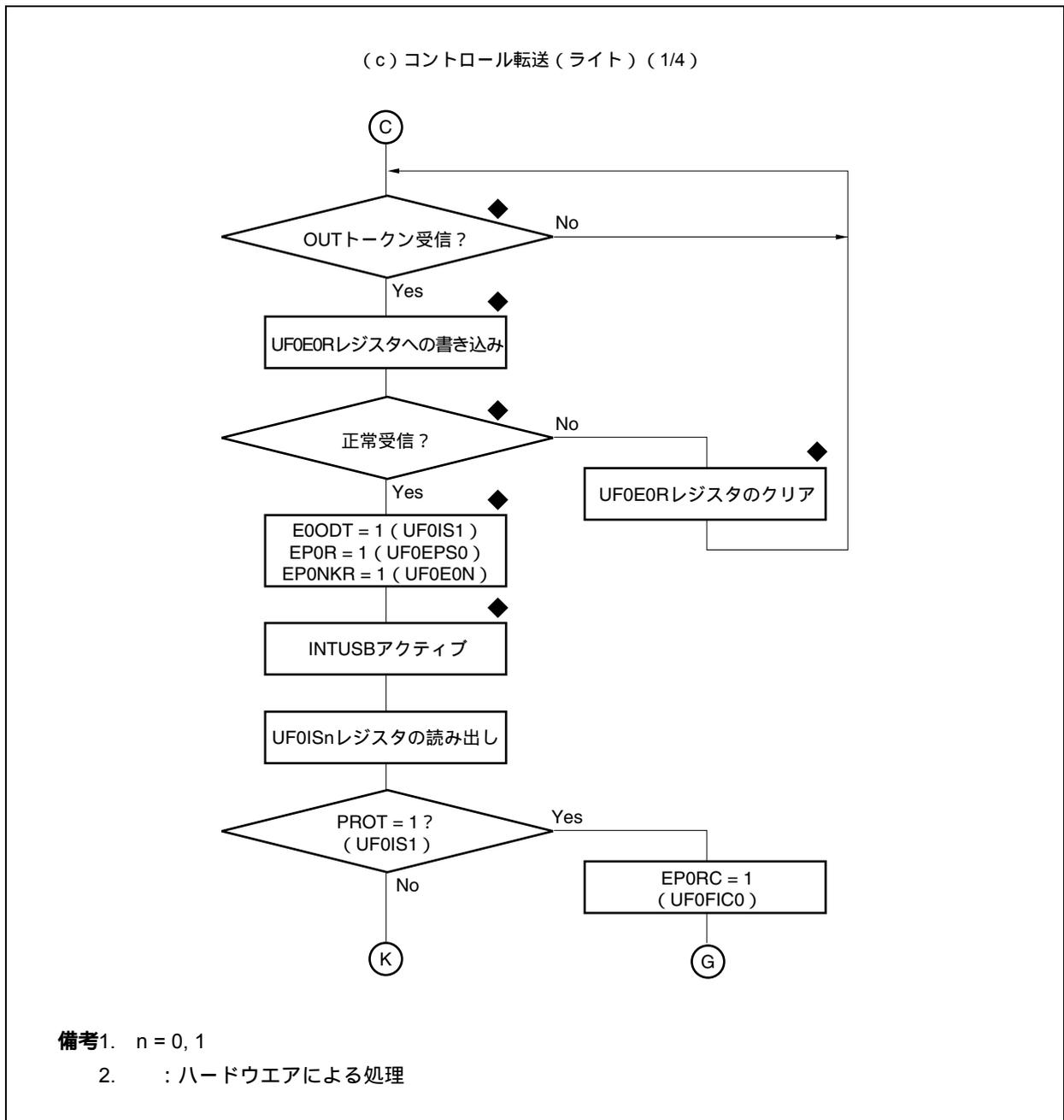


図13 - 23 コントロール転送に対するCPUDECリクエスト (8/12)

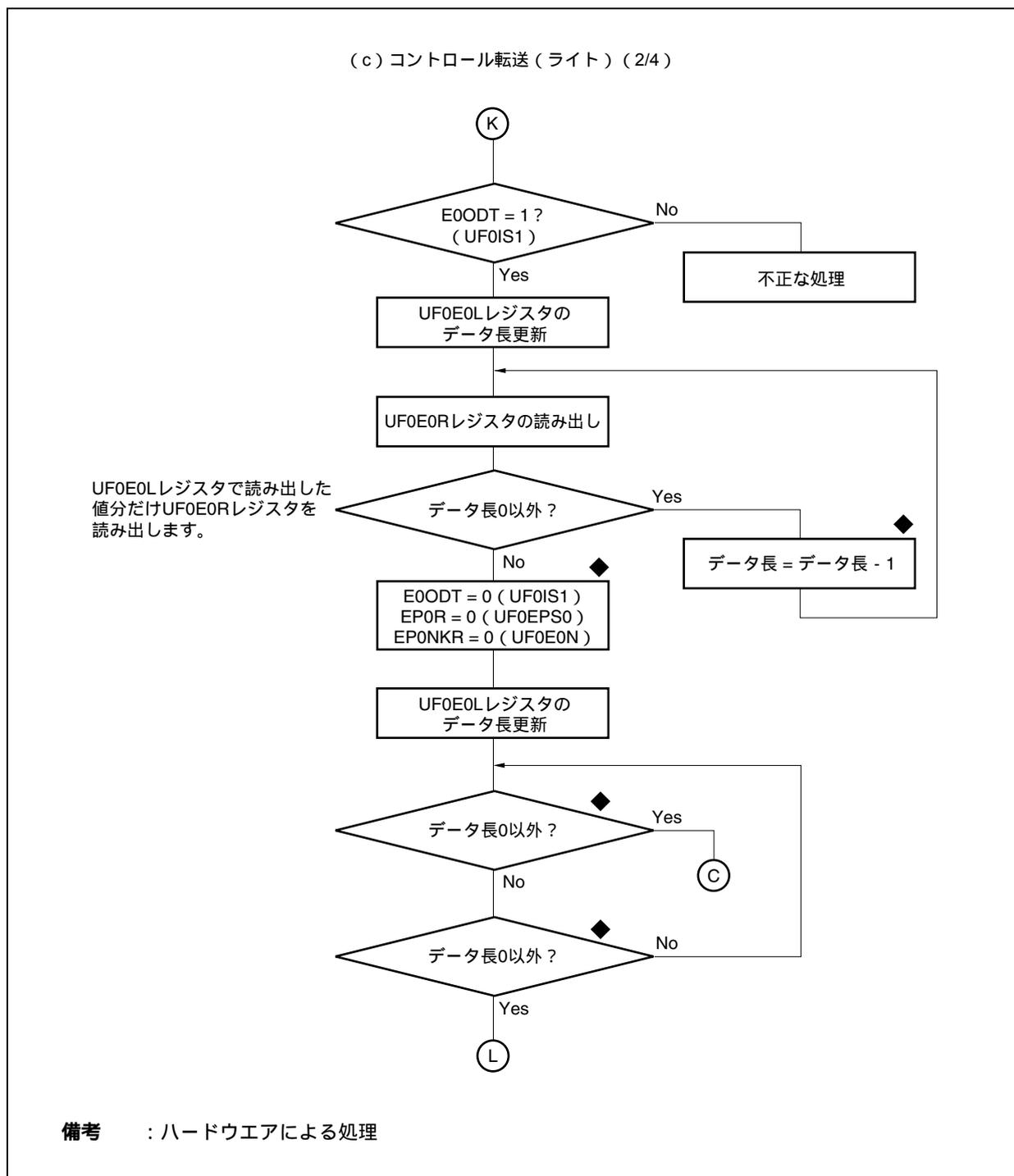


図13 - 23 コントロール転送に対するCPUDECリクエスト (9/12)

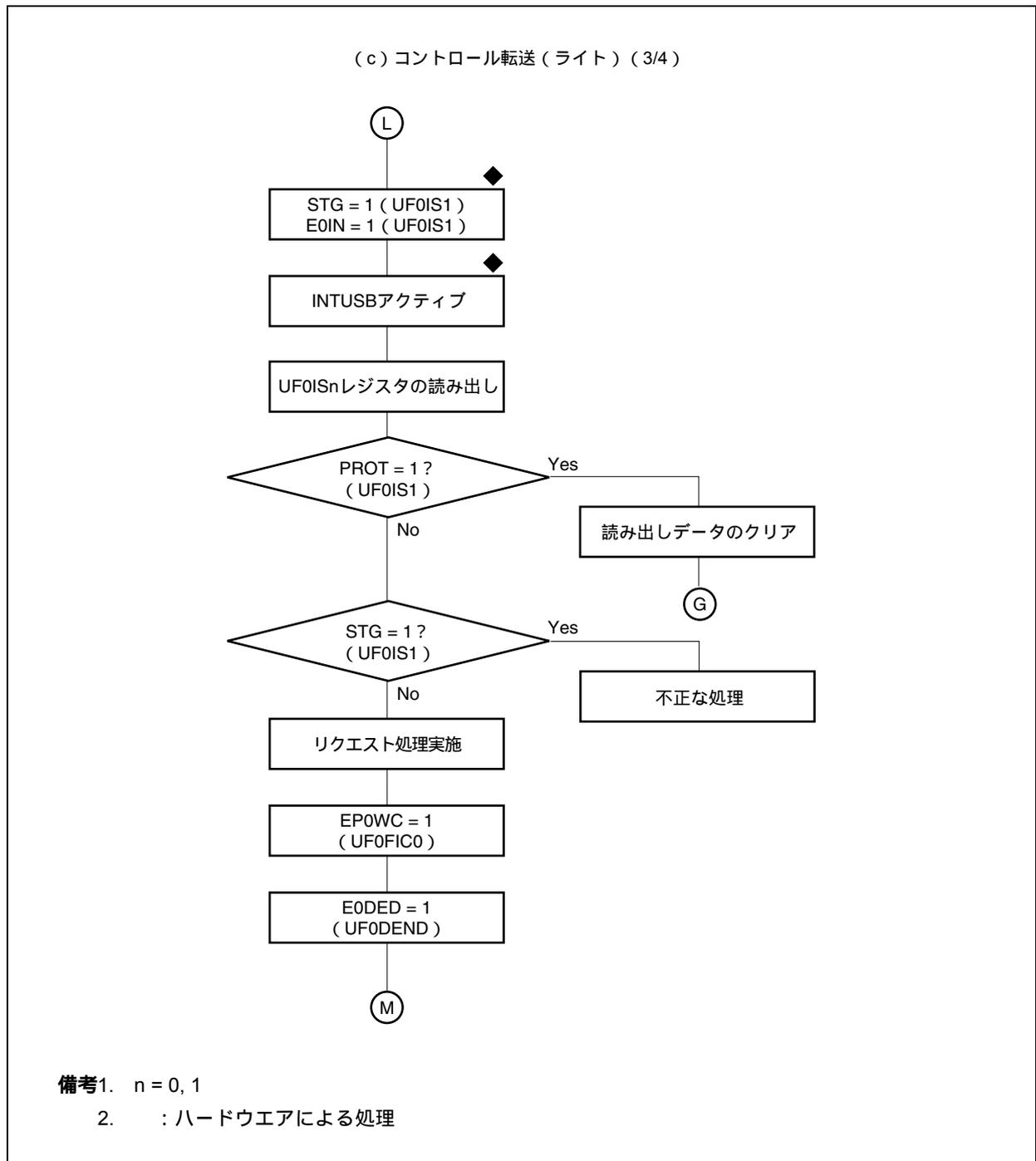


図13 - 23 コントロール転送に対するCPUDECリクエスト (10/12)

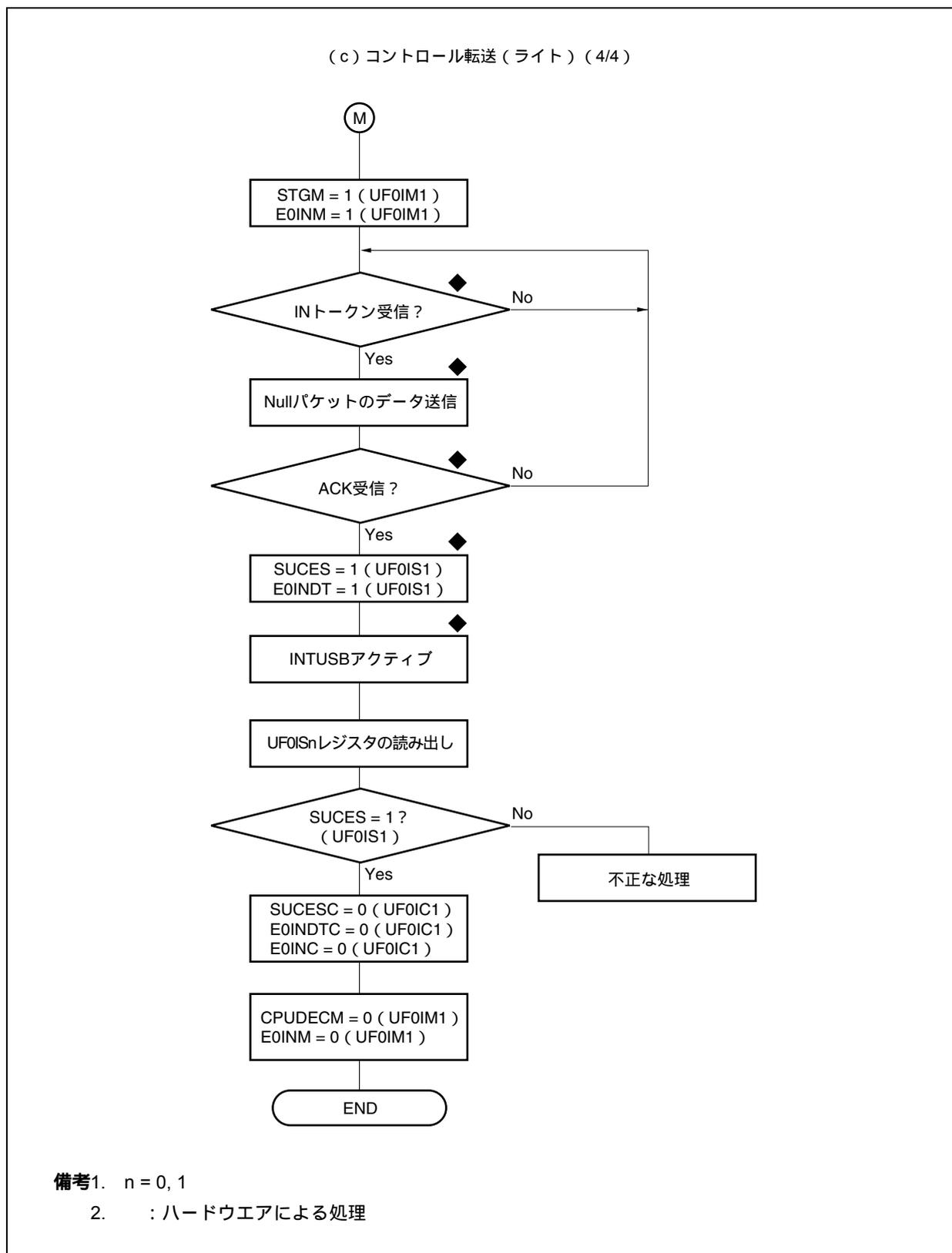


図13 - 23 コントロール転送に対するCPUDECリクエスト (11/12)

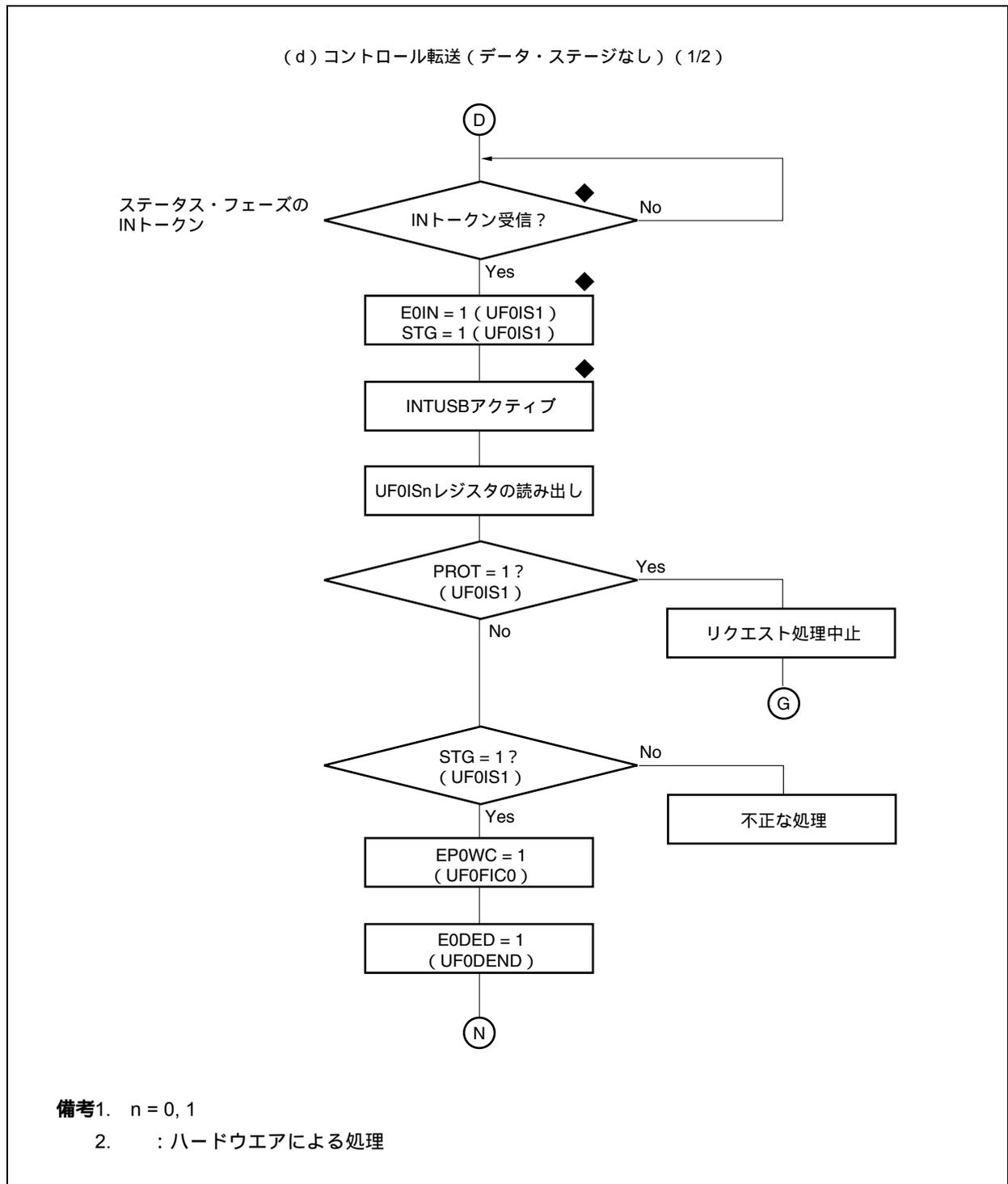
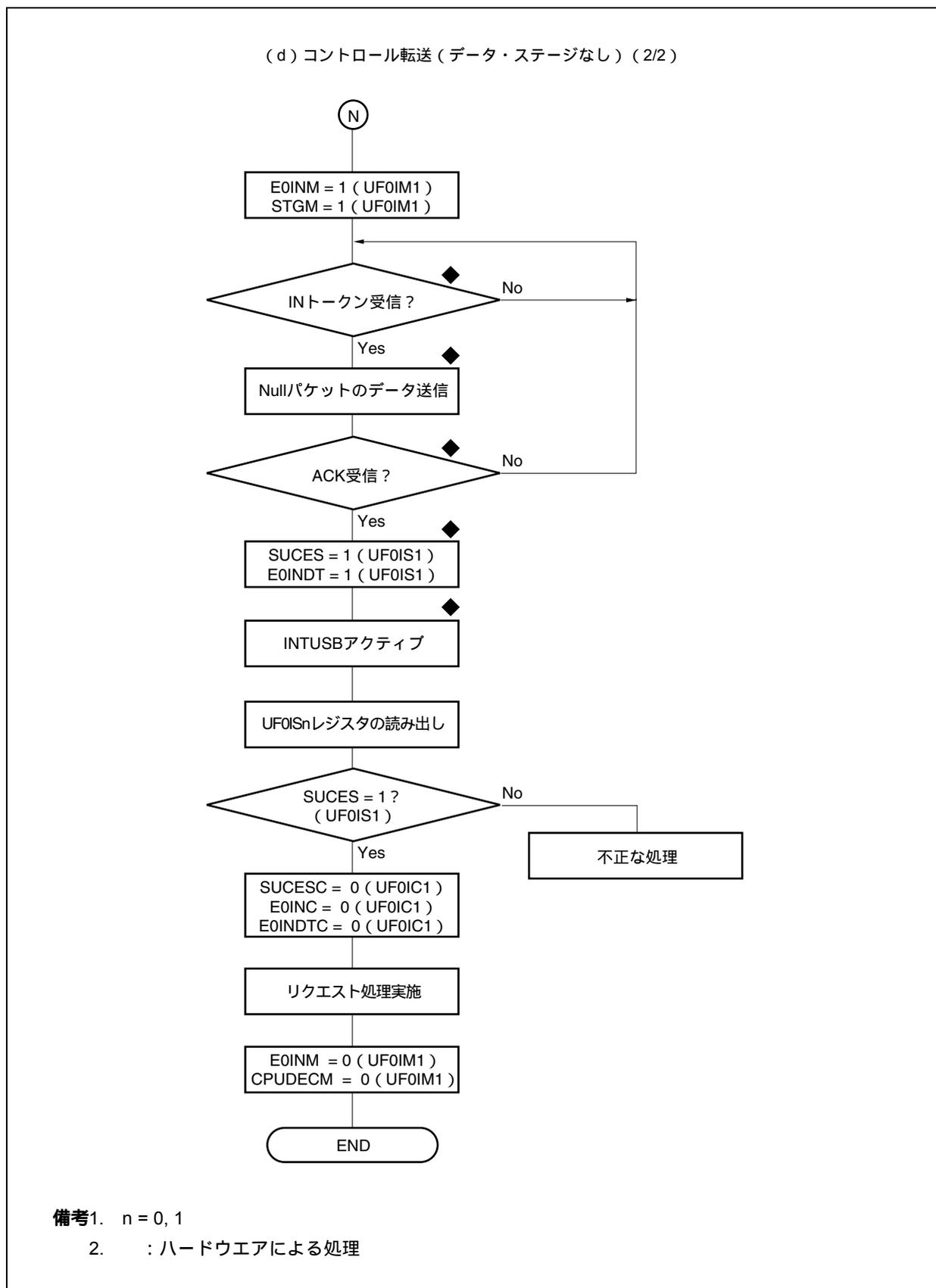


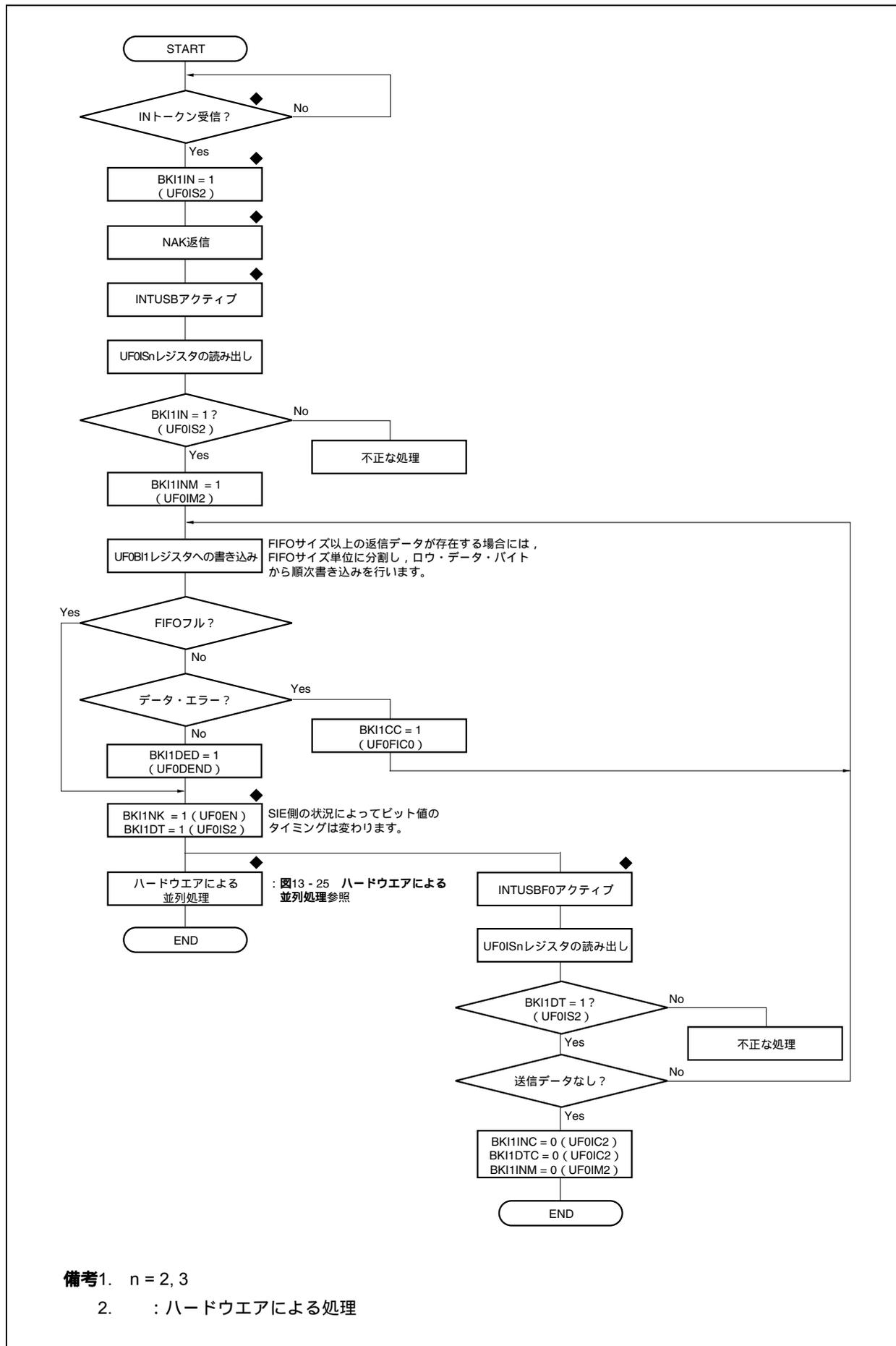
図13 - 23 コントロール転送に対するCPUDECリクエスト (12/12)



(4) バルク転送 (IN) に対する処理

バルク転送 (IN) は、Endpoint1およびEndpoint3に割り当てられています。次に示すフロー・チャートは、Endpoint1に対する制御フローです。Endpoint3についても、同じシーケンスで制御できます。したがって、Endpoint3に対する制御フローとして使用する場合は、フロー中のEndpoint1に対するビット名をEndpoint3に対するビット名に読み替えてください。

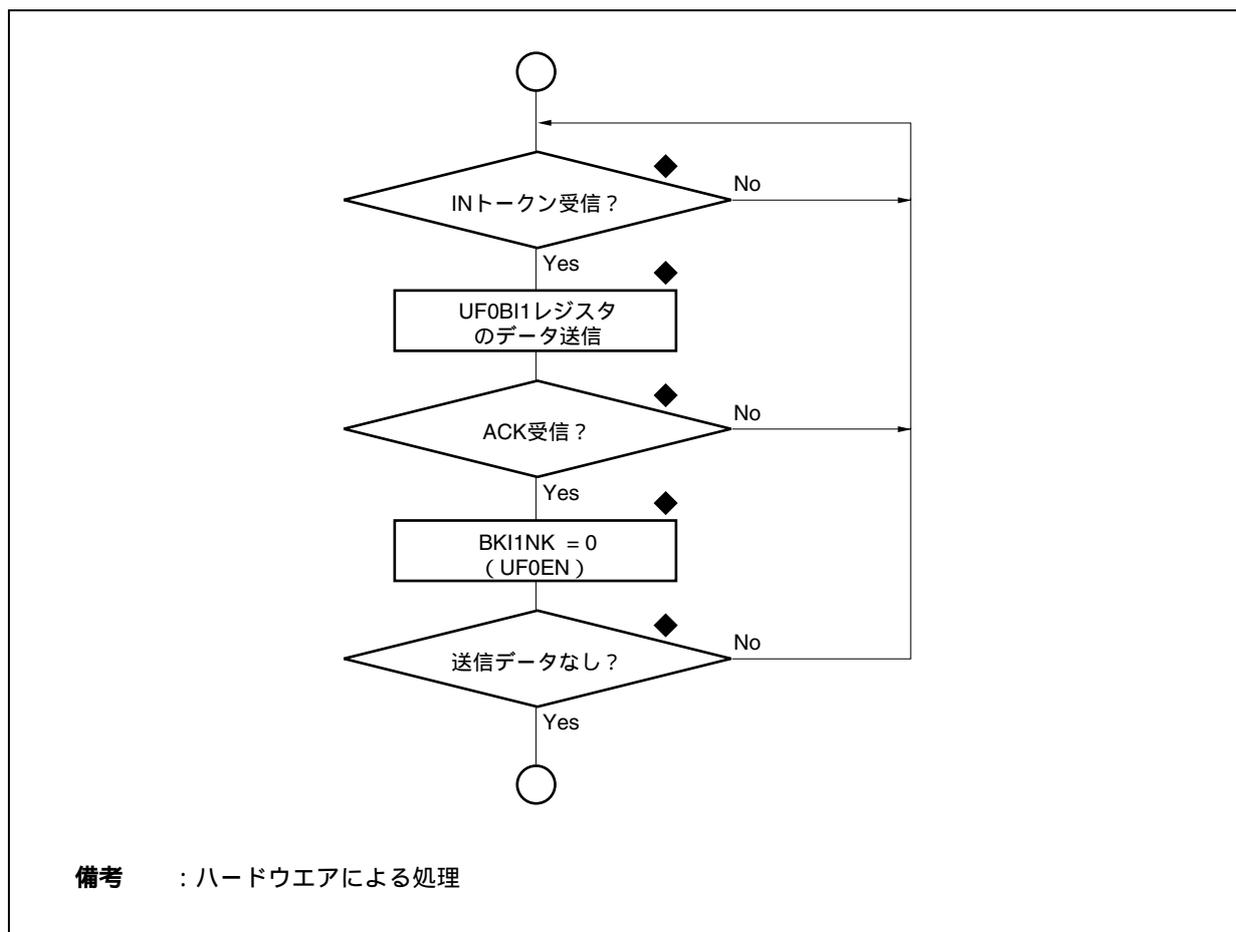
図13 - 24 バルク転送 (IN) に対する処理 (Endpoint1の場合)



備考1. n = 2, 3

2. : ハードウェアによる処理

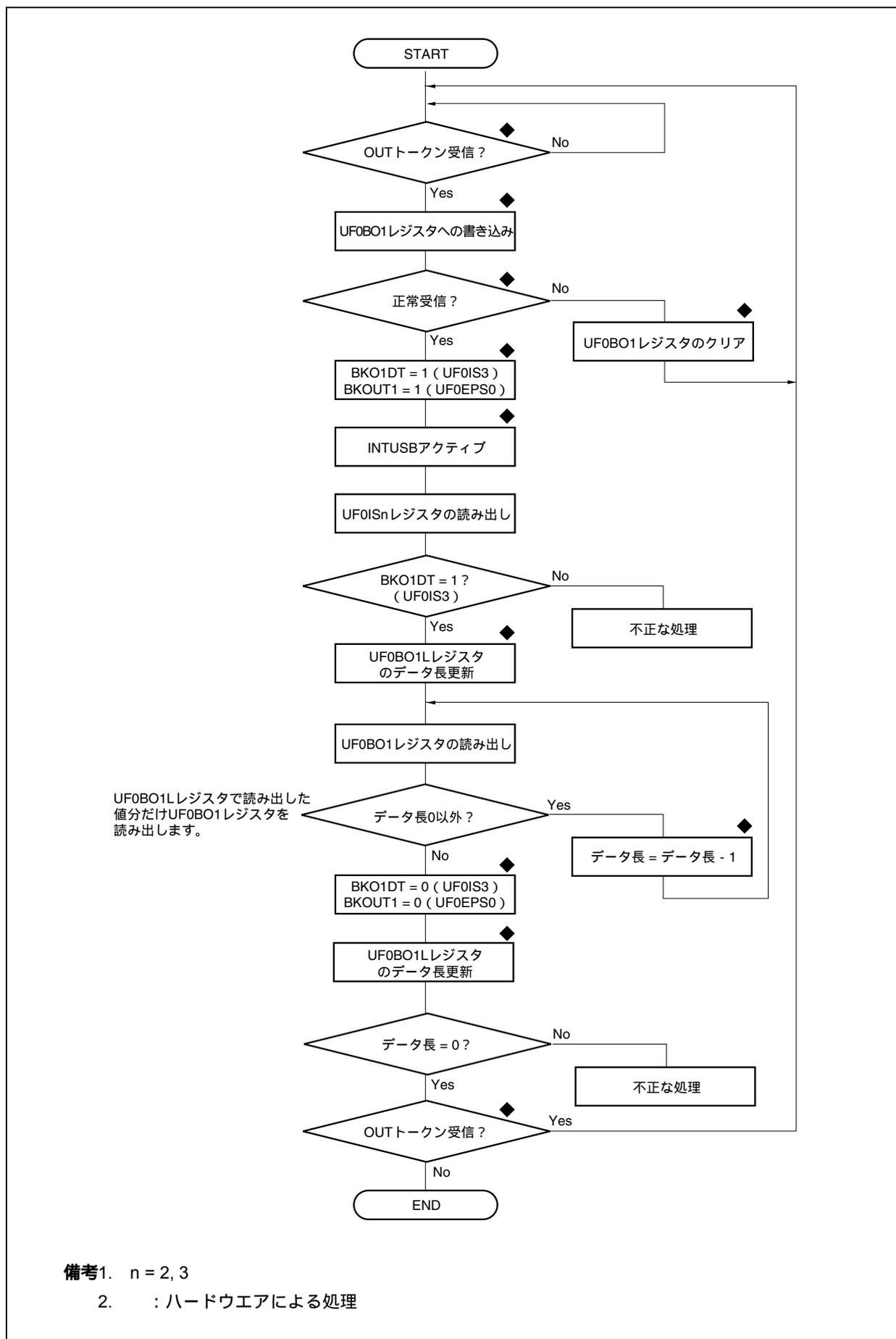
図13 - 25 ハードウェアによる並列処理



(5) バルク転送 (OUT) に対する処理

バルク転送 (OUT) は、Endpoint2およびEndpoint4に割り当てられています。次に示すフロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図13 - 26 バルク転送 (OUT) に対する通常処理 (Endpoint2の場合)



なお、バルク転送 (OUT) に関してシステムが期待するデータ量以上のデータがホストから送信されてくる場合も考えられます。78K0R/KC3-L, KE3-Lでは、USBバスの転送レートがアップし、できるかぎりNAK応答しないようにバス側のアクセス中でもCPU側からの読み出しができるようにバルク転送 (OUT) の Endpoint2およびEndpoint4は、64バイトのダブル・バッファ構成になっています。このため、ホストがシステムの期待するデータ量以上のデータを送ってくると、最悪128バイト分、余計に自動受信する可能性があります。この場合、システムの期待するデータ量が残り2パケット分になった時点で、Endpoint2およびEndpoint4に対する通常処理から次に示す制御フローに切り替えてください。フロー・チャートは、Endpoint2に対する制御フローです。Endpoint4についても、同じシーケンスで制御できます。したがって、Endpoint4に対する制御フローとして使用する場合は、フロー中のEndpoint2に対するビット名をEndpoint4に対するビット名に読み替えてください。

図13 - 27 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (1/2)

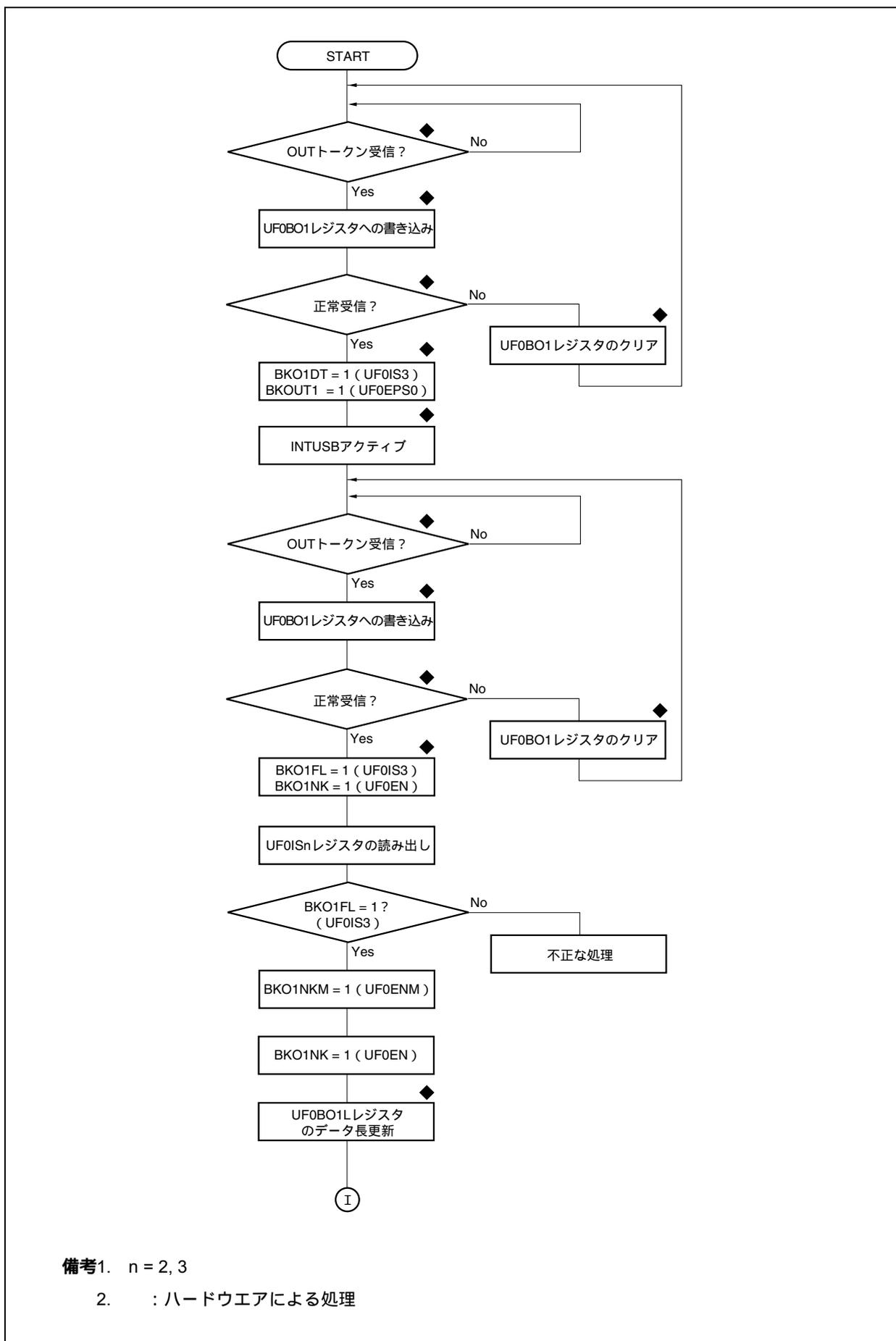
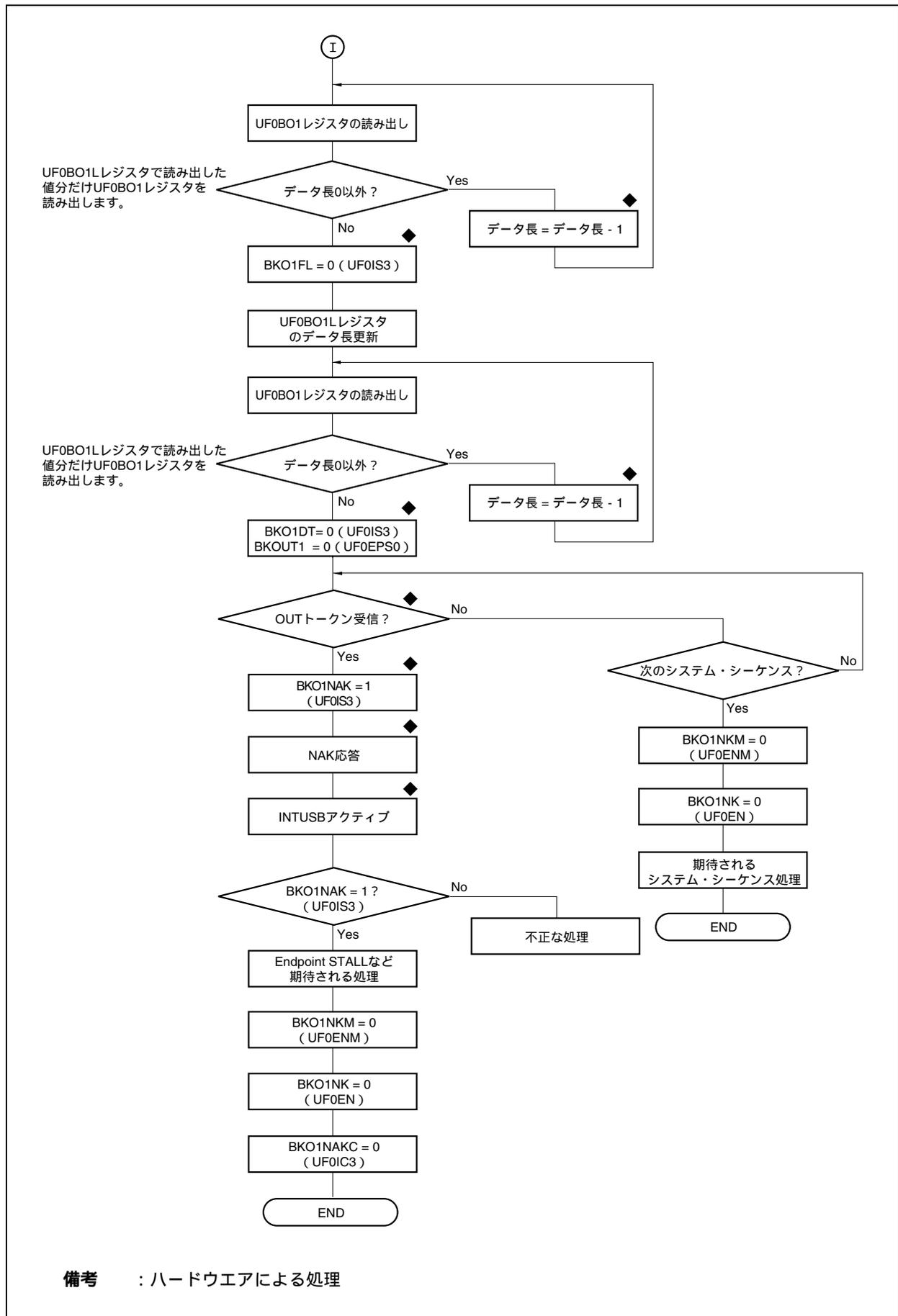


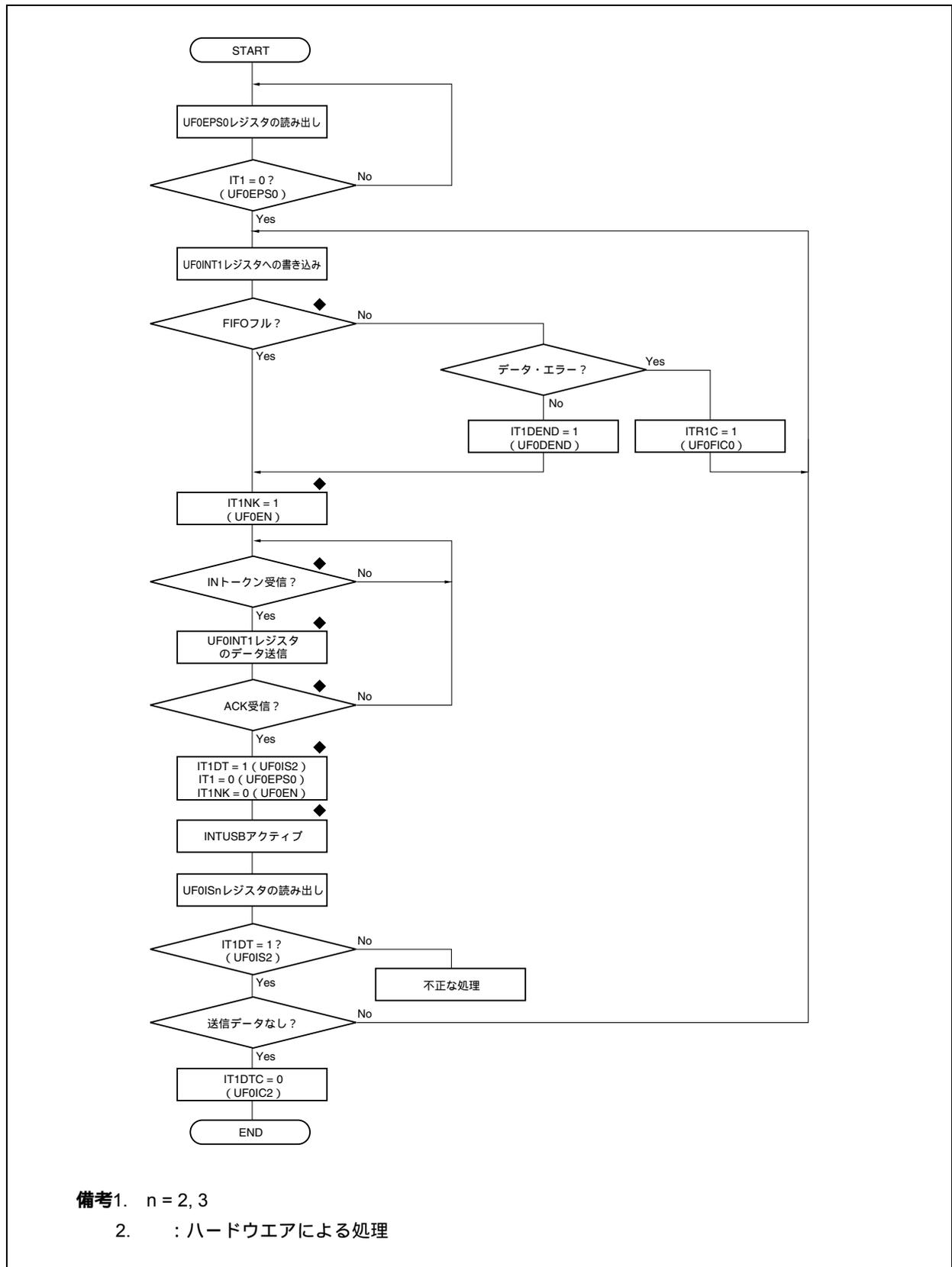
図13 - 27 システムの期待するデータ量以上のデータが送られてくるときの処理 (Endpoint2の場合) (2/2)



(6) インタラプト1転送 (IN) に対する処理

インタラプト1転送 (IN) は、Endpoint7に割り当てられています。図13 - 28にフロー・チャートを示します。

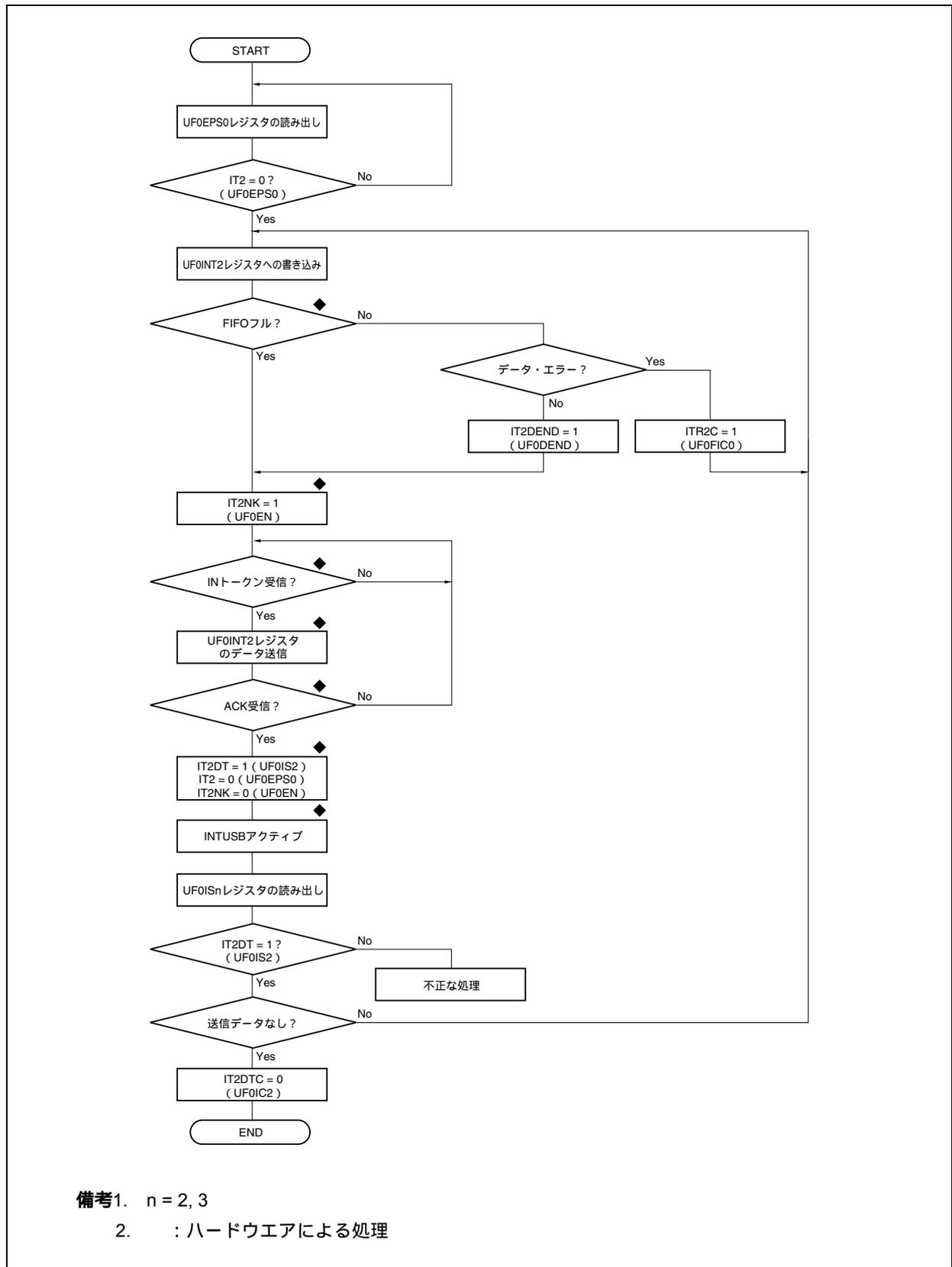
図13 - 28 インタラプト1転送 (IN) に対する処理 (Endpoint7)



(7) インタラプト2転送 (IN) に対する処理

インタラプト2転送 (IN) は、Endpoint8に割り当てられています。図13 - 29にフロー・チャートを示します。

図13 - 29 インタラプト2転送 (IN) に対する処理 (Endpoint8)



13.9.4 Suspend/Resume処理

Suspend/Resume処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図13 - 29 Suspend/Resume処理例 (1/3)

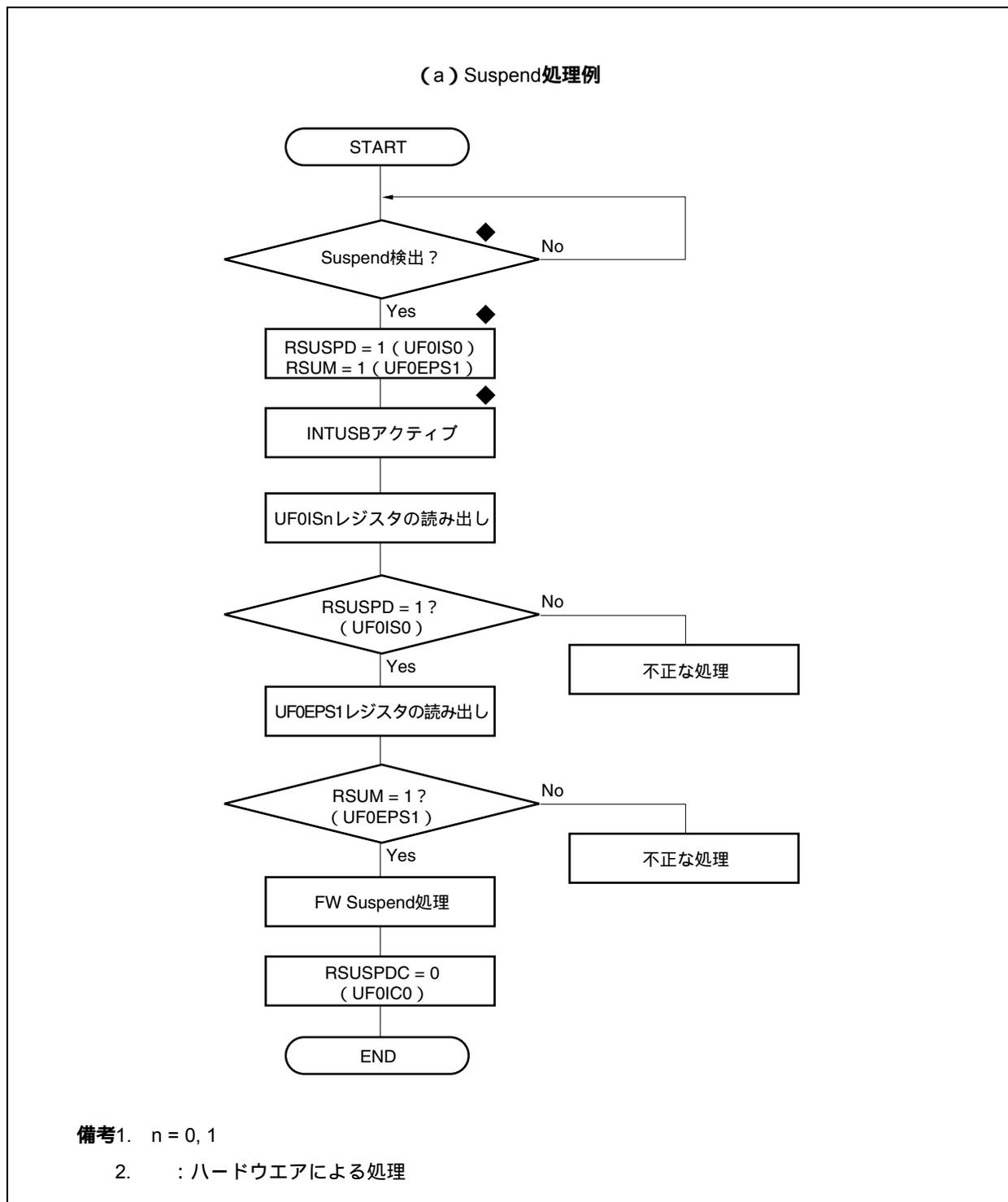


図13 - 29 Suspend/Resume処理例 (2/3)

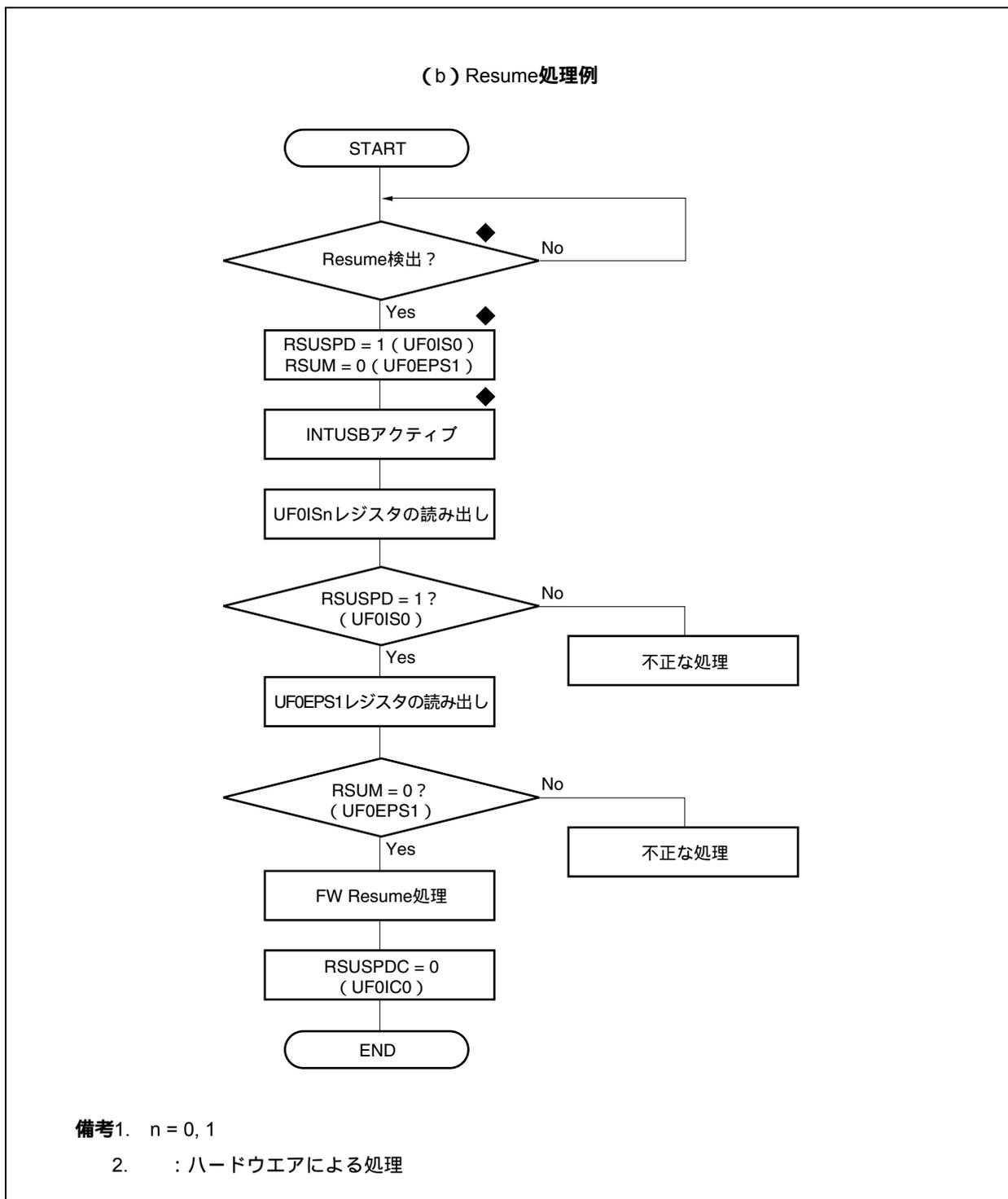
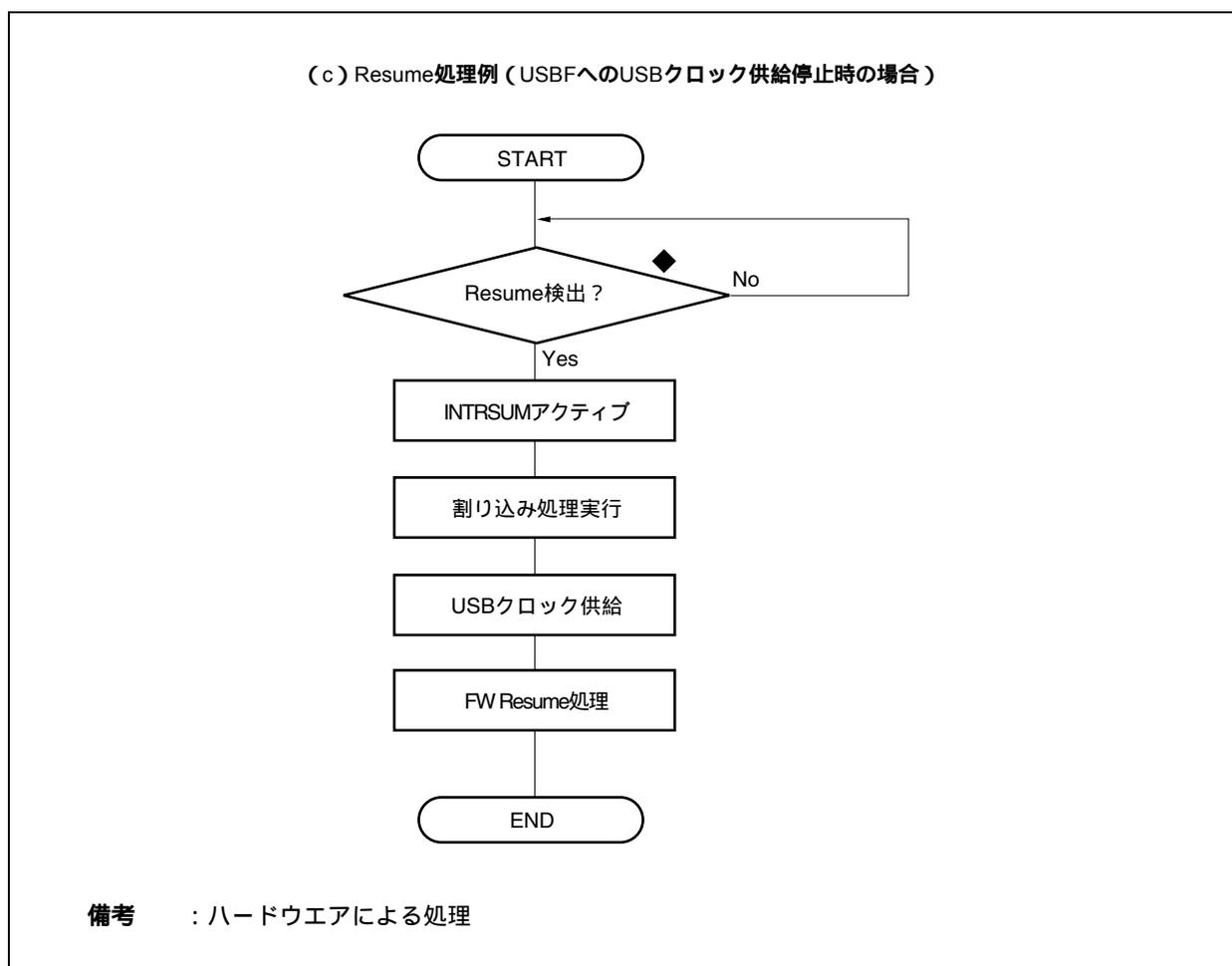


図13 - 29 Suspend/Resume処理例 (3/3)



13.9.5 電源投入後の処理

電源投入後の処理はシステムの構成によって、その処理方法は異なります。ここでは、1つの例を示します。

図13 - 30 電源投入後の処理 / 電源切断の処理例 (1/3)

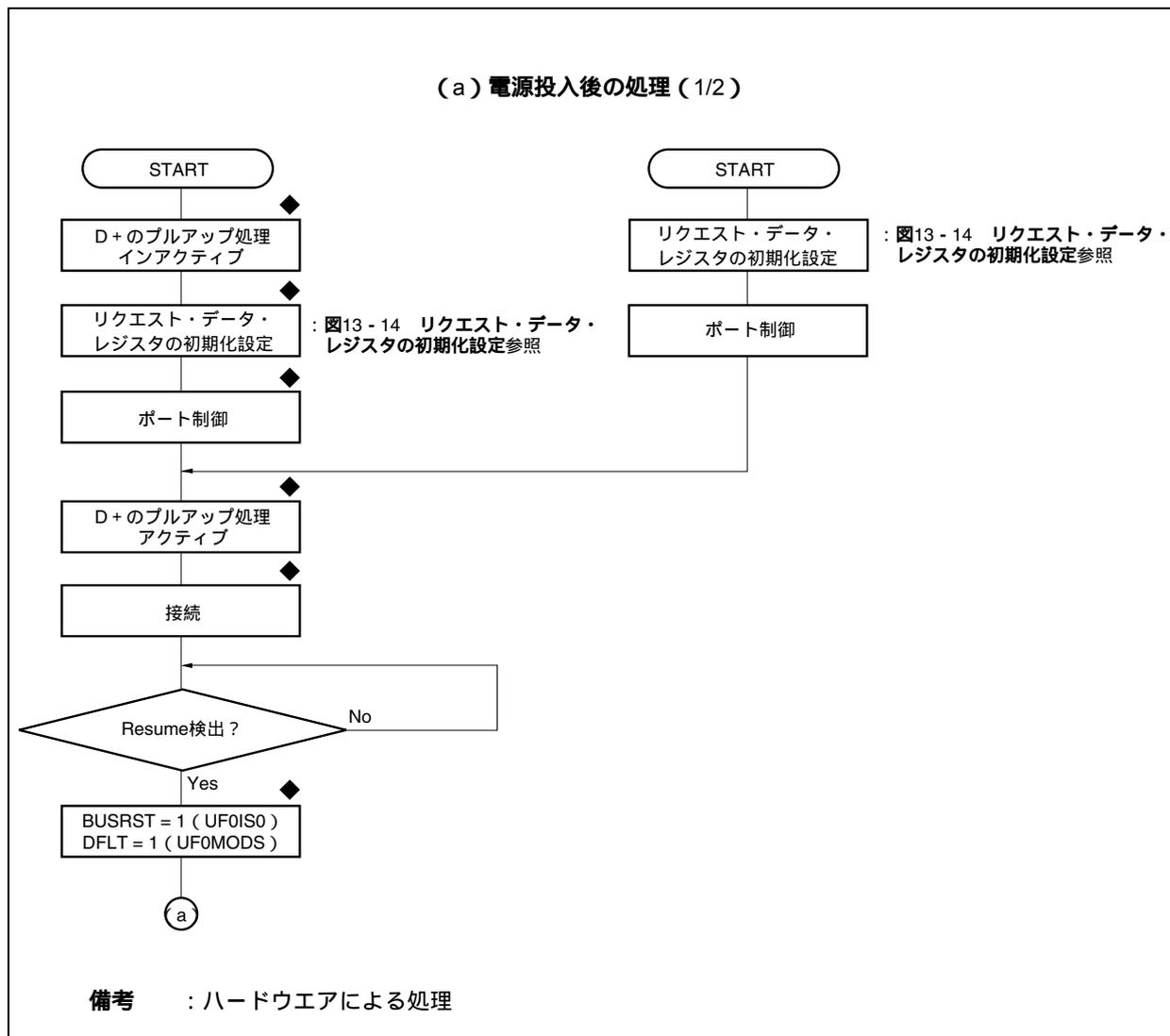


図13 - 30 電源投入後の処理 / 電源切断の処理例 (2/3)

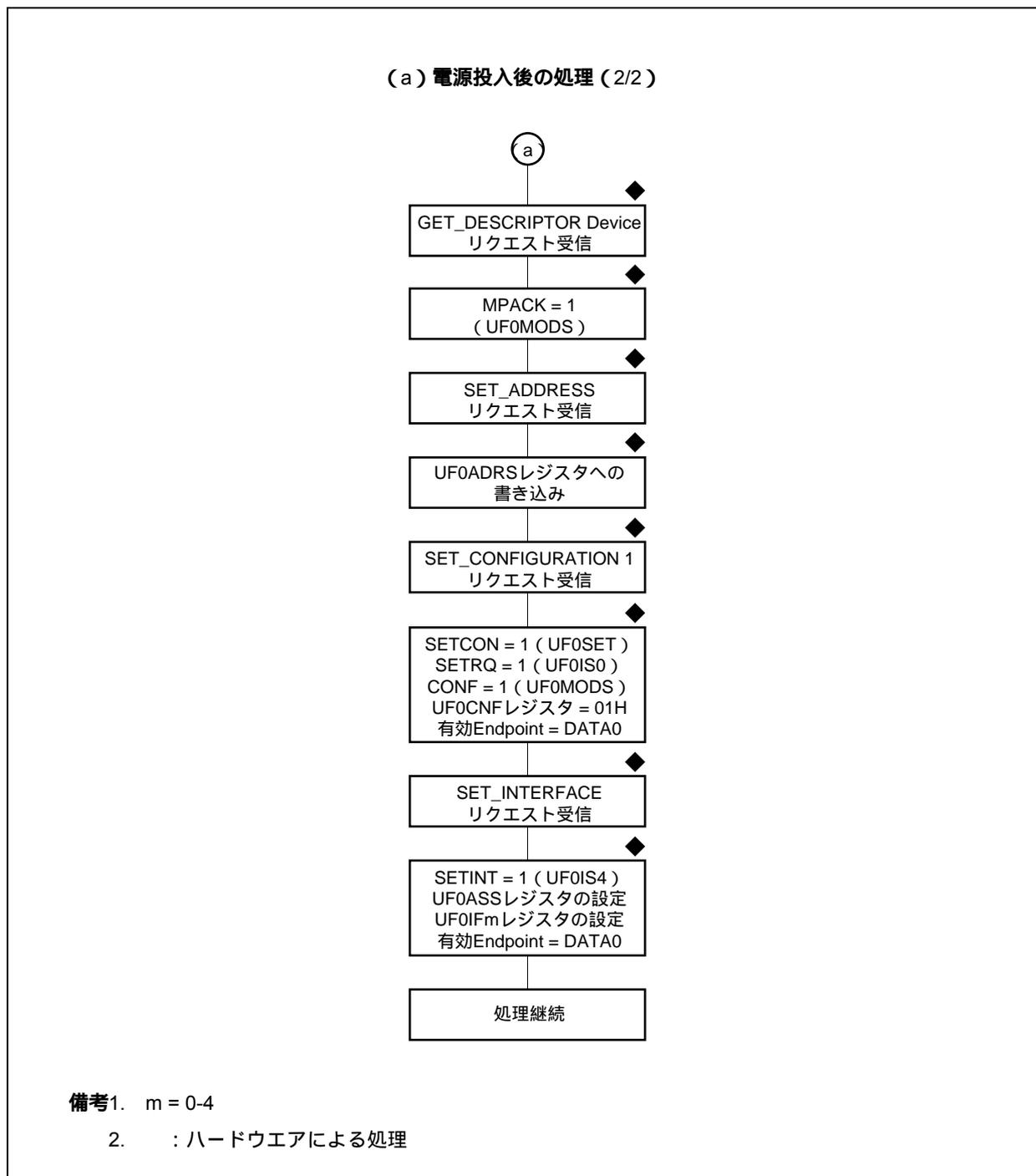
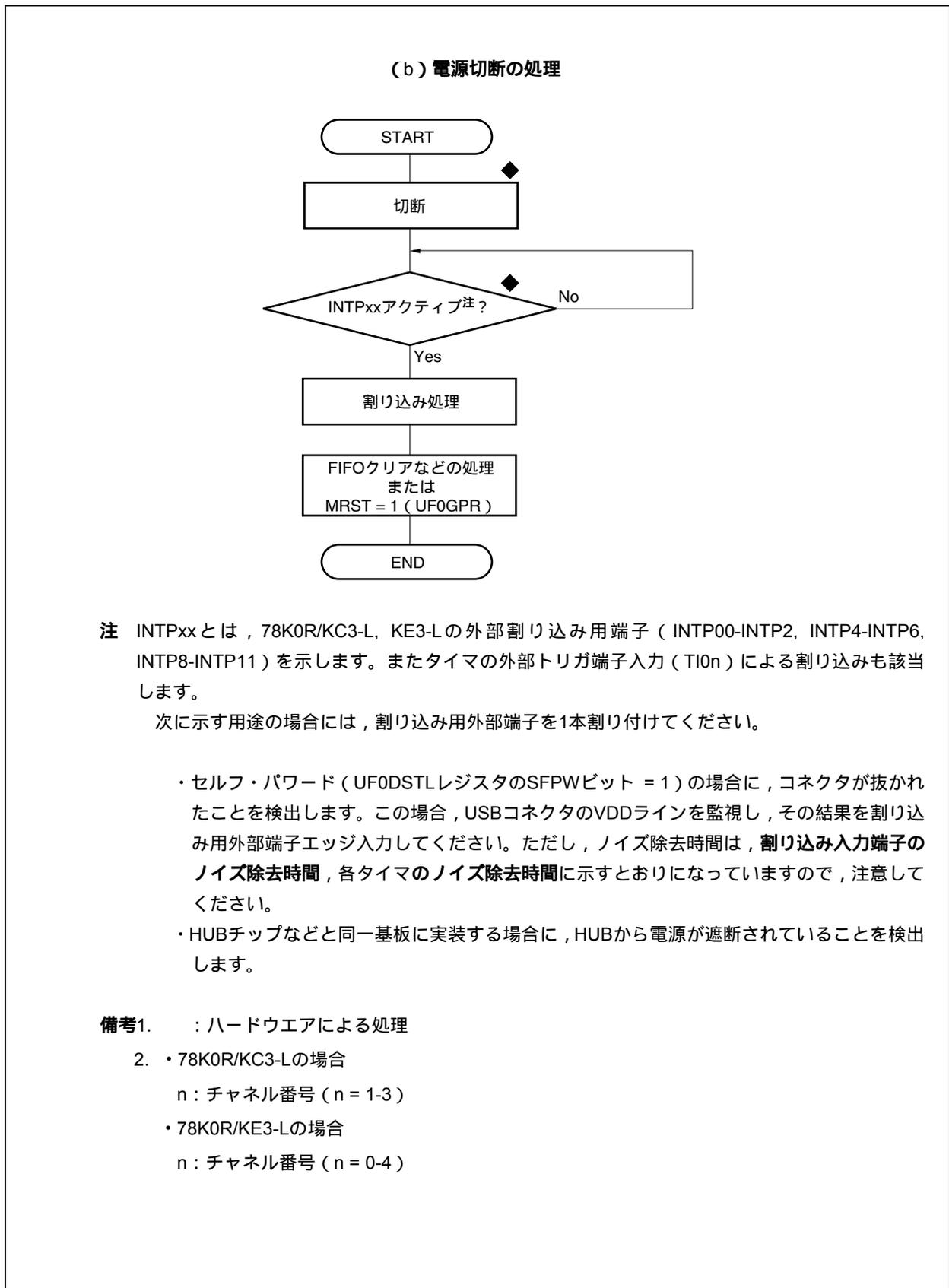


図13 - 30 電源投入後の処理 / 電源切断の処理例 (3/3)



第14章 乗除算器

14.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット × 16ビット = 32ビット (乗算)
- ・ 32ビット ÷ 32ビット = 32ビット 剰余32ビット (除算)

14.2 乗除算器の構成

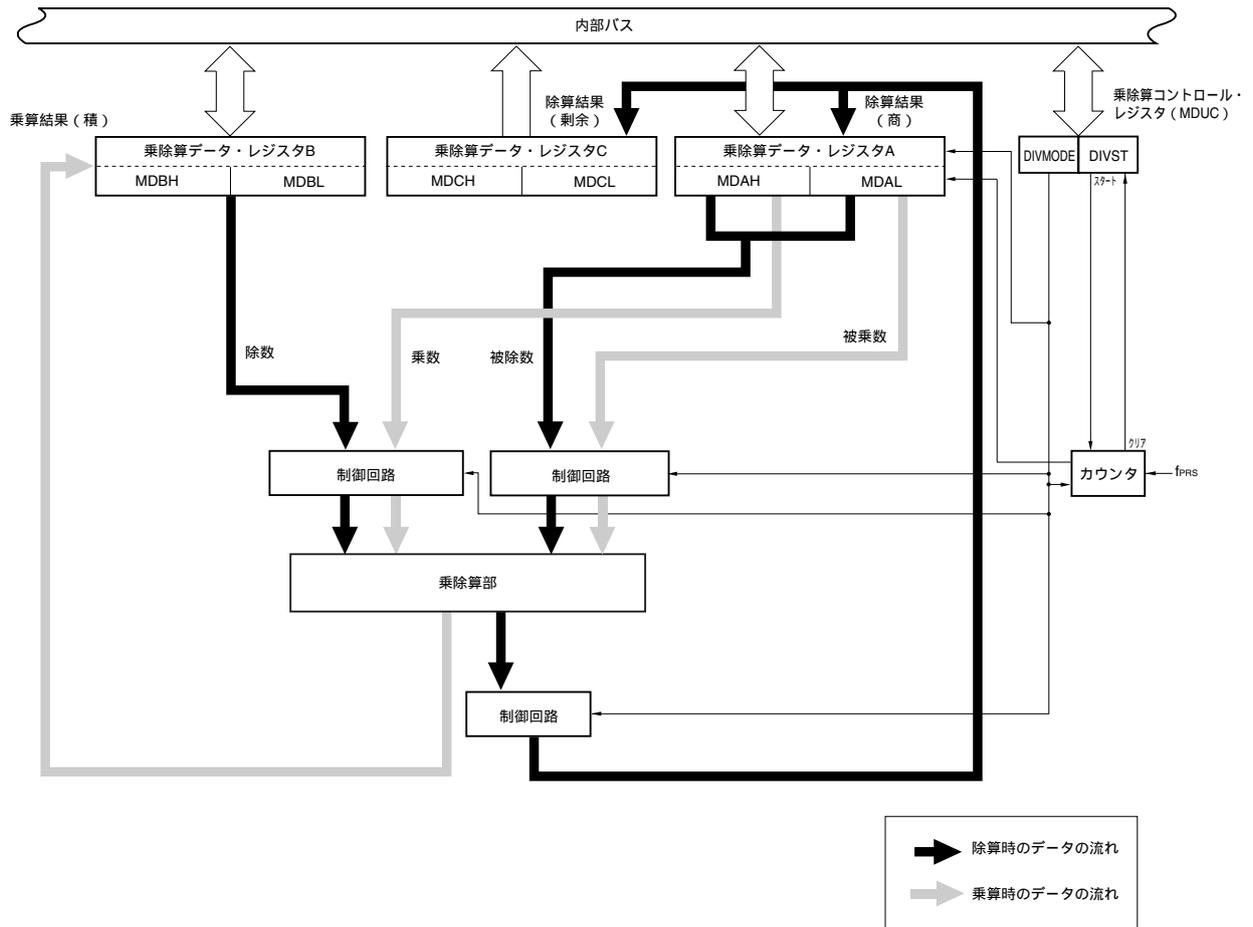
乗除算器は、次のハードウェアで構成されています。

表14 - 1 乗除算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除算器のブロック図を図14 - 1に示します。

図14 - 1 乗除算器のブロック図



(1) 乗除算データ・レジスタA (MDAH, MDAL)

MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図14 - 2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDAH, MDALの値を書き換えしないでください。この場合でも演算は実施しますが、演算結果は不定値となります。

2. 除算演算処理中（MDUCが81Hのとき）にMDAH, MDALの値を読み出した場合、その値は保証しません。

MDAH, MDALの演算実行時の機能を次に示します。

表14 - 2 MDAH, MDALの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	MDAH：乗数 MDAL：被乗数	-
1	除算モード	MDAH：被除数（上位16ビット） MDAL：被除数（下位16ビット）	MDAH：除算結果（商） 上位16ビット MDAL：除算結果（商） 下位16ビット

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

(2) 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図14 - 3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時：0000H, 0000H R/W



注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDBH, MDBLの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。

2. 除算モード時は、MDBH, MDBLに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

MDBH, MDBLの演算実行時の機能を次に示します。

表14 - 3 MDBH, MDBLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	MDBH : 乗算結果 (積) 上位16ビット MDBL : 乗算結果 (積) 下位16ビット
1	除算モード	MDBH : 除数 (上位16ビット) MDBL : 除数 (下位16ビット)	-

備考 DIVMODE : 乗除算コントロール・レジスタ (MDUC) のビット7

(3) 乗除算データ・レジスタC (MDCL, MDCH)

MDCH, MDCLレジスタは、除算モードにおいて演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLは、16ビット操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図14 - 4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H リセット時：0000H, 0000H R



注意 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDCH, MDCLの値を読み出した場合、その値は保証されません。

表14 - 4 MDCH, MDCLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	-
1	除算モード	-	MDCH：剰余（上位16ビット） MDCL：剰余（下位16ビット）

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

$$\begin{array}{ccc} \text{< 乗数A >} & \text{< 乗数B >} & \text{< 積 >} \\ \text{MDAL (ビット15-0)} \times \text{MDAH (ビット15-0)} = & \text{[MDBH (ビット15-0), MDBL (ビット15-0)]} \end{array}$$

・除算時のレジスタ構成

$$\begin{array}{ccc} \text{< 被除数 >} & \text{< 除数 >} & \\ \text{[MDAH (ビット15-0), MDAL (ビット15-0)]} \div \text{[MDBH (ビット15-0), MDBL (ビット15-0)]} = & & \\ \text{< 商 >} & \text{< 剰余 >} & \\ \text{[MDAH (ビット15-0), MDAL (ビット15-0)]} \dots \text{[MDCH (ビット15-0), MDCL (ビット15-0)]} & & \end{array}$$

14.3 乗除算器を制御するレジスタ

乗除算器は、乗除算コントロール・レジスタ (MDUC) で制御します。

(1) 乗除算コントロール・レジスタ (MDUC)

MDUCは、乗除算器の動作を制御する8ビット・レジスタです。

MDUCは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図14-5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	0	0	0	0	0	0	DIVST

DIVMODE	演算モード (乗算 / 除算) の選択
0	乗算モード
1	除算モード

DIVST ^注	除算演算動作の開始 / 停止
0	除算演算処理完了
1	除算演算開始 / 除算演算処理中

注 DIVSTは除算モード時にのみセット (1) 可能です。除算モード時、DIVSTをセット (1) すると除算演算動作を開始します。演算終了後は自動的にDIVSTがクリア (0) されます。乗算モード時は、MDAH, MDALに乗数、被乗数を設定することにより自動的に演算が開始されます。

- 注意1. 演算処理中 (DIVSTが1のとき) に、DIVMODEを書き換えないでください。書き換えた場合、演算結果が不定値となります。
2. 除算演算処理中 (DIVSTが1のとき) にDIVSTをソフトウェアでクリア (0) することはできません。

14.4 乗除算器の動作

14.4.1 乗算動作

- ・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) を0にする。

乗除算データ・レジスタA (L) (MDAL) に被乗数をセット

乗除算データ・レジスタA (H) (MDAH) に乗数をセット

(, のセットの順はどちらが先でも問題ありません。MDAH, MDALに乗数, 被乗数をセットすると自動的に乗算演算を開始します。)

- ・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

- ・演算終了

乗除算データ・レジスタB (L) (MDBL) から積 (下位16ビット) を読み出します。

乗除算データ・レジスタB (H) (MDBH) から積 (上位16ビット) を読み出します。

(, の読み出しの順はどちらが先でも問題ありません。)

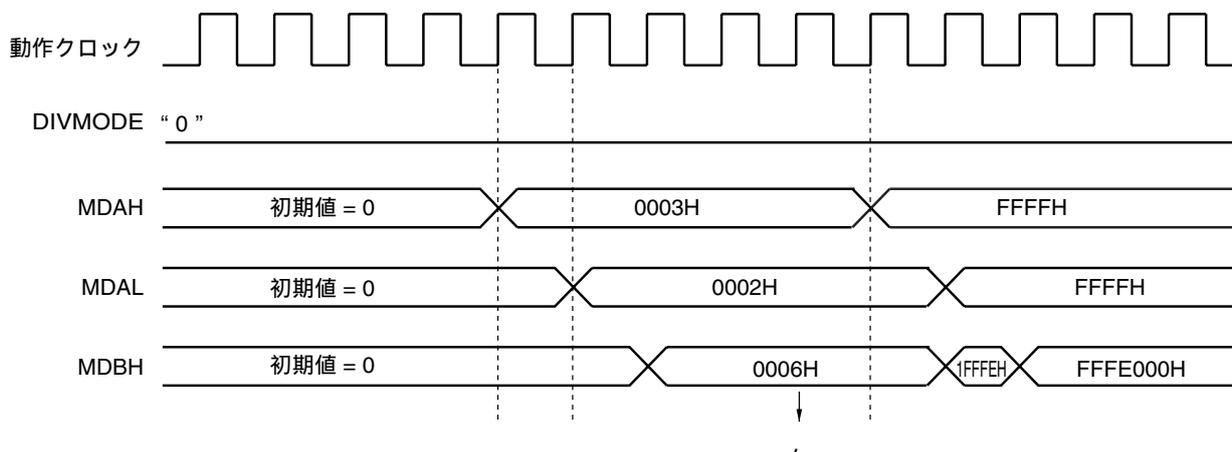
- ・次回演算

次に乗算を行う場合は, **乗算動作**の「初期設定」から行ってください。

次に除算を行う場合は, 14.4.2 **除算動作**の「初期設定」から行ってください。

備考 手順の ~ は, 図14-6の ~ に対応しています。

図14-6 乗算動作のタイミング図 (0003H×0002H)



14.4.2 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) に1をセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・ 16クロック以上ウエイト (16クロックで演算は終了します。)

・ DIVSTがクリアされたことを確認

(演算処理中のMDBL, MDBH, MDCH, MDCLのリード値は保証しません。)

・演算終了

DIVSTがクリア (0) されます (演算終了)。

MDALから商 (下位16ビット) を読み出します。

MDAHから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

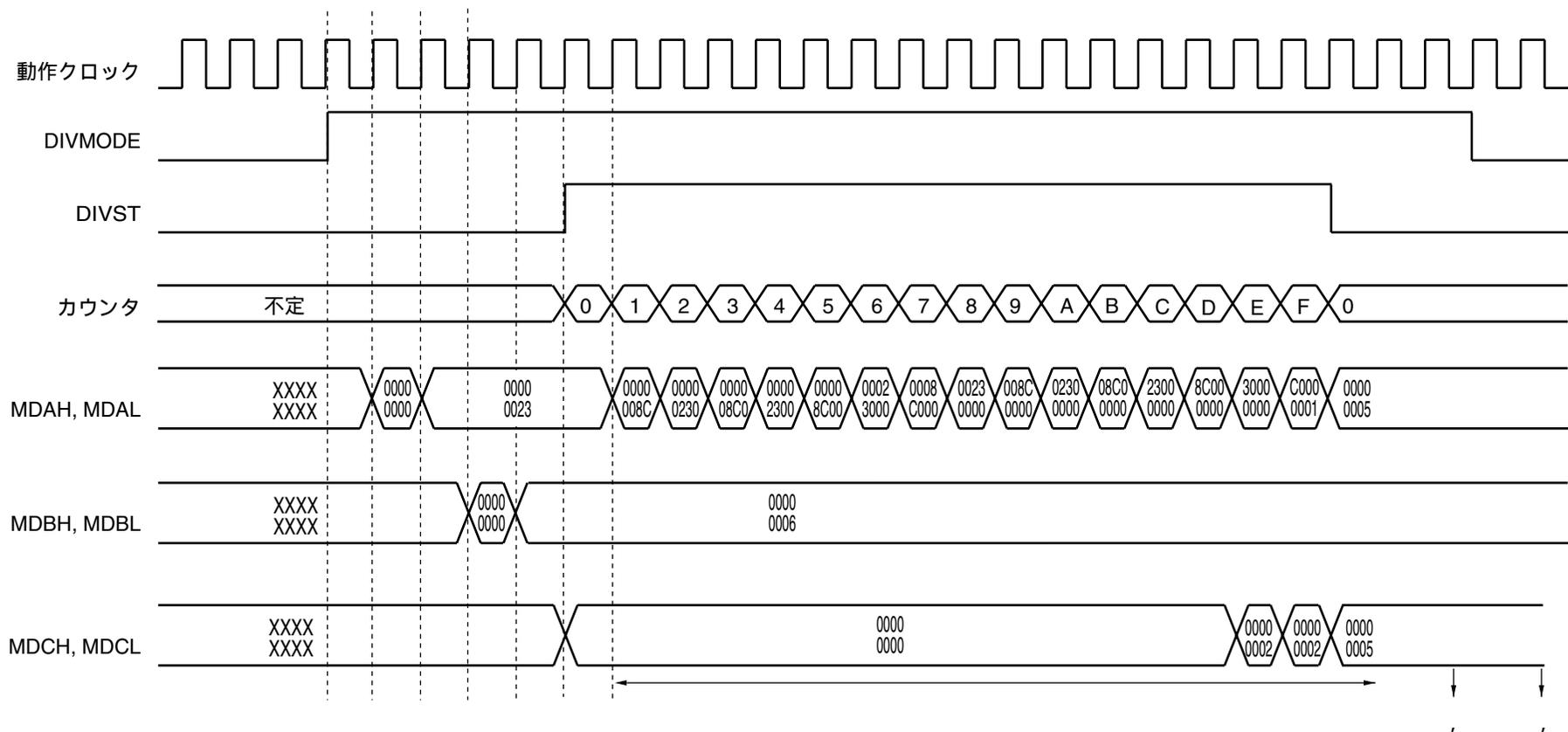
(~ の順はどれから読み出しても問題ありません。)

・次回演算

次に乗算を行う場合は、14.4.1 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は、**除算動作**の「初期設定」から行ってください。

備考 手順の ~ は、図14-7の ~ に対応しています。

図14-7 除算動作のタイミング図(例: $35 \div 6 = 5$ 余5)

第15章 DMAコントローラ

78K0R/KC3-L, KE3-Lは、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

15.1 DMAコントローラの機能

DMAチャンネル数：2チャンネル

転送単位：8ビット / 16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・A/Dコンバータ
- ・シリアル・インタフェース (CSI00, CSI10, UART0, UART1, UART3, IIC10)
- ・タイマ (チャンネル0, 1, 4, 5)

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・シリアル・インタフェースの連続転送
- ・アナログ・データをまとめて転送
- ・一定時間ごとにA/Dの変換結果を取り込む
- ・一定時間ごとにポートの値を取りこむ

注意 DMAは2ndSFRと内蔵RAMとの転送をサポートしていません。このため、2ndSFRにマッピングされているUSB関連のレジスタと内蔵RAMの間でDMA転送はできません。

15.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表15 - 1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・ DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・ DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・ DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・ DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・ DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSA_n)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください[※]。

このレジスタは自動的にインクリメント動作はせず、固定値となります。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

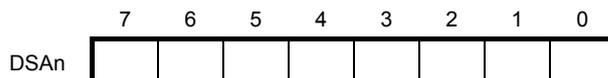
DSA_nは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

注 アドレスFFFFEHは、PMCレジスタのため、設定することはできません。

図15 - 1 DMA SFRアドレス・レジスタ_n (DSA_n) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA RAMアドレス・レジスタ_n (DRAn)

DMAチャンネル_nの転送先 / 転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域(μPD78F1022では,FE6FFH-FFEDFH)のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

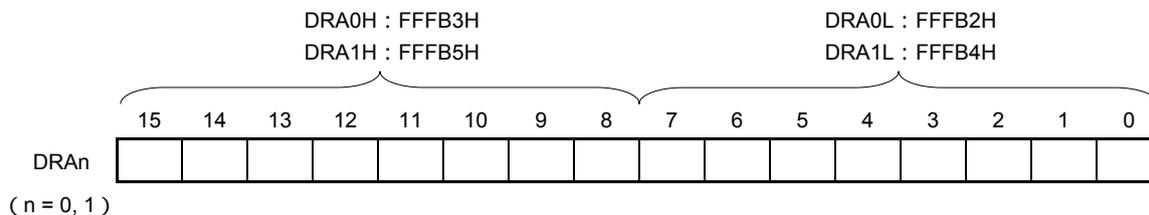
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図15 - 2 DMA RAMアドレス・レジスタ_n (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0), FFFB4H, FFFB5H (DRA1) リセット時 : 0000H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(3) DMAバイト・カウント・レジスタ_n (DBC_n)

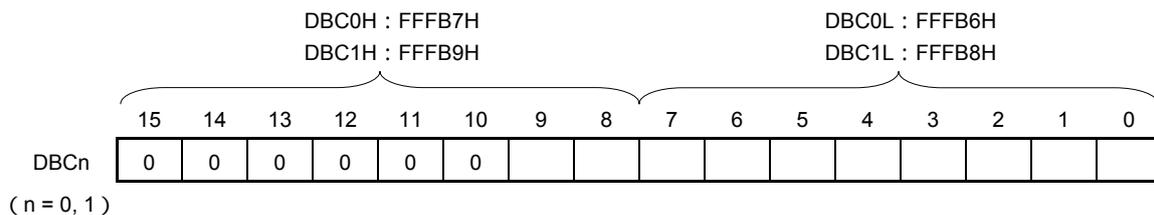
DMAチャンネル_nの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBC_nレジスタに連続転送回数を設定してください(最大1024回)。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBC_nレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBC_nは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図15-3 DMA バイト・カウント・レジスタ_n (DBC_n) のフォーマット

アドレス : FFFB6H, FFFB7H (DBC₀) , FFFB8H, FFFB9H (DBC₁) リセット時 : 0000H R/W



DBC _n [9:0]	転送回数設定 (DBC _n ライト時)	残りの転送回数 (DBC _n リード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1. ビット15-10は、必ず0を設定してください。

2. 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャンネル番号 (n = 0, 1)

15.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・ DMAモード・コントロール・レジスタ n (DMC n)
- ・ DMA動作コントロール・レジスタ n (DRC n)

備考 n : DMAチャンネル番号 ($n = 0, 1$)

(1) DMAモード・コントロール・レジスタ_n (DMC_n)

DMC_nは、DMAチャンネル_nの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG_n)はDMA起動のソフトウェア・トリガとなります。

DMC_nのビット6, 5, 3-0は、動作中 (DST_n = 1のとき)の書き換えは禁止です。

DMC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15-4 DMAモード・コントロール・レジスタ_n (DMC_n)のフォーマット (1/2)

アドレス：FFFBAH (DMC0), FFFBBH (DMC1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFCn3	IFCn2	IFCn1	IFCn0

STG _n ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN _n = 1) 時に、DMA転送を開始する
DMA動作許可 (DEN _n = 1) 時に、STG _n に1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRS _n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS _n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT _n ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT _n の値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT _n の値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウェア・トリガ (STG_n) は、IFCn3-IFCn0の値に関係なく使用できます。

2. DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図15 - 4 DMAモード・コントロール・レジスタ_n (DMC_n) のフォーマット (2/2)

アドレス : FFFBAH (DMC0), FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0	DMA起動要因の選択 [※]	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	0	INTTM00	タイマ・チャンネル0のカウンタ完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1のカウンタ完了またはキャプチャ割り込み
0	1	0	0	INTTM04	タイマ・チャンネル4のカウンタ完了またはキャプチャ割り込み
0	1	0	1	INTTM05	タイマ・チャンネル5のカウンタ完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了, バッファ空き割り込み / CSI00の転送完了, バッファ空き割り込み
0	1	1	1	INTSR0	UART0受信の転送完了割り込み
1	0	0	0	INTST1/INTCSI10/INTIIC10	UART1送信の転送完了, バッファ空き割り込み / CSI10の転送完了, バッファ空き割り込み / IIC10の転送完了割り込み
1	0	0	1	INTSR1	UART1受信の転送完了割り込み
1	0	1	0	INTST3	UART3送信の転送完了, バッファ空き割り込み
1	0	1	1	INTSR3	UART3受信の転送完了割り込み
1	1	0	0	INTAD	A/D変換終了割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STG_n) は, IFC_{n3}-IFC_{n0}の値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタ_n (DRC_n)

DRC_nは、DMAチャンネル_nの転送許可/禁止を設定するレジスタです。

DRC_nのビット7 (DEN_n) は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DRC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 5 DMA動作コントロール・レジスタ_n (DRC_n) のフォーマット

アドレス : FFFBCH (DRC₀) , FFFBDH (DRC₁) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRC _n	DEN _n	0	0	0	0	0	0	DST _n

DEN _n	DMA動作許可フラグ
0	DMAチャンネル _n の動作禁止 (DMAの動作クロック停止)
1	DMAチャンネル _n の動作許可

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。

DST _n	DMA転送モード・フラグ
0	DMAチャンネル _n のDMA転送終了
1	DMAチャンネル _n のDMA転送未終了 (転送中)

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。
 そしてソフトウェア・トリガ (STG_n) または IFC_n3-IFC_n0 で設定した起動要因トリガが入力されると、DMA転送を開始します。
 その後、DMA転送が終了すると自動的に0にクリアされます。
 DMA転送中に強制終了したい場合は、0を書き込みます。

注意 DST_nフラグはDMA転送が終了すると自動的に0にクリアされます。

DEN_nフラグはDST_n = 0のときのみ書き込み許可となるため、DMA_nの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DST_n = 0に設定してからDEN_n = 0としてください (詳細は15.5.7 ソフトウェアでの強制終了参照)。

備考 n : DMAチャンネル番号 (n = 0, 1)

15.4 DMAコントローラの動作

15.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。

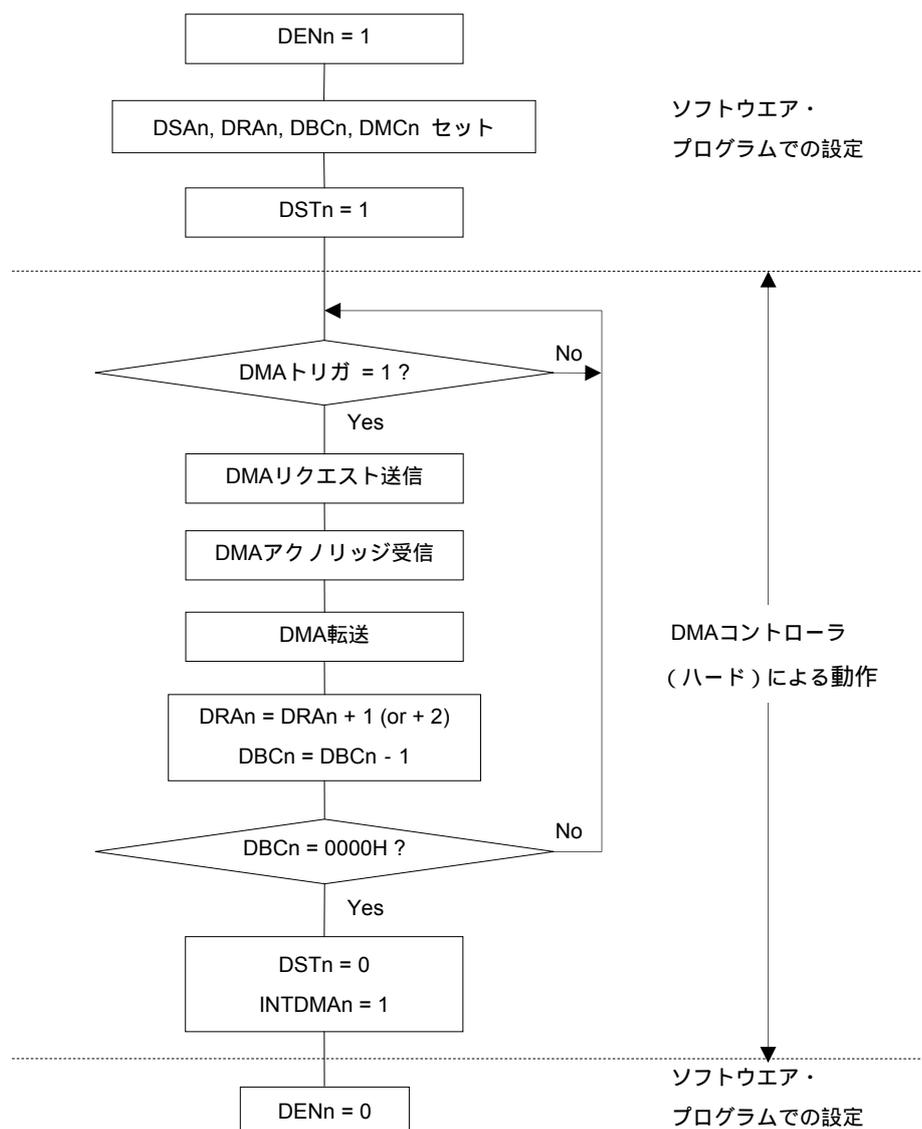
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図15-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

15.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRSn	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

15.4.3 DMA転送の終了

DBC_n = 00HとなりDMA転送が完了すると、自動的にDST_nビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDST_nビットをクリア (0) すると、DBC_nレジスタとDRAnレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャネル番号 (n = 0, 1)

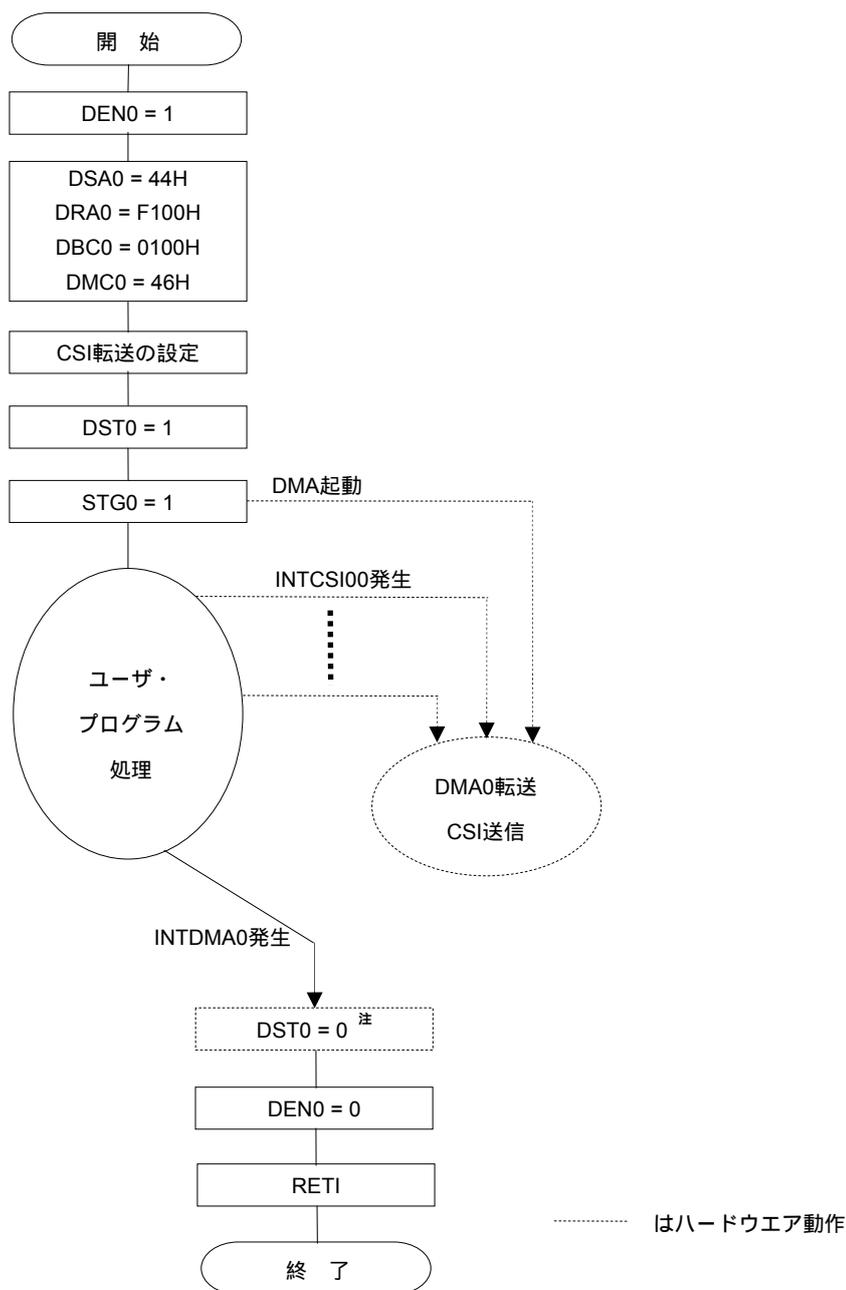
15.5 DMAコントローラの設定例

15.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI00の連続送信 (256バイト)
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因 : INTCSI00 (最初の起動要因のみソフトウェア・トリガ (STG0))
- ・ CSI00の割り込みはIFC03-IFC00 (DMC0レジスタのビット3-0) = 0110Bに割り当て
- ・ RAMのFF100H-FF1FFH (256バイト) をCSIのデータ・レジスタ (SIO00) のFFF10Hに転送

図15 - 7 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は15. 5. 7 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

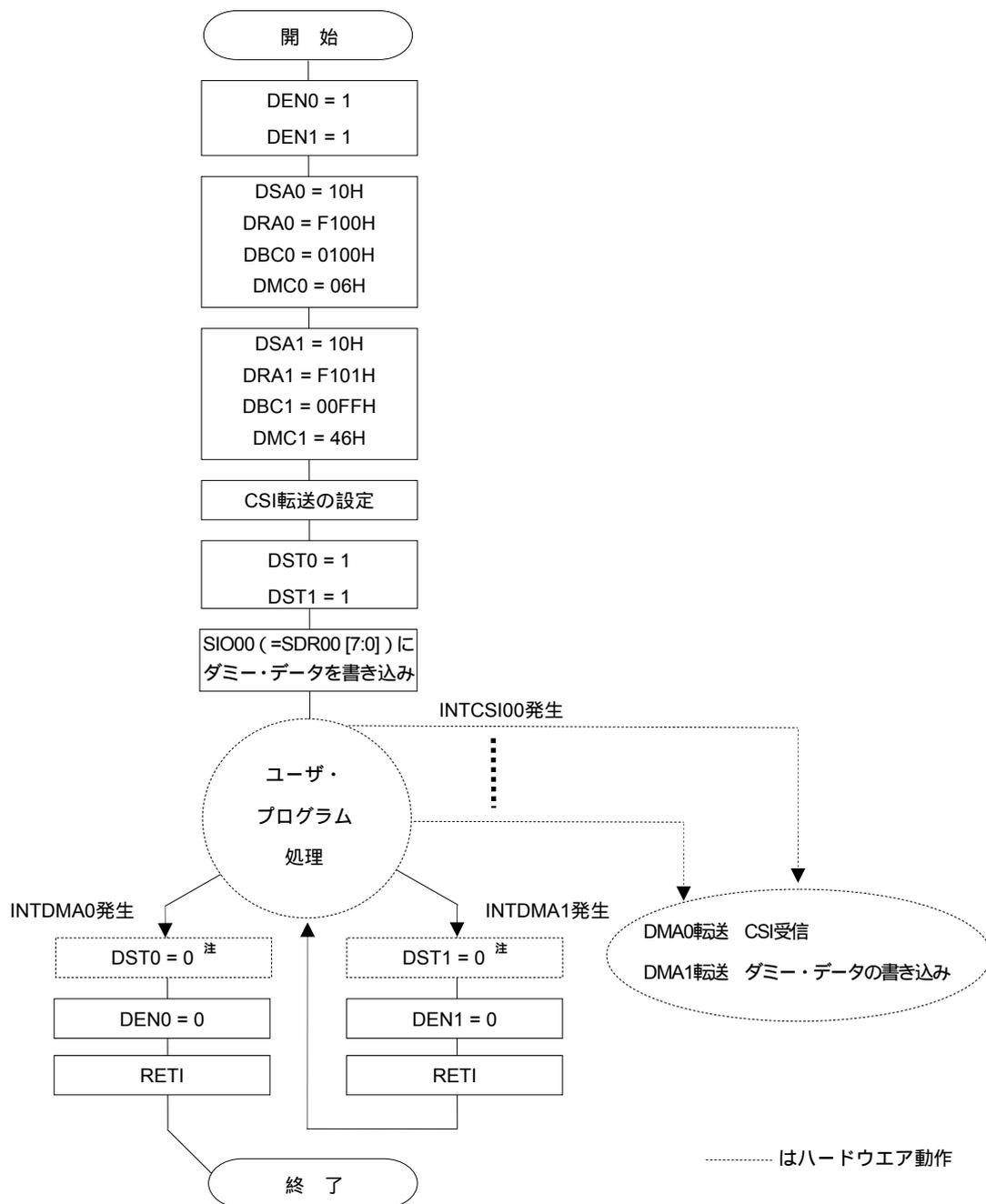
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

15.5.2 CSIマスタ受信

CSIマスタ受信の設定例のフロー・チャートを次に示します。

- ・ CSI00のマスタ受信 (256バイト)
- ・ DMAのチャンネル0を受信データの読み出し用に, チャンネル1をダミー・データの書き込み用に使用
- ・ DMA起動要因: INTCSI00
(DMAのチャンネル0とチャンネル1を同一の起動要因に設定した場合, チャンネル0が先に転送され, その後チャンネル1が転送されます)
- ・ CSI00の割り込みはIFC03-IFC00 = IFC13-IFC10 (DMCnレジスタのビット3-0) = 0110Bに割り当て
- ・ CSIのデータ・レジスタ (SIO00) のFFF10HからRAMのFF100H-FF1FFH (256バイト) に転送 (受信)
(連続受信モード時は, 最初のバッファ空き割り込み時の受信データが受信前のため無効なデータ)
- ・ RAMのダミー・データFF101H-FF1FFH (255バイト) をCSIのデータ・レジスタ (SIO00) のFFF10Hに転送
(最初の1バイトは, ソフト (命令) でダミー・データを書き込み)

図15 - 8 CSIマスタ受信の設定例



注 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は15. 5. 7 ソフトウェアでの強制終了参照)。

CSIマスタ受信の場合は、受信動作開始時はCSIの割り込みがないため、この例ではソフトウェアにてダミー・データを書き込んでいます。

データ受信は、1バイト目から自動的に転送されます (連続受信モード時では、最初のバッファ空き割り込み時の受信データは有効データの受信前のため無効なデータとなります)。

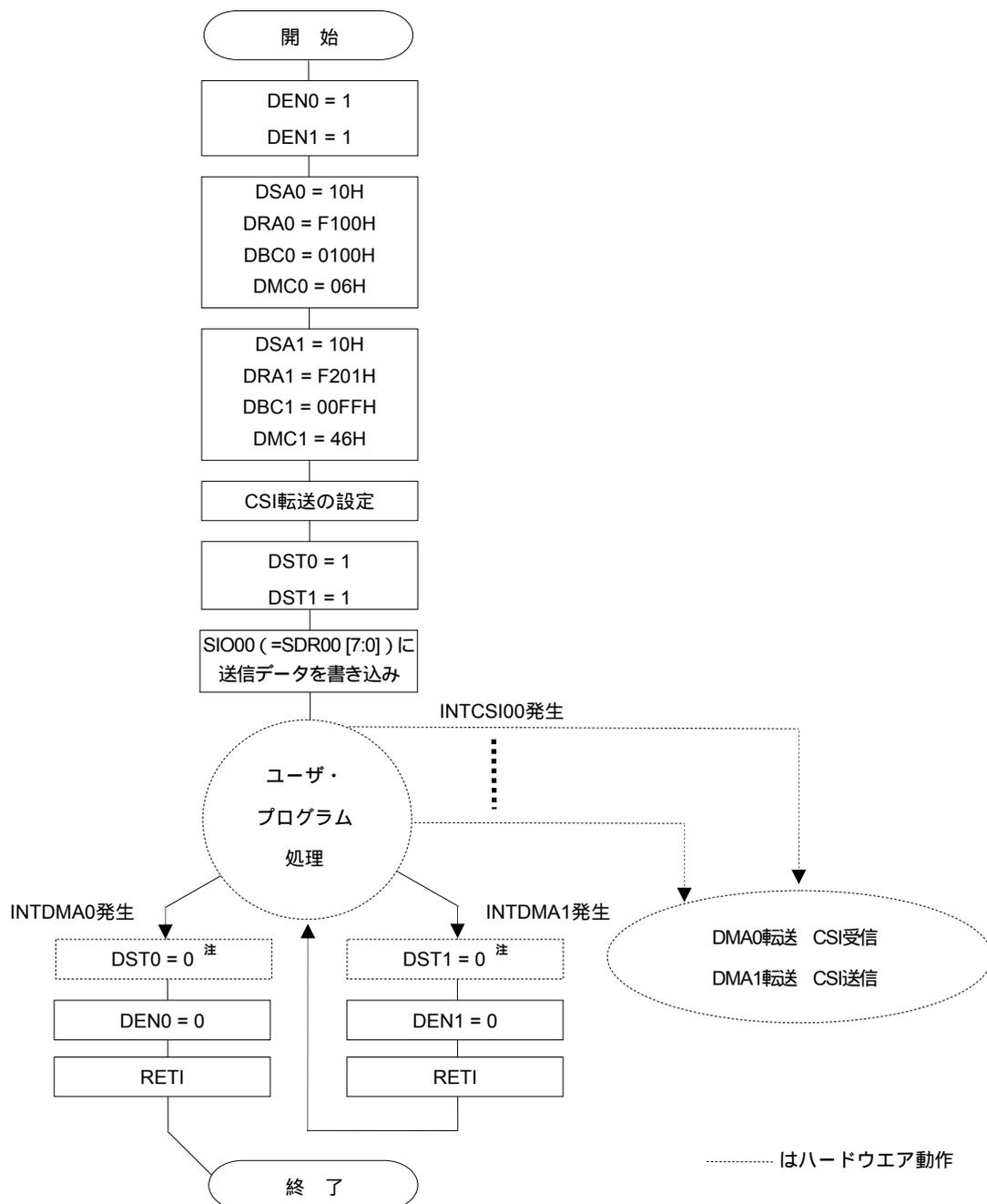
データ・レジスタへの最終のダミー・データの書き込みが終わった時点で、DMA割り込み (INTDMA1) が発生します。データ・レジスタからの最終の受信データの読み出しが終わった時点で、DMA割り込み (INTDMA0) が発生します。再度DMA転送を開始する場合は、CSIの転送が終了したあとに行ってください。

15.5.3 CSI送受信

CSI送受信の設定例のフロー・チャートを次に示します。

- ・ CSI00の送受信 (256バイト)
- ・ DMAのチャンネル0を受信データの読み出し用に, チャンネル1を送信データの書き込み用に使用
- ・ DMA起動要因: INTCSI00
(DMAのチャンネル0とチャンネル1を同一の起動要因に設定した場合, チャンネル0が先に転送され, その後チャンネル1が転送されます)
- ・ CSI00の割り込みはIFC03-IFC00 = IFC13-IFC10 (DMCnレジスタのビット3-0) = 0110Bに割り当て
- ・ CSIのデータ・レジスタ (SIO00) のFFF10HからRAMのFF100H-FF1FFH (256バイト) に転送 (受信)
(連続送受信モード時は, 最初のバッファ空き割り込み時の受信データが受信前のため無効なデータ)
- ・ RAMのFF201H-FF2FFH (255バイト) をCSIのデータ・レジスタ (SIO00) のFFF10Hに転送 (送信)
(最初の1バイトは, ソフト (命令) で送信データを書き込み)

図15 - 9 CSI送受信の設定例



注 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は15. 5. 7 ソフトウェアでの強制終了参照)。

CSI送受信の場合は、1バイト目の送信データの書き込み時はCSIの割り込みがないため、この例ではソフトウェアにて送信データを書き込んでいます。2バイト目以降のデータ送信は自動的に転送されます。

データ受信は1バイト目から自動的に転送されます (連続送受信モード時では、最初のバッファ空き割り込み時の受信データは有効データの受信前のため無効なデータとなります)。

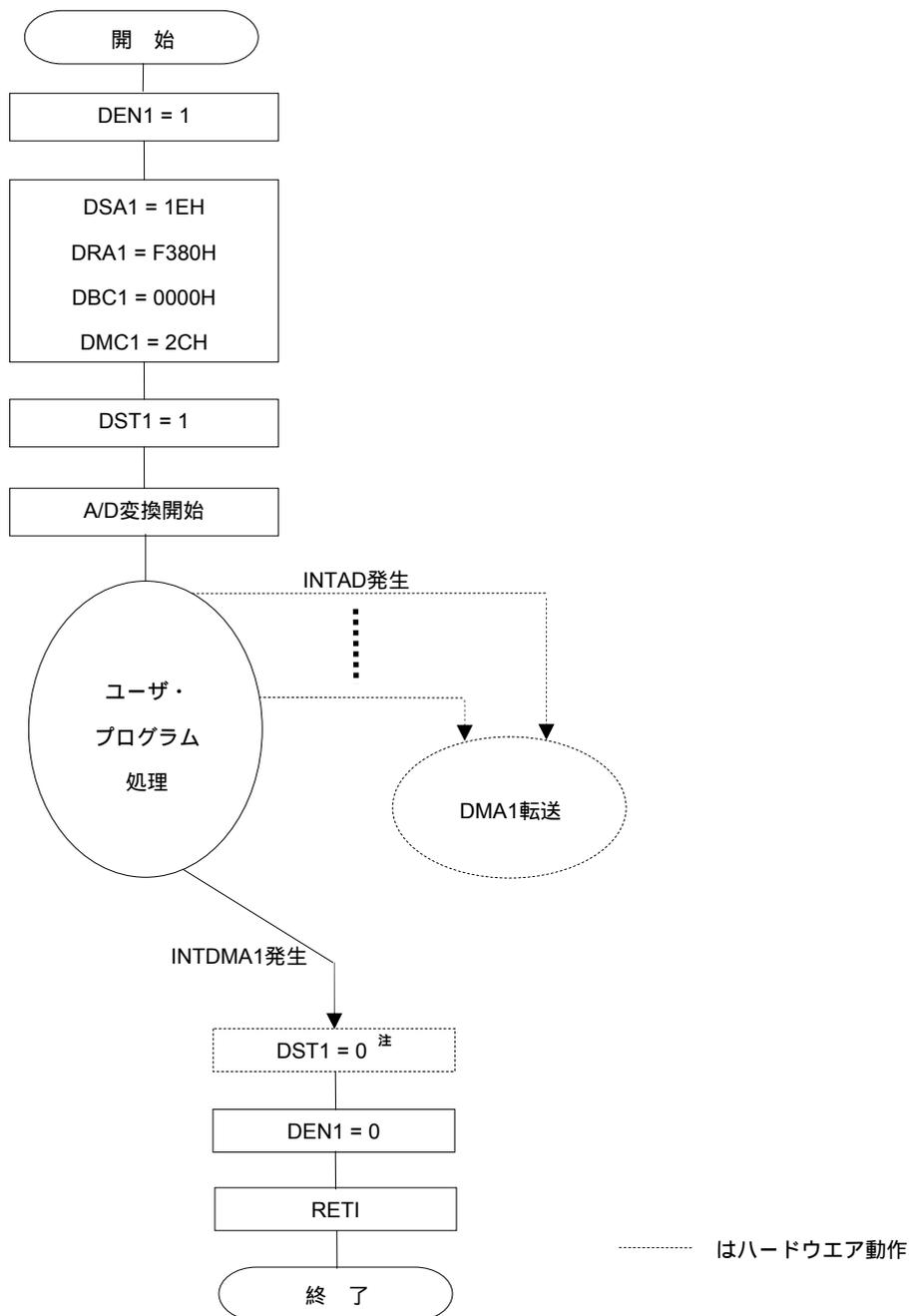
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA1) が発生します。データ・レジスタからの最終の受信データの読み出しが終わった時点で、DMA割り込み (INTDMA0) が発生します。再度DMA転送を開始する場合は、CSIの転送が終了したあとに行ってください。

15.5.4 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因：INTAD
- ・ A/Dの割り込みはIFC13-IFC10 (DMC1レジスタのビット3-0) = 1100Bに割り当て
- ・ 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH (2バイト) をRAMのFF380H-FFB7FHの2048バイトに転送

図15 - 10 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

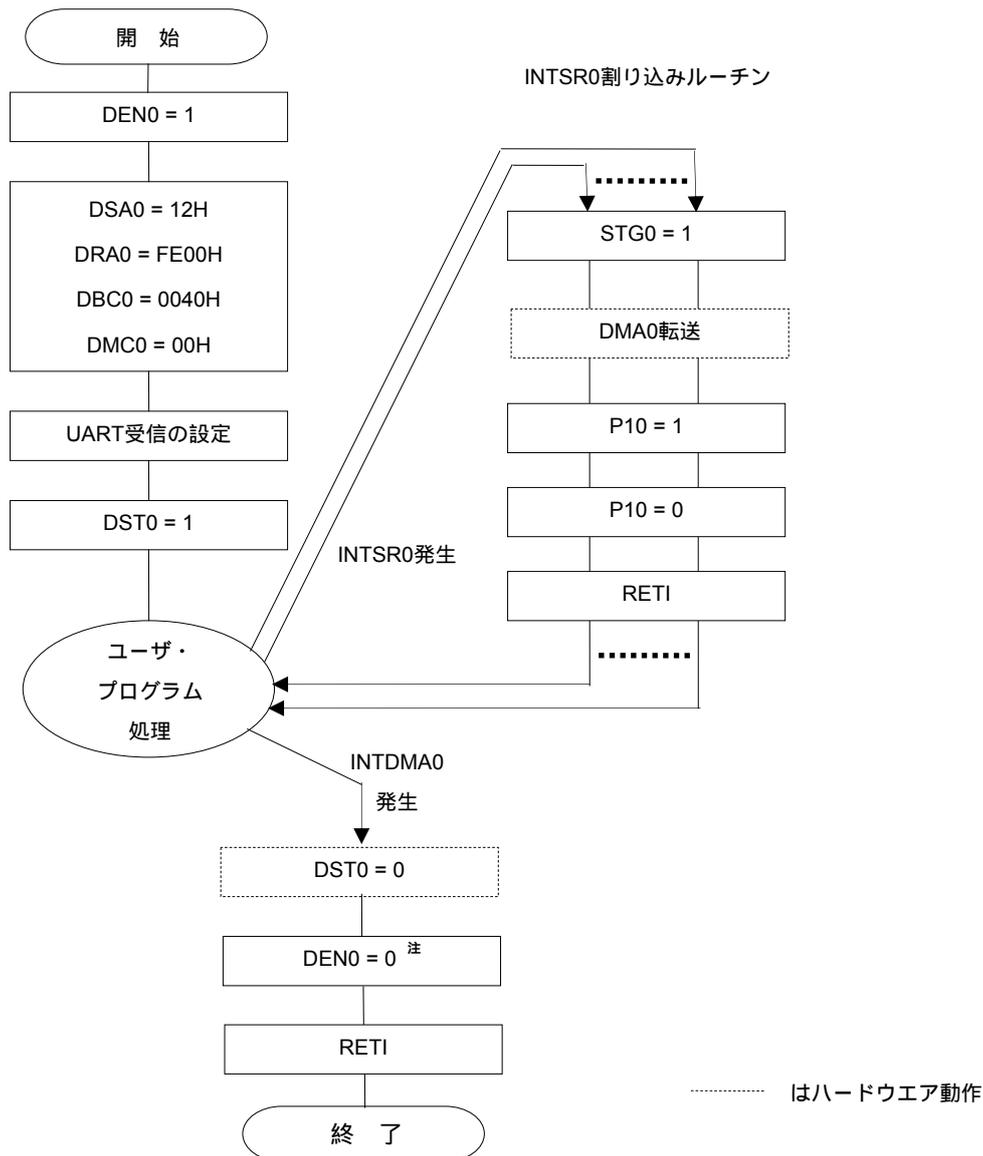
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は15. 5. 7 ソフトウェアでの強制終了参照)。

15. 5. 5 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い, P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因: ソフトウェア・トリガ (割り込みによるDMA転送禁止)
- ・ UART受信データ・レジスタ0 (RXD0) のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図15 - 11 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は15. 5. 7 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み (INTSR0) をDMA起動要因に設定して、受信することもできます。

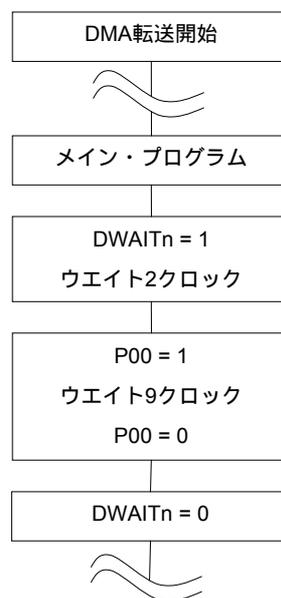
15.5.6 DWAITnによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P00端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図15 - 12 DWAITnによるDMA転送保留の設定例



注意 DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください(DWAIT0 = DWAIT1 = 1)。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

15.5.7 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み(INTDMA_n)発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

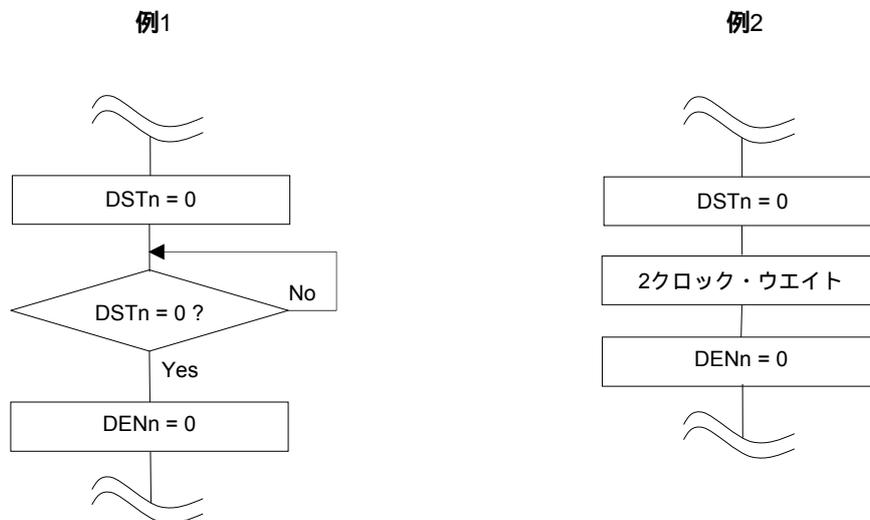
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTnが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネルともに使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、2チャンネルともにDWAIT0, DWAIT1ビットをセット(1)してDMA転送を保留してから、DSTnビットをクリア(0)する。その後、2チャンネルともにDWAIT0, DWAIT1ビットをクリア(0)し保留を解除してから、DENnビットをクリア(0)とする

図15 - 13 DMA転送の強制終了 (1/2)

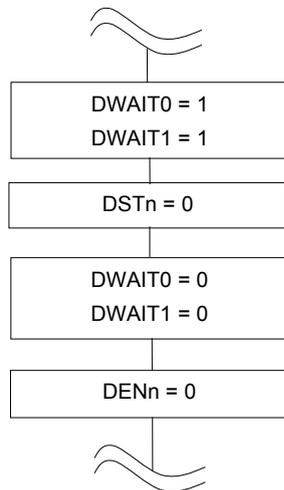


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

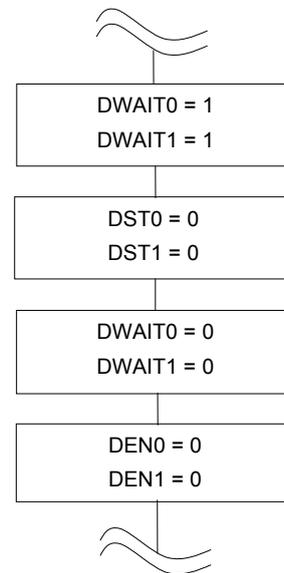
図15 - 13 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnのセット(1)後のウエイト2クロックは必要ありません。また、DSTnをクリア(0)してからDENnをクリア(0)するまで2クロック以上経過しているため、DSTnのクリア(0)後にウエイト2クロックする必要はありません。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

15.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャンネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャンネル0 > DMAチャンネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA 応答時間

DMA 転送における応答時間は、次のようになります。

表15 - 2 DMA 転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令 (15.6 (4) 参照) 実行の場合は、各条件の最大応答時間に、その条件での保留する命令の実行時間を足した時間となります。
3. 最大応答時間 + 1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表14 - 3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL laddr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったら、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



第16章 割り込み機能

割り込み要因数は、製品によって異なります。

		78K0R/KC3-L (48ピン)	78K0R/KE3-L (64ピン)
マスカブル 割り込み	外部	7	11
	内部	36	41

16.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表16 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

16.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります (表16 - 1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表16 - 1 割り込み要因一覧 (1/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%)	内部	0004H	(A)
	1	INTLVI	低電圧検出 ^{注4}		0006H	
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1				
	4	INTP2				
	6	INTP4				
	7	INTP5				
	8	INTST3	UART3送信の転送完了,パッファ空き割り込み	内部	0014H	(A)
	9	INTSR3	UART3受信の転送完了		0016H	
	10	INTSRE3	UART3受信の通信エラー発生		0018H	
	11	INTDMA0	DMA0の転送完了		001AH	
	12	INTDMA1	DMA1の転送完了		001CH	
	13	INTST0 /INTCSI00	UART0送信の転送完了 / CSI00の通信完了		001EH	
	14	INTSR0	UART0受信の転送完了		0020H	
	15	INTSRE0	UART0受信の通信エラー発生		0022H	
	16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了 / CSI10の通信完了 / IIC10の通信完了		0024H	
	17	INTSR1	UART1受信の転送完了		0026H	
	18	INTSRE1	UART1受信の通信エラー発生		0028H	
	19	INTIICA	IICA通信完了		002AH	
	20	INTTM00	タイマ・チャンネル0のカウンタ完了またはキャプチャ完了		002CH	
	21	INTTM01	タイマ・チャンネル1のカウンタ完了またはキャプチャ完了	002EH		

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、42が最低順位です。

- 基本構成タイプの (A) - (D) は、それぞれ図16 - 1の (A) - (D) に対応しています。
- オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
- 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 0選択時。

表16 - 1 割り込み要因一覧 (2/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}	
		名称	トリガ				
マスカブル	22	INTTM02	タイマ・チャンネル2のカウンタ完了またはキャプチャ完了	内部	0030H	(A)	
	23	INTTM03	タイマ・チャンネル3のカウンタ完了またはキャプチャ完了		0032H		
	24	INTAD	A/D変換終了		0034H		
	25	INTRTC	リアルタイム・カウンタの定周期信号 / アラーム一致検出		0036H		
	26	INTRTCI	リアルタイム・カウンタのインターバル信号 検出		0038H		
	27	INTKR	キー・リターン信号検出	外部	003AH	(C)	
	28	INTST2 ^{注2} /INTCSI20 /INTIIC20	UART2送信の転送完了 / CSI20の転送完了 / IIC20の転送完了	内部	003CH	(A)	
	29	INTP6	端子入力エッジ検出	外部	003EH	(B)	
	31	INTTM04	タイマ・チャンネル4のカウンタ完了またはキャプチャ完了	内部	0042H		
	32	INTTM05	タイマ・チャンネル5のカウンタ完了またはキャプチャ完了		0044H		
	33	INTTM06	タイマ・チャンネル6のカウンタ完了またはキャプチャ完了		0046H		
	34	INTTM07	タイマ・チャンネル7のカウンタ完了またはキャプチャ完了		0048H		
	35	INTSR2 ^{注2}	UART2受信の転送完了		004AH		
	36	INTP8 ^{注2}	端子入力エッジ検出		外部		004EH
	37	INTP9 ^{注2}					0050H
	38	INTP10 ^{注2}		0052H			
	39	INTP11 ^{注2}		0054H			

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，42が最低順位です。

2. 78K0R/KE3-Lのみ。

3. 基本構成タイプの (A) - (D) は、それぞれ図16 - 1の (A) - (D) に対応しています。

表16 - 1 割り込み要因一覧 (3/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	40	INTSRE2 ^{注2}	UART2受信の通信エラー発生		005CH	
	41	INTUSB	USBファンクション・ステータス		005EH	
	42	INTRSUM	USB Resume信号検出		0060H	
ノンマスカブル	-	INTDBG	OCDブレーク発生	-	0002H	
ソフトウェア	-	BRK	BRK命令の実行	-	007EH	(D)
リセット	-	RESET	RESET端子入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注3}			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行 ^{注4}			

注1. デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位、42が最低順位です。

2. 78K0R/KE3-Lのみ。

3. 基本構成タイプの(A)-(D)は、それぞれ図16-1の(A)-(D)に対応しています。

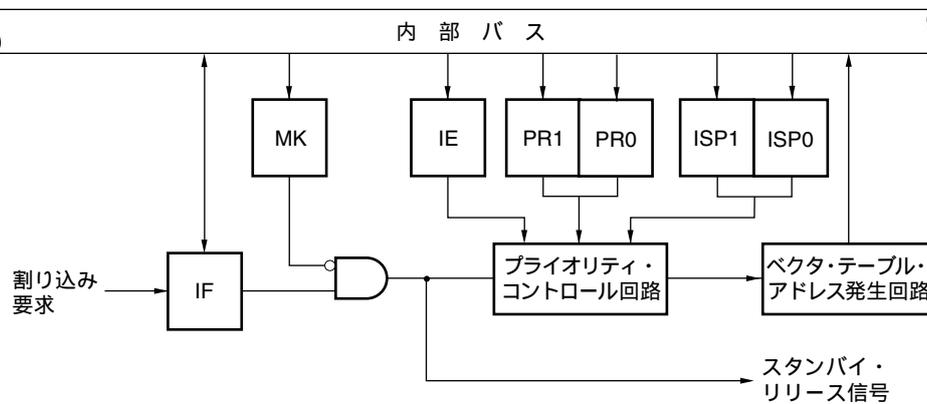
4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=1選択時。

5. FFHの命令コードを実行したときに発生します。

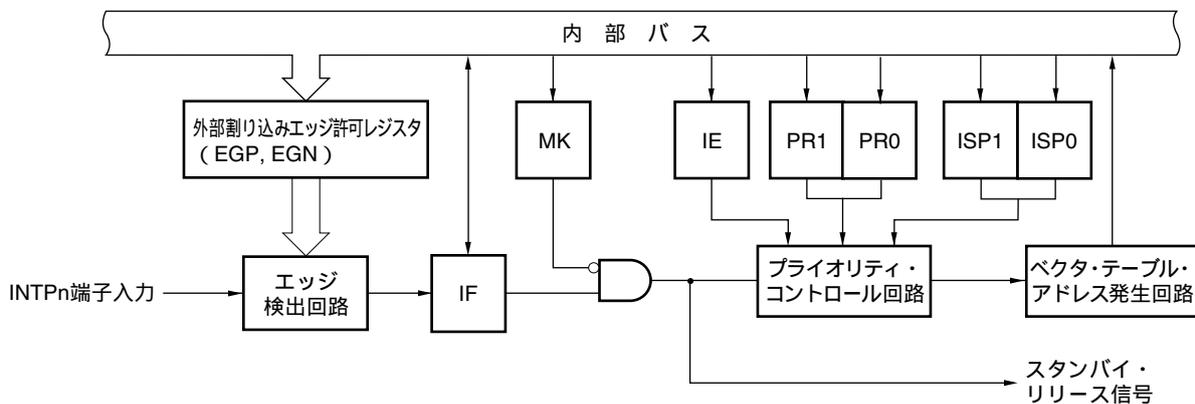
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図16 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスカブル割り込み



(B) 外部マスカブル割り込み (INTPn)

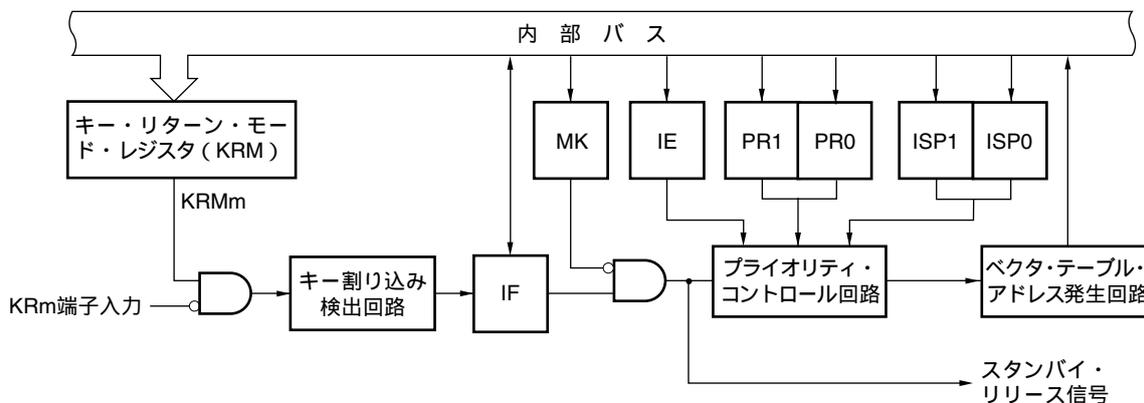


- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサース・プライオリティ・フラグ0
 ISP1 : インサース・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

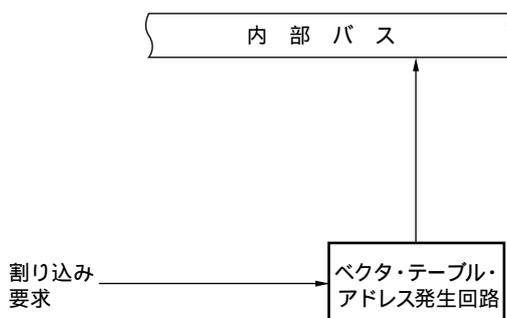
2. ・78K0R/KC3-Lの場合
 n = 0-2, 4-6
 ・78K0R/KE3-Lの場合
 n = 0-2, 4-6, 8-11

図16 - 1 割り込み機能の基本構成 (2/2)

(C) 外部マスカブル割り込み (INTKR)



(D) ソフトウェア割り込み



- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサース・プライオリティ・フラグ0
 ISP1 : インサース・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1
2. ・78K0R/KC3-Lの場合
 m = 0-3
 ・78K0R/KE3-Lの場合
 m = 0-7

16.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1^{注1})
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1^{注1})
- ・プログラム・ステータス・ワード (PSW)

注 78K0R/KE3-Lのみ。

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表16-2に示します。

表16-2 割り込み要求ソースに対応する各種フラグ (1/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST3	STIF3	IF0H	STMK3	MK0H	STPR03, STPR13	PR00H, PR10H
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13	
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0 ^注	STIF0 ^注		STMK0 ^注		STPR00, STPR10 ^注	
INTCSI00 ^注	CSIIF00 ^注		CSIMK00 ^注		CSIPR000, CSIPR100 ^注	
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10	
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10	

注 UART0とCSI00は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST0とINTCSI00のうち、どちらかが発生したら、IF0Hのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hのビット5は、両方の割り込み要因に対応しています。

表16 - 2 割り込み要求ソースに対応する各種フラグ (2/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L
INTCSI10 ^{注1}	CSIIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}	
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}	
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1	SREIF1		SREMK1		SREPR01, SREPR11	
INTIICA	IICAIF		IICAMK		IICAPR0, IICAPR1	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H
INTRTC	RTCIF		RTCMK		RT CPR0, RT CPR1	
INTRTCI	RTCIF		RT CIMK		RT CIPR0, RT CIPR1	
INTKR	KRIF		KRMK		KRPR0, KRPR1	
INTST2 ^{注2, 3}	STIF2 ^{注2, 3}		STMK2 ^{注2, 3}		STPR02, STPR12 ^{注2, 3}	
INTCSI20 ^{注2, 3}	CSIIF20 ^{注2, 3}		CSIMK20 ^{注2, 3}		CSIPR020, CSIPR120 ^{注2, 3}	
INTIIC20 ^{注2, 3}	IICIF20 ^{注2, 3}		IICMK20 ^{注2, 3}		IICPR020, IICPR120 ^{注2, 3}	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	

注1. UART1, CSI10, IIC10は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lのビット0は、3つすべての割り込み要因に対応しています。

2. 78K0R/KE3-Lのみ。

3. UART2, CSI20, IIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF1Hのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hのビット4は、3つすべての割り込み要因に対応しています。

表16 - 2 割り込み要求ソースに対応する各種フラグ (3/3)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTP8 ^注	PIF8		PMK8		PPR08, PPR18	
INTP9 ^注	PIF9		PMK9		PPR09, PPR19	
INTP10 ^注	PIF10		PMK10		PPR010, PPR110	
INTP11 ^注	PIF11	IF2H	PMK11	MK2H	PPR011, PPR111	PR02H, PR12H
INTSRE2 ^注	SREIF2		SREMK2		SREPR02, SREPR12	
INTUSB	USBIF		USBMK		USBPR0, USBPR1	
INTRSUM	RSUMIF		RSUMMK		RSUMPR0, RSUMPR1	

注 78K0R/KE3-Lのみ。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2Hをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	0	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0	SRIF0	STIF0 CSIF00	DMAIF1	DMAIF0	SREIF3	SRIF3	STIF3

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIF	SREIF1	SRIF1	STIF1 CSIF10 IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	0	PIF6	STIF2 ^注 CSIF20 IICIF20	KRIF	RTCIF	RTCIF	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10 ^注	PIF9 ^注	PIF8 ^注	0	SRIF2	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	RSUMIF	USBIF	0	SREIF2 ^注	0	0	0	PIF11 ^注

注 78K0R/KE3-Lのみ。

図16 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (2/2)

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

2. 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお, C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは, 対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また, MK0LとMK0H, MK1LとMK1H, MK2LとMK2Hをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

備考 このレジスタへの書き込み命令を行った場合, 命令実行クロック数が2クロック長くなります。

図16 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	0	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	SREMK0	SRMK0	STMK0 CSIMK00	DMAMK1	DMAMK0	SREMK3	SRMK3	STMK3

アドレス : FFFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK	SREMK1	SRMK1	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
MK1H	TMMK04	0	PMK6	STMK2 ^注 CSIMK20 IICMK20	KRMK	RTCIMK	RTCMK	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	4	[3]	[2]	[1]	[0]
MK2L	PMK10 ^注	PMK9 ^注	PMK8 ^注	0	SRMK2	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	3	2	1	[0]
MK2H	RSUMMK	USBMK	0	SREMK2 ^注	0	0	0	PMK11 ^注

XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

注 78K0R/KE3-Lのみ。

(3)優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図16-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	0	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	0	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00	STPR00 CSIPR000	DMAPR01	DMAPR00	SREPR03	SRPR03	STPR03

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10	STPR10 CSIPR100	DMAPR11	DMAPR10	SREPR13	SRPR13	STPR13

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR0	SREPR01	SRPR01	STPR01 CSIPR010 IICPR010

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR1	SREPR11	SRPR11	STPR11 CSIPR110 IICPR110

図16 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2)

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PR01H	TMPR004	0	PPR06	STPR02 ^注 CSIPR020 IICPR020	KRPR0	RTCIPR0	RTCPR0	ADPR0

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11H	TMPR104	TMPR113	PPR16	STPR12 ^注 CSIPR120 IICPR120	KRPR1	RTCIPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	4	[3]	[2]	[1]	[0]
PR02L	PPR010 ^注	PPR09 ^注	PPR08 ^注	0	SRPR02	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	[7]	[6]	[5]	4	[3]	[2]	[1]	[0]
PR12L	PPR110 ^注	PPR19 ^注	PPR18 ^注	0	SRPR12	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	[7]	[6]	5	[4]	3	2	1	[0]
PR02H	RSUMPR0	USBPR0	0	SREPR02 ^注	0	0	0	PPR011 ^注

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	[4]	3	2	1	[0]
PR12H	RSUMPR1	USBPR1	0	SREPR12 ^注	0	0	0	PPR111 ^注

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注 78K0R/KE3-Lのみ。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1^注) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1^注) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1 ^注	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1 ^注	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-6, 8-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表16 - 3に示します。

表16 - 3 EGPnとEGNnに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1 ^注	EGN1	P50	INTP1
EGP2	EGN2	P51	INTP2
EGP3	EGN3	P30	INTP3
EGP4	EGN4	P31	INTP4
EGP5	EGN5	P16	INTP5
EGP6	EGN6	P140	INTP6
EGP8 ^注	EGN8	P74	INTP8
EGP9 ^注	EGN9	P75	INTP9
EGP10 ^注	EGN10	P76	INTP10
EGP11 ^注	EGN11	P77	INTP11

注 78K0R/KE3-Lのみ。

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-6, 8-11

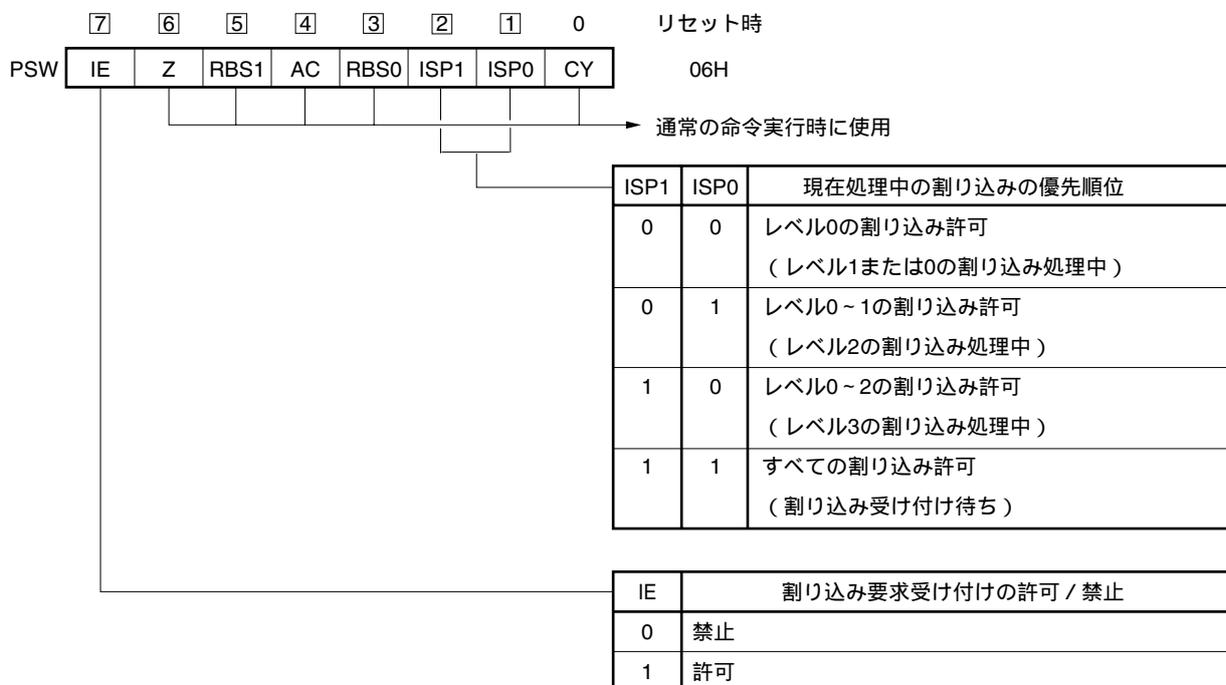
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位レベルに応じて、ISP1, ISP0フラグが設定されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図16 - 6 プログラム・ステータス・ワードの構成



16.4 割り込み処理動作

16.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表16-4のようになります。

割り込み要求の受け付けタイミングについては、[図16-8](#)、[図16-9](#)を参照してください。

表16-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

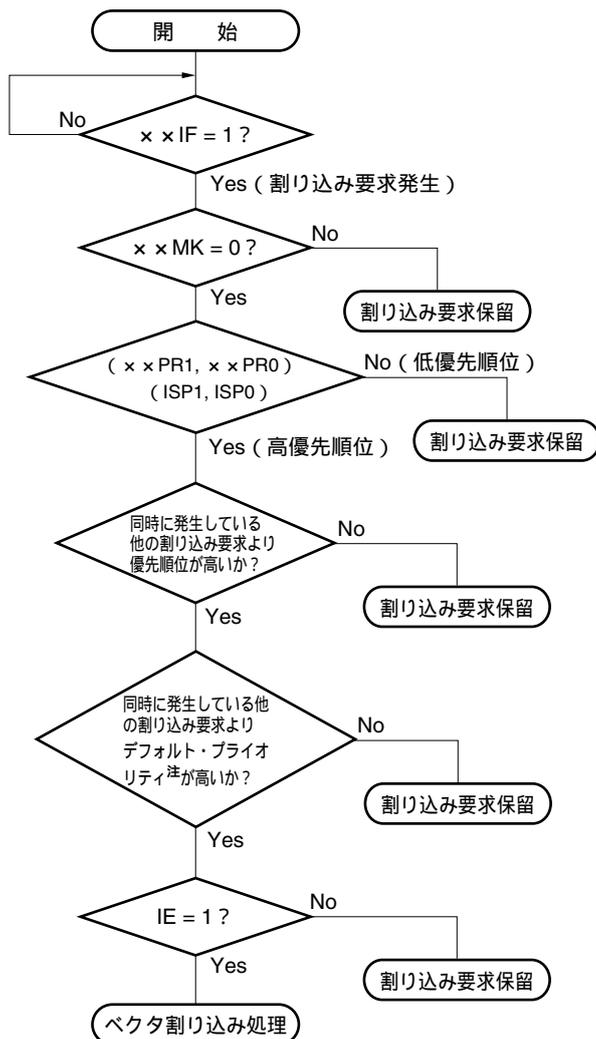
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図16-7](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

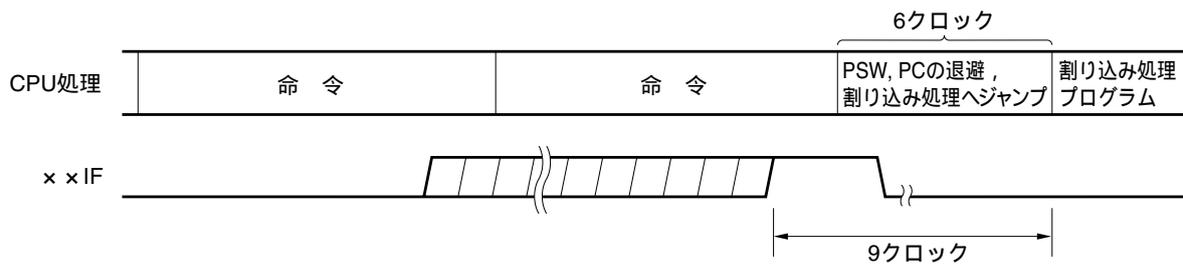
図16 - 7 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
 x x MK : 割り込みマスク・フラグ
 x x PR0 : 優先順位指定フラグ0
 x x PR1 : 優先順位指定フラグ1
 IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
 ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図16 - 6参照)

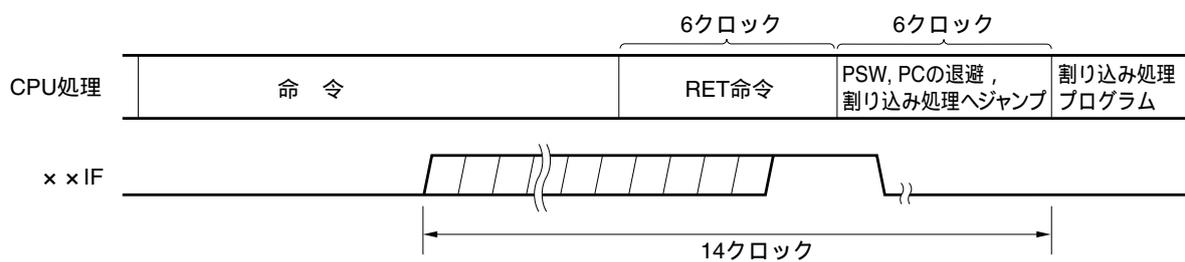
注 デフォルト・プライオリティは、表16 - 1 割り込み要因一覧を参照してください。

図16 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図16 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16. 4. 2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

16. 4. 3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表16 - 5に多重割り込み可能な割り込み要求の関係を、図16 - 10に多重割り込みの例を示します。

表16 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

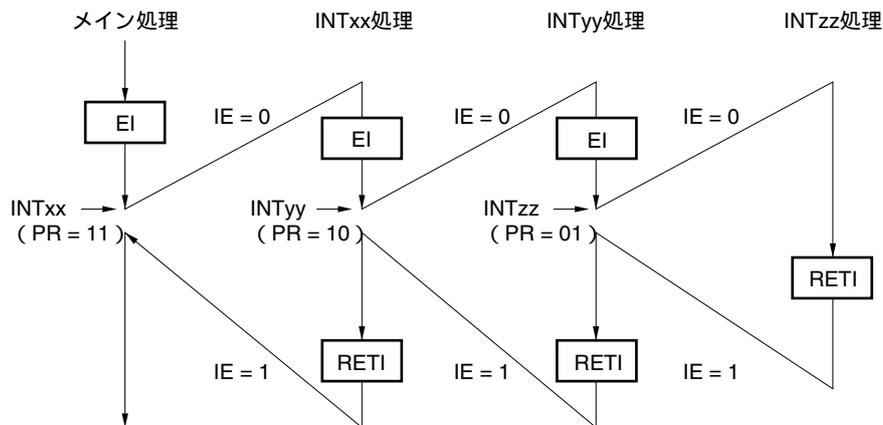
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

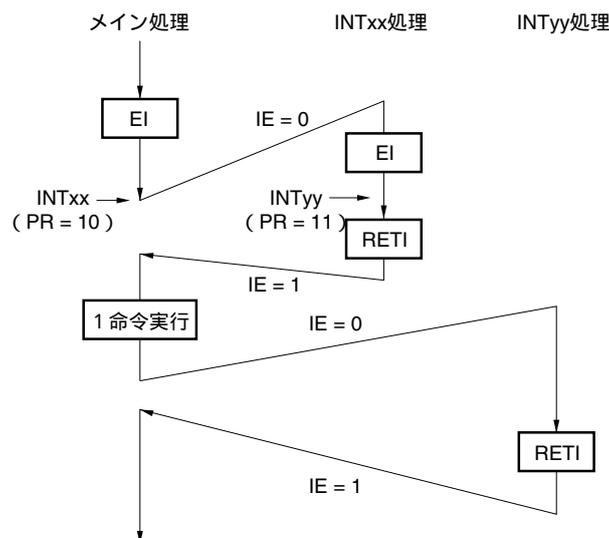
図16 - 10 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0, x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0, x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1, x \times PR0x = 0$ でレベル2を指定

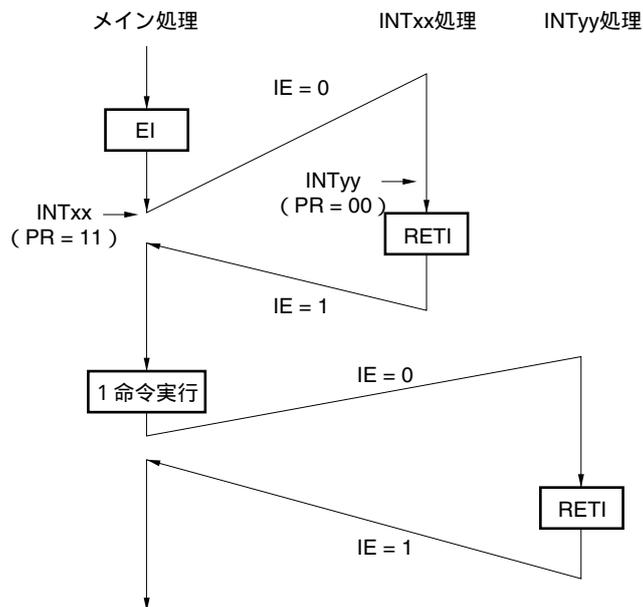
PR = 11 : $x \times PR1x = 1, x \times PR0x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図16 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1 x = 0$, $x \times PR0 x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1 x = 0$, $x \times PR0 x = 1$ でレベル1を指定

PR = 10 : $x \times PR1 x = 1$, $x \times PR0 x = 0$ でレベル2を指定

PR = 11 : $x \times PR1 x = 1$, $x \times PR0 x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

16.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, #byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr20
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図16 - 11に示します。

図16 - 11 割り込み要求の保留



- 備考1.** 命令N：割り込み要求の保留命令
2. 命令M：割り込み要求の保留命令以外の命令
3. x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第17章 キー割り込み機能

17.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表17-1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4 ^注	KR4信号を1ビット単位で制御
KRM5 ^注	KR5信号を1ビット単位で制御
KRM6 ^注	KR6信号を1ビット単位で制御
KRM7 ^注	KR7信号を1ビット単位で制御

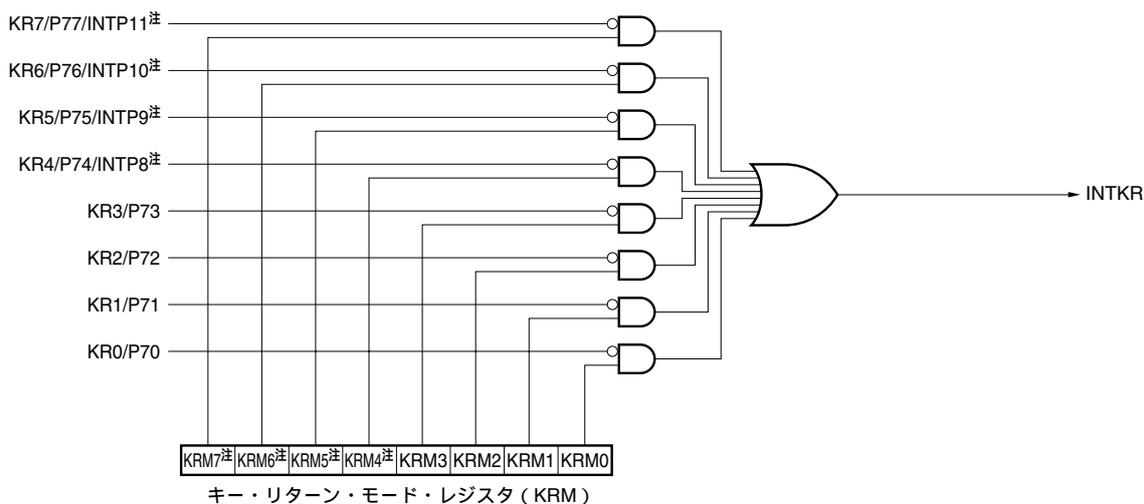
17.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表17-2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ7 (PM7)

図17-1 キー割り込みのブロック図



注 78K0R/KE3-Lのみ。

17.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMn7ビットをそれぞれKRn信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FFF37H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7 ^注	KRM6 ^注	KRM5 ^注	KRM4 ^注	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

- 注意1. KRMnのうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗レジスタ7 (PU7) のビット0-7 (PU7n) に1を設定してください。
2. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。
この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅 (250 ns以上) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。
3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

注 78K0R/KE3-Lのみ。

(2) ポート・モード・レジスタ (PM7)

ポート7の入力 / 出力を1ビット単位で設定するレジスタです。

P70/KR0, P71/KR1, P72/KR2, P73/KR3, P74/KR4/INTP8^注, P75/KR5/INTP9^注, P76/KR6/INTP10^注, P77/KR7/INTP11^注端子をキー割り込み入力として使用するとき, PM70-PM77にそれぞれ1を設定してください。このときP70-P77の出力ラッチは, 0または1のどちらでもかまいません。

PM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図17-3 ポート・モード・レジスタ (PM7) のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77 ^注	PM76 ^注	PM75 ^注	PM74 ^注	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0R/KE3-Lのみ。

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、20 MHz高速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 - A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 - 低速内蔵発振回路をHALT、STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第23章 オプション・バイトを参照してください。
 - 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

18. 1. 2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

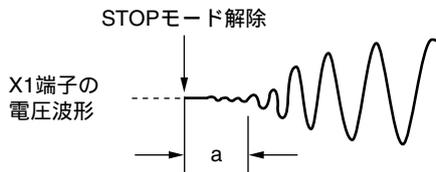
図18 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST							
	8	9	10	11	13	15	17	18

MOST	発振安定時間のステータス										
								fx=12MHz時	fx=16MHz時	fx=20MHz時	
0	0	0	0	0	0	0	0	2 ⁸ /fx 未満	21.33 μs 未満	16 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	2 ⁹ /fx 以上	21.33 μs 以上	16 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	2 ⁹ /fx 以上	42.67 μs 以上	32 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx 以上	85.33 μs 以上	64 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx 以上	170.67 μs 以上	128 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	2 ¹³ /fx 以上	682.67 μs 以上	512 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx 以上	2.73 ms 以上	2.05 ms 以上	1.64 ms 以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx 以上	10.92 ms 以上	8.19 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx 以上	21.85 ms 以上	16.38 ms 以上	13.11 ms 以上

- 注意1. 上記時間経過後, MOST8から順番に“1”となっていく, そのまま“1”を保持します。
2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。
- ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
- したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図18-2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFFA3H リセット時：07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択			
			$f_x = 12 \text{ MHz}$ 時	$f_x = 16 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	$2^8/f_x$	21.33 μs	設定禁止	設定禁止
0	0	1	$2^9/f_x$	42.67 μs	32 μs	25.6 μs
0	1	0	$2^{10}/f_x$	85.33 μs	64 μs	51.2 μs
0	1	1	$2^{11}/f_x$	170.67 μs	128 μs	102.4 μs
1	0	0	$2^{13}/f_x$	682.67 μs	512 μs	409.6 μs
1	0	1	$2^{15}/f_x$	2.73 ms	2.05 ms	1.64 ms
1	1	0	$2^{17}/f_x$	10.92 ms	8.19 ms	6.55 ms
1	1	1	$2^{18}/f_x$	21.85 ms	16.38 ms	13.11 ms

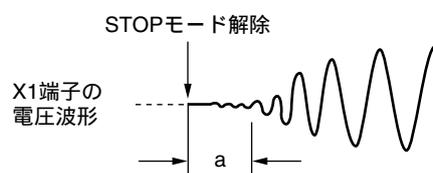
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSを設定しておいてください。

2. 発振安定時間が20 μs 以下は設定禁止です。
3. OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
4. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
5. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

6. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含まれません。



備考 f_x : X1クロック発振周波数

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、20 MHz高速内蔵発振クロック、サブシステム・クロック、USB用クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表18 - 1 HALTモード時の動作状態 (1/2)

項 目	HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{H}) または20 MHz高速内蔵発振ク ロック (f_{H20}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{H}, f_{H20}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_x	HALTモード設定前の状態を継 続	動作継続 (停止不可)	動作不可
	f_{EX}		動作不可	動作継続 (停止不可)
サブシステ ム・クロック	f_{XT}	HALTモード設定前の状態を継続		
	f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
	f_{USB}	動作不可 (設定禁止)	HALTモード設定前の状態を継続	
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		動作停止。ただし、POC検出電圧以上では、HALTモード設定前の状態を保持。		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット(TAU)		動作可能		
リアルタイム・カウンタ(RTC)				
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力 / ブザー出力		動作可能		
A/Dコンバータ				
シリアル・アレイ・ユニッ ト (SAU)				
シリアル・インタフェース (IICA)				
USBF		動作不可	動作可能	
乗除算器		動作可能		
DMAコントローラ				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				
キー割り込み機能				

備考 f_H : 高速内蔵発振クロック
 f_{H20} : 20 MHz高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック
 f_{USB} : USB用クロック発振周波数

表18 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時
項 目		XT1クロック (f_{XT}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f_{IH}, f_{IH20}	HALTモード設定前の状態を継続
	f_X	
	f_{EX}	
サブシステム・クロック	f_{XT}	動作継続 (停止不可)
f_{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止
f_{USB}		動作不可 (設定禁止)
CPU		動作停止
フラッシュ・メモリ		動作停止 (低消費電流モードで待機状態)
RAM		動作停止。ただし、POC検出電圧以上では、HALTモード設定前の状態を保持。
ポート (ラッチ)		HALTモード設定前の状態を保持
タイマ・アレイ・ユニット (TAU)		動作可能
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止
クロック出力 / ブザー出力		動作可能
A/Dコンバータ		動作不可
シリアル・アレイ・ユニット (SAU)		動作可能
シリアル・インタフェース (IICA)		動作不可
USB		
乗除算器		動作可能
DMAコントローラ		
パワーオン・クリア機能		
低電圧検出機能		
外部割り込み		
キー割り込み機能		

備考 f_{IH} : 高速内蔵発振クロック
 f_{IH20} : 20 MHz高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック
 f_{USB} : USB用クロック発振周波数

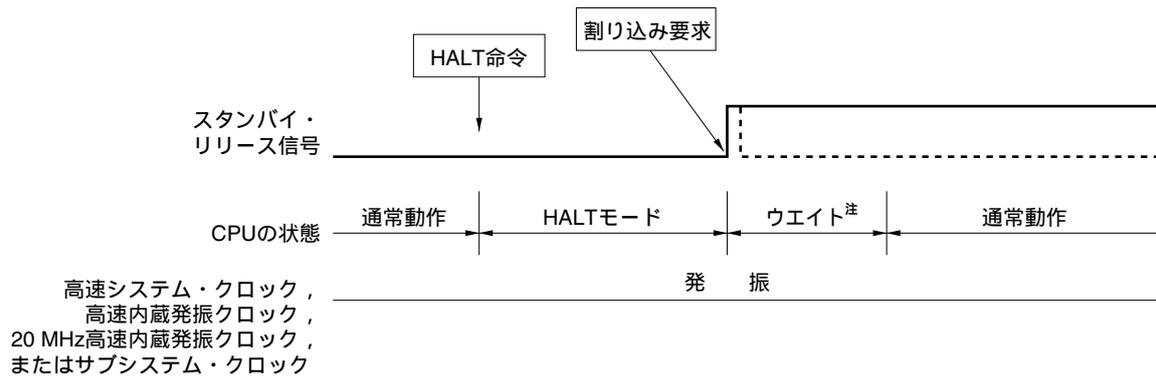
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18 - 3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時：10～12クロック
 - サブシステム・クロック時：8～10クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時：5～6クロック
 - サブシステム・クロック時：3～4クロック

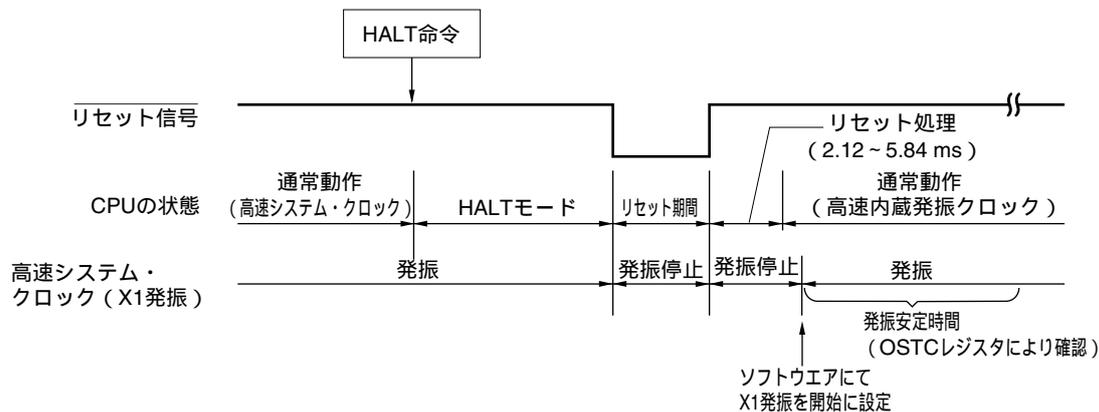
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

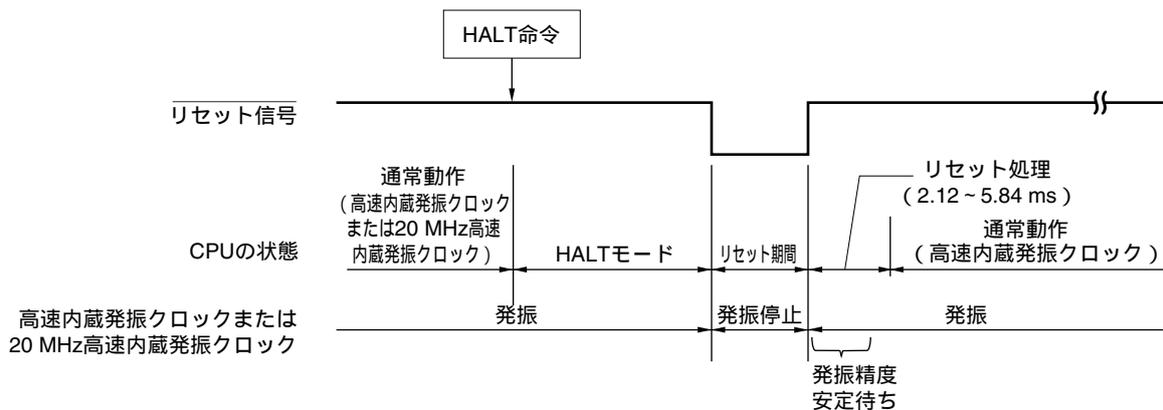
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図18 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



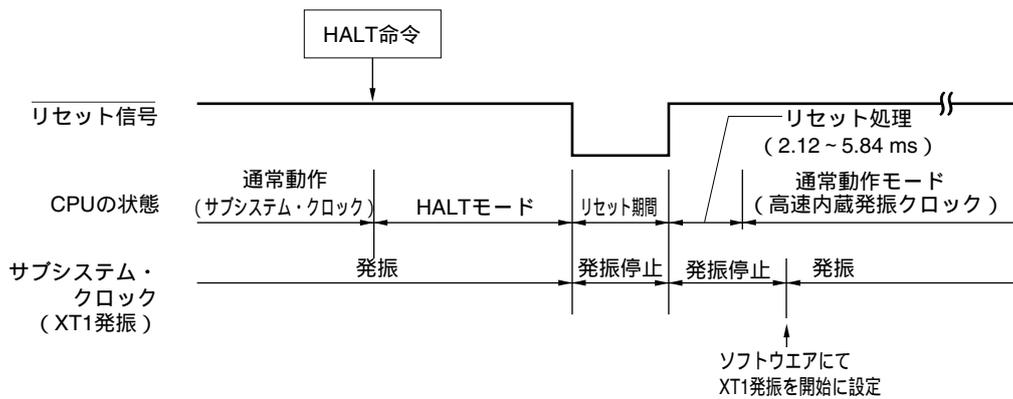
(2) CPUクロックが高速内蔵発振クロックまたは20 MHz高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図18 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合



18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

- 注意1.** 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されません。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウェイトしたあと動作モードに戻ります。
2. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

次にSTOPモード時の動作状態を示します。

表18 - 2 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EX}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	停止	
	f_x		
	f_{EX}		
サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続	
f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
f_{USB}	動作不可 (設定禁止)		
CPU	動作停止		
フラッシュ・メモリ	動作停止		
RAM	動作停止。ただし、POC検出電圧以上では、HALTモード設定前の状態を保持。		
ポート (ラッチ)	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット (TAU)	動作不可		
リアルタイム・カウンタ (RTC)	動作可能		
ウォッチドッグ・タイマ	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力 / ブザー出力	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
A/Dコンバータ	動作不可		
シリアル・アレイ・ユニット (SAU)			
シリアル・インタフェース (IICA)	アドレス一致によるウエイク・アップ動作可能		
USB	動作不可		
乗除算器			
DMAコントローラ			
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			
キー割り込み機能			

備考 f_{IH} : 高速内蔵発振クロック

f_x : X1クロック

f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{IL} : 低速内蔵発振クロック

f_{USB} : USB用クロック発振周波数

- 注意1. STOPモード中に動作停止する周辺ハードウェア,および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は,周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速内蔵発振クロックを停止したい場合は,オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定(000C0Hのビット0(WDSTBYON)=0)してから,STOP命令を実行してください。
3. 高速システム・クロック(X1発振)でCPU動作していて,STOPモード解除後の発振安定時間を短縮したい場合は,STOP命令実行前に,CPUクロックを一時的に高速内蔵発振クロックに切り替えてください。STOPモード解除後,CPUクロックを高速内蔵発振クロックから高速システム・クロック(X1発振)に切り替える場合は,発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから,行ってください。
4. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

(2) STOPモードの解除

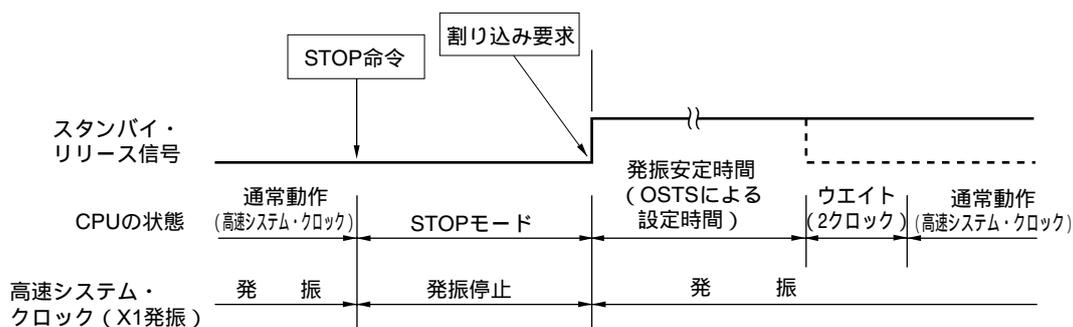
STOPモードは,次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合,STOPモードを解除します。発振安定時間経過後,割り込み受け付け許可状態であれば,ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば,次のアドレスの命令を実行します。

図18 - 5 STOPモードの割り込み要求発生による解除 (1/2)

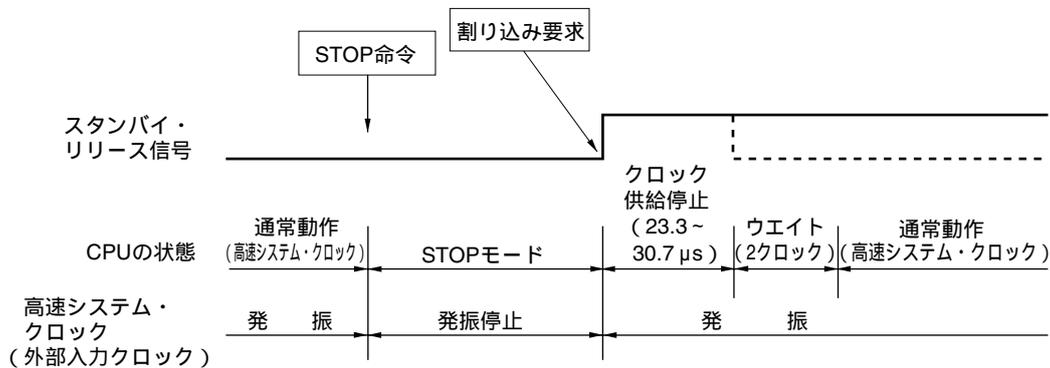
(1) CPUクロックが高速システム・クロック(X1発振)の場合



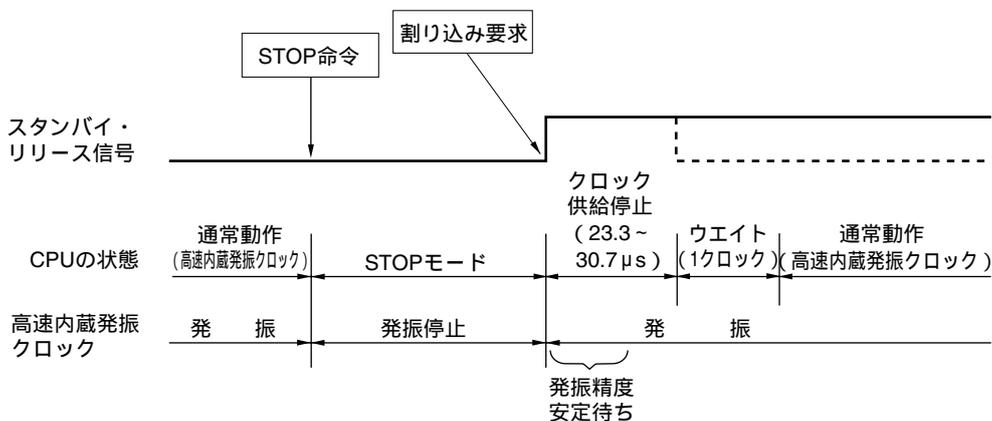
備考 破線は,スタンバイを解除した割り込み要求が受け付けられた場合です。

図18 - 5 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



(3) CPUクロックが高速内蔵発振クロックの場合



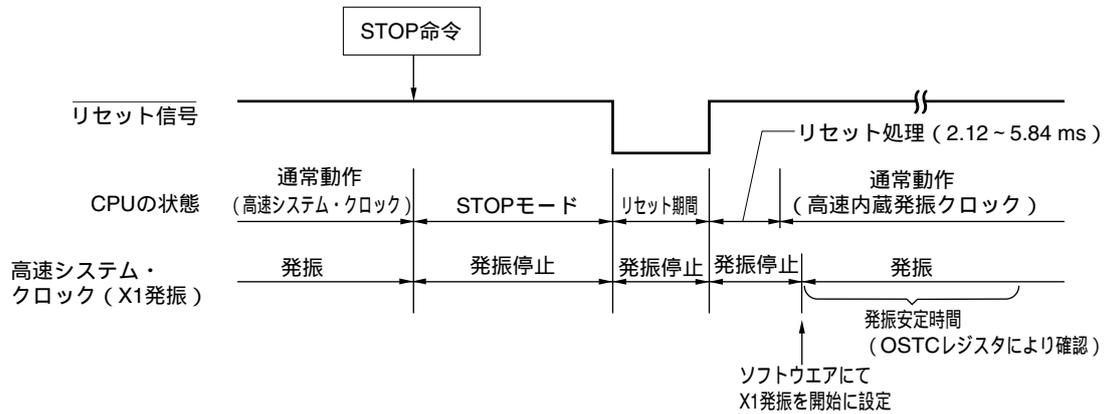
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

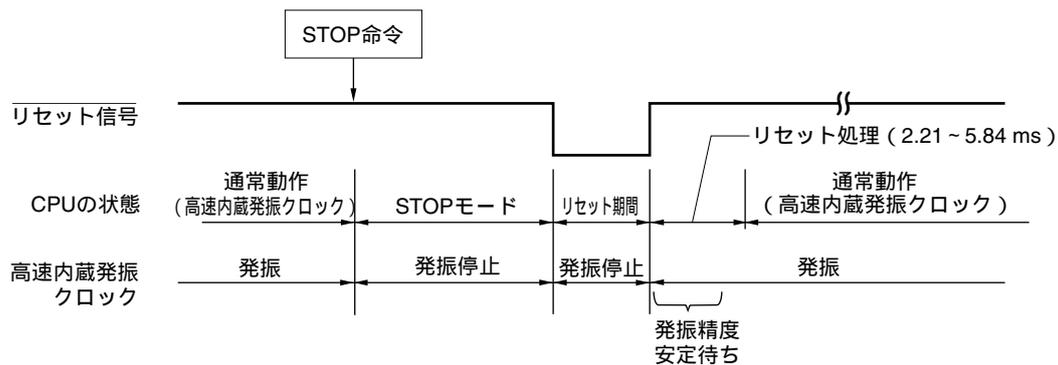
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18 - 6 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第19章 リセット機能

リセット信号を発生させる方法には、次の6種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) リセット処理のチェック・エラーによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、または不正命令の実行^注により、リセットがかかり、各ハードウェアは表19 - 1、表19 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図19 - 2から図19 - 4参照)。POC回路、LVI回路の電圧検出によるリセットは、リセット後 V_{DD} V_{POR} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第20章 パワーオン・クリア回路と第21章 低電圧検出回路参照)。

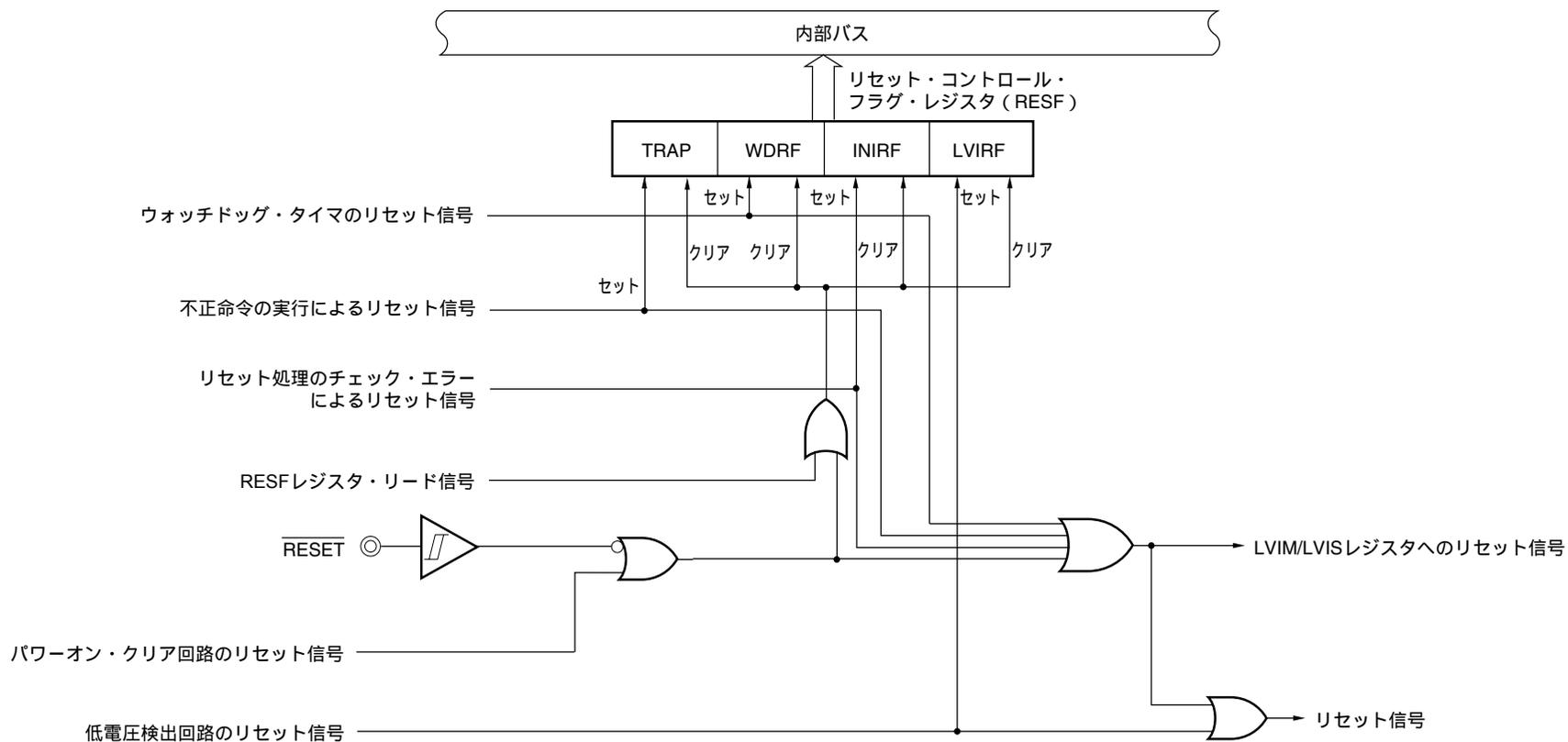
注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

- 注意1.** 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
(電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内 (V_{DD} 1.8 V) の期間に10 μs 以上ロウ・レベルを継続する必要があります。)
2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロック、USB用クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
 3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。
 4. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子P130はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。

備考 V_{POR} : POC電源立ち上がり検出電圧

図19 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1. LVIM：低電圧検出レジスタ

2. LVIS：低電圧検出レベル選択レジスタ

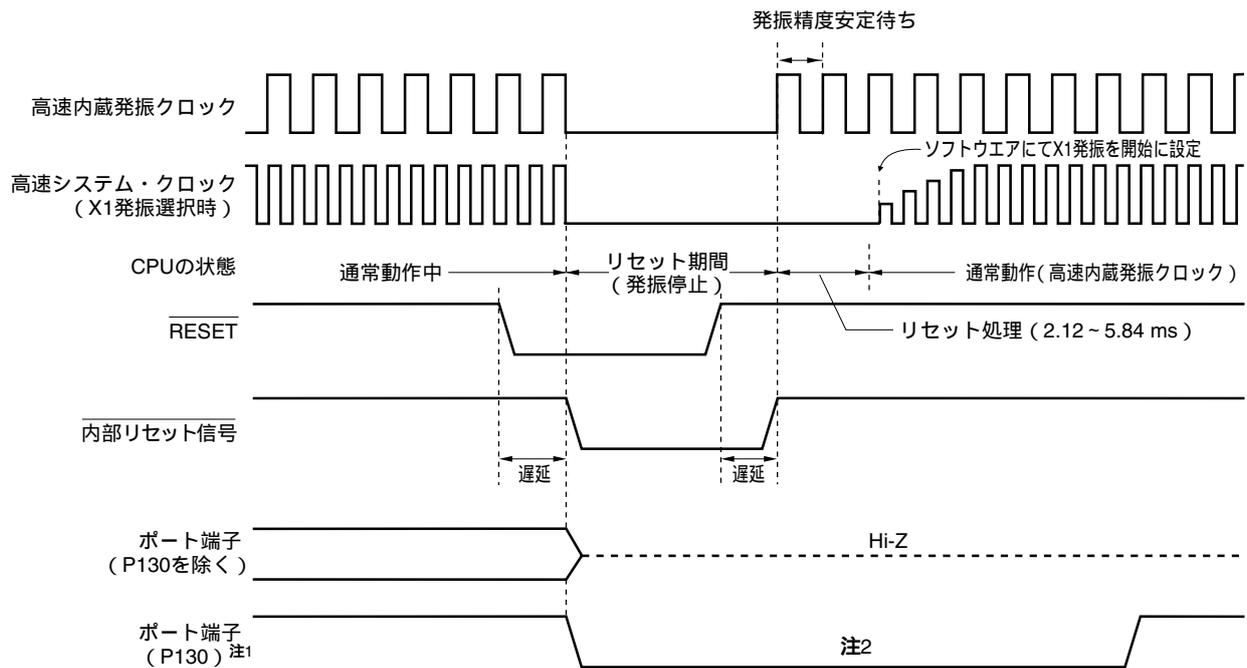
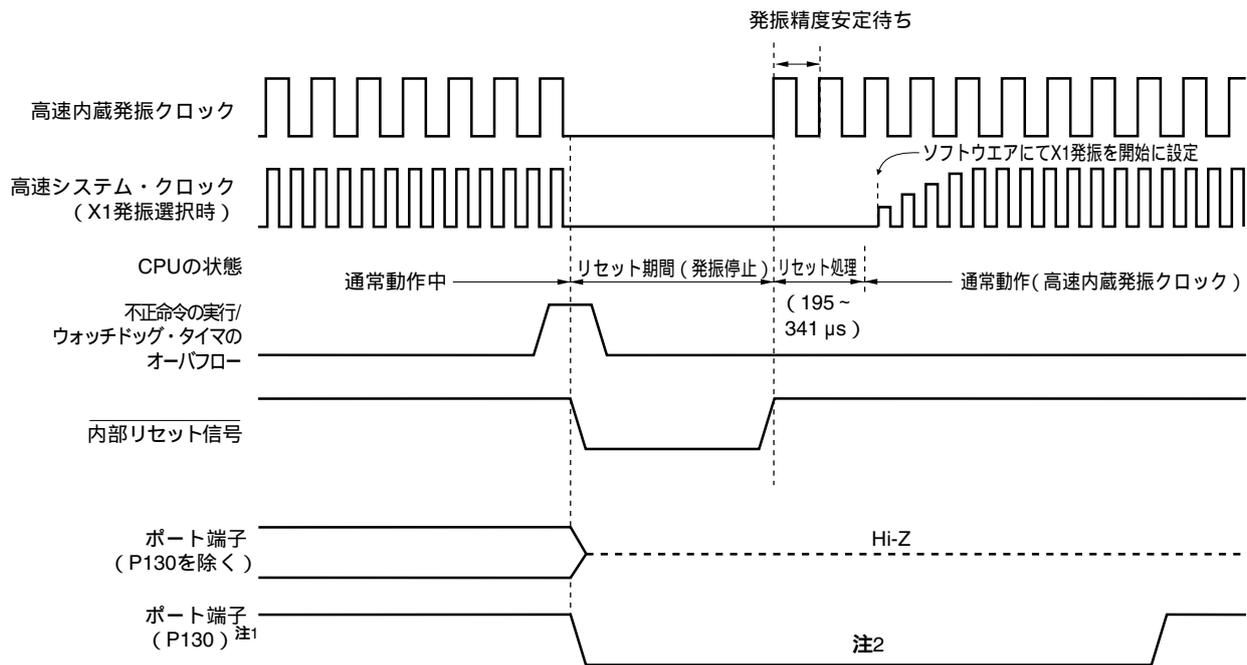
図19 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図19 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

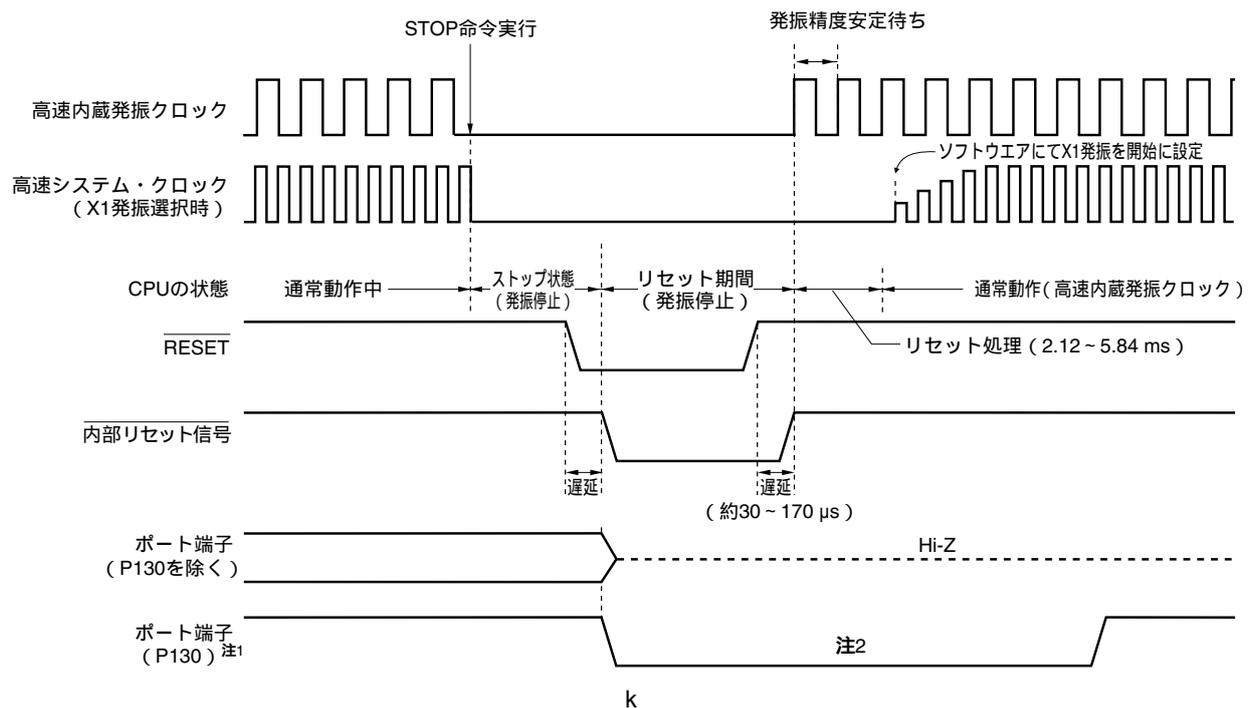


注1. 78K0R/KC3-Lは、P130端子を搭載していません。

- リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図19-4 STOPモード中のRESET入力によるリセット・タイミング



注1. 78K0R/KC3-Lは、P130端子を搭載していません。

- リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第20章 パワーオン・クリア回路と第21章 低電圧検出回路を参照してください。

表19 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH} , f _{IH20}	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (XT1, XT2端子は入力ポート・モード)
f _L f _{SUB}		動作停止
CPU		
フラッシュ・メモリ		
RAM	動作停止 (ただし、パワーオン・クリア検出電圧以上時では、値を保持)	
ポート (ラッチ)	P130 [※] は、ロウ・レベル出力。P130以外は、ハイ・インピーダンス。	
タイマ・アレイ・ユニット (TAU)	動作停止	
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		
クロック出力 / ブザー出力		
A/Dコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
USB F		
乗除算器		
DMAコントローラ		
パワーオン・クリア機能		検出動作可能
低電圧検出機能		動作停止 (ただし、LVIリセット時は動作継続)
外部割り込み		動作停止
キー割り込み機能		

注 78K0R/KE3-Lのみ。

備考 f_{IH} : 高速内蔵発振クロック
f_{IH20} : 20 MHz高速内蔵発振クロック
f_X : X1発振クロック
f_{EX} : 外部メイン・システム・クロック
f_{XT} : XT1発振クロック
f_L : 低速内蔵発振クロック
f_{SUB} : USB用クロック発振周波数

表19 - 2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
ポート・レジスタ (P0-P7, P11 ^{注3} , P12, P13 ^{注3} , P14) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM7, PM11 ^{注3} , PM12, PM14)		FFH
ポート入力モード・レジスタ0, 1, 14 ^{注3} (PIM0, PIM1, PIM14 ^{注3})		00H
ポート出力モード・レジスタ0, 1, 14 ^{注3} (POM0, POM1, POM14 ^{注3})		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3, PU5, PU7, PU11 ^{注3} , PU12, PU14)		00H
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
システム・クロック制御レジスタ (CKC)		09H
20 MHz高速内蔵発振制御レジスタ (DSCCTL)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ1 (NFEN1)		00H
周辺イネーブル・レジスタ0 (PER0)		00H
動作スピード・モード制御レジスタ (OSMC)		00H
タイマ・アレイ・ユニット (TAU)	タイマ・データ・レジスタ00-07 (TDR00-TDR07)	0000H
	タイマ・モード・レジスタ00-07 (TMR00-TMR07)	0000H
	タイマ・ステータス・レジスタ00-07 (TSR00-TSR07)	0000H
	タイマ入力選択レジスタ0 (TIS0)	00H
	タイマ・カウンタ・レジスタ00-07 (TCR00-TCR07)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	0000H
	タイマ・チャンネル開始レジスタ0 (TS0)	0000H
	タイマ・チャンネル停止レジスタ0 (TT0)	0000H
	タイマ・クロック選択レジスタ0 (TPS0)	0000H
	タイマ出力レジスタ0 (TO0)	0000H
	タイマ出力許可レジスタ0 (TOE0)	0000H
	タイマ出力レベル・レジスタ0 (TOL0)	0000H
	タイマ出力モード・レジスタ0 (TOM0)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時でのリセット後の状態は保持となります。
- 78K0R/KE3-Lのみ。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リアルタイム・カウンタ	サブ・カウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
	コントロール・レジスタ2 (RTCC2)	00H
クロック出力 / ブザー出力 制御回路	クロック出力選択レジスタ0 (CKS0)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00-03, 10 ^{注3} , 11 ^{注3} , 12, 13 (SDR00-SDR03, SDR10 ^{注3} , SDR11 ^{注3} , SDR12, SDR13)	0000H
	シリアル・ステータス・レジスタ00-03, 10 ^{注3} , 11 ^{注3} , 12, 13 (SSR00-SSR03, SSR10 ^{注3} , SSR11 ^{注3} , SSR12, SSR13)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00-03, 10 ^{注3} , 11 ^{注3} , 12, 13 (SIR00-SIR03, SIR10 ^{注3} , SIR11 ^{注3} , SIR12, SIR13)	0000H
	シリアル・モード・レジスタ00-03, 10 ^{注3} , 11 ^{注3} , 12, 13 (SMR00-SMR03, SMR10 ^{注3} , SMR11 ^{注3} , SMR12, SMR13)	0020H
	シリアル通信動作設定レジスタ00-03, 10 ^{注3} , 11 ^{注3} , 12, 13 (SCR00-SCR03, SCR10 ^{注3} , SCR11 ^{注3} , SCR12, SCR13)	0087H
	シリアル・チャネル許可ステータス・レジスタ0, 1 (SE0, SE1)	0000H
	シリアル・チャネル開始レジスタ0, 1 (SS0, SS1)	0000H
	シリアル・チャネル停止レジスタ0, 1 (ST0, ST1)	0000H
	シリアル・クロック選択レジスタ0, 1 (SPS0, SPS1)	0000H
	シリアル出力レジスタ0, 1 (SO0, SO1)	0F0FH
	シリアル出力許可レジスタ0, 1 (SOE0, SOE1)	0000H
	シリアル出力レベル・レジスタ0, 1 (SOL0, SOL1)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

- WDTEのリセット値は、オプション・バイトの設定で決定します。
- 78K0R/KE3-Lのみ。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 ^注
USBファンクション・コントローラUSBF	UF0 EP0NAKレジスタ (UF0E0N)	00H
	UF0 EP0NAKALLレジスタ (UF0E0NA)	00H
	UF0 EPNAKレジスタ (UF0EN)	00H
	UF0 EPNAKマスク・レジスタ (UF0ENM)	00H
	UF0 SNDSIEレジスタ (UF0SDS)	00H
	UF0 CLRリクエスト・レジスタ (UF0CLR)	00H
	UF0 SETリクエスト・レジスタ (UF0SET)	00H
	UF0 EPステータスnレジスタ (UF0EPSn) (n = 0-2)	00H
	UF0 INTステータスnレジスタ (UF0ISn) (n = 0-4)	00H
	UF0 INTマスクnレジスタ (UF0IMn) (n = 0-4)	00H
	UF0 INTクリアnレジスタ (UF0ICn) (n = 0-4)	FFH
	UF0 FIFOクリアnレジスタ (UF0FICn) (n = 0, 1)	00H
	UF0 データ・エンド・レジスタ (UF0DEND)	00H
	UF0 GPRレジスタ (UF0GPR)	00H
	UF0 モード・コントロール・レジスタ (UF0MODC)	00H
	UF0 モード・ステータス・レジスタ (UF0MODS)	00H
	UF0 アクティブ・インタフェース・ナンバ・レジスタ (UF0AIFN)	00H
	UF0 アクティブ・オルタネイティブ・セッティング・レジスタ (UF0AAS)	00H
	UF0 エンドポイントnインタフェース・マッピング・レジスタ (UF0EnIM) (n = 1-4, 7, 8)	00H
	UF0 EP0リード・レジスタ (UF0E0R)	不定
	UF0 EP0レンジス・レジスタ (UF0E0L)	00H
	UF0 EP0セットアップ・レジスタ (UF0E0ST)	00H
	UF0 EP0ライト・レジスタ (UF0E0W)	00H
	UF0バルク・アウト1レジスタ (UF0BO1)	不定
	UF0バルク・アウト1レンジス・レジスタ (UF0BO1L)	00H
	UF0バルク・イン1レジスタ (UF0BI1)	00H
	UF0 デバイス・ステータス・レジスタ (UF0DSTL)	00H
	UF0 EPnステータス・レジスタL (UF0EnSL) (n = 0-4, 7, 8)	00H
	UF0 アドレス・レジスタ (UF0ADRS)	00H
	UF0 コンフィギュレーション・レジスタ (UF0CNF)	00H
	UF0 インタフェースnレジスタ (UF0IFn) (n = 0-4)	00H
	UF0 ディスクリプタ・レンジス・レジスタ (UF0DSCL)	00H
	UF0 デバイス・ディスクリプタ・レジスタ (UF0DDn) (n = 0-17)	不定
	UF0 コンフィギュレーション/インタフェース/エンドポイント・ディスクリプタ・レジスタ (UF0CIEEn) (n = 0-255)	不定
USBファンクション0バッファ・コントロール・レジスタ (UF0BC)	00H	

注 リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

表19-2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
シリアル・インタフェース IICA	IICAシフト・レジスタ (IICA)	00H
	IICAステータス・レジスタ (IICS)	00H
	IICAフラグ・レジスタ (IICF)	00H
	IICAコントロール・レジスタ0 (IICCTL0)	00H
	IICAコントロール・レジスタ1 (IICCTL1)	00H
	IICAロウ・レベル幅設定レジスタ (IICWL)	FFH
	IICAハイ・レベル幅設定レジスタ (IICWH)	FFH
	スレーブ・アドレス・レジスタ (SVA)	00H
乗除算器	乗除算データ・レジスタA (L) (MDAL)	0000H
	乗除算データ・レジスタA (H) (MDAH)	0000H
	乗除算データ・レジスタB (L) (MDBL)	0000H
	乗除算データ・レジスタB (H) (MDBH)	0000H
	乗除算データ・レジスタC (L) (MDCL)	0000H
	乗除算データ・レジスタC (H) (MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注3}
	低電圧検出レベル選択レジスタ (LVIS)	0EH ^{注2}
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウント・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1 ^{注4})	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1 ^{注4})	00H
10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

リセット要因		RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
RESF	TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
	WDRFビット			保持	セット (1)	保持	保持
	INIRFビット			保持	保持	セット (1)	保持
	LVIRFビット			保持	保持	保持	セット (1)
LVIS		クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	保持

3. リセット要因およびオプション・バイトの設定により異なります。

4. 78K0R/KE3-Lのみ。

19.1 リセット要因を確認するレジスタ

78K0R/KC3-L, KE3-Lは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

RESET入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、TRAP, WDRF, INIRF, LVIRFフラグはクリアされます。

図19-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00H^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDRF	0	0	INIRF	LVIRF
TRAP	不正命令の実行による内部リセット要求 ^{注2}							
0	内部リセット要求は発生していない、またはRESFをクリアした							
1	内部リセット要求は発生した							
WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFをクリアした							
1	内部リセット要求は発生した							
INIRF	リセット処理のチェック・エラーによる内部リセット要求							
0	内部リセット要求は発生していない、またはRESFをクリアした							
1	内部リセット要求は発生した							
LVIRF	低電圧検出 (LVI) 回路による内部リセット要求							
0	内部リセット要求は発生していない、またはRESFをクリアした							
1	内部リセット要求は発生した							

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. TRAP, WDRF, LVIRF以外のビットは不定となりますので、RESFレジスタの8ビット・データのリード値だけで判定しないでください。

3. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) , 電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。

リセット要求時のRESFの状態を表19-3に示します。

表19-3 リセット要求時のRESFの状態

リセット要因 レジスタ		RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
RESF	TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
	WDRFビット			保持	セット (1)	保持	保持
	INIRFビット			保持	保持	セット (1)	保持
	LVIRFビット			保持	保持	保持	セット (1)

第20章 パワーオン・クリア回路

20.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) が $1.61\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。

注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧(V_{DD})が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

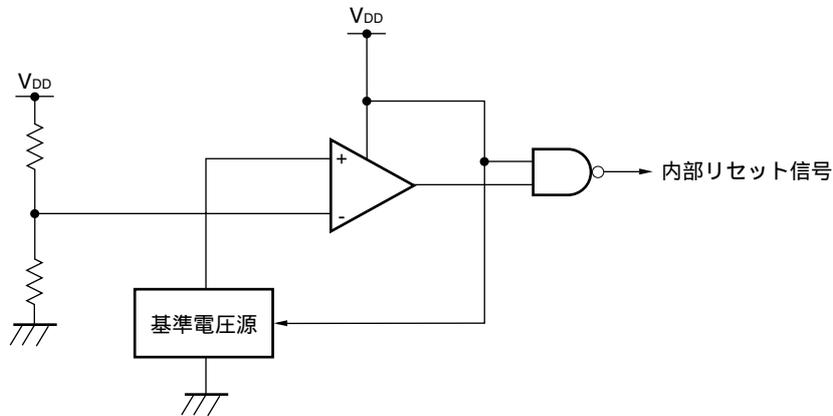
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のTRAP, WDRF, INIRF, LVIRFフラグがクリア (00H) されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令の実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVI / 不正命令のいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第19章 リセット機能**を参照してください。

20.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図20 - 1に示します。

図20 - 1 パワーオン・クリア回路のブロック図



20.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$) を越えたら、リセットを解除します。

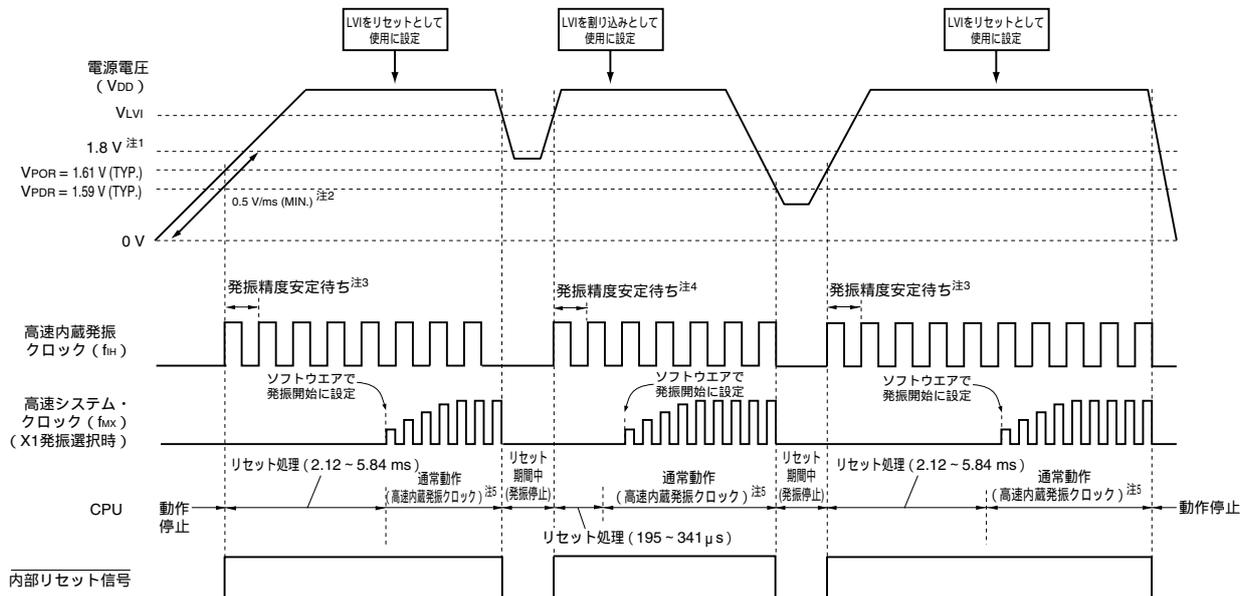
注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVIOFF = 1)



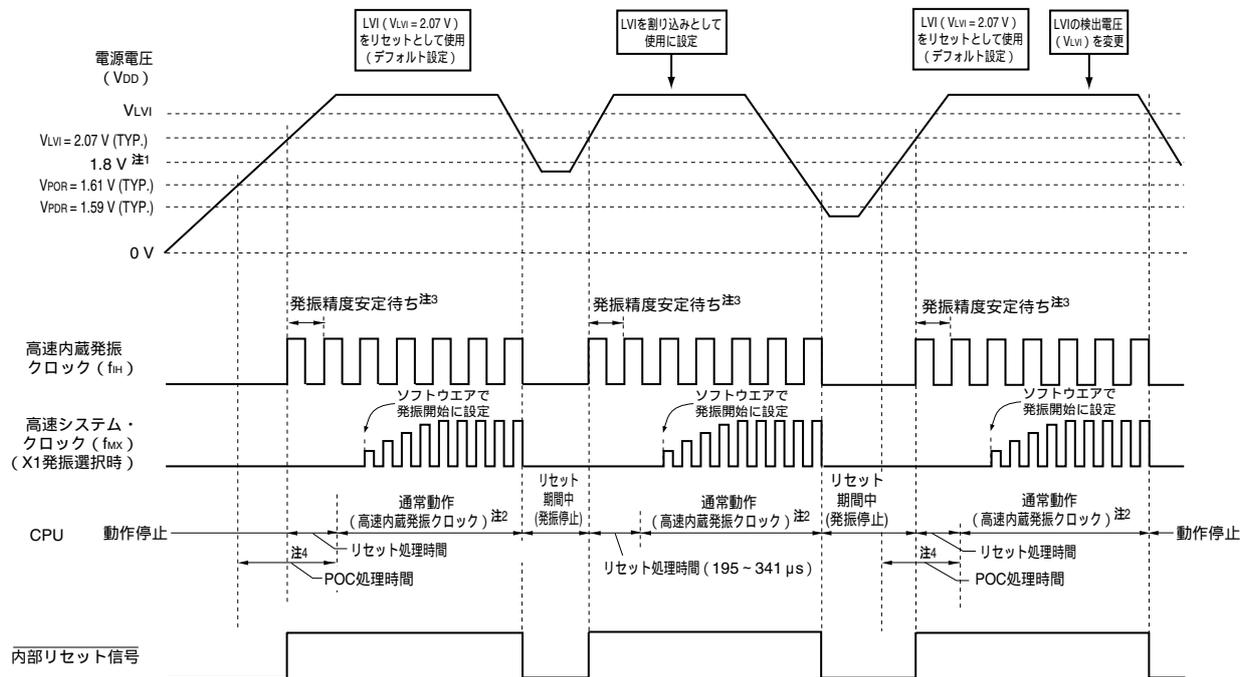
- 注1. 動作保証範囲は、1.8 V V_{DD} 3.6 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVIOFF = 0) に設定してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。
4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第21章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (2/2)

(2) 電源立ち上げ時のLVMIがONの場合 (オプション・バイト : LVIOFF = 0)



注1. 動作保証範囲は、1.8 V V_{DD} 3.6 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、または \overline{RESET} 端子にロウ・レベルを入力してください。

2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。

3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

4. POC検出電圧 (1.61 V (TYP.)) に達してから、通常動作を開始するまでには、次に示す時間が必要となります。

・ 1.61 V (TYP.) 2.07 V (TYP.) に到達する時間 < 5.8 msの場合

1.61 V (TYP.) 通常動作までに2.12 ~ 5.84 msのPOC処理時間がかかります。

・ 1.61 V (TYP.) 2.07 V (TYP.) に到達する時間 > 5.8 msの場合

2.07 V (TYP.) 通常動作までに195 ~ 341 μ sのリセット処理時間がかかります。

注意 低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください (第20章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧

V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

20.4 パワーオン・クリア回路の注意事項

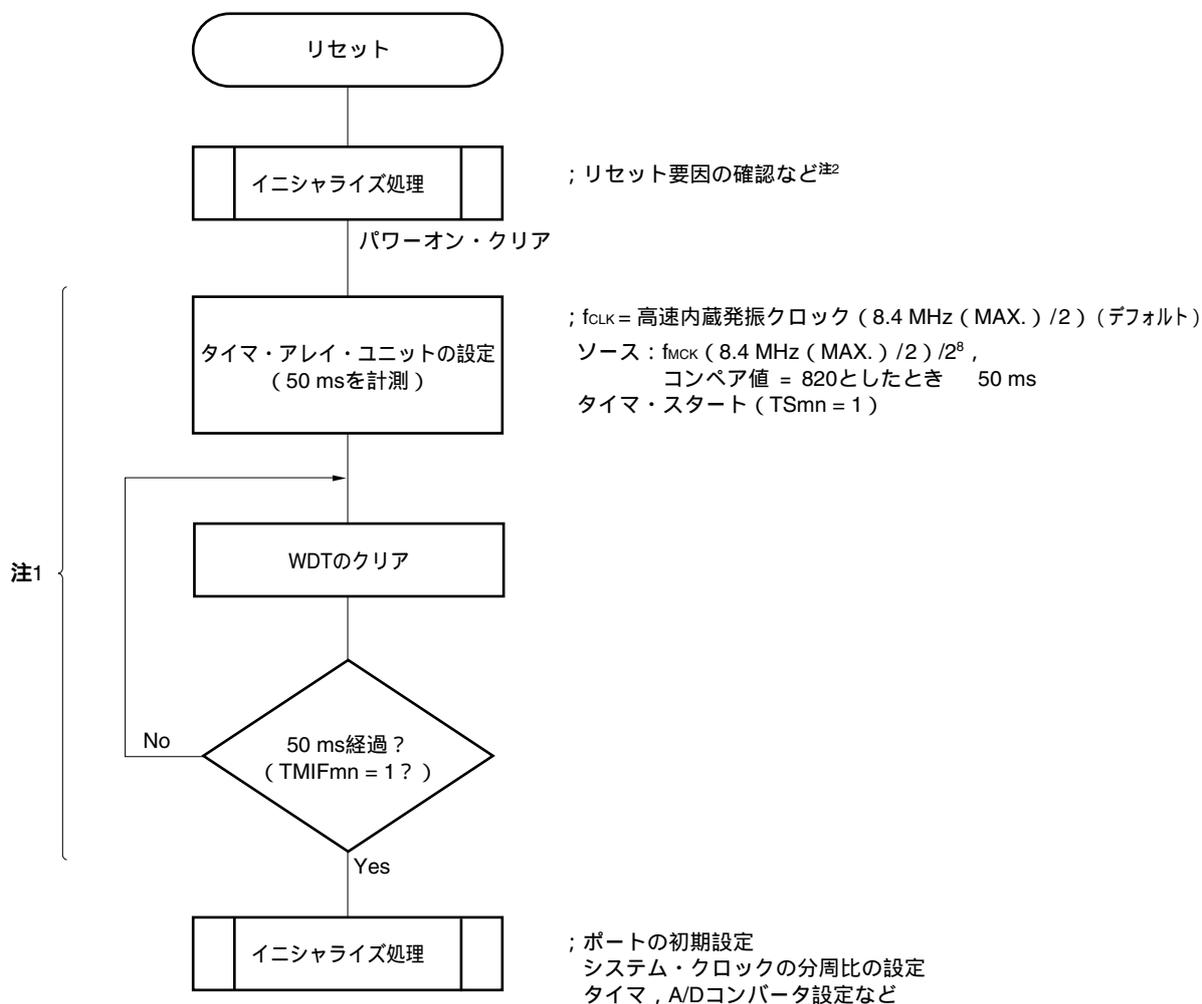
電源電圧 (V_{DD}) が POC 検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図 20 - 3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合



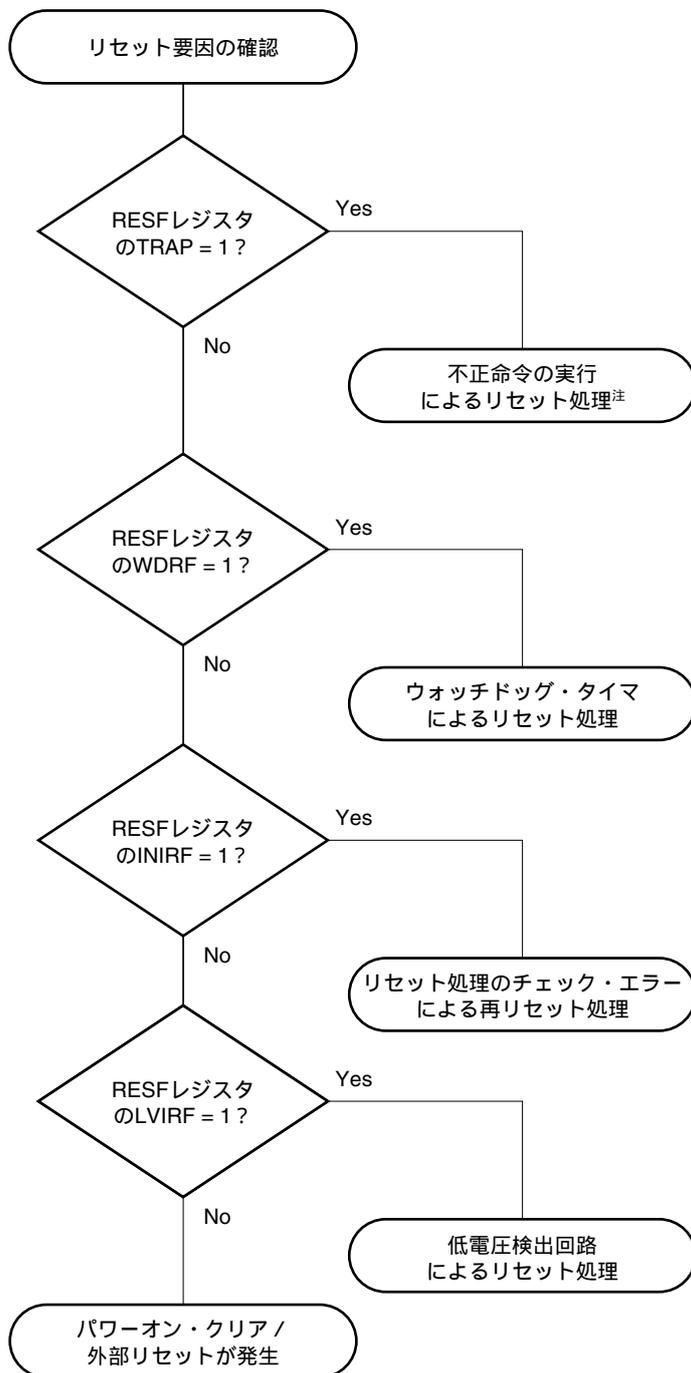
注1. この間に再度リセットが発生した場合、イニシャライズ処理には移行しません。

2. 次ページにフロー・チャートを示します。

備考 n = 0-7

図20 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第21章 低電圧検出回路

21.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。ONに設定し、POC 検出電圧 ($V_{POR} = 1.61 V (TYP.)$) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを11段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ (LVIM) のビット2

$LVIMD$: LVIMのビット1

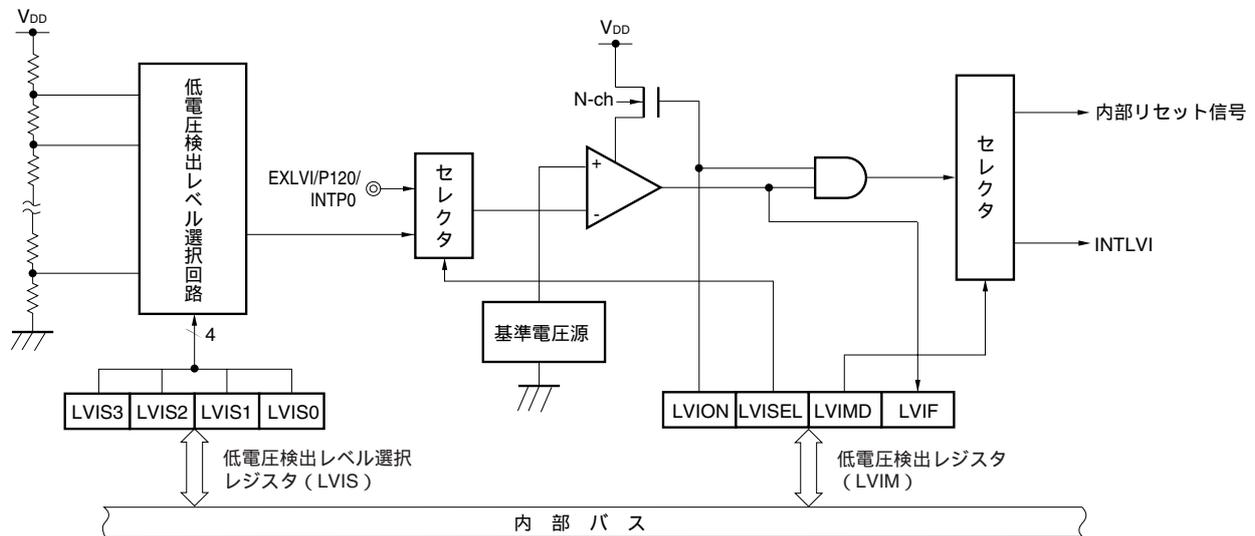
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 ($LVIRF$) がセット (1) されます。RESFについての詳細は、**第19章 リセット機能** を参照してください。

21.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図21 - 1に示します。

図21 - 1 低電圧検出回路のブロック図



21.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3, 4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V_{DD}) のレベルを検出
1	外部入力端子からの入力電圧 ($EXLVI$) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL = 0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時に $V_{DD} = V_{LVI}$ になったとき内部割り込み信号を発生 LVISEL = 1の場合, 電圧降下時に外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時に $EXLVI = V_{EXLVI}$ になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, $V_{DD} = V_{LVI}$時に内部リセット解除 LVISEL = 1の場合, 外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, $EXLVI = V_{EXLVI}$時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) = 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL = 1の場合, 外部入力端子からの入力電圧 ($EXLVI$) = 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL = 1の場合, 外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時は, クリア (00H) されません。

LVI以外のリセット時は, オプション・バイトLVIOFF = 0のときには, “82H” になり, オプション・バイトLVIOFF = 1のときには, “00H” にリセットされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに, 次の時間をソフトウェアでウェイトしてください。
 - 動作安定時間 (10 μ s (MAX.))
 - 最小パルス幅 (200 μ s (MIN.))
 この期間のLVIFの値は電圧レベルによらず, セット/クリアされる可能性があり使用できません。また, この期間は割り込み要求フラグのLVIFフラグがセット (1) される可能性もあります。

(注意は, 次ページにあります)

- 注意1. LVIを停止する場合は、必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIF = 1 となる場合があります。
4. LVIMレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0EHになります。

図21 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 0EH^注 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	1	0	1	V_{LV15} (3.45 ± 0.1 V)
0	1	1	0	V_{LV16} (3.30 ± 0.1 V)
0	1	1	1	V_{LV17} (3.15 ± 0.1 V)
1	0	0	0	V_{LV18} (2.99 ± 0.1 V)
1	0	0	1	V_{LV19} (2.84 ± 0.1 V)
1	0	1	0	V_{LV110} (2.68 ± 0.1 V)
1	0	1	1	V_{LV111} (2.53 ± 0.1 V)
1	1	0	0	V_{LV112} (2.38 ± 0.1 V)
1	1	0	1	V_{LV113} (2.22 ± 0.1 V)
1	1	1	0	V_{LV114} (2.07 ± 0.1 V)
1	1	1	1	V_{LV115} (1.91 ± 0.1 V)
上記以外				設定禁止

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH” にリセットされます。

注意1. ビット7-4には必ず“0”を設定してください。

注意2. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

・ LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVIの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

・ 割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVIの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。
4. LVISレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21-4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス：FFF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

21.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

備考 オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。

ONに設定し、POC検出電圧 ($V_{POR} = 1.61 V (TYP.)$) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット1
LVISEL : LVIMのビット2

21.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウエイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを, LVIMのビット0 (LVIF) で確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (レベル検出時リセット発生) を設定する

図21 - 5に, - と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

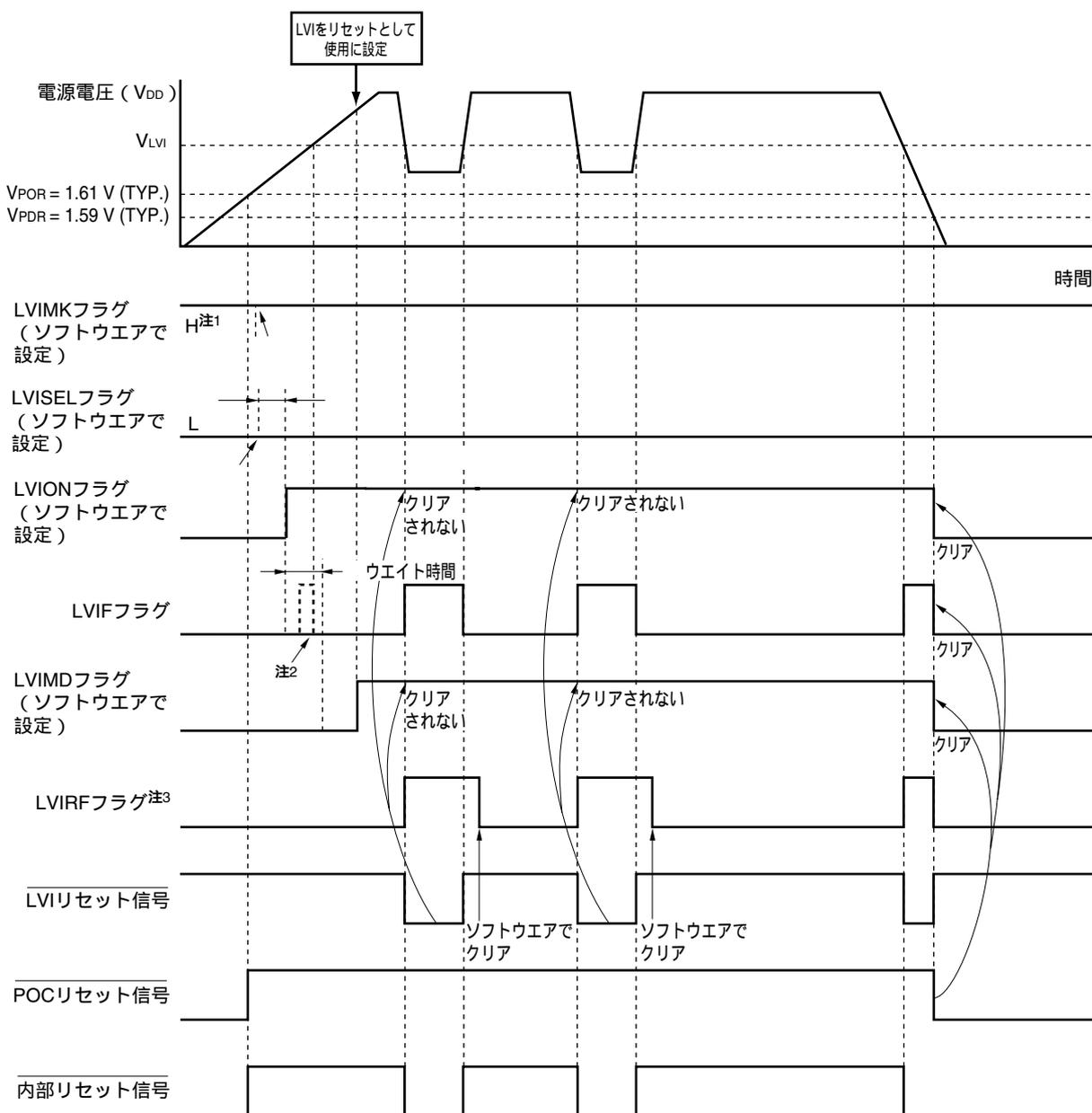
注意1. は必ず行ってください。LVIMK = 0になっている場合, の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

動作停止時

必ず1ビット・メモリ操作命令でLVIMDクリア (0) LVIONクリア (0) を実行してください。

図 21 - 5 内部リセット信号発生タイミング (ビット : LVISEL = 0 , オプション・バイト : LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが，セット（1）される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，**第18章 リセット機能**を参照してください。

- 備考1. 図21 - 5の ~ は, 21.4.1(1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) **動作開始時の** ~ と対応しています。
2. V_{POR} : POC電源立ち上がり検出電圧
V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態ですたートする。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

図21 - 6に、低電圧検出回路の内部リセット信号発生のタイミングを示します。

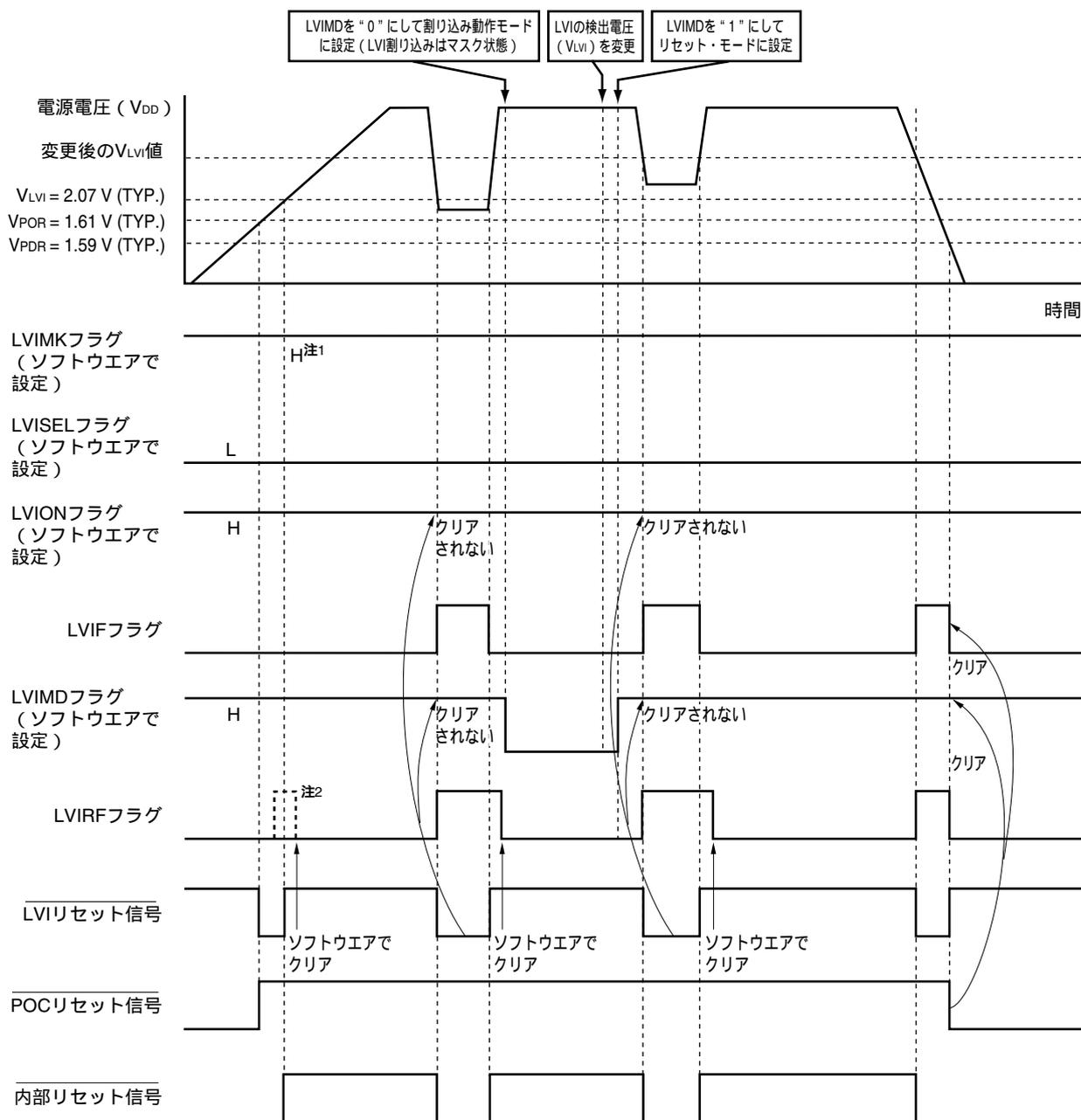
動作停止時

必ず1ビット・メモリ操作命令でLVIMDクリア (0) LVIONクリア (0) を実行してください。

注意 LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出ししない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図21 - 6 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第19章 リセット機能を参照してください。

備考 V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μ s)をウエイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

「外部入力端子からの入力電圧(EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であることを、LVIMのビット0(LVIF)で確認するまで待つ

LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

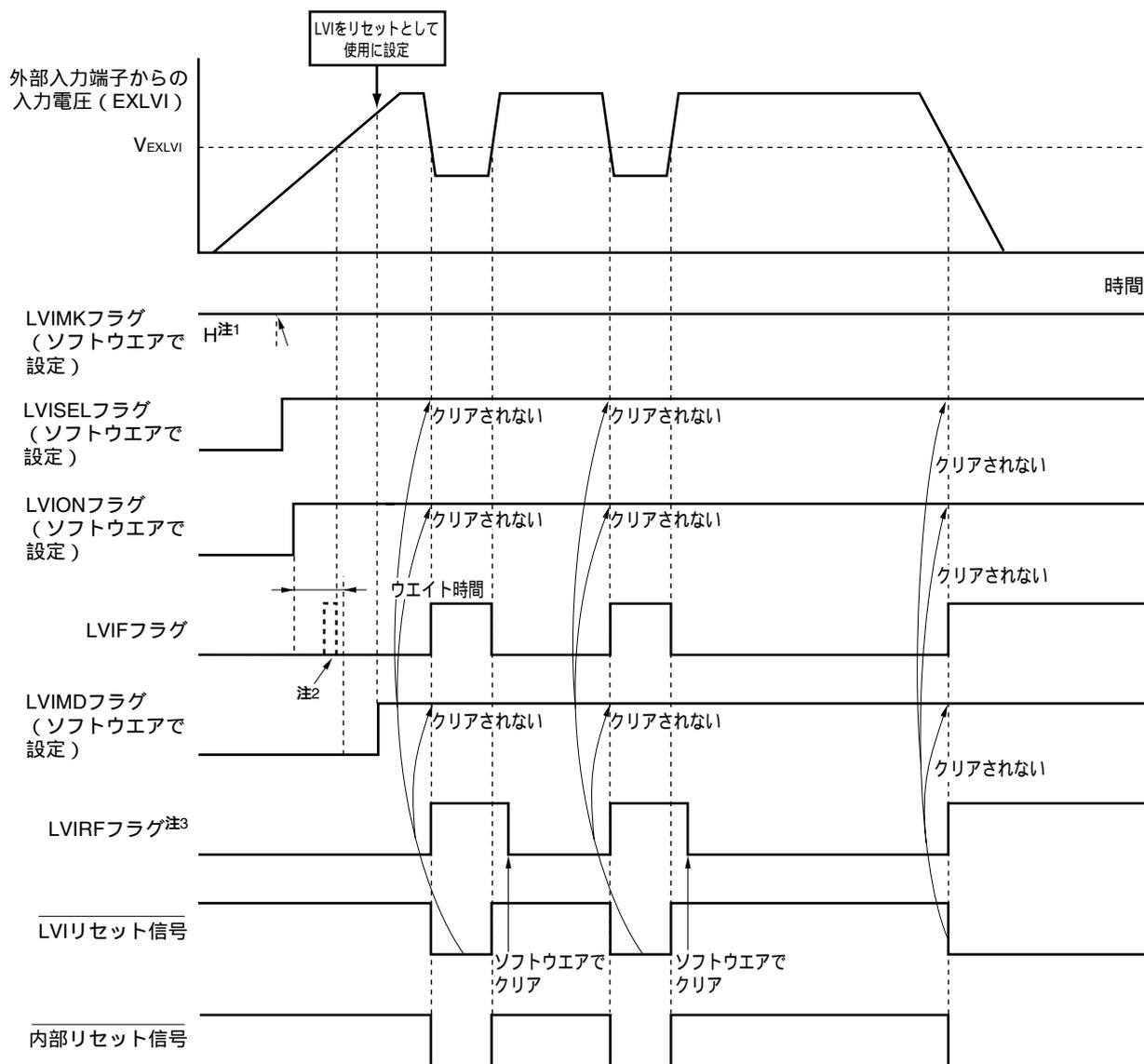
図21 - 7に、 - と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

- 注意1.** は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
 3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIMDクリア(0) LVIONクリア(0)を実行してください。

図21 - 7 内部リセット信号発生タイミング (ビット : LVISEL = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。
3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第19章 リセット機能を参照してください。

備考 図21 - 7の - は、21.4.1(2)外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の - と対応しています。

21.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μs) をウエイトする。

- ・動作安定時間 (10 μs (MAX.))
- ・最小パルス幅 (200 μs (MIN.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を、LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

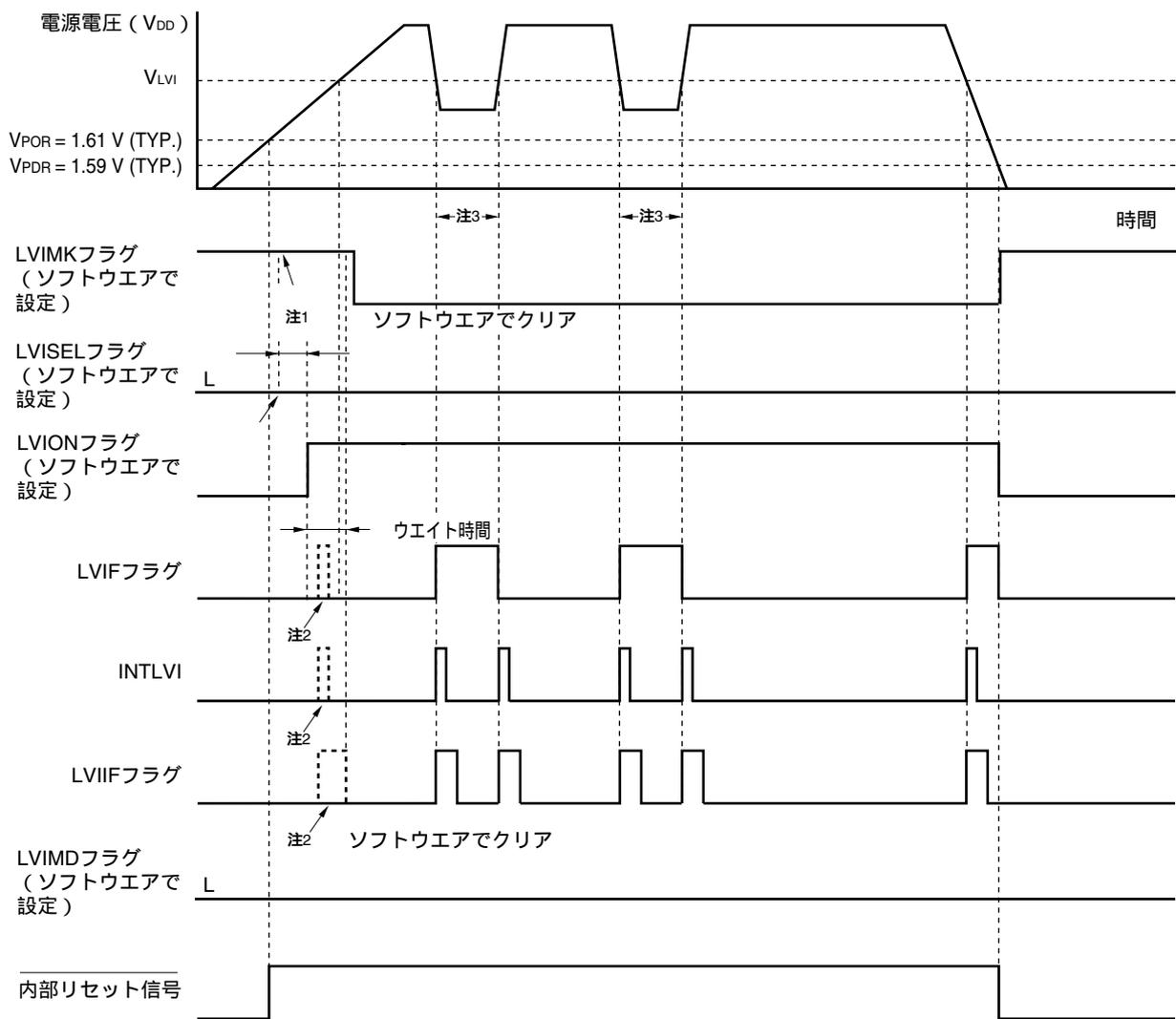
(ベクタ割り込みを使用する場合) EI命令を実行する

図21 - 8に、 - と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

図21 - 8 割り込み信号発生タイミング (ビット : LVISEL = 0 , オプション・バイト : LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

- 備考1. 図21 - 8の - は、21.4.2(1)(a)LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の - と対応しています。
2. V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態でスタートする。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (立ち下がりを検出する「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」状態からの立ち下がりを検出する)

LVIMのビット1 (LVIMD) に “ 0 ” (レベル検出時に割り込み発生) を設定する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図21 - 9に、 - と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

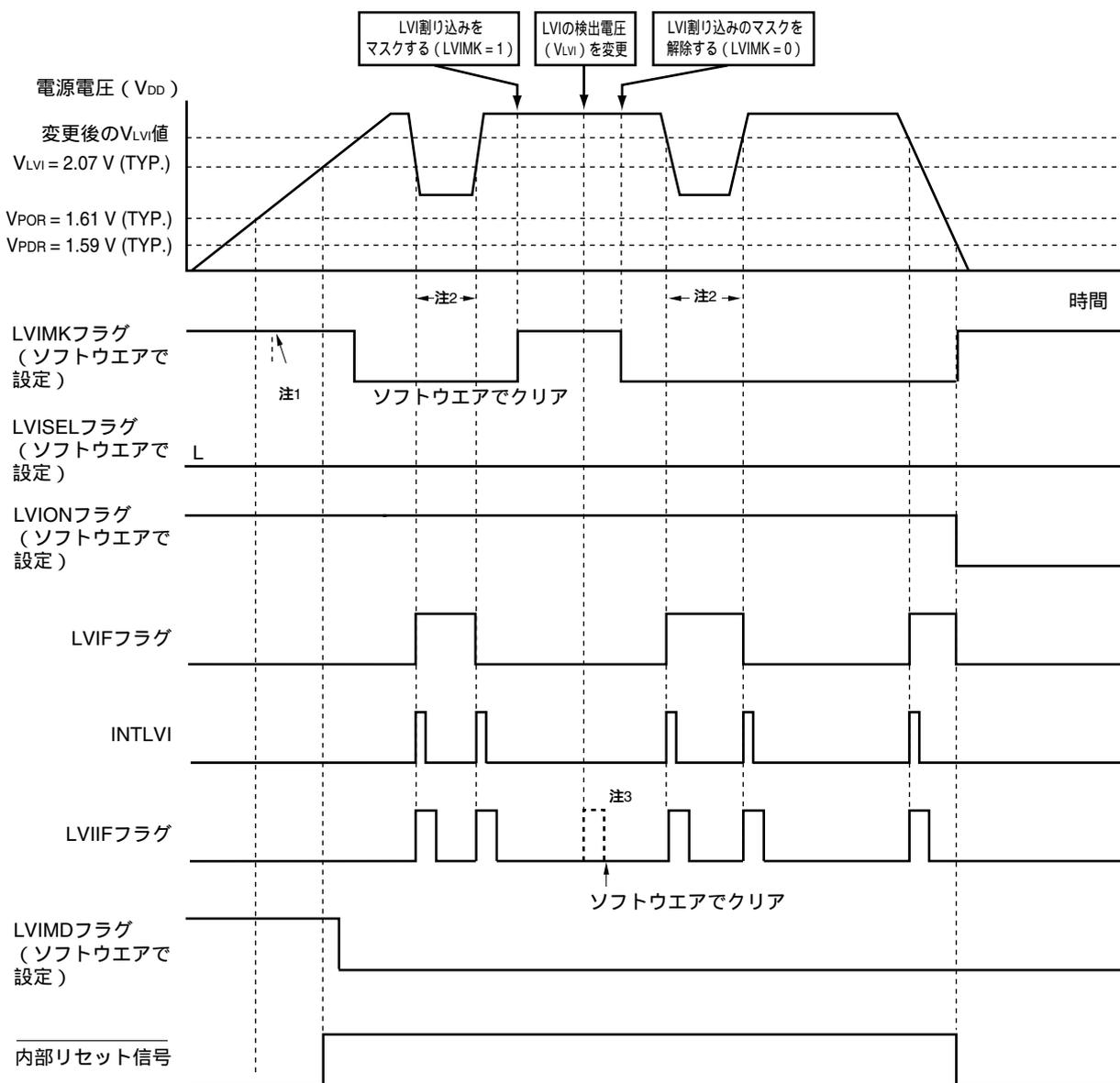
注意1. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第18章 リセット機能を参照してください。

図21 - 9 割り込み信号発生タイミング (ビット : LVISEL = 0, オプション・バイト : LVIOFF = 0)



- 注1. LVIMKフラグはリセット信号の発生により, “1” になっています。
2. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIF = 1となることがあります。
3. LVIの検出電圧変更時にLVIIFフラグがセットされることがあります。

- 備考1. 図21 - 9の - は, 21.4.2(1)(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0) 動作開始時の - と対応しています。
2. V_{POR}: POC電源立ち上がり検出電圧
V_{PDR}: POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合**動作開始時**

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット1(LVIMD)に“0”(レベル検出時に割り込み信号発生)を設定する(デフォルト値)

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μ s)をウェイトする。

・動作安定時間(10 μ s (MAX.))

・最小パルス幅(200 μ s (MIN.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」を, 立ち上がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) < 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」を, LVIMのビット0(LVIF)で確認する

LVIの割り込み要求フラグ(LVIIF)をクリア(0)する

LVIの割り込みマスク・フラグ(LVIMK)を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

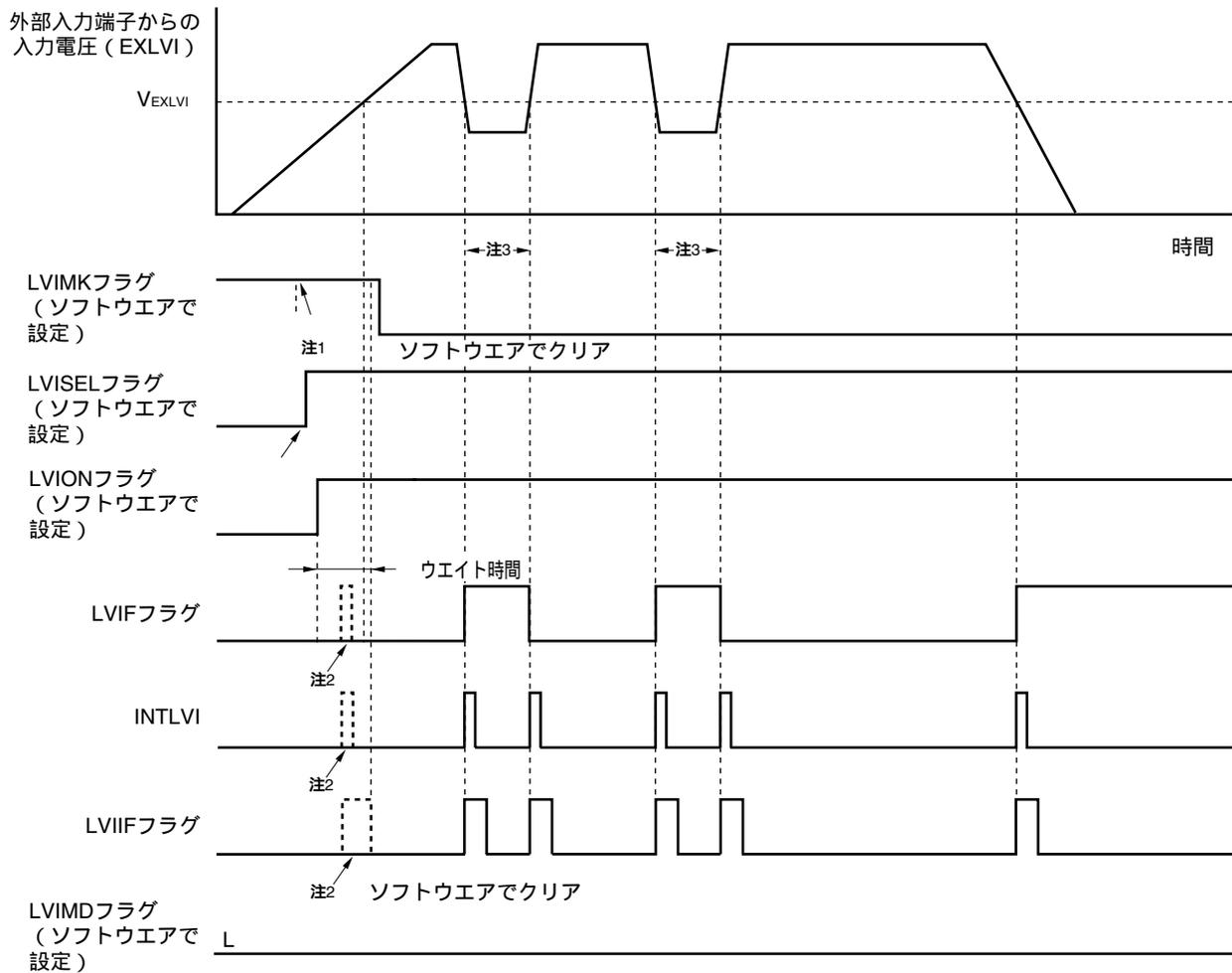
図21 - 10に, - と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧 (EXLVI) は, $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。

図21 - 10 割り込み信号発生時のタイミング (ビット : LVISEL = 1)



- 注1. LVIMKフラグはリセット信号の発生により，“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し，LVIFフラグ，LVIIIFフラグがセット (1) される可能性があります。
3. 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLVI動作禁止 (LVIONをクリア) とすると，割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考 図21 - 10の ~ は，21. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

21.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

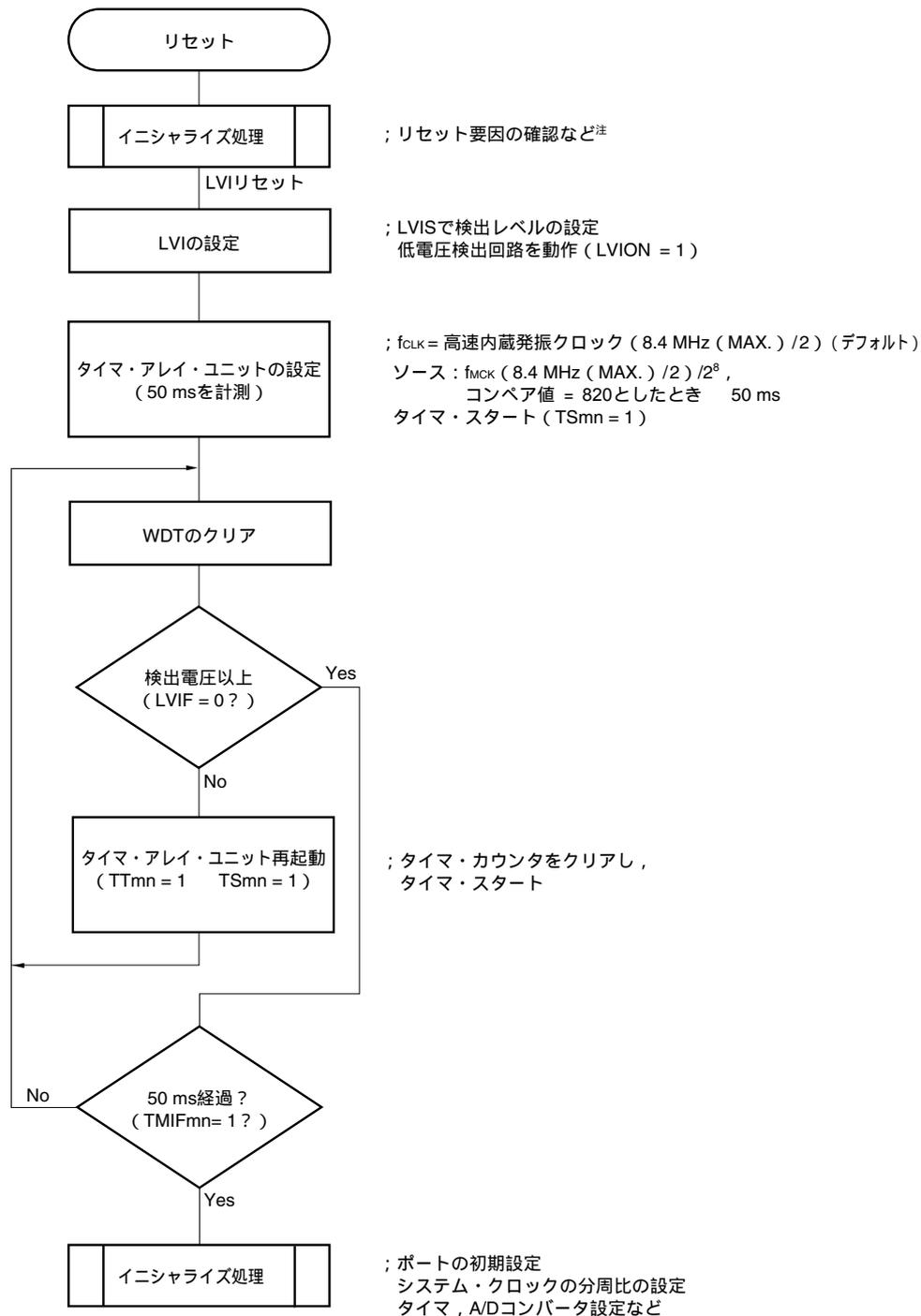
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください (図 21 - 11 を参照)。

備考 低電圧検出レジスタ (LVIM) のビット 2 (LVISEL) に “ 1 ” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (V_{EXLVI})
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図21 - 11 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

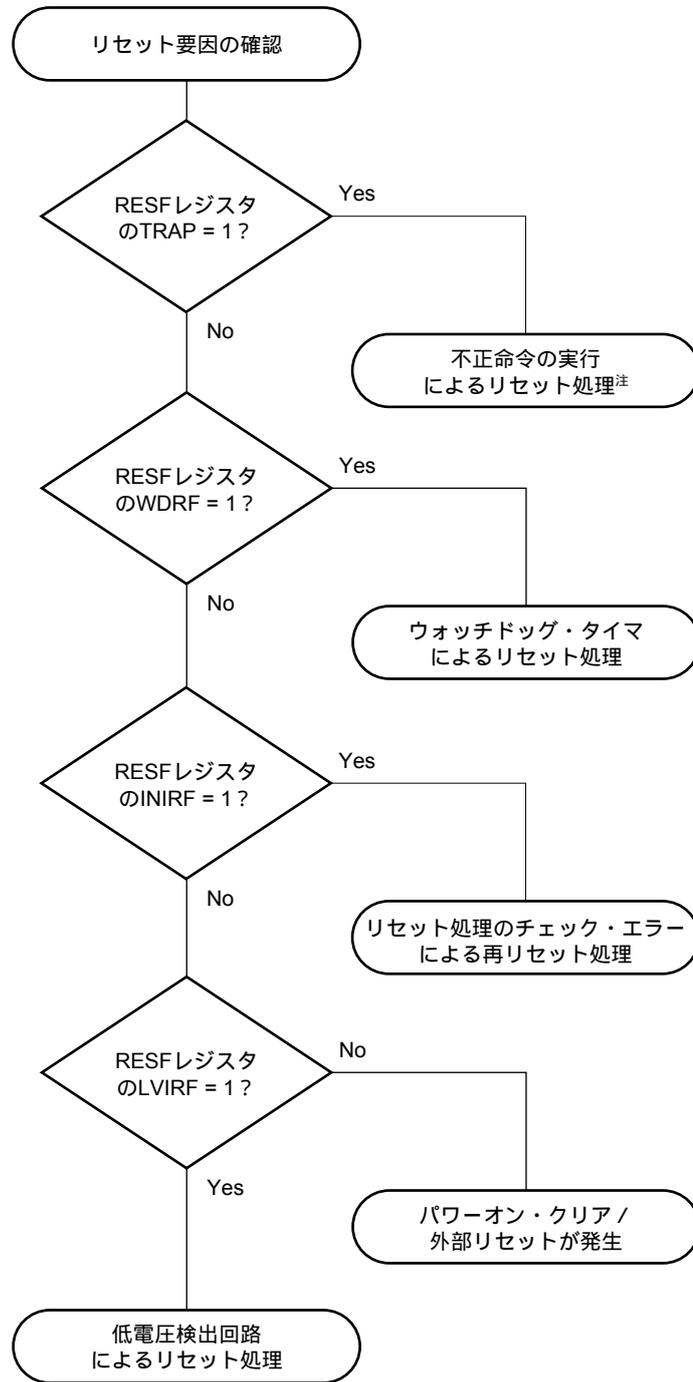
備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は, 上記の語句を次のように読み替えてください。

- ・ 電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・ 検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

2. m = 0, 1, n = 0-7, mn = 00-07, 10-13

図21 - 11 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。
次の処置を行うようにしてください。

< 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとにこれらの処置を行ってください。

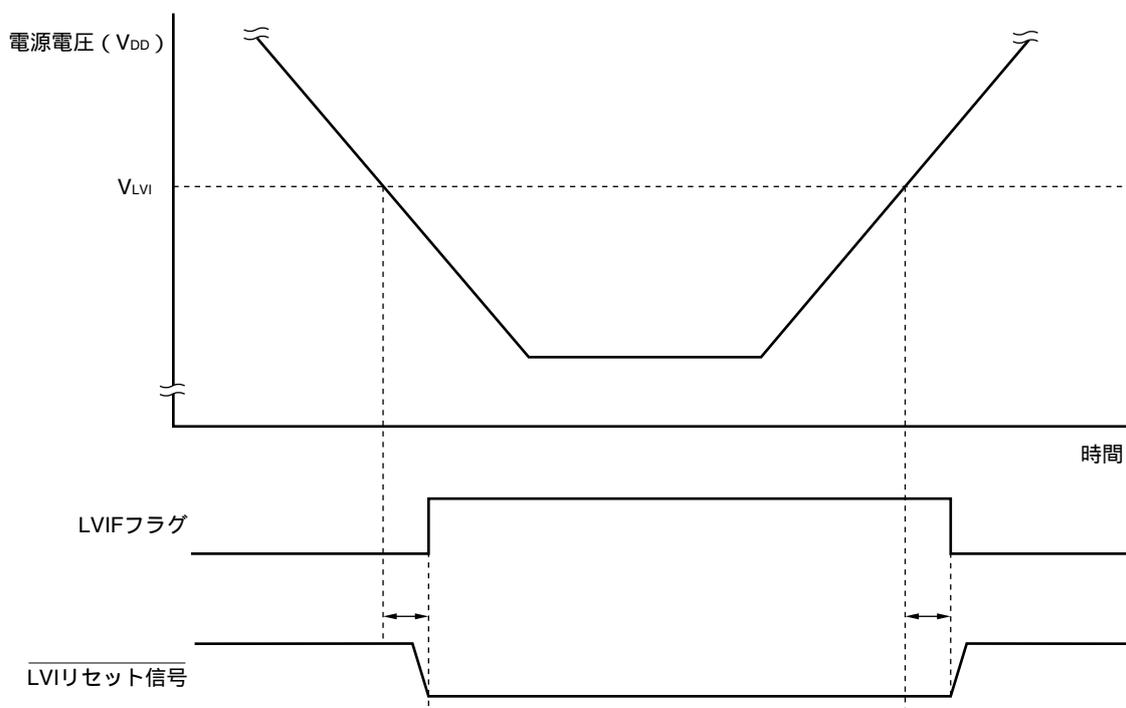
備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (V_{EXLVI})
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。同じようにLVI検出電圧 (V_{LVI}) 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図21 - 12参照)。

図21 - 12 LVIリセット要因発生からLVIリセット発生または解除までの遅延



: 最小パルス幅 (200 μs (MIN.))

第22章 レギュレータ

22.1 レギュレータの概要

78K0R/KC3-L, KE3-Lは、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.4 V (TYP.)、低消費電流モードでは1.8 V (TYP.)です。

22.2 レギュレータを制御するレジスタ

(1) レギュレータ・モード制御レジスタ (RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22 - 1 レギュレータ・モード制御レジスタ (RMC) のフォーマット

アドレス : F00F4H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
5AH	低消費電流モード (1.8 V) 固定
00H	条件によって通常電流モード (2.4 V) と低消費電流モード (1.8 V) を切り替える (表21 - 1参照)
上記以外	設定禁止

注意1. 低消費電流モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックにX1クロック選択時>

f_x 5 MHzかつf_{CLK} 1 MHz

<CPUクロックに高速内蔵発振クロック, 外部入力クロック, サブシステム・クロック選択時>

f_{CLK} 1 MHz

(注意は次ページに続きます。)

注意2. RMCレジスタの変更後に動作スピード・モード制御レジスタ (OSMC) を変更する場合は、ウエイトが必要です。次に示す手順のとおり、低消費電流モードにする場合は3.5 ms、通常電流モードにする場合は10 μ sの時間をソフトウェアでウエイトしてください。

・低消費電流モードにする場合

f_{CLK}に1 MHzの周波数を選択

RMC 5AH (レギュレータを低消費電流モードにする)

2 msの時間ウエイト

OSMCのFLPC 1, FSEL 0

・通常電流モードにする場合

RMC 00H (レギュレータを通常電流モードにする)

10 μ sの時間ウエイト

OSMCのFLPC, FSELを変更

f_{CLK}の周波数を変更

表22 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
低消費電流モード	1.8 V	STOPモード時 (OCDモード中は除く)
		サブシステム・クロック (f _{XT}) でCPU動作中で、高速システム・クロック (f _{MX}) と高速内蔵発振クロック (f _{IH}) と20 MHz高速内蔵発振クロック (f _{IH20}) が共に停止
		サブシステム・クロック (f _{XT}) でCPU動作設定時のHALTモード中で、高速システム・クロック (f _{MX}) と高速内蔵発振クロック (f _{IH}) と20 MHz高速内蔵発振クロック (f _{IH20}) が共に停止
通常電流モード	2.4 V	上記以外

第23章 オプション・バイト

23.1 オプション・バイトの機能

78K0R/KC3-L, KE3-Lのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 000C2H (ブート・スワップ使用時は000C2H/010C2H) には、必ずFFHを設定してください。

23.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

リセット解除時 (電源立ち上げ時) のLVIの設定

- ・リセット解除時 (LVIを除くRESET端子, POC, WDT, 不正命令によるリセット), LVIがデフォルトでON / OFF

高速内蔵発振回路の周波数の設定

- ・1 MHz, 8 MHz, 20 MHzから選択

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

23.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止/許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する/消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

23.2 ユーザ・オプション・バイトのフォーマット

図23 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 34.5 \text{ kHz (MAX.)}$ の場合)				
0	0	0	$2^7/f_{IL}$ (3.71 ms)				
0	0	1	$2^8/f_{IL}$ (7.42 ms)				
0	1	0	$2^9/f_{IL}$ (14.84 ms)				
0	1	1	$2^{10}/f_{IL}$ (29.68 ms)				
1	0	0	$2^{12}/f_{IL}$ (118.72 ms)				
1	0	1	$2^{14}/f_{IL}$ (474.90 ms)				
1	1	0	$2^{15}/f_{IL}$ (949.80 ms)				
1	1	1	$2^{17}/f_{IL}$ (3799.19 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウインドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

備考 f_{IL} : 低速内蔵発振クロック周波数

図23 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット

アドレス : 000C1H/010C1H^{注1}

7	6	5	4	3	2	1	0
1	1	1	1	1	FRQSEL2	FRQSEL1	LVIOFF

FRQSEL2	FRQSEL1	高速内蔵発振回路の周波数
0	1	8 MHz/20 MHz ^{注2}
1	0	1 MHz ^{注3}
上記以外		設定禁止

LVIOFF	電源立ち上げ時のLVIの設定
0	リセット解除時（電源立ち上げ時），LVIがデフォルトでON（LVIデフォルト・スタート機能動作）
1	リセット解除時（電源立ち上げ時），LVIがデフォルトでOFF（LVIデフォルト・スタート機能停止）

注1. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

2. 8 MHz/20 MHzを選択した場合、リセット解除後は8 MHzの高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は、その後、V_{DD} 2.7 Vで20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。マイコン動作中に1 MHz高速内蔵発振回路に変更することはできません。

3. 1 MHzを選択した場合、リセット解除後は1 MHz高速内蔵発振回路で動作します。

マイコン動作中に8 MHz高速内蔵発振回路、20 MHz高速内蔵発振回路に変更することはできません。

注意1. ビット7-3には、必ず1を書き込んでください。

2. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止（LVIMレジスタのビット7（LVION）= 0）に設定した場合には、次の動作となります。

- LVION = 0の期間は低電圧検出しない。

- LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。

これはLVIが検出するパルス幅が最大200 μ s必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図23 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C2Hは予約領域なので、必ずFFHを設定してください。またブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

23.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図23-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

23.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R **アセンブラ・パッケージ ユーザーズ・マニュアル**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB	0FFH	; 予約領域
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB		0FFH	; 予約領域
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第24章 フラッシュ・メモリ

78K0R/KC3-L, KE3-Lは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

24.1 フラッシュ・メモリ・プログラマによる書き込み方法

78K0R/KC3-L, 78K0R/KE3-Lの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP5, FL-PR5
- ・ QB-MINI2

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0R/KC3-L, KE3-Lを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0R/KC3-L, KE3-Lを実装する前に専用プログラム・アダプタ(FAシリーズ)などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

表24 - 1 78K0R/KC3-L, KE3-Lと専用フラッシュ・メモリ・プログラムの配線表

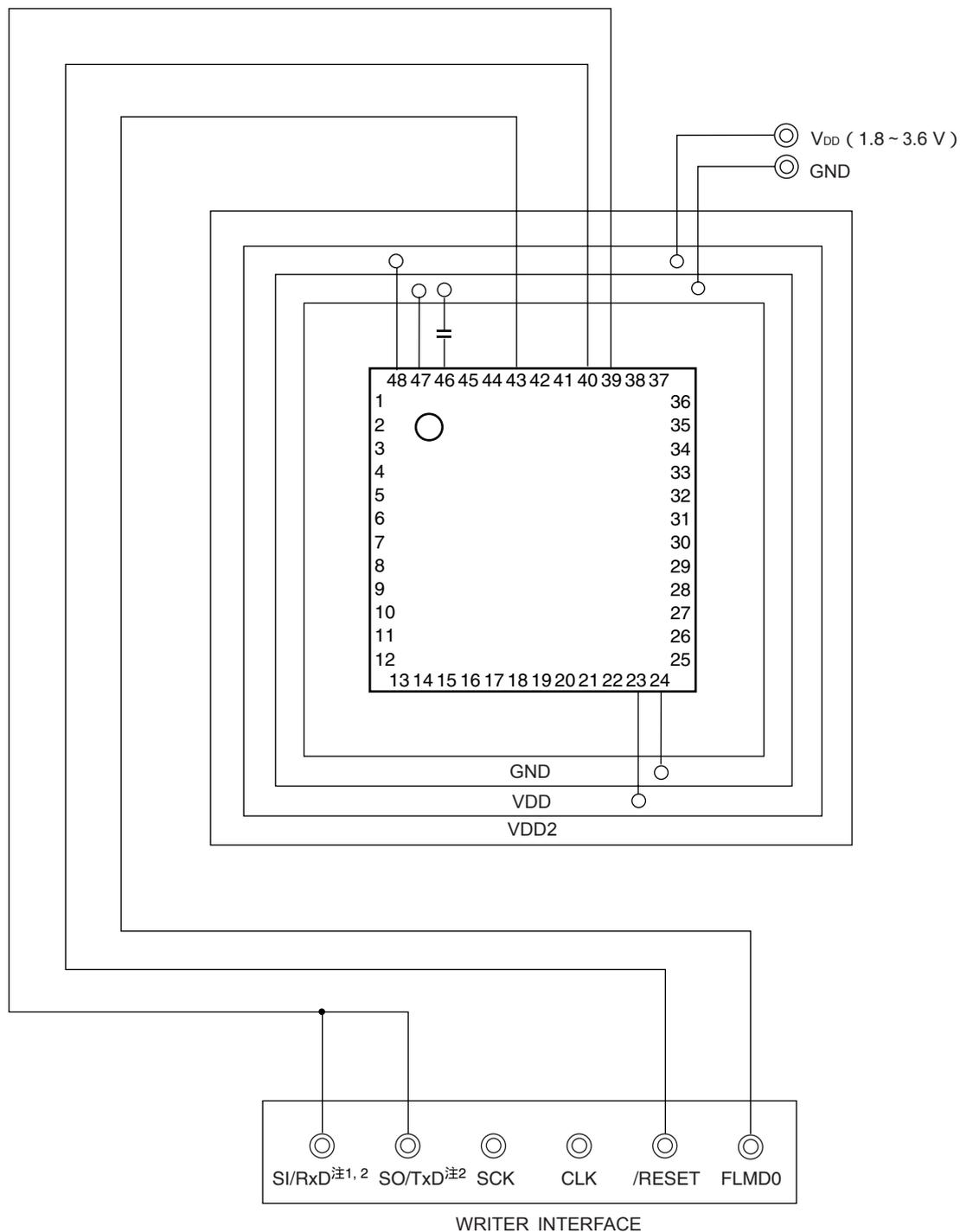
専用フラッシュ・メモリ・ プログラマ接続端子			端子名	ピン番号	
信号名	入出力	端子機能		KC3-L 48ピン	KE3-L 64ピン
			TQFP (7x7)	LQFP (10x10), TQFP (7x7) FBGA (5x5)	
SI/RxD 注1, 2	入力	受信信号	TOOL0/P40	39	5
SO/TxD 注2	出力	送信信号			
SCK	出力	転送クロック	-	-	-
CLK	出力	クロック出力	-	-	-
/RESET	出力	リセット信号	RESET	40	6
FLMD0	出力	モード信号	FLMD0	43	9
V _{DD}	入出力	V _{DD} 電圧生成/ 電源監視	V _{DD}	48	15
			EV _{DD}		16
			AV _{REF}	23	47
GND	-	グラウンド	V _{SS}	47	13
			EV _{SS}		14
			AV _{SS}	24	48

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

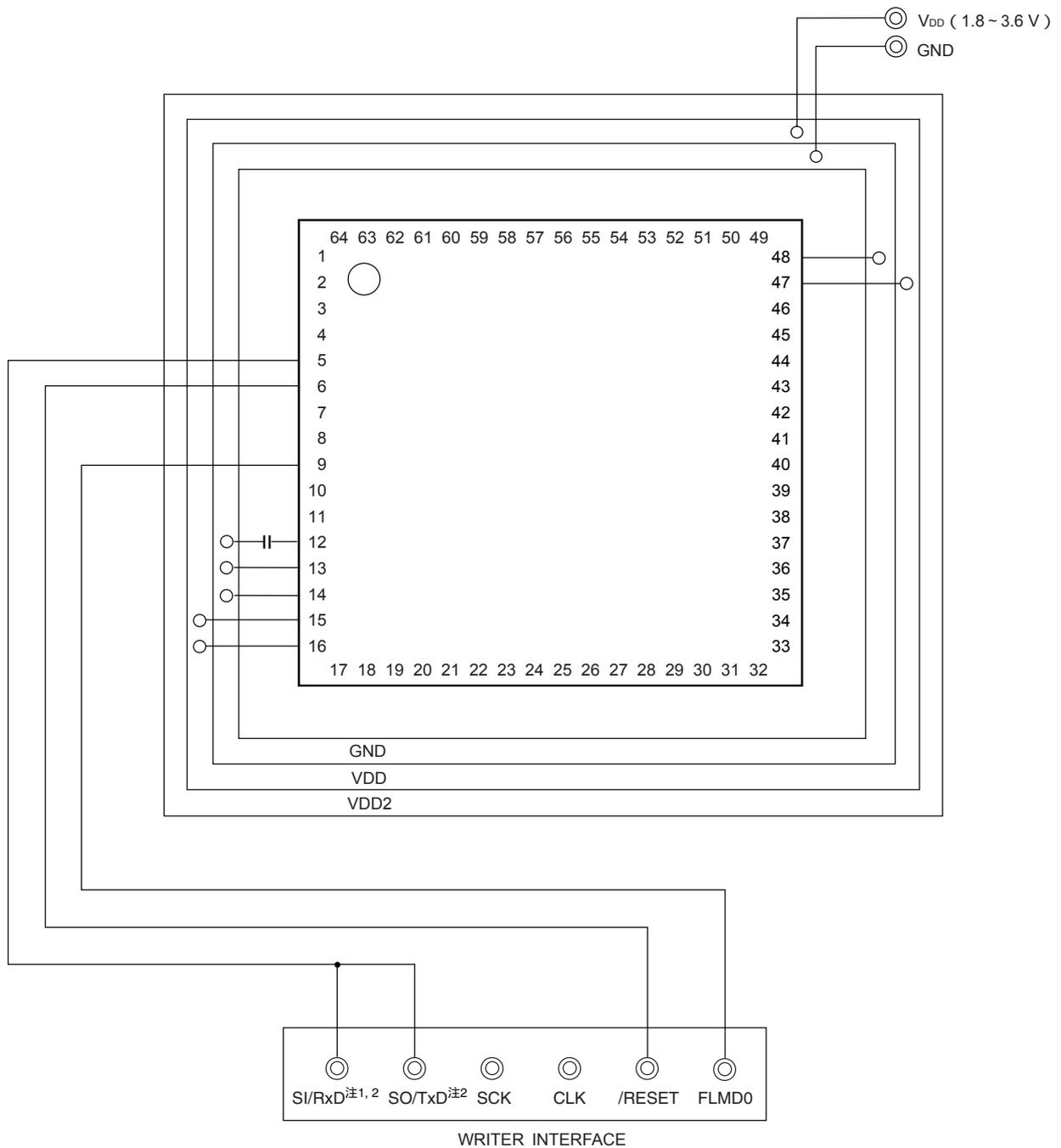
図24 - 1 フラッシュ書き込み用アダプタ配線例 (78K0R/KC3-Lの48ピン製品)



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

図24 - 2 フラッシュ書き込み用アダプタ配線例 (78K0R/KE3-Lの64ピン製品)



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

24.2 プログラミング環境

78K0R/KC3-L, KE3-Lのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24 - 3 フラッシュ・メモリにプログラムを書き込むための環境



備考 FL-PR5は、(株)内藤電誠町田製作所の製品です。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

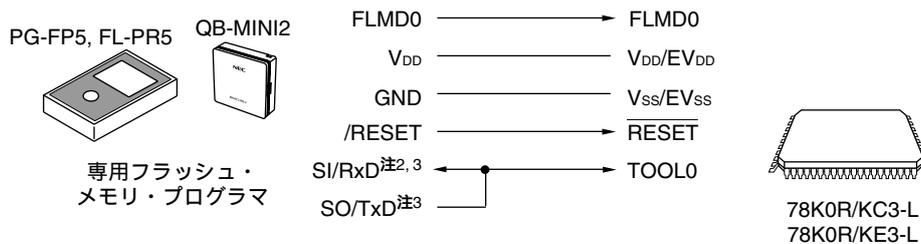
また、専用フラッシュ・メモリ・プログラマと78K0R/KC3-L, KE3-LとのインタフェースはTOOL0端子を使用し、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

24.3 通信方式

専用フラッシュ・メモリ・プログラマと78K0R/KC3-L, KE3-Lとの通信は, 78K0R/KC3-L, KE3-LのTOOL0端子を使用して, 専用の単線UARTによるシリアル通信で行います。

転送レート : 115200 bps, 250000 bps, 500000 bps, 1 Mbps^{注1}

図24 - 4 専用フラッシュ・メモリ・プログラマとの通信



- 注1. 1 Mbpsを使用する場合は, ワイド・ボルテージ・モードを使用しないでください。
 2. PG-FP5, FL-PR5使用時は, 接続の必要はありません。
 3. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

専用フラッシュ・メモリ・プログラマは, 78K0R/KC3-L, KE3-Lに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはMINICUBE2のマニュアルを参照してください。

表24 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0R/KC3-L, KE3-L	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD} , AV _{REF}	
GND	-	グラウンド	V _{SS} , EV _{SS} , AV _{SS}	
CLK	出力	クロック出力	-	x
/RESET	出力	リセット信号	RESET	
SI/RxD ^{注1, 2}	入力	受信信号	TOOL0	
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	-	x

- 注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。
 2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

備考 : 必ず接続してください。
 x : 接続の必要はありません。

24.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

24.4.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (24.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 k Ω 以下の抵抗でプルダウンしてください。

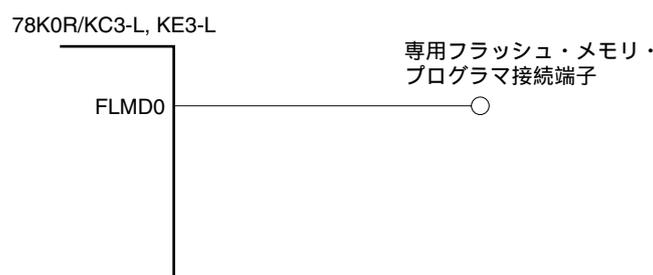
また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図24 - 5 FLMD0端子の接続例



24.4.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD}に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してEV_{DD}に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください（プルダウン禁止）。

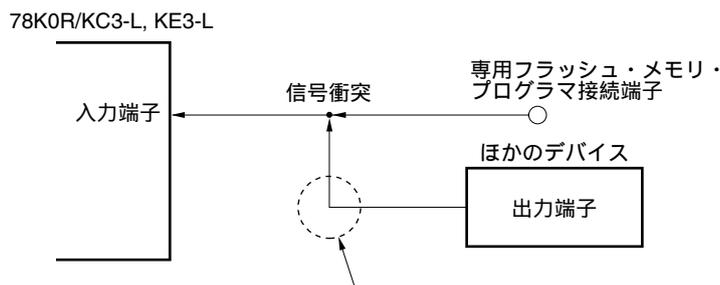
備考 78K0R/KC3-L, KE3-Lと専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUやIICAの端子は使用しません。

24.4.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図24 - 6 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

24.4.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

24.4.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μ F) を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

24.4.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

24.4.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

その他の電源 (EV_{DD} , EV_{SS} , AV_{REF} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

QB-MINI2使用時は電源供給スイッチを3またはTに設定してご使用ください。

24.5 フラッシュ・メモリを制御するレジスタ

(1) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24-7 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

アドレス : FFFBEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0

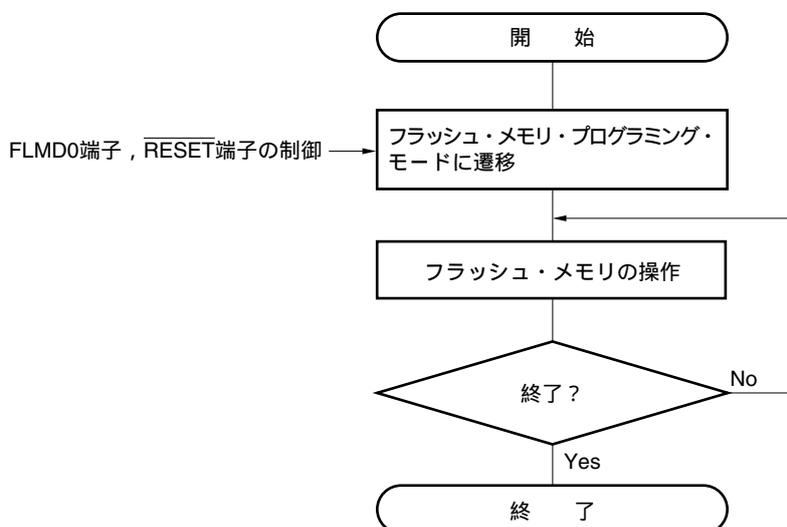
FLMDPUP	FLMD0端子のソフトウェア制御
0	プルダウン選択
1	プルアップ選択

24.6 プログラミング方法

24.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図24-8 フラッシュ・メモリの操作手順



24. 6. 2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0R/KC3-L, KE3-Lをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

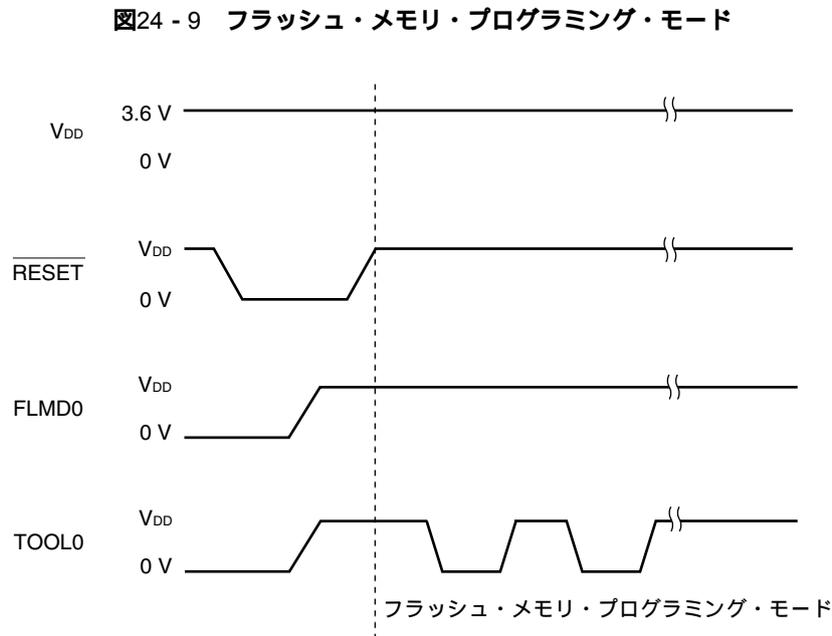


表24 - 3 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

また、フラッシュ・メモリ・プログラミング・モードには、書き込み/消去/ベリファイの実行可能電圧範囲の異なる次の2つのモードがあります。

表24 - 4 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

モード	書き込み/消去/ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	1.8 V ~ 3.6 V	4 MHz (MAX.)
フルスピード・モード	2.7 V ~ 3.6 V	20 MHz (MAX.)

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。ワイド・ボルテージ・モード、フルスピード・モードを設定する場合は、専用フラッシュ・メモリ・プログラマのGUI上で設定してください。

注意 ワイド・ボルテージ・モードで消去を行った場合は、その後ワイド・ボルテージ・モードでしか、書き込み、ベリファイを行うことはできません。ただし、ワイド・ボルテージ・モードで消去した領域をフルスピード・モードで再度消去することにより、フルスピード・モードで書き込み/ベリファイを行うことができます。

備考 通信コマンドの詳細は、24. 6. 4 通信コマンドを参照してください。

24.6.3 通信方式

78K0R/KC3-L, KE3-Lの通信方式は、次のようになります。

表24 - 5 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
1線モード (単線UART)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps ^{注3}	-	-	TOOL0

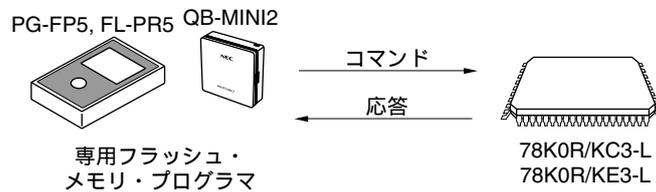
注1. フラッシュ・メモリ・プログラムのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
3. 1 Mbpsを使用する場合は、ワイド・ボルテージ・モードを使用しないでください。

24.6.4 通信コマンド

78K0R/KC3-L, KE3-Lと専用フラッシュ・メモリ・プログラムは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラムから78K0R/KC3-L, KE3-Lへ送られる信号を「コマンド」と呼び、78K0R/KC3-L, KE3-Lから専用フラッシュ・メモリ・プログラムへ送られる信号を「応答」と呼びます。

図24 - 10 通信コマンド



78K0R/KC3-L, KE3-Lのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラムから発行され、78K0R/KC3-L, KE3-Lがコマンドに対応した各処理を行います。

表24 - 6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0R/KC3-L, KE3-L情報（品名，フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0R/KC3-L, KE3-Lファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また，78K0R/KC3-L, KE3-Lは，専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して，応答を返します。78K0R/KC3-L, KE3-Lが送出する応答名称を次に示します。

表24 - 7 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

24.7 セキュリティ設定

78K0R/KC3-L, KE3-Lは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0R/KC3-L, KE3-Lのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24-7に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は24.8.2を参照）。

表24 - 8 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は24.8.2を参照)。

表24 - 9 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラムのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

24.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0R/KC3-L, KE3-Lは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0R/KC3-L, KE3-Lセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

- 注意1.** CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
2. セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ (FlashStart) を呼び出してください。
 3. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
 4. セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止 (DENn = 0) してください。
- 備考1.** セルフ・プログラミング機能の詳細および78K0R/KC3-L, KE3-Lセルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ **セルフ・プログラミング・ライブラリ Type02 ユーザーズ・マニュアル (U19193J)** を参照してください。
2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラマによる書き込み時同様、書き込み/消去/ベリファイ実行可能電圧範囲の異なる次の2つのモードがあります。

表24 - 11 プログラミング・モードと書き込み/消去/ベリファイ実行可能電圧

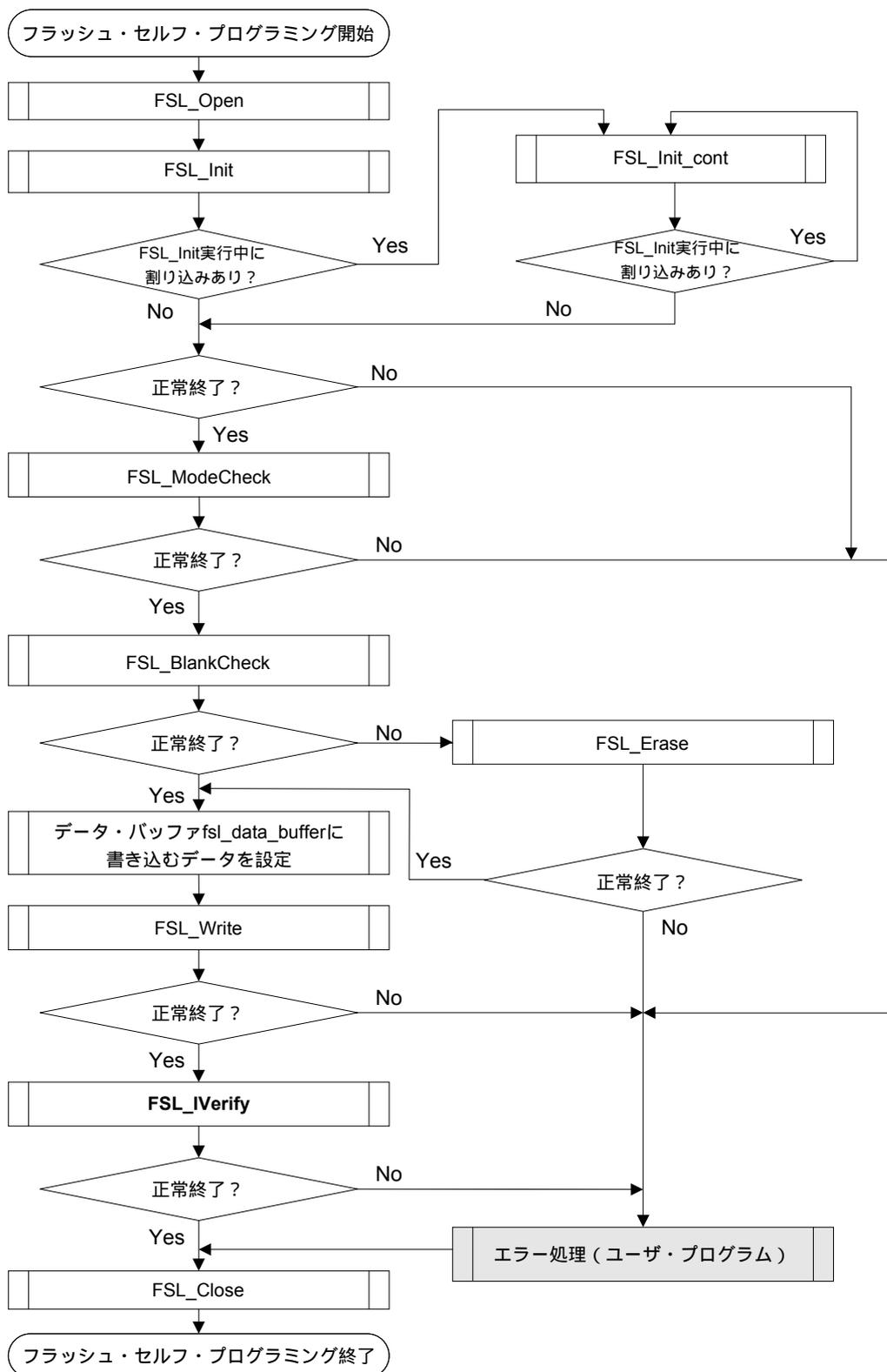
モード	書き込み/消去/ベリファイ実行可能電圧	書き込み周波数
ワイド・ボルテージ・モード	1.8 V ~ 3.6 V	4 MHz (MAX.)
フルスピード・モード	2.7 V ~ 3.6 V	20 MHz (MAX.)

書き込みを行う電圧範囲に合わせて、いずれかのモードを設定してください。ワイド・ボルテージ・モード、フルスピード・モードを設定する場合は、当社提供のセルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、定数である“fsl_low_voltage_u08”が01Hであればワイド・ボルテージ・モードに、00Hであればフルスピード・モードに設定されます。

注意 ワイド・ボルテージ・モードで消去を行った場合は、その後ワイド・ボルテージ・モードでしか、書き込み、ベリファイを行うことはできません。ただし、ワイド・ボルテージ・モードで消去した領域をフルスピード・モードで再度消去することにより、フルスピード・モードで書き込み/ベリファイを行うことができます。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図24 - 11 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



24. 8. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

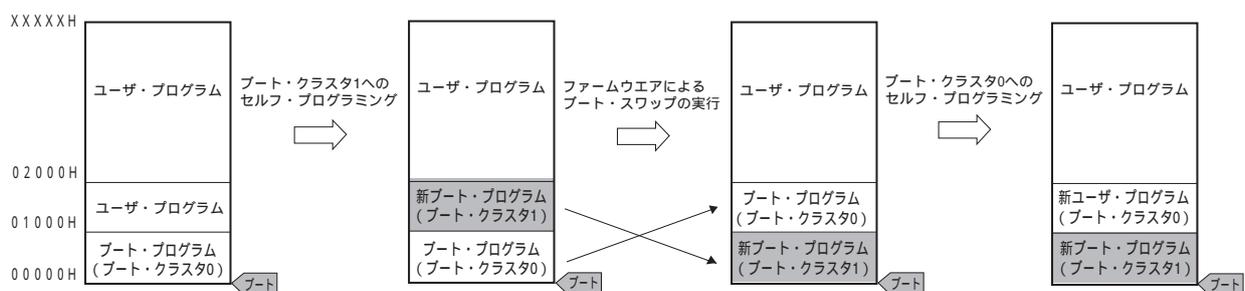
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0R/KC3-L, KE3-L内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図24 - 12 ブート・スワップ機能

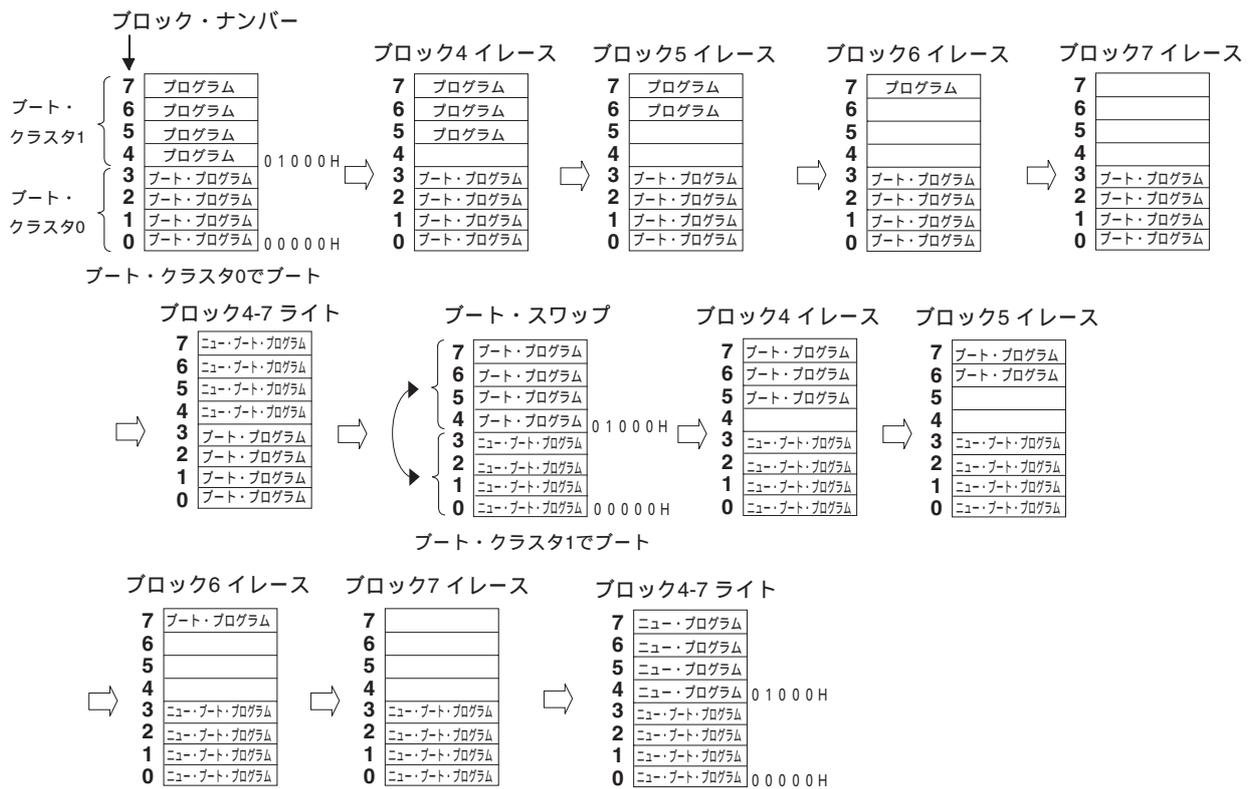


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図24 - 13 ブート・スワップの実行例



24. 8. 2 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の1つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード/オフボード・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、オンボード/オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図24 - 14 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：μ PD78F1024, 78F1026, スタート・ブロック：04H, エンド・ブロック06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表24 - 9 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード/オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUIなどで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード/オフボード・プログラミング時の書き込み/消去を禁止したい場合には、24. 7 セキュリティ設定を参照してください。

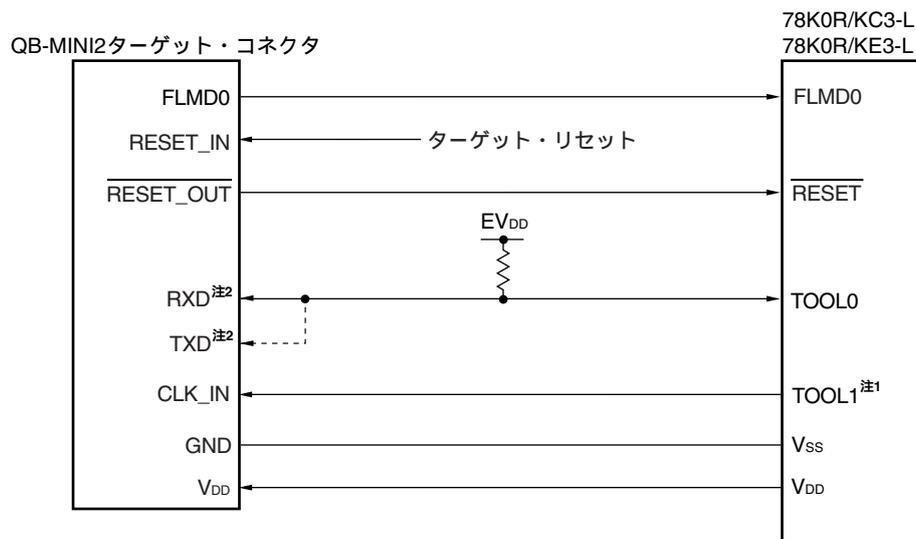
第25章 オンチップ・デバッグ機能

25.1 QB-MINI2と78K0R/KC3-L, KE3-Lの接続

78K0R/KC3-L, KE3-Lは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 V_{DD} , FLMD0, $\overline{\text{RESET}}$, TOOL0, TOOL1^{注1}, V_{SS} 端子を使用します。

注意 78K0R/KC3-L, KE3-Lには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図25 - 1 QB-MINI2と78K0R/KC3-L, KE3-Lの接続例



- 注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表2-2 各端子の未使用端子処理に従って、端子処理をしてください。
2. QB-MINI2の場合、RXD, TXDはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラムを使用する場合、プログラム内部でRXDとTXDをショートできない場合があります。この場合、RXD, TXDをターゲット・システム上でショートする必要があります。

- 注意1. 2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライトなどの使用が有効です。
2. QB-MINI2接続時はスイッチを3またはTに設定し、供給電圧3 Vまたは供給電力なしに設定してください。USB通信使用時はスイッチをTに設定し、ターゲット・システムから電源を供給してください。

備考 オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0，TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表25-1に示します。

表25-1 1線モードと2線モードの違い

通信方式	フラッシュ・プログラミング機能
1線モード	使用可能
2線モード	なし

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INに接続していたとしても問題なく正常に書き込みができます。

25.2 オンチップ・デバッグ・セキュリティID

78K0R/KC3-L, KE3-Lでは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第23章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H, 000C4H-000CDHと010C3H, 010C4H-010CDHが切り替わるので、あらかじめ010C3H, 010C4H-010CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル** (U18371J) を参照してください。

表25-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

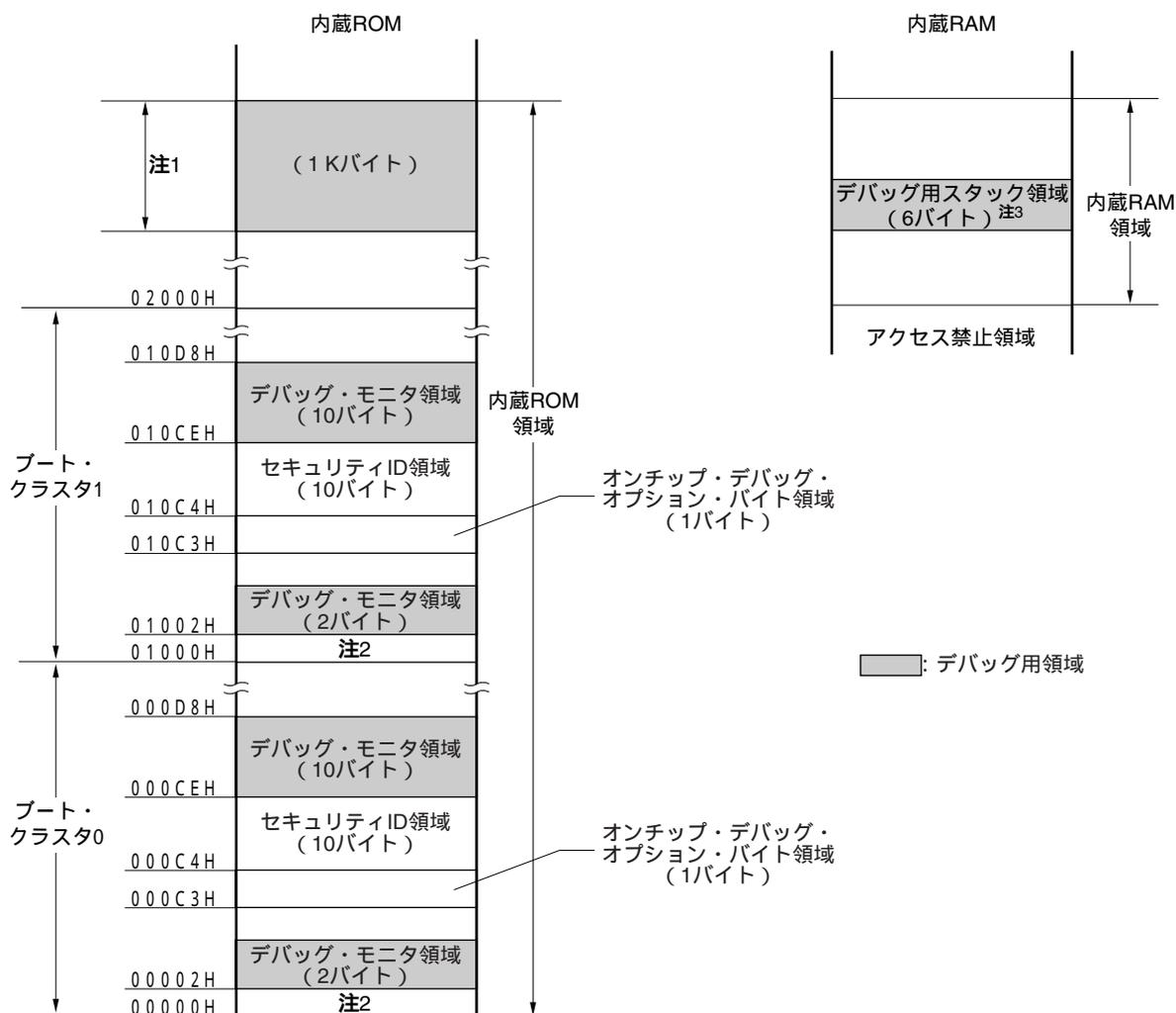
25.3 ユーザ資源の確保

78K0R/KC3-L, KE3-LとQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R, コンパイラ CC78K0Rを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図25-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図25 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品	内蔵ROM	アドレス
μ PD78F1022	64 Kバイト	0FC00H-0FFFFH
μ PD78F1023, 78F1025	96 Kバイト	17C00H-17FFFH
μ PD78F1024, 78F1026	128 Kバイト	1FC00H-1FFFFH

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J)** を参照してください。

第26章 10進補正 (BCD) 回路

26.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を, BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと, さらにBCD補正結果レジスタ (BCDADJ) を加減算することで10進補正演算結果が求められます。

26.2 10進補正回路で使用するレジスタ

10進補正回路は, 次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには, Aレジスタをオペランドにもつ加減算命令によって, BCDコードで加減算結果を求めるための補正值が格納されます。

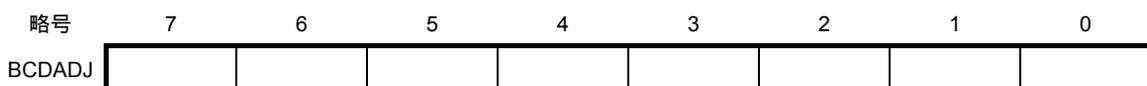
また, BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは, 8ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 不定になります。

図26 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



26.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値 (被加算値) をAレジスタに格納する。

Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCD補正結果レジスタ (BCDADJ) に格納される。

Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値 (被減算値) をAレジスタに格納する。

Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正值がBCD補正結果レジスタ (BCDADJ) に格納される。

Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正值) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第27章 命令セットの概要

78K0Rマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0Rマイクロコントローラ **ユーザーズ・マニュアル 命令編** (U17792J) を参照してください。

備考 表27 - 5 **オペレーション一覧**の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

27.1 凡 例

27.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、\$、\$!、[]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、\$、\$!、[]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（表27 - 1の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表27 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	0000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 6 拡張SFR（2nd SFR）一覧を参照してください。

27.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表27-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

27.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表27 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

27.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表27 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

27.2 オペレーション一覧

表27-5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte				
		saddr, #byte	3	1	-	(saddr) byte				
		sfr, #byte	3	1	-	sfr byte				
		!addr16, #byte	4	1	-	(addr16) byte				
		A, r <small>注3</small>	1	1	-	A r				
		r, A <small>注3</small>	1	1	-	r A				
		A, saddr	2	1	-	A (saddr)				
		saddr, A	2	1	-	(saddr) A				
		A, sfr	2	1	-	A sfr				
		sfr, A	2	1	-	sfr A				
		A, !addr16	3	1	4	A (addr16)				
		!addr16, A	3	1	-	(addr16) A				
		PSW, #byte	3	3	-	PSW byte		x	x	x
		A, PSW	2	1	-	A PSW				
		PSW, A	2	3	-	PSW A		x	x	x
		ES, #byte	2	1	-	ES byte				
		ES, saddr	3	1	-	ES (saddr)				
		A, ES	2	1	-	A ES				
		ES, A	2	1	-	ES A				
		CS, #byte	3	1	-	CS byte				
		A, CS	2	1	-	A CS				
		CS, A	2	1	-	CS A				
		A, [DE]	1	1	4	A (DE)				
		[DE], A	1	1	-	(DE) A				
		[DE+byte], #byte	3	1	-	(DE + byte) byte				
		A, [DE+byte]	2	1	4	A (DE + byte)				
		[DE+byte], A	2	1	-	(DE + byte) A				
A, [HL]	1	1	4	A (HL)						
[HL], A	1	1	-	(HL) A						
[HL+byte], #byte	3	1	-	(HL + byte) byte						

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
		A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A			
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8 ビット ・ データ 転送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r ^{注3}	1 (r=X) 2 (r=X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]		2	2	-	A (HL + C)				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ データ 転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)				
		A, ES:[DE]	3	3	-	A (ES, DE)				
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)				
		A, ES:[HL]	3	3	-	A (ES, HL)				
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)				
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)				
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)				
	ONEB	A	1	1	-	A 01H				
		X	1	1	-	X 01H				
		B	1	1	-	B 01H				
		C	1	1	-	C 01H				
		saddr	2	1	-	(saddr) 01H				
		!addr16	3	1	-	(addr16) 01H				
		ES:!addr16	4	2	-	(ES, addr16) 01H				
	CLRB	A	1	1	-	A 00H				
		X	1	1	-	X 00H				
		B	1	1	-	B 00H				
		C	1	1	-	C 00H				
		saddr	2	1	-	(saddr) 00H				
		!addr16	3	1	-	(addr16) 00H				
		ES:!addr16	4	2	-	(ES,addr16) 00H				
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x	
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x	
	16 ビット ・ データ 転送	MOVW	rp, #word	3	1	-	rp word			
			saddrp, #word	4	1	-	(saddrp) word			
			sfrp, #word	4	1	-	sfrp word			
			AX, saddrp	2	1	-	AX (saddrp)			
			saddrp, AX	2	1	-	(saddrp) AX			
AX, sfrp			2	1	-	AX sfrp				
sfrp, AX			2	1	-	sfrp AX				
AX, rp ^{注3}			1	1	-	AX rp				
rp, AX ^{注3}			1	1	-	rp AX				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. rp = AXを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (5/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ データ 転送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
		AX, ES:[HL]	2	2	5	AX (ES, HL)			
		ES:[HL], AX	2	2	-	(ES, HL) AX			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. rp = AXを除く。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte)	x	x	x
A, ES:[HL+B]		3	2	5	A, CY	A - ((ES:HL) + B)	x	x	x	
A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C)	x	x	x		

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	SUBC	A, #byte	2	1	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r - CY	x	x	x
		r, A	2	1	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A	A byte	x		
		saddr, #byte	3	2	-	(saddr)	(saddr) byte	x		
		A, r ^{注3}	2	1	-	A	A r	x		
		r, A	2	1	-	r	r A	x		
		A, saddr	2	1	-	A	A (saddr)	x		
		A, !addr16	3	1	4	A	A (addr16)	x		
		A, [HL]	1	1	4	A	A (HL)	x		
		A, [HL+byte]	2	1	4	A	A (HL + byte)	x		
		A, [HL+B]	2	1	4	A	A (HL + B)	x		
		A, [HL+C]	2	1	4	A	A (HL + C)	x		
		A, ES:!addr16	4	2	5	A	A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A	A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A	A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A	A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A	A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x		
		A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x		
		XOR	A, #byte	2	1	-	A A byte	x	
	saddr, #byte		3	2	-	(saddr) (saddr) byte	x		
	A, r ^{注3}		2	1	-	A A r	x		
	r, A		2	1	-	r r A	x		
	A, saddr		2	1	-	A A (saddr)	x		
	A, !addr16		3	1	4	A A (addr16)	x		
	A, [HL]		1	1	4	A A (HL)	x		
	A, [HL+byte]		2	1	4	A A (HL + byte)	x		
	A, [HL+B]		2	1	4	A A (HL + B)	x		
	A, [HL+C]		2	1	4	A A (HL + C)	x		
	A, ES:!addr16		4	2	5	A A (ES:addr16)	x		
	A, ES:[HL]		2	2	5	A A (ES:HL)	x		
	A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x			
A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x				
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	x	x
		X	1	1	-	X - 00H	x	x	x
		B	1	1	-	B - 00H	x	x	x
		C	1	1	-	C - 00H	x	x	x
		saddr	2	1	-	(saddr) - 00H	x	x	x
		!addr16	3	1	4	(addr16) - 00H	x	x	x
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	
乗算	MULU	X	1	1	-	AX A × X			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (12/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
DECW	rp	1	1	-	rp rp - 1				
	saddrp	2	2	-	(saddrp) (saddrp) - 1				
	!addr16	3	2	-	(addr16) (addr16) - 1				
	[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1				
	ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1				
	ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1				
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) × cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) × cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) × cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) × cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) × cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) × cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) × cnt			x
SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) × cnt			x	
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) × cnt			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

3. cntはビット・シフト数です。

表27-5 オペレーション一覧 (13/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			x
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			x
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			x
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			x
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			x
BC, 1		2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			x	
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY sfr.bit			x
		CY, A.bit	2	1	-	CY A.bit			x
		CY, PSW.bit	3	1	-	CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY (HL).bit			x
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	x	x	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			x
		ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY			
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
CY, sfr.bit		3	1	-	CY CY sfr.bit			x	
CY, A.bit		2	1	-	CY CY A.bit			x	
CY, PSW.bit		3	1	-	CY CY PSW.bit			x	
CY, [HL].bit		2	1	4	CY CY (HL).bit			x	
CY, ES:[HL].bit		3	2	5	CY CY (ES, HL).bit			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (14/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr).bit 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
NOT1	CY	2	1	-	CY CY			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (15/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		\$!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rpL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rpL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
		DE, SP	3	1	-	DE SP			
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		\$!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (17/17)

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-	Next instruction skip if CY = 1			
	SKNC	-	2	1	-	Next instruction skip if CY = 0			
	SKZ	-	2	1	-	Next instruction skip if Z = 1			
	SKNZ	-	2	1	-	Next instruction skip if Z = 0			
	SKH	-	2	1	-	Next instruction skip if (Z CY)=0			
	SKNH	-	2	1	-	Next instruction skip if (Z CY)=1			
CPU制御	SEL	RBn	2	1	-	RBS[1:0] n			
	NOP	-	1	1	-	No Operation			
	EI	-	3	4	-	IE 1(Enable Interrupt)			
	DI	-	3	4	-	IE 0(Disable Interrupt)			
	HALT	-	2	3	-	Set HALT Mode			
	STOP	-	2	3	-	Set STOP Mode			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。
3. nはレジスタ・バンク数です (n = 0-3)。

第28章 電気的特性

注意1. 78K0R/KC3-L, KE3-Lには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のようになります。

(1) ポート機能

ポート	78K0R/KC3-L	78K0R/KE3-L
ポート0	P02-P04	
ポート1	P10-P17	
ポート2	P20-P27	
ポート3	P31	
ポート4	P40, P41	P40-P43
ポート5	P50, P51	P50-P53
ポート6	P60-P63	
ポート7	P70-P73	P70-P77
ポート11	-	P110, P111
ポート12	P120-P124	
ポート13	-	P130
ポート14	P140	P140, P142-P144

(2) ポート以外の端子 (1/2)

機能	78K0R/KC3-L	78K0R/KE3-L
電源, グランド	V _{DD} , EV _{DD} , AV _{REF} , V _{SS} , EV _{SS} , AV _{SS}	
レギュレータ	REGC	
リセット	RESET	
クロック発振	X1, X2, XT1, XT2, EXCLK	
フラッシュ書き込み	FLMD0	
割り込み	INTP0-INTP6	INTP0-INTP6, INTP8-INTP11
タイマ	TI01-TI03, TO01-TO03	TI00-TI04, TO00-TO04
リアルタイム・カウンタ	RTCDIV, RTCCL	

(2) ポート以外の端子 (2/2)

機 能		78K0R/KC3-L	78K0R/KE3-L
シリアル・インタフェース	UART0	RxD0, TxD0	
	UART1	RxD1, TxD1	
	UART2	-	RxD2, TxD2
	UART3	RxD3, TxD3	
	CSI00	SCK00, SI00, SO00	
	CSI10	SCK10, SI10, SO10	
	CSI20	-	SCK20, SI20, SO20
	IIC10	SCL10, SDA10	
	IIC20	-	SCL20, SDA20
	IICA	SCL0, SDA0	
A/Dコンバータ	ANI0-ANI7		
ブザー出力/クロック出力	PCLBUZ0		
キー割り込み	KR0-KR3	KR0-KR7	
LVI回路	EXLVI		
オンチップ・デバッグ機能	TOOL0, TOOL1		
USB	USBP, USBM, USBPUC		

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 3.8	V
	EV _{DD}		- 0.5 ~ + 3.8	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}	EV _{SS} = EV _{SS} 1	- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ 3.6 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
入力電圧	V _{I1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P70-P77, P110, P111, P120-P124, P140, P142-P144, EXCLK, RESET, FLMD0	- 0.3 ~ EV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27	- 0.3 ~ AV _{REF} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I4}	USBP, USBM	- 0.3 ~ EV _{DD} + 0.3 ^{注3}	V
出力電圧	V _{O1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P60-P63, P70-P77, P110, P111, P120, P130, P140, P142-P144	- 0.3 ~ EV _{DD} + 0.3	V
	V _{O2}	P20-P27	- 0.3 ~ AV _{REF} + 0.3	V
	V _{O3}	USBP, USBM, USBPUC	- 0.3 ~ EV _{DD} + 0.3 ^{注3}	V
アナログ入力電圧	V _{AN}	ANI0-ANI7	- 0.3 ~ AV _{REF} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V

注1. 6.5 V以下であること。

2. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。

この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

3. 3.8 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (T_A = 25) (2/2)

項目	略号	条件	定格	単位	
ハイ・レベル出力電流	IOH1	1端子	- 10	mA	
		端子合計 - 80 mA	P02-P04, P40-P43, P120, P130, P140, P142-P144	- 25	mA
			P10-P17, P31, P50-P53, P70-P77, P110, P111	- 55	mA
	IOH2	1端子	P20-P27	- 0.5	mA
		端子合計		- 2	mA
		IOH3	1端子	USBP, USBM	- 3
ロウ・レベル出力電流	IOL1	1端子	30	mA	
		端子合計 200 mA	P02-P04, P40-P43, P120, P130, P140, P142-P144	60	mA
			P10-P17, P31, P50-P53, P60-P63, P70-P77, P110, P111	140	mA
	IOL2	1端子	P20-P27	1	mA
		端子合計		5	mA
		IOL3	1端子	USBP, USBM	3
動作周囲温度	T _A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}		- 65 ~ + 150		

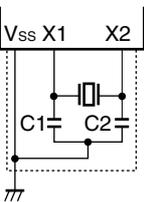
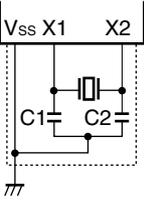
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注	2.7 V V_{DD} 3.6 V	2.0		20.0	MHz
			1.8 V $V_{DD} < 3.6$ V	2.0		5.0	MHz
水晶振動子		X1クロック発振周波数 (f_x) ^注	2.7 V V_{DD} 3.6 V	2.0		20.0	MHz
			1.8 V $V_{DD} < 3.6$ V	2.0		5.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。
 3. USBコントローラ使用時は、必ず500 ppm以下の精度の水晶振動子あるいはセラミック発振子を使用してください。誤差が500 ppm以上の発振子 / 振動子から生成されたUSBクロックの場合、データの送受信がUSB規格を満足できない恐れがあります。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速内蔵発振器発振周波数 ^{注1}	f_{IH1M}	低消費電流モード	0.87	1.0	1.13	MHz
	f_{IH8M}		7.6	8.0	8.4	MHz
	f_{IH20M}	2.7 V V_{DD} 3.6 V	19.0	20.0	21.0	MHz
低速内蔵発振器発振周波数	f_{IL}		25.5	30	34.5	kHz
		2.7 V V_{DD} 3.6 V ^{注2}	27	30	33	kHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. 低消費電流モード時は、 $\pm 15\%$ となります。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

XT1 発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 3.6$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数 (f_{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

推奨発振回路定数

(1) X1発振 : セラミック発振子 (AMPH = 1, RMC = 00H, T_A = - 40 ~ + 85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
富山村田製作所	CSTCE12M0GH5L99-R0	SMD	12.0	(33)	(33)	0	2.0	3.6
	CSTCE16M0VH3L99-R0	SMD	16.0	(15)	(15)	0		
	CSTCE20M0VH3L99-R0	SMD	20.0	(15)	(15)	0		

(2) X1発振 : 水晶振動子 (AMPH = 1, RMC = 00H, T_A = - 40 ~ + 85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (k)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB	リード	12.0	10	10	0	1.8	3.6
	HS49SFWB	リード	16.0	10	10	0		
	HS49SFWB	リード	20.0	10	10	0		

(3) XT1発振 : 水晶振動子 (T_A = - 40 ~ + 85)

メーカー	品名	SMD/ リード	周波数 (kHz)	XT1発振 モード ^{※1}	推奨回路定数			発振電圧範囲	
					C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
セイコーインス ツル株式会社 ^{※2}	SSP-T7-F	SMD	32.768	超低消費 発振	10	10	0	1.8	3.6
					10	10	0		
	SSP-T7-FL				4	4	0		
	VT-200-FL	4			4	0			
		リード							

注1. XT1発振モードは、クロック動作モード制御レジスタ (CMC) の AMPHS0, AMPHS1ビットで設定します。

2. この発振子を使用する場合はセイコーインスツル株式会社 (<http://www.sii-crystal.com>) にお問い合わせください。

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KC3-L, 78K0R/KE3-Lの内部動作条件についてはDC, AC特性の規格内で使用してください。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P110, P111, P120, P130, P140, P142-P144, USBPUC 1端子	2.7 V $V_{DD} < 3.6\text{ V}$			- 1.0	mA	
			1.8 V $V_{DD} < 3.6\text{ V}$			- 1.0	mA	
		P02-P04, P40-P43, P120, P130, P140, P142-P144 合計 (デューティ = 70 %時 ^{注2})	2.7 V $V_{DD} < 3.6\text{ V}$			- 10.0	mA	
			1.8 V $V_{DD} < 3.6\text{ V}$			- 5.0	mA	
		P10-P17, P31, P50-P53, P70-P77, P110, P111, USBPUC 合計 (デューティ = 70 %時 ^{注2})	2.7 V $V_{DD} < 3.6\text{ V}$			- 19.0	mA	
			1.8 V $V_{DD} < 3.6\text{ V}$			- 10.0	mA	
		全端子合計 (デューティ = 60 %時 ^{注2})	2.7 V $V_{DD} < 3.6\text{ V}$			- 29.0	mA	
			1.8 V $V_{DD} < 3.6\text{ V}$			- 15.0	mA	
		I _{OH2}	P20-P27 1端子	$AV_{REF} = V_{DD}$			- 0.1	mA

注1. EV_{DD} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティを変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -20.0\text{ mA}$ の場合, $n = 50\%$

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0\text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02-P04, P10, P12, P40, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P110, P111, P120, P130, P140, P142-P144, USBPUC 1端子	2.7 V $V_{DD} < 3.6$ V			1.0	mA
			1.8 V $V_{DD} < 3.6$ V			0.5	mA
		P60-P63 1端子	2.7 V $V_{DD} < 3.6$ V			3.0	mA
			1.8 V $V_{DD} < 3.6$ V			2.0	mA
		P02-P04, P40-P43, P120, P130, P140, P142-P144 合計 (デューティ = 70 %時 ^{注2})	2.7 V $V_{DD} < 3.6$ V			15.0	mA
			1.8 V $V_{DD} < 3.6$ V			9.0	mA
		P10-P17, P31, P50-P53, P60-P63, P70-P77, P110, P111, USBPUC 合計 (デューティ = 70 %時 ^{注2})	2.7 V $V_{DD} < 3.6$ V			35.0	mA
			1.8 V $V_{DD} < 5.5$ V			20.0	mA
		全端子合計 (デューティ = 60 %時 ^{注2})	2.7 V $V_{DD} < 3.6$ V			50.0	mA
			1.8 V $V_{DD} < 3.6$ V			29.0	mA
I _{OL2}	P20-P27 1端子	$AV_{REF} = V_{DD}$			0.4	mA	

注1. 出力端子からEV_{SS}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保证する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティを変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OL} = 20.0$ mAの場合, $n = 50$ %

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/9)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P02, P12, P13, P15, P41, P52, P111, P123, P124, P144	$0.7V_{DD}$		V_{DD}	V	
	V_{IH2}	P03, P04, P10, P11, P14, P16, P17, P31, P40, P42, P43, P50, P51, P53, P70-P77, P110, P120-P122, P140, P142, P143, EXCLK, $\overline{\text{RESET}}$	通常入力バッファ $0.8V_{DD}$		V_{DD}	V	
	V_{IH3}	P03, P04, P10, P11, P142, P143	TTL入力バッファ $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$	2.0		V_{DD}	V
			TTL入力バッファ $1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.6		V_{DD}	V
	V_{IH4}	P20-P27	$AV_{REF} = V_{DD}$	$0.7AV_{REF}$		AV_{REF}	V
	V_{IH5}	P60-P63	通常入力バッファ	$0.7V_{DD}$		6.0	V
	V_{IH6}	FLMD0		$0.9V_{DD}$ ^{注1}		V_{DD}	V
	V_{IH7}	USBP, USBM	$V_{DD} = 3.3\text{ V} \pm 10\%$	2.0		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P02, P12, P13, P15, P41, P52, P111, P123, P124, P144	0		$0.3V_{DD}$	V	
	V_{IL2}	P03, P04, P10, P11, P14, P16, P17, P31, P40, P42, P43, P50, P51, P53, P70-P77, P110, P120-P122, P140, P142, P143, EXCLK, $\overline{\text{RESET}}$	通常入力バッファ 0		$0.2V_{DD}$	V	
	V_{IL3}	P03, P04, P10, P11, P142, P143	TTL入力バッファ $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$	0		0.5	V
			TTL入力バッファ $V_{DD} < 2.7\text{ V}$	0		0.2	V
	V_{IL4}	P20-P27	$AV_{REF} = V_{DD}$	0		$0.3AV_{REF}$	V
	V_{IL5}	P60-P63		0		$0.3V_{DD}$	V
	V_{IL6}	FLMD0 ^{注2}		0		$0.1V_{DD}$	V
	V_{IL7}	USBP, USBM		0		0.8	V

注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、 $0.9V_{DD}$ 以上にする必要があります。

2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接 V_{SS} へ接続し、 $0.1V_{DD}$ 以下の電圧を保つようにしてください。

注意1. P02-P04, P10, P12, P40, P142-P144は、N-chオープン・ドレイン・モード時でも V_{IH} の最大値(MAX.)は V_{DD} です。

2. P122/EXCLKは、入力ポート・モードと外部クロック・モードとで、 V_{IH} , V_{IL} の値が異なります。外部クロック入力モード時は、EXCLKのDC特性を満たしてください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P70-P77, P110, P111, P120, P130, P140, P142-P144	I _{OH} = 1 mA	V _{DD} - 0.5		V	
	V _{OH2}	P20-P27	AV _{REF} = V _{DD} , I _{OH} = -100 μ A	AV _{REF} - 0.5		V	
	V _{OH3}	USBP, USBM	V _{DD} = 3.3 V \pm 10 %, R _{LDP} = 15 k Ω V _{SS} 接続	2.8		3.6	V
	V _{OH4}	USBPUC	V _{DD} = 3.3 V \pm 10 %, I _{OH} = -100 μ A	V _{DD} - 0.5		V	
ロウ・レベル出力電圧	V _{OL1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P70-P77, P110, P111, P120, P130, P140, P142-P144	2.7 V V_{DD} 3.6 V, I _{OL1} = 1.0 mA			0.5	V
			1.8 V V_{DD} 3.6 V, I _{OL1} = 0.5 mA			0.4	V
	V _{OL2}	P20-P27	AV _{REF} = V _{DD} , I _{OL2} = 0.4 mA			0.4	V
	V _{OL3}	P60-P63	2.7 V V_{DD} 3.6 V, I _{OL1} = 3.0 mA			0.4	V
			1.8 V V_{DD} 3.6 V, I _{OL1} = 2.0 mA			0.4	V
	V _{OL4}	USBP, USBM	V _{DD} = 3.3 V \pm 10 %, R _{LPU} = 1.5 k Ω V _{DD} 接続			0.3	V
V _{OL5}	USBPUC	V _{DD} = 3.3 V \pm 10 %, I _{OL1} = 1 mA			0.4	V	

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P60-P63, P70-P77, P110, P111, P120, P140, P142-P144, FLMD0, $\overline{\text{RESET}}$	$V_i = V_{DD}$		1	μA
	I _{LIH2}	P20-P27	$V_i = AV_{REF}$		1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2)	入力ポート時		1	μA
			発振子接続時		10	μA
I _{LIH4}	USBP, USBM	$V_i = V_{DD}$		10	μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P02-P04, P10-P17, P31, P40-P43, P50-P53, P60-P63, P70-P77, P110, P111, P120, P140, P142-P144, FLMD0, $\overline{\text{RESET}}$	$V_i = V_{SS}$		- 1	μA
	I _{LIL2}	P20-P27	$AV_{REF} = V_{DD}$ $V_i = V_{SS}$		- 1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2)	入力ポート時		- 1	μA
			発振子接続時		- 10	μA
I _{LIL4}	USBP, USBM	$V_i = V_{SS}$		- 10	μA	

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

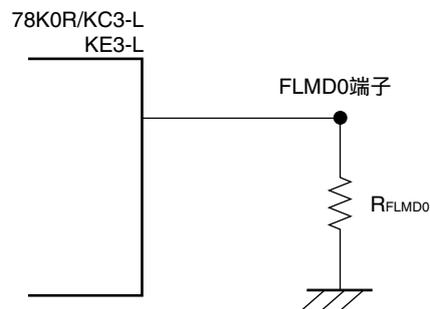
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (6/9)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵プルアップ抵抗	R_U	P02-P04, P10-P17, P31, P40-P43, P50-P53, P70-P77, P110, P111, P120, P140, P142-P144	10	20	100	$k\Omega$
FLMD0端子 外付けプルダウン抵抗 ^注	R_{FLMD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			$k\Omega$

注 FLMD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、 R_{FLMD0} を100 $k\Omega$ 以上にしてください。



備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (7/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
電源電流	I _{DD1} ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.3 V	方形波入力	6.1	8.3	mA
			発振子接続	6.4	8.6	mA	
		f _{MX} = 16 MHz ^{注2} , V _{DD} = 3.3 V	方形波入力	5.1	7.0	mA	
			発振子接続	5.3	7.4	mA	
		f _{MX} = 12 MHz ^{注2,3} , V _{DD} = 3.3 V	方形波入力	4.1	5.6	mA	
			発振子接続	4.3	5.9	mA	
		f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.3 V	方形波入力	3.4	4.8	mA	
			発振子接続	3.5	4.9	mA	
		f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.3 V	方形波入力	1.9	2.7	mA	
			発振子接続	2.0	2.8	mA	
		f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	方形波入力	1.3	2.2	mA	
			発振子接続	1.4	2.2	mA	
		f _{IH20} = 20 MHz ^{注4}	V _{DD} = 3.3 V	6.3	8.6	mA	
		f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.3 V	2.7	3.8	mA	
		f _{IH} = 1 MHz ^{注4,5}	V _{DD} = 3.3 V	210	389	μA	
		f _{SUB} = 32.768 kHz ^{注5} , T _A = -40 ~ +50	V _{DD} = 3.3 V	4.3	9.3	μA	
V _{DD} = 2.0 V	4.3		9.3	μA			
f _{SUB} = 32.768 kHz ^{注5} , T _A = -40 ~ +70	V _{DD} = 3.3 V	4.3	12.3	μA			
	V _{DD} = 2.0 V	4.3	12.3	μA			
f _{SUB} = 32.768 kHz ^{注5} , T _A = -40 ~ +85	V _{DD} = 3.3 V	4.3	15.5	μA			
	V _{DD} = 2.0 V	4.3	15.5	μA			

注1. V_{DD}, EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振, 20 MHz高速内蔵発振, サブシステム・クロック, USBは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
4. 高速システム・クロック, サブシステム・クロック, USBは停止時。
5. 低消費電力モード設定時 (RMC = 5AH, OSMC = 02H)
6. 高速内蔵発振, 20 MHz高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマ, USBは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH20} : 20 MHz高速内蔵発振クロック周波数

f_{IH} : 高速内蔵発振クロック周波数

f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. RMC : レギュレータ・モード制御レジスタ
3. TYP.値の温度条件は, T_A = 25 です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (8/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 3.6$ V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	I _{DD2} ^{注1}	HALTモード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.3 V	方形波入力	1.2	3.6	mA
				発振子接続	1.5	3.9	mA
			f _{MX} = 16 MHz ^{注2} , V _{DD} = 3.3 V	方形波入力	1.0	3.0	mA
				発振子接続	1.3	3.3	mA
			f _{MX} = 12 MHz ^{注2} , V _{DD} = 3.3 V	方形波入力	0.8	2.4	mA
				発振子接続	1.1	2.7	mA
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.3 V	方形波入力	0.55	2.1	mA
				発振子接続	0.65	2.2	mA
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.3 V	方形波入力	0.40	1.8	mA
				発振子接続	0.45	1.8	mA
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	方形波入力	0.28	1.3	mA
				発振子接続	0.33	1.4	mA
			f _{IH20} = 20 MHz ^{注4}	V _{DD} = 3.3 V	1.4	3.9	mA
			f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.3 V	0.48	1.8	mA
			f _{IH} = 1 MHz ^{注4,5}	V _{DD} = 3.3 V	55	168	μA
			f _{SUB} = 32.768 kHz ^{注6} , T _A = -40 ~ +50	V _{DD} = 3.3 V	1.0	3.7	μA
	V _{DD} = 2.0 V	1.0		3.7	μA		
	V _{DD} = 3.3 V	1.0		6.1	μA		
	V _{DD} = 2.0 V	1.0		6.1	μA		
	f _{SUB} = 32.768 kHz ^{注6} , T _A = -40 ~ +85	V _{DD} = 3.3 V	1.0	8.9	μA		
V _{DD} = 2.0 V		1.0	8.9	μA			
I _{DD3} ^{注7}	STOPモード	T _A = -40 ~ +50	0.37	2.8	μA		
		T _A = -40 ~ +70	0.37	5.2	μA		
		T _A = -40 ~ +85	0.37	7.9	μA		

注1. V_{DD}, EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

- 高速内蔵発振, 20 MHz高速内蔵発振, サブシステム・クロック, USBは停止時。
- AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
- 高速システム・クロック, サブシステム・クロック, USBは停止時。
- 低消費電力モード設定時 (RMC = 5AH, OSMC = 02H)
- 高速内蔵発振, 20 MHz高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマ, USBは停止時。リアルタイム・カウンタ動作時。
- V_{DD}, EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流, STOPリーク電流を含みます。ただし、A/Dコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。サブシステム・クロック, ウォッチドッグ・タイマ, USBは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH20} : 20 MHz高速内蔵発振クロック周波数

f_{IH} : 高速内蔵発振クロック周波数

f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

- RMC : レギュレータ・モード制御レジスタ
- TYP.値の温度条件は, T_A = 25 です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (9/9)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, 1.8 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
RTC動作電流	I _{RTC} ^{注1,2}	f _{SUB} = 32.768 kHz	V _{DD} = 3.3 V		0.2	1.0	μA	
			V _{DD} = 2.0 V		0.2	1.0		
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注2,3}	f _{IL} = 30 kHz			0.31	0.35	μA	
A/Dコンバータ動作電流	I _{ADC} ^{注4}	最高速変換時	高速モード	AV _{REF} = V _{DD} = 3.0 V		0.72	1.6	mA
			通常モード	AV _{REF} = V _{DD} = 3.0 V		0.86	1.9	mA
			低電圧モード	AV _{REF} = V _{DD} = 3.0 V		0.37	0.8	mA
LVI動作電流	I _{LVI} ^{注5}				9	18	μA	
USB動作電流	I _{USB} ^{注6}	f _{USB} = 48 MHz	V _{DD} = 3.3 V			14.8	21.0	mA

- 注1. リアルタイム・カウンタにのみ流れる電流です (XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタが動作中の場合、78K0R/KC3-L, KE3-Lの電流のTYP.値は、I_{DD1}またはI_{DD2}のTYP.値にI_{RTC}のTYP.値を加算した値となります。I_{DD1}またはI_{DD2}のMAX.値にはリアルタイム・カウンタの動作電流も含みます。f_{CLK} = f_{SUB}/2時にリアルタイム・カウンタが動作中の場合、I_{DD2}のTYP.値にはリアルタイム・カウンタの動作電流を含みます。
2. 高速内蔵発振、高速システム・クロックは停止時。
3. ウォッチドッグ・タイマにのみ流れる電流です (30 kHz内蔵発振器の動作電流を含みます)。f_{CLK} = f_{SUB}/2時またはSTOPモード時にウォッチドッグ・タイマが動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{WDT}を加算した値が、78K0R/KC3-L, KE3-Lの電流値となります。
4. A/Dコンバータ (AV_{REF}端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、78K0R/KC3-L, KE3-Lの電流値となります。
5. LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{LVI}を加算した値が、78K0R/KC3-L, KE3-Lの電流値となります。
6. USBクロック用PLL動作電流を含みます。

- 備考1. f_{IL} : 低速内蔵発振クロック周波数
 f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
2. TYP.値の温度条件は、T_A = 25 です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作 (1/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, 1.8 V AV_{REF} $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAIN})動作	通常電流モード	2.7 V V_{DD}	0.05	8	μs	
				$V_{DD} < 2.7$ V	0.2	8	μs	
		サブシステム・クロック (f_{SUB})動作		SDIV = 1	57.2	61	62.5	μs
		セルフ・プログラミング時	通常電流モード	2.7 V V_{DD}	0.05	0.5	μs	
				$V_{DD} < 2.7$ V	0.2	0.5	μs	
			低消費電流モード			1	μs	
外部メイン・システム・クロック周波数	f_{EX}	EXCLK	2.7 V V_{DD}	2.0	20.0	MHz		
			$V_{DD} < 2.7$ V	2.0	5.0	MHz		
外部メイン・システム・クロック入力ハイ,ロウ・レベル幅	$t_{EXH},$ t_{EXL}	EXCLK	2.7 V V_{DD}	24		ns		
			$V_{DD} < 2.7$ V	96		ns		
TI00-TI04入力 ハイ,ロウ・レベル幅	$t_{TIH},$ t_{TIL}	TI00-TI04	$2/f_{MCK} +$ 10			ns		
TO00-TO04 出力周波数	f_{TO}	TO00-TO04	2.7 V V_{DD}		10	MHz		
			$V_{DD} < 2.7$ V		5	MHz		
PCLBUZ0 出力周波数	f_{PCL}		2.7 V V_{DD}		10	MHz		
			$V_{DD} < 2.7$ V		5	MHz		
割り込み入力ハイ,ロウ・レベル幅	$t_{INTH},$ t_{INTL}	INTP00-INTP02, INTP04-INTP06, INTP08-INTP11	1			μs		
キー割り込み入力 ロウ・レベル幅	t_{KR}	KR0-KR7	250			ns		
RESETロウ・レベル幅	t_{RSL}	RESET	10			μs		

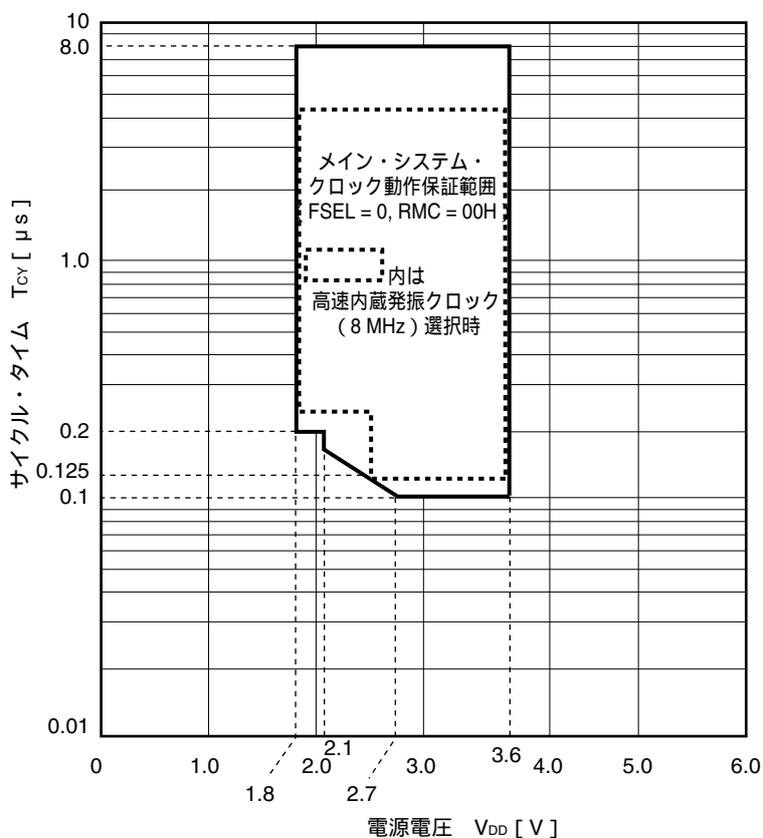
備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(TMR0nレジスタのCKS0nビットで設定する動作クロック。n: チャネル番号 (n = 0-7))

- レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第22章 レギュレータを参照してください。

(1) 基本動作 (2/6)

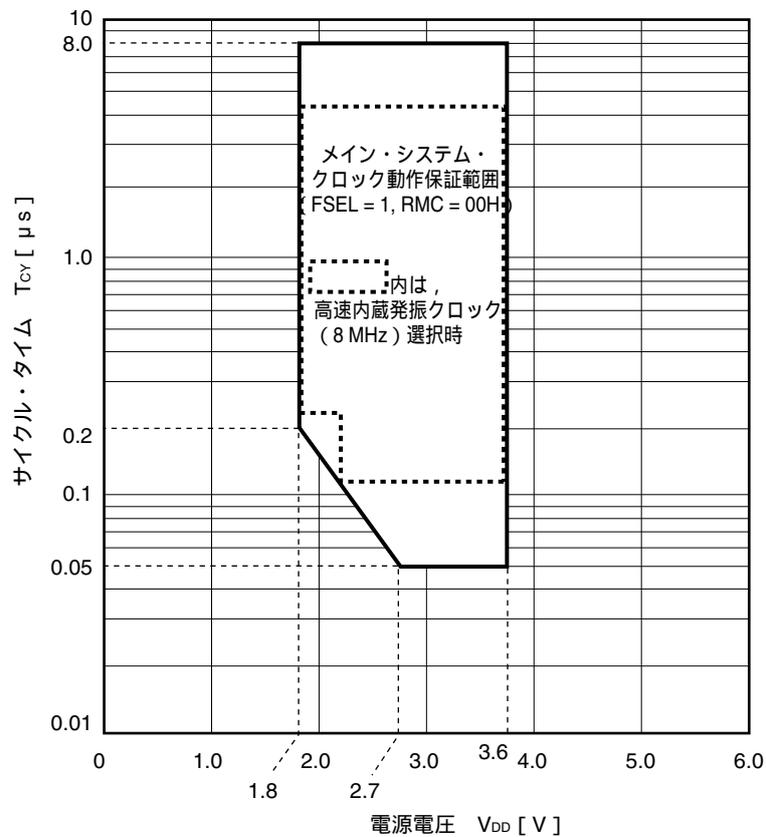
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (3/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)



注意 V_{DD} 2.7 VでSTOPモードに移行する場合は、FSEL = 0にしてください。

備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

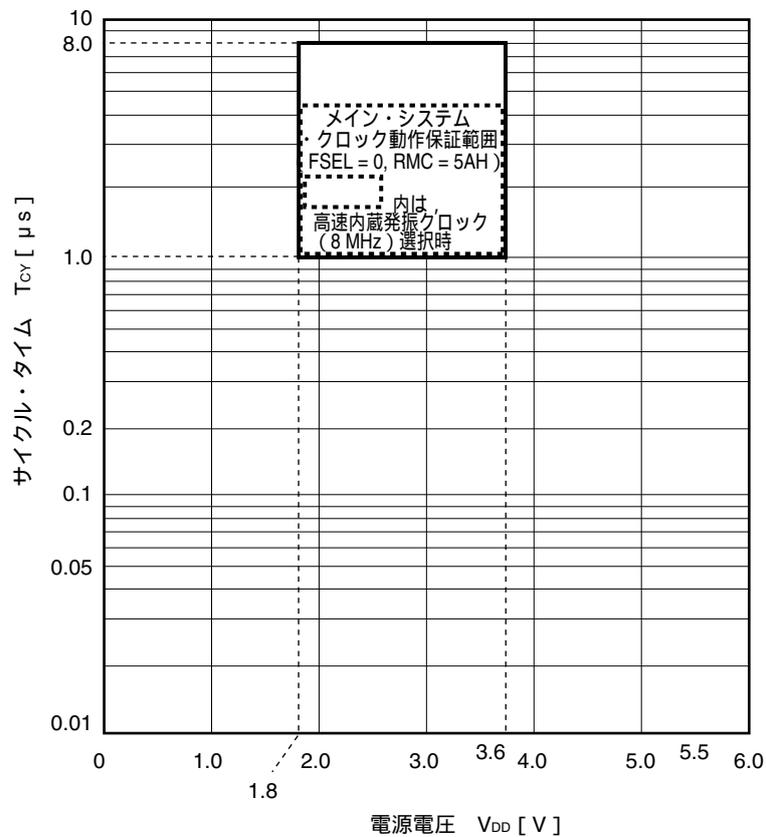
RMC : レギュレータ・モード制御レジスタ

f_{IH} : 高速内蔵発振クロック周波数

f_{EX} : 外部メイン・システム・クロック周波数

(1) 基本動作 (4/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)



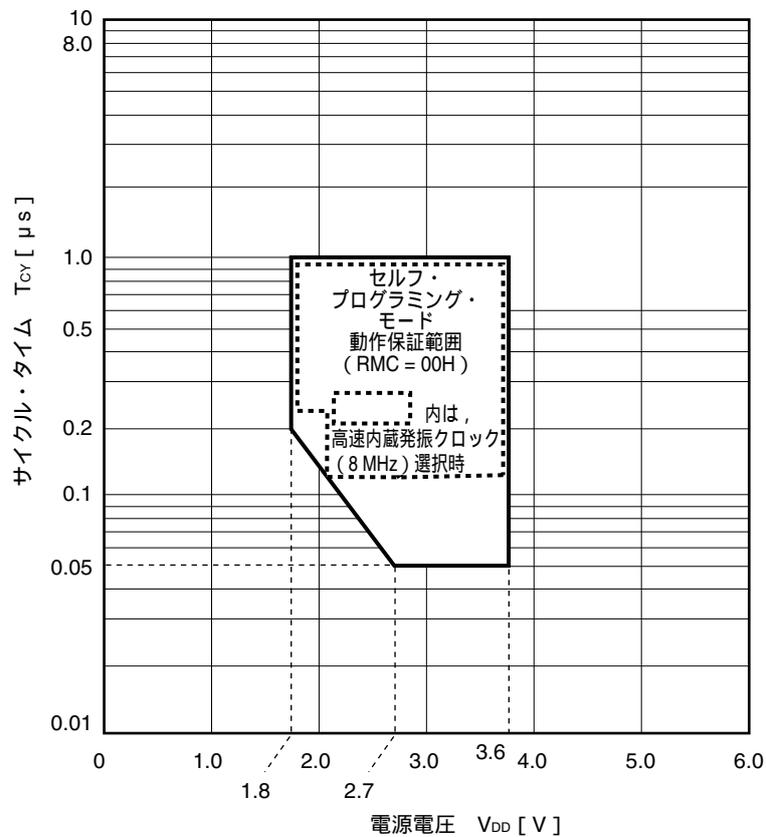
備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

2. RMC = 5AH時は, 全電圧範囲で1 MHz (MAX.) となります。

(1) 基本動作 (5/6)

セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)



備考1. RMC : レギュレータ・モード制御レジスタ

2. CPUがサブシステム・クロック動作時は、セルフ・プログラミング機能を使用できません。

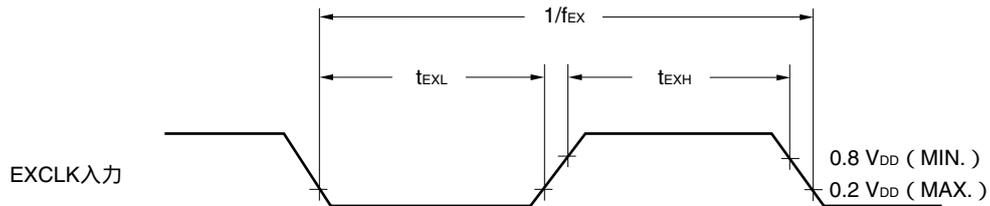
3. RMC = 5AH時は、全電圧範囲で1 MHzとなります。

(1) 基本動作 (6/6)

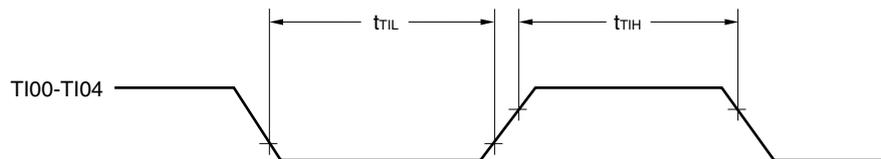
AC タイミング測定点



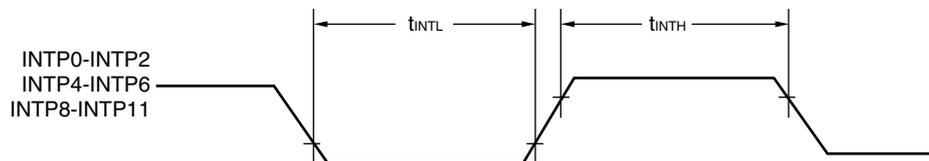
外部メイン・システム・クロック・タイミング



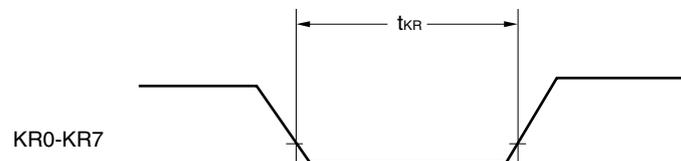
TI タイミング



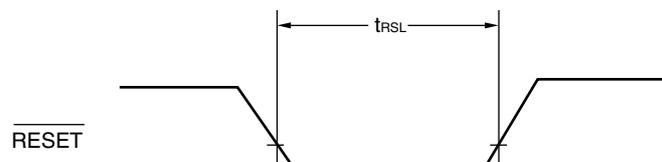
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

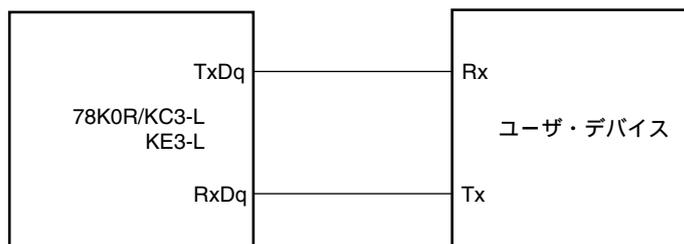
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (1/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 3.6\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

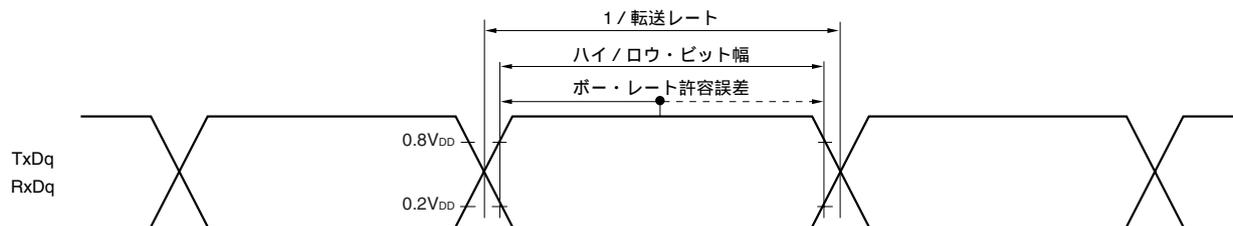
(a) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqは通常入力バッファ、TxDqは通常出力モードを選択。

備考1. q : UART番号 (q = 0-3) , g : PIM, POM番号 (g = 0, 1, 14)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-4))

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (2/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(b) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{kCY1}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$	400			ns
		$V_{DD} = EV_{DD} < 2.7\text{ V}$	800			ns
SCKpハイ, ロウ・レベル幅	t_{kH1} ,	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$	$t_{kCY1}/2 - 35$			ns
	t_{kL1}	$V_{DD} = EV_{DD} < 2.7\text{ V}$	$t_{kCY1}/2 - 80$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注1}	t_{sIK1}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$	100			ns
		$V_{DD} = EV_{DD} < 2.7\text{ V}$	190			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注1}	t_{kSI1}		30			ns
\overline{SCKp} SOp出力遅延時間 ^{注2}	t_{kSO1}	$C = 50\text{ pF}$ ^{注3}			40	ns

注1. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。

2. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。

3. C は、 \overline{SCKp} , SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) レジスタとポート出力モード・レジスタg (POMg) レジスタで、Slpは通常入力バッファ、SOpと \overline{SCKp} は通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (3/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V , $V_{SS} = EV_{SS} = 0\text{ V}$)

(c) 同電位通信時 (CSIモード) (スレーブ・モード, \overline{SCKp} ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	$f_{MCK} > 16\text{ MHz}$	$8/f_{MCK}$			ns
		$f_{MCK} \leq 16\text{ MHz}$	$6/f_{MCK}$			ns
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KCY2}/2$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注1}	t_{SIK2}		$1/f_{MCK} + 80$			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注1}	t_{HSI2}		50			ns
SCKp SOp出力遅延時間 ^{注2}	t_{KSO2}	$C = 50\text{ pF}$ ^{注3} 2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ $V_{DD} = EV_{DD} < 2.7\text{ V}$			$1/f_{MCK} + 120$	ns
					$1/f_{MCK} + 180$	ns

注1. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。

2. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。

3. C は、 \overline{SCKp} , SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIM g)とポート出力モード・レジスタ g (POM g)レジスタで、Slpと \overline{SCKp} は通常入力バッファ、SOpは通常出力モードを選択。

備考1. p : CSI番号 ($p = 00, 10, 20$) , g : PIM, POM番号 ($g = 0, 1, 14$)

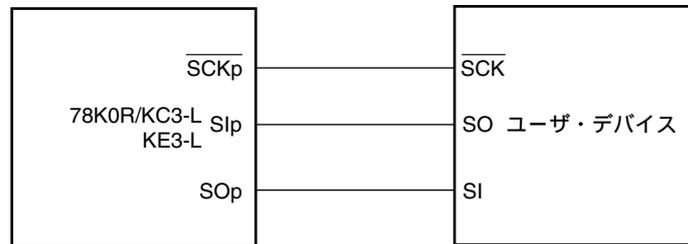
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR m nレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0, 2$))

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

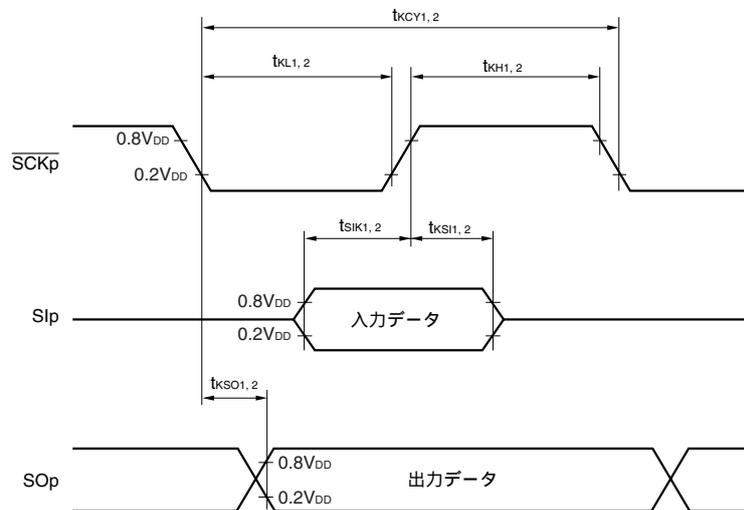
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (4/17)

CSIモード接続図 (同電位通信時)



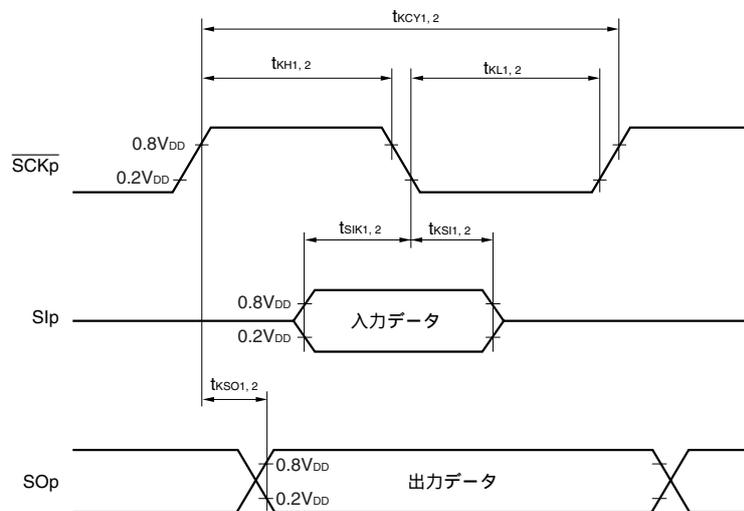
CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 10, 20)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (5/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

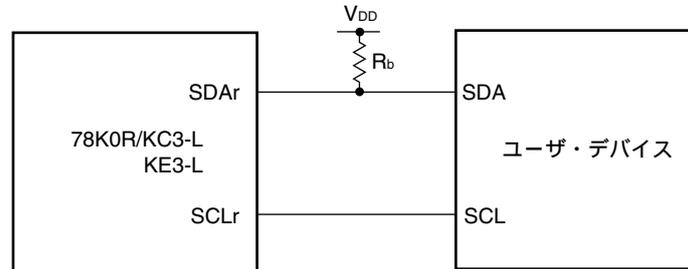
(d) 同電位通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 3 k Ω		400	kHz
		1.8 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 5 k Ω		300	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 3 k Ω	995		ns
		1.8 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 5 k Ω	1500		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 3 k Ω	995		ns
		1.8 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 5 k Ω	1500		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	2.7 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 3 k Ω	$1/f_{MCK} + 120$		ns
		1.8 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 5 k Ω	$1/f_{MCK} + 230$		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	2.7 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 3 k Ω	0	410	ns
		1.8 V \leq V _{DD} \leq 3.6 V, C _b = 100 pF, R _b = 5 k Ω	0	460	ns

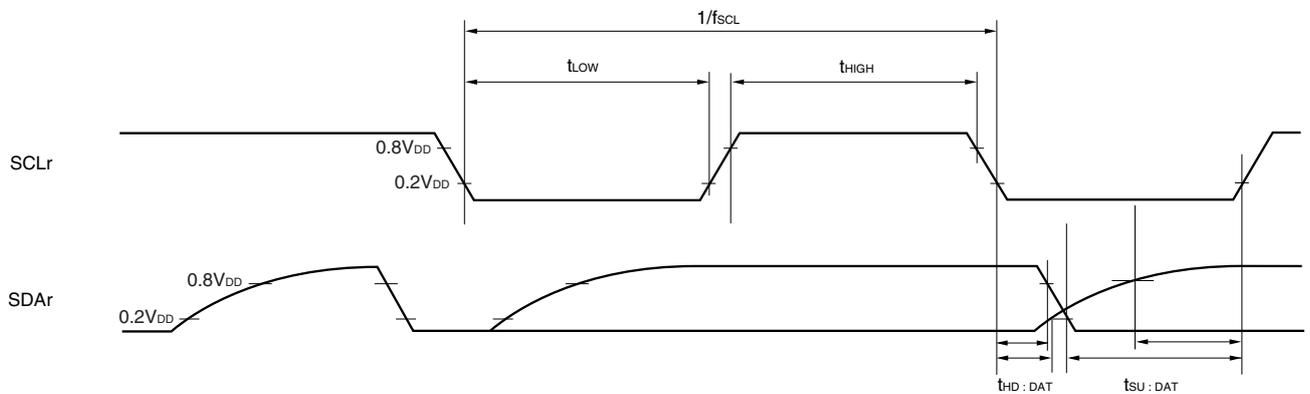
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (6/17)

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 ポート入力モード・レジスタ_g (PIM_g) とポート出力モード・レジスタ_g (POM_g) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrは通常出力モードを選択。

- 備考**1. R_b []: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値
 2. r : IIC番号 ($r = 10, 20$), g : PIM, POM番号 ($g = 0, 1, 14$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMR_{mn}レジスタのCKSm_nビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 02, 10$)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (7/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		受信	$2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 3.6\text{ V}$			$f_{MCK}/6$	bps
			$2.3\text{ V} \leq V_b \leq 2.7\text{ V}$	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$		3.3	Mbps

注意 ポート入力モード・レジスタ g (PIM g) とポート出力モード・レジスタ g (POM g) で、 $RxDq$ はTTL入力バッファ, $TxDq$ はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. q : UART番号 ($q = 0-3$) , g : PIM, POM番号 ($g = 0, 1, 14$)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR mn レジスタのCKSm n ビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0-3$))

3. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

$2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (8/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		送信 $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 3.6\text{ V}$			注1	
		$2.3\text{ V} \leq V_b \leq 2.7\text{ V}$	$f_{CLK} = 16.8\text{ MHz}$, $f_{MCK} = f_{CLK}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$, $V_b = 2.3\text{ V}$		1.2 ^{注2}	Mbps

注1. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$2.7\text{ V} \leq V_{DD} = EV_{DD} < 3.6\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \quad [\text{bps}]$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

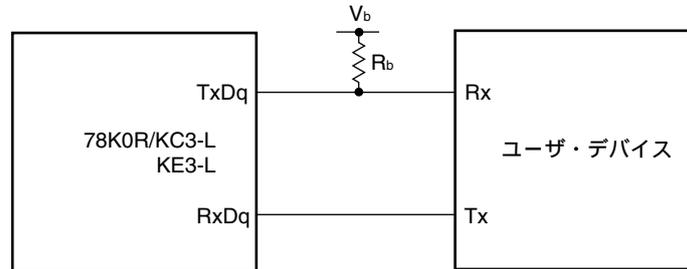
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. $R_b [\Omega]$: 通信ライン (TxDq) プルアップ抵抗値, $C_b [F]$: 通信ライン (TxDq) 負荷容量値, $V_b [V]$: 通信ライン電圧
2. q: UART番号 (q = 0-3), g: PIM, POM番号 (g = 0, 1, 14)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3))
4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
 $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

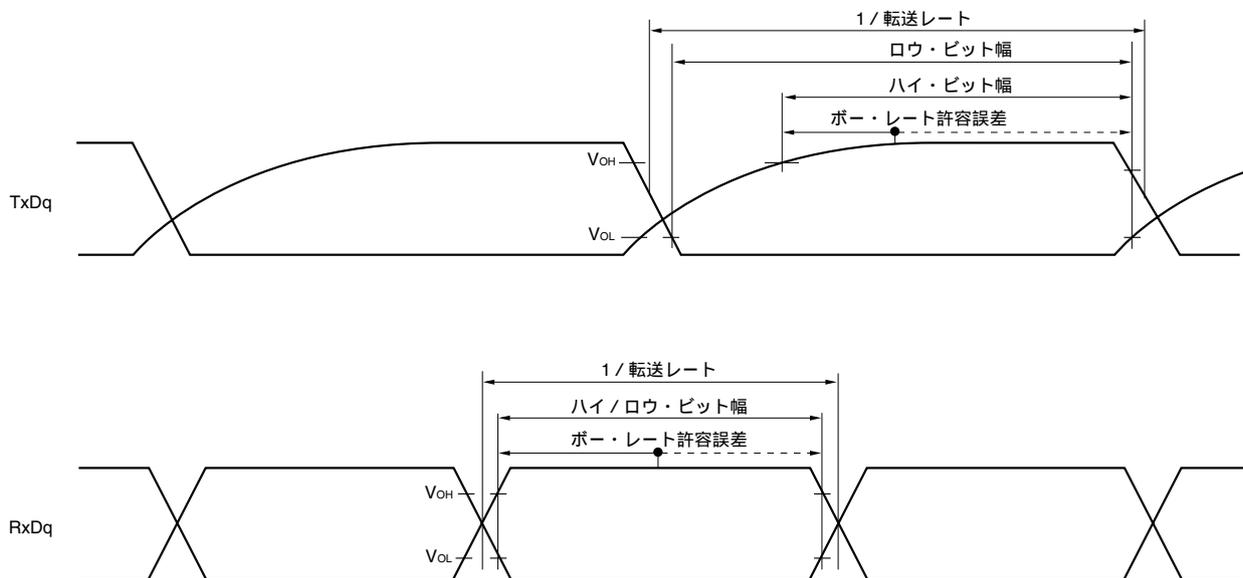
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (9/17)

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値, V_b [V] : 通信ライン電圧
 2. q : UART番号 (q = 0-3) , g : PIM, POM番号 (g = 0, 1, 14)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (10/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = 0$ V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{KCY1}	2.7 V $V_{DD} = EV_{DD} < 3.6$ V 2.3 V V_b 2.7 V $C_b = 50$ pF, $R_b = 2.7$ k Ω	1000			ns
\overline{SCKp} ハイ・レベル幅	t_{KH1}	2.7 V $V_{DD} = EV_{DD} < 3.6$ V 2.3 V V_b 2.7 V $C_b = 50$ pF, $R_b = 2.7$ k Ω	$t_{KCY1}/2 -$ 275			ns
\overline{SCKp} ロウ・レベル幅	t_{KL1}	2.7 V $V_{DD} = EV_{DD} < 3.6$ V 2.3 V V_b 2.7 V $C_b = 50$ pF, $R_b = 2.7$ k Ω	$t_{KCY1}/2 -$ 35			ns
Slp セットアップ時間 (対 \overline{SCKp}) ^注	t_{SIK1}	2.7 V $V_{DD} = EV_{DD} < 3.6$ V 2.3 V V_b 2.7 V $C_b = 50$ pF, $R_b = 2.7$ k Ω	380			ns
Slp ホールド時間 (対 \overline{SCKp}) ^注	t_{KSI1}	2.7 V $V_{DD} = EV_{DD} < 3.6$ V 2.3 V V_b 2.7 V $C_b = 50$ pF, $R_b = 2.7$ k Ω	30			ns
\overline{SCKp} SOP 出力遅延時間 ^注	t_{KSO1}	2.7 V $V_{DD} = EV_{DD} < 3.6$ V 2.3 V V_b 2.7 V $C_b = 50$ pF, $R_b = 2.7$ k Ω			320	ns

注 DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SlpはTTL入力バッファ, SOPと \overline{SCKp} はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。

備考1. p : CSI番号 (p = 00, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2)

3. R_b [Ω] : 通信ライン (\overline{SCKp} , SOP) プルアップ抵抗値,

C_b [F] : 通信ライン (SOP, \overline{SCKp}) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

2.7 V $V_{DD} < 3.6$ V, 2.3 V V_b 2.7 V のとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (11/17)

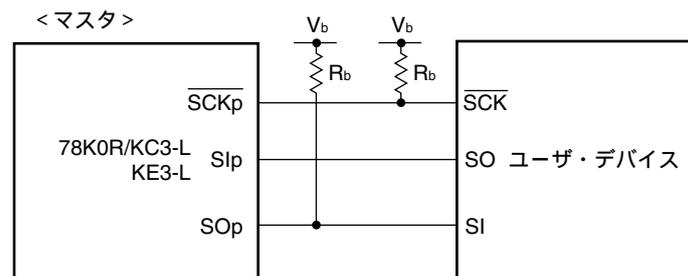
($T_A = -40 \sim +85$, $1.8 \text{ V} \leq V_{DD} = EV_{DD} \leq 3.6 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^注	t_{SIK1}	$2.7 \text{ V} \quad V_{DD} = EV_{DD} < 3.6 \text{ V}$ $2.3 \text{ V} \quad V_b = 2.7 \text{ V}$ $C_b = 50 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	100			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^注	t_{KSI1}	$2.7 \text{ V} \quad V_{DD} = EV_{DD} < 3.6 \text{ V}$ $2.3 \text{ V} \quad V_b = 2.7 \text{ V}$ $C_b = 50 \text{ pF}, R_b = 2.7 \text{ k}\Omega$	30			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^注	t_{KSO1}	$2.7 \text{ V} \quad V_{DD} = EV_{DD} < 3.6 \text{ V}$ $2.3 \text{ V} \quad V_b = 2.7 \text{ V}$ $C_b = 50 \text{ pF}, R_b = 2.7 \text{ k}\Omega$			40	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

CSIモード接続図 (異電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SlpはTTL入力バッファ, SOpと $\overline{\text{SCKp}}$ はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. p : CSI番号 (p = 00, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2)

3. R_b [Ω] : 通信ライン ($\overline{\text{SCKp}}$, SOp) プルアップ抵抗値,

C_b [F] : 通信ライン (SOp, $\overline{\text{SCKp}}$) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

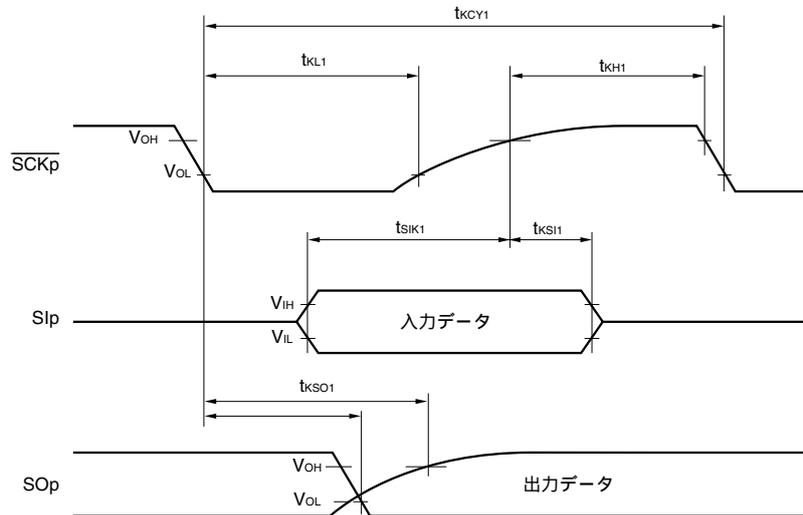
$2.7 \text{ V} \leq V_{DD} < 3.6 \text{ V}$, $2.3 \text{ V} \leq V_b = 2.7 \text{ V}$ のとき : $V_{IH} = 2.0 \text{ V}$, $V_{IL} = 0.5 \text{ V}$

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (12/17)

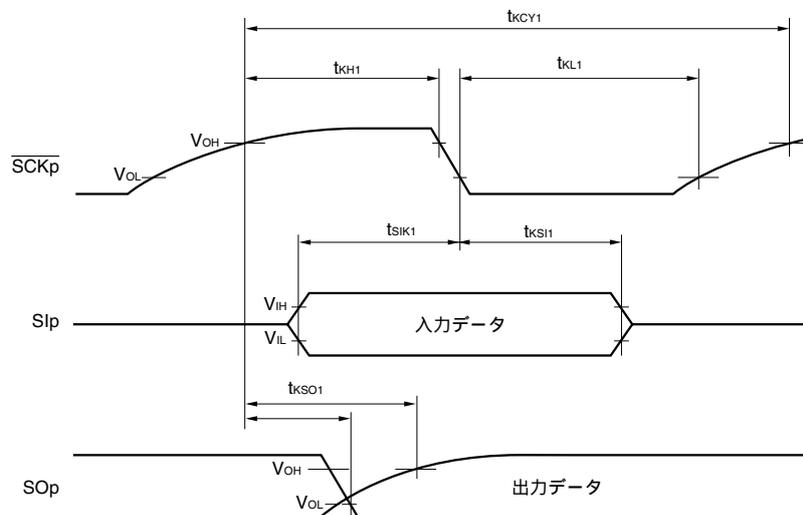
CSIモード・シリアル転送タイミング：マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意1. ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SlpはTTL入力バッファ, SOpと $\overline{\text{SCKp}}$ はN-chオープン・ドレーン出力 (V_{DD} 耐圧) モードを選択。

2. V_{IH}, V_{IL} はTTLバッファのスペック参照。 V_{OH}, V_{OL} は V_{IH}, V_{IL} と同電圧

備考1. p : CSI番号 (p = 00, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (13/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 3.6\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

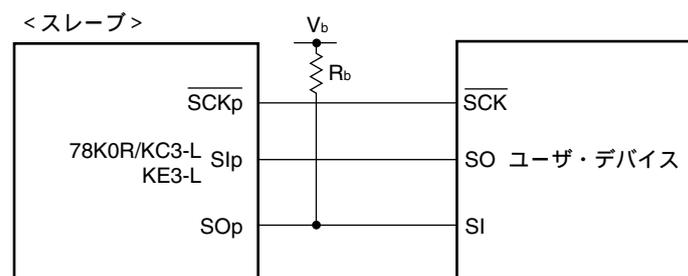
(g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレープ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkcy2	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$	$17.5\text{ MHz} < f_{MCK}$	$18/f_{MCK}$		ns
		2.3 V $V_b = 2.7\text{ V}$	$15\text{ MHz} < f_{MCK} < 17.5\text{ MHz}$	$16/f_{MCK}$		ns
			$12.5\text{ MHz} < f_{MCK} < 15\text{ MHz}$	$14/f_{MCK}$		ns
			$10\text{ MHz} < f_{MCK} < 12.5\text{ MHz}$	$12/f_{MCK}$		ns
			$7.5\text{ MHz} < f_{MCK} < 10\text{ MHz}$	$10/f_{MCK}$		ns
			$5\text{ MHz} < f_{MCK} < 7.5\text{ MHz}$	$8/f_{MCK}$		ns
			$f_{MCK} < 5\text{ MHz}$	$6/f_{MCK}$		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$	$tkcy2/2 - 35$			ns
		2.3 V $V_b = 2.7\text{ V}$				ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	tsik2		$1/f_{MCK} +$ 90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	tkSI2		50			ns
SCKp SOP出力遅延時間 ^{注2}	tkSO2	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ 2.3 V $V_b = 2.7\text{ V}$ $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$			$1/f_{MCK} +$ 400	ns

注1. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 $\overline{\text{SCKp}}$ ”となります。

2. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 $\overline{\text{SCKp}}$ ”となります。

CSIモード接続図 (異電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ, SOPはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

(備考は次ページにあります。)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (14/17)

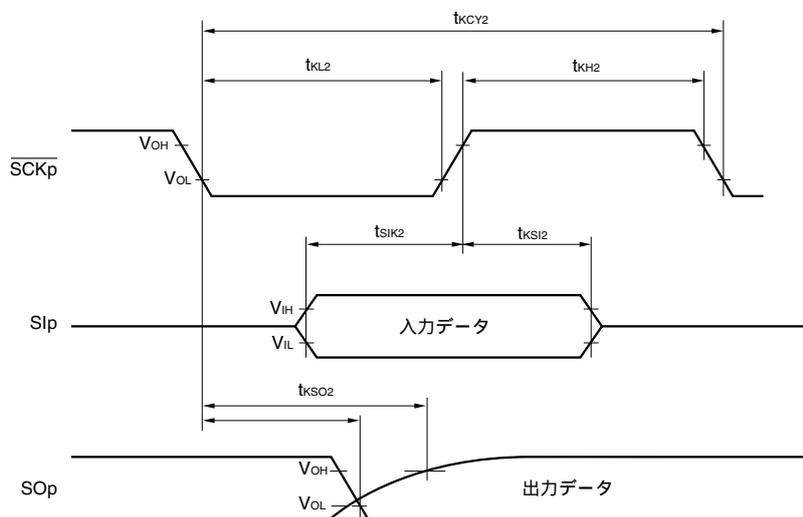
- 備考**1. p : CSI番号 ($p = 00, 10, 20$) , g : PIM, POM番号 ($g = 0, 1, 14$)
2. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値 , C_b [F] : 通信ライン (SO_p) 負荷容量値 ,
 V_b [V] : 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR_mnレジスタのCK_Sm_nビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0, 2$))
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
 $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}, 2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ のとき : $V_{IH} = 2.0\text{ V}, V_{IL} = 0.5\text{ V}$

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (15/17)

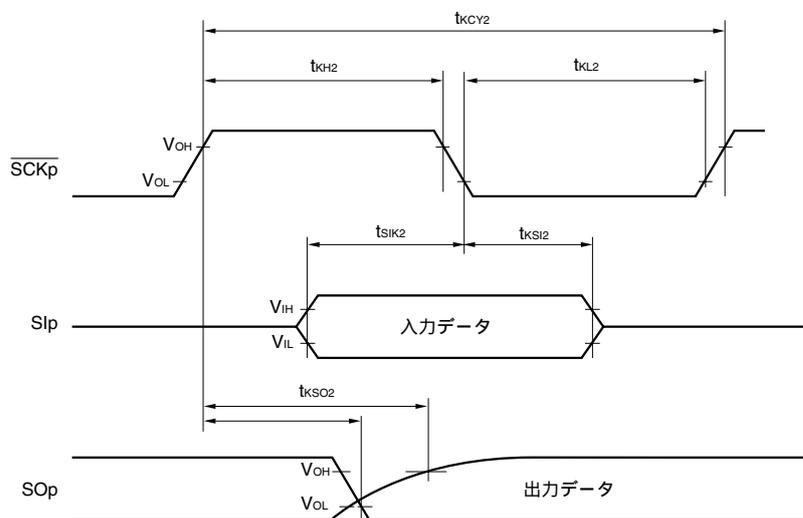
CSIモード・シリアル転送タイミング：スレーブ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード (異電位通信時)

(DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



注意1. ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SlpとSCKpはTTL入力バッファ、SOpはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

2. V_{IH}, V_{IL} はTTLバッファのスペック参照。 V_{OH}, V_{OL} は V_{IH}, V_{IL} と同電圧

備考1. p : CSI番号 (p = 00, 10, 20) , g : PIM, POM番号 (g = 0, 1, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (16/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 3.6 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ 2.3 V $V_b = 2.7\text{ V}$ $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}\Omega$		400	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ 2.3 V $V_b = 2.7\text{ V}$ $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	1065		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ 2.3 V $V_b = 2.7\text{ V}$ $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	445		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ 2.3 V $V_b = 2.7\text{ V}$ $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$1/f_{MCK} + 190$		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	2.7 V $V_{DD} = EV_{DD} < 3.6\text{ V}$ 2.3 V $V_b = 2.7\text{ V}$ $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	0	410	ns

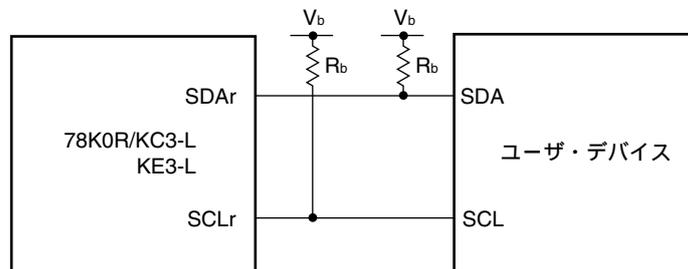
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択, SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1.** R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V]: 通信ライン電圧
2. r: IIC番号 (r = 10, 20), g: PIM, POM番号 (g = 0, 1, 14)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0, 2), mn = 02, 10)
4. シリアル・アレイ・ユニットの簡易²Cモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
 2.7 V $V_{DD} < 3.6\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$ のとき: $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

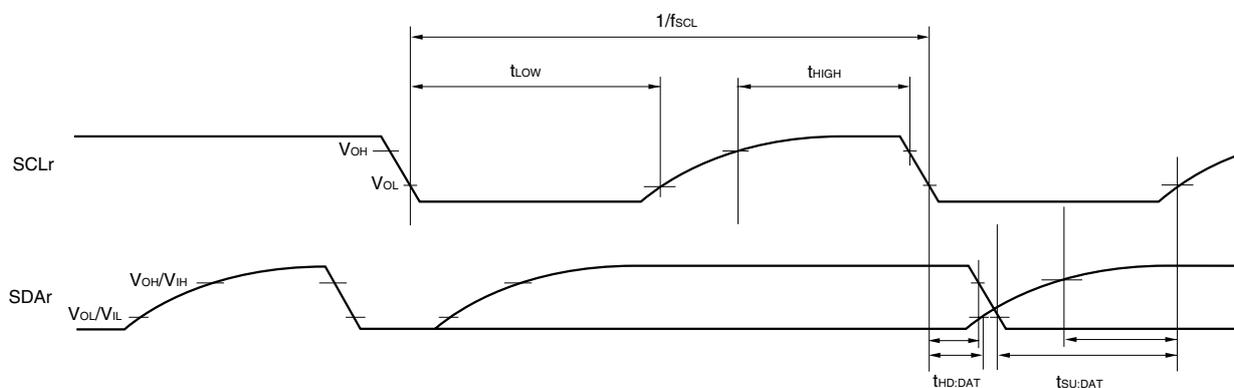
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (17/17)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



- 注意1. ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択、SCLrはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。
2. V_{IH}, V_{IL} はTTLバッファのスペック参照。 V_{OH}, V_{OL} は V_{IH}, V_{IL} と同電圧

- 備考1. R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, V_b [V] : 通信ライン電圧
2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 1, 14)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(3) シリアル・インタフェース：IICA

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = 0$ V)

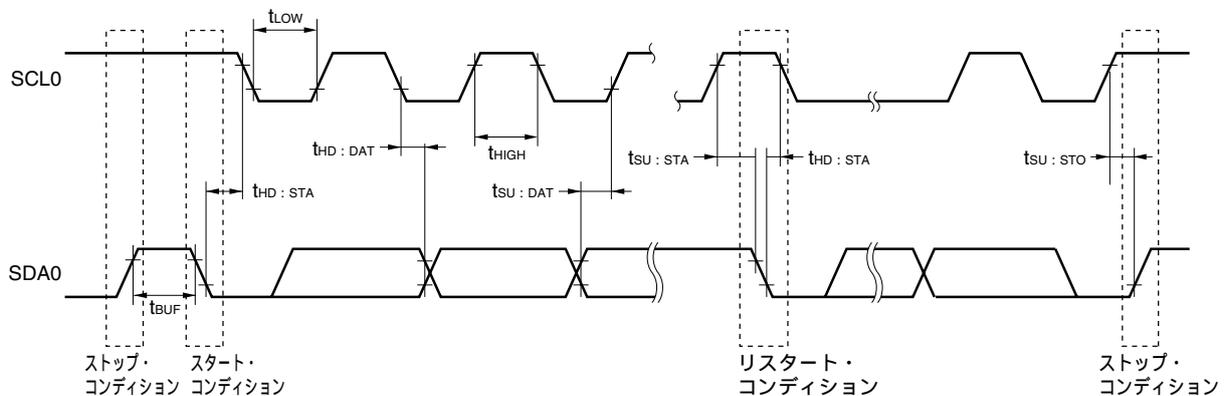
(a) IICA

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f_{SCL}	高速モード: f_{CLK} 3.5 MHz 標準モード: f_{CLK} 1 MHz	0	100	0	400	kHz
リスタート・コンディションのセットアップ時間 ^{注1}	$t_{SU:STA}$		4.7		0.6		μ s
ホールド時間	$t_{HD:STA}$		4.0		0.6		μ s
SCL0 = "L"のホールド・タイム	t_{LOW}		4.7		1.3		μ s
SCL0 = "H"のホールド・タイム	t_{HIGH}		4.0		0.6		μ s
データ・セットアップ時間(受信時)	$t_{SU:DAT}$		250		100		ns
データ・ホールド時間(送信時) ^{注2}	$t_{HD:DAT}$		0	3.45	0	0.9	μ s
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		μ s
パス・フリー時間	t_{BUF}		4.7		1.3		μ s

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. $t_{HD:DAT}$ の最大値(MAX.)は, 通常転送時の数値であり, \overline{ACK} (アクノリッジ)タイミングでは, ウエイトがかかります。

IICAシリアル転送タイミング



(4) シリアル・インタフェース：オンチップ・デバッグ (UART)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = 0$ V)

(a) オンチップ・デバッグ (UART)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			$f_{CLK}/2^{12}$		$f_{CLK}/6$	bps
		シリアル・プログラミング・モード ($f_{CLK} = 20$ MHz, $V_{DD} = 2.7$ V, $C_b = 50$ pF)			3.33	Mbps
TOOL1出力周波数	f_{TOOL1}	$V_{DD} = 2.7$ V			10	MHz
		$V_{DD} < 2.7$ V			2.5	MHz

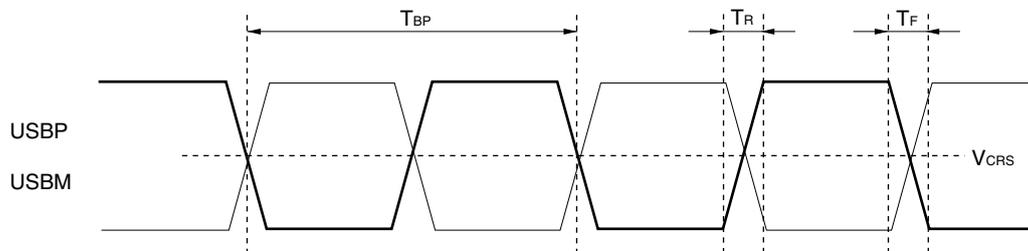
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

USBF特性 ($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD} = 3.6\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
USBM, USBP端子出力 Rise/Fall時間	T_R, T_F	$C_L = 50\text{ pF}^{\#}$	4		20	ns
フルスピード・データ速度	T_{DRATE}		11.97	12.00	12.03	Mbps
ビットピリオド	TBP		83.12	83.33	83.54	ns
USBM, USBP端子 立ち上がり / 立ち下がり 時間マッチング	T_{RFM}	T_R/T_F	90		110	%
USBM, USBP端子出力信号 クロス・ポイント電圧	V_{CRS}		1.3		2.0	V

注 C_L はUSBM, USBP出力ラインの負荷容量です。

USBFタイミング



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V , AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES				10	bit	
総合誤差 ^{注1, 2}	AINL	2.7 V AV_{REF} 3.6 V			± 0.35	%FSR	
変換時間	t_{CONV}	2.7 V AV_{REF} 3.6 V	高速モード	3.4		66.6	μs
			通常モード	8.6		66.6	μs
		1.8 V $AV_{REF} < 2.7\text{ V}$	低電圧モード	24.1		66.6	μs
ゼロスケール誤差 ^{注1, 2}	EZS				± 0.25	%FSR	
フルスケール誤差 ^{注1, 2}	EFS				± 0.25	%FSR	
積分直線性誤差 ^{注1}	ILE				± 2.5	LSB	
微分直線性誤差 ^{注1}	DLE				± 1.5	LSB	
アナログ入力電圧	V_{AIN}		AV_{SS}		AV_{REF}	V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

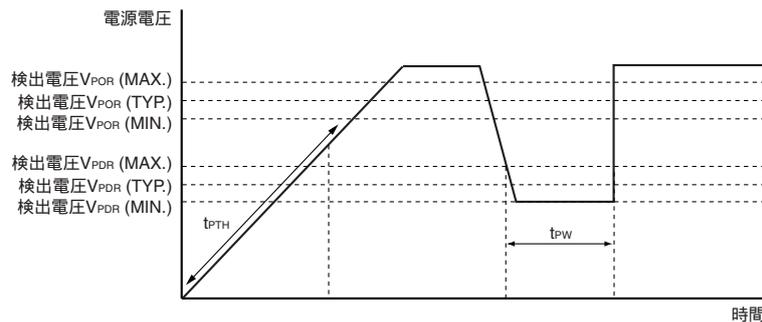
2. フルスケール値に対する比率 (%FSR) で表します。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}		1.52	1.61	1.70	V
	V_{PDR}		1.50	1.59	1.68	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0 V$ V_{POR} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μs
検出遅延					200	μs

POC回路タイミング



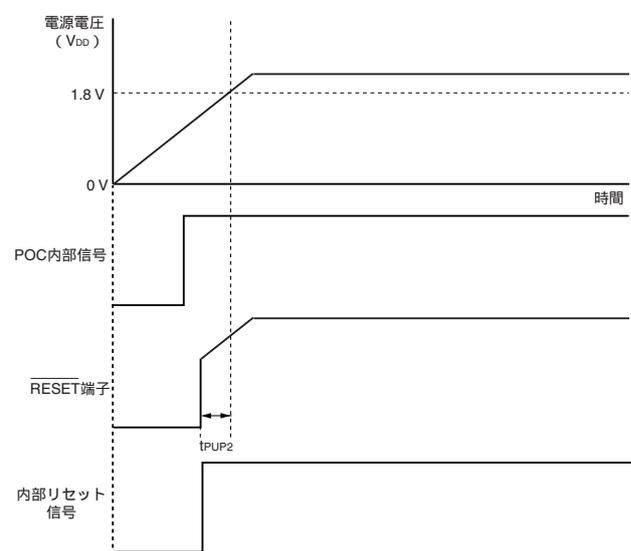
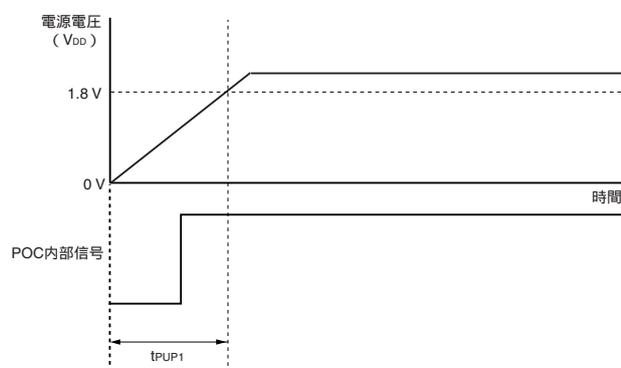
電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V$ 1.8 V)	t_{PUP1}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1), \overline{RESET} 入力未使用時			3.6	ms
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 (\overline{RESET} 入力解除 $V_{DD} : 1.8 V$)	t_{PUP2}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1), \overline{RESET} 入力使用時			1.88	ms

注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

- ・ \overline{RESET} 端子入力未使用時
- ・ \overline{RESET} 端子入力使用時 (POC解除後, \overline{RESET} 端子による外部リセットが解除される場合)



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85$, $V_{PDR} = V_{DD} = EV_{DD} = 3.6 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

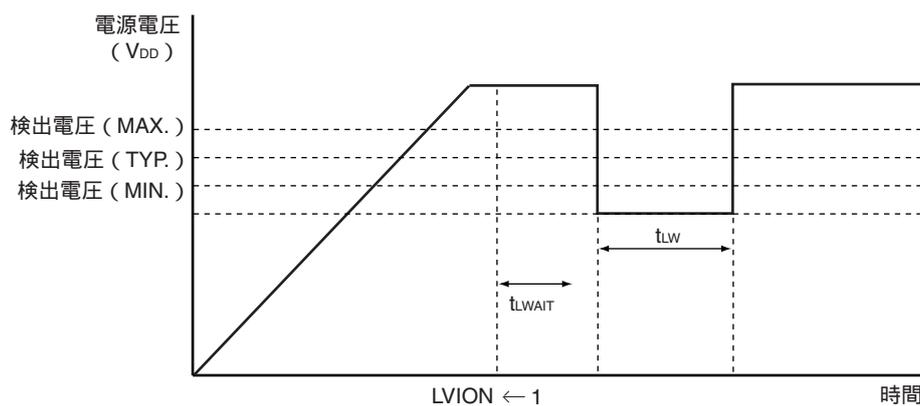
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI5}		3.45 ± 0.1		V
		V_{LVI6}		3.30 ± 0.1		V
		V_{LVI7}		3.15 ± 0.1		V
		V_{LVI8}		2.99 ± 0.1		V
		V_{LVI9}		2.84 ± 0.1		V
		V_{LVI10}		2.68 ± 0.1		V
		V_{LVI11}		2.53 ± 0.1		V
		V_{LVI12}		2.38 ± 0.1		V
		V_{LVI13}		2.22 ± 0.1		V
		V_{LVI14}		2.07 ± 0.1		V
		V_{LVI15}		1.91 ± 0.1		V
			外部入力端子 ^{注1}	$V_{EXLVI} < V_{DD}, 1.8 \text{ V}$ $V_{DD} = 3.6 \text{ V}$		1.21 ± 0.1
	電源立ち上げ時 電源電圧	LVIデフォルト・スタート機能動作時		2.07 ± 0.2		V
最小パルス幅	t_{LW}		200			μs
検出遅延					200	μs
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n}$: $n = 6-15$

LVI回路タイミング

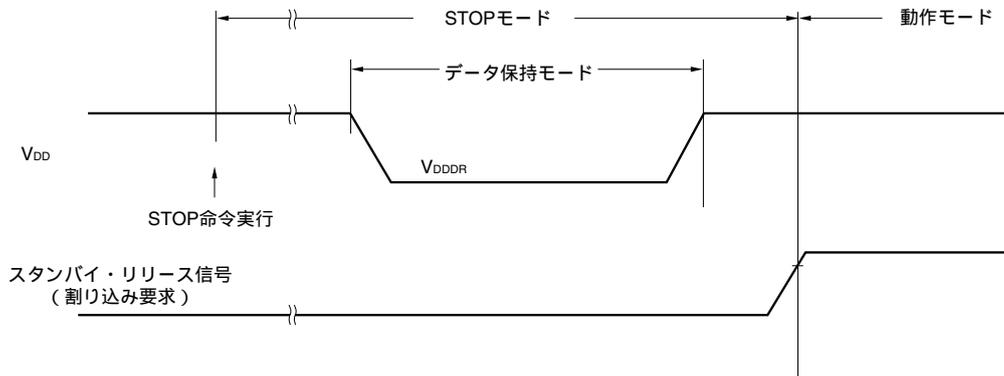


注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 [#]		3.6	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかる前まではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD}$ 3.6 V, $V_{SS} = EV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz		6	20	mA
CPU / 周辺ハードウェア・クロック周波数	f _{CLK}	2.7 V V_{DD} 3.6 V	2		20	MHz
		1.8 V V_{DD} 3.6 V	1		5	MHz
書き換え回数 (ブロックごとの消去回数)	C _{enwr}	プログラム更新用途 フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	保持 15年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレーション・ ライブラリ使用時	保持 5年	10,000		回

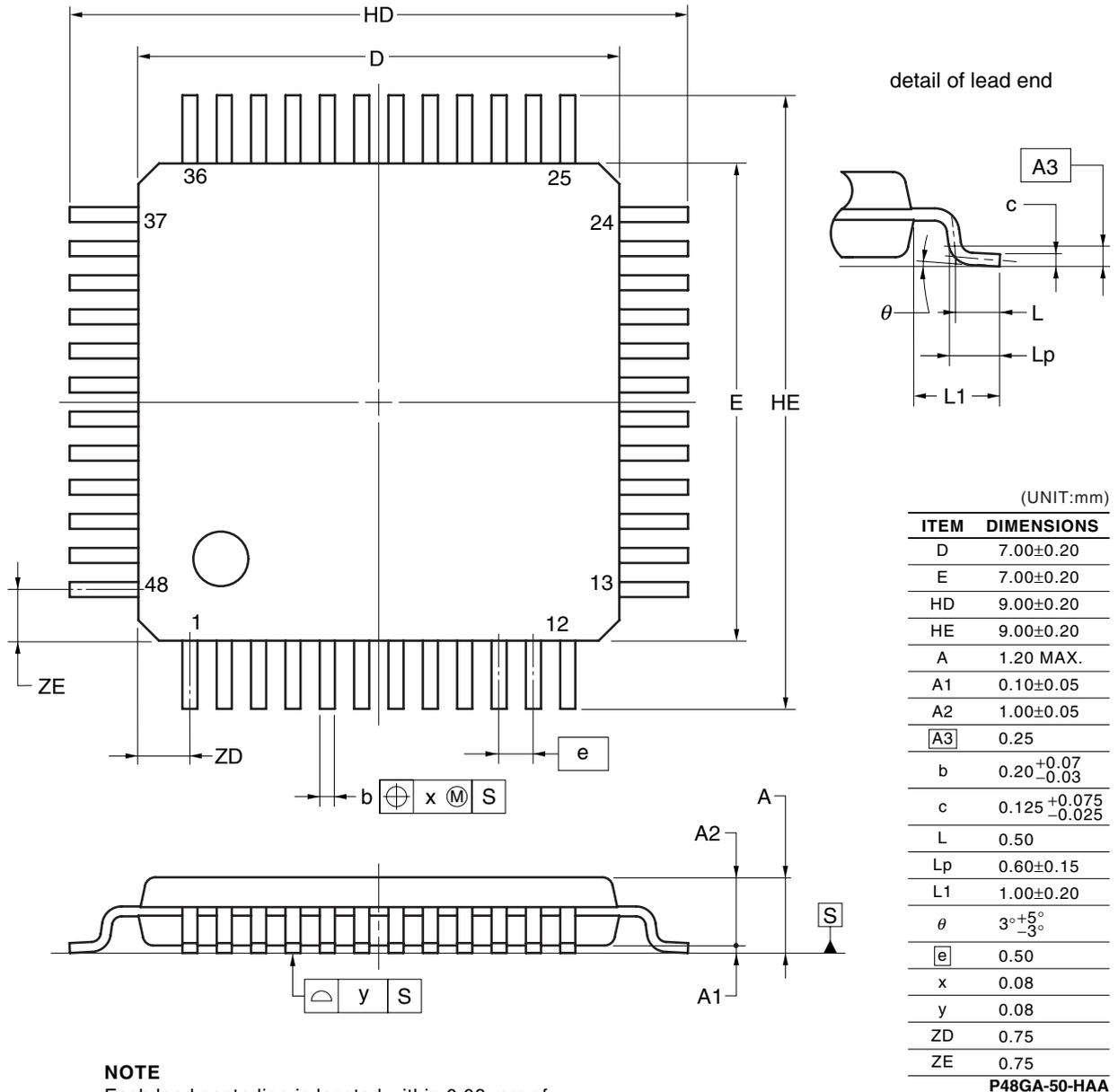
備考 データを複数回更新する場合は、データ更新用途として使用してください。

第29章 外形 図

29.1 78K0R/KC3-L (48ピン製品)

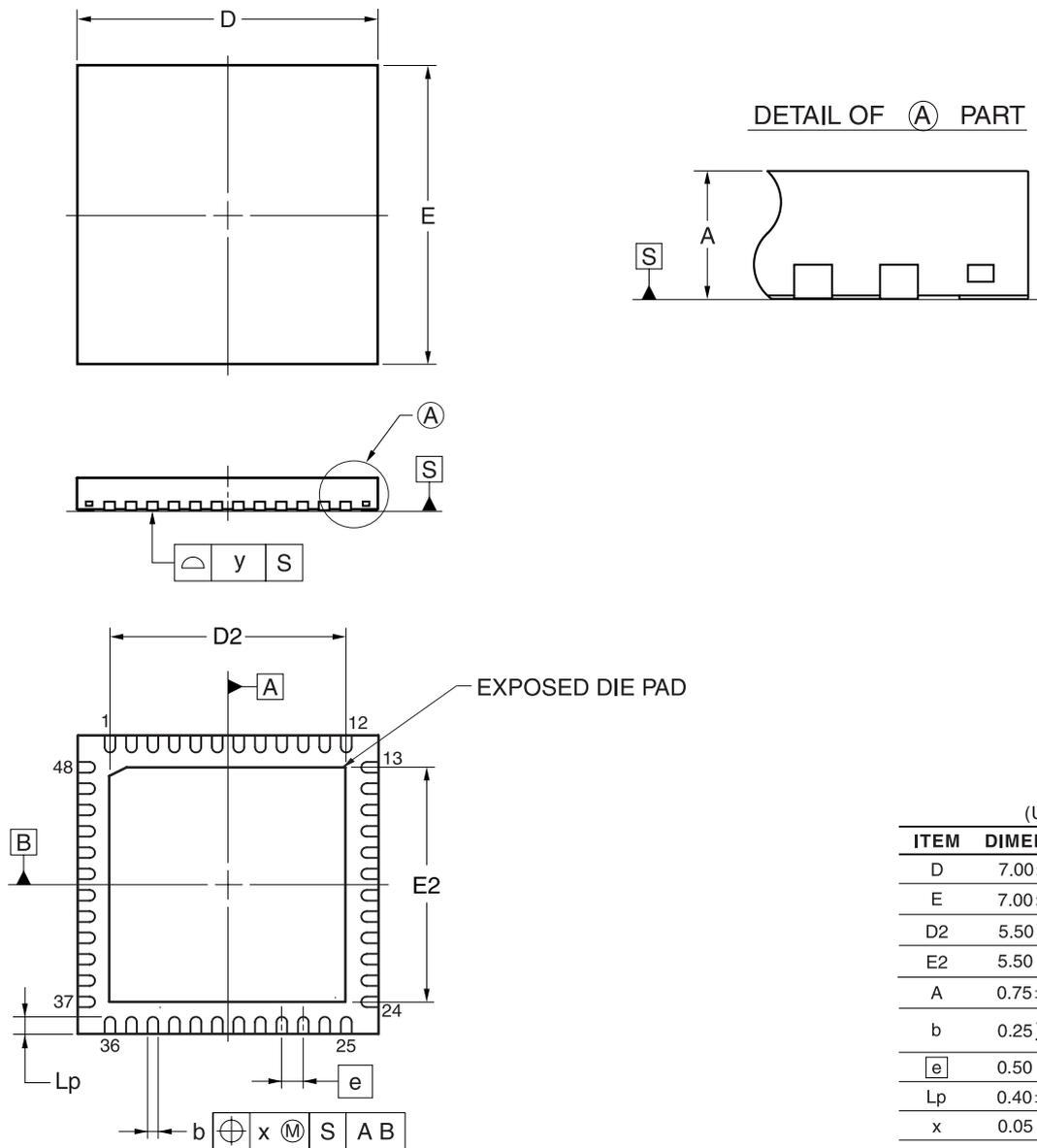
μ PD78F1022GA-HAA-AX, 78F1023GA-HAA-AX, 78F1024GA-HAA-AX

48-PIN PLASTIC TQFP (FINE PITCH) (7x7)



μ PD78F1022K8-5B4-AX, 78F1023K8-5B4-AX, 78F1024K8-5B4-AX

48-PIN PLASTIC WQFN(7x7)



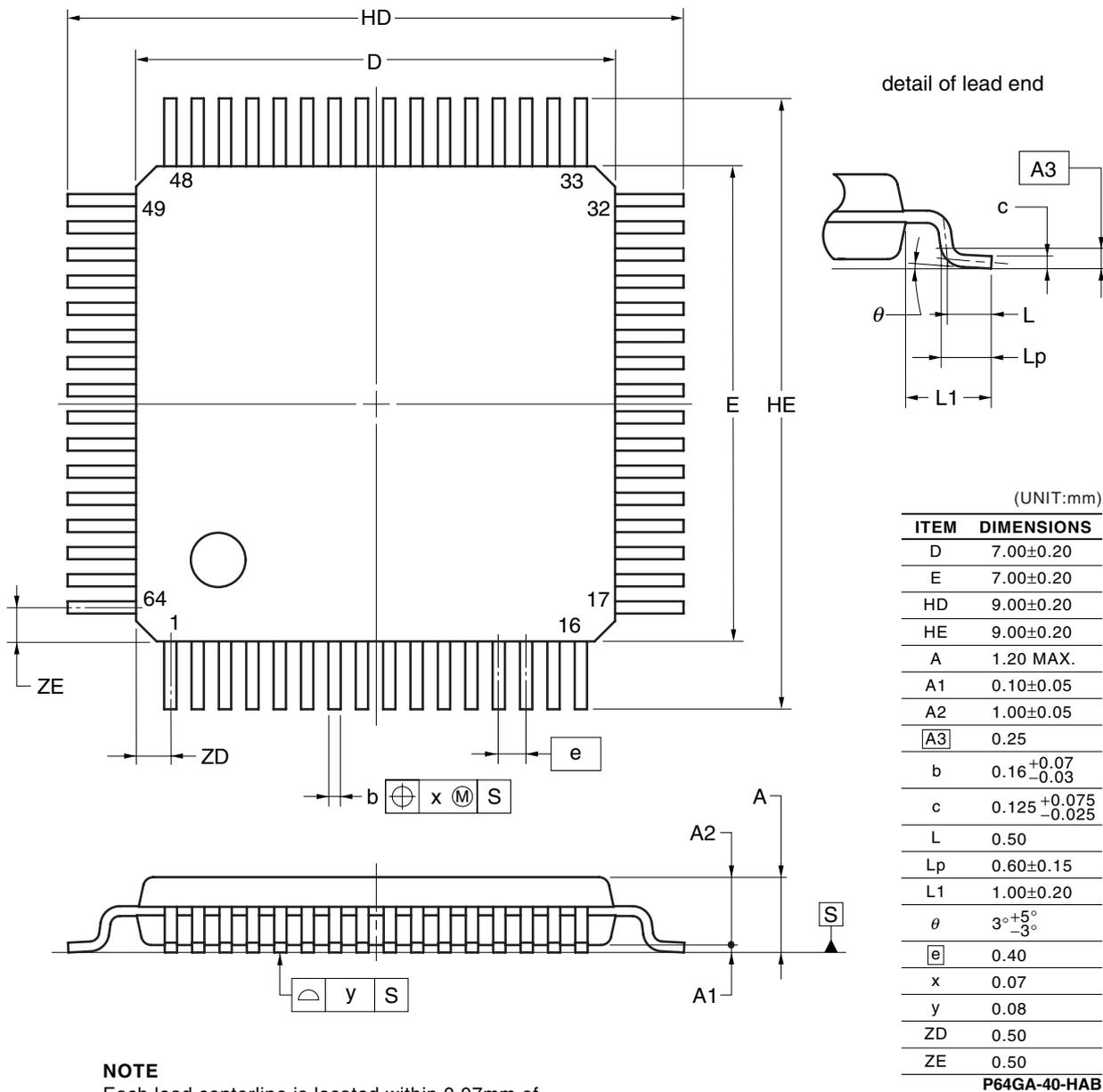
NOTE
D2 and E2 value varies depending on die size.

P48K8-50-5B4-2

29.2 78K0R/KE3-L (64ピン製品)

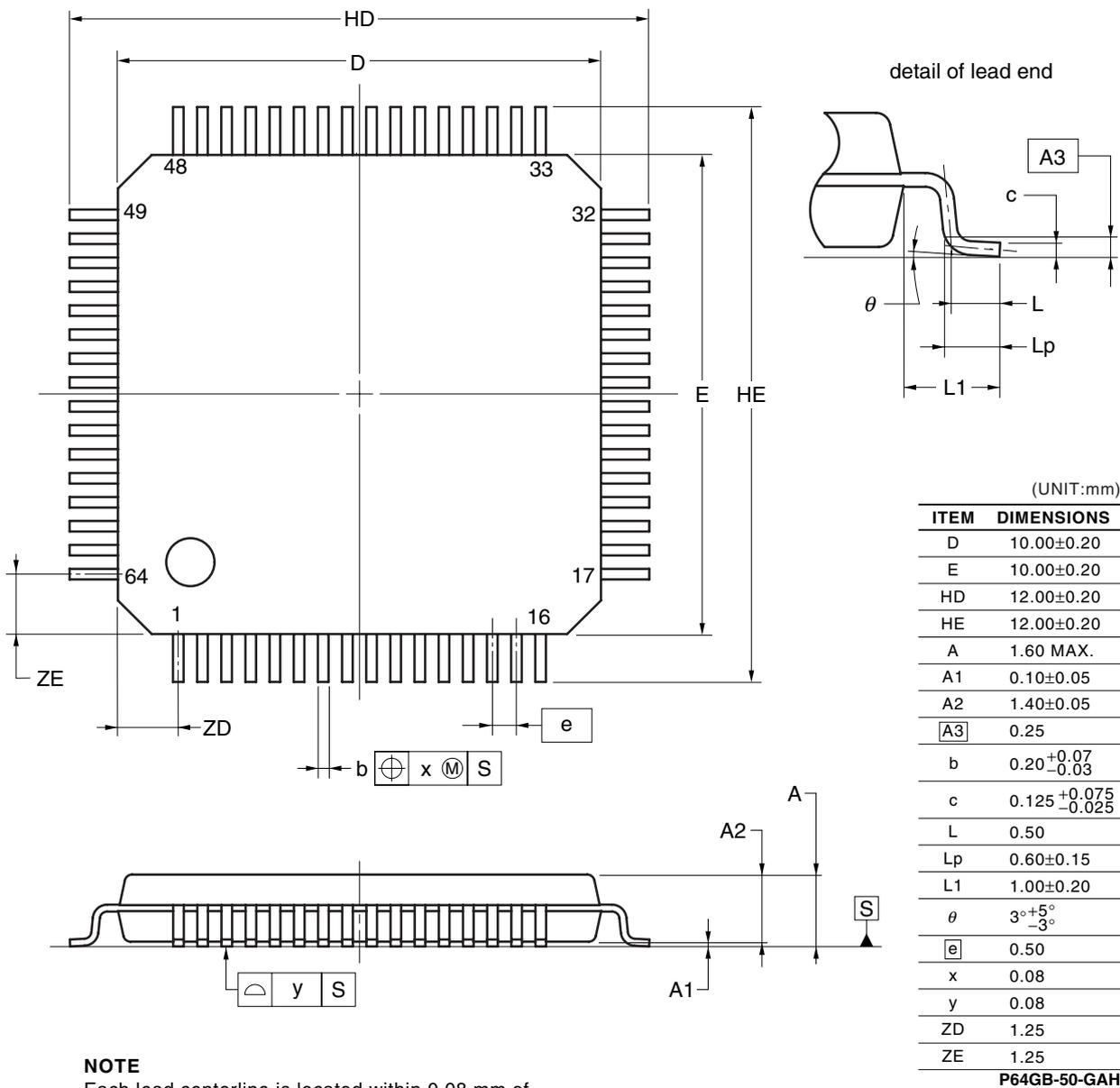
 μ PD78F1025GA-HAB-AX, 78F1026GA-HAB-AX

64-PIN PLASTIC TQFP (FINE PITCH) (7x7)



μ PD78F1025GB-GAH-AX, 78F1026GB-GAH-AX

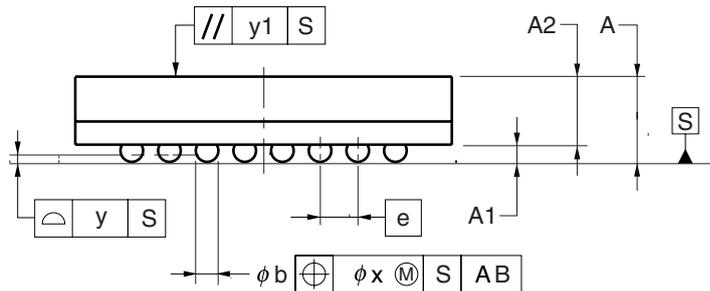
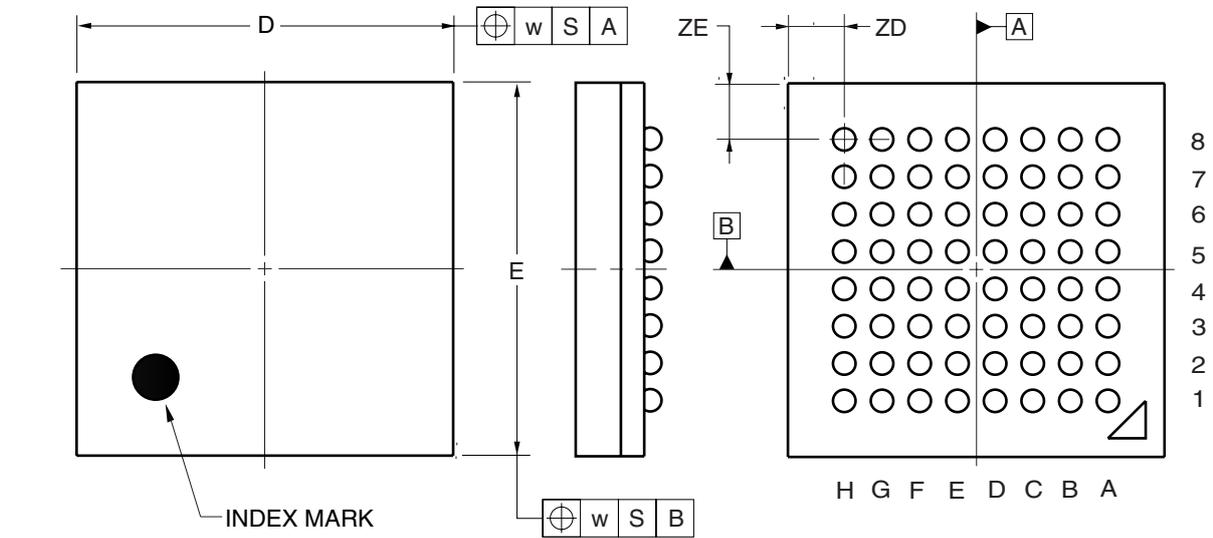
64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

μ PD78F1025F1-AN9-A, 78F1026F1-AN9-A

64-PIN PLASTIC FBGA (5x5)



(UNIT:mm)

ITEM	DIMENSIONS
D	5.00±0.10
E	5.00±0.10
w	0.20
A	1.13±0.10
A1	0.22±0.05
A2	0.91
e	0.50
b	0.31±0.05
x	0.05
y	0.08
y1	0.20
ZD	0.75
ZE	0.75

P64F1-50-AN9

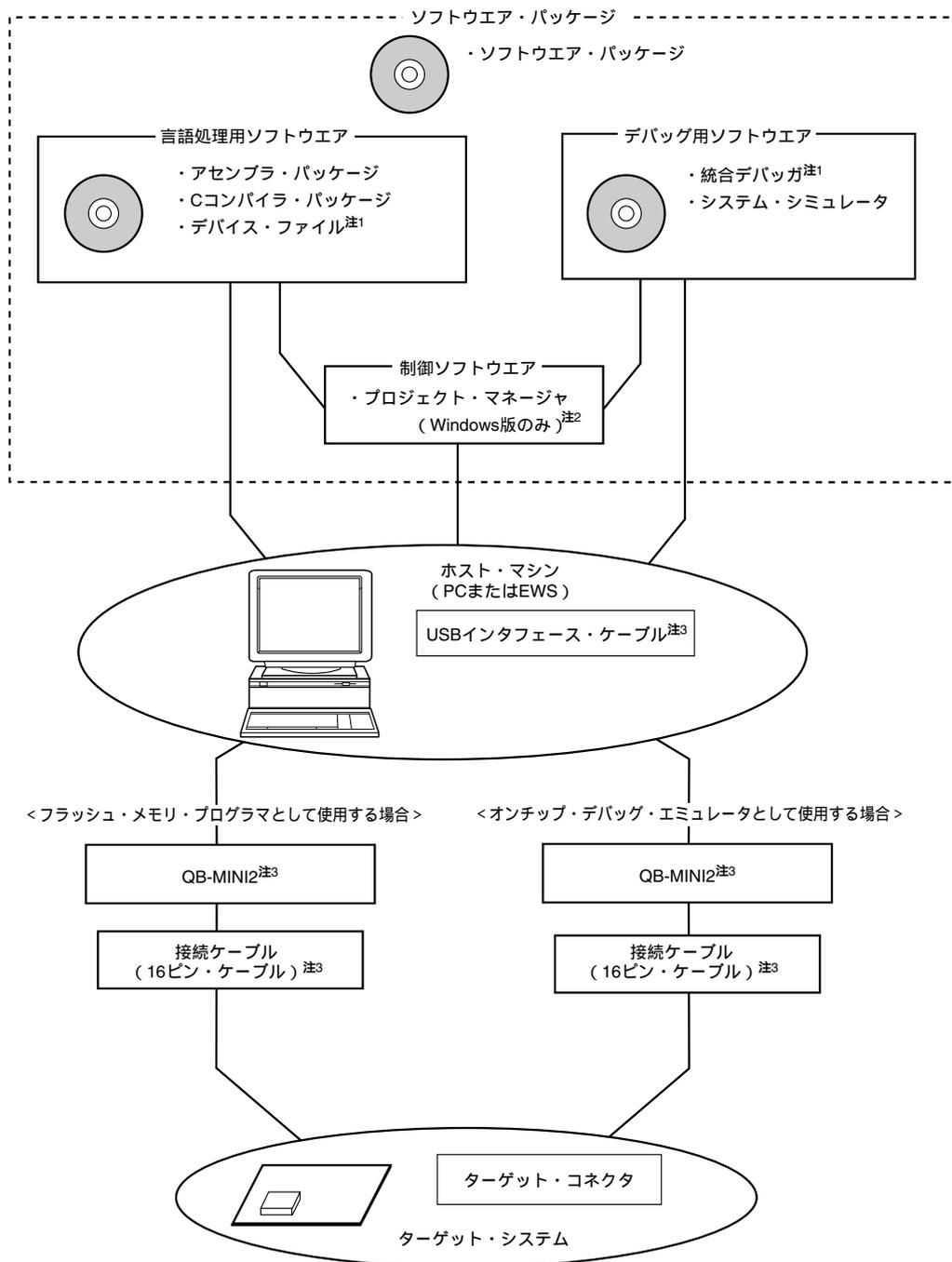
付録A 開発ツール

78K0R/KC3-L, KE3-Lを使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

図A-1 開発ツール構成

プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1 . 78K0R/KC3-L, KE3-L用のデバイス・ファイル (DF781026) および統合デバッガ ID78K0R-QBIは, 開発ツールのダウンロード・サイト (<http://www2.renesas.com/micro/ods/jpn/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。

また, Windows以外ではPM+は使用しません。

3 . QB-MINI2は, USBインタフェース・ケーブル, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。また, QB-MINI2を操作するためのソフトウェアを, MINICUBE2のホームページ

(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0R 78K0Rマイクロコントローラ・ソフトウェア・パッケージ	78K0Rマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times$ SP78K0R
---	--

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times$ SP78K0R

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0R アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル（DF781026）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times$ RA78K0R
CC78K0R Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times$ CC78K0R
DF781026 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0R, CC78K0R, SM+ for 78K0R, ID78K0R-QB）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称： $\mu S \times \times \times \times$ DF781026

注 DF781026は、RA78K0R, CC78K0R, SM+ for 78K0R, ID78K0R-QBのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0R

μS××××CC78K0R

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS××××DF781026

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

A.3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0R) の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-xxxx ^注 フラッシュ・メモリ書き込み用 アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注 フラッシュ・メモリ書き込み用アダプタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		フラッシュ・メモリ書き込み用 アダプタ
78K0R/KC3-L	48ピン・プラスチックTQFP (ファインピッチ) (7x7)	FA-78F1024GA-HAA-RX
	48ピン・プラスチックWQFN (7x7)	FA-78F1024K8-5B4-RX
78K0R/KE3-L	64ピン・プラスチックLQFP (ファインピッチ) (10x10)	FA-78F1026GB-GAH-RX
	64ピン・プラスチックTQFP (ファインピッチ) (7x7)	FA-78F1026GA-HAB-RX
	64ピン・プラスチックFBGA (5x5)	FA-78F1026F1-AN9-RX

備考1. FL-PR5, FA-xxxxは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0R/KC3-L, KE3-Lマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。USBインタフェース・ケーブル, 接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。78K0R/KC3-L, KE3-Lを使用する場合, USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	---

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

(<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 5 デバッグ用ツール（ハードウェア）

A. 5.1 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0R/KC3-L, KE3-Lマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。78K0R/KC3-L, KE3-Lを使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

（<http://www2.renesas.com/micro/ja/development/asia/minicube2/minicube2.html>）より入手してください。

A. 6 デバッグ用ツール（ソフトウェア）

SM+ for 78K0R システム・シミュレータ	SM+ for 78K0Rは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for 78K0Rを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF781026）と組み合わせて使用します。 オーダ名称： $\mu S \times \times \times SM781000$
ID78K0R-QB 統合デバッガ	78K0Rマイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0R-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF781026）と組み合わせて使用します。 オーダ名称： $\mu S \times \times \times ID78K0R-QB$

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SM781000$

$\mu S \times \times \times ID78K0R-QB$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

付録B 改版履歴

B.1 本版で改訂された主な箇所

(1/3)

箇所	内容	分類
2.01版で改訂された主な箇所		
第4章 ポート機能		
p.151	図4 - 30 ポート・モード・レジスタのフォーマット (78K0R/KC3-L) にPM11を追加	(b)
第13章 USBファンクション・コントローラ (USBF)		
p.585	13.1 概要の注意を変更	(c)
2.00版で改訂された主な箇所		
全般		
全般	μ PD78F1022, 78F1023, 78F1024, 78F1025, 78F1026の開発中 量産中	(d)
全般	48ピン・プラスチックWQFN (7 x 7 mm) を追加	(d)
全般	URLをルネサス エレクトロニクス社のWEBサイトに変更	-
全般	REGCのコンデンサ (0.47 ~ 1 μ F) からターゲットを削除	(b)
第1章 概要		
p.20	64ピン・プラスチックFBGA (5 x 5 mm) を追加	(d)
p.26	1.8 機能概要のリセット項目を変更	(b)
第3章 CPUアーキテクチャ		
pp.53-55	図3 - 1 メモリ・マップ (μ PD78F1022) ~ 図3 - 3 メモリ・マップ (μ PD78F1024, 78F1026) に注を追加	(c)
p.68	3.2.2 汎用レジスタに注意を追加	(c)
pp.78, 79	表3 - 6 拡張SFR (2nd SFR) 一覧 (1/21) と表3 - 6 拡張SFR (2nd SFR) 一覧 (2/21) を変更	(a)
第4章 ポート機能		
p.158	図4 - 38 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットに注意を追加	(c)
第5章 クロック発生回路		
p.172	図5 - 3 システム・クロック制御レジスタ (CKC) のフォーマットに注を追加	(c)
p.174	図5 - 4 クロック動作ステータス制御レジスタ (CSC) のフォーマットの注を追加	(c)
p.178	図5 - 6 発振安定時間選択レジスタ (OSTS) のフォーマットの注意を変更	(c)
p.179	図5 - 7 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のフォーマットに注意を追加	(c)
p.183	5.3 クロック発生回路を制御するレジスタの (8) 動作スピード・モード制御レジスタ (OSMC) を変更	(c)
pp.193-196	図5 - 15 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能停止に設定時 (オプション・バイト: LVIOFF = 1)) と図5 - 16 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能動作に設定時 (オプション・バイト: LVIOFF = 0)) を修正	(c)
p.206	図5 - 17 CPUクロック状態移行図を変更, 注を追加	(c)
pp.207, 208, 211	表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/6), 表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/6), 表5 - 4 CPUクロックの移行とSFRレジスタの設定例 (5/6) を変更	(c)
p.216	表5 - 9 $f_{MAIN} \leftrightarrow f_{SUB}$ で要する最大クロック数を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
- (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(2/3)

箇所	内容	分類
第7章 リアルタイム・カウンタ		
p.319	図7 - 18 リアルタイム・カウンタの動作開始手順に注を追加	(c)
p.324	7. 4. 5 リアルタイム・カウンタの32.768 kHz出力と7. 4. 6 リアルタイム・カウンタの512 Hz, 16.384 kHz出力に注意を追加	(c)
第8章 ウォッチドッグ・タイマ		
p.334	表8 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定を変更	(c)
pp.335, 336	8. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定を変更	(b)
第10章 A/Dコンバータ		
p.353	図10 - 9 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットに注意を追加	(c)
p.356	図10 - 11 A/Dコンバータの基本動作を変更	(b)
p.366	10. 6 A/Dコンバータの注意事項の(9)A/D変換スタート直後の変換結果についてを変更	(b)
p.367	表10 - 4 等価回路の各抵抗と容量値(参考値)を変更	(b)
p.367	10. 6 A/Dコンバータの注意事項に(12)A/Dコンバータの動作開始についてを追加	(c)
第11章 シリアル・アレイ・ユニット		
p.385	図11 - 8 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット(2/2)に注を追加	(c)
p.386	図11 - 9 シリアル・データ・レジスタmn (SDRmn) のフォーマットに注意を追加	(c)
第12章 シリアル・インタフェースIICA		
p.517	図12 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット(3/4)を変更	(c)
p.519	12. 3 シリアル・インタフェースIICAを制御するレジスタの(3)IICAステータス・レジスタ (IICS) の注意を変更	(c)
p.520	図12 - 7 IICAステータス・レジスタ (IICS) のフォーマット(2/3)を変更	(c)
p.528	12. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を変更	(c)
第13章 USBファンクション・コントローラ (USBF)		
p.588	13. 3. 2 接続構成を変更	(b), (c)
第16章 割り込み機能		
p.813	16. 4. 4 割り込み要求の保留を変更	(c)
第18章 スタンバイ機能		
pp.826, 827	図18 - 4 HALTモードのリセットによる解除を変更	(c)
pp.829-831	図18 - 5 STOPモードの割り込み要求発生による解除と図18 - 6 STOPモードのリセットによる解除を変更	(c)
第19章 リセット機能		
p.832	第19章 リセット機能に(6)リセット処理のチェック・エラーによる内部リセットの記述を追加	(c)
p.833	図19 - 1 リセット機能のブロック図を変更	(c)
p.834	図19 - 2 RESET入力によるリセット・タイミングを変更	(c)
p.834	図19 - 3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミングを変更	(c)
p.835	図19 - 4 STOPモード中のRESET入力によるリセット・タイミングを変更	(c)
p.840	表19 - 2 各ハードウェアのリセット受け付け後の状態(4/4)を変更	(c)
p.841	図19 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマットを変更	(c)
p.841	表19 - 3 リセット要求時のRESFの状態を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
- (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(3/3)

箇所	内容	分類
第20章 パワーオン・クリア回路		
pp.844, 845	図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミングを変更	(c)
pp.846, 847	図20 - 3 リセット解除後のソフト処理例を変更	(c)
第21章 低電圧検出回路		
pp.867, 868	図21 - 11 リセット解除後のソフト処理例を変更	(c)
第23章 オプション・バイト		
p.874	図23 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマットを変更	(c)
第24章 フラッシュ・メモリ		
p.883	24. 3 通信方式に注を追加	(c)
p.889	24. 6. 3 通信方式に注を追加	(c)
p.893	24. 8 セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意と備考を追加	(c)
p.895	図24 - 11 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れを変更	(c)
第25章 オンチップ・デバッグ機能		
p.900	表25 - 1 1線モードと2線モードの違いを変更	(c)
第28章 電気的特性		
p.929	絶対最大定格 (TA = 25) を変更	(b)
p.930	内蔵発振回路特性を変更	(b)
p.932	推奨発振回路定数を追加	(b)
pp.939, 940	DC特性 (7/9) とDC特性 (8/9) の電源電流を変更	(b)
p.941	DC特性 (9/9) にUSB動作電流を追加, 注を追加	(c)
付録A 開発ツール		
p.980	フラッシュ・メモリ書き込み用アダプタのパッケージを追加	(b)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(メ モ)

78K0R/KC3-L, 78K0R/KE3-L (USB コントローラ内蔵製品)
ユーザーズマニュアル ハードウェア編

発行年月日 2009年12月17日 Rev.0.01

2011年9月22日 Rev.2.01

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

78K0R/KC3-L, 78K0R/KE3-L
(USB コントローラ内蔵製品)