

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/3003

ハードウェアマニュアル
ルネサスマイクロコンピュータ

HD6413003

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

H8/3003は、内部32ビット構成のH8/300H CPUを核にして、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

H8/300H CPUは、内部32ビット構成で16ビット×16本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16Mバイトのリニアなアドレス空間を扱うことができます。

周辺機能として、RAM、16ビットインテグレートドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D変換器、I/Oポート、DMAコントローラ（DMAC）、リフレッシュコントローラなどを内蔵しています。

アドレス空間は8つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU動作モードは、モード1～4があり、データバス幅の初期値とアドレス空間を選択することができます。

このため、H8/3003を用いることにより高性能かつ小型のシステムを容易に実現することができます。

本マニュアルは、H8/3003のハードウェアについて説明します。命令の詳細については、「H8/300Hシリーズ プログラミングマニュアル」をあわせてご覧ください。

本版で改訂または追加された主な箇所

ページ	項目	内容
P.81	4.1.2 例外処理の動作 (3)	説明内容修正
P.83	4.2.2 リセットシーケンス (2)	説明内容修正
P.116	図5.7 割込みシーケンス	動作タイミング修正
P.117	表5.5 割り込み応答時間	表の値変更
P.146	図6.15 プログラマブルウェイトモード	動作タイミング修正
P.151	図6.18 外部バス権解放状態	動作タイミング修正
P.153	図6.20 ASTCRライトタイミング	動作タイミング修正
P.188	図7.20 RTCNTのライトとクリアの競合	動作タイミング修正
P.189	図7.21 RTCNTのライトとカウントアップの競合	動作タイミング修正
P.190	図7.22 RTCORのライトとコンペアマッチの競合	アドレスバス修正
P.192	表7.9 内部クロックの切換えとRTCNT動作 No.4	書換えタイミング修正
P.199	表8.1 DMACの機能概要	表の内容修正
P.232	図8.7 リピートモードの設定手順例	フローチャート修正
P.234	図8.8 ノーマルモードの動作	記号説明修正
P.245	図8.17 ノーマルモード時のDREQ端子の“Low”レベルによるDMAC起動タイミング	動作タイミング修正
P.291	表9.14 ポートAの端子機能 (5)	表の内容修正
P.294	表9.16 ポートBの端子機能 (1)	表の内容修正
P.295	表9.16 ポートBの端子機能 (2)	表の内容修正
P.302	表9.18 ポートCの端子機能 (1)	表の内容修正
P.303	表9.18 ポートCの端子機能 (2)	表の内容修正
P.304	表9.18 ポートCの端子機能 (3)	表の内容修正
P.309	表10.1 ITUの機能一覧	チャンネル4出力端子修正
P.311	図10.2 チャンネル0、1のブロック図	端子名修正
P.374	図10.34 相補PWMモードの解除手順	説明追加
P.423	11.2.5 ネクストデータレジスタA (NDRA) (1)	説明内容修正
P.448	表12.1 端子構成	【注】削除
P.497	図13.4 SCIのイニシャライズフローチャートの例	フローチャート修正
P.499	図13.6 調歩同期式モードでの送信時の動作例	動作例修正
P.500,501	図13.7 シリアル受信データフローチャートの例	フローチャート修正
P.503	図13.8 SCI受信時の動作例	動作例修正
P.511	図13.15 SCIのイニシャライズフローチャートの例	フローチャート修正
P.522	13.5 使用上の注意 (5)	説明内容修正
P.523	13.5 使用上の注意 (6)	式修正
P.527	14.1.1 特長 ■高速変換	変換時間修正
P.535	14.2.3 A/Dコントロールレジスタ	イニシャライズ値修正

ページ	項目	内容
P.543	14.6 使用上の注意 (2)	説明内容修正
P.553	16.1 概要	内部クロックの値修正
P.555	表16.2 水晶発振子のパラメータ	表の値追加
P.557	表16.3 クロックタイミング 図16.6 外部クロック入力タイミング	表の値変更 図修正
P.564	17.3.2 スリープモードの解除 (1) 割込みによる解除	説明内容修正
P.572~585	18.2 電気的特性 表18.2~18.8	条件値の変更
P.574	表18.2 DC特性 (3) 出力"High"レベル電圧 表18.2 DC特性 (3) 出力"Low"レベル電圧	表の値追加 測定条件変更
P.575	表18.2 DC特性 (4) リファレンス電源電流	値変更
P.576	表18.2 DC特性 (5)	表追加
P.577	表18.2 DC特性 (6)	表追加
P.579,580	表18.4 バスタイミング(1), (2)	値変更
P.581	表18.5 リフレッシュコントローラバスタイミング プリチャージ時間	値変更
P.582	表18.6 制御信号タイミング	条件値変更
P.583	表18.7 内蔵周辺モジュールタイミング	条件値変更
P.585	表18.8 A/D変換特性	表の値変更
P.588	図18.7 DRAMバスタイミング (リード/ライト時) / 3ステートアクセス -2WE方式-	* 追加
P.590	図18.10 DRAMバスタイミング (リード/ライト時) / 3ステートアクセス -2CAS方式-	* 追加
P.592	図18.13 PSRAMバスタイミング (リード/ライト時) / 3ステートアクセス	* 追加
P.601	A.1 命令一覧 《オペレーションの記号》	内容修正、追加
P.603	表A.1 命令セット一覧 (1) MOV.B Rs, @(d:16,ERd) 表A.1 命令セット一覧 (1) MOV.B Rs, @(d:24,ERd)	オペレーション修正 オペレーション修正
P.604	表A.1 命令セット一覧 (2) MOV.W Rs, @(d:16,ERd) 表A.1 命令セット一覧 (2) MOV.W Rs, @(d:24,ERd) 表A.1 命令セット一覧 (2) MOV.L #xx:32,Rd 表A.1 命令セット一覧 (2) POP,L ERn 表A.1 命令セット一覧 (2) PUSH.L ERn	オペレーション修正 オペレーション、実行スタート数修正 実行スタート数修正 実行スタート数修正 実行スタート数修正
P.605	表A.1 命令セット一覧 (3) SUBX.B Rs,Rd	オペレーション修正
P.613	表A.1 命令セット一覧 (11) BSR d:8	実行スタート数修正
P.614	表A.1 命令セット一覧 (12) STC	ニーマニック修正 (3ヶ所)
P.623	表A.3 命令実行状態 (サイクル数) (3) BSR d:16	内部動作追加
P.720	図C.4 ポート7ブロック図	図修正
P.743	E.ハードウェアスタンバイモード遷移/復帰時の タイミングについて	説明内容修正

目次

《第1章》 概要

1.1	概要	3
1.2	内部ブロック図	7
1.3	端子説明	8
1.3.1	ピン配置	8
1.3.2	端子機能	9
1.4	端子機能	13

《第2章》 CPU

2.1	概要	23
2.1.1	特長	23
2.1.2	H8/300CPUとの相違点	24
2.2	CPU動作モード	25
2.3	アドレス空間	26
2.4	レジスタ構成	27
2.4.1	概要	27
2.4.2	汎用レジスタ	28
2.4.3	コントロールレジスタ	29
2.4.4	CPU内部レジスタの初期値	30
2.5	データ構成	31
2.5.1	汎用レジスタのデータ構成	31
2.5.2	メモリ上でのデータ構成	33
2.6	命令セット	34
2.6.1	命令セットの概要	34
2.6.2	命令とアドレッシングモードの組み合わせ	34
2.6.3	命令の機能別一覧	36
2.6.4	命令の基本フォーマット	47
2.6.5	ビット操作命令使用上の注意	48
2.7	アドレッシングモードと実効アドレスの計算方法	49
2.7.1	アドレッシングモード	49
2.7.2	実効アドレスの計算方法	52
2.8	処理状態	56
2.8.1	概要	56
2.8.2	プログラム実行状態	56
2.8.3	例外処理状態	57

2.8.4	例外処理の動作	59
2.8.5	バス権解放状態	60
2.8.6	リセット状態	60
2.8.7	低消費電力状態	60
2.9	基本動作タイミング	62
2.9.1	概要	62
2.9.2	内蔵メモリアクセスタイミング	62
2.9.3	内蔵周辺モジュールアクセスタイミング	64
2.9.4	外部アドレス空間アクセスタイミング	65
《第3章》 MCU動作モード		
3.1	概要	69
3.1.1	動作モードの選択の種類	69
3.1.2	レジスタ構成	70
3.2	モードコントロールレジスタ (MDCR)	71
3.3	システムコントロールレジスタ (SYSCR)	72
3.4	各動作モードの説明	75
3.4.1	モード1	75
3.4.2	モード2	75
3.4.3	モード3	75
3.4.4	モード4	75
3.5	各動作モードにおける端子機能	76
3.6	各動作モードのメモリマップ	77
《第4章》 例外処理		
4.1	概要	81
4.1.1	例外処理の種類と優先度	81
4.1.2	例外処理の動作	81
4.1.3	例外処理要因とベクタテーブル	81
4.2	リセット	83
4.2.1	概要	83
4.2.2	リセットシーケンス	83
4.2.3	リセット直後の割込み	86
4.3	割込み	86
4.4	トラップ命令	87
4.5	例外処理後のスタックの状態	87
4.6	スタック使用上の注意	88

《第5章》 割込みコントローラ

5.1	概要	91
5.1.1	特長	91
5.1.2	ブロック図	92
5.1.3	端子構成	93
5.1.4	レジスタ構成	93
5.2	各レジスタの説明	94
5.2.1	システムコントロールレジスタ (SYSCR)	94
5.2.2	インタラプトプライオリティレジスタA、B (IPRA、IPRB)	95
5.2.3	IRQステータスレジスタ (ISR)	102
5.2.4	IRQイネーブルレジスタ (IER)	103
5.2.5	IRQセンスコントロールレジスタ (ISCR)	104
5.3	割込み要因	105
5.3.1	外部割込み	105
5.3.2	内部割込み	106
5.3.3	割込み例外処理ベクタテーブル	106
5.4	割込み動作	109
5.4.1	割込み動作の流れ	109
5.4.2	割込み例外処理シーケンス	115
5.4.3	割込み応答時間	117
5.5	使用上の注意	118
5.5.1	割込み発生とディスエーブルとの競合	118
5.5.2	割込みの受け付けを禁止している命令	119
5.5.3	EEPMOV命令実行中の割込み	119

《第6章》 バスコントローラ

6.1	概要	123
6.1.1	特長	123
6.1.2	ブロック図	124
6.1.3	端子構成	125
6.1.4	レジスタ構成	125
6.2	各レジスタの説明	126
6.2.1	バス幅コントロールレジスタ (ABWCR)	126
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	127
6.2.3	ウェイトコントロールレジスタ (WCR)	128
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	129
6.2.5	バスリリースコントロールレジスタ (BRCR)	130
6.3	動作説明	131
6.3.1	エリア分割	131

6.3.2	チップセレクト信号	132
6.3.3	データバス	133
6.3.4	バス制御信号タイミング	134
6.3.5	ウェイトモード	142
6.3.6	メモリとの接続例	148
6.3.7	バスアービタの動作	149
6.4	使用上の注意	153
6.4.1	DRAMおよびPSRAMの接続	153
6.4.2	レジスタライトタイミング	153
6.4.3	BREQ端子の入カタイミング	154

《第7章》 リフレッシュコントローラ

7.1	概要	157
7.1.1	特長	157
7.1.2	ブロック図	158
7.1.3	端子構成	159
7.1.4	レジスタ構成	159
7.2	各レジスタの説明	160
7.2.1	リフレッシュコントロールレジスタ (RFSHCR)	160
7.2.2	リフレッシュタイマコントロールステータスレジスタ (RTMCSR)	163
7.2.3	リフレッシュタイマカウンタ (RTCNT)	166
7.2.4	リフレッシュタイムコンスタントレジスタ (RTCOR)	166
7.3	動作説明	167
7.3.1	概要	167
7.3.2	DRAMリフレッシュ制御	169
7.3.3	PSRAMリフレッシュ制御	184
7.3.4	インターバルタイマ	187
7.4	割込み要因	192
7.5	使用上の注意	193

《第8章》 DMAコントローラ

8.1	概要	197
8.1.1	特長	197
8.1.2	ブロック図	198
8.1.3	機能概要	199
8.1.4	端子構成	200
8.1.5	レジスタ構成	200
8.2	各レジスタの説明(1) (ショートアドレスモード)	203
8.2.1	メモリアドレスレジスタ (MAR)	204

8.2.2	I/Oアドレスレジスタ (IOAR)	205
8.2.3	転送カウントレジスタ (ETCR)	206
8.2.4	データトランスファコントロールレジスタ (DTCR)	207
8.3	各レジスタの説明(2) (フルアドレスモード)	211
8.3.1	メモリアドレスレジスタ (MAR)	211
8.3.2	I/Oアドレスレジスタ (IOAR)	212
8.3.3	転送カウントレジスタ (ETCR)	212
8.3.4	データトランスファコントロールレジスタ (DTCR)	214
8.4	動作説明	221
8.4.1	概要	221
8.4.2	I/Oモード	223
8.4.3	アイドルモード	226
8.4.4	リピートモード	229
8.4.5	ノーマルモード	233
8.4.6	ブロック転送モード	236
8.4.7	DMA Cの起動要因	241
8.4.8	DMA Cのバスサイクル	243
8.4.9	DMA C複数チャネルの動作	247
8.4.10	外部バス権要求、リフレッシュコントローラとDMA Cの関係	249
8.4.11	NMI割込みとDMA C	250
8.4.12	DMA C動作の強制終了	251
8.4.13	フルアドレスモードの解除	251
8.4.14	リセット、スタンバイモード、スリープモード時のDMA Cの状態	252
8.5	割込み	253
8.6	使用上の注意	255
8.6.1	ワードデータ転送時の注意	255
8.6.2	DMA CによるDMA C自体のアクセス	255
8.6.3	MARのロングワードアクセス	255
8.6.4	フルアドレスモード設定時の注意	255
8.6.5	内部割込みでDMA Cを起動する場合の注意	256
8.6.6	NMI割込みとブロック転送モード	257
8.6.7	MAR、IOARのアドレス指定	257
8.6.8	転送中断時のバスサイクル	258

《第9章》 I/Oポート

9.1	概要	261
9.2	ポート4	263
9.2.1	概要	263
9.2.2	レジスタ構成	264

9.2.3	モード別端子機能	266
9.2.4	入力プルアップMOS	267
9.3	ポート5	268
9.3.1	概要	268
9.3.2	レジスタ構成	268
9.3.3	モード別端子機能	272
9.3.4	入力プルアップMOS	273
9.4	ポート6	274
9.4.1	概要	274
9.4.2	レジスタ構成	274
9.4.3	端子機能	276
9.5	ポート7	277
9.5.1	概要	277
9.5.2	レジスタ構成	277
9.6	ポート8	278
9.6.1	概要	278
9.6.2	レジスタ構成	278
9.6.3	端子機能	280
9.7	ポート9	281
9.7.1	概要	281
9.7.2	レジスタ構成	281
9.7.3	端子機能	283
9.8	ポートA	285
9.8.1	概要	285
9.8.2	レジスタ構成	285
9.8.3	端子機能	287
9.9	ポートB	292
9.9.1	概要	292
9.9.2	レジスタ構成	292
9.9.3	端子機能	294
9.10	ポートC	300
9.10.1	概要	300
9.10.2	レジスタ構成	300
9.10.3	端子機能	302
《第10章》 16ビットインテグレートッドタイムユニット		
10.1	概要	307
10.1.1	特長	307
10.1.2	ブロック図	310

10.1.3	端子構成	315
10.1.4	レジスタ構成	317
10.2	各レジスタの説明	319
10.2.1	タイマスタートレジスタ (TSTR)	319
10.2.2	タイマシンクロレジスタ (TSNC)	321
10.2.3	タイマモードレジスタ (TMDR)	323
10.2.4	タイマファンクションコントロールレジスタ (TFCR)	327
10.2.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	330
10.2.6	タイマアウトプットコントロールレジスタ (TOCR)	333
10.2.7	タイマカウンタ (TCNT)	335
10.2.8	ジェネラルレジスタA、B (GRA、GRB)	336
10.2.9	バッファレジスタA、B (BRA、BRB)	337
10.2.10	タイマコントロールレジスタ (TCR)	338
10.2.11	タイマI/Oコントロールレジスタ (TIOR)	341
10.2.12	タイマステータスレジスタ (TSR)	344
10.2.13	タイマインタラプトイネーブルレジスタ (TIER)	347
10.3	CPUとのインタフェース	349
10.3.1	16ビットアクセス可能なレジスタ	349
10.3.2	8ビットアクセスのレジスタ	351
10.4	動作説明	352
10.4.1	概要	352
10.4.2	基本機能	354
10.4.3	同期動作	363
10.4.4	PWMモード	365
10.4.5	リセット同期PWMモード	369
10.4.6	相補PWMモード	372
10.4.7	位相計数モード	381
10.4.8	バッファ動作	383
10.4.9	I TU出力タイミング	390
10.5	割込み	393
10.5.1	ステータスフラグのセットタイミング	393
10.5.2	ステータスフラグのクリアタイミング	395
10.5.3	割込み要因とDMAコントローラの起動	396
10.6	使用上の注意	397

《第11章》 プログラマブルタイミングパターンコントローラ

11.1	概要	417
11.1.1	特長	417
11.1.2	ブロック図	418

11.1.3	端子構成	419
11.1.4	レジスタ構成	420
11.2	各レジスタの説明	421
11.2.1	ポートAデータディレクションレジスタ (PADDDR)	421
11.2.2	ポートAデータレジスタ (PADR)	421
11.2.3	ポートBデータディレクションレジスタ (PBDDR)	422
11.2.4	ポートBデータレジスタ (PBDR)	422
11.2.5	ネクストデータレジスタA (NDRA)	423
11.2.6	ネクストデータレジスタB (NDRB)	425
11.2.7	ネクストデータイネーブルレジスタA (NDERA)	427
11.2.8	ネクストデータイネーブルレジスタB (NDERB)	428
11.2.9	TPC出力コントロールレジスタ (TPCR)	429
11.2.10	TPC出力モードレジスタ (TPMR)	432
11.3	動作説明	435
11.3.1	概要	435
11.3.2	出力タイミング	436
11.3.3	TPC出力通常動作	437
11.3.4	TPC出力ノンオーバーラップ動作	439
11.3.5	インプットキャプチャによるTPC出力	441
11.4	使用上の注意	442
11.4.1	TPC出力端子の動作	442
11.4.2	ノンオーバーラップ動作時の注意	442

《第12章》 ウォッチドッグタイマ

12.1	概要	447
12.1.1	特長	447
12.1.2	ブロック図	448
12.1.3	端子構成	448
12.1.4	レジスタ構成	449
12.2	各レジスタの説明	450
12.2.1	タイマカウンタ (TCNT)	450
12.2.2	タイマコントロール/ステータスレジスタ (TC SR)	451
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	454
12.2.4	レジスタ書換え時の注意	456
12.3	動作説明	458
12.3.1	ウォッチドッグタイマ時の動作	458
12.3.2	インターバルタイマ時の動作	459
12.3.3	オーバフローフラグ (OVF) セットタイミング	459
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	460

12.4	割込み	461
12.5	使用上の注意	461

《第13章》 シリアルコミュニケーションインタフェース

13.1	概要	465
13.1.1	特長	465
13.1.2	ブロック図	467
13.1.3	端子構成	468
13.1.4	レジスタ構成	468
13.2	各レジスタの説明	469
13.2.1	レシーブシフトレジスタ (RSR)	469
13.2.2	レシーブデータレジスタ (RDR)	469
13.2.3	トランスミットシフトレジスタ (TSR)	470
13.2.4	トランスミットデータレジスタ (TDR)	470
13.2.5	シリアルモードレジスタ (SMR)	471
13.2.6	シリアルコントロールレジスタ (SCR)	475
13.2.7	シリアルステータスレジスタ (SSR)	479
13.2.8	ビットレートレジスタ (BRR)	484
13.3	動作説明	492
13.3.1	概要	492
13.3.2	調歩同期式モード時の動作	494
13.3.3	マルチプロセッサ通信機能	503
13.3.4	クロック同期式モード時の動作	510
13.4	SCI 割込み	520
13.5	使用上の注意	521

《第14章》 A/D変換器

14.1	概要	527
14.1.1	特長	527
14.1.2	ブロック図	528
14.1.3	端子構成	529
14.1.4	レジスタ構成	530
14.2	各レジスタの説明	531
14.2.1	A/DデータレジスタA~D (ADDRA~D)	531
14.2.2	A/Dコントロール/ステータスレジスタ (ADCSR)	532
14.2.3	A/Dコントロールレジスタ (ADCR)	535
14.3	CPUとのインタフェース	536
14.4	動作説明	537
14.4.1	単一モード (SCAN = "0")	537

14.4.2	スキャンモード (SCAN = "1")	539
14.4.3	入力サンプリングとA/D変換時間	541
14.4.4	外部トリガ入力タイミング	542
14.5	割込み	543
14.6	使用上の注意	543

《第15章》 RAM

15.1	概要	547
15.1.1	ブロック図	547
15.1.2	レジスタ構成	548
15.2	システムコントロールレジスタ (SYSCR)	549
15.3	動作説明	550

《第16章》 クロック発振器

16.1	概要	553
16.1.1	ブロック図	553
16.2	発振器	554
16.2.1	水晶発振子を接続する方法	554
16.2.2	外部クロックを入力する方法	556
16.3	システムクロック分周器 (2分周発振版)	558
16.4	デューティ補正回路 (1:1発振版)	558
16.5	プリスケアラ	558

《第17章》 低消費電力状態

17.1	概要	561
17.2	レジスタ構成	562
17.2.1	システムコントロールレジスタ (SYSCR)	562
17.3	スリープモード	564
17.3.1	スリープモードへの遷移	564
17.3.2	スリープモードの解除	564
17.4	ソフトウェアスタンバイモード	565
17.4.1	ソフトウェアスタンバイモードへの遷移	565
17.4.2	ソフトウェアスタンバイモードの解除	565
17.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	566
17.4.4	ソフトウェアスタンバイモードの応用例	567
17.4.5	使用上の注意	567
17.5	ハードウェアスタンバイモード	568
17.5.1	ハードウェアスタンバイモードへの遷移	568
17.5.2	ハードウェアスタンバイモードの解除	568

17.5.3	ハードウェアスタンバイモードのタイミング	568
--------	----------------------	-----

《第18章》 電気的特性

18.1	絶対最大定格	571
18.2	電気的特性	571
18.2.1	DC特性	571
18.2.2	AC特性	579
18.2.3	A/D変換特性	585
18.3	動作タイミング	586
18.3.1	バスタイミング	586
18.3.2	リフレッシュコントローラバスタイミング	588
18.3.3	制御信号タイミング	593
18.3.4	クロックタイミング	595
18.3.5	TPC、I/Oポートタイミング	595
18.3.6	ITUタイミング	596
18.3.7	SCI入出力タイミング	597
18.3.8	DMA Cタイミング	598

《付録》

A.	命令	601
A.1	命令一覧	601
A.2	オペレーションコードマップ	616
A.3	命令実行ステート数	619
B.	レジスタ一覧	629
B.1	I/Oレジスタ一覧(1)	629
B.2	I/Oレジスタ一覧(2)	637
C.	I/Oポートブロック図	715
C.1	ポート4ブロック図	715
C.2	ポート5ブロック図	716
C.3	ポート6ブロック図	717
C.4	ポート7ブロック図	720
C.5	ポート8ブロック図	721
C.6	ポート9ブロック図	724
C.7	ポートAブロック図	727
C.8	ポートBブロック図	730
C.9	ポートCブロック図	734
D.	端子状態	738
D.1	各処理状態におけるポートの状態	738
D.2	リセット時の端子状態	740

E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて.....	743
F. 外形寸法図.....	744
G. レジスタ索引.....	745

1. 概要

第1章 目次

1.1	概要	3
1.2	内部ブロック図	7
1.3	端子説明	8
1.3.1	ピン配置	8
1.3.2	端子機能	9
1.4	端子機能	13

1.1 概要

H8/3003は、日立オリジナルアーキテクチャを採用したH8/300H CPUを核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ（MCU）です。

H8/300H CPUは、内部32ビット構成で16ビット×16本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16Mバイトのリニアなアドレス空間を扱うことができます。また、H8/300CPUの命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、RAM、16ビットインテグレートドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D変換器、I/Oポート、DMAコントローラ（DMAC）、リフレッシュコントローラなどを内蔵しています。

MCU動作モードは、モード1～4があり、データバス幅とアドレス空間を選択することができます。

H8/3003の特長を表1.1に示します。

表1.1 特長(1)

項 目	仕 様
CPU	<p>H8/300CPUに対してオブジェクトレベルで上位互換汎用レジスタマシン</p> <ul style="list-style-type: none"> ・汎用レジスタ：16ビット×16本 (8ビット×16本、32ビット×8本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none"> ・最大動作周波数：16MHz ・加減算：125nS ・乗除算：875nS <p>2種類のCPU動作モード</p> <ul style="list-style-type: none"> ・ノーマルモード（アドレス空間64kバイト。H8/3003では使用できません。） ・アドバンスモード（アドレス空間16Mバイト） <p>特長ある命令</p> <ul style="list-style-type: none"> ・8/16/32ビット転送・演算命令 ・符号なし/符号付乗算命令 (8ビット×8ビット、16ビット×16ビット) ・符号なし/符号付除算命令 (16ビット÷8ビット、32ビット÷16ビット) ・ビットアキュムレータ機能 ・レジスタ間接指定によりビット番号を指定可能なビット操作命令

表 1. 1 特長(2)

項 目	仕 様
メモリ	RAM : 512バイト
割込みコントローラ	<ul style="list-style-type: none"> ・外部割込み端子 9 本 : NMI、$\overline{IRQ_0}$ ~ $\overline{IRQ_7}$ ・内部割込み 34 要因 ・3 レベルの割込み優先順位が設定可能
バスコントローラ	<ul style="list-style-type: none"> ・アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 ・エリアごとにチップセレクト出力可能 ・エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 ・エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 ・4 種類のウェイトモードを設定可能 ・バス権調停機能
リフレッシュコントローラ	<p>DRAMリフレッシュ</p> <ul style="list-style-type: none"> ・×16ビット構成のDRAMを直接接続可能 ・CASビフォRASリフレッシュ ・セルフリフレッシュモード設定可能 <p>PSRAMリフレッシュ</p> <ul style="list-style-type: none"> ・セルフリフレッシュモード設定可能 <p>インターバルタイマとして使用可能</p>
DMAコントローラ (DMAC)	<p>ショートアドレスモード</p> <ul style="list-style-type: none"> ・最大 8 チャンネルを使用可能 ・I/Oモード / アイドルモード / リピートモードの選択可能 ・起動要因 : ITUチャンネル 0 ~ 3 のコンペアマッチ / インプットキャプチャ A 割込み、SCI の送信データエンプティ / 受信データフル割込み、外部リクエスト <p>フルアドレスモード</p> <ul style="list-style-type: none"> ・最大 4 チャンネルを使用可能 ・ノーマルモード / ブロック転送モードの選択可能 ・起動要因 : ITUチャンネル 0 ~ 3 のコンペアマッチ / インプットキャプチャ A 割込み、外部リクエスト、オートリクエスト

表 1.1 特長(3)

項 目	仕 様
16ビットインテグレートッドタイマユニット (ITU)	<ul style="list-style-type: none"> • 16ビットタイマ5チャンネルを内蔵。最大12端子のパルス出力、または最大10種類のパルスの入力処理が可能 • 16ビットタイマカウンタ×1 (チャンネル0～4) • アウトプットコンペア出力/インプットキャプチャ入力 (兼用端子) × 2 (チャンネル0～4) • 同期動作可能 (チャンネル0～4) • PWMモード設定可能 (チャンネル0～4) • 位相計数モード設定可能 (チャンネル2) • バッファ動作可能 (チャンネル3、4) • リセット同期PWMモード設定可能 (チャンネル3、4) • 相補PWMモード設定可能 (チャンネル3、4) • コンペアマッチ/インプットキャプチャAの割込みによりDMAC起動可能 (チャンネル0～3)
プログラマブルタイミングパターンコントローラ (TPC)	<ul style="list-style-type: none"> • ITUをタイムベースとした最大16ビットのパルス出力が可能 • 最大4ビット×4系統のパルス出力が可能 (16ビット×1系統、8ビット×2系統などの設定も可能) • ノンオーバーラップモード設定可能 • DMACによる出力データの転送可能
ウォッチドッグタイマ (WDT) × 1チャンネル	<ul style="list-style-type: none"> • オーバフローによりリセット信号を発生可能 • リセット信号の外部出力可能 • インターバルタイマとして使用可能
シリアルコミュニケーションインタフェース (SCI) × 2チャンネル	<ul style="list-style-type: none"> • 調歩同期/クロック同期式モードの選択可能 • 送受信同時動作 (全二重動作) 可能 • 専用のポーレートジェネレータ内蔵
A/D変換器	<ul style="list-style-type: none"> • 分解能: 10ビット • 8チャンネル: 単一モード/スキャンモード選択可能 • アナログ変換電圧範囲の設定が可能 • サンプル&ホールド機能付 • 外部トリガによるA/D変換開始可能
I/Oポート	<ul style="list-style-type: none"> • 入出力端子50本 • 入力端子8本

表 1. 1 特長(4)

項 目	仕 様																									
動作モード	<p>4種類のMCU動作モード</p> <table border="1" data-bbox="512 338 1414 577"> <thead> <tr> <th>モード</th> <th>アドレス空間</th> <th>アドレス端子</th> <th>バス幅初期値</th> <th>バス幅最大値</th> </tr> </thead> <tbody> <tr> <td>モード1</td> <td>1Mバイト</td> <td>A₀~A₁₉</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>モード2</td> <td>1Mバイト</td> <td>A₀~A₁₉</td> <td>16ビット</td> <td>16ビット</td> </tr> <tr> <td>モード3</td> <td>16Mバイト</td> <td>A₀~A₂₃</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>モード4</td> <td>16Mバイト</td> <td>A₀~A₂₃</td> <td>16ビット</td> <td>16ビット</td> </tr> </tbody> </table>	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値	モード1	1Mバイト	A ₀ ~A ₁₉	8ビット	16ビット	モード2	1Mバイト	A ₀ ~A ₁₉	16ビット	16ビット	モード3	16Mバイト	A ₀ ~A ₂₃	8ビット	16ビット	モード4	16Mバイト	A ₀ ~A ₂₃	16ビット	16ビット
モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値																						
モード1	1Mバイト	A ₀ ~A ₁₉	8ビット	16ビット																						
モード2	1Mバイト	A ₀ ~A ₁₉	16ビット	16ビット																						
モード3	16Mバイト	A ₀ ~A ₂₃	8ビット	16ビット																						
モード4	16Mバイト	A ₀ ~A ₂₃	16ビット	16ビット																						
低消費電力状態	<ul style="list-style-type: none"> ・スリープモード ・ソフトウェアスタンバイモード ・ハードウェアスタンバイモード 																									
そ の 他	<ul style="list-style-type: none"> ・クロック発振器内蔵 																									
製品ラインアップ	<table border="1" data-bbox="512 815 1414 1055"> <thead> <tr> <th>製品形名</th> <th>パッケージ</th> <th>発振器</th> <th>電源電圧</th> </tr> </thead> <tbody> <tr> <td>HD6413003RF</td> <td rowspan="2">112ピンQFP (QFP-112)</td> <td rowspan="2">2分周発振版</td> <td>5V±10%</td> </tr> <tr> <td>HD6413003RVF</td> <td>2.7V~5.5V</td> </tr> <tr> <td>HD6413003TF</td> <td rowspan="2"></td> <td rowspan="2">1:1発振版</td> <td>5V±10%</td> </tr> <tr> <td>HD6413003TVF</td> <td>2.7V~5.5V</td> </tr> </tbody> </table>	製品形名	パッケージ	発振器	電源電圧	HD6413003RF	112ピンQFP (QFP-112)	2分周発振版	5V±10%	HD6413003RVF	2.7V~5.5V	HD6413003TF		1:1発振版	5V±10%	HD6413003TVF	2.7V~5.5V									
製品形名	パッケージ	発振器	電源電圧																							
HD6413003RF	112ピンQFP (QFP-112)	2分周発振版	5V±10%																							
HD6413003RVF			2.7V~5.5V																							
HD6413003TF		1:1発振版	5V±10%																							
HD6413003TVF			2.7V~5.5V																							

1.2 内部ブロック図

内部ブロック図を図1.1に示します。

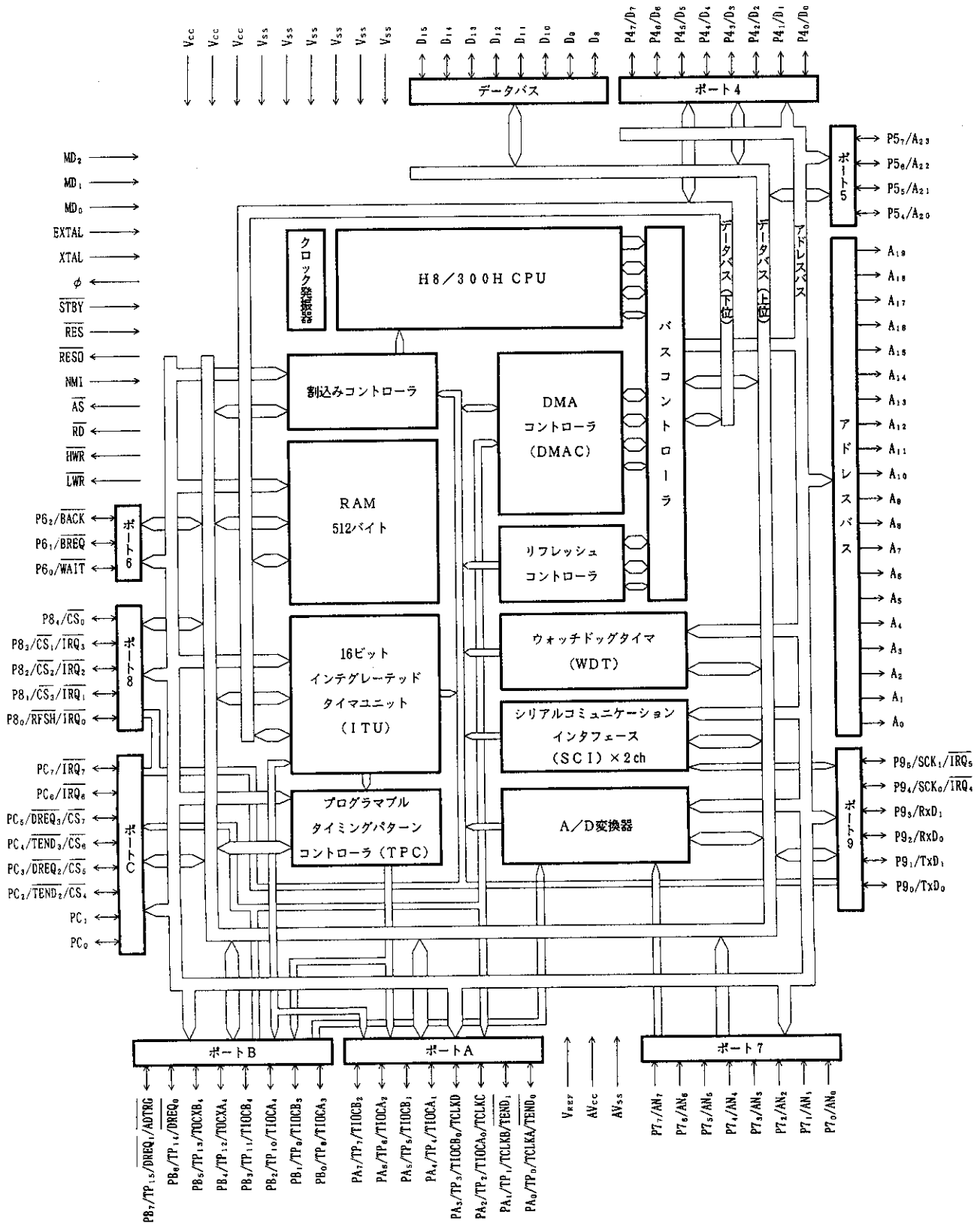


図1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H 8 / 3 0 0 3 のピン配置図を図 1.2 に示します。

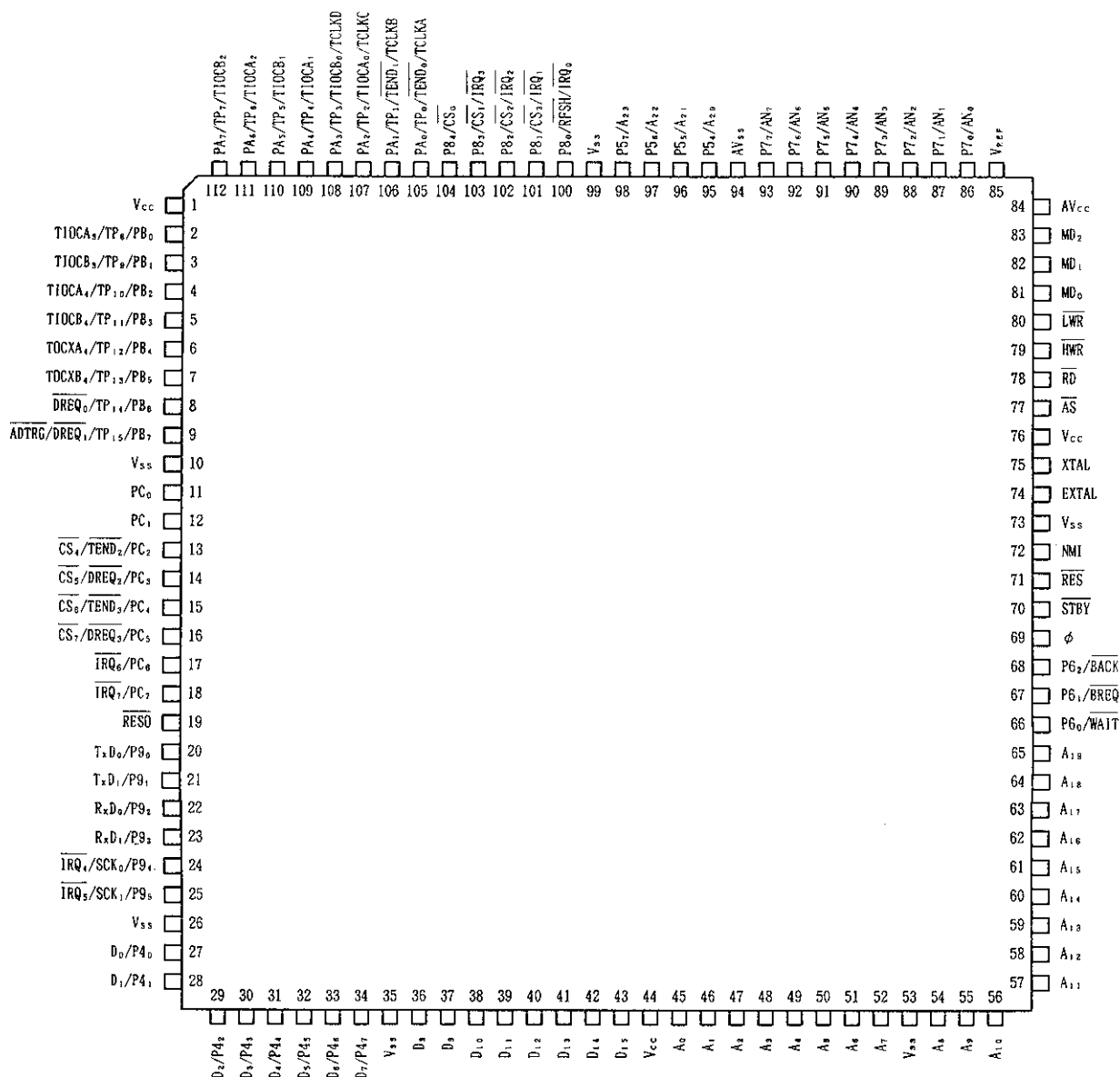


図 1.2 ピン配置 (QFP-112: 上面図)

1.3.2 端子機能

(1) モード別ピン配置一覧

QFP-112のモード別ピン配置を表1.2に示します。

表1.2 モード別ピン配置一覧 (QFP-112) (1)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
1	V _{CC}	V _{CC}	V _{CC}	V _{CC}
2	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃
3	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃
4	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄
5	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄
6	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄
7	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄
8	PB ₆ /TP ₁₄ /DREQ ₀	PB ₆ /TP ₁₄ /DREQ ₀	PB ₆ /TP ₁₄ /DREQ ₀	PB ₆ /TP ₁₄ /DREQ ₀
9	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG
10	V _{SS}	V _{SS}	V _{SS}	V _{SS}
11	PC ₀	PC ₀	PC ₀	PC ₀
12	PC ₁	PC ₁	PC ₁	PC ₁
13	PC ₂ /TEND ₂ /CS ₄	PC ₂ /TEND ₂ /CS ₄	PC ₂ /TEND ₂ /CS ₄	PC ₂ /TEND ₂ /CS ₄
14	PC ₃ /DERQ ₂ /CS ₅	PC ₃ /DERQ ₂ /CS ₅	PC ₃ /DERQ ₂ /CS ₅	PC ₃ /DERQ ₂ /CS ₅
15	PC ₄ /TEND ₃ /CS ₆	PC ₄ /TEND ₃ /CS ₆	PC ₄ /TEND ₃ /CS ₆	PC ₄ /TEND ₃ /CS ₆
16	PC ₅ /DREQ ₃ /CS ₇	PC ₅ /DREQ ₃ /CS ₇	PC ₅ /DREQ ₃ /CS ₇	PC ₅ /DREQ ₃ /CS ₇
17	PC ₆ /IRQ ₆	PC ₆ /IRQ ₆	PC ₆ /IRQ ₆	PC ₆ /IRQ ₆
18	PC ₇ /IRQ ₇	PC ₇ /IRQ ₇	PC ₇ /IRQ ₇	PC ₇ /IRQ ₇
19	RES0	RES0	RES0	RES0
20	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀
21	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁	P9 ₁ /TxD ₁
22	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀	P9 ₂ /RxD ₀
23	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁	P9 ₃ /RxD ₁
24	P9 ₄ /SCK ₀ /IRQ ₄	P9 ₄ /SCK ₀ /IRQ ₄	P9 ₄ /SCK ₀ /IRQ ₄	P9 ₄ /SCK ₀ /IRQ ₄
25	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅	P9 ₅ /SCK ₁ /IRQ ₅
26	V _{SS}	V _{SS}	V _{SS}	V _{SS}
27	P4 ₀ /D ₀ ^{*1}	P4 ₀ ^{*2} /D ₀	P4 ₀ /D ₀ ^{*1}	P4 ₀ ^{*2} /D ₀
28	P4 ₁ /D ₁ ^{*1}	P4 ₁ ^{*2} /D ₁	P4 ₁ /D ₁ ^{*1}	P4 ₁ ^{*2} /D ₁
29	P4 ₂ /D ₂ ^{*1}	P4 ₂ ^{*2} /D ₂	P4 ₂ /D ₂ ^{*1}	P4 ₂ ^{*2} /D ₂
30	P4 ₃ /D ₃ ^{*1}	P4 ₃ ^{*2} /D ₃	P4 ₃ /D ₃ ^{*1}	P4 ₃ ^{*2} /D ₃

表 1. 2 モード別ピン配置一覧 (QFP-112) (2)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
31	P_{44}/D_4^{*1}	P_{44}^{*2}/D_4	P_{44}/D_4^{*1}	P_{44}^{*2}/D_4
32	P_{45}/D_5^{*1}	P_{45}^{*2}/D_5	P_{45}/D_5^{*1}	P_{45}^{*2}/D_5
33	P_{46}/D_6^{*1}	P_{46}^{*2}/D_6	P_{46}/D_6^{*1}	P_{46}^{*2}/D_6
34	P_{47}/D_7^{*1}	P_{47}^{*2}/D_7	P_{47}/D_7^{*1}	P_{47}^{*2}/D_7
35	V_{SS}	V_{SS}	V_{SS}	V_{SS}
36	D_8	D_8	D_8	D_8
37	D_9	D_9	D_9	D_9
38	D_{10}	D_{10}	D_{10}	D_{10}
39	D_{11}	D_{11}	D_{11}	D_{11}
40	D_{12}	D_{12}	D_{12}	D_{12}
41	D_{13}	D_{13}	D_{13}	D_{13}
42	D_{14}	D_{14}	D_{14}	D_{14}
43	D_{15}	D_{15}	D_{15}	D_{15}
44	V_{CC}	V_{CC}	V_{CC}	V_{CC}
45	A_0	A_0	A_0	A_0
46	A_1	A_1	A_1	A_1
47	A_2	A_2	A_2	A_2
48	A_3	A_3	A_3	A_3
49	A_4	A_4	A_4	A_4
50	A_5	A_5	A_5	A_5
51	A_6	A_6	A_6	A_6
52	A_7	A_7	A_7	A_7
53	V_{SS}	V_{SS}	V_{SS}	V_{SS}
54	A_8	A_8	A_8	A_8
55	A_9	A_9	A_9	A_9
56	A_{10}	A_{10}	A_{10}	A_{10}
57	A_{11}	A_{11}	A_{11}	A_{11}
58	A_{12}	A_{12}	A_{12}	A_{12}
59	A_{13}	A_{13}	A_{13}	A_{13}
60	A_{14}	A_{14}	A_{14}	A_{14}
61	A_{15}	A_{15}	A_{15}	A_{15}
62	A_{16}	A_{16}	A_{16}	A_{16}
63	A_{17}	A_{17}	A_{17}	A_{17}
64	A_{18}	A_{18}	A_{18}	A_{18}
65	A_{19}	A_{19}	A_{19}	A_{19}

表 1. 2 モード別ピン配置一覧 (QFP-112) (3)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
66	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT
67	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ
68	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK
69	φ	φ	φ	φ
70	STBY	STBY	STBY	STBY
71	RES	RES	RES	RES
72	NMI	NMI	NMI	NMI
73	V _{SS}	V _{SS}	V _{SS}	V _{SS}
74	EXTAL	EXTAL	EXTAL	EXTAL
75	XTAL	XTAL	XTAL	XTAL
76	V _{CC}	V _{CC}	V _{CC}	V _{CC}
77	AS	AS	AS	AS
78	RD	RD	RD	RD
79	HWR	HWR	HWR	HWR
80	LWR	LWR	LWR	LWR
81	MD ₀	MD ₀	MD ₀	MD ₀
82	MD ₁	MD ₁	MD ₁	MD ₁
83	MD ₂	MD ₂	MD ₂	MD ₂
84	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}
85	V _{ref}	V _{ref}	V _{ref}	V _{ref}
86	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
87	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
88	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
89	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
90	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
91	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
92	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆
93	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇
94	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}
95	P5 ₄	P5 ₄	A ₂₀	A ₂₀
96	P5 ₅	P5 ₅	A ₂₁	A ₂₁
97	P5 ₆	P5 ₆	A ₂₂	A ₂₂
98	P5 ₇	P5 ₇	A ₂₃	A ₂₃
99	V _{SS}	V _{SS}	V _{SS}	V _{SS}
100	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀	P8 ₀ /RFSH/IRQ ₀

表 1.2 モード別ピン配置一覧 (QFP-112) (4)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
101	$P8_1/\overline{CS}_3/\overline{IRQ}_1$	$P8_1/\overline{CS}_3/\overline{IRQ}_1$	$P8_1/\overline{CS}_3/\overline{IRQ}_1$	$P8_1/\overline{CS}_3/\overline{IRQ}_1$
102	$P8_2/\overline{CS}_2/\overline{IRQ}_2$	$P8_2/\overline{CS}_2/\overline{IRQ}_2$	$P8_2/\overline{CS}_2/\overline{IRQ}_2$	$P8_2/\overline{CS}_2/\overline{IRQ}_2$
103	$P8_3/\overline{CS}_1/\overline{IRQ}_3$	$P8_3/\overline{CS}_1/\overline{IRQ}_3$	$P8_3/\overline{CS}_1/\overline{IRQ}_3$	$P8_3/\overline{CS}_1/\overline{IRQ}_3$
104	$P8_4/\overline{CS}_0$	$P8_4/\overline{CS}_0$	$P8_4/\overline{CS}_0$	$P8_4/\overline{CS}_0$
105	$PA_0/TP_0/\overline{TEND}_0/TCLKA$	$PA_0/TP_0/\overline{TEND}_0/TCLKA$	$PA_0/TP_0/\overline{TEND}_0/TCLKA$	$PA_0/TP_0/\overline{TEND}_0/TCLKA$
106	$PA_1/TP_1/\overline{TEND}_1/TCLKB$	$PA_1/TP_1/\overline{TEND}_1/TCLKB$	$PA_1/TP_1/\overline{TEND}_1/TCLKB$	$PA_1/TP_1/\overline{TEND}_1/TCLKB$
107	$PA_2/TP_2/TIOCA_0/TCLKC$	$PA_2/TP_2/TIOCA_0/TCLKC$	$PA_2/TP_2/TIOCA_0/TCLKC$	$PA_2/TP_2/TIOCA_0/TCLKC$
108	$PA_3/TP_3/TIOCB_0/TCLKD$	$PA_3/TP_3/TIOCB_0/TCLKD$	$PA_3/TP_3/TIOCB_0/TCLKD$	$PA_3/TP_3/TIOCB_0/TCLKD$
109	$PA_4/TP_4/TIOCA_1$	$PA_4/TP_4/TIOCA_1$	$PA_4/TP_4/TIOCA_1$	$PA_4/TP_4/TIOCA_1$
110	$PA_5/TP_5/TIOCB_1$	$PA_5/TP_5/TIOCB_1$	$PA_5/TP_5/TIOCB_1$	$PA_5/TP_5/TIOCB_1$
111	$PA_6/TP_6/TIOCA_2$	$PA_6/TP_6/TIOCA_2$	$PA_6/TP_6/TIOCA_2$	$PA_6/TP_6/TIOCA_2$
112	$PA_7/TP_7/TIOCB_2$	$PA_7/TP_7/TIOCB_2$	$PA_7/TP_7/TIOCB_2$	$PA_7/TP_7/TIOCB_2$

【注】*¹ モード1、3では、リセット直後、 $P4_0/D_0 \sim P4_7/D_7$ 端子は $P4_0 \sim P4_7$ 端子となっています
(プログラムで変更できます)。

*² モード2、4では、リセット直後、 $P4_0/D_0 \sim P4_7/D_7$ 端子は $D_0 \sim D_7$ 端子となっています
(プログラムで変更できます)。

1.4 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能(1)

分類	記号	ピン記号	入出力	名称および機能
電源	V _{cc}	1、44、 76	入力	<u>電源</u> 電源 (+5 V) に接続します。 V _{cc} 端子は、全端子をシステムの電源 (+5 V) に接続してください。
	V _{ss}	10、26、 35、53、 73、99	入力	<u>グラウンド</u> 電源 (0 V) に接続します。 V _{ss} 端子は、全端子をシステムの電源 (0 V) に接続してください。
クロック	XTAL	75	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第16章 クロック発振器」を参照してください。
	EXTAL	74	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第16章 クロック発振器」を参照してください。
	φ	69	出力	<u>システムクロック</u> 外部デバイスにシステムクロックを供給します。

表 1.3 端子機能(2)

分類	記号	ピン記号	入出力	名称および機能																																				
動作モード コントロール	MD ₂ ~MD ₀	83~81	入力	<p><u>モード端子</u></p> <p>動作モードを設定します。</p> <p>MD₂~MD₀端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD₂</th> <th>MD₁</th> <th>MD₀</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>——</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>モード1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>モード2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>モード3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>——</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>——</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>——</td> </tr> </tbody> </table>	MD ₂	MD ₁	MD ₀	動作モード	0	0	0	——	0	0	1	モード1	0	1	0	モード2	0	1	1	モード3	1	0	0	モード4	1	0	1	——	1	1	0	——	1	1	1	——
				MD ₂	MD ₁	MD ₀	動作モード																																	
0	0	0	——																																					
0	0	1	モード1																																					
0	1	0	モード2																																					
0	1	1	モード3																																					
1	0	0	モード4																																					
1	0	1	——																																					
1	1	0	——																																					
1	1	1	——																																					
システム 制御	$\overline{\text{RES}}$	71	入力	<p><u>リセット入力</u></p> <p>この端子が“Low”レベルになると、リセット状態となります。</p>																																				
	$\overline{\text{RESO}}$	19	出力	<p><u>リセット出力</u></p> <p>外部デバイスに対し、リセット信号を出力します。</p>																																				
	$\overline{\text{STBY}}$	70	入力	<p><u>スタンバイ</u></p> <p>この端子が“Low”レベルになると、ハードウェアスタンバイモードに遷移します。</p>																																				
	$\overline{\text{BREQ}}$	67	入力	<p><u>バス権要求</u></p> <p>本LSIに対し、外部バスマスタがバス権を要求します。</p>																																				
	$\overline{\text{BACK}}$	68	出力	<p><u>バス権要求アクノリッジ</u></p> <p>バス権を外部バスマスタに解放したことを示します。</p>																																				
割込み	NMI	72	入力	<p><u>ノンマスクابل割込み</u></p> <p>マスク不可能な割込みを要求します。</p>																																				
	$\overline{\text{IRQ}}_7 \sim \overline{\text{IRQ}}_0$	18~17、 25~24、 103~101	入力	<p><u>割込み要求7~0</u></p> <p>マスク可能な割込みを要求します。</p>																																				

表 1. 3 端子機能(3)

分類	記号	ピン記号	入出力	名称および機能
アドレスバス	$A_{23} \sim A_0$	98~95、 65~54、 52~45	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	$D_{15} \sim D_0$	43~36、 34~27	入出力	<u>データバス</u> 双方向データバスです。
バス制御	$\overline{CS}_7 \sim \overline{CS}_0$	16~13、 101~104	出力	<u>チップセレクト</u> エリア7~0の選択信号です。
	\overline{AS}	77	出力	<u>アドレスストローブ</u> この端子が“Low”レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{RD}	78	出力	<u>リード</u> この端子が“Low”レベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	79	出力	<u>ハイライト</u> この端子が“Low”レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側($D_{15} \sim D_8$)が有効であることを示します。
	\overline{LWR}	80	出力	<u>ロウライト</u> この端子が“Low”レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側($D_7 \sim D_0$)が有効であることを示します。
	\overline{WAIT}	66	入力	<u>ウェイト</u> 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

表 1. 3 端子機能(4)

分類	記号	ピン記号	入出力	名称および機能
リフレッシュ コントローラ	$\overline{\text{RFSH}}$	100	出力	<u>リフレッシュ</u> リフレッシュサイクルを示します。
	$\overline{\text{CS}}_3$	101	出力	<u>ロウアドレスストロブ (RAS)</u> エリア 3 に接続された DRAM のロウアドレスストロブ信号です。
	$\overline{\text{RD}}$	78	出力	<u>カラムアドレスストロブ (CAS)</u> エリア 3 に接続された DRAM のカラムアドレスストロブ信号です。 2 $\overline{\text{WE}}$ 方式 DRAM に使用します。
				<u>ライトイネーブル</u> エリア 3 に接続された DRAM のライトイネーブル信号です。 2 $\overline{\text{CAS}}$ 方式 DRAM に使用します。
	$\overline{\text{HWR}}$	79	出力	<u>アッパーライト</u> エリア 3 に接続された DRAM のライトイネーブル信号です。 2 $\overline{\text{WE}}$ 方式 DRAM に使用します。
				<u>アッパーカラムアドレスストロブ</u> エリア 3 に接続された DRAM のカラムアドレスストロブ信号です。 2 $\overline{\text{CAS}}$ 方式 DRAM に使用します。
	$\overline{\text{LWR}}$	80	出力	<u>ロウアーライト</u> エリア 3 に接続された DRAM のライトイネーブル信号です。 2 $\overline{\text{WE}}$ 方式 DRAM に使用します。
				<u>ロウアーカラムアドレスストロブ</u> エリア 3 に接続された DRAM のカラムアドレスストロブ信号です。 2 $\overline{\text{CAS}}$ 方式 DRAM に使用します。

表 1. 3 端子機能(5)

分類	記号	ピン記号	入出力	名称および機能
DMAコントローラ (DMAC)	$\overline{\text{DREQ}}_3$ ~ $\overline{\text{DREQ}}_0$	16、14、 9、8	入力	<u>DMA要求3~0</u> DMACの起動を要求します。
	$\overline{\text{TEND}}_3$ ~ $\overline{\text{TEND}}_0$	15、13、 106、105	出力	<u>DMA終了3~0</u> DMACのデータ転送終了を示します。
16ビット インテグ レーテッ ドタイマ ユニット (ITU)	TCLKD ~TCLKA	108~105	入力	<u>クロック入力D~A</u> 外部クロックを入力します。
	TIOCA ₄ ~TIOCA ₀	4、2、 111、109、 107	入出力	<u>インプットキャプチャ/ アウトプットコンペアA4~A0</u> GRA4~A0のアウトプットコンペア 出力/インプットキャプチャ入力/PWM 出力端子です。
	TIOCB ₄ ~TIOCB ₀	5、3、 112、105、 108	入出力	<u>インプットキャプチャ/ アウトプットコンペアB4~B0</u> GRB4~B0のアウトプットコンペア 出力/インプットキャプチャ入力/PWM 出力端子です。
	TOCXA ₄	6	出力	<u>アウトプットコンペアXA4</u> PWM出力端子です。
	TOCXB ₄	7	出力	<u>アウトプットコンペアXB4</u> PWM出力端子です。
プログラマブルタイ ミングコント ローラ(TPC)	TP ₁₅ ~TP ₀	9~2、 112~105	出力	<u>TPC出力15~0</u> パルス出力端子です。
シリアルコミュニ ケーションファ ース (SCI)	TxD ₁ 、TxD ₀	21、20	出力	<u>トランスミットデータ(チャンネル0、1)</u> SCIのデータ出力端子です。
	RxD ₁ 、RxD ₀	23、22	入力	<u>レシーブデータ(チャンネル0、1)</u> SCIのデータ入力端子です。
	SCK ₀ 、SCK ₁	25、24	入出力	<u>シリアルクロック(チャンネル0、1)</u> SCIのクロック入出力端子です。
A/D 変換器	AN ₇ ~AN ₀	93~86	入力	<u>アナログ7~0</u> アナログ入力端子です。
	$\overline{\text{ADTRG}}$	9	入力	<u>A/D変換外部トリガ入力</u> A/D変換開始のための外部トリガ入力 端子です。

表 1. 3 端子機能(6)

分類	記号	ピン記号	入出力	名称および機能
A/D 変換器	AV _{CC}	84	入力	A/D変換器の電源端子です。 A/D変換器を使用しない場合はシステム電源(+5V)に接続してください。
	AV _{SS}	94	入力	A/D変換器のグランド端子です。 システムの電源(0V)に接続してください。
	V _{REF}	85	入力	A/D変換器の基準電圧入力端子です。 A/D変換器を使用しない場合はシステムの電源(+5V)に接続してください。
I/O ポート	P4 ₇ ~P4 ₀	34~27	入出力	<u>ポート 4</u> 8ビットの入出力端子です。 ポート 4 データディレクションレジスタ(P4DDR)によって、1ビットごとに入出力を指定できます。
	P5 ₇ ~P5 ₄	98~95	入出力	<u>ポート 5</u> 4ビットの入出力端子です。 ポート 5 データディレクションレジスタ(P5DDR)によって、1ビットごとに入出力を指定できます。
	P6 ₂ ~P6 ₀	68~66	入出力	<u>ポート 6</u> 3ビットの入出力端子です。 ポート 6 データディレクションレジスタ(P6DDR)によって、1ビットごとに入出力を指定できます。
	P7 ₇ ~P7 ₀	93~86	入力	<u>ポート 7</u> 8ビットの入力端子です。
	P8 ₄ ~P8 ₀	104~100	入出力	<u>ポート 8</u> 5ビットの入出力端子です。 ポート 8 データディレクションレジスタ(P8DDR)によって、1ビットごとに入出力を指定できます。

表 1. 3 端子機能(7)

分類	記号	ピン記号	入出力	名称および機能
I/O ポート	P9 ₅ ~P9 ₀	25~20	入出力	<u>ポート 9</u> 6ビットの入出力端子です。 ポート 9 データディレクションレジスタ (P9DDR) によって、1ビットごとに入出力を指定できます。
	PA ₇ ~PA ₀	112~105	入出力	<u>ポート A</u> 8ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1ビットごとに入出力を指定できます。
	PB ₇ ~PB ₀	9~2	入出力	<u>ポート B</u> 8ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1ビットごとに入出力を指定できます。
	PC ₇ ~PC ₀	18~11	入出力	<u>ポート C</u> 8ビットの入出力端子です。 ポート C データディレクションレジスタ (PCDDR) によって、1ビットごとに入出力を指定できます。

2. CPU

第2章 目次

2.1	概要	23
2.1.1	特長	23
2.1.2	H8/300CPUとの相違点	24
2.2	CPU動作モード	25
2.3	アドレス空間	26
2.4	レジスタ構成	27
2.4.1	概要	27
2.4.2	汎用レジスタ	28
2.4.3	コントロールレジスタ	29
2.4.4	CPU内部レジスタの初期値	30
2.5	データ構成	31
2.5.1	汎用レジスタのデータ構成	31
2.5.2	メモリ上でのデータ構成	33
2.6	命令セット	34
2.6.1	命令セットの概要	34
2.6.2	命令とアドレッシングモードの組み合わせ	34
2.6.3	命令の機能別一覧	36
2.6.4	命令の基本フォーマット	47
2.6.5	ビット操作命令使用上の注意	48

2.7	アドレッシングモードと実効アドレスの計算方法	49
2.7.1	アドレッシングモード	49
2.7.2	実効アドレスの計算方法	52
2.8	処理状態	56
2.8.1	概要	56
2.8.2	プログラム実行状態	56
2.8.3	例外処理状態	57
2.8.4	例外処理の動作	59
2.8.5	バス権解放状態	60
2.8.6	リセット状態	60
2.8.7	低消費電力状態	60
2.9	基本動作タイミング	62
2.9.1	概要	62
2.9.2	内蔵メモリアクセスタイミング	62
2.9.3	内蔵周辺モジュールアクセスタイミング	64
2.9.4	外部アドレス空間アクセスタイミング	65

2.1 概要

H8/300H CPUは、H8/300CPUの上位互換のアーキテクチャを持つ内部32ビット構成の高速CPUです。H8/300H CPUは、16ビット×16本の汎用レジスタを持ち、16Mバイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPUには、次の特長があります。

■ H8/300CPU上位互換

H8/300シリーズのオブジェクトプログラムを実行可能

■ 汎用レジスタ方式

16ビット×16本（8ビット×16本、32ビット×8本としても使用可能）

■ 62種類の基本命令

- ・ 8/16/32ビット転送、演算命令
- ・ 乗除算命令
- ・ 強力なビット操作命令

■ 8種類のアドレッシングモード

- ・ レジスタ直接 (Rn)
- ・ レジスタ間接 (@ERn)
- ・ ディスプレースメント付レジスタ間接 (@(d:16, ERn), @(d:24, ERn))
- ・ ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
- ・ 絶対アドレス (@aa:8, @aa:16, @aa:24)
- ・ イミディエイト (#xx:8, #xx:16, #xx:32)
- ・ プログラムカウンタ相対 (@(d:8, PC), @(d:16, PC))
- ・ メモリ間接 (@@aa:8)

■ 16Mバイトのリニアアドレス空間

■ 高速動作

- ・ 頻出命令をすべて2～4ステートで実行
- ・ 最高動作周波数：16MHz
- ・ 8/16/32ビットレジスタ間加減算 125ns
- ・ 8×8ビットレジスタ間乗算 875ns
- ・ 16÷8ビットレジスタ間除算 875ns
- ・ 16×16ビットレジスタ間乗算 1.375μs
- ・ 32÷16ビットレジスタ間除算 1.375μs

■ 2種類のCPU動作モード

- ・ ノーマルモード (H8/3003では使用できません)
- ・ アドバンスモード

■ 低消費電力動作

S L E E P 命令により低消費電力状態に遷移

2.1.2 H 8 / 3 0 0 C P U との相違点

H 8 / 3 0 0 H C P U は、H 8 / 3 0 0 C P U に対して、次の点が強化、拡張されています。

■ 汎用レジスタを拡張

16ビット×8本の拡張レジスタを追加

■ アドレス空間を拡張

- ・アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- ・ノーマルモードのとき、H 8 / 3 0 0 C P U と同一の64kバイトのアドレス空間を使用可能

■ アドレッシングモードを強化

16Mバイトのアドレス空間を有効に使用可能

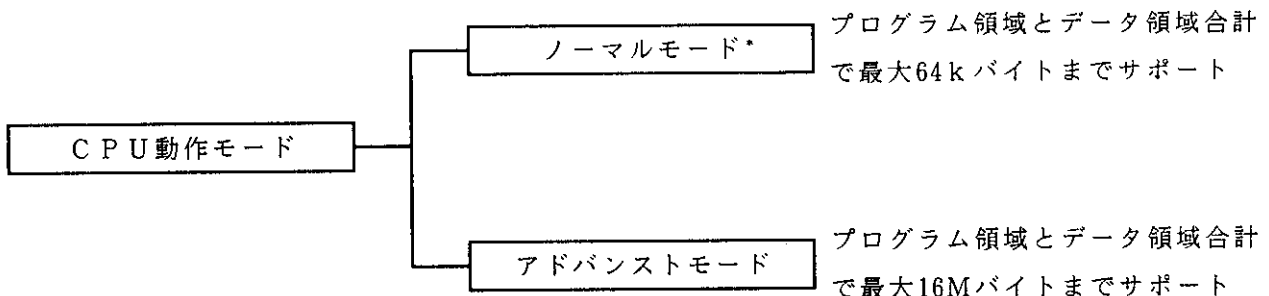
■ 命令強化

- ・32ビット転送、演算命令を追加
- ・符号付き乗除算命令などを追加

2.2 CPU動作モード

H8/300H CPUは、ノーマルモードおよびアドバンスモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64kバイト、アドバンスモードの場合最大16Mバイトとなります。

本LSIでは、アドバンスモードのみを使用できます。



【注】* ノーマルモードは、本LSIでは使用できません。

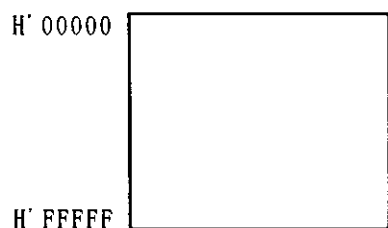
図2.1 CPU動作モード

2.3 アドレス空間

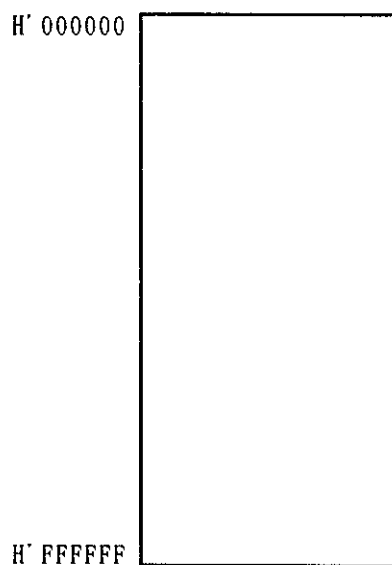
H8/300H CPUのアドレス空間は最大16Mバイトです。H8/3003ではMCU動作モードにより、アドレス空間は、1Mバイトモードと16Mバイトモードを選択できます。

本LSIのメモリマップの概略を図2.2に示します。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が1Mバイトモードの場合、実効アドレスの上位4ビットは無視され、20ビットのアドレスとなります。



(a) 1Mバイトモード



(b) 16Mバイトモード

図2.2 メモリマップ

2.4 レジスタ構成

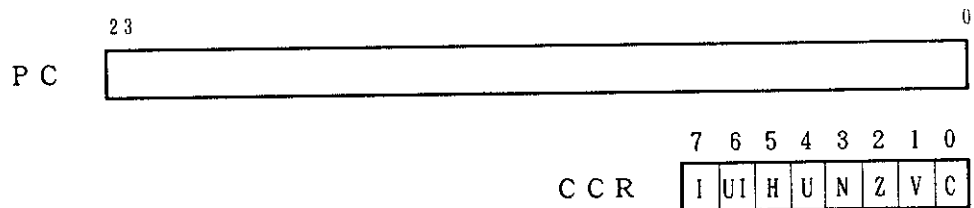
2.4.1 概要

H8/300H CPUの内部レジスタ構成を図2.3に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

汎用レジスタ (ERn)

	15	0 7	0 7	0
ER 0	E 0	R 0 H	R 0 L	
ER 1	E 1	R 1 H	R 1 L	
ER 2	E 2	R 2 H	R 2 L	
ER 3	E 3	R 3 H	R 3 L	
ER 4	E 4	R 4 H	R 4 L	
ER 5	E 5	R 5 H	R 5 L	
ER 6	E 6	R 6 H	R 6 L	
ER 7	E 7	(SP) R 7 H	R 7 L	

コントロールレジスタ (CR)



《記号説明》

- SP : スタックポインタ
- PC : プログラムカウンタ
- CCR : コンディションコードレジスタ
- I : 割込みマスクビット
- UI : ユーザビット/割込みマスクビット
- H : ハーフキャリフラグ
- U : ユーザビット
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図2.3 CPU内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPUは32ビット長の汎用レジスタ8本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては32ビット、16ビットまたは8ビットレジスタとして使用できます。

アドレスレジスタおよび32ビットレジスタとしては、一括して汎用レジスタER (ER0~ER7)として使用します。

16ビットレジスタとしては、汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本を使用することができます。なお、汎用レジスタE (E0~E7)を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとしては、汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本を使用することができます。

汎用レジスタの使用方法を図2.4に示します。各レジスタを独立に使用方法を選択することができます。

- アドレスレジスタ
- 32ビットレジスタ

• 16ビットレジスタ

• 8ビットレジスタ

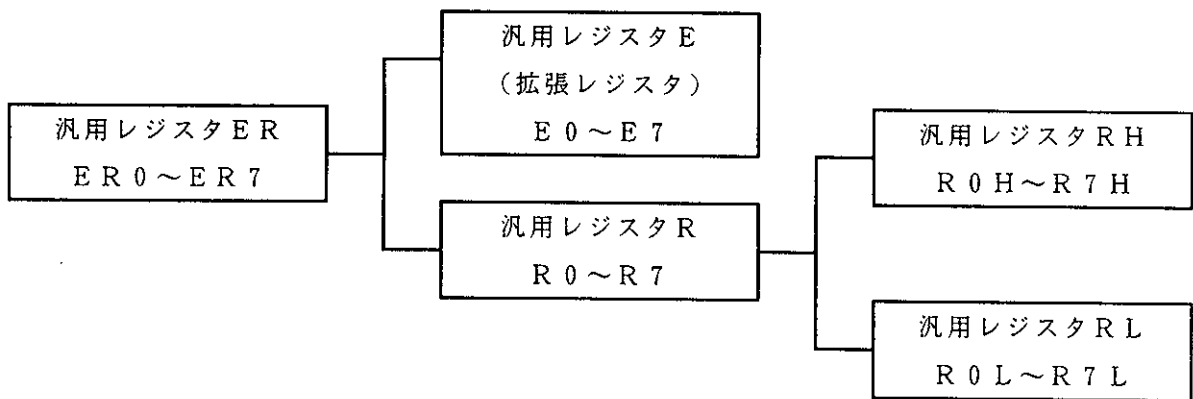


図2.4 汎用レジスタの使用方法

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.5に示します。

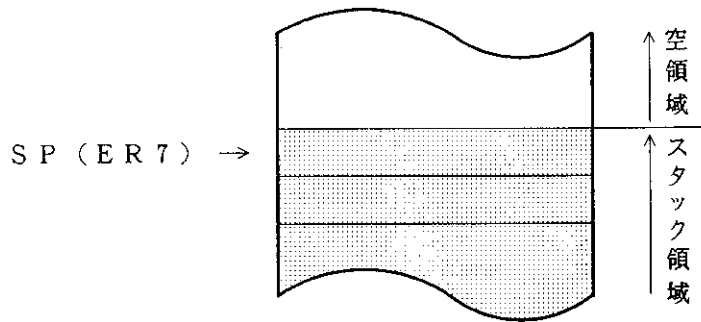


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

(1) プログラムカウンタ（PC）

24ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて2バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

(2) コンディションコードレジスタ（CCR）

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む8ビットで構成されています。

ビット7：割込みマスクビット（I）

本ビットが“1”にセットされると、割込みがマスクされます。ただし、NMIはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに“1”にセットされます。

ビット6：ユーザビット／割込みマスクビット（UI）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。割込みマスクビットとしても使用可能です。詳細は「第5章 割込みコントローラ」を参照してください。

ビット5：ハーフキャリフラグ（H）

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W命令の実行によりビット11にキャリまたはボローが生じたとき、またはADD.L、SUB.L、CMP.L、NEG.L命令の実行により

ビット27にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

ビット4：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。

ビット3：ネガティブフラグ（N）

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ（Z）

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

ビット1：オーバフローフラグ（V）

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

ビット0：キャリフラグ（C）

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令（Bcc）で使用されます。

各命令ごとのフラグの変化については、「付録A.1 命令一覧」を参照してください。

またI、UIビットについては、「第5章 割込みコントローラ」を参照してください。

2.4.4 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタからロードすることにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタとCCRの他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L命令を使用してSP（ER7）の初期化を行ってください。

2.5 データ構成

H8/300H CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（n=0、1、2、……、7）という形式でアクセスされます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.6に示します。

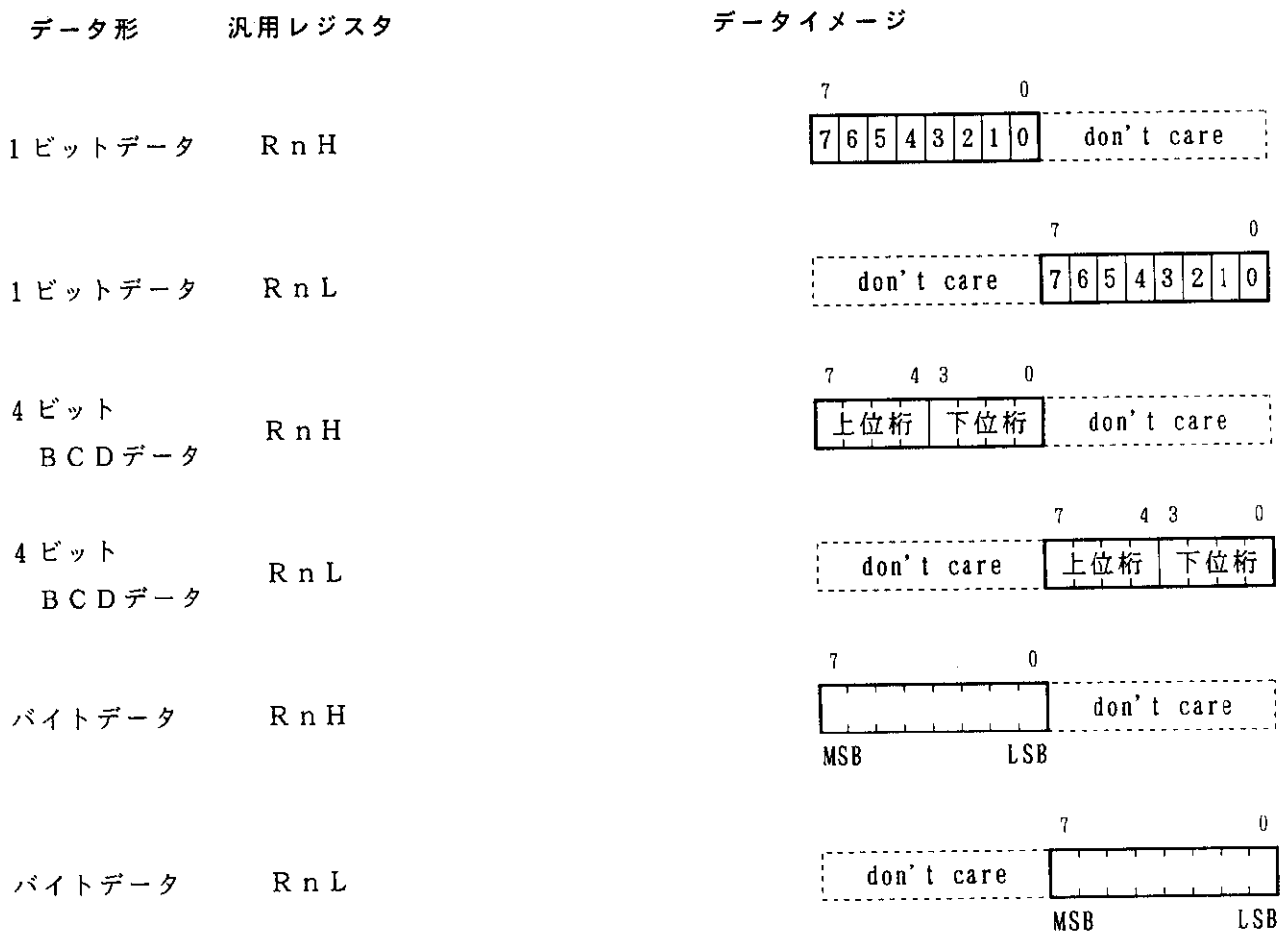
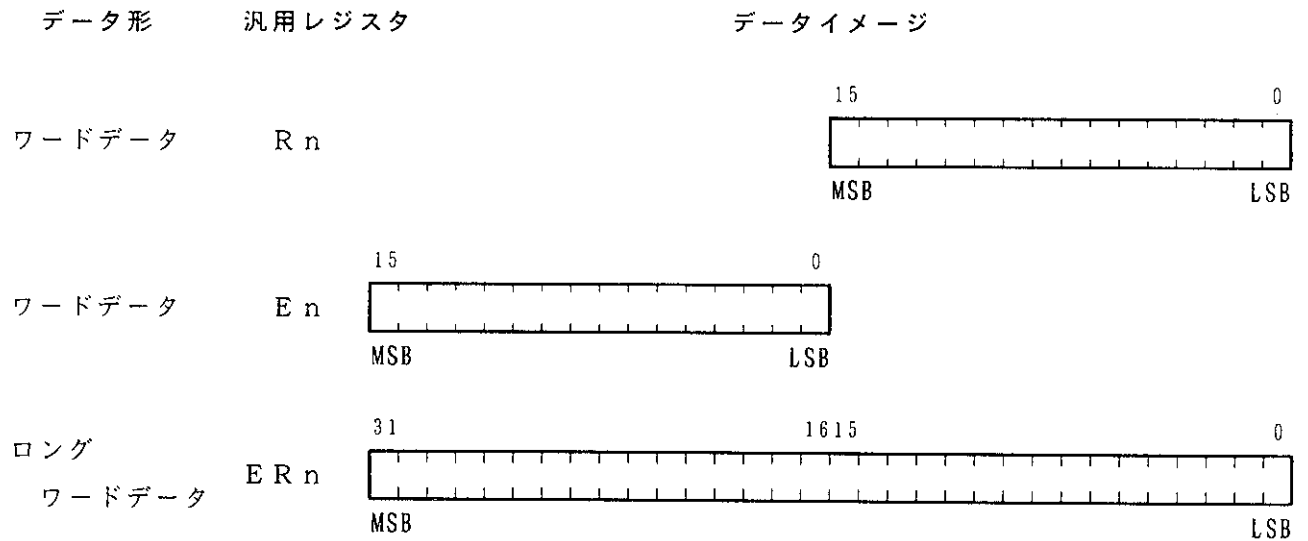


図2.6 汎用レジスタのデータ構成(1)



《記号説明》

- E R n : 汎用レジスタ
- E n : 汎用レジスタ E
- R n : 汎用レジスタ R
- R n H : 汎用レジスタ R H
- R n L : 汎用レジスタ R L
- MSB : 最上位ビット
- LSB : 最下位ビット

図 2. 7 汎用レジスタのデータ構成(2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.8に示します。

H8/300H CPUは、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは“0”とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

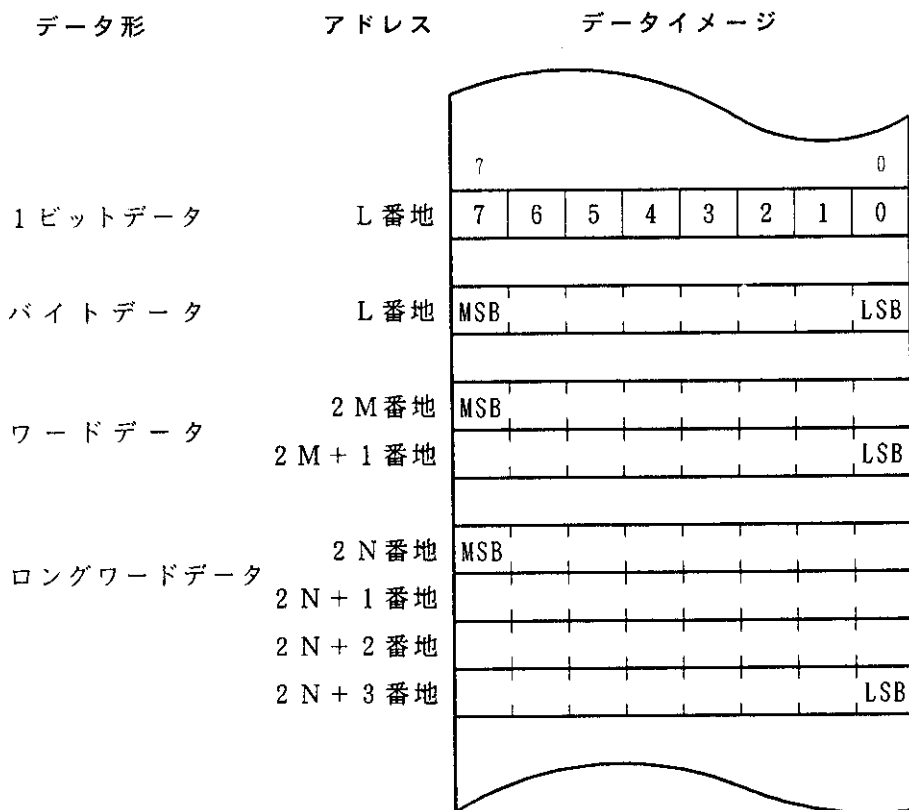


図2.8 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPUの命令は合計62種類あり、各命令の機能によって、表2.1に示すように分類されます。

表2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPE* ² 、MOVFPE* ²	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、 ADDS、SUBS、DAA、DAS、MULXU、 MULXS、DIVXU、DIVXS、CMP、NEG、 EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、 ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、 BIAND、BOR、BIOR、BXOR、BIXOR、BLD、 BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、 ORC、XORC、NOP	9
ブロック転送命令	EPMOV	1

合計62種類

- 【注】*¹ POP.W R_n、PUSH.W R_nは、それぞれMOV.W @SP+, R_n、
MOV.W R_n, @-SPと同一です。
また、POP.L ER_n、PUSH.L ER_nはそれぞれMOV.L @SP+, R_n、
MOV.L R_n, @-SPと同一です。
- *² 本LSIでは使用できません。
- *³ Bccは条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPUで使用可能な命令を表2.2に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード															
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:24, ERn)	@ERn/ @-ERn	@aa:8	@aa:16	@aa:24	@(d:8, PC)	@(d:16, PC)	@aa:8				
		BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL
データ転送命令	MOV	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	MOVFP, MOVTP	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
算術演算命令	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ADDS, SUBS	-	L	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	INC, DEC	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	MULXU, MULXS, DIVXU, DIVXS	-	BW	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	EXTU, EXTS	-	WL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	AND, OR, XOR	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
シフト命令	シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ビット操作命令	-	B	B	-	-	-	-	-	-	-	-	-	-	-	-	-
分岐命令	Bcc, BSR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	JMP, JSR	-	-	O	-	-	-	-	-	-	-	-	-	-	-	-	-
	RTS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
システム制御命令	RTE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W
	STC	-	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W
	ANDC, ORC, XORC	B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ブロック転送命令	NOP	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	ブロック転送命令	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

《記号説明》

B : バイト, W : ワード, L : ロングワード

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

R d	汎用レジスタ（デスティネーション側）*
R s	汎用レジスタ（ソース側）*
R n	汎用レジスタ*
E R n	汎用レジスタ（32ビットレジスタ／アドレスレジスタ）
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
C C R	コンディションコードレジスタ
N	C C R の N（ネガティブ）フラグ
Z	C C R の Z（ゼロ）フラグ
V	C C R の V（オーバフロー）フラグ
C	C C R の C（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#I M M	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24ビット長

【注】* 汎用レジスタは、8ビット(R 0 H～R 7 H、R 0 L～R 7 L)、16ビット(R 0～R 7、E 0～E 7)、または32ビットレジスタ／アドレスレジスタ(E R 0～E R 7)です。

表 2.3 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) → Rd、Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPE	B	(EAs) → Rd H8/3003では使用できません。
MOVTPE	B	Rs → (EAs) H8/3003では使用できません。
POP	W/L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W RnはMOV.W @SP+, Rnと、 またPOP.L ERnはMOV.L @SP+, ERnと 同一です。
PUSH	W/L	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W RnはMOV.W Rn, @-SPと、 またPUSH.L ERnはMOV.L ERn, @-SP と同一です。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令(1)

命 令	サイズ*	機 能
ADD SUB	B/W/L	$Rd \pm Rs \longrightarrow Rd$ 、 $Rd \pm \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX命令またはADD命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd$ 、 $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに1または2を加減算します（バイトサイズの演算では1の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 、 $Rd \pm 4 \longrightarrow Rd$ 32ビットレジスタに1、2または4を加減算します。
DAA DAS	B	Rd （10進補正） $\longrightarrow Rd$ 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8ビット×8ビット→16ビット、 16ビット×16ビット→32ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8ビット×8ビット→16ビット、 16ビット×16ビット→32ビットの乗算が可能です。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4 算術演算命令(2)

命 令	サイズ*	機 能
D I V X U	B / W	$R_d \div R_s \longrightarrow R_d$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16ビット÷8ビット→商8ビット 余り8ビット、 32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
D I V X S	B / W	$R_d \div R_s \longrightarrow R_d$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット 余り8ビット、 32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
C M P	B / W / L	$R_d - R_s$ 、 $R_d - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
N E G	B / W / L	$0 - R_d \longrightarrow R_d$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
E X T S	W / L	R_d （符号拡張） $\longrightarrow R_d$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
E X T U	W / L	R_d （ゼロ拡張） $\longrightarrow R_d$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	$Rd \wedge Rs \longrightarrow Rd$ 、 $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \longrightarrow Rd$ 、 $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \longrightarrow Rd$ 、 $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令(1)

命 令	サイズ*	機 能
BSET	B	$1 \longrightarrow (\text{ビット番号} \text{ of } \text{EA d})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“1”にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	$0 \longrightarrow (\text{ビット番号} \text{ of } \text{EA d})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“0”にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	$\sim (\text{ビット番号} \text{ of } \text{EA d})$ $\longrightarrow (\text{ビット番号} \text{ of } \text{EA d})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	$\sim (\text{ビット番号} \text{ of } \text{EA d}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	$C \wedge (\text{ビット番号} \text{ of } \text{EA d}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C \wedge [\sim (\text{ビット番号} \text{ of } \text{EA d})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定します。

【注】* サイズはオペランドサイズを示します。

B：バイト

表 2.7 ビット操作命令(2)

命 令	サイズ*	機 能
B O R	B	$C \vee (< \text{ビット番号} > \text{ of } < \text{E A d} >) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (< \text{ビット番号} > \text{ of } < \text{E A d} >)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定します。
B X O R	B	$C \oplus (< \text{ビット番号} > \text{ of } < \text{E A d} >) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (< \text{ビット番号} > \text{ of } < \text{E A d} >)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定します。
B L D	B	$(< \text{ビット番号} > \text{ of } < \text{E A d} >) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (< \text{ビット番号} > \text{ of } < \text{E A d} >) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定します。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令(3)

命 令	サイズ*	機 能
B S T	B	C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
B I S T	B	C → ~ (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2. 8 分岐命令

命 令	サイズ	機 能																																																			
B c c	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニ-モニツク</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>HIgh</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>Bcc (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニ-モニツク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	HIgh	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	Bcc (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
		ニ-モニツク	説 明	分 岐 条 件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	HIgh	$C \vee Z = 0$																																																	
		BLS	Low or Same	$C \vee Z = 1$																																																	
		Bcc (BHS)	Carry Clear (High or Same)	$C = 0$																																																	
		BCS (BLO)	Carry Set (LOW)	$C = 1$																																																	
		BNE	Not Equal	$Z = 0$																																																	
		BEQ	Equal	$Z = 1$																																																	
		BVC	oVerflow Clear	$V = 0$																																																	
		BVS	oVerflow Set	$V = 1$																																																	
		BPL	PLus	$N = 0$																																																	
		BMI	MInus	$N = 1$																																																	
		BGE	Greater or Equal	$N \oplus V = 0$																																																	
		BLT	Less Than	$N \oplus V = 1$																																																	
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命 令	サイズ*	機 能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に移ります。
LDC	B/W	(EAs) → CCR ソースオペランドをCCRに転送します。CCRはバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCRの内容をデスティネーションのロケーションに転送します。CCRはバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR ∧ #IMM → CCR CCRとイミディエイトデータの論理積をとります。
ORC	B	CCR ∨ #IMM → CCR CCRとイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM → CCR CCRとイミディエイトデータの排他的論理和をとります。
NOP	—	PC + 2 → PC PCのインクリメントだけを行います。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命 令	サイズ	機 能
EEP MOV. B	-	<pre> if R 4 L ≠ 0 then Repeat @ER 5 + → @ER 6 +、R 4 L - 1 → R 4 L Until R 4 L = 0 else next; </pre>
EEP MOV. W	-	<pre> if R 4 ≠ 0 then Repeat @ER 5 + → @ER 6 +、R 4 - 1 → R 4 Until R 4 = 0 else next; </pre> <p>ブロック転送命令です。ER 5で示されるアドレスから始まり、R 4 LまたはR 4で指定されるバイト数のデータを、ER 6で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.4 命令の基本フォーマット

H8/300H CPUの命令は、2バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA拡張部（EA）およびコンディションフィールド（cc）から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレースメントは上位8ビットをすべて“0”（H'00）とした32ビットデータとして扱われます。

(4) コンディションフィールド

Bcc命令の分岐条件を指定します。

図2.9に命令フォーマットの例を示します。

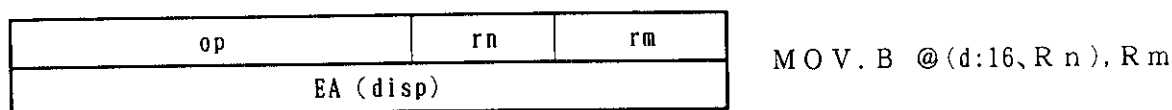
① オペレーションフィールドのみ



② オペレーションフィールドとレジスタフィールド



③ オペレーションフィールド、レジスタフィールドおよびEA拡張部



④ オペレーションフィールド、EA拡張部およびコンディションフィールド

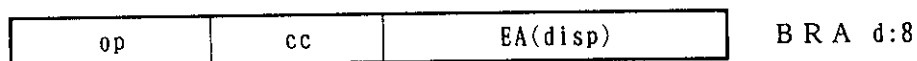


図2.9 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部I/Oレジスタのフラグを“0”にクリアするために、BCLR命令を使用することができます。この場合、割込み処理ルーチンなどで当該フラグが“1”にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H 8 / 3 0 0 H CPUは、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	R n
②	レジスタ間接	@ E R n
③	ディスプレースメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
④	ポストインクリメントレジスタ間接	@ E R n +
	プリデクリメントレジスタ間接	@ - E R n
⑤	絶対アドレス	@aa:8 / @aa:16 / @aa:24
⑥	イミディエイト	#xx:8 / #xx:16 / #xx:32
⑦	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
⑧	メモリ間接	@ @aa:8

① レジスタ直接 R n

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R 0 H ~ R 7 H、R 0 L ~ R 7 L を指定可能です。

16 ビットレジスタとしては R 0 ~ R 7、E 0 ~ E 7 を指定可能です。

32 ビットレジスタとしては E R 0 ~ E R 7 を指定可能です。

② レジスタ間接 @ E R n

命令コードのレジスタフィールドで指定されるアドレスレジスタ (E R n) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

③ ディスプレースメント付きレジスタ間接 @(d:16, ERn) / @(d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (E R n) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算し

た内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

④ ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

・ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ/ロングワードサイズのとき、レジスタの内容が偶数となるようにしてください。

・プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24)です。

8ビット絶対アドレスの場合、上位16ビットはすべて“1”(H'FFFF)となります。

16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。

24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

絶対アドレスのアクセス範囲を表2.12に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1Mバイトモード	16Mバイトモード
8ビット (@aa:8)	H'FFF00~H'FFFFF (1048320 ~1048575)	H'FFFF00~H'FFFFFF (16776960~16777215)
16ビット (@aa:16)	H'00000~H'07FFF, H'F8000~H'FFFFF (0 ~32767, 1015808 ~1048575)	H'000000 ~H'007FFF, H'FF8000~H'FFFFFF (0 ~32767, 16744448~16777215)
24ビット (@aa:24)	H'00000~H'FFFFF (0 ~1048575)	H'000000~H'FFFFFF (0 ~16777215)

⑥ イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる8ビット(#xx:8)、16ビット(#xx:16)、または32ビット(#xx:32)のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コード中に含まれます。

⑦ プログラムカウンタ相対 @(d:8, PC) / @ (d:16, PC)

Bcc、BSR命令で使用されます。

PCの内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト(-63~+64ワード)または-32766~+32768バイト(-16383~+16384ワード)です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMP、JSR命令で使用されます。

命令コードの中に含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭1バイトは無視され、24ビット長の分岐アドレスを生成します。図2.10にメモリ間接による分岐アドレスの指定方法を示します。

8ビット絶対アドレスの上位のビットはすべて“0”(H'0000)となりますので、分岐アドレスを格納できるのは0~255(H'000000~H'0000FF)番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第5章 割込みコントローラ」を参照してください。

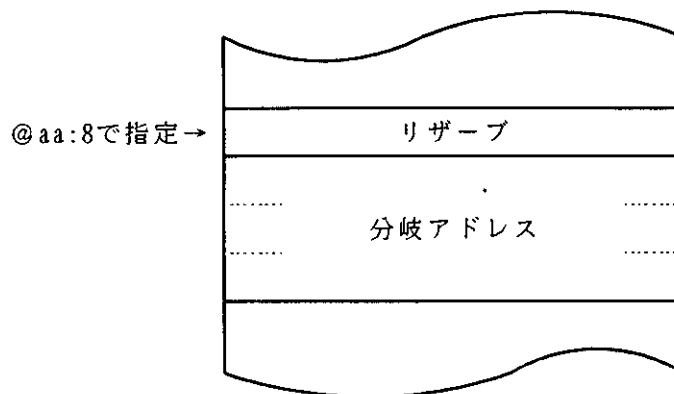


図 2.10 メモリ間接による分岐アドレスの指定

ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは“0”とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表2.13に示します。

1Mバイトモードの場合、計算結果の上位4ビットは無視され、20ビットの実効アドレスを生成します。

表 2.13 実効アドレスの計算方法(1)









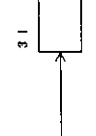

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
①	レジスタ直接 (Rn) 		オペランドは、汎用レジスタの内容です。
②	レジスタ間接 (@ERn) 		
③	ディスプレイ要素メント付レジスタ間接 @(d:16, ERn) / @(d:24, ERn) 		
④	*ストイックリメントレジスタ間接 / *リテリメントレジスタ間接 • *ストイックリメントレジスタ間接 @ERn + • *リテリメントレジスタ間接 @-ERn 		 オペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 が加減算されます。

表 2.13 実効アドレスの計算方法(2)


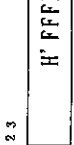






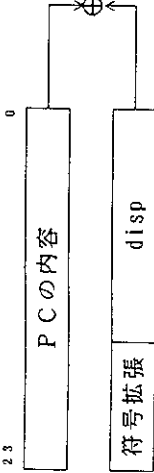
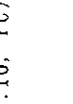
No	アドレスシニングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
⑥	イミディエイト #xx:8 / #xx:16 / #xx:32 		オペランドはイミディエイトデータです。
⑦	プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC) 		

表 2.13 実効アドレスの計算方法(3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
③	メモリ間接@aa:8 <div data-bbox="399 560 478 672" style="border: 1px solid black; padding: 2px; display: inline-block;"> OP abs </div>		

<記号説明>

- r、rm、rn: レジスタフィールド
- op : オペレーションフィールド
- disp: ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.8 処理状態

2.8.1 概要

H8/300H CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の5種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図2.11に、各状態間の遷移を図2.13に示します。

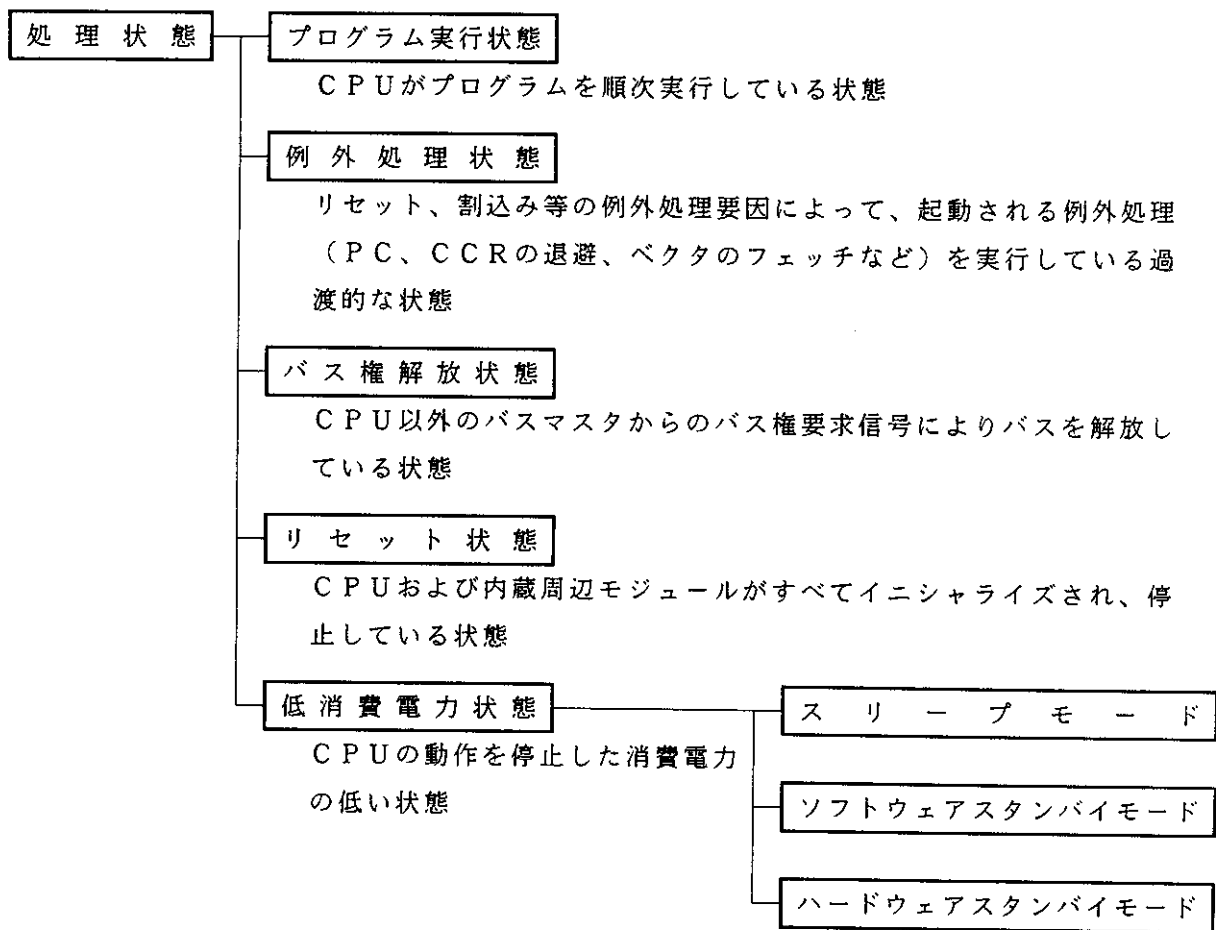


図2.11 処理状態の分類

2.8.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割込み、またはトラップ命令の例外処理要因によって起動され、CPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過度的な状態です。割込みおよびトラップ命令例外処理では、SP（ER7）を参照して、PCおよびCCRの退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割込み、およびトラップ命令があります。表2.14に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに例外処理を開始します。
	割込み	命令の実行終了時 または例外処理終了時*	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA命令実行時	トラップ（TRAPA）命令を実行すると、例外処理を開始します。

【注】* ANDC、ORC、XORC、LDC命令の実行終了時点、またはリセット例外処理の終了時点では、割込み要因の検出を行いません。

例外処理要因は、図2.12に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第4章 例外処理」および「第5章 割込みコントローラ」を参照してください。

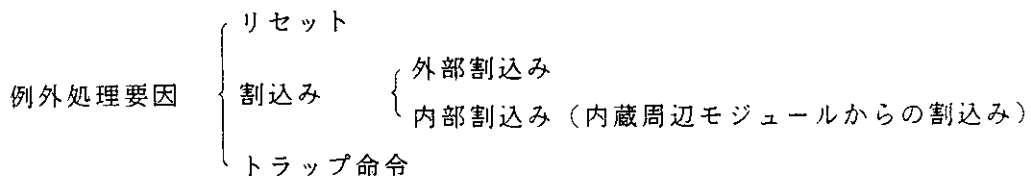
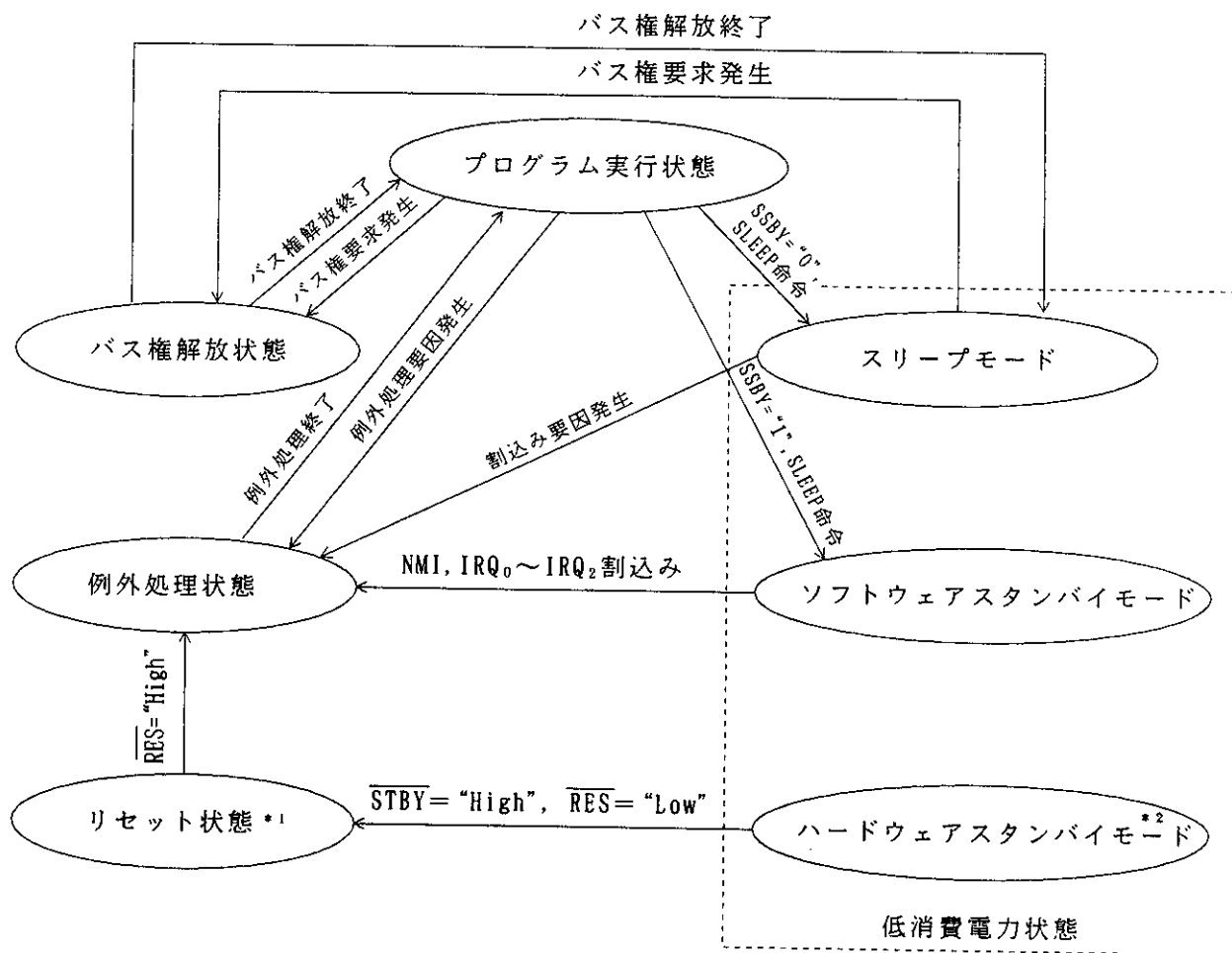


図 2.12 例外処理要因の分類



- 【注】* 1 ハードウェアスタンバイモードを除くすべての状態において、RES端子が“Low”レベルになるとリセット状態に遷移します。
- * 2 すべての状態においてSTBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

図 2.13 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

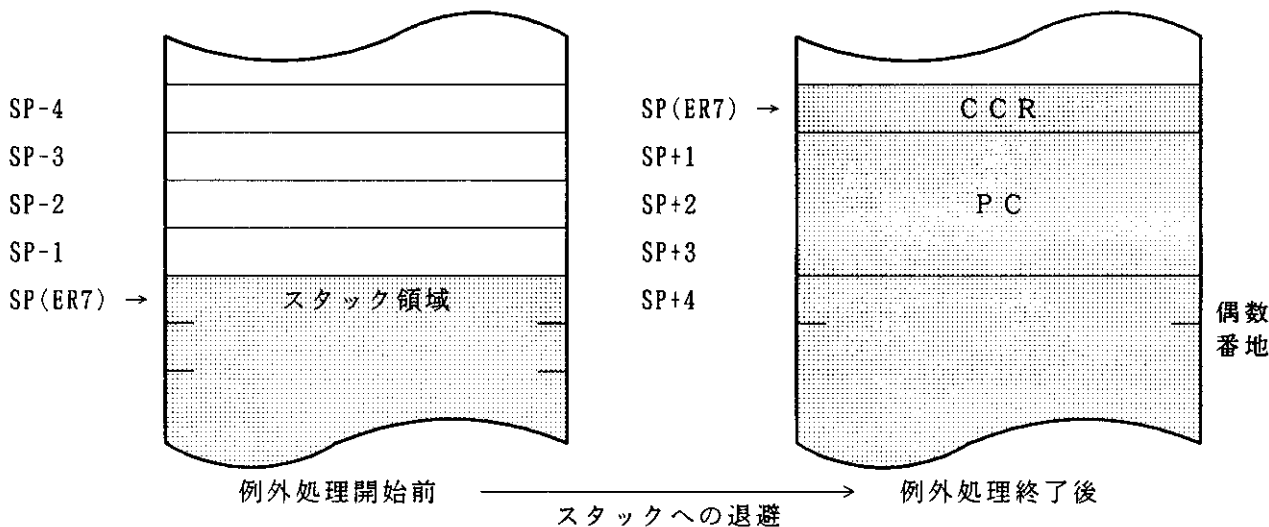
リセット例外処理は、最も優先度の高い例外処理です。RES端子を“Low”レベルにしてリセット状態にした後、RES端子を“High”レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPUは、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMIを含めたすべての割り込みが禁止されます。

(2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPUはSP (ER7)を参照してPCとCCRをスタックに退避します。次に、SYSCRのUEビットが“1”のときはCCRのIビットが“1”にセットされ、UEビットが“0”のときはCCRのIビット、UIビットがいずれも“1”にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を図2.14に示します。



《記号説明》

CCR : コンディションコードレジスタ

SP : スタックポインタ

- 【注】
1. PCはリターン後に実行する最初の命令アドレスです。
 2. レジスタの退避/復帰は必ずワードサイズまたはロングワードサイズで、偶数アドレスから行ってください。

図 2.14 例外処理終了後のスタック状態

2.8.5 バス権解放状態

CPU以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU以外のバスマスタにはDMAコントローラ、リフレッシュコントローラ、および外部バスマスタがあります。

バス権解放状態では、CPUは内部動作を除き、停止します。また、割込みも受け付けられません。詳細は「6.3.7 バスアービタの動作」を参照してください。

2.8.6 リセット状態

RES端子が“Low”レベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセットによってCCRのIビットが“1”にセットされます。リセット状態ではすべての割込みが禁止されます。

RES端子を“Low”レベルから“High”レベルにすると、リセット例外処理が開始されます。

ウォッチドックタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第12章 ウォッチドックタイマ」を参照してください。

2.8.7 低消費電力状態

低消費電力状態はCPUの動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCRのSSBYビットを“0”にクリアした状態で、SLEEP命令を実行することによって遷移するモードです。CPUの動作は、SLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCRのSSBYビットを“1”にセットした状態で、SLEEP命令を実行することによって遷移するモードです。

CPUおよびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限りCPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、STBY端子を“Low”レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPUおよびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

低消費電力状態についての詳細は、「第17章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPUは、クロック(ϕ)を基準に動作しています。 ϕ の立上がりから次の立上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図2.15に、端子状態を図2.16に示します。

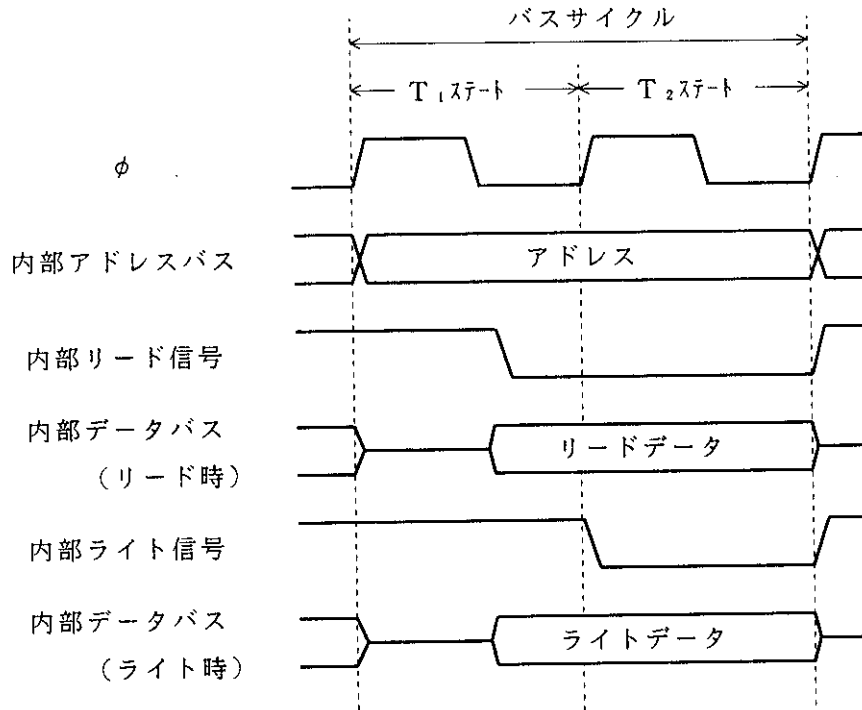


図 2.15 内蔵メモリアクセスサイクル

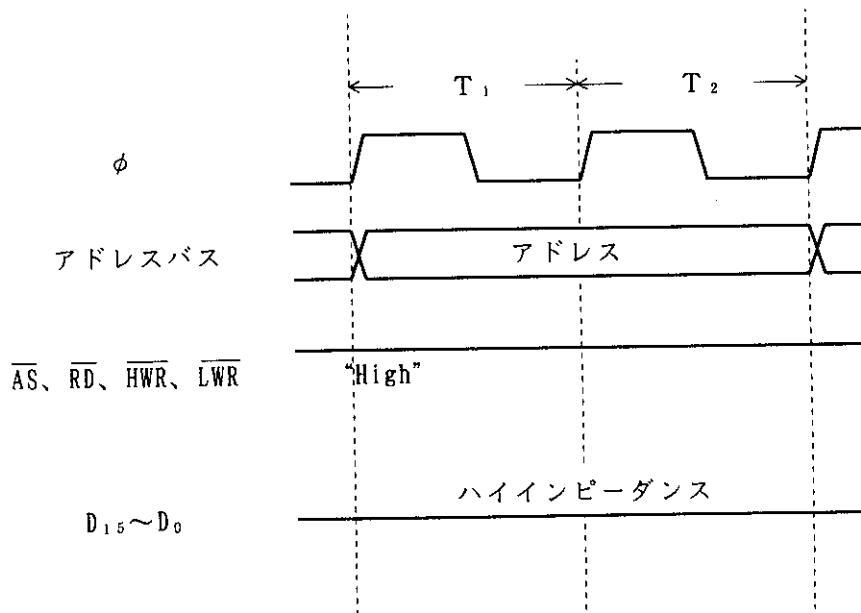


図 2.16 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.17に、端子状態を図2.18に示します。

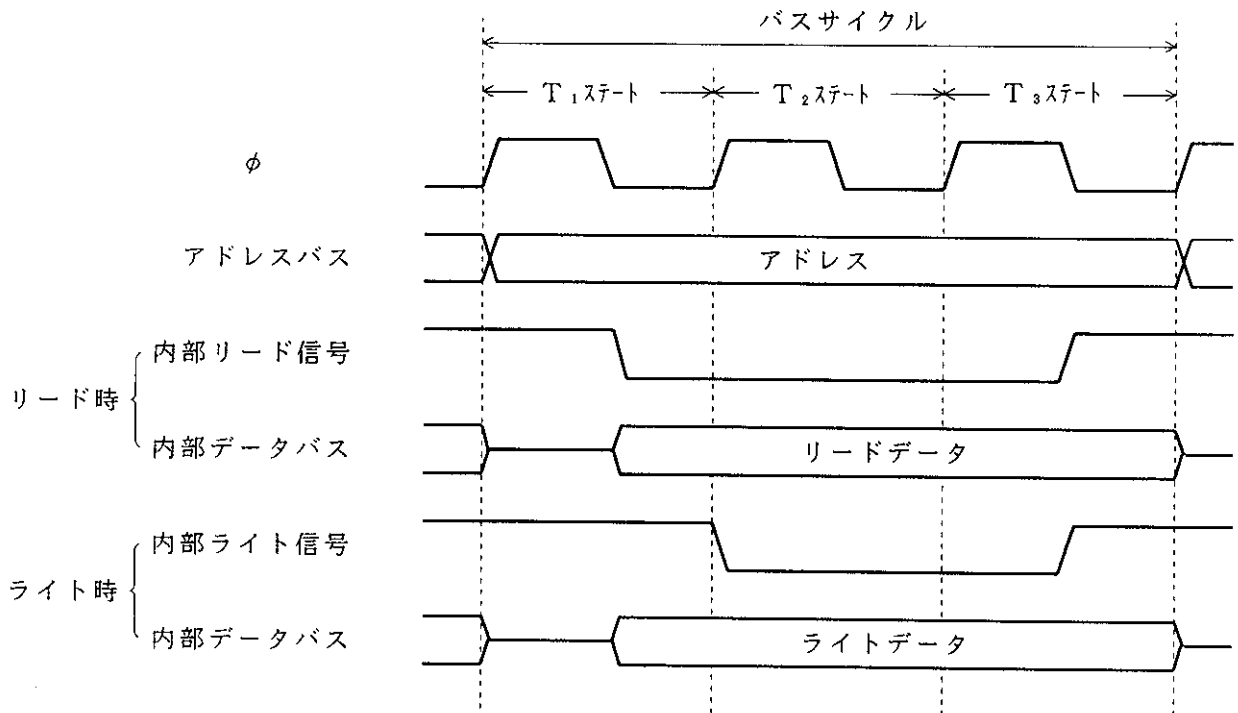


図 2.17 内蔵周辺モジュールアクセスサイクル

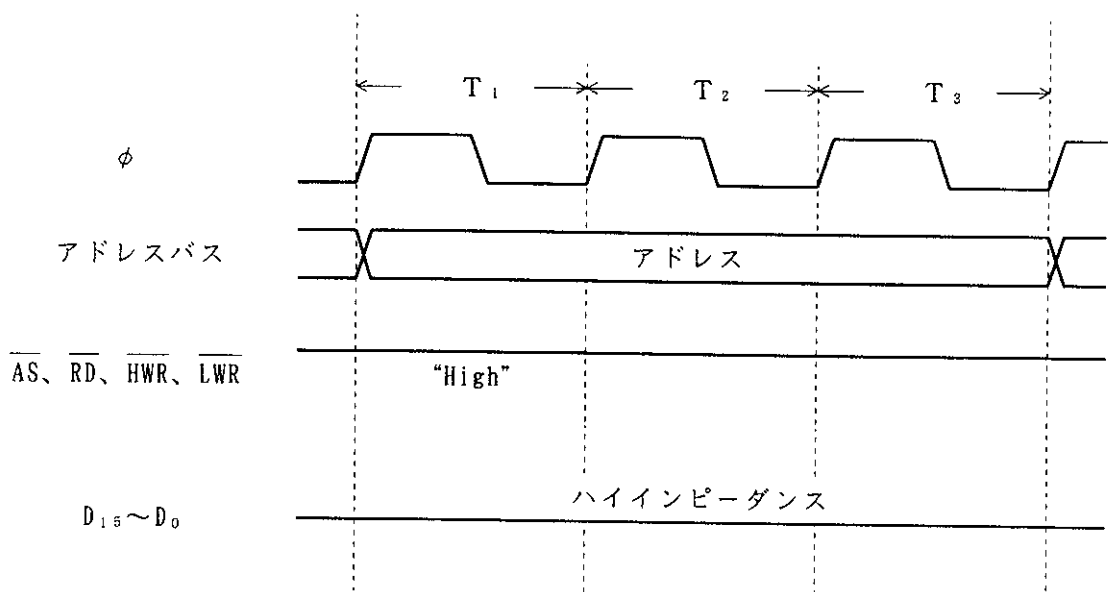


図 2.18 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア（エリア0～7）に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅（8ビットまたは16ビット）とアクセスステート（2ステートまたは3ステート）の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU動作モード

第3章 目次

3.1	概要	69
3.1.1	動作モードの選択の種類	69
3.1.2	レジスタ構成	70
3.2	モードコントロールレジスタ (MDCR)	71
3.3	システムコントロールレジスタ (SYSCR)	72
3.4	各動作モードの説明	75
3.4.1	モード1	75
3.4.2	モード2	75
3.4.3	モード3	75
3.4.4	モード4	75
3.5	各動作モードにおける端子機能	76
3.6	各動作モードのメモリマップ	77

3.1 概要

3.1.1 動作モードの選択の種類

H8/3003には、4種類の動作モード（モード1～4）があります。これらのモードは、モード端子(MD₂～MD₀)を表3.1のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類を選択

動作モード	端子設定			内 容		
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード初期状態* ¹	内蔵RAM
———	0	0	0	———	———	———
モード1	0	0	1	1Mバイト	8ビット	有効* ²
モード2	0	1	0	1Mバイト	16ビット	有効* ²
モード3	0	1	1	16Mバイト	8ビット	有効* ²
モード4	1	0	0	16Mバイト	16ビット	有効* ²
———	1	0	1	———	———	———
———	1	1	0	———	———	———
———	1	1	1	———	———	———

【注】*¹ すべての動作モードにおいて、バス幅コントロールレジスタ (ABWCR) を設定することによりデータバス幅をエリアごとに8ビットデータバスまたは16ビットデータバスにすることができます。

詳細は、「第6章 バスコントローラ」を参照してください。

*² SYSCRのRAMEビットを“0”にクリアすると外部アドレス空間に切り換わります。

アドレス空間は、1Mバイト/16Mバイトのいずれかを選択することができます。

外部データバスのバス幅はABWCRにより、8ビット/16ビットバスモードのいずれかになります。すべてのエリアを8ビットアクセス空間に設定した場合、8ビットバスモードとなります。詳細は「第6章 バスコントローラ」を参照してください。

モード1～4は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

モード1、2でサポートするアドレス空間は、最大1Mバイトです。また、モード3、4でサポートするアドレス空間は、最大16Mバイトです。

モード1～4以外は、本LSIでは使用できません。したがって、モード端子は必ずモード1～4になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本LSIにはモード端子(MD₂~MD₀)の状態が反映されるMDCRと、動作を制御するSYS CRがあります。レジスタ構成を表3.2に示します。

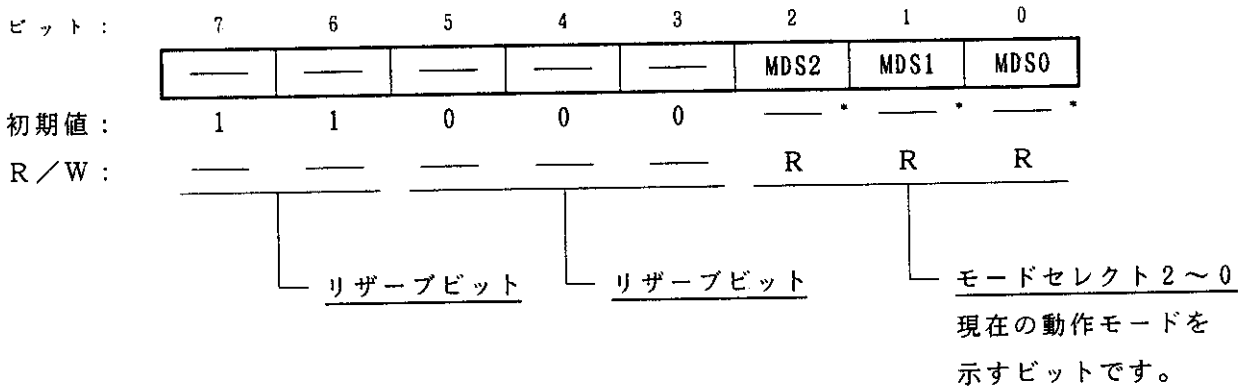
表3.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF1	モードコントロールレジスタ	MDCR	R	不定
H'FFF2	システムコントロールレジスタ	SYS CR	R/W	H'0B

【注】* アドレスの下位16ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCRは8ビットのリード専用のレジスタで、本LSIの現在の動作モードをモニタするのに使います。



【注】* MD₂～MD₀端子により決定されます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5～3：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

ビット2～0：モードセレクト2～0 (MDS2～0)

これらのビットは、モード端子(MD₂～MD₀)のレベルを反映した値(現在の動作モード)を示しています。MDS2～MDS0ビットはMD₂～MD₀端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCRをリードすると、モード端子(MD₂～MD₀)のレベルがこれらのビットにラッチされます。

3.3 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのレジスタで本LSIの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME
初期値:	0	0	0	0	1	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

RAMイネーブル
内蔵RAMの有効/無効を選択するビットです。

リザーブビット

NMIエッジ
NMI端子の入力エッジを選択するビットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択するビットです。

スタンバイタイムセレクト2~0
ソフトウェアスタンバイモードから復帰する場合の待機時間を選択するビットです。

ソフトウェアスタンバイ
ソフトウェアスタンバイモードへの遷移を指定するビットです。

ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します (ソフトウェアスタンバイモードについては「第17章 低消費電力状態」を参照してください)。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が8ms以上となるように指定してください。

待機時間の設定については、「17.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	待機時間 = 4ステート

ビット3：ユーザビットイネーブル（UE）

CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCRのUIビットを、割込みマスクビットとして使用
1	CCRのUIビットを、ユーザビットとして使用 (初期値)

ビット2：NMIエッジ（NMIEG）

NMI端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI入力の立下がりエッジで割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジで割込み要求を発生

ビット1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：RAMイネーブル（RAME）

内蔵RAMの有効／無効を選択します。RAMEビットは、RES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説	明
RAME		
0	内蔵RAM無効	
1	内蔵RAM有効	（初期値）

3.4 各動作モードの説明

3.4.1 モード1

アドレス端子は $A_{19} \sim A_0$ が有効となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ABWCRにより少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.2 モード2

アドレス端子は $A_{19} \sim A_0$ が有効となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は16ビットバスモードとなり、すべてのエリアは16ビットアクセス空間となります。ただし、ABWCRによりすべてのエリアを8ビットアクセス空間に設定した場合には、8ビットバスモードとなります。

3.4.3 モード3

アドレス端子は $A_{23} \sim A_0$ が有効となり、最大16Mバイトのアドレス空間をアクセスできます。リセット直後は8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ABWCRにより少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.4 モード4

アドレス端子は $A_{23} \sim A_0$ が有効となり、最大16Mバイトのアドレス空間をアクセスできます。リセット直後は16ビットバスモードとなり、すべてのエリアは16ビットアクセス空間となります。ただし、ABWCRによりすべてのエリアを8ビットアクセス空間に設定した場合には、8ビットバスモードとなります。

3.5 各動作モードにおける端子機能

動作モードによりポート4、5の端子機能が切り換わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表3.3 各動作モードにおけるポート4、5の機能

ポート	モード1	モード2	モード3	モード4
ポート4	P4 ₇ ~P4 ₀ *	D ₇ ~D ₀ *	P4 ₇ ~P4 ₀ *	D ₇ ~D ₀ *
ポート5	P5 ₇ ~P5 ₄	P5 ₇ ~P5 ₄	A ₂₃ ~A ₂₀	A ₂₃ ~A ₂₀

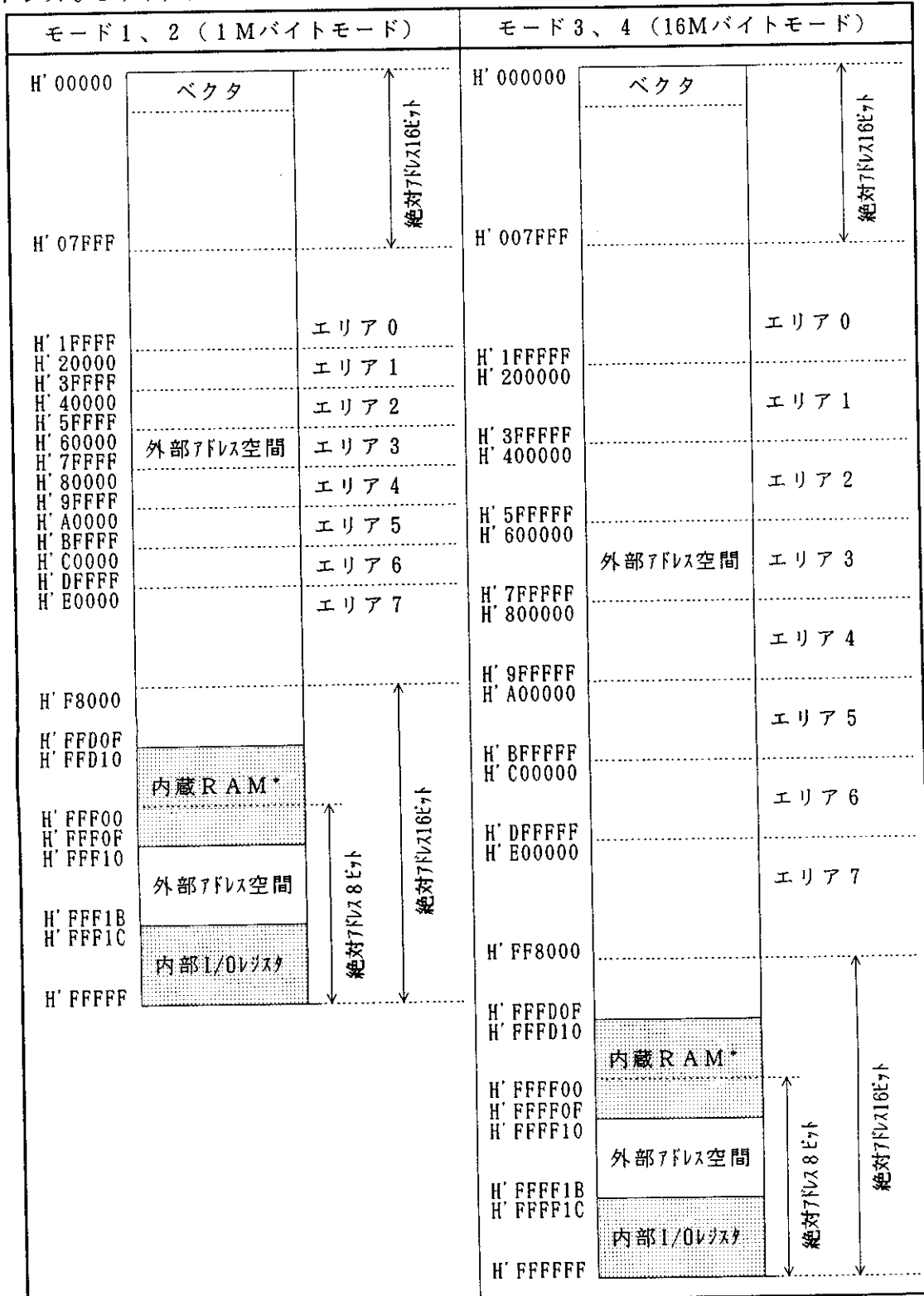
【注】* 初期状態を示しています。ABWCRの設定により、バスモードを切り替えることができます。8ビットモード時にはP4₇~P4₀に、16ビットバスモード時にはD₇~D₀となります。

3.6 各動作モードのメモリマップ

モード1～4のメモリマップを図3.1に示します。アドレス空間は8エリアに分割されています。

モード1とモード2、モード3とモード4ではそれぞれバスモードの初期状態が異なります。

また、モード1、2（1Mバイトモード）とモード3、4（16Mバイトモード）で、内蔵RAMおよび内部I/Oレジスタの配置が異なります。また、CPUのアドレッシングモードのうち、絶対アドレス8ビット/16ビット（@aa:8/@aa:16）で指定できる範囲が異なります。



【注】* SYSCRのRAMEビットを“0”にクリアすることにより外部アドレスとすることができます。

図3.1 各動作モードにおけるメモリマップ

4. 例外処理

第 4 章 目次

4. 1	概要	81
4. 1. 1	例外処理の種類と優先度	81
4. 1. 2	例外処理の動作	81
4. 1. 3	例外処理要因とベクタテーブル	81
4. 2	リセット	83
4. 2. 1	概要	83
4. 2. 2	リセットシーケンス	83
4. 2. 3	リセット直後の割込み	86
4. 3	割込み	86
4. 4	トラップ命令	87
4. 5	例外処理後のスタックの状態	87
4. 6	スタック使用上の注意	88

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表4.1に示すように、リセット、トラップ命令、および割込みによるものがあります。これらの例外処理には表4.1に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに開始します。
	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCRの割込みマスクビットを“1”にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記(2)、(3)の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図4.1に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表4.2に示します。

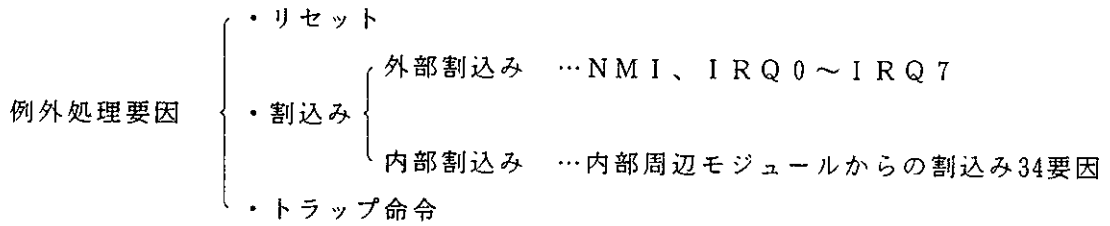


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1	
リセット	0	H' 0000~H' 0003	
システム予約	1	H' 0004~H' 0007	
	2	H' 0008~H' 000B	
	3	H' 000C~H' 000F	
	4	H' 0010~H' 0013	
	5	H' 0014~H' 0017	
	6	H' 0018~H' 001B	
	外部割込み NMI	7	H' 001C~H' 001F
トラップ命令 (4 要因)	8	H' 0020~H' 0023	
	9	H' 0024~H' 0027	
	10	H' 0028~H' 002B	
	11	H' 002C~H' 002F	
外部割込み	IRQ ₀	12	H' 0030~H' 0033
	IRQ ₁	13	H' 0034~H' 0037
	IRQ ₂	14	H' 0038~H' 003B
	IRQ ₃	15	H' 003C~H' 003F
	IRQ ₄	16	H' 0040~H' 0043
	IRQ ₅	17	H' 0044~H' 0047
	IRQ ₆	18	H' 0048~H' 004B
	IRQ ₇	19	H' 004C~H' 004F
内部割込み*2	20	H' 0050~H' 0053	
	60	H' 00F0~H' 00F3	

【注】*1 アドレスの下位16ビットを示しています。

*2 内部割込みのベクタテーブルは、「5.3.3 割込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

RES端子が“Low”レベルになると、実行中の処理はすべて打ち切れ、本LSIはリセット状態になります。リセットによって、CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。

RES端子が“Low”レベルから“High”レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は、「第12章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

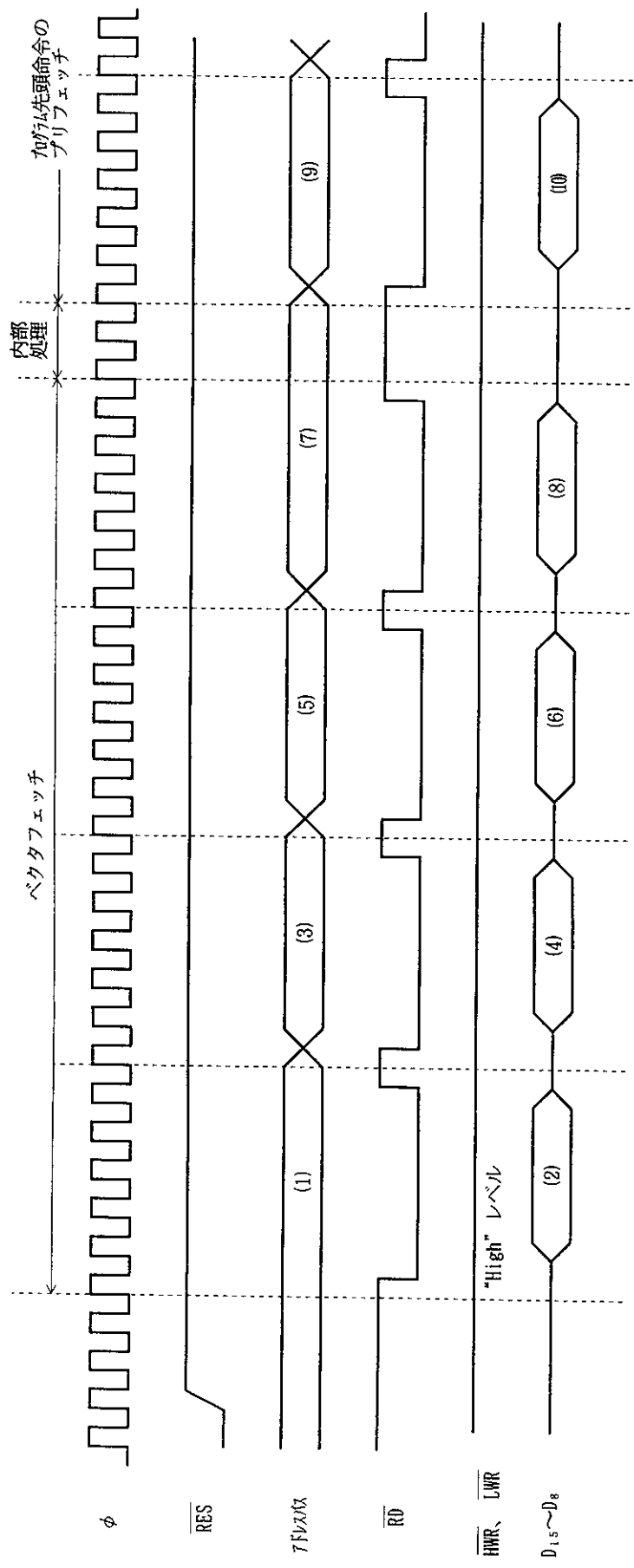
RES端子が“Low”レベルになると本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時は最低20msの間、RES端子を“Low”レベルに保持してください。また、動作中は最低10システムクロック(ϕ)サイクルの間“Low”レベルにしてください。リセット状態の各端子の状態は「付録D.2 リセット時の端子状態」を参照してください。

RES端子が一定期間“Low”レベルの後、“High”レベルになるとリセット例外処理が開始され、本LSIは次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされ、CCRのIビットが“1”にセットされます。
- (2) リセット例外処理ベクタアドレス(H'0000~H'0003)をリードしてそのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

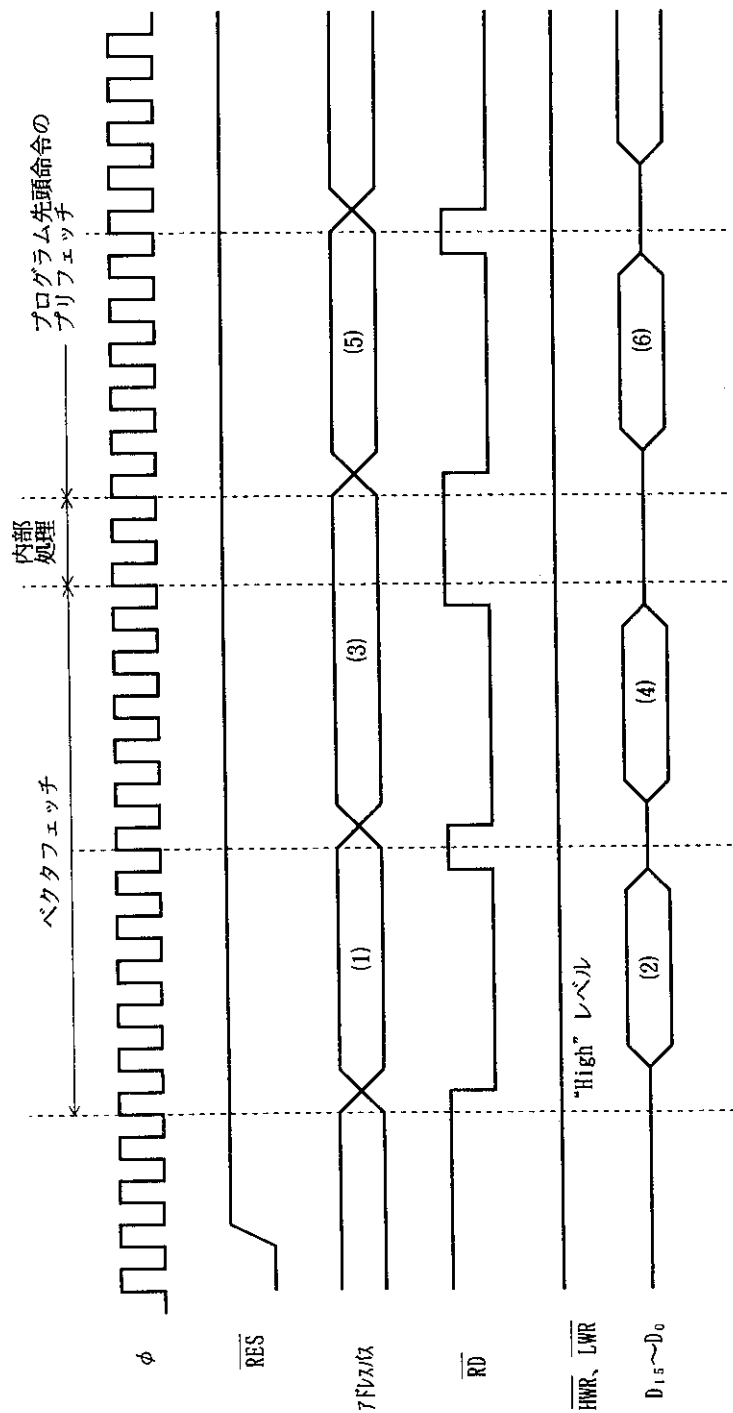
モード1、3のリセットシーケンスを図4.2に、モード2、4のリセットシーケンスを図4.3に示します。



- (1X3)X(7) リセット例外処理ベクタアドレス (1)=H' 00000, (3)=H' 00001, (5)=H' 00002, (7)=H' 00003)
- (2X4)X(8) スタートアドレス (リセット例外処理ベクタアドレスの内容)
- (9) スタートアドレス
- (10) プログラム先頭命令

【注】 リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが、各バスサイクルに挿入されます。

図4.2 リセットシーケンス (モード1、3)



(1)(3) リセット例外処理ベクタアドレス ((1)=H' 00000, (3)=H' 00002)

(2)(4) スタートアドレス (リセット例外処理ベクタアドレスの内容)

(5) スタートアドレス

(6) プログラム先頭命令

【注】 リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが、各バスサイクルに挿入されます。

図4.3 リセットシーケンス (モード2、4)

4.2.3 リセット直後の割込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMIを含めたすべての割込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラム先頭命令はSPをイニシャライズする命令としてください(例: MOV.L #xx:32, SP)。

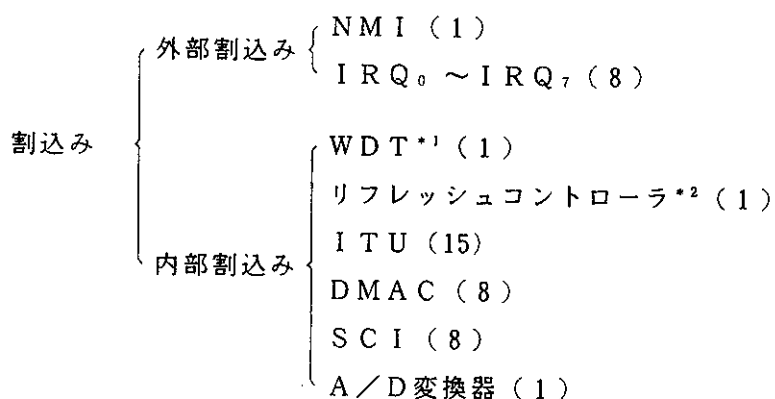
4.3 割込み

割込み例外処理を開始させる要因には、9つの外部割込み(NMI、IRQ₀~IRQ₇)と、内蔵周辺モジュールからの要求による34の内部要因があります。割込み要因と要因数を図4.4に示します。

割込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ(WDT)、リフレッシュコントローラ、16ビットインテグレートドタイマパルスユニット(ITU)、DMAコントローラ(DMAC)、シリアルコミュニケーションインタフェース(SCI)、およびA/D変換器があります。割込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割込みで、常に受け付けられます。割込みは、割込みコントローラによって制御されます。割込みコントローラは、NMI以外の割込みを2レベルの優先順位を設定して、多重割込みの制御を行うことができます。割込みの優先順位は、割込みコントローラのインタラプトプライオリティレジスタA、B(IPRA、B)に設定します。

割込みについての詳細は「第5章 割込みコントローラ」を参照してください。



【注】 () 内は要因数を示します。

*1 WDTをインターバルタイマとして使用したときは、カウンタがオーバーフローすると割込み要求を発生します。

*2 リフレッシュコントローラをインターバルタイマとして使用したとき、コンペアマッチにより割込み要求を発生します。

図4.4 割込み要因と要因数

4.4 トラップ命令

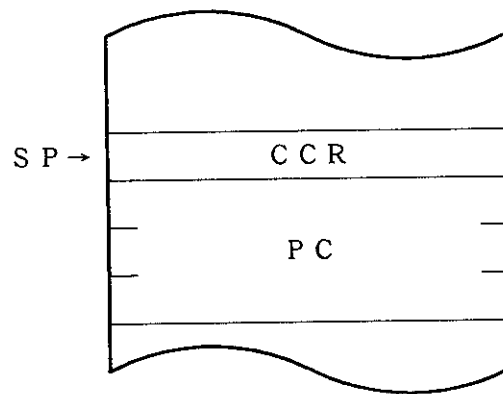
トラップ命令例外処理は、TRAPA命令を実行すると例外処理を開始します。

例外処理によって、SYSCRのUEビットが“1”のときはCCRのIビットが“1”にセットされ、UEビットが“0”のときにはCCRのIビット、UIビットがそれぞれ“1”にセットされます。

TRAPA命令は、命令コード中で指定した0～3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割込み例外処理後のスタックの状態を図4.5に示します。



【注】 モード1、2ではPCの上位4ビットは無視され、20ビットが有効となります。

図4.5 例外処理終了後のスタックの状態

4.6 スタック使用上の注意

本LSIでは、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH. W Rn (MOV. W Rn, @-SP)
```

```
PUSH. L ERn (MOV. L ERn, @-SP)
```

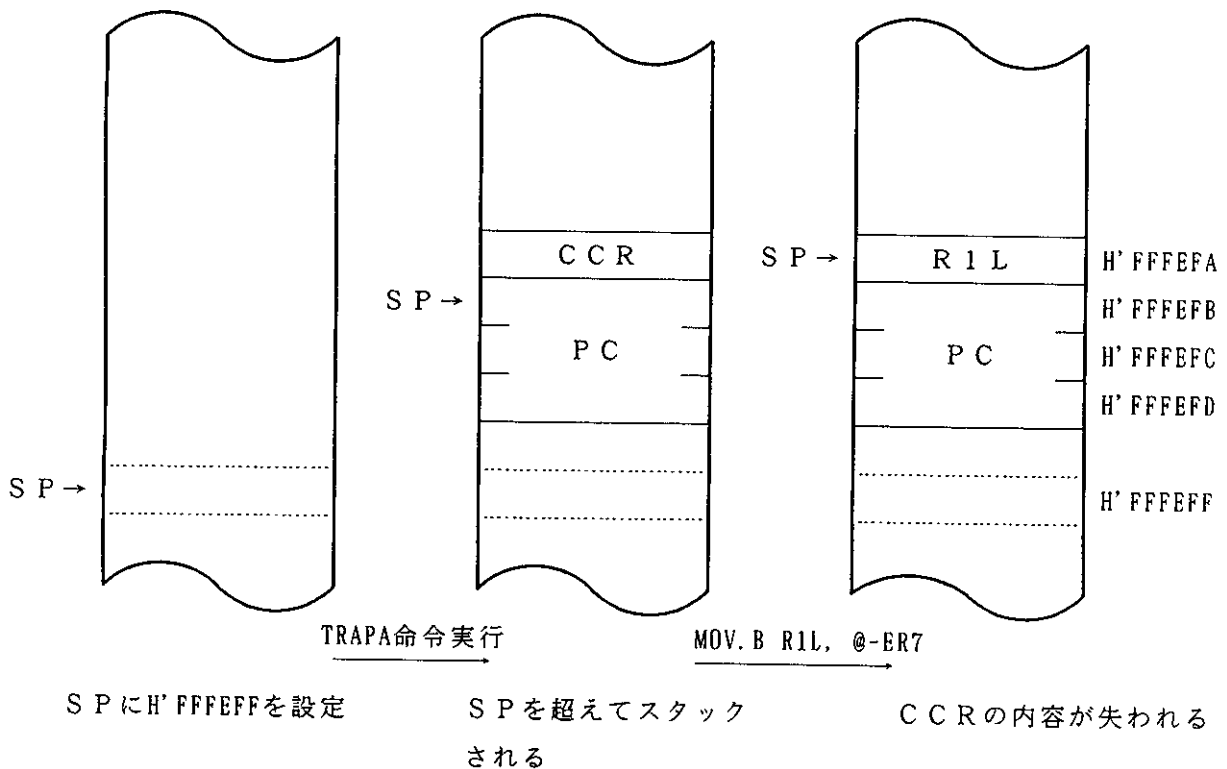
また、レジスタの復帰は、

```
POP. W Rn (MOV. W @SP+, Rn)
```

```
POP. L ERn (MOV. L @SP+, ERn)
```

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.6に示します。



《記号説明》

CCR : コンディションコードレジスタ

PC : プログラムカウンタ

R1L : 汎用レジスタR1L

SP : スタックポインタ

【注】 モード3、4の場合です。

図4.6 SPを奇数に設定したときの動作

5. 割込みコントローラ

第5章 目次

5.1	概要	91
5.1.1	特長	91
5.1.2	ブロック図	92
5.1.3	端子構成	93
5.1.4	レジスタ構成	93
5.2	各レジスタの説明	94
5.2.1	システムコントロールレジスタ (SYSCR)	94
5.2.2	インタラプトプライオリティレジスタA、B (IPRA、IPRB)	95
5.2.3	IRQステータスレジスタ (ISR)	102
5.2.4	IRQイネーブルレジスタ (IER)	103
5.2.5	IRQセンスコントロールレジスタ (ISCR)	104
5.3	割込み要因	105
5.3.1	外部割込み	105
5.3.2	内部割込み	106
5.3.3	割込み例外処理ベクタテーブル	106
5.4	割込み動作	109
5.4.1	割込み動作の流れ	109
5.4.2	割込み例外処理シーケンス	115
5.4.3	割込み応答時間	117
5.5	使用上の注意	118
5.5.1	割込み発生とディスエーブルとの競合	118
5.5.2	割込みの受け付けを禁止している命令	119
5.5.3	EEPMOV命令実行中の割込み	119

5.1 概要

5.1.1 特長

割込みコントローラには、次の特長があります。

- I P Rにより、優先順位を設定可能

割込み優先順位を設定するインタラプトプライオリティレジスタA、B（I P R A、B）を備えており、N M I以外の割込みを要因ごとまたはモジュールごとに2レベルの優先順位を設定できます。

- C P Uのコンディションコードレジスタ（C C R）のI、U Iビットにより、3レベルの許可／禁止状態を設定可能。

- 独立したベクタアドレス

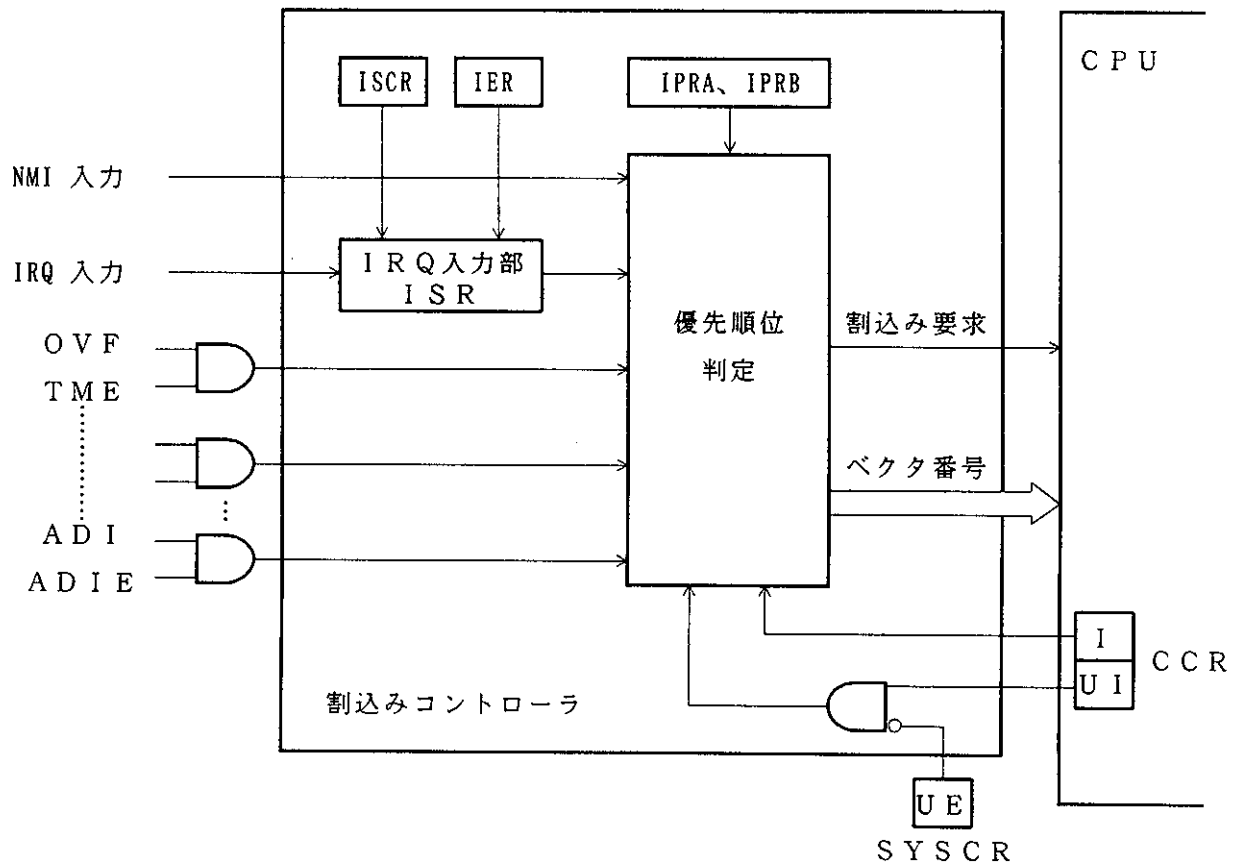
すべての割込み要因には独立のベクタアドレスが割り当てられており、割込み処理ルーチンで要因を判別する必要がありません。

- 9本の外部割込み端子

N M Iは最優先の割込みで常に受け付けられます。N M Iは立上がりエッジ／立下がりエッジを選択できます。またI R Q₀～I R Q₇は立下がりエッジ／レベルセンスを独立に選択できます。

5.1.2 ブロック図

割込みコントローラのブロック図を図5.1に示します。



《記号説明》

- I S C R : I R Q センスコントロールレジスタ
- I E R : I R Q イネーブルレジスタ
- I S R : I R Q ステータスレジスタ
- I P R A : インタラプトプライオリティレジスタ A
- I P R B : インタラプトプライオリティレジスタ B
- S Y S C R : システムコントロールレジスタ

図5.1 割込みコントローラのブロック図

5.1.3 端子構成

割込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	略 称	入出力	機 能
ノンマスクابل割込み	NMI	入力	マスク不可能な外部割込み、立上がりエッジ/ 立下がりエッジ選択可能
外部割込み要求 7 ~ 0	IRQ ₇ ~ IRQ ₀	入力	マスク可能な外部割込み、立下がりエッジ/ レベルセンス選択可能

5.1.4 レジスタ構成

割込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FFF4	IRQセンスコントロールレジスタ	ISCR	R/W	H'00
H'FFF5	IRQイネーブルレジスタ	IER	R/W	H'00
H'FFF6	IRQステータスレジスタ	ISR	R/(W)* ²	H'00
H'FFF8	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'FFF9	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

【注】*¹ アドレスの下位16ビットを示しています。

*² フラグをクリアするための“0”ライトのみ可能です。

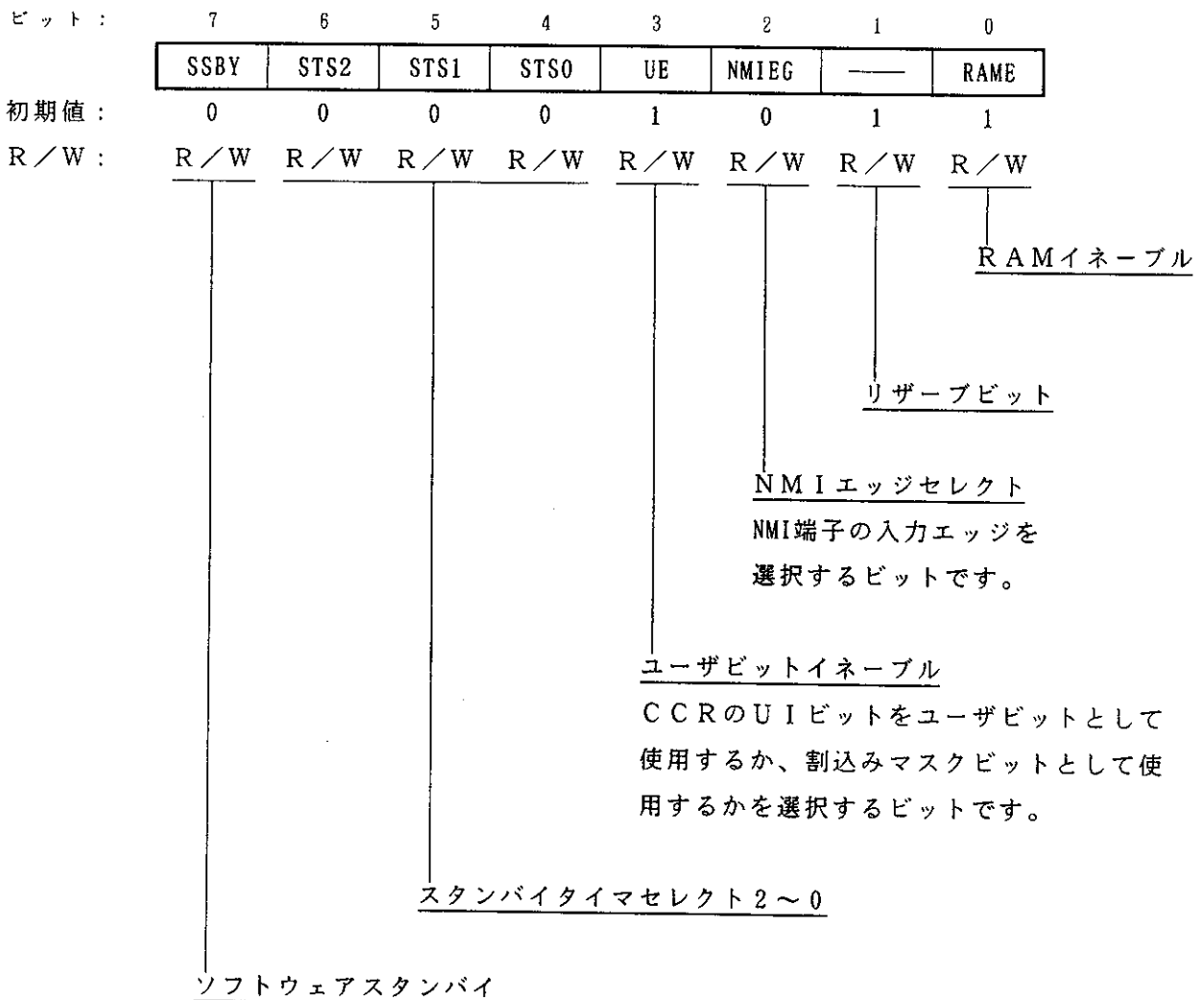
5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCRのUIビットの動作の選択、NMIの検出エッジの選択、および内蔵RAM有効/無効の選択を行います。

ここでは、ビット3、2についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCRはリセット、またはハードウェアスタンバイモード時にH'0Bにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。



ビット3：ユーザビットイネーブル（UE）

CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット3	説明
UE	
0	CCRのUIビットを割込みマスクビットとして使用
1	CCRのUIビットをユーザビットとして使用 (初期値)

ビット2：NMIEッジセレクト（NMIEG）

NMI端子の入力エッジ選択を行います。

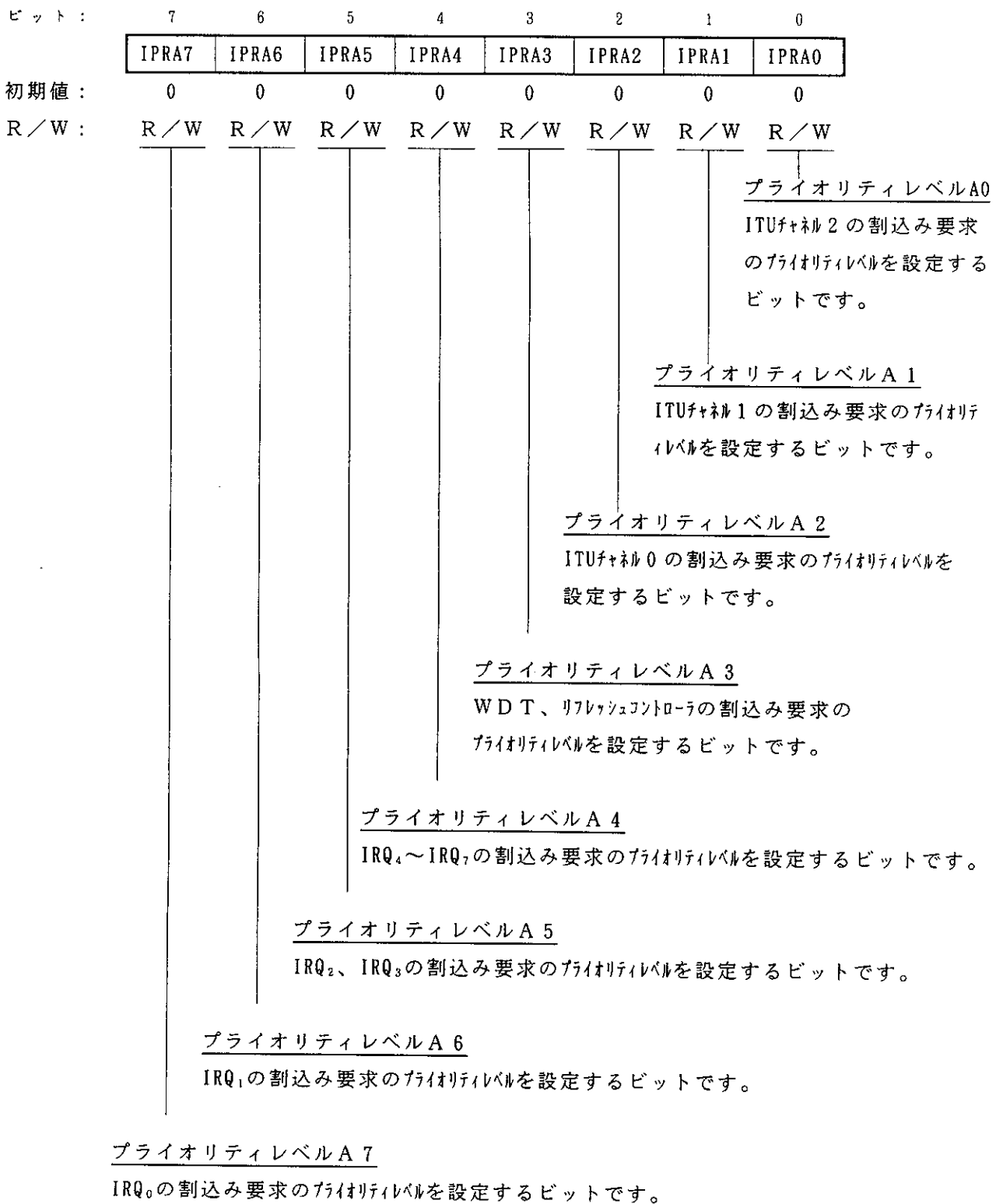
ビット2	説明
NMIEG	
0	NMI入力の立下がりエッジで割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジで割込み要求を発生

5.2.2 インタラプトプライオリティレジスタA、B（IPRA、IPRB）

IPRA、IPRBは各々8ビットのリード/ライト可能なレジスタで割込みの優先順位を制御します。

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRAは8ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRAはリセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされま
す。

ビット7：プライオリティレベルA7 (IPRA7)

IRQ₀の割込み要求のプライオリティレベルを設定します。

ビット7	説	明
IPRA7		
0	IRQ ₀ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₀ の割込み要求はプライオリティレベル1 (優先)	

ビット6：プライオリティレベルA6 (IPRA6)

IRQ₁の割込み要求のプライオリティレベルを設定します。

ビット6	説	明
IPRA6		
0	IRQ ₁ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₁ の割込み要求はプライオリティレベル1 (優先)	

ビット5：プライオリティレベルA5 (IPRA5)

IRQ₂、IRQ₃の割込み要求のプライオリティレベルを設定します。

ビット5	説	明
IPRA5		
0	IRQ ₂ 、IRQ ₃ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₂ 、IRQ ₃ の割込み要求はプライオリティレベル1 (優先)	

ビット4：プライオリティレベルA4 (IPRA4)

IRQ₄～IRQ₇の割込み要求のプライオリティレベルを設定します。

ビット4	説	明
IPRA4		
0	IRQ ₄ ～IRQ ₇ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₄ ～IRQ ₇ の割込み要求はプライオリティレベル1 (優先)	

ビット3：プライオリティレベルA3（IPRA3）

WDT、リフレッシュコントローラの割込み要求のプライオリティレベルを設定します。

ビット3	説 明
IPRA3	
0	WDT、リフレッシュコントローラの割込み要求はプライオリティレベル0（非優先）（初期値）
1	WDT、リフレッシュコントローラの割込み要求はプライオリティレベル1（優先）

ビット2：プライオリティレベルA2（IPRA2）

ITUチャンネル0割込み要求のプライオリティレベルを設定します。

ビット2	説 明
IPRA2	
0	ITUチャンネル0の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル0の割込み要求はプライオリティレベル1（優先）

ビット1：プライオリティレベルA1（IPRA1）

ITUチャンネル1の割込み要求のプライオリティレベルを設定します。

ビット1	説 明
IPRA1	
0	ITUチャンネル1の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル1の割込み要求はプライオリティレベル1（優先）

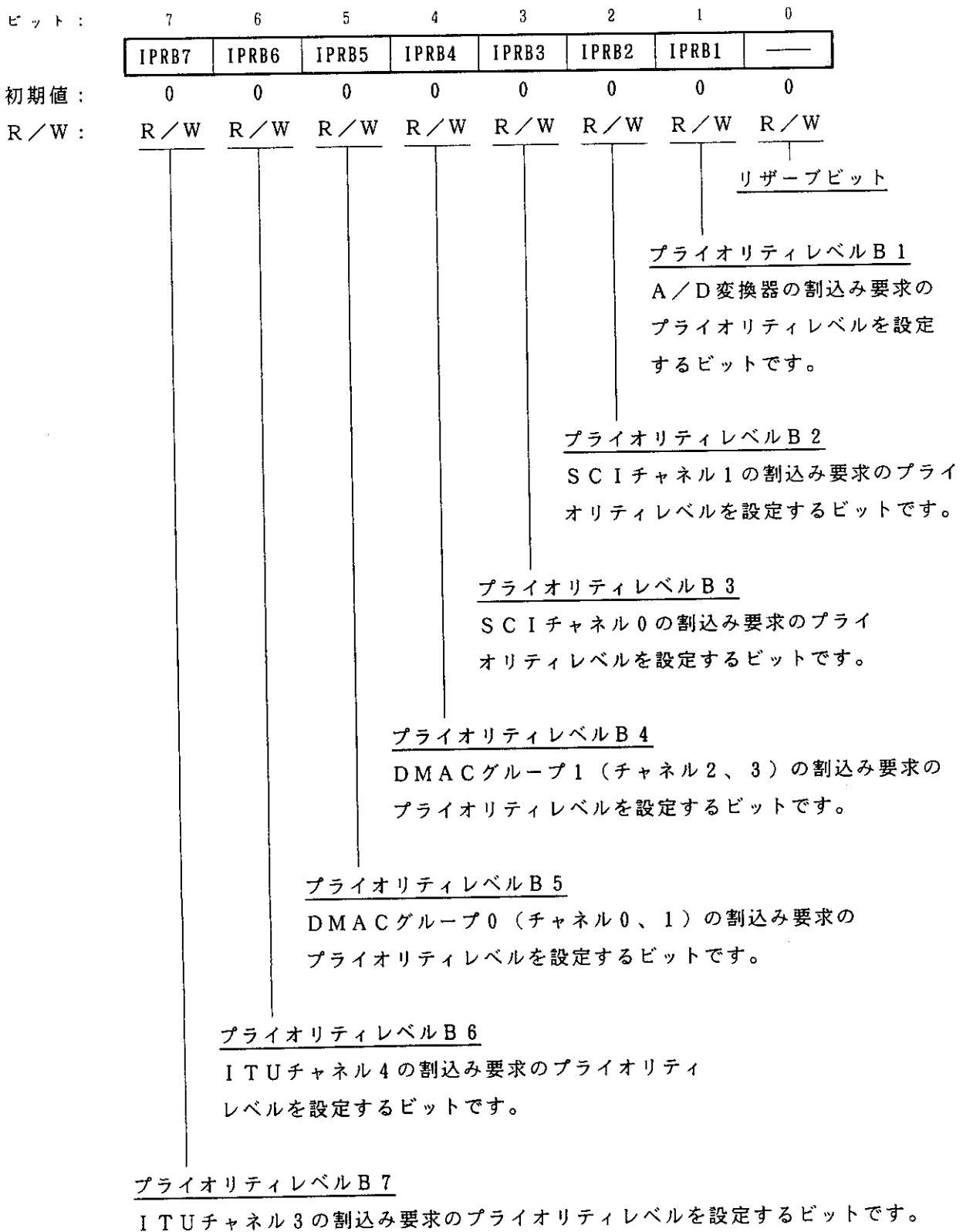
ビット0：プライオリティレベルA0（IPRA0）

ITUチャンネル2の割込み要求のプライオリティレベルを設定します。

ビット0	説 明
IPRA0	
0	ITUチャンネル2の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル2の割込み要求はプライオリティレベル1（優先）

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7：プライオリティレベルB7（IPRB7）

ITUチャンネル3の割込み要求のプライオリティレベルを設定します。

ビット7	説	明
IPRB7		
0	ITUチャンネル3の割込み要求はプライオリティレベル0（非優先）	（初期値）
1	ITUチャンネル3の割込み要求はプライオリティレベル1（優先）	

ビット6：プライオリティレベルB6（IPRB6）

ITUチャンネル4の割込み要求のプライオリティレベルを設定します。

ビット6	説	明
IPRB6		
0	ITUチャンネル4の割込み要求はプライオリティレベル0（非優先）	（初期値）
1	ITUチャンネル4の割込み要求はプライオリティレベル1（優先）	

ビット5：プライオリティレベルB5（IPRB5）

DMACグループ0（チャンネル0、1）の割込み要求のプライオリティレベルを設定します。

ビット5	説	明
IPRB5		
0	DMACグループ0（チャンネル0、1）の割込み要求はプライオリティレベル0（非優先）	（初期値）
1	DMACグループ0（チャンネル0、1）の割込み要求はプライオリティレベル1（優先）	

ビット4：プライオリティレベルB4（IPRB4）

DMACグループ1（チャンネル2、3）の割込み要求のプライオリティレベルを設定します。

ビット4	説	明
IPRB4		
0	DMACグループ1（チャンネル2、3）の割込み要求はプライオリティレベル0（非優先）	（初期値）
1	DMACグループ1（チャンネル2、3）の割込み要求はプライオリティレベル1（優先）	

ビット3：プライオリティレベルB3 (IPRB3)

SCIチャンネル0の割込み要求のプライオリティレベルを設定します。

ビット3	説明
IPRB3	
0	SCIチャンネル0の割込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCIチャンネル0の割込み要求はプライオリティレベル1 (優先)

ビット2：プライオリティレベルB2 (IPRB2)

SCIチャンネル1の割込み要求のプライオリティレベルを設定します。

ビット2	説明
IPRB2	
0	SCIチャンネル1の割込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCIチャンネル1の割込み要求はプライオリティレベル1 (優先)

ビット1：プライオリティレベルB1 (IPRB1)

A/D変換器の割込み要求のプライオリティレベルを設定します。

ビット1	説明
IPRB1	
0	A/D変換器の割込み要求はプライオリティレベル0 (非優先) (初期値)
1	A/D変換器の割込み要求はプライオリティレベル1 (優先)

ビット0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQステータスレジスタ (ISR)

ISRは8ビットのリード/ライト可能なレジスタで、IRQ₀~IRQ₇割込み要求のステータスの表示を行います。

ビット:	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ₇ ~ IRQ₀ フラグ

IRQ₇ ~ IRQ₀ 割込み要求のステータスを表示するビットです。

【注】* フラグをクリアするための“0”ライトのみ可能です。

ISRはリセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7~0: IRQ₇~IRQ₀フラグ (IRQ7F~IRQ0F)

IRQ₇ ~ IRQ₀ 割込み要求のステータスの表示を行います。

ビット7~0	説明
IRQ7F~IRQ0F	
0	<p>〔クリア条件〕 (初期値)</p> <p>(1) IRQ_nF = “1” の状態でIRQ_nFフラグをリードした後、IRQ_nFフラグに“0”をライトしたとき</p> <p>(2) IRQ_nSC = “0”、$\overline{\text{IRQ}}_n$入力が“High”レベルの状態での割込み例外処理を実行したとき</p> <p>(3) IRQ_nSC = “1” の状態でIRQ_n割込み例外処理を実行したとき</p>
1	<p>〔セット条件〕</p> <p>(1) IRQ_nSC = “0” の状態で$\overline{\text{IRQ}}_n$入力が“Low”レベルになったとき</p> <p>(2) IRQ_nSC = “1” の状態で$\overline{\text{IRQ}}_n$入力に立下がりエッジが発生したとき</p>

(n = 7 ~ 0)

5.2.4 IRQイネーブルレジスタ (IER)

IERは8ビットのリード/ライト可能なレジスタで、IRQ₀~IRQ₇割込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ₇~IRQ₀イネーブル

IRQ₇~IRQ₀割込みを許可/禁止するかを選択するビットです。

IERはリセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7~0: IRQ₇~IRQ₀イネーブル (IRQ7E~IRQ0E)

IRQ₇~IRQ₀割込みを許可/禁止するかを選択します。

ビット7~0	説明
IRQ7E~IRQ0E	
0	IRQ ₇ ~IRQ ₀ 割込みを禁止 (初期値)
1	IRQ ₇ ~IRQ ₀ 割込みを許可

5.2.5 IRQセンスコントロールレジスタ (ISCR)

ISCRは8ビットのリード/ライト可能なレジスタで、 $\overline{IRQ_7} \sim \overline{IRQ_0}$ 端子の入力のレベルセンスまたは立下がりエッジを選択します。

ビット:	7	6	5	4	3	2	1	0
	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ₇ ~ IRQ₀センスコントロール

IRQ₇ ~ IRQ₀割込みのレベルセンスまたは
立下がりエッジを選択するビットです。

ISCRはリセットまたは、ハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7~0: IRQ₇ ~ IRQ₀センスコントロール (IRQ7SC ~ IRQ0SC)

IRQ₇ ~ IRQ₀割込みを $\overline{IRQ_7} \sim \overline{IRQ_0}$ 端子のレベルセンスで要求するか、立下がりエッジで要求するかを選択します。

ビット7~0	説明
IRQ7SC ~ IRQ0SC	
0	$\overline{IRQ_7} \sim \overline{IRQ_0}$ 入力の“Low”レベルで割込み要求を発生 (初期値)
1	$\overline{IRQ_7} \sim \overline{IRQ_0}$ 入力の立下がりエッジで割込み要求を発生

5.3 割込み要因

割込み要因には、外部割込み（NMI、IRQ₀～IRQ₇）と内部割込み（34要因）があります。

5.3.1 外部割込み

外部割込みには、NMI、IRQ₀～IRQ₇の9要因があります。このうち、NMI、IRQ₀～IRQ₂はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI割込み

NMIは最優先の割込みで、CCRのIビット、UIビットの状態にかかわらず常に受け付けられます。NMI端子の立上がりエッジまたは立下がりエッジのいずれかで割込みを要求するか、SYS CRのNMIEGビットで選択できます。

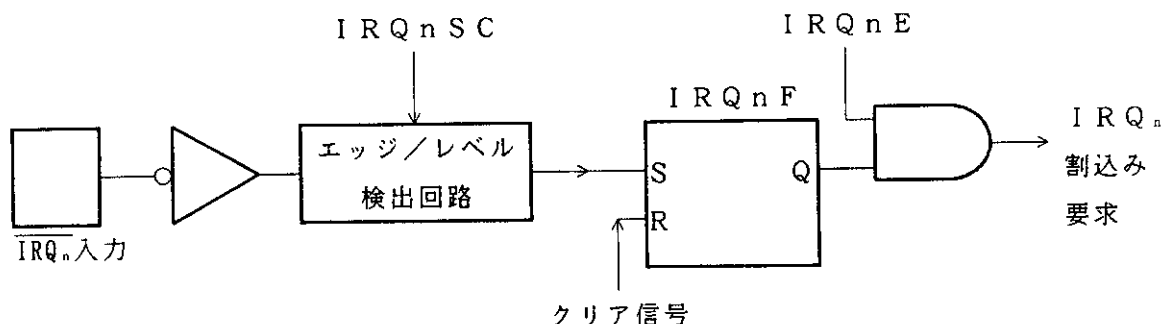
NMI割込み例外処理のベクタ番号は7です。

(2) IRQ₀～IRQ₇割込み

IRQ₀～IRQ₇割込みはIRQ₀～IRQ₇端子の入力信号により要求されます。IRQ₀～IRQ₇割込みには次の特長があります。

- ① IRQ₀～IRQ₇端子の“Low”レベルまたは立下がりエッジのどちらで割込みを要求するか、IS CRで選択できます。
- ② IRQ₀～IRQ₇割込み要求を許可するか禁止するかを、IERで選択できます。また、IPRAのIPRA₇～IPRA₄ビットにより割込みプライオリティレベルを設定できます。
- ③ IRQ₀～IRQ₇割込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで“0”にクリアすることができます。

IRQ₀～IRQ₇割込みのブロック図を図5.2に示します。



【注】 n : 7～0

図5.2 IRQ₀～IRQ₇割込みのブロック図

IRQ_nFのセットタイミングを図5.3に示します。

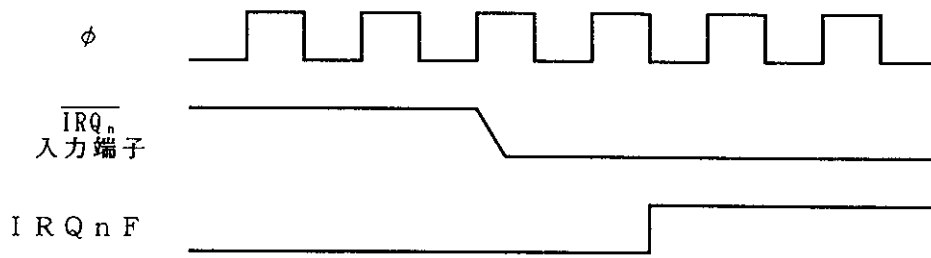


図5.3 IRQ_nFセットタイミング

IRQ₀～IRQ₇割込み例外処理のベクタ番号は12～19です。

IRQ₀～IRQ₇割込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割込み入力端子として使用する場合は、対応するDDRを“0”にクリアし、チップセレクト出力端子、リフレッシュ出力端子、SCIの入出力端子としては使用しないでください。

5.3.2 内部割込み

内蔵周辺モジュールからの割込みによる内部割込みは34要因あります。

- (1) 各内蔵周辺モジュールには割込み要求のステータスを表示するフラグと、これらの割込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、Bによって割込みプライオリティレベルを設定できます。
- (3) ITU、SCIの割込み要求でDMACの起動ができます。この場合、割込みコントローラに対して割込みは要求されません。このときはI、UIビットの影響を受けません。

5.3.3 割込み例外処理ベクタテーブル

表5.3に割込み例外処理要因とベクタアドレスおよび割込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、BによりNMI以外の割込みの優先順位を変更することができます。

リセット後の割込み優先順位は表5.3に示されるデフォルトの順位となります。

表 5.3 割込み要因とベクタアドレスおよび割込み優先順位一覧(1)

割込み要因	要因発生元	ベクタ番号	ベクタアドレス*	I P R	優先順位
NMI	外部端子	7	H' 001C~H' 001F	—	高 ↑
IRQ ₀		12	H' 0030~H' 0033	IPRA7	
IRQ ₁		13	H' 0034~H' 0037	IPRA6	
IRQ ₂		14	H' 0038~H' 003B	IPRA5	
IRQ ₃		15	H' 003C~H' 003F		
IRQ ₄		16	H' 0040~H' 0043	IPRA4	
IRQ ₅		17	H' 0044~H' 0047		
IRQ ₆		18	H' 0048~H' 004B		
IRQ ₇		19	H' 004C~H' 004F		
WOVI(インターバルタイマ)	ウォッチドッグタイマ	20	H' 0050~H' 0053	IPRA3	
CMI(コンペアマッチ)	リフレッシュコントローラ	21	H' 0054~H' 0057		
リザーブ	—	22	H' 0058~H' 005B		
		23	H' 005C~H' 005F		
IMIA0(コンペアマッチ/インプットキャプチャA0)	ITU チャンネル0	24	H' 0060~H' 0063	IPRA2	
IMIB0(コンペアマッチ/インプットキャプチャB0)		25	H' 0064~H' 0067		
OVI0(オーバフロー0)		26	H' 0068~H' 006B		
リザーブ	—	27	H' 006C~H' 006F		
IMIA1(コンペアマッチ/インプットキャプチャA1)	ITU チャンネル1	28	H' 0070~H' 0073	IPRA1	
IMIB1(コンペアマッチ/インプットキャプチャB1)		29	H' 0074~H' 0077		
OVI1(オーバフロー1)		30	H' 0078~H' 007B		
リザーブ	—	31	H' 007C~H' 007F		
IMIA2(コンペアマッチ/インプットキャプチャA2)	ITU チャンネル2	32	H' 0080~H' 0083	IPRA0	
IMIB2(コンペアマッチ/インプットキャプチャB2)		33	H' 0084~H' 0087		
OVI2(オーバフロー2)		34	H' 0088~H' 008B		
リザーブ	—	35	H' 008C~H' 008F		
IMIA3(コンペアマッチ/インプットキャプチャA3)	ITU チャンネル3	36	H' 0090~H' 0093	IPRB7	
IMIB3(コンペアマッチ/インプットキャプチャB3)		37	H' 0094~H' 0097		
OVI3(オーバフロー3)		38	H' 0098~H' 009B		
リザーブ	—	39	H' 009C~H' 009F		
IMIA4(コンペアマッチ/インプットキャプチャA4)	ITU チャンネル4	40	H' 00A0~H' 00A3	IPRB6	
IMIB4(コンペアマッチ/インプットキャプチャB4)		41	H' 00A4~H' 00A7		
OVI4(オーバフロー4)		42	H' 00A8~H' 00AB		
リザーブ	—	43	H' 00AC~H' 00AF		

【注】* アドレスの下位16ビットを示しています。

表 5. 3 割込み要因とベクタアドレスおよび割込み優先順位一覧(2)

割 込 み 要 因	要因発生元	ベクタ 番 号	ベクタアドレス*	I P R	優先 順位
DEND0A	D M A C グループ 0	44	H' 00B0~H' 00B3	IPRB5	↑ 低
DEND0B		45	H' 00B4~H' 00B7		
DEND1A		46	H' 00B8~H' 00BB		
DEND1B		47	H' 00BC~H' 00BF		
DEND2A	D M A C グループ 1	48	H' 00C0~H' 00C3	IPRB4	
DEND2B		49	H' 00C4~H' 00C7		
DEND3A		50	H' 00C8~H' 00CB		
DEND3B		51	H' 00CC~H' 00CF		
ERIO(受信エラー 0)	S C I チャンネル 0	52	H' 00D0~H' 00D3	IPRB3	
RXIO(受信データフル 0)		53	H' 00D4~H' 00D7		
TXIO(送信データエンプティ 0)		54	H' 00D8~H' 00DB		
TEIO(送信終了 0)		55	H' 00DC~H' 00DF		
ER11(受信エラー 1)	S C I チャンネル 1	56	H' 00E0~H' 00E3	IPRB2	
RX11(受信データフル 1)		57	H' 00E4~H' 00E7		
TX11(送信データエンプティ 1)		58	H' 00E8~H' 00EB		
TE11(送信終了 1)		59	H' 00EC~H' 00EF		
ADI(A/Dエンド)	A / D	60	H' 00F0~H' 00F3	IPRB1	

【注】* アドレスの下位16ビットを示しています。

5.4 割込み動作

5.4.1 割込み動作の流れ

本LSIでは、割込みの動作はUEビットの状態によって異なります。UE = “1”のときはIビットで割込みの制御が行われます。UE = “0”のときは、I、UIビットの組み合わせで割込みの制御が行われます。表5.4にUE、I、UIビットの各組み合わせのときの割込みの状態を示します。

NMI割込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ割込みおよび内蔵周辺モジュールの割込みは、それぞれの割込みに対応したイネーブルビットがあります。このイネーブルビットを“0”にクリアすると、その割込み要求は無視されます。

表5.4 UE、I、UIビットの組み合わせによる割込みの状態

SYSCR	CCR		状 態
	UE	I	
1	0	—	すべての割込みを受け付けます。プライオリティレベル1の割込み要因の優先順位が高くなります。
	1	—	NMI以外の割込みを受け付けません。
0	0	—	すべての割込みを受け付けます。プライオリティレベル1の割込み要因の優先順位が高くなります。
	1	0	NMIおよびプライオリティレベル1の割込み要因のみを受け付けます。
		1	—

(1) UEビット = “1” の場合

IRQ₀～IRQ₇割込みおよび内蔵周辺モジュールの割込みはCPUのCCRのIビットにより一括して、許可/禁止を設定できます。Iビットが“0”にクリアされているときは許可状態、“1”にセットされているときは禁止状態です。プライオリティレベル1の割込み要因の優先順位は高くなります。

この場合の割込み受け付けの動作フローチャートを図5.4に示します。

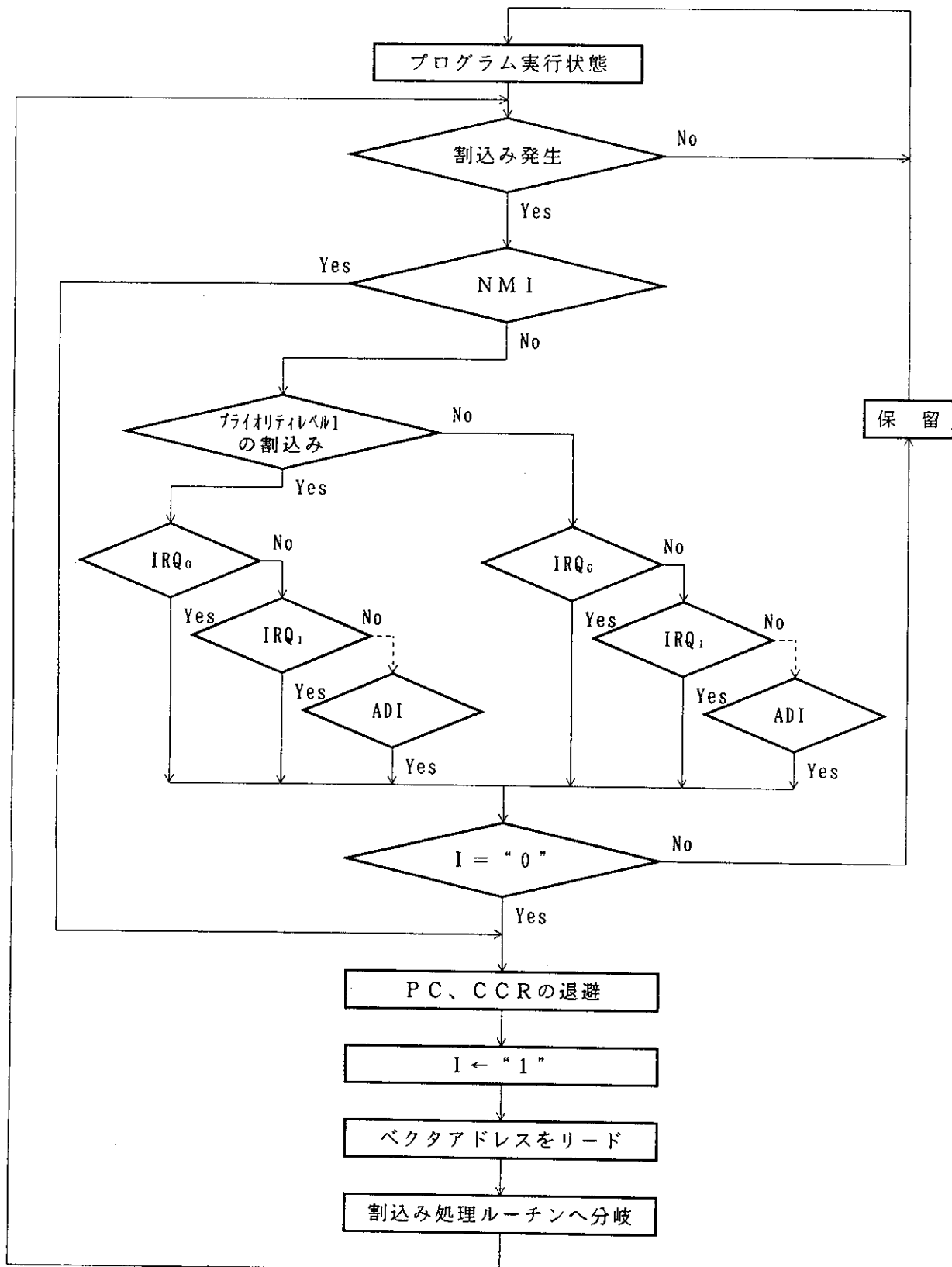


図 5.4 UE = "1" の場合の割り込み受けまでのフロー

- ① 対応する割込みイネーブルビットが“1”にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して、割込み要求が送られます。
- ② 割込みコントローラに対して割込み要求が送られると、IPRに設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。IPRの設定が同一の割込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割込み要求が選択されます。
- ③ Iビットを参照します。Iビットが“0”にクリアされているときは、割込み要求が受け付けられます。Iビットが“1”にセットされているときは、NMI割込みのみ受け付けられ、その他の割込み要求は保留されます。
- ④ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
- ⑤ 割込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ 次にCCRのIビットが“1”にセットされます。これにより、NMIを除く割込みはマスクされます。
- ⑦ 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

(2) UEビット=“0”の場合

IRQ₀~IRQ₇割込みおよび内蔵周辺モジュールの割込みはCPUのCCRのI、UIビット、IPRによって3レベルの許可/禁止状態を実現できます。

- (a) プライオリティレベル0の割込み要求は、Iビットが“0”にクリアされているとき許可状態、“1”にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割込み要求は、IビットまたはUIビットが“0”にクリアされているとき許可状態、IビットおよびUIビットがいずれも“1”にセットされているとき禁止状態となります。

例えば、各割込み要求の対応する割込みイネーブルビットを“1”にセット、IPRA、IPRBをそれぞれH'20、H'00に設定した場合（IRQ₂、IRQ₃割込み要求の優先順位を他の割込みより高くした場合）、次のようになります。

- (a) I = “0” のとき、すべての割込みを許可
（優先順位：NMI > IRQ₂ > IRQ₃ > IRQ₀…）
- (b) I = “1”、UI = “0” のとき、NMI、IRQ₂、IRQ₃割込みのみを許可
- (c) I = “1”、UI = “1” のとき、NMI以外の割込みを禁止

また、このときの状態遷移を図5.5に示します。

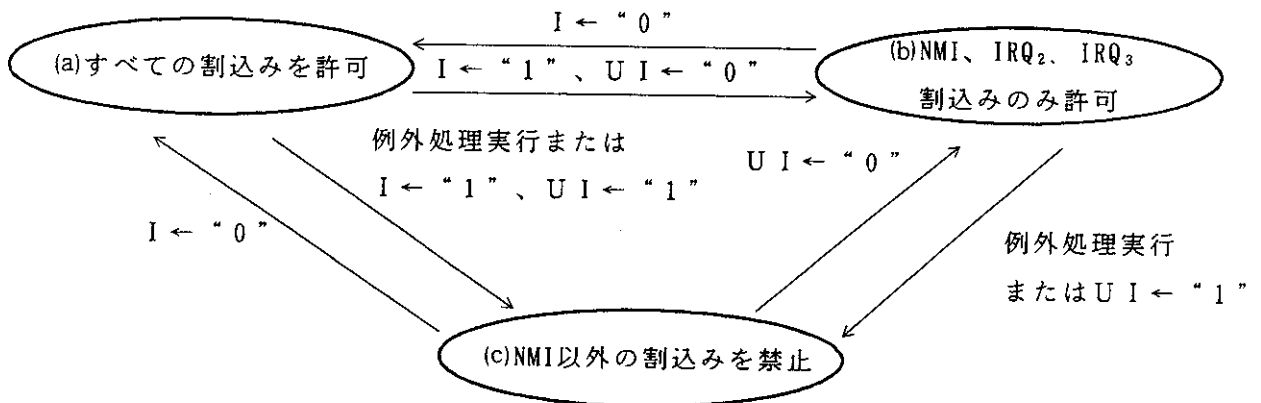


図 5.5 割込み許可／禁止状態の遷移例

UEビット = “0” のときの割込み受け付けの動作フローチャートを図 5.6 に示します。

- ① 対応する割込みイネーブルビットが “1” にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して割込み要求が送られます。
- ② 割込みコントローラに対して割込み要求が送られると、IPR に設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。このとき、IPR の設定が同一の割込み要求が同時に発生したときは、表 5.3 に示す優先度に従って、優先順位の最も高い割込み要求が選択されます。
- ③ I ビットを参照します。I ビットが “0” にクリアされているときは、IPR に関係なく割込み要求が受け付けられます。このときは UI ビットの影響を受けません。I ビットが “1” にセットされ、UI ビットが “0” にクリアされているときは、プライオリティレベル 1 の割込み要求のみが受け付けられ、プライオリティレベル 0 の割込み要求は保留となります。I、UI ビットがいずれも “1” にセットされているときは、割込み要求は保留となります。
- ④ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
- ⑤ 割込み例外処理によって PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ CCR の I、UI ビットが “1” にセットされます。これにより、NMI を除く割込みはマスクされます。
- ⑦ 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

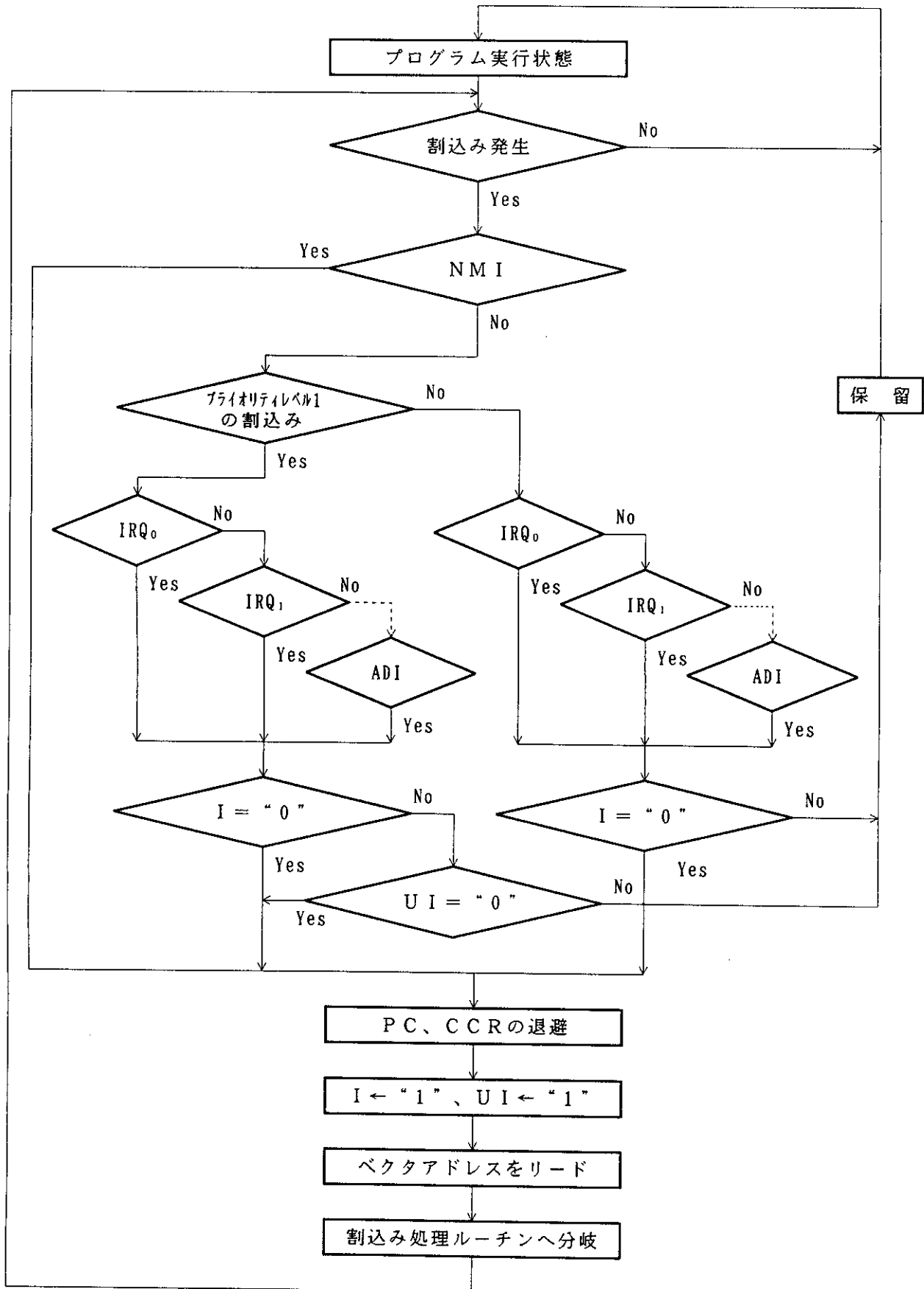
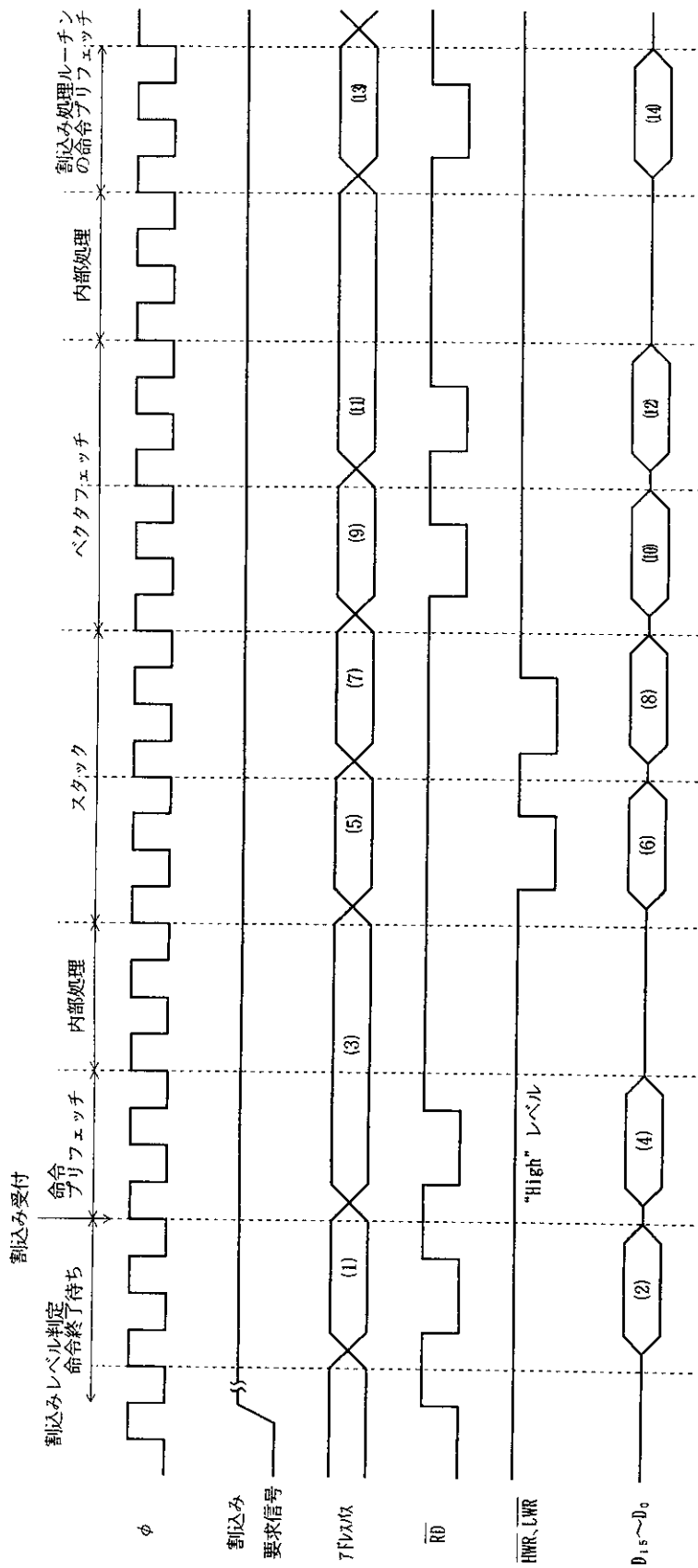


図 5.6 UE = "0" の場合の割り込み受けまでのフロー

5.4.2 割込み例外処理シーケンス

モード2で、プログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間にとった場合の割込みシーケンスを図5.7に示します。



- (1) 命令のプリフェッチアドレス (実行されません。回避PCの内容であり、リターンアドレスです。)
- (2)(4) 命令コード (実行されません。)
- (3) 命令のプリフェッチアドレス (実行されません。)
- (5) SP-2 (7) SP-4
- (6)(8) 回避PCと回避CCR
- (9)(11) バックアップアドレス
- (10)(12) 割り込み処理ルーチン開始アドレス (バックアップアドレスの内容)
- (13) 割り込み処理ルーチン開始アドレス (13=0012)
- (14) 割り込み処理ルーチン先頭命令

【注】 モード2でプログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間に設定した場合

図 5.7 割り込みシーケンス (モード2、2ステートアクセス、スタック外部メモリ)

5.4.3 割込み応答時間

割込み要求発生後、割込み処理ルーチンの先頭命令を実行するまでの、割込み応答時間を表 5.5 に示します。

表 5.5 割込み応答時間

No.	項 目	内蔵メモリ	外 部 メ モ リ			
			8ビットバス		16ビットバス	
			2ステート	3ステート	2ステート	3ステート
1	割込み優先順位判定		2 ^{*1}			
2	実行中の命令が終了するまでの最大待ちステート数	1~23	1~27	1~31 ^{*4}	1~23	1~25 ^{*4}
3	PC、CCRのスタック	4	8	12 ^{*4}	4	6 ^{*4}
4	ベクタフェッチ	4	8	12 ^{*4}	4	6 ^{*4}
5	命令フェッチ ^{*2}	4	8	12 ^{*4}	4	6 ^{*4}
6	内部処理 ^{*3}	4	4	4	4	4
合 計		19~41	31~57	43~73	19~41	25~49

【注】^{*1} 内部割込みの場合1ステートとなります。

^{*2} 割込み受付け後のプリフェッチおよび割込み処理ルーチンのプリフェッチ

^{*3} 割込み受付け後の内部処理およびベクタフェッチ後の内部処理

^{*4} 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

5.5 使用上の注意

5.5.1 割込みの発生とディスエーブルとの競合

割込みイネーブルビットを“0”にクリアして割込みを禁止する場合、割込みの禁止はその命令実行終了後有効になります。すなわち、BCLR命令、MOV命令などで割込みイネーブルビットを“0”にクリアする場合、命令実行中にその割込みが発生すると、命令実行終了時点では当該割込み許可状態にあるため命令実行終了後にその割込み例外処理を実行します。ただし、その割込みより優先順位の高い割込み要求がある場合には優先順位の高い割込み例外処理を実行し、その割込みは無視されます。割込み要因フラグを“0”にクリアする場合も同様です。

ITUのTIERのIMIEAビットを“0”にクリアする場合の例を図5.8に示します。

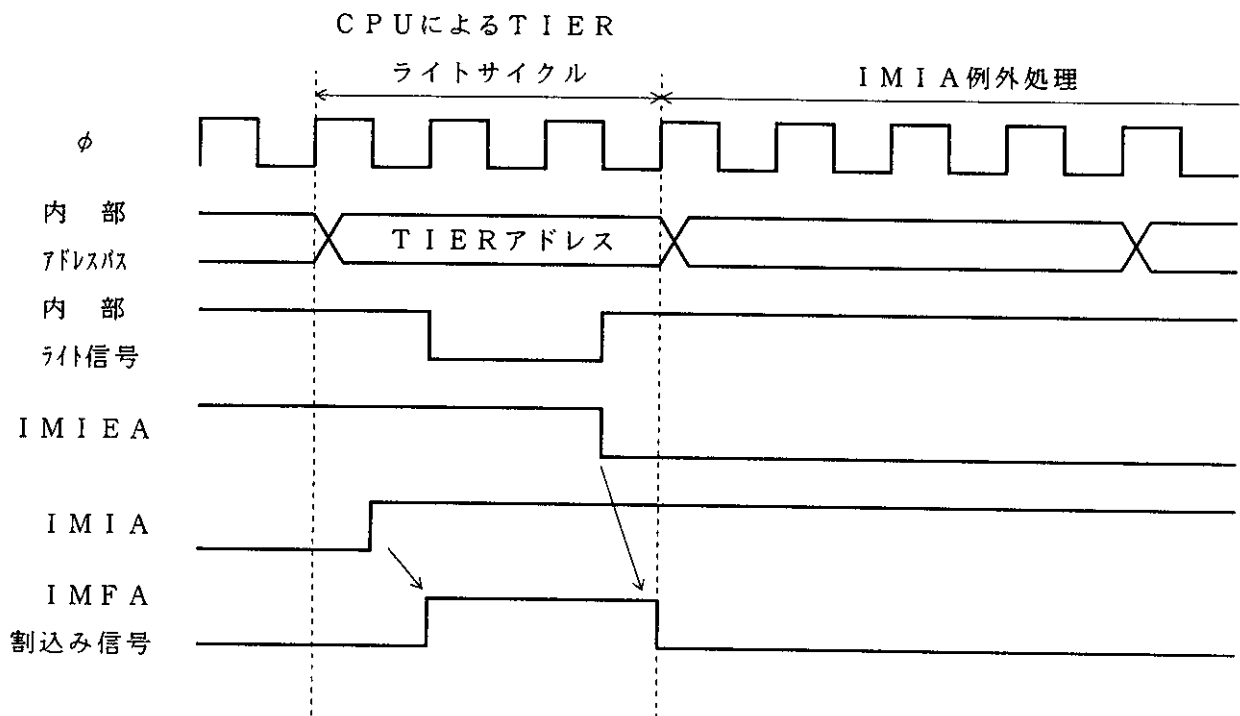


図5.8 割込みの発生とディスエーブルの競合

なお、割込みをマスクした状態でイネーブルビットまたは割込み要因フラグを“0”にクリアすれば、上記の競合は発生しません。

5.5.2 割込みの受け付けを禁止している命令

割込みを禁止している命令には、LDC、ANDC、ORC、XORC命令があります。

割込み要求が発生すると、割込みコントローラが優先順位を判定した後、CPUに対して割込みを要求します。そのとき、CPUが割込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV命令実行中の割込み

EEPMOV命令は、EEPMOV.B命令とEEPMOV.W命令では、割込み動作が異なります。

EEPMOV.B命令は、転送中にNMIを含めた割込み要求があっても転送終了まで割込みを受け付けません。

EEPMOV.W命令のときは、転送中にNMI以外の割込み要求があっても転送終了まで割込みを受け付けません。NMI割込み要求の場合は、転送サイクルの切れ目でNMI例外処理が開始されます。このときスタックされるPCの値は次命令のアドレスとなります。このため、EEPMOV.W命令実行中にNMI割込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W  
      MOV.W R4, R4  
      BNE L1
```


6. バスコントローラ

第6章 目次

6.1	概要	123
6.1.1	特長	123
6.1.2	ブロック図	124
6.1.3	端子構成	125
6.1.4	レジスタ構成	125
6.2	各レジスタの説明	126
6.2.1	バス幅コントロールレジスタ (ABWCR)	126
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	127
6.2.3	ウェイトコントロールレジスタ (WCR)	128
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	129
6.2.5	バスリリースコントロールレジスタ (BRCR)	130
6.3	動作説明	131
6.3.1	エリア分割	131
6.3.2	チップセレクト信号	132
6.3.3	データバス	133
6.3.4	バス制御信号タイミング	134
6.3.5	ウェイトモード	142
6.3.6	メモリとの接続例	148
6.3.7	バスアービタの動作	149
6.4	使用上の注意	153
6.4.1	DRAMおよびPSRAMの接続	153
6.4.2	レジスタライトタイミング	153
6.4.3	BREQ端子の入力タイミング	154

6.1 概要

H8/3003はバスコントローラを内蔵しており、アドレス空間を8つのエリアに分割し、エリアごとにバス仕様を設定し、バス制御を行います。これにより、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権の調停機能をもっており、DMAコントローラ（DMAC）やリフレッシュコントローラの動作を制御するとともに、外部にバス権を解放することができます。

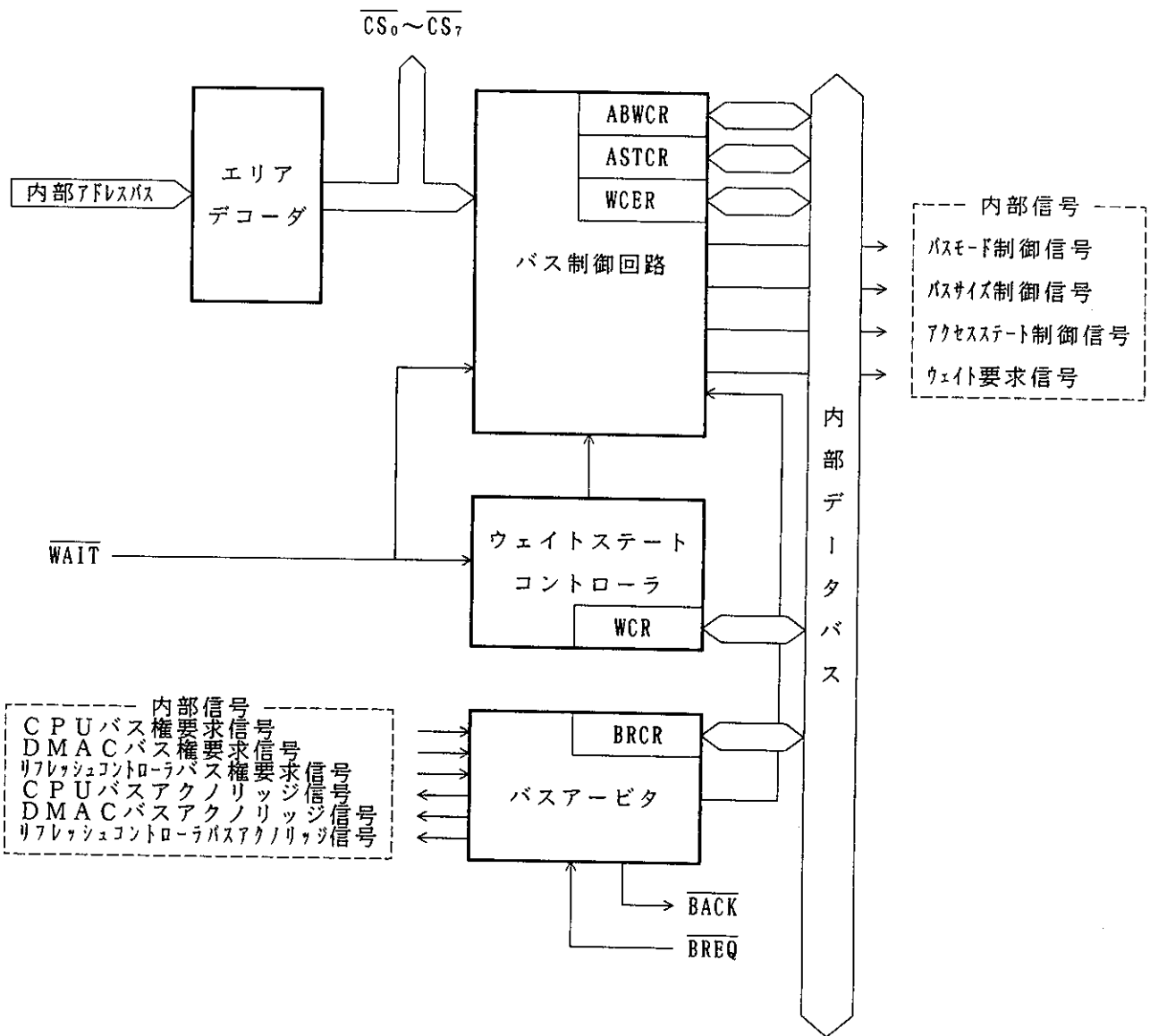
6.1.1 特長

バスコントローラの特長を次に示します。

- アドレス空間をエリア0～7に分割し、エリアごとに独立して設定可能
 - ・ 1Mバイトモードでは128kバイト、16Mバイトモードでは2Mバイトごとにエリアを設定
 - ・ エリア0～7に対してチップセレクト（CS₀～CS₇）を出力可能
 - ・ 8ビットアクセス空間／16ビットアクセス空間の選択可能
 - ・ 2ステートアクセス空間／3ステートアクセス空間の選択可能
- 4種類のウェイトモード
 - ・ プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモード0、1を選択可能
 - ・ 0～3ステートのウェイトステートを自動的に挿入可能
- バス権調停機能
 - ・ バスアービタを内蔵し、CPU、DMAC、リフレッシュコントローラ、外部バスマスタのバス権を調停

6.1.2 ブロック図

バスコントローラのブロック図を図6.1に示します。



《記号説明》

- ABWCR : バス幅コントロールレジスタ
- ASTCR : アクセスステートコントロールレジスタ
- WCER : ウェイトステートコントローライネーブルレジスタ
- WCR : ウェイトコントロールレジスタ
- BRCCR : バスリリースコントロールレジスタ

図6.1 バスコントローラのブロック図

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名 称	略 称	入出力	機 能
チップセレクト 0～7	$\overline{CS_0} \sim \overline{CS_7}$	出力	エリア 0～7 が選択されていることを示すストロープ信号
アドレスストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リ ー ド	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストロープ信号
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示すストロープ信号
ロウライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示すストロープ信号
ウ ェ イ ト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号
バス権要求 アクノリッジ	\overline{BACK}	出力	バス権を外部に解放したことを示すアクノリッジ信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初 期 値	
				ε-F1、3	ε-F2、4
H' FFEC	バス幅コントロールレジスタ	ABWCR	R/W	H' FF	H' 00
H' FFED	アクセスステートコントロールレジスタ	ASTCR	R/W	H' FF	H' FF
H' FFEE	ウェイトコントロールレジスタ	WCR	R/W	H' F3	H' F3
H' FFEF	ウェイトステートコントローライネーブルレジスタ	WCER	R/W	H' FF	H' FF
H' FFF3	バスリリースコントロールレジスタ	BRCR	R/W	H' FE	H' FE

【注】* アドレスは下位16ビットを示しています。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCRは8ビットのリード/ライト可能なレジスタで、各エリアを8ビットアクセス空間または16ビットアクセス空間のいずれかに設定します。

ビット:		7	6	5	4	3	2	1	0
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値:	{	1	1	1	1	1	1	1	1
	{	0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのバス幅を選択するビットです。

ABWCRの内容がH'FF(全エリア8ビットアクセス空間)の場合、8ビットバスモードとなり、データバスは上位側(D₁₅~D₈)が有効となります。このときポート4は入出力ポートとなります。ABWCRの少なくとも1ビットを“0”にクリアした場合には、16ビットバスモードとなり、データバスは16ビット(D₁₅~D₀)となります。ABWCRはリセット、またはハードウェアスタンバイモード時にモード1、3ではH'FFに、モード2、4ではH'00にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7~0: エリア7~0バス幅コントロール (ABW7~ABW0)

対応するエリアを8ビットアクセス空間とするか16ビットアクセス空間とするかを選択します。

ビット7~0	説明
ABW7~ABW0	
0	エリア7~0を16ビットアクセス空間に設定
1	エリア7~0を8ビットアクセス空間に設定

ABWCRは、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部I/Oレジスタのデータバス幅はABWCRの設定値にかかわらず固定です。

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCRは8ビットのリード/ライト可能なレジスタで、各エリアを2ステートアクセス空間または3ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのアクセスステート数を選択するビットです。

ASTCRはリセット、またはハードウェアスタンバイモード時に、H'FFにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7～0: エリア7～0アクセスステートコントロール (AST7～AST0)

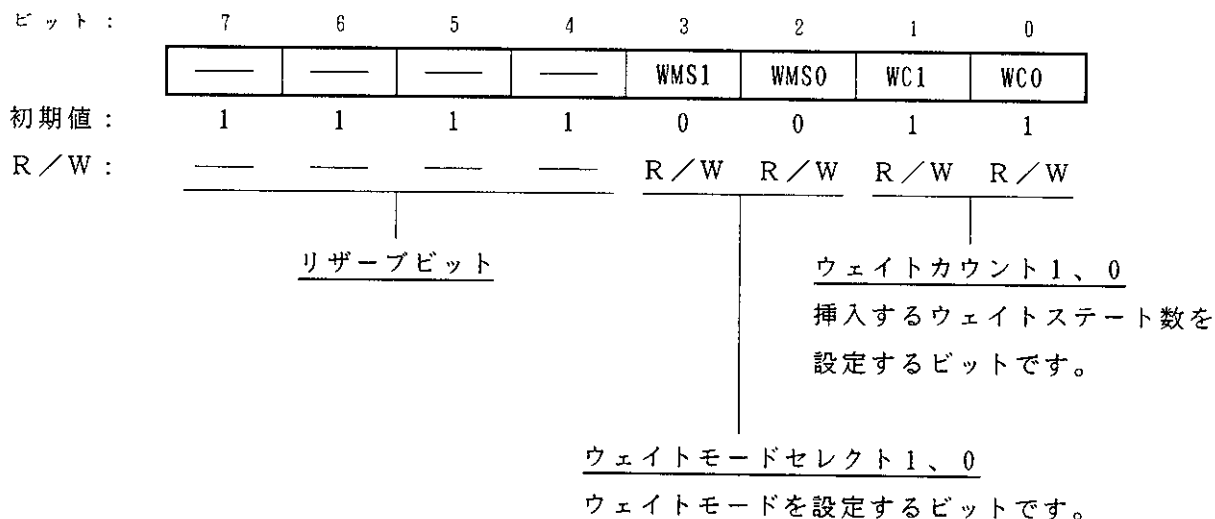
対応するエリアを2ステートアクセス空間とするか3ステートアクセス空間とするかを選択します。

ビット7～0	説明
AST7～AST0	
0	エリア7～0を2ステートアクセス空間に設定
1	エリア7～0を3ステートアクセス空間に設定 (初期値)

ASTCRは、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部I/Oレジスタに対するアクセスステート数はASTCRの設定値にかかわらず固定です。

6.2.3 ウェイトコントロールレジスタ (WCR)

WCRは8ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ(WSC)のウェイトモードとウェイトステート数を設定します。



WCRはリセット、またはハードウェアスタンバイモード時にH'F3にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7～4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3、2：ウェイトモードセレクト1、0 (WMS1、0)

ウェイトモードを設定します。

ビット3	ビット2	説 明
WMS1	WMS0	
0	0	プログラマブルウェイトモード (初期値)
0	1	ウェイトステートコントローラによるウェイトを禁止
1	0	端子ウェイトモード1
1	1	端子オートウェイトモード

ビット1、0：ウェイトカウント1、0（WC1、0）

外部3ステートアクセス空間をアクセスするときに、挿入するウェイトステート数を設定します。

ビット1	ビット0	説 明
WC1	WC0	
0	0	WSCによるウェイトを禁止
0	1	1ステート挿入
1	0	2ステート挿入
1	1	3ステート挿入 (初期値)

6.2.4 ウェイトステートコントローライネーブルレジスタ（WCER）

WCERは8ビットのリード/ライト可能なレジスタで、外部3ステートアクセス空間について、WSCの動作を許可/禁止します。

ビット：	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7～0
 WSCの動作を許可/禁止するビットです。

WCERはリセット、またはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

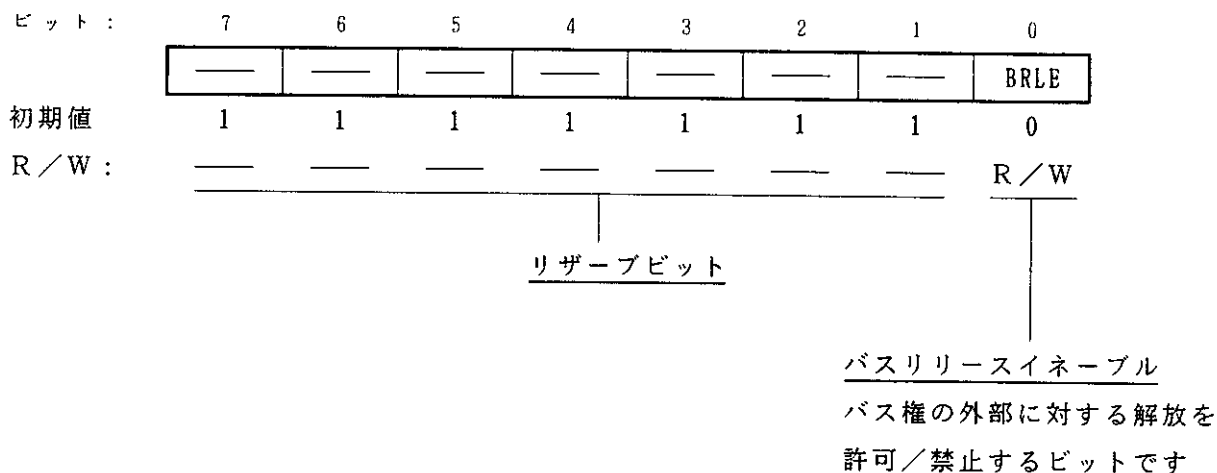
ビット7～0：ウェイトステートコントローライネーブル7～0（WCE7～WCE0）

外部3ステートアクセス空間について、WSCの動作を許可/禁止します。

ビット7～0	説 明
WCE7～WCE0	
0	WSCの動作を禁止 (端子ウェイトモード0)
1	WSCの動作を許可 (初期値)

6.2.5 バスリリースコントロールレジスタ (BRCR)

BRCRは8ビットのリード/ライト可能なレジスタで、バス権の外部に対する解放を許可/禁止します。



BRCRはリセット、またはハードウェアスタンバイモード時にH'FEにイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7～1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可/禁止します。

ビット0	説明
BRLE	
0	バス権の外部に対する解放を禁止し、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1 Mバイトモードのとき128kバイト、16Mバイトモードのとき2 Mバイトごとのエリア0～7に分割されています。メモリマップの概要を図6.2に示します。

H' 00000	エリア0 (128kバイト)	H' 000000	エリア0 (2Mバイト)
H' 1FFFF	-----	H' 1FFFFFF	-----
H' 20000	エリア1 (128kバイト)	H' 200000	エリア1 (2Mバイト)
H' 3FFFF	-----	H' 3FFFFFF	-----
H' 40000	エリア2 (128kバイト)	H' 400000	エリア2 (2Mバイト)
H' 5FFFF	-----	H' 5FFFFFF	-----
H' 60000	エリア3 (128kバイト)	H' 600000	エリア3 (2Mバイト)
H' 7FFFF	-----	H' 7FFFFFF	-----
H' 80000	エリア4 (128kバイト)	H' 800000	エリア4 (2Mバイト)
H' 9FFFF	-----	H' 9FFFFFF	-----
H' A0000	エリア5 (128kバイト)	H' A00000	エリア5 (2Mバイト)
H' BFFFF	-----	H' BFFFFFF	-----
H' C0000	エリア6 (128kバイト)	H' C00000	エリア6 (2Mバイト)
H' DFFFF	-----	H' DFFFFFF	-----
H' E0000	エリア7 (128kバイト)	H' E00000	エリア7 (2Mバイト)
	内蔵RAM ^{*1、*2}		内蔵RAM ^{*1、*2}
	外部アドレス空間 ^{*3}		外部アドレス空間 ^{*3}
H' FFFFF	内部I/Oレジスタ ^{*1}	H' FFFFFFF	内部I/Oレジスタ ^{*1}

(a) 1 Mバイトモード (モード1、2)

(b) 16Mバイトモード (モード3、4)

- 【注】^{*1} 内蔵RAM、内部I/Oレジスタのバス幅、アクセスステート数は固定です。
^{*2} SYSCRのRAMEビットを“0”にクリアするとエリア7の指定に従います。
^{*3} 外部アドレス空間12バイトは、エリア7の指定に従います。

図6.2 各動作モードにおけるアクセスエリアマップ

各エリアごとに選択信号 (CS₀～CS₇) を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCER、WCRで指定されます。

各エリアのバス仕様を表6.3に示します。

表 6. 3 各エリアのバス仕様

ABWCR	ASTCR	WCER	W C R		バス仕様			
ABWn	ASTn	WCEn	WMS1	WMS0	バス幅	アクセス ステート	ウェイトモード	
0	0	—	—	—	16	2	禁止	
	1	0	—	—	16	3	端子ウェイトモード 0	
	1	1	0	0	0	16	3	プログラマブルウェイトモード
			0	1	16	3	禁止	
			1	0	16	3	端子ウェイトモード 1	
			1	1	16	3	端子オートウェイトモード	
1	0	—	—	—	8	2	禁止	
	1	0	—	—	8	3	端子ウェイトモード 0	
	1	1	0	0	0	8	3	プログラマブルウェイトモード
			0	1	8	3	禁止	
			1	0	8	3	端子ウェイトモード 1	
			1	1	8	3	端子オートウェイトモード	

【注】 n = 0 ~ 7

6. 3. 2 チップセレクト信号

本 L S I は、エリア 0 ~ 7 に対してそれぞれチップセレクト信号 ($\overline{CS}_0 \sim \overline{CS}_7$) を出力することができ、当該エリアが選択されたとき、“Low”レベルを出力します。図 6. 3 に \overline{CS}_n 信号出力タイミングを示します。

\overline{CS}_n 信号出力の許可/禁止は各 \overline{CS}_n 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。 \overline{CS}_0 端子はリセット後に出力状態となっています。 $\overline{CS}_1 \sim \overline{CS}_7$ 端子はリセット後に入力状態となっていますので、 $\overline{CS}_1 \sim \overline{CS}_7$ 端子出力する場合には対応する DDR を “1” にセットしてください。詳細は、「第 9 章 I/O ポート」を参照してください。

内蔵 RAM および内部 I/O レジスタを選択した場合、 \overline{CS}_7 端子は “Low” レベルとなります。この場合、AS 端子、RD 端子、HWR 端子、LWR 端子は “High” レベルです。 \overline{CS}_n 信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

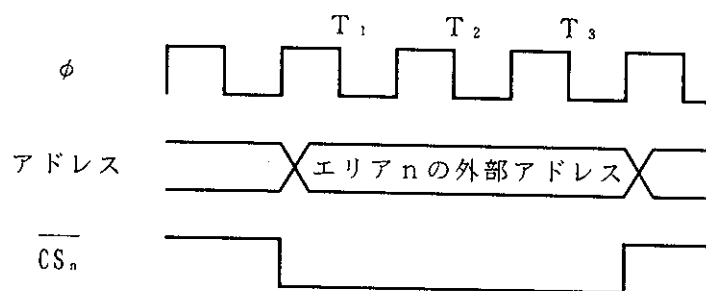


図 6. 3 \overline{CS}_n 信号の出力タイミング

6.3.3 データバス

本LSIは、エリア0～7をそれぞれ8ビットアクセス空間または16ビットアクセス空間のいずれかに設定することができます。8ビットアクセス空間では、データバスの上位側(D₁₅～D₈)を使用します。また16ビットアクセス空間ではデータバスの上位側(D₁₅～D₈)、下位側(D₇～D₀)を使用します。

リード時には、データバスの上位側、下位側の区別なく、RD信号が有効です。

ライト時にはデータバスの上位側に対してHWR信号が、データバスの下位側に対してLWR信号が有効です。

表6.4にアクセス空間と使用するデータバスを示します。

表6.4 アクセス空間と使用するデータバス

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D ₁₅ ～D ₈)	データバス下位 (D ₇ ～D ₀)
8ビット アクセス空間	—	リード	—	\overline{RD}	有効	無効
		ライト	—	\overline{HWR}		不定
16ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	—	\overline{RD}	有効	有効
		ライト	—	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 不定：不定データが出力されます。

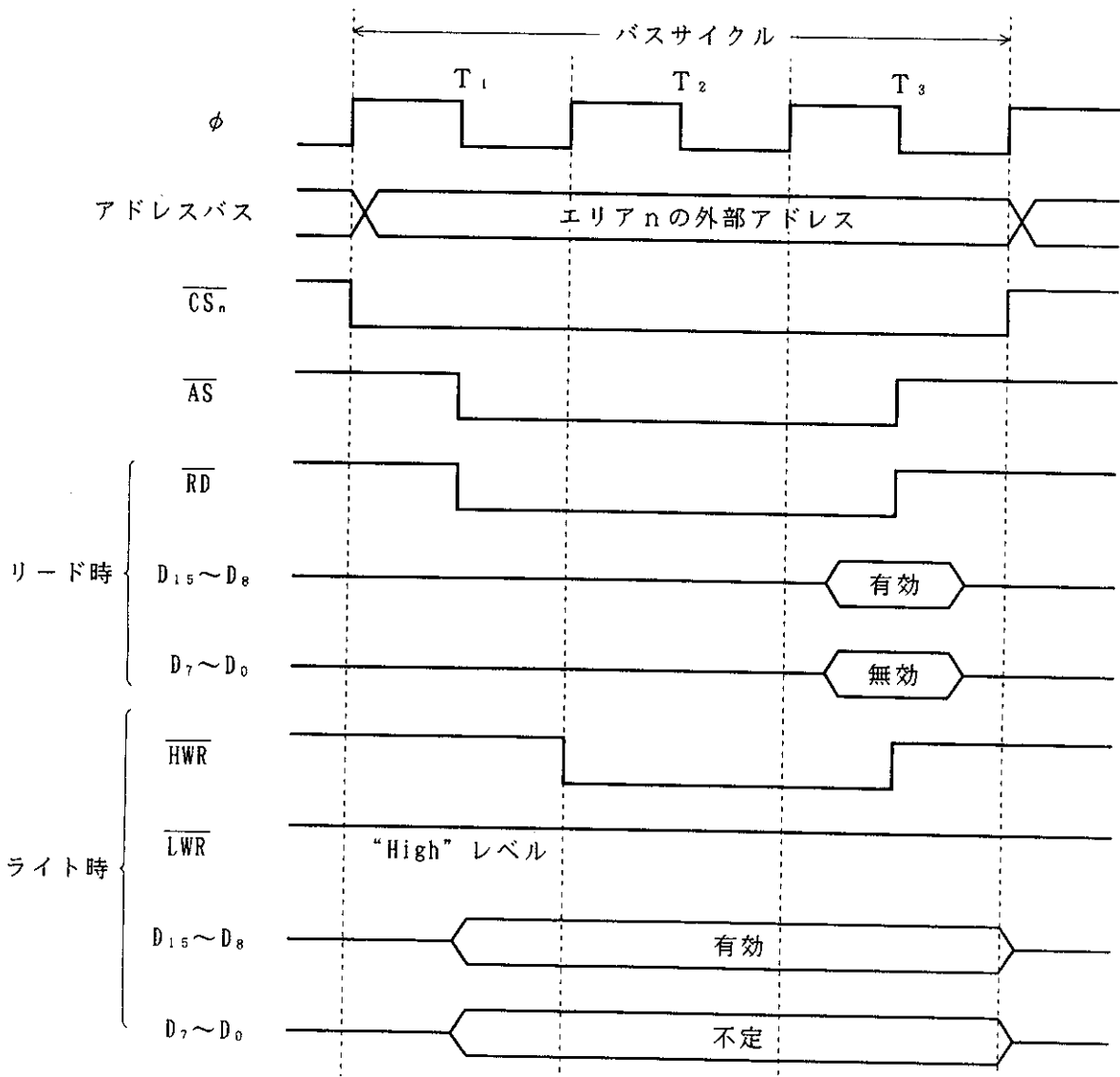
無効：入力状態であり、入力値は無視されます。

6.3.4 バス制御信号タイミング

(1) 8ビット3ステートアクセス空間

図6.4に8ビット3ステートアクセス空間のバス制御信号タイミングを示します。8ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

LWR端子は常に“High”レベルとなっています。ウェイトステートを挿入することができます。



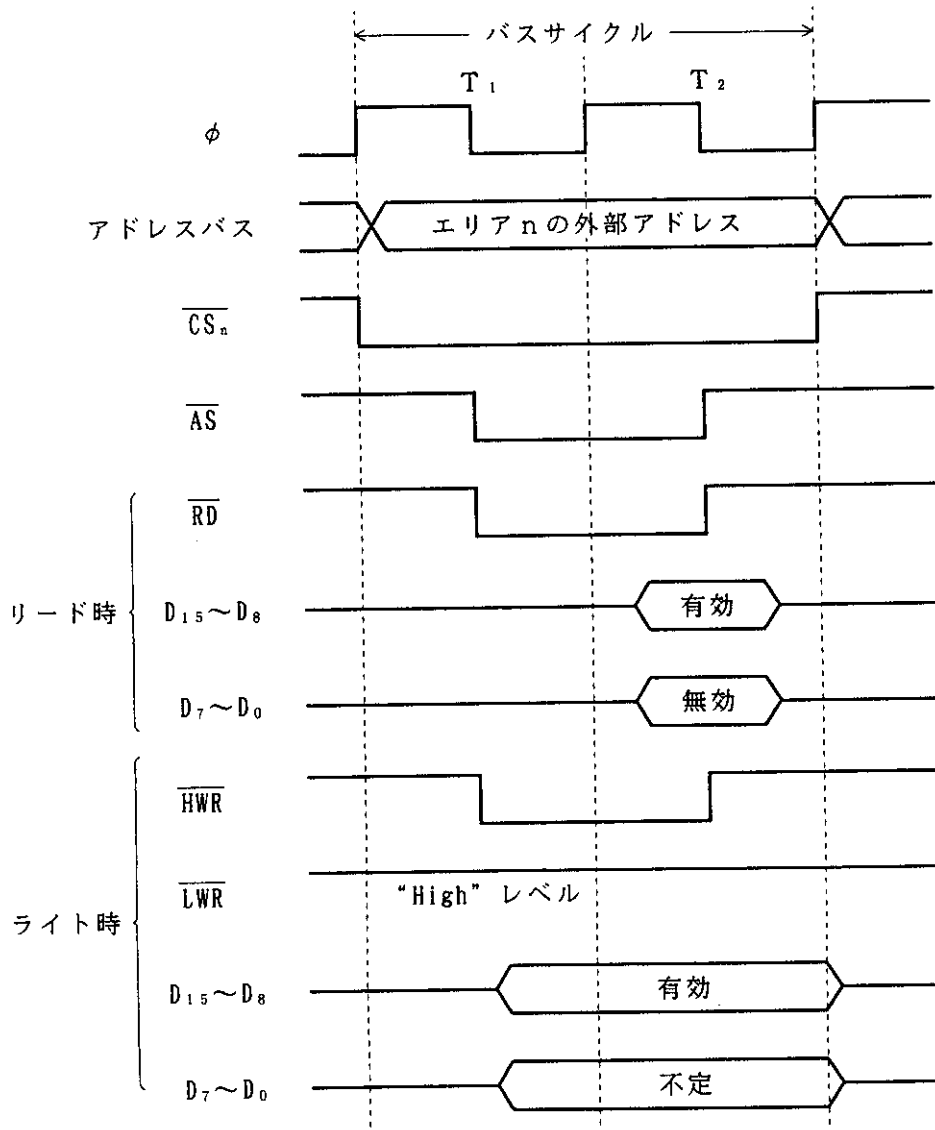
【注】 $n = 7 \sim 0$

図6.4 8ビット3ステートアクセス空間のバス制御信号タイミング

(2) 8ビット2ステートアクセス空間

図6.5に8ビット2ステート空間のバス制御信号タイミングを示します。8ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

LWR端子は常に“High”レベルとなっています。ウェイトステートを挿入することはできません。

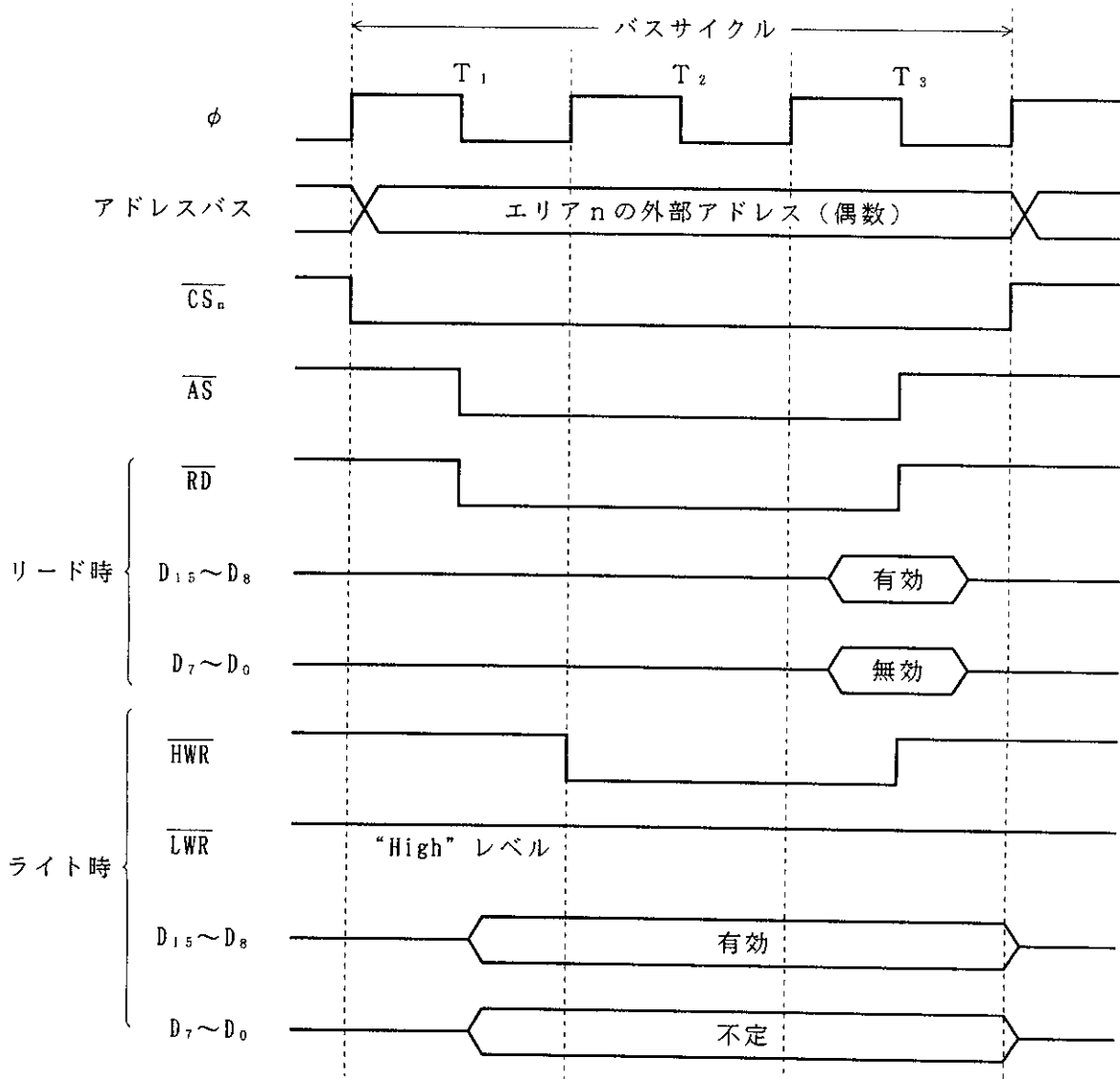


【注】 $n = 7 \sim 0$

図 6.5 8ビット2ステートアクセス空間のバス制御信号タイミング

(3) 16ビット3ステートアクセス空間

図6.6～図6.8に16ビット3ステートアクセス空間のバス制御信号タイミングを示します。16ビットアクセス空間をアクセスする場合偶数アドレスに対しては、データバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することができます。



【注】 $n = 7 \sim 0$

図6.6 16ビット3ステートアクセス空間のバス制御信号タイミング(1)
(偶数アドレスバイトアクセス)

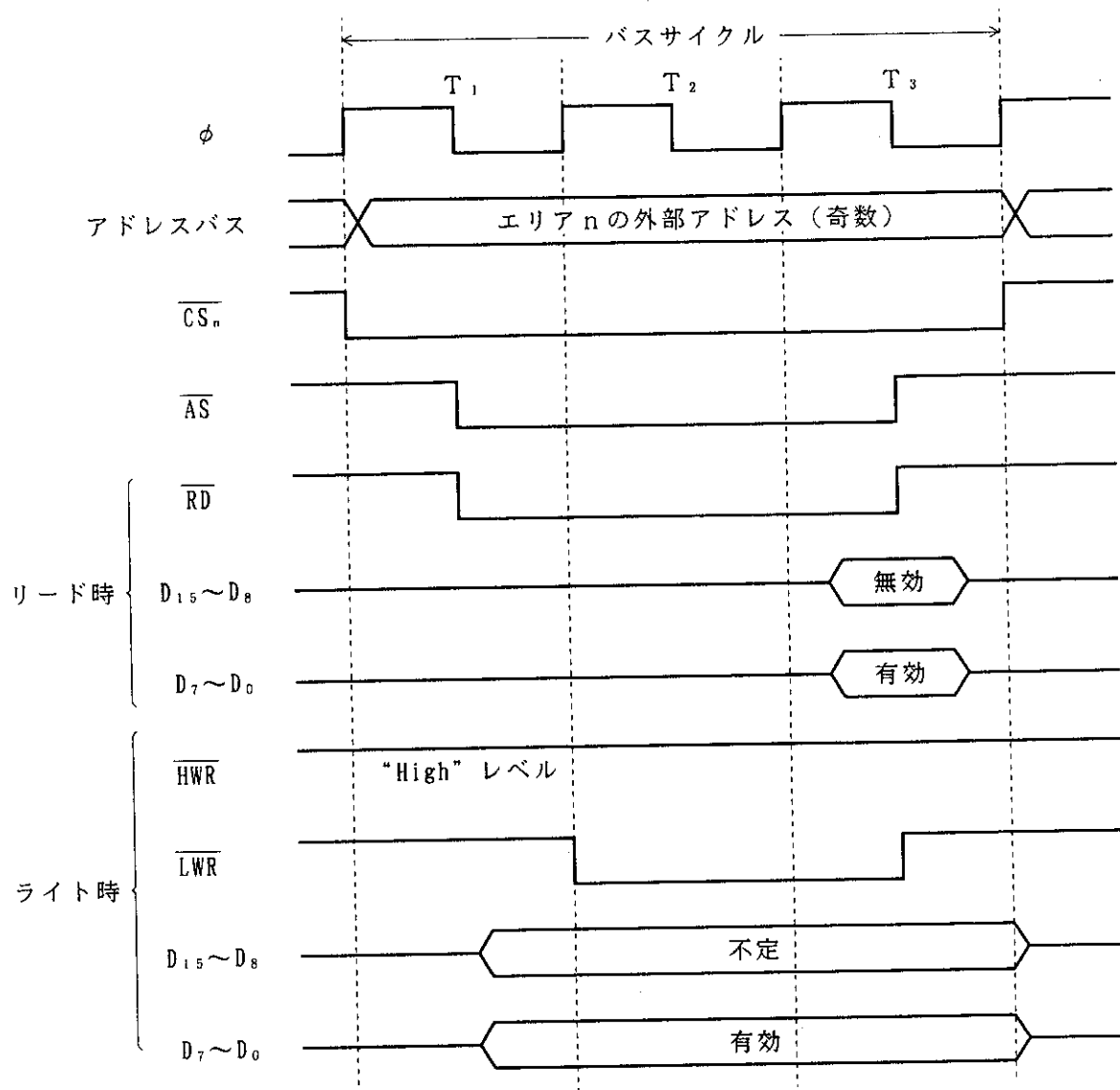


図 6.7 16ビット 3 ステートアクセス空間のバス制御信号タイミング(2)
(奇数アドレスバイトアクセス)

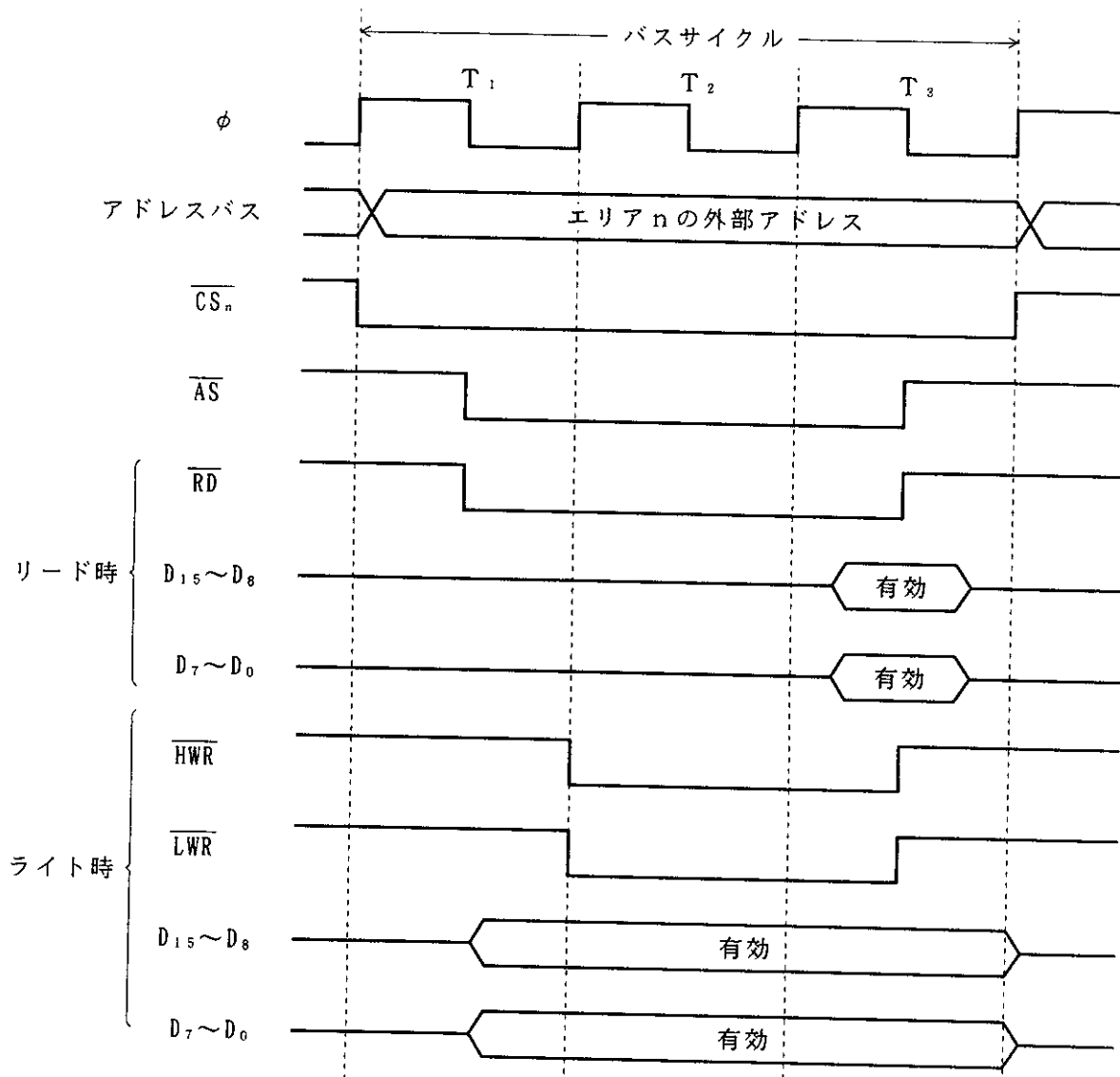
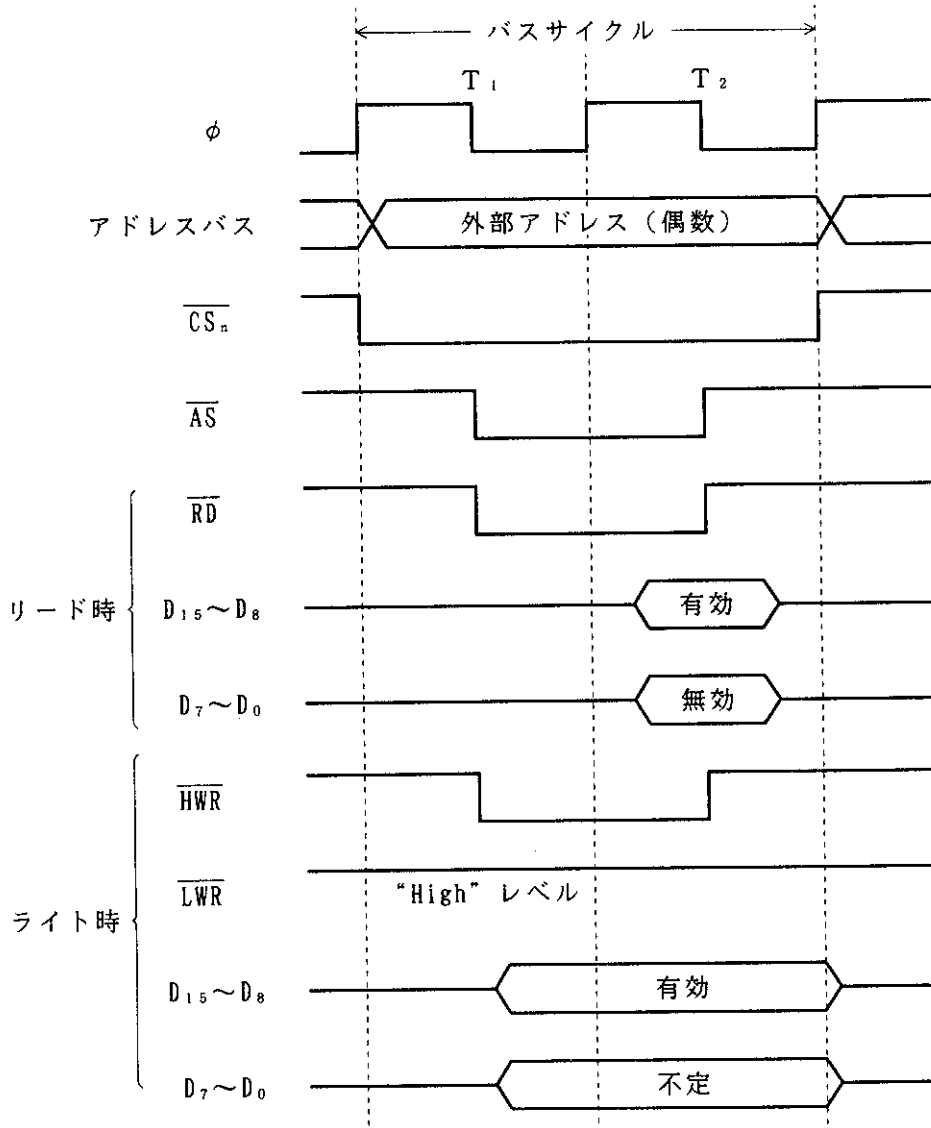


図 6. 8 16ビット 3 ステートアクセス空間のバス制御信号タイミング(3)
(ワードアクセス)

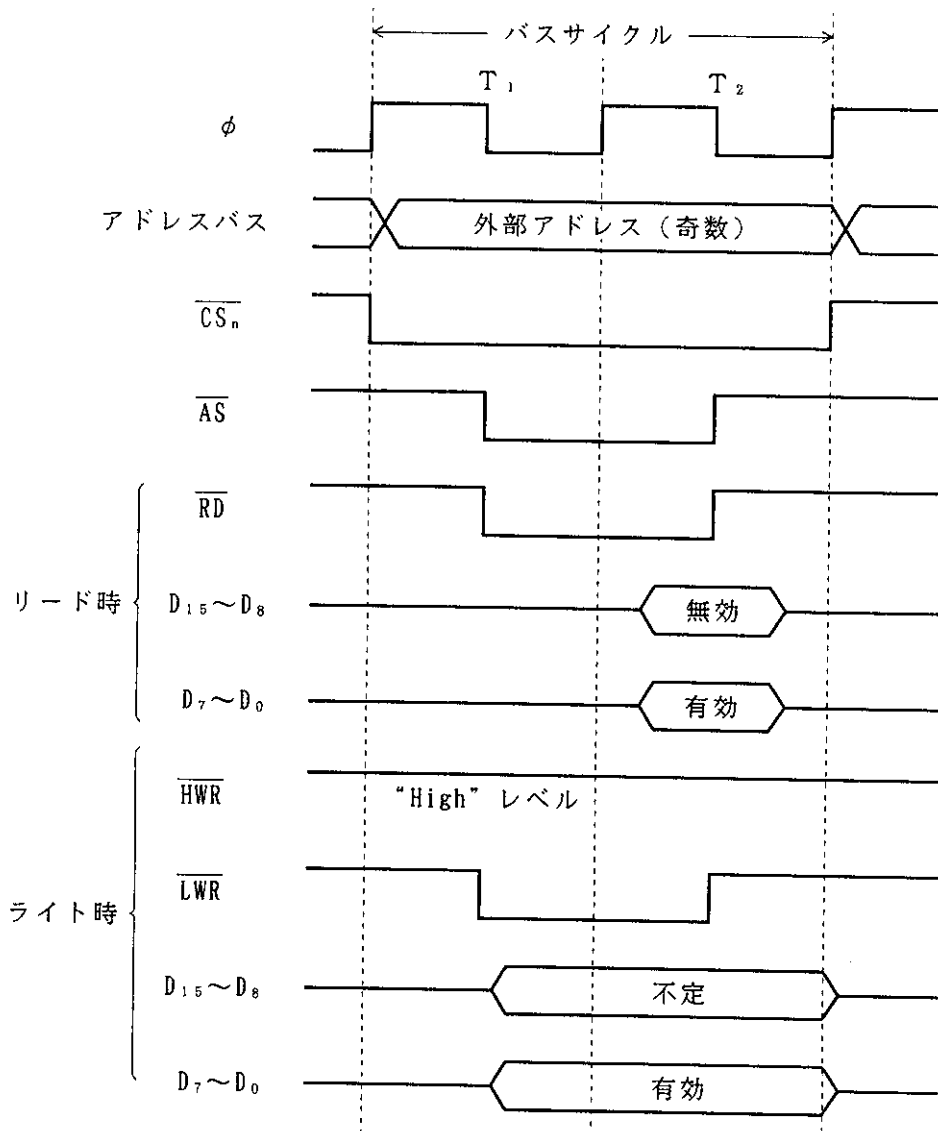
(4) 16ビット2ステートアクセス空間

図6.9～図6.11に16ビット2ステートアクセス空間のバス制御信号タイミングを示します。16ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することはできません。



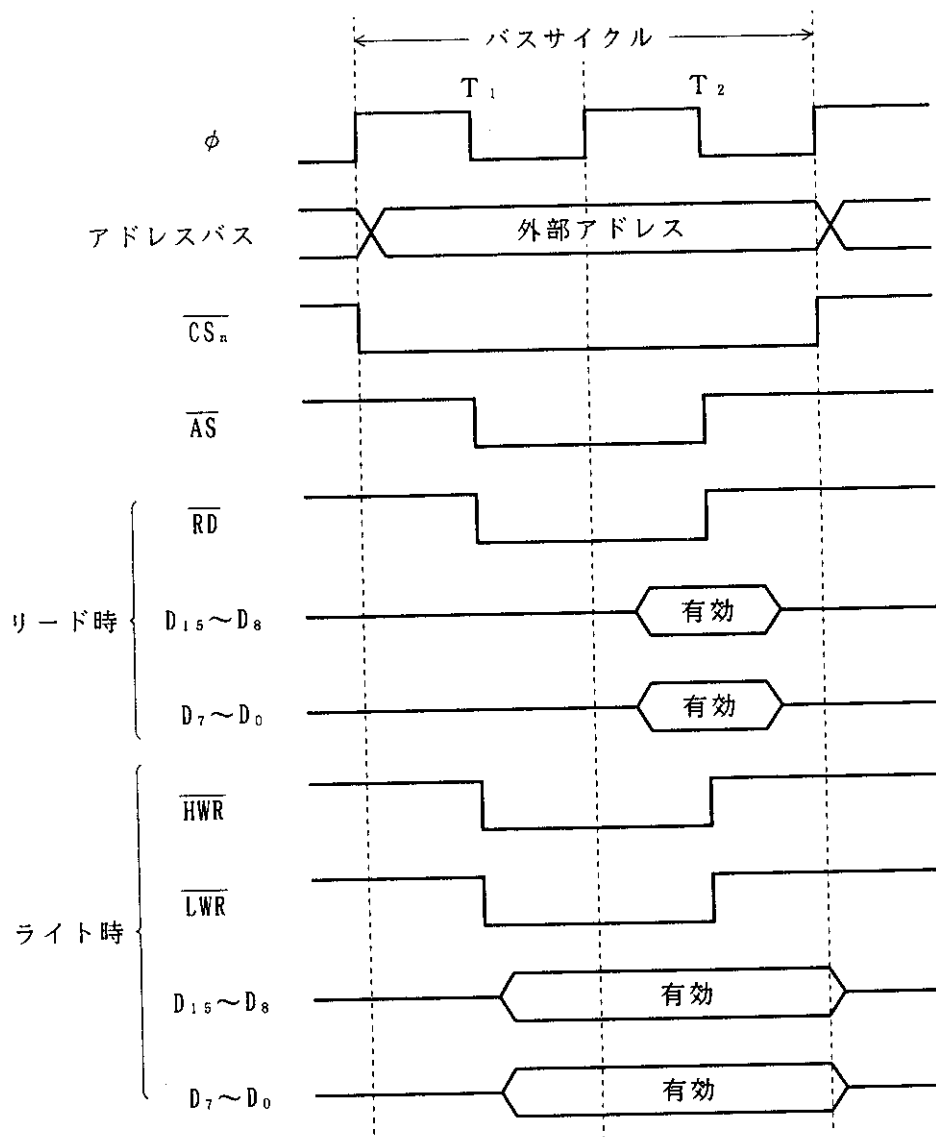
【注】 $n = 7 \sim 0$

図6.9 16ビット2ステートアクセス空間のバス制御信号タイミング(1)
(偶数アドレスバイトアクセス)



【注】 $n = 7 \sim 0$

図 6.10 16ビット 2 ステートアクセス空間のバス制御信号タイミング(2)
(奇数アドレスバイトアクセス)



【注】 $n = 7 \sim 0$

図 6.11 16ビット2ステートアクセス空間のバス制御信号タイミング(3)
(ワードアクセス)

6.3.5 ウェイトモード

ウェイトモードには、4種類のモードがありエリアごとに選択できます。ウェイトモードの選択方法を表6.5に示します。

表 6.5 ウェイトモードの選択

ASTCR	WCER	W C R		WSC動作	ウェイトモード
ASTnビット	WCEnビット	WMS1ビット	WMS0ビット		
0	—	—	—	禁止	ウェイト禁止
1	0	—	—	禁止	端子ウェイトモード0
1	1	0	0	許可	プログラマブルウェイトモード
		0	1	許可	ウェイト禁止
		1	0	許可	端子ウェイトモード1
		1	1	許可	端子オートウェイトモード

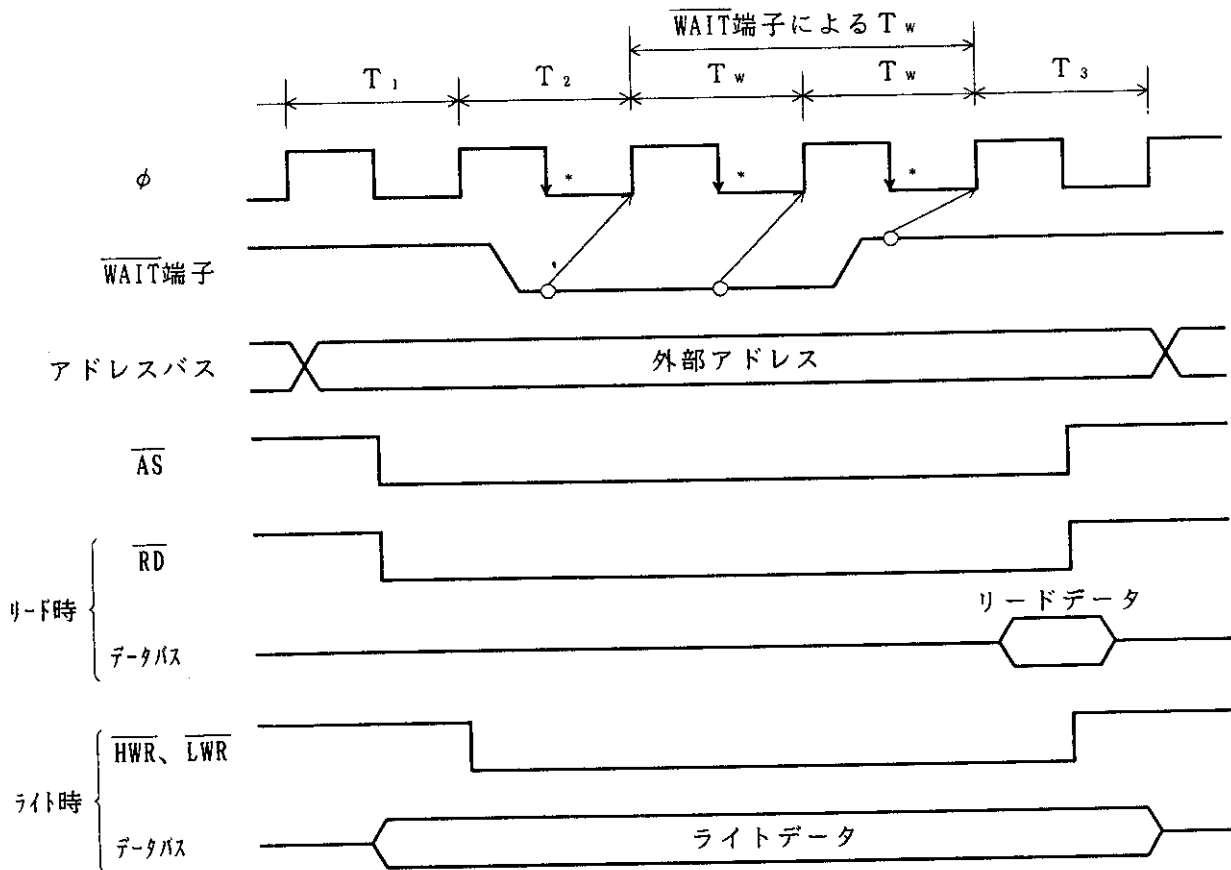
【注】 n = 0 ~ 7

ASTn、WCEnビットは、エリアごとに独立して選択可能です。WMS1、0ビットは各エリアに共通です。したがって、WSCの動作を許可したエリアの動作は同一になります。

(1) 端子ウェイトモード 0

端子ウェイトモード 0 では、WSC の動作が禁止され、WAIT 端子によるウェイト状態のみが挿入されます。外部 3 ステートアクセス空間をアクセスするとき、 T_2 ステートの ϕ の立下がりのタイミングで WAIT 端子が “Low” レベルであると、 T_w ステートが挿入されます。WAIT 端子が “Low” レベルに保持されると WAIT 端子が “High” レベルに立上がるまで T_w が挿入されます。

このタイミングを図 6.12 に示します。



【注】* 矢印は WAIT 端子のサンプリングタイミングを示します。

図 6.12 端子ウェイトモード 0

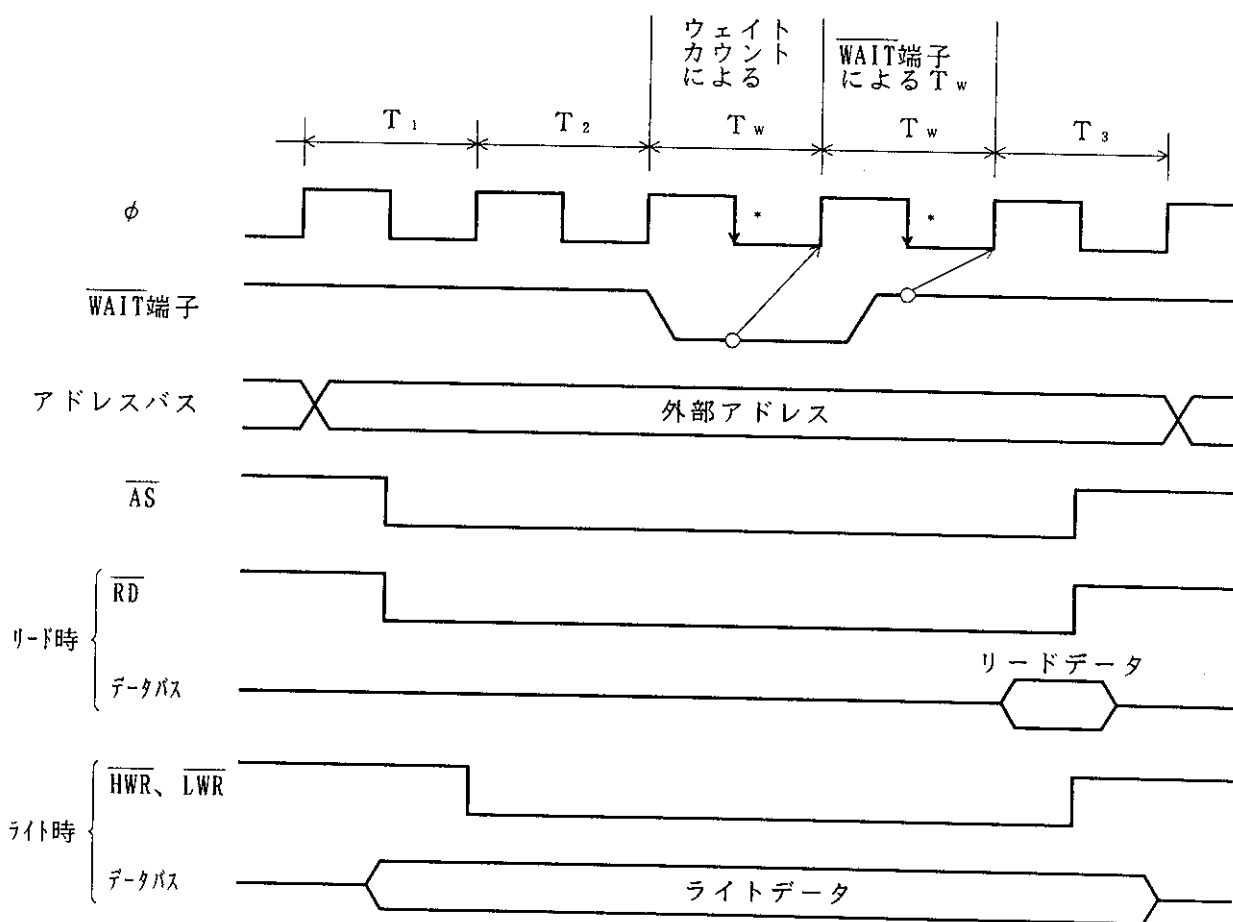
(2) 端子ウェイトモード1

端子ウェイトモード1では、外部3ステートアクセス空間をアクセスすると、常にWC1、0ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の ϕ の立下がりのタイミングでWAIT端子を“Low”レベルにすることで、さらに T_w を挿入することができます。WAIT端子が“Low”レベルに保持されると、WAIT端子が“High”レベルに立上がるまで T_w が挿入されます。

端子ウェイトモード1は、4ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入すると T_w 数を変える場合などに有効です。

ウェイトカウン트의“0”の場合は、端子ウェイトモード0と同様の動作になります。

ウェイトカウン트가1(WC1 = “0”、WC0 = “1”)で、かつWAIT端子入力による T_w が1ステートの場合のタイミングを図6.13に示します。



【注】* 矢印はWAIT端子のサンプリングタイミングを示します。

図6.13 端子ウェイトモード1

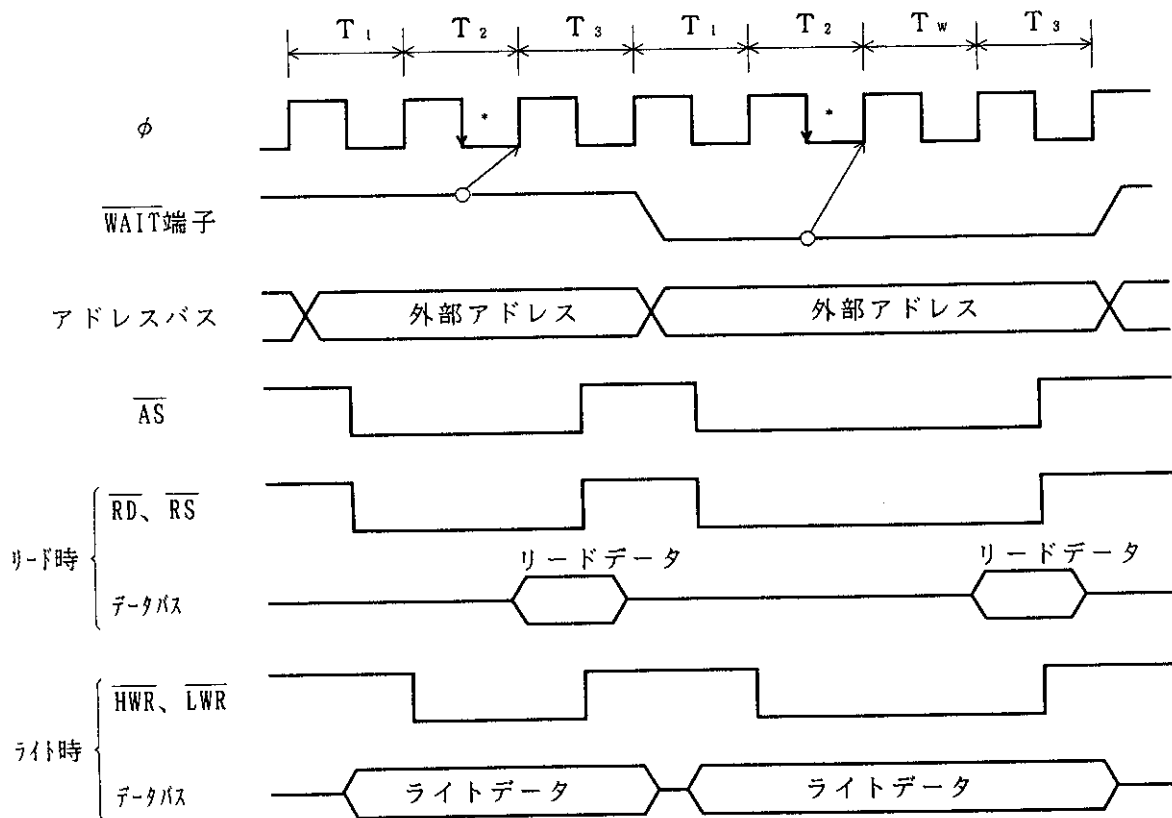
(3) 端子オートウェイトモード

端子オートウェイトモードでは、WAIT端子が“Low”レベルのとき、WC 1、0ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの ϕ の立下がりのタイミングでWAIT端子が“Low”レベルであればWC 1、0ビットによって設定された数だけ T_w を挿入します。

WAIT端子を“Low”レベルに保持しても、設定された数を超える T_w は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号をWAIT端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを図 6.14 に示します。図 6.14 は、ウェイトカウントが 1 の場合です。



【注】* 矢印はWAIT端子のサンプリングタイミングを示します。

図 6.14 端子オートウェイトモード

(4) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部3ステートアクセス空間をアクセスすると、常にWC1、0ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図6.15に示します。図6.15は、ウェイトカウントが1の場合(WC1 = "0"、WC0 = "1")です。

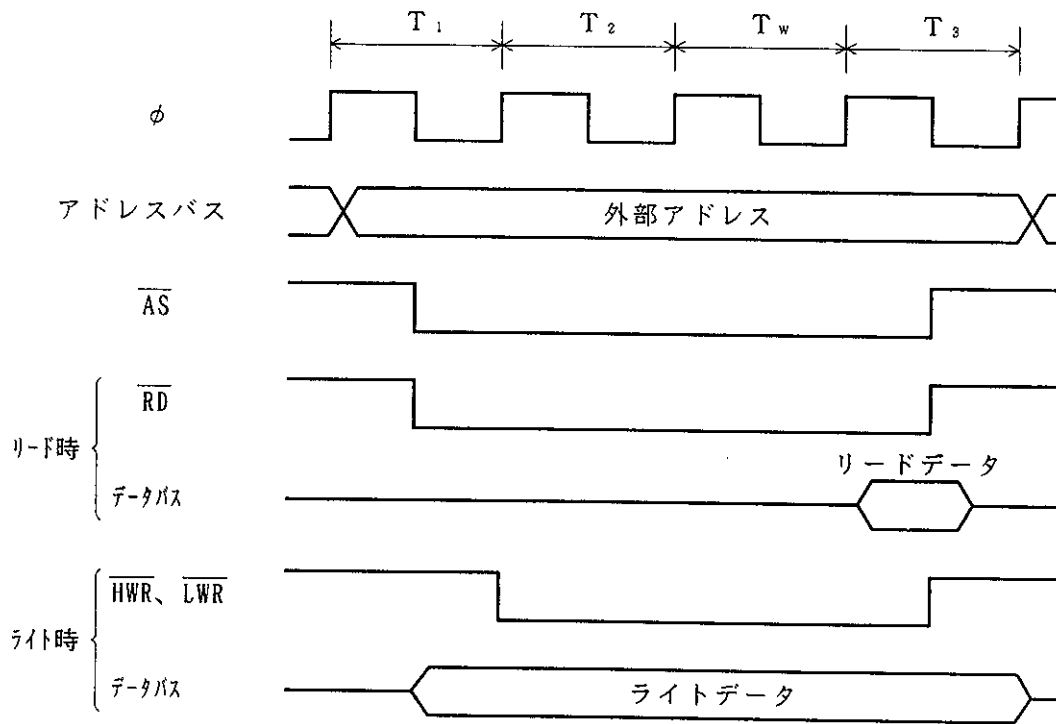


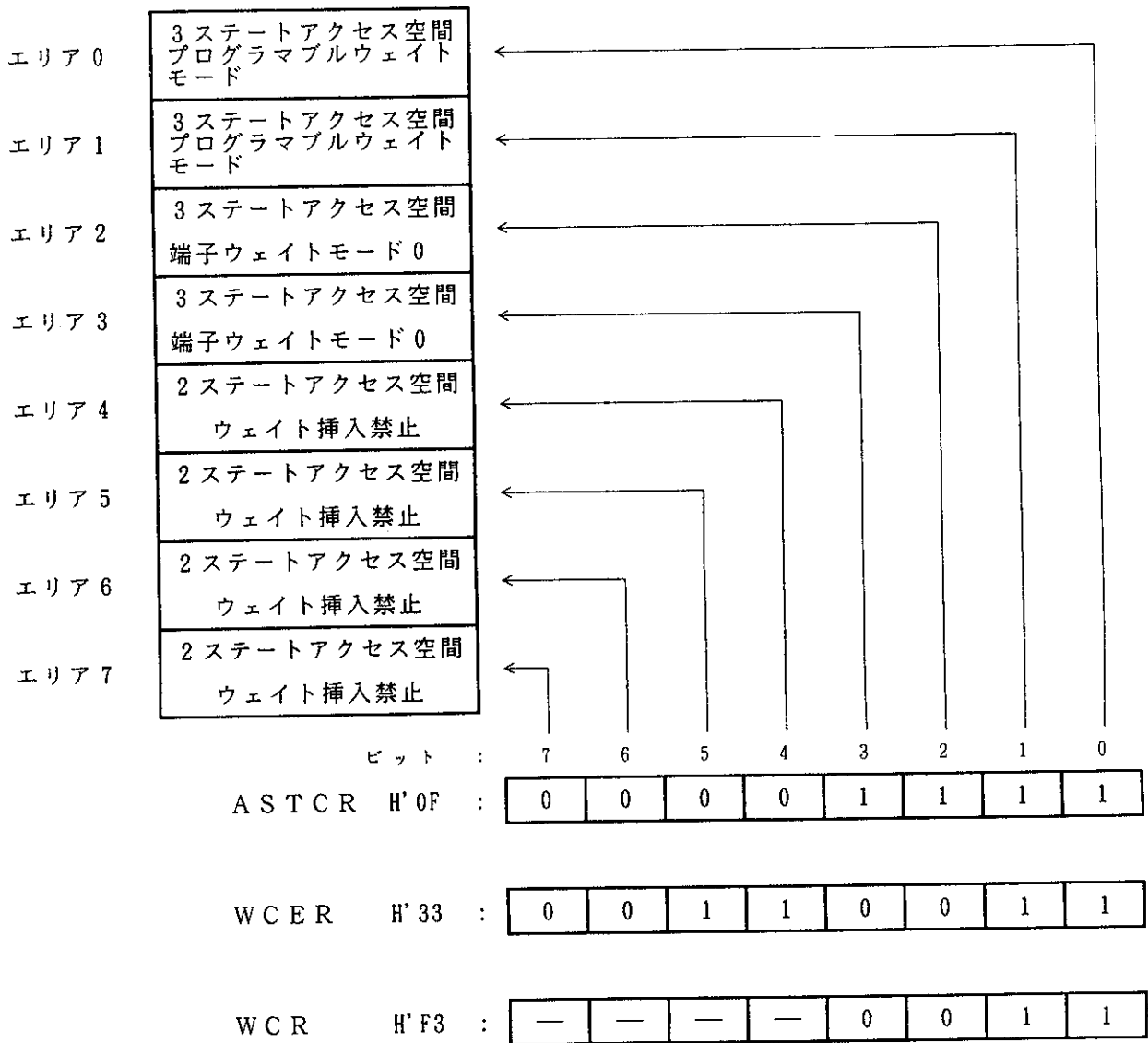
図6.15 プログラマブルウェイトモード

(5) W S C の設定例

リセット後の W C E R、A S T C R は、いずれも H' FF、W C R は H' F3 となっています。このため全エリアともプログラマブルウェイトモードの 3 ステート挿入となります。

その後、ソフトウェアにより、A S T C R、W C E R、W C R を設定し、エリアごとのウェイトモードを選択してください。

ウェイトモードの設定例を図 6.16 に示します。



【注】 A S T C R によって 2 ステートアクセスに設定されたエリアでは、ウェイトステートは挿入できません。

図 6.16 ウェイトモードの設定例

6.3.6 メモリとの接続例

バスコントローラは、各エリアごとに、データバス幅を8ビットアクセス空間または16ビット空間に、またアクセスステート数を2ステートアクセス空間または3ステートアクセス空間のいずれかに設定することができます。3ステートアクセス空間に対しては多種のウェイト挿入が可能ですので高速性が要求されるデバイスと低速デバイスを容易に接続することが可能です。

本LSIとメモリとの接続例を図6.19に、また、このときのメモリマップを図6.17に示します。

エリア0に256kワード×16ビットのEPROMを接続し、16ビット3ステートアクセスを行います。

エリア1に32kワード×8ビットのSRAMを2個（SRAM1、2）接続し、16ビット2ステートアクセスを行います。

エリア7に32kワード×8ビットのSRAMを（SRAM3）を1個接続し、8ビット3ステートアクセス・端子オートウェイトステートを行います。

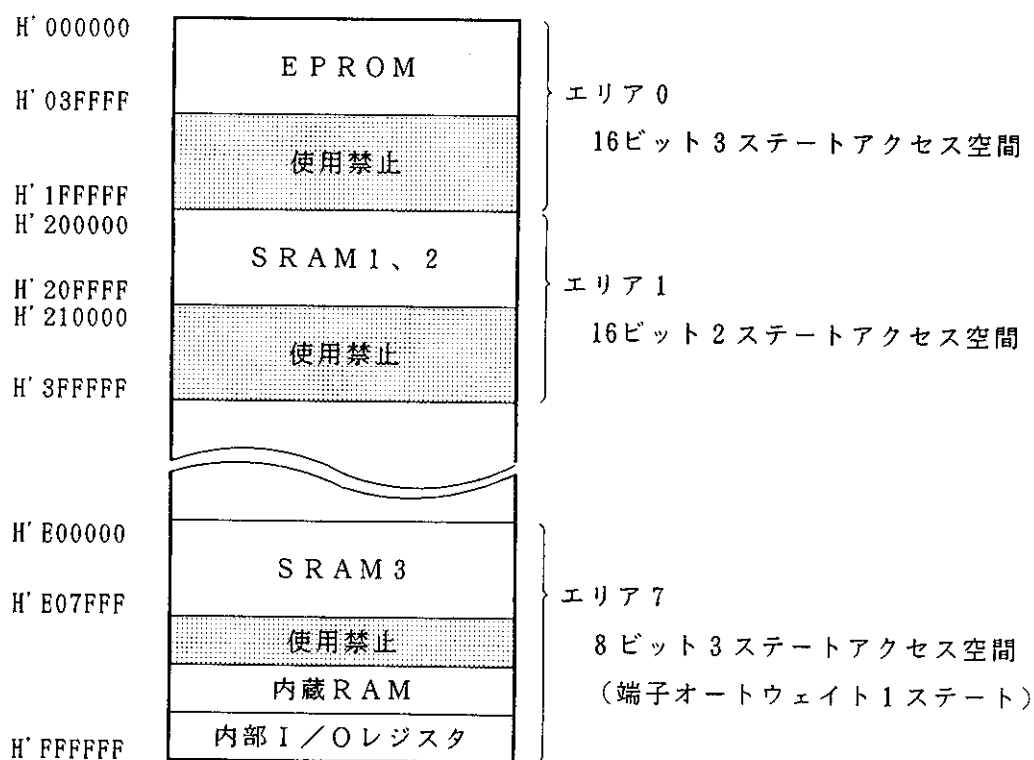


図 6.17 メモリマップ例

6.3.7 バスアービタの動作

バスコントローラは、バスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、リフレッシュコントローラ、外部バスマスタの4つがあり、バス権を占有した状態でリード/ライトやリフレッシュ動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可して、バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジを返します。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

（高） 外部バスマスタ > リフレッシュコントローラ > DMAC > CPU （低）

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

(i) CPU

CPUは最も優先順位の低いバスマスタです。CPUがバスマスタの場合にDMAC、リフレッシュコントローラ、または外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- ① バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません
- ② CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生するとただちに、バス権が移行します。CPUの内部動作は継続されます。
- ③ CPUがスリープモードの場合、他のバスマスタからバス権要求が発生するとただちにバス権が移行します。

(2) DMAC

DMACは、起動要求が発生するとバスアービタに対してバス権を要求します。

DMACがバスマスタの場合にリフレッシュコントローラ、または外部バスマスタからのバス権要求が発生すると、バスアービタはバス権の要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

DMACの1バイトまたは1ワードの転送が終了したとき、バス権を移行します。DMACの転送サイクルはリードサイクルとライトサイクルで構成され、これらのリードサイクルと次のライトサイクルの間ではバス権は移行しません。

なお、DMACの各チャンネルには優先順位が設けられています。詳細については、「8.4.9 DMAC複数チャンネルの動作」を参照してください。

(3) リフレッシュコントローラ

リフレッシュコントローラは、リフレッシュサイクル要求が発生するとバスマスタに対してバス権を要求します。リフレッシュサイクルが終了すると、バス権を放棄します。詳細は、「第7章 リフレッシュコントローラ」を参照してください。

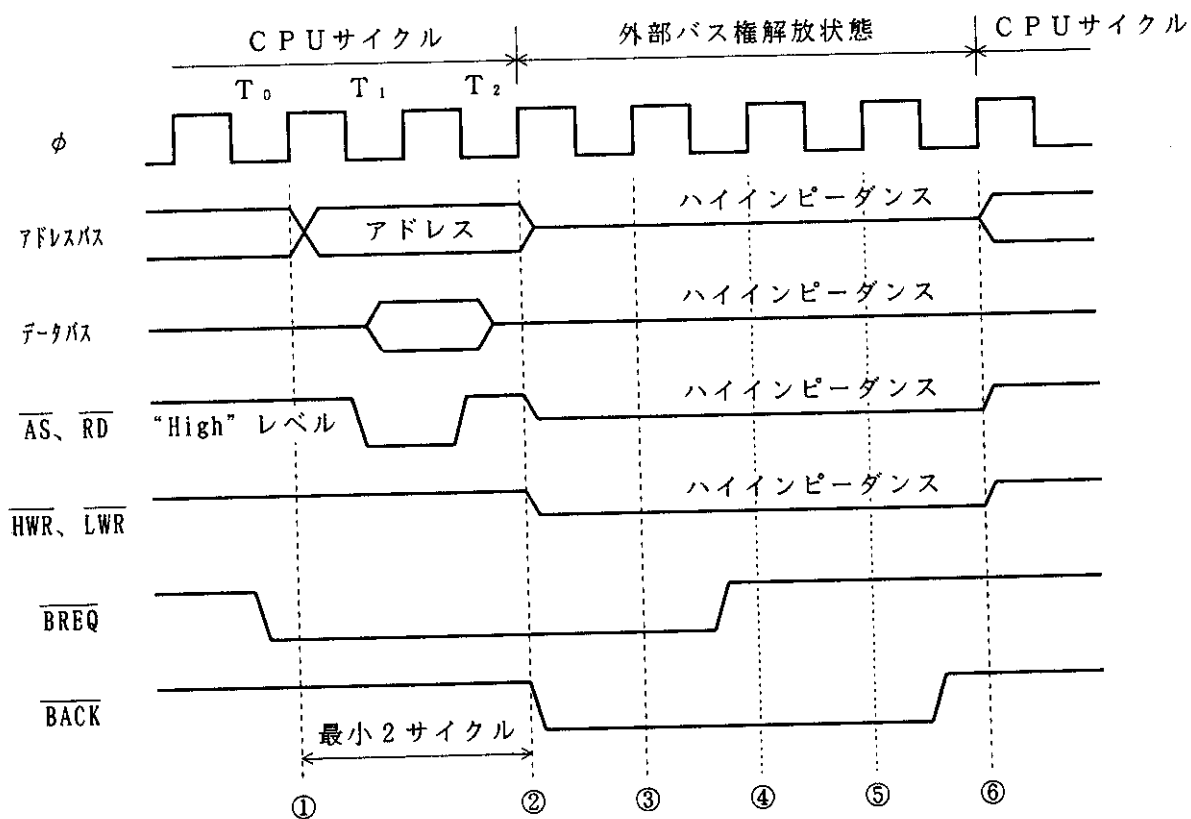
(4) 外部バスマスタ

BRCRのBRLEビットを“1”にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、BREQ端子を“Low”レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタが一旦バス権を獲得するとBREQを“Low”レベルにしている間、バス権を保持し続けます。本LSIは、外部バス権解放状態となり、アドレスバス、データバス、バス制御信号（AS、RD、HWR、LWR）はハイインピーダンスとなります。外部バス権解放状態では、BACK端子が“Low”レベル出力となります。

バスアービタは、φの立上がりでBREQ端子をサンプリングします。BREQ端子の“Low”レベルをサンプルすると所定のタイミングで外部バス権解放状態となります。BACK端子が“Low”レベルになるまでBREQ端子を“Low”レベルに保持してください。

外部バス権解放で、BREQ端子の“High”レベルを2回連続してサンプリングすると、BACK端子を“High”レベルにしてバス権解放サイクルを終了します。

図 6.18 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。BREQ端子を“Low”レベルとしてから外部バス権解放状態となるまで最小 2 ステートかかります。



- ① T_0 ステートの立上がりでBREQ端子の“Low”レベルをサンプリングします。
- ② CPUリードサイクルの終了時点でBACK端子を“Low”レベルにしてバス権を外部バスマスタに解放します。
- ③ 外部バス権解放状態でもBREQ端子の状態をサンプリングします。
- ④⑤ BREQ端子の“High”レベルを2回連続してサンプリングします。
- ⑥ BACK端子を“High”レベルにして、バス権解放サイクルを終了します。

図 6.18 外部バス権解放状態 (2 ステートアクセス空間リードサイクル中)

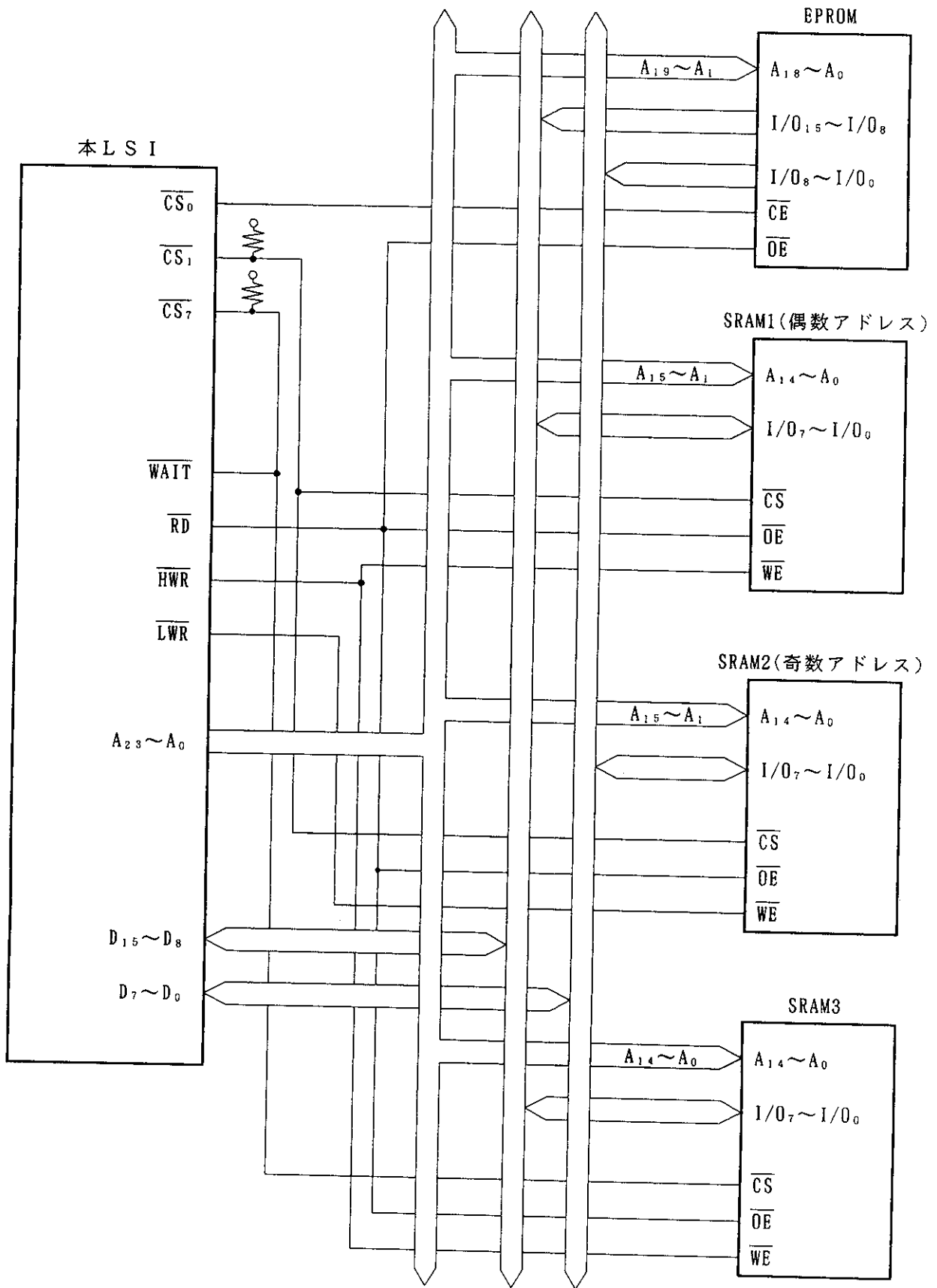


図 6.19 メモリとの接続例

6.4 使用上の注意

6.4.1 DRAMおよびPSRAMの接続

エリア3にDRAMまたはPSRAMを直接接続する場合、バス制御信号タイミングが異なります。詳細は「第7章 リフレッシュコントローラ」を参照してください。

6.4.2 レジスタライトタイミング

(1) ABWCR、ASTCRおよびWCERのライトタイミング

ABWCR、ASTCRおよびWCERをライトした場合、ライトデータは次のバスサイクルから有効になります。

このタイミングを図6.20に示します。

エリア0上の命令でエリア0を3ステートアクセス空間から2ステートアクセス空間へ変更した場合の例です。

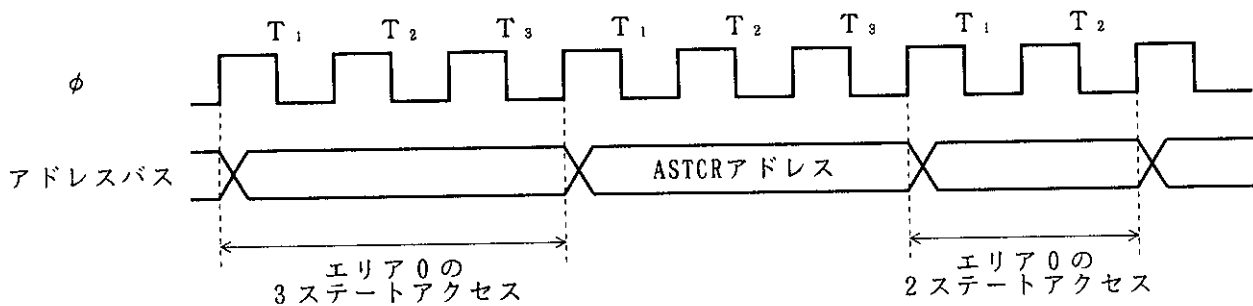


図6.20 ASTCRライトタイミング

(2) DDRライトタイミング

\overline{CS}_n 端子に対応するポートのDDRをライトし、 \overline{CS}_n 出力と入力ポートを切り換える場合、ライトデータはDDRライトサイクルの T_3 から有効になります。このタイミングを図6.21に示します。 \overline{CS}_1 端子を出力とする場合の例です。

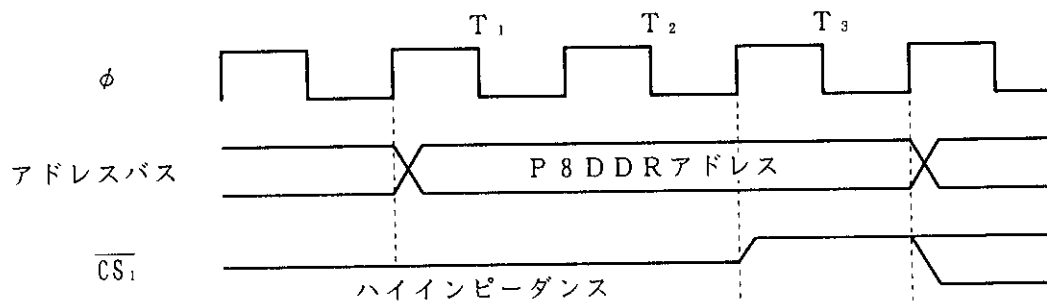


図6.21 DDRライトタイミング

6.4.3 BREQ端子の入カタイミング

BREQ端子を“Low”レベルにした後、BACK端子が“Low”レベルになるまで“Low”レベルを保持してください。BACK端子が“Low”レベルになる前にBREQ端子を“High”レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときにはBREQ端子を3ステート以上“High”レベルにしてください。BREQ端子の“High”レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

7. リフレッシュコントローラ

第7章 目次

7.1	概要	157
7.1.1	特長	157
7.1.2	ブロック図	158
7.1.3	端子構成	159
7.1.4	レジスタ構成	159
7.2	各レジスタの説明	160
7.2.1	リフレッシュコントロールレジスタ (RFSHCR)	160
7.2.2	リフレッシュタイムコントロールステータスレジスタ (RTMCSR)	163
7.2.3	リフレッシュタイムカウンタ (RTCNT)	166
7.2.4	リフレッシュタイムコンスタントレジスタ (RTCOR)	166
7.3	動作説明	167
7.3.1	概要	167
7.3.2	DRAMリフレッシュ制御	169
7.3.3	PSRAMリフレッシュ制御	184
7.3.4	インターバルタイマ	187
7.4	割込み要因	192
7.5	使用上の注意	193

7.1 概要

H8/3003は、リフレッシュコントローラを内蔵しており、×16ビット構成のDRAMを直接接続できます。また、DRAMの代わりにPSRAMを直接接続することも可能です。

DRAMまたはPSRAMを直接接続できる外部アドレス空間はエリア3です。モード1、2（1Mバイトモード）は最大128kバイト、モード3、4（16Mバイトモード）は最大2Mバイトを使用できます。

DRAM、PSRAMのリフレッシュが不要なシステムでは、8ビットインターバルタイマとして使用できます。

7.1.1 特長

リフレッシュコントローラは、DRAMリフレッシュ制御、PSRAMリフレッシュ制御、またはインターバルタイマのうち、いずれか一つの機能を使用できます。リフレッシュコントローラの特長を以下に示します。

(1) DRAMリフレッシュコントローラとしての特長

- ×16ビット構成のDRAMを直接接続可能
- 2CAS方式、または2WE方式のいずれか一方を選択可能
- DRAMのアドレス入力のマルチプレクスは、8ビットカラムアドレスまたは9ビットカラムアドレスのいずれか一つを選択可能

（例）

- ・ 1MビットDRAM 8ビットロウアドレス×8ビットカラムアドレス
- ・ 4MビットDRAM 9ビットロウアドレス×9ビットカラムアドレス
- ・ 4MビットDRAM 10ビットロウアドレス×8ビットカラムアドレス

- リフレッシュ制御はCASビフォRASリフレッシュを採用
- プログラムによりリフレッシュ間隔を選択可能
- プログラムによりセルフリフレッシュモードを設定可能
- ウェイトステート挿入可能

(2) PSRAMリフレッシュコントローラとしての特長

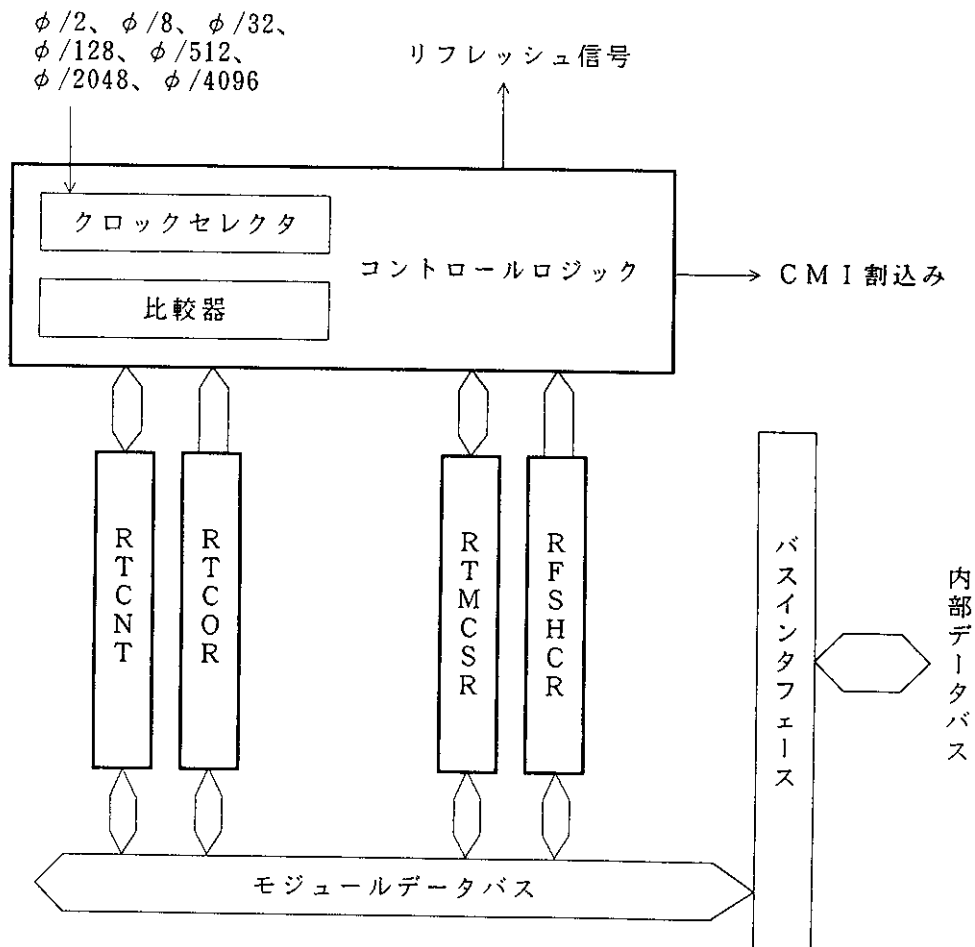
- リフレッシュ制御のためRFSH信号を出力
- プログラムによりリフレッシュ間隔を選択可能
- プログラムによりセルフリフレッシュモードを設定可能
- ウェイトステート挿入可能

(3) インターバルタイマとしての特長

- リフレッシュタイマカウンタ (RTCNT) を8ビットアップカウンタとして使用可能
- カウントクロックは7種類($\phi/2$ 、 $\phi/8$ 、 $\phi/32$ 、 $\phi/128$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$)から選択可能
- RTCNTとリフレッシュタイムコンスタントレジスタ (RTCOR) のコンペアマッチにより割込み発生可能

7.1.2 ブロック図

リフレッシュコントローラのブロック図を図7.1に示します。



《記号説明》

- RTCNT : リフレッシュタイマカウンタ
- RTCOR : リフレッシュタイムコンスタントレジスタ
- RTMCSR : リフレッシュタイマコントロール/ステータスレジスタ
- RFSHCR : リフレッシュコントロールレジスタ

図7.1 リフレッシュコントローラのブロック図

7.1.3 端子構成

リフレッシュコントローラの端子構成を表7.1に示します。

表7.1 端子構成

端子	信号		入出力	機能
	名称	略称		
$\overline{\text{RFSH}}$	リフレッシュ	$\overline{\text{RFSH}}$	出力	リフレッシュサイクル時“Low”レベルとなります。 DRAMおよびPSRAMのリフレッシュに使用します。
$\overline{\text{HWR}}$	アッパーライト/アッパーカラムアドレスストロープ	$\overline{\text{UW/UCAS}}$	出力	2WE方式DRAMの $\overline{\text{UW}}$ 端子/ 2CAS方式DRAMの $\overline{\text{UCAS}}$ 端子と接続します。
$\overline{\text{LWR}}$	ロウアーライト/ロウアーカラムアドレスストロープ	$\overline{\text{LW/LCAS}}$	出力	2WE方式DRAMの $\overline{\text{LW}}$ 端子/ 2CAS方式DRAMの $\overline{\text{LCAS}}$ 端子と接続します。
$\overline{\text{RD}}$	カラムアドレスストロープ/ ライトイネーブル	$\overline{\text{CAS/WE}}$	出力	2WE方式DRAMの $\overline{\text{CAS}}$ 端子/ 2CAS方式DRAMの $\overline{\text{WE}}$ 端子と接続します。
$\overline{\text{CS}}_3$	ロウアドレスストロープ	$\overline{\text{RAS}}$	出力	DRAMの $\overline{\text{RAS}}$ 端子と接続します。

7.1.4 レジスタ構成

リフレッシュコントローラのレジスタ構成を表7.2に示します。

表7.2 レジスタ構成

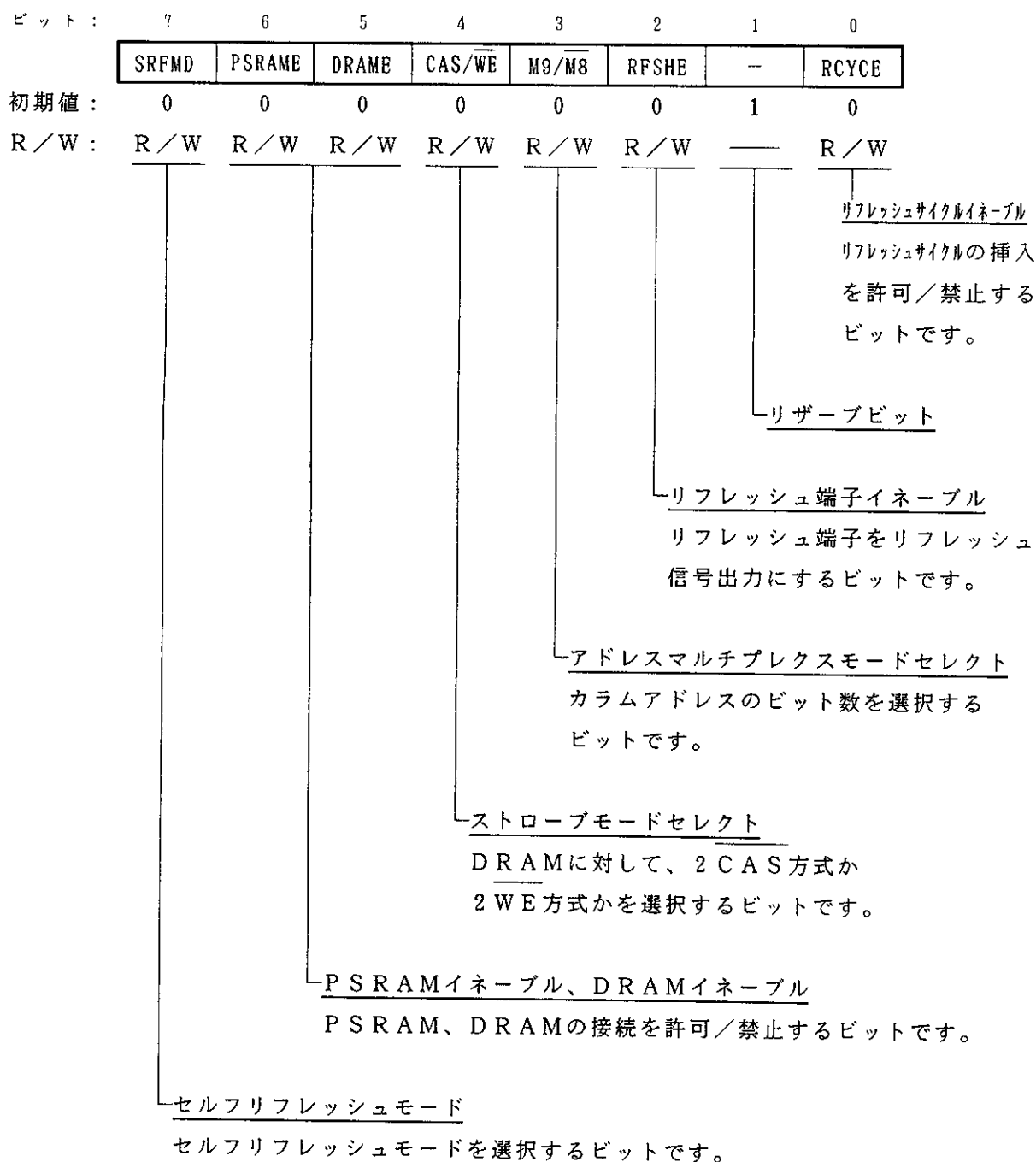
アドレス*	名称	略称	R/W	初期値
H'FFAC	リフレッシュコントロールレジスタ	RFSHCR	R/W	H'02
H'FFAD	リフレッシュタイムコントロール/ ステータスレジスタ	RTMCSR	R/W	H'07
H'FFAE	リフレッシュタイムカウンタ	RTCNT	R/W	H'00
H'FFAF	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】* アドレスの下位16ビットを示しています。

7.2 各レジスタの説明

7.2.1 リフレッシュコントロールレジスタ (RFSHCR)

RFSHCRは、8ビットのリード/ライト可能なレジスタで、リフレッシュコントローラの動作モードを選択します。



RFSHCRは、リセット、またはハードウェアスタバイモード時にH'02にイニシャライズされます。

ビット7：セルフリフレッシュモード (SRFMD)

ソフトウェアスタンバイモード時、DRAMまたはPSRAMのセルフリフレッシュを指定します。

PSRAME = “1”、DRAME = “0” のとき、SRFMDビットを“1”にセットした後に、ソフトウェアスタンバイモードに遷移すると、PSRAMのセルフリフレッシュが可能となります。

また、PSRAME = “0”、DRAME = “1” のとき、SRFMDビットを“1”にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAMのセルフリフレッシュが可能となります。

いずれの場合もソフトウェアスタンバイモードの解除により、通常のアクセス状態に戻ります。

ビット7	説明
SRFMD	
0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止 (初期値)
1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能

ビット6：PSRAMイネーブル (PSRMAE)

ビット5：DRAMイネーブル (DRAME)

外部アドレス空間のエリア3に対して、DRAMまたはPSRAMの接続を許可/禁止をします。

DRAMまたはPSRAMを接続する場合、エリア3のバスサイクルおよびリフレッシュサイクルはASTCRの設定にかかわらず、3ステートアクセスとなります。ただし、ウェイトステートは、ASTCRのAST3 = “0” の場合、挿入することはできません。

PSRAMEビットまたはDRAMEビットが“1”にセットされていると、RFSHCRのビット0、2、3、4、およびRTMCSR、RTCNT、RTCORへのライトはできません。ただし、RTMCSRのCMFフラグについては、フラグをクリアするための“0”ライトのみ可能です。

ビット6	ビット5	説明
PSRAME	DRAME	
0	0	インターバルタイマとして使用可能 (初期値)
	1	DRAMの接続が可能
1	0	PSRAMの接続が可能
	1	使用禁止

ビット4：ストローブモードセレクト (CAS/WE)

2 CAS方式か2 WE方式のいずれかを選択します。

本ビットの設定はPSRAME = “0”、DRAME = “1” のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

ビット4	説	明
CAS/WE		
0	2 WE方式を選択	(初期値)
1	2 CAS方式を選択	

ビット3：アドレスマルチプレクスモードセレクト (M9/M8)

8ビットカラムアドレスまたは9ビットカラムアドレスのいずれかを選択します。

本ビットの設定はPSRAME = “0”、DRAME = “1” のとき有効となります。本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

ビット3	説	明
M9/M8		
0	8ビットカラムモードを選択	(初期値)
1	9ビットカラムモードを選択	

ビット2：リフレッシュ端子イネーブル (RFSHE)

RFSH端子のリフレッシュ信号出力を許可/禁止します。

本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

ビット2	説	明
RFSHE		
0	RFSH端子のリフレッシュ信号出力を禁止 (RFSH端子は入出力ポートとして使用可)	(初期値)
1	RFSH端子のリフレッシュ信号出力を許可	

ビット1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

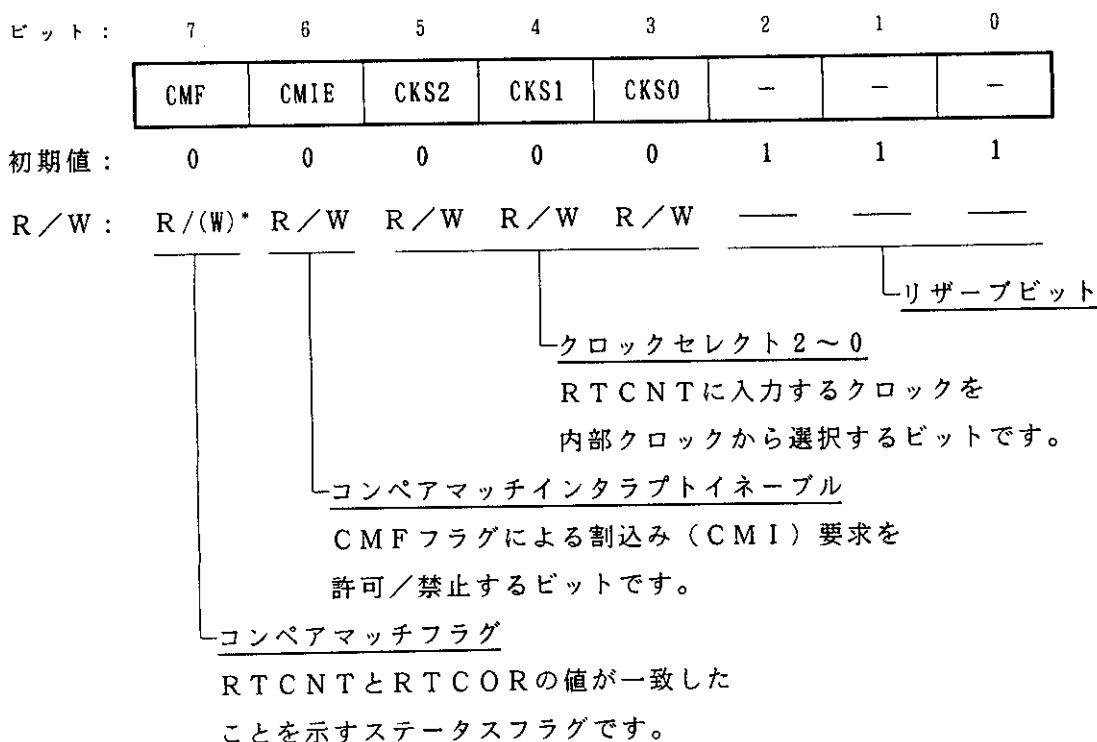
ビット0：リフレッシュサイクルイネーブル（RCYCE）

リフレッシュサイクルの挿入を許可または禁止します。本ビットはPSRAME = “1”、またはDRAME = “1”のときに有効となります。PSRAME = “0”かつDRAMEビット = “0”のときは、本ビットの設定にかかわらずリフレッシュサイクルは挿入されません。

ビット0	説明
RCYCE	
0	リフレッシュサイクルを禁止 (初期値)
1	エリア3に対するリフレッシュサイクルを許可

7.2.2 リフレッシュタイマコントロールステータスレジスタ（RTMCSR）

RTMCSRは、8ビットのリード/ライト可能なレジスタで、RTCNTに入力するクロックの選択を行います。また、インターバルタイマとして使用する場合は、割込み要求の許可/禁止も行います。



【注】* フラグをクリアするための“0”ライトのみ可能です。

ビット7、6は、リセット、またはスタンバイモード時にイニシャライズされます。

ビット5～3は、リセット、またはハードウェアスタンバイモード時にイニシャライズされますが、ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに移る前の状態を保持しています。

ビット7：コンペアマッチフラグ（CMF）

RTCNTとRTCORの値が一致したことを示すステータスフラグです。

ビット7	説 明
CMF	
0	[クリア条件] CMF = "1" の状態で、CMFフラグをリードした後、CMFフラグに "0" をライトしたとき
1	[セット条件] RTCNT = RTCORになったとき

ビット6：コンペアマッチインタラプトイネーブル（CMIE）

RTCSRのCMFフラグが "1" にセットされたとき、CMFフラグによる割込み（CMI）要求を許可／禁止します。

PSRAME = "1"、またはDRAME = "1" のとき、CMIEビットは常に "0" にクリアされています。

ビット6	説 明
CMIE	
0	CMFフラグによる割込み（CMI）要求を禁止 (初期値)
1	CMFフラグによる割込み（CMI）要求を許可

ビット5～3：クロックセレクト2～0（CKS2～CKS0）

RTCNTに入力するクロックを内部クロックから選択します。リフレッシュコントローラとして使用する場合は、RTCNTとRTCORのコンペアマッチによりリフレッシュ要求を周期的に発生します。インターバルタイマとして使用する場合は、コンペアマッチによりCMI割込み要求を周期的に発生します。

本ビットは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

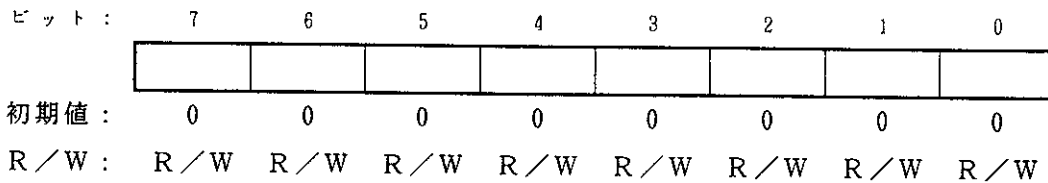
ビット5	ビット4	ビット3	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止 (初期値)
		1	$\phi/2$ でカウント
	1	0	$\phi/8$ でカウント
		1	$\phi/32$ でカウント
1	0	0	$\phi/128$ でカウント
		1	$\phi/512$ でカウント
	1	0	$\phi/2048$ でカウント
		1	$\phi/4096$ でカウント

ビット2～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

7.2.3 リフレッシュタイマカウンタ (RTCNT)

RTCNTは、リード/ライト可能な8ビットのアップカウンタです。



RTCNTは、RTMCSRのCKS2~CKS0ビットで選択された内部クロックにより、カウントアップします。

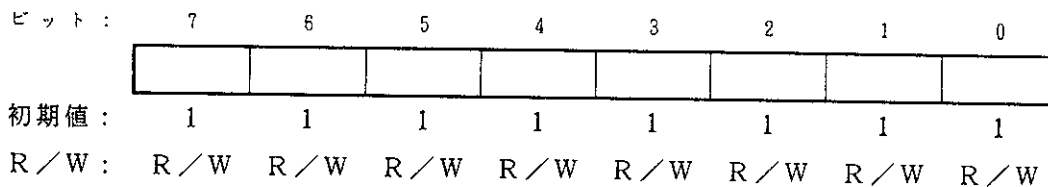
RTCNTがRTCORに一致(コンペアマッチ)すると、CMFフラグが“1”にセットされRTCNTはH'00にイニシャライズされます。

RTCNTは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

RTCNTは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

7.2.4 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCORは、8ビットのリード/ライト可能なレジスタで、RTCNTのクリア周期を設定します。



RTCORとRTCNTの値は常に比較されており、両方の値が一致するとRTMCSRのCMFフラグが“1”にセットされ、同時にRTCNTがH'00にクリアされます。

RTCORは、PSRAMEビットまたはDRAMEビットが“1”にセットされているとライトすることはできません。

RTCORは、リセット、またはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の値を保持しています。

7.3 動作説明

7.3.1 概要

リフレッシュコントローラは、エリア3に接続したDRAMのインタフェース、エリア3に接続したPSRAMのインタフェース、またはインターバルタイマのうち、いずれか一つを選択することができます。

上記の3種類の使用方法の概要を表7.3に示します。

表7.3 リフレッシュコントローラの設定方法

レジスタ設定		用途	DRAM インタフェース	PSRAM インタフェース	インターバルタイマ
RFSHCR	SRFMD		セルフリフレッシュモードの指定		"0"に設定
	PSRAME		"0"に設定	"1"に設定	"0"に設定
	DRAME		"1"に設定	"0"に設定	"0"に設定
	CAS/ \overline{WE}		2CAS方式/ 2 \overline{WE} 方式選択	_____	_____
	M9/ $\overline{M8}$		カラムモード選択	_____	_____
	RFSHE		RFSH端子出力選択		"0"に設定
	RCYCE		リフレッシュサイクル挿入選択		_____
RTCOR			リフレッシュ間隔を設定		割込み周期を設定
RTMCSR	CKS2~0				
	CMF		RTCNT=RTCORのとき、"1"にセット		
	CMIE		"0"に設定		割込み要求の許可/ 禁止を選択
P8DDR	P8 ₁ DDR		"1"に設定($\overline{CS_3}$ 出力設定)		"0"または"1" に設定
ABWCR	ABW3		"0"に設定	_____	

(1) DRAMインタフェース

RTCOR、RTMCSR、RFSHCRの順に初期設定を行い、PSRAMEビットを"0"、DRAMEビットを"1"に設定することにより、×16ビット構成のDRAMをエリア3に接続できます。このとき、ポート8データディレクションレジスタ(P8DDR)のP8₁DDRビットを"1"にセットして $\overline{CS_3}$ 出力に設定してください。また、ABWCRにより、エリア3を16ビットアクセス空間に設定してください。

(2) PSRAMインタフェース

RTCOR、RTMCSR、RFSHCRの順に初期設定を行い、PSRAMEビットを“1”、DRAMEビットを“0”に設定することにより、PSRAMをエリア3に接続できます。このとき、P8DDRのP8₁DDRビットを“1”にセットしてCS₃出力に設定してください。

(3) インターバルタイマ

PSRAME = “0”かつDRAME = “0”のとき、インターバルタイマとして動作します。RTCORを設定後、RTMCSRで入力クロックを選択して、CMIEビットを“1”にセットしてください。

上記設定により、RTCORとRTMCSRのCKS2～CKS0ビットで決まるコンペアマッチの周期ごとにCMI割込み要求を発生することができます。

RTCOR、RTMCSR、RFSHCRの設定は、必ずPSRAME = “0”かつDRAME = “0”の状態で行ってください。どちらかのビットが“1”の場合、ライトできません。

7.3.2 DRAMリフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

リフレッシュ要求の周期は、RTCORとRTMCSRのCKS2～CKS0ビットにより設定します。

リフレッシュ要求の周期を図7.2に示します。

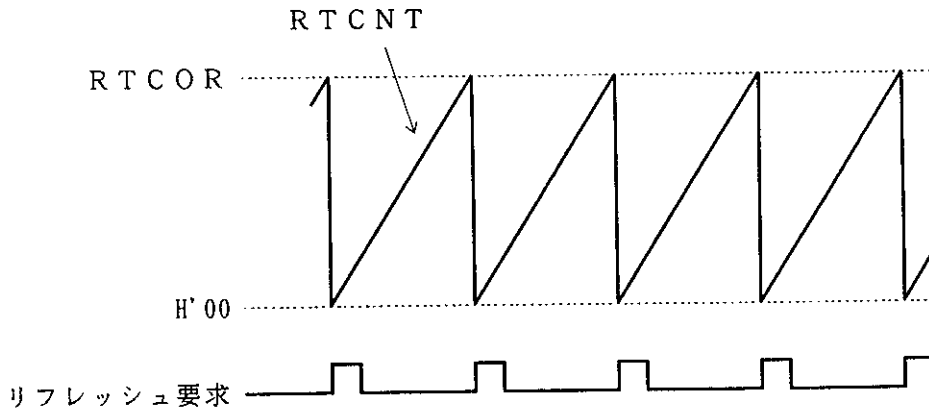


図7.2 リフレッシュ要求の周期 (RCYCE = "1")

リフレッシュ要求は図7.2に示す周期で発生しますが、実際のリフレッシュサイクルの実行は、フレッシュコントローラがバス権を獲得した後に行われます。

表7.4にエリア3の設定とDRAMのリード/ライトサイクルおよびリフレッシュサイクルの関係を示します。

表7.4 エリア3の設定とDRAMアクセスサイクルおよびリフレッシュサイクルの関係

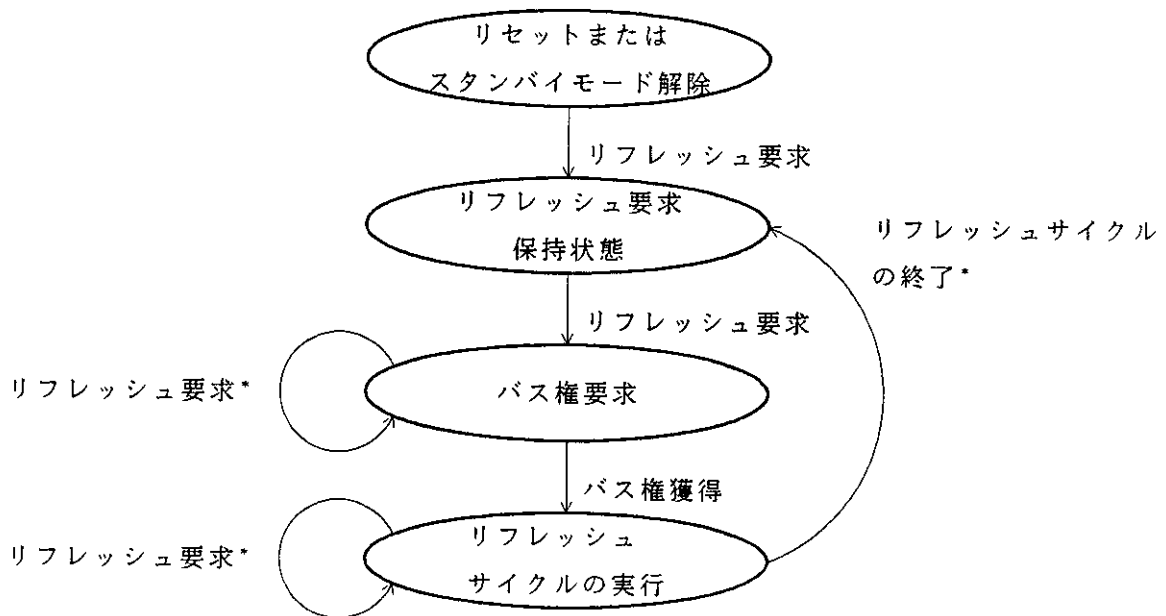
エリア3の設定	CPUまたはDMAコントローラによるリード/ライトサイクル	リフレッシュサイクル
2ステートアクセス空間 (AST3 = "0")	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入不可 	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入不可
3ステートアクセス空間 (AST3 = "1")	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入可能 	<ul style="list-style-type: none"> ・ 3ステート ・ ウェイト挿入可能

リフレッシュサイクルを挿入するために、RFSHCRのRCYCEビットを“1”にセットしてください。

リフレッシュサイクル実行の状態遷移を図7.3に示します。

リセット直後、またはスタンバイモード解除直後にリフレッシュ要求が発生すると、リフレッシュ要求保持状態に遷移します。このときには、リフレッシュサイクルは実行されません。イニシャライズのためにリフレッシュサイクルを必要とするDRAMを使用する場合は注意してください。

リフレッシュ要求保持状態でリフレッシュ要求が発生すると、リフレッシュコントローラはバス権を獲得してリフレッシュサイクルを実行します。また、リフレッシュサイクル実行中に発生したリフレッシュ要求は無視されます。



【注】* バス権要求中に発生したリフレッシュの再要求、あるいはリフレッシュサイクル実行中のリフレッシュ要求は無視されます。

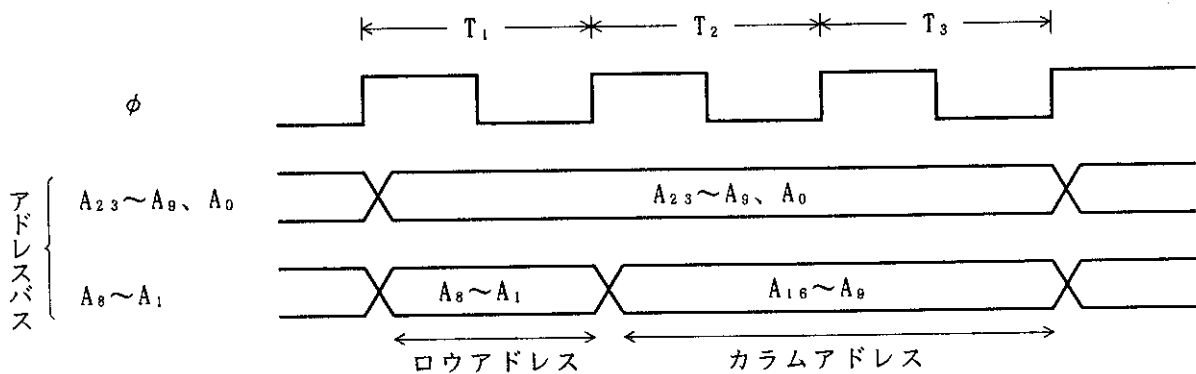
図7.3 リフレッシュサイクル実行の状態遷移図

(2) アドレスマルチプレクス

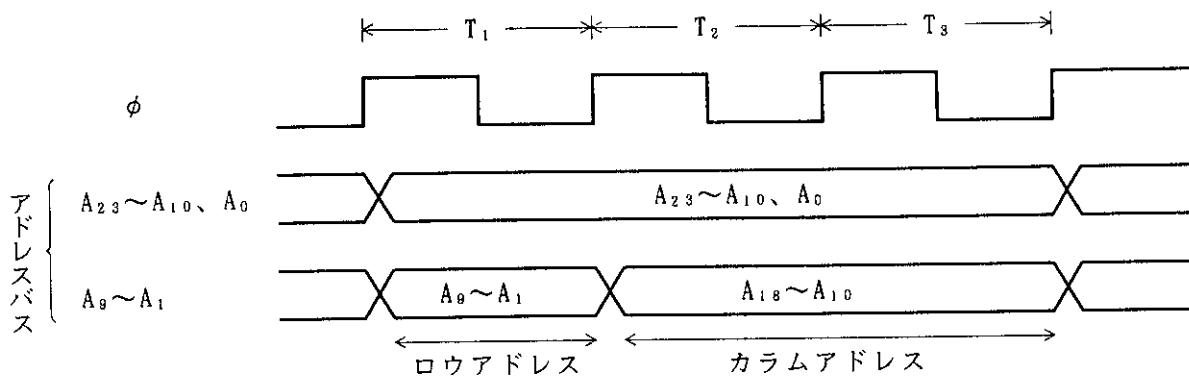
RFSHCRのM9/M8ビットにより、カラムアドレスのビット数を指定すると、アドレスのマルチプレクスは表7.5に示すようになります。また、そのときのアドレス出力タイミングを図7.4に示します。アドレスのマルチプレクス出力は、エリア3に対してのみ行われます。

表7.5 アドレスマルチプレクス

アドレス端子		A ₂₃ ~A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
ロウアドレス出力時の アドレス出力		A ₂₃ ~A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
カラムアドレス 出力時の アドレス出力	M9/M8="0"	A ₂₃ ~A ₁₀	A ₉	A ₉	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₀
	M9/M8="1"	A ₂₃ ~A ₁₀	A ₁₈	A ₁₇	A ₁₆	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₀



(a) M9/M8="0" のとき



(b) M9/M8="1" のとき

図7.4 マルチプレクスされたアドレス出力の例 (ウェイト挿入なし)

(3) 2CAS方式と2WE方式

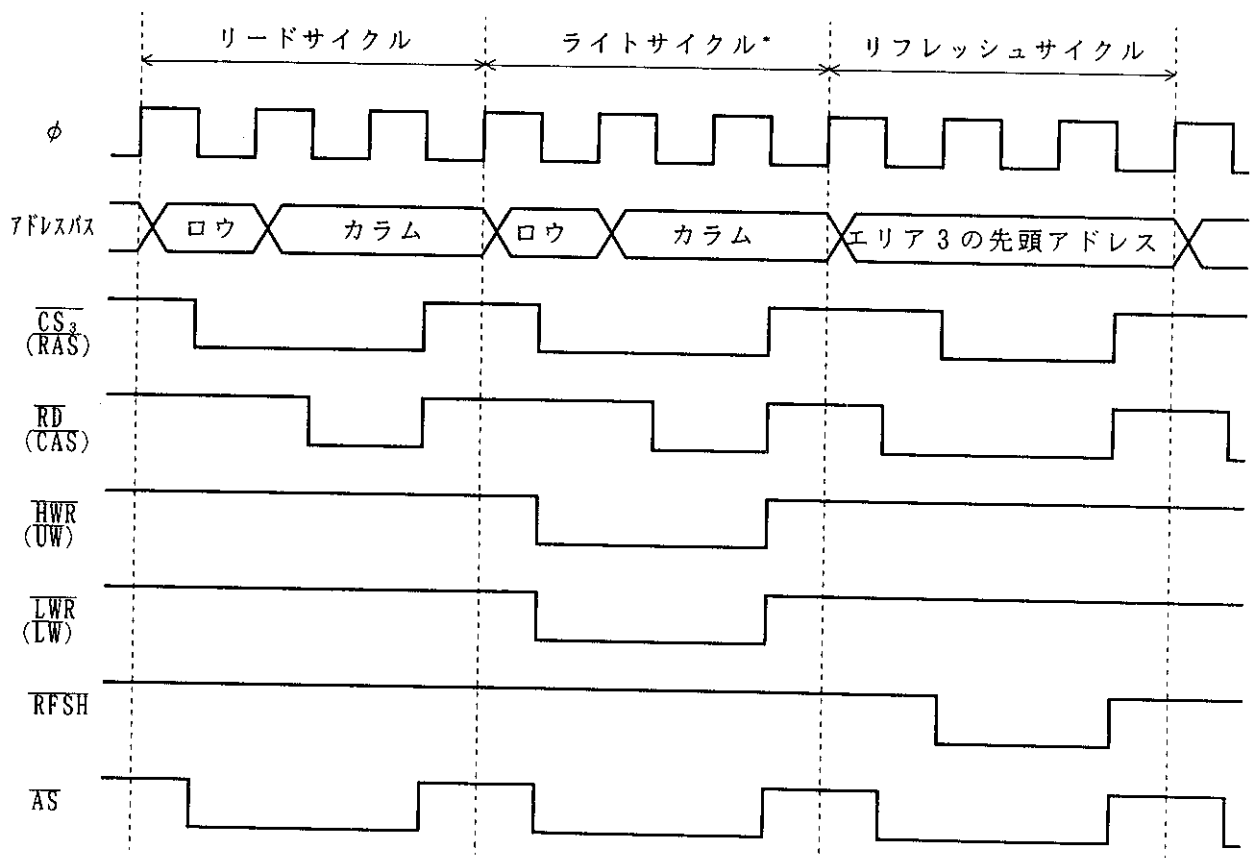
×16ビット構成のDRAMのうち、UCAS、LCASを使用する方式とUW、LWを使用する方式のいずれかをRFSHCRのCAS/WEビットにより、選択することができます。

2CAS方式および2WE方式の各々の場合について、DRAMと本LSIの端子対応を表7.6に示します。

表7.6 DRAMと本LSIの端子対応

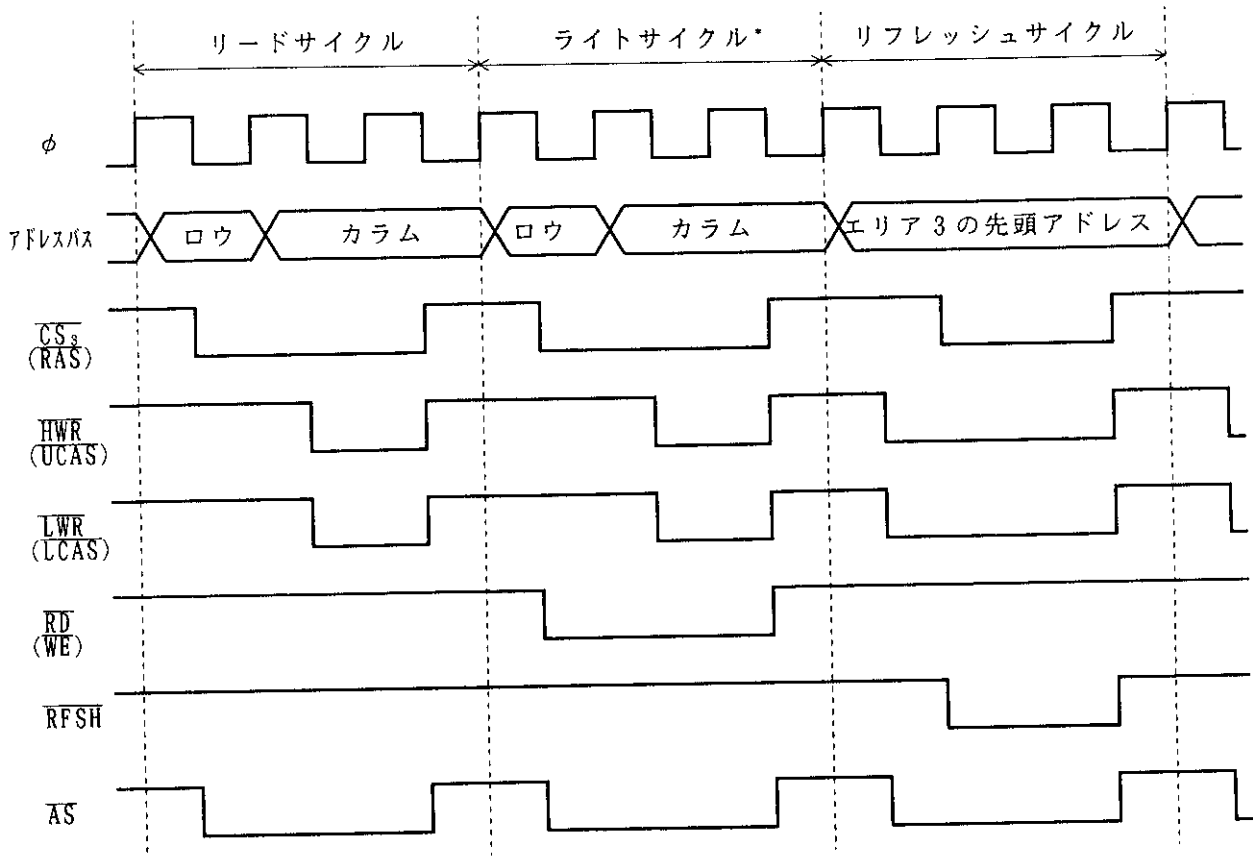
本LSIの端子	DRAMの端子	
	CAS/WE="0" (2WE方式)	CAS/WE="1" (2CAS方式)
HWR	UW	UCAS
LWR	LW	LCAS
RD	CAS	WE
CS ₃	RAS	RAS

2WE方式によるDRAMインタフェースを図7.5(1)に、また2CAS方式によるDRAMインタフェースを図7.5(2)に示します。



【注】* 16ビットアクセス時

図7.5 DRAM制御信号出力タイミング(1) (2WE方式)



【注】* 16ビットアクセス時

図 7.5 DRAM制御信号出力タイミング(2) (2 CAS方式)

(4) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMAコントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(5) ウェイトステートの挿入

ASTCRのAST3を“1”にセットした場合、バスコントローラの設定によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

詳細は、「6.3.5 ウェイトモード」を参照してください。

(6) セルフリフレッシュモード

DRAMには、セルフリフレッシュ機能を持つものがあります。

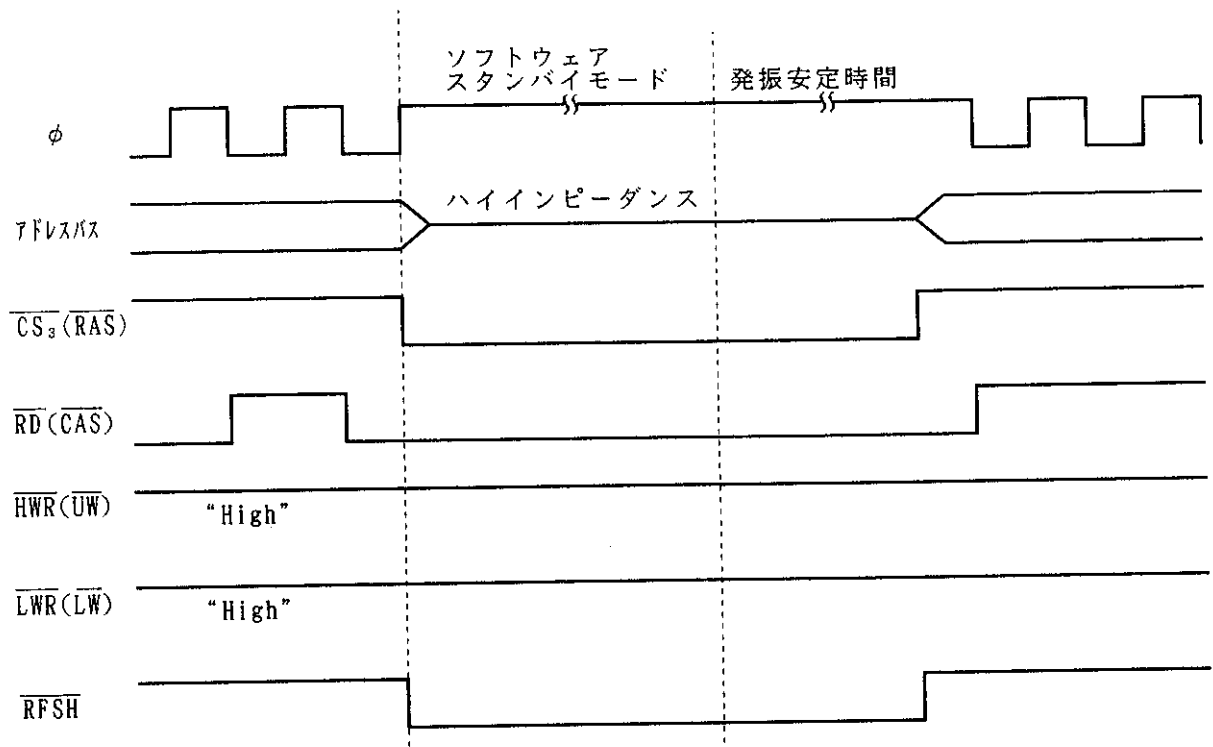
RFSHCRのSRFMDビットを“1”にセットした後、ソフトウェアスタンバイモードに移移すると、CAS、RASの順に“Low”レベル出力となり、DRAMのセルフリフレッシュ機能を使用することができます。ソフトウェアスタンバイモードが解除されると、CAS、RASは“High”レベル出力となります。

表7.7にソフトウェアスタンバイモード時の端子状態を、また図7.6に信号出力タイミングを示します。

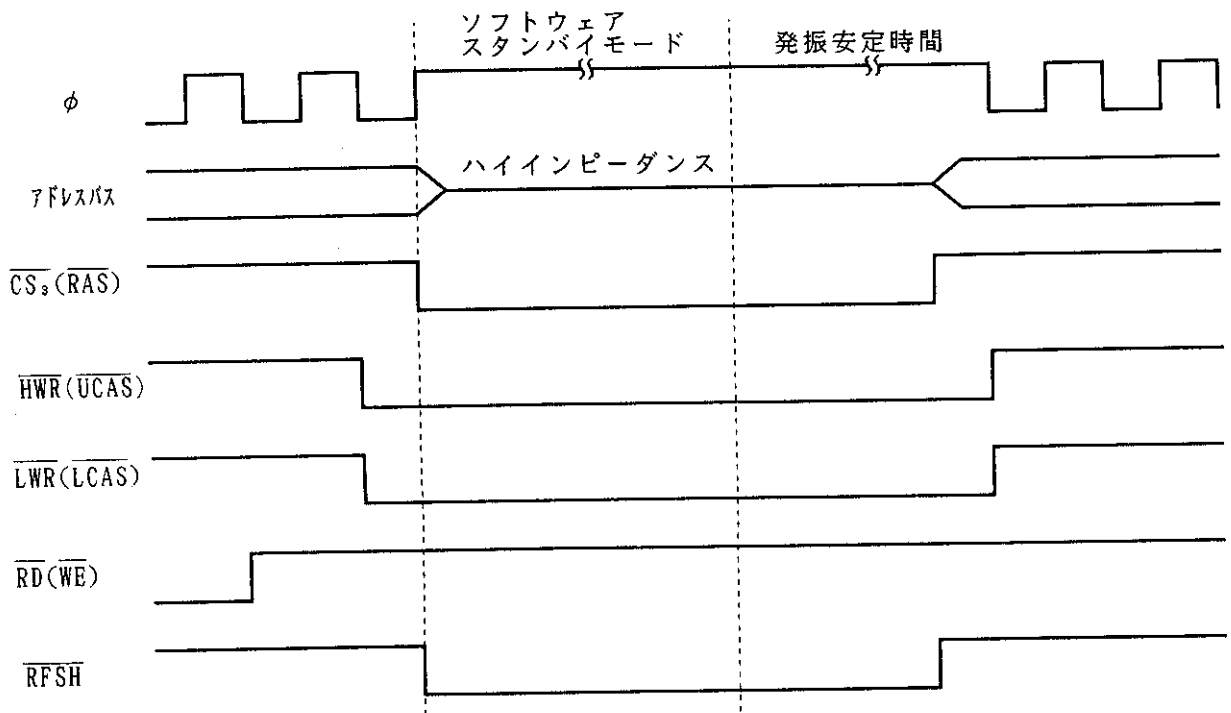
表7.7 ソフトウェアスタンバイモード時の端子状態(1)

(PSRAM = “0”、DRAM = “1”)

信号	ソフトウェアスタンバイモード時			
	SRFMD = “0”		SRFMD = “1” (セルフリフレッシュモード)	
	CAS/ \overline{WE} = “0”	CAS/ \overline{WE} = “1”	CAS/ \overline{WE} = “0”	CAS/ \overline{WE} = “1”
\overline{HWR}	ハイインピーダンス	ハイインピーダンス	“High”	“Low”
\overline{LWR}	ハイインピーダンス	ハイインピーダンス	“High”	“Low”
\overline{RD}	ハイインピーダンス	ハイインピーダンス	“Low”	“High”
\overline{CS}_3	“High”	“High”	“Low”	“Low”
\overline{RFSH}	“High”	“High”	“Low”	“Low”



(a) 2 \overline{WE} 方式 (SRFMD = "1" の場合)



(b) 2 \overline{CAS} 方式 (SRFMD = "1" の場合)

図 7.6 セルフリフレッシュモードの信号出力タイミング
(PSRAME = "0"、DRAME = "1")

(7) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNTはイニシャライズされますが、RFSHCR、RTMCSRのビット5～3、RTCORはソフトウェアスタンバイモードに遷移する直前の状態を保持します。

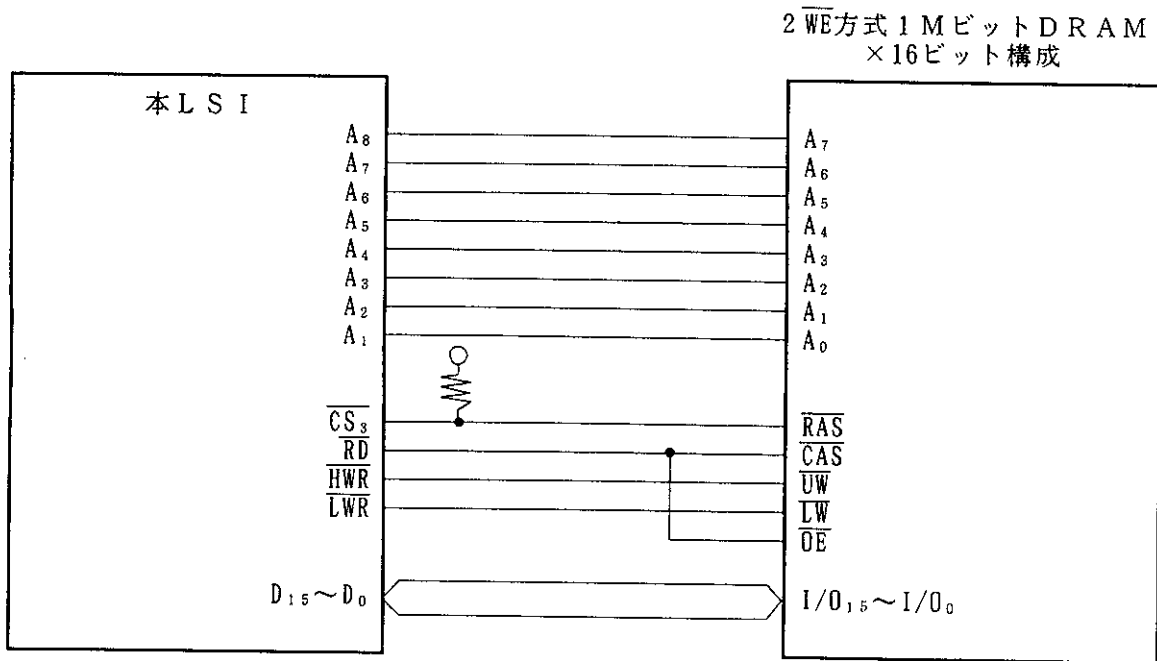
(8) 使用例

① 2WE方式1MビットDRAMの接続例（1Mバイトモード）

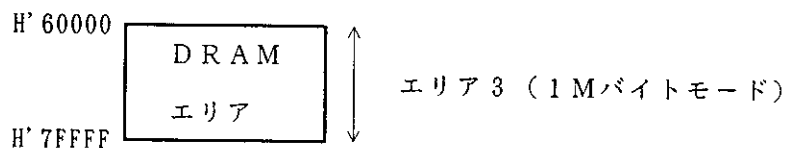
図7.7に2WE方式の1MビットDRAMの接続例とそのアドレスマップを示します。

また、図7.8にそのときのプログラム設定順序を示します。DRAMは、電源投入直後、内部状態を安定させるためにリフレッシュサイクルを必要とします。したがって、他のタイマモジュールによる割込み、あるいはRTMCSRのビット7（CMF）がセットされる回数を数えるなどして、DRAMの安定期間を確保してください。リセット、またはスタンバイ直後の最初のリフレッシュ要求（CMFフラグのセット）は、リフレッシュサイクル実行に使用されませんので注意してください（図7.3参照）。

本機能を使用する場合は、DRAMデバイス特性をよくご確認の上、そのデバイスに適合する使い方をしてください。



(a) 接続例



(b) アドレスマップ

図7.7 2WE方式1MビットDRAMの接続例とアドレスマップ

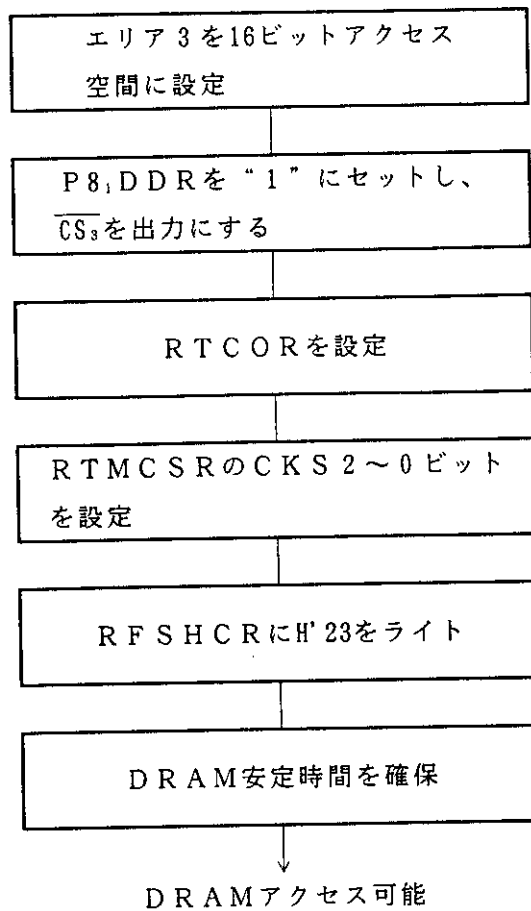
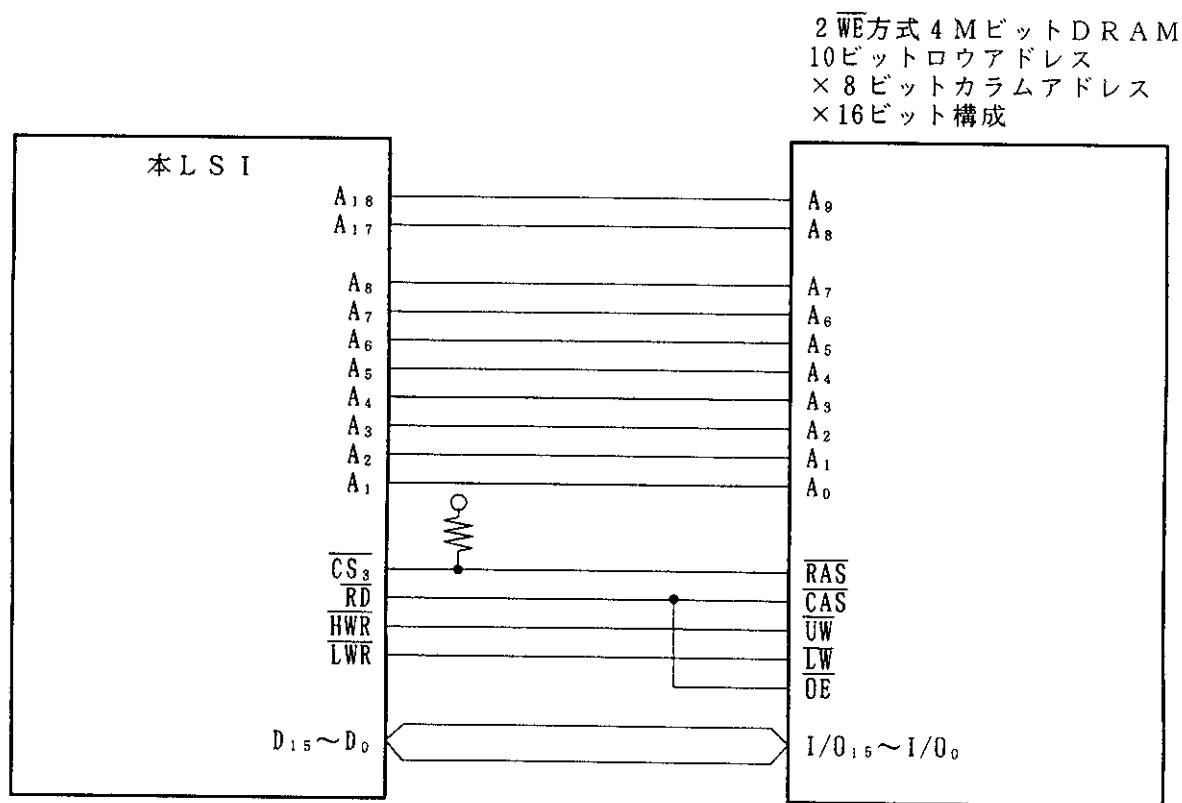


図7.8 2WE方式1MビットDRAMの設定順序(1Mバイトモード)

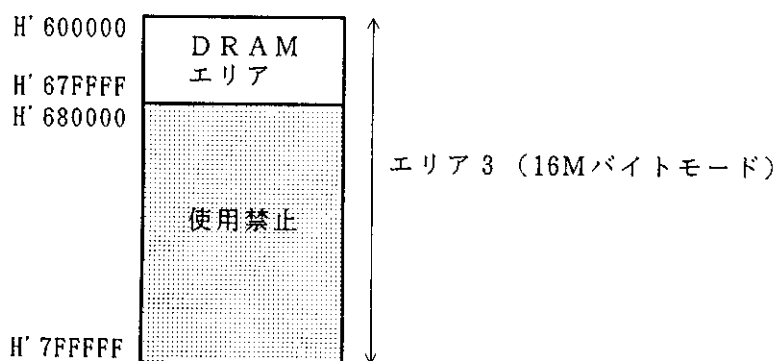
② 2WE方式4MビットDRAMの接続例(16Mバイトモード)

図7.9に、2WE方式4MビットDRAMを1個使用する場合の接続例とそのアドレスマップを示します。また図7.10にそのときのプログラム設定手順を示します。

本例では、10ビットロウアドレス×8ビットカラムアドレスのDRAMを使用して、H'600000～H'67FFFFがDRAMエリアに設定されています。



(a) 接続例



(b) アドレスマップ

図7.9 2WE方式4MビットDRAMの接続例とアドレスマップ



図 7.10 2WE方式4MビットDRAM (10ビットロウアドレス×8ビットコラムアドレスの場合) の設定順序 (16Mバイトモード)

③ 2CAS方式4MビットDRAMの使用例(16Mバイトモード)

図7.11に2CAS方式の4MビットDRAMを1個使用する場合の接続例とそのアドレスマップを示します。また、図7.12にそのときのプログラム設定順序を示します。

本例では、9ビットロウアドレス×9ビットカラムアドレスのDRAMを使用して、H'600000～H'67FFFFがDRAMエリアに設定されています。

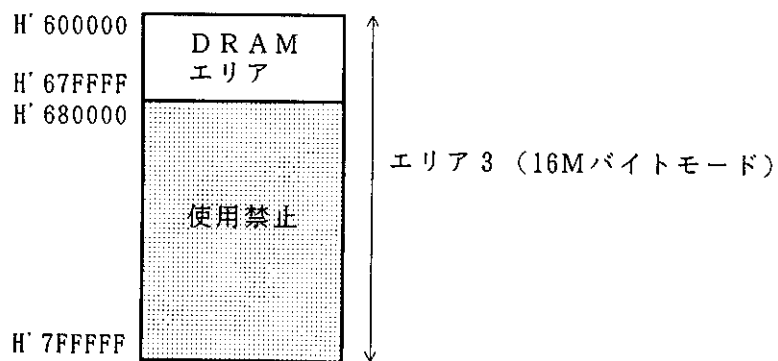
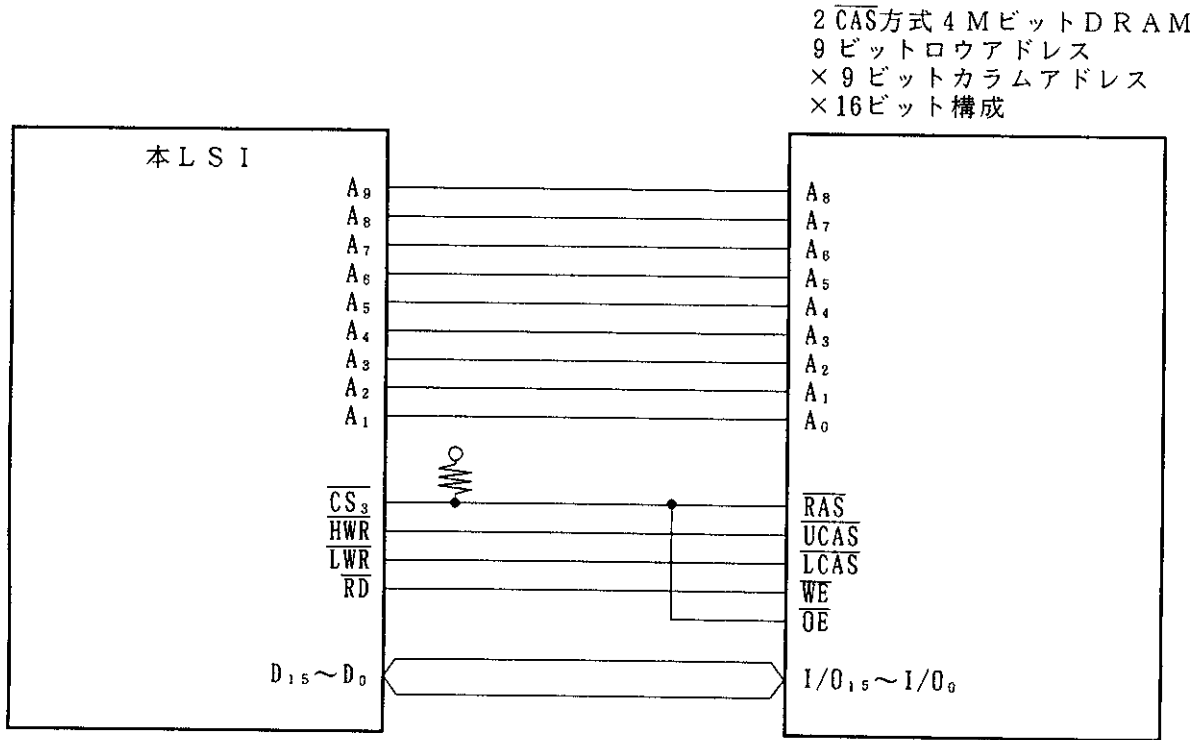


図7.11 2CAS方式4MビットDRAMの接続例とアドレスマップ

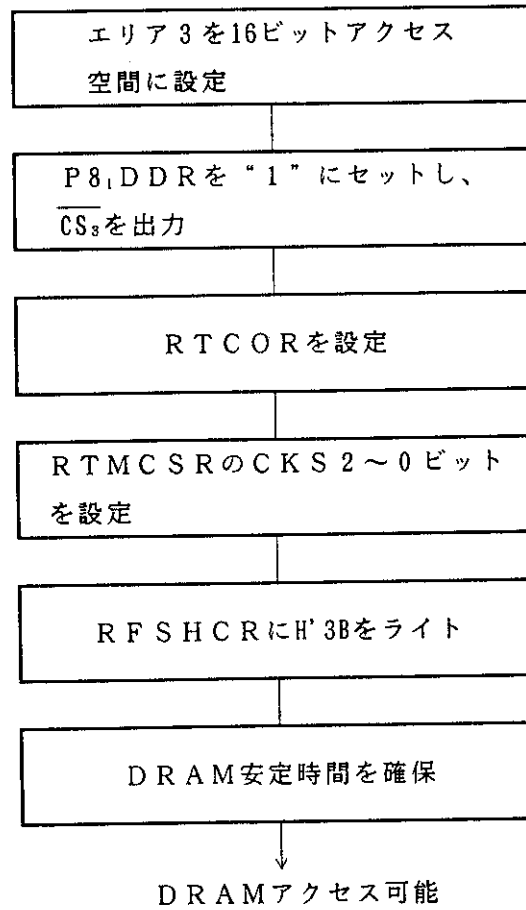
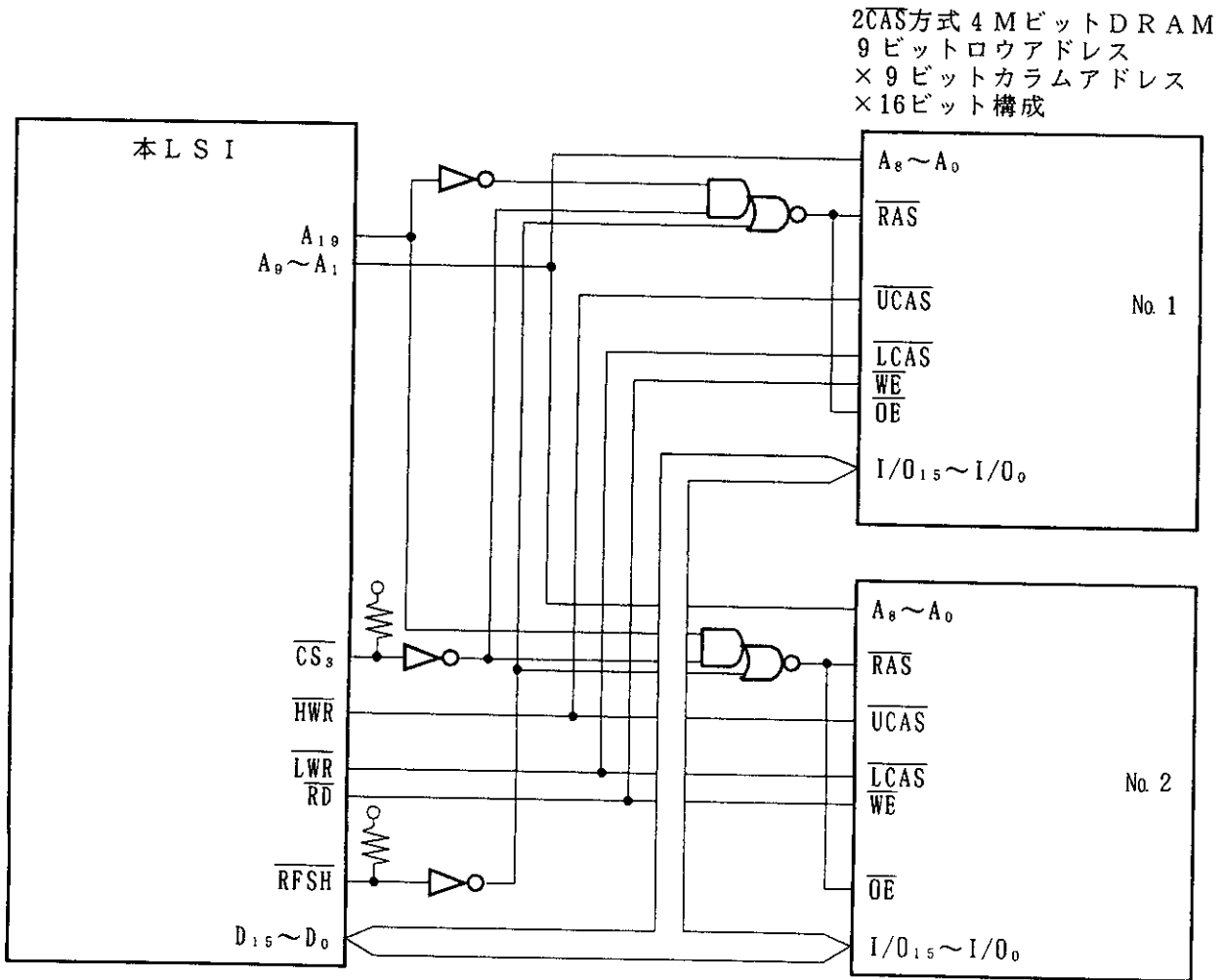


図 7.12 2 CAS方式 4 Mビット DRAM (9 ビットロウアドレス×9 ビットコラムアドレスの場合) の設定順序 (16Mバイトモード)

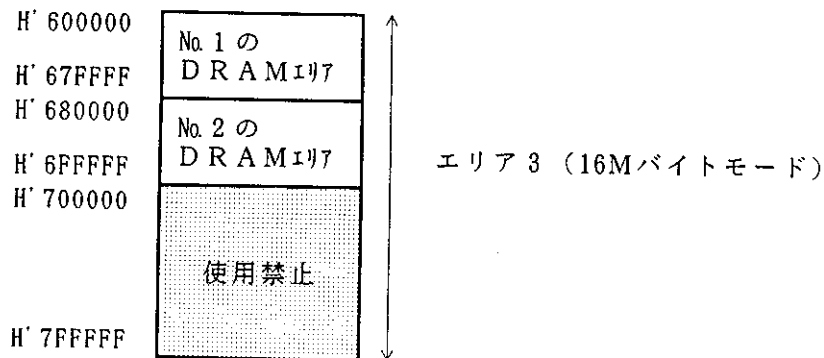
④ 複数チップの4 MビットDRAMの接続例 (16Mバイトモード)

図7.13に2CAS方式4 MビットDRAMを2個使用する場合の接続例とそのアドレスマップを示します。上位アドレスA₁₉、A₂₀をデコードすることにより、最大4個のDRAMをエリア3に接続できます。

また、図7.14にそのときのプログラム設定順序を示します。本例では、9ビットロウアドレス×9ビットカラムアドレスのタイプのものを使用しています。すべてのチップを同時にリフレッシュする必要があるため、RFSH端子を使用しなければなりません。



(a) 接続例



(b) アドレスマップ

図7.13 複数チップの2CAS方式4 MビットDRAMの接続例とアドレスマップ

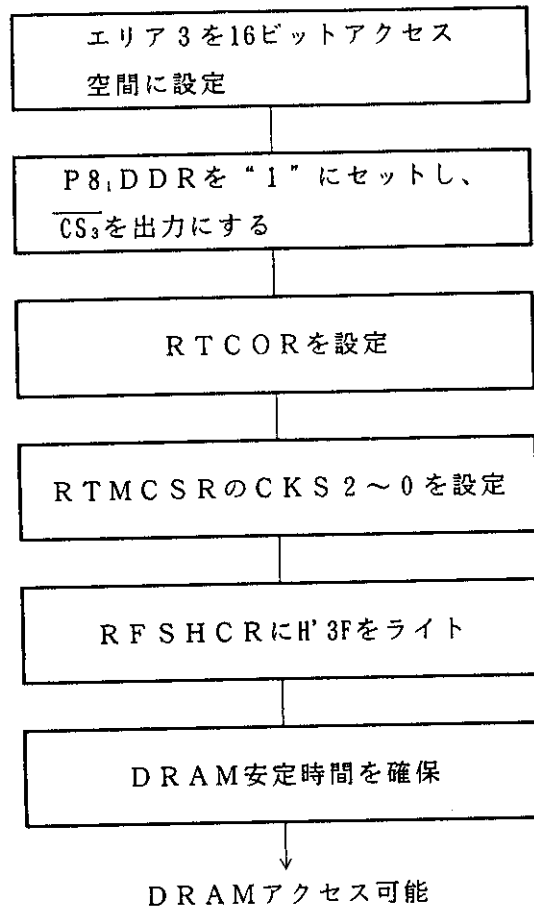


図 7.14 複数チップの 2CAS 方式 4M ビット DRAM (9 ビットロウアドレス × 9 ビットコラムアドレスの場合) の設定順序 (16M バイトモード)

7.3.3 P S R A Mリフレッシュ制御

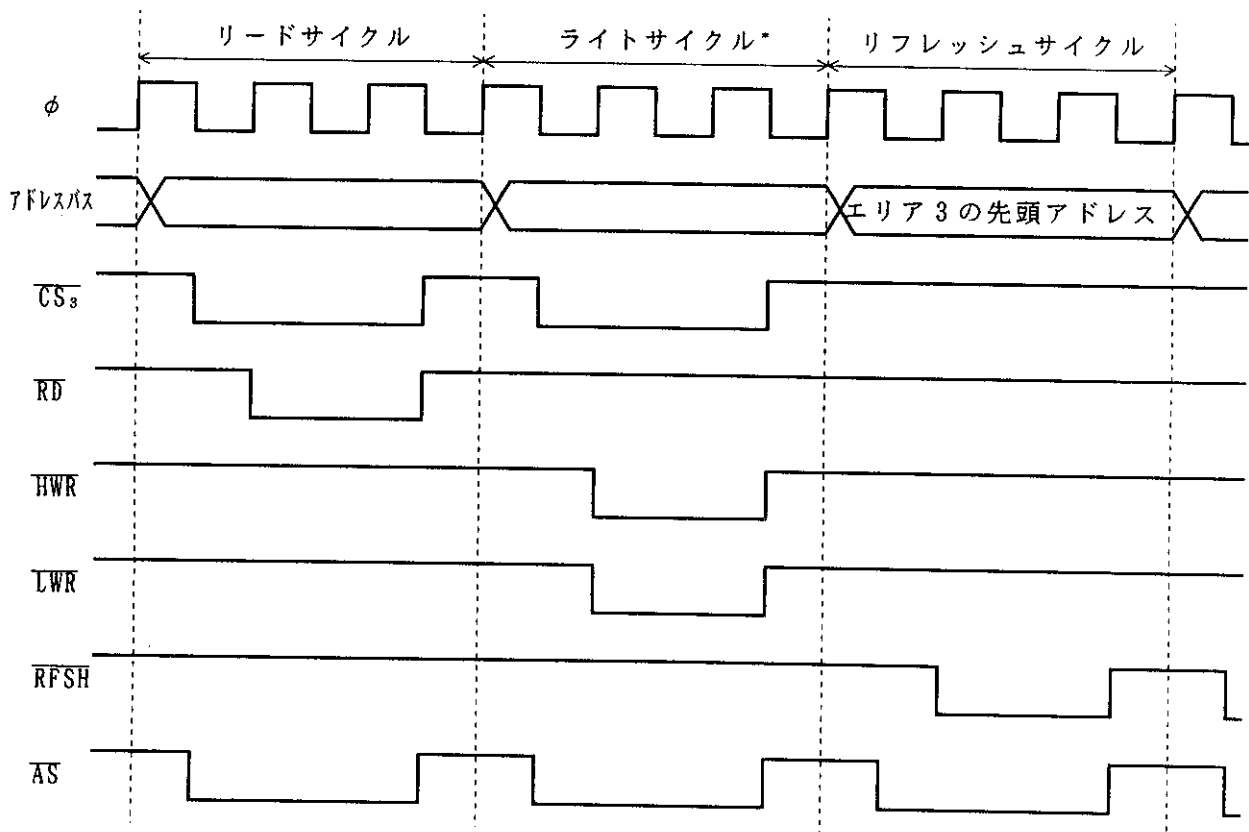
(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

DRAMインタフェースと同様に、RTCORとRTMCSRのCKS2～CKS0ビットで、リフレッシュ要求の周期を設定します。

P S R A Mのリード/ライトサイクルおよびリフレッシュサイクルに要するステート数は、D R A Mと同様です(表7.4)。また、状態遷移も図7.3に示すとおりです。

(2) P S R A M制御信号

P S R A Mに対するリードサイクル、ライトサイクル、およびリフレッシュサイクルを図7.15に示します。



【注】* 16ビットアクセス時

図7.15 P S R A M制御信号出力タイミング

(3) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

(高) 外部バスマスタ > リフレッシュコントローラ > DMAコントローラ > CPU (低)

詳細は、「6.3.7 バスアービタの動作」を参照してください。

(4) ウェイトステートの挿入

ASTCRのAST3を“1”にセットした場合、ウェイトステートコントローラ(WSC)によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

設定の詳細は、「6.3.5 ウェイトモード」を参照してください。

(5) セルフリフレッシュモード

PSRAMはセルフリフレッシュ機能をもつものがあります。

本LSIでは、RFSHCRのSRFMDビットを“1”にセットした後、ソフトウェアスタンバイモードに遷移すると、CS₃が“High”レベル出力、RFSHが“Low”レベル出力となり、PSRAMのセルフリフレッシュ機能を利用できます。ソフトウェアスタンバイモードが解除されると、RFSHは“High”レベル出力となります。

表7.8にソフトウェアスタンバイモード時の端子状態を、また図7.16に信号出力タイミングを示します。

表7.8 ソフトウェアスタンバイモード時の端子状態(2)
(PSRAM = “1”、DRAM = “0”)

信号	ソフトウェアスタンバイモード	
	SRFMD = “0”	SRFMD = “1” (セルフリフレッシュモード)
\overline{CS}_3	“High”	“High”
\overline{RD}	ハイインピーダンス	ハイインピーダンス
\overline{HWR}	ハイインピーダンス	ハイインピーダンス
\overline{LWR}	ハイインピーダンス	ハイインピーダンス
\overline{RFSH}	“High”	“Low”

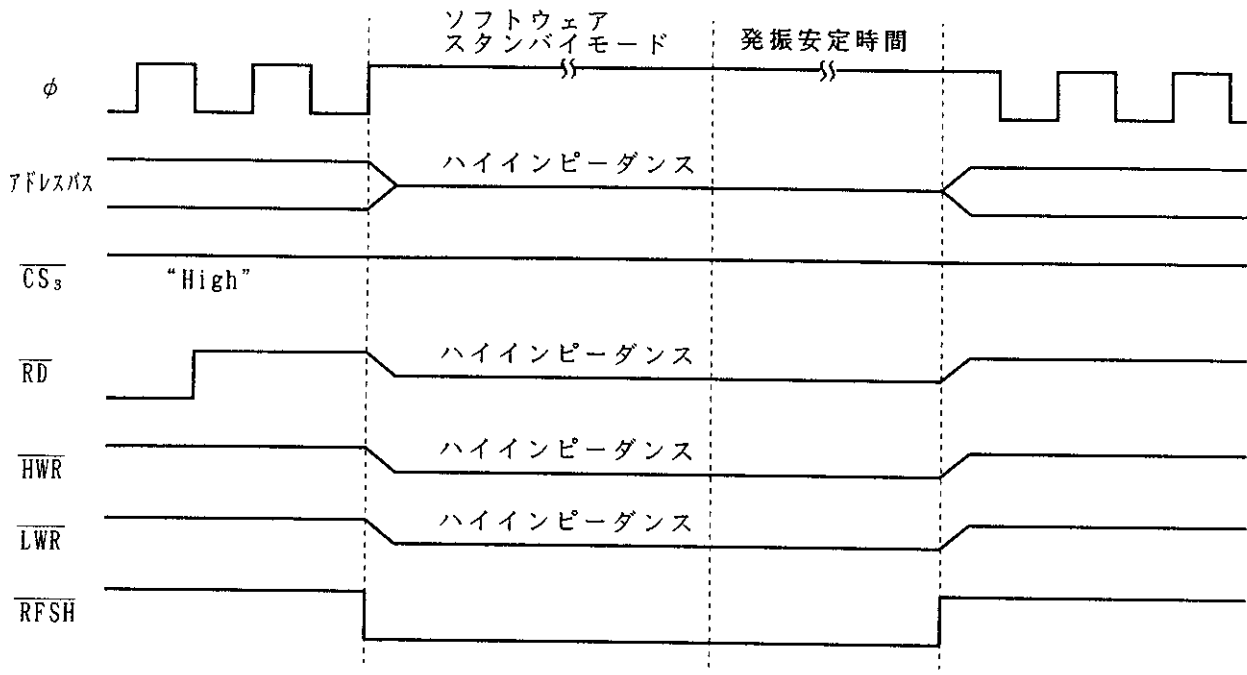


図 7.16 セルフリフレッシュモードの信号出力タイミング
(PSRAM = "1"、DRAM = "0")

(6) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNTはイニシャライズされますが、RFSHCR、RTMCSRのビット5～3、およびRTCORはソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(7) 使用例

PSRAMには、OE端子とRFSH端子が個別に設けられているものと、OE/RFSH端子として1つになっているものがあります。

図 7.17にOE/RFSH信号を発生する回路例を示します。デバイス特性をよくご確認の上、適合する回路を設計してください。

図 7.18にプログラム設定順序を示します。

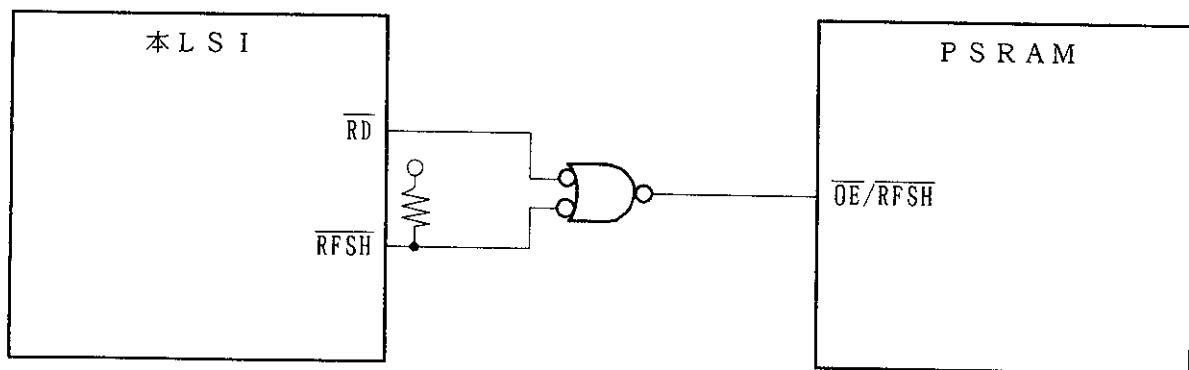


図 7.17 OE/RFSH信号の例

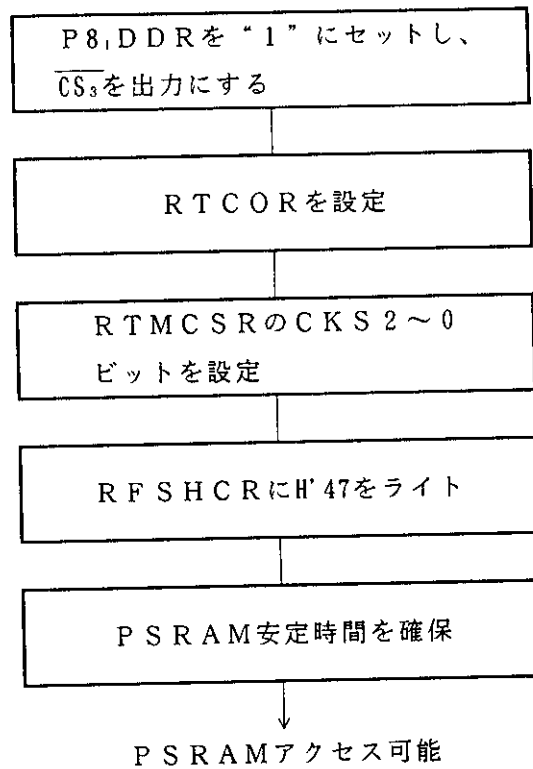


図 7.18 PSRAMのプログラム設定順序

7.3.4 インターバルタイマ

リフレッシュコントローラをインターバルタイマとして使用する場合、PSRAMEを“0”、かつDRAMEを“0”にクリアします。RTCORを設定後、RTMCSRのCKS 2~CKS 0ビットにより入力クロックを選択し、CMIEビットを“1”にセットします。

(1) コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTCSRのCMFフラグは、RTCORとRTCNTの値が一致したときに出力されるコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は一致した最後のステート（RTCNTが一致したカウント値を更新するタイミング）で発生します。

したがって、RTCNTとRTCORが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 7.19に示します。

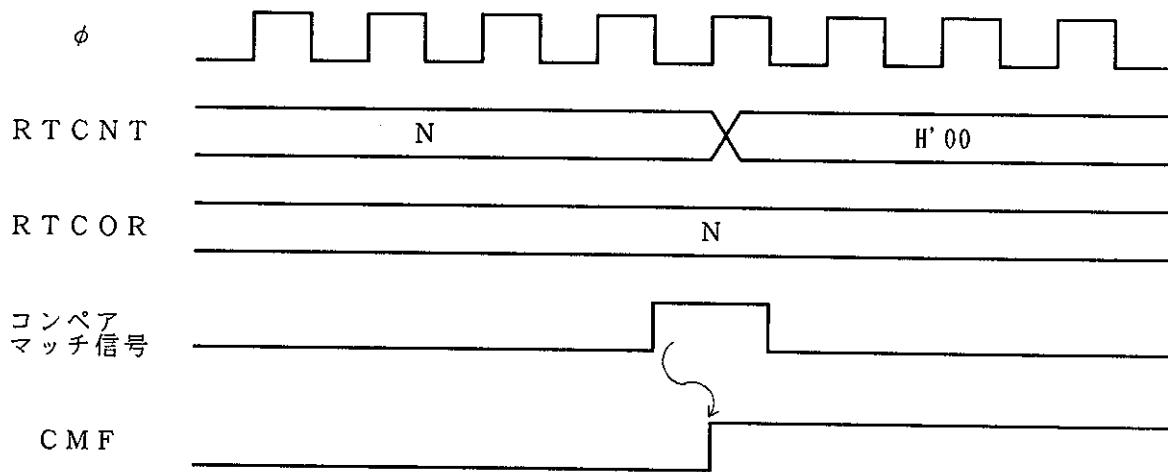


図 7.19 CMF フラグセットタイミング

(2) 低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNTとRTMCSRのビット7、6がイニシャライズされますが、RTMCSRのビット5～3、およびRTCORはソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3) RTCNTのライトとカウンタクリアの競合

RTCNTのライトサイクル中のT₃ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 7.20にこのタイミングを示します。

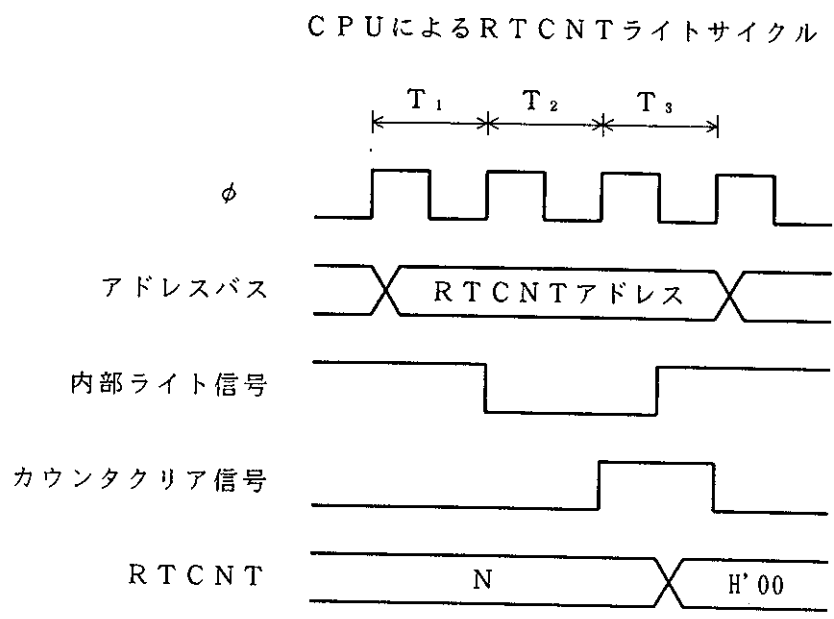


図 7.20 RTCNTのライトとクリアの競合

(4) RTCNTのライトとカウントアップの競合

RTCNTのライトサイクル中のT₃ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図7.21にこのタイミングを示します。

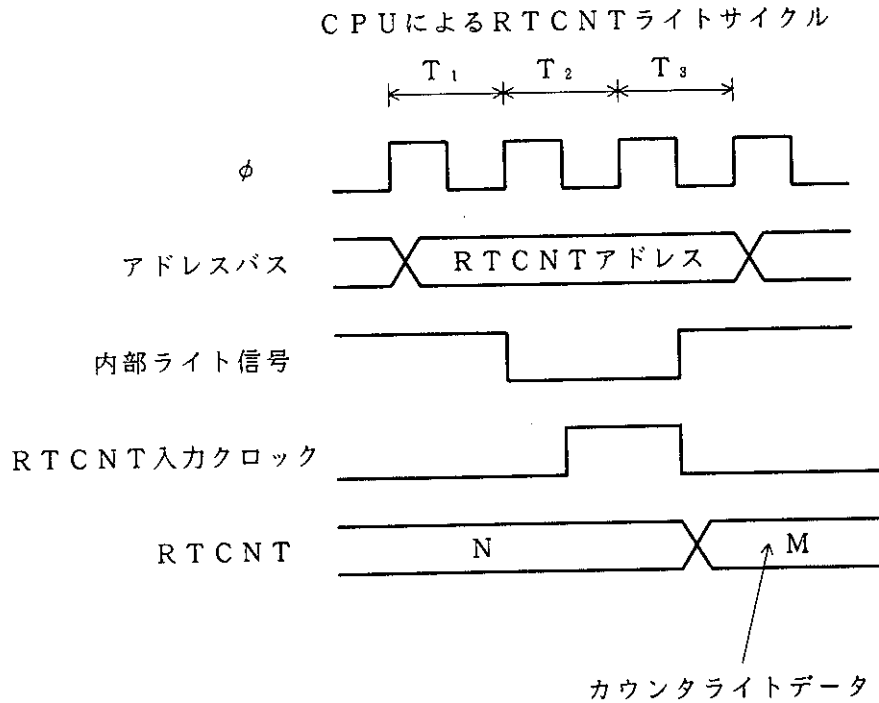


図7.21 RTCNTのライトとカウントアップの競合

(5) RTCORのライトとコンペアマッチの競合

RTCORのライトサイクル中のT₃ステートでコンペアマッチが発生しても、図7.22のようにRTCORのライトが優先され、コンペアマッチ信号は禁止されます。

CPUによるRTCORライトサイクル

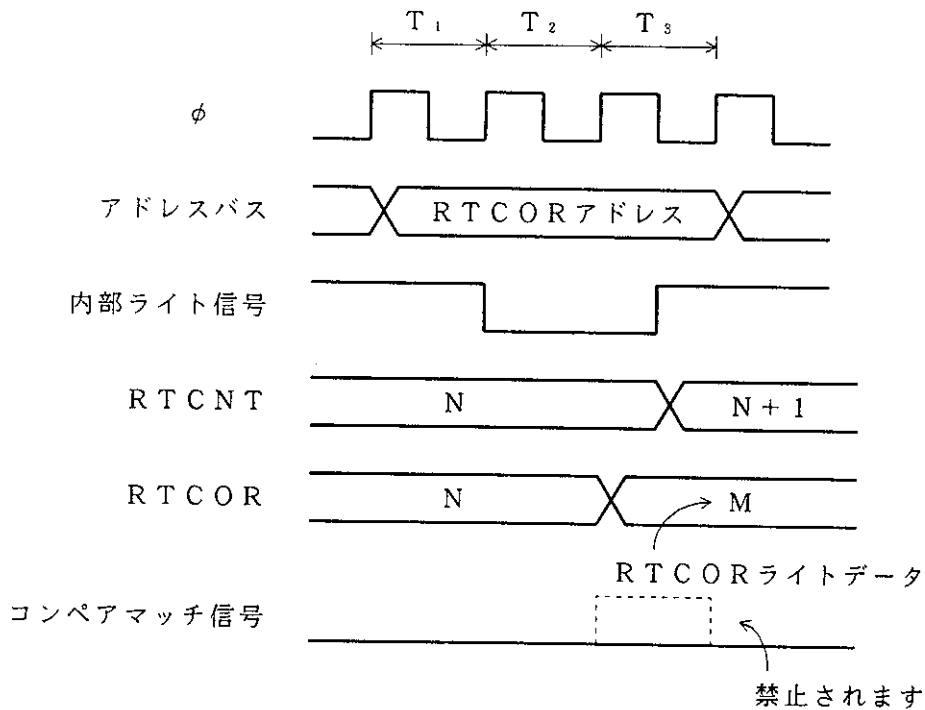


図 7.22 RTCORのライトとコンペアマッチの競合

(6) 内部クロックの切換えとRTCNTの動作

内部クロックを切換えるタイミングによっては、RTCNTがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS2～CKS0ビットの書換え）とRTCNT動作の関係を表7.9に示します。

内部クロックからRTCNTクロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため、表7.9のNo.3のように“High”→“Low”になるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてRTCNTクロックが発生し、RTCNTがカウントアップされてしまいます。

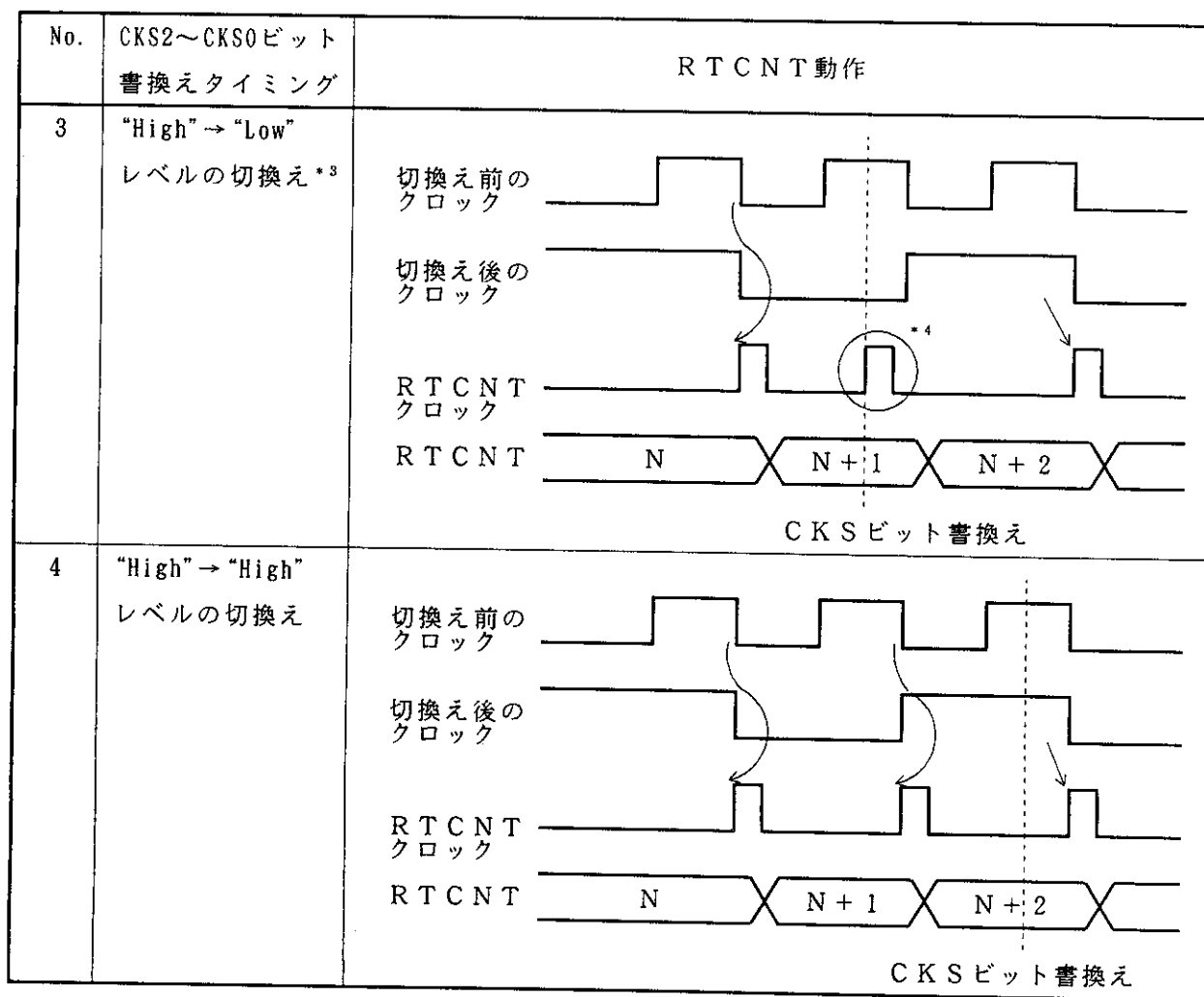
表 7.9 内部クロックの切換えとRTCNT動作(1)

No.	CKS2~CKS0ビット 書換えタイミング	RTCNT動作
1	"Low" → "Low" レベルの切換え*1	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>RTCNTクロック</p> <p>RTCNT</p> <p>N N+1</p> <p>CKSビット書換え</p>
2	"Low" → "High" レベルの切換え*2	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>RTCNTクロック</p> <p>RTCNT</p> <p>N N+1 N+2</p> <p>CKSビット書換え</p>

【注】*1 "Low"レベル→停止、および停止→"Low"レベルの場合を含みます。

*2 停止→"High"レベルの場合を含みます。

表 7. 9 内部クロックの切換えとRTCNT動作(2)



【注】*3 “High”レベル→停止の場合を含みます。

*4 切換えのタイミングを立下がりエッジとみなすために発生し、RTCNTはカウントアップしてしまいます。

7. 4 割込み要因

リフレッシュコントローラをインターバルタイマとして使用する場合、コンペアマッチ割込み (CMI) 要求が発生します。コンペアマッチ割込み要求はRTMCSRのCMIEビットで許可または禁止することができます。

7.5 使用上の注意

DRAMリフレッシュ機能、あるいはPSRAMリフレッシュ機能の使用に際して、以下の点に注意してください。

- (1) 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。
- (2) 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。図7.23にその場合のバスサイクルを示します。

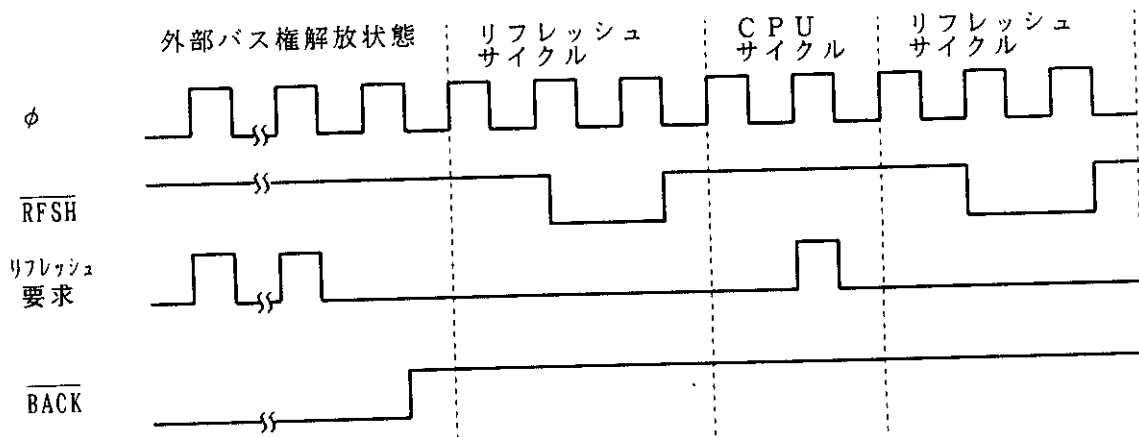


図7.23 バス解放状態時のリフレッシュサイクル

- (3) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。
- (4) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に1ステートバス解放状態が発生することがあります(図7.24参照)。

ソフトウェアスタンバイモードを使用するときは、SLEEP命令を実行する前に、BR CRのBRLEビットを“0”にクリアしてください。

また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これもBR CRのBRLEビットを“0”にクリアすることにより防止できます。

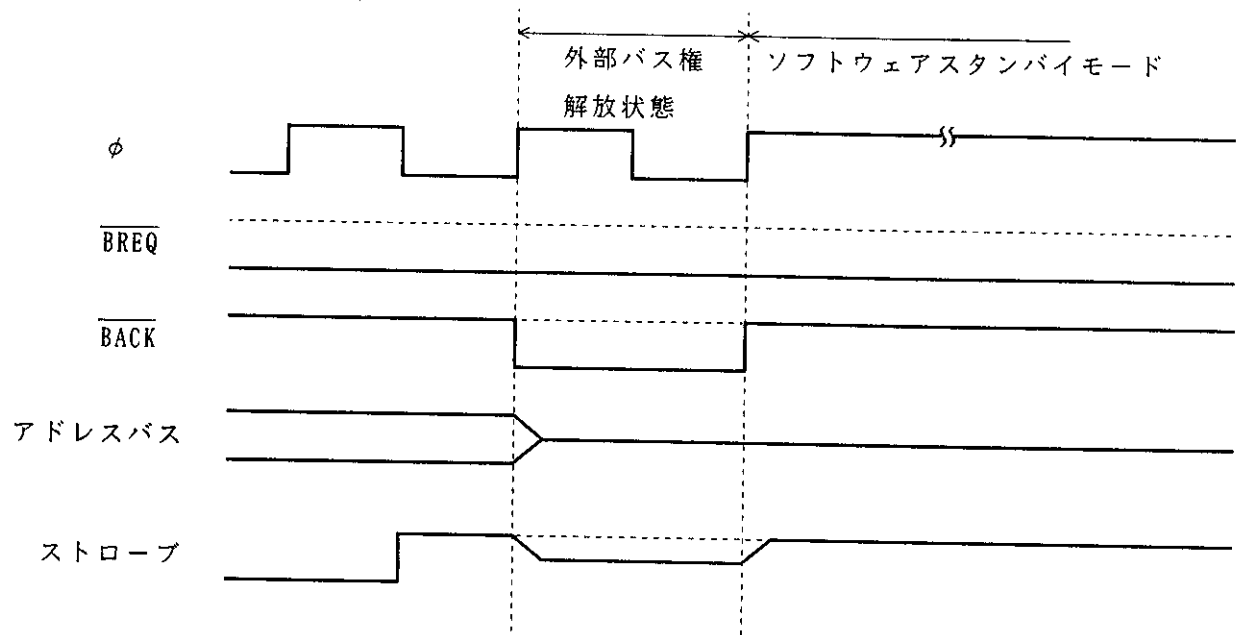


図 7.24 バス解放状態とソフトウェアスタンバイモードの競合

8. DMAコントローラ

第8章 目次

8.1	概要	197
8.1.1	特長	197
8.1.2	ブロック図	198
8.1.3	機能概要	199
8.1.4	端子構成	200
8.1.5	レジスタ構成	200
8.2	各レジスタの説明(1) (ショートアドレスモード)	203
8.2.1	メモリアドレスレジスタ (MAR)	204
8.2.2	I/Oアドレスレジスタ (IOAR)	205
8.2.3	転送カウントレジスタ (ETCR)	206
8.2.4	データトランスファコントロールレジスタ (DTCR)	207
8.3	各レジスタの説明(2) (フルアドレスモード)	211
8.3.1	メモリアドレスレジスタ (MAR)	211
8.3.2	I/Oアドレスレジスタ (IOAR)	212
8.3.3	転送カウントレジスタ (ETCR)	212
8.3.4	データトランスファコントロールレジスタ (DTCR)	214
8.4	動作説明	221
8.4.1	概要	221
8.4.2	I/Oモード	223
8.4.3	アイドルモード	226
8.4.4	リピートモード	229
8.4.5	ノーマルモード	233

8. 4. 6	ブロック転送モード	236
8. 4. 7	DMA Cの起動要因	241
8. 4. 8	DMA Cのバスサイクル	243
8. 4. 9	DMA C複数チャネルの動作	247
8. 4. 10	外部バス権要求、リフレッシュコントローラとDMA Cの関係	249
8. 4. 11	NMI割込みとDMA C	250
8. 4. 12	DMA C動作の強制終了	251
8. 4. 13	フルアドレスモードの解除	251
8. 4. 14	リセット、スタンバイモード、スリープモード時のDMA Cの状態	252
8. 5	割込み	253
8. 6	使用上の注意	255
8. 6. 1	ワードデータ転送時の注意	255
8. 6. 2	DMA CによるDMA C自体のアクセス	255
8. 6. 3	MARのロングワードアクセス	255
8. 6. 4	フルアドレスモード設定時の注意	255
8. 6. 5	内部割込みでDMA Cを起動する場合の注意	256
8. 6. 6	NMI割込みとブロック転送モード	257
8. 6. 7	MAR、IOARのアドレス指定	257
8. 6. 8	転送中断時のバスサイクル	258

8.1 概要

H8/3003は、DMAコントローラ（DMAC）を内蔵しています。DMACは最大8チャンネルのデータ転送を行うことができます。

8.1.1 特長

DMACには次の特長があります。

■ ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

- ・転送元、転送先アドレスの一方を24ビット、他方を8ビットで指定
- ・最大8チャンネルを使用可能
- ・I/Oモード/アイドルモード/リピートモードの選択が可能

(2) フルアドレスモード

- ・転送元、転送先アドレスを24ビットで指定
- ・最大4チャンネルを使用可能
- ・ノーマルモード/ブロック転送モードの選択が可能

■ 16Mバイトのアドレス空間を直接指定可能

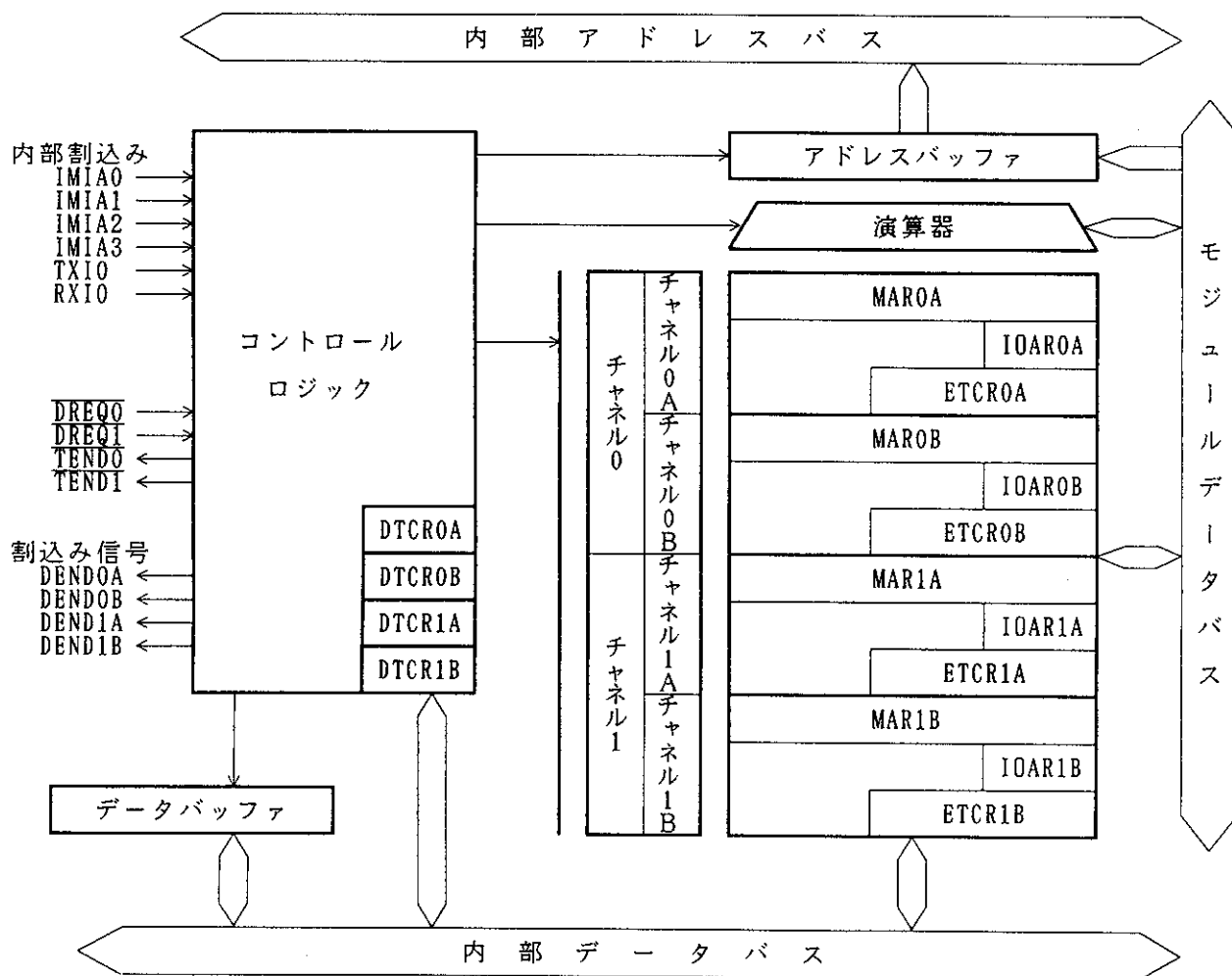
■ 転送単位をバイト/ワードに設定可能

■ 起動要因は、内部割込み、外部リクエスト、オートリクエスト（転送モードに依存）

- ・16ビットインテグレートドタイムユニット（ITU）のコンペアマッチ/インプットキャプチャ割込み×4
- ・シリアルコミュニケーションインタフェース（SCI）の送信データエンプティ割込み、受信データフル割込み
- ・外部リクエスト
- ・オートリクエスト

8.1.2 ブロック図

DMACのブロック図を図8.1に示します。DMACはそれぞれ4チャンネルのグループ0（チャンネル0A、0B、1A、1B）およびグループ1（チャンネル2A、2B、3A、3B）に分割されています。



《記号説明》

- DTCR : データトランスファコントロールレジスタ
- MAR : メモリアドレスレジスタ
- IOAR : I/Oアドレスレジスタ
- ETCR : 転送カウントレジスタ

図8.1 DMACのブロック図（4チャンネル分：グループ0）

8.1.3 機能概要

DMA Cの機能概要を表8.1に示します。

表8.1 DMA Cの機能概要

転送モード	転送要因	アドレス/ビット長		
		ソース	デスティネーション	
シヨトアドレスモード	(1) I/Oモード <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 メモリアドレスを1または2増減 転送回数は1～65536 	<ul style="list-style-type: none"> ITUチャンネル0～3のコンパッチ/インパッチキャプチャ割込み SCIの送信データエンプティ割込み 	24	8
	(2) アイドルモード <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 メモリアドレスは固定 転送回数は1～65536 	<ul style="list-style-type: none"> SCIの受信データフル割込み 	8	24
	(3) リピートモード <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 メモリアドレスを1または2増減 指定回数(1～255)転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> 外部リクエスト 	24	8
フルアドレスモード	(1) ノーマルモード ① オートリクエスト <ul style="list-style-type: none"> 転送要求を内部保持 指定回数(1～65536)継続して転送 バーストモード/サイクルスチールモードを選択可能 ② 外部リクエスト <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 転送回数は1～65536 	<ul style="list-style-type: none"> オートリクエスト 外部リクエスト 	24	24
	(2) ブロック転送モード <ul style="list-style-type: none"> 1回の転送要求で指定したブロックサイズの転送 転送回数は1～65536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズ1～255バイトまたはワード 	<ul style="list-style-type: none"> ITUチャンネル0～3のコンパッチ/インパッチキャプチャ割込み 外部リクエスト 	24	24

8.1.4 端子構成

DMA Cの端子構成を表8.2に示します。

表8.2 端子構成

グループ	チャンネル	名 称	略 称	入出力	機 能
0	0	DMA要求0	$\overline{\text{DREQ}}_0$	入力	DMA Cチャンネル0の外部リクエスト
		DMA終了0	$\overline{\text{TEND}}_0$	出力	DMA Cチャンネル0の転送終了
	1	DMA要求1	$\overline{\text{DREQ}}_1$	入力	DMA Cチャンネル1の外部リクエスト
		DMA終了1	$\overline{\text{TEND}}_1$	出力	DMA Cチャンネル1の転送終了
1	2	DMA要求2	$\overline{\text{DREQ}}_2$	入力	DMA Cチャンネル2の外部リクエスト
		DMA終了2	$\overline{\text{TEND}}_2$	出力	DMA Cチャンネル2の転送終了
	3	DMA要求3	$\overline{\text{DREQ}}_3$	入力	DMA Cチャンネル3の外部リクエスト
		DMA終了3	$\overline{\text{TEND}}_3$	出力	DMA Cチャンネル3の転送終了

【注】 ショートアドレスモードでは、チャンネルAに対する外部リクエストは行えません。

8.1.5 レジスタ構成

DMA Cのレジスタ構成を表8.3に示します。

表 8.3 レジスタ構成(1)

グループ	チャンネル	アドレス*	名 称	略 称	R/W	初期値	
0	0	H'FF20	メモリアドレスレジスタ0AR	MAR0AR	R/W	不定	
		H'FF21	メモリアドレスレジスタ0AE	MAR0AE	R/W	不定	
		H'FF22	メモリアドレスレジスタ0AH	MAR0AH	R/W	不定	
		H'FF23	メモリアドレスレジスタ0AL	MAR0AL	R/W	不定	
		H'FF26	I/Oアドレスレジスタ0A	IOAR0A	R/W	不定	
		H'FF24	転送カウントレジスタ0AH	ETCR0AH	R/W	不定	
		H'FF25	転送カウントレジスタ0AL	ETCR0AL	R/W	不定	
		H'FF27	データトランスファ コントロールレジスタ0A	DTCR0A	R/W	H'00	
		H'FF28	メモリアドレスレジスタ0BR	MAR0BR	R/W	不定	
		H'FF29	メモリアドレスレジスタ0BE	MAR0BE	R/W	不定	
		H'FF2A	メモリアドレスレジスタ0BH	MAR0BH	R/W	不定	
		H'FF2B	メモリアドレスレジスタ0BL	MAR0BL	R/W	不定	
		H'FF2E	I/Oアドレスレジスタ0B	IOAR0B	R/W	不定	
		H'FF2C	転送カウントレジスタ0BH	ETCR0BH	R/W	不定	
		H'FF2D	転送カウントレジスタ0BL	ETCR0BL	R/W	不定	
		H'FF2F	データトランスファ コントロールレジスタ0B	DTCR0B	R/W	H'00	
	1	1	H'FF30	メモリアドレスレジスタ1AR	MAR1AR	R/W	不定
			H'FF31	メモリアドレスレジスタ1AE	MAR1AE	R/W	不定
			H'FF32	メモリアドレスレジスタ1AH	MAR1AH	R/W	不定
			H'FF33	メモリアドレスレジスタ1AL	MAR1AL	R/W	不定
			H'FF36	I/Oアドレスレジスタ1A	IOAR1A	R/W	不定
			H'FF34	転送カウントレジスタ1AH	ETCR1AH	R/W	不定
			H'FF35	転送カウントレジスタ1AL	ETCR1AL	R/W	不定
			H'FF37	データトランスファ コントロールレジスタ1A	DTCR1A	R/W	H'00
			H'FF38	メモリアドレスレジスタ1BR	MAR1BR	R/W	不定
			H'FF39	メモリアドレスレジスタ1BE	MAR1BE	R/W	不定
			H'FF3A	メモリアドレスレジスタ1BH	MAR1BH	R/W	不定
			H'FF3B	メモリアドレスレジスタ1BL	MAR1BL	R/W	不定
			H'FF3E	I/Oアドレスレジスタ1B	IOAR1B	R/W	不定
			H'FF3C	転送カウントレジスタ1BH	ETCR1BH	R/W	不定
H'FF3D	転送カウントレジスタ1BL	ETCR1BL	R/W	不定			
H'FF3F	データトランスファ コントロールレジスタ1B	DTCR1B	R/W	H'00			

【注】* アドレスの下位16ビットを示しています。

表 8.3 レジスタ構成(2)

グループ	チャンネル	アドレス*	名 称	略 称	R/W	初期値
1	2	H' FF40	メモリアドレスレジスタ 2 AR	MAR 2 AR	R/W	不定
		H' FF41	メモリアドレスレジスタ 2 AE	MAR 2 AE	R/W	不定
		H' FF42	メモリアドレスレジスタ 2 AH	MAR 2 AH	R/W	不定
		H' FF43	メモリアドレスレジスタ 2 AL	MAR 2 AL	R/W	不定
		H' FF46	I/Oアドレスレジスタ 2 A	IOAR 2 A	R/W	不定
		H' FF44	転送カウントレジスタ 2 AH	ETCR 2 AH	R/W	不定
		H' FF45	転送カウントレジスタ 2 AL	ETCR 2 AL	R/W	不定
		H' FF47	データトランスファ コントロールレジスタ 2 A	DTCR 2 A	R/W	H' 00
		H' FF48	メモリアドレスレジスタ 2 BR	MAR 2 BR	R/W	不定
		H' FF49	メモリアドレスレジスタ 2 BE	MAR 2 BE	R/W	不定
		H' FF4A	メモリアドレスレジスタ 2 BH	MAR 2 BH	R/W	不定
		H' FF4B	メモリアドレスレジスタ 2 BL	MAR 2 BL	R/W	不定
		H' FF4E	I/Oアドレスレジスタ 2 B	IOAR 2 B	R/W	不定
		H' FF4C	転送カウントレジスタ 2 BH	ETCR 2 BH	R/W	不定
		H' FF4D	転送カウントレジスタ 2 BL	ETCR 2 BL	R/W	不定
		H' FF4F	データトランスファ コントロールレジスタ 2 B	DTCR 2 B	R/W	H' 00
	3	H' FF50	メモリアドレスレジスタ 3 AR	MAR 3 AR	R/W	不定
		H' FF51	メモリアドレスレジスタ 3 AE	MAR 3 AE	R/W	不定
		H' FF52	メモリアドレスレジスタ 3 AH	MAR 3 AH	R/W	不定
		H' FF53	メモリアドレスレジスタ 3 AL	MAR 3 AL	R/W	不定
		H' FF56	I/Oアドレスレジスタ 3 A	IOAR 3 A	R/W	不定
		H' FF54	転送カウントレジスタ 3 AH	ETCR 3 AH	R/W	不定
		H' FF55	転送カウントレジスタ 3 AL	ETCR 3 AL	R/W	不定
		H' FF57	データトランスファ コントロールレジスタ 3 A	DTCR 3 A	R/W	H' 00
		H' FF58	メモリアドレスレジスタ 3 BR	MAR 3 BR	R/W	不定
		H' FF59	メモリアドレスレジスタ 3 BE	MAR 3 BE	R/W	不定
		H' FF5A	メモリアドレスレジスタ 3 BH	MAR 3 BH	R/W	不定
		H' FF5B	メモリアドレスレジスタ 3 BL	MAR 3 BL	R/W	不定
H' FF5E	I/Oアドレスレジスタ 3 B	IOAR 3 B	R/W	不定		
H' FF5C	転送カウントレジスタ 3 BH	ETCR 3 BH	R/W	不定		
H' FF5D	転送カウントレジスタ 3 BL	ETCR 3 BL	R/W	不定		
H' FF5F	データトランスファ コントロールレジスタ 3 B	DTCR 3 B	R/W	H' 00		

【注】* アドレスの下位16ビットを示しています。

8.2 各レジスタの説明(1) (ショートアドレスモード)

ショートアドレスモード転送は、チャンネルA、B独立に行うことができます。

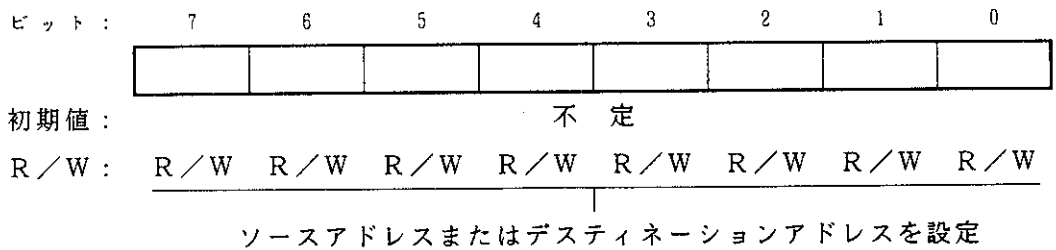
表8.4に示すようにDTCRAのDTS2A、DTS1Aビットにより各チャンネルのショートアドレスモード転送を指定します。

表8.4 ショートアドレスモード、フルアドレスモードの設定

チャンネル	ビット2	ビット1	説明
	DTS2A	DTS1A	
0	1	1	DMACチャンネル0は、1チャンネルのフルアドレスモード転送
	上記以外		DMACチャンネル0A、チャンネル0Bは、各々独立動作で2チャンネルのショートアドレスモード転送
1	1	1	DMACチャンネル1は、1チャンネルのフルアドレスモード転送
	上記以外		DMACチャンネル1A、チャンネル1Bは、各々独立動作で2チャンネルのショートアドレスモード転送
2	1	1	DMACチャンネル2は、1チャンネルのフルアドレスモード転送
	上記以外		DMACチャンネル2A、チャンネル2Bは、各々独立動作で2チャンネルのショートアドレスモード転送
3	1	1	DMACチャンネル3は、1チャンネルのフルアドレスモード転送
	上記以外		DMACチャンネル3A、チャンネル3Bは、各々独立動作で2チャンネルのショートアドレスモード転送

8.2.2 I/Oアドレスレジスタ (IOAR)

IOARは8ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOARはアドレスの下位8ビットを指定し、上位16ビットはすべて“1”(H'FFFF)となります。



IOARがソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因がSCIの受信完了割り込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

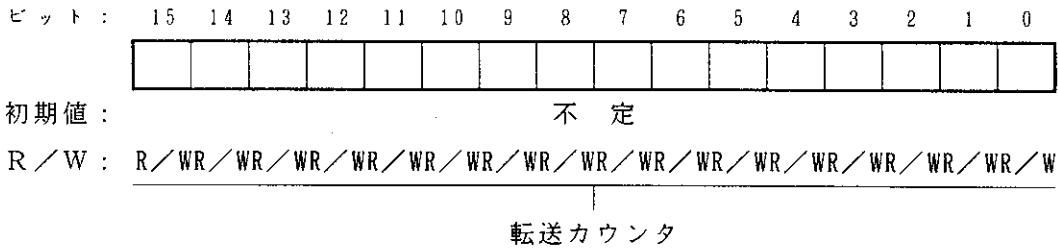
IOARは転送によってインクリメント/デクリメントされず、固定されます。

IOARは、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.3 転送カウントレジスタ (ETCR)

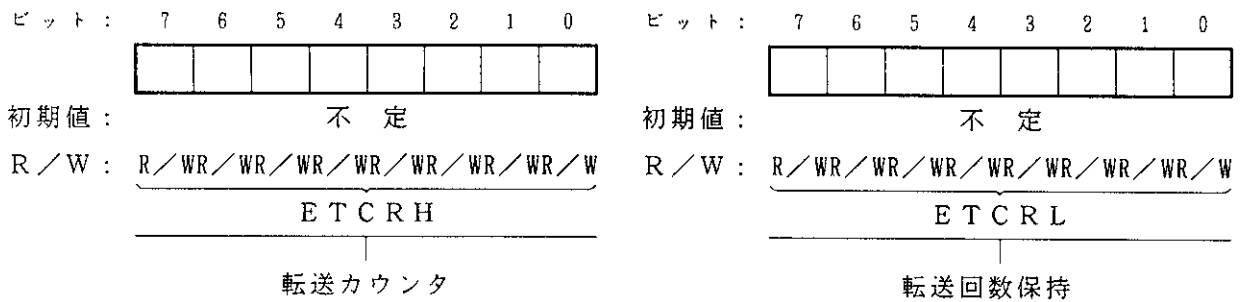
ETCRは16ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/Oモードおよびアイドルモードと、リピートモードとでは機能が異なります。

(1) I/Oモードまたはアイドルモード



I/Oモードとアイドルモードでは、ETCRは16ビットの転送カウンタとして機能します。1回の転送を行うたびに、1だけデクリメントされカウンタ値がH'0000になると転送を終了します。

(2) リピートモード

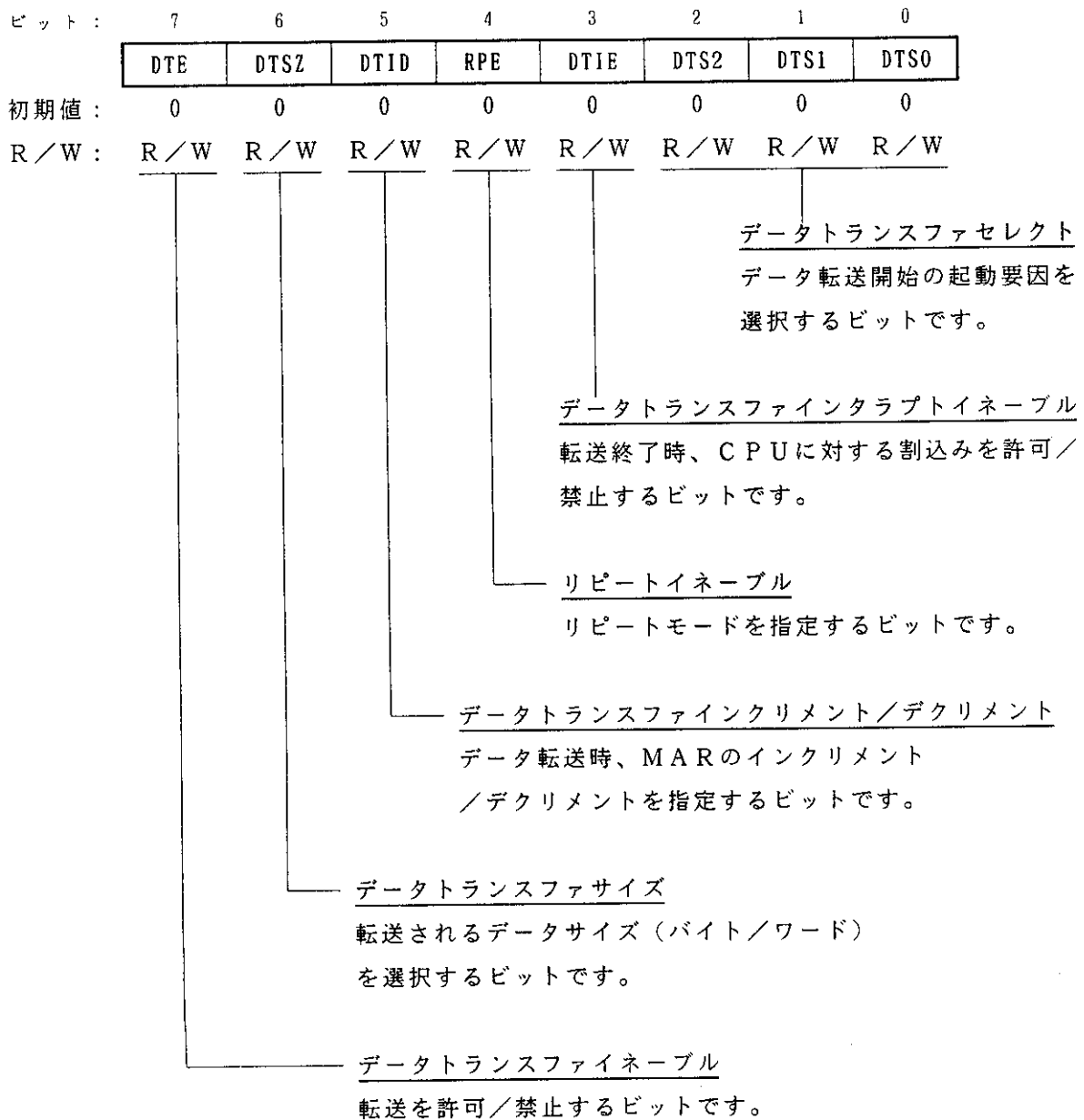


リピートモードでは、ETCRHは8ビットの転送カウンタとして機能し、ETCRLは転送回数を保持します。ETCRHは1回の転送を行うたびに1だけデクリメントされ、H'00になるとETCRLの内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCRは、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.4 データトランスファコントロールレジスタ (DTCR)

DTCRは8ビットのリード/ライト可能なレジスタで、DMACの各チャンネルの動作を制御します。



DTCRはリセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：データトランスファイネーブル（DTE）

当該チャンネルのデータ転送を許可／禁止します。DTEビットを“1”にセットすると、そのチャンネルは転送要求待ち状態となり、DTS2～DTS0ビットで指定された起動要因によりデータ転送が行われます。本ビットが“0”のとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTEビットは、DTE＝“0”の状態をリードした後、“1”をライトしたとき“1”にセットされます。

ビット7	説明
DTE	
0	データ転送禁止。I/Oモードとアイドルモードでは、指定された回数の転送を終了したとき、“0”にクリア (初期値)
1	データ転送許可

DTE＝“1”の状態、本ビットが“0”にクリアされるとCPUに割込みを要求します。

ビット6：データトランスファサイズ（DTSZ）

1回に転送されるデータサイズを選択します。

ビット6	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット5：データトランスファインクリメント／デクリメント（DTID）

I/Oモードまたはリピートモードの場合、データ転送後のMARのインクリメント／デクリメントを選択します。

ビット5	説明
DTID	
0	データ転送後MARをインクリメント (1) DTSZ＝“0”のとき、転送後MARを+1 (2) DTSZ＝“1”のとき、転送後MARを+2
1	データ転送後MARをデクリメント (1) DTSZ＝“0”のとき、転送後MARを-1 (2) DTSZ＝“1”のとき、転送後MARを-2

アイドルモードの場合、MARはインクリメントもデクリメントもされません。

ビット4：リピートイネーブル（RPE）

データ転送をI/Oモード、アイドルモード、またはリピートモードで行うかを選択します。

ビット4	ビット3	説 明
RPE	DTIE	
0	0	I/Oモードで転送 (初期値)
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

I/Oモード、アイドルモード、およびリピートモードの動作については、「8.4.2 I/Oモード」、「8.4.3 アイドルモード」、および「8.4.4 リピートモード」を参照してください。

ビット3：データトランスファインタラプトイネーブル（DTIE）

DTEビットが“0”にクリアされたとき、DTEビットによる割込み（DEND）要求を許可／禁止します。

ビット3	説 明
DTIE	
0	DTEによる割込み（DEND）要求を禁止 (初期値)
1	DTEによる割込み（DEND）要求を許可

ビット2～0：データトランスファセレクト（DTS2～DTS0）

データ転送の起動要因を選択します。チャンネルAとチャンネルBでは一部指定内容が異なります。

（チャンネルA）

ビット2	ビット1	ビット0	説 明
DTS2A	DTS1A	DTS0A	
0	0	0	ITUチャンネル0のコンペアマッチ/インプットキャプチャA割込みで起動 (初期値)
		1	ITUチャンネル1のコンペアマッチ/インプットキャプチャA割込みで起動
	1	0	ITUチャンネル2のコンペアマッチ/インプットキャプチャA割込みで起動
		1	ITUチャンネル3のコンペアマッチ/インプットキャプチャA割込みで起動
1	0	0	SCIチャンネル0、1の送信データエンプティ割込みで起動*2
		1	SCIチャンネル0、1の受信データフル割込みで起動*2
	1	—	*1 フルアドレスモード転送を指定

（チャンネルB）

ビット2	ビット1	ビット0	説 明
DTS2B	DTS1B	DTS0B	
0	0	0	ITUチャンネル0のコンペアマッチ/インプットキャプチャA割込みで起動 (初期値)
		1	ITUチャンネル1のコンペアマッチ/インプットキャプチャA割込みで起動
	1	0	ITUチャンネル2のコンペアマッチ/インプットキャプチャA割込みで起動
		1	ITUチャンネル3のコンペアマッチ/インプットキャプチャA割込みで起動
1	0	0	SCIチャンネル0、1の送信データエンプティ割込みで起動*2
		1	SCIチャンネル0、1の受信データフル割込みで起動*2
	1	0	DREQ端子の立下がりエッジ入力で起動
		1	DREQ端子の"Low"レベル入力で起動

【注】*1 「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

*2 チャンネル0、1はSCIチャンネル0の送信データエンプティ/受信データフル、チャンネル2、3はSCIチャンネル1のチャンネルの送信データエンプティ/受信データフル割込みが選択されます。

内部割込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMAC複数チャンネルの動作」を参照してください。

転送許可の状態（DTE = “1”）では、DMACの起動要因に選択された割込みは、CPUに対して割込みを要求しません。

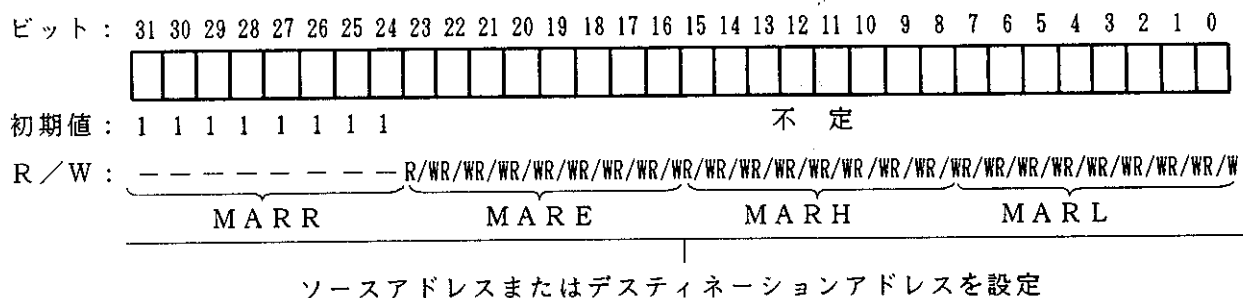
8.3 各レジスタの説明(2)（フルアドレスモード）

フルアドレスモード転送は、チャンネルAとチャンネルBを組み合わせて行います。フルアドレスモード転送の設定については、表8.4を参照してください。

8.3.1 メモリアドレスレジスタ（MAR）

MARは32ビットのリード/ライト可能なレジスタで、MARAは転送のソースアドレスレジスタとして、MARBはデスティネーションアドレスレジスタとして機能します。

MARは4本の8ビットレジスタMARR、MARE、MARH、およびMARLにより構成されています。MARRはすべてリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。



MARは1回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

MARは、リセット、またはスタンバイモード時にイニシャライズされません。

8.3.2 I/Oアドレスレジスタ (IOAR)

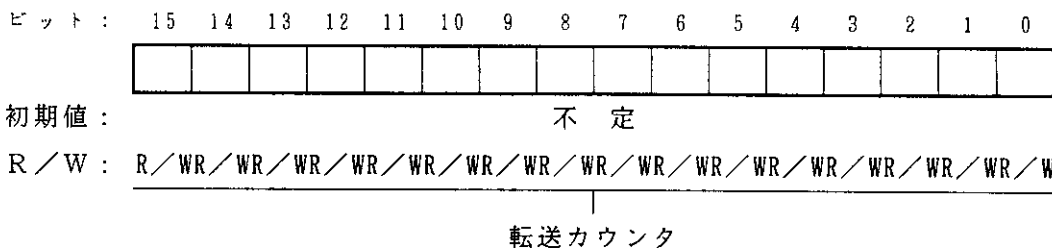
IOARはフルアドレスモード転送では使用しません。

8.3.3 転送カウントレジスタ (ETCR)

ETCRは16ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

(1) ノーマルモード

① ETCRA



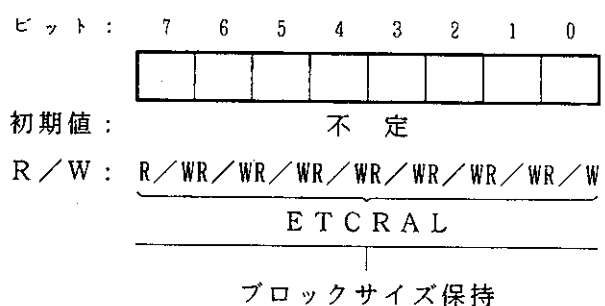
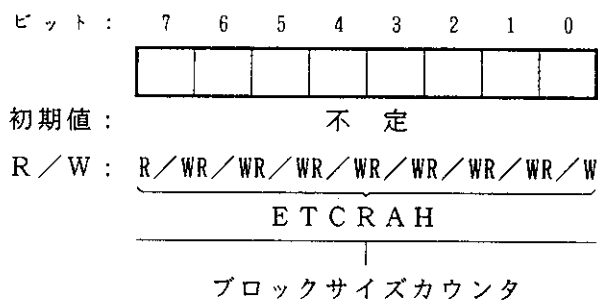
② ETCRB

ETCRBはノーマルモードでは使用しません。

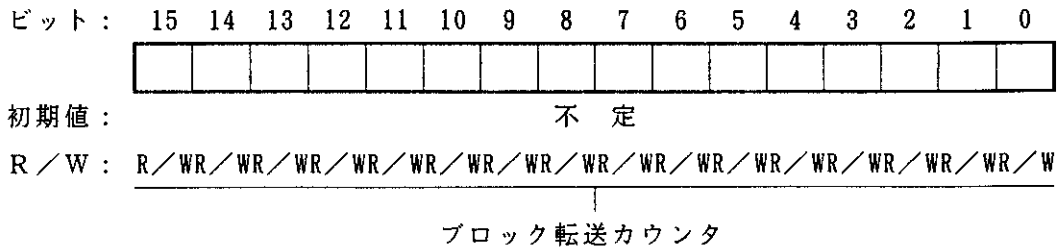
ノーマルモードでは、ETCRAは16ビットの転送カウンタとして機能します。1回の転送を行うたびに1だけデクリメントされ、カウンタ値がH'0000になると転送を終了します。このとき、ETCRBは使用されません。

(2) ブロック転送モード

① ETCRA



② ETCRB



ブロック転送モードでは、ETCRAHは8ビットのブロックサイズカウンタとして機能し、ETCRAHはブロックサイズを保持します。ETCRAHは、1バイトまたは1ワードの転送を行うたびに1だけデクリメントされ、H'00になるとETCRAHの内容が転送されます。したがって、ETCRAHとETCRAHにブロックサイズを初期設定することにより、任意のバイト数またはワード数のブロック転送を繰り返し行うことができます。

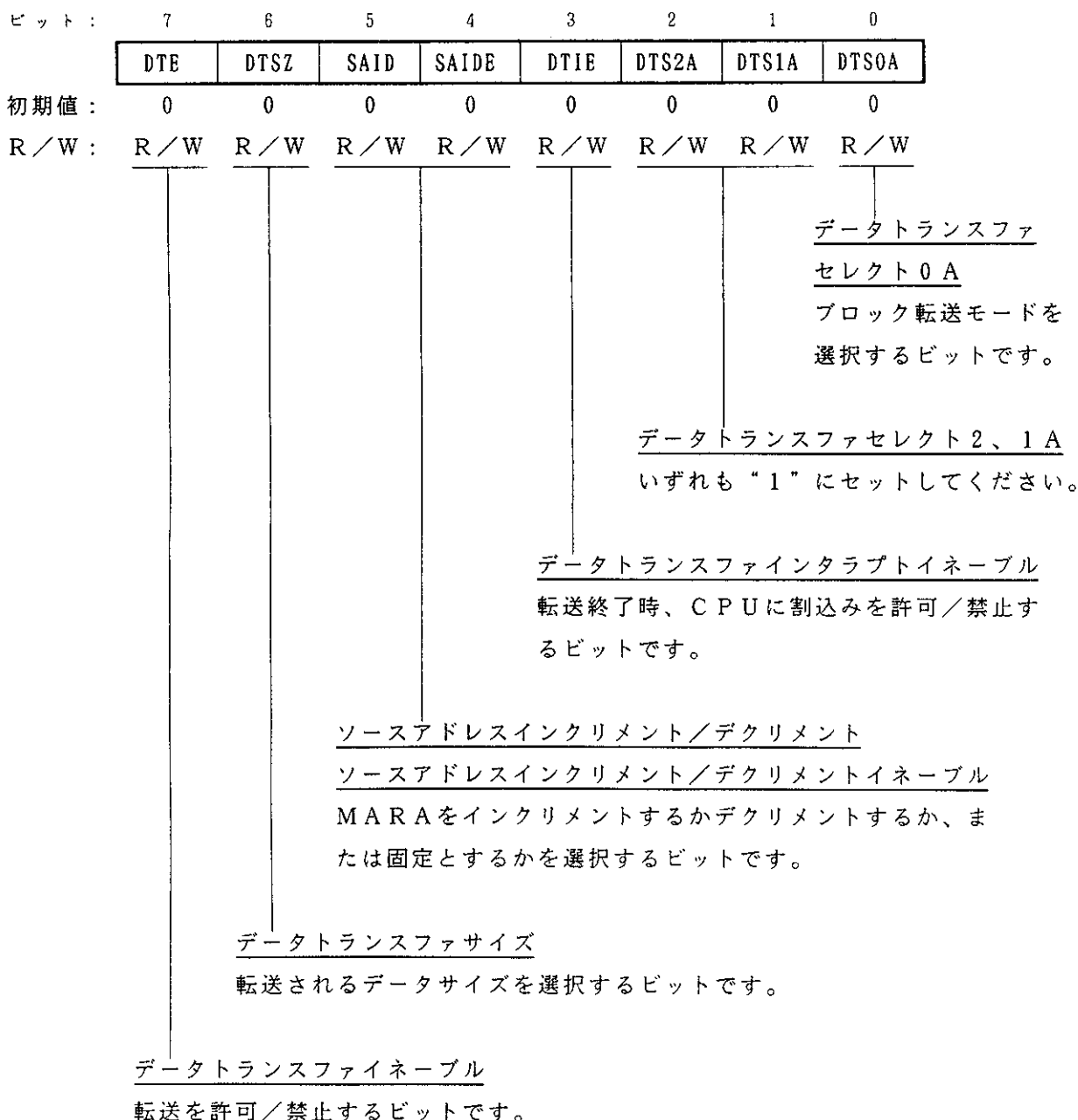
また、ブロック転送モードではETCRBは16ビットのブロック転送カウンタとして機能します。一回のブロック転送を行うたびに1だけデクリメントされ、カウンタ値がH'0000になると転送を終了します。

ETCRは、リセット、またはスタンバイモード時にはイニシャライズされません。

8.3.4 データトランスファコントロールレジスタ (DTCR)

DTCRは8ビットのリード/ライト可能なレジスタで、DMACの各チャンネルの動作を制御します。DTCRAのDTS2A、DTS1Aビットをいずれも“1”にセットすると当該チャンネルはフルアドレスモードとなります。フルアドレスモードではDTCRAとDTCRBでは機能が異なります。

(1) DTCRA



DTCRAはリセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：データトランスファイネーブル（DTE）

DTCRBのDTMEビットとともに当該チャンネルのデータ転送の許可／禁止を制御します。DTMEビットとDTEビットをいずれも“1”にセットすると、そのチャンネルは転送許可状態となります。オートリクエストを指定したときはただちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了するとDTEビットは自動的に“0”にクリアされます。本ビットが“0”にクリアされているとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTEビットは“0”の状態をリードした後、“1”をライトしたとき“1”にセットされます。

ビット7	説明
DTE	
0	データ転送禁止（指定された回数の転送を終了したとき“0”にクリア） (初期値)
1	データ転送許可

DTIE = “1” の状態で、本ビットが“0”にクリアされるとCPUに割り込みを要求します。

ビット6：データトランスファサイズ（DTSZ）

1回に転送されるデータサイズを選択します。

ビット6	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

ビット5：ソースアドレスインクリメント／デクリメント（SAID）

ビット4：ソースアドレスインクリメント／デクリメントイネーブル（SAIDE）

データ転送時、ソースアドレスレジスタMARAをインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
SAID	SAIDE	
0	0	MARA固定 (初期値)
	1	データ転送後MARAをインクリメント (1) DTSZ = “0” のとき、データ転送後MARAを+1 (2) DTSZ = “1” のとき、データ転送後MARAを+2
1	0	MARA固定
	1	データ転送後MARAをデクリメント (1) DTSZ = “0” のとき、データ転送後MARAを-1 (2) DTSZ = “1” のとき、データ転送後MARAを-2

ビット3：データトランスファインタラプトイネーブル (DTIE)

DTIEビットが“0”にクリアされたとき、DTEによる割込み (DEND) 要求を許可/禁止します。

ビット3 DTIE	説明
0	DTEによる割込み (DEND) 要求を禁止 (初期値)
1	DTEによる割込み (DEND) 要求を許可

ビット2、1：データトランスファセレクト2、1A (DTS2A、DTS1A)

DTS2A、DTS1Aビットをいずれも“1”にセットしたとき、当該チャンネルはフルアドレスモードとなります。

ビット0：データトランスファセレクト0A (DTS0A)

DMACをノーマルモードで動作させるか、ブロック転送モードで動作させるかを選択します。

ビット0 DTS0A	説明
0	ノーマルモードで動作 (初期値)
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「8.4.5 ノーマルモード」、「8.4.6 ブロック転送モード」を参照してください。

(2) DTCRB

ビット:	7	6	5	4	3	2	1	0
	DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト2~0B
データ転送の起動要因を設定するビットです。

トランスファモードセレクト
ブロック転送モード時、ソース側とデスティネーション側のどちらをブロックエリアとするかを選択するビットです。

デスティネーションアドレスインクリメント/デクリメント
デスティネーションアドレスインクリメント/
デクリメントイネーブル
データ転送時MARBをインクリメントするかデクリメントするか、または固定とするかを選択するビットです。

リザーブビット

データトランスファマスタイネーブル
DTEビットとともに転送の許可/禁止を制御するビットです。
割込みが発生すると“0”にクリアされます。

DTCRBは、リセット、またはスタンバイモード時に、H'00にイニシャライズされます。

ビット7：データトランスファマスタイネーブル（DTME）

DTCRAのDTEビットとともに当該チャネルのデータ転送の許可／禁止を制御します。DTMEビットとDTEビットをいずれも“1”にセットすると、そのチャネルは転送許可状態となります。NMI割込みが発生したときDTMEビットは“0”にクリアされ、転送を中断してCPUにバス権を移します。その後、本ビットを“1”にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「8.6.6 NMI割込みとブロック転送モード」を参照してください。

DTMEビットは、DTME = “0”の状態をリードした後、“1”をライトすると“1”にセットされます。

ビット7	説明
DTME	
0	データ転送禁止。NMI割込みが発生したとき“0”にクリア（初期値）
1	データ転送許可

ビット6：リザーブビット

リザーブビットです。リード／ライト可能です。

ビット5：デスティネーションアドレスインクリメント／デクリメント（DAID）

ビット4：デスティネーションアドレスインクリメント／デクリメントイネーブル（DAIDE）

データ転送時、MARBをインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
DAID	DAIDE	
0	0	MARB固定（初期値）
	1	データ転送後MARBをインクリメント (1) DTSZ = “0” のとき、データ転送後MARBを+1 (2) DTSZ = “1” のとき、データ転送後MARBを+2
1	0	MARB固定
	1	データ転送後MARBをデクリメント (1) DTSZ = “0” のとき、データ転送後MARBを-1 (2) DTSZ = “1” のとき、データ転送後MARBを-2

ビット3：トランスファモードセレクト（TMS）

ブロック転送モード時、ソース側とデスティネーション側のどちらをブロックエリアとして転送するかを選択します。

ビット3	説明
TMS	
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送 (初期値)
1	ブロック転送モード時、ソース側をブロックエリアとして転送

ビット2～0：データトランスファセレクト2～0B（DTS2B～DTS0B）

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

(ノーマルモード)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	オートリクエスト（バーストモード） (初期値)
		1	使用できません。
	1	0	オートリクエスト（サイクルスチールモード）
		1	使用できません。
1	0	0	使用できません。
		1	使用できません。
	1	0	$\overline{\text{DREQ}}$ 端子の立下がりエッジ入力で起動
		1	$\overline{\text{DREQ}}$ 端子の“Low”レベル入力で起動

(ブロック転送モード)

ビット2	ビット1	ビット0	説 明
DTS2B	DTS1B	DTS0B	
0	0	0	I T Uチャンネル0のコンペアマッチ/インプットキャプチャA割込みで起動 (初期値)
		1	I T Uチャンネル1のコンペアマッチ/インプットキャプチャA割込みで起動
	1	0	I T Uチャンネル2のコンペアマッチ/インプットキャプチャA割込みで起動
		1	I T Uチャンネル3のコンペアマッチ/インプットキャプチャA割込みで起動
1	0	0	使用できません。
		1	使用できません。
	1	0	$\overline{\text{DREQ}}$ 端子の立下がりエッジ入力で起動
		1	使用できません。

内部割込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「8.4.9 DMAC複数チャンネルの動作」を参照してください。

8.4 動作説明

8.4.1 概要

DMA Cのモード一覧を表8.5に示します。

表8.5 モード一覧

転送モード		起動要因	備考
ショート アドレス モード	(1) I/Oモード	ITUチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み SCIの送信データエンプティ/受信データフル割込み 外部リクエスト	<ul style="list-style-type: none"> 最大8チャンネルを独立に動作可能 外部リクエストはチャンネルBのみ可能
	(2) アイドルモード		
	(3) リピートモード		
フル アドレス モード	(4) ノーマルモード	オートリクエスト 外部リクエスト	<ul style="list-style-type: none"> チャンネルA、Bを組み合わせ最大4チャンネルを動作可能 オートリクエストではバーストモード転送/サイクルスチールモード転送の選択可能
	(5) ブロック転送モード	ITUチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

(1) I/Oモード

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割込みを要求することができます。アドレスの一方は24ビット、他方は8ビットで指定します。転送方向は起動要因により自動的に決定されます。

(2) アイドルモード

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割込みを要求することができます。アドレスの一方は24ビット、他方は8ビットで指定します。アドレスは固定になっています。転送方向は起動要因により自動的に決定されます。

(3) リピートモード

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPUに対して割込みは要求しません。アドレスの一方は24ビット、他方は8ビットで指定します。転送方向は起動要因により自動的に決定されます。

(4) ノーマルモード

① オートリクエスト

レジスタ設定のみでDMACを起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了するとCPUに割込みを要求することができます。アドレスはいずれも24ビットで指定します。

・サイクルスチールモード 1バイトまたは1ワード転送ごとにバスを一旦他のバスマスタに解放します。

・バーストモード 他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

② 外部リクエスト

一回の転送要求に対して1バイトまたは1ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとCPUに割込みを要求することができます。アドレスはいずれも24ビットで指定します。

(5) ブロック転送モード

一回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。一回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了するとCPUに割込みを要求することができます。アドレスはいずれも24ビットで指定します。

8.4.2 I/Oモード

I/Oモードは各チャンネル独立に設定可能です。

I/Oモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIの受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

I/Oモード時のレジスタの機能を表8.6に示します。

表 8.6 I/Oモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI受信データフル割込みによる起動	その他の起動		
23 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> MAR </div>	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント
23 7 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> "1"固定 IOAR </div>	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
15 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> ETCR </div>	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'0000になると転送終了

《記号説明》

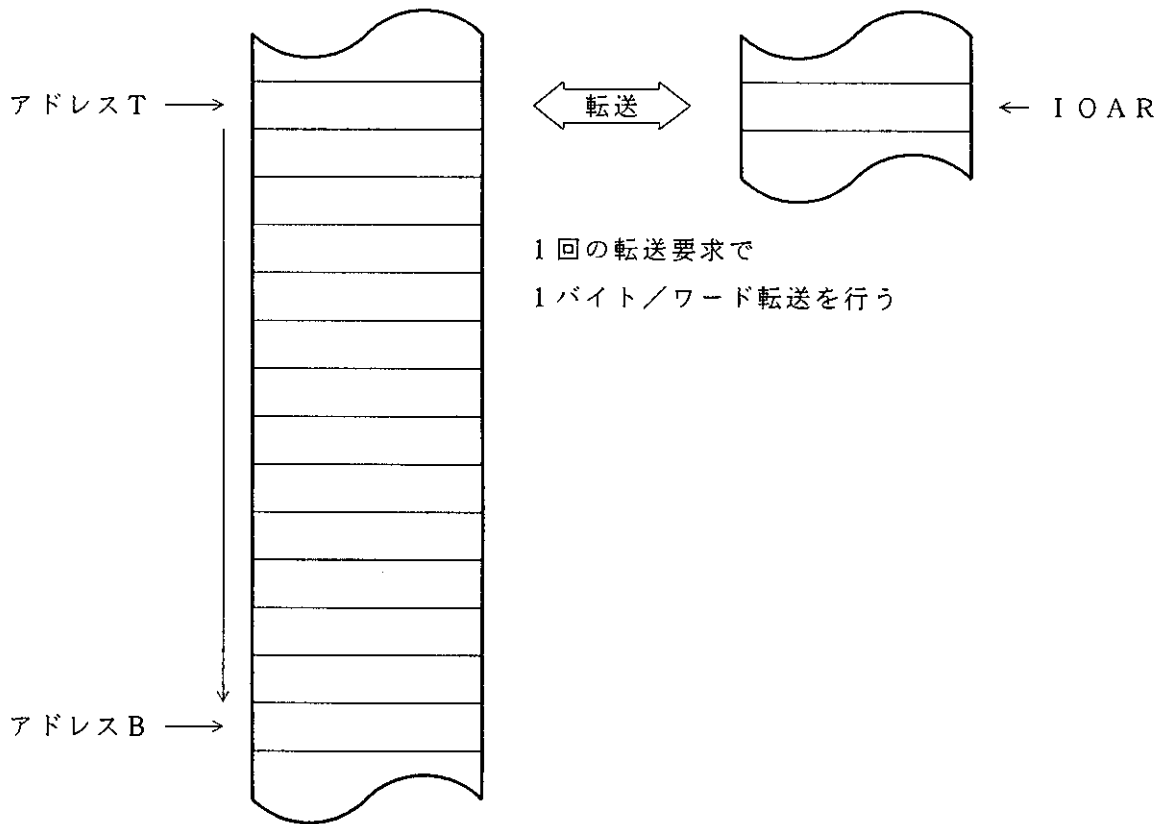
MAR : メモリアドレスレジスタ

IOAR : I/Oアドレスレジスタ

ETCR : 転送カウンタレジスタ

転送元および転送先アドレスは、MARとIOARによって指定します。MARには転送元または転送先の先頭アドレスを24ビットで指定します。MARは1回のバイト転送またはワード転送のたびにインクリメント/デクリメントされます。IOARはアドレス下位8ビットを指定し、上位16ビットは"1"となります。IOARはインクリメントもデクリメントもされません。

図8.2にI/Oモードの動作を示します。



《記号説明》

L = MARの初期設定値

N = ETCRの初期設定値

アドレス T = L

アドレス B = $L + (-1)^{DTID} \cdot (2^{DTSZ} \cdot N - 1)$

図8.2 I/Oモードの動作

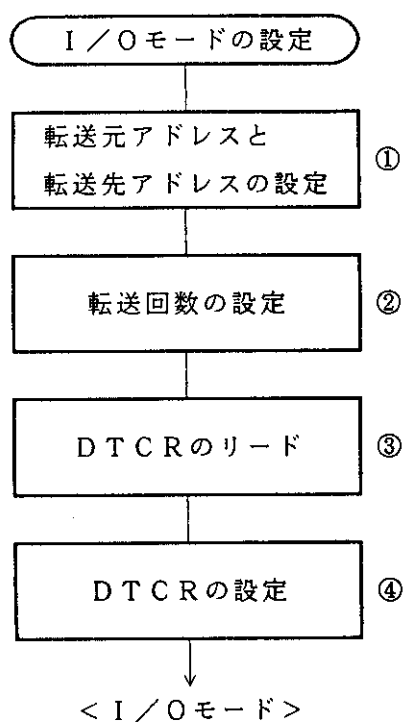
転送回数はE T C Rによって16ビットで指定します。E T C Rは一回の転送を行うたびに1だけデクリメントされ、H'0000となったときにD T Eビットをクリアして転送を終了します。このとき、D T I Eビットが“1”にセットされているとC P Uに割込みを要求します。

なお、転送回数の最大値はE T C RにH'0000を設定したときで、65536となります。

転送要求（起動要因）には、I T Uチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み、S C Iの送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（D T C R）」を参照してください。

I/Oモードの設定手順例を図8.3に示します。



- ① 転送元アドレスと転送先アドレスをMARとI O A Rに設定してください。転送方向は起動要因により自動的に決定されます。
- ② 転送回数をE T C Rに設定してください。
- ③ D T C RのD T E = “0”の状態をリードしてください。
- ④ D T C Rの各ビットを設定してください。
 - ・D T S 2～D T S 0ビットでD M A C起動要因を選択してください。
 - ・D T I Eビットにより、転送終了時のC P Uに対する割込みの許可/禁止を設定してください。
 - ・R P Eビットを“0”にクリアしてI/Oモードに設定してください。
 - ・D T I Dビットにより、MARをインクリメントするかデクリメントするかを設定してください。
 - ・D T S Zビットにより、転送データサイズを設定してください。
 - ・D T Eビットを“1”にセットして、転送許可状態としてください。

図8.3 I/Oモードの設定手順例

8.4.3 アイドルモード

アイドルモードは各チャンネル独立に設定可能です。

アイドルモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIの受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を表8.7に示します。

表8.7 アイドルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI受信データフル割込みによる起動	その他の起動		
23 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> MAR </div>	デスティネーション アドレスレジスタ	ソースアドレス レジスタ	転送先または 転送元のアド レス	固 定
23 7 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> "1" 固定 IOAR </div>	ソースアドレス レジスタ	デスティネーション アドレスレジスタ	転送元または 転送先のアド レス	固 定
15 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> ETCR </div>	転送カウンタ		転送回数	一回の転送ご とにデクリメント H'0000になると転送終了

《記号説明》

- MAR : メモリアドレスレジスタ
- IOAR : I/Oアドレスレジスタ
- ETCR : 転送カウントレジスタ

転送元および転送先アドレスは、MARとIOARによって指定します。MARには転送元または転送先のアドレスを24ビットで指定します。IOARはアドレス下位8ビットを指定し、上位16ビットは“1”となります。MAR、IOARはインクリメントもデクリメントもされません。

図 8.4 にアイドルモードの動作を示します。

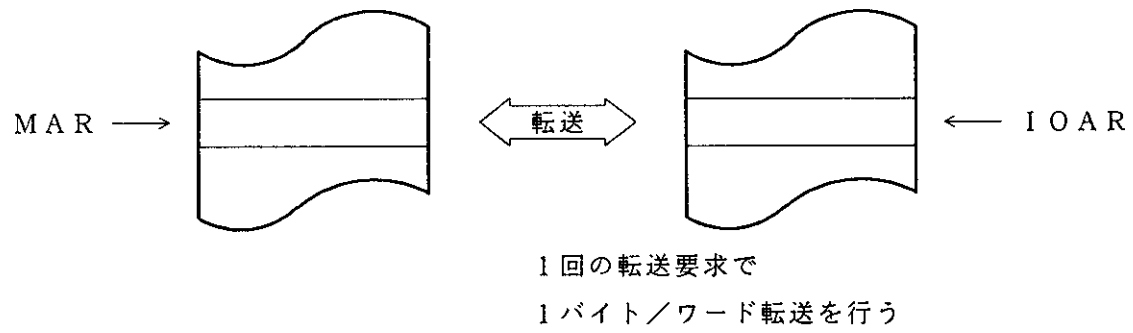


図 8.4 アイドルモードの動作

転送回数はE T C Rによって16ビットで指定します。E T C Rは一回の転送を行うたびに1だけデクリメントされ、H'0000となったときにD T Eビットをクリアして転送を終了します。このとき、C P Uに割込みを要求します。

なお、転送回数の最大値はE T C RにH'0000を設定したときで、65536となります。

転送要求（起動要因）には、I T Uチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み、S C Iの送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（D T C R）」を参照してください。

アイドルモードの設定手順例を図8.5に示します。

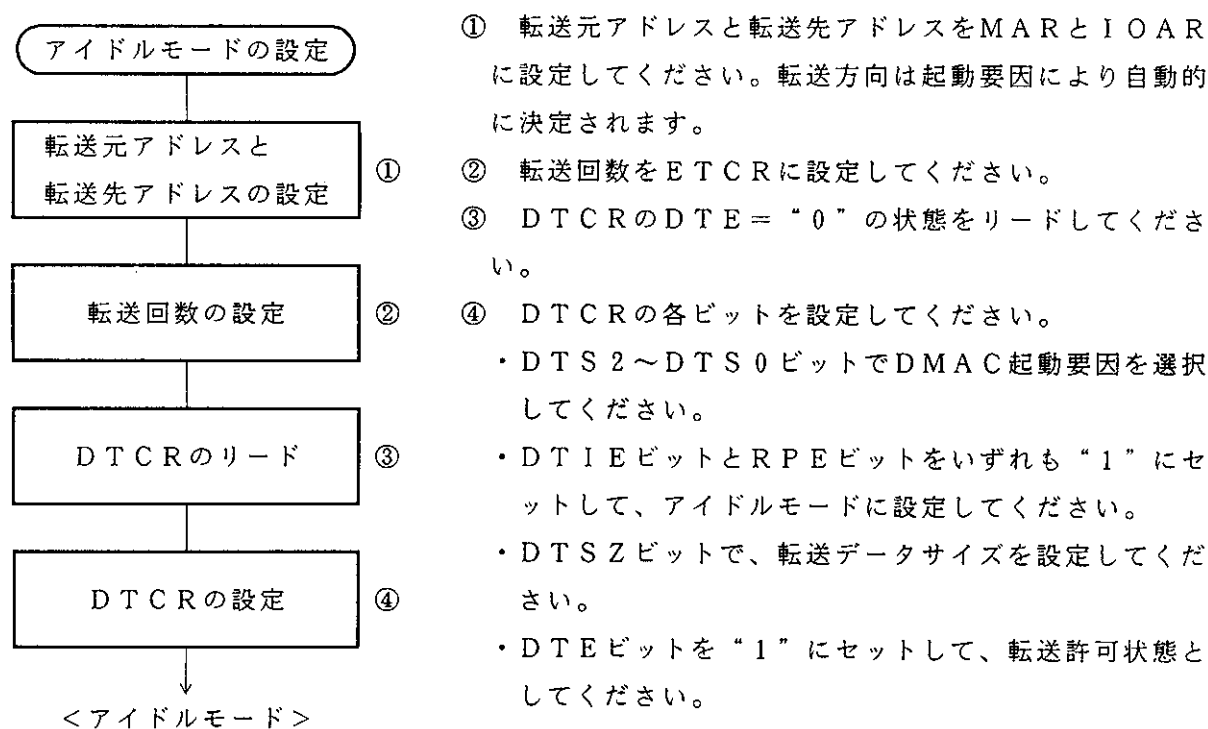


図8.5 アイドルモードの設定手順例

8.4.4 リポートモード

リポートモードはITUのコンペアマッチなどに同期して、テーブル上のデータをプログラマブルタイミングパターンコントローラ（TPC）に対して繰り返し転送するのに便利なモードです。各チャンネル独立に設定可能です。

リポートモードでは、I/Oモードと同様に一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。指定された回数の転送終了時、MAR、およびETCRHの内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCIの受信データフル割込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

リポートモード時のレジスタの機能を表8.8に示します。

表 8.8 リポートモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI受信データフル割込みによる起動	その他の起動		
23 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> MAR </div>	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメントETCRHがH'0000になるまで初期設定値を回復
23 7 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> "1" 固定 IOAR </div>	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固 定
7 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> ETCRH </div>	転送カウンタ		転送回数	一回の転送ごとにデクリメントETCRHの内容を格納
7 0 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> ETCRL </div>	転送回数保持		転送回数	固 定

《記号説明》

- MAR : メモリアドレスレジスタ
- IOAR : I/Oアドレスレジスタ
- ETCR : 転送カウンタレジスタ

リピートモードではETCRHを転送カウンタとし、ETCRLは転送回数保持に使用します。ETCRHは1回の転送を行うたびに1だけデクリメントされ、H'00になるとETCRLの値が格納されます。また、MARはDTCRのDTSZビットおよびDTIDビットの値に応じて初期設定値を回復します。このときのMARの動作は次のようになります。

$$MAR \leftarrow MAR - (-1)^{DTID} \cdot 2^{DTSZ} \cdot ETCRL$$

ETCRHとETCRLには同じ値を初期設定してください。

リピートモードではCPUがDTEビットを“0”にクリアするまで転送を繰り返します。DTEビットを“0”にクリアした後、CPUがDTEビットを“1”にセットすると、クリアした時点の状態から転送を再開します。CPUに対して割込み要求は発生しません。

転送元および転送先アドレスは、I/Oモードと同様、MARとIOARによって指定します。MARには転送元または転送先の先頭アドレスを24ビットで指定します。IOARにはアドレス下位8ビットを指定し、上位16ビットは“1”となります。IOARは転送によりインクリメントもデクリメントもされません。

図8.6にリピートモードの動作を示します。

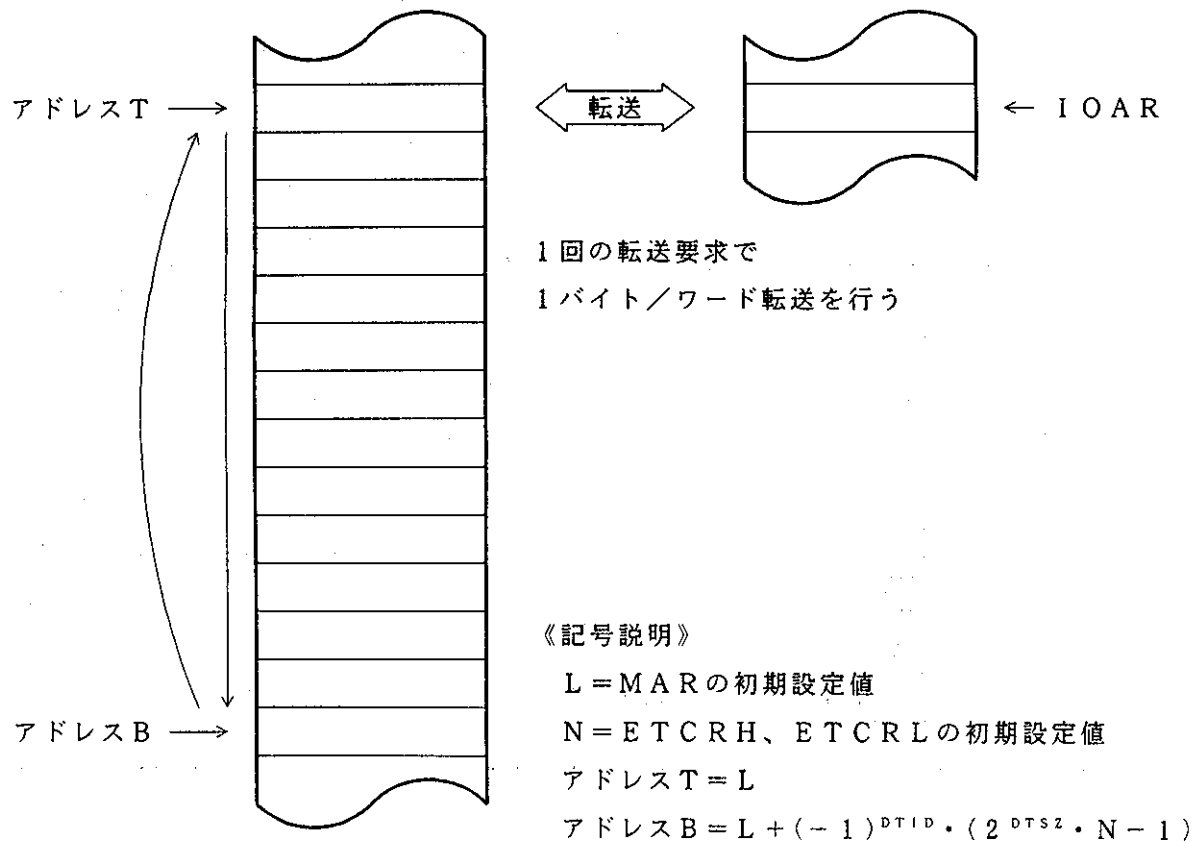


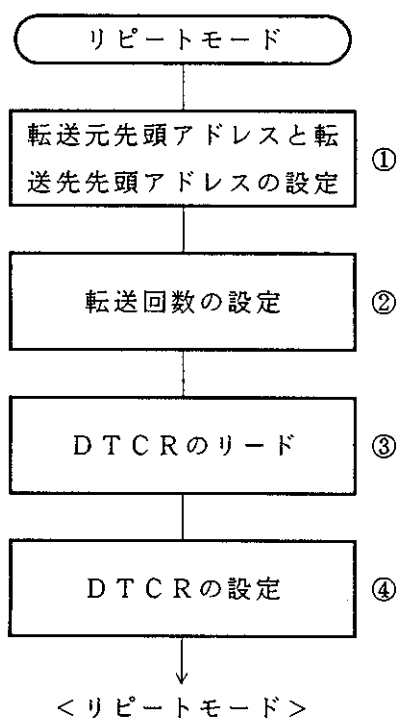
図8.6 リピートモードの動作

転送回数はETCRH、ETCRLに8ビットで指定します。転送回数の最大値はETCRH、ETCRLにそれぞれH'1Fを設定したときで、255となります。

転送要求（起動要因）には、ITUチャンネル0～3のコンペアマッチ/インプットキャプチャA割込み、SCIの送信データエンプティ・受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

リピートモードの設定手順例を図 8.7 に示します。



- ① 転送元先頭アドレスと転送先先頭アドレスをMARとIOARに設定してください。転送方向は起動要因により自動的に決定されます。
- ② 転送回数をETCRHとETCRLの両方に設定してください。
- ③ DTCRのDTE = "0"の状態をリードしてください。
- ④ DTCRの各ビットを設定してください。
 - ・DTS2～DTS0ビットによりDMAC起動要因を選択してください。
 - ・DTIEビットを"0"にクリア、RPEビットを"1"にセットしてリピートモードに設定してください。
 - ・DTIDビットにより、MARをインクリメントするかデクリメントするかを設定してください。
 - ・DTSZビットにより、転送データサイズを設定してください。
 - ・DTEビットを"1"にセットして、転送許可状態としてください。

図 8.7 リピートモードの設定手順例




8.4.5 ノーマルモード

ノーマルモードは、チャンネルA、Bを組み合わせず転送を行います。

ノーマルモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスはMARA、MARBで指定します。

ノーマルモード時のレジスタの機能を表8.9に示します。

表 8.9 ノーマルモード時のレジスタの機能

対象レジスタ	機 能	初期設定値	動 作
23 0 	ソースアドレスレジスタ	転送元先頭 アドレス	1回の転送ごと にインクリメント /デクリメント または固定
23 0 	デスティネーション アドレスレジスタ	転送先先頭 アドレス	1回の転送ごと にインクリメント /デクリメント または固定
15 0 	転送カウンタ	転送回数	1回の転送ご とにデクリメン ト

《記号説明》

MARA : メモリアドレスレジスタA

MARB : メモリアドレスレジスタB

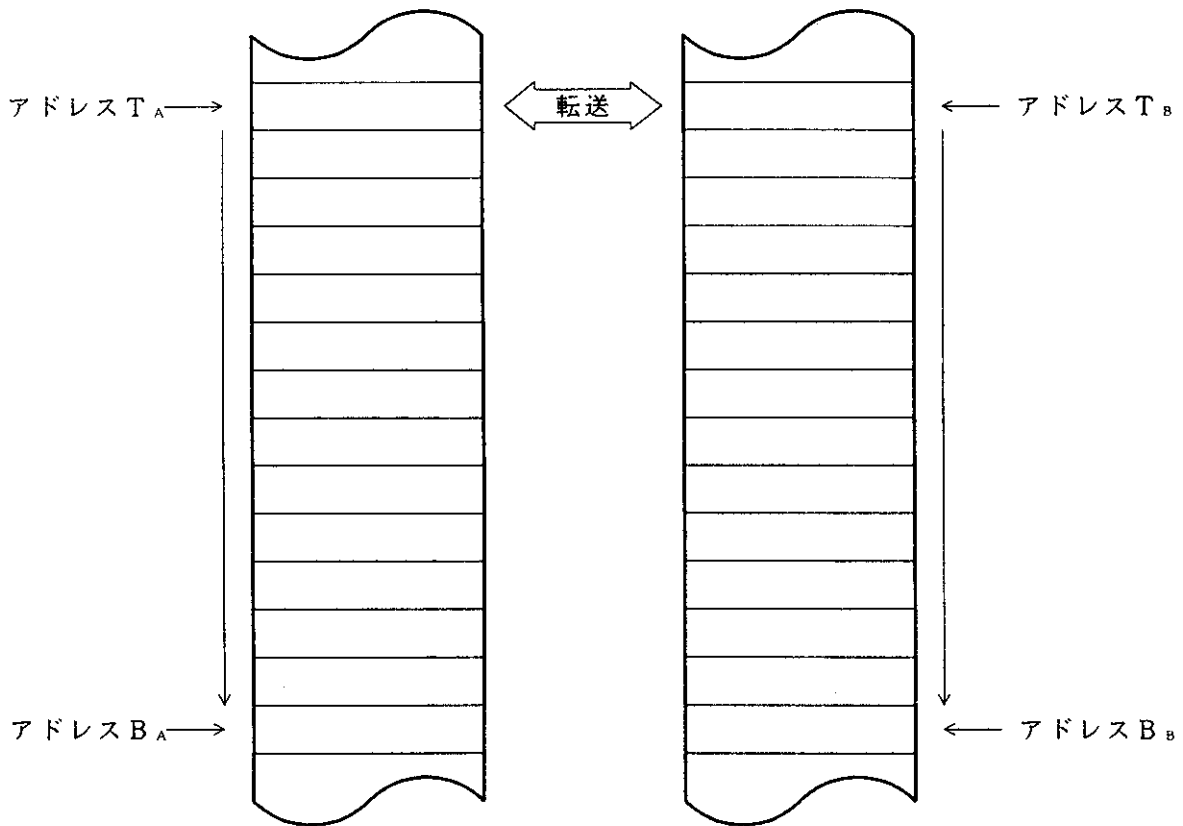
ETCRA : 転送カウンタレジスタA

転送元および転送先アドレスはともに24ビットで指定し、MARAがソースアドレスレジスタ、MARBがデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御はMARA、MARB独立に行うことができます。

転送回数はETCRAによって16ビットで指定します。転送を行うたびに1だけデクリメントされ、H'0000となったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが“1”にセットされているとCPUに割込みを要求します。

なお、転送回数の最大値はETCRAにH'0000を設定したときで、65536となります。

図 8. 8 にノーマルモードの動作を示します。



《記号説明》

L_A = MAR A の初期設定値

L_B = MAR B の初期設定値

N = ETCRA の初期設定値

$T_A = L_A$

$B_A = L_A + SAIDE \cdot (-1)^{SAID} \cdot (2^{DTSZ} \cdot N - 1)$

$T_B = L_B$

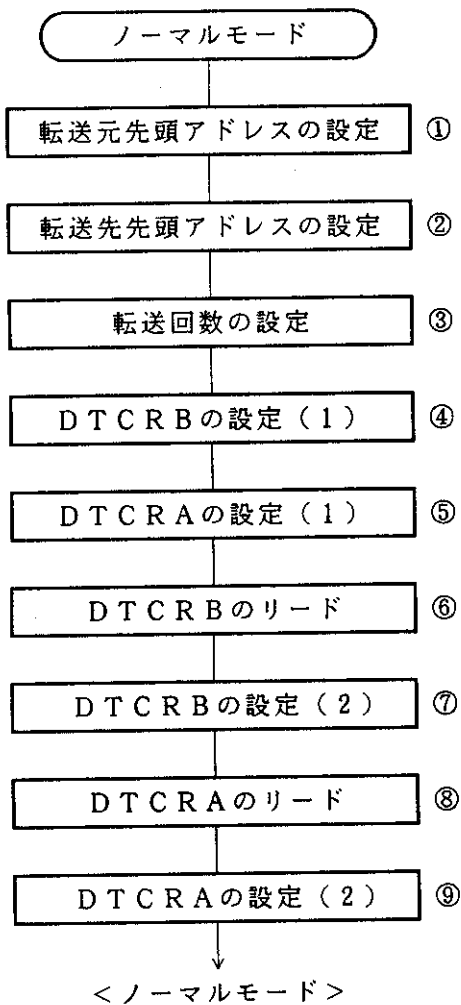
$B_B = L_B + DAIDE \cdot (-1)^{DAID} \cdot (2^{DTSZ} \cdot N - 1)$

図 8. 8 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードではDMACは1回の転送を行うたびにバスを一旦解放します。バーストモードでは、より優先順位の高いバスマスタからのバス権要求がないかぎり転送終了までバスを占有し続けます。

設定の詳細は「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

ノーマルモードの設定手順例を図 8.9 に示します。



- ① 転送元先頭アドレスをMARAに設定してください。
- ② 転送先先頭アドレスをMARBに設定してください。
- ③ 転送回数をETCRAに設定してください。
- ④ DTCRBの各ビットを設定してください。
 - ・DTMEビットを“0”にクリアしてください。
 - ・DAIDビット、DAIDEビットによりMARBをインクリメント/デクリメント/固定のいずれかに設定してください。
 - ・DTS2B～DTS0BビットでDMAC起動要因を選択してください。
- ⑤ DTCRAの各ビットを設定してください。
 - ・DTEビットを“0”にクリアしてください。
 - ・DTSZビットで転送データサイズを設定してください。
 - ・SAIDビット、SAIDEビットでMARAをインクリメント/デクリメント/固定のいずれかに設定してください。
 - ・DTIEビットで転送終了時のCPUに対する割込みの許可/禁止を設定してください。
 - ・DTS0Aビットを“0”にクリアし、DTS2A、DTS1Aビットをいずれも“1”にセットしてノーマルモードを選択してください。
- ⑥ DTCRBのDTME = “0”の状態をリードしてください。
- ⑦ DTCRBのDTMEビットを“1”にセットしてください。
- ⑧ DTCRAのDTE = “0”の状態をリードしてください。
- ⑨ DTCRAのDTEビットを“1”にセットして、転送許可状態にしてください。

【注】 ①～⑨の設定は、DEND割込みをCPU側でマスクした状態で行ってください。また、設定中にNMI割込みが入力されると、DTMEビットが“0”にクリアされ起動されない場合があります。

図 8.9 ノーマルモードの設定手順例




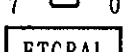
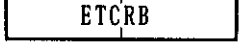
8.4.6 ブロック転送モード

ブロック転送モードは、チャンネルA、Bを組み合わせて転送を行います。

ブロック転送モードでは、一回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスはMARA、MARBで指定します。ブロックエリア側のアドレスは固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を表8.10に示します。

表 8.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機 能	初期設定値	動 作
23 0 	ソースアドレスレジスタ	転送元先頭 アドレス	1回の転送ごとにインクリメントまたはデクリメントは固定
23 0 	デスティネーション アドレスレジスタ	転送先先頭 アドレス	1回の転送ごとにインクリメントまたはデクリメントは固定
7 0 	ブロックサイズカウンタ	ブロックサイ ズ	1回の転送ごとにデクリメントとなり、H'00になるとETCRALの値を格納
7 0 	ブロックサイズ保持	ブロックサイ ズ	固 定
15 0 	ブロック転送カウンタ	ブロック転送 回数	ブロック転送ごとにデクリメントとなり、H'0000になると転送を終了

《記号説明》

MARA : メモリアドレスレジスタA

MARB : メモリアドレスレジスタB

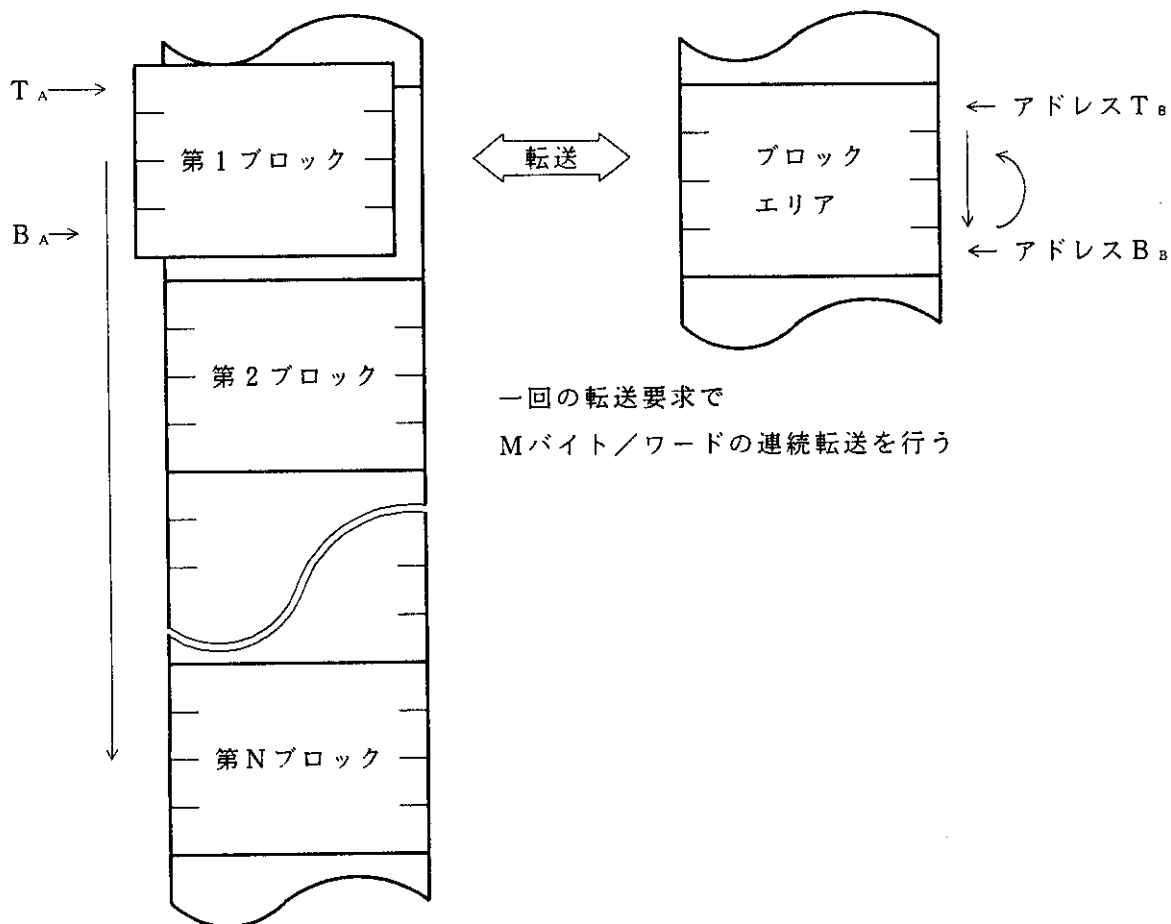
ETCRA : 転送カウントレジスタA

ETCRB : 転送カウントレジスタB

転送元および転送先アドレスはともに24ビットで指定し、MARAがソースアドレスレジスタ、MARBがデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB独立に行うことができます。ブロックエリアを指定するMARは、インクリメント/デクリメントを指定した場合でも一回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかはDTCRBのTMSビットにより指定します。

一回の転送要求で転送するブロックサイズをM (M = 1 ~ 256) とし、N回 (N = 1 ~ 65,536) の転送を行うとき、ETCRAHとETCRA LにそれぞれMを、ETCRBにNを設定します。

図8.10にブロック転送モードの動作を示します。TMSビットを“0”にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。



《記号説明》

L_A = MARAの初期設定値

L_B = MARBの初期設定値

M = ETCRAH、ETCRA Lの初期設定値

N = ETCRBの初期設定値

$T_A = L_A$

$B_A = L_A + SAIDE \cdot (-1)^{SAID} \cdot (2^{DTSZ} \cdot M - 1)$

$T_B = L_B$

$B_B = L_B + DAIDE \cdot (-1)^{DAID} \cdot (2^{DTSZ} \cdot M - 1)$

図8.10 ブロック転送モードの動作

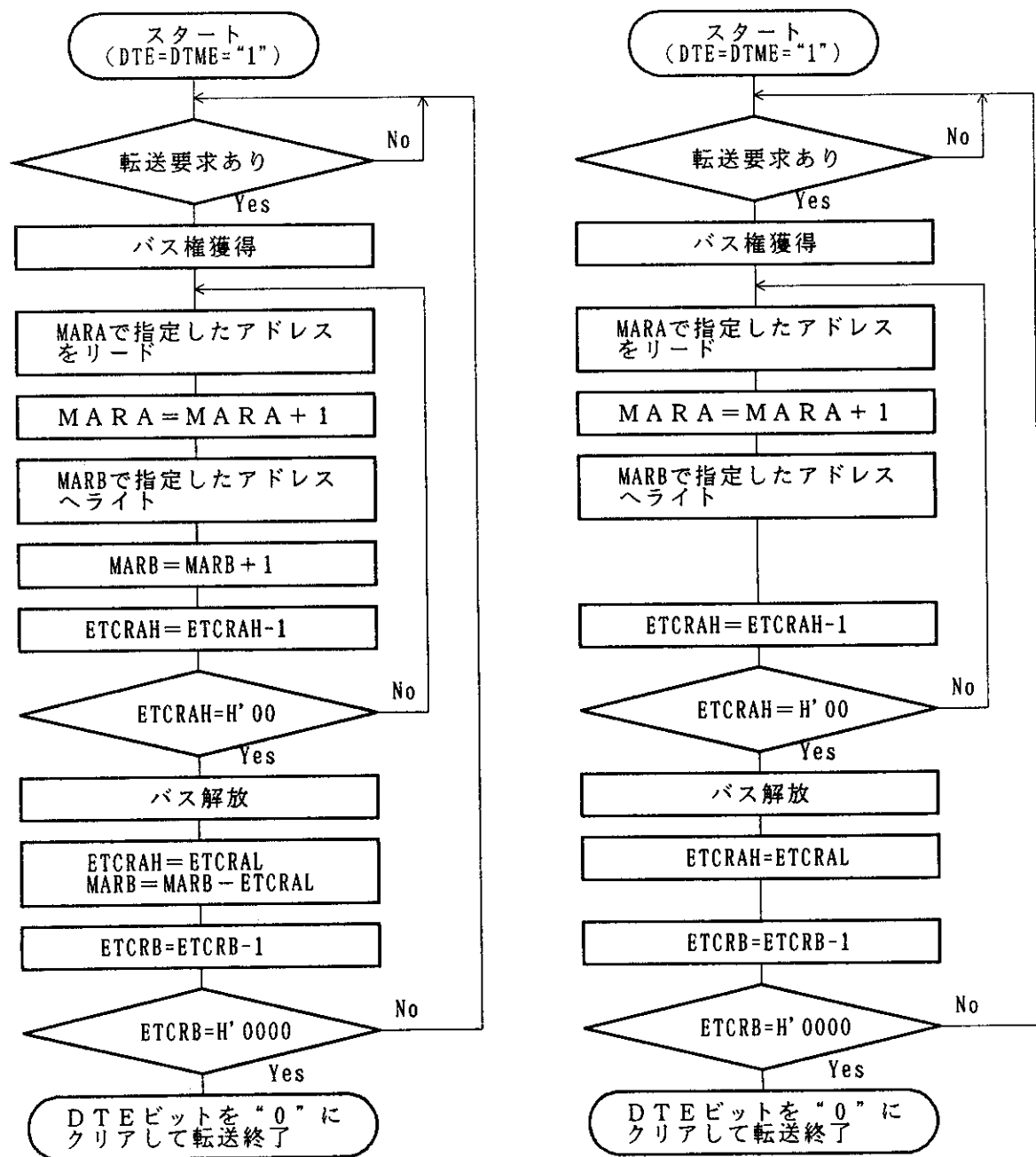
転送要求によってDMACが起動されるとバースト転送を行います。この間、MARA、MARBともDTCRの設定に従い更新され、ETCRAHをデクリメントします。ETCRAHがH'00になると、ETCRAHはETCRALの値が格納され初期設定値に戻ります。同時にブロックエリア側のMARも初期設定値に戻り、ETCRBをデクリメントしてH'0000でなければ次の転送要求待ちとなります。ETCRAHとETCRALには同じ値を初期設定してください。

この動作を繰り返してETCRBの値がH'0000となったとき、DTEビットを“0”にクリアして転送を終了します。このときDTIEビットが“1”にセットされているとCPUに対して割込みを要求します。

デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合のDMACの動作フロー例を図8.11に示します。(a)はブロックエリアのアドレスが連続する場合、(b)はブロックエリアのアドレス固定の場合を示します。

転送要求（起動要因）には、ITUチャンネル0～3コンペアマッチ/インプットキャプチャA割込みと外部リクエストがあります。

設定の詳細は「8.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

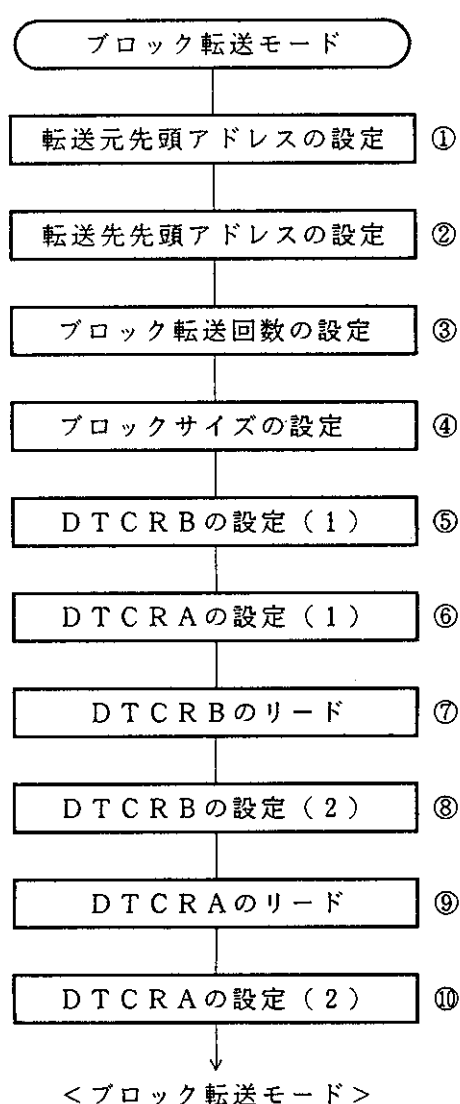


(a) DTSZ=TMS="0"、
SAID=DAID="0"、
SAIDE=DAIDE="1"の場合

(b) DTSZ=TMS="0"、
SAID="0"、
SAIDE="1"、
DAIDE="0"の場合

図 8.11 ブロック転送モードの動作フロー例

ブロック転送モードの設定手順例を図8.12に示します。



- ① 転送元先頭アドレスをMARAに設定してください。
- ② 転送先先頭アドレスをMARBに設定してください。
- ③ ブロック転送回数をETCRBに設定してください。
- ④ ブロックサイズ(バイト/ワード数)をETCRAHとETCRA Lの両方に設定してください。
- ⑤ DTCRBの各ビットを設定してください。
 - ・DTMEビットを“0”にクリアしてください。
 - ・DAIDビット、DAIDEビットでMARBをインクリメント/デクリメント/固定のいずれかに設定してください。
 - ・TMSビットで、ソース側とデスティネーション側のどちらをブロックエリアとするかを設定してください。
 - ・DTS2B~DTS0BビットでDMAC起動要因を選択してください。
- ⑥ DTCRAの各ビットを設定してください。
 - ・DTEビットを“0”にクリアしてください。
 - ・DTSZビットで転送データサイズを設定してください。
 - ・SAIDビット、SAIDEビットでMARAをインクリメント/デクリメント/固定のいずれかに設定してください。
 - ・DTIEビットで転送終了時のCPUに対する割込みの許可/禁止を設定してください。
 - ・DTS2A~DTS0Aビットをいずれも“1”にセットしてブロック転送モードを選択してください。
- ⑦ DTCRBのDTME=“0”の状態をリードしてください。
- ⑧ DTCRBのDTMEビットを“1”にセットしてください。
- ⑨ DTCRAのDTE=“0”の状態をリードしてください。
- ⑩ DTCRAのDTEビットを“1”にセットして、転送許可状態にしてください。

【注】 ①~⑩の設定は、DEND割込みをCPU側でマスクした状態で行ってください。また、設定中にNMI割込みが入力されると、DTMEビットが“0”にクリアされ起動されない場合があります。

図8.12 ブロック転送モードの設定手順例

8.4.7 DMACの起動要因

DMACの起動要因には、内部割込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより指定できる要因が表8.11に示すように異なります。

表8.11 DMACの起動要因

起 動 要 因		ショートアドレスモード				フルアドレスモード	
		チャンネル 0A, 1A	チャンネル 0B, 1B	チャンネル 2A, 3A	チャンネル 2B, 3B	ノーマル	ブロック
内部 割込み	IMIA 0	○		○		×	○
	IMIA 1	○		○		×	○
	IMIA 2	○		○		×	○
	IMIA 3	○		○		×	○
	TXI 0	○		×		×	×
	RXI 0	○		×		×	×
	TXI 1	×		○		×	×
	RXI 1	×		○		×	×
外部 リクエスト	DREQ端子の立下がり	×	○	×	○	○	○
	DREQ端子の“Low”レベル入力	×	○	×	○	○	×
オートリクエスト			×		×	○	×

(1) 内部割込みによる起動

DMACの起動要因として選択された割込み要求は、DTE = “1”の状態ではCPUに対しては要求されません。したがって、起動要因として使用している割込みで同時にCPUに割込みを発生させることはできません。

割込み要求によりDMACが起動されると、割込み要求フラグは自動的にクリアされます。複数のチャンネルで同一の割込みを起動要因として指定した場合、最初に最も優先順位の高いチャンネルが起動された時点で割込み要求フラグがクリアされます。その他のチャンネルの転送要求はDMAC内部で保持されて、優先順位にしたがって起動されます。

(2) 外部リクエストによる起動

起動要因として外部リクエスト（DREQ端子）を指定した場合は、該当するDREQ端子とTEND端子が対応するポートのデータディレクションレジスタ（DDR）の設定にかかわらず、それぞれ入力端子、出力端子になります。

DREQ端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合はDREQ端子入力の“High”レベルから“Low”レベルへの変化を検出するたびに、1バイトまたは1ワードの転送を行います。転送完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合はDREQ端子が“Low”レベルに保持されている間は、転送終了まで転送を続けます。ただし、1バイトまたは1ワードの転送を行うたびに一旦バスを解放します。転送の途中でDREQ端子入力が“High”レベルとなった場合、転送中の1バイトまたは1ワードを転送した時点で転送を中断します。なお、DREQ端子を“Low”レベルにすると、起動要因は1バイトまたは1ワードの転送が行われるまで内部で保持されています。

TEND端子は最後の転送のライトサイクル中“Low”レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モードはエッジセンスの転送要求のみ可能です。DREQ端子入力の“High”レベルから“Low”レベルへの変化を検出するたびに、指定された1ブロックを転送します。

TEND端子は1ブロック転送の最後のライトサイクル中“Low”レベルとなります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMACは1バイトまたは1ワードの転送を行うたびにバスを一旦解放しますので、通常、DMACサイクルとCPUサイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス権要求がないかぎり転送終了までバスを占有し続けます。優先順位の高いバス権要求があった場合は、転送中の1バイトまたは1ワードを転送した時点でバスを解放します。

8.4.8 DMACのバスサイクル

DMACの基本的なバスサイクルのタイミング例を図8.13に示します。この例はワードサイズで16ビット2ステートアクセス空間から8ビット3ステートアクセス空間へ転送する場合の例です。CPUからDMACにバス権が移ると、1サイクルのデッドサイクル(T_d)の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMACサイクルはCPUサイクルと同様、バスコントローラの設定にしたがいます。

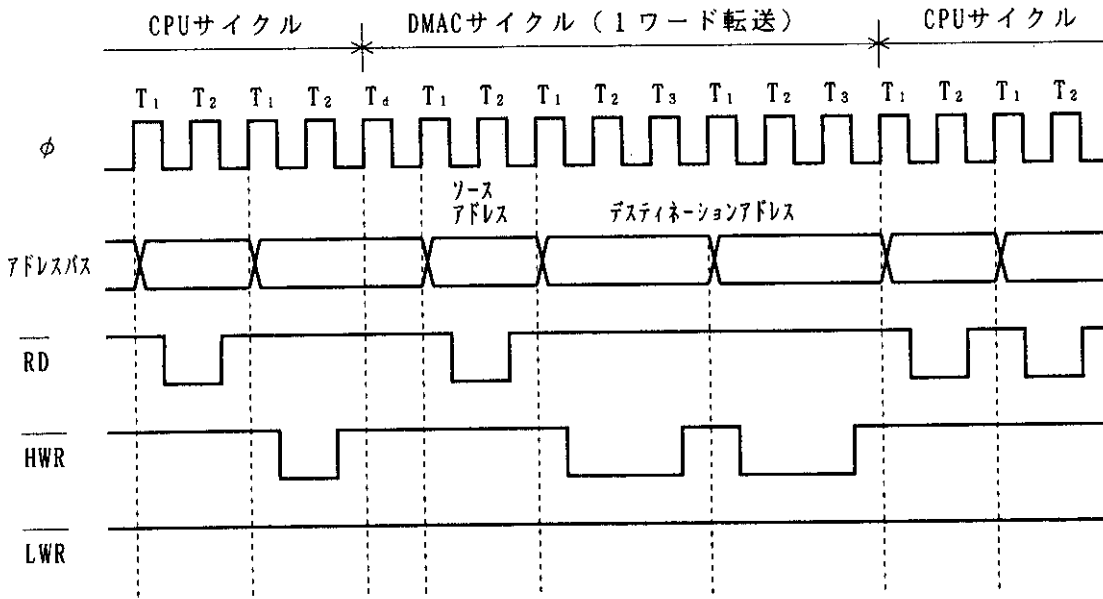


図 8.13 DMA 転送バスタイミング例

DREQ端子“Low”レベルでDMACを起動した場合のタイミングを図8.14に示します。ワードサイズで16ビット2ステートアクセス空間から16ビット2ステートアクセス空間へ転送する場合の例です。DREQ端子が“Low”レベルに保持されている間、DMACは転送を続けます。

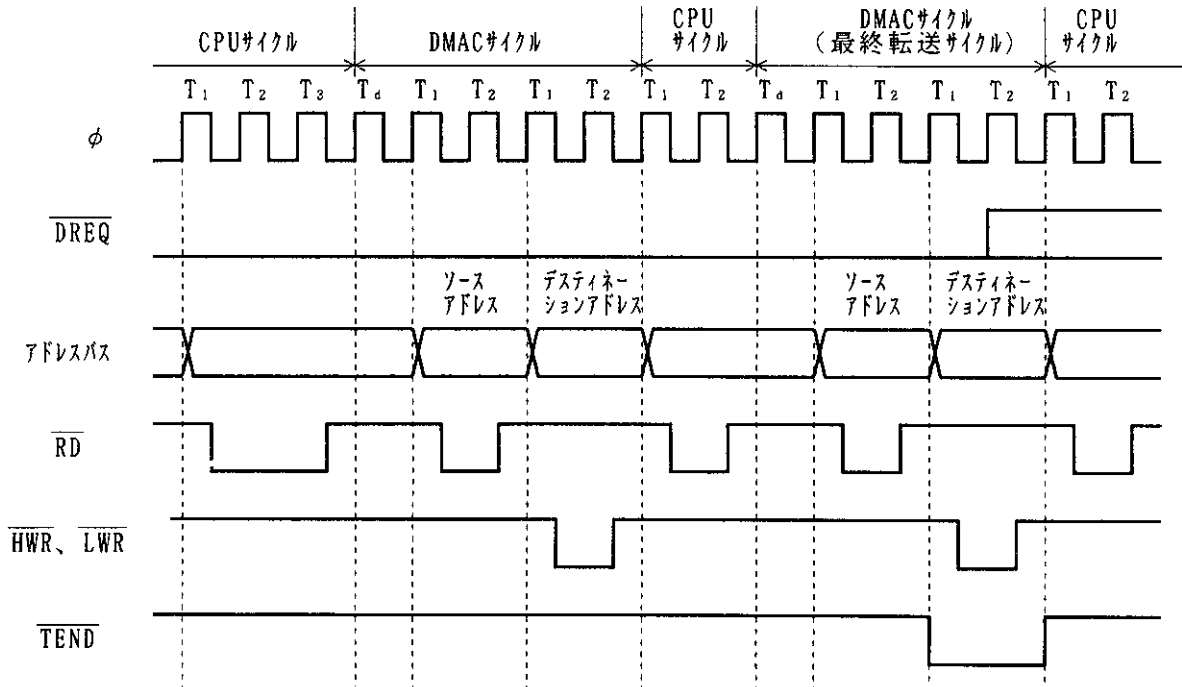


図 8.14 DREQ端子“Low”レベル入力選択時のDMA転送バスタイミング

オートリクエストバーストモードの場合のタイミングを図8.15に示します。ワードサイズで16ビット2ステートアクセス空間から16ビット2ステートアクセス空間へ、3ワード転送する場合の例です。

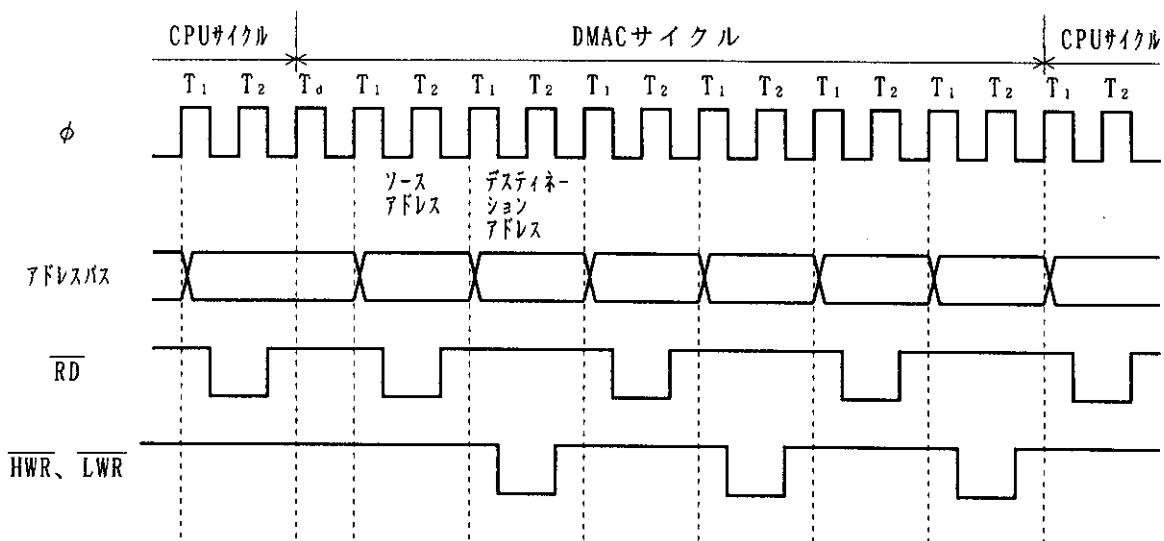


図 8.15 バーストモードDMA転送バスタイミング

DREQ端子でDMACを起動する場合、転送要求が発生してからDMACが動作を開始するまでの期間は最短で4ステートです。

転送要求発生後、DMACが動作を開始し転送を行うまで、DREQ端子のサンプリングは行いません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1ブロックの転送終了後から行います。

ノーマルモード時、DREQ端子の立下がりエッジでDMACを起動する場合のタイミングを図8.16に示します。

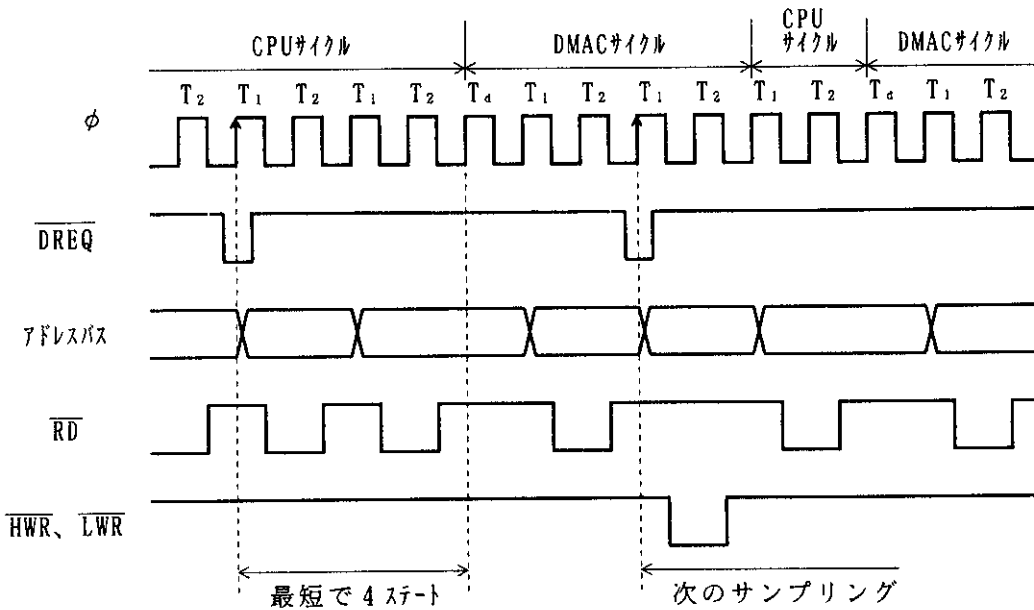


図 8.16 ノーマルモード時のDREQ端子の立下がりエッジによるDMAC起動タイミング

ノーマルモード時、DREQ端子の“Low”レベルでDMACを起動する場合のタイミングを図8.17に示します。

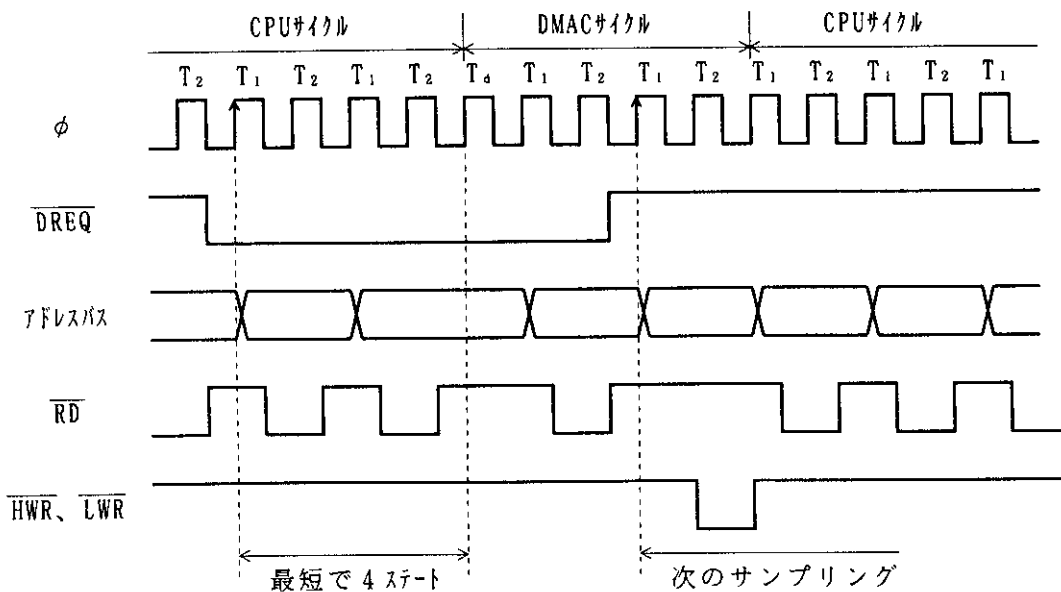


図 8.17 ノーマルモード時のDREQ端子の“Low”レベルによるDMAC起動タイミング

ブロック転送モード時、DREQ端子の立下がりエッジでDMACを起動する場合のタイミングを図8.18に示します。

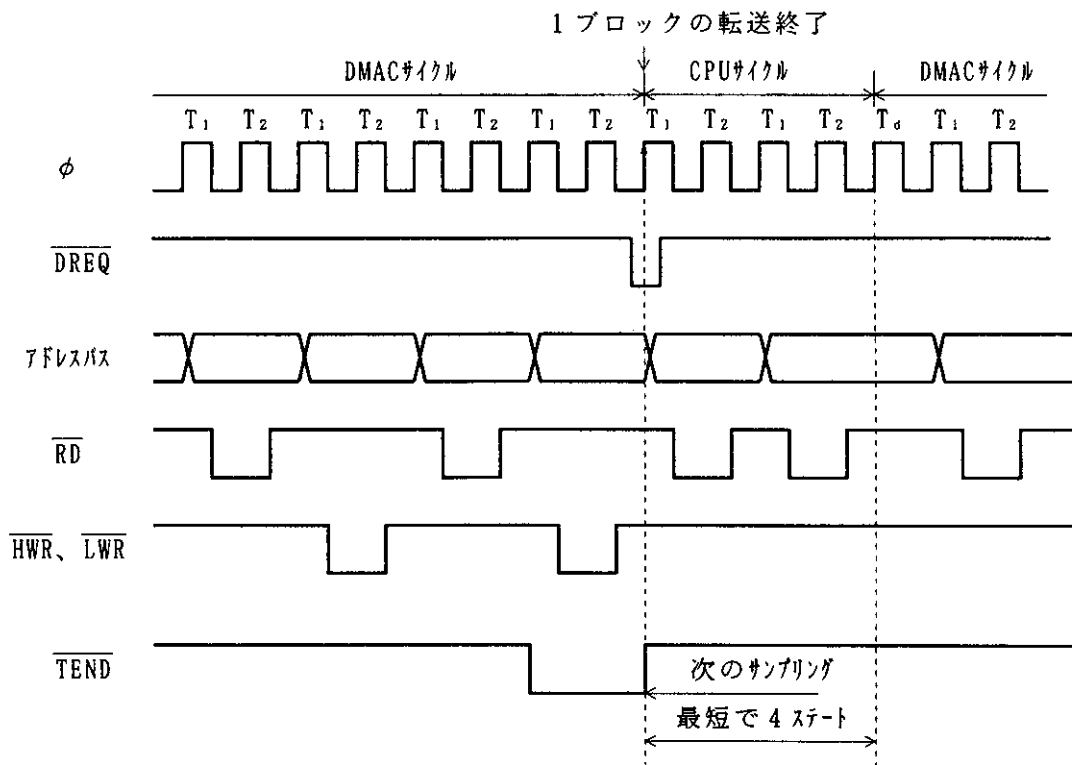


図 8.18 ブロック転送モード時のDREQ端子の立下がりエッジによるDMAC起動タイミング

8.4.9 DMA C 複数チャネルの動作

DMA Cのチャネル間順位はチャンネル0 >チャンネル1 >チャンネル2 >チャンネル3、また、チャンネルA >チャンネルBの順に優先順位が高くなっています。表8.12にDMA Cのチャネル間優先順位を示します。また、グループ0とグループ1は独立した2つのバスマスタとして動作します。

表 8.12 チャネル間優先順位

バスマスタ	ショートアドレスモード	フルアドレスモード	優先度
グループ0	チャンネル0 A	チャンネル0	↑ 高 低
	チャンネル0 B		
	チャンネル1 A	チャンネル1	
	チャンネル1 B		
グループ1	チャンネル2 A	チャンネル2	
	チャンネル2 B		
	チャンネル3 A	チャンネル3	
	チャンネル3 B		

(1) 同一グループ内の複数チャネルの動作

同一グループ内で、複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、DMA Cは以下のように動作します。

- ① 転送要求が発生するとバス権を要求し、DMA Cがバス権を獲得する時点で最も優先順位の高いチャネルの転送が起動されます。
- ② 1つのチャネルが起動されると、そのチャネルがバス権を解放するまで同一グループ内の他のチャネルは保留となります。
- ③ ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して①に戻ります。バスを解放した後、同一グループ内の他のチャネルの転送要求が存在すると、再度バス権を要求します。
- ④ バーストモードの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して①に戻ります。ただし、優先順位の高いチャネルの転送要求または優先順位の高いバスマスタのバス権要求が存在すると、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。バスを解放した後、同一グループ内の他のチャネルの転送要求が存在すると、再度バス権を要求します。

チャンネル0 AをI/Oモード、チャンネル1をバーストモードとし、チャンネル1が動作中、チャンネル0 Aの転送要求が発生した場合のタイミングを図8.19に示します。

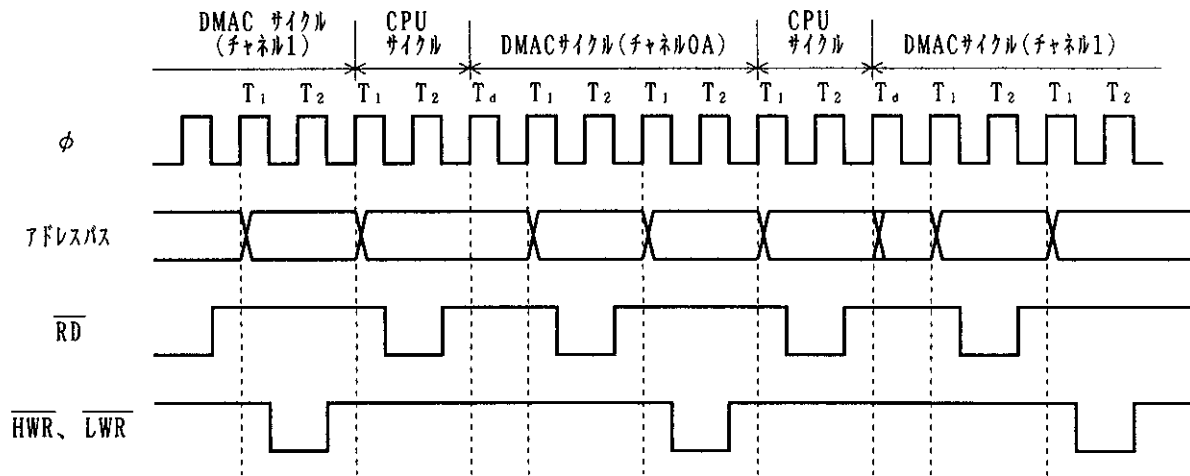


図 8.19 同一グループ内の複数チャンネルの動作タイミング

(2) グループ間の複数チャンネルの動作

DMA Cグループ0、1に同時に転送要求が発生した場合、または一方が動作中に他方の転送要求が発生した場合、DMA Cは以下のように動作します。

- ① 転送要求が発生するとバス権を要求し、DMA Cがバス権を獲得する時点で最も優先順位の高いチャンネルが起動されます。このときDMA Cグループ0、1の転送要求が存在すれば、グループ0のチャンネルが起動されます。
- ② 一方のグループのチャンネルが起動されると、そのチャンネルがバス権を解放するまで他方のチャンネルは保留となります。
- ③ ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して①に戻ります。このとき、他方のグループのチャンネルの転送要求が存在すると、ただちに起動されます。
- ④ バーストモードの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して①に戻ります。ただし、グループ1のチャンネルの動作中にグループ0の転送要求が発生すると、グループ1のチャンネルは、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。このとき、他方のグループのチャンネルの転送要求が存在すると、ただちにDMA Cが起動されます。

チャンネル0 AをI/Oモード、チャンネル2をバーストモードとし、チャンネル2が動作中にチャンネル0 Aの転送要求が発生した場合のタイミングを図8.20に示します。

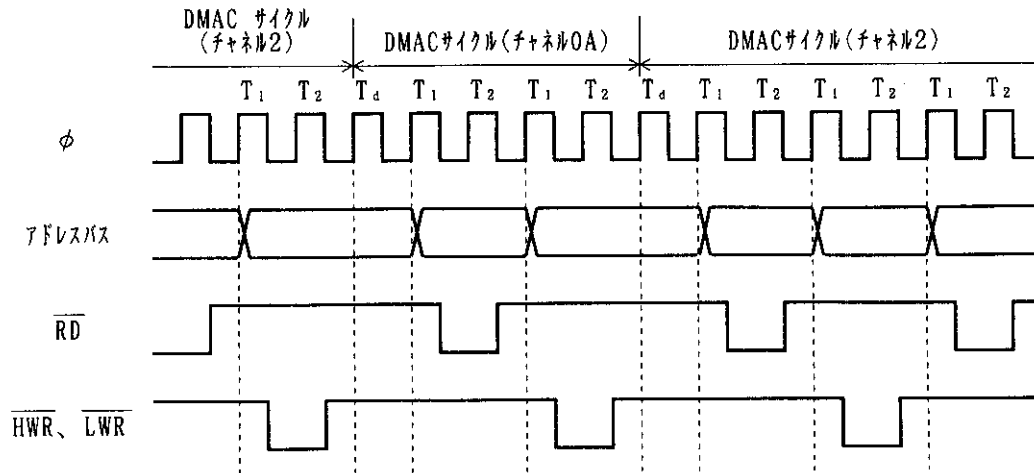


図 8.20 グループ間の複数チャンネルの動作タイミング

グループ0、グループ1をいずれもサイクルスチールモードにした場合、DMACの各グループが交互に動作し、CPUにバス権が移行しない場合があります。

8.4.10 外部バス権要求、リフレッシュコントローラとDMACの関係

DMAC動作中に、BREQ端子による外部バス権要求、リフレッシュコントローラによるバス権要求があった場合、DMACは転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMACは再度バス権を要求します。

チャンネル0でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを図8.21に示します。

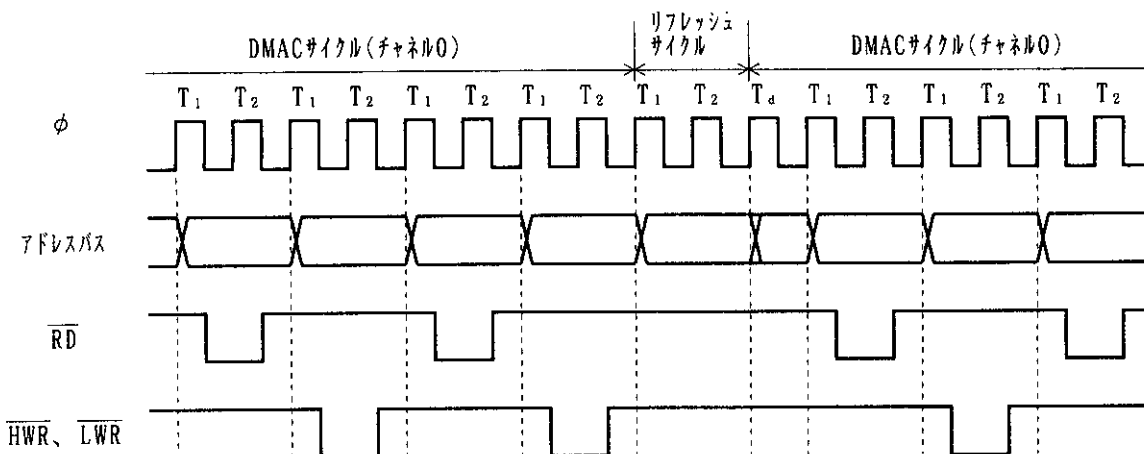


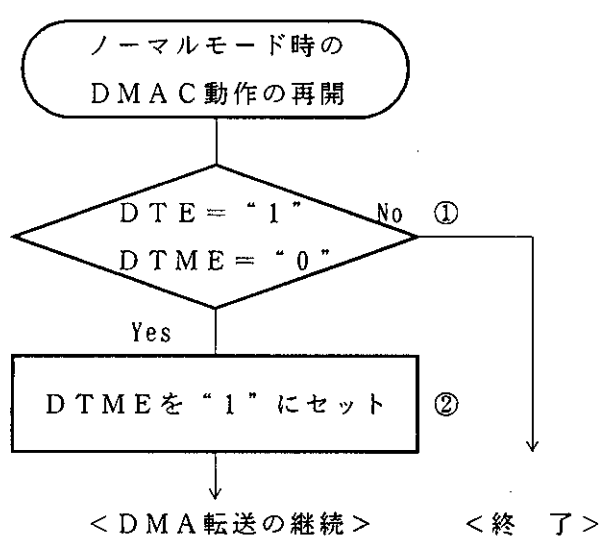
図 8.21 リフレッシュコントローラとDMACの動作タイミング

8.4.11 NMI 割込みとDMAC

ショートアドレスモードでは、NMI 割込みはDMACの動作に影響を与えません。

フルアドレスモードでは、転送中にNMI 割込みが発生するとDMACは動作を中断します。フルアドレスモードでは、DTEビットとDTMEビットがいずれも“1”にセットされているとき、そのチャンネルが転送許可状態となります。NMI 割込みが発生するとDTMEビットが“0”にクリアされ、DMACは転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放し、CPUにバス権が移ります。ノーマルモードのときは、その後CPUがDTMEビットを“1”にセットすると中断した動作を再開します。この場合、事前にDTEビットが“1”にセットされ、DTMEビットが“0”にクリアされていることを確認してください。

チャンネル0をノーマルモードとしたときに、NMI 割込みによりDMAC動作が停止したとき、動作を再開する手順を図8.22に示します。



- ① DTE = “1”、DTME = “0”の状態を確認してください。
- ② DTCRBのDTME = “0”の状態をリードした後、DTMEビットに“1”をライトしてください。

図8.22 NMI 割込みにより停止したDMAC動作の再開手順例

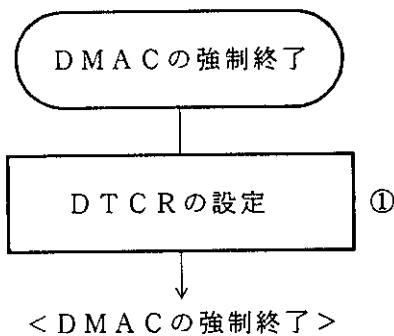
ブロック転送モード時のNMI 割込みについては「8.6.6 NMI 割込みとブロック転送モード」を参照してください。

8.4.12 DMA C動作の強制終了

動作中のチャンネルのDTEビットを“0”にクリアすると、転送中の1バイトまたは1ワードの転送を終了した時点でDMA Cは停止します。この後、DTEビットを“1”にセットするとDMA Cは動作を再開します。

フルアドレスモードの場合、DTMEビットを使用しても同様です。

DMA Cをソフトウェアで強制終了させる場合の手順を図8.23に示します。

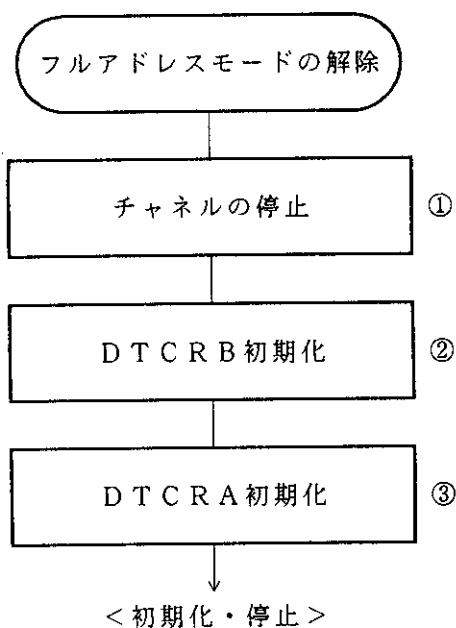


- ① DTCRのDTEビットを“0”にクリアしてください。DMA C動作強制終了後、割込みを発生させたくない場合はDTIEビットも同時に“0”にクリアしてください。

図8.23 DMA C動作の強制終了手順

8.4.13 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図8.24に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。



- ① DTCRAのDTEビットを“0”にクリアするか、転送が終了し、DTEビットが“0”になるまで待ってください。
- ② DTCRBの全ビットを“0”にクリアしてください。
- ③ DTCRAの全ビットを“0”にクリアしてください。

図8.24 フルアドレスモードの解除手順例

8.4.14 リセット、スタンバイモード、スリープモード時のDMACの状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMACはイニシャライズされ、停止します。

スリープモード中はDMACは動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを図8.25に示します。

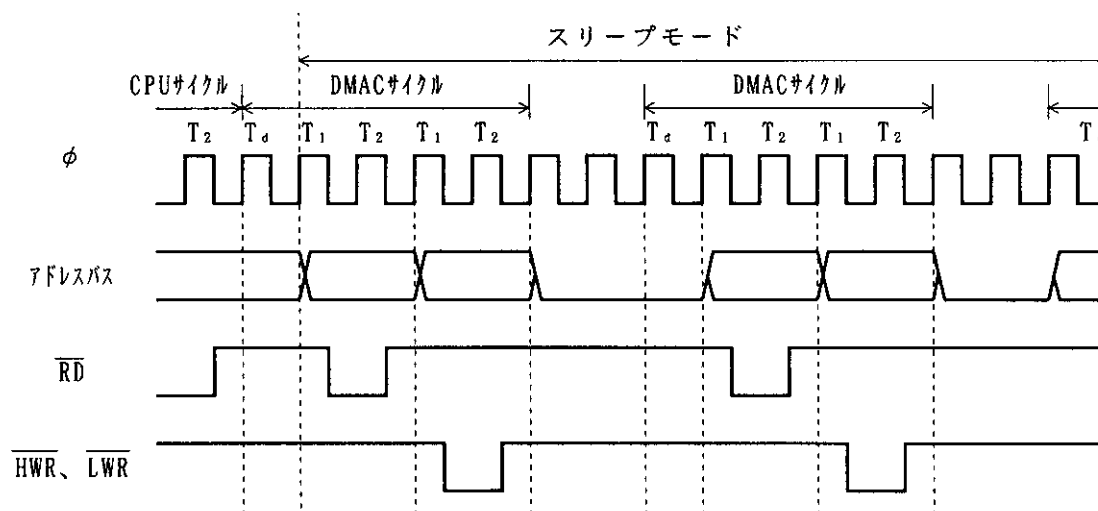


図8.25 スリープモード中のサイクルスチールモードのタイミング

8.5 割込み

DMA Cの割込み要因は転送終了のみです。表 8.13に割込み要因と優先度を示します。

表 8.13 DMA Cの割込み要因

グループ	割込み要因	内 容		割込み優先 順位
		ショートアドレスモード	フルアドレスモード	
0	DEND0A	チャンネル0Aの転送終了による割込み	チャンネル0の転送終了による割込み	高 ↑ 低
	DEND0B	チャンネル0Bの転送終了による割込み	_____	
	DEND1A	チャンネル1Aの転送終了による割込み	チャンネル1の転送終了による割込み	
	DEND1B	チャンネル1Bの転送終了による割込み	_____	
1	DEND2A	チャンネル2Aの転送終了による割込み	チャンネル2の転送終了による割込み	
	DEND2B	チャンネル2Bの転送終了による割込み	_____	
	DEND3A	チャンネル3Aの転送終了による割込み	チャンネル3の転送終了による割込み	
	DEND3B	チャンネル3Bの転送終了による割込み	_____	

各割込み要因は、対応するDTCRのDTIEビットにより許可/禁止が設定されており、それぞれ独立に割込みコントローラに送られます。

チャンネル間の割込みの優先順位は、チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3、またチャンネルA > チャンネルBのように優先順位が高くなっています。各グループ間の割込みの優先順位はIPRBにより変更できます。

転送終了の割込みブロック図を図 8.26 に示します。

D T E = “ 0 ” の状態で D T I E ビットを “ 1 ” に設定すると、常に割込みが発生します。

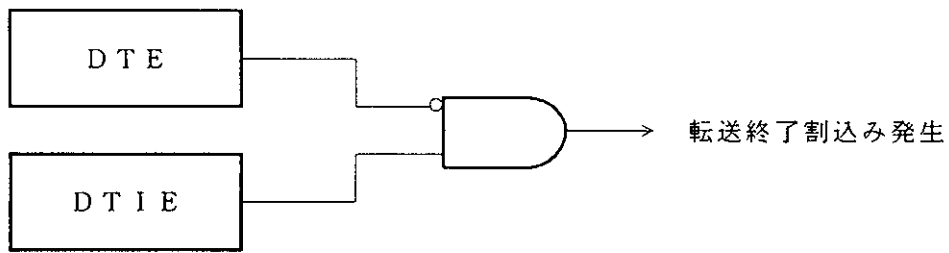


図 8.26 転送終了割込みブロック図

フルアドレスモードでは、チャンネル B の転送終了割込み (D E N D B) は使用できません。また、D T M E ビットは割込み動作に影響を与えません。

8.6 使用上の注意

8.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データサイズをワードにした場合、MARおよびIOARは偶数値としてください。

8.6.2 DMACによるDMAC自体のアクセス

DMACサイクル中はDMAC自体へのアクセスが禁止されています。したがって、DMACのレジスタをソースまたはデスティネーションとして転送することはできません。

8.6.3 MARのロングワードアクセス

MARはMARRから始まるロングワードデータとしてアクセスすることができます。

(例)

```
MOV.L #LBL,ERO  
MOV.L ERO,@MARR
```

このとき、バイトデータアクセスが4回行われます。第2バイト(MARE)と第3バイト(MARRH)アクセスの間に、CPUがバスを解放する場合がありますので注意してください。

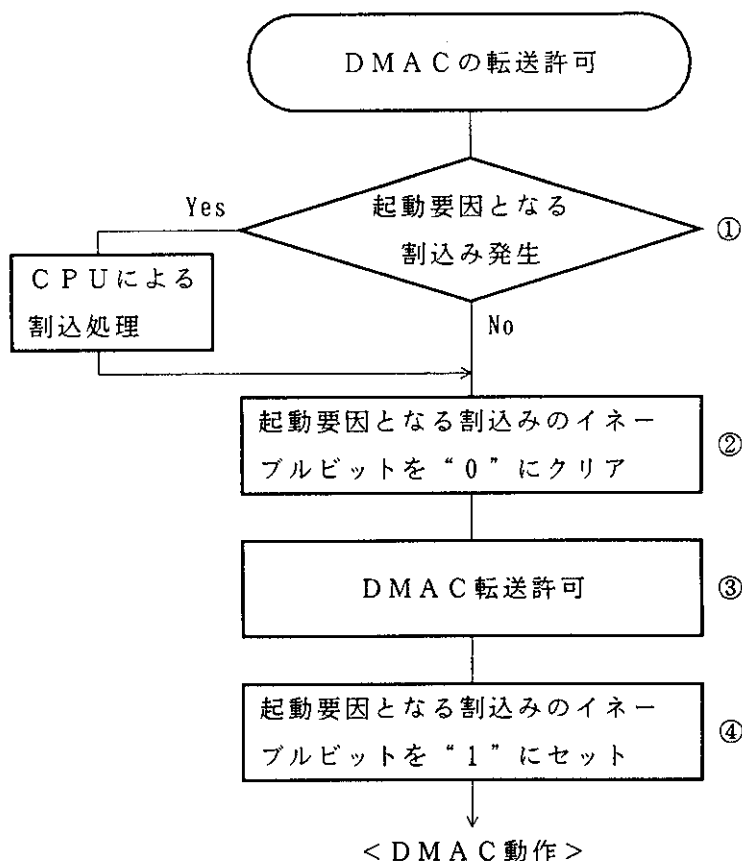
MARのリード/ライトはDMAC停止中に行ってください。

8.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2つのレジスタDTCRA、DTCRBによって制御されます。これらレジスタの設定時には、チャンネルBがショートアドレスモードで動作しないように注意してください。許可ビット(DTE、DTME)は、最後に“1”にセットしてください。

8.6.5 内部割込みでDMACを起動する場合の注意

- (1) 内部割込みでDMACを起動する場合、起動要因を選択してからDMACを転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMACを転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中にDMACを許可状態にする場合、図8.27の手順で行ってください。



- ① DTE = “0”の状態では、割込みはCPUに要求されます。
- ② 起動要因となる内蔵周辺モジュールの割込みイネーブルビットを“0”にクリアします。
- ③ DMACを転送許可状態にします。
- ④ DMACに対する割込みを許可します。

図8.27 内蔵周辺モジュールが動作中にDMACを転送許可状態にする場合の手順例

なお、DTE = “1”なおかつDTME = “0”の状態では、DMACは停止状態であり、またCPUにも起動要因となる割込みは要求されません。例えば、NMI割込みにより、DMACを停止状態にした場合は、起動要因となる割込みはCPUには要求されません。このとき、DMAC動作を打ち切る場合には、DTEビットを“0”にクリアし、CPUに割込みを要求させてください。DMAC動作を継続する場合には、DTMEビットを“1”にセットする前後で、図8.27の②、④の操作を行ってください。

- (2) ITUの割込み要求でDMACを起動する場合、割込みによって起動されるDMA転送が終了するまで、次の割込みが発生しないようにしてください。1つのITUの割込み要求で複数チャンネルを起動する場合には、起動されるすべてのDMA転送が終了するまで、次の割込みが発生しないようにしてください。転送が終了するまでに次の割込みが発生すると、その割込みを選択しているチャンネルが以降の起動要求を受け付けなくなる場合があります。

8.6.6 NMI 割込みとブロック転送モード

ブロック転送モード中にNMI 割込みが発生するとDMACは以下のように動作します。

- (1) NMI 割込みが発生するとDMACは転送中の1バイトまたは1ワードの転送終了後、DTMEビットを“0”にクリアして停止します。したがって、1つのブロックの転送途中で停止する場合があります。

ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになります。

- (2) ブロックの転送途中で停止した場合、起動要因となる割込みフラグは“0”にクリアされています。起動要因の内部保持は行っていません。

- (3) DTEビットが“1”にセットされ、DTMEビットが“0”にクリアされた状態では、DMACは停止中であり、DMACは起動要因となる割込み要求を受けません。この状態で起動要因となる割込みが発生するとDMACは動作せず、転送要求の内部保持も行いません。また、CPUにも割込みは要求されません。

このため、DTMEビットを“1”にセットする前に起動要因となる割込みのイネーブルビットを“0”にクリアし、次にDTMEビットを“1”にセットし、その後、割込みイネーブルビットを“1”にセットしてください。「8.6.5 内部割込みでDMACを起動する場合の注意」を参照してください。

- (4) DTMEビットを“1”にセットすると、DMACは次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

8.6.7 MAR、IOARのアドレス指定

MAR、IOARで指定できるアドレスの範囲を表8.14に示します。

表8.14 MAR、IOARで指定できるアドレスの範囲

	1Mバイトモード	16Mバイトモード
MAR	H' 00000~H' FFFFF (0~1048575)	H' 000000~H' FFFFFFF (0~16777215)
IOAR	H' FFF00~H' FFFFF (1048320~1048575)	H' FFFF00~H' FFFFFFF (16776960~16777215)

1Mバイトモードのとき、MARのビット23~ビット20は無視されます。

8.6.8 転送中断時のバスサイクル

DTEビットクリアによる強制終了や、NMIによるDTMEビットクリアの転送停止により、DMAC内部で、すでに要求を保持しているチャンネルを停止させるとデッドサイクルが発生することがあります。このデッドサイクルにより中断したチャンネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャンネル0でオートリクエストサイクルスチール転送中に、チャンネル0のDTEビットをクリアした場合のタイミングを図8.28に示します。

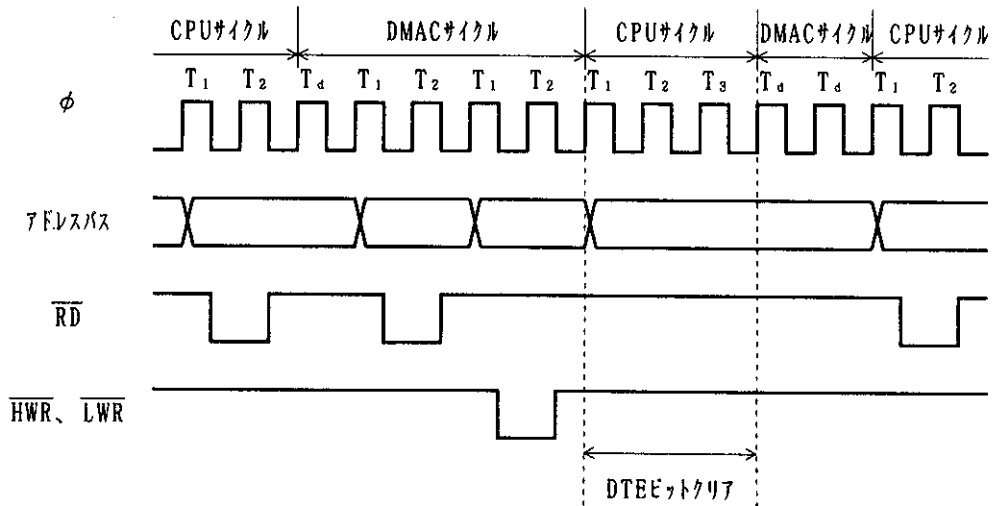


図8.28 サイクルスチールモードDMA転送の強制終了バスタイミング

9. I/Oポート

第9章 目次

9.1	概要	261
9.2	ポート4	263
9.2.1	概要	263
9.2.2	レジスタ構成	264
9.2.3	モード別端子機能	266
9.2.4	入力プルアップMOS	267
9.3	ポート5	268
9.3.1	概要	268
9.3.2	レジスタ構成	268
9.3.3	モード別端子機能	272
9.3.4	入力プルアップMOS	273
9.4	ポート6	274
9.4.1	概要	274
9.4.2	レジスタ構成	274
9.4.3	端子機能	276
9.5	ポート7	277
9.5.1	概要	277
9.5.2	レジスタ構成	277
9.6	ポート8	278
9.6.1	概要	278
9.6.2	レジスタ構成	278
9.6.3	端子機能	280

9.7	ポート9	281
9.7.1	概要	281
9.7.2	レジスタ構成	281
9.7.3	端子機能	283
9.8	ポートA	285
9.8.1	概要	285
9.8.2	レジスタ構成	285
9.8.3	端子機能	287
9.9	ポートB	292
9.9.1	概要	292
9.9.2	レジスタ構成	292
9.9.3	端子機能	294
9.10	ポートC	300
9.10.1	概要	300
9.10.2	レジスタ構成	300
9.10.3	端子機能	302

9.1 概要

H8/3003には、8本の入出力ポート（ポート4、5、6、8、9、A、B、C）と1本の入力専用ポート（ポート7）があります。

ポート機能一覧を表9.1に示します。表9.1に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDRとDRのほかに、ポート4、5には入力プルアップMOSコントロールレジスタ（PCR）があり、プルアップMOSのオン/オフを制御できます。

ポート4～6、8、Cは1個のTTL負荷と90pFの容量負荷を駆動することができ、ポート9～Bは1個のTTL負荷と30pFの容量負荷を駆動することができます。

また、ポート4～6、8～Cはダーリントントランジスタを駆動することができます。ポート5、BはLEDを駆動（シンク電流10mA）することができます。また、ポートP8₂～P8₀、PA₇～PA₀、およびPB₃～PB₀はシュミット入力となっています。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 9.1 ポートの機能一覧

ポート	概要	端子	モード1	モード2	モード3	モード4
ポート4	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップMOS内蔵 	P4 ₇ ~P4 ₀ /D ₇ ~D ₀	データ入出力端子(D ₇ ~D ₀)と8ビットの入出力ポートの兼用 8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータ入出力端子			
ポート5	<ul style="list-style-type: none"> 4ビットの入出力ポート 入力プルアップMOS内蔵 LED駆動可能 	P5 ₇ ~P5 ₄ /A ₂₃ ~A ₂₀	入出力ポート		アドレス出力端子	
ポート6	<ul style="list-style-type: none"> 3ビットの入出力ポート 	P6 ₂ /BACK P6 ₁ /BREQ P6 ₀ /WAIT	バス制御信号入出力端子 (BACK、BREQ、WAIT) と3ビットの入出力ポートの兼用			
ポート7	<ul style="list-style-type: none"> 8ビットの入力専用ポート 	P7 ₇ ~P7 ₀ /AN ₇ ~AN ₀	A/D変換器のアナログ入力端子(AN ₇ ~AN ₀)と8ビットの入力ポートの兼用			
ポート8	<ul style="list-style-type: none"> 5ビットの入出力ポート P8₂~P8₀はシュミット入力 	P8 ₄ /CS ₀	DDR="0"のとき入力ポート DDR="1"のとき(リセット後)CS ₀ 出力端子			
		P8 ₃ /CS ₁ /IRQ ₃ P8 ₂ /CS ₂ /IRQ ₂ P8 ₁ /CS ₃ /IRQ ₁	IRQ ₃ ~IRQ ₁ 入力端子、CS ₁ ~CS ₃ 出力端子と入力ポートの兼用 DDR="0"のとき(リセット後)入力ポート DDR="1"のときCS ₁ ~CS ₃ 出力端子			
		P8 ₀ /RFSH/IRQ ₀	IRQ ₀ 入力端子、RFSH出力端子と入出力ポートの兼用			
ポート9	<ul style="list-style-type: none"> 6ビットの入出力ポート 	P9 ₅ /SCK ₁ /IRQ ₅ P9 ₄ /SCK ₀ /IRQ ₄ P9 ₃ /RxD ₁ P9 ₂ /RxD ₀ P9 ₁ /TxD ₁ P9 ₀ /TxD ₀	シリアルコミュニケーションインタフェースチャンネル0、1 (SCIO、1)の入出力端子(SCK ₁ 、SCK ₀ 、RxD ₁ 、RxD ₀ 、TxD ₁ 、TxD ₀)、およびIRQ ₅ 、IRQ ₄ 入力端子と6ビットの入出力ポートの兼用			
ポートA	<ul style="list-style-type: none"> 8ビットの入出力ポート シュミット入力 	PA ₇ /TP ₇ /TIOCB ₂ PA ₆ /TP ₆ /TIOCA ₂ PA ₅ /TP ₅ /TIOCB ₁ PA ₄ /TP ₄ /TIOCA ₁ PA ₃ /TP ₃ /TIOCB ₀ /TCLKD PA ₂ /TP ₂ /TIOCA ₀ /TCLKC PA ₁ /TP ₁ /TEND ₁ /TCLKB PA ₀ /TP ₀ /TEND ₀ /TCLKA	プログラマブルタイミングパターンコントローラ (TPC) 出力端子 (TP ₇ ~TP ₀)、DMAコントローラ (DMAC) の出力端子 (TEND ₁ 、TEND ₀)、16ビットインテグレートドタイムユニット (ITU) の入出力端子 (TCLKD、TCLKC、TCLKB、TCLKA、TIOCB ₂ 、TIOCA ₂ 、TIOCB ₁ 、TIOCA ₁ 、TIOCB ₀ 、TIOCA ₀) と8ビットの入出力ポートの兼用			
ポートB	<ul style="list-style-type: none"> 8ビットの入出力ポート LED駆動可能 PB₃~PB₀はシュミット入力 	PB ₇ /TP ₁₅ /DREQ ₁ /ADTRG PB ₆ /TP ₁₄ /DREQ ₀ PB ₅ /TP ₁₃ /TOCXB ₄ PB ₄ /TP ₁₂ /TOCXA ₄ PB ₃ /TP ₁₁ /TIOCB ₄ PB ₂ /TP ₁₀ /TIOCA ₄ PB ₁ /TP ₉ /TIOCB ₃ PB ₀ /TP ₈ /TIOCA ₃	TPCの出力端子(TP ₁₅ ~TP ₈)、DMACの入力端子(DREQ ₁ 、DREQ ₀)、A/D変換器の外部トリガ入力端子(ADTRG)、ITUの入出力端子(TOCXB ₄ 、TOCXA ₄ 、TIOCB ₄ 、TIOCA ₄ 、TIOCB ₃ 、TIOCA ₃)と8ビットの入出力ポートの兼用			
ポートC	<ul style="list-style-type: none"> 8ビットの入出力ポート 	PC ₇ /IRQ ₇ PC ₆ /IRQ ₆ PC ₅ /DREQ ₃ /CS ₇ PC ₄ /TEND ₃ /CS ₈ PC ₃ /DREQ ₂ /CS ₅ PC ₂ /TEND ₂ /CS ₄ PC ₁ PC ₀	IRQ ₇ 、IRQ ₆ 入力端子、CS ₇ ~CS ₄ 出力端子とDMACの入出力端子(DREQ ₃ 、TEND ₃ 、DREQ ₂ 、TEND ₂)と8ビットの入出力ポートの兼用			

9.2 ポート4

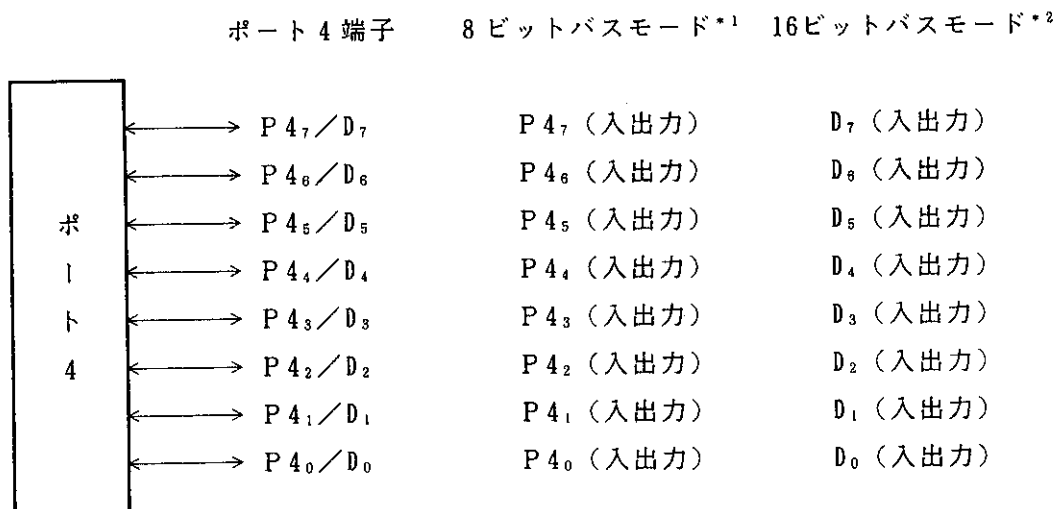
9.2.1 概要

ポート4は、8ビットの入出力ポートです。ポート4の各端子は、図9.1に示す構成となっており、8ビット/16ビットバスモードにより端子機能が異なります。

バス幅コントロールレジスタ (ABWCR) により、エリア0～7のすべてを8ビットアクセス空間に設定すると、8ビットバスモードとなり、ポート4は入出力ポートとなります。また、エリア0～7のうち少なくとも1つのエリアを16ビットアクセス空間に設定すると、16ビットバスモードとなり、ポート4はデータバスとなります。

ポート4は、プログラムで制御可能なプルアップMOSが内蔵されています。

ポート4は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。



【注】 *¹ モード1、3の初期状態

*² モード2、4の初期状態

図9.1 ポート4の端子構成

9.2.2 レジスタ構成

表 9.2 にポート 4 のレジスタ構成を示します。

表 9.2 ポート 4 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFC5	ポート 4 データディレクションレジスタ	P4DDR	W	H'00
H'FFC7	ポート 4 データレジスタ	P4DR	R/W	H'00
H'FFDA	ポート 4 入力プルアップMOSコントロールレジスタ	P4PCR	R/W	H'00

【注】* アドレスの下位16ビットを示しています。

(1) ポート 4 データディレクションレジスタ (P4DDR)

P4DDRは、8ビットのライト専用のレジスタで、ポート 4 各端子の入出力をビットごとに指定することができます。

ビット :	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート 4 データディレクション 7 ~ 0

ポート 4 の各端子の入出力を選択するビットです。

(a) 8ビットバスモード

全エリアを8ビットアクセス空間に設定し、8ビットバスモードとしたときポート 4 は入出力ポートとして機能します。P4DDRに“1”をセットすると対応するポート 4 の端子は出力端子となり、“0”にクリアすると入力端子になります。

(b) 16ビットバスモード

少なくとも1つのエリアを16ビットアクセス空間に設定し、16ビットバスモードとしたとき、ポート 4 はデータバスとして機能します。

P4DDRは、ライト専用レジスタで、リードは無効です。リードすると、“1”が読み出されます。

P4DDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCRおよびP4DDRはソフトウェアスタンバイモード時にはイニシャライズされません。したがって、ポート 4 が入出力ポートとして機能しているとき、P4DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート4データレジスタ (P4DR)

P4DRは、8ビットのリード/ライト可能なレジスタで、ポート4の各端子P4₇~P4₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7~0

ポート4の各端子のデータを格納するビットです。

P4DDRが“1”のとき、ポート4のリードを行うと、P4DRの値を直接リードします。そのため端子の状態の影響を受けません。P4DDRが“0”のとき、ポート4のリードを行うと、端子の状態が読み出されます。8ビット/16ビットバスモードで共通です。

P4DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート4入力プルアップMOSコントロールレジスタ (P4PCR)

P4PCRは8ビットのリード/ライト可能なレジスタで、ポート4に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0

ポート4に内蔵した入力プルアップMOSを制御するビットです。

8ビットバスモード時、P4DDRを“0”にクリアした(入力ポートの)状態で、P4PCRを“1”にセットすると入力プルアップMOSはONします。

P4PCRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.2.3 モード別端子機能

ポート4は、ABWCRによる8ビット/16ビットバスモードの設定により、端子機能が異なります。

以下モード別に説明します。

(1) 8ビットバスモード

ポート4の各端子は、ビット単位で入出力を指定可能です。P4DDRの各ビットを“1”にセットすると対応するポート4の端子は出力端子となり、“0”にクリアすると入力端子となります。

8ビットバスモードの端子機能を図9.2に示します。

モード1、3の初期状態です。

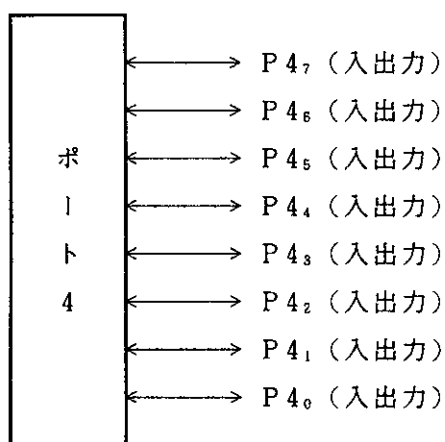


図9.2 8ビットバスモードの端子機能（ポート4）

(2) 16ビットバスモード

ポート4の各端子は、自動的にデータ入出力端子になります。P4DDRによる入出力の方向は無視されます。

16ビットバスモードの端子機能を図9.3に示します。

モード2、4の初期状態です。

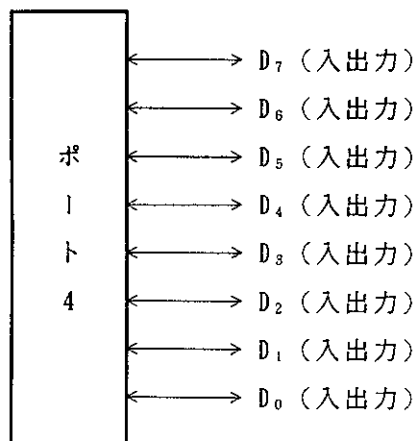


図9.3 16ビットバスモードの端子機能（ポート4）

9.2.4 入力プルアップMOS

ポート4は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、8ビットバスモードのときに使用でき、ビット単位でON/OFFを指定できます。

8ビットバスモードのとき、P4PCRを“1”にセットし、かつP4DDRを“0”にクリアすると、入力プルアップMOSはONとなります。

入力プルアップMOSは、リセット、またはハードウェアスタンバイモード時にはOFFします。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8ビット/16ビットバスモードでの、入力プルアップMOSの状態を表9.3に示します。

表9.3 入力プルアップMOSの状態（ポート4）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
8ビットバスモード	OFF		ON/OFF	
16ビットバスモード			OFF	

《記号説明》

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P4PCR = “1” かつ P4DDR = “0” のときON状態、その他のときはOFF状態です。

9.3 ポート5

9.3.1 概要

ポート5は、4ビットの入出力ポートです。ポート5の各端子は、図9.4に示す構成となっており、動作モードにより端子機能が異なります。

モード1、2に設定したとき、ポート5の各端子は入出力ポートとして機能します。また、モード3、4に設定したとき、ポート5の各端子はアドレス出力として機能します。

ポート5は、プログラムで制御可能なプルアップMOSが内蔵されています。

ポート5は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

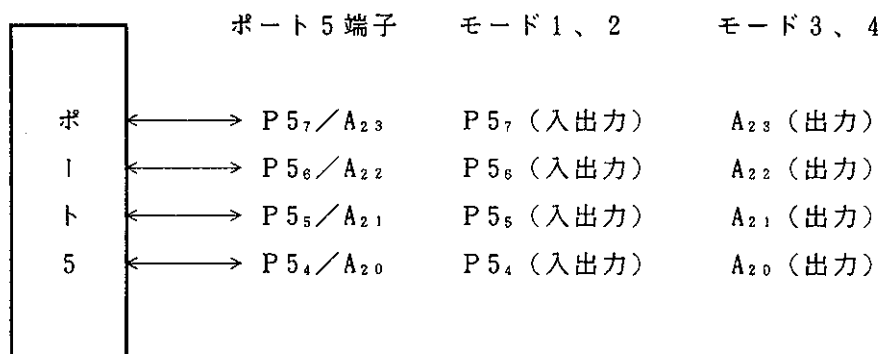


図9.4 ポート5の端子構成

9.3.2 レジスタ構成

表9.4にポート5のレジスタ構成を示します。

表9.4 ポート5レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード1、2	モード3、4
H'FFC8	ポート5データディレクションレジスタ	P5DDR	W	H'0F	H'FF
H'FFCA	ポート5データレジスタ	P5DR	R/W	H'00	
H'FFDB	ポート5入力プルアップMOSコントロールレジスタ	P5PCR	R/W	H'00	

【注】* アドレスの下位16ビットを示しています。

(1) ポート5データディレクションレジスタ (P5DDR)

P5DDRは、8ビットのライト専用のレジスタで、ポート5各端子の入出力をビットごとに指定することができます。

ビット :		7	6	5	4	3	2	1	0
		P5 ₇ DDR	P5 ₆ DDR	P5 ₅ DDR	P5 ₄ DDR	P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
モード1,2	初期値 :	0	0	0	0	1	1	1	1
	R/W :	W	W	W	W	—	—	—	—
モード3,4	初期値 :	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—

リザーブビット

ポート5データディレクション7~4

ポート5の各端子の入出力を選択するビットです。

(a) モード1、2 (1Mバイトモード)

ポート5は入出力ポートとして機能します。P5DDRに“1”をセットすると対応するポート5の端子は出力端子となり、“0”にクリアすると入力端子になります。

(b) モード3、4 (16Mバイトモード)

P5DDRは“1”に固定され、ポート5はアドレス出力として機能します。P5₃DDR~P5₀DDRビットはリザーブビットで“1”に固定されています。ライトは無効です。

モード1、2ではP5DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

P5DDRは、リセット、またはハードウェアスタンバイモード時に、H'0Fにイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P5DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート5データレジスタ (P5DR)

P5DRは、8ビットのリード/ライト可能なレジスタで、ポート5の各端子P5₇~P5₄のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート5データ7~4

ポート5の各端子のデータを格納するビットです。

P5DDRが“1”のとき、ポート5のリードを行うと、P5DRの値を直接リードします。そのため端子の状態の影響を受けません。P5DDRが“0”のときポート5のリードを行うと、端子の状態が読み出されます。

P5₃~P5₀ビットは、リザーブビットです。リード/ライト可能ですが、ポートとしては使用できません。

P5DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート5入力プルアップMOSコントロールレジスタ (P5PCR)

P5PCRは8ビットのリード/ライト可能なレジスタで、ポート5に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P5 ₇ PCR	P5 ₆ PCR	P5 ₅ PCR	P5 ₄ PCR	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール7~4

ポート5に内蔵した入力プルアップMOSを制御するビットです。

モード1、2のとき、P5DDRを“0”にクリアした（入力ポート）状態でP5₇PCR～P5₄PCRビットを“1”にセットすると入力プルアップMOSはONします。

P5₃PCR～P5₀PCRビットは、リザーブビットです。リード/ライト可能ですが、入力プルアップMOSは使用できません。

P5PCRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.3.3 モード別端子機能

ポート5は、モード1、2（1Mバイトモード）とモード3、4（16Mバイトモード）とでは、端子機能が異なります。以下モード別に説明します。

(1) モード1、2（1Mバイトモード）時の端子機能

ポート5の各端子は、ビット単位で入出力を指定可能です。P5DDRの各ビットを“1”にセットすると対応するポート5の端子は出力端子となり、“0”にクリアすると入力端子となります。モード1、2の端子機能を図9.5に示します。

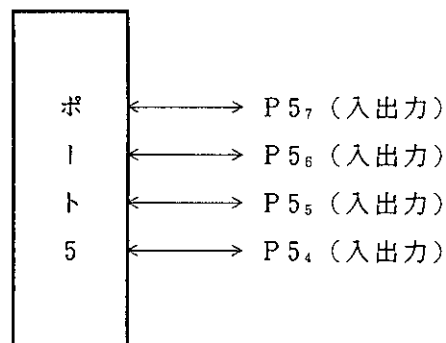


図9.5 モード1、2時の端子機能（ポート5）

(2) モード3、4（16Mバイトモード）時の端子機能

ポート5の各端子は、自動的にアドレス出力端子になります。モード3、4の端子機能を図9.6に示します。

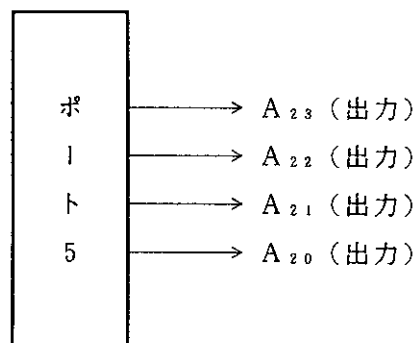


図9.6 モード3、4時の端子機能（ポート5）

9.3.4 入力プルアップMOS

ポート5は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード1、2で使用でき、ビット単位でON/OFFを指定できます。

モード1、2のとき、P5PCRを“1”にセットし、かつP5DDRを“0”にクリアすると、入力プルアップMOSはONとなります。

入力プルアップMOSは、リセット、またはハードウェアスタンバイモード時にはOFFします。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表9.5に示します。

表9.5 入力プルアップMOSの状態（ポート5）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF		ON/OFF	
2				
3			OFF	
4				

《記号説明》

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P5PCR = “1” かつ P5DDR = “0” のときON状態、その他のときはOFF状態です。

9.4 ポート6

9.4.1 概要

ポート6は、3ビットの入出力ポートです。ポート6はバス制御入出力端子（ $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{WAIT}}$ ）と兼用になっています。ポート6の端子機能は、いずれの動作モードでも共通です。ポート6の端子構成を図9.7に示します。

ポート6は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

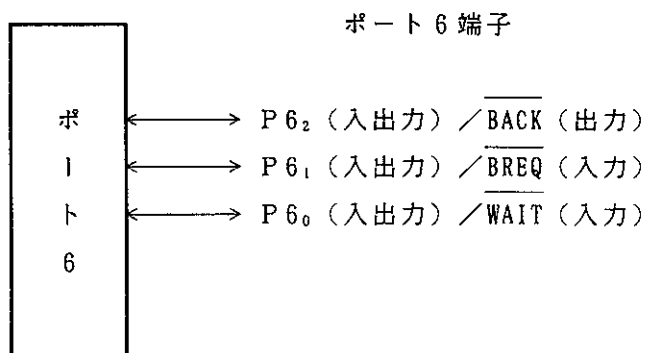


図9.7 ポート6の端子構成

9.4.2 レジスタ構成

表9.6にポート6のレジスタ構成を示します。

表9.6 ポート6レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFC9	ポート6データディレクションレジスタ	P6DDR	W	H'80
H'FFCB	ポート6データレジスタ	P6DR	R/W	H'80

【注】* アドレスの下位16ビットを示しています。

(1) ポート6データディレクションレジスタ (P6DDR)

P6DDRは、8ビットのライト専用のレジスタで、ポート6の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

リザーブビット
ポート6データディレクション2~0
 ポート6の各端子の入出力を選択するビットです。

P6DDRに“1”をセットすると対応するポート6の端子は出力端子となり、“0”にクリアすると入力端子になります。

ビット7~3はリザーブビットです。

P6DDRは、ライト専用で、リードは無効です。リードすると“1”が読み出されます。

P6DDRは、リセット、またはハードウェアスタンバイモード時に、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート6データレジスタ (P6DR)

P6DRは、8ビットのリード/ライト可能なレジスタで、ポート6の各端子P6₂~P6₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート6データ2~0
 ポート6の各端子のデータを格納するビットです。

P6DDRが“1”のときポート6のリードを行うと、P6DRの値を直接リードします。P6DDRが“0”のときポート6のリードを行うと端子の状態が読み出されます。このとき、ビット7は“1”、ビット6~3は不定となります。ビット7~3はリザーブビットです。このうち、6~3はリード/ライト可能ですが、ポートとしては使用できません。また、ビット7はリードする

と常に“1”が読み出されます。ライトは無効です。

P6DRは、リセット、またはハードウェアスタンバイモード時に、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.4.3 端子機能

ポート6の各端子はBACK出力端子、BREQ、WAIT入力端子と兼用になっています。ポート6の端子機能について表9.7に示します。

表9.7 ポート6の端子機能

端子	選択方法と端子機能				
P6 ₂ /BACK	BRCRのBRLEビットとP6 ₂ DDRビットの組合わせにより、次のように切り換わります。				
	BRLE	0		1	
	P6 ₂ DDR	0	1	—————	
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子	BACK出力端子	
P6 ₁ /BREQ	BRCRのBRLEビットとP6 ₁ DDRビットの組合わせにより、次のように切り換わります。				
	BRLE	0		1	
	P6 ₁ DDR	0	1	—————	
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子	BREQ入力端子	
P6 ₀ /WAIT	WCERのWCE7~WCE0、WCRのWMS1ビットとP6 ₀ DDRビットの組合わせで、次のように切り換わります。				
	WCER	すべてが“1”		いずれかが“0”	
	WMS1	0		1	—————
	P6 ₀ DDR	0	1	0*	0*
端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子	WAIT入力端子		
【注】* P6 ₀ DDRは“1”にセットしないでください。					

9.5 ポート7

9.5.1 概要

ポート7は8ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート7の端子構成を図9.8に示します。

ポート7端子

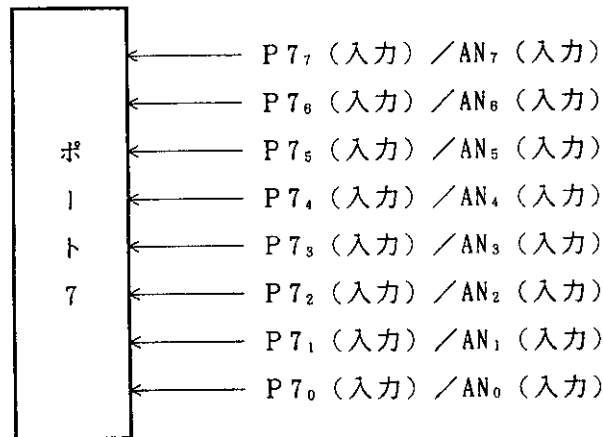


図9.8 ポート7の端子構成

9.5.2 レジスタ構成

表9.8にポート7のレジスタ構成を示します。ポート7は入力専用ポートであり、データディレクションレジスタはありません。

表9.8 ポート7レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFCE	ポート7データレジスタ	P7DR	R	不定

【注】* アドレスの下位16ビットを示しています。

(1) ポート7データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	—	*	—	*	—	*	—	*
R/W:	R	R	R	R	R	R	R	R

【注】* P7₇~P7₀端子により決定されます。

P7DRのリードを行うと、常に端子の状態が読み出されます。

9.6 ポート 8

9.6.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS_3}$ ~ $\overline{CS_0}$ 出力端子、RFSH出力端子、 $\overline{IRQ_3}$ ~ $\overline{IRQ_0}$ 入力端子と兼用になっています。

ポート 8 の端子機能はいずれの動作モードでも共通です。ポート 8 の端子構成を図 9.9 に示します。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

P8₂~P8₀端子はシュミットトリガ入力です。

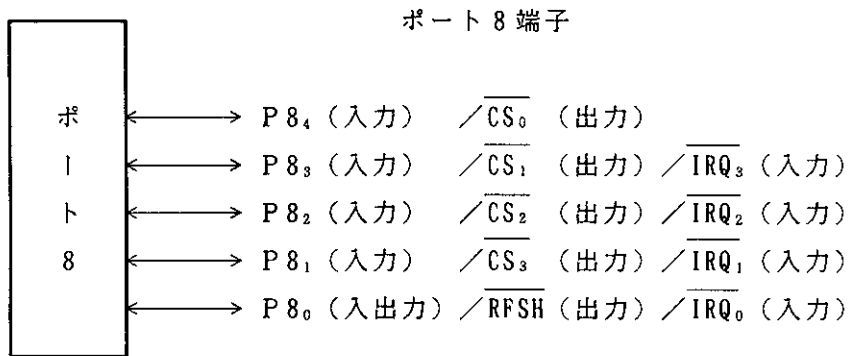


図 9.9 ポート 8 の端子構成

9.6.2 レジスタ構成

表 9.9 にポート 8 のレジスタ構成を示します。

表 9.9 ポート 8 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFCD	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0
H'FFCF	ポート 8 データレジスタ	P8DR	R/W	H'E0

【注】* アドレスの下位 16 ビットを示しています。

(1) ポート8データディレクションレジスタ (P8DDR)

P8DDRは、8ビットのライト専用のレジスタで、ポート8各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	W	W	W	W	W

リザーブビット

ポート8データディレクション4~0

ポート8の各端子の入出力を選択するビットです。

P8DDRを“1”にセットすると、P8₄~P8₁はCS₀~CS₃出力端子となり、P8₀はポート出力端子となります。また、P8DDRを“0”にクリアすると入力端子になります。

P8DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されま

す。P8DDRは、リセット、またはハードウェアスタンバイモード時に、H'F0にイニシャライズされます。P8DDRは、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート8データレジスタ (P8DR)

P8DRは、8ビットのリード/ライト可能なレジスタで、ポート8の各端子P8₄~P8₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ4~0

ポート8の各端子のデータを格納するビットです。

P8DDRが“1”のときポート8のリードを行うと、P8DRの値を直接リードします。P8DDRが“0”のときポート8のリードを行うと端子の状態が読み出されます。

ビット7~5はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

P8DRは、リセット、またはハードウェアスタンバイモード時に、H'E0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.6.3 端子機能

ポート 8 の各端子は $\overline{CS}_3 \sim \overline{CS}_0$ 、RFSH出力端子、および $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 入力端子と兼用になっています。ポート 8 の端子機能について表 9.10 に示します。

表 9.10 ポート 8 の端子機能

端 子	選 択 方 法 と 端 子 機 能			
$P8_4/\overline{CS}_0$	P8 ₄ DDRビットにより、次のように切り換わります。			
	P8 ₄ DDR	0	1	
	端子機能	P8 ₄ 入力端子	\overline{CS}_0 出力端子	
$P8_3/\overline{CS}_1/\overline{IRQ}_3$	P8 ₃ DDRビットにより、次のように切り換わります。			
	P8 ₃ DDR	0	1	
	端子機能	P8 ₃ 入力端子	\overline{CS}_1 出力端子	
		\overline{IRQ}_3 入力端子		
$P8_2/\overline{CS}_2/\overline{IRQ}_2$	P8 ₂ DDRビットにより、次のように切り換わります。			
	P8 ₂ DDR	0	1	
	端子機能	P8 ₂ 入力端子	\overline{CS}_2 出力端子	
		\overline{IRQ}_2 入力端子		
$P8_1/\overline{CS}_3/\overline{IRQ}_1$	P8 ₁ DDRビットにより、次のように切り換わります。			
	P8 ₁ DDR	0	1	
	端子機能	P8 ₁ 入力端子	\overline{CS}_3 出力端子	
		\overline{IRQ}_1 入力端子		
$P8_0/\overline{RFSH}/\overline{IRQ}_0$	RFSHCRのRFSHEビット、およびP8 ₀ DDRビットの組合わせにより、次のように切り換わります。			
	RFSHE	0		
	P8 ₀ DDR	0	1	_____
		P8 ₀ 入力端子	P8 ₀ 出力端子	\overline{RFSH} 出力端子
	端子機能	\overline{IRQ}_0 入力端子		

9.7 ポート9

9.7.1 概要

ポート9は、6ビットの入出力ポートです。ポート9はシリアルコミュニケーションインタフェースチャンネル0、1（SCI0、1）の入出力端子（TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁）、IRQ₅、IRQ₄入力端子と兼用になっています。

ポート9の端子機能はいずれの動作モードでも共通です。ポート9の端子構成を図9.10に示します。

ポート9は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

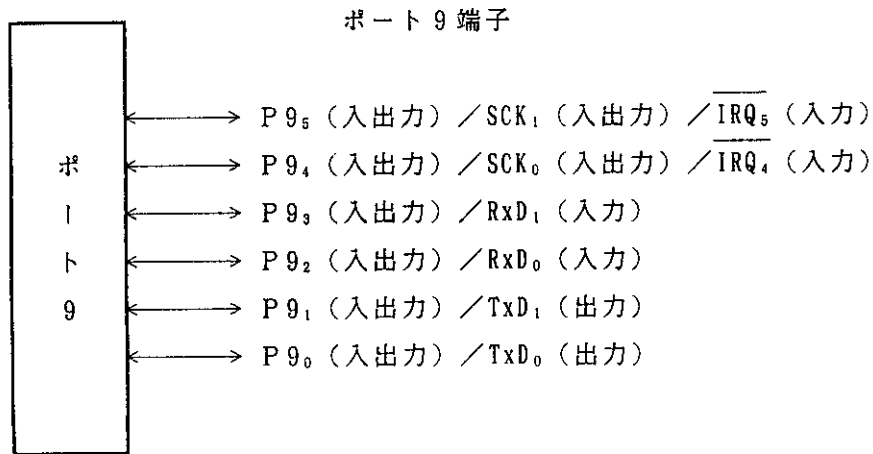


図9.10 ポート9の端子構成

9.7.2 レジスタ構成

表9.11にポート9のレジスタ構成を示します。

表9.11 ポート9レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD0	ポート9データディレクションレジスタ	P9DDR	W	H'00
H'FFD2	ポート9データレジスタ	P9DR	R/W	H'00

【注】* アドレスの下位16ビットを示しています。

(1) ポート9データディレクションレジスタ (P9DDR)

P9DDRは、8ビットのライト専用のレジスタで、ポート9各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

リザーブビット

ポート9データディレクション5~0

ポート9の各端子の入出力を選択するビットです。

P9DDRを“1”にセットすると対応するポート9の各端子は出力となり、“0”にクリアすると入力になります。

P9DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

P9DDRは、リセット、またはハードウェアスタンバイモード時に、H'COにイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDRが、“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート9データレジスタ (P9DR)

P9DRは、8ビットのリード/ライト可能なレジスタで、ポート9の各端子P9₅~P9₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート9データ5~0

ポート9の各端子のデータを格納するビットです。

P9DDRが“1”のとき、ポート9のリードを行うと、P9DRの値を直接リードします。

P9DDRが“0”のとき、ポート9のリードを行うと、端子の状態が読み出されます。

ビット7、6はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

P9DRは、リセット、またはハードウェアスタンバイモード時に、H'COにイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.7.3 端子機能

ポート9の各端子はSCI0、1の入出力端子(TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、およびIRQ₅、IRQ₄入力端子と兼用になっています。ポート9の端子機能について表9.12に示します。

表9.12 ポート9の端子機能(1)

端子	選択方法と端子機能					
P9 ₅ /SCK ₁ / IRQ ₅	SCI1のSMRのC/Aビット、SCRのCKE0、1ビットとP9 ₅ DDRビットの組合わせにより次のように切り換わります。					
	CKE1	0			1	
	C/A	0		1	——	
	CKE0	0	1	——		——
	P9 ₅ DDR	0	1	——		——
	端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子
IRQ ₅ 入力端子						
P9 ₄ /SCK ₀ / IRQ ₄	SCI0のSMRのC/Aビット、SCRのCKE0、1ビットとP9 ₄ DDRビットの組合わせにより次のように切り換わります。					
	CKE1	0			1	
	C/A	0		1	——	
	CKE0	0	1	——		——
	P9 ₄ DDR	0	1	——		——
	端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK ₀ 出力端子	SCK ₀ 出力端子	SCK ₀ 入力端子
IRQ ₄ 入力端子						

表 9.12 ポート 9 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P9 ₃ /RxD ₁	S C I 1 の S C R の R E ビットと P9 ₃ D D R ビットの組合わせにより、次のように切り換わります。		
	R E	0	1
	P9 ₃ D D R	0	1
端 子 機 能	P9 ₃ 入力端子	P9 ₃ 出力端子	RxD ₁ 入力端子
P9 ₂ /RxD ₀	S C I 0 の S C R の R E ビットと P9 ₂ D D R ビットの組合わせにより、次のように切り換わります。		
	R E	0	1
	P9 ₂ D D R	0	1
端 子 機 能	P9 ₂ 入力端子	P9 ₂ 出力端子	RxD ₀ 入力端子
P9 ₁ /TxD ₁	S C I 1 の S C R の T E ビットと P9 ₁ D D R ビットの組合わせにより、次のように切り換わります。		
	T E	0	1
	P9 ₁ D D R	0	1
端 子 機 能	P9 ₁ 入力端子	P9 ₁ 出力端子	TxD ₁ 出力端子
P9 ₀ /TxD ₀	S C I 0 の S C R の T E ビットと P9 ₀ D D R ビットの組合わせにより、次のように切り換わります。		
	T E	0	1
	P9 ₀ D D R	0	1
端 子 機 能	P9 ₀ 入力端子	P9 ₀ 出力端子	TxD ₀ 出力端子

9.8 ポートA

9.8.1 概要

ポートAは、8ビットの入出力ポートです。ポートAは、TPCの出力端子(TP₇~TP₀)、ITUの入出力端子(TIOCB₂、TIOCA₂、TIOCB₁、TIOCA₁、TIOCB₀、TIOCA₀、TCLKD、TCLKC、TCLKB、TCLKA)、DMACの出力端子(TEND₁、TEND₀)と兼用になっています。ポートAの端子機能はいずれの動作モードでも共通です。ポートAの端子構成を図9.11に示します。

ポートAは、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポートAはシュミットトリガ入力です。

ポートA端子

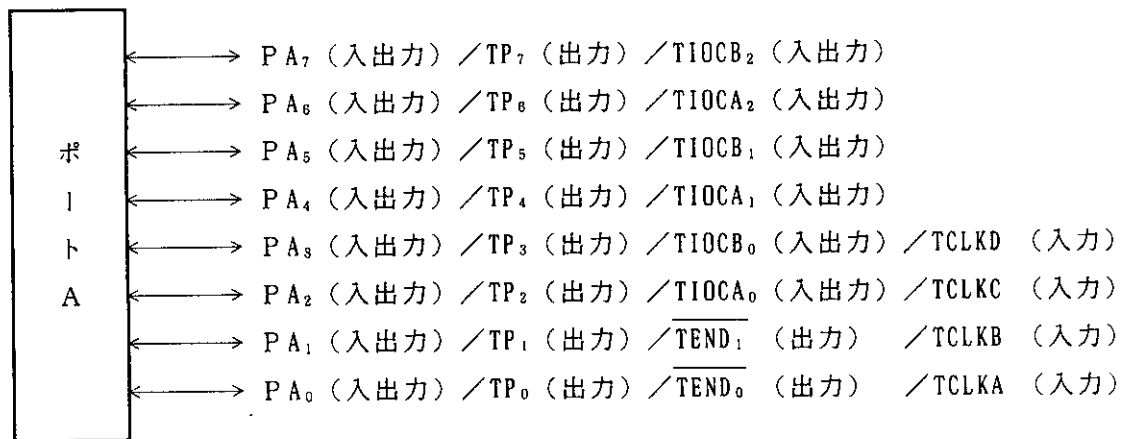


図9.11 ポートAの端子構成

9.8.2 レジスタ構成

表9.13にポートAのレジスタ構成を示します。

表9.13 ポートAレジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD1	ポートAデータディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポートAデータレジスタ	PADR	R/W	H'00

【注】* アドレスの下位16ビットを示しています。

(1) ポートAデータディレクションレジスタ (PADDR)

PADDRは、8ビットのライト専用のレジスタで、ポートA各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

PADDRを“1”にセットすると対応するポートAの各端子は出力となり、“0”にクリアすると入力になります。

PADDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

PADDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポートAデータレジスタ (PADR)

PADRは、8ビットのリード/ライト可能なレジスタで、ポートAの各端子PA₇~PA₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータ7~0

ポートAの各端子のデータを格納するビットです。

PADDRが“1”のとき、ポートAのリードを行うとPADRの値を直接リードします。PADDRが“0”のとき、ポートAのリードを行うと端子の状態が読み出されます。

PADRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.8.3 端子機能

ポートAの各端子はTPCの出力端子(TP₇~TP₀)、ITUの入出力端子(TIOCB₂~TIOCB₀、TIOCA₂~TIOCA₀)と入力端子(TCLKD、TCLKC、TCLKB、TCLKA)、およびDMACの入力端子(TEND₁、TEND₀)と兼用になっています。ポートAの端子機能について表9.14に示します。

表 9.14 ポートAの端子機能(1)

端 子	選 択 方 法 と 端 子 機 能				
PA ₇ / TP ₇ / TIOCB ₂	TMDRのPWM2ビット、TIOB2のIOB2~IOB0ビットによるITUチャンネル2の設定、NDERAのNDER7ビット、およびPADDRのPA ₇ DDRビットの組み合わせにより、次のように切り換わります。				
	ITUチャンネル2の設定	下表①		下表②	
	PA ₇ DDR	—————		0	1
	NDER7	—————		0	1
	端子機能	TIOCB ₂ 出力		PA ₇ 入力	PA ₇ 出力
				TIOCB ₂ 入力*	
	【注】* IOB2 = “1”、かつPWM2 = “0” の場合にTIOCB ₂ 入力となります。				
	ITUチャンネル2の設定	②	①		②
	IOB2	0			1
	IOB1	0	0	1	—————
	IOB0	0	1	—	—————

表 9.14 ポートAの端子機能(2)

端 子	選 択 方 法 と 端 子 機 能				
PA ₆ / TP ₆ / TIOCA ₂	TMDRのPWM2ビット、TIOA2のIOA2～IOA0ビットによるITUチャンネル2の設定、NDERAのNDER6ビット、およびPADDRのPA ₆ DDRビットの組合わせにより、次のように切り換わります。				
	ITUチャンネル2の設定	下表①		下表②	
	PA ₆ DDR	——		0	1
	NDER6	——		0	1
	端子機能	TIOCA ₂ 出力		PA ₆ 入力	PA ₆ 出力
				TIOCA ₂ 入力*	
	【注】* IOA2 = “1” の場合にTIOCA ₂ 入力となります。				
	ITUチャンネル2の設定	②	①	②	①
	PWM2	0			1
	IOA2	0		1	——
	IOA1	0	0	1	——
	IOA0	0	1	——	——
PA ₅ / TP ₅ / TIOCB ₁	TMDRのPWM1ビットTIOA1のIOB2～IOB0ビットによるITUチャンネル1の設定、NDERAのNDER5ビット、およびPADDRのPA ₅ DDRビットの組合わせにより、次のように切り換わります。				
	ITUチャンネル1の設定	下表①		下表②	
	PA ₅ DDR	——		0	1
	NDER5	——		0	1
	端子機能	TIOCB ₁ 出力		PA ₅ 入力	PA ₅ 出力
				TIOCB ₁ 入力*	
	【注】* IOB2 = “1”、かつPWM1 = “0” の場合にTIOCB ₁ 入力となります。				
	ITUチャンネル1の設定	②	①	②	
	IOB2	0			1
	IOB1	0	0	1	——
	IOB0	0	1	——	——

表 9.14 ポートAの端子機能(3)

端 子	選 択 方 法 と 端 子 機 能																																																					
PA ₄ / TP ₄ / TIOCA ₁	<p>TMDRのPWM1ビット、TIOR1のIOA2～IOA0ビットによるITUチャンネル1の設定、NDERAのNDER4ビット、およびPADDRのPA₄DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル1の設定</th> <th>下表①</th> <th colspan="3">下表②</th> </tr> </thead> <tbody> <tr> <td>PA₄DDR</td> <td>_____</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER4</td> <td>_____</td> <td>_____</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端 子 機 能</td> <td rowspan="2">TIOCA₁出力</td> <td>PA₄入力</td> <td>PA₄出力</td> <td>TP₄出力</td> </tr> <tr> <td colspan="3">TIOCA₁入力*</td> </tr> </tbody> </table> <p>【注】* IOA2 = “1” の場合にTIOCA₁入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル1の設定</th> <th>②</th> <th colspan="2">①</th> <th>②</th> <th>①</th> </tr> </thead> <tbody> <tr> <td>PWM1</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>IOA2</td> <td colspan="3">0</td> <td>1</td> <td>_____</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td>_____</td> <td>_____</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td>_____</td> <td>_____</td> <td>_____</td> </tr> </tbody> </table>	ITUチャンネル1の設定	下表①	下表②			PA ₄ DDR	_____	0	1	1	NDER4	_____	_____	0	1	端 子 機 能	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	TIOCA ₁ 入力*			ITUチャンネル1の設定	②	①		②	①	PWM1	0				1	IOA2	0			1	_____	IOA1	0	0	1	_____	_____	IOA0	0	1	_____	_____	_____
ITUチャンネル1の設定	下表①	下表②																																																				
PA ₄ DDR	_____	0	1	1																																																		
NDER4	_____	_____	0	1																																																		
端 子 機 能	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力																																																		
		TIOCA ₁ 入力*																																																				
ITUチャンネル1の設定	②	①		②	①																																																	
PWM1	0				1																																																	
IOA2	0			1	_____																																																	
IOA1	0	0	1	_____	_____																																																	
IOA0	0	1	_____	_____	_____																																																	
PA ₃ / TP ₃ / TIOCB ₀ /TCLKD	<p>TMDRのPWM0ビット、TIOR0のIOB2～IOB0ビットによるITUチャンネル0の設定、TCR4～TCR0のTPSC2～TPSC0ビット、NDERAのNDER3ビット、およびPADDRのPA₃DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>下表①</th> <th colspan="3">下表②</th> </tr> </thead> <tbody> <tr> <td>PA₃DDR</td> <td>_____</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER3</td> <td>_____</td> <td>_____</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="3">端 子 機 能</td> <td rowspan="3">TIOCB₀出力</td> <td>PA₃入力</td> <td>PA₃出力</td> <td>TP₃出力</td> </tr> <tr> <td colspan="3">TIOCB₀入力*¹</td> </tr> <tr> <td colspan="3">TCLKD入力*²</td> </tr> </tbody> </table> <p>【注】*¹ IOB2 = “1”、かつPWM0 = “0” の場合にTIOCB₀入力となります。 *² TCR4～TCR0のいずれかの設定がTPSC2 = TPSC1 = TPSC0 = “1” の場合にTCLKD入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>②</th> <th colspan="2">①</th> <th>②</th> </tr> </thead> <tbody> <tr> <td>IOB2</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>IOB1</td> <td>0</td> <td>0</td> <td>1</td> <td>_____</td> </tr> <tr> <td>IOB0</td> <td>0</td> <td>1</td> <td>_____</td> <td>_____</td> </tr> </tbody> </table>	ITUチャンネル0の設定	下表①	下表②			PA ₃ DDR	_____	0	1	1	NDER3	_____	_____	0	1	端 子 機 能	TIOCB ₀ 出力	PA ₃ 入力	PA ₃ 出力	TP ₃ 出力	TIOCB ₀ 入力* ¹			TCLKD入力* ²			ITUチャンネル0の設定	②	①		②	IOB2	0			1	IOB1	0	0	1	_____	IOB0	0	1	_____	_____							
ITUチャンネル0の設定	下表①	下表②																																																				
PA ₃ DDR	_____	0	1	1																																																		
NDER3	_____	_____	0	1																																																		
端 子 機 能	TIOCB ₀ 出力	PA ₃ 入力	PA ₃ 出力	TP ₃ 出力																																																		
		TIOCB ₀ 入力* ¹																																																				
		TCLKD入力* ²																																																				
ITUチャンネル0の設定	②	①		②																																																		
IOB2	0			1																																																		
IOB1	0	0	1	_____																																																		
IOB0	0	1	_____	_____																																																		

表 9.14 ポート A の端子機能(4)

端 子	選 択 方 法 と 端 子 機 能					
PA ₂ / TP ₂ / TIOCA ₀ /TCLKC	TMDRのPWM0ビット、TIOR0のIOA2~IOA0ビットによるITUチャンネル0の設定、TCR4~TCR0のTPSC2~TPSC0ビット、NDERAのNDER2ビット、およびPADDDRのPA ₂ DDRビットの組合わせにより、次のように切り換わります。					
	ITUチャンネル0の設定	下表①	下表②			
	PA ₂ DDR	—————	0	1	1	
	NDER2	—————	—————	0	1	
	端 子 機 能	TIOCA ₀ 出力	PA ₂ 入力	PA ₂ 出力	TP ₂ 出力	
			TIOCA ₀ 入力* ¹			
	TCLKC入力* ²					
	【注】* ¹ IOA2 = “1” の場合にTIOCA ₀ 入力となります。					
	* ² TCR4~TCR0のいずれかの設定がTPSC2 = TPSC1 = “1”、TPSC0 = “0” の場合にTCLKC入力となります。					
	ITUチャンネル0の設定	②	①		②	①
	PWM0	0			1	
	IOA2	0		1	—————	
	IOA1	0	0	1	—————	—————
	IOA0	0	1	—————	—————	—————

表 9.14 ポート A の端子機能(5)

端 子	選 択 方 法 と 端 子 機 能								
PA ₁ / TP ₁ / TCLKB/ TEND ₁	DTCR1A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル1の設定、NDERAのNDER1ビット、およびPADDRのPA ₁ DDRビットの組合わせにより、次のように切り換わります。								
	DMACチャンネル1の設定	下表①			下表②				
	PA ₁ DDR	_____			0	1	1		
	NDER1	_____			_____	0	1		
	端 子 機 能	TEND ₁ 出力			PA ₁ 入力	PA ₁ 出力	TP ₁ 出力		
		TCLKB入力*							
	【注】* TMDRのMDF = "1" の場合、またはTCR4~TCR0のいずれかの設定がTPSC2 = "1"、TPSC1 = "0"、TPSC0 = "1" の場合にTCLKB入力となります。								
	DMACチャンネル1の設定	②		①	②		①		
	DTS2A、1A	いずれかが0			いずれも1				
	DTS0A	_____			0	0	1	1	1
	DTS2B	0	1	1	0	1	0	1	1
	DTS1B	-	0	1	-	-	-	0	1
PA ₀ / TP ₀ / TCLKA/ TEND ₀	DTCR0A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル0の設定、NDERAのNDER0ビット、およびPADDRのPA ₀ DDRビットの組合わせにより、次のように切り換わります。								
	DMACチャンネル0の設定	下表①			下表②				
	PA ₀ DDR	_____			0	1	1		
	NDER0	_____			_____	0	1		
	端 子 機 能	TEND ₀ 出力			PA ₀ 入力	PA ₀ 出力	TP ₀ 出力		
		TCLKA入力*							
	【注】* TMDRのMDF = "1" の場合、またはTCR4~TCR0のいずれかの設定がTPSC2 = "1"、TPSC1 = "0" の場合にTCLKA入力となります。								
	DMACチャンネル0の設定	②		①	②		①		
	DTS2A、1A	いずれかが"0"			いずれも"1"				
	DTS0A	_____			0	0	1	1	1
	DTS2B	0	1	1	0	1	0	1	1
	DTS1B	-	0	1	-	-	-	0	1

9.9 ポート B

9.9.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は T P C の出力端子 (TP₁₅~TP₈)、I T U の入出力端子 (TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃) と出力端子 (TOCXB₄、TOCXA₄)、D M A C の入力端子 (DREQ₁、DREQ₀)、A / D 変換器の ADTRG 入力端子と兼用になっています。ポート B の端子機能はいずれの動作モードでも共通です。ポート B の端子構成を図 9.12 に示します。

ポート B は、1 個の T T L 負荷と 30pF の容量負荷を駆動できます。また、L E D、ダーリントントランジスタを駆動することもできます。PB₃~PB₀ は、シュミットトリガ入力です。

ポート B 端子

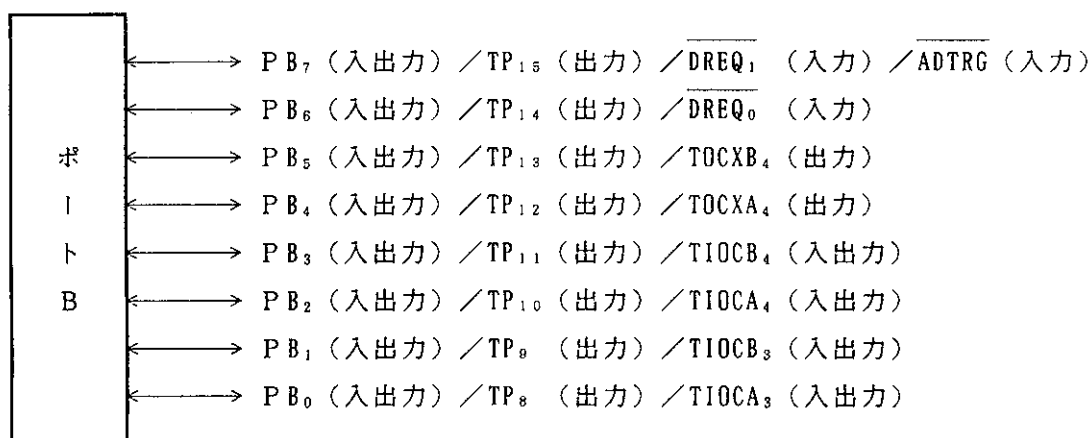


図 9.12 ポート B の端子構成

9.9.2 レジスタ構成

表 9.15 にポート B のレジスタ構成を示します。

表 9.15 ポート B レジスタ構成

アドレス*	名 称	略 称	R / W	初期値
H'FFD4	ポート B データディレクションレジスタ	P B D D R	W	H'00
H'FFD6	ポート B データレジスタ	P B D R	R / W	H'00

【注】* アドレスの下位 16 ビットを示しています。

(1) ポートBデータディレクションレジスタ (PBDDR)

PBDDRは、8ビットのライト専用のレジスタで、ポートB各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0
 ポートBの各端子の入出力を選択するビットです。

PBDDRを“1”にセットすると対応するポートBの各端子は出力となり、“0”にクリアすると入力になります。

PBDDRは、ライト専用レジスタで、リードは無効です。リードすると、“1”が読み出されます。

PBDDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポートBデータレジスタ (PBDR)

PBDRは、8ビットのリード/ライト可能なレジスタで、ポートBの各端子PB₇~PB₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBデータ7~0
 ポートBの各端子のデータを格納するビットです。

PBDDRが“1”のとき、ポートBのリードを行うとPBDRの値を直接リードします。PBDDRが“0”のときポートBのリードを行うと端子の状態が読み出されます。

PBDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.9.3 端子機能

ポートBの各端子はTPCの出力端子(TP₁₅~TP₈)、ITUの入出力端子(TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃)と出力端子(TOCXB₄、TOCXA₄)、DMACの入力端子(DREQ₁、DREQ₀)、およびADTRG入力端子と兼用になっています。ポートBの端子機能について表9.16に示します。

表 9.16 ポートBの端子機能(1)

端 子	選 択 方 法 と 端 子 機 能								
PB ₇ / TP ₁₅ / DREQ ₁ / ADTRG	DTCR1A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル1の設定、ADCRのTRGEビット、NDERBのNDER15ビット、およびPBDDRのPB ₇ DDRビットの組合わせにより、次のように切り換わります。								
	PB ₇ DDR	0		1		1			
	NDER15	—		0		1			
	端 子 機 能	PB ₇ 入力		PB ₇ 出力		TP ₁₅ 出力			
		DREQ ₁ 入力* ¹							
		ADTRG入力* ²							
【注】* ¹ DMACチャンネル1の設定のが下表①のときDREQ ₁ 入力となります。									
* ² TRGE = “1” のときADTRG入力となります。									
DMACチャンネル1の設定	②		①		②	①	②	②	①
DTS2A、1A	いずれかが“0”			いずれも“1”					
DTS0A	—			0	0	1	1	1	
DTS2B	0	1	1	0	1	0	1	1	
DTS1B	—	0	1	—	—	—	0	1	

表 9.16 ポート B の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能																																																													
PB ₆ / TP ₁₄ / DREQ ₀	<p>DTCR0A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル0の設定、NDERBのNDER14ビット、およびPBDDRのPB₆DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <tr> <td>PB₆DDR</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER14</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td>端 子 機 能</td> <td>PB₆入力</td> <td>PB₆出力</td> <td>TP₁₄出力</td> </tr> <tr> <td></td> <td colspan="3" style="text-align: center;">DREQ₀入力*</td> </tr> </table> <p>【注】* DMACチャンネル0の設定のが下表①のときDREQ₀入力となります。</p> <table border="1"> <tr> <td>DMACチャンネル0の設定</td> <td colspan="2">②</td> <td>①</td> <td>②</td> <td>①</td> <td>②</td> <td>②</td> <td>①</td> </tr> <tr> <td>DTS2A、1A</td> <td colspan="3">いずれかが“0”</td> <td colspan="5">いずれも“1”</td> </tr> <tr> <td>DTS0A</td> <td colspan="3">—</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS1B</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> </table>	PB ₆ DDR	0	1	1	NDER14	—	0	1	端 子 機 能	PB ₆ 入力	PB ₆ 出力	TP ₁₄ 出力		DREQ ₀ 入力*			DMACチャンネル0の設定	②		①	②	①	②	②	①	DTS2A、1A	いずれかが“0”			いずれも“1”					DTS0A	—			0	0	1	1	1	DTS2B	0	1	1	0	1	0	1	1	DTS1B	—	0	1	—	—	—	0	1
PB ₆ DDR	0	1	1																																																											
NDER14	—	0	1																																																											
端 子 機 能	PB ₆ 入力	PB ₆ 出力	TP ₁₄ 出力																																																											
	DREQ ₀ 入力*																																																													
DMACチャンネル0の設定	②		①	②	①	②	②	①																																																						
DTS2A、1A	いずれかが“0”			いずれも“1”																																																										
DTS0A	—			0	0	1	1	1																																																						
DTS2B	0	1	1	0	1	0	1	1																																																						
DTS1B	—	0	1	—	—	—	0	1																																																						
PB ₅ / TP ₁₃ / TOCXB ₄	<p>TFCRのCMD1ビット、TOERのEXB4ビットによるITUチャンネル4の設定、NDERBのNDER13ビット、およびPBDDRのPB₅DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <tr> <td>EXB4、CMD1</td> <td colspan="3">いずれかが“0”</td> <td colspan="2">いずれも“1”</td> </tr> <tr> <td>PB₅DDR</td> <td>0</td> <td>1</td> <td>1</td> <td colspan="2">—</td> </tr> <tr> <td>NDER13</td> <td>—</td> <td>0</td> <td>1</td> <td colspan="2">—</td> </tr> <tr> <td>端 子 機 能</td> <td>PB₅入力</td> <td>PB₅出力</td> <td>TP₁₃出力</td> <td colspan="2">TOCXB₄出力</td> </tr> </table>	EXB4、CMD1	いずれかが“0”			いずれも“1”		PB ₅ DDR	0	1	1	—		NDER13	—	0	1	—		端 子 機 能	PB ₅ 入力	PB ₅ 出力	TP ₁₃ 出力	TOCXB ₄ 出力																																						
EXB4、CMD1	いずれかが“0”			いずれも“1”																																																										
PB ₅ DDR	0	1	1	—																																																										
NDER13	—	0	1	—																																																										
端 子 機 能	PB ₅ 入力	PB ₅ 出力	TP ₁₃ 出力	TOCXB ₄ 出力																																																										
PB ₄ / TP ₁₂ / TOCXA ₄	<p>TFCRのCMD1ビット、TOERのEXA4ビットによるITUチャンネル4の設定、NDERBのNDER12ビット、およびPBDDRのPB₄DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <tr> <td>EXA4、CMD1</td> <td colspan="3">いずれかが“0”</td> <td colspan="2">いずれも“1”</td> </tr> <tr> <td>PB₄DDR</td> <td>0</td> <td>1</td> <td>1</td> <td colspan="2">—</td> </tr> <tr> <td>NDER12</td> <td>—</td> <td>0</td> <td>1</td> <td colspan="2">—</td> </tr> <tr> <td>端 子 機 能</td> <td>PB₄入力</td> <td>PB₄出力</td> <td>TP₁₂出力</td> <td colspan="2">TOCXA₄出力</td> </tr> </table>	EXA4、CMD1	いずれかが“0”			いずれも“1”		PB ₄ DDR	0	1	1	—		NDER12	—	0	1	—		端 子 機 能	PB ₄ 入力	PB ₄ 出力	TP ₁₂ 出力	TOCXA ₄ 出力																																						
EXA4、CMD1	いずれかが“0”			いずれも“1”																																																										
PB ₄ DDR	0	1	1	—																																																										
NDER12	—	0	1	—																																																										
端 子 機 能	PB ₄ 入力	PB ₄ 出力	TP ₁₂ 出力	TOCXA ₄ 出力																																																										

表 9.16 ポート B の端子機能(3)

端 子	選 択 方 法 と 端 子 機 能					
PB ₃ / TP ₁₁ / TIOCB ₄	TMDRのPWM4ビット、TFCRのCMD1ビット、TOERのEB4ビット、 およびTIOB4のIOB2～IOB0ビットによるITUチャンネル4の設定、NDE ERBのNDER11ビット、およびPBDDRのPB ₃ DDRビットの組合わせにより、 次のように切り換わります。					
	ITUチャンネル4の設定	下表①	下表②			
	PB ₃ DDR	—————	0	1	1	
	NDER11	—————	—————	0	1	
端 子 機 能	TIOCB ₄ 出力		PB ₃ 入力	PB ₃ 出力	TP ₁₁ 出力	
			TIOCB ₄ 入力*			
	【注】* CMD1 = PWM4 = “0”、かつIOB2 = “1”の場合にTIOCB ₄ 入力 となります。					
	ITUチャンネル4の設定	②	②	①	②	①
	EB4	0	1			
	CMD1	——	0			1
	IOB2	——	0	0	0	1
	IOB1	——	0	0	1	——
	IOB0	——	0	1	——	——

表 9.16 ポート B の端子機能(4)

端 子	選 択 方 法 と 端 子 機 能							
PB ₂ / TP ₁₀ / TIOCA ₄	TFCRのCMD1ビット、TOERのEA4ビット、TMDRのPWM4ビット、およびTIOA4のIOA2~IOA0ビットによるITUチャンネル4の設定、NDER10のNDER10ビット、およびPBDDRのPB ₂ DDRビットの組合わせにより、次のように切り換わります。							
	ITUチャンネル4の設定	下表①	下表②					
	PB ₂ DDR	—	0	1	1			
	NDER10	—	—	0	1			
	端 子 機 能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力			
			TIOCA ₄ 入力*					
【注】* CMD1 = PWM4 = “0”、IOA2 = “1” の場合にTIOCA ₄ 入力となります。								
	ITUチャンネル4の設定	②	②	①	②	①		
	EA4	0	1					
	CMD1	—	0			1		
	PWM4	—	0		1	—		
	IOA2	—	0	0	0	1	—	—
	IOA1	—	0	0	1	—	—	—
	IOA0	—	0	1	—	—	—	—

表 9.16 ポート B の端子機能(5)

端 子	選 択 方 法 と 端 子 機 能					
PB ₁ / TP ₉ / TIOCB ₃	TMDRのPWM3ビット、TFCRのCMD1ビット、TOERのEB3ビット、およびTIOB3のIOB2~IOB0ビットによるITUチャンネル3の設定、NDER9ビット、およびPBDDRのPB1DDRビットの組合わせにより、次のように切り換わります。					
	ITUチャンネル3の設定	下表①	下表②			
	PB1DDR	——	0	1	1	
	NDER9	——	——	0	1	
	端子機能	TIOCB ₃ 出力	PB ₁ 入力	PB ₁ 出力	TP ₉ 出力	
			TIOCB ₃ 入力*			
	【注】* CMD1 = PWM3 = “0”、IOB2 = “1” の場合にTIOCB ₃ 入力となります。					
	ITUチャンネル3の設定	②	②	①	②	①
	EB3	0	1			
	CMD1	——	0			1
	IOB2	——	0	0	0	1
	IOB1	——	0	0	1	——
	IOB0	——	0	1	——	——

表 9.16 ポート B の端子機能(6)

端 子	選 択 方 法 と 端 子 機 能							
PB ₀ / TP ₀ / TIOCA ₃	TFCRのCMD1ビット、TOERのEA3ビット、TMDRのPWM3ビット、 およびTIOA3のIOA2～IOA0ビットによるITUチャンネル3の設定、NDER ERBのNDER8ビット、およびPBDDRのPB ₀ DDRビットの組合わせにより、 次のように切り換わります。							
	ITUチャンネル3の設定	下表①	下表②					
	PB ₀ DDR	—	0	1	1			
	NDER8	—	—	0	1			
	端 子 機 能	TIOCA ₃ 出力	PB ₀ 入力	PB ₀ 出力	TP ₀ 出力			
			TIOCA ₃ 入力*					
	【注】* CMD1 = PWM3 = “0”、IOA2 = “1” の場合にTIOCA ₃ 入力とな ります。							
	ITUチャンネル3の設定	②	②	①	②	①		
	EA3	0	1					
	CMD1	—	0			1		
	PWM3	—	0		1	—		
	IOA2	—	0	0	0	1	—	—
	IOA1	—	0	0	1	—	—	—
	IOA0	—	0	1	—	—	—	—

9.10 ポートC

9.10.1 概要

ポートCは、8ビットの入出力ポートです。ポートCは、DMACの入出力端子（ $\overline{DREQ_3}$ 、 $\overline{DREQ_2}$ 、 $\overline{TEND_3}$ 、 $\overline{TEND_2}$ ）と $\overline{CS_7}$ ～ $\overline{CS_4}$ 出力端子、および $\overline{IRQ_7}$ 、 $\overline{IRQ_6}$ 入力端子と兼用になっています。ポートCの機能は、いずれの動作モードにおいても共通です。ポートCの端子機能を図9.13に示します。

ポートCは、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

ポートC端子

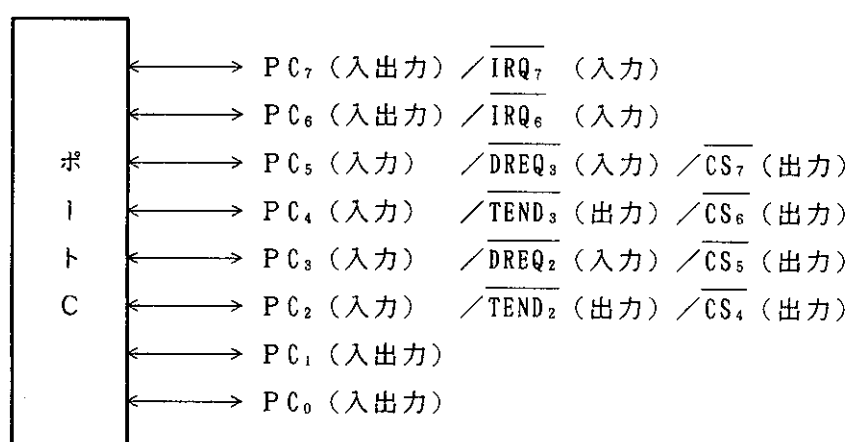


図9.13 ポートCの端子構成

9.10.2 レジスタ構成

表9.17にポートCのレジスタ構成を示します。

表9.17 ポートCレジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD5	ポートCデータディレクションレジスタ	PCDDR	W	H'00
H'FFD7	ポートCデータレジスタ	PCDR	R/W	H'00

【注】* アドレスの下位16ビットを示しています。

(1) ポートCデータディレクションレジスタ (PCDDR)

PCDDRは、8ビットのライト専用のレジスタで、ポートC各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	PC ₇ DDR	PC ₆ DDR	PC ₅ DDR	PC ₄ DDR	PC ₃ DDR	PC ₂ DDR	PC ₁ DDR	PC ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートCデータディレクション7~0

ポートCの各端子の入出力を選択するビットです。

PCDDRを“1”にセットすると、PC₇、PC₆、PC₁、PC₀はポート出力端子となり、PC₅~PC₂はCS₇~CS₄出力端子となります。また、PCDDRを“0”にクリアすると入力端子になります。

PCDDRは、ライト専用レジスタですから、リードは無効です。リードすると、“1”が読み出されます。

PCDDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、PCDDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポートCデータレジスタ (PCDR)

PCDRは、8ビットのリード/ライト可能なレジスタで、ポートCの各端子PC₇~PC₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PC ₇	PC ₆	PC ₅	PC ₄	PC ₃	PC ₂	PC ₁	PC ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCデータ7~0

ポートCの各端子のデータを格納するビットです。

PCDDRが“1”のとき、ポートCのリードを行うとPCDRの値を直接リードします。PCDDRが“0”のとき、ポートCのリードを行うと端子の状態が読み出されます。

PCDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.10.3 端子機能

ポートCの各端子は、DMACの入出力端子(DREQ₃、TEND₃、DREQ₂、TEND₂)、CS₇~CS₄、およびIRQ₇、IRQ₆入力端子と兼用になっています。PC₇~PC₂端子の端子機能について表9.18に示します。

表 9.18 ポートCの端子機能(1)

端子	選択方法と端子機能							
PC ₇ / $\overline{\text{IRQ}}_7$	PC ₇ DDRビットにより、次のように切り換わります。							
	PC ₇ DDR	0	1					
	端子機能	PC ₇ 入力端子	PC ₇ 出力端子					
$\overline{\text{IRQ}}_7$ 入力端子								
PC ₆ / $\overline{\text{IRQ}}_6$	PC ₆ DDRビットにより、次のように切り換わります。							
	PC ₆ DDR	0	1					
	端子機能	PC ₆ 入力端子	PC ₆ 出力端子					
$\overline{\text{IRQ}}_6$ 入力端子								
PC ₅ / $\overline{\text{DREQ}}_3$ / CS ₇	DTCR3A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル3の設定、およびPCDDRのPC ₅ DDRビットの組合わせにより、次のように切り換わります。							
	PC ₅ DDR	0	1					
	端子機能	PC ₅ 入力	$\overline{\text{CS}}_7$ 出力					
$\overline{\text{DREQ}}_3$ 入力端子*								
【注】* DMACチャンネル3の設定が下表①のとき $\overline{\text{DREQ}}_3$ 入力となります。								
DMACチャンネル3の設定	②	①	②	①	②	①		
DTS2A、1A	いずれかが“0”			いずれも“1”				
DTS0A	—————			0	0	1	1	1
DTS2B	0	1	1	0	1	0	1	1
DTS1B	—	0	1	—	—	—	0	1

表 9.18 ポート C の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能																																																															
PC ₄ / TEND ₃ / CS ₆	<p>DTCR3A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル3の設定、およびPCDDRのPC₄DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>DMACチャンネル3の設定</th> <th>下表①</th> <th colspan="2">下表②</th> <th>下表③</th> </tr> </thead> <tbody> <tr> <td>PC₄DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>TEND₃出力</td> <td>PC₄入力</td> <td>CS₆出力</td> <td>使用できません</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>DMACチャンネル3の設定</th> <th colspan="2">②</th> <th>①</th> <th>②</th> <th>③</th> <th>①</th> <th>②</th> <th>①</th> </tr> </thead> <tbody> <tr> <td>DTS2A、1A</td> <td colspan="3">いずれかが“0”</td> <td colspan="5">いずれも“1”</td> </tr> <tr> <td>DTS0A</td> <td colspan="3">—</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS1B</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	DMACチャンネル3の設定	下表①	下表②		下表③	PC ₄ DDR	—	0	1	—	端子機能	TEND ₃ 出力	PC ₄ 入力	CS ₆ 出力	使用できません	DMACチャンネル3の設定	②		①	②	③	①	②	①	DTS2A、1A	いずれかが“0”			いずれも“1”					DTS0A	—			0	0	0	1	1	1	DTS2B	0	1	1	0	1	1	0	1	1	DTS1B	—	0	1	—	0	1	—	0	1
DMACチャンネル3の設定	下表①	下表②		下表③																																																												
PC ₄ DDR	—	0	1	—																																																												
端子機能	TEND ₃ 出力	PC ₄ 入力	CS ₆ 出力	使用できません																																																												
DMACチャンネル3の設定	②		①	②	③	①	②	①																																																								
DTS2A、1A	いずれかが“0”			いずれも“1”																																																												
DTS0A	—			0	0	0	1	1	1																																																							
DTS2B	0	1	1	0	1	1	0	1	1																																																							
DTS1B	—	0	1	—	0	1	—	0	1																																																							
PC ₃ / DREQ ₂ / CS ₅	<p>DTCR2A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル2の設定、およびPCDDRのPC₃DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>PC₃DDR</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>PC₃入力</td> <td>CS₅出力</td> </tr> <tr> <td colspan="3" style="text-align: center;">DREQ₂入力端子*</td> </tr> </tbody> </table> <p>【注】* DMACチャンネル2の設定が下表①のときDREQ₂入力となります。</p> <table border="1"> <thead> <tr> <th>DMACチャンネル2の設定</th> <th colspan="2">②</th> <th>①</th> <th>②</th> <th>①</th> <th>②</th> <th>①</th> </tr> </thead> <tbody> <tr> <td>DTS2A、1A</td> <td colspan="3">いずれかが“0”</td> <td colspan="4">いずれも“1”</td> </tr> <tr> <td>DTS0A</td> <td colspan="3">—</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS2B</td> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>DTS1B</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	PC ₃ DDR	0	1	端子機能	PC ₃ 入力	CS ₅ 出力	DREQ ₂ 入力端子*			DMACチャンネル2の設定	②		①	②	①	②	①	DTS2A、1A	いずれかが“0”			いずれも“1”				DTS0A	—			0	0	1	1	1	DTS2B	0	1	1	0	1	0	1	1	DTS1B	—	0	1	—	—	—	0	1											
PC ₃ DDR	0	1																																																														
端子機能	PC ₃ 入力	CS ₅ 出力																																																														
DREQ ₂ 入力端子*																																																																
DMACチャンネル2の設定	②		①	②	①	②	①																																																									
DTS2A、1A	いずれかが“0”			いずれも“1”																																																												
DTS0A	—			0	0	1	1	1																																																								
DTS2B	0	1	1	0	1	0	1	1																																																								
DTS1B	—	0	1	—	—	—	0	1																																																								

表 9.18 ポート C の端子機能(3)

端 子	選 択 方 法 と 端 子 機 能								
PC ₂ / TEND ₂ / CS ₄	DTCR2A、BのDTS2~0A、DTS2~0BビットによるDMACチャンネル2の設定、およびPCDDRのPC ₂ DDRビットの組合わせにより、次のように切り換わります。								
	DMACチャンネル2の設定	下表①			下表②				
	PC ₂ DDR	—————			0	1			
	端子機能	TEND ₂ 出力			PC ₂ 入力	CS ₄ 出力			
	DMACチャンネル2の設定	②		①	②	①	②	①	
	DTS2A、1A	いずれかが“0”			いずれも“1”				
	DTS0A	—————			0	0	1	1	1
	DTS2B	0	1	1	0	1	0	1	1
	DTS1B	—	0	1	—	—	—	0	1

10. 16ビットインテグレートド タイマユニット (ITU)

第10章 目次

10.1	概要	307
10.1.1	特長	307
10.1.2	ブロック図	310
10.1.3	端子構成	315
10.1.4	レジスタ構成	317
10.2	各レジスタの説明	319
10.2.1	タイマスタートレジスタ (TSTR)	319
10.2.2	タイマシンクロレジスタ (TSNC)	321
10.2.3	タイマモードレジスタ (TMDR)	323
10.2.4	タイマファンクションコントロールレジスタ (TF CR)	327
10.2.5	タイマアウトプットマスタイネーブルレジスタ (TO ER)	330
10.2.6	タイマアウトプットコントロールレジスタ (TO CR)	333
10.2.7	タイマカウンタ (TCNT)	335
10.2.8	ジェネラルレジスタ A、B (GRA、GRB)	336
10.2.9	バッファレジスタ A、B (BRA、BRB)	337
10.2.10	タイマコントロールレジスタ (TCR)	338
10.2.11	タイマ I/O コントロールレジスタ (TI OR)	341
10.2.12	タイマステータスレジスタ (TSR)	344
10.2.13	タイマインタラプトイネーブルレジスタ (TI ER)	347
10.3	CPUとのインタフェース	349
10.3.1	16ビットアクセス可能なレジスタ	349
10.3.2	8ビットアクセスのレジスタ	351

10.4	動作説明	352
10.4.1	概要	352
10.4.2	基本機能	354
10.4.3	同期動作	363
10.4.4	PWMモード	365
10.4.5	リセット同期PWMモード	369
10.4.6	相補PWMモード	372
10.4.7	位相計数モード	381
10.4.8	バッファ動作	383
10.4.9	ITU出力タイミング	390
10.5	割込み	393
10.5.1	ステータスフラグのセットタイミング	393
10.5.2	ステータスフラグのクリアタイミング	395
10.5.3	割込み要因とDMAコントローラの起動	396
10.6	使用上の注意	397

10.1 概要

H8/3003は、5チャンネルの16ビットタイマにより構成される16ビットインテグレートッドタイマユニット（ITU）を内蔵しています。

10.1.1 特長

ITUの特長を以下に示します。

- 最大12種類のパルス出力、または最大10種類のパルス入力処理が可能
- 各チャンネル2本、合計10本のジェネラルレジスタ（GR）を持ち、各レジスタ独立にアウトプットコンペア／インプットキャプチャの機能設定が可能
- 各チャンネルとも8種類のカウンタ入力クロックを選択可能
 - 内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$
 - 外部クロック：TCLKA、TCLKB、TCLKC、TCLKD
- 各チャンネルとも次の動作モードを設定可能
 - ・コンペアマッチによる波形出力：0出力／1出力／トグル出力が選択可能（チャンネル2は0出力／1出力が可能）
 - ・インプットキャプチャ機能：立上がりエッジ／立下がりエッジ／両エッジ検出が選択可能
 - ・カウンタクリア機能：コンペアマッチ／インプットキャプチャによるカウンタクリアが可能
 - ・同期動作：複数のタイマカウンタ（TCNT）への同時書込みが可能
コンペアマッチ／インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
 - ・PWMモード：任意デューティのPWM出力が可能
同期動作と組み合わせることにより、最大5相のPWM出力が可能
- チャンネル2は位相計数モードを設定可能
 - 2相エンコーダのカウント数の自動計測が可能
- チャンネル3、4は次の動作モードを設定可能
 - ・リセット同期PWMモード：チャンネル3、4を組み合わせることにより、正相・逆相のPWM波形を3相出力可能
 - ・相補PWMモード：チャンネル3、4を組み合わせることにより、正相・逆相がノンオーバーラップの関係にあるPWM波形を3相出力可能
 - ・バッファ動作：インプットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書換えが可能

- 内部16ビットバスによる高速アクセス
TCNT、GR、およびバッファレジスタ（BR）の16ビットレジスタに対して、16ビットバスによる高速アクセスが可能
- 15種類の割込み要因
各チャンネルともコンペアマッチ/インプットキャプチャ兼用割込み×2要因、オーバフロー割込み×1要因があり、それぞれ独立に要求可能
- DMAコントローラ（DMAC）の起動が可能
チャンネル0～3のコンペアマッチ/インプットキャプチャ兼用割込み（1本×4チャンネル）により、DMACの起動が可能
- プログラマブルパターンコントローラ（TPC）の出力トリガを生成可能
チャンネル0～3のコンペアマッチ/インプットキャプチャ信号をTPCの出力トリガとして使用可能

I T U の機能一覧を表10.1に示します。

表10.1 I T U の機能一覧

項 目		チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
カウ ント ク ロ ッ ク		内部クロック：φ、φ/2、φ/4、φ/8 外部クロック：TCLKA、TCLKB、TCLKC、TCLKDから独立に選択可能				
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ 兼用レジスタ)		GRA0、 GRB0	GRA1、 GRB1	GRA2、 GRB2	GRA3、 GRB3	GRA4、 GRB4
バッファレジスタ		—	—	—	BRA3、 BRB3	BRA4、 BRB4
入 出 力 端 子		TIOCA ₀ 、 TIOCB ₀	TIOCA ₁ 、 TIOCB ₁	TIOCA ₂ 、 TIOCB ₂	TIOCA ₃ 、 TIOCB ₃	TIOCA ₄ 、 TIOCB ₄
出 力 端 子		—	—	—	—	TOCXA ₄ 、 TOCXB ₄
カウンタクリア機能		GRA0/GRB0 のコンペアマッチ または インプットキャプチャ	GRA1/GRB1 のコンペアマッチ または インプットキャプチャ	GRA2/GRB2 のコンペアマッチ または インプットキャプチャ	GRA3/GRB3 のコンペアマッチ または インプットキャプチャ	GRA4/GRB4 のコンペアマッチ または インプットキャプチャ
コンペア マ ッ チ 出 力	0出力	○	○	○	○	○
	1出力	○	○	○	○	○
	トグル出力	○	○	—	○	○
インプットキャプチャ機能		○	○	○	○	○
同 期 動 作		○	○	○	○	○
P W M モ ー ド		○	○	○	○	○
リセット同期PWMモード		—	—	—	○	
相補PWMモード		—	—	—	○	
位相計数モード		—	—	○	—	—
バッファ動作		—	—	—	○	○
D M A C の 起 動		GRA0の コンペアマッチ または インプットキャプチャ	GRA1の コンペアマッチ または インプットキャプチャ	GRA2の コンペアマッチ または インプットキャプチャ	GRA3の コンペアマッチ または インプットキャプチャ	—
割 込 み 要 因		3要因 ・コンペアマッチ/ インプットキャプ チャA0 ・コンペアマッチ/ インプットキャプ チャB0 ・オーバーフロー	3要因 ・コンペアマッチ/ インプットキャプ チャA1 ・コンペアマッチ/ インプットキャプ チャB1 ・オーバーフロー	3要因 ・コンペアマッチ/ インプットキャプ チャA2 ・コンペアマッチ/ インプットキャプ チャB2 ・オーバーフロー	3要因 ・コンペアマッチ/ インプットキャプ チャA3 ・コンペアマッチ/ インプットキャプ チャB3 ・オーバーフロー	3要因 ・コンペアマッチ/ インプットキャプ チャA4 ・コンペアマッチ/ インプットキャプ チャB4 ・オーバーフロー

《記号説明》

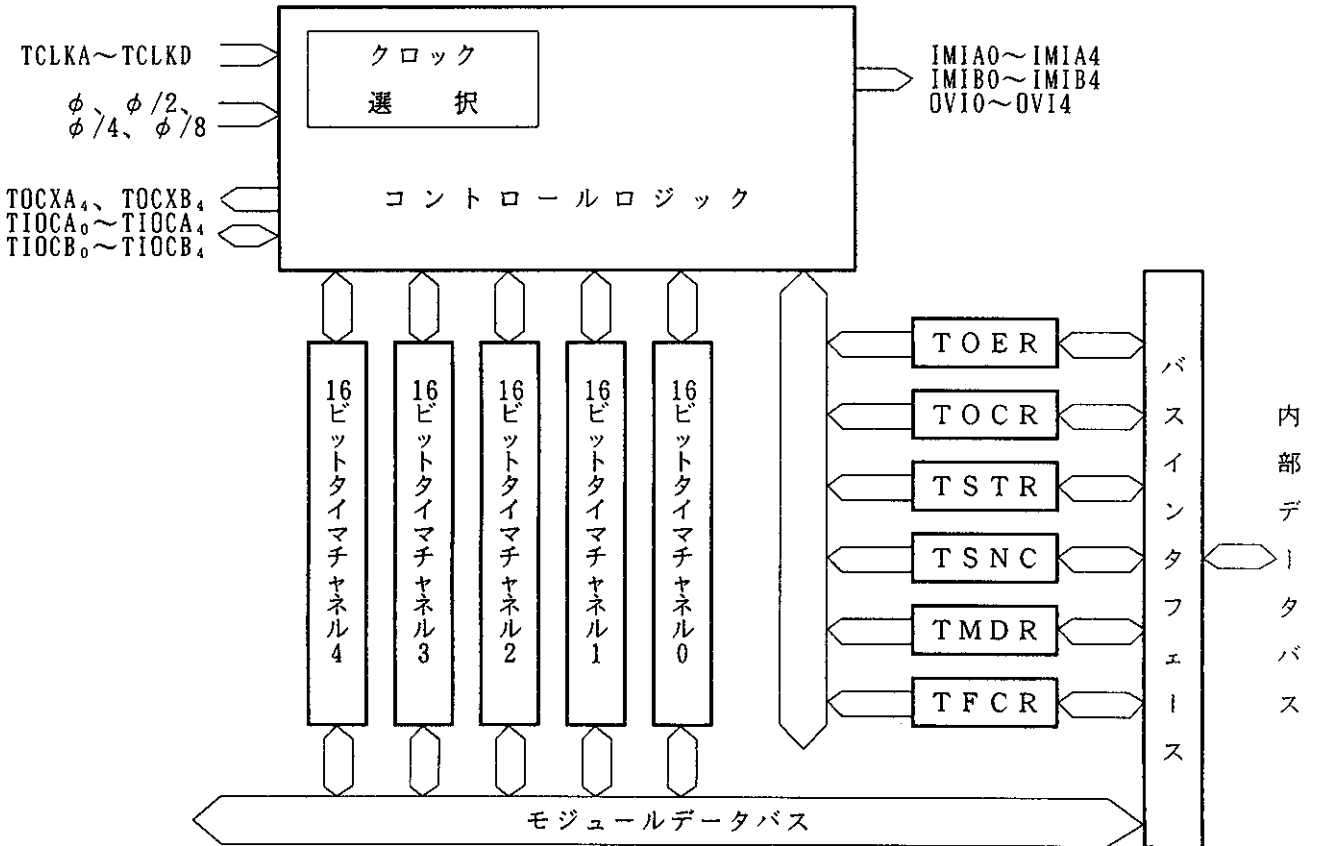
○：可能

—：不可

10.1.2 ブロック図

(1) ITUのブロック図 (全体図)

ITUのブロック図 (全体図) を図10.1に示します。



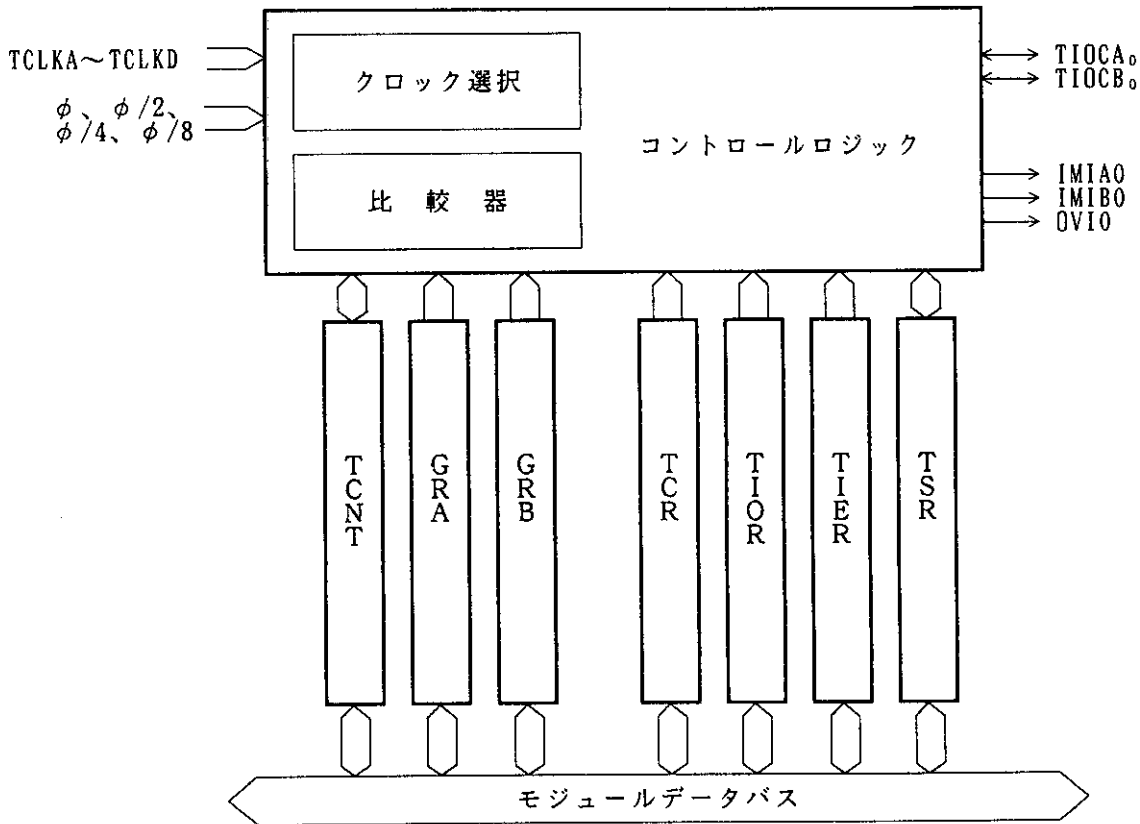
《記号説明》

- TOER : タイマアウトプットマスタイネーブルレジスタ (8ビット)
- TOCR : タイマアウトプットコントロールレジスタ (8ビット)
- TSTR : タイマスタートレジスタ (8ビット)
- TSNC : タイマシンクロレジスタ (8ビット)
- TMDR : タイマモードレジスタ (8ビット)
- TFCR : タイマファンクションコントロールレジスタ (8ビット)

図10.1 ITUのブロック図 (全体図)

(2) チャンネル0、1のブロック図

ITUのチャンネル0、1は同一の機能をもっています。チャンネル0、1のブロック図を図10.2に示します。



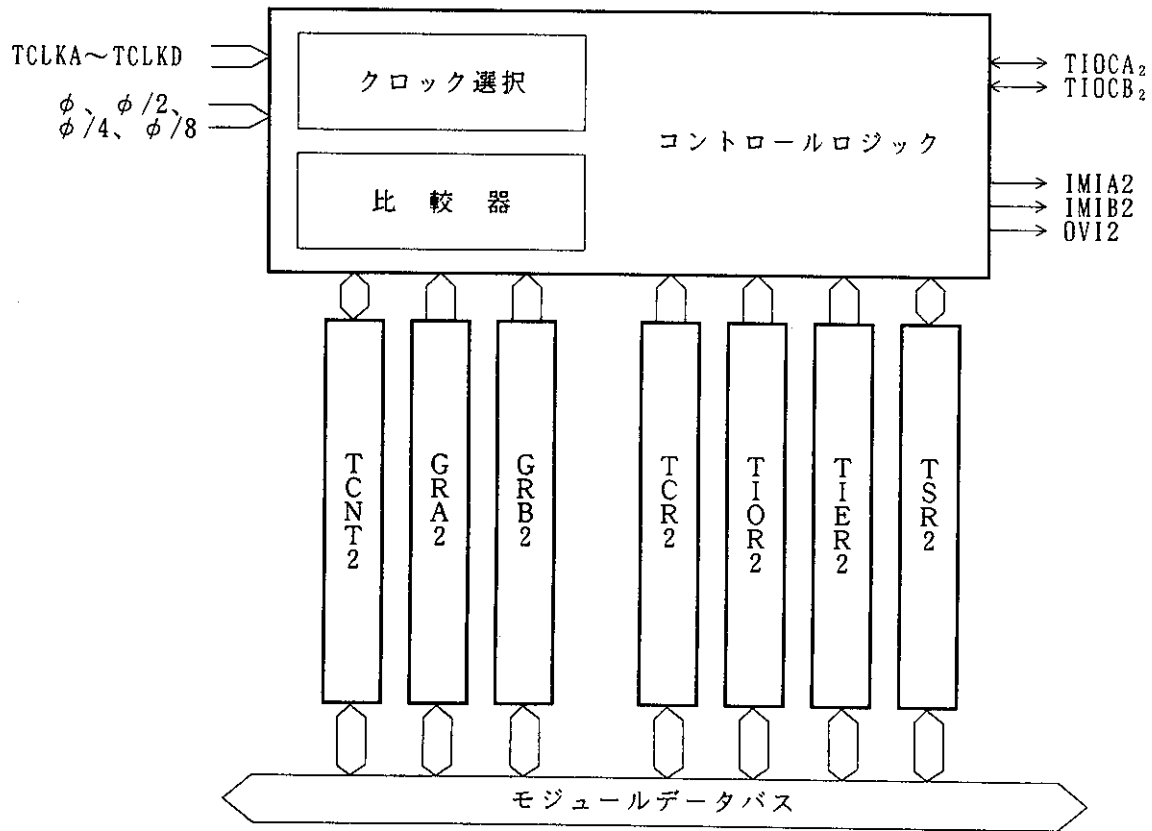
《記号説明》

- TCNT : タイマカウンタ (16ビット)
- GRA、B : ジェネラルレジスタA、B (インプットキャプチャ/アウトプットコンペア兼用レジスタ) (16ビット×2)
- TCR : タイマコントロールレジスタ (8ビット)
- TIOR : タイマI/Oコントロールレジスタ (8ビット)
- TIER : タイマインタラプトイネーブルレジスタ (8ビット)
- TSR : タイマステータスレジスタ (8ビット)

図10.2 チャンネル0、1のブロック図 (チャンネル0の場合)

(3) チャンネル 2 のブロック図

チャンネル 2 のブロック図を図10.3に示します。チャンネル 2 は 0 出力、1 出力のみ可能です。



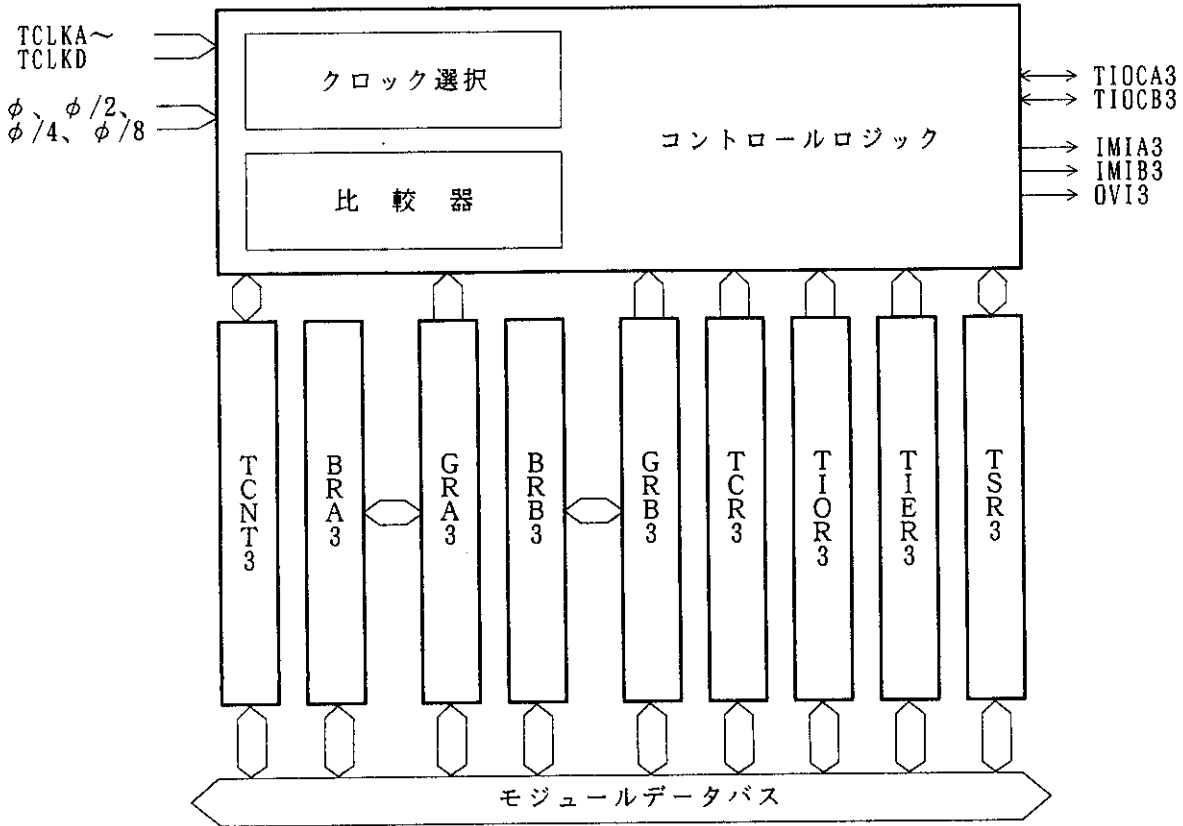
《記号説明》

- TCNT₂ : タイマカウンタ 2 (16ビット)
- GRA₂、B₂ : ジェネラルレジスタ A 2、B 2 (インプットキャプチャ/
アウトプットコンペア兼用レジスタ) (16ビット×2)
- TCR₂ : タイマコントロールレジスタ 2 (8ビット)
- TIOR₂ : タイマ I/O コントロールレジスタ 2 (8ビット)
- TIER₂ : タイマインタラプトイネーブルレジスタ 2 (8ビット)
- TSR₂ : タイマステータスレジスタ 2 (8ビット)

図10.3 チャンネル 2 のブロック図

(4) チャンネル 3、4 のブロック図

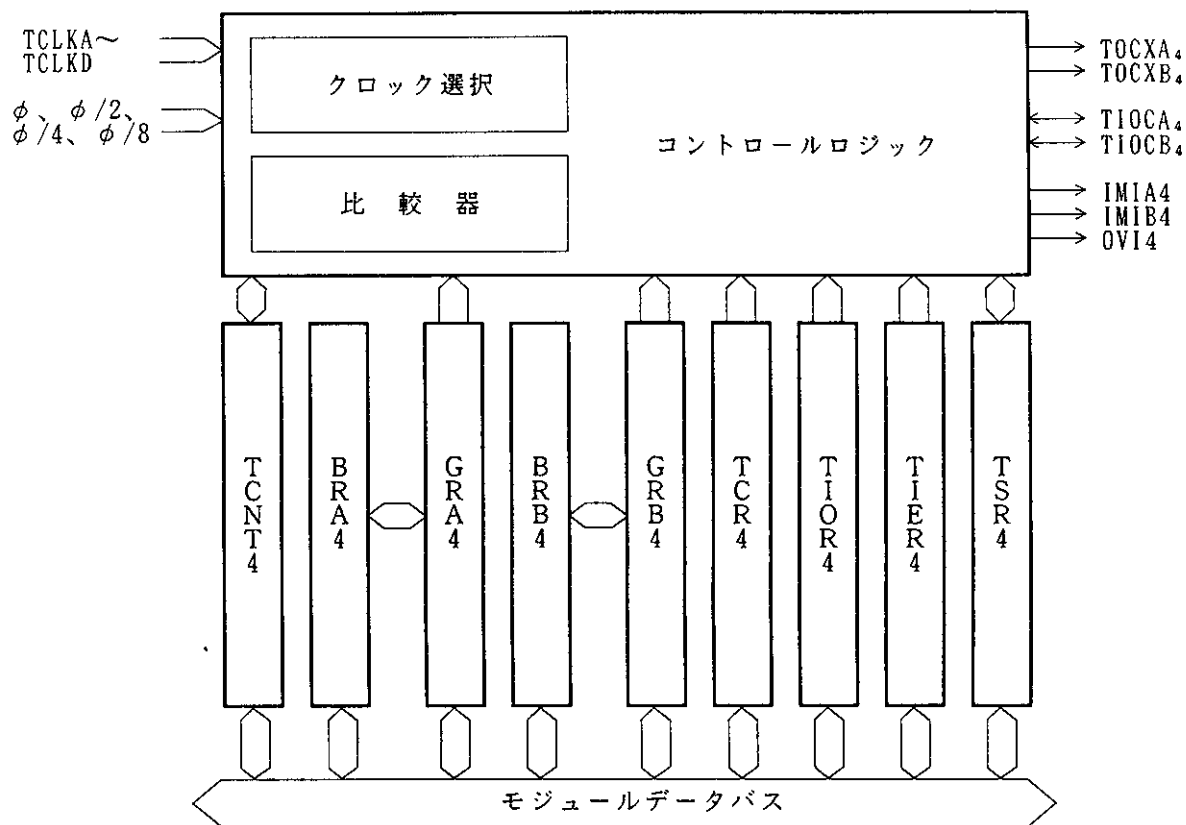
チャンネル 3 のブロック図を図 10.4、チャンネル 4 のブロック図を図 10.5 に示します。



《記号説明》

- TCNT3 : タイマカウンタ 3 (16ビット)
- GRA3、B3 : ジェネラルレジスタ A 3、B 3 (インプットキャプチャ/
アウトプットコンペア兼用レジスタ) (16ビット×2)
- BRA3、B3 : バッファレジスタ A 3、B 3 (インプットキャプチャ/
アウトプットコンペア兼用バッファレジスタ) (16ビット×2)
- TCR3 : タイマコントロールレジスタ 3 (8ビット)
- TIO3 : タイマ I/O コントロールレジスタ 3 (8ビット)
- TIER3 : タイマインタラプトイネーブルレジスタ 3 (8ビット)
- TSR3 : タイマステータスレジスタ 3 (8ビット)

図 10.4 チャンネル 3 のブロック図



《記号説明》

- TCNT4 : タイマカウンタ4 (16ビット)
- GRA4、B4 : ジェネラルレジスタA4、B4 (インプットキャプチャ/
アウトプットコンペア兼用レジスタ) (16ビット×2)
- BRA4、B4 : バッファレジスタA4、B4 (インプットキャプチャ/
アウトプットコンペア兼用バッファレジスタ) (16ビット×2)
- TCR4 : タイマコントロールレジスタ4 (8ビット)
- TIOR4 : タイマI/Oコントロールレジスタ4 (8ビット)
- TIER4 : タイマインタラプトイネーブルレジスタ4 (8ビット)
- TSR4 : タイマステータスレジスタ4 (8ビット)

図10.5 チャンネル4のブロック図

10.1.3 端子構成

I T Uの端子構成を表10.2に示します。

表10.2 端子構成(1)

チャネル	名 称	略 称	入出力	機 能
共通	クロック入力A	TCLKA	入 力	外部クロックA入力端子 (位相計数モード時A相入力端子)
	クロック入力B	TCLKB	入 力	外部クロックB入力端子 (位相計数モード時B相入力端子)
	クロック入力C	TCLKC	入 力	外部クロックC入力端子
	クロック入力D	TCLKD	入 力	外部クロックD入力端子
0	インプットキャプチャ/ アウトプットコンペアA0	TIOCA ₀	入出力	GRA0アウトプットコンペア出力/ GRA0インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB0	TIOCB ₀	入出力	GRB0アウトプットコンペア出力/ GRB0インプットキャプチャ入力端子
1	インプットキャプチャ/ アウトプットコンペアA1	TIOCA ₁	入出力	GRA1アウトプットコンペア出力/ GRA1インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB1	TIOCB ₁	入出力	GRB1アウトプットコンペア出力/ GRB1インプットキャプチャ入力端子
2	インプットキャプチャ/ アウトプットコンペアA2	TIOCA ₂	入出力	GRA2アウトプットコンペア出力/ GRA2インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB2	TIOCB ₂	入出力	GRB2アウトプットコンペア出力/ GRB2インプットキャプチャ入力端子
3	インプットキャプチャ/ アウトプットコンペアA3	TIOCA ₃	入出力	GRA3アウトプットコンペア出力/ GRA3インプットキャプチャ入力/ PWM出力端子(PWMモード/ 相補PWMモード/リセット同期PWM モード時)
	インプットキャプチャ/ アウトプットコンペアB3	TIOCB ₃	入出力	GRB3アウトプットコンペア出力/ GRB3インプットキャプチャ入力/ PWM出力端子(相補PWMモード/ リセット同期PWMモード時)

表10.2 端子構成(2)

チャンネル	名 称	略 称	入出力	機 能
4	インプットキャプチャ/ アウトプットコンペアA 4	TIOCA ₄	入出力	GRA 4 アウトプットコンペア出力/ GRA 4 インプットキャプチャ入力/ PWM出力端子 (PWMモード/ 相補PWMモード/リセット同期PWM モード時)
	インプットキャプチャ/ アウトプットコンペアB 4	TIOCB ₄	入出力	GRB 4 アウトプットコンペア出力/ GRB 4 インプットキャプチャ入力/ PWM出力端子 (相補PWMモード/ リセット同期PWMモード時)
	アウトプットコンペア XA 4	TOCXA ₄	出 力	PWM出力端子 (相補PWMモード/ リセット同期PWMモード時)
	アウトプットコンペア XB 4	TOCXB ₄	出 力	PWM出力端子 (相補PWMモード/ リセット同期PWMモード時)

10.1.4 レジスタ構成

I T Uのレジスタ構成を表10.3に示します。

表10.3 レジスタ構成(1)

チャンネル	アドレス ^{*1}	名 称	略 称	R/W	初期値
共通	H' FF60	タイマスタートレジスタ	TSTR	R/W	H' E0
	H' FF61	タイマシンクロレジスタ	TSNC	R/W	H' E0
	H' FF62	タイマモードレジスタ	TMDR	R/W	H' 80
	H' FF63	タイマファンクションコントロールレジスタ	TFCR	R/W	H' C0
	H' FF90	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H' FF
	H' FF91	タイマアウトプットコントロールレジスタ	TOCR	R/W	H' FF
0	H' FF64	タイマコントロールレジスタ 0	TCR0	R/W	H' 80
	H' FF65	タイマI/Oコントロールレジスタ 0	TIOR0	R/W	H' 88
	H' FF66	タイマインタラプトイネーブルレジスタ0	TIER0	R/W	H' F8
	H' FF67	タイマステータスレジスタ 0	TSR0	R/(W) ^{*2}	H' F8
	H' FF68	タイマカウンタ 0 H	TCNT0H	R/W	H' 00
	H' FF69	タイマカウンタ 0 L	TCNT0L	R/W	H' 00
	H' FF6A	ジェネラルレジスタ A 0 H	GRA0H	R/W	H' FF
	H' FF6B	ジェネラルレジスタ A 0 L	GRA0L	R/W	H' FF
	H' FF6C	ジェネラルレジスタ B 0 H	GRB0H	R/W	H' FF
	H' FF6D	ジェネラルレジスタ B 0 L	GRB0L	R/W	H' FF
1	H' FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H' 80
	H' FF6F	タイマI/Oコントロールレジスタ 1	TIOR1	R/W	H' 88
	H' FF70	タイマインタラプトイネーブルレジスタ1	TIER1	R/W	H' F8
	H' FF71	タイマステータスレジスタ 1	TSR1	R/(W) ^{*2}	H' F8
	H' FF72	タイマカウンタ 1 H	TCNT1H	R/W	H' 00
	H' FF73	タイマカウンタ 1 L	TCNT1L	R/W	H' 00
	H' FF74	ジェネラルレジスタ A 1 H	GRA1H	R/W	H' FF
	H' FF75	ジェネラルレジスタ A 1 L	GRA1L	R/W	H' FF
	H' FF76	ジェネラルレジスタ B 1 H	GRB1H	R/W	H' FF
	H' FF77	ジェネラルレジスタ B 1 L	GRB1L	R/W	H' FF
2	H' FF78	タイマコントロールレジスタ 2	TCR2	R/W	H' 80
	H' FF79	タイマI/Oコントロールレジスタ 2	TIOR2	R/W	H' 88
	H' FF7A	タイマインタラプトイネーブルレジスタ2	TIER2	R/W	H' F8
	H' FF7B	タイマステータスレジスタ 2	TSR2	R/(W) ^{*2}	H' F8

【注】^{*1} アドレスの下位16ビットを示しています。

^{*2} フラグをクリアするための“0”ライトのみ可能です。

表10.3 レジスタ構成(2)

チャネル	アドレス ^{*1}	名 称	略 称	R/W	初期値
2	H' FF7C	タイマカウンタ 2 H	TCNT 2 H	R/W	H' 00
	H' FF7D	タイマカウンタ 2 L	TCNT 2 L	R/W	H' 00
	H' FF7E	ジェネラルレジスタ A 2 H	GRA 2 H	R/W	H' FF
	H' FF7F	ジェネラルレジスタ A 2 L	GRA 2 L	R/W	H' FF
	H' FF80	ジェネラルレジスタ B 2 H	GRB 2 H	R/W	H' FF
	H' FF81	ジェネラルレジスタ B 2 L	GRB 2 L	R/W	H' FF
3	H' FF82	タイマコントロールレジスタ 3	TCR 3	R/W	H' 80
	H' FF83	タイマ I/O コントロールレジスタ 3	TIOR 3	R/W	H' 88
	H' FF84	タイムアウトイネーブルレジスタ 3	TIER 3	R/W	H' F8
	H' FF85	タイマステータスレジスタ 3	TSR 3	R/(W) ^{*2}	H' F8
	H' FF86	タイマカウンタ 3 H	TCNT 3 H	R/W	H' 00
	H' FF87	タイマカウンタ 3 L	TCNT 3 L	R/W	H' 00
	H' FF88	ジェネラルレジスタ A 3 H	GRA 3 H	R/W	H' FF
	H' FF89	ジェネラルレジスタ A 3 L	GRA 3 L	R/W	H' FF
	H' FF8A	ジェネラルレジスタ B 3 H	GRB 3 H	R/W	H' FF
	H' FF8B	ジェネラルレジスタ B 3 L	GRB 3 L	R/W	H' FF
	H' FF8C	バッファレジスタ A 3 H	BRA 3 H	R/W	H' FF
	H' FF8D	バッファレジスタ A 3 L	BRA 3 L	R/W	H' FF
	H' FF8E	バッファレジスタ B 3 H	BRB 3 H	R/W	H' FF
	H' FF8F	バッファレジスタ B 3 L	BRB 3 L	R/W	H' FF
4	H' FF92	タイマコントロールレジスタ 4	TCR 4	R/W	H' 80
	H' FF93	タイマ I/O コントロールレジスタ 4	TIOR 4	R/W	H' 88
	H' FF94	タイムアウトイネーブルレジスタ 4	TIER 4	R/W	H' F8
	H' FF95	タイマステータスレジスタ 4	TSR 4	R/(W) ^{*2}	H' F8
	H' FF96	タイマカウンタ 4 H	TCNT 4 H	R/W	H' 00
	H' FF97	タイマカウンタ 4 L	TCNT 4 L	R/W	H' 00
	H' FF98	ジェネラルレジスタ A 4 H	GRA 4 H	R/W	H' FF
	H' FF99	ジェネラルレジスタ A 4 L	GRA 4 L	R/W	H' FF
	H' FF9A	ジェネラルレジスタ B 4 H	GRB 4 H	R/W	H' FF
	H' FF9B	ジェネラルレジスタ B 4 L	GRB 4 L	R/W	H' FF
	H' FF9C	バッファレジスタ A 4 H	BRA 4 H	R/W	H' FF
	H' FF9D	バッファレジスタ A 4 L	BRA 4 L	R/W	H' FF
	H' FF9E	バッファレジスタ B 4 H	BRB 4 H	R/W	H' FF
	H' FF9F	バッファレジスタ B 4 L	BRB 4 L	R/W	H' FF

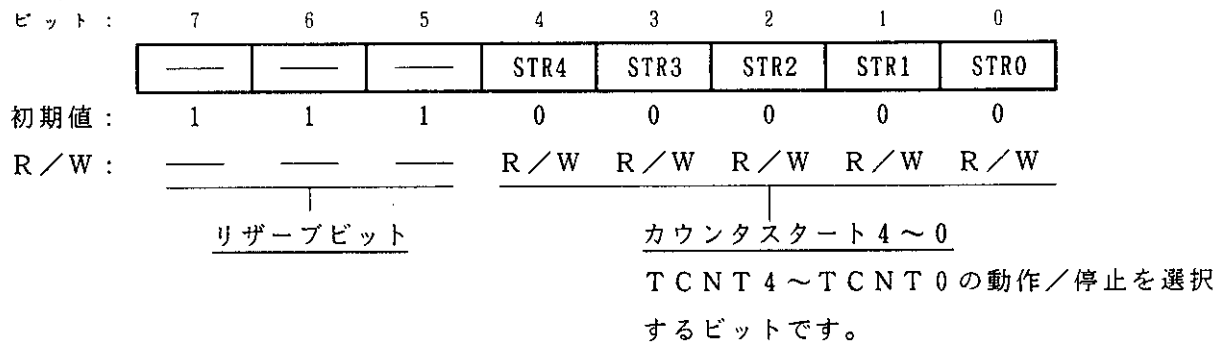
【注】^{*1} アドレスの下位16ビットを示しています。

^{*2} フラグをクリアするための“0”ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマスタートレジスタ (TSTR)

TSTRは8ビットのリード/ライト可能なレジスタで、チャンネル0～4のTCNTの動作/停止を選択します。



TSTRはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：カウンタスタート4 (STR4)

タイマカウンタ4 (TCNT4) の動作/停止を選択します。

ビット4	説	明
STR4		
0	TCNT4のカウンタ動作は停止	(初期値)
1	TCNT4はカウンタ動作	

ビット3：カウンタスタート3 (STR3)

タイマカウンタ3 (TCNT3) の動作/停止を選択します。

ビット3	説	明
STR3		
0	TCNT3のカウンタ動作は停止	(初期値)
1	TCNT3はカウンタ動作	

ビット2：カウンタスタート2（STR2）

タイマカウンタ2（TCNT2）の動作／停止を選択します。

ビット2	説	明
STR2		
0	TCNT2のカウンタ動作は停止	（初期値）
1	TCNT2はカウンタ動作	

ビット1：カウンタスタート1（STR1）

タイマカウンタ1（TCNT1）の動作／停止を選択します。

ビット1	説	明
STR1		
0	TCNT1のカウンタ動作は停止	（初期値）
1	TCNT1はカウンタ動作	

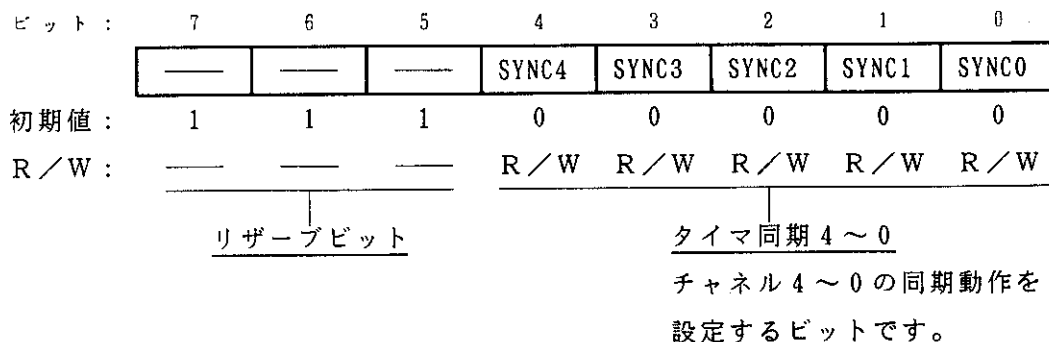
ビット0：カウンタスタート0（STR0）

タイマカウンタ0（TCNT0）の動作／停止を選択します。

ビット0	説	明
STR0		
0	TCNT0のカウンタ動作は停止	（初期値）
1	TCNT0はカウンタ動作	

10.2.2 タイマシンクロレジスタ (TSNC)

TSNCは8ビットのリード/ライト可能なレジスタで、チャンネル0～4の独立動作/同期動作を選択します。対応するビットを“1”にセットしたチャンネルが同期動作を行います。



TSNCはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：タイマ同期4 (SYNC4)

チャンネル4の独立動作/同期動作を選択します。

ビット4	説明
SYNC4	
0	チャンネル4のタイマカウンタ (TCNT4) は独立動作 (TCNT4のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル4は同期動作 TCNT4の同期プリセット/同期クリアが可能

ビット3：タイマ同期3（SYNC3）

チャンネル3の独立動作／同期動作を選択します。

ビット3	説明
SYNC3	
0	チャンネル3のタイマカウンタ（TCNT3）は独立動作（TCNT3のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル3は同期動作 TCNT3の同期プリセット／同期クリアが可能

ビット2：タイマ同期2（SYNC2）

チャンネル2の独立動作／同期動作を選択します。

ビット2	説明
SYNC2	
0	チャンネル2のタイマカウンタ（TCNT2）は独立動作（TCNT2のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル2は同期動作 TCNT2の同期プリセット／同期クリアが可能

ビット1：タイマ同期1（SYNC1）

チャンネル1の独立動作／同期動作を選択します。

ビット1	説明
SYNC1	
0	チャンネル1のタイマカウンタ（TCNT1）は独立動作（TCNT1のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル1は同期動作 TCNT1の同期プリセット／同期クリアが可能

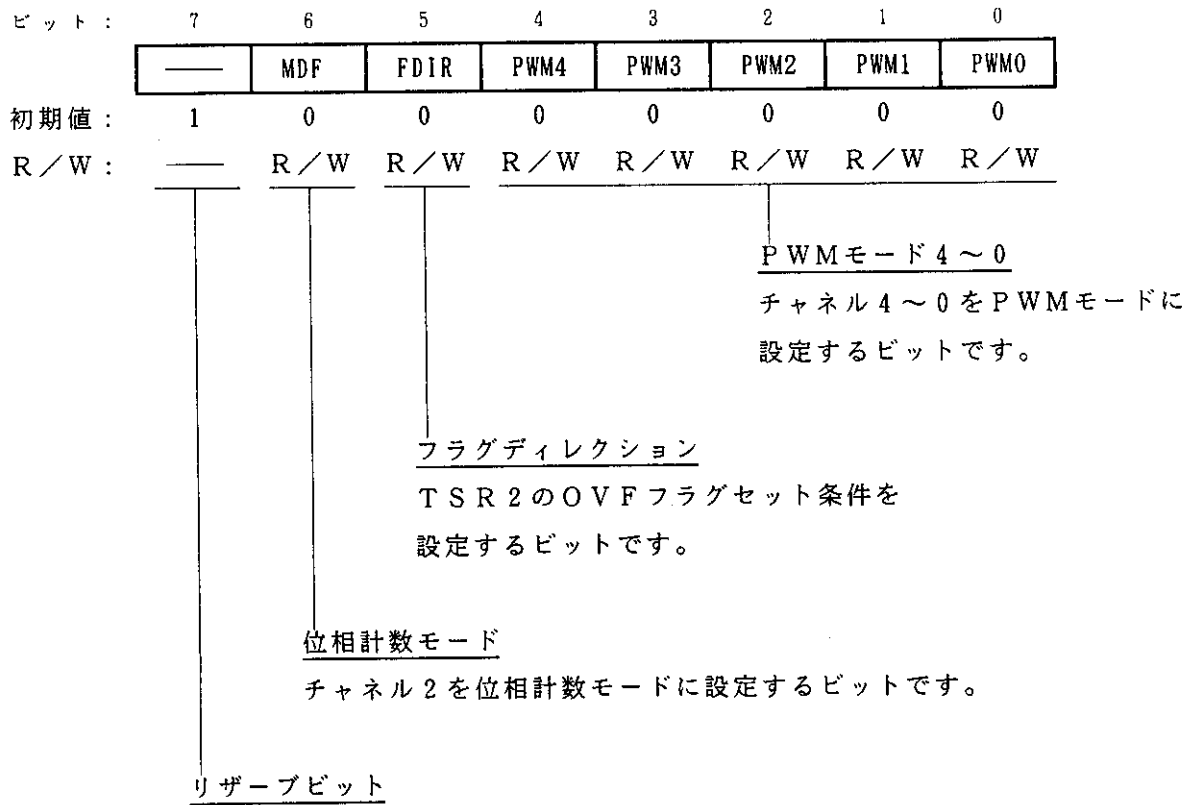
ビット0：タイマ同期0（SYNC0）

チャンネル0の独立動作／同期動作を選択します。

ビット0	説明
SYNC0	
0	チャンネル0のタイマカウンタ（TCNT0）は独立動作（TCNT0のプリセット／クリアは他チャンネルと無関係） (初期値)
1	チャンネル0は同期動作 TCNT0の同期プリセット／同期クリアが可能

10.2.3 タイマモードレジスタ (TMDR)

TMDRは8ビットのリード/ライト可能なレジスタで、チャンネル0～4のPWMモードの設定、チャンネル2の位相計数モードの設定およびオーバーフローフラグ(OVF)のセット条件の設定を行います。



TMDRはリセット、またはスタンバイモード時に、H'80にイニシャライズされます。

ビット7：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6：位相計数モード (MDF)

チャンネル2を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット6	説明
MDF	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2は位相計数モード

MDFビットを“1”にセットして位相計数モードにすると、TCNT2はアップ/ダウンカウンタ、TCLKA、TCLKB端子がカウントクロック入力端子となります。TCNT2はTCLKA、TCLKB端子の立上がり（↑）/立下がり（↓）の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
	↑	“High”	↓	“Low”	↑	“Low”	↓	“High”
TCLKA端子	↑	“High”	↓	“Low”	↑	“Low”	↓	“High”
TCLKB端子	“Low”	↑	“High”	↓	“High”	↑	“Low”	↓

位相計数モードでは、TCR2のCKEG1、CKEG0ビットによる外部クロックエッジの選択、およびTPSC2～TPSC0ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2のコンペアマッチ/インプットキャプチャ機能と割込みの設定は位相計数モードでも有効です。

ビット5：フラグディレクション（FDIR）

TSR2のOVFフラグのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	説明
FDIR	
0	TSR2のOVFフラグは、TCNT2がオーバフローまたはアンダフローしたときに“1”にセット (初期値)
1	TSR2のOVFフラグは、TCNT2がオーバフローしたときに“1”にセット

ビット4：PWMモード4（PWM4）

チャンネル4を通常動作させるか、PWMモードで動作させるかを選択します。

ビット4	説明
PWM4	
0	チャンネル4は通常動作 (初期値)
1	チャンネル4はPWMモード

PWM4を“1”にセットしてPWMモードにすると、TIOCA4端子はPWM出力端子となり、GRA4のコンペアマッチで1出力、GRB4のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット3：PWMモード3（PWM3）

チャンネル3を通常動作させるか、PWMモードで動作させるかを選択します。

ビット3	説 明
PWM3	
0	チャンネル3は通常動作 (初期値)
1	チャンネル3はPWMモード

PWM3を“1”にセットしてPWMモードにすると、TIOCA3端子はPWM出力端子となり、GRA3のコンペアマッチで1出力、GRB3のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット2：PWMモード2（PWM2）

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	説 明
PWM2	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2はPWMモード

PWM2を“1”にセットしてPWMモードにすると、TIOCA2端子はPWM出力端子となり、GRA2のコンペアマッチで1出力、GRB2のコンペアマッチで0出力となります。

ビット1：PWMモード1（PWM1）

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説 明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を“1”にセットしてPWMモードに設定すると、TIOCA1端子はPWM出力端子となり、GRA1のコンペアマッチ1で出力、GRB1のコンペアマッチで0出力となります。

ビット0 : PWMモード0 (PWM0)

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0 PWM0	説明
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を“1”にセットしてPWMモードに設定すると、TIOCA0端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

10.2.4 タイマファンクションコントロールレジスタ (TF CR)

TF CRは8ビットのリード/ライト可能なレジスタで、チャンネル3、4の相補PWMモード/リセット同期PWMモードの設定、およびバッファ動作の設定を行います。



TF CRはリセット、またはスタンバイモード時に、H' C0にイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5、4：コンビネーションモード1、0（CMD1、CMD0）

チャンネル3、4を通常動作させるか、相補PWMモードまたはリセット同期PWMモードで動作させるかを選択します。

ビット5	ビット4	説明
CMD1	CMD0	
0	0	チャンネル3、4は通常動作（初期値）
	1	
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作

相補PWMモード、およびリセット同期PWMモードの設定は、使用するTCNTを停止させた状態で行ってください。

本ビットにより、相補PWMモードまたはリセット同期PWMモードに設定した場合、TMDRのPWM4、PWM3ビットによるPWMモードの設定より優先されます。なお、相補PWMモード、リセット同期PWMモードの設定とTSNCのSYNC4、SYNC3ビットによる同期動作の設定は同時に有効となりますが、相補PWMモードを設定したときは、チャンネル3とチャンネル4を同期動作に設定（TSNCのSYNC4ビットとSYNC3ビットをともに“1”にセット）しないでください。

ビット3：バッファ動作B4（BFB4）

チャンネル4のGRB4を通常動作とするか、GRB4とBRB4を組み合わせでバッファ動作とするかを設定します。

ビット3	説明
BFB4	
0	GRB4は通常動作（初期値）
1	GRB4とBRB4はバッファ動作

ビット2：バッファ動作A4（BFA4）

チャンネル4のGRA4を通常動作とするか、GRA4とBRA4を組み合わせでバッファ動作とするかを設定します。

ビット2	説明
BFA4	
0	GRA4は通常動作（初期値）
1	GRA4とBRA4はバッファ動作

ビット1：バッファ動作B3（BFB3）

チャンネル3のGRB3を通常動作とするか、GRB3とBRB3を組み合わせてバッファ動作とするかを設定します。

ビット1 BFB3	説 明
0	GRB3は通常動作 (初期値)
1	GRB3とBRB3はバッファ動作

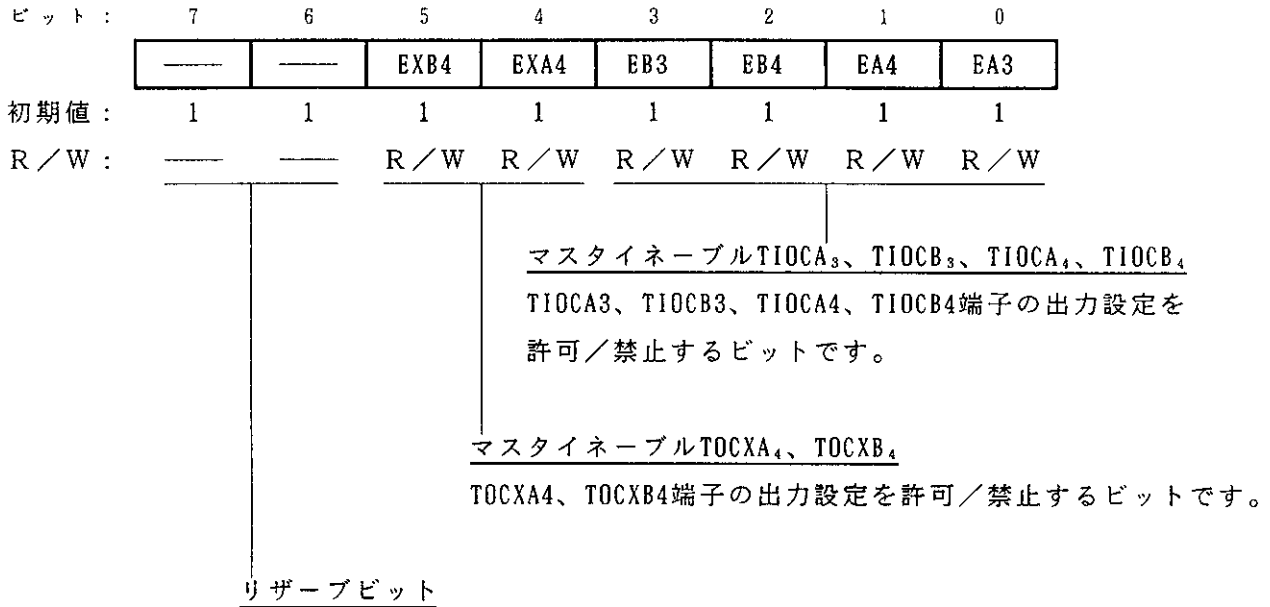
ビット0：バッファ動作A3（BFA3）

チャンネル3のGRA3を通常動作とするか、GRA3とBRA3を組み合わせてバッファ動作とするかを設定します。

ビット0 BFA3	説 明
0	GRA3は通常動作 (初期値)
1	GRA3とBRA3はバッファ動作

10.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOERは、8ビットのリード/ライト可能なレジスタで、チャンネル3、4の出力設定を許可/禁止します。



TOERはリセット、またはスタンバイモード時にH'FFにイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5：マスタイネーブルTOCXB₄ (EXB4)

TOCXB₄端子のITU出力を許可/禁止します。

ビット5 EXB4	説明
0	TFCRの設定にかかわらずTOCXB ₄ 端子の出力は禁止 (TOCXB ₄ 端子は入出力ポートとして動作) XTGD = “0”の状態、チャンネル1のインプットキャプチャAが発生したとき “0”にクリア
1	TFCRの設定に従いTOCXB ₄ 端子の出力は許可 (初期値)

ビット4：マスタイネーブルTOCXA₄ (EXA4)

TOCXA₄端子のITU出力を許可/禁止します。

ビット4	説	明
EXA4		
0	TF CRの設定にかかわらずTOCXA ₄ 端子の出力は禁止 (TOCXA ₄ 端子は入出力ポートとして動作) XTGD = "0" の状態で、チャンネル1のインプットキャプチャAが発生したとき "0" にクリア	
1	TF CRの設定に従いTOCXA ₄ 端子の出力は許可	(初期値)

ビット3：マスタイネーブルTIOCB₃ (EB3)

TIOCB₃端子のITU出力を許可/禁止します。

ビット3	説	明
EB3		
0	TIOR3、TF CRの設定にかかわらずTIOCB ₃ 端子の出力は禁止 (TIOCB ₃ 端子は出力ポートとして動作) XTGD = "0" の状態で、チャンネル1のインプットキャプチャAが発生したとき "0" にクリア	
1	TIOR3、TF CRの設定に従いTIOCB ₃ 端子の出力は許可	(初期値)

ビット2：マスタイネーブルTIOCB₄ (EB4)

TIOCB₄端子のITU出力を許可/禁止します。

ビット2	説	明
EB4		
0	TIOR4、TF CRの設定にかかわらずTIOCB ₄ 端子の出力は禁止 (TIOCB ₄ 端子は入出力ポートとして動作) XTGD = "0" の状態で、チャンネル1のインプットキャプチャAが発生したとき "0" にクリア	
1	TIOR4、TF CRの設定に従いTIOCB ₄ 端子の出力は許可	(初期値)

ビット1：マスタイネーブルTIOCA₄（EA4）

TIOCA₄端子のITU出力を許可／禁止します。

ビット1	説明
EA4	
0	TIOR4、TMDR、TF CRの設定にかかわらずTIOCA ₄ 端子の出力は禁止 （TIOCA ₄ 端子は入出力ポートとして動作） XTGD = “0” の状態で、チャンネル1のインプットキャプチャAが発生したとき “0” にクリア
1	TIOR4、TMDR、TF CRの設定に従いTIOCA ₄ 端子の出力は許可 (初期値)

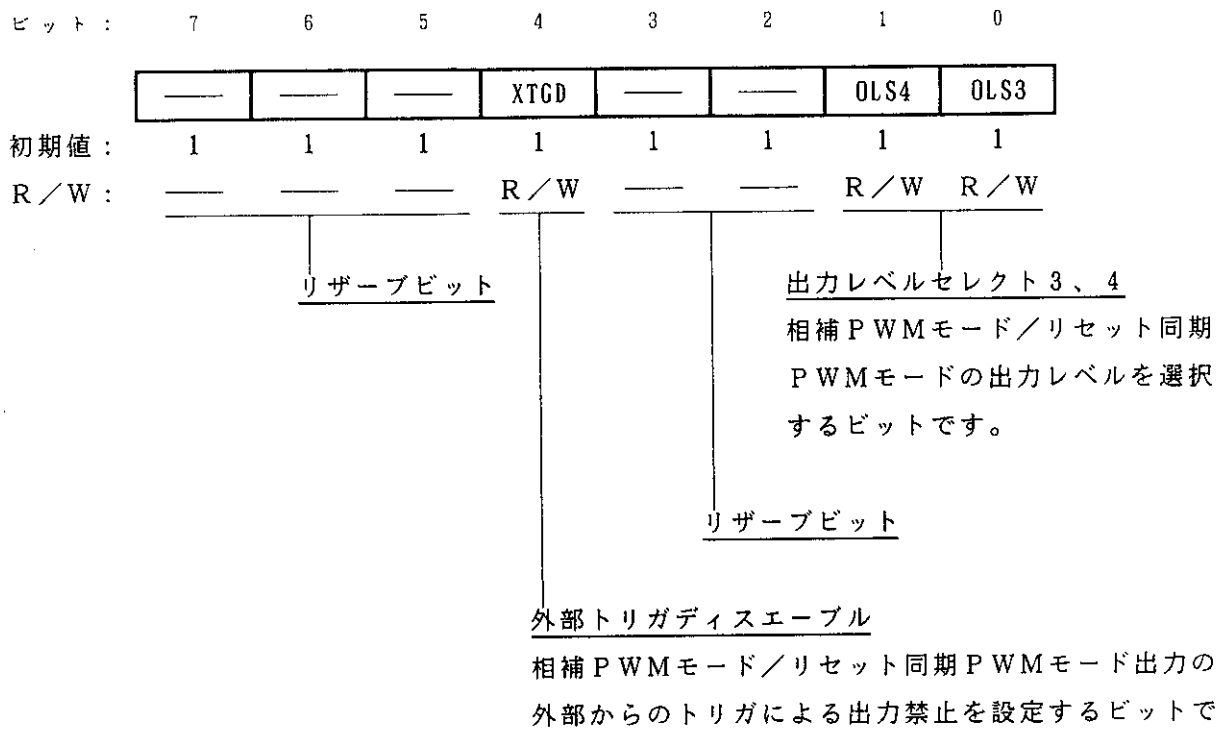
ビット0：マスタイネーブルTIOCA₃（EA3）

TIOCA₃端子のITU出力を許可／禁止します。

ビット0	説明
EA3	
0	TIOR3、TMDR、TF CRの設定にかかわらずTIOCA ₃ 端子の出力は禁止 （TIOCA ₃ 端子は入出力ポートとして動作） XTGD = “0” の状態で、チャンネル1のインプットキャプチャAが発生したとき “0” にクリア
1	TIOR3、TMDR、TF CRの設定に従いTIOCA ₃ 端子の出力は許可 (初期値)

10.2.6 タイマアウトプットコントロールレジスタ (TOCR)

TOCRは、8ビットのリード/ライト可能なレジスタで、相補PWMモード/リセット同期PWMモード出力の外部トリガによる禁止または出力レベル反転を行います。



XTGD、OLS4およびOLS3ビットの設定は、リセット同期PWMモードまたは相補PWMモードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCRはリセット、またはスタンバイモード時にH'FFにイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：外部トリガディスエーブル (XTGD)

リセット同期PWMモード/相補PWMモード時のITU出力の外部トリガによる禁止を設定します。

ビット4	説明
XTGD	
0	リセット同期PWMモード/相補PWMモード時、チャンネル1のインプットキャプチャA信号を外部トリガとして使用 外部トリガの発生時、TOERのビット5～0が“0”にクリアされ、ITU出力は禁止
1	外部トリガを禁止 (初期値)

ビット3、2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1：出力レベルセレクト4 (OLS4)

リセット同期PWMモード/相補PWMモード出力のレベルを選択します。

ビット1	説明
OLS4	
0	TIOCA3、TIOCA4、TIOCB4は反転出力
1	TIOCA3、TIOCA4、TIOCB4は直接出力 (初期値)

ビット0：出力レベルセレクト3 (OLS3)

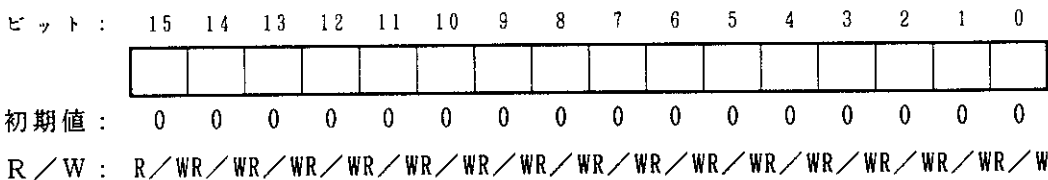
リセット同期PWMモード/相補PWMモード出力のレベルを選択します。

ビット0	説明
OLS3	
0	TIOCB3、TOCXA4、TOCXB4は反転出力
1	TIOCB3、TOCXA4、TOCXB4は直接出力 (初期値)

10.2.7 タイマカウンタ (TCNT)

TCNTは16ビットのカウンタです。ITUには、各チャンネル1本、計5本のTCNTがあります。

チャンネル	略 称	機 能
0	TCNT 0	アップカウンタ
1	TCNT 1	
2	TCNT 2	位相計数モード : アップ/ダウンカウンタ 上記以外 : アップカウンタ
3	TCNT 3	相補PWMモード : アップ/ダウンカウンタ 上記以外 : アップカウンタ
4	TCNT 4	



TCNTは16ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCRのTPSC2~TPSC0ビットにより選択します。

TCNT 0、TCNT 1はアップカウント動作を行います。TCNT 2は位相計数モード時、またTCNT 3、TCNT 4は相補PWMモード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNTは、対応するGRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます(カウンタクリア機能)。

TCNTがオーバフロー(H'FFFF→H'0000)すると、対応するチャンネルのTSRのOVFフラグが“1”にセットされます。

TCNTがアンダフロー(H'0000→H'FFFF)すると、対応するチャンネルのTSRのOVFフラグが“1”にセットされます。

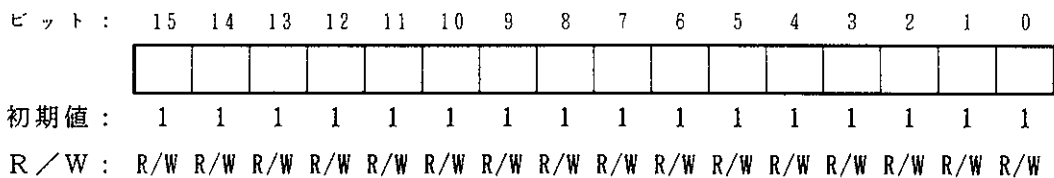
TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

TCNTはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

10.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GRは、16ビットのレジスタです。ITUには、各チャンネル2本、計10本のジェネラルレジスタがあります。

チャンネル	略称	機能
0	GRA0、GRB0	アウトプットコンペア/インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア/インプットキャプチャ兼用レジスタ。バッファレジスタ (BRA、BRB) と組み合わせることにより、バッファ動作設定可能
4	GRA4、GRB4	



GRは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り換えは、TIORにより行います。アウトプットコンペアレジスタとして使用しているときは、GRA/GRBの値とTCNTの値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、TSRのIMFA/IMFBフラグが“1”にセットされます。TIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTの値を格納します。このとき対応するTSRのIMFA/IMFBフラグが“1”にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモード、相補PWMモード、またはリセット同期PWMモードに設定されている場合には、TIORの設定は無視されます。

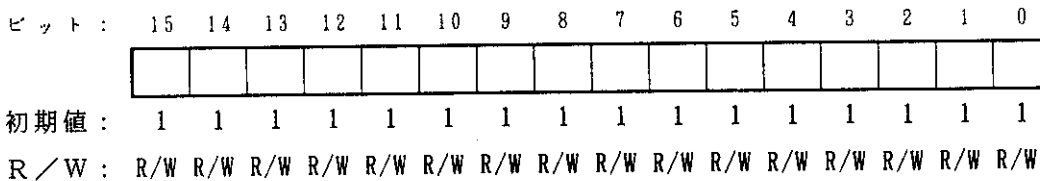
GRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFFにイニシャライズされます。

10.2.9 バッファレジスタ A、B (BRA、BRB)

BRは、16ビットのレジスタです。ITUには、チャンネル3、4に各2本、計4本のバッファレジスタがあります。

チャンネル	略 称	機 能
3	BRA3、BRB3	バッファ動作時に使用 ・対応するGRA、GRBがアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチによりBRA、BRBの値をGRA、GRBに自動転送可能
4	BRA4、BRB4	・対応するGRA、GRBがインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていたGRA、GRBの値をBRA、BRBに自動転送可能



BRは、16ビットのリード/ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定はTFCRのBFB4、BFA4、BFB3、およびBFA3ビットにより独立に行うことができます。

BRはGRと対になって機能し、GRがアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、またGRがインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

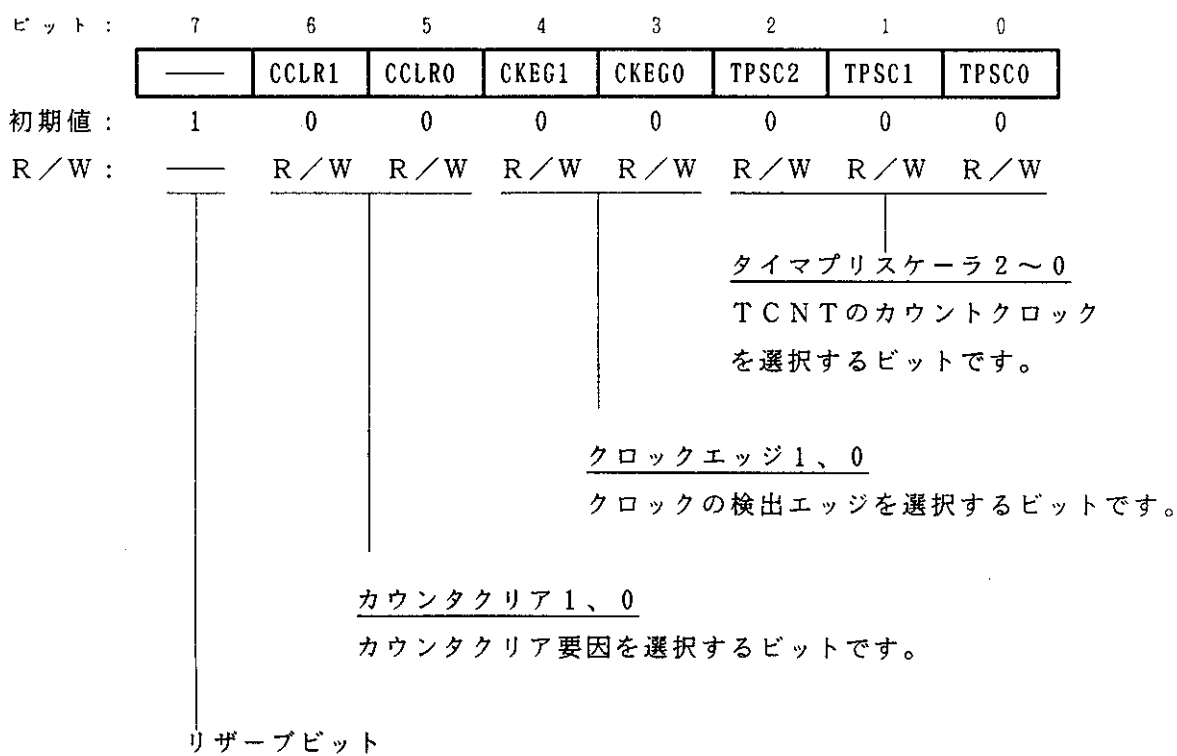
BRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

BRは、リセット、またはスタンバイモード時にH'FFFFにイニシャライズされます。

10.2.10 タイマコントロールレジスタ (TCR)

TCRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTCRがあります。

チャンネル	略称	機能
0	TCR0	TCRはTCNTの制御を行います。 各チャンネルのTCRは同一の機能をもっています。 チャンネル2を位相計数モードに設定したとき、TCR2のCKEG1、CKEG0ビットおよびTPSC2~TPSC0ビットの設定は無効となります。
1	TCR1	
2	TCR2	
3	TCR3	
4	TCR4	



TCRは8ビットのリード/ライト可能なレジスタで、TCNTのカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCRはリセット、またはスタンバイモード時に、H'80にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6、5：カウンタクリア1、0（CCLR1、CCLR0）

TCNTのカウンタクリア要因を選択します。

ビット6	ビット5	説 明
CCLR1	CCLR0	
0	0	TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャ* ¹ でTCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャ* ¹ でTCNTをクリア
	1	同期クリア。同期動作* ² をしている他のタイマのカウンタクリアに同期してTCNTをクリア

【注】*¹ GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*² 同期動作の設定はTSNCにより行います。

ビット4、3：クロックエッジ1、0（CKEG1、CKEG0）

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立上がりエッジでカウント (初期値)
	1	立下がりエッジでカウント
1	—	立上がり/立下がりの両エッジでカウント

チャンネル2が位相計数モードに設定されているとき、TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2～0：タイマプリスケラ2～0（TPSC2～TPSC0）

TCNTのカウントクロックを選択します。

ビット2	ビット1	ビット0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： ϕ でカウント（初期値）
		1	内部クロック： $\phi/2$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/8$ でカウント
1	0	0	外部クロックA：TCLKA端子入力でカウント
		1	外部クロックB：TCLKB端子入力でカウント
	1	0	外部クロックC：TCLKC端子入力でカウント
		1	外部クロックD：TCLKD端子入力でカウント

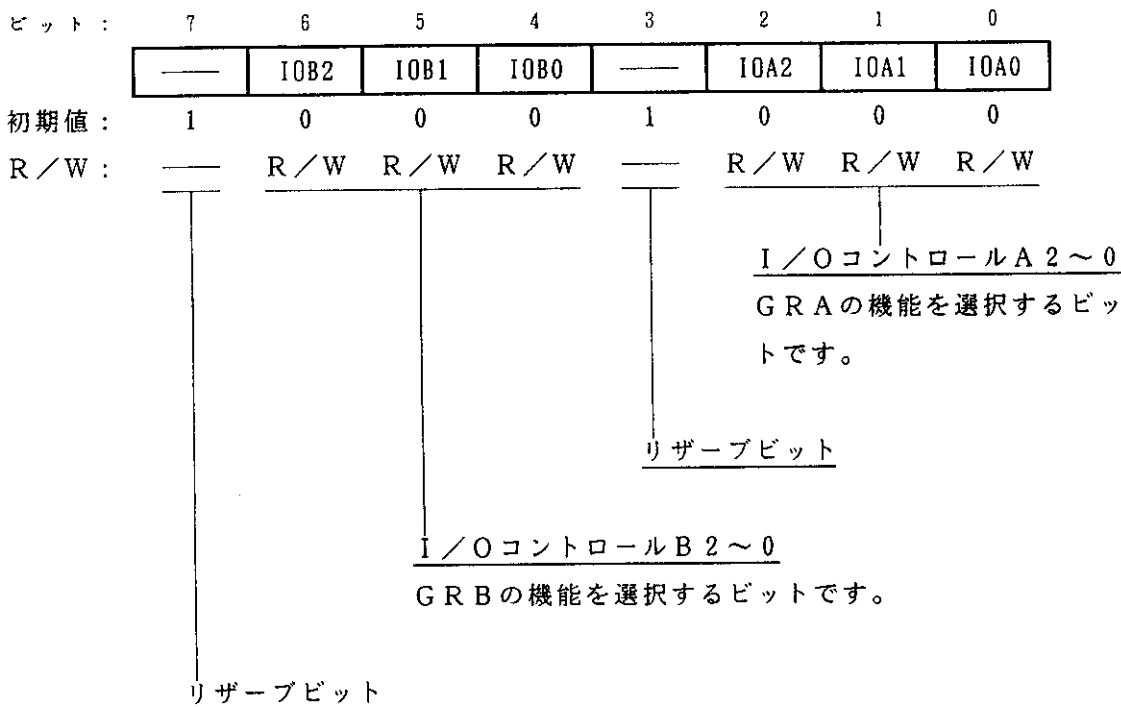
TPSC2ビットを“0”にクリアして内部クロックを選択した場合、クロックの立下がりエッジでカウントされます。また、TPSC2ビットを“1”にセットして外部クロックを選択した場合、カウントエッジはCKEG1、CKEG0ビットの設定に従います。

チャンネル2が位相計数モードに設定されているとき（TMDRのMDFビット＝“1”）、TCR2のTPSC2～TPSC0ビットの設定は無効となり、位相計数モードの動作が優先されます。

10.2.11 タイマI/Oコントロールレジスタ (TIOR)

TIORは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTIORがあります。

チャンネル	略称	機能
0	TIOR0	TIORはGRの制御を行います。 PWMモード時、一部機能が異なります。 チャンネル3、4を相補PWMモード/リセット同期PWMモードに設定したとき、TIOR3、TIOR4の設定は無効となります。
1	TIOR1	
2	TIOR2	
3	TIOR3	
4	TIOR4	



TIORは8ビットのリード/ライト可能なレジスタで、GRA、GRBをアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。またTIOCA、TIOCB端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIORはリセット、またはスタンバイモード時に、H'88にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6～4：I/OコントロールB2～0（IOB2～IOB0）

GRBの機能を選択します。

ビット6	ビット5	ビット4	説 明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRBのコンペアマッチで0出力* ¹
	1	0		GRBのコンペアマッチで1出力* ¹
		1		GRBのコンペアマッチでトグル出力 (チャンネル2のみ1出力)* ¹ ・* ²
1	0	0	GRBはインプ ットキャプチャ レジスタ	立上がりエッジでGRBへインプットキャ プチャ
		1		立下がりエッジでGRBへインプットキャ プチャ
	1	0		立上がり／立下がりの両エッジでインプッ トキャプチャ
		1		

【注】*¹ リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

*² チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

ビット3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2～0：1/OコントロールA2～0（IOA2～IOA0）

GRAの機能を選択します。

ビット2	ビット1	ビット0	説明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRAのコンペアマッチで0出力 ^{*1}
	1	0		GRAのコンペアマッチで1出力 ^{*1}
		1		GRAのコンペアマッチでトグル出力 (チャンネル2のみ1出力) ^{*1*2}
1	0	0	GRAはインプ ットキャプチャ レジスタ	立上がりエッジでGRAへインプットキャ プチャ
		1		立下がりエッジでGRAへインプットキャ プチャ
	1	0		立上がり/立下がりの両エッジでインプッ トキャプチャ
		1		

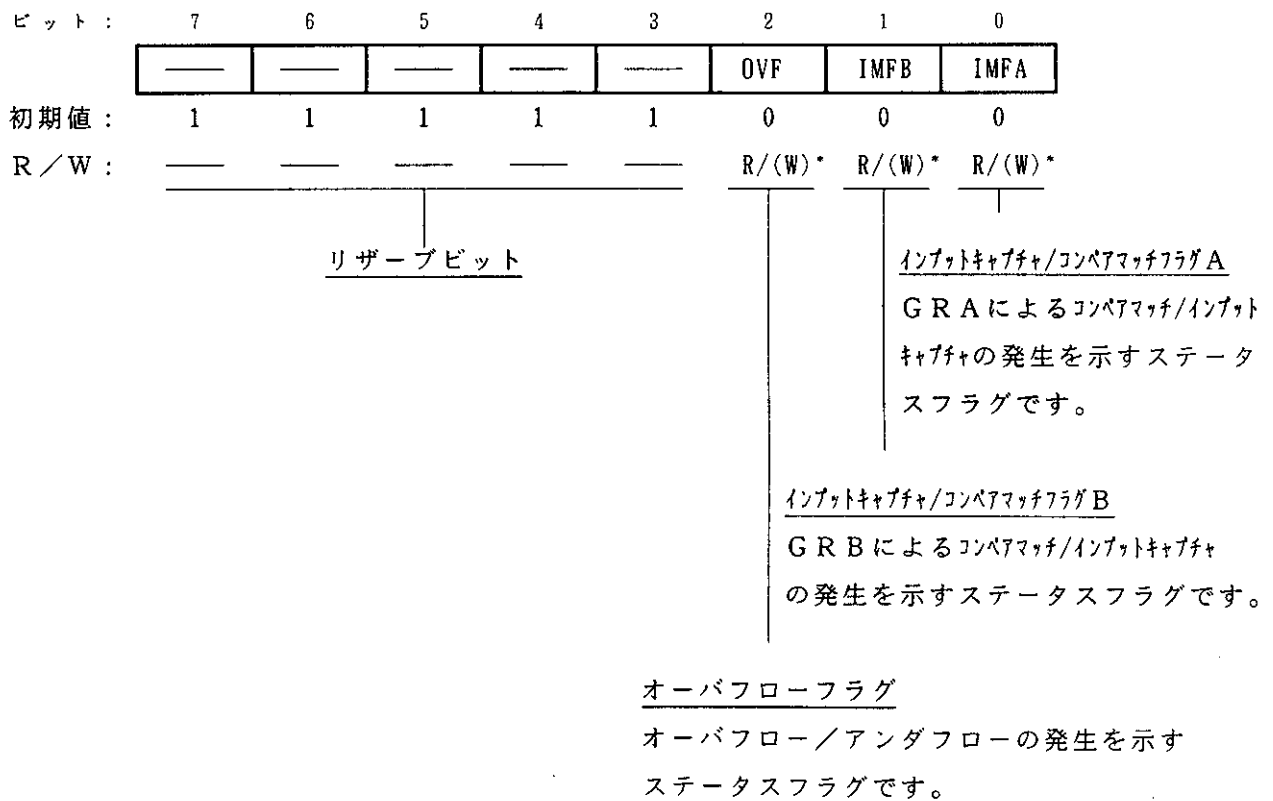
【注】^{*1} リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

^{*2} チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

10.2.12 タイマステータスレジスタ (TSR)

TSRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTSRがあります。

チャンネル	略称	機能
0	TSR0	インプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	



【注】* フラグをクリアするための“0”ライトのみ可能です。

TSRは8ビットのリード/ライト可能なレジスタで、TCNTのオーバフロー/アンダフローの発生、およびGRA、GRBのコンペアマッチ/インプットキャプチャの発生を示します。

これらのフラグは割込み要因であり、TIERの対応するビットにより割込みが許可されていれば、CPUに割込みを要求します。

TSRはリセット、またはスタンバイモード時に、H'F8にイニシャライズされます。

ビット7～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：オーバフローフラグ（OVF）

TCNTのオーバフロー／アンダフローの発生を示すステータスフラグです。

ビット2	説明
OVF	
0	[クリア条件] (初期値) OVF = “1” の状態で、OVFフラグをリードした後、OVFフラグに“0”をライトしたとき
1	[セット条件] TCNTの値がオーバフロー（H'FFFF→H'0000）またはアンダフロー（H'0000→H'FFFF）したとき*

【注】* TCNTのアンダフローは、TCNTがアップ／ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。

(1)チャンネル2が位相計数モードに設定されているとき（TMDRのMDF = “1”）

(2)チャンネル3、4が相補PWMモードに設定されているとき（TFCRのCMD1 = “1”、CMD0 = “0”）

ビット1：インプットキャプチャ／コンペアマッチフラグB（IMFB）

GRBのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFB	
0	[クリア条件] (初期値) IMFB = “1” の状態で、IMFBフラグをリードした後、IMFBフラグに“0”をライトしたとき
1	[セット条件] (1)GRBがアウトプットコンペアレジスタとして機能している場合、TCNT = GRBになったとき (2)GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき

ビット0：インプットキャプチャ/コンペアマッチフラグA (IMFA)

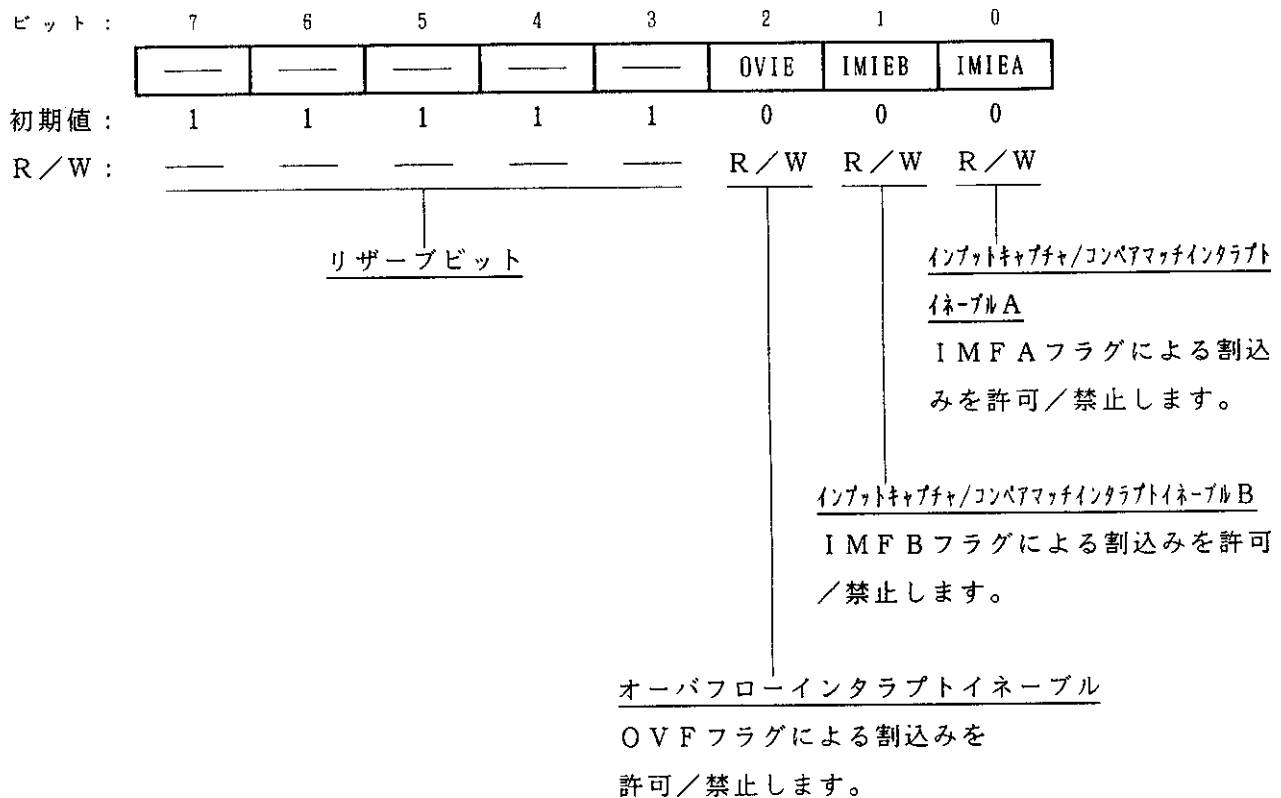
GRAのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	説 明
IMFA	
0	<p>[クリア条件] (初期値)</p> <p>(1) IMFA = "1" の状態で、IMFAフラグをリードした後、IMFAフラグに"0"をライトしたとき</p> <p>(2) IMIA割込みによりDMACが起動されたとき (チャンネル0～3のみ)</p>
1	<p>[セット条件]</p> <p>(1) GRAがアウトプットコンペアレジスタとして機能している場合、TCNT=GRAになったとき</p> <p>(2) GRAがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRAに転送されたとき</p>

10.2.13 タイマインタラプトイネーブルレジスタ (T I E R)

T I E Rは8ビットのレジスタです。I T Uには、各チャンネル1本、計5本のT I E Rがあります。

チャンネル	略 称	機 能
0	T I E R 0	割込み要求の許可／禁止を制御します。
1	T I E R 1	
2	T I E R 2	
3	T I E R 3	
4	T I E R 4	



T I E Rは8ビットのリード／ライト可能なレジスタで、オーバフロー割込み要求、G Rのコンペアマッチ／インプットキャプチャ割込み要求の許可／禁止を制御します。

T I E Rはリセット、またはスタンバイモード時に、H'F8にイニシャライズされます。

ビット7～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：オーバフローインタラプトイネーブル（OVIE）

TSRのOVFフラグが“1”にセットされたとき、OVFフラグによる割込み要求を許可／禁止します。

ビット2	説 明	
OVIE		
0	OVFフラグによる割込み（OVI）要求を禁止	（初期値）
1	OVFフラグによる割込み（OVI）要求を許可	

ビット1：インプットキャプチャ／コンペアマッチインタラプトイネーブルB（IMIEB）

TSRのIMFBフラグが“1”にセットされたとき、IMFBによる割込み要求を許可／禁止します。

ビット1	説 明	
IMIEB		
0	IMFBフラグによる割込み（IMIB）要求を禁止	（初期値）
1	IMFBフラグによる割込み（IMIB）要求を許可	

ビット0：インプットキャプチャ／コンペアマッチインタラプトイネーブルA（IMIEA）

TSRのIMFAフラグが“1”にセットされたとき、IMFAによる割込み要求を許可／禁止します。

ビット0	説 明	
IMIEA		
0	IMFAフラグによる割込み（IMIA）要求を禁止	（初期値）
1	IMFAフラグによる割込み（IMIA）要求を許可	

10.3 CPUとのインタフェース

10.3.1 16ビットアクセス可能なレジスタ

TCNT、GRA、GRB、およびBRA、BRB、BRは16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

TCNTに対してワード単位のリード/ライトを行った場合の動作を図10.6、図10.7に示します。

また、TCNTH、TCNTLに対してバイト単位のリード/ライトを行った場合の動作を図10.8、図10.9、図10.10、図10.11に示します。

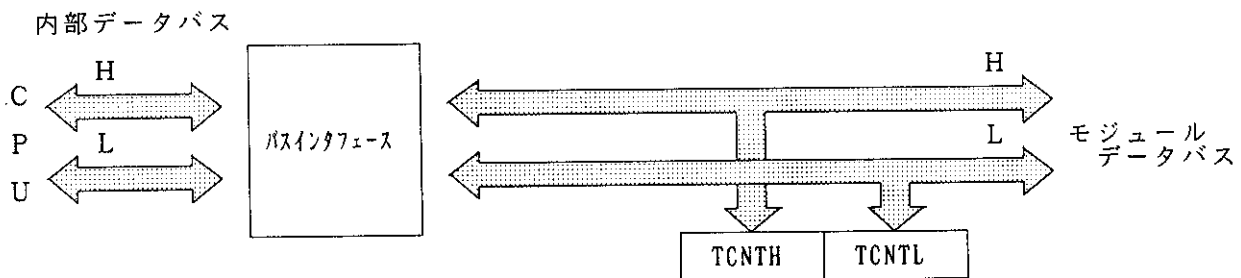


図10.6 TCNTのアクセス動作 [CPU→TCNT (ワード)]

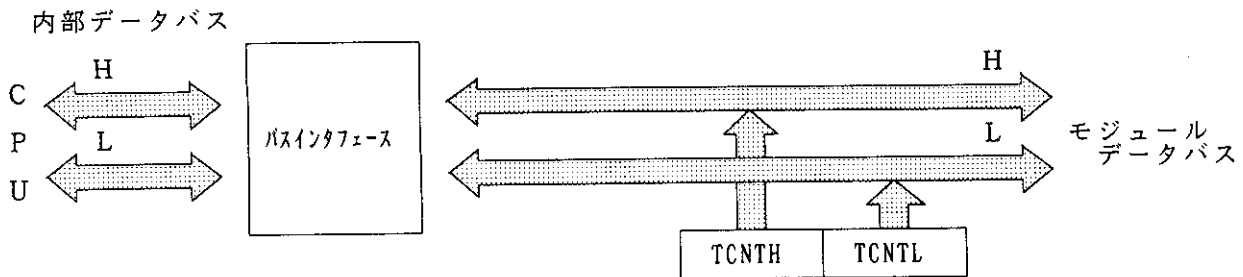


図10.7 TCNTのアクセス動作 [TCNT→CPU (ワード)]

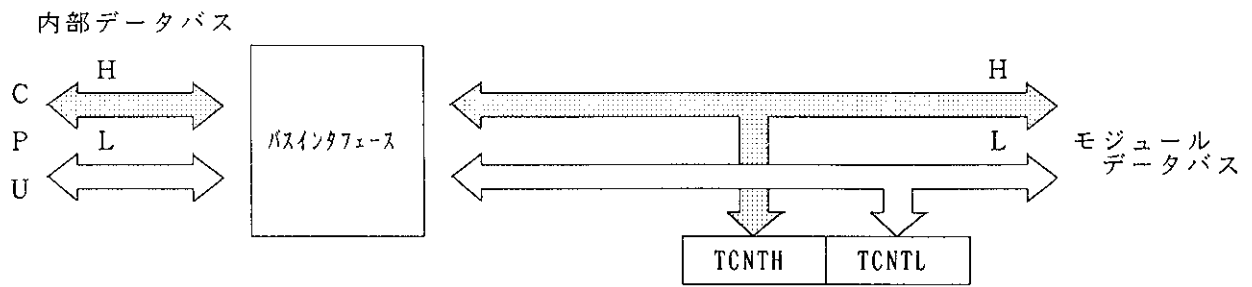


図10.8 TCNTのアクセス動作 [CPU→TCNT (上位バイト)]

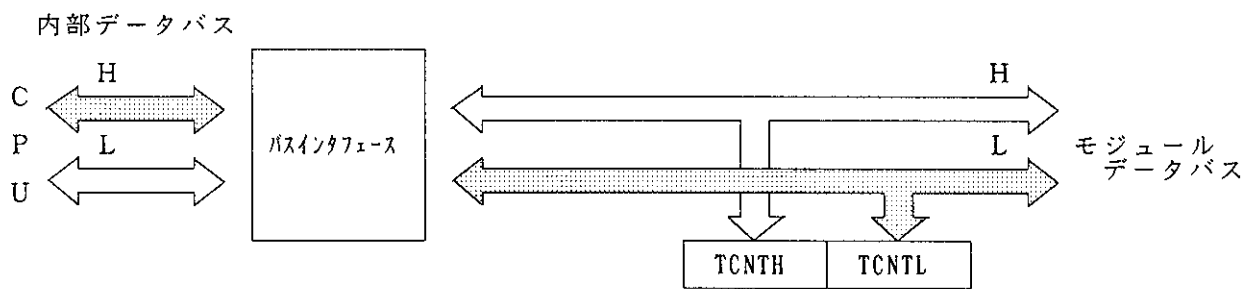


図10.9 TCNTのアクセス動作 [CPU→TCNT (下位バイト)]

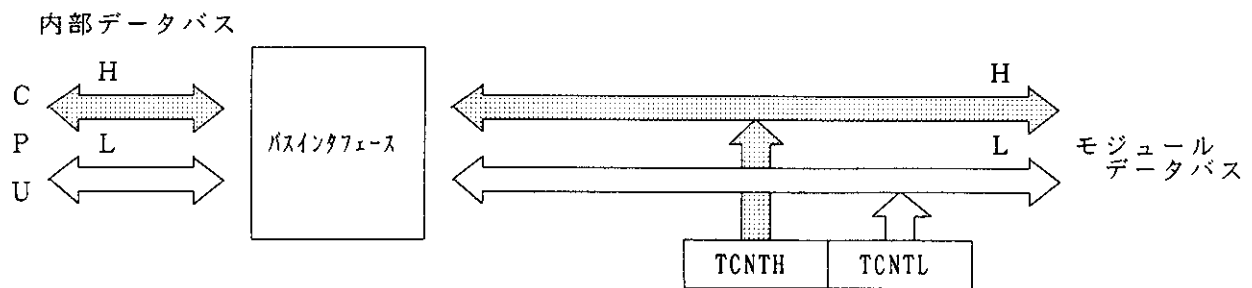


図10.10 TCNTのアクセス動作 [TCNT→CPU (上位バイト)]

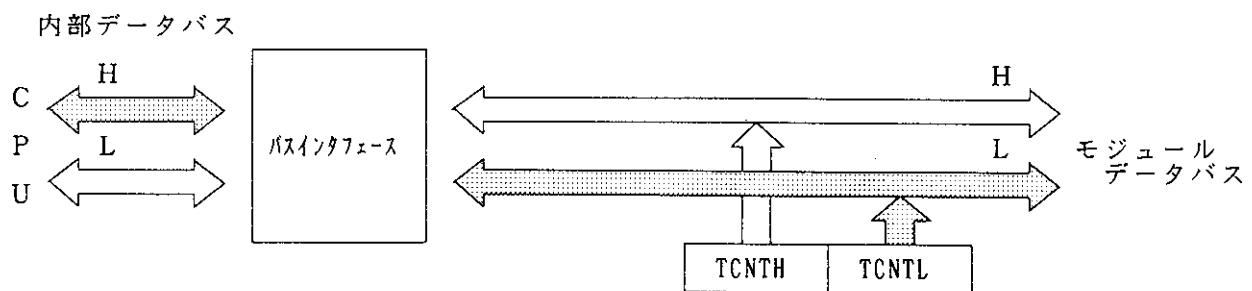


図10.11 TCNTのアクセス動作 [TCNT→CPU (下位バイト)]

10.3.2 8ビットアクセスのレジスタ

TCNT、GR、BR以外のレジスタは8ビットレジスタです。これらのレジスタはCPUと内部8ビットデータバスで接続されています。

TCRに対してバイト単位のリード/ライトを行った場合の動作を図10.12、図10.13に示します。なお、ワードサイズの転送命令を実行するとバイト単位2回の転送が行われます。

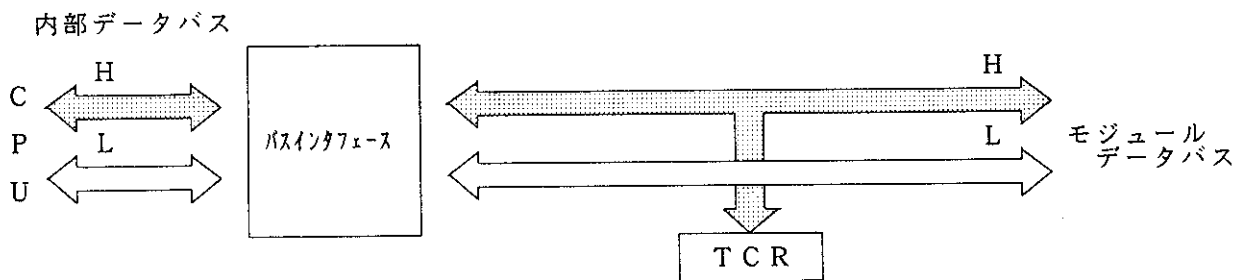


図10.12 TCRのアクセス動作 [CPU→TCR]

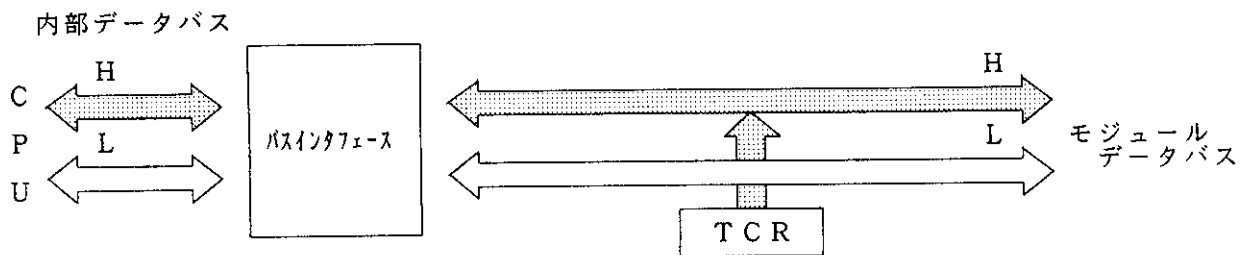


図10.13 TCRのアクセス動作 [TCR→CPU]

10.4 動作説明

10.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNTとGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルのTCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意のTCNTを書き換えると他のチャンネルのTCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルのTCRのCCLR1、CCLR0ビットの設定により、TCNTの同期クリアが可能です。

(3) PWMモード

TIOCA端子からPWM波形を出力するモードです。コンペアマッチAにより1出力、コンペアマッチBにより0出力となります。GRA、GRBの設定により、デューティ0～100%のPWM波形を出力できます。PWMモードに設定すると当該チャンネルのGRA、GRBは自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期PWMモード

チャンネル3、4を組み合わせ、正相と逆相のPWM波形を3相出力します（3相のPWM波形は一方の変化点が共通となる関係になります）。リセット同期PWMモードに設定するとGRA3、GRB3、GRA4、GRB4は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3はアップカウント動作を行います。TCNT4は独立に動作します（ただし、GRA4、GRB4はTCNT4とは切り離されています）。

(5) 相補PWMモード

チャンネル3、4を組み合わせ、正相と逆相がノンオーバーラップの関係にあるPWM波形を3相出力します。相補PWMモードに設定するとGRA3、GRB3、GRA4、GRB4は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3、TCNT4はアップ/ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定するとTCLKA、TCLKB端子はクロック入力となり、またTCNT2はアップ/ダウンカウント動作を行います。

(7) バッファ動作

① GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

② GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

③ 相補PWMモードの場合

TCNT3、TCNT4のカウンタ方向が変化するとBRの値が、GRに転送されます。

④ リセット同期PWMモードの場合

GRA3のコンペアマッチによりBRの値が、GRに転送されます。

10.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) のSTR0～STR4ビットを“1”にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図10.14に示します。

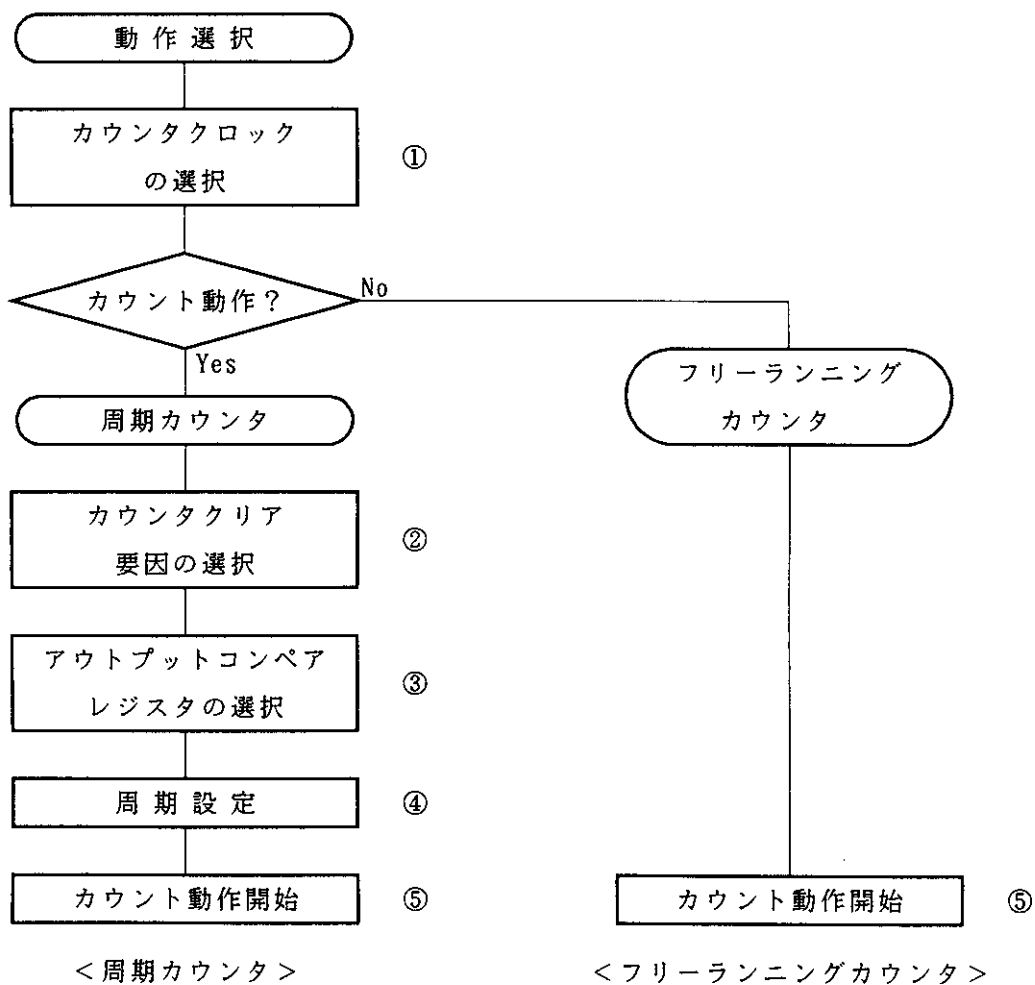


図10.14 カウント動作設定手順例

- ① TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- ② 周期カウント動作の場合TCRのCCLR1、CCLR0ビットでTCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
- ③ ②で選択したGRAまたはGRBを、TIORによりアウトプットコンペアレジスタに設定してください。
- ④ ②で選択したGRAまたはGRBに周期カウンタの周期を設定してください。
- ⑤ TSTRのSTRビットを“1”にセットしてカウント動作を開始してください。

(b) フリーランニングカウンタ動作と周期カウンタ動作

ITUチャンネル0～4のカウンタ(TCNT)はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを“1”にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF→H'0000)するとTSRのOVFフラグが“1”にセットされます。このとき、対応するTIERのOVIEビットが“1”ならば、CPUに割込みを要求します。TCNTはオーバーフロー後、H'0000から再びアップカウント動作を継続します。

フリーランニングカウンタの動作を図10.15に示します。

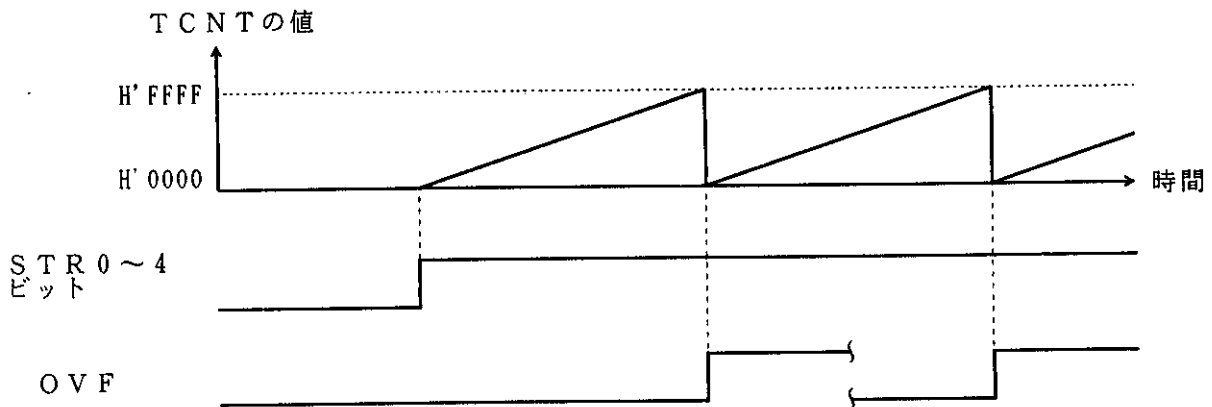


図10.15 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、当該チャンネルのTCNTは周期カウント動作を行います（周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します）。設定後、TSTRの対応するビットを“1”にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTSRのIMFA/IMFBフラグが“1”にセットされ、TCNTはH'0000にクリアされます。

このとき、対応するTIERのIMIEA/IMIEBビットが“1”ならば、CPUに割込みを要求します。TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を続けます。

周期カウンタの動作を図10.16に示します。

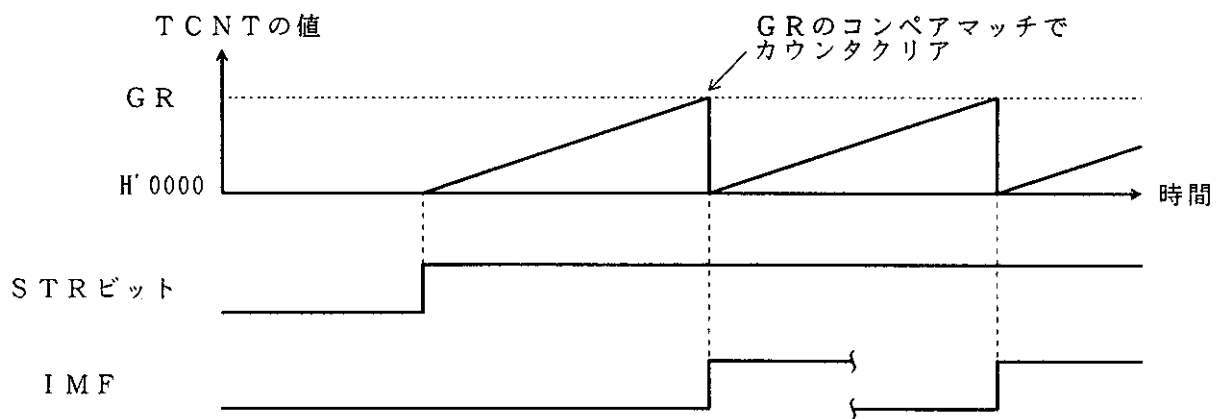


図10.16 周期カウンタの動作

(c) TCNTのカウントタイミング

①内部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより、システムクロック(ϕ)またはシステムクロックを分周した3種類のクロック($\phi/2$ 、 $\phi/4$ 、 $\phi/8$)が選択できます。

このときのタイミングを図10.17に示します。

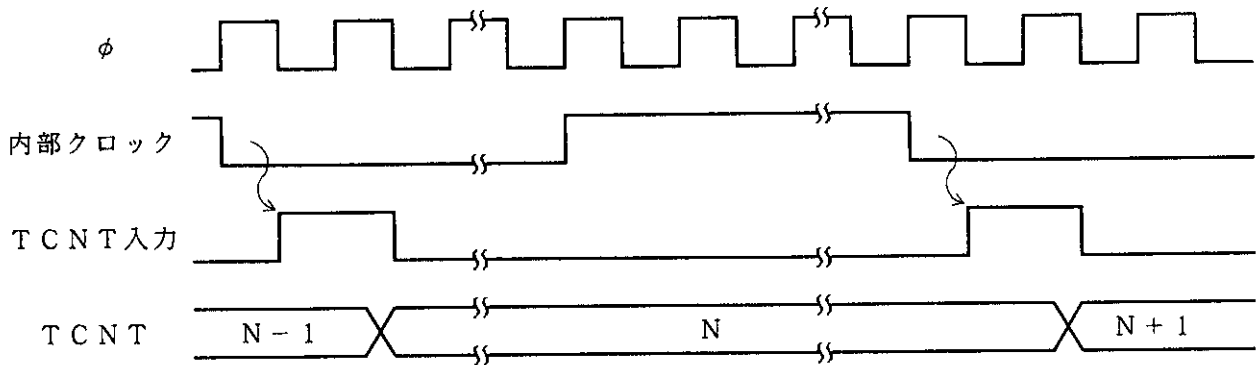


図10.17 内部クロック動作時のカウントタイミング

②外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子(TCLKA～TCLKD)を、またCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立上がりエッジ/立下がりエッジ/両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立上がり/立下がりの両エッジ検出時のタイミングを図10.18に示します。

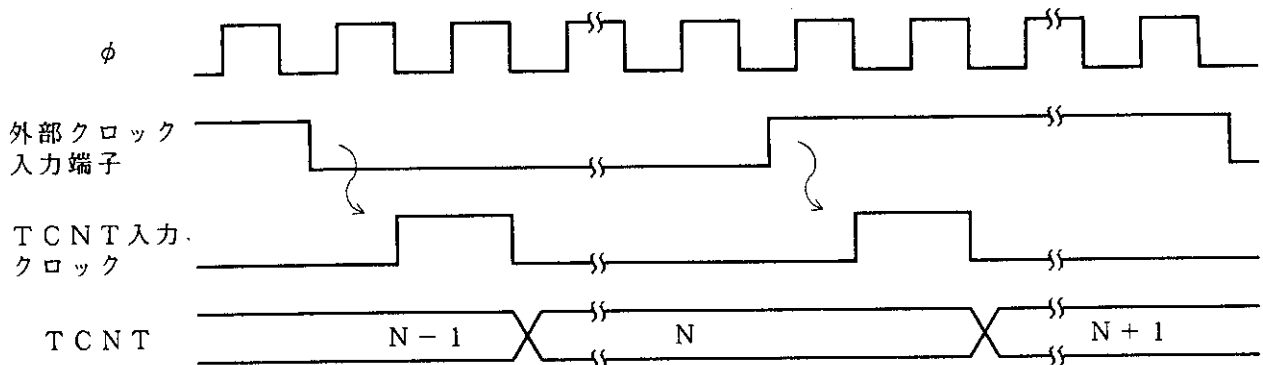


図10.18 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

I T Uチャンネル0、1、3、4は、コンペアマッチA、Bにより対応するTIOCA、TIOCB端子から0出力/1出力/トグル出力を行うことができます。

チャンネル2は0出力/1出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図10.19に示します。

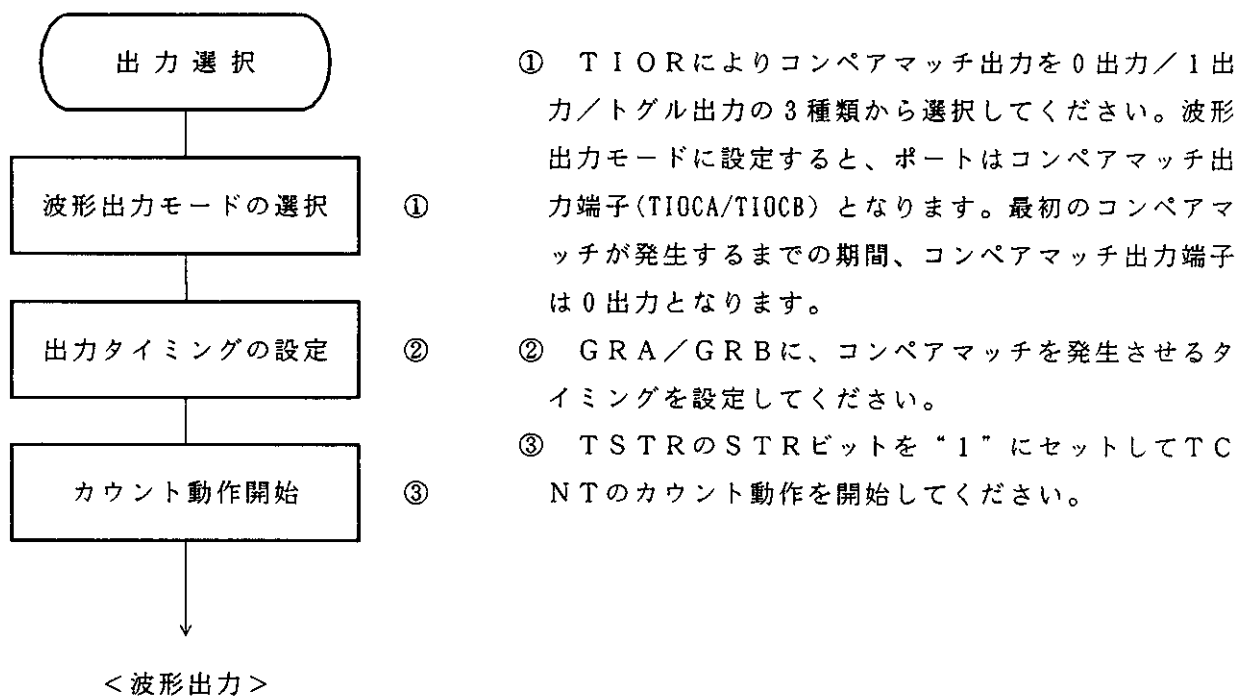


図10.19 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力/1出力の例を図10.20に示します。

TCNTをフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

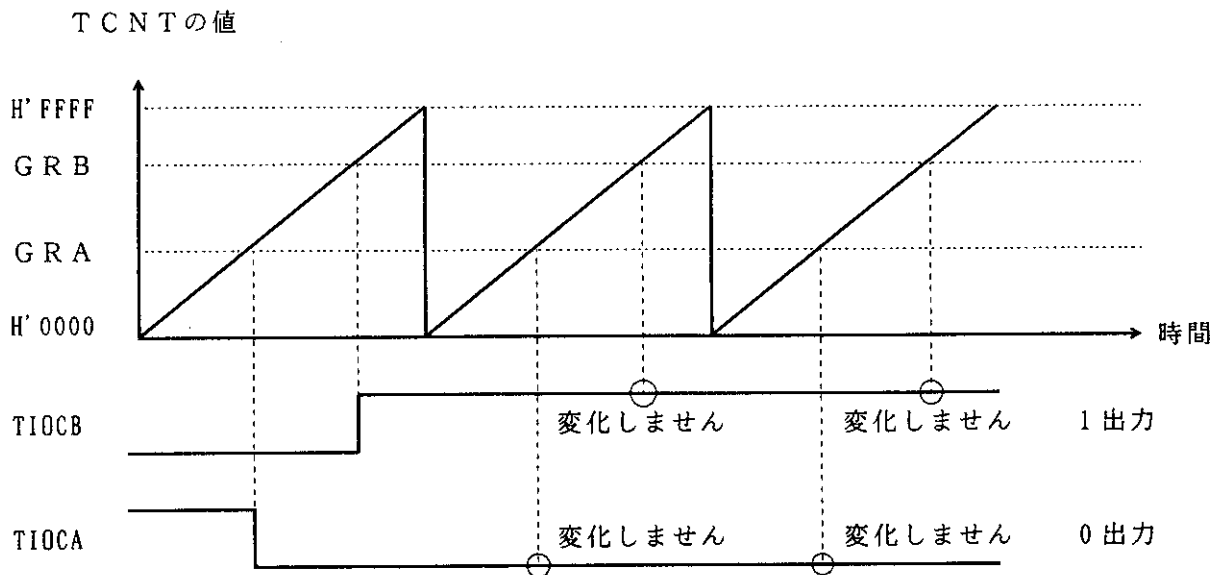


図10.20 0出力、1出力の動作例

トグル出力の例を図10.21に示します。

TCNTを周期カウント動作（コンペアマッチBでカウンタクリア）に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

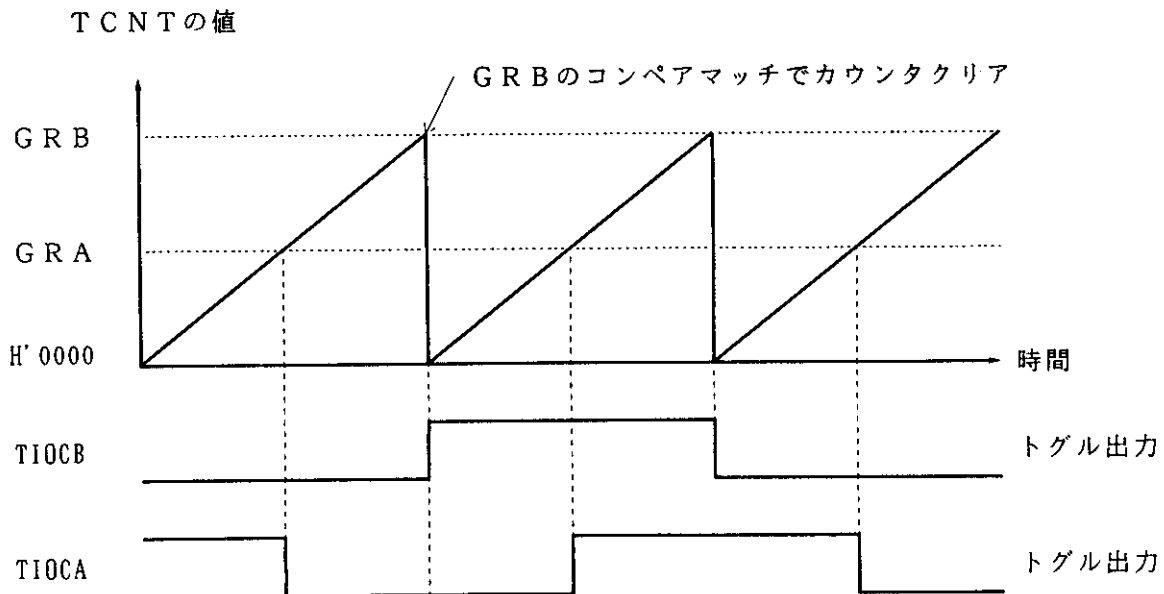


図10.21 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOで設定される出力値がアウトプットコンペア出力端子(TIOCA、TIOCB)に出力されます。TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図10.22に示します。

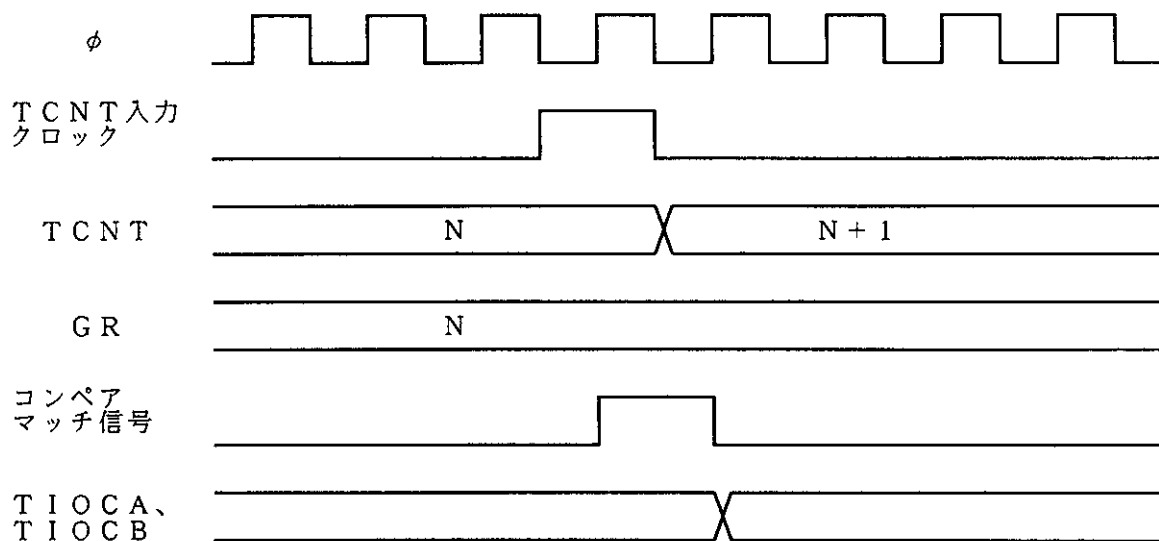


図10.22 アウトプットコンペア出力タイミング

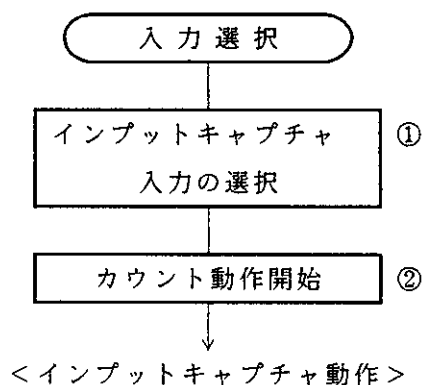
(3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子(TIOCA、TIOCB)の入力エッジを検出してTCNTの値をGRに転送することができます。検出エッジは立上がりエッジ/立下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図10.23に示します。



① TIORにより、GRをインพุットキャプチャレジスタに設定し、インพุットキャプチャ信号の入力エッジを立上がりエッジ/立下がりエッジ/両エッジの3種類から選択してください。ただし、対応するポートのDDRを“0”にクリアした状態でTIORの設定を行ってください。

② TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

図10.23 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図10.24に示します。

TIOCA端子のインพุットキャプチャ入力エッジは立上がり／立下がりの両エッジ、またTIOCB端子のインพุットキャプチャ入力エッジは立下がりエッジを選択し、TCNTはGRBのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

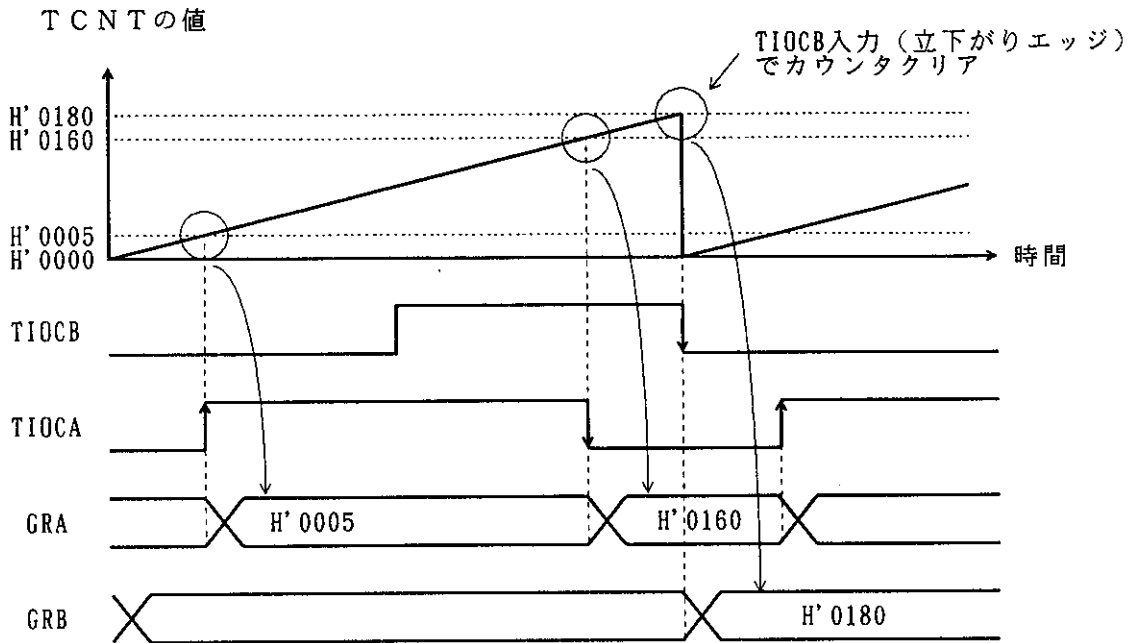


図10.24 インพุットキャプチャ動作例

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、T I O Rの設定により立上がりエッジ/立下がりエッジ/両エッジの選択ができます。

立上がりエッジを選択した場合のタイミングを図10.25に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。

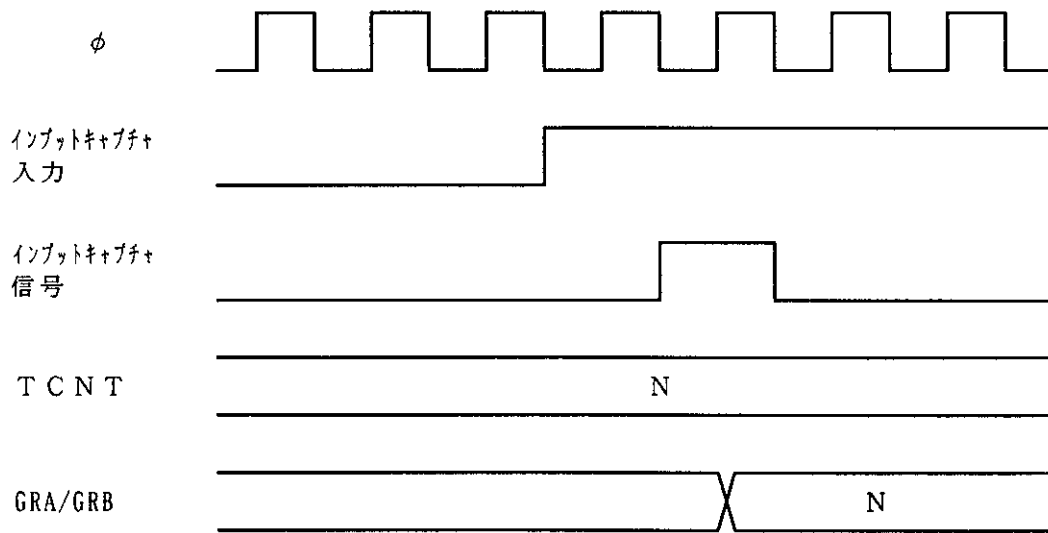


図10.25 インพุットキャプチャ入力信号タイミング

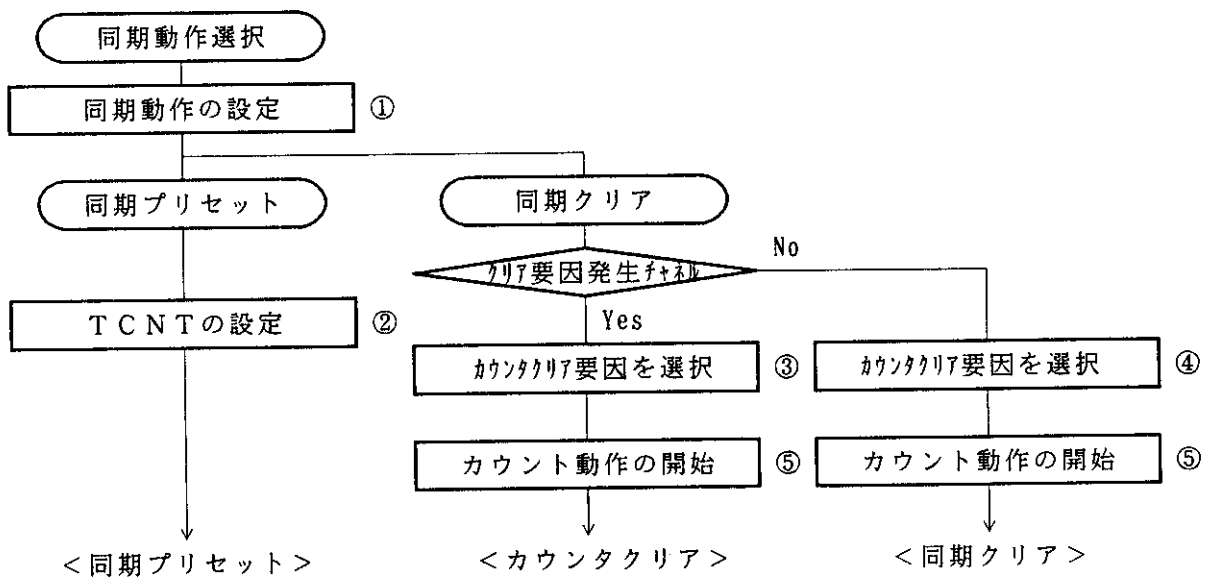
10.4.3 同期動作

同期動作は、複数のTCNTの値を同時に書き換えることができます（同期プリセット）。また、TCRの設定により複数のTCNTを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル0～4はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図10.26に示します。



- ① 同期動作に設定するチャンネルに対応したTSNCのSYNCビットを“1”にセットしてください。
- ② 同期動作に設定したチャンネルのいずれかのTCNTにライトすると、他のTCNTにも同じ値が同時にライトされます。
- ③ TCRのCCLR1、CCLR0ビットにより、コンペアマッチ/インプットキャプチャでカウンタクリアするように設定してください。
- ④ TCRのCCLR1、CCLR0ビットにより、カウンタクリア要因を同期クリアに設定してください。
- ⑤ TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

図10.26 同期モードの設定手順例

(2) 同期動作例

同期動作例を図10.27に示します。

チャンネル0～2を同期動作かつPWMモードに設定し、チャンネル0のカウンタクリア要因をGRB0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル0～2のTCNTは同期プリセット、GRB0のコンペアマッチによる同期クリア動作を行い、3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。

PWMモードについては「10.4.4 PWMモード」を参照してください。

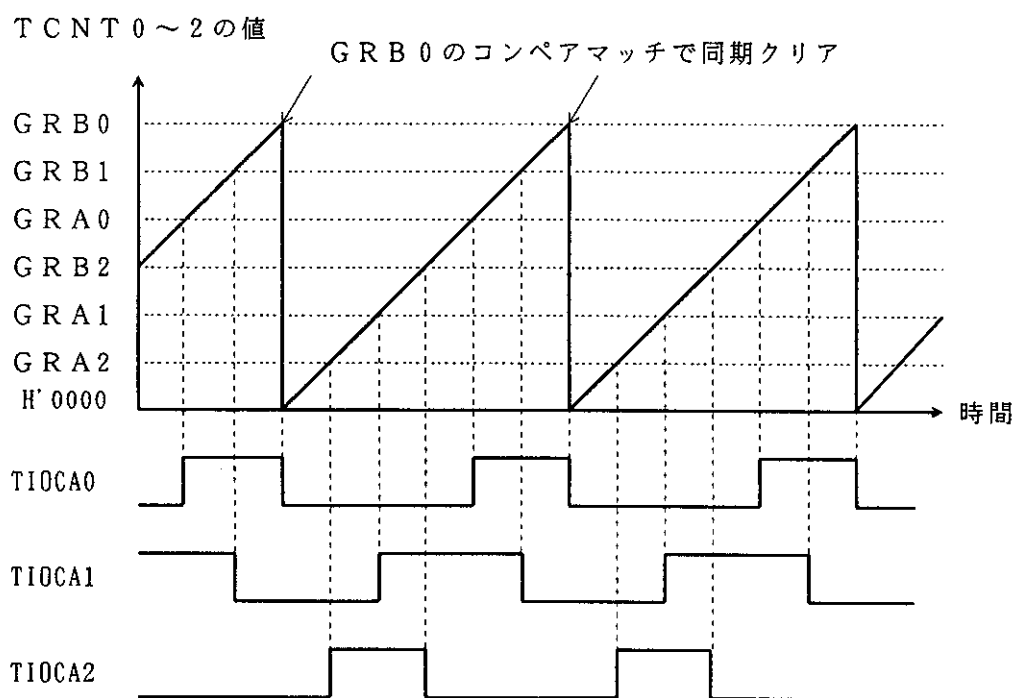


図10.27 同期動作例

10.4.4 PWMモード

PWMモードはGRAとGRBをペアで使用し、TIOCA出力端子よりPWM波形を出力します。GRAにはPWM波形の1出力タイミングを設定し、GRBにはPWM波形の0出力タイミングを設定します。

GRAとGRBのいずれかのコンペアマッチをTCNTのカウンタクリア要因とすることにより、デューティ0～100%のPWM波形をTIOCA端子より出力することができます。チャンネル0～4はすべてPWMモードの設定が可能です。

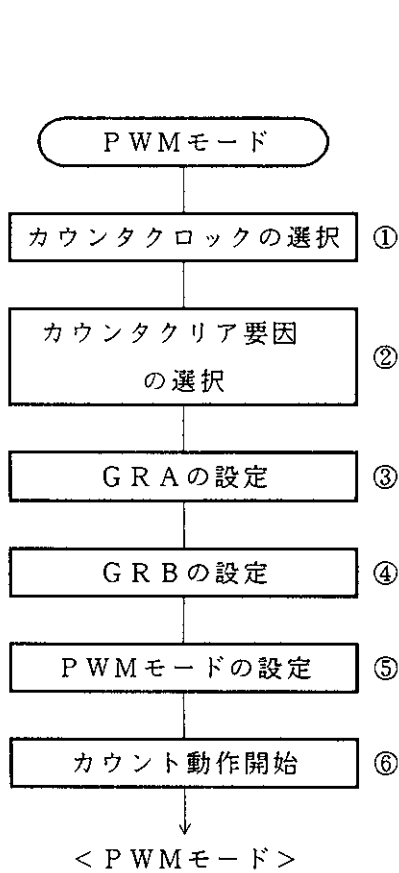
PWM出力端子とレジスタの対応を表10.4に示します。GRAとGRBの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表10.4 PWM出力端子とレジスタの組み合わせ

チャンネル	出力端子	1出力	0出力
0	TIOCA0	GRA 0	GRB 0
1	TIOCA1	GRA 1	GRB 1
2	TIOCA2	GRA 2	GRB 2
3	TIOCA3	GRA 3	GRB 3
4	TIOCA4	GRA 4	GRB 4

(1) PWMモードの設定手順例

PWMモードの設定手順例を図10.28に示します。



- ① TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットにより外部クロックのエッジを選択してください。
- ② TCRのCCLR1、CCLR0ビットによりカウンタクリア要因を選択してください。
- ③ GRAに出力PWM波形の1出力タイミングを設定してください。
- ④ GRBに出力PWM波形の0出力タイミングを設定してください。
- ⑤ TMDRのPWMビットでPWMモードを設定してください。PWMモードを設定すると、TIORの内容にかかわらずGRA/GRBは、PWM出力波形の1出力/0出力タイミング設定用アウトプットコンペアレジスタとなります。TIOCA端子は自動的にPWM出力端子となります。ただし、TIOCB端子は、TIOB1、TIOB0ビットの設定に従います。TIOCB端子を出力しない場合は、TIOB1、TIOB0をいずれも“0”にクリアしてください。
- ⑥ TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

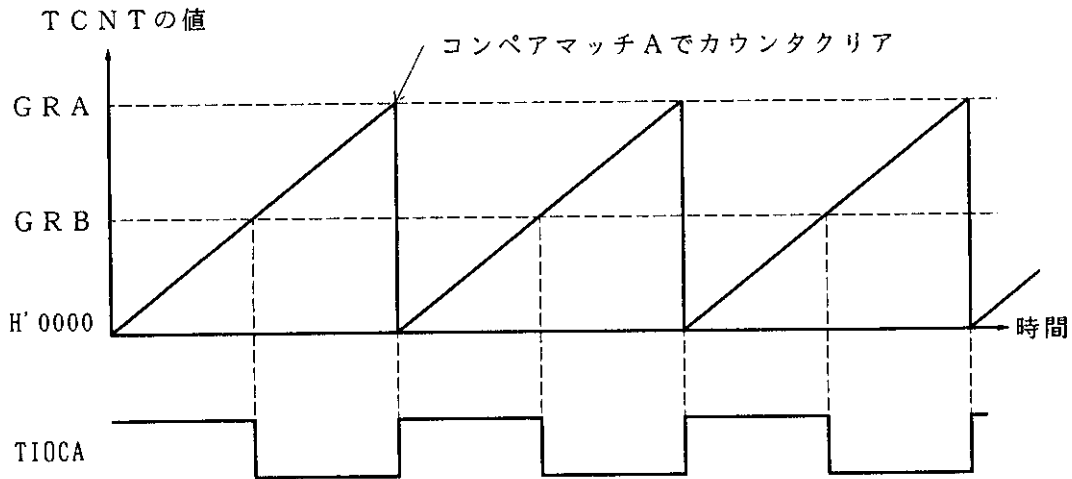
図10.28 PWMモードの設定手順例

(2) PWMモードの動作例

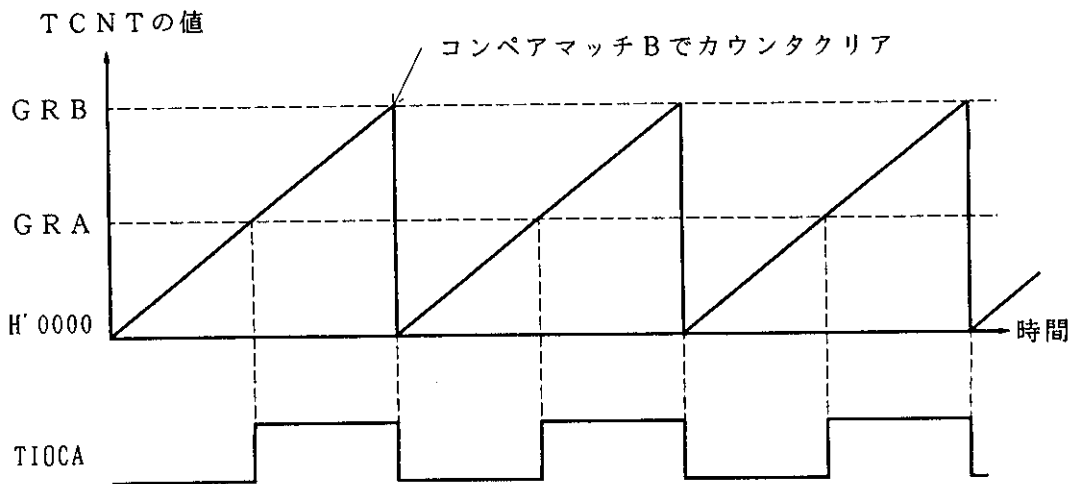
PWMモードの動作例を図10.29に示します。

PWMモードに設定するとTIOCA端子は出力端子となり、GRAのコンペアマッチで1出力、GRBのコンペアマッチで0出力となります。

TCNTのカウンタクリア要因をGRA、GRBのコンペアマッチとした場合の例です。同期動作またはフリーランニングカウンタ動作も使用できます。



(a) GRAでカウンタクリア

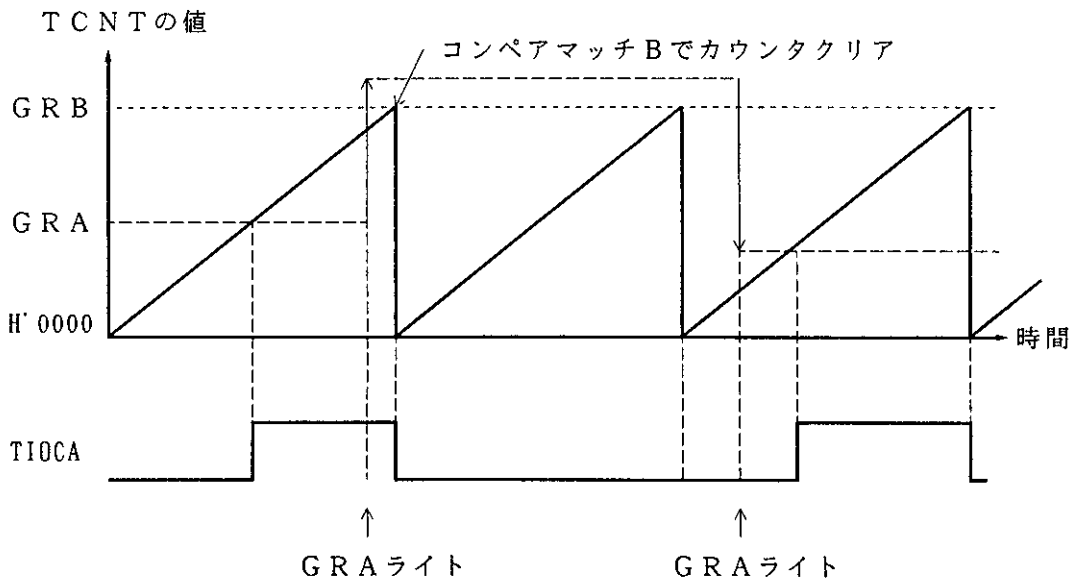


(b) GRBでカウンタクリア

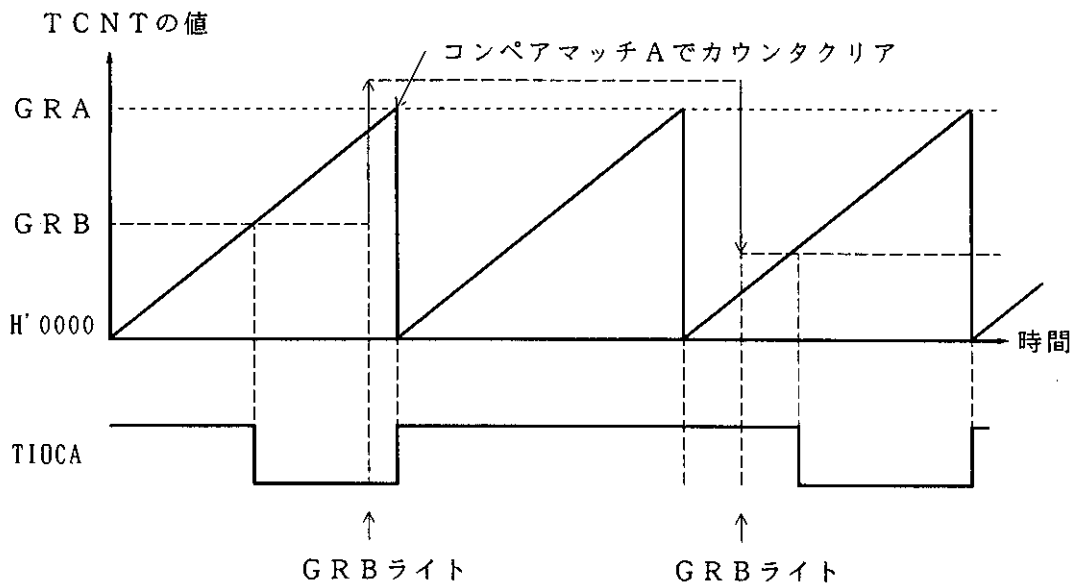
図10.29 PWMモードの動作例(1)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図10.30に示します。

カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値 > GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値 > GRAの設定値としたときPWM波形はデューティ100%となります。



(a) デューティ0%の場合



(b) デューティ100%の場合

図10.30 PWMモードの動作例(2)

10.4.5 リセット同期PWMモード

リセット同期PWMモードは、チャンネル3、4を組み合わせることにより、一方の波形変化点が共通の関係となるPWM波形（正相と逆相）を3相出力します。

リセット同期PWMモードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、およびTIOCB4、TOCXB4端子は自動的にPWM出力端子となり、TCNT3はアップカウンタとして機能します。

使用されるPWM出力端子を表10.5に、使用するレジスタの設定を表10.6に示します。

表10.5 リセット同期PWMモード時の出力端子

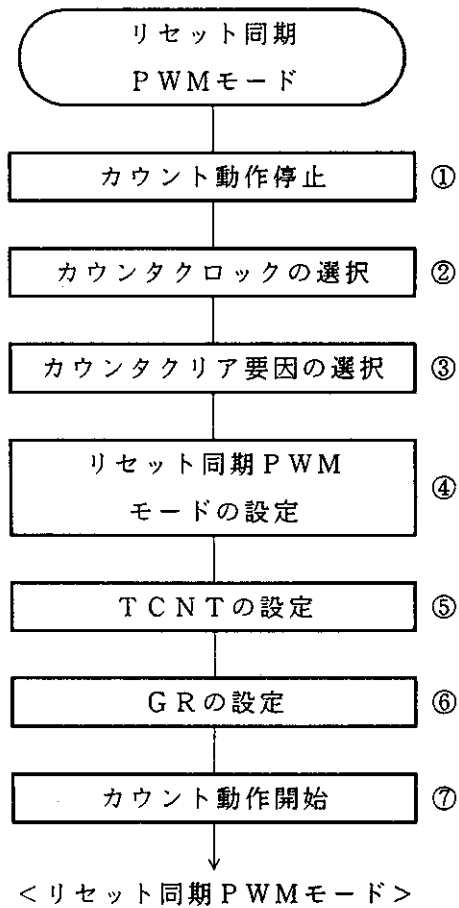
チャンネル	出力端子	説明
3	TIOCA3	PWM出力1
	TIOCB3	PWM出力1 [~] （PWM出力1の逆相波形）
4	TIOCA4	PWM出力2
	TOCXA4	PWM出力2 [~] （PWM出力2の逆相波形）
	TIOCB4	PWM出力3
	TOCXB4	PWM出力3 [~] （PWM出力3の逆相波形）

表10.6 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
TCNT3	H'0000を初期設定
TCNT4	使用しません（独立に動作）
GRA3	TCNT3のカウンタ周期を設定
GRB3	TIOCA3、TIOCB3端子より出力されるPWM波形の変化点を設定
GRA4	TIOCA4、TOCXA4端子より出力されるPWM波形の変化点を設定
GRB4	TIOCB4、TOCXB4端子より出力されるPWM波形の変化点を設定

(1) リセット同期PWMモードの設定手順例

リセット同期PWMモードの設定手順を図10.31に示します。



① TSTRのSTR3ビットを“0”にクリアし、TCNT3のカウンタ動作を停止してください。リセット同期PWMモードの設定は、TCNT3が停止した状態で行ってください。

② TCRのTPSC2～TPSC0ビットでチャンネル3のカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。

③ TCR3のCCLR1、CCLR0ビットでカウンタクリア要因をGRA3のコンペアマッチに設定してください。

④ TFCRのCMD1、CMD0ビットでリセット同期PWMモードを設定してください。

TIOCA3、TIOCB3、TIOCA4、TIOCB4、TOCXA4、TOCXB4端子は自動的にPWM出力端子となります。

⑤ TCNT3は、H'0000としてください。TCNT4は、設定する必要はありません。

⑥ GRA3は周期レジスタです。GRA3には、周期を設定してください。GRB3、GRA4、GRB4には、PWM出力波形変化タイミングを設定してください。ただし、設定値は、TCNT3とコンペアマッチする範囲で設定してください。

$X \leq \text{GRA}3$ (X: 設定値)

⑦ TSTRのSTR3ビットを“1”にセットして、TCNT3のカウンタ動作を開始してください。

図10.31 リセット同期PWMモードの設定手順例

(2) リセット同期PWMモードの動作例

リセット同期PWMモードの動作例を図10.32に示します。

リセット同期PWMモードでは、TCNT 3はアップカウンタとして動作します。TCNT 4は独立動作します。ただし、GRA 4、GRB 4はTCNT 4から切り離されます。TCNT 3がGRA 3とコンペアマッチするとカウンタはクリアされ、H'0000からカウントアップを再開します。

PWM出力端子は、それぞれGRB 3、GRA 4、GRB 4とTCNT 3のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

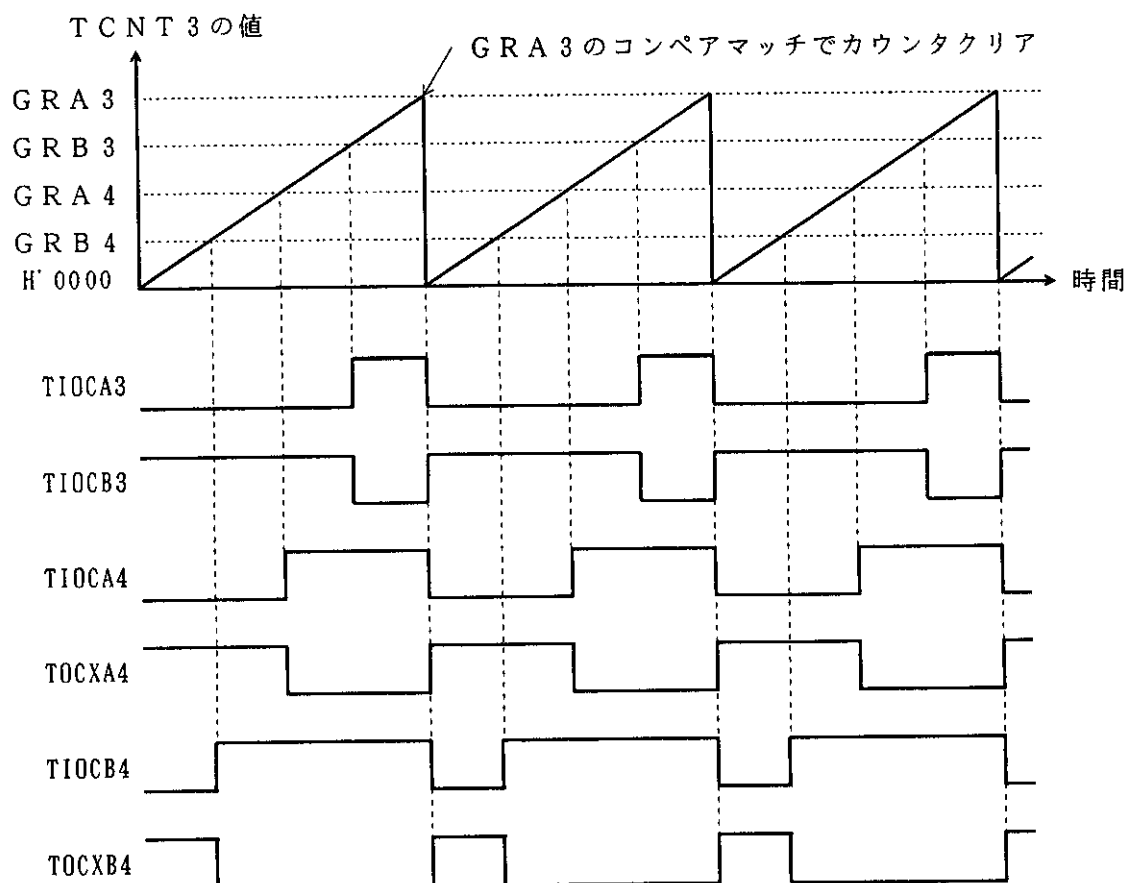


図10.32 リセット同期PWMモードの動作例 (OLS 3 = OLS 4 = 1の場合)

リセット同期PWMモードとバッファ動作を同時に設定した場合の動作については、「10.4.8 バッファ動作」を参照してください。

10.4.6 相補PWMモード

相補PWMモードは、チャンネル3、4を組み合わせることにより、正相と逆相がノンオーバーラップの関係にあるPWM波形を3相出力します。

相補PWMモードに設定すると、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、およびTIOCB₄、TOCXB₄端子は自動的にPWM出力端子となり、TCNT3とTCNT4はアップ/ダウンカウンタとして機能します。

使用されるPWM出力端子を表10.7に、使用するレジスタの設定を表10.8に示します。

表10.7 相補PWMモード時の出力端子

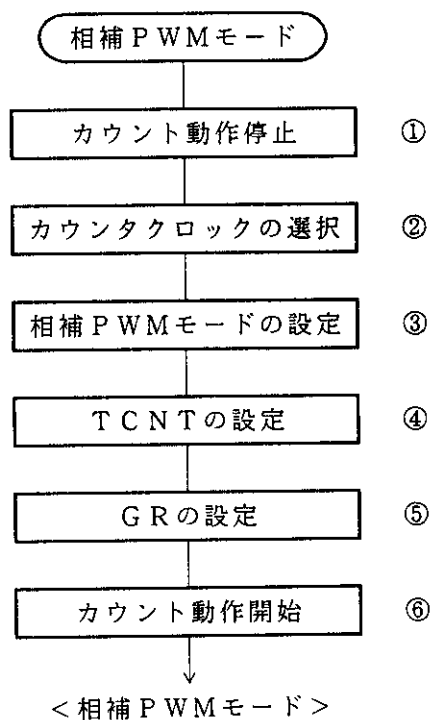
チャンネル	出力端子	説明
3	TIOCA ₃	PWM出力1
	TIOCB ₃	PWM出力1 ^ˆ (PWM出力1とノンオーバーラップの関係にある逆相波形)
4	TIOCA ₄	PWM出力2
	TOCXA ₄	PWM出力2 ^ˆ (PWM出力2とノンオーバーラップの関係にある逆相波形)
	TIOCB ₄	PWM出力3
	TOCXB ₄	PWM出力3 ^ˆ (PWM出力3とノンオーバーラップの関係にある逆相波形)

表10.8 相補PWMモード時のレジスタ設定

レジスタ	設定内容
TCNT3	ノンオーバーラップ期間を初期設定 (TCNT4との差がノンオーバーラップ期間となります)
TCNT4	H'0000を初期設定
GRA3	TCNT3の上限値-1を設定
GRB3	TIOCA ₃ 、TIOCB ₃ 端子より出力されるPWM波形の変化点を設定
GRA4	TIOCA ₄ 、TOCXA ₄ 端子より出力されるPWM波形の変化点を設定
GRB4	TIOCB ₄ 、TOCXB ₄ 端子より出力されるPWM波形の変化点を設定

(1) 相補PWMモードの設定手順

相補PWMモードの設定手順例を図10.33に示します。



- ① TSTRのSTR3、STR4ビットを“0”にクリアしTCNTのカウンタ動作を停止してください。相補PWMモードの設定は、TCNT3、TCNT4が停止した状態で行ってください。
- ② TCRのTPSC2～TPSC0ビットでチャンネル3、4に同一カウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。TCRのCCLR1、CCLR0ビットでカウンタクリアは選択しないでください。
- ③ TFCRのCMD1、CMD0ビットで相補PWMモードを設定してください。TIOCA3、TIOCB3、TIOCA4、TIOCB4、TOCXA4、TOCXB4端子は自動的にPWM出力端子となります。
- ④ TCNT4は、H'0000としてください。TCNT3は、ノンオーバーラップ期間を設定してください。TCNT3とTCNT4に同じ値を設定しないでください。
- ⑤ GRA3は周期レジスタです。GRA3には、TCNT3の上限値-1を設定してください。GRB3、GRA4、GRB4には、PWM出力波形変化タイミングを設定してください。ただし、設定値は、TCNT3とTCNT4がコンペアマッチする範囲で設定してください。
 $T \leq X$ (X: GRB3、GRA4、GRB4の初期設定値、T: TCNT3の初期設定値)
- ⑥ TSTRのSTR3、STR4ビットを“1”にセットして、TCNT3、TCNT4のカウンタ動作を開始してください。

【注】 相補PWMモードを途中で解除した後、再び相補PWMモードを開始したい場合、設定手順①から、再設定を行ってください。

図10.33 相補PWMモードの設定手順例

(2) 相補PWMモードの解除手順

図10.34に相補PWMモードの解除手順を示します。まず、①タイマファンクションコントロールレジスタ(TFCR)のコンビネーションモード(CMD)1.0ビットを“10”から“00”または“01”に再設定し、相補PWMモードから通常動作モードにします。その後②チャンネル3、4で使用しているカウンタ入力クロックの1クロック以上待つ、タイマスタートレジスタ(TSTR)のカウンタスタート(STR)3、4ビットをクリアしてチャンネル3、4のカウンタTCNT3、TCNT4のカウンタ動作を停止してください。

本手順以外で相補PWMモードを解除した場合、相補PWMモード再設定時の出力波形が設定どおりに変化しない場合があります。

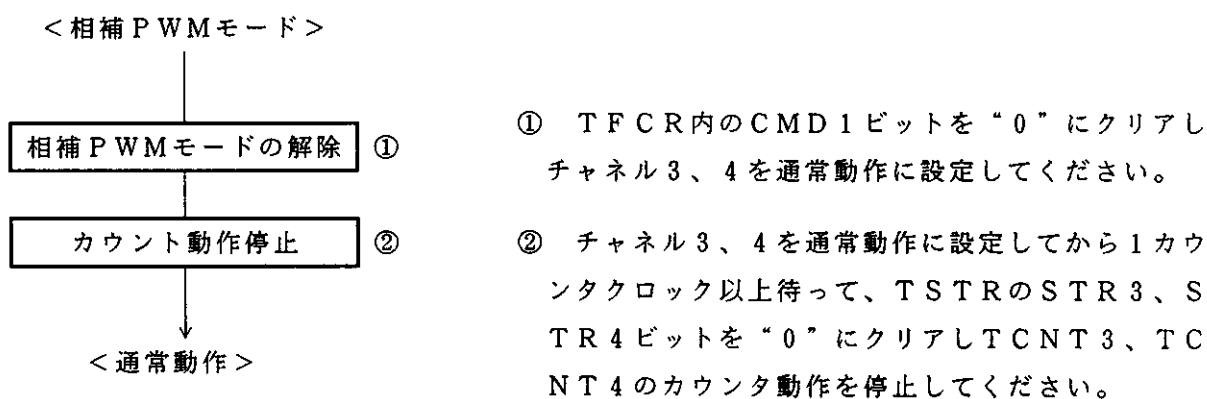


図10.34 相補PWMモードの解除手順例

(3) 相補PWMモードの動作例

相補PWMモードの動作例を図10.35に示します。

相補PWMモードでは、TCNT3、TCNT4はアップ/ダウンカウンタとして動作します。TCNT3がGRA3とコンペアマッチするとダウンカウントし、TCNT4がアンダフローするとアップカウントします。

GRB3、GRA4、GRB4はカウンタのアップ/ダウン1周期中、それぞれTCNT3→TCNT4→TCNT4→TCNT3の順にコンペアマッチを行いPWM波形を生成します（本モードでは、TCNT3>TCNT4に初期設定します）。

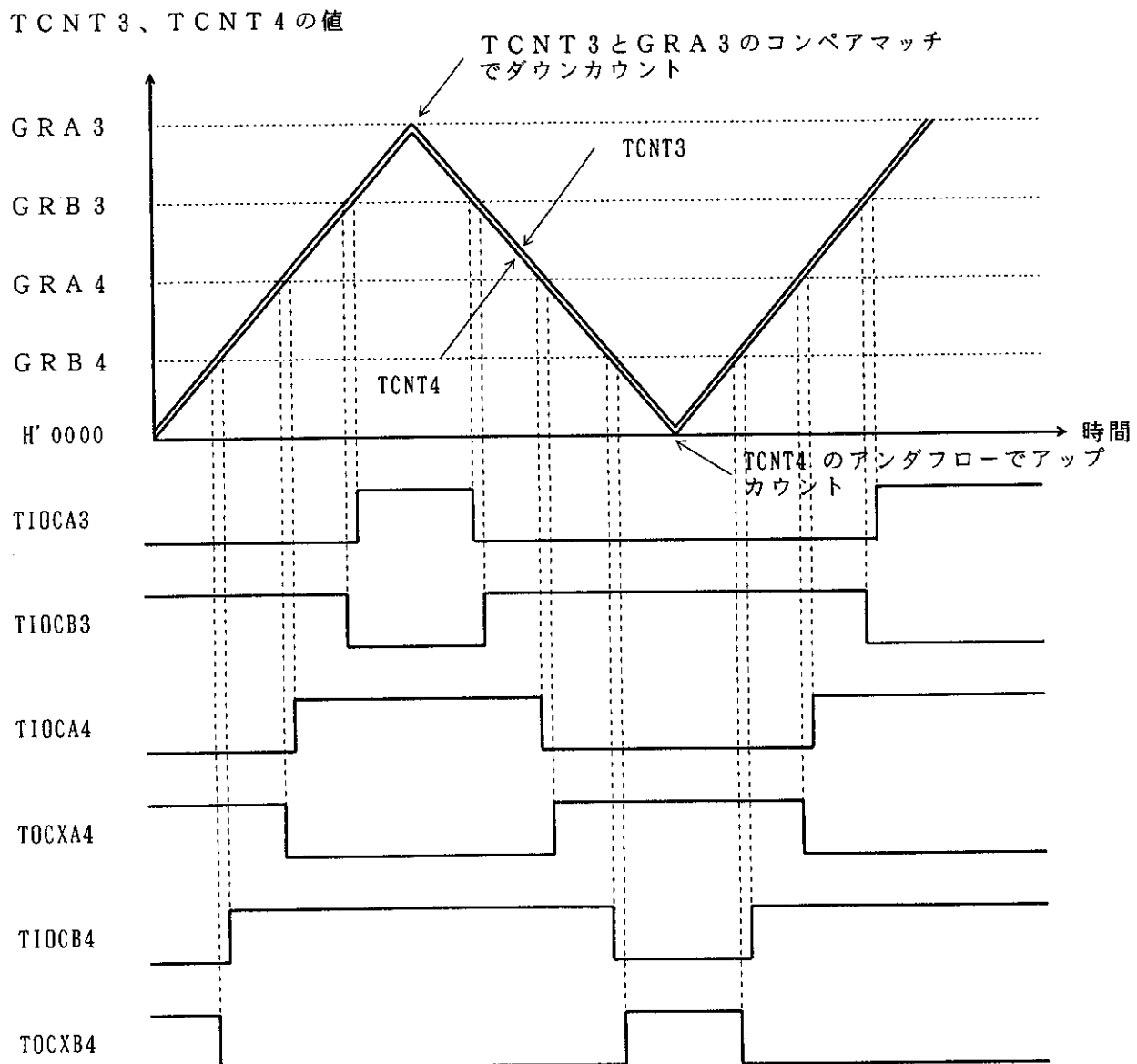
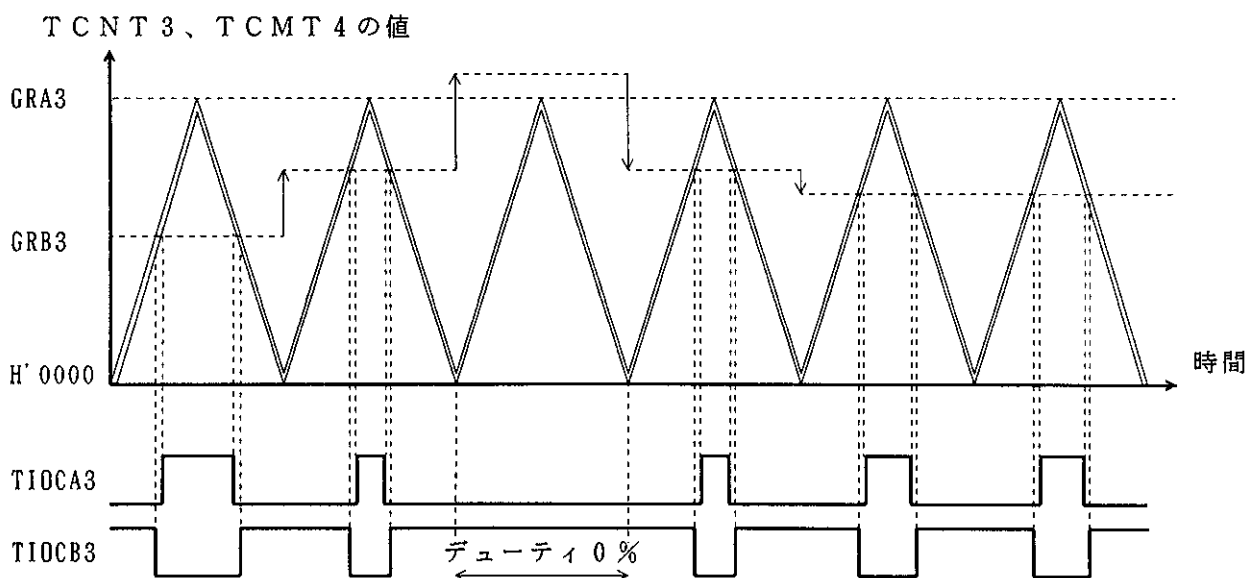


図10.35 相補PWMモードの動作例(1) (OLS3 = OLS4 = 1の場合)

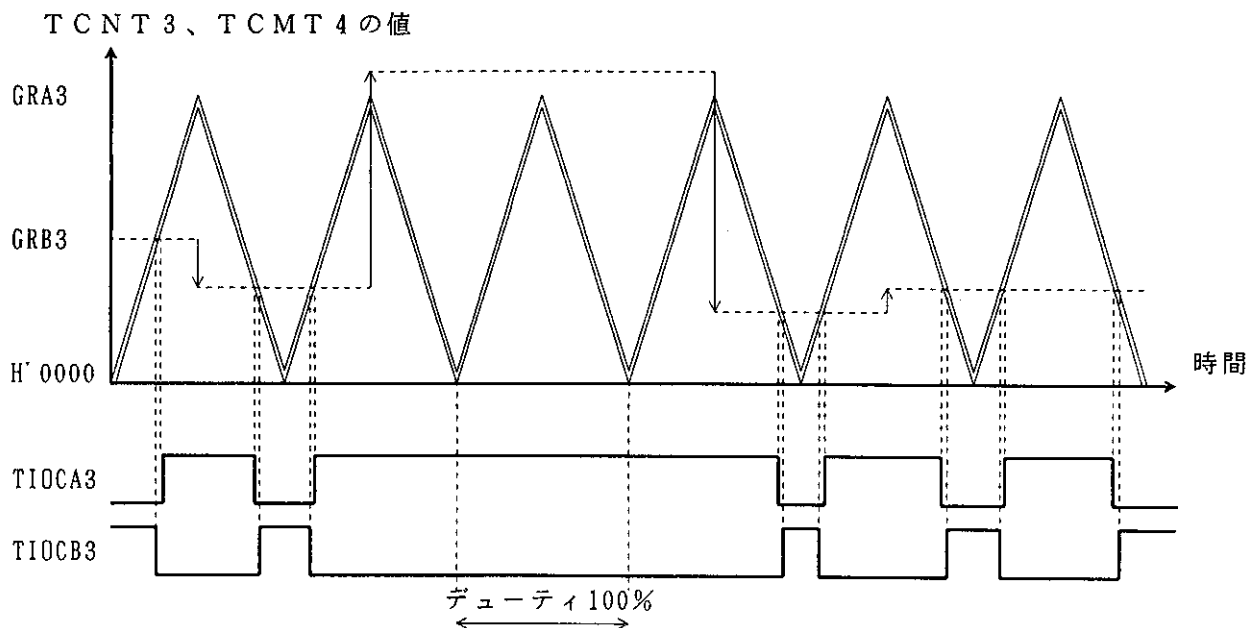
相補PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例(1相分)を図10.36に示します。

本例ではGRB3のコンペアマッチで端子出力が変化しますので、GRB3の値をGRA3の値よりも大きい値とすることでデューティ0%、デューティ100%の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については「10.4.8 バッファ動作」を参照してください。



(a) デューティ0%の場合



(b) デューティ100%の場合

図10.36 相補PWMモードの動作例(2) (OLS3 = OLS4 = 1の場合)

相補PWMモードを使用しているときのアップカウント/ダウンカウントの変化点で、TCNT 3、TCNT 4はそれぞれオーバシュート/アンダシュートを発生します。

このとき、チャンネル3のIMFAフラグおよびチャンネル4のOVFフラグをセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを図10.37、図10.38に示します。

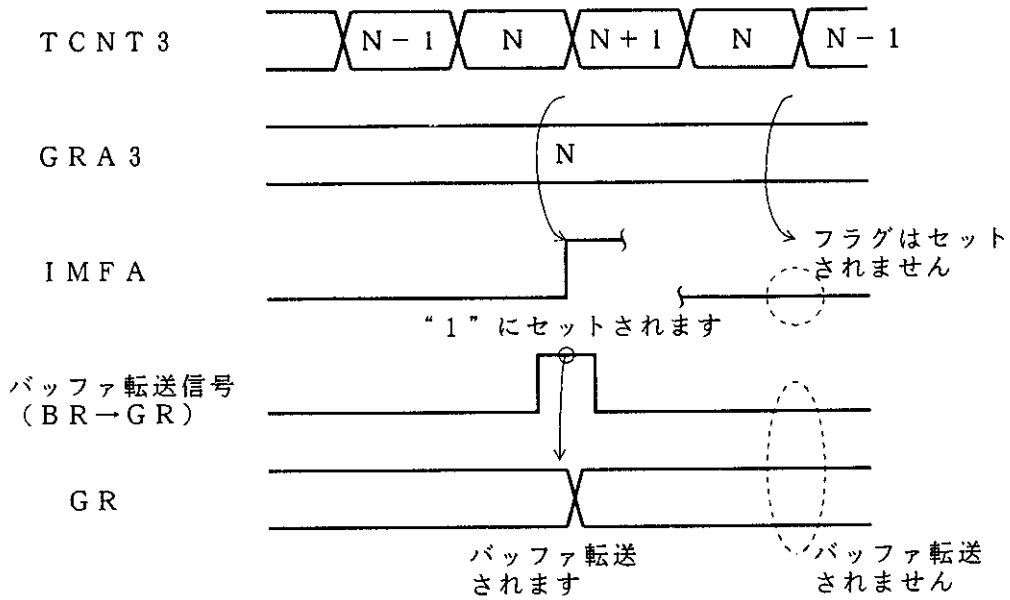


図10.37 オーバシュート時のタイミング

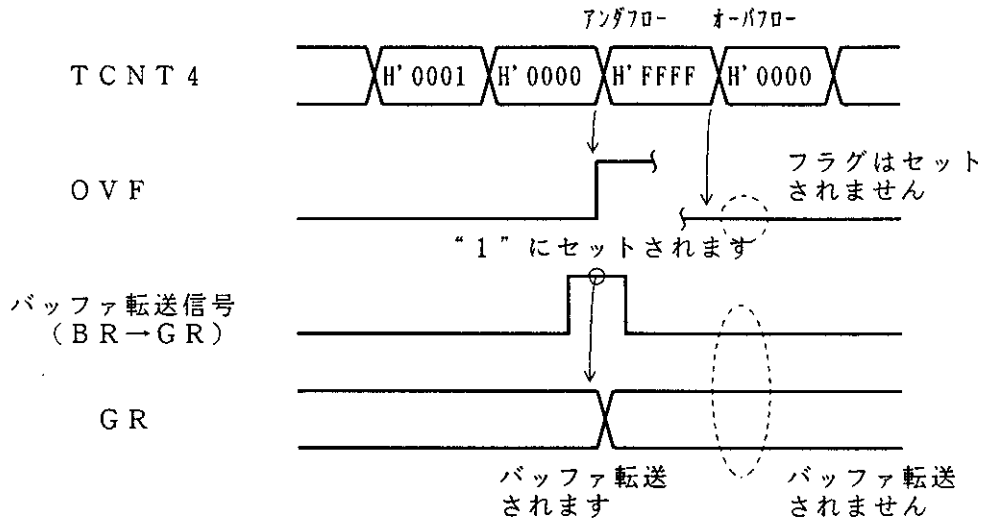


図10.38 アンダシュート時のタイミング

チャンネル3のIMFAフラグはアップカウント時に、チャンネル4のOVFはアンダフロー時のみ、それぞれ“1”にセットされます。

バッファ動作を設定されたBRは、アップカウント動作時のコンペアマッチA3またはTCNT4のアンダフローによってGRに転送されます。

(4) 相補PWMモードでのGRの設定値

相補PWMモードでのGRの設定および動作中の変更については、以下の点に注意してください。

① 初期値

H' 0000 ~ T - 1 (T : TCNT 3 の初期設定値) の設定は禁止です。

なお、カウントスタート後、最初に発生するコンペアマッチA 3のタイミング以降では、この設定も可能です。

② 設定値の変更方法

バッファ動作を使用してください。直接GRにライトすると、正しく波形出力されない場合があります。

③ 設定値変更時の注意

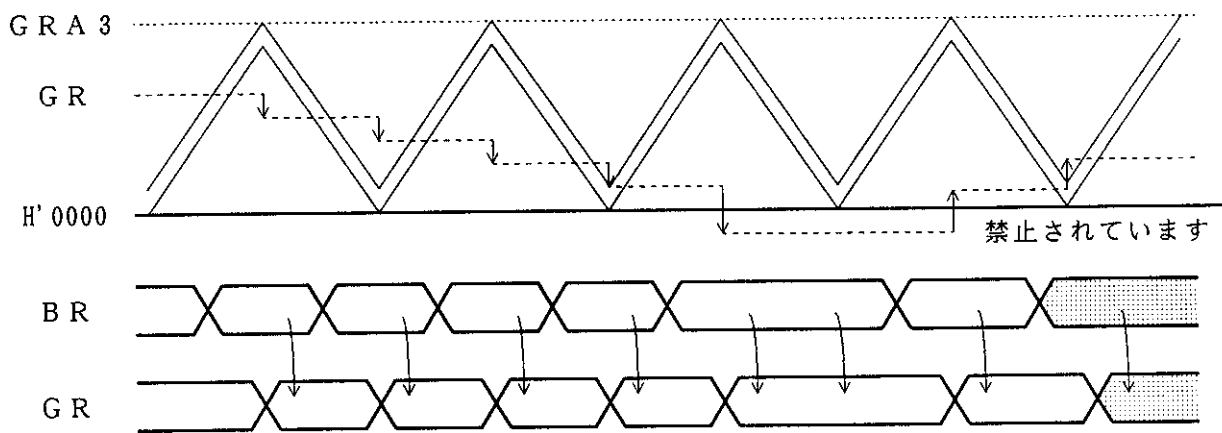


図10.39 バッファ動作によるGRの設定値変更例(1)

(a) アップカウントからダウンカウントへの変化時のバッファ転送

GRの内容が $GRA 3 - T + 1 \sim GRA 3$ の範囲内であるとき、この範囲外の値は転送しないでください。また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作によるGRの設定変更時の注意(1)を図10.40に示します。

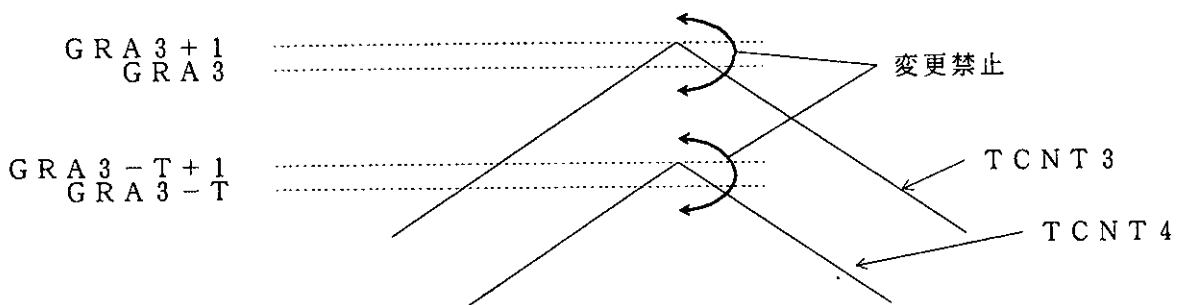


図10.40 バッファ動作によるGRの設定変更時の注意(1)

(b) ダウンカウントからアップカウントへの変化時のバッファ転送

GRの内容がH'0000~T-1の範囲であるとき、この範囲外の値は転送しないでください。
また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。
バッファ動作によるGRの設定変更時の注意(2)を図10.41に示します。

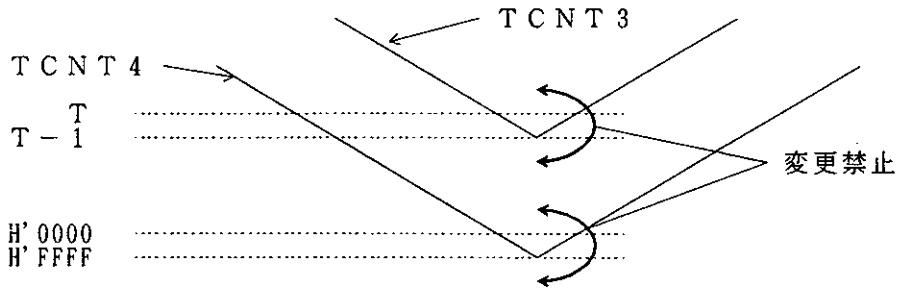


図10.41 バッファ動作によるGRの設定変更時の注意(2)

(c) GRの設定をカウント領域 (H'0000~GRA3) 外とするとき

デューティ0%、100%の波形を出力する場合、GRの設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値をBRにライトしたときのカウント方向 (アップ/ダウンカウント) と、カウント領域内にもどる設定値をBRにライトするときのカウント方向が同一となるようにしてください。

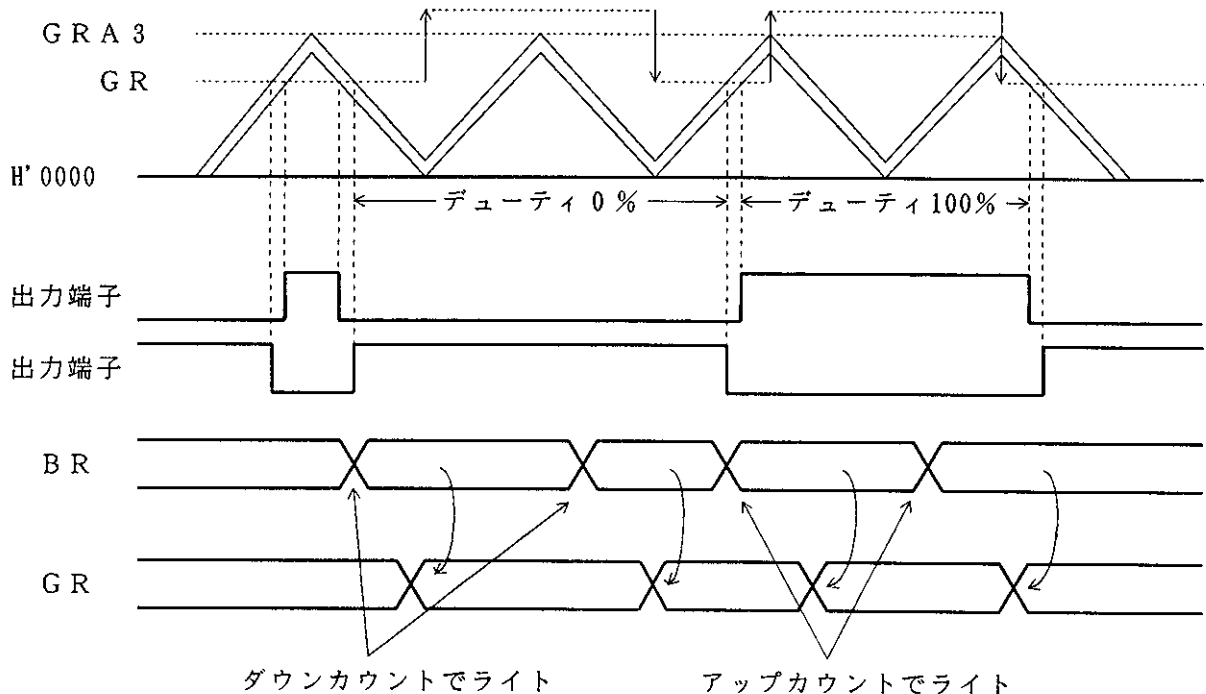


図10.42 バッファ動作によるGRの設定値変更例(2)

上記設定は、GRA3のコンペアマッチまたはTCNT4のアンダフローが発生したことを検出して、BRへライトをすることによって実現可能です。また、GRA3のコンペアマッチによってDMACを起動することによっても実現可能です。

10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力(TCLKA、TCLKB端子)の位相差を検出し、TCNT2をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR2のTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定に関わらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、またTCNT2はアップ/ダウンカウンタとなります。ただし、TCR2のCCLR1、CCLR0ビット、TIOR2、TIER2、TSR2、GRA2、GRB2は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割込み要因は使用することができます。

位相計数モードはチャンネル2のみがもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図10.43に示します。

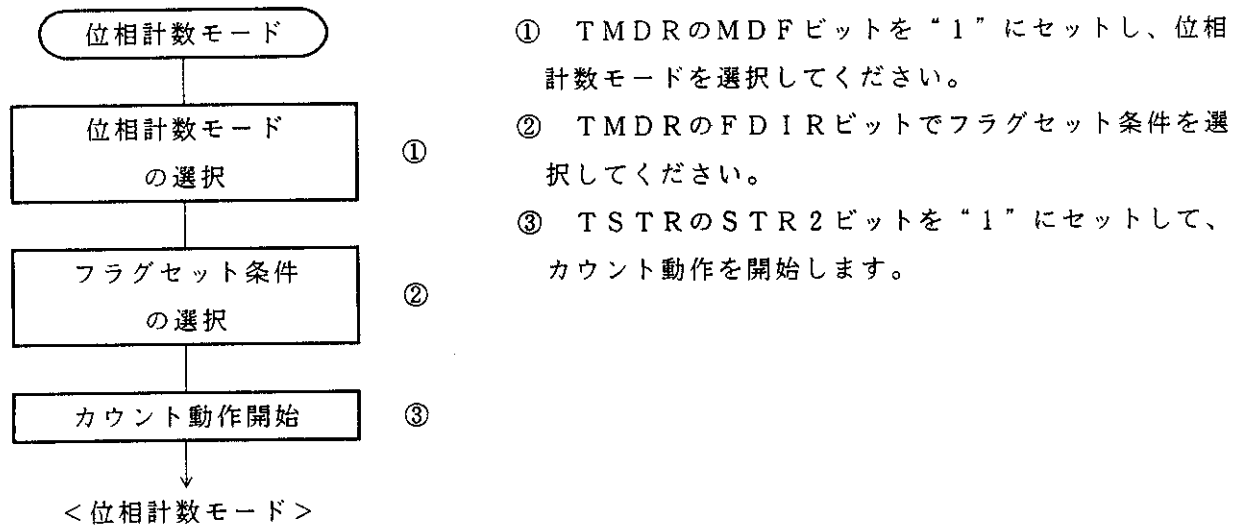


図10.43 位相計数モードの設定手順例

(2) 位相计数モードの動作例

位相计数モードの動作例を図10.44に、TCNT2のアップ/ダウンカウンタ条件を表10.9にそれぞれ示します。

位相计数モードでは、TCLKA、TCLKB端子の立上がり（ \uparrow ）/立下がり（ \downarrow ）の両エッジでカウントされます。このとき、TCLKA、TCLKBの位相差およびオーバーラップはそれぞれ1.5ステート以上、パルス幅は2.5ステート以上必要です。

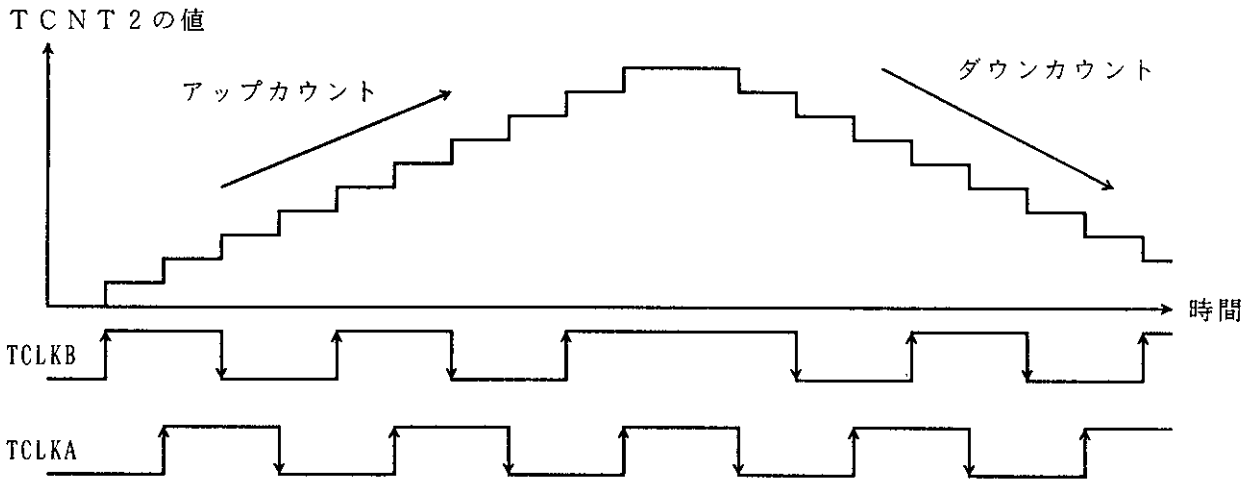


図10.44 位相计数モードの動作例

表10.9 アップ/ダウンカウンタ条件

カウンタ方向	アップカウンタ				ダウンカウンタ			
TCLKB	\uparrow	High	\downarrow	Low	High	\downarrow	Low	\uparrow
TCLKA	Low	\uparrow	High	\downarrow	\downarrow	Low	\uparrow	High

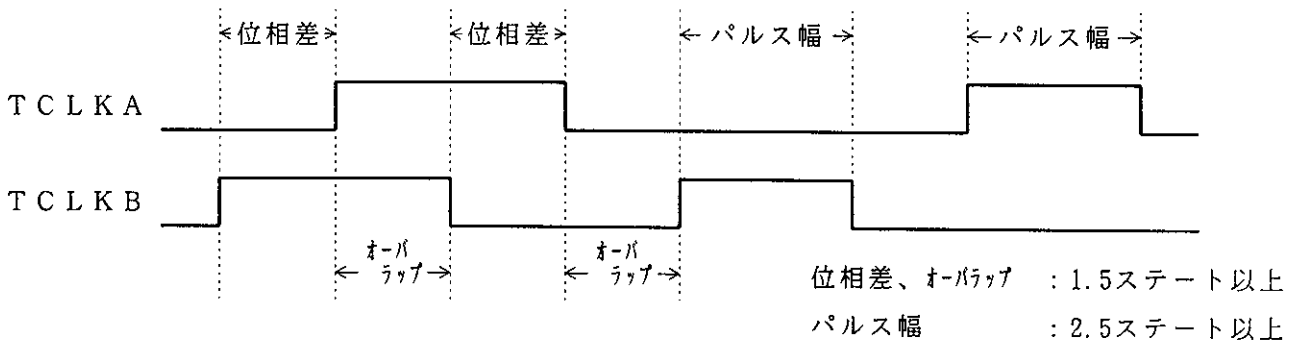


図10.45 位相计数モード時の位相差、オーバーラップおよびパルス幅

10.4.8 バッファ動作

バッファ動作は、GRをアウトプットコンペアレジスタに設定した場合、GRをインプットキャプチャレジスタに設定した場合、リセット同期PWMモード時、および相補PWMモード時で機能が異なります。

バッファ動作はチャンネル3、4のみがもつ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

① GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

この動作を図10.46に示します。

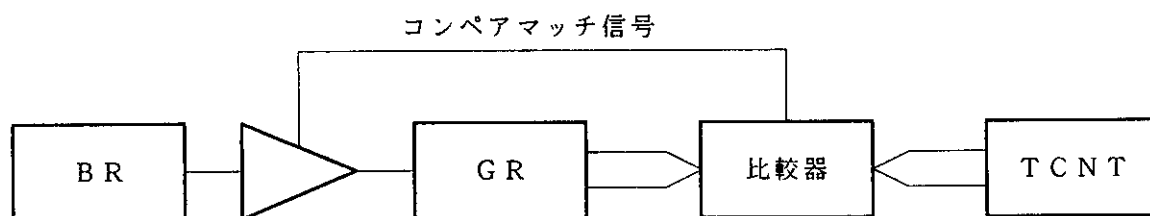


図10.46 コンペアマッチバッファ動作

② GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

この動作を図10.47に示します。

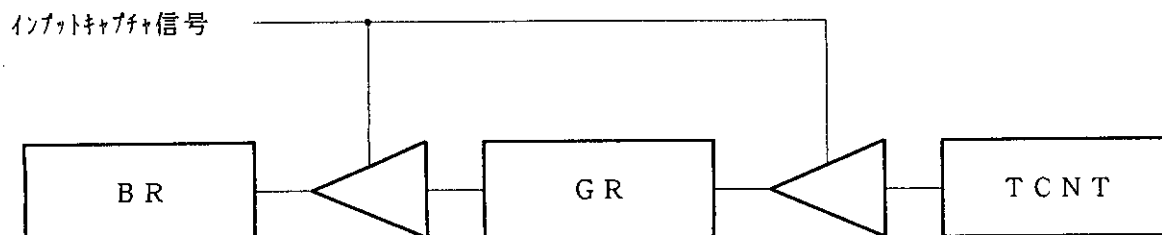


図10.47 インプットキャプチャバッファ動作

③ 相補PWMモードの場合

TCNT3、TCNT4のカウンタ方向が変化するとBRの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。

- ・TCNT3とGRA3がコンペアマッチしたとき
- ・TCNT4がアンダフローしたとき

④ リセット同期PWMモードの場合

コンペアマッチA3によりBRの値が、GRに転送されます。

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図10.48に示します。

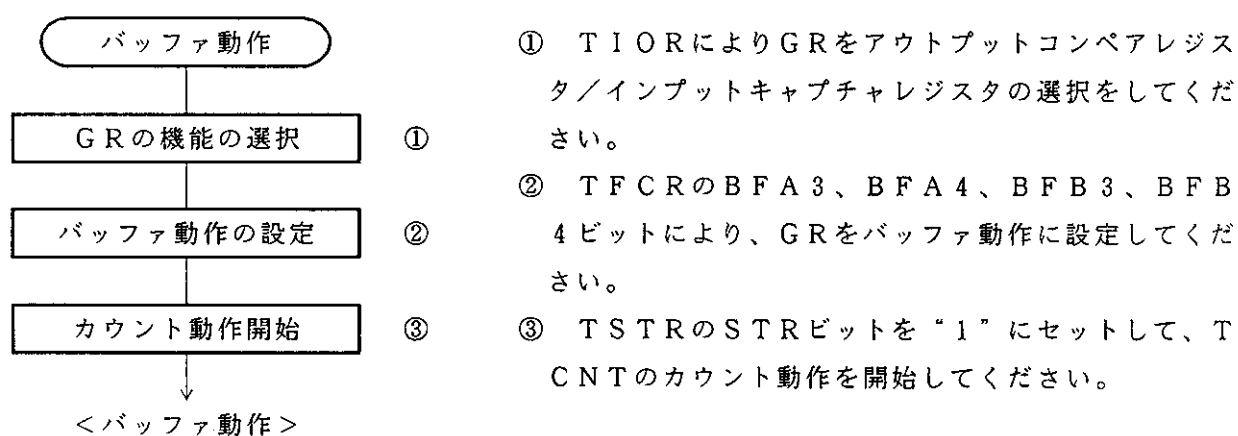


図10.48 バッファ動作の設定手順例

(2) バッファ動作例

GRAをアウトプットコンペアレジスタに設定し、GRAとBRAをバッファ動作に設定したときの動作を図10.49に示します。

TCNTがコンペアマッチBによりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB端子は、それぞれコンペアマッチA、Bによるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチAでTIOCA端子がトグル出力を行うと同時に、BRAの値がGRAに転送されます。この動作をコンペアマッチAが発生するたびに繰り返します。この転送タイミングを図10.50に示します。

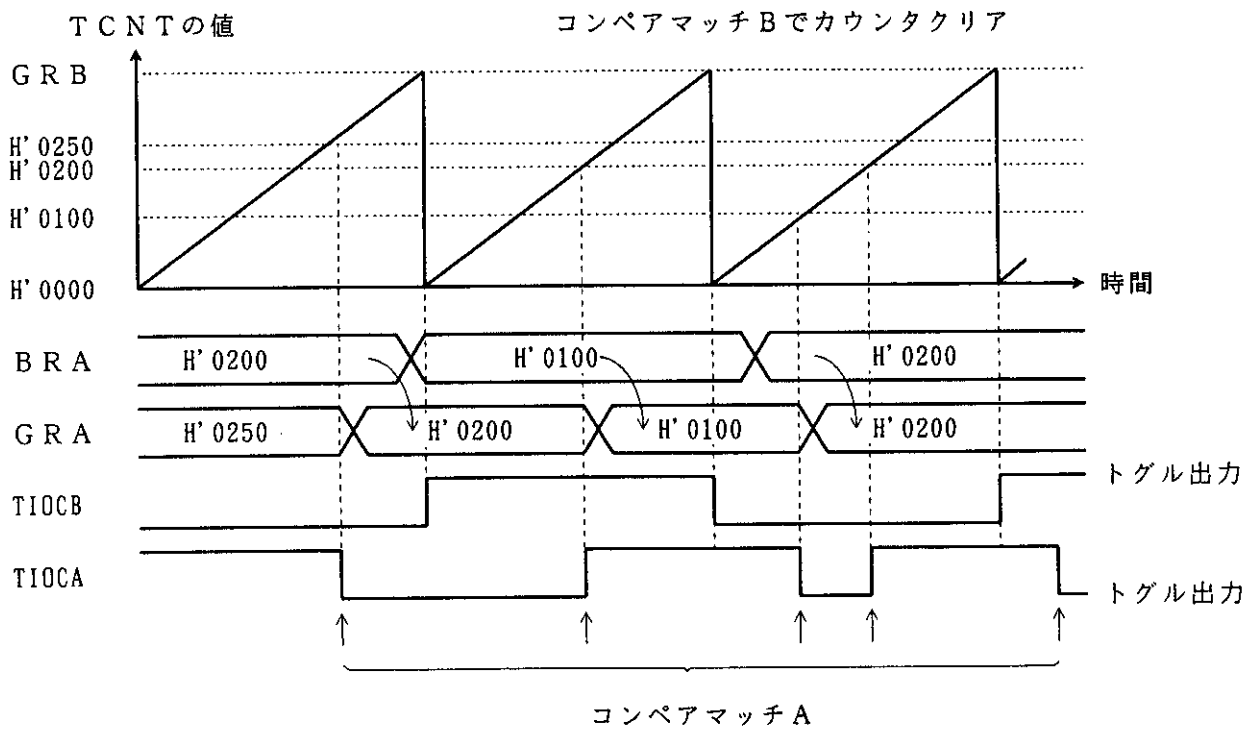


図10.49 バッファ動作例(1) (アウトプットコンペアレジスタに対するバッファ動作)

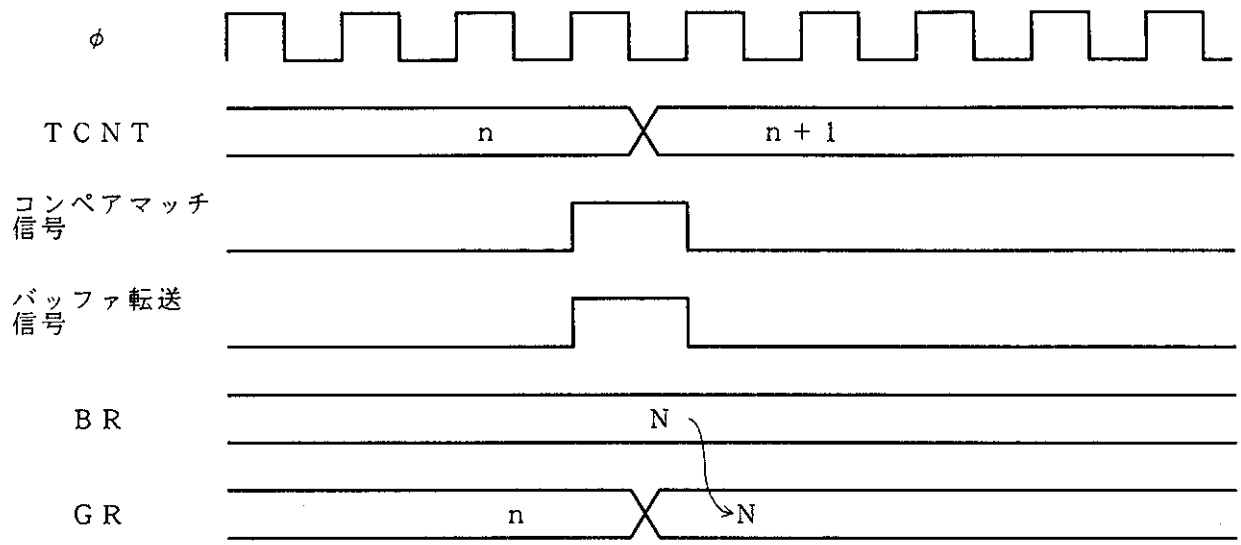


図10.50 バッファ動作時のコンペアマッチタイミング例

GRAをインプットキャプチャレジスタに設定し、GRAとBRAをバッファ動作に設定したときの動作を図10.51に示します。

TCNTがインプットキャプチャBによりカウンタクリアされる場合の例です。TIOCB端子のインプットキャプチャ入力エッジは、立下がりエッジが選択され、また、TIOCA端子のインプットキャプチャ入力エッジは、立上がり／立下がりの両エッジが選択されているとします。バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がGRAに格納されると同時に、それまで格納されていたGRAの値がBRAに転送されます。

この転送タイミングを図10.52に示します。

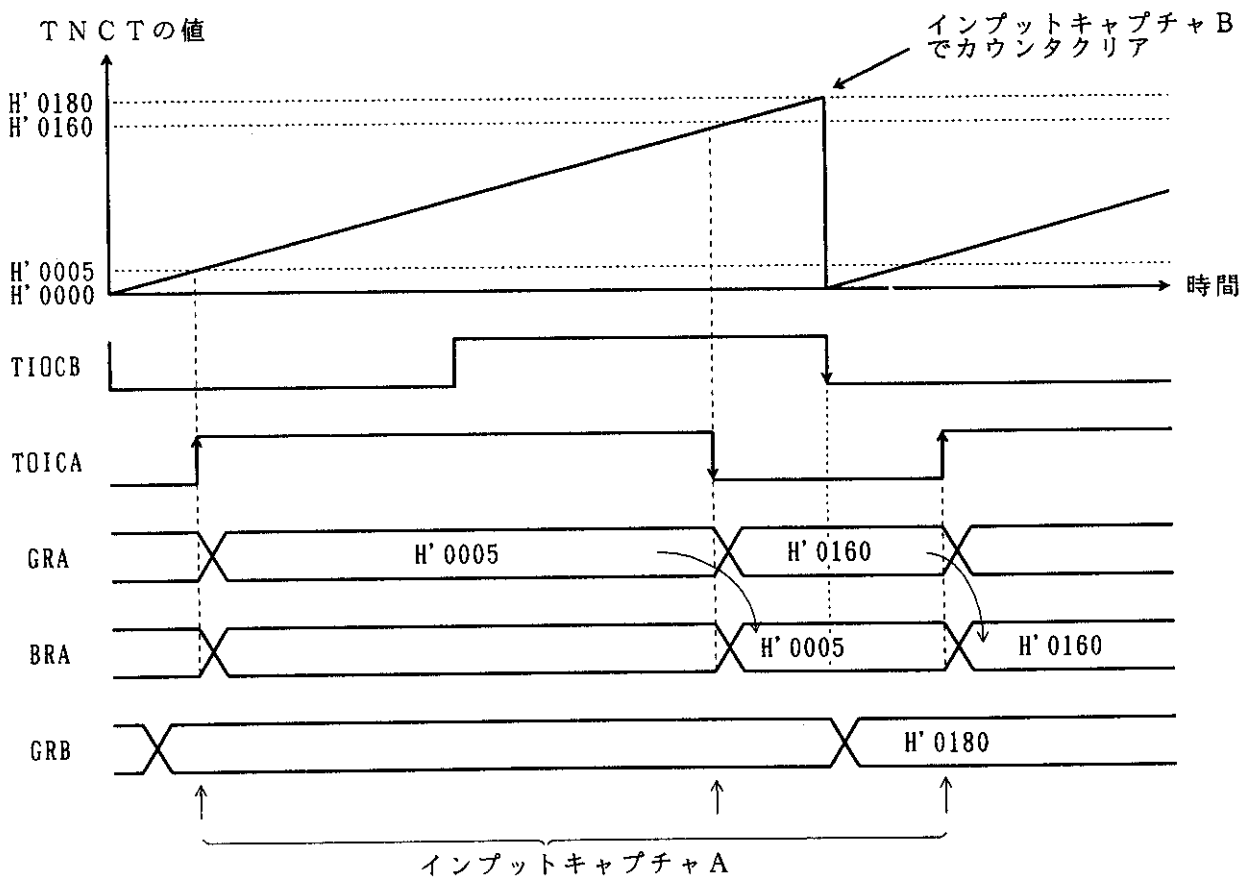


図10.51 バッファ動作例(2) (インプットキャプチャレジスタに対するバッファ動作)

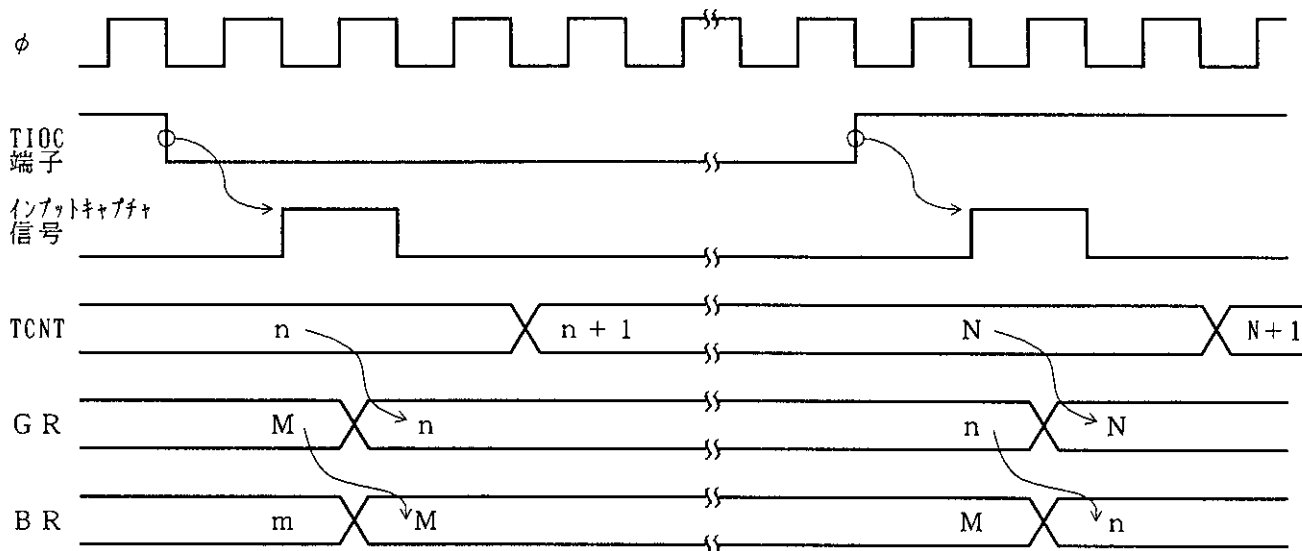


図10.52 バッファ動作時の入力キャプチャタイミング

相補PWMモード時、GRB3とBRB3をバッファ動作に設定したときの動作例を図10.53に示します。

バッファ動作を使用してGRB3 > GRA3とすることにより、デューティ0%のPWM波形を生成した場合の例です。

BRBからGRBへの転送は、TCNT3とGRA3がコンパマッチしたとき、およびTCNT4がアンダフローしたときに行われます。

TCNT3、TCNT4の値

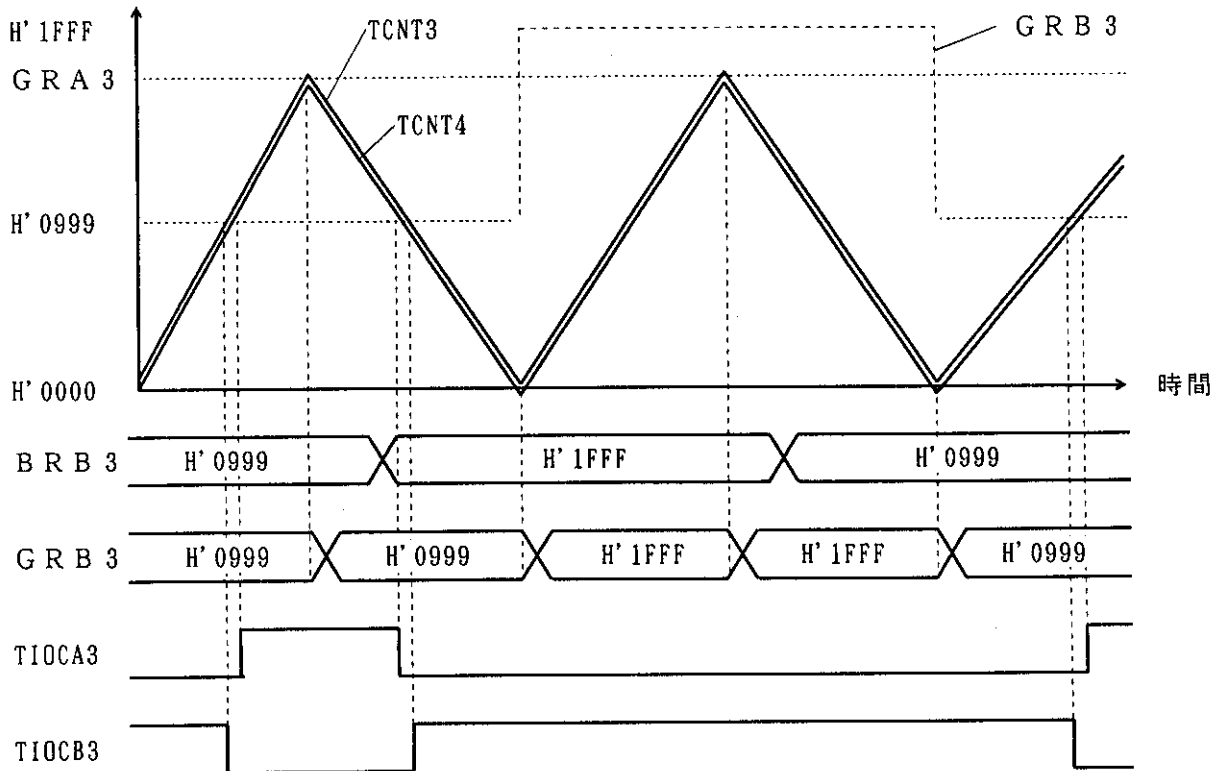


図10.53 バッファ動作例(4) (相補PWMモード時のバッファ動作)

10.4.9 ITU出力タイミング

チャンネル3、4のITU出力は、TOER、TOCRの設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1) TOERによるITU出力の許可/禁止タイミング

TOERのマスタイネーブルビットを“0”にクリアして、ITU出力を禁止する場合の例です。対応する入出力ポートのDR、DDRをあらかじめ設定しておくことにより、任意の値を出力することができます。

TOERによるITU出力を許可/禁止するタイミングを図10.54に示します。

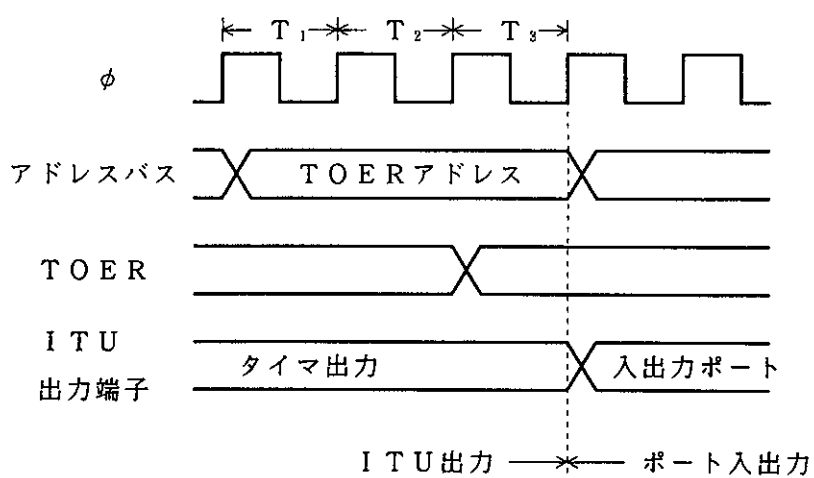
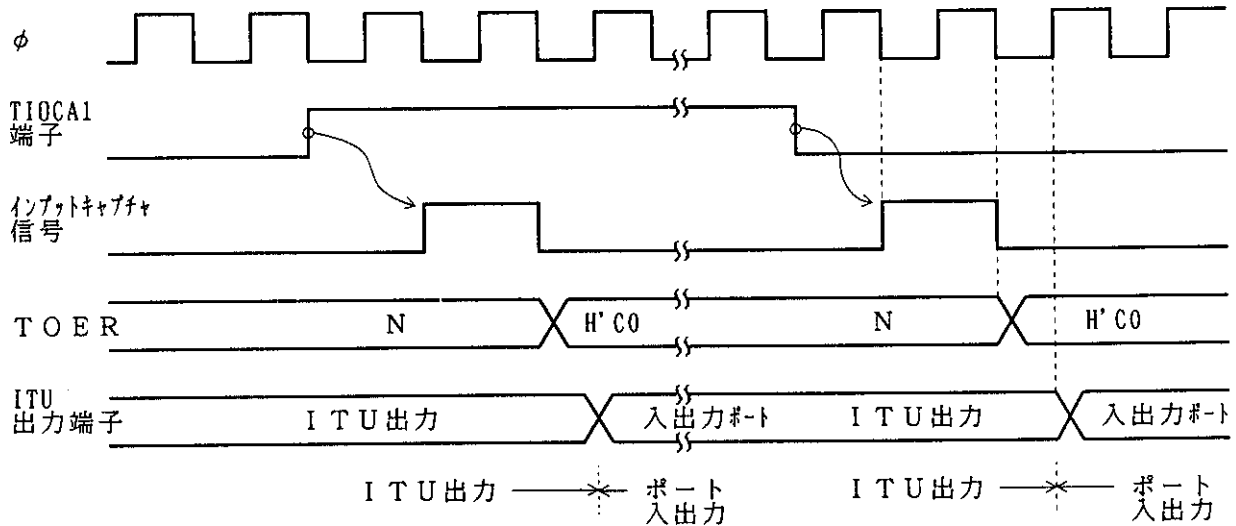


図10.54 TOERへのライトによるITU出力禁止タイミングの例

(2) 外部トリガによる I T U 出力禁止タイミング

リセット同期 P W M モードまたは相補 P W M モード時に、T O C R の X T G D ビットが “ 0 ” にクリアされている状態でチャンネル 1 のインプットキャプチャ A 信号が発生すると、T O E R のマスタインープルビットが “ 0 ” にクリアされ I T U 出力が禁止されます。

このタイミングを図 10.55 に示します。



《記号説明》

N : 任意設定値 (H' C 1 ~ H' F F)

図 10.55 外部トリガによる I T U 出力禁止タイミングの例

(3) TOCRによる出力反転タイミング

リセット同期PWMモードまたは相補PWMモード時に、TOCRのアウトプットレベルセレクト(OLS4、OLS3)ビットを反転することにより、出力レベルを反転することができます。このタイミングを図10.56に示します。

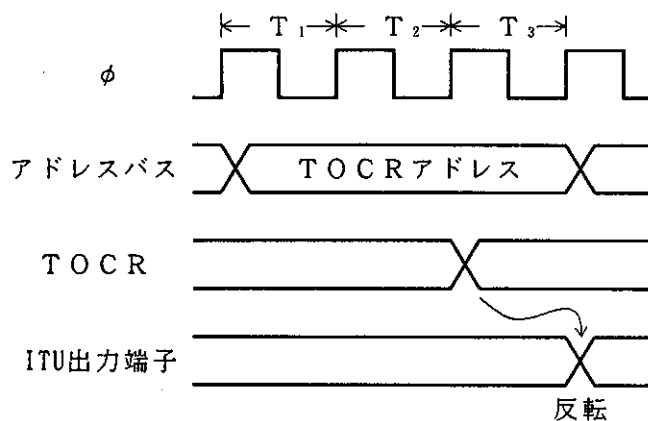


図10.56 TOCRへのライトによるITU出力レベル反転タイミングの例

10.5 割込み

I T Uの割込み要因には、インプットキャプチャ/コンペアマッチ割込み、オーバフロー割込みの2種類があります。

10.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBのセットタイミング

IMFは、GRとTCNTが一致したときに発生するコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図10.57にIMFのセットタイミングを示します。

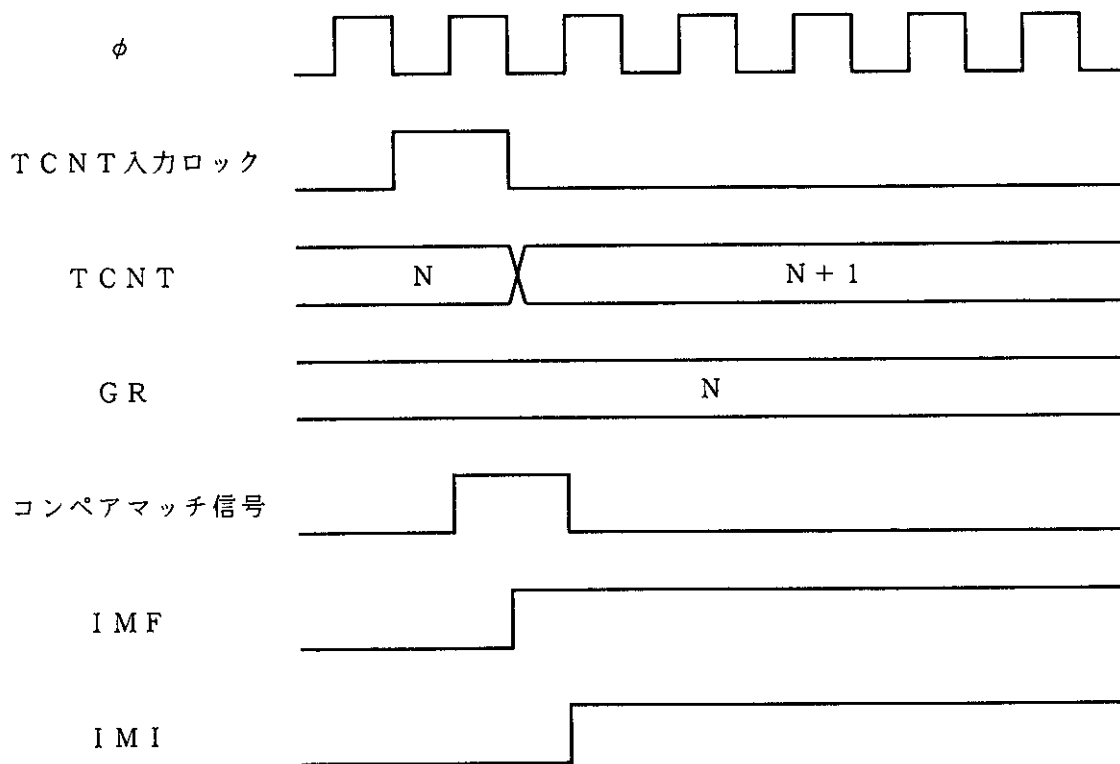


図10.57 コンペアマッチ時のIMFA、IMFBのセットタイミング

(2) インพุットキャプチャ時のIMFA、IMFBのセットタイミング

インพุットキャプチャ信号の発生によりIMFは“1”にセットされ、同時にTCNTの値が対応するGRに転送されます。

このタイミングを図10.58に示します。

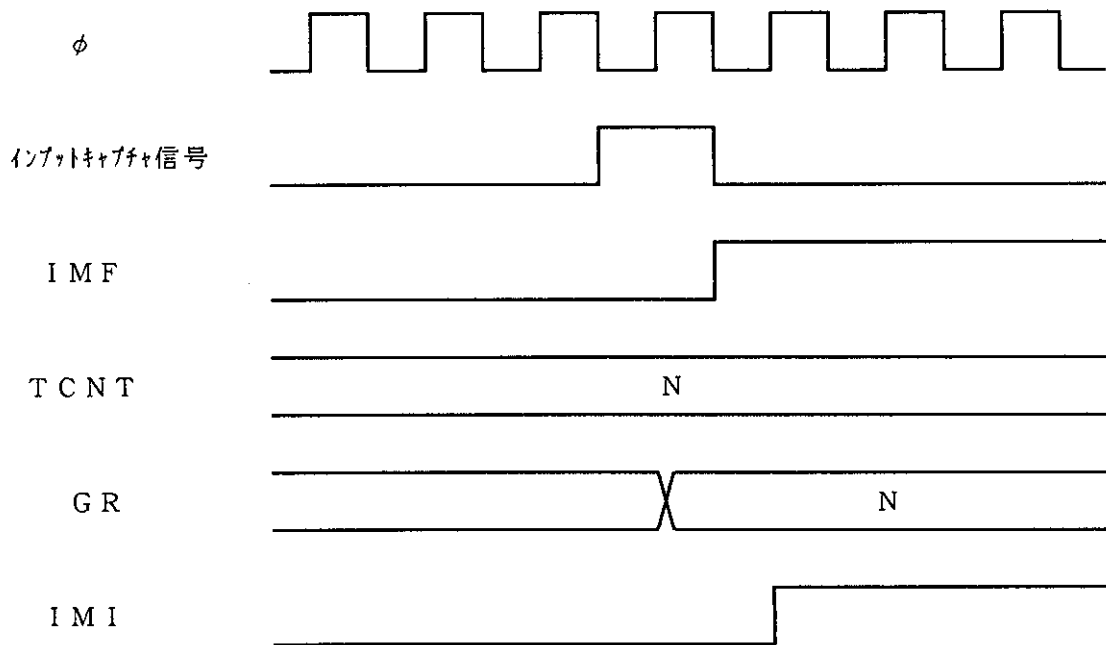


図10.58 インพุットキャプチャ時のIMFA、IMFBのセットタイミング

(3) オーバフローフラグ(OVF)のセットタイミング

OVFは、TCNTがオーバフロー(H'FFFF→H'0000)したとき、またはアンダフロー(H'0000→H'FFFF)したときに“1”にセットされます。

このときのタイミングを図10.59に示します。

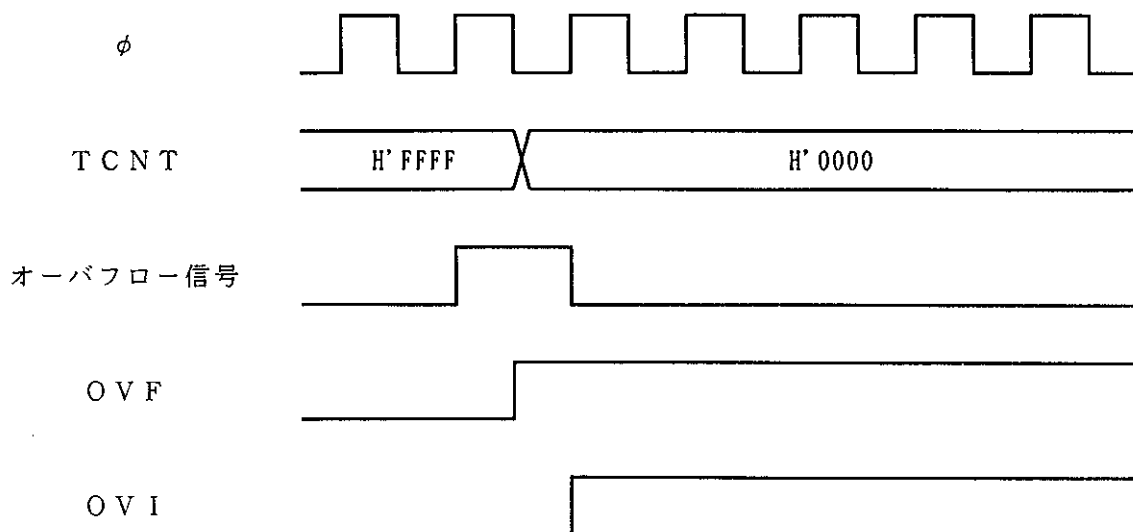


図10.59 OVFのセットタイミング

10.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが“1”の状態をリードした後“0”をライトするとクリアされます。
このタイミングを図10.60に示します。

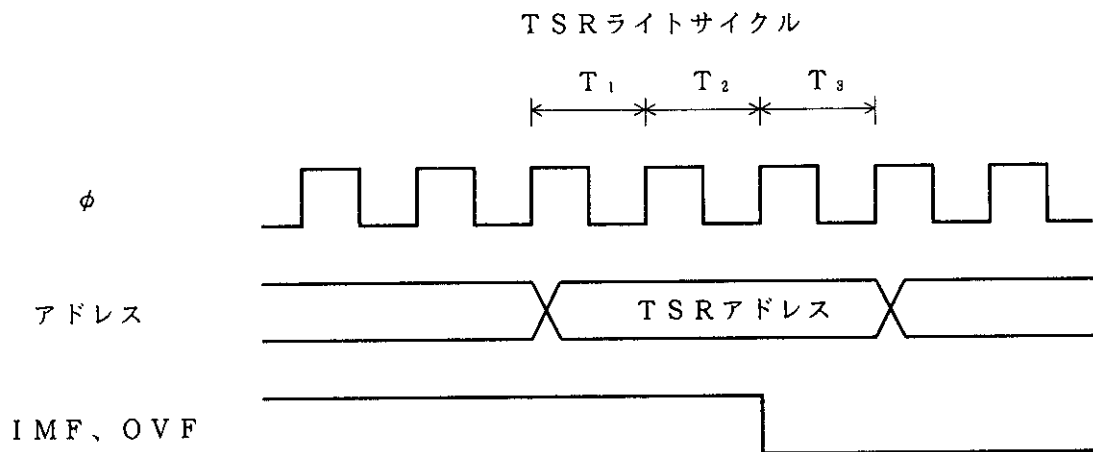


図10.60 ステータスフラグのクリアタイミング

10.5.3 割り込み要因とDMAコントローラの起動

ITUは各チャンネルごとにコンペアマッチ/インプットキャプチャA割り込み、コンペアマッチ/インプットキャプチャB割り込み、およびオーバーフロー割り込みをもっています。これら2種類の割り込み計15本の割り込みは、それぞれ独立のベクタアドレスが割り付けられています。割り込み要求フラグが“1”にセットされ、かつ割り込み許可ビットが“1”にセットされているとき、当該割り込みが要求されます。

チャンネル間の優先順位は、IPRA、IPRBにより変更可能です。詳細は「第5章 割り込みコントローラ」を参照してください。

チャンネル0～3のコンペアマッチ/インプットキャプチャA割り込みはDMACの起動要因とすることができます。このときは、CPUへは当該割り込みは要求されません。

ITUの割り込み要因を表10.10に示します。

表10.10 ITU割り込み要因

チャンネル	割り込み要因	内 容	DMACの起動	優先順位*
0	IMIA0	コンペアマッチ/インプットキャプチャA0	可	高 ↑ 低
	IMIB0	コンペアマッチ/インプットキャプチャB0	不可	
	OVI0	オーバーフロー0	不可	
1	IMIA1	コンペアマッチ/インプットキャプチャA1	可	
	IMIB1	コンペアマッチ/インプットキャプチャB1	不可	
	OVI1	オーバーフロー1	不可	
2	IMIA2	コンペアマッチ/インプットキャプチャA2	可	
	IMIB2	コンペアマッチ/インプットキャプチャB2	不可	
	OVI2	オーバーフロー2	不可	
3	IMIA3	コンペアマッチ/インプットキャプチャA3	可	
	IMIB3	コンペアマッチ/インプットキャプチャB3	不可	
	OVI3	オーバーフロー3	不可	
4	IMIA4	コンペアマッチ/インプットキャプチャA4	不可	
	IMIB4	コンペアマッチ/インプットキャプチャB4	不可	
	OVI4	オーバーフロー4	不可	

【注】* リセット直後の初期状態について示しています。チャンネル間の優先順位はIPRA、IPRBにより変更可能です。

10.6 使用上の注意

I T Uの動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNTのライトとクリアの競合

TCNTのライトサイクル中のT3状態で、カウンタクリア信号が発生すると、TCNTへの書込みサイクルは行われずTCNTのクリアが優先されます。

このタイミングを図10.61に示します。

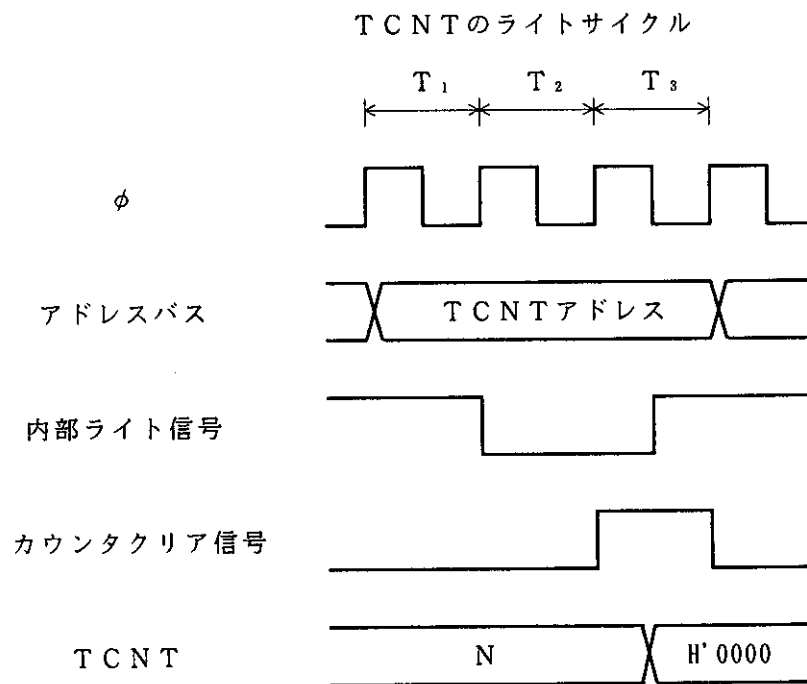


図10.61 TCNTのライトとクリアの競合

(2) TCNTのワードライトとカウントアップの競合

TCNTのワードライトサイクル中のT3状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図10.62に示します。

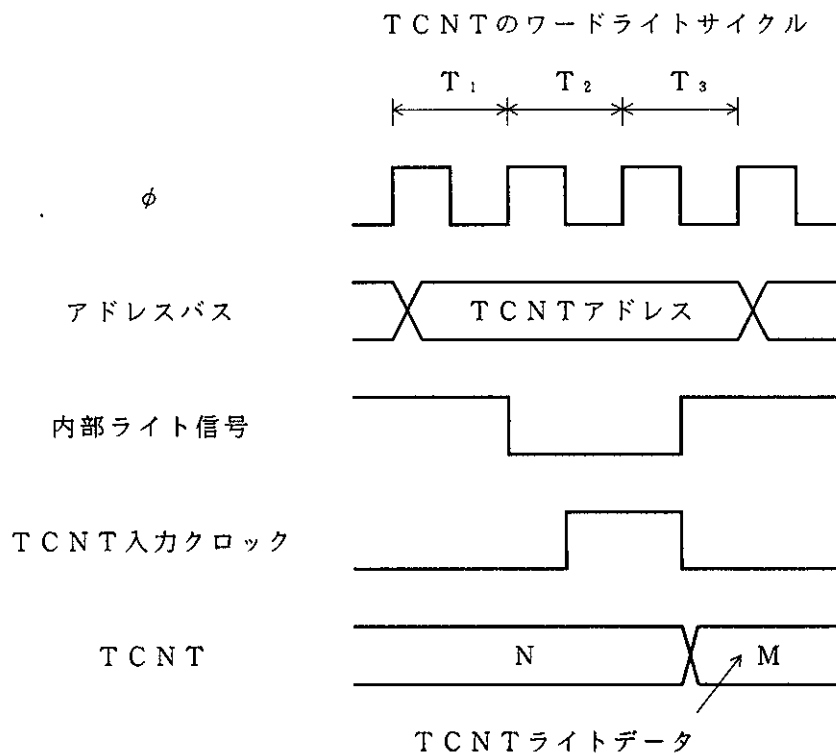


図10.62 TCNTのワードライトとカウントアップの競合

(3) TCNTのバイトライトとカウントアップの競合

TCNTのバイトライトサイクル中のT2ステートまたはT3ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図10.63に示します。

TCNTHのバイトライトサイクル中のT2ステートでカウントアップが発生した場合の例です。

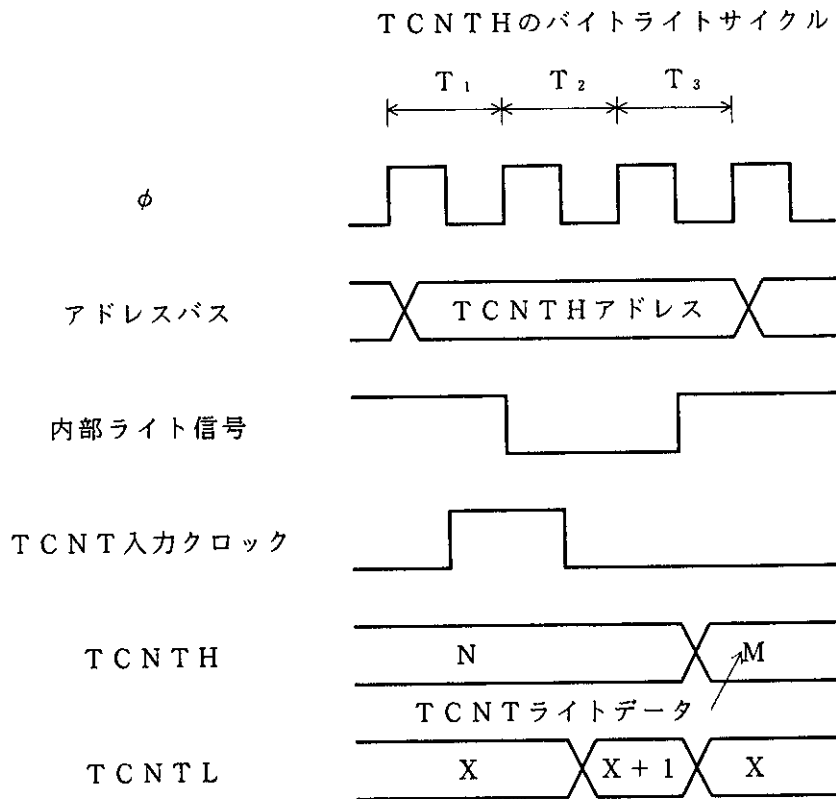


図10.63 TCNTのバイトライトとカウントアップの競合

(4) GRのライトとコンペアマッチの競合

GRのライトサイクル中のT3状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図10.64に示します。

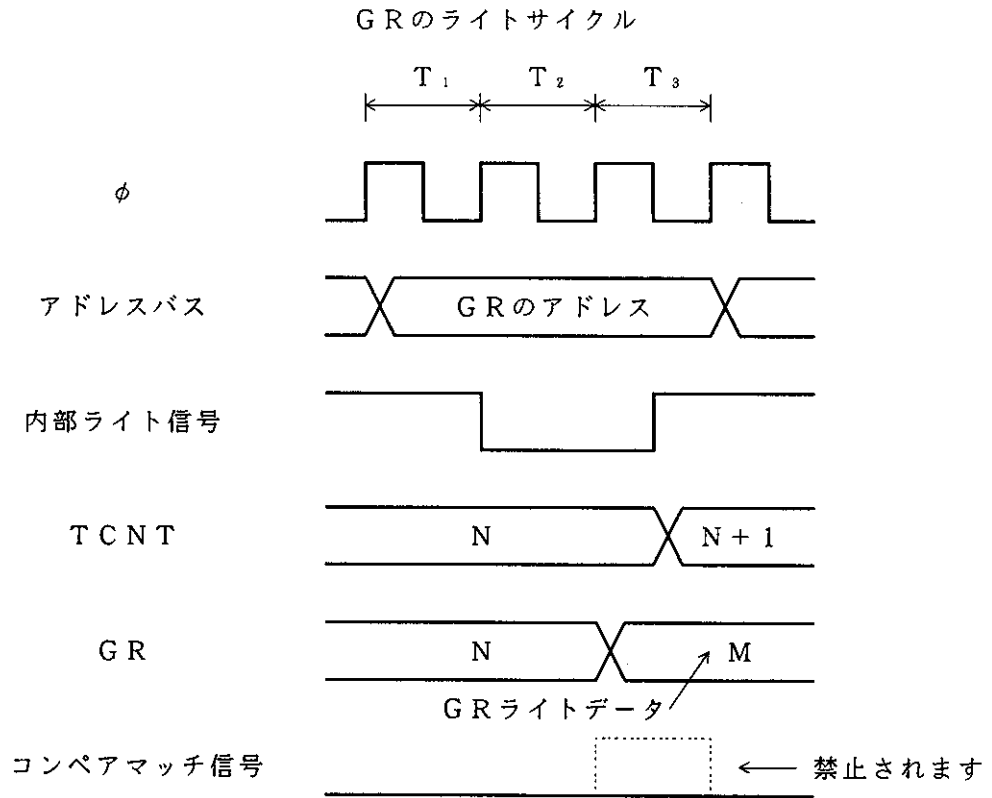


図10.64 GRのライトとコンペアマッチの競合

(5) TCNTのライトとオーバーフロー／アンダフローとの競合

TCNTのライトサイクル中のT3ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このときOVFフラグは“1”にセットされます。アンダフローの場合も同様です。

このタイミングを図10.65に示します。

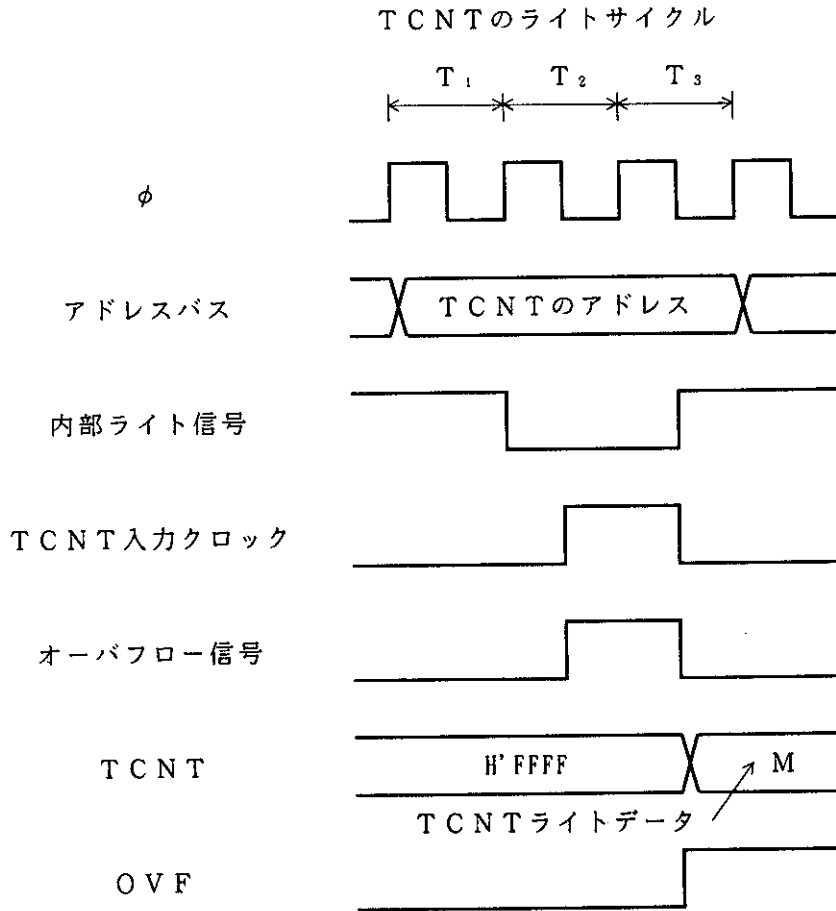


図10.65 TCNTのライトとオーバーフローの競合

(6) GRのリードとインプットキャプチャの競合

GRのリードサイクル中のT₃ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図10.66に示します。

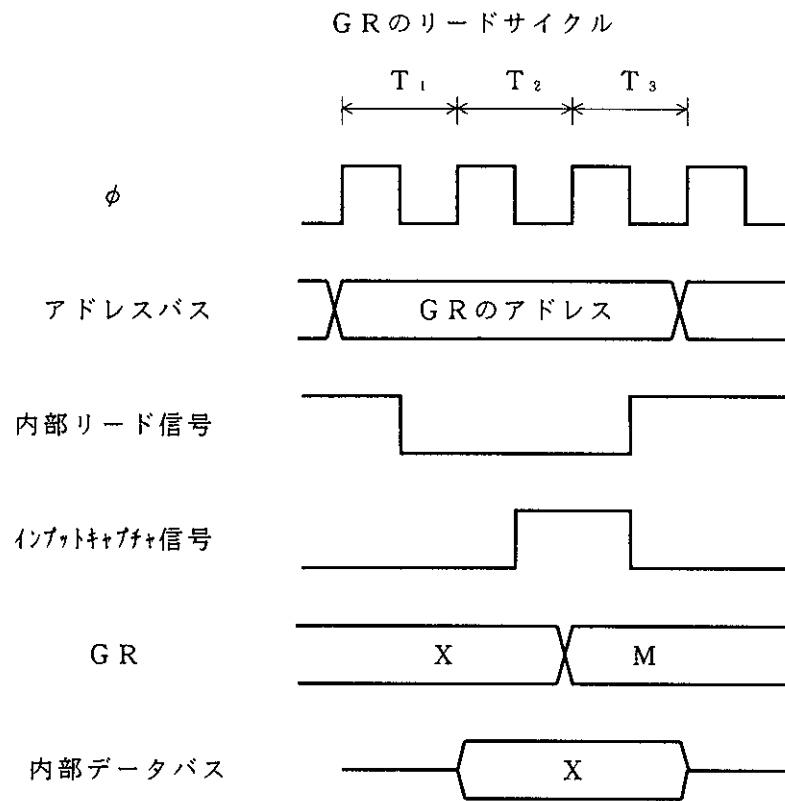


図10.66 GRのリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GRにはカウンタクリア前のTCNTの内容が転送されます。

このタイミングを図10.67に示します。

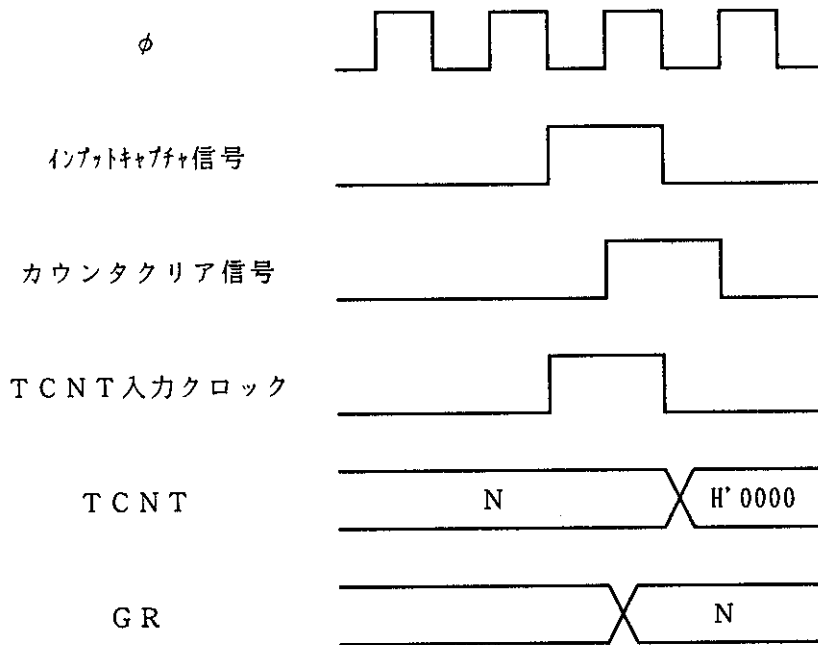


図10.67 インพุットキャプチャによるカウンタクリアとカウントアップの競合

(8) GRのライトとインプットキャプチャの競合

GRのライトサイクル中のT3ステートで、インプットキャプチャ信号が発生すると、GRへの書込みは行われず、インプットキャプチャが優先されます。

このタイミングを図10.68に示します。

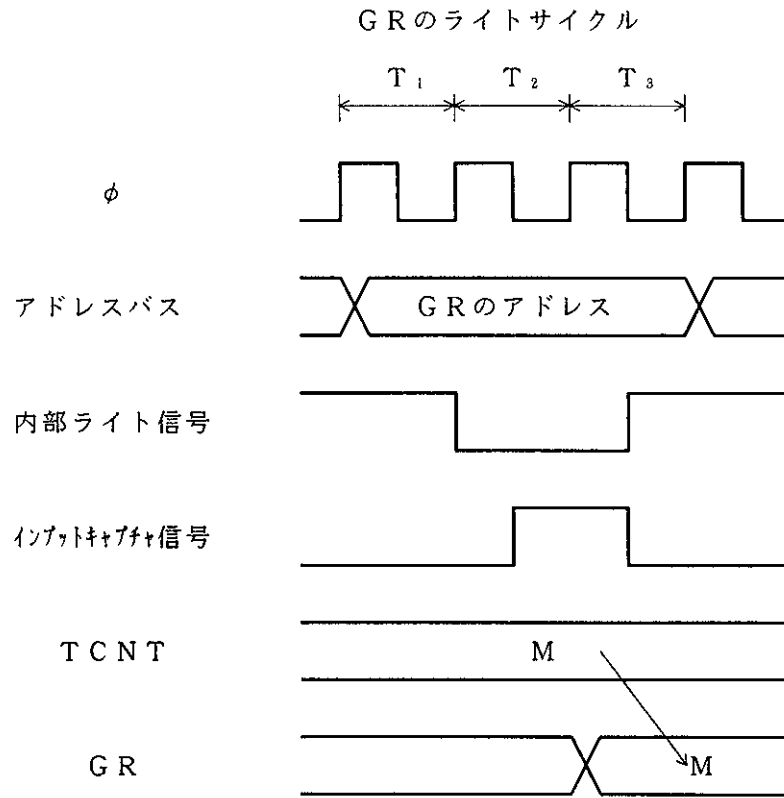


図10.68 GRのライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式のようにになります。

$$f = \frac{\phi}{(N+1)}$$

(f : カウンタ周波数、φ : 動作周波数、N : GRの設定値)

⑩ BRのライトとインプットキャプチャの競合

BRをインプットキャプチャバッファレジスタとして使用しているとき、ライトサイクル中のT₃状態でインプットキャプチャ信号が発生すると、BRへのライトは行われずバッファ動作が優先されます。

このタイミングを図10.69に示します。

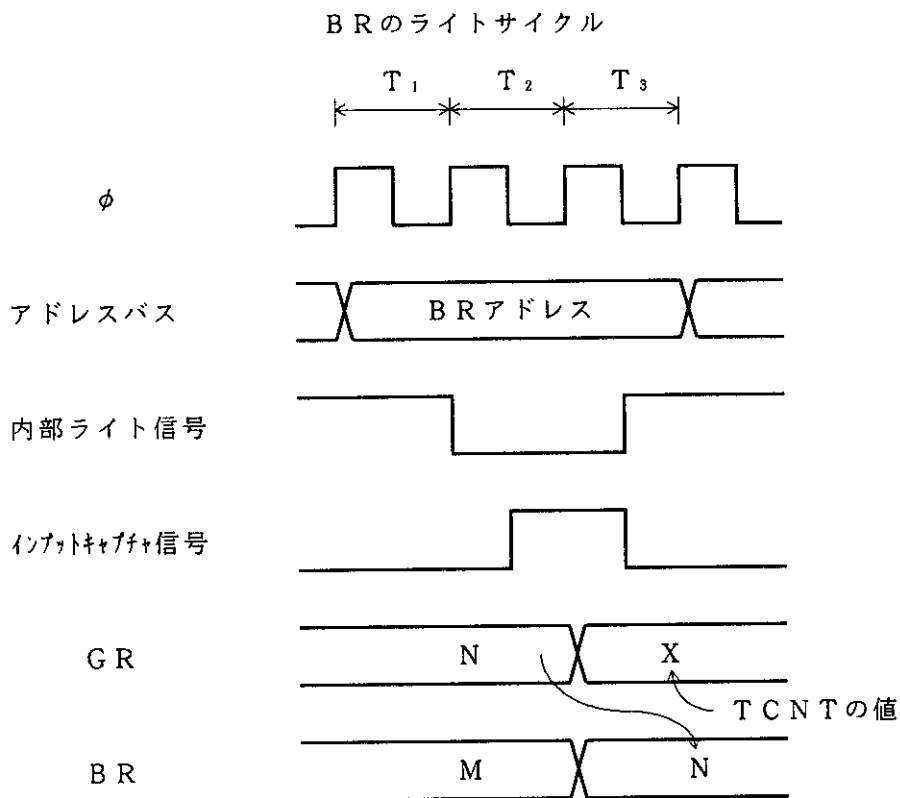


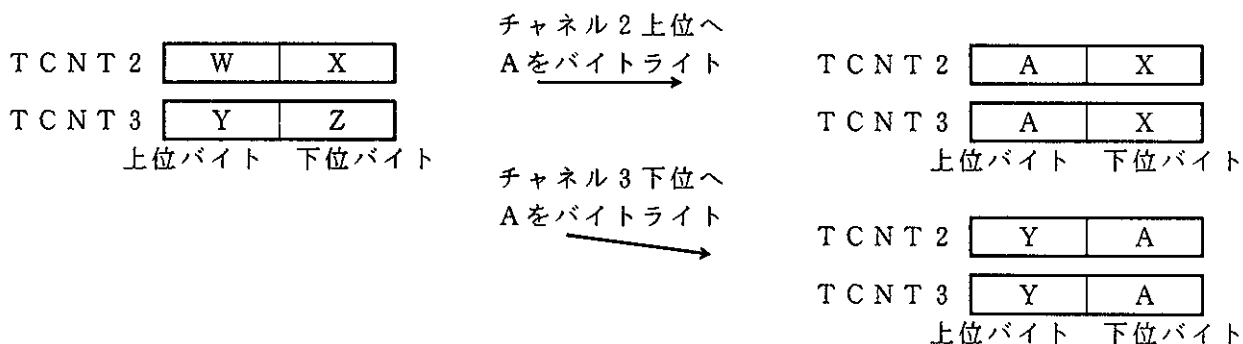
図10.69 BRのライトとインプットキャプチャの競合

(11) 同期動作時のライト動作に関する注意事項

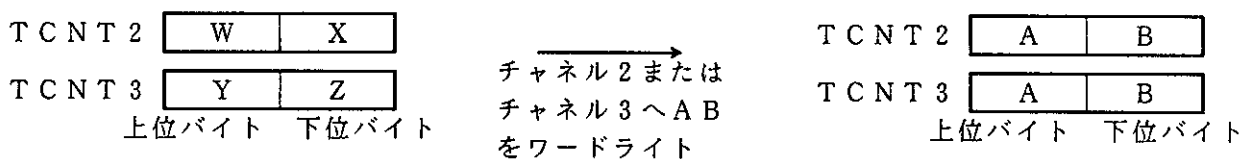
同期動作を設定した状態で、TCNTのバイトライトを行った場合、同期しているすべてカウンタはアドレスで指定したTCNTと、16ビットすべて同じ値となります。

(例) チャンネル2、3を同期モードで指定した場合

・チャンネル2 / チャンネル3 へのバイトライト



・チャンネル2 / チャンネル3 へのワードライト



(12) リセット同期PWMモード / 相補PWMモード設定時の注意事項

TFCRのCMD1、CMD0ビットを設定するときは、次のことに注意してください。

- ① CMD1、CMD0ビットへのライトは、TCNT3、TCNT4が停止中に行ってください。
- ② リセット同期PWMモードと相補PWMモードの相互の設定変更は禁止されています。通常動作(CMD1ビットを“0”にクリア)に設定した後に、リセット同期PWMモードまたは相補PWMモードに設定してください。

表10.11 (a) I T U の動作モード (チャネル0)

動作モード	レジスタ設定														
	TSNC			TMDR			TFCR			TOCR		TIOR0		TCR0	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バックアップ動作	XTGD	出力バリエーション	マスタイネーブル	IOA	IOB	クリア選択	クロック選択	
同期プリセット	—	—	—	○	—	—	—	—	—	—	○	○	○	○	
PWMモード	—	—	—	PWM0="1"	—	—	—	—	—	—	—	○	○	○	
アウトプットコンペアA機能	○	—	—	PWM0="0"	—	—	—	—	—	—	IOA2="0" 他任意	○	○	○	
アウトプットコンペアB機能	○	—	—	○	—	—	—	—	—	—	○	IOB2="0" 他任意	○	○	
インプットキャプチャA機能	○	—	—	PWM0="0"	—	—	—	—	—	—	IOA2="1" 他任意	○	○	○	
インプットキャプチャB機能	○	—	—	PWM0="0"	—	—	—	—	—	—	○	IOB2="1" 他任意	○	○	
カウンタリセット機能	○	—	—	○	—	—	—	—	—	—	○	○	CCLR1="0" CCLR0="1"	○	
カウンタリセット機能	○	—	—	○	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="0"	○	
同期リセット機能	—	—	—	○	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="1"	○	

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表10.11 (b) | TUの動作モード (チャネル1)

動作モード	レジスタ設定															
	TSNC			TMDR			TFCR		TOCR		TOER		TIOR1		TCR1	
	同期動作	MDF	FDIR	PWM	相補PWM	リセット同期PWM	パルス動作	XTGD	出力パルス	マスク	イネーブル	IOA	IOB	クリア選択	クロック選択	
同期プリセット	—	—	—	○	—	—	—	—	—	—	—	○	○	○	○	
PWMモード	○	—	—	PWM1="1"	—	—	—	—	—	—	—	—	○ ^{*1}	○	○	
アウトプットコンペアA機能	○	—	—	PWM1="0"	—	—	—	—	—	—	—	IOA2="0" 他任意	○	○	○	
アウトプットコンペアB機能	○	—	—	○	—	—	—	—	—	—	—	○	IOB2="0" 他任意	○	○	
インプットキャプチャA機能	○	—	—	PWM1="0"	—	—	○ ^{*2}	○	—	—	—	IOA2="1" 他任意	○	○	○	
インプットキャプチャB機能	○	—	—	PWM1="0"	—	—	—	—	—	—	—	○	IOB2="1" 他任意	○	○	
カウンタ機能	○	—	—	○	—	—	—	—	—	—	—	○	○	CCLR1="0" CCLR0="1"	○	
	○	—	—	○	—	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="0"	○	
同期リリ	—	—	—	○	—	—	—	—	—	—	—	○	○	CCLR1="1" CCLR0="1"	○	

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】^{*1} PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

^{*2} チャネル3とチャネル4が相補PWMモードまたはリセット同期PWMモードで動作している時のみ有効となります。

表10.11 (c) I T Uの動作モード (チャンネル2)

動作モード	レジスタ設定																	
	TSNC				TMDR				TFCR				TOER		TIOR2		TCR2	
	同期動作	MDF	FDIR	PWM	相補PWM	リセット同期PWM	パッド動作	X TGD	出力パッド	マスク	IOA	IOB	クリア選択	クロック選択				
同期プリセット	○	—	—	○	—	—	—	—	—	—	○	○	○	○				
PWMモード	○	—	—	PWM2="1"	—	—	—	—	—	—	—	○	○					
アウトプットコンペアA機能	○	—	—	PWM2="0"	—	—	—	—	—	IOA2="0" 他任意	○	○	○					
アウトプットコンペアB機能	○	—	—	○	—	—	—	—	—	○	IOB2="0" 他任意	○	○					
インプットキャプチャA機能	○	○	—	PWM2="0"	—	—	—	—	—	IOA2="1" 他任意	○	○	○					
インプットキャプチャB機能	○	○	—	PWM2="0"	—	—	—	—	—	○	IOB2="1" 他任意	○	○					
カウンタ機能	○	○	—	○	—	—	—	—	—	○	○	○	○	○	○	○		
同期リセット機能	○	○	—	○	—	—	—	—	—	○	○	○	○	○	○	○		
位相計数モード	○	MDF="1"	○	○	—	—	—	—	—	○	○	○	○	○	○	○		

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】・ PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表10.11 (d) I T Uの動作モード (チャネル3)

動作モード	レジスタ設定														
	TMSNC			TMDR			TFCR			TOCR		TIOR3		TCR3	
	同期動作	MDF	FDIR	PWM	相補 PWM	バツプ同期 PWM	バツプ動作	XTGD	出力バツプ	マスクイネープル	IOA	IOB	クリア選択	クロック選択	
同期プリセット	SYNC3="1"	—	—	○	○	○	○	—	—	○ ^{*1}	○	○	○	○	
PWMモード	○	—	—	PWM3="1"	CMD1="0"	○	○	—	—	○	○ ^{*2}	○	○	○	
アウトプットコンペアA機能	○	—	—	PWM3="0"	CMD1="0"	○	○	—	—	○	IOA2="0" 他任意	○	○	○	
アウトプットコンペアB機能	○	—	—	○	CMD1="0"	○	○	—	—	○	IOB2="0" 他任意	○	○	○	
インプットキツキツA機能	○	—	—	PWM3="0"	CMD1="0"	○	○	—	—	○	IOA2="1" 他任意	○	○	○	
インプットキツキツB機能	○	—	—	PWM3="0"	CMD1="0"	○	○	—	—	○	IOA2="1" 他任意	○	○	○	
カウリンアタ機能	同期クワ	—	—	○	CMD1="1" CMD0="0" は禁止	○	○	—	—	○ ^{*1}	○	○	○	○	
		—	—	○	CMD1="0"	○	○	—	—	○ ^{*1}	○	○	○	○	
同期クワ	同期クワ	—	—	○	CMD1="1" CMD0="0" は禁止	○	○	—	—	○ ^{*1}	○	○	○	○	
		—	—	○	CMD1="0"	○	○	—	—	○ ^{*1}	○	○	○	○	
相補PWMモード	○ ^{*3}	—	—	—	CMD1="1" CMD0="0"	○	○	○	○	○	—	—	○	○ ^{*5}	
リセット同期PWMモード	○	—	—	—	CMD1="1" CMD0="1"	○	○	○	○	○	—	—	○	○	
バツプ動作(BRA)	○	—	—	○	○	○	○	—	—	○ ^{*1}	○	○	○	○	
バツプ動作(BRB)	○	—	—	○	○	○	○	—	—	○ ^{*1}	○	○	○	○	

《記号説明》

○ 設定可能（有効）です。 — 設定は当該動作モードに影響しません。

【注】*1 マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。

*2 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

*3 相補PWMモード設定時には、チャネル3とチャネル4を同時に同期動作に設定しないで下さい。

*4 インプットキャプチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。

*5 相補PWMモード設定時のクロック選択は、チャネル3とチャネル4を同一としてください。

*6 チャネル1のインプットキャプチャ機能を使用してください。

表10.11 (e) I T Uの動作モード (チャネル4)

動作モード	レジスタ設定													
	TSNC			TMDR			TFCR		TOCR		TIOR4		TCR4	
	同期動作	MDF	FDIR	PWM	相補PWM	パルス同期PWM	バッファ動作	出力以外のパルス	マスク	IOA	IOB	クリア選択	クロック選択	
同期プリセット	—	—	—	○	○	○	○	—	○	○	○	○	○	
PWMモード	—	—	—	PWM4="1"	CMD1="0"	CMD1="0"	○	—	○	—	○	○	○	
アウトプットコンパリア機能	—	—	—	PWM4="0"	CMD1="0"	CMD1="0"	○	—	○	IOA2="0" 他任意	○	○	○	
アウトプットコンパリアB機能	—	—	—	○	CMD1="0"	CMD1="0"	○	—	○	IOB2="0" 他任意	○	○	○	
インプットキャプチャA機能	—	—	—	PWM4="0"	CMD1="0"	CMD1="0"	○	—	○	IOA2="1" 他任意	○	○	○	
インプットキャプチャB機能	—	—	—	PWM4="0"	CMD1="0"	CMD1="0"	○	—	○	IOB2="1" 他任意	○	○	○	
同期リセット機能	—	—	—	○	CMD1="1" CMD0="0" は禁止	CMD1="0" CMD0="0" は禁止	○	—	○	—	○	CCLR1="0" CCLR0="1"	○	
	—	—	—	○	CMD1="1" CMD0="0" は禁止	CMD1="0" CMD0="0" は禁止	○	—	○	—	○	CCLR1="1" CCLR0="0"	○	
同期リセット機能	—	—	—	○	CMD1="1"	CMD1="1"	○	—	○	—	○	CCLR1="1" CCLR0="1"	○	
相補PWMモード	—	—	—	—	CMD1="1" CMD0="0"	CMD1="1" CMD0="0"	○	○	○	—	—	CCLR1="0" CCLR0="0"	○ ^{*5}	
リセット同期PWMモード	—	—	—	—	CMD1="1" CMD0="1"	CMD1="1" CMD0="1"	○	○	○	—	—	○ ^{*6}	○	
バッファ動作 (BRA)	—	—	—	○	○	○	○	—	○	—	○	○	○	
バッファ動作 (BRB)	—	—	—	○	○	○	○	—	○	—	○	○	○	

《記号説明》

○ 設定可能（有効）です。 —— 設定は当該動作モードに影響しません。

【注】*1 マスクイネーブルビットの設定は、波形出力動作時のみ有効となります。

*2 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

*3 相補PWMモード設定時には、チャンネル3とチャンネル4を同時に同期動作設定しないで下さい。

*4 リセット同期PWMモード設定時は、カウンタクリア機能は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。

*5 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。

*6 リセット同期PWMモード動作時は、TCR4の設定は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。

11. プログラマブルタイミング パターンコントローラ (TPC)

第11章 目次

11.1	概要	417
11.1.1	特長	417
11.1.2	ブロック図	418
11.1.3	端子構成	419
11.1.4	レジスタ構成	420
11.2	各レジスタの説明	421
11.2.1	ポートAデータディレクションレジスタ (PADDR)	421
11.2.2	ポートAデータレジスタ (PADR)	421
11.2.3	ポートBデータディレクションレジスタ (PBDDR)	422
11.2.4	ポートBデータレジスタ (PBDR)	422
11.2.5	ネクストデータレジスタA (NDRA)	423
11.2.6	ネクストデータレジスタB (NDRB)	425
11.2.7	ネクストデータイネーブルレジスタA (NDERA)	427
11.2.8	ネクストデータイネーブルレジスタB (NDERB)	428
11.2.9	TPC出力コントロールレジスタ (TPCR)	429
11.2.10	TPC出力モードレジスタ (TPMR)	432
11.3	動作説明	435
11.3.1	概要	435
11.3.2	出力タイミング	436
11.3.3	TPC出力通常動作	437
11.3.4	TPC出力ノンオーバーラップ動作	439
11.3.5	インプットキャプチャによるTPC出力	441
11.4	使用上の注意	442
11.4.1	TPC出力端子の動作	442
11.4.2	ノンオーバーラップ動作時の注意	442

11.1 概要

H8/3003は、16ビットインテグレートドタイマパルスユニット（ITU）をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ（TPC）を内蔵しています。TPCは4ビット単位のTPC出力グループ3～0から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

TPCの特長を以下に示します。

■ 出力データ16ビット

最大16ビットのデータ出力が可能で、TPC出力をビット単位に許可することができます。

■ 4系統の出力可能

4ビット単位のグループで出力トリガ信号が選択可能で、最大4ビット×4系統の出力を行うことができます。

■ 出力トリガ信号を選択可能

ITUの4チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

■ ノンオーバーラップ動作

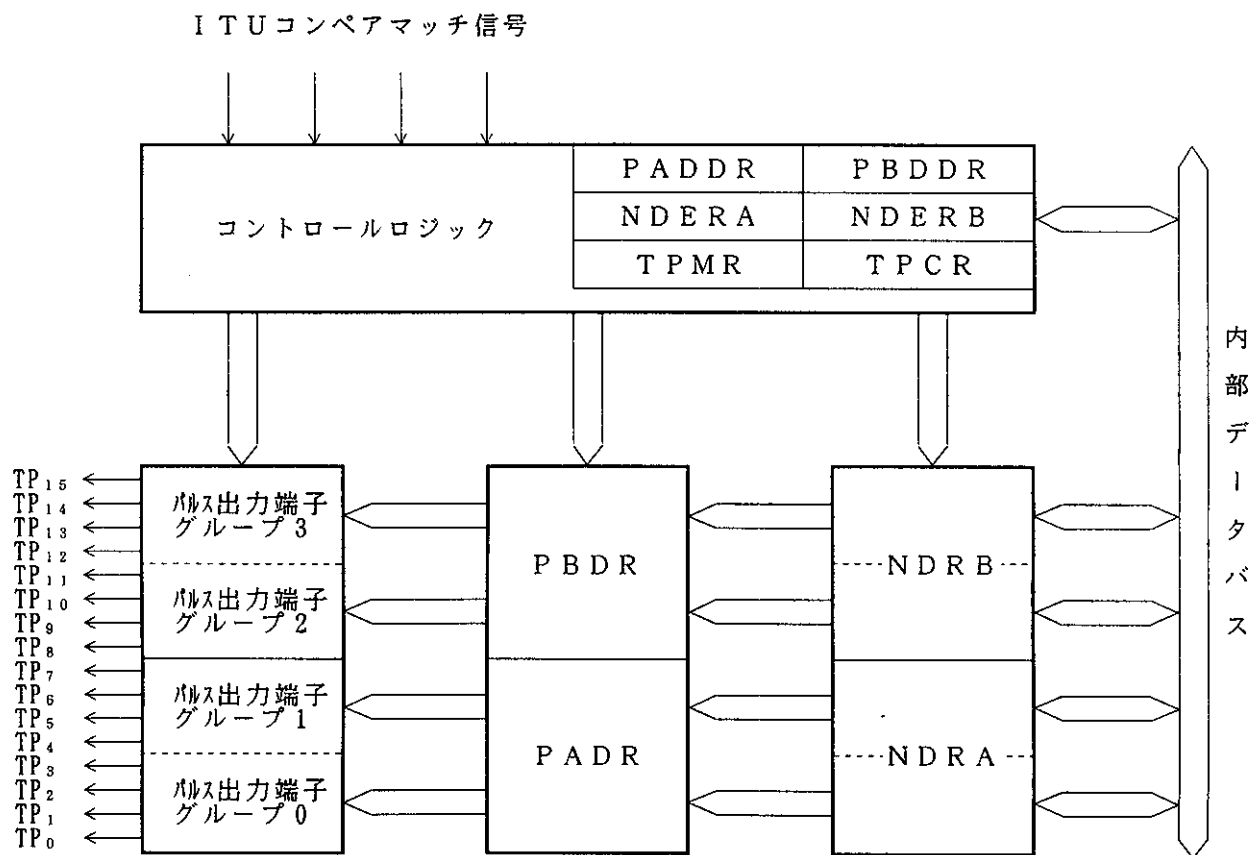
複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

■ DMAコントローラ（DMAC）との連携動作可能

出力トリガ信号に選択したコンペアマッチ信号でDMACを起動することにより、CPUの介在なくデータを順次出力することができます。

11.1.2 ブロック図

TPCのブロック図を図11.1に示します。



《記号説明》

- TPMPR : TPC出力モードレジスタ
- TPCR : TPC出力コントロールレジスタ
- NDRB : ネクストデータイネーブルレジスタB
- NDERA : ネクストデータイネーブルレジスタA
- PBDDR : ポートBデータディレクションレジスタ
- PADDR : ポートAデータディレクションレジスタ
- NDRB : ネクストデータレジスタB
- NDRA : ネクストデータレジスタA
- PBDR : ポートBデータレジスタ
- PADR : ポートAデータレジスタ

図11.1 TPCのブロック図

11.1.3 端子構成

TPCの端子構成を表11.1に示します。

表11.1 端子構成

名 称	略 称	入 出 力	機 能
TPC出力0	TP ₀	出 力	グループ0のパルス出力
TPC出力1	TP ₁	出 力	
TPC出力2	TP ₂	出 力	
TPC出力3	TP ₃	出 力	
TPC出力4	TP ₄	出 力	グループ1のパルス出力
TPC出力5	TP ₅	出 力	
TPC出力6	TP ₆	出 力	
TPC出力7	TP ₇	出 力	
TPC出力8	TP ₈	出 力	グループ2のパルス出力
TPC出力9	TP ₉	出 力	
TPC出力10	TP ₁₀	出 力	
TPC出力11	TP ₁₁	出 力	
TPC出力12	TP ₁₂	出 力	グループ3のパルス出力
TPC出力13	TP ₁₃	出 力	
TPC出力14	TP ₁₄	出 力	
TPC出力15	TP ₁₅	出 力	

11.1.4 レジスタ構成

TPCのレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFD1	ポートAデータディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポートAデータレジスタ	PADR	R/(W)* ²	H'00
H'FFD4	ポートBデータディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポートBデータレジスタ	PBDR	R/(W)* ²	H'00
H'FFA0	TPC出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタB	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタA	NDERA	R/W	H'00
H'FFA5/ H'FFA7* ³	ネクストデータレジスタA	NDRA	R/W	H'00
H'FFA4/ H'FFA6* ³	ネクストデータレジスタB	NDRB	R/W	H'00

【注】*¹ アドレスの下位16ビットを示しています。

*² TPC出力として使用しているビットは、ライトできません。

*³ TPCRの設定によりTPC出力グループ0とTPC出力グループ1の出力トリガが同一の場合はNDRAのアドレスはH'FFA5となり、出力トリガが異なる場合はグループ0に対応するNDRAのアドレスはH'FFA7、グループ1に対応するNDRAのアドレスはH'FFA5となります。

同様に、TPCRの設定によりTPC出力グループ2とTPC出力グループ3の出力トリガが同一の場合はNDRBのアドレスはH'FFA4となり出力トリガが異なる場合はグループ2に対応するNDRBのアドレスはH'FFA6、グループ3に対応するNDRBのアドレスはH'FFA4となります。

11.2 各レジスタの説明

11.2.1 ポートAデータディレクションレジスタ (PADDDR)

PADDDRは8ビットのライト専用のレジスタで、ポートAの各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポートAはTP₇~TP₀端子との兼用端子となっています。TPC出力を行う端子に対応するビットは“1”にセットしてください。

PADDDRの詳細は、「9.8 ポートA」を参照してください。

11.2.2 ポートAデータレジスタ (PADR)

PADRは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、グループ0、1の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】* NDERAにより、TPC出力に設定されたビットはリード専用となります。

PADRの詳細は、「9.8 ポートA」を参照してください。

11.2.3 ポートBデータディレクションレジスタ (PBDDR)

PBDDRは8ビットのライト専用のレジスタで、ポートBの各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

|
ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

ポートBはTP₁₅~TP₈端子との兼用端子となっています。TPC出力を行う端子に対応するビットは“1”にセットしてください。

PBDDRの詳細は、「9.9 ポートB」を参照してください。

11.2.4 ポートBデータレジスタ (PBD R)

PBD Rは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、PBD Rはグループ2、3の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

|
ポートBデータ7~0

TPC出力グループ2、3の出力データを格納するビットです。

【注】* NDERBにより、TPC出力に設定されたビットはリード専用となります。

PBD Rの詳細は、「9.9 ポートB」を参照してください。

11.2.5 ネクストデータレジスタ A (NDRA)

NDRAは8ビットのリード/ライト可能なレジスタで、TPC出力グループ1、0 (TP₇~TP₀端子)の次の出力データを格納します。TPC出力を行う場合、TPCRで指定したITUのコンペアマッチが発生したときに、NDRAの内容がPADRの対応するビットに転送されます。

NDRAのアドレスは、TPC出力グループ0、1の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRAはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(I) TPC出力グループ0、1の出力トリガが同一の場合

TPC出力グループ0、1の出力トリガとなるコンペアマッチを同一にすると、NDRAのアドレスはH'FFA5となります。グループ1、0はそれぞれ上位4ビット、下位4ビットになります。このとき、アドレスH'FFA7はすべてリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ネクストデータ7~4				ネクストデータ3~0			
	TPC出力グループ1の次の				TPC出力グループ0の次の			
	出力データを格納するビットです。				出力データを格納するビットです。			

② アドレス：H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—
	リザーブビット							

(2) T P C 出力グループ 0、1 の出力トリガが異なる場合

T P C 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、N D R A の上位 4 ビット (グループ 1) のアドレスは H' FFA5、N D R A の下位 4 ビット (グループ 0) のアドレスは H' FFA7 となります。このとき、アドレス H' FFA5 のビット 3 ~ 0、アドレス H' FFA7 のビット 7 ~ 4 はリザーブビットとなります。リザーブビットはリードすると常に "1" が読み出され、ライトは無効です。

① アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ 7 ~ 4

リザーブビット

T P C 出力グループ 1 の次の
出力データを格納するビットです。

② アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ 3 ~ 0

T P C 出力グループ 0 の次の
出力データを格納するビットです。

11.2.6 ネクストデータレジスタ B (NDRB)

NDRBは8ビットのリード/ライト可能なレジスタで、TPC出力グループ3、2(TP₁₅~TP₈端子)の次の出力データを格納します。TPC出力を行う場合、TPCRで指定したITUのコンペアマッチが発生したときに、NDRBの内容がPBDRの対応するビットに転送されます。NDRBのアドレスは、TPC出力グループ2、3の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRBはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC出力グループ2、3の出力トリガが同一の場合

TPC出力グループ2、3の出力トリガとなるコンペアマッチを同一にすると、NDRBのアドレスはH'FFA4となります。グループ3、2はそれぞれ上位4ビット、下位4ビットになります。このとき、アドレスH'FFA6はすべてリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H'FFA4

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ネクストデータ15~12				ネクストデータ11~8			
	TPC出力グループ3の次の出力データを格納します。				TPC出力グループ2の次の出力データを格納します。			

② アドレス：H'FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—
	リザーブビット							

(2) T P C 出力グループ 2、3 の出力トリガが異なる場合

T P C 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、N D R B の上位 4 ビット (グループ 3) のアドレスは H' FFA4、N D R B の下位 4 ビット (グループ 2) のアドレスは H' FFA6 となります。このとき、アドレス H' FFA4 のビット 3 ~ 0、アドレス H' FFA6 のビット 7 ~ 4 はリザーブビットとなります。リザーブビットはリードすると常に "1" が読み出され、ライトは無効です。

① アドレス : H' FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—
	ネクストデータ 15~12				リザーブビット			
	T P C 出力グループ 3 の次の 出力データを格納するビットです。							

② アドレス : H' FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W
	リザーブビット				ネクストデータ 11~8			
	T P C 出力グループ 2 の次の 出力データを格納するビットです。							

11.2.7 ネクストデータイネーブルレジスタ A (NDERA)

NDERAは8ビットのリード/ライト可能なレジスタで、TPC出力グループ1、0 (TP₇~TP₀端子)の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0
TPC出力グループ1、0を許可/禁止を
選択するビットです。

NDERAによりTPC出力が許可されたビットは、TPCRで選択されたITUのコンペアマッチが発生すると、NDRAの値がPADRの当該ビットに自動転送され出力値が更新されます。TPC出力を禁止されているビットについては、NDRAからPADRへの転送は行われず出力値も変化しません。

NDERAはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0: ネクストデータイネーブル7~0 (NDER7~NDER0)

TPC出力グループ1、0 (TP₇~TP₀端子)の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER7~NDER0	
0	TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からPA ₇ ~PA ₀ への転送禁止) (初期値)
1	TPC出力TP ₇ ~TP ₀ を許可 (NDR7~NDR0からPA ₇ ~PA ₀ への転送許可)

11.2.8 ネクストデータイネーブルレジスタ B (N D E R B)

N D E R Bは8ビットのリード/ライト可能なレジスタで、T P C出力グループ3、2 (T P₁₅~T P₈端子)の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	N D E R 15	N D E R 14	N D E R 13	N D E R 12	N D E R 11	N D E R 10	N D E R 9	N D E R 8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8

T P C出力グループ3、2の許可/禁止を選択するビットです。

N D E R BによりT P C出力が許可されたビットは、T P C Rで選択されたI T Uのコンペアマッチが発生すると、N D R Bの値がP B D Rの当該ビットに自動転送され出力値が更新されます。T P C出力を禁止されているビットについては、N D R BからP B D Rへの転送は行われず出力値も変化しません。

N D E R Bはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされません。ソフトウェアスタンバイモード時にはイニシャライズされません。

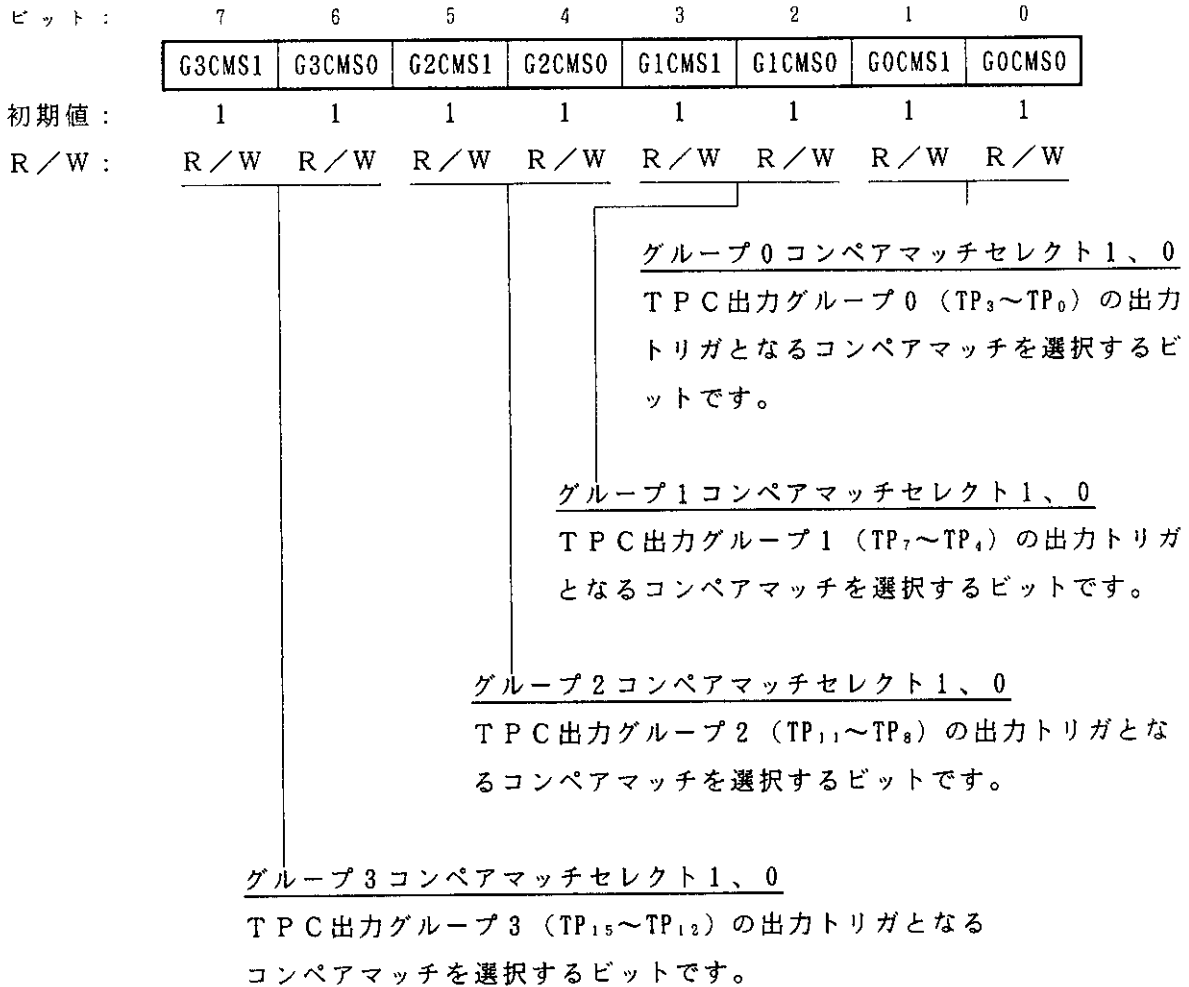
ビット7~0:ネクストデータイネーブル15~8 (N D E R 15~N D E R 8)

T P C出力グループ3、2 (T P₁₅~T P₈端子)の許可/禁止をビット単位で選択します。

ビット7~0	説明
N D E R 15~N D E R 8	
0	T P C出力T P ₁₅ ~T P ₈ を禁止 (N D R 15~N D R 8からP B ₇ ~P B ₀ への転送禁止) (初期値)
1	T P C出力T P ₁₅ ~T P ₈ を許可 (N D R 15~N D R 8からP B ₇ ~P B ₀ への転送許可)

11.2.9 TPC出力コントロールレジスタ (TPCR)

TPCRは8ビットのリード/ライト可能なレジスタで、TPC出力の出力トリガ信号をグループ単位で選択します。



TPCRは、リセットまたはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7、6：グループ3コンペアマッチセレクト1、0（G3CMS1、G3CMS0）

TPC出力グループ3（TP₁₅～TP₁₂端子）の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説 明
G3CMS1	G3CMS0	
0	0	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3（TP ₁₅ ～TP ₁₂ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット5、4：グループ2コンペアマッチセレクト1、0（G2CMS1、G2CMS0）

TPC出力グループ2（TP₁₁～TP₈端子）の出力トリガとなるコンペアマッチを選択します。

ビット5	ビット4	説 明
G2CMS1	G2CMS0	
0	0	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット3、2：グループ1コンペアマッチセレクト1、0（G1CMS1、G1CMS0）
 TPC出力グループ1（TP₇～TP₄端子）の出力トリガとなるコンペアマッチを選択します。

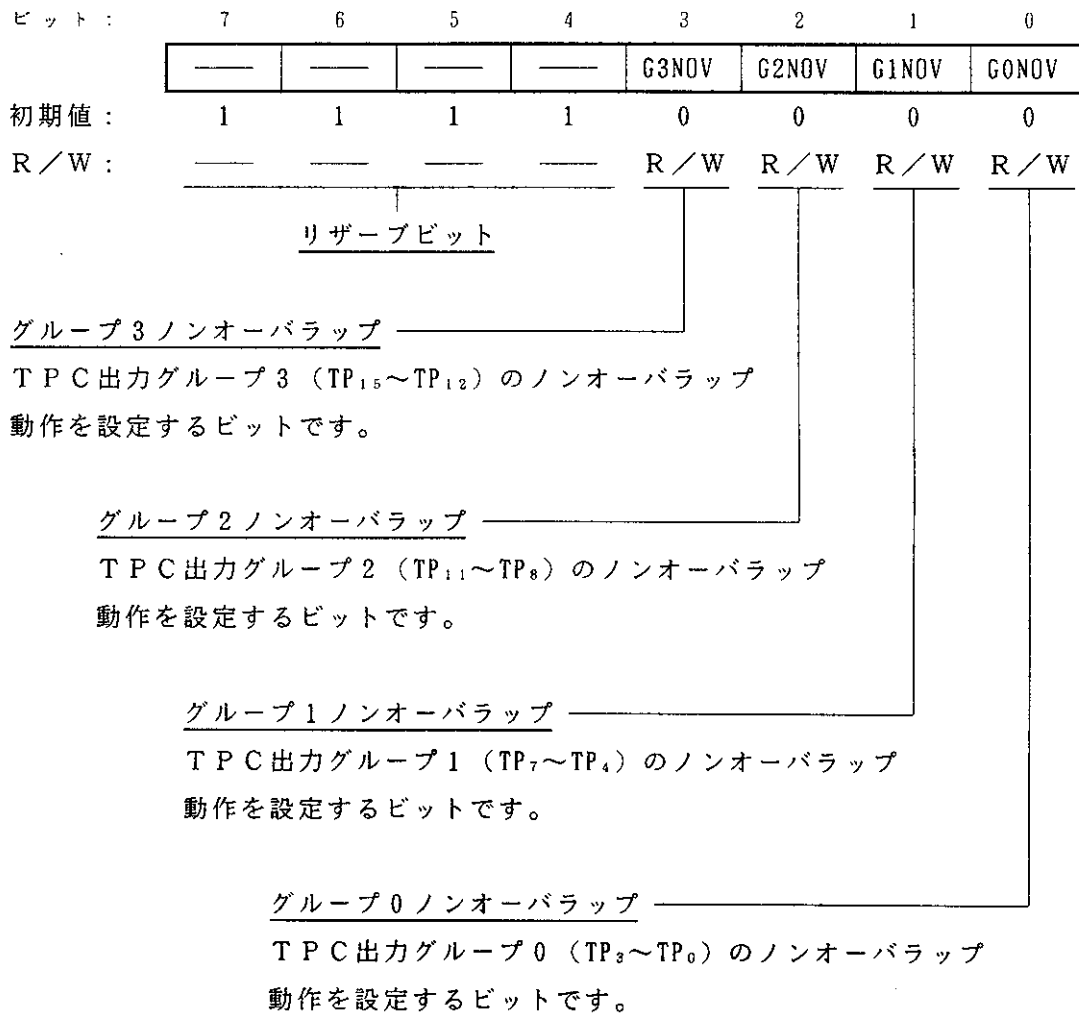
ビット3	ビット2	説 明
G1CMS1	G1CMS0	
0	0	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ （初期値）

ビット1、0：グループ0コンペアマッチセレクト1、0（G0CMS1、G0CMS0）
 TPC出力グループ0（TP₃～TP₀端子）の出力トリガとなるコンペアマッチを選択します。

ビット1	ビット0	説 明
G0CMS1	G0CMS0	
0	0	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ （初期値）

11.2.10 T P C出力モードレジスタ (T P M R)

T P M Rは8ビットのリード/ライト可能なレジスタで、T P C出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。



ノンオーバーラップ動作のT P C出力は、出力トリガとなるI T UのG R Bに出力波形の周期を、またG R Aにノンオーバーラップ期間を設定し、コンペアマッチA、Bで出力値を変化させます。

詳細は、「11.3.4 T P C出力ノンオーバーラップ動作」を参照してください。

T P M Rはリセット、またはハードウェアスタンバイモード時にH F 0にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~4 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3：グループ3ノンオーバーラップ（G3NOV）

TPC出力グループ3（TP₁₅～TP₁₂端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット3	説 明
G3NOV	
0	TPC出力グループ3は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ3は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット2：グループ2ノンオーバーラップ（G2NOV）

TPC出力グループ2（TP₁₁～TP₈端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット2	説 明
G2NOV	
0	TPC出力グループ2は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ2は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット1：グループ1ノンオーバーラップ（G1NOV）

TPC出力グループ1（TP₇～TP₄端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット1	説 明
G1NOV	
0	TPC出力グループ1は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ1は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット0：グループ0ノンオーバーラップ（G0NOV）

TPC出力グループ0（TP₃～TP₀端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット0 G0NOV	説 明
0	TPC出力グループ0は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ0は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

11.3 動作説明

11.3.1 概要

TPC出力は、PADDR、PBDDRとNDERA、NDERBの対応するビットをそれぞれ“1”にセットすることにより許可状態となります。この状態では、対応するPADR、PBDRの内容が出力されます。

その後、TPCRで指定したコンペアマッチが発生すると、ビットに対応するNDRAおよびNDRBの内容がそれぞれPADRおよびPBDRに転送され、出力値が更新されます。

TPC出力動作を図11.2に示します。また、TPC動作条件を表11.3に示します。

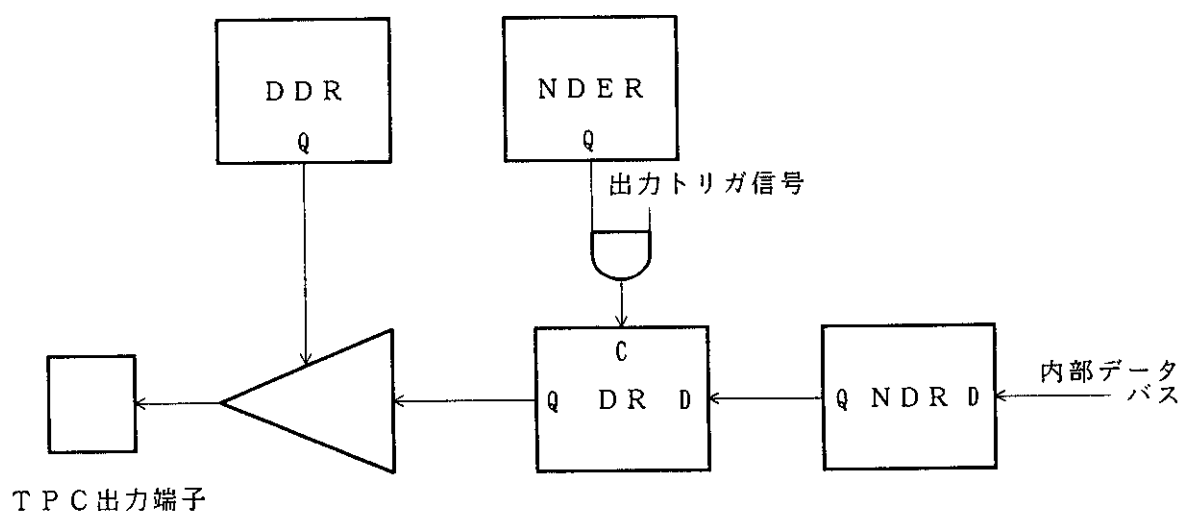


図11.2 TPC出力動作

表11.3 TPC動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート（ただし、コンペアマッチ時にNDRからDRの転送を行い、DRへのライトはできません）
	1	TPCパルス出力

次のコンペアマッチが発生するまでにNDRAおよびNDRBに出力データを書き込むことにより、コンペアマッチごとに最大16ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 TPC出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

TPC出力許可状態で指定されたコンペアマッチが発生すると、NDR A / NDR Bの内容がPADR / PBDRに転送され、出力されます。

このタイミングを図11.3に示します。

コンペアマッチAにより、グループ2、3で通常出力を行った場合の例です。

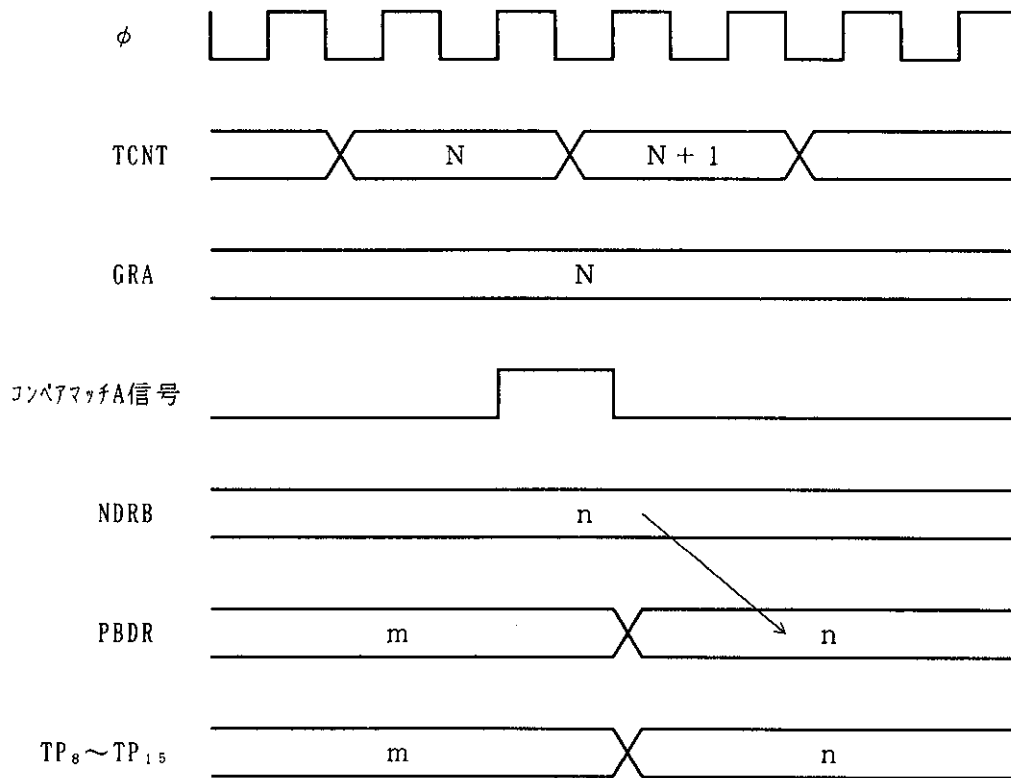
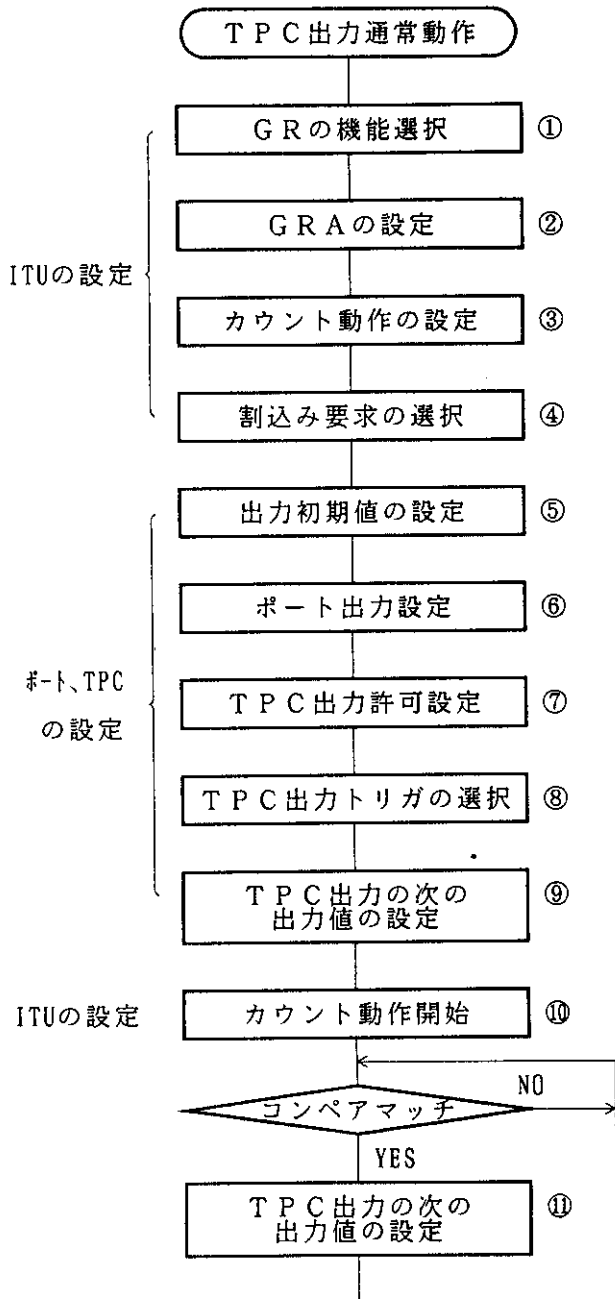


図11.3 NDRの内容が転送・出力されるタイミング (例)

11.3.3 T P C出力通常動作

(1) T P C出力通常動作の設定手順例

T P C出力通常動作の設定手順例を図11.4に示します。

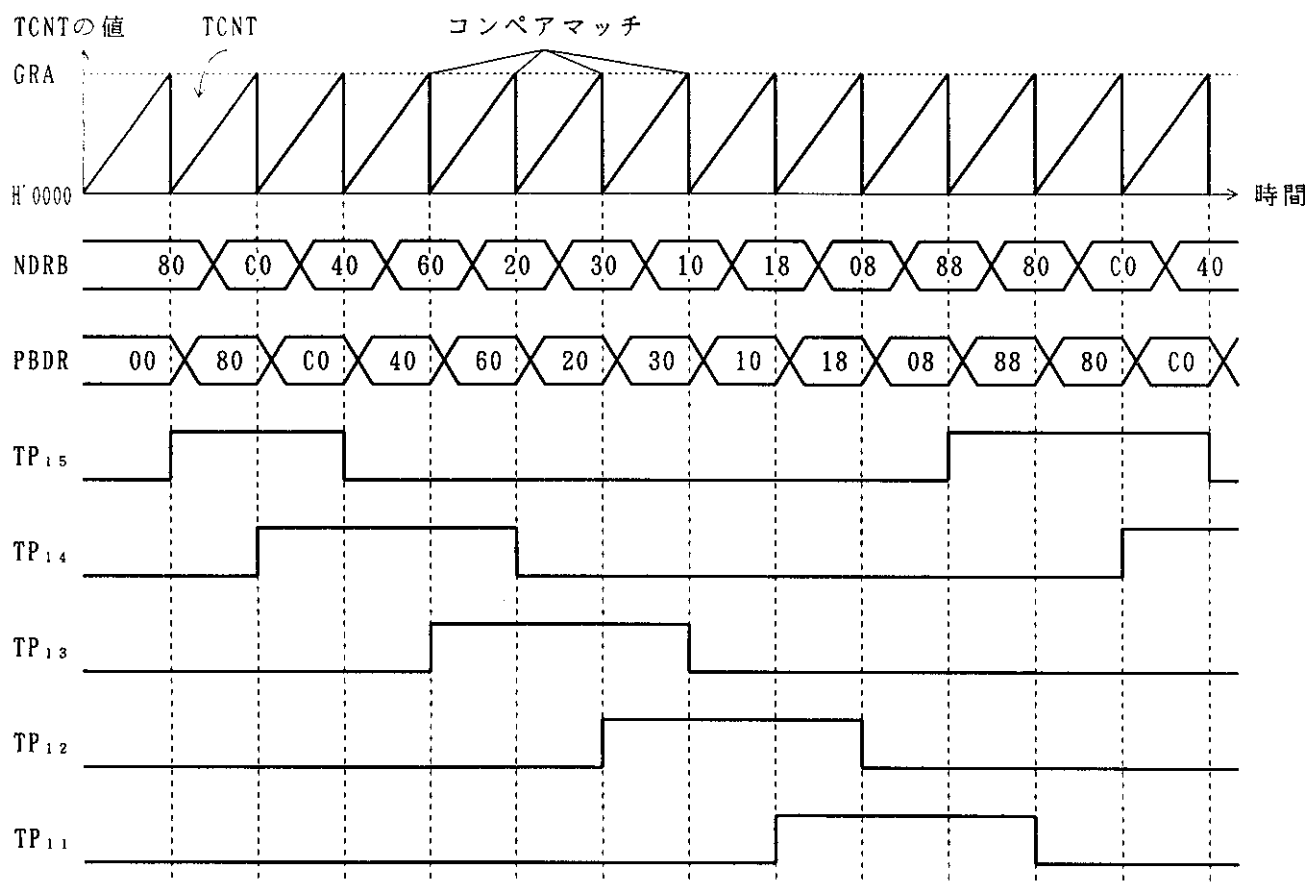


- ① T I O RでG R Aをアウトプットコンペアレジスタ（出力禁止）に設定してください。
- ② T P Cの出力トリガの周期を設定してください。
- ③ T C RのT P S C 2～T P S C 0ビットでカウンタクロックを選択してください。また、C C L R 1、C C L R 0ビットでカウンタクリア要因を選択してください。
- ④ T I E RでI M F A割込みを許可してください。
D M A CによるN D Rへの転送を設定することもできます。
- ⑤ T P Cで使用する入出力ポートのD Rに出力初期値を設定してください。
- ⑥ T P Cで使用する入出力ポートのD D Rを“1”にセットしてください。
- ⑦ N D E RのT P C出力を行うビットを“1”にセットしてください。
- ⑧ T P C RでT P C出力トリガとなるI T Uのコンペアマッチを選択します。
- ⑨ N D RにT P C出力の次の出力値を設定してください。
- ⑩ T S T RのS T Rビットを“1”にセットしてT C N Tのカウント動作を開始してください。
- ⑪ I M F A割込みが発生するごとに次の出力値をN D Rに設定してください。

図11.4 T P C出力通常動作の設定手順例

(2) T P C出力通常動作例（5相パルス出力例）

T P C出力を使用して一定周期で5相パルスを出力させた例を図11.5に示します。



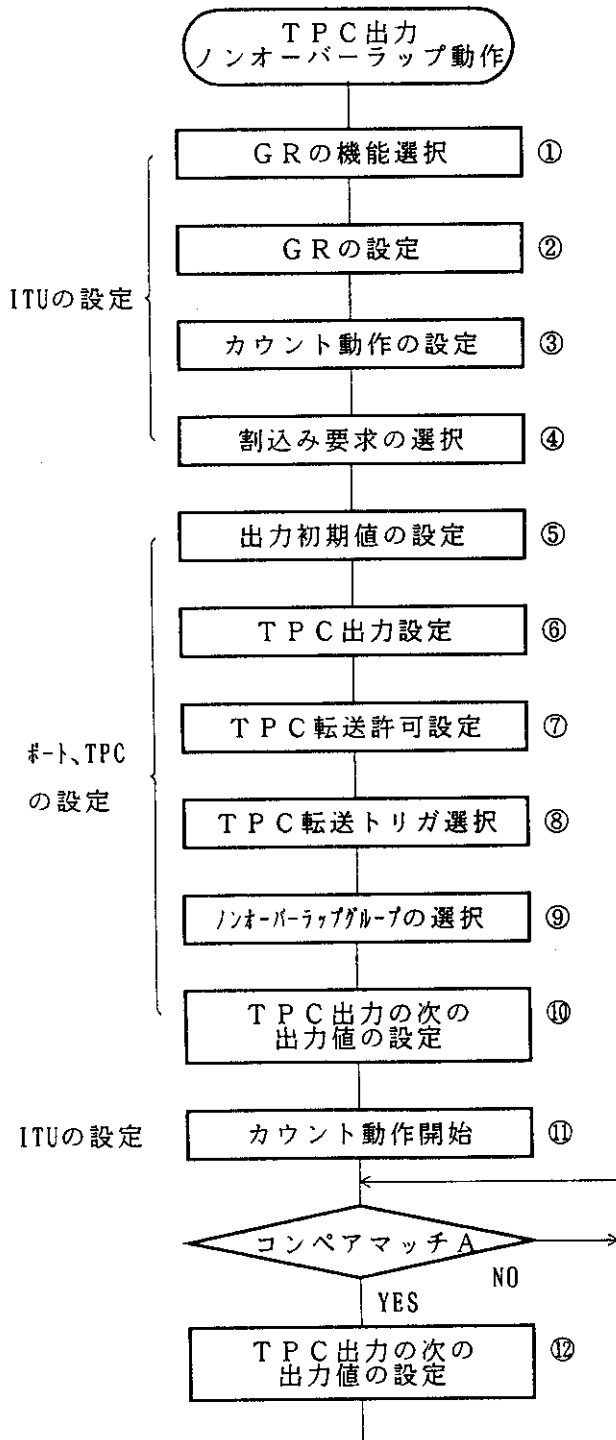
- ① 出力トリガとするITUのGRAをアウトプットコンペアレジスタに設定します。
GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのIMIEAビットを“1”にセットして、コンペアマッチA割込みを許可します。
- ② PBDDRとNDRBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを①で選択したITUのコンペアマッチに設定します。NDRBに出力データH'80をライトします。
- ③ ITU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。
コンペアマッチ/インプットキャプチャA (IMFA) 割込み処理でNDRBに次の出力データH'C0をライトします。
- ④ 以後、IMFA割込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

図11.5 T P C出力通常動作例（5相パルス出力例）

11.3.4 T P C出力ノンオーバーラップ動作

(1) T P C出力ノンオーバーラップ動作の設定手順例

T P C出力ノンオーバーラップ動作の設定手順例を図11.6に示します。

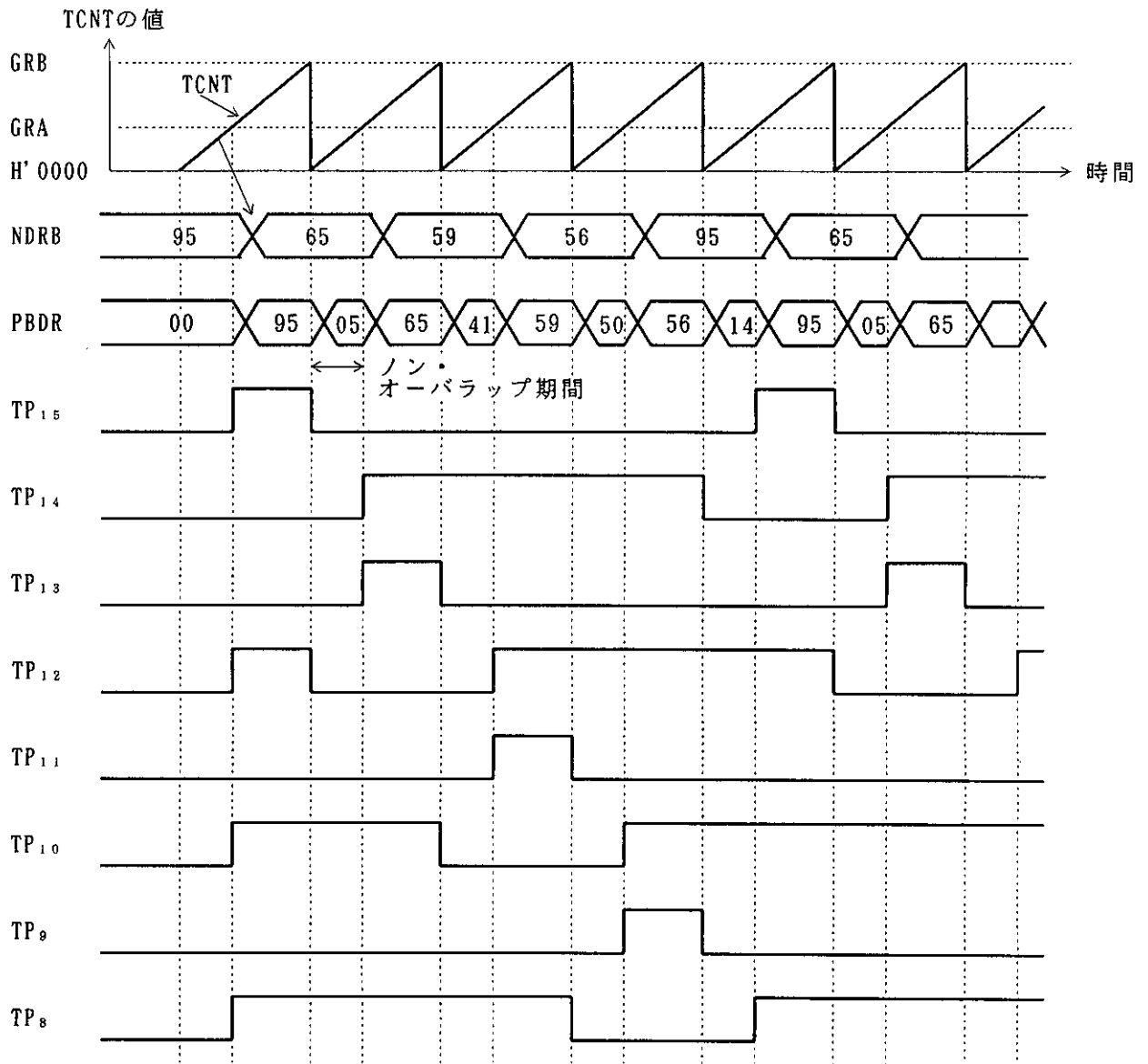


- ① T I O RでG R A、G R Bをアウトプットコンペアレジスタ（出力禁止）に選択してください。
- ② G R BにT P C出力トリガの周期を、G R Aにはノンオーバーラップ期間をそれぞれ設定してください。
- ③ T C RのT P S C 2～T P S C 0ビットでカウンタクロックを選択してください。また、C C L R 1、C C L R 0ビットでカウンタクリア要因を選択してください。
- ④ T I E RでI M F A割込みを許可してください。
D M A CによるN D Rへの転送を設定することもできます。
- ⑤ T P Cで使用する入出力ポートのD Rに出力初期値を設定してください。
- ⑥ T P Cで使用する入出力ポートのD D Rを“1”にセットしてください。
- ⑦ N D E RのT P C出力を行うビットを“1”にセットしてください。
- ⑧ T P C RでT P C出力トリガとなるI T Uのコンペアマッチを選択します。
- ⑨ T P M Rでノンオーバーラップ動作を行うグループを選択します。
- ⑩ N D RにT P C出力の次の出力値を設定してください。
- ⑪ T S T RのS T Rビットを“1”にセットしてT C N Tのカウント動作を開始してください。
- ⑫ I M F A割込みが発生するごとに次の出力値をN D Rに設定してください。

図11.6 T P C出力ノンオーバーラップ動作の設定手順例

(2) T P C 出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）

T P C 出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図13.7に示します。



① 出力トリガとするITUのGRA、GRBをアウトプットコンペアレジスタに設定します。GRBには周期、GRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのIMIEAビットを”1”にセットして、IMFA割込みを許可します。

② PBDDRとNDERBにH'FFをライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを①で選択したITUのコンペアマッチに設定します。

TPMRのG3NOV、G2NOVビットをそれぞれ”1”にセットして、ノンオーバーラップ動作を設定します。

図11.7 T P C 出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）(1)

NDRBに出力データH'95をライトします。

- ③ ITU当該チャンネルの動作を開始すると、GRBのコンペアマッチで1出力→0出力の変化、GRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はGRAの設定値分遅延することになります）。

IMFA割込み処理でNDRBに次の出力データH'65をライトします。

- ④ 以後、IMFA割込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。

コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

図11.7 TPC出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）(2)

11.3.5 インพุットキャプチャによるTPC出力

TPC出力は、ITUのコンペアマッチだけではなく、インพุットキャプチャによっても可能です。

TPCRによって選択されたITUのGRAがインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりTPC出力を行います。

このタイミングを図11.8に示します。

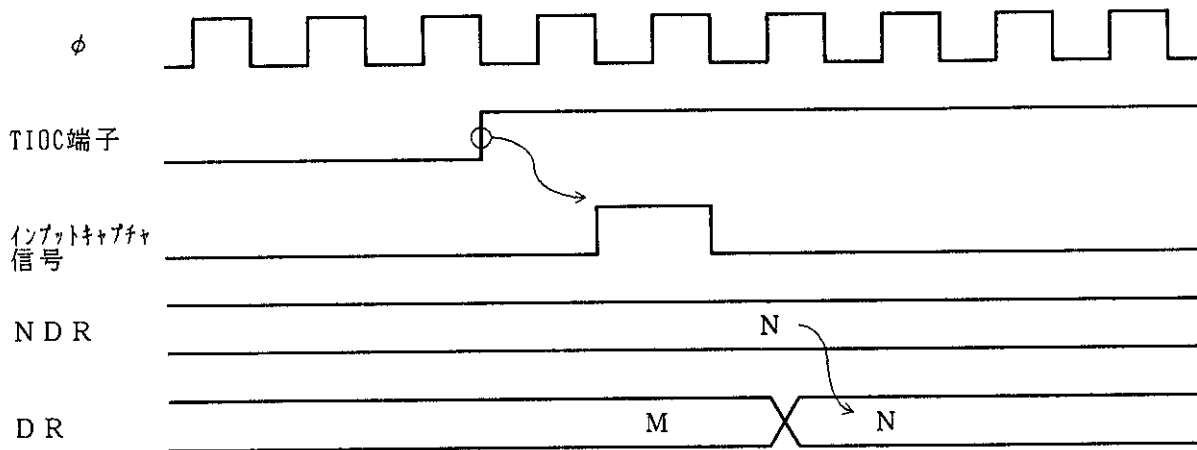


図11.8 インพุットキャプチャによるTPC出力例

11.4 使用上の注意

11.4.1 T P C出力端子の動作

TP₀～TP₁₅はI T UやD M A Cなどの端子と兼用になっています。これらの端子は、I T U、D M A Cが出力許可状態になっているときには、T P C出力を行うことができません。ただし、N D RからD Rへの転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時のN D RからD Rの転送は以下のようになっています。

- (1) コンペアマッチAではN D Rの内容を常にD Rへ転送します。
- (2) コンペアマッチBではN D Rの転送するビットの内容が“0”のときのみ転送を行います。“1”のときは転送を行いません。

ノンオーバーラップ時のT P C出力動作を図11.9に示します。

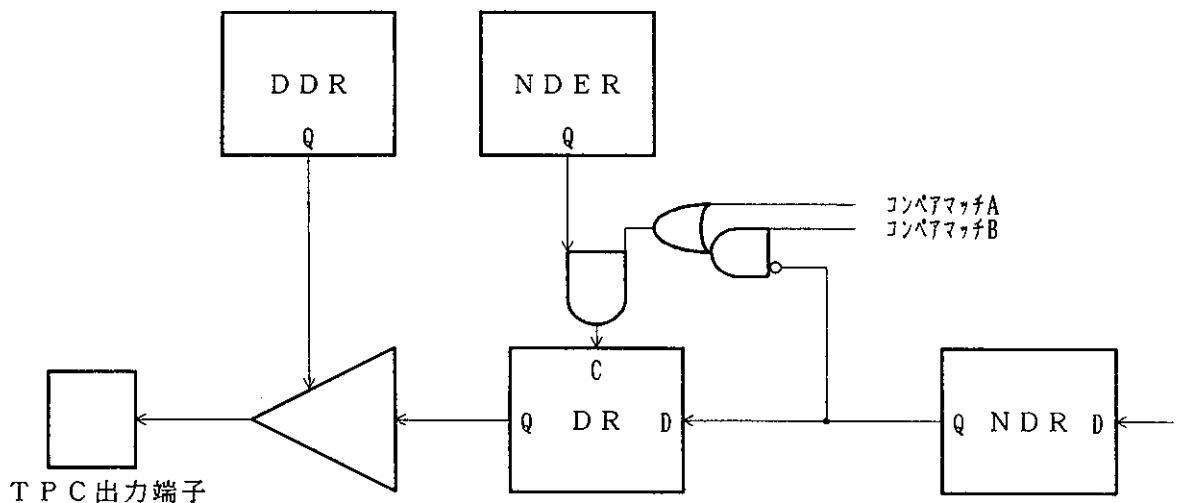


図11.9 T P C出力ノンオーバーラップ動作

したがって、コンペアマッチBを、コンペアマッチAよりも先に発生させることにより、“0”データの転送を“1”データの転送に先だてて行うことが可能です。

この場合、コンペアマッチBが発生した後、コンペアマッチAが発生するまで（ノンオーバーラップ期間）の間、NDRの内容を変更しないようにしてください。

これはIMFA割込みの割込み処理ルーチンでNDRに次のデータをライトすることによって実現できます。また、IMFA割込みでDMACを起動することもできます。ただし、このライトは次のコンペアマッチBが発生する前に行ってください。

このタイミングを図11.10に示します。

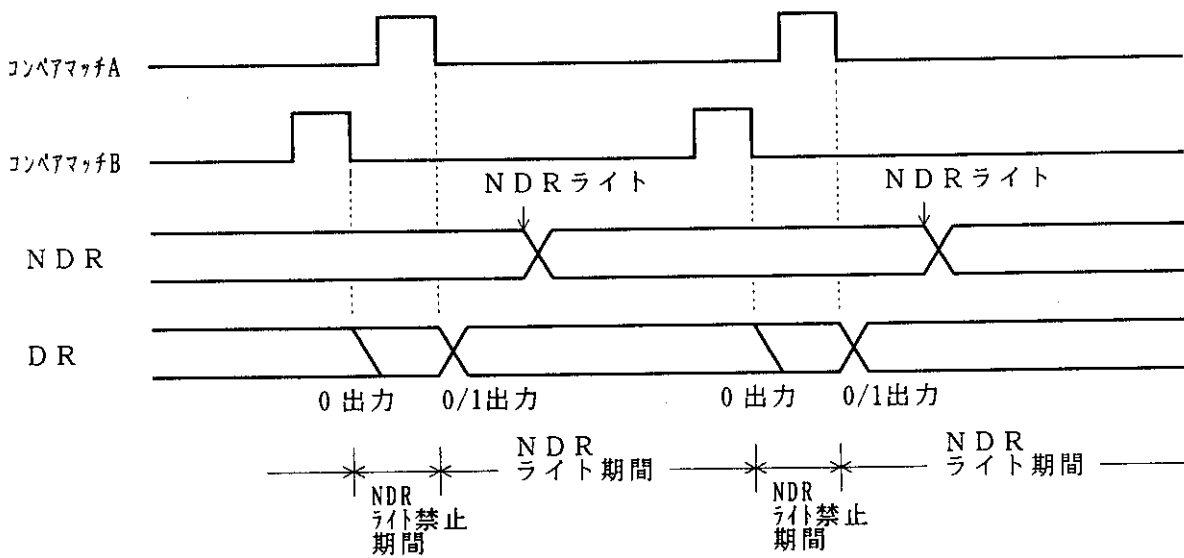


図11.10 ノンオーバーラップ動作とNDRライトタイミング

12. ウォッチドッグタイマ

第12章 目次

12.1	概要	447
12.1.1	特長	447
12.1.2	ブロック図	448
12.1.3	端子構成	448
12.1.4	レジスタ構成	449
12.2	各レジスタの説明	450
12.2.1	タイマカウンタ (TCNT)	450
12.2.2	タイマコントロール/ステータスレジスタ (TC SR)	451
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	454
12.2.4	レジスタ書換え時の注意	456
12.3	動作説明	458
12.3.1	ウォッチドッグタイマ時の動作	458
12.3.2	インターバルタイマ時の動作	459
12.3.3	オーバフローフラグ (OVF) セットタイミング	459
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	460
12.4	割込み	461
12.5	使用上の注意	461

12.1 概要

H8/3003は、ウォッチドッグタイマ(WDT)を内蔵しています。WDTには、システムの監視を行うウォッチドッグタイマとインターバルタイマの2つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ(TCNT)の値が書き換えられずオーバーフローすると、本LSIに対してリセット信号を発生します。

また、インターバルタイマは、TCNTがオーバーフローするごとにインターバルタイマ割込みを発生することができます。

12.1.1 特長

WDTの特長を以下に示します。

- 8種類のカウント入力クロックを選択可能
φ/2、φ/32、φ/64、φ/128、φ/256、φ/512、φ/2048、φ/4096
- インターバルタイマとして使用可能
- TCNTがオーバーフローするとリセット信号または割込みを発生
ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割込みを発生します。
- ウォッチドッグタイマの発生したリセット信号により、本LSI全体を内部リセット、同時にリセット信号を外部に出力可能
ウォッチドッグタイマ時にTCNTのオーバーフローによってリセット信号を発生すると、本LSI全体は内部リセットされます。同時に、RESO端子からリセット信号を外部に出力し、システム全体をリセットすることができます。

12.1.2 ブロック図

図12.1にWDTのブロック図を示します。

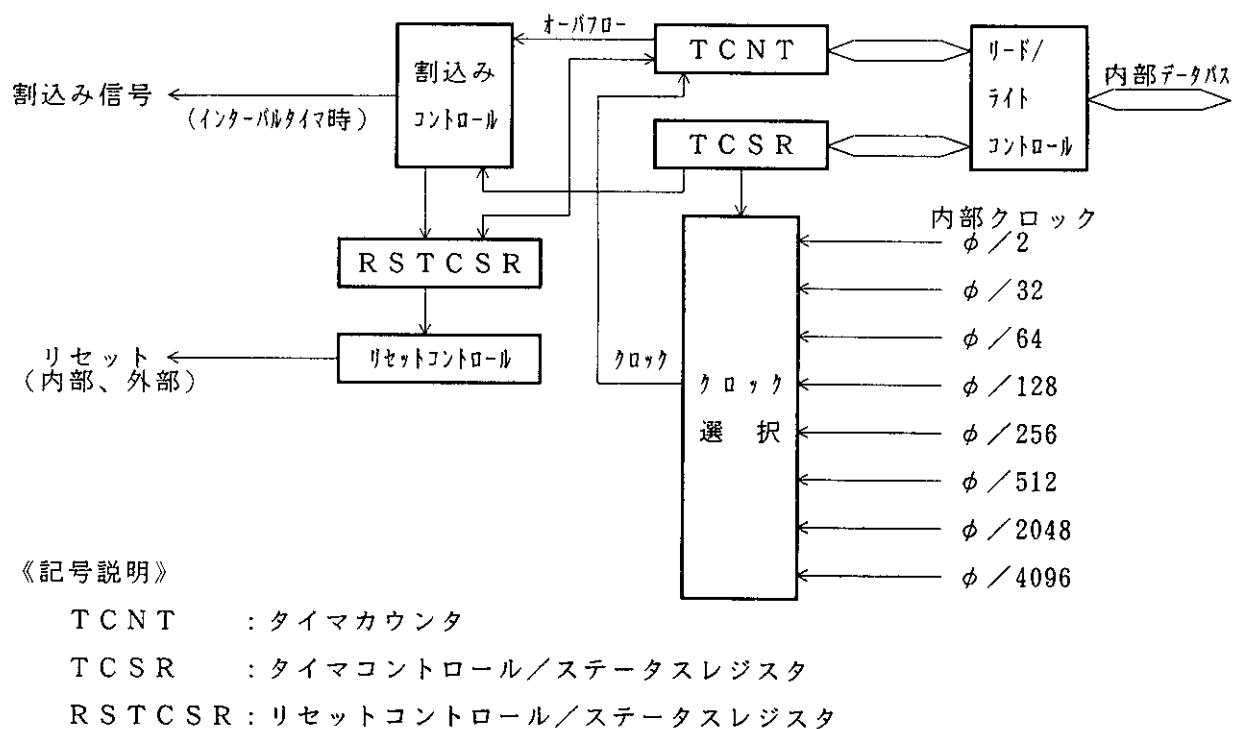


図12.1 WDTのブロック図

12.1.3 端子構成

WDTで使用する出力端子を表12.1に示します。

表12.1 端子構成

名称	略称	入出力	機能
リセット出力	$\overline{RES0}$	出力	ウォッチドックタイマのリセット信号の外部出力

12.1.4 レジスタ構成

表12.2にWDTのレジスタ構成を示します。

表12.2 レジスタ構成

アドレス* ¹		名 称	略 称	R/W	初期値
ライト時* ²	リード時				
H' FFA8	H' FFA8	タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* ³	H' 18
	H' FFA9	タイマカウンタ	TCNT	R/W	H' 00
H' FFAA	H' FFAB	リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* ³	H' 3F

【注】 *¹ アドレスの下位16ビットを示しています。

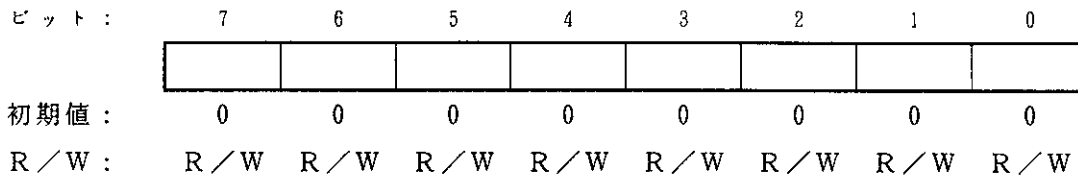
*² このアドレスから始まるワードデータとしてライトしてください。

*³ ビット7は、フラグをクリアするための“0”ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)

TCNTは、8ビットのリード/ライト*可能なアップカウンタです。



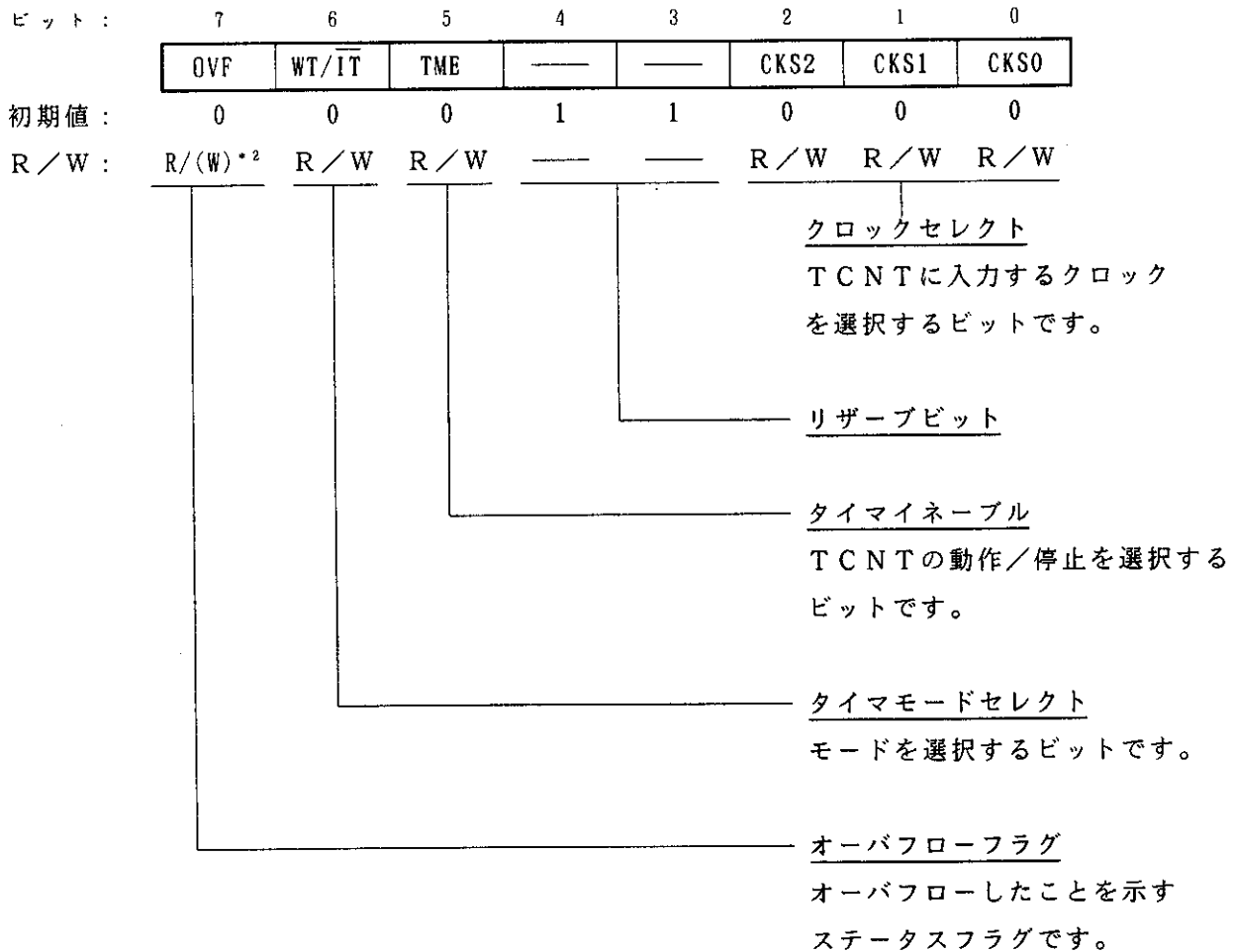
TCSRのTMEビットを“1”にセットすると、TCSRのCKS2～CKS0ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNTの値がオーバフロー(H'FF→H'00)すると、TCSRのOVFフラグが“1”にセットされます。

また、TCNTはリセット、またはTME = “0”のときH'00にイニシャライズされます。

【注】* TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書換え時の注意」を参照してください。

12.2.2 タイマコントロール/ステータスレジスタ (TC SR)

TC SRは、8ビットのリード/ライト*1可能なレジスタで、TCNTに入力するクロックの選択、およびモードの選択などを行います。



ビット7～5はリセット、またはスタンバイモード時に各ビットとも“0”にイニシャライズされます。ビット2～0は、リセット時に各ビットとも“0”にイニシャライズされます。なお、ビット2～0はソフトウェアスタンバイモード時には、イニシャライズされずにソフトウェアスタンバイモードに遷移する直前の値を保持します。

【注】*1 TC SRは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

*2 フラグをクリアするための“0”ライトのみ可能です。

ビット7：オーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

ビット7	説明
OVF	
0	〔クリア条件〕 OVF = “1” の状態で、OVFフラグをリード後、OVFフラグに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCNTがH'FF→H'00に変化したとき

ビット6：タイマモードセレクト（WT/IT）

WDTをウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時はTCNTのオーバフローでインターバルタイマ割込み要求を発生します。また、ウォッチドッグタイマ時はTCNTのオーバフローでリセット信号を発生します。

ビット6	説明
WT/IT	
0	インターバルタイマを選択：インターバルタイマ割込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット5：タイマイネーブル（TME）

TCNTの動作/停止を選択します。

ビット5	説明
TME	
0	TCNTをH'00にイニシャライズし、カウント動作は停止 (初期値)
1	TCNTはカウント動作

ビット4、3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

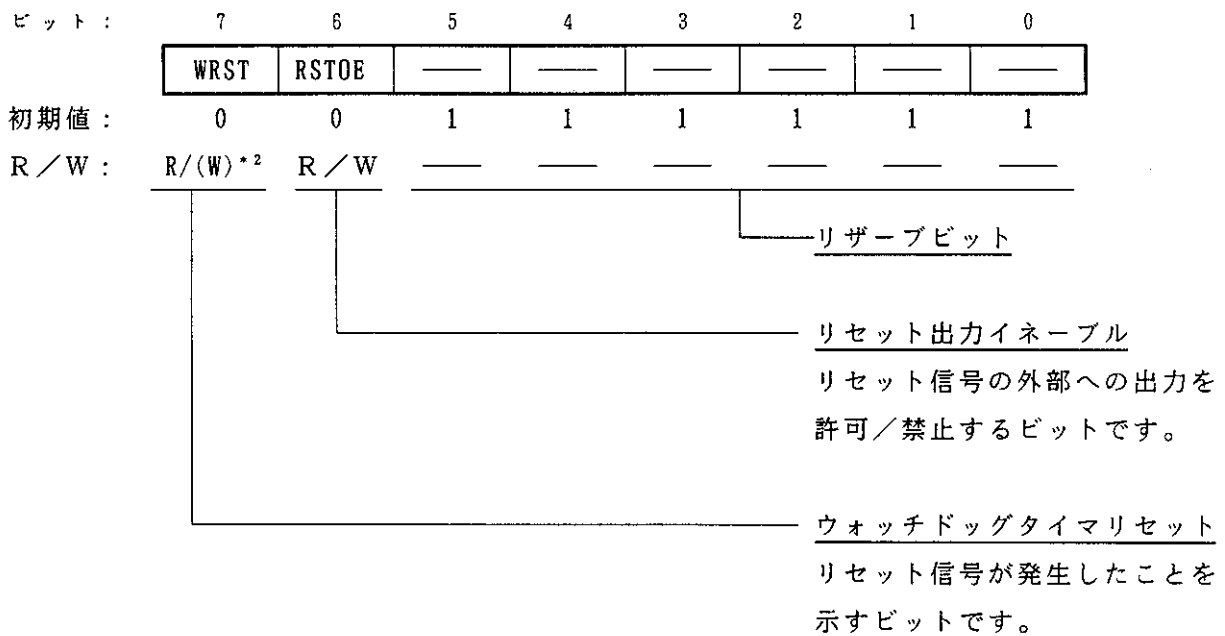
ビット2～0：クロックセレクト2～0（CKS2～0）

システムクロック（ ϕ ）を分周して得られる8種類の内部クロックからTCNTに入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	$\phi / 2$ (初期値)
0	0	1	$\phi / 32$
0	1	0	$\phi / 64$
0	1	1	$\phi / 128$
1	0	0	$\phi / 256$
1	0	1	$\phi / 512$
1	1	0	$\phi / 2048$
1	1	1	$\phi / 4096$

12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSRは8ビットのリード/ライト^{*1}可能なレジスタで、ウォッチドッグタイマのオーバーフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。



ビット7、6は、RES端子によるリセット信号でイニシャライズされます。ウォッチドッグタイマのオーバーフローによるリセット信号ではイニシャライズされません。

【注】^{*1} RSTCSRは、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書換え時の注意」を参照してください。

^{*2} ビット7は、フラグをクリアするための“0”ライトのみ可能です。

ビット7：ウォッチドッグタイマリセット (WRST)

ウォッチドッグタイマ時にTCNTがオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本LSI全体が内部リセットされます。同時に、RSTOEビットが“1”にセットされていると、このリセット信号をRES0端子から“Low”レベルを外部に出力し、システム全体のイニシャライズを行うことができます。

ビット7	説明
WRST	
0	〔クリア条件〕 RES端子によるリセット信号または“0”をライトしたとき (初期値)
1	〔セット条件〕 ウォッチドッグタイマ時に、TCNTがオーバーフローし、リセット信号が発生したとき

ビット6：リセット出力イネーブル (RSTOE)

ウォッチドッグタイマ時にTCNTがオーバーフローして発生したリセット信号のRES0端子からの出力の許可/禁止を選択します。

ビット6	説明
RSTOE	
0	リセット信号の外部出力を禁止 (初期値)
1	リセット信号の外部出力を許可

ビット5～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

12.2.4 レジスタ書換え時の注意

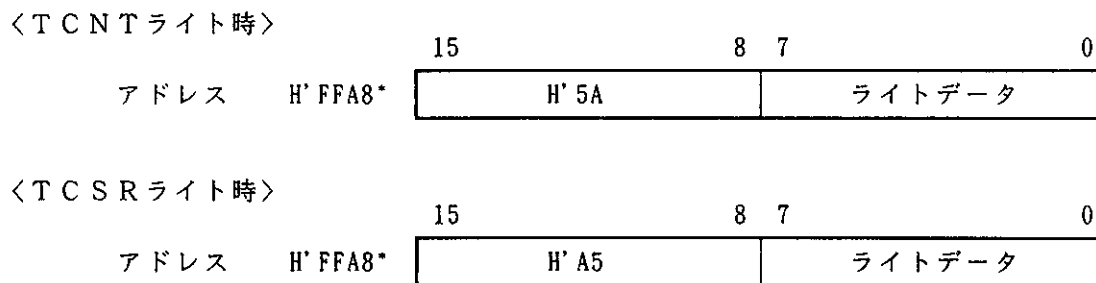
WDTのTCNT、TCSR、RSTCSRは、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード／ライトの方法を以下に示します。

(1) TCNT、TCSRへのライト

TCNT、TCSRへライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図12.2にTCNT、TCSRへのライトデータを示します。

ライト時のアドレスは、TCNT、TCSRとも同一アドレスになっています。そのため、TCNT、TCSRへライトするときは、下位バイトをライトデータに、上位バイトをH'5A (TCNTのとき) またはH'A5 (TCSRのとき) にしてワード転送を行います。

これにより、下位バイトのデータがTCNT、またはTCSRへライトされます。



【注】* アドレスの下位16ビットを示しています。

図12.2 TCNT、TCSRへのライトデータ

(2) RSTCSRへのライト

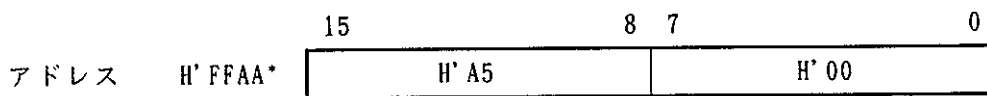
RSTCSRへライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図12.3にRSTCSRのライトデータを示します。

WRSTビットへ“0”をライトする場合、上位バイトをH'A5、下位バイトをH'00としてワード転送を行います。これにより、下位バイトのデータ（H'00）がRSTCSRのWRSTビットへライトされ、WRSTビットが“0”にクリアされます。

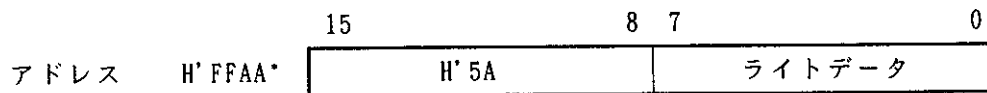
RSTOEビットへライトする場合、上位バイトをH'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータがRSTOEビットへライトされます。

〈WRSTビットへ“0”をライトするとき〉



〈RSTOEビットライト時〉



【注】* アドレスの下位16ビットを示しています。

図12.3 RSTCSRへのライトデータ

(3) TCNT、TCSR、RSTCSRのリード

TCNT、TCSR、RSTCSRをリードする場合、アドレスH'FFA8にTCSR、H'FFA9にTCNT、H'FFABにRSTCSRが割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表12.3にTCNT、TCSR、RSTCSRのリードを示します。

表12.3 TCNT、TCSR、RSTCSRのリード

アドレス*	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT
H'FFAB	RSTCSR

【注】* アドレスの下位16ビットを示しています。

12.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時のWDTの動作について説明します。

12.3.1 ウォッチドッグタイマ時の動作

図12.4にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSRのWT/ITビット、TMEビットをそれぞれ“1”にセットします。

プログラムではTCNTがオーバーフローする前に、ソフトウェアでTCNTの値を書き換えて（通常はH'00をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNTの値が書き換えられず、オーバーフローすると、518ステート期間、本LSI内部をリセットします。

WDTによるリセット信号は、RES0端子から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132ステート期間出力されます。外部への出力の許可/禁止は、RSTCSRのRSTOEビットによって選択します。

WDTによるリセットとRES端子によるリセットは、同一ベクタです。そのため、RES端子によるリセットか、WDTによるリセットかは、RSTCSRのWRSTビットをチェックすることによって判別してください。

また、RES端子によるリセットとWDTのオーバーフローによるリセットが同時に発生した場合は、RES端子によるリセットが優先されます。

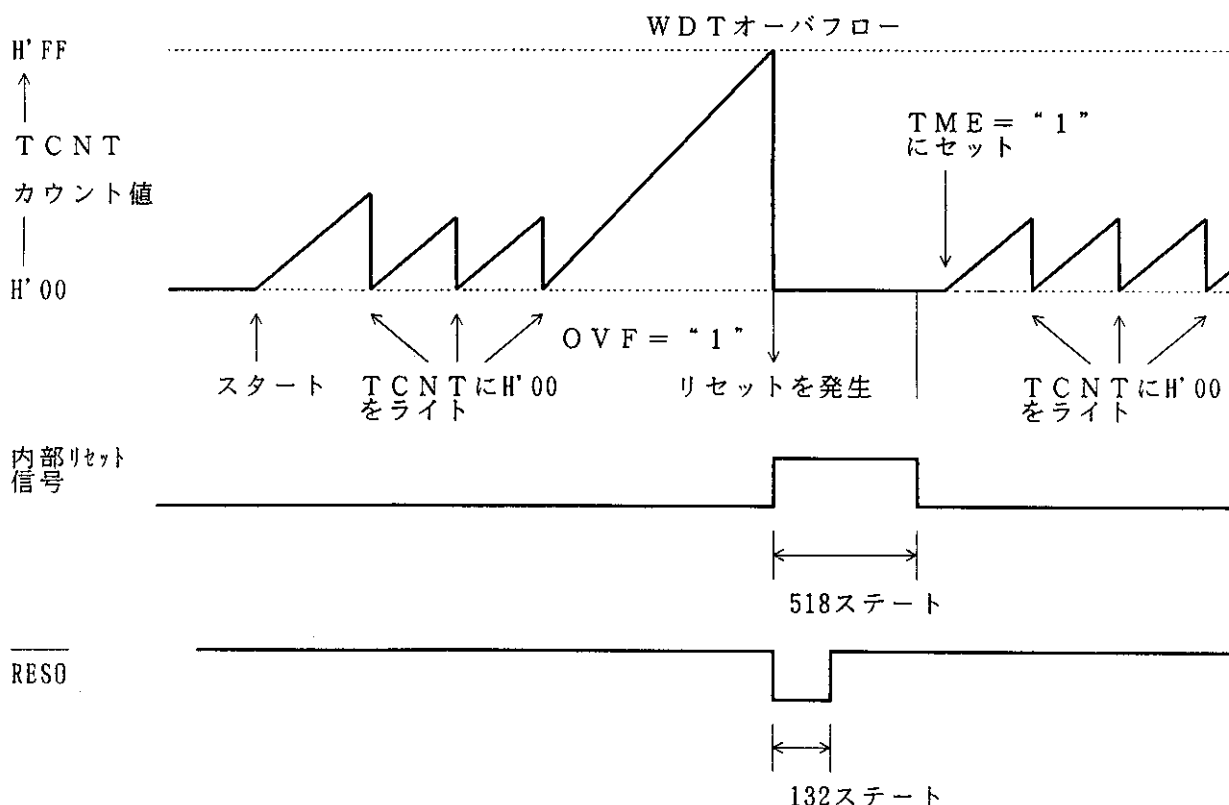


図12.4 ウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマ時の動作

図12.5にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSRのWT/ITビットを“0”にクリアし、TMEビットを“1”にセットします。

インターバルタイマとして動作しているときは、TCNTがオーバーフローするごとに、インターバルタイマ割込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割込みを発生させることができます。

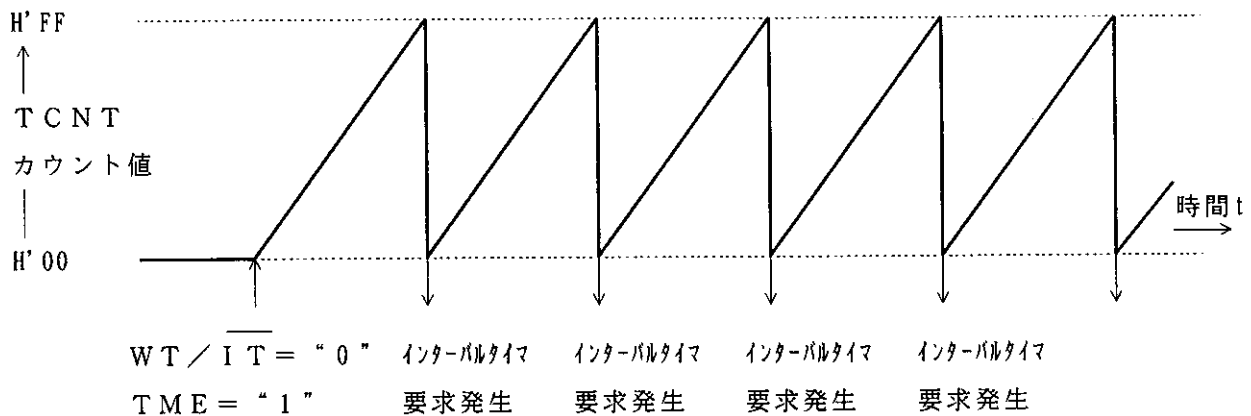


図12.5 インターバルタイマ時の動作

12.3.3 オーバフローフラグ (OVF) セットタイミング

図12.6にOVFフラグのセットタイミングを示します。

TCSRのOVFフラグは、TCNTがオーバーフローすると“1”にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割込みが発生します。

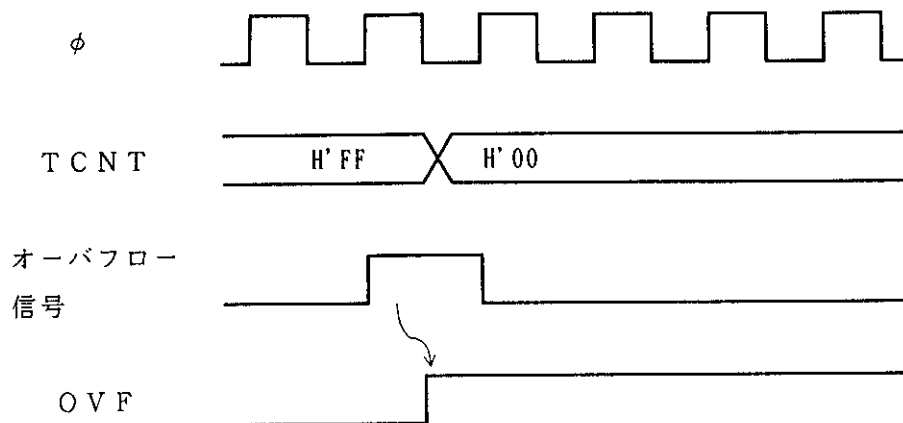


図12.6 OVFフラグのセットタイミング

12.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSRのWRSTビットは、TCSRのWT/ITビット、TMEビットをそれぞれ“1”にセットしたとき有効になります。

図12.7にWRSTビットのセット、および内部リセットタイミングを示します。

TCNTがオーバーフローして、OVFフラグが“1”にセットされたとき、WRSTビットは“1”にセットされます。このとき同時に、本LSI全体に対して内部リセット信号を発生します。この内部リセット信号でOVFフラグは“0”にクリアされますが、WRSTビットは“1”にセットされたままです。したがって、リセット処理ルーチンの中で、必ずWRSTビットのクリアを行ってください。

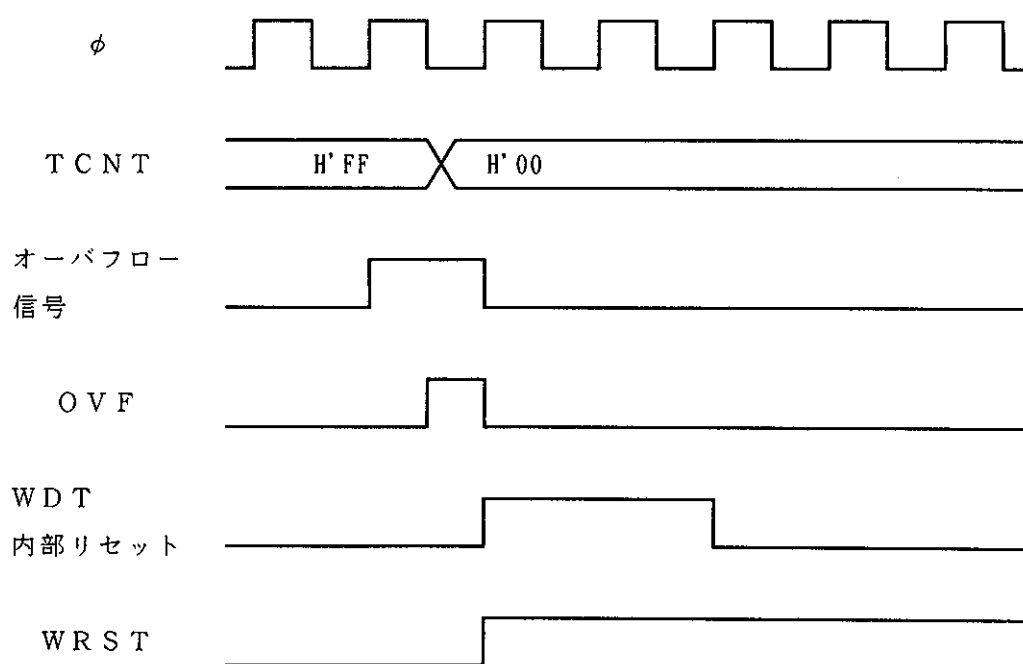


図12.7 WRSTビットのセットおよび内部リセットタイミング

12.4 割込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割込み（W O V I）が発生します。インターバルタイマ割込みはT C S RのO V Fフラグが“1”にセットされると常に要求されます。

12.5 使用上の注意

(1) T C N Tのライトとカウントアップの競合

図12.8にT C N Tのライトとカウントアップの競合を示します。

T C N Tのライトサイクル中のT₃ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

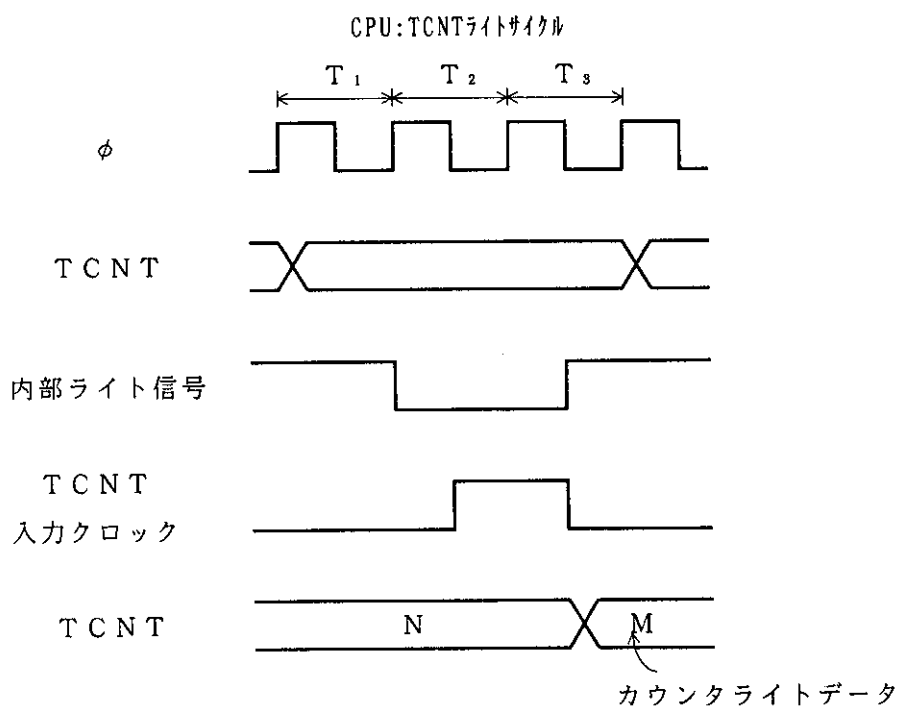


図12.8 T C N Tのライトとカウントアップの競合

(2) C K S 2 ~ C K S 0 ビットの切り換え

C K S 2 ~ C K S 0 ビットを切り換えるときは、T C S RのT M Eビットを“0”にクリアし、T C N Tを停止させてから行ってください。

13. シリアルコミュニケーション インタフェース

第13章 目次

13.1	概要	465
13.1.1	特長	465
13.1.2	ブロック図	467
13.1.3	端子構成	468
13.1.4	レジスタ構成	468
13.2	各レジスタの説明	469
13.2.1	レシーブシフトレジスタ (RSR)	469
13.2.2	レシーブデータレジスタ (RDR)	469
13.2.3	トランスミットシフトレジスタ (TSR)	470
13.2.4	トランスミットデータレジスタ (TDR)	470
13.2.5	シリアルモードレジスタ (SMR)	471
13.2.6	シリアルコントロールレジスタ (SCR)	475
13.2.7	シリアルステータスレジスタ (SSR)	479
13.2.8	ビットレートレジスタ (BRR)	484
13.3	動作説明	492
13.3.1	概要	492
13.3.2	調歩同期式モード時の動作	494
13.3.3	マルチプロセッサ通信機能	503
13.3.4	クロック同期式モード時の動作	510
13.4	SCI 割込み	520
13.5	使用上の注意	521

13.1 概要

H8/3003は、独立した2チャンネルのシリアルコミュニケーションインタフェース（S C I : Serial Communication Interface）を備えています。2チャンネルは、同一の機能を持っています。

S C Iは、調歩同期式通信とクロック同期式通信の2方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）を備えています。

13.1.1 特長

S C Iの特長を以下に示します。

■ シリアル通信モードを調歩同期式モード/クロック同期式モードから選択可能

(a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter（U A R T）やAsynchronous Communication Interface Adapter（A C I A）など標準の調歩同期式通信用L S Iとのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを12種類のフォーマットから選択できます。

- ・データ長：7ビット/8ビット
- ・ストップビット長：1ビット/2ビット
- ・パリティ：偶数パリティ/奇数パリティ/パリティなし
- ・マルチプロセッサビット：“1”/“0”
- ・受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出
- ・ブレークの検出：フレーミングエラー発生時にRxD端子のレベルを直接リードすることによりブレークを検出できます。

(b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のL S Iとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは1種類です。

- ・データ長：8ビット
- ・受信エラーの検出：オーバランエラーを検出

■ 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

■ 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

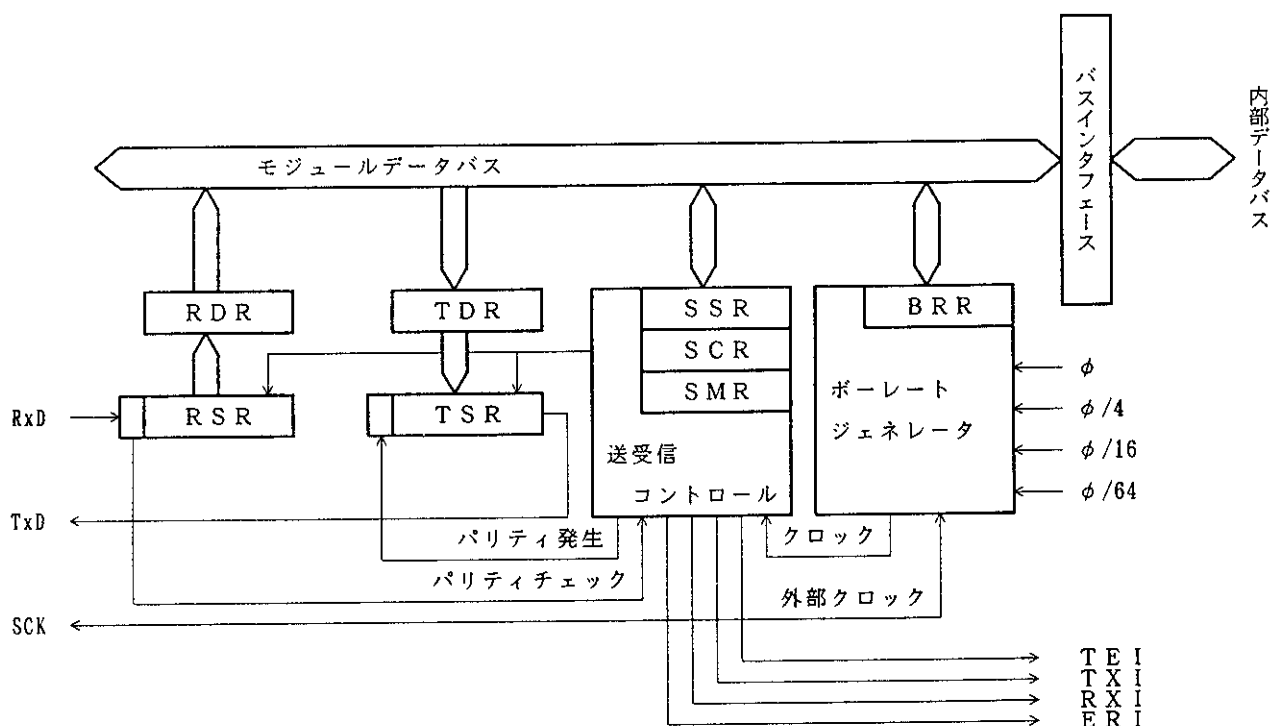
■ 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能

■ 4種類の割込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割込みと受信データフル割込みによりDMAコントローラ(DMAC)を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図13.1にS C Iのブロック図を示します。



《記号説明》

- R S R : レシーブシフトレジスタ
- R D R : レシーブデータレジスタ
- T S R : トランスミットシフトレジスタ
- T D R : トランスミットデータレジスタ
- S M R : シリアルモードレジスタ
- S C R : シリアルコントロールレジスタ
- S S R : シリアルステータスレジスタ
- B R R : ビットレートレジスタ

図13.1 S C Iのブロック図

13.1.3 端子構成

SCIは、チャンネルごとに表13.1に示すシリアル端子を持っています。

表13.1 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	シリアルクロック端子	SCK ₀	入出力	SCI ₀ のクロック入出力
	レシーブデータ端子	RxD ₀	入力	SCI ₀ の受信データ入力
	トランスミットデータ端子	TxD ₀	出力	SCI ₀ の送信データ出力
1	シリアルクロック端子	SCK ₁	入出力	SCI ₁ のクロック入出力
	レシーブデータ端子	RxD ₁	入力	SCI ₁ の受信データ入力
	トランスミットデータ端子	TxD ₁	出力	SCI ₁ の送信データ出力

13.1.4 レジスタ構成

SCIには、表13.2に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。

表13.2 レジスタ構成

チャンネル	アドレス* ¹	名 称	略 称	R/W	初期値
0	H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFB4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFB5	レシーブデータレジスタ	RDR	R	H'00
1	H'FFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBC	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
	H'FFBD	レシーブデータレジスタ	RDR	R	H'00

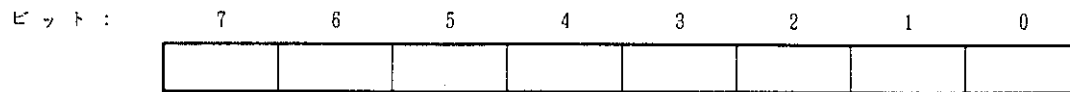
【注】*¹ アドレスの下位16ビットを示しています。

*² フラグをクリアするための“0”ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

RSRは、シリアルデータを受信するためのレジスタです。



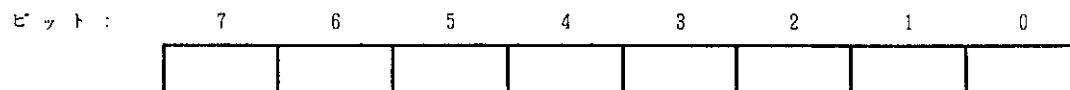
R/W： — — — — — — —

SCIは、RSRにRxD端子から入力されたシリアルデータをLSB（ビット0）から受信した順にセットし、パラレルデータに変換します。1バイトのデータ受信を終了すると、データは自動的にRDRへ転送されます。

CPUからRSRを直接リード/ライトすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

RDRは、受信したシリアルデータを格納するレジスタです。



初期値： 0 0 0 0 0 0 0 0

R/W： R R R R R R R R

SCIは、1バイトのシリアルデータの受信が終了すると、RSRからRDRへ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSRは受信可能になります。

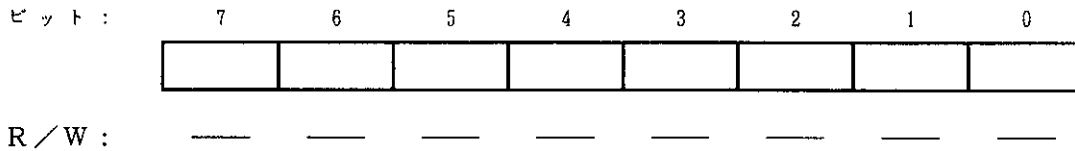
このように、RSRとRDRはダブルバッファになっているため連続した受信動作が可能です。

RDRは、リード専用レジスタですのでCPUからライトすることはできません。

RDRは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

13.2.3 トランスミットシフトレジスタ (TSR)

TSRは、シリアルデータを送信するためのレジスタです。



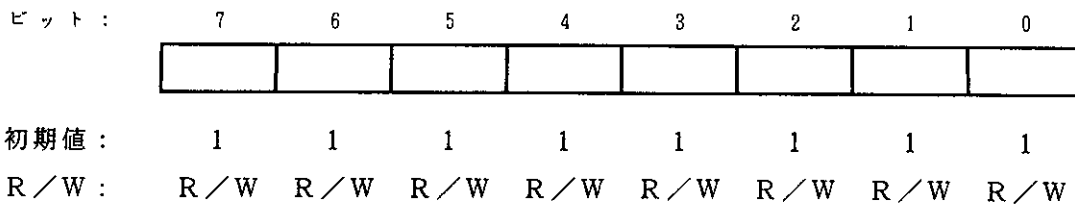
SCIは、TDRから送信データを一旦TSRに転送し、LSB（ビット0）から順にTxD端子に送り出すことでシリアルデータ送信を行います。

1バイトのデータ送信を終了すると自動的にTDRからTSRへ次の送信データを転送し、送信を開始します。ただしSSRのTDREビットが“1”にセットされている場合には、TDRからTSRへのデータ転送は行いません。

CPUから、直接TSRをリード/ライトすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

TDRは、シリアル送信するデータを格納する8ビットのレジスタです。



SCIは、TSRの空を検出すると、TDRにライトされた送信データをTSRに転送してシリアル送信を開始します。TSRのシリアルデータ送信中にTDRに次の送信データをライトしておくと、連続シリアル送信ができます。

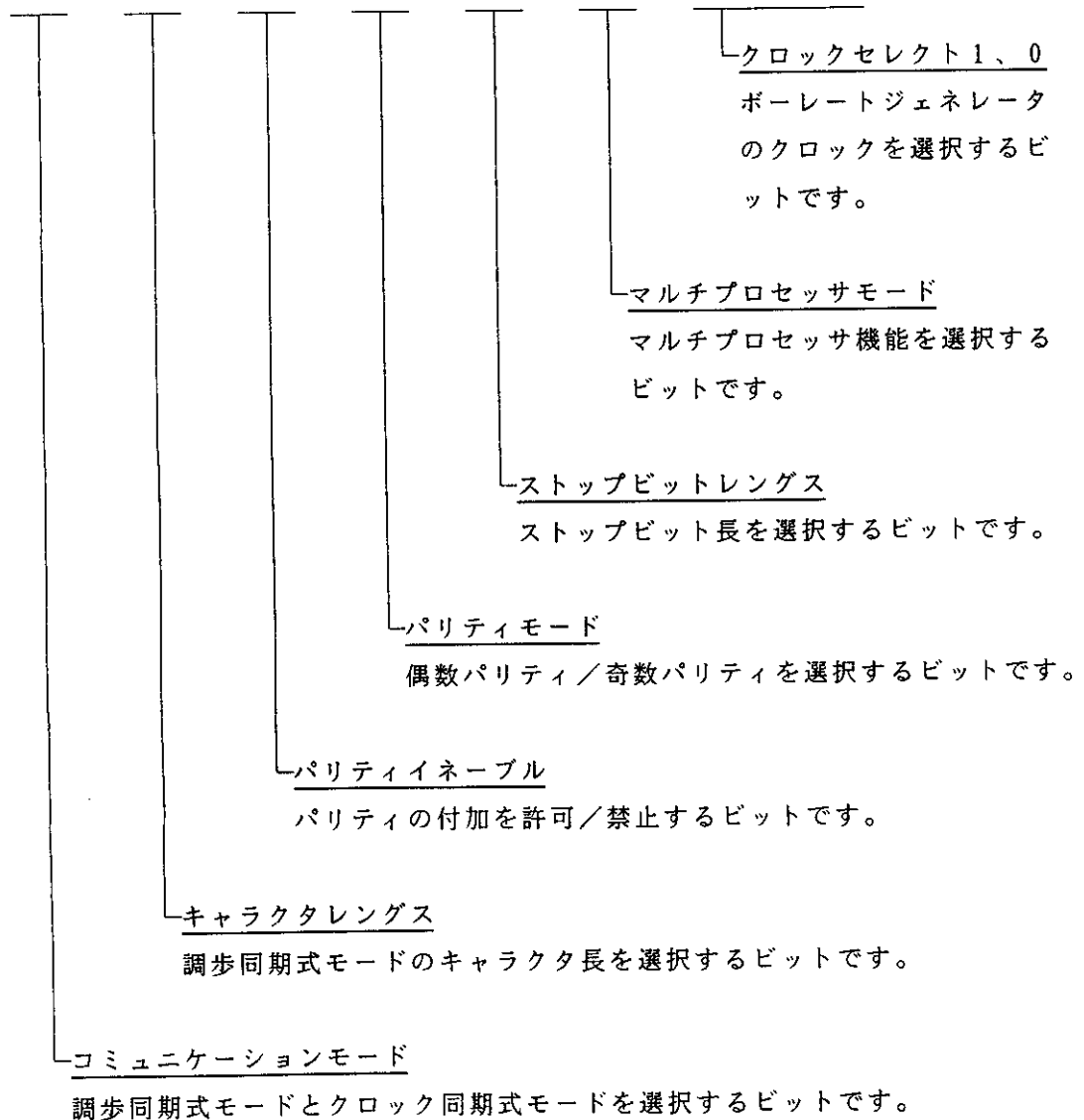
TDRは、常にCPUによるリード/ライトが可能です。

TDRは、リセット、またはスタンバイモード時にH'FFにイニシャライズされます。

13.2.5 シリアルモードレジスタ (SMR)

SMRは、SCIのシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



SMRは、常にCPUによるリード/ライトが可能です。

SMRは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：コミュニケーションモード (C/ \overline{A})

SCIの動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット7	説 明	
C/ \overline{A}		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

ビット6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説 明	
CHR		
0	8ビットデータ	(初期値)
1	7ビットデータ*	

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説 明	
PE		
0	パリティビットの付加、およびチェックを禁止	(初期値)
1	パリティビットの付加、およびチェックを許可*	

【注】* PEビットに“1”をセットすると送信時には、O/ \overline{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ \overline{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ／奇数パリティのいずれで行うかを選択します。

O/Eビットの設定は、調歩同期式モードでPEビットに“1”を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説	明
O/E		
0	偶数パリティ* ¹	(初期値)
1	奇数パリティ* ²	

【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット／2ビットのいずれかから選択します。

STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説	明
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】*¹ 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が“1”の場合は、ストップビットとして扱いますが、“0”の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（CKS1、0）

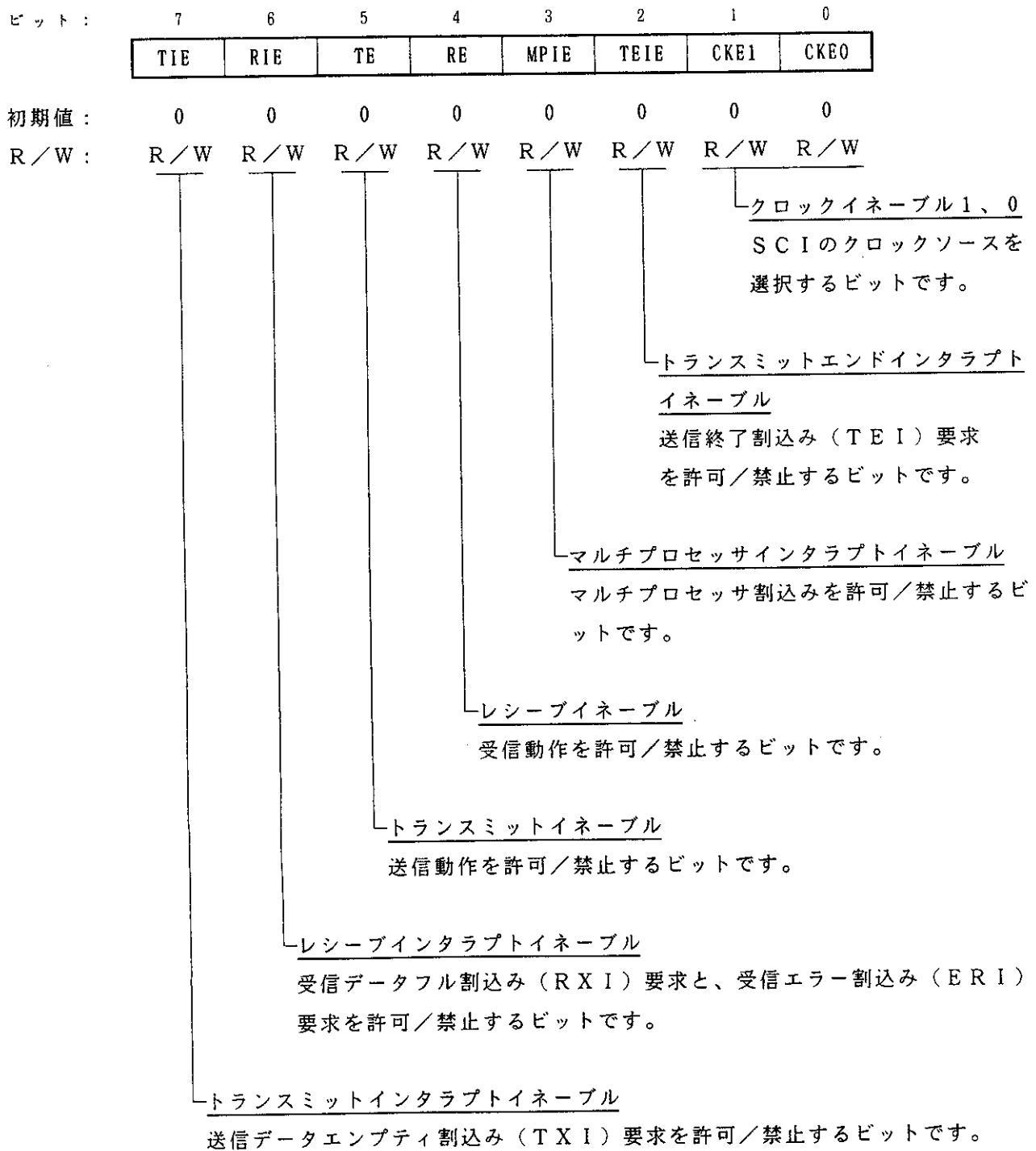
内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、0ビットの設定により ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「13.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
0	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
1	1	$\phi/64$ クロック

13.2.6 シリアルコントロールレジスタ (SCR)

SCRは、SCIの送信/受信動作、調歩同期式モードでのシリアルクロック出力、割込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。



SCRは、常にCPUによるリード/ライトが可能です。

SCRは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TDRからTSRへシリアル送信データが転送されSSRのTDREフラグが“1”にセットされたときに、送信データエンプティ割込み（TXI）要求の発生を許可／禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割込み（TXI）要求の禁止*（初期値）
1	送信データエンプティ割込み（TXI）要求の許可

【注】* TXI割込み要求の解除は、TDREフラグから“1”をリードした後、“0”にクリアするか、またはTIEビットを“0”にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データがRSRからRDRへ転送されてSSRのRDRFフラグが“1”にセットされたとき、受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求の発生を許可／禁止します。

ビット6	説明
RIE	
0	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を禁止*（初期値）
1	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を許可

【注】* RXI、およびERI割込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから“1”をリードした後、“0”にクリアするか、RIEビットを“0”にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCIのシリアル送信動作の開始を許可／禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ （初期値）
1	送信動作を許可* ²

【注】*¹ SSRのTDREフラグは“1”に固定されます。

*² この状態で、TDRに送信データをライトして、SSRのTDREフラグを“0”にクリアするとシリアル送信を開始します。

なお、TEビットを“1”にセットする前に必ずSMRの設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCIのシリアル受信動作の開始を許可／禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】*¹ REビットを“0”にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、REビットを“1”にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割込みを許可／禁止します。MPIEビットの設定は、調歩同期式モードで、かつ、SMRのMPビットが“1”に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいはMPビットが“0”のときにはMPIEビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割込み禁止状態（通常の実受信動作をします） (初期値) 〔クリア条件〕 (1) MPIEビットを“0”にクリア (2) MPB = “1”のデータを受信したとき
1	マルチプロセッサ割込み許可状態* マルチプロセッサビットが“1”のデータを受け取るまで受信割込み(RXI)要求、受信エラー割込み(ERI)要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB = “1”を含む受信データを受信すると、SSRのMPBビットを“1”にセットし、MPIEビットを自動的に“0”にクリアし、RXI、ERI割込み要求の発生（SCRのTIE、RIEビットが“1”にセットされている場合）とFER、ORERフラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSBデータ送出時に有効な送信データがTDRにないとき、送信終了割込み（TEI）要求の発生を許可／禁止します。

ビット2	説明	
TEIE		
0	送信終了割込み（TEI）要求を禁止*	（初期値）
1	送信終了割込み（TEI）要求を許可*	

【注】* TEIの解除は、SSRのTDREフラグから“1”をリードした後、“0”にクリアしてTENDフラグを“0”にクリアするか、TEIEビットを“0”にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0（CKE1、0）

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可／禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作（CKE1＝“0”）時のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE＝“1”）の場合はCKE0ビットの設定は無効です。また、SMRでSCIの動作モードを決定したのち、CKE1、CKE0の設定を行ってください。

SCIのクロックソースの選択についての詳細は「13.3 動作説明」の表13.9を参照してください。

ビット1	ビット0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック／SCK端子は入出力ポート* ¹
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力* ¹
0	1	調歩同期式モード	内部クロック／SCK端子はクロック出力* ²
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック／SCK端子はクロック入力* ³
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力
1	1	調歩同期式モード	外部クロック／SCK端子はクロック入力* ³
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力

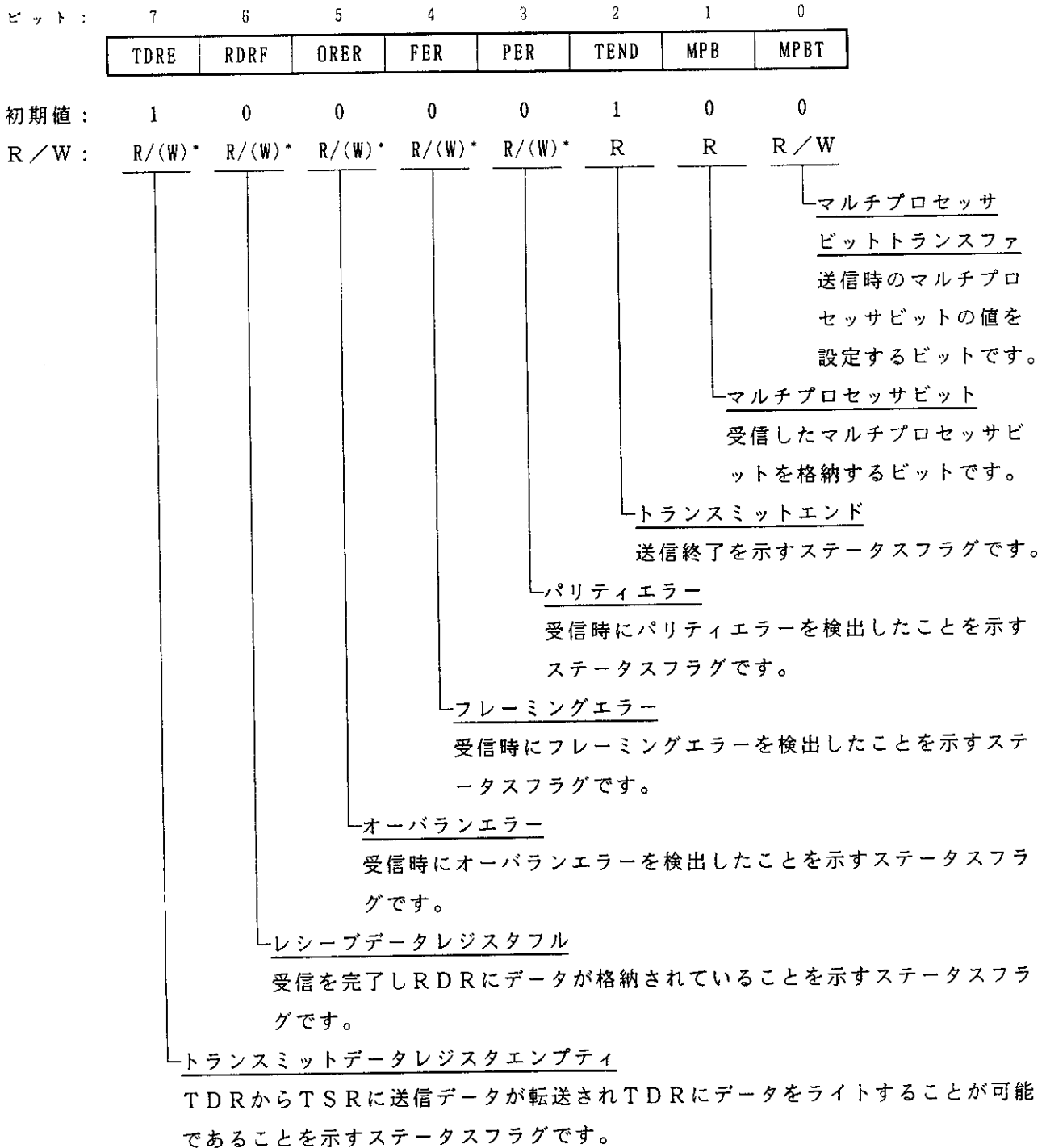
【注】*¹ 初期値

*² ビットレートと同じ周波数のクロックを出力

*³ ビットレートの16倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。



【注】* フラグをクリアするための“0”ライトのみ可能です。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ“1”をライトすることはできません。また、これらを“0”にクリアするためには、あらかじめ“1”をリードしておく必要があります。また、TENDフラグ、およびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、またはスタンバイモード時にH'84にイニシャライズされます。

ビット7：トランスミットデータレジスタEMPTY (TDRE)

TDRからTSRにデータ転送が行われTDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	TDRに有効な送信データがライトされていることを表示 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、“0”をライトしたとき (2) DMACでTDRへデータをライトしたとき
1	TDRに有効な送信データがないことを表示 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが“0”のとき (3) TDRからTSRにデータ転送が行われTDRにデータライトが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがRDRに格納されていることを示します。

ビット6	説明
RDRF	
0	RDRに受信データが格納されていないことを表示 (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) RDRF = “1”の状態をリードした後、“0”をライトしたとき (3) DMACでRDRのデータをリードしたとき
1	RDRに受信データが格納されていることを表示 〔セット条件〕 シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCRのREビットを“0”にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。

RDRFフラグが“1”にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（O R E R）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説 明
O R E R	
0	受信中、または正常に受信を完了したことを表示 (初期値) ^{*1} [クリア条件] (1) リセット、またはスタンバイモード時 (2) O R E R = “1” の状態をリードした後、“0”をライトしたとき
1	受信時にオーバランエラーが発生したことを表示 ^{*2} [セット条件] R D R F = “1” の状態で次のシリアル受信を完了したとき

【注】^{*1} S C RのR Eビットを“0”にクリアしたときには、O R E Rフラグは影響を受けず以前の状態を保持します。

^{*2} R D Rではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、O R E R = “1”にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー（F E R）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説 明
F E R	
0	受信中、または正常に受信を完了したことを表示 (初期値) ^{*1} [クリア条件] (1) リセット、またはスタンバイモード時 (2) F E R = “1” の状態をリードした後、“0”をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] S C Iが受信終了時に受信データの最後尾のストップビットが“1”であるかどうかをチェックし、ストップビットが“0”であったとき ^{*2}

【注】^{*1} S C RのR Eビットを“0”にクリアしたときには、F E Rフラグは影響を受けず以前の状態を保持します。

^{*2} 2ストップビットモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはR D Rに転送されますが、R D R Fフラグはセットされません。さらに、F E Rフラグが“1”にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = “1” の状態をリードした後、“0”をライトしたとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/ \bar{E} ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】*¹ SCRのREビットを“0”にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが“1”にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = “1” の状態をリードした後、TDREフラグに“0”をライトしたとき (2) DMACでTDRヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが“0”のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = “1”であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPBビットは、リード専用であり、ライトすることはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが“0”のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが“1”のデータを受信したことを表示

【注】* マルチプロセッサフォーマットでREビットを“0”にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

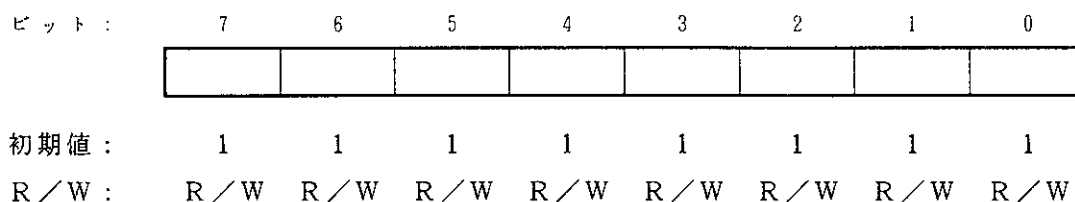
調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが“0”のデータを送信 (初期値)
1	マルチプロセッサビットが“1”のデータを送信

13.2.8 ビットレートレジスタ (BRR)

BRRは、SMRのCKS1、CKS0ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する8ビットのレジスタです。



BRRは、常にCPUによるリード/ライトが可能です。

BRRは、リセット、またはスタンバイモード時にH'FFにイニシャライズされます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表13.3に調歩同期式モードのBRRの設定例を表13.4にクロック同期式モードのBRRの設定例を示します。

表13.3 . ビットレートに対するBRRの設定例〔調歩同期式モード〕(i)

φ (MHz) ビットレート (bit/s)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	-	-	-

φ (MHz) ビットレート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

表13.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(2)

ϕ (MHz) ビットレート (bit/s)	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ϕ (MHz) ビットレート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

表13.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(3)

ϕ (MHz) ビットレート (bit/s)	14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	181	0.16	2	191	0.00	2	207	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	10	3.57	0	11	0.00	0	12	0.16

表13.4 ビットレートに対するBRRの設定例〔クロック同期式モード〕

ビットレート (bit/s)	2		4		8		10		16	
	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	249
500	1	249	2	124	2	249	-	-	3	124
1k	1	124	1	249	2	124	-	-	2	249
2.5k	0	199	1	99	1	199	1	249	2	99
5k	0	99	0	199	1	99	1	124	1	199
10k	0	49	0	99	0	199	0	249	1	99
25k	0	19	0	39	0	79	0	99	0	159
50k	0	9	0	19	0	39	0	49	0	79
100k	0	4	0	9	0	19	0	24	0	39
250k	0	1	0	3	0	7	0	9	0	15
500k	0	0*	0	1	0	3	0	4	0	7
1M			0	0*	0	1	-	-	0	3
2M					0	0*	-	-	0	1
2.5M					-	-	0	0*	-	-
4M									0	0*

【注】 誤差は、なるべく1%以内になるように設定してください。

《記号説明》

空欄：設定できません。

-：設定可能ですが誤差がでます。

*：連続送信／受信はできません。

BRRの設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2^{n-1}} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2^{n-1}} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータのBRRの設定値 (0 ≤ N ≤ 255)

φ：動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMRの設定値	
		CKS 1	CKS 0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^5}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表13.5に調歩同期式モードの各周波数における最大ビットレートを示します。また、表13.6～表13.7に外部クロック入力時の最大ビットレートを示します。

表13.5 各周波数における最大ビットレート（調歩同期式モード）

ϕ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0

表13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000

表13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7

13.3 動作説明

13.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMRで行います。これを表13.8に示します。また、SCIのクロックソースは、SMRのC/AビットおよびSCRのCKE1、CKE0ビットの組合わせでまります。これを表13.9に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット／2ビットのストップビットの付加を選択可能（これらの組合わせにより送信／受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレイクの検出が可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能
 - ・ 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - ・ 外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能
 - ・ 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - ・ 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表13.8 SMRの設定値とシリアル送信/受信フォーマット

SMRの設定値					モード	SCIの送信/受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長		
C/ \bar{A}	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0					0	1ビット	
									1	2ビット	
			1	1					0	1ビット	
									1	2ビット	
	1	1	1	0		0	7ビットデータ	なし	なし	1ビット	
						1				2ビット	
				0		1				0	1ビット
										1	2ビット
				0		0				0	1ビット
										1	2ビット
1	1	0	1ビット								
		1	2ビット								
1	-	-	-	-	クロック同期式モード	8ビットデータ	なし	なし	なし		

表13.9 SMR、SCRの設定とSCIのクロックソースの選択

SMR	SCRの設定		モード	SCIの送信/受信クロック	
	ビット7	ビット1		クロックソース	SCK端子の機能
	C/ \bar{A}	CKE1			
0	0	0	調歩同期式モード	内部	SCIは、SCK端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの16倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図13.2に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（“High”レベル）に保たれています。SCIは通信回線を監視し、スペース（“Low”レベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（“Low”レベル）から始まり、データ（LSBファースト：最下位ビットから）、パリティビット（“High”／“Low”レベル）、最後にストップビット（“High”レベル）の順で構成されています。

調歩同期式モードでは、SCIは受信時にスタートビットの立下がりエッジで同期化を行います。またSCIは、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

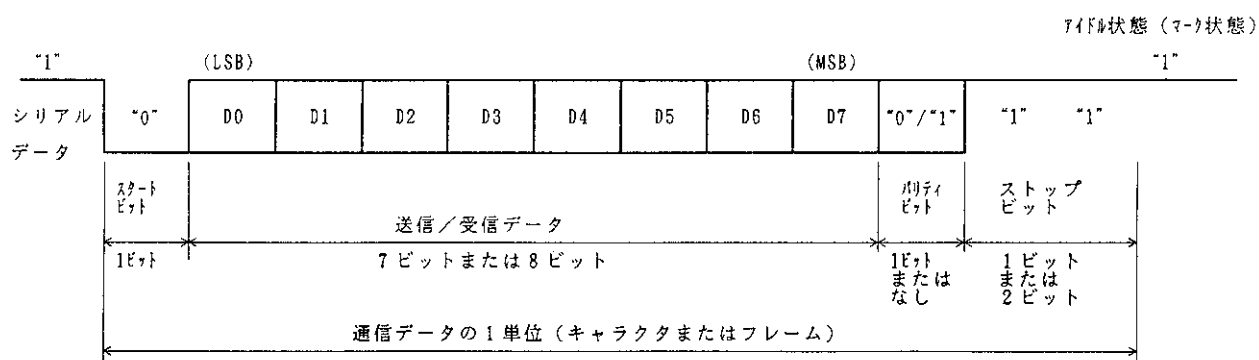


図13.2 調歩同期式通信のデータフォーマット
(8ビットデータ／パリティあり／2ストップビットの例)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表13.10に示します。
送信／受信フォーマットは12種類あり、SMRの選定により選択できます。

表13.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S [8ビットデータ] STOP											
0	0	0	1	S [8ビットデータ] STOP STOP											
0	1	0	0	S [8ビットデータ] P STOP											
0	1	0	1	S [8ビットデータ] P STOP STOP											
1	0	0	0	S [7ビットデータ] STOP											
1	0	0	1	S [7ビットデータ] STOP STOP											
1	1	0	0	S [7ビットデータ] P STOP											
1	1	0	1	S [7ビットデータ] P STOP STOP											
0	-	1	0	S [8ビットデータ] MPB STOP											
0	-	1	1	S [8ビットデータ] MPB STOP STOP											
1	-	1	0	S [7ビットデータ] MPB STOP											
1	-	1	1	S [7ビットデータ] MPB STOP STOP											

《記号説明》

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表13.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロック立上がりエッジがくるようになります。

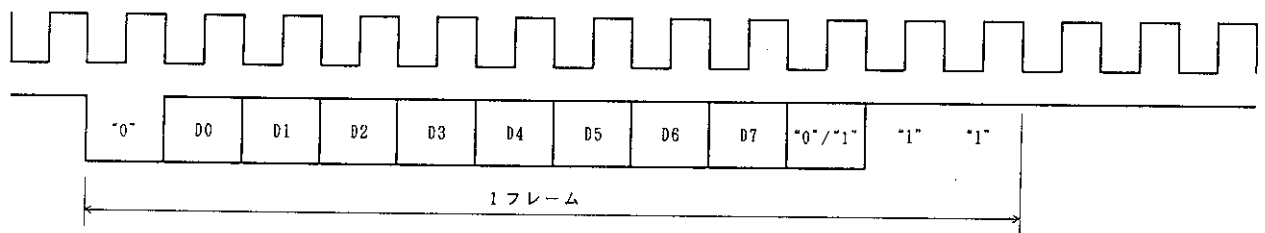


図13.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信／受信動作

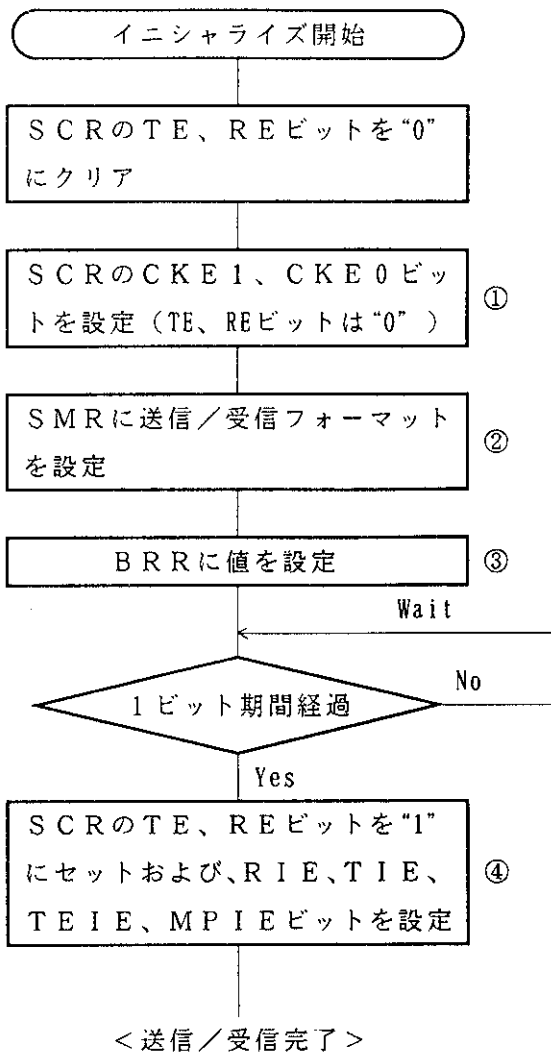
■ SCIのイニシャライズ（調歩同期式）

データの送信／受信前には、まずSCRのTE、REビットを“0”にクリアした後、以下の順でSCIをイニシャライズしてください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを“0”にクリアしてから次の手順で変更を行ってください。TEビットを“0”にクリアするとTDREフラグは“1”にセットされ、TSRがイニシャライズされます。REビットを“0”にクリアしても、RDRF、PER、FER、ORERの各フラグおよび、RDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

図13.4にSCIのイニシャライズフローチャートの例を示します。



① SCRにクロックの選択を設定してください。

なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず、“0”にクリアしてください。

調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、ただちに出力されます。

② SMRに送信／受信フォーマットを設定します。

③ BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。

④ 少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを“1”にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。

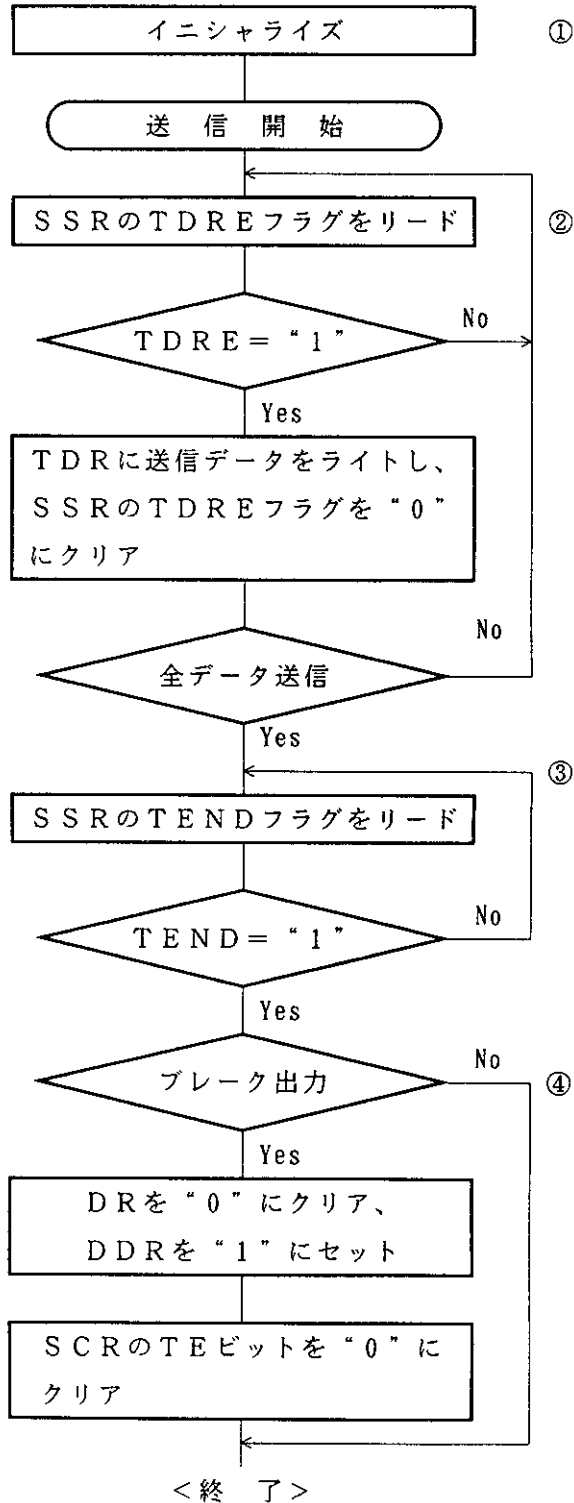
TE、REビットを設定することによりTxD、RxD端子が使用可能となります。

図13.4 SCIのイニシャライズフローチャートの例

■ シリアルデータ送信（調歩同期式）

図13.5にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。



① SCIをイニシャライズ：

TxD端子は自動的に送信データ出力端子になります。

② SCIの状態を確認して、送信データをライト：

SSRをリードして、TDREフラグが“1”であることを確認した後、TDRに送信データをライトし、TDREフラグを“0”にクリアします。

③ シリアル送信の継続手順：

シリアル送信を続けるときには、TDREフラグの“1”をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを“0”にクリアしてください。ただし、送信データエンベティ割込み（TXI）要求でDMACを起動し、TDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

④ シリアル送信の終了時にブレークを出力：

シリアル送信時にブレークを出力するときには、ポートのDDRを“1”にセット、DRを“0”にクリアした後にSCRのTEビットを“0”にクリアします。

図13.5 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

- ① SCIは、SSRのTDREフラグを監視し、“0”であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- ② TDRからTSRへデータを転送した後にTDREフラグを“1”にセットし、送信を開始します。

このとき、SCRのTIEビットが“1”にセットされていると送信データエンプティ割込み(TXI)要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの“0”が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。
 なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビット／2ビットの“1”（ストップビット）が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで“1”を出力し続けます。

- ③ SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。TDREフラグが“0”であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDREフラグが“1”であるとSSRのTENDフラグに“1”をセットし、ストップビットを送り出した後、“1”を出力する“マーク状態”になります。このときSCRのTIEビットが“1”にセットされているとTEI割込み要求を発生します。

調歩同期式モードでの送信時の動作例を図13.6に示します。

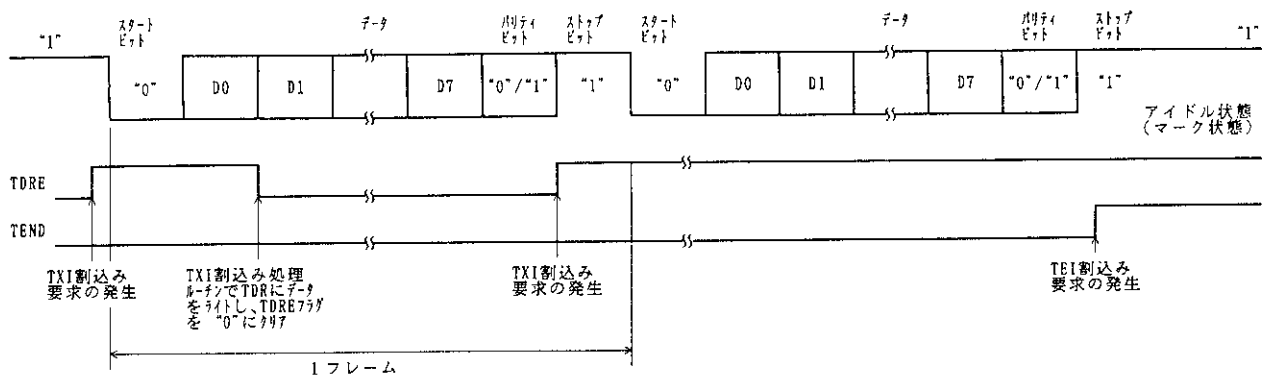


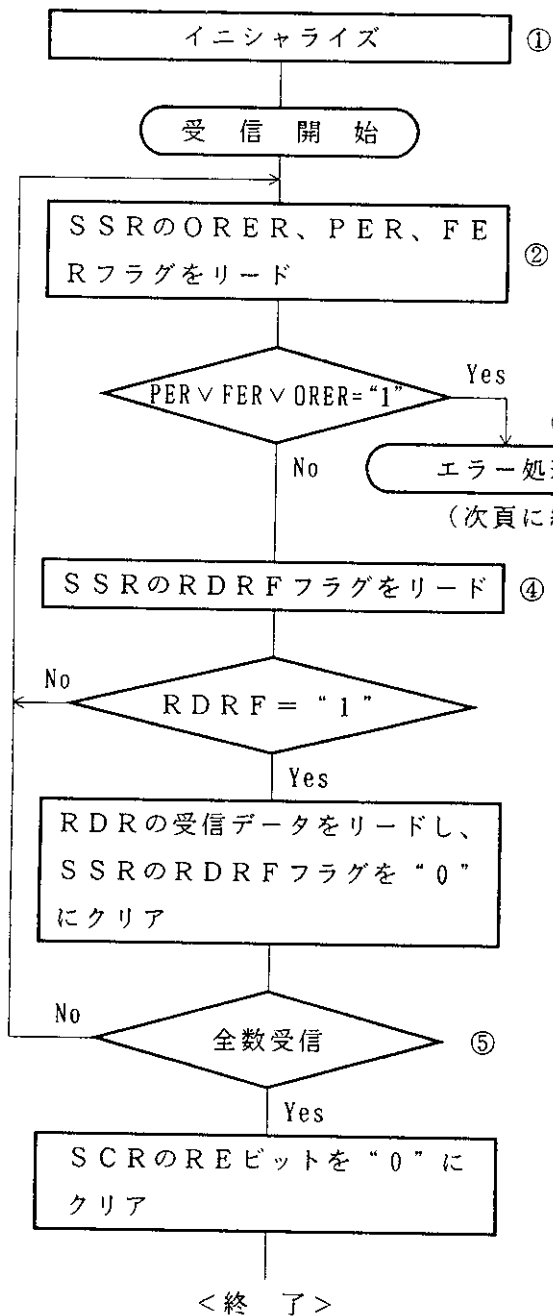
図13.6 調歩同期式モードでの送信時の動作例

(8ビットデータ／パリティあり／1ストップビットの例)

■ シリアルデータ受信（調歩同期式）

図13.7にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。



① SCIのイニシャライズ：

RxD端子は自動的に受信データ入力端子になります。

②③ 受信エラー処理とブレークの検出：

受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて“0”にクリアしてください。ORER、PER、FERフラグのいずれかが“1”にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。

④ SCIの状態を確認して受信データのリード：

SSRをリードして、RDRF = “1”であることを確認した後、RDRの受信データをリードし、RDRFフラグを“0”にクリアします。RDRFフラグが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。

⑤ シリアル受信の継続手順：

シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを“0”にクリアしておいてください。

ただし、RXI割込みでDMACを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

図13.7 シリアル受信データフローチャートの例(1)

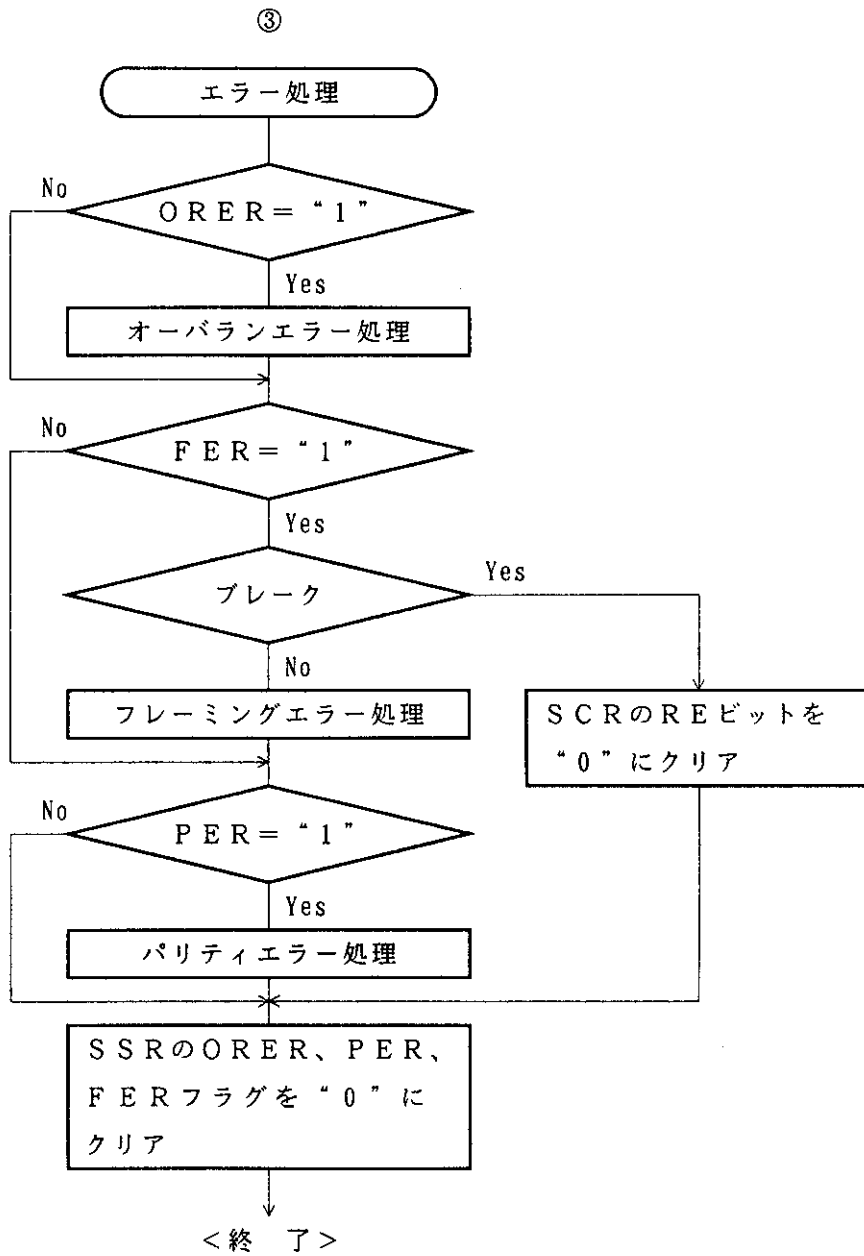


図13.7 シリアル受信データフローチャートの例(2)

SCIは受信時に以下のように動作します。

- ① SCIは通信回線を監視し、スタートビットの“0”を検出すると内部を同期化し、受信を開始します。
- ② 受信したデータをRSRのLSBからMSBの順に格納します。
- ③ パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの“1”の数をチェックし、これがSMRのO/Eビットで設定した偶数／奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが“1”であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが“1”にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラー*が発生すると表13.11のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時にRDRFフラグが“1”にセットされませんので、必ずエラーフラグを“0”にクリアしてください。

- ④ RDRFフラグが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信データフル割込み（RXI）要求が発生します。
また、ORER、PER、FERフラグのいずれかが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信エラー割込み（ERI）要求が発生します。

表13.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFフラグが“1”にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが“0”のとき	RSRからRDRに受信データは転送されません。
パリティエラー	PER	SMRで設定した偶数／奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されません。

調歩同期式モード受信時の動作例を図13.8に示します。

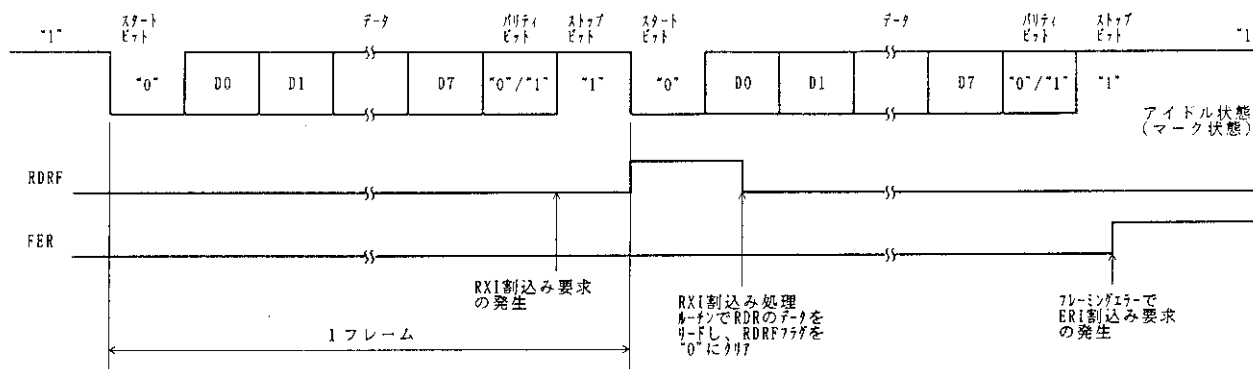


図13.8 SCIの受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定するID送信サイクルとデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局のIDを、マルチプロセッサビット“1”を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット“0”を付加したデータにして送信します。

受信局は、マルチプロセッサビット“1”のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット“1”のデータを受信したとき、受信局は自局のIDと比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット“1”のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図13.9にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信／受信フォーマット

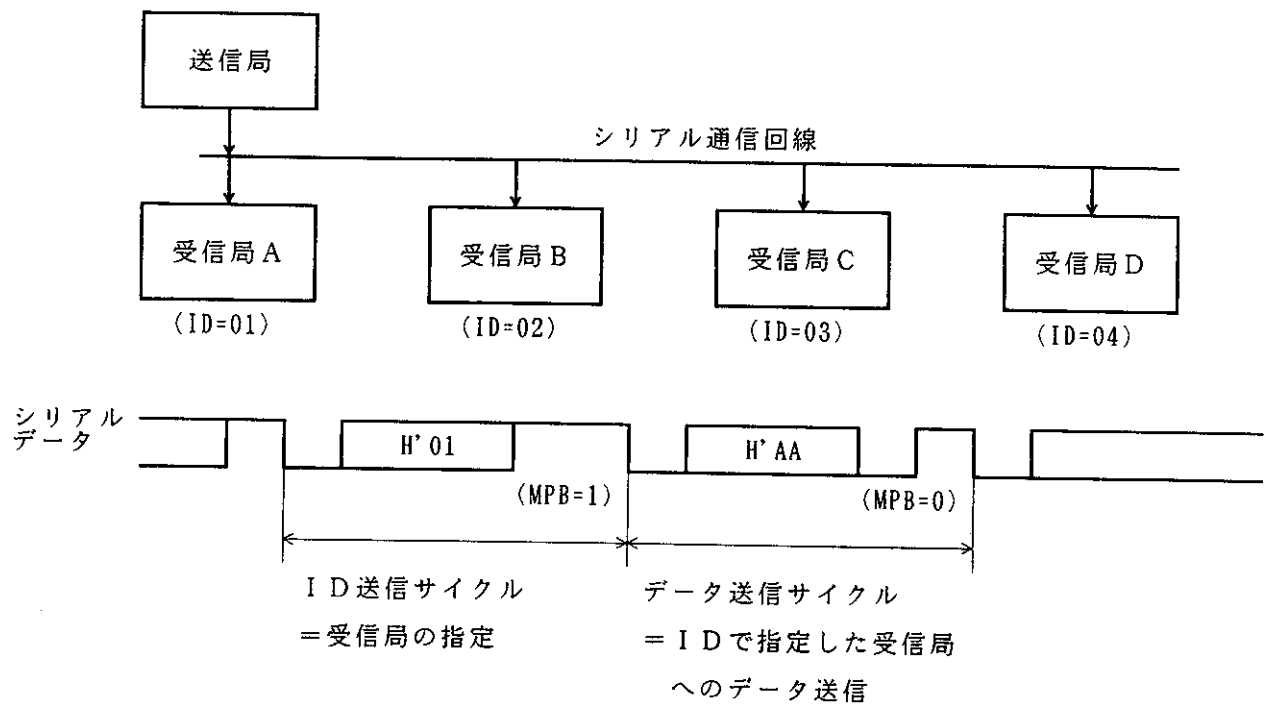
送信／受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表13.10を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。



《記号説明》

MPB : マルチプロセッサビット

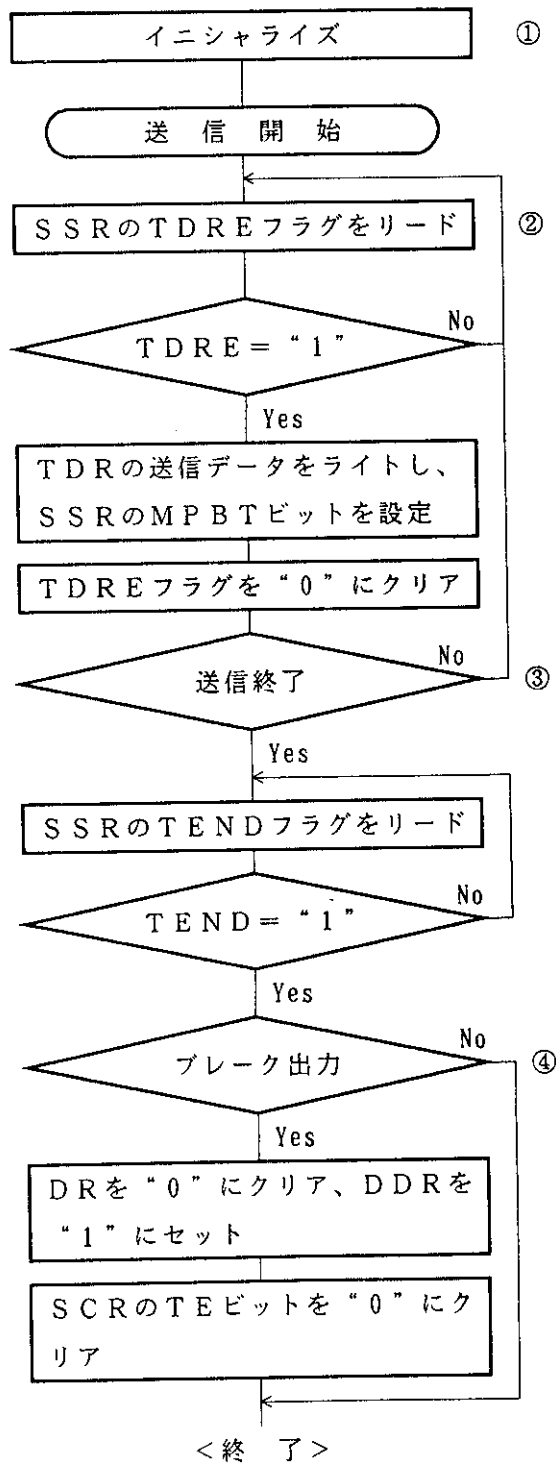
図13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信／受信動作

■ マルチプロセッサシリアルデータ送信

図13.10にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。



① SCIのイニシャライズ：

TxD端子は自動的に送信データ出力端子になります。

② SCIの状態を確認して、送信データをライト：

SSRをリードして、TDREフラグが“1”であることを確認した後、TDRに送信データをライトします。

また、SSRのMPBTビットを“0”、または“1”に設定します。

最後にTDREフラグを“0”にクリアしてください。

③ シリアル送信の継続手順：

シリアル送信を続けるときには、必ずTDREフラグの“1”をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを“0”にクリアしてください。

ただし、送信データエンパティ割込み(TXI)要求でDMACを起動しTDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

④ シリアル送信の終了時にブレイクを出力：

シリアル送信時にブレイクを出力するときには、ポートのDDRを“1”にセットし、DRを“0”にクリアした後にSCRのTEビットを“0”にクリアします。

図13.10 マルチプロセッサシリアル送信のフローチャートの例

SCIは、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、“0”であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを“1”にセットし、送信を開始します。
このとき、SCRのTIEビットが“1”にセットされていると送信データエンプティ割込み(TXI)要求を発生します。

シリアル送信データは、以下の順にTxD端子から送りだされます。

- (a) スタートビット：1ビットの“0”が出力されます。
 - (b) 送信データ：8ビット/7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット(MPBTの値)が出力されます。
 - (d) ストップビット：1ビット/2ビットの“1”(ストップビット)が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで“1”を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが“0”であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDREフラグが“1”であるとSSRのTENDフラグを“1”にセットし、ストップビットを送り出した後、“1”を出力するマーク状態になります。このときSCRのTIEビットが“1”にセットされていると送信終了割込み(TEI)要求を発生します。

図13.11にマルチプロセッサフォーマットのSCIの送信時の動作例を示します。

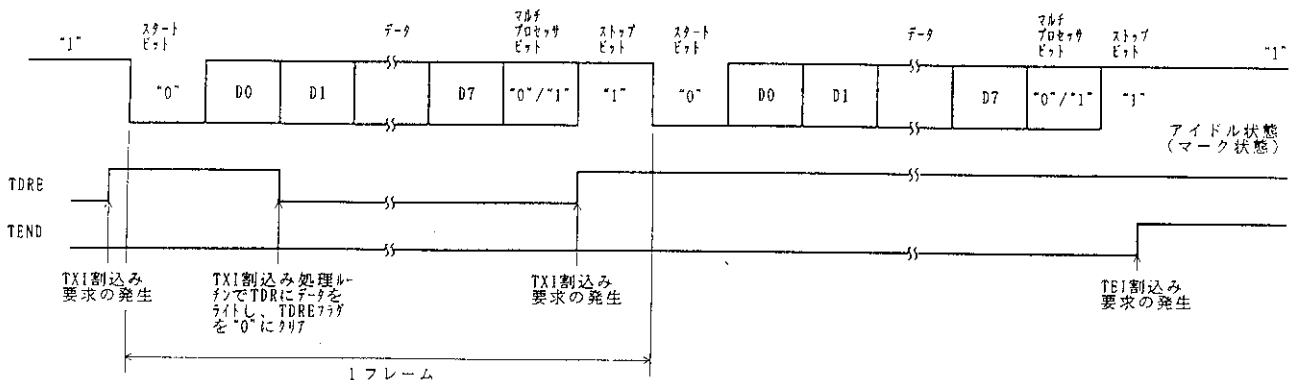
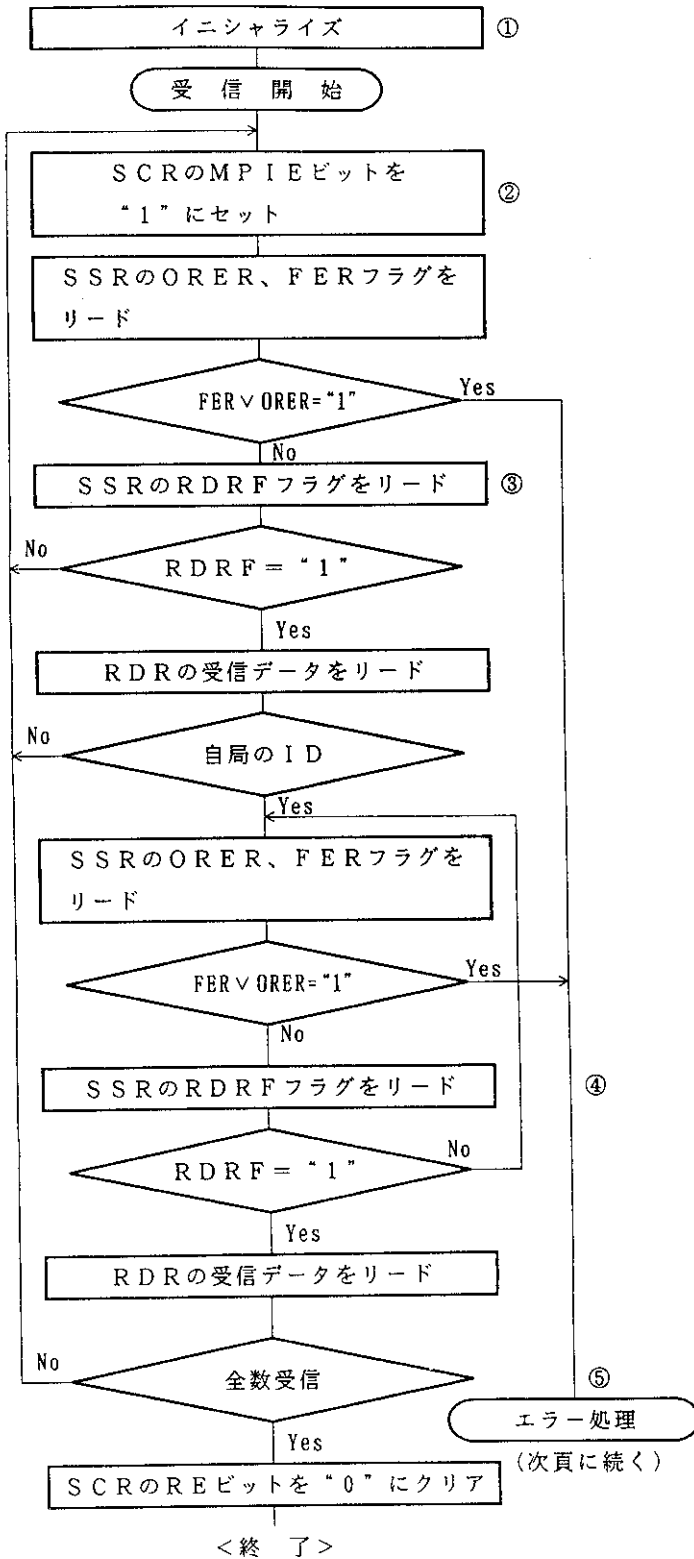


図13.11 SCIの送信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

■ マルチプロセッサシリアルデータ受信

図13.12にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。



① SCIのイニシャライズ:

RxD端子は自動的に受信データ入力端子になります。

② ID受信サイクル:

SCRのMPIEビットを“1”にセットしておきます。

③ SCIの状態を確認して、IDの受信と比較:

SSRをリードして、RDRFフラグが“1”であることを確認した後、RDRのデータをリードし、自局のIDと比較します。

自局のIDでないときには、再びMPIEビットを“1”にセットし、RDRFフラグを“0”にクリアします。

自局のIDのときには、RDRFフラグを“0”にクリアします。

④ SCIの状態を確認してデータの受信:

SSRをリードして、RDRFフラグが“1”であることを確認した後、RDRのデータをリードします。

⑤ 受信エラー処理とブレイクの検出:

受信エラーが発生したときには、SSRのORER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ずORER、FERフラグをすべて“0”にクリアしてください。

ORER、FERフラグのいずれかが“1”にセットされた状態では受信を再開できません。

また、フレーミングエラー時にRxD端子の値をリードすることでブレイクの検出ができます。

図13.12 マルチプロセッサシリアル受信のフローチャートの例(1)

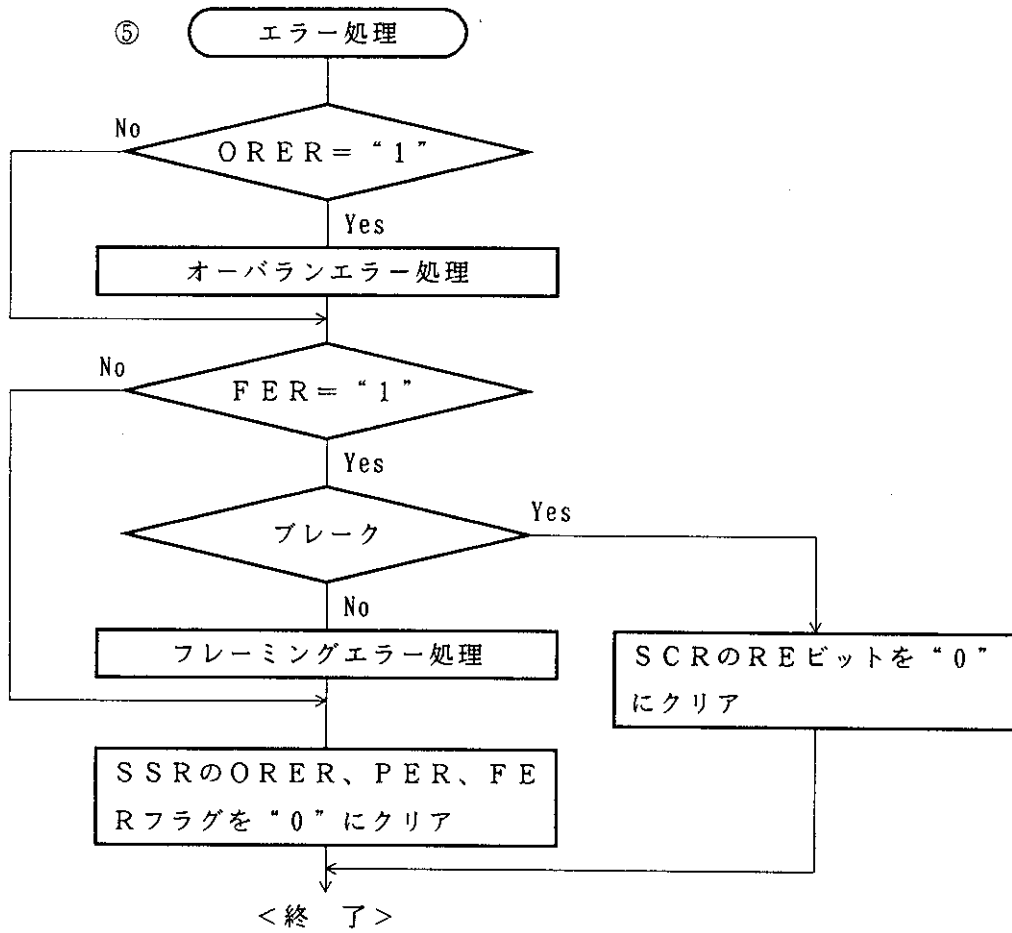
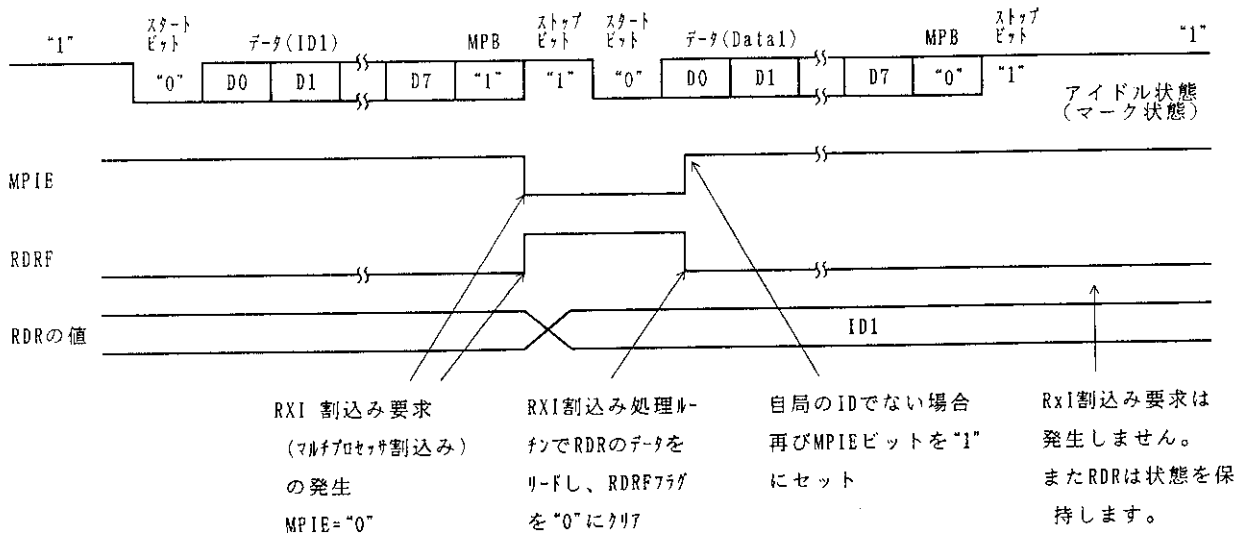
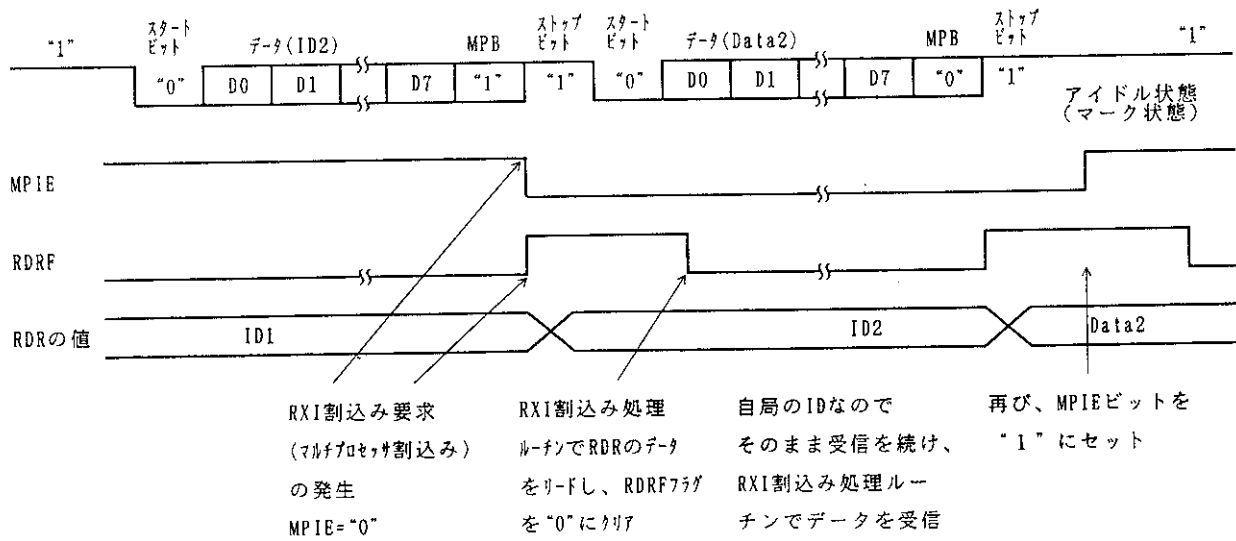


図13.12 マルチプロセッサシリアル受信のフローチャートの例(2)

図13.13にマルチプロセッサフォーマットのS C Iの受信時の動作例を示します。



(a) 自局のIDと一致しないとき



(b) 自局のIDと一致したとき

図13.13 S C Iの受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

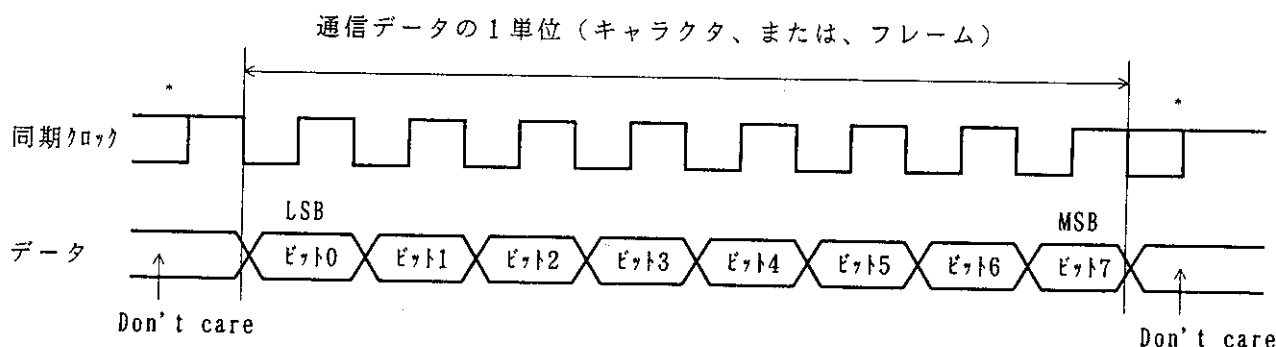
13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

S C I 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信／受信中にデータのリード／ライトができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図13.14に示します。



【注】* 連続送信／受信のとき以外は“High”レベル

図13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、S C I は同期クロックの立上がり同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。S C I のクロックソースの選択については表13.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときには“High”レベルに固定されます。ただし、受信のみの動作のときは、S C I は2キャラクタを1単位として受信動作を行いますので、16パルスの同期クロックが出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信／受信動作

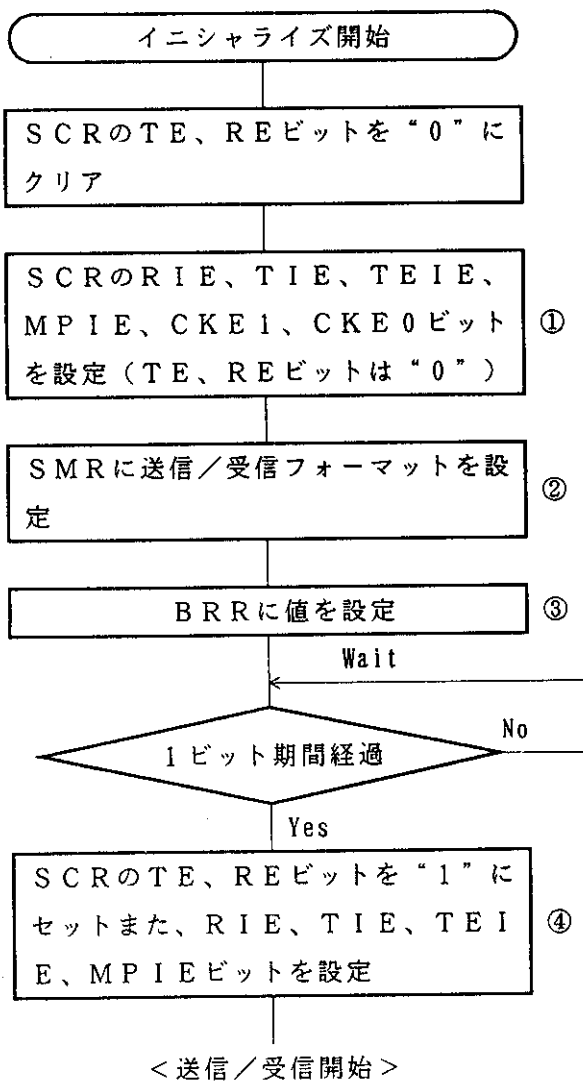
■ S C I のイニシャライズ（クロック同期式）

データの送信／受信前には、SCRのTE、REビットを“0”にクリアした後、以下の手順に従いS C Iをイニシャライズしてください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、REビットを“0”にクリアしてから下記手順で変更してください。TEビットを“0”にクリアするとTDREフラグは“1”にセットされ、TSRがイニシャライズされます。

REビットを“0”にクリアしてもRDRF、PER、FER、OREの各フラグ、およびRDRの内容は保持されますので注意してください。

図13.15にS C Iのイニシャライズフローチャートの例を示します。



① SCRにクロックの選択を設定してください。なお、RIE、TIE、TEIE、MPIE、TE、REビットは必ず“0”に設定してください。

② SMRに送信／受信フォーマットを設定します。

③ BRRにビットレートに対応する値をライントします。ただし、外部クロックを使用する場合にはこの作業は必要ありません。

④ 少なくとも1ビット期間待ってから、SCRのTEまたは、REビットを“1”にセットします。

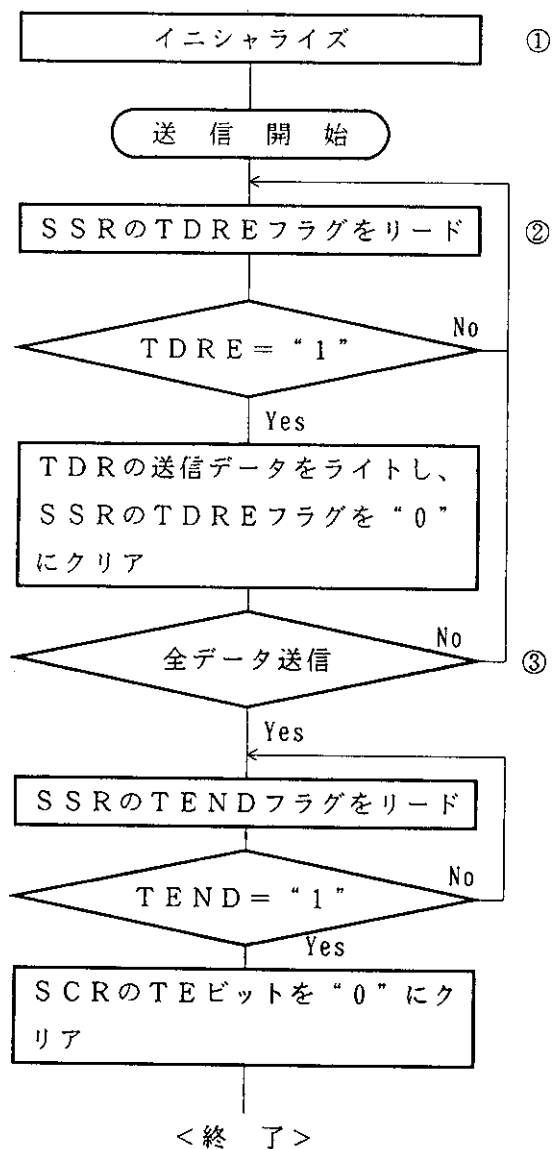
また、RIE、TIE、TEIE、MPIEビットを設定してください。TE、REビットの設定でTxD、RxD端子が使用可能になります。

図13.15 S C I のイニシャライズフローチャートの例

■ シリアルデータ送信（クロック同期式）

図13.16にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。



① SCIのイニシャライズ：

TxD端子は自動的に送信データ出力端子になります。

② SCIの状態を確認して、送信データをライト：

SSRをリードして、TDREフラグが“1”であることを確認した後、TDRに送信データをライトし、TDREフラグを“0”にクリアします。

③ シリアル送信の継続手順：

シリアル送信を続けるときには、必ずTDREフラグの“1”をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを“0”にクリアしてください。

ただし、送信データエンプティ割込み（TXI）要求でDMACを起動しTDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

図13.16 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

(1) SCIは、SSRのTDREフラグを監視し、“0”であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。

(2) TDRからTSRへデータを転送した後にTDREフラグを“1”にセットし、送信を開始します。

このとき、SCRのTIEビットが“1”にセットされていると送信データエンプティ割込み(TXI)要求を発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB(ビット0)~MSB(ビット7)の順にTxD端子から送り出されます。

(3) SCIは、MSB(ビット7)を送り出すタイミングでTDREフラグをチェックします。

TDREフラグが“0”であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。

TDREフラグが“1”であるとSSRのTENDフラグを“1”にセットし、MSB(ビット7)を送り出した後、TxD端子は状態を保持します。

このときSCRのTEIEビットが“1”にセットされていると送信終了割込み(TENDI)要求を発生します。

(4) シリアル送信終了後は、SCK端子は固定になります。

図13.17にS C Iの送信時の動作例を示します。

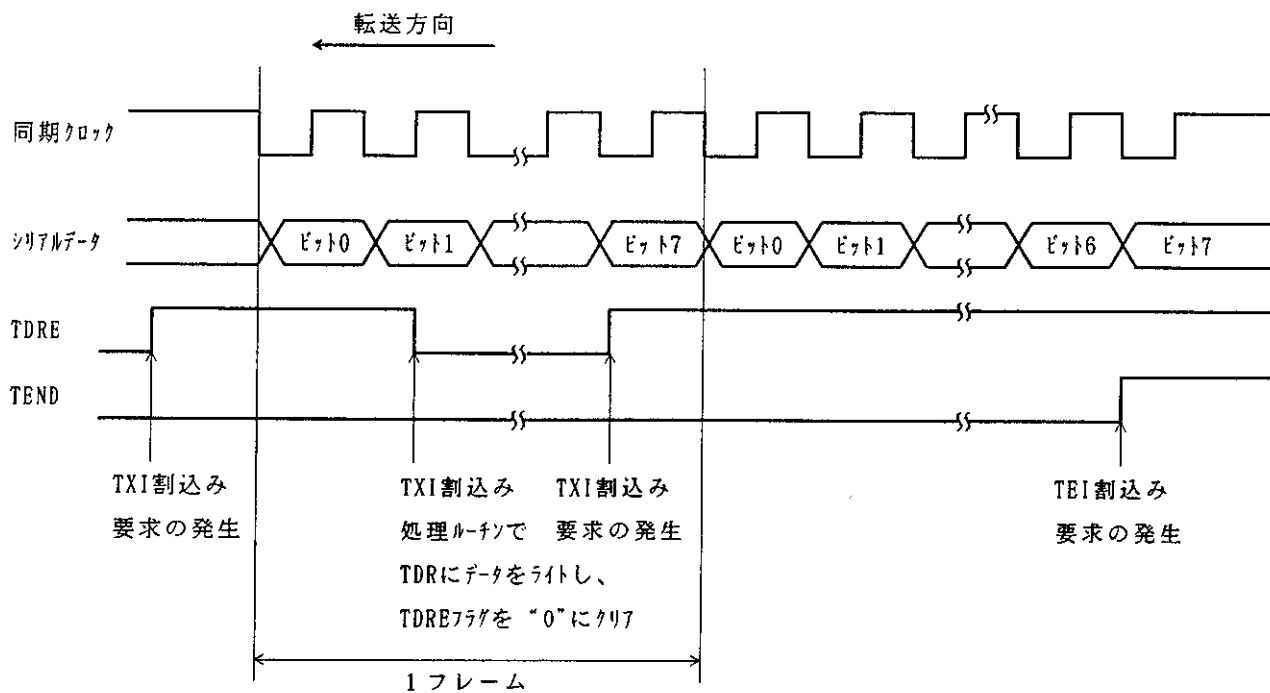


図13.17 S C Iの送信時の動作例

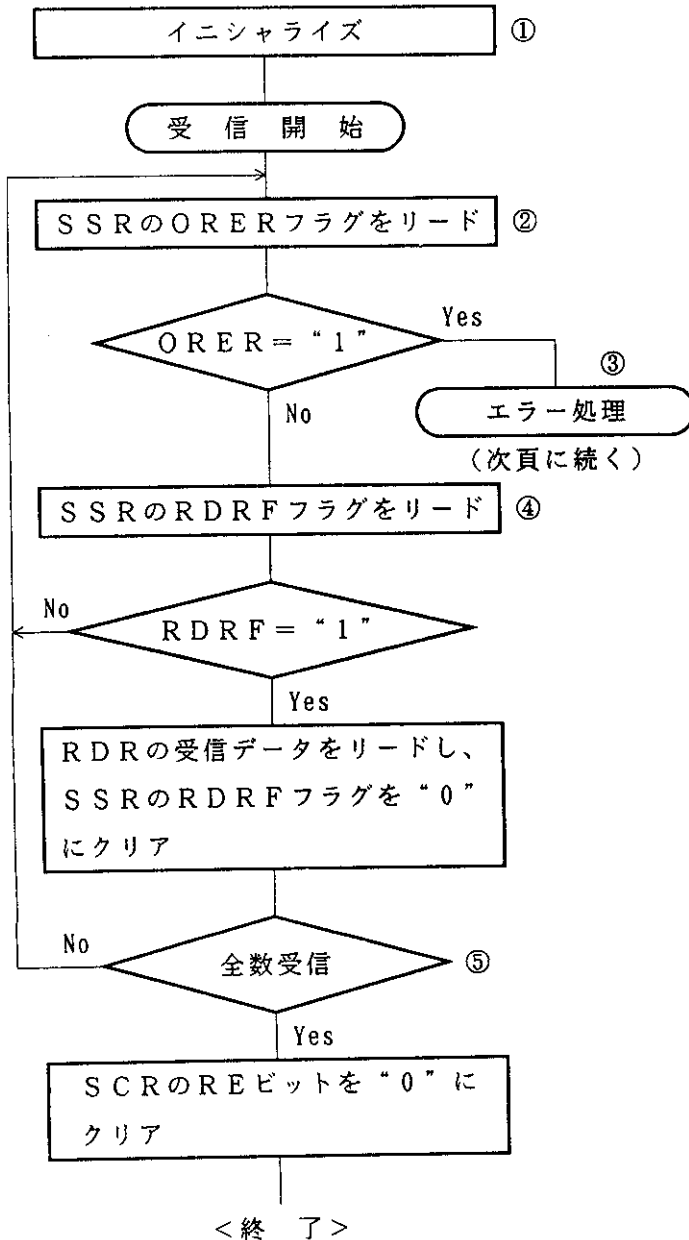
■ シリアルデータ受信（クロック同期式）

図13.18にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、O R E R、P E R、F E Rの各フラグが“0”にクリアされていることを確認してください。

F E R、P E Rフラグが“1”にセットされているとR D R Fフラグがセットされません。また、送信／受信動作が行えません。



① S C I のイニシャライズ：

RxD端子は自動的に受信データ入力端子になります。

②③ 受信エラー処理：

受信エラーが発生したときには、S S RのO R E Rフラグをリードしてから、所定のエラー処理を行った後、O R E Rフラグを“0”にクリアしてください。

O R E Rフラグが“1”にセットされた状態では、送信／受信を再開できません。

④ S C I の状態を確認して受信データのリード：

S S Rをリードして、R D R Fフラグが“1”であることを確認した後、R D Rの受信データをリードし、R D R Fフラグを“0”にクリアします。R D R Fフラグが“0”から“1”に変化したことは、R X I割込みによっても知ることができます。

⑤ シリアル受信の継続手順：

シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、R D R Fフラグのリード、R D Rのリード、R D R Fフラグの“0”クリアを終了しておいてください。ただし、受信データフル割込み（R X I）要求でD M A Cを起動し、R D Rの値をリードする場合にはR D R Fフラグのクリアは自動的に行われます。

図13.18 シリアルデータ受信フローチャートの例(1)

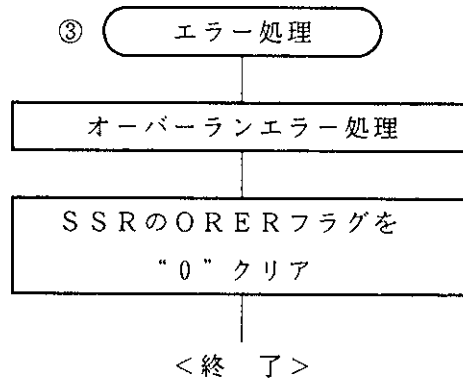


図13.18 シリアルデータ受信フローチャートの例(2)

SCIは受信時に以下のように動作します。

- ① SCIは同期クロックの入力または出力に同期して内部を初期化します。
- ② 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが“1”にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表13.11のように動作します。
エラーチェックで受信エラーを発生した状態では以後の送信、受信動作ができません。
- ③ RDRFフラグが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信データフル割込み(RXI)要求を発生します。
また、ORERフラグが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信エラー割込み(ERI)要求を発生します。

図13.19にS C Iの受信時の動作例を示します。

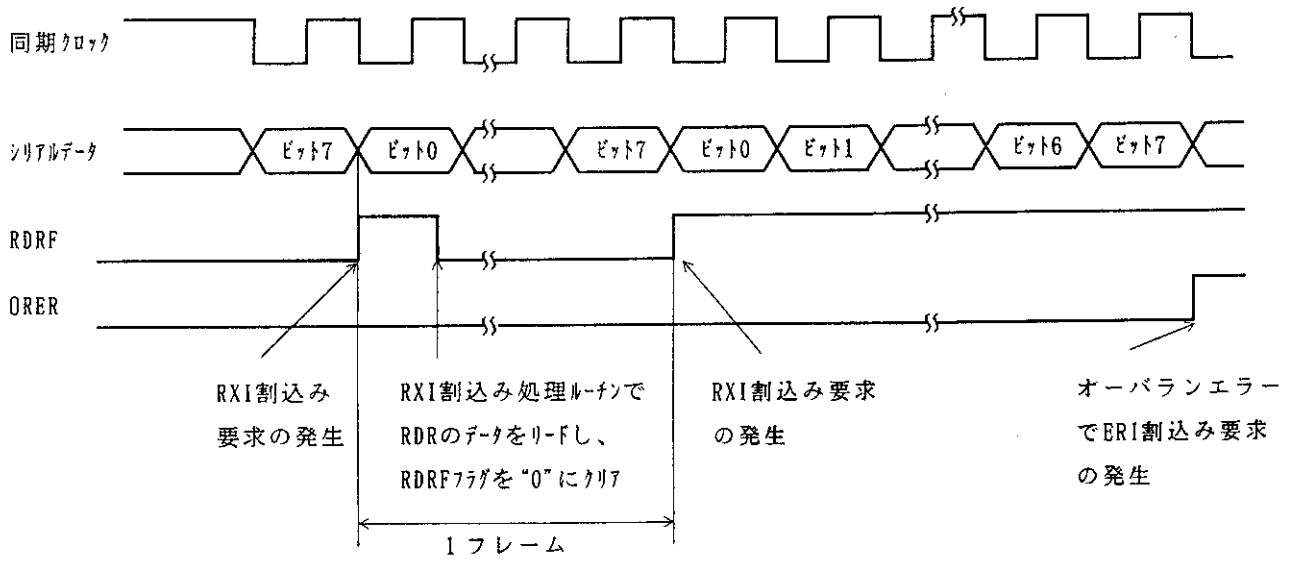
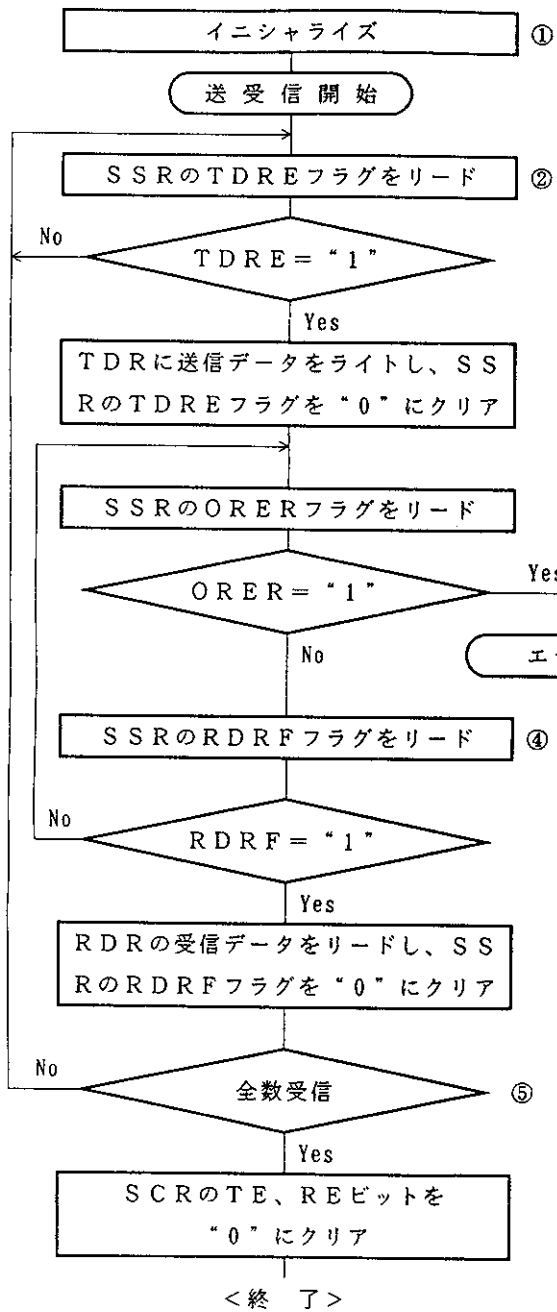


図13.19 S C Iの受信時の動作例

■ シリアルデータ送受信同時動作（クロック同期式）

図13.20にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。



① イニシャライズ：

TxD端子は送信データ出力端子に、RxD端子は受信データ入力端子になり送受信同時動作可能状態になります。

② SCIの状態確認と送信データのライト：

SSRをリードしてTDREフラグが“1”であることを確認した後、TDRに送信データをライトし、TDREフラグを“0”にクリアします。

TDREフラグが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。

③ 受信エラー処理：

受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にクリアしてください。ORERフラグが“1”にセットされた状態では送信／受信を再開できません。

④ SCIの状態を確認して受信データのリード：

SSRをリードして、RDRFフラグが“1”であることを確認した後、RDRの受信データをリードし、RDRFフラグを“0”にクリアします。

RDRFフラグが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。

図13.20 シリアル送受信同時動作のフローチャートの例(1)

⑤ シリアル送受信の継続手順：

シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの“0”クリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの“1”をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを“0”にクリアしておいてください。

ただし、送信データエンpty割込み（TXI）要求でDMACを起動しTDRにデータをライトする場合には、TDREフラグのチェック、およびクリアは自動的に行われます。また、受信データフル割込み（RXI）要求でDMACを起動しRDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。

【注】 送信、または受信動作から同時送受信に切り換えるときには、TEビットとREビットを“0”にクリアしてからTEビットとREビットを“1”にセットしてください。

図13.20 シリアル送受信同時動作のフローチャートの例(2)

13.4 S C I 割込み

S C I には、送信終了割込み (T E I) 要求、受信エラー割込み (E R I) 要求、受信データフル割込み (R X I) 要求、送信データエンプティ割込み (T X I) 要求の 4 種類の割込み要因があります。表 13.12 に各割込み要因と優先順位を示します。各割込み要因は、S C R の T I E ビット、R I E ビットおよび T E I E ビットで許可/禁止できます。また、各割込み要求はそれぞれ独立に割込みコントローラに送られます。

S S R の T D R E フラグが“1”にセットされると、T X I 割込み要求が発生します。また、S S R の T E N D フラグが“1”にセットされると、T E I 割込み要求が発生します。T X I 割込み要求により D M A C を起動してデータ転送を行うことができます。T D R E フラグは D M A C によるデータ転送時に自動的に“0”にクリアされます。なお、T E I 割込み要求で D M A C の起動はできません。

S S R の R D R F フラグが“1”にセットされると R X I 割込み要求が発生します。S S R の O R E R、P E R、F E R フラグのいずれかが“1”にセットされると E R I 割込み要求が発生します。R X I 割込み要求で D M A C を起動してデータ転送を行うことができます。R D R F フラグは D M A C によるデータ転送時に自動的に“0”にクリアされます。なお、E R I 割込み要求で D M A C の起動はできません。

S C I チャンネル 0 の割込みにより D M A C グループ 0 の起動が可能です。また、S C I チャンネル 1 の割込みにより D M A C グループ 1 の起動が可能です。

表 13.12 S C I 割込み要因

割込み要因	内 容	優先順位
E R I	受信エラー (O R E R、F E R、P E R) による割込み	高 ↑ 低
R X I	受信データフル (R D R F) による割込み	
T X I	送信データエンプティ (T D R E) による割込み	
T E I	送信終了 (T E N D) による割込み	

13.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDRへのライトとTDREフラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが“1”にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが“0”の状態新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが“1”にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表13.13のようになります。また、オーバランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表13.13 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー+フレーミングエラー
1	1	0	1	×	オーバランエラー+パリティエラー
0	0	1	1	○	フレーミングエラー+パリティエラー
1	1	1	1	×	オーバランエラー+フレーミングエラー+パリティエラー

【注】 ○：RSR→RDRに受信データを転送します。

×：RSR→RDRに受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー（F E R）検出時にRxD端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD端子からの入力がすべて“0”になりますのでF E Rフラグがセットされ、またパリティエラー（P E R）もセットされる場合があります。

S C Iは、ブレークを受信した後も受信動作を続けますので、F E Rフラグを“0”にクリアしても再び“1”にセットされますので、注意してください。

(4) ブレークの送り出し

TxD端子は、D RとD D Rにより入出力方向とレベルが決まるI/Oポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信のイニシャライズからT E ビットを“1”にセットするまでは、マーク状態をD Rの値で代替します（T E ビットを1にセットするまで、TxD端子として機能しません）。このため、最初はD D RとD Rを“1”に設定しておきます。

シリアル送信時にブレークを送り出したいときはD Rを“0”にクリアした後、T E ビットを“0”にクリアします。

T E ビットを“0”にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から“0”が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（O R E R、P E R、F E R）が“1”にセットされた状態では、T D R Eフラグを“0”にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを“0”にクリアしておいてください。

また、R E ビットを“0”にクリアしても受信エラーフラグは“0”にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、S C Iは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にS C Iは、スタートビットの立下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの8クロック目の立上がりエッジで内部に取り込みます。これを図13.21に示します。

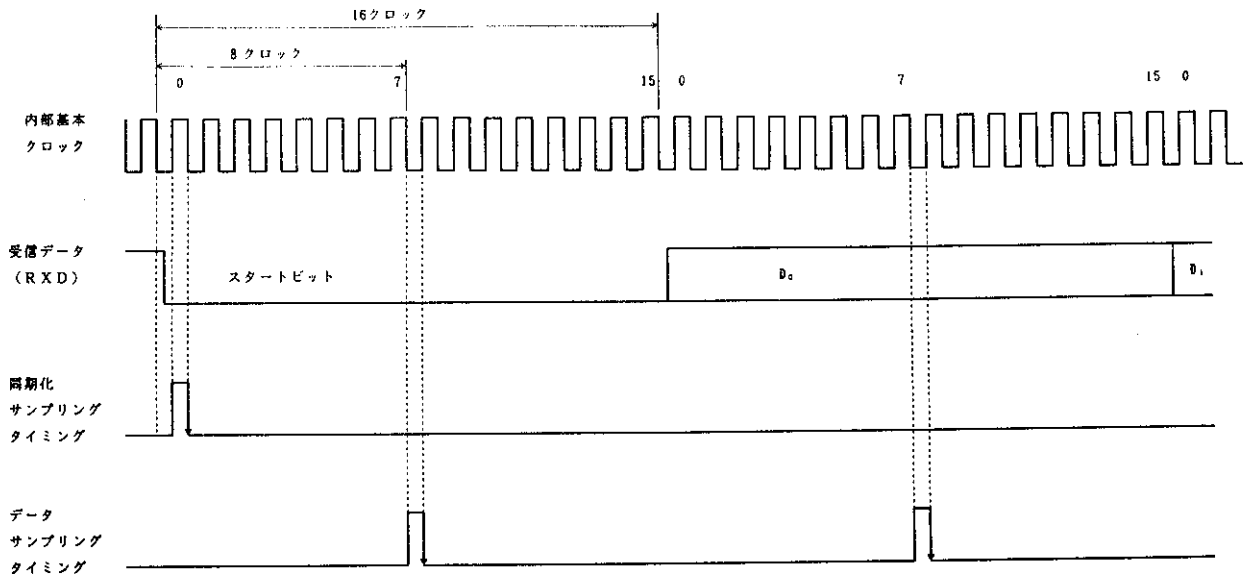


図13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式(1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N=16)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長 (L=9~12)
- F : クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5とすると、受信マージンは式(2)より46.875%となります。

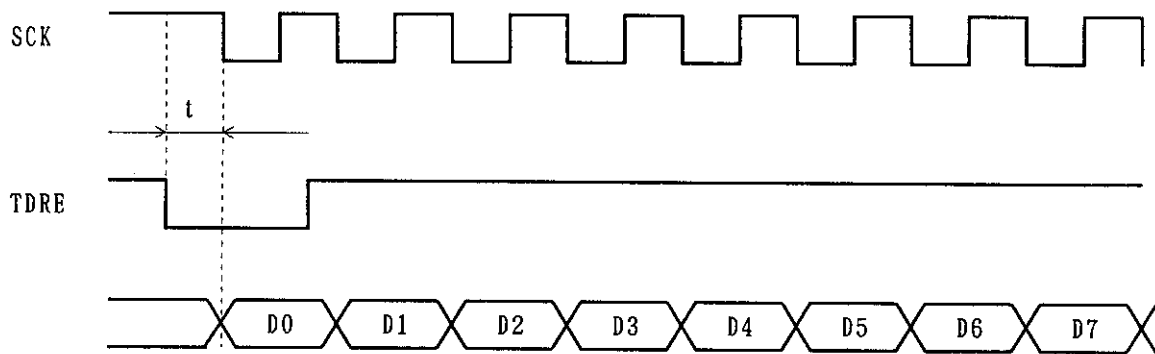
D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% = 46.875\% \quad \dots\dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) DMAC使用上の制約事項

- ① 同期クロックに外部クロックソースを使用する場合、DMACによるTDRの更新後、 ϕ クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4ステート以内に送信クロックを入力すると、誤動作することがあります。(図13.22)
- ② DMACにより、RDRのリードを行うときは必ずDTCRのDTS2~0ビットで起動要因を当該SCIの受信完了割込み(RXI)に設定してください。



【注】 外部クロック動作時には、 $t > 4$ ステートとしてください。

図13.22 DMACによるクロック同期式送信時の例

14. A / D 変換器

第14章 目次

14.1	概要	527
14.1.1	特長	527
14.1.2	ブロック図	528
14.1.3	端子構成	529
14.1.4	レジスタ構成	530
14.2	各レジスタの説明	531
14.2.1	A/DデータレジスタA~D (ADDRA~D)	531
14.2.2	A/Dコントロール/ステータスレジスタ (ADCSR)	532
14.2.3	A/Dコントロールレジスタ (ADCR)	535
14.3	CPUとのインタフェース	536
14.4	動作説明	537
14.4.1	単一モード (SCAN = "0")	537
14.4.2	スキャンモード (SCAN = "1")	539
14.4.3	入力サンプリングとA/D変換時間	541
14.4.4	外部トリガ入力タイミング	542
14.5	割込み	543
14.6	使用上の注意	543

14.1 概要

H8/3003には、逐次比較方式で動作する10ビットのA/D変換器が内蔵されており、最大8チャンネルのアナログ入力を選択することができます。

14.1.1 特長

A/D変換器の特長を以下に示します。

■ 10ビットの分解能

■ 入力チャンネル：8チャンネル

■ アナログ変換電圧範囲の設定が可能

リファレンス電圧端子(V_{REF})をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

■ 高速変換

変換時間：1チャンネル当り最小 $8.4\mu s$ (16MHz動作時)

■ 単一モード/スキャンモードの2種類の動作モードから選択可能

単一モード：1チャンネルのA/D変換

スキャンモード：1～4チャンネルの連続A/D変換

■ 4本の16ビットデータレジスタ

A/D変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

■ サンプル&ホールド機能

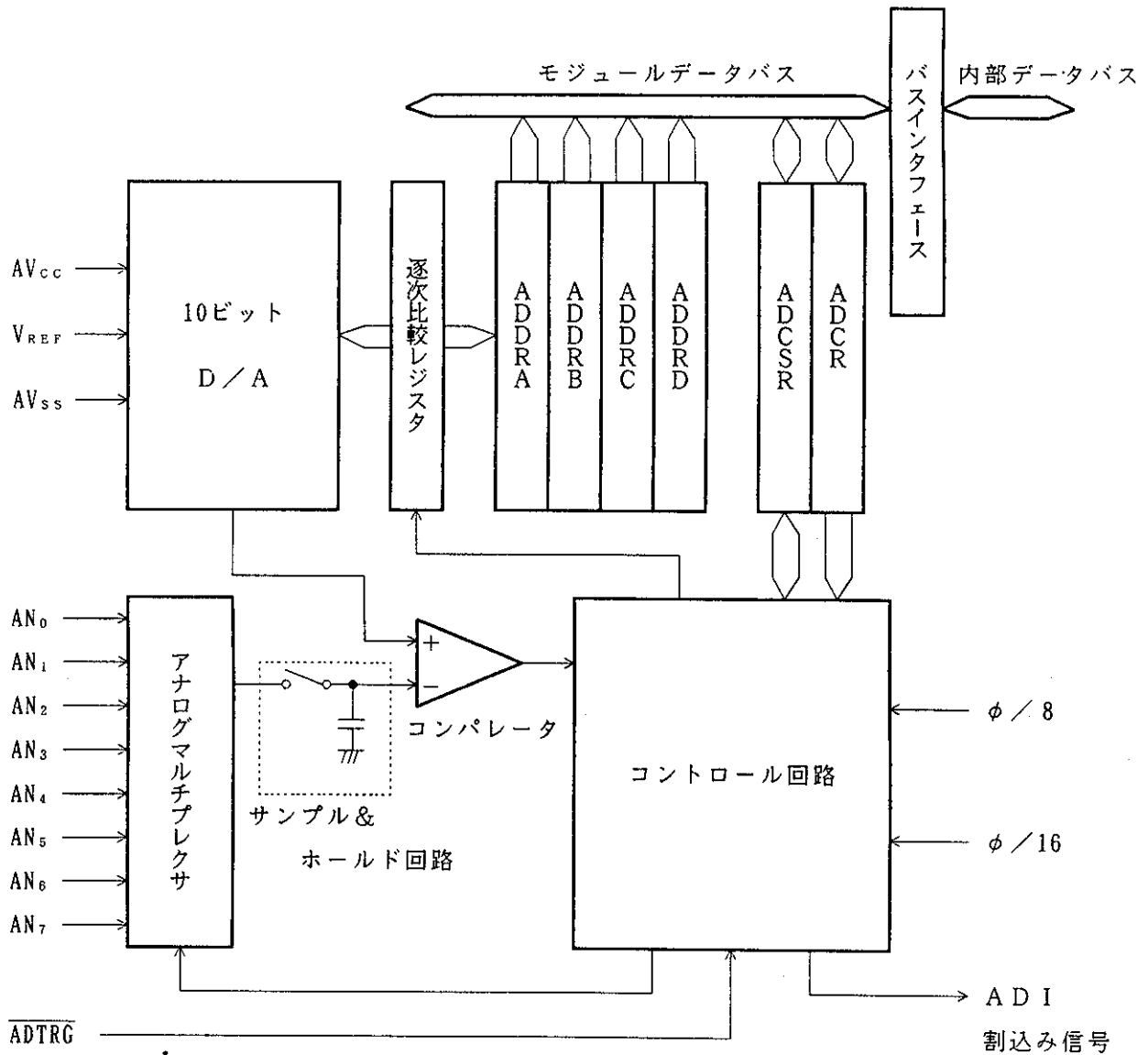
■ 外部トリガ信号による、A/D変換の開始が可能

■ A/D変換終了割込み要求を発生

A/D変換終了時には、A/D変換終了割込み(ADI)要求を発生させることができます。

14.1.2 ブロック図

A/D変換器のブロック図を図14.1に示します。



《記号説明》

- ADCR : A/Dコントロールレジスタ
- ADCSR : A/Dコントロール/ステータスレジスタ
- ADDR A : A/Dデータレジスタ A
- ADDR B : A/Dデータレジスタ B
- ADDR C : A/Dデータレジスタ C
- ADDR D : A/Dデータレジスタ D

図14.1 A/D変換器のブロック図

14.1.3 端子構成

A/D変換器で使用する入力端子を表14.1に示します。

8本のアナログ入力端子は2グループに分類されており、アナログ入力端子0～3 ($AN_0 \sim AN_3$)がグループ0、アナログ入力端子4～7 ($AN_4 \sim AN_7$)がグループ1になっています。

AV_{CC} 、 AV_{SS} 端子は、A/D変換器内のアナログ部の電源です。 V_{REF} 端子は、A/D変換基準電圧端子です。

表14.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	V_{REF}	入力	アナログ部の基準電圧
アナログ入力端子0	AN_0	入力	グループ0のアナログ入力
アナログ入力端子1	AN_1	入力	
アナログ入力端子2	AN_2	入力	
アナログ入力端子3	AN_3	入力	
アナログ入力端子4	AN_4	入力	グループ1のアナログ入力
アナログ入力端子5	AN_5	入力	
アナログ入力端子6	AN_6	入力	
アナログ入力端子7	AN_7	入力	
A/D外部トリガ入力端子	\overline{ADTRG}	入力	A/D変換時間のための外部トリガ入力

14.1.4 レジスタ構成

A/D変換器のレジスタ構成を表14.2に示します。

表14.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H' FFE0	A/DデータレジスタAH	ADDRAH	R	H' 00
H' FFE1	A/DデータレジスタAL	ADDRAL	R	H' 00
H' FFE2	A/DデータレジスタBH	ADDRBH	R	H' 00
H' FFE3	A/DデータレジスタBL	ADDRBL	R	H' 00
H' FFE4	A/DデータレジスタCH	ADDRCH	R	H' 00
H' FFE5	A/DデータレジスタCL	ADDRCL	R	H' 00
H' FFE6	A/DデータレジスタDH	ADDRDH	R	H' 00
H' FFE7	A/DデータレジスタDL	ADDRDL	R	H' 00
H' FFE8	A/Dコントロール/ステータスレジスタ	ADCSR	R/(W)* ²	H' 00
H' FFE9	A/Dコントロールレジスタ	ADCR	R/W	H' 7E

【注】*¹ アドレスの下位16ビットを示しています。

*² ビット7は、フラグをクリアするための“0”ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 A/DデータレジスタA～D (ADDRA～D)

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn	:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n = A～D)

A/D変換データ

A/D変換結果の10ビットデータを格納するビットです。

リザーブビット

ADDRは、A/D変換された結果を格納する16ビットのリード専用レジスタで、ADDRA～ADDRDの4本があります。

A/D変換されたデータは10ビットデータで、選択されたチャンネルのADDRに転送され、保持されます。A/D変換されたデータの上位8ビットがADDRの上位バイトに、また下位2ビットが下位バイトに対応します。ADDRの下位バイトのビット5～0はリザーブビットで、リードすると常に“0”が読み出されます。アナログ入力チャンネルとADDRの対応を表14.3に示します。

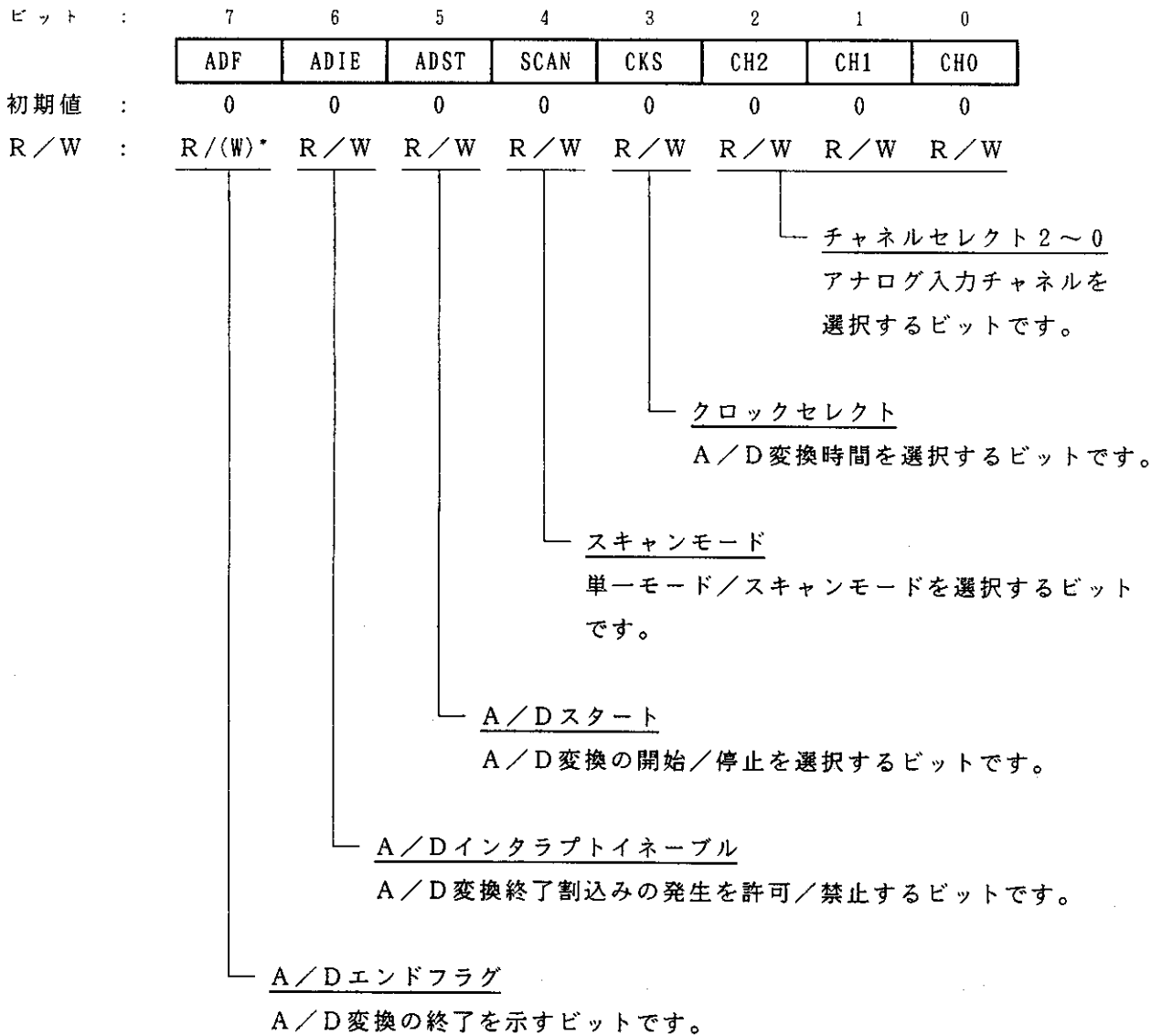
ADDRは、常にCPUからリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「14.3 CPUとのインタフェース」を参照してください。

ADDRは、リセットまたはスタンバイモード時に、H'0000にイニシャライズされます。

表14.3 アナログ入力チャンネルとADDRA～ADDRDの対応

アナログ入力チャンネル		A/Dデータレジスタ
グループ0	グループ1	
AN ₀	AN ₄	ADDRA
AN ₁	AN ₅	ADDRB
AN ₂	AN ₆	ADDRC
AN ₃	AN ₇	ADDRD

14.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)



【注】* フラグをクリアするための“0”ライトのみ可能です。

ADCSRは、8ビットのリード/ライト可能なレジスタで、モードの選択などA/D変換器の動作を制御します。

ADCSRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7：A/Dエンドフラグ（ADF）

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	〔クリア条件〕 ADF = “1” の状態で、ADFフラグをリードした後、ADFフラグに“0”をライトしたとき (初期値)
1	〔セット条件〕 (1)単一モード：A/D変換が終了したとき (2)スキャンモード：設定されたすべてのチャンネルのA/D変換が終了したとき

ビット6：A/Dインタラプトイネーブル（ADIE）

A/D変換の終了による割込み（ADI）要求の許可/禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換終了による割込み（ADI）要求を禁止 (初期値)
1	A/D変換終了による割込み（ADI）要求を許可

ビット5：A/Dスタート（ADST）

A/D変換の開始/停止を選択します。

A/D変換中は“1”を保持します。また、ADSTビットはA/D外部トリガ入力端子(ADTRG)により“1”にセットすることもできます。

ビット5	説明
ADST	
0	A/D変換を停止 (初期値)
1	(1) 単一モード：A/D変換を開始し、変換が終了すると自動的に“0”にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで選択されたチャンネルを順次連続変換

ビット4：スキャンモード (SCAN)

A/D変換のモードを、単一モード/スキャンモードから選択します。単一モード/スキャンモード時の動作については、「14.3 動作説明」を参照してください。モードの切換えは、ADST = “0” の状態で行ってください。

ビット4	説 明	
SCAN		
0	単一モード	(初期値)
1	スキャンモード	

ビット3：クロックセレクト (CKS)

A/D変換時間の設定を行います。

変換時間の切換えは、ADST = “0” の状態で行ってください。

ビット3	説 明	
CKS		
0	変換時間 = 266ステート(max)	(初期値)
1	変換時間 = 134ステート(max)	

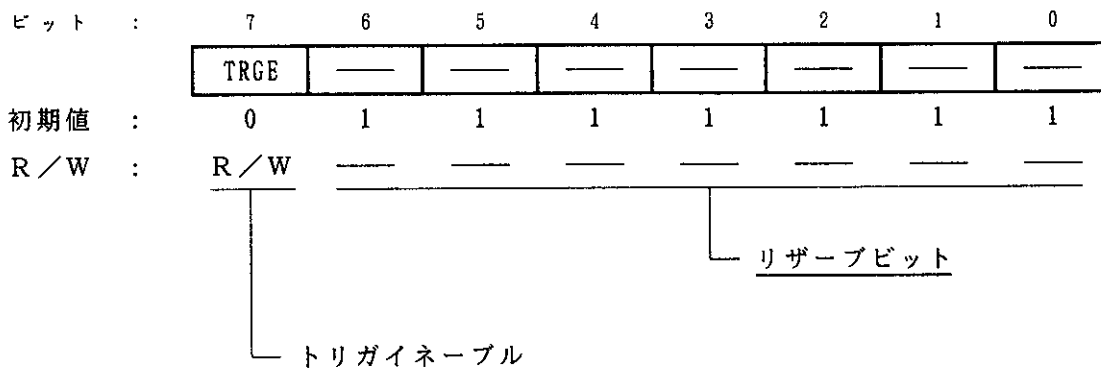
ビット2～0：チャンネルセレクト2～0 (CH2～0)

SCANビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切換えは、ADST = “0” の状態で行ってください。

グループ選択	チャンネル選択		説 明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
	0	1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ～AN ₂
	1	1	AN ₃	AN ₀ ～AN ₃
1	0	0	AN ₄	AN ₄
	0	1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ～AN ₆
	1	1	AN ₇	AN ₄ ～AN ₇

14.2.3 A/Dコントロールレジスタ (ADCR)



外部トリガによるA/D変換の許可/禁止を選択するビットです。

ADCRは、8ビットのリード/ライト可能なレジスタで、外部トリガ入力によるA/D変換の開始の許可/禁止を選択します。

ADCRは、リセットまたはスタンバイモード時、H'7Fにイニシャライズされます。

ビット7：トリガイネーブル (TRGE)

外部トリガ入力によるA/D変換の開始の許可/禁止を選択します。

ビット7	説明
TRGE	
0	外部トリガ入力によるA/D変換の開始を禁止 (初期値)
1	外部トリガ端子 (ADTRG) の立下がりエッジでA/D変換を開始

ビット6～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

14.3 CPUとのインタフェース

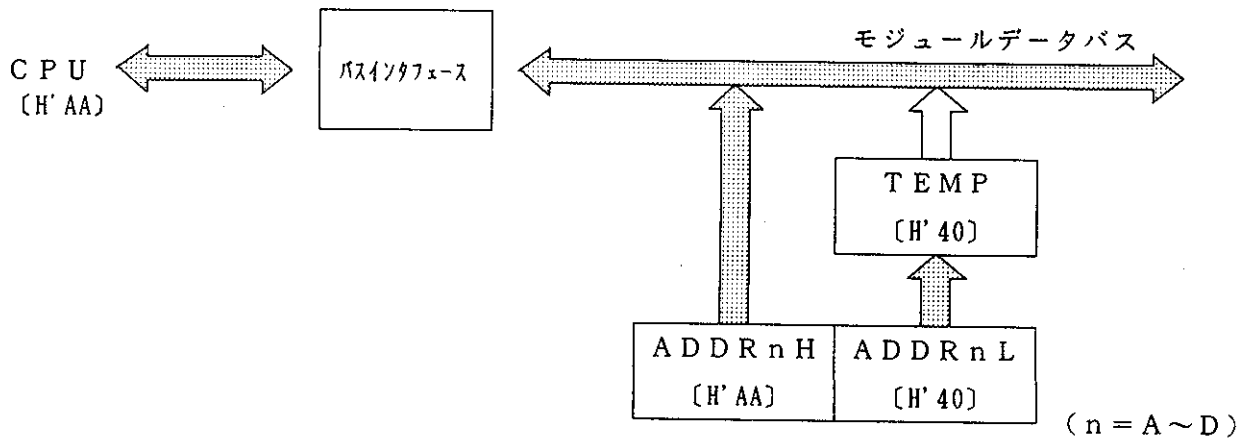
ADDRA~ADDRDはそれぞれ16ビットのレジスタですが、CPUとの間のデータバスは8ビット幅です。そのため、CPUからのアクセスは上位バイトは直接行われますが、下位バイトは8ビットのテンポラリレジスタ（TEMP）を介して行います。

ADDRからのデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値はCPUへ、下位バイトの値はTEMPへ転送されます。次に下位バイトのリードでTEMPの内容がCPUへ転送されます。

ADDRをリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図14.2に、ADDRのアクセス時のデータの流れを示します。

<上位バイトのリード>



<下位バイトのリード>

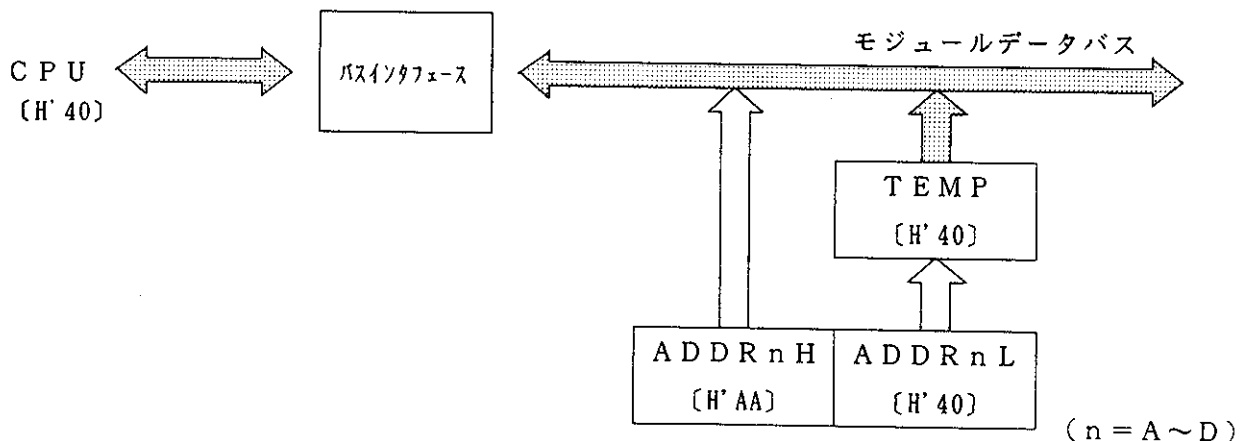


図14.2 ADDRのアクセス動作（〔H'AA40〕リード時）

14.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

14.4.1 単一モード (SCAN = "0")

単一モードは、1チャンネルのみのA/D変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によってADSTビットが"1"にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中は"1"を保持しており、変換が終了すると自動的に"0"にクリアされます。

また、変換が終了すると、ADFフラグが"1"にセットされます。このとき、ADIEビットが"1"にセットされていると、ADI割込み要求が発生します。

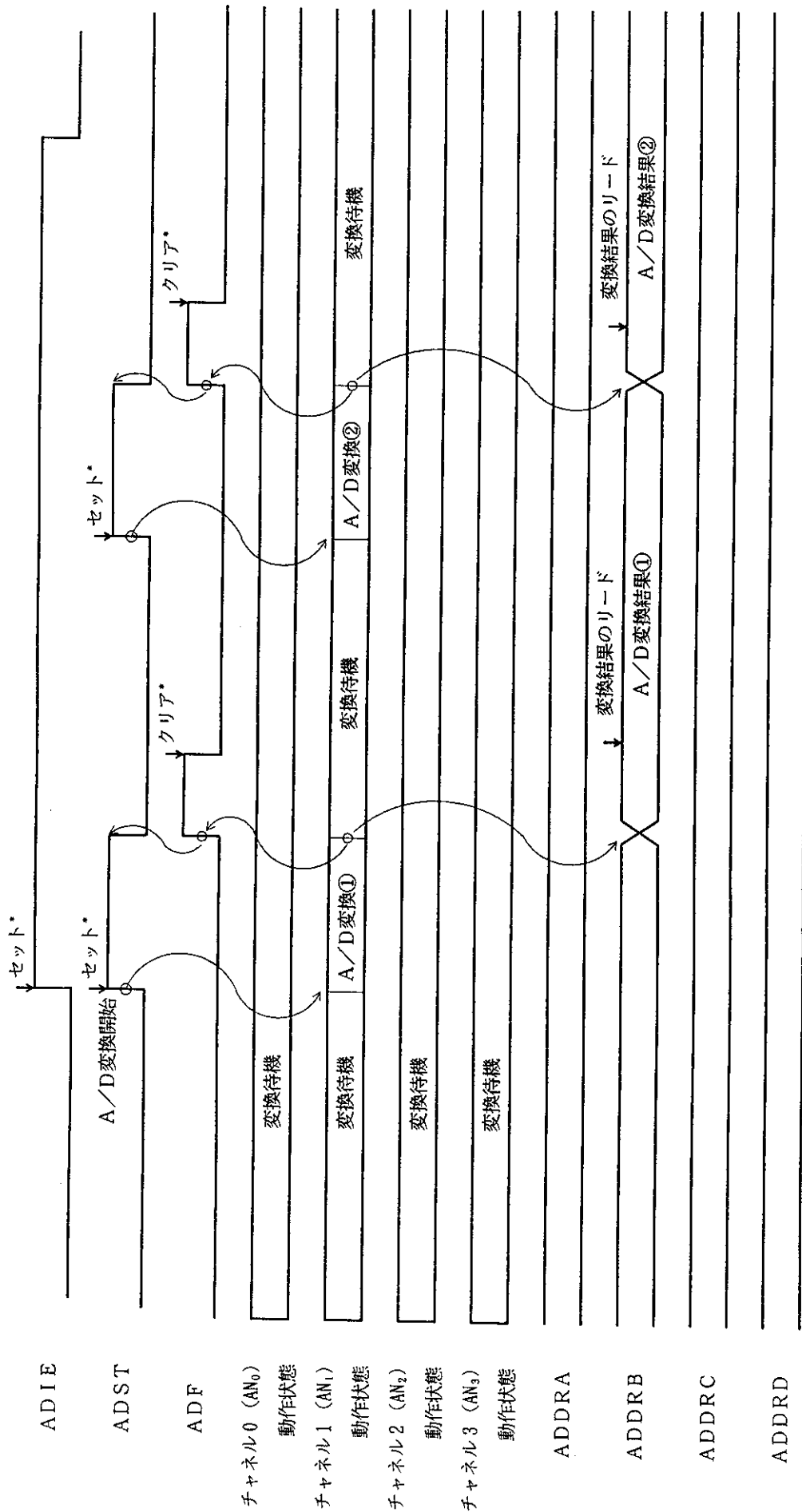
ADFフラグは、ADCSRをリードした後、"0"をライトするとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADCSRのADSTビットを"0"にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを"1"にセットすると(モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、再びA/D変換を開始します。

単一モードでチャンネル1 (AN₁)が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図14.3に示します。

- (1) 動作モードを単一モードに (SCAN = "0")、入力チャンネルをAN₁に (CH2 = CH1 = "0"、CH0 = "1")、A/D割込み要求許可 (ADIE = "1") に設定して、A/D変換を開始 (ADST = "1") します。
- (2) A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF = "1"、ADST = "0"となり、A/D変換器は変換待機となります。
- (3) ADF = "1"、ADIE = "1"となっているため、ADI割込み要求が発生します。
- (4) A/D割込み処理ルーチンが開始されます。
- (5) ADCSRをリードした後、ADFに"0"をライトします。
- (6) A/D変換結果 (ADDRB) をリードして、処理します。
- (7) A/D割込み処理ルーチンの実行を終了します。

この後、ADSTビットを"1"にセットするとA/D変換が開始され(2)~(7)を行います。



【注】 ・ ↓は、ソフトウェアによる命令実行を示します。

図14.3 A/D変換器の動作例 (単一モード チャネル1選択時)

14.4.2 スキャンモード (SCAN = "1")

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D変換はソフトウェアまたは外部トリガ入力によってADSTビットが"1"にセットされると、グループの第1チャンネル(CH2 = "0" のときAN₀、CH2 = "1" のときAN₄)から開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、ただちに第2チャンネル (AN₁またはAN₅)のA/D変換を開始します。

A/D変換は、ADSTビットが"0"にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切換えを行う場合は、誤動作を避けるためにADCSRのADSTビットを"0"にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに"1"をセットすると (モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードでグループ0の3チャンネル (AN₀~AN₂)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図14.4に示します。

(1) 動作モードをスキャンモードに (SCAN = "1")、スキャングループをグループ0に (CH2 = "0")、アナログ入力チャンネルをAN₀~AN₂ (CH1 = "1"、CH0 = "0") に設定してA/D変換を開始 (ADST = "1") します。

(2) 第1チャンネル (AN₀)のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR Aに転送します。

次に第2チャンネル (AN₁)が自動的に選択され、変換を開始します。

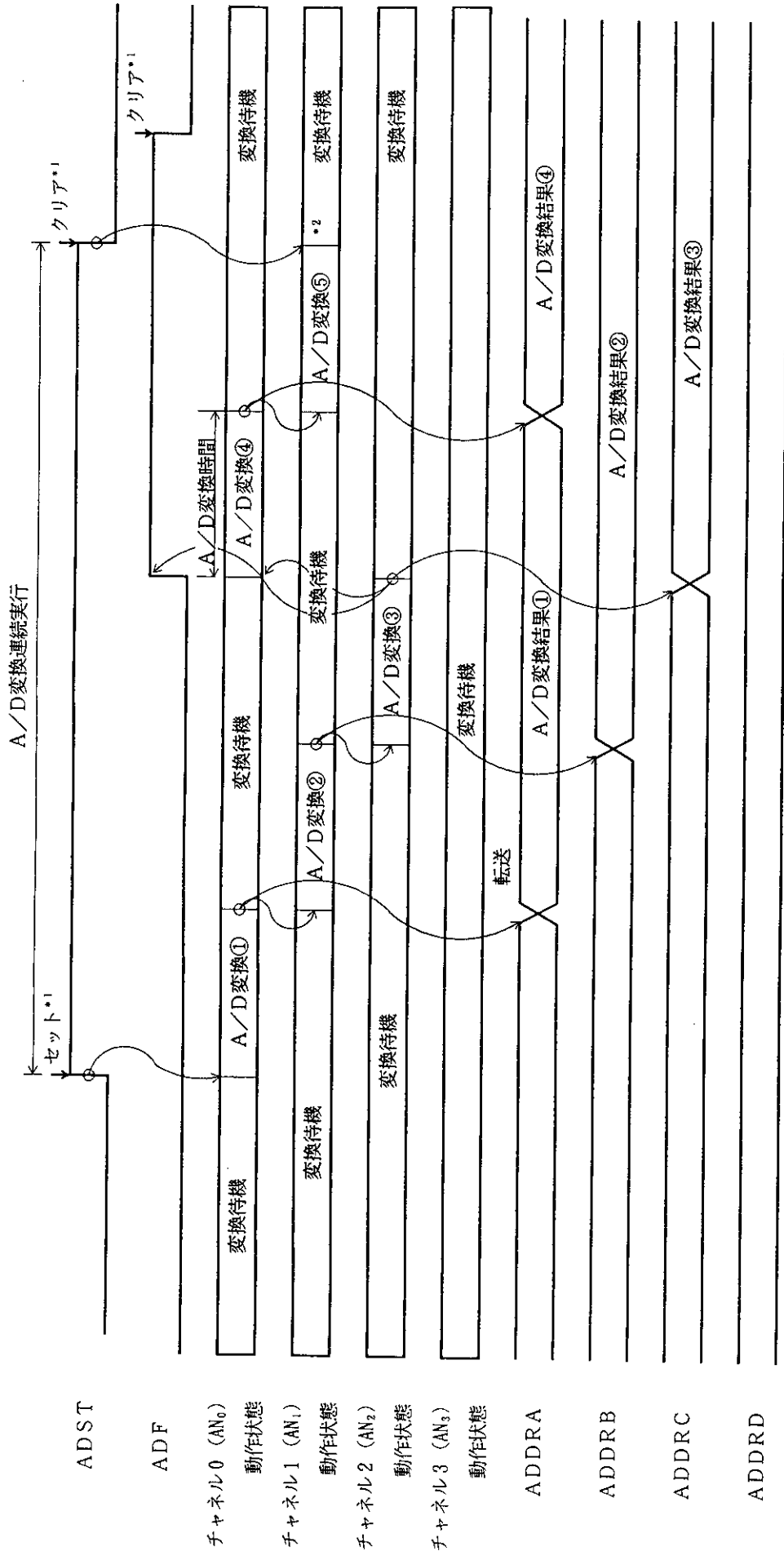
(3) 同様に第3チャンネル (AN₂)まで変換を行います。

(4) 選択されたすべてのチャンネル (AN₀~AN₂)の変換が終了すると、ADF = "1"となり、再び第1チャンネル (AN₀)を選択し、変換が行われます。

このときADIEビットが"1"にセットされていると、A/D変換終了後、ADI割込みが発生します。

(5) ADSTビットが"1"にセットされている間は、(2)~(4)を繰り返します。

ADSTビットを"0"にクリアするとA/D変換が停止します。この後、ADSTビットを"1"にセットすると再びA/D変換を開始し、第1チャンネル (AN₀)から変換が行われます。



【注】 *1 ↓は、ソフトウェアによる命令実行を示します。
 *2 変換中のデータは無視されます。

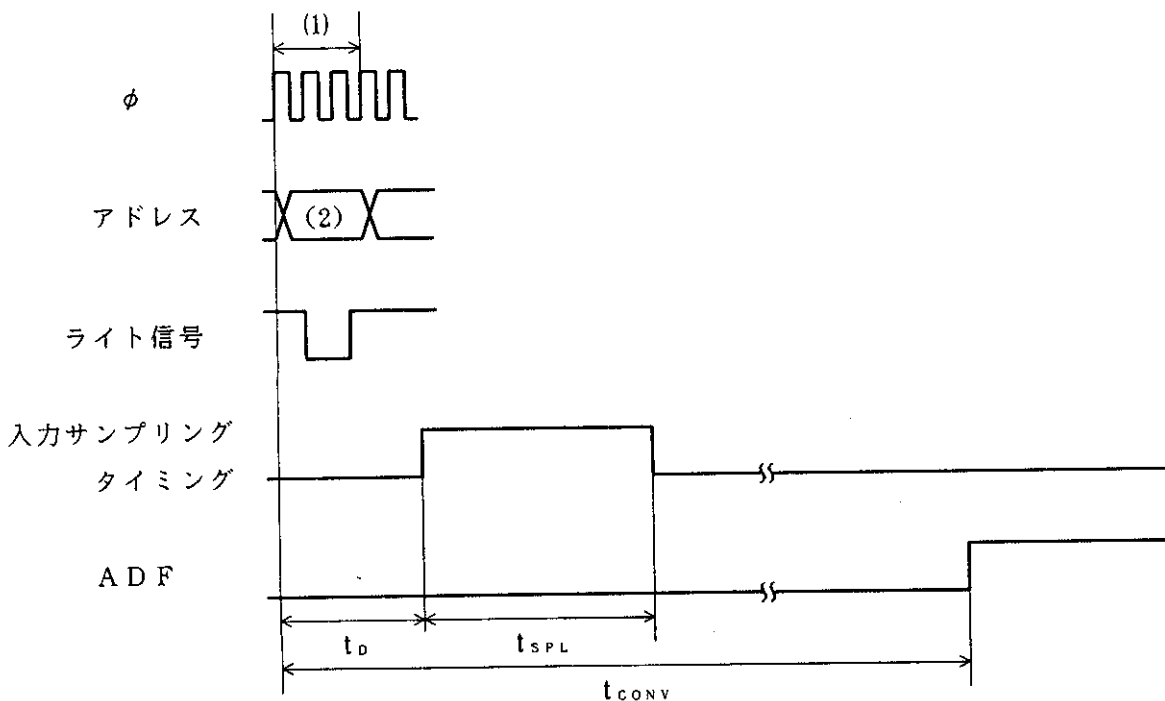
図14.4 A/D変換器の動作例 (スキャンモード AN₀ ~ AN₂の3チャンネル選択時)

14.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADSTビットが“1”にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図14.5に示します。また、A/D変換時間を表14.4に示します。

A/D変換時間は、図14.5に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表14.4に示す範囲で変化します。

スキャンモードの変換時間は、表14.4に示す値が1回目の変換時間となりますが、2回目以降はCKS = “0”の場合は256ステート（固定）、CKS = “1”の場合は128ステート（固定）となります。



《記号説明》

- (1) : ADCSRライトサイクル
- (2) : ADCSRのアドレス
- t_D : A/D変換開始遅延時間
- t_{SPL} : 入力サンプリング時間
- t_{CONV} : A/D変換時間

図14.5 A/D変換タイミング

表14.4 A/D変換時間（単一モード）

	記号	CKS = "0"			CKS = "1"		
		min	typ	max	min	typ	max
A/D変換開始遅延時間	t_D	10	—	17	6	—	9
入力サンプリング時間	t_{SPL}	—	80	—	—	40	—
A/D変換時間	t_{CONV}	259	—	266	131	—	134

【注】 表中の数値の単位はステートです。

14.4.4 外部トリガ入力タイミング

A/D変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCRのTRGEビットが“1”にセットされているとき、ADTRG端子から入力されます。ADTRG入力端子の立下がりエッジで、ADCSRのADSTビットが“1”にセットされ、A/D変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによってADSTビットを“1”にセットした場合と同じです。

このタイミングを図14.6に示します。

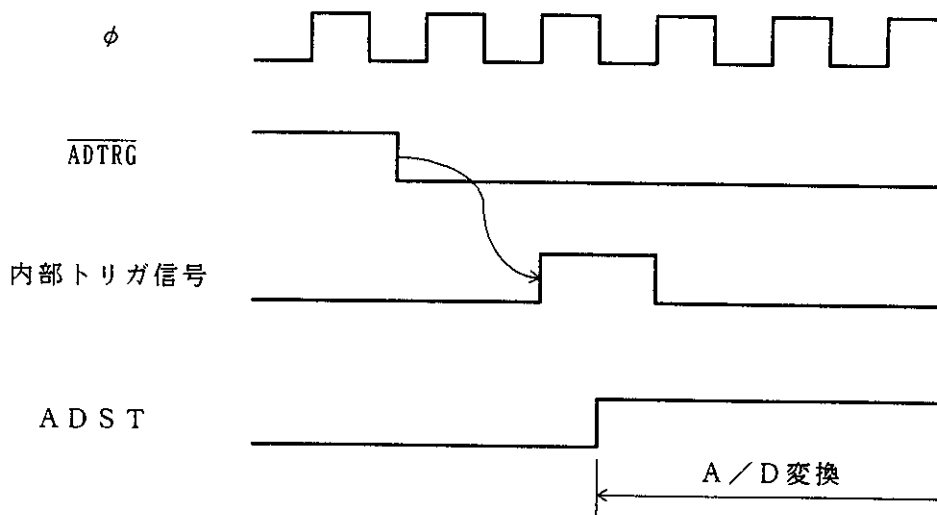


図14.6 外部トリガ入力タイミング

14.5 割込み

A/D変換器は、A/D変換の終了により、A/D変換終了割込み（ADI）を発生します。ADI割込み要求は、ADCSRのADIEビットで許可/禁止することができます。

14.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧は $AV_{SS} \leq AN_n \leq V_{REF}$ の範囲としてください。（n = 0 ~ 7）

(2) AV_{CC}、AV_{SS}入力電圧

AV_{SS}入力電圧は、 $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

(3) V_{REF}入力電圧

V_{REF}端子入力電圧のアナログ基準は $V_{REF} \leq AV_{CC}$ としてください。A/D変換器を使用しない場合、 $V_{REF} = V_{CC}$ としてください。

15. R A M

第15章 目次

15.1	概要	547
15.1.1	ブロック図	547
15.1.2	レジスタ構成	548
15.2	システムコントロールレジスタ (SYS CR)	549
15.3	動作説明	550

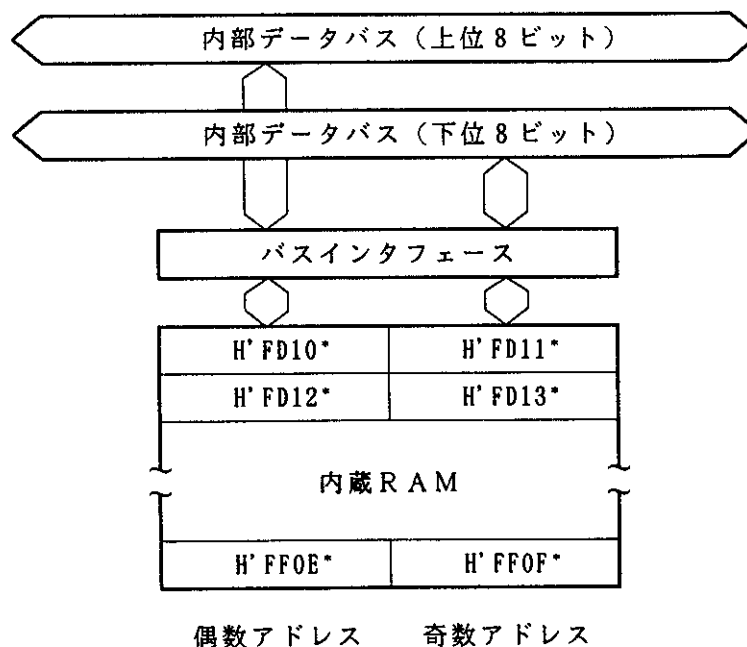
15.1 概要

H8/3003は、512バイトのスタティックRAMを内蔵しています。RAMはCPUと16ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず2ステートで行われます。したがって、データの高速度転送が可能です。

内蔵RAMは、モード1、2のときH'FFD10~H'FFF0Fに、モード3、4のときH'FFFD10~H'FFFF0Fに割り当てられており、システムコントロールレジスタ(SYSCR)のRAMイネーブル(RAME)ビットにより内蔵RAM有効/無効の制御を行います。

15.1.1 ブロック図

RAMのブロック図を図15.1に示します。



【注】* アドレスは下位16ビットを示しています。

図15.1 RAMのブロック図

15.1.2 レジスタ構成

内蔵RAMは、SYSCRで制御されます。

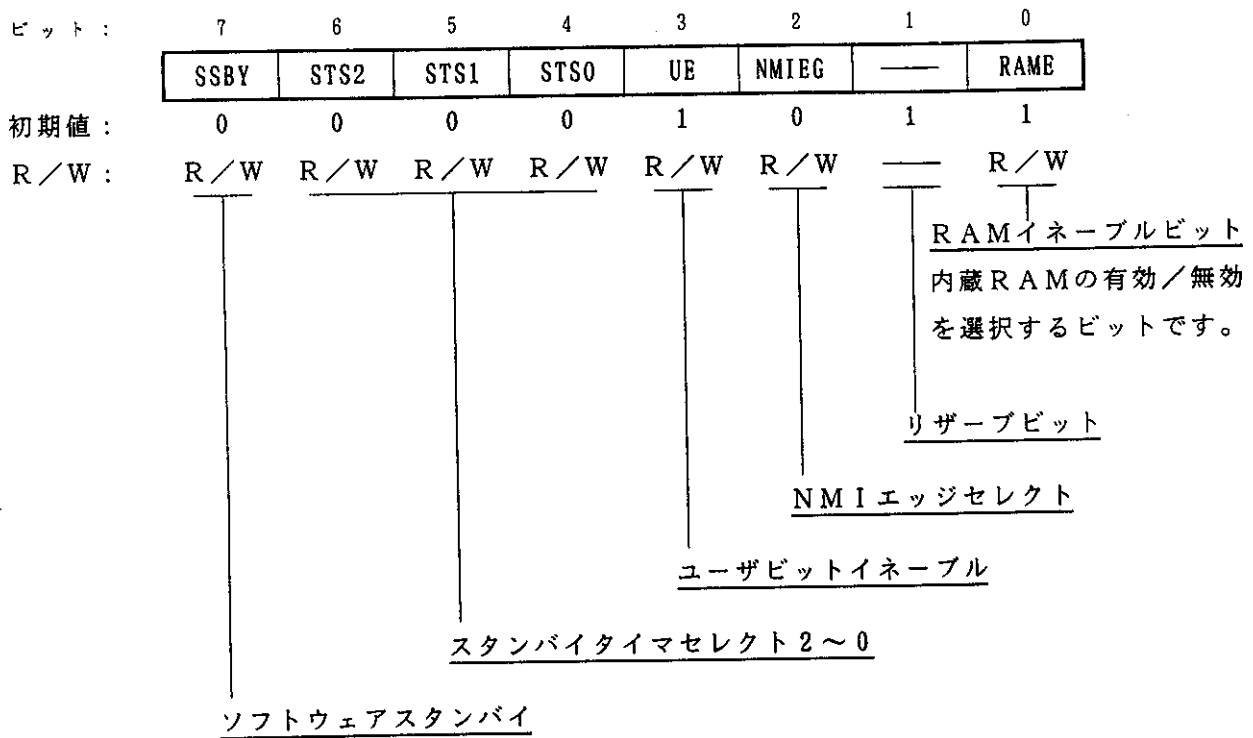
SYSCRのアドレスと初期値を表15.1に示します。

表15.1 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】* アドレスは下位16ビットを示しています。

15.2 システムコントロールレジスタ (SYSCR)



SYSCRは、内蔵RAMへのアクセスを許可/禁止するレジスタです。内蔵RAMはSYSCRのRAMEビットにより有効/無効が選択されます。なお、SYSCRのその他のビットについての詳細は「3.3 システムコントロールレジスタ」を参照してください。

ビット0: RAMイネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはRES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット0	説明	明
RAME		
0	内蔵RAM無効	
1	内蔵RAM有効	(初期値)

15.3 動作説明

RAMEビットが“1”にセットされているとき、モード1、2ではH'FFD10～H'FFF0Fを、モード3、4ではH'FFFD10～H'FFFF0Fをアクセスすると内蔵RAMがアクセスされます。また、RAMEビットが“0”にクリアされているときは、外部アドレス空間がアクセスされます。

RAMはCPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトも可能です。

バイトデータは、データバス上位8ビットを使い2ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス16ビットを使い2ステートでアクセスできます。

16. クロック発振器

第16章 目次

16.1	概要	553
16.1.1	ブロック図	553
16.2	発振器	554
16.2.1	水晶発振子を接続する方法	554
16.2.2	外部クロックを入力する方法	556
16.3	システムクロック分周器（2分周発振版）	558
16.4	デューティ補正回路（1：1発振版）	558
16.5	プリスケアラ	558

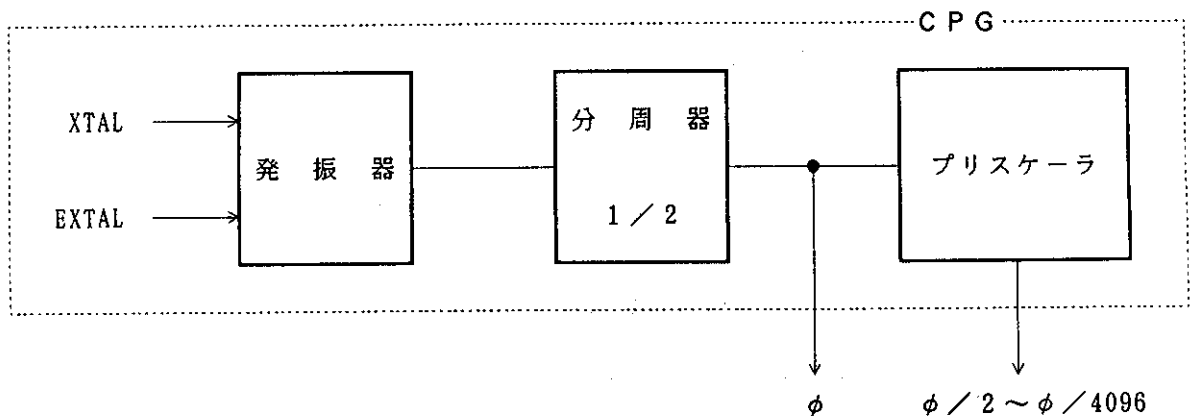
16.1 概要

H8/3003は、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、クロック発振器とシステムクロック（ ϕ ）、および内部クロック（ $\phi/2 \sim \phi/4096$ ）を生成します。

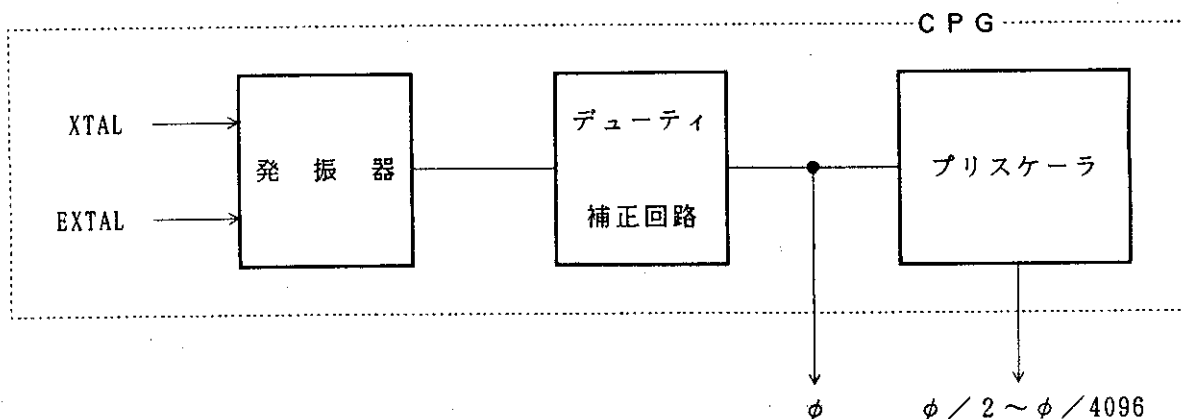
H8/3003には、2分周発振版と1:1発振版があり、クロック発振器の構成が異なります。2分周発振版のクロック発振器は、発振器、システムクロック分周器、および内蔵周辺モジュール用クロック分周器（プリスケアラ）から構成されます。また、1:1発振版のクロック発振器は、発振器、デューティ補正回路、およびプリスケアラから構成されます。

16.1.1 ブロック図

図16.1にクロック発振器のブロック図を示します。



(a) 2分周発振版のクロック発振器



(b) 1:1発振版のクロック発振器

図16.1 クロック発振器のブロック図

16.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

16.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図16.2に示します。ダンピング抵抗 R_d は、表16.1に示すものを使用してください。また、水晶発振子は、ATカット並列共振形を使用してください。

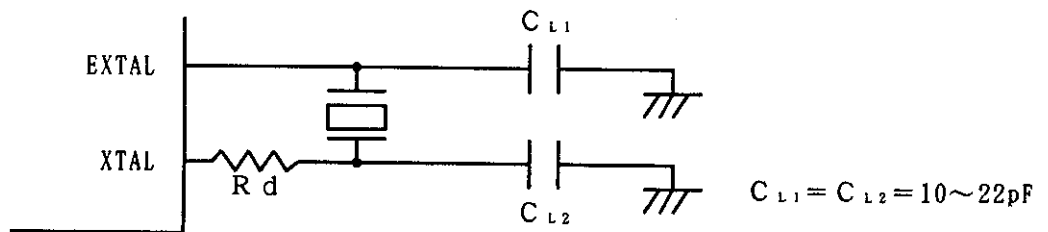


図16.2 水晶発振子を接続する場合の接続例

表16.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	12	16	20	24
R_d (Ω)	1 k	500	200	0	0	0	0

(2) 水晶発振子

図16.3に水晶発振子の等価回路を示します。水晶発振子は表16.2に示す特性のものを使用してください。

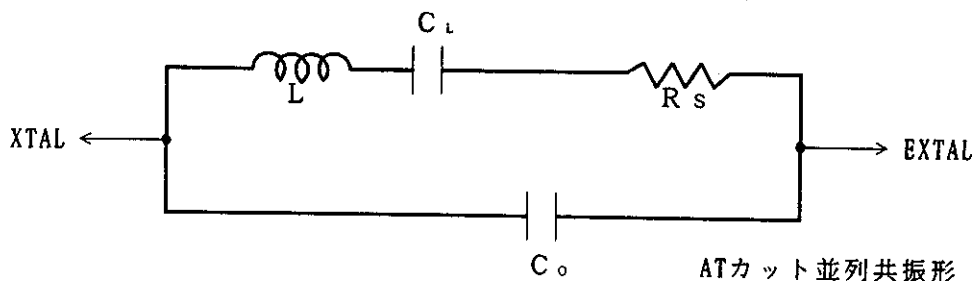


図16.3 水晶発振子の等価回路

表16.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16	20	24
$R_{s \max}$ (Ω)	500	120	80	70	60	50	40	40
C_o (pF)	7 pF max							

① 2分周発振版

水晶発振子は、 ϕ の2倍の周波数のものを使用してください。

② 1:1発振版

水晶発振子は、 ϕ と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります(図16.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけXTAL、EXTAL端子の近くに配置してください。

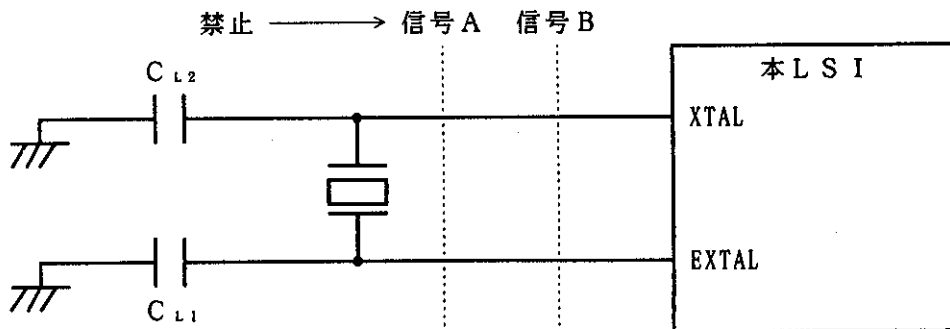


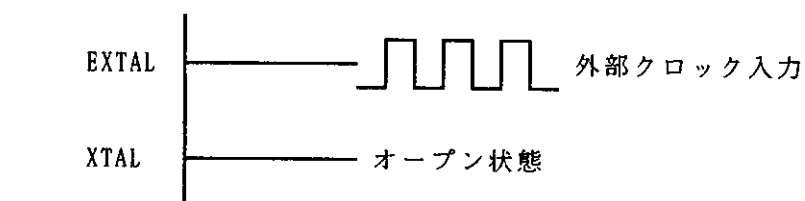
図16.4 発振回路部のボード設計に関する注意事項

16.2.2 外部クロックを入力する方法

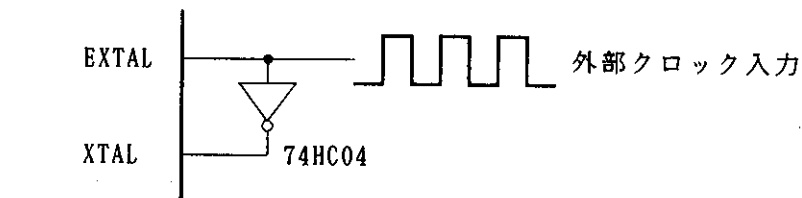
(1) 回路構成

外部クロック入力の接続例を図16.5に示します。図16.5(b)の場合、スタンバイモード時には外部クロックが“High”レベルとなるようにしてください。

XTAL端子をオープン状態にする場合は、寄生容量が10pF以下としてください。



(a) XTAL端子をオープンにする接続例



(b) XTAL端子に逆相クロックを入力する接続例

図16.5 外部クロックを入力する場合の接続例

(2) 外部クロック

① 2分周発振版

外部クロックは ϕ の2倍の周波数でデューティ40%~60%としてください。

② 1:1発振版

外部クロックは ϕ と同一の周波数にしてください。表16.3と図16.6にクロックタイミングを示します。

表16.3 クロックタイミング

項目	記号	$V_{CC}=2.7\sim 5.5V$		$V_{CC}=5.0V\pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック 立上がり時間	t_{EXR}	-	10	-	5	ns	図16.6	
外部クロック 立下がり時間	t_{EXR}	-	10	-	5	ns		
外部クロック入力 デューティ (a/t_{CYC})	-	30	70	30	70	%	$\phi \geq 5\text{ MHz}$	図16.6
		40	60	40	60	%	$\phi < 5\text{ MHz}$	
ϕ クロック幅 デューティ (b/t_{CYC})	-	40	60	40	60	%		

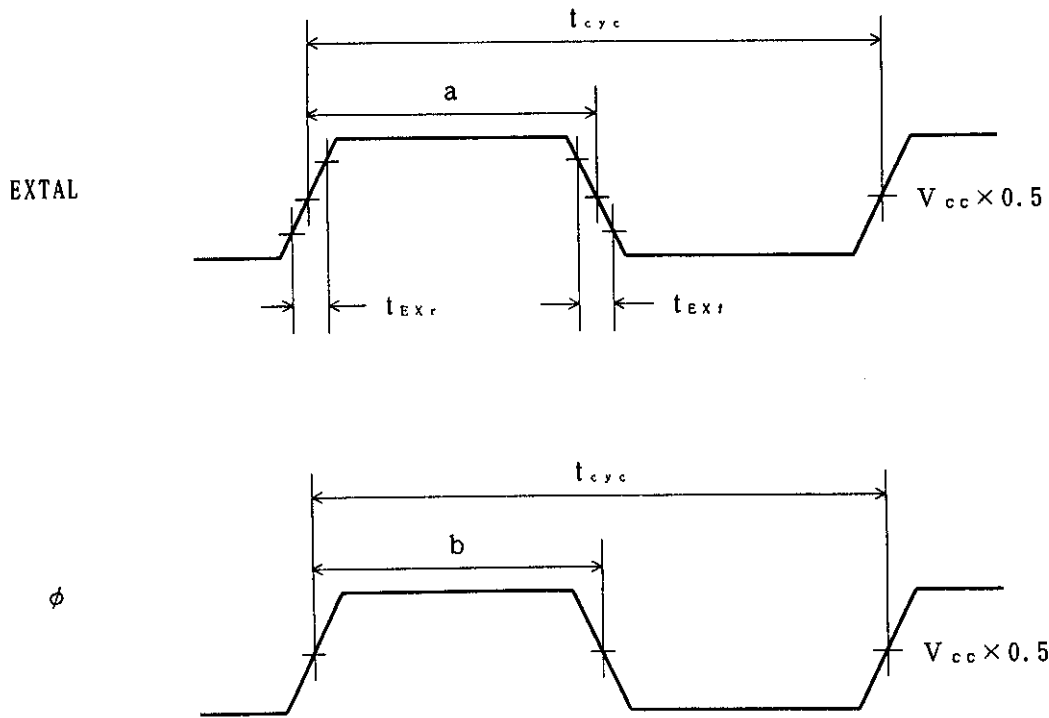


図16.6 外部クロック入力タイミング

16.3 システムクロック分周器（2分周発振版）

システムクロック分周器は、発振器からのクロックを1/2に分周して ϕ を生成します。

16.4 デューティ補正回路（1：1発振版）

デューティ補正回路は、周波数5 MHz以上の発振に対し発振器からのクロックのデューティを補正し、 ϕ を生成します。

16.5 プリスケーラ

プリスケーラは、 ϕ を分周し内部クロック（ $\phi/2 \sim \phi/4096$ ）を生成します。

17. 低消費電力状態

第17章 目次

17.1	概要	561
17.2	レジスタ構成	562
17.2.1	システムコントロールレジスタ (SYSCR)	562
17.3	スリープモード	564
17.3.1	スリープモードへの遷移	564
17.3.2	スリープモードの解除	564
17.4	ソフトウェアスタンバイモード	565
17.4.1	ソフトウェアスタンバイモードへの遷移	565
17.4.2	ソフトウェアスタンバイモードの解除	565
17.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	566
17.4.4	ソフトウェアスタンバイモードの応用例	567
17.4.5	使用上の注意	567
17.5	ハードウェアスタンバイモード	568
17.5.1	ハードウェアスタンバイモードへの遷移	568
17.5.2	ハードウェアスタンバイモードの解除	568
17.5.3	ハードウェアスタンバイモードのタイミング	568

17.1 概要

H8/3003には、CPU機能を停止して消費電力を著しく低下させる低消費電力状態があります。

低消費電力状態には、次の3種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件とCPUや周辺機能などの状態、および各モードからの解除方法を表17.1に示します。

表17.1 低消費電力状態

モード	遷移条件	状 態								解除方法
		クロック	CPU	レジスタ	DMAC	リフレッシュコントローラ	周辺機能	RAM	I/Oポート	
スリープモード	SYSCRのSSBY="0"の状態でのSLEEP命令を実行	動作	停止	保持	動作	動作	動作	保持	保持	<ul style="list-style-type: none"> ・ 割込み ・ $\overline{\text{RES}}$端子 ・ $\overline{\text{STBY}}$端子
ソフトウェアスタンバイモード	SYSCRのSSBY="1"の状態でのSLEEP命令を実行	停止	停止	保持	停止 リセット	停止 保持 ^{*1}	停止 リセット	保持	保持	<ul style="list-style-type: none"> ・ NMI端子 ・ $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_2$端子 ・ $\overline{\text{RES}}$端子 ・ $\overline{\text{STBY}}$端子
ハードウェアスタンバイモード	$\overline{\text{STBY}}$ 端子を"Low"レベル	停止	停止	不定	停止 リセット	停止 リセット	停止 リセット	保持 ^{*2}	ハイインピーダンス	<ul style="list-style-type: none"> ・ $\overline{\text{STBY}}$端子 ・ $\overline{\text{RES}}$端子

【注】^{*1} RTCNT、RTNCSRのビット7、6はイニシャライズされ、その他は保持となります。

^{*2} プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを"0"にクリアする必要があります。

《記号説明》

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

17.2 レジスタ構成

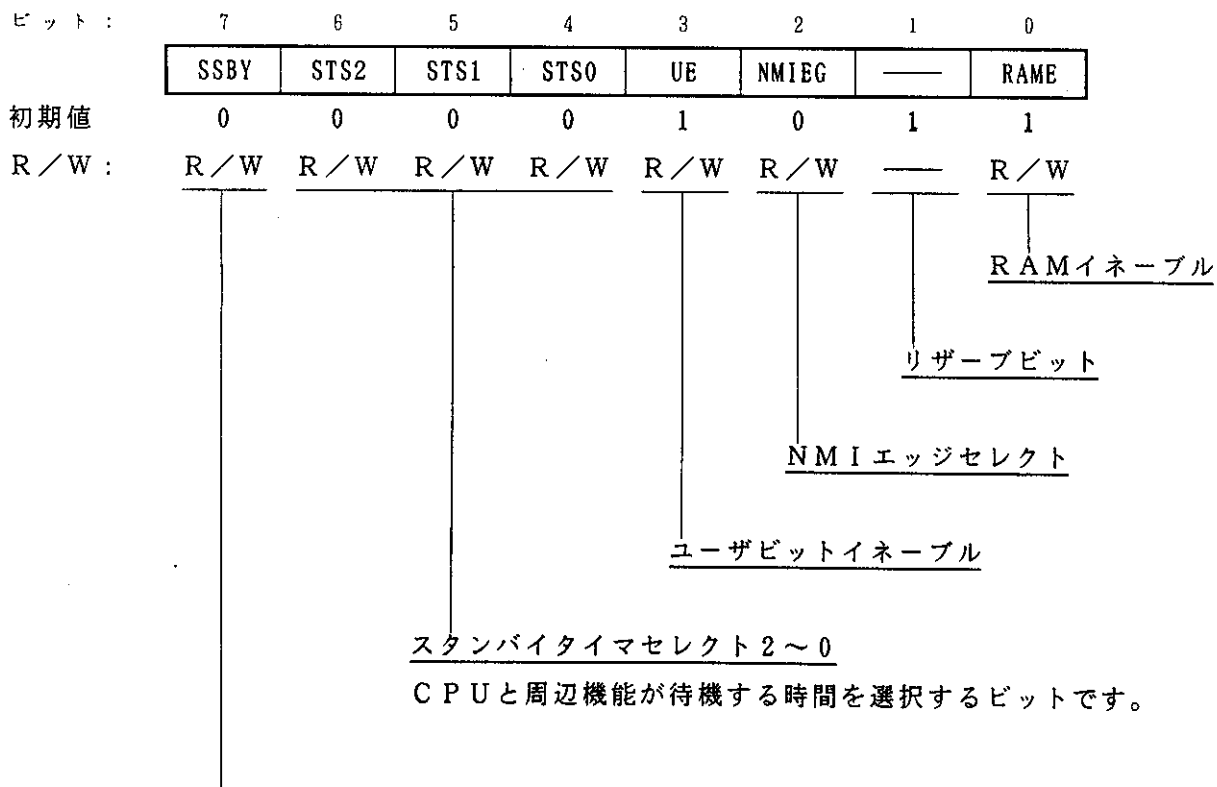
本LSIには低消費電力状態の制御を行うシステムコントロールレジスタ（SYSCR）があります。レジスタ構成を表17.2に示します。

表17.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】* アドレスの下位16ビットを示しています。

17.2.1 システムコントロールレジスタ（SYSCR）



ソフトウェアスタンバイ

ソフトウェアスタンバイモードへの遷移を選択するビットです。

SYSCRは8ビットのリード/ライト可能なレジスタで、ビット7のSSBYビットとビット6~4のSTS2~STS0ビットにより低消費電力状態の制御を行います。なお、SYSCRのその他のビットについての詳細は「3.3 システムコントロールレジスタ」を参照してください。

ビット7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表17.3を参照し動作周波数に応じて待機時間が8ms（発振安定時間）以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	待機時間 = 4ステート*

【注】* 1：1発振版では、使用しないでください。

17.3 スリープモード

17.3.1 スリープモードへの遷移

SYSCRのSSBYビットを“0”にクリアした状態でSLEEP命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPUの動作は、SLEEP命令実行直後に停止します。CPUの動作は停止しますが、CPUのレジスタの内容は保持されます。スリープモードではDMAコントローラ(DMAC)、リフレッシュコントローラ、および内蔵周辺モジュールの機能は停止しません。

17.3.2 スリープモードの解除

スリープモードの解除は、割込み、RES端子、STBY端子によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがモジュール側で禁止されている場合、また、NMI以外の割込みでCCRのI、UIビット、IRRによってマスクされている場合にはスリープモードは解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) STBY端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

17.4 ソフトウェアスタンバイモード

17.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するにはSYSCRのSSBYビットを“1”にセットした状態で、SLEEP命令を実行します。

ソフトウェアスタンバイモードでは、CPUだけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。DMAC、内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPUのレジスタ、および内蔵RAMのデータは保持されます。I/Oポートおよびリフレッシュコントローラ*の状態も保持されています。

【注】* RTCNT、RTMCSRのビット7、6はイニシャライズされ、その他は保持となります。

17.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み（NMI端子、 $\overline{IRQ_0}$ ～ $\overline{IRQ_2}$ 端子）、RES端子、またはSTBY端子によって行われます。

(1) 割込みによる解除

NMI、 $\overline{IRQ_0}$ ～ $\overline{IRQ_2}$ 割込み要求信号が入力されると、クロックの発振が開始され、SYSCRのSTS2～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。なお、 $\overline{IRQ_0}$ ～ $\overline{IRQ_2}$ 割込みは、対応するイネーブルビットが“0”にクリアされている場合、またはCPUでマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このときRES端子は必ずクロックの発振が安定するまで“Low”レベルに保持してください。RES端子を“High”レベルにすると、CPUはリセット例外処理を開始します。

(3) STBY端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

17.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCRのSTS2～STS0ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が8ms（発振安定時間）以上となるようにSTS2～STS0を設定してください。

表17.3に動作周波数とSTS2～STS0ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

2分周発振版では、任意の値を選択可能です。通常の場合は、最小時間（STS2 = STS1 = STS0 = “1”）の使用を推奨します。

1：1発振版では、最小時間以外の任意の値を選択可能です。

表17.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192ステート	0.51	0.65	0.8	1.0	1.3	2.0	4.1	ms
0	0	1	16384ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
0	1	0	32768ステート	2.0	2.7	3.3	4.1	5.5	8.2	16.4	
0	1	1	65536ステート	4.1	5.5	6.6	8.2	10.9	16.4	32.8	
1	0	—	131072ステート	8.2	10.9	13.1	16.4	21.8	32.8	65.5	
1	1	—	4ステート*	0.25	0.33	0.4	0.5	0.67	1.0	2.0	μs

□：推奨設定時間

【注】* 1：1発振版では使用できません。

17.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI端子の立下がり（NMI端子の立上がりで解除を行う例を、図17.1に示します。

SYSCRのNMIEGビットが“0”にクリアされている（立下がりエッジ指定）状態でNMI割込みを受け付けた後、NMIEGビットを“1”にセットします（立上がりエッジ指定）。SSBYビットを“1”にセットした後、SLEEP命令を実行してソフトウェアスタンバイモードに移ります。

その後、NMI端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

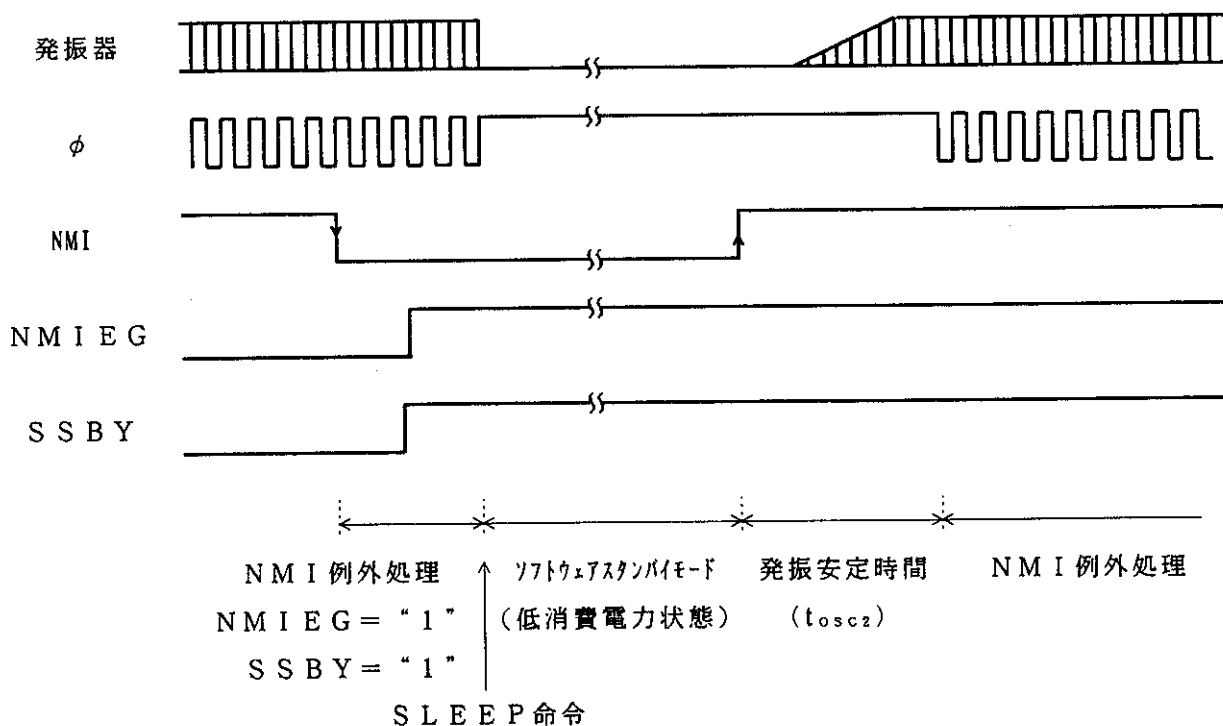


図17.1 ソフトウェアスタンバイモード時のNMIタイミング（例）

17.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/Oポートの状態が保持されます。したがって、“High”レベルを出力している場合、出力電流分の消費電流は低減されません。

17.5 ハードウェアスタンバイモード

17.5.1 ハードウェアスタンバイモードへの遷移

STBY端子を“Low”レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、DMAC、リフレッシュコントローラ、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵RAM以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMのデータは保持されます。I/Oポートは、ハイインピーダンス状態になります。

内蔵RAMのデータを保持するためには、STBY端子を“Low”レベルにする前に、SYSCRのRAMEビットを“0”にクリアしてください。

ハードウェアスタンバイモード中には、モード端子(MD2~MD0)の状態を変化させないでください。

17.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、STBY端子とRES端子とで行われます。RES端子を“Low”レベルにした状態で、STBY端子を“High”レベルにすると、クロックは発振を開始します。このとき、RES端子は必ずクロックの発振が安定するまで“Low”レベルに保持してください。RES端子を“High”レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

17.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図17.2に示します。

RES端子を“Low”レベルにした後、STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、STBY端子を“High”レベルにし、クロックの発振安定時間経過後、RES端子を“Low”レベルから“High”レベルにすることにより行われます。

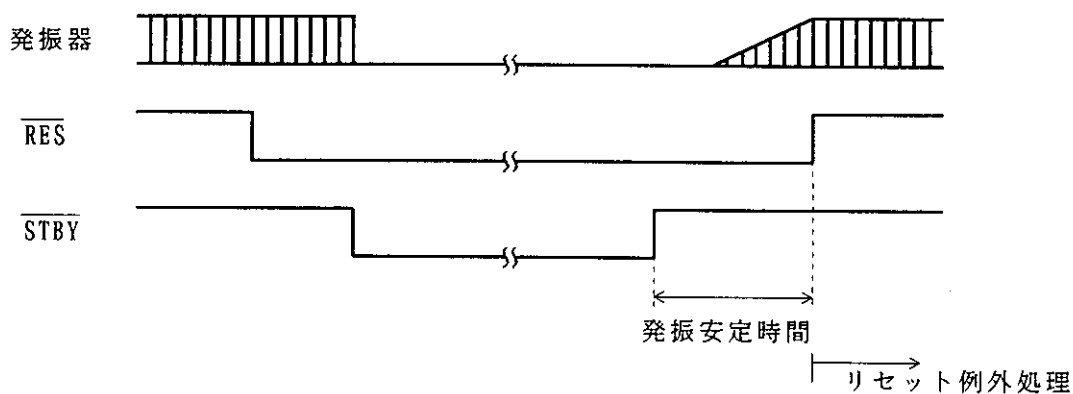


図17.2 ハードウェアスタンバイモードのタイミング

18. 電気的特性

第18章 目次

18.1	絶対最大定格	571
18.2	電気的特性	571
18.2.1	DC特性	571
18.2.2	AC特性	579
18.2.3	A/D変換特性	585
18.3	動作タイミング	586
18.3.1	バスタイミング	586
18.3.2	リフレッシュコントローラバスタイミング	588
18.3.3	制御信号タイミング	593
18.3.4	クロックタイミング	595
18.3.5	TPC、I/Oポートタイミング	595
18.3.6	ITUタイミング	596
18.3.7	SCI入出力タイミング	597
18.3.8	DMACタイミング	598

18.1 絶対最大定格

絶対最大定格を表18.1に示します。

表18.1 絶対最大定格

項 目	記 号	定 格 値	単 位
電 源 電 圧	V_{CC}	-0.3 ~ +7.0	V
入力電圧 (ポート7以外)	V_{IN}	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート7)	V_{IN}	-0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	V_{REF}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC}+0.3$	V
動 作 温 度	T_{OPR}	通常仕様品 : -20~+75	°C
		広温度範囲仕様品 : -40~+85	°C
保 存 温 度	T_{STG}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

18.2 電気的特性

18.2.1 DC特性

DC特性を表18.2に示します。また、出力許容電流値を表18.3に示します。

表18.2 DC特性(1)

条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{REF}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項	目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポートA、	V_{T^-}	1.0	—	—	V	
	P8 ₀ ~P8 ₂ 、	V_{T^+}	—	—	$V_{CC} \times 0.7$	V	
	PB ₀ ~PB ₃	$V_{T^+} - V_{T^-}$	0.4	—	—	V	
入力“High” レベル電圧	RES、STBY、NMI、 MD ₂ ~MD ₀	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$	V	
	ポート7		2.0	—	$AV_{CC} + 0.3$	V	
	ポート4、5、6、9、C、 P8 ₃ 、P8 ₄ 、 PB ₄ ~PB ₇ 、 D ₁₅ ~D ₈		2.0	—	$V_{CC} + 0.3$	V	
入力“Low” レベル電圧	RES、STBY、 MD ₂ ~MD ₀	V_{IL}	-0.3	—	0.5	V	
	NMI、EXTAL、 ポート4、5、6、7、9、C、 P8 ₃ 、P8 ₄ 、 PB ₄ ~PB ₇ 、 D ₁₅ ~D ₈		-0.3	—	0.8	V	
出力“High” レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200 \mu A$
			3.5	—	—	V	$I_{OH} = -1mA$
出力“Low” レベル電圧	全出力端子 (RESOを除く)	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
	ポート5、B、 A ₁₉ ~A ₀		—	—	1.0	V	$I_{OL} = 10mA$
	RESO		—	—	0.4	V	$I_{OL} = 2.6mA$
入力リーク 電流	STBY、NMI、RES、 MD ₂ ~MD ₀	$ I_{in} $	—	—	1.0	μA	$V_{in} =$ 0.5~ $V_{CC} - 0.5V$
	ポート7		—	—	1.0	μA	$V_{in} =$ 0.5~ $AV_{CC} - 0.5V$

表18.2 DC特性(2)

条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{REF}=4.5V \sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品)、 $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
スリープ状態 電流 (オフ状態)	ポート4、5、6、8~C、 A ₁₅ ~A ₀ 、 D ₁₅ ~D ₈	I _{TSI}	—	—	1.0	μA	V _{in} = 0.5~V _{CC} -0.5V
	RES0		—	—	10.0	μA	
入力プルアップ MOS電流	ポート4、5	-I _P	50	—	300	μA	V _{in} =0V
入力容量	NMI	C _{in}	—	—	50	pF	V _{in} =0V f=1MHz T _a =25°C
	NMI以外の 全入力端子		—	—	15	pF	
消費電流* ²	通常動作時	I _{CC}	—	35	55	mA	f=10MHz
			—	40	65		f=12MHz
			—	50	80		f=16MHz
	スリープ時		—	25	40	f=10MHz	
			—	30	45	f=12MHz	
			—	35	60	f=16MHz	
	スタンバイ時* ³		—	0.01	5.0	μA	T _a ≤ 50°C
—		—	20.0	50°C < T _a			
アナログ 電源電流	A/D変換中	AI _{CC}	—	1.2	2.0	mA	
	A/D変換待機時		—	0.01	5.0		
リファレンス 電源電流	A/D変換中	AI _{CC}	—	0.3	0.6	mA	V _{REF} =5.0V
	A/D変換待機時		—	0.01	5.0		
RAMスタンバイ電圧	V _{RAM}	2.0	—	—	V		

【注】*¹ A/D変換器未使用時にAV_{CC}、V_{REF}、AV_{SS}端子を開放しないでください。

AV_{CC}、V_{REF}端子はV_{CC}に、AV_{SS}端子はV_{SS}にそれぞれ接続してください。

*² 消費電流値は、V_{IH min}=V_{CC}-0.5V、V_{IL max}=0.5Vの条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*³ V_{RAM} ≤ V_{CC} < 4.5Vのとき、V_{IH min}=V_{CC} × 0.9、V_{IL max}=0.3Vとした場合の値です。

表18.2 DC特性(3)

条件: $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a = -20\sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40\sim +85^{\circ}C$ (広温度範囲仕様品)

項 目	記 号	min	typ	max	単位	測 定 条 件		
シュミットトリガ 入力電圧	ポートA、 P8 ₀ ~P8 ₂ 、 PB ₀ ~PB ₃	V_{T^-}	$V_{CC}\times 0.2$	—	—	V		
		V_{T^+}	—	—	$V_{CC}\times 0.7$	V		
		$V_{T^+}-V_{T^-}$	$V_{CC}\times 0.07$	—	—	V		
入力“High” レベル電圧	RES、 \overline{STBY} 、NMI、 MD ₂ ~MD ₀	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V		
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V		
	ポート7		$V_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V		
	ポート4、5、6、9、C、 P8 ₃ 、P8 ₄ 、 PB ₄ ~PB ₇ 、 D ₁₅ ~D ₈		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V		
入力“Low” レベル電圧	RES、 \overline{STBY} 、 MD ₂ ~MD ₀	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V		
	NMI、EXTAL、 ポート4、5、6、7、9、C、 P8 ₃ 、P8 ₄ 、 PB ₄ ~PB ₇ 、 D ₁₅ ~D ₈		-0.3	—	$V_{CC}\times 0.2$	V		$V_{CC}<4.0V$
					0.8	V		$V_{CC}=4.0\sim 5.5V$
出力“High” レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$	
			$V_{CC}-1.0$	—	—	V	$V_{CC}\leq 4.5V$ 、 $I_{OH}=-1mA$	
			3.5	—	—	V	$4.5<V_{CC}\leq 5.5V$ 、 $I_{OH}=-1mA$	
出力“Low” レベル電圧	全出力端子 (RES0を除く)	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$	
	ポート5、B、 A ₁₉ ~A ₀		—	—	1.0	V	$V_{CC}\leq 4.0V$ 、 $I_{OL}=8mA$ 、 $4.0V<V_{CC}\leq 5.5V$ 、 $I_{OL}=10mA$	
	$\overline{RES0}$		—	—	0.4	V	$I_{OL}=2.6mA$	
入力リーク 電 流	\overline{STBY} 、NMI、 \overline{RES} 、 MD ₂ ~MD ₀	$ I_{in} $	—	—	1.0	μA	$V_{in} =$ $0.5\sim V_{CC}-0.5V$	
	ポート7		—	—	1.0	μA	$V_{in} =$ $0.5\sim AV_{CC}-0.5V$	

表18.2 DC特性(4)

条件: $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	#-14、5、6、8~C、 A ₁₉ ~A ₀ 、 D ₁₅ ~D ₈	—	—	1.0	μA	V _{in} =0.5~ V _{CC} -0.5V
	RES0	—	—	10.0	μA	
入力プルアップ MOS電流	ポート4、5	10	—	300	μA	V _{CC} =2.7V~ 5.5V、 V _{in} =0V
入力容量	NMI	—	—	50	pF	V _{in} =0V f=1MHz T _a =25°C
	NMI以外の 全入力端子	—	—	15	pF	
消費電流*2	通常動作時	—	30 (5.0V)	36.2 (5.5V)	mA	f=8MHz
	スリープ時	—	20 (5.0V)	27.4 (5.5V)	mA	f=8MHz
	スタンバイ時*3	—	0.01	5.0	μA	T _a ≤50°C
		—	—	20.0		50°C < T _a
アナログ 電源電流	A/D変換中	—	1.0	2.0	mA	AV _{CC} =3.0V
	A/D変換待機時	—	1.2	—		AV _{CC} =5.0V
リファレンス 電源電流	A/D変換中	—	0.2	0.4	mA	V _{REF} =3.0V
		—	0.3	—		V _{REF} =5.0V
	A/D変換待機時	—	0.01	5.0	μA	
RAMスタンバイ電圧	V _{RAM}	2.0	—	—	V	

【注】*1 A/D変換器未使用時にAV_{CC}、V_{REF}、AV_{SS}端子を開放しないでください。

AV_{CC}、V_{REF}端子はV_{CC}に、AV_{SS}端子はV_{SS}にそれぞれ接続してください。

*2 消費電流値は、V_{IH min}=V_{CC}-0.5V、V_{IL max}=0.5Vの条件下で、すべての出力端子
を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*3 V_{RAM}≤V_{CC}<2.7Vのとき、V_{IH min}=V_{CC}×0.9、V_{IL max}=0.3Vとした場合の値です。

*4 I_{CC}は下記の式に従ってV_{CC}とfに依存します。

$$I_{CC \max} = 1.0(\text{mA}) + 0.8(\text{mA/MHz} \cdot \text{V}) \cdot V_{CC} \cdot f \quad (\text{通常動作時})$$

$$I_{CC \max} = 1.0(\text{mA}) + 0.6(\text{mA/MHz} \cdot \text{V}) \cdot V_{CC} \cdot f \quad (\text{スリープ時})$$

表18.2 DC特性(5)

条件: $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a = -20\sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40\sim +85^{\circ}C$ (広温度範囲仕様品)

項	目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポートA、 P8 ₀ ~P8 ₂ 、 PB ₀ ~PB ₃	V_{T^-}	$V_{CC}\times 0.2$	—	—	V	
		V_{T^+}	—	—	$V_{CC}\times 0.7$	V	
		$V_{T^+}-V_{T^-}$	$V_{CC}\times 0.07$	—	—	V	
入力“High” レベル電圧	RES、STBY、NMI、 MD ₂ ~MD ₀	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
	ポート7		$V_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
	ポート4、5、6、9、C、 P8 ₃ 、P8 ₄ 、 PB ₄ ~PB ₇ 、 D ₁₅ ~D ₈		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
入力“Low” レベル電圧	RES、STBY、 MD ₂ ~MD ₀	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	NMI、EXTAL、 ポート4、5、6、7、9、C、 P8 ₃ 、P8 ₄ 、 PB ₄ ~PB ₇ 、 D ₁₅ ~D ₈		-0.3	—	$V_{CC}\times 0.2$	V	$V_{CC}<4.0V$
				0.8	$V_{CC}=4.0\sim 5.5V$		
出力“High” レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—		$V_{CC}\leq 4.5V$ 、 $I_{OH}=-1mA$
			3.5	—	—	V	$4.5<V_{CC}\leq 5.5V$ 、 $I_{OH}=-1mA$
出力“Low” レベル電圧	全出力端子 (RESOを除く)	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート5、B、 A ₁₀ ~A ₀		—	—	1.0	V	$V_{CC}\leq 4.0V$ 、 $I_{OL}=8mA$ 、 $4.0V<V_{CC}\leq 5.5V$ 、 $I_{OL}=10mA$
	RESO		—	—	0.4	V	$I_{OL}=2.6mA$
入力リーク 電流	STBY、NMI、RES、 MD ₂ ~MD ₀	$ I_{in} $	—	—	1.0	μA	$V_{in} =$ $0.5\sim V_{CC}-0.5V$
	ポート7		—	—	1.0	μA	$V_{in} =$ $0.5\sim AV_{CC}-0.5V$

表18.2 D C 特性(6)

条件: $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$
 $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項	目	記号	min	typ	max	単位	測定条件
スリープステート リーク電流 (オフ状態)	ポート4、5、6、8~C、 A ₁₅ ~A ₀ 、 D ₁₅ ~D ₀	I _{TS1}	—	—	1.0	μA	V _{in} =0.5~ V _{CC} -0.5V
	RES0		—	—	10.0	μA	
入力プルアップ MOS電流	ポート4、5	-I _P	10	—	300	μA	V _{CC} =2.7V~ 5.5V、 V _{in} =0V
入力容量	NMI	C _{in}	—	—	50	pF	V _{in} =0V f=1MHz T _a =25°C
	NMI以外の 全入力端子		—	—	15	pF	
消費電流*2	通常動作時	I _{CC} *4	—	38 (5.0V)	45 (5.5V)	mA	f=10MHz
	スリープ時		—	27 (5.0V)	34 (5.5V)	mA	f=10MHz
	スタンバイ時*3		—	0.01	5.0	μA	T _a ≤50°C
	—	—	20.0	50°C < T _a			
アナログ 電源電流	A/D変換中	AI _{CC}	—	1.0	2.0	mA	AV _{CC} =3.0V
	A/D変換待機時		—	1.2	—		AV _{CC} =5.0V
リファレンス 電源電流	A/D変換中	AI _{CC}	—	0.2	0.4	mA	V _{REF} =3.0V
			—	0.3	—		V _{REF} =5.0V
	A/D変換待機時		—	0.01	5.0	μA	
RAMスタンバイ電圧		V _{RAM}	2.0	—	—	V	

【注】*1 A/D変換器未使用時にAV_{CC}、V_{REF}、AV_{SS}端子を開放しないでください。

AV_{CC}、V_{REF}端子はV_{CC}に、AV_{SS}端子はV_{SS}にそれぞれ接続してください。

*2 消費電流値は、V_{IH min}=V_{CC}-0.5V、V_{IL max}=0.5Vの条件下で、すべての出力端子
を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*3 V_{RAM}≤V_{CC}<3.0Vのとき、V_{IH min}=V_{CC}×0.9、V_{IL max}=0.3Vとした場合の値です。

*4 I_{CC}は下記の式に従ってV_{CC}とfに依存します。

$$I_{CC \text{ max.}} = 1.0(\text{mA}) + 0.8(\text{mA/MHz} \cdot \text{V}) * V_{CC} * f \text{ (通常動作時)}$$

$$I_{CC \text{ max.}} = 1.0(\text{mA}) + 0.6(\text{mA/MHz} \cdot \text{V}) * V_{CC} * f \text{ (スリープ時)}$$

表18.3 出力許容電流値

条件： $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$
 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項	目	記号	min	typ	max	単位
出力“Low”レベル許容電流 （1端子あたり）	ポート5、B、 $A_{19}\sim A_0$	I_{OL}	—	—	10	mA
	上記以外の出力端子		—	—	2.0	mA
出力“Low”レベル許容電流 （総和）	ポート5、B、 $A_{19}\sim A_0$ 32端子の総和	ΣI_{OL}	—	—	80	mA
	上記を含む、全出力端子の総和		—	—	120	mA
出力“High”レベル許容電流 （1端子あたり）	全出力端子	I_{OH}	—	—	2.0	mA
出力“High”レベル許容電流 （総和）	全出力端子の総和	ΣI_{OH}	—	—	40	mA

- 【注】 1. L S I の信頼性を確保するため、出力電流値は表18.3の値を超えないようにしてください。
2. ダーリントトランジスタや、LEDを直接駆動する場合には、図18.1、図18.2に示すように、出力に必ず電流制限抵抗を挿入してください。

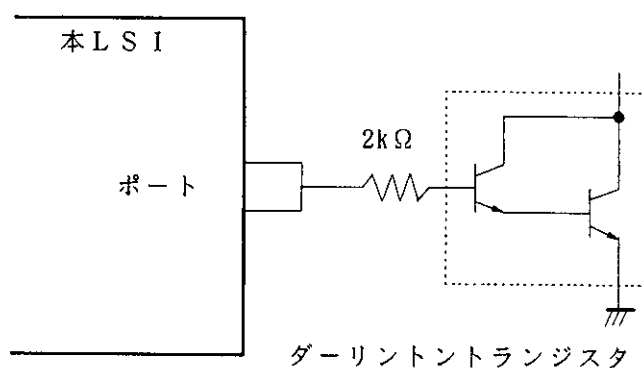


図18.1 ダーリントトランジスタ駆動回路例

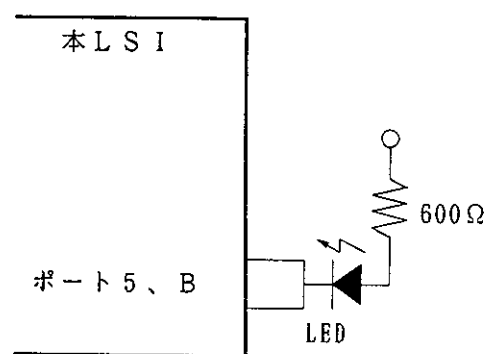


図18.2 LED駆動回路例

18.2.2 AC特性

表18.4にバスタイミング、表18.5にリフレッシュバスタイミング、表18.6に制御信号タイミングを示します。また、表18.7に内蔵周辺モジュールタイミングを示します。

表18.4 バスタイミング(1)

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 8MHz$ 、 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 10MHz$ 、 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{REF}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 16MHz$ 、 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件A		条件B		条件C		測定条件
		8 MHz		10MHz		16MHz		
		min	max	min	max	min	max	
クロックサイクル時間	t_{cyc}	125	500	100	500	62.5	500	図18.4、 図18.5
クロックパルス幅 "Low"レベル時間	t_{CL}	40	—	30	—	20	—	
クロックパルス幅 "High"レベル時間	t_{CH}	40	—	30	—	20	—	
クロック立上がり時間	t_{CR}	—	20	—	15	—	10	
クロック立下がり時間	t_{CF}	—	20	—	15	—	10	
アドレス遅延時間	t_{AD}	—	60	—	50	—	30	
アドレスホールド時間	t_{AH}	25	—	20	—	10	—	
アドレスストロブ遅延時間	t_{ASD}	—	60	—	40	—	30	
ライトストロブ遅延時間	t_{WSD}	—	60	—	50	—	30	
ストロブ遅延時間	t_{SD}	—	60	—	50	—	30	
ライトデータストロブパルス幅1	t_{WSW1}^*	85	—	60	—	35	—	
ライトデータストロブパルス幅2	t_{WSW2}^*	150	—	110	—	65	—	
アドレスセットアップ時間1	t_{AS1}	20	—	15	—	10	—	
アドレスセットアップ時間2	t_{AS2}	80	—	65	—	40	—	
リードデータセットアップ時間	t_{RDS}	50	—	35	—	20	—	
リードデータホールド時間	t_{RDH}	0	—	0	—	0	—	
ライトデータ遅延時間	t_{WDD}	—	75	—	75	—	60	
ライトデータセットアップ時間1	t_{WDS1}	60	—	65	—	35	—	
ライトデータセットアップ時間2	t_{WDS2}	15	—	10	—	5	—	
ライトデータホールド時間	t_{WDH}	25	—	20	—	20	—	
リードデータアクセス時間1	t_{ACC1}^*	—	110	—	100	—	55	
リードデータアクセス時間2	t_{ACC2}^*	—	230	—	200	—	115	

単位 : ns

表18.4 バスタイミング(2)

- 条件 A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 8MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、
 $T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)
- 条件 B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 10MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、
 $T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)
- 条件 C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{REF}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 16MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、
 $T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		測定条件
		8 MHz		10MHz		16MHz		
		min	max	min	max	min	max	
リードデータアクセス時間 3	t_{ACC3}^*	—	55	—	50	—	25	図18.4、 図18.5
リードデータアクセス時間 4	t_{ACC4}^*	—	160	—	150	—	85	
プリチャージ時間	t_{PCH}^*	85	—	60	—	40	—	
ウェイトセットアップ時間	t_{WTS}	40	—	40	—	25	—	図18.6
ウェイトセットホールド時間	t_{WTH}	10	—	10	—	5	—	
バスリクエストセットアップ時間	t_{BRQS}	40	—	40	—	40	—	図18.18
バスアクリッジ遅延時間 1	t_{BACD1}	—	60	—	50	—	30	
バスアクリッジ遅延時間 2	t_{BACD2}	—	60	—	50	—	30	
バスフローティング時間	t_{BZD}	—	70	—	70	—	40	

単位 : ns

【注】* 8 MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned}
 t_{ACC1} &= 1.5 \times t_{CYC} - 78 \quad (ns) & t_{WSW1} &= 1.0 \times t_{CYC} - 40 \quad (ns) \\
 t_{ACC2} &= 2.5 \times t_{CYC} - 83 \quad (ns) & t_{WSW2} &= 1.5 \times t_{CYC} - 38 \quad (ns) \\
 t_{ACC3} &= 1.0 \times t_{CYC} - 70 \quad (ns) & t_{PCH} &= 1.0 \times t_{CYC} - 40 \quad (ns) \\
 t_{ACC4} &= 2.0 \times t_{CYC} - 90 \quad (ns)
 \end{aligned}$$

10MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned}
 t_{ACC1} &= 1.5 \times t_{CYC} - 50 \quad (ns) & t_{WSW1} &= 1.0 \times t_{CYC} - 40 \quad (ns) \\
 t_{ACC2} &= 2.5 \times t_{CYC} - 50 \quad (ns) & t_{WSW2} &= 1.5 \times t_{CYC} - 40 \quad (ns) \\
 t_{ACC3} &= 1.0 \times t_{CYC} - 50 \quad (ns) & t_{PCH} &= 1.0 \times t_{CYC} - 40 \quad (ns) \\
 t_{ACC4} &= 2.0 \times t_{CYC} - 50 \quad (ns)
 \end{aligned}$$

16MHz のとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned}
 t_{ACC1} &= 1.5 \times t_{CYC} - 39 \quad (ns) & t_{WSW1} &= 1.0 \times t_{CYC} - 28 \quad (ns) \\
 t_{ACC2} &= 2.5 \times t_{CYC} - 41 \quad (ns) & t_{WSW2} &= 1.5 \times t_{CYC} - 28 \quad (ns) \\
 t_{ACC3} &= 1.0 \times t_{CYC} - 38 \quad (ns) & t_{PCH} &= 1.0 \times t_{CYC} - 23 \quad (ns) \\
 t_{ACC4} &= 2.0 \times t_{CYC} - 40 \quad (ns)
 \end{aligned}$$

表18.5 リフレッシュコントローラバスタイミング

- 条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 8MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、
 $T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)
- 条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 10MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、
 $T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)
- 条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{REF}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 16MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、
 $T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件A		条件B		条件C		測定条件
		8MHz		10MHz		16MHz		
		min	max	min	max	min	max	
RAS遅延時間1	t_{RAD1}	—	60	—	50	—	30	図18.7) 図18.13
RAS遅延時間2	t_{RAD2}	—	60	—	50	—	30	
RAS遅延時間3	t_{RAD3}	—	60	—	50	—	30	
ロウアドレスホールド時間*	t_{RAH}	25	—	20	—	15	—	
RASプリチャージ時間*	t_{RP}	85	—	70	—	40	—	
CAS to RAS プリチャージ時間*	t_{CRP}	85	—	70	—	40	—	
CASパルス幅	t_{CAS}	110	—	85	—	40	—	
RASアクセス時間*	t_{RAC}	—	160	—	150	—	85	
アドレスアクセス時間	t_{AA}	—	105	—	75	—	55	
CASアクセス時間*	t_{CAC}	—	50	—	50	—	25	
ライトデータセットアップ時間3	t_{WDS3}	75	—	50	—	40	—	
CASセットアップ時間*	t_{CSR}	20	—	15	—	15	—	
リードストロブ遅延時間	t_{RSD}	—	60	—	50	—	30	

単位：ns 単ns

【注】* 8MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{RAH}=0.5\times t_{cyc}-38 \quad (ns) \quad t_{CAC}=1.0\times t_{cyc}-75 \quad (ns)$$

$$t_{RAC}=2.0\times t_{cyc}-90 \quad (ns) \quad t_{CSR}=0.5\times t_{cyc}-43 \quad (ns)$$

$$t_{RP}=t_{CRP}=1.0\times t_{cyc}-40 \quad (ns)$$

10MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{RAH}=0.5\times t_{cyc}-30 \quad (ns) \quad t_{CAC}=1.0\times t_{cyc}-50 \quad (ns)$$

$$t_{RAC}=2.0\times t_{cyc}-50 \quad (ns) \quad t_{CSR}=0.5\times t_{cyc}-35 \quad (ns)$$

$$t_{RP}=t_{CRP}=1.0\times t_{cyc}-30 \quad (ns)$$

16MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{RAH}=0.5\times t_{cyc}-16 \quad (ns) \quad t_{CAC}=1.0\times t_{cyc}-38 \quad (ns)$$

$$t_{RAC}=2.0\times t_{cyc}-40 \quad (ns) \quad t_{CSR}=0.5\times t_{cyc}-16 \quad (ns)$$

$$t_{RP}=t_{CRP}=1.0\times t_{cyc}-23 \quad (ns)$$

表18.6 制御信号タイミング

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 8MHz$ 、 $T_a = -20\sim +75^\circ C$ (通常仕様品)、

$T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 10MHz$ 、 $T_a = -20\sim +75^\circ C$ (通常仕様品)、

$T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{REF}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 16MHz$ 、 $T_a = -20\sim +75^\circ C$ (通常仕様品)、

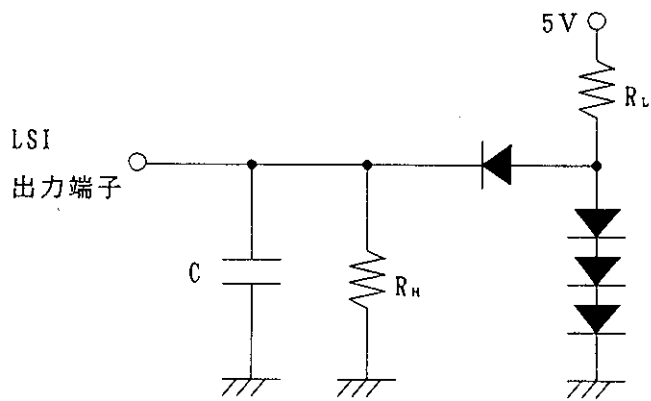
$T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件A		条件B		条件C		単位	測定条件
		8MHz		10MHz		16MHz			
		min	max	min	max	min	max		
RESセットアップ時間	t_{RESS}	200	—	200	—	200	—	ns	図18.15
RESパルス幅	t_{RESW}	10	—	10	—	10	—	t_{CYC}	
RESO出力遅延時間	t_{RESO}	—	100	—	100	—	100	ns	図18.16
RESO出力パルス幅	t_{RESOW}	132	—	132	—	132	—	t_{CYC}	
NMIセットアップ時間 (NMI、 $\overline{IRQ_7}\sim\overline{IRQ_0}$)	t_{NMIS}	150	—	150	—	150	—	ns	図18.17
NMIホールド時間 (NMI、 $\overline{IRQ_7}\sim\overline{IRQ_0}$)	t_{NMIH}	10	—	10	—	10	—	ns	
割込みパルス幅 (NMI、 $\overline{IRQ_2}\sim\overline{IRQ_0}$ ソフトウェアスタンバイモード からの復帰時)	t_{NMIW}	200	—	200	—	200	—	ns	
リセット発振安定 時間 (水晶)	t_{OSC1}	20	—	20	—	20	—	ms	図18.19
ソフトウェアスタンバイ 発振安定時間 (水晶)	t_{OSC2}	8	—	8	—	8	—	ms	図17.1

表18.7 内蔵周辺モジュールタイミング

- 条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 8MHz$ 、 $T_a = -20\sim +75^\circ C$ (通常仕様品)、
 $T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)
- 条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 10MHz$ 、 $T_a = -20\sim +75^\circ C$ (通常仕様品)、
 $T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)
- 条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{REF}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 16MHz$ 、 $T_a = -20\sim +75^\circ C$ (通常仕様品)、
 $T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

モジュール	項目	記号	条件A		条件B		条件C		単位	測定条件
			8MHz		10MHz		16MHz			
			min	max	min	max	min	max		
DMAC	DREQセットアップ時間	t_{DRQS}	40	—	30	—	30	—	ns	図18.27
	DREQホールド時間	t_{DRQH}	10	—	10	—	10	—		図18.25、 図18.26
	TEND遅延時間1	t_{TED1}	—	100	—	50	—	50		
	TEND遅延時間2	t_{TED2}	—	100	—	50	—	50		
ITU	タイマ出力遅延時間	t_{TOCD}	—	100	—	100	—	100	t _{cvc}	図18.21
	タイマ入力セットアップ時間	t_{TICS}	50	—	50	—	50	—		
	タイマクロック入力 セットアップ時間	t_{TCKS}	50	—	50	—	50	—		図18.22
	タイマクロック パルス幅	単エッジ指定 t_{TCKWH} 両エッジ指定 t_{TCKWL}	1.5 2.5	—	1.5 2.5	—	1.5 2.5	—		
SCI	入力クロック サイクル	調歩同期	4		4		4		t _{cvc}	ns
		クロック同期	6		6		6			
	入力クロック立上がり時間	t_{SCKr}	—	1.5	—	1.5	—	1.5	図18.23	
	入力クロック立下がり時間	t_{SCKf}	—	1.5	—	1.5	—	1.5		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6		
	送信データ遅延時間	t_{TXD}	—	100	—	100	—	100		
ポート TPC	受信データセットアップ時間 (クロック同期)	t_{RXS}	100	—	100	—	100	—	ns	図18.24
	受信データホールド時間 (クロック同期)	t_{RXH}	100	—	100	—	100	—		
	出力データ遅延時間	t_{PWD}	—	100	—	100	—	100		図18.20
ポート TPC	入力データセットアップ時間	t_{PRS}	50	—	50	—	50	—	ns	図18.20
	入力データホールド時間	t_{PRH}	50	—	50	—	50	—		



$C=90\text{pF}$: ポート 4、5、6、8、C
 $A(19\sim 0)$ 、 $D(15\sim 8)$ 、
 ϕ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}

$C=30\text{pF}$: ポート 9～B

$R_L=2.4\text{k}\Omega$

$R_H=12\text{k}\Omega$

入出力タイミング測定レベル

- "Low" レベル...0.8V
- "High" レベル...2.0V

図18.3 出力負荷回路

18.2.3 A/D変換特性

A/D変換特性を表18.8に示します。

表18.8 A/D変換特性

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{REF}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 8MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、

$T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 10MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、

$T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{REF}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、
 $\phi = 2\sim 16MHz$ 、 $T_s = -20\sim +75^\circ C$ (通常仕様品)、

$T_s = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目	条件A			条件B			条件C			単位
	8 MHz			10MHz			16MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間	—	—	16.8	—	—	13.4	—	—	8.4	μS
アナログ入力容量	—	—	20	—	—	20	—	—	20	pF
許容信号源 インピーダンス	—	—	10^{*1}	—	—	10^{*1}	—	—	10^{*3}	k Ω
	—	—	5^{*2}	—	—	5^{*5}	—	—	5^{*4}	
非直線性誤差	—	—	± 6.0	—	—	± 6.0	—	—	± 3.0	LSB
オフセット誤差	—	—	± 4.0	—	—	± 4.0	—	—	± 2.0	LSB
フルスケール誤差	—	—	± 4.0	—	—	± 4.0	—	—	± 2.0	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	—	—	± 0.5	LSB
絶対精度	—	—	± 8.0	—	—	± 8.0	—	—	± 4.0	LSB

【注】 *1 $4.0\leq AV_{CC}\leq 5.5$ の場合です。

*2 $2.7\leq AV_{CC}< 4.0$ の場合です。

*3 $\phi \leq 12MHz$ の場合です。

*4 $\phi > 12MHz$ の場合です。

*5 $3.0\leq AV_{CC}< 4.0$ の場合です。

18.3 動作タイミング

動作タイミングを以下に示します。

18.3.1 バスタイミング

バスタイミングを以下に示します。

(1) 基本バスタイミング / 2 ステートアクセス

図18.4に外部2ステートアクセス時の動作タイミングを示します。

(2) 基本バスタイミング / 3 ステートアクセス

図18.5に外部3ステートアクセス時の動作タイミングを示します。

(3) 基本バスタイミング / 3 ステートアクセス 1 ウェイト

図18.6に外部2ステートアクセスで1ウェイトを挿入したときの動作タイミングを示します。

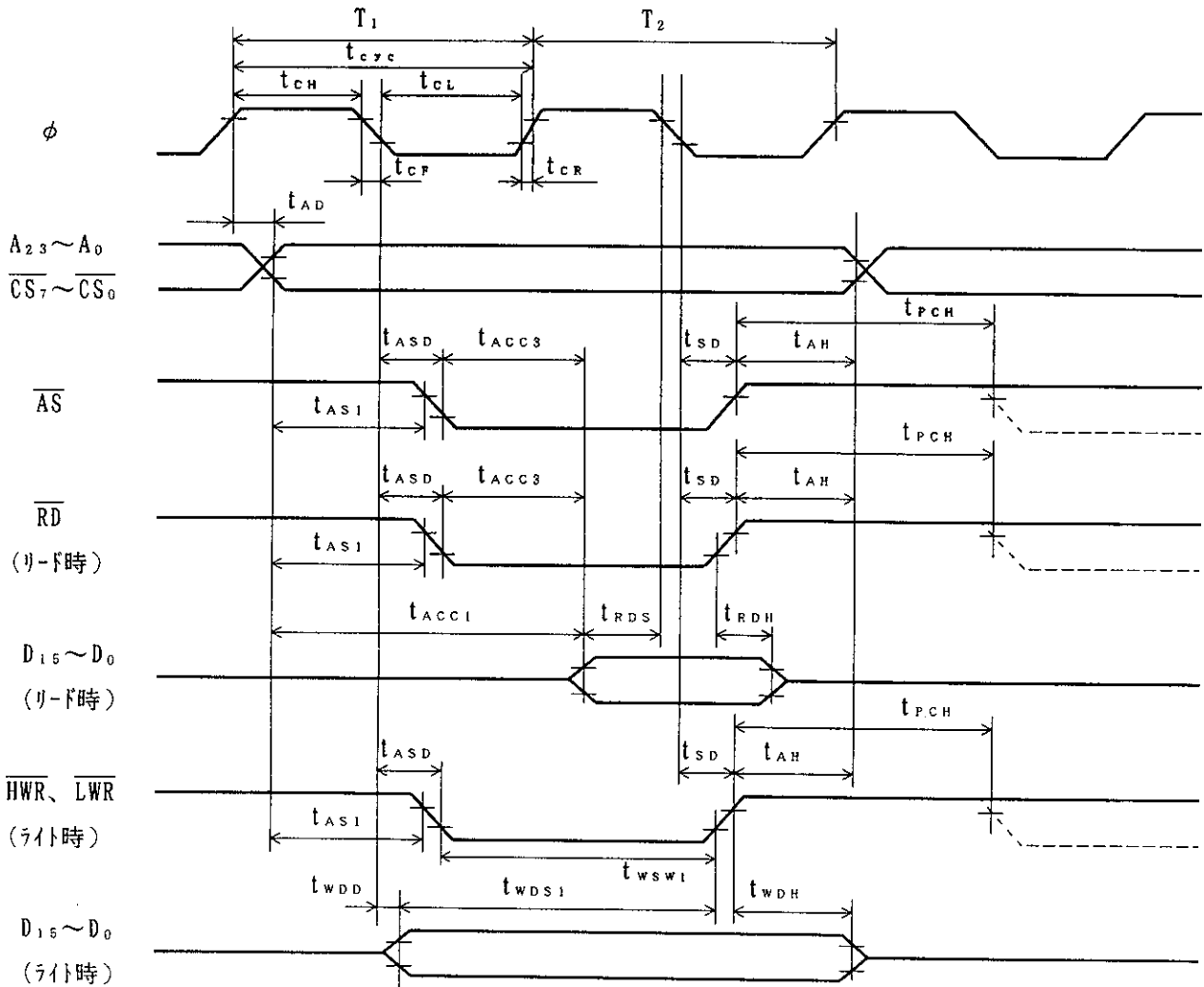


図18.4 基本バスタイミング / 2 ステートアクセス

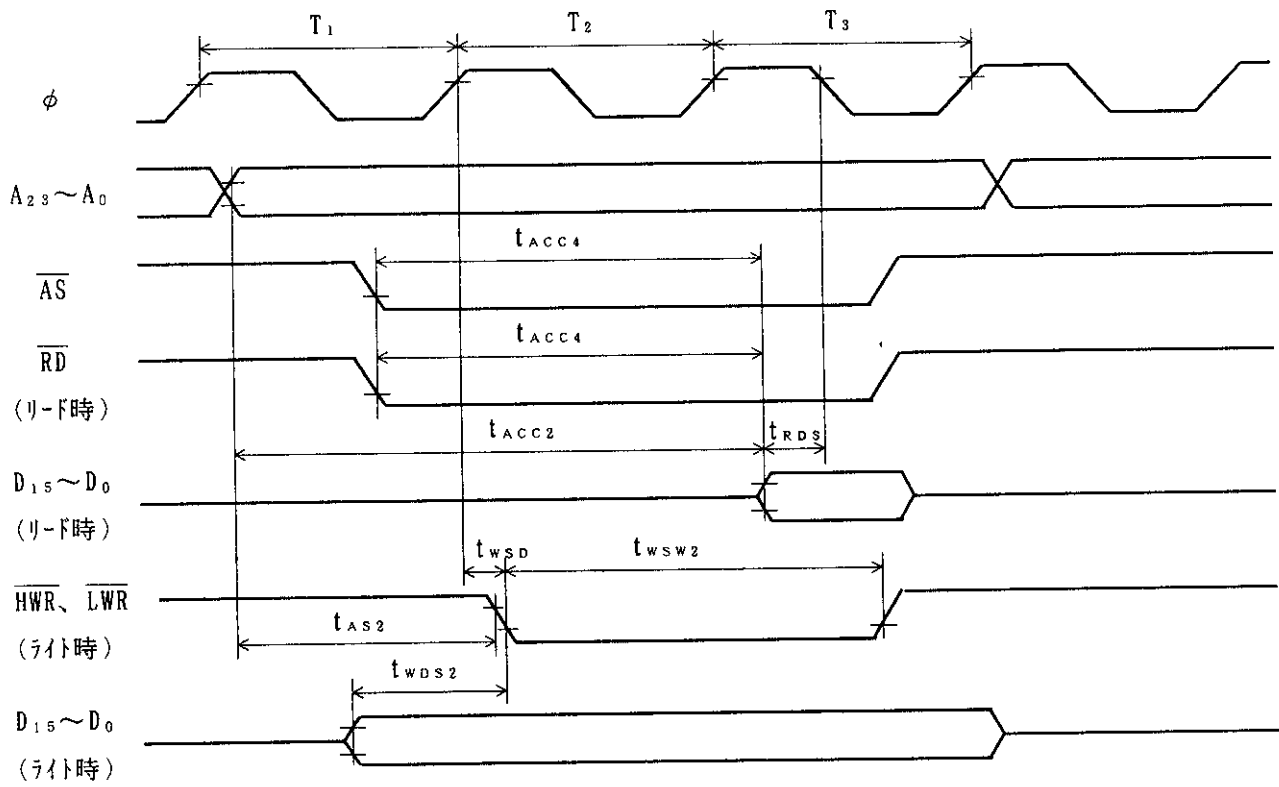


図18.5 基本バスタイミング / 3ステートアクセス

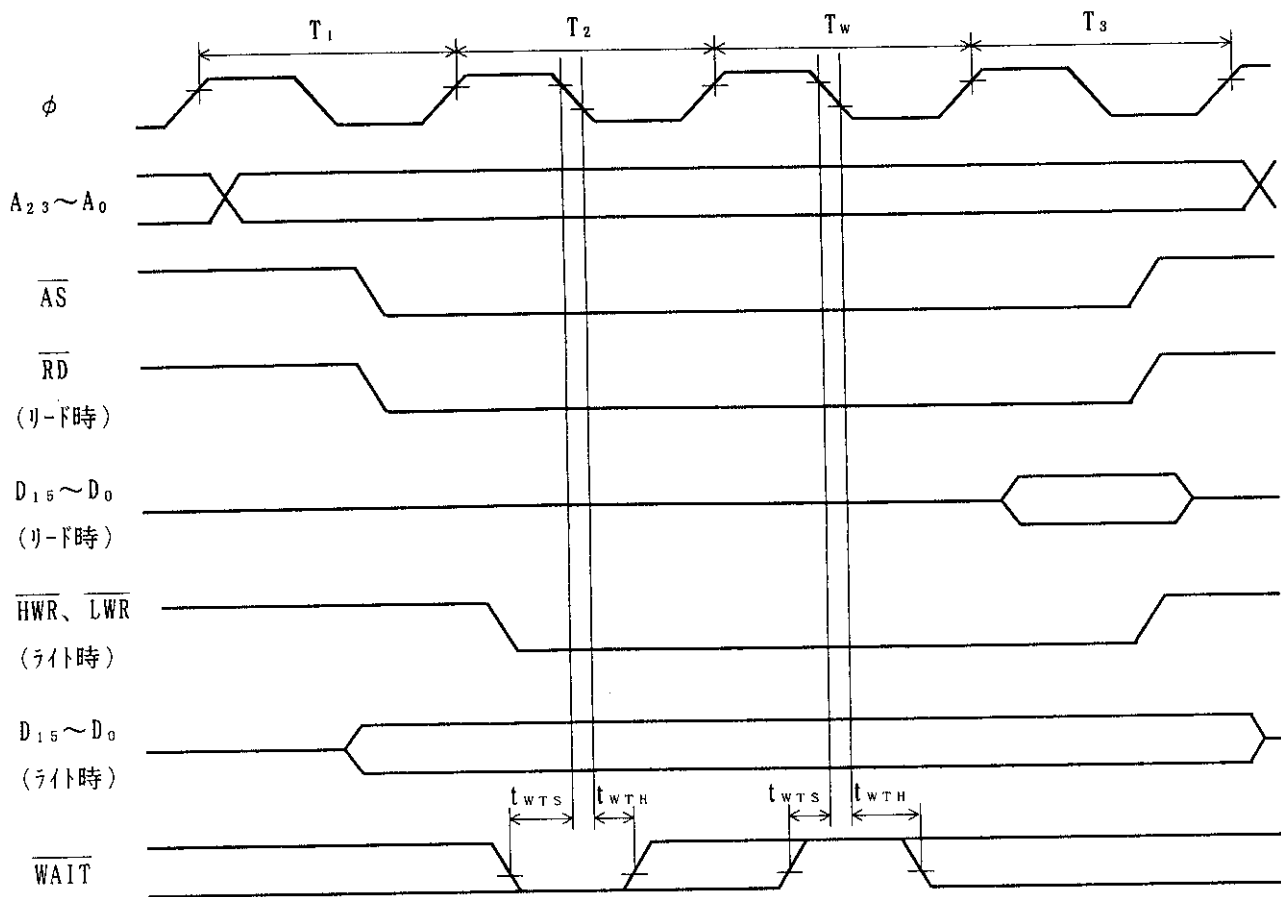


図18.6 基本バスタイミング / 3ステートアクセス1ウェイト

18.3.2 リフレッシュコントローラバスタイミング

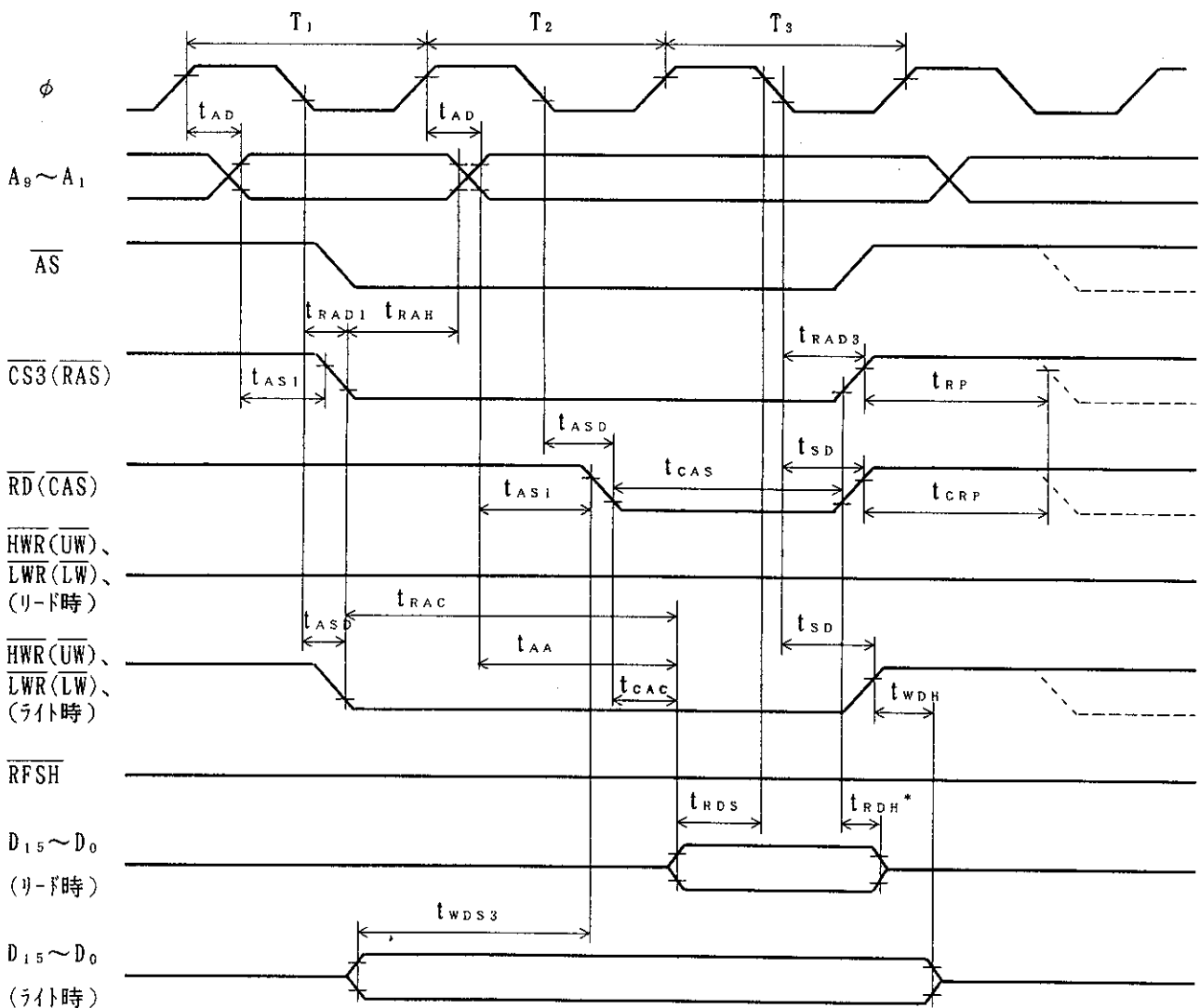
リフレッシュコントローラのバスタイミングを以下に示します。

(1) DRAMバスタイミング

図18.7～図18.12にDRAMバスタイミングを動作モード別に示します。

(2) PSRAMバスタイミング

図18.13、図18.14にPSRAMバスタイミングを動作モード別に示します。



【注】* $\overline{CS3}$ 、 \overline{RD} の最も早いネゲートタイミングから規定

図18.7 DRAMバスタイミング (リード/ライト時) / 3ステートアクセス
—— 2WE方式 ——

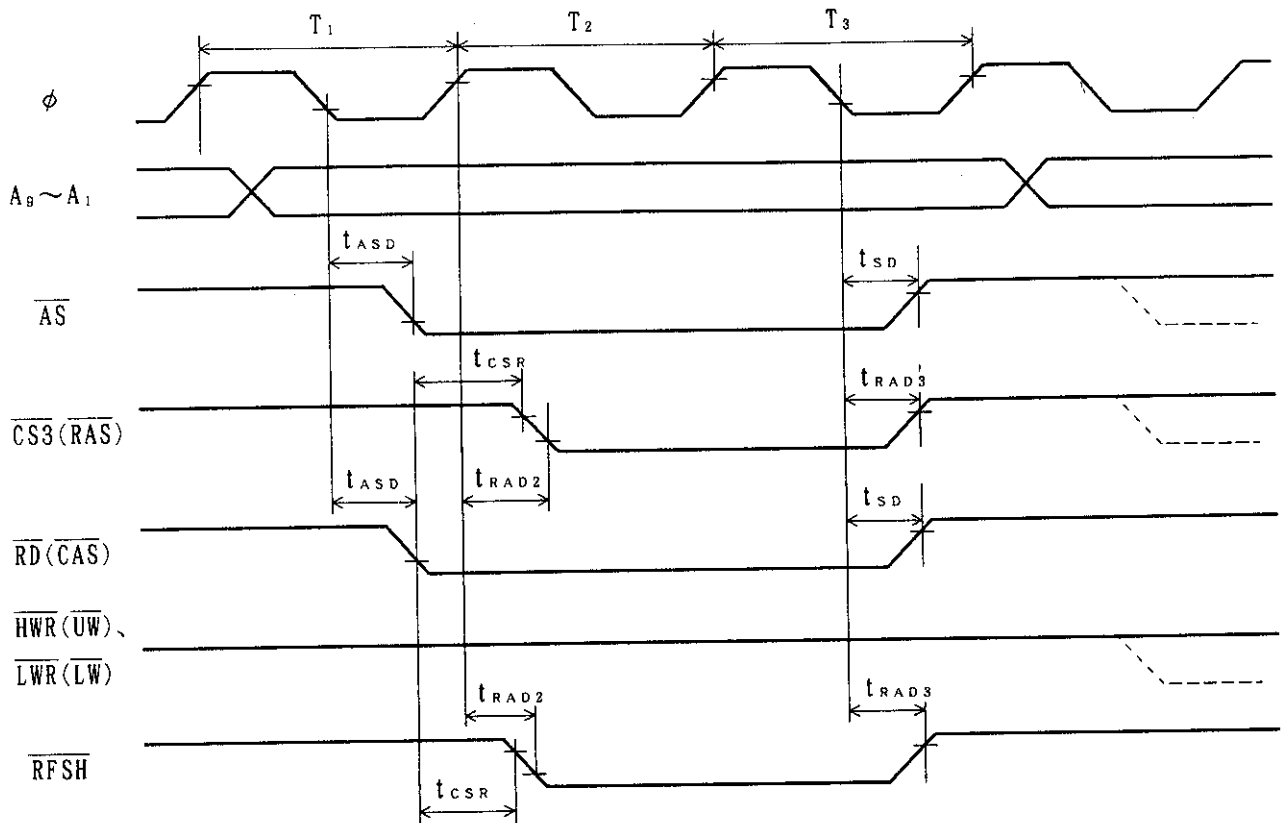


図18.8 DRAMバスタイミング (リフレッシュサイクル時) / 3ステートアクセス
 — 2WE方式 —

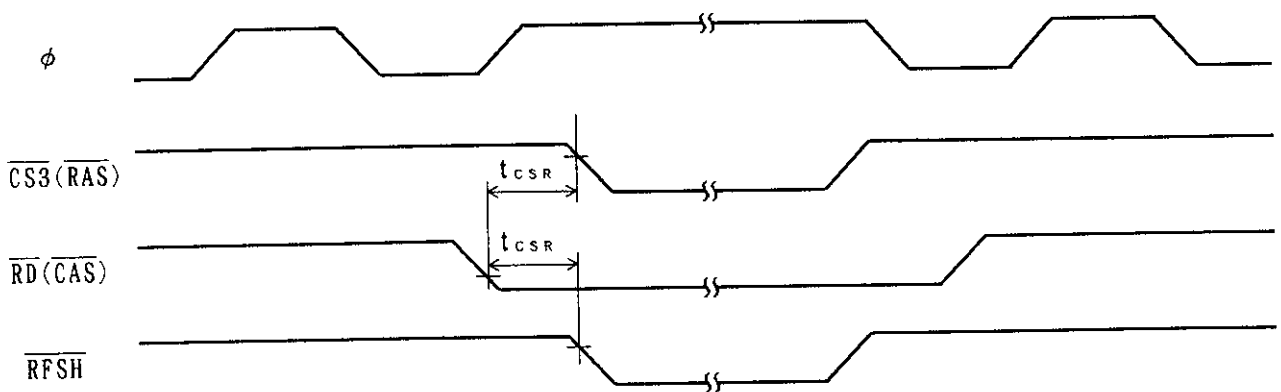
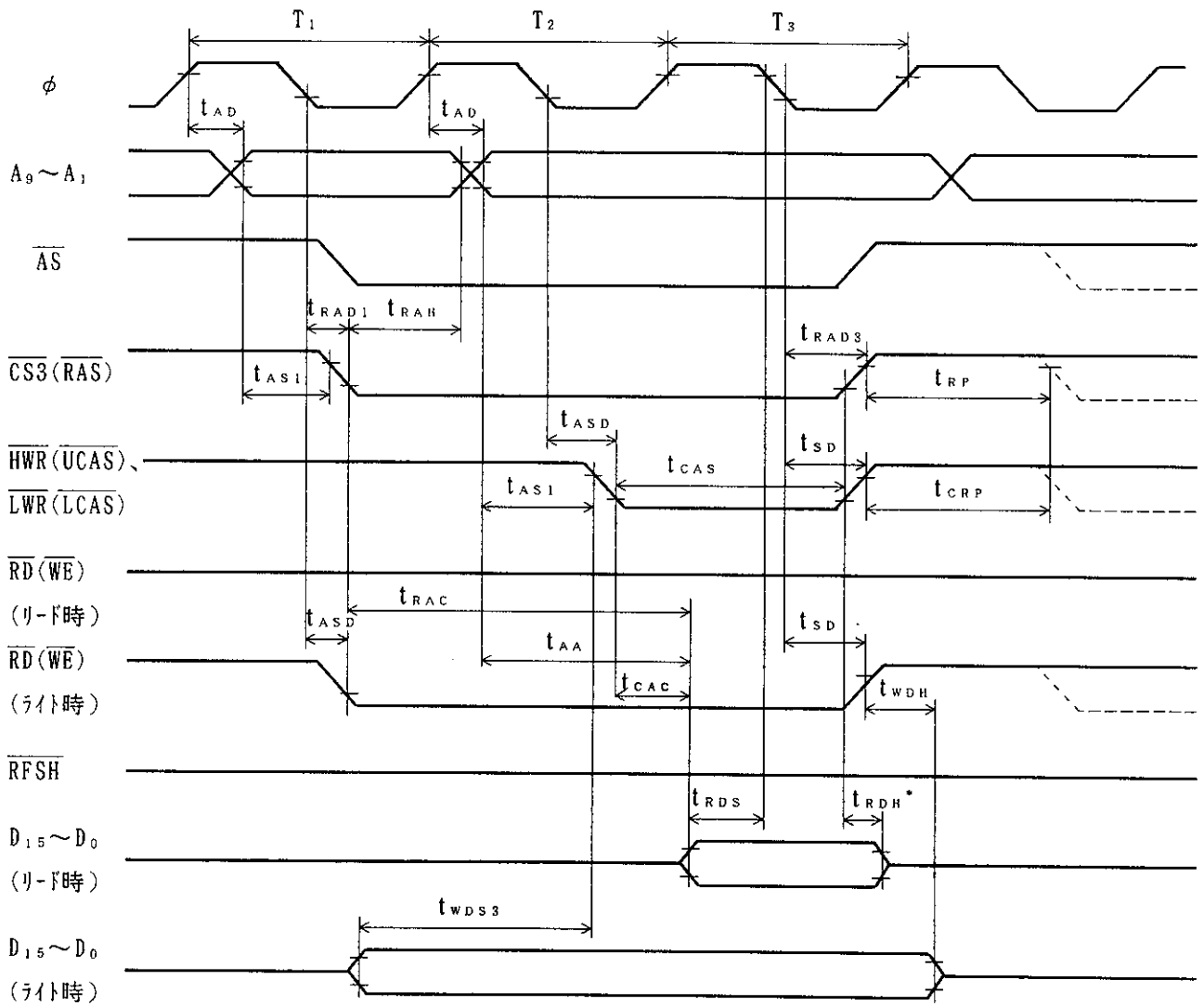


図18.9 DRAMバスタイミング (セルフリフレッシュモード)
 — 2WE方式 —



【注】* \overline{CS}_3 、 \overline{RD} の最も早いネゲートタイミングから規定

図18.10 DRAMバスタイミング (リード/ライト時) / 3ステートアクセス
—— 2 CAS方式 ——

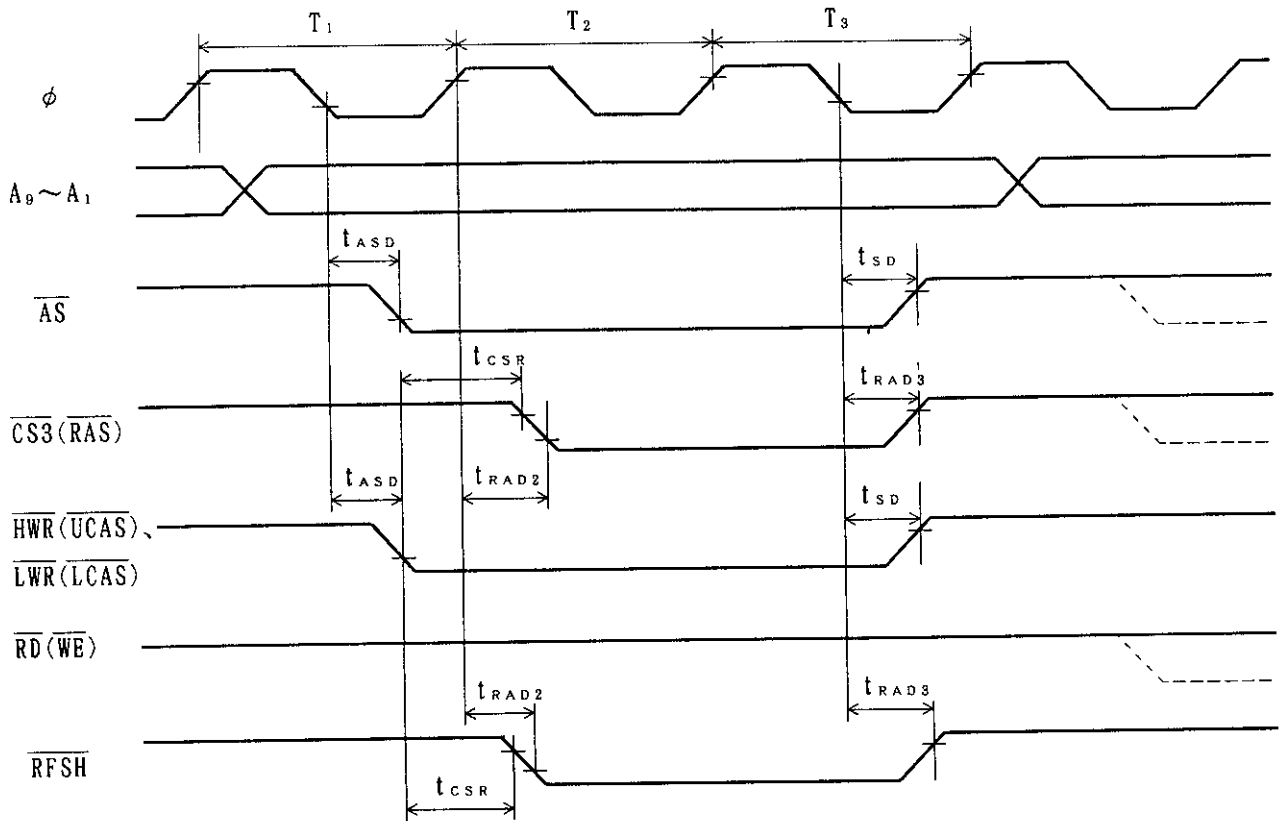


図18.11 DRAMバスタイミング (リフレッシュサイクル時) / 3ステートアクセス
 — 2 CAS方式 —

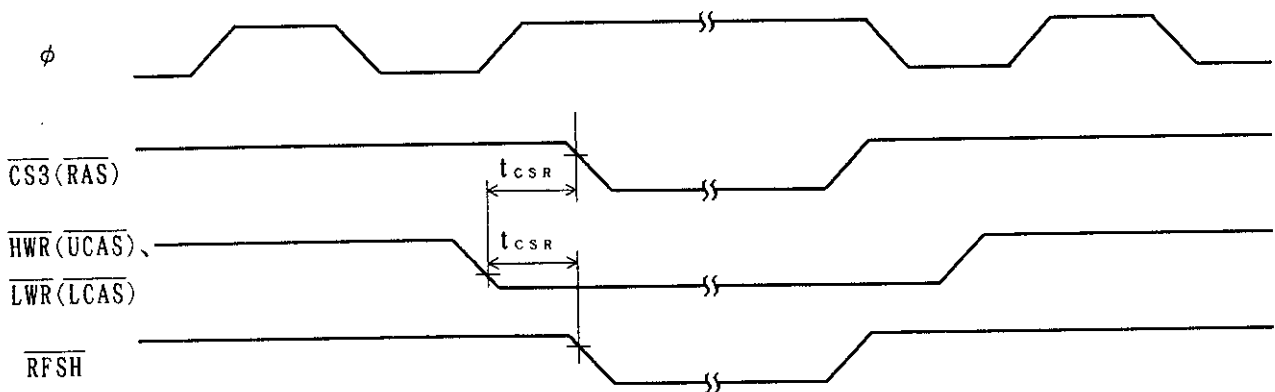
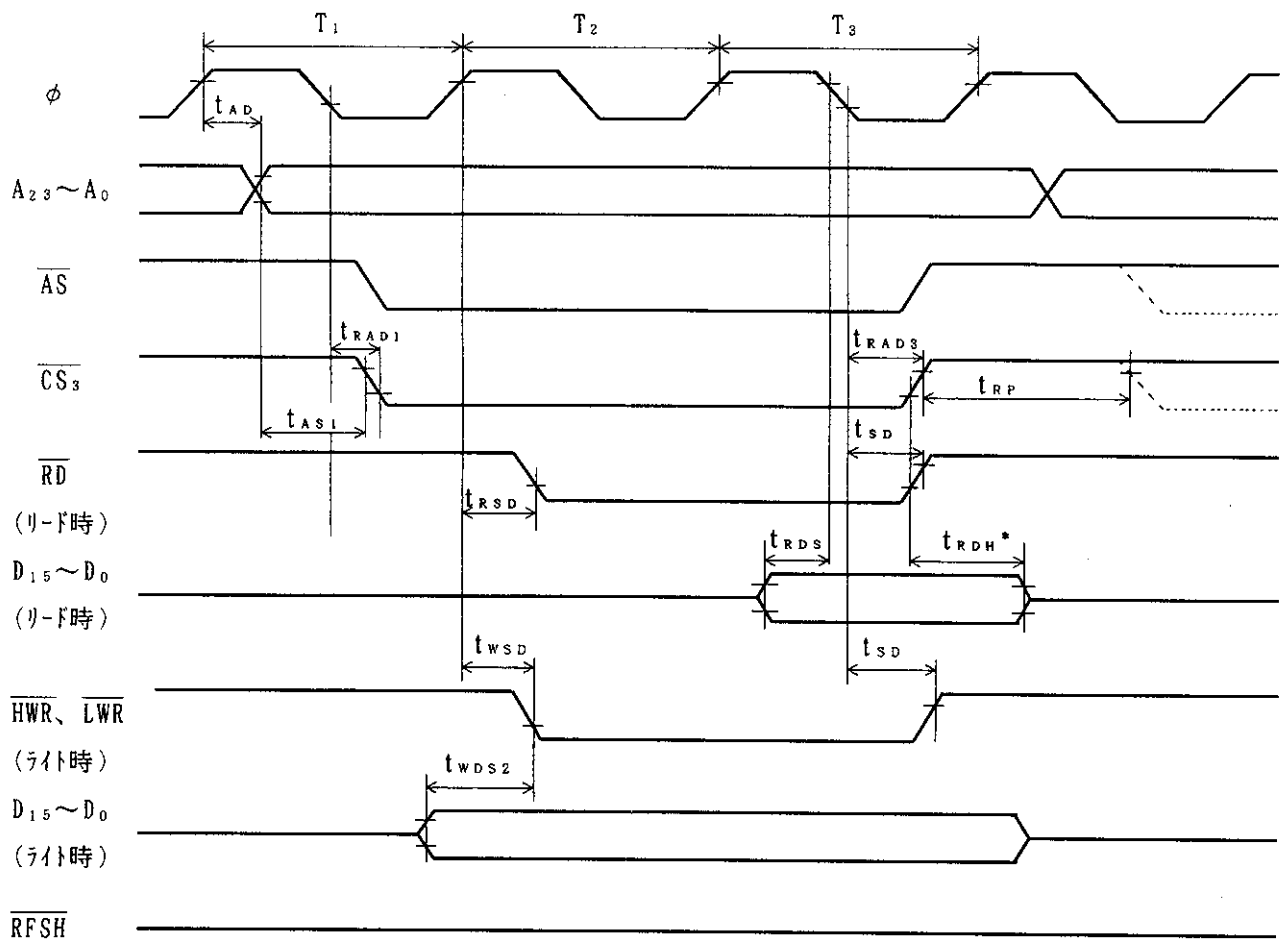


図18.12 DRAMバスタイミング (セルフリフレッシュモード)
 — 2 CAS方式 —



【注】* \overline{CS}_3 、 \overline{RD} の最も早いネゲートタイミングから規定

図18.13 PSRAMバスタイミング (リード/ライト時) 3ステートアクセス

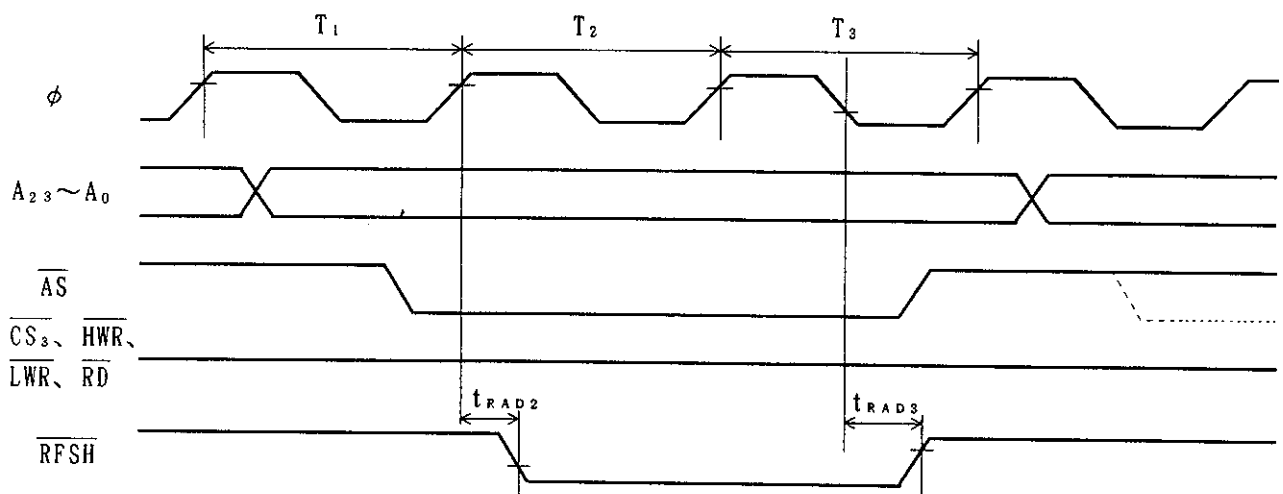


図18.14 PSRAMバスタイミング (リフレッシュサイクル) 3ステートアクセス

18.3.3 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図18.15にリセット入力タイミングを示します。

(2) リセット出力タイミング

図18.16にリセット出力タイミングを示します。

(3) 割込み入力タイミング

図18.17にNMI、IRQ₇～IRQ₀割込み入力タイミングを示します。

(4) バスリリースモードタイミング

図18.18にバスリリースモードタイミングを示します。

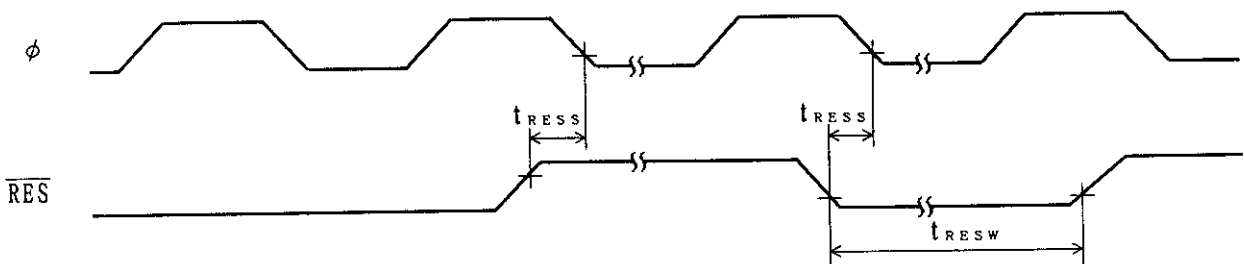


図18.15 リセット入力タイミング

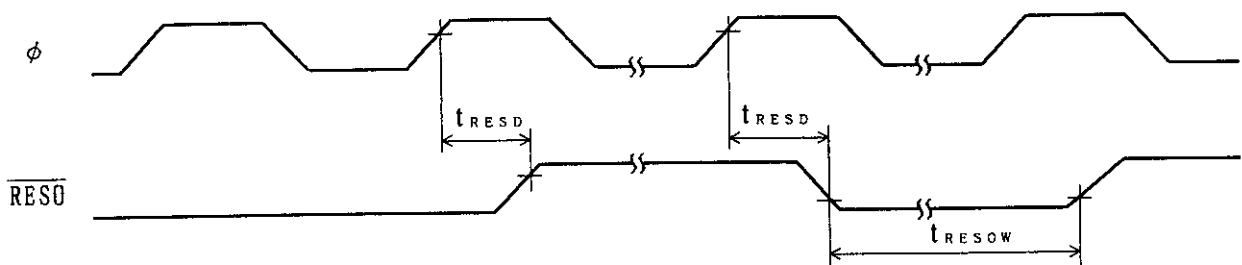
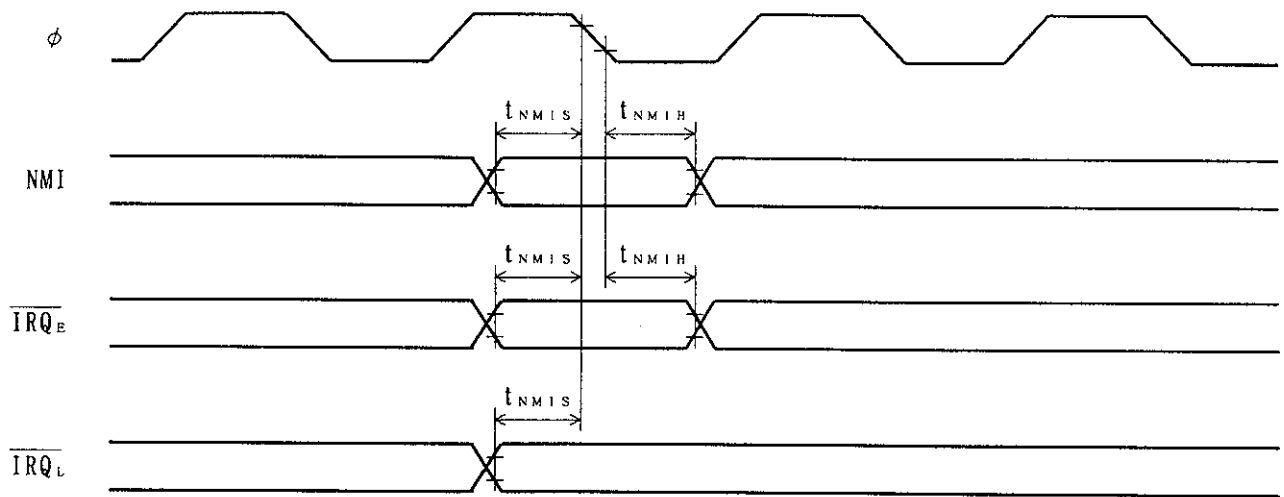


図18.16 リセット出力タイミング



\overline{IRQ}_E : \overline{IRQ}_i がエッジ指定の場合

\overline{IRQ}_L : \overline{IRQ}_i がレベル指定の場合 ($i = 0 \sim 7$)

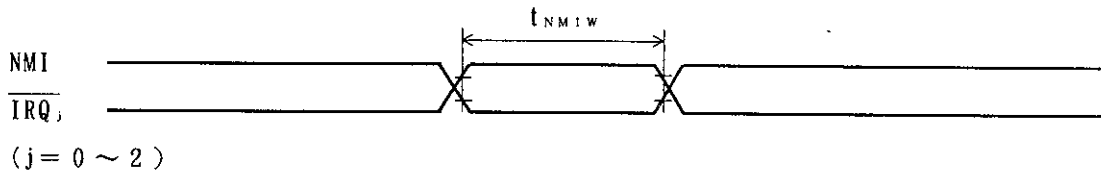


図18.17 割込み入カタイミング

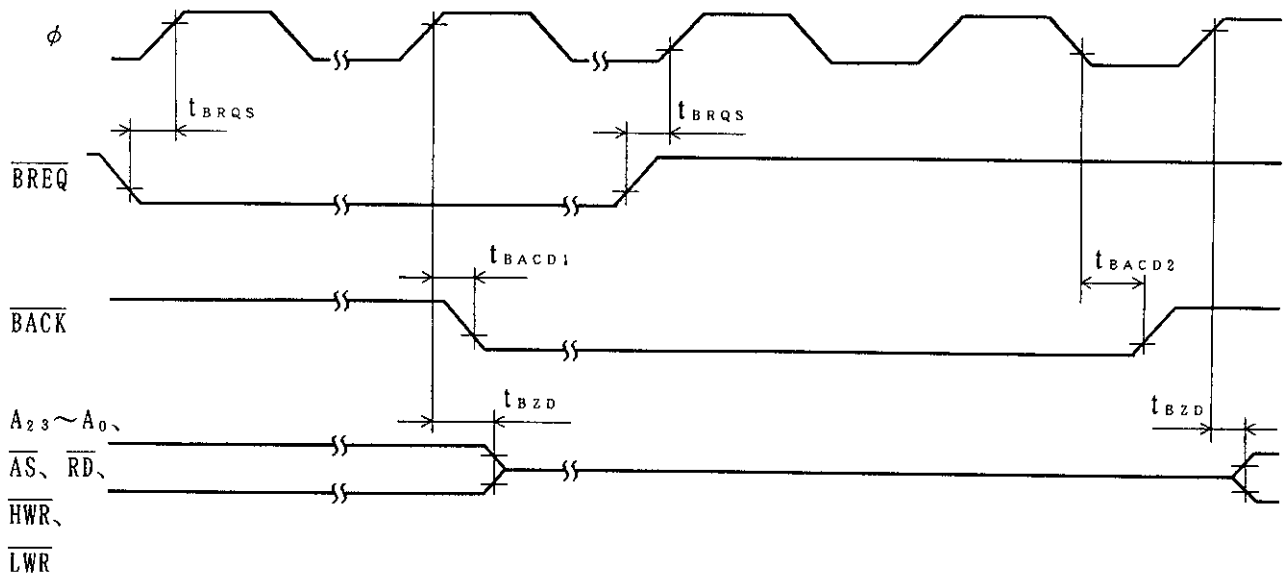


図18.18 バスリリースモードタイミング

18.3.4 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図18.19に発振安定時間タイミングを示します。

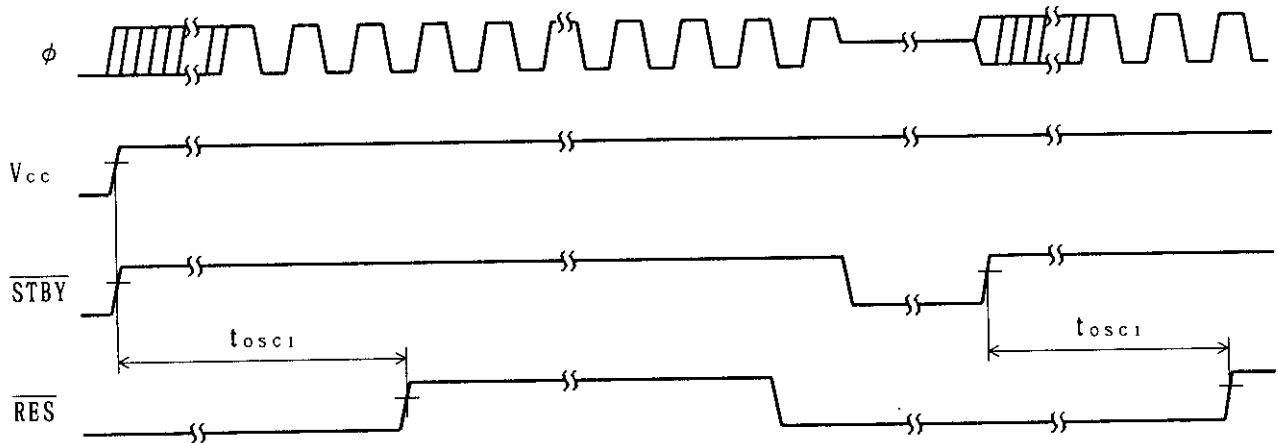


図18.19 発振安定時間タイミング

18.3.5 TPC、I/Oポートタイミング

TPC、I/Oポートの入出力タイミングを以下に示します。

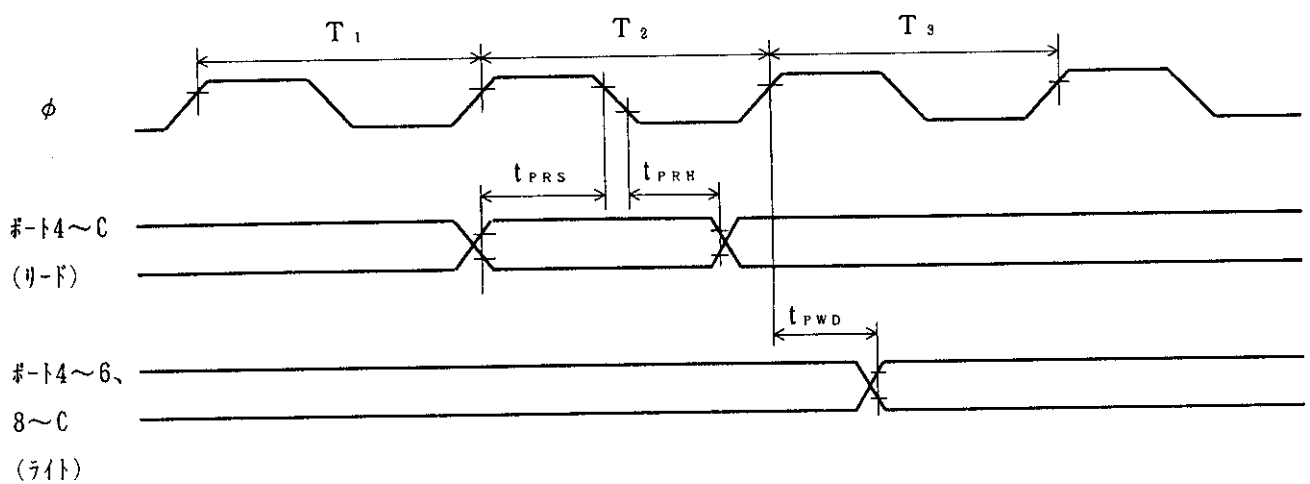


図18.20 TPC、I/Oポート入出力タイミング

18.3.6 I T U タイミング

I T U の各タイミングを以下に示します。

(1) I T U 入出力タイミング

図18.21に I T U 入出力タイミングを示します。

(2) I T U 外部クロック入力タイミング

図18.22に I T U 外部クロック入力タイミングを示します。

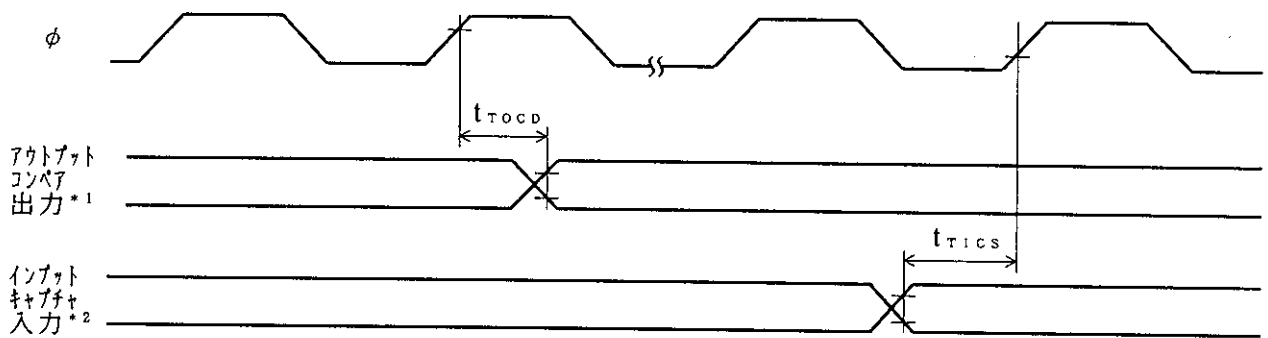


図18.21 I T U 入出力タイミング

【注】 *1 T I O C A (0 ~ 4) 、 T I O C B (0 ~ 4) 、 T O C X A 4 、 T O C X B 4

*2 T I O C A (0 ~ 4) 、 T I O C B (0 ~ 4)

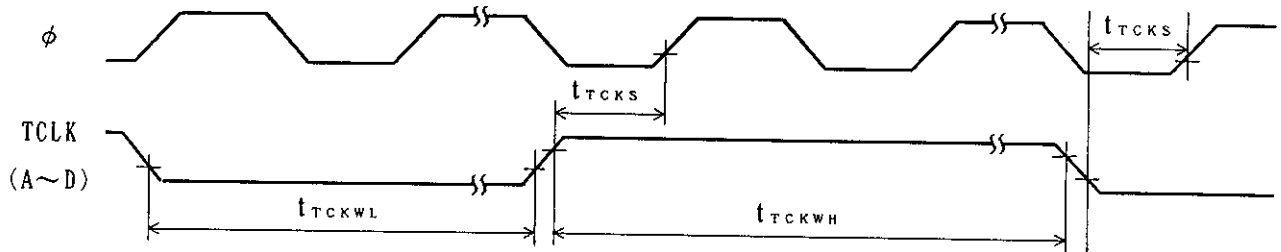


図18.22 I T U クロック入力タイミング

18.3.7 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図18.23にSCI 入力クロックタイミングを示します。

(2) SCI 入出力タイミング (クロック同期式モード)

図18.24にクロック同期式モード時のSCI 入出力タイミングを示します。

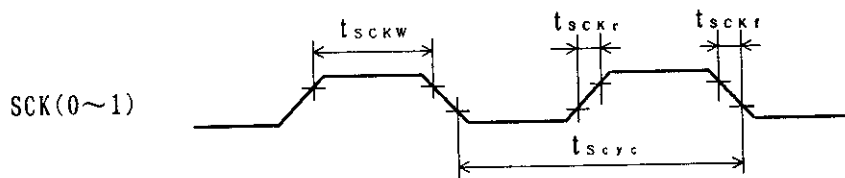


図18.23 SCK 入力クロックタイミング

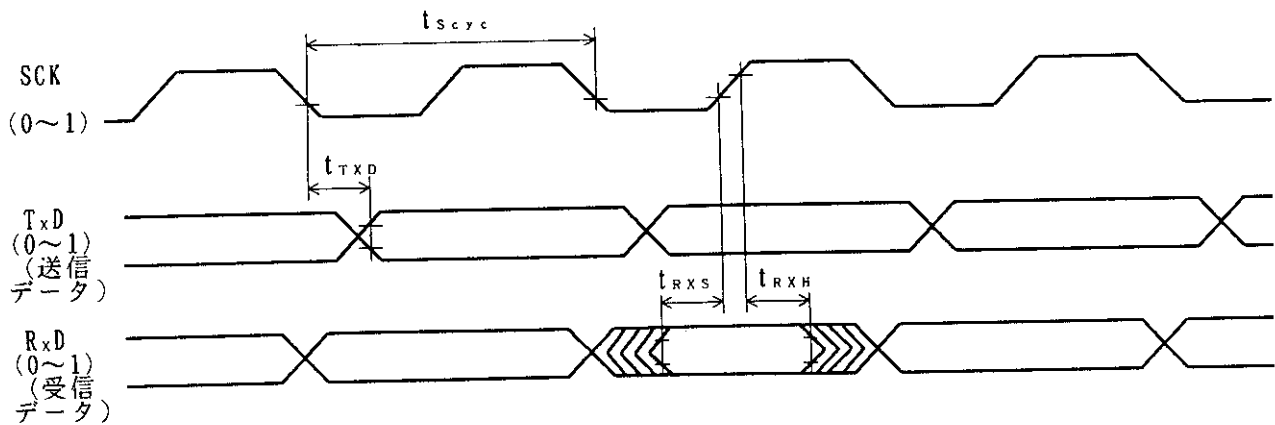


図18.24 クロック同期式モード時のSCI 入出力タイミング

18.3.8 DMAC タイミング

DMACの各タイミングを以下に示します。

- (1) DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス
DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセスを図18.25に示します。
- (2) DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス
DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセスを図18.26に示します。
- (3) DMAC $\overline{\text{DREQ}}$ 入力タイミング
DMAC $\overline{\text{DREQ}}$ 入力タイミングを図18.27に示します。

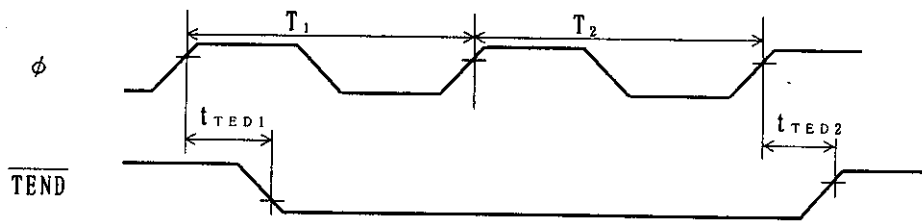


図18.25 DMAC $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス

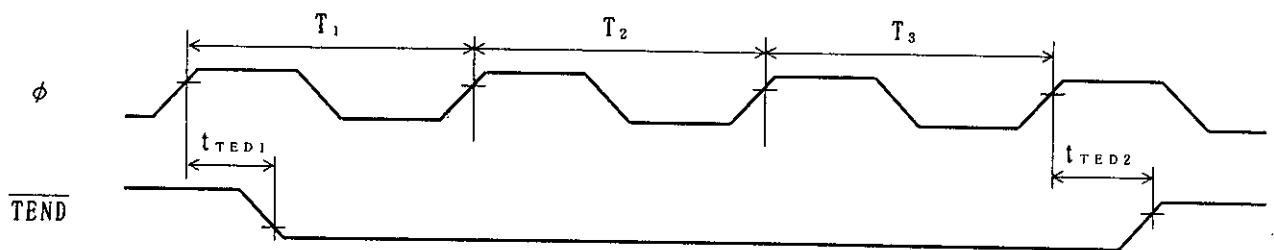


図18.26 DMAC $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス

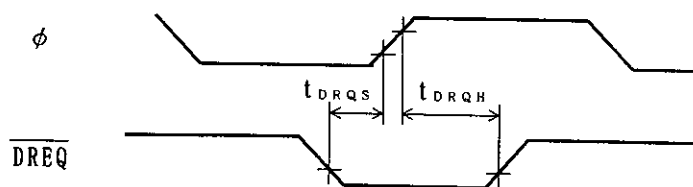


図18.27 DMAC $\overline{\text{DREQ}}$ 入力タイミング

付 録

付録

付 録

A. 命 令	601
A. 1 命令一覧	601
A. 2 オペレーションコードマップ	616
A. 3 命令実行ステート数	619
B. レジスタ一覧	629
B. 1 I/Oレジスタ一覧(1)	629
B. 2 I/Oレジスタ一覧(2)	637
C. I/Oポートブロック図	715
C. 1 ポート4ブロック図	715
C. 2 ポート5ブロック図	716
C. 3 ポート6ブロック図	717
C. 4 ポート7ブロック図	720
C. 5 ポート8ブロック図	721
C. 6 ポート9ブロック図	724
C. 7 ポートAブロック図	727
C. 8 ポートBブロック図	730
C. 9 ポートCブロック図	734
D. 端子状態	738
D. 1 各処理状態におけるポートの状態	738
D. 2 リセット時の端子状態	740
E. ハードウェアスタンバイモード遷移/復帰時のタイミングについて	743
F. 外形寸法図	744
G. レジスタ索引	745

A. 命令

A. 1 命令一覧

《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
ERn	汎用レジスタ (32ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCRのN (ネガティブ) フラグ
Z	CCRのZ (ゼロ) フラグ
V	CCRのV (オーバフロー) フラグ
C	CCRのC (キャリ) フラグ
disp	ディスプレイースメント
→	左辺のオペランドから右辺のオペランドへの転送、 または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() < >	オペランドの内容

【注】* 汎用レジスタは、8ビット (R0H~R7H、R0L~R7L) または16ビット (R0~R7、E0~E7) です。

《コンディションコードの記号》

記号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
—	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

表 A. 1 命令セット一覧(1)

(1) データ転送命令

MOV	ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション		コンディションコード							実行回数
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	
	MOV.B #xx:8, Rd	B	2						#xx:8→Rd8	-	-	↑	↑	0	-	2
	MOV.B Rs, Rd	B		2					Rs8→Rd8	-	-	↑	↑	0	-	2
	MOV.B @ERS, Rd	B			2				@ERS→Rd8	-	-	↑	↑	0	-	4
	MOV.B @(d:16, ERs), Rd	B				4			@(d:16, ERs)→Rd8	-	-	↑	↑	0	-	6
	MOV.B @(d:24, ERs), Rd	B					8		@(d:24, ERs)→Rd8	-	-	↑	↑	0	-	10
	MOV.B @ERS+, Rd	B					2		@ERS→Rd8, ERS32+1→ERS32	-	-	↑	↑	0	-	6
	MOV.B @aa:8, Rd	B						2	@aa:8→Rd8	-	-	↑	↑	0	-	4
	MOV.B @aa:16, Rd	B						4	@aa:16→Rd8	-	-	↑	↑	0	-	6
	MOV.B @aa:24, Rd	B						6	@aa:24→Rd8	-	-	↑	↑	0	-	8
	MOV.B Rs, @ERd	B			2				Rs8→@ERd	-	-	↑	↑	0	-	4
	MOV.B Rs, @(d:16, ERd)	B				4			Rs8→@(d:16, ERd)	-	-	↑	↑	0	-	6
	MOV.B Rs, @(d:24, ERd)	B					8		Rs8→@(d:24, ERd)	-	-	↑	↑	0	-	10
	MOV.B Rs, @-ERd	B					2		ERd32-1→ERd32, Rs8→@ERd	-	-	↑	↑	0	-	6
	MOV.B Rs, @aa:8	B						2	Rs8→@aa:8	-	-	↑	↑	0	-	4
	MOV.B Rs, @aa:16	B						4	Rs8→@aa:16	-	-	↑	↑	0	-	6
	MOV.B Rs, @aa:24	B						6	Rs8→@aa:24	-	-	↑	↑	0	-	8
	MOV.W #xx:16, Rd	W	4						#xx:16→Rd16	-	-	↑	↑	0	-	4
	MOV.W Rs, Rd	W							Rs16→Rd16	-	-	↑	↑	0	-	2
	MOV.W @ERS, Rd	W						2	@ERS→Rd16	-	-	↑	↑	0	-	4
	MOV.W @(d:16, ERs), Rd	W				4			@(d:16, ERs)→Rd16	-	-	↑	↑	0	-	6
	MOV.W @(d:24, ERs), Rd	W					8		@(d:24, ERs)→Rd16	-	-	↑	↑	0	-	10
	MOV.W @ERS+, Rd	W					2		@ERS→Rd16, ERS32+2→@ERd32	-	-	↑	↑	0	-	6
	MOV.W @aa:16, Rd	W						4	@aa:16→Rd16	-	-	↑	↑	0	-	6
	MOV.W @aa:24, Rd	W						6	@aa:24→Rd16	-	-	↑	↑	0	-	8

表 A. 1 命令セット一覧(3)

(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)					オペレーション							コンディションコード				実行回数 T/F(%)				
		#xx	Rn	@ERn	@ (d. ERn)	@-ERn/@ERn+	@aa	@ (d. PC)	@@aa	I	H	N	Z	V	C	/7#						
																	①		②	③	④	
ADD	ADD.B #xx:8, Rd	B	2													Rd8+#xx:8→Rd8	-	↑	↑	↑	↑	2
	ADD.B Rs, Rd	B	2													Rd8+Rs8→Rd8	-	↑	↑	↑	↑	2
	ADD.W #xx:16, Rd	W	4													Rd16+#xx:16→Rd16	-	①	↑	↑	↑	4
	ADD.W Rs, Rd	W	2													Rd16+Rs16→Rd16	-	①	↑	↑	↑	2
	ADD.L #xx:32, ERd	L	6													ERd32+#xx:32→ERd32	-	②	↑	↑	↑	6
	ADD.L ERs, ERd	L	2													ERd32+ERs32→ERd32	-	②	↑	↑	↑	2
ADDX	ADDX.B #xx:8, Rd	B	2													Rd8+#xx:8+C→Rd8	-	↑	↑	③	↑	2
	ADDX.B Rs, Rd	B	2													Rd8+Rs8+C→Rd8	-	↑	↑	③	↑	2
	ADDX.L #1, ERd	L	2													ERd32+1→ERd32	-	-	-	-	-	2
	ADDX.L #2, ERd	L	2													ERd32+2→ERd32	-	-	-	-	-	2
INC	ADDX.L #4, ERd	L	2													ERd32+4→ERd32	-	-	-	-	-	2
	INC.B Rd	B	2													Rd8+1→Rd8	-	-	↑	↑	↑	2
	INC.W #1, Rd	W	2													Rd16+1→Rd16	-	-	↑	↑	↑	2
	INC.W #2, Rd	W	2													Rd16+2→Rd16	-	-	↑	↑	↑	2
	INC.L #1, ERd	L	2													ERd32+1→ERd32	-	-	↑	↑	↑	2
	INC.L #2, ERd	L	2													ERd32+2→ERd32	-	-	↑	↑	↑	2
DAA	DAA.Rd	B	2													Rd8 10進補正→Rd8	-	*	↑	↑	*	2
	SUB.B Rs, Rd	B	2													Rd8-Rs8→Rd8	-	↑	↑	↑	↑	2
SUB	SUB.W #xx:16, Rd	W	4													Rd16-#xx:16→Rd16	-	①	↑	↑	↑	4
	SUB.W Rs, Rd	W	2													Rd16-Rs16→Rd16	-	①	↑	↑	↑	2
	SUB.L #xx:32, ERd	L	6													ERd32-#xx:32→ERd32	-	②	↑	↑	↑	6
	SUB.L ERs, ERd	L	2													ERd32-ERs32→ERd32	-	②	↑	↑	↑	2
SUBX	SUBX.B #xx:8, Rd	B	2													Rd8-#xx:8-C→Rd8	-	↑	↑	③	↑	2
	SUBX.B Rs, Rd	B	2													Rd8-Rs8-C→Rd8	-	↑	↑	③	↑	2

表A. 1 命令セット一覧(4)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行回数 /7M 7M/AT			
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N		Z	V	C
SUBS	SUBS.L #1, ERd	L	2														2
	SUBS.L #2, ERd	L	2														2
	SUBS.L #4, ERd	L	2														2
DEC	DEC.B Rd	B	2														2
	DEC.W #1, Rd	W	2														2
	DEC.W #2, Rd	W	2														2
	DEC.L #1, ERd	L	2														2
	DEC.L #2, ERd	L	2														2
DAS	DAS Rd	B	2														2
	MULXU.B Rs, Rd	B	2														14
MULXS	MULXU.W Rs, ERd	W	2														22
	MULXS.B Rs, Rd	B	4														16
	MULXS.W Rs, ERd	W	4														24
	DIVXU.B Rs, Rd	B	2														14
DIVXS	DIVXU.W Rs, ERd	W	2														22
	DIVXS.B Rs, Rd	B	4														16
	DIVXS.W Rs, ERd	W	4														24
CMP	CMP.B #xx.8, Rd	B	2														2
	CMP.B Rs, Rd	B	2														2
	CMP.W #xx.16, Rd	W	4														4
	CMP.W Rs, Rd	W	2														2

表 A. 1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)										オペレーション						コンディションコード			実行回数*	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	J-7#	7F#	7F#				
				@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa													
CMP	CMP.L #xx:32, ERd	L	6									②	↑	↑	↑	↑	4					
	CMP.L ERs, ERd	L		2								②	↑	↑	↑	↑	2					
NEG	NEG.B Rd	B		2								↑	↑	↑	↑	↑	2					
	NEG.W Rd	W		2								↑	↑	↑	↑	↑	2					
	NEG.L ERd	L		2								↑	↑	↑	↑	↑	2					
EXTU	EXTU.W Rd	W		2								-	0	↑	0	-	2					
	EXTU.L ERd	L		2								-	0	↑	0	-	2					
EXTS	EXTS.W Rd	W		2								-	↑	↑	0	-	2					
	EXTS.L ERd	L		2								-	↑	↑	0	-	2					

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)										オペレーション						コンディションコード			実行回数*	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	J-7#	7F#	7F#				
				@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa													
AND	AND.B #xx:8, Rd	B	2									-	↑	↑	0	-	2					
	AND.B Rs, Rd	B		2								-	↑	↑	0	-	2					
	AND.W #xx:16, Rd	W	4									-	↑	↑	0	-	4					
	AND.W Rs, Rd	W		2								-	↑	↑	0	-	2					
	AND.L #xx:32, ERd	L	6									-	↑	↑	0	-	6					
	AND.L ERs, ERd	L		4								-	↑	↑	0	-	4					
OR	OR.B #xx:8, Rd	B	2									-	↑	↑	0	-	2					
	OR.B Rs, Rd	B		2								-	↑	↑	0	-	2					
	OR.W #xx:16, Rd	W	4									-	↑	↑	0	-	4					
	OR.W Rs, Rd	W		2								-	↑	↑	0	-	2					

表 A. 1 命令セット一覧(6)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション							実行回数*		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	ノックアウト	TF/FxT
OR	OR.L #xx:32, ERd	L	6									-	↑	↑	0	-	6
	OR.L ERs, ERd	L	4									-	↑	↑	0	-	4
XOR	XOR.B #xx:8, Rd	B	2									-	↑	↑	0	-	2
	XOR.B Rs, Rd	B	2									-	↑	↑	0	-	2
	XOR.W #xx:16, Rd	W	4									-	↑	↑	0	-	4
	XOR.W Rs, Rd	W	2									-	↑	↑	0	-	2
	XOR.L #xx:32, ERd	L	6									-	↑	↑	0	-	6
NOT	NOT.L ERs, ERd	L	4									-	↑	↑	0	-	4
	NOT.B Rd	B	2									-	↑	↑	0	-	2
	NOT.W Rd	W	2									-	↑	↑	0	-	2
	NOT.L ERd	L	2									-	↑	↑	0	-	2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション							実行回数*		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	ノックアウト	TF/FxT
SHAL	SHAL.B Rd	B	2									-	↑	↑	↑	↑	2
	SHAL.W Rd	W	2									-	↑	↑	↑	↑	2
	SHAL.L ERd	L	2									-	↑	↑	↑	↑	2
SHAR	SHAR.B Rd	B	2									-	↑	↑	0	↑	2
	SHAR.W Rd	W	2									-	↑	↑	0	↑	2
	SHAR.L ERd	L	2									-	↑	↑	0	↑	2
SHLL	SHLL.B Rd	B	2									-	↑	↑	0	↑	2
	SHLL.W Rd	W	2									-	↑	↑	0	↑	2
	SHLL.L ERd	L	2									-	↑	↑	0	↑	2

表 A. 1 命令セット一覧(7)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション		コンディションコード						実行回数*	
		#xx	Rn @ERn	@(d, ERn) @-ERn/@ERn+	@aa @(d, PC) @aa	0	C	I	H	N	Z	V	C	ノマ	TF/ST
SHLR	B	2				0	MSB → LSB	-	-	↑	↑	0	↑	2	
	W	2					MSB → LSB	-	-	↑	↑	0	↑	2	
	L	2					MSB → LSB	-	-	↑	↑	0	↑	2	
ROTXL	B	2					MSB ← LSB	-	-	↑	↑	0	↑	2	
	W	2					MSB ← LSB	-	-	↑	↑	0	↑	2	
	L	2					MSB ← LSB	-	-	↑	↑	0	↑	2	
ROTXR	B	2					MSB → LSB	-	-	↑	↑	0	↑	2	
	W	2					MSB → LSB	-	-	↑	↑	0	↑	2	
	L	2					MSB → LSB	-	-	↑	↑	0	↑	2	
ROTL	B	2					MSB ← LSB	-	-	↑	↑	0	↑	2	
	W	2					MSB ← LSB	-	-	↑	↑	0	↑	2	
	L	2					MSB ← LSB	-	-	↑	↑	0	↑	2	
ROTR	B	2					MSB → LSB	-	-	↑	↑	0	↑	2	
	W	2					MSB → LSB	-	-	↑	↑	0	↑	2	
	L	2					MSB → LSB	-	-	↑	↑	0	↑	2	

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				コンディションコード						実行回数*			
		#xx	Rn @ERn	@(d, ERn) @-ERn/@ERn+	@aa @(d, PC) @aa	I	H	N	Z	V	C	ノマ	TF/ST		
BSET	B	2												2	
	B	4												8	
	B	2		4										8	
	B	2												2	
	B	2		4										8	

表 A. 1 命令セット一覧(8)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行回数					
		#xx	Rn	@ERn	@(d, ERn)		@ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	ノード	バイト
BCLR	BCLR #xx:3, Rd	B	2																2
	BCLR #xx:3, @ERd	B		4															8
	BCLR #xx:3, @aa:8	B					4												8
	BCLR Rn, Rd	B	2																2
	BCLR Rn, @ERd	B		4															8
	BCLR Rn, @aa:8	B						4											8
BNOT	BNOT #xx:3, Rd	B	2																2
	BNOT #xx:3, @ERd	B		4															8
	BNOT #xx:3, @aa:8	B					4												8
	BNOT Rn, Rd	B	2																2
	BNOT Rn, @ERd	B		4															8
	BNOT Rn, @aa:8	B						4											8
BTST	BTST #xx:3, Rd	B	2																2
	BTST #xx:3, @ERd	B		4															6
	BTST #xx:3, @aa:8	B					4												6
	BTST Rn, Rd	B	2																2
	BTST Rn, @ERd	B		4															6
	BTST Rn, @aa:8	B						4											6
BLD	BLD #xx:3, Rd	B	2																2
	BLD #xx:3, @ERd	B		4															6
	BLD #xx:3, @aa:8	B					4												6
	BILD #xx:3, Rd	B	2																2
	BILD #xx:3, @ERd	B		4															6
	BILD #xx:3, @aa:8	B						4											6

表 A. 1 命令セット一覧(9)

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディショニングコード							実行回数*	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@aa	I	H	N	Z	V	C		↑/↓
BST	BST #xx:3, Rd		2															2
	BST #xx:3, @ERd	B		4														8
	BST #xx:3, @aa:8	B					4											8
BIST	BIST #xx:3, Rd	B	2															2
	BIST #xx:3, @ERd	B		4														8
	BIST #xx:3, @aa:8	B					4											8
BAND	BAND #xx:3, Rd	B	2															2
	BAND #xx:3, @ERd	B		4														6
	BAND #xx:3, @aa:8	B					4											6
BIAND	BIAND #xx:3, Rd	B	2															2
	BIAND #xx:3, @ERd	B		4														6
	BIAND #xx:3, @aa:8	B					4											6
BOR	BOR #xx:3, Rd	B	2															2
	BOR #xx:3, @ERd	B		4														6
	BOR #xx:3, @aa:8	B					4											6
BIOR	BIOR #xx:3, Rd	B	2															2
	BIOR #xx:3, @ERd	B		4														6
	BIOR #xx:3, @aa:8	B					4											6
BXOR	BXOR #xx:3, Rd	B	2															2
	BXOR #xx:3, @ERd	B		4														6
	BXOR #xx:3, @aa:8	B					4											6
BIXOR	BIXOR #xx:3, Rd	B	2															2
	BIXOR #xx:3, @ERd	B		4														6
	BIXOR #xx:3, @aa:8	B					4											6

表 A. 1 命令セット一覧(1)

ニーモニック	サ イ ズ	アドレッシングモード/命令長 (バイト)							オペレーション	分岐条件	コンディションコード							実行回数*
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)			@aa	I	H	N	Z	V	C	
Bcc	BGE d:8	-							2									4
	BGE d:16	-							4									6
	BLT d:8	-							2									4
	BLT d:16	-							4									6
	BGT d:8	-							2									4
	BGT d:16	-							4									6
	BLE d:8	-							2									4
	BLE d:16	-							4									6
JMP	JMP @ERn	-		2														4
	JMP @aa:24	-						4										6
	JMP @@aa:8	-								2								8
BSR	BSR d:8	-							2									6
	BSR d:16	-							4									8
JSR	JSR @ERn	-		2														6
	JSR @aa:24	-						4										8
	JSR @@aa:8	-								2								8
RTS	RTS	-																2
		-																8

表 A. 1 命令セット一覧(13)

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディショニングコード							実行回数 ^{*1}			
		#xx	Rn	@ERh	@ (d. ERh)	@-ERh/ERh+	@aa		@ (d. PC)	@@aa	-	I	H	N	Z	V	C	/→M	7P/Mスト
EEPMOV.B	-																	8+4n ^{*2}	
									4	if R4L ≠ 0	Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;								
EEPMOV.W	-																	8+4n ^{*2}	
									4	if R4 ≠ 0	Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;								

【注】^{*1} 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステータス数」を参照してください。また、ノーマルモードは本LSIでは使用できません。

^{*2} nはR4LまたはR4の設定値です。

- ① ビット11から桁上がりまたはビット11へ桁下がりが発生したとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ② ビット27から桁上がりまたはビット27へ桁下がりが発生したとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ③ 演算結果がゼロのとき、演算前の値を保持し、それ以外るとき“0”にクリアされます。
- ④ 補正結果に桁上がりが発生したとき、“1”にセットされ、それ以外るとき演算前の値を保持します。
- ⑤ Eクロック同期転送命令の実行ステータス数は一定ではありません。
- ⑥ 除数が負のとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ⑦ 除数がゼロのとき“1”にセットされ、それ以外るとき“0”にクリアされます。
- ⑧ 商が負のとき“1”にセットされ、それ以外るとき“0”にクリアされます。

A. 2 オペレーションコードマップ

表 A. 2 オペレーションコードマップ(1)

命令コード:

第1バイト	第2バイト
AH AL	BH BL



—— BHの最上位ビットが0の場合を示します。
 —— BHの最上位ビットが1の場合を示します。

命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2(2)	表A.2(2)	MOV	ADDX		表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP	SUBX		表A.2(2)
2	MOV. B															
3	MOV. B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV							
7					BOR	BXOR	BAND	BLD	MOV	表A.2(2)	表A.2(2)	EEPMOV	表A.2(3)			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表A. 2 オペレーションコードマップ(2)

命令コード:

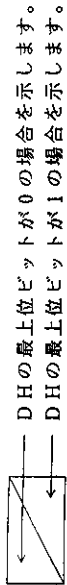
第1バイト	第2バイト
AH AL	BH BL

BH AH AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP				表A.2(3)	表A.2(3)		表A.2(3)
0A	INC															
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA															
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC															
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS															
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表A. 2 オペレーションコンコードマップ(3)

命令コード:

第1バイト	第2バイト	第3バイト	第4バイト
AH	AL	BH	BL
CH	CL	DH	DL



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AH/AL/BH/BL/CH/CL/DH/DL	C L																
01406	LDC																
01C05	MULXS	MULXS															
01D05	DIVXS		DIVXS														
01F06	OR			XOR			AND										
7Cr06**1	BTST																
7Cr07**1	BOR		BIXOR		BAND		BIAND		BID		BILD						
7Dr06**1	BSET	BNOT		BCLR													
7Dr07**1	BSET	BNOT		BCLR													
7Ea06**2	BTST																
7Ea07**2	BOR		BIXOR		BAND		BIAND		BID		BILD						
7Fa06**2	BSET	BNOT		BCLR													
7Fa07**2	BSET	BNOT		BCLR													

【注】 *1 rはレジスタ指定部

*2 a aは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPUの各命令についての実行状態と実行ステート数の計算方法を示します。

表A.3に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.2に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET #0, @FFFFC7:8

表A.3より

$$I = L = 2, J = K = M = N = 0$$

表A.2より

$$S_I = 4, S_L = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表A.3より

$$I = J = K = 2, L = M = N = 0$$

表A.2より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表A.2 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺モジュール		外部デバイス			
		8ビット バス	16ビット バス	8ビットバス		16ビットバス	
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S _I	2	6	3	4	6+2m	2	3+m
分岐アドレスリード S _J							
スタック操作 S _K							
バイトデータアクセス S _L							
ワードデータアクセス S _M		3		2	3+m		
ワードデータアクセス S _M		6		4	6+2m		
内部動作 S _N	1						

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数

表 A.3 命令実行状態 (サイクル数) (1)

命令	ニーモニック	命令 フラグ	分岐アド レスリード	スタック 操作	バイトデー タ アクセス	ワードデー タ アクセス	内部 動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					

表A.3 命令実行状態（サイクル数）(2)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2						2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

表 A.3 命令実行状態 (サイクル数) (3)

命令	ニーモニック		命令	分岐アド	スタック	バイトデータ	ワードデータ	内部
			フェッチ	レスリード	操作	アクセス	アクセス	動作
			I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd		1					
	BIXOR #xx:3, @ERd		2			1		
	BIXOR #xx:3, @aa:8		2			1		
BLD	BLD #xx:3, Rd		1					
	BLD #xx:3, @ERd		2			1		
	BLD #xx:3, @aa:8		2			1		
BNOT	BNOT #xx:3, Rd		1					
	BNOT #xx:3, @ERd		2			2		
	BNOT #xx:3, @aa:8		2			2		
	BNOT Rn, Rd		1					
	BNOT Rn, @ERd		2			2		
	BNOT Rn, @aa:8		2			2		
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル*1	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル*1	2		1			2
		アドバンスト	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		

表 A.3 命令実行状態 (サイクル数) (4)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部 動作	
		I	J	K	L	M	N	
BXOR	BXOR #xx:3, Rd	1						
	BXOR #xx:3, @ERd	2			1			
	BXOR #xx:3, @aa:8	2			1			
CMP	CMP.B #xx:8, Rd	1						
	CMP.B Rs, Rd	1						
	CMP.W #xx:16, Rd	2						
	CMP.W Rs, Rd	1						
	CMP.L #xx:32, ERd	3						
	CMP.L ERs, ERd	1						
DAA	DAA Rd	1						
DAS	DAS Rd	1						
DEC	DEC.B Rd	1						
	DEC.W #1/2, Rd	1						
	DEC.L #1/2, ERd	1						
DIVXS	DIVXS.B Rs, Rd	2					12	
	DIVXS.W Rs, ERd	2					20	
DIVXU	DIVXU.B Rs, Rd	1					12	
	DIVXU.W Rs, ERd	1					20	
EEPMOV	EEPMOV.B	2			$2n+2^{*2}$			
	EEPMOV.W	2			$2n+2^{*2}$			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2, Rd	1						
	INC.L #1/2, ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					2	
	JMP @aa:8	ノーマル*	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル*	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル*	2		1		2	

表 A.3 命令実行状態 (サイクル数) (5)

命令	ニーモニック		命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
			I	J	K	L	M	N
JSR	JSR @aa:24	アドバンスト	2		2			2
	JSR @@aa:8	ノーマル*1	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @(d:16, ERs), CCR		3				1	
	LDC @(d:24, ERs), CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	
MOV	MOV.B #xx:8, Rd		1					
	MOV.B Rs, Rd		1					
	MOV.B @ERs, Rd		1			1		
	MOV.B @(d:16, ERs), Rd		2			1		
	MOV.B @(d:24, ERs), Rd		4			1		
	MOV.B @ERs+, Rd		1			1		2
	MOV.B @aa:8, Rd		1			1		
	MOV.B @aa:16, Rd		2			1		
	MOV.B @aa:24, Rd		3			1		
	MOV.B Rs, @ERd		1			1		
	MOV.B Rs, @(d:16, ERd)		2			1		
	MOV.B Rs, @(d:24, ERd)		4			1		
	MOV.B Rs, @-ERd		1			1		2
	MOV.B Rs, @aa:8		1			1		
	MOV.B Rs, @aa:16		2			1		
	MOV.B Rs, @aa:24		3			1		
	MOV.W #xx:16, Rd		2					
	MOV.W Rs, Rd		1					
	MOV.W @ERs, Rd		1				1	
	MOV.W @(d:16, ERs), Rd		2				1	
MOV.W @(d:24, ERs), Rd		4				1		
MOV.W @ERs+, Rd		1				1	2	
MOV.W @aa:16, Rd		2				1		

表 A.3 命令実行状態 (サイクル数) (6)

命令	ニーモニック	命令 フェッチ	分岐ア フ レスリー ド	スタック 操作	バイトデー タ アクセス	ワードデー タ アクセス	内部 動作	
		I	J	K	L	M	N	
MOV	MOV.W @aa:24, Rd	3				1		
	MOV.W Rs, @ERd	1				1		
	MOV.W Rs, @(d:16, ERd)	2				1		
	MOV.W Rs, @(d:24, ERd)	4				1		
	MOV.W Rs, @-ERd	1				1	2	
	MOV.W Rs, @aa:16	2				1		
	MOV.W Rs, @aa:24	3				1		
	MOV.L #xx:32, ERd	3						
	MOV.L ERs, ERd	1						
	MOV.L @ERs, ERd	2					2	
	MOV.L @(d:16, ERs), ERd	3					2	
	MOV.L @(d:24, ERs), ERd	5					2	
	MOV.L @ERs+, ERd	2					2	2
	MOV.L @aa:16, ERd	3					2	
	MOV.L @aa:24, ERd	4					2	
	MOV.L ERs, @ERd	2					2	
	MOV.L ERs, @(d:16, ERd)	3					2	
	MOV.L ERs, @(d:24, ERd)	5					2	
	MOV.L ERs, @-ERd	2					2	2
	MOV.L ERs, @aa:16	3					2	
MOV.L ERs, @aa:24	4					2		
MOVFPPE	MOVFPPE @aa:16, Rd* ³	2			1			
MOVTPE	MOVTPE Rs, @aa:16* ³	2			1			
MULXS	MULXS.B Rs, Rd	2					12	
	MULXS.W Rs, ERd	2					20	
MULXU	MULXU.B Rs, Rd	1					12	
	MULXU.W Rs, ERd	1					20	
NEG	NEG.B Rd	1						
	NEG.W Rd	1						
	NEG.L ERd	1						
NOP	NOP	1						
NOT	NOT.B Rd	1						
	NOT.W Rd	1						
	NOT.L ERd	1						

表 A.3 命令実行状態 (サイクル数) (7)

命令	ニーモニック	命令 フェッチ	分岐ア ドレスリ ード	スタック 操作	バイトデー タ アクセス	ワードデー タ アクセス	内部 動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2			2
RTS	RTS	ノーマル*1	2		1		2
		アドバンス	2		2		2
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					

表 A.3 命令実行状態 (サイクル数) (8)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部
		フェッチ	レスリード	操作	アクセス	アクセス	
		I	J	K	L	M	N
SHLL	SHLL. L ERd	1					
SHLR	SHLR. B Rd	1					
	SHLR. W Rd	1					
	SHLR. L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16, ERd)	3				1	
	STC CCR, @(d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB. B Rs, Rd	1					
	SUB. W #xx:16, Rd	2					
	SUB. W Rs, Rd	1					
	SUB. L #xx:32, ERd	3					
	SUB. L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル* ¹	2	1	2		4
		アドバンスト	2	2	2		4
XOR	XOR. B #xx:8, Rd	1					
	XOR. B Rs, Rd	1					
	XOR. W #xx:16, Rd	2					
	XOR. W Rs, Rd	1					
	XOR. L #xx:32, ERd	3					
	XOR. L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】*¹ ノーマルモードは、本LSIでは使用できません。

*² nはR4L、R4の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

*³ 本LSIでは使用できません。

B. レジスタ一覧

B. 1 I/Oレジスタ一覧(1)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' 1C												
H' 1D												
H' 1E												
H' 1F												
H' 20	MAR0AR	8										DMAC チャンネル0A
H' 21	MAR0AE	8										
H' 22	MAR0AH	8										
H' 23	MAR0AL	8										
H' 24	ETCR0AH	8										
H' 25	ETCR0AL	8										
H' 26	IOAR0A	8										
H' 27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード	
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード	
H' 28	MAR0BR	8										DMAC チャンネル0B
H' 29	MAR0BE	8										
H' 2A	MAR0BH	8										
H' 2B	MAR0BL	8										
H' 2C	ETCR0BH	8										
H' 2D	ETCR0BL	8										
H' 2E	IOAR0B	8										
H' 2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード	
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード	
H' 30	MAR1AR	8										DMAC チャンネル1A
H' 31	MAR1AE	8										
H' 32	MAR1AH	8										
H' 33	MAR1AL	8										
H' 34	ETCR1AH	8										
H' 35	ETCR1AL	8										
H' 36	IOARIA	8										
H' 37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード	
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード	

《記号説明》

(次頁に続く)

DMAC : DMAコントローラ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 38	MAR1BR	8									DMAC チャンネル1B
H' 39	MAR1BE	8									
H' 3A	MAR1BH	8									
H' 3B	MAR1BL	8									
H' 3C	ETCR1BH	8									
H' 3D	ETCR1BL	8									
H' 3E	IOAR1B	8									
H' 3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	——	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード
H' 40	MAR2AR	8									DMAC チャンネル2A
H' 41	MAR2AE	8									
H' 42	MAR2AH	8									
H' 43	MAR2AL	8									
H' 44	ETCR2AH	8									
H' 45	ETCR2AL	8									
H' 46	IOAR2A	8									
H' 47	DTCR2A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H' 48	MAR2BR	8									DMAC チャンネル2B
H' 49	MAR2BE	8									
H' 4A	MAR2BH	8									
H' 4B	MAR2BL	8									
H' 4C	ETCR2BH	8									
H' 4D	ETCR2BL	8									
H' 4E	IOAR2B	8									
H' 4F	DTCR2B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	——	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード

(次頁に続く)

《記号説明》

DMAC : DMAコントローラ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'50	MAR3AR	8									DMAC チャンネル3A
H'51	MAR3AE	8									
H'52	MAR3AH	8									
H'53	MAR3AL	8									
H'54	ETCR3AH	8									
H'55	ETCR3AL	8									
H'56	IOAR3A	8									
H'57	DTCR3A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H'58	MAR3BR	8									DMAC チャンネル3B
H'59	MAR3BE	8									
H'5A	MAR3BH	8									
H'5B	MAR3BL	8									
H'5C	ETCR3BH	8									
H'5D	ETCR3BL	8									
H'5E	IOAR3B	8									
H'5F	DTCR3B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	——	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード
H'60	TSTR	8	——	——	——	STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8	——	——	——	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8	——	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8	——	——	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'64	TCR0	8	——	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル0
H'65	TIOR0	8	——	IOB2	IOB1	IOB0	——	IOA2	IOA1	IOA0	
H'66	TIER0	8	——	——	——	——	——	OVIE	IMIEB	IMIEA	
H'67	TSR0	8	——	——	——	——	——	OVF	IMFB	IMFA	
H'68	TCNT0H	16									
H'69	TCNT0L										
H'6A	GRA0H	16									
H'6B	GRA0L										
H'6C	GRB0H	16									
H'6D	GRB0L										

(次頁へ続く)

《記号説明》

DMAC : DMAコントローラ

ITU : 16ビットインテグレートドタイムユニット

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'6E	TCR1	8	---	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO	ITU チャンネル1
H'6F	TIOR1	8	---	IOB2	IOB1	IOB0	---	IOA2	IOA1	IOA0	
H'70	TIER1	8	---	---	---	---	---	OVIE	IMIEB	IMIEA	
H'71	TSR1	8	---	---	---	---	---	OVF	IMFB	IMFA	
H'72	TCNT1H	16									
H'73	TCNT1L										
H'74	GRA1H	16									
H'75	GRA1L										
H'76	GRB1H	16									
H'77	GRB1L										
H'78	TCR2	8	---	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO	ITU チャンネル2
H'79	TIOR2	8	---	IOB2	IOB1	IOB0	---	IOA2	IOA1	IOA0	
H'7A	TIER2	8	---	---	---	---	---	OVIE	IMIEB	IMIEA	
H'7B	TSR2	8	---	---	---	---	---	OVF	IMFB	IMFA	
H'7C	TCNT2H	16									
H'7D	TCNT2L										
H'7E	GRA2H	16									
H'7F	GRA2L										
H'80	GRB2H	16									
H'81	GRB2L										
H'82	TCR3	8	---	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO	ITU チャンネル3
H'83	TIOR3	8	---	IOB2	IOB1	IOB0	---	IOA2	IOA1	IOA0	
H'84	TIER3	8	---	---	---	---	---	OVIE	IMIEB	IMIEA	
H'85	TSR3	8	---	---	---	---	---	OVF	IMFB	IMFA	
H'86	TCNT3H	16									
H'87	TCNT3L										
H'88	GRA3H	16									
H'89	GRA3L										
H'8A	GRB3H	16									
H'8B	GRB3L										
H'8C	BRA3H	16									
H'8D	BRA3L										
H'8E	BRB3H	16									
H'8F	BRB3L										

《記号説明》

(次頁へ続く)

ITU : 16ビットインテグレートドタイマユニット

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 90	TOER	8	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共通
H' 91	TOCR	8	—	—	—	XTGD	—	—	OLS4	OLS3	
H' 92	TCR4	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル4
H' 93	TIOR4	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H' 94	TIER4	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H' 95	TSR4	8	—	—	—	—	—	OVF	IMFB	IMFA	
H' 96	TCNT4H	16									
H' 97	TCNT4L										
H' 98	GRA4H	16									
H' 99	GRA4L										
H' 9A	GRB4H	16									
H' 9B	GRB4L										
H' 9C	BRA4H	16									
H' 9D	BRA4L										
H' 9E	BRB4H	16									
H' 9F	BRB4L										
H' A0	TPMR	8	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV	TPC
H' A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H' A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H' A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H' A4	NDRB* ¹	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		8	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
H' A5	NDRA* ¹	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		8	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
H' A6	NDRB* ¹	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
H' A7	NDRA* ¹	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
H' A8	TCSR* ²	8	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
H' A9	TCNT* ²	8									

(次頁に続く)

【注】*¹ 出力トリガの設定によりアドレスが変化します。

*² TCSR、TCNTのライトについては「12.2.4 レジスタ書換え時の注意」を参照してください。

《記号説明》

ITU : 16ビットインテグレートドタイマユニット

TPC : プログラマブルタイミングパターンコントローラ

WDT : ウォッチドッグタイマ

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' AA	_____		—	—	—	—	—	—	—	—	—	WDT
H' AB	RSTCSR*	8	WRST	RSTOE	—	—	—	—	—	—	—	
H' AC	RFSHCR	8	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	PFSHE	—	—	RCYCE	リフレッシュ コントローラ
H' AD	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—		
H' AE	RTCNT	8										
H' AF	RTCOR	8										
H' B0	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャンネル0	
H' B1	BRR	8										
H' B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H' B3	TDR	8										
H' B4	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H' B5	RDR	8										
H' B6	_____		—	—	—	—	—	—	—	—		
H' B7	_____		—	—	—	—	—	—	—	—		
H' B8	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャンネル1	
H' B9	BRR	8										
H' BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H' BB	TDR	8										
H' BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H' BD	RDR	8										
H' BE	_____		—	—	—	—	—	—	—	—		
H' BF	_____		—	—	—	—	—	—	—	—		
H' C0	_____		—	—	—	—	—	—	—	—	ポート4	
H' C1	_____		—	—	—	—	—	—	—	—		
H' C2	_____		—	—	—	—	—	—	—	—		
H' C3	_____		—	—	—	—	—	—	—	—		
H' C4	_____		—	—	—	—	—	—	—	—		
H' C5	P4DDR	8	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート4	
H' C6	_____		—	—	—	—	—	—	—	—	ポート4	
H' C7	P4DR	8	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀		
H' C8	P5DDR	8	P5 ₇ DDR	P5 ₆ DDR	P5 ₅ DDR	P5 ₄ DDR	P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR		ポート5
H' C9	P6DDR	8	—	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR		ポート6

(次頁へ続く)

【注】* RSTCSRのライトについては「12.2.4 レジスタ書換え時の注意」を参照してください。

《記号説明》

WDT : ウォッチドッグタイマ

SCI : シリアルコミュニケーションインタフェース

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' CA	P 5 DR	8	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀	ポート 5
H' CB	P 6 DR	8	—	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート 6
H' CC	—		—	—	—	—	—	—	—	—	
H' CD	P 8 DDR	8	—	—	—	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR	ポート 8
H' CE	P 7 DR	8	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート 7
H' CF	P 8 DR	8	—	—	—	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート 8
H' D0	P 9 DDR	8	—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート 9
H' D1	P ADDR	8	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR	ポート A
H' D2	P 9 DR	8	—	—	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	ポート 9
H' D3	P ADR	8	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポート A
H' D4	P BDDR	8	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR	ポート B
H' D5	P CDDR	8	PC ₇ DDR	PC ₆ DDR	PC ₅ DDR	PC ₄ DDR	PC ₃ DDR	PC ₂ DDR	PC ₁ DDR	PC ₀ DDR	ポート C
H' D6	P BDR	8	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	ポート B
H' D7	P CDR	8	PC ₇	PC ₆	PC ₅	PC ₄	PC ₃	PC ₂	PC ₁	PC ₀	ポート C
H' D8	—		—	—	—	—	—	—	—	—	
H' D9	—		—	—	—	—	—	—	—	—	
H' DA	P 4 PCR	8	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR	ポート 4
H' DB	P 5 PCR	8	P5 ₇ PCR	P5 ₆ PCR	P5 ₅ PCR	P5 ₄ PCR	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR	ポート 5
H' DC	—		—	—	—	—	—	—	—	—	
H' DD	—		—	—	—	—	—	—	—	—	
H' DE	—		—	—	—	—	—	—	—	—	
H' DF	—		—	—	—	—	—	—	—	—	
H' E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
H' E1	ADDRAL	8	AD1	AD0	—	—	—	—	—	—	
H' E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H' E3	ADDRBL	8	AD1	AD0	—	—	—	—	—	—	
H' E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H' E5	ADDRCL	8	AD1	AD0	—	—	—	—	—	—	
H' E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H' E7	ADDRDL	8	AD1	AD0	—	—	—	—	—	—	
H' E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CHO	
H' E9	ADCR	8	TRGE	—	—	—	—	—	—	—	
H' EA	—		—	—	—	—	—	—	—	—	
H' EB	—		—	—	—	—	—	—	—	—	

《記号説明》

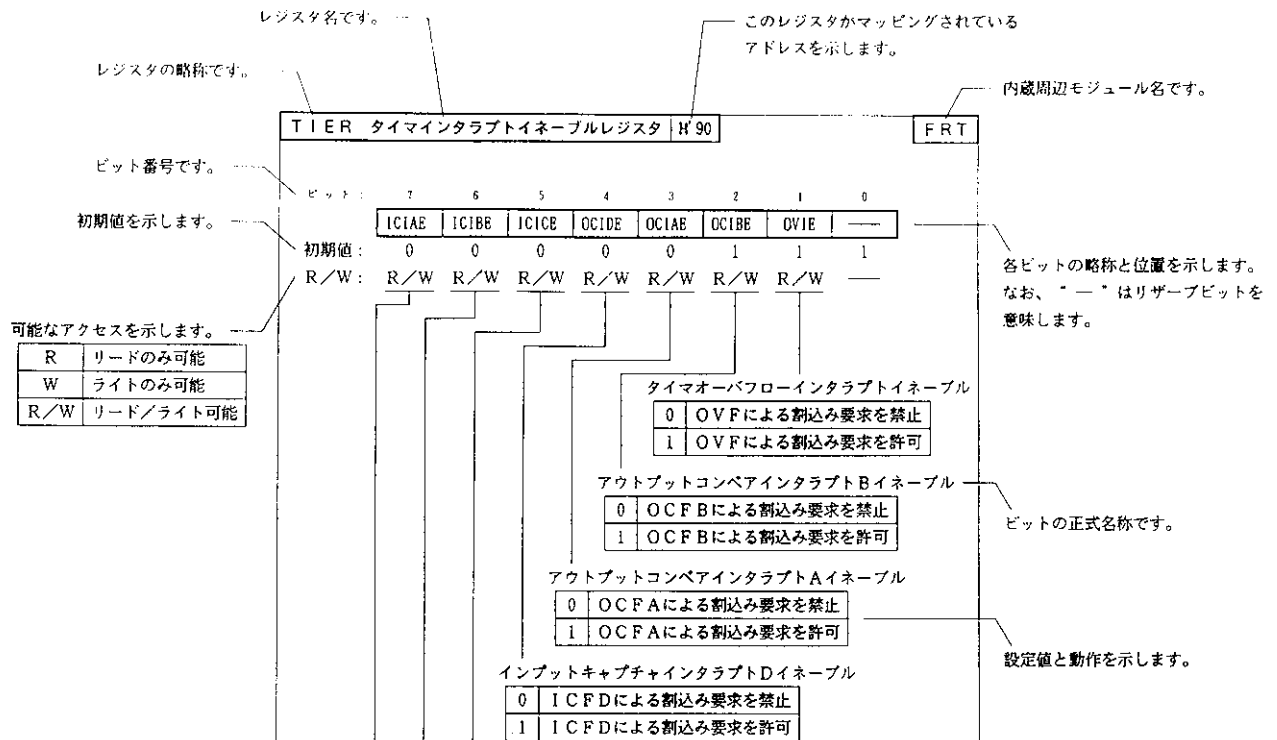
A/D : A/D変換器

(次頁へ続く)

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ
H' ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H' EE	WCR	8	—	—	—	—	WMS1	WMS0	WC1	WC0	
H' EF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	
H' F0	—		—	—	—	—	—	—	—	—	
H' F1	MDCR	8	—	—	—	—	—	MDS2	MDS1	MDS0	システム制御
H' F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME	
H' F3	BRCR	8	—	—	—	—	—	—	—	BRLE	バスコントローラ
H' F4	ISCR	8	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割込み コントローラ
H' F5	IER	8	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H' F6	ISR	8	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H' F7	—		—	—	—	—	—	—	—	—	
H' F8	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H' F9	IPRB	8	IPRB7	IPRB6	IPRB5	IPRB4	IPRB3	IPRB2	IPRB1	—	
H' FA	—		—	—	—	—	—	—	—	—	
H' FB	—		—	—	—	—	—	—	—	—	
H' FC	—		—	—	—	—	—	—	—	—	
H' FD	—		—	—	—	—	—	—	—	—	
H' FE	—		—	—	—	—	—	—	—	—	
H' FF	—		—	—	—	—	—	—	—	—	

B. 2 I/Oレジスタ一覧(2)



MAR0A R、E、H、L メモリアドレスレジスタ0A R、E、H、L

H' 20、H' 21、H' 22、H' 23

DMAC0

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



初期値： 1 1 1 1 1 1 1 1 不定

R/W： — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W

MAR0AR

MAR0AE

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR0AH

MAR0AL

ソースアドレスまたはデスティネーションアドレスを設定

ETCR0A H、L 転送カウントレジスタ0A H、L

H' 24、H' 25

DMAC0

■ショートアドレスモード

(1) I/Oモードまたはアイドルモード

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

転送カウンタ

(2) リピートモード

ビット： 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ETCR0AH

ETCR0AL

転送カウンタ

転送回数保持

(次頁に続く)

(前頁より続く)

■フルアドレスモード

(1) ノーマルモード

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

転送カウンタ

(2) ブロック転送モード

ビット： 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 不定

不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ETCR0AH

ETCR0AL

ブロックサイズカウンタ

ブロックサイズ保持

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ショートアドレスモード：ソースアドレスまたはデスティネーション
アドレスを設定

フルアドレスモード：未使用

■ ショートアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値: 0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト

ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコンパマッチ/インพุットキャプチャ割込みで起動
		1	ITUチャネル1のコンパマッチ/インพุットキャプチャ割込みで起動
	1	0	ITUチャネル2のコンパマッチ/インพุットキャプチャ割込みで起動
		1	ITUチャネル3のコンパマッチ/インพุットキャプチャ割込みで起動
1	0	0	SCIの送信データエンプティ割込みで起動
		1	SCIの受信データフル割込みで起動
	1	*	フルアドレスモード転送を指定

データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント/デクリメント

0	インクリメント: DTSZ="0"のとき、転送後MARを+1 DTSZ="1"のとき、転送後MARを+2
1	デクリメント: DTSZ="0"のとき、転送後MARを-1 DTSZ="1"のとき、転送後MARを-2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

(前頁より続く)

■フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクトA0

0	ノーマルモードで転送
1	ブロック転送モードで転送

データトランスファセレクトA2、1

いずれも“1”にセットしてください

データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

ソースアドレスインクリメント/デクリメント

ビット5	ビット4	インクリメント/デクリメントイネーブル
SAID	SAIDE	
0	0	MARA固定
	1	インクリメント: DTSZ = “0” のとき、転送後MARAを + 1 DTSZ = “1” のとき、転送後MARAを + 2
1	0	MARA固定
	1	デクリメント: DTSZ = “0” のとき、転送後MARAを - 1 DTSZ = “1” のとき、転送後MARAを - 2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

MAR0B R、E、H、L メモリアドレスレジスタ0B R、E、H、L

H' 28、H' 29、H' 2A、H' 2B

DMAC0

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



初期値： 1 1 1 1 1 1 1 1 不定

R/W： — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W

MAR0BR

MAR0BE

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR0BH

MAR0BL

ソースアドレスまたはデスティネーションアドレスを設定

ETCR0B H、L 転送カウントレジスタ0B H、L

H' 2C、H' 2D

DMAC0

■ショートアドレスモード

(1) I/Oモードまたはアイドルモード

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

転送カウンタ

(2) リピートモード

ビット： 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ETCR0BH

ETCR0BL

転送カウンタ

転送回数保持

(次頁に続く)

ETCR0B H、L 転送カウントレジスタ0B H、L H' 2C、H' 2D

DMACO

(前頁より続く)

■フルアドレスモード

(1) ノーマルモード

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

未使用

(2) ブロック転送モード

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ブロック転送カウンタ

IOAR0B I/Oアドレスレジスタ0B H' 2E

DMACO

ビット: 7 6 5 4 3 2 1 0



初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ショートアドレスモード: ソースアドレスまたはデスティネーション
アドレスを設定

フルアドレスモード : 未使用

■ショートアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値: 0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト

ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコバアマッチ/インプットキャプチャA割込みで起動
		1	ITUチャネル1のコバアマッチ/インプットキャプチャA割込みで起動
	1	0	ITUチャネル2のコバアマッチ/インプットキャプチャA割込みで起動
		1	ITUチャネル3のコバアマッチ/インプットキャプチャA割込みで起動
1	0	0	SCIの送信データエンプティ割込みで起動
		1	SCIの受信データフル割込みで起動
	1	0	DREQ端子の立下がりエッジ入力で起動
		1	DREQ端子の“Low”レベル入力で起動

データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可 DTEビット="0"のとき、CPUに割込みを要求

リピートイネーブル

RPE	DTIE	説明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント/デクリメント

0	インクリメント: DTSZ="0"のとき、転送後MARを+1 DTSZ="1"のとき、転送後MARを+2
1	デクリメント: DTSZ="0"のとき、転送後MARを-1 DTSZ="1"のとき、転送後MARを-2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

(次頁へ続く)

(前頁より続く)

■フルアドレスモード

ビット:	7	6	5	4	3	2	1	0
	DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト 2 B ~ 0 B

ビット2	ビット1	ビット0	データ転送の起動要因	
DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード
0	0	0	オートリクエスト (バーストモード)	ITUチャンネル0のコンパマッチ/ インプットキャプチャA割込みで起動
		1	使用できません	ITUチャンネル1のコンパマッチ/ インプットキャプチャA割込みで起動
	1	0	オートリクエスト (サイクルスチールモード)	ITUチャンネル2のコンパマッチ/ インプットキャプチャA割込みで起動
		1	使用できません	ITUチャンネル3のコンパマッチ/ インプットキャプチャA割込みで起動
1	0	0	使用できません	使用できません
		1	使用できません	使用できません
	1	0	DREQ端子の立下がり	DREQ端子の立下がり
		1	DREQ端子の“Low”レベル	使用できません

トランスファモードセレクト

0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送
1	ブロック転送モード時、ソース側をブロックエリアとして転送

デスティネーションアドレスインクリメント/デクリメント

ビット5	ビット4	インクリメント/デクリメントイネーブル
DAID	DAIDE	
0	0	MARB固定
	1	インクリメント : DTSZ="0"のとき、転送後MARBを+1 DTSZ="1"のとき、転送後MARBを+2
1	0	MARB固定
	1	デクリメント : DTSZ="0"のとき、転送後MARBを-1 DTSZ="1"のとき、転送後MARBを-2

データトランスファマスタイネーブル

0	データ転送を禁止
1	データ転送を許可

MAR1A R、E、H、L メモリアドレスレジスタ1A R、E、H、L

H' 30、H' 31、H' 32、H' 33

DMAC1

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



初期値： 1 1 1 1 1 1 1 1 不定

R/W： — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W

MAR1AR

MAR1AE

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR1AH

MAR1AL

※機能はDMAC0と同じです。

ETCR1A H、L 転送カウントレジスタ1A H、L

H' 34、H' 35

DMAC1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット： 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0



初期値： 不定

不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

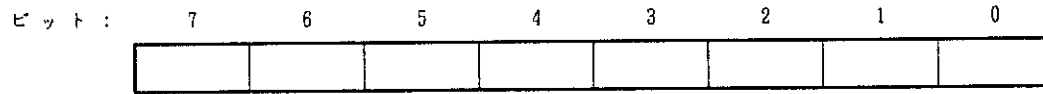
ETCR1AH

ETCR1AL

※機能はDMAC0と同じです。

IOAR1A I/Oアドレスレジスタ1A H'36

DMAC1



初期値: 不定

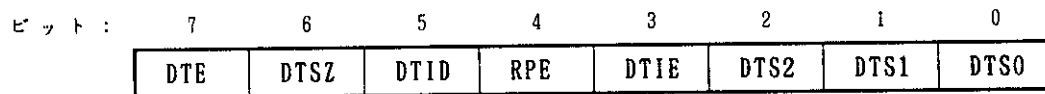
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR1A データトランスファコントロールレジスタ1A H'37

DMAC1

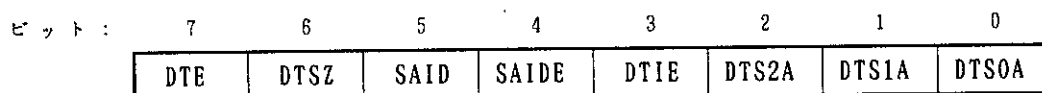
■ショートアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

■フルアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

MAR1B R、E、H、L メモリアドレスレジスタ1B R、E、H、L

H' 38、H' 39、H' 3A、H' 3B

DMAC1

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



初期値： 1 1 1 1 1 1 1 1 不定

R/W： — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W

MAR1BR

MAR1BE

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR1BH

MAR1BL

※機能はDMAC0と同じです。

ETCR1B H、L 転送カウントレジスタ1B H、L

H' 3C、H' 3D

DMAC1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット： 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ETCR1BH

ETCR1BL

※機能はDMAC0と同じです。

MAR2A R,E,H,L メモリアドレスレジスタ2A R,E,L

H' 40、H' 41、H' 42、H' 43

DMAC2

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16



初期値： 1 1 1 1 1 1 1 1 不定

R/W： — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W

MAR2AR

MAR2AE

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR2AH

MAR2AL

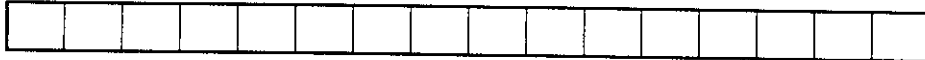
※機能はDMAC0と同じです。

ETCR2A H,L 転送カウントレジスタ2A H,L

H' 44、H' 45

DMAC2

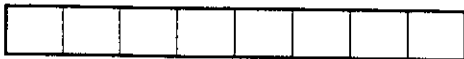
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット： 7 6 5 4 3 2 1 0

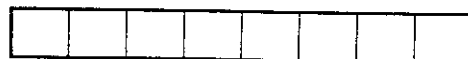


初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ETCR2AH

ビット： 7 6 5 4 3 2 1 0



不定

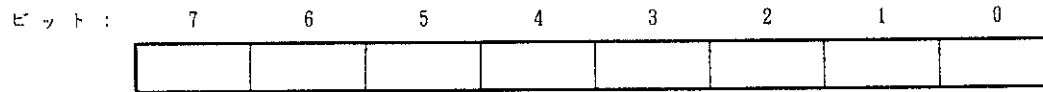
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ETCR2AL

※機能はDMAC0と同じです。

IOAR2A I/Oアドレスレジスタ2A H'46

DMAC2



初期値: 不定

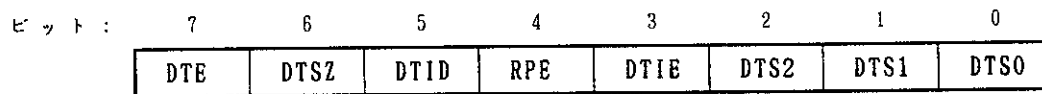
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR2A データトランスファコントロールレジスタ2A H'47

DMAC2

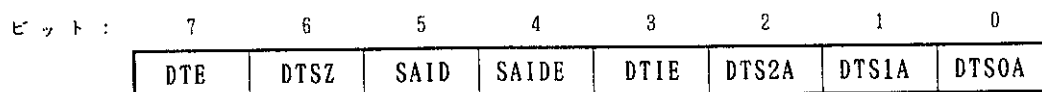
■ショートアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

■フルアドレスモード



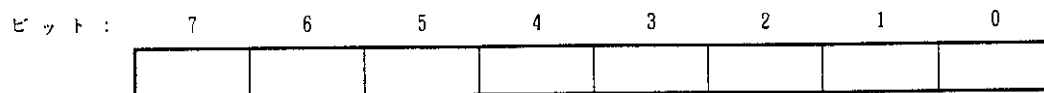
初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

IOAR2B I/Oアドレスレジスタ2B H' 4E

DMAC2



初期値: 不定

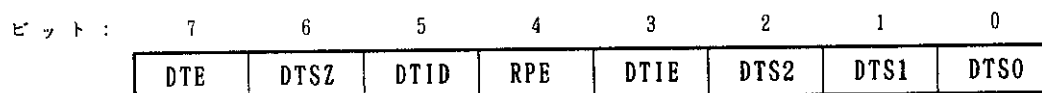
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR2B データトランスファコントロールレジスタ2B H' 4F

DMAC2

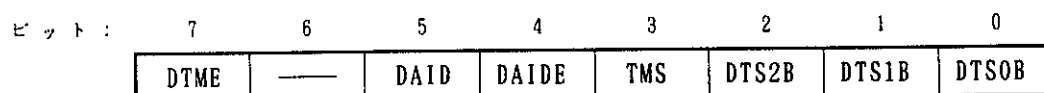
■ショートアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

■フルアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

MAR3A R、E、H、L メモリアドレスレジスタ3A R、E、H、L

H' 50、H' 51、H' 52、H' 53

DMAC3

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 不定

R/W： — — — — — — — — R/W R/W R/W R/W R/W R/W R/W R/W

MAR3AR

MAR3AE

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 不定 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

MAR3AH

MAR3AL

※機能はDMAC0と同じです。

ETCR3A H、L 転送カウンタレジスタ3A H、L

H' 54、H' 55

DMAC3

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値： 不定

R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ETCR3AH

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

不定

R/W R/W R/W R/W R/W R/W R/W R/W

ETCR3AL

※機能はDMAC0と同じです。

IOAR3A I/Oアドレスレジスタ3A H'56

DMAC3

ビット: 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値: 不定

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR3A データトランスファコントロールレジスタ3A H'57

DMAC3

■ショートアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
-----	------	------	-----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

■フルアドレスモード

ビット: 7 6 5 4 3 2 1 0

DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
-----	------	------	-------	------	-------	-------	-------

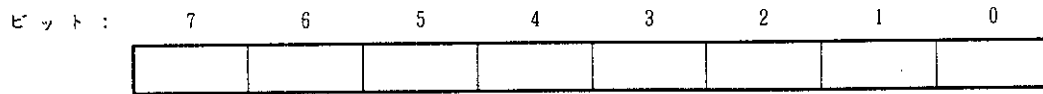
初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

IOAR3B I/Oアドレスレジスタ3B H'5E

DMAC3



初期値: 不定

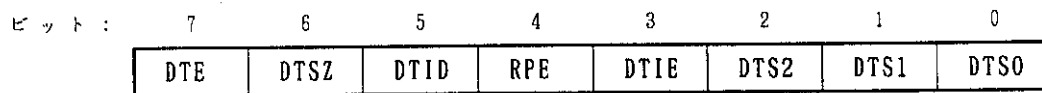
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

DTCR3B データ転送コントロールレジスタ3B H'5F

DMAC3

■ショートアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

■フルアドレスモード



初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はDMAC0と同じです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STRO
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

カウンタスタート 0

0	TCNT0のカウンタ動作は停止
1	TCNT0はカウンタ動作

カウンタスタート 1

0	TCNT1のカウンタ動作は停止
1	TCNT1はカウンタ動作

カウンタスタート 2

0	TCNT2のカウンタ動作は停止
1	TCNT2はカウンタ動作

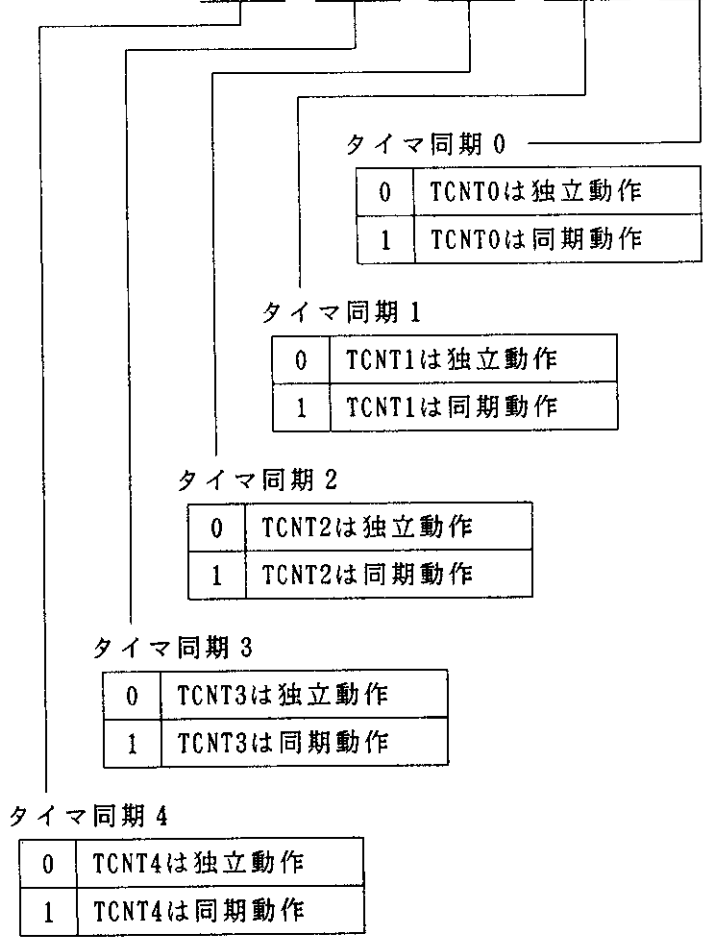
カウンタスタート 3

0	TCNT3のカウンタ動作は停止
1	TCNT3はカウンタ動作

カウンタスタート 4

0	TCNT4のカウンタ動作は停止
1	TCNT4はカウンタ動作

ビット:	7	6	5	4	3	2	1	0
	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W



ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMモード 0

0	チャンネル 0 は通常動作
1	チャンネル 0 はPWMモード

PWMモード 1

0	チャンネル 1 は通常動作
1	チャンネル 1 はPWMモード

PWMモード 2

0	チャンネル 2 は通常動作
1	チャンネル 2 はPWMモード

PWMモード 3

0	チャンネル 3 は通常動作
1	チャンネル 3 はPWMモード

PWMモード 4

0	チャンネル 4 は通常動作
1	チャンネル 4 はPWMモード

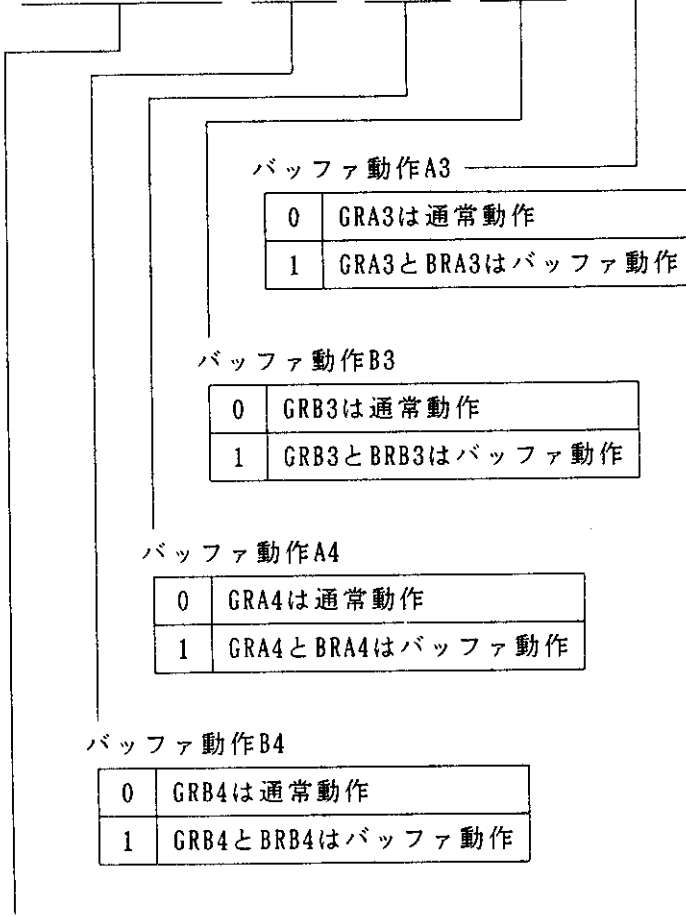
フラグディレクション

0	TSR2のOVFフラグは、TCNT2がオーバフローまたはアンダフローしたときに“1”にセット
1	TSR2のOVFフラグは、TCNT2がオーバフローしたときに“1”にセット

位相計数モード

0	チャンネル 2 は通常動作
1	チャンネル 2 は位相計数モード

ビット:	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W



コンビネーションモード 1、0

ビット5	ビット4	チャンネル 3、4 の動作モードの指定
CMD1	CMD0	
0	0	チャンネル 3、4 は通常動作
	1	
1	0	チャンネル 3、4 を組み合わせ、相補PWMモードで動作
	1	チャンネル 3、4 を組み合わせ、リセット同期PWMモードで動作

ビット: 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケラ 2 ~ 0

ビット2	ビット1	ビット0	TCNTのカウンタクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: ϕ
		1	内部クロック: $\phi / 2$
	1	0	内部クロック: $\phi / 4$
		1	内部クロック: $\phi / 8$
1	0	0	外部クロックA : TCLKA端子入力でカウント
		1	外部クロックB : TCLKB端子入力でカウント
	1	0	外部クロックC : TCLKC端子入力でカウント
		1	外部クロックD : TCLKD端子入力でカウント

クロックエッジ 1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立上がりエッジでカウント
	1	立下がりエッジでカウント
1	—	立上がり/立下がりの両エッジでカウント

カウンタクリア 1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンパマチ/インプットキャプチャでTCNTをクリア
1	0	GRBのコンパマチ/インプットキャプチャでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

ビット: 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値: 1 0 0 0 1 0 0 0

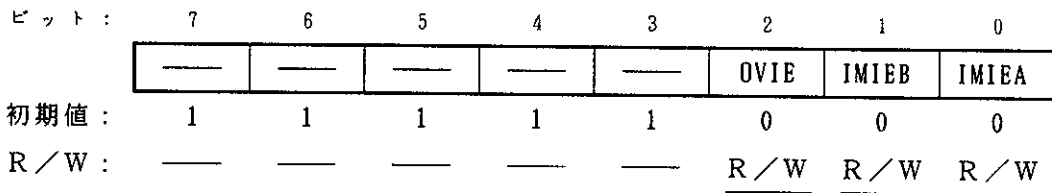
R/W: — R/W R/W R/W — R/W R/W R/W

I/O コントロール A 2 ~ 0

ビット2 IOA2	ビット1 IOA1	ビット0 IOA0	GRAの機能の選択	
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRAのコンペアマッチで“0”出力
	1	0		GRAのコンペアマッチで“1”出力
		1		GRAのコンペアマッチでトグル出力
1	0	0	GRAはインプットキ ャプチャレジスタ	立上がりエッジでGRAへインプットキャプチャ
		1		立下がりエッジでGRAへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRA へインプットキャプチャ
		1		立上がり/立下がり両エッジでGRA へインプットキャプチャ

I/O コントロール B 2 ~ 0

ビット6 IOB2	ビット5 IOB1	ビット4 IOB0	GRBの機能の選択	
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRBのコンペアマッチで“0”出力
	1	0		GRBのコンペアマッチで“1”出力
		1		GRBのコンペアマッチでトグル出力
1	0	0	GRBはインプットキ ャプチャレジスタ	立上がりエッジでGRBへインプットキャプチャ
		1		立下がりエッジでGRBへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRB へインプットキャプチャ
		1		立上がり/立下がり両エッジでGRB へインプットキャプチャ



インพุットキャプチャ/コンパアマッチインタラプトイネーブルA

0	IMFAフラグによる割込み (IMIA) 要求を禁止
1	IMFAフラグによる割込み (IMIA) 要求を許可

インพุットキャプチャ/コンパアマッチインタラプトイネーブルB

0	IMFBフラグによる割込み (IMIB) 要求を禁止
1	IMFBフラグによる割込み (IMIB) 要求を許可

オーバフローインタラプトイネーブル

0	OVIフラグによる割込み (OVI) 要求を禁止
1	OVIフラグによる割込み (OVI) 要求を許可

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

インプットキャプチャ/コンペアマッチフラグ A

0	〔クリア条件〕 IMFA="1"の状態、IMFAフラグをリードした後、IMFAフラグに"0"をライトしたとき
1	〔セット条件〕 (1)GRAがアウトプットコンペアレジスタとして機能している場合、TCNT=GRAになったとき (2)GRAがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRAに転送されたとき

インプットキャプチャ/コンペアマッチフラグ B

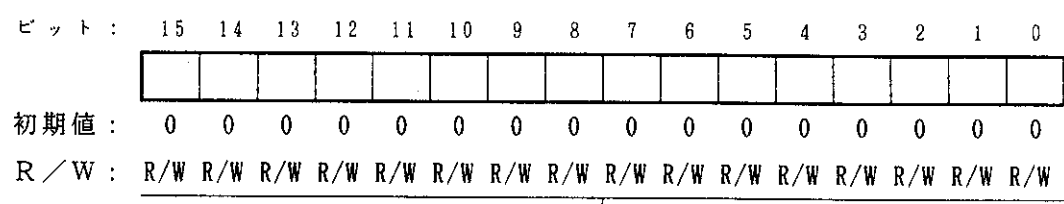
0	〔クリア条件〕 IMFB="1"の状態、IMFBフラグをリードした後、IMFBフラグに"0"をライトしたとき
1	〔セット条件〕 (1)GRBがアウトプットコンペアレジスタとして機能している場合、TCNT=GRBになったとき (2)GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき

オーバーフローフラグ

0	〔クリア条件〕 OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき
1	〔セット条件〕 TCNTの値がオーバーフロー (H' FFFF→H' 0000) したとき

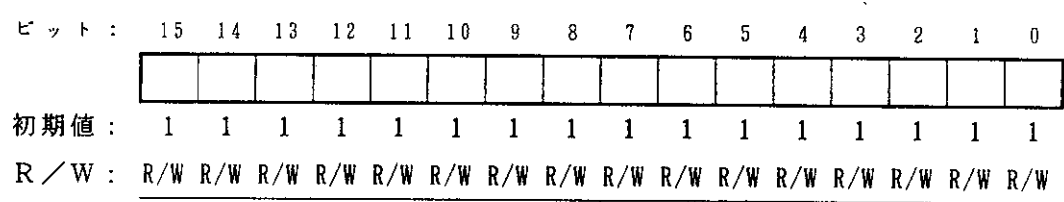
【注】・ フラグクリアのための"0"ライトのみ可能です。

TCNT0 H,L タイマカウンタ0 H,L H'68、H'69 ITU0



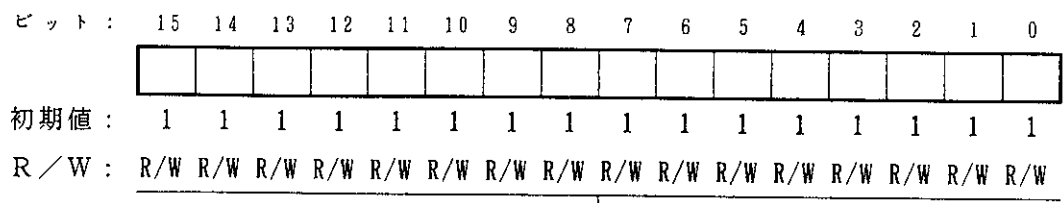
アップカウンタ

GRA0 H,L ジェネラルレジスタA0 H,L H'6A、H'6B ITU0



アウトプットコンペア/インプットキャプチャ兼用レジスタ

GRB0 H,L ジェネラルレジスタB0 H,L H'6C、H'6D ITU0



アウトプットコンペア/インプットキャプチャ兼用レジスタ

TCR1 タイマコントロールレジスタ 1	H' 6E		ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">—</td> <td style="width: 10%;">CCLR1</td> <td style="width: 10%;">CCLRO</td> <td style="width: 10%;">CKEG1</td> <td style="width: 10%;">CKEGO</td> <td style="width: 10%;">TPSC2</td> <td style="width: 10%;">TPSC1</td> <td style="width: 10%;">TPSCO</td> </tr> </table> <p>初期値： 1 0 0 0 0 0 0 0</p> <p>R/W： — R/W R/W R/W R/W R/W R/W R/W</p> <p>※機能は I T U 0 と同じです。</p>				—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO
—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO				

TIOR1 タイマ I/O コントロールレジスタ 1	H' 6F		ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">—</td> <td style="width: 10%;">IOB2</td> <td style="width: 10%;">IOB1</td> <td style="width: 10%;">IOB0</td> <td style="width: 10%;">—</td> <td style="width: 10%;">IOA2</td> <td style="width: 10%;">IOA1</td> <td style="width: 10%;">IOA0</td> </tr> </table> <p>初期値： 1 0 0 0 1 0 0 0</p> <p>R/W： — R/W R/W R/W — R/W R/W R/W</p> <p>※機能は I T U 0 と同じです。</p>				—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0				

TIER1 タイマインタラプトイネーブルレジスタ 1	H' 70		ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">OVIE</td> <td style="width: 10%;">IMIEB</td> <td style="width: 10%;">IMIEA</td> </tr> </table> <p>初期値： 1 1 1 1 1 0 0 0</p> <p>R/W： — — — — — R/W R/W R/W</p> <p>※機能は I T U 0 と同じです。</p>				—	—	—	—	—	OVIE	IMIEB	IMIEA
—	—	—	—	—	OVIE	IMIEB	IMIEA				

TSR1 タイマステータスレジスタ 1	H' 71		ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">OVF</td> <td style="width: 10%;">IMFB</td> <td style="width: 10%;">IMFA</td> </tr> </table> <p>初期値： 1 1 1 1 1 0 0 0</p> <p>R/W： — — — — — R/(W)* R/(W)* R/(W)*</p> <p>※機能は I T U 0 と同じです。</p> <p>【注】* フラグクリアのための“0”ライトのみ可能です。</p>				—	—	—	—	—	OVF	IMFB	IMFA
—	—	—	—	—	OVF	IMFB	IMFA				

TCNT1 H,L タイマカウンタ1 H,L

H'72、H'73

ITU1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRA1 H,L ジェネラルレジスタA1 H,L

H'74、H'75

ITU1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRB1 H,L ジェネラルレジスタB1 H,L

H'76、H'77

ITU1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

TCR2 タイマコントロールレジスタ 2 H'78

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

【注】 チャンネル2を位相計数モードに設定したとき、TPSC2~TPSC0ビットによるカウントクロックの選択は無効となります。

TIOR2 タイマI/Oコントロールレジスタ 2 H'79

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

TIER2 タイマインタラプトイネーブルレジスタ 2 H' 7A ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

TSR2 タイマステータスレジスタ 2 H' 7B ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです

オーバーフローフラグ

	[クリア条件]
0	OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき
	[セット条件]
1	TCNTの値がオーバーフロー (H' FFFF→H' 0000)、またはアンダフロー (H' 0000→H' FFFF) したとき

【注】* フラグクリアのための"0"ライトのみ可能です。

TCNT2 H,L タイマカウンタ2 H,L H' 7C, H' 7D ITU2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

位相計数モード時: アップ/ダウンカウンタ
 その他のモード時: アップカウンタ

GRA2 H、L ジェネラルレジスタA2 H、L H'7E、H'7F

ITU2

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

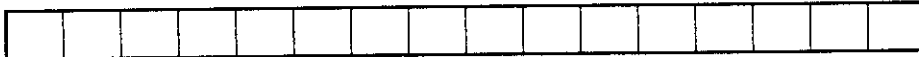
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRB2 H、L ジェネラルレジスタB2 H、L H'80、H'81

ITU2

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

TCR3 タイマコントロールレジスタ 3 H'82

ITU3

ビット: 7 6 5 4 3 2 1 0

—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
---	-------	-------	-------	-------	-------	-------	-------

初期値: 1 0 0 0 0 0 0 0

R/W: — R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

TIOR3 タイマI/Oコントロールレジスタ 3 H'83

ITU3

ビット: 7 6 5 4 3 2 1 0

—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
---	------	------	------	---	------	------	------

初期値: 1 0 0 0 1 0 0 0

R/W: — R/W R/W R/W — R/W R/W R/W

※機能はITU0と同じです。

TIER3 タイマインタラプトイネーブルレジスタ 3 H'84

ITU3

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	—	OVIE	IMIEB	IMIEA
---	---	---	---	---	------	-------	-------

初期値: 1 1 1 1 1 0 0 0

R/W: — — — — — R/W R/W R/W

※機能はITU0と同じです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです

オーバーフローフラグ

	[クリア条件]
0	OVF="1"の状態、OVFをリードした後、OVFに"1"をライトしたとき
	[セット条件]
1	TCNTの値がオーバーフロー (H' FFFF→H' 0000)、またはアンダフロー (H' 0000→H' FFFF) したとき

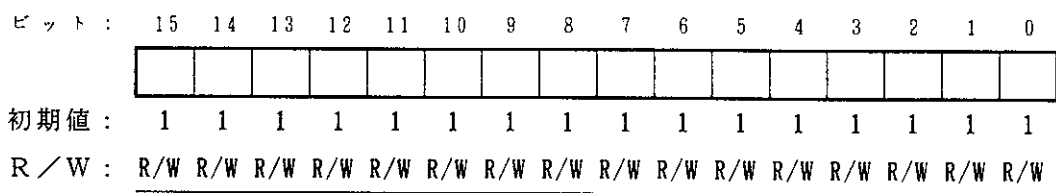
【注】* フラグクリアのための"0"ライトのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

相補PWMモード時: アップ/ダウンカウンタ

その他のモード時: アップカウンタ

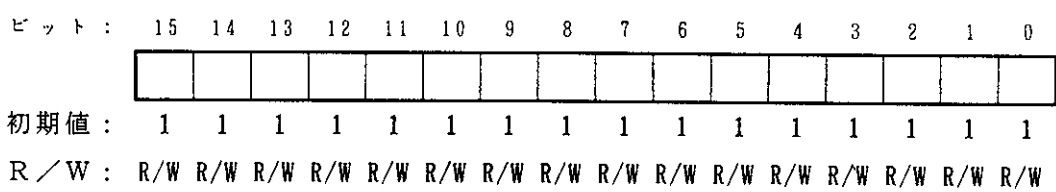
GRA3 H、L ジェネラルレジスタA3 H、L H' 88、H' 89		ITU3
--------------------------------------	--	------



↑

アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

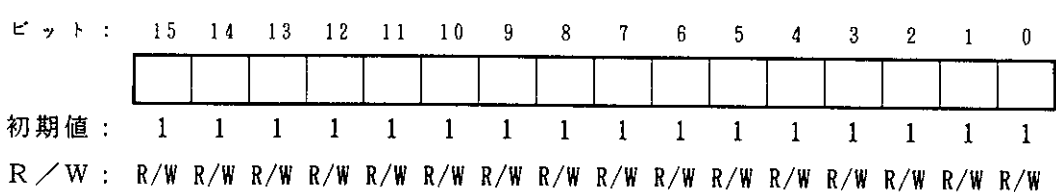
GRB3 H、L ジェネラルレジスタB3 H、L H' 8A、H' 8B		ITU3
--------------------------------------	--	------



↑

アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

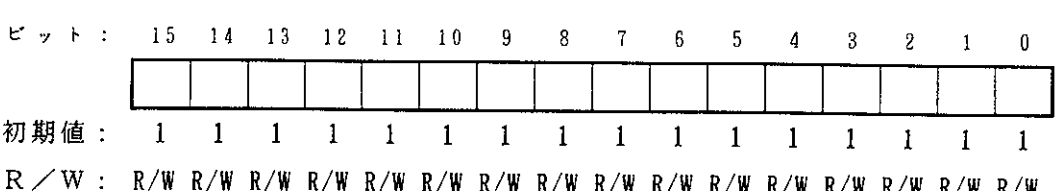
BRA3 H、L バッファレジスタA3 H、L H' 8C、H' 8D		ITU3
-------------------------------------	--	------



↑

バッファ動作時にGRAと組み合わせて使用

BRB3 H、L バッファレジスタB3 H、L H' 8E、H' 8F		ITU3
-------------------------------------	--	------



↑

バッファ動作時にGRBと組み合わせて使用

ビット:	7	6	5	4	3	2	1	0
	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA3

0	TIOR3、TMDR、TFCRの設定にかかわらず、TIOCA ₃ 端子は出力禁止
1	TIOR3、TMDR、TFCRの設定に従い、TIOCA ₃ 端子は出力許可

マスタイネーブルTIOCA4

0	TIOR4、TMDR、TFCRの設定にかかわらず、TIOCA ₄ 端子は出力禁止
1	TIOR4、TMDR、TFCRの設定に従い、TIOCA ₄ 端子は出力許可

マスタイネーブルTIOCB4

0	TIOR4、TFCRの設定にかかわらず、TIOCB ₄ 端子は出力禁止
1	TIOR4、TFCRの設定に従い、TIOCB ₄ 端子は出力許可

マスタイネーブルTIOCB3

0	TIOR3、TFCRの設定にかかわらず、TIOCB ₃ 端子は出力禁止
1	TIOR3、TFCRの設定に従い、TIOCB ₃ 端子は出力許可

マスタイネーブルTOCXA4

0	TFCRの設定にかかわらず、TOCXA ₄ 端子は出力禁止
1	TFCRの設定に従い、TOCXA ₄ 端子は出力許可

マスタイネーブルTOCXB4

0	TFCRの設定にかかわらず、TOCXB ₄ 端子は出力禁止
1	TFCRの設定に従い、TOCXB ₄ 端子は出力許可

ビット:	7	6	5	4	3	2	1	0
	—	—	—	XTGD	—	—	OLS4	OLS3
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	—	R/W	—	—	R/W	R/W

出力レベルセレクト 3

0	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は反転出力
1	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は直接出力

出力レベルセレクト 4

0	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ 端子は反転出力
1	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ 端子は直接出力

外部トリガディスエーブル

0	リセット同期PWMモードまたは相補PWMモード時、チャンネル1のインプットキャプチャA信号を外部トリガとして使用*
1	外部トリガを禁止

【注】* 外部トリガ発生時、TOERのビット5～0が“0”にクリアされ、ITU出力が禁止されます。

TCR4 タイマコントロールレジスタ 4 H' 92

ITU4

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

TIOR4 タイマI/Oコントロールレジスタ 4 H' 93

ITU4

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

TIER4 タイマインタラプトイネーブルレジスタ 4 H' 94

ITU4

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

TSR4 タイマステータスレジスタ 4 H' 95

ITU4

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです。

【注】* フラグクリアのための“0”ライトのみ可能です。

TCNT4 H,L タイマカウンタ4 H,L

H'96、H'97

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

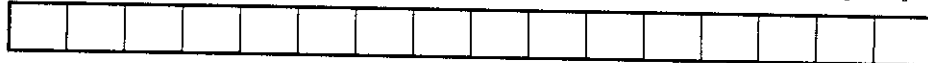
※機能はITU3と同じです。

GRA4 H,L ジェネラルレジスタA4 H,L

H'98、H'99

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

GRB4 H、L ジェネラルレジスタB4 H、L H' 9A、H' 9B

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

BRA4 H、L バッファレジスタA4 H、L H' 9C、H' 9D

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

BRB4 H、L バッファレジスタB4 H、L H' 9E、H' 9F

ITU4

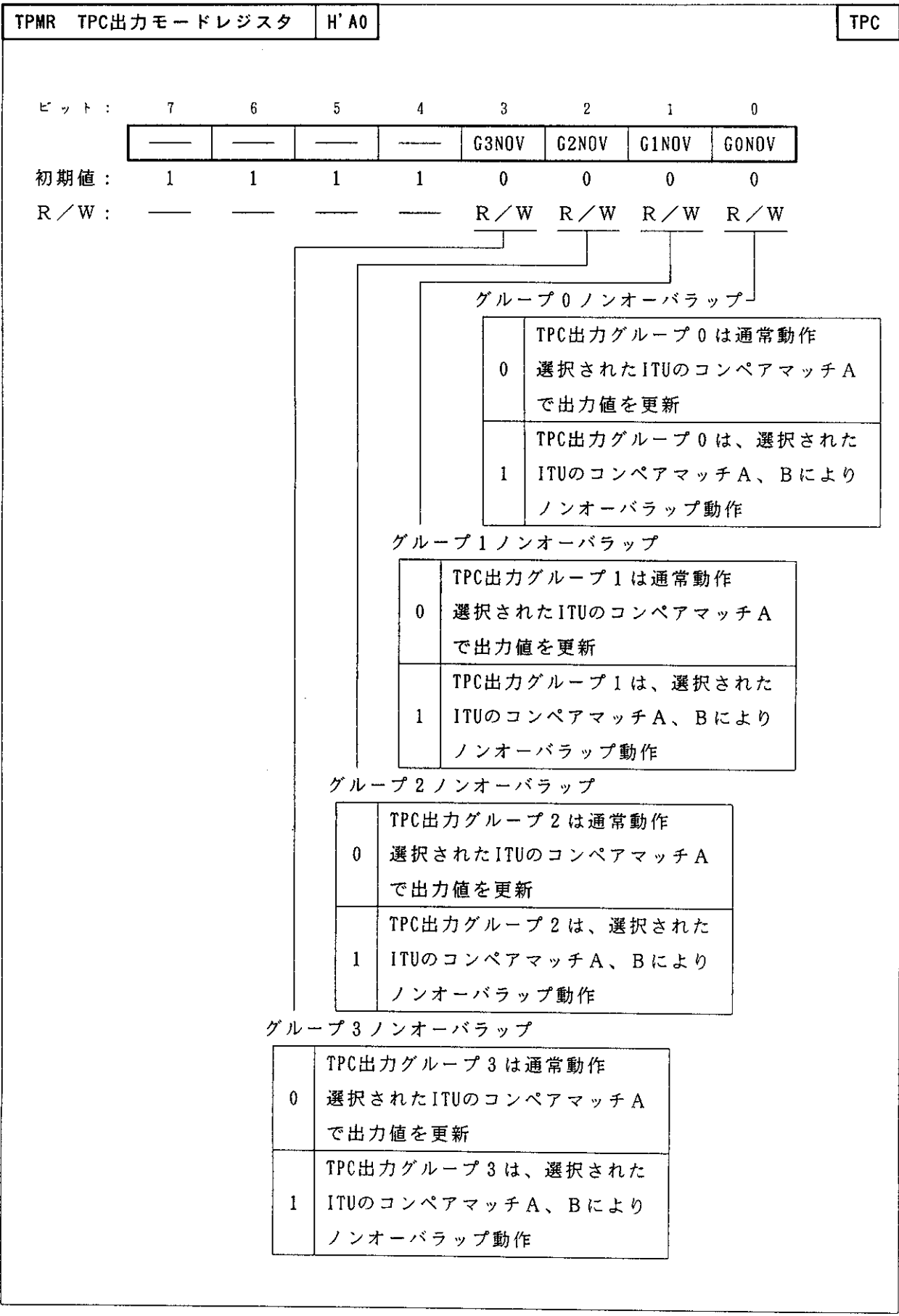
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。



ビット: 7 6 5 4 3 2 1 0

G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ0 コンペアマッチセレクト1、0

ビット1	ビット0	出力トリガとなるITUのチャンネル選択
G0CMS1	G0CMS0	
0	0	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガは ITUチャネル0のコンペアマッチ
	1	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガは ITUチャネル1のコンペアマッチ
1	0	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガは ITUチャネル2のコンペアマッチ
	1	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガは ITUチャネル3のコンペアマッチ

グループ1 コンペアマッチセレクト1、0

ビット3	ビット2	出力トリガとなるITUのチャンネル選択
G1CMS1	G1CMS0	
0	0	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガは ITUチャネル0のコンペアマッチ
	1	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガは ITUチャネル1のコンペアマッチ
1	0	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガは ITUチャネル2のコンペアマッチ
	1	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガは ITUチャネル3のコンペアマッチ

グループ2 コンペアマッチセレクト1、0

ビット5	ビット4	出力トリガとなるITUのチャンネル選択
G2CMS1	G2CMS0	
0	0	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガは ITUチャネル0のコンペアマッチ
	1	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガは ITUチャネル1のコンペアマッチ
1	0	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガは ITUチャネル2のコンペアマッチ
	1	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガは ITUチャネル3のコンペアマッチ

グループ3 コンペアマッチセレクト1、0

ビット7	ビット6	出力トリガとなるITUのチャンネル選択
G3CMS1	G3CMS0	
0	0	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガは ITUチャネル0のコンペアマッチ
	1	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガは ITUチャネル1のコンペアマッチ
1	0	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガは ITUチャネル2のコンペアマッチ
	1	TPC出力グループ3 (TP ₁₅ ~TP ₁₂ 端子) の出力トリガは ITUチャネル3のコンペアマッチ

NDERB ネクストデータイネーブルレジスタ B H' A2

TPC

ビット: 7 6 5 4 3 2 1 0

NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値: 0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8

ビット7~0	説 明
NDER15 ~NDER8	
0	TPC出力TP ₁₅ ~TP ₈ を禁止 (NDR15~NDR8からPB ₇ ~PB ₀ への転送禁止)
1	TPC出力TP ₁₅ ~TP ₈ を許可 (NDR15~NDR8からPB ₇ ~PB ₀ への転送許可)

NDERA ネクストデータイネーブルレジスタ A H' A3

TPC

ビット: 7 6 5 4 3 2 1 0

NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値: 0	0	0	0	0	0	0	0
R/W: R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0

ビット7~0	説 明
NDER7 ~NDER0	
0	TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からPA ₇ ~PA ₀ への転送禁止)
1	TPC出力TP ₇ ~TP ₀ を許可 (NDR7~NDR0からPA ₇ ~PA ₀ への転送許可)

■ T P C 出力グループ 2、3 の出力トリガが同一の場合

(1) アドレス : H' FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPC 出力グループ 3 の
 T P C 出力グループ 2 の
 出力データを格納

(2) アドレス : H' FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

■ T P C 出力グループ 2、3 の出力トリガが異なる場合

(1) アドレス : H' FFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

T P C 出力グループ 3 の
 出力データを格納

(2) アドレス : H' FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

T P C 出力グループ 2 の
 出力データを格納

■ T P C 出力グループ 0、1 の出力トリガが同一の場合

(1) アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
↑
 T P C 出力グループ 1 の T P C 出力グループ 0 の
 出力データを格納 出力データを格納

(2) アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

■ T P C 出力グループ 0、1 の出力トリガが異なる場合

(1) アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

↑
↑
 T P C 出力グループ 1 の
 出力データを格納

(2) アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

↑
↑
 T P C 出力グループ 0 の
 出力データを格納

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W

クロックセレクト 2~0

0	0	0	$\phi / 2$
		1	$\phi / 32$
1	0	0	$\phi / 64$
		1	$\phi / 128$
1	0	0	$\phi / 256$
		1	$\phi / 512$
	1	0	$\phi / 2048$
		1	$\phi / 4096$

タイマイネーブル

0	タイマディスエーブル ・ TCNTをH'00にイニシャライズし、 カウントアップを停止
1	タイマイネーブル ・ TCNTはカウントアップ開始 ・ CPUへの割込み要求を許可

タイマモードセレクト

0	インターバルタイマモード (インターバルタイマ割込み要求)
1	ウォッチドッグタイマモード (リセット信号を発生)

オーバフローフラグ

0	[クリア条件] OVF="1"の状態でもVFフラグをリードした 後、OVFフラグに"0"をライトしたとき
1	[セット条件] TCNTがH'FF→H'00に変化したとき

【注】* フラグをクリアするための"0"ライトのみ可能です。

ビット:	7	6	5	4	3	2	1	0
	SRFMD	PSRAM	DRAME	CAS/WE	M9/M8	RFSHE	—	RCYCE
初期値:	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

リフレッシュサイクルイネーブル

0	リフレッシュサイクルを禁止
1	エリア3に対するリフレッシュサイクルを許可

リフレッシュ端子イネーブル

0	RFSH端子のリフレッシュ信号出力を禁止
1	RFSH端子のリフレッシュ信号出力を許可

アドレスマルチプレクスモードセレクト

0	8ビットカラムモード
1	9ビットカラムモード

ストロープモードセレクト

0	2 WE方式
1	2 CAS方式

PSRAMイネーブル、DRAMイネーブル

ビット6	ビット5	RAMの接続
PSRAM	DRAME	
0	0	インターバルタイマとして使用可能
	1	DRAMの接続が可能
1	0	PSRAMの接続が可能
	1	使用禁止

セルフリフレッシュモード

0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止
1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能

ビット:	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W:	R/(W)*	R/W	R/W	R/W	R/W	—	—	—

クロックセレクト 2~0

ビット5	ビット4	ビット3	カウントクロック
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止
		1	$\phi/2$
	1	0	$\phi/8$
		1	$\phi/32$
1	0	0	$\phi/128$
		1	$\phi/512$
	1	0	$\phi/2048$
		1	$\phi/4096$

コンペアマッチインタラプトイネーブル

0	CMFフラグによる割込み (CMI) 要求を禁止
1	CMFフラグによる割込み (CMI) 要求を許可

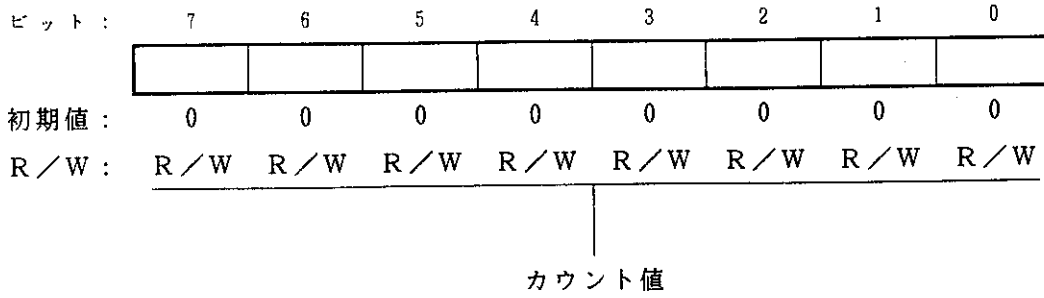
コンペアマッチフラグ

0	[クリア条件] CMF="1"の状態、CMFフラグをリードした後、CMFフラグに"0"をライトしたとき
1	[セット条件] RTCNT=RTCORになったとき

【注】* フラグをクリアするための"0"ライトのみ可能です。

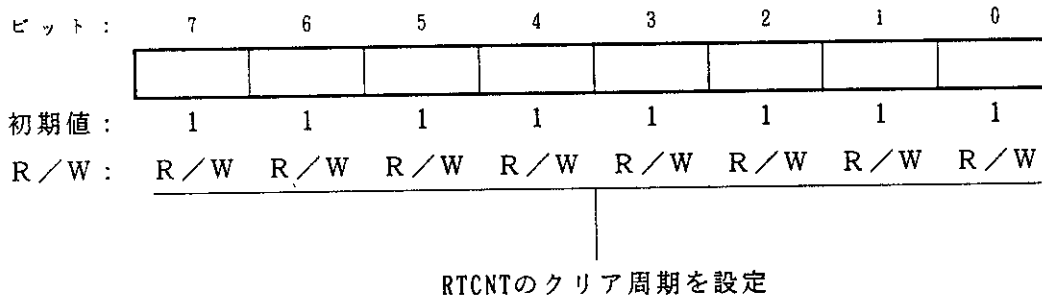
RTCNT リフレッシュタイマカウンタ H' AE

リフレッシュコントローラ



RTCOR リフレッシュタイムコンスタントレジスタ H' AF

リフレッシュコントローラ



ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0

ビット1	ビット0	クロックの選択
CKS1	CKS0	
0	0	ϕ クロック
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

マルチプロセッサモード

0	マルチプロセッサ機能を禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

BRR ビットレートレジスタ

H' B1

SC10

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信/受信のビットレートを設定

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル 1、0

ビット1	ビット0	クロックの選択、出力の許可	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK端子は入出力ポート
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力
	1	調歩同期式モード	内部クロック/SCK端子はクロック出力
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK端子はクロック入力
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力

トランスミットエンドインタラプトイネーブル

0	送信終了割込み (TEI) 要求を禁止
1	送信終了割込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込みを禁止 (通常の受信動作を行う)
1	マルチプロセッサ割込みを許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

レシーブインタラプトイネーブル

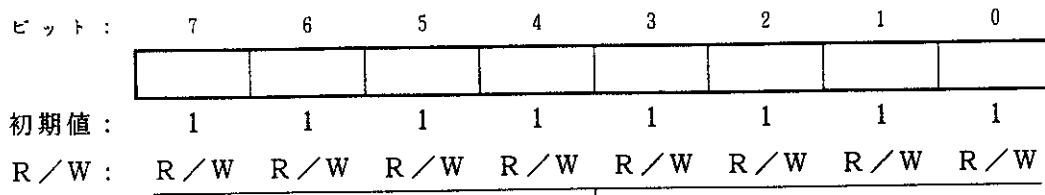
0	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を禁止
1	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データ割込み (TXI) 要求を禁止
1	送信データ割込み (TXI) 要求を許可

TDR トランスミットデータレジスタ H' B3

SC10



シリアル送信データを格納

ビット: 7 6 5 4 3 2 1 0

TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値: 1	0	0	0	0	1	0	0
R/W: R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビット転送

0	マルチプロセッサビットが"0"のデータを送信
1	マルチプロセッサビットが"1"のデータを送信

マルチプロセッサビット

0	マルチプロセッサビットが"0"のデータを受信
1	マルチプロセッサビットが"1"のデータを受信

トランスミットエンド

0	<p>〔クリア条件〕</p> <ol style="list-style-type: none"> 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRへデータをライトしたとき
1	<p>〔セット条件〕</p> <ol style="list-style-type: none"> 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. 1ビットのデータ送信完了時の最後尾ビットの送信時にTDRE="1"のとき

パリティエラー

0	<p>〔クリア条件〕</p> <ol style="list-style-type: none"> 1. リセット、またはスタンバイモード時 2. PER="1"の状態をリードした後、"0"をライトしたとき
1	<p>〔セット条件〕</p> <p>パリティエラーが発生したとき (受信したデータのパリティがSMRのO/Pビットで設定したパリティと一致しなかったとき)</p>

フレーミングエラー

0	<p>〔クリア条件〕</p> <ol style="list-style-type: none"> 1. リセット、またはスタンバイモード時 2. FER="1"の状態をリードした後、"0"をライトしたとき
1	<p>〔セット条件〕</p> <p>フレーミングエラーが発生したとき (ストップビットが"0"の場合)</p>

オーバランエラー

0	<p>〔クリア条件〕</p> <ol style="list-style-type: none"> 1. リセット、またはスタンバイモード時 2. ORER="1"の状態をリードした後、"0"をライトしたとき
1	<p>〔セット条件〕</p> <p>オーバランエラーが発生したとき (RDRF="1"の状態下次のデータが受信完了したとき)</p>

レシーブデータレジスタフル

0	<p>〔クリア条件〕</p> <ol style="list-style-type: none"> 1. リセット、またはスタンバイモード時 2. RDRF="1"の状態をリードした後、"0"をライトしたとき 3. DMACがRDRのデータをリードしたとき
1	<p>〔セット条件〕</p> <p>データが正常に受信され、RSRからRDRへデータが転送されたとき</p>

トランスミットデータレジスタエンpty

0	<p>〔クリア条件〕</p> <ol style="list-style-type: none"> 1. TDRE="1"の状態をリードした後、"0"をライトしたとき 2. DMACがTDRへデータをライトしたとき
1	<p>〔セット条件〕</p> <ol style="list-style-type: none"> 1. リセット、またはスタンバイモード時 2. SCRのTEビットが"0"のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】 * フラグをクリアするための"0"ライトのみ可能です。

RDR レシーブデータレジスタ H' B5

SC10

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

シリアル受信データを格納

SMR シリアルモードレジスタ H'B8

SCI1

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

BRR ビットレートレジスタ H'B9

SCI1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

SCR シリアルコントロールレジスタ H'BA

SCI1

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

TDR トランスミットデータレジスタ	H'BB	SC11								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>※機能はSC I 0と同じです。</p>										

SSR シリアルステータスレジスタ	H'BC	SC11								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px; text-align: center;">TDRE</td> <td style="width: 20px; height: 20px; text-align: center;">RDRF</td> <td style="width: 20px; height: 20px; text-align: center;">ORER</td> <td style="width: 20px; height: 20px; text-align: center;">FER</td> <td style="width: 20px; height: 20px; text-align: center;">PER</td> <td style="width: 20px; height: 20px; text-align: center;">TEND</td> <td style="width: 20px; height: 20px; text-align: center;">MPB</td> <td style="width: 20px; height: 20px; text-align: center;">MPBT</td> </tr> </table> <p>初期値： 1 0 0 0 0 1 0 0</p> <p>R/W： R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W</p> <p>※機能はSC I 0と同じです。</p> <p>【注】* フラグをクリアするための“0”ライトのみ可能です。</p>			TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT			

RDR レシーブデータレジスタ	H'BD	SC11								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： R R R R R R R R</p> <p>※機能はSC I 0と同じです。</p>										

P4DDR ポート4データディレクションレジスタ	H' C5	ポート4
---------------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート4入出力選択

0	入力ポート
1	出力ポート

P4DR ポート4データレジスタ	H' C7	ポート4
-------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4の各端子のデータを格納

P5DDR ポート5データディレクションレジスタ	H' C8	ポート5
---------------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	P5 ₇ DDR	P5 ₆ DDR	P5 ₅ DDR	P5 ₄ DDR	P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
E-F1,2 {	初期値:	0	0	0	0	1	1	1
	R/W:	W	W	W	W	—	—	—
E-F3,4 {	初期値:	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—

ポート5入出力選択

0	入力ポート
1	出力ポート

P6DDR ポート 6 データディレクションレジスタ	H' C9	ポート 6
-----------------------------------	--------------	--------------

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

ポート 6 入出力選択

0	入力ポート
1	出力ポート

P5DR ポート 5 データレジスタ	H' CA	ポート 5
---------------------------	--------------	--------------

ビット:	7	6	5	4	3	2	1	0
	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 5 の各端子のデータを格納

P6DR ポート 6 データレジスタ	H' CB	ポート 6
---------------------------	--------------	--------------

ビット:	7	6	5	4	3	2	1	0
	—	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 6 の各端子のデータを格納

P8DDR ポート 8 データディレクションレジスタ

H' CD

ポート 8

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	W	W	W	W	W

ポート 8 入出力選択

0	入力ポート
1	出力ポート

ポート 8 入出力選択

0	入力ポート
1	\overline{CS} 出力端子

P7DR ポート 7 データレジスタ

H' CE

ポート 7

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	— *	— *	— *	— *	— *	— *	— *	— *
R/W:	R	R	R	R	R	R	R	R

ポート 7 の各端子の状態を讀出す

【注】* P7₇~P7₀端子により決定されます。

P8DR ポート 8 データレジスタ	H'CF		ポート 8					
ビット:	7	6	5	4	3	2	1	0
	—	—	—	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

ポート 8 の各端子のデータを格納

P9DDR ポート 9 データディレクションレジスタ	H'D0		ポート 9					
ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

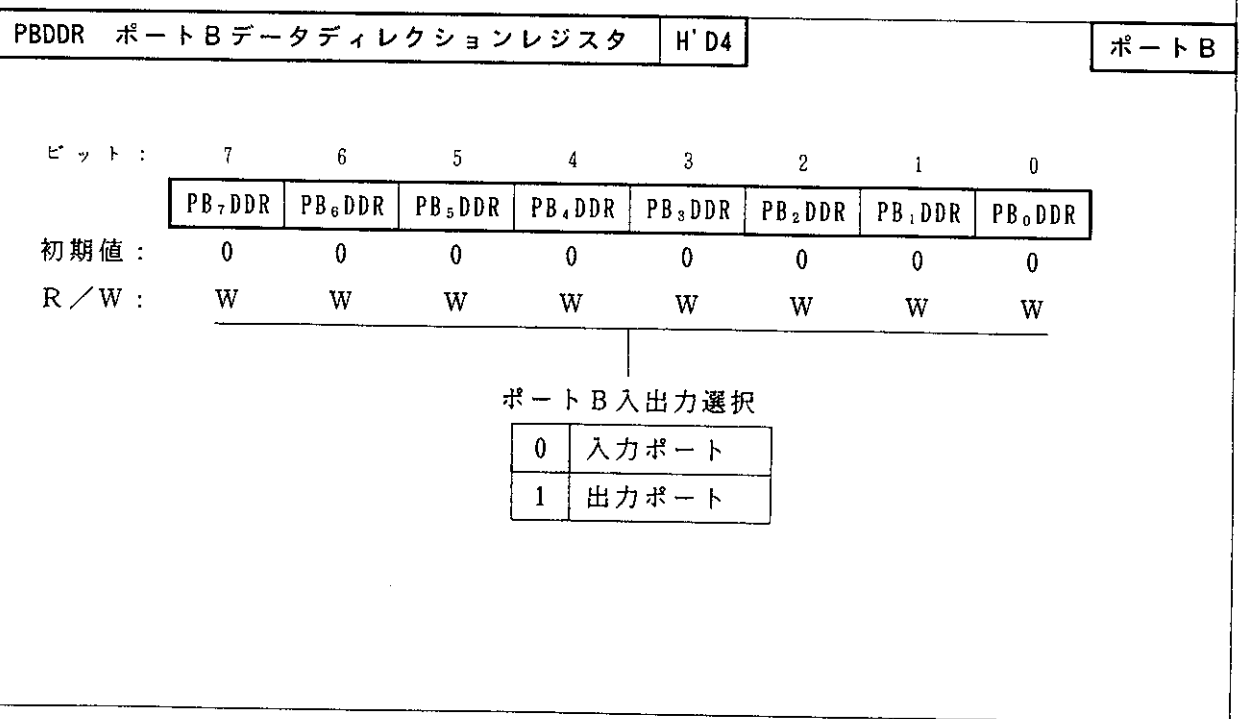
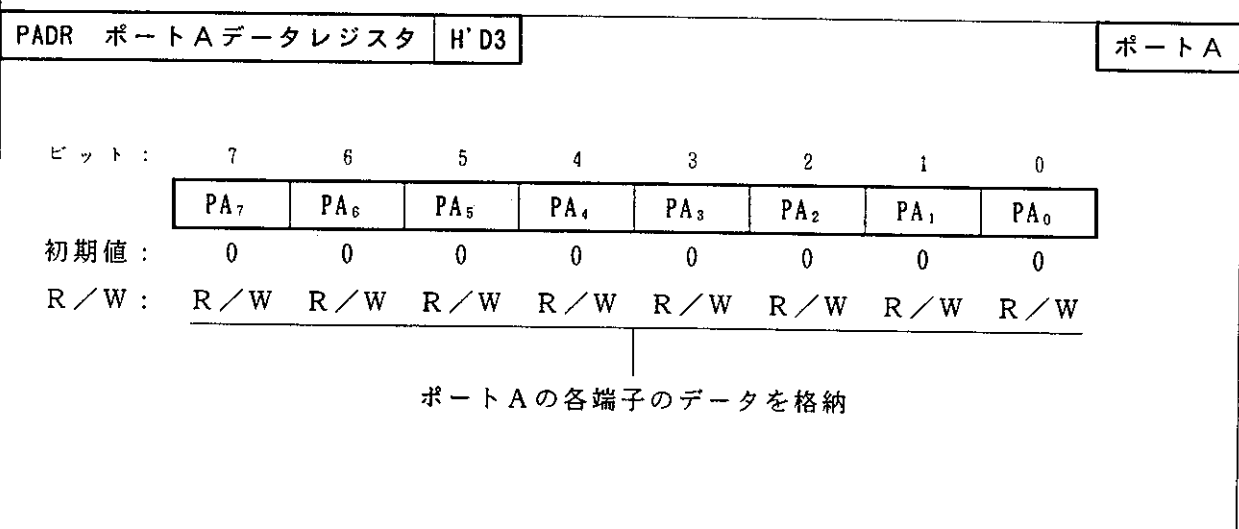
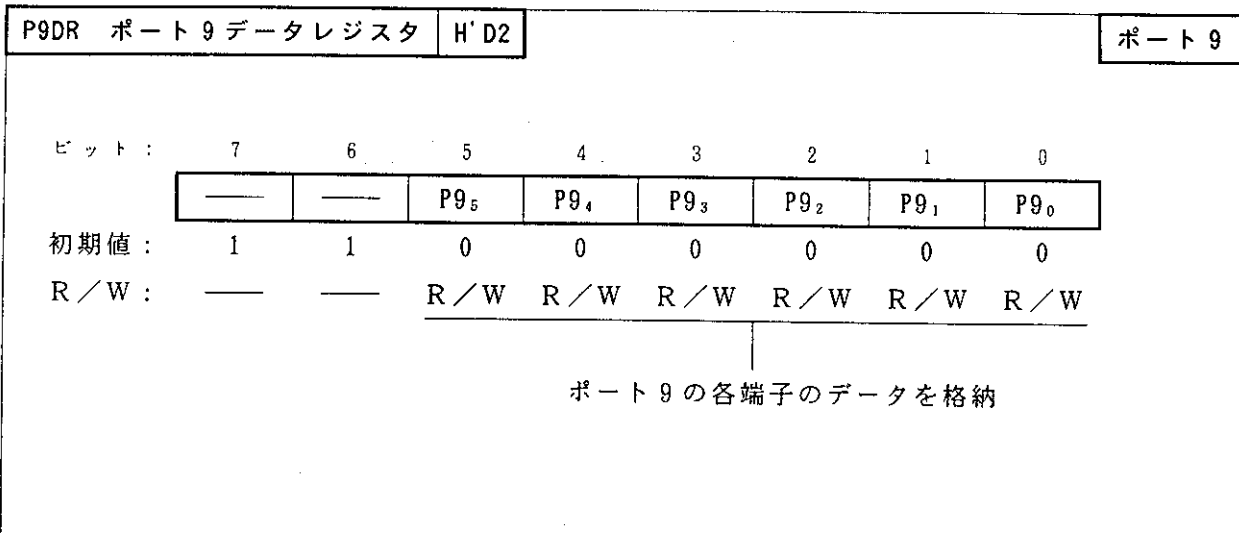
ポート 9 入出力選択

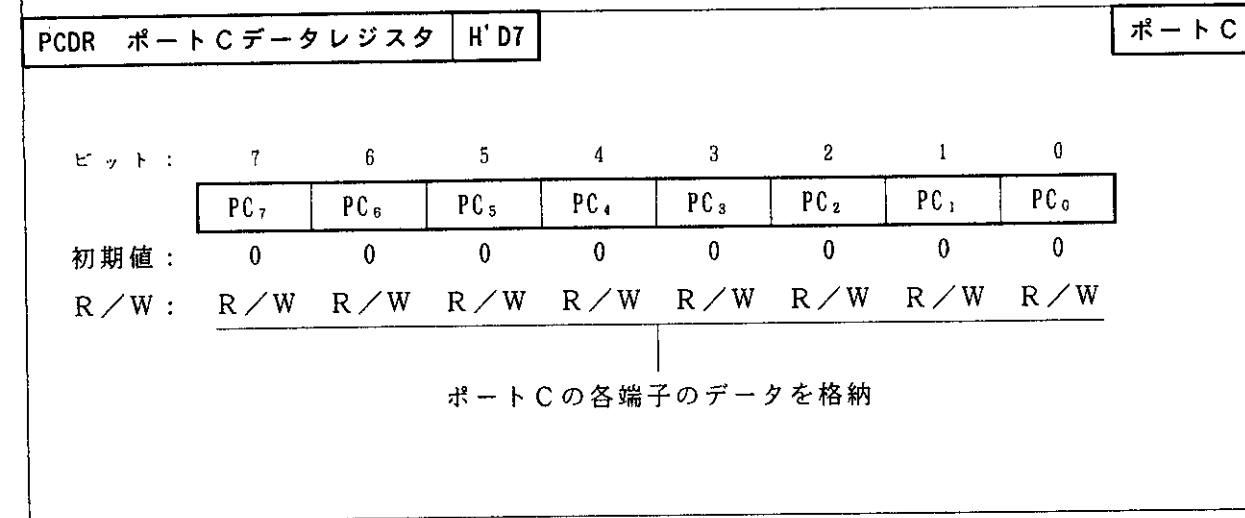
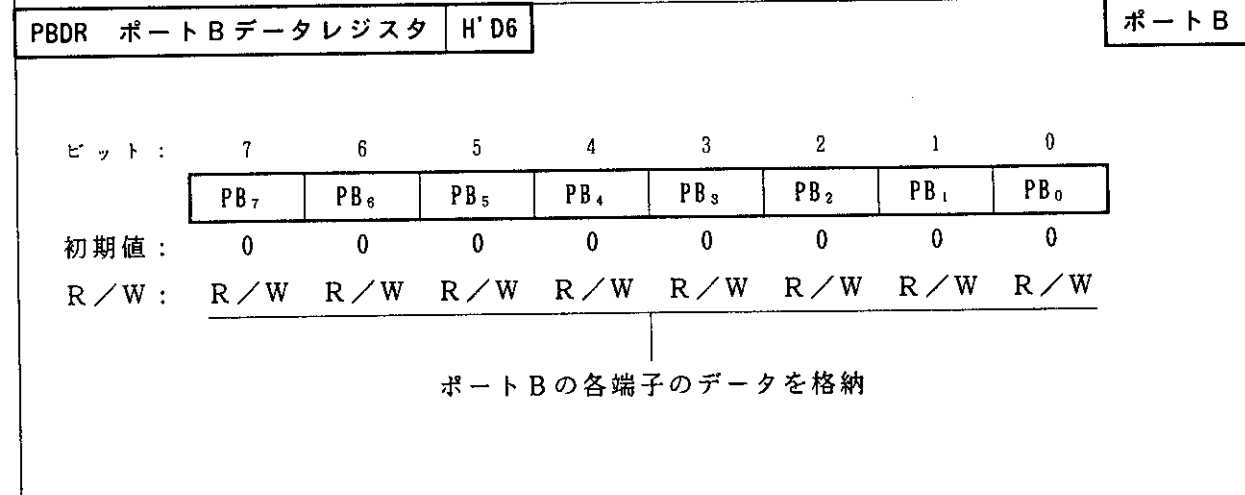
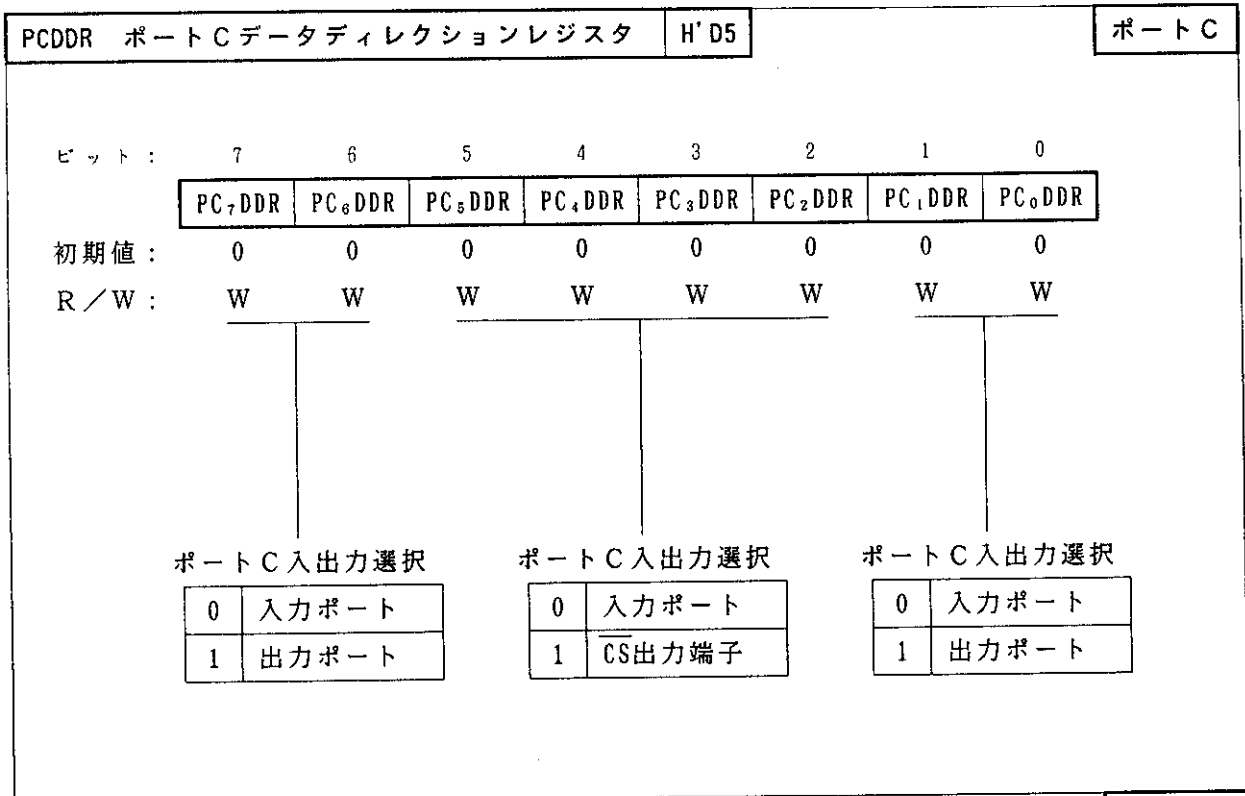
0	入力ポート
1	出力ポート

PADDR ポート A データディレクションレジスタ	H'D1		ポート A					
ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート A 入出力選択

0	入力ポート
1	出力ポート





P4PCR ポート4入力プルアップMOSコントロールレジスタ H' DA

ポート4

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P4DDRを“0”に指定したとき（入力ポートに指定）

P5PCR ポート5入力プルアップMOSコントロールレジスタ H' DB

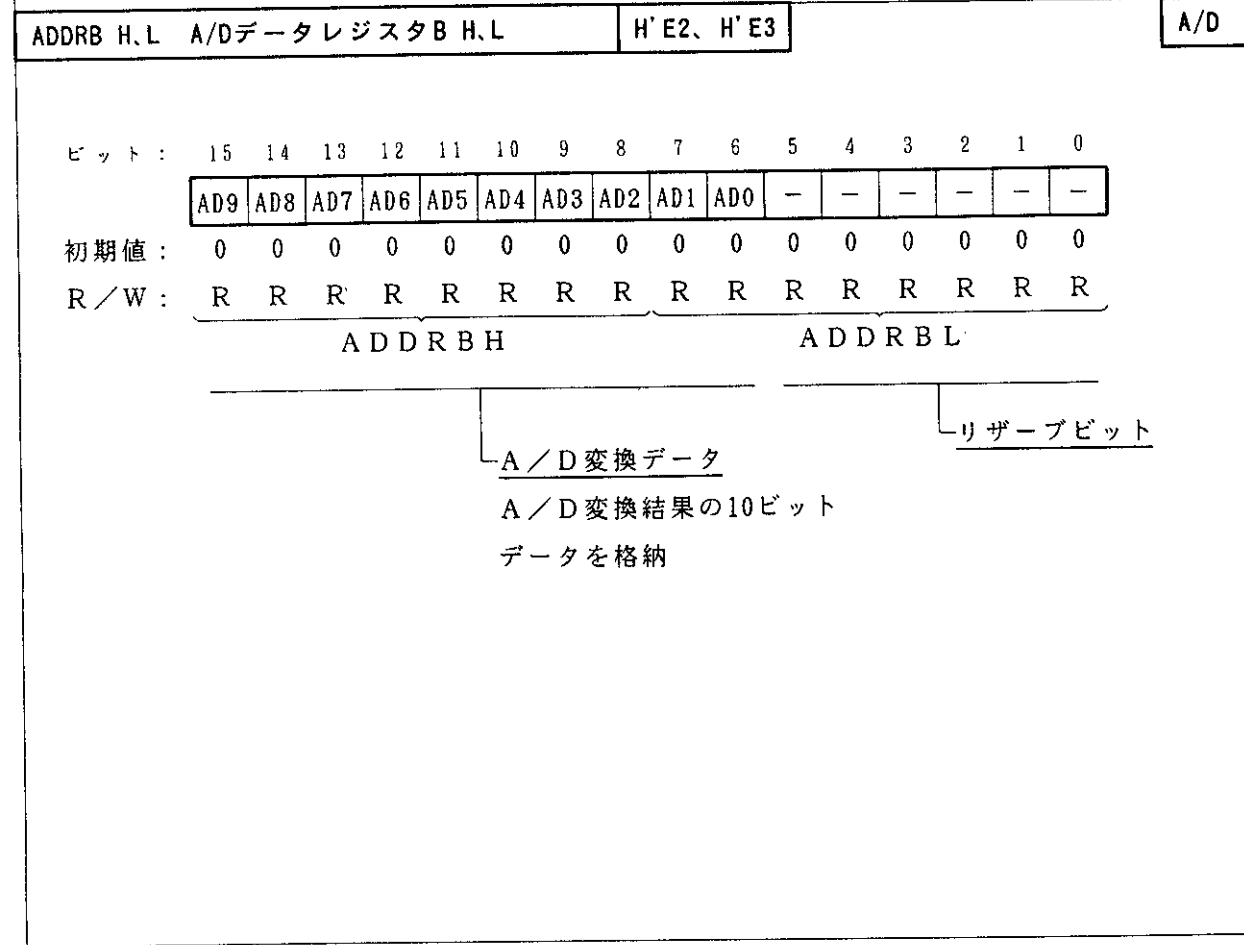
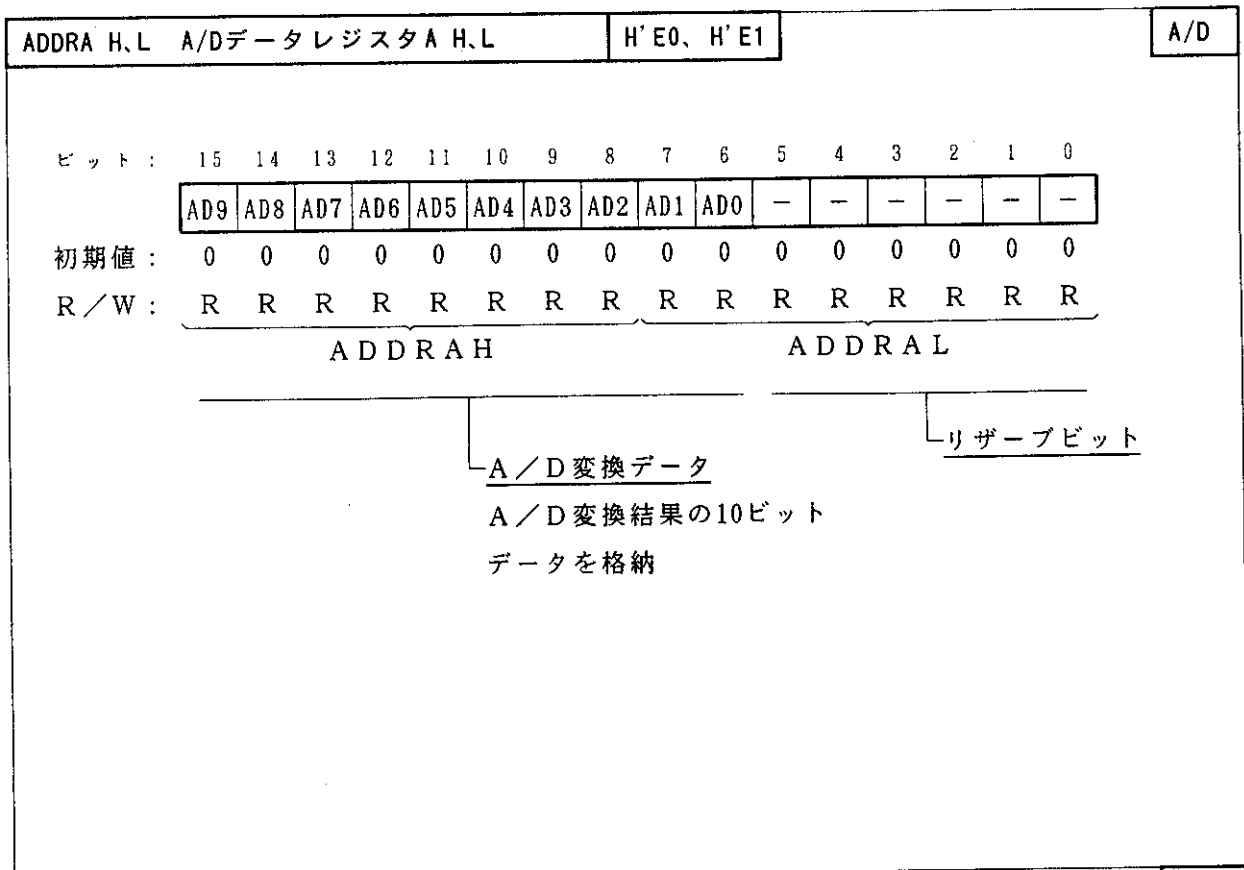
ポート5

ビット:	7	6	5	4	3	2	1	0
	P5 ₇ PCR	P5 ₆ PCR	P5 ₅ PCR	P5 ₄ PCR	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート5入力プルアップMOSコントロール7~4

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P5DDRを“0”に指定したとき（入力ポートに指定）



ADDRC H,L A/DデータレジスタC H,L	H'E4、H'E5	A/D
---------------------------	-----------	-----

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRCH										ADDRCL					

A/D変換データ
リザーブビット
 A/D変換結果の10ビット
 データを格納

ADDRD H,L A/DデータレジスタD H,L	H'E6、H'E7	A/D
---------------------------	-----------	-----

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRDH										ADDRDL					

A/D変換データ
リザーブビット
 A/D変換結果の10ビット
 データを格納

ADCR A/Dコントロールレジスタ	H'E9	A/D
--------------------	------	-----

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ端子 (ADTRG) の立下がり でA/D変換を開始

ビット: 7 6 5 4 3 2 1 0

ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値: 0	0	0	0	0	0	0	0
R/W: R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト

グループ 選択	チャンネル選択		説明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀	AN ₀
		1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ~AN ₂
		1	AN ₃	AN ₀ ~AN ₃
1	0	0	AN ₄	AN ₄
		1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ~AN ₆
		1	AN ₇	AN ₄ ~AN ₇

クロックセレクト

0	変換時間=266ステート (max)
1	変換時間=134ステート (max)

スキャンモード

0	単一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	<p>(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に“0”にクリア</p> <p>(2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで、選択されたチャンネルを順次連続変換</p>

A/Dインタラプトイネーブル

0	A/D変換終了による割込み要求を禁止
1	A/D変換終了による割込み要求を許可

A/Dエンドフラグ

0	<p>[クリア条件]</p> <p>ADF="1"の状態ADFフラグをリードした後、ADFフラグに“0”をライトしたとき</p>
1	<p>[セット条件]</p> <p>(1) 単一モード: A/D変換が終了したとき</p> <p>(2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき</p>

【注】* フラグをクリアするための“0”ライトのみ可能です。

ABWCR バス幅コントロールレジスタ

H'EC

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
ε-F1,3 初期値:	1	1	1	1	1	1	1	1
ε-F2,4	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0バス幅コントロール

ビット7~0	アクセス空間の指定
AWB7 ~AWB0	
0	エリア7~0を16ビットアクセス空間に設定
1	エリア7~0を8ビットアクセス空間に設定

ASTCR アクセスステートコントロールレジスタ

H'ED

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0アクセスステートコントロール

ビット7~0	アクセスステート数の指定
AST7 ~AST0	
0	エリア7~0を2ステートアクセス空間に設定
1	エリア7~0を3ステートアクセス空間に設定

WCR ウェイトコントロールレジスタ H'EE バスコントローラ

ビット: 7 6 5 4 3 2 1 0

				WMS1	WMS0	WC1	WCO	
初期値:	1	1	1	1	0	0	1	1
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

ウェイトカウント 1、0

ビット1	ビット0	ウェイトステート数の指定
WC1	WCO	
0	0	WSCによるウェイトを禁止
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト 1、0

ビット3	ビット2	ウェイトモードの指定
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード
	1	端子オートウェイトモード

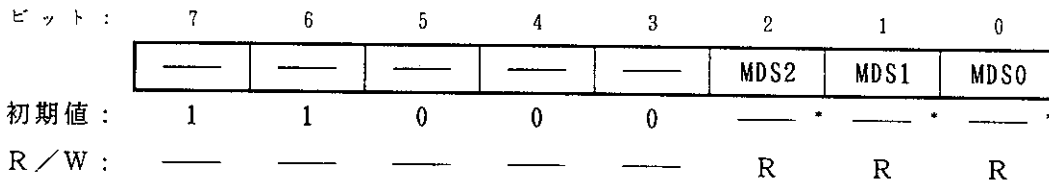
WCER ウェイトステートコントローララインャブルレジスタ H'EF バスコントローラ

ビット: 7 6 5 4 3 2 1 0

WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値:	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローララインャブル 7~0

0	WSCの動作を禁止 (端子ウェイトモード0)
1	WSCの動作を許可



モードセレクト 2~0

ビット 2	ビット 1	ビット 0	動作モード
MD ₂	MD ₁	MD ₀	
0	0	0	—
		1	モード 1
	1	0	モード 2
		1	モード 3
1	0	0	モード 4
		1	—
	1	0	—
		1	—

【注】* モード端子 (MD₂~MD₀) の状態により決定されます。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME
初期値:	0	0	0	0	1	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効

NMIエッジセレクト

0	NMI入力の立下がり、割込み要求を発生
1	NMI入力の立上がり、割込み要求を発生

ユーザイネーブル

0	CCRのビット6 (UI) を割込みマスクビットとして使用
1	CCRのビット6 (UI) をユーザビットとして使用

スタンバイタイムセレクト 2~0

ビット6 STS2	ビット5 STS1	ビット4 STS0	スタンバイタイムの指定
0	0	0	待機時間 = 8192ステート
		1	待機時間 = 16384ステート
	1	0	待機時間 = 32768ステート
		1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
	1	—	待機時間 = 4ステート

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

BRCR バスリリースコントロールレジスタ **H'F3** バスコントローラ

ビット: 7 6 5 4 3 2 1 0

								BRLE
--	--	--	--	--	--	--	--	------

初期値: 1 1 1 1 1 1 1 0

R/W: — — — — — — — R/W

バスリリースイネーブル

0	バス権の外部に対する解放を禁止
1	バス権の外部に対する解放を許可

ISCR IRQセンスコントロールレジスタ **H'F4** 割込みコントローラ

ビット: 7 6 5 4 3 2 1 0

IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

IRQ₇~IRQ₀センスコントロール

0	IRQ ₇ ~IRQ ₀ 入力の“Low”レベルで割込み要求を発生
1	IRQ ₇ ~IRQ ₀ 入力の立下がりエッジで割込み要求を発生

IER IRQイネーブルレジスタ **H'F5** 割込みコントローラ

ビット: 7 6 5 4 3 2 1 0

IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

IRQ₇~IRQ₀イネーブル

0	IRQ ₇ ~IRQ ₀ 割込みを禁止
1	IRQ ₇ ~IRQ ₀ 割込みを許可

ビット:	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ₇~IRQ₀フラグ

ビット7~0 IRQ7F~IRQ0F	セット/クリア条件
0	[クリア条件] (1) IRQ _n F = "1"の状態ではIRQ _n Fをリードした後、IRQ _n Fに"0"をライトしたとき (2) IRQ _n SC = "0"、 $\overline{\text{IRQ}}_n$ 入力が"High"レベルの状態では割込み例外処理を実行したとき (3) IRQ _n SC = "1"の状態ではIRQ _n 割込み例外処理を実行したとき
1	[セット条件] (1) IRQ _n SC = "0"の状態では $\overline{\text{IRQ}}_n$ 入力が"Low"レベルになったとき (2) IRQ _n SC = "1"の状態では $\overline{\text{IRQ}}_n$ 入力に立下がりエッジが発生したとき

(n = 7 ~ 0)

【注】* フラグをクリアするための"0"ライトのみ可能です。

IPRA インタラプトプライオリティレジスタ A H'F8

割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルA7~0

0	プライオリティレベル0 (非優先)
1	プライオリティレベル1 (優先)

●割込み要因と各ビットの対応

IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
	割込み要因	IRQ ₀	IRQ ₁	IRQ ₂ 、 IRQ ₃	IRQ ₄ ~ IRQ ₇	WDT、 リフレッシュ コントローラ	ITU チャンネル0	ITU チャンネル1	ITU チャンネル2

IPRB インタラプトプライオリティレジスタ B H'F9

割込みコントローラ

ビット:	7	6	5	4	3	2	1	0
	IPRB7	IPRB6	IPRB5	IPRB4	IPRB3	IPRB2	IPRB1	---
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルB7~0

リザーブビット

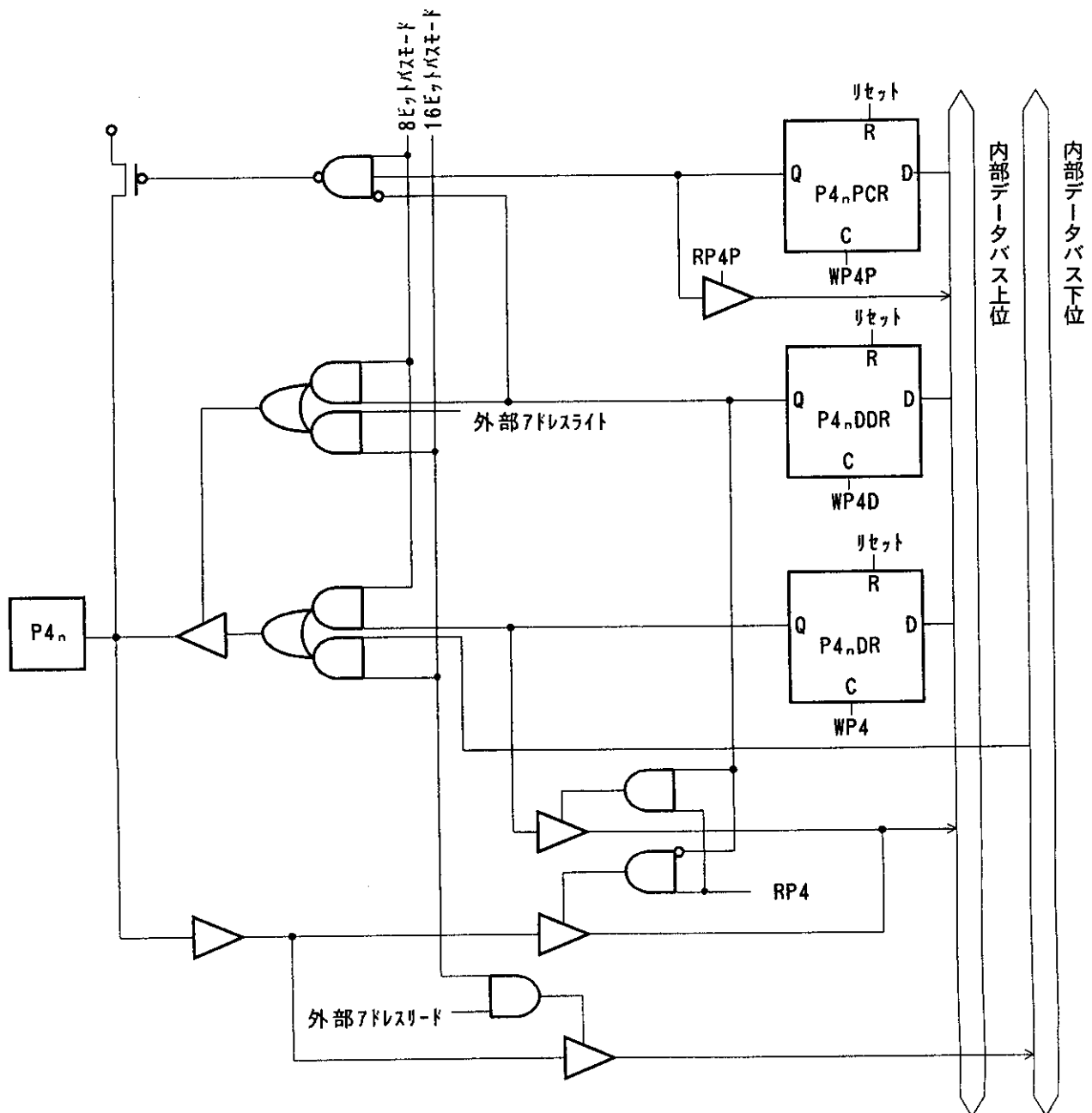
0	プライオリティレベル0 (非優先)
1	プライオリティレベル1 (優先)

●割込み要因と各ビットの対応

IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6	IPRB5	IPRB4	IPRB3	IPRB2	IPRB1	---
	割込み要因	ITU チャンネル3	ITU チャンネル4	DMAC グループ0	DMAC グループ1	SCI チャンネル0	SCI チャンネル1	A/D 変換器	---

C. I/Oポートブロック図

C.1 ポート4ブロック図

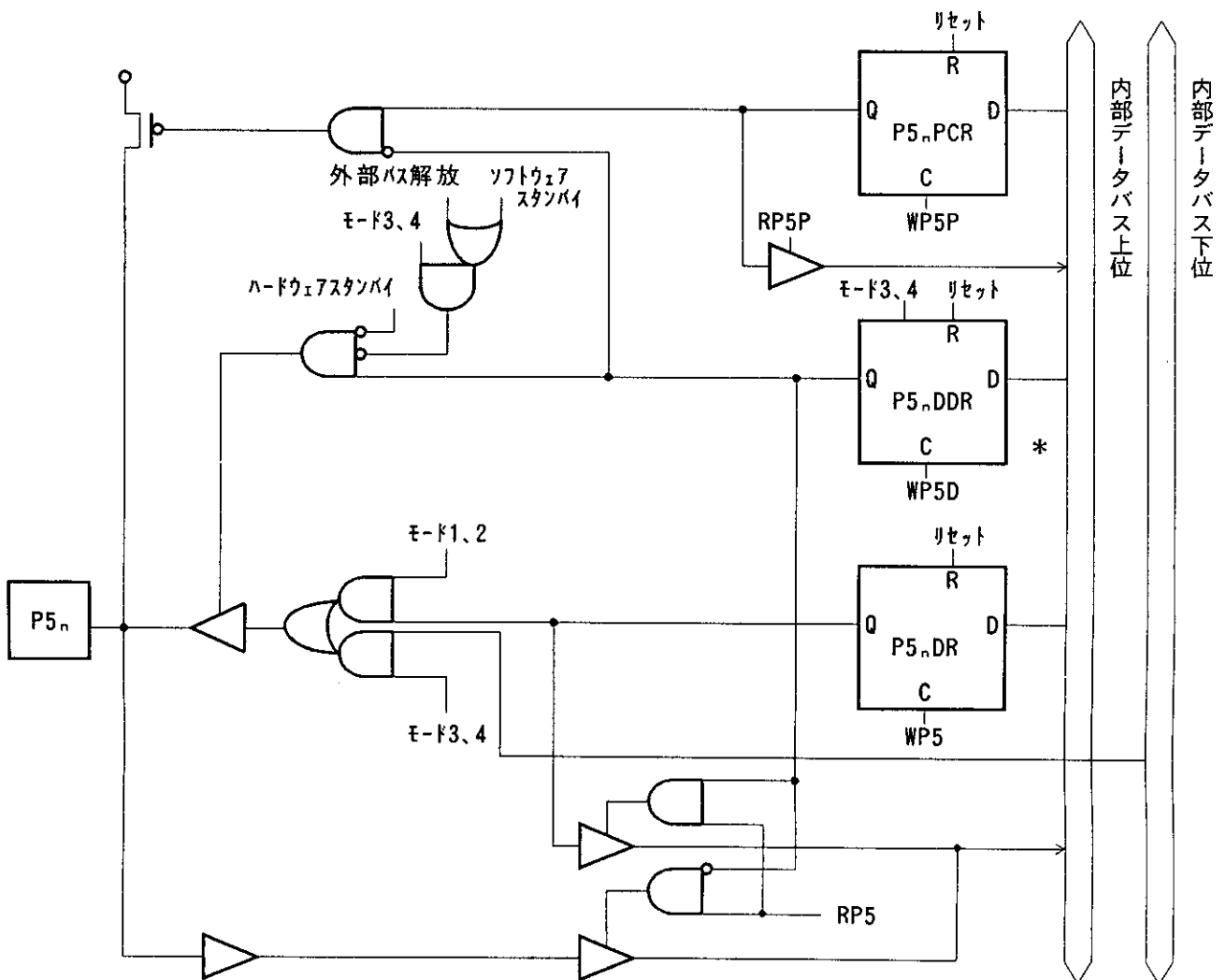


《記号説明》

- WP4P : PCRライト
- RP4P : PCRリード
- WP4D : DDRライト
- WP4 : ポートライト
- RP4 : ポートリード
- $n = 0 \sim 7$

図C.1 ポート4ブロック図

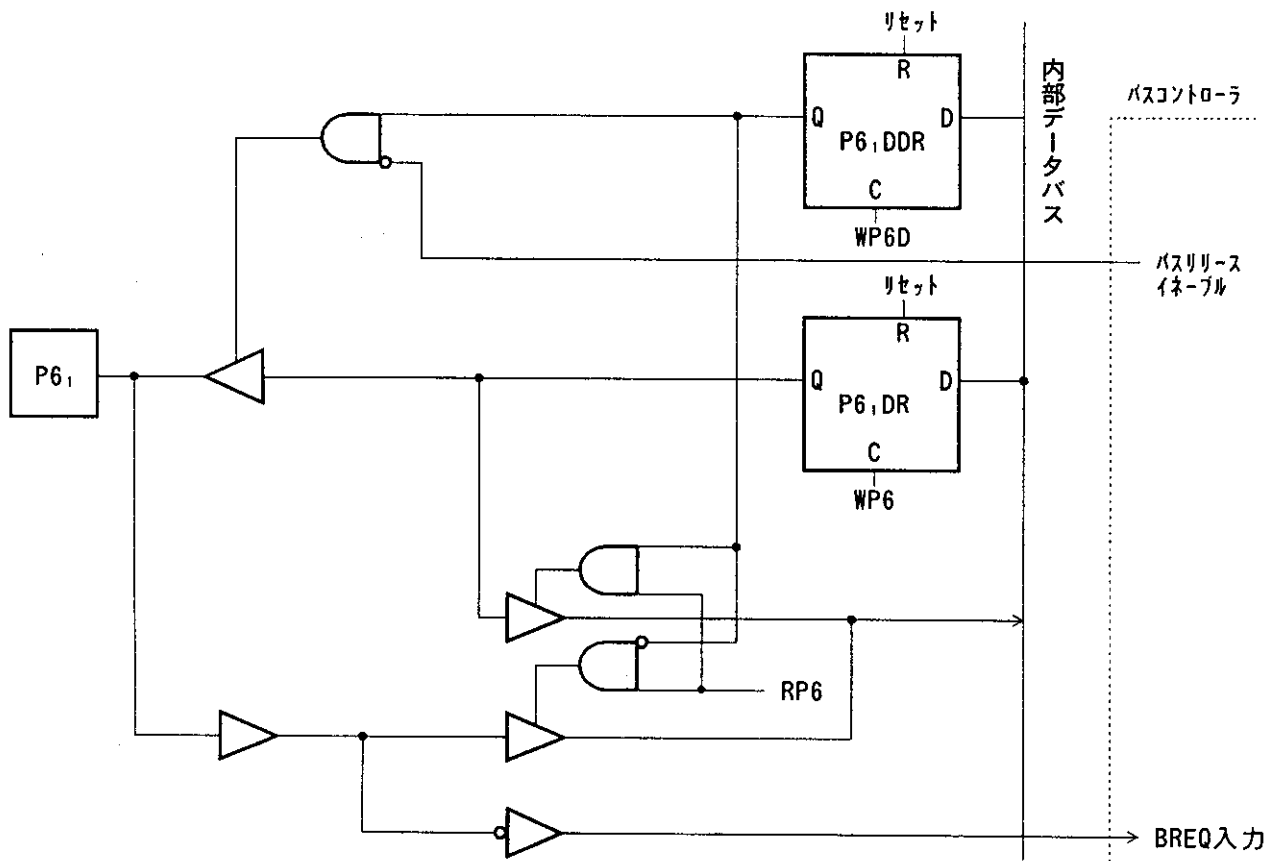
C.2 ポート5ブロック図



《記号説明》

- WP5P : PCRライト
- RP5P : PCRリード
- WP5D : DDRライト
- WP5 : ポートライト
- RP5 : ポートリード
- $n = 4 \sim 7$
- * : セット優先

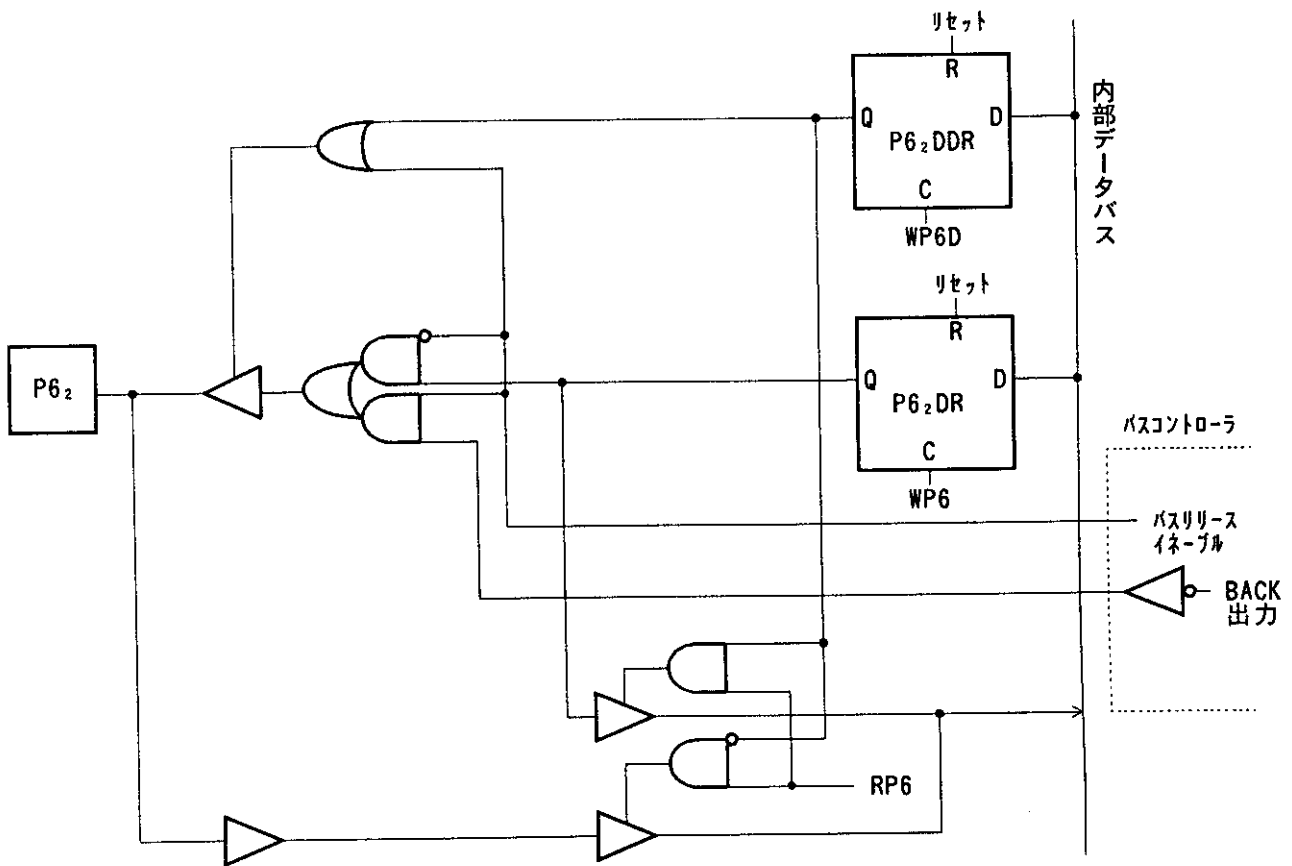
図C.2 ポート5ブロック図



《記号説明》

- WP6D : DDRライト
- WP6 : ポートライト
- RP6 : ポートリード

図 C.3 (b) ポート 6 ブロック図 (P6₁端子)

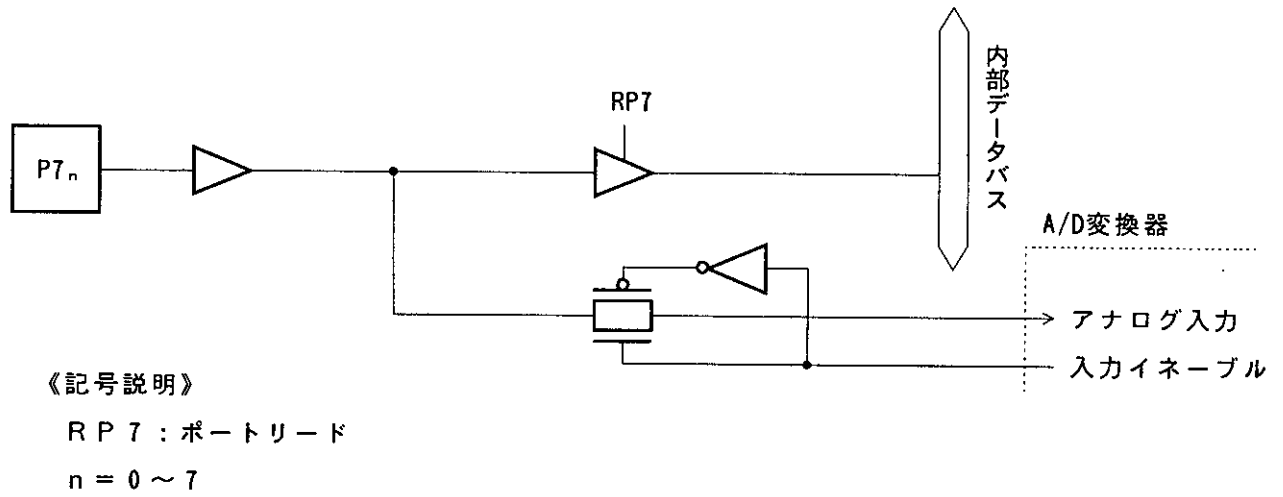


《記号説明》

- WP6D : DDRライト
- WP6 : ポートライト
- RP6 : ポートリード

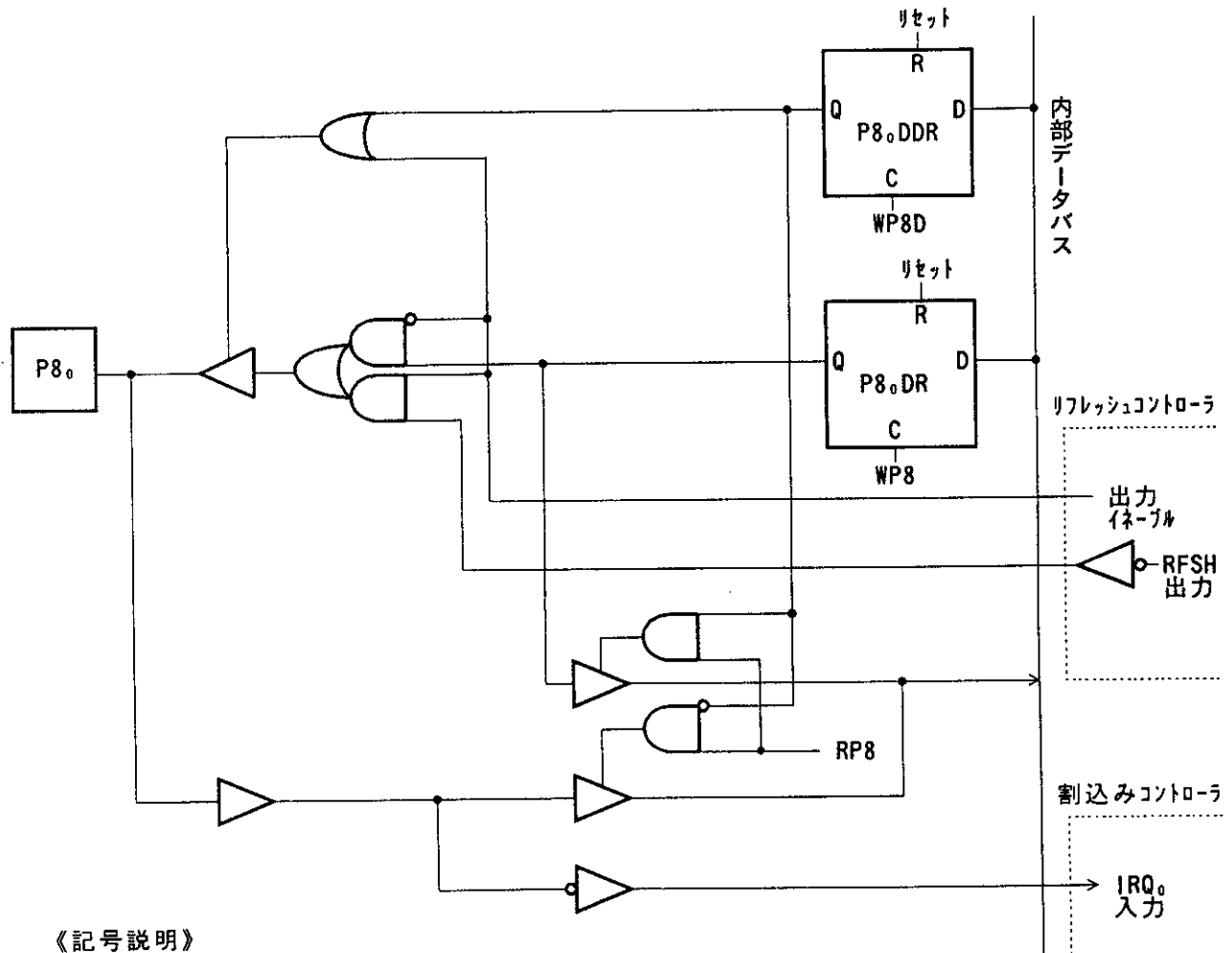
図 C.3 (c) ポート 6 ブロック図 (P6₂端子)

C.4 ポート7ブロック図



C.4 ポート7ブロック図 (P7_n端子)

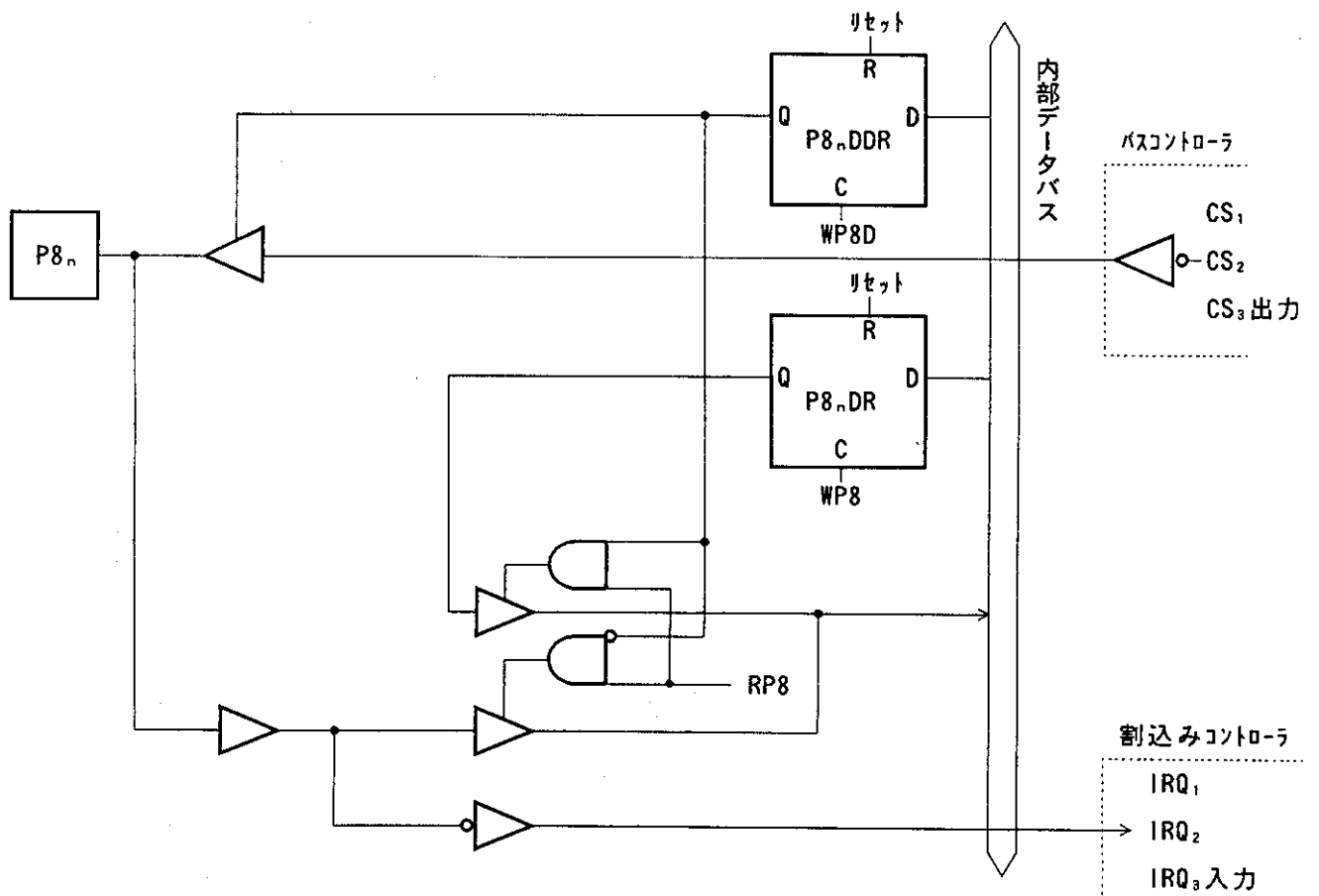
C.5 ポート 8 ブロック図



《記号説明》

- WP8D : DDRライト
- WP8 : ポートライト
- RP8 : ポートリード

図 C.5 (a) ポート 8 ブロック図 (P8_0 端子)



《記号説明》

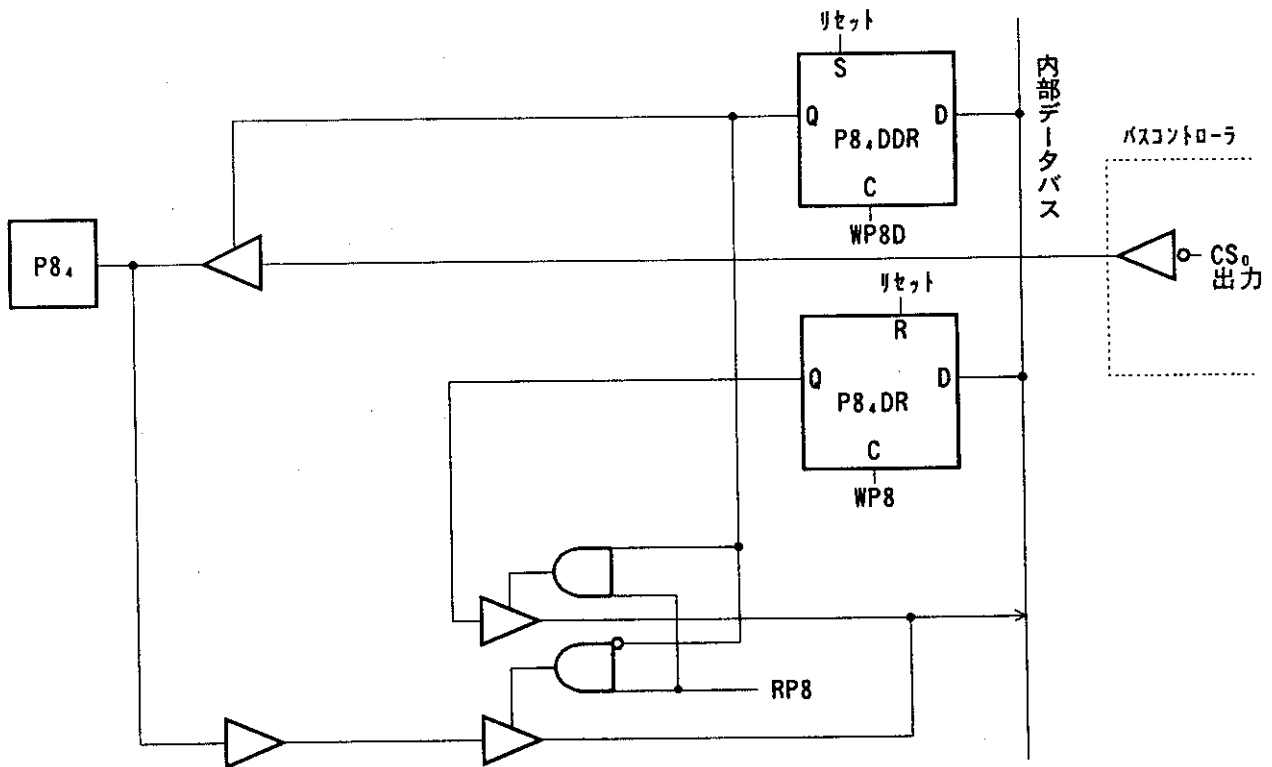
WP8D : DDRライト

WP8 : ポートライト

RP8 : ポートリード

$n = 1 \sim 3$

図 C.5 (b) ポート8 ブロック図 ($P8_1$ 、 $P8_2$ 、 $P8_3$ 端子)

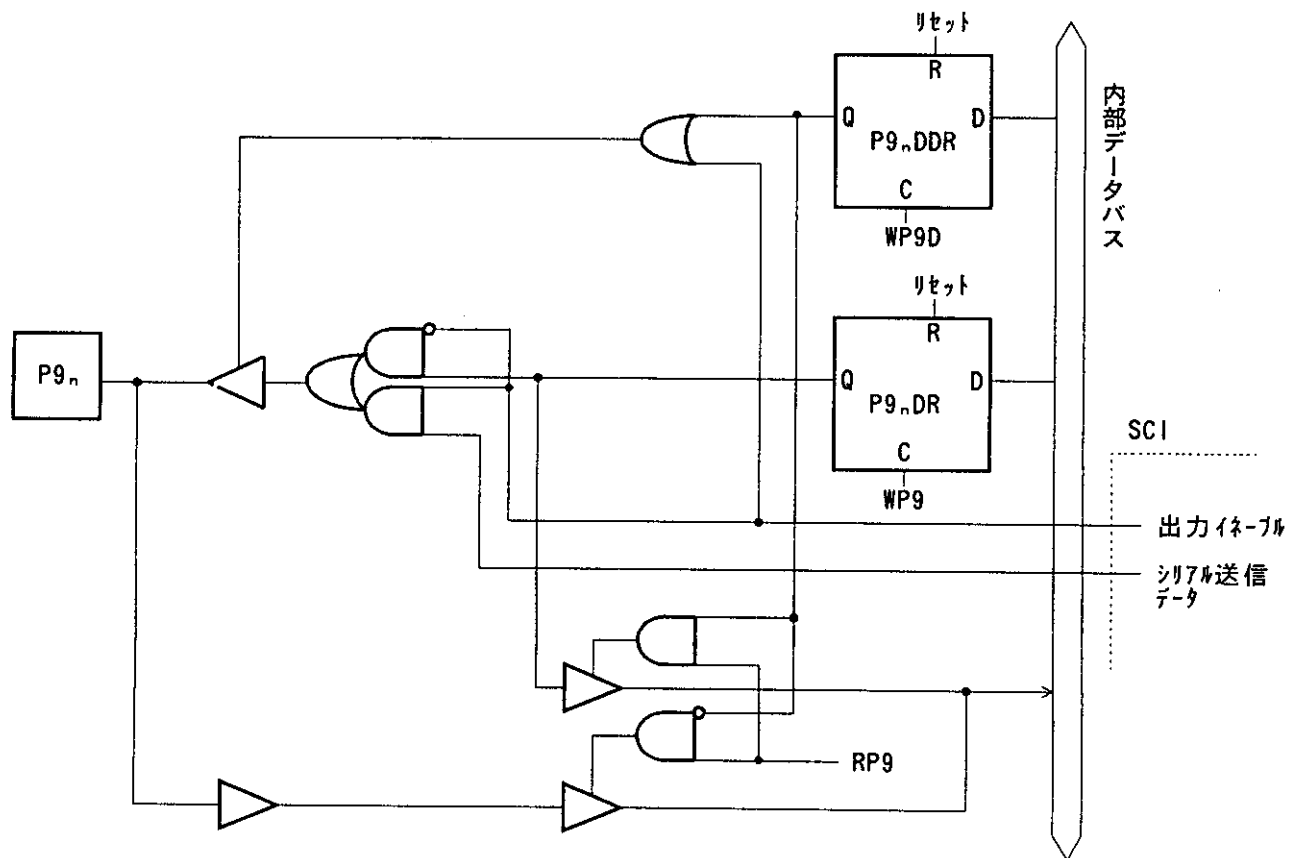


《記号説明》

- WP8D : DDRライト
- WP8 : ポートライト
- RP8 : ポートリード

図 C.5 (c) ポート8 ブロック図 (P8_i端子)

C.6 ポート9ブロック図



《記号説明》

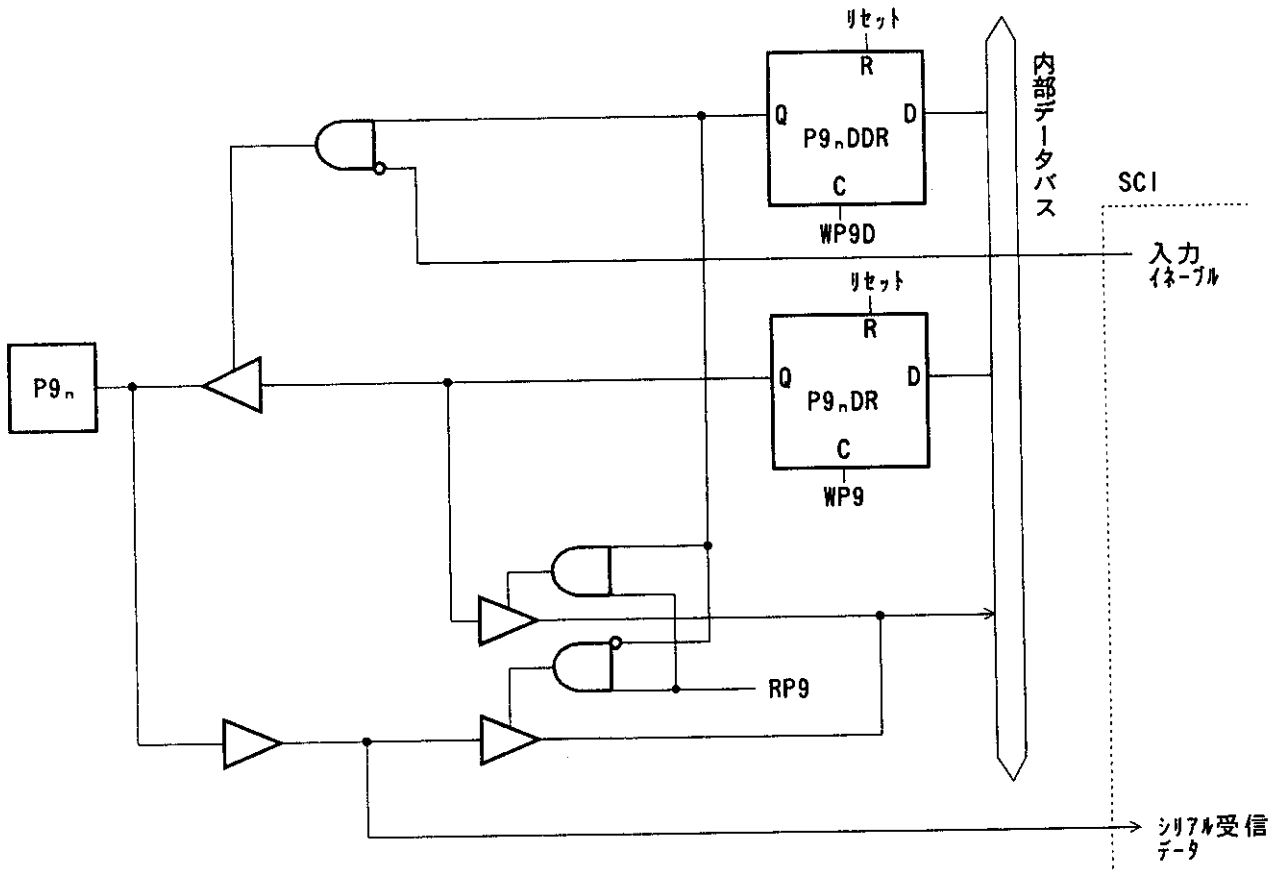
WP9D : DDRライト

WP9 : ポートライト

RP9 : ポートリード

n = 0、1

図C.6 (a) ポート9ブロック図 (P9₀、P9₁端子)



《記号説明》

WP9D : DDRライト

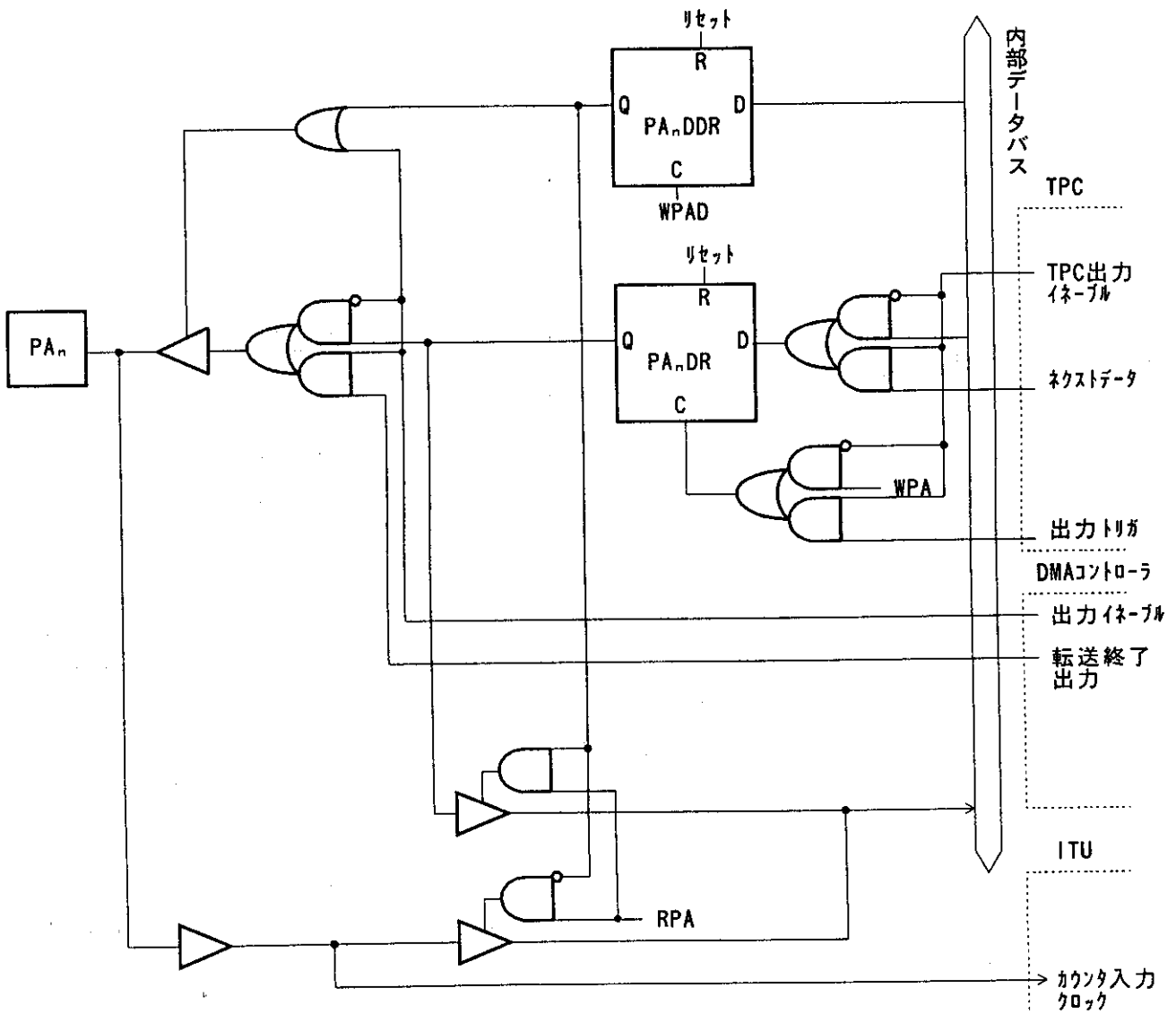
WP9 : ポートライト

RP9 : ポートリード

n = 2、3

図 C.6 (b) ポート 9 ブロック図 (P9₂、P9₃端子)

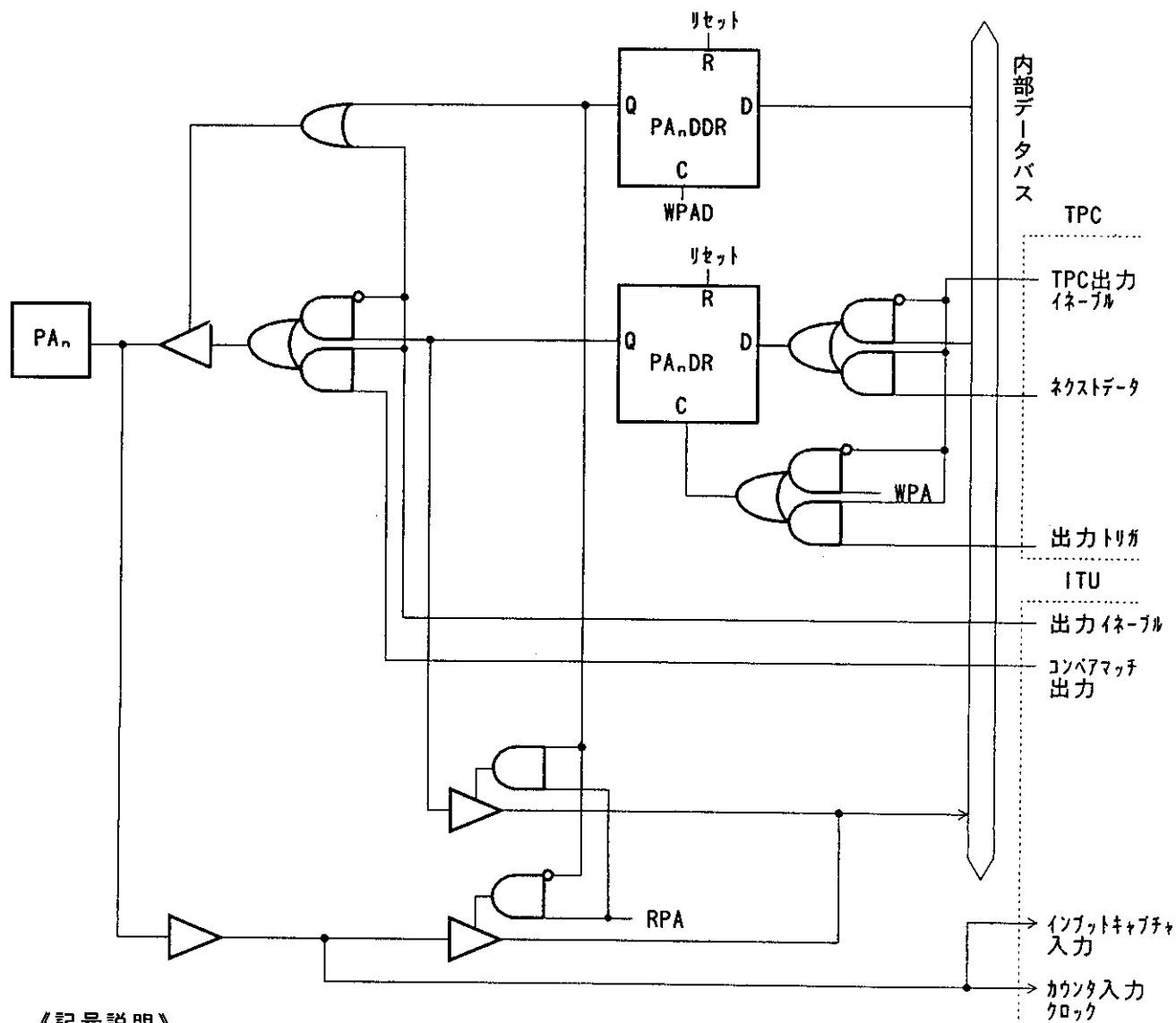
C.7 ポートAブロック図



《記号説明》

- WPAD : DDRライト
- WPA : ポートライト
- RPA : ポートリード
- n = 0、1

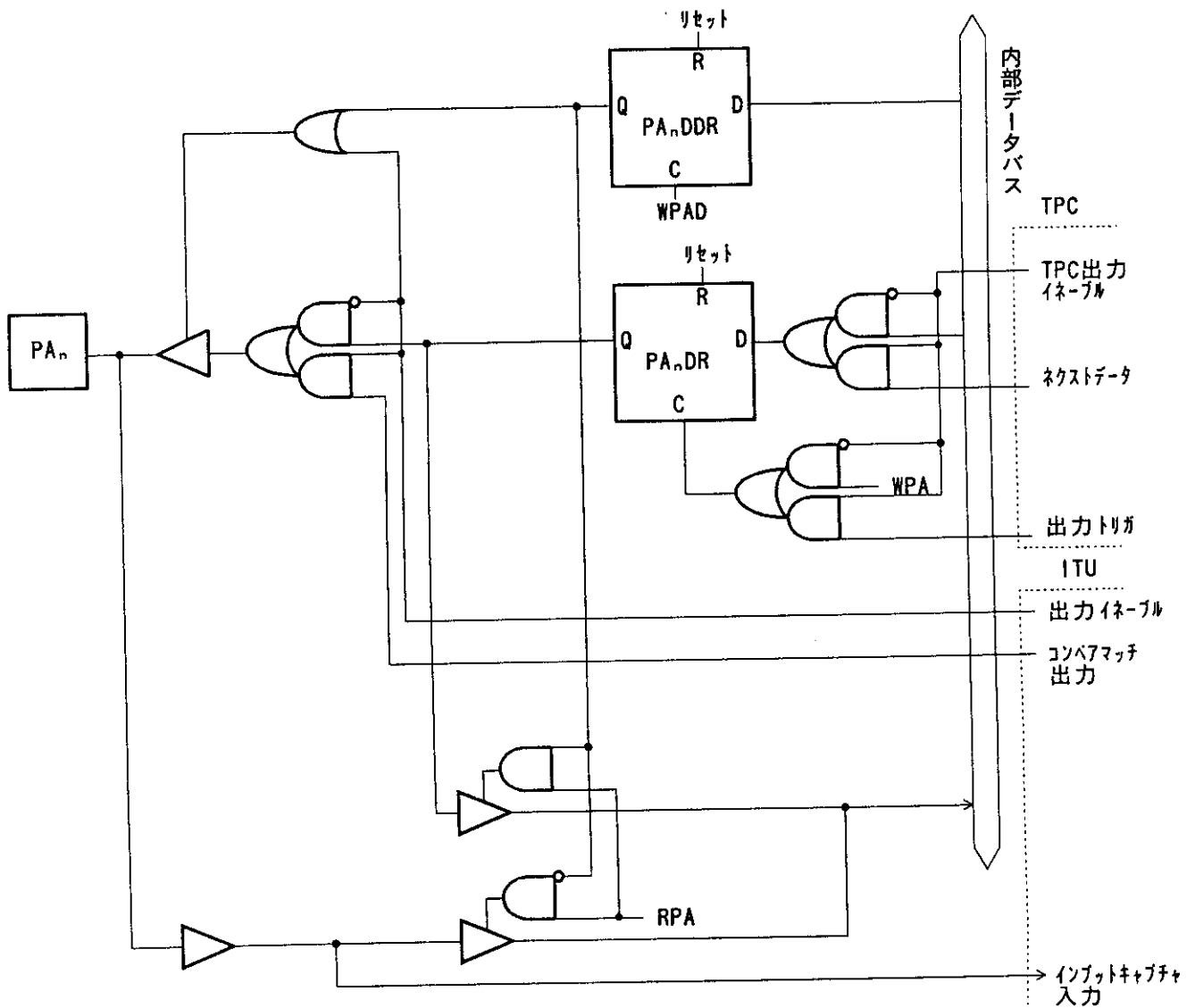
図 C.7 (a) ポートAブロック図 (PA₀、PA₁端子)



《記号説明》

- WPAD : DDRライト
- WPA : ポートライト
- RPA : ポートリード
- n = 2、3

図C.7 (b) ポートAブロック図 (PA₂、PA₃端子)



《記号説明》

WPAD : DDRライト

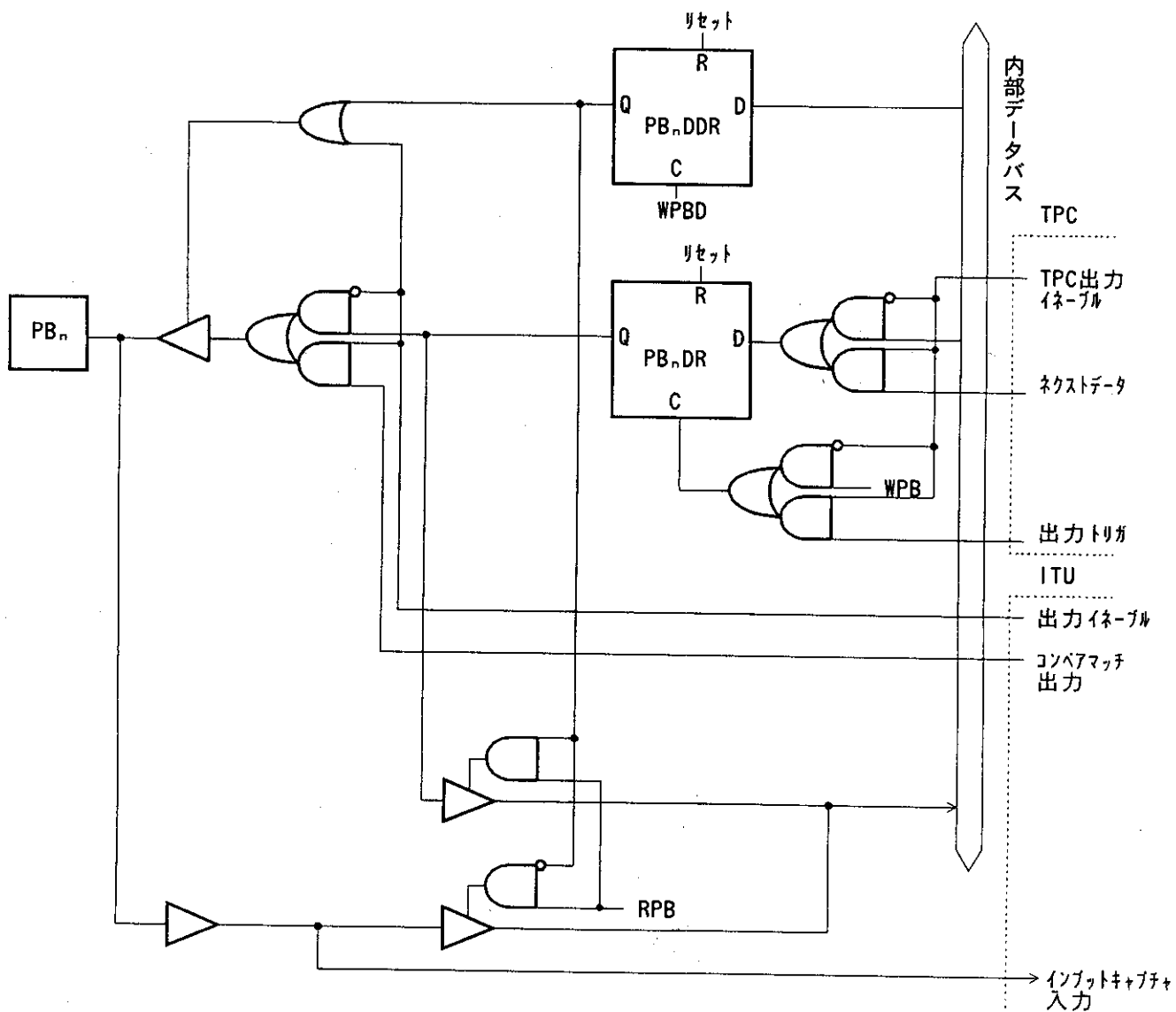
WPA : ポートライト

RPA : ポートリード

n = 4 ~ 7

図 C.7 (c) ポートAブロック図 (PA₄~PA₇端子)

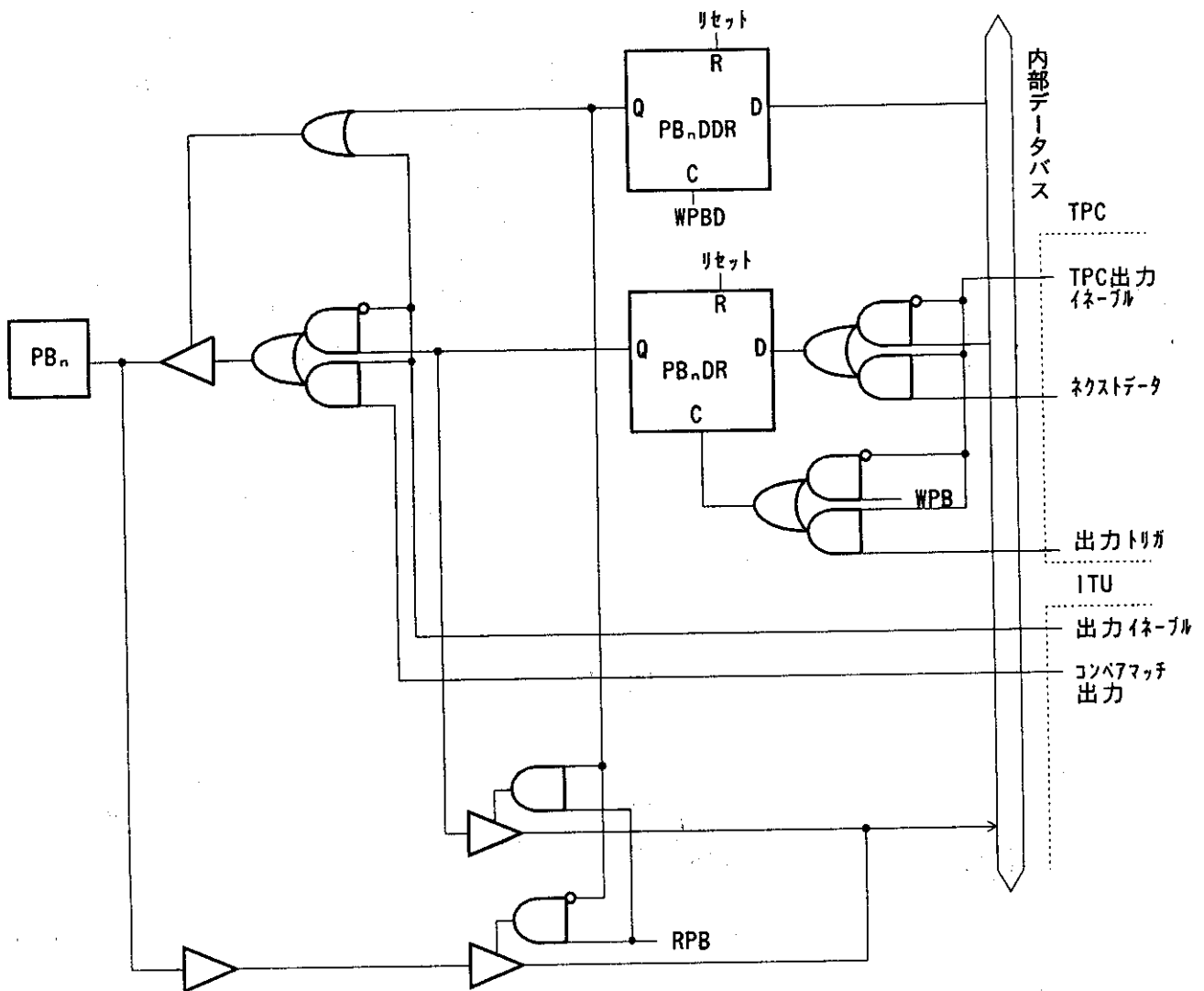
C.8 ポートBブロック図



《記号説明》

- WPBD : DDRライト
- WPB : ポートライト
- RPB : ポートリード
- n = 0 ~ 3

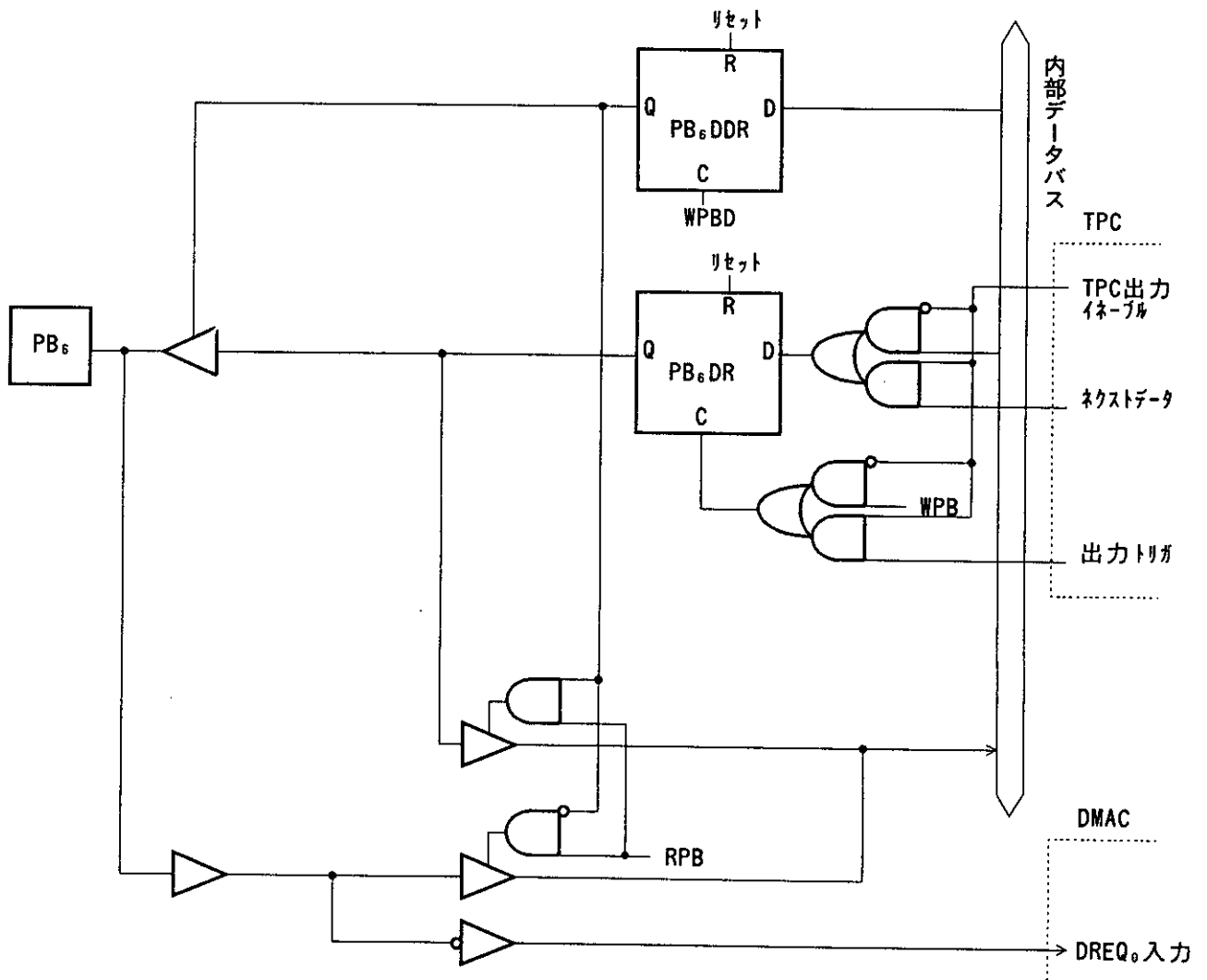
図 C.8 (a) ポートBブロック図 (PB₀~PB₃端子)



《記号説明》

- WPBD : DDRライト
- WPB : ポートライト
- RPB : ポートリード
- n = 4、5

図 C.8 (b) ポートBブロック図 (PB₄、PB₅端子)



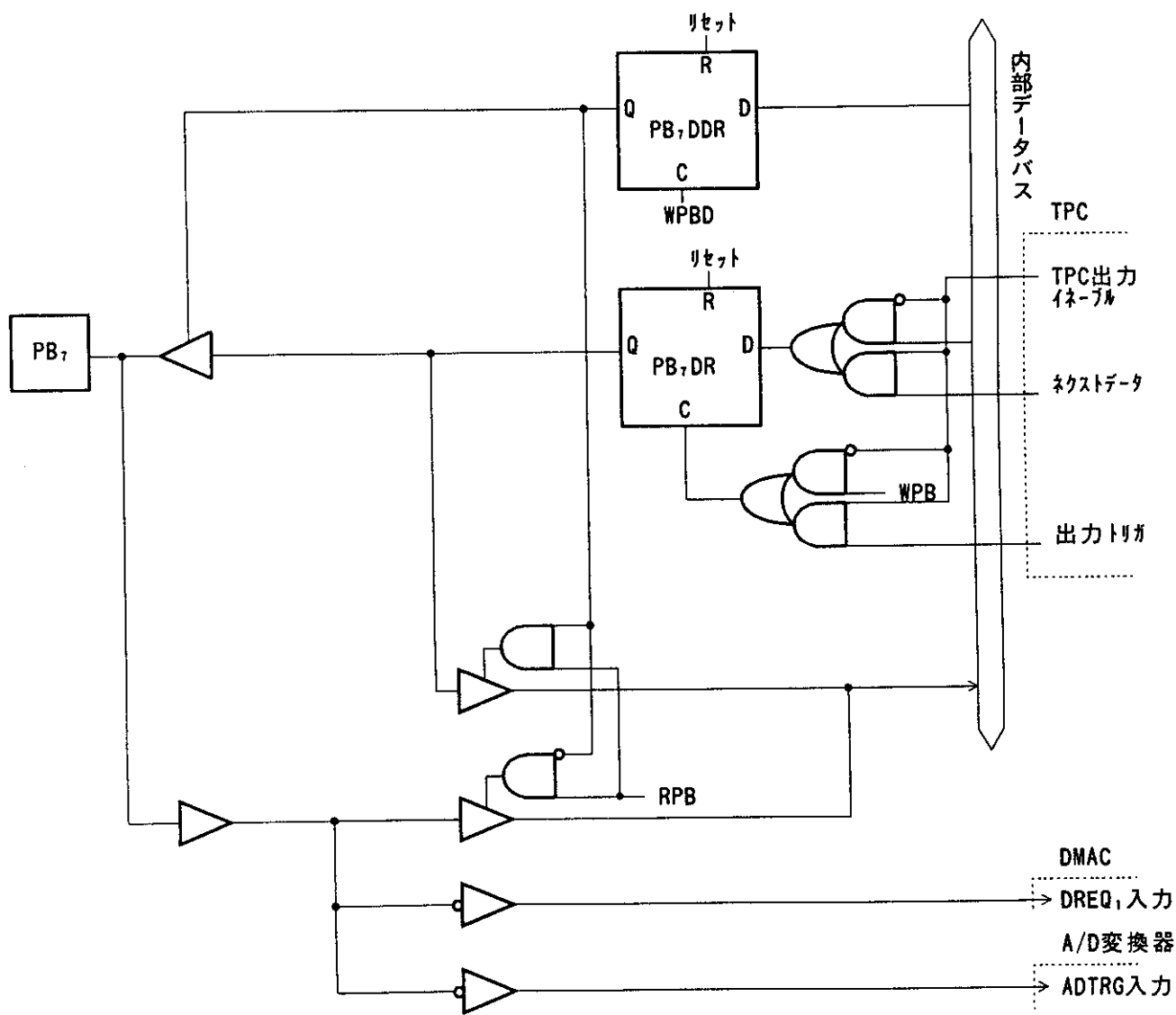
《記号説明》

WPBD : DDRライト

WPB : ポートライト

RPB : ポートリード

図 C.8 (c) ポート B ブロック図 (PB₆ 端子)

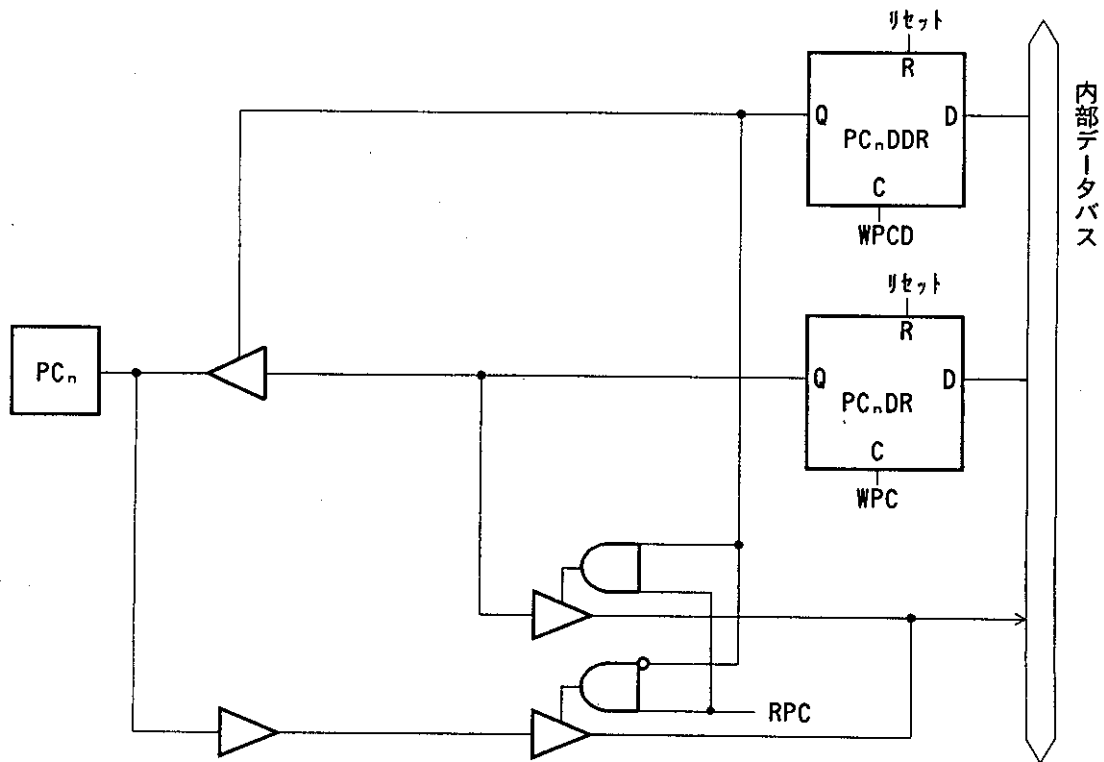


《記号説明》

- WPBD : DDRライト
- WPB : ポートライト
- RPB : ポートリード

図 C.8 (d) ポートBブロック図 (PB₇端子)

C.9 ポートCブロック図



《記号説明》

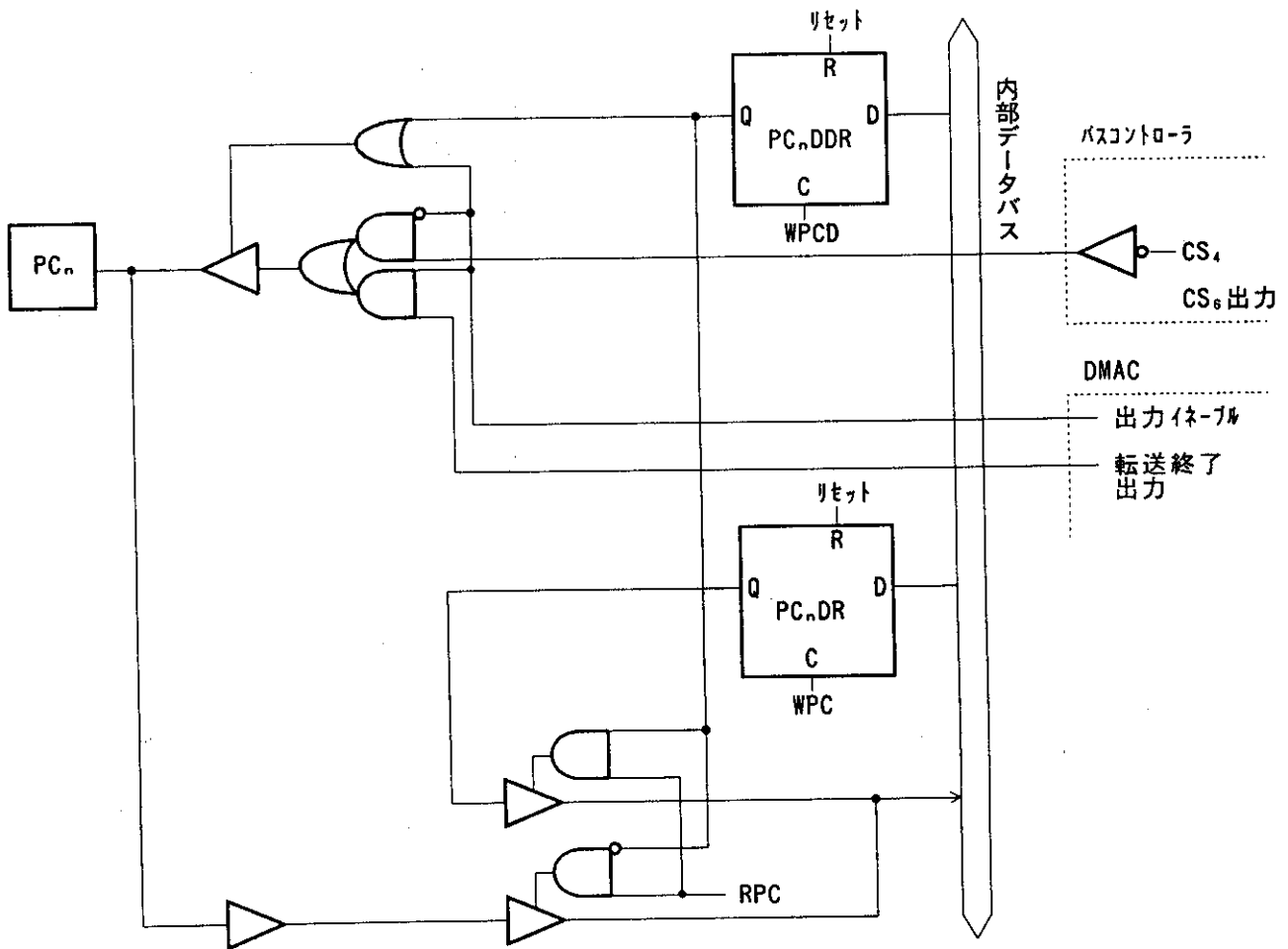
WPCD : DDRライト

WPC : ポートライト

RPC : ポートリード

$n = 0, 1$

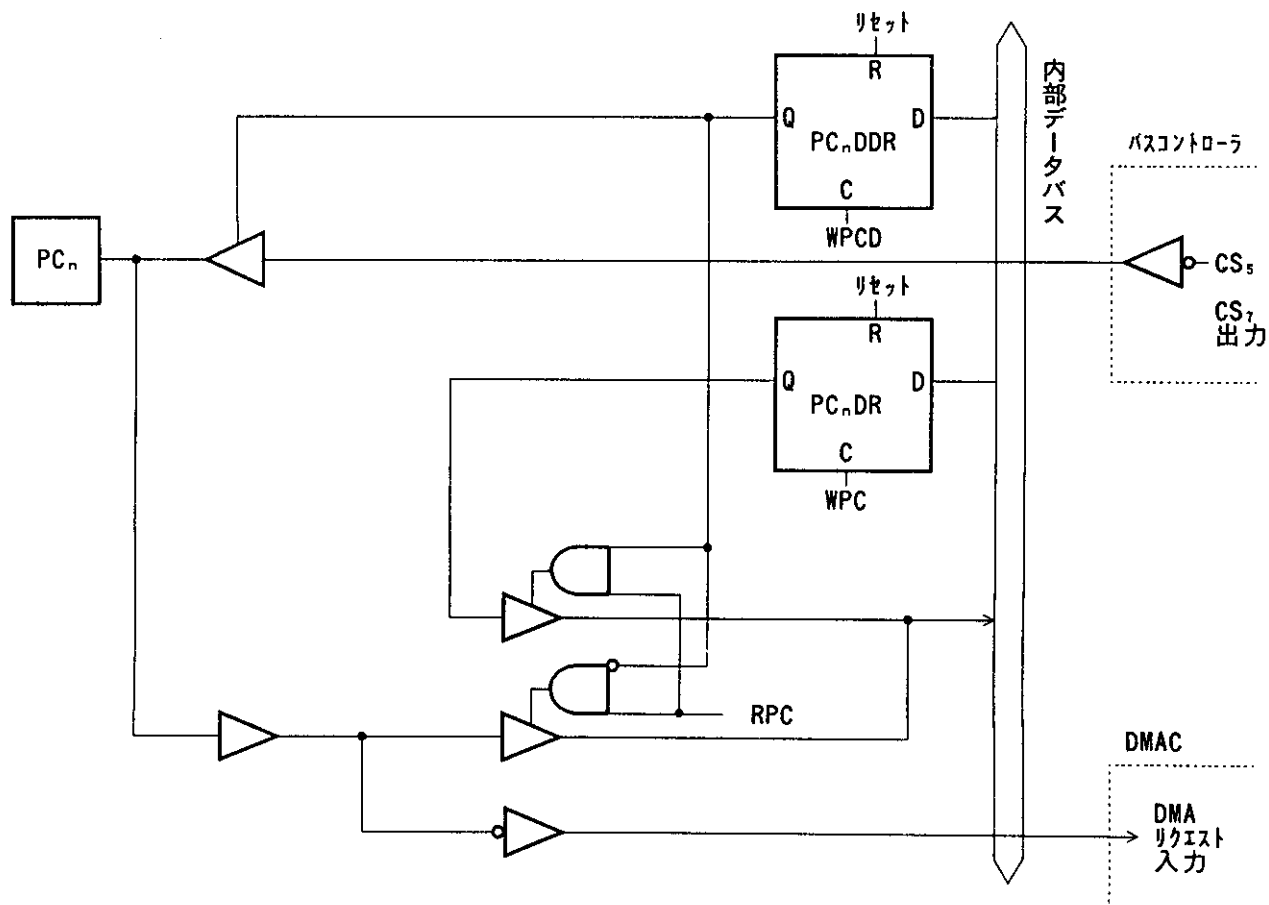
図C.9 (a) ポートCブロック図 (PC_0 、 PC_1 端子)



《記号説明》

- WPCD : DDRライト
- WPC : ポートライト
- RPC : ポートリード
- n = 2、4

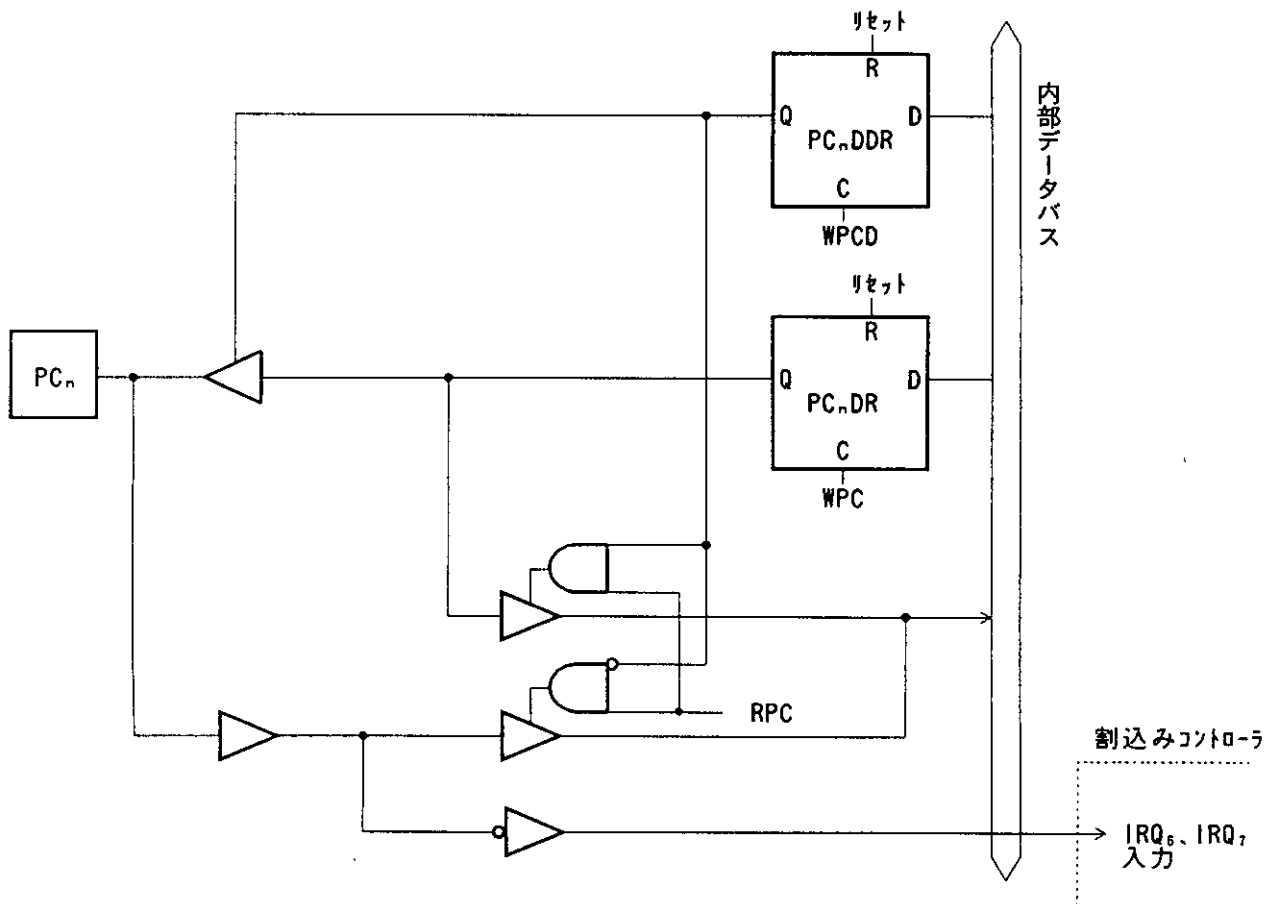
図 C.9 (b) ポートCブロック図 (PC₂、PC₄端子)



《記号説明》

- WPCD : DDRライト
- WPC : ポートライト
- RPC : ポートリード
- n = 3、5

図 C.9 (c) ポート C ブロック図 (PC₃、PC₅ 端子)



《記号説明》

- WPCD : DDRライト
- WPC : ポートライト
- RPC : ポートリード
- n = 6、7

図 C.9 (d) ポート C ブロック図 (PC_6 、 PC_7 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表D.1 各ポートの状態一覧(1)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
ϕ	—	クロック出力	T	H	クロック出力	クロック出力
$A_{19} \sim A_0$	1 ~ 4	L	T	T	T	$A_{19} \sim A_0$
$D_{15} \sim D_0$	1 ~ 4	T	T	T	T	$D_{15} \sim D_0$
\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}	1 ~ 4	H	T	T	T	\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}
$P_{47} \sim P_{40}$ $D_7 \sim D_0$	1~4	T	T	8ビットバス keep	keep	入出力ポート
				16ビットバス T	T	$D_7 \sim D_0$
$P_{57} \sim P_{54}$	1、2	T	T	keep	keep	入出力ポート
$A_{23} \sim A_{20}$	3、4	L	T	T	T	$A_{23} \sim A_{20}$
P_{60}	1 ~ 4	T	T	keep	keep	入出力ポート*1 \overline{WAIT}
P_{61}	1 ~ 4	T	T	[BRLE=0] keep [BRLE=1] T	T	入出力ポート \overline{BREQ}
P_{62}	1 ~ 4	T	T	[BRLE=0] keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] \overline{BACK}
$P_{77} \sim P_{70}$	1 ~ 4	T	T	T	T	入力ポート
P_{80}	1 ~ 4	T	T	[RFSHE=0] keep [RFSHE=1] \overline{RFSH}	[RFSHE=0] keep [RFSHE=1] H	[RFSHE=0] 入出力ポート [RFSHE=1] \overline{RFSH}
$P_{83} \sim P_{81}$	1 ~ 4	T	T	[DDR=0] T [DDR=1] H	keep	[DDR=0] 入力ポート [DDR=1] $\overline{CS_3} \sim \overline{CS_1}$

【注】*1 DDRを“1”にセットしないでください。

《記号説明》 H : “High” レベル

L : “Low” レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

表D.1 各ポートの状態一覧(2)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
P8 ₄	1 ~ 4	L	T	[DDR=0] T [DDR=1] L	keep	[DDR=0] 入力ポート [DDR=1] \overline{CS}_0
P9 ₅ ~ P9 ₀	1 ~ 4	T	T	keep	keep	入出力ポート
PA ₇ ~ PA ₀	1 ~ 4	T	T	keep	keep	入出力ポート
PB ₇ ~ PB ₀	1 ~ 4	T	T	keep	keep	入出力ポート
PC ₇ 、PC ₆ PC ₁ 、PC ₀	1 ~ 4	T	T	keep	keep	入出力ポート
PC ₅ ~ PC ₂	1 ~ 4	T	T	[DDR=0] keep [DDR=1] H	keep	[DDR=0] 入力ポート [DDR=1] $\overline{CS}_7 \sim \overline{CS}_4$

《記号説明》 H : “High” レベル
 L : “Low” レベル
 T : ハイインピーダンス
 keep : 入力ポートはハイインピーダンス、出力ポートは保持
 DDR : データディレクションレジスタ

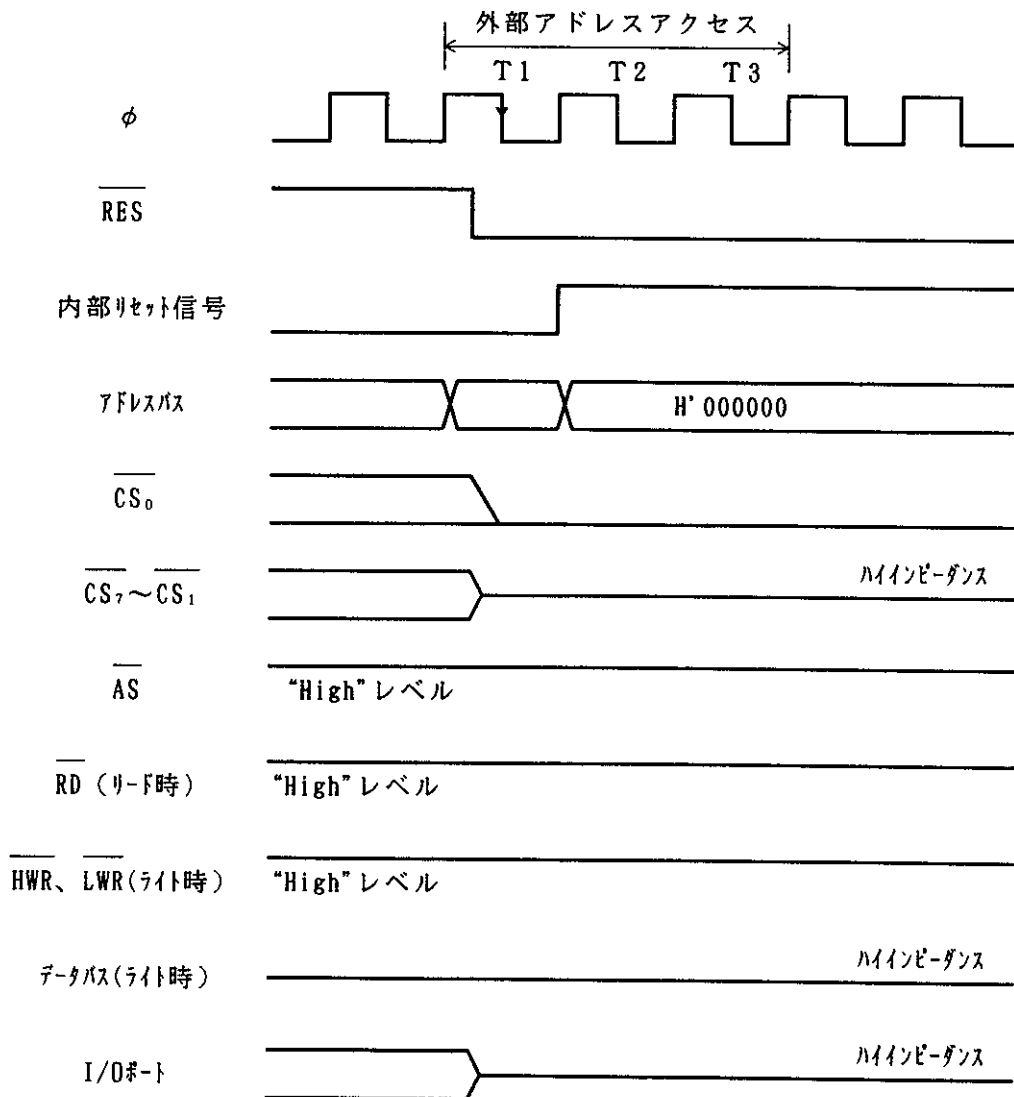
D.2 リセット時の端子状態

(1) T1ステートでのリセット

外部メモリアクセス中のT1ステートで、RES端子が“Low”レベルになったときのタイミングを図D.1に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が“Low”レベルをサンプリング（φの立下がりでサンプリング）してから、0.5ステート後にイニシャライズされアドレスバスは“Low”レベル出力となります。



図D.1 メモリアクセス中のリセット (T1ステートでのリセット)

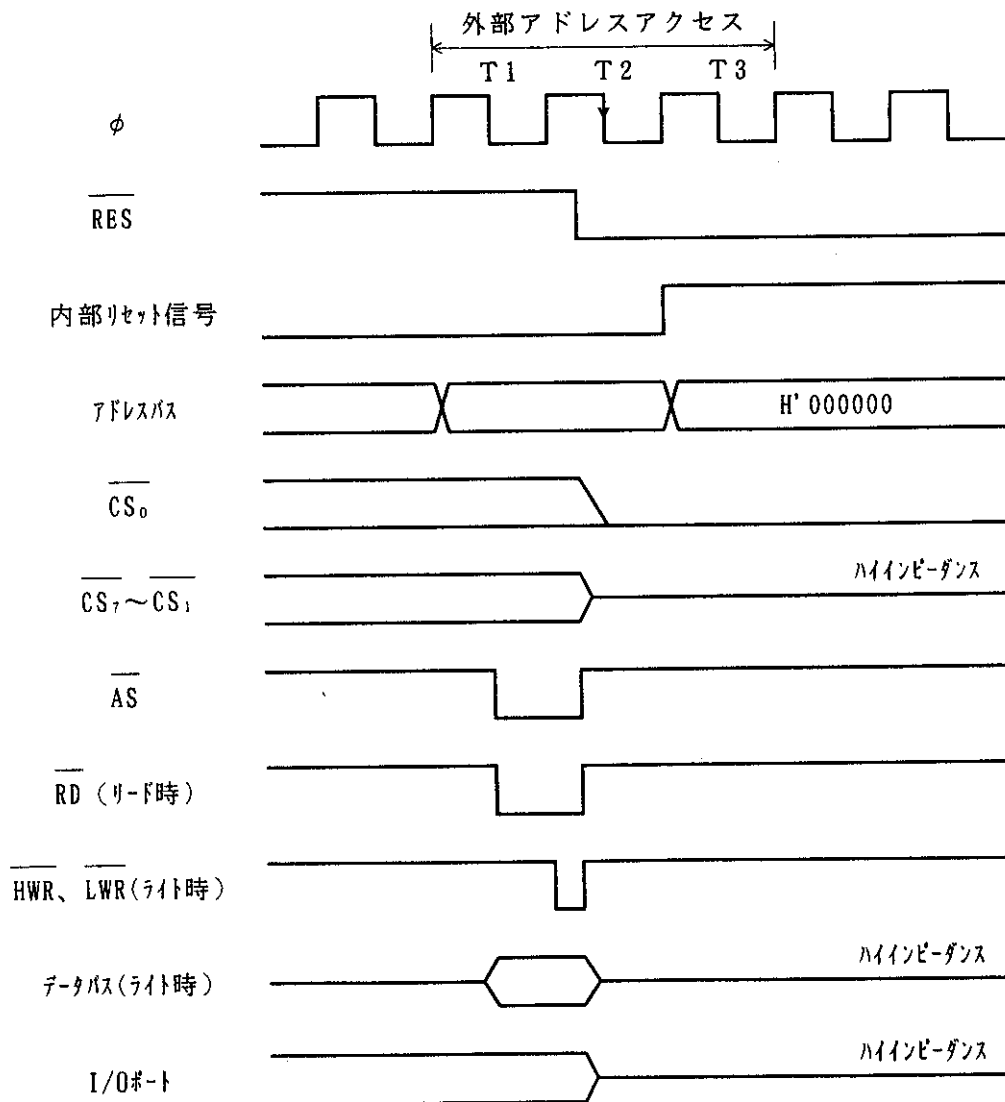
(2) T2ステートでのリセット

外部メモリアクセス中のT2ステートで、RES端子が“Low”レベルになったときのタイミングを図D.2に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が“Low”レベルをサンプリングしてから、0.5ステート後にイニシャライズされアドレスバスは“Low”レベルとなります。

T_wサイクルでのリセットについても同様です。



図D.2 メモリアクセス中のリセット (T2ステートでのリセット)

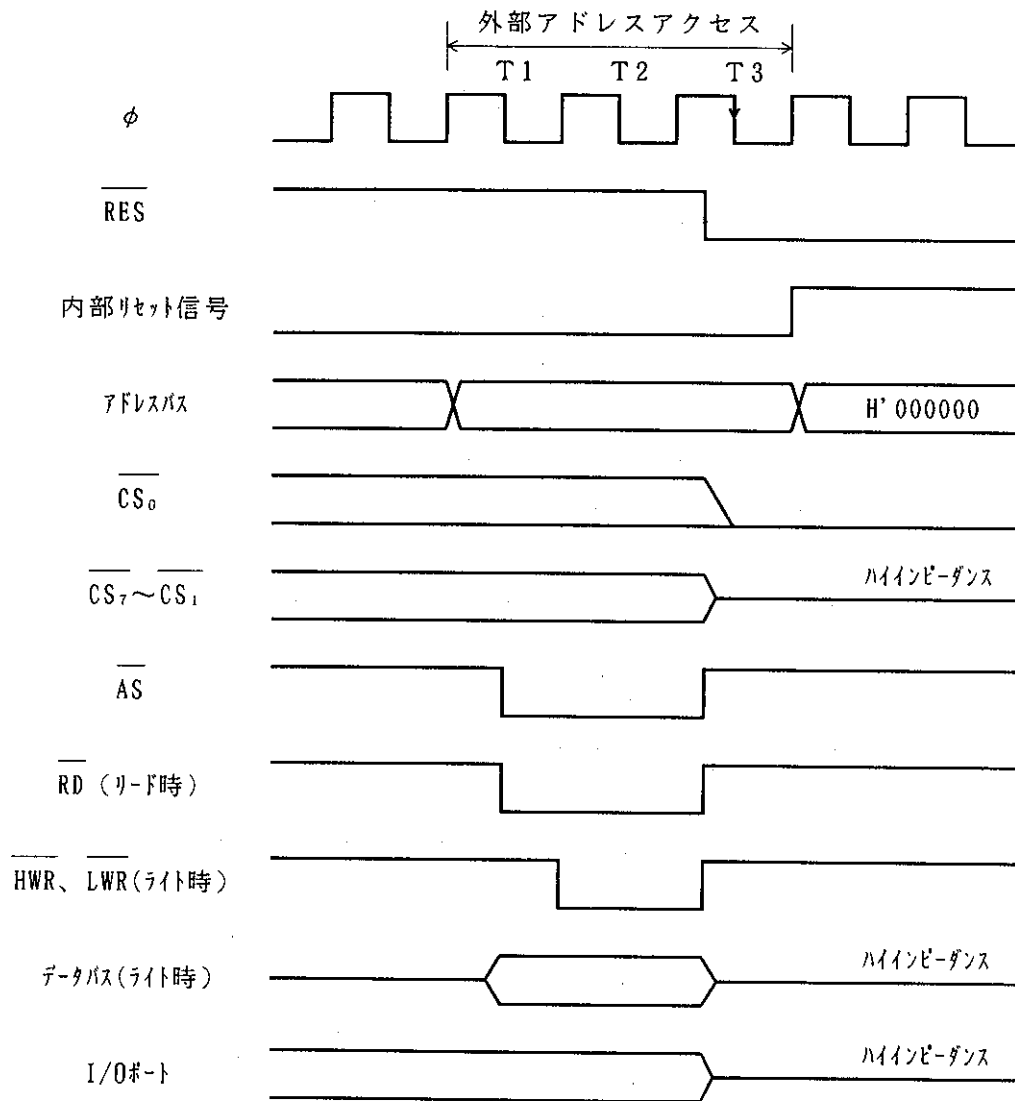
(3) T3ステートでのリセット

外部3ステート空間アクセス中のT3ステートで、RES端子が“Low”レベルになったときのタイミングを図D.3に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはT3ステート中保持されます。

2ステートアクセス空間のT2ステートでのリセットについても同様です。



図D.3 メモリアクセス中のリセット (T3ステートでのリセット)

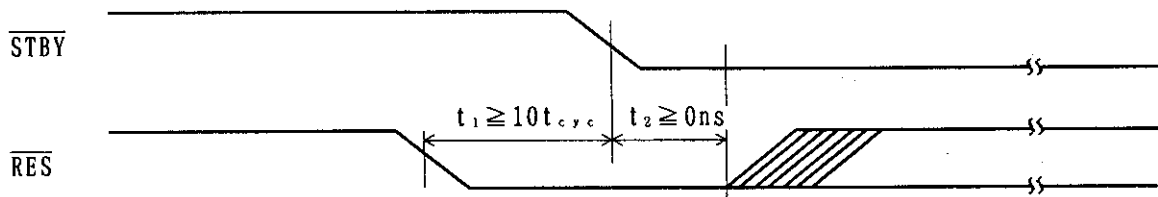
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

(1) SYSCRのRAMEビットを“1”にセットした状態でRAMの内容を保持する場合

下記に示すようにSTBY信号の立下がりに対し、10システムクロック前にRES信号を“Low”としてください。

また、RES信号の立上がりは、STBY信号の立下がりに対し、min 0nsです。

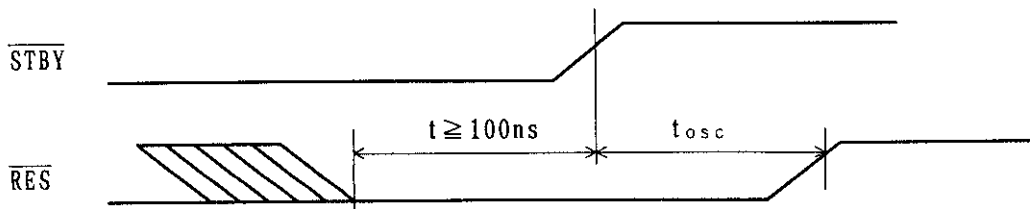


(2) SYSCRのRAMEビットを“0”にクリアした状態またはRAMの内容を保持しない場合

(1)のようにRES信号を“Low”にする必要はありません。

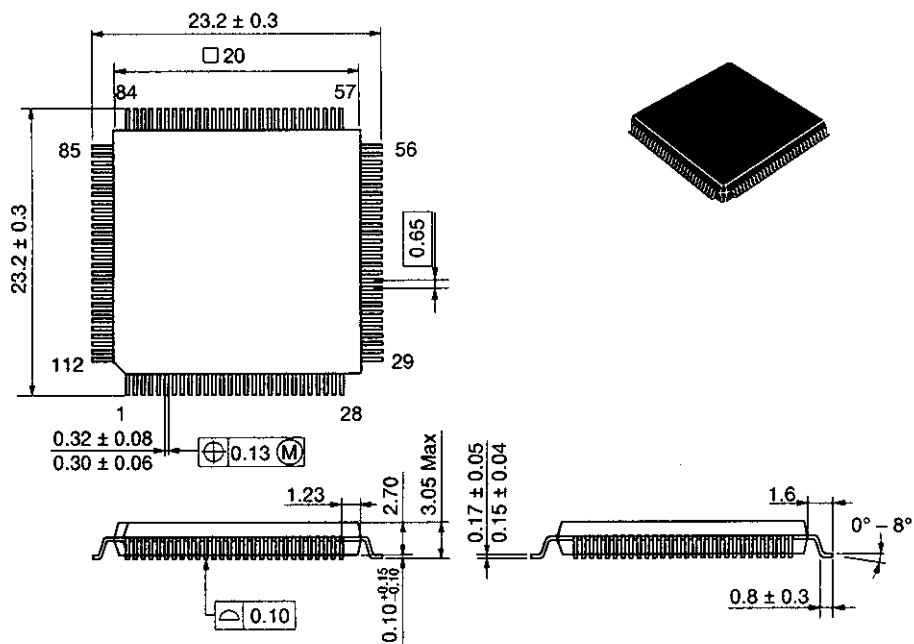
【ハードウェアスタンバイモードからの復帰タイミング】

STBY信号の立上がりに対し、約100ns前にRES信号を“Low”としてください。



F. 外形寸法図

H 8 / 3 0 0 3 の外形寸法図 (Q F P - 112) を図 F. 1 に示します。



Dimension including the plating thickness
Base material dimension

図 F. 1 外形寸法図 (Q F P - 112) 単位 : mm

G. レジスタ索引

略 称	正 式 名 称	モジュール名	参照 頁	
ABWCR	バス幅コントロールレジスタ	バスコントローラ	126	
ADCR	A/Dコントロールレジスタ	A/D変換器	535	
ADCSR	A/Dコントロール/ステータス レジスタ		532	
ADDR (ADDRAH) (ADDRAL) (ADDRBH) (ADDRBL) (ADDRCH) (ADDRCL) (ADDRDH) (ADDRDL)	A/Dデータレジスタ		531	
ASTCR	アクセスステート コントロールレジスタ		バスコントローラ	127
BRA (BRA3H) (BRA3L) (BRA4H) (BRA4L)	バッファレジスタA		ITUチャンネル3	337
		ITUチャンネル4		
BRB (BRB3H) (BRB3L) (BRB4H) (BRB4L)	バッファレジスタB	ITUチャンネル3	337	
		ITUチャンネル4		
BRCR	バスリリースコントロールレジスタ	バスコントローラ	130	
BRR	ビットレートレジスタ	シリアルコミュニケーション インタフェース	484	
DTCR (DTCR0A) (DTCR0B) (DTCR1A)	データトランスファ コントロールレジスタ	DMACチャンネル0A	207,	
		DMACチャンネル0B	214	
		DMACチャンネル1A		

《記号説明》

ITU : 16ビットインテグレートドタイムユニット

DMAC : DMAコントローラ

(前頁より続く)

略 称	正 式 名 称	モジュール名	参照 頁
(DTCR1B)	データトランスファ コントロールレジスタ	DMACチャンネル1B	207, 214
(DTCR2A)		DMACチャンネル2A	
(DTCR2B)		DMACチャンネル2B	
(DTCR3A)		DMACチャンネル3A	
(DTCR3B)		DMACチャンネル3B	
ETCR	転送カウントレジスタ		206, 212
(ETCR0AH)		DMACチャンネル0A	
(ETCR0AL)			
(ETCR0BH)		DMACチャンネル0B	
(ETCR0BL)			
(ETCR1AH)		DMACチャンネル1A	
(ETCR1AL)			
(ETCR1BH)		DMACチャンネル1B	
(ETCR1BL)			
(ETCR2AH)		DMACチャンネル2A	
(ETCR2AL)			
(ETCR2BH)		DMACチャンネル2B	
(ETCR2BL)			
(ETCR3AH)		DMACチャンネル3A	
(ETCR3AL)			
(ETCR3BH)	DMACチャンネル3B		
(ETCR3BL)			
GRA	ジェネラルレジスタA		336
(GRA0H)		ITUチャンネル0	
(GRA0L)			
(GRA1H)		ITUチャンネル1	
(GRA1L)			
(GRA2H)		ITUチャンネル2	
(GRA2L)			
(GRA3H)		ITUチャンネル3	
(GRA3L)			
(GRA4H)	ITUチャンネル4		
(GRA4L)			

《記号説明》

DMAC : DMAコントローラ

ITU : 16ビットインテグレートドタイムユニット

(前頁より続く)

略 称	正 式 名 称	モジュール名	参 照 頁
GRB (GRB0H) (GRB0L) (GRB1H) (GRB1L) (GRB2H) (GRB2L) (GRB3H) (GRB3L) (GRB4H) (GRB4L)	ジェネラルレジスタB	ITUチャンネル0 ITUチャンネル1 ITUチャンネル2 ITUチャンネル3 ITUチャンネル4	336
IER	IRQイネーブルレジスタ	割込みコントローラ	103
IOAR (IOAR0A) (IOAR0B) (IOAR1A) (IOAR1B) (IOAR2A) (IOAR2B) (IOAR3A) (IOAR3B)	I/Oアドレスレジスタ	DMACチャンネル0A DMACチャンネル0B DMACチャンネル1A DMACチャンネル1B DMACチャンネル2A DMACチャンネル2B DMACチャンネル3A DMACチャンネル3B	205
IPR (IPRA) (IPRB)	インタラプト プライオリティレジスタ	割込みコントローラ	96, 99
ISCR	IRQセンスコントロールレジスタ		104
ISR	IRQステータスレジスタ		102
MAR (MAR0AR) (MAR0AE) (MAR0AH) (MAR0AL) (MAR0BR) (MAR0BE)	メモリアドレスレジスタ	DMACチャンネル0A DMACチャンネル0B	204, 212

《記号説明》

ITU : 16ビットインテグレートッドタイムユニット
DMAC : DMAコントローラ

(前頁より続く)

略 称	正 式 名 称	モジュール名	参 照 頁
(MAR0BH)	メモリアドレスレジスタ	DMACチャンネル0B	204, 212
(MAR0BL)			
(MAR1AR)			
(MAR1AE)		DMACチャンネル1A	
(MAR1AH)			
(MAR1AL)			
(MAR1BR)			
(MAR1BE)		DMACチャンネル1B	
(MAR1BH)			
(MAR1BL)			
(MAR2AR)			
(MAR2AE)		DMACチャンネル2A	
(MAR2AH)			
(MAR2AL)			
(MAR2BR)			
(MAR2BE)		DMACチャンネル2B	
(MAR2BH)			
(MAR2BL)			
(MAR3AR)			
(MAR3AE)		DMACチャンネル3A	
(MAR3AH)			
(MAR3AL)			
(MAR3BR)			
(MAR3BE)	DMACチャンネル3B		
(MAR3BH)			
(MAR3BL)			
MDCR	モードコントロールレジスタ	システム制御	71
NDER	ネクストデータイネーブルレジスタ	プログラマブルタイミング パターンコントローラ	427, 428
(NDERA)			
(NDERB)			
NDR	ネクストデータレジスタ		423, 425
(NDRA)			
(NDRB)			

《記号説明》

DMAC : DMAコントローラ

(前頁より続く)

略 称	正 式 名 称	モジュール名	参照 頁
P4DDR	ポート4データディレクション レジスタ	ポート4	264
P4DR	ポート4データレジスタ		265
P4PCR	ポート4入力プルアップMOS コントロールレジスタ		
P5DDR	ポート5データディレクション レジスタ	ポート5	268
P5DR	ポート5データレジスタ		270
P5PCR	ポート5入力プルアップMOS コントロールレジスタ		
P6DDR	ポート6データディレクション レジスタ	ポート6	275
P6DR	ポート6データレジスタ		
P7DR	ポート7データレジスタ	ポート7	277
P8DDR	ポート8データディレクション レジスタ	ポート8	279
P8DR	ポート8データレジスタ		
P9DDR	ポート9データディレクション レジスタ	ポート9	282
P9DR	ポート9データレジスタ		
PADDR	ポートAデータディレクション レジスタ	ポートA	286
PADR	ポートAデータレジスタ		
PBDDR	ポートBデータディレクション レジスタ	ポートB	293
PBDR	ポートBデータレジスタ		
PCDDR	ポートCデータディレクション レジスタ	ポートC	301
PCDR	ポートCデータレジスタ		
RDR	レシーブデータレジスタ	シリアルコミュニケーション インタフェース	469
RFSHCR	リフレッシュコントロールレジスタ	リフレッシュコントローラ	160
RSR	レシーブシフトレジスタ	シリアルコミュニケーション インタフェース	469
RSTCSR	リセットコントロール/ステータス レジスタ	ウォッチドッグタイマ	454

(前頁より続く)

略 称	正 式 名 称	モジュール名	参照 頁
RTCNT	リフレッシュタイマカウンタ	リフレッシュコントローラ	166
RTCOR	リフレッシュタイムコンスタント レジスタ		
RTMCSR	リフレッシュタイマコントロール ステータスレジスタ		163
SCR	シリアルコントロールレジスタ	シリアルコミュニケーション インタフェース	475
SMR	シリアルモードレジスタ		471
SSR	シリアルステータスレジスタ		479
SYSCR	システムコントロールレジスタ	システム制御	72
TCNT	タイマカウンタ	ウォッチドッグタイマ	450
TCNT (TCNT0H) (TCNT0L) (TCNT1H) (TCNT1L) (TCNT2H) (TCNT2L) (TCNT3H) (TCNT3L) (TCNT4H) (TCNT4L)	タイマカウンタ	ITUチャンネル0	335
		ITUチャンネル1	
		ITUチャンネル2	
		ITUチャンネル3	
		ITUチャンネル4	
TCR (TCR0) (TCR1) (TCR2) (TCR3) (TCR4)	タイマコントロールレジスタ	ITUチャンネル0	338
		ITUチャンネル1	
		ITUチャンネル2	
		ITUチャンネル3	
		ITUチャンネル4	
TCSR	タイマコントロール/ステータス レジスタ	ウォッチドッグタイマ	451
TDR	トランスミットデータレジスタ	シリアルコミュニケーション インタフェース	470
TFCR	タイマファンクション コントロールレジスタ	ITU	327

《記号説明》

ITU : 16ビットインテグレートドタイマユニット

(前頁より続く)

略 称	正 式 名 称	モジュール名	参照 頁
T I E R (T I E R 0) (T I E R 1) (T I E R 2) (T I E R 3) (T I E R 4)	タイマインタラプト イネーブルレジスタ		347
		I T Uチャンネル0	
		I T Uチャンネル1	
		I T Uチャンネル2	
		I T Uチャンネル3	
T I O R (T I O R 0) (T I O R 1) (T I O R 2) (T I O R 3) (T I O R 4)	タイマI/Oコントロールレジスタ		341
		I T Uチャンネル0	
		I T Uチャンネル1	
		I T Uチャンネル2	
		I T Uチャンネル3	
T M D R	タイマモードレジスタ	I T U	323
T O C R	タイマアウトプット コントロールレジスタ		333
T O E R	タイマアウトプット マスタイネーブルレジスタ		330
T P C R	T P C出力コントロールレジスタ	プログラマブルタイミング	429
T P M R	T P C出力モードレジスタ	パターンコントローラ	432
T S N C	タイマシンクロレジスタ	I T U	321
T S R (T S R 0) (T S R 1) (T S R 2) (T S R 3) (T S R 4)	タイマステータスレジスタ		344
		I T Uチャンネル0	
		I T Uチャンネル1	
		I T Uチャンネル2	
		I T Uチャンネル3	
T S T R	タイマスタートレジスタ	I T U	319
W C E R	ウェイトステートコントローラ イネーブルレジスタ	バスコントローラ	129
			128
W C R	ウェイトコントロールレジスタ		

《記号説明》

I T U : 16ビットインテグレートドタイマユニット

H8/3003 ハードウェアマニュアル

発行年月 平成5年3月 第1版
平成6年9月 第3版

発行 株式会社 日立製作所
電子統括営業本部

編集 株式会社 日立マイコンシステム
技術情報センタ

©株式会社 日立製作所 1993

H8/3003
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-073B