

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# H8/3006、H8/3007

## ハードウェアマニュアル

### ルネサス16ビットシングルチップマイクロコンピュータ

### H8ファミリ／H8/300Hシリーズ

H8/3007	HD6413007F
	HD6413007TE
	HD6413007FP
	HD6413007VF
	HD6413007VTE
	HD6413007VFP
H8/3006	HD6413006F
	HD6413006TE
	HD6413006FP
	HD6413006VF
	HD6413006VTE
	HD6413006VFP

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。



---

## はじめに

---

H8/3006、H8/3007 は、内部 32 ビット構成の H8/300H CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

周辺機能として、RAM、16 ビットタイマ、8 ビットタイマ、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ (DMAC) などを内蔵しています。

アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU 動作モードは、モード 1~4 があり、データバス幅の初期値とアドレス空間を選択することができます。

このため、H8/3006、H8/3007 を用いることにより高性能かつ小型のシステムを容易に実現することができます。

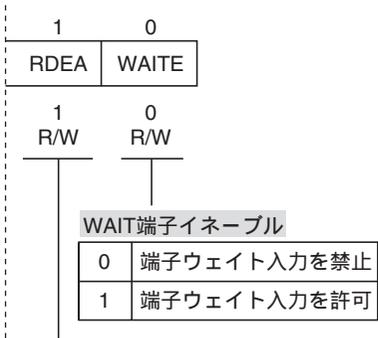
本マニュアルは、H8/3006、H8/3007 のハードウェアについて説明します。命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」をあわせてご覧ください。



## 本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																																		
全体	-	社名変更による修正 （修正前）日立製作所 → （修正後）ルネサス テクノロジ 呼称変更による修正																																		
8.7.2 レジスタ構成 (2) ポート A データレジスタ (PADR) 表 8.13 ポート A (モード 3、4) の端子機能	8-26	表を修正 <table border="1"> <thead> <tr> <th>A21E</th> <th colspan="3">1</th> <th colspan="2">0</th> </tr> </thead> <tbody> <tr> <td>16ビットタイマ チャンネル2の設定</td> <td>下表(1)</td> <td colspan="3">下表(2)</td> <td>—</td> </tr> <tr> <td>PA<sub>6</sub>DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> <td>—</td> </tr> <tr> <td>NDER6</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCA<sub>2</sub> 出力端子</td> <td>PA<sub>6</sub>入力端子</td> <td>PA<sub>6</sub>出力端子</td> <td>TP<sub>6</sub>出力端子</td> <td>A<sub>21</sub>出力端子</td> </tr> <tr> <td colspan="3">TIOCA<sub>2</sub>入力端子*</td> <td></td> </tr> </tbody> </table>	A21E	1			0		16ビットタイマ チャンネル2の設定	下表(1)	下表(2)			—	PA <sub>6</sub> DDR	—	0	1	1	—	NDER6	—	—	0	1	—	端子機能	TIOCA <sub>2</sub> 出力端子	PA <sub>6</sub> 入力端子	PA <sub>6</sub> 出力端子	TP <sub>6</sub> 出力端子	A <sub>21</sub> 出力端子	TIOCA <sub>2</sub> 入力端子*			
A21E	1			0																																
16ビットタイマ チャンネル2の設定	下表(1)	下表(2)			—																															
PA <sub>6</sub> DDR	—	0	1	1	—																															
NDER6	—	—	0	1	—																															
端子機能	TIOCA <sub>2</sub> 出力端子	PA <sub>6</sub> 入力端子	PA <sub>6</sub> 出力端子	TP <sub>6</sub> 出力端子	A <sub>21</sub> 出力端子																															
		TIOCA <sub>2</sub> 入力端子*																																		
表 8.14 ポート A (モード 1~ 4) の端子機能	8-30	表を修正 <table border="1"> <tbody> <tr> <td>PA<sub>1</sub>DDR</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER1</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="3">端子機能</td> <td>PA<sub>1</sub>入力端子</td> <td>PA<sub>1</sub>出力端子</td> <td>TP<sub>1</sub>出力端子</td> </tr> <tr> <td colspan="3">TCLKB入力端子*1</td> </tr> <tr> <td colspan="3">TEND<sub>1</sub>出力端子*2</td> </tr> </tbody> </table>	PA <sub>1</sub> DDR	0	1	1	NDER1	—	0	1	端子機能	PA <sub>1</sub> 入力端子	PA <sub>1</sub> 出力端子	TP <sub>1</sub> 出力端子	TCLKB入力端子*1			TEND <sub>1</sub> 出力端子*2																		
PA <sub>1</sub> DDR	0	1	1																																	
NDER1	—	0	1																																	
端子機能	PA <sub>1</sub> 入力端子	PA <sub>1</sub> 出力端子	TP <sub>1</sub> 出力端子																																	
	TCLKB入力端子*1																																			
	TEND <sub>1</sub> 出力端子*2																																			
	8-31	表を修正 <table border="1"> <tbody> <tr> <td>PA<sub>0</sub>DDR</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER0</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="3">端子機能</td> <td>PA<sub>0</sub>入力端子</td> <td>PA<sub>0</sub>出力端子</td> <td>TP<sub>0</sub>出力端子</td> </tr> <tr> <td colspan="3">TCLKA入力端子*1</td> </tr> <tr> <td colspan="3">TEND<sub>0</sub>出力端子*2</td> </tr> </tbody> </table>	PA <sub>0</sub> DDR	0	1	1	NDER0	—	0	1	端子機能	PA <sub>0</sub> 入力端子	PA <sub>0</sub> 出力端子	TP <sub>0</sub> 出力端子	TCLKA入力端子*1			TEND <sub>0</sub> 出力端子*2																		
PA <sub>0</sub> DDR	0	1	1																																	
NDER0	—	0	1																																	
端子機能	PA <sub>0</sub> 入力端子	PA <sub>0</sub> 出力端子	TP <sub>0</sub> 出力端子																																	
	TCLKA入力端子*1																																			
	TEND <sub>0</sub> 出力端子*2																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																										
8.8.2 レジスタ構成 (2) ポートB データレジスタ (PBDR) 表 8.16 ポート B の端子機能	8-37	表を修正 <table border="1"> <tr> <td>DRAM インタフェース の設定</td> <td colspan="5">下表(1)</td> <td>下表(2)</td> </tr> <tr> <td>OIS3、OIS2、 OS1、OS0</td> <td colspan="4">すべてが0</td> <td>いずれか が1</td> <td>—</td> </tr> <tr> <td>CS5E</td> <td colspan="2">0</td> <td colspan="2">1</td> <td>—</td> <td>—</td> </tr> <tr> <td>PB<sub>2</sub>DDR</td> <td>0</td> <td>1</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>NDER10</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PB<sub>2</sub> 入力端子</td> <td>PB<sub>2</sub> 出力端子</td> <td>TP<sub>10</sub> 出力端子</td> <td><math>\overline{CS}_5</math> 出力端子</td> <td>TMO<sub>2</sub> 出力端子</td> <td><math>\overline{CS}_5</math> 出力端子*</td> </tr> </table>	DRAM インタフェース の設定	下表(1)					下表(2)	OIS3、OIS2、 OS1、OS0	すべてが0				いずれか が1	—	CS5E	0		1		—	—	PB <sub>2</sub> DDR	0	1	1	—	—	—	NDER10	—	0	1	—	—	—	端子機能	PB <sub>2</sub> 入力端子	PB <sub>2</sub> 出力端子	TP <sub>10</sub> 出力端子	$\overline{CS}_5$ 出力端子	TMO <sub>2</sub> 出力端子	$\overline{CS}_5$ 出力端子*
	DRAM インタフェース の設定	下表(1)					下表(2)																																					
OIS3、OIS2、 OS1、OS0	すべてが0				いずれか が1	—																																						
CS5E	0		1		—	—																																						
PB <sub>2</sub> DDR	0	1	1	—	—	—																																						
NDER10	—	0	1	—	—	—																																						
端子機能	PB <sub>2</sub> 入力端子	PB <sub>2</sub> 出力端子	TP <sub>10</sub> 出力端子	$\overline{CS}_5$ 出力端子	TMO <sub>2</sub> 出力端子	$\overline{CS}_5$ 出力端子*																																						
8-38	表を修正 <table border="1"> <tr> <td>OIS3、OIS2、 OS1、OS0</td> <td colspan="4">すべてが0</td> <td>いずれかが1</td> </tr> <tr> <td>CS7E</td> <td colspan="2">0</td> <td colspan="2">1</td> <td>—</td> </tr> <tr> <td>PB<sub>0</sub>DDR</td> <td>0</td> <td>1</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>NDER8</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PB<sub>0</sub> 入力端子</td> <td>PB<sub>0</sub> 出力端子</td> <td>TP<sub>8</sub> 出力端子</td> <td><math>\overline{CS}_7</math> 出力端子</td> <td>TMO<sub>0</sub> 出力端子</td> </tr> </table>	OIS3、OIS2、 OS1、OS0	すべてが0				いずれかが1	CS7E	0		1		—	PB <sub>0</sub> DDR	0	1	1	—	—	NDER8	—	0	1	—	—	端子機能	PB <sub>0</sub> 入力端子	PB <sub>0</sub> 出力端子	TP <sub>8</sub> 出力端子	$\overline{CS}_7$ 出力端子	TMO <sub>0</sub> 出力端子													
OIS3、OIS2、 OS1、OS0	すべてが0				いずれかが1																																							
CS7E	0		1		—																																							
PB <sub>0</sub> DDR	0	1	1	—	—																																							
NDER8	—	0	1	—	—																																							
端子機能	PB <sub>0</sub> 入力端子	PB <sub>0</sub> 出力端子	TP <sub>8</sub> 出力端子	$\overline{CS}_7$ 出力端子	TMO <sub>0</sub> 出力端子																																							
9.3.1 16ビットアクセス可能なレジスタ	9-32	記述を修正 16TCNT に対してワード単位のリード/ライトを行った場合の動作を図 9.4、図 9.5 に示します。 また、16TCNTH、16TCNTL に対してバイト単位のリード/ライトを行った場合の動作を図 9.6、図 9.7、図 9.8、図 9.9 に示します。																																										
9.4.6 16ビットタイマ出力初期値の設定 図 9.32 TOLR へのライトによる 16ビットタイマ出力初期値設定タイミング	9-54	図を修正 																																										
13.2.6 シリアルコントロールレジスタ (SCR) ビット 3: マルチプロセッサインタラプトイネーブル (MPIE)	13-14	表を修正 <table border="1"> <tr> <td>ビット 3</td> <td rowspan="2">説 明</td> </tr> <tr> <td>MPIE</td> </tr> <tr> <td>1</td> <td>マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。</td> </tr> </table>	ビット 3	説 明	MPIE	1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。																																					
ビット 3	説 明																																											
MPIE																																												
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。																																											

修正項目	ページ	修正内容（詳細はマニュアル参照）
13.3.4 クロック同期モード時の動作 (3) データの送信 / 受信動作 (a) SCI の初期化 (クロック同期式)	13-50	記述を修正 RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。
(c) シリアルデータ受信 (クロック同期式)	13-55	記述を修正 (1) SCI は同期クロックの入力または出力に同期して受信動作を行います。
B.2 機能一覧 BCR バスコントロールレジスタ	付録-49	記述を修正  <p>The diagram shows two 1-bit fields, RDEA and WAITE, each with its own Read/Write (R/W) control. Below them is a 'WAIT端子イネーブル' (WAIT pin enable) control, which is a 1-bit field. A table below this control defines its values: 0 for '端子ウェイト入力を禁止' (Prohibit terminal wait input) and 1 for '端子ウェイト入力を許可' (Allow terminal wait input).</p>
ADDRC H、L A/D データレジスタ C H、L	付録-107	ビットの表を差し替え

すべての商標および登録商標は、それぞれの所有者に帰属します。

---

# 目次

---

## 第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-5
1.3.1	ピン配置図	1-5
1.3.2	端子機能	1-7
1.3.3	モード別ピン配置一覧	1-11

## 第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8/300CPU との相違点	2-2
2.2	CPU 動作モード	2-3
2.3	アドレス空間	2-4
2.4	レジスタ構成	2-5
2.4.1	概要	2-5
2.4.2	汎用レジスタ	2-6
2.4.3	コントロールレジスタ	2-7
2.4.4	CPU 内部レジスタの初期値	2-8
2.5	データ構成	2-9
2.5.1	汎用レジスタのデータ構成	2-9
2.5.2	メモリ上でのデータ構成	2-11
2.6	命令セット	2-12
2.6.1	命令セットの概要	2-12
2.6.2	命令とアドレッシングモードの組み合わせ	2-12
2.6.3	命令の機能別一覧	2-14
2.6.4	命令の基本フォーマット	2-21
2.6.5	ビット操作命令使用上の注意	2-22
2.7	アドレッシングモードと実効アドレスの計算方法	2-24
2.7.1	アドレッシングモード	2-24
2.7.2	実効アドレスの計算方法	2-26
2.8	処理状態	2-30
2.8.1	概要	2-30
2.8.2	プログラム実行状態	2-30
2.8.3	例外処理状態	2-31
2.8.4	例外処理の動作	2-33
2.8.5	バス権解放状態	2-34
2.8.6	リセット状態	2-34

2.8.7	低消費電力状態 .....	2-34
2.9	基本動作タイミング .....	2-35
2.9.1	概要 .....	2-35
2.9.2	内蔵メモリアクセスタイミング .....	2-35
2.9.3	内蔵周辺モジュールアクセスタイミング .....	2-37
2.9.4	外部アドレス空間アクセスタイミング .....	2-38
<b>第3章 MCU 動作モード</b>		
3.1	概要 .....	3-1
3.1.1	動作モードの種類を選択 .....	3-1
3.1.2	レジスタ構成 .....	3-2
3.2	モードコントロールレジスタ (MDCR) .....	3-3
3.3	システムコントロールレジスタ (SYSCR) .....	3-4
3.4	各動作モードの説明 .....	3-7
3.4.1	モード1 .....	3-7
3.4.2	モード2 .....	3-7
3.4.3	モード3 .....	3-7
3.4.4	モード4 .....	3-7
3.5	各動作モードにおける端子機能 .....	3-8
3.6	各動作モードのメモリマップ .....	3-8
3.6.1	リザーブ領域について .....	3-8
<b>第4章 例外処理</b>		
4.1	概要 .....	4-1
4.1.1	例外処理の種類と優先度 .....	4-1
4.1.2	例外処理の動作 .....	4-1
4.1.3	例外処理要因とベクタテーブル .....	4-1
4.2	リセット .....	4-3
4.2.1	概要 .....	4-3
4.2.2	リセットシーケンス .....	4-3
4.2.3	リセット直後の割り込み .....	4-4
4.3	割り込み .....	4-5
4.4	トラップ命令 .....	4-6
4.5	例外処理後のスタックの状態 .....	4-6
4.6	スタック使用上の注意 .....	4-7
<b>第5章 割り込みコントローラ</b>		
5.1	概要 .....	5-1
5.1.1	特長 .....	5-1
5.1.2	ブロック図 .....	5-2
5.1.3	端子構成 .....	5-3
5.1.4	レジスタ構成 .....	5-3
5.2	各レジスタの説明 .....	5-4
5.2.1	システムコントロールレジスタ (SYSCR) .....	5-4
5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB) .....	5-5

5.2.3	IRQ ステータスレジスタ (ISR) .....	5-11
5.2.4	IRQ イネーブルレジスタ (IER) .....	5-12
5.2.5	IRQ センスコントロールレジスタ (ISCR) .....	5-13
5.3	割り込み要因 .....	5-14
5.3.1	外部割り込み .....	5-14
5.3.2	内部割り込み .....	5-15
5.3.3	割り込み例外処理ベクタテーブル .....	5-16
5.4	割り込み動作 .....	5-18
5.4.1	割り込み動作の流れ .....	5-18
5.4.2	割り込み例外処理シーケンス .....	5-23
5.4.3	割り込み応答時間 .....	5-24
5.5	使用上の注意 .....	5-25
5.5.1	割り込みの発生とディスエーブルとの競合 .....	5-25
5.5.2	割り込みの受け付けを禁止している命令 .....	5-26
5.5.3	EEPMOV 命令実行中の割り込み .....	5-26
<b>第 6 章 バスコントローラ</b>		
6.1	概要 .....	6-1
6.1.1	特長 .....	6-1
6.1.2	ブロック図 .....	6-3
6.1.3	端子構成 .....	6-4
6.1.4	レジスタ構成 .....	6-4
6.2	各レジスタの説明 .....	6-5
6.2.1	バス幅コントロールレジスタ (ABWCR) .....	6-5
6.2.2	アクセスステートコントロールレジスタ (ASTCR) .....	6-6
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL) .....	6-7
6.2.4	バスリリースコントロールレジスタ (BRCR) .....	6-10
6.2.5	バスコントロールレジスタ (BCR) .....	6-12
6.2.6	チップセレクトコントロールレジスタ (CSCR) .....	6-14
6.2.7	DRAM コントロールレジスタ A (DRCRA) .....	6-15
6.2.8	DRAM コントロールレジスタ B (DRCRB) .....	6-17
6.2.9	リフレッシュタイマコントロール/ステータスレジスタ (RTMCSR) .....	6-20
6.2.10	リフレッシュタイマカウンタ (RTCNT) .....	6-22
6.2.11	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	6-22
6.3	動作説明 .....	6-23
6.3.1	エリア分割 .....	6-23
6.3.2	バス仕様 .....	6-25
6.3.3	メモリインタフェース .....	6-26
6.3.4	チップセレクト信号 .....	6-26
6.4	基本バスインタフェース .....	6-27
6.4.1	概要 .....	6-27
6.4.2	データサイズとデータアライメント .....	6-27
6.4.3	有効ストロープ .....	6-28
6.4.4	各エリアの説明 .....	6-29
6.4.5	基本バス制御信号タイミング .....	6-30
6.4.6	ウェイト制御 .....	6-38

6.5	DRAM インタフェース .....	6-40
6.5.1	概要 .....	6-40
6.5.2	DRAM 空間と RAS 出力端子の設定 .....	6-40
6.5.3	アドレスマルチプレクス .....	6-41
6.5.4	データバス .....	6-41
6.5.5	DRAM インタフェース使用端子 .....	6-42
6.5.6	基本タイミング .....	6-43
6.5.7	プリチャージステート制御 .....	6-44
6.5.8	ウェイト制御 .....	6-45
6.5.9	バイトアクセス制御と CAS 出力端子 .....	6-46
6.5.10	バースト動作 .....	6-47
6.5.11	リフレッシュ制御 .....	6-52
6.5.12	使用例 .....	6-56
6.5.13	使用上の注意 .....	6-61
6.6	インターバルタイマ .....	6-63
6.6.1	動作説明 .....	6-63
6.7	割り込み要因 .....	6-69
6.8	バースト ROM インタフェース .....	6-69
6.8.1	概要 .....	6-69
6.8.2	基本タイミング .....	6-70
6.8.3	ウェイト制御 .....	6-70
6.9	アイドルサイクル .....	6-71
6.9.1	動作説明 .....	6-71
6.9.2	アイドルサイクルでの端子状態 .....	6-74
6.10	バスアービタ .....	6-75
6.10.1	動作説明 .....	6-75
6.11	レジスタと端子入力のタイミング .....	6-78
6.11.1	レジスタライトタイミング .....	6-78
6.11.2	BREQ 端子の入力タイミング .....	6-79
<b>第 7 章 DMA コントローラ</b>		
7.1	概要 .....	7-1
7.1.1	特長 .....	7-1
7.1.2	ブロック図 .....	7-2
7.1.3	機能概要 .....	7-3
7.1.4	端子構成 .....	7-4
7.1.5	レジスタ構成 .....	7-5
7.2	各レジスタの説明 (1) (ショートアドレスモード) .....	7-6
7.2.1	メモリアドレスレジスタ (MAR) .....	7-6
7.2.2	I/O アドレスレジスタ (IOAR) .....	7-7
7.2.3	転送カウンタレジスタ (ETCR) .....	7-7
7.2.4	データトランスファコントロールレジスタ (DTCR) .....	7-9
7.3	各レジスタの説明 (2) (フルアドレスモード) .....	7-12
7.3.1	メモリアドレスレジスタ (MAR) .....	7-12
7.3.2	I/O アドレスレジスタ (IOAR) .....	7-12

7.3.3	転送カウントレジスタ (ETCR) .....	7-13
7.3.4	データトランスファコントロールレジスタ (DTCR) .....	7-15
7.4	動作説明 .....	7-21
7.4.1	概要 .....	7-21
7.4.2	I/O モード .....	7-23
7.4.3	アイドルモード .....	7-26
7.4.4	リピートモード .....	7-28
7.4.5	ノーマルモード .....	7-32
7.4.6	ブロック転送モード .....	7-35
7.4.7	DMAC の起動要因 .....	7-40
7.4.8	DMAC のバスサイクル .....	7-41
7.4.9	DMAC 複数チャネルの動作 .....	7-46
7.4.10	外部バス権要求、DRAM インタフェースと DMAC の関係 .....	7-48
7.4.11	NMI 割り込みと DMAC .....	7-49
7.4.12	DMAC 動作の強制終了 .....	7-50
7.4.13	フルアドレスモードの解除 .....	7-50
7.4.14	リセット、スタンバイモード、スリープモードの DMAC の状態 .....	7-51
7.5	割り込み .....	7-52
7.6	使用上の注意 .....	7-53
7.6.1	ワードデータ転送時の注意 .....	7-53
7.6.2	DMAC による DMAC 自体のアクセス .....	7-53
7.6.3	MAR のロングワードアクセス .....	7-53
7.6.4	フルアドレスモード設定時の注意 .....	7-53
7.6.5	内部割り込みで DMAC を起動する場合の注意 .....	7-54
7.6.6	NMI 割り込みとブロック転送モード .....	7-55
7.6.7	MAR、IOAR のアドレス指定 .....	7-55
7.6.8	転送中断時のバスサイクル .....	7-56
7.6.9	A/D 変換器による転送要求 .....	7-56

## 第 8 章 I/O ポート

8.1	概要 .....	8-1
8.2	ポート 4 .....	8-3
8.2.1	概要 .....	8-3
8.2.2	レジスタ構成 .....	8-4
8.3	ポート 6 .....	8-7
8.3.1	概要 .....	8-7
8.3.2	レジスタ構成 .....	8-7
8.4	ポート 7 .....	8-10
8.4.1	概要 .....	8-10
8.4.2	レジスタ構成 .....	8-10
8.5	ポート 8 .....	8-11
8.5.1	概要 .....	8-11
8.5.2	レジスタ構成 .....	8-12
8.6	ポート 9 .....	8-16
8.6.1	概要 .....	8-16

8.6.2	レジスタ構成	8-16
8.7	ポート A	8-20
8.7.1	概要	8-20
8.7.2	レジスタ構成	8-22
8.8	ポート B	8-32
8.8.1	概要	8-32
8.8.2	レジスタ構成	8-33

## 第9章 16ビットタイマ

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-3
9.1.3	端子構成	9-6
9.1.4	レジスタ構成	9-7
9.2	各レジスタの説明	9-8
9.2.1	タイマスタートレジスタ (TSTR)	9-8
9.2.2	タイマシンクロレジスタ (TSNC)	9-9
9.2.3	タイマモードレジスタ (TMDR)	9-11
9.2.4	タイマインタラプトステータスレジスタ A (TISRA)	9-14
9.2.5	タイマインタラプトステータスレジスタ B (TISRB)	9-17
9.2.6	タイマインタラプトステータスレジスタ C (TISRC)	9-20
9.2.7	タイマカウンタ (16TCNT)	9-23
9.2.8	ジェネラルレジスタ A、B (GRA、GRB)	9-24
9.2.9	タイマコントロールレジスタ (16TCR)	9-25
9.2.10	タイマ I/O コントロールレジスタ (TIOR)	9-28
9.2.11	タイマアウトプットレベルセットレジスタ (TOLR)	9-30
9.3	CPU とのインタフェース	9-32
9.3.1	16ビットアクセス可能なレジスタ	9-32
9.3.2	8ビットアクセスのレジスタ	9-34
9.4	動作説明	9-35
9.4.1	概要	9-35
9.4.2	基本機能	9-36
9.4.3	同期動作	9-46
9.4.4	PWM モード	9-48
9.4.5	位相計数モード	9-52
9.4.6	16ビットタイマ出力初期値の設定	9-54
9.5	割り込み	9-55
9.5.1	ステータスフラグのセットタイミング	9-55
9.5.2	ステータスフラグのクリアタイミング	9-57
9.5.3	割り込み要因と DMA コントローラの起動	9-57
9.6	使用上の注意	9-58

## 第10章 8ビットタイマ

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-2

10.1.3	端子構成	10-3
10.1.4	レジスタ構成	10-4
10.2	各レジスタの説明	10-5
10.2.1	タイマカウンタ (8TCNT)	10-5
10.2.2	タイムコンスタントレジスタ A (TCORA)	10-6
10.2.3	タイムコンスタントレジスタ B (TCORB)	10-7
10.2.4	タイマコントロールレジスタ (8TCR)	10-8
10.2.5	タイマコントロール/ステータスレジスタ (8TCSR)	10-11
10.3	CPU とのインタフェース	10-15
10.3.1	8 ビットレジスタ	10-15
10.4	動作説明	10-17
10.4.1	8TCNT のカウントタイミング	10-17
10.4.2	コンペアマッチタイミング	10-19
10.4.3	インプットキャプチャ信号タイミング	10-21
10.4.4	ステータスフラグのセットタイミング	10-22
10.4.5	カスケード接続時の動作	10-24
10.4.6	インプットキャプチャの設定	10-27
10.5	割り込み	10-28
10.5.1	割り込み要因	10-28
10.5.2	A/D 変換器の起動	10-28
10.6	8 ビットタイマの使用例	10-29
10.7	使用上の注意	10-30
10.7.1	8TCNT のライトとクリアの競合	10-30
10.7.2	8TCNT のライトとカウントアップの競合	10-31
10.7.3	TCOR のライトとコンペアマッチの競合	10-32
10.7.4	TCOR のリードとインプットキャプチャの競合	10-33
10.7.5	インプットキャプチャによるカウンタクリアとカウントアップの競合	10-34
10.7.6	TCOR のライトとインプットキャプチャの競合	10-35
10.7.7	16 ビットカウントモード (カスケード接続時) の 8TCNT のバイトライトと カウントアップの競合	10-36
10.7.8	コンペアマッチ A、B の競合	10-36
10.7.9	内部クロックの切り替えと 8TCNT の動作	10-37
<b>第 11 章 プログラマブルタイミングパターンコントローラ (TPC)</b>		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-4
11.2	各レジスタの説明	11-5
11.2.1	ポート A データディレクションレジスタ (PADDR)	11-5
11.2.2	ポート A データレジスタ (PADR)	11-5
11.2.3	ポート B データディレクションレジスタ (PBDDR)	11-6
11.2.4	ポート B データレジスタ (PBDR)	11-6
11.2.5	ネクストデータレジスタ A (NDRA)	11-7
11.2.6	ネクストデータレジスタ B (NDRB)	11-9

11.2.7	ネクストデータイネーブルレジスタ A (NDERA) .....	11-11
11.2.8	ネクストデータイネーブルレジスタ B (NDERB) .....	11-12
11.2.9	TPC 出力コントロールレジスタ (TPCR) .....	11-13
11.2.10	TPC 出力モードレジスタ (TPMR) .....	11-16
11.3	動作説明 .....	11-18
11.3.1	概要 .....	11-18
11.3.2	出力タイミング .....	11-19
11.3.3	TPC 出力通常動作 .....	11-20
11.3.4	TPC 出力ノンオーバーラップ動作 .....	11-22
11.3.5	インプットキャプチャによる TPC 出力 .....	11-24
11.4	使用上の注意 .....	11-25
11.4.1	TPC 出力端子の動作 .....	11-25
11.4.2	ノンオーバーラップ動作時の注意 .....	11-25

## 第 12 章 ウォッチドッグタイマ

12.1	概要 .....	12-1
12.1.1	特長 .....	12-1
12.1.2	ブロック図 .....	12-2
12.1.3	端子構成 .....	12-2
12.1.4	レジスタ構成 .....	12-2
12.2	各レジスタの説明 .....	12-3
12.2.1	タイマカウンタ (TCNT) .....	12-3
12.2.2	タイマコントロール/ステータスレジスタ (TCSR) .....	12-4
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR) .....	12-7
12.2.4	レジスタ書き換え時の注意 .....	12-9
12.3	動作説明 .....	12-11
12.3.1	ウォッチドッグタイマ時の動作 .....	12-11
12.3.2	インターバルタイマ時の動作 .....	12-12
12.3.3	オーバフローフラグ (OVF) セットタイミング .....	12-12
12.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング .....	12-13
12.4	割り込み .....	12-14
12.5	使用上の注意 .....	12-14

## 第 13 章 SCI

13.1	概要 .....	13-1
13.1.1	特長 .....	13-1
13.1.2	ブロック図 .....	13-3
13.1.3	端子構成 .....	13-4
13.1.4	レジスタ構成 .....	13-5
13.2	各レジスタの説明 .....	13-6
13.2.1	レシーブシフトレジスタ (RSR) .....	13-6
13.2.2	レシーブデータレジスタ (RDR) .....	13-6
13.2.3	トランスミットシフトレジスタ (TSR) .....	13-7
13.2.4	トランスミットデータレジスタ (TDR) .....	13-7
13.2.5	シリアルモードレジスタ (SMR) .....	13-8
13.2.6	シリアルコントロールレジスタ (SCR) .....	13-12

13.2.7	シリアルステータスレジスタ (SSR) .....	13-17
13.2.8	ビットレートレジスタ (BRR) .....	13-23
13.3	動作説明 .....	13-30
13.3.1	概要 .....	13-30
13.3.2	調歩同期式モード時の動作 .....	13-33
13.3.3	マルチプロセッサ通信機能 .....	13-42
13.3.4	クロック同期式モード時の動作 .....	13-49
13.4	SCI 割り込み .....	13-57
13.5	使用上の注意 .....	13-58
13.5.1	SCI を使用する際の注意 .....	13-58
<b>第 14 章 スマートカードインタフェース</b>		
14.1	概要 .....	14-1
14.1.1	特長 .....	14-1
14.1.2	ブロック図 .....	14-2
14.1.3	端子構成 .....	14-2
14.1.4	レジスタ構成 .....	14-3
14.2	各レジスタの説明 .....	14-4
14.2.1	スマートカードモードレジスタ (SCMR) .....	14-4
14.2.2	シリアルステータスレジスタ (SSR) .....	14-6
14.2.3	シリアルモードレジスタ (SMR) .....	14-8
14.2.4	シリアルコントロールレジスタ (SCR) .....	14-9
14.3	動作説明 .....	14-10
14.3.1	概要 .....	14-10
14.3.2	端子接続 .....	14-10
14.3.3	データフォーマット .....	14-11
14.3.4	レジスタの設定 .....	14-12
14.3.5	クロック .....	14-14
14.3.6	データの送信 / 受信動作 .....	14-16
14.4	使用上の注意 .....	14-24
<b>第 15 章 A/D 変換器</b>		
15.1	概要 .....	15-1
15.1.1	特長 .....	15-1
15.1.2	ブロック図 .....	15-2
15.1.3	端子構成 .....	15-3
15.1.4	レジスタ構成 .....	15-3
15.2	各レジスタの説明 .....	15-4
15.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D) .....	15-4
15.2.2	A/D コントロール / ステータスレジスタ (ADCSR) .....	15-5
15.2.3	A/D コントロールレジスタ (ADCR) .....	15-8
15.3	CPU とのインタフェース .....	15-9
15.4	動作説明 .....	15-10
15.4.1	単一モード (SCAN = 0) .....	15-10
15.4.2	スキャンモード (SCAN = 1) .....	15-12
15.4.3	入力サンプリングと A/D 変換時間 .....	15-14

15.4.4	外部トリガ入力タイミング .....	15-15
15.5	割り込み .....	15-15
15.6	使用上の注意 .....	15-16
<b>第 16 章 D/A 変換器</b>		
16.1	概要 .....	16-1
16.1.1	特長 .....	16-1
16.1.2	ブロック図 .....	16-2
16.1.3	端子構成 .....	16-3
16.1.4	レジスタ構成 .....	16-3
16.2	各レジスタの説明 .....	16-4
16.2.1	D/A データレジスタ 0、1 (DADR0、DADR1) .....	16-4
16.2.2	D/A コントロールレジスタ (DACR) .....	16-5
16.2.3	D/A スタンバイコントロールレジスタ (DASTCR) .....	16-7
16.3	動作説明 .....	16-8
16.4	D/A 出力制御 .....	16-9
<b>第 17 章 RAM</b>		
17.1	概要 .....	17-1
17.1.1	ブロック図 .....	17-1
17.1.2	レジスタ構成 .....	17-2
17.2	システムコントロールレジスタ (SYSCR) .....	17-3
17.3	動作説明 .....	17-4
<b>第 18 章 クロック発振器</b>		
18.1	概要 .....	18-1
18.1.1	ブロック図 .....	18-1
18.2	発振器 .....	18-2
18.2.1	水晶発振子を接続する方法 .....	18-2
18.2.2	外部クロックを入力する方法 .....	18-4
18.3	デューティ補正回路 .....	18-7
18.4	プリスケアラ .....	18-7
18.5	分周器 .....	18-7
18.5.1	レジスタ構成 .....	18-7
18.5.2	分周比コントロールレジスタ (DIVCR) .....	18-7
18.5.3	使用上の注意 .....	18-8
<b>第 19 章 低消費電力状態</b>		
19.1	概要 .....	19-1
19.2	レジスタ構成 .....	19-3
19.2.1	システムコントロールレジスタ (SYSCR) .....	19-3
19.2.2	モジュールスタンバイコントロールレジスタ H (MSTCRH) .....	19-5
19.2.3	モジュールスタンバイコントロールレジスタ L (MSTCRL) .....	19-6
19.3	スリープモード .....	19-9
19.3.1	スリープモードへの遷移 .....	19-9
19.3.2	スリープモードの解除 .....	19-9

19.4	ソフトウェアスタンバイモード.....	19-10
19.4.1	ソフトウェアスタンバイモードへの遷移.....	19-10
19.4.2	ソフトウェアスタンバイモードの解除.....	19-10
19.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定.....	19-11
19.4.4	ソフトウェアスタンバイモードの応用例.....	19-13
19.4.5	使用上の注意.....	19-13
19.5	ハードウェアスタンバイモード.....	19-14
19.5.1	ハードウェアスタンバイモードへの遷移.....	19-14
19.5.2	ハードウェアスタンバイモードの解除.....	19-14
19.5.3	ハードウェアスタンバイモードのタイミング.....	19-14
19.6	モジュールスタンバイ機能.....	19-15
19.6.1	モジュールスタンバイタイミング.....	19-15
19.6.2	モジュールスタンバイ中のリード/ライト.....	19-15
19.6.3	使用上の注意.....	19-15
19.7	φクロック出力禁止機能.....	19-17
<b>第 20 章 電気的特性</b>		
20.1	絶対最大定格.....	20-1
20.2	電気的特性.....	20-2
20.2.1	DC 特性.....	20-2
20.2.2	AC 特性.....	20-9
20.2.3	A/D 変換特性.....	20-14
20.2.4	D/A 変換特性.....	20-15
20.3	動作タイミング.....	20-16
20.3.1	クロックタイミング.....	20-16
20.3.2	制御信号タイミング.....	20-17
20.3.3	バスタイミング.....	20-18
20.3.4	DRAM インタフェースバスタイミング.....	20-24
20.3.5	TPC、I/O ポートタイミング.....	20-28
20.3.6	タイマ入出力タイミング.....	20-29
20.3.7	SCI 入出力タイミング.....	20-30
20.3.8	DMAC タイミング.....	20-31
<b>付録</b>		
A.	命令.....	付録-1
A.1	命令一覧.....	付録-1
A.2	オペレーションコードマップ.....	付録-16
A.3	命令実行ステート数.....	付録-19
B.	内部 I/O レジスタ一覧.....	付録-27
B.1	アドレス一覧.....	付録-27
B.2	機能一覧.....	付録-35
C.	I/O ポートブロック図.....	付録-110
C.1	ポート 4 ブロック図.....	付録-110
C.2	ポート 6 ブロック図.....	付録-111
C.3	ポート 7 ブロック図.....	付録-115
C.4	ポート 8 ブロック図.....	付録-116

C.5	ポート9ブロック図 .....	付録-120
C.6	ポートAブロック図 .....	付録-126
C.7	ポートBブロック図 .....	付録-129
D.	端子状態 .....	付録-135
D.1	各処理状態におけるポートの状態 .....	付録-135
D.2	リセット時の端子状態 .....	付録-140
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて .....	付録-142
F.	型名一覧 .....	付録-143
G.	外形寸法図 .....	付録-144
H.	H8/300H シリーズ製品仕様比較 .....	付録-147
H.1	H8/3067、H8/3062 グループと H8/3048 グループ、H8/3007、 H8/3006 と H8/3002 の相違点 .....	付録-147
H.2	100 ピンパッケージ品の端子機能比較 (FP-100B、TFP-100B の場合) .....	付録-149

# 1. 概要

## 1.1 概要

H8/3006、H8/3007 は、ルネサス テクノロジオリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、RAM、16 ビットタイマ、8 ビットタイマ、プログラムブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ (DMAC) などを内蔵しています。

MCU 動作モードは、モード 1~4 があり、データバス幅とアドレス空間を選択することができます。H8/3006、H8/3007 の特長を表 1.1 に示します。

表 1.1 特長

項目	仕様
CPU	H8/300CPU に対してオブジェクトレベルで上位互換 汎用レジスタマシン • 汎用レジスタ：16 ビット×16 本 （8 ビット×16 本+16 ビット×8 本、32 ビット×8 本としても使用可能） 高速動作 • 最大動作周波数：20MHz • 加減算：100ns • 乗除算：700ns アドレス空間 16M バイト 特長ある命令 • 8 / 16 / 32 ビット転送・演算命令 • 符号なし / 符号付き乗算命令 （8 ビット×8 ビット、16 ビット×16 ビット） • 符号なし / 符号付き除算命令 （16 ビット÷8 ビット、32 ビット÷16 ビット） • ビットアキュムレータ機能 • レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	H8/3007 • RAM：4K バイト H8/3006 • RAM：2K バイト
割り込みコントローラ	• 外部割り込み端子 7 本：NMI、 $\overline{IRQ}_0 \sim \overline{IRQ}_6$ • 内部割り込み 36 要因 • 3 レベルの割り込み優先順位が設定可能

## 1. 概要

項目	仕様
バスコントローラ	<ul style="list-style-type: none"> <li>• アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能</li> <li>• エリア 0~7 に対してそれぞれチップセレクト出力可能</li> <li>• エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能</li> <li>• エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能</li> <li>• 2 種類のウェイトモードを設定可能</li> <li>• エリアごとにプログラムウェイトのステート数を設定可能</li> <li>• バースト ROM を直接接続可能</li> <li>• 最大 8M バイトの DRAM を直接接続可能(またはインターバルタイマとして使用可能)</li> <li>• バス権調停機能</li> </ul>
DMA コントローラ (DMAC)	<p>ショートアドレスモード</p> <ul style="list-style-type: none"> <li>• 最大 4 チャネルを使用可能</li> <li>• I/O モード / アイドルモード / リピートモードの選択可能</li> <li>• 起動要因: 16 ビットタイマチャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込み、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、外部リクエスト</li> </ul> <p>フルアドレスモード</p> <ul style="list-style-type: none"> <li>• 最大 2 チャネルを使用可能</li> <li>• ノーマルモード / ブロック転送モードの選択可能</li> <li>• 起動要因: 16 ビットタイマチャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込み、A/D 変換器の変換終了割り込み、外部リクエスト、オートリクエスト</li> </ul>
16 ビットタイマ × 3 チャネル	<ul style="list-style-type: none"> <li>• 16 ビットタイマ 3 チャネルを内蔵。最大 6 端子のパルス出力、または最大 6 種類のパルスの入力処理が可能</li> <li>• 16 ビットタイマカウンタ × 1 (チャンネル 0~2)</li> <li>• アウトプットコンペア出力 / インพุットキャプチャ入力 (兼用端子) × 2 (チャンネル 0~2)</li> <li>• 同期動作可能 (チャンネル 0~2)</li> <li>• PWM モード設定可能 (チャンネル 0~2)</li> <li>• 位相計数モード設定可能 (チャンネル 2)</li> <li>• コンペアマッチ / インพุットキャプチャ A の割り込みにより DMAC 起動可能 (チャンネル 0~2)</li> </ul>
8 ビットタイマ × 4 チャネル	<ul style="list-style-type: none"> <li>• 8 ビットアップカウンタ (外部イベントカウント可能)</li> <li>• タイムコンスタントレジスタ × 2</li> <li>• 2 チャネルの接続が可能</li> </ul>
プログラマブルタイミングパターンコントローラ (TPC)	<ul style="list-style-type: none"> <li>• 16 ビットタイマをタイムベースとした最大 16 ビットのパルス出力が可能</li> <li>• 最大 4 ビット × 4 系統のパルス出力が可能 (16 ビット × 1 系統、8 ビット × 2 系統などの設定も可能)</li> <li>• ノンオーバーラップモード設定可能</li> <li>• DMAC による出力データの転送可能</li> </ul>
ウォッチドッグタイマ (WDT) × 1 チャネル	<ul style="list-style-type: none"> <li>• オーバフローにより内部リセット信号を発生可能</li> <li>• リセット信号の外部出力可能</li> <li>• インターバルタイマとして使用可能</li> </ul>
シリアルコミュニケーションインタフェース (SCI) × 3 チャネル	<ul style="list-style-type: none"> <li>• 調歩同期 / クロック同期式モードの選択可能</li> <li>• 送受信同時動作 (全二重動作) 可能</li> <li>• 専用のボーレートジェネレータ内蔵</li> <li>• スマートカードインタフェース拡張機能内蔵</li> </ul>

項目	仕様																																		
A/D 変換器	<ul style="list-style-type: none"> <li>分解能：10 ビット</li> <li>8 チャンネル：単一モード / スキャンモード選択可能</li> <li>アナログ変換電圧範囲の設定が可能</li> <li>サンプル&amp;ホールド機能付き</li> <li>外部トリガまたは 8 ビットタイマのコンペアマッチによる A/D 変換開始可能</li> <li>A/D 変換終了割り込みによる DMAC 起動可能</li> </ul>																																		
D/A 変換器	<ul style="list-style-type: none"> <li>分解能：8 ビット</li> <li>2 チャンネル</li> <li>ソフトウェアスタンバイモード時 D/A 出力保持可能</li> </ul>																																		
I/O ポート	<ul style="list-style-type: none"> <li>入出力端子 35 本</li> <li>入力端子 12 本</li> </ul>																																		
動作モード	<p>4 種類の MCU 動作モード</p> <table border="1"> <thead> <tr> <th>モード</th> <th>アドレス空間</th> <th>アドレス端子</th> <th>バス幅初期値</th> <th>バス幅最大値</th> </tr> </thead> <tbody> <tr> <td>モード 1</td> <td>1M バイト</td> <td><math>A_{19} \sim A_0</math></td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 2</td> <td>1M バイト</td> <td><math>A_{19} \sim A_0</math></td> <td>16 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 3</td> <td>16M バイト</td> <td><math>A_{23} \sim A_0</math></td> <td>8 ビット</td> <td>16 ビット</td> </tr> <tr> <td>モード 4</td> <td>16M バイト</td> <td><math>A_{23} \sim A_0</math></td> <td>16 ビット</td> <td>16 ビット</td> </tr> </tbody> </table>	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値	モード 1	1M バイト	$A_{19} \sim A_0$	8 ビット	16 ビット	モード 2	1M バイト	$A_{19} \sim A_0$	16 ビット	16 ビット	モード 3	16M バイト	$A_{23} \sim A_0$	8 ビット	16 ビット	モード 4	16M バイト	$A_{23} \sim A_0$	16 ビット	16 ビット									
モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値																															
モード 1	1M バイト	$A_{19} \sim A_0$	8 ビット	16 ビット																															
モード 2	1M バイト	$A_{19} \sim A_0$	16 ビット	16 ビット																															
モード 3	16M バイト	$A_{23} \sim A_0$	8 ビット	16 ビット																															
モード 4	16M バイト	$A_{23} \sim A_0$	16 ビット	16 ビット																															
低消費電力状態	<ul style="list-style-type: none"> <li>スリープモード</li> <li>ソフトウェアスタンバイモード</li> <li>ハードウェアスタンバイモード</li> <li>モジュール別スタンバイ機能あり</li> <li>システムクロック分周比可変</li> </ul>																																		
その他	<ul style="list-style-type: none"> <li>クロック発振器内蔵</li> </ul>																																		
製品ラインアップ	<table border="1"> <thead> <tr> <th colspan="2">製品名</th> <th>製品型名</th> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td rowspan="6">H8/3007</td> <td rowspan="3">5V ± 10% (5V 版)</td> <td>HD6413007F</td> <td>100ピンQFP (FP-100B)</td> </tr> <tr> <td>HD6413007TE</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6413007FP</td> <td>100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="3">2.7 ~ 5.5V (低電圧版)</td> <td>HD6413007VF</td> <td>100ピンQFP (FP-100B)</td> </tr> <tr> <td>HD6413007VTE</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6413007VFP</td> <td>100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="6">H8/3006</td> <td rowspan="3">5V ± 10% (5V 版)</td> <td>HD6413006F</td> <td>100ピンQFP (FP-100B)</td> </tr> <tr> <td>HD6413006TE</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6413006FP</td> <td>100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="3">2.7 ~ 5.5V (低電圧版)</td> <td>HD6413006VF</td> <td>100ピンQFP (FP-100B)</td> </tr> <tr> <td>HD6413006VTE</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6413006VFP</td> <td>100ピンQFP (FP-100A)</td> </tr> </tbody> </table>	製品名		製品型名	パッケージ	H8/3007	5V ± 10% (5V 版)	HD6413007F	100ピンQFP (FP-100B)	HD6413007TE	100ピンTQFP (TFP-100B)	HD6413007FP	100ピンQFP (FP-100A)	2.7 ~ 5.5V (低電圧版)	HD6413007VF	100ピンQFP (FP-100B)	HD6413007VTE	100ピンTQFP (TFP-100B)	HD6413007VFP	100ピンQFP (FP-100A)	H8/3006	5V ± 10% (5V 版)	HD6413006F	100ピンQFP (FP-100B)	HD6413006TE	100ピンTQFP (TFP-100B)	HD6413006FP	100ピンQFP (FP-100A)	2.7 ~ 5.5V (低電圧版)	HD6413006VF	100ピンQFP (FP-100B)	HD6413006VTE	100ピンTQFP (TFP-100B)	HD6413006VFP	100ピンQFP (FP-100A)
製品名		製品型名	パッケージ																																
H8/3007	5V ± 10% (5V 版)	HD6413007F	100ピンQFP (FP-100B)																																
		HD6413007TE	100ピンTQFP (TFP-100B)																																
		HD6413007FP	100ピンQFP (FP-100A)																																
	2.7 ~ 5.5V (低電圧版)	HD6413007VF	100ピンQFP (FP-100B)																																
		HD6413007VTE	100ピンTQFP (TFP-100B)																																
		HD6413007VFP	100ピンQFP (FP-100A)																																
H8/3006	5V ± 10% (5V 版)	HD6413006F	100ピンQFP (FP-100B)																																
		HD6413006TE	100ピンTQFP (TFP-100B)																																
		HD6413006FP	100ピンQFP (FP-100A)																																
	2.7 ~ 5.5V (低電圧版)	HD6413006VF	100ピンQFP (FP-100B)																																
		HD6413006VTE	100ピンTQFP (TFP-100B)																																
		HD6413006VFP	100ピンQFP (FP-100A)																																

# 1. 概要

## 1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

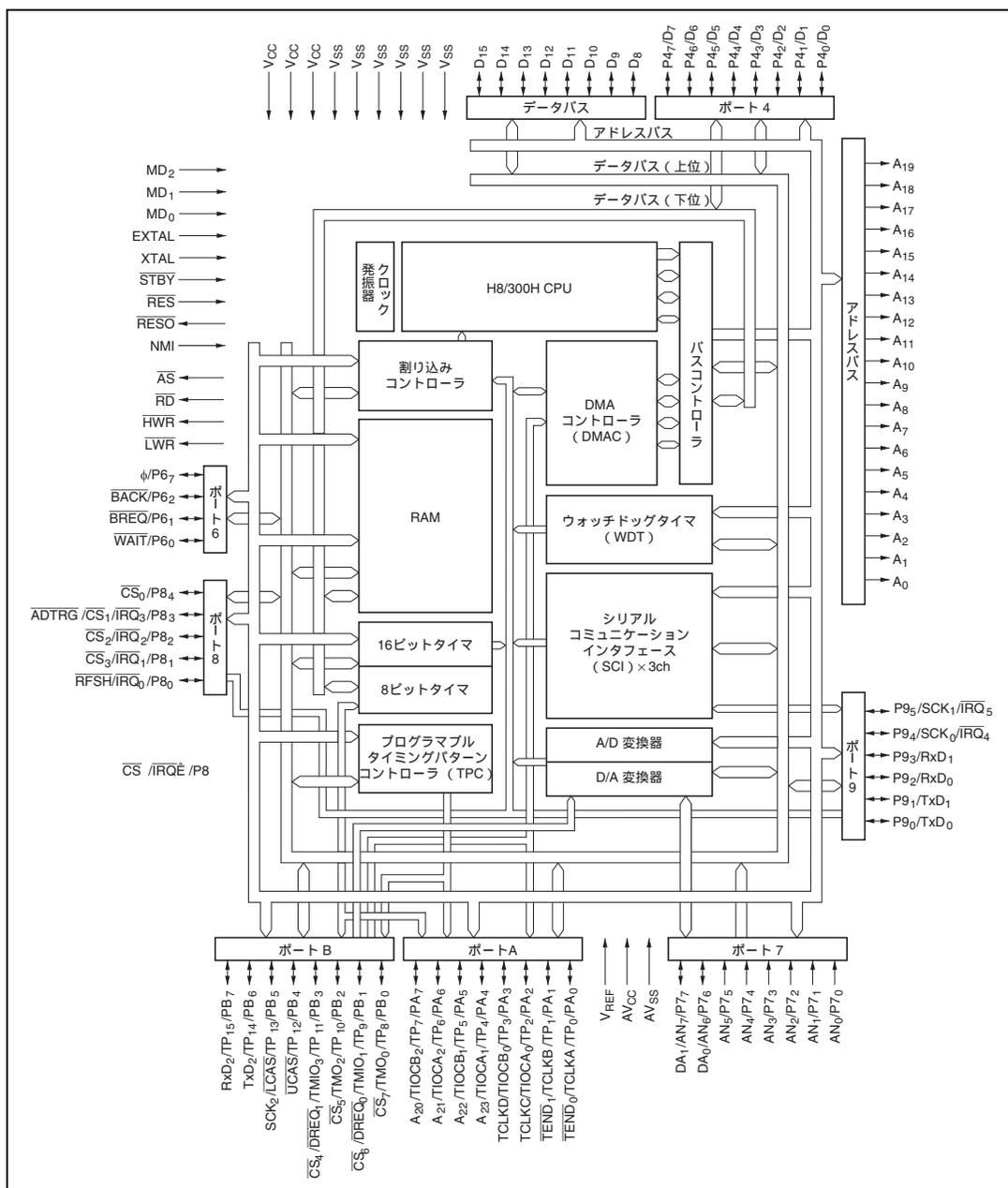


図 1.1 内部ブロック図

## 1.3 端子説明

### 1.3.1 ピン配置図

H8/3006、H8/3007 のピン配置図 FP-100B、TFP-100B を図 1.2 に、FP-100A を図 1.3 に示します。

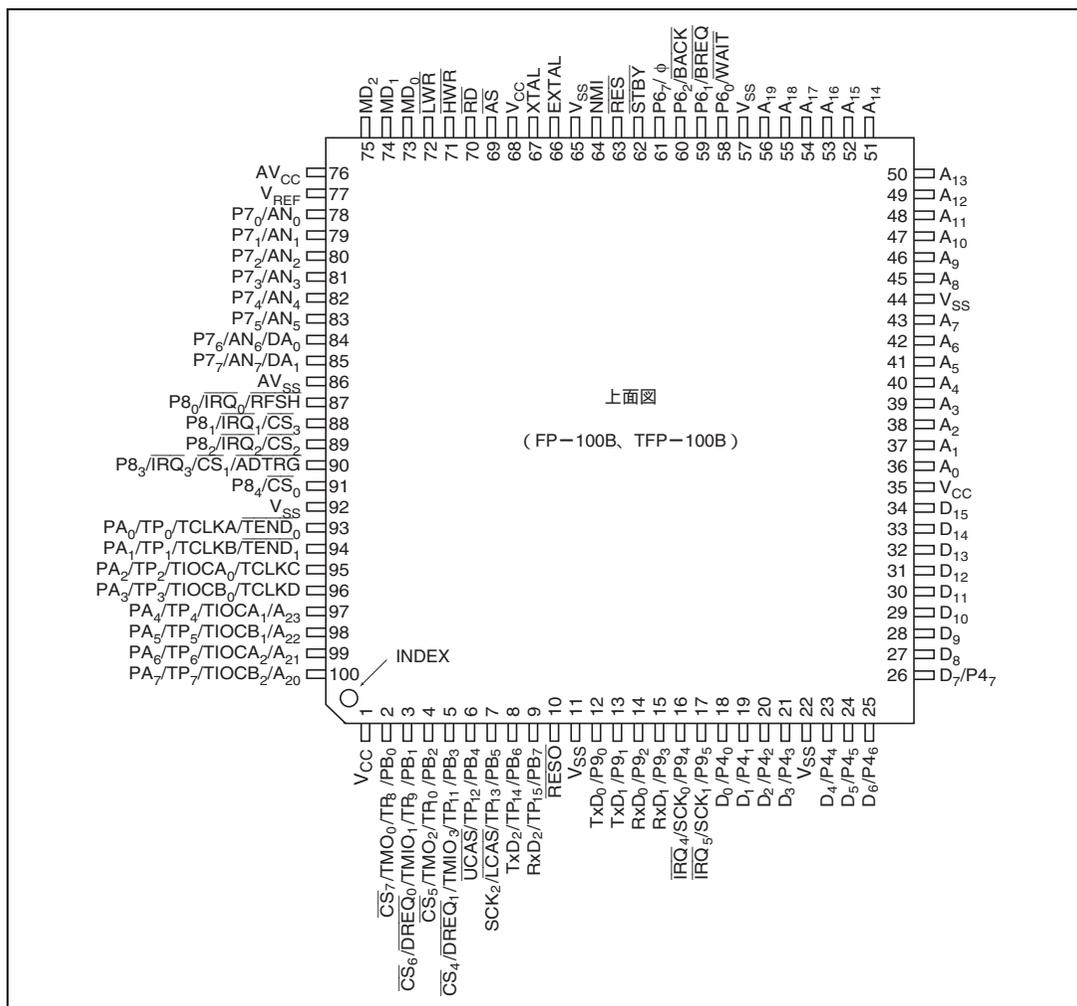


図 1.2 ピン配置図 (FP-100B、TFP-100B : 上面図)

# 1. 概要

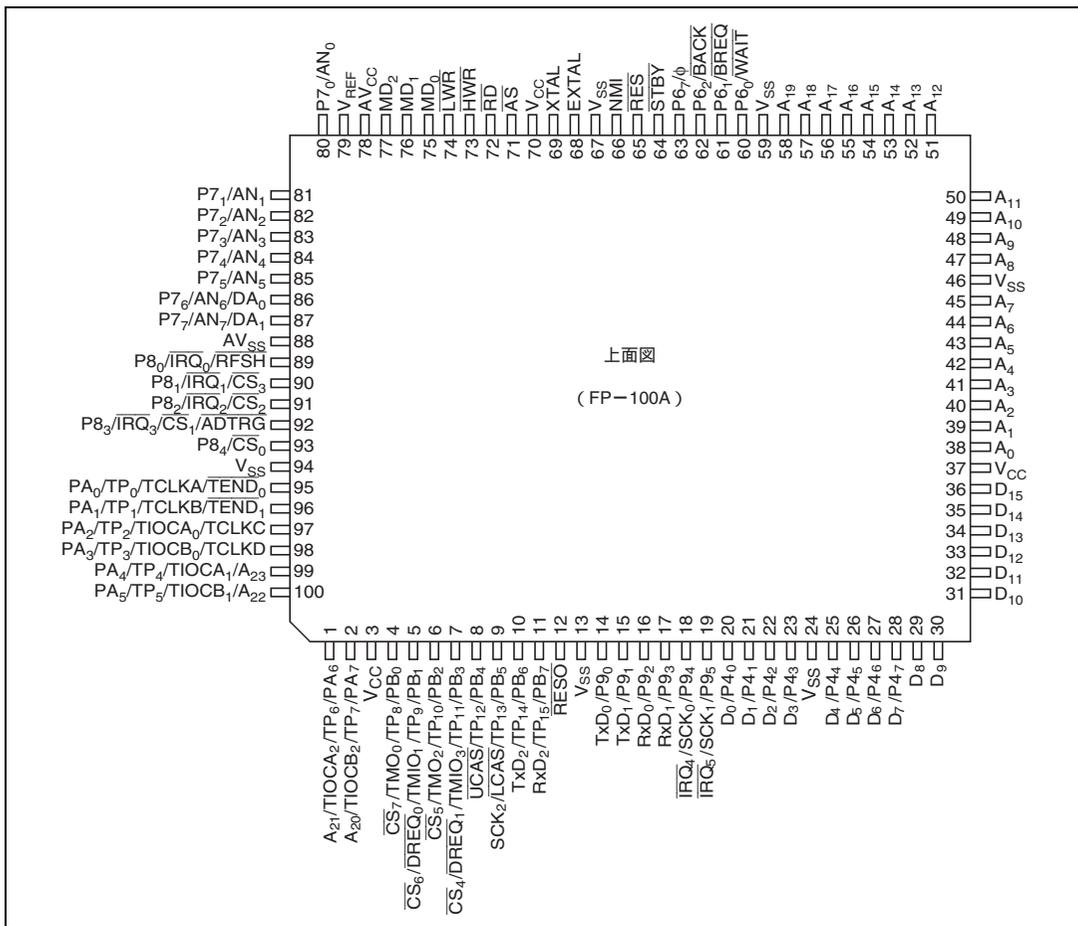


図 1.3 ピン配置図 (FP-100A : 上面図)

## 1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号		入出力	名称および機能																																				
		FP-100B TFP-100B	FP-100A																																						
電源	Vcc	1、35、68	3、37、70	入力	電源 電源に接続します。 Vcc 端子は、全端子をシステムの電源に接続してください。																																				
	Vss	11、22、44、 57、65、92	13、24、46、 59、67、94	入力	グラウンド 電源 (0V) に接続します。 Vss 端子は、全端子をシステムの電源 (0V) に接続してください。																																				
クロック	XTAL	67	69	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。																																				
	EXTAL	66	68	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。																																				
	$\phi$	61	63	出力	システムクロック 外部デバイスにシステムクロックを供給します。																																				
動作モードコントロール	MD <sub>2</sub> ~ MD <sub>0</sub>	75 ~ 73	77 ~ 75	入力	モード端子 動作モードを設定します。 MD <sub>2</sub> ~ MD <sub>0</sub> 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" data-bbox="742 1199 1190 1499"> <thead> <tr> <th>MD<sub>2</sub></th> <th>MD<sub>1</sub></th> <th>MD<sub>0</sub></th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>-</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>モード 1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>モード 2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>モード 3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>モード 4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>-</td> </tr> </tbody> </table>	MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	動作モード	0	0	0	-	0	0	1	モード 1	0	1	0	モード 2	0	1	1	モード 3	1	0	0	モード 4	1	0	1	-	1	1	0	-	1	1	1	-
MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	動作モード																																						
0	0	0	-																																						
0	0	1	モード 1																																						
0	1	0	モード 2																																						
0	1	1	モード 3																																						
1	0	0	モード 4																																						
1	0	1	-																																						
1	1	0	-																																						
1	1	1	-																																						

## 1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	FP-100A		
システム 制御	$\overline{\text{RES}}$	63	65	入力	<b>リセット入力</b> この端子がローレベルになると、リセット状態となります。
	$\overline{\text{RESO}}$	10	12	出力	<b>リセット出力</b> 外部デバイスに対し、WDTの発生したリセット信号を出力します。
	$\overline{\text{STBY}}$	62	64	入力	<b>スタンバイ</b> この端子がローレベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{BREQ}}$	59	61	入力	<b>バス権要求</b> 本 LSI に対し、外部バスマスタがバス権を要求します。
	$\overline{\text{BACK}}$	60	62	出力	<b>バス権要求アクノリッジ</b> バス権を外部バスマスタに解放したことを示します。
割り込み	NMI	64	66	入力	<b>ノンマスカブル割り込み</b> マスク不可能な割り込みを要求します。
	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$	17、16、 90~87	19、18、 92~89	入力	<b>割り込み要求 5~0</b> マスク可能な割り込みを要求します。
アドレスバス	$A_{23} \sim A_0$	100~97、 56~45、 43~36	99、100、1、 2、58~47、 45~38	出力	<b>アドレスバス</b> アドレスを出力します。
データバス	$D_{15} \sim D_0$	34~23、 21~18	36~25、 23~20	入出力	<b>データバス</b> 双方向データバスです。
バス制御	$\overline{\text{CS}}_7 \sim \overline{\text{CS}}_0$	2~5、 88~91、	4~7、 90~93	出力	<b>チップセレクト</b> エリア 7~0 の選択信号です。
	$\overline{\text{AS}}$	69	71	出力	<b>アドレスストロブ</b> この端子がローレベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	70	72	出力	<b>リード</b> この端子がローレベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	71	73	出力	<b>ハイライト</b> この端子がローレベルのとき、外部アドレス空間のライト状態であり、データバスの上位側 ( $D_{15} \sim D_8$ ) が有効であることを示します。
	LWR	72	74	出力	<b>ローライト</b> この端子がローレベルのとき、外部アドレス空間のライト状態であり、データバスの下位側 ( $D_7 \sim D_0$ ) が有効であることを示します。
	$\overline{\text{WAIT}}$	58	60	入力	<b>ウェイト</b> 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	FP-100A		
DRAM インタフェース	$\overline{\text{RFSH}}$	87	89	出力	リフレッシュ リフレッシュサイクルを示します。
	$\overline{\text{CS}}_2 \sim \overline{\text{CS}}_5$	89、88、5、4	91、90、7、6	出力	ロウアドレスストロープ ( $\overline{\text{RAS}}$ ) DRAM のロウアドレスストロープ信号です。
	$\overline{\text{RD}}$	70	72	出力	ライトイネーブル ( $\overline{\text{WE}}$ ) DRAM のライトイネーブル信号です。
	$\overline{\text{HWR}}$ $\overline{\text{UCAS}}$	71 6	73 8	出力	アッパーカラムアドレスストロープ ( $\overline{\text{UCAS}}$ ) DRAM のカラムアドレスストロープ信号です。
	$\overline{\text{LWR}}$ $\overline{\text{LCAS}}$	72 7	74 9	出力	ローアーカーラムアドレスストロープ ( $\overline{\text{LCAS}}$ ) DRAM のカラムアドレスストロープ信号です。
DMA コントローラ (DMAC)	$\overline{\text{DREQ}}_1$ 、 $\overline{\text{DREQ}}_0$	5、3	7、5	入力	DMA 要求 1、0 DMAC の起動を要求します。
	$\overline{\text{TEND}}_1$ 、 $\overline{\text{TEND}}_0$	94、93	96、95	出力	DMA 終了 1、0 DMAC のデータ転送終了を示します。
16 ビット タイマ	TCLKD ~ TCLKA	96 ~ 93	98 ~ 95	入力	クロック入力 D ~ A 外部クロックを入力します。
	$\text{TIOCA}_2 \sim$ $\text{TIOCA}_0$	99、97、95	1、99、97	入出力	インプットキャプチャ / アウトプットコンペア A2 ~ A0 GRA2 ~ GRA0 のアウトプットコンペア出力 / インプットキャプチャ入力 / PWM 出力端子です。
	$\text{TIOCB}_2 \sim$ $\text{TIOCB}_0$	100、98、96	2、100、98	入出力	インプットキャプチャ / アウトプットコンペア B2 ~ B0 GRB2 ~ GRB0 のアウトプットコンペア出力 / インプットキャプチャ入力 / PWM 出力端子です。
8 ビット タイマ	$\text{TMO}_0$ 、 $\text{TMO}_2$	2、4	4、6	出力	コンペアマッチ出力 コンペアマッチ出力端子です。
	$\text{TMIO}_1$ 、 $\text{TMIO}_3$	3、5	5、7	入出力	インプットキャプチャ入力 / コンペアマッチ出力 インプットキャプチャ入力 / コンペアマッチ出力端子です。
	TCLKD ~ TCLKA	96 ~ 93	98 ~ 95	入力	カウンタ外部クロック入力 カウンタに入力する外部クロックの入力端子です。
プログラマブル タイミング パターンコントローラ (TPC)	$\text{TP}_{15} \sim \text{TP}_0$	9 ~ 2、 100 ~ 93	11 ~ 4、2、1、 100 ~ 95	出力	TPC 出力 15 ~ 0 パルス出力端子です。
シリアルコミュニケーション インタフェース (SCI)	$\text{TxD}_2 \sim \text{TxD}_0$	8、13、12	10、15、14	出力	トランスミットデータ (チャンネル 0、1、2) SCI のデータ出力端子です。
	$\text{RxD}_2 \sim$ $\text{RxD}_0$	9、15、14	11、17、16	入力	レシーブデータ (チャンネル 0、1、2) SCI のデータ入力端子です。
	$\text{SCK}_2 \sim$ $\text{SCK}_0$	7、17、16	9、19、18	入出力	シリアルクロック (チャンネル 0、1、2) SCI のクロック入出力端子です。

## 1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	FP-100A		
A/D 変換器	AN <sub>7</sub> ~ AN <sub>0</sub>	85 ~ 78	87 ~ 80	入力	アナログ7-0 アナログ入力端子です。
	ADTRG	90	92	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA <sub>1</sub> 、DA <sub>0</sub>	85、84	87、86	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AVcc	76	78	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源に接続してください。
	AVss	86	88	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	V <sub>REF</sub>	77	79	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源に接続してください。
I/O ポート	P4 <sub>7</sub> ~ P4 <sub>0</sub>	26 ~ 23、 21 ~ 18	28 ~ 25、 23 ~ 20	入出力	ポート4 8ビットの入出力端子です。 ポート4 データディレクションレジスタ (P4DDR) によって、1ビットごとに入出力を指定できます。
	P6 <sub>7</sub> 、P6 <sub>2</sub> ~ P6 <sub>0</sub>	61 ~ 58	63 ~ 60	入出力	ポート6 4ビットの入出力端子です。 ポート6 データディレクションレジスタ (P6DDR) によって、1ビットごとに入出力を指定できます。
	P7 <sub>7</sub> ~ P7 <sub>0</sub>	85 ~ 78	87 ~ 80	入力	ポート7 8ビットの入力端子です。
	P8 <sub>4</sub> ~ P8 <sub>0</sub>	91 ~ 87	93 ~ 89	入出力	ポート8 5ビットの入出力端子です。 ポート8 データディレクションレジスタ (P8DDR) によって、1ビットごとに入出力を指定できます。
	P9 <sub>5</sub> ~ P9 <sub>0</sub>	17 ~ 12	19 ~ 14	入出力	ポート9 6ビットの入出力端子です。 ポート9 データディレクションレジスタ (P9DDR) によって、1ビットごとに入出力を指定できます。
	PA <sub>7</sub> ~ PA <sub>0</sub>	100 ~ 93	2、1、 100 ~ 95	入出力	ポートA 8ビットの入出力端子です。 ポートA データディレクションレジスタ (PADDR) によって、1ビットごとに入出力を指定できます。
	PB <sub>7</sub> ~ PB <sub>0</sub>	9 ~ 2	11 ~ 4	入出力	ポートB 8ビットの入出力端子です。 ポートB データディレクションレジスタ (PBDDR) によって、1ビットごとに入出力を指定できます。

## 1.3.3 モード別ピン配置一覧

モード別ピン配置一覧を表 1.3 に示します。

表 1.3 モード別ピン配置一覧 (FP-100B、TFP-100B、FP-100A)

ピン番号		端子名			
FP-100B TFP-100B	FP-100A	モード 1	モード 2	モード 3	モード 4
1	3	Vcc			
2	4	PB <sub>0</sub> /TP <sub>8</sub> /TMO <sub>0</sub> /CS <sub>7</sub>			
3	5	PB <sub>1</sub> /TP <sub>9</sub> /TMIO <sub>1</sub> /DREQ <sub>0</sub> /CS <sub>6</sub>			
4	6	PB <sub>2</sub> /TP <sub>10</sub> /TMO <sub>2</sub> /CS <sub>5</sub>			
5	7	PB <sub>3</sub> /TP <sub>11</sub> /TMIO <sub>3</sub> /DREQ <sub>1</sub> /CS <sub>4</sub>			
6	8	PB <sub>4</sub> /TP <sub>12</sub> /UCAS			
7	9	PB <sub>5</sub> /TP <sub>13</sub> /LCAS/SCK <sub>2</sub>			
8	10	PB <sub>6</sub> /TP <sub>14</sub> /TxD <sub>2</sub>			
9	11	PB <sub>7</sub> /TP <sub>15</sub> /RxD <sub>2</sub>			
10	12	RESO			
11	13	Vss			
12	14	P9 <sub>0</sub> /TxD <sub>0</sub>			
13	15	P9 <sub>1</sub> /TxD <sub>1</sub>			
14	16	P9 <sub>2</sub> /RxD <sub>0</sub>			
15	17	P9 <sub>3</sub> /RxD <sub>1</sub>			
16	18	P9 <sub>4</sub> /IRQ <sub>4</sub> /SCK <sub>0</sub>			
17	19	P9 <sub>5</sub> /IRQ <sub>5</sub> /SCK <sub>1</sub>			
18	20	P4 <sub>0</sub> /D <sub>0</sub> * <sup>1</sup>	P4 <sub>0</sub> /D <sub>0</sub> * <sup>2</sup>	P4 <sub>0</sub> /D <sub>0</sub> * <sup>1</sup>	P4 <sub>0</sub> /D <sub>0</sub> * <sup>2</sup>
19	21	P4 <sub>1</sub> /D <sub>1</sub> * <sup>1</sup>	P4 <sub>1</sub> /D <sub>1</sub> * <sup>2</sup>	P4 <sub>1</sub> /D <sub>1</sub> * <sup>1</sup>	P4 <sub>1</sub> /D <sub>1</sub> * <sup>2</sup>
20	22	P4 <sub>2</sub> /D <sub>2</sub> * <sup>1</sup>	P4 <sub>2</sub> /D <sub>2</sub> * <sup>2</sup>	P4 <sub>2</sub> /D <sub>2</sub> * <sup>1</sup>	P4 <sub>2</sub> /D <sub>2</sub> * <sup>2</sup>
21	23	P4 <sub>3</sub> /D <sub>3</sub> * <sup>1</sup>	P4 <sub>3</sub> /D <sub>3</sub> * <sup>2</sup>	P4 <sub>3</sub> /D <sub>3</sub> * <sup>1</sup>	P4 <sub>3</sub> /D <sub>3</sub> * <sup>2</sup>
22	24	Vss			
23	25	P4 <sub>4</sub> /D <sub>4</sub> * <sup>1</sup>	P4 <sub>4</sub> /D <sub>4</sub> * <sup>2</sup>	P4 <sub>4</sub> /D <sub>4</sub> * <sup>1</sup>	P4 <sub>4</sub> /D <sub>4</sub> * <sup>2</sup>
24	26	P4 <sub>5</sub> /D <sub>5</sub> * <sup>1</sup>	P4 <sub>5</sub> /D <sub>5</sub> * <sup>2</sup>	P4 <sub>5</sub> /D <sub>5</sub> * <sup>1</sup>	P4 <sub>5</sub> /D <sub>5</sub> * <sup>2</sup>
25	27	P4 <sub>6</sub> /D <sub>6</sub> * <sup>1</sup>	P4 <sub>6</sub> /D <sub>6</sub> * <sup>2</sup>	P4 <sub>6</sub> /D <sub>6</sub> * <sup>1</sup>	P4 <sub>6</sub> /D <sub>6</sub> * <sup>2</sup>
26	28	P4 <sub>7</sub> /D <sub>7</sub> * <sup>1</sup>	P4 <sub>7</sub> /D <sub>7</sub> * <sup>2</sup>	P4 <sub>7</sub> /D <sub>7</sub> * <sup>1</sup>	P4 <sub>7</sub> /D <sub>7</sub> * <sup>2</sup>
27	29	D <sub>8</sub>			
28	30	D <sub>9</sub>			
29	31	D <sub>10</sub>			
30	32	D <sub>11</sub>			
31	33	D <sub>12</sub>			
32	34	D <sub>13</sub>			
33	35	D <sub>14</sub>			
34	36	D <sub>15</sub>			
35	37	Vcc			
36	38	A <sub>0</sub>			

## 1. 概要

ピン番号		端子名			
FP-100B TFP-100B	FP-100A	モード 1	モード 2	モード 3	モード 4
37	39	A <sub>1</sub>			
38	40	A <sub>2</sub>			
39	41	A <sub>3</sub>			
40	42	A <sub>4</sub>			
41	43	A <sub>5</sub>			
42	44	A <sub>6</sub>			
43	45	A <sub>7</sub>			
44	46	V <sub>SS</sub>			
45	47	A <sub>8</sub>			
46	48	A <sub>9</sub>			
47	49	A <sub>10</sub>			
48	50	A <sub>11</sub>			
49	51	A <sub>12</sub>			
50	52	A <sub>13</sub>			
51	53	A <sub>14</sub>			
52	54	A <sub>15</sub>			
53	55	A <sub>16</sub>			
54	56	A <sub>17</sub>			
55	57	A <sub>18</sub>			
56	58	A <sub>19</sub>			
57	59	V <sub>SS</sub>			
58	60	P6 <sub>0</sub> /WAIT			
59	61	P6 <sub>1</sub> /BREQ			
60	62	P6 <sub>2</sub> /BACK			
61	63	P6 <sub>3</sub> /φ			
62	64	STBY			
63	65	RES			
64	66	NMI			
65	67	V <sub>SS</sub>			
66	68	EXTAL			
67	69	XTAL			
68	70	V <sub>CC</sub>			
69	71	AS			
70	72	RD			
71	73	HWR			
72	74	LWR			
73	75	MD <sub>0</sub>			
74	76	MD <sub>1</sub>			
75	77	MD <sub>2</sub>			
76	78	AV <sub>CC</sub>			
77	79	V <sub>REF</sub>			

ピン番号		端子名			
FP-100B TFP-100B	FP-100A	モード 1	モード 2	モード 3	モード 4
78	80	P7 <sub>0</sub> /AN <sub>0</sub>			
79	81	P7 <sub>1</sub> /AN <sub>1</sub>			
80	82	P7 <sub>2</sub> /AN <sub>2</sub>			
81	83	P7 <sub>3</sub> /AN <sub>3</sub>			
82	84	P7 <sub>4</sub> /AN <sub>4</sub>			
83	85	P7 <sub>5</sub> /AN <sub>5</sub>			
84	86	P7 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>			
85	87	P7 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>			
86	88	AVss			
87	89	P8 <sub>0</sub> /IRQ <sub>0</sub> /RFSH			
88	90	P8 <sub>1</sub> /IRQ <sub>1</sub> /CS <sub>3</sub>			
89	91	P8 <sub>2</sub> /IRQ <sub>2</sub> /CS <sub>2</sub>			
90	92	P8 <sub>3</sub> /IRQ <sub>3</sub> /CS <sub>1</sub> /ADTRG			
91	93	P8 <sub>4</sub> /CS <sub>0</sub>			
92	94	Vss			
93	95	PA <sub>0</sub> /TP <sub>0</sub> /TCLKA/TEND <sub>0</sub>			
94	96	PA <sub>1</sub> /TP <sub>1</sub> /TCLKB/TEND <sub>1</sub>			
95	97	PA <sub>2</sub> /TP <sub>2</sub> /TIOCA <sub>0</sub> /TCLKC			
96	98	PA <sub>3</sub> /TP <sub>3</sub> /TIOCB <sub>0</sub> /TCLKD			
97	99	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub>	PA <sub>4</sub> /TP <sub>4</sub> /TIOCA <sub>1</sub> /A <sub>23</sub>		
98	100	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub>	PA <sub>5</sub> /TP <sub>5</sub> /TIOCB <sub>1</sub> /A <sub>22</sub>		
99	1	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub>	PA <sub>6</sub> /TP <sub>6</sub> /TIOCA <sub>2</sub> /A <sub>21</sub>		
100	2	PA <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>2</sub>	A <sub>20</sub>		

- 【注】 \*1 モード 1、3 では、リセット直後、P4<sub>0</sub>/D<sub>0</sub> ~ P4<sub>7</sub>/D<sub>7</sub> 端子は P4<sub>0</sub> ~ P4<sub>7</sub> 端子となっています (プログラムで変更できます)。
- \*2 モード 2、4 では、リセット直後、P4<sub>0</sub>/D<sub>0</sub> ~ P4<sub>7</sub>/D<sub>7</sub> 端子は D<sub>0</sub> ~ D<sub>7</sub> 端子となっています (プログラムで変更できます)。

## 1. 概要

---

---

## 2. CPU

---

### 2.1 概要

H8/300H CPU は、H8/300CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

#### 2.1.1 特長

H8/300H CPU には、次の特長があります。

H8/300CPU 上位互換

- H8/300 シリーズのオブジェクトプログラムを実行可能

汎用レジスタ方式

- 16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能)

62 種類の基本命令

- 8/16/32 ビット転送、演算命令
- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16, ERn), @(d:24, ERn))
- ポストインクリメント/プリデクリメントレジスタ間接 (@ERn +/@ - ERn)
- 絶対アドレス (@aa:8, @aa:16, @aa:24)
- イミディエイト (#xx:8, #xx:16, #xx:32)
- プログラムカウンタ相対 (@(d:8, PC), @(d:16, PC))
- メモリ間接 (@@aa:8)

16M バイトのリニアアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 最高動作周波数: 20MHz
- 8/16/32 ビットレジスタ間加減算 100ns
- 8×8 ビットレジスタ間乗算 700ns
- 16÷8 ビットレジスタ間除算 700ns
- 16×16 ビットレジスタ間乗算 1.1μs
- 32÷16 ビットレジスタ間除算 1.1μs

### 2種類のCPU動作モード

- ノーマルモード（本 LSI では使用できません）
- アドバンスモード

### 低消費電力動作

- SLEEP 命令により低消費電力状態に遷移

## 2.1.2 H8/300CPU との相違点

H8/300H CPU は、H8/300 CPU に対して、次の点が強化、拡張されています。

### 汎用レジスタを拡張

- 16 ビット×8 本の拡張レジスタを追加

### アドレス空間を拡張

- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- ノーマルモードのとき、H8/300CPU と同一の 64K バイトのアドレス空間を使用可能

### アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

### 命令強化

- 32 ビット転送、演算命令を追加
- 符号付き乗除算命令などを追加

## 2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンスモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64Kバイト、アドバンスモードの場合最大16Mバイトとなります。

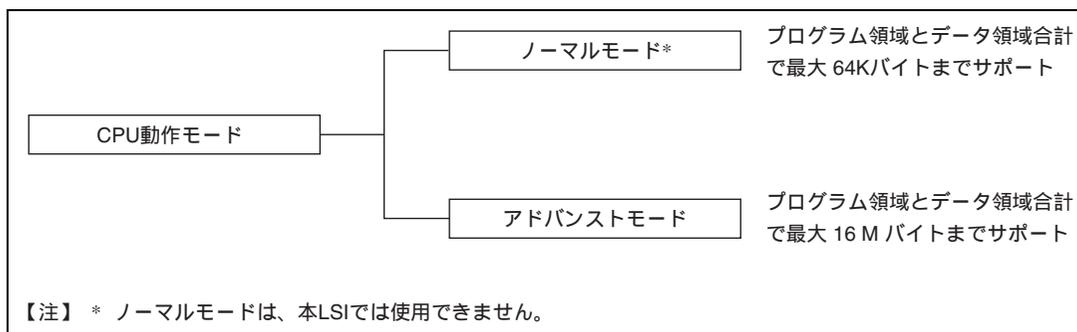


図 2.1 CPU 動作モード

## 2.3 アドレス空間

本 LSI でのメモリマップの概要を図 2.2 に示します。H8/300H CPU はノーマルモードのとき最大 64K バイト、またアドバンスモードのとき最大 16M バイトのアドレス空間をリニアに使用することができます。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が 1M バイトモードの場合、実効アドレスの上位 4 ビットは無視され、20 ビットのアドレスとなります。

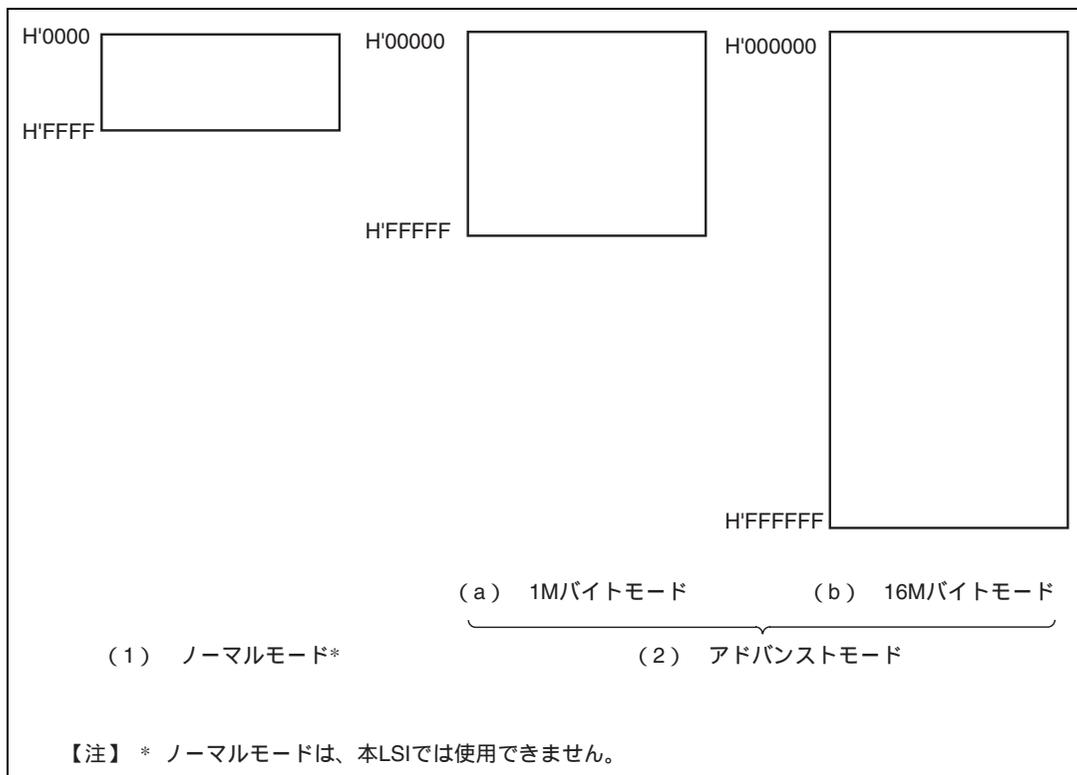


図 2.2 メモリマップ

## 2.4 レジスタ構成

### 2.4.1 概要

H8/300H CPU の内部レジスタ構成を図 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

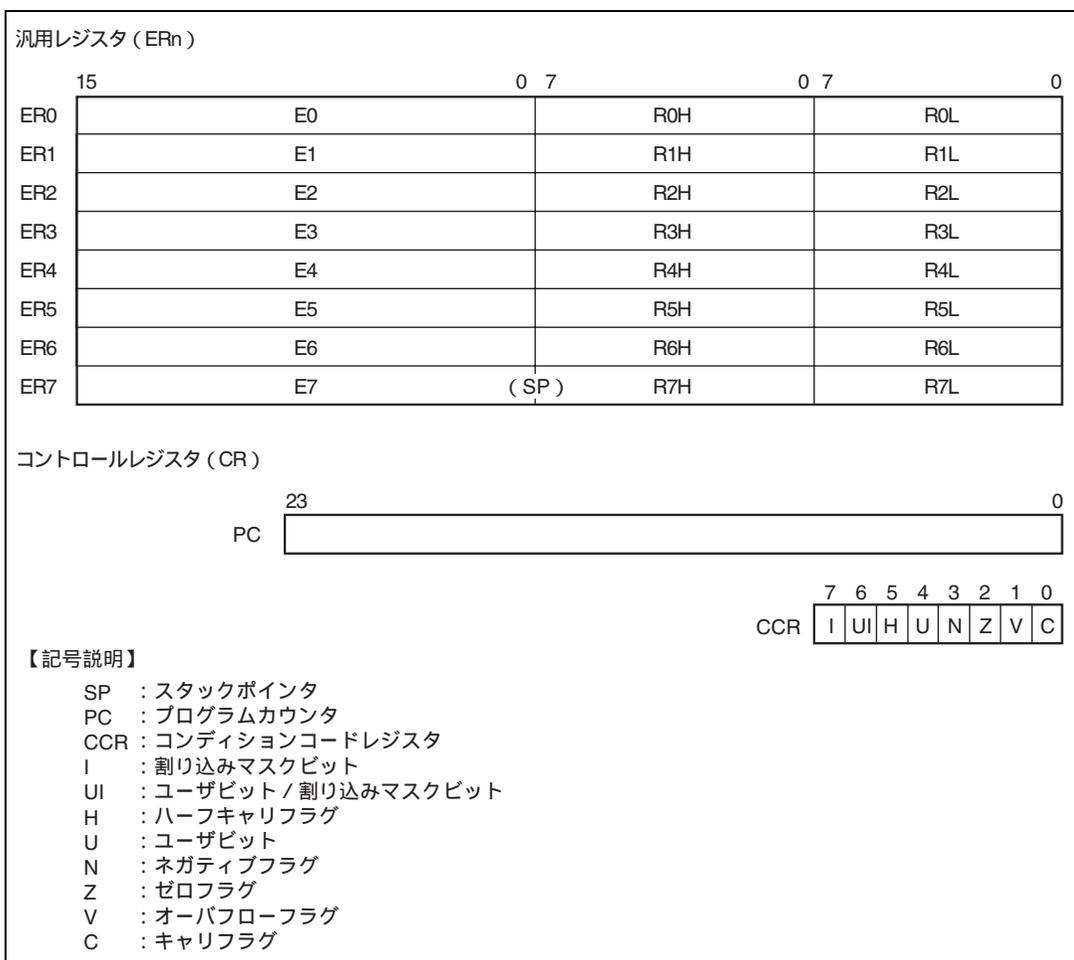


図 2.3 CPU 内部レジスタ構成

## 2.4.2 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタ 8 本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本を使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (RH0 ~ RH7)、汎用レジスタ RL (RL0 ~ RL7) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本を使用することができます。

汎用レジスタの使用方法を図 2.4 に示します。各レジスタを独立に使用方法を選択することができます。

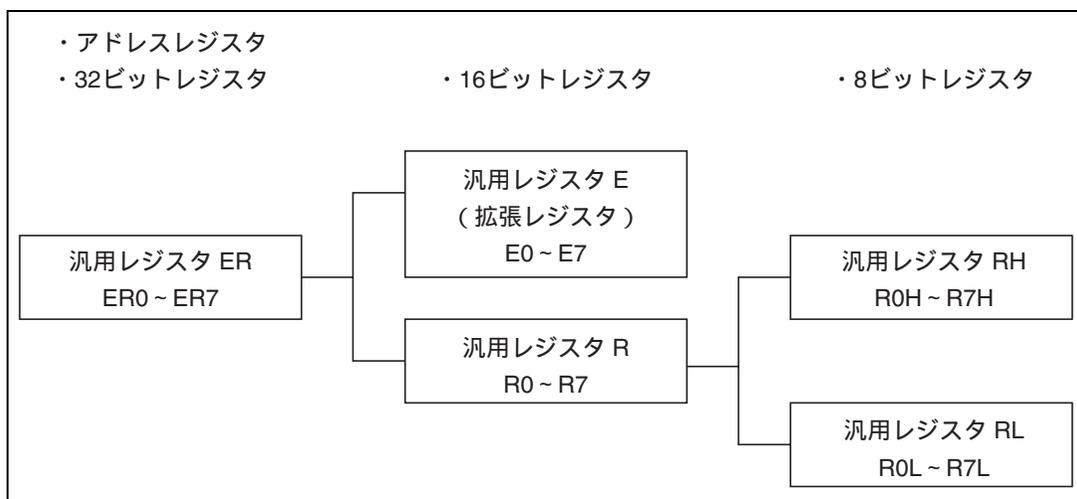


図 2.4 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.5 に示します。

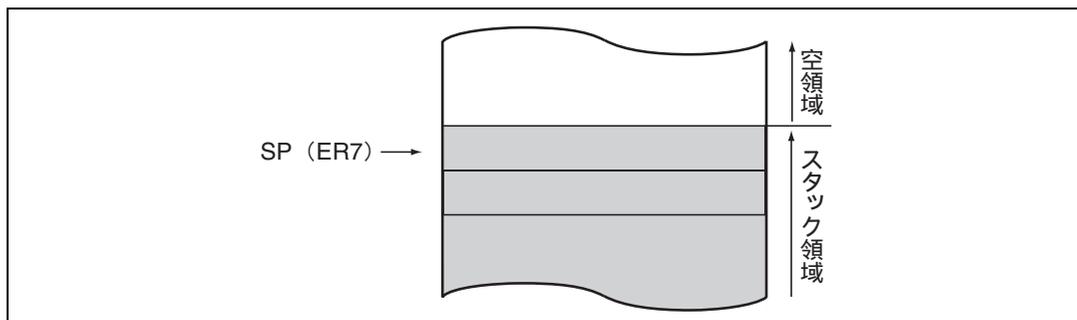


図 2.5 スタックの状態

### 2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

#### (1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

#### (2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

##### ビット 7 : 割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。

##### ビット 6 : ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

### ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット11にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

### ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

### ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

### ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

### ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

### ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。  
また I、UI ビットについては、「第5章 割り込みコントローラ」を参照してください。

## 2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは1にセットされますが、汎用レジスタと CCR のほかのビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP (ER7) の初期化を行ってください。

## 2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0, 1, 2, \dots, 7$ ) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.6、図 2.7 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	<pre> 7           0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ 7 │ 6 │ 5 │ 4 │ 3 │ 2 │ 1 │ 0 │ don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
1ビットデータ	RnL	<pre>            7           0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ don't care │ 7 │ 6 │ 5 │ 4 │ 3 │ 2 │ 1 │ 0 │ └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
4ビット BCDデータ	RnH	<pre> 7           4 3           0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ 上位桁 │ 下位桁 │ don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
4ビット BCDデータ	RnL	<pre>            7           4 3           0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ don't care │ 上位桁 │ 下位桁 │ └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
バイトデータ	RnH	<pre> 7           0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ MSB │ │ │ │ │ │ │ LSB │ don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
バイトデータ	RnL	<pre>            7           0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ don't care │ MSB │ │ │ │ │ │ │ LSB │ └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
【記号説明】		
RnH : 汎用レジスタRH		
RnL : 汎用レジスタRL		

図 2.6 汎用レジスタのデータ構成 (1)

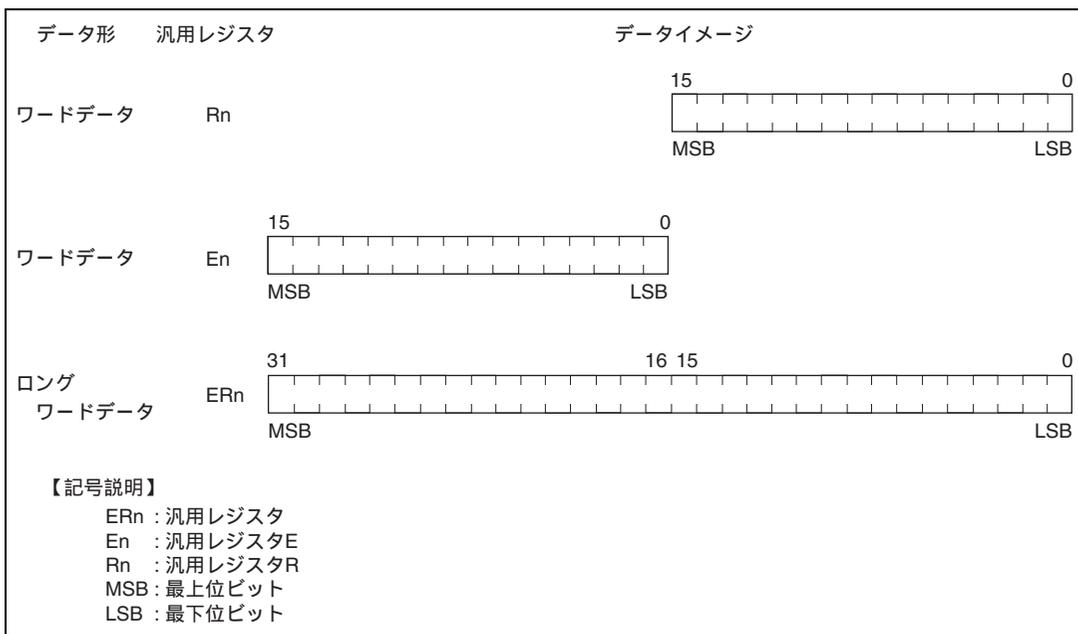


図 2.7 汎用レジスタのデータ構成 (2)

## 2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.8 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

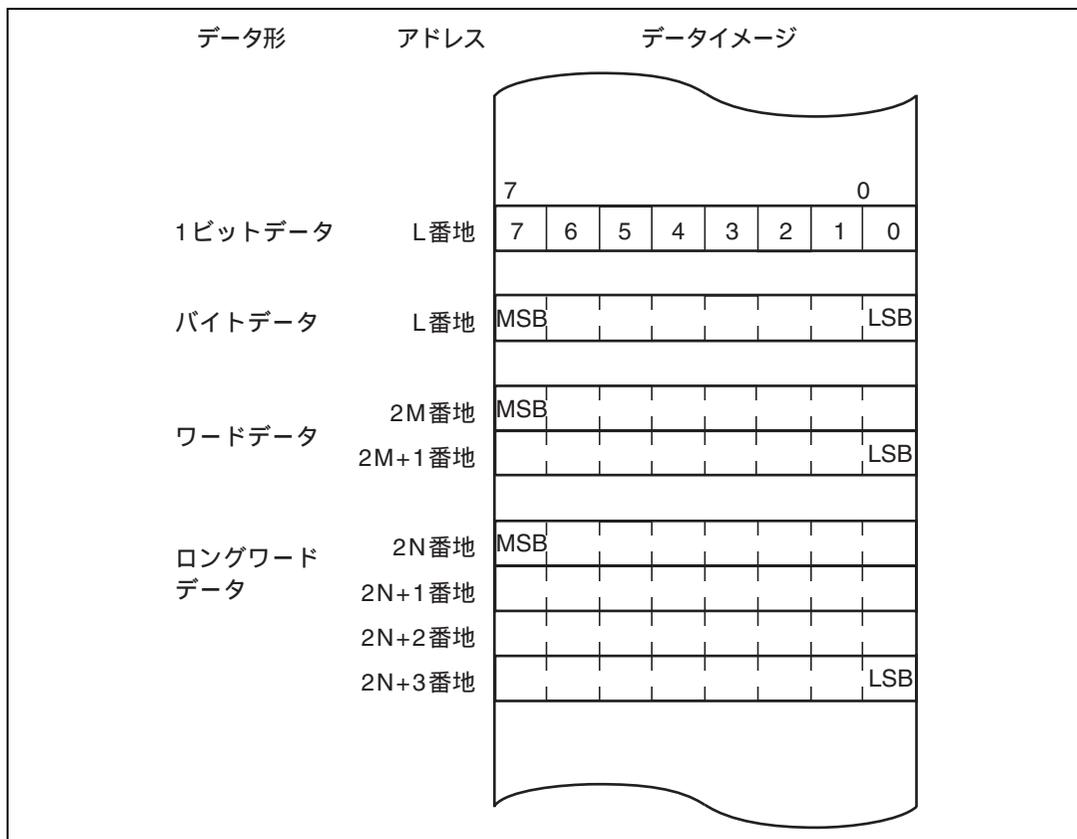


図 2.8 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

## 2.6 命令セット

### 2.6.1 命令セットの概要

H8/300H CPU の命令は合計 64 種類あり、各命令の機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* <sup>1</sup> 、POP* <sup>1</sup> 、MOVTPE* <sup>2</sup> 、MOVFPPE* <sup>2</sup>	5
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* <sup>3</sup> 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1

合計 64 種類

- 【注】 \*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+ , Rn、MOV.W Rn , @ - SP と同一です。  
また、POP.L ERn、PUSH.L ERn はそれぞれ MOV.L @SP+ , Rn、MOV.L Rn , @ - SP と同一です。
- \*2 本 LSI では使用できません。
- \*3 Bcc は条件分岐命令の総称です。

### 2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード											
		#xx BWL	Rn BWL	@ERn BWL	@(d:16.ERn) BWL	@ERn+/@-ERn BWL	@aa:8 BWL	@aa:16 BWL	@aa:24 BWL	@(d:8.PC) -	@(d:16.PC) -	@@aa:8 -	
予 夕 転 送 命 令	MOV	-	-	-	-	-	-	-	-	-	-	-	-
	POP、PUSH	-	-	-	-	-	-	-	-	-	-	-	WL
	MOVFP、	-	-	-	-	-	-	-	-	-	-	-	-
	MOVTP	-	-	-	-	-	-	-	-	-	-	-	-
	ADD、CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-
演 算 命 令	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-
	ADDX、SUBX	B	B	-	-	-	-	-	-	-	-	-	-
	ADDS、SUBS	-	L	-	-	-	-	-	-	-	-	-	-
	INC、DEC	-	BWL	-	-	-	-	-	-	-	-	-	-
	DAA、DAS	-	B	-	-	-	-	-	-	-	-	-	-
機 理 運 算 命 令	MULXU、	-	-	-	-	-	-	-	-	-	-	-	-
	MULXS、	-	BW	-	-	-	-	-	-	-	-	-	-
	DIVXU、	-	-	-	-	-	-	-	-	-	-	-	-
	DIVXS、	-	-	-	-	-	-	-	-	-	-	-	-
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-
機 理 運 算 命 令	EXTU、EXTS	-	WL	-	-	-	-	-	-	-	-	-	-
	AND、OR、XOR	-	BWL	-	-	-	-	-	-	-	-	-	-
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-
	シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-
	ビット操作命令	-	B	B	-	-	-	-	-	-	-	-	-
分 岐 命 令	Bcc、BSR	-	-	-	-	-	-	-	-	-	-	-	-
	JMP、JSR	-	-	-	-	-	-	-	-	-	-	-	-
	RTS	-	-	-	-	-	-	-	-	-	-	-	-
	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-
	RTE	-	-	-	-	-	-	-	-	-	-	-	-
シ ス テ ム 制 御 命 令	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-
	LDC	B	B	W	W	W	W	W	W	W	W	W	W
	STC	-	B	W	W	W	W	W	W	W	W	W	W
	ANDC、ORC	-	-	-	-	-	-	-	-	-	-	-	-
	XORC	B	-	-	-	-	-	-	-	-	-	-	-
ア ロ ッ ク 転 送 命 令	NOP	-	-	-	-	-	-	-	-	-	-	-	-
	ブロック転送命令	-	-	-	-	-	-	-	-	-	-	-	BW

### 2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ / アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
: 3/ : 8/ : 16/ : 24	3/8/16/24 ビット長

【注】 \* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ / アドレスレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) → Rd, Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) → Rd 本 LSI では使用できません。
MOVTPPE	B	Rs → (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また PUSH.L ERn は MOV.L ERn, @-SP と同一です。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	Rd ± Rs → Rd, Rd ± #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います(バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd ± Rs ± C → Rd, Rd ± #IMM ± C → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	Rd ± 1 → Rd, Rd ± 2 → Rd 汎用レジスタに 1 または 2 を加減算します(バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd ± 1 → Rd, Rd ± 2 → Rd, Rd ± 4 → Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) → Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd × Rs → Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット × 8 ビット → 16 ビット、 16 ビット × 16 ビット → 32 ビットの乗算が可能です。

## 2. CPU

命令	サイズ*	機能
MULXS	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8ビット×8ビット→16ビット、 16ビット×16ビット→32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16ビット÷8ビット→商8ビット 余り8ビット、 32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット 余り8ビット、 32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs, Rd - \#MM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \longrightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTS	W/L	$Rd$ （符号拡張） $\longrightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
EXTU	W/L	$Rd$ （ゼロ拡張） $\longrightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs $\longrightarrow$ Rd, Rd #IMM $\longrightarrow$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs $\longrightarrow$ Rd, Rd #IMM $\longrightarrow$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd $\oplus$ Rs $\longrightarrow$ Rd, Rd $\oplus$ IMM $\longrightarrow$ Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	$\sim$ Rd $\longrightarrow$ Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd (シフト処理) $\longrightarrow$ Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) $\longrightarrow$ Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) $\longrightarrow$ Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) $\longrightarrow$ Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 → ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 → ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ ( <ビット番号> of <EAd> ) → ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ ( <ビット番号> of <EAd> ) → Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C ( <ビット番号> of <EAd> ) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIAND	B	C [ ~ ( <ビット番号> of <EAd> ) ] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C ( <ビット番号> of <EAd> ) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIOR	B	C [ ~ ( <ビット番号> of <EAd> ) ] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ ( <ビット番号> of <EAd> ) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIXOR	B	C ⊕ [ ~ ( <ビット番号> of <EAd> ) ] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	( <ビット番号> of <EAd> ) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。

命令	サイズ*	機能
BILD	B	~ ( <ビット番号> of <EAd> ) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C → ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	C → ~ ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。  
B: バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA ( BT )</td> <td>Always ( True )</td> <td>Always</td> </tr> <tr> <td>BRN ( BF )</td> <td>Never ( False )</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>Bcc ( BHS )</td> <td>Carry Clear ( High or Same )</td> <td>C = 0</td> </tr> <tr> <td>BCS ( BLO )</td> <td>Carry Set ( LOw )</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N ⊕ V = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N ⊕ V = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z ( N ⊕ V ) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z ( N ⊕ V ) = 1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA ( BT )	Always ( True )	Always	BRN ( BF )	Never ( False )	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	Bcc ( BHS )	Carry Clear ( High or Same )	C = 0	BCS ( BLO )	Carry Set ( LOw )	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N ⊕ V = 0	BLT	Less Than	N ⊕ V = 1	BGT	Greater Than	Z ( N ⊕ V ) = 0	BLE	Less or Equal	Z ( N ⊕ V ) = 1
ニーモニック	説明	分岐条件																																																			
BRA ( BT )	Always ( True )	Always																																																			
BRN ( BF )	Never ( False )	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
Bcc ( BHS )	Carry Clear ( High or Same )	C = 0																																																			
BCS ( BLO )	Carry Set ( LOw )	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N ⊕ V = 0																																																			
BLT	Less Than	N ⊕ V = 1																																																			
BGT	Greater Than	Z ( N ⊕ V ) = 0																																																			
BLE	Less or Equal	Z ( N ⊕ V ) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

## 2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移移します。
LDC	B/W	(EAs) → CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC + 2 → PC PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EPEMOV.B	-	if R4L 0 then Repeat @ER5 + → @ER6 +、R4L - 1 → R4L Until R4L = 0 else next;
EPEMOV.W	-	if R4 0 then Repeat @ER5 + → @ER6 +、R4 - 1 → R4 Until R4 = 0 else next;  ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

## 2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。

### (1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

### (2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

### (3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0（H'00）とした 32 ビットデータとして扱われます。

### (4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

## 2. CPU

図 2.9 に命令フォーマットの例を示します。

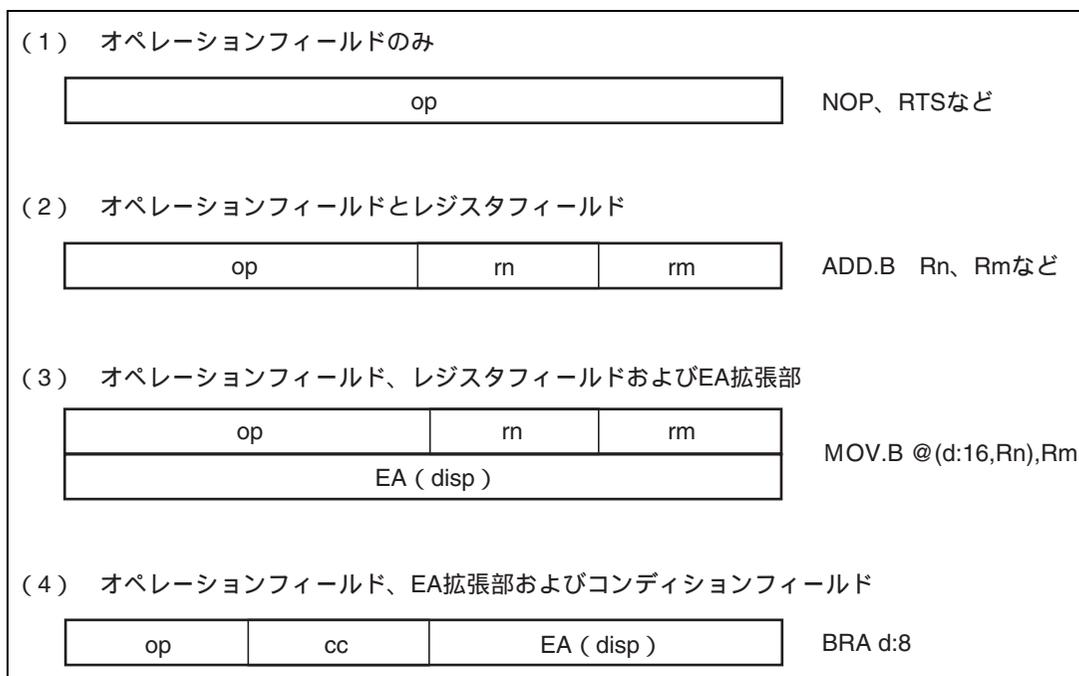


図 2.9 命令フォーマット

### 2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序	動作内容
1	リード 指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作 リードしたデータの指定された 1 ビットを操作します。
3	ライト 指定したアドレスに操作したデータ (バイト単位) をライトします。

ポート 4 の DDR に、BCLR 命令を実行した例を示します。

P4<sub>7</sub>、P4<sub>6</sub> は入力ポートに設定され、P4<sub>5</sub> ~ P4<sub>0</sub> は出力ポートに設定されているとします。

ここで、BCLR 命令で、P4<sub>0</sub> を入力ポートにする例を示します。

## (1) BCLR 命令を実行前

	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
入出力	入力	入力	出力	出力	出力	出力	出力	出力
DDR	0	0	1	1	1	1	1	1

## (2) BCLR 命令を実行

BCLR #0 , @P4DDR DDR に対して BCLR 命令を実行します。

## (3) BCLR 命令を実行後

	P4 <sub>7</sub>	P4 <sub>6</sub>	P4 <sub>5</sub>	P4 <sub>4</sub>	P4 <sub>3</sub>	P4 <sub>2</sub>	P4 <sub>1</sub>	P4 <sub>0</sub>
入出力	出力	入力						
DDR	1	1	1	1	1	1	1	0

## (4) BCLR 命令の動作説明

BCLR 命令を実行すると、CPU は、最初に P4DDR をリードします。

P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。

つぎに、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を DDR に書き込んで、BCLR 命令を終了します。

その結果、P4<sub>0</sub> は、DDR が 0 になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。たとえば、IRQ ステータスレジスタ (ISR) の場合、フラグのクリア条件としてフラグをリードすることが必要ですが、BCLR 命令を用いることにより、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

## 2.7 アドレッシングモードと実効アドレスの計算方法

### 2.7.1 アドレッシングモード

H8/300H CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス( @aa:8 )が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接( BSET、BCLR、BNOT、BTST の各命令 )、およびイミディエイト( 3 ビット )が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@ERn
(3)	ディスプレイメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
(5)	絶対アドレス	@aa:8 / @aa:16 / @aa:24
(6)	イミディエイト	#xx:8 / #xx:16 / #xx:32
(7)	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
(8)	メモリ間接	@@aa:8

#### (1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ( 8ビット、16ビットまたは32ビット )がオペランドとなります。

8ビットレジスタとしてはR0H~R7H、R0L~R7Lを指定可能です。

16ビットレジスタとしてはR0~R7、E0~E7を指定可能です。

32ビットレジスタとしてはER0~ER7を指定可能です。

#### (2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ( ERn )の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

#### (3) ディスプレースメント付きレジスタ間接 @(d:16, ERn) / @(d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ( ERn )の内容に、命令コード中に含まれる16ビットディスプレイメントまたは24ビットディスプレイメントを加算した内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレイメントは符号拡張されます。

#### (4) ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接 @ - ERn

- ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ( ERn )の内容の下位24

ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容（32ビット）に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ/ロングワードサイズのと看、レジスタの内容が偶数となるようにしてください。

- プリデクリメントレジスタ間接 @ - ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

- (5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット（@aa:8）、16ビット（@aa:16）、または24ビット（@aa:24）です。

8ビット絶対アドレスの場合、上位16ビットはすべて1（H'FFFF）となります。

16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。

24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

絶対アドレスのアクセス範囲を表2.12に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1M バイトモード	16M バイトモード
8 ビット (@aa:8)	H'FFF00 ~ H'FFFFF (1048320 ~ 1048575)	H'FFF00 ~ H'FFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'00000 ~ H'07FFF, H'F8000 ~ H'FFFFF (0 ~ 32767, 1015808 ~ 1048575)	H'00000 ~ H'007FFF, H'FF8000 ~ H'FFFFF (0 ~ 32767, 16744448 ~ 16777215)
24 ビット (@aa:24)	H'00000 ~ H'FFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFFF (0 ~ 16777215)

- (6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる8ビット（#xx:8）、16ビット（#xx:16）、または32ビット（#xx:32）のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コード中に含まれます。

- (7) プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)

Bcc、BSR命令で使用されます。

PCの内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト（ - 63 ~ + 64ワード）または - 32766 ~ + 32768バイト（ - 16383 ~ + 16384ワード）で

す。このとき、加算結果が偶数となるようにしてください。

### (8) メモリ間接 @aa:8

JMP、JSR命令で使用されます。

命令コードの中に含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭1バイトは無視され、24ビット長の分岐アドレスを生成します。図2.10にメモリ間接による分岐アドレスの指定方法を示します。

8ビット絶対アドレスの上位のビットはすべて0 (H'0000) となりますので、分岐アドレスを格納できるのは0~255 (H'000000~H'0000FF) 番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。

詳細は「第5章 割り込みコントローラ」を参照してください。

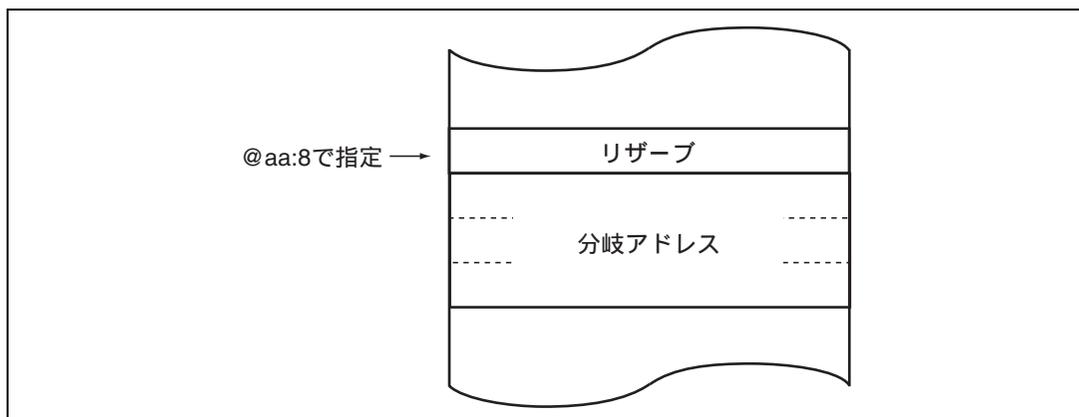


図 2.10 メモリ間接による分岐アドレスの指定

ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

### 2.7.2 実効アドレスの計算方法

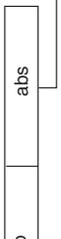
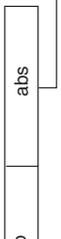
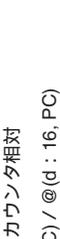
各アドレッシングモードにおける実効アドレス (EA: Effective Address) の計算方法を表 2.13 に示します。

1Mバイトモードの場合、計算結果の上位4ビットは無視され、20ビットの実効アドレスを生成します。

表 2.13 実効アドレス計算方法

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 		0
(3)	ディスプレースメント付レジスタ間接 @(d : 16, ERn) / @(d : 24, ERn) 		0
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接@ERn +  ・プリデクリメントレジスタ間接@ - ERn 		0

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	<p>絶対アドレス</p> <p>@ aa : 8</p>  <p>@ aa : 16</p>  <p>@ aa : 24</p> 	  	<p>オペランドは、イミディエイトデータです。</p>
(6)	<p>イミディエイト # xx : 8 / # xx : 16 / # xx : 32</p> 		<p>オペランドは、イミディエイトデータです。</p>
(7)	<p>プログラムカウンタ相対</p> <p>@(d : 8, PC) / @(d : 16, PC)</p> 		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接 @@aa:8 ・ノーマルモード <div style="display: flex; align-items: center; margin-top: 5px;"> <div style="border: 1px solid black; padding: 2px; margin-right: 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin-right: 5px;">abs</div> </div> ・アドバンスモード <div style="display: flex; align-items: center; margin-top: 5px;"> <div style="border: 1px solid black; padding: 2px; margin-right: 5px;">op</div> <div style="border: 1px solid black; padding: 2px; margin-right: 5px;">abs</div> </div>	<p>The diagram illustrates the address calculation for two modes. In the normal mode (top), the 8-bit 'abs' field is shifted left by 8 bits to become the 23-bit address. In the advanced mode (bottom), the 8-bit 'abs' field is shifted left by 7 bits to become the 15-bit offset, which is added to the 23-bit 'H'0000' base address to form the 23-bit effective address.</p>	<p>The diagram shows the effective address (EA) for both modes. In the normal mode, the 23-bit address is H'0000. In the advanced mode, the 23-bit effective address is H'00.</p>

## 【記号説明】

k, mm, m : レジスタフィールド  
 op : オペレーションフィールド  
 disp : デイスプレースメント  
 IMM : イミディエイトデータ  
 abs : 絶対アドレス

## 2.8 処理状態

### 2.8.1 概要

H8/300H CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の5種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図2.11に、各状態間の遷移を図2.13に示します。

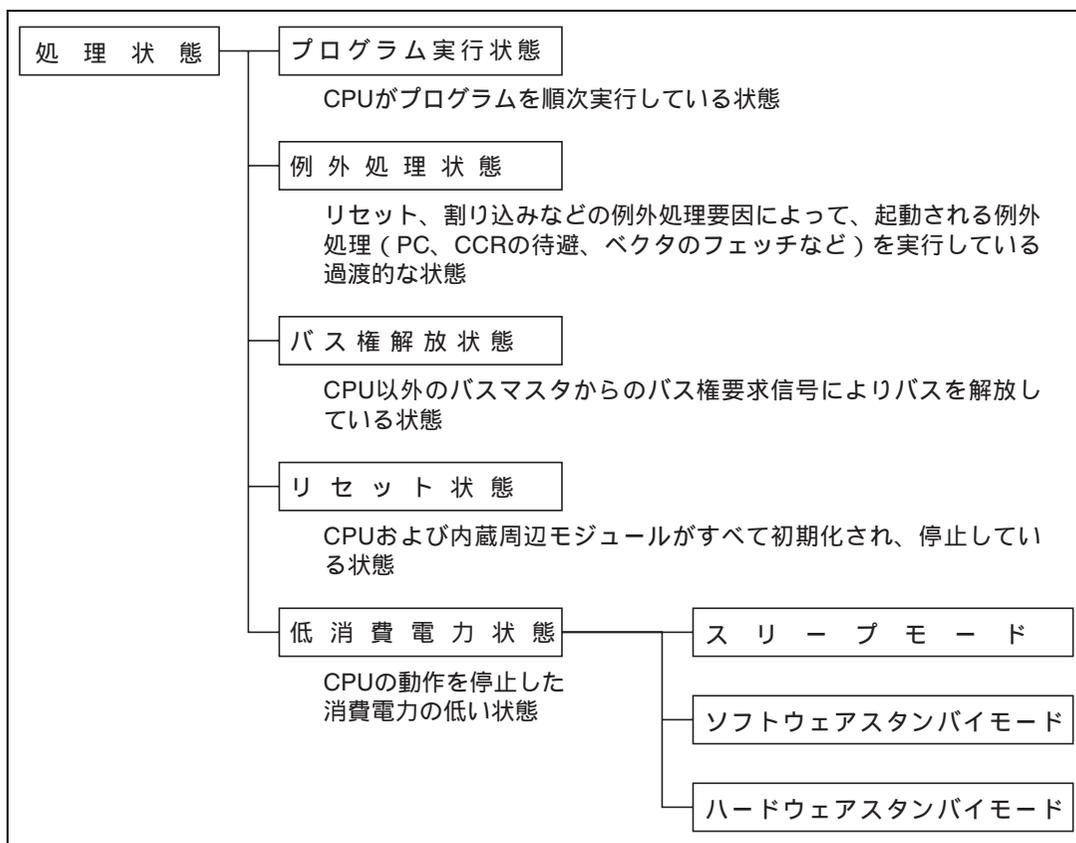


図 2.11 処理状態の分類

### 2.8.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

### 2.8.3 例外処理状態

リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過度的な状態です。割り込みおよびトラップ命令例外処理では、SP (ER7) を参照して、PC および CCR の退避を行います。

#### (1) 例外処理の種類と優先度

例外処理には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑	リセット	クロック同期	RRES 端子が Low レベルから High レベルに変化すると、直ちに例外処理を開始します。
	割り込み	命令の実行終了時または例外処理終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
低	トラップ命令	TRAPA 命令実行時	トラップ (TRAPA) 命令を実行すると、例外処理を開始します。

【注】 \* ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割り込み要因の検出を行いません。

例外処理要因は、図 2.12 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第 4 章 例外処理」および「第 5 章 割り込みコントローラ」を参照してください。

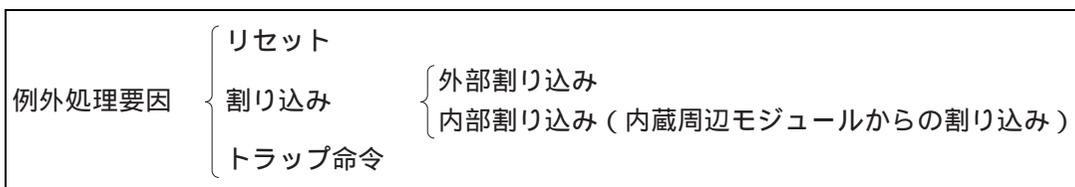


図 2.12 例外処理要因の分類

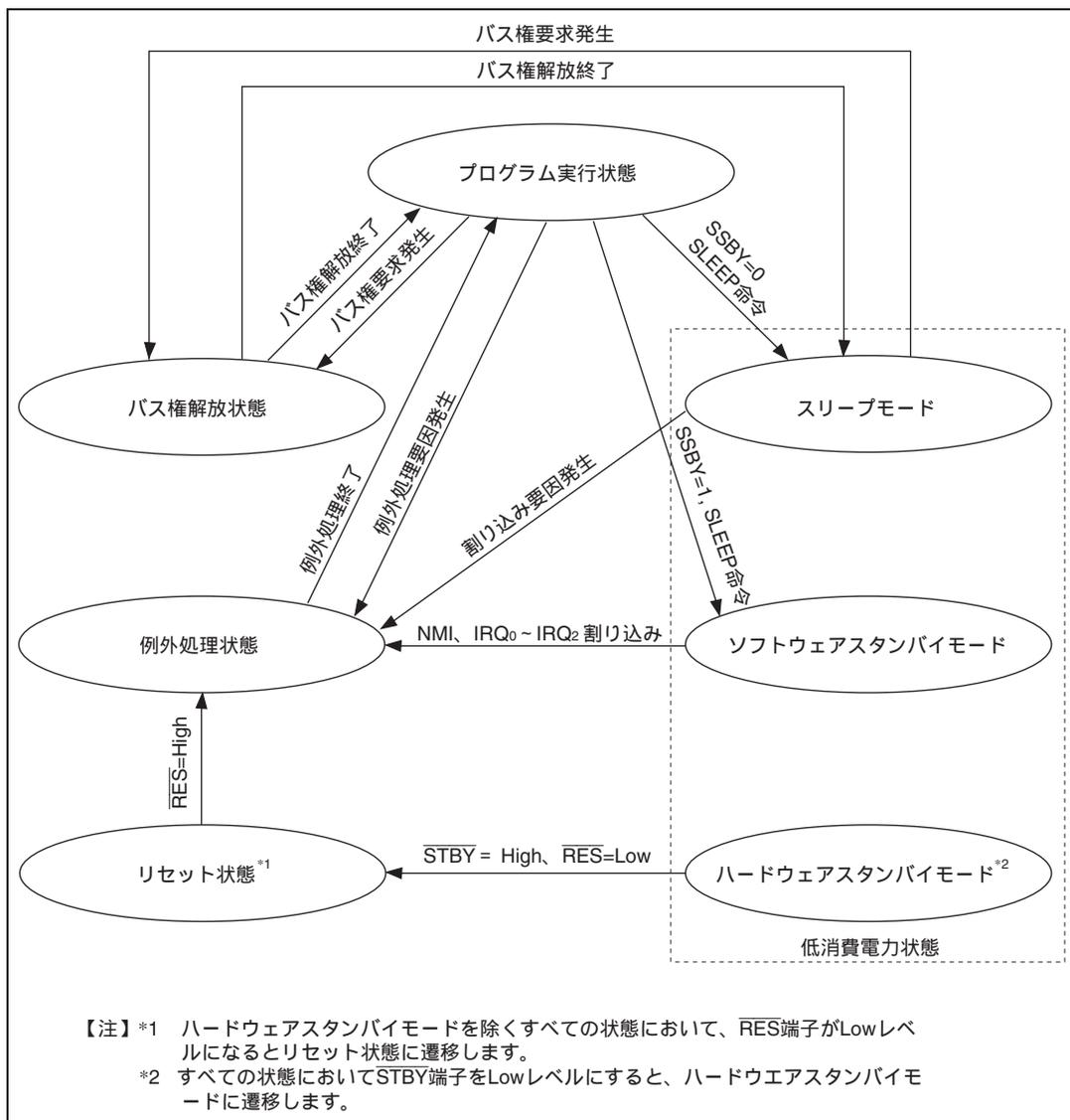


図 2.13 状態遷移図

## 2.8.4 例外処理の動作

### (1) リセット例外処理の動作

リセット例外処理は、最も優先度の高い例外処理です。 $\overline{\text{RES}}$  端子を Low レベルにしてリセット状態にした後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

### (2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPU は SP (ER7) を参照して PC と CCR をスタックに退避します。次に、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときは CCR の I ビット、UI ビットがいずれも 1 にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を図 2.14 に示します。

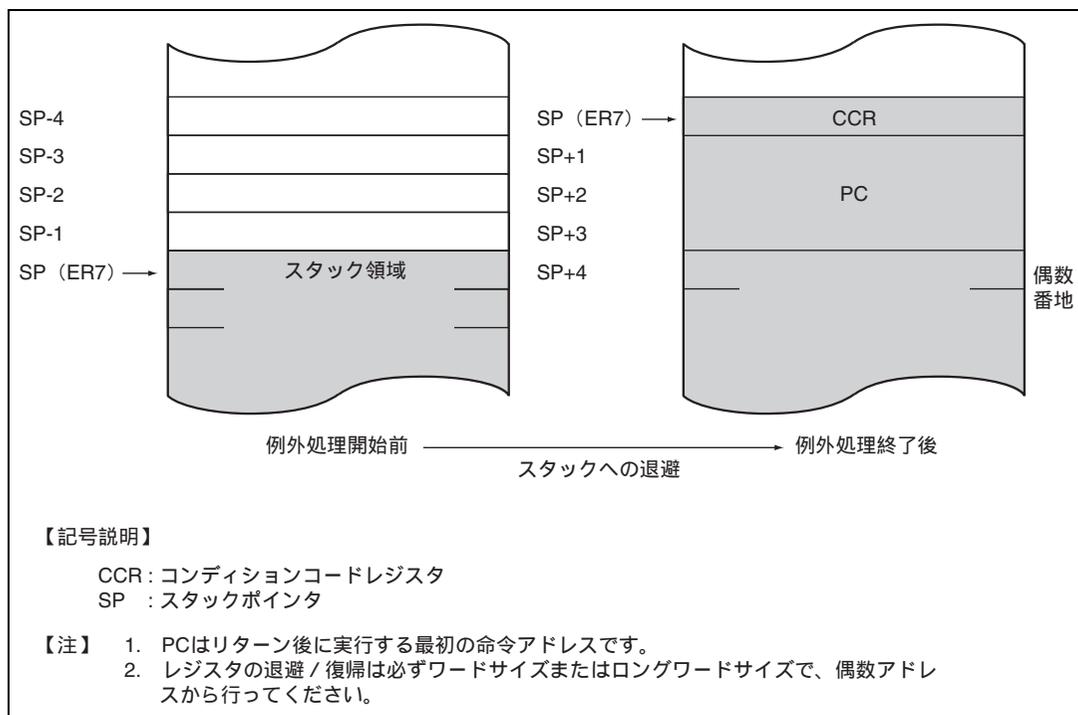


図 2.14 例外処理終了後のスタック状態

### 2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU 以外のバスマスタには DMA コントローラ、DRAM インタフェース、および外部バスマスタがあります。

バス権解放状態では、CPU は内部動作を除き、停止します。また、割り込みも受け付けられません。詳細は「6.10 バスアービタ」を参照してください。

### 2.8.6 リセット状態

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが 1 にセットされます。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$  端子を Low レベルから High レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ」を参照してください。

### 2.8.7 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

#### (1) スリープモード

スリープモードは、SYSCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

#### (2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

#### (3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$  端子を Low レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 19 章 低消費電力状態」を参照してください。

## 2.9 基本動作タイミング

### 2.9.1 概要

H8/300H CPU は、クロック ( $\phi$ ) を基準に動作しています。 $\phi$  の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

### 2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図 2.15 に、端子状態を図 2.16 に示します。

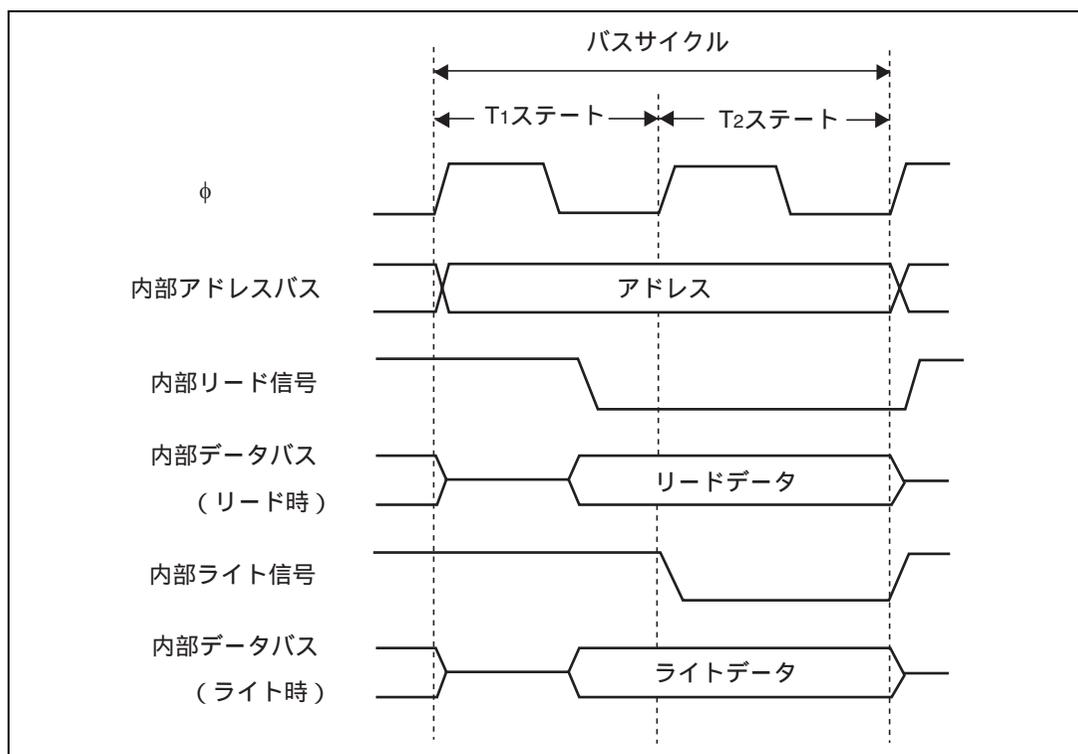


図 2.15 内蔵メモリアクセスサイクル

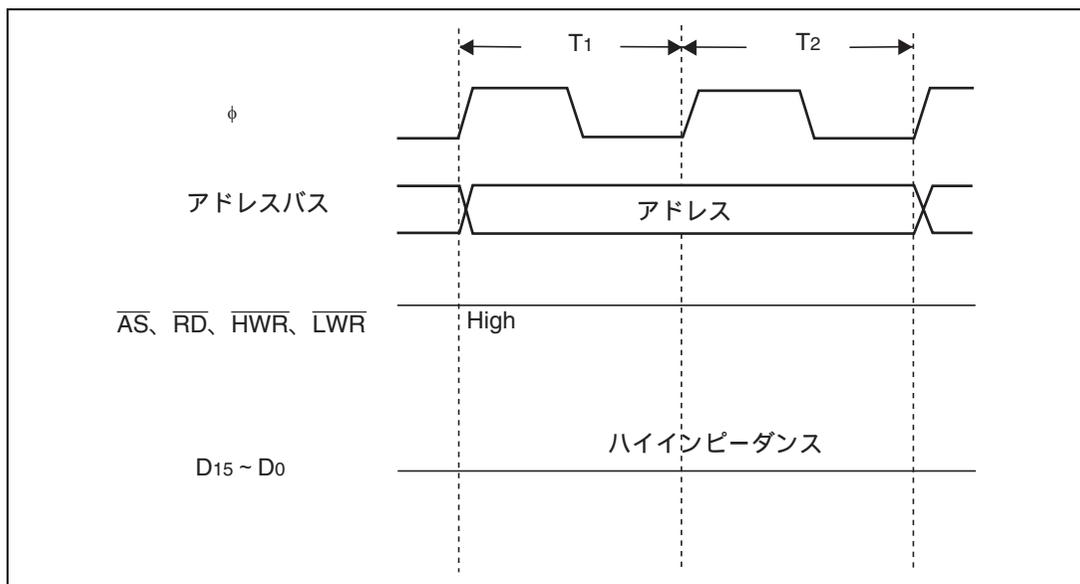


図 2.16 内蔵メモリアクセス時の端子状態

### 2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部 I/O レジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図 2.17 に、端子状態を図 2.18 に示します。

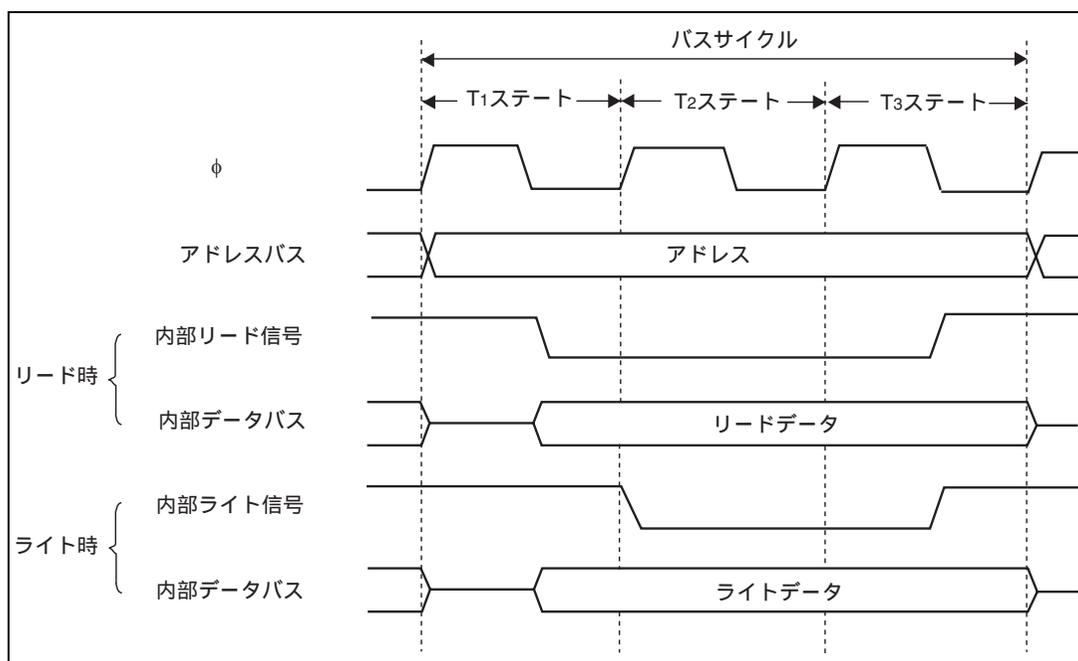


図 2.17 内蔵周辺モジュールアクセスサイクル

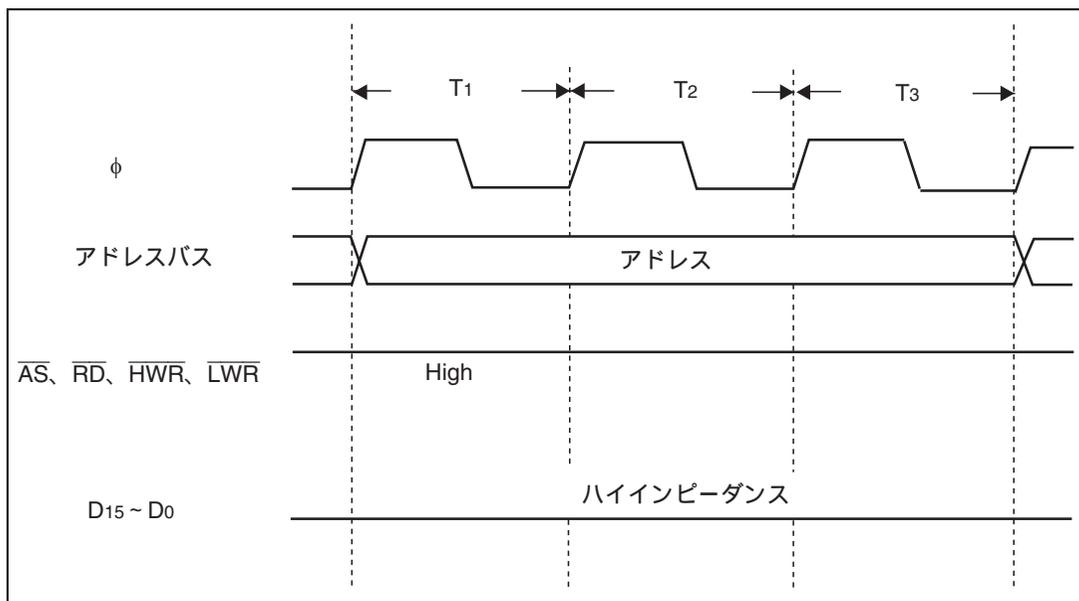


図 2.18 内蔵周辺モジュールアクセス時の端子状態

#### 2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア(エリア0~7)に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅(8ビットまたは16ビット)とアクセスステート(2ステートまたは3ステート)の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

## 3. MCU 動作モード

### 3.1 概要

#### 3.1.1 動作モードの種類の選択

本 LSI には、4 種類の動作モード（モード 1~4）があります。これらのモードは、モード端子（ $MD_2$  ~  $MD_0$ ）を表 3.1 のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類の選択

動作モード	端子設定			内容		
	$MD_2$	$MD_1$	$MD_0$	アドレス空間	バスモード初期状態* <sup>1</sup>	内蔵 RAM
-	0	0	0	設定禁止		
モード 1	0	0	1	1M バイト	8 ビット	有効* <sup>2</sup>
モード 2	0	1	0	1M バイト	16 ビット	有効* <sup>2</sup>
モード 3	0	1	1	16M バイト	8 ビット	有効* <sup>2</sup>
モード 4	1	0	0	16M バイト	16 ビット	有効* <sup>2</sup>
-	1	0	1	-	-	-
-	1	1	0	-	-	-
-	1	1	1	-	-	-

【注】 \*1 モード 1~4 において、バス幅コントロールレジスタ（ABWCR）を設定することによりデータバス幅をエリアごとに 8 ビットデータバスまたは 16 ビットデータバスにすることができます。

詳細は、「第 6 章 バスコントローラ」を参照してください。

\*2 SYSCR の RAME ビットを"0"にクリアすると外部アドレス空間に切り替わります。

アドレス空間は、1M バイト / 16M バイトのいずれかを選択することができます。外部データバスのバス幅は ABWCR により、8 ビット / 16 ビットバスモードのいずれかになります。すべてのエリアを 8 ビットアクセス空間に設定した場合、8 ビットバスモードとなります。詳細は「第 6 章 バスコントローラ」を参照してください。

モード 1、2 でサポートするアドレス空間は、最大 1M バイトです。また、モード 3、4 でサポートするアドレス空間は、最大 16M バイトです。

モード 1~4 以外は、本 LSI では使用できません。したがって、モード端子は必ずモード 1~4 になるように設定してください。

モード端子は、動作中に変化させないでください。

モードを変更する場合は、リセット状態にしてモード端子を変更してください。

### 3. MCU 動作モード

---

#### 3.1.2 レジスタ構成

本 LSI にはモード端子 ( $MD_2 \sim MD_0$ ) の状態が反映される MDCR と、動作を制御する SYSCR があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE011	モードコントロールレジスタ	MDCR	R	不定
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

## 3.2 モードコントロールレジスタ (MDCR)

MDCR は 8 ビットのリード専用のレジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値:	1	1	0	0	0	— *	— *	— *
R/W :	—	—	—	—	—	R	R	R

リザーブビット
モードセレクト2~0  
現在の動作モード  
を示すビットです。

【注】 \* MD<sub>2</sub>~MD<sub>0</sub>端子により決定されます。

### ビット7、6: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

### ビット5~3: リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

### ビット2~0: モードセレクト2~0 (MDS2~MDS0)

これらのビットは、モード端子 (MD<sub>2</sub>~MD<sub>0</sub>) のレベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD<sub>2</sub>~MD<sub>0</sub> 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードすると、モード端子 (MD<sub>2</sub>~MD<sub>0</sub>) のレベルがこれらのビットにラッチされます。

### 3.3 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ソフトウェアスタンバイ  
ソフトウェアスタンバイモードへの遷移を指定するビットです。

RAMイネーブル  
内蔵RAMの有効 / 無効を選択するビットです。

ソフトウェアスタンバイ  
ソフトウェアスタンバイモードから復帰する場合の待機時間を選択するビットです。

ソフトウェアスタンバイ  
出力ポートイネーブル  
ソフトウェアスタンバイモード時にアドレスバス、バス制御信号の出力の状態を選択するビットです。

ユーザビットイネーブル  
CCRのUIビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択するビットです。

NMIエッジセレクト  
NMI端子の入力エッジを選択するビットです。

## ビット7：ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第19章 低消費電力状態」を参照してください)。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

## ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

水晶発振の場合、動作周波数に応じて待機時間が7ms以上となるように指定してください。

待機時間の設定については、「19.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	待機時間 = 1024 ステート
		1	使用禁止

## ビット3：ユーザビットイネーブル (UE)

CCRのUIビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCRのUIビットを、割り込みマスクビットとして使用 (初期値)
1	CCRのUIビットを、ユーザビットとして使用 (初期値)

### 3. MCU 動作モード

---

#### ビット2：NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット2	説明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

#### ビット1：ソフトウェアスタンバイ出力ポートイネーブル (SSOE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号( $\overline{CS}_0 \sim \overline{CS}_7$ ,  $\overline{AS}$ ,  $\overline{RD}$ ,  $\overline{HWR}$ ,  $\overline{LWR}$ ,  $\overline{UCAS}$ ,  $\overline{LCAS}$ ,  $\overline{RFSH}$ ) の出力を保持または High 固定するか、ハイインピーダンスにするかを指定します。

ビット1	説明
SSOE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はすべてハイインピーダンス (初期値)
1	ソフトウェアスタンバイモード時、 アドレスバス：出力状態を保持 バス制御信号：High 固定

#### ビット0：RAM イネーブル (RAME)

内蔵 RAM の有効/無効を選択します。RAME ビットは、 $\overline{RES}$  端子の立ち上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説明
RAME	
0	内蔵 RAM の無効
1	内蔵 RAM の有効 (初期値)

## 3.4 各動作モードの説明

### 3.4.1 モード 1

最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

### 3.4.2 モード 2

最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

### 3.4.3 モード 3

ポート A の一部の機能がアドレス端子  $A_{23} \sim A_{20}$  となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。 $A_{23} \sim A_{21}$  は、バスリリースコントロールレジスタ (BRCR) のビット 7~5 に "0" をライトすると有効になります (本モードでは  $A_{20}$  は常に出力となります)。

### 3.4.4 モード 4

ポート A の一部の機能がアドレス端子  $A_{23} \sim A_{20}$  となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。 $A_{23} \sim A_{21}$  は、BRCR のビット 7~5 に 0 をライトすると有効になります (本モードでは  $A_{20}$  は常に出力となります)。

### 3.5 各動作モードにおける端子機能

動作モードによりポート 4、およびポート A の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおけるポート 4、およびポート A の機能

ポート	モード 1	モード 2	モード 3	モード 4
ポート 4	$P4_7 \sim P4_0^{*1}$	$D_7 \sim D_0^{*1}$	$P4_7 \sim P4_0^{*1}$	$D_7 \sim D_0^{*1}$
ポート A	$PA_7 \sim PA_4$	$PA_7 \sim PA_4$	$PA_6 \sim PA_4, A_{20}^{*2}$	$PA_6 \sim PA_4, A_{20}^{*2}$

【注】 \*1 初期状態を示しています。ABWCR の設定により、バスモードを切り替えることができます。8 ビットモード時には  $P4_7 \sim P4_0$  に、16 ビットバスモード時には  $D_7 \sim D_0$  となります。

\*2 初期状態を示しています。 $A_{20}$  は常にアドレス出力です。 $PA_6 \sim PA_4$  は、BRCR のビット 7~5 に 0 をライトすることにより  $A_{23} \sim A_{21}$  出力になります。

### 3.6 各動作モードのメモリマップ

本 LSI のメモリマップを図 3.1 および図 3.2 に示します。アドレス空間は 8 エリアに分割されています。

モード 1 とモード 2、モード 3 とモード 4 ではそれぞれバスモードの初期状態が異なります。

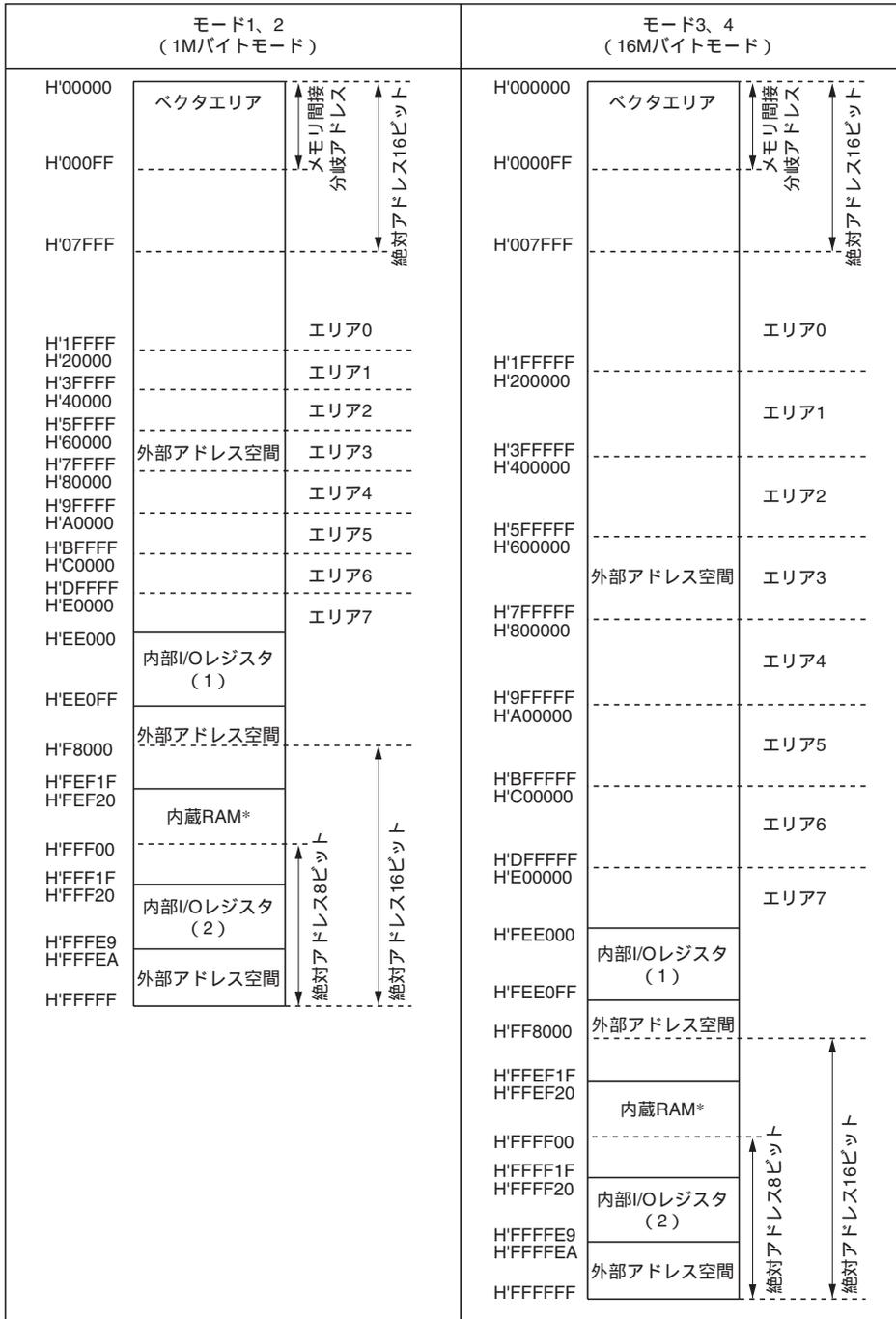
また、モード 1、2 (1M バイトモード) とモード 3、4 (16M バイトモード) で、内蔵 RAM および内部 I/O レジスタの配置が異なります。また、CPU のアドレッシングモードのうち、絶対アドレス 8 ビット / 16 ビット (@aa:8/@aa:16) で指定できる範囲が異なります。

#### 3.6.1 リザーブ領域について

本 LSI のメモリマップ上にはリード/ライトアクセスが禁止されているリザーブ領域があります。

下記のリザーブ領域にアクセスした場合、正常動作が保証されないので注意してください。

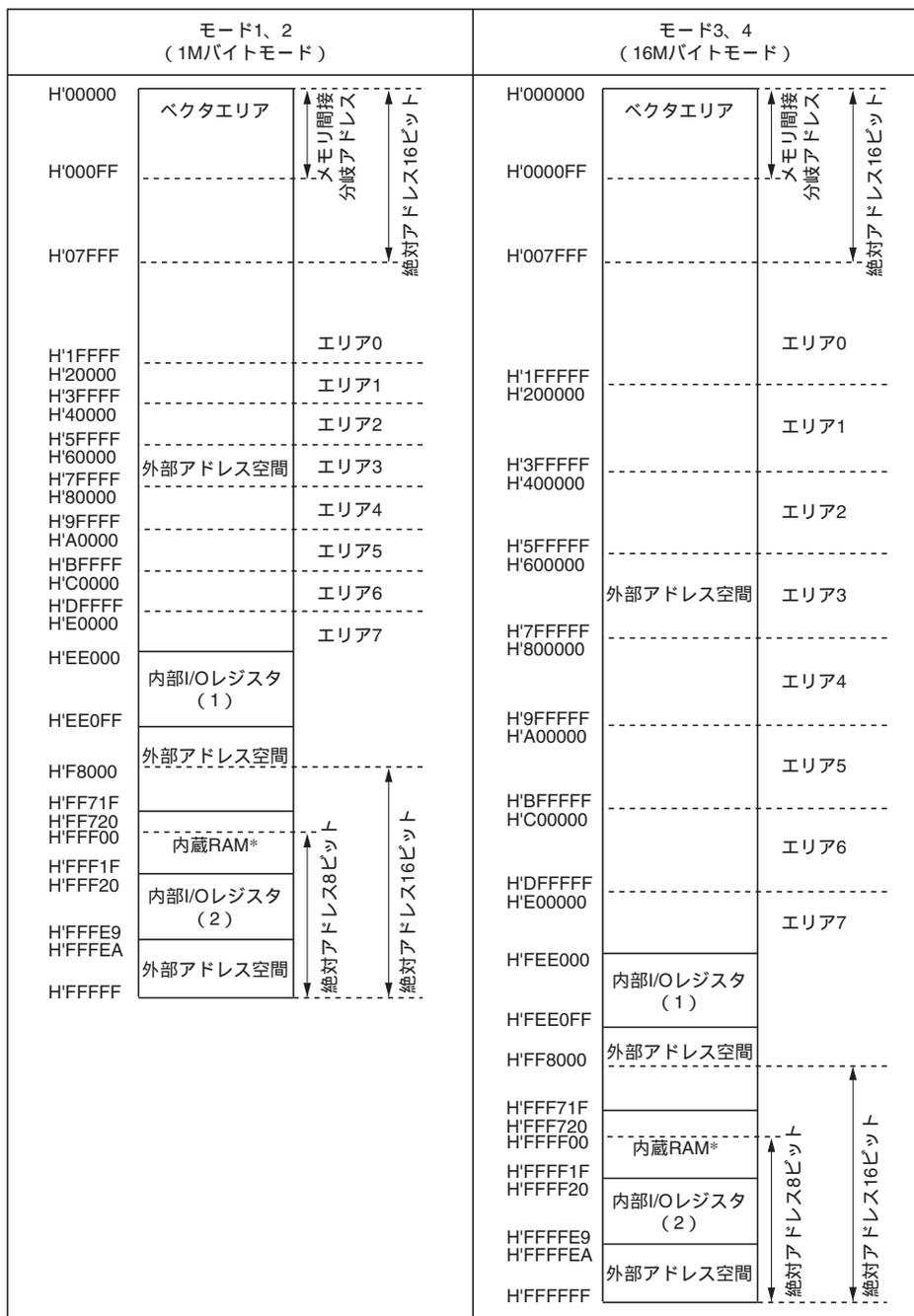
本 LSI の内部 I/O レジスタ空間には、アクセス禁止のリザーブ領域があります。詳細は、「付録 B. 内部 I/O レジスタ一覧」を参照してください。



【注】 \* 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.1 H8/3007 の各動作モードにおけるメモリマップ

### 3. MCU 動作モード



【注】 \* 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.2 H8/3006 の各動作モードにおけるメモリマップ

---

## 4. 例外処理

---

### 4.1 概要

#### 4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、割り込み、およびトラップ命令によるものがあります。これらの例外処理には表 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子が Low レベルから High レベルに変化すると、直ちに開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

#### 4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCR の割り込みマスクビットを 1 にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

【注】リセット例外処理の場合は上記 (2)、(3) の動作を行います。

#### 4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

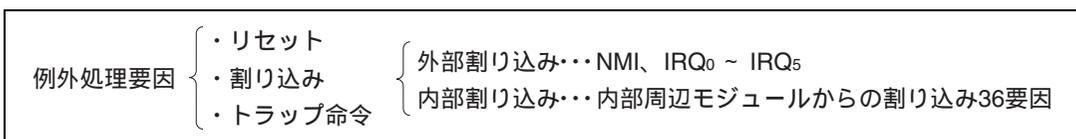


図 4.1 例外処理要因

#### 4. 例外処理

表 4.2 例外処理ベクタテーブル

例外処理		ベクタ番号	ベクタアドレス* <sup>1</sup>	
			アドバンスモード	ノーマルモード* <sup>3</sup>
リセット		0	H'0000 ~ H'0003	H'0000 ~ H'0001
システム予約		1	H'0004 ~ H'0007	H'0002 ~ H'0003
		2	H'0008 ~ H'000B	H'0004 ~ H'0005
		3	H'000C ~ H'000F	H'0006 ~ H'0007
		4	H'0010 ~ H'0013	H'0008 ~ H'0009
		5	H'0014 ~ H'0017	H'000A ~ H'000B
		6	H'0018 ~ H'001B	H'000C ~ H'000D
外部割り込み (NMI)		7	H'001C ~ H'001F	H'000E ~ H'000F
トラップ命令 (4 要因)		8	H'0020 ~ H'0023	H'0010 ~ H'0011
		9	H'0024 ~ H'0027	H'0012 ~ H'0013
		10	H'0028 ~ H'002B	H'0014 ~ H'0015
		11	H'002C ~ H'002F	H'0016 ~ H'0017
外部割り込み	IRQ <sub>0</sub>	12	H'0030 ~ H'0033	H'0018 ~ H'0019
	IRQ <sub>1</sub>	13	H'0034 ~ H'0037	H'001A ~ H'001B
	IRQ <sub>2</sub>	14	H'0038 ~ H'003B	H'001C ~ H'001D
	IRQ <sub>3</sub>	15	H'003C ~ H'003F	H'001E ~ H'001F
	IRQ <sub>4</sub>	16	H'0040 ~ H'0043	H'0020 ~ H'0021
	IRQ <sub>5</sub>	17	H'0044 ~ H'0047	H'0022 ~ H'0023
システム予約		18	H'0048 ~ H'004B	H'0024 ~ H'0025
		19	H'004C ~ H'004F	H'0026 ~ H'0027
内部割り込み* <sup>2</sup>		20	H'0050 ~ H'0053	H'0028 ~ H'0029
		}	}	}
		63	H'00FC ~ H'00FF	H'007E ~ H'007F

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

\*3 ノーマルモードは本 LSI には使用できません。

## 4.2 リセット

### 4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。

$\overline{\text{RES}}$  端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は、「第 12 章 ウォッチドッグタイマ」を参照してください。

### 4.2.2 リセットシーケンス

$\overline{\text{RES}}$  端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は  $\overline{\text{RES}}$  端子を最低 20ms の間、Low レベルに保持してください。また、動作中にリセット状態にするには最低 10 システムクロック ( $\phi$ ) サイクルの間 Low レベルにしてください。リセット状態の各端子の状態は「付録 D.2 リセット時の端子状態」を参照してください。

$\overline{\text{RES}}$  端子が一定期間 Low レベルの後、High レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0003) をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

モード 1、3 のリセットシーケンスを図 4.2 に、モード 2、4 のリセットシーケンスを図 4.3 に示します。

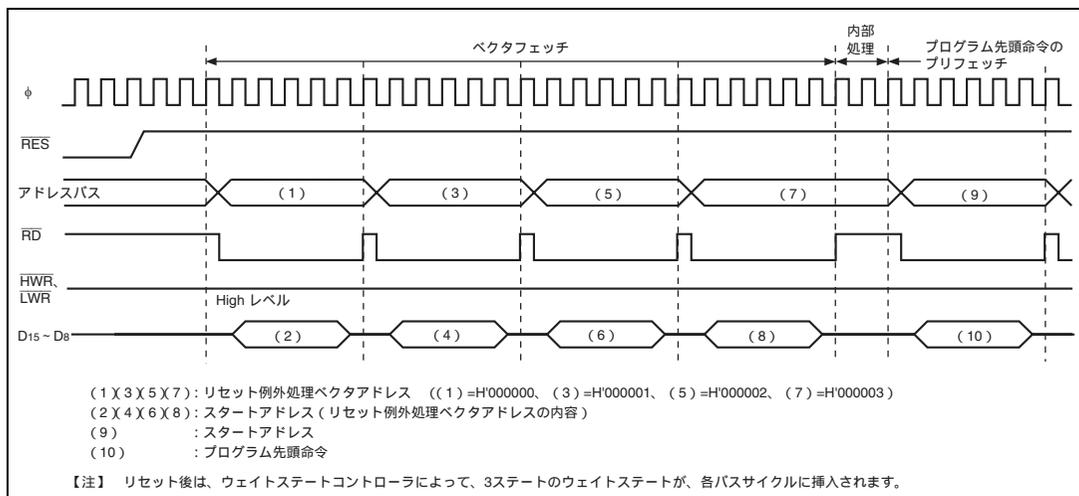


図 4.2 リセットシーケンス (モード 1、3)

## 4. 例外処理

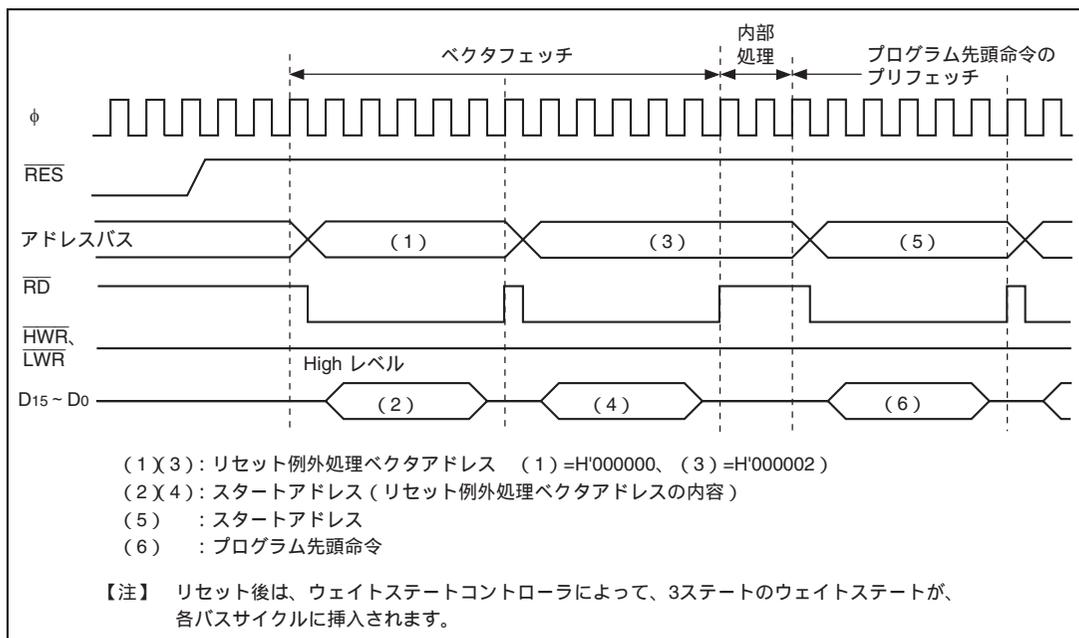


図 4.3 リセットシーケンス (モード 2、4)

### 4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV . L #xx:32,SP)。

### 4.3 割り込み

割り込み例外処理を開始させる要因には、7つの外部割り込み（NMI、IRQ<sub>0</sub>～IRQ<sub>5</sub>）と、内蔵周辺モジュールからの要求による36の内部要因があります。割り込み要因と要因数を図4.4に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、DRAMインタフェース、16ビットタイマ、8ビットタイマ、DMAコントローラ（DMAC）、シリアルコミュニケーションインタフェース（SCI）、およびA/D変換器があります。割り込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割り込みで、常に受け付けられます。割り込みは、割り込みコントローラによって制御されます。割り込みコントローラは、NMI以外の割り込みを2レベルの優先順位を設定して、多重割り込みの制御を行うことができます。割り込みの優先順位は、割り込みコントローラのインタラプトプライオリティレジスタA、B（IPRA、IPRB）に設定します。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

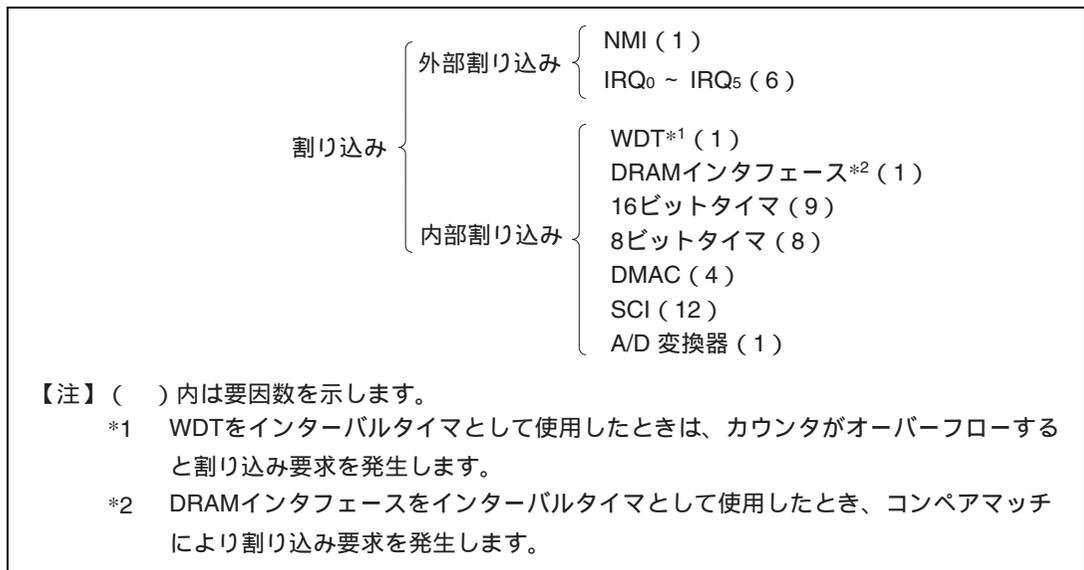


図 4.4 割り込み要因と要因数

## 4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときには CCR の I ビット、UI ビットがそれぞれ 1 にセットされます。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

## 4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

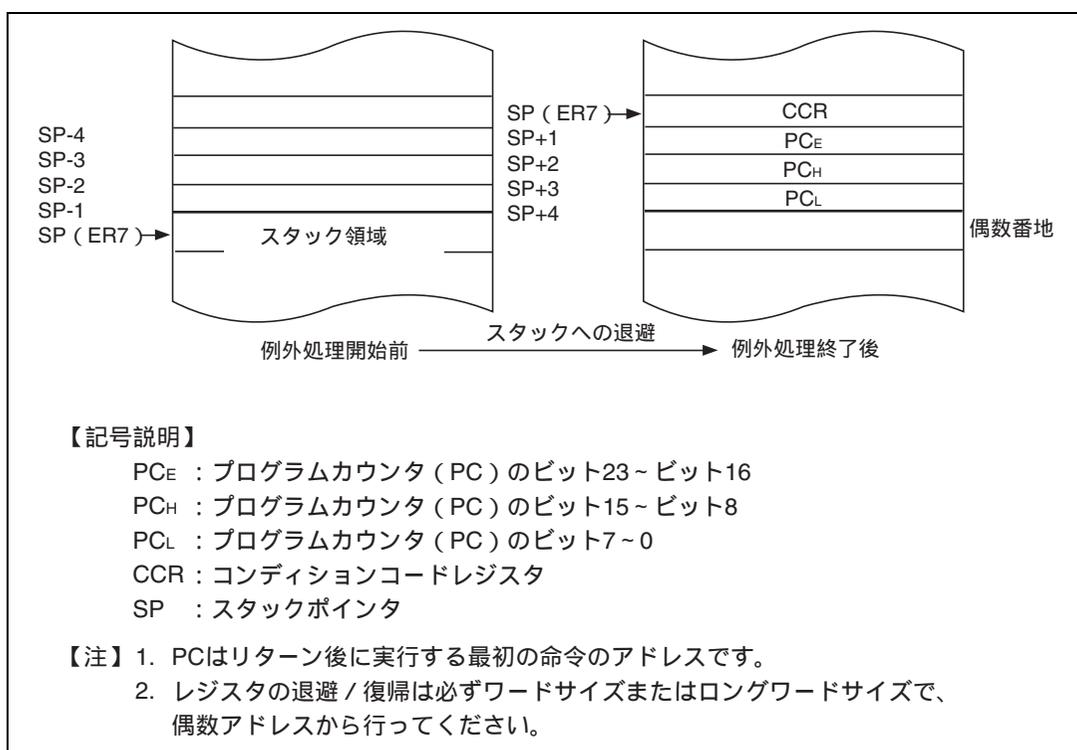


図 4.5 例外処理終了後のスタックの状態

## 4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH . W Rn (MOV . W Rn , @ - SP)
PUSH . L ERn (MOV . L ERn , @ - SP)
```

また、レジスタの復帰は、

```
POP . W Rn (MOV . W @SP+ , Rn)
POP . L ERn (MOV . L @SP+ , ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

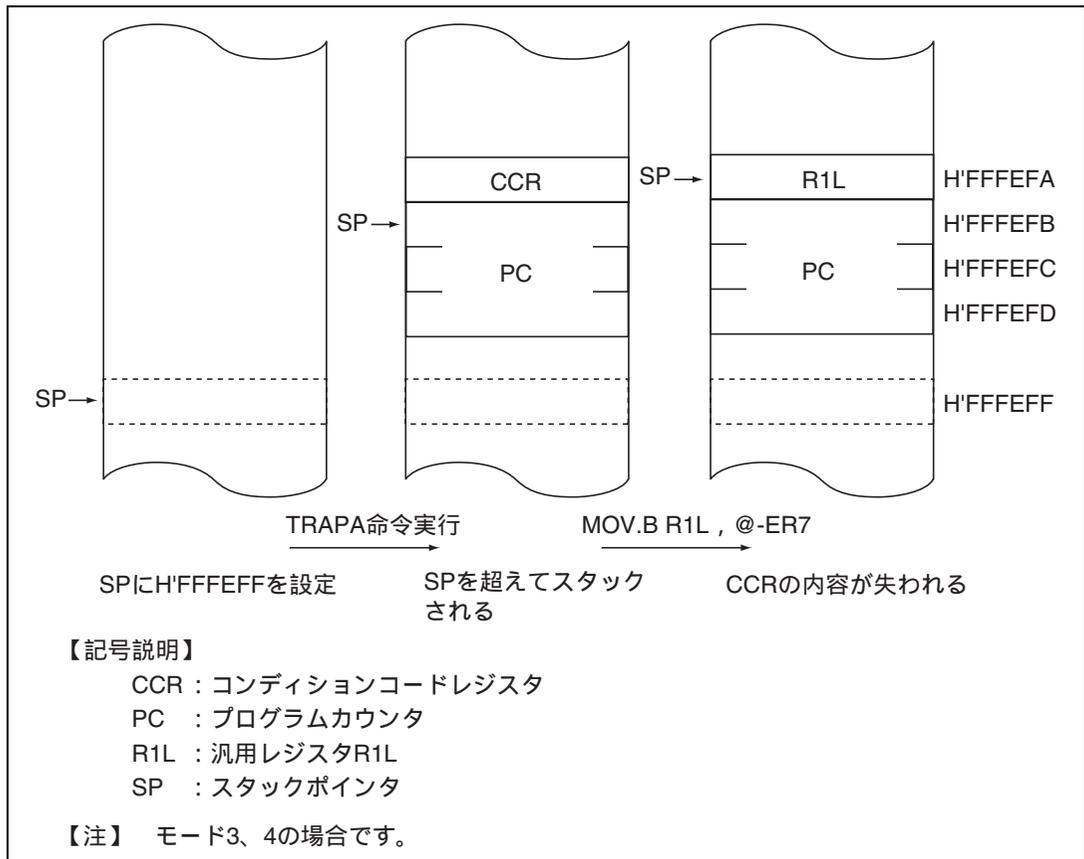


図 4.6 SP を奇数に設定したときの動作

#### 4. 例外处理

---

---

## 5. 割り込みコントローラ

---

### 5.1 概要

#### 5.1.1 特長

割り込みコントローラには、次の特長があります。

IPR により、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ A、B (IPRA、IPRB) を備えており、NMI 以外の割り込みを要因ごとまたはモジュールごとに 2 レベルの優先順位を設定できます。

CPU のコンディションコードレジスタ (CCR) の I、UI ビットとシステムコントロールレジスタ (SYSCR) の UE ビットにより、3 レベルの許可 / 禁止状態を設定可能。

7 本の外部割り込み端子

NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジ / 立ち下がりエッジを選択できます。また IRQ<sub>0</sub> ~ IRQ<sub>3</sub> は立ち下がりエッジ / レベルセンスを独立に選択できます。

## 5. 割り込みコントローラ

### 5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

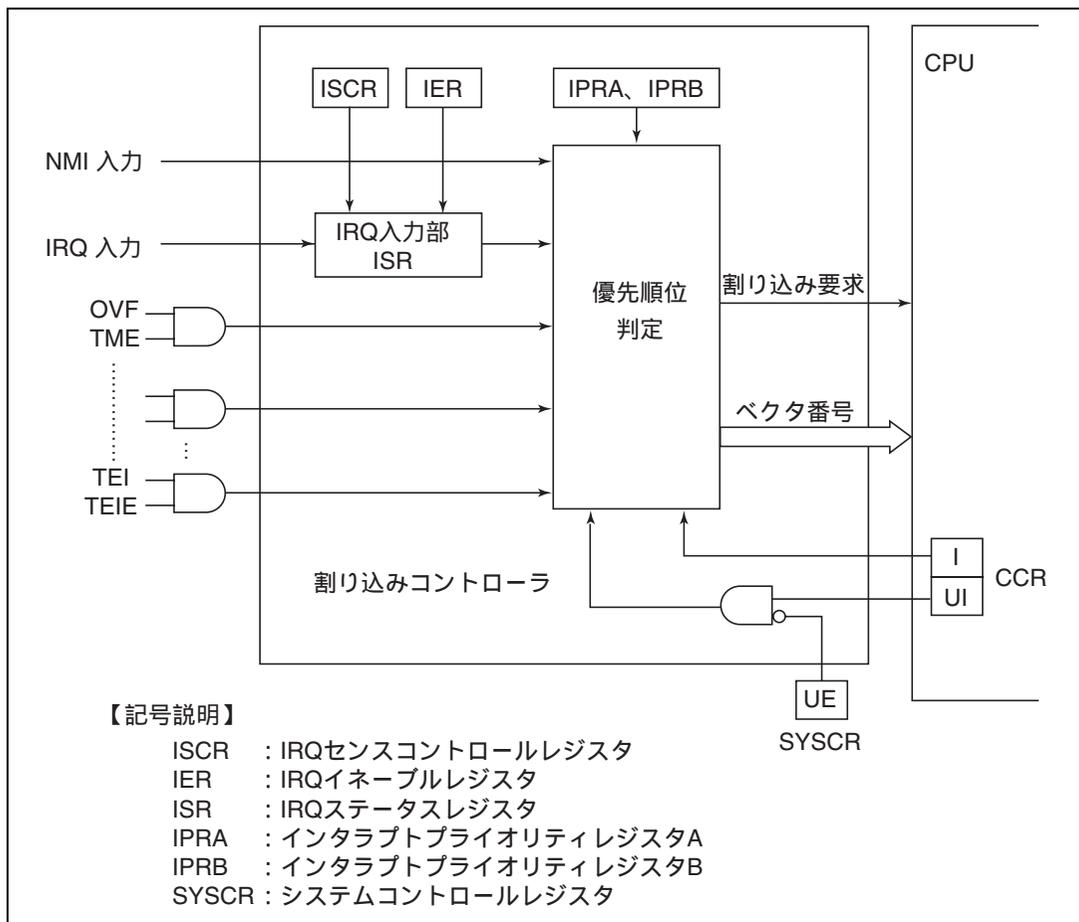


図 5.1 割り込みコントローラのブロック図

### 5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み、立ち上がりエッジ/立ち下がりエッジ選択可能
外部割り込み要求 5~0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$	入力	マスク可能な外部割り込み、立ち下がりエッジ/レベルセンス選択可能

### 5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス* <sup>1</sup>	名称	略称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09
H'EE014	IRQ センスコントロールレジスタ	ISCR	R/W	H'00
H'EE015	IRQ イネーブルレジスタ	IER	R/W	H'00
H'EE016	IRQ ステータスレジスタ	ISR	R/(W)* <sup>2</sup>	H'00
H'EE018	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'EE019	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 5.2 各レジスタの説明

### 5.2.1 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCR の UI ビットの動作の選択、NMI の検出エッジの選択、および内蔵 RAM 有効/無効の選択を行います。

ここでは、ビット 3、2 についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセット、またはハードウェアスタンバイモード時に H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RAMイネーブル

ソフトウェアスタンバイ  
出力ポートイネーブル

NMIエッジセレクト  
NMI端子の入力エッジを  
選択するビットです。

ユーザビットイネーブル  
CCRのUIビットをユーザビットとして  
使用するか、割り込みマスクビットとし  
て使用するかを選択するビットです。

スタンバイタイムセレクト2~0

ソフトウェアスタンバイ

## ビット3：ユーザビットイネーブル（UE）

CCRのUIビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCRのUIビットを割り込みマスクビットとして使用
1	CCRのUIビットをユーザビットとして使用 (初期値)

## ビット2：NMI エッジセレクト（NMIEG）

NMI端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI入力の立ち上がりエッジで割り込み要求を発生

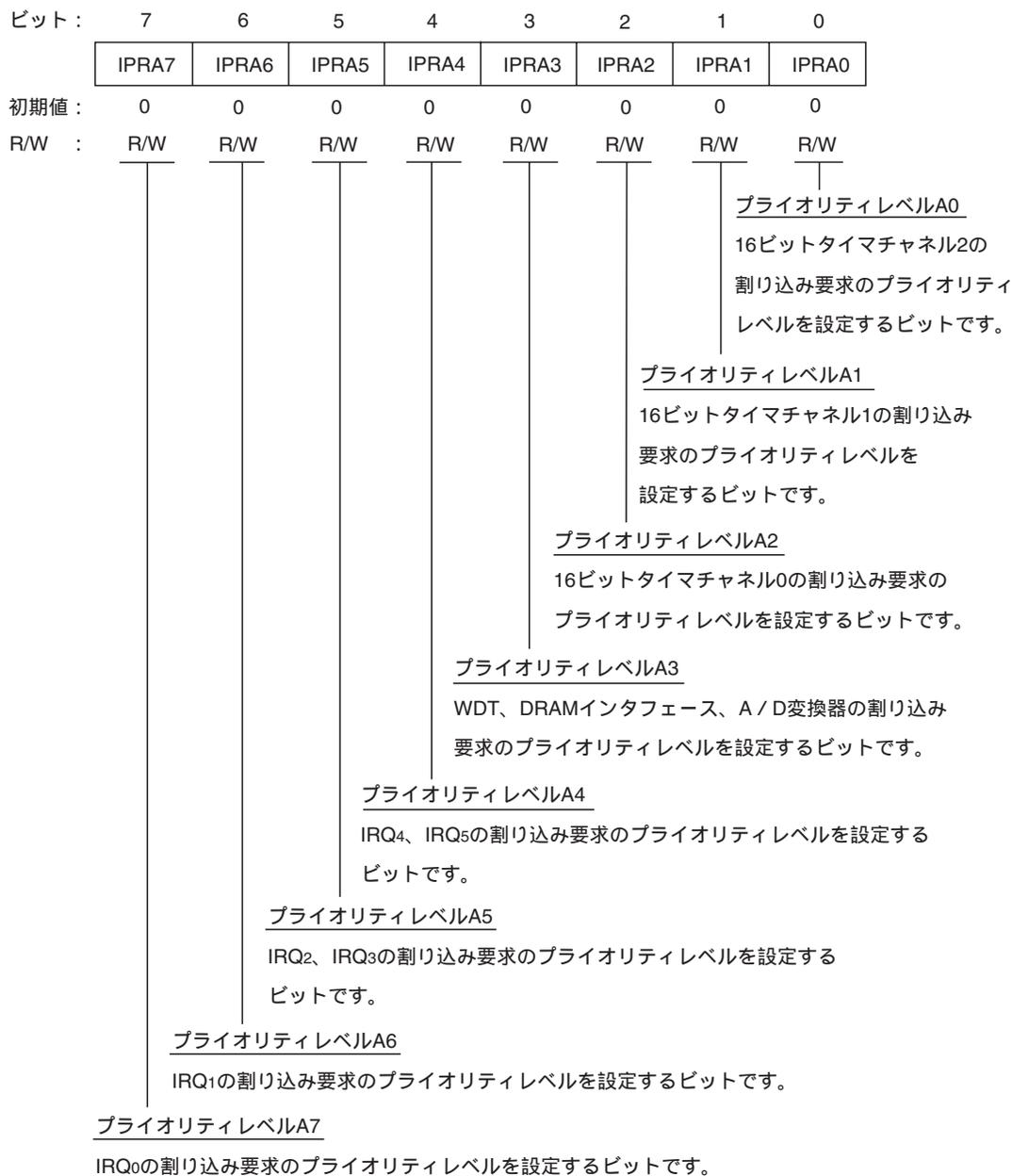
## 5.2.2 インタラプトプライオリティレジスタ A、B（IPRA、IPRB）

IPRA、IPRBはおのおの8ビットのリード/ライト可能なレジスタで割り込みの優先順位を制御します。

## 5. 割り込みコントローラ

### (1) インタラプトプライオリティレジスタ A (IPRA)

IPRA は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

## ビット7：プライオリティレベル A7 (IPRA7)

IRQ<sub>0</sub>の割り込み要求のプライオリティレベルを設定します。

ビット7	説 明
IPRA7	
0	IRQ <sub>0</sub> の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	IRQ <sub>0</sub> の割り込み要求はプライオリティレベル1 (優先)

## ビット6：プライオリティレベル A6 (IPRA6)

IRQ<sub>1</sub>の割り込み要求のプライオリティレベルを設定します。

ビット6	説 明
IPRA6	
0	IRQ <sub>1</sub> の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	IRQ <sub>1</sub> の割り込み要求はプライオリティレベル1 (優先)

## ビット5：プライオリティレベル A5 (IPRA5)

IRQ<sub>2</sub>、IRQ<sub>3</sub>の割り込み要求のプライオリティレベルを設定します。

ビット5	説 明
IPRA5	
0	IRQ <sub>2</sub> 、IRQ <sub>3</sub> の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	IRQ <sub>2</sub> 、IRQ <sub>3</sub> の割り込み要求はプライオリティレベル1 (優先)

## ビット4：プライオリティレベル A4 (IPRA4)

IRQ<sub>4</sub>、IRQ<sub>5</sub>の割り込み要求のプライオリティレベルを設定します。

ビット4	説 明
IPRA4	
0	IRQ <sub>4</sub> 、IRQ <sub>5</sub> の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	IRQ <sub>4</sub> 、IRQ <sub>5</sub> の割り込み要求はプライオリティレベル1 (優先)

## ビット3：プライオリティレベル A3 (IPRA3)

WDT、DRAM インタフェース、A/D 変換器の割り込み要求のプライオリティレベルを設定します。

ビット3	説 明
IPRA3	
0	WDT、DRAM インタフェース、A/D 変換器の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	WDT、DRAM インタフェース、A/D 変換器の割り込み要求はプライオリティレベル1 (優先)

## 5. 割り込みコントローラ

---

### ビット 2 : プライオリティレベル A2 ( IPRA2 )

16 ビットタイマチャンネル 0 の割り込み要求のプライオリティレベルを設定します。

ビット 2	説 明
IPRA2	
0	16 ビットタイマチャンネル 0 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	16 ビットタイマチャンネル 0 の割り込み要求はプライオリティレベル 1 (優先)

### ビット 1 : プライオリティレベル A1 ( IPRA1 )

16 ビットタイマチャンネル 1 の割り込み要求のプライオリティレベルを設定します。

ビット 1	説 明
IPRA1	
0	16 ビットタイマチャンネル 1 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	16 ビットタイマチャンネル 1 の割り込み要求はプライオリティレベル 1 (優先)

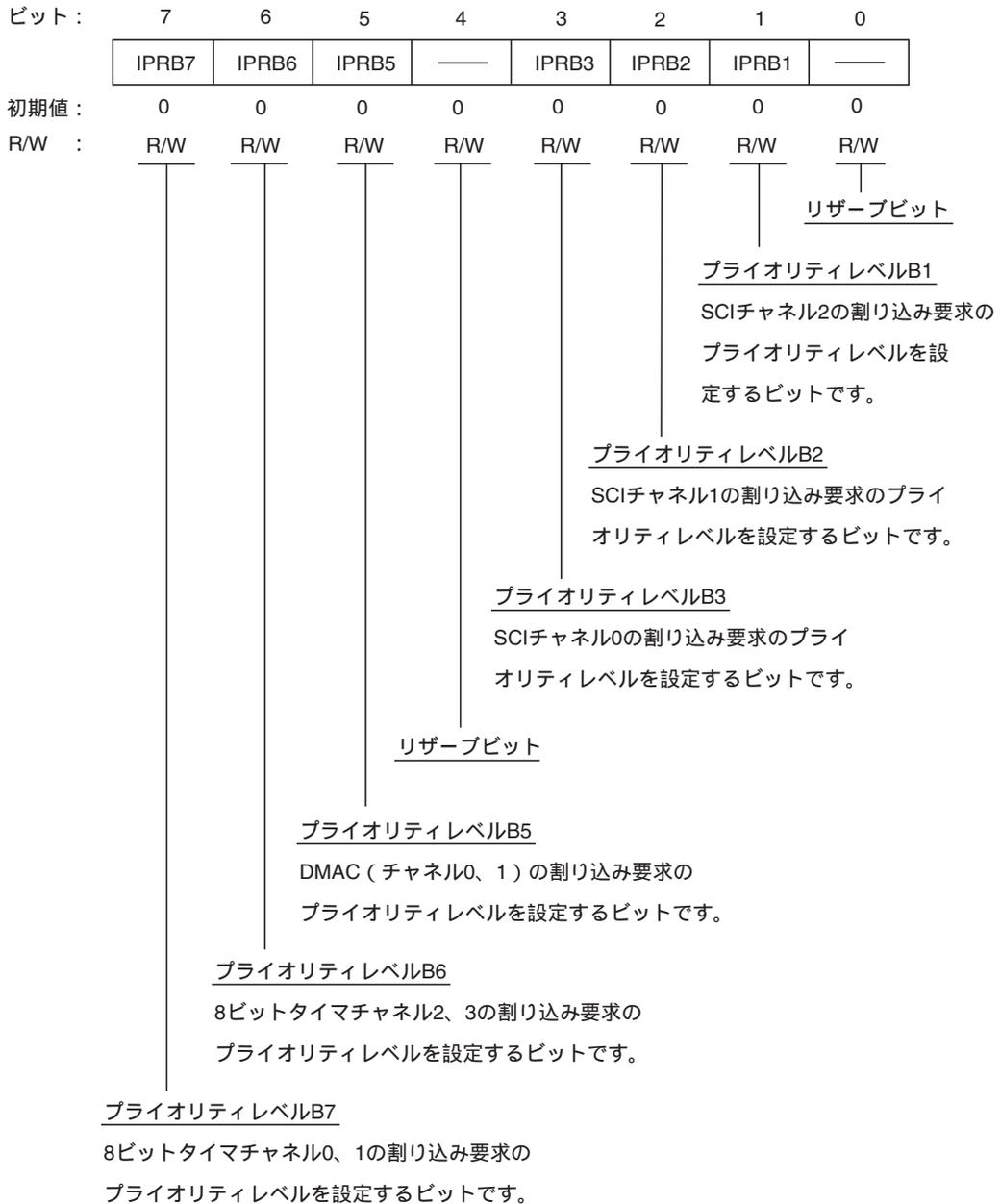
### ビット 0 : プライオリティレベル A0 ( IPRA0 )

16 ビットタイマチャンネル 2 の割り込み要求のプライオリティレベルを設定します。

ビット 0	説 明
IPRA0	
0	16 ビットタイマチャンネル 2 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	16 ビットタイマチャンネル 2 の割り込み要求はプライオリティレベル 1 (優先)

## (2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

## 5. 割り込みコントローラ

---

### ビット7：プライオリティレベル B7 (IPRB7)

8ビットタイムチャネル0、1の割り込み要求のプライオリティレベルを設定します。

ビット7	説 明
IPRB7	
0	8ビットタイムチャネル0、1の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	8ビットタイムチャネル0、1の割り込み要求はプライオリティレベル1(優先)

### ビット6：プライオリティレベル B6 (IPRB6)

8ビットタイムチャネル2、3の割り込み要求のプライオリティレベルを設定します。

ビット6	説 明
IPRB6	
0	8ビットタイムチャネル2、3の割り込み要求はプライオリティレベル0(非優先) (初期値)
1	8ビットタイムチャネル2、3の割り込み要求はプライオリティレベル1(優先)

### ビット5：プライオリティレベル B5 (IPRB5)

DMAC(チャネル0、1)の割り込み要求のプライオリティレベルを設定します。

ビット5	説 明
IPRB5	
0	DMAC(チャネル0、1)の割り込み要求はプライオリティレベル0(非優先)(初期値)
1	DMAC(チャネル0、1)の割り込み要求はプライオリティレベル1(優先)

### ビット4：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

### ビット3：プライオリティレベル B3 (IPRB3)

SCIチャネル0の割り込み要求のプライオリティレベルを設定します。

ビット3	説 明
IPRB3	
0	SCIチャネル0の割り込み要求はプライオリティレベル0(非優先)(初期値)
1	SCIチャネル0の割り込み要求はプライオリティレベル1(優先)

ビット2：プライオリティレベル B2 (IPRB2)

SCI チャンネル1の割り込み要求のプライオリティレベルを設定します。

ビット2	説明
IPRB2	
0	SCI チャンネル1の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCI チャンネル1の割り込み要求はプライオリティレベル1 (優先)

ビット1：プライオリティレベル B1 (IPRB1)

SCI チャンネル2の割り込み要求のプライオリティレベルを設定します。

ビット1	説明
IPRB1	
0	SCI チャンネル2の割り込み要求はプライオリティレベル0 (非優先) (初期値)
1	SCI チャンネル2の割り込み要求はプライオリティレベル1 (優先)

ビット0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

### 5.2.3 IRQ ステータスレジスタ (ISR)

ISR は8ビットのリード/ライト可能なレジスタで、IRQ<sub>0</sub> ~ IRQ<sub>5</sub> 割り込み要求のステータスの表示を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット
IRQ5 ~ IRQ0フラグ

IRQ5 ~ IRQ0フラグ割り込み要求のステータスを表示するビットです。

【注】 \* フラグをクリアするための0ライトのみ可能です。

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

## 5. 割り込みコントローラ

### ビット7、6：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

### ビット5～0：IRQ<sub>5</sub>～IRQ<sub>0</sub>フラグ（IRQ5F～IRQ0F）

IRQ<sub>5</sub>～IRQ<sub>0</sub>割り込み要求のステータスの表示を行います。

ビット5～0 IRQ5F～IRQ0F	説明
0	〔クリア条件〕 (初期値) (1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに0をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQn}}$ 入力が High レベルの状態でも割り込み例外処理を実行したとき (3) IRQnSC = 1 の状態で IRQn 割り込み例外処理を実行したとき
1	〔セット条件〕 (1) IRQnSC = 0 の状態で $\overline{\text{IRQn}}$ 入力が Low レベルになったとき (2) IRQnSC = 1 の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき

【注】 n = 5～0

## 5.2.4 IRQ イネーブルレジスタ（IER）

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ<sub>0</sub>～IRQ<sub>5</sub>割り込み要求の許可/禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		IRQ <sub>5</sub> ～IRQ <sub>0</sub> イネーブル					
							IRQ <sub>5</sub> ～IRQ <sub>0</sub> 割り込みを許可/禁止するかを選択するビットです。	

IER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

### ビット7、6：リザーブビット

リザーブビットです。リード/ライト可能ですが、割り込み要求の許可/禁止には関係ありません。

ビット 5～0 : IRQ<sub>5</sub>～IRQ<sub>0</sub> イネーブル (IRQ5E～IRQ0E)

IRQ<sub>5</sub>～IRQ<sub>0</sub> 割り込みを許可 / 禁止するかを選択します。

ビット 5～0	説明
IRQ5E～IRQ0E	
0	IRQ <sub>5</sub> ～IRQ <sub>0</sub> 割り込みを禁止 (初期値)
1	IRQ <sub>5</sub> ～IRQ <sub>0</sub> 割り込みを許可

### 5.2.5 IRQ センスコントロールレジスタ (ISCR)

ISCR は 8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$  端子の入力のレベルセンスまたは立ち下がリエッジを選択します。

ビット :	7	6	5	4	3	2	1	0
	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		IRQ <sub>5</sub> ～IRQ <sub>0</sub> センスコントロール					
							IRQ <sub>5</sub> ～IRQ <sub>0</sub> 割り込みのレベルセンスまたは立ち下がリエッジを選択するビットです。	

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能ですが、レベルセンスまたは立ち下がリエッジの選択には関係ありません。

ビット 5～0 : IRQ<sub>5</sub>～IRQ<sub>0</sub> センスコントロール (IRQ5SC～IRQ0SC)

IRQ<sub>5</sub>～IRQ<sub>0</sub> 割り込みを  $\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$  端子のレベルセンスで要求するか、立ち下がリエッジで要求するかを選択します。

ビット 5～0	説明
IRQ5SC～IRQ0SC	
0	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の Low レベルで割り込み要求を発生 (初期値)
1	$\overline{\text{IRQ}}_5 \sim \overline{\text{IRQ}}_0$ 入力の立ち下がリエッジで割り込み要求を発生

## 5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ<sub>0</sub>～IRQ<sub>5</sub>）と内部割り込み（36 要因）があります。

### 5.3.1 外部割り込み

外部割り込みには、NMI、IRQ<sub>0</sub>～IRQ<sub>5</sub>の7 要因があります。このうち、NMI、IRQ<sub>0</sub>～IRQ<sub>2</sub>はソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は7 です。

#### (2) IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込み

IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込みは  $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$  端子の入力信号により要求されます。IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込みには次の特長があります。

- $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$  端子の Low レベルまたは立ち下がりエッジのどちらで割り込みを要求するか、ISCR で選択できます。
- IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込み要求を許可するか禁止するかを、IER で選択できます。また、IPRA の IPRA7～IPRA4 ビットにより割り込みプライオリティレベルを設定できます。
- IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで0 にクリアすることができます。

IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込みのブロック図を図 5.2 に示します。

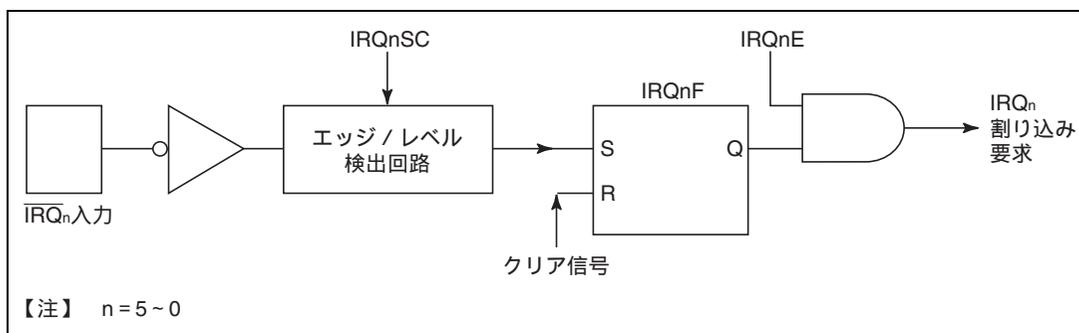


図 5.2 IRQ<sub>0</sub>～IRQ<sub>5</sub> 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

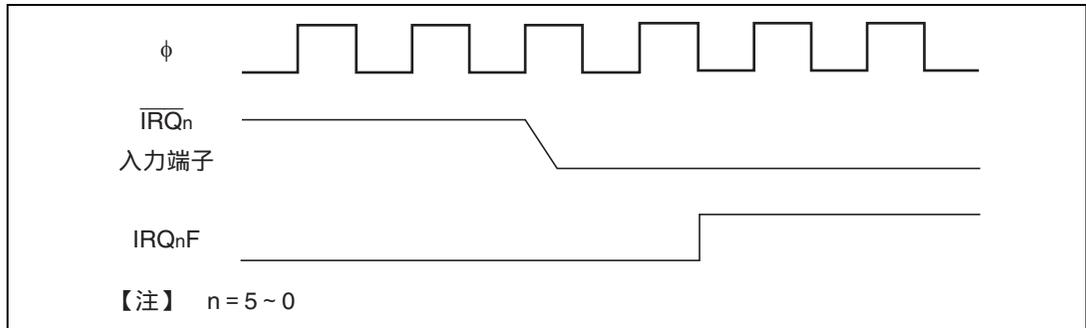


図 5.3 IRQnF セットタイミング

IRQ<sub>0</sub> ~ IRQ<sub>5</sub> 割り込み例外処理のベクタ番号は 12 ~ 17 です。

IRQ<sub>0</sub> ~ IRQ<sub>5</sub> 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合は、対応する DDR を 0 にクリアし、チップセレクト出力端子、リフレッシュ出力端子、SCI の入出力端子、A/D 外部トリガ入力端子としては使用しないでください。

### 5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みは 36 要因あります。

- (1) 各内蔵周辺モジュールには割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、IPRBによって割り込みプライオリティレベルを設定できます。
- (3) 16ビットタイマ、SCI、A/D変換器の割り込み要求でDMACの起動ができます。この場合、割り込みコントローラに対して割り込みは要求されません。このときはI、UIビットの影響を受けません。

## 5. 割り込みコントローラ

### 5.3.3 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、IPRB により NMI 以外の割り込みの優先順位を変更することができます。

リセット後の割り込み優先順位は表 5.3 に示されるデフォルトの順位となります。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*	IPR	優先順位
			アドバンストモード		
NMI	外部端子	7	H'001C ~ H'001F	—	高 ↑
IRQ <sub>0</sub>		12	H'0030 ~ H'0033	IPRA7	
IRQ <sub>1</sub>		13	H'0034 ~ H'0037	IPRA6	
IRQ <sub>2</sub>		14	H'0038 ~ H'003B	IPRA5	
IRQ <sub>3</sub>		15	H'003C ~ H'003F	IPRA5	
IRQ <sub>4</sub>		16	H'0040 ~ H'0043	IPRA4	
IRQ <sub>5</sub>		17	H'0044 ~ H'0047	IPRA4	
リザーブ	—	18	H'0048 ~ H'004B	IPRA3	
		19	H'004C ~ H'004F		
WOVI (インターバルタイマ)	ウォッチドッグタイマ	20	H'0050 ~ H'0053	IPRA3	
CMI (コンペアマッチ)	DRAM インタフェース	21	H'0054 ~ H'0057		
リザーブ	—	22	H'0058 ~ H'005B		
ADI (A/D エンド)	A/D	23	H'005E ~ H'005F	IPRA2	
IMIA0(コンペアマッチ/インプットキャプチャ A0)	16 ビットタイマ チャネル 0	24	H'0060 ~ H'0063		
IMIB0(コンペアマッチ/インプットキャプチャ B0)		25	H'0064 ~ H'0067		
OVI0 (オーバフロー-0)		26	H'0068 ~ H'006B		
リザーブ	—	27	H'006C ~ H'006F		
IMIA1(コンペアマッチ/インプットキャプチャ A1)	16 ビットタイマ チャネル 1	28	H'0070 ~ H'0073	IPRA1	
IMIB1(コンペアマッチ/インプットキャプチャ B1)		29	H'0074 ~ H'0077		
OVI1 (オーバフロー-1)		30	H'0078 ~ H'007B		
リザーブ	—	31	H'007C ~ H'007F		
IMIA2(コンペアマッチ/インプットキャプチャ A2)	16 ビットタイマ チャネル 2	32	H'0080 ~ H'0083	IPRA0	
IMIB2(コンペアマッチ/インプットキャプチャ B2)		33	H'0084 ~ H'0087		
OVI2 (オーバフロー-2)		34	H'0088 ~ H'008B		
リザーブ	—	35	H'008C ~ H'008F	低	

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスモード		
CMIA0 (コンペアマッチ A0) CMIB0 (コンペアマッチ B0) CMIA1/CMIB1 (コンペアマッチ A1/B1) TOVI0/TOVI1 (オーバフロー 0/1)	8 ビットタイマ チャンネル 0/1	36	H'0090 ~ H'0093	IPRB7	↑ 高
		37	H'0094 ~ H'0097		
		38	H'0098 ~ H'009B		
		39	H'009C ~ H'009F		
CMIA2 (コンペアマッチ A2) CMIB2 (コンペアマッチ B2) CMIA3/CMIB3 (コンペアマッチ A3/B3) TOVI2/TOVI3 (オーバフロー 2/3)	8 ビットタイマ チャンネル 2/3	40	H'00A0 ~ H'00A3	IPRB6	
		41	H'00A4 ~ H'00A7		
		42	H'00A8 ~ H'00AB		
		43	H'00AC ~ H'00AF		
DEND0A DEND0B DEND1A DEND1B	DMAC	44	H'00B0 ~ H'00B3	IPRB5	
		45	H'00B4 ~ H'00B7		
		46	H'00B8 ~ H'00BB		
		47	H'00BC ~ H'00BF		
リザーブ	—	48	H'00C0 ~ H'00C3	—	
		49	H'00C4 ~ H'00C7		
		50	H'00C8 ~ H'00CB		
		51	H'00CC ~ H'00CF		
ERI0 (受信エラー0) RXI0 (受信完了0) TXI0 (送信データエンプティ0) TEI0 (送信終了0)	SCI チャンネル 0	52	H'00D0 ~ H'00D3	IPRB3	
		53	H'00D4 ~ H'00D7		
		54	H'00D8 ~ H'00DB		
		55	H'00DC ~ H'00DF		
ERI1 (受信エラー1) RXI1 (受信完了1) TXI1 (送信データエンプティ1) TEI1 (送信終了1)	SCI チャンネル 1	56	H'00E0 ~ H'00E3	IPRB2	
		57	H'00E4 ~ H'00E7		
		58	H'00E8 ~ H'00EB		
		59	H'00EC ~ H'00EF		
ERI2 (受信エラー2) RXI2 (受信完了2) TXI2 (送信データエンプティ2) TEI2 (送信終了2)	SCI チャンネル 2	60	H'00F0 ~ H'00F3	IPRB1	↓ 低
		61	H'00F4 ~ H'00F7		
		62	H'00F8 ~ H'00FB		
		63	H'00FC ~ H'00FF		

【注】 \* アドレスの下位 16 ビットを示しています。

## 5.4 割り込み動作

### 5.4.1 割り込み動作の流れ

本 LSI では、割り込みの動作は UE ビットの状態によって異なります。UE = 1 のときは I ビットで割り込みの制御が行われます。UE = 0 のときは、I、UI ビットの組み合わせで割り込みの制御が行われます。表 5.4 に UE、I、UI ビットの各組み合わせのときの割り込みの状態を示します。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は無視されます。

表 5.4 UE、I、UI ビットの組み合わせによる割り込みの状態

SYSCR	CCR		状態
	I	UI	
1	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1	-	NMI 以外の割り込みを受け付けません。
0	0	-	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
		0	NMI およびプライオリティレベル 1 の割り込み要因のみを受け付けます。
	1	1	NMI 以外の割り込みを受け付けません。

#### (1) UE ビット = 1 の場合

IRQ<sub>0</sub> ~ IRQ<sub>5</sub> 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I ビットにより一括して、許可 / 禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。プライオリティレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.4 に示します。

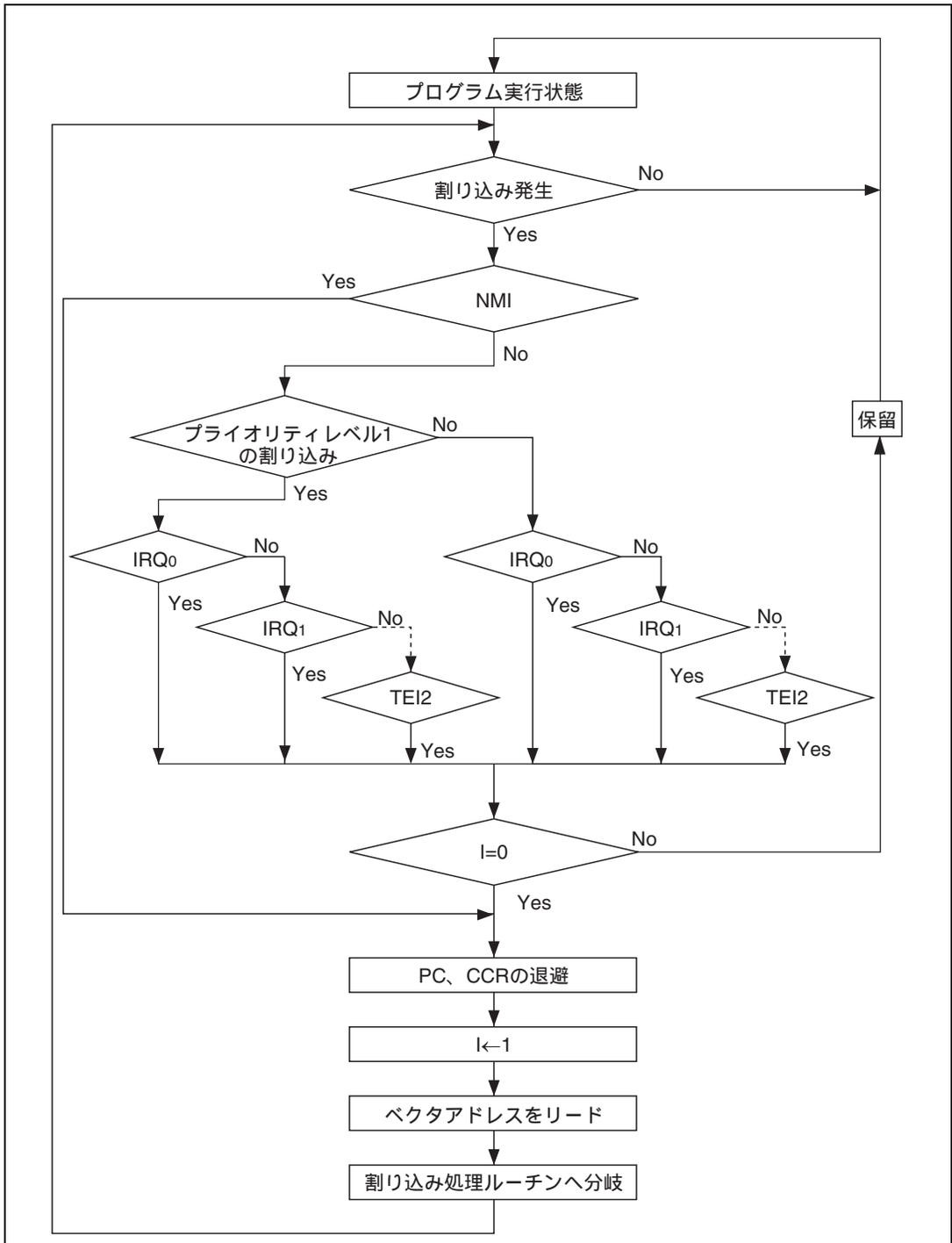


図 5.4 UE = 1 の場合の割り込み受け付けまでのフロー

## 5. 割り込みコントローラ

---

- [ 1 ] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [ 3 ] Iビットを参照します。Iビットが0にクリアされているときは、割り込み要求が受け付けられます。Iビットが1にセットされているときは、NMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [ 4 ] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [ 5 ] 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [ 6 ] 次にCCRのIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [ 7 ] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

### (2) UE ビット = "0" の場合

IRQ<sub>0</sub> ~ IRQ<sub>5</sub> 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I、UI ビット、IPR に よって 3 レベルの許可 / 禁止状態を実現できます。

- (a) プライオリティレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、IビットおよびUIビットがいずれも1にセットされているとき禁止状態となります。

たとえば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、IPRA、IPRBをそれぞれH'20、H'00に設定した場合（IRQ<sub>2</sub>、IRQ<sub>3</sub>割り込み要求の優先順位を他の割り込みより高くした場合）、次のようになります。

- (a) I = 0 のとき、すべての割り込みを許可（優先順位：NMI > IRQ<sub>2</sub> > IRQ<sub>3</sub> > IRQ<sub>0</sub>...）
- (b) I = 1、UI = 0 のとき、NMI、IRQ<sub>2</sub>、IRQ<sub>3</sub>割り込みのみを許可
- (c) I = 1、UI = 1 のとき、NMI以外の割り込みを禁止

また、このときの状態遷移を図 5.5 に示します。

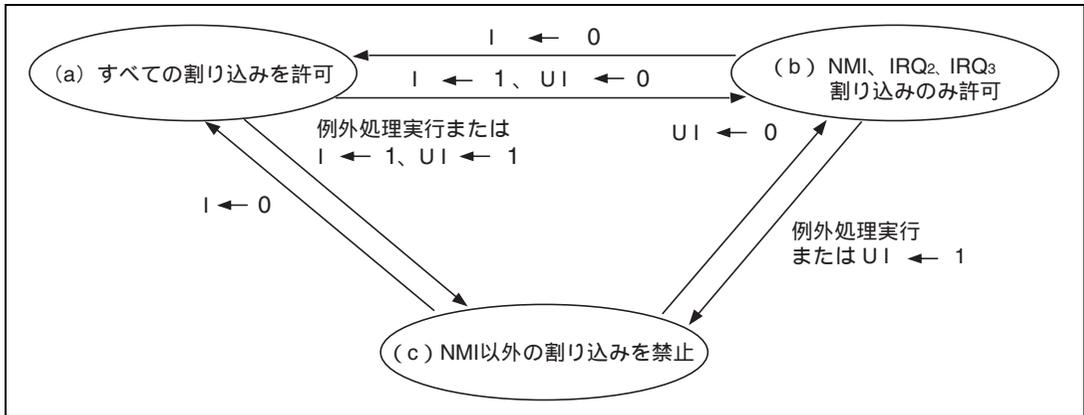


図 5.5 割り込み許可 / 禁止状態の遷移例

UE ビット=0 のときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- [ 1 ] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [ 3 ] Iビットを参照します。Iビットが0にクリアされているときは、IPRに関係なく割り込み要求を受け付けられます。このときはUIビットの影響を受けません。Iビットが1にセットされ、UIビットが0にクリアされているときは、プライオリティレベル1の割り込み要求のみが受け付けられ、プライオリティレベル0の割り込み要求は保留となります。I、UIビットがいずれも1にセットされているときは、割り込み要求は保留となります。
- [ 4 ] 割り込み要求を受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [ 5 ] 割り込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [ 6 ] CCRのI、UIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [ 7 ] 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

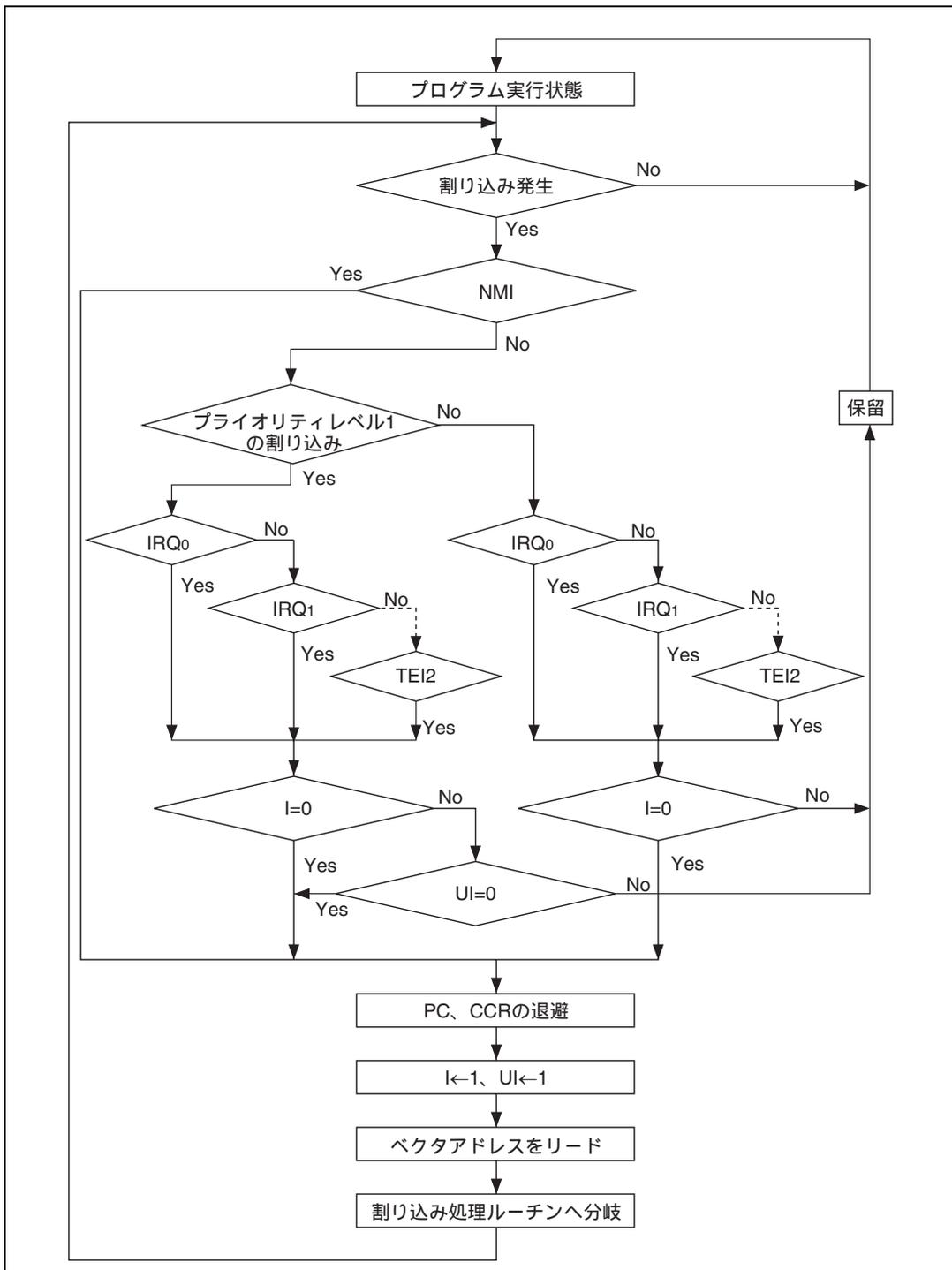


図 5.6 UE = 0 の場合の割り込み受け付けまでのフロー

## 5.4.2 割り込み例外処理シーケンス

モード2で、プログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間にとった場合の割り込みシーケンスを図5.7に示します。

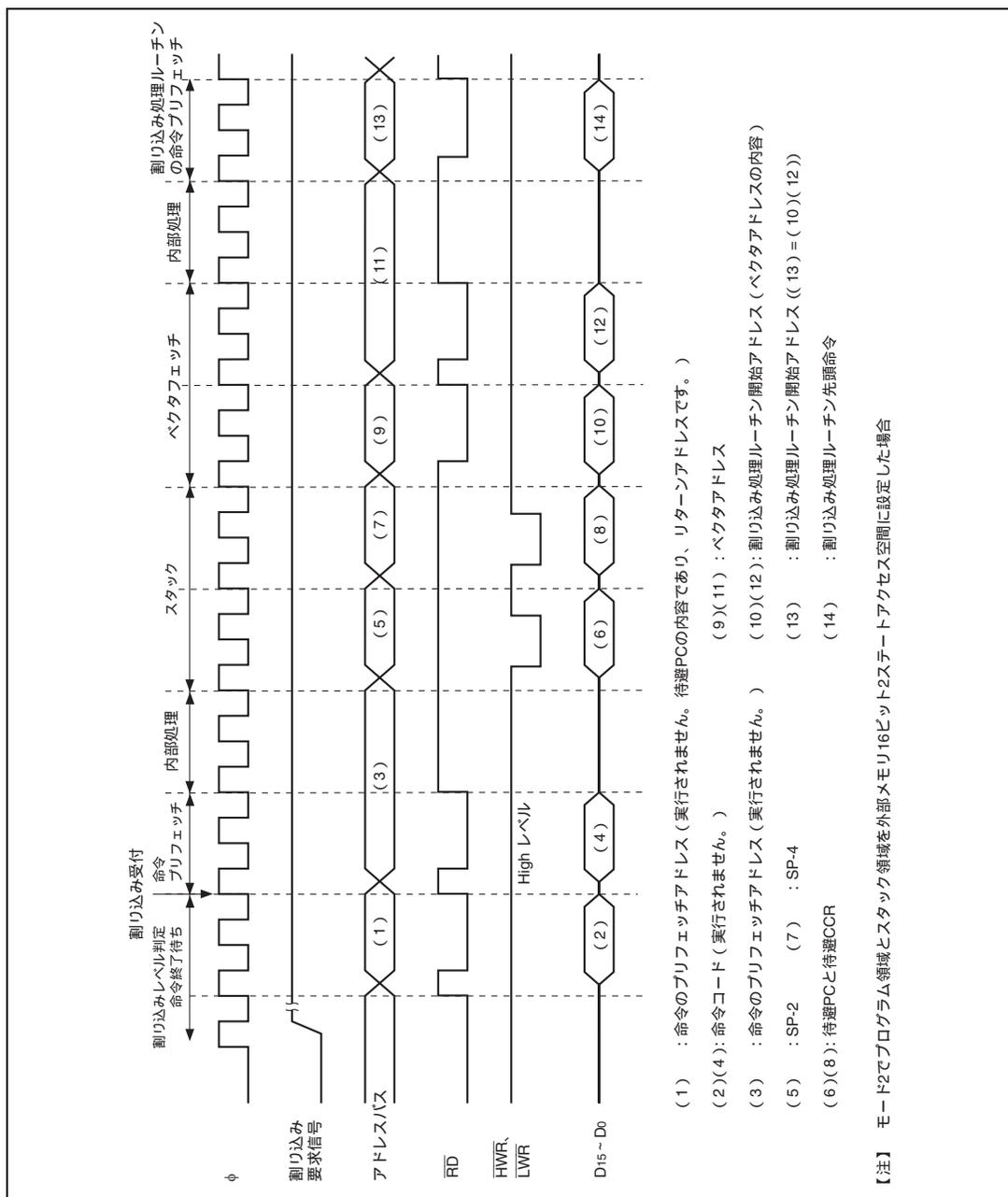


図 5.7 割り込み例外処理シーケンス

## 5. 割り込みコントローラ

### 5.4.3 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 5.5 に示します。

表 5.5 割り込み応答時間

No.	項目	内蔵メモリ	外部メモリ			
			8ビットバス		16ビットバス	
			2ステート	3ステート	2ステート	3ステート
1	割り込み優先順位判定		2* <sup>1</sup>			
2	実行中の命令が終了するまでの最大待ちステート数	1~23	1~27	1~31* <sup>4</sup>	1~23	1~25* <sup>4</sup>
3	PC、CCR のスタック	4	8	12* <sup>4</sup>	4	6* <sup>4</sup>
4	ベクタフェッチ	4	8	12* <sup>4</sup>	4	6* <sup>4</sup>
5	命令フェッチ* <sup>2</sup>	4	8	12* <sup>4</sup>	4	6* <sup>4</sup>
6	内部処理* <sup>3</sup>	4	4	4	4	4
	合計	19~41	31~57	43~73	19~41	25~49

- 【注】 \*1 内部割り込みの場合 1 ステートとなります。  
\*2 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ  
\*3 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理  
\*4 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

## 5.5 使用上の注意

### 5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを0にクリアする場合も同様です。

16ビットタイマのTISRAのIMIEAビットを"0"にクリアする場合の例を図5.8に示します。

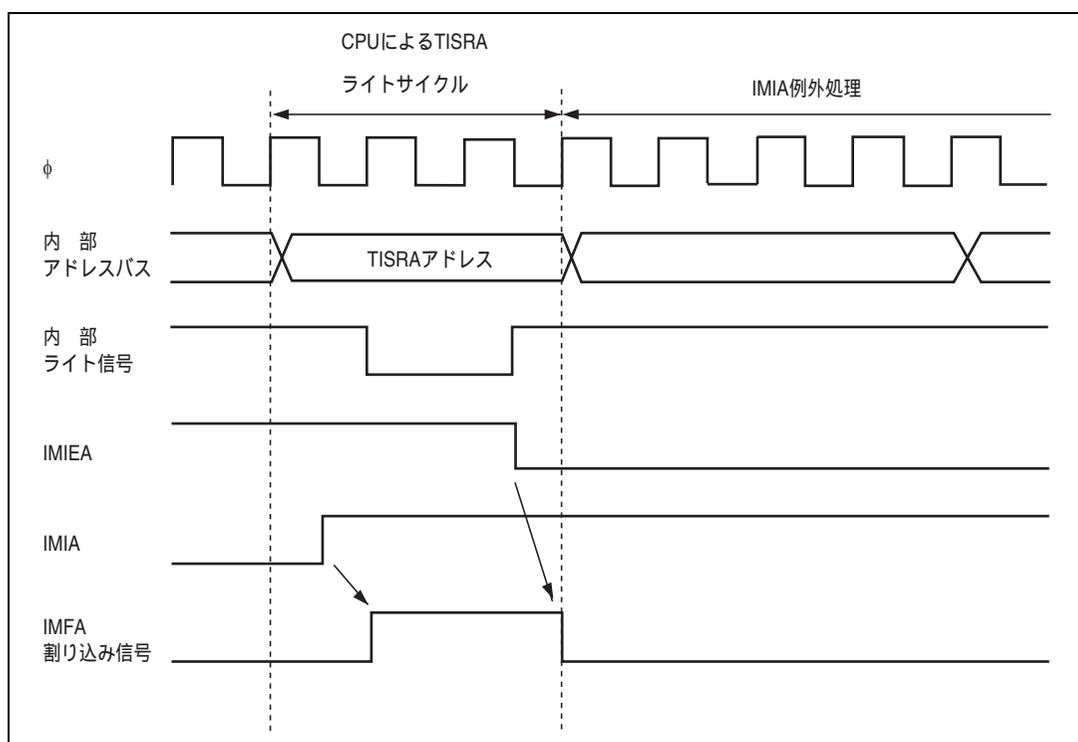


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

### 5.5.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラが優先順位を判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

### 5.5.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV . B 命令と EEPMOV . W 命令では、割り込み動作が異なります。

EEPMOV . B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV . W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV . W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV . W
      MOV . W  R4 , R4
      BNE     L1
```

---

## 6. バスコントローラ

---

### 6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス調停機能をもっており、内部バスマスタである CPU、DMA コントローラ (DMAC) および DRAM インタフェースの動作を制御するとともに、外部にバス権を解放することができます。

#### 6.1.1 特長

バスコントローラの特長を次に示します。

外部アドレス空間をエリア単位で管理

- 外部空間を、1M バイトモードでは 128K バイト単位、16M バイトモードでは 2M バイト単位の 8 エリア (エリア 0~7) に分割して管理
- エリアごとにバス仕様を設定可能
- DRAM / パースト ROM インタフェースを設定可能

基本バスインタフェース

- エリア 0~7 に対してチップセレクト ( $\overline{CS}_0 \sim \overline{CS}_7$ ) を出力可能
- エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
- エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能
- 端子ウェイトを挿入可能

DRAM インタフェース

- エリア 2~5 に対して DRAM インタフェースを設定可能
- ロウアドレス / カラムアドレスのマルチプレクス出力 (8 / 9 / 10 ビット)
- バイトアクセス方式は 2CAS 方式
- パースト動作 (高速ページモード)
- RAS プリチャージタイム確保のための  $T_p$  サイクル挿入
- CAS ビフォ RAS リフレッシュとセルフリフレッシュを選択可能

パースト ROM インタフェース

- エリア 0 に対してパースト ROM インタフェースを設定可能
- パーストアクセスの 2 または 3 ステートを選択可能

アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

## 6. バスコントローラ

---

### バス権調停機能（バスアービトレーション）

- バスアービタを内蔵し、CPU、DMAC、DRAM インタフェースおよび外部バスマスタのバス権を調停

### その他

- リフレッシュ用カウンタ（リフレッシュタイマ）をインターバルタイマとして使用可能

## 6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

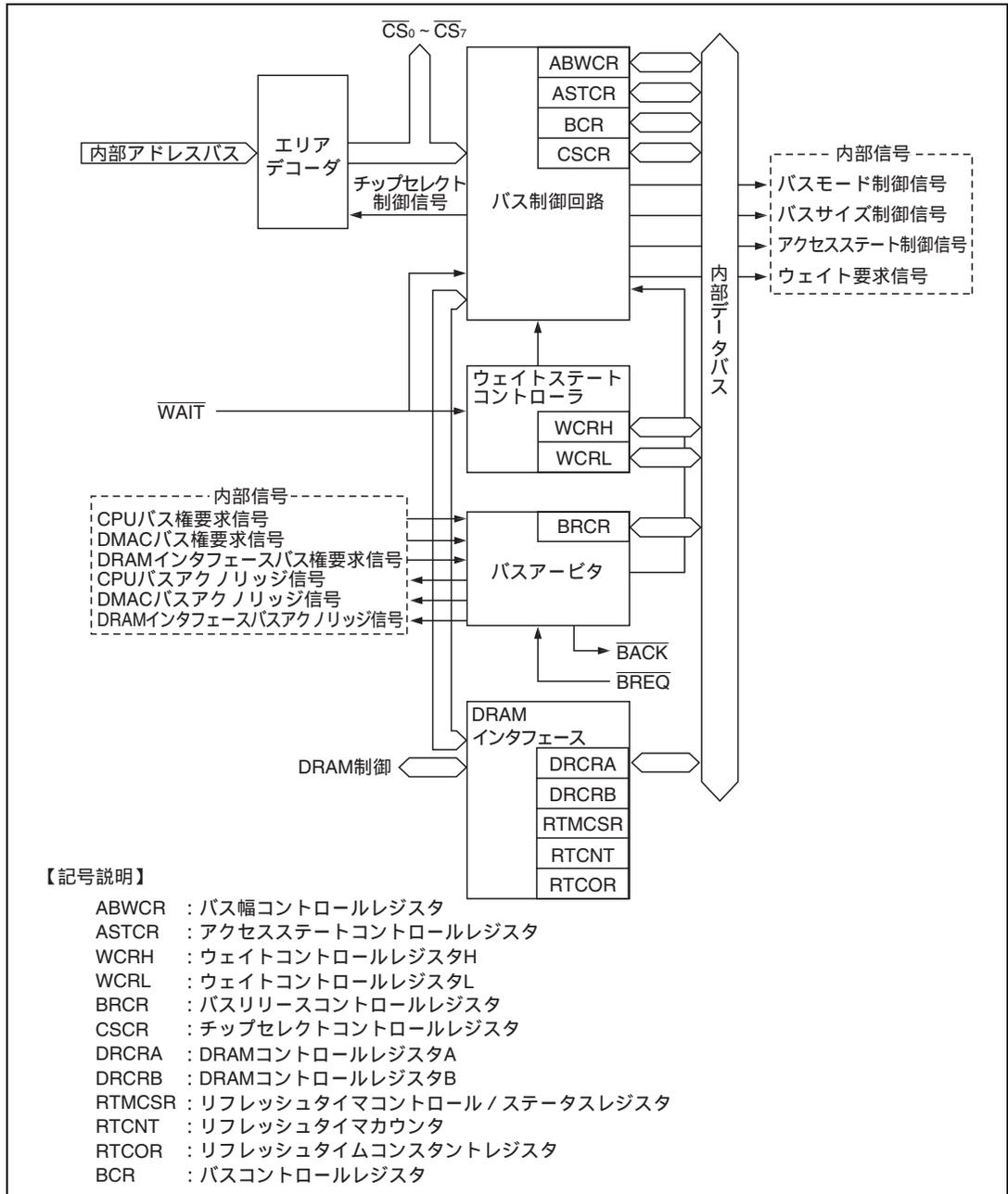


図 6.1 バスコントローラのブロック図

## 6. バスコントローラ

### 6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
チップセレクト 0~7	$\overline{CS}_0 \sim \overline{CS}_7$	出力	エリア 0~7 が選択されていることを示すストロープ信号
アドレス ストロープ	$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ 信号
リード	$\overline{RD}$	出力	外部アドレス空間をリードしていることを示すストロープ信号
ハイライト	HWR	出力	外部アドレス空間をライトし、データバスの上位側 ( $D_{15} \sim D_8$ ) が有効 であることを示すストロープ信号
ローライト	LWR	出力	外部アドレス空間をライトし、データバスの下位側 ( $D_7 \sim D_0$ ) が有効 であることを示すストロープ信号
ウェイト	$\overline{WAIT}$	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	$\overline{BREQ}$	入力	バス権を外部に解放する要求信号
バス権要求 アクノリッジ	$\overline{BACK}$	出力	バス権を外部に解放したことを示すアクノリッジ信号

### 6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'EE020	バス幅コントロールレジスタ	ABWCR	R/W	H'FF*2
H'EE021	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF
H'EE022	ウェイトコントロールレジスタ H	WCRH	R/W	H'FF
H'EE023	ウェイトコントロールレジスタ L	WCRL	R/W	H'FF
H'EE013	バスリリースコントロールレジスタ	BRCR	R/W	H'FE*3
H'EE01F	チップセレクトコントロールレジスタ	CSCR	R/W	H'0F
H'EE024	バスコントロールレジスタ	BCR	R/W	H'C6
H'EE026	DRAM コントロールレジスタ A	DRCRA	R/W	H'10
H'EE027	DRAM コントロールレジスタ B	DRCRB	R/W	H'08
H'EE028	リフレッシュタイムコントロール/ステータスレジスタ	RTMCSR	R/(W)*4	H'07
H'EE029	リフレッシュタイムカウンタ	RTCNT	R/W	H'00
H'EE02A	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】 \*1 アドバンスモードのときのアドレス下位 20 ビットを示しています。

\*2 モード 2、4 のときは、初期値 H'00 になります。

\*3 モード 3、4 のときは、初期値 H'EE になります。

\*4 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

## 6.2 各レジスタの説明

### 6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値:(モード1、3)	1	1	1	1	1	1	1	1
(モード2、4)	0	0	0	0	0	0	0	0
R/W :	R/W							

ABWCR の内容が H'FF (全エリア 8 ビットアクセス空間) の場合、8 ビットバスモードとなり、データバスは上位側 ( $D_{15} \sim D_8$ ) が有効となります。このときポート 4 は入出力ポートとなります。ABWCR の少なくとも 1 ビットを 0 にクリアした場合には、16 ビットバスモードとなり、データバスは 16 ビット ( $D_{15} \sim D_0$ ) となります。ABWCR はリセット、またはハードウェアスタンバイモード時にモード 1、3 では H'FF に、モード 2、4 では H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~0 : エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか 16 ビットアクセス空間とするかを選択します。

ビット 7~0 ABW7~ABW0	説明
0	エリア 7~0 を 16 ビットアクセス空間に設定
1	エリア 7~0 を 8 ビットアクセス空間に設定

ABWCR は、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部 I/O レジスタのデータバス幅は ABWCR の設定値にかかわらず固定です。

## 6. バスコントローラ

### 6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W							

各エリアのアクセスステート数を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 7~0 : エリア 7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを 2 ステートアクセス空間とするか 3 ステートアクセス空間とするかを選択します。

ビット 7~0	説明
AST7~AST0	
0	エリア 7~0 を 2 ステートアクセス空間に設定
1	エリア 7~0 を 3 ステートアクセス空間に設定 (初期値)

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

なお、対応するエリアが DRAM コントロールレジスタ A (DRCRA) の DRAS2~DRAS0 ビットにより DRAM 空間に設定されている場合、アクセスステート数は AST ビットの設定値に依存しません。また、AST ビットの値が 0 の場合は、プログラマブルウェイトは挿入されません。

### 6.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、それぞれ 8 ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は WCRH、WCRL の設定値にかかわらず固定です。

WCRH、WCRL は、リセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### (1) WCRH

ビット:	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W							

#### ビット 7、6 : エリア 7 ウェイトコントロール 1、0 (W71、W70)

ASTCR の AST7 ビットが 1 にセットされた状態でエリア 7 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 62	説明
W71	W70	
0	0	エリア 7 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 7 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

#### ビット 5、4 : エリア 6 ウェイトコントロール 1、0 (W61、W60)

ASTCR の AST6 ビットが 1 にセットされた状態でエリア 6 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説明
W61	W60	
0	0	エリア 6 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 6 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

## 6. バスコントローラ

ビット 3、2 : エリア 5 ウェイトコントロール 1、0 (W51、W50)

ASTCR の AST5 ビットが 1 にセットされた状態でエリア 5 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3	ビット 2	説 明
W51	W50	
0	0	エリア 5 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 5 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入

ビット 1、0 : エリア 4 ウェイトコントロール 1、0 (W41、W40)

ASTCR の AST4 ビットが 1 にセットされた状態でエリア 4 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
W41	W40	
0	0	エリア 4 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 4 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入

### (2) WCRL

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ビット 7、6 : エリア 3 ウェイトコントロール 1、0 (W31、W30)

ASTCR の AST3 ビットが 1 にセットされた状態でエリア 3 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 6	説 明
W31	W30	
0	0	エリア 3 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 3 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

## ビット 5、4 : エリア 2 ウェイトコントロール (W21、W20)

ASTCR の AST2 ビットが 1 にセットされた状態でエリア 2 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説 明
W21	W20	
0	0	エリア 2 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 2 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

## ビット 3、2 : エリア 1 ウェイトコントロール 1、0 (W11、W10)

ASTCR の AST1 ビットが 1 にセットされた状態でエリア 1 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3	ビット 2	説 明
W11	W10	
0	0	エリア 1 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 1 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

## ビット 1、0 : エリア 0 ウェイトコントロール 1、0 (W01、W00)

ASTCR の AST0 ビットが 1 にセットされた状態でエリア 0 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
W01	W00	
0	0	エリア 0 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 0 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

## 6. バスコントローラ

### 6.2.4 バスリリースコントロールレジスタ (BRCR)

BRCR は 8 ビットのリード/ライト可能なレジスタで、アドレスバス ( $A_{23} \sim A_{20}$ ) 出力の選択、バス権の外部に対する解放を許可/禁止します。

ビット:	7	6	5	4	3	2	1	0
	A23E	A22E	A21E	A20E	—	—	—	BRLE
モード1、2 初期値 :	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	R/W
モード3、4 初期値 :	1	1	1	0	1	1	1	0
R/W :	R/W	R/W	R/W	—	—	—	—	R/W

<p>アドレス23~20イネーブル PA<sub>7</sub> ~ PA<sub>4</sub>をアドレス出力端子 A<sub>23</sub> ~ A<sub>20</sub>として使用するた めのビットです。</p>	<p>リザーブビット</p>	<p>バスリリースイネーブル バス権の外部に対する解放を 許可/禁止するビットです。</p>
---	----------------	--

BRCR はリセット、またはハードウェアスタンバイモード時に H'FE に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

#### ビット7: アドレス 23 イネーブル (A23E)

PA<sub>4</sub>をアドレス出力端子 A<sub>23</sub>として使用するためのビットです。0をライトするとアドレス出力 A<sub>23</sub>となります。モード1、2ではこのビットはライトできず、通常のポート機能となります。

ビット7	説明
A23E	
0	PA <sub>4</sub> はアドレス出力端子 A <sub>23</sub>
1	PA <sub>4</sub> は入出力端子 (初期値)

#### ビット6: アドレス 22 イネーブル (A22E)

PA<sub>5</sub>をアドレス出力端子 A<sub>22</sub>として使用するためのビットです。0をライトするとアドレス出力 A<sub>22</sub>となります。モード1、2ではこのビットはライトできず、通常のポート機能となります。

ビット6	説明
A22E	
0	PA <sub>5</sub> はアドレス出力端子 A <sub>22</sub>
1	PA <sub>5</sub> は入出力端子 (初期値)

## ビット5：アドレス21 イネーブル (A21E)

PA<sub>6</sub>をアドレス出力端子 A<sub>21</sub>として使用するためのビットです。0をライトするとアドレス出力 A<sub>21</sub>となります。モード1、2ではこのビットはライトできず、通常のポート機能となります。

ビット5	説明
A21E	
0	PA <sub>6</sub> はアドレス出力端子 A <sub>21</sub>
1	PA <sub>6</sub> は入出力端子 (初期値)

## ビット4：アドレス20 イネーブル (A20E)

ビット4は、モードにより初期値が異なります。ライトは無効です。

ビット4	説明
A20E	
0	PA <sub>7</sub> はアドレス出力端子 A <sub>20</sub> (モード3、4のときの初期値)
1	PA <sub>7</sub> は入出力端子 (モード1、2のときの初期値)

## ビット3~1：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## ビット0：バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可/禁止します。

ビット0	説明
BRLE	
0	バス権の外部に対する解放を禁止し、BREQ、BACK 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

## 6. バスコントローラ

### 6.2.5 バスコントロールレジスタ (BCR)

ビット:	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BROME	BRSTS1	BRSTS0	—	RDEA	WAITE
初期値:	1	1	0	0	0	1	1	0
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

BCR は 8 ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリアの分割単位の選択、 $\overline{\text{WAIT}}$  端子入力の許可または禁止を行います。

BCR は、リセットおよびハードウェアスタンバイモード時に、H'C6 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 7: アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 7	
ICIS1	説 明
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

#### ビット 6: アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	
ICIS0	説 明
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

#### ビット 5: パースト ROM イネーブル (BROME)

エリア 0 をパースト ROM インタフェースとするかを選択します。

ビット 5	
BROME	説 明
0	エリア 0 は基本バスインタフェース (初期値)
1	エリア 0 はパースト ROM インタフェース

## ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROM インタフェースのバーストサイクル数を選択します。

ビット4	説明
BRSTS1	
0	バーストアクセスのサイクル数は2ステート (初期値)
1	バーストアクセスのサイクル数は3ステート

## ビット3：バーストサイクルセレクト0 (BRSTS0)

バーストROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説明
BRSTS0	
0	バーストアクセスは最大4ワード (A3より上位アドレス一致でバーストアクセス) (初期値)
1	バーストアクセスは最大8ワード (A4より上位アドレス一致でバーストアクセス)

## ビット2：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

## ビット1：エリア分割単位選択 (RDEA)

メモリマップのエリアの分割単位を選択します。

本ビットはモード3、4で有効です。モード1、2では、無効です。

ビット1	説明
RDEA	
0	エリア分割は、エリア0：2Mバイト エリア4：1.93Mバイト エリア1：2Mバイト エリア5：4Kバイト エリア2：8Mバイト エリア6：23.75Kバイト エリア3：2Mバイト エリア7：22バイト
1	エリア分割は、エリア0～エリア7まで等分割 (2Mバイト) (初期値)

## ビット0：WAIT 端子イネーブル (WAITE)

WAIT 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)
1	WAIT 端子によるウェイト入力を許可

## 6. バスコントローラ

### 6.2.6 チップセレクトコントロールレジスタ (CSCR)

CSCR は 8 ビットのリード/ライト可能なレジスタで、チップセレクト信号 ( $\overline{CS}_7 \sim \overline{CS}_4$ ) の出力を許可/禁止します。

本レジスタでチップセレクト信号 ( $\overline{CS}_7 \sim \overline{CS}_4$ ) 出力を選択すると、端子機能は他の機能に優先してチップセレクト信号 ( $\overline{CS}_7 \sim \overline{CS}_4$ ) 出力となります。

ビット:	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

リザーブビット

チップセレクト7~4イネーブル  
チップセレクト信号の出力を許可/  
禁止するビットです。

CSCR はリセット、またはハードウェアスタンバイモード時に H'0F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7~4: チップセレクト7~4イネーブル (CS7E~CS4E)

対応するチップセレクト信号の出力を許可/禁止します。

ビット n	CSnE	説明
0		チップセレクト信号 ( $\overline{CS}_n$ ) の出力を禁止 (初期値)
1		チップセレクト信号 ( $\overline{CS}_n$ ) の出力を許可

【注】 n=7~4

ビット3~0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## 6.2.7 DRAM コントロールレジスタ A (DRCRA)

ビット:	7	6	5	4	3	2	1	0
	DRAS2	DRAS1	DRAS0	—	BE	RDM	SRFMD	RFSHE
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

DRCRA は 8 ビットのリード/ライト可能なレジスタで、DRAM インタフェースの機能するエリアの選択、アクセスモード、セルフリフレッシュの許可/禁止およびリフレッシュ端子出力の許可/禁止の選択を行います。

DRCRA は、リセットおよびハードウェアスタンバイモード時に、H'10 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット 7~5 : DRAM エリアセレクト (DRAS2~DRAS0)

エリア 2~5 から DRAM インタフェースとして機能するエリア (DRAM 空間) を選択します。また、同時に各 DRAM 空間に対応する RAS 出力端子を選択します。

ビット 6	ビット 5	ビット 4	説 明			
DRAS2	DRAS1	DRAS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	0	通常	通常	通常	通常
		1	通常	通常	通常	DRAM 空間 (CS <sub>2</sub> )
	1	0	通常	通常	DRAM 空間 (CS <sub>3</sub> )	DRAM 空間 (CS <sub>2</sub> )
		1	通常	通常	DRAM 空間 (CS <sub>2</sub> ) *	
1	0	0	通常	DRAM 空間 (CS <sub>4</sub> )	DRAM 空間 (CS <sub>3</sub> )	DRAM 空間 (CS <sub>2</sub> )
		1	DRAM 空間 (CS <sub>5</sub> )	DRAM 空間 (CS <sub>4</sub> )	DRAM 空間 (CS <sub>3</sub> )	DRAM 空間 (CS <sub>2</sub> )
	1	0	DRAM 空間 (CS <sub>4</sub> ) *		DRAM 空間 (CS <sub>2</sub> ) *	
		1	DRAM 空間 (CS <sub>2</sub> ) *			

【注】 \* 一本の CS<sub>n</sub> 端子が複数エリアに共通の RAS 出力端子となります。このとき、不要となる CS<sub>n</sub> 端子は入出力ポートとして使用可能になります。

DRAS2~0 のいずれかが 1 にセットされていると、DRCRB、RTMCSR、RTCNT および RTCOR へのライトはできません。ただし、RTMCSR の CMF フラグについては、フラグをクリアするための 0 ライトのみ可能です。

なお、DRAS2~DRAS0 に任意の値が設定されている場合、000 以外の異なる値のライトは行わないでください。

## ビット 4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## 6. バスコントローラ

---

### ビット3：バーストアクセスイネーブル (BE)

DRAM 空間に対するバーストアクセスの許可または禁止を選択します。DRAM 空間のバーストアクセスは高速ページモードになります。

ビット3	説明
BE	
0	バースト禁止 (常にフルアクセス) (初期値)
1	DRAM 空間アクセス時 高速ページモードでアクセス

### ビット2：RAS ダウンモード (RDM)

DRAM 空間に対するバーストアクセスが許可されている場合 (BE=1)、DRAM に対するアクセスが途切れたときに、RAS 信号を Low レベルに保持したままで次の DRAM へのアクセスを待つか (RAS ダウンモード)、RAS 信号を High レベルに戻すか (RAS アップモード) を選択します。

なお、UCAS、LCAS の出力端子として HWR、LWR を使用する場合、注意が必要です。

詳細は「6.5.10 バースト動作」の「(2) RAS ダウンモードと RAS アップモード」を参照してください。

ビット2	説明
RDM	
0	DRAM インタフェース：RAS アップモードを選択 (初期値)
1	DRAM インタフェース：RAS ダウンモードを選択

### ビット1：セルフリフレッシュモード (SRFMD)

ソフトウェアスタンバイモード時、DRAM のセルフリフレッシュを指定します。

エリア2~5のいずれかがDRAM空間に設定されているとき、SRFMDビットを1にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAMのセルフリフレッシュが可能となります。

SRFMDの設定にかかわらず、ソフトウェアスタンバイモードの解除により、通常のアクセス状態に戻ります。

ビット1	説明
SRFMD	
0	ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュを禁止 (初期値)
1	ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュが可能

ビット0：リフレッシュ端子イネーブル (RFSHE)

$\overline{\text{RFSH}}$  端子のリフレッシュ信号出力を許可 / 禁止します。エリア 2~5 を DRAM 空間に設定しない場合は、本ビットに 1 を設定しないでください。

ビット0	説明
RFSHE	
0	RFSH 端子のリフレッシュ信号出力を禁止 (RFSH 端子は入出力ポートとして使用可) (初期値)
1	RFSH 端子のリフレッシュ信号出力を許可

## 6.2.8 DRAM コントロールレジスタ B (DRCRB)

ビット：	7	6	5	4	3	2	1	0
	MXC1	MXC0	CSEL	RCYCE	—	TPC	RCW	RLW
初期値：	0	0	0	0	1	0	0	0
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

DRCRB は 8 ビットのリード / ライト可能なレジスタで、DRAM インタフェースのアドレスマルチプレクスのカラムアドレスビット数、カラムアドレスストロープの出力端子、リフレッシュサイクル挿入の許可 / 禁止、プリチャージサイクル数、 $\overline{\text{RAS}} \cdot \overline{\text{CAS}}$  間のウェイトステート挿入の許可 / 禁止、およびリフレッシュサイクルのウェイトステート挿入の許可 / 禁止を選択します。

DRCRB は、リセットおよびハードウェアスタンバイモード時に、H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

なお、DRCRA の DRAS2 ~ DRAS0 がすべて 0 のとき、本レジスタの設定は無効となります。

## 6. バスコントローラ

ビット7、6：マルチプレクスコントロール1、0 (MXC1、MXC0)

DRAM インタフェースの、ロウアドレス / カラムアドレスのマルチプレクスの方法を選択します。バースト動作時に比較の対象となるロウアドレスは、本ビットの設定と ABWCR で設定された各エリアのバス幅で決まります。

ビット7	ビット6	説 明
MXC1	MXC0	
0	0	カラムアドレス：8 ビット 比較対象アドレス： モード 1、2      8 ビットアクセス空間 $A_{19} \sim A_8$ 16 ビットアクセス空間 $A_{19} \sim A_9$ モード 3、4      8 ビットアクセス空間 $A_{23} \sim A_8$ 16 ビットアクセス空間 $A_{23} \sim A_9$
	1	カラムアドレス：9 ビット 比較対象アドレス： モード 1、2      8 ビットアクセス空間 $A_{19} \sim A_9$ 16 ビットアクセス空間 $A_{19} \sim A_{10}$ モード 3、4      8 ビットアクセス空間 $A_{23} \sim A_9$ 16 ビットアクセス空間 $A_{23} \sim A_{10}$
1	0	カラムアドレス：10 ビット 比較対象アドレス： モード 1、2      8 ビットアクセス空間 $A_{19} \sim A_{10}$ 16 ビットアクセス空間 $A_{19} \sim A_{11}$ モード 3、4      8 ビットアクセス空間 $A_{23} \sim A_{10}$ 16 ビットアクセス空間 $A_{23} \sim A_{11}$
	1	設定禁止

ビット5： $\overline{\text{CAS}}$  出力端子選択 (CSEL)

エリア 2~5 を DRAM 空間に設定した場合の  $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$  の出力端子を選択します。

ビット5	説 明
CSEL	
0	$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子：PB4、PB5 を選択 (初期値)
1	$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ の出力端子：HWR、LWR を選択

ビット4：リフレッシュサイクルイネーブル (RCYCE)

CAS ピフォ RAS リフレッシュサイクルの挿入を許可または禁止します。エリア 2~5 のいずれも DRAM 空間に設定されていないときは、本ビットの設定によらずリフレッシュサイクルは挿入されません。

ビット4	説 明
RCYCE	
0	リフレッシュサイクルを禁止 (初期値)
1	DRAM に対するリフレッシュサイクルを許可

## ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## ビット2：TP サイクルコントロール (TPC)

DRAMのリード/ライトサイクルおよびCAS ビフォ RAS リフレッシュサイクルのプリチャージサイクル ( $T_p$ ) を1ステートにするか、2ステートにするかを選択します。

なお、本ビットの設定はセルフリフレッシュ機能には影響を与えません。

ビット2	説 明
TPC	
0	プリチャージサイクルを1ステート挿入 (初期値)
1	プリチャージサイクルを2ステート挿入

ビット1： $\overline{RAS} \cdot \overline{CAS}$  間ウェイト (RCW)

DRAMのリード/ライトサイクルの $T_r$ - $T_{cl}$ 間ウェイトステート ( $T_{rw}$ ) の挿入を制御します。なお、本ビットの設定はリフレッシュサイクルに対し影響を与えません。

ビット1	説 明
RCW	
0	ウェイトステート ( $T_{rw}$ ) の挿入を禁止 (初期値)
1	ウェイトステート ( $T_{rw}$ ) を1ステート挿入

## ビット0：リフレッシュサイクルウェイトコントロール (RLW)

CAS ビフォ RAS リフレッシュサイクルに対するウェイトステート ( $T_{rw}$ ) の挿入を制御します。なお、本ビットの設定はDRAMのリード/ライトサイクルに対し影響を与えません。

ビット0	説 明
RLW	
0	ウェイトステート ( $T_{rw}$ ) の挿入を禁止 (初期値)
1	ウェイトステート ( $T_{rw}$ ) を1ステート挿入

## 6. バスコントローラ

### 6.2.9 リフレッシュタイムコントロール / ステータスレジスタ (RTMCSR)

ビット :	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値 :	0	0	0	0	0	1	1	1
R/W :	R/(W)*	R/W	R/W	R/W	R/W	—	—	—

RTMCSR は 8 ビットのリード / ライト可能なレジスタで、リフレッシュタイムカウンタのクロックの選択を行います。また、インターバルタイムとして使用する場合は、割り込み要求の許可 / 禁止も行います。RTMCSR のビット 7、6 はリセットおよびスタンバイモード時に 0 に初期化されます。ビット 5~3 はリセットおよびハードウェアスタンバイモード時に 0 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】\* フラグをクリアするための 0 ライトのみ可能です。

#### ビット 7 : コンペアマッチフラグ (CMF)

RTCNT と RTCOR の値が一致したことを示すステータスフラグです。

ビット 7	説 明
CMF	
0	〔クリア条件〕 (1) リセットまたはスタンバイモード時 (2) CMF = 1 の状態で、CMF フラグをリードした後、CMF フラグに 0 をライトしたとき (初期値)
1	〔セット条件〕 RTCNT = RTCOR になったとき

#### ビット 6 : コンペアマッチ割り込みイネーブル (CMIE)

RTMCSR の CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMF) を許可または禁止します。

エリア 2~5 のいずれかが DRAM 空間に設定されている場合、CMIE ビットは常に 0 にクリアされています。

ビット 6	説 明
CMIE	
0	CMF フラグによる割り込み要求 (CMI) を禁止 (初期値)
1	CMF フラグによる割り込み要求 (CMI) を許可

## ビット5～3：リフレッシュカウンタクロックセレクト（CKS2～CKS0）

システムクロック（ $\phi$ ）を分周して得られる7種類の内部クロックから RTCNT に入力するクロックを選択します。CKS2～CKS0 ビットで入力クロックを選択すると、RTCNT がカウントアップを開始します。

ビット5	ビット4	ビット3	説 明
CKS2	CKS1	CKS0	
0	0	0	カウント動作停止 (初期値)
		1	$\phi/2$ でカウント
	1	0	$\phi/8$ でカウント
		1	$\phi/32$ でカウント
1	0	0	$\phi/128$ でカウント
		1	$\phi/512$ でカウント
	1	0	$\phi/2048$ でカウント
		1	$\phi/4096$ でカウント

## ビット2～0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## 6.2.10 リフレッシュタイマカウンタ (RTCNT)

ビット:	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

RTCNT は 8 ビットのリード/ライト可能なアップカウンタです。

RTCNT は、RTMCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、RTMCSR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき、DRCRB の RCYCE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RTMCSR の CMIE ビットが 1 にセットされているとき、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、リセットおよびスタンバイモード時 H'00 に初期化されます。

## 6.2.11 リフレッシュタイムコンスタントレジスタ (RTCOR)

ビット:	7	6	5	4	3	2	1	0
	<input type="text"/>							
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W							

RTCOR は 8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、RTMCSR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、リセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】 本レジスタにアクセスする場合、バイトアクセスとしてください。

## 6.3 動作説明

### 6.3.1 エリア分割

外部アドレス空間は、1M バイトモードのとき 128K バイト、16M バイトモードのとき 2M バイトごとのエリア 0~7 に分割されています。メモリマップの概要を図 6.2 に示します。

H' 00000	エリア0 (128Kバイト)	H' 000000	エリア0 (2Mバイト)
H' 1FFFF		H' 1FFFFF	
H' 20000	エリア1 (128Kバイト)	H' 200000	エリア1 (2Mバイト)
H' 3FFFF		H' 3FFFFF	
H' 40000	エリア2 (128Kバイト)	H' 400000	エリア2 (2Mバイト)
H' 5FFFF		H' 5FFFFF	
H' 60000	エリア3 (128Kバイト)	H' 600000	エリア3 (2Mバイト)
H' 7FFFF		H' 7FFFFF	
H' 80000	エリア4 (128Kバイト)	H' 800000	エリア4 (2Mバイト)
H' 9FFFF		H' 9FFFFF	
H' A0000	エリア5 (128Kバイト)	H' A00000	エリア5 (2Mバイト)
H' BFFFF		H' BFFFFF	
H' C0000	エリア6 (128Kバイト)	H' C00000	エリア6 (2Mバイト)
H' DFFFF		H' DFFFFF	
H' E0000	エリア7 (128Kバイト)	H' E00000	エリア7 (2Mバイト)
H' FFFFF		H' FFFFFF	
(a) 1Mバイトモード (モード1、2)		(b) 16Mバイトモード (モード3、4)	

図 6.2 各動作モードにおけるアクセスエリアマップ

各エリアごとに選択信号 ( $\overline{CS}_0 \sim \overline{CS}_7$ ) を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCRH、WCRL で指定されます。

また、16M バイトモードのとき BCR の RDEA ビットにより、エリア分割の単位を選択することができます。

## 6. バスコントローラ

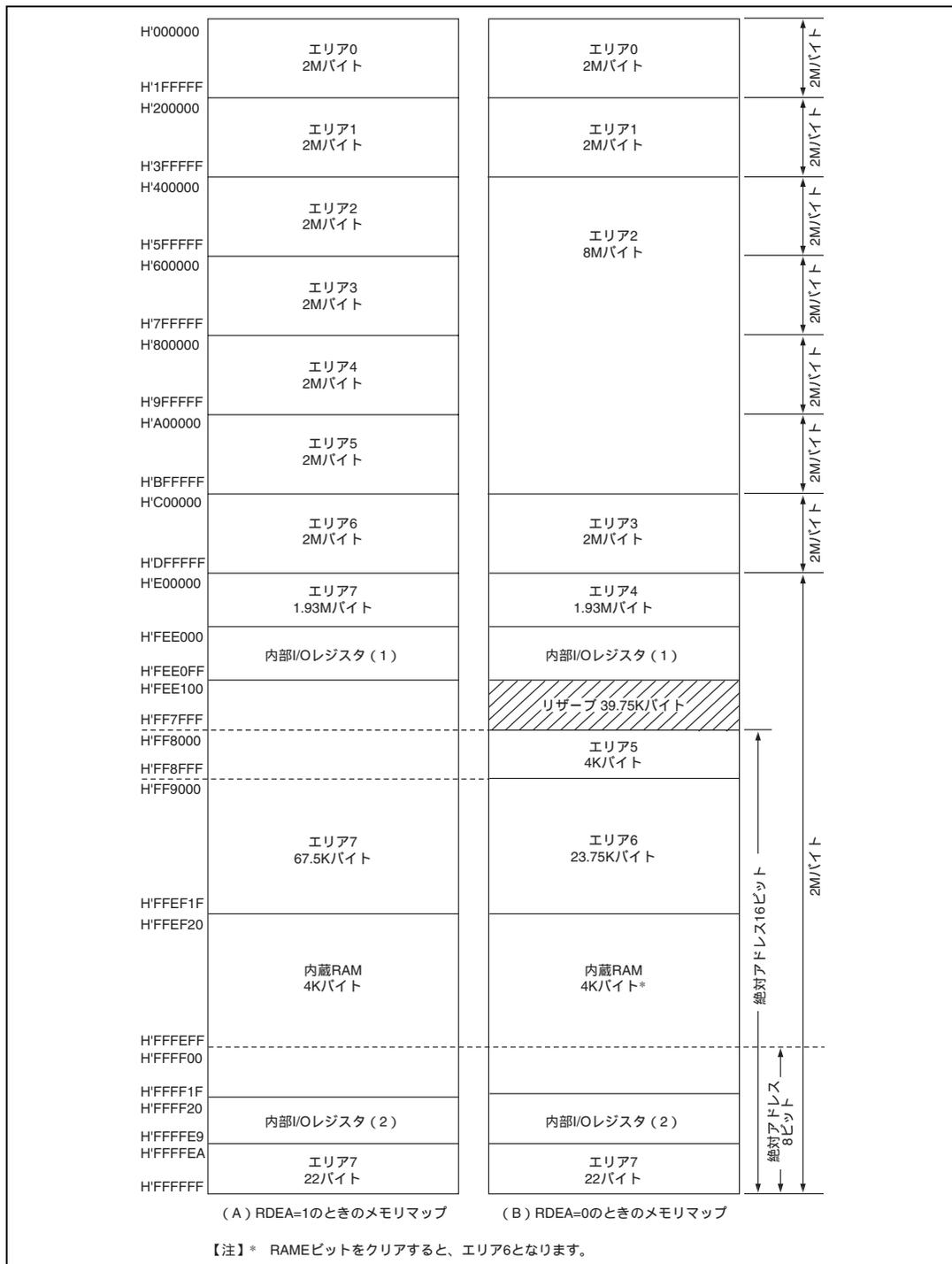


図 6.3 16M バイトモード時のメモリマップ (H8/3007 の場合)

### 6.3.2 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内蔵 I/O レジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

#### (1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

#### (2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、DRAM 空間では ASTCR によらず 4 ステートアクセスとなります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

#### (3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

DRAM 空間で ASTCR を 0 にクリアした場合、プログラムウェイト ( $T_{ci}$ - $T_{co}$ 間ウェイト) は挿入されません。バースト ROM 空間のバーストサイクルもプログラムウェイトは挿入されません。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH / WCRL		バス仕様 (基本バスインタフェース)			
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数	
0	0	-	-	16	2	0	
			0			0	0
	1	1	1		1	3	1
					0		2
					1		3
					1		3
1	0	-	-	8	2	0	
			0			0	0
	1	1	1		1	3	1
					0		2
					1		3
					1		3

### 6.3.3 メモリインタフェース

本 LSI のメモリインタフェースは、ROM、SRAM などの直結が可能な基本バスインタフェース、DRAM の直結が可能な DRAM インタフェース、およびバースト ROM の直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間、バースト ROM インタフェースを設定したエリア 0 がバースト ROM 空間です。

### 6.3.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ( $\overline{CS}_0 \sim \overline{CS}_7$ ) を出力することができ、当該エリアが選択されたとき、Low レベルを出力します。

図 6.4 に  $\overline{CS}_n$  信号出力タイミングを示します。

#### (1) $\overline{CS}_0 \sim \overline{CS}_3$ 出力方法

$\overline{CS}_0 \sim \overline{CS}_3$  の出力の許可または禁止は各  $\overline{CS}_i$  端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

$\overline{CS}_0$  端子はリセット直後に出力状態となっています。  $\overline{CS}_1 \sim \overline{CS}_3$  はリセット直後に入力状態となっていますので、 $\overline{CS}_1 \sim \overline{CS}_3$  を出力する場合には対応する DDR を 1 にセットしてください。

詳細は「第 8 章 I/O ポート」を参照してください。

#### (2) $\overline{CS}_4 \sim \overline{CS}_7$ 出力方法

$\overline{CS}_4 \sim \overline{CS}_7$  の出力許可または禁止はチップセレクトコントロールレジスタ (CSCR) を設定することにより行います。  $\overline{CS}_4 \sim \overline{CS}_7$  端子はリセット直後に入力状態となっていますので、 $\overline{CS}_4 \sim \overline{CS}_7$  端子を出力する場合には CSCR の対応するビットを 1 にセットしてください。詳細は「第 8 章 I/O ポート」を参照してください。

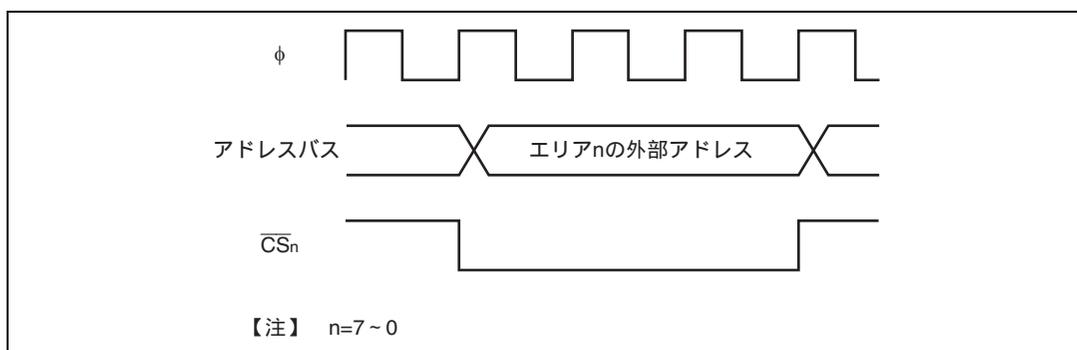


図 6.4  $\overline{CS}_n$  信号の出力タイミング

内蔵 RAM および内部 I/O レジスタを選択した場合、 $\overline{CS}_0 \sim \overline{CS}_7$  端子は High レベルです。  $\overline{CS}_n$  信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

## 6.4 基本バスインタフェース

### 6.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。  
ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 6.3 を参照してください。

### 6.4.2 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス ( $D_{15} \sim D_8$ ) を使用するか、下位側データバス ( $D_7 \sim D_0$ ) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

#### (1) 8 ビットアクセス空間

図 6.5 に、8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス ( $D_{15} \sim D_8$ ) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

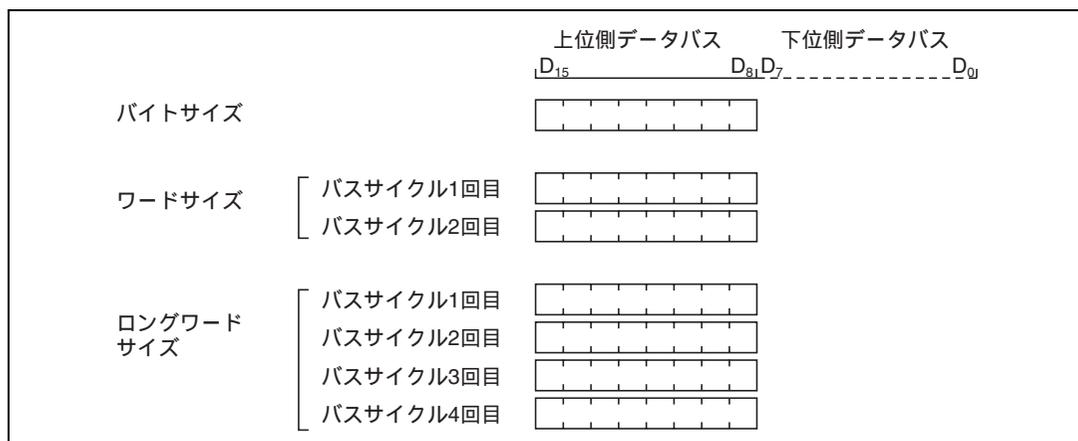


図 6.5 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

## 6. バスコントローラ

### (2) 16 ビットアクセス空間

図 6.6 に、16 ビットアクセス空間の、データアライメント制御を示します。16 ビットアクセス空間では、上位側データバス ( $D_{15} \sim D_8$ ) および下位側データバス ( $D_7 \sim D_0$ ) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

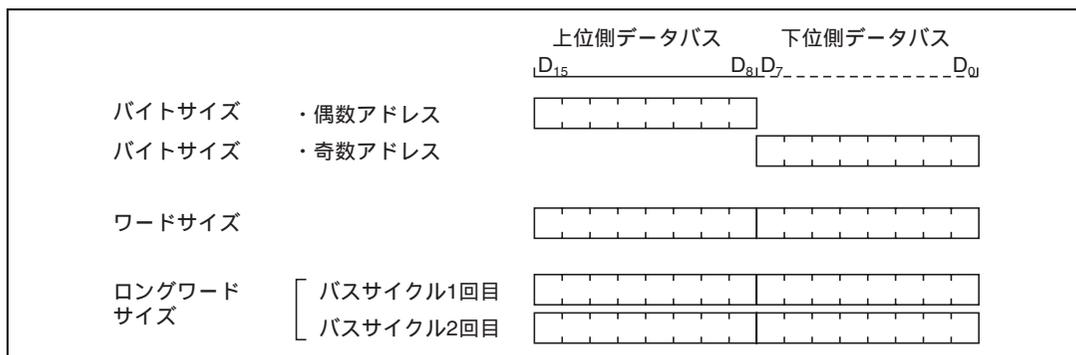


図 6.6 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

### 6.4.3 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 $\overline{RD}$  信号が有効です。

ライト時には、データバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 ( $D_{15} \sim D_8$ )	データバス下位 ( $D_7 \sim D_0$ )
8 ビットアクセス空間	バイト	リード	-	$\overline{RD}$	有効	無効
		ライト	-	$\overline{HWR}$		不定
16 ビットアクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数	$\overline{RD}$	無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
	ワード	リード	-	$\overline{RD}$	有効	有効
		ライト	-	$\overline{HWR}$ , $\overline{LWR}$	有効	有効

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

#### 6.4.4 各エリアの説明

各エリアの初期状態は、基本バスインタフェース、かつ3ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「6.4 基本バスインタフェース」「6.5 DRAM インタフェース」「6.8 バースト ROM インタフェース」を確認してください。

##### (1) エリア0

エリア0の外部空間をアクセスするとき、 $\overline{CS}_0$ 信号を出力することができます。

エリア0は、基本バスインタフェースまたはバーストROMインタフェースを選択することができます。

エリア0の大きさはモード1、2のときは128Kバイト、モード3、4のときは2Mバイトとなります。

##### (2) エリア1、6

エリア1、6の外部空間をアクセスするとき、それぞれ、 $\overline{CS}_1$ 、 $\overline{CS}_6$ 端子信号を出力することができます。

エリア1、6は、基本バスインタフェースのみを使用することができます。

エリア1、6の大きさはモード1、2のときは128Kバイト、モード3、4のときは2Mバイトとなります。

##### (3) エリア2~5

エリア2~5の外部空間をアクセスするとき、 $\overline{CS}_2 \sim \overline{CS}_5$ 信号を出力することができます。

エリア2~5は、基本バスインタフェース、DRAMインタフェースを選択することができます。DRAMインタフェースでは、 $\overline{CS}_2 \sim \overline{CS}_5$ 信号は $\overline{RAS}$ 信号として使用されます。

エリア2~5の大きさはモード1、2のときは128Kバイト、モード3、4のときは2Mバイトとなります。

##### (4) エリア7

エリア7は内蔵RAMおよび内部I/Oレジスタを含んでおり、内蔵RAMおよび内蔵I/Oレジスタ空間を除いた空間が外部空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部空間になります。

エリア7の外部空間をアクセスするとき、 $\overline{CS}_7$ 信号を出力することができます。

エリア7のメモリアンタフェースには、基本バスインタフェースのみを使用することができます。

エリア7の大きさはモード1、2のときは128Kバイト、モード3、4のときは2Mバイトとなります。

## 6.4.5 基本バス制御信号タイミング

## (1) 8ビット3ステートアクセス空間

図 6.7 に 8 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合、データバスの上位側 ( $D_{15} \sim D_8$ ) を使用します。

$\overline{LWR}$  端子は常に High レベルとなっています。ウェイトステートを挿入することができます。

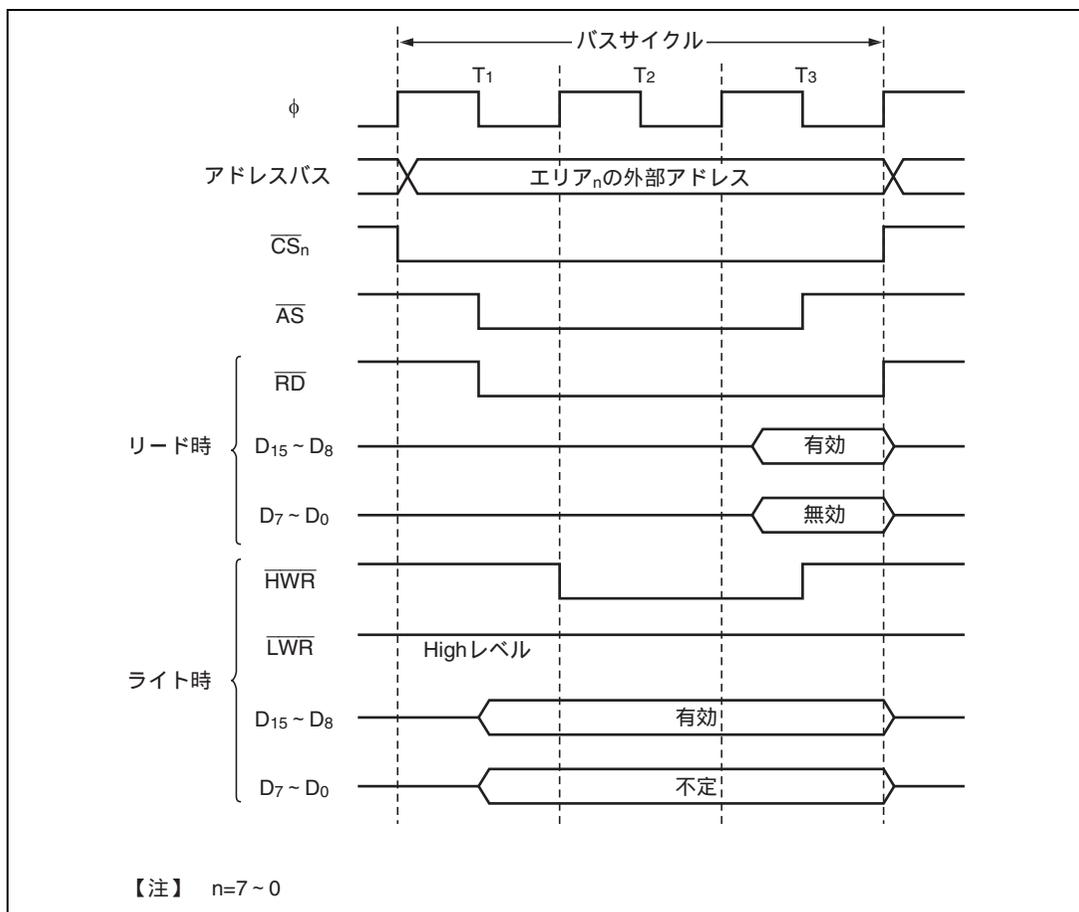


図 6.7 8 ビット 3 ステートアクセス空間のバス制御信号タイミング

## (2) 8ビット2ステートアクセス空間

図 6.8 に 8 ビット 2 ステート空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合、データバスの上位側 ( $D_{15} \sim D_8$ ) を使用します。

$\overline{LWR}$  端子は常に High レベルとなっています。ウェイトステートを挿入することはできません。

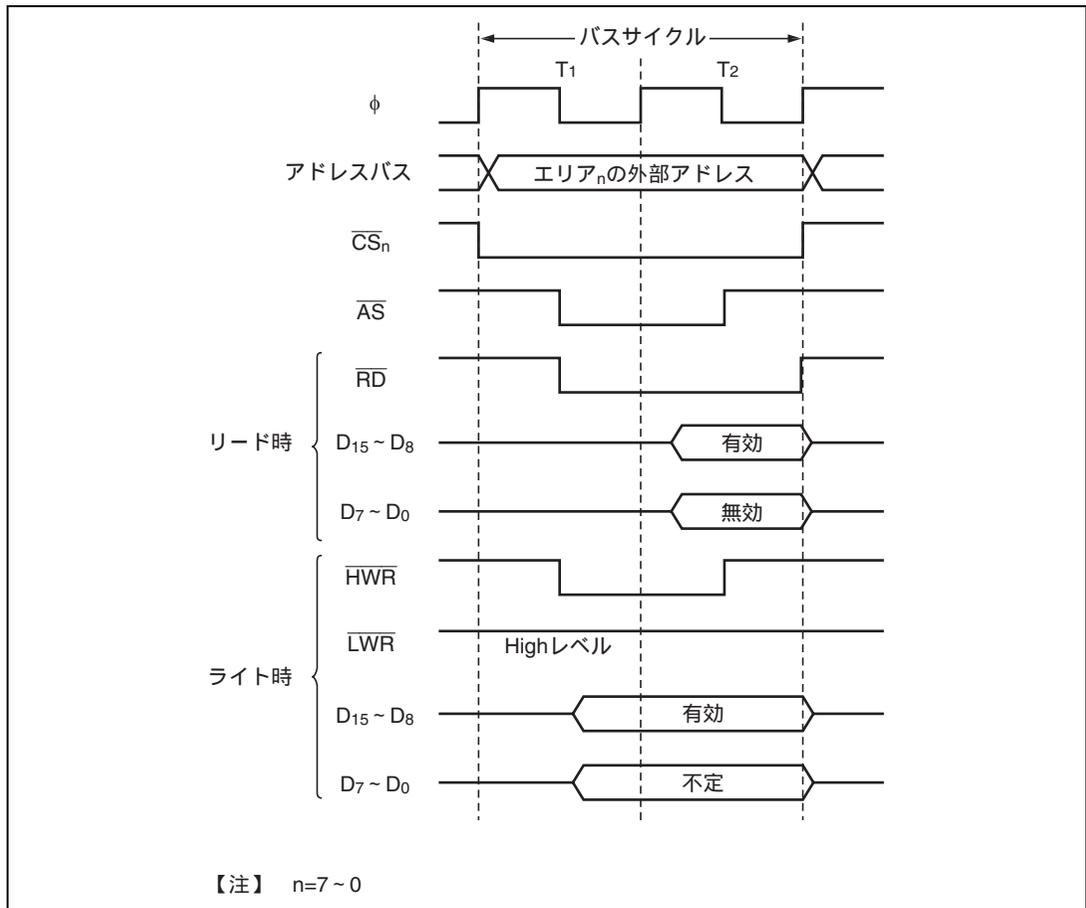


図 6.8 8 ビット 2 ステートアクセス空間のバス制御信号タイミング

## 6. バスコントローラ

### (3) 16ビット3ステートアクセス空間

図 6.9～図 6.11 に 16 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ( $D_{15} \sim D_8$ ) を使用し、奇数アドレスに対してはデータバスの下位側 ( $D_7 \sim D_0$ ) を使用します。ウェイトステートを挿入することができます。

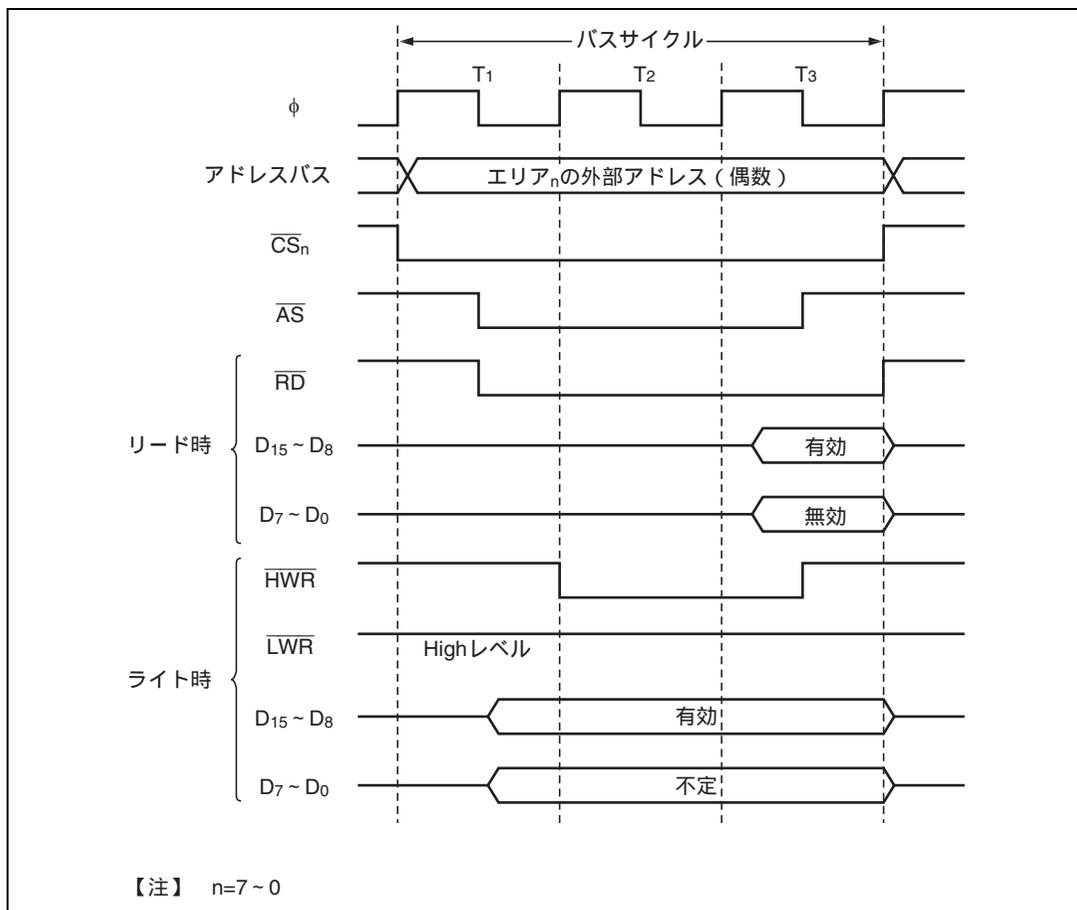


図 6.9 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (1)  
(偶数アドレスバイトアクセス)

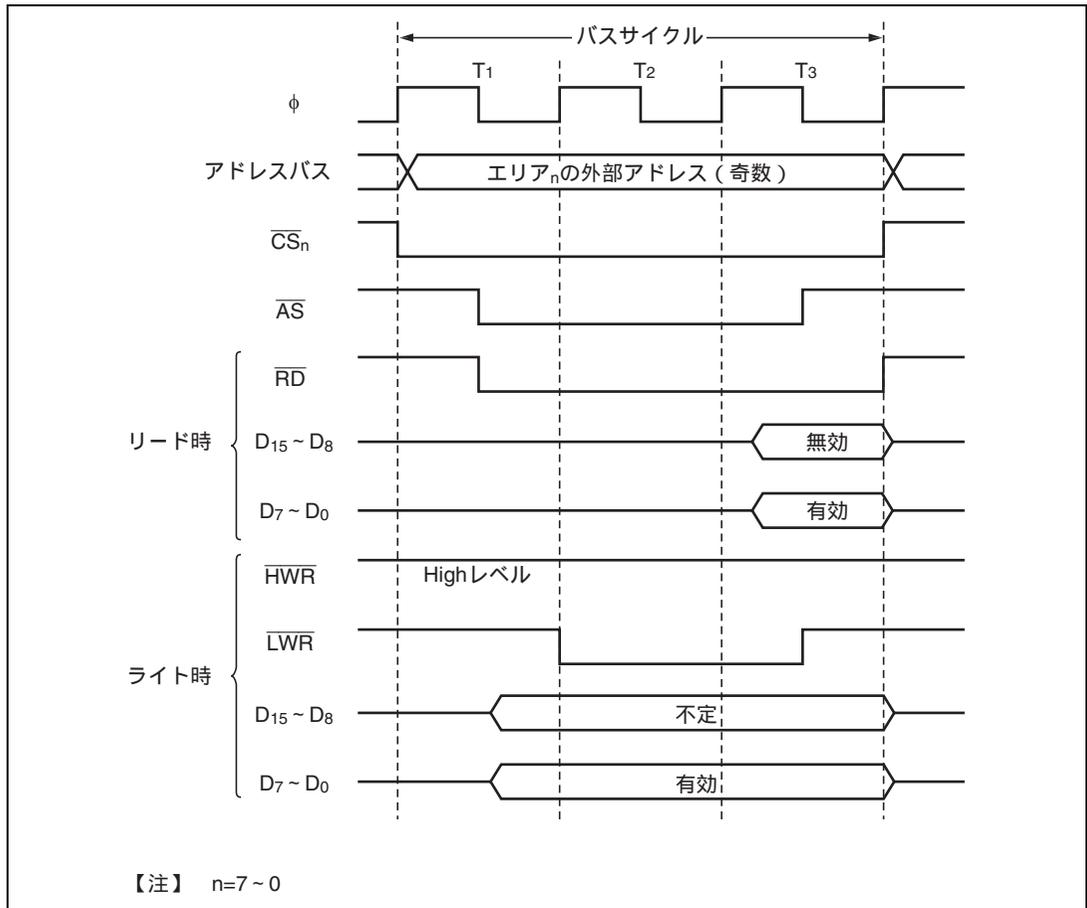


図 6.10 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (2)  
(奇数アドレスバイトアクセス)

6. バスコントローラ

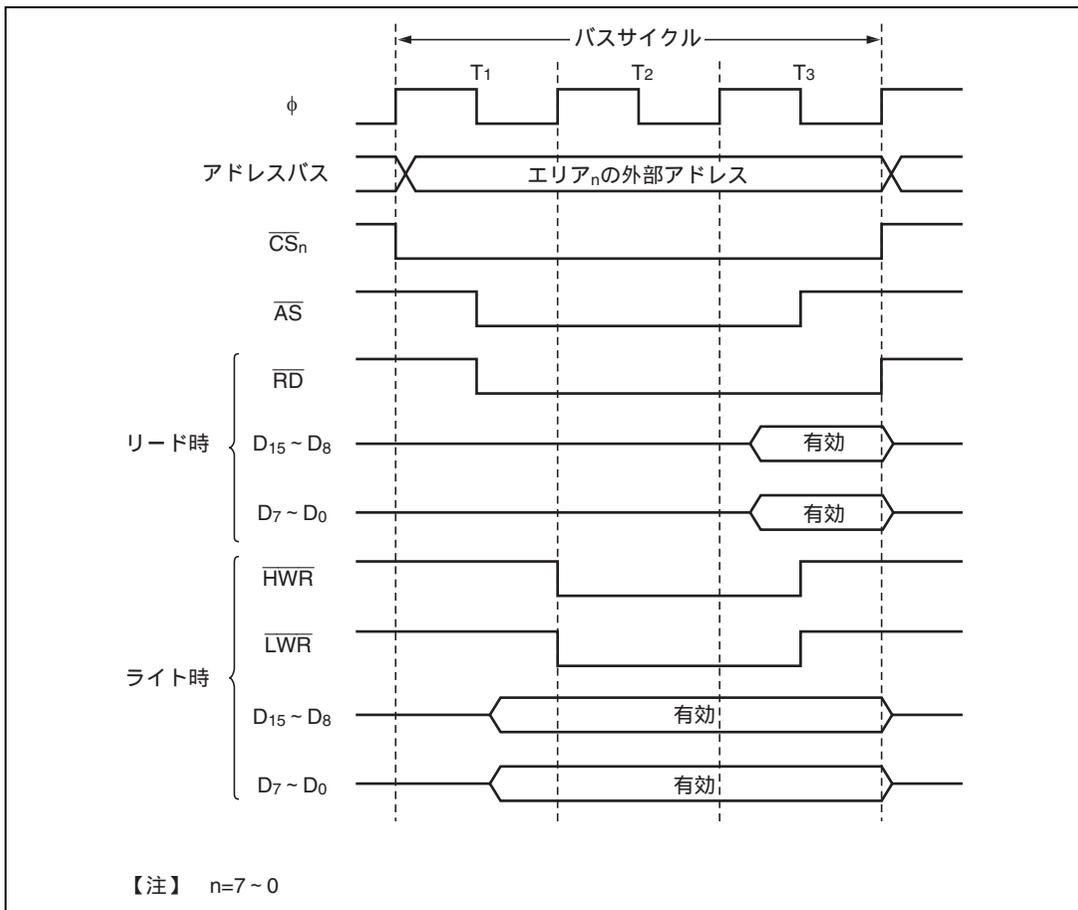


図 6.11 16 ビット 3 ステートアクセス空間のバス制御信号タイミング (3) (ワードアクセス)

## (4) 16ビット2ステートアクセス空間

図 6.12 ~ 図 6.14 に 16 ビット 2 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ( $D_{15} \sim D_8$ ) を使用し、奇数アドレスに対してはデータバスの下位側 ( $D_7 \sim D_0$ ) を使用します。ウェイトステートを挿入することはできません。

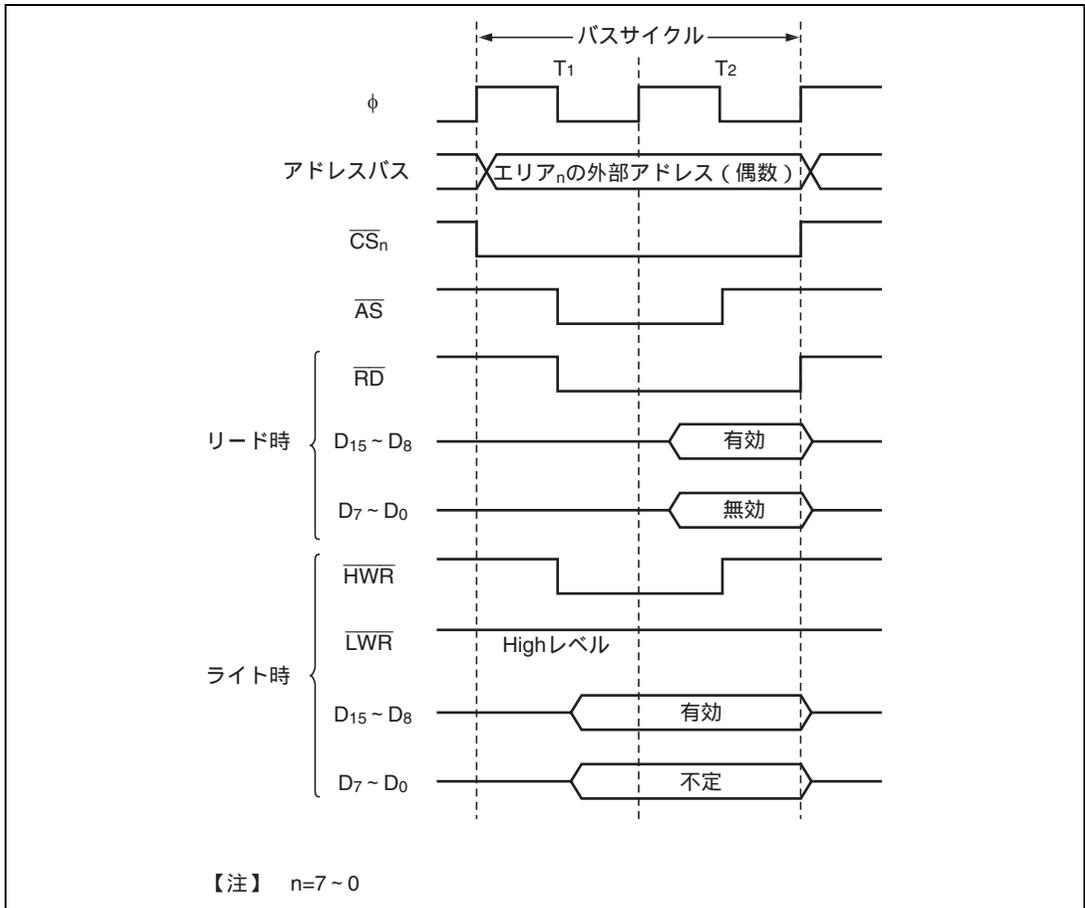


図 6.12 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (1)  
(偶数アドレスバイトアクセス)

## 6. バスコントローラ

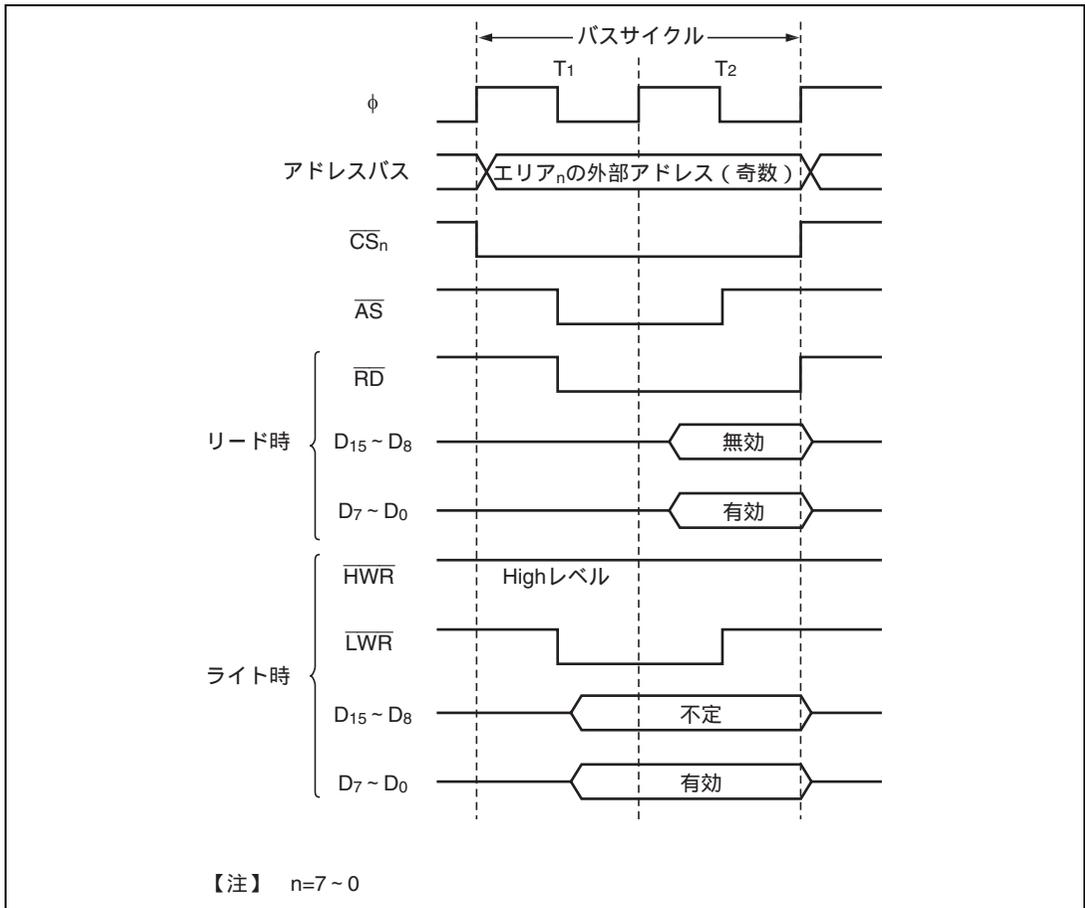


図 6.13 16 ビット 2 ステートアクセス空間のバス制御信号タイミング (2)  
(奇数アドレスバイトアクセス)

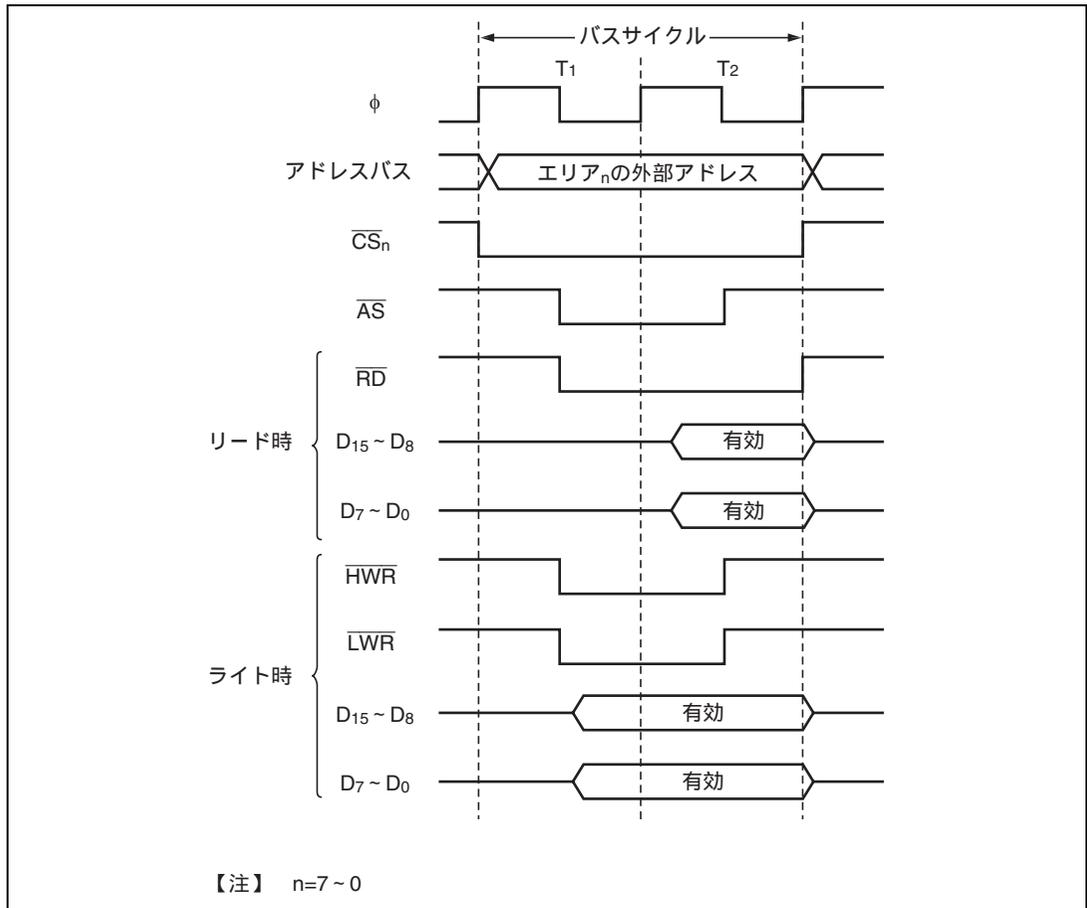


図 6.14 16ビット2ステートアクセス空間のバス制御信号タイミング(3)(ワードアクセス)

### 6.4.6 ウェイト制御

本 LSI は、外部空間をアクセスするとき、ウェイトステート ( $T_w$ ) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2)  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、があります。

#### (1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に  $T_2$  ステートと  $T_3$  ステートの間に挿入することができます。

#### (2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$  端子によるウェイト入力の有効になります。この状態で、外部空間をアクセスすると、まずプログラムウェイトが挿入されます。 $T_2$  または  $T_w$  の最後のステートの  $\phi$  の立ち下りのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、さらに  $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

4 ステート以上の  $T_w$  を挿入する場合や、外部デバイス毎に挿入する  $T_w$  数を変える場合などに有効です。

WAITE ビットはすべてのエリアに対して共通です。

なお、DRAM 空間には端子ウェイトは挿入されません。

図 6.15 に 3 ステート空間プログラムウェイト 1 ステートのウェイトステート挿入のタイミング例を示します。

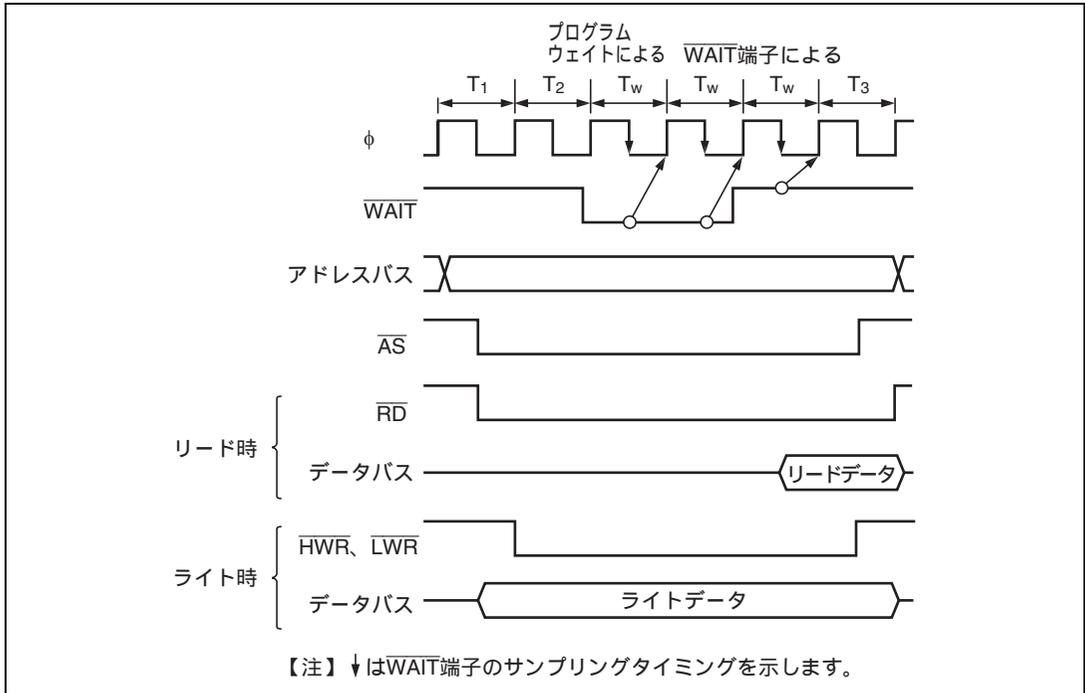


図 6.15 ウェイトステート挿入タイミング例

## 6.5 DRAM インタフェース

### 6.5.1 概要

本 LSI は、DRAM 制御信号 ( $\overline{RAS}$ 、 $\overline{UCAS}$ 、 $\overline{LCAS}$ 、 $\overline{WE}$ ) の出力機能、アドレスマルチプレクス機能、およびリフレッシュ機能をもった DRAM インタフェースを備えることにより DRAM を直結することができます。拡張モードのとき、エリア 2~5 の外部アドレス空間を、DRAM インタフェースが機能する DRAM 空間として割り付けることができます。DRAM 空間のデータバス幅は ABWCR の設定により 8 ビットと 16 ビットから選択できます。データバス幅として 16 ビットを選択した場合のバイトアクセス制御は CAS を用います。したがって  $\times 16$  ビット構成の DRAM では 2CAS 方式のものが接続可能となります。アクセスモードとしては通常のリード、ライトアクセスに加え、高速ページモードをサポートします。

### 6.5.2 DRAM 空間と $\overline{RAS}$ 出力端子の設定

エリア 2~5 に対する DRAM 空間の割付けと DRAM 空間に設定された各エリアに対応する  $\overline{RAS}$  出力端子の選択は、DRCRA の DRAS2~DRAS0 ビットを設定することにより行います。DRAS2~DRAS0 ビットの設定値と選択される DRAM 空間および  $\overline{RAS}$  出力端子の関係を表 6.5 に示します。

なお、DRAS2~DRAS0 に任意の値が設定されている場合、000 以外の異なる値のライトは行わないでください。

表 6.5 DRAS2~DRAS0 の設定値と DRAM 空間 ( $\overline{RAS}$  出力端子) の関係

DRAS2	DRAS1	DRAS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	0	通常空間	通常空間	通常空間	通常空間
		1	通常空間	通常空間	通常空間	DRAM 空間 ( $\overline{CS}_2$ )
	1	0	通常空間	通常空間	DRAM 空間 ( $\overline{CS}_3$ )	DRAM 空間 ( $\overline{CS}_2$ )
		1	通常空間	通常空間	DRAM 空間 ( $\overline{CS}_2$ ) *	
1	0	0	通常空間	DRAM 空間 ( $\overline{CS}_4$ )	DRAM 空間 ( $\overline{CS}_3$ )	DRAM 空間 ( $\overline{CS}_2$ )
		1	DRAM 空間 ( $\overline{CS}_5$ )	DRAM 空間 ( $\overline{CS}_4$ )	DRAM 空間 ( $\overline{CS}_3$ )	DRAM 空間 ( $\overline{CS}_2$ )
	1	0	DRAM 空間 ( $\overline{CS}_4$ ) *		DRAM 空間 ( $\overline{CS}_2$ ) *	
		1	DRAM 空間 ( $\overline{CS}_2$ ) *			

【注】 \* 一本の  $\overline{CS}_n$  端子が複数エリアに共通の  $\overline{RAS}$  出力端子となります。このとき不要となる  $\overline{CS}_n$  端子は入出力ポートとして使用可能となります。

### 6.5.3 アドレスマルチプレクス

DRAM 空間をアクセスする場合、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスの方法は、DRAM のカラムアドレスのビット数に合せ DRCRB の MXC1、MXC0 ビットにより選択します。表 6.6 に MXC1、MXC0 の設定値とアドレスマルチプレクスの関係を示します。

表 6.6 MXC1、MXC0 とアドレスマルチプレクスの関係

	DRCRB		カラム アドレス ビット数	アドレス端子															
	MXC1	MXC0		A <sub>23</sub> ~ A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		
ロウアドレス	0	0	8ビット	A <sub>23</sub> ~ A <sub>13</sub>	A <sub>20</sub> *	A <sub>19</sub>	A <sub>18</sub>	A <sub>17</sub>	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>		
		1	9ビット	A <sub>23</sub> ~ A <sub>13</sub>	A <sub>12</sub>	A <sub>20</sub> *	A <sub>19</sub>	A <sub>18</sub>	A <sub>17</sub>	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>		
	1	0	10ビット	A <sub>23</sub> ~ A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>20</sub> *	A <sub>19</sub>	A <sub>18</sub>	A <sub>17</sub>	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>		
		1	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
カラムアドレス	-	-	-	A <sub>23</sub> ~ A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		

【注】 \* 動作モードが 1M バイトモードのとき、ロウアドレスの A<sub>20</sub> はマルチプレクスされません。

### 6.5.4 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると、当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では ×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D<sub>15</sub> ~ D<sub>8</sub> の上位側データバスが有効となり、16 ビット DRAM 空間では D<sub>15</sub> ~ D<sub>0</sub> の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.4.2 データサイズとデータアライメント」を参照してください。

## 6.5.5 DRAM インタフェース使用端子

表 6.7 に DRAM インタフェースで使用する端子と機能を示します。

表 6.7 DRAM インタフェース端子構成

端子	DRAM 設定時	名称	入出力	機能
PB4	UCAS	アッパーカラムアドレスストロープ	出力	DRAM 空間アクセス時のアッパーカラムアドレスストロープ (DRCRB の CSEL=0 のとき)
PB5	LCAS	ローアーカラムアドレスストロープ	出力	DRAM 空間アクセス時のローアーカラムアドレスストロープ (DRCRB の CSEL=0 のとき)
HWR	UCAS	アッパーカラムアドレスストロープ	出力	DRAM 空間アクセス時のアッパーカラムアドレスストロープ (DRCRB の CSEL=1 のとき)
LWR	LCAS	ローアーカラムアドレスストロープ	出力	DRAM 空間アクセス時のローアーカラムアドレスストロープ (DRCRB の CSEL=1 のとき)
CS <sub>2</sub>	RAS <sub>2</sub>	ロウアドレスストロープ 2	出力	DRAM 空間アクセス時のロウアドレスストロープ
CS <sub>3</sub>	RAS <sub>3</sub>	ロウアドレスストロープ 3	出力	DRAM 空間アクセス時のロウアドレスストロープ
CS <sub>4</sub>	RAS <sub>4</sub>	ロウアドレスストロープ 4	出力	DRAM 空間アクセス時のロウアドレスストロープ
CS <sub>5</sub>	RAS <sub>5</sub>	ロウアドレスストロープ 5	出力	DRAM 空間アクセス時のロウアドレスストロープ
RD	WE	ライトイネーブル	出力	DRAM 空間ライトアクセス時のライトイネーブル*
P80	RFSH	リフレッシュ	出力	リフレッシュサイクル時 Low レベルとなります
A <sub>12</sub> ~ A <sub>0</sub>	A <sub>12</sub> ~ A <sub>0</sub>	アドレス	出力	ロウアドレス / カラムアドレスのマルチプレクス出力
D <sub>15</sub> ~ D <sub>0</sub>	D <sub>15</sub> ~ D <sub>0</sub>	データ	入出力	データ入出力端子

【注】 \* リードアクセス時は、High レベル固定となります。

### 6.5.6 基本タイミング

DRAM 空間の基本アクセスタイミングを図 6.16 に示します。DRAM の基本タイミングは 4 ステートで、プリチャージサイクル ( $T_p$ ) 1 ステート、ロウアドレス出力サイクル ( $T_r$ ) 1 ステート、コラムアドレス出力サイクル ( $T_{c1}$ 、 $T_{c2}$ ) 2 ステートで構成されています。基本バスインタフェースとは異なり、ASTCR の対応するビットは  $T_{c1}$ - $T_{c2}$  間ウェイトステートの挿入の許可または禁止のみを制御し、アクセスステート数に影響は与えません。ASTCR の当該ビットを 0 にクリアしてある場合、DRAM アクセスサイクルの  $T_{c1}$ - $T_{c2}$  間ウェイトステートの挿入を行うことができません。

なお、 $\overline{UCAS}$ 、 $\overline{LCAS}$  の出力端子として  $\overline{HWR}$ 、 $\overline{LWR}$  を選択した場合、DRAM のリード/ライトサイクルに続き DRAM 空間以外の外部エリアに対するアクセスサイクルが連続すると、DRAM アクセスサイクルの直後に無条件にアイドルサイクル ( $T_i$ ) が挿入されます。詳細は「6.9 アイドルサイクル」を参照してください。

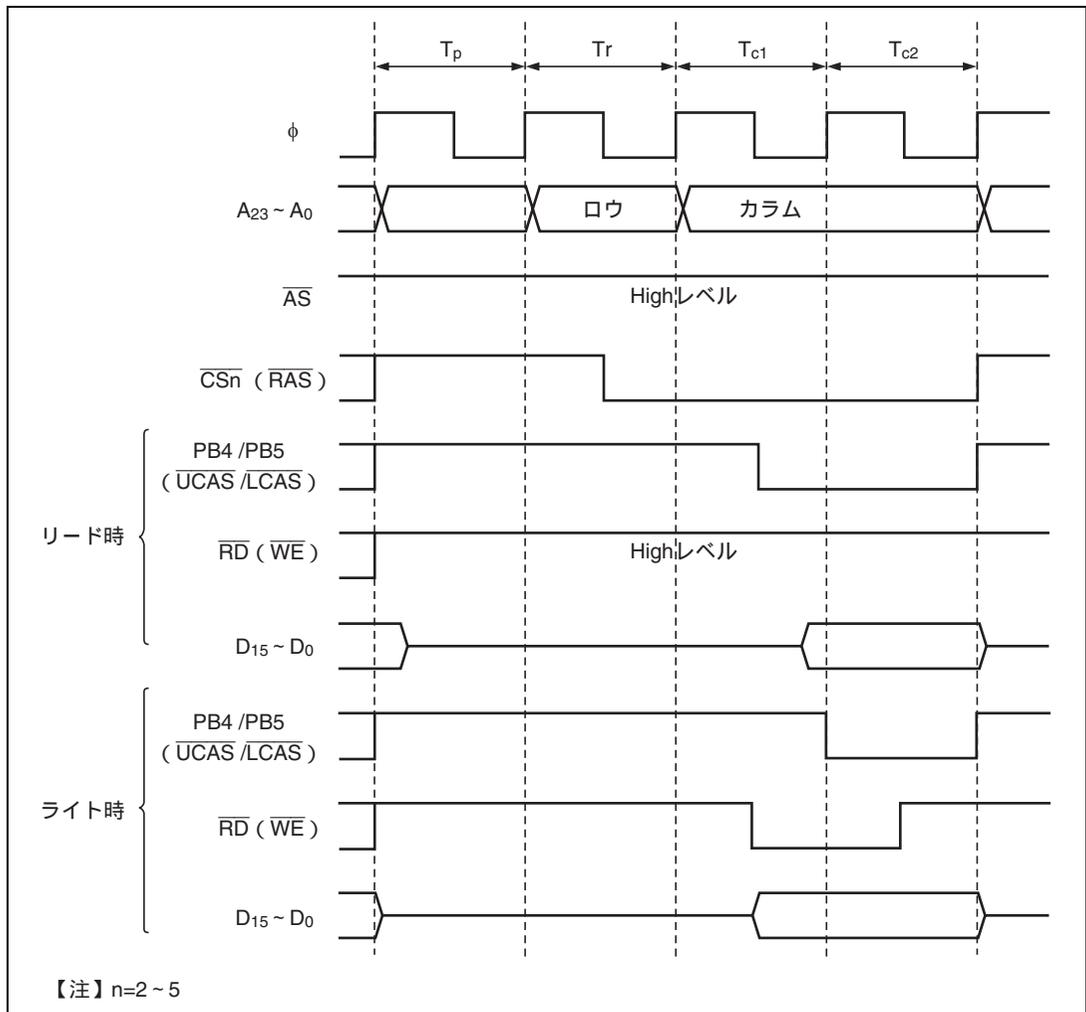
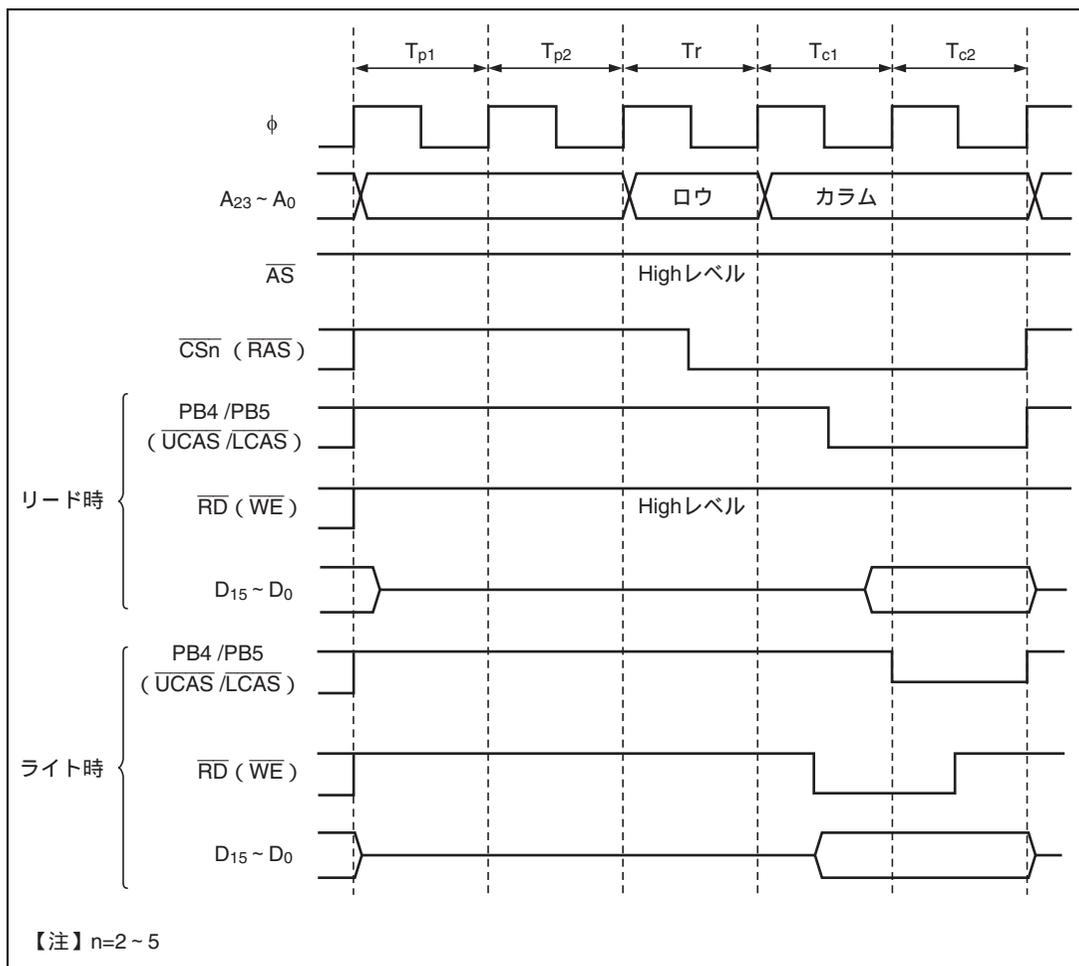


図 6.16 基本アクセスタイミング (DRCRB の CSEL=0 の場合)

## 6.5.7 プリチャージステート制御

本 LSI では、DRAM の RAS プリチャージ時間を考慮し、DRAM 空間をアクセスするとき、RAS プリチャージステート ( $T_p$ ) を必ず 1 ステート挿入します。さらに、DRCRB の TPC ビットを 1 にセットすることにより、 $T_p$  を 1 ステートから 2 ステートへ変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な  $T_p$  サイクル数を設定してください。図 6.17 に  $T_p$  を 2 ステートとしたときのタイミングを示します。

TPC ビットを 1 にセットすると、CAS ビフォ RAS リフレッシュサイクルの  $T_p$  も 2 ステートとなります。



### 6.5.8 ウェイト制御

DRAM アクセスサイクルの (1)  $T_r$  ステートと  $T_{c1}$  ステートの間および (2)  $T_{c1}$  ステートと  $T_{c2}$  ステートの間にウェイトステートを挿入することができます。

#### (1) $T_r$ - $T_{c1}$ 間ウェイトステート ( $T_{rw}$ ) の挿入

DRCRB の RCW ビットを 1 に設定することにより  $T_{rw}$  を  $T_r$  ステートと  $T_{c1}$  ステートの間に 1 ステート挿入することができます。

#### (2) $T_{c1}$ - $T_{c2}$ 間ウェイトステート ( $T_w$ ) の挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WCRH、WCRL の設定により、0~3 ステートの  $T_w$  を、 $T_{c1}$  ステートと  $T_{c2}$  ステートの間に挿入することができます。

図 6.18 にウェイトステート挿入のタイミング例を示します。

なお、DRCRB の RCW ビットの設定および ASTCR、WCRH、WCRL の設定はリフレッシュサイクルに対し影響を与えません。また、DRAM 空間のアクセスサイクルには WAIT 端子によるウェイトステートの挿入はできません。

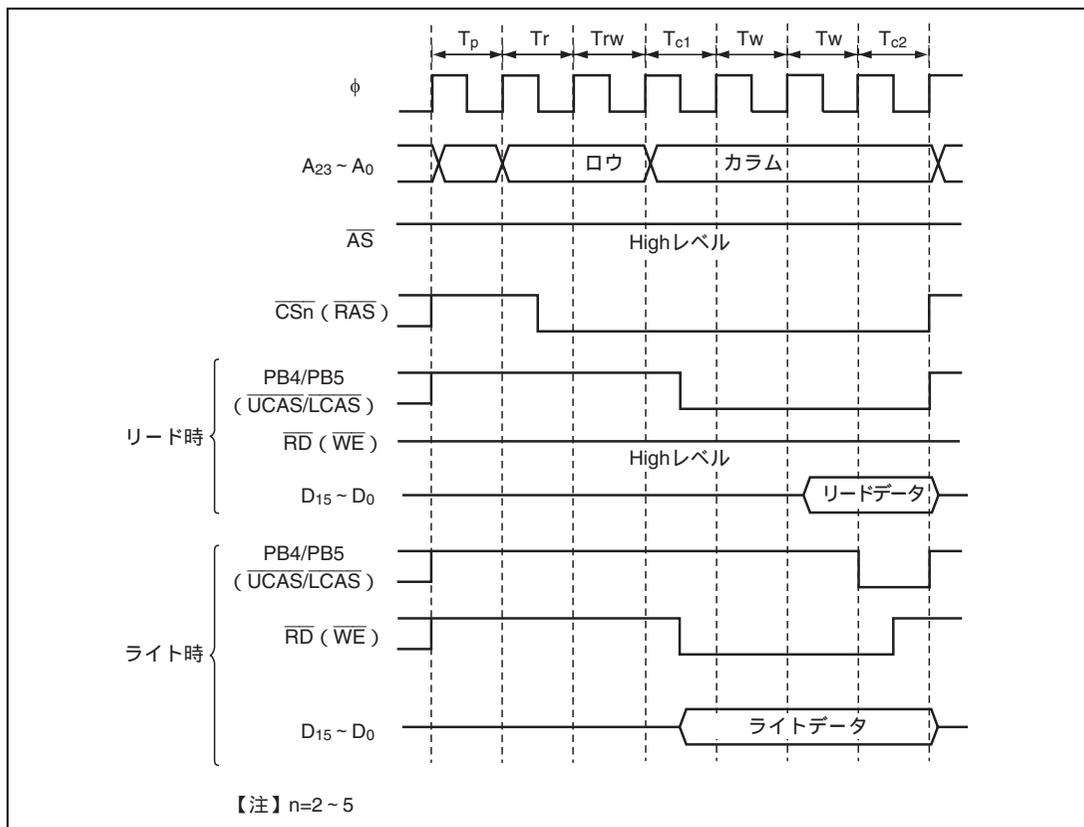


図 6.18 ウェイトステート挿入タイミング例 (CSEL=0 の場合)

6.5.9 バイトアクセス制御と  $\overline{\text{CAS}}$  出力端子

ABWCR により 16 ビットアクセス空間に指定された DRAM 空間をアクセスする場合、外部データバスの上位側、下位側にそれぞれ対応するカラムアドレスストロブ ( $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$ ) を出力します。×16 ビット構成の DRAM では 2CAS 方式のものが接続できます。

$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$  の出力端子として PB4、PB5 および  $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$  があり DRCRB の CSEL ビットの設定により選択することができます。表 6.8 に CSEL の設定値と  $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$  の出力端子の関係を示します。

ABWCR により 8 ビットアクセス空間に設定された DRAM 空間をアクセスする場合、 $\overline{\text{UCAS}}$  のみ出力します。すべての DRAM 空間が 8 ビットアクセス空間に設定されており、CSEL=0 の場合、PB5 は入出力ポートとして使用することができます。

なお、外部空間に DRAM 以外のデバイスを接続し、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$  をライトストロブとして使用する場合、 $\overline{\text{RAS}}$  ダウンモードは使用できませんので注意してください。また、この場合 DRAM 空間アクセス後に DRAM 空間以外の外部アクセスが発生すると、必ずアイドルサイクル ( $T_i$ ) が挿入されます。詳細は「6.9 アイドルサイクル」を参照してください。

表 6.8 CSEL の設定値と  $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$  の出力端子の関係

CSEL	$\overline{\text{UCAS}}$	$\overline{\text{LCAS}}$
0	PB4	PB5
1	$\overline{\text{HWR}}$	$\overline{\text{LWR}}$

図 6.19 に制御タイミングを示します。

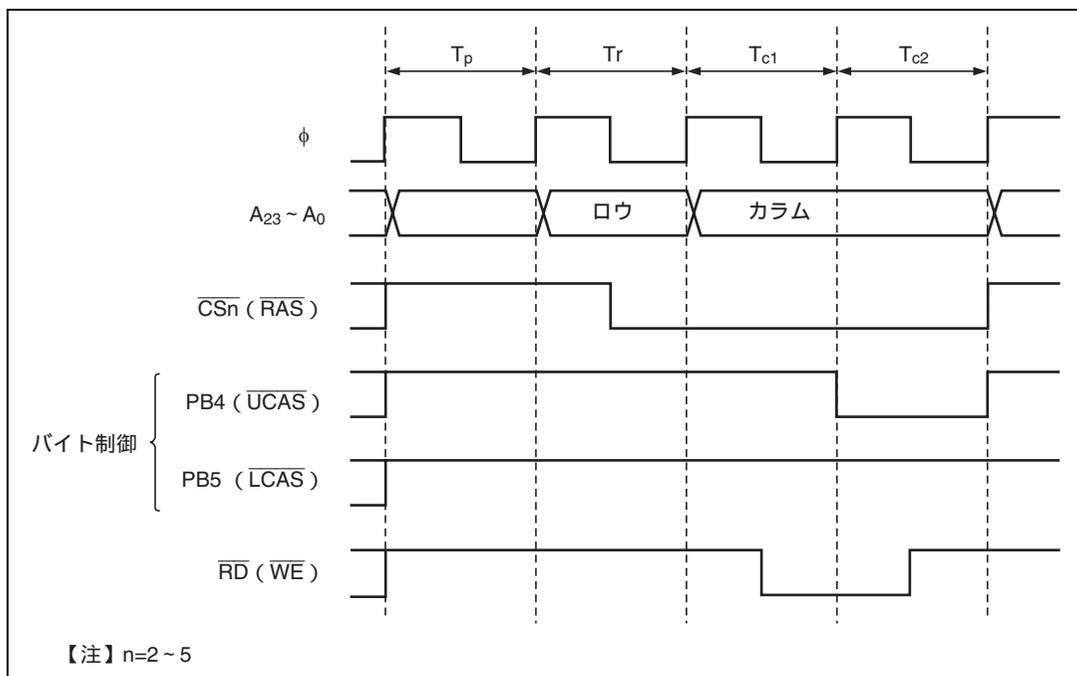


図 6.19 制御タイミング (CSEL=0 の場合の上位バイトライトアクセス時)

### 6.5.10 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後、カラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。DRCRA の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

#### (1) バーストアクセス（高速ページモード）の動作タイミング

図 6.20 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、各アクセスサイクルのロウアドレスが一致している間、カラムアドレスと  $\overline{\text{CAS}}$  信号の出力サイクル（2 ステート）が連続して行われます。バーストアクセスにおいても  $T_{c1}$ 、 $T_{c2}$  間ウェイトステートを挿入してバスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.5.8 ウェイト制御」を参照してください。

比較対象となるロウアドレスは DRCRB の MXC1、MXC0 ビットと ABWCR で設定された各エリアのバス幅で決まります。表 6.9 に MXC1、MXC0 ビットおよび ABWCR の設定値と比較対象となるロウアドレスの関係を示します。

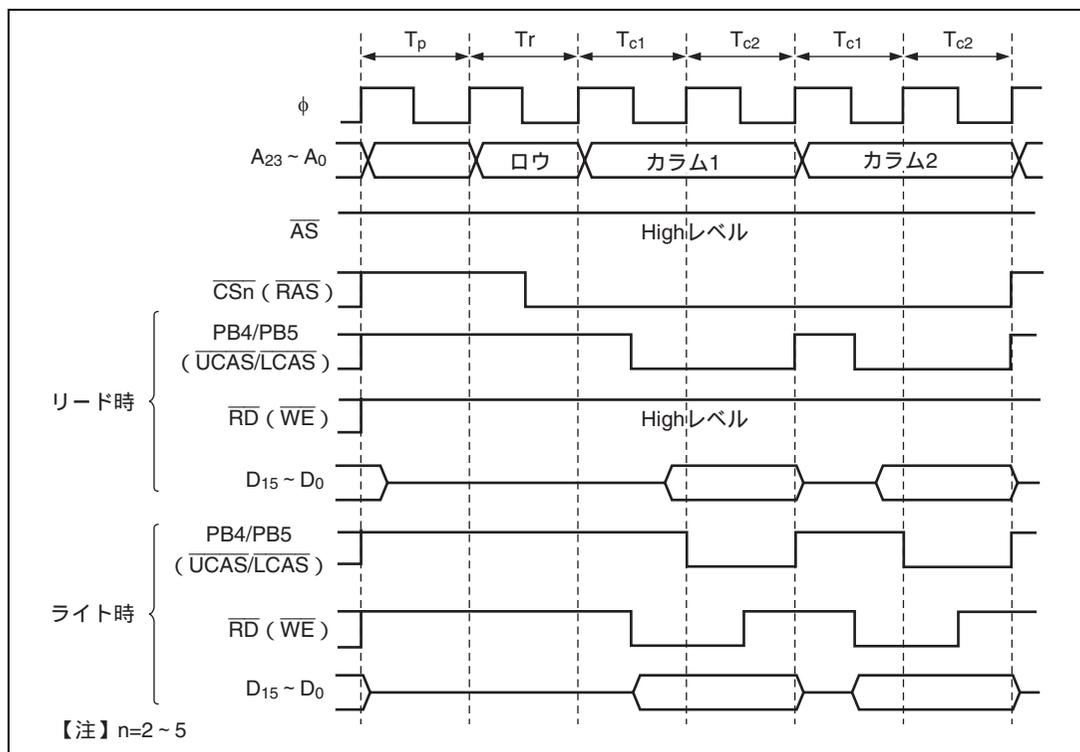


図 6.20 高速ページモードの動作タイミング

## 6. バスコントローラ

---

表 6.9 MXC1、MXC0 および ABWCR の設定値とバーストアクセス時に比較対象となるロウアドレスの関係

動作モード	DRCRB		ABWCR	バス幅	比較対象のロウアドレス
	MXC1	MXC0	ABWn		
モード 1、2 (1M バイト)	0	0	0	16 ビット	A19 ~ A9
			1	8 ビット	A19 ~ A8
	1	1	0	16 ビット	A19 ~ A10
			1	8 ビット	A19 ~ A9
	1	0	0	16 ビット	A19 ~ A11
			1	8 ビット	A19 ~ A10
1				設定禁止	
モード 3、4 (16M バイト)	0	0	0	16 ビット	A23 ~ A9
			1	8 ビット	A23 ~ A8
	1	1	0	16 ビット	A23 ~ A10
			1	8 ビット	A23 ~ A9
	1	0	0	16 ビット	A23 ~ A11
			1	8 ビット	A23 ~ A10
1				設定禁止	

【注】 n=2 ~ 5

## (2) RAS ダウンモードと RAS アップモード

高速ページモードを備えた DRAM では、アクセスが連続していない場合でも同一ロウアドレスへのアクセスならば、 $\overline{\text{RAS}}$  信号を Low レベルに保持しておくことにより、バースト動作を断続的に続けることができます。

## (a) RAS ダウンモード

RAS ダウンモードを選択するときは、DRCRA の BE、RDM ビットを "1" にセットしてください。DRAM 空間に対するアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$  信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致した場合、バーストアクセスが行われます。図 6.21 に RAS ダウンモードのタイミング例を示します。

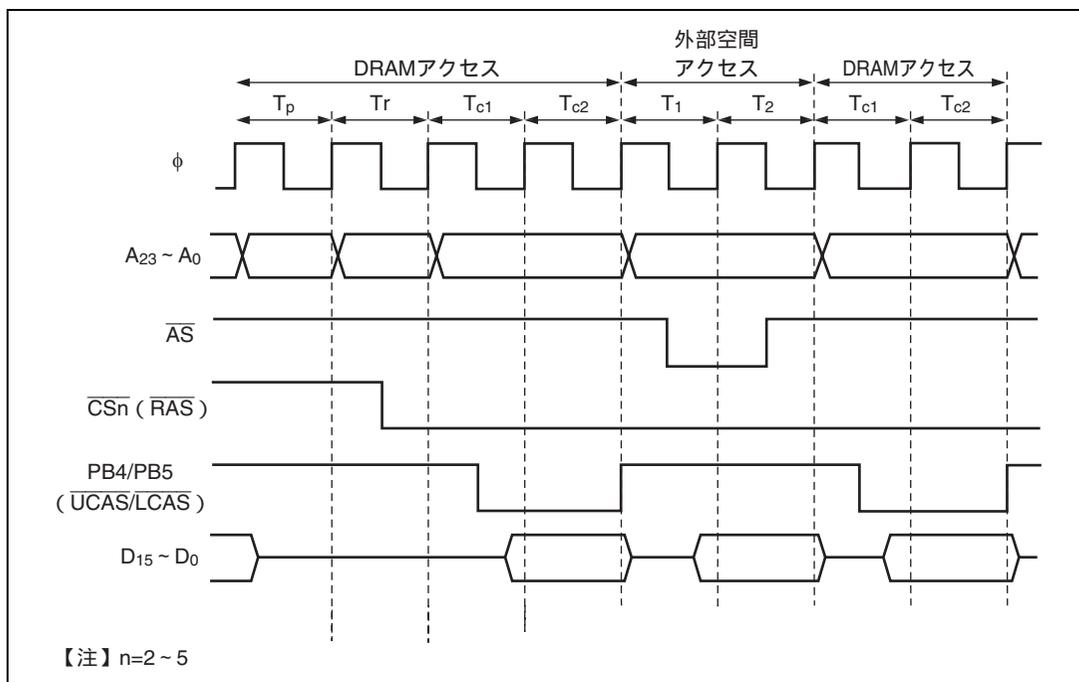


図 6.21 RAS ダウンモードの動作タイミング例 (CSEL=0 の場合)

## 6. バスコントローラ

RAS ダウンモードを選択している場合、いったんアサートされた  $\overline{\text{RASn}}$  信号が High レベルに戻る条件は以下のとおりです。そのときのタイミング図を図 6.22 に示します。

- (a) 異なるロウアドレスのDRAM空間をアクセスする場合
- (b) CASビフォRASリフレッシュサイクルの直前
- (c) DRCRAのBEビットまたはRDMビットへの0セット
- (d) 外部バス権解放の直前

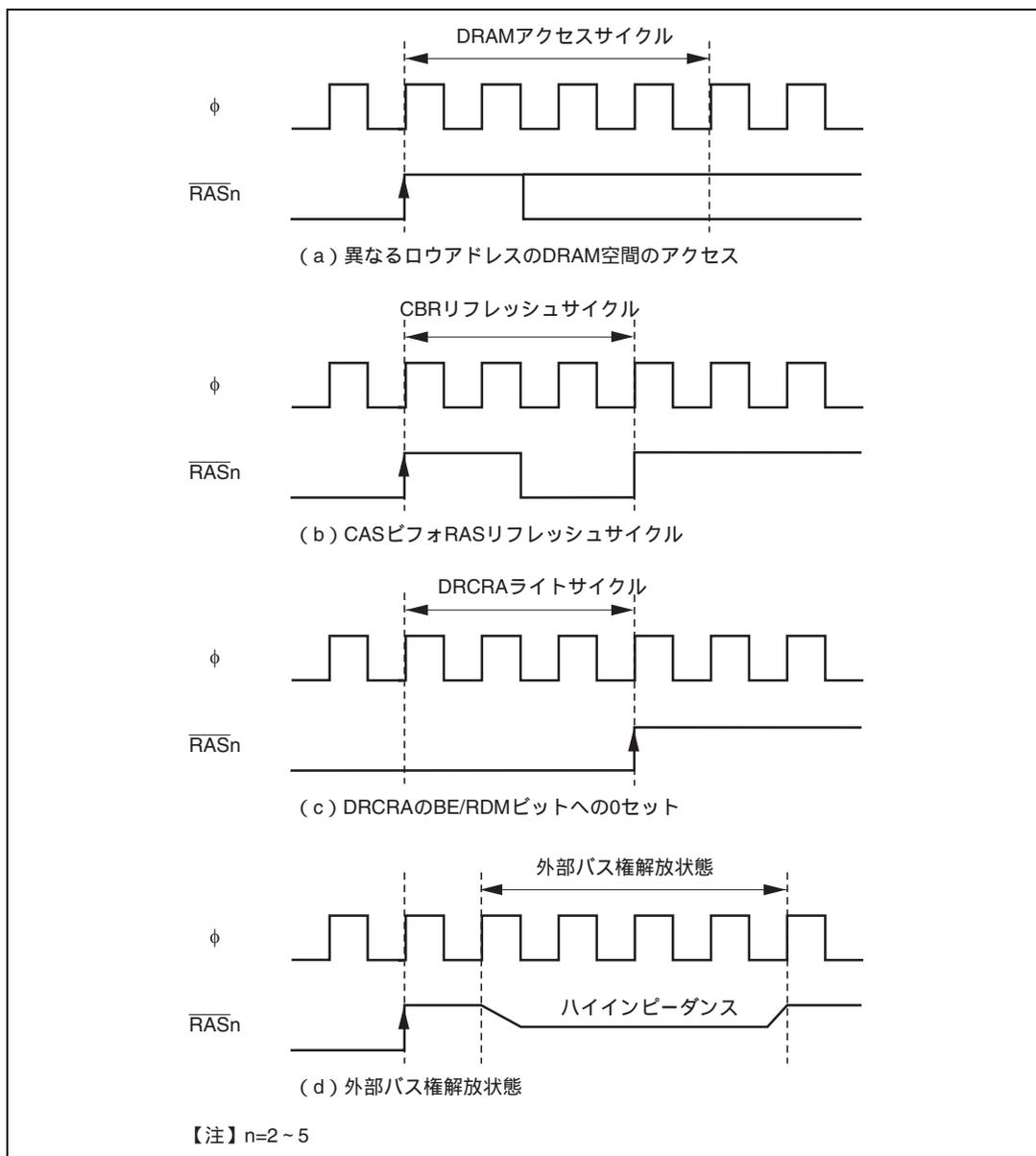


図 6.22 RAS ダウンモード選択時の  $\overline{\text{RASn}}$  のネゲートタイミング

RAS ダウンモードを選択する場合には、DRAM のリフレッシュの方法として必ず、本 DRAM インタフェースの CAS ビフォ RAS リフレッシュ機能を使用してください。リフレッシュ動作を行うとき、 $\overline{\text{RAS}}$  信号はその直前に High レベルになります。DRAM の  $\overline{\text{RAS}}$  パルス幅の最大規定を満たすように、リフレッシュ間隔の設定を行ってください。

また、セルフリフレッシュ機能を使用する場合には、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行する前に必ず RDM ビットを 0 にクリアし、RAS アップモードを選択してください。RAS ダウンモードの選択はソフトウェアスタンバイ解除後、あらためて行ってください。

なお、 $\overline{\text{UCAS/LCAS}}$  として  $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$  を選択し、かつ外部空間に DRAM 以外のデバイスを接続し、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$  をライトストロープとして使用する場合、RAS ダウンモードは使用できませんので注意してください。

#### (b) RAS アップモード

RAS アップモードを選択するときは、DRCRA の RDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$  信号を High レベルに戻します。DRAM 空間が連続している場合だけ、バースト動作が行われます。

図 6.23 に RAS アップモードのタイミング例を示します。

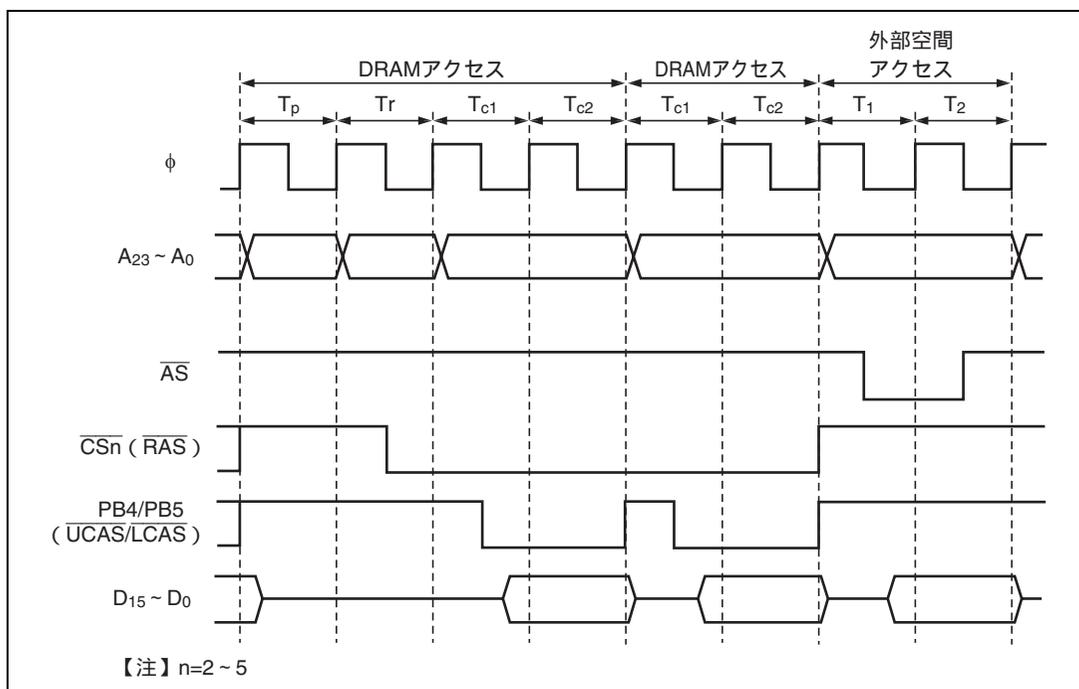


図 6.23 RAS アップモードの動作タイミング例

### 6.5.11 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能として、CAS ビフォ RAS (CBR) リフレッシュ機能、およびセルフリフレッシュ機能を備えています。

#### (1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、DRCRB の RCYCE ビットを 1 にセットしてください。

CBR リフレッシュでは、RTMCSR の CKS2 ~ CKS0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ要求が発生します。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュ要求は RTCOR と CKS2 ~ CKS0 ビットで決まる一定間隔で繰り返し、発生します。リフレッシュサイクルの実行は、このリフレッシュ要求を受け、DRAM インタフェースがバス権を獲得した後に行われます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。また、RAS ダウンモードを使用する場合には、RAS パルス幅の最大規定を満たすようにリフレッシュ間隔の設定を行ってください。

RTCNT のカウントアップは、CKS2 ~ CKS0 ビットの設定を行うことにより開始されます。したがって、CKS2 ~ CKS0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。

なお、バス権要求中に発生したリフレッシュの再要求、あるいはリフレッシュサイクル実行中のリフレッシュ要求は無視されるので注意してください。

図 6.24 に RTCNT の動作を、図 6.25 にコンペアマッチのタイミングを、図 6.26、図 6.27 に CBR リフレッシュのタイミングを示します。

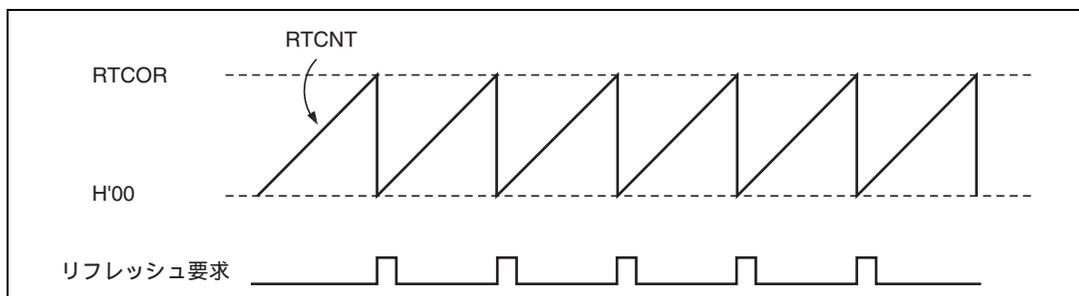


図 6.24 RTCNT の動作

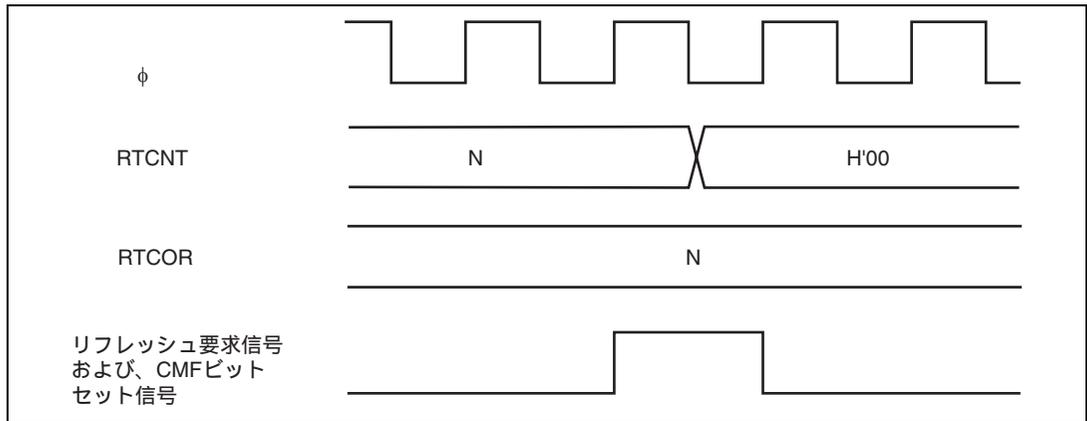


図 6.25 コンペアマッチのタイミング

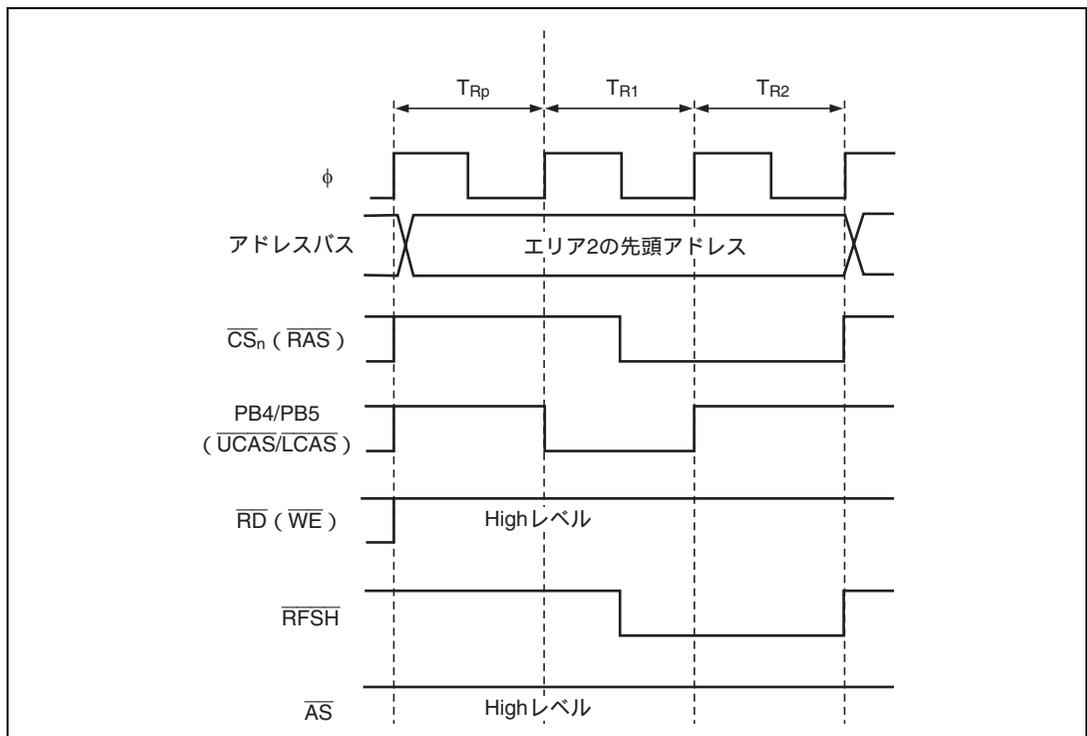


図 6.26 CBR リフレッシュタイミング (CSEL=0、TPC=0、RLW=0 の場合)

## 6. バスコントローラ

CBS リフレッシュサイクルの基本タイミングは、3 ステートで、RAS プリチャージサイクル ( $T_{RP}$ ) 1 ステート、RAS 出力サイクル ( $T_{R1}$ 、 $T_{R2}$ ) 2 ステートで構成されます。RAS プリチャージサイクルのステート数は 1 ステートまたは 2 ステートから選択することができます。DRCRB の TPC ビットを 1 に設定した場合、 $\overline{\text{RAS}}$  信号が 1 サイクル遅れて出力されます。このとき、 $\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$  の出力タイミングは変化しません。

RAS 信号幅は、DRCRB の RLW ビットで調整してください。RLW ビットを 1 に設定することにより  $T_{R1}$  ステートと  $T_{R2}$  ステートの間にリフレッシュウェイトステート ( $T_{RW}$ ) を 1 ステート挿入することができます。

なお、RLW ビットの設定は、CBR リフレッシュサイクルに対してのみ有効になり、DRAM のリード/ライトサイクルに対しては影響を与えません。また、ASTCR、WCRH、WCRL の設定値および  $\overline{\text{WAIT}}$  端子の状態は、CBR リフレッシュサイクルのステート数には影響を与えません。

図 6.27 に TPC ビットおよび RLW ビットにそれぞれ 1 を設定したときのタイミングを示します。

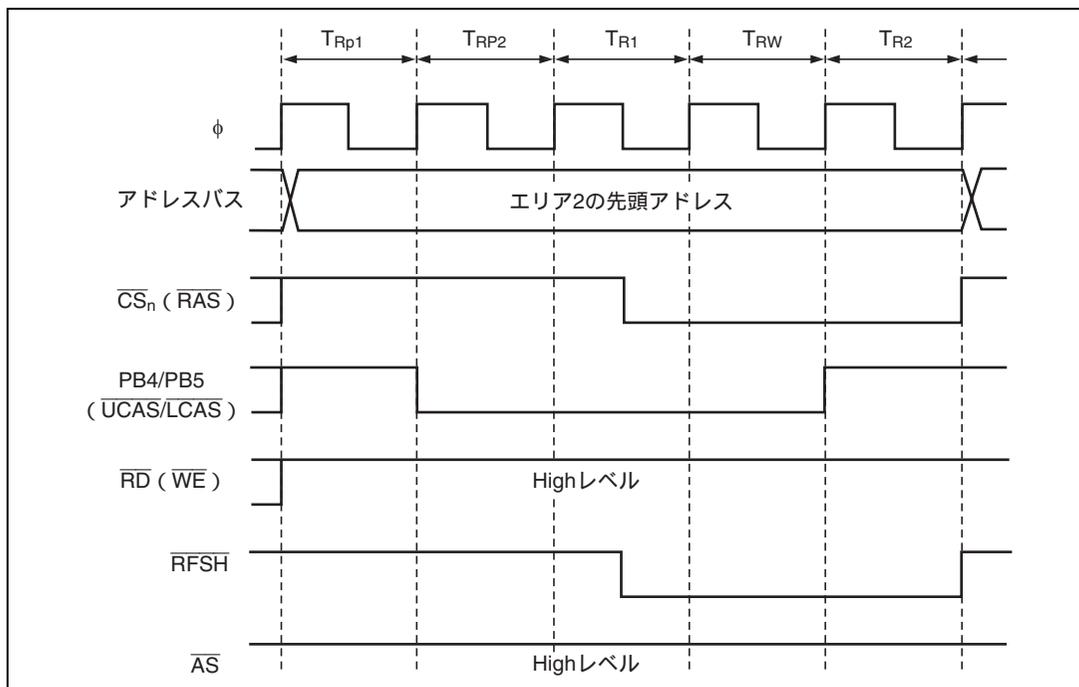


図 6.27 CBR リフレッシュタイミング (CSEL=0、TPC=1、RLW=1 の場合)

DRAM は、電源投入直後、内部状態を安定させるためにリフレッシュを必要とします。したがって、本 LSI の CAS ビフォ RAS リフレッシュ機能を使用する場合には DRCRA の DRAS2 ~ DRAS0 の設定直後、他のタイマモジュールによる割り込み、あるいは RTMCSR のビット 7 (CMF) がセットされる回数を数えるなどして、DRAM の安定期間を確保してください。

## (2) セルフリフレッシュ

DRAMには、スタンバイモードの一種として、DRAM内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード(バッテリーバックアップモード)を備えているものがあります。本LSIは、ソフトウェアスタンバイモード時に、DRAMをセルフリフレッシュモードに遷移させる機能を備えています。

セルフリフレッシュ機能を使用するためには、DRCRAのSRFMDビットを1にセットしてください。その後、ソフトウェアスタンバイモードに遷移するためのSLEEP命令を実行すると、図6.28に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力されDRAMはセルフリフレッシュモードに遷移します。

ソフトウェアスタンバイモードが解除されると、 $\overline{\text{CAS}}$ 、 $\overline{\text{RAS}}$ はHighレベル出力となります。

なお、セルフリフレッシュ機能を使用する場合、次の条件を守ってください。

- (1) バーストアクセスを選択している場合、ソフトウェアスタンバイモードに遷移するためのSLEEP命令の実行は、必ずRASアップモードを選択した状態で行ってください。したがって、RASダウンモードを選択している場合には、SLEEP命令を実行する前に必ずDRCRAのRDMビットを0にクリアしRASアップモードを選択してください。この場合、RASダウンモードの選択はソフトウェアスタンバイモード解除後に改めて行ってください。
- (2) SLEEP命令の直後の命令をDRAM空間に設定されたエリアに置かないでください。

以上の条件が満たされない場合、セルフリフレッシュ機能は正しく動作しませんので注意してください。

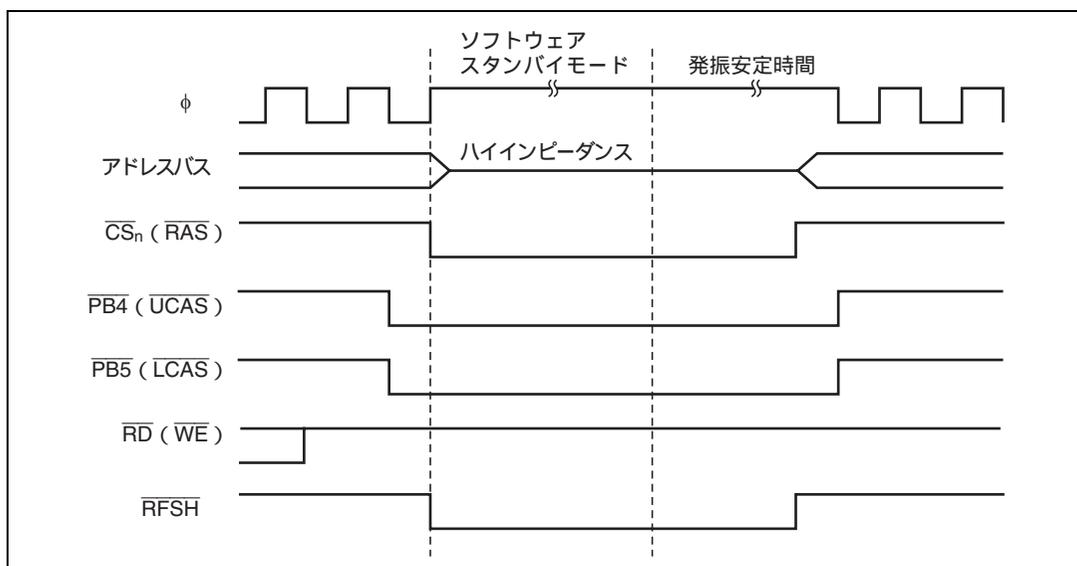


図 6.28 セルフリフレッシュタイミング (CSEL=0 の場合)

### (3) リフレッシュ信号 ( $\overline{\text{RFSH}}$ )

DRCRA の RFSHE ビットを 1 にセットすることで、リフレッシュサイクルを外部に伝えるリフレッシュ信号 ( $\overline{\text{RFSH}}$ ) を出力することができます。 $\overline{\text{RFSH}}$  の出力タイミングは図 6.26、図 6.27、図 6.28 を参照してください。

### 6.5.12 使用例

以下に DRAM の接続例とプログラム設定手順例を示します。DRAM インタフェースを使用する場合には、DRAM デバイス特性を確認の上、そのデバイスに適合する使い方をしてください。

(1) 接続例

(1) 図6.29に×16ビット構成（2CAS方式）の16MビットDRAMを2個使用する場合の接続例とそのアドレスマップを示します。本例では10ビットロウアドレス×10ビットコラムアドレスのタイプのものを使用しています。エリア2～5をDRAM空間に設定することにより最大4個のDRAMを接続できます。

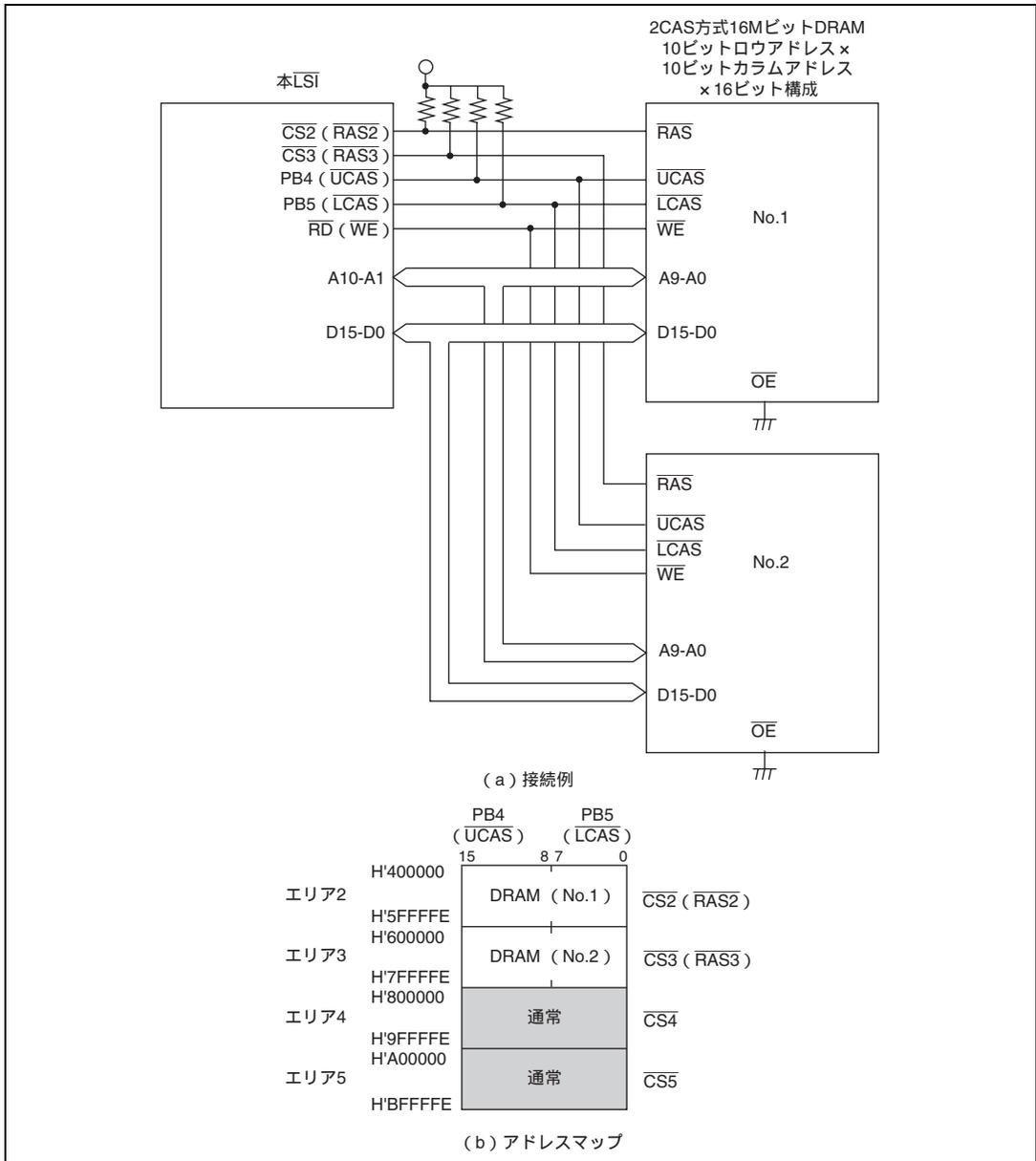


図 6.29 ×16ビット構成（2CAS方式）の16MビットDRAMの接続例とアドレスマップ

## 6. バスコントローラ

- (2) 図6.30に×8ビット構成の16MビットDRAMを2個使用する場合の接続例とそのアドレスマップを示します。本例では11ビットロウアドレス×10ビットコラムアドレスのタイプのものを使用しています。 $\overline{CS2}$ 端子をエリア2およびエリア3に共通の $\overline{RAS}$ 出力端子として使用しています。本例のようにDRAMのアドレス空間が複数エリアにまたがって連続する場合、DRAS2~0の設定により、一本の $\overline{CS}$ 端子が複数エリアに共通の $\overline{RAS}$ 出力端子として使用でき、アドレス空間が最大4エリアにまたがる大容量DRAMを直接接続することができます。この場合不要となる $\overline{CS}$ 端子（本例では $\overline{CS3}$ 端子）は入出力ポートとして使用することができます。

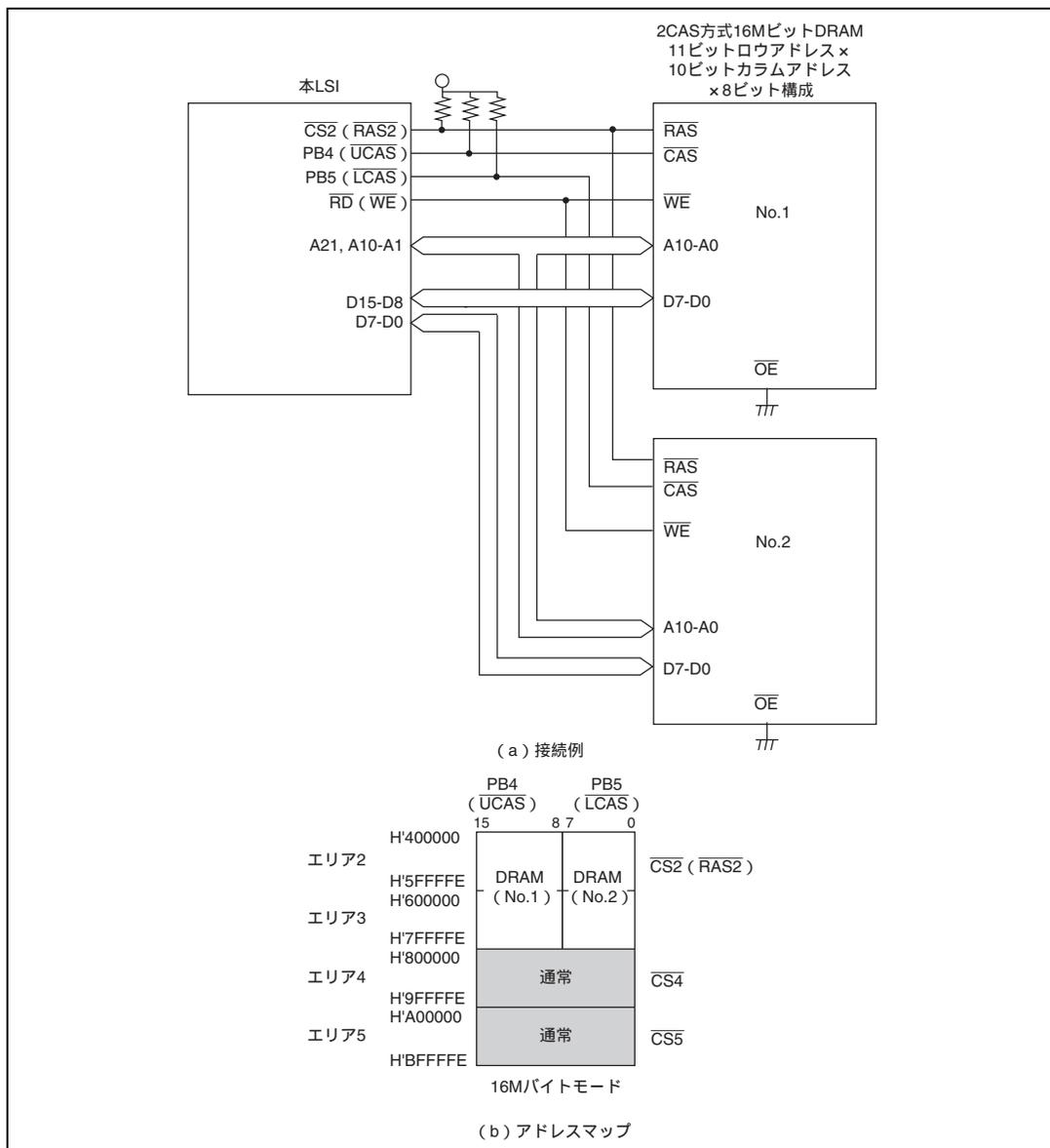


図 6.30 ×8ビット構成の16MビットDRAMの接続例とアドレスマップ

- (3) 図6.31に4MビットDRAMを2個使用する場合の接続例とそのアドレスマップを示します。9ビットロウアドレス×9ビットカラムアドレスのタイプのものを使用しています。本例では上位アドレスをデコードすることにより、複数のDRAMを一つのエリアに接続しています。この場合、すべてのDRAMを同時にリフレッシュする必要があるため、 $\overline{\text{RFSH}}$ 端子を使用します。ただし、この接続例では、RASダウンモードは使用できませんので注意してください。

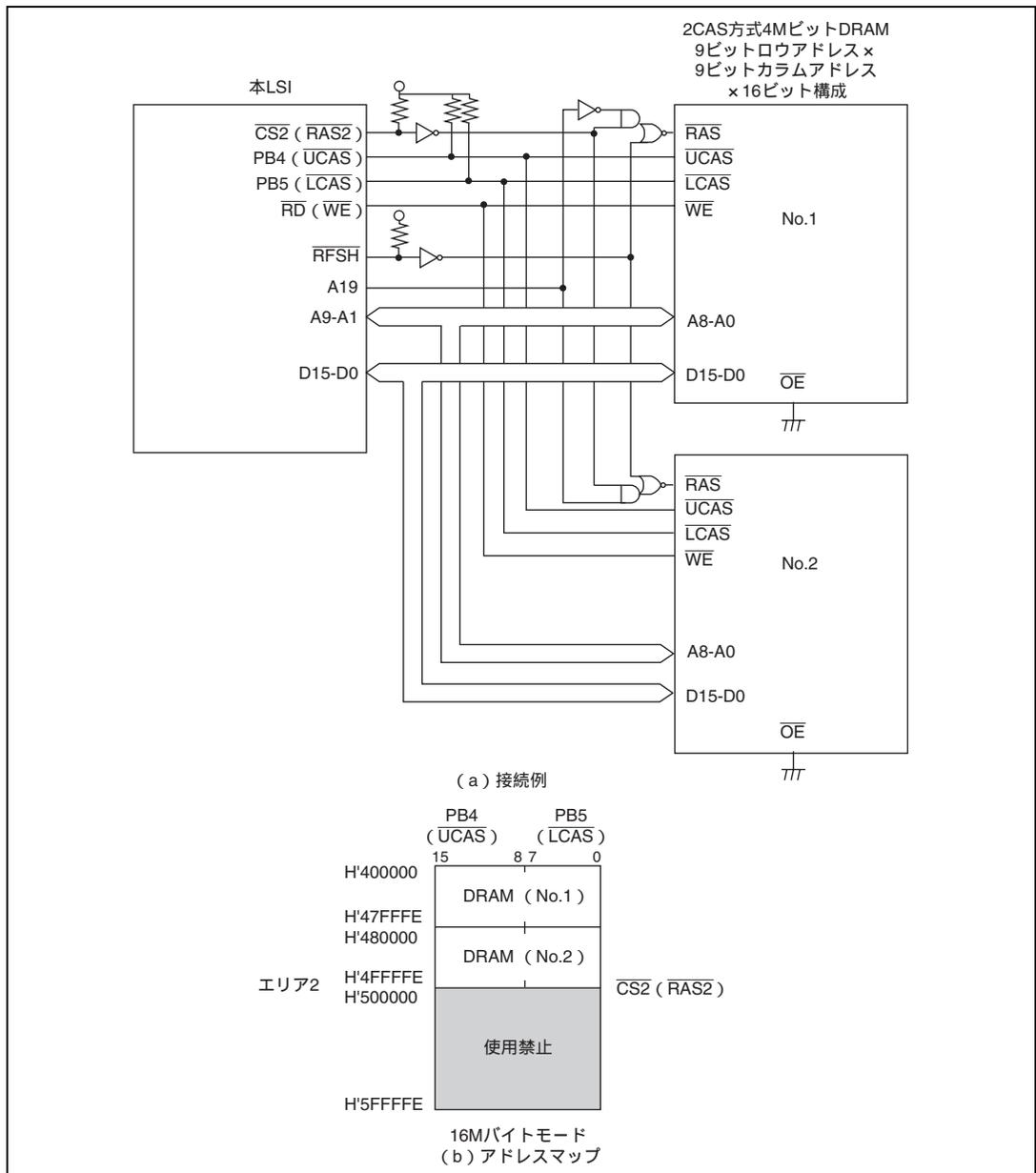


図 6.31 ×16 ビット構成 (2CAS 方式) の 4M ビット DRAM の接続例とアドレスマップ

## 6. バスコントローラ

---

### (2) プログラムの設定順序例

図 6.32 にプログラムの設定順序例を示します。



図 6.32 DRAM インタフェースの使用時の設定手順例

### 6.5.13 使用上の注意

DRAM リフレッシュ機能の使用に際して以下の点に注意してください。

- (1) 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。
- (2) 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。図6.33にその場合のバスサイクルを示します。
- (3) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。
- (4) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移時に、BACKとストローブの状態が不確定になる場合があります（図6.34参照）。ソフトウェアスタンバイモードを使用するときは、SLEEP命令を実行する前に、BRCRのBRLEビットを0にクリアしてください。また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これもBRCRのBRLEビットを0にクリアすることにより防止できます。
- (5) セルフリフレッシュ解除直後、CPUサイクルが始まるまでの一定期間、外部バス権解放が可能です。セルフリフレッシュ直後のRASプリチャージ時間の規定を充たすようRASの状態に注意してください。

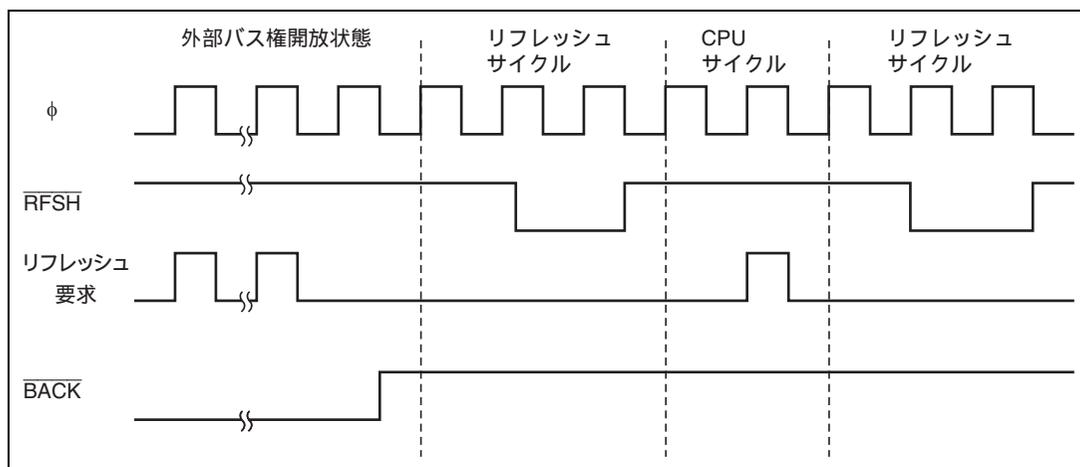


図 6.33 バス解放状態時のリフレッシュサイクル

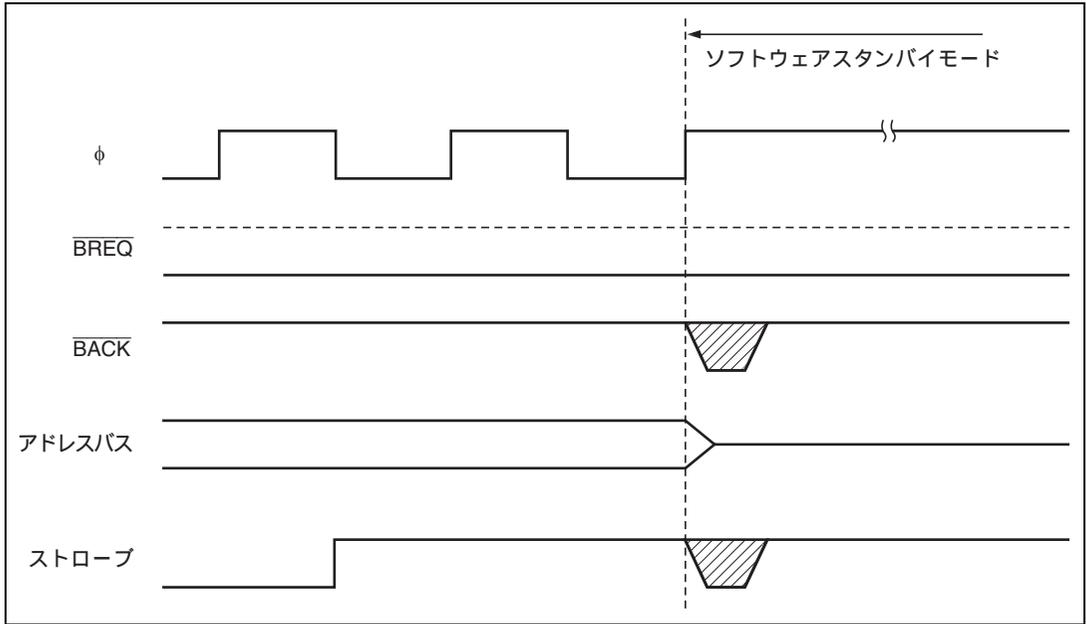


図 6.34 バス解放状態とソフトウェアスタンバイモード

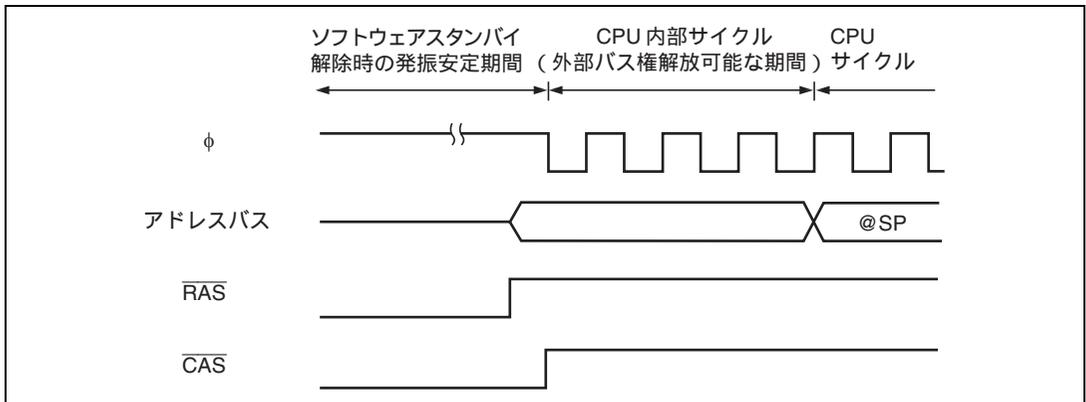


図 6.35 セルフリフレッシュの解除

## 6.6 インターバルタイマ

### 6.6.1 動作説明

本 LSI に DRAM を接続しない場合、リフレッシュタイマをインターバルタイマとして使用することができます。リフレッシュタイマをインターバルタイマとして使用する場合、DRCRA の DRAS2 ~ 0 ビットを 0 にクリアします。RTCOR を設定後、RTMCSR の CKS2 ~ CKS0 ビットにより入力クロックを選択し、CMIE ビットを 1 にセットします。

#### (1) コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTMCSR の CMF フラグは、RTCOR と RTCNT の値が一致したときに出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート（RTCNT が一致したカウント値を更新するタイミング）で発生します。

したがって、RTCNT と RTCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 6.36 に示します。

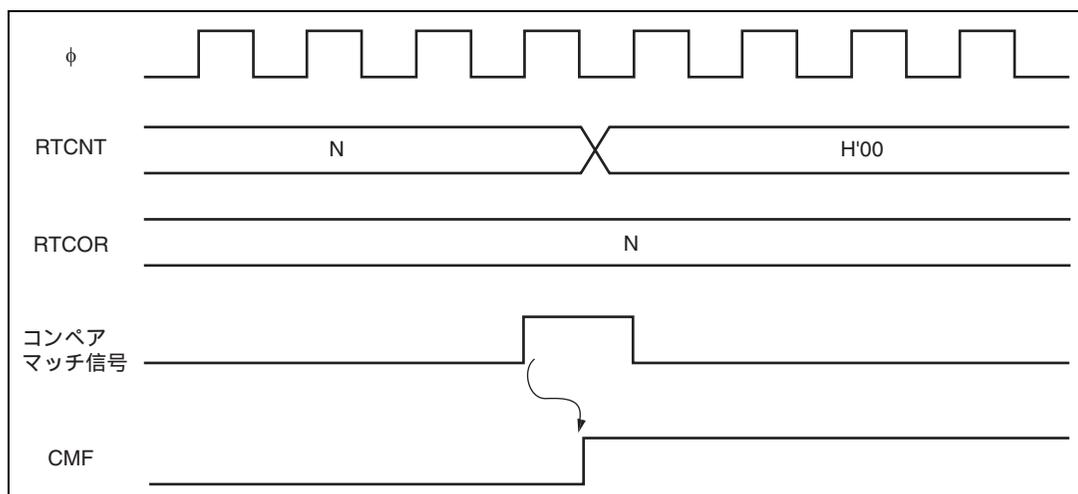


図 6.36 CMF フラグセットタイミング

#### (2) 低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNT と RTMCSR のビット 7、6 は初期化されますが、RTMCSR のビット 5 ~ 3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3) RTCNT のライトとカウンタクリアの競合

RTCNT のライトサイクル中の  $T_3$  ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 6.37 にこのタイミングを示します。

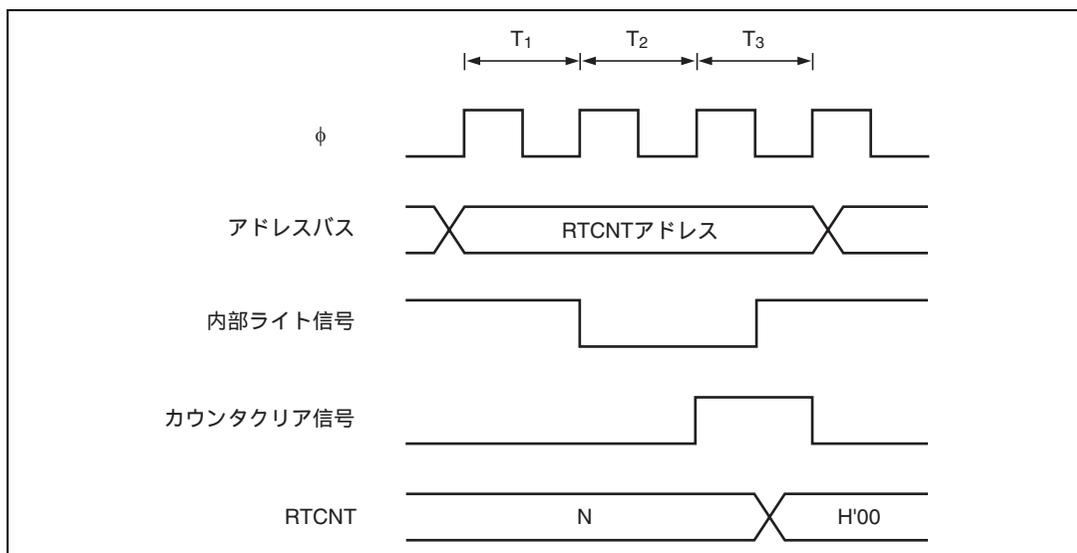


図 6.37 RTCNT のライトとクリアの競合

## (4) RTCNT のライトとカウントアップの競合

RTCNT のライトサイクル中の  $T_3$  ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図 6.38 にこのタイミングを示します。

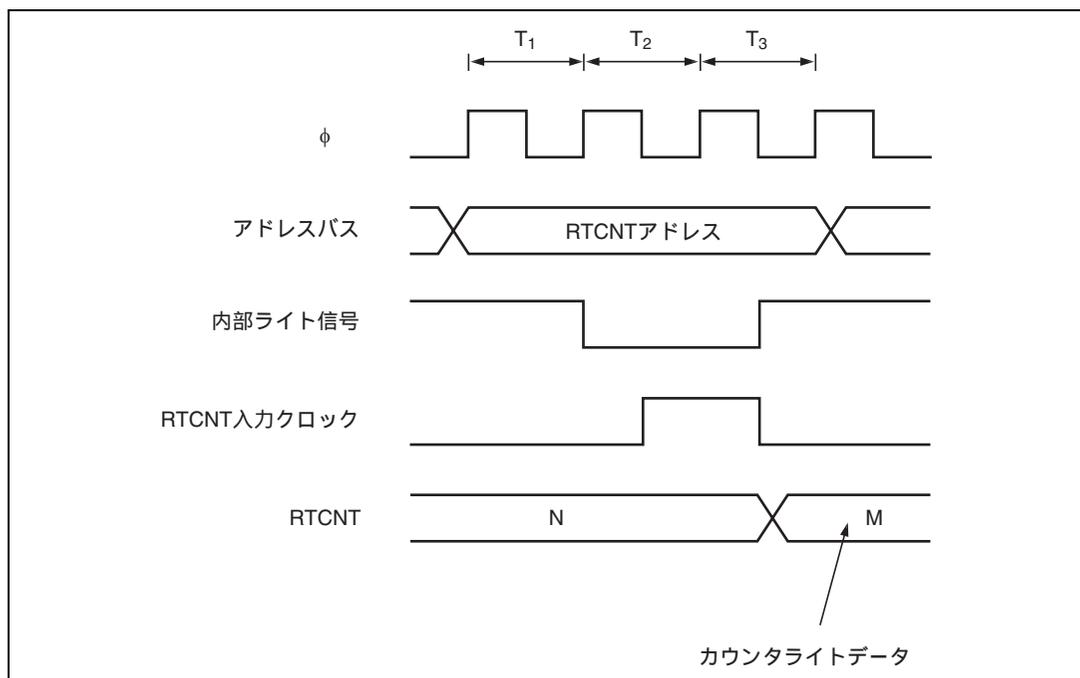


図 6.38 RTCNT のライトとカウントアップの競合

## 6. バスコントローラ

### (5) RTCOR のライトとコンペアマッチの競合

RTCOR のライトサイクル中の  $T_3$  ステートでコンペアマッチが発生しても、図 6.39 のように RTCOR のライトが優先され、コンペアマッチ信号は禁止されます。

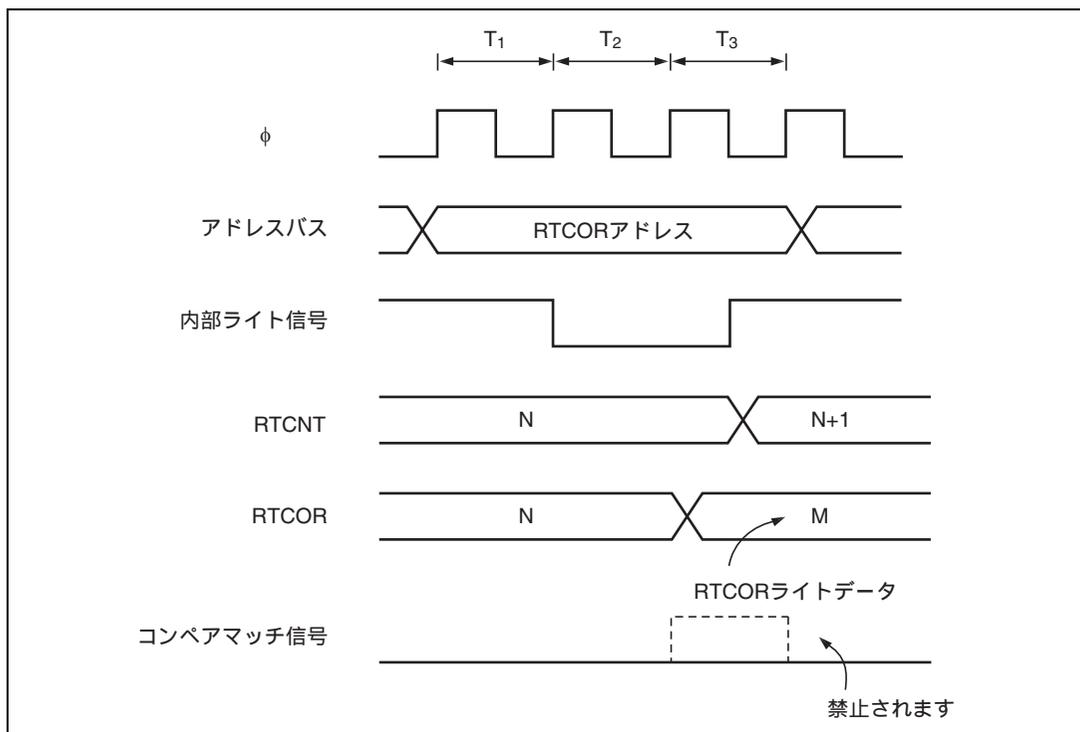


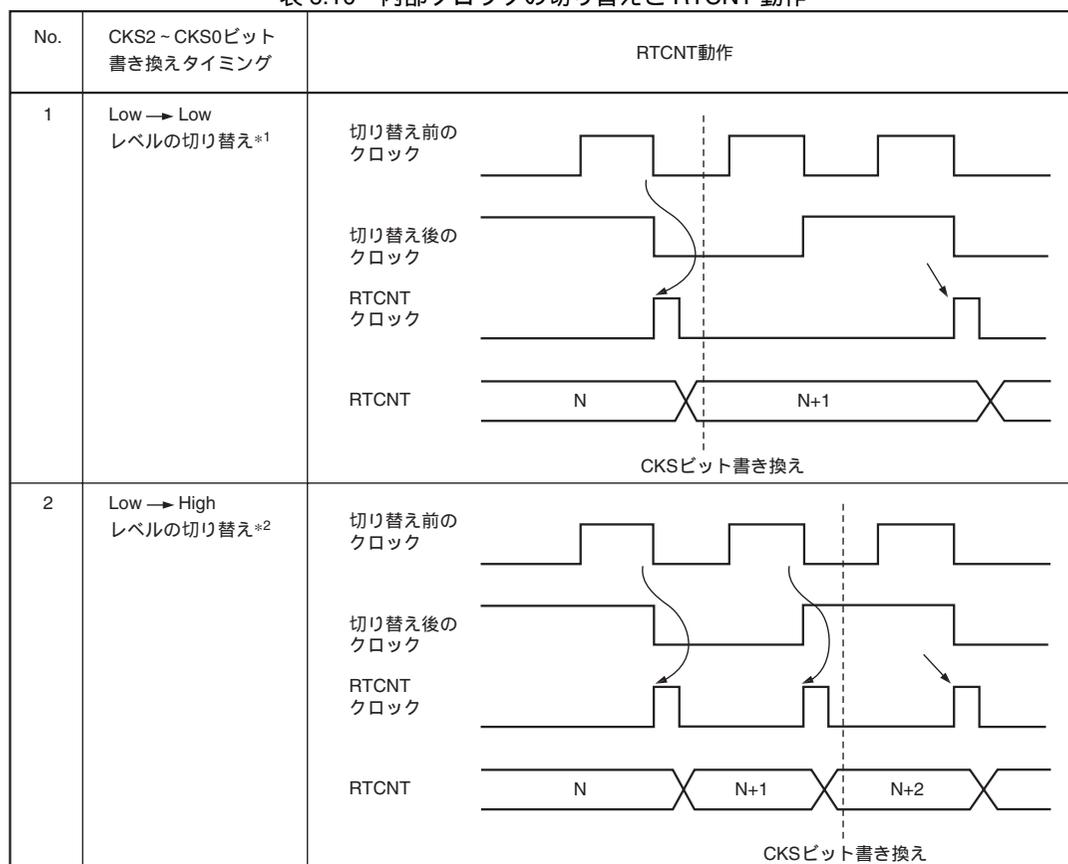
図 6.39 RTCOR のライトとコンペアマッチの競合

## (6) 内部クロックの切り替えと RTCNT の動作

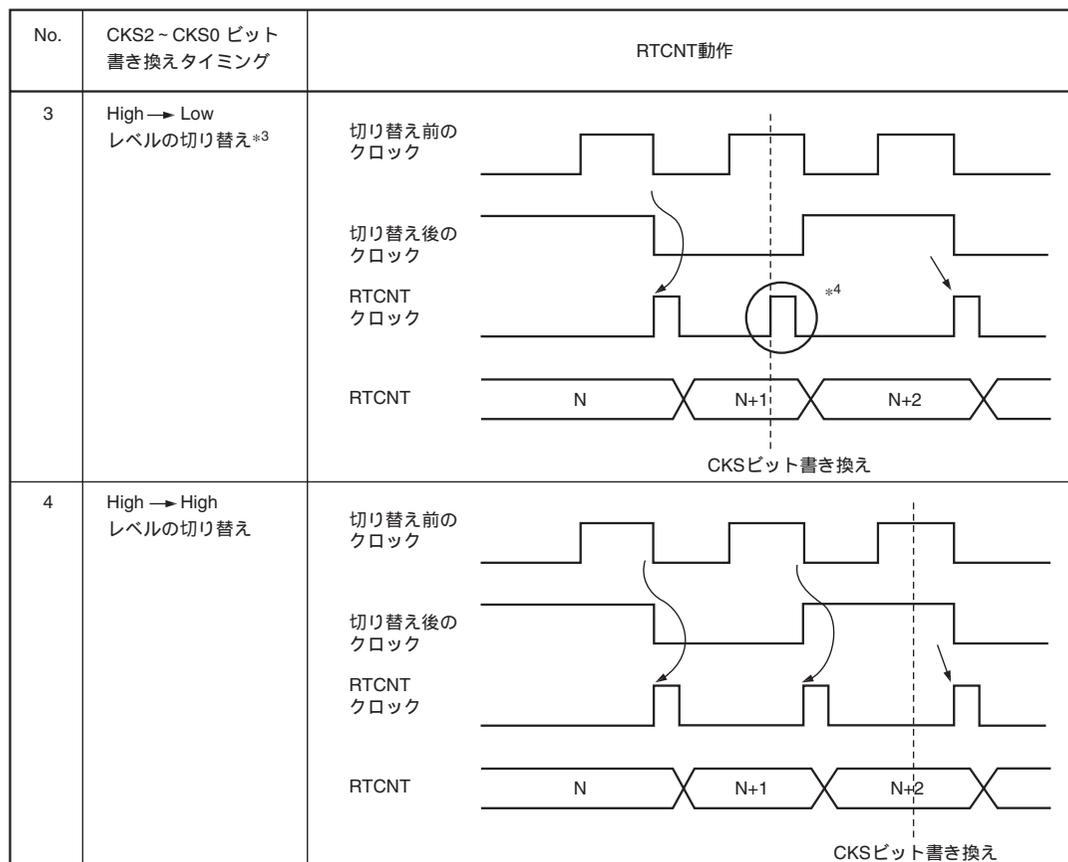
内部クロックを切り替えるタイミングによっては、RTCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS2 ~ CKS0 ビットの書き換え) と RTCNT 動作の関係を表 6.10 に示します。

内部クロックから RTCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため、表 6.10 の No.3 のように High→Low になるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして RTCNT クロックが発生し、RTCNT がカウントアップされてしまいます。

表 6.10 内部クロックの切り替えと RTCNT 動作



## 6. バスコントローラ



【注】\*1 Lowレベル → 停止、および停止 → Lowレベルの場合を含みます。

\*2 停止 → Highレベルの場合を含みます。

\*3 Highレベル → 停止の場合を含みます。

\*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、RTCNTはカウントアップしてしまいます。

## 6.7 割り込み要因

リフレッシュタイムをインターバルタイムとして使用する場合、コンペアマッチ割り込み (CMI) 要求が発生します。コンペアマッチ割り込み要求は RTMCSR の CMIE ビットで許可または禁止することができます。

## 6.8 バースト ROM インタフェース

### 6.8.1 概要

本 LSI は、エリア 0 の外部空間を、バースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM インタフェースでは、バーストアクセス可能な ROM を高速にアクセスすることができます。BCR の BROME ビットにより、エリア 0 をバースト ROM 空間に設定します。

エリアの外部空間を最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 2 ステート / 3 ステート選択可能です。

### 6.8.2 基本タイミング

バーストROM インタフェースの、イニシャルサイクル(フルアクセス)およびバーストサイクルのアクセスステート数はASTCRのAST0ビットの設定に従います。また、AST0ビットを1にセットした場合は、イニシャルサイクルにウェイトステートを挿入することもできます。バーストサイクルは、ウェイトステートは挿入できません。

また、BCRのBRSTS0ビットを0にクリアすると最大4ワードのバーストアクセスを行います。BRSTS0ビットを1にセットすると最大8ワードのバーストアクセスを行います。バーストアクセスのステート数は、BRSTS1ビットを0にクリアすると、2ステートになります。BRSTS1ビットを1にセットすると3ステートとなります。

バーストROM空間の基本アクセスタイミングを図6.40に示します

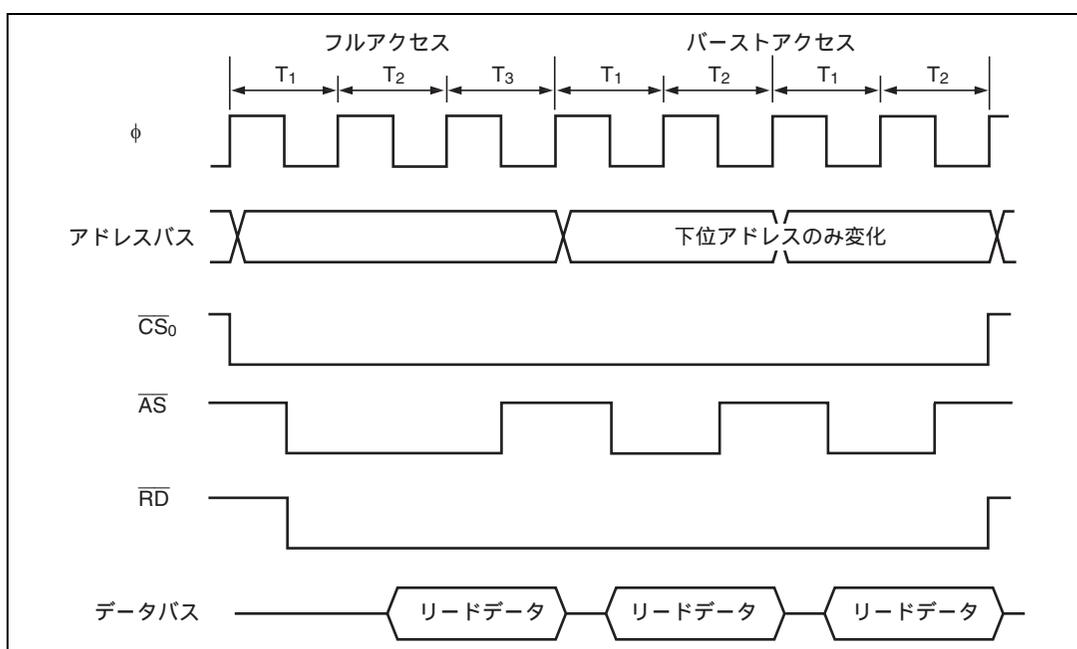


図 6.40 バーストROM アクセスタイミング例

### 6.8.3 ウェイト制御

バーストROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、(1)プログラムウェイトの挿入、(2)  $\overline{WAIT}$  端子による端子ウェイトの挿入、が可能です。

バーストサイクルにはウェイトステートを挿入することはできません。

## 6.9 アイドルサイクル

### 6.9.1 動作説明

本 LSI は外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、(3)DRAM 空間アクセスの直後に、DRAM 空間以外の外部アドレス空間アクセスが発生したときの 3 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル ( $T_i$ ) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM など、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

BCR の ICIS1、ICIS0 ビットとも初期値は 1 ですので、初期状態でアイドルサイクルは挿入されます。データ衝突がない場合に、ICIS ビットのクリアが可能です。

#### (1) 異なるエリア間での連続リード

BCR の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.41 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

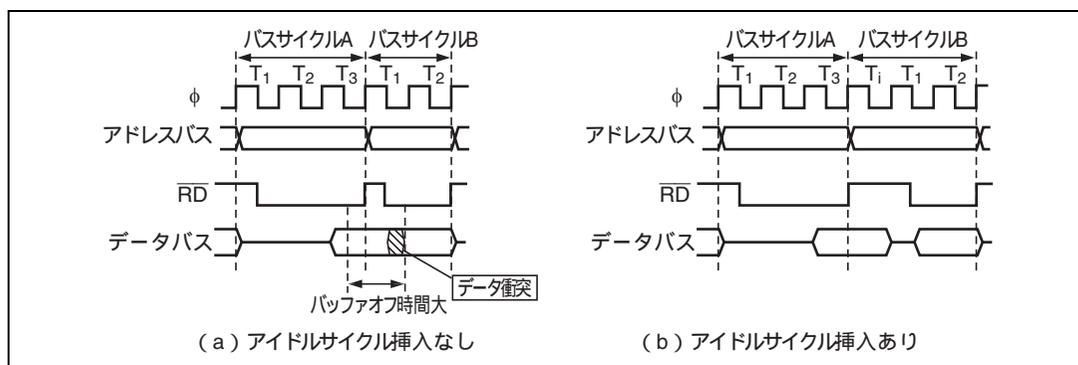


図 6.41 アイドルサイクル動作例 (1) (ICIS1=1 のとき)

## (2) リード後のライト

BCR の ICIS0 ビットを "1" にセットした状態で外部リード後に、外部ライトが発生するとライトサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.42 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。

(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

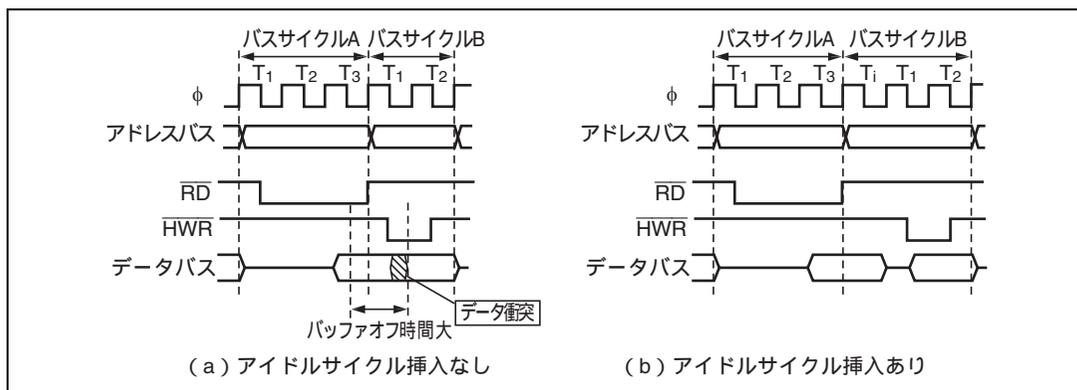


図 6.42 アイドルサイクル動作例 (2) (ICIS0=1 のとき)

## (3) DRAM 空間アクセス直後の外部アドレス空間アクセス

DRCRB の CSEL ビットにより  $\overline{UCAS}$ 、 $\overline{LCAS}$  の出力端子を  $\overline{HWR}$ 、 $\overline{LWR}$  に選択した場合、DRAM 空間アクセス後に DRAM 以外の外部アクセスが発生すると BCR の ICIS0、ICIS1 ビットの値にかかわらず  $T_1$  サイクルが挿入されます。図 6.43 に動作例を示します。

これは DRAM 空間で  $\overline{UCAS}$ 、 $\overline{LCAS}$  として使用している  $\overline{HWR}$ 、 $\overline{LWR}$  と次サイクルの空間の  $\overline{CS}_n$  が同じタイミングで変化するのを避け、次サイクルの外部デバイスへ誤って書き込むのを回避するためです。

なお、 $\overline{UCAS}$ 、 $\overline{LCAS}$  の出力端子を PB4、PB5 に選択した場合は  $T_1$  サイクルは挿入されません。

DRAM 空間アクセスのプリチャージサイクル ( $T_p$ ) が連続する場合には、ICIS0、1 ビットの設定は無効です。たとえば、異なるエリア間での連続リードの場合、2 回目のリードが DRAM アクセスのとき、 $T_p$  サイクルのみが挿入され、 $T_1$  サイクルは挿入されません。

このタイミングを図 6.44 に示します。

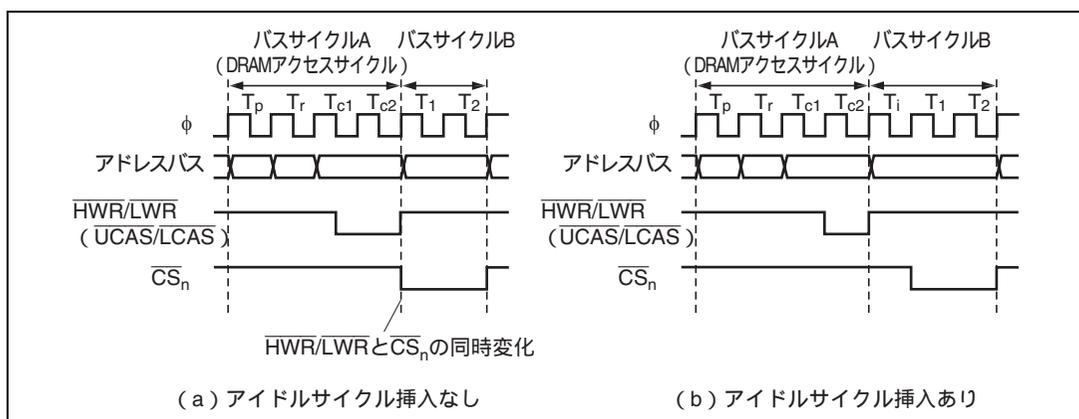


図 6.43 アイドルサイクル動作例 (3) ( $\overline{UCAS}/\overline{LCAS}$  として  $\overline{HWR}/\overline{LWR}$  を使用した場合)

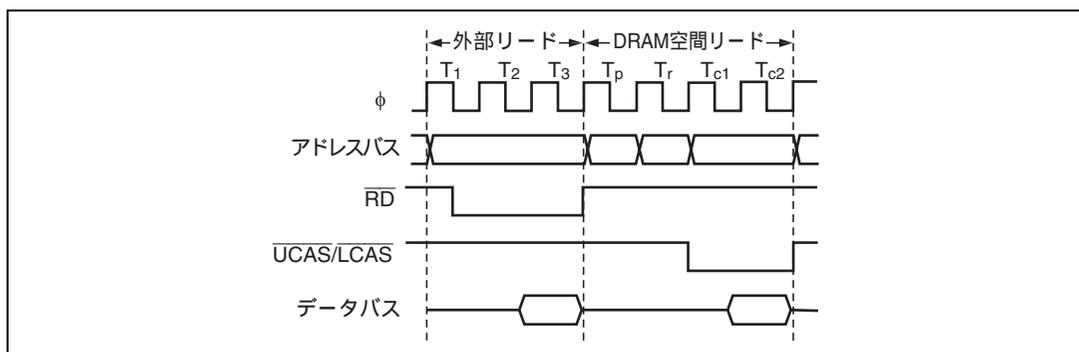


図 6.44 アイドルサイクル動作例 (4) (プリチャージサイクルが連続する場合)

## (4) 使用上の注意

アイドルサイクルの挿入を行わない設定とした場合、 $\overline{RD}$  の立ち上がり（ネゲート）と  $\overline{CS}_n$  の立ち下がり（アサート）が同じタイミングで発生する場合があります。図 6.45 に動作例を示します。

BCR の ICIS1 ビットを 0 にセットした状態で、異なる外部エリア間での連続リードが発生した場合、または ICIS0 ビットを 0 にセットした状態で、外部リード後に異なる外部エリアに対するライトサイクルが発生した場合、はじめのリードサイクルにおける  $\overline{RD}$  のネゲートと、連続するバスサイクルの  $\overline{CS}_n$  のアサートが同じタイミングで発生します。したがって各信号の出力遅延時間に依存し、前のリードサイクルの  $\overline{RD}$  の Low 出力と、連続するバスサイクルの  $\overline{CS}_n$  の Low 出力がオーバーラップする可能性があります。

$\overline{RD}$  と  $\overline{CS}_n$  の同時変化が発生しない場合、または発生しても問題にならない場合に限り、アイドルサイクルの挿入を行わない設定とすることができます。

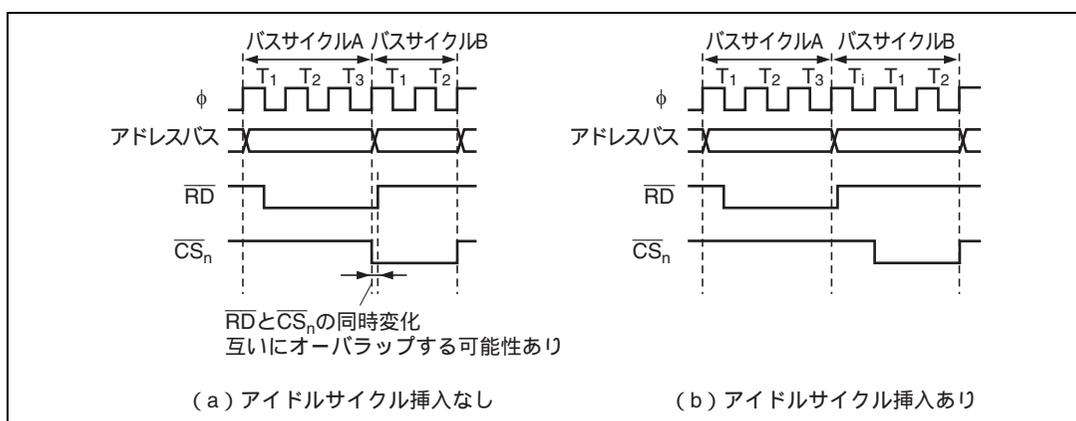


図 6.45 アイドルサイクル動作例 (5)

## 6.9.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.11 に示します。

表 6.11 アイドルサイクルでの端子状態

端子名	端子の状態
$A_{23} \sim A_0$	次サイクルのアドレスの値
$D_{15} \sim D_0$	ハイインピーダンス
$\overline{CS}_n$	High レベル*
$\overline{UCAS}$ 、 $\overline{LCAS}$	High レベル
$\overline{AS}$	High レベル
$\overline{RD}$	High レベル
$\overline{HWR}$	High レベル
$\overline{LWR}$	High レベル

【注】 \* DRAM 空間での RAS ダウンモードでは Low レベルを保持します。

## 6.10 バスアービタ

バスコントローラは、バスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、DRAM インタフェース、外部バスマスタの4つがあり、バス権を占有した状態でリード/ライトやリフレッシュ動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を返します。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

(高) 外部バスマスタ > DRAM インタフェース > DMAC > CPU (低)

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

### 6.10.1 動作説明

#### (1) CPU

CPU は最も優先順位の低いバスマスタです。CPU がバスマスタの場合に DMAC、DRAM インタフェース、または外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- (1) バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません。
- (2) CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生すると直ちに、バス権が移行します。CPUの内部動作は継続されます。
- (3) CPUがスリープモードの場合、他のバスマスタからバス権要求が発生すると直ちにバス権が移行します。

#### (2) DMAC

DMAC は、起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC がバスマスタの場合にリフレッシュコントローラ、または外部バスマスタからのバス権要求が発生すると、バスアービタはバス権の要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

DMAC の1バイトまたは1ワードの転送が終了したとき、バス権を移行します。DMAC の転送サイクルはリードサイクルとライトサイクルで構成され、これらのリードサイクルと次のライトサイクルの間ではバス権は移行しません。

なお、DMAC の各チャンネルには優先順位が設けられています。詳細については、「7.4.9 DMAC 複数チャンネルの動作」を参照してください。

## 6. バスコントローラ

### (3) DRAM インタフェース

DRAM インタフェースは、リフレッシュサイクル要求が発生するとバスマスタに対してバス権を要求します。リフレッシュサイクルが終了すると、バス権を放棄します。詳細は、「6.5 DRAM インタフェース」を参照してください。

### (4) 外部バスマスタ

BRCR の BRLE ビットを 1 にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、 $\overline{\text{BREQ}}$  端子を Low レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタがいったんバス権を獲得すると  $\overline{\text{BREQ}}$  を Low レベルにしている間、バス権を保持し続けます。本 LSI は、外部バス権解放状態になると、アドレスバス、データバス、バス制御信号 ( $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ )、チップセレクト信号 ( $\text{CS}_n$ :  $n=7 \sim 0$ ) がハイインピーダンスとなります。また外部バス権解放状態では、 $\overline{\text{BACK}}$  端子が Low レベル出力となります。

バスアービタは、 $\phi$  の立ち上がりで  $\overline{\text{BREQ}}$  端子をサンプリングします。 $\overline{\text{BREQ}}$  端子の Low レベルをサンプリングすると所定のタイミングで外部バス権解放状態となります。 $\overline{\text{BACK}}$  端子が Low レベルになるまで  $\overline{\text{BREQ}}$  端子を Low レベルに保持してください。

外部バス権解放で、 $\overline{\text{BREQ}}$  端子の High レベルを 2 回連続してサンプリングすると、 $\overline{\text{BACK}}$  端子を High レベルにしてバス権解放サイクルを終了します。図 6.46 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。 $\overline{\text{BREQ}}$  端子を Low レベルとしてから外部バス権解放状態となるまで最小 3 ステートかかります。

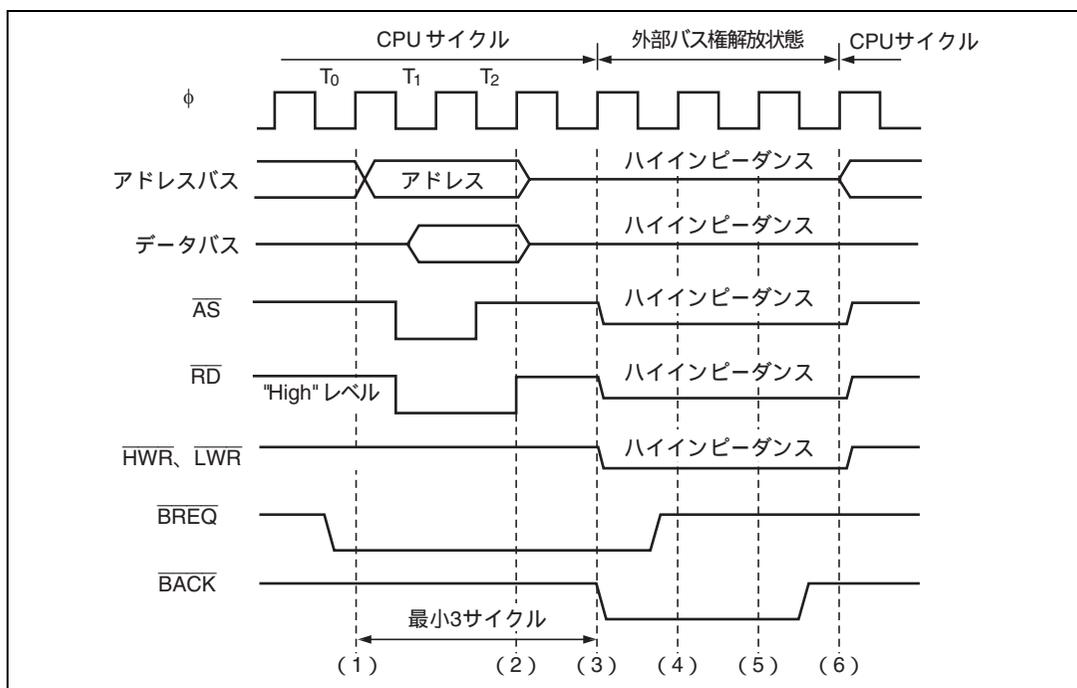


図 6.46 外部バスマスタ動作例

なお、ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移時に  $\overline{\text{BACK}}$  とストロープの状態が不確定になる場合があります (図 6.34 参照)。

ソフトウェアスタンバイモードを使用するときは、SLEEP 命令を実行する前に、BRCCR の BRLE ビットを 0 にクリアしてください。

## 6.11 レジスタと端子入力のタイミング

### 6.11.1 レジスタライトタイミング

#### (1) ABWCR、ASTCR、WCRH および WCRL のライトタイミング

ABWCR、ASTCR、WCRH および WCRL をライトした場合、ライトデータは次のバスサイクルから有効となります。

このタイミングを図 6.47 に示します。

エリア0上の命令でエリア0を3ステートアクセス空間から2ステートアクセス空間へ変更した場合の例です。

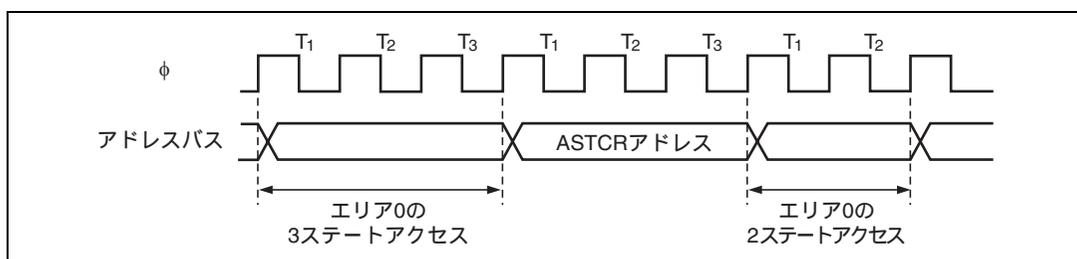


図 6.47 ASTCR ライトタイミング

#### (2) DDR および CSCR のライトタイミング

$\overline{CS}_n$  端子に対応するポートの DDR または CSCR をライトし、 $\overline{CS}_n$  出力と入力ポートを切り替える場合、ライトデータは DDR ライトサイクルの  $T_3$  から有効になります。このタイミングを図 6.48 に示します。 $\overline{CS}_1$  端子を出力とする場合の例です。

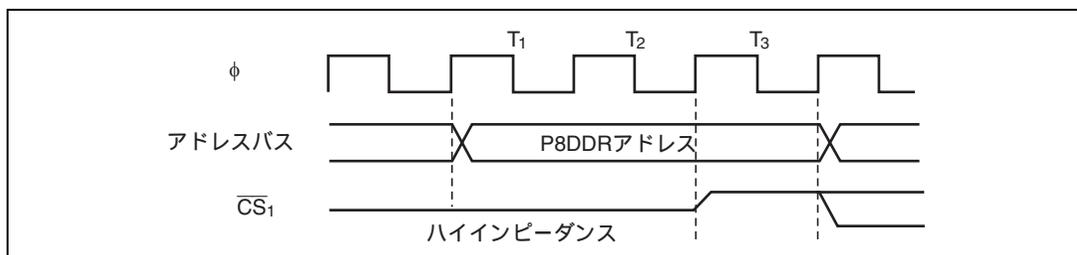


図 6.48 DDR ライトタイミング

## (3) BRCR ライトタイミング

BRCR にライトし、 $A_{23} \sim A_{20}$  出力と入出力ポートを切り替える場合、ライトデータは BRCR ライトサイクルの  $T_3$  から有効になります。このタイミングを図 6.49 に示します。

入力ポートを  $A_{23} \sim A_{20}$  出力とする場合の例です。

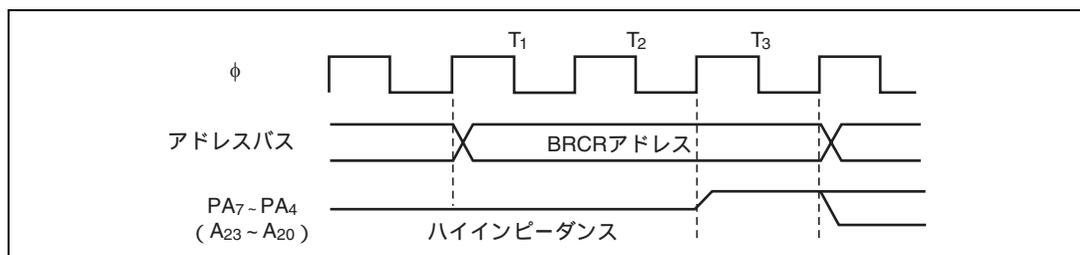


図 6.49 BRCR ライトタイミング

6.11.2  $\overline{\text{BREQ}}$  端子の入力タイミング

$\overline{\text{BREQ}}$  端子を Low レベルにした後、 $\overline{\text{BACK}}$  端子が Low レベルになるまで Low レベルを保持してください。BACK 端子が Low レベルになる前に  $\overline{\text{BREQ}}$  端子を High レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときには  $\overline{\text{BREQ}}$  端子を 3 ステート以上 High レベルにしてください。BREQ 端子の High レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。



---

## 7. DMA コントローラ

---

### 7.1 概要

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

消費電流低減のため DMA コントローラを使用しない場合には、DMA コントローラを単独で停止することができます。詳細は「19.6 モジュールスタンバイ機能」を参照してください。

#### 7.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

##### (1) ショートアドレスモード

- 転送元、転送先アドレスの一方を 24 ビット、他方を 8 ビットで指定
- 最大 4 チャンネルを使用可能
- I/O モード / アイドルモード / リピートモードの選択が可能

##### (2) フルアドレスモード

- 転送元、転送先アドレスを 24 ビットで指定
- 最大 2 チャンネルを使用可能
- ノーマルモード / ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト / ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- 16 ビットタイマのコンペアマッチ / インプットキャプチャ割り込み × 3
- シリアルコミュニケーションインタフェース (SCI チャンネル 0) の送信データエンプティ割り込み、受信データフル割り込み
- 外部リクエスト
- オートリクエスト
- A/D 変換器の変換終了割り込み

## 7. DMA コントローラ

### 7.1.2 ブロック図

DMAC のブロック図を図 7.1 に示します。

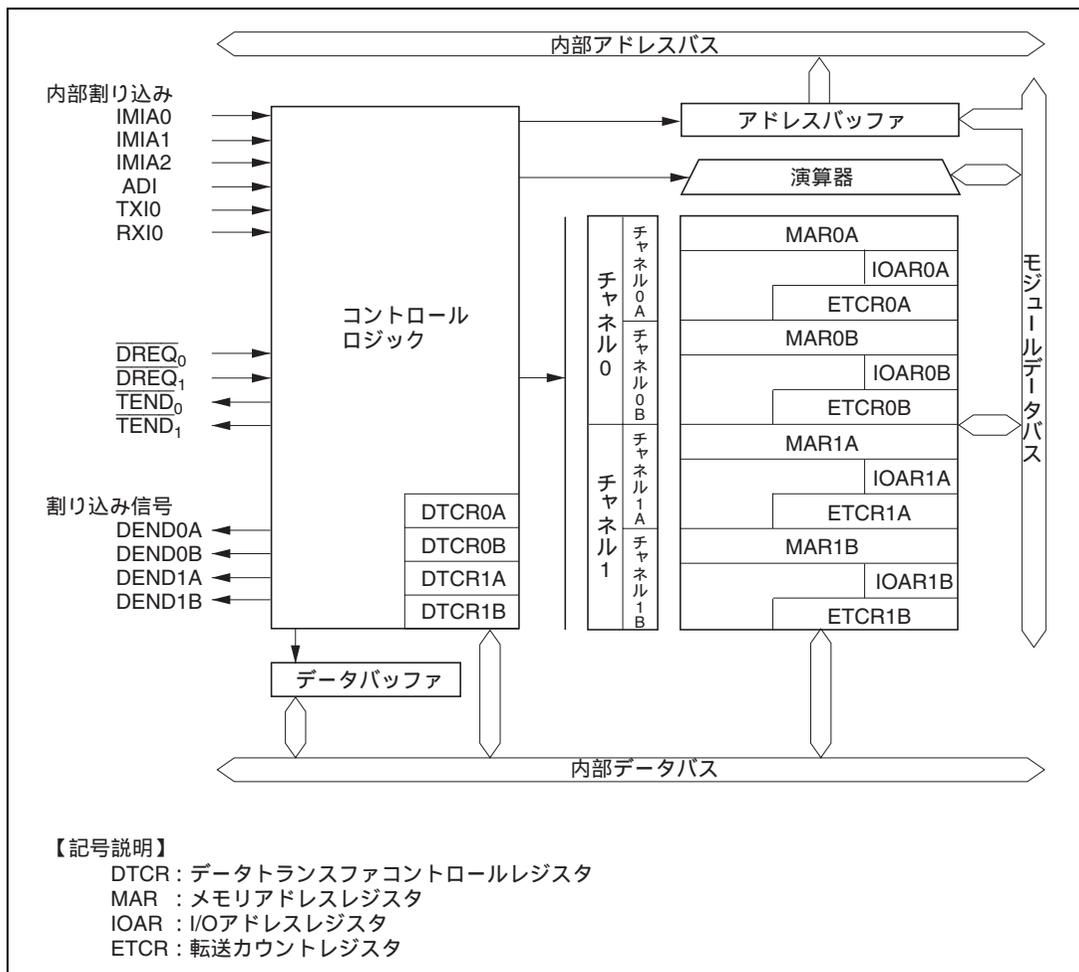


図 7.1 DMAC のブロック図

## 7.1.3 機能概要

DMAC の機能概要を表 7.1 (1)、(2) にそれぞれ示します。

表 7.1 DMAC の機能概要

転送モード		転送要因	アドレスレジスタビット長	
			ソース	デスティネーション
ショートアドレスモード	(1) I/O モード <ul style="list-style-type: none"> <li>1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>メモリアドレスを 1 または 2 増減</li> <li>転送回数は 1~65536</li> </ul> (2) アイドルモード <ul style="list-style-type: none"> <li>1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>メモリアドレスは固定・転送回数は 1~65536</li> </ul> (3) リピートモード <ul style="list-style-type: none"> <li>1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>メモリアドレスを 1 または 2 増減</li> <li>指定回数 (1~255) 転送後初期状態を回復して動作を継続</li> </ul>	<ul style="list-style-type: none"> <li>16 ビットタイマチャネル 0~2 のコンペアマッチ/インプットキャプチャ A 割り込み</li> <li>SCI チャネル 0 の送信データエンプティ割り込み</li> </ul>	24	8
		<ul style="list-style-type: none"> <li>A/D 変換器の変換終了割り込み</li> <li>SCI チャネル 0 の受信データフル割り込み</li> </ul>	8	24
		<ul style="list-style-type: none"> <li>外部リクエスト</li> </ul>	24	8
フルアドレスモード	(1) ノーマルモード           (a) オートリクエスト <ul style="list-style-type: none"> <li>転送要求を内部保持</li> <li>指定回数 (1~65536) 継続して転送</li> <li>バーストモード/サイクルスチールモードを選択可能</li> </ul> (b) 外部リクエスト <ul style="list-style-type: none"> <li>1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>転送回数は 1~65536</li> </ul>	<ul style="list-style-type: none"> <li>オートリクエスト</li> <li>外部リクエスト</li> </ul>	24	24
		(2) ブロック転送モード <ul style="list-style-type: none"> <li>1 回の転送要求で指定したブロックサイズの転送</li> <li>転送回数は 1~65536</li> <li>ソースまたはデスティネーションのいずれかをブロックエリアに指定可能</li> <li>ブロックサイズ 1~255 バイトまたはワード</li> </ul>	<ul style="list-style-type: none"> <li>16 ビットタイマチャネル 0~2 のコンペアマッチ/インプットキャプチャ A 割り込み</li> <li>外部リクエスト</li> <li>A/D 変換器の変換終了割り込み</li> </ul>	24

## 7. DMA コントローラ

---

### 7.1.4 端子構成

DMAC の端子構成を表 7.2 に示します。

表 7.2 端子構成

チャンネル	名 称	略 称	入出力	機 能
0	DMA 要求 0	$\overline{DREQ}_0$	入力	DMAC チャンネル 0 の外部リクエスト
	DMA 終了 0	$\overline{TEND}_0$	出力	DMAC チャンネル 0 の転送終了
1	DMA 要求 1	$\overline{DREQ}_1$	入力	DMAC チャンネル 1 の外部リクエスト
	DMA 終了 1	$\overline{TEND}_1$	出力	DMAC チャンネル 1 の転送終了

【注】 ショートアドレスモードでは、チャンネル A に対する外部リクエストは行えません。

## 7.1.5 レジスタ構成

DMAC のレジスタ構成を表 7.3 に示します。

表 7.3 レジスタ構成

チャンネル	アドレス*	名 称	略 称	R/W	初期値
0	H'FFF20	メモリアドレスレジスタ 0AR	MAR0AR	R/W	不定
	H'FFF21	メモリアドレスレジスタ 0AE	MAR0AE	R/W	不定
	H'FFF22	メモリアドレスレジスタ 0AH	MAR0AH	R/W	不定
	H'FFF23	メモリアドレスレジスタ 0AL	MAR0AL	R/W	不定
	H'FFF26	I/O アドレスレジスタ 0A	IOAR0A	R/W	不定
	H'FFF24	転送カウントレジスタ 0AH	ETCR0AH	R/W	不定
	H'FFF25	転送カウントレジスタ 0AL	ETCR0AL	R/W	不定
	H'FFF27	データ転送ファコントロールレジスタ 0A	DTCR0A	R/W	H'00
	H'FFF28	メモリアドレスレジスタ 0BR	MAR0BR	R/W	不定
	H'FFF29	メモリアドレスレジスタ 0BE	MAR0BE	R/W	不定
	H'FFF2A	メモリアドレスレジスタ 0BH	MAR0BH	R/W	不定
	H'FFF2B	メモリアドレスレジスタ 0BL	MAR0BL	R/W	不定
	H'FFF2E	I/O アドレスレジスタ 0B	IOAR0B	R/W	不定
	H'FFF2C	転送カウントレジスタ 0BH	ETCR0BH	R/W	不定
	H'FFF2D	転送カウントレジスタ 0BL	ETCR0BL	R/W	不定
	H'FFF2F	データ転送ファコントロールレジスタ 0B	DTCR0B	R/W	H'00
1	H'FFF30	メモリアドレスレジスタ 1AR	MAR1AR	R/W	不定
	H'FFF31	メモリアドレスレジスタ 1AE	MAR1AE	R/W	不定
	H'FFF32	メモリアドレスレジスタ 1AH	MAR1AH	R/W	不定
	H'FFF33	メモリアドレスレジスタ 1AL	MAR1AL	R/W	不定
	H'FFF36	I/O アドレスレジスタ 1A	IOAR1A	R/W	不定
	H'FFF34	転送カウントレジスタ 1AH	ETCR1AH	R/W	不定
	H'FFF35	転送カウントレジスタ 1AL	ETCR1AL	R/W	不定
	H'FFF37	データ転送ファコントロールレジスタ 1A	DTCR1A	R/W	H'00
	H'FFF38	メモリアドレスレジスタ 1BR	MAR1BR	R/W	不定
	H'FFF39	メモリアドレスレジスタ 1BE	MAR1BE	R/W	不定
	H'FFF3A	メモリアドレスレジスタ 1BH	MAR1BH	R/W	不定
	H'FFF3B	メモリアドレスレジスタ 1BL	MAR1BL	R/W	不定
	H'FFF3E	I/O アドレスレジスタ 1B	IOAR1B	R/W	不定
	H'FFF3C	転送カウントレジスタ 1BH	ETCR1BH	R/W	不定
	H'FFF3D	転送カウントレジスタ 1BL	ETCR1BL	R/W	不定
	H'FFF3F	データ転送ファコントロールレジスタ 1B	DTCR1B	R/W	H'00

【注】 \* アドレスは下位 20 ビットを示しています。

## 7.2 各レジスタの説明（１）（ショートアドレスモード）

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 7.4 に示すように DTCRA の DTS2A、DTS1A ビットにより各チャンネルのショートアドレスモード転送を指定します。

表 7.4 ショートアドレスモード、フルアドレスモードの設定

チャンネル	ビット 2	ビット 1	説明
	DTS2A	DTS1A	
0	1	1	DMAC チャンネル 0 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 0A、チャンネル 0B は、おのこの独立動作で 2 チャンネルのショートアドレスモード転送
1	1	1	DMAC チャンネル 1 は、1 チャンネルのフルアドレスモード転送
	上記以外		DMAC チャンネル 1A、チャンネル 1B は、おのこの独立動作で 2 チャンネルのショートアドレスモード転送

### 7.2.1 メモリアドレスレジスタ（MAR）

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。転送方向は起動要因により自動的に決定されます。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR は全ビットリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。



MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャンネル 0 の受信完了割り込み、および A/D 変換器の変換終了割り込みの場合はデスティネーションアドレスレジスタとして、それ以外の場合にはソースアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新していきます。詳細は、「7.3.4 データトランスファコントロールレジスタ（DTCR）」を参照してください。

MAR は、リセット、またはスタンバイモード時に初期化されません。

## 7.2.2 I/O アドレスレジスタ (IOAR)

IOAR は 8 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOAR はアドレスの下位 8 ビットを指定し、上位 16 ビットは、すべて 1 (H'FFFF) となります。



IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャンネル 0 の受信完了割り込み、および A/D 変換器の変換終了割り込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

IOAR は転送によってインクリメント/デクリメントされず、固定されます。

IOAR はリセット、またはスタンバイモード時に初期化されません。

## 7.2.3 転送カウンタレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/O モードおよびアイドルモードと、リピートモードとでは機能が異なります。

### (1) I/O モードおよびアイドルモード



I/O モードとアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに、1 だけデクリメントされカウンタ値が H'0000 になると転送を終了します。

## 7. DMA コントローラ

---

### (2) リピートモード



リピートモードでは、ETCRH は 8 ビットの転送カウンタとして機能し、ETCRL は転送回数を保持します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCR は、リセット、またはスタンバイモード時に初期化されません。

### 7.2.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファサイズ  
転送されるデータサイズ (バイト/ワード)  
を選択するビットです。

データトランスファインクリメント/デクリメント  
データ転送時、MARのインクリメント  
/デクリメントを指定するビットです。

リピートイネーブル  
リピートモードを指定するビットです。

データトランスファインタラプトイネーブル  
転送終了時、CPUに対する割り込みを許可/  
禁止するビットです。

データトランスファセレクト  
データ転送開始の起動要因を  
選択するビットです。

データトランスファイネーブル  
転送を許可/禁止するビットです。

DTCR はリセット、またはスタンバイモード時に H'00 に初期化されます。

## 7. DMA コントローラ

### ビット7：データトランスファイネーブル (DTE)

当該チャンネルのデータ転送を許可 / 禁止します。DTE ビットを 1 にセットすると、そのチャンネルは転送要求待ち状態となり、DTS2 ~ DTS0 ビットで指定された起動要因によりデータ転送が行われます。本ビットが 0 のとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは、DTE=0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット7	説明
DTE	
0	データ転送禁止。I/O モードとアイドルモードでは、指定された回数の転送を終了したとき、0 にクリア (初期値)
1	データ転送許可

### ビット6：データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット6	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

### ビット5：データトランスファインクリメント / デクリメント (DTID)

I/O モードまたはリピートモードの場合、データ転送後の MAR のインクリメント / デクリメントを選択します。

ビット5	説明
DTID	
0	データ転送後 MAR をインクリメント (1) DTSZ=0 のとき、転送後 MAR を +1 (2) DTSZ=1 のとき、転送後 MAR を +2
1	データ転送後 MAR をデクリメント (1) DTSZ=0 のとき、転送後 MAR を -1 (2) DTSZ=1 のとき、転送後 MAR を -2

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

### ビット4：リピートイネーブル (RPE)

データ転送を I/O モード、アイドルモード、またはリピートモードの動作で行うかを選択します。

ビット4	ビット3	説明
RPE	DTIE	
0	0	I/O モードで転送 (初期値)
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

I/O モード、アイドルモード、およびリピーモードの動作については、「7.4.2 I/O モード」、「7.4.3 アイドルモード」、「7.4.4 リピーモード」を参照してください。

#### ビット3：データトランスファインタラプトイネーブル (DTIE)

DTE ビットが0にクリアされたとき、DTE ビットによる割り込み (DEND) 要求を許可 / 禁止します。

ビット3	説明
DTIE	
0	DTE による割り込み (DEND) を要求を禁止 (初期値)
1	DTE による割り込み (DEND) を要求を許可

#### ビット2~0：データトランスファセレクト (DTS2~DTS0)

データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部指定内容が異なります。\*

【注】\* 「7.3.4 データトランスファコントロールレジスタ (DTCR)」を参照してください。

ビット2	ビット1	ビット0	説明	
DTS2	DTS1	DTS0		
0	0	0	16 ビットタイマチャンネル0のコンペアマッチ / インพุットキャプチャ A 割り込みで起動 (初期値)	
		1	16 ビットタイマチャンネル1のコンペアマッチ / インพุットキャプチャ A 割り込みで起動	
	1	0	16 ビットタイマチャンネル2のコンペアマッチ / インพุットキャプチャ A 割り込みで起動	
		1	A/D 変換器の変換終了割り込みで起動	
1	0	0	SCI チャンネル0の送信データエンプティ割り込みで起動	
		1	SCI チャンネル0の受信データフル割り込みで起動	
	1	0		DREQ 端子の立ち下がりエッジ入力で起動 (チャンネル B の場合)
				フルアドレスモード転送を指定 (チャンネル A の場合)
		1		DREQ 端子の Low レベル入力で起動 (チャンネル B の場合)
				フルアドレスモード転送を指定 (チャンネル A の場合)

内部割り込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については、「7.4.9 DMAC 複数チャンネルの動作」を参照してください。

転送許可の状態 (DTE=1) では、DMAC の起動要因に選択された割り込みは、CPU に対して割り込みを要求しません。



### 7.3.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

#### (1) ノーマルモード

##### (a) ETCRA



##### (b) ETCRB

ETCRB はノーマルモードでは使用しません。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

## 7. DMA コントローラ

### (2) ブロック転送モード

#### (a) ETCRA



#### (b) ETCRB



ブロック転送モードでは、ETCRAH は 8 ビットのブロックサイズカウンタとして機能し、ETCRAL はブロックサイズを保持します。ETCRAH は、1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAL の内容が転送されます。したがって、ETCRAH と ETCRAL にブロックサイズを初期設定することにより、任意のバイト数またはワード数のブロック転送を繰り返し行うことができます。

また、ブロック転送モードでは ETCRB は 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。

ETCR は、リセット、またはスタンバイモード時には初期化されません。

### 7.3.4 データトランスファコントロールレジスタ (DTCR)

DTCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。DTCRA の DTS2A、DTS1A ビットをいずれも 1 にセットすると当該チャネルはフルアドレスモードとなります。フルアドレスモードでは DTCRA と DTCRB では機能が異なります。

#### (1) DTCRA

ビット:	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファ  
セレクト0A  
ブロック転送モードを  
選択するビットです。

データトランスファセレクト2、1A  
いずれも"1"にセットしてください。

データトランスファインタラプトイネーブル  
転送終了時、CPUに割り込みを許可/禁止する  
ビットです。

ソースアドレスインクリメント/デクリメント  
ソースアドレスインクリメント/デクリメントイネーブル  
MARAをインクリメントするかデクリメントするか、  
または固定とするかを選択するビットです。

データトランスファサイズ  
転送されるデータサイズを選択するビットです。

データトランスファイネーブル  
転送を許可/禁止するビットです。

DTCRA はリセット、またはスタンバイモード時に H'00 に初期化されます。

## 7. DMA コントローラ

### ビット7：データトランスファイネーブル (DTE)

DTCRB の DTME ビットとともに当該チャンネルのデータ転送を許可 / 禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャンネルは転送許可状態となります。オートリクエストを指定したときは直ちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了すると DTE ビットは自動的に 0 にクリアされます。本ビットが 0 にクリアされているとき、当該チャンネルは停止状態となり転送要求を受け付けません。DTE ビットは、0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット7	説明
DTE	
0	データ転送禁止 (指定された回数の転送を終了したとき、0 にクリア) (初期値)
1	データ転送許可

DTIE=1 の状態で、本ビットが 0 にクリアされると CPU に割り込みを要求します。

### ビット6：データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット6	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

### ビット5：ソースアドレスインクリメント / デクリメント (SAID)

### ビット4：ソースアドレスインクリメント / デクリメントイネーブル (SAIDE)

データ転送時、ソースアドレスレジスタ MARA をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
SAID	SAIDE	
0	0	MARA 固定 (初期値)
	1	データ転送後 MARA をインクリメント (1) DTSZ=0 のとき、データ転送後 MARA を +1 (2) DTSZ=1 のとき、データ転送後 MARA を +2
1	0	MARA 固定
	1	データ転送後 MARA をデクリメント (1) DTSZ=0 のとき、転送後 MARA を -1 (2) DTSZ=1 のとき、転送後 MARA を -2

## ビット3：データトランスファインタラプトイネーブル (DTIE)

DTE ビットが0にクリアされたとき、DTEによる割り込み (DEND) 要求を許可 / 禁止します。

ビット3	説明
DTIE	
0	DTEによる割り込み (DEND) を要求を禁止 (初期値)
1	DTEによる割り込み (DEND) を要求を許可

## ビット2、1：データトランスファセレクト 2A、1A (DTS2A、DTS1A)

DTS2A、DTS1A ビットはいずれも1にセットしたとき、当該チャンネルはフルアドレスモードとなります。

## ビット0：データトランスファセレクト 0A (DTS0A)

DMAC をノーマルモードで動作させるか、ブロック転送モードで動作させるか選択します。

ビット0	説明
DTS0A	
0	ノーマルモードの動作 (初期値)
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「7.4.5 ノーマルモード」、「7.4.6 ブロック転送モード」を参照してください。

## 7. DMA コントローラ

---

### (2) DTCRB

ビット:	7	6	5	4	3	2	1	0
	DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファ  
セレクト2B~0B  
データ転送の起動要因を  
設定するビットです。

トランスファモードセレクト  
ブロック転送モード時、ソース側とデス  
ティネーション側のどちらをブロックエ  
リアとするかを選択するビットです。

デスティネーションアドレスインクリメント/デクリメント  
デスティネーションアドレスインクリメント/  
デクリメントイネーブル  
データ転送時MARBをインクリメントするかデクリメント  
するか、または固定とするかを選択するビットです。

リザーブビット

データトランスファマスタイネーブル  
DTEビットとともに転送の許可/禁止を制御するビットです。  
割り込みが発生すると0にクリアされます。

DTCRB はリセット、またはスタンバイモード時に H'00 に初期化されます。

## ビット7：データトランスファマスタイネーブル (DTME)

DTCRA の DTE ビットとともに当該チャネルのデータ転送の許可 / 禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャネルは転送許可状態となります。NMI 割り込みが発生したとき DTME ビットは 0 にクリアされ、転送を中断して CPU にバス権を移します。その後、本ビットを 1 にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「7.6.6 NMI 割り込みとブロック転送モード」を参照してください。

DTME ビットは、DTME=0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット7	説明	
DTME		
0	データ転送禁止。NMI 割り込みが発生したとき、0 にクリア	(初期値)
1	データ転送許可	

## ビット6：リザーブビット

リザーブビットです。リード / ライト可能です。

## ビット5：デスティネーションアドレスインクリメント / デクリメント (DAID)

## ビット4：デスティネーションアドレスインクリメント / デクリメントイネーブル (DAIDE)

データ転送時、MARB をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後 MARB をインクリメント (1) DTSZ=0 のとき、データ転送後 MARB を +1 (2) DTSZ=1 のとき、データ転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2

## ビット3：トランスファモードセレクト (TMS)

ブロック転送モード時、ソース側とデスティネーション側のどちらかをブロックエリアとして転送するかを選択します。

ビット3	説明
TMS	
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送 (初期値)
1	ブロック転送モード時、ソース側をブロックエリアとして転送

## 7. DMA コントローラ

ビット2~0: データトランスファセレクト 2B~0B (DTS2B~DTS0B)

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

(ノーマルモード)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	オートリクエスト (バーストモード) (初期値)
		1	使用できません。
	1	0	オートリクエスト (サイクルスチールモード)
		1	使用できません。
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立ち下がりエッジ入力で起動
		1	DREQ 端子の Low レベル入力で起動

(ブロック転送モード)

ビット2	ビット1	ビット0	説明
DTS2B	DTS1B	DTS0B	
0	0	0	16 ビットタイマチャンネル0のコンペアマッチ/インプットキャプチャA 割り込みで起動 (初期値)
		1	16 ビットタイマチャンネル1のコンペアマッチ/インプットキャプチャA 割り込みで起動
	1	0	16 ビットタイマチャンネル2のコンペアマッチ/インプットキャプチャA 割り込みで起動
		1	A/D 変換器の変換終了割り込みで起動
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立ち下がりエッジ入力で起動
		1	使用できません。

内部割り込みによる起動では、複数のチャンネル間で同一の起動要因を指定することが可能です。この場合、チャンネル間の優先順位に従い優先順位の高いチャンネルから起動されます。優先順位については「7.4.9 DMAC 複数チャンネルの動作」を参照してください。

## 7.4 動作説明

### 7.4.1 概要

DMAC のモード一覧を表 7.5 に示します。

表 7.5 モード一覧

転送モード		起動要因	備考
ショート アドレス モード	(1) I/O モード	16 ビットタイマチャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込み	<ul style="list-style-type: none"> <li>最大 4 チャンネルを独立に動作可能</li> <li>外部リクエストはチャンネル B のみ可能</li> </ul>
	(2) アイドルモード	SCI チャンネル 0 の送信データエンプティ / 受信データフル割り込み	
	(3) リピートモード	A/D 変換器の変換終了割り込み	
		外部リクエスト	
フル アドレス モード	(4) ノーマルモード	オートリクエスト	<ul style="list-style-type: none"> <li>チャンネル A、B を組み合わせて最大 2 チャンネル動作可能</li> <li>オートリクエストではバーストモード転送 / サイクルスチールモード転送の選択可能</li> </ul>
		外部リクエスト	
	(5) ブロック転送モード	16 ビットタイマチャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込み	
		A/D 変換器の変換終了割り込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

#### (1) I/O モード

一回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

#### (2) アイドルモード

一回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。アドレスは固定になっています。転送方向は起動要因によって自動的に決定されます。

#### (3) リピートモード

一回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU に対して割り込みは要求しません。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

### (4) ノーマルモード

#### (a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード  
1バイトまたはワード転送ごとにバスをいったん他のバスマスタに解放します。
- バーストモード  
他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

#### (b) 外部リクエスト

一回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

### (5) ブロック転送モード

一回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。一回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると CPU に割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

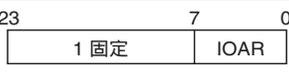
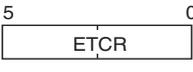
## 7.4.2 I/O モード

I/O モードは、各チャンネル独立に設定可能です。

I/O モードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCI0チャンネル0の受信データフル割り込みおよびA/D変換器の変換終了割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

I/Oモード時のレジスタの機能を表7.6に示します。

表 7.6 I/Oモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	SCI0 受信データフル割り込みによる起動およびA/D変換器の変換終了割り込み	その他の起動		
23  0	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント
23  0	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
15  0	転送カウンタ		転送回数	一回の転送ごとにデクリメント。H'0000になると、転送終了

### 【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

転送元および転送先アドレスは、MARとIOARによって指定します。MARには転送元または転送先の先頭アドレスを24ビットで指定します。MARは1回のバイト転送またはワード転送のたびにインクリメント/デクリメントします。IOARはアドレスの下位8ビットを指定し、上位16ビットは1となります。IOARはインクリメントもデクリメントもされません。

## 7. DMA コントローラ

図 7.2 に I/O モードの動作を示します。

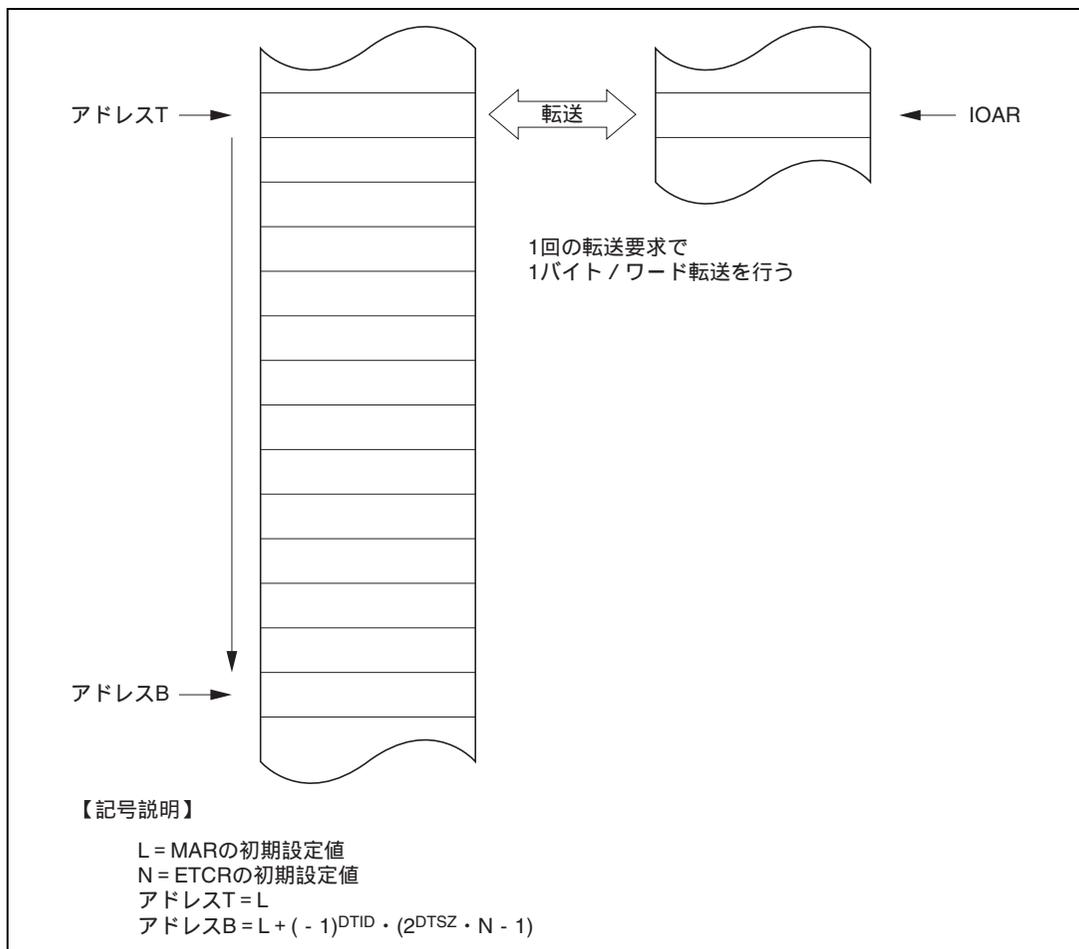


図 7.2 I/O モードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は一回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、16 ビットタイマチャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込み、SCI チャンネル 0 の送信データエンプティ、受信データフル割り込み、A/D 変換器の変換終了割り込み、および 外部リクエストがあります。

設定の参照は「7.2.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。

I/O モードの設定手順例を図 7.3 に示します。

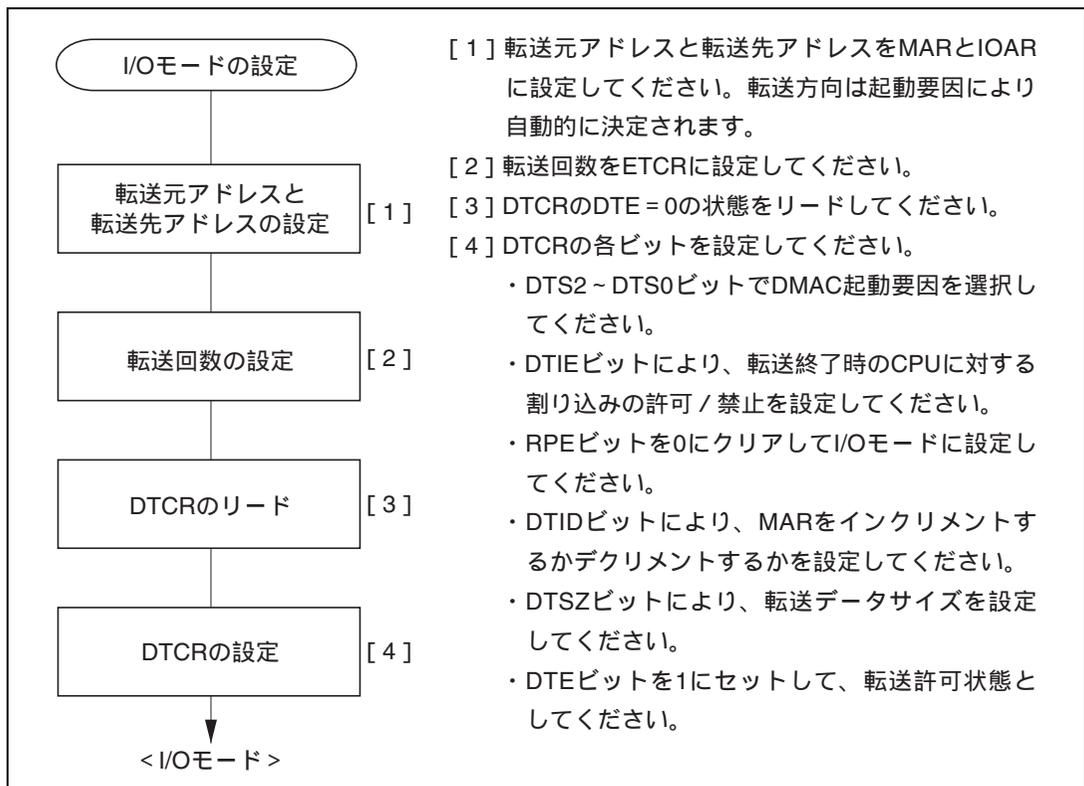


図 7.3 I/O モードの設定手順例

## 7.4.3 アイドルモード

アイドルモードは、各チャンネル独立に設定可能です。

アイドルモードでは、一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定した回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割り込みおよびA/D変換器の変換終了割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を表7.7に示します。

表 7.7 アイドルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	SCI0の受信データフル割り込みによる起動およびA/D変換器の変換終了割り込み	その他の起動		
23  0	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元のアドレス	固定
23  0	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
15  0	転送カウンタ		転送回数	一回の転送ごとにデクリメント。H'0000になると、転送終了

## 【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

転送元および転送先アドレスは、MARとIOARによって指定できます。MARには転送元または転送先のアドレスを24ビットで指定します。IOARはアドレス下位8ビットを指定し、上位16ビットは1となります。MAR、IOARはインクリメントもデクリメントもされません。

アイドルモードの動作を図 7.4 に示します。

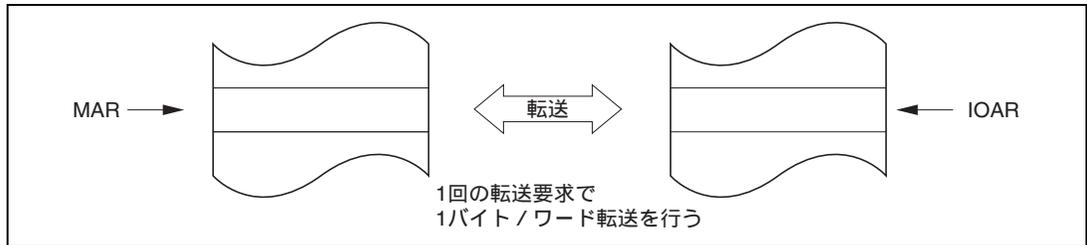


図 7.4 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は一回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、CPU に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、16 ビットタイマチャネル 0~2 のコンペアマッチ/インブットキャプチャ A 割り込み、SCI チャネル 0 の送信データエンプティ、受信データフル割り込み、A/D 変換器の変換終了割り込み、および外部リクエストがあります。

設定の詳細は「7.3.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。アイドルモードの設定手順例を図 7.5 に示します。

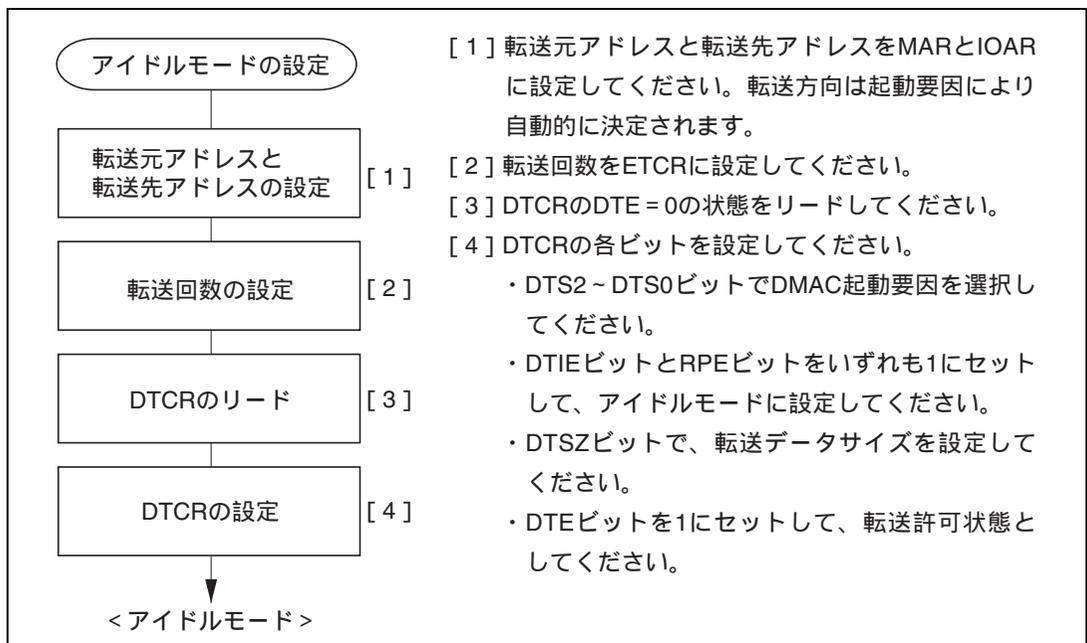


図 7.5 アイドルモードの設定手順例

## 7.4.4 リピートモード

リピートモードは、16ビットタイマのコンペアマッチなどに同期して、テーブル上のデータをプログラマブルタイミングパターンコントローラ（TPC）に対して繰り返し転送するのに便利なモードです。各チャンネル独立に設定可能です。

リピートモードでは、I/O モードと同様に一回の転送要求に対して1バイトまたは1ワードずつ転送を行い、これを指定した回数だけ実行します。アドレスの一方はMAR、他方はIOARで指定します。指定された回数の転送終了時、MAR、およびETCRHの内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCIチャンネル0の受信データフル割り込みおよびA/D変換器の変換終了割り込みで起動される場合はIOARで指定されるアドレスからMARで指定されるアドレスへ、それ以外の場合はMARで指定されるアドレスからIOARで指定されるアドレスへ転送されます。

リピートモード時のレジスタの機能を表7.8に示します。

表7.8 リピートモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	SCI0の受信データフル割り込みによる起動およびA/D変換器の変換終了割り込み	その他の起動		
23 0 	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメントETCRHがH'0000になると、初期設定値を回復
23 7 0 	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
7 0  ↑ 7 0 	転送カウンタ		転送回数	一回の転送ごとにデクリメントH'0000になるとETCRLの内容を格納
	転送回数保持		転送回数	固定

## 【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウントレジスタ

リピートモードでは ETCRH を転送カウンタとし、ETCRL は転送回数保持に使用します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の値が格納されます。また、MAR は DTCR の DTSZ ビットおよび DTID ビットの値に応じて初期設定値を回復します。このときの MAR の動作は次のようになります。

$$\text{MAR} \leftarrow \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRL}$$

ETCRH と ETCRL には同じ値を初期設定してください。

リピートモードでは、CPU が DTE ビットを 0 にクリアするまで転送を繰り返します。DTE ビットを 0 にクリアした後、CPU が DTE ビットを 1 にセットすると、クリアした時点の状態から転送を再開します。CPU に対して割り込み要求は発生しません。

転送元および転送先アドレスは、I/O モードと同様、MAR と IOAR によって指定します。MAR には転送元または転送先アドレスを 24 ビットで指定します。IOAR にはアドレスの下位 8 ビットを指定し、上位 16 ビットは 1 となります。IOAR は転送によりインクリメントもデクリメントもされません。

図 7.6 にリピートモードの動作を示します。

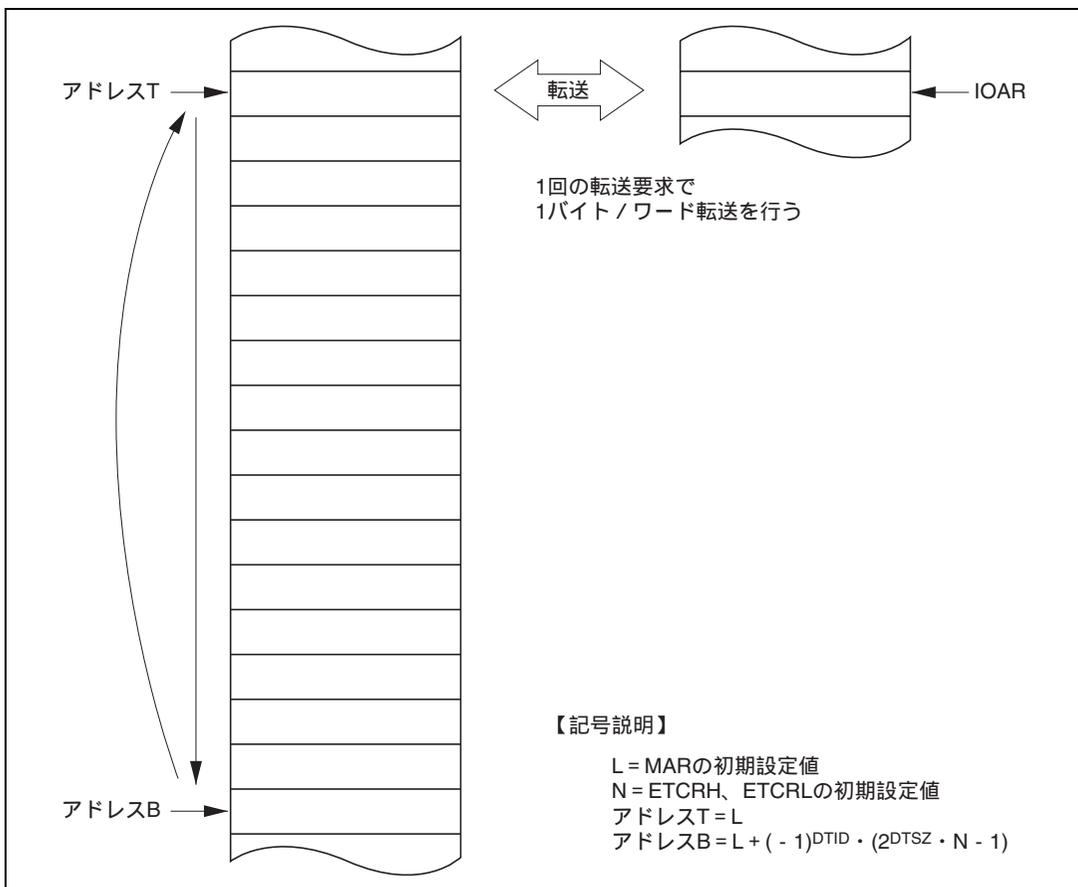


図 7.6 リピートモードの動作

転送回数は ETCRH、ETDRL に 8 ビットで指定します。転送回数の最大値は ETCRH、ETDRL にそれぞれ H'FF を設定したときで、255 となります。

転送要求（起動要因）には、16 ビットタイマチャネル 0~2 のコンペアマッチ / インプットキャプチャ A 割り込み、SCI チャネル 0 の送信データエンpty、受信データフル割り込み、A/D 変換器の変換終了割り込み、および 外部リクエストがあります。

設定の詳細は「7.2.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。リピートモードの設定手順例を図 7.7 に示します。

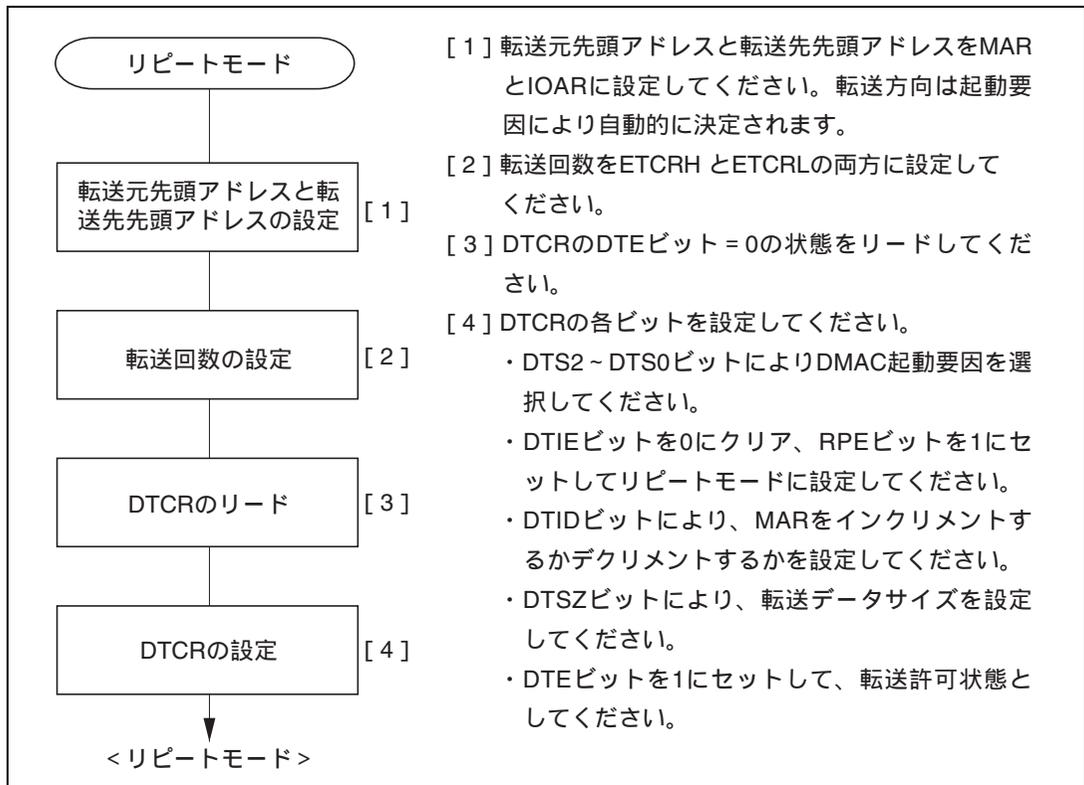


図 7.7 リピートモードの設定手順例

## 7.4.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。

ノーマルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。

ノーマルモード時のレジスタの機能を表 7.9 に示します。

表 7.9 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23 MAR A	ソースアドレスレジスタ	転送元先頭アドレス	一回の転送ごとにインクリメント/デクリメントまたは固定
23 MAR B	デスティネーションアドレスレジスタ	転送先先頭アドレス	一回の転送ごとにインクリメント/デクリメントまたは固定
15 ETCRA	転送カウンタ	転送回数	一回の転送ごとにデクリメント

## 【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は MARA、MARB 独立に行うことができます。

転送回数は ETCRA によって 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

図 7.8 にノーマルモードの動作を示します。

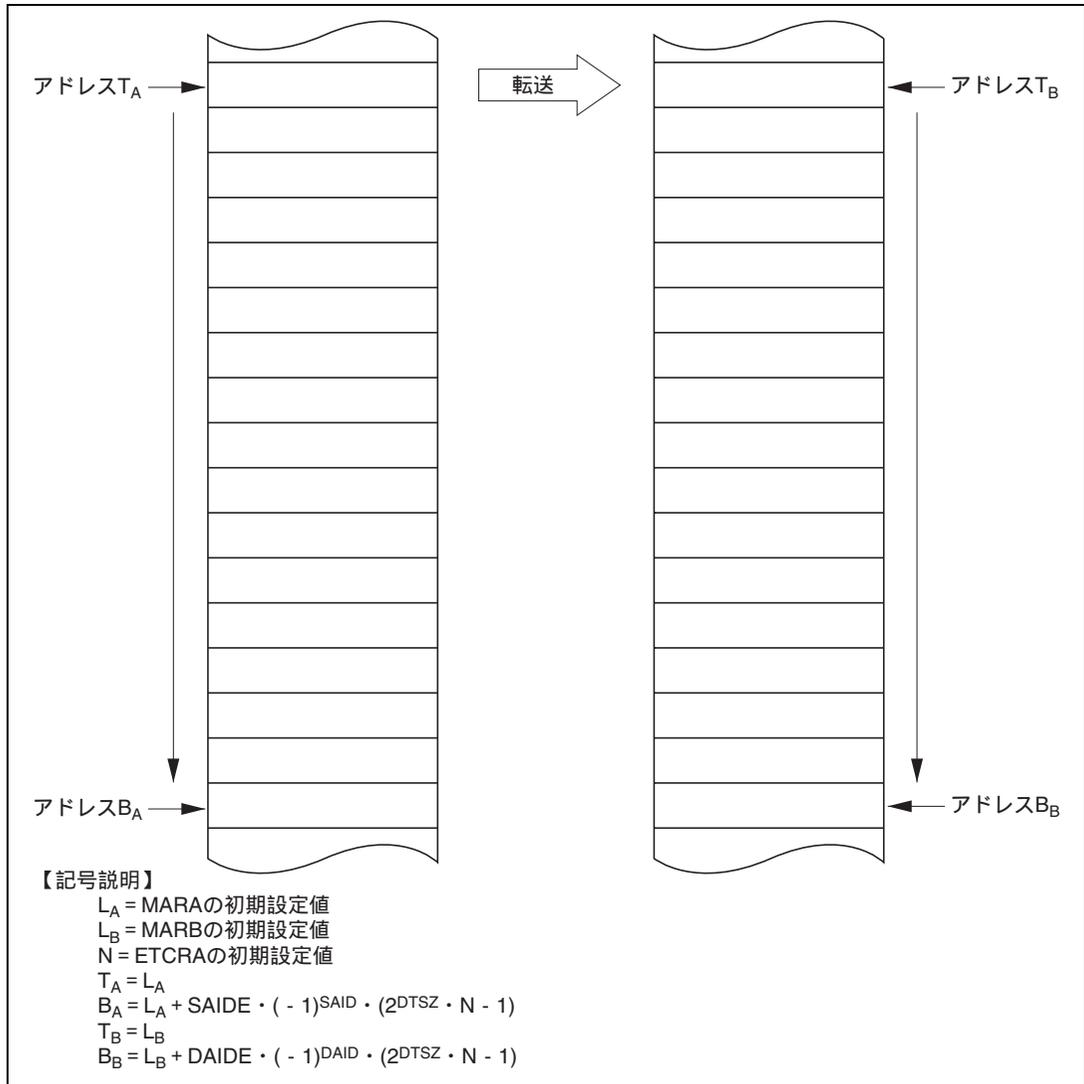


図 7.8 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードではDMACは1回の転送を行うたびにバスをいったん解放します。バーストモードでは、より優先順位の高いバスマスタからバス権要求がないかぎり転送終了までバスを占有し続けます。

設定の詳細は「7.3.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。

## 7. DMA コントローラ

ノーマルモードの設定手順例を図 7.9 に示します。

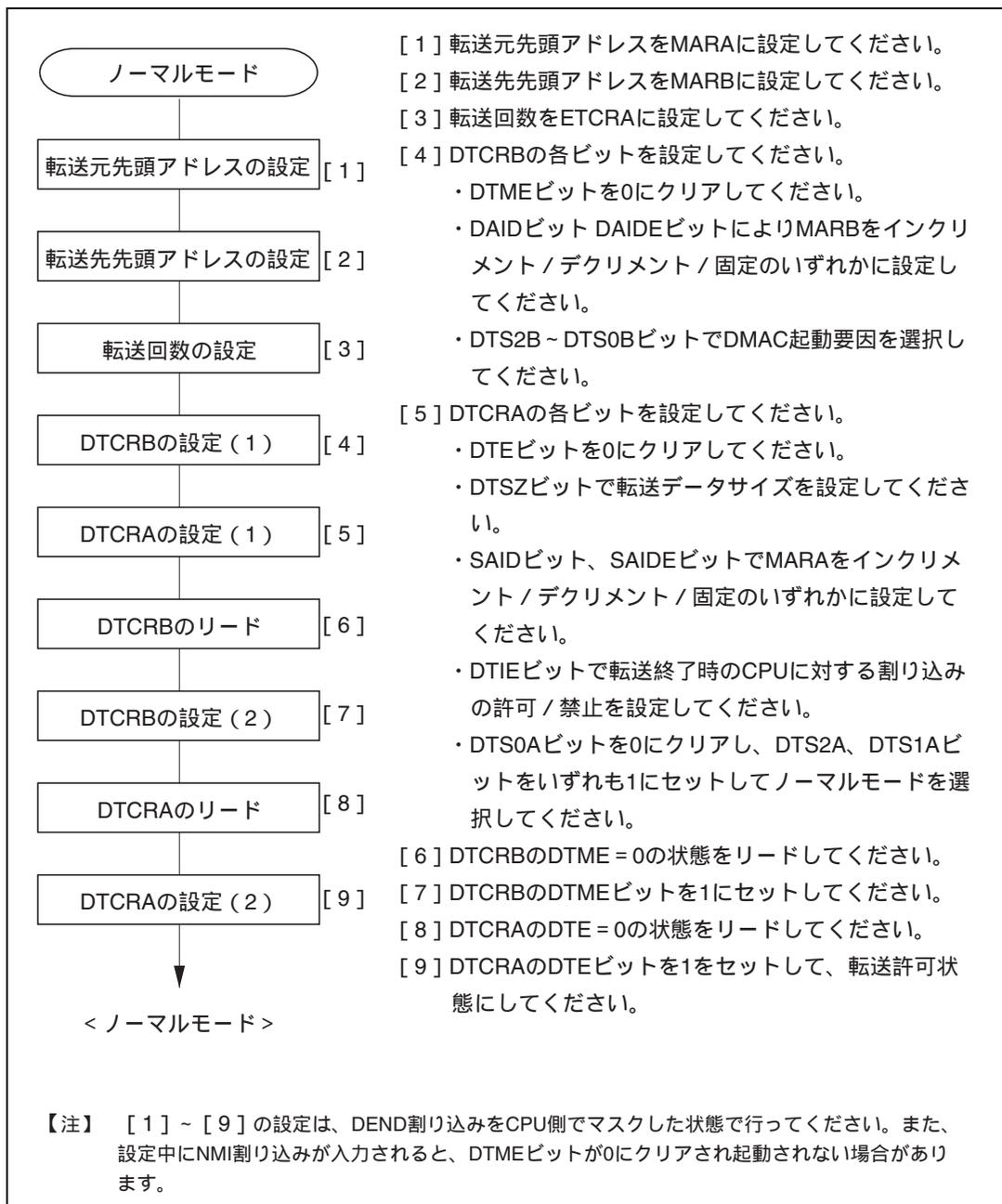


図 7.9 ノーマルモードの設定手順例

### 7.4.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。

ブロック転送モードでは、一回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。ブロックエリア側のアドレスを固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を表 7.10 に示します。

表 7.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23 	ソースアドレスレジスタ	転送元先頭アドレス	一回の転送ごとにインクリメント/デクリメントまたは固定
23 	デスティネーションアドレスレジスタ	転送先先頭アドレス	一回の転送ごとにインクリメント/デクリメントまたは固定
7 	ブロックサイズカウンタ	ブロックサイズ	一回の転送ごとにデクリメント、H'00 になると ETCRL の値を格納
7 	ブロックサイズ保持	ブロックサイズ	固定
15 	ブロック転送カウンタ	ブロック転送回数	ブロック転送ごとにデクリメント H'0000 になると転送終了

【記号説明】

- MARA : メモリアドレスレジスタ A
- MARB : メモリアドレスレジスタ B
- ETCRA : 転送カウンタレジスタ A
- ETCRB : 転送カウンタレジスタ B

転送元および転送先アドレスはともに 24 ビットで指定し、MARA ソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB 独立に行うことができます。ブロックエリアを指定する MAR は、インクリメント/デクリメントを指定した場合でも一回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかは DTCRB の TMS ビットにより指定します。

## 7. DMA コントローラ

一回の転送要求で転送するブロックサイズを  $M$  ( $M=1 \sim 255$ ) とし、 $N$  回 ( $N=1 \sim 65,536$ ) の転送を行うとき、ETCRAH と ETCRAL にそれぞれ  $M$  を、ETCRB に  $N$  を設定します。

図 7.10 にブロック転送モードの動作を示します。TMS ビットを 0 にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。

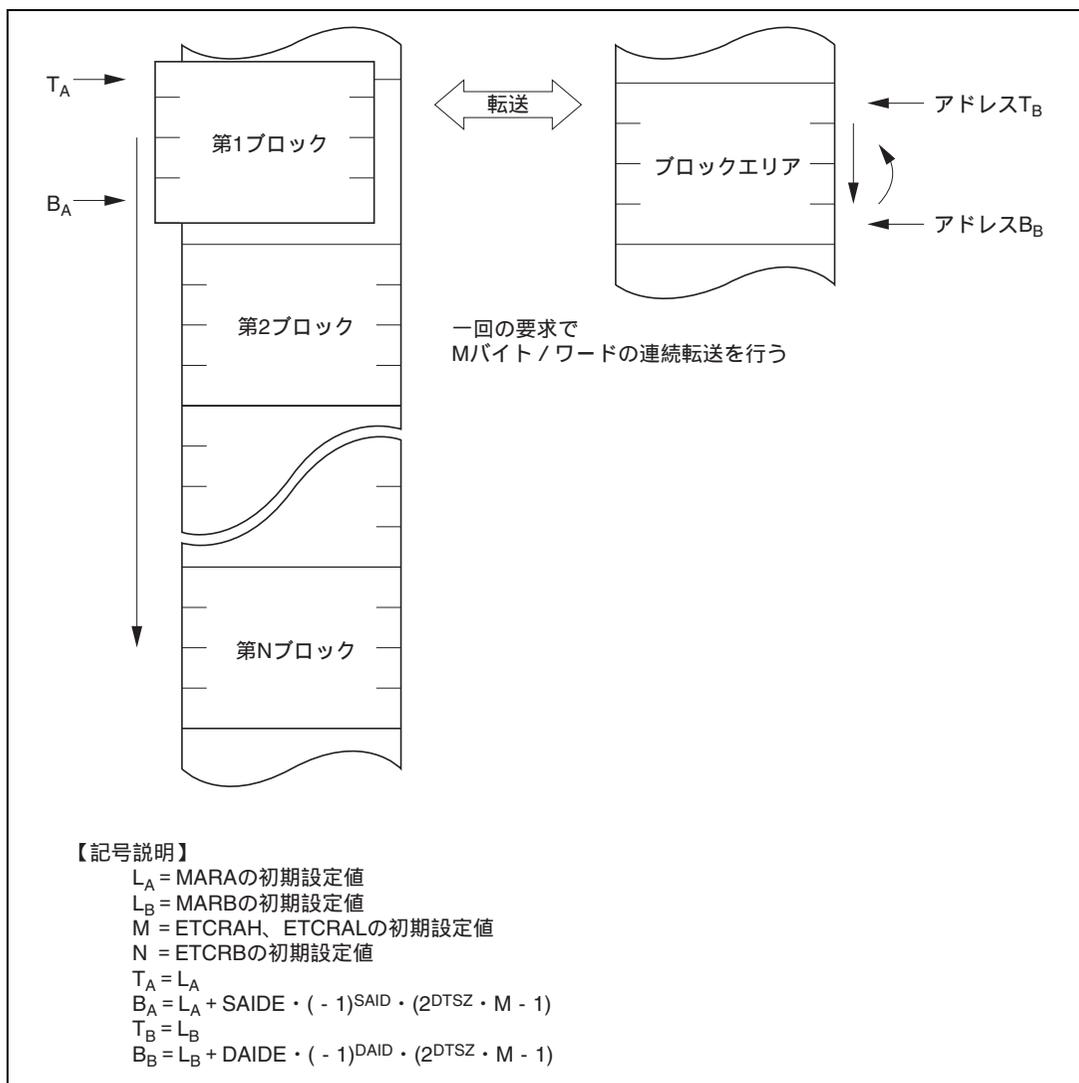


図 7.10 ブロック転送モードの動作

転送要求によって DMAC が起動されるとバースト転送を行います。この間、MARA、MARB とともに DTCR の設定に従い更新され、ETCRAH をデクリメントします。ETCRAH が H'00 になると、ETCRAH は ETCRAL の値が格納され初期設定値に戻ります。同時にブロックエリア側の MAR も初期設定値に戻り、ETCRB をデクリメントして H'0000 でなければ次の転送要求待ちとなります。ETCRAH と ETCRAL には同じ値を初期設定にしてください。

この動作を繰り返して ETCRB の値が H'0000 になったとき、DTE ビットを 0 にクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に対して割り込みを要求します。

デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合の DMAC の動作フロー例を図 7.11 に示します。(a)はブロックエリアのアドレスが連続する場合、(b)はブロックエリアのアドレス固定の場合を示します。

転送要求(起動要因)には、16 ビットタイマチャネル 0~2 コンペアマッチ/インプットキャプチャ A 割り込み、A/D 変換器の変換終了割り込み、および外部リクエストがあります。

設定の詳細は「7.3.4 データトランスファコントロールレジスタ(DTCR)」を参照してください。

## 7. DMA コントローラ

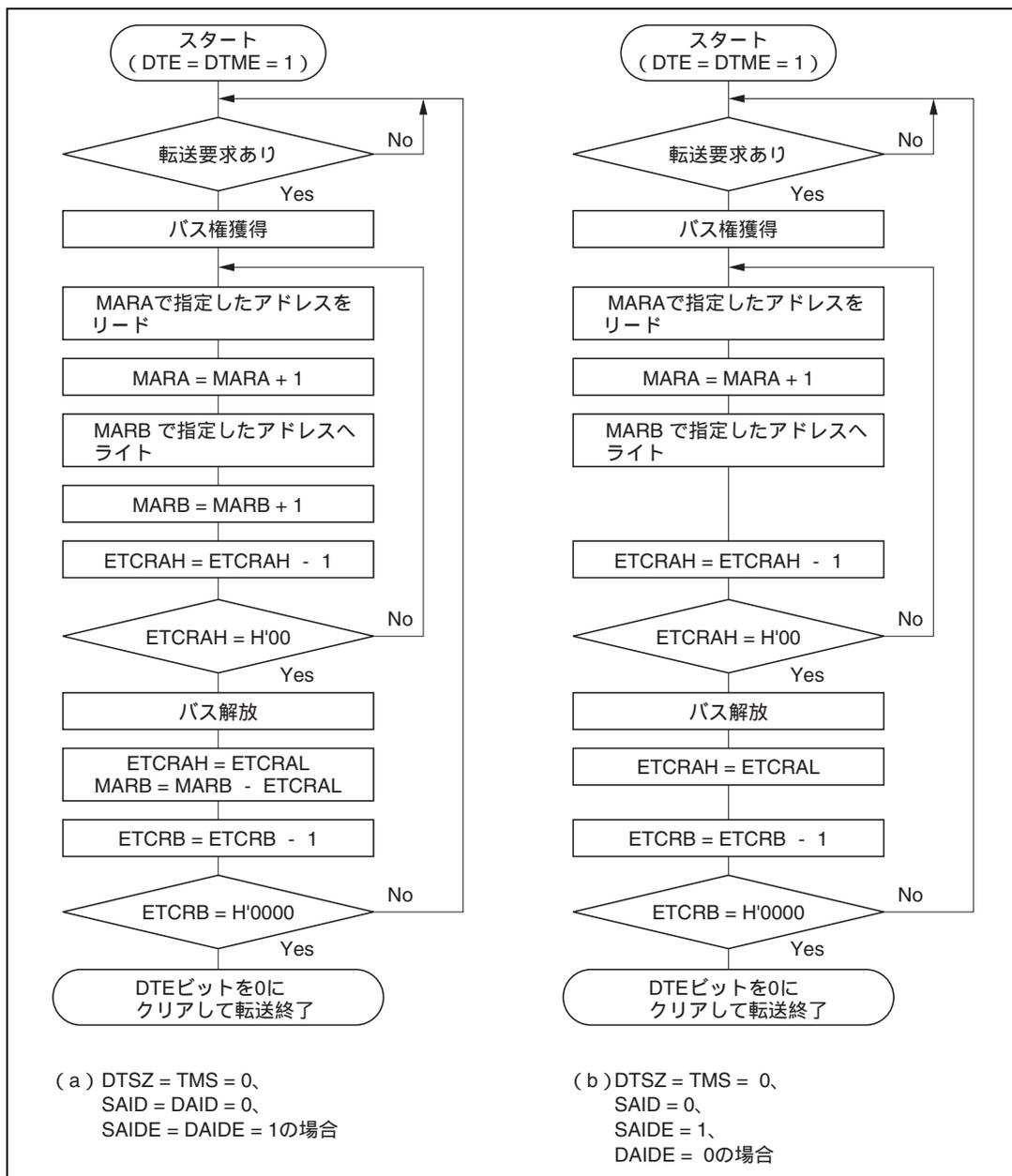


図 7.11 ブロック転送モードの動作フロー

ブロック転送モードの設定手順例を図 7.12 に示します。

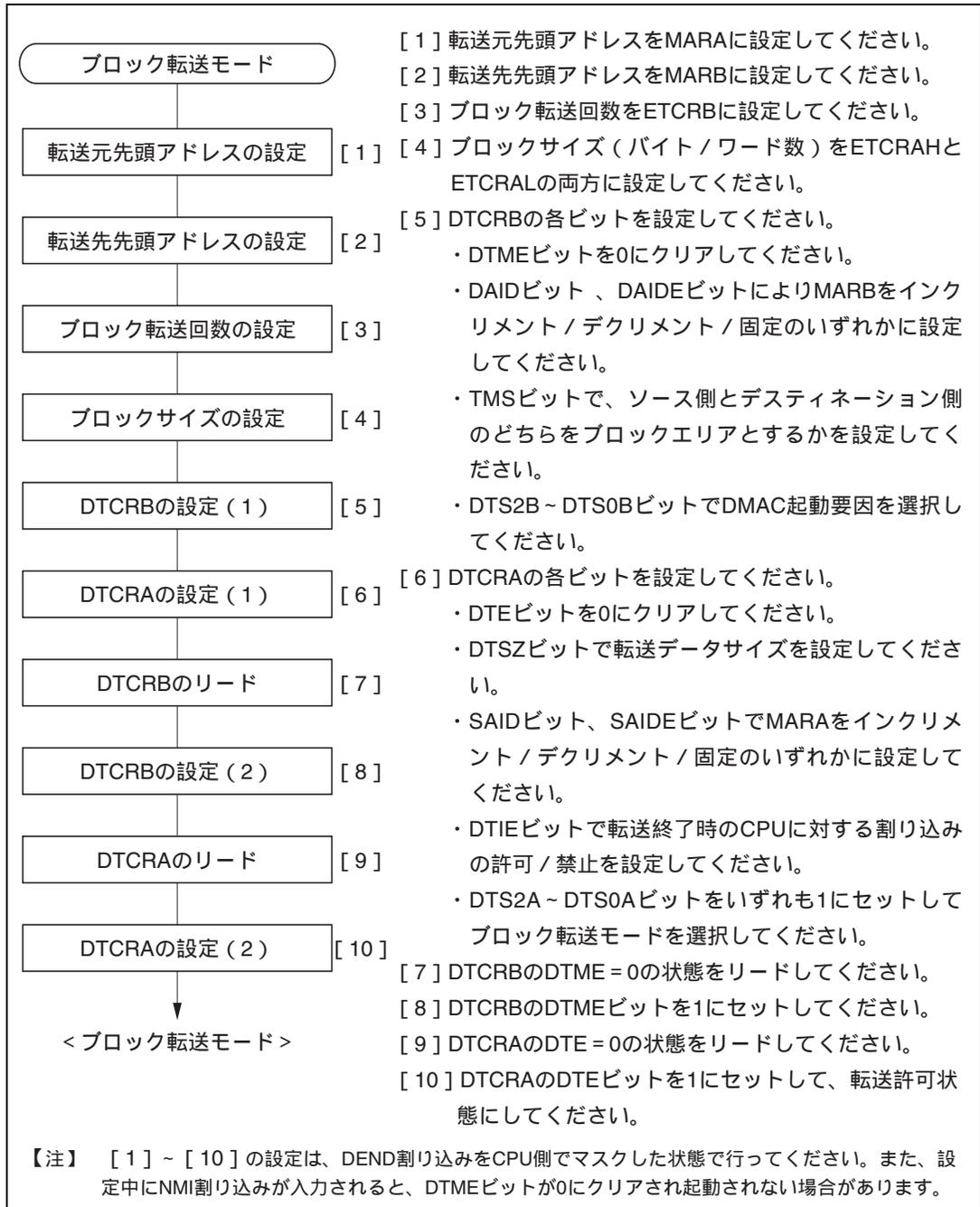


図 7.12 ブロック転送モードの設定手順例

## 7.4.7 DMAC の起動要因

DMAC の起動要因には、内部割り込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより指定できる要因が表 7.11 に示すように異なります。

表 7.11 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマル	ブロック
内部割り込み	IMIA0			×	
	IMIA1			×	
	IMIA2			×	
	ADI			×	
	TXIO			×	×
	RXIO			×	×
外部リクエスト	DREQ 端子の立ち下がり	×			
	DREQ 端子の Low レベル入力	×			×
オートリクエスト			×		×

## (1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、DTE=1 の状態では CPU に対しては要求されません。したがって、起動要因として使用している割り込みで同時に CPU に割り込みを発生させることはできません。

割り込み要求により DMAC が起動されると、割り込み要求フラグは自動的にクリアされます。複数のチャンネルで同一の割り込みを起動要因として指定した場合、最初に最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

## (2) 外部リクエストによる起動

起動要因として外部リクエスト ( $\overline{\text{DREQ}}$  端子) を指定した場合は、該当する  $\overline{\text{DREQ}}$  端子と  $\overline{\text{TEND}}$  端子が対応するポートのデータディレクションレジスタ (DDR) の設定にかかわらず、それぞれ入力端子、出力端子になります。

DREQ 端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は  $\overline{\text{DREQ}}$  端子入力の High レベルから Low レベルへの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送を完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合は  $\overline{\text{DREQ}}$  端子が Low レベルに保持されている間は、転送終了まで転送を続けます。ただし、1 バイトまたは 1 ワードの転送を行うたびにいったんバスを解放します。転送の途中で  $\overline{\text{DREQ}}$  端子が High レベルとなった場合、転送中の 1 バイトまたは 1 ワードの転送した時点で転送を中断します。なお、 $\overline{\text{DREQ}}$  端子が Low レベルにすると、起動要因は 1 バイトまたは 1 ワードの転送が行われるまで内部で保持されています。

$\overline{\text{TEND}}$  端子は最後の転送のライトサイクル中 Low レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モード時はエッジセンスの転送要求のみ可能です。 $\overline{\text{DREQ}}$  端子入力の High レベルが

ら Low レベルへの変化を検出するたびに、指定された 1 ブロックを転送します。  
 $\overline{\text{TEND}}$  端子は 1 ブロック転送の最後のライトサイクル中 Low レベルとなります。

### (3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。  
 サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスをいったん解放しますので、通常、DMAC サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス要求権がないかぎり転送終了までバスを占有し続けます。優先順位の高いバス要求があった場合は、転送中の 1 バイトまたは 1 ワードを転送した時点でバスを解放します。

## 7.4.8 DMAC のバスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 7.13 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、1 サイクル ( $T_d$ ) の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

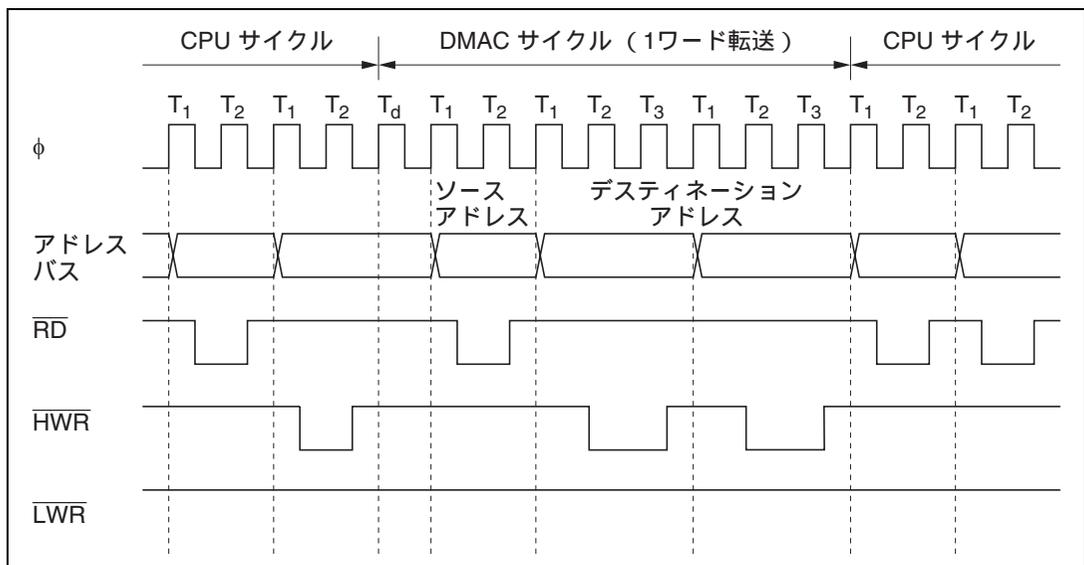


図 7.13 DMA 転送バスタイミング例

## 7. DMA コントローラ

$\overline{\text{DREQ}}$  端子 Low レベルで DMAC を起動した場合のタイミングを図 7.14 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ転送する場合の例です。 $\overline{\text{DREQ}}$  端子が Low レベルに保持されている間、DMAC は転送を続けます。

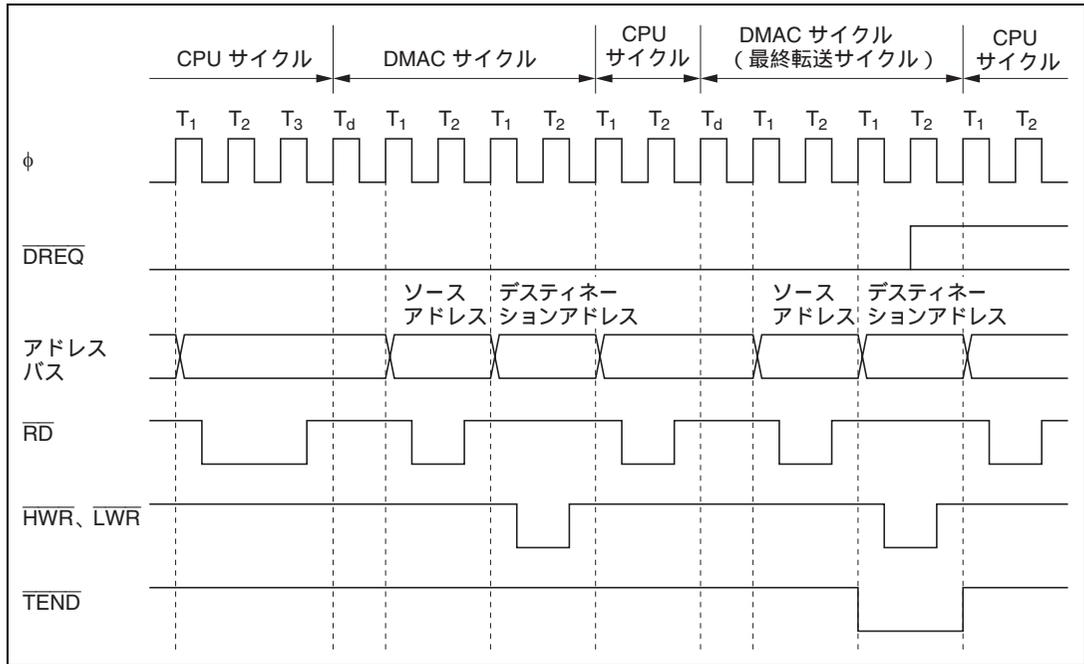


図 7.14  $\overline{\text{DREQ}}$  端子 Low レベル入力選択時の DMAC 転送バスタイミング

オートリクエストバーストモードの場合のタイミングを図 7.15 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間、3 ワード転送する場合の例です。

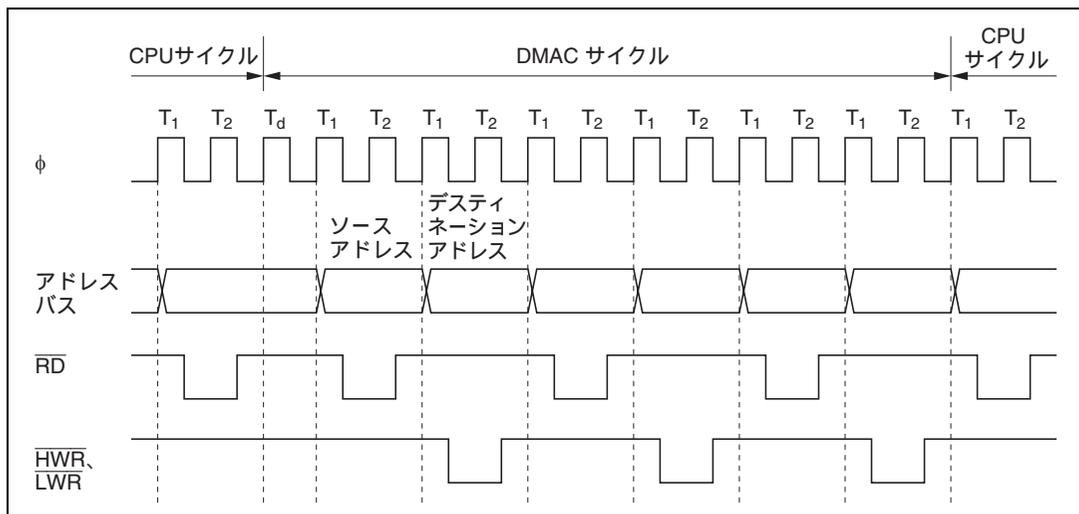


図 7.15 バーストモード DMA 転送バスタイミング

## 7. DMA コントローラ

$\overline{\text{DREQ}}$  端子で DMAC を起動する場合、転送要求が発生してから DMAC が動作を開始するまでの期間は最短で 4 ステートです。\*

転送要求が発生後、DMAC が動作を開始し転送を行うまで、 $\overline{\text{DREQ}}$  端子のサンプリングは行われません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1 ブロックの転送終了後から行います。

【注】\* 内部モジュール割り込みによる起動の場合も、最短応答時間は 4 ステートとなります。

ノーマルモード時、 $\overline{\text{DREQ}}$  端子の立ち下がりエッジで DMAC を起動する場合のタイミングを図 7.16 に示します。

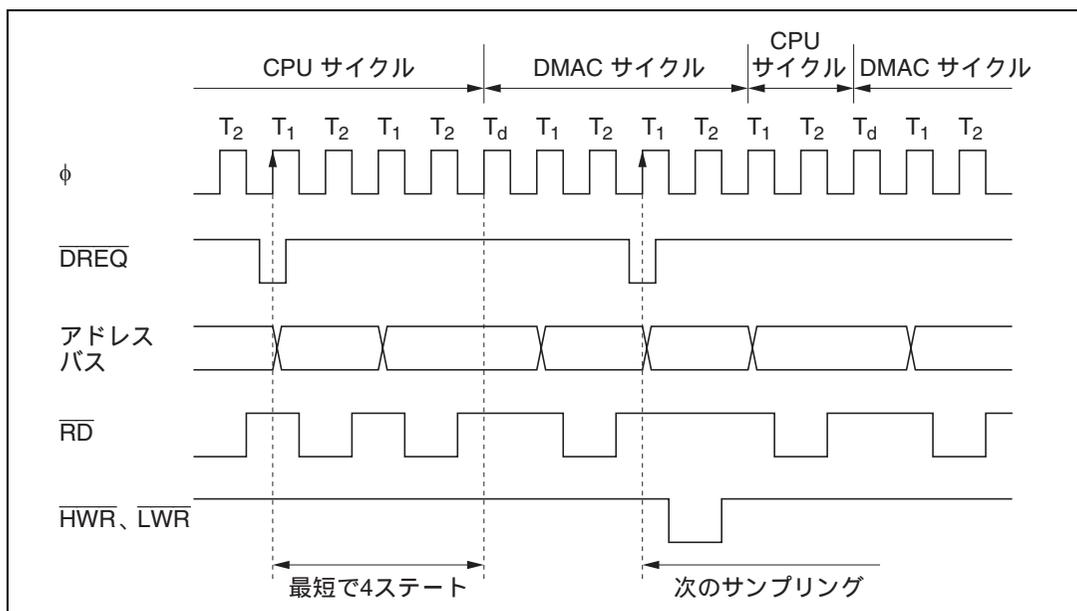


図 7.16 ノーマルモード時の  $\overline{\text{DREQ}}$  端子の立ち下がりエッジで DMAC 起動タイミング

ノーマルモード時、 $\overline{\text{DREQ}}$  端子の Low レベルで DMAC を起動する場合のタイミングを図 7.17 に示します。

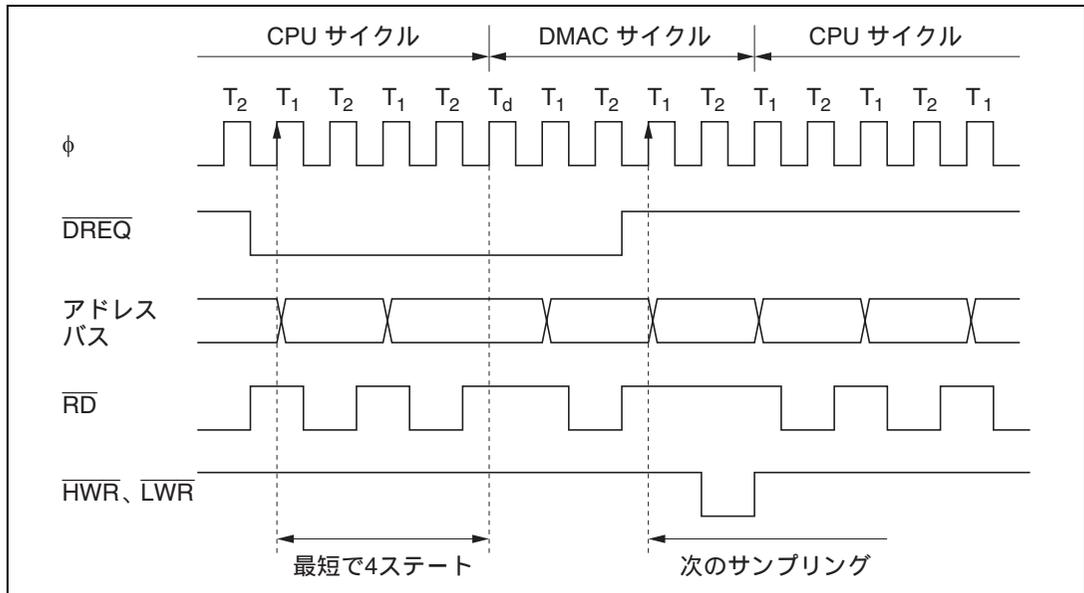


図 7.17 ノーマルモード時の  $\overline{\text{DREQ}}$  端子の Low レベルによる DMAC 起動タイミング

## 7. DMA コントローラ

ブロック転送モード時、 $\overline{\text{DREQ}}$  端子立ち下がりエッジで DMAC を起動する場合のタイミングを図 7.18 に示します。

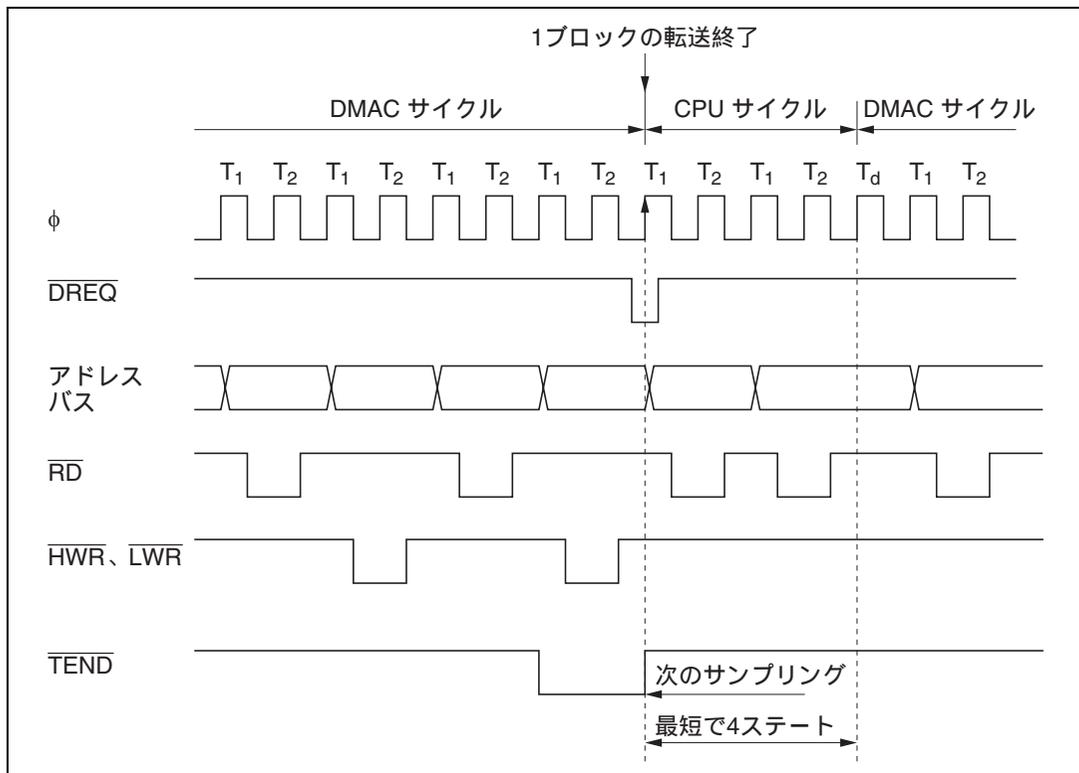


図 7.18 ブロック転送モード時の  $\overline{\text{DREQ}}$  端子の立ち下がりエッジによる DMAC 起動タイミング

### 7.4.9 DMAC 複数チャネルの動作

DMAC のチャネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順に優先順位が高くなっています。表 7.12 に DMAC のチャネル間優先順位を示します。

表 7.12 チャネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑ 低
チャンネル 0B		
チャンネル 1A	チャンネル 1	
チャンネル 1B		

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、DMAC は以下のように動作します。

- (1) 転送要求が発生するとバス権を要求し、DMACがバス権を獲得する時点で最も優先順位の高いチャンネルの転送が起動されます。
- (2) 1つのチャンネルが起動されると、そのチャンネルがバス権を解放するまで他のチャンネルは保留となります。
- (3) ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して(1)に戻ります。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。
- (4) バーストの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して(1)に戻ります。ただし、優先順位の高いチャンネルの転送要求または優先順位の高いバスマスタのバス権要求が存在すると、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。バスを解放した後、他のチャンネルの転送要求が存在すると、再度バス権を要求します。

チャンネル0AをI/Oモード、チャンネル1をバーストモードとし、チャンネル1が動作中、チャンネル0Aの転送要求が発生した場合のタイミングを図7.19に示します。

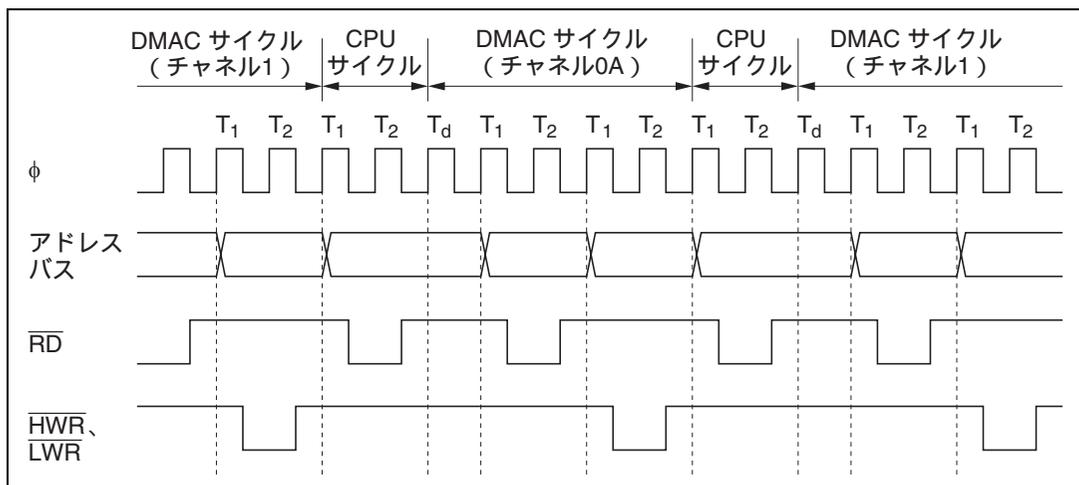


図 7.19 複数チャンネルの動作タイミング

## 7.4.10 外部バス権要求、DRAM インタフェースと DMAC の関係

DMAC 動作中に、 $\overline{\text{BREQ}}$  端子による外部バス権要求、DRAM インタフェースによるバス権要求(リフレッシュサイクル)があった場合、DMAC は転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMAC は再度バス権を要求します。

チャンネル 0 でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを図 7.20 に示します。

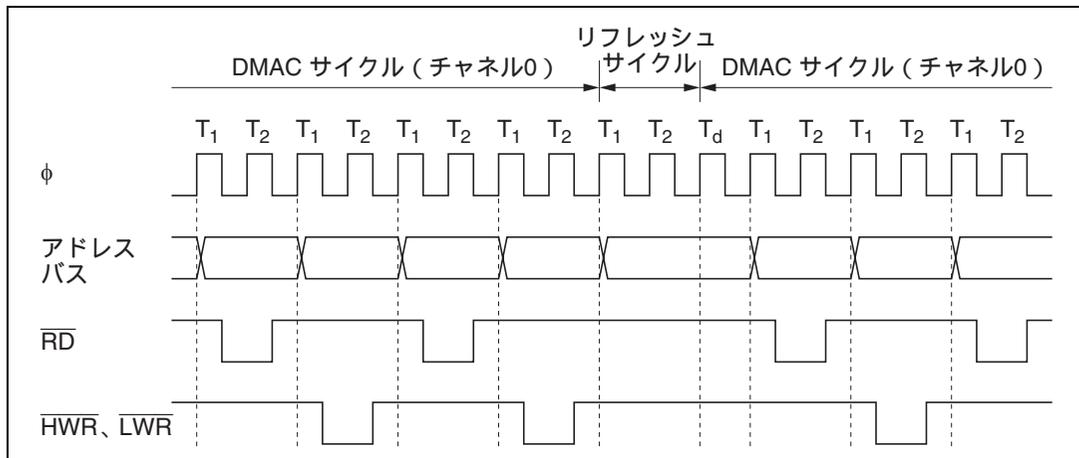


図 7.20 DRAM インタフェースと DMAC の動作タイミング

### 7.4.11 NMI 割り込みと DMAC

ショートアドレスモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、NMI 割り込みが発生すると、DMAC は動作を中断します。フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。NMI 割り込みが発生すると DTME ビットが 0 にクリアされ、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、CPU にバス権が移ります。ノーマルモードのときは、その後 CPU が DTME ビットを 1 にセットすると中断した動作を再開します。この場合、事前に DTE ビットが 1 にセットされ、DTME ビットが 0 にクリアされていることを確認してください。

チャンネル 0 をノーマルモードとしたときに、NMI 割り込みにより DMAC 動作が停止したとき、動作を再開する手順を図 7.21 に示します。

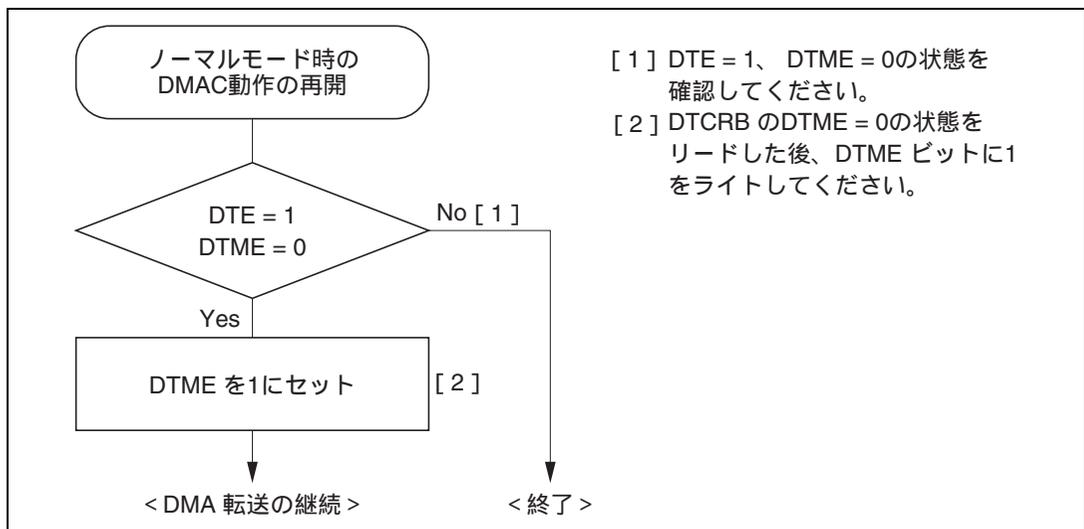


図 7.21 NMI 割り込みにより停止した DMAC 動作再開手順例

ブロック転送モード時の NMI 割り込みについては「7.6.6 NMI 割り込みとブロック転送モード」を参照してください。

### 7.4.12 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットを使用しても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 7.22 に示します。

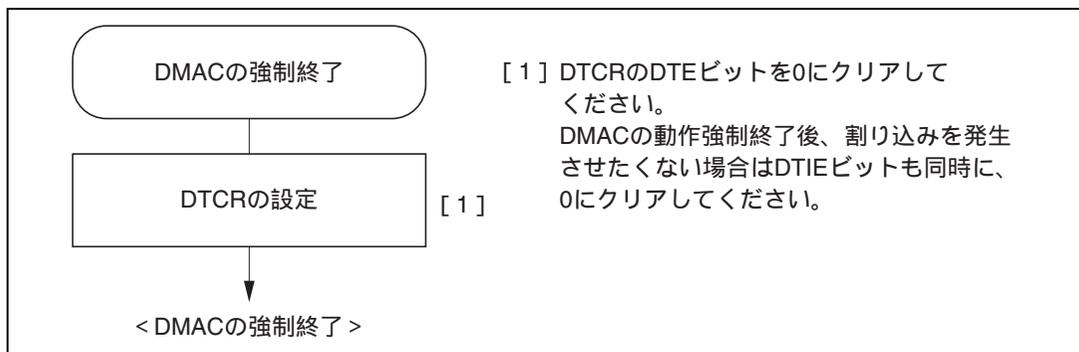


図 7.22 DMAC 動作の強制終了手順

### 7.4.13 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 7.23 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

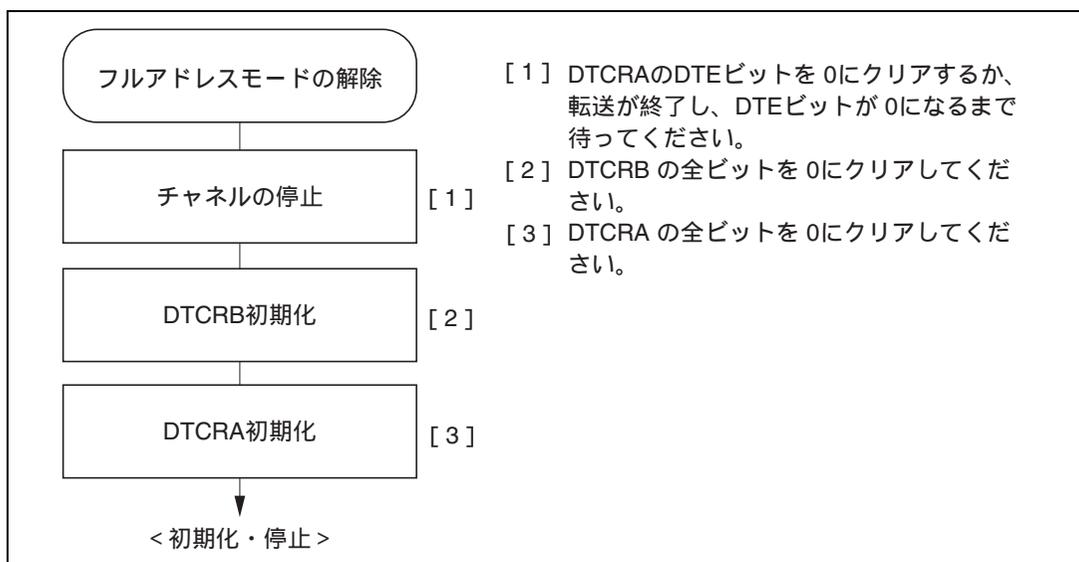


図 7.23 フルアドレスモードの解除手順例

#### 7.4.14 リセット、スタンバイモード、スリープモードの DMAC の状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMAC は初期化され、停止します。

スリープモード中は DMAC は動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを図 7.24 に示します。

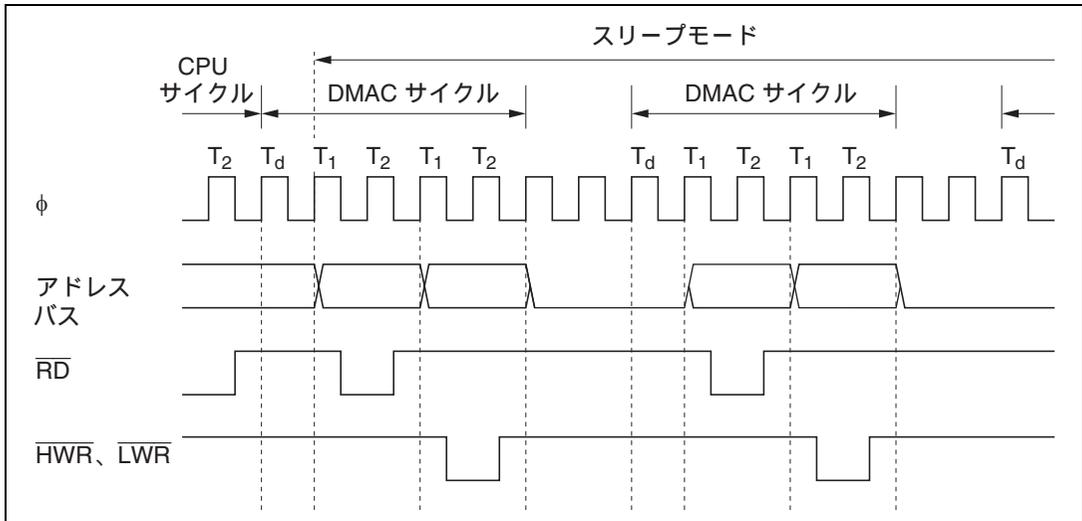


図 7.24 スリープモード中のサイクルスチールモードのタイミング

## 7.5 割り込み

DMAC の割り込み要因は転送終了のみです。表 7.13 に割り込み要因と優先度を示します。

表 7.13 DMAC の割り込み要因

割り込み要因	割り込み要因		割り込み優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み		
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み		

各割り込み要因は、対応する DTCSR の DTIE ビットにより許可 / 禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の割り込みの優先順位は、チャンネル 0 > チャンネル 1、またチャンネル A > チャンネル B のように優先順位が高くなっています。

転送終了の割り込みブロック図を図 7.25 に示します。

DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

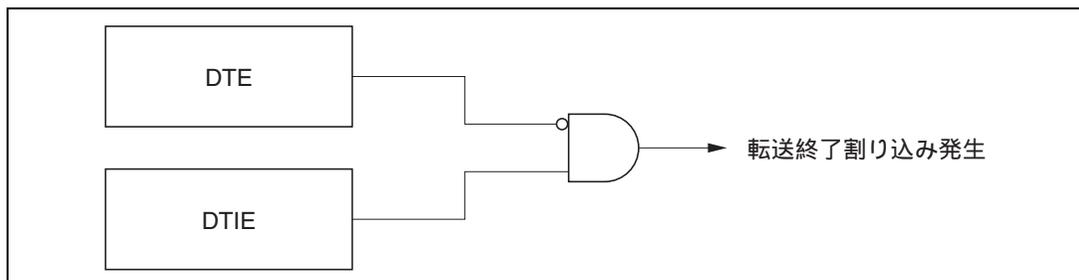


図 7.25 転送終了割り込みブロック図

フルアドレスモードでは、チャンネル B の転送終了割り込み (DENDB) は使用できません。また、DTME ビットは割り込み動作に影響を与えません。

## 7.6 使用上の注意

### 7.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データをワードにした場合、MAR および IOAR は偶数値としてください。

### 7.6.2 DMAC による DMAC 自体のアクセス

DMAC サイクル中は DMAC 自体へのアクセスはできません。したがって、DMAC のレジスタをソースまたはデスティネーションとして転送することはできません。

### 7.6.3 MAR のロングワードアクセス

MAR は MARR から始まるロングワードデータとしてアクセスすることができます。

(例)

```
MOV. L   #LBL, ERO
```

```
MOV. L   ERO, @MARR
```

このとき、バイトデータアクセスが4回行われます。第2バイト(MARE)と第3バイト(MARH)アクセス間に、CPU がバスを解放する場合がありますので注意してください。

MAR のリード/ライトは DMAC 停止中に行ってください。

### 7.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2つのレジスタ DTCRA、DTCRB によって制御されます。これらレジスタの設定時には、チャンネル B がショートアドレスモードで動作しないように注意してください。許可ビット(DTE、DTME)は、最後に1にセットしてください。

## 7.6.5 内部割り込みで DMAC を起動する場合の注意

- (1) 内部割り込みでDMACを起動する場合、起動要因を選択してからDMACを転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMACを転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中にDMACを許可状態にする場合、図7.26の手順で行ってください。

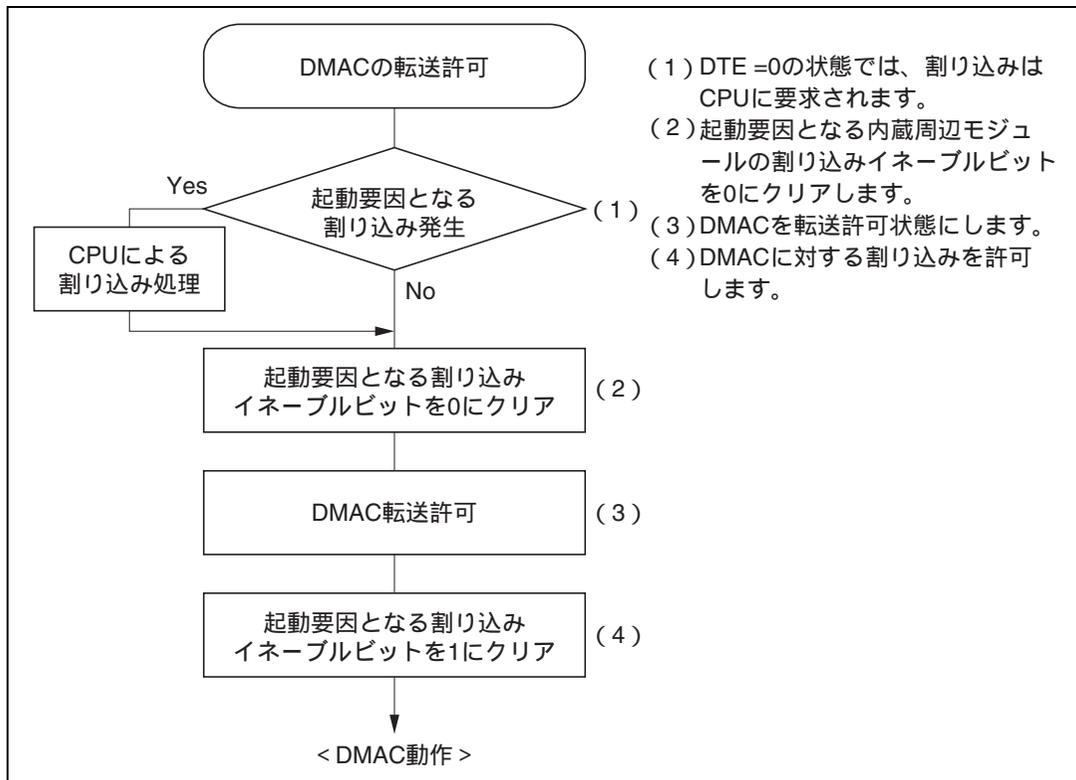


図 7.26 内蔵周辺モジュールが動作中に DMAC を転送許可状態にする場合の手順例

なお、DTE=1 なおかつ DTME=0 の状態では、DMAC は停止状態であり、また CPU にも起動要因となる割り込みは要求されません。たとえば、NMI 割り込みにより、DMAC を停止状態にした場合は、起動要因となる割り込みは CPU には要求されません。このとき、DMAC 動作を打ち切る場合には、DTE ビットを 0 にクリアし、CPU に割り込みを要求させてください。DMAC 動作を継続する場合には、DTME ビットを 1 にセットする前後で、図 7.26 の (2)、(4) の操作を行ってください。

- (2) 16ビットタイマの割り込み要求でDMACを起動する場合、割り込みによって起動されるDMA転送が終了するまで、次の割り込みが発生しないようにしてください。1つの16ビットタイマの割り込み要求で複数チャンネルを起動する場合には、起動されるすべてのDMA転送が終了するまで、次の割り込みが発生しないようにしてください。転送が終了するまでに次の割り込みが発生すると、その割り込みを選択しているチャンネルが以降の起動要求を受け入れなくなる場合があります。

### 7.6.6 NMI 割り込みとブロック転送モード

ブロック転送モード中に NMI 割り込みが発生すると DMAC は以下のように動作します。

- (1) NMI 割り込みが発生すると DMAC は転送中の 1 バイトまたは 1 ワードの転送終了後、DTME ビットを 0 にクリアして停止します。したがって、1 つのブロックの転送途中停止する場合があります。  
ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになります。
- (2) ブロックの転送途中で停止した場合、起動要因となる割り込みフラグは 0 にクリアされています。起動要因の内部保持は行っていません。
- (3) DTE ビットが 1 にセットされ、DTME ビットを 0 にクリアされた状態では、DMAC は停止中であり、DMAC は起動要因となる割り込み要求を受け付けません。この状態で起動要因となる割り込みが発生すると DMAC は動作せず、転送要求の内部保持も行いません。また、CPU にも割り込みは要求されません。  
このため、DTME ビットを 1 にセットする前に起動要因となる割り込みのイネーブルビットを 0 にクリアし、次に DTME ビットを 1 にセットし、その後、割り込みイネーブルビットを 1 にセットしてください。「7.6.5 内部割り込みで DMAC を起動する場合の注意」を参照してください。
- (4) DTME ビットを 1 にセットすると、DMAC は次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

### 7.6.7 MAR、IOAR のアドレス指定

MAR、IOAR で指定できるアドレスの範囲を表 7.14 に示します。

表 7.14 MAR、IOAR で指定できるアドレスの範囲

	1M バイトモード	16M バイトモード
MAR	H'00000 ~ H'FFFFF ( 0 ~ 1048575 )	H'000000 ~ H'FFFFFF ( 0 ~ 16777215 )
IOAR	H'FFF00 ~ H'FFFFF ( 1048320 ~ 1048575 )	H'FFF00 ~ H'FFFFFF ( 16776960 ~ 16777215 )

1M バイトモードのとき、MAR のビット 23 ~ ビット 20 は無視されます。

### 7.6.8 転送中断時のバスサイクル

DTE ビットによる強制終了や、NMI 割り込みによる DTME ビットクリアの転送停止により、DMAC 内部で、すでに要求を保持しているチャンネルを停止させるとデッドサイクルが発生することがあります。このデッドサイクルにより中断したチャンネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャンネル 0 でオートリクエストサイクルスチール転送中に、チャンネル 0 の DTE ビットをクリアした場合のタイミングを図 7.27 に示します。

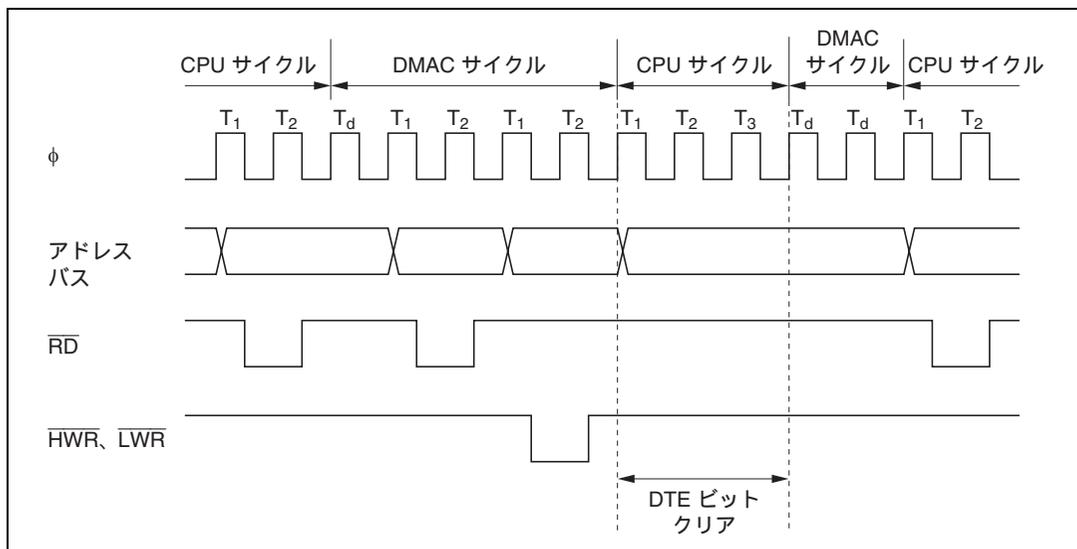


図 7.27 サイクルスチールモード DMA 転送の強制終了バスタイミング

### 7.6.9 A/D 変換器による転送要求

A/D 変換器をスキャンモードに設定し、複数チャンネルを変換している場合、A/D 変換器はすべての変換が終了した時点で転送要求を発生します。このとき、変換されたデータは複数の ADDR に格納されています。したがって、すべての変換結果を一度に転送する場合は、フルアドレスモードによるブロック転送モードを使用してください。

## 8. I/O ポート

### 8.1 概要

本 LSI には、6 本の入出力ポート（ポート 4、6、8～B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 8.1 に示します。表 8.1 に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と出力データを格納するデータレジスタ (DR) から構成されています。

DDR と DR のほかに、ポート 4 には入力プルアップ MOS コントロールレジスタ (PCR) があり、プルアップ MOS のオン/オフを制御できます。

ポート 4、6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9～B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 4、6、8～B はダーリントントランジスタを駆動することができます。ポート P8<sub>2</sub>～P8<sub>0</sub>、および PA<sub>7</sub>～PA<sub>0</sub> はシュミット入力となっています。

各ポートのブロック図は「付録 C I/O ポートブロック図」を参照してください。

表 8.1 動作モード別ポート機能一覧

ポート	概要	端子	モード 1	モード 2	モード 3	モード 4
ポート 4	<ul style="list-style-type: none"> <li>8 ビットの入出力ポート</li> <li>入力プルアップ MOS 内蔵</li> </ul>	P4 <sub>7</sub> ～P4 <sub>0</sub> /D <sub>7</sub> ～D <sub>0</sub>	データ入出力端子 (D <sub>7</sub> ～D <sub>0</sub> ) と 8 ビットの入出力ポートの兼用	8 ビットバスモードのとき入出力ポート	16 ビットバスモードのときデータ入出力端子	
ポート 6	<ul style="list-style-type: none"> <li>4 ビットの入出力ポート</li> </ul>	P6 <sub>3</sub> /φ	クロック出力端子 (φ) と入力ポートの兼用			
		P6 <sub>2</sub> /BACK P6 <sub>1</sub> /BREQ P6 <sub>0</sub> /WAIT	バス制御信号入出力端子 (BACK、BREQ、WAIT) と 3 ビットの入出力ポートの兼用			
ポート 7	<ul style="list-style-type: none"> <li>8 ビットの入出力ポート</li> </ul>	P7 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub> P7 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	A/D 変換器のアナログ入力端子 (AN <sub>7</sub> 、AN <sub>6</sub> ) および D/A 変換器のアナログ出力端子 (DA <sub>1</sub> 、DA <sub>0</sub> ) と入力ポートの兼用			
		P7 <sub>5</sub> ～P7 <sub>0</sub> /AN <sub>5</sub> ～AN <sub>0</sub>	A/D 変換器のアナログ入力端子 (AN <sub>5</sub> ～AN <sub>0</sub> ) と入力ポートの兼用			
ポート 8	<ul style="list-style-type: none"> <li>5 ビットの入出力ポート</li> <li>P8<sub>2</sub>～P8<sub>0</sub> はシュミット入力</li> </ul>	P8 <sub>3</sub> /CS <sub>0</sub>	DDR = 0 のとき入力ポート	DDR = 1 のとき (リセット後) CS <sub>0</sub> 出力端子		
		P8 <sub>2</sub> /IRQ <sub>2</sub> /CS <sub>1</sub> /ADTRG	IRQ <sub>2</sub> 入力端子、CS <sub>1</sub> 出力端子、A/D 変換器の外部トリガ入力端子 (ADTRG) と入力ポートの兼用、DDR = 0 のとき (リセット後) 入力ポート、DDR = 1 のとき CS <sub>1</sub> 出力端子			
		P8 <sub>1</sub> /IRQ <sub>1</sub> /CS <sub>2</sub> P8 <sub>0</sub> /IRQ <sub>0</sub> /CS <sub>3</sub>	IRQ <sub>1</sub> 、IRQ <sub>0</sub> 入力端子、CS <sub>2</sub> 、CS <sub>3</sub> 出力端子と入力ポートの兼用、DDR = 0 のとき (リセット後) 入力ポート、DDR = 1 のとき CS <sub>2</sub> 、CS <sub>3</sub> 出力端子			
		P8 <sub>0</sub> /IRQ <sub>0</sub> /RFSH	IRQ <sub>0</sub> 入力端子、RFSH 出力端子と入出力ポートの兼用			

## 8. I/O ポート

ポート	概要	端子	モード 1	モード 2	モード 3	モード 4
ポート 9	<ul style="list-style-type: none"> <li>6 ビットの入出力ポート</li> </ul>	P9 <sub>7</sub> /IRQ <sub>7</sub> /SCK <sub>1</sub> P9 <sub>6</sub> /IRQ <sub>6</sub> /SCK <sub>0</sub> P9 <sub>5</sub> /RxD <sub>1</sub> P9 <sub>4</sub> /RxD <sub>0</sub> P9 <sub>3</sub> /TxD <sub>1</sub> P9 <sub>2</sub> /TxD <sub>0</sub>	シリアルコミュニケーションインタフェースチャネル 0、1 (SCI0、SCI1) の入出力端子 (SCK <sub>1</sub> 、SCK <sub>0</sub> 、RxD <sub>1</sub> 、RxD <sub>0</sub> 、TxD <sub>1</sub> 、TxD <sub>0</sub> )、および IRQ <sub>5</sub> 、IRQ <sub>4</sub> 入力端子と 6 ビットの入出力ポートの兼用			
ポート A	<ul style="list-style-type: none"> <li>8 ビットの入出力ポート</li> <li>シュミット入力</li> </ul>	PA <sub>7</sub> /TP <sub>7</sub> /TIOCB <sub>2</sub> /A <sub>20</sub>	プログラマブルタイミングパターンコントローラ (TPC) 出力端子 (TP <sub>7</sub> )、16 ビットタイマの入出力端子 (TIOCB <sub>2</sub> ) と入出力ポートの兼用	アドレス出力端子 (A <sub>20</sub> )		
		PA <sub>5</sub> /TP <sub>5</sub> /TIOCA/A <sub>21</sub> PA <sub>3</sub> /TP <sub>3</sub> /TIOCB/A <sub>22</sub> PA <sub>4</sub> /TP <sub>4</sub> /TIOCA/A <sub>23</sub>	TPC 出力端子 (TP <sub>6</sub> ~ TP <sub>4</sub> )、16 ビットタイマの入出力端子 (TIOCA <sub>2</sub> 、TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> ) と入出力ポートの兼用	TPC 出力端子 (TP <sub>6</sub> ~ TP <sub>4</sub> )、16 ビットタイマの入出力端子 (TIOCA <sub>2</sub> 、TIOCB <sub>1</sub> 、TIOCA <sub>1</sub> )、アドレス出力端子 (A <sub>23</sub> ~ A <sub>21</sub> ) と入出力ポートの兼用		
		PA <sub>3</sub> /TP <sub>3</sub> /TIOCB/TCLKD PA <sub>2</sub> /TP <sub>2</sub> /TIOCA/TCLKC PA <sub>1</sub> /TP <sub>1</sub> /TCLKB/TEND <sub>1</sub> PA <sub>0</sub> /TP <sub>0</sub> /TCLKA/TEND <sub>0</sub>	TPC 出力端子 (TP <sub>3</sub> ~ TP <sub>0</sub> )、16 ビットタイマの入出力端子 (TIOCB <sub>0</sub> 、TIOCA <sub>0</sub> 、TCLKD、TCLKC、TCLKB、TCLKA)、8 ビットタイマの入出力端子 (TCLKD、TCLKC、TCLKB、TCLKA)、DMA コントローラ (DMAC) の出力端子 (TEND <sub>1</sub> 、TEND <sub>0</sub> )、と入出力ポートの兼用			
ポート B	<ul style="list-style-type: none"> <li>8 ビットの入出力ポート</li> </ul>	PB <sub>15</sub> /TP <sub>15</sub> /RxD <sub>2</sub> PB <sub>14</sub> /TP <sub>14</sub> /TxD <sub>2</sub> PB <sub>13</sub> /TP <sub>13</sub> /SCK <sub>2</sub> LCAS PB <sub>12</sub> /TP <sub>12</sub> /UCAS	TPC 出力端子 (TP <sub>15</sub> ~ TP <sub>12</sub> )、SCI2 の入出力端子 (SCK <sub>2</sub> 、RxD <sub>2</sub> 、TxD <sub>2</sub> )、DRAM インタフェースの出力端子 (LCAS、UCAS) と入出力ポートの兼用			
		PB <sub>11</sub> /TP <sub>11</sub> /TMIO <sub>3</sub> /DREQ <sub>1</sub> /CS <sub>4</sub> PB <sub>10</sub> /TP <sub>10</sub> /TMO <sub>2</sub> /CS <sub>5</sub> PB <sub>9</sub> /TP <sub>9</sub> /TMIO <sub>1</sub> /DREQ <sub>0</sub> /CS <sub>6</sub> PB <sub>8</sub> /TP <sub>8</sub> /TMO <sub>0</sub> /CS <sub>7</sub>	TPC 出力端子 (TP <sub>11</sub> ~ TP <sub>8</sub> )、8 ビットタイマの入出力端子 (TMIO <sub>3</sub> 、TMO <sub>2</sub> 、TMIO <sub>1</sub> 、TMO <sub>0</sub> )、DMA コントローラ (DMAC) の入力端子 (DREQ <sub>1</sub> 、DREQ <sub>0</sub> )、CS <sub>7</sub> ~ CS <sub>4</sub> 出力端子と入出力ポートの兼用			

## 8.2 ポート4

### 8.2.1 概要

ポート4は、データバス兼用の8ビットの入出力ポートです。ポート4の各端子は、図8.1に示す構成となっております。

バス幅コントロールレジスタ (ABWCR) により、エリア0~7のすべてを8ビットアクセス空間に設定すると、8ビットバスモードとなり、ポート4は入出力ポートとなります。また、エリア0~7のうち少なくとも1つのエリアを16ビットアクセス空間に設定すると、16ビットバスモードとなり、ポート4はデータバスとなります。

ポート4は、プログラムで制御可能なブルアップMOSが内蔵されています。

ポート4は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

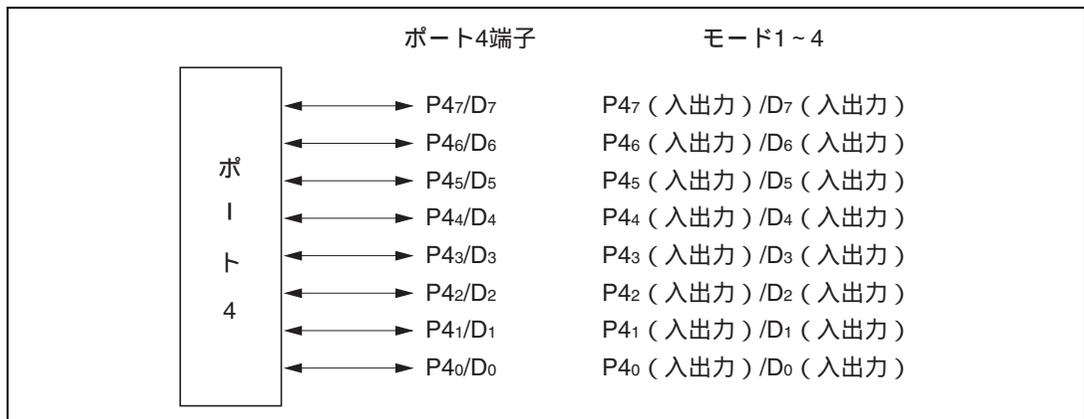


図 8.1 ポート4の端子構成

## 8.2.2 レジスタ構成

表 8.2 にポート 4 のレジスタ構成を示します。

表 8.2 ポート 4 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE003	ポート 4 データディレクションレジスタ	P4DDR	W	H'00
H'FFFD3	ポート 4 データレジスタ	P4DR	R/W	H'00
H'EE03E	ポート 4 入力プルアップ MOS コントロールレジスタ	P4PCR	R/W	H'00

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

## (1) ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、8 ビットのライト専用のレジスタで、ポート 4 各端子の入出力をビットごとに指定することができます。

ビット :	7	6	5	4	3	2	1	0
	P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4データディレクション7~0

ポート4の各端子の入出力を選択するビットです。

全エリアを 8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート 4 は入出力ポートとして機能します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力端子となり、0 にクリアすると入力端子になります。

少なくとも 1 つのエリアを 16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、ポート 4 はデータバスとして機能します。

P4DDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時には初期化されません。したがって、ポート 4 が入出力ポートとして機能しているとき、P4DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

## (2) ポート 4 データレジスタ (P4DR)

P4DR は、8 ビットのリード/ライト可能なレジスタで、ポート 4 の出力データを格納します。また、このレジスタをリードすると、P4DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは、P4DR の値が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート4データ7~0  
ポート4の各端子のデータを格納するビットです。

P4DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

## (3) ポート 4 入力プルアップ MOS コントロールレジスタ (P4PCR)

P4PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 4 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット :	7	6	5	4	3	2	1	0
	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート4入力プルアップMOSコントロール7~0  
ポート4に内蔵した入力プルアップMOSを制御するビットです。

## 8. I/O ポート

---

8ビットバスモード時、P4DDR を 0 にクリアした（入力ポートの）状態で、P4PCR を 1 にセットすると入力プルアップ MOS は ON します。

P4PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 8.3 に示します。

表 8.3 入力プルアップ MOS の状態（ポート 4）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
8ビットバスモード	OFF		ON / OFF	
16ビットバスモード	OFF			

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON / OFF : P4PCR = 1 かつ P4DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

## 8.3 ポート 6

### 8.3.1 概要

ポート 6 は、4 ビットの入出力ポートです。ポート 6 はバス制御入出力端子 ( $\overline{BACK}$ 、 $\overline{BREQ}$ 、 $\overline{WAIT}$ )、クロック端子 ( $\phi$ ) と兼用になっています。

ポート 6 の端子構成を図 8.2 に示します。

ポート 6 は、 $P6_7$  (入力ポート) /  $\phi$ 、 $P6_2/\overline{BACK}$ 、 $P6_1/\overline{BREQ}$ 、 $P6_0/\overline{WAIT}$  として機能します。端子機能の選択方法については表 8.5 を参照してください。

クロック出力端子については「第 19 章 低消費電力状態」を参照してください。

バス制御入出力端子 ( $\overline{BACK}$ 、 $\overline{BREQ}$ 、 $\overline{WAIT}$ ) については、「第 6 章 バスコントローラ」を参照してください。

ポート 6 は、1 個の TTL 負荷と 90pF の容量を負荷駆動することができます。また、ダーリントントランジスタを駆動することができます。

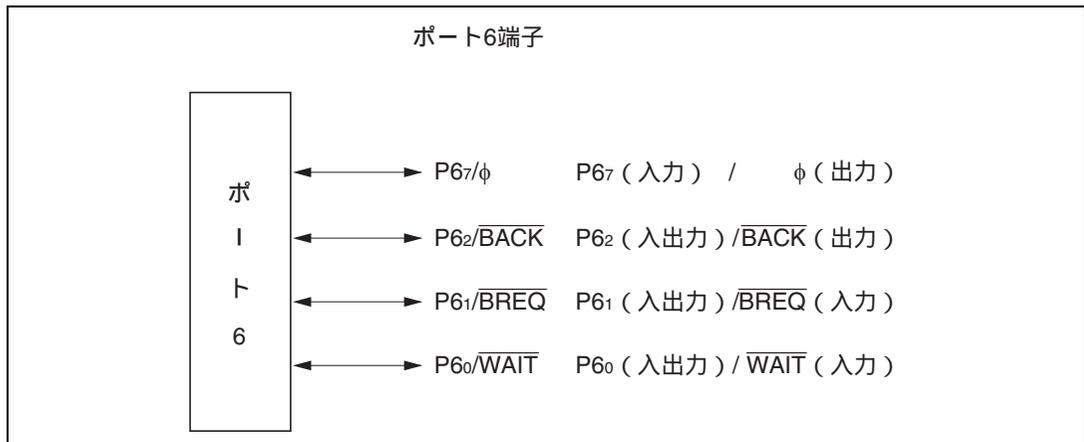


図 8.2 ポート 6 の端子構成

### 8.3.2 レジスタ構成

表 8.4 にポート 6 のレジスタ構成を示します。

表 8.4 ポート 6 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE005	ポート 6 データディレクションレジスタ	P6DDR	W	H'80
H'FFFD5	ポート 6 データレジスタ	P6DR	R/W	H'80

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

## 8. I/O ポート

### (1) ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット 7~ビット 3 はリザーブビットです。ビット 7 は 1 に固定されています。ライトは無効です。

ビット :	7	6	5	4	3	2	1	0
		P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR
初期値 :	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	W	W

リザーブビット
ポート6データディレクション2~0  
ポート6の各端子の入出力を選択するビットです。

P6<sub>7</sub> は、MSTCRH の PSTOP ビットを 0 にクリア (初期状態) するとクロック出力端子 ( $\phi$ ) となり、1 にセットすると入力端子になります。

P6<sub>2</sub> ~ P6<sub>0</sub> は、入出力ポートとして機能します。P6<sub>2</sub>DDR ~ P6<sub>0</sub>DDR に 1 をセットすると対応するポート 6 の端子は出力端子となり、0 にクリアすると入力端子になります。

P6DDR は、ライト専用で、リードは無効です。リードすると 1 が読み出されます。

P6DDR は、リセット、またはハードウェアスタンバイモード時に、H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

### (2) ポート 6 データレジスタ (P6DR)

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	P6 <sub>7</sub>	P6 <sub>6</sub>	P6 <sub>5</sub>	P6 <sub>4</sub>	P6 <sub>3</sub>	P6 <sub>2</sub>	P6 <sub>1</sub>	P6 <sub>0</sub>
初期値 :	*	0	0	0	0	0	0	0
R/W :	R	R/W						

リザーブビット
ポート6データ7、2~0  
ポート6の各端子のデータを格納するビットです。

【注】\* P6<sub>7</sub> 端子により決定されます。

ビット 7 は、MSTCRH の PSTOP ビットが 0 のときリードすると 1 が読み出され、1 のときリードすると P6<sub>7</sub> 端子のロジックレベルが読み出されます。ライトは無効です。

ビット6～ビット3は、リザーブビットです。リード/ライト可能ですがポートとしては使用できません。

P6<sub>0</sub>DDR～P6<sub>3</sub>DDRが1のときリードするとP6DRの値を直接リードし、0のときリードすると不定となります。

ビット2～ビット0は、P6DDRの対応するビットが0のときリードすると端子のロジックレベルが読み出され、1のときリードするとP6DRの値が読み出されます。

P6DRは、リセット、またはハードウェアスタンバイモード時に、H'80に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.5 ポート6の端子機能

端子	選択方法と端子機能		
P6 <sub>7</sub> /φ	MSTCRHのPSTOPビットにより、次のように切り替わります。		
	PSTOP	0	1
	端子機能	φ出力端子	P6 <sub>7</sub> 入力端子
P6 <sub>2</sub> /BACK	BRCRのBRLEビットとP6 <sub>2</sub> DDRビットの組み合わせにより、次のように切り替わります。		
	BRLE	0	
	P6 <sub>2</sub> DDR	0	1
	端子機能	P6 <sub>2</sub> 入力端子	P6 <sub>2</sub> 出力端子
P6 <sub>1</sub> /BREQ	BRCRのBRLEビットとP6 <sub>1</sub> DDRビットの組み合わせにより、次のように切り替わります。		
	BRLE	0	
	P6 <sub>1</sub> DDR	0	1
	端子機能	P6 <sub>1</sub> 入力端子	P6 <sub>1</sub> 出力端子
P6 <sub>0</sub> /WAIT	BCRのWAITEビットとP6 <sub>0</sub> DDRビットの組み合わせにより、次のように切り替わります。		
	WAITE	0	
	P6 <sub>0</sub> DDR	0	1
	端子機能	P6 <sub>0</sub> 入力端子	P6 <sub>0</sub> 出力端子
【注】* P6 <sub>0</sub> DDRは1にセットしないでください。			

## 8.4 ポート 7

### 8.4.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を図 8.3 に示します。

A/D 変換器のアナログ入力端子については、「第 15 章 A/D 変換器」を参照してください。D/A 変換器のアナログ出力端子については「第 16 章 D/A 変換器」を参照してください。

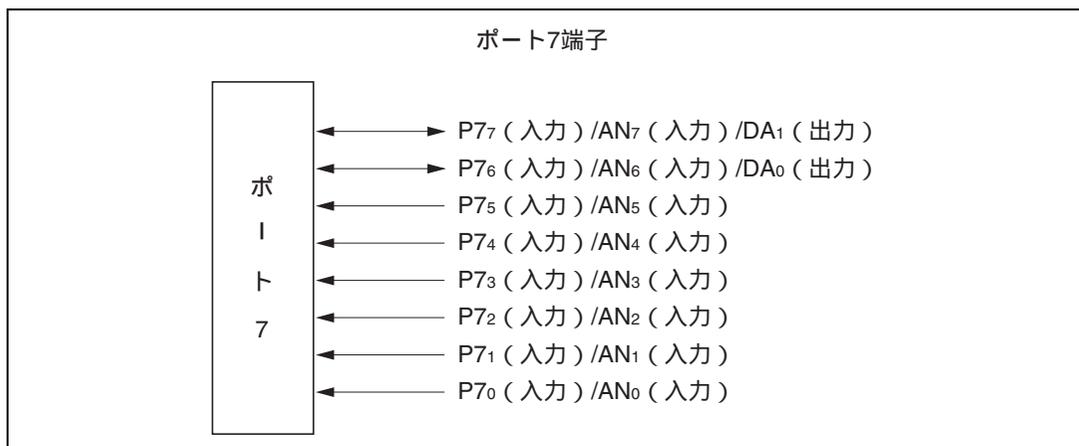


図 8.3 ポート 7 の端子構成

### 8.4.2 レジスタ構成

表 8.6 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 8.6 ポート 7 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFFD6	ポート 7 データレジスタ	P7DR	R	不定

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

#### (1) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	—	*	—	*	—	*	—	*
R/W :	R	R	R	R	R	R	R	R

【注】 \* P7<sub>7</sub>~P7<sub>0</sub>端子により決定されます。

P7DR のリードを行うと、常に端子のロジックレベルが読み出されます。ライトは無効です。

## 8.5 ポート 8

### 8.5.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、 $\overline{CS}_3 \sim \overline{CS}_0$  出力端子、 $\overline{RFSH}$  出力端子、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$  入力端子、A/D 変換器の  $\overline{ADTRG}$  入力端子と兼用になっています。ポート 8 の端子構成を図 8.4 に示します。

端子機能の選択方法については表 8.8 を参照してください。

A/D 変換器の  $\overline{ADTRG}$  入力端子については「第 15 章 A/D 変換器」を参照してください。

$\overline{IRQ}_3 \sim \overline{IRQ}_0$  の機能は入出力にかかわらず IER をセットすることにより選択されますので注意が必要です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

エリア 2～5 に DRAM を接続する場合には、 $\overline{CS}_3$ 、 $\overline{CS}_2$  出力端子が各エリアに対応した  $\overline{RAS}$  の出力端子となります。詳細は「6.5 DRAM インタフェース」を参照してください。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

$P8_2 \sim P8_0$  はシュミットトリガ入力です。

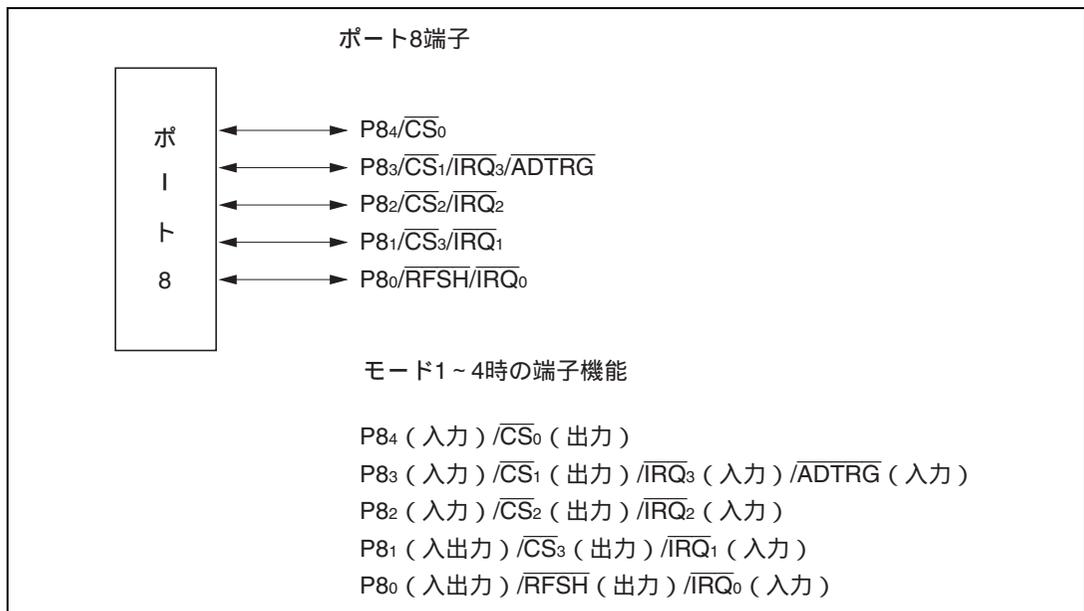


図 8.4 ポート 8 の端子構成

## 8.5.2 レジスタ構成

表 8.7 にポート 8 のレジスタ構成を示します。

表 8.7 ポート 8 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
				モード 1~4
H'EE007	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0
H'FFFD7	ポート 8 データレジスタ	P8DR	R/W	H'E0

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

## (1) ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、8 ビットのライト専用のレジスタで、ポート 8 各端子の入出力をビットごとに指定することができます。

ビット 7~ビット 5 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット :		7	6	5	4	3	2	1	0
		—	—	—	P8 <sub>4</sub> DDR	P8 <sub>3</sub> DDR	P8 <sub>2</sub> DDR	P8 <sub>1</sub> DDR	P8 <sub>0</sub> DDR
モード 1~4	初期値 :	1	1	1	1	0	0	0	0
	R/W :	—	—	—	W	W	W	W	W

リザーブビット
ポート 8 データディレクション 4~0  
ポート 8 の各端子の入出力を選択するビットです。

P8<sub>4</sub>~P8<sub>1</sub> は P8DDR の対応するビットが 1 のとき  $\overline{CS}_0 \sim \overline{CS}_3$  出力端子となり、0 のとき入力ポートとなります。リセット直後は P8<sub>4</sub> のみ  $\overline{CS}_0$  出力となり、他の 3 端子は入力ポートとなります。

DRAM コントロールレジスタ A (DRCRA) のリフレッシュ端子イネーブル (RFSHE) を 1 にセットすると P8<sub>0</sub> は  $\overline{RFSH}$  出力となり、0 にクリアすると入出力ポートとなって P8DDR の設定値に従います。詳細は表 8.8 を参照してください。

P8DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P8DDR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。P8DDR は、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

## (2) ポート 8 データレジスタ (P8DR)

P8DR は、8 ビットのリード/ライト可能なレジスタで、ポート 8 の出力データを格納します。また、このレジスタをリードすると、P8DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P8DR の値が読み出されます。

ビット 7~ビット 5 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P84	P83	P82	P81	P80
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート8データ4 ~0  
ポート8の各端子のデータを格納する  
ビットです。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8. I/O ポート

表 8.8 ポート 8 の端子機能

端子	選択方法と端子機能								
P8 <sub>4</sub> / $\overline{CS}_0$	P8 <sub>4</sub> DDR ビットにより、次のように切り替わります。								
	P8 <sub>4</sub> DDR	0				1			
	端子機能	P8 <sub>4</sub> 入力端子				$\overline{CS}_0$ 出力端子			
P8 <sub>3</sub> / $\overline{CS}_1$ / $\overline{IRQ}_3$ / ADTRG	P8 <sub>3</sub> DDR ビットにより、次のように切り替わります。								
	P8 <sub>3</sub> DDR	0				1			
	端子機能	P8 <sub>3</sub> 入力端子				$\overline{CS}_1$ 出力端子			
		$\overline{IRQ}_3$ 入力端子							
		ADTRG入力端子							
P8 <sub>2</sub> / $\overline{CS}_2$ / $\overline{IRQ}_2$	DRCRA の DRAS2 ~ DRAS0 ビットによる DRAM インタフェースの設定、および P8 <sub>2</sub> DDR ビットにより、次のように切り替わります。								
	DRAM インタフェース の設定	下記 (1)				下記 (2)			
		P8 <sub>2</sub> DDR	0		1		—		
	端子機能	P8 <sub>2</sub> 入力端子		$\overline{CS}_2$ 出力端子		$\overline{CS}_2$ 出力端子*			
		$\overline{IRQ}_2$ 入力端子							
【注】* $\overline{RAS}_2$ として $\overline{CS}_2$ 出力します。									
DRAM インタフェース の設定	(1)	(2)							
	DRAS2	0				1			
	DRAS1	0		1		0		1	
	DRAS0	0	1	0	1	0	1	0	1

端子	選択方法と端子機能								
P8 <sub>1</sub> $\overline{\text{CS}}_3$ /IRQ <sub>1</sub>	DRCRA の DRAS2 ~ DRAS0 ビットによる DRAM インタフェースの設定、および P8 <sub>1</sub> DDR ビットにより、次のように切り替わります。								
	DRAM インタフェース の設定	下表 (1)			下表 (2)			下表 (3)	
	P8 <sub>1</sub> DDR	0	1	0	1	—			
	端子機能	P8 <sub>1</sub> 入力端子	$\overline{\text{CS}}_3$ 出力端子	P8 <sub>1</sub> 入力端子	P8 <sub>1</sub> 出力端子	$\overline{\text{CS}}_3$ 出力端子*			
		IRQ <sub>1</sub> 入力端子							
【注】* $\overline{\text{RAS}}_3$ として $\overline{\text{CS}}_3$ 出力します。									
DRAM インタフェース の設定	(1)	(3)	(2)	(3)	(2)				
DRAS2	0			1					
DRAS1	0	1	0	1	1				
DRAS0	0	1	0	1	0	1	0	1	
P8 <sub>0</sub> /RFSH/ IRQ <sub>0</sub>	DRCRA の RFSHE ビットと P8 <sub>0</sub> DDR ビットの組み合わせにより、次のように切り替わります。エリア 2 ~ 5 を DRAM 空間に設定しない場合は、DRCRA の RFSHE ビットに 1 をセットしないでください。								
	RFSHE	0			1				
	P8 <sub>0</sub> DDR	0	1	—					
	端子機能	P8 <sub>0</sub> 入力端子	P8 <sub>0</sub> 出力端子	RFSH出力端子					
		IRQ <sub>0</sub> 入力端子							

## 8.6 ポート 9

### 8.6.1 概要

ポート 9 は、6 ビットの入出力ポートです。ポート 9 はシリアルコミュニケーションインタフェースチャンネル 0、1 (SCI0、SCI1) の入出力端子 (TxD<sub>0</sub>、TxD<sub>1</sub>、RxD<sub>0</sub>、RxD<sub>1</sub>、SCK<sub>0</sub>、SCK<sub>1</sub>)、 $\overline{IRQ}_5$ 、 $\overline{IRQ}_4$  入力端子と兼用になっています。

端子機能の選択方法については表 8.10 を参照してください。

$\overline{IRQ}_5$  ~  $\overline{IRQ}_4$  の機能は入出力にかかわらず IER をセットすることにより選択されますので注意が必要です。詳細は「5.3.1 外部割り込み」を参照してください。

ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の端子構成を図 8.5 に示します。

ポート 9 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

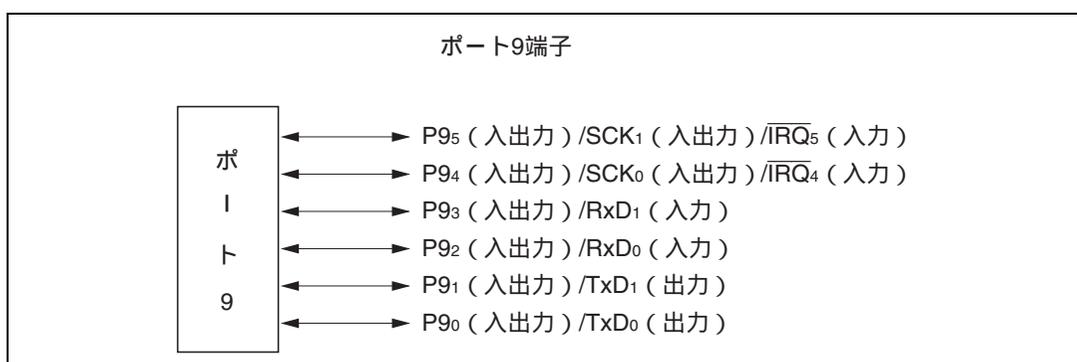


図 8.5 ポート 9 の端子構成

### 8.6.2 レジスタ構成

表 8.9 にポート 9 のレジスタ構成を示します。

表 8.9 ポート 9 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE008	ポート 9 データディレクションレジスタ	P9DDR	W	H'C0
H'FFFD8	ポート 9 データレジスタ	P9DR	R/W	H'C0

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

## (1) ポート9 データディレクションレジスタ (P9DDR)

P9DDR は、8 ビットのライト専用のレジスタで、ポート9 各端子の入出力をビットごとに指定することができます。

ビット7、6 はリザーブビットで1 に固定されています。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 <sub>5</sub> DDR	P9 <sub>4</sub> DDR	P9 <sub>3</sub> DDR	P9 <sub>2</sub> DDR	P9 <sub>1</sub> DDR	P9 <sub>0</sub> DDR
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

リザーブビット
ポート9データディレクション5~0  
ポート9の各端子の入出力を選択するビットです。

P9DDR を1 にセットすると対応するポート9 の各端子は出力となり、0 にクリアすると入力になります。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると1 が読み出されます。

P9DDR は、リセット、またはハードウェアスタンバイモード時に、H'CO に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDR が、1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

## (2) ポート9 データレジスタ (P9DR)

P9DR は、8 ビットのリード/ライト可能なレジスタで、ポート9 の出力データを格納します。また、このレジスタをリードすると、P9DDR が0 のビットは端子のロジックレベルが読み出され、1 のビットはP9DR の値が読み出されます。

ビット7、6 はリザーブビットです。リードすると常に1 が読み出されます。ライトは無効です。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 <sub>5</sub>	P9 <sub>4</sub>	P9 <sub>3</sub>	P9 <sub>2</sub>	P9 <sub>1</sub>	P9 <sub>0</sub>
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポート9データ5~0  
ポート9の各端子のデータを格納するビットです。

P9DR は、リセット、またはハードウェアスタンバイモード時に、H'CO に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8. I/O ポート

表 8.10 ポート 9 の端子機能

端子	選択方法と端子機能					
P9 <sub>5</sub> /SCK <sub>1</sub> / IRQ <sub>5</sub>	SCI1 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビットと P9 <sub>5</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/ $\bar{A}$	0		1	—	
	CKE0	0	1	—	—	
	P9 <sub>5</sub> DDR	0	1	—	—	
	端子機能	P9 <sub>5</sub> 入力端子	P9 <sub>5</sub> 出力端子	SCK <sub>1</sub> 出力端子	SCK <sub>1</sub> 出力端子	SCK <sub>1</sub> 入力端子
IRQ <sub>5</sub> 入力端子						
P9 <sub>4</sub> /SCK <sub>1</sub> / IRQ <sub>4</sub>	SCI0 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビットと P9 <sub>4</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/ $\bar{A}$	0		1	—	
	CKE0	0	1	—	—	
	P9 <sub>4</sub> DDR	0	1	—	—	
	端子機能	P9 <sub>4</sub> 入力端子	P9 <sub>4</sub> 出力端子	SCK <sub>0</sub> 出力端子	SCK <sub>0</sub> 出力端子	SCK <sub>0</sub> 入力端子
IRQ <sub>4</sub> 入力端子						
P9 <sub>3</sub> /RxD <sub>1</sub>	SCI1 の SCR の RE ビットと SCMR の SMIF ビットと P9 <sub>3</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0			1	
	RE	0	1	—	—	
	P9 <sub>3</sub> DDR	0	1	—	—	
	端子機能	P9 <sub>3</sub> 入力端子	P9 <sub>3</sub> 出力端子	RxD <sub>1</sub> 入力端子	RxD <sub>1</sub> 入力端子	
P9 <sub>2</sub> /RxD <sub>0</sub>	SCI0 の SCR の RE ビットと SCMR の SMIF ビット、および P9 <sub>2</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	SMIF	0			1	
	RE	0	1	—	—	
	P9 <sub>2</sub> DDR	0	1	—	—	
	端子機能	P9 <sub>2</sub> 入力端子	P9 <sub>2</sub> 出力端子	RxD <sub>0</sub> 入力端子	RxD <sub>0</sub> 入力端子	

端子	選択方法と端子機能			
P9 <sub>i</sub> /TxD <sub>i</sub>	SCI1 の SCR の TE ビットと、SCMR の SMIF ビット、および P9 <sub>i</sub> DDR ビットの組み合わせにより、次のように切り替わります。			
	SMIF	0		1
	TE	0		1 —
	P9 <sub>i</sub> DDR	0	1	— —
	端子機能	P9 <sub>i</sub> 入力端子	P9 <sub>i</sub> 出力端子	TxD <sub>i</sub> 出力端子 TxD <sub>i</sub> 出力端子*
【注】* TxD <sub>i</sub> 出力端子として機能します。ただしハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。				
P9 <sub>0</sub> /TxD <sub>0</sub>	SCI0 の SCR の TE ビット、SCMR の SMIF ビット、および P9 <sub>0</sub> DDR ビットの組み合わせにより、次のように切り替わります。			
	SMIF	0		1
	TE	0		1 —
	P9 <sub>0</sub> DDR	0	1	— —
	端子機能	P9 <sub>0</sub> 入力端子	P9 <sub>0</sub> 出力端子	TxD <sub>0</sub> 出力端子 TxD <sub>0</sub> 出力端子*
【注】* TxD <sub>0</sub> 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。				

### 8.7 ポート A

#### 8.7.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A はプログラマブルタイミングパターンコントローラ (TPC) の出力端子 ( $TP_7 \sim TP_0$ )、16 ビットタイマの入出力端子 ( $TIOCB_2$ 、 $TIOCA_2$ 、 $TIOCB_1$ 、 $TIOCA_1$ 、 $TIOCB_0$ 、 $TIOCA_0$ 、 $TCLKD$ 、 $TCLKC$ 、 $TCLKB$ 、 $TCLKA$ )、8 ビットタイマのクロック入力端子 ( $TCLKD$ 、 $TCLKC$ 、 $TCLKB$ 、 $TCLKA$ )、DMA コントローラ (DMAC) の出力端子 ( $\overline{TEND}_1$ 、 $\overline{TEND}_0$ )、アドレスバス ( $A_{23} \sim A_{20}$ ) と兼用になっています。ポート A は、動作モード 3、4 で  $A_{20}$  が強制的に出力となることを除き、リセットおよびハードウェアスタンバイモードで入力ポートとなっています。端子機能の選択方法については表 8.12 ~ 表 8.14 を参照してください。TPC、16 ビットタイマ、8 ビットタイマ、DMAC の入出力端子として使用する端子については、それぞれのモジュールの説明を参照してください。モード 3、4 で  $A_{23} \sim A_{21}$  を出力する場合は、「6.2.4 バスリリースコントロールレジスタ (BRCR)」を参照してください。これらいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート A の端子構成を図 8.6 に示します。

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポート A は、シュミットトリガ入力です。

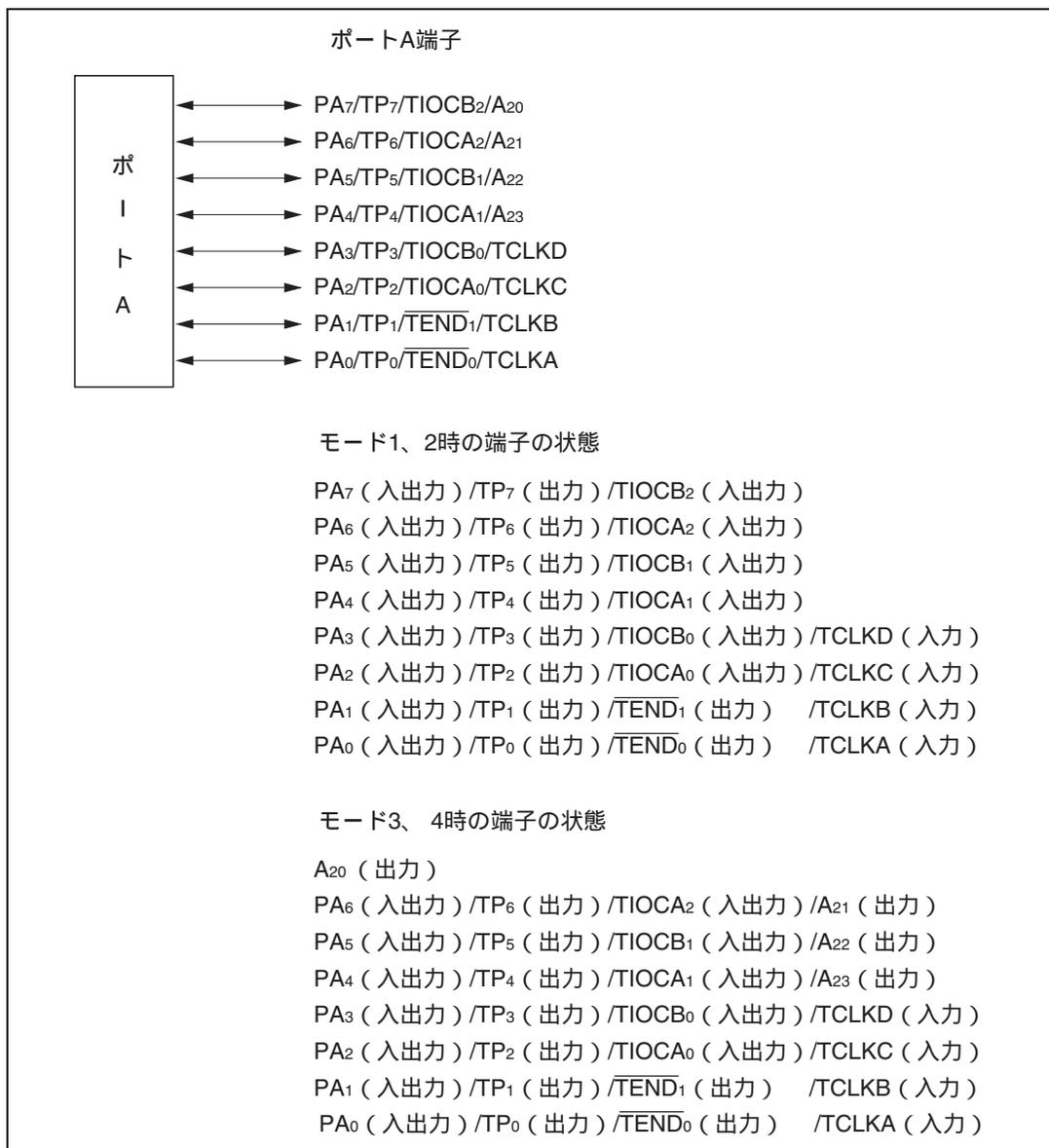


図 8.6 ポート A の端子構成

## 8.7.2 レジスタ構成

表 8.11 にポート A のレジスタ構成を示します。

表 8.11 ポート A レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
				モード 1、2	モード 3、4
H'EE009	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFFD9	ポート A データレジスタ	PADR	R/W	H'00	

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

## (1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

ビット:		7	6	5	4	3	2	1	0
		PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
モード3、4	初期値:	1	0	0	0	0	0	0	0
	R/W :	—	W	W	W	W	W	W	W
モード1、2	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

PADDR を 1 にセットすると対応するポート A の各端子は出力となり、0 にクリアすると入力になります。ただし、モード 3、4 では PA<sub>7</sub>DDR は 1 に固定され、PA<sub>7</sub> はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2 では H'00 に、モード 3、4 では H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が 1 にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

## (2) ポート A データレジスタ (PADR)

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の出力データを格納します。また、このレジスタをリードすると、PADDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PADR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

ポートAデータ7~0  
ポートAの各端子のデータを格納するビットです。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8. I/O ポート

表 8.12 ポート A (モード 1、2) の端子機能

端子	選択方法と端子機能					
PA <sub>7</sub> /TP <sub>7</sub> / TIOCB <sub>2</sub>	TMDR の PWM2 ビット、TIOB2 の IOB2 ~ IOB0 ビット、NDERA の NDER7 ビットと PA <sub>7</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	16ビットタイマ チャンネル2の設定	下表 (1)	下表 (2)			
	PA <sub>7</sub> DDR	—	0	1	1	
	NDER7	—	—	0	1	
	端子機能	TIOCB <sub>2</sub> 出力端子	PA <sub>7</sub> 入力端子	PA <sub>7</sub> 出力端子	TP <sub>7</sub> 出力端子	
			TIOCB <sub>2</sub> 入力端子*			
	【注】* IOB2 = 1、かつ PWM2 = 0 のとき、TIOCB <sub>2</sub> 入力端子となります。					
	16ビットタイマ チャンネル2の設定	(2)	(1)		(2)	
	IOB2	0			1	
	IOB1	0	0	1	—	
IOB0	0	1	—	—		
PA <sub>6</sub> /TP <sub>6</sub> / TIOCA <sub>2</sub>	TMDR の PWM2 ビット、TIOB2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビットと PA <sub>6</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	16ビットタイマ チャンネル2の設定	下表 (1)	下表 (2)			
	PA <sub>6</sub> DDR	—	0	1	1	
	NDER6	—	—	0	1	
	端子機能	TIOCA <sub>2</sub> 出力端子	PA <sub>6</sub> 入力端子	PA <sub>6</sub> 出力端子	TP <sub>6</sub> 出力端子	
			TIOCA <sub>2</sub> 入力端子*			
	【注】* IOA2 = 1 のとき、TIOCA <sub>2</sub> 入力端子となります。					
	16ビットタイマ チャンネル2の設定	(2)	(1)		(2)	(1)
	PWM2	0			1	
	IOA2	0		1	—	
IOA1	0	0	1	—	—	
IOA0	0	1	—	—	—	

端子	選択方法と端子機能					
PA <sub>5</sub> /TP <sub>5</sub> / TIOCB <sub>1</sub>	TMDR の PWM1 ビット、TIOB1 の IOB2 ~ IOB0 ビット、NDERA の NDER5 ビットと PA <sub>5</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	16ビットタイマ チャンネル1の設定	下表(1)	下表(2)			
	PA <sub>5</sub> DDR	—	0	1	1	
	NDER5	—	—	0	1	
	端子機能	TIOCB <sub>1</sub> 出力端子	PA <sub>5</sub> 入力端子	PA <sub>5</sub> 出力端子	TP <sub>5</sub> 出力端子	
			TIOCB <sub>1</sub> 入力端子*			
	【注】* IOB2=1、かつ PWM1=0 のとき、TIOCB <sub>1</sub> 入力端子となります。					
	16ビットタイマ チャンネル1の設定	(2)	(1)		(2)	
	IOB2	0			1	
	IOB1	0	0	1	—	
IOB0	0	1	—	—		
PA <sub>4</sub> /TP <sub>4</sub> / TIOCA <sub>1</sub>	TMDR の PWM1 ビット、TIOB1 の IOA2 ~ IOA0 ビット、NDERA の NDER4 ビットと PA <sub>4</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	16ビットタイマ チャンネル1の設定	下表(1)	下表(2)			
	PA <sub>4</sub> DDR	—	0	1	1	
	NDER4	—	—	0	1	
	端子機能	TIOCA <sub>1</sub> 出力端子	PA <sub>4</sub> 入力端子	PA <sub>4</sub> 出力端子	TP <sub>4</sub> 出力端子	
			TIOCA <sub>1</sub> 入力端子*			
	【注】* IOA2=1 のとき、TIOCA <sub>1</sub> 入力端子となります。					
	16ビットタイマ チャンネル1の設定	(2)	(1)		(2)	(1)
	PWM1	0			1	
	IOA2	0		1	—	
IOA1	0	0	1	—	—	
IOA0	0	1	—	—	—	

8. I/O ポート

表 8.13 ポート A (モード 3、4) の端子機能

端子	選択方法と端子機能				
PA <sub>7</sub> /TP <sub>7</sub> / TIOCB <sub>2</sub> /A <sub>20</sub>	A <sub>20</sub> が強制的に出力されます。				
	端子機能	A <sub>20</sub> 出力端子			
PA <sub>6</sub> /TP <sub>6</sub> / TIOCA <sub>2</sub> /A <sub>21</sub>	TMDR の PWM2 ビット、TIOA2 の IOA2 ~ IOA0 ビット、NDERA の NDER6 ビット、BRCR の A21E ビットと PA <sub>6</sub> DDR ビットの組み合わせにより、次のように切り替わります。				
	A21E	1			0
16ビットタイマ チャンネル2の設定	下表(1)	下表(2)			—
PA <sub>6</sub> DDR	—	0	1	1	—
NDER6	—	—	0	1	—
端子機能	TIOCA <sub>2</sub> 出力端子	PA <sub>6</sub> 入力端子	PA <sub>6</sub> 出力端子	TP <sub>6</sub> 出力端子	A <sub>21</sub> 出力端子
		TIOCA <sub>2</sub> 入力端子*			
【注】* IOA2=1 のとき、TIOCA <sub>2</sub> 入力端子となります。					
16ビットタイマ チャンネル2の設定	(2)	(1)		(2)	(1)
PWM2	0				1
IOA2	0			1	—
IOA1	0	0	1	—	—
IOA0	0	1	—	—	—

端子	選択方法と端子機能					
PA <sub>5</sub> /TP <sub>5</sub> / TIOCB <sub>1</sub> /A <sub>22</sub>	TMDRのPWM1ビット、TIOB1のIOB2~IOB0ビット、NDERAのNDER5ビット、BR CRのA22EビットとPA <sub>5</sub> DDRビットの組み合わせにより、次のように切り替わります。					
	A22E	1			0	
	16ビットタイマ チャンネル1の設定	下表(1)	下表(2)			—
	PA <sub>5</sub> DDR	—	0	1	1	—
	NDER5	—	—	0	1	—
	端子機能	TIOCB <sub>1</sub> 出力端子	PA <sub>5</sub> 入力端子	PA <sub>5</sub> 出力端子	TP <sub>5</sub> 出力端子	A <sub>22</sub> 出力端子
			TIOCB <sub>1</sub> 入力端子*			
	【注】* IOB2=1、かつPWM1=0のとき、TIOCB <sub>1</sub> 入力端子となります。					
	16ビットタイマ チャンネル1の設定	(2)	(1)		(2)	
	IOB2	0			1	
IOB1	0	0	1	—		
IOB0	0	1	—	—		
PA <sub>4</sub> /TP <sub>4</sub> / TIOCA <sub>1</sub> /A <sub>23</sub>	TMDRのPWM1ビット、TIOB1のIOA2~IOA0ビット、NDERAのNDER4ビット、BR CRのA23EビットとPA <sub>4</sub> DDRビットの組み合わせにより、次のように切り替わります。					
	A23E	1			0	
	16ビットタイマ チャンネル1の設定	下表(1)	下表(2)			—
	PA <sub>4</sub> DDR	—	0	1	1	—
	NDER4	—	—	0	1	—
	端子機能	TIOCA <sub>1</sub> 出力端子	PA <sub>4</sub> 入力端子	PA <sub>4</sub> 出力端子	TP <sub>4</sub> 出力端子	A <sub>23</sub> 出力端子
			TIOCA <sub>1</sub> 入力端子*			
	【注】* IOA2=1のとき、TIOCA <sub>1</sub> 入力端子となります。					
	16ビットタイマ チャンネル1の設定	(2)	(1)		(2)	(1)
	PWM1	0			1	
IOA2	0			1	—	
IOA1	0	0	1	—	—	
IOA0	0	1	—	—	—	

8. I/O ポート

表 8.14 ポート A (モード 1~4) の端子機能

端子	選択方法と端子機能			
PA <sub>3</sub> /TP <sub>3</sub> / TIOCB <sub>0</sub> / TCLKD	TMDR の PWM0 ビット、TIOR0 の IOB2~IOB0 ビット、16 ビットタイマの 16TCR2~16TCR0 の TPSC2~TPSC0 ビット、8 ビットタイマの 8TCR2 の CKS2~CKS0 ビット、NDERA の NDER3 ビットと PA <sub>3</sub> DDR ビットの組み合わせにより、次のように切り替わります。			
16ビットタイマ チャンネル0の設定	下表 (1)	下表 (2)		
PA <sub>3</sub> DDR	—	0	1	1
NDER3	—	—	0	1
端子機能 出力端子	TIOCB <sub>0</sub>	PA <sub>3</sub> 入力端子	PA <sub>3</sub> 出力端子	TP <sub>3</sub> 出力端子
		TIOCB <sub>0</sub> 入力端子*1		
	TCLKD入力端子*2			
【注】*1 IOB2=1、かつ PWM0=0 のとき、TIOCB <sub>0</sub> 入力端子となります。 *2 16TCR2~16TCR0 のいずれかの設定が TPSC2 = TPSC1 = TPSC0 = 1 または、8TCR2 の CKS2~CKS0 ビットが下表 (3) のとき TCLKD 入力端子となります。				
16ビットタイマ チャンネル0の設定	(2)	(1)	(2)	
IOB2	0			1
IOB1	0	0	1	—
IOB0	0	1	—	—
8ビットタイマ チャンネル0の設定	(4)		(3)	
CKS2	0	1		
CKS1	—	0		1
CKS0	—	0	1	—

端子	選択方法と端子機能				
PA <sub>2</sub> /TP <sub>2</sub> / TIOCA <sub>2</sub> / TCLKC	TMDR の PWM0 ビット、TIOR0 の IOA2 ~ IOA0 ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR0 の CKS2 ~ CKS0 ビット、NDERA の NDER2 ビットと PA <sub>2</sub> DDR ビットの組み合わせにより、次のように切り替わります。				
16ビットタイマ チャンネル0の設定	下表(1)	下表(2)			
PA <sub>2</sub> DDR	—	0	1	1	
NDER2	—	—	0	1	
端子機能 出力端子	TIOCA <sub>0</sub>	PA <sub>2</sub> 入力端子	PA <sub>2</sub> 出力端子	TP <sub>2</sub> 出力端子	
		TIOCA <sub>0</sub> 入力端子*1			
	TCLKC入力端子*2				
【注】*1 IOA2=1 のとき、TIOCA <sub>0</sub> 入力端子となります。 *2 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = TPSC1 = 1、TPSC0 = 0、または、8TCR0 の CKS2 ~ CKS0 ビットが下表(3) のとき TCLKC 入力端子となります。					
16ビットタイマ チャンネル0の設定	(2)	(1)		(2)	(1)
PWM0	0				1
IOA2	0		1	—	
IOA1	0	0	1	—	—
IOA0	0	1	—	—	—
8ビットタイマ チャンネル0の設定	(4)		(3)		
CKS2	0	1			
CKS1	—	0			1
CKS0	—	0	1	—	

## 8. I/O ポート

端子	選択方法と端子機能			
PA <sub>i</sub> /TP <sub>i</sub> / TCLKB/ $\overline{\text{TEND}}_i$	TMDR の MDF ビット、16 ビットタイマの 16TCR2 ~ 16TCR0 の TPSC2 ~ TPSC0 ビット、8 ビットタイマの 8TCR3 の CKS2 ~ CKS0 ビット、NDERA の NDER1 ビットと PA <sub>i</sub> DDR ビットの組み合わせにより、次のように切り替わります。			
	PA <sub>i</sub> DDR	0	1	1
	NDER1	—	0	1
端子機能	PA <sub>i</sub> 入力端子	PA <sub>i</sub> 出力端子		TP <sub>i</sub> 出力端子
	TCLKB入力端子*1			
	$\overline{\text{TEND}}_i$ 出力端子*2			
<p>【注】*1 TMDR の MDF = 1、または 16TCR2 ~ 16TCR0 のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 1、または、8TCR3 の CKS2 ~ CKS0 ビットが下表 (1) のとき TCLKB 入力端子となります。</p> <p>*2 DMAC の起動要因として外部リクエストを指定した場合は、PA<sub>i</sub>DDR ビット、NDER1 ビットとは無関係に <math>\overline{\text{TEND}}_i</math> 出力端子となります。</p>				
8ビットタイマ チャンネル3の設定	(2)		(1)	
CKS2	0	1		
CKS1	—	0		1
CKS0	—	0	1	—

端子	選択方法と端子機能			
PA <sub>0</sub> /TP <sub>0</sub> / TCLKA/ TEND <sub>0</sub>	TMDRのMDFビット、16ビットタイマの16TCR2~16TCR0のTPSC2~TPSC0ビット、8ビットタイマの8TCR1のCKS2~CKS0ビット、NDERAのNDER0ビットとPA <sub>0</sub> DDRビットの組合わせにより、次のように切り替わります。			
	PA <sub>0</sub> DDR	0	1	1
	NDER0	—	0	1
	端子機能	PA <sub>0</sub> 入力端子	PA <sub>0</sub> 出力端子	TP <sub>0</sub> 出力端子
		TCLKA入力端子*1		
		TEND <sub>0</sub> 出力端子*2		
	【注】*1 TMDRのMDF=1、または16TCR2~16TCR0のいずれかの設定がTPSC2=1、TPSC1=0、TPSC0=0または、8TCR0のCKS2~CKS0ビットが下表(1)のときTCLKA入力端子となります。			
	*2 DMACの起動要因として外部リクエストを指定した場合は、PA <sub>0</sub> DDRビット、NDER0ビットとは無関係にTEND <sub>0</sub> 出力端子となります。			
	8ビットタイマ チャンネル1の設定	(2)		(1)
	CKS2	0	1	
	CKS1	—	0	1
	CKS0	—	0	1
				—

## 8.8 ポート B

### 8.8.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B はプログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP<sub>15</sub> ~ TP<sub>8</sub>)、8 ビットタイマの入出力端子 (TMIO<sub>3</sub>、TMO<sub>2</sub>、TMIO<sub>1</sub>、TMO<sub>0</sub>)、 $\overline{CS}_7$  ~  $\overline{CS}_4$  出力端子、DMA コントローラ (DMAC) の入力端子 ( $\overline{DREQ}_1$ 、 $\overline{DREQ}_0$ )、シリアルコミュニケーションインタフェースチャネル 2 (SCI2) の入出力端子 (TxD<sub>2</sub>、RxD<sub>2</sub>、SCK<sub>2</sub>)、DRAM インタフェースの出力端子 ( $\overline{UCAS}$ 、 $\overline{LCAS}$ ) と兼用になっています。端子機能の選択方法については表 8.16 を参照してください。ポート B はリセットおよびハードウェアスタンバイモードで入力ポートになっています。モード 1~4 で  $\overline{CS}_7$  ~  $\overline{CS}_4$  を出力する場合は、「6.3.4 チップセレクト信号」を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。

エリア 2~5 に DRAM を接続する場合には、 $\overline{CS}_4$ 、 $\overline{CS}_5$  出力端子が各エリアに対応した  $\overline{RAS}$  の出力端子となります。詳細は「6.5 DRAM インタフェース」を参照してください。ポート B の端子構成を図 8.7 に示します。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

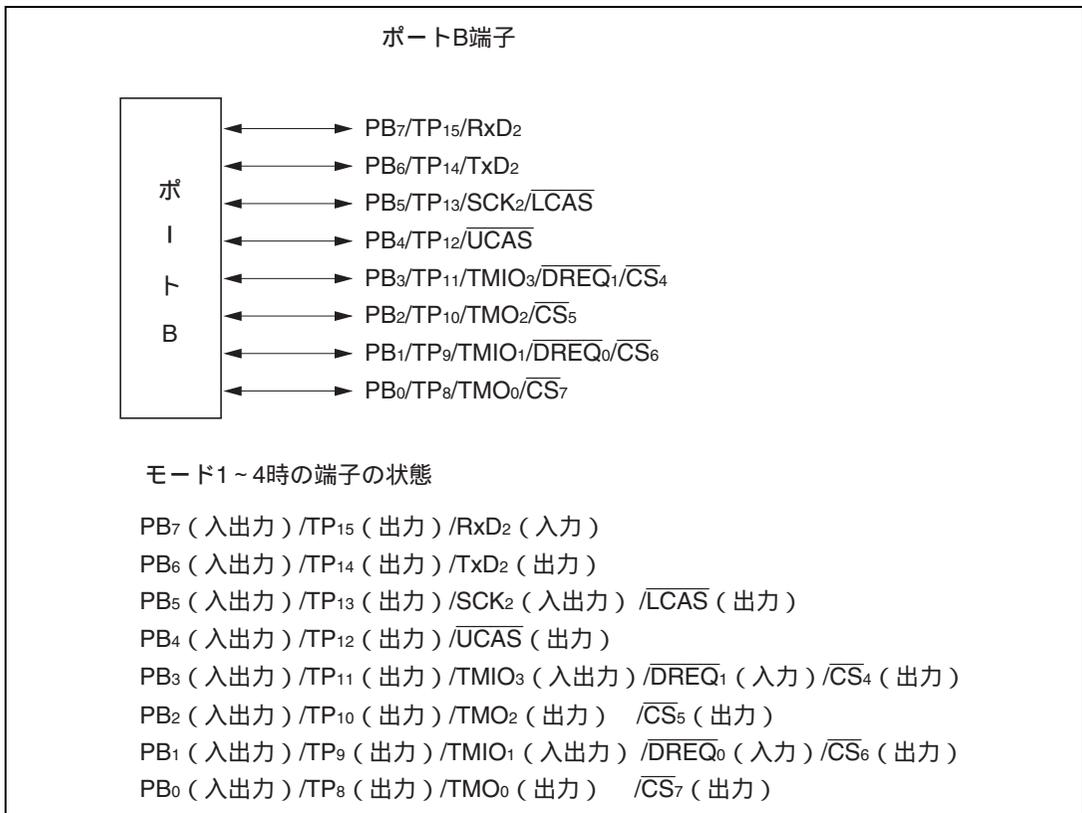


図 8.7 ポート B の端子構成

## 8.8.2 レジスタ構成

表 8.15 にポート B のレジスタ構成を示します。

表 8.15 ポート B レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE00A	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFFDA	ポート B データレジスタ	PBDR	R/W	H'00

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

### (1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PBDDR の対応するビットをセットしてください。

ビット :	7	6	5	4	3	2	1	0
	PB <sub>7</sub> DDR	PB <sub>6</sub> DDR	PB <sub>5</sub> DDR	PB <sub>4</sub> DDR	PB <sub>3</sub> DDR	PB <sub>2</sub> DDR	PB <sub>1</sub> DDR	PB <sub>0</sub> DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート B データディレクション 7~0

ポート B の各端子の入出力を選択するビットです。

PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

## 8. I/O ポート

---

### (2) ポート B データレジスタ (PBDR)

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の出力データを格納します。また、このレジスタをリードすると、PBDDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PBDR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

ポートBデータ7~0

ポートBの各端子のデータを格納するビットです。

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 8.16 ポート B の端子機能

端子	選択方法と端子機能						
PB <sub>7</sub> /TP <sub>15</sub> /RxD <sub>2</sub>	SCI2 の SCR の RE ビット、SCMR の SMIF ビット、NDERB の NDER15 ビットと PB <sub>7</sub> DDR ビットの組み合わせにより、次のように切り替わります。						
	SMIF	0				1	
	RE	0			1	—	
	PB <sub>7</sub> DDR	0	1	1	—	—	
	NDER15	—	0	1	—	—	
	端子機能	PB <sub>7</sub> 入力端子	PB <sub>7</sub> 出力端子	TP <sub>15</sub> 出力端子	RxD <sub>2</sub> 入力端子	RxD <sub>2</sub> 入力端子	
PB <sub>6</sub> /TP <sub>14</sub> /TxD <sub>2</sub>	SCI2 の SCR の TE ビット、SCMR の SMIF ビット、NDERB の NDER14 ビットと PB <sub>6</sub> DDR ビットの組み合わせにより、次のように切り替わります。						
	SMIF	0				1	
	TE	0			1	—	
	PB <sub>6</sub> DDR	0	1	1	—	—	
	NDER14	—	0	1	—	—	
	端子機能	PB <sub>6</sub> 入力端子	PB <sub>6</sub> 出力端子	TP <sub>14</sub> 出力端子	TxD <sub>2</sub> 出力端子	TxD <sub>2</sub> 出力端子*	
【注】* TxD <sub>2</sub> 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の 2 種類の状態があります。							
PB <sub>5</sub> /TP <sub>13</sub> /SCK <sub>2</sub> /LCAS	SCI2 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビット、NDERB の NDER13 ビットと PB <sub>5</sub> DDR ビットの組み合わせにより、次のように切り替わります。						
	CKE1	0				1	
	C/ $\bar{A}$	0			1	—	
	CKE0	0		1	—	—	
	PB <sub>5</sub> DDR	0	1	1	—	—	
	NDER13	—	0	1	—	—	
端子機能	PB <sub>5</sub> 入力端子	PB <sub>5</sub> 出力端子	TP <sub>13</sub> 出力端子	SCK <sub>2</sub> 出力端子	SCK <sub>2</sub> 出力端子	SCK <sub>2</sub> 入力端子	
LCAS出力端子*							
【注】* DRCRA の DRAS2 ~ DRAS0 ビットと DRCRB の CSEL ビットに依存し、C/ $\bar{A}$ ビット、CKE0、CKE1 ビット、NDER13 ビット、PB <sub>5</sub> DDR ビットとは無関係に LCAS 出力となります。詳細は「第 6 章 バスコントローラ」を参照してください。							

## 8. I/O ポート

端子	選択方法と端子機能							
PB <sub>4</sub> /TP <sub>12</sub> /UCAS	NDERB の NDER12 ビットと PB <sub>4</sub> DDR ビットの組み合わせにより、次のように切り替わります。							
	PB <sub>4</sub> DDR	0		1		1		
	NDER12	—		0		1		
	端子機能	PB <sub>4</sub> 入力端子		PB <sub>4</sub> 出力端子		TP <sub>12</sub> 出力端子		
	UCAS出力端子*							
	【注】* DRCRA の DRAS2 ~ DRAS0 ビットと DRCRB の CSEL ビットに依存し、NDER12 ビット、PB <sub>4</sub> DDR ビットとは無関係に UCAS 出力となります。詳細は「第 6 章 バスコントローラ」を参照してください。							
PB <sub>3</sub> /TP <sub>11</sub> / TMIO <sub>3</sub> /DREQ <sub>1</sub> / CS <sub>4</sub>	DRCRA の DRAS2 ~ DRAS0 ビットによる DRAM インタフェースの設定、8TCSR3 の OIS3、OIS2、OS1、OS0 ビット、8TCR3 の CCLR1、CCLR0 ビット、CSCR の CS4E ビット、NDERB の NDER11 ビットと PB <sub>3</sub> DDR ビットの組み合わせにより、次のように切り替わります。							
	DRAM インタフェース の設定	下表 (1)					下表 (2)	
	OIS3、OIS2、 OS1、OS0	すべてが0				いずれか が1	—	
	CS4E	0		1		—	—	
	PB <sub>3</sub> DDR	0	1	1	—	—	—	
	NDER11	—	0	1	—	—	—	
	端子機能	PB <sub>3</sub>	PB <sub>3</sub>	TP <sub>11</sub>	CS <sub>4</sub>	TMIO <sub>3</sub>	CS <sub>4</sub>	
		入力端子	出力端子	出力端子	出力端子	出力端子	出力端子*3	
		TMIO <sub>3</sub> 入力端子*1						
	DREQ <sub>1</sub> 入力端子*2							
	【注】*1 CCLR1、CCLR0 = 1 のとき、TMIO <sub>3</sub> 入力端子となります。							
	*2 DMAC の起動要因として外部リクエストを指定した場合は、OIS3、OIS2 ビット、OS1、OS0 ビット、CCLR1、CCLR0 ビット、CS4E ビット、NDER11 ビット、PB <sub>3</sub> DDR ビットとは無関係に DREQ <sub>1</sub> 入力端子となります。							
	*3 RAS <sub>4</sub> として CS <sub>4</sub> 出力します。							
DRAM インタフェース の設定	(1)				(2)		(1)	
DRAS2	0				1			
DRAS1	0		1		0		1	
DRAS0	0	1	0	1	0	1	0	1

端子	選択方法と端子機能							
PB <sub>2</sub> /TP <sub>10</sub> /TMO <sub>2</sub> / CS <sub>5</sub>	DRCRA の DRAS2 ~ DRAS0 ビットによる DRAM インタフェースの設定、8TCSR2 の OIS3、OIS2、OS1、OS0 ビット、CSCR の CS5E ビット、NDERB の NDER10 ビットと PB <sub>2</sub> DDR ビットの組み合わせにより、次のように切り替わります。							
	DRAM インタフェース の設定	下表 (1)					下表 (2)	
	OIS3、OIS2、 OS1、OS0	すべてが0				いずれか が1	—	
	CS5E	0			1	—	—	
	PB <sub>2</sub> DDR	0	1	1	—	—	—	
	NDER10	—	0	1	—	—	—	
	端子機能	PB <sub>2</sub> 入力端子	PB <sub>2</sub> 出力端子	TP <sub>10</sub> 出力端子	CS <sub>5</sub> 出力端子	TMO <sub>2</sub> 出力端子	CS <sub>5</sub> 出力端子*	
【注】* RAS <sub>5</sub> として CS <sub>5</sub> 出力します。								
DRAM インタフェース の設定	(1)				(2)	(1)		
DRAS2	0			1				
DRAS1	0		1		0		1	
DRAS0	0	1	0	1	0	1	0 1	

## 8. I/O ポート

端子	選択方法と端子機能					
PB <sub>1</sub> /TP <sub>9</sub> /TMIO <sub>1</sub> / DREQ <sub>0</sub> /CS <sub>6</sub>	8TCRSR1 の OIS3、OIS2、OS1、OS0 ビット、8TCR0 の CCLR1、CCLR0 ビット、CSCR の CS6E ビット、NDERB の NDER9 ビットと PB <sub>1</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3、OIS2、 OS1、OS0	すべてが0			いずれかが1	
	CS6E	0		1	—	
	PB <sub>1</sub> DDR	0	1	1	—	—
	NDER9	—	0	1	—	—
	端子機能	PB <sub>1</sub> 入力端子	PB <sub>1</sub> 出力端子	TP <sub>9</sub> 出力端子	CS <sub>6</sub> 出力端子	TMIO <sub>1</sub> 出力端子
		TMIO <sub>1</sub> 入力端子*1				
DREQ <sub>0</sub> 入力端子*2						
<p>【注】*1 CCLR1、CCLR0 = 1 のとき、TMIO<sub>1</sub>入力端子となります。</p> <p>*2 DMAC 起動要因を外部リクエストに指定した場合は、OIS3、OIS2、OS1、OS0 ビット、CCLR1、CCLR0 ビット、CS6E ビット、NDER9 ビット、PB<sub>1</sub>DDR ビットとは無関係に DREQ<sub>0</sub>入力端子となります。</p>						
PB <sub>0</sub> /TP <sub>8</sub> /TMO <sub>0</sub> / CS <sub>7</sub>	8TCRSR0 の OIS3、OIS2、OS1、OS0 ビット、CSCR の CS7E ビット、NDERB の NDER8 ビットと PB <sub>0</sub> DDR ビットの組み合わせにより、次のように切り替わります。					
	OIS3、OIS2、 OS1、OS0	すべてが0			いずれかが1	
	CS7E	0		1	—	
	PB <sub>0</sub> DDR	0	1	1	—	—
	NDER8	—	0	1	—	—
	端子機能	PB <sub>0</sub> 入力端子	PB <sub>0</sub> 出力端子	TP <sub>8</sub> 出力端子	CS <sub>7</sub> 出力端子	TMO <sub>0</sub> 出力端子

---

## 9. 16 ビットタイマ

---

### 9.1 概要

本 LSI は、3 チャネルの 16 ビットカウンタにより構成される 16 ビットタイマを内蔵しています。

#### 9.1.1 特長

16 ビットタイマの特長を以下に示します。

最大 6 種類のパルス出力、または最大 6 種類のパルス入力処理が可能

各チャネル 2 本、合計 6 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立にアウトプットコンペアマッチ/インプットキャプチャの機能設定が可能

各チャネルとも 8 種類のカウント入力クロックを選択可能

内部クロック :  $\phi$ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$

外部クロック : TCLKA、TCLKB、TCLKC、TCLKD

各チャネルとも次の動作モードを設定可能

- コンペアマッチによる波形出力 : 0 出力 / 1 出力 / トグル出力が選択可能  
(チャネル 2 は 0 出力 / 1 出力が可能)
- インプットキャプチャ機能 : 立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が選択可能
- カウンタクリア機能 : コンペアマッチ / インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (16TCNT) への同時書き込みが可能  
コンペアマッチ / インプットキャプチャによる同時クリアが可能  
カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能  
同期動作と組み合わせることにより、最大 3 相の PWM 出力が可能

チャネル 2 は位相計数モードを設定可能

2 相エンコーダのカウント数の自動計測が可能

内部 16 ビットバスによる高速アクセス

16TCNT、GR の 16 ビットレジスタに対して、16 ビットバスによる高速アクセスが可能

タイマ出力初期値を任意に設定可能

9 種類の割り込み要因

各チャネルともコンペアマッチ / インプットキャプチャ兼用割り込み  $\times 2$  要因、オーバフロー割り込み  $\times 1$  要因があり、それぞれ独立に要求可能

プログラマブルパターンコントローラ (TPC) の出力トリガが生成可能

チャネル 0~2 のコンペアマッチ / インプットキャプチャ信号を TPC の出力トリガとして使用可能

## 9. 16ビットタイマ

16ビットタイマの機能一覧を表9.1に示します。

表9.1 16ビットタイマの機能一覧

項目	チャンネル0	チャンネル1	チャンネル2
カウントクロック	内部クロック： $\phi$ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック：TCLKA、TCLKB、TCLKC、TCLKD から独立に選択可能		
ジェネラルレジスタ (アウトプットコンペア/インプットキャ プチャ兼用レジスタ)	GRA0、GRB0	GRA1、GRB1	GRA2、GRB2
入出力端子	TIOCA <sub>0</sub> 、TIOCB <sub>0</sub>	TIOCA <sub>1</sub> 、TIOCB <sub>1</sub>	TIOCA <sub>2</sub> 、TIOCB <sub>2</sub>
カウンタクリア機能	GRA0/GRB0のコンペ アマッチまたはインプ ットキャプチャ	GRA1/GRB1のコンペ アマッチまたはインプ ットキャプチャ	GRA2/GRB2のコンペ アマッチまたはインプ ットキャプチャ
出力初期値設定機能			
コンペアマッチ出力	0出力		
	1出力		
	トグル出力		
インプットキャプチャ機能			
同期動作			
PWM モード			
位相計数モード			
割り込み要因	3 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ/イン プットキャプチャ A0</li> <li>• コンペアマッチ/イン プットキャプチャ B0</li> <li>• オーバフロー</li> </ul>	3 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ/イン プットキャプチャ A1</li> <li>• コンペアマッチ/イン プットキャプチャ B1</li> <li>• オーバフロー</li> </ul>	3 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ/イン プットキャプチャ A2</li> <li>• コンペアマッチ/イン プットキャプチャ B2</li> <li>• オーバフロー</li> </ul>

【記号説明】

- : 可能
- : 不可

## 9.1.2 ブロック図

### (1) 16ビットタイマのブロック図(全体図)

16ビットタイマのブロック図(全体図)を図9.1に示します。

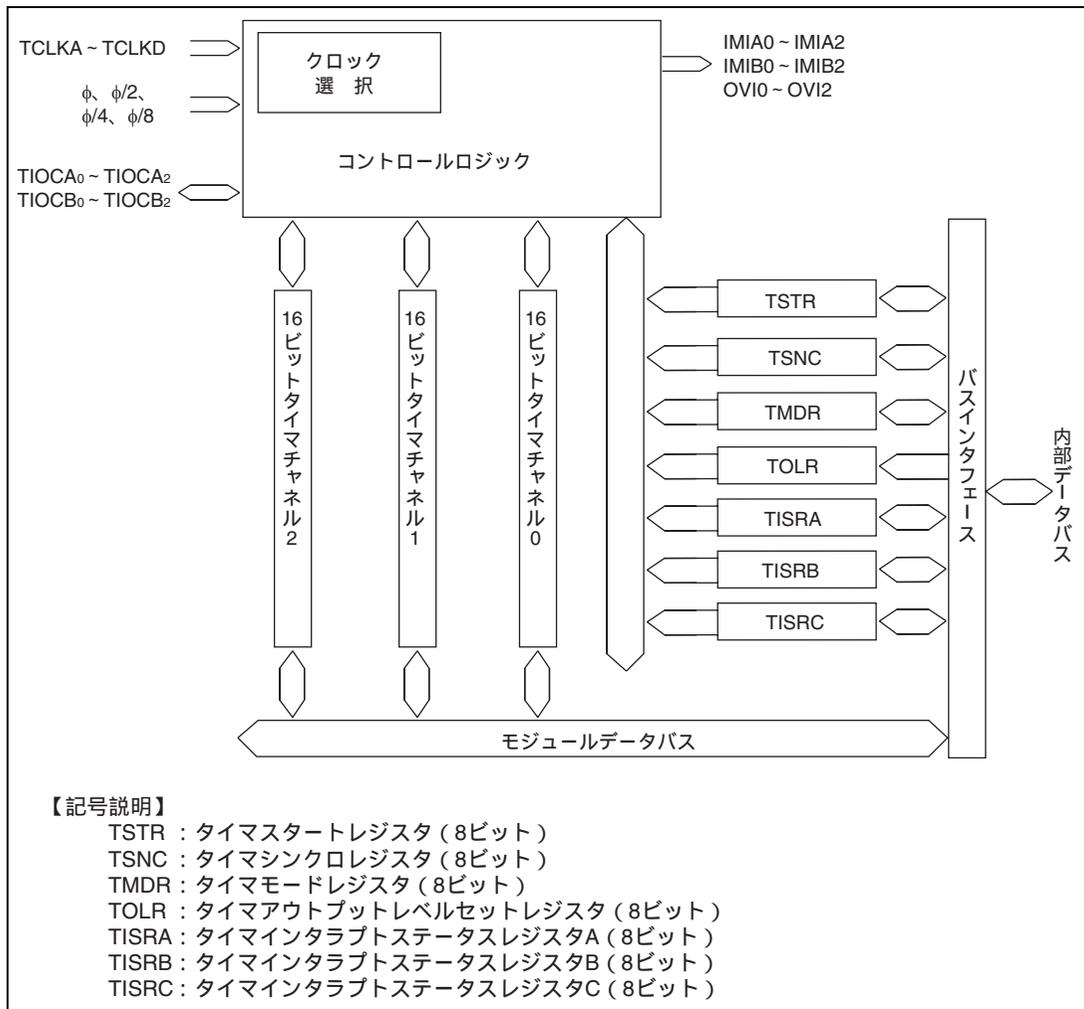


図 9.1 16ビットタイマのブロック図(全体図)

## 9. 16ビットタイマ

### (2) チャンネル0、1のブロック図

16ビットタイマのチャンネル0、1は同一の機能を持っています。チャンネル0、1のブロック図を図9.2に示します。

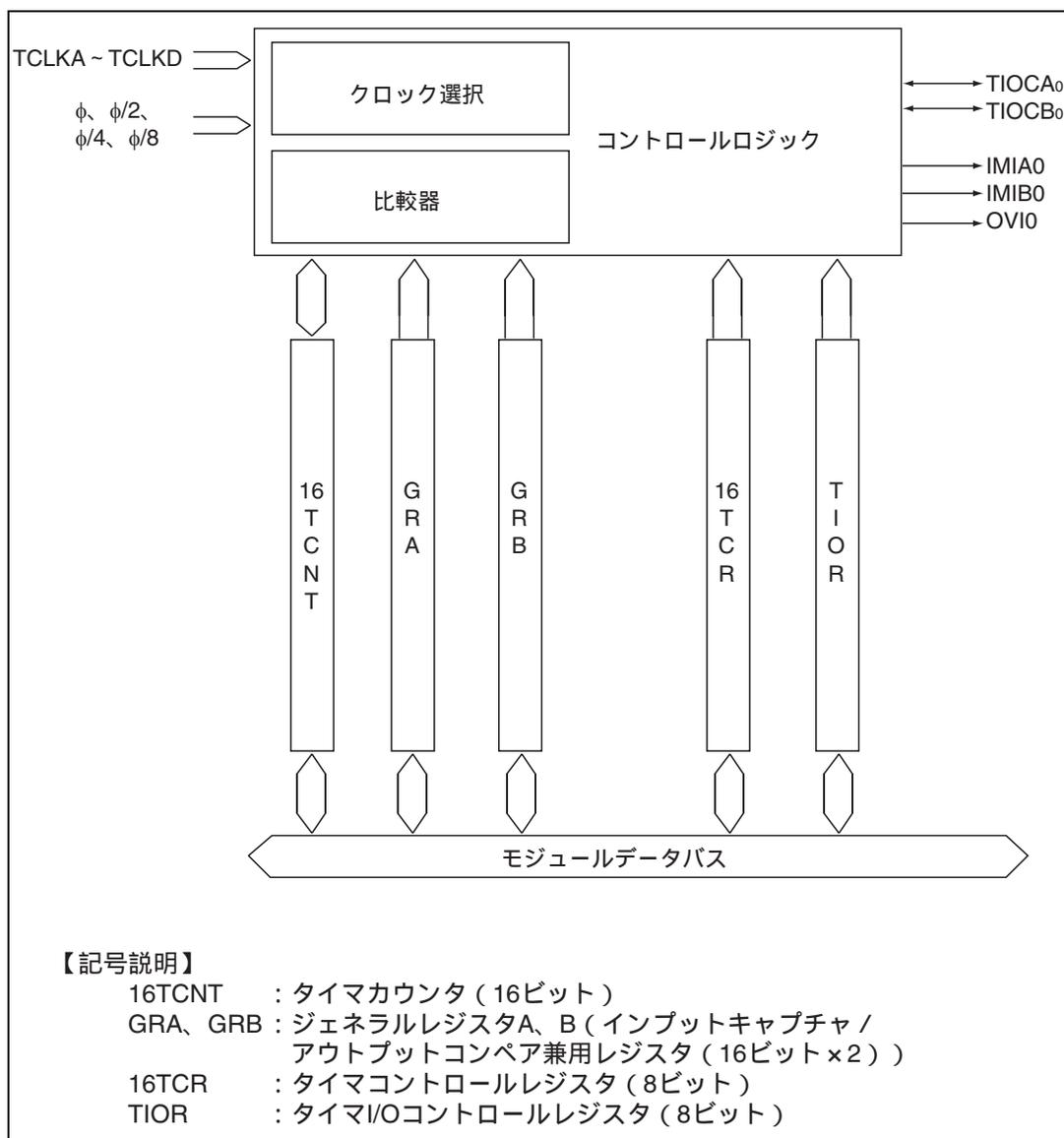


図9.2 チャンネル0、1のブロック図

## (3) チャンネル2のブロック図

チャンネル2のブロック図を図9.3に示します。

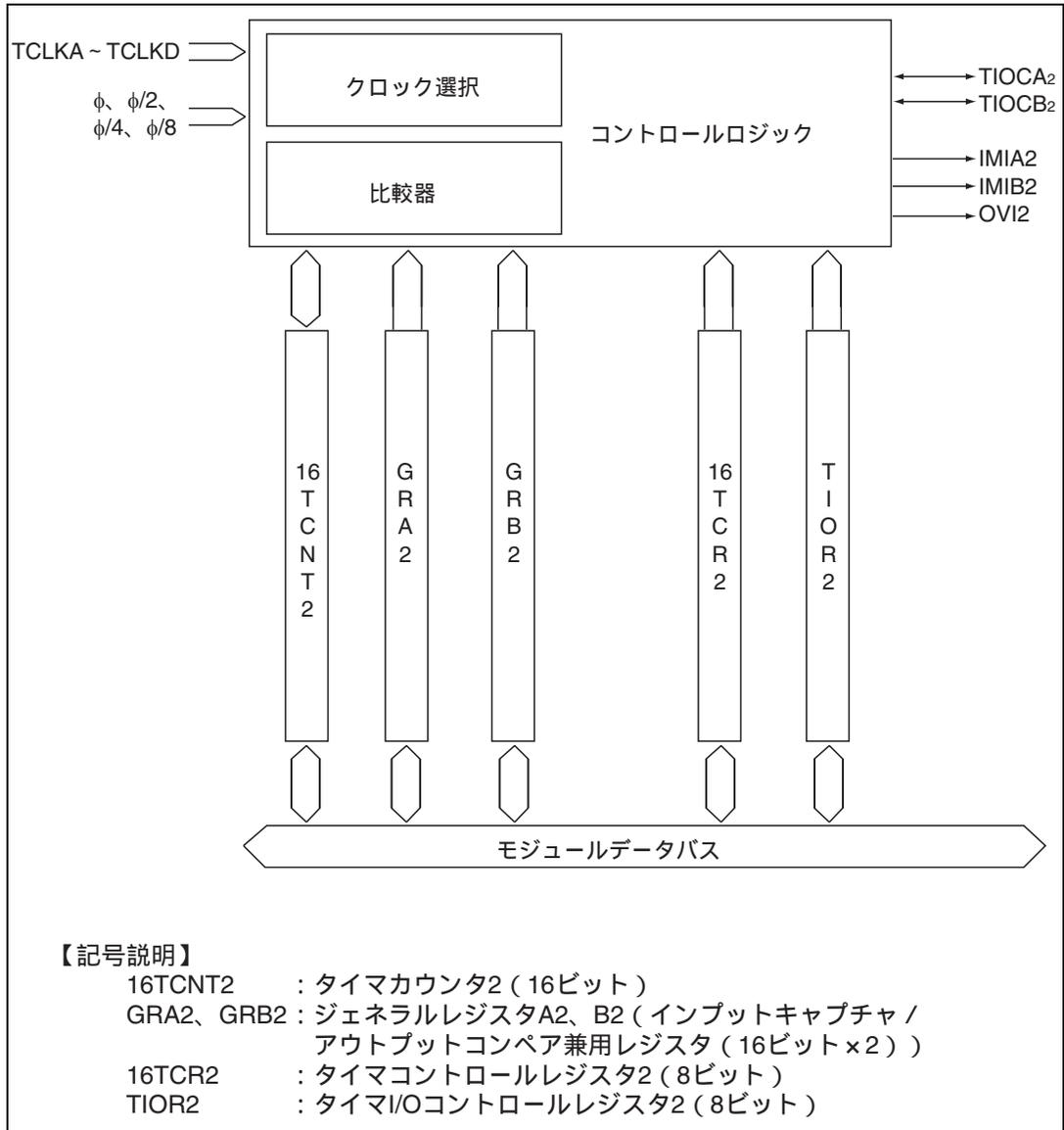


図9.3 チャンネル2のブロック図

## 9. 16 ビットタイマ

### 9.1.3 端子構成

16 ビットタイマの端子構成を表 9.2 に示します。

表 9.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インプットキャプチャ / アウトプットコンペア A0	TIOCA <sub>0</sub>	入出力	GRA0 アウトプットコンペア出力 / GRA0 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B0	TIOCB <sub>0</sub>	入出力	GRB0 アウトプットコンペア出力 / GRB0 インプットキャプチャ入力端子
1	インプットキャプチャ / アウトプットコンペア A1	TIOCA <sub>1</sub>	入出力	GRA1 アウトプットコンペア出力 / GRA1 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B1	TIOCB <sub>1</sub>	入出力	GRB1 アウトプットコンペア出力 / GRB1 インプットキャプチャ入力端子
2	インプットキャプチャ / アウトプットコンペア A2	TIOCA <sub>2</sub>	入出力	GRA2 アウトプットコンペア出力 / GRA2 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B2	TIOCB <sub>2</sub>	入出力	GRB2 アウトプットコンペア出力 / GRB2 インプットキャプチャ入力端子

## 9.1.4 レジスタ構成

16ビットタイマのレジスタ構成を表9.3に示します。

表9.3 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
共通	H'FFF60	タイマスタートレジスタ	TSTR	R/W	H'F8
	H'FFF61	タイマシンクロレジスタ	TSNC	R/W	H'F8
	H'FFF62	タイマモードレジスタ	TMDR	R/W	H'98
	H'FFF63	タイマアウトプットレベルセットレジスタ	TOLR	W	H'CO
	H'FFF64	タイマインタラプトステータスレジスタ A	TISRA	R/(W)*2	H'88
	H'FFF65	タイマインタラプトステータスレジスタ B	TISRB	R/(W)*2	H'88
	H'FFF66	タイマインタラプトステータスレジスタ C	TISRC	R/(W)*2	H'88
0	H'FFF68	タイマコントロールレジスタ 0	16TCR0	R/W	H'80
	H'FFF69	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FFF6A	タイマカウンタ 0H	16TCNT0H	R/W	H'00
	H'FFF6B	タイマカウンタ 0L	16TCNT0L	R/W	H'00
	H'FFF6C	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FFF6D	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FFF6E	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FFF6F	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FFF70	タイマコントロールレジスタ 1	16TCR1	R/W	H'80
	H'FFF71	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FFF72	タイマカウンタ 1H	16TCNT1H	R/W	H'00
	H'FFF73	タイマカウンタ 1L	16TCNT1L	R/W	H'00
	H'FFF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FFF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FFF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FFF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FFF78	タイマコントロールレジスタ 2	16TCR2	R/W	H'80
	H'FFF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FFF7A	タイマカウンタ 2H	16TCNT2H	R/W	H'00
	H'FFF7B	タイマカウンタ 2L	16TCNT2L	R/W	H'00
	H'FFF7C	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FFF7D	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FFF7E	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FFF7F	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF

【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。

\*2 ビット 3~0 はフラグをクリアするための 0 ライトのみ可能です。

## 9.2 各レジスタの説明

### 9.2.1 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~2 の 16TCNT の動作/停止を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

リザーブビット

カウンタスタート2~0  
16TCNT2~16TCNT0の動作/停止を  
選択するビットです。

TSTR はリセット、またはスタンバイモード時に、H'F8 に初期化されます。

#### ビット7~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット2: カウンタスタート2 (STR2)

タイマカウンタ 2 (16TCNT2) の動作/停止を選択します。

ビット2	説明
STR2	
0	16TCNT2 のカウント動作は停止 (初期値)
1	16TCNT2 はカウント動作

#### ビット1: カウンタスタート1 (STR1)

タイマカウンタ 1 (16TCNT1) の動作/停止を選択します。

ビット1	説明
STR1	
0	16TCNT1 のカウント動作は停止 (初期値)
1	16TCNT1 はカウント動作

ビット0：カウンタスタート0 (STR0)

タイマカウンタ0 (16TCNT0) の動作 / 停止を選択します。

ビット0	説明
STR0	
0	16TCNT0のカウンタ動作は停止 (初期値)
1	16TCNT0はカウンタ動作

### 9.2.2 タイマシンクロレジスタ (TSNC)

TSNCは8ビットのリード/ライト可能なレジスタで、チャンネル0~2の独立動作/同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	SYNC2	SYNC1	SYNC0
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

リザーブビット

タイマ同期2~0  
チャンネル2~0の同期動作を  
設定するビットです。

TSNCはリセット、またはスタンバイモード時に、H'F8に初期化されます。

ビット7~3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：タイマ同期2 (SYNC2)

チャンネル2の独立動作/同期動作を選択します。

ビット2	説明
SYNC2	
0	チャンネル2のタイマカウンタ (16TCNT2) は独立動作 (16TCNT2のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル2は同期動作 16TCNT2の同期プリセット/同期クリアが可能

## 9. 16ビットタイマ

---

### ビット1：タイマ同期1 (SYNC1)

チャンネル1の独立動作/同期動作を選択します。

ビット1	説明
SYNC1	
0	チャンネル1のタイマカウンタ(16TCNT1)は独立動作(16TCNT1のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル1は同期動作 16TCNT1は同期プリセット/同期クリアが可能

### ビット0：タイマ同期0 (SYNC0)

チャンネル0の独立動作/同期動作を選択します。

ビット0	説明
SYNC0	
0	チャンネル0のタイマカウンタ(16TCNT0)は独立動作(16TCNT0のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル0は同期動作 16TCNT0は同期プリセット/同期クリアが可能

### 9.2.3 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~2 の PWM モードの設定、チャンネル 2 の位相計数モードの設定およびオーバーフローフラグ(OVF)のセット条件の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	—	—	PWM2	PWM1	PWM0
初期値:	1	0	0	1	1	0	0	0
R/W:	—	R/W	R/W	—	—	R/W	R/W	R/W

リザーブビット

フラグディレクション  
TISRCのOVFフラグセット条件を設定するビットです。

位相計数モード  
チャンネル2を位相計数モードに設定するビットです。

リザーブビット

PWMモード2~0  
チャンネル2~0をPWMモードに設定するビットです。

TMDR はリセット、またはスタンバイモード時に、H'98 に初期化されます。

#### ビット7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット6: 位相計数モード (MDF)

チャンネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット6	説明
MDF	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は位相計数モード

## 9. 16 ビットタイマ

MDF ビットを 1 にセットして位相計数モードにすると、16TCNT2 はアップ/ダウンカウンタ、TCLKA、TCLKB 端子がカウンタクロック入力端子となります。16TCNT2 は TCLKA、TCLKB 端子の立ち上がり(↑)立ち下がり(↓)の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
	↑	High	↓	Low	Low	↑	High	↓
TCLKA端子	↑	High	↓	Low	Low	↑	High	↓
TCLKB端子	Low	↑	High	↓	↑	High	↓	Low

位相計数モードでは、16TCR2 の CKEG1、CKEG0 ビットによる外部クロックエッジの選択、および TPSC2 ~ TPSC0 ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、16TCR2 の CCLR1、CCLR0 ビットによるカウンタクリア条件の設定、TIOR2、TISRA、TISRB、TISRC のコンペアマッチ/インプットキャプチャ機能と割り込みの設定は位相計数モードでも有効です。

### ビット 5 : フラグディレクション ( FDIR )

TISRC の OVF フラグのセット条件を設定します。本ビットの設定は、チャンネル 2 がいずれのモードで動作していても有効となります。

ビット 5	説明
FDIR	
0	TISRC の OVF フラグは、16TCNT2 がオーバーフローまたはアンダフローしたときに 1 にセット (初期値)
1	TISRC の OVF フラグは、16TCNT2 がオーバーフローしたときに 1 にセット

### ビット 4、3 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

### ビット 2 : PWM モード 2 ( PWM2 )

チャンネル 2 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説明
PWM2	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は PWM モード

PWM2 を 1 にセットして PWM モードにすると、TIOCA<sub>2</sub> 端子は PWM 出力端子となり、GRA2 のコンペアマッチで 1 出力、GRB2 のコンペアマッチで 0 出力となります。

## ビット1：PWMモード1（PWM1）

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を1にセットしてPWMモードにすると、TIOCA<sub>1</sub>端子はPWM出力端子となり、GRA1のコンペアマッチで1出力、GRB1のコンペアマッチで0出力となります。

## ビット0：PWMモード0（PWM0）

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を1にセットしてPWMモードにすると、TIOCA<sub>0</sub>端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

### 9.2.4 タイマインタラプトステータスレジスタ A (TISRA)

TISRA は 8 ビットのリード/ライト可能なレジスタで、GRA のコンペアマッチ/インプットキャプチャの発生を示し、GRA のコンペアマッチ/インプットキャプチャ割り込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	IMIEA2	IMIEA1	IMIEA0	—	IMFA2	IMFA1	IMFA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット

リザーブビット

インプットキャプチャ/コンペアマッチインタラプトイネーブルA2 ~ A0  
IMFAフラグによる割り込みを許可/禁止します。

インプットキャプチャ/  
コンペアマッチフラグA2 ~ A0  
GRAによるコンペアマッチ/  
インプットキャプチャの発生を  
示すステータスフラグです。

【注】\* フラグをクリアするための 0 ライトのみ可能です。

TISRA はリセット、またはスタンバイモード時に、H'88 に初期化されます。

#### ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット 6: インプットキャプチャ/コンペアマッチインタラプトイネーブル A2 (IMIEA2)

IMFA2 フラグが 1 にセットされたとき、IMFA2 による割り込み要求を許可/禁止します。

ビット 6	IMIEA2	説明
0		IMFA2 フラグによる割り込み (IMIA2) 要求を禁止 (初期値)
1		IMFA2 フラグによる割り込み (IMIA2) 要求を許可

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル A1 (IMIEA1)

IMFA1 フラグが1にセットされたとき、IMFA1 による割り込み要求を許可/禁止します。

ビット5	説 明
IMIEA1	
0	IMFA1 フラグによる割り込み (IMIA1) 要求を禁止 (初期値)
1	IMFA1 フラグによる割り込み (IMIA1) 要求を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル A0 (IMIEA0)

IMFA0 フラグが1にセットされたとき、IMFA0 による割り込み要求を許可/禁止します。

ビット4	説 明
IMIEA0	
0	IMFA0 フラグによる割り込み (IMIA0) 要求を禁止 (初期値)
1	IMFA0 フラグによる割り込み (IMIA0) 要求を許可

ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：インプットキャプチャ/コンペアマッチフラグ A2 (IMFA2)

GRA2 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット2	説 明
IMFA2	
0	〔クリア条件〕 (初期値) (1) IMFA2=1 の状態で、IMFA2 フラグをリードした後、IMFA2 フラグに0をライトしたとき (2) IMIA2 割り込みにより DMAC が起動されたとき
1	〔セット条件〕 (1) GRA2 がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2 になったとき (2) GRA2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT2 の値が GRA2 に転送されたとき

## 9. 16 ビットタイマ

---

### ビット1：インプットキャプチャ/コンペアマッチフラグ A1 (IMFA1)

GRA1 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	
IMFA1	説 明
0	〔クリア条件〕 (初期値) (1) IMFA1=1 の状態で、IMFA1 フラグをリードした後、IMFA1 フラグに0をライトしたとき (2) IMIA1 割り込みにより DMAC が起動されたとき
1	〔セット条件〕 (1) GRA1 がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1 になったとき (2) GRA1 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT1 の値が GRA1 に転送されたとき

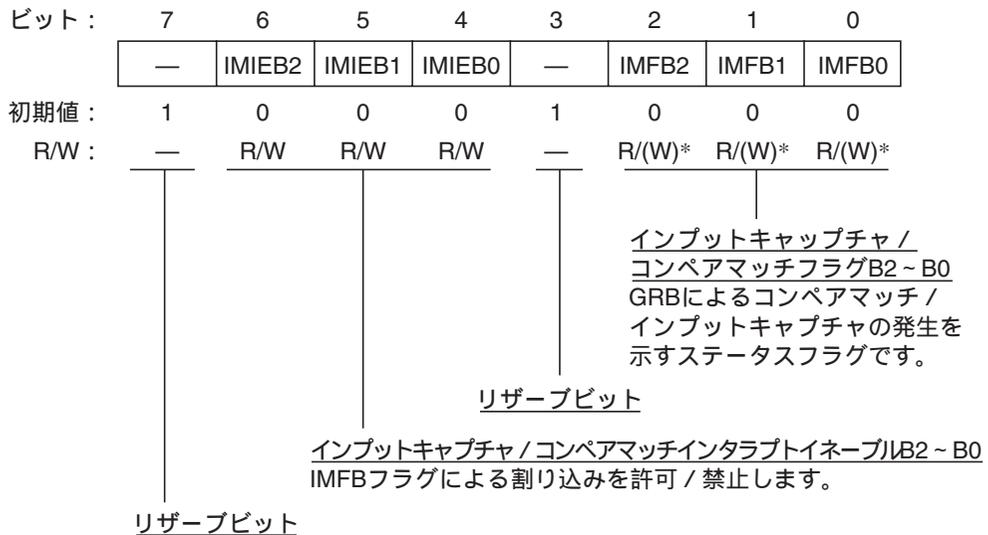
### ビット0：インプットキャプチャ/コンペアマッチフラグ A0 (IMFA0)

GRA0 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	
IMFA0	説 明
0	〔クリア条件〕 (初期値) (1) IMFA0=1 の状態で、IMFA0 フラグをリードした後、IMFA0 フラグに0をライトしたとき (2) IMIA0 割り込みにより DMAC が起動されたとき
1	〔セット条件〕 (1) GRA0 がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0 になったとき (2) GRA0 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT0 の値が GRA0 に転送されたとき

### 9.2.5 タイマインタラプトステータスレジスタ B (TISR B)

TISR B は 8 ビットのリード/ライト可能なレジスタで、GRB のコンペアマッチ/インプットキャプチャの発生を示し、GRB のコンペアマッチ/インプットキャプチャ割り込み要求の許可/禁止を制御します。



【注】\* フラグをクリアするための 0 ライトのみ可能です。

TISR B はリセット、またはスタンバイモード時に、H'88 に初期化されます。

#### ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット 6: インプットキャプチャ/コンペアマッチインタラプトイネーブル B2 (IMIEB2)

IMFB2 フラグが 1 にセットされたとき、IMFB2 による割り込み要求を許可/禁止します。

ビット 6	IMIEB2	説明
0		IMFB2 フラグによる割り込み (IMIB2) 要求を禁止 (初期値)
1		IMFB2 フラグによる割り込み (IMIB2) 要求を許可

## 9. 16ビットタイマ

---

ビット5：インプットキャプチャ/コンペアマッチインタラプトイネーブル B1 (IMIEB1)

IMFB1 フラグが1にセットされたとき、IMFB1 による割り込み要求を許可/禁止します。

ビット5	説明
IMIEB1	
0	IMFB1 フラグによる割り込み (IMIB1) 要求を禁止 (初期値)
1	IMFB1 フラグによる割り込み (IMIB1) 要求を許可

ビット4：インプットキャプチャ/コンペアマッチインタラプトイネーブル B0 (IMIEB0)

IMFB0 フラグが1にセットされたとき、IMFB0 による割り込み要求を許可/禁止します。

ビット4	説明
IMIEB0	
0	IMFB0 フラグによる割り込み (IMIB0) 要求を禁止 (初期値)
1	IMFB0 フラグによる割り込み (IMIB0) 要求を許可

ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：インプットキャプチャ/コンペアマッチフラグ B2 (IMFB2)

GRB2 のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット2	説明
IMFB2	
0	〔クリア条件〕 (初期値) IMFB2 = 1 の状態で、IMFB2 フラグをリードした後、IMFB2 フラグに0をライトしたとき
1	〔セット条件〕 (1) GRB2 がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2 になったとき (2) GRB2 がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により 16TCNT2 の値が GRB2 に転送されたとき

## ビット1：インプットキャプチャ/コンペアマッチフラグ B1 (IMFB1)

GRB1のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	
IMFB1	説 明
0	〔クリア条件〕 (初期値) IMFB1=1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき
1	〔セット条件〕 (1)GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1=GRB1になったとき (2)GRB1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき

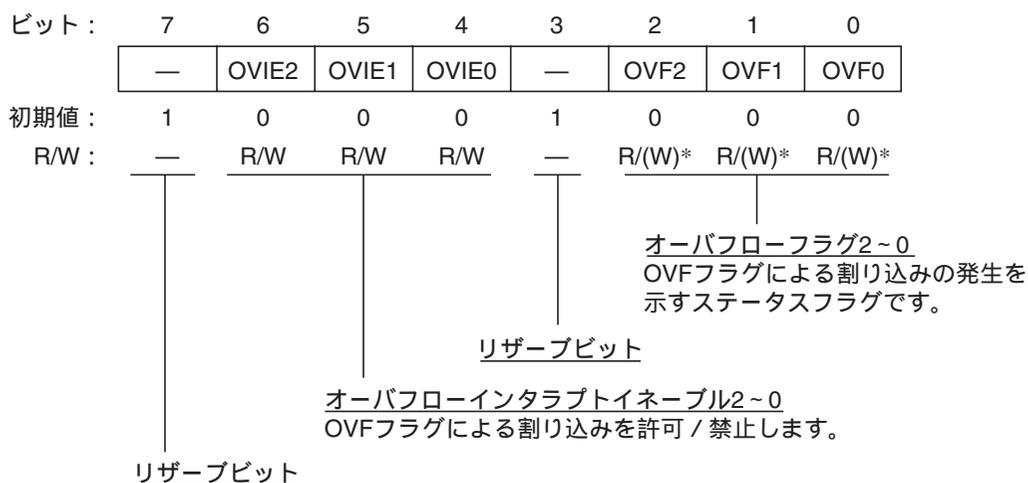
## ビット0：インプットキャプチャ/コンペアマッチフラグ B0 (IMFB0)

GRB0のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	
IMFB0	説 明
0	〔クリア条件〕 (初期値) IMFB0=1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき
1	〔セット条件〕 (1)GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0=GRB0になったとき (2)GRB0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき

### 9.2.6 タイマインタラプトステータスレジスタ C (TISRC)

TISRC は 8 ビットのリード/ライト可能なレジスタで、16TCNT のオーバフロー/アンダフローの発生を示し、オーバフロー割り込み要求の許可/禁止を制御します。



【注】\* フラグをクリアするための0ライトのみ可能です。

TISRC はリセット、またはスタンバイモード時に、H'88 に初期化されます。

#### ビット7: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

#### ビット6: オーバフローインタラプトイネーブル2 (OVIE2)

OVF2 フラグが1にセットされたとき、OVF2 による割り込み要求を許可/禁止します。

ビット6	説明
OVIE2	
0	OVF2 フラグによる割り込み (OVI2) 要求を禁止 (初期値)
1	OVF2 フラグによる割り込み (OVI2) 要求を許可

#### ビット5: オーバフローインタラプトイネーブル1 (OVIE1)

OVF1 フラグが1にセットされたとき、OVF1 による割り込み要求を許可/禁止します。

ビット5	説明
OVIE1	
0	OVF1 フラグによる割り込み (OVI1) 要求を禁止 (初期値)
1	OVF1 フラグによる割り込み (OVI1) 要求を許可

## ビット4：オーバフローインタラプトイネーブル0 (OVIE0)

OVF0 フラグが1にセットされたとき、OVF0による割り込み要求を許可/禁止します。

ビット4	説明
OVIE0	
0	OVF0 フラグによる割り込み (OVI0) 要求を禁止 (初期値)
1	OVF0 フラグによる割り込み (OVI0) 要求を許可

## ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## ビット2：オーバフローフラグ2 (OVF2)

16TCNT2のオーバフローの発生を示すステータスフラグです。

ビット2	説明
OVF2	
0	〔クリア条件〕 OVF2=1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき (初期値)
1	〔セット条件〕 16TCNT2の値がオーバフロー(H'FFFF→H'0000)またはアンダフロー(H'0000→H'FFFF)したとき

【注】 16TCNTのアンダフローは、16TCNTがアップ/ダウンカウントとして機能している場合に発生します。したがって、次の場合にのみアンダフローが発生することがあります。  
チャンネル2が位相計数モードに設定されているとき (TMDRのMDF=1)

## ビット1：オーバフローフラグ1 (OVF1)

16TCNT1のオーバフローの発生を示すステータスフラグです。

ビット1	説明
OVF1	
0	〔クリア条件〕 OVF1=1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき (初期値)
1	〔セット条件〕 16TCNT1の値がオーバフロー(H'FFFF→H'0000)したとき

## 9. 16 ビットタイマ

---

ビット 0 : オーバフローフラグ 0 (OVF0)

16TCNT0 のオーバフローの発生を示すステータスフラグです。

ビット 0	説 明
OVF0	
0	〔クリア条件〕 (初期値) OVF0=1 の状態で、OVF0 フラグをリードした後、OVF0 フラグに 0 をライトしたとき
1	〔セット条件〕 16TCNT0 の値がオーバフロー (H'FFFF→H'0000) したとき

### 9.2.7 タイマカウンタ (16TCNT)

16TCNTは16ビットのカウンタです。16ビットタイマには、各チャンネル1本、計3本の16TCNTがあります。

チャンネル	略称	機能
0	16TCNT0	アップカウンタ
1	16TCNT1	
2	16TCNT2	位相計数モード：アップ/ダウンカウンタ 上記以外：アップカウンタ

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W

16TCNTは16ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、16TCRのTPSC2～TPSC0ビットにより選択します。

16TCNT0、16TCNT1はアップカウント動作を行います。

16TCNT2は位相計数モード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

16TCNTは、対応するGRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます(カウンタクリア機能)。

16TCNTがオーバフロー(H'FFFF→H'0000)すると、TISRCの対応するチャンネルのOVFフラグが1にセットされます。

16TCNTがアンダフロー(H'0000→H'FFFF)すると、TISRCの対応するチャンネルのOVFフラグが1にセットされます。

16TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

16TCNTはリセット、またはスタンバイモード時にH'0000に初期化されます。

## 9. 16ビットタイマ

### 9.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GRは、16ビットのレジスタです。16ビットタイマには、各チャンネル2本、計6本のジェネラルレジスタがあります。

チャンネル	略称	機能
0	GRA0、GRB0	アウトプットコンペア/インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W

GRは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切替えは、TIORにより行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRBの値と16TCNTの値は常に比較されています。両者の値が一致(コンペアマッチ)すると、TISRA/TISRBのIMFA/IMFBフラグが1にセットされます。TIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、16TCNTの値を格納します。このとき対応するTISRA/TISRBのIMFA/IMFBフラグが1にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモードに設定されている場合には、TIORの設定は無視されます。

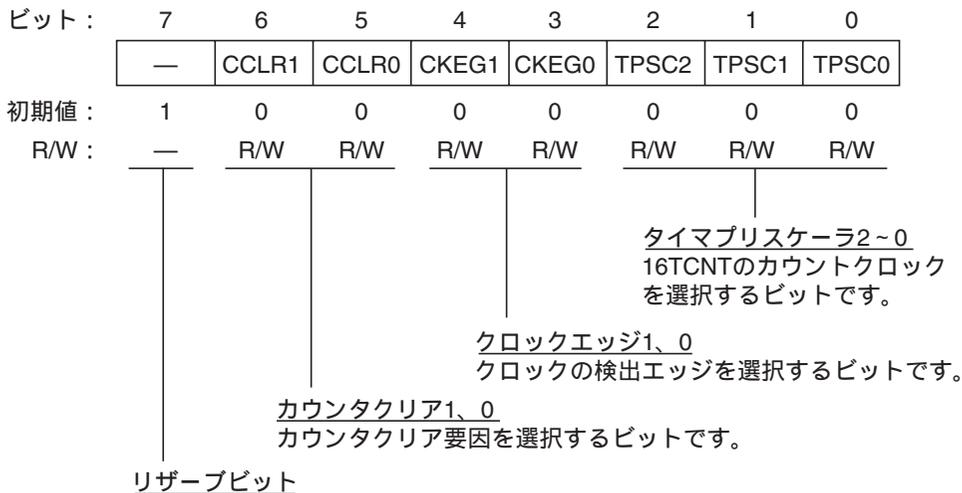
GRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ(端子出力なし)に設定され、H'FFFFに初期化されます。

### 9.2.9 タイマコントロールレジスタ (16TCR)

16TCR は 8 ビットのレジスタです。16ビットタイマには、各チャンネル 1 本、計 3 本の 16TCR があります。

チャンネル	略称	機能
0	16TCR0	16TCR は 16TCNT の制御を行います。
1	16TCR1	各チャンネルの 16TCR は同一の機能をもっています。
2	16TCR2	チャンネル 2 を位相計数モードに設定したとき、16TCR2 の CKEG1、CKEG0 ビットおよび TPSC2 ~ TPSC0 ビットの設定は無効となります。



16TCR は 8 ビットのリード/ライト可能なレジスタで、16TCNT のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

16TCR はリセット、またはスタンバイモード時に H'80 に初期化されます。

#### ビット7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## 9. 16ビットタイマ

---

ビット6、5：カウンタクリア1、0（CCLR1、CCLR0）

16TCNTのカウンタクリア要因を選択します。

ビット6	ビット5	説 明
CCLR1	CCLR0	
0	0	16TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャ*1で16TCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャ*1で16TCNTをクリア
	1	同期クリア。同期動作*2をしている他のタイマのカウンタクリアに同期して16TCNTをクリア

【注】 \*1 GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

\*2 同期動作の設定はTSNCにより行います。

ビット4、3：クロックエッジ1、0（CKEG1、CKEG0）

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1		立ち上がり/立ち下がりエッジの両エッジでカウント

チャンネル2が位相計数モードに設定されているとき、16TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2~0：タイマプリスケーラ 2~0 (TPSC2~TPSC0)

16TCNT のカウントクロックを選択します。

ビット2	ビット1	ビット0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： $\phi$ でカウント (初期値)
		1	内部クロック： $\phi/2$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/8$ でカウント
1	0	0	外部クロック A：TCLKA 端子入力でカウント
		1	外部クロック B：TCLKB 端子入力でカウント
	1	0	外部クロック C：TCLKC 端子入力でカウント
		1	外部クロック D：TCLKD 端子入力でカウント

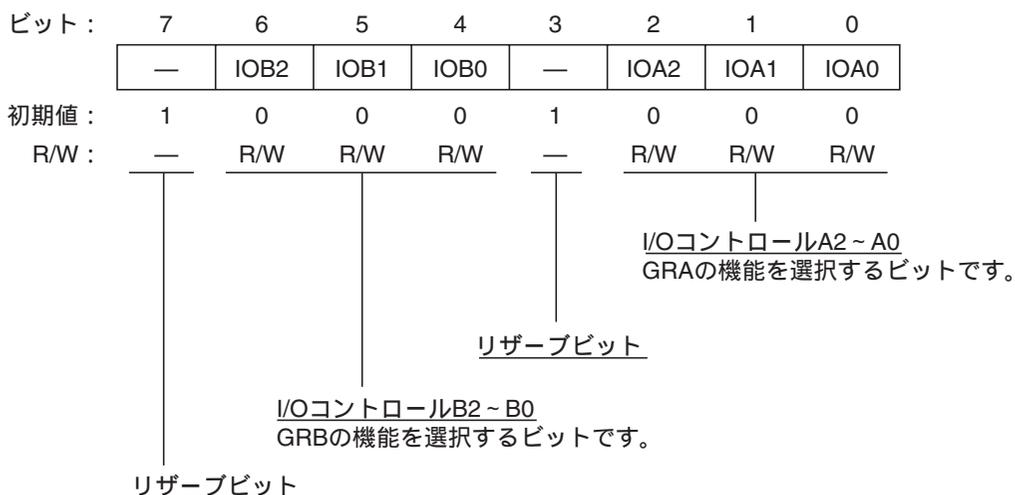
TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立ち下がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF ビット = 1) 16TCR2 の TPSC2 ~ TPSC0 のビットの設定は無効となり、位相計数モードの動作が優先されます。

## 9.2.10 タイマ I/O コントロールレジスタ (TIOR)

TIOR は 8 ビットのレジスタです。16 ビットタイマには、各チャンネル 1 本、計 3 本の TIOR があります。

チャンネル	略 称	機 能
0	TIOR0	TIOR は GR の制御を行います。 PWM モード時、一部機能が異なります。
1	TIOR1	
2	TIOR2	



TIOR は 8 ビットのリード/ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIORA、TIORB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 に初期化されます。

## ビット 7 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## ビット6～4：I/OコントロールB2～B0（IOB2～IOB0）

GRBの機能を選択します。

ビット6	ビット5	ビット4	説明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウト プットコンパ アレジスタ	コンペアマッチによる端子出力禁止（初期値）
		1		GRBのコンペアマッチで0出力* <sup>1</sup>
	1	0		GRBのコンペアマッチで1出力* <sup>1</sup>
		1		GRBのコンペアマッチでトグル出力* <sup>1</sup> * <sup>2</sup> （チャンネル2のみ1出力）
1	0	0	GRBはインプ ットキャプチ ャレジスタ	立ち上がりエッジでGRBヘインプットキャプ チャ
		1		立ち下がりエッジでGRBヘインプットキャプ チャ
	1	0		立ち上がり/立ち下がりの両エッジでインプ ットキャプチャ
		1		

【注】 \*1 リセット後、最初のコンペアマッチが発生するまでの出力値はTOLRの設定に従います。

\*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

## ビット3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## ビット2～0：I/OコントロールA2～A0（IOA2～IOA0）

GRAの機能を選択します。

ビット2	ビット1	ビット0	説明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウト プットコンパ アレジスタ	コンペアマッチによる端子出力禁止（初期値）
		1		GRAのコンペアマッチで0出力* <sup>1</sup>
	1	0		GRAのコンペアマッチで1出力* <sup>1</sup>
		1		GRAのコンペアマッチでトグル出力* <sup>1</sup> * <sup>2</sup> （チャンネル2のみ1出力）
1	0	0	GRAはインプ ットキャプチ ャレジスタ	立ち上がりエッジでGRAヘインプットキャプ チャ
		1		立ち下がりエッジでGRAヘインプットキャプ チャ
	1	0		立ち上がり/立ち下がりの両エッジでインプ ットキャプチャ
		1		

【注】 \*1 リセット後、最初のコンペアマッチが発生するまでの出力値はTOLRの設定に従います。

\*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

## 9. 16 ビットタイマ

### 9.2.11 タイマアウトプットレベルセットレジスタ (TOLR)

TOLR は 8 ビットのライト専用のレジスタで、チャンネル 0~2 のタイマ出力レベルの設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	TOB2	TOA2	TOB1	TOA1	TOB0	TOA0
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

出力レベルセット A2~A0、B2~B0  
タイマ出力 (TIOCA<sub>2</sub>~TIOCA<sub>0</sub>、TIOCB<sub>2</sub>~TIOCB<sub>0</sub>) のレベルを設定するビットです。

リザーブビット

TOLR は TSTR の対応するビットが 0 のときのみ設定が可能です。

TOLR レジスタはライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

TOLR はリセット、またはスタンバイモード時に、H'CO に初期化されます。

ビット 7~6: リザーブビット

リード/ライトは無効です。

ビット 5: 出力レベルセット B2 (TOB2)

タイマ出力 (TIOCB<sub>2</sub>) の値を設定します。

ビット 5	説明
TOB2	
0	TIOCB <sub>2</sub> は 0 出力 (初期値)
1	TIOCB <sub>2</sub> は 1 出力

ビット 4: 出力レベルセット A2 (TOA2)

タイマ出力 (TIOCA<sub>2</sub>) の値を設定します。

ビット 4	説明
TOA2	
0	TIOCA <sub>2</sub> は 0 出力 (初期値)
1	TIOCA <sub>2</sub> は 1 出力

ビット3：出力レベルセット B1 (TOB1)

タイマ出力 (TIOCB<sub>1</sub>) の値を設定します。

ビット3	説明
TOB1	
0	TIOCB <sub>1</sub> は 0 出力 (初期値)
1	TIOCB <sub>1</sub> は 1 出力

ビット2：出力レベルセット A1 (TOA1)

タイマ出力 (TIOCA<sub>1</sub>) の値を設定します。

ビット2	説明
TOA1	
0	TIOCA <sub>1</sub> は 0 出力 (初期値)
1	TIOCA <sub>1</sub> は 1 出力

ビット1：出力レベルセット B0 (TOB0)

タイマ出力 (TIOCB<sub>0</sub>) の値を設定します。

ビット1	説明
TOB0	
0	TIOCB <sub>0</sub> は 0 出力 (初期値)
1	TIOCB <sub>0</sub> は 1 出力

ビット0：出力レベルセット A0 (TOA0)

タイマ出力 (TIOCA<sub>0</sub>) の値を設定します。

ビット1	説明
TOA0	
0	TIOCA <sub>0</sub> は 0 出力 (初期値)
1	TIOCA <sub>0</sub> は 1 出力

## 9.3 CPU とのインタフェース

### 9.3.1 16ビットアクセス可能なレジスタ

16TCNT、GRA、GRB は16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

16TCNT に対してワード単位のリード/ライトを行った場合の動作を図9.4、図9.5に示します。また、16TCNTH、16TCNTL に対してバイト単位のリード/ライトを行った場合の動作を図9.6、図9.7、図9.8、図9.9に示します。

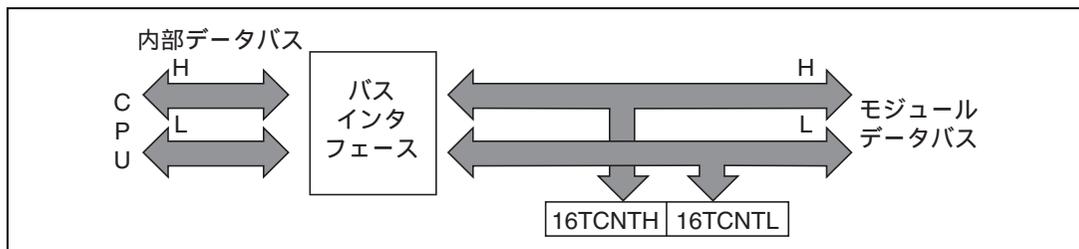


図 9.4 16TCNT のアクセス動作 [ CPU→16TCNT (ワード) ]

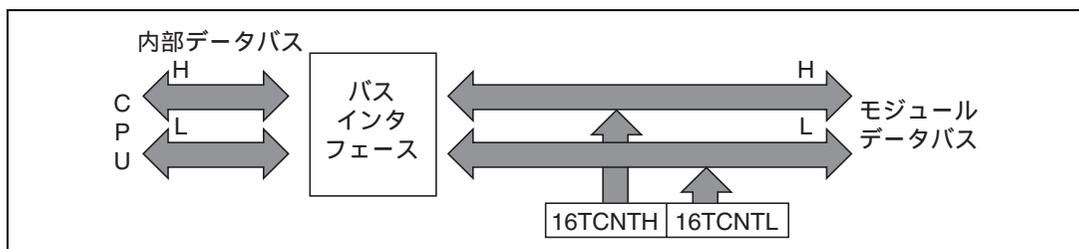


図 9.5 16TCNT のアクセス動作 [ 16TCNT→CPU (ワード) ]

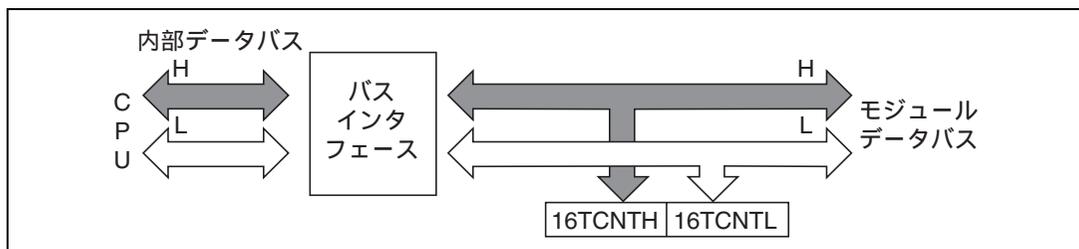


図 9.6 16TCNTH のアクセス動作 [ CPU→16TCNTH (上位バイト) ]

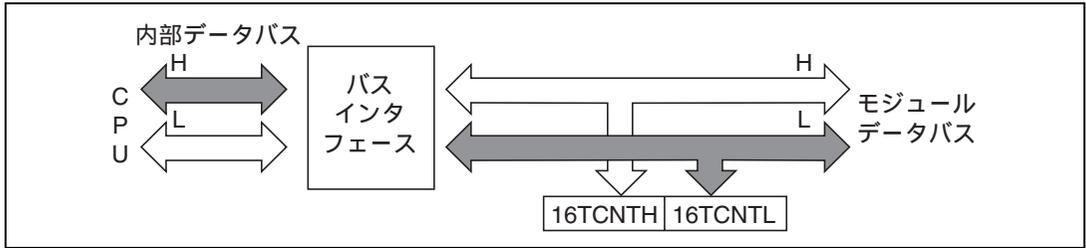


図 9.7 16TCNTL のアクセス動作 [ CPU→16TCNTL (下位バイト) ]

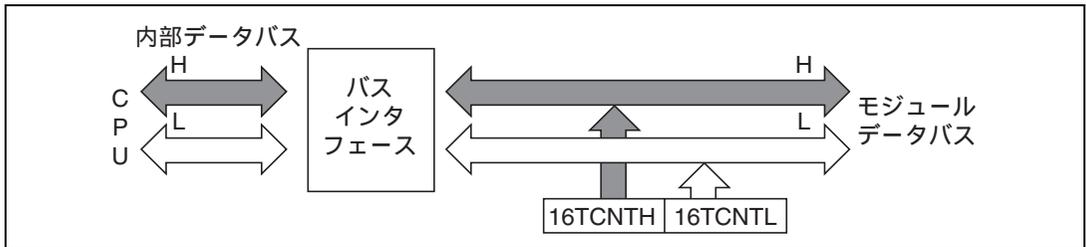


図 9.8 16TCNTH のアクセス動作 [ 16TCNTH→CPU (上位バイト) ]

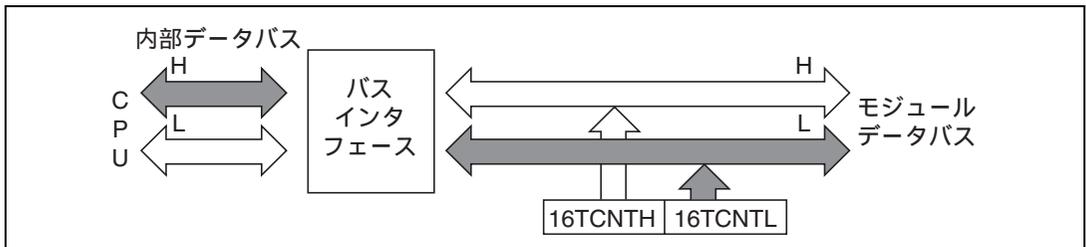


図 9.9 16TCNTL のアクセス動作 [ 16TCNTL→CPU (下位バイト) ]

### 9.3.2 8 ビットアクセスのレジスタ

16TCNT、GR 以外のレジスタは 8 ビットのレジスタです。これらのレジスタは、CPU と内部 8 ビットデータバスで接続されています。

16TCR に対してバイト単位のリード/ライトを行った場合の動作を図 9.10、図 9.11 に示します。なお、ワードサイズの転送命令を実行するとバイト単位 2 回の転送が行われます。

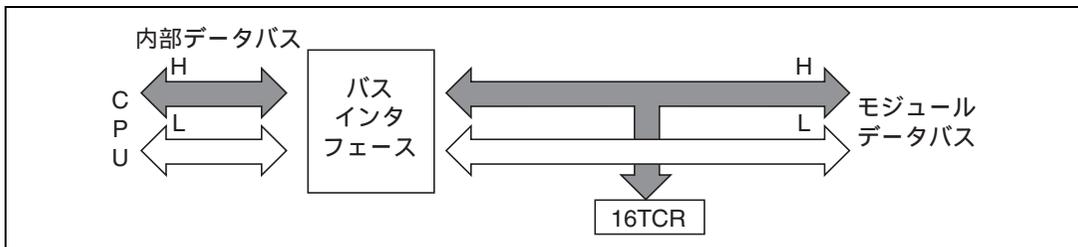


図 9.10 16TCR のアクセス動作 [ CPU→16TCR ]

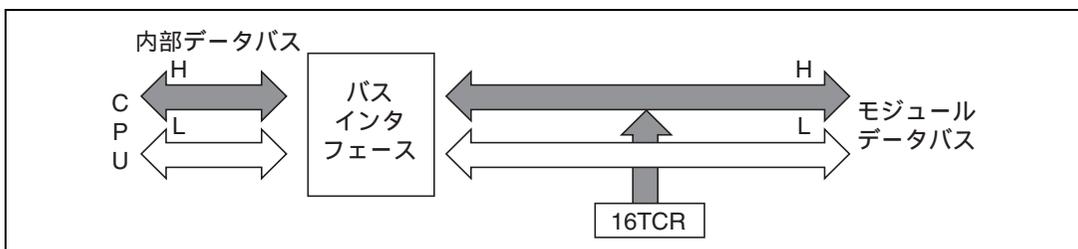


図 9.11 16TCR のアクセス動作 [ 16TCR→CPU ]

## 9.4 動作説明

### 9.4.1 概要

以下に各モードの動作概要を示します。

#### (1) 通常動作

各チャンネルには、16TCNTとGRがあります。16TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (2) 同期動作

同期動作を設定したチャンネルの16TCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の16TCNTを書き換えると他のチャンネルの16TCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルの16TCRのCCLR1、CCLR0ビットの設定により、16TCNTの同期クリアが可能です。

#### (3) PWMモード

TIOCA端子からPWM波形を出力するモードです。コンペアマッチAにより1出力、コンペアマッチBにより0出力となります。GRA、GRBの設定により、デューティ0~100%のPWM波形を出力できます。PWMモードに設定すると当該チャンネルのGRA、GRBは自動的にアウトプットコンペアレジスタとして機能します。

#### (4) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、16TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定すると、TCLKA、TCLKB端子はクロック入力となり、また16TCNT2はアップ/ダウンカウント動作を行います。

### 9.4.2 基本機能

#### (1) カウンタの動作

タイマスタートレジスタ (TSTR) の STR0~STR2 ビットを 1 にセットすると、対応するチャンネルの 16TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 9.12 に示します。

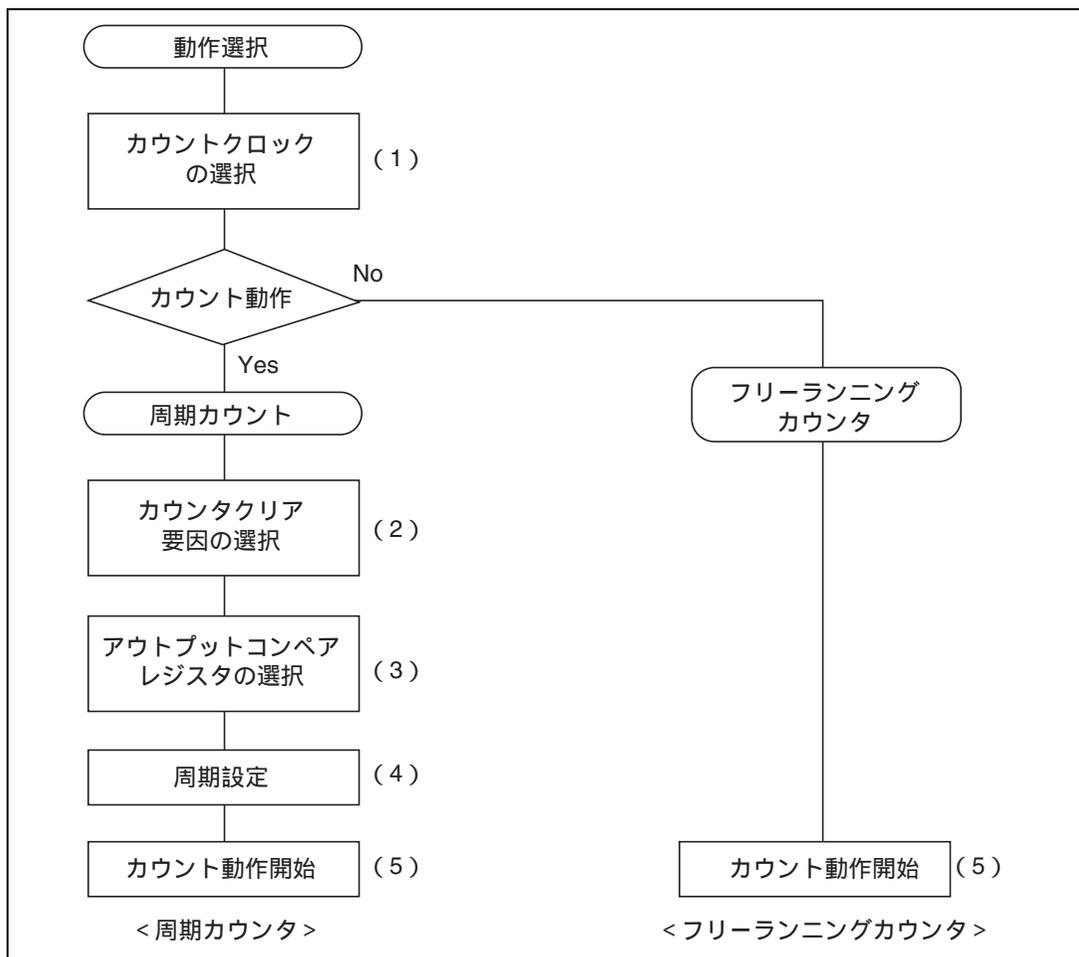


図 9.12 カウント動作設定手順例

- (1) 16TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、16TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- (2) 周期カウント動作の場合、16TCRのCCLR1、CCLR0ビットで16TCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
- (3) (2)で選択したGRAまたはGRBを、TIORによりアウトプットコンペアレジスタに設定してください。
- (4) (2)で選択したGRAまたはGRBに周期を設定してください。
- (5) TSTRのSTRビットを1にセットしてカウント動作を開始してください。

(b) フリーランニングカウント動作と周期カウント動作

チャンネル0～2のカウンタ(16TCNT)はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。16TCNTがオーバーフロー(H'FFFF→H'0000)するとTISRCのOVFフラグが1にセットされます。16TCNTはオーバーフロー後、H'0000から再びアップカウント動作を続けます。

フリーランニングカウンタの動作を図9.13に示します。

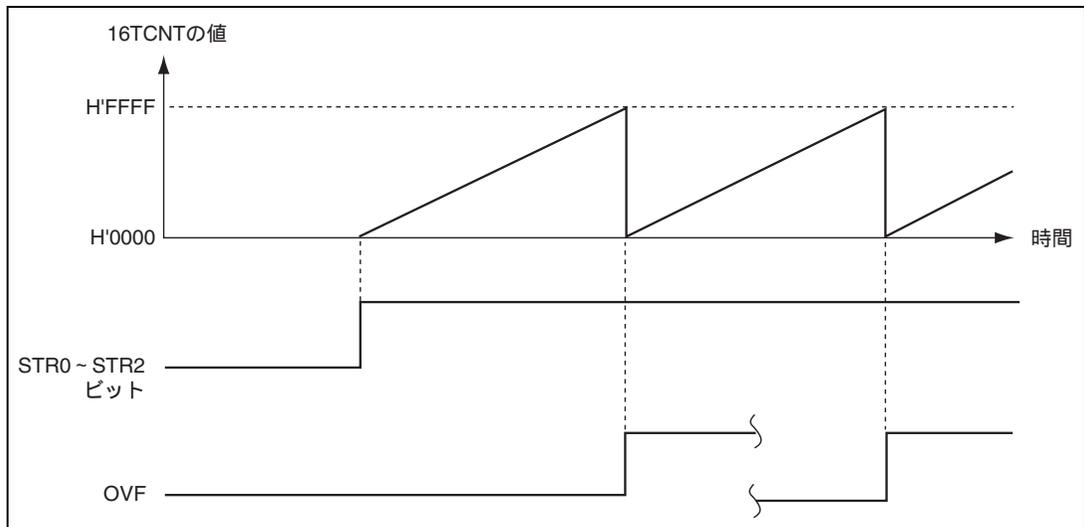


図 9.13 フリーランニングカウンタの動作

## 9. 16ビットタイマ

16TCNTのクリア要因にコンペアマッチを選択したときは、当該チャンネルの16TCNTは周期カウンタ動作を行います(周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、16TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTRの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTISRA/TISRBのIMFA/IMFBフラグが1にセットされ、16TCNTはH'0000にクリアされます。

このとき、対応するTISRA/TISRBのIMIEA/IMIEBビットが1ならば、CPUに割り込みを要求します。16TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を継続します。

周期カウンタの動作を図9.14に示します。

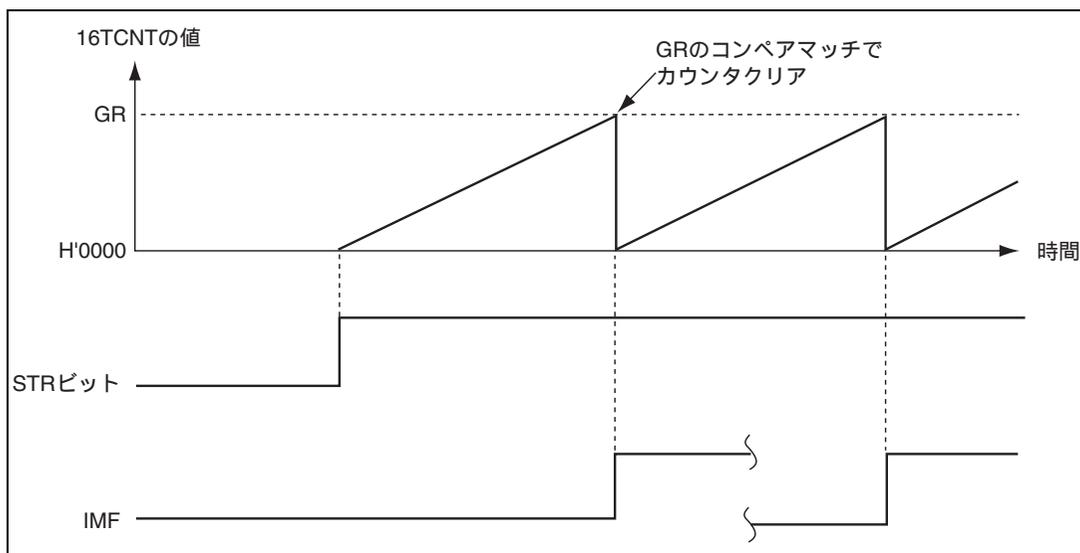


図 9.14 周期カウンタの動作

## (c) 16TCNT のカウントタイミング

## (1) 内部クロック動作の場合

16TCR の TPSC2 ~ TPSC0 ビットにより、システムクロック ( $\phi$ ) またはシステムクロックを分周した 3 種類のクロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ ) が選択できます。

このときのタイミングを図 9.15 に示します。

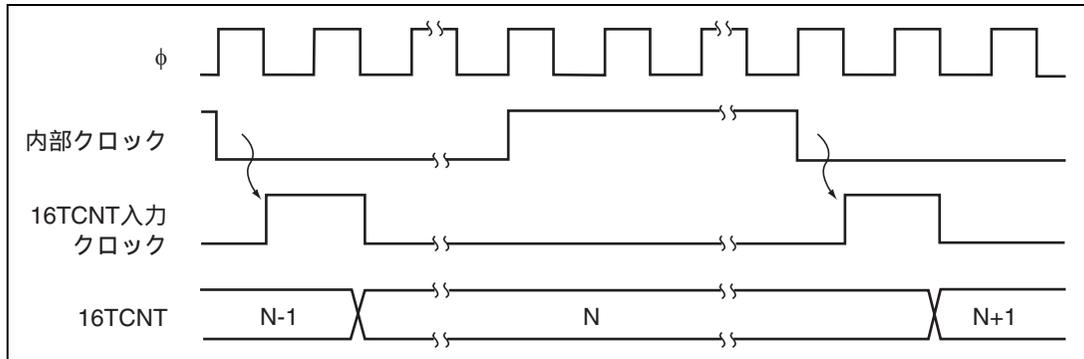


図 9.15 内部クロック動作時のカウントタイミング

## (2) 外部クロック動作の場合

16TCR の TPSC2 ~ TPSC0 ビットにより、外部クロック入力端子 (TCLKA ~ TCLKD) を、また CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立ち上がり / 立ち下がりの両エッジ検出時のタイミングを図 9.16 に示します。

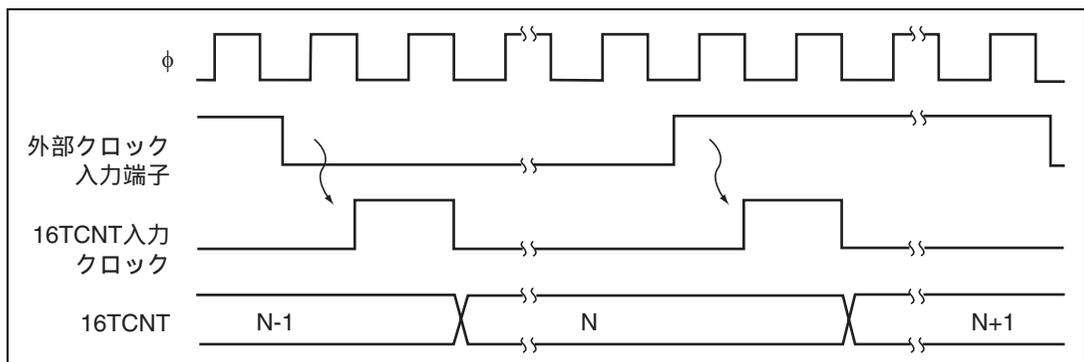


図 9.16 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

16ビットタイマチャンネル0、1は、コンペアマッチA、Bにより対応するTIOCA、TIOCB端子から0出力/1出力/トグル出力を行うことができます。

チャンネル2は0出力/1出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図9.17に示します。

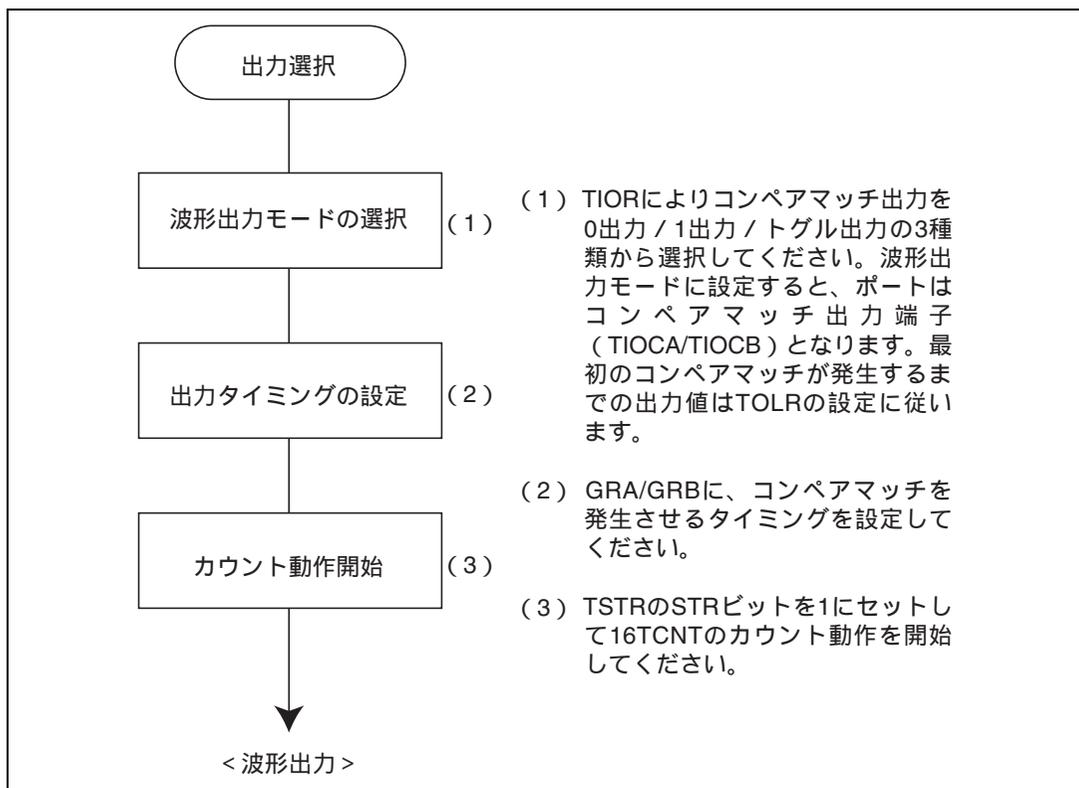


図 9.17 コンペアマッチによる波形出力動作例

## (b) 波形出力動作例

0出力/1出力の例を図9.18に示します。

16TCNTフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

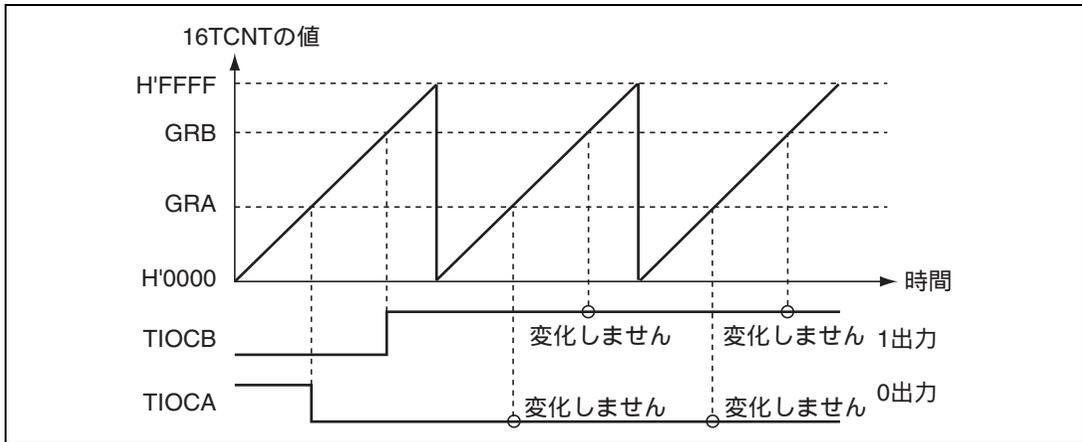


図 9.18 0出力、1出力の動作例 (TOA=1、TOB=0の場合)

トグル出力の例を図9.19に示します。

16TCNTを周期カウント動作(コンペアマッチBでカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

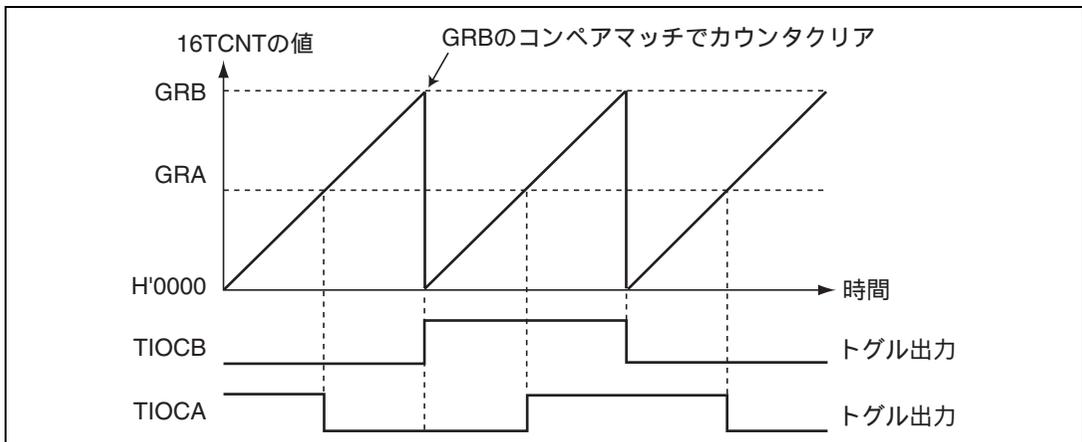


図 9.19 トグル出力の動作例 (TOA=1、TOB=0の場合)

## 9. 16ビットタイマ

### (c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、16TCNT と GR が一致した最後のステート（16TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定される出力値がアウトプットコンペア出力端子（TIOCA、TIOCB）に出力されます。16TCNT と GR が一致した後、16TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.20 に示します。

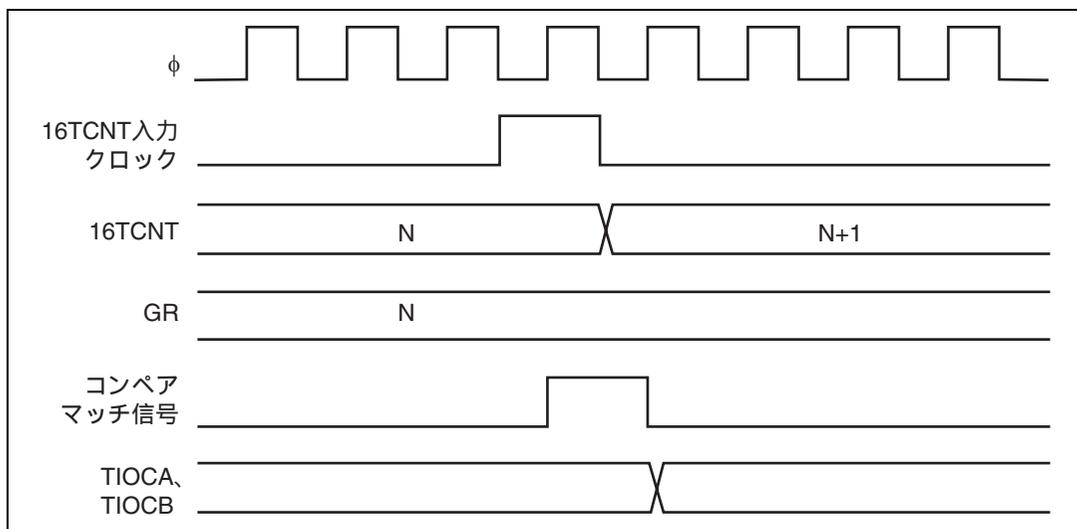


図 9.20 アウトプットコンペア出力タイミング

## (3) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TIOCA、TIOCB) の入力エッジを検出して 16TCNT の値を GR に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

## (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.21 に示します。

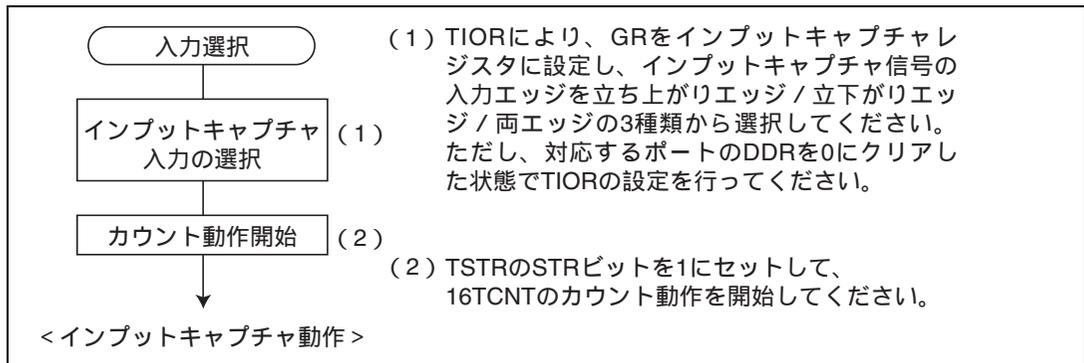


図 9.21 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 9.22 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、16TCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

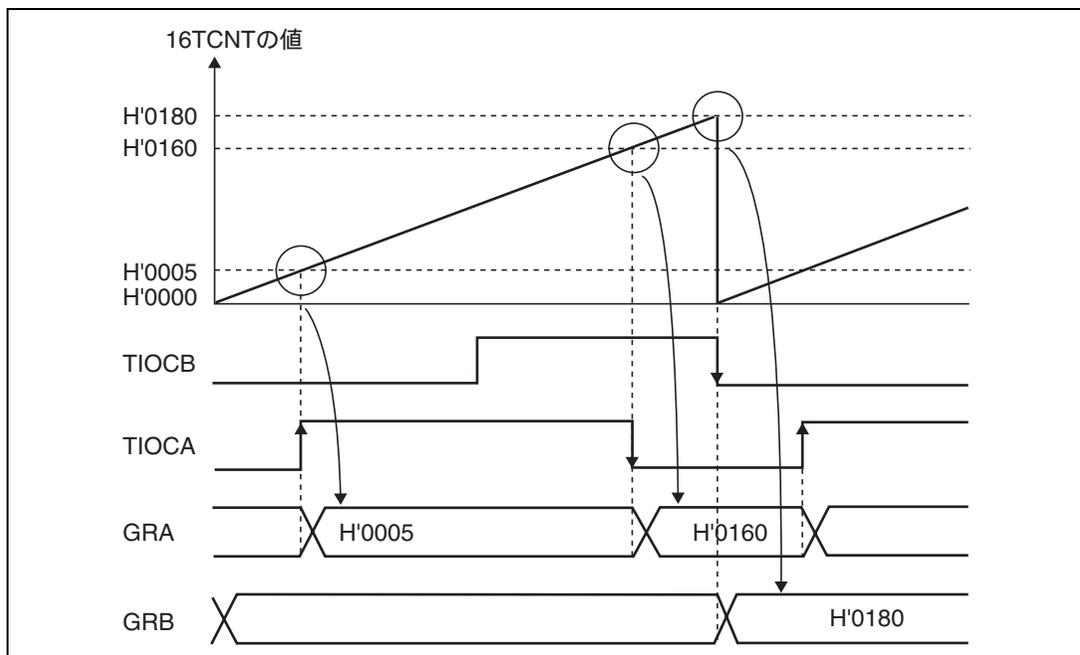


図 9.22 インพุットキャプチャ動作例

## (c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 9.23 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

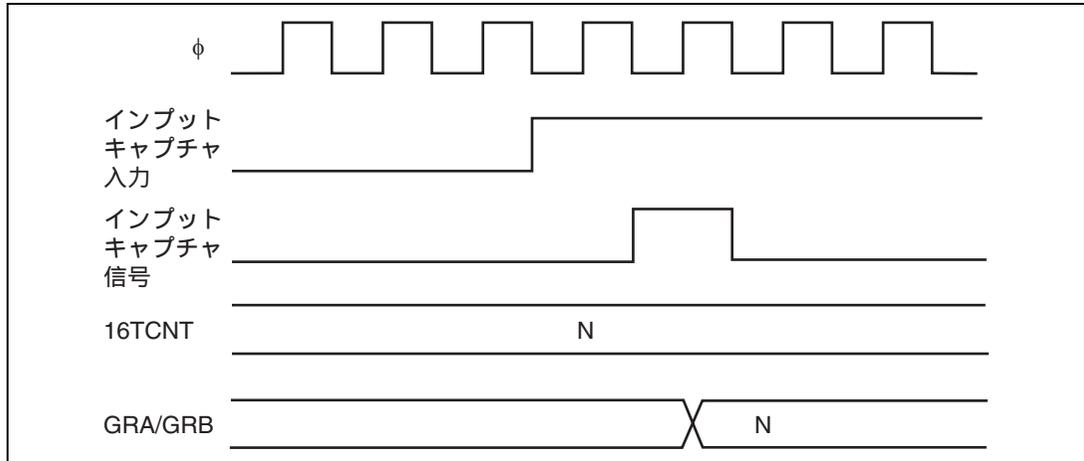


図 9.23 インพุットキャプチャ入力信号タイミング

### 9.4.3 同期動作

同期動作は、複数の16TCNTの値を同時に書き換えることができます（同期プリセット）。また、16TCRの設定により複数の16TCNTを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル0~2はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図9.24に示します。

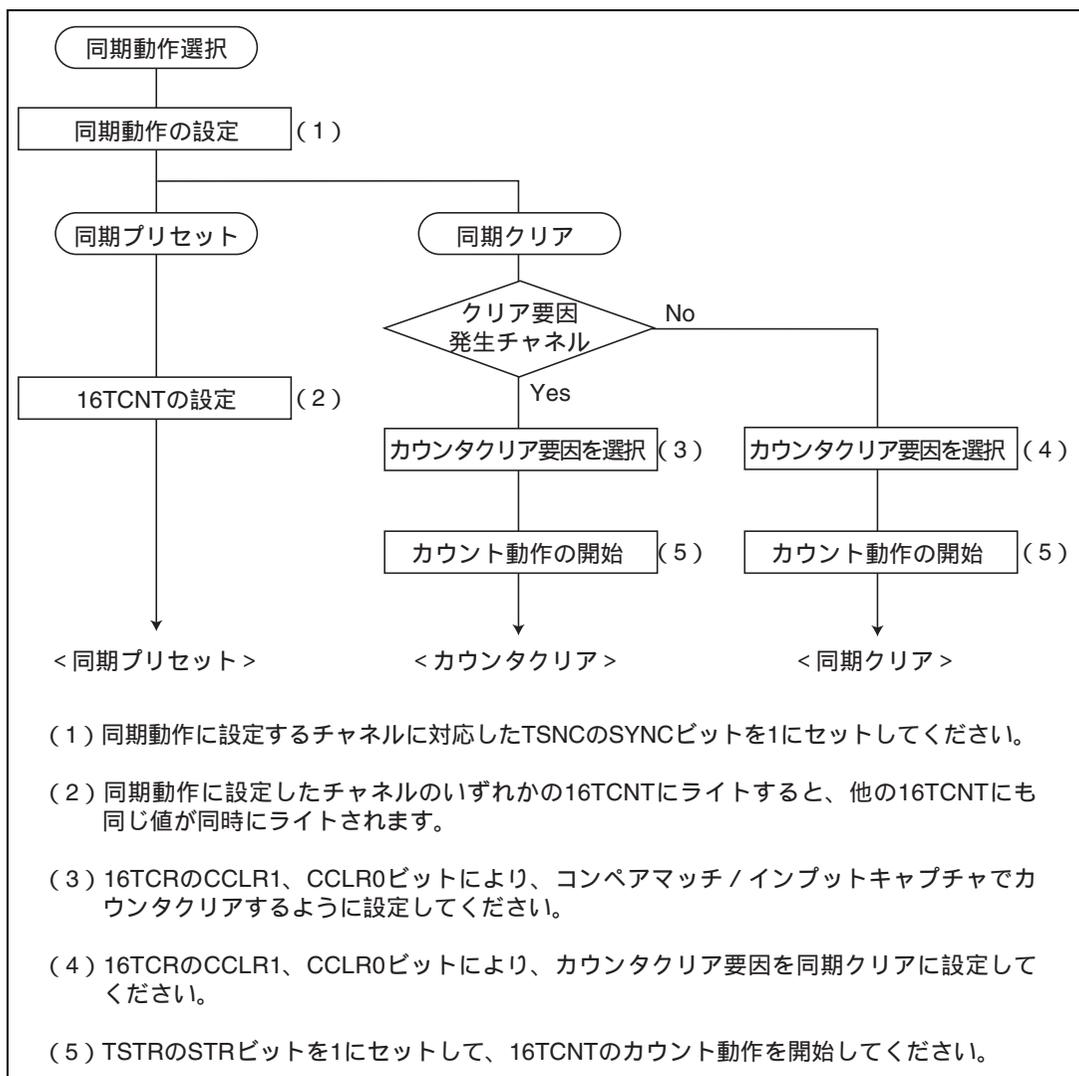


図 9.24 同期モード設定手順例

## (2) 同期動作例

同期動作例を図 9.25 に示します。

チャンネル0~2を同期動作かつPWMモードに設定し、チャンネル0のカウンタクリア要因をGRB0のコンペアマッチ、またはチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル0~2の16TCNTは同期プリセット、GRB0のコンペアマッチによる同期クリア動作を行い、3相のPWM波形をTIOCA<sub>0</sub>、TIOCA<sub>1</sub>、TIOCA<sub>2</sub>端子から出力します。

PWMモードについては「9.4.4 PWMモード」を参照してください。

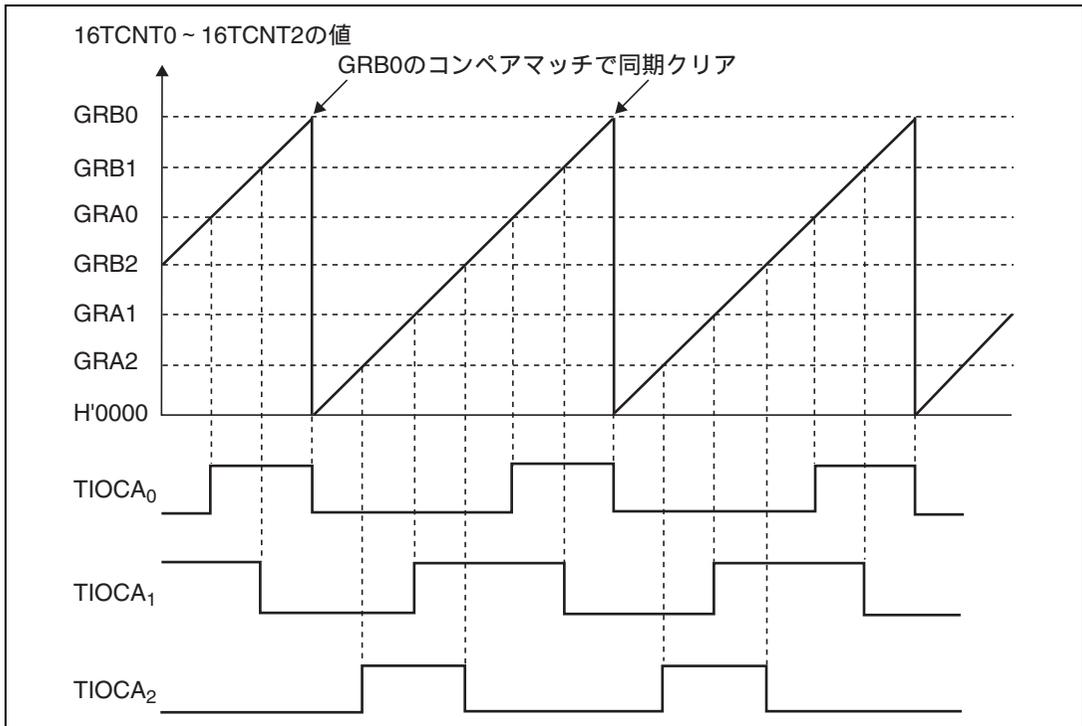


図 9.25 同期動作例

#### 9.4.4 PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを 16TCNT のカウンタクリア要因とすることにより、デューティ 0~100%の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0~2 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 9.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 9.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA <sub>0</sub>	GRA0	GRB0
1	TIOCA <sub>1</sub>	GRA1	GRB1
2	TIOCA <sub>2</sub>	GRA2	GRB2

## (1) PWMモードの設定手順例

PWMモードの設定手順例を図9.26に示します。

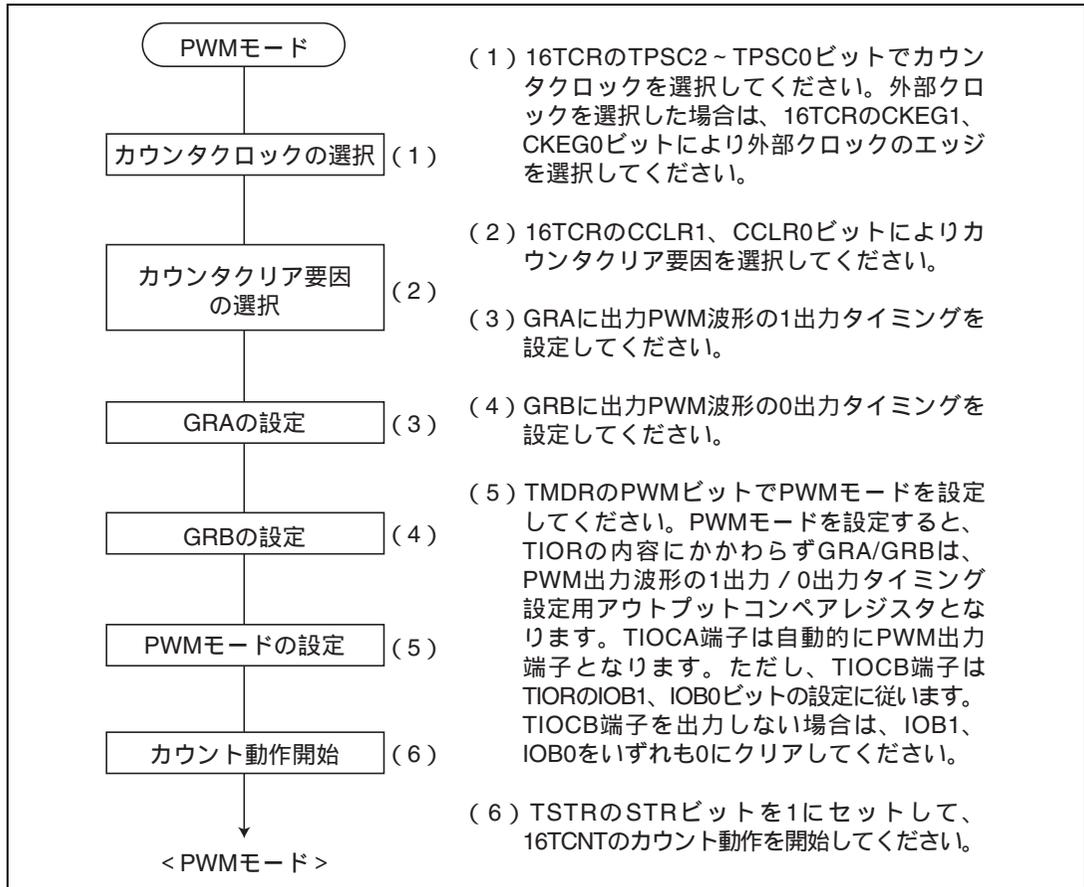


図 9.26 PWMモードの設定手順

## 9. 16ビットタイマ

### (2) PWM モードの動作例

PWM モードの動作例を図 9.27 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

16TCNT のカウンタクリア要因を、GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウンタ動作も使用できます。

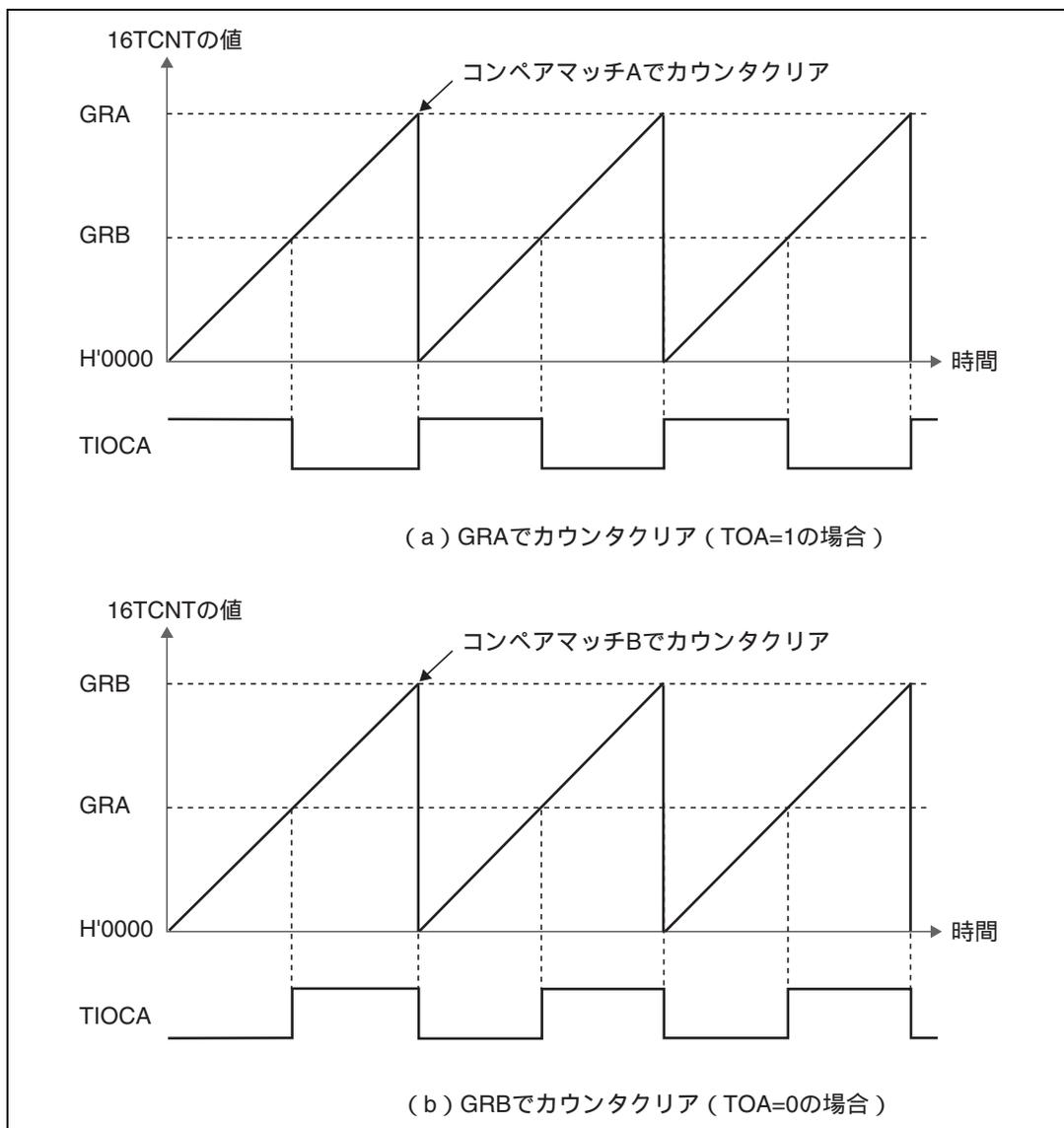


図 9.27 PWM モードの動作例 (1)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図9.28に示します。

カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値 > GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値 > GRAの設定値としたときPWM波形はデューティ100%となります。

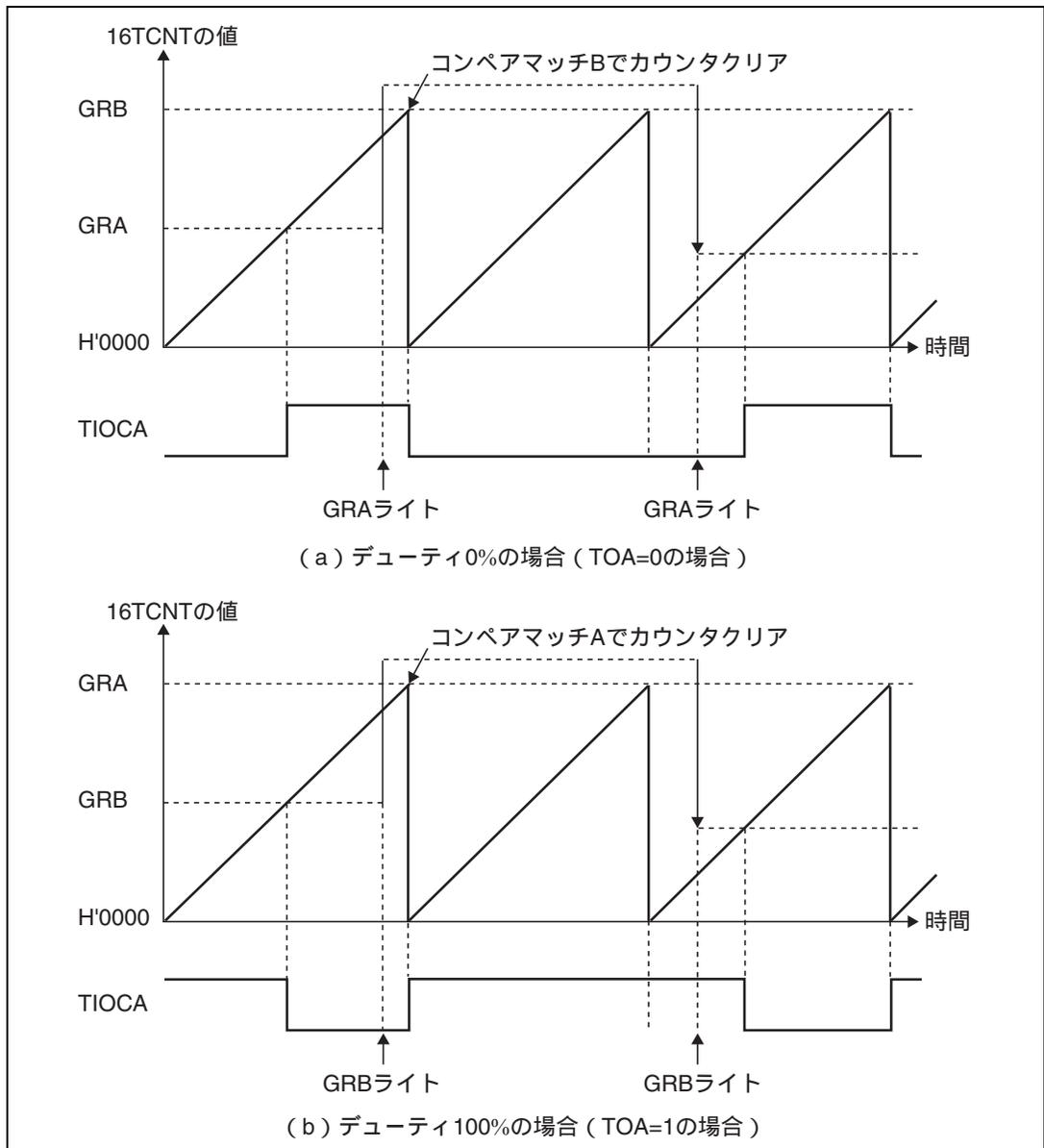


図9.28 PWMモードの動作例(2)

### 9.4.5 位相計数モード

位相計数モードは、2本の外部クロック入力(TCLKA、TCLKB 端子)の位相差を検出し、16TCNT2をアップ/ダウンカウントします。

位相計数モードに設定すると、16TCR2のTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、また16TCNT2はアップ/ダウンカウンタとなります。ただし、16TCR2のCCLR1、CCLR0ビット、TIOR2、TISRA、TISRB、TISRC、TSTRのSTR2ビット、GRA2、GRB2は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル2のみがもつ機能です。

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図9.29に示します。

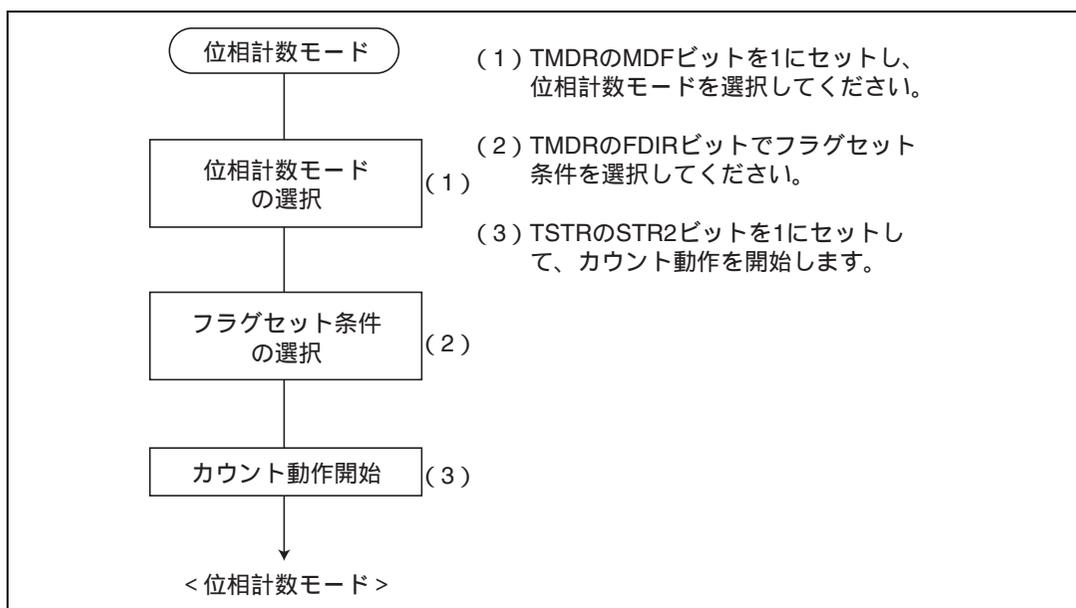


図 9.29 位相計数モードの設定手順例

#### (2) 位相計数モードの動作例

位相計数モードの動作例を図9.30に、16TCNT2のアップ/ダウンカウント条件を表9.5にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB端子の立ち上がり(↑) / 立ち下がり(↓)の両エッジでカウントされます。このとき、TCLKA、TCLKBの位相差およびオーバーラップはそれぞれ1.5ステート以上、パルス幅は2.5ステート以上必要です。

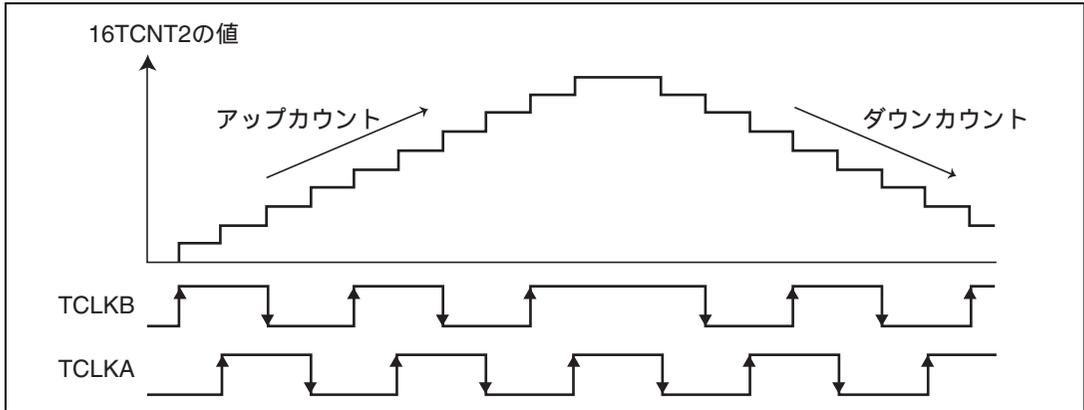


図 9.30 位相計数モードの動作例

表 9.5 アップ/ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
TCLKB		High		Low	High		Low	
TCLKA	Low		High			Low		High

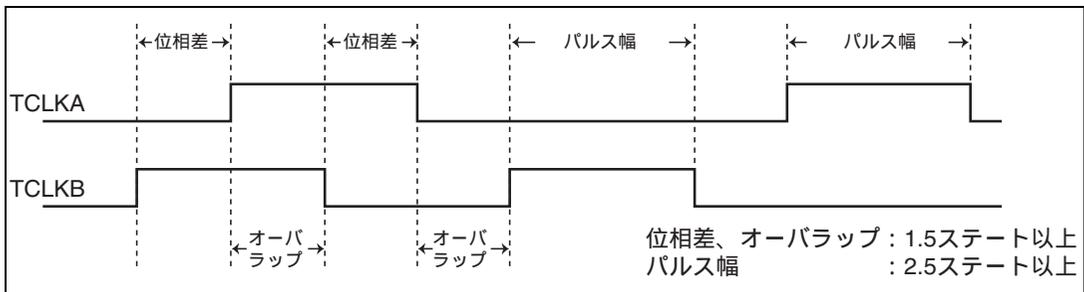


図 9.31 位相計数モード時の位相差、オーバーラップおよびパルス幅

### 9.4.6 16 ビットタイマ出力初期値の設定

16 ビットタイマ出力は、TOLR の設定により、タイマカウント動作起動時の出力の初期値を任意に設定することができます。

図 9.32 に TOLR による出力初期値設定タイミングを示します。

なお、TOLR へのライトは必ず対応する TSTR のビットが 0 のときに行ってください。

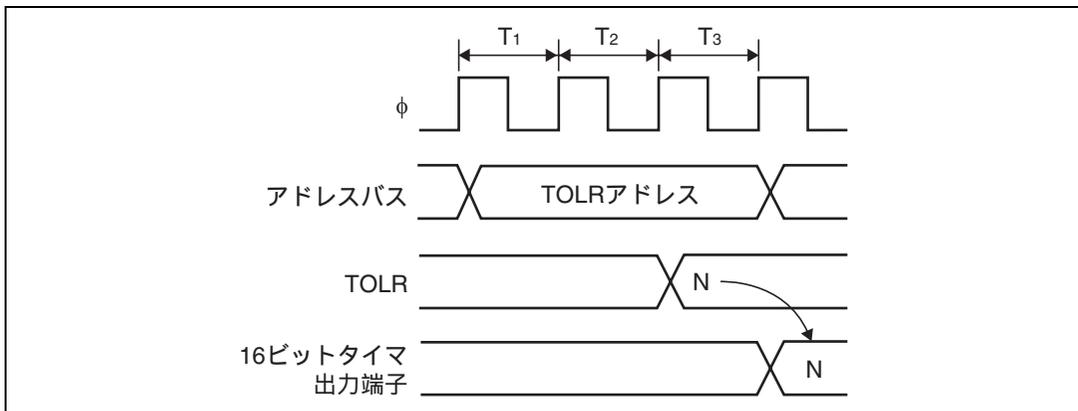


図 9.32 TOLR へのライトによる 16 ビットタイマ出力初期値設定タイミング

## 9.5 割り込み

16ビットタイマの割り込み要因には、インプットキャプチャ/コンペアマッチ割り込み、オーバーフロー割り込みの2種類があります。

### 9.5.1 ステータスフラグのセットタイミング

#### (1) コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

IMFフラグは、GRと16TCNTが一致したときに発生するコンペアマッチ信号により1にセットされます。コンペアマッチ信号は、一致した最後のステート（16TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、16TCNTとGRが一致した後、16TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図9.33にIMFフラグのセットタイミングを示します。

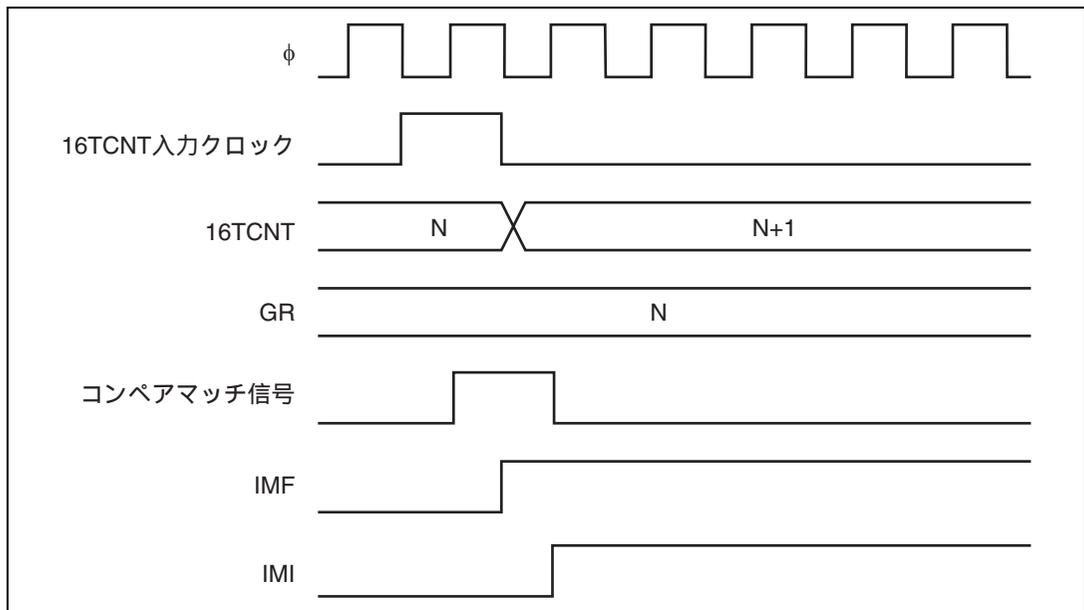


図9.33 コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

## 9. 16ビットタイマ

### (2) インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に 16TCNT の値が対応する GR に転送されます。

このタイミングを図 9.34 に示します。

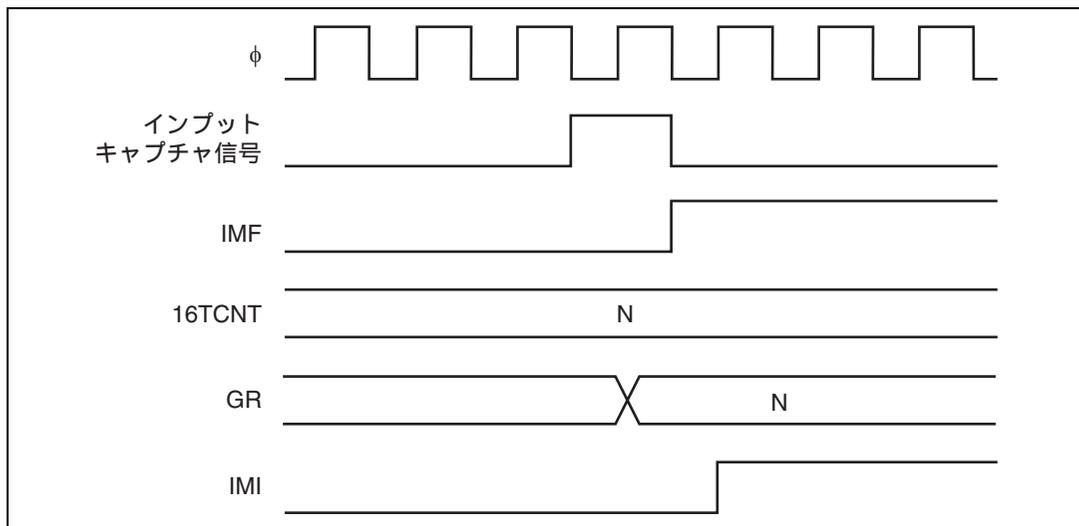


図 9.34 インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

### (3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、16TCNT がオーバフロー (H'FFFF→H'0000) したとき、またはアンダフロー (H'0000→H'FFFF) したときに 1 にセットされます。

このタイミングを図 9.35 に示します。

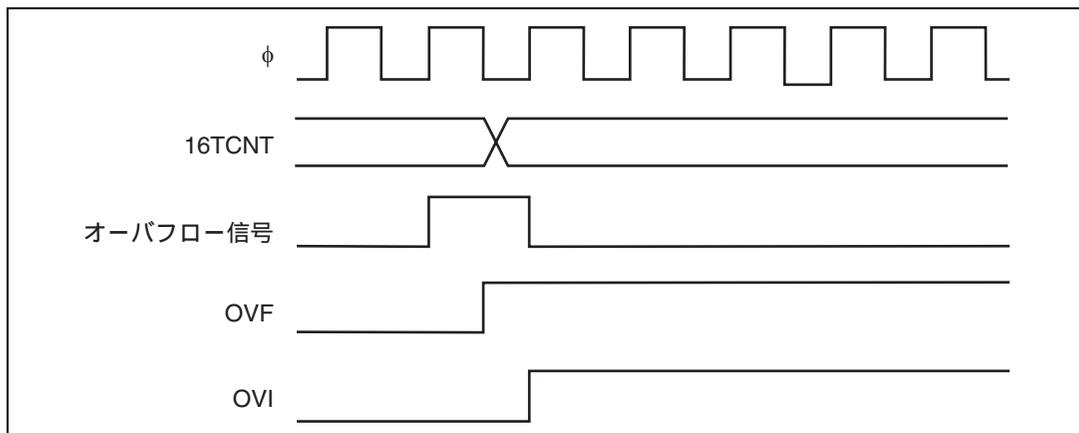


図 9.35 OVF のセットタイミング

### 9.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後0をライトするとクリアされます。このタイミングを図9.36に示します。

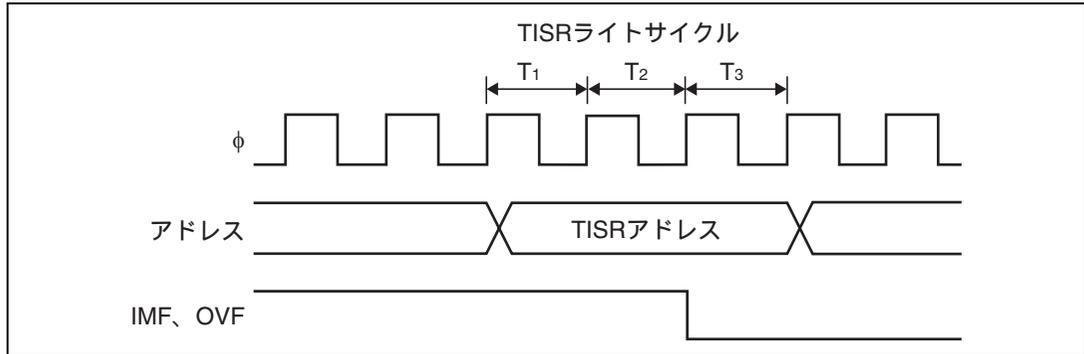


図 9.36 ステータスフラグのクリアタイミング

### 9.5.3 割り込み要因とDMAコントローラの起動

16ビットタイマは各チャンネルごとにコンペアマッチ/インプットキャプチャA割り込み、コンペアマッチ/インプットキャプチャB割り込み、およびオーバーフロー割り込みをもっています。これら3種類の割り込み計9本の割り込みは、それぞれ独立のベクタアドレスが割り付けられています。割り込み要求フラグが1にセットされているとき、当該割り込みが要求されます。

チャンネル間の優先順位は、IPRAにより変更可能です。詳細は「第5章 割り込みコントローラ」を参照してください。

チャンネル0~2のコンペアマッチ/インプットキャプチャA割り込みはDMACの起動要因とすることができます。このときは、CPUへは当該割り込みは要求されません。

16ビットタイマの割り込み要因を表9.6に示します。

表 9.6 16ビットタイマ割り込み要因

チャンネル	割り込み要因	内容	DMACの起動	優先順位*
0	IMIA0	コンペアマッチ/インプットキャプチャA0	可	↑ 高       低
	IMIB0	コンペアマッチ/インプットキャプチャB0	不可	
	OVI0	オーバーフロー-0	不可	
1	IMIA1	コンペアマッチ/インプットキャプチャA1	可	
	IMIB1	コンペアマッチ/インプットキャプチャB1	不可	
	OVI1	オーバーフロー-1	不可	
2	IMIA2	コンペアマッチ/インプットキャプチャA2	可	
	IMIB2	コンペアマッチ/インプットキャプチャB2	不可	
	OVI2	オーバーフロー-2	不可	

【注】 \* リセット直後の初期状態について示しています。チャンネル間の優先順位はIPRAにより変更可能です。

## 9.6 使用上の注意

16 ビットタイマの動作中、次のような競合や動作がおこりますので、注意してください。

### (1) 16TCNT のライトとクリアの競合

16TCNT のライトサイクル中の  $T_3$  ステートで、カウンタクリア信号が発生すると、16TCNT への書き込みサイクルは行われず 16TCNT のクリアが優先されます。

このタイミングを図 9.37 に示します。

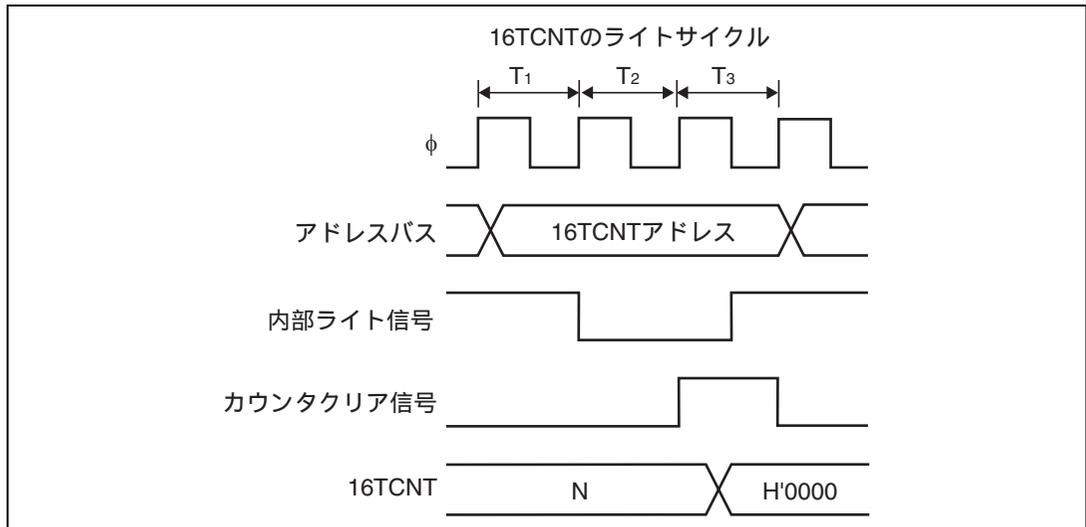


図 9.37 16TCNT のライトとクリアの競合

## (2) 16TCNTのワードライトとカウントアップの競合

16TCNTのワードライトサイクル中の $T_3$ 状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図9.38に示します。

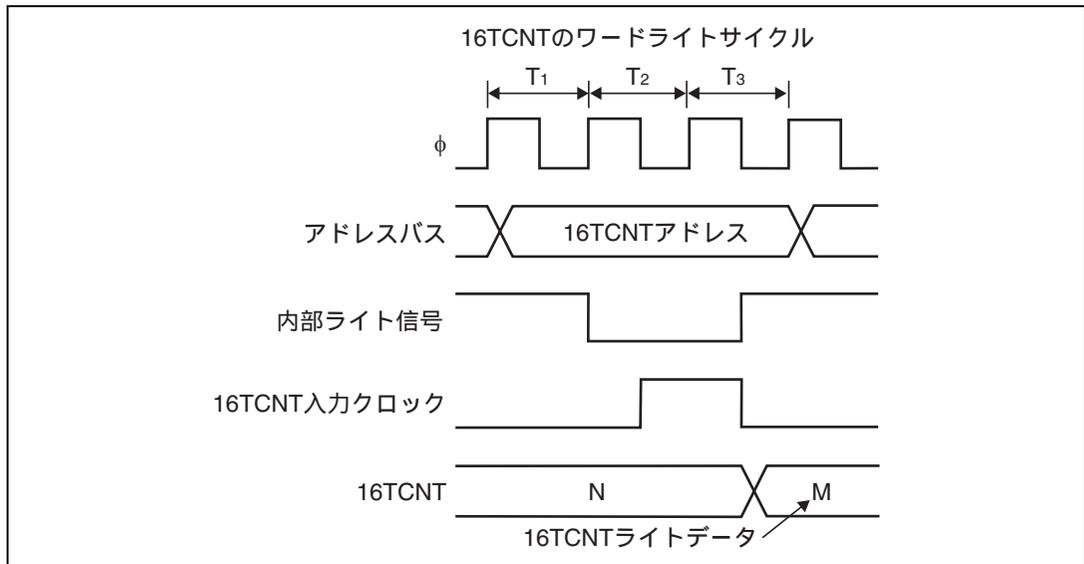


図9.38 16TCNTのワードライトとカウントアップの競合

(3) 16TCNTのバイトライトとカウントアップの競合

16TCNTのバイトライトサイクル中の $T_2$ ステートまたは $T_3$ ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図9.39に示します。

16TCNTHのバイトライトサイクル中の $T_2$ ステートでカウントアップが発生した場合の例です。

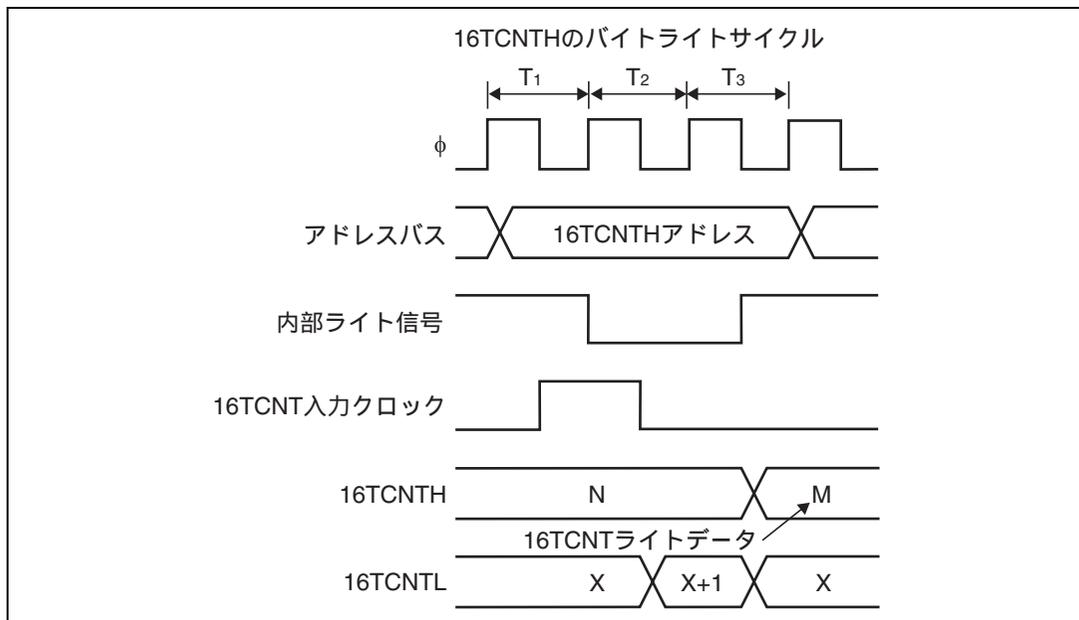


図 9.39 16TCNTのバイトライトとカウントアップの競合

## (4) GRのライトとコンペアマッチの競合

GRのライトサイクル中の $T_3$ 状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図9.40に示します。

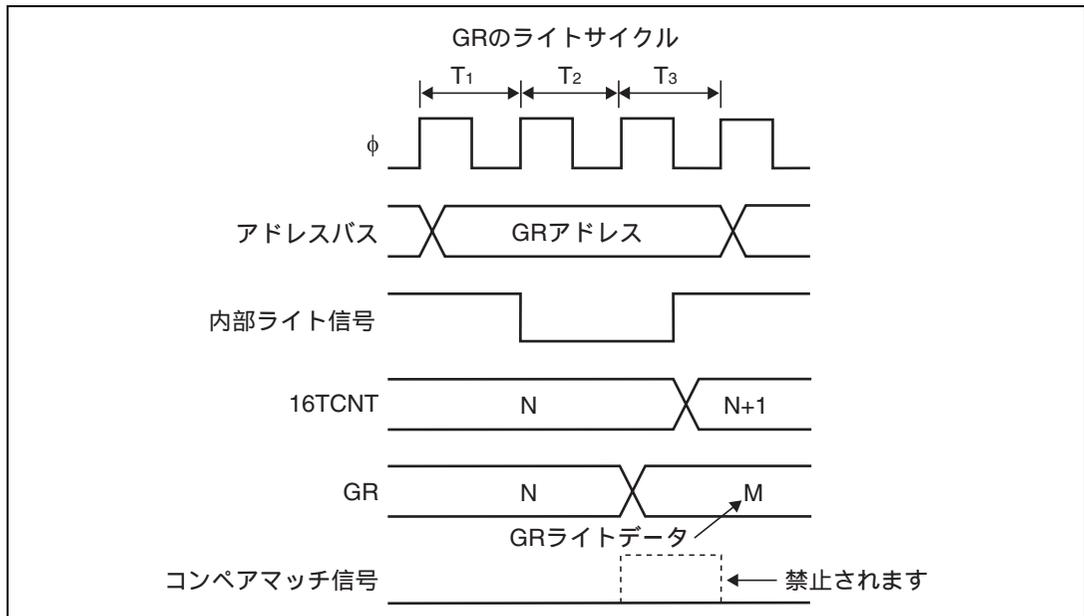


図 9.40 GRのライトとコンペアマッチの競合

(5) 16TCNT のライトとオーバーフロー / アンダフローとの競合

16TCNT のライトサイクル中の  $T_3$  ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。

このタイミングを図 9.41 に示します。

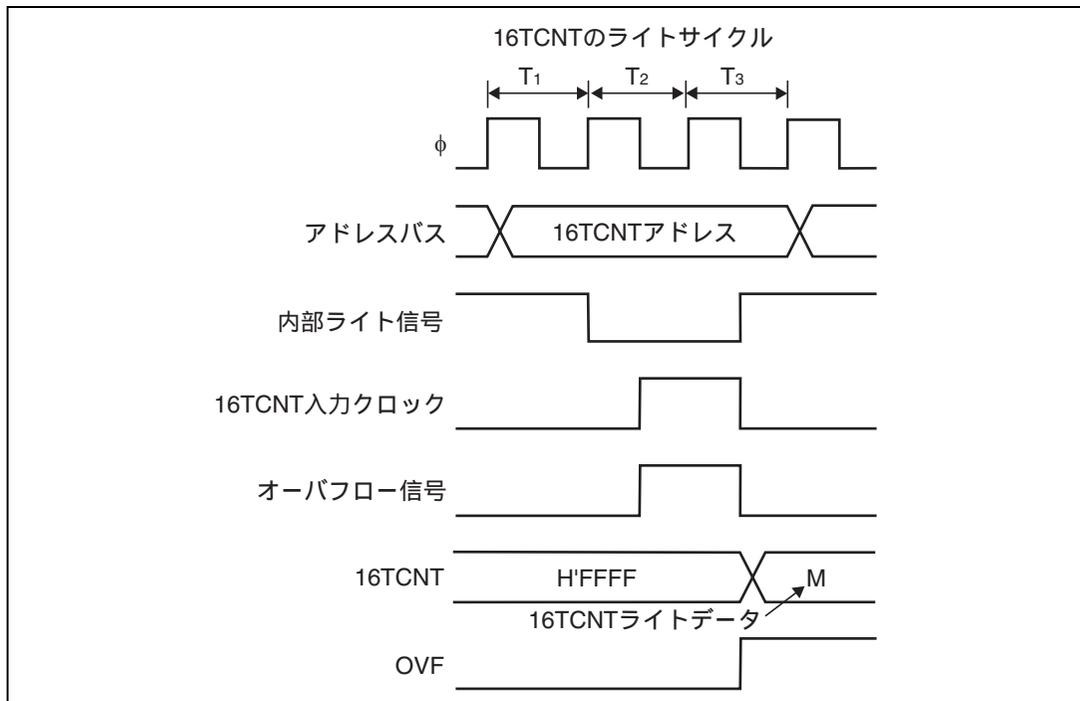


図 9.41 16TCNT のライトとオーバーフローの競合

## (6) GRのリードと入力キャプチャの競合

GRのリードサイクル中の $T_3$ 状態で、入力キャプチャ信号が発生すると、リードされるデータは入力キャプチャ転送前のデータです。

このタイミングを図9.42に示します。

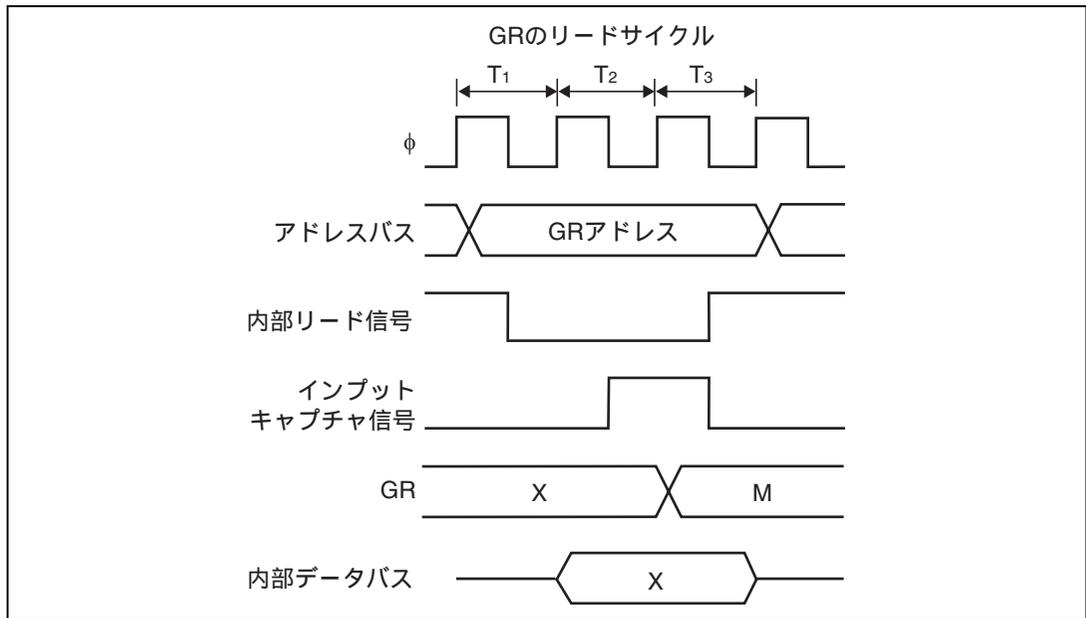


図9.42 GRのリードと入力キャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。GR にはカウンタクリア前の 16TCNT の内容が転送されます。

このタイミングを図 9.43 に示します。

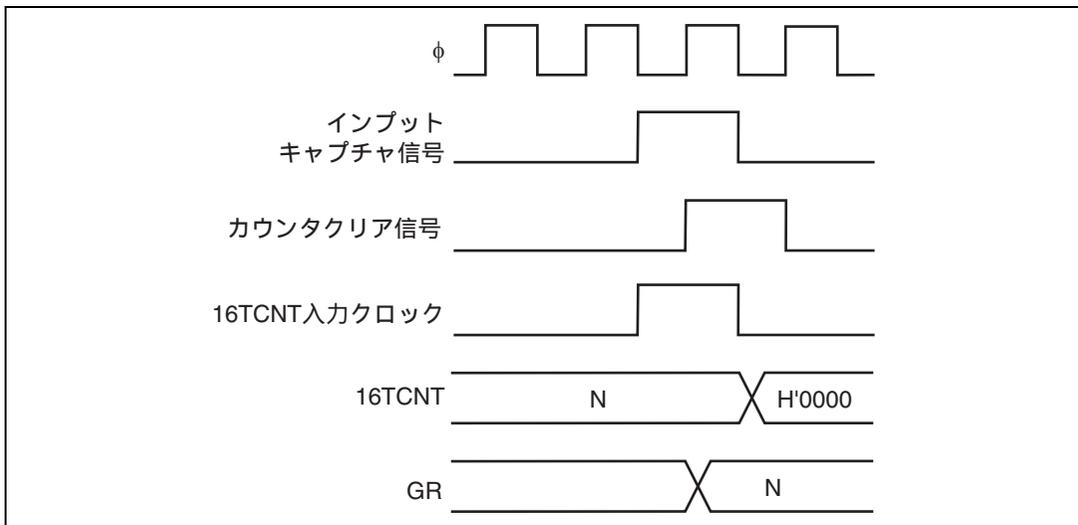


図 9.43 インพุットキャプチャによるカウンタクリアとカウントアップの競合

## (8) GRのライトと入力キャプチャの競合

GRのライトサイクル中の $T_3$ 状態で、入力キャプチャ信号が発生すると、GRへの書き込みは行われず、入力キャプチャが優先されます。

このタイミングを図9.44に示します。

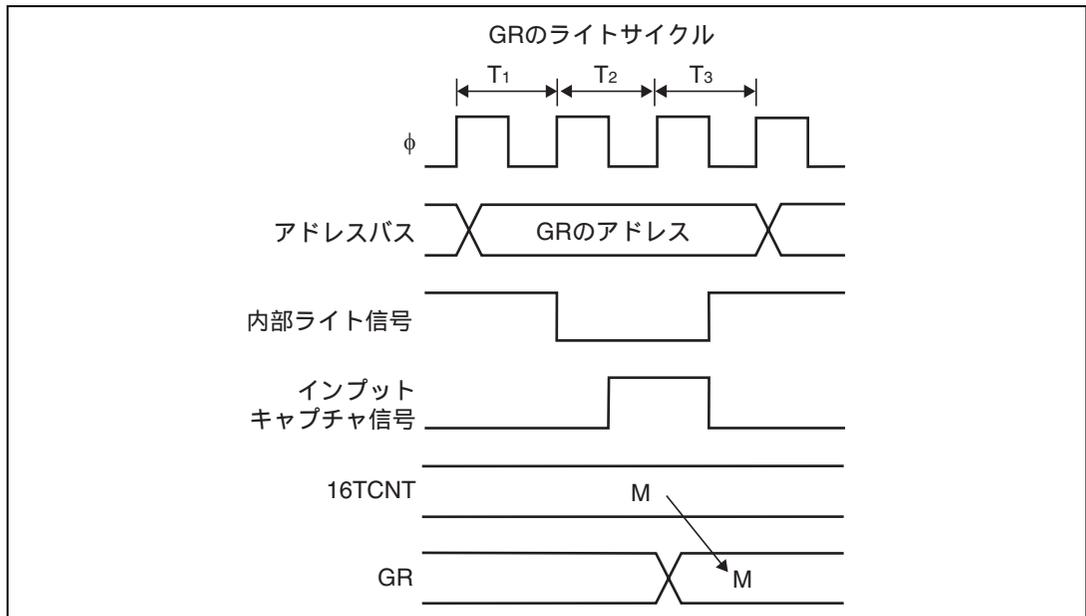


図 9.44 GRのライトと入力キャプチャの競合

## (9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、16TCNTはGRの値と一致した最後のステート（16TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式ようになります。

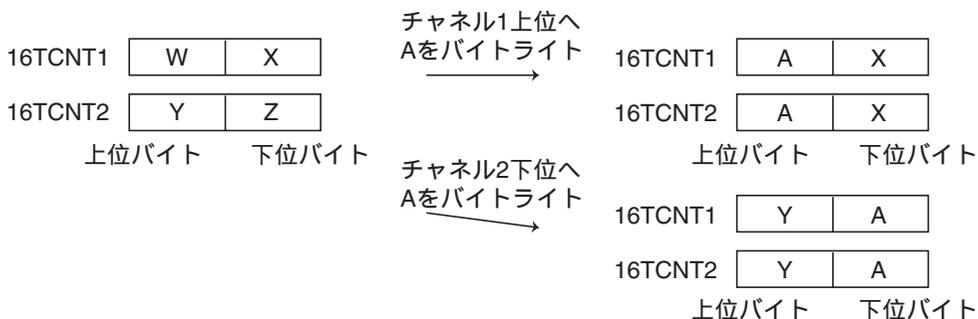
$$f = \frac{\phi}{(N+1)}$$

(f: カウンタ周波数、 $\phi$ : 動作周波数、N: GRの設定値)

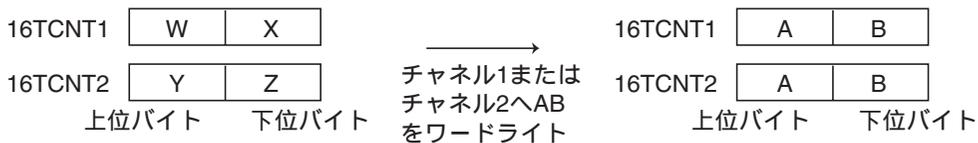
(10) 同期動作時のライト動作に関する注意事項

同期動作を設定した状態で、16TCNT のバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した 16TCNT と、16 ビットすべて同じ値となります。

(例) チャンネル1、2を同期モードで指定した場合  
 ・チャンネル1 / チャンネル2へのバイトライト



・チャンネル1 / チャンネル2へのワードライト



## (11) 16ビットタイマの動作モード一覧

表 9.7 (a) 16ビットタイマの動作モード(チャンネル0)

動作モード	レジスタ設定										
	TSNC			TMDR			TIOF0			16TCR0	
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択			
同期プリセット	SYNC0=1	—	—	○	○	○	○	○	○	○	
PWMモード	○	—	—	PWM0=1	—	○*	○	○	○	○	
アウトプット コンペアA機能	○	—	—	PWM0=0	IOA2=0 他任意	○	○	○	○	○	
アウトプット コンペアB機能	○	—	—	○	○	IOB2=0 他任意	○	○	○	○	
インプット キャプチャA機能	○	—	—	PWM0=0	IOA2=1 他任意	○	○	○	○	○	
インプット キャプチャB機能	○	—	—	PWM0=0	○	IOB2=1 他任意	○	○	○	○	
カウンタ クリア機能	○	—	—	○	○	○	CCLR1=0 CCLR0=1	○	○	○	
同期クリア	SYNC0=1	—	—	○	○	○	CCLR1=1 CCLR0=0	○	○	○	

## 【記号説明】

○ : 設定可能(有効)です。 ○ : 設定は当該動作モードに影響しません。

【注】\* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 9.7 (b) 16ビットタイマの動作モード (チャンネル1)

動作モード	レジスタ設定									
	TSNC			TMDR			TIOR1		16TCR1	
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択		
同期プリセット	SYNC1=1	—	—	○	○	○	○	○	○	
PWMモード	○	—	—	PWM1=1	—	○*	○	○	○	
アウトプット コンペアA機能	○	—	—	PWM1=0	IOA2=0 他任意	○	○	○	○	
アウトプット コンペアB機能	○	—	—	○	○	IOB2=0 他任意	○	○	○	
インプット キャプチャA機能	○	—	—	PWM1=0	IOA2=1 他任意	○	○	○	○	
インプット キャプチャB機能	○	—	—	PWM1=0	○	IOB2=1 他任意	○	○	○	
カウンタ クリア機能	○	—	—	○	○	○	CCLR1=0 CCLR0=1	○	○	
同期クリア	SYNC1=1	—	—	○	○	○	CCLR1=1 CCLR0=0	○	○	

【記号説明】

○ : 設定可能 (有効) です。 — : 設定は当該動作モードに影響しません。

【注】 \* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 9.7 (c) 16ビットタイマの動作モード (チャンネル2)

動作モード	レジスタ設定										
	TSNC			TMDR			TIOR2			16TCR2	
	同期動作	MDF	FDIR	PWM	IOA	IOB	クリア選択	クロック選択			
同期プリセット	○	○	—	○	○	○	○	○	○	○	
PWMモード	○	○	—	PWM2=1	—	○*	○	○	○	○	
アウトプットコンペアA機能	○	○	—	PWM2=0	IOA2=0 他任意	○	○	○	○	○	
アウトプットコンペアB機能	○	○	—	○	○	IOB2=0 他任意	○	○	○	○	
インプットキャプチャA機能	○	○	—	PWM2=0	IOA2=1 他任意	○	○	○	○	○	
インプットキャプチャB機能	○	○	—	PWM2=0	○	IOB2=1 他任意	○	○	○	○	
コンペアマッチ/インプットキャプチャAでクリア	○	○	—	○	○	○	○	○	CCLR1=0 CCLR0=1	○	
コンペアマッチ/インプットキャプチャBでクリア	○	○	—	○	○	○	○	○	CCLR1=1 CCLR0=0	○	
同期クリア	○	○	—	○	○	○	○	○	CCLR1=1 CCLR0=1	○	
位相計数モード	○	MDF=1	○	○	○	○	○	○	○	—	

## 【記号説明】

○ : 設定可能 (有効) です。 — : 設定は当該動作モードに影響しません。

【注】 \* PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。



---

## 10. 8ビットタイマ

---

### 10.1 概要

本 LSI は、8ビットのカウンタをベースにした4チャンネルの8ビットタイマ(TMR0、TMR1、TMR2、TMR3)を内蔵しています。4チャンネルの8ビットタイマには、それぞれタイマカウンタ(8TCNT)のほかに8ビットのタイムコンスタントレジスタ A、B(TCOR A、TCOR B)があり、8TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

#### 10.1.1 特長

4種類のカウンタ入力クロックを選択可能

- 3種類の内部クロック( $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ )と、外部クロックのうちから選択できます(外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- コンペアマッチ A、B、またはインプットキャプチャ Bのうちから選択できます。

2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- 独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力などの種々の応用が可能です。

コンペアマッチによる A/D 変換器の起動が可能です。

2チャンネルのカスケード接続が可能

- チャンネル0を上位、チャンネル1を下位とする16ビットタイマとして動作可能です(16ビットカウントモード)。
- チャンネル2を上位、チャンネル3を下位とする16ビットタイマとして動作可能です(16ビットカウントモード)。
- チャンネル1はチャンネル0のコンペアマッチをカウント可能です(コンペアマッチカウントモード)。
- チャンネル3はチャンネル2のコンペアマッチをカウント可能です(コンペアマッチカウントモード)。

インプットキャプチャ機能を設定可能

- 8ビット/16ビットのインプットキャプチャ動作が可能です。

12種類の割り込み要因

- コンペアマッチ×4要因、コンペアマッチ/インプットキャプチャ×4要因、オーバフロー×4要因の計12要因があります。  
コンペアマッチ割り込みのうち2要因とコンペアマッチ/インプットキャプチャ兼用割り込みのうち2要因は、独立した割り込みベクタを持っています。残りのコンペアマッチ割り込み、コンペアマッチ/インプットキャプチャ兼用割り込み、オーバフロー割り込みは、2要因で1つの割り込みベクタを持っています。

### 10.1.2 ブロック図

8ビットタイマのブロック図を図10.1に示します。8ビットタイマは2チャンネルのグループ0(チャンネル0、チャンネル1)およびグループ1(チャンネル2、チャンネル3)に分割されています。

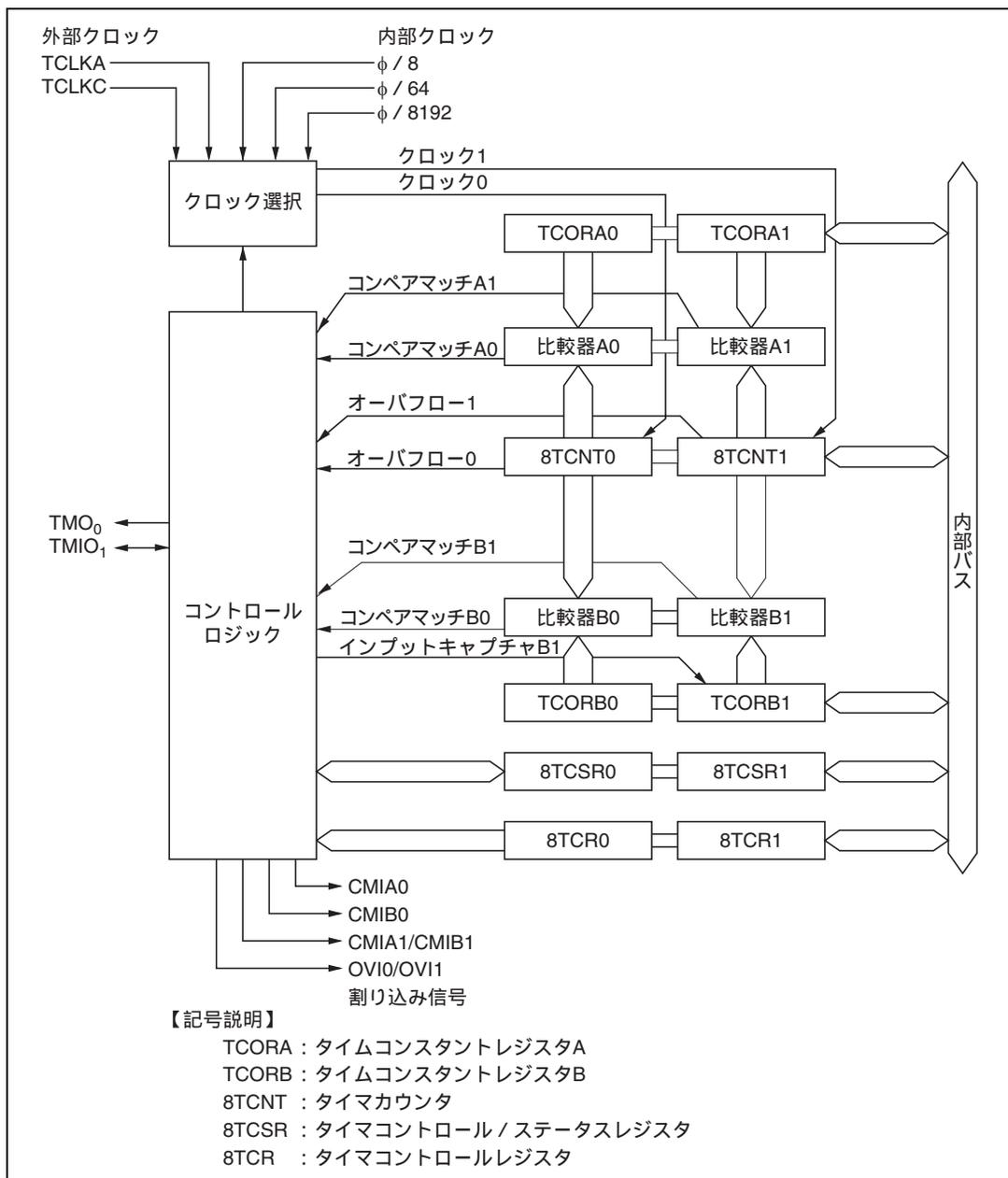


図 10.1 8ビットタイマのブロック図(2チャンネル分:グループ0)

### 10.1.3 端子構成

8ビットタイマの入出力端子を表 10.1 に示します。

表 10.1 端子構成

グループ	チャンネル	名称	略称	入出力	機能
0	0	タイマ出力端子	TMO <sub>0</sub>	出力	コンペアマッチ出力
		タイマクロック入力端子	TCLKC	入力	カウンタ外部クロック入力
	1	タイマ入出力端子	TMIO <sub>1</sub>	入出力	コンペアマッチ出力/インプットキャプチャ入力
		タイマクロック入力端子	TCLKA	入力	カウンタ外部クロック入力
1	2	タイマ出力端子	TMO <sub>2</sub>	出力	コンペアマッチ出力
		タイマクロック入力端子	TCLKD	入力	カウンタ外部クロック入力
	3	タイマ入出力端子	TMIO <sub>3</sub>	入出力	コンペアマッチ出力/インプットキャプチャ入力
		タイマクロック入力端子	TCLKB	入力	カウンタ外部クロック入力

## 10. 8ビットタイマ

### 10.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

チャンネル	アドレス*1	名 称	略称	R/W	初期値
0	H'FFF80	タイマコントロールレジスタ 0	8TCR0	R/W	H'00
	H'FFF82	タイマコントロール/ステータスレジスタ 0	8TCSR0	R/(W)*2	H'00
	H'FFF84	タイムコンスタントレジスタ A 0	TCORA0	R/W	H'FF
	H'FFF86	タイムコンスタントレジスタ B 0	TCORB0	R/W	H'FF
	H'FFF88	タイマカウンタ 0	8TCNT0	R/W	H'00
1	H'FFF81	タイマコントロールレジスタ 1	8TCR1	R/W	H'00
	H'FFF83	タイマコントロール/ステータスレジスタ 1	8TCSR1	R/(W)*2	H'00
	H'FFF85	タイムコンスタントレジスタ A 1	TCORA1	R/W	H'FF
	H'FFF87	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF
	H'FFF89	タイマカウンタ 1	8TCNT1	R/W	H'00
2	H'FFF90	タイマコントロールレジスタ 2	8TCR2	R/W	H'00
	H'FFF92	タイマコントロール/ステータスレジスタ 2	8TCSR2	R/(W)*2	H'10
	H'FFF94	タイムコンスタントレジスタ A 2	TCORA2	R/W	H'FF
	H'FFF96	タイムコンスタントレジスタ B 2	TCORB2	R/W	H'FF
	H'FFF98	タイマカウンタ 2	8TCNT2	R/W	H'00
3	H'FFF91	タイマコントロールレジスタ 3	8TCR3	R/W	H'00
	H'FFF93	タイマコントロール/ステータスレジスタ 3	8TCSR3	R/(W)*2	H'00
	H'FFF95	タイムコンスタントレジスタ A 3	TCORA3	R/W	H'FF
	H'FFF97	タイムコンスタントレジスタ B3	TCORB3	R/W	H'FF
	H'FFF99	タイマカウンタ 3	8TCNT3	R/W	H'00

【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。

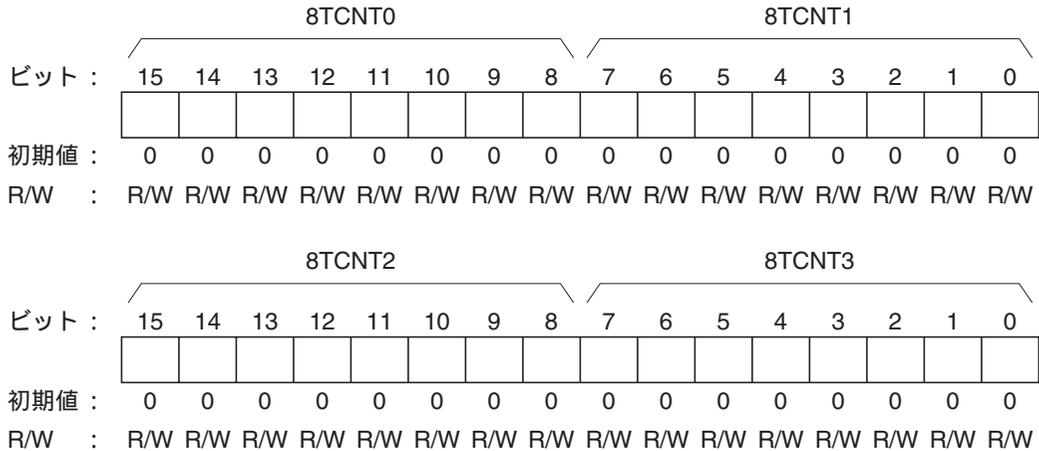
\*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

また、同様にチャンネル 2 とチャンネル 3 の対応するレジスタは、チャンネル 2 を上位、チャンネル 3 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

## 10.2 各レジスタの説明

### 10.2.1 タイマカウンタ (8TCNT)



8TCNT はそれぞれ 8 ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、8TCR の CKS2 ~ CKS0 ビットで選択します。8TCNT の値は、CPU から常にリード/ライト可能です。

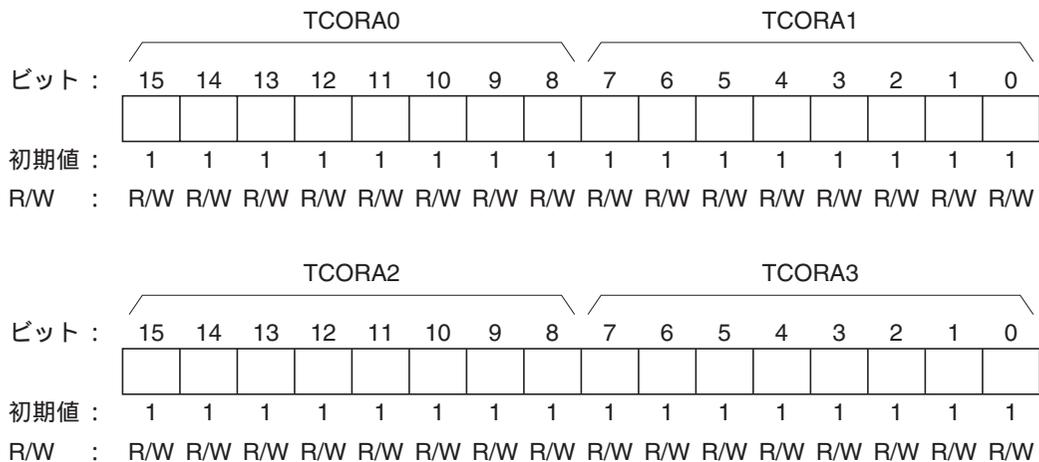
8TCNT0、8TCNT1 および 8TCNT2、8TCNT3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

8TCNT は、インプットキャプチャ信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、8TCR の CCLR1、CCLR0 ビットで選択します。

また、8TCNT がオーバーフロー (H'FF→H'00) すると、8TCSR の OVF が 1 にセットされます。

8TCNT は、リセットまたはスタンバイモード時に H'00 に初期化されます。

## 10.2.2 タイムコンスタントレジスタ A (TCORA)



TCORA はそれぞれ 8 ビットのリード/ライト可能なレジスタです。

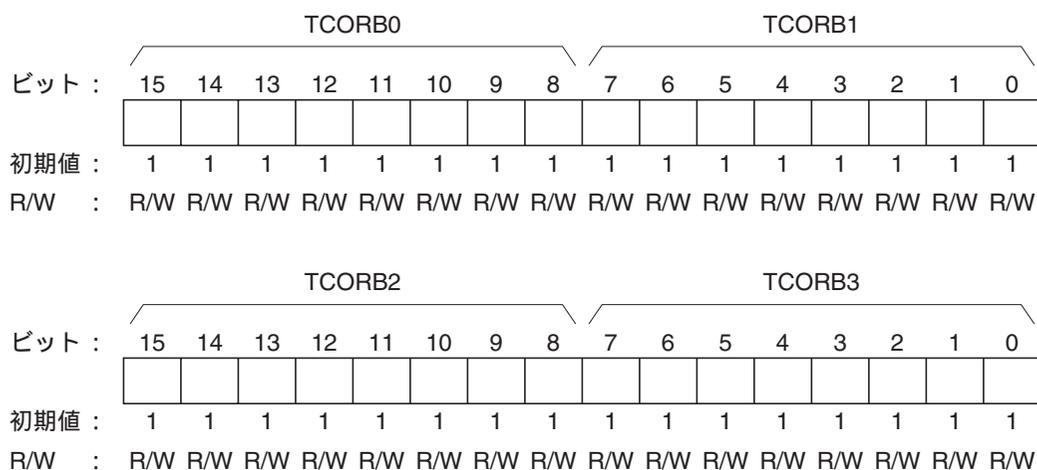
TCORA0、TCORA1 および TCORA2、TCORA3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と 8TCNT の値は常に比較されており、両者の値が一致すると 8TCSR の CMFA が 1 にセットされます。

また、この一致による信号 (コンペアマッチ) と 8TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはスタンバイモード時に H'FF に初期化されます。

## 10.2.3 タイムコンスタントレジスタ B (TCORB)



TCORB はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORB0、TCORB1 および TCORB2、TCORB3 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と 8TCNT の値は常に比較されており、両者の値が一致すると 8TCSR の CMFB が 1 にセットされます。\*

また、この一致による信号 (コンペアマッチ) と 8TCSR のアウトプット/インプットキャプチャエッジセレクト OIS3、OIS2 ビットの設定により、タイマ出力を自由に制御することができます。

インプットキャプチャとして使用しているときは、外部からのインプットキャプチャ信号を検出して、8TCNT の値を格納します。このとき対応する 8TCSR の CMFB フラグが "1" にセットされます。インプットキャプチャ信号の検出エッジは 8TCSR により行います。

TCORB は、リセットまたはスタンバイモード時に H'FF に初期化されます。

【注】\* チャンネル 1 およびチャンネル 3 を TCORB インプットキャプチャに設定した場合、チャンネル 0 およびチャンネル 2 のコンペアマッチ B による CMFB フラグのセットは起こりません。

## 10.2.4 タイマコントロールレジスタ (8TCR)

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8TCR はそれぞれ 8 ビットのリード/ライト可能なレジスタで、8TCNT の入力クロックの選択、8TCNT のクリア指定、および各割り込み要求の許可を制御します。

8TCR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「10.4 動作説明」を参照してください。

## ビット 7 : コンペアマッチインタラプトイネーブル B (CMIEB)

8TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	説明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割り込み要求 (CMIB) を許可

## ビット 6 : コンペアマッチインタラプトイネーブル A (CMIEA)

8TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。

ビット 8	説明
CMIEA	
0	CMFA による割り込み要求 (CMIA) を禁止 (初期値)
1	CMFA による割り込み要求 (CMIA) を許可

## ビット5：タイマオーバフローインタラプトイネーブル（OVIE）

8TCNTのOVFが1にセットされたとき、OVFによる割り込み要求（OVI）の許可または禁止を選択します。

ビット5	説 明
OVIE	
0	OVFによる割り込み要求（OVI）を禁止 (初期値)
1	OVFによる割り込み要求（OVI）を許可

## ビット4、3：カウンタクリア1、0（CCLR1、CCLR0）

8TCNTのクリア要因を指定します。クリア要因は、コンペアマッチA、BまたはインプットキャプチャBから選択します。

ビット4	ビット3	説 明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチAによりクリア
1	0	コンペアマッチB / インプットキャプチャBによりクリア
	1	インプットキャプチャBによりクリア

【注】 8TCNT1および8TCNT3のカウンタクリア要因を、インプットキャプチャBに設定した場合、8TCNT0および8TCNT2はコンペアマッチBによりクリアされません。

## 10. 8ビットタイマ

### ビット2~0：クロックセレクト2~0（CKS2~CKS0）

8TCNT に入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック（ $\phi$ ）を分周した3種類のクロック（ $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ）から選択できます。これら内部クロックは、立ち上がりエッジでカウントします。

外部クロックのとき、クロック入力立ち上がり、立ち下がり、または立ち上がり/立ち下がり両エッジのカウントの3種類から選択できます。

CKS2、CKS1、CKS0=1、0、0の設定の場合、チャンネル0と1およびチャンネル2と3でカスケード接続になります。

8TCR0と8TCR2に設定した場合と、8TCR1と8TCR3に設定した場合は、カウントアップのクロックソースが異なります。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック： $\phi/8$ 立ち上がりエッジでカウント
	1	0	内部クロック： $\phi/64$ 立ち上がりエッジでカウント
		1	内部クロック： $\phi/8192$ 立ち上がりエッジでカウント
1	0	0	チャンネル0の場合（16ビットカウントモード）： 8TCNT1のオーバーフロー信号でカウント*1 チャンネル1の場合（コンペアマッチカウントモード）： 8TCNT0のコンペアマッチAでカウント*1 チャンネル2の場合（16ビットカウントモード）： 8TCNT3のオーバーフロー信号でカウント*2 チャンネル3の場合（コンペアマッチカウントモード）： 8TCNT2のコンペアマッチAでカウント*2
		1	外部クロック：立ち上がりエッジでカウント
	1	0	外部クロック：立ち下がりエッジでカウント
		1	外部クロック：立ち上がり/立ち下がり両エッジでカウント

【注】 \*1 チャンネル0のクロック入力を8TCNT1のオーバーフロー信号とし、チャンネル1のクロック入力を8TCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

\*2 チャンネル2のクロック入力を8TCNT3のオーバーフロー信号とし、チャンネル3のクロック入力を8TCNT2のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

## 10.2.5 タイマコントロール/ステータスレジスタ (8TCSR)

8TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

8TCSR2

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

8TCSR1、8TCSR3

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】\* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

8TCSRは8ビットのレジスタで、コンペアマッチ/インプットキャプチャやタイマオーバーフローのステータスの表示、およびコンペアマッチ出力/インプットキャプチャのエッジの選択の制御を行います。

リセットまたはスタンバイモード時に、8TCSRはH'00に初期化されます。

ビット7: コンペアマッチ/インプットキャプチャフラグB (CMFB)

TCORBのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット7	説明
CMFB	
0	〔クリア条件〕 CMFB=1の状態、CMFBをリードした後、CMFBに0ライトしたとき (初期値)
1	〔セット条件〕 (1) 8TCNT = TCORB になったとき* (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき

【注】\* 8TCSR1、8TCSR3のICEビットが1のとき、8TCNT0=TCORB0、8TCNT2=TCORB2となってもCMFBフラグはセットされません。

## 10. 8ビットタイマ

### ビット6：コンペアマッチフラグ A (CMFA)

TCORA のコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
CMFA	
0	〔クリア条件〕 CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき (初期値)
1	〔セット条件〕 8TCNT=TCORAになったとき

### ビット5：タイマオーバフローフラグ (OVF)

8TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット5	説明
OVF	
0	〔クリア条件〕 OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき (初期値)
1	〔セット条件〕 8TCNTがH'FF→H'00になったとき

### ビット4：A/Dトリガイネーブル (ADTE) (8TCSR0)

ADTEは、ADCRのTRGEとの組み合わせにより、コンペアマッチAまたは外部トリガによるA/D変換開始要求の許可または禁止を選択します。

8TCSR2のビット4はリザーブビットです。リード/ライトは可能です。

TRGE*	ビット4	説明
	ADTE	
0	0	コンペアマッチAまたは外部トリガ端子(ADTRG)入力によるA/D変換開始要求を禁止 (初期値)
	1	コンペアマッチAまたは外部トリガ端子(ADTRG)入力によるA/D変換開始要求を禁止
1	0	外部トリガ端子(ADTRG)入力によるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止
	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガ端子(ADTRG)入力によるA/D変換開始要求を禁止

【注】 \* TRGEはA/Dコントロールレジスタ(ADCR)のビット7です。

### ビット4：リザーブビット (8TCSR1の場合)

リザーブビットです。リード/ライトは可能です。

## ビット4：インプットキャプチャイネーブル（ICE）（8TCSR1、8TCSR3）

TCORB1、TCORB3 の機能を選択します。

ビット4	説明
ICE	
0	TCORB1、TCORB3はコンペアマッチレジスタ（初期値）
1	TCORB1、TCORB3はインプットキャプチャレジスタ

8TCSR1 および 8TCSR3 の ICE ビットを 1 にセットしたときの、チャンネル 0～3 の TCORA、TCORB 各レジスタの動作を表 10.3、表 10.4 にまとめます。

表 10.3 8TCSR1 レジスタの ICE ビット=1 に設定した場合のチャンネル 0 とチャンネル 1 の動作

レジスタ	レジスタ機能	ステータスフラグの変化	タイマ出力 キャプチャ入力	割り込み要求
TCORA0	コンペアマッチ動作	コンペアマッチにより 8TCSR0 の CMFA = 0→1 にセット	TMO <sub>0</sub> から出力制御可能	コンペアマッチにより CMIA0 割り込み要求発生
TCORB0	コンペアマッチ動作	コンペアマッチが発生しても 8TCSR0 の CMFB = 0→1 にセットされない	TMO <sub>0</sub> から出力しない	コンペアマッチが発生しても CMIB0 割り込み要求発生しない
TCORA1	コンペアマッチ動作	コンペアマッチにより 8TCSR1 の CMFA = 0→1 にセット	TMIO <sub>1</sub> はインプットキャプチャ専用端子	コンペアマッチにより CMIA1 割り込み要求発生
TCORB1	インプットキャプチャ動作	インプットキャプチャにより 8TCSR1 の CMFB = 0→1 にセット	TMIO <sub>1</sub> はインプットキャプチャ専用端子	インプットキャプチャにより CMIB1 割り込み要求発生

表 10.4 8TCSR3 レジスタの ICE ビット=1 に設定した場合のチャンネル 2 とチャンネル 3 の動作

レジスタ	レジスタ機能	ステータスフラグの変化	タイマ出力 キャプチャ入力	割り込み要求
TCORA2	コンペアマッチ動作	コンペアマッチにより 8TCSR2 の CMFA = 0→1 にセット	TMO <sub>2</sub> から出力制御可能	コンペアマッチにより CMIA2 割り込み要求発生
TCORB2	コンペアマッチ動作	コンペアマッチが発生しても 8TCSR2 の CMFB = 0→1 にセットされない	TMO <sub>2</sub> から出力しない	コンペアマッチが発生しても CMIB2 割り込み要求発生しない
TCORA3	コンペアマッチ動作	コンペアマッチにより 8TCSR3 の CMFA = 0→1 にセット	TMIO <sub>3</sub> はインプットキャプチャ専用端子	コンペアマッチにより CMIA3 割り込み要求発生
TCORB3	インプットキャプチャ動作	インプットキャプチャにより 8TCSR3 の CMFB = 0→1 にセット	TMIO <sub>3</sub> はインプットキャプチャ専用端子	インプットキャプチャにより CMIB3 割り込み要求発生

## 10. 8ビットタイマ

ビット3、2：アウトプット/インプットキャプチャエッジセレクト B3、2 (OIS3、OIS2)

OIS3、OIS2は8TCSR1(8TCSR3)のICEとの組み合わせにより、コンペアマッチBによる出力レベルの選択またはインプットキャプチャ入力の検出エッジの選択をします。

8TCSR1(8TCSR3)のビット4の設定によりTCORB1(TCORB3)の機能が変わります。TCORB0、TCORB2は8TCSR1(8TCSR3)のビット4の設定にかかわらずコンペアマッチレジスタとして機能します。

8TCSR1 (8TCSR3)の ICEビット	ビット3	ビット2	説 明
	OIS3	OIS2	
0	0	0	コンペアマッチBで変化しない (初期値)
		1	コンペアマッチBで0出力
	1	0	コンペアマッチBで1出力
		1	コンペアマッチBごとに反転出力(トグル出力)
1	0	0	立ち上がりエッジでTCORBインプットキャプチャ
		1	立ち下がりエッジでTCORBインプットキャプチャ
	1	0	立ち上がり/立ち下がりの両エッジでTCORBインプット
		1	キャプチャ

- コンペアマッチレジスタとして機能している場合、タイマ出力はトグル出力>1出力>0出力の順で優先順位が高くなるように設定してあります。
- コンペアマッチがA、B同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。
- OIS3、OIS2、OS1、OS0ビットがすべて0の場合にはタイマ出力は禁止されます。

ビット1、0：アウトプットセレクトA1、A0 (OS1、OS0)

コンペアマッチAによる出力レベルを選択します。

ビット1	ビット0	説 明
OS1	OS0	
0	0	コンペアマッチAで変化しない (初期値)
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力(トグル出力)

- コンペアマッチレジスタとして機能している場合、タイマ出力はトグル出力>1出力>0出力の順で優先順位が高くなるように設定してあります。
- コンペアマッチがA、B同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。
- OIS3、OIS2、OS1、OS0ビットがすべて0の場合にはタイマ出力は禁止されます。

## 10.3 CPU とのインタフェース

### 10.3.1 8ビットレジスタ

8TCNT、TCORA、TCORB、8TCR、8TCSR は8ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

8TCNT に対してワード単位のリード/ライトを行った場合の動作を図10.2、図10.3に示します。

また、8TCNT0、8TCNT1 に対してワード単位のリード/ライトを行った場合の動作を図10.4、図10.5、図10.6、図10.7に示します。

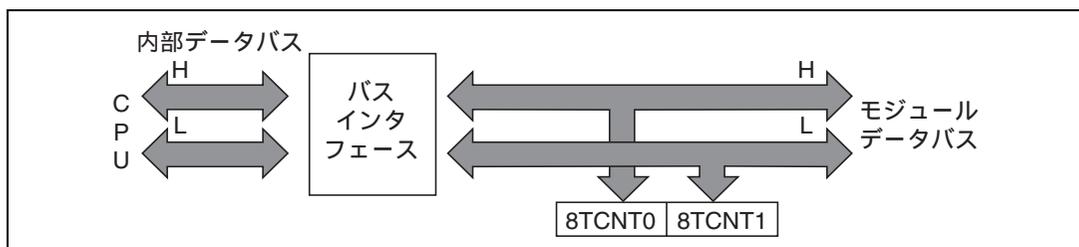


図 10.2 8TCNT のアクセス動作 [CPU→8TCNT (ワード)]

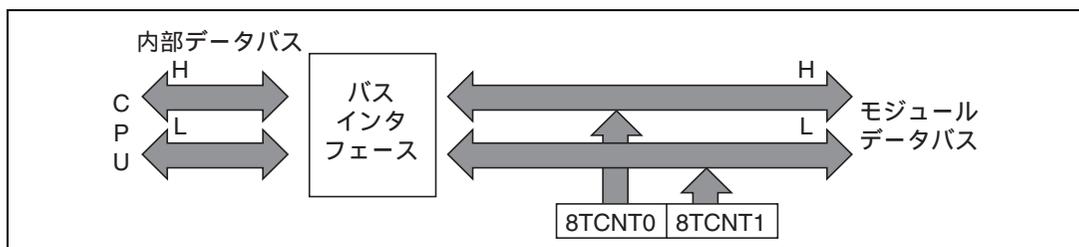


図 10.3 8TCNT のアクセス動作 [8TCNT→CPU (ワード)]

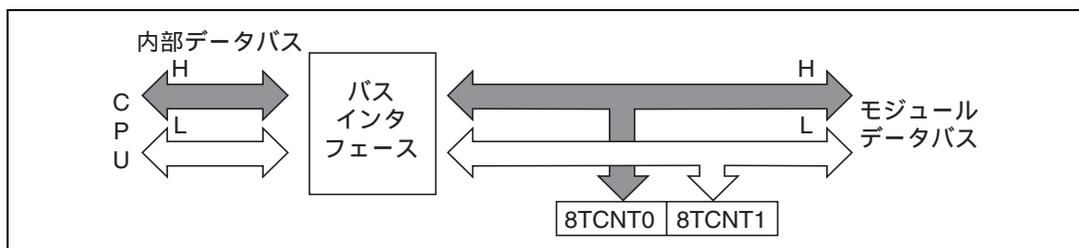


図 10.4 8TCNTH のアクセス動作 [CPU→8TCNTH (上位バイト)]

10. 8ビットタイム

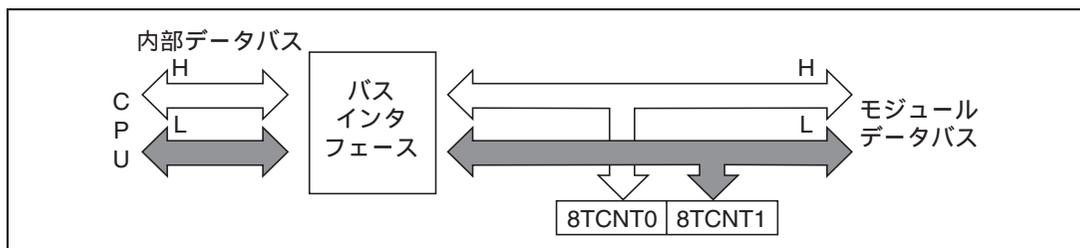


図 10.5 8TCNT1 のアクセス動作 [ CPU→8TCNT1 (下位バイト) ]

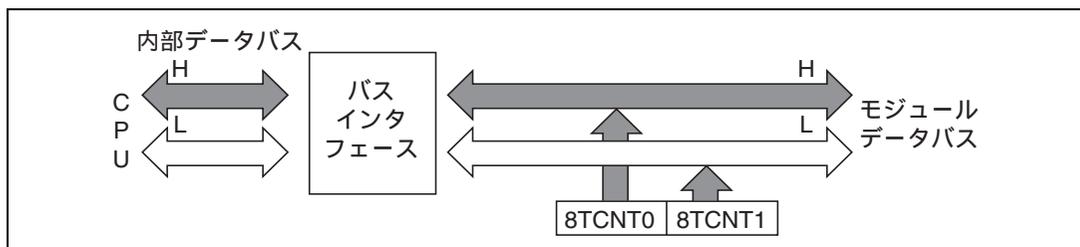


図 10.6 8TCNT0 のアクセス動作 [ 8TCNT0→CPU (上位バイト) ]

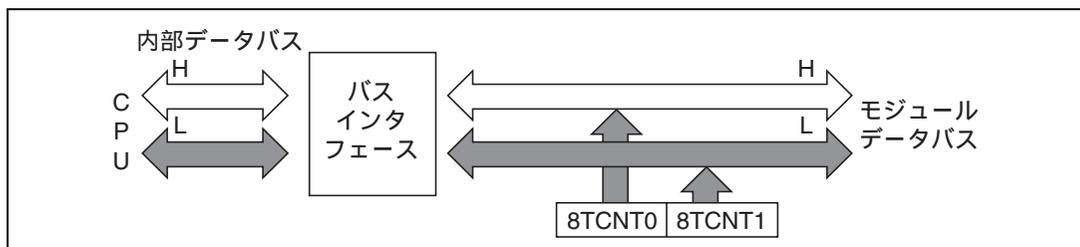


図 10.7 8TCNT1 のアクセス動作 [ 8TCNT1→CPU (下位バイト) ]

## 10.4 動作説明

### 10.4.1 8TCNT のカウントタイミング

8TCNT は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

#### (1) 内部クロック動作の場合

8TCR の CKS2 ~ CKS0 ビットの設定により、システムクロック ( $\phi$ ) を分周して作られる 3 種類の内部クロック ( $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ) が選択されます。このタイミングを図 10.8 に示します。

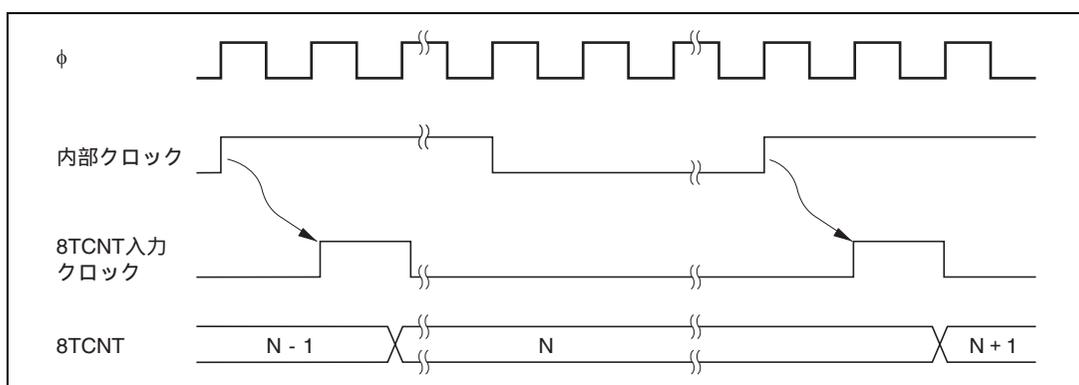


図 10.8 内部クロック動作時のカウントタイミング

【注】 16ビットタイマと8ビットタイマで同じ内部クロックを選択した場合でもカウントアップさせるエッジが異なるため、同じ動作をしませんので注意してください。

## 10. 8ビットタイマ

### (2) 外部クロック動作の場合

8TCRのCKS2~CKS0ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は1.5ステート以上、両エッジの場合は2.5ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図10.9に、外部クロックとして、立ち上がり/立ち下がり両エッジの場合のタイミングを示します。

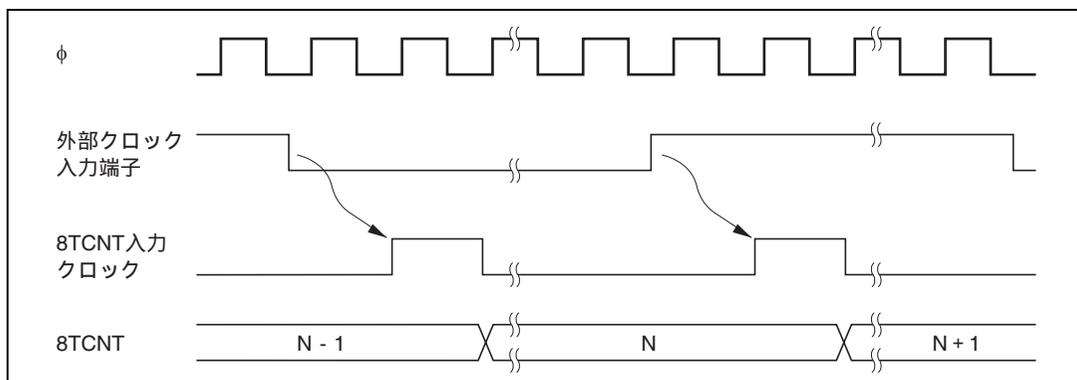


図 10.9 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

## 10.4.2 コンペアマッチタイミング

### (1) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、8TCSR の OIS3、OIS2、OS1、OS0 ビットで選択された状態（変化しない、0 出力、1 出力、トグル出力）で出力されます。

図 10.10 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

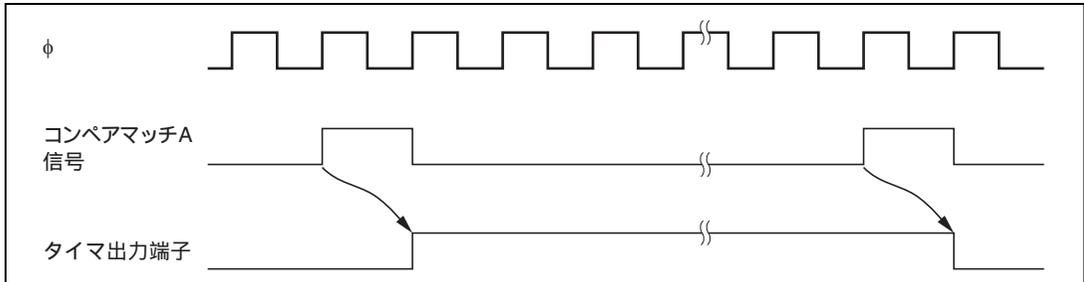


図 10.10 タイマ出力タイミング

### (2) コンペアマッチによるクリア

8TCNT は、8TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 10.11 に示します。

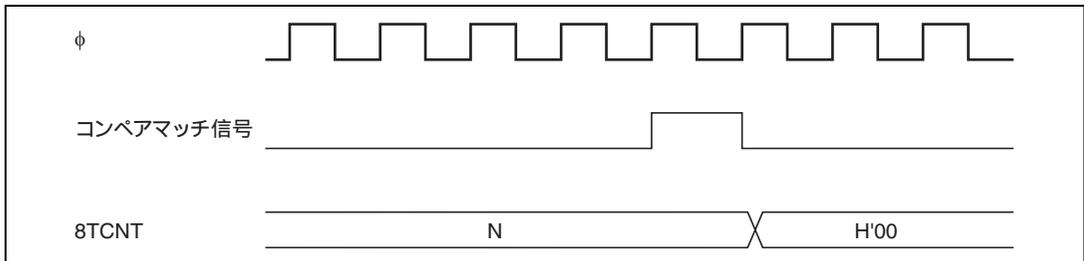


図 10.11 コンペアマッチによるクリアタイミング

## 10. 8ビットタイマ

---

### (3) インพุットキャプチャによるクリア

8TCNTは、8TCRのCCLR1、CCLR0ビットの選択によりインพุットキャプチャBでクリアされま  
す。このタイミングを図10.12に示します。

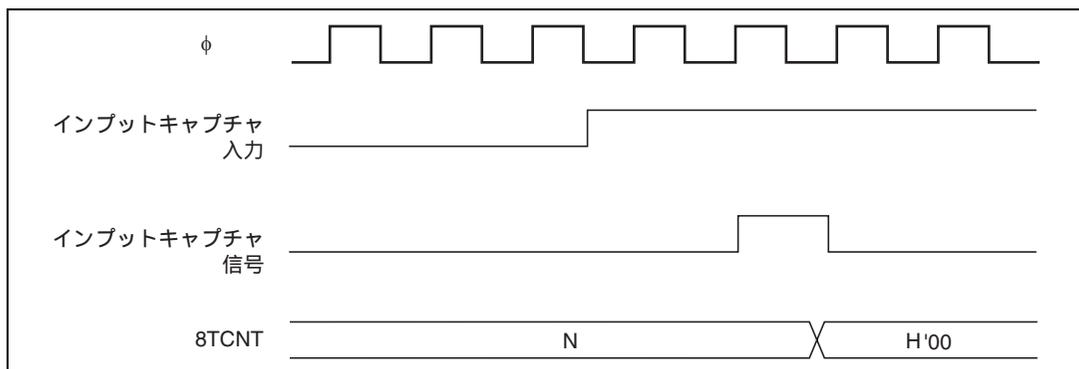


図 10.12 インพุットキャプチャによるクリアタイミング

### 10.4.3 インプットキャプチャ信号タイミング

インプットキャプチャ入力、8TCSR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 10.13 に示します。

インプットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

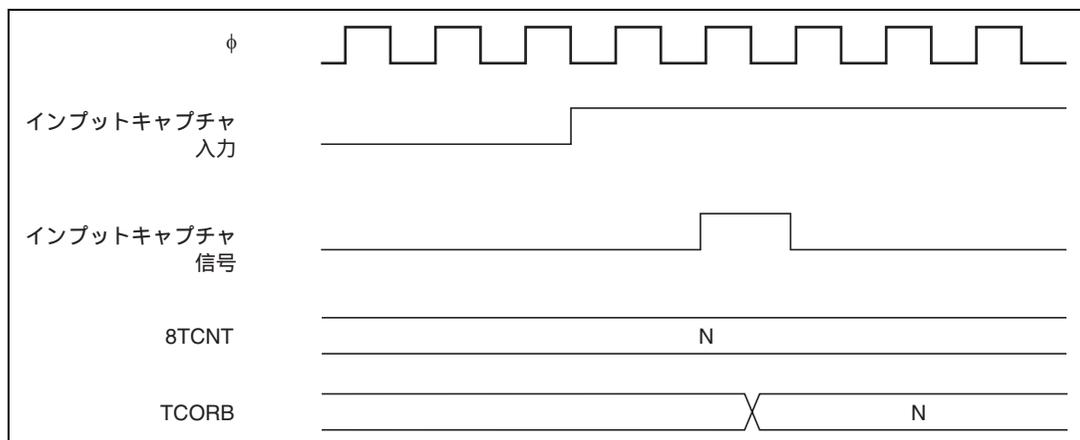


図 10.13 インプットキャプチャ入力信号タイミング

### 10.4.4 ステータスフラグのセットタイミング

#### (1) コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

8TCSR の CMFA、CMFB は、TCOR と 8TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート（8TCNT が一致したカウント値を更新するタイミング）で発生します。

したがって、8TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 10.14 に示します。

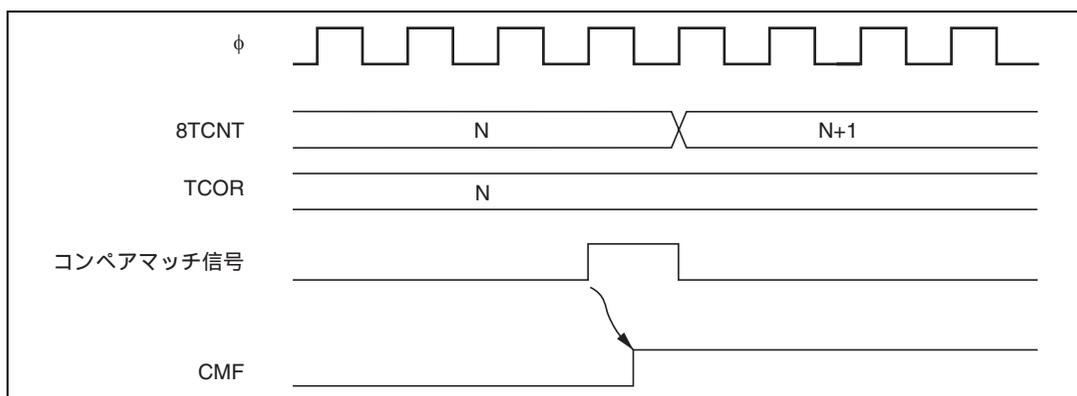


図 10.14 コンペアマッチ時の CMF フラグセットタイミング

#### (2) インพุットキャプチャ時の CMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により CMFB フラグは 1 にセットされ、同時に 8TCNT の値が対応する TCORB に転送されます。

このタイミングを図 10.15 に示します。

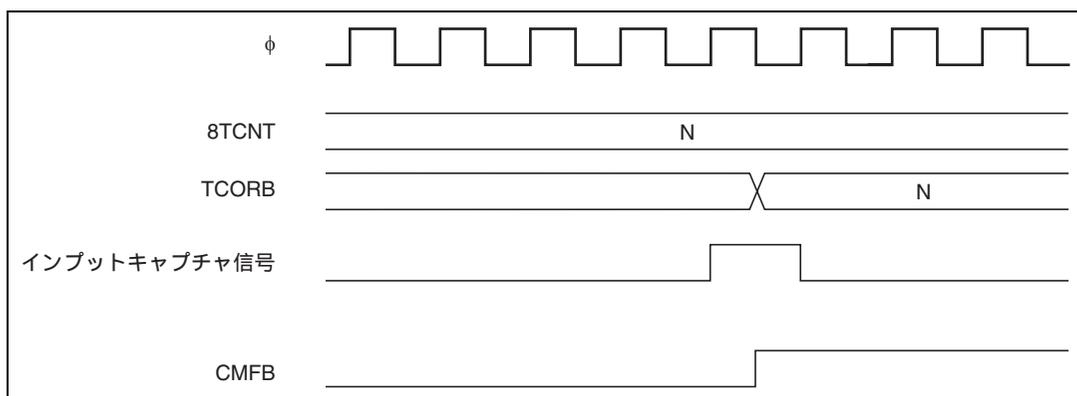


図 10.15 インพุットキャプチャ時の CMFB フラグセットタイミング

## (3) オーバフローフラグ (OVF) のセットタイミング

8TCSR の OVF は、オーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このタイミングを図 10.16 に示します。

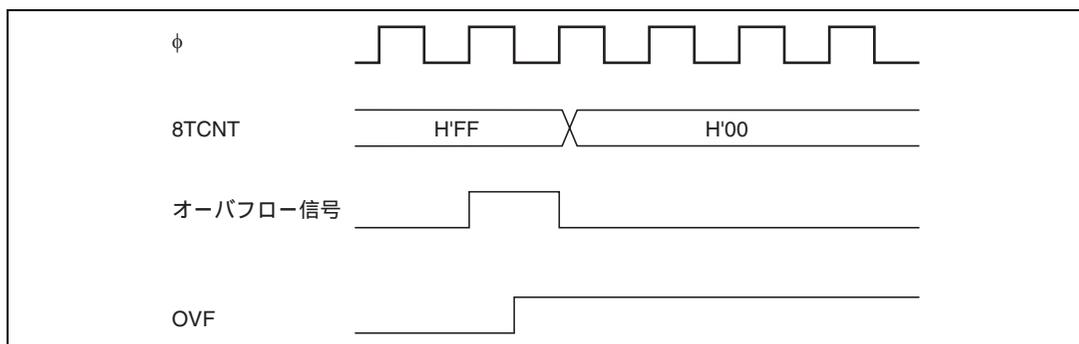


図 10.16 OVF のセットタイミング

### 10.4.5 カスケード接続時の動作

8TCR0、8TCR1のいずれか一方のCKS2~CKS0ビットを(100)に設定すると、チャンネル0とチャンネル1の8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する(16ビットタイマモード)か、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1でカウントする(コンペアマッチカウントモード)ことができます。なおチャンネル2とチャンネル3も同様に8TCR2、8TCR3のいずれか一方のCKS2~CKS0ビットを(100)に設定すると、チャンネル2とチャンネル3の8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する(16ビットタイマモード)か、またはチャンネル2の8ビットタイマのコンペアマッチをチャンネル3でカウントする(コンペアマッチカウントモード)ことができます。このとき、本タイマは以下のように動作します。

#### (1) 16ビットカウントモード

チャンネル0、1の場合：

8TCR0のCKS2~CKS0ビットが(100)のとき、本タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

#### (a) コンペアマッチ時の設定

- 8TCR0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- 8TCR1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされません。
- 8TCSR0のOIS3、OIS2、OS1、OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- 8TCSR1のOIS3、OIS2、OS1、OS0ビットによるTMIO<sub>i</sub>端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

#### (b) インพุットキャプチャ時の設定

- 8TCR0、8TCR1のCMFBフラグは、8TCSR1のICEビットが1でインพุットキャプチャが発生したとき1にセットされます。
- 8TCSR0のOIS3、OIS2ビットによりTMIO<sub>i</sub>端子のインพุットキャプチャ入力信号の検出エッジを選択します。

#### (c) カウンタクリアの指定

- 8TCR0のCCLR1、CCLR0ビットでコンペアマッチまたはインพุットキャプチャによるカウンタクリアをそれぞれ設定した場合、16ビットカウンタ(8TCNT0、8TCNT1の両方)がクリアされます。
- 8TCR1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

## (d) OVF フラグの動作

- 8TCSR0 の OVF フラグは、16 ビットのカウンタ (8TCNT0、8TCNT1) がオーバーフロー (H'FFFF→H'0000) したとき 1 にセットされます。
- 8TCSR1 の OVF フラグは、8 ビットのカウンタ (8TCNT1) がオーバーフロー (H'FF→H'00) したとき 1 にセットされます。

## チャンネル 2、3 の場合：

8TCR2 の CKS2 ~ CKS0 ビットが (100) のとき、本タイマはチャンネル 2 を上位 8 ビット、チャンネル 3 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

## (a) コンペアマッチ時の設定

- 8TCR2 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- 8TCR3 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。
- 8TCSR2 の OIS3、OIS2、OS1、OS0 ビットによる TMO<sub>2</sub> 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- 8TCSR3 の OIS3、OIS2、OS1、OS0 ビットによる TMIO<sub>3</sub> 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

## (b) インพุットキャプチャ時の設定

- 8TCR2、8TCR3 の CMFB フラグは、8TCSR3 の ICE ビットが "1" でインพุットキャプチャが発生したとき 1 にセットされます。
- 8TCSR2 の OIS3、OIS2 ビットにより TMIO<sub>3</sub> 端子のインพุットキャプチャ入力信号の検出エッジを選択します。

## (c) カウンタクリア指定

- 8TCR2 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16 ビットカウンタ (8TCNT2、8TCNT3 の両方) がクリアされます。
- 8TCR3 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

## (d) OVF フラグの動作

- 8TCSR2 の OVF フラグは 16 ビットのカウンタ (8TCNT2、8TCNT3) がオーバーフロー (H'FFFF→H'0000) したとき 1 にセットされます。
- 8TCSR3 の OVF フラグは、8 ビットのカウンタ (8TCNT3) がオーバーフロー (H'FF→H'00) したとき 1 にセットされます。

## 10. 8ビットタイマ

---

### (2) コンペアマッチカウントモード

チャンネル0、1の場合：

8TCR1のCKS2～CKS0ビットが(100)のとき、8TCNT1はチャンネル0のコンペアマッチAをカウントします。

チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

チャンネル2、3の場合：

8TCR3のCKS2～CKS0ビットが(100)のとき、8TCNT3はチャンネル2のコンペアマッチAをカウントします。

チャンネル2、3の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

### (3) 使用上の注意

同一グループ内で16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、8TCNTの入カクロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

### 10.4.6 インプットキャプチャの設定

インプットキャプチャ/アウトプットコンペア端子 (TMIO<sub>1</sub>、TMIO<sub>3</sub>) の入力エッジを検出して 8TCNT の値を TCORB に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、16ビットカウントモードのときは、16ビットのインプットキャプチャとして使用できます。

#### (1) 8ビットタイマ (通常動作) 時のインプットキャプチャ動作の設定手順例

チャンネル1の場合:

- (1) 8TCSR1のICEビットによりTCORB1を8ビットのインプットキャプチャレジスタに設定します。
- (2) 8TCSR1のOIS3、OIS2ビットによって、インプットキャプチャ信号 (TMIO<sub>1</sub>) の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
- (3) 8TCR1のCKS2~CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

チャンネル3の場合:

- (1) 8TCSR3のICEビットによりTCORB3を8ビットのインプットキャプチャレジスタに設定します。
- (2) 8TCSR3のOIS3、OIS2ビットによって、インプットキャプチャ信号 (TMIO<sub>3</sub>) の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。
- (3) 8TCR3のCKS2~CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

**【注】** チャンネル1のTCORB1をインプットキャプチャとして使用する場合、チャンネル0のTCORB0レジスタはコンペアマッチレジスタとして使用できません。  
またチャンネル3のTCORB3をインプットキャプチャとして使用する場合、チャンネル2のTCORB2レジスタはコンペアマッチレジスタとして使用できません。

#### (2) 16ビットカウントモード時のインプットキャプチャ動作の設定手順

チャンネル0、1の場合:

- (1) 16ビットカウントモード時、8TCSR1のICEビットを1に設定すると、TCORB0、TCORB1は16ビットのインプットキャプチャレジスタになります。
- (2) 8TCSR0のOIS3、OIS2ビットによって、インプットキャプチャ信号 (TMIO<sub>1</sub>) の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。(16ビットカウントモードのときは8TCSR1のOIS3、OIS2ビットの設定は無効になります。)
- (3) 8TCR1のCKS2~CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

チャンネル2、3の場合:

- (1) 16ビットカウントモード時、8TCSR3のICEビットを1に設定すると、TCORB2、TCORB3は16ビットのインプットキャプチャレジスタになります。
- (2) 8TCSR2のOIS3、OIS2ビットによって、インプットキャプチャ信号 (TMIO<sub>3</sub>) の入力エッジを立ち上がりエッジ/立ち下がりエッジ/両エッジから選択します。(16ビットカウントモードのときは8TCSR3のOIS3、OIS2ビットの設定は無効になります。)
- (3) 8TCR3のCKS2~CKS0ビットにより入力クロックを選択し、8TCNTのカウント動作を開始してください。

## 10.5 割り込み

### 10.5.1 割り込み要因

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表10.5に各割り込み要因と優先順位を示します。各割り込み要因は、8TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 10.5 8ビットタイマ割り込み要因の優先順位

割り込み要因	内 容	優先順位
CMIA	CMFAによる割り込み	高
CMIB	CMFBによる割り込み	↑
TOVI	OVFによる割り込み	低

なお、コンペアマッチ割り込み（CMIA1/CMIB1、CMIA3/CMIB3）およびオーバーフロー割り込み（TOVI0/TOVI1、TOVI2/TOVI3）は、2つの割り込みでベクタを兼用しています。

表10.6に割り込み要因一覧を示します。

表 10.6 8ビットタイマ割り込み要因一覧

チャンネル	割り込み要因	内 容
0	CMIA0	TCORA0のコンペアマッチ
	CMIB0	TCORB0のコンペアマッチ/インプットキャプチャ
1	CMIA1/CMIB1	TCORA1のコンペアマッチ、またはTCORB1のコンペアマッチ/インプットキャプチャ
0、1	TOVI0/TOVI1	カウンタ0、またはカウンタ1のオーバーフロー
2	CMIA2	TCORA2のコンペアマッチ
	CMIB2	TCORB2のコンペアマッチ/インプットキャプチャ
3	CMIA3/CMIB3	TCORA3のコンペアマッチ、またはTCORB3のコンペアマッチ/インプットキャプチャ
2、3	TOVI2/TOVI3	カウンタ2、またはカウンタ3のオーバーフロー

### 10.5.2 A/D変換器の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。

チャンネル0のコンペアマッチAの発生により、8TCSR0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていると、A/D変換器に対して、A/D変換の開始を要求します。このとき、ADCRのTRGEビットが1にセットされていると、A/D変換が開始されます。8TCSR0のADTEビットが1にセットされている場合、A/D変換器の外部トリガ端子（ $\overline{\text{ADTRG}}$ ）入力は無効となります。

## 10.6 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 10.17 に示します。これは次に示すように設定します。

- (1) TCORAのコンペアマッチにより8TCNTがクリアされるように、8TCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
- (2) TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるように8TCSRのOIS3、OIS2、OS1、OS0ビットを(0110)に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

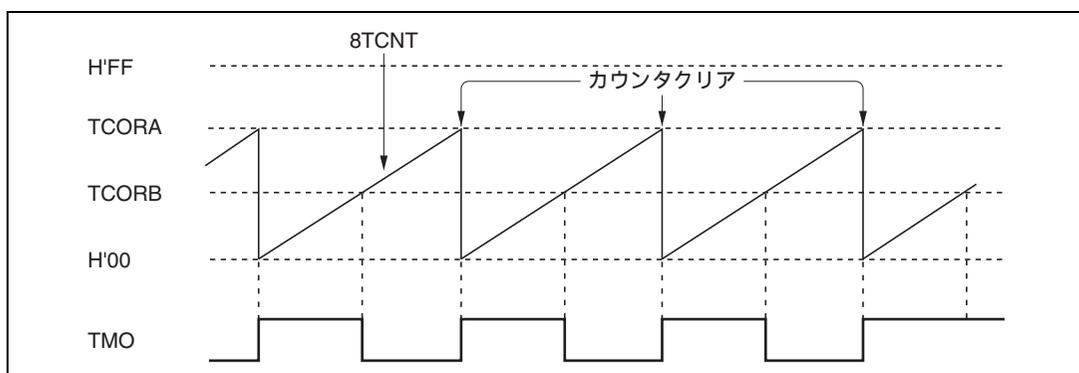


図 10.17 パルス出力例

## 10.7 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こりますので注意してください。

### 10.7.1 8TCNTのライトとクリアの競合

8TCNTのライトサイクル中の $T_3$ 状態で、カウンタクリア信号が発生すると、8TCNTへの書き込みサイクルは行われず、8TCNTのクリアが優先されます。

このタイミングを図10.18に示します。

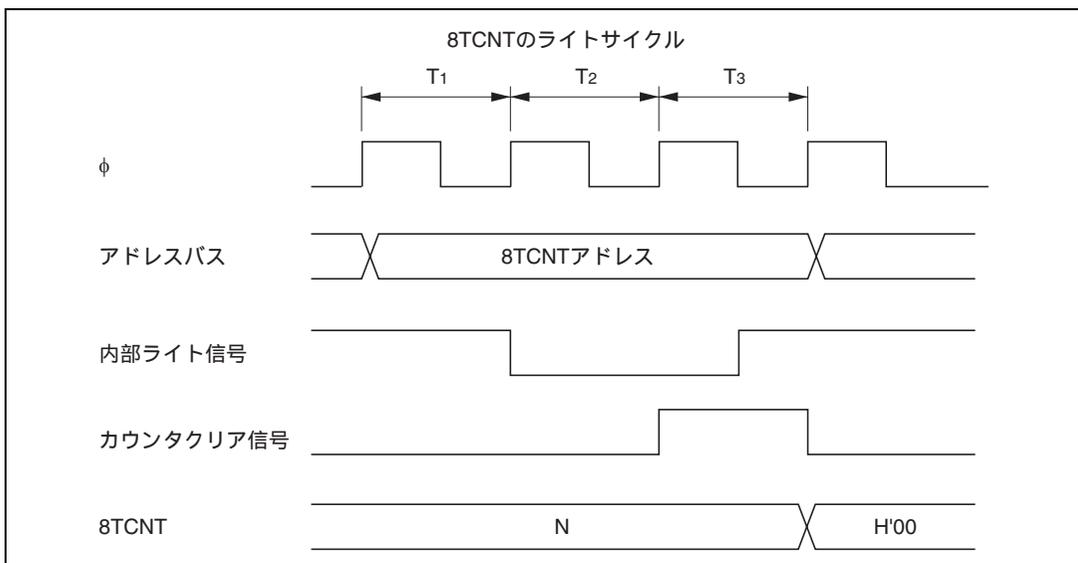


図 10.18 8TCNT のライトとクリアの競合

### 10.7.2 8TCNT のライトとカウントアップの競合

8TCNT のライトサイクル中の  $T_3$  ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 10.19 に示します。

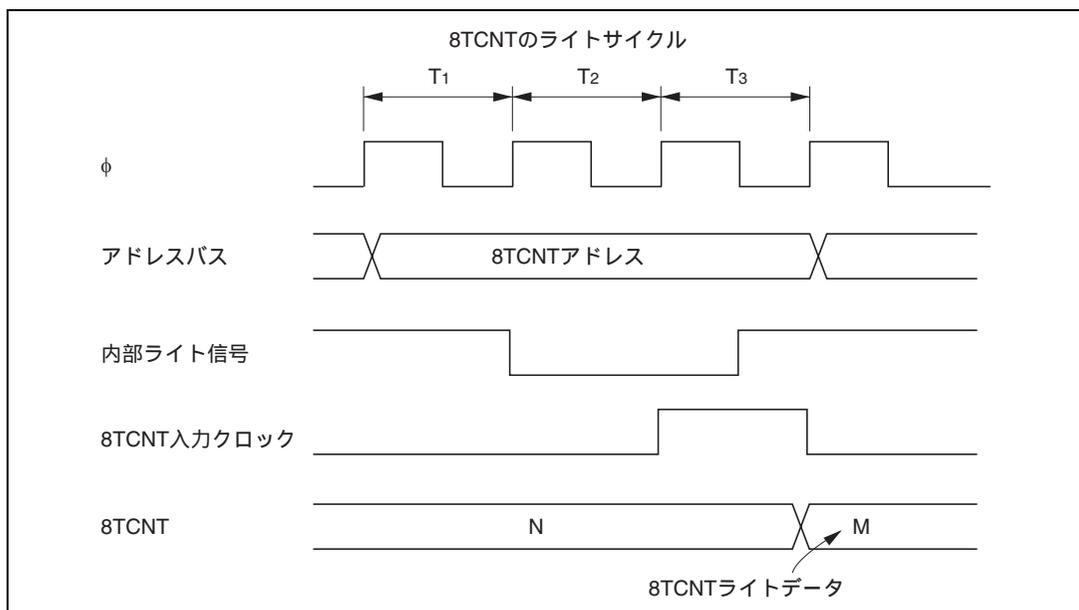


図 10.19 8TCNT のライトとカウントアップの競合

### 10.7.3 TCORのライトとコンペアマッチの競合

TCORのライトサイクル中の $T_3$ 状態で、コンペアマッチが発生しても、TCORのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図10.20に示します。

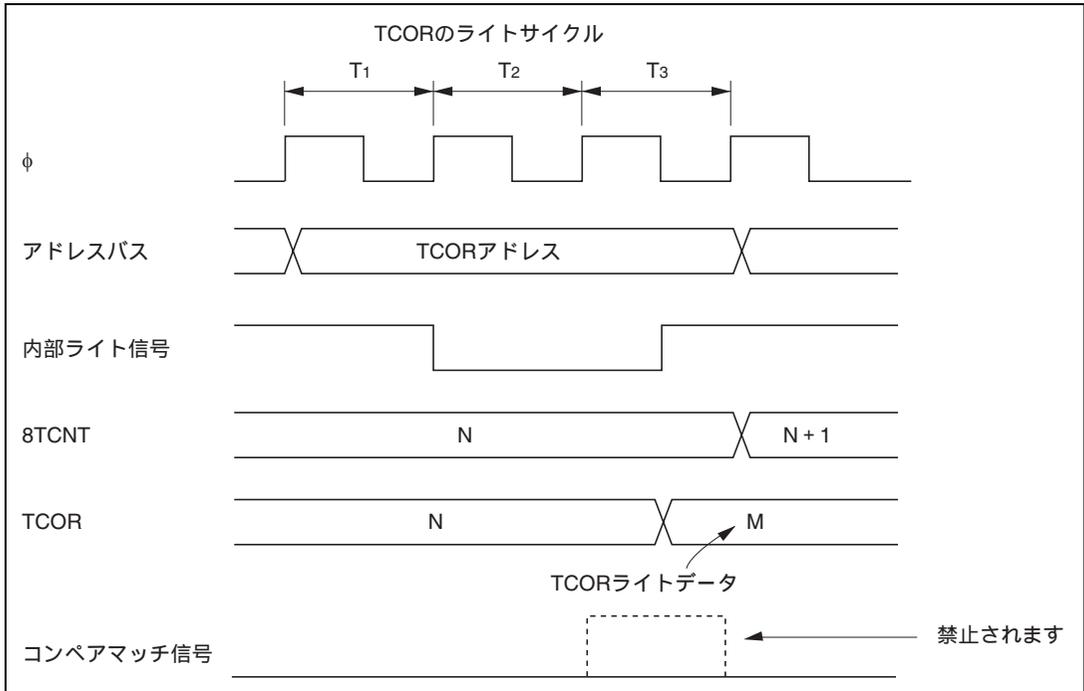


図 10.20 TCORのライトとコンペアマッチの競合

### 10.7.4 TCORのリードとインプットキャプチャの競合

TCORのリードサイクル中の $T_3$ ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミング図を図 10.21 に示します。

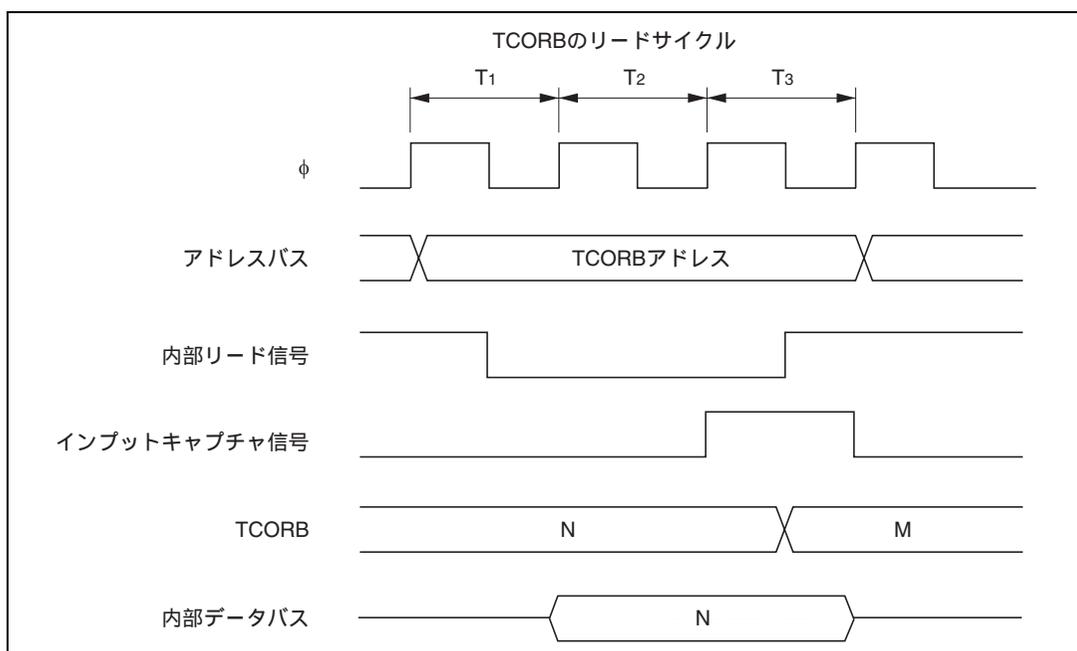


図 10.21 TCORB のリードとインプットキャプチャの競合

### 10.7.5 インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。TCORB にはカウンタクリア前の 8TCNT の内容が転送されます。

このタイミング図を図 10.22 に示します。

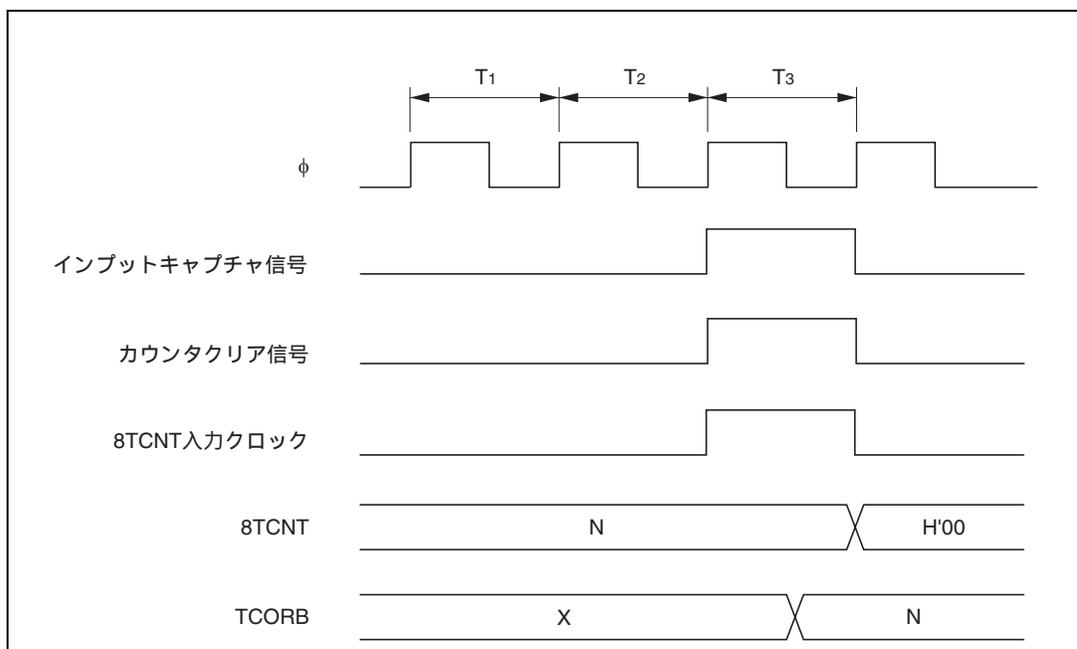


図 10.22 インพุットキャプチャによるカウンタクリアとカウントアップの競合

### 10.7.6 TCORのライトとインプットキャプチャの競合

TCORのライトサイクル中の $T_3$ ステートで、インプットキャプチャ信号が発生すると、TCORへの書き込みは行われず、インプットキャプチャが優先されます。

このタイミング図を図 10.23 に示します。

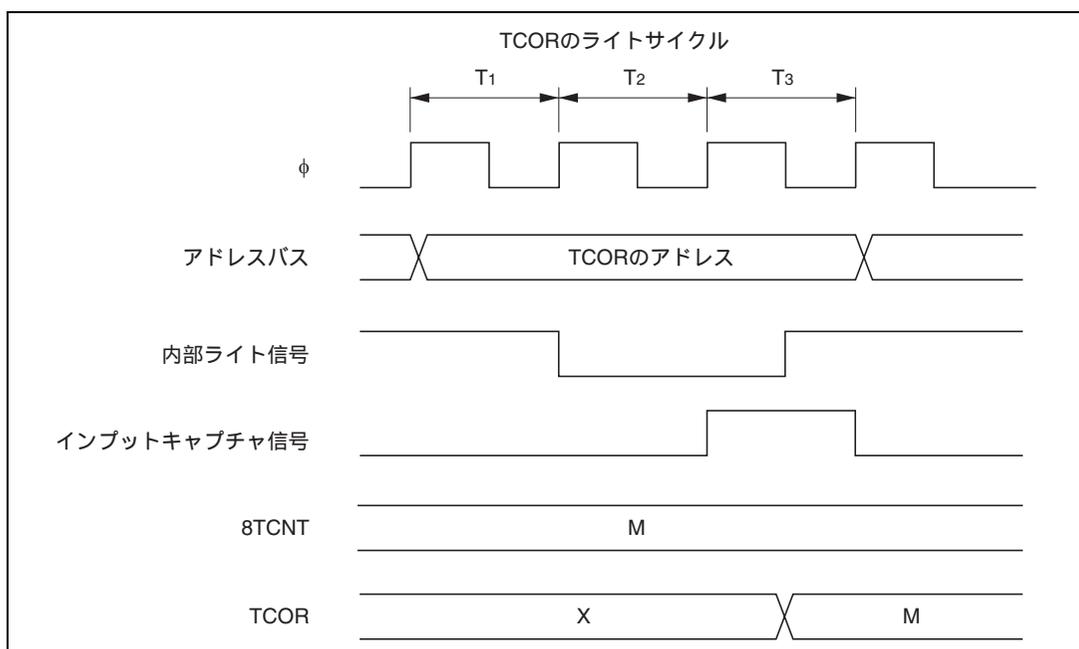


図 10.23 TCORとインプットキャプチャの競合

### 10.7.7 16ビットカウントモード（カスケード接続時）の8TCNTのバイトライトとカウントアップの競合

16ビットカウントモードで8TCNTのバイトライトサイクル中の $T_2$ ステートまたは $T_3$ ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータはカウントアップされます。

このタイミングを図10.24に示します。

8TCNTHのバイトライトサイクル中の $T_2$ ステートでカウントアップが発生した場合の例です。

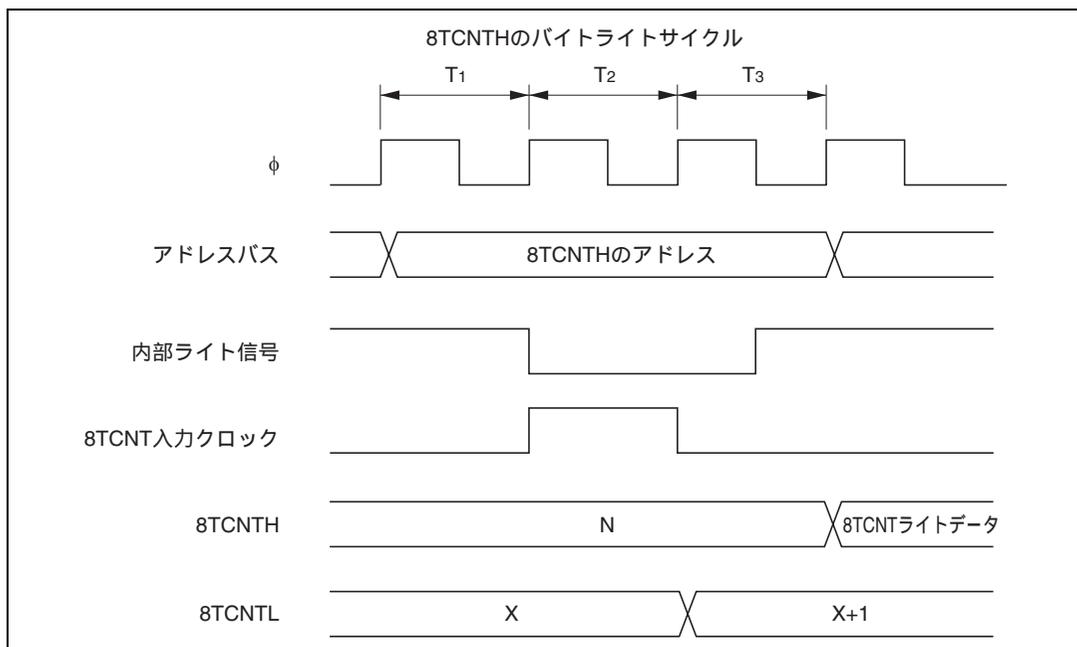


図 10.24 16ビットカウントモード時の8TCNTのバイトライトとカウントアップの競合

### 10.7.8 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 10.7 に示すタイマ出力の優先順位に従って動作します。

表 10.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↑
変化しない	低

### 10.7.9 内部クロックの切り替えと8TCNTの動作

内部クロックを切り替えるタイミングによっては、8TCNTがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0ビットの書き換え）と8TCNT動作の関係を表10.8に示します。

内部クロックから8TCNTクロックを生成する場合、内部クロックの立ち上がりエッジで検出しています。そのため表10.8のNo.3のように、Low→Highレベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして8TCNTクロックが発生し、8TCNTがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、8TCNTがカウントアップされることがあります。

表 10.8 内部クロックの切り替えと8TCNTの動作

No.	CKS1、CKS0ビット書き換えタイミング	8TCNTクロックの動作
1	High→Highレベル*1の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>8TCNTクロック</p> <p>8TCNT</p> <p>CKSビット書き換え</p>
2	High→Lowレベル*2の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>8TCNTクロック</p> <p>8TCNT</p> <p>CKSビット書き換え</p>

## 10. 8ビットタイマ

No.	CKS1、CKS0 ビット書き換えタイミング	8TCNT クロックの動作
3	Low→High レベル*3の切り替え	<p style="text-align: center;">CKSビット書き換え</p>
4	Low→Low レベル*4の切り替え	<p style="text-align: center;">CKSビット書き換え</p>

- 【注】 \*1 High レベル→停止、および停止→High レベルの場合を含みます。  
 \*2 停止→Low レベルの場合を含みます。  
 \*3 Low レベル→停止を含みます。  
 \*4 切り替えのタイミングを立ち上がりエッジとみなすために発生し、8TCNT はカウントアップされてしまいます。

---

## 11. プログラマブルタイミングパターンコントローラ (TPC)

---

### 11.1 概要

本 LSI は、16 ビットタイマをタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

#### 11.1.1 特長

TPC の特長を以下に示します。

出力データ 16 ビット

最大 16 ビットのデータ出力が可能で、TPC 出力をビット単位に許可することができます。

4 系統の出力可能

4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×4 系統の出力を行うことができます。

出力トリガ信号を選択可能

16 ビットタイマの 3 チャンネルのコンペアマッチ信号の中から、グループごとに出カトリガ信号を選択することができます。

ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

DMA コントローラ (DMAC) との連携動作可能

出力トリガ信号に選択したコンペアマッチ信号で DMAC を起動することにより、CPU の介在なくデータを順次出力することができます。

## 11. プログラマブルタイミングパターンコントローラ (TPC)

### 11.1.2 ブロック図

TPC のブロック図を図 11.1 に示します。

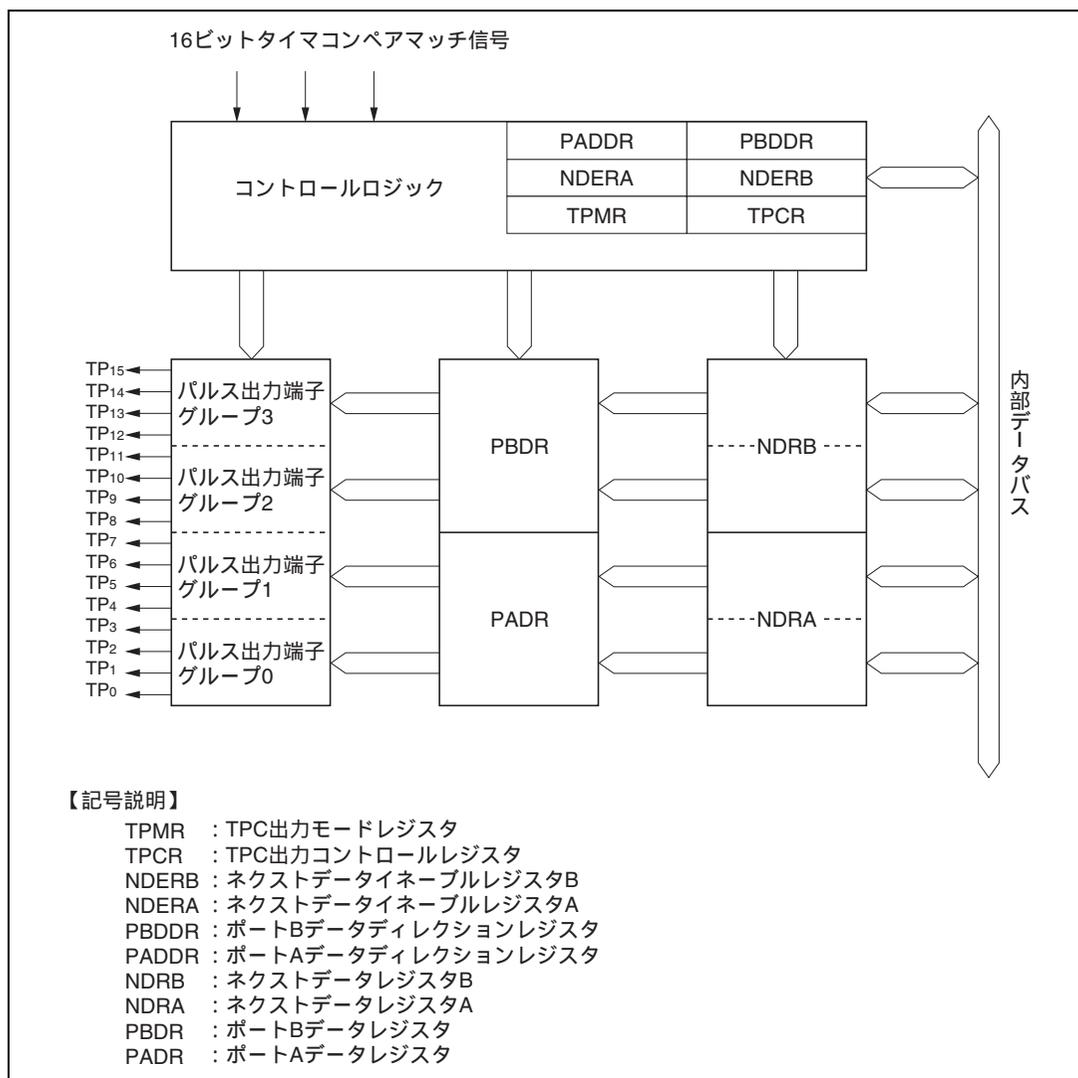


図 11.1 TPC のブロック図

### 11.1.3 端子構成

TPC の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
TPC 出力 0	TP <sub>0</sub>	出力	グループ 0 のパルス出力
TPC 出力 1	TP <sub>1</sub>	出力	
TPC 出力 2	TP <sub>2</sub>	出力	
TPC 出力 3	TP <sub>3</sub>	出力	
TPC 出力 4	TP <sub>4</sub>	出力	グループ 1 のパルス出力
TPC 出力 5	TP <sub>5</sub>	出力	
TPC 出力 6	TP <sub>6</sub>	出力	
TPC 出力 7	TP <sub>7</sub>	出力	
TPC 出力 8	TP <sub>8</sub>	出力	グループ 2 のパルス出力
TPC 出力 9	TP <sub>9</sub>	出力	
TPC 出力 10	TP <sub>10</sub>	出力	
TPC 出力 11	TP <sub>11</sub>	出力	
TPC 出力 12	TP <sub>12</sub>	出力	グループ 3 のパルス出力
TPC 出力 13	TP <sub>13</sub>	出力	
TPC 出力 14	TP <sub>14</sub>	出力	
TPC 出力 15	TP <sub>15</sub>	出力	

### 11.1.4 レジスタ構成

TPC のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

アドレス* <sup>1</sup>	名称	略称	R/W	初期値
H'EE009	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFFD9	ポート A データレジスタ	PADR	R/(W)* <sup>2</sup>	H'00
H'EE00A	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFFDA	ポート B データレジスタ	PBDR	R/(W)* <sup>2</sup>	H'00
H'FFFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFFA5/H'FFFA7* <sup>3</sup>	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFFA4/H'FFFA6* <sup>3</sup>	ネクストデータレジスタ B	NDRB	R/W	H'00

- 【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。  
 \*2 TPC 出力として使用しているビットは、ライトできません。  
 \*3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFFA7、グループ 1 に対応する NDRA のアドレスは H'FFFA5 となります。  
 同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFFA6、グループ 3 に対応する NDRB のアドレスは H'FFFA4 となります。

## 11.2 各レジスタの説明

### 11.2.1 ポート A データディレクションレジスタ (PADDR)

PADDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポート A は TP<sub>7</sub> ~ TP<sub>0</sub> 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PADDR の詳細は、「8.7 ポート A」を参照してください。

### 11.2.2 ポート A データレジスタ (PADR)

PADR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】\* NDERA により、TPC 出力に設定されたビットはリード専用となります。

PADR の詳細は、「8.7 ポート A」を参照してください。

## 11. プログラマブルタイミングパターンコントローラ (TPC)

### 11.2.3 ポート B データディレクションレジスタ (PBDDR)

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBデータディレクション7~0

ポートBの各端子の入出力を選択するビットです。

ポート B は TP<sub>15</sub> ~ TP<sub>8</sub> 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PBDDR の詳細は、「8.8 ポート B」を参照してください。

### 11.2.4 ポート B データレジスタ (PBDR)

PBDR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

ポートBデータ7~0

TPC出力グループ2、3の出力データを格納するビットです。

【注】\* NDERB により、TPC 出力に設定されたビットはリード専用となります。

PBDR の詳細は、「8.8 ポート B」を参照してください。

### 11.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP<sub>7</sub>~TP<sub>0</sub> 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した 16 ビットタイマのコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。

ソフトウェアスタンバイモード時には初期化されません。

#### (1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

##### (a) アドレス : H'FFFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ネクストデータ7~4	ネクストデータ3~0
TPC出力グループ1の次の 出力データを格納するビットです。	TPC出力グループ0の次の 出力データを格納するビットです。

##### (b) アドレス : H'FFFA7

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

リザーブビット
---------

## 11. プログラマブルタイミングパターンコントローラ (TPC)

### (2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDR A の上位 4 ビット (グループ 1) のアドレスは H'FFFA5、NDR A の下位 4 ビット (グループ 0) のアドレスは H'FFFA7 となります。このとき、アドレス H'FFFA5 のビット 3~0、アドレス H'FFFA7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

#### (a) アドレス : H'FFFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ネクストデータ7~4

TPC出力グループ1の次の

出力データを格納するビットです。

リザーブビット

#### (b) アドレス : H'FFFA7

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ3~0

TPC出力グループ0の次の

出力データを格納するビットです。

### 11.2.6 ネクストデータレジスタ B (NDRB)

NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP<sub>15</sub> ~ TP<sub>8</sub> 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した 16 ビットタイマのコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。  
ソフトウェアスタンバイモード時には初期化されません。

#### (1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

##### (a) アドレス : H'FFFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ15~12 TPC出力グループ3の次の 出力データを格納するビットです。	ネクストデータ11~8 TPC出力グループ2の次の 出力データを格納するビットで

##### (b) アドレス : H'FFFA6

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

リザーブビット

## 11. プログラマブルタイミングパターンコントローラ (TPC)

### (2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) のアドレスは H'FFFA4、NDRB の下位 4 ビット (グループ 2) のアドレスは H'FFFA6 となります。このとき、アドレス H'FFFA4 のビット 3~0、アドレス H'FFFA6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

#### (a) アドレス : H'FFFA4

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ネクストデータ 15~12
リザーブビット

TPC出力グループ3の次の
出力データを格納するビットです。

#### (b) アドレス : H'FFFA6

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

リザーブビット
ネクストデータ 11~8

TPC出力グループ2の次の
出力データを格納するビットです。

### 11.2.7 ネクストデータイネーブルレジスタ A (NDERA)

NDERA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP<sub>7</sub>~TP<sub>0</sub>端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ネクストデータイネーブル7~0

TPC出力グループ1、0を許可/禁止を選択するビットです。

NDERA により TPC 出力が許可されたビットは、TPCR で選択された 16 ビットタイマのコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~0 : ネクストデータイネーブル7~0 (NDER7~NDER0)

TPC 出力グループ 1、0 (TP<sub>7</sub>~TP<sub>0</sub>端子) の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER7~NDER0	
0	TPC 出力 TP <sub>7</sub> ~TP <sub>0</sub> を禁止 (NDR7~NDR0 から PA <sub>7</sub> ~PA <sub>0</sub> への転送禁止) (初期値)
1	TPC 出力 TP <sub>7</sub> ~TP <sub>0</sub> を許可 (NDR7~NDR0 から PA <sub>7</sub> ~PA <sub>0</sub> への転送許可)

## 11. プログラマブルタイミングパターンコントローラ (TPC)

### 11.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP<sub>15</sub> ~ TP<sub>8</sub> 端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8  
TPC出力グループ3、2を許可/禁止を  
選択するビットです。

NDERB により TPC 出力が許可されたビットは、TPCR で選択された 16 ビットタイマのコンペアマッチが発生すると、NDERB の値が PBDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDERB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~0 : ネクストデータイネーブル 15~8 (NDER15~NDER8)

TPC 出力グループ 3、2 (TP<sub>15</sub> ~ TP<sub>8</sub> 端子) の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER15~NDER8	
0	TPC 出力 TP <sub>15</sub> ~ TP <sub>8</sub> を禁止 (NDER15 ~ NDR8 から PB <sub>7</sub> ~ PB <sub>0</sub> への転送禁止) (初期値)
1	TPC 出力 TP <sub>15</sub> ~ TP <sub>8</sub> を許可 (NDER15 ~ NDR8 から PB <sub>7</sub> ~ PB <sub>0</sub> への転送許可)

## 11.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

グループ0コンペアマッチセレクト1、0  
TPC出力グループ0 (TP<sub>3</sub>-TP<sub>0</sub>) の出力トリガとなるコンペアマッチを選択するビットです。

グループ1コンペアマッチセレクト1、0  
TPC出力グループ1 (TP<sub>7</sub>-TP<sub>4</sub>) の出力トリガとなるコンペアマッチを選択するビットです。

グループ2コンペアマッチセレクト1、0  
TPC出力グループ2 (TP<sub>11</sub>-TP<sub>8</sub>) の出力トリガとなるコンペアマッチを選択するビットです。

グループ3コンペアマッチセレクト1、0  
TPC出力グループ3 (TP<sub>15</sub>-TP<sub>12</sub>) の出力トリガとなるコンペアマッチを選択するビットです。

TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

## 11. プログラマブルタイミングパターンコントローラ (TPC)

ビット7、6：グループ3 コンペアマッチセレクト1、0 (G3CMS1、G3CMS0)

TPC 出力グループ3 (TP<sub>15</sub> ~ TP<sub>12</sub>端子) の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説 明
G3CMS1	G3CMS0	
0	0	TPC 出力グループ3 (TP <sub>15</sub> ~ TP <sub>12</sub> 端子) の出力トリガは、16 ビットタイムチャンネル0のコンペアマッチ
	1	TPC 出力グループ3 (TP <sub>15</sub> ~ TP <sub>12</sub> 端子) の出力トリガは、16 ビットタイムチャンネル1のコンペアマッチ
1	0	TPC 出力グループ3 (TP <sub>15</sub> ~ TP <sub>12</sub> 端子) の出力トリガは、16 ビットタイムチャンネル2のコンペアマッチ
	1	TPC 出力グループ3 (TP <sub>15</sub> ~ TP <sub>12</sub> 端子) の出力トリガは、16 ビットタイムチャンネル2のコンペアマッチ (初期値)

ビット5、4：グループ2 コンペアマッチセレクト1、0 (G2CMS1、G2CMS0)

TPC 出力グループ2 (TP<sub>11</sub> ~ TP<sub>8</sub>端子) の出力トリガとなるコンペアマッチを選択します。

ビット5	ビット4	説 明
G2CMS1	G2CMS0	
0	0	TPC 出力グループ2 (TP <sub>11</sub> ~ TP <sub>8</sub> 端子) の出力トリガは、16 ビットタイムチャンネル0のコンペアマッチ
	1	TPC 出力グループ2 (TP <sub>11</sub> ~ TP <sub>8</sub> 端子) の出力トリガは、16 ビットタイムチャンネル1のコンペアマッチ
1	0	TPC 出力グループ2 (TP <sub>11</sub> ~ TP <sub>8</sub> 端子) の出力トリガは、16 ビットタイムチャンネル2のコンペアマッチ
	1	TPC 出力グループ2 (TP <sub>11</sub> ~ TP <sub>8</sub> 端子) の出力トリガは、16 ビットタイムチャンネル2のコンペアマッチ (初期値)

## 11. プログラマブルタイミングパターンコントローラ (TPC)

ビット 3、2：グループ 1 コンペアマッチセレクト 1、0 (G1CMS1、G1CMS0)

TPC 出力グループ 1 (TP<sub>7</sub>~TP<sub>4</sub>端子) の出力トリガとなるコンペアマッチを選択します。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	
0	0	TPC 出力グループ 1 (TP <sub>7</sub> ~TP <sub>4</sub> 端子) の出力トリガは、16 ビットタイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 1 (TP <sub>7</sub> ~TP <sub>4</sub> 端子) の出力トリガは、16 ビットタイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 1 (TP <sub>7</sub> ~TP <sub>4</sub> 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 1 (TP <sub>7</sub> ~TP <sub>4</sub> 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ (初期値)

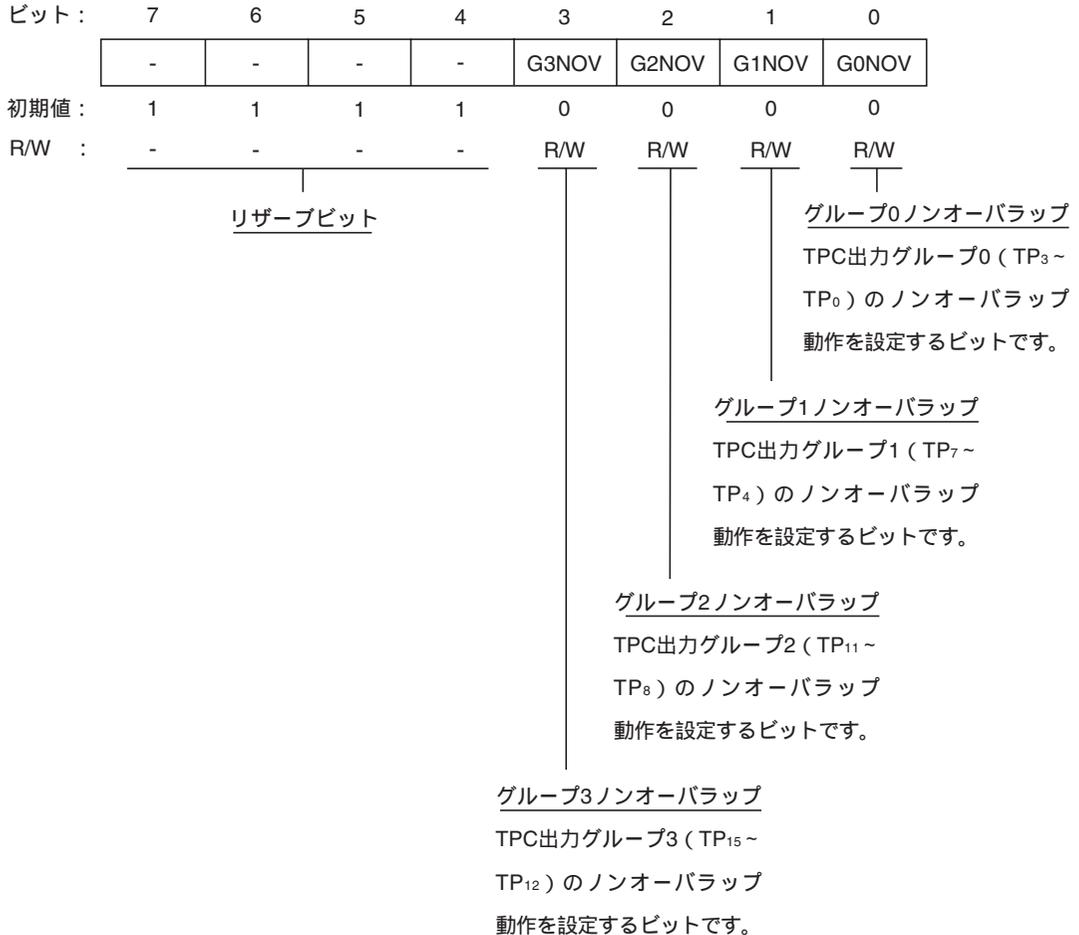
ビット 1、0：グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

TPC 出力グループ 0 (TP<sub>3</sub>~TP<sub>0</sub>端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0 (TP <sub>3</sub> ~TP <sub>0</sub> 端子) の出力トリガは、16 ビットタイマチャネル 0 のコンペアマッチ
	1	TPC 出力グループ 0 (TP <sub>3</sub> ~TP <sub>0</sub> 端子) の出力トリガは、16 ビットタイマチャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 0 (TP <sub>3</sub> ~TP <sub>0</sub> 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ
	1	TPC 出力グループ 0 (TP <sub>3</sub> ~TP <sub>0</sub> 端子) の出力トリガは、16 ビットタイマチャネル 2 のコンペアマッチ (初期値)

### 11.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。



ノンオーバーラップ動作の TPC 出力は、出力トリガとなる 16 ビットタイマの GRB に出力波形の周期を、また GRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 に初期化されます。

ソフトウェアスタンバイモード時には初期化されません。

#### ビット7~4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## ビット 3 : グループ 3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP<sub>15</sub> ~ TP<sub>12</sub> 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説 明
G3NOV	
0	TPC 出力グループ 3 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

## ビット 2 : グループ 2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP<sub>11</sub> ~ TP<sub>8</sub> 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説 明
G2NOV	
0	TPC 出力グループ 2 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

## ビット 1 : グループ 1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP<sub>7</sub> ~ TP<sub>4</sub> 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	説 明
G1NOV	
0	TPC 出力グループ 1 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

## ビット 0 : グループ 0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP<sub>3</sub> ~ TP<sub>0</sub> 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 0	説 明
G0NOV	
0	TPC 出力グループ 0 は、通常動作 (選択された 16 ビットタイマのコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された 16 ビットタイマのコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

## 11.3 動作説明

### 11.3.1 概要

TPC 出力は、PADDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ"1"にセットすることにより許可状態となります。この状態では、対応する PADR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を図 11.2 に示します。また、TPC 動作条件を表 11.3 に示します。

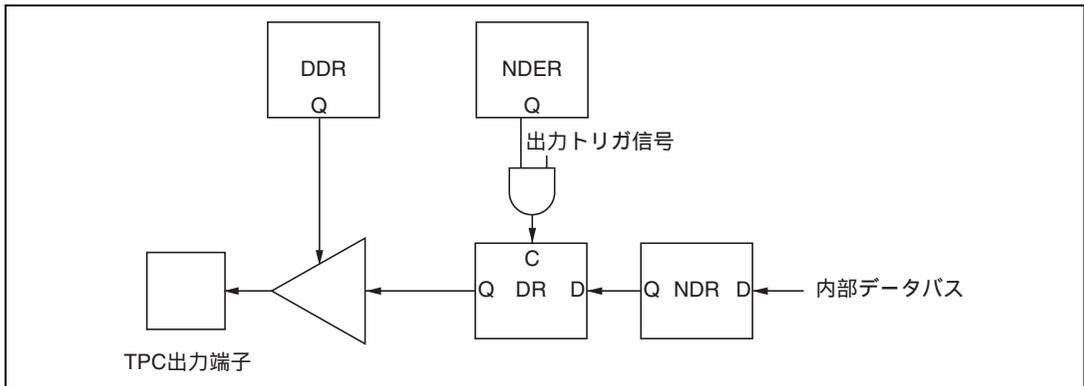


図 11.2 TPC 出力動作

表 11.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません)
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

### 11.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDRA/NDRB の内容が PADR/PBDR に転送され、出力されます。

このタイミングを図 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

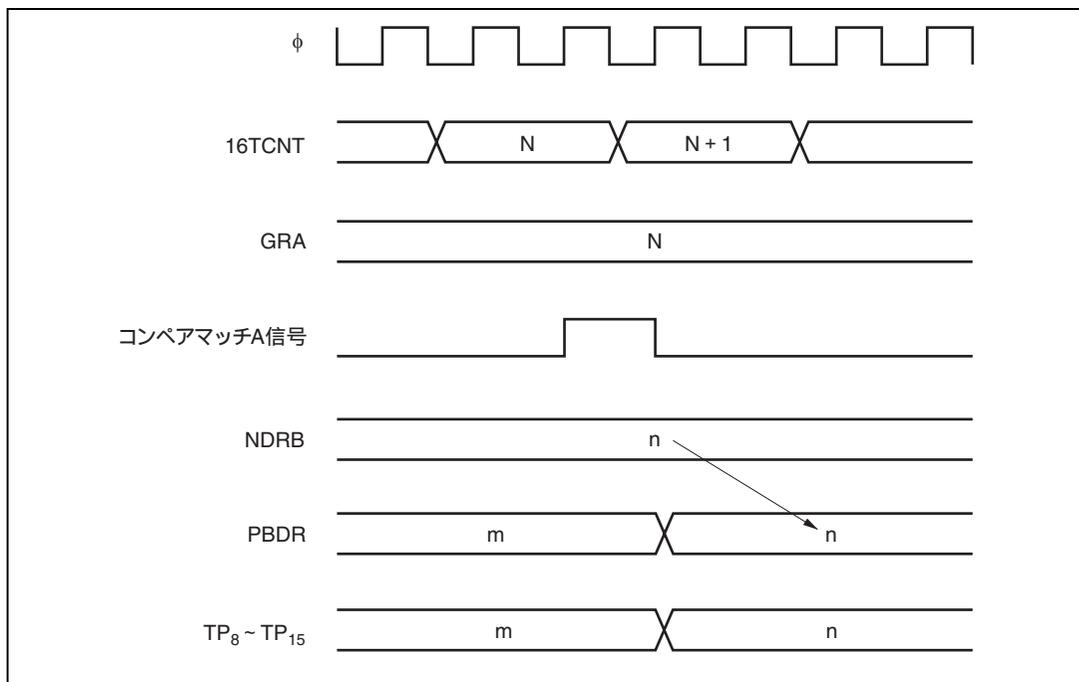


図 11.3 NDR の内容が転送・出力されるタイミング (例)

### 11.3.3 TPC 出力通常動作

#### (1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 11.4 に示します。

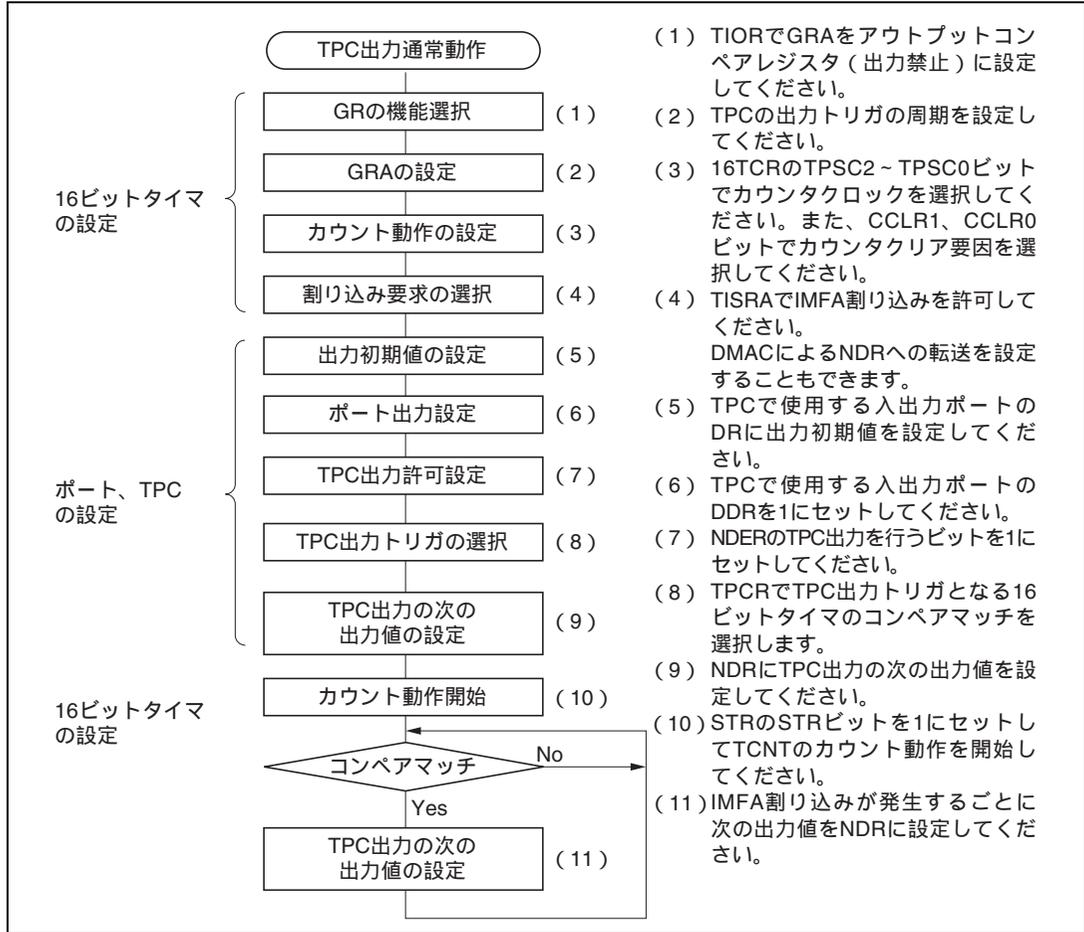
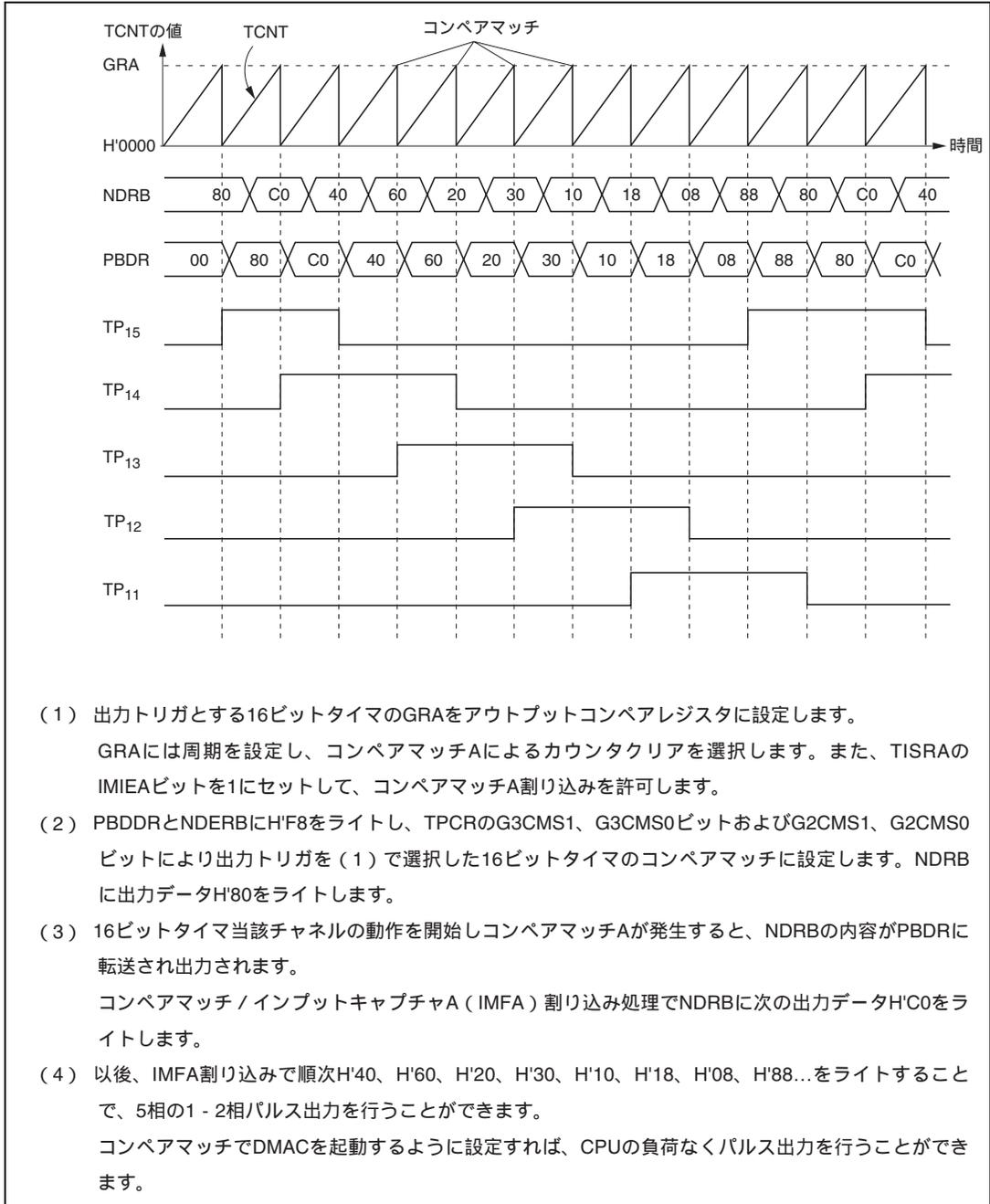


図 11.4 TPC 出力通常動作の設定手順例

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 11.5 に示します。



- (1) 出力トリガとする16ビットタイマのGRAをアウトプットコンペアレジスタに設定します。  
GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TISRAのIMIEAビットを1にセットして、コンペアマッチA割り込みを許可します。
- (2) PBDDRとNDRBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを(1)で選択した16ビットタイマのコンペアマッチに設定します。NDRBに出力データH'80をライトします。
- (3) 16ビットタイマ当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。  
コンペアマッチ/インプットキャプチャA (IMFA) 割り込み処理でNDRBに次の出力データH'C0をライトします。
- (4) 以後、IMFA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。  
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

図 11.5 TPC 出力通常動作例 (5 相パルス出力例)

### 11.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

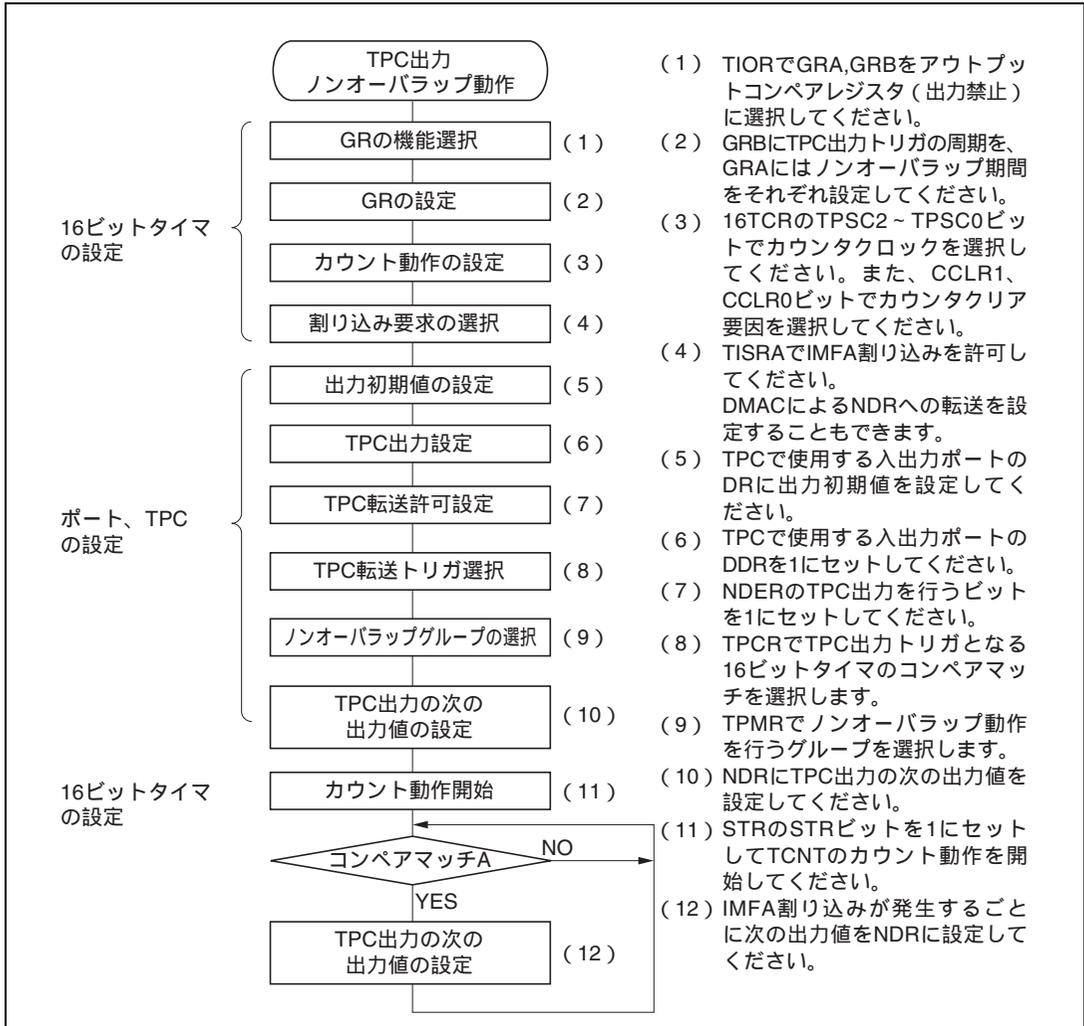


図 11.6 TPC 出力ノンオーバーラップ動作の設定手順例

(2) TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

TPC 出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 11.7 に示します。

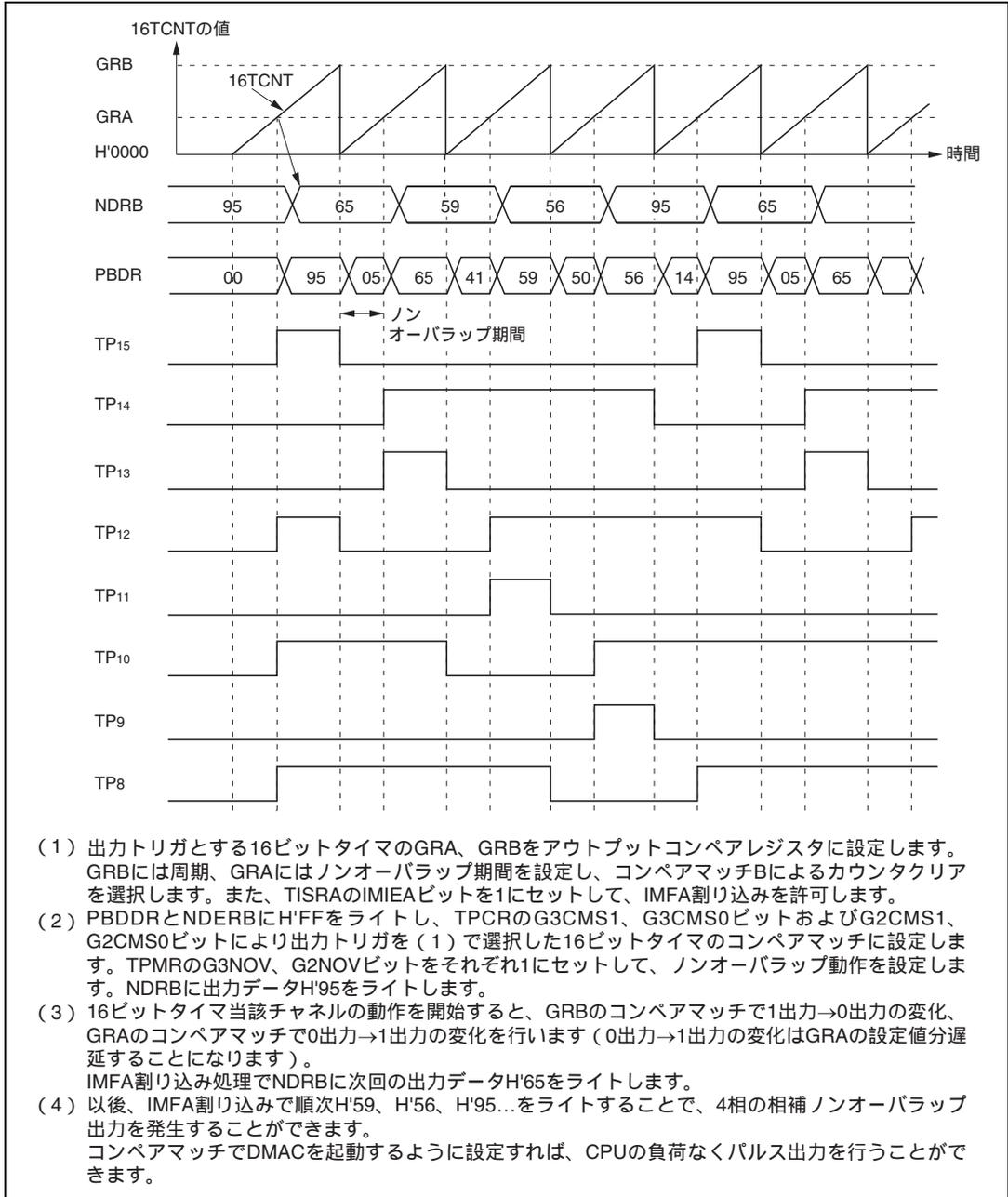


図 11.7 TPC 出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

- (1) 出力トリガとする 16 ビットタイマの GRA、GRB をアウトプットコンペアレジスタに設定します。GRB には周期、GRA にはノンオーバーラップ期間を設定し、コンペアマッチ B によるカウンタクリアを選択します。また、TISRA の IMIEA ビットを 1 にセットして、IMFA 割り込みを許可します。
- (2) PBDDR と NDRB に H'FF をライトし、TPCR の G3CMS1、G3CMS0 ビットおよび G2CMS1、G2CMS0 ビットにより出力トリガを (1) で選択した 16 ビットタイマのコンペアマッチに設定します。TPMR の G3NOV、G2NOV ビットをそれぞれ 1 にセットして、ノンオーバーラップ動作を設定します。NDRB に出力データ H'95 をライトします。
- (3) 16 ビットタイマ当該チャンネルの動作を開始すると、GRB のコンペアマッチで 1 出力→0 出力の変化、GRA のコンペアマッチで 0 出力→1 出力の変化を行います (0 出力→1 出力の変化は GRA の設定値分遅延することになります)。  
IMFA 割り込み処理で NDRB に次回の出力データ H'65 をライトします。
- (4) 以後、IMFA 割り込みで順次 H'59、H'56、H'95... をライトすることで、4 相の相補ノンオーバーラップ出力を発生することができます。  
コンペアマッチで DMAC を起動するように設定すれば、CPU の負荷なくパルス出力を行うことができます。

### 11.3.5 インพุットキャプチャによる TPC 出力

TPC 出力は、16 ビットタイマのコンペアマッチだけではなく、インพุットキャプチャによっても可能です。

TPCR によって選択された 16 ビットタイマの GRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号により TPC 出力を行います。

このタイミングを図 11.8 に示します。

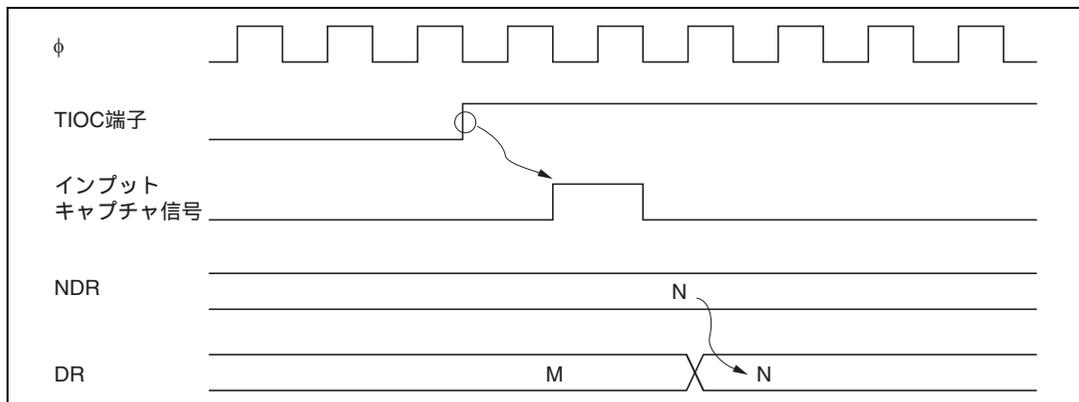


図 11.8 インพุットキャプチャによる TPC 出力例

## 11.4 使用上の注意

### 11.4.1 TPC 出力端子の動作

TP<sub>0</sub> ~ TP<sub>15</sub>は16ビットタイマ、DMAC、アドレスバスなどの端子と兼用になっています。これらの端子は、16ビットタイマ、DMAC、アドレスバスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

### 11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようになっています。

- (1) コンペアマッチAではNDRの内容を常にDRへ転送します。
- (2) コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 11.9 に示します。

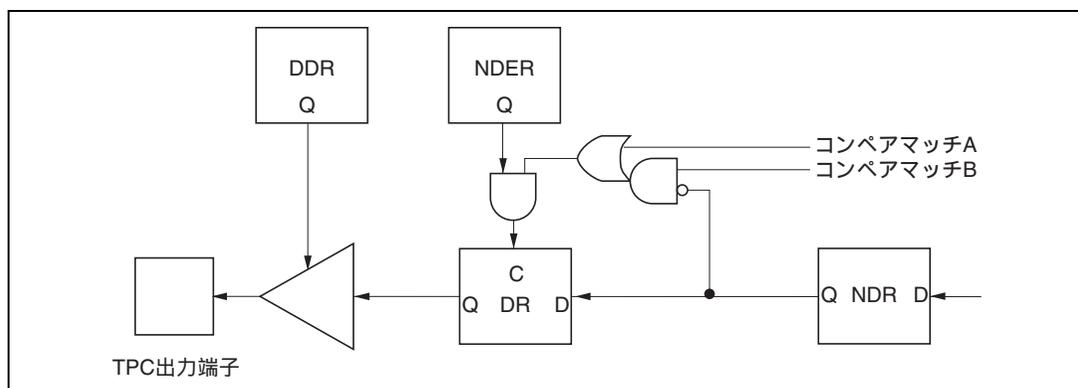


図 11.9 TPC 出力ノンオーバーラップ動作

## 11. プログラマブルタイミングパターンコントローラ (TPC)

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先だって行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで ( ノンオーバーラップ期間 ) の間、NDR の内容を変更しないようにしてください。

これは IMFA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、IMFA 割り込みで DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.10 に示します。

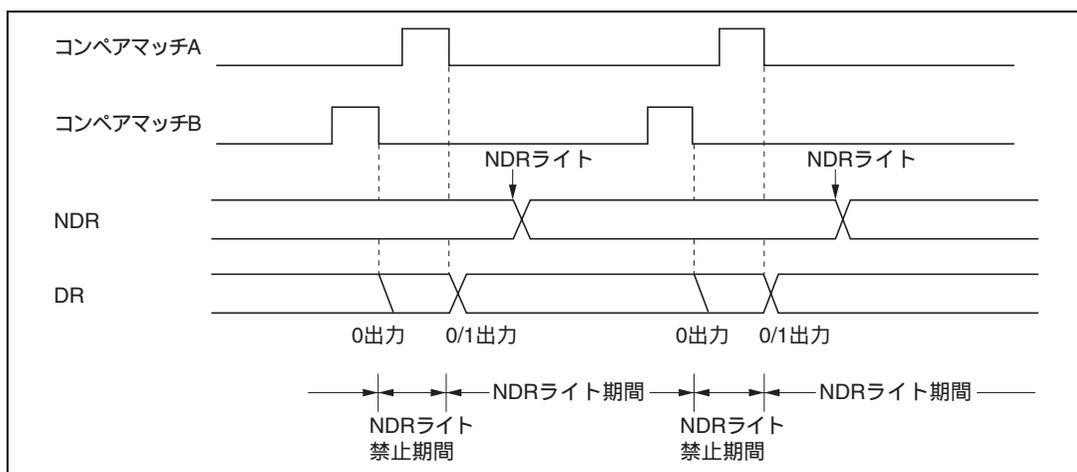


図 11.10 ノンオーバーラップ動作と NDR ライトタイミング

---

## 12. ウォッチドッグタイマ

---

### 12.1 概要

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ (TCNT) の値が書き換えられずオーバーフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバーフローするごとにインターバルタイマ割り込みを発生することができます。

#### 12.1.1 特長

WDT の特長を以下に示します。

8 種類のカウンタ入力クロックを選択可能

$\phi/2$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$

インターバルタイマとして使用可能

TCNT がオーバーフローするとリセット信号または割り込みを発生

ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割り込みを発生します。

ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット、同時にリセット信号を外部に出力可能

ウォッチドッグタイマ時に TCNT のオーバーフローによってリセット信号を発生すると、本 LSI 全体は内部リセットされます。同時に、 $\overline{\text{RESO}}$  端子からリセット信号を外部に出力し、システム全体をリセットすることができます。

## 12. ウォッチドッグタイマ

### 12.1.2 ブロック図

図 12.1 に WDT のブロック図を示します。

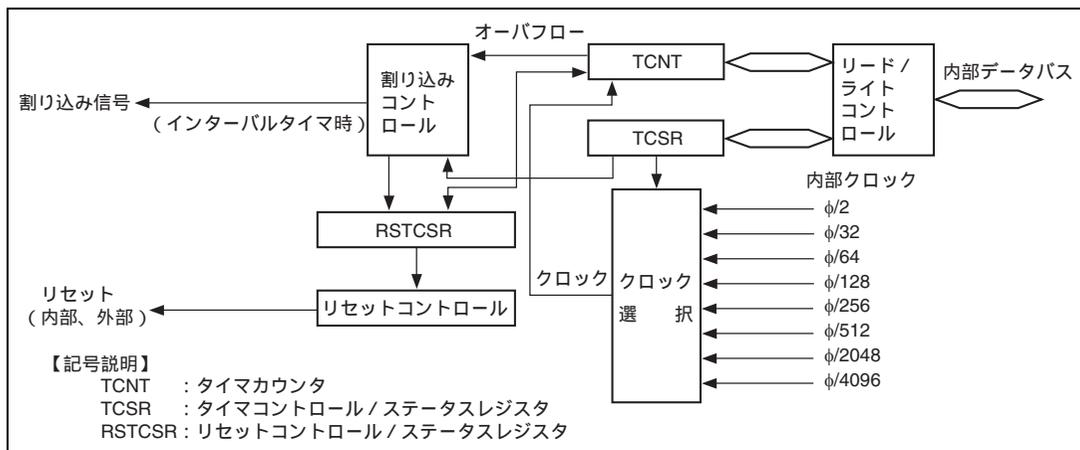


図 12.1 WDT のブロック図

### 12.1.3 端子構成

WDT で使用する出力端子を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
リセット出力	RESO	出力*	ウォッチドッグタイマのリセット信号の外部出力

【注】 \* オープンドレイン出力端子です。

### 12.1.4 レジスタ構成

表 12.2 に WDT のレジスタ構成を示します。

表 12.2 レジスタ構成

アドレス* <sup>1</sup>		名称	略称	R/W	初期値
ライト時* <sup>2</sup>	リード時				
H'FFF8C	H'FFF8C	タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* <sup>3</sup>	H'18
	H'FFF8D	タイマカウンタ	TCNT	R/W	H'00
H'FFF8E	H'FFF8F	リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* <sup>3</sup>	H'3F

【注】 \*<sup>1</sup> アドバンスモード時のアドレス下位 20 ビットを示しています。

\*<sup>2</sup> このアドレスから始まるワードデータとしてライトしてください。

\*<sup>3</sup> ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

## 12.2 各レジスタの説明

### 12.2.1 タイマカウンタ (TCNT)

TCNT は、8 ビットのリード/ライト可能なアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

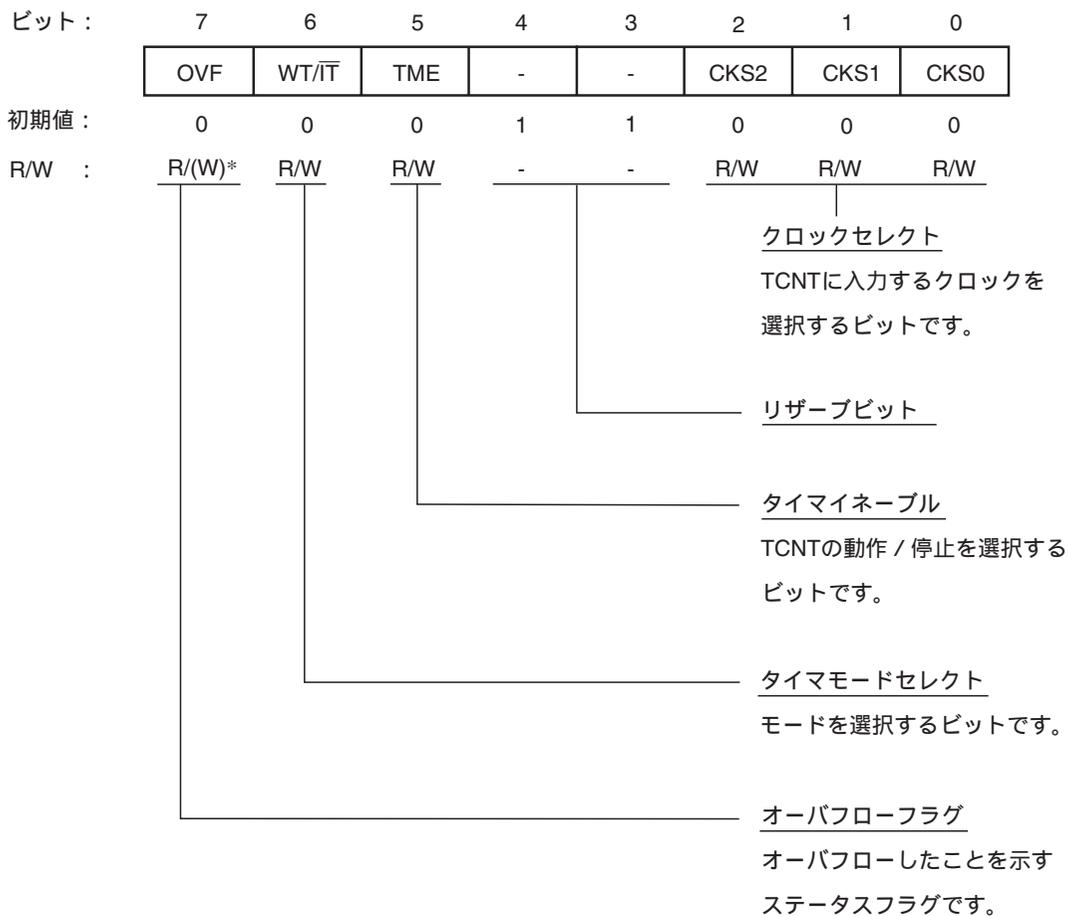
【注】 TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。  
詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

TCSR の TME ビットを 1 にセットすると、TCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー (H'FF→H'00) すると、TCSR の OVF フラグが 1 にセットされます。

また、TCNT はリセット、または TME = 0 のとき H'00 に初期化されます。

### 12.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、8ビットのリード/ライト可能なレジスタで、TCNTに入力するクロックの選択、およびモードの選択などを行います。



【注】 TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。  
\* フラグをクリアするための0ライトのみ可能です。

ビット7~5はリセット、またはスタンバイモード時に各ビットとも0に初期化されます。ビット2~0は、リセット時に各ビットとも0に初期化されます。なお、ビット2~0はソフトウェアスタンバイモード時には、初期化されずにソフトウェアスタンバイモードに移行する直前の値を保持します。

## ビット7：オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット7	説明
OVF	
0	〔クリア条件〕 OVF=1 の状態で、OVF フラグをリード後、OVF フラグに 0 をライトしたとき (初期値)
1	〔セット条件〕 TCNT が H'FF→H'00 に変化したとき

ビット6：タイマモードセレクト (WT/ $\bar{IT}$ )

WDT をウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時は TCNT のオーバフローでインターバルタイマ割り込み要求を発生します。また、ウォッチドッグタイマ時は TCNT のオーバフローでリセット信号を発生します。

ビット6	説明
WT/ $\bar{IT}$	
0	インターバルタイマを選択：インターバルタイマ割り込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

## ビット5：タイマイネーブル (TME)

TCNT の動作 / 停止を選択します。WT/ $\bar{IT}$  = 1 の場合、SYSCR のソフトウェアスタンバイビット (SSBY) を 0 クリアしてから、TME をセットしてください。また、SSBY を 1 にセットするときは、TME を 0 クリアしてください。

ビット5	説明
TME	
0	TCNT を H'00 に初期化し、カウント動作は停止 (初期値)
1	TCNT はカウント動作

## ビット4、3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## 12. ウォッチドッグタイマ

---

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック ( $\phi$ ) を分周して得られる8種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	$\phi / 2$ (初期値)
		1	$\phi / 32$
	1	0	$\phi / 64$
		1	$\phi / 128$
1	0	0	$\phi / 256$
		1	$\phi / 512$
	1	0	$\phi / 2048$
		1	$\phi / 4096$

### 12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は 8 ビットのリード/ライト可能なレジスタで、ウォッチドッグタイマのオーバフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。

ビット:	7	6	5	4	3	2	1	0
	WRST	RSTOE	-	-	-	-	-	-
初期値:	0	0	1	1	1	1	1	1
R/W :	R/(W)*	R/W	-	-	-	-	-	-

リザーブビット  
リセット出力イネーブル  
リセット信号の外部への出力を許可/禁止するビットです。  
ウォッチドッグタイマリセット  
リセット信号が発生したことを示すビットです。

【注】 RSTCSRは、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。

詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

\* ビット7は、フラグをクリアするための0ライトのみ可能です。

ビット7、6は、 $\overline{\text{RES}}$  端子によるリセット信号で初期化されます。ウォッチドッグタイマのオーバフローによるリセット信号では初期化されません。

#### ビット7: ウォッチドッグタイマリセット (WRST)

ウォッチドッグタイマ時に TCNT がオーバフローし、リセット信号が発生したことを示すビットです。

オーバフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。同時に、RSTOE ビットが1にセットされていると、このリセット信号を  $\overline{\text{RES0}}$  端子から Low レベルを外部に出力し、システム全体の初期化を行うことができます。

ビット7	説明
WRST	
0	〔クリア条件〕 (初期値) (1) $\overline{\text{RES}}$ 端子によるリセット信号 (2) WRST=1 の状態で、WRST フラグをリード後、WRST フラグに0をライトしたとき
1	〔セット条件〕 ウォッチドッグタイマ時に、TCNT がオーバフローし、リセット信号が発生したとき

## 12. ウォッチドッグタイマ

---

### ビット6：リセット出カインーブル（RSTOE）

ウォッチドッグタイマ時に TCNT がオーバフローして発生したリセット信号の  $\overline{\text{RESO}}$  端子からの出力の許可 / 禁止を選択します。

ビット6 RSTOE	説 明
0	リセット信号の外部出力を禁止 (初期値)
1	リセット信号の外部出力を許可

### ビット5~0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

### 12.2.4 レジスタ書き換え時の注意

WDTのTCNT、TCSR、RSTCSRは、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

#### (1) TCNT、TCSRへのライト

TCNT、TCSRへライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図12.2にTCNT、TCSRへのライトデータを示します。

ライト時のアドレスは、TCNT、TCSRとも同一アドレスになっています。そのため、TCNT、TCSRへライトするときは、下位バイトをライトデータに、上位バイトをH'5A(TCNTのとき)またはH'A5(TCSRのとき)にしてワード転送を行います。

これにより、下位バイトのデータがTCNT、またはTCSRへライトされます。

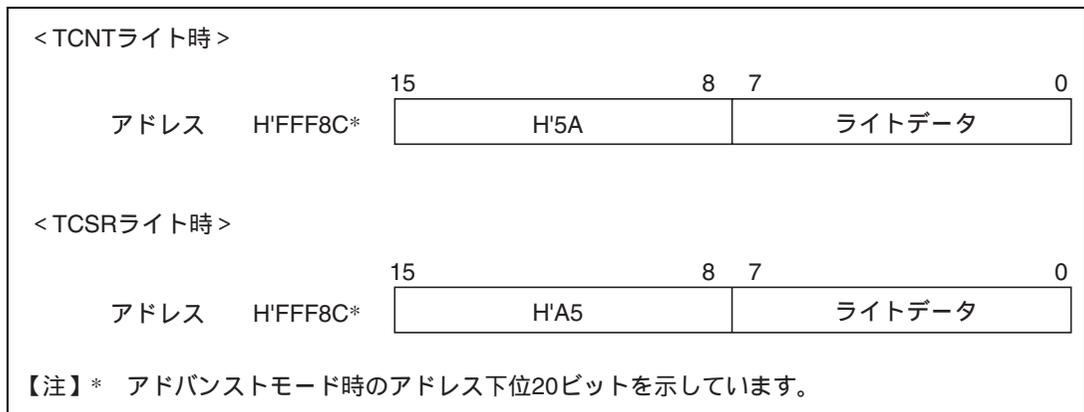


図 12.2 TCNT、TCSR へのライトデータ

## 12. ウォッチドッグタイマ

### (2) RSTCSR へのライト

RSTCSR へライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図 12.3 に RSTCSR のライトデータを示します。

WRST ビットへ 0 をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ (H'00) が RSTCSR の WRST ビットへライトされ、WRST ビットが 0 にクリアされます。

RSTOE ビットへライトする場合、上位バイトを H'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータが RSTOE ビットへライトされます。

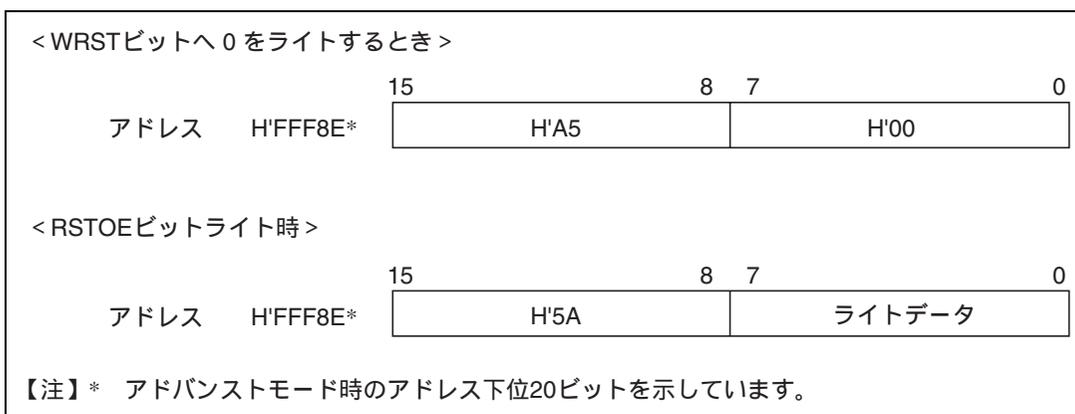


図 12.3 RSTCSR へのライトデータ

### (3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFF8C に TCSR、H'FFF8D に TCNT、H'FFF8F に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表 12.3 に TCNT、TCSR、RSTCSR のリードを示します。

表 12.3 TCNT、TCSR、RSTCSR のリード

アドレス*	レジスタ
H'FFF8C	TCSR
H'FFF8D	TCNT
H'FFF8F	RSTCSR

【注】\* アドバンスモード時のアドレス下位 20 ビットを示しています。

## 12.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

### 12.3.1 ウォッチドッグタイマ時の動作

図 12.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の WT/IT ビット、TME ビットをそれぞれ"1"にセットします。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセット信号は、 $\overline{\text{RES0}}$  端子から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132 ステート期間出力されます。外部への出力の許可 / 禁止は、RSTCSR の RSTOE ビットによって選択します。

WDT によるリセットと  $\overline{\text{RES}}$  端子によるリセットは、同一ベクタです。そのため、 $\overline{\text{RES}}$  端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、 $\overline{\text{RES}}$  端子によるリセットと WDT のオーバーフローによるリセットが同時に発生した場合は、 $\overline{\text{RES}}$  端子によるリセットが優先されます。

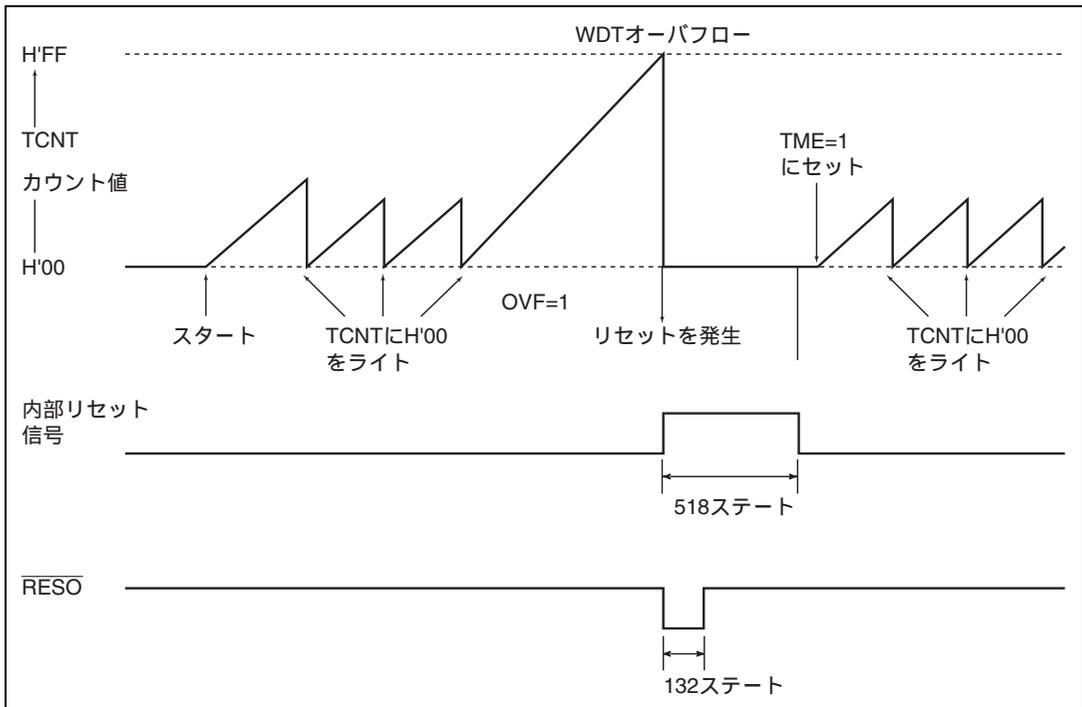


図 12.4 ウォッチドッグタイマモード時の動作

### 12.3.2 インターバルタイマ時の動作

図 12.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT/IT ビットを 0 にクリアし、TME ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバーフローすることにより、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

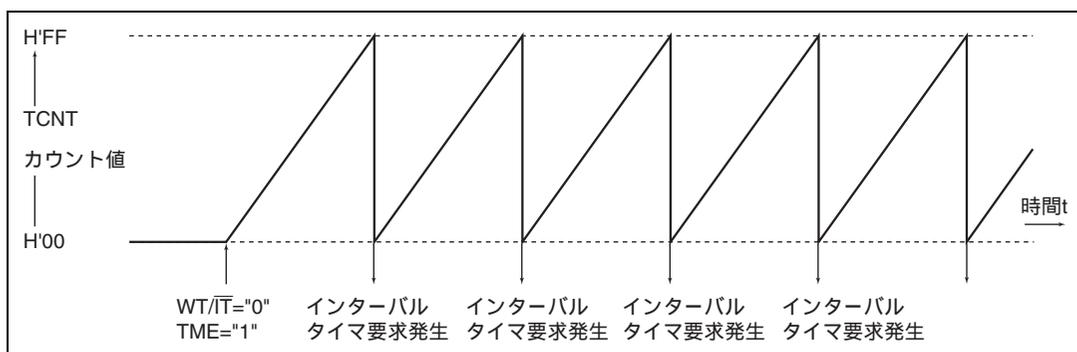


図 12.5 インターバルタイマ時の動作

### 12.3.3 オーバフローフラグ (OVF) セットタイミング

図 12.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

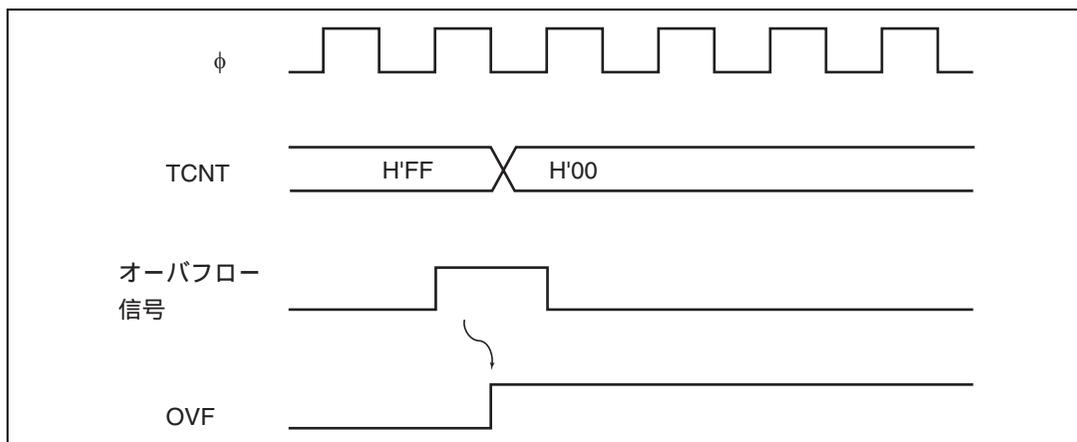


図 12.6 OVF フラグのセットタイミング

### 12.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSR の WRST ビットは、TCSR の  $\overline{WT/IT}$  ビット、TME ビットをそれぞれ 1 にセットしたとき有効になります。

図 12.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバーフローして、OVF フラグが 1 にセットされたとき、WRST ビットは 1 にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは 0 にクリアされますが、WRST ビットは 1 にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

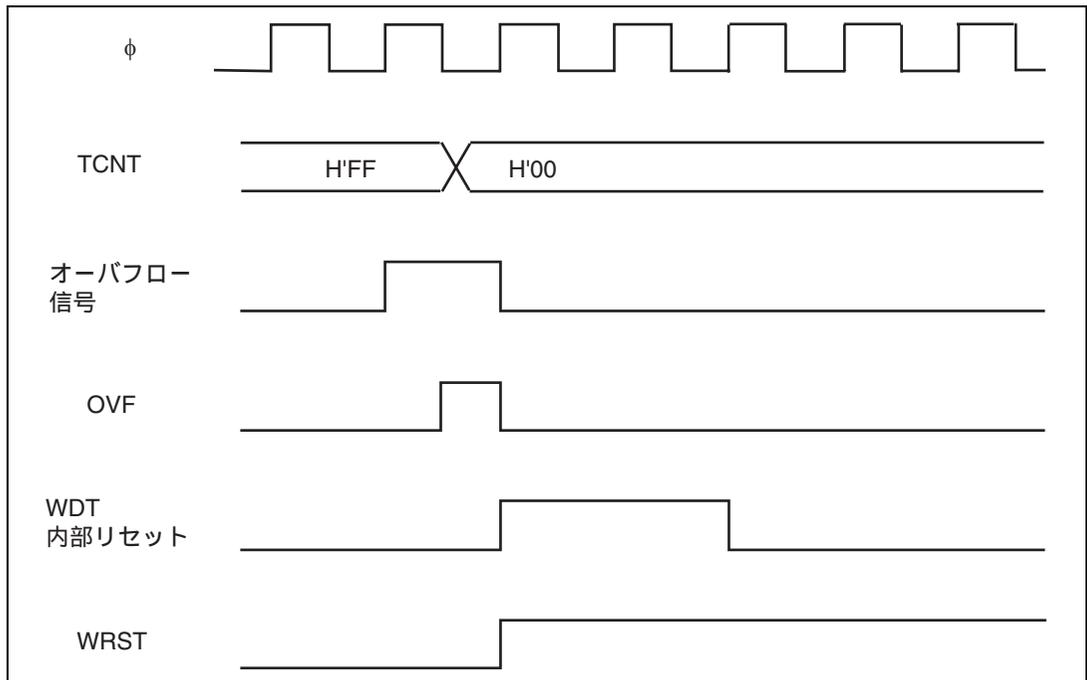


図 12.7 WRST ビットのセットおよび内部リセットタイミング

## 12.4 割り込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割り込み(WOVI)が発生します。インターバルタイマ割り込みは TCSR の OVF フラグが 1 にセットされると常に要求されます。

## 12.5 使用上の注意

### (1) TCNT のライトとカウントアップの競合

図 12.8 に TCNT のライトとカウントアップの競合を示します。

TCNT のライトサイクル中の T<sub>3</sub> ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

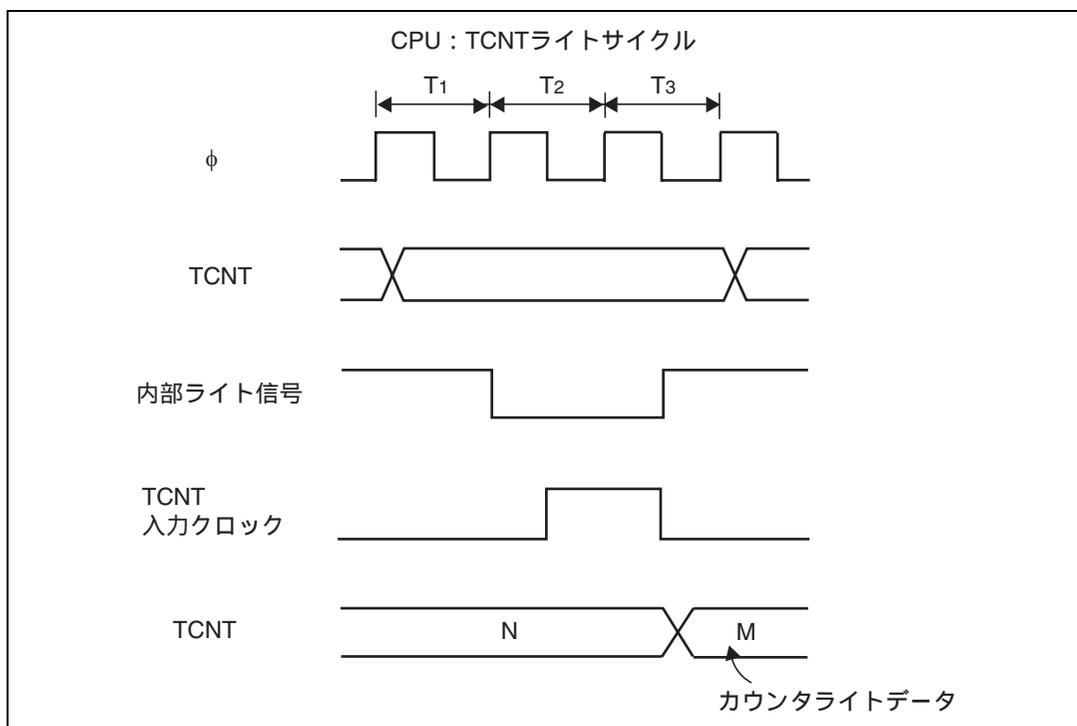


図 12.8 TCNT のライトとカウントアップの競合

### (2) CKS2 ~ CKS0 ビットの切り替え

CKS2 ~ CKS0 ビットを切り替えるときは、TCSR の TME ビットを "0" にクリアし、TCNT を停止させてから行ってください。

---

## 13. SCI

---

### 13.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。3 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

消費電流低減のため SCI を使用しない場合には、SCI 各チャンネル単独に停止することができます。詳細は「19.6 モジュールスタンバイ機能」を参照してください。

また、SCI は"ISO/IEC7816-3 ( Identification Card )"に準拠した IC カードインタフェース用シリアル通信機能としてスマートカードインタフェースをサポートしています。通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

#### 13.1.1 特長

通常のシリアルコミュニケーションインタフェースの特長を以下に示します。

シリアル通信モードを調歩同期式モード/クロック同期式モードから選択可能

##### (a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter ( UART ) や Asynchronous Communication Interface Adapter ( ACIA ) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

- データ長 : 7 ビット / 8 ビット
- ストップビット長 : 1 ビット / 2 ビット
- パリティ : 偶数パリティ / 奇数パリティ / パリティなし
- マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。

## (b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

送受信するシリアルデータに対して、

- LSB ファースト / MSB ファースト
- データのロジックレベルの反転

を設定することができます。

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。また、SCI0 については送信データエンプティ割り込みと受信データフル割り込みにより DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。

スマートカードインタフェースの特長を以下に示します。

## 調歩同期式モード

- データ長 : 8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みにより DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。

## 13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

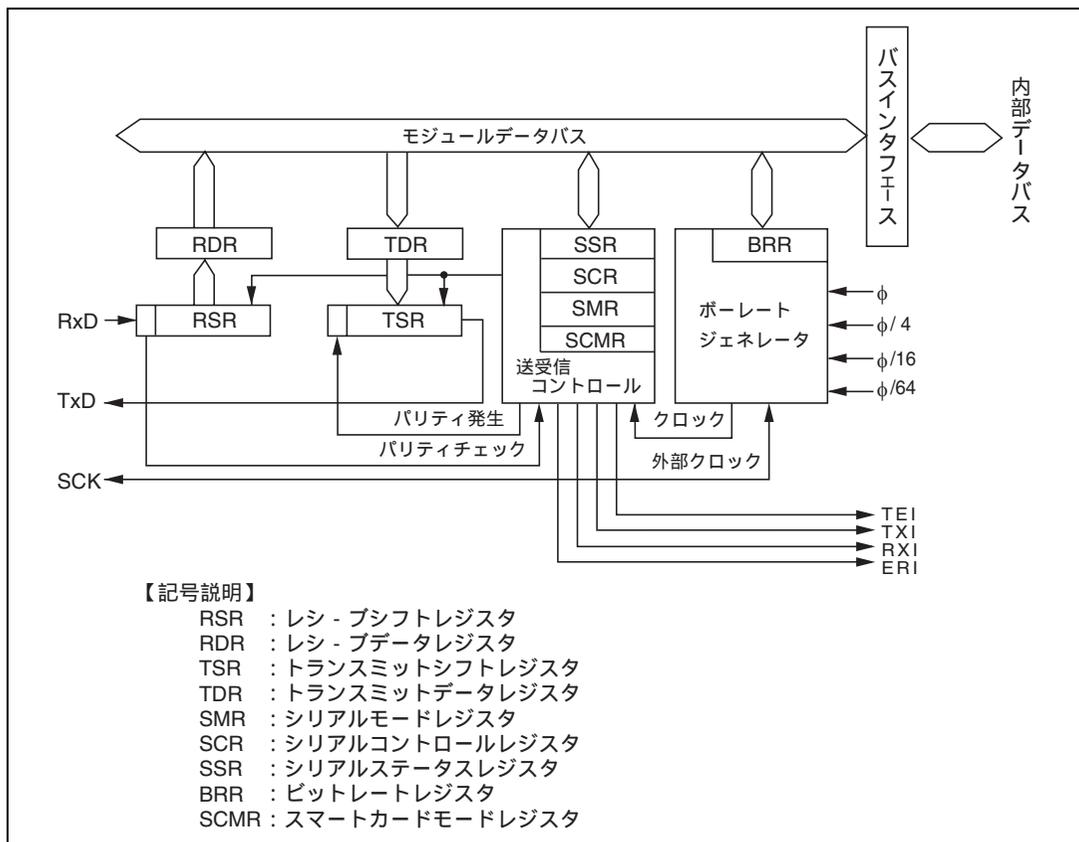


図 13.1 SCI のブロック図

### 13.1.3 端子構成

SCIは、チャンネルごとに表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK <sub>0</sub>	入出力	SCI <sub>0</sub> のクロック入出力
	レシーブデータ端子	RxD <sub>0</sub>	入力	SCI <sub>0</sub> の受信データ入力
	トランスミットデータ端子	TxD <sub>0</sub>	出力	SCI <sub>0</sub> の送信データ出力
1	シリアルクロック端子	SCK <sub>1</sub>	入出力	SCI <sub>1</sub> のクロック入出力
	レシーブデータ端子	RxD <sub>1</sub>	入力	SCI <sub>1</sub> の受信データ入力
	トランスミットデータ端子	TxD <sub>1</sub>	出力	SCI <sub>1</sub> の送信データ出力
2	シリアルクロック端子	SCK <sub>2</sub>	入出力	SCI <sub>2</sub> のクロック入出力
	レシーブデータ端子	RxD <sub>2</sub>	入力	SCI <sub>2</sub> の受信データ入力
	トランスミットデータ端子	TxD <sub>2</sub>	出力	SCI <sub>2</sub> の送信データ出力

### 13.1.4 レジスタ構成

SCIには、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、送信部 / 受信部の制御、およびシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えの指定を行うことができます。

表 13.2 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
0	H'FFFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFFB5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2
1	H'FFFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBBB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBBC	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFBBD	レシーブデータレジスタ	RDR	R	H'00
	H'FFBBE	スマートカードモードレジスタ	SCMR	R/W	H'F2
2	H'FFFC0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFC1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFC2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFC3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFC4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFFC5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFC6	スマートカードモードレジスタ	SCMR	R/W	H'F2

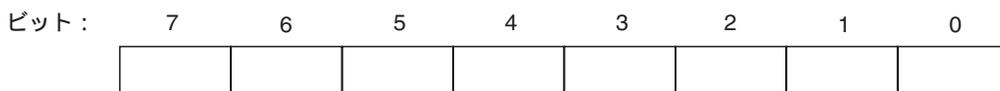
【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 13.2 各レジスタの説明

### 13.2.1 レシーブシフトレジスタ (RSR)

RSR は、シリアルデータを受信するためのレジスタです。



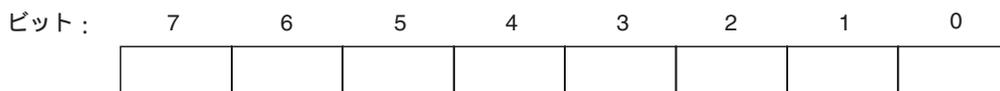
R/W :      -          -          -          -          -          -          -          -

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

### 13.2.2 レシーブデータレジスタ (RDR)

RDR は、受信したシリアルデータを格納するレジスタです。



初期値：      0          0          0          0          0          0          0          0

R/W :      R          R          R          R          R          R          R          R

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

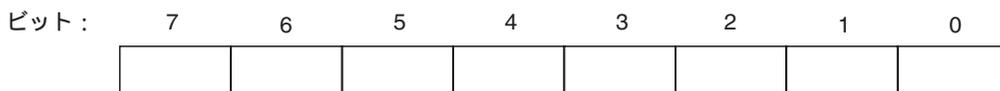
このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

### 13.2.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのレジスタです。



R/W :        -            -            -            -            -            -            -            -

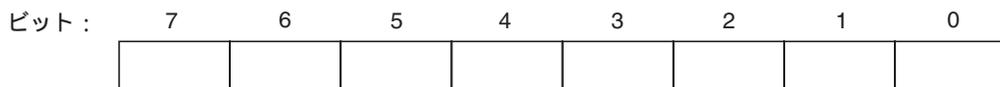
SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

### 13.2.4 トランスミットデータレジスタ (TDR)

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。



初期値：        1            1            1            1            1            1            1            1

R/W :        R/W        R/W        R/W        R/W        R/W        R/W        R/W

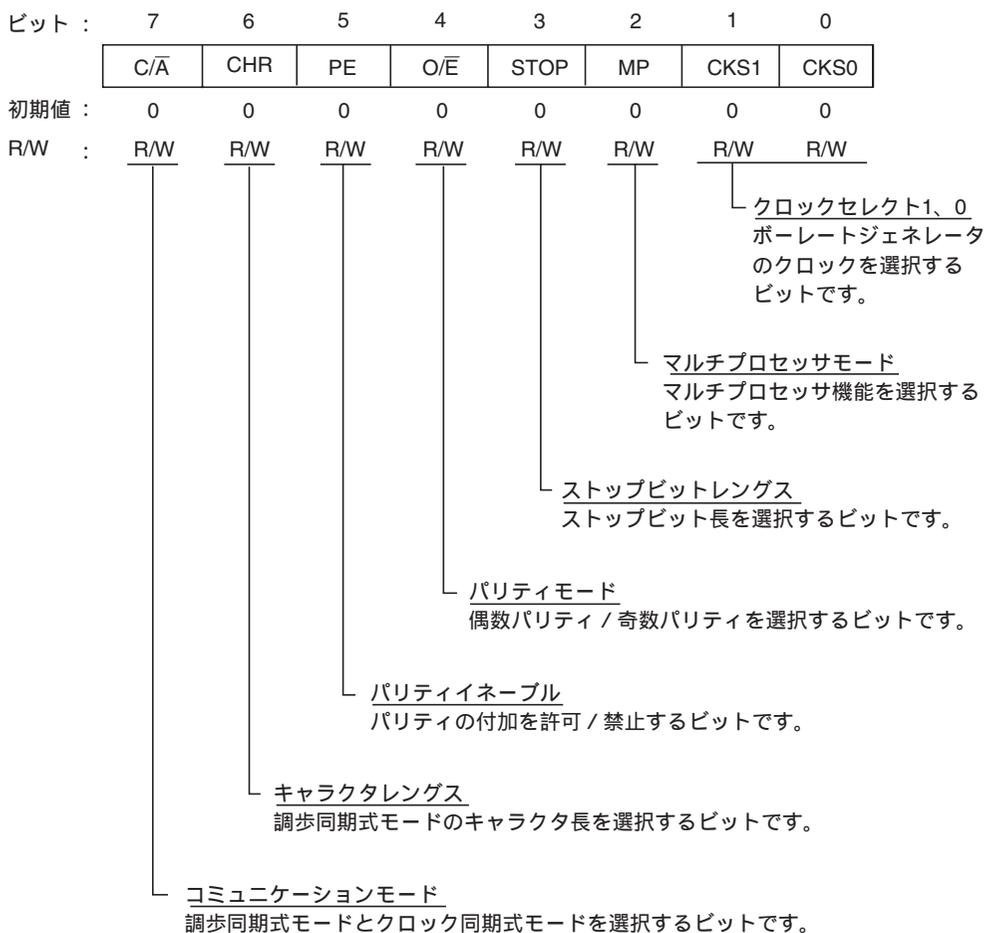
SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF にイニシャルライズされます。

### 13.2.5 シリアルモードレジスタ (SMR)

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。



SMR は、常に CPU によるリード / ライトが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C/ $\bar{A}$ ) / GSM モード (GM)

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。SCMR の SMIF ビットによって切り替わります。

- (a) シリアルコミュニケーションインタフェースのとき (SCMR の SMIF ビットが"0")  
SCI の動作モードを調歩同期式モード / クロック同期式モードのいずれかから選択します。

ビット7	説 明
C/ $\bar{A}$	
0	調歩同期式モード (初期値)
1	クロック同期式モード

- (b) スマートカードインタフェースのとき (SCMR の SMIF ビットが"1")  
スマートカードインタフェースのとき GSM モードを選択します。

ビット7	説 明
GM	
0	TEND フラグがスタートビットから 12.5etu 後に発生します。 (初期値)
1	TEND フラグがスタートビットから 11.0etu 後に発生します。

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

#### ビット6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット6	説 明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 \* 7 ビットデータを選択した場合、TDR の MSB (ビット7) は送信されません。

#### ビット5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説 明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 \* PE ビットに 1 をセットすると送信時には、O/ $\bar{E}$  ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ $\bar{E}$  ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

## ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの設定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

- 【注】 \*1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
- \*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

## ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1 ストップビット* <sup>1</sup> (初期値)
1	2 ストップビット* <sup>2</sup>

- 【注】 \*1 送信時には、送信キャラクタの最終尾に 1 ビットの 1 (ストップビット) を付加して送信します。  
\*2 送信時には、送信キャラクタの最終尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

## ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

## ビット1、0：クロックセレクト1、0（CKS1、CKS0）

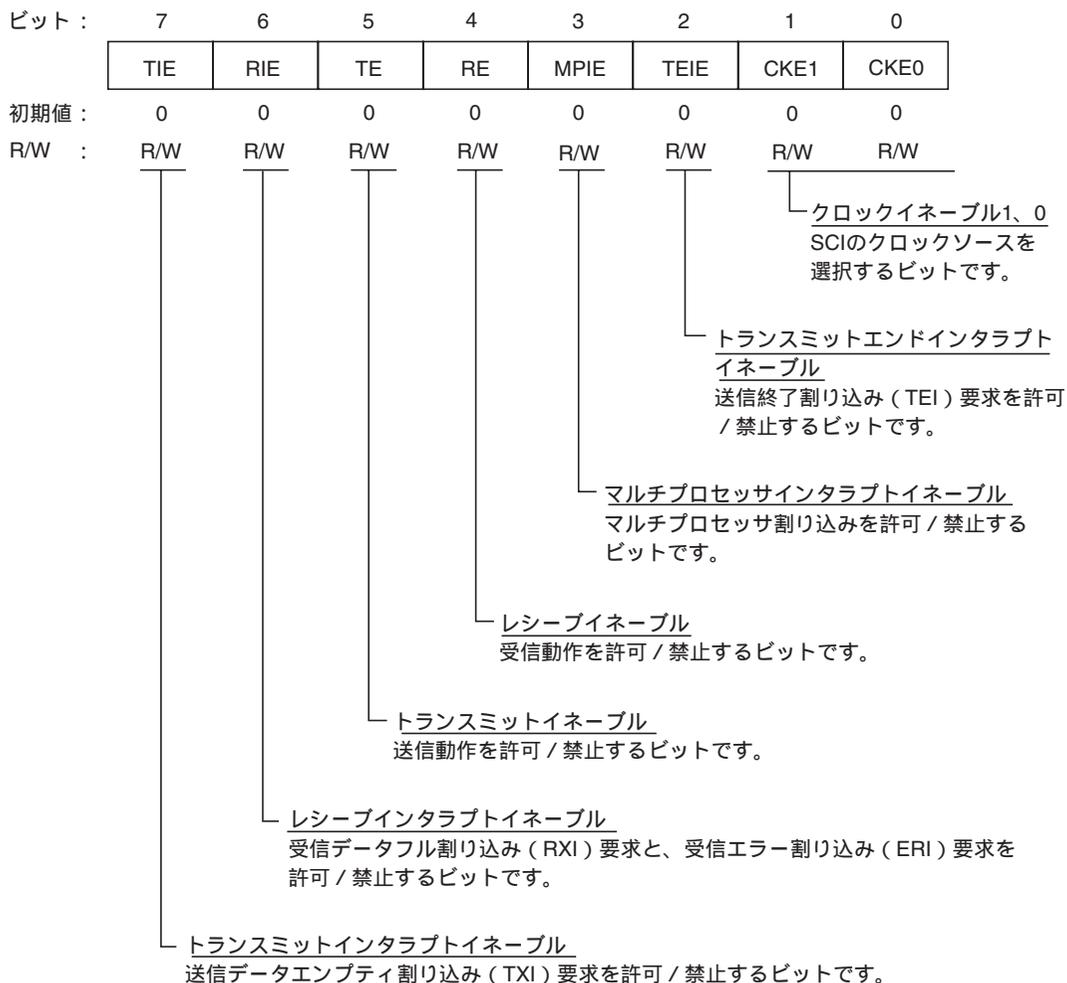
内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、0 ビットの設定により $\phi$ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$  の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「13.2.8 ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	$\phi$ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

### 13.2.6 シリアルコントロールレジスタ (SCR)

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。



SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

## ビット7：トランスミットインタラプトイネーブル（TIE）

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み（TXI）要求の発生を許可 / 禁止します。

ビット7	説 明
TIE	
0	送信データエンpty割り込み（TXI）要求の禁止* (初期値)
1	送信データエンpty割り込み（TXI）要求の許可

【注】 \* TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

## ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求の発生を許可 / 禁止します。

ビット6	説 明
RIE	
0	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を禁止* (初期値)
1	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を許可

【注】 \* RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

## ビット5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可 / 禁止します。

ビット5	説 明
TE	
0	送信動作を禁止* <sup>1</sup> (初期値)
1	送信動作を許可* <sup>2</sup>

【注】 \*<sup>1</sup> SSR の TDRE フラグは 1 に固定されます。

\*<sup>2</sup> この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

### 13. SCI

#### ビット4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可 / 禁止します。

ビット4	説明
RE	
0	受信動作を禁止* <sup>1</sup> (初期値)
1	受信動作を許可* <sup>2</sup>

【注】 \*<sup>1</sup> RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

\*<sup>2</sup> この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

#### ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の受信動作をします） (初期値) 〔クリア条件〕 (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信データフル割り込み（RXI）要求、受信エラー割り込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 \* RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生（SCR の TIE、RIE ビットが "1" にセットされている場合）と FER、ORER フラグのセットが許可されます。

#### ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み（TEI）要求の発生を許可 / 禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み（TEI）要求を禁止* (初期値)
1	送信終了割り込み（TEI）要求を許可*

【注】 \* TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMRのSMIFビットによって切り替ります。

(a) シリアルコミュニケーションインタフェースのとき（SCMRのSMIFビットが0）

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作（CKE1=0）時のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1=1）の場合はCKE0ビットの設定は無効です。また、SMRでSCIの動作モードを設定する前にCKE1、CKE0ビットを設定してください。

SCIのクロックソースの選択についての詳細は表13.9を参照してください。

ビット1	ビット0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK端子は入出力ポート*1
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力*1
	1	調歩同期式モード	内部クロック/SCK端子はクロック出力*2
		クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力*3
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK端子はクロック入力*3
		クロック同期式モード	外部クロック/SCK端子は同期クロック入力

【注】 \*1 初期値

\*2 ビットレートと同じ周波数のクロックを出力

\*3 ビットレートの16倍の周波数のクロックを入力

### 13. SCI

---

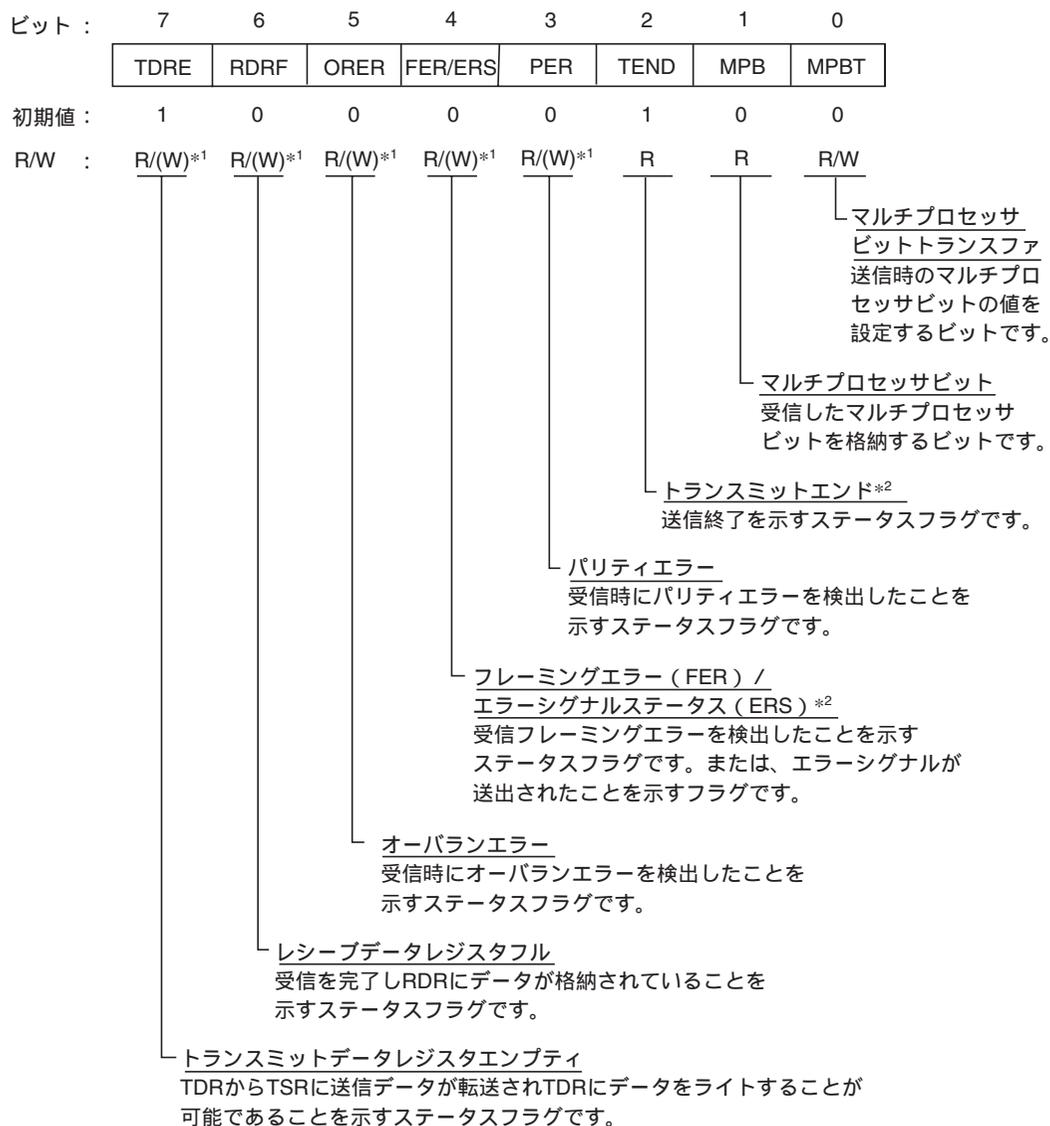
(b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

CKE1 ビットと CKE0 ビットおよび SMR の GM ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするかが決まります。

SMR	ビット 1	ビット 0	説 明
GM	CKE1	CKE0	
0	0	0	SCK 端子は入出力ポート (初期値)
		1	SCK 端子はクロック出力
1	0	0	SCK 端子は Low 出力固定
		1	SCK 端子はクロック出力
	1	0	SCK 端子は High 出力固定
		1	SCK 端子はクロック出力

### 13.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。



【注】\*1 フラグをクリアするための0ライトのみ可能です。

\*2 通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは機能が異なります。

SSR は常に CPU からリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグ、および MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、またはスタンバイモード時に H'84 に初期化されます。

#### ビット 7：トランスミットデータレジスタエンブティ (TDRE)

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データがライトされていることを表示 〔クリア条件〕 (1) TDRE=1 の状態をリードした後、0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	TDR に有効な送信データがないことを表示 (初期値) 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われて TDR にデータライトが可能になったとき

#### ビット 6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット 6	説明
RDRF	
0	RDR に受信データが格納されていないことを表示 (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) RDRF=1 の状態をリードした後、0 をライトしたとき (3) DMAC で RDR のデータをリードしたとき
1	RDR に受信データが格納されていることを表示 〔セット条件〕 シリアル受信が正常終了し、RSR から RDR ヘ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

## ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) ORER=1の状態をリードした後、0をライトしたとき
1	受信時にオーバランエラーが発生したことを表示* <sup>2</sup> 〔セット表示〕 RDRF=1の状態での次のシリアル受信を完了したとき

【注】 \*1 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。

\*2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を受けることもできません。

## ビット4：フレーミングエラー（FER） / エラーシグナルステータス（ERS）

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMRのSMIFビットによって切り替わります。

## (a) シリアルコミュニケーションインタフェースのとき（SCMRのSMIFビットが0）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) FER=1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 〔セット条件〕 SCIが受信終了時に受信データの最終尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* <sup>2</sup>

【注】 \*1 SCRのREビットを0にクリアしたときには、FERフラグは影響をうけずに以前の状態を保持します。

\*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判断し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることができません。また、クロック同期式モードでは、シリアル送信も続けることができません。

## (b) スマートカードインタフェースのとき (SCMR の SMIF ビットが 1)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示* (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) ERS=1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送信されたことを表示 〔セット条件〕 エラーシグナル Low をサンプリングしたとき

【注】 \* SCR の TE ビットを 0 にクリアしたときには、ERS フラグは影響を受けずに以前の状態を保持します。

## ビット 3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティが発生して異常終了したことを示します。

ビット 3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) PER=1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生したことを表示* <sup>2</sup> 〔セット条件〕 受信時の受信データとパリティビットをあわせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

【注】 \*<sup>1</sup> SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けずに以前の状態を保持します。

\*<sup>2</sup> パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

## ビット2：トランスミットエンド（TEND）

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースでは、機能が異なります。また、SCMRのSMIFビットによって切り替わります。

## (a) シリアルコミュニケーションインタフェースのとき（SCMRのSMIFビットが0）

送信キャラクタの最終尾の送信時にTDRに有効なデータがなく、送信を終了したことを示します。TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 【クリア条件】 (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) DMACでTDRヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) 【セット条件】 (1) リセット、またはスタンバイモードのとき (2) SCRのTEビットが0のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき

## (b) スマートカードインタフェースのとき（SCMRのSMIFビットが1）

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 【クリア条件】 (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) DMACでTDRヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) 【セット条件】 (1) リセット、またはスタンバイモードのとき (2) SCRのTEビットが0かつFER/ERSビットが0のとき (3) 1バイトのシリアルキャラクタ送信終了2.5etu後(GM=0のとき) / 1.0etu後(GM=1のとき)にTDRE=1かつFER/ERSビット=0(正常送信)のとき

【注】 etu (Elementary Time Unit) : 1ビットの転送期間

## ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】 \* マルチプロセッサフォーマットでRE ビットを0にクリアしたときには、以前の状態を保持します。

## ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信できないときにはMPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

### 13.2.8 ビットレートレジスタ (BRR)

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

ビット	:	7	6	5	4	3	2	1	0
初期値	:	1	1	1	1	1	1	1	1
R/W	:	R/W							

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

表 13.3 ビットレートに対する BRR の設定例 [ 調歩同期式モード ]

ビット レート (bit/s)	$\phi$ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00	-	-	-

## 13. SCI

ビット レート (bit/s)	$\phi$ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

ビット レート (bit/s)	$\phi$ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	- 6.99

ビット レート (bit/s)	$\phi$ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

ビット レート (bit/s)	$\phi$ (MHz)											
	13			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	230	- 0.08	2	248	- 0.17	3	64	0.70	3	70	0.03
150	2	168	0.16	2	181	0.16	2	191	0.00	2	207	0.16
300	2	84	- 0.43	2	90	0.16	2	95	0.00	2	103	0.16
600	1	168	0.16	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	84	- 0.43	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	168	0.16	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	84	- 0.43	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	41	0.76	0	45	- 0.93	0	47	0.00	0	51	0.16
19200	0	20	0.76	0	22	- 0.93	0	23	0.00	0	25	0.16
31250	0	12	0.00	0	13	0.00	0	14	- 1.70	0	15	0.00
38400	0	10	- 3.82	0	10	3.57	0	11	0.00	0	12	0.16

ビット レート (bit/s)	$\phi$ (MHz)					
	18			20		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	88	- 0.25
150	2	233	0.16	3	64	0.16
300	2	116	0.16	2	129	0.16
600	1	233	0.16	2	64	0.16
1200	1	116	0.16	1	129	0.16
2400	0	233	0.16	1	64	0.16
4800	0	116	0.16	0	129	0.16
9600	0	58	- 0.69	0	64	0.16
19200	0	28	1.02	0	32	- 1.36
31250	0	17	0.00	0	19	0.00
38400	0	14	- 2.34	0	15	1.73

表 13.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	$\phi$ (MHz)															
	2		4		8		10		13		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	202	3	249	-	-	-	-
500	1	249	2	124	2	249	-	-	3	101	3	124	3	140	3	155
1k	1	124	1	249	2	124	-	-	2	202	2	249	3	69	3	77
2.5k	0	199	1	99	1	199	1	249	2	80	2	99	2	112	2	124
5k	0	99	0	199	1	99	1	124	1	162	1	199	1	224	1	249
10k	0	49	0	99	0	199	0	249	1	80	1	99	1	112	1	124
25k	0	19	0	39	0	79	0	99	0	129	0	159	0	179	0	199
50k	0	9	0	19	0	39	0	49	0	64	0	79	0	89	0	99
100k	0	4	0	9	0	19	0	24	-	-	0	39	0	44	0	49
250k	0	1	0	3	0	7	0	9	0	12	0	15	0	17	0	19
500k	0	0*	0	1	0	3	0	4	-	-	0	7	0	8	0	9
1M			0	0*	0	1	-	-	-	-	0	3	0	4	0	4
2M					0	0*	-	-	-	-	0	1	-	-	-	-
2.5M					-	-	0	0*	-	-	-	-	-	-	-	-
4M											0	0*	-	-	-	-

## 【記号説明】

- 空欄 : 設定できません。  
 - : 設定可能ですが誤差がでます。  
 \* : 連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n : ポーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	φ	0	0
1	φ/4	0	1
2	φ/16	1	0
3	φ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

【注】 誤差は、なるべく 1%以内になるように設定してください。

表 13.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6、表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 各周波数における最大ビットレート（調歩同期式モード）

$\phi$ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
20	625000	0	0

表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
20	5.0000	312500

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

## 13.3 動作説明

### 13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。また、IC カードインタフェース用シリアル通信機能として、スマートカードインタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースでの調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の  $C/\bar{A}$  ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 13.9 に示します。

LSB ファースト / MSB ファーストの切り替え方法およびデータのロジックレベルの反転方法の詳細については、「14.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

また、スマートカードモードインタフェースのフォーマットの選択は「14.3.3 データフォーマット」を参照してください。

#### (1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合： SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合： ビットレートの 16 倍の周波数のクロックを入力することが必要(内蔵ポーレートジェネレータを使用しない)

#### (2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合： SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合： 内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

## (3) スマートカードインタフェース

1 フレームは、8 ビットデータとパリティビットで構成されます。

送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。

受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後エラーシグナル Low を 1etu 期間出力します。

送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信しません。

調歩同期式非同期通信機能のみをサポートし、クロック同期式通信機能はありません。

スマートカードインタフェースの動作説明の詳細については、「第 14 章 スマートカードインタフェース」を参照してください。

表 13.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット						
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長			
C/ $\bar{A}$	CHR	MP	PE	STOP								
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット			
				1					2ビット			
			1	0					1ビット			
				1					2ビット			
			1	0					0	7ビット データ	なし	1ビット
				1					0		あり	1ビット
	1	1	1	1		2ビット						
				1		2ビット						
	1	0	1	-		調歩同期式 モード (マルチ プロセッサ フォーマット)	8ビット データ	あり	なし	1ビット		
				1						2ビット		
		1		-			0			7ビット データ	1ビット	
				1			1				2ビット	
1	-	-	-	クロック同期式 モード	8ビット データ	なし		なし				

### 13. SCI

表 13.9 SMR、SCR の設定と SCI クロックソースの選択

SMR	SCR の設定		モード	SCI 送信 / 受信クロック	
	ビット 7	ビット 1		ビット 0	クロックソース
C/ $\bar{A}$	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

### 13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

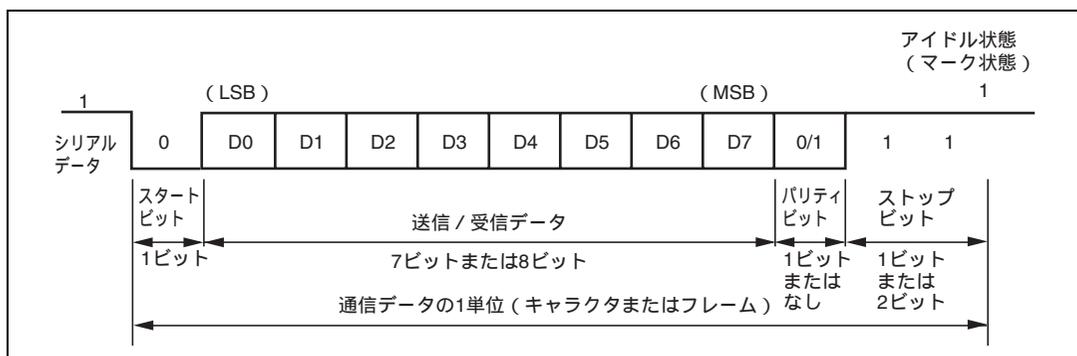


図 13.2 調歩同期式通信のデータフォーマット  
(8ビットデータ / パリティあり / 2ストップビットの例)

## (1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 13.10 に示します。  
送信 / 受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	-	1	0	S	8ビットデータ								MPB	STOP			
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	-	1	0	S	7ビットデータ							MPB	STOP				
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP			

## 【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

## (2) クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースについては表13.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図13.3に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

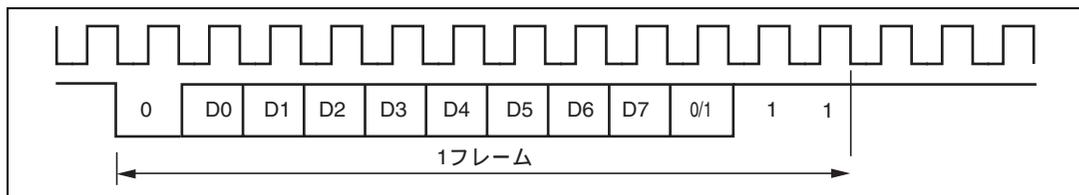


図 13.3 出力クロックと通信データの位相関係 (調歩同期式モード)

## (3) データの送信 / 受信動作

## (a) SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCRのTE、REビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは1にセットされ、TSRが初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグおよび、RDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 13.4 に SCI の初期化フローチャートの例を示します。

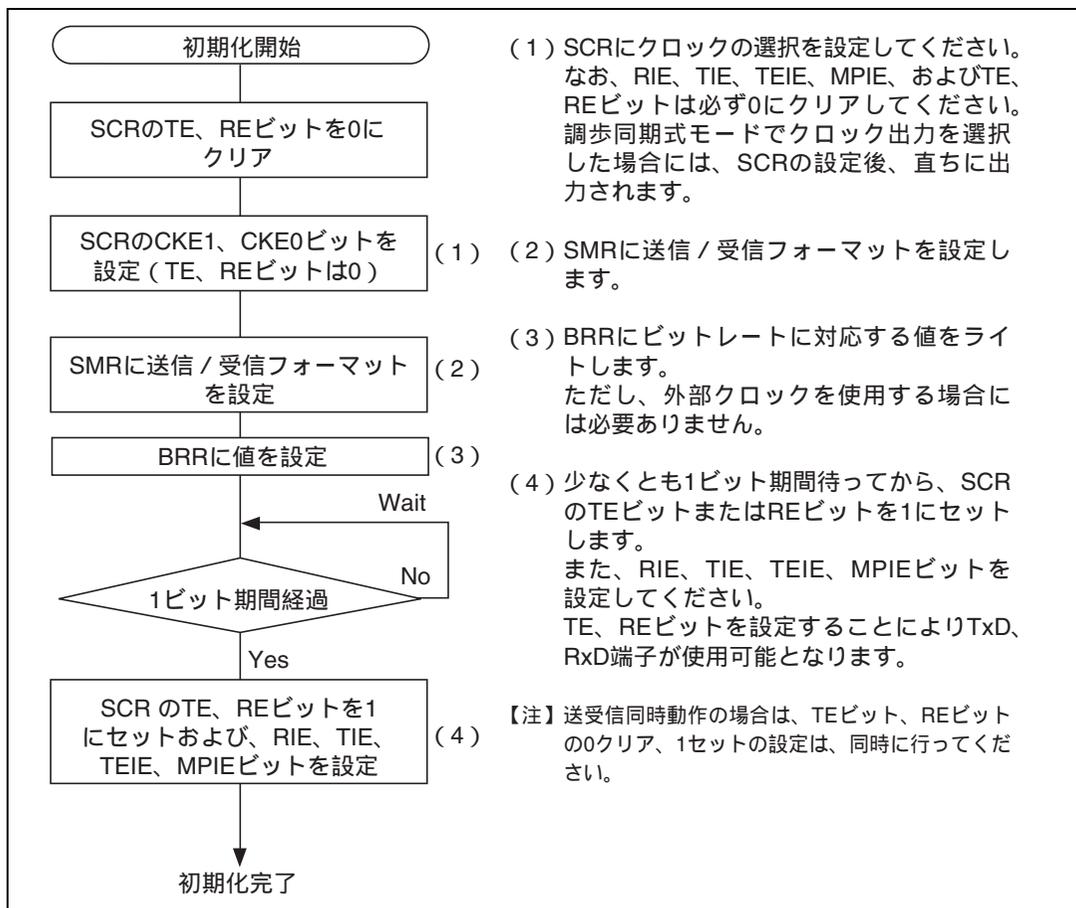


図 13.4 SCI の初期化フローチャートの例

## (b) シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。  
シリアルデータ送信は以下の手順に従って行ってください。

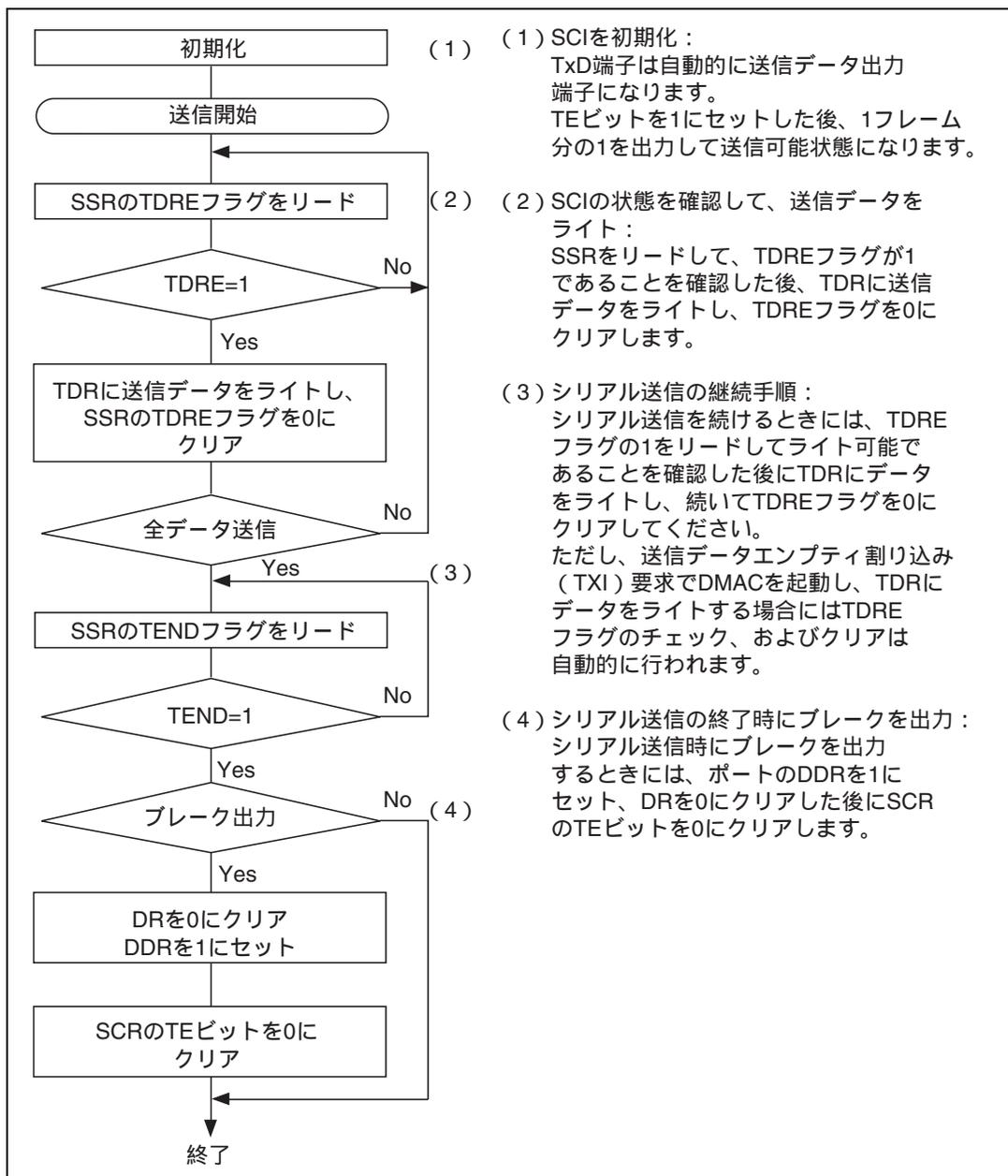


図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。シリアル送信データは、以下の順にTx/D端子から送り出されます。
  - (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
  - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1ビット/2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する"マーク状態"になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

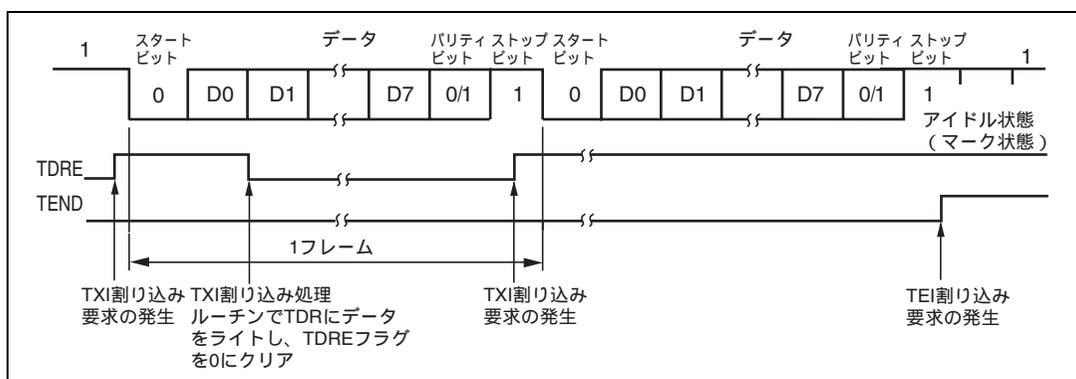


図 13.6 調歩同期式モードでの送信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)

## (c) シリアルデータ受信（調歩同期式）

図 13.7 にシリアル受信フローチャートの例を示します。  
シリアルデータ受信は以下の手順に従って行ってください。

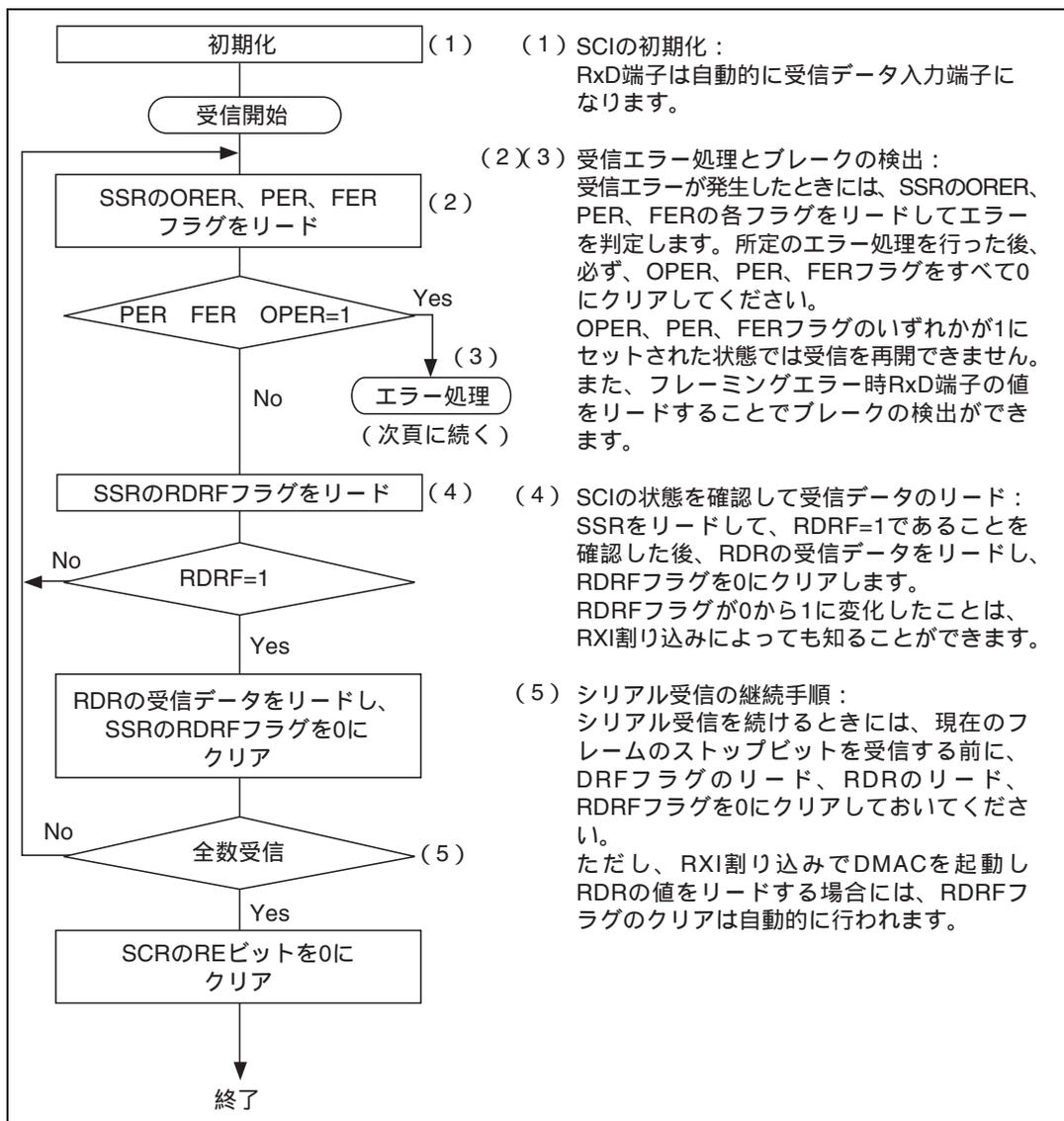


図 13.7 シリアル受信データフローチャートの例 (1)

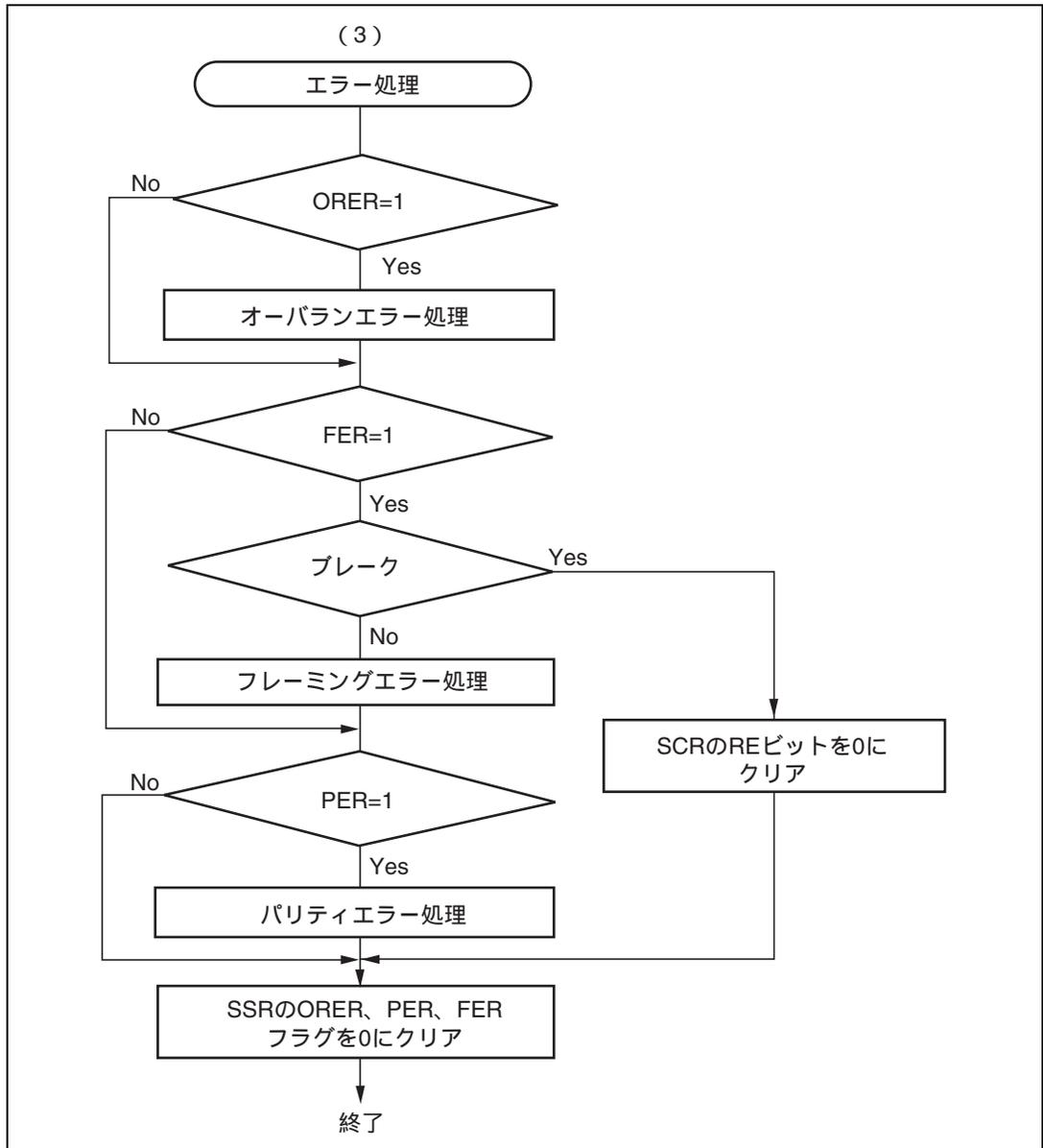


図 13.7 シリアル受信データフローチャートの例(2)

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがSMRのO $\bar{E}$ ビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが1にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー\*を発生すると表 13.11 のように動作します。

【注】\* 受信エラーが発生した状態では、以後の受信動作ができません。  
また、受信時に RDRF フラグが1にセットされませんので、必ずエラーフラグを0にクリアしてください。

- (4) RDRFフラグが1なったときSCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 13.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが1にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	RSR から RDR に受信データは転送されます。
パリティエラー	PER	SMR で設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 13.8 に示します。

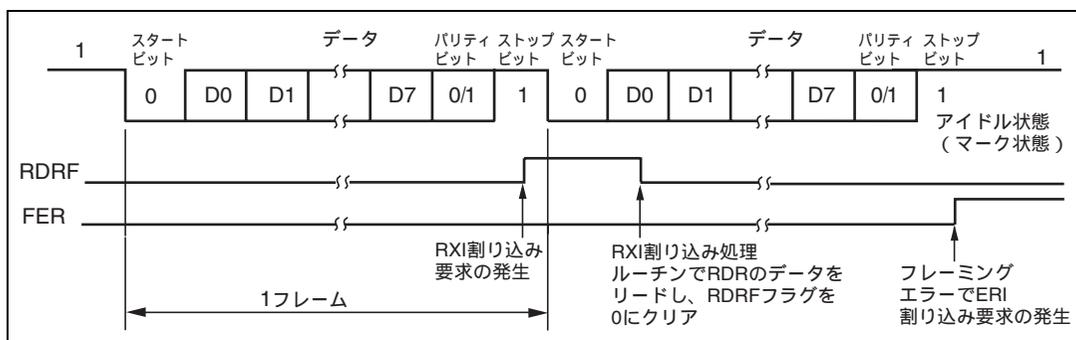


図 13.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

### 13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

## (1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 13.10 を参照してください。

## (2) クロック

調歩同期式モードの項を参照してください。

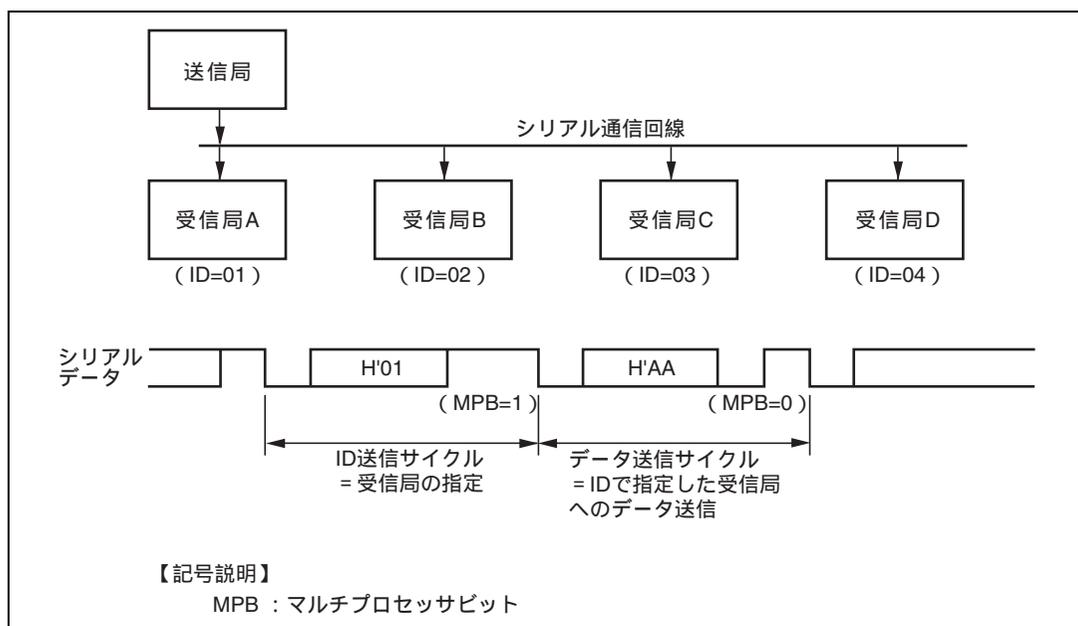


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

## (3) データの送信 / 受信動作

## (a) マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

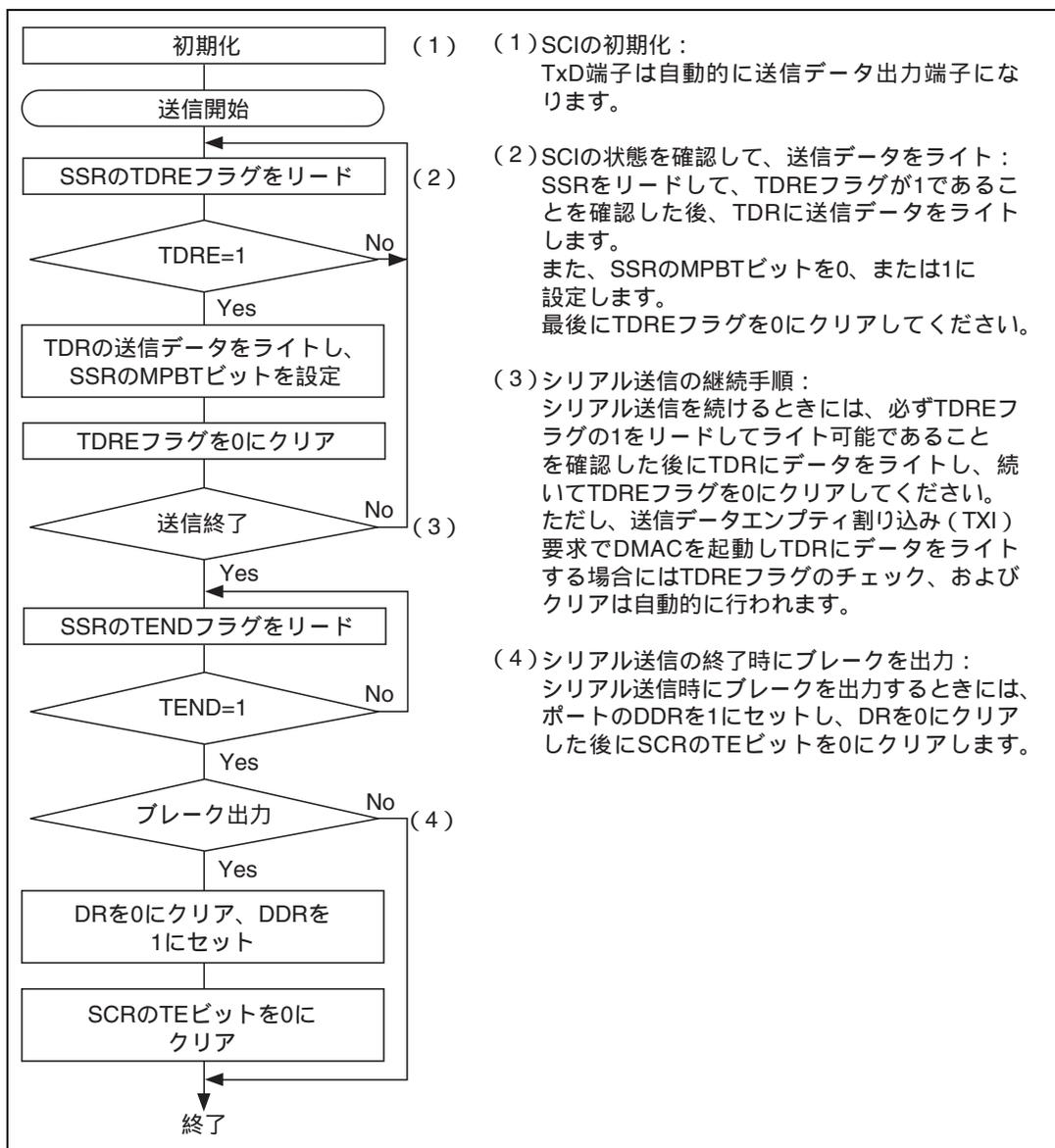


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
シリアル送信データは、以下の順にTxD端子から送り出されます。
  - (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビット / 7ビットのデータがLSBから順に出力されます。
  - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
  - (d) ストップビット：1ビット / 2ビットの1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。  
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。  
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが 1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

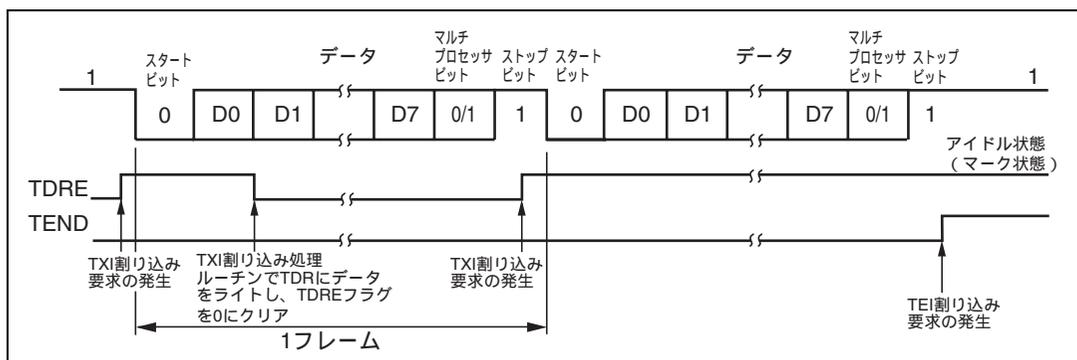


図 13.11 SCI の送信時の動作例  
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

## (b) マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

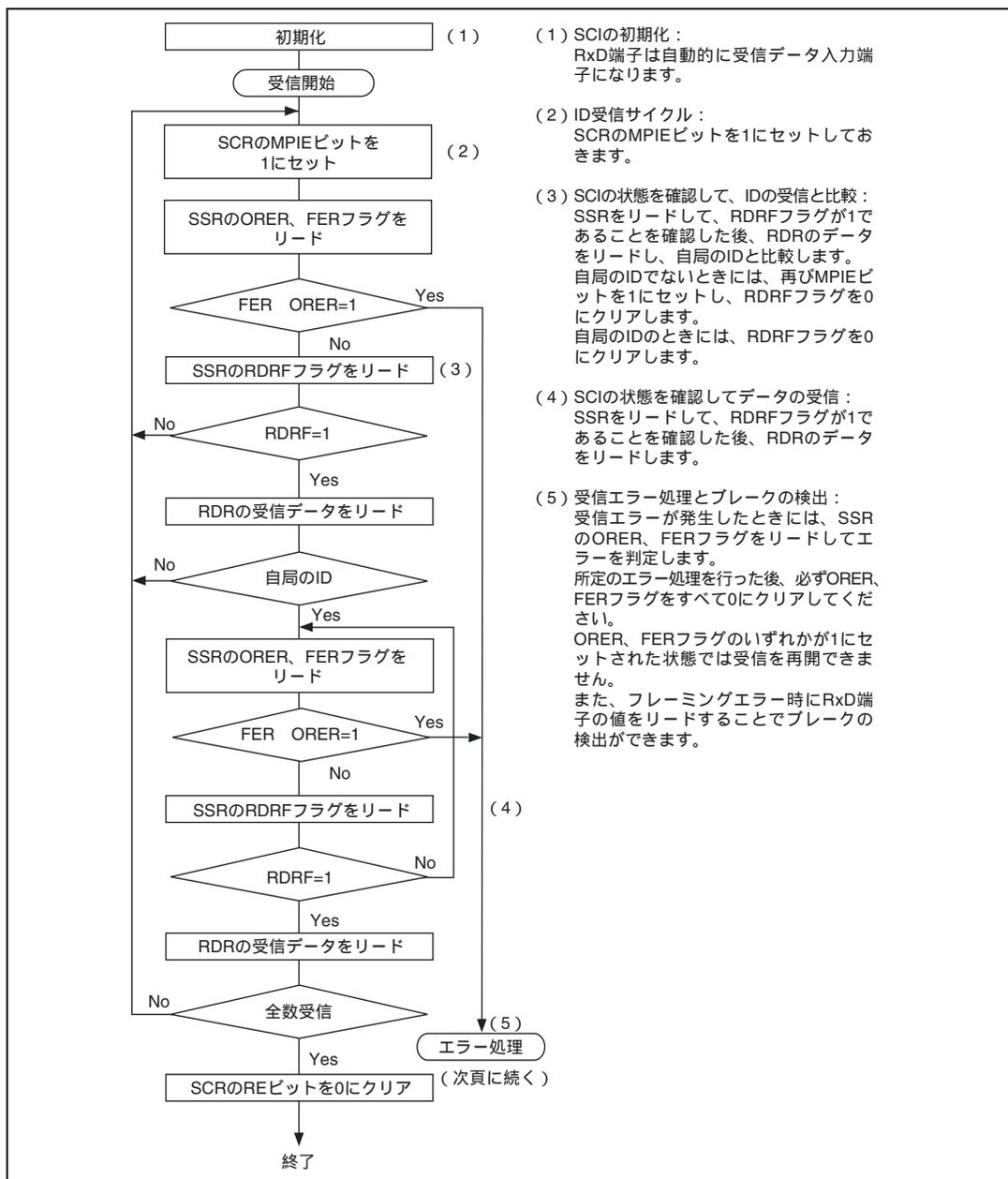


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

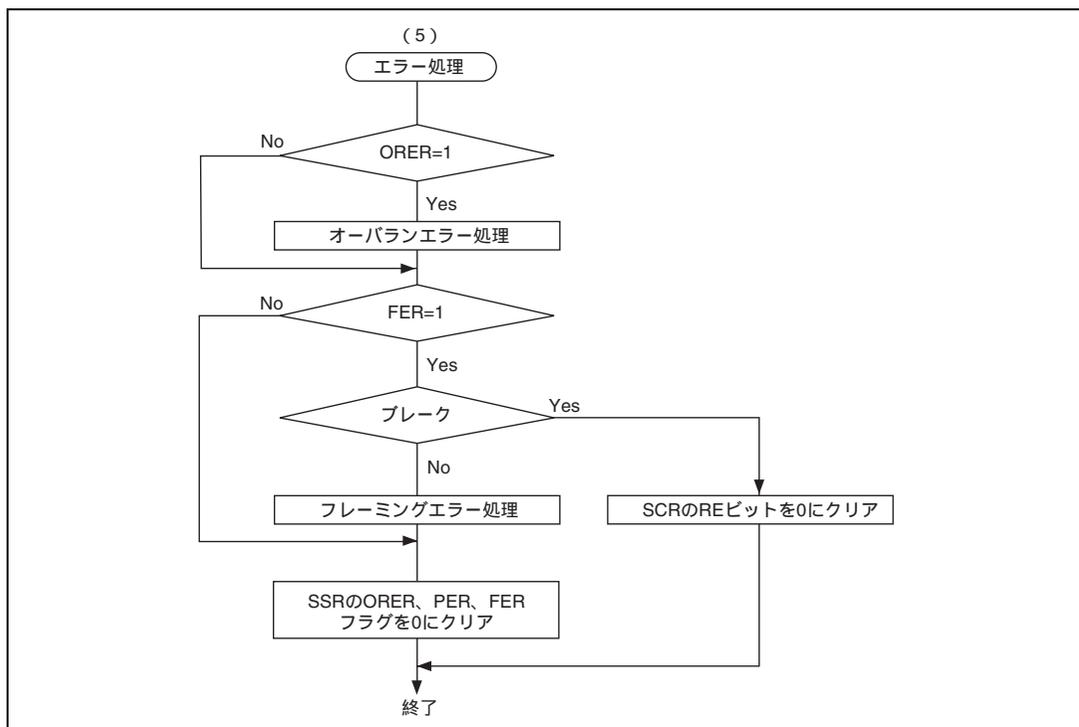


図 13.12 マルチプロセッサシリアル受信のフローチャートの例(2)

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

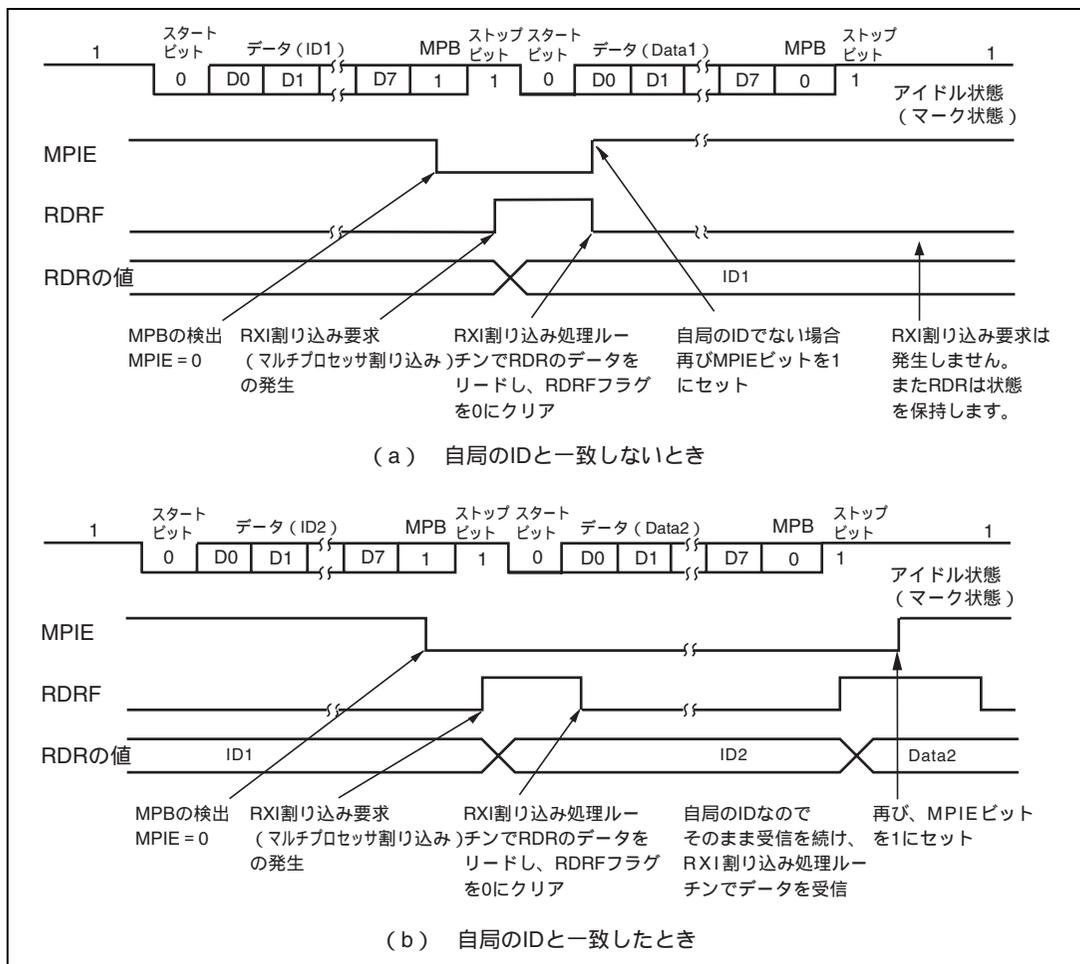


図 13.13 SCI の受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

### 13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

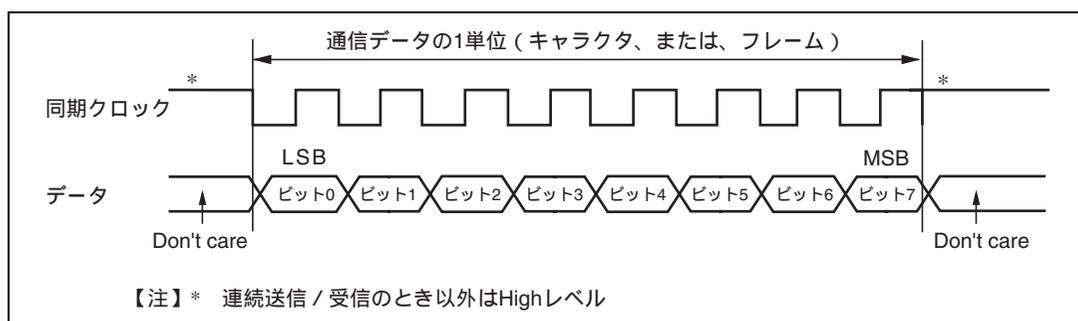


図 13.14 クロック同期式通信データフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

#### (2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 13.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

## (3) データの送信 / 受信動作

## (a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 13.15 に SCI の初期化フローチャートの例を示します。

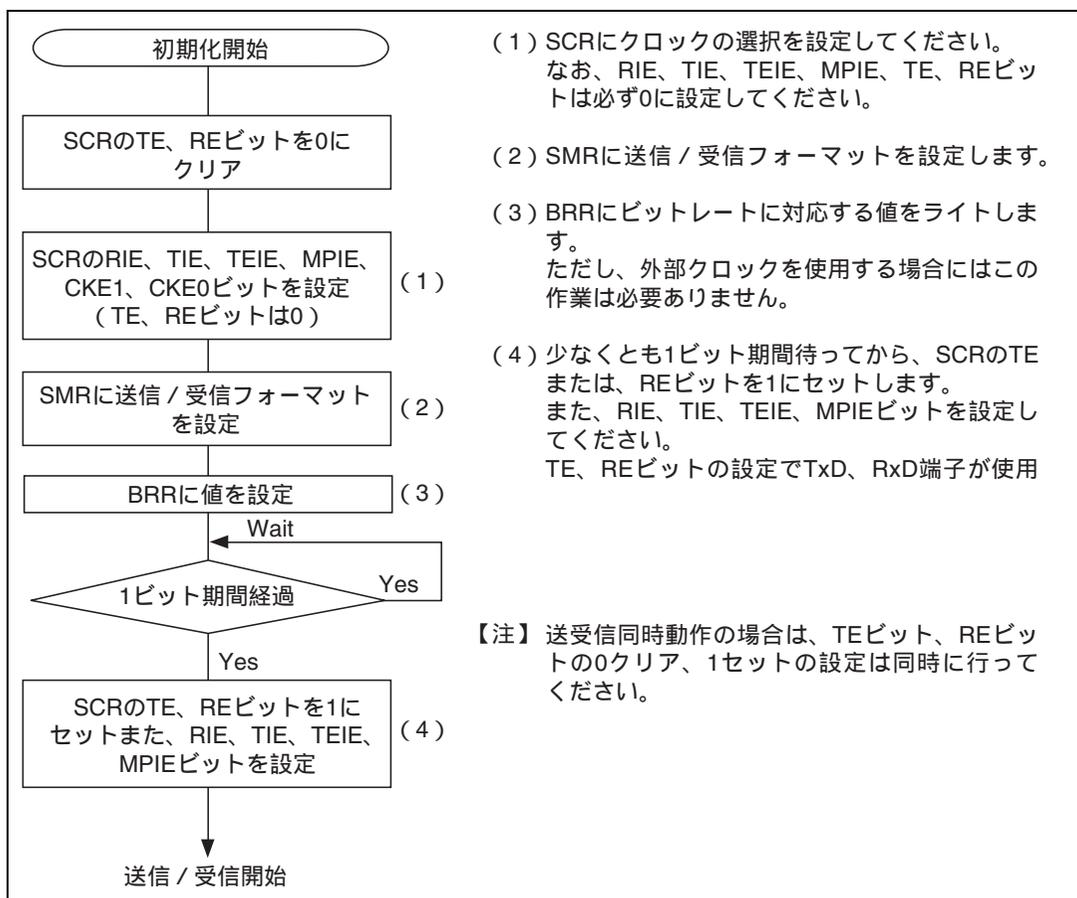


図 13.15 SCI の初期化フローチャートの例

## (b) シリアルデータ送信 (クロック同期式)

図 13.16 にシリアル送信のフローチャートの例を示します。  
シリアルデータ送信は以下の手順に従って行ってください。

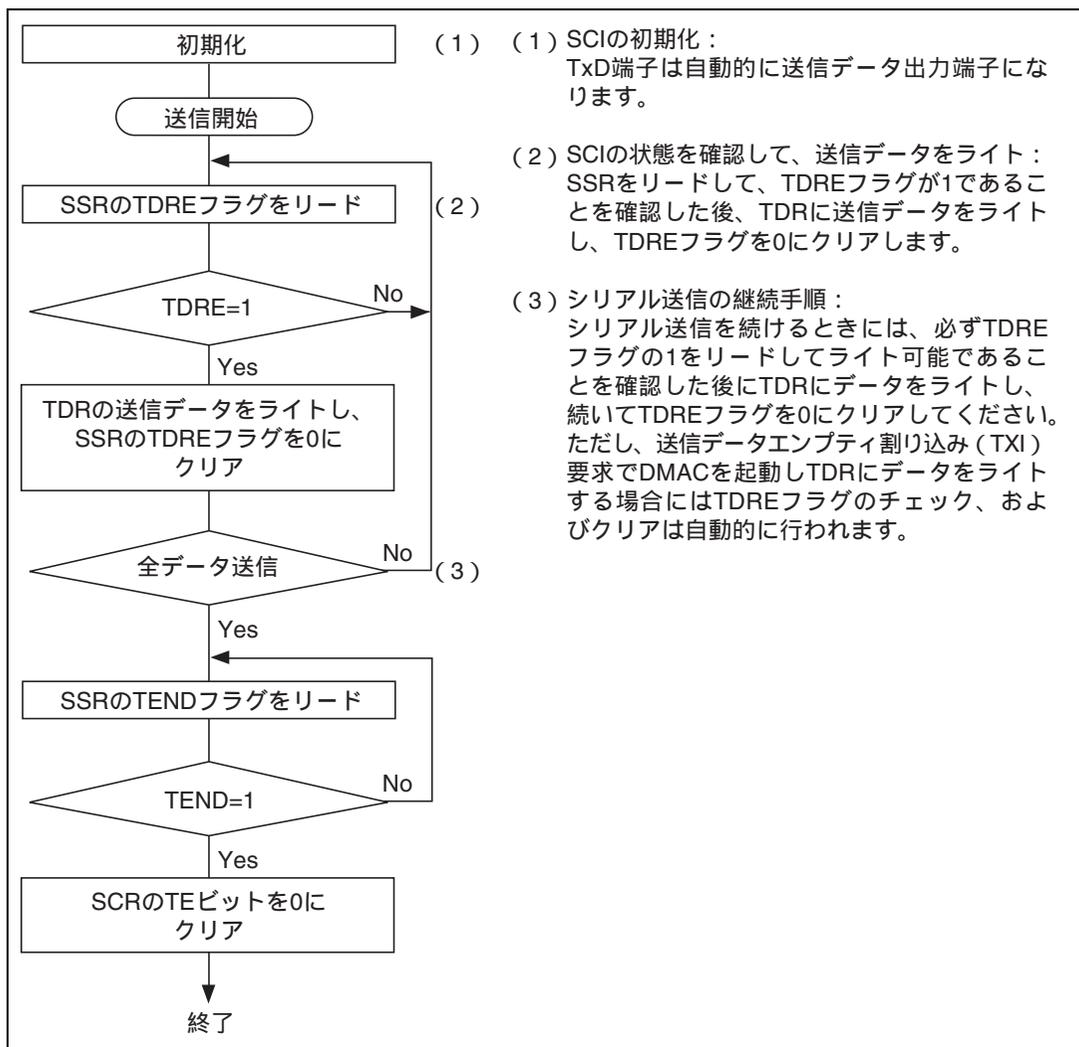


図 13.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIはSSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。  
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。  
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。  
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
- (3) SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。  
このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求が発生します。
- (4) シリアル送信終了後は、SCK端子は固定になります。

図 13.17 に SCI の送信時の動作例を示します。

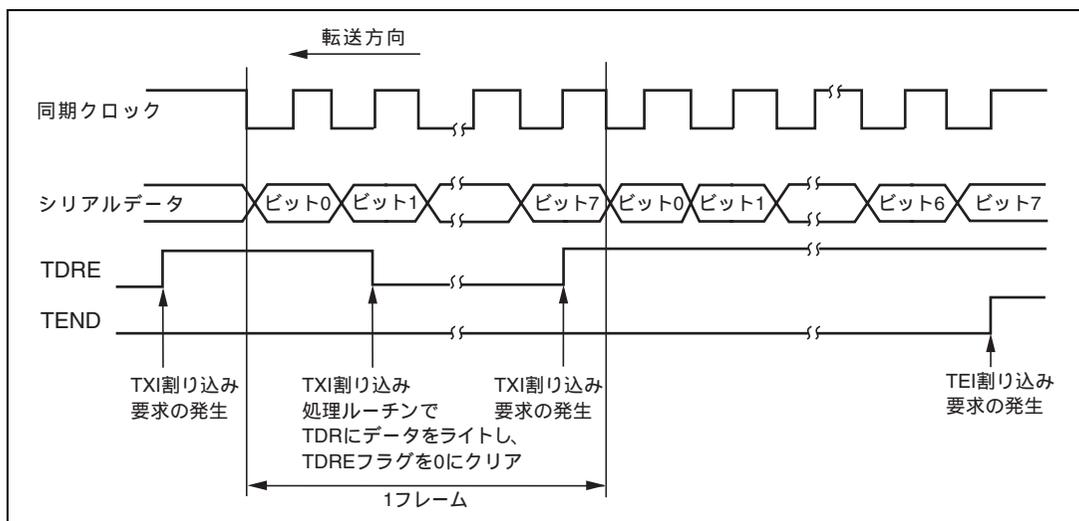


図 13.17 SCI の送信時の動作例

## (c) シリアルデータ受信 (クロック同期式)

図 13.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信 / 受信動作が行えません。

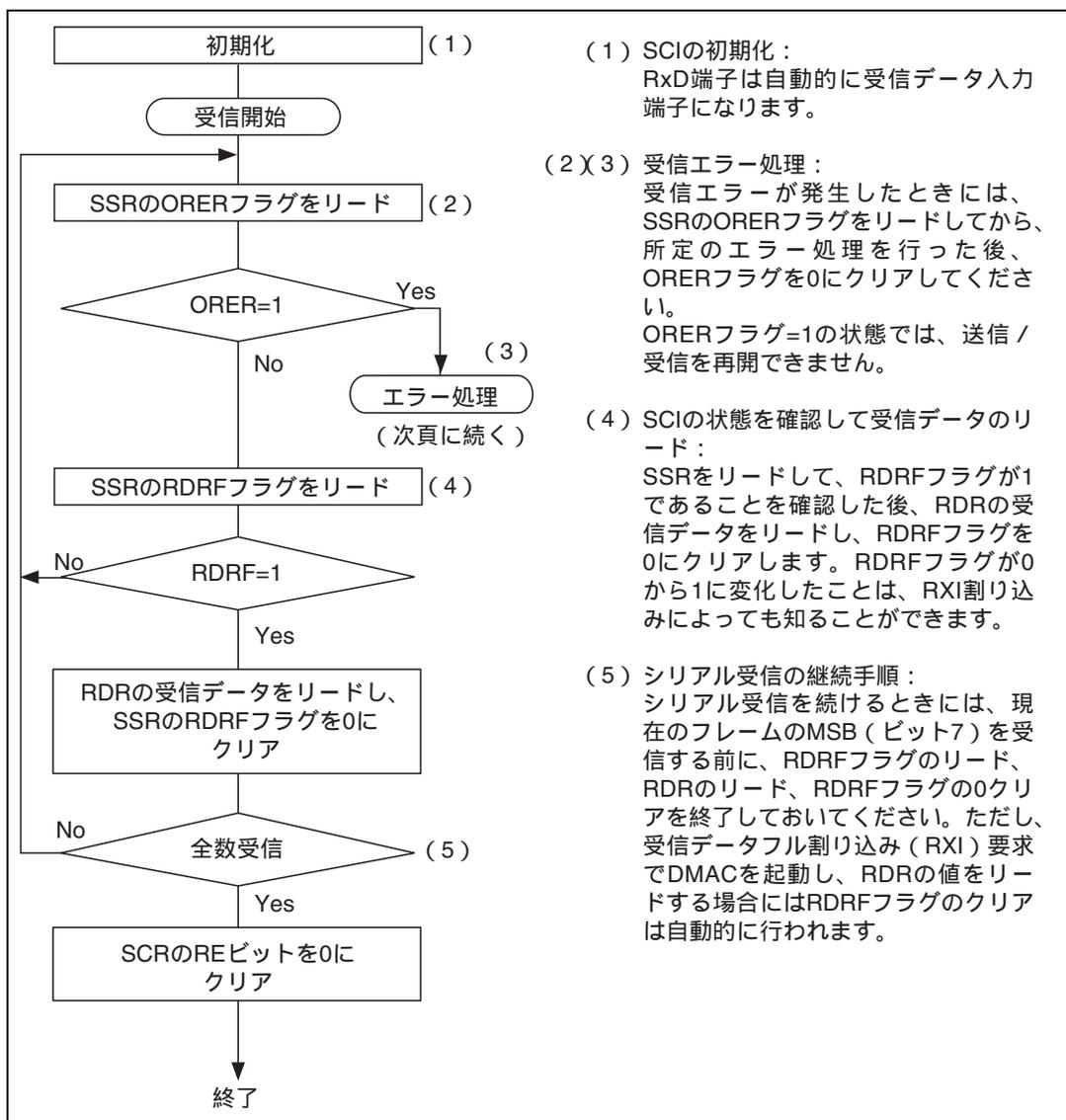


図 13.18 シリアルデータ受信フローチャートの例 (1)

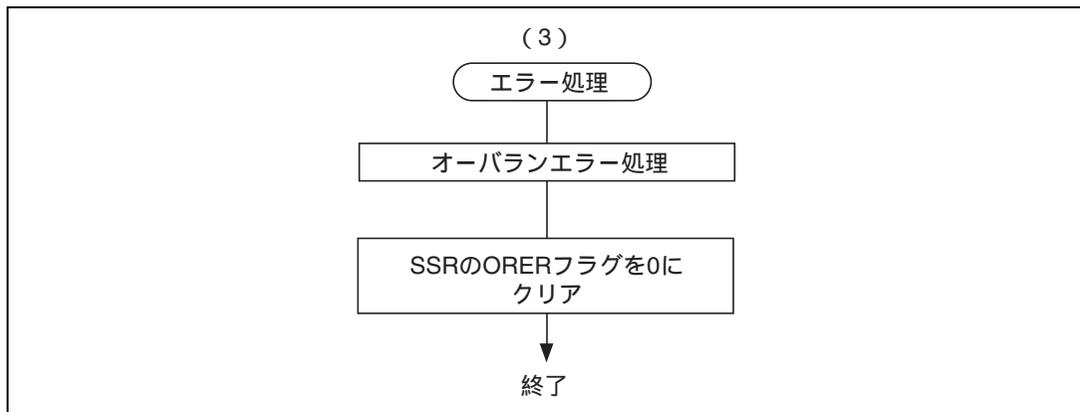


図 13.18 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して受信動作を行います。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。  
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。  
このチェックがパスしたときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表13.11のように動作します。  
エラーチェックで受信エラーを発生した状態では以後の送信、受信動作ができません。
- (3) RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 13.19 に SCI の受信時の動作例を示します。

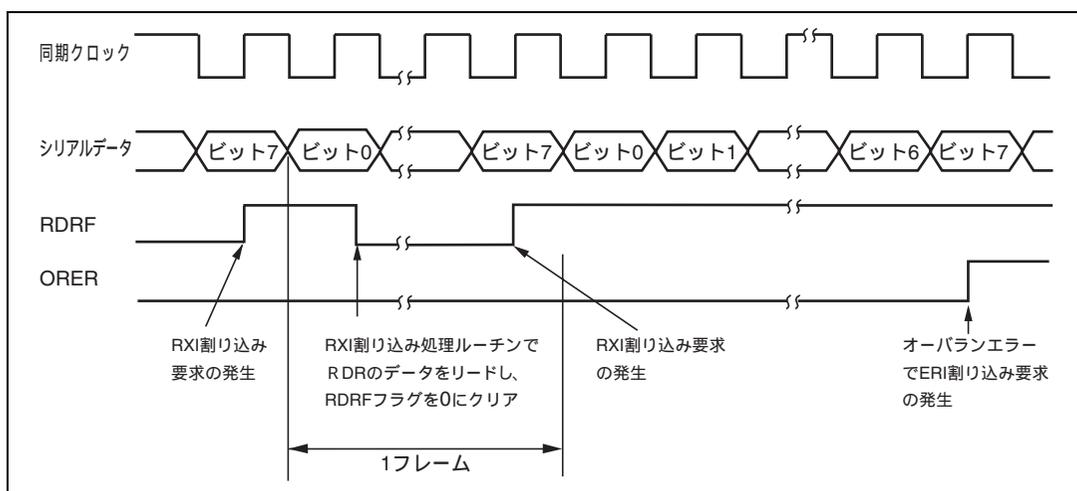


図 13.19 SCI の受信時の動作例

## (d) シリアルデータ送受信同時動作（クロック同期式）

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。  
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

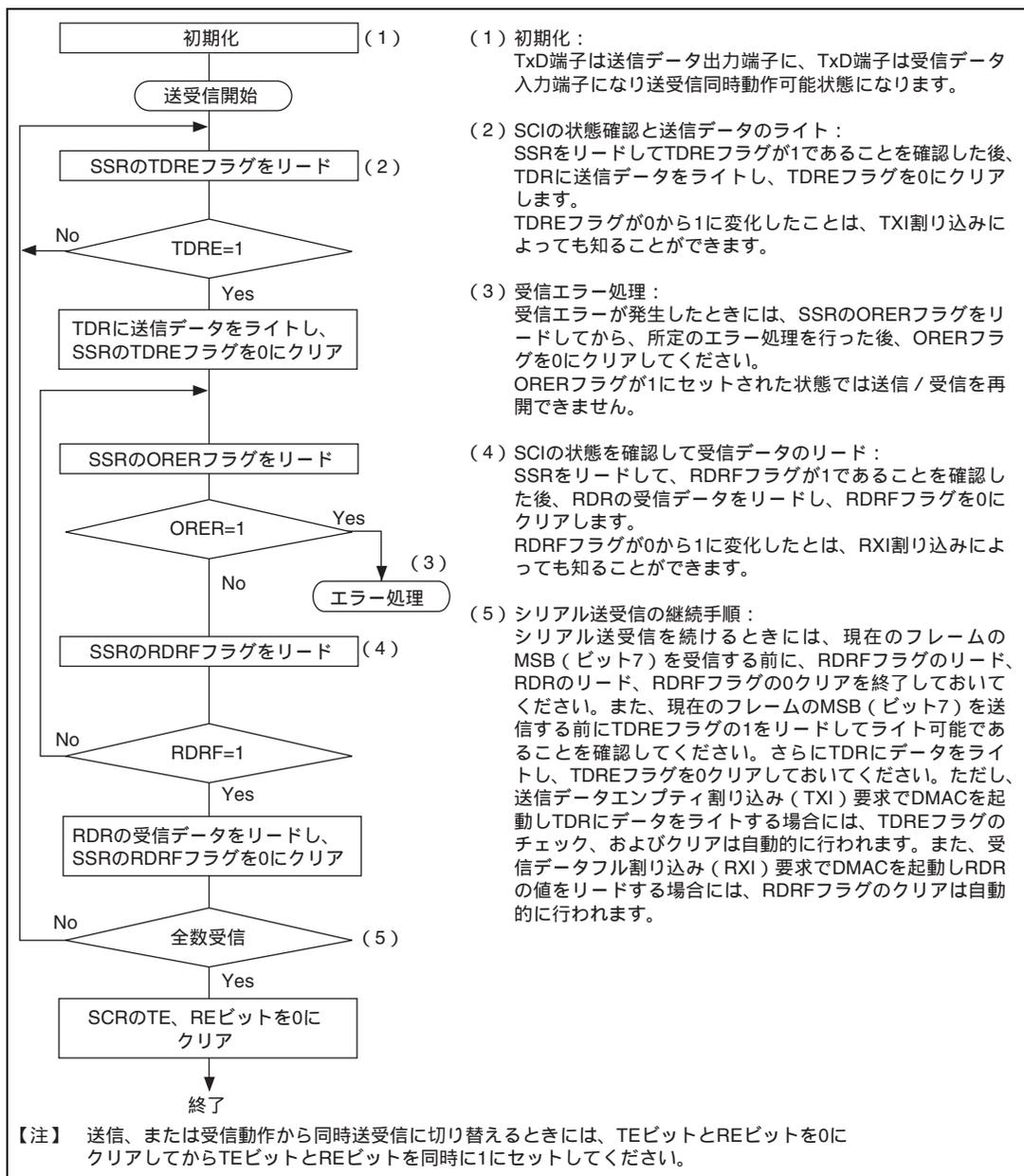


図 13.20 シリアル送受信同時動作のフローチャートの例

## 13.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可 / 禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DMAC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DMAC の起動はできません。

SCI チャネル 0 の割り込みにより DMAC の起動が可能です。

表 13.12 SCI 割り込み要因

割り込み要因	内容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンプティ (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

## 13.5 使用上の注意

### 13.5.1 SCI を使用する際の注意

SCI を使用する際は、以下のことに注意してください。

#### (1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

#### (2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 13.13 のようになります。また、オーバーランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	受信エラーの状態
RDRF	ORER	FER	PER	RSR→RDR	
1	1	0	0	x	オーバーランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	x	オーバーランエラー + フレーミングエラー
1	1	0	1	x	オーバーランエラー + パリティエラー
0	0	1	1		フレーミングエラー + パリティエラー
1	1	1	1	x	オーバーランエラー + フレーミングエラー + パリティエラー

【注】 : RSR→RDR に受信データを転送します。

x : RSR→RDR に受信データを転送しません。

#### (3) ブレークの検出と処理について

フレーミングエラー（FER）検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

## (4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

## (5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

## (6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 13.21 に示します。

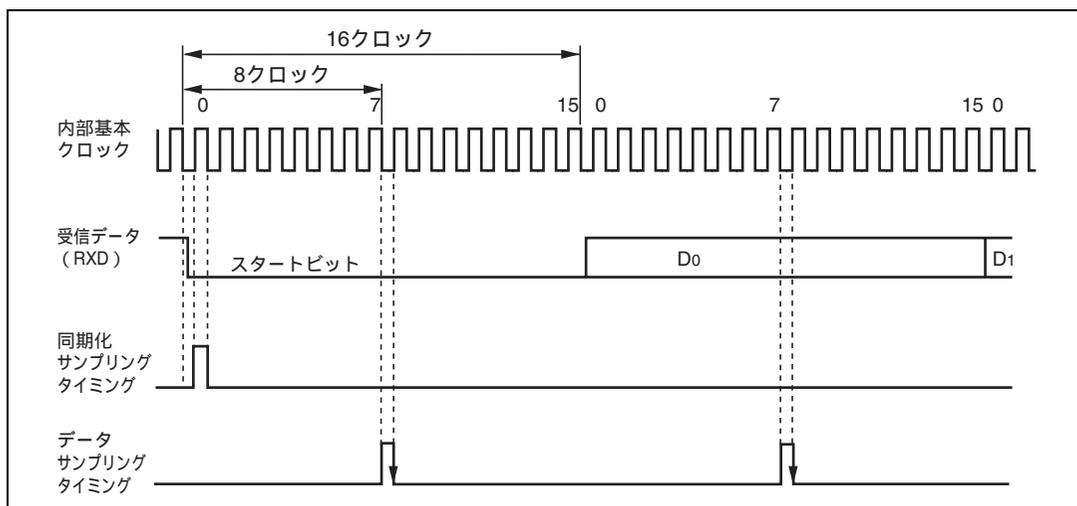


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right) \right| \times 100\% \quad \dots\dots\dots \text{式(1)}$$

- M : 受信マージン (%)  
 N : クロックに対するビットレートの比 (N=16)  
 D : クロックデューティ (D=0~1.0)  
 L : フレーム長 (L=9~12)  
 F : クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5とすると、受信マージンは式(2)より46.875%となります。

D=0.5、F=0のとき

$$M = \left( 0.5 - \frac{1}{2 \times 16} \right) \times 100\% = 46.875\% \quad \dots\dots\dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

#### (7) DMAC 使用上の制約事項

- (1) 同期クロックに外部クロックソースを使用する場合、DMACによるTDRの更新後、φクロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4ステート以内に送信クロックを入力すると、誤動作することがあります。(図13.22)
- (2) DMACにより、RDRのリードを行うときは必ずDTCRのDTS2~DTS0ビットで起動要因を当該SCIの受信データフル割り込み(RXI)に設定してください。

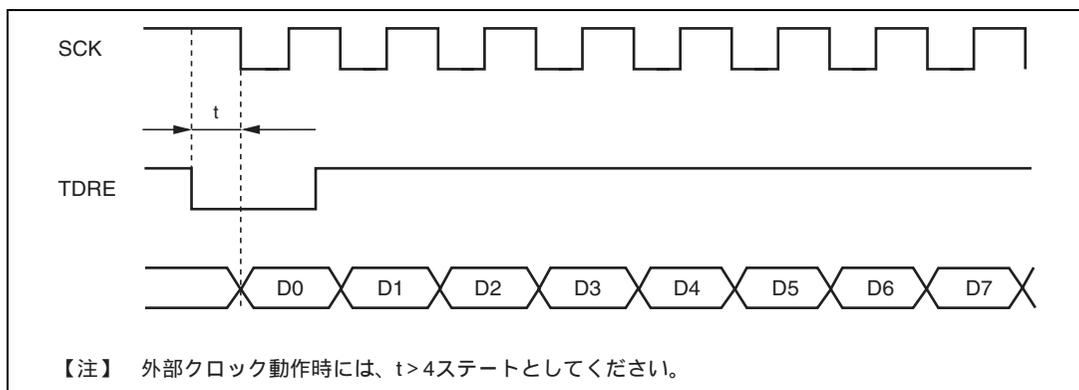


図 13.22 DMAC によるクロック同期式送信時の例

## (8) SCK 端子からポート端子へ切り替えるときの注意事項

## (1) 動作現象

DDR = 1、DR = 1、 $\overline{C/A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1の状態（クロック同期式モード）において、以下の設定でSCK端子機能を出力ポート機能（High出力）に切り替える際、半サイクルのLow出力が発生します。

1. シリアルデータ送信終了
2. TE ビット = 0
3.  $\overline{C/A}$  ビット = 0 ... ポート出力に切り替え
4. Low 出力発生（図 13.23 参照）

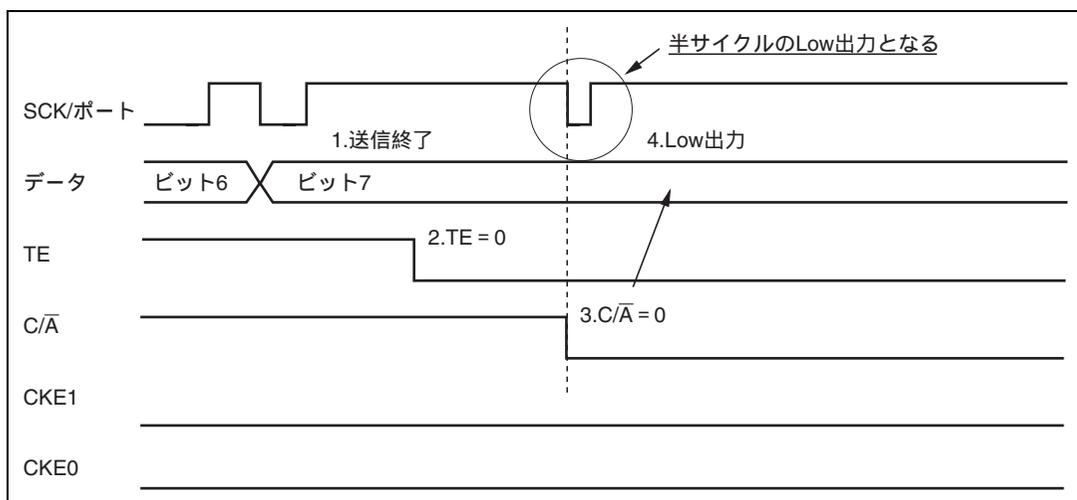


図 13.23 SCK 端子からポート端子へ切り替えるときの動作

## (2) Low出力を回避する手順例

本手順例は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でPull-upしてください。

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1~5の手順で設定してください。

1. シリアルデータ送信終了
2. TE ビット = 0
3. CKE1 ビット = 1
4.  $C/\bar{A}$  ビット = 0 ... ポート出力に切り替え
5. CKE1 ビット = 0

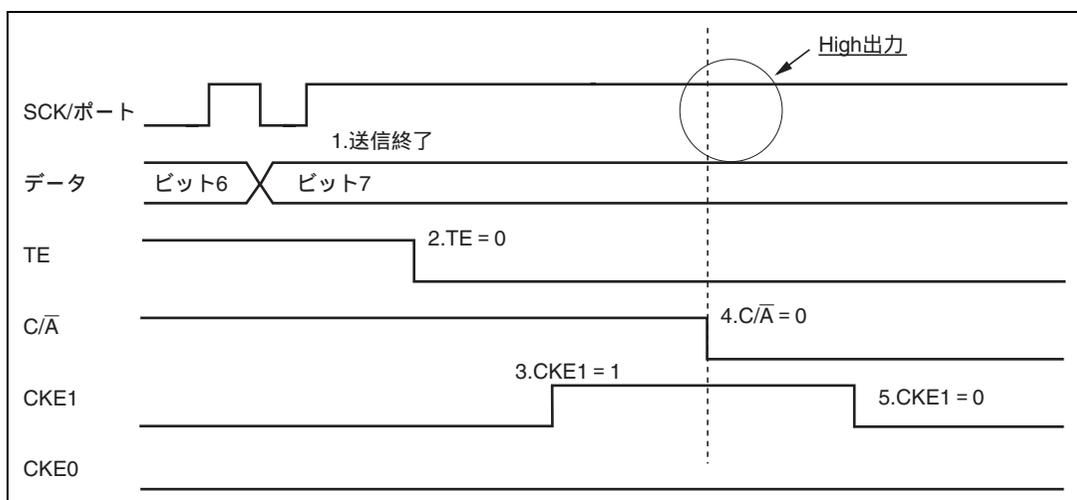


図 13.24 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

---

## 14. スマートカードインタフェース

---

### 14.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) のキャラクタ伝送に対応した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

#### 14.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

##### 調歩同期式モード

- データ長 : 8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

##### 3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、DMA コントローラ (DMAC) を起動させてデータを転送可能

## 14. スマートカードインタフェース

### 14.1.2 ブロック図

図 14.1 にスマートカードインタフェースのブロック図を示します。

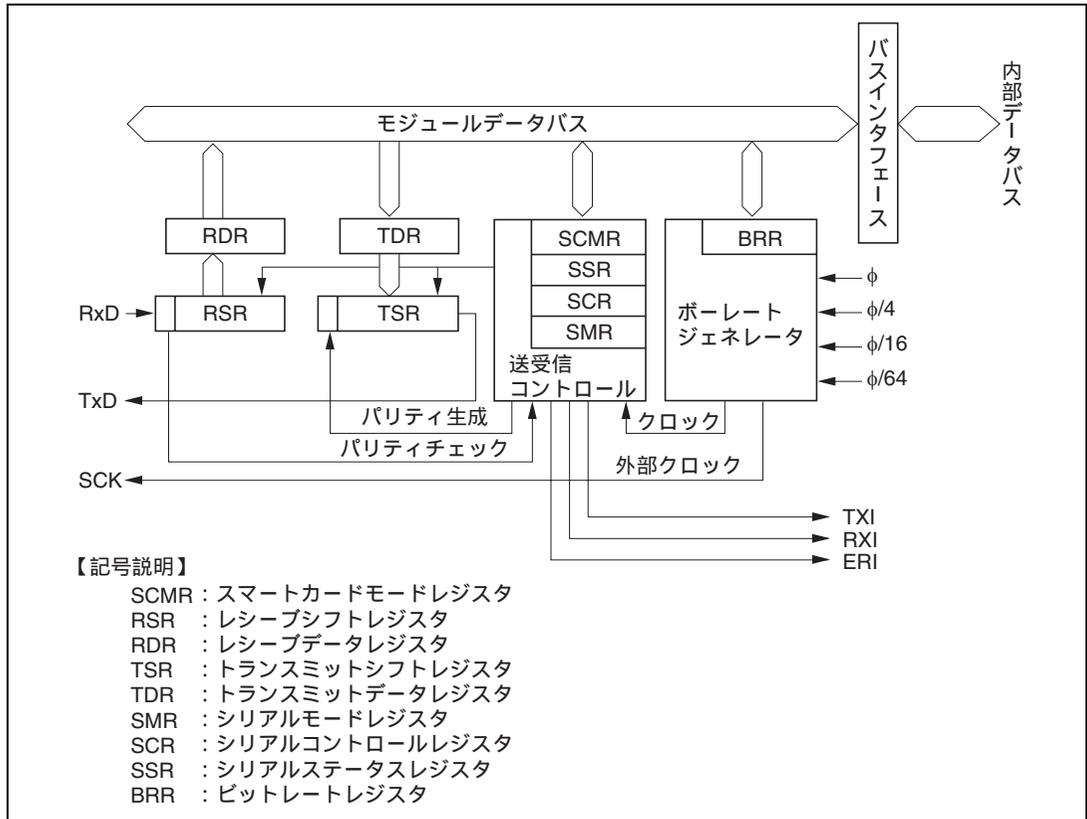


図 14.1 スマートカードインタフェースのブロック図

### 14.1.3 端子構成

スマートカードインタフェースの端子構成を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
シリアルクロック端子	SCK	入出力	クロック入出力
レシーブデータ端子	RxD	入力	受信データ入力
トランスミットデータ端子	TxD	出力	送信データ出力

### 14.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 14.2 に示します。BRR、TDR、RDR については、通常の SCI の機能と同様ですので、「第 13 章 SCI」のレジスタの説明を参照してください。

表 14.2 レジスタ構成

チャンネル	アドレス*1	名 称	略称	R/W	初期値
0	H'FFFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFFB5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2
1	H'FFFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBFB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBFC	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFBFD	レシーブデータレジスタ	RDR	R	H'00
	H'FFBFE	スマートカードモードレジスタ	SCMR	R/W	H'F2
2	H'FFFC0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFFC1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFFC2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFFC3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFFC4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFFC5	レシーブデータレジスタ	RDR	R	H'00
	H'FFFC6	スマートカードモードレジスタ	SCMR	R/W	H'F2

- 【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。  
 \*2 ビット 7~3 はフラグをクリアするための 0 ライトのみ可能です。

## 14.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

### 14.2.1 スマートカードモードレジスタ (SCMR)

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット

リザーブビット

スマートカードインタフェース  
モードセレクト  
スマートカードインタフェース  
機能を許可/禁止するビット  
です。

スマートカードデータインバート  
データのロジックレベルの反転を  
指定するビットです。

スマートカードデータトランスファディレクション  
シリアル/パラレル変換のフォーマットを選択す  
るビットです。

SCMR は、リセットまたはスタンバイモード時に、H'F2 に初期化されます。

#### ビット7~4: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

#### ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。\*<sup>1</sup>

ビット3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

## ビット2：スマートカードデータインバート（SINV）

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。<sup>\*2</sup> SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「14.3.4 レジスタの設定」を参照してください。

ビット2	説明
SINV	
0	TDRの内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDRの内容を反転してデータを送信 受信データを反転して RDR に格納

## ビット1：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

## ビット0：スマートカードインタフェースモードセレクト（SMIF）

スマートカードインタフェース機能をイネーブルにするビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

【注】 \*1 LSB ファースト / MSB ファーストの切り替え機能は、通常のシリアルコミュニケーションインタフェースにおいても使用することができます。

通信フォーマットのデータ長を7ビットとして送受信するシリアルデータをMSBファーストとする場合には、TDRのビット0は送信されません。また、受信するデータは7ビット目から1ビット目が有効になりますので注意してください。

\*2 データのロジックレベルの反転機能は、通常のシリアルコミュニケーションインタフェースにおいても使用することができます。

送受信するシリアルデータを反転させる場合には、パリティの送信とパリティのチェックは、レジスタの値ではなくシリアルデータ入出力端子のハイレベルの数に対して行われるので、注意してください。

### 14.2.2 シリアルステータスレジスタ (SSR)

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

トランスミットエンド  
送信終了を示すフラグです。

エラーシグナルステータス (ERS)  
エラーシグナルが送出されたことを  
示すフラグです。

【注】\* フラグをクリアするための0ライトのみ可能です。

ビット 7~5 :

通常の SCI と同様の動作をします。詳細は「13.2.7 シリアルステータスレジスタ (SSR) 」を参照してください。

ビット 4 : エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 〔クリア条件〕 (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1 の状態をリードした後、0 をライトしたとき (初期値)
1	受信側からパリティエラーの検出を示すエラーシグナルが検出されたことを表示 〔セット条件〕 エラーシグナル Low をサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット3~0:

通常の SCI と同様の動作をします。詳細は「13.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2	
TEND	説 明
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) DMAC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセットまたはスタンバイモード時 (2) SCR の TE ビットが 0 かつ FER/ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

### 14.2.3 シリアルモードレジスタ (SMR)

スマートカードインタフェースモードにおいては、SMR のビット 7 の機能が変更されます。また、これに関連してシリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 の機能も変更されます。

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 7 : GSM モード (GM)

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 で指定されます。

ビット 7	説明
GM	
0	通常のスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグは開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF、および High/Low 固定制御

#### ビット 6~0 :

通常の SCI と同様の動作をします。詳細は「13.2.5 シリアルモードレジスタ (SMR)」を参照してください。

### 14.2.4 シリアルコントロールレジスタ (SCR)

スマートカードインタフェースモードにおいては、SCR のビット 1、0 の機能が変更されます。

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~2 :

通常の SCI と同様の動作をします。詳細は「13.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。

スマートカードインタフェースモードにおいては、通常のクロック出力の許可 / 禁止の切り替え、およびクロック出力の High レベル固定と Low レベル固定を指定することができます。

ビット 7	ビット 1	ビット 0	説明
GM	CKE1	CKE0	
0	0	0	内部クロック / SCK 端子は入出力ポート (初期値)
		1	内部クロック / SCK 端子はクロック出力
1	0	0	内部クロック / SCK 端子は Low 出力固定
		1	内部クロック / SCK 端子はクロック出力
	1	0	内部クロック / SCK 端子は High 出力固定
		1	内部クロック / SCK 端子はクロック出力

## 14.3 動作説明

### 14.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

### 14.3.2 端子接続

図 14.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源  $V_{CC}$  側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

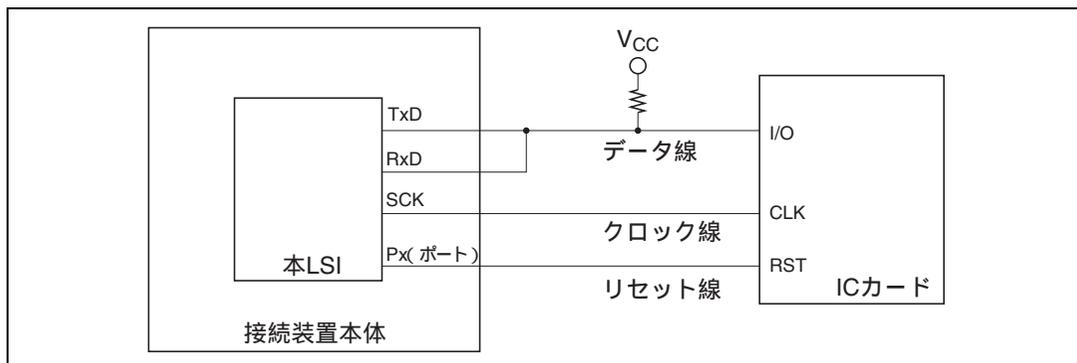


図 14.2 スマートカードインタフェース端子接続概略図

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

### 14.3.3 データフォーマット

図 14.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラー信号を送り返し、データの再送信要求をします。送信時は、エラー信号をサンプリングすると同じデータを再送信します。

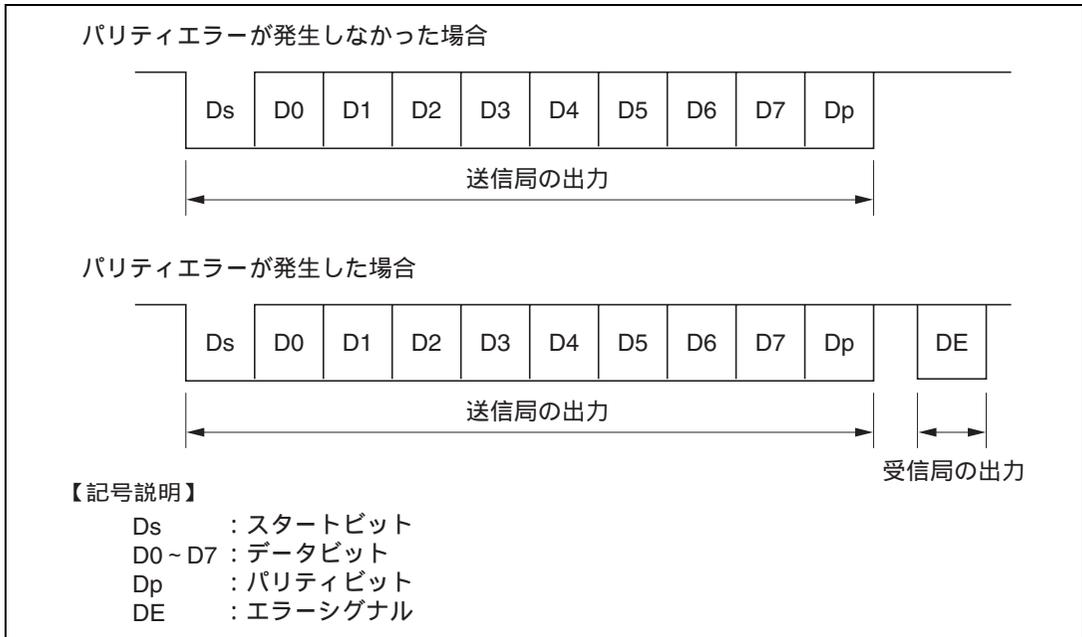


図 14.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [ 1 ] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [ 2 ] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット(Ds、Lowレベル)から開始します。この後に、8ビットのデータビット(D0~D7)とパリティビット(Dp)が続きます。
- [ 3 ] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [ 4 ] 受信側は、パリティチェックを行います。  
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。  
一方、パリティエラーが発生した場合は、エラーシグナル(DE、Lowレベル)を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [ 5 ] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。  
一方、エラーシグナルを受信した場合は、[ 2 ]に戻りエラーとなったデータを再送信します。

### 14.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 14.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 14.3 スマートカードインタフェースでのレジスタ設定

レジスタ	アドレス*1	ビット							
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SMR	H'FFFB0	GM	0	1	O/E	1	0	CKS1	CKS0
BRR	H'FFFB1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	H'FFFB2	TIE	RIE	TE	RE	0	0	CKE1*2	CKE0
TDR	H'FFFB3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	H'FFFB4	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	H'FFFB5	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	H'FFFB6	-	-	-	-	SDIR	SINV	-	SMIF

【記号説明】

- : 未使用ビットを示します。

【注】 \*1 アドバンスモード時の下位 20 ビットを示します。

\*2 SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 にしてください。

#### (1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O/E ビットは、IC カードがダイレクトコンベンション時には 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「14.3.5 クロック」を参照してください。

#### (2) BRR の設定

ビットレートを設定します。設定値の算出方法は「14.3.5 クロック」を参照してください。

#### (3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 13 章 SCI」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は 00 に設定し、クロックを出力する場合は 01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

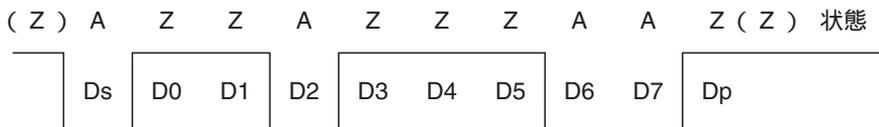
## (4) スマートカードモードレジスタ (SCMR) の設定

SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

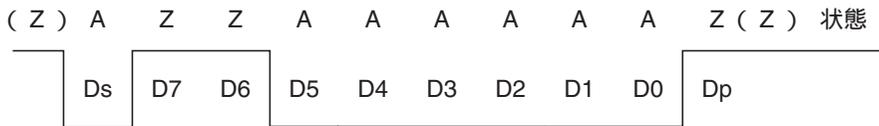
SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

(a) ダイレクトコンベンション (SDIR = SINV =  $O/\bar{E}$  = 0)

ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV =  $O/\bar{E}$  = 1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の  $O/\bar{E}$  ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

## 14.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは BRR と SMR の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 14.5 に示します。

このとき CKE0 = 1 でクロック出力を選択すると、SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{\phi}{1488 \times 2^{2n-1} \times (N + 1)} \times 10^6$$

ただし、N = BRR の設定値 (0 N 255)

B = ビットレート (bit/s)

$\phi$  = 動作周波数 (MHz)

n = 表 14.4 を参照

表 14.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

【注】 ギア機能によりクロックを分周して使用する場合には、動作周波数に分周比を考慮した値を設定してください。上記は分周比 1 : 1 の場合を示します。

表 14.5 BRR の設定に対するビットレート (bit/s) の例 (ただし、n = 0 のとき)

N	$\phi$ (MHz)							
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00	20.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5	26881.7
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8	13440.9
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5	8960.6

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した値です。

一方、動作周波数とビットレートからビットレートレジスタ (BBR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 N 255 であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 14.6 ビットレート (bit/s) に対する BRR の設定例 (ただし、n=0 のとき)

bit/s	φ (MHz)															
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.66

表 14.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

φ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left( \frac{\phi}{1488 \times 2^{2n-1} \times B \times (N + 1)} \times 10^6 - 1 \right) \times 100$$

### 14.3.6 データの送信 / 受信動作

#### (1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [ 1 ] SCRのTE、REビットを0にクリアします。
- [ 2 ] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [ 3 ] SMRのO $\bar{E}$ ビットとCKS1、CKS0ビットを設定してください。このとき、C $\bar{A}$ 、CHR、MPビットは0に、STOP、PEビットは1に設定してください。
- [ 4 ] SCMRのSMIF、SDIR、SINVビットを設定してください。  
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [ 5 ] ビットレートに対応する値をBRRに設定します。
- [ 6 ] SCRのCKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1ビットは、0に設定してください。  
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
- [ 7 ] 少なくとも1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。  
自己診断以外はTEビットとREビットを同時にセットしないでください。

## (2) シリアルデータ送信

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 14.5 に示します。

- [ 1 ] (1) の手順に従いスマートカードインタフェースモードに初期化します。
- [ 2 ] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [ 3 ] SSRのTENDフラグが1にセットされていることが確認できるまで、[ 2 ]、[ 3 ] を繰り返してください。
- [ 4 ] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [ 5 ] 連続してデータを送信する場合は、[ 2 ] に戻ってください。
- [ 6 ] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理または DMA 転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンpty割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 14.4 に TEND フラグセットタイミングを示します。

TXI 要求で DMAC を起動する場合、自動再転送を含め DMAC に設定したバイト数を自動的に送信することができます。

詳細は (6)、(7) を参照してください。

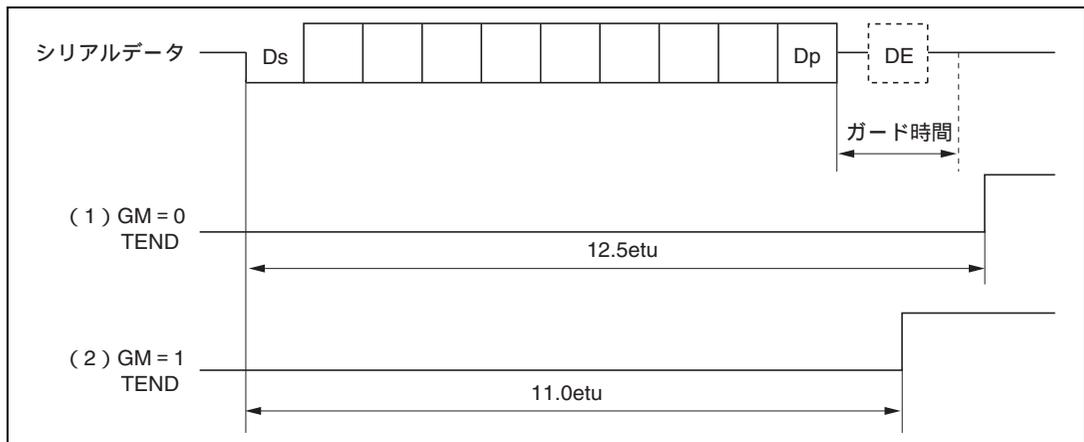


図 14.4 TEND フラグセットタイミング

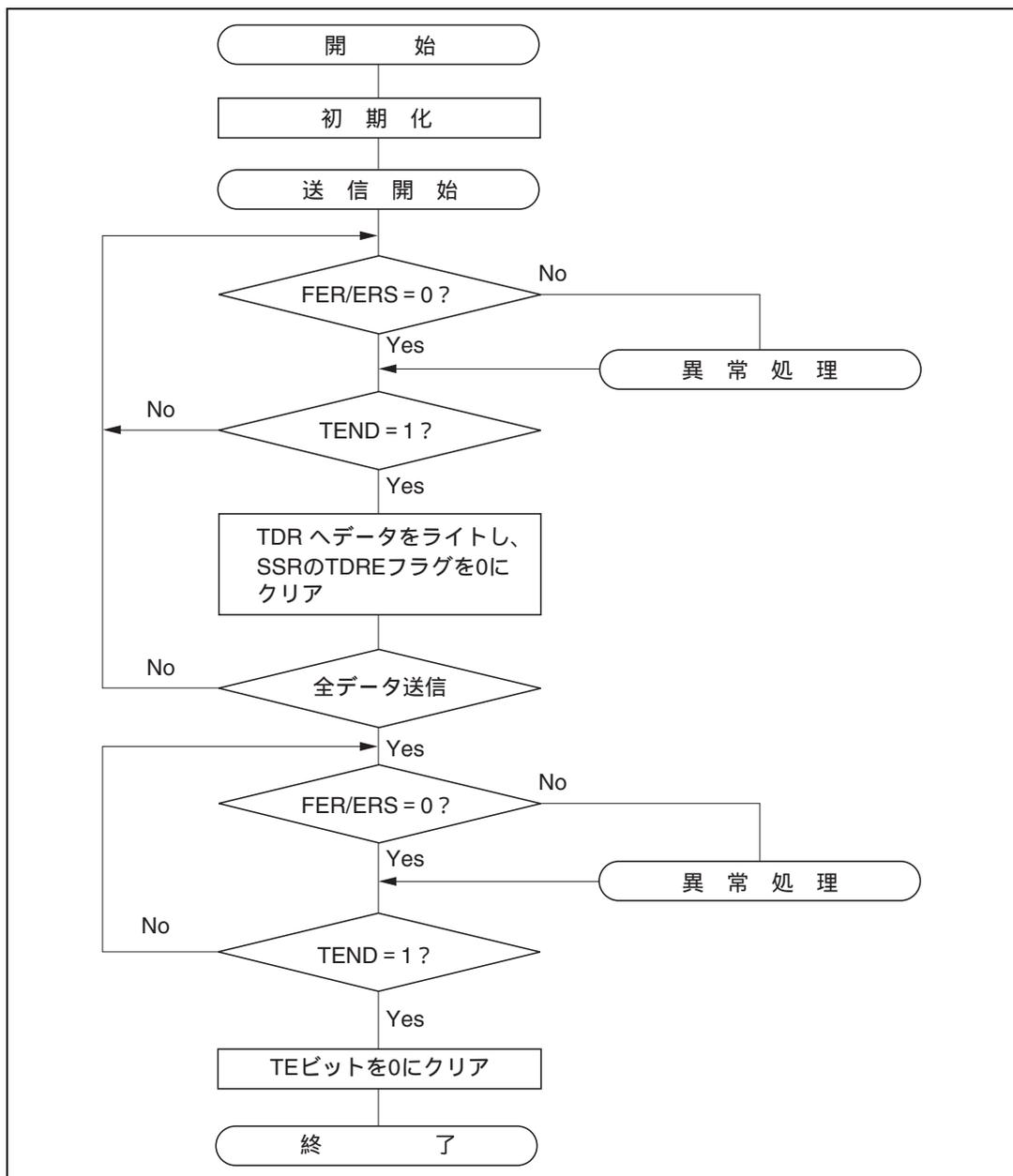


図 14.5 送信処理フローの例



## 14. スマートカードインタフェース

### (3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 14.8 に示します。

- [ 1 ] SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- [ 2 ] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- [ 3 ] RDRFフラグが1であることを確認できるまで [ 2 ]、[ 3 ] を繰り返してください。
- [ 4 ] RDRから受信データをリードしてください。
- [ 5 ] 継続してデータを受信する場合は、RDRFフラグを0にクリアして [ 2 ] の手順に戻ってください。
- [ 6 ] 受信を終了する場合は、REビットを0にクリアします。

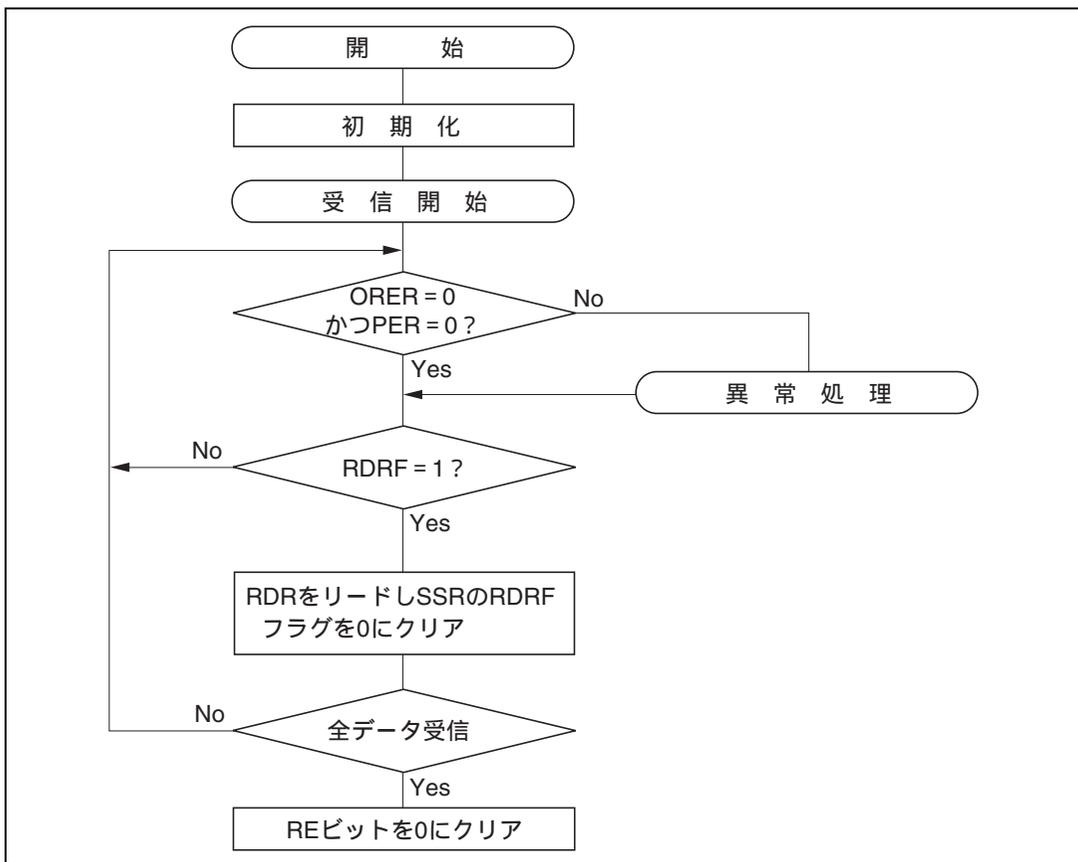


図 14.8 受信処理フローの例

以上の一連の処理は、割り込み処理または DMA 転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

RXI 要求で DMAC を起動する場合、エラーの発生した受信データをスキップして DMAC に設定したバイト数だけ受信データを転送します。

詳細は (6)、(7) を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

#### (4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

#### (5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.9 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

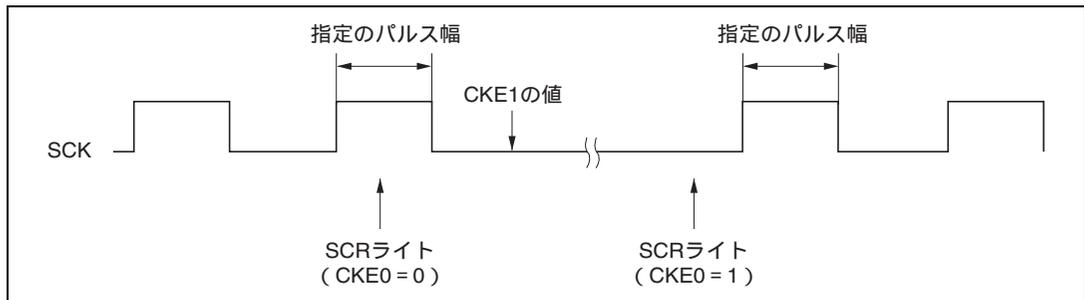


図 14.9 クロック出力固定タイミング

## (6) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 14.8 に示します。

表 14.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み要因	DMAC の起動
送信モード	正常動作	TEND	TIE	TXI	可
	エラー	ERS	RIE	ERI	不可
受信モード	正常動作	RDRF	RIE	RXI	可
	エラー	PER、ORER	RIE	ERI	不可

## (7) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 7 章 DMA コントローラ」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

## (8) GSMモード時の動作例

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

スマートカードインタフェースモードからソフトウェアスタンバイモードに移るとき

- [1] P9<sub>4</sub>のデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイ時の出力固定状態の値に設定する。
- [2] シリアルコントロールレジスタ (SCR) のTEビットとREビットに0を書き込み、送信 / 受信動作を停止させる。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定する。
- [3] SCRのCKE0ビットに0を書き込み、クロックを停止させる。
- [4] シリアルクロックの1クロック周期の間、待つ。  
この間に、デューティを守って、指定のレベルでクロック出力は固定される。
- [5] シリアルモードレジスタ (SMR) とスマートカードモードレジスタ (SCMR) にH'00を書き込む。
- [6] ソフトウェアスタンバイ状態に移させる。

ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

- [1'] ソフトウェアスタンバイ状態を解除する。
- [2'] SCRのCKE1ビットをソフトウェアスタンバイ開始時の出力固定状態 (現在のP9<sub>4</sub>端子) の値に設定する。
- [3'] スマートカードインタフェースモードに設定し、クロック出力させる。正常なデューティにてクロック信号発生を開始する。

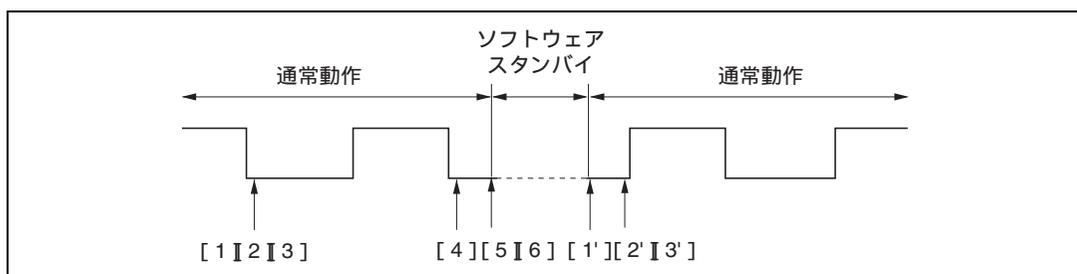


図 14.10 クロック停止・再起動手順

電源投入時からクロックデューティを確保するためには、下記の切り替え手順で処理をしてください。

- [1] 初期状態は、ポート入力でありハイインピーダンスである。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用する。
- [2] SCRのCKE1ビットで指定の出力に固定する。
- [3] SMRとSCMRをセットし、スマートカードモードの動作に切り替える。
- [4] SCRのCKE0ビットを1に設定して、クロック出力を開始する。

## 14.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

### (1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 14.11 に示します。

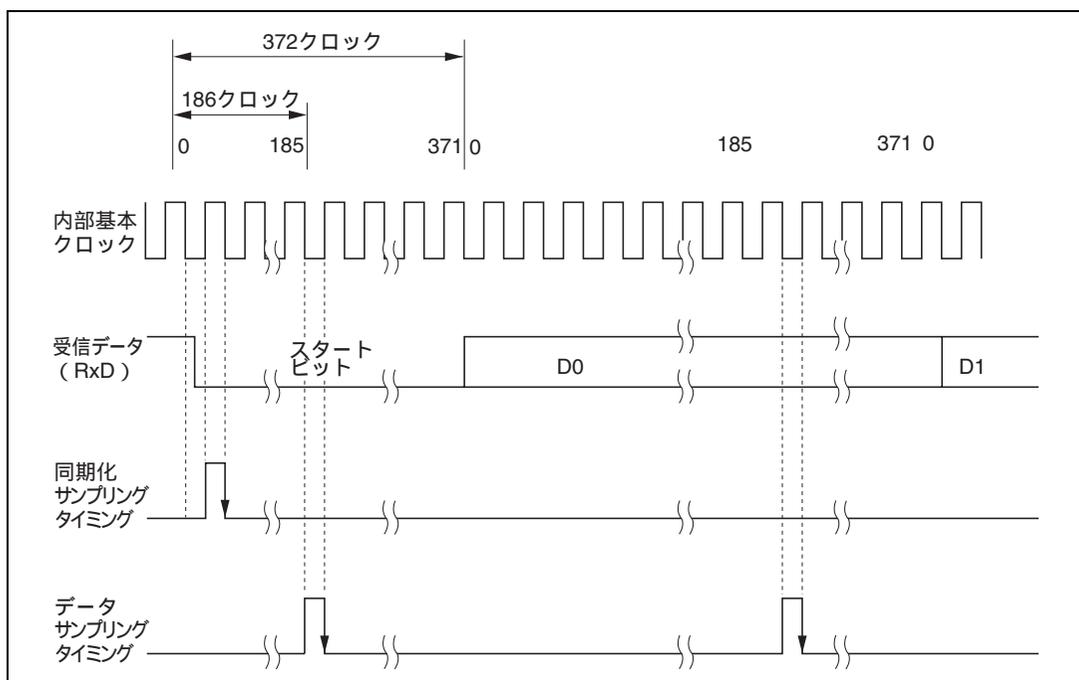


図 14.11 スマートカードインタフェースモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left( 0.5 - \frac{1}{2N} - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N = 372)

D：クロックデューティ (D = 0 ~ 1.0)

L：フレーム長 (L = 10)

F：クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\%$$

$$= 49.866\%$$

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 14.12 に示します。

- [ 1 ] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットがイネーブルになっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [ 2 ] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [ 3 ] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [ 4 ] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。  
さらに、RXI要因によるDMACのデータ転送が許可されていれば、RDRの内容を自動的にリードすることができます。DMACでRDRのデータをリードした場合、RDRFフラグは自動的に0にクリアされます。
- [ 5 ] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

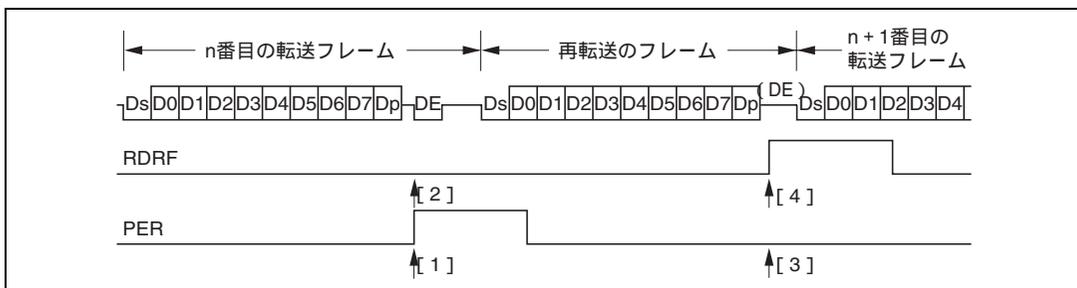


図 14.12 SCI 受信モードの場合の再転送動作

## (b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 14.13 に示します。

- [ 6 ] 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
- [ 7 ] 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
- [ 8 ] 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
- [ 9 ] 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。
- さらに、TXI要因によるDMACのデータ転送が許可されていれば、自動的にTDRに次のデータをライトすることができます。DMACでTDRにデータをライトした場合、TDREビットは自動的に0にクリアされます。

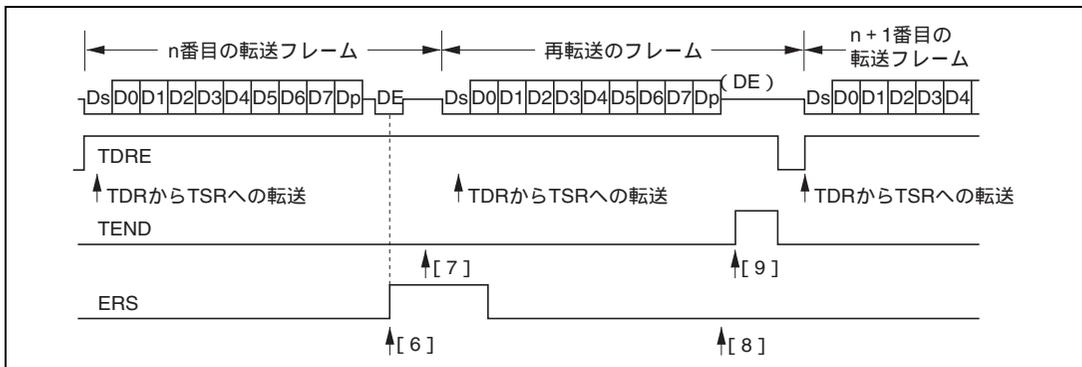


図 14.13 SCI 送信モードの場合の再転送動作

## (3) ブロック転送モードのサポートについて

本 LSI に搭載しているスマートカードインタフェースでは、ISO / IEC7816-3 の T=0 (キャラクタ伝送) に対応した I/C カード (スマートカード) インタフェースをサポートしています。

そのため、ブロック転送動作 (エラーシグナルの送出、検出、データの自動再送信を行わない) はサポートしていません。



---

## 15. A/D 変換器

---

### 15.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

消費電流低減のために A/D 変換器を使用しない場合には、A/D 変換器を単独に停止することができます。詳細は「19.6 モジュールスタンバイ機能」を参照してください。

本 LSI では、高速変換モードとして、70/134 ステート変換をサポートしています。この点は H8/3048 グループの 134/266 ステート変換と異なりますので注意してください。

#### 15.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定が可能

リファレンス電圧端子 ( $V_{REF}$ ) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当たり最小 3.5 $\mu$ s (20MHz 動作時)

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル&ホールド機能

3 種類の変換開始要求

ソフトウェア、外部トリガ信号または 8 ビットタイマのコンペアマッチによる、A/D 変換の開始が可能

A/D 変換終了割り込み要求を発生

A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

DMA コントローラ (DMAC) の起動が可能

A/D 変換終了割り込みにより、DMAC の起動が可能

### 15.1.2 ブロック図

A/D 変換器のブロック図を図 15.1 に示します。

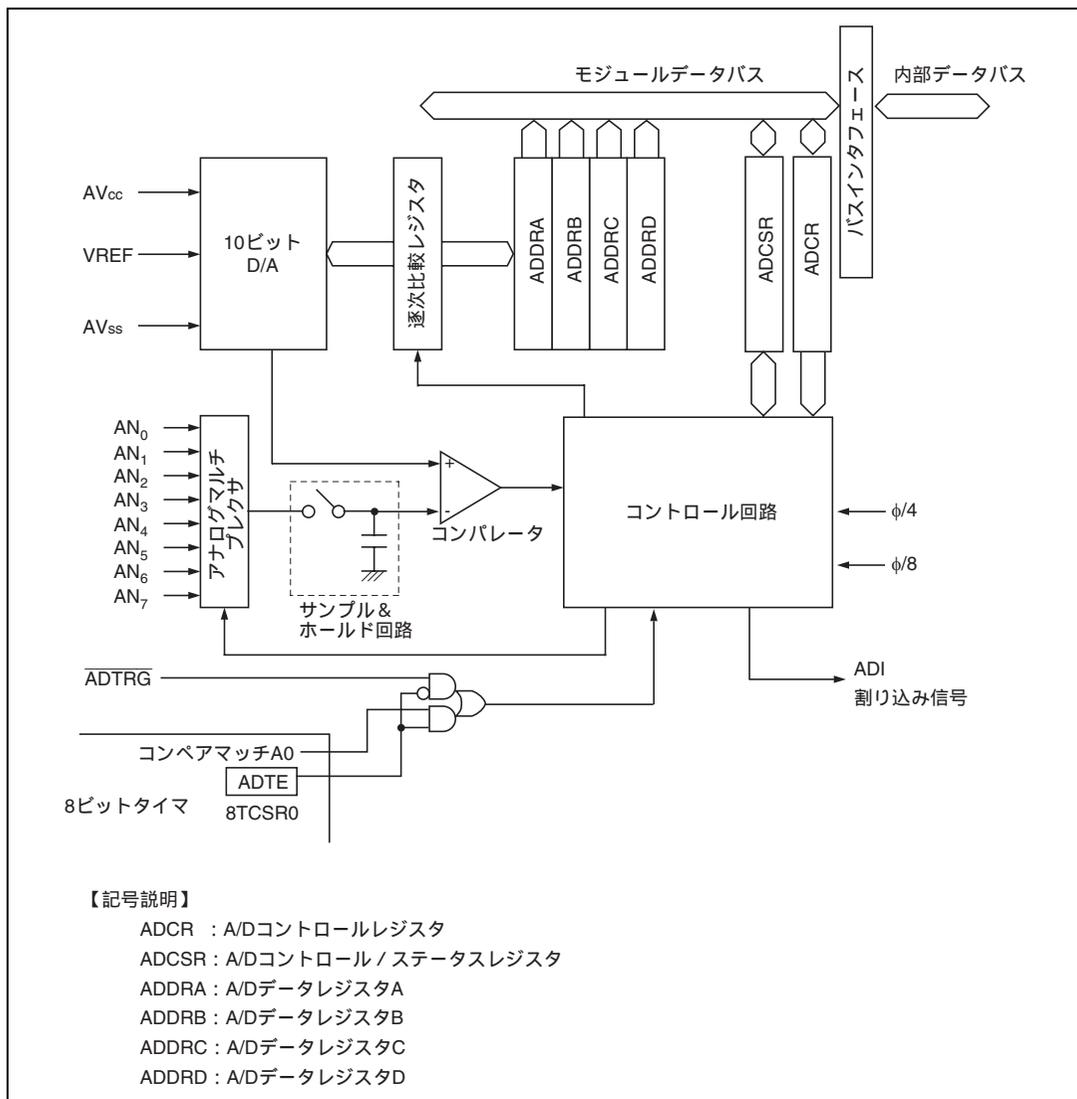


図 15.1 A/D 変換器のブロック図

### 15.1.3 端子構成

A/D 変換器で使用する入力端子を表 15.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 ( $AN_0 \sim AN_3$ ) がグループ 0、アナログ入力端子 4~7 ( $AN_4 \sim AN_7$ ) がグループ 1 になっています。

$AV_{CC}$ 、 $AV_{SS}$  端子は、A/D 変換器内のアナログ部の電源です。 $V_{REF}$  端子は、A/D 変換基準電圧端子です。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	$AV_{CC}$	入力	アナログ部の電源
アナロググランド端子	$AV_{SS}$	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	$V_{REF}$	入力	アナログ部の基準電圧
アナログ入力端子 0	$AN_0$	入力	グループ 0 のアナログ入力
アナログ入力端子 1	$AN_1$	入力	
アナログ入力端子 2	$AN_2$	入力	
アナログ入力端子 3	$AN_3$	入力	
アナログ入力端子 4	$AN_4$	入力	グループ 1 のアナログ入力
アナログ入力端子 5	$AN_5$	入力	
アナログ入力端子 6	$AN_6$	入力	
アナログ入力端子 7	$AN_7$	入力	
A/D 外部トリガ入力端子	$\overline{ADTRG}$	入力	A/D 変換開始のための外部トリガ入力

### 15.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFFE0	A/D データレジスタ AH	ADDRAH	R	H'00
H'FFFE1	A/D データレジスタ AL	ADDRAL	R	H'00
H'FFFE2	A/D データレジスタ BH	ADDRBH	R	H'00
H'FFFE3	A/D データレジスタ BL	ADDRBL	R	H'00
H'FFFE4	A/D データレジスタ CH	ADDRCH	R	H'00
H'FFFE5	A/D データレジスタ CL	ADDRCL	R	H'00
H'FFFE6	A/D データレジスタ DH	ADDRDH	R	H'00
H'FFFE7	A/D データレジスタ DL	ADDRDL	R	H'00
H'FFFE8	A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*2	H'00
H'FFFE9	A/D コントロールレジスタ	ADCR	R/W	H'7E

【注】 \*1 アドバンスモード時のアドレス下位 20 ビットを示しています。

\*2 ビット 7 は、フラグをクリアするための"0"ライトのみ可能です。

## 15.2 各レジスタの説明

### 15.2.1 A/D データレジスタ A~D (ADDRA ~ ADDRD)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/D変換データ
リザーブビット

A/D変換結果の10ビットデータを格納するビットです。

【注】 n=A~D

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「15.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 に初期化されます。

表 15.3 アナログ入力チャンネルと ADDR A ~ ADDR D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN <sub>0</sub>	AN <sub>4</sub>	ADDRA
AN <sub>1</sub>	AN <sub>5</sub>	ADDRB
AN <sub>2</sub>	AN <sub>6</sub>	ADDRC
AN <sub>3</sub>	AN <sub>7</sub>	ADDRD

## 15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト2~0  
 アナログ入力チャンネルを選択するビットです。

クロックセレクト  
 A/D変換時間を選択するビットです。

スキャンモード  
 単一モード / スキャンモードを選択するビットです。

A/Dスタート  
 A/D変換の開始 / 停止を選択するビットです。

A/Dインタラプトイネーブル  
 A/D変換終了割り込みの発生を許可 / 禁止するビットです。

A/Dエンドフラグ  
 A/D変換の終了を示すビットです。

【注】 \* フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

## 15. A/D 変換器

### ビット7：A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	〔クリア条件〕 (初期値) (1) ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DMAC が起動されたとき
1	〔セット条件〕 (1) 単一モード：A/D 変換が終了したとき (2) スキャンモード：設定されたすべてのチャンネルの A/D 変換が終了したとき

### ビット6：A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可 / 禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

### ビット5：A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子 ( $\overline{ADTRG}$ ) または 8 ビットタイマのコンペアマッチにより 1 にセットすることもできます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード：A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード：A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

### ビット4：スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「15.4 動作説明」を参照してください。モードの切り替えは、ADST=0 の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

## ビット3：クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST = 0 の状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 134 ステート (max) (初期値)
1	変換時間 = 70 ステート (max)

## ビット2~0：チャンネルセレクト2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST = 0 の状態で行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN <sub>0</sub> (初期値)	AN <sub>0</sub>
		1	AN <sub>1</sub>	AN <sub>0</sub> , AN <sub>1</sub>
	1	0	AN <sub>2</sub>	AN <sub>0</sub> ~ AN <sub>2</sub>
		1	AN <sub>3</sub>	AN <sub>0</sub> ~ AN <sub>3</sub>
1	0	0	AN <sub>4</sub>	AN <sub>4</sub>
		1	AN <sub>5</sub>	AN <sub>4</sub> , AN <sub>5</sub>
	1	0	AN <sub>6</sub>	AN <sub>4</sub> ~ AN <sub>6</sub>
		1	AN <sub>7</sub>	AN <sub>4</sub> ~ AN <sub>7</sub>

## 15.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	TRGE	-	-	-	-	-	-	-
初期値:	0	1	1	1	1	1	1	0
R/W :	R/W	-	-	-	-	-	-	R/W

リザーブビット

トリガイネーブル

外部トリガまたは8ビットタイマのコンペアマッチ  
によるA/D変換の許可 / 禁止を選択するビットです。

ADCR は、8 ビットのリード / ライト可能なレジスタで、外部トリガ入力あるいは 8 ビットタイマのコンペアマッチ信号による A/D 変換の開始の許可 / 禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7E に初期化されます。

## ビット 7: トリガイネーブル (TRGE)

外部トリガ入力または 8 ビットタイマのコンペアマッチによる A/D 変換の開始の許可 / 禁止を選択します。

ビット 7	説明
TRGE	
0	外部トリガ入力または 8 ビットタイマのコンペアマッチによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ端子 (ADTRG) の立ち下がリエッジまたは 8 ビットタイマのコンペアマッチで A/D 変換を開始

なお、外部トリガ端子と 8 ビットタイマの選択は、8 ビットタイマにより行います。詳細は「第 10 章 8 ビットタイマ」を参照してください。

## ビット 6-1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

## ビット 0: リザーブビット

リザーブビットです。リード / ライト可能ですが、1 に設定しないでください。

### 15.3 CPU とのインタフェース

ADDRA ~ ADDRD はそれぞれ 16 ビットのレジスタですが、CPU と間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

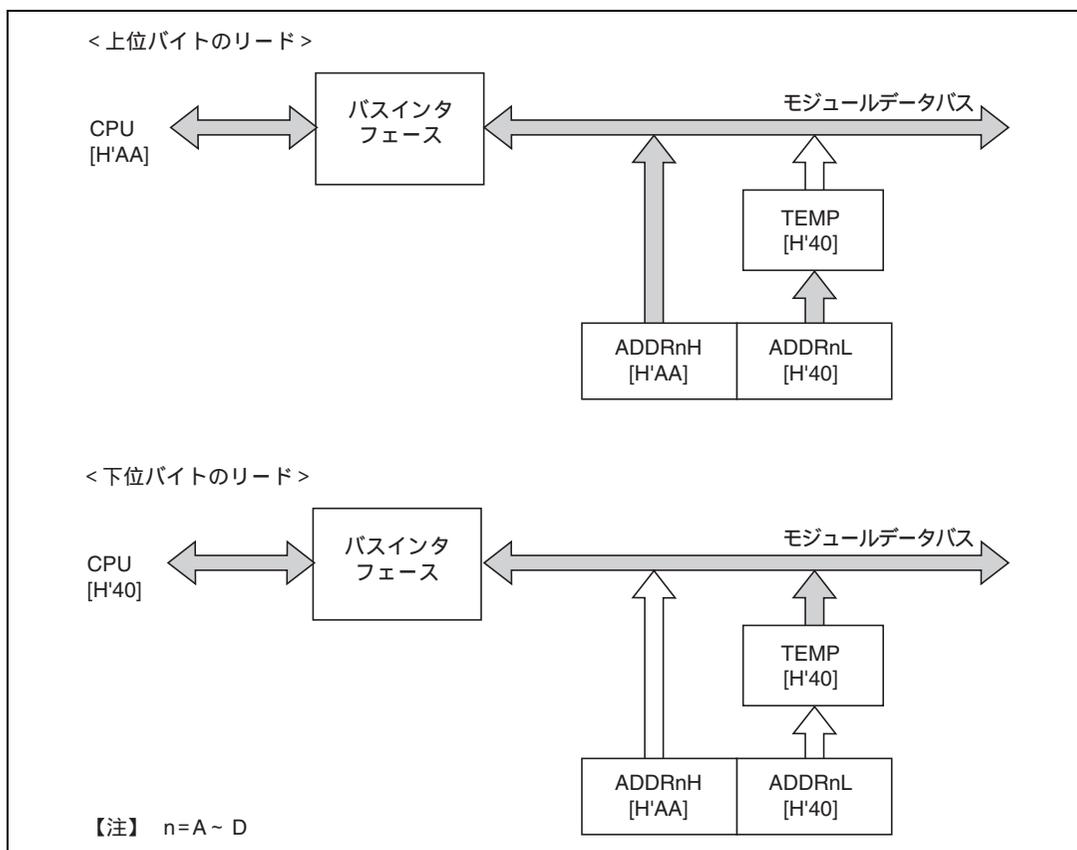


図 15.2 ADDR のアクセス動作 ( [H'AA40] リード時 )

## 15.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解機能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

### 15.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。

変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN<sub>1</sub>) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 15.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN<sub>1</sub> に (CH2 = CH1 = 0、CH0 = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
- (2) A/D 変換が終了すると、A/D 変換結果が ADDR<sub>B</sub> に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) ADCSR をリードした後、ADF に 0 をライトします。
- (6) A/D 変換結果 (ADDR<sub>B</sub>) をリードして、処理します。
- (7) A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

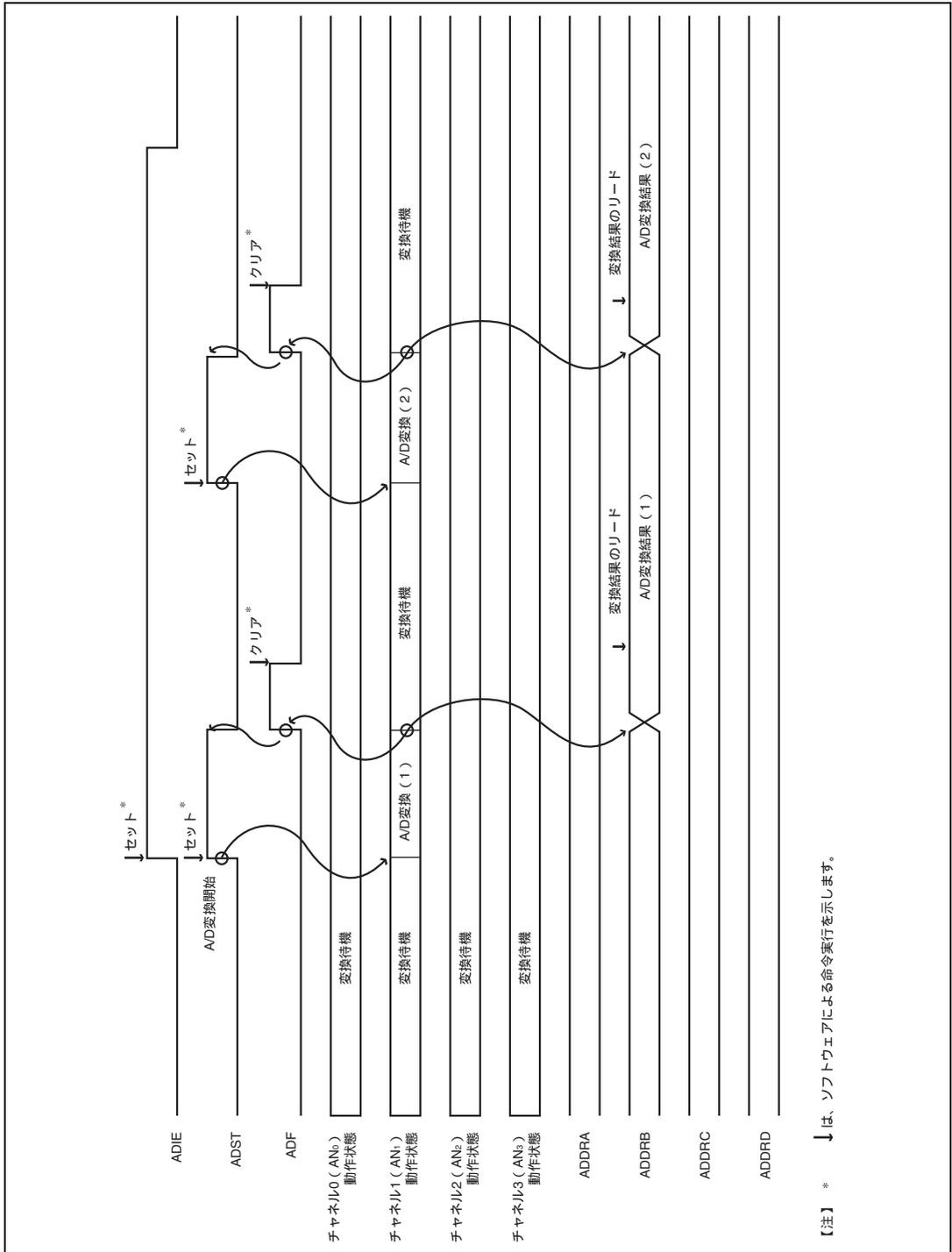


図 15.3 A/D 変換器の動作例 (単一モード、チャンネル 1 選択時)

### 15.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN<sub>0</sub>、CH2 = 1 のとき AN<sub>1</sub>) から開始されます。複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN<sub>1</sub> または AN<sub>2</sub>) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。スキャンモードでグループ 0 の 3 チャンネル (AN<sub>0</sub> ~ AN<sub>2</sub>) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 15.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキヤングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN<sub>0</sub> ~ AN<sub>2</sub> (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN<sub>0</sub>) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR<sub>0</sub> に転送します。次に第 2 チャンネル (AN<sub>1</sub>) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN<sub>2</sub>) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN<sub>0</sub> ~ AN<sub>2</sub>) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN<sub>0</sub>) を選択し、変換が行われます。このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みが発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN<sub>0</sub>) から変換が行われます。

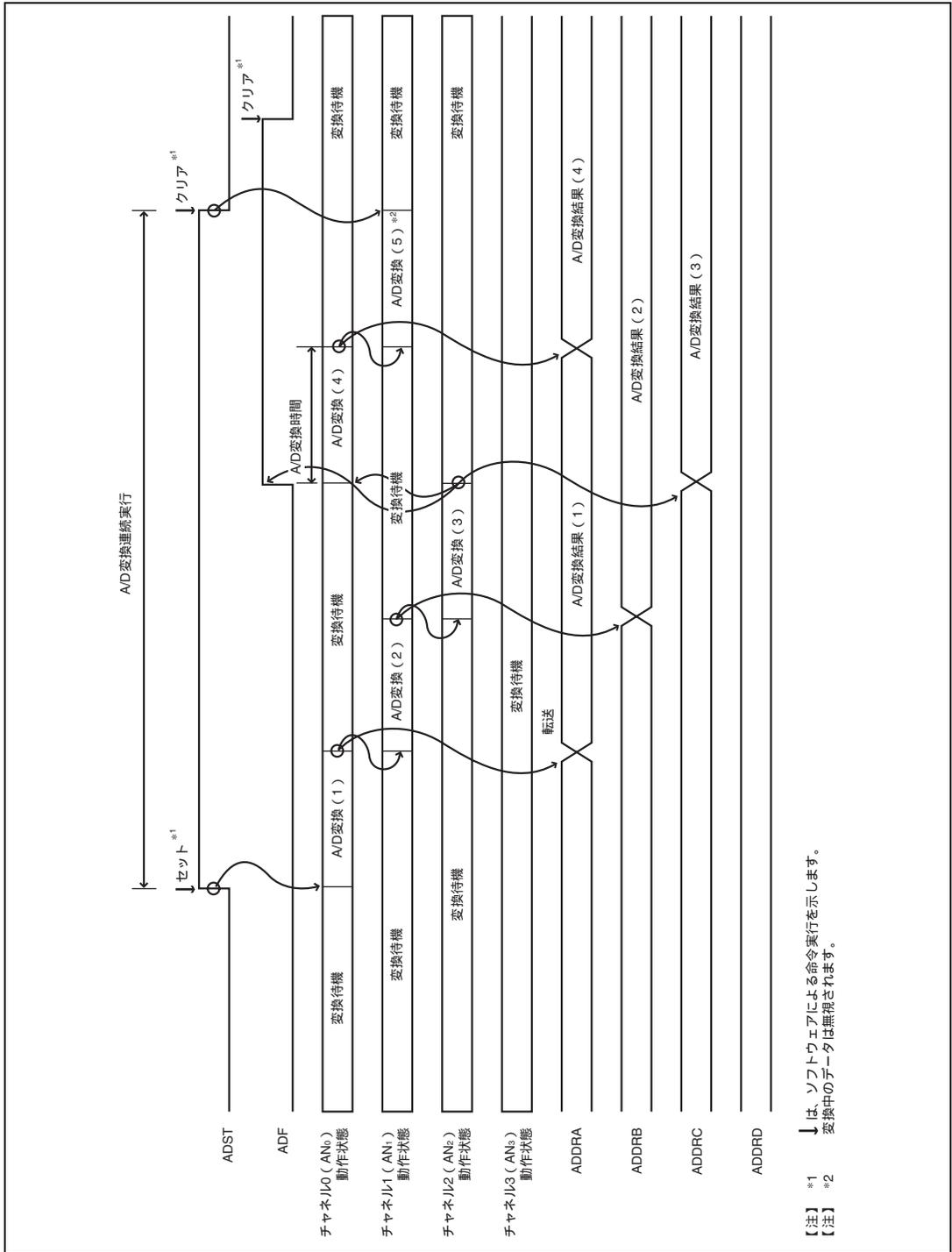


図 15.4 A/D 変換器の動作例 (スキャンモード AN<sub>0</sub> ~ AN<sub>2</sub> の3チャンネル選択時)

### 15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから  $t_b$  時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.4 に示します。

A/D 変換時間は、図 15.5 に示すように、 $t_b$  と入力サンプリング時間を含めた時間となります。ここで  $t_b$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.4 に示す範囲で変化します。スキャンモードの変換時間は、表 15.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 128 ステート (固定)、CKS = 1 の場合は 66 ステート (固定) となります。

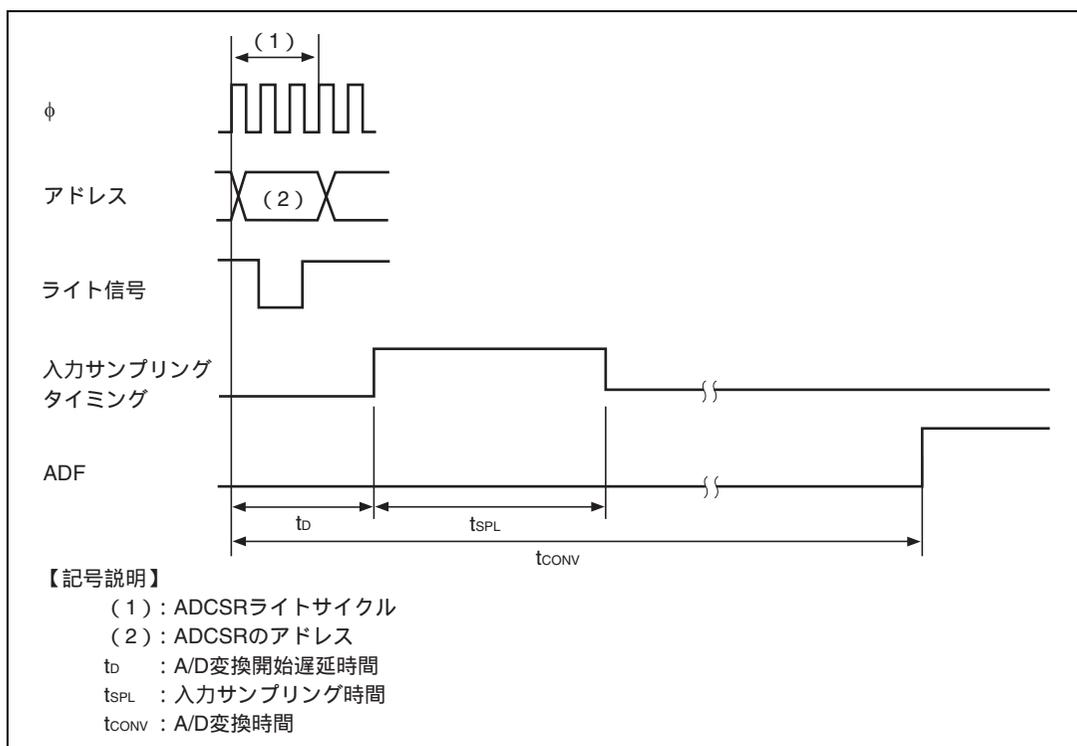


図 15.5 A/D 変換タイミング

表 15.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_b$	6	-	9	4	-	5
入力サンプリング時間	$t_{SPL}$	-	31	-	-	15	-
A/D 変換時間	$t_{CONV}$	131	-	134	69	-	70

【注】 表中の数値の単位はステートです。

### 15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセット、かつ 8 ビットタイマの ADTE ビットが 0 にクリアされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.6 に示します。

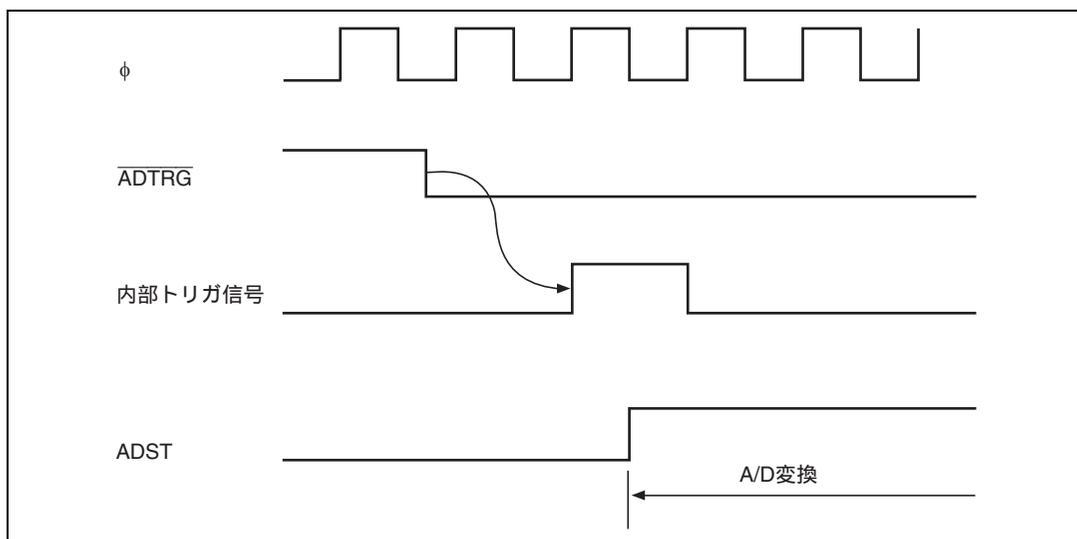


図 15.6 外部トリガ入力タイミング

## 15.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットで許可/禁止することができます。ADI 割り込みは、DMAC の起動要因とすることができます。このときは、CPU へは当該割り込みは要求されません。

## 15.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

### (1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子  $AN_n$  に印加する電圧は  $AV_{SS}$  ~  $AN_n$  ~  $V_{REF}$  の範囲としてください。

### (2) $AV_{CC}$ 、 $AV_{SS}$ と $V_{CC}$ 、 $V_{SS}$ の関係

$AV_{CC}$ 、 $AV_{SS}$  と  $V_{CC}$ 、 $V_{SS}$  との関係は、 $AV_{SS} = V_{SS}$  とし、さらに、A/D 変換器を使用しないときも、 $AV_{CC}$ 、 $AV_{SS}$  端子を決してオープンにしないでください。

### (3) $V_{REF}$ の設定範囲

$V_{REF}$  端子によるリファレンス電圧の設定範囲は  $V_{REF}$  ~  $AV_{CC}$  にしてください。

### (4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。なお、アナログ入力信号 ( $AN_0 \sim AN_7$ )、アナログ基準電源 ( $V_{REF}$ )、アナログ電源 ( $AV_{CC}$ ) は、アナログ・グランド ( $AV_{SS}$ ) で、デジタル回路を必ず分離してください。さらに、アナログ・グランド ( $AV_{SS}$ ) は、ボード上の安定したデジタル・グランド ( $V_{SS}$ ) に一点接続してください。

### (5) ノイズ対策上の注意

アナログ入力端子 ( $AN_0 \sim AN_7$ )、アナログ基準電源 ( $V_{REF}$ ) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 15.7 に示すように  $AV_{CC}$  -  $AV_{SS}$  間に接続してください。また、 $AV_{CC}$ 、 $V_{REF}$  に接続するバイパス・コンデンサ、 $AN_0 \sim AN_7$  に接続するフィルタのコンデンサは、必ず  $AV_{SS}$  に接続してください。

なお、図 15.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ( $AN_0 \sim AN_7$ ) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス ( $R_{in}$ ) を経由して入力される電流を上回るとアナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

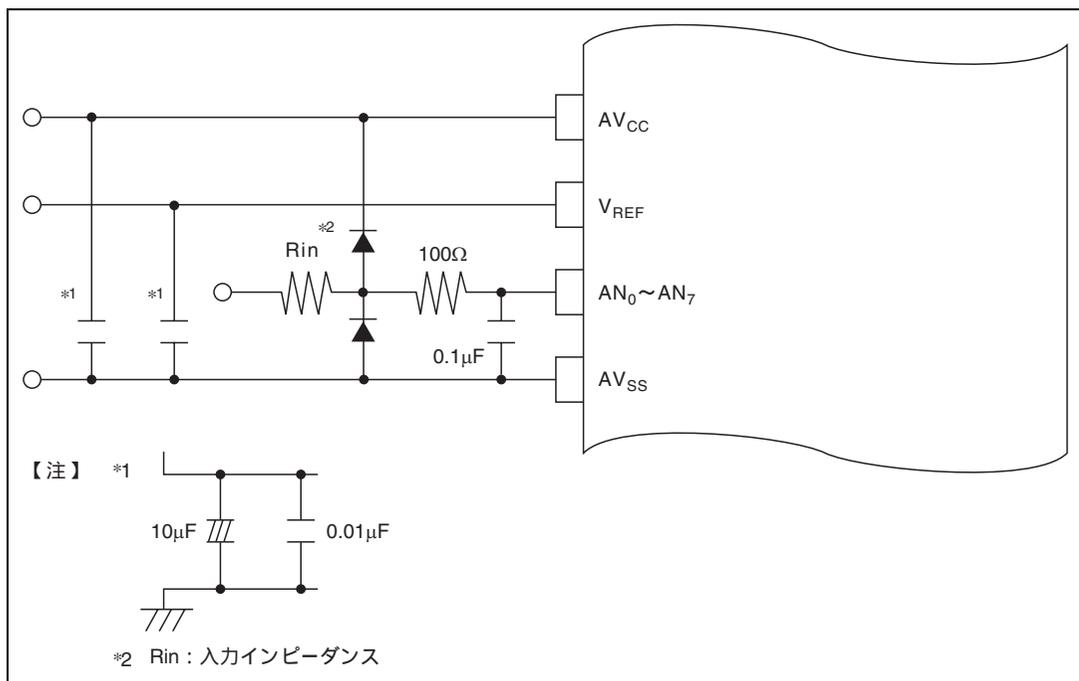


図 15.7 アナログ入力保護回路の例

表 15.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	10*	k $\Omega$

【注】 \* 変換時間 134 ステート、VCC = 4.0 ~ 5.5、 $\phi$  13MHz の場合。詳細は「第 20 章 電気的特性」を参照してください。

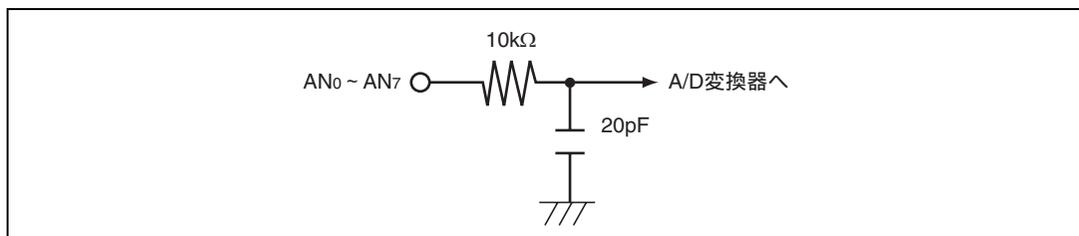


図 15.8 アナログ入力端子等価回路

【注】 表 15.5 を除く数値はいずれも参考値

## (6) A/D 変換精度の定義：

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能.....A/D 変換器のデジタル出力コード数
- オフセット誤差.....デジタル出力が最小電圧値 0000000000 から 0000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 15.10)。
- フルスケール誤差...デジタル出力が 1111111110 から 1111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 15.10)。
- 量子化誤差.....A/D 変換器が本質的に有する偏差であり、 $1/2\text{LSB}$  で与えられる(図 15.9)。
- 非直線性誤差.....ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度.....デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

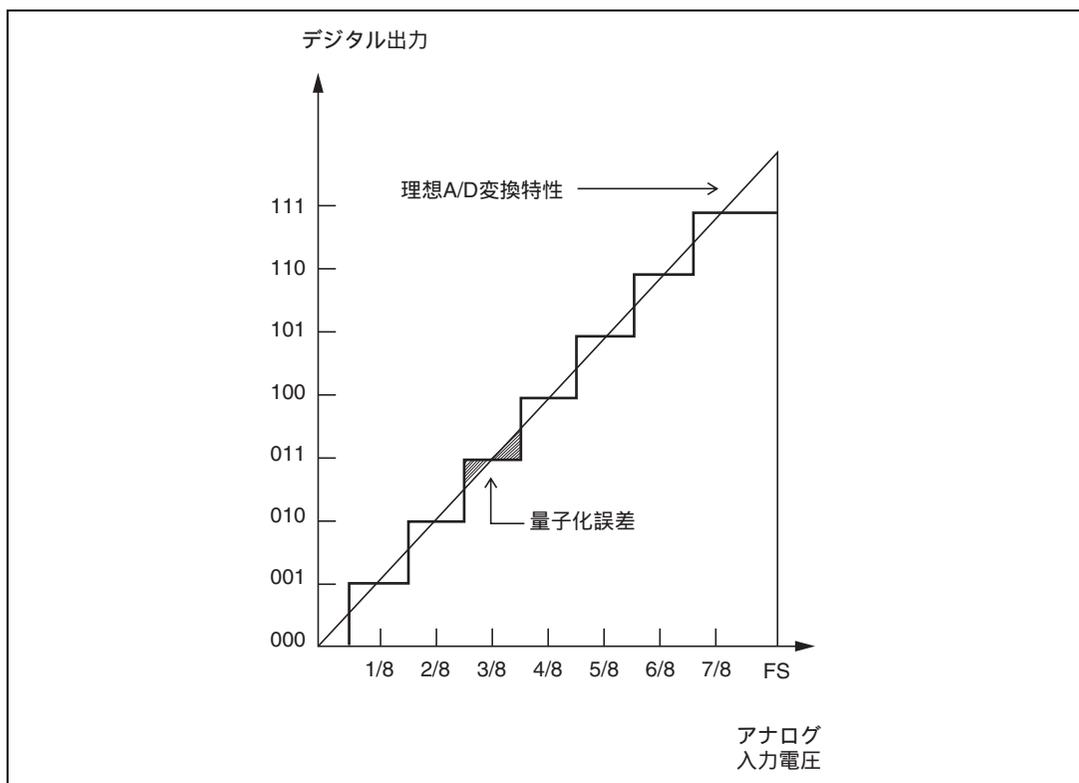


図 15.9 A/D 変換精度の定義 (1)

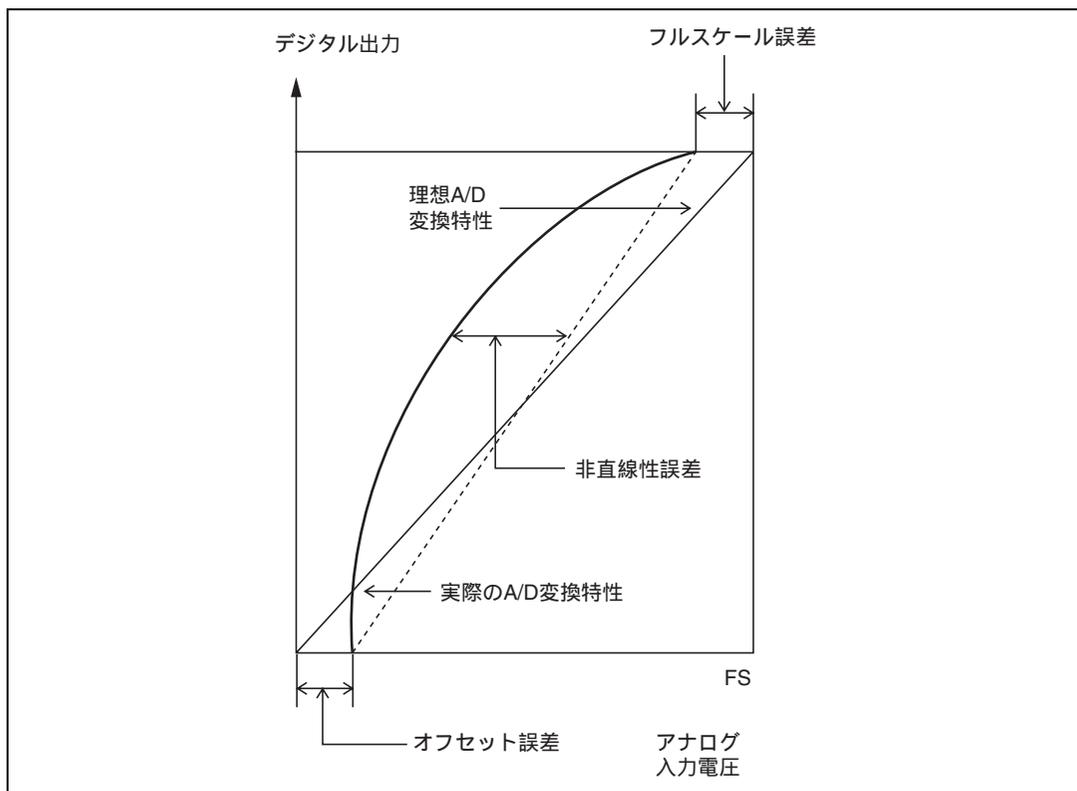


図 15.10 A/D 変換精度の定義 (2)

## (7) 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが  $10\text{k}\Omega$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが  $10\text{k}\Omega$  を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10\text{k}\Omega$  だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルターとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が  $5\text{mV}/\mu\text{s}$  以上）には追従できない場合があります（図 15.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

## (8) 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず  $\text{AVSS}$  などの電氣的に安定な GND に接続してください。またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

## 15. A/D 変換器

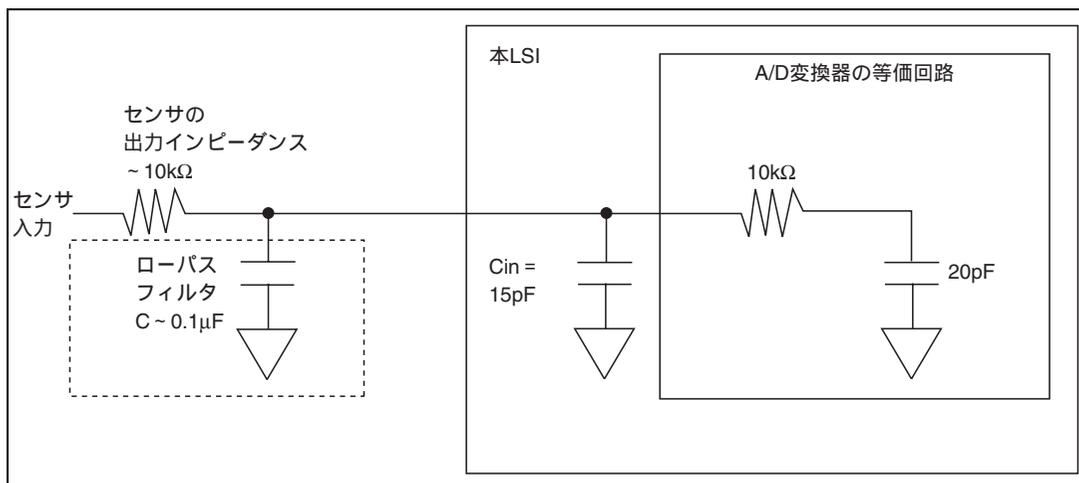


図 15.11 アナログ入力回路の例

---

## 16. D/A 変換器

---

### 16.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

#### 16.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 $\mu$ s ( 負荷容量 20pF 時 )

出力電圧 0V ~  $V_{REF}$

ソフトウェアスタンバイ時の D/A 出力保持機能

### 16.1.2 ブロック図

D/A 変換器のブロック図を図 16.1 に示します。

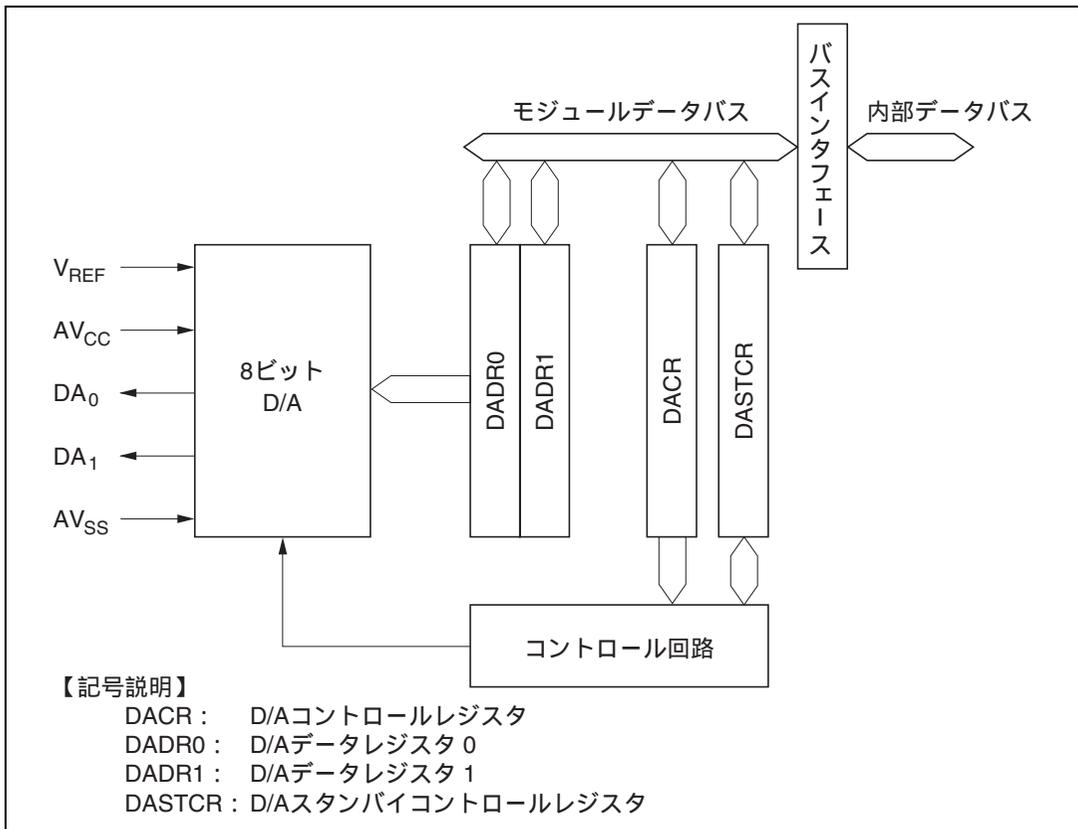


図 16.1 D/A 変換器のブロック図

### 16.1.3 端子構成

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

端子名	略 称	入出力	機 能
アナログ電源端子	AV <sub>CC</sub>	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV <sub>SS</sub>	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA <sub>0</sub>	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA <sub>1</sub>	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V <sub>REF</sub>	入力	アナログ部の基準電圧

### 16.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF9C	D/A データレジスタ 0	DADR0	R/W	H'00
H'FFF9D	D/A データレジスタ 1	DADR1	R/W	H'00
H'FFF9E	D/A コントロールレジスタ	DACR	R/W	H'1F
H'EE01A	D/A スタンバイコントロールレジスタ	DASTCR	R/W	H'FE

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示します。

## 16.2 各レジスタの説明

### 16.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

D/A データレジスタ 0、1 (DADR0、DADR1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

D/A スタンバイコントロールレジスタ (DASTCR) の DASTE ビットが 1 の場合、ソフトウェアスタンバイモードでは初期化されません。

## 16.2.2 D/A コントロールレジスタ (DACR)

ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	—	—	—	—	—

D/Aイネーブル  
 D/A変換を制御するビットです。

D/Aアウトプットイネーブル0  
 D/A変換とアナログ出力を制御するビットです。

D/Aアウトプットイネーブル1 (DAOE1)  
 D/A変換とアナログ出力を制御するビットです。

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR は、リセットまたはスタンバイモード時に、H'1F に初期化されます。DASTCR の DASTE ビットが 1 の場合、ソフトウェアスタンバイモードでは初期化されません。

## ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA <sub>1</sub> を禁止
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA <sub>1</sub> を許可

## ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説明
DAOE0	
0	アナログ出力 DA <sub>0</sub> を禁止
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA <sub>0</sub> を許可

## 16. D/A 変換器

---

### ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 とともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1 により、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説 明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル 0、1 の D/A 変換を禁止
	1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可
	1	-	チャンネル 0、1 の D/A 変換を許可

DAE ビットを 1 にセットすると、DACR の DAOE0、1 ビット、ADCSR の ADST ビットが 0 にクリアされていても、アナログ電源電流は A/D、D/A 変換中と同等になります。

### ビット 4~0 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

### 16.2.3 D/A スタンバイコントロールレジスタ (DASTCR)

DASTCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードでの D/A の出力を許可または禁止します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DASTE
初期値:	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	R/W

リザーブビット

D/Aスタンバイネーブル  
ソフトウェアスタンバイモード  
でのD/A出力を許可または  
禁止するビットです。

DASTCR はリセット、またはハードウェアスタンバイモード時に、HFE に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット7~1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット0: D/A スタンバイネーブル (DASTE)

ソフトウェアスタンバイモードでの D/A 出力を許可または禁止します。

ビット0	説明
DASTE	
0	ソフトウェアスタンバイモードでの D/A 出力を禁止 (初期値)
1	ソフトウェアスタンバイモードでの D/A 出力を許可

### 16.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、DADR1 を書き換えると直ちに、新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを図 16.2 に示します。

- (1) DADR0 に変換データをライトします。
- (2) DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。

$$\text{出力値} = \frac{\text{DADRの内容}}{256} \times V_{\text{REF}} \text{です。}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- (3) DADR0 を書き換えると直ちに変換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

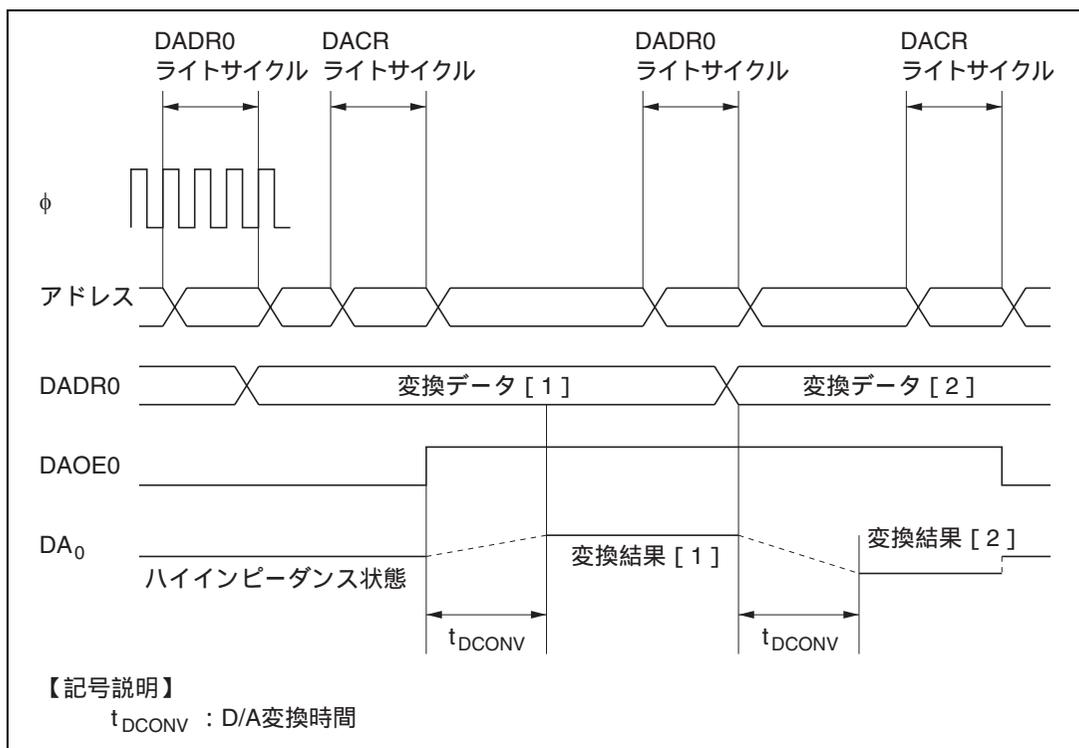


図 16.2 D/A 変換器の動作例

## 16.4 D/A 出力制御

本 LSI は、ソフトウェアスタンバイモードで D/A 変換器の出力を許可または禁止することができます。

DASTCR の DASTE ビットを 1 にセットすると、ソフトウェアスタンバイモードにおいても D/A 変換器の出力が許可されます。このとき、D/A 変換器のレジスタはソフトウェアスタンバイモードに遷移する直前の値を保持します。

なお、ソフトウェアスタンバイモードで D/A 出力を許可した場合、リファレンス電源電流は動作時と同じとなります。



## 17. RAM

### 17.1 概要

H8/3007 は 4K バイト、H8/3006 は 2K バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

H8/3007 の内蔵 RAM は、モード 1、2 のとき H'FEF20 ~ H'FFF1F に、モード 3、4 のとき H'FEF20 ~ H'FFF1F に割り当てられています。

H8/3006 の内蔵 RAM は、モード 1、2 のとき H'FF720 ~ H'FFF1F に、モード 3、4 のとき H'FFF720 ~ H'FFF1F に割り当てられています。システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより内蔵 RAM 有効/無効の制御を行います。

#### 17.1.1 ブロック図

RAM のブロック図を図 17.1 に示します。

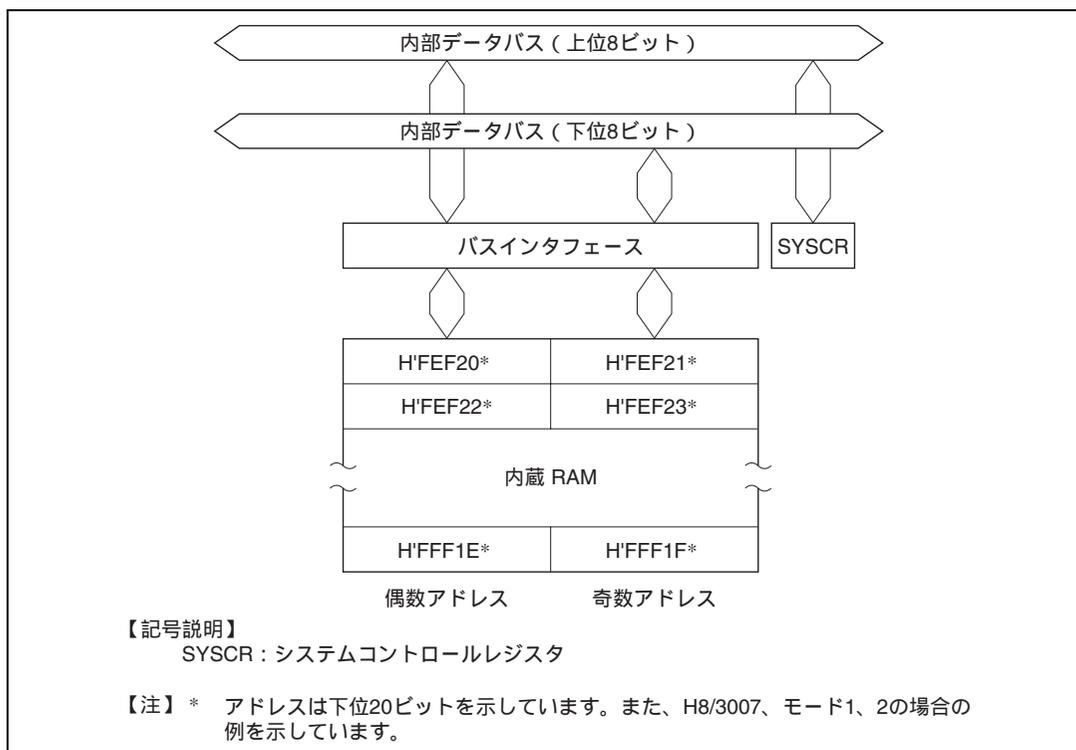


図 17.1 RAM のブロック図

### 17.1.2 レジスタ構成

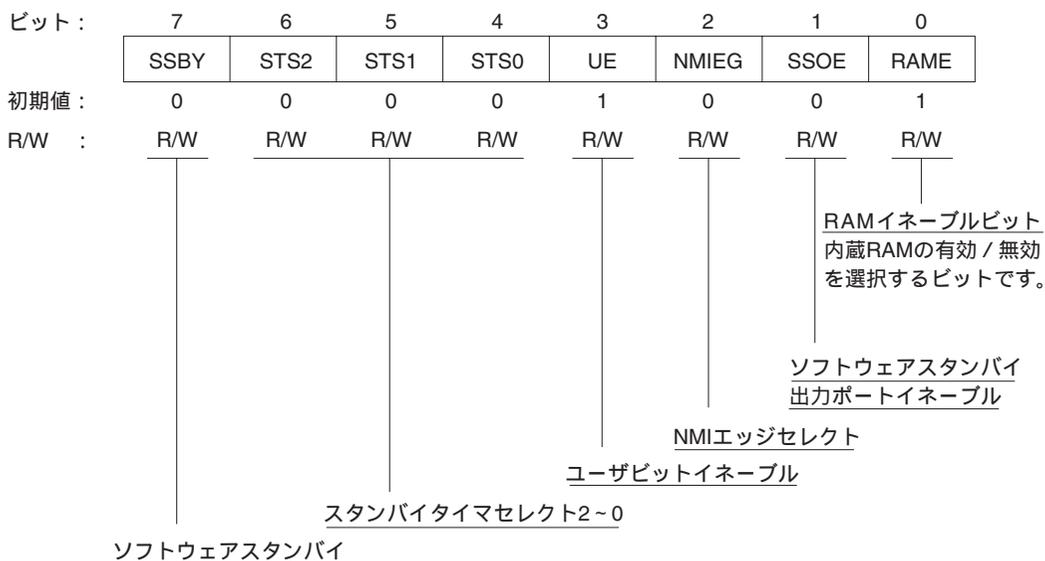
内蔵 RAM は、SYSCR で制御されます。  
SYSCR のアドレスと初期値を表 17.1 に示します。

表 17.1 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09

【注】 \* アドバンストモード時のアドレス下位 20 ビットを示します。

## 17.2 システムコントロールレジスタ (SYSCR)



SYSCR は、内蔵 RAM へのアクセスを許可 / 禁止するレジスタです。内蔵 RAM は SYSCR の RAME ビットにより有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

### ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットは  $\overline{\text{RES}}$  端子の立ち上がりエッジで初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

### 17.3 動作説明

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。H8/3007 では、モード 1、2 のとき H'FEF20 ~ H'FFF1F を、モード 3、4 のとき H'FFEF20 ~ H'FFFF1F をアクセスすると内蔵 RAM がアクセスされます。H8/3006 では、モード 1、2 のとき H'FF720 ~ H'FFF1F を、モード 3、4 のとき H'FFF720 ~ H'FFFF1F をアクセスすると内蔵 RAM がアクセスされます。また、モード 1~4 では RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

RAM は CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトも可能です。

バイトデータは、データバス上位 8 ビットを使い 2 ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス 16 ビットを使い 2 ステートでアクセスできます。

## 18. クロック発振器

### 18.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、クロック発振器はシステムクロック ( $\phi$ )、および内部クロック ( $\phi/2 \sim \phi/4096$ ) を生成します。

分周器は、デューティ補正されたクロックを分周してシステムクロック ( $\phi$ ) を生成します。 $\phi$  は  $\phi$  端子に出力される\*<sup>1</sup> とともに内部モジュールへクロックを供給するプリスケアラの基本クロックとなります。なお、分周器の分周比は分周比コントロールレジスタ (DIVCR) により 1/1、1/2、1/4、1/8 の中から選択できます\*<sup>2</sup>。チップ内の消費電流は分周比にほぼ比例して低減します。

【注】\*<sup>1</sup>  $\phi$  端子の状態はチップの動作モードおよびモジュールスタンバイコントロールレジスタ (MSTCR) の PSTOP の設定により異なります。詳細は「19.7  $\phi$  クロック出力禁止機能」を参照してください。

\*<sup>2</sup> 分周比の変更は動作中ダイナミックに変更することができます。 $\phi$  端子のクロック出力も分周比を変更することにより変化します。このとき  $\phi$  端子から出力される周波数は、以下のようになります。

$$\phi = \text{EXTAL} \times n \quad \begin{array}{l} \text{EXTAL} : \text{水晶発振子または外部クロックの周波数} \\ n : \text{分周比 (} n = 1/1, 1/2, 1/4, 1/8 \text{)} \end{array}$$

#### 18.1.1 ブロック図

図 18.1 にクロック発振器のブロック図を示します。

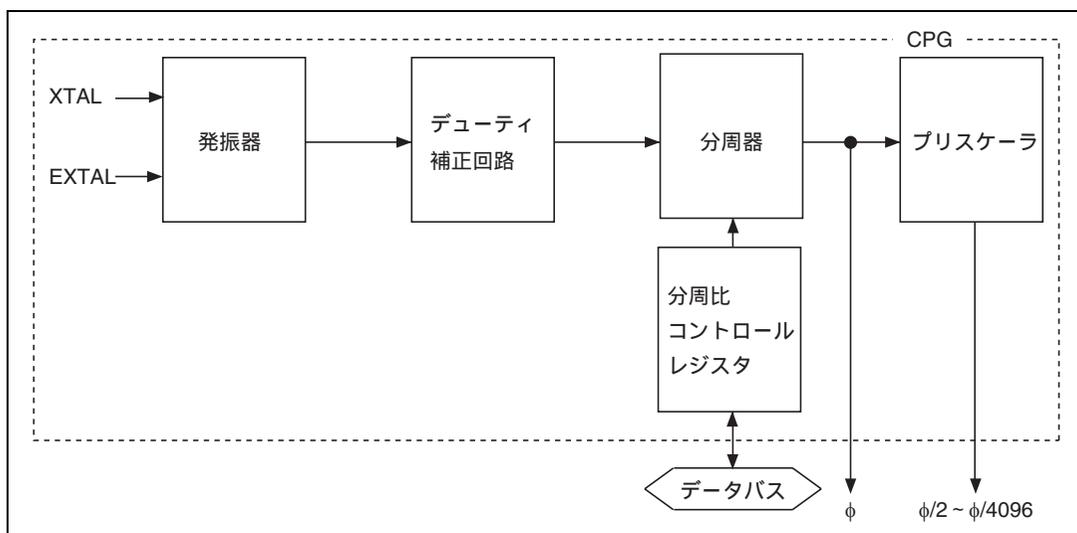


図 18.1 クロック発振器のブロック図

## 18.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

### 18.2.1 水晶発振子を接続する方法

#### (1) 回路構成

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗  $R_d$  は、表 18.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

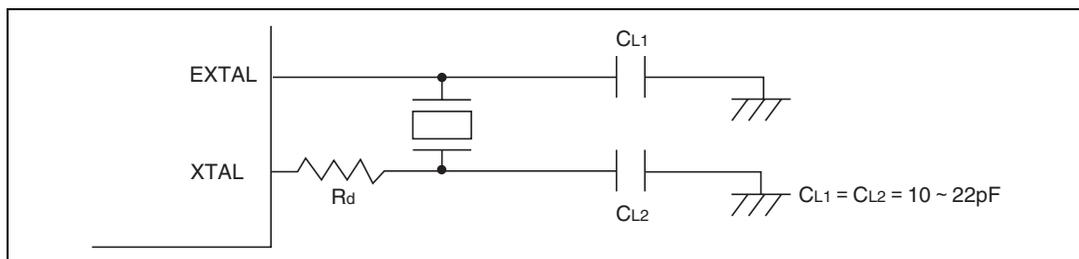


図 18.2 水晶発振子を接続する場合の接続例

表 18.1 ダンピング抵抗値

ダンピング抵抗値	周波数 $f$ (MHz)							
	2	$2 < f < 4$	$4 < f < 8$	$8 < f < 10$	$10 < f < 13$	$13 < f < 16$	$16 < f < 18$	$18 < f < 20$
$R_d$ ( $\Omega$ )	1k	500	200	0	0	0	0	0

【注】 水晶発振子は、2MHz ~ 20MHz が使用できます。

2MHz 未満で動作させる場合は、内蔵の分周器を使用してください（2MHz 未満の水晶発振子は使用できません）。

## (2) 水晶発振子

図 18.3 に水晶発振子の等価回路を示します。水晶発振子は表 18.2 に示す特性のものを使用してください。

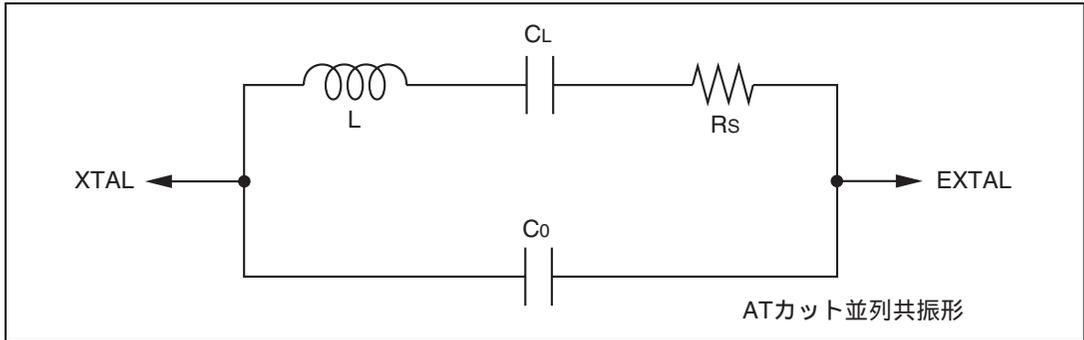


図 18.3 水晶発振子の等価回路

表 18.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16	18	20
Rs max (Ω)	500	120	80	70	60	50	40	40
Co (pF)	7pF max							

水晶発振子は、 $\phi$ と同一の周波数のものを使用してください。

## (3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 18.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

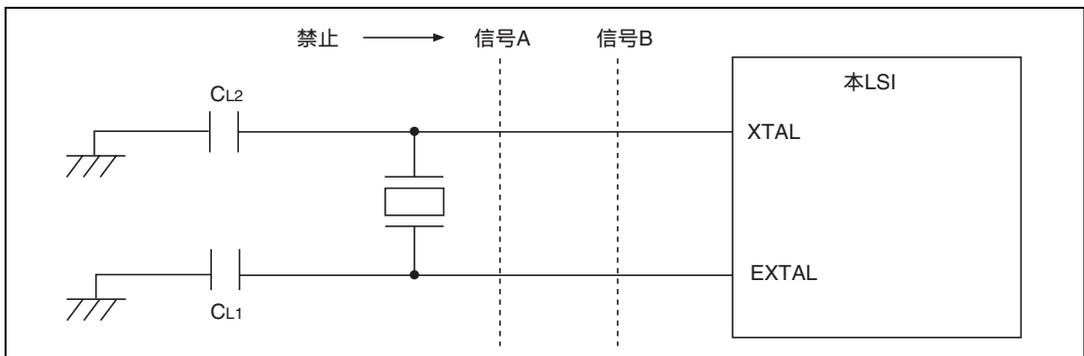


図 18.4 発振回路部のボード設計に関する注意事項

## 18.2.2 外部クロックを入力する方法

### (1) 回路構成

外部クロック入力の接続例を図 18.5 に示します。XTAL 端子をオープン状態にする場合は、XTAL 端子の寄生容量は 10pF 以下としてください。XTAL 端子の寄生容量が 10pF を超える場合は (b) のように接続し、スタンバイモード時には外部クロックが High レベルとなるようにしてください。

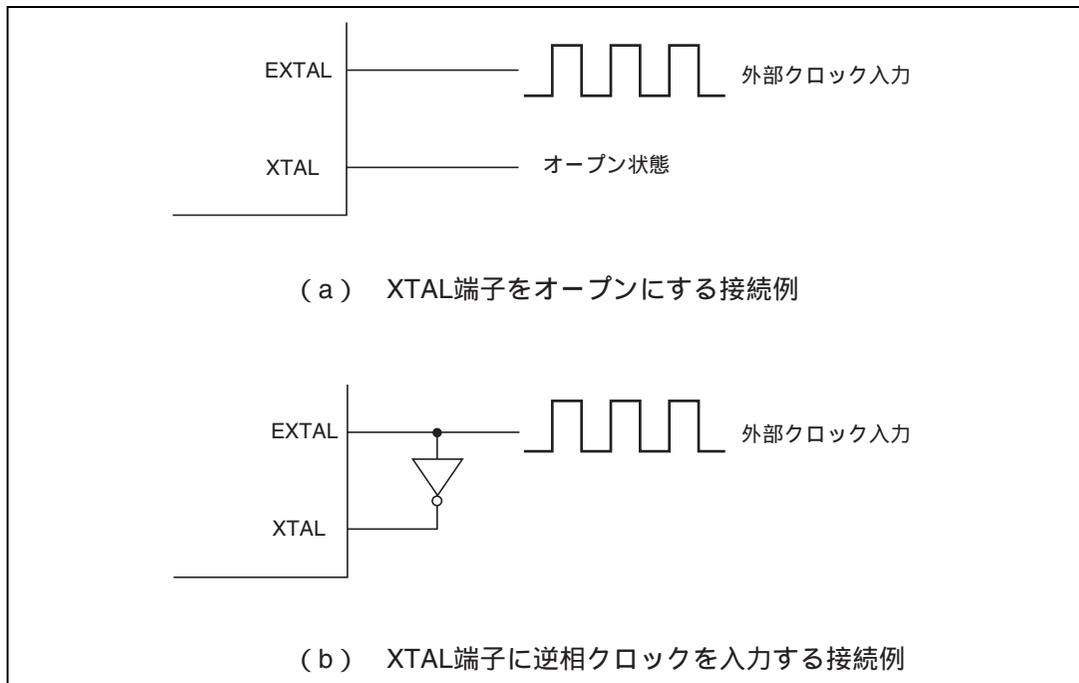


図 18.5 外部クロックを入力する場合の接続例

## (2) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。

表 18.3 にクロックタイミング、図 18.6 に外部クロック入力タイミングを示します。図 18.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 ( $t_{\text{DEXT}}$ ) 経過後に内部のクロック信号出力が確定します。 $t_{\text{DEXT}}$  期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 18.3 クロックタイミング

項目	記号	$V_{\text{CC}} = 2.7 \sim 5.5\text{V}$		$V_{\text{CC}} = 3.0 \sim 5.0\text{V}$		$V_{\text{CC}} = 5.0\text{V} \pm 10\%$		単位	測定条件	
		min	max	min	max	min	max			
外部クロック入力 パルス幅 Low レベル	$t_{\text{EXL}}$	40		30		15		ns	図 18.6	
外部クロック入力 パルス幅 High レベル	$t_{\text{EXH}}$	40		30		15		ns		
外部クロック立ち 上がり時間	$t_{\text{EXr}}$		10		8		5	ns		
外部クロック立ち 下がり時間	$t_{\text{EXf}}$		10		8		5	ns		
クロックパルス幅 Low レベル	$t_{\text{CL}}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{\text{cyc}}$	$\phi$ 5MHz	図 20.3
		80		80		80		ns	$\phi < 5\text{MHz}$	
クロックパルス幅 High レベル	$t_{\text{CH}}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{\text{cyc}}$	$\phi$ 5MHz	
		80		80		80		ns	$\phi < 5\text{MHz}$	
外部クロック 出力安定遅延時間	$t_{\text{DEXT}}^*$	500		500		500		$\mu\text{s}$	図 18.7	

【注】 \*  $t_{\text{DEXT}}$  は、RES パルス幅 ( $t_{\text{RESW}}$ ) を  $10t_{\text{cyc}}$  含みます。

## 18. クロック発振器

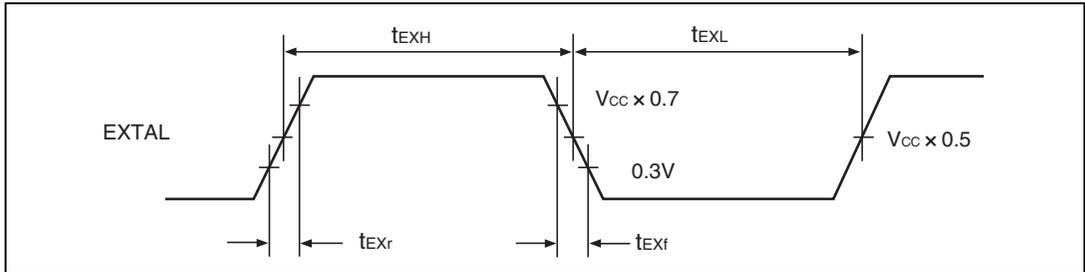


図 18.6 外部クロック入力タイミング

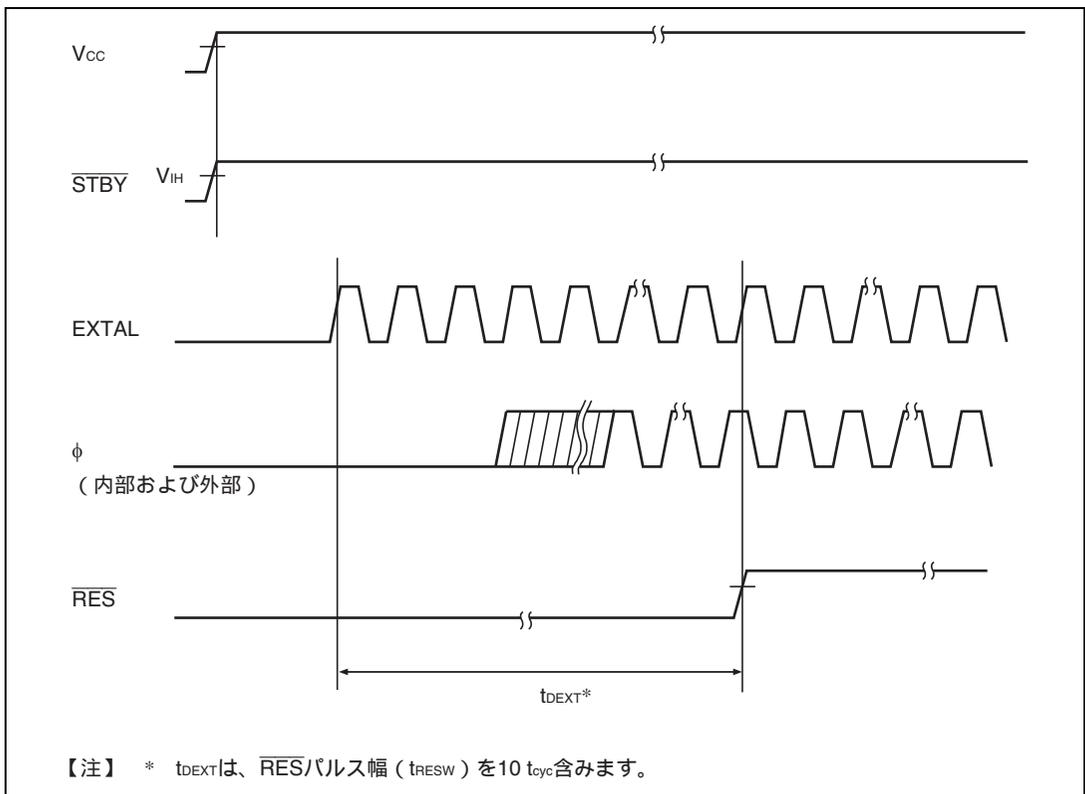


図 18.7 外部クロック出力安定遅延時間タイミング

### 18.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 $\phi$ を生成します。

### 18.4 プリスケーラ

プリスケーラは、 $\phi$ を分周し内部クロック ( $\phi/2 \sim \phi/4096$ ) を生成します。

### 18.5 分周器

分周器はデューティ補正されたクロックを分周して $\phi$ を生成します。分周比は以下に説明する DIVCR の値を書き換えることにより動作中ダイナミックに変更できます。チップ内の消費電流は分周比にほぼ比例して低減します。また分周器で生成した $\phi$ は $\phi$ 端子より出力することができます。

#### 18.5.1 レジスタ構成

表 18.4 に分周器のレジスタ構成を示します。

表 18.4 分周器のレジスタ構成

アドレス*	名称	略称	R/W	初期値
H'EE01B	分周比コントロールレジスタ	DIVCR	R/W	H'FC

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

#### 18.5.2 分周比コントロールレジスタ (DIVCR)

DIVCR は 8 ビットのリード/ライト可能なレジスタで分周器の分周比を選択します。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	DIV1	DIV0
初期値:	1	1	1	1	1	1	0	0
R/W :	-	-	-	-	-	-	R/W	R/W

リザーブビット
分周比ビット1、0  
分周比を設定するビットです。

DIVCR はリセットまたはハードウェアスタンバイモード時に H'FC に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

## 18. クロック発振器

---

### ビット7~2: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

### ビット1、0: 分周比 (DIV1、DIV0)

分周比を選択します。DIV1、DIV0 ビットと分周比の関係は以下のとおりです。

ビット1	ビット0	分周比
DIV1	DIV0	
0	0	1/1 (初期値)
	1	1/2
1	0	1/4
	1	1/8

### 18.5.3 使用上の注意

DIVCR の設定により $\phi$ の周波数が変わりますので、以下の点に注意してください。

- (1) 分周比は電氣的特性のACタイミングのクロックサイクル時間 $t_{cyc}$ の動作保証範囲内におさまるように選択してください。すなわち $\phi_{min}$  = 動作周波数範囲の下限とし、 $\phi$ が下限より小さくならないように注意してください。
- (2) 内部モジュールは、すべて $\phi$ を基準に動作します。  
このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。  
またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。詳細は「19.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

---

## 19. 低消費電力状態

---

### 19.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態および、内蔵モジュールの機能を選択的に停止させることにより消費電力を低減させるモジュールスタンバイ機能があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

モジュールスタンバイ機能は低消費電力状態とは独立に内蔵モジュールのうち、16 ビットタイマ、8 ビットタイマ、SCI0、SCI1、SCI2、DMAC、DRAM インタフェース、A/D 変換器を停止させることができます。

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を表 19.1 に示します。

表 19.1 低消費電力状態とモジュールスタンバイ機能

モード/機能	遷移条件	状態											解除方法					
		クロック	CPU	レジスタ	DMAC	DRAM インタ フェース	16ビット タイマ	8ビット タイマ	SC10	SC11	SC12	AVD		その他の 周辺 機能	RAM	φ クロック 出力 <sup>*4</sup>	IO ポート	
スリープ モード	SYSCRのSSBY=0 の状態ですLEEP 命令を実行	動作	停止	保持	動作	動作	動作	動作	動作	動作	動作	動作	動作	動作	保持	φ 出力	保持	・割り込み ・RES端子 ・STBY端子
ソフトウェア スタンバイモード	SYSCRのSSBY = 1 の状態ですLEEP 命令を実行	停止	停止	保持	停止 リセット <sup>*1</sup>	停止 リセット	保持	"High" 出力	保持	・NMI端子 ・IRQ0~ IRQ2端子 ・RES端子 ・STBY端子								
ハードウェア スタンバイモード	STBY端子を Lowレベル	停止	停止	不定	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	保持 <sup>*3</sup>	ハイイン ピータン ス	ハイイン ピータン ス	・STBY端子 ・RES端子
モジュール スタンバイ機能	MSTCRHおよび MSTCRLの該当ビット を1にセット	動作	動作	-	停止 <sup>*2</sup> リセット <sup>*1</sup>	停止 <sup>*2</sup> リセット	-	ハイイン ピータン ス	-	・STBY端子 ・RES端子 ・MSTCRの 該当ビットを "0"にクリア <sup>*5</sup>								

【記号説明】

- SYSCR : システムコントロールレジスタ
- SSBY : ソフトウェアスタンバイビット
- MSTCRH : モジュールスタンバイコントロールレジスタH
- MSTCRL : モジュールスタンバイコントロールレジスタL

【注】 \*1 RTCNT、RTMCSRのビット7、6は初期化され、その他は保持となります。

\*2 MSTCRの該当するビットを1にセットした状態です。詳細は「19.2.2 モジュールスタンバイコントロールレジスタH (MSTCRH)」および「19.2.3 モジュールスタンバイコントロールレジスタL (MSTCRL)」を参照してください。

\*3 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを0にクリアする必要があります。

\*4 P67をφ出力端子として使用する場合。

\*5 MSTCRの各ビットを1にセットすると該当する周辺モジュールのレジスタは初期化されます。したがって周辺モジュールを再起動する場合はMSTCRの該当ビットを0にクリア後レジスタの再設定を行ってください。

## 19.2 レジスタ構成

本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ (SYSCR) とモジュールスタンバイ機能の制御を行うモジュールスタンバイコントロールレジスタ H (MSTCRH) モジュールスタンバイコントロールレジスタ L (MSTCRL) があります。レジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

アドレス	名称	略称	R/W	初期値
H'EE012	システムコントロールレジスタ	SYSCR	R/W	H'09
H'EE01C	モジュールスタンバイコントロールレジスタ H	MSTCRH	R/W	H'78
H'EE01D	モジュールスタンバイコントロールレジスタ L	MSTCRL	R/W	H'00

【注】 \* アドバンスモード時のアドレス下位 20 ビットを示しています。

### 19.2.1 システムコントロールレジスタ (SYSCR)



SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6~4 の STS2~STS0 ビットとビット 1 の SSOE ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

## 19. 低消費電力状態

### ビット7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

### ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表19.3を参照し動作周波数に応じて待機時間が7ms（発振安定時間）以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	待機時間 = 1024 ステート
		1	使用禁止

### ビット1：ソフトウェアスタンバイ出力ポートイネーブル（SSOE）

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号（ $\overline{CS}_0 \sim \overline{CS}_7$ 、 $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ 、 $\overline{UCAS}$ 、 $\overline{LCAS}$ 、 $\overline{RFSH}$ ）の出力を保持またはHigh固定するか、ハイインピーダンスにするかを指定します。

ビット1	説明
SSOE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はすべてハイインピーダンス (初期値)
1	ソフトウェアスタンバイモード時、 アドレスバス：出力状態を保持 バス制御信号：High固定

### 19.2.2 モジュールスタンバイコントロールレジスタ H (MSTCRH)

MSTCRH は、8 ビットのリード/ライト可能なレジスタです。 $\phi$ クロック出力の制御を行い、また、内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、SCI0、SCI1、SCI2 です。

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	MSTPH2	MSTPH1	MSTPH0
初期値 :	0	1	1	1	1	0	0	0
R/W :	R/W	-	-	-	-	R/W	R/W	R/W

リザーブビット

モジュールスタンバイ H2~0  
モジュールをスタンバイ状態にするための選択ビットです。

$\phi$ クロックストップ  
 $\phi$ クロックの出力を許可または禁止するビットです。

MSTCRH はリセット、またはハードウェアスタンバイモード時に、H'78 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 7 : $\phi$ クロックストップ (PSTOP)

$\phi$ クロックの出力を許可または禁止します。

ビット 7	説明
PSTOP	
0	$\phi$ クロックの出力を許可 (初期値)
1	$\phi$ クロックの出力を禁止

#### ビット 6~3 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット 2 : モジュールスタンバイ H2 (MSTPH2)

SCI2 をスタンバイ状態にするかを選択します。

ビット 2	説明
MSTPH2	
0	SCI2 は通常動作 (初期値)
1	SCI2 はスタンバイ状態

## 19. 低消費電力状態

ビット 1：モジュールスタンバイ H1 (MSTPH1)

SCI1 をスタンバイ状態にするかを選択します。

ビット 1	説明
MSTPH1	
0	SCI1 は通常動作 (初期値)
1	SCI1 はスタンバイ状態

ビット 0：モジュールスタンバイ H0 (MSTPH0)

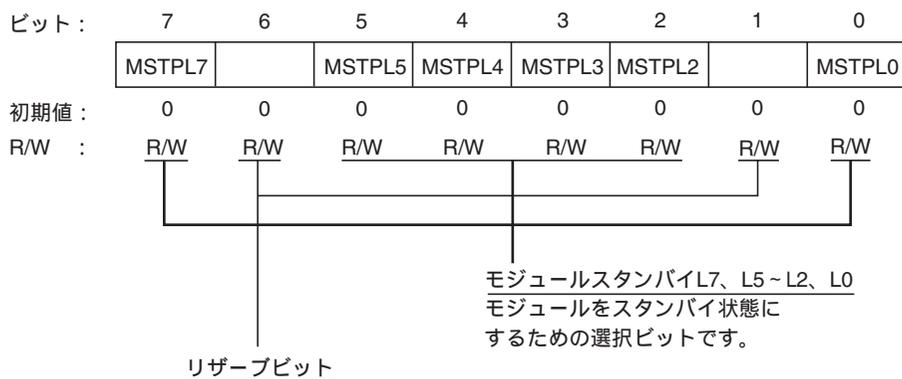
SCI0 をスタンバイ状態にするかを選択します。

ビット 0	説明
MSTPH0	
0	SCI0 は通常動作 (初期値)
1	SCI0 はスタンバイ状態

### 19.2.3 モジュールスタンバイコントロールレジスタ L (MSTCRL)

MSTCRL は、8 ビットのリード/ライト可能なレジスタです。

内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、DMAC、16 ビットタイマ、DRAM インタフェース、8 ビットタイマ、A/D 変換器です。



MSTCRL はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット7：モジュールスタンバイ L7 (MSTPL7)

DMAC をスタンバイ状態にするかを選択します。

ビット7	説明
MSTPL7	
0	DMAC は通常動作 (初期値)
1	DMAC はスタンバイ状態

## ビット6：リザーブビット

リザーブビットです。リード/ライト可能です。

## ビット5：モジュールスタンバイ L5 (MSTPL5)

DRAM インタフェースをスタンバイ状態にするかを選択します。

ビット5	説明
MSTPL5	
0	DRAM インタフェースは通常動作 (初期値)
1	DRAM インタフェースはスタンバイ状態

## ビット4：モジュールスタンバイ L4 (MSTPL4)

16 ビットタイマをスタンバイ状態にするかを選択します。

ビット4	説明
MSTPL4	
0	16 ビットタイマは通常動作 (初期値)
1	16 ビットタイマはスタンバイ状態

## ビット3：モジュールスタンバイ L3 (MSTPL3)

8 ビットタイマチャネル 0、1 をスタンバイ状態にするかを選択します。

ビット3	説明
MSTPL3	
0	8 ビットタイマチャネル 0、1 は通常動作 (初期値)
1	8 ビットタイマチャネル 0、1 はスタンバイ状態

## 19. 低消費電力状態

---

### ビット2：モジュールスタンバイ L2 (MSTPL2)

8ビットタイマチャンネル2、3をスタンバイ状態にするかを選択します。

ビット2	説明
MSTPL2	
0	8ビットタイマチャンネル2、3は通常動作 (初期値)
1	8ビットタイマチャンネル2、3はスタンバイ状態

### ビット1：リザーブビット

リザーブビットです。リード/ライト可能です。

### ビット0：モジュールスタンバイ L0 (MSTPL0)

A/D変換器をスタンバイ状態にするかを選択します。

ビット0	説明
MSTPL0	
0	A/D変換器は通常動作 (初期値)
1	A/D変換器はスタンバイ状態

## 19.3 スリープモード

### 19.3.1 スリープモードへの遷移

SYSCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは DMA コントローラ (DMAC)、DRAM インタフェース、および内蔵周辺モジュールの機能は停止しません。ただし、モジュールスタンバイ機能により、スタンバイ状態となっている内蔵モジュールの機能は動作しません。

### 19.3.2 スリープモードの解除

スリープモードの解除は、割り込み、 $\overline{\text{RES}}$  端子、 $\overline{\text{STBY}}$  端子によって行われます。

#### (1) 割り込みによる解除

割り込み要求が発生すると、割り込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合、また、NMI 以外の割り込みで CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$  端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 19.4 ソフトウェアスタンバイモード

### 19.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。DMAC、内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートおよび DRAM インタフェース\*の状態も保持されています。WDT をウォッチドッグタイマとして使用している場合 ( $WT/\overline{IT}=1$ )、必ず TME ビットを 0 クリアしてから SSBY をセットしてください。また、TME を 1 にセットするときは、SSBY を 0 クリアしてください。

また、ソフトウェアスタンバイモードに遷移する前に、BRCR の BRLE ビットをクリア (バス解放禁止状態) してください。

【注】\* RTCNT、RTMCSR のビット 7、6 は初期化され、その他は保持となります。

### 19.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{IRQ}_0 \sim \overline{IRQ}_2$  端子)、 $\overline{RES}$  端子、または  $\overline{STBY}$  端子によって行われます。

#### (1) 割り込みによる解除

NMI、 $IRQ_0 \sim IRQ_2$  割り込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、 $IRQ_0 \sim IRQ_2$  割り込みは、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

#### (2) $\overline{RES}$ 端子による解除

$\overline{RES}$  端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき  $\overline{RES}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{RES}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

#### (3) $\overline{STBY}$ 端子による解除

$\overline{STBY}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 19.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットおよび DIVCR の DIV1、DIV0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 7ms (発振安定時間) 以上となるように STS2 ~ STS0、DIV1、DIV0 を設定してください。

表 19.3 は動作周波数と STS2 ~ STS0、DIV1、DIV0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

任意の値を選択可能です。

19. 低消費電力状態

表 19.3 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	20MHz	18MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	単位
0	0	0	0	0	8192ステート	0.4	0.46	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	ms
		0	0	1	16384ステート	0.8	0.91	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	
		0	1	0	32768ステート	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	1	65536ステート	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		1	0	0	131072ステート	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	1	262144ステート	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	1	0	1024ステート	0.05	0.057	0.064	0.085	0.10	0.13	0.17	0.26	0.51	1.0	
		1	1	1	使用禁止											
0	1	0	0	0	8192ステート	0.8	0.91	1.02	1.4	1.6	2.0	2.7	4.1	8.2	16.4	ms
		0	0	1	16384ステート	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	0	32768ステート	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	1	65536ステート	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	0	131072ステート	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	1	262144ステート	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	1	0	1024ステート	0.10	0.11	0.13	0.17	0.20	0.26	0.34	0.51	1.0	2.0	
		1	1	1	使用禁止											
1	0	0	0	0	8192ステート	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	ms
		0	0	1	16384ステート	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	0	32768ステート	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	1	65536ステート	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	0	131072ステート	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	1	262144ステート	52.4	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	1	0	1024ステート	0.20	0.23	0.26	0.34	0.41	0.51	0.68	1.02	2.0	4.1	
		1	1	1	使用禁止											
1	1	0	0	0	8192ステート	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	ms
		0	0	1	16384ステート	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	0	32768ステート	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		0	1	1	65536ステート	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	0	131072ステート	52.4	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	0	1	262144ステート	104.9	116.5	131.1	174.8	209.7	262.1	349.5	524.3	1048.6	2097.1	
		1	1	0	1024ステート	0.41	0.46	0.51	0.68	0.82	1.0	1.4	2.0	4.1	8.2	
		1	1	1	使用禁止											

  : 推奨設定時間

#### 19.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立ち下がりによってソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりによって解除を行う例を、図 19.1 に示します。

SYSCR の NMI エッジ (NMIEG) ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセットします (立ち上がりエッジ指定)。SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。

その後、NMI 端子の立ち上がりエッジで、ソフトウェアスタンバイモードが解除されます。

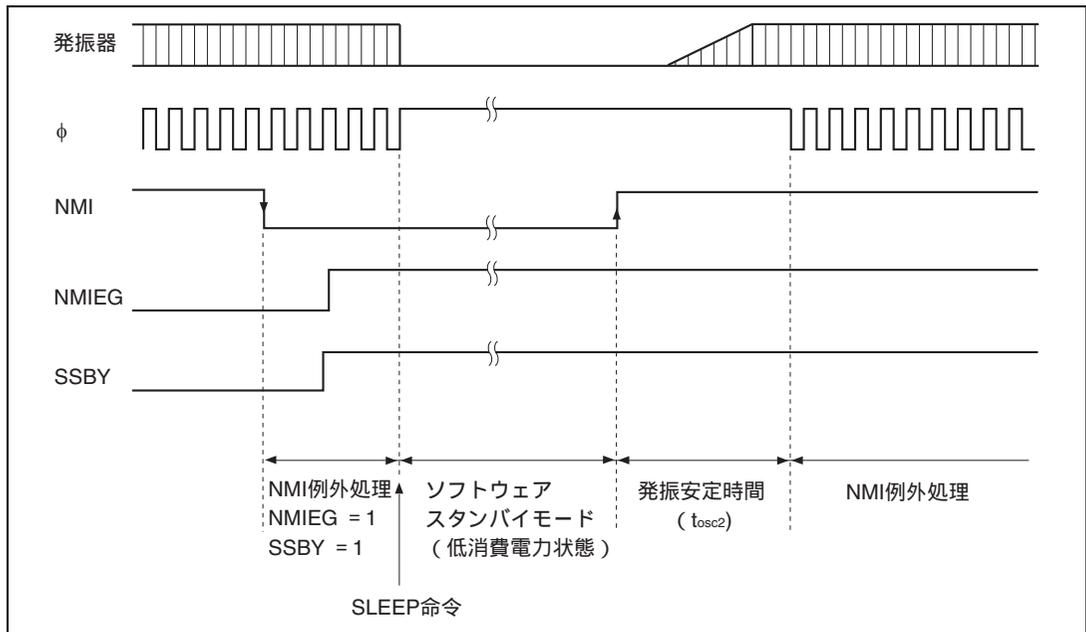


図 19.1 ソフトウェアスタンバイモード時の NMI タイミング (例)

#### 19.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

## 19.5 ハードウェアスタンバイモード

### 19.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、DMAC、DRAM インタフェース、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

### 19.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子とで行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$  端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

### 19.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 19.2 に示します。

$\overline{\text{RES}}$  端子を Low レベルにした後、 $\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$  端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

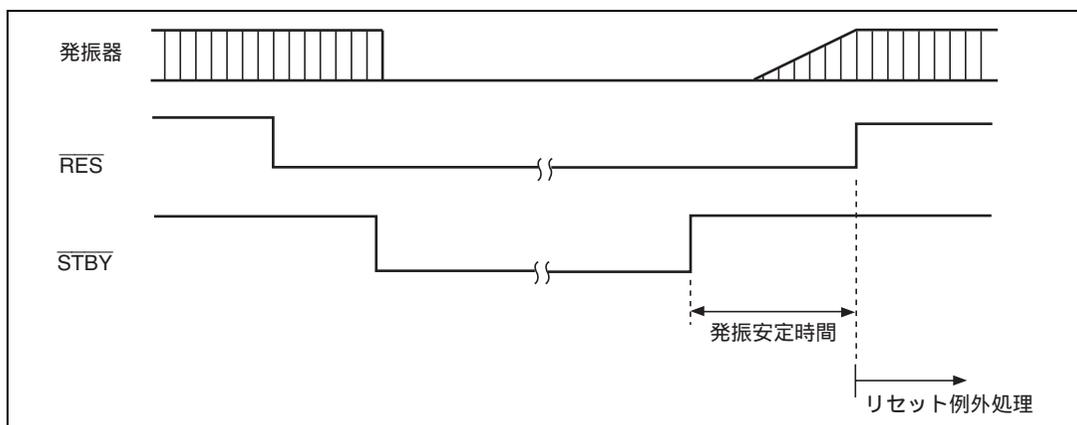


図 19.2 ハードウェアスタンバイモードのタイミング

## 19.6 モジュールスタンバイ機能

### 19.6.1 モジュールスタンバイタイミング

モジュールスタンバイ機能は、MSTCRH の MSTPH2~0 ビットおよび、MSTCRL の MSTPL7~MSTPL0 ビットにより、内蔵モジュールのうち SCI2、SCI1、SCI0、DMAC、16 ビットタイマ、8 ビットタイマ、DRAM インタフェース、A/D 変換器を低消費電力状態とは独立に停止させることができます。MSTCR のビットを 1 にセットすると、MSTCR のライトサイクルの次のバスサイクルの先頭で上記周辺モジュールはスタンバイ状態となり動作が停止します。

### 19.6.2 モジュールスタンバイ中のリード/ライト

モジュールスタンバイ中の周辺モジュールのレジスタに対するリード/ライトはできません。リードすると常に H'FF が読み出されます。ライトは無効です。

### 19.6.3 使用上の注意

モジュールスタンバイ機能を使用するうえで以下のことに注意してください。

#### (1) DMAC の処置

モジュールスタンバイ機能を使用する場合、DMAC および DRAM インタフェースはバス権要求が発生しない状態で MSTCR のビットを 1 にセットしてください。バス権要求が発生した状態で MSTCR のビットが 1 にセットされると、バスアービタの動作が不確定となり誤動作の原因となります。

#### (2) DRAM インタフェースの処置

DRAM インタフェースに対し、モジュールスタンバイ機能を使用する場合、DRAM 空間は非選択の状態に MSTCR のビットを 1 にセットしてください。

#### (3) 割り込み処理のキャンセル

モジュールスタンバイビットをセットする場合、事前に当該モジュールの割り込みを禁止してください。

モジュールスタンバイ機能によって、スタンバイ状態となった周辺モジュールは割り込みフラグを含めてレジスタがすべて初期化されます。

### (4) 端子の状態

モジュールスタンバイ機能によって、停止したモジュールが使用していた端子は、モジュールの機能が失われます。その後の端子状態については端子ごとに異なりますので、詳細は「第8章 I/Oポート」を参照してください。端子の状態が入力から出力に変化する場合には、特に注意が必要です。たとえば、SCI1 をモジュールスタンバイにした場合、受信端子はモジュールスタンバイと同時に受信端子としての機能が無くなりポートとなりますが、ポートの DDR が 1 にセットされていると、端子はデータ出力となり外部 SCI 送信データと衝突する可能性があります。この場合、ポートの DDR を 0 にクリアするなどの対策をとってください。

### (5) レジスタの再設定

モジュールスタンバイ機能によって、停止した周辺モジュールのレジスタはすべて初期化されます。このため再動作させる際には、MSTCR のビットを 0 にクリアした後、レジスタの再設定が必要です。なお MSTCR のビットが "1" にセットされた状態ではレジスタへのライトはできません。

### (6) DMAC による MSTCR のライト禁止

MSTCR は誤動作の防止のため CPU 以外のライトはできません。したがって DMAC によるリードはできますが、ライトはできません。

## 19.7 $\phi$ クロック出力禁止機能

MSTCRH の PSTOP ビットにより、 $\phi$ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、 $\phi$ クロックは停止し、 $\phi$ 端子はハイインピーダンスになります。

図 19.3 に $\phi$ クロックの発振開始、発振停止のタイミングを示します。PSTOP ビットを 0 にクリアした状態では、 $\phi$ クロックの出力は許可されます。表 19.4 に各処理状態における $\phi$ 端子の状態を示します。

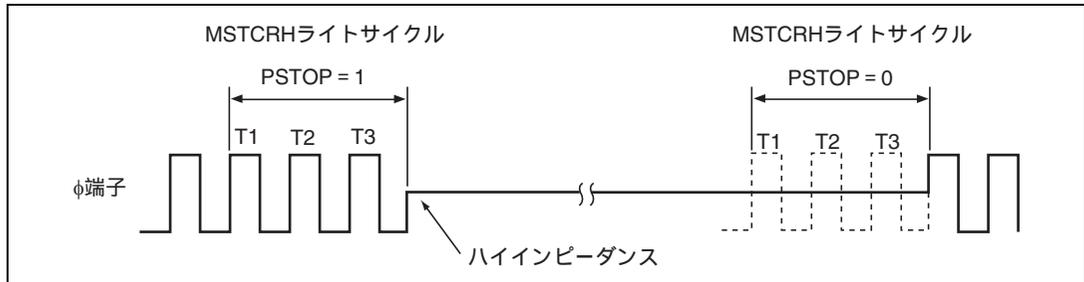


図 19.3  $\phi$ クロック発振開始、発振停止タイミング

表 19.4 各処理状態における $\phi$ 端子の状態

処理状態	PSTOP = 0	PSTOP = 1
ハードウェアスタンバイ	ハイインピーダンス	ハイインピーダンス
ソフトウェアスタンバイ	H 固定	ハイインピーダンス
スリープモード	$\phi$ 出力	ハイインピーダンス
通常動作状態	$\phi$ 出力	ハイインピーダンス



---

## 20. 電気的特性

---

### 20.1 絶対最大定格

絶対最大定格を表 20.1 に示します。

表 20.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	- 0.3 ~ + 7.0	V
入力電圧 (ポート 7 以外)	$V_{in}$	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7)	$V_{in}$	- 0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	$V_{REF}$	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ + 7.0	V
アナログ入力電圧	$V_{AN}$	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	通常仕様品 : - 20 ~ + 75	
		広温度範囲仕様品 : - 40 ~ + 85	
保存温度	$T_{slg}$	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 20.2 電気的特性

## 20.2.1 DC 特性

DC 特性を表 20.2 ~ 表 20.4 に示します。また、出力許容電流値を表 20.5 に示します。

表 20.2 DC 特性 (1)

条件 :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5V \sim AV_{CC}^{*1}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$ 、 $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件		
シュミット トリガ入力 電圧	P8 <sub>2</sub> ~ P8 <sub>0</sub> 、 PortA	$V_T^-$	1.0	-	-	V		
		$V_T^+$	-	-	$V_{CC} \times 0.7$			
		$V_T^+ - V_T^-$	0.4	-	-			
入力 High レベル電圧	STBY、RES、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IH}$	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V		
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$			
	Port7		2.0	-	$AV_{CC} + 0.3$			
	Port4、6、 D <sub>15</sub> ~ D <sub>8</sub> 、P8 <sub>3</sub> 、 P8 <sub>4</sub> 、P9 <sub>5</sub> ~ P9 <sub>0</sub> 、 PortB		2.0	-	$V_{CC} + 0.3$			
入力 Low レベル電圧	STBY、RES、 MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IL}$	- 0.3	-	0.5	V		
	NMI、EXTAL、 Port4、6、7、 D <sub>15</sub> ~ D <sub>8</sub> 、P8 <sub>3</sub> 、 P8 <sub>4</sub> 、P9 <sub>5</sub> ~ P9 <sub>0</sub> 、 PortB		- 0.3	-	0.8			
出力 High レベル電圧	全出力端子 (RESO 以外)	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200\mu A$	
			3.5	-	-		$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子 (RESO 以外)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$	
			A <sub>19</sub> ~ A <sub>0</sub>	-	-		1.0	$I_{OL} = 10mA$
			RESO	-	-		0.4	$I_{OL} = 2.6mA$
入力リーク 電流	STBY、RES、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$ I_{in} $	-	-	1.0	$\mu A$	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	Port7		-	-	1.0		$V_{in} = 0.5V \sim AV_{CC} - 0.5V$	
スリーステ ートリーク 電流	Port4、6、D <sub>15</sub> ~ D <sub>8</sub> 、A <sub>19</sub> ~ A <sub>0</sub> 、 Port8 ~ PortB	$ I_{TSL} $	-	-	1.0	$\mu A$	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	RESO		-	-	10.0		$V_{in} = 0V$	
入力 プリアップ MOS 電流	Port4	$-I_p$	50	-	300	$\mu A$	$V_{in} = 0V$	

項目		記号	min	typ	max	単位	測定条件
入力容量	NMI	$C_{in}$	-	-	50	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI 以外の全入力端子		-	-	15		
消費電流*2	通常動作時	$I_{CC}^{*3}$	-	45 (5.0V)	100	mA	$f = 20MHz$
	スリープ時		-	35 (5.0V)	73		$f = 20MHz$
	モジュールスタンバイ時		-	18 (5.0V)	51		$f = 20MHz$
	スタンバイ時		-	0.01	5.0	$\mu A$	$T_a = 50$
			-	-	20.0		50 $T_a$
アナログ電源電流	A/D 変換中	$AI_{CC}$	-	0.6	1.5	mA	
	A/D、D/A 変換中		-	0.6	1.5		
	A/D、D/A 変換待機中		-	0.01	5.0	$\mu A$	
リファレンス電源電流	A/D 変換中	$AI_{CC}$	-	0.5	0.8	mA	
	A/D、D/A 変換中		-	2.0	3.0		
	A/D、D/A 変換待機中		-	0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0	-	-	V	

- 【注】 \*1 A/D 変換器未使用時に  $AV_{CC}$ 、 $V_{REF}$ 、 $AV_{SS}$  端子を開放しないでください。  
 $AV_{CC}$ 、 $V_{REF}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。
- \*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。  
また、 $V_{RAM} < V_{CC} < 4.5V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。
- \*3  $I_{CC} \max.$  (通常動作時) =  $1.0 [mA] + 0.90 [mA / (MHz \times V)] \times V_{CC} \times f$   
 $I_{CC} \max.$  (スリープ時) =  $1.0 [mA] + 0.65 [mA / (MHz \times V)] \times V_{CC} \times f$   
 $I_{CC} \max.$  (スリープ + モジュールスタンバイ時)  
=  $1.0 [mA] + 0.45 [mA / (MHz \times V)] \times V_{CC} \times f$   
また、消費電流の typ. 値は参考値です。

## 20. 電気的特性

表 20.3 DC 特性 (2)

条件:  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{REF} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V^{*1}$ ,  
 $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	$P8_2 \sim P8_0$ , PortA	$V_T^-$	$V_{CC} \times 0.2$	-	-	V	
		$V_T^+$	-	-	$V_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	$V_{CC} \times 0.07$	-	-		
入力 High レベル電圧	STBY、RES、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IH}$	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$		
	Port7		$V_{CC} \times 0.7$	-	$AV_{CC} + 0.3$		
	Port4、6、D <sub>15</sub> ~ D <sub>8</sub> 、P8 <sub>3</sub> 、P8 <sub>4</sub> 、 P9 <sub>5</sub> ~ P9 <sub>0</sub> 、 PortB		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$		
入力 Low レベル電圧	STBY、RES、 MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IL}$	- 0.3	-	$V_{CC} \times 0.1$	V	
	NMI、EXTAL、 Port4、6、7、 D <sub>15</sub> ~ D <sub>8</sub>		- 0.3	-	$V_{CC} \times 0.2$		$V_{CC} < 4.0V$
	P8 <sub>3</sub> 、P8 <sub>4</sub> 、P9 <sub>5</sub> ~ P9 <sub>0</sub> 、PortB				0.8		$V_{CC} = 4.0 \sim 5.5V$
出力 High レベル電圧	全出力端子 (RESO 以外)	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$	-	-		$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RESO 以外)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$
		A <sub>19</sub> ~ A <sub>0</sub>			1.0		$I_{OL} = 5mA$ ( $V_{CC} < 4.0V$ ) $I_{OL} = 10mA$ ( $V_{CC} = 4.0 \sim 5.5V$ )
		RESO			0.4		$I_{OL} = 1.6mA$
入力リーク 電流	STBY、RES、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$ I_{in} $	-	-	1.0	$\mu A$	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
	Port7				1.0		$V_{in} = 0.5V \sim AV_{CC} - 0.5V$
スリーステ ートリーク 電流	Port4、6、D <sub>15</sub> ~ D <sub>8</sub> 、A <sub>19</sub> ~ A <sub>0</sub> 、 Port8 ~ PortB	$ I_{TSL} $	-	-	1.0	$\mu A$	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
	RESO				10.0		$V_{in} = 0V$
入力プリア ップ MOS 電流	Port4	$-I_p$	10	-	300	$\mu A$	$V_{in} = 0V$
入力容量	NMI	$C_{in}$	-	-	50	pF	$V_{in} = 0V$ , $f = 1MHz$ , $T_a = 25$
	NMI 以外の 全入力端子				15		

項目	記号	min	typ	max	単位	測定条件	
消費電流*2	通常動作時	$I_{CC}^{*3}$	-	15 (3.0V)	51	mA	f = 10MHz
	スリープ時		-	9 (3.0V)	37		f = 10MHz
	モジュールスタンバイ時		-	6 (3.0V)	26		f = 10MHz
	スタンバイ時		-	0.01	5.0	$\mu$ A	$T_a = 50$
		-	-	20.0	50 $T_a$		
アナログ電源電流	A/D 変換中	$AI_{CC}$	-	0.2	0.5	mA	$AV_{CC} = 3.0V$
			-	0.6	-		$AV_{CC} = 5.0V$
	A/D、D/A 変換中		-	0.2	0.5		$AV_{CC} = 3.0V$
			-	0.6	-	$AV_{CC} = 5.0V$	
	A/D、D/A 変換待機中	-	0.01	5.0	$\mu$ A	DASTE = "0"時	
リファレンス電源電流	A/D 変換中	$AI_{CC}$	-	0.3	0.5	mA	$V_{REF} = 3.0V$
			-	0.5	-		$V_{REF} = 5.0V$
	A/D、D/A 変換中		-	1.2	2.0		$V_{REF} = 3.0V$
			-	2.0	-	$V_{REF} = 5.0V$	
	A/D、D/A 変換待機中	-	0.01	5.0	$\mu$ A	DASTE = "0"時	
RAM スタンバイ電圧	$V_{RAM}$	2.0	-	-	V		

- 【注】 \*1 A/D 変換器未使用時に  $AV_{CC}$ 、 $V_{REF}$ 、 $AV_{SS}$  端子を開放しないでください。  
 $AV_{CC}$ 、 $V_{REF}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。
- \*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。  
また、 $V_{RAM} < V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。
- \*3  $I_{CC} \max.$  (通常動作時) =  $1.0 [mA] + 0.90 [mA / (MHz \times V)] \times V_{CC} \times f$   
 $I_{CC} \max.$  (スリープ時) =  $1.0 [mA] + 0.65 [mA / (MHz \times V)] \times V_{CC} \times f$   
 $I_{CC} \max.$  (スリープ + モジュールスタンバイ時)  
=  $1.0 [mA] + 0.45 [mA / (MHz \times V)] \times V_{CC} \times f$   
また、消費電流の typ. 値は参考値です。

## 20. 電気的特性

表 20.4 DC 特性 (3)

条件:  $V_{CC} = 3.0 \sim 5.5V$ ,  $AV_{CC} = 3.0 \sim 5.5V$ ,  $V_{REF} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V^{*1}$ ,  
 $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件		
シュミット トリガ入力 電圧	P8 <sub>2</sub> ~ P8 <sub>0</sub> , PortA	$V_T^-$	$V_{CC} \times 0.2$	-	-	V		
		$V_T^+$	-	-	$V_{CC} \times 0.7$			
		$V_T^+ - V_T^-$	$V_{CC} \times 0.07$	-	-			
入力 High レベル電圧	STBY、RES、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IH}$	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V		
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$			
	Port7		$V_{CC} \times 0.7$	-	$AV_{CC} + 0.3$			
	Port4、6、P8 <sub>3</sub> , P8 <sub>4</sub> , P9 <sub>5</sub> ~ P9 <sub>0</sub> , PortB、D <sub>15</sub> ~ D <sub>8</sub>		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$			
入力 Low レベル電圧	STBY、RES、 MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IL}$	- 0.3	-	$V_{CC} \times 0.1$	V		
	NMI、EXTAL、 Port4、6、7		- 0.3	-	$V_{CC} \times 0.2$		$V_{CC} < 4.0V$	
	P8 <sub>3</sub> , P8 <sub>4</sub> , P9 <sub>5</sub> ~ P9 <sub>0</sub> , PortB、 D <sub>15</sub> ~ D <sub>8</sub>		-	-	0.8		$V_{CC} = 4.0 \sim 5.5V$	
出力 High レベル電圧	全出力端子 (RESO 以外)	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200\mu A$	
			$V_{CC} - 1.0$	-	-		$I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子 (RESO 以外)	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$	
			A <sub>19</sub> ~ A <sub>0</sub>	-	-		1.0	$I_{OL} = 5mA (V_{CC} < 4.0V)$ $I_{OL} = 10mA$ ( $V_{CC} = 4.0 \sim 5.5V$ )
			RESO	-	-		0.4	$I_{OL} = 1.6mA$
入力リーク 電流	STBY、RES、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$ I_{in} $	-	-	1.0	$\mu A$	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	Port7		-	-	1.0		$V_{in} = 0.5V \sim AV_{CC} - 0.5V$	
スリーステ ートリーク 電流	Port4、6、D <sub>15</sub> ~ D <sub>8</sub> , A <sub>19</sub> ~ A <sub>0</sub> , Port8 ~ PortB	$ I_{TSL} $	-	-	1.0	$\mu A$	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	RESO		-	-	10.0		$V_{in} = 0V$	
入力プリア ップ MOS 電流	Port4	$-I_p$	10	-	300	$\mu A$	$V_{in} = 0V$	
入力容量	NMI	$C_{in}$	-	-	50	pF	$V_{in} = 0V$ , $f = 1MHz$ , $T_a = 25$	
	NMI 以外の 全入力端子		-	-	15			

項目	記号	min	typ	max	単位	測定条件	
消費電流*2	通常動作時	$I_{CC}$ *3	-	20 (3.5V)	66	mA	f = 13MHz
	スリープ時		-	15 (3.5V)	48		f = 13MHz
	モジュールスタンバイ時		-	9 (3.5V)	34		f = 13MHz
	スタンバイ時		-	0.01	5.0	$\mu$ A	$T_a$ 50
	-	-	20.0	50 $T_a$			
アナログ電源電流	A/D 変換中	$AI_{CC}$	-	0.2	0.5	mA	$AV_{CC} = 3.0V$
			-	0.6	-		$AV_{CC} = 5.0V$
	A/D、D/A 変換中		-	0.2	0.5	$\mu$ A	$AV_{CC} = 3.0V$
			-	0.6	-		$AV_{CC} = 5.0V$
A/D、D/A 変換待機中	-	0.01	5.0	$\mu$ A	DASTE = 0 時		
リファレンス電源電流	A/D 変換中	$AI_{CC}$	-	0.3	0.5	mA	$V_{REF} = 3.0V$
			-	0.5	-		$V_{REF} = 5.0V$
	A/D、D/A 変換中		-	1.2	2.0	$\mu$ A	$V_{REF} = 3.0V$
			-	2.0	-		$V_{REF} = 5.0V$
A/D、D/A 変換待機中	-	0.01	5.0	$\mu$ A	DASTE = 0 時		
RAM スタンバイ電圧	$V_{RAM}$	2.0	-	-	V		

- 【注】 \*1 A/D 変換器未使用時に  $AV_{CC}$ 、 $V_{REF}$ 、 $AV_{SS}$  端子を開放しないでください。  
 $AV_{CC}$ 、 $V_{REF}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。
- \*2 消費電流値は、 $V_{IH} \text{ min} = V_{CC} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。  
また、 $V_{RAM} < V_{CC} < 3.0V$  のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3V$  とした場合の値です。
- \*3  $I_{CC} \text{ max. (通常動作時)} = 1.0 \text{ [ mA ]} + 0.90 \text{ [ mA / ( MHz } \times V \text{ ) ]} \times V_{CC} \times f$   
 $I_{CC} \text{ max. (スリープ時)} = 1.0 \text{ [ mA ]} + 0.65 \text{ [ mA / ( MHz } \times V \text{ ) ]} \times V_{CC} \times f$   
 $I_{CC} \text{ max. (スリープ+モジュールスタンバイ時)}$   
 $= 1.0 \text{ [ mA ]} + 0.45 \text{ [ mA / ( MHz } \times V \text{ ) ]} \times V_{CC} \times f$   
また、消費電流の typ. 値は参考値です。

## 20. 電気的特性

表 20.5 出力許容電流値

条件 :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	$A_{19} \sim A_0$	$I_{OL}$	-	-	10	mA
	上記以外の出力端子		-	-	2.0	
出力 Low レベル許容電流 (総和)	$A_{19} \sim A_0$ 、20 端子の総和	$\Sigma I_{OL}$	-	-	80	mA
	上記を含む、全出力端子の総和		-	-	120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$ I_{OH} $	-	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$ \Sigma I_{OH} $	-	-	40	mA

- 【注】
- LSI の信頼性を確保するため、出力電流値は、表 20.5 の値を超えないようにしてください。
  - ダーリントントランジスタを直接駆動する場合には、図 20.1 に示すように、出力に必ず電流制限抵抗を挿入してください。

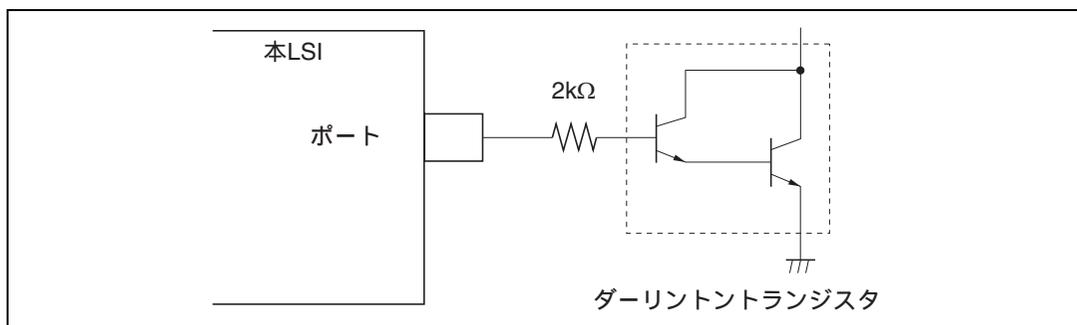


図 20.1 ダーリントントランジスタ駆動回路例

## 20.2.2 AC 特性

表 20.6 にクロックタイミング、表 20.7 に制御信号タイミング、表 20.8 にバスタイミングを示します。

また、表 20.9 に内蔵周辺モジュールタイミングを示します。

表 20.6 クロックタイミング

全条件 :  $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 10MHz$

条件 B :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 13MHz$

条件 C :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 20MHz$

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	1000	76.9	1000	50	1000	ns	図 20.3
クロックパルス幅 (Low)	$t_{CL}$	30	-	20	-	15	-	ns	
クロックパルス幅 (High)	$t_{CH}$	30	-	20	-	15	-	ns	
クロック立ち上がり時間	$t_{Cr}$	-	20	-	15	-	10	ns	
クロック立ち下がり時間	$t_{Cf}$	-	20	-	15	-	10	ns	
リセット発振安定時間	$t_{OSC1}$	20	-	20	-	20	-	ms	図 20.4
ソフトウェアスタンバイ発振安定時間	$t_{OSC2}$	7	-	7	-	7	-	ms	図 19.1

表 20.7 制御信号タイミング

全条件 :  $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 10MHz$

条件 B :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 13MHz$

条件 C :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 20MHz$

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
RES セットアップ時間	$t_{RESS}$	200	-	200	-	150	-	ns	図 20.5
RES パルス幅	$t_{RESW}$	10	-	10	-	10	-	$t_{cyc}$	
モードプログラミング セットアップ時間	$t_{MDS}$	200	-	200	-	200	-	ns	
RESO 出力遅延時間	$t_{RESO}$	-	100	-	100	-	50	ns	図 20.6
RESO 出力パルス幅	$t_{RESOW}$	132	-	132	-	132	-	$t_{cyc}$	
NMI、 $\overline{IRQ}$ セットアップ 時間	$t_{NMIS}$	200	-	200	-	150	-	ns	図 20.7
NMI、 $\overline{IRQ}$ ホールド時間	$t_{NMIH}$	10	-	10	-	10	-	ns	
NMI、 $\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイ モードからの復帰時)	$t_{NMIV}$	200	-	200	-	200	-	ns	

## 20. 電気的特性

表 20.8 バスタイミング

全条件 :  $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 10MHz$

条件 B :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 13MHz$

条件 C :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 20MHz$

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
アドレス遅延時間	$t_{AD}$	-	50	-	40	-	25	ns	図 20.8、 図 20.9、 図 20.11、 図 20.12
アドレスホールド時間	$t_{AH}$	$0.5t_{cyc} - 45$	-	$0.5t_{cyc} - 35$	-	$0.5t_{cyc} - 20$	-	ns	
リードストロープ遅延時間	$t_{RSD}$	-	60	-	50	-	25	ns	
アドレスストロープ遅延時間	$t_{ASD}$	-	60	-	50	-	25	ns	
ライトストロープ遅延時間	$t_{WSD}$	-	60	-	50	-	25	ns	
ストロープ遅延時間	$t_{SD}$	-	60	-	50	-	25	ns	
ライトストロープパルス幅 1	$t_{WSW1}$	$1.0t_{cyc} - 50$	-	$1.0t_{cyc} - 40$	-	$1.0t_{cyc} - 25$	-	ns	
ライトストロープパルス幅 2	$t_{WSW2}$	$1.5t_{cyc} - 50$	-	$1.5t_{cyc} - 40$	-	$1.5t_{cyc} - 25$	-	ns	
アドレスセットアップ時間 1	$t_{AS1}$	$0.5t_{cyc} - 45$	-	$0.5t_{cyc} - 35$	-	$0.5t_{cyc} - 20$	-	ns	
アドレスセットアップ時間 2	$t_{AS2}$	$1.0t_{cyc} - 45$	-	$1.0t_{cyc} - 35$	-	$1.0t_{cyc} - 20$	-	ns	
リードデータセットアップ時間	$t_{RDS}$	50	-	40	-	25	-	ns	
リードデータホールド時間	$t_{RDH}$	0	-	0	-	0	-	ns	
ライトデータ遅延時間	$t_{WDD}$	-	60	-	50	-	35	ns	
ライトデータセットアップ時間 1	$t_{WDS1}$	$1.0t_{cyc} - 50$	-	$1.0t_{cyc} - 40$	-	$1.0t_{cyc} - 30$	-	ns	
ライトデータセットアップ時間 2	$t_{WDS2}$	$2.0t_{cyc} - 50$	-	$2.0t_{cyc} - 40$	-	$2.0t_{cyc} - 30$	-	ns	
ライトデータホールド時間	$t_{WDH}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 15$	-	ns	
リードデータアクセス時間 1	$t_{ACC1}$	-	$2.0t_{cyc} - 100$	-	$2.0t_{cyc} - 80$	-	$2.0t_{cyc} - 45$	ns	
リードデータアクセス時間 2	$t_{ACC2}$	-	$3.0t_{cyc} - 100$	-	$3.0t_{cyc} - 80$	-	$3.0t_{cyc} - 45$	ns	
リードデータアクセス時間 3	$t_{ACC3}$	-	$1.5t_{cyc} - 100$	-	$1.5t_{cyc} - 80$	-	$1.5t_{cyc} - 45$	ns	
リードデータアクセス時間 4	$t_{ACC4}$	-	$2.5t_{cyc} - 100$	-	$2.5t_{cyc} - 80$	-	$2.5t_{cyc} - 45$	ns	
プリチャージ時間 1	$t_{PCH1}$	$1.0t_{cyc} - 40$	-	$1.0t_{cyc} - 30$	-	$1.0t_{cyc} - 20$	-	ns	
プリチャージ時間 2	$t_{PCH2}$	$0.5t_{cyc} - 40$	-	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 20$	-	ns	

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
ウェイトセットアップ時間	$t_{WTS}$	40	-	40	-	25	-	ns	図 20.10
ウェイトホールド時間	$t_{WTH}$	5	-	5	-	5	-	ns	
バスリクエストセットアップ時間	$t_{BRQS}$	40	-	40	-	25	-	ns	図 20.13
バスアクノリッジ遅延時間 1	$t_{BACD1}$	-	60	-	50	-	30	ns	
バスアクノリッジ遅延時間 2	$t_{BACD2}$	-	60	-	50	-	30	ns	
バスフローティング時間	$t_{BZD}$	-	60	-	50	-	30	ns	図 20.14、 図 20.15、 図 20.16
RAS プリチャージ時間	$t_{RP}$	$1.5t_{cyc} - 50$	-	$1.5t_{cyc} - 40$	-	$1.5t_{cyc} - 25$	-	ns	
CAS プリチャージ時間	$t_{CP}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 15$	-	ns	
ロウアドレスホールド時間	$t_{RAH}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 15$	-	ns	
RAS 遅延時間 1	$t_{RAD1}$	-	60	-	50	-	25	ns	
RAS 遅延時間 2	$t_{RAD2}$	-	60	-	50	-	30	ns	
CAS 遅延時間 1	$t_{CASD1}$	-	60	-	50	-	25	ns	
CAS 遅延時間 2	$t_{CASD2}$	-	60	-	50	-	25	ns	
WE 遅延時間	$t_{WCD}$	-	60	-	50	-	25	ns	
CAS パルス幅 1	$t_{CAS1}$	$1.5t_{cyc} - 50$	-	$1.5t_{cyc} - 40$	-	$1.5t_{cyc} - 20$	-	ns	
CAS パルス幅 2	$t_{CAS2}$	$1.0t_{cyc} - 50$	-	$1.0t_{cyc} - 40$	-	$1.0t_{cyc} - 20$	-	ns	
CAS パルス幅 3	$t_{CAS3}$	$1.0t_{cyc} - 50$	-	$1.0t_{cyc} - 40$	-	$1.0t_{cyc} - 20$	-	ns	
RAS アクセス時間	$t_{RAC}$	-	$2.5t_{cyc} - 80$	-	$2.5t_{cyc} - 70$	-	$2.5t_{cyc} - 40$	ns	
アドレスアクセス時間	$t_{AA}$	-	$2.0t_{cyc} - 100$	-	$2.0t_{cyc} - 80$	-	$2.0t_{cyc} - 50$	ns	
CAS アクセス時間	$t_{CAC}$	-	$1.5t_{cyc} - 100$	-	$1.5t_{cyc} - 80$	-	$1.5t_{cyc} - 50$	ns	
WE セットアップ時間	$t_{WCS}$	$0.5t_{cyc} - 45$	-	$0.5t_{cyc} - 35$	-	$0.5t_{cyc} - 20$	-	ns	
WE ホールド時間	$t_{WCH}$	$0.5t_{cyc} - 40$	-	$0.5t_{cyc} - 28$	-	$0.5t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間	$t_{WDS}$	$0.5t_{cyc} - 45$	-	$0.5t_{cyc} - 35$	-	$0.5t_{cyc} - 20$	-	ns	
WE ライトデータホールド時間	$t_{WDH}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 15$	-	ns	
CAS セットアップ時間 1	$t_{CSR1}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 20$	-	ns	
CAS セットアップ時間 2	$t_{CSR2}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 15$	-	ns	
CAS ホールド時間	$t_{CHR}$	$0.5t_{cyc} - 30$	-	$0.5t_{cyc} - 25$	-	$0.5t_{cyc} - 15$	-	ns	
RAS パルス幅	$t_{RAS}$	$1.5t_{cyc} - 30$	-	$1.5t_{cyc} - 25$	-	$1.5t_{cyc} - 15$	-	ns	

20. 電気的特性

表 20.9 内蔵周辺モジュールタイミング

全条件:  $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

条件 A:  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 10MHz$

条件 B:  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 13MHz$

条件 C:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 1 \sim 20MHz$

Module	項目	記号	条件 A		条件 B		条件 C		単位	測定条件	
			min	max	min	max	min	max			
Port/TPC	出力データ遅延時間	$t_{PWD}$	-	100	-	100	-	50	ns	図 20.17	
	入力データセットアップ時間	$t_{PRS}$	50	-	50	-	50	-	ns		
	入力データホールド時間	$t_{PRH}$	50	-	50	-	50	-	ns		
16 ビット タイマ	タイマ出力遅延時間	$t_{TOCD}$	-	100	-	100	-	50	ns	図 20.18	
	タイマ入力セットアップ時間	$t_{TICS}$	50	-	50	-	50	-	ns		
	タイマクロック入力セットアップ時間	$t_{TCKS}$	50	-	50	-	50	-	ns	図 20.19	
	タイマクロック パルス幅	単エッジ	$t_{TCKWH}$	1.5	-	1.5	-	1.5	-		$t_{cyc}$
		両エッジ	$t_{TCKWL}$	2.5	-	2.5	-	2.5	-		$t_{cyc}$
8 ビット タイマ	タイマ出力遅延時間	$t_{TOCD}$	-	100	-	100	-	50	ns	図 20.18	
	タイマ入力セットアップ時間	$t_{TICS}$	50	-	50	-	50	-	ns		
	タイマクロック入力セットアップ時間	$t_{TCKS}$	50	-	50	-	50	-	ns	図 20.19	
	タイマクロック パルス幅	単エッジ	$t_{TCKWH}$	1.5	-	1.5	-	1.5	-		$t_{cyc}$
		両エッジ	$t_{TCKWL}$	2.5	-	2.5	-	2.5	-		$t_{cyc}$
SCI	入力クロックサイクル	調歩同期	$t_{Syc}$	4	-	4	-	4	-	$t_{cyc}$	図 20.20
		クロック同期		6	-	6	-	6	-		
	入力クロック立ち上がり時間	$t_{SCKr}$	1.5	-	1.5	-	1.5	-	$t_{cyc}$		
	入力クロック立ち下がり時間	$t_{SCKf}$	1.5	-	1.5	-	1.5	-	$t_{cyc}$		
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{Syc}$		
	送信データ遅延時間	$t_{TXD}$	-	100	-	100	-	100	ns	図 20.21	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	100	-	100	-	100	-	ns		
	受信データホールド 時間 (クロック同期)	クロック入力	$t_{RXH}$	100	-	100	-	100	-		ns
		クロック出力		0	-	0	-	0	-		
	DMAC	TEND 遅延時間 1	$t_{TED1}$	-	100	-	100	-	50	ns	図 20.22
TEND 遅延時間 2		$t_{TED2}$	-	100	-	100	-	50	ns	図 20.23	
DREQ セットアップ時間		$t_{DRGS}$	40	-	40	-	25	-	ns	図 20.24	
DREQ ホールド時間		$t_{DRGH}$	10	-	10	-	10	-	ns		

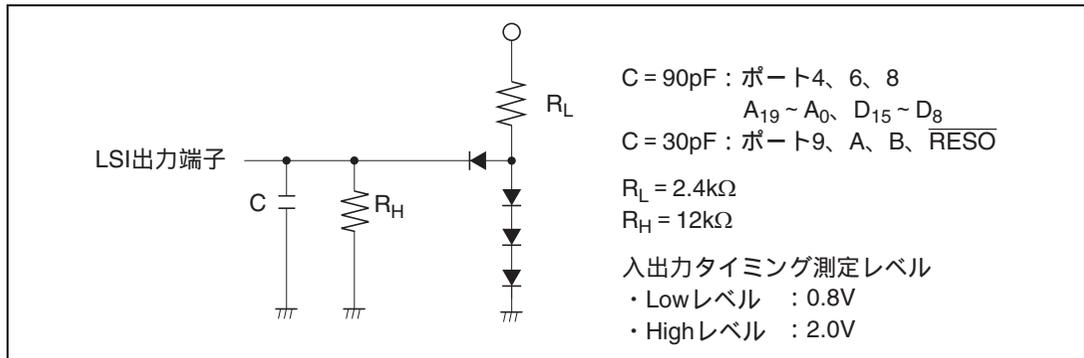


図 20.2 出力負荷回路

## 20. 電気的特性

### 20.2.3 A/D 変換特性

A/D 変換特性を表 20.10 に示します。

表 20.10 A/D 変換特性

全条件 :  $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 10MHz$

条件 B :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 13MHz$

条件 C :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

項目		条件 A			条件 B			条件 C			単位	
		min	typ	max	min	typ	max	min	typ	max		
変換時間 : 134 ステート	分解能	10	10	10	10	10	10	10	10	10	bit	
	変換時間 (単一モード)	-	-	134	-	-	134	-	-	134	$t_{sync}$	
	アナログ入力容量	-	-	20	-	-	20	-	-	20	pF	
	許容信号源 インピーダンス	$\phi$ 13MHz	-	-	-	-	-	-	-	-	10	k $\Omega$
		$\phi > 13MHz$	-	-	-	-	-	-	-	-	5	
		4.0V $AV_{CC} = 5.5V$	-	-	10	-	-	10	-	-	-	
	2.7V $AV_{CC} < 4.0V$	-	-	5	-	-	5	-	-	-		
	非直線性誤差	-	-	$\pm 7.5$	-	-	$\pm 7.5$	-	-	$\pm 3.5$	LSB	
	オフセット誤差	-	-	$\pm 7.5$	-	-	$\pm 7.5$	-	-	$\pm 3.5$	LSB	
	フルスケール誤差	-	-	$\pm 7.5$	-	-	$\pm 7.5$	-	-	$\pm 3.5$	LSB	
量子化誤差	-	-	$\pm 0.5$	-	-	$\pm 0.5$	-	-	$\pm 0.5$	LSB		
絶対精度	-	-	$\pm 8.0$	-	-	$\pm 8.0$	-	-	$\pm 4.0$	LSB		
変換時間 : 70 ステート	分解能	10	10	10	10	10	10	10	10	10	bit	
	変換時間 (単一モード)	-	-	70	-	-	70	-	-	70	$t_{sync}$	
	アナログ入力容量	-	-	20	-	-	20	-	-	20	pF	
	許容信号 インピーダンス	$\phi$ 13MHz	-	-	-	-	-	-	-	-	5	k $\Omega$
		$\phi > 13MHz$	-	-	-	-	-	-	-	-	3	
		4.0V $AV_{CC} = 5.5V$	-	-	5	-	-	5	-	-	-	
	2.7V $AV_{CC} < 4.0V$	-	-	3	-	-	3	-	-	-		
	非直線性誤差	-	-	$\pm 15.5$	-	-	$\pm 15.5$	-	-	$\pm 7.5$	LSB	
	オフセット誤差	-	-	$\pm 15.5$	-	-	$\pm 15.5$	-	-	$\pm 7.5$	LSB	
	フルスケール誤差	-	-	$\pm 15.5$	-	-	$\pm 15.5$	-	-	$\pm 7.5$	LSB	
量子化誤差	-	-	$\pm 0.5$	-	-	$\pm 0.5$	-	-	$\pm 0.5$	LSB		
絶対精度	-	-	$\pm 16$	-	-	$\pm 16$	-	-	$\pm 8.0$	LSB		

## 20.2.4 D/A 変換特性

D/A 変換特性を表 20.11 に示します。

表 20.11 D/A 変換特性

全条件 :  $T_a = -20 \sim +75$  (一般仕様)、 $T_a = -40 \sim +85$  (広温度範囲仕様)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{REF} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 10MHz$

条件 B :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{REF} = 3.0 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 13MHz$

条件 C :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{REF} = 4.5 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{max} = 20MHz$

項目	条件 A			条件 B			条件 C			単位	測定条件
	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	bit	
変換時間 (セトリング時間)	-	-	10	-	-	10	-	-	10	$\mu s$	負荷容量 20pF
絶対精度	-	$\pm 2.0$	$\pm 3.0$	-	$\pm 2.0$	$\pm 3.0$	-	$\pm 1.5$	$\pm 2.0$	LSB	負荷抵抗 2M $\Omega$
	-	-	$\pm 2.0$	-	-	$\pm 2.0$	-	-	$\pm 1.5$		負荷抵抗 4M $\Omega$

## 20.3 動作タイミング

動作タイミングを以下に示します。

### 20.3.1 クロックタイミング

クロックタイミングを以下に示します。

- (1) システムクロックタイミング  
図20.3にシステムクロックタイミングを示します。
- (2) 発振安定時間タイミング  
図20.4に発振安定時間タイミングを示します。

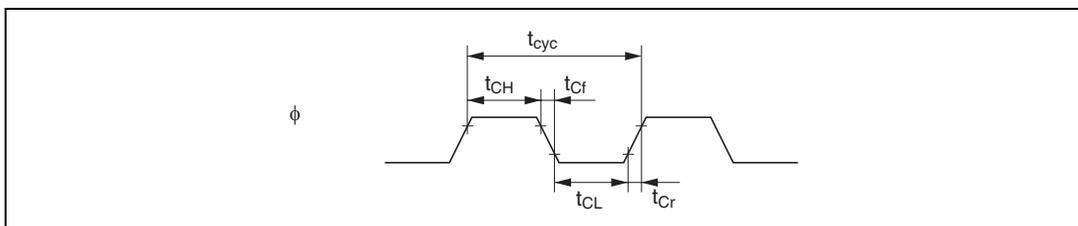


図 20.3 システムクロックタイミング

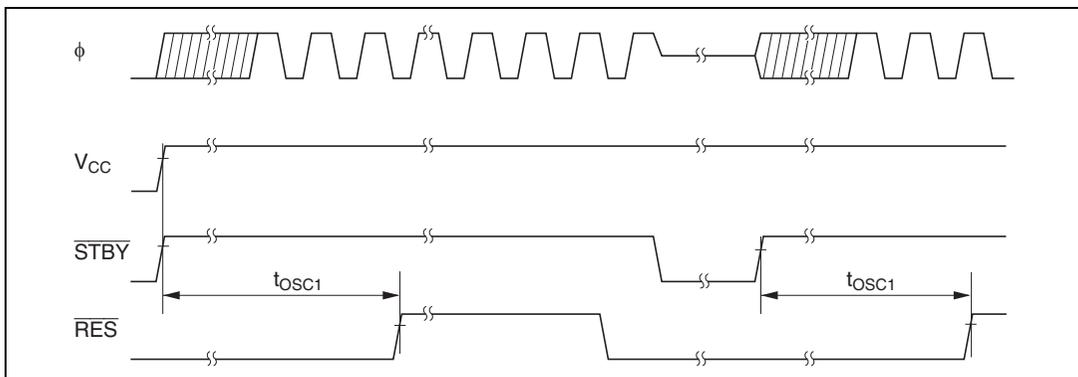


図 20.4 発振安定時間タイミング

### 20.3.2 制御信号タイミング

制御信号タイミングを以下に示します。

- (1) リセット入力タイミング  
図20.5にリセット入力タイミングを示します。
- (2) リセット出力タイミング  
図20.6にリセット出力タイミングを示します。
- (3) 割り込み入力タイミング  
図20.7にNMI、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 割り込み入力タイミングを示します。

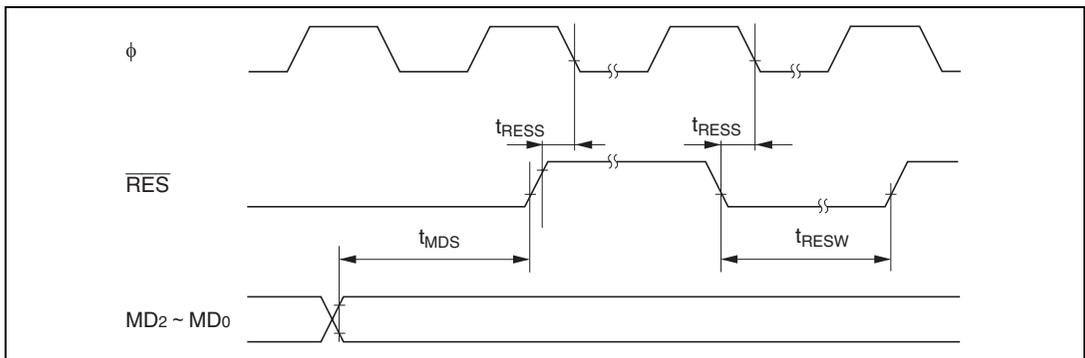


図 20.5 リセット入力タイミング

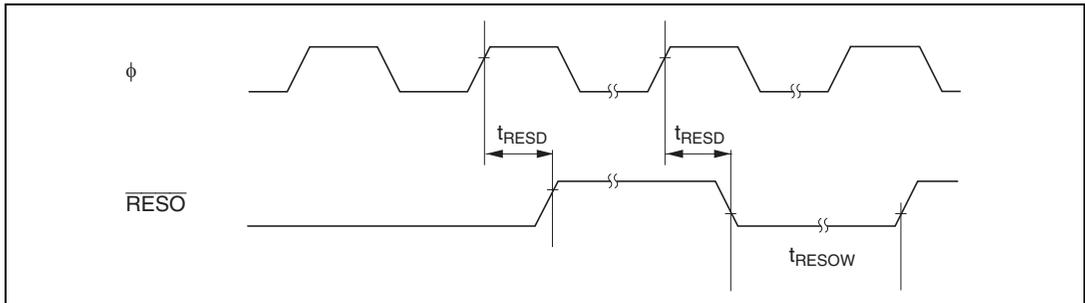


図 20.6 リセット出力タイミング

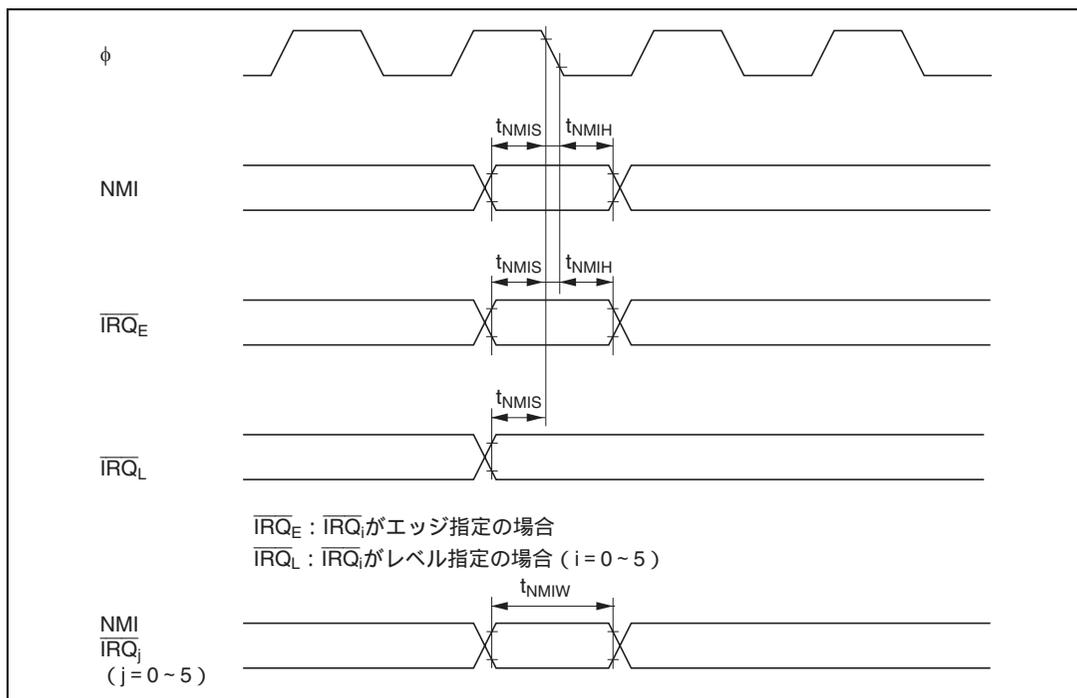


図 20.7 割り込み入力タイミング

### 20.3.3 バスタイミング

バスタイミングを以下に示します。

- (1) 基本バスタイミング / 2ステートアクセス  
図20.8に外部2ステートアクセス時の動作タイミングを示します。
- (2) 基本バスタイミング / 3ステートアクセス  
図20.9に外部3ステートアクセス時の動作タイミングを示します。
- (3) 基本バスタイミング / 3ステートアクセス1ウェイト  
図20.10に外部3ステートアクセスで1ウェイトを挿入したときの動作タイミングを示します。
- (4) パーストROMアクセスタイミング / パーストサイクル2ステート  
図20.11にパーストサイクル2ステート時の動作タイミングを示します。
- (5) パーストROMアクセスタイミング / パーストサイクル3ステート  
図20.12にパーストサイクル3ステート時の動作タイミングを示します。
- (6) バスリリースモードタイミング  
図20.13にバスリリースモードタイミングを示します。

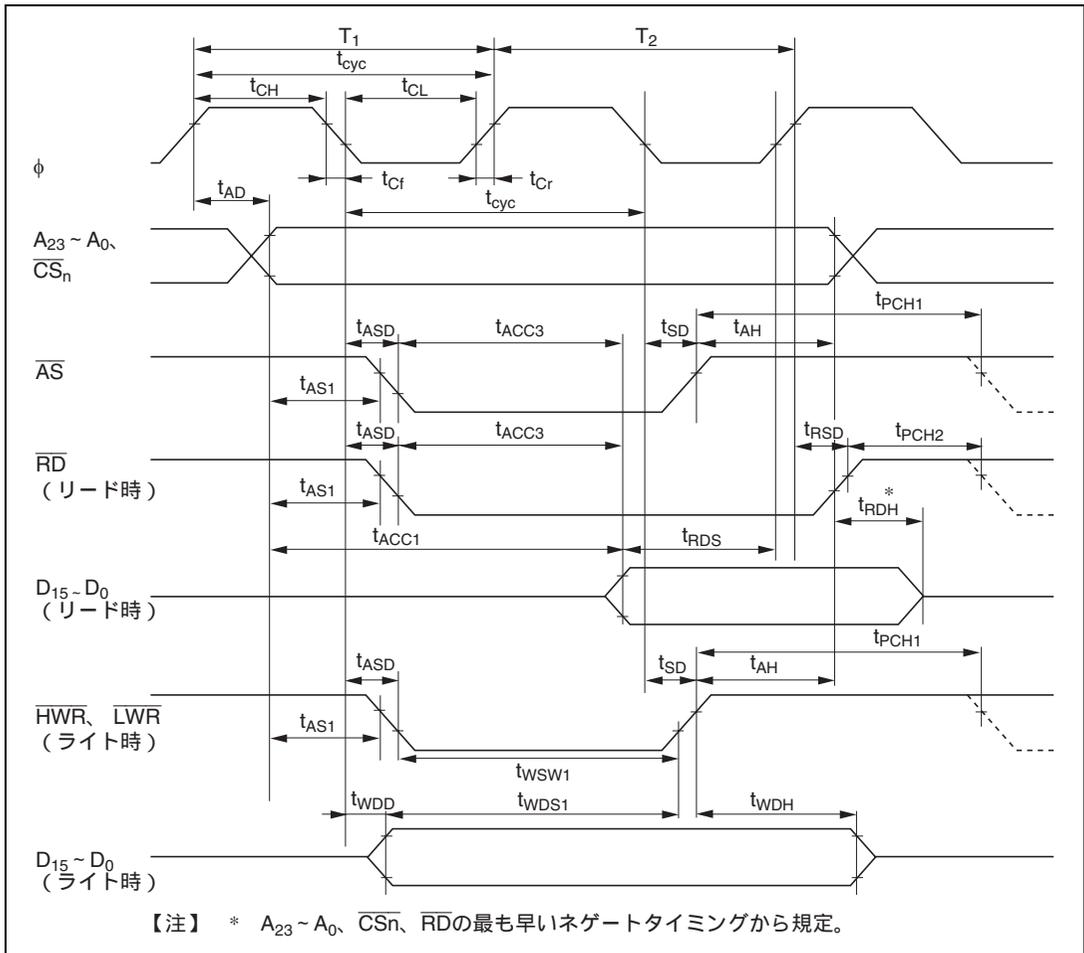


図 20.8 基本バスタイミング / 2 ステートアクセス

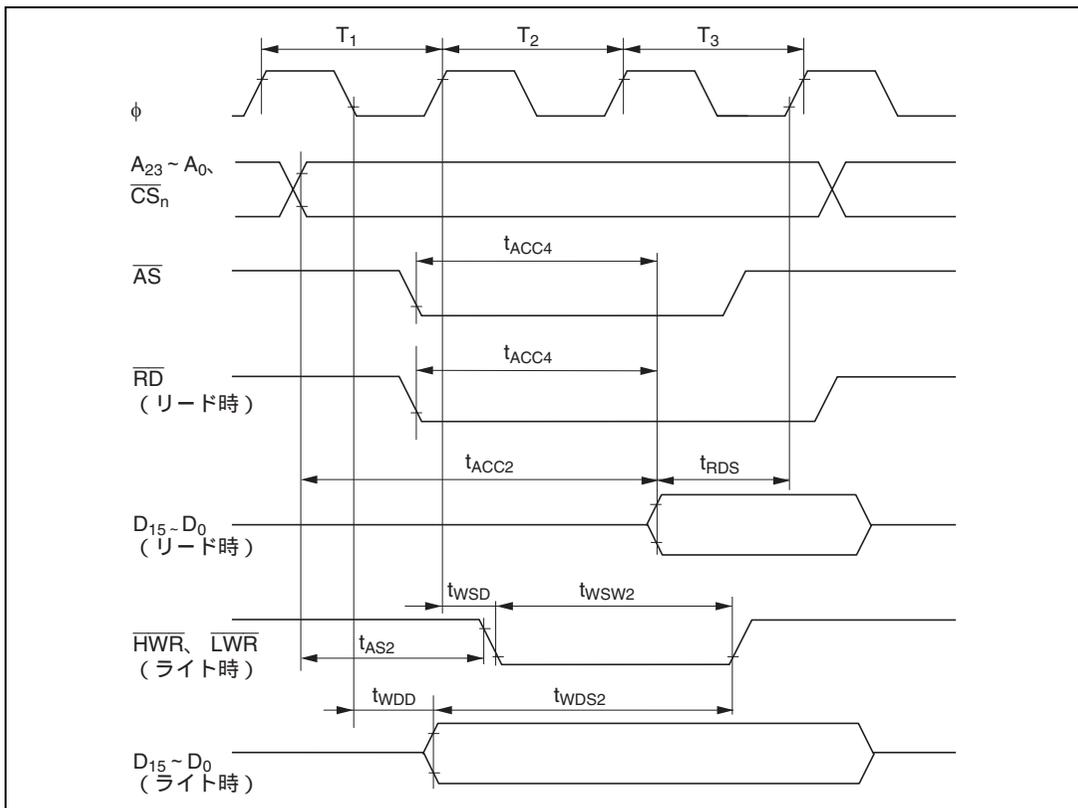


図 20.9 基本バスタイミング / 3 ステートアクセス

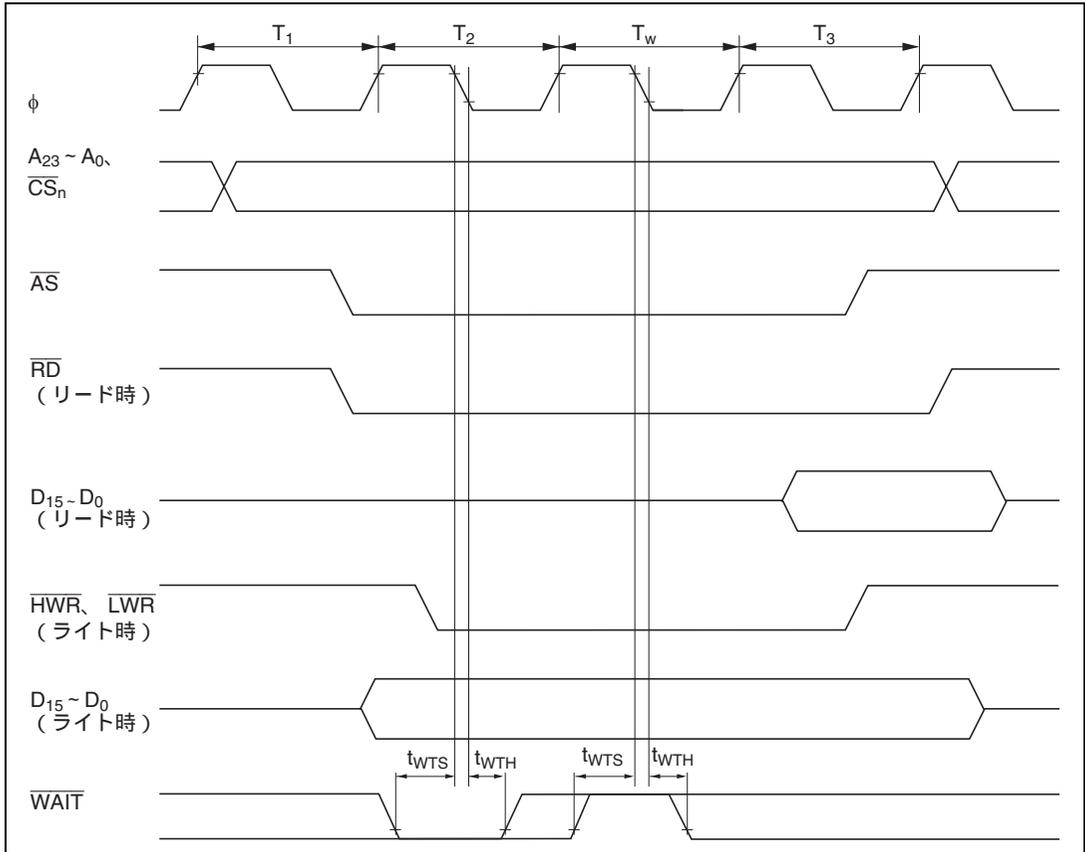


図 20.10 基本バスタイミング / 3 ステートアクセス 1 ウェイト

20. 電気的特性

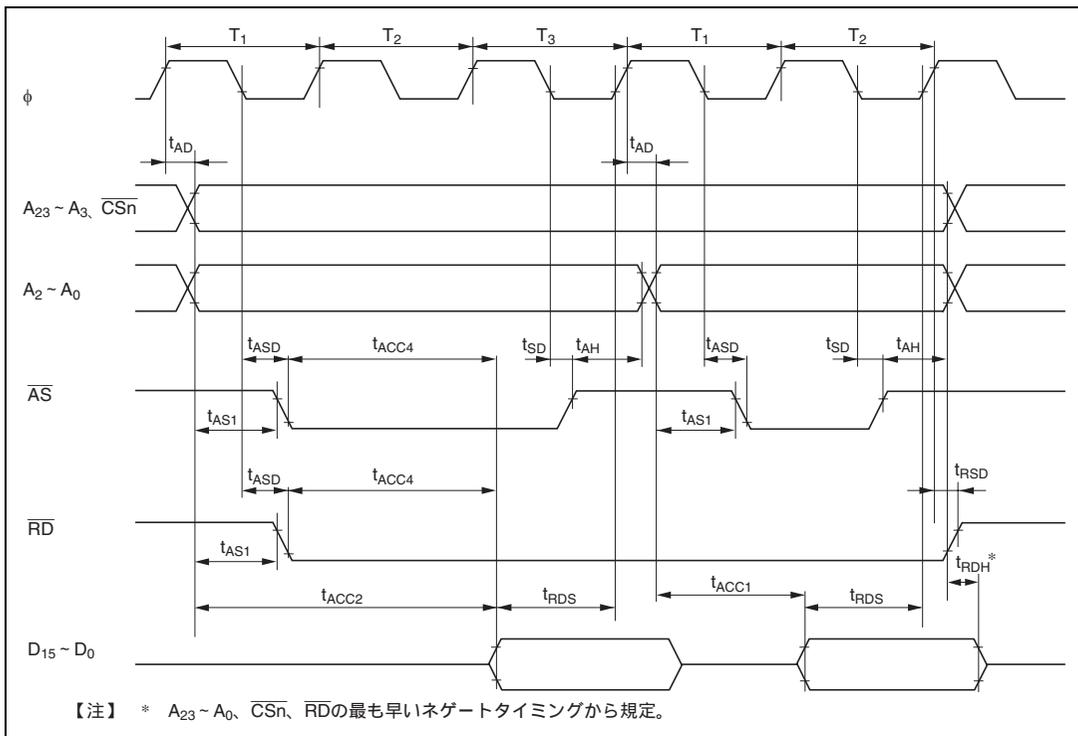


図 20.11 バースト ROM アクセスタイミング (バーストサイクル2 ステート)

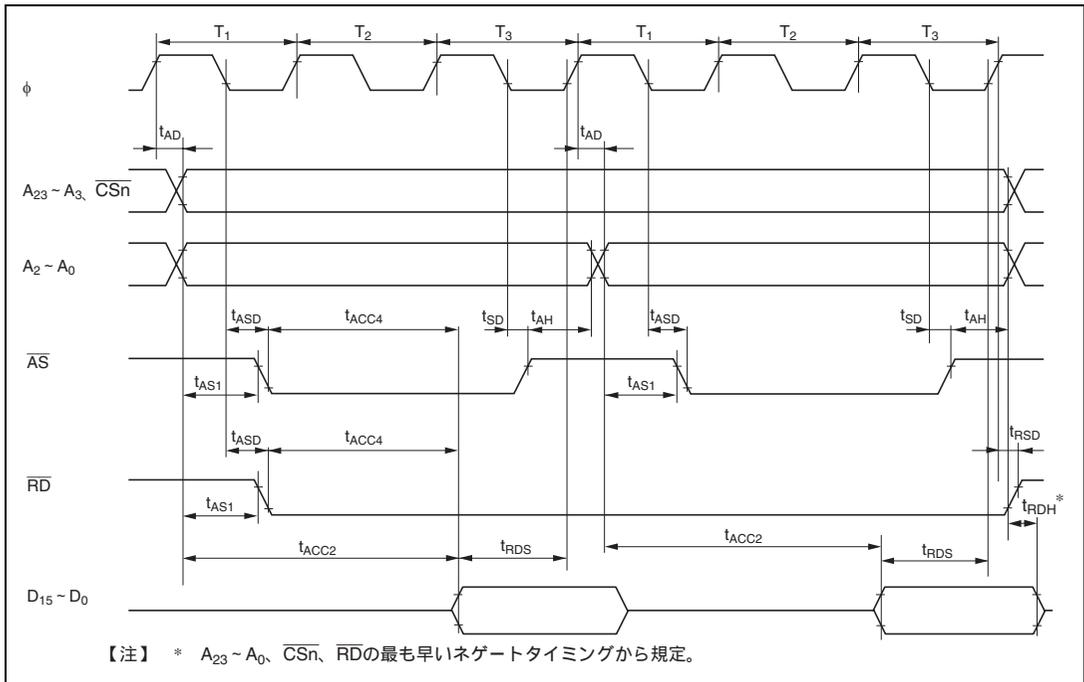


図 20.12 バースト ROM アクセスタイミング (バーストサイクル3 ステート)

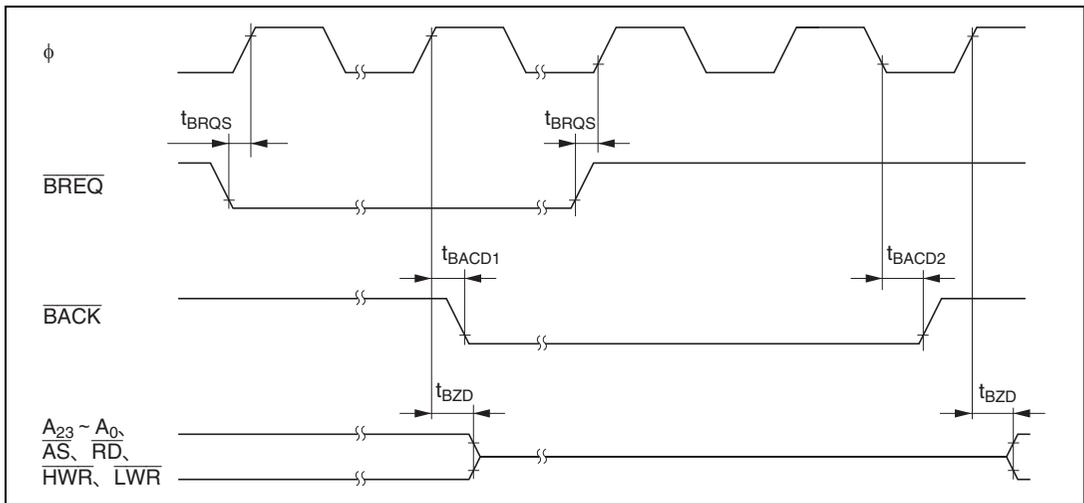


図 20.13 バスリリースモードタイミング

### 20.3.4 DRAM インタフェースバスタイミング

DRAM インタフェースバスタイミングを示します。

- (1) DRAMバスタイミング/リード/ライト時  
図20.14にリード/ライト時のタイミングを示します。
- (2) DRAMバスタイミング/CASビフォアRASリフレッシュ  
図20.15にCASビフォアRASリフレッシュ時のタイミングを示します。
- (3) DRAMバスタイミング/セルフリフレッシュ  
図20.16にセルフリフレッシュ時のタイミングを示します。

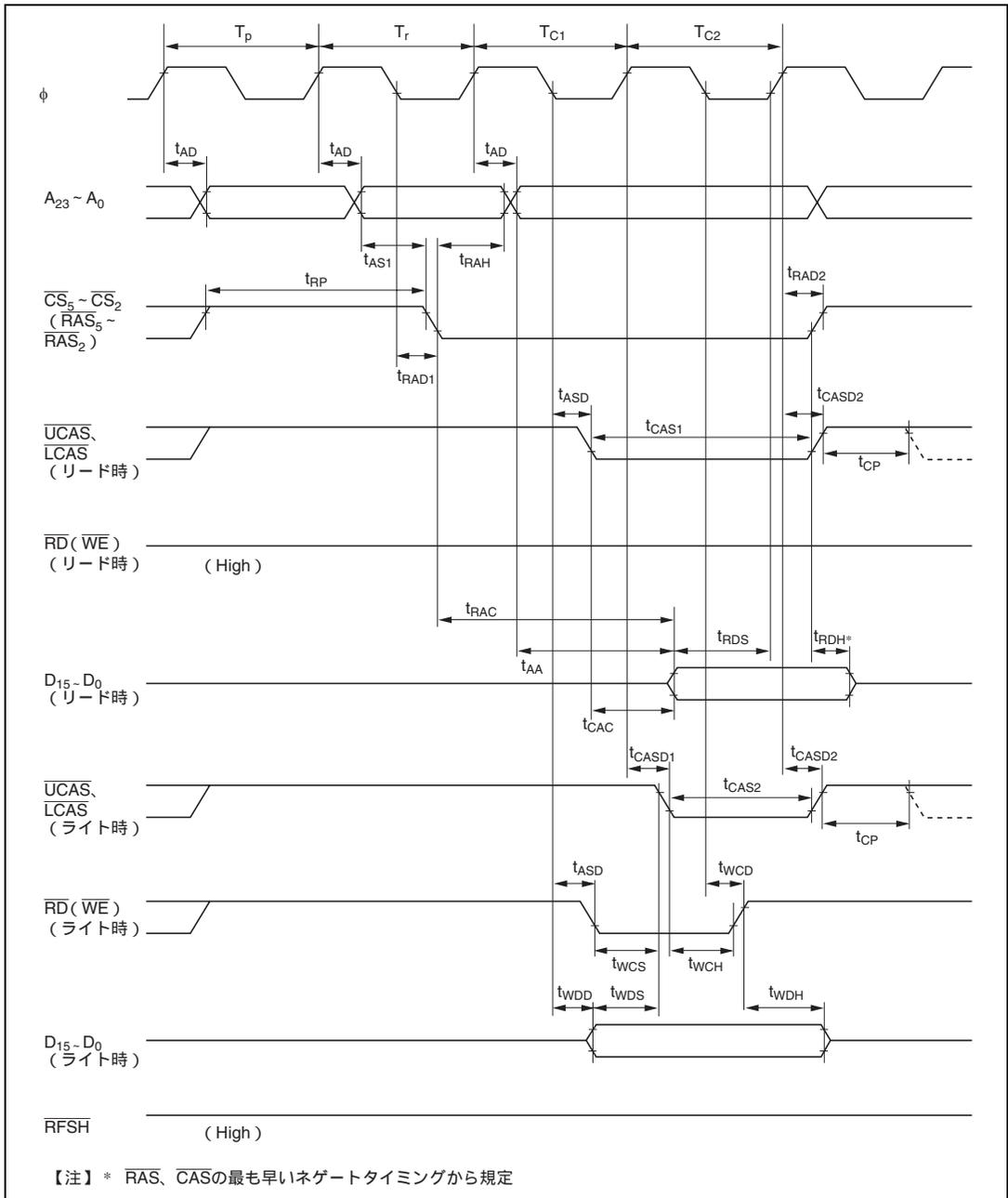


図 20.14 DRAM バスタイミング (リード/ライト時)

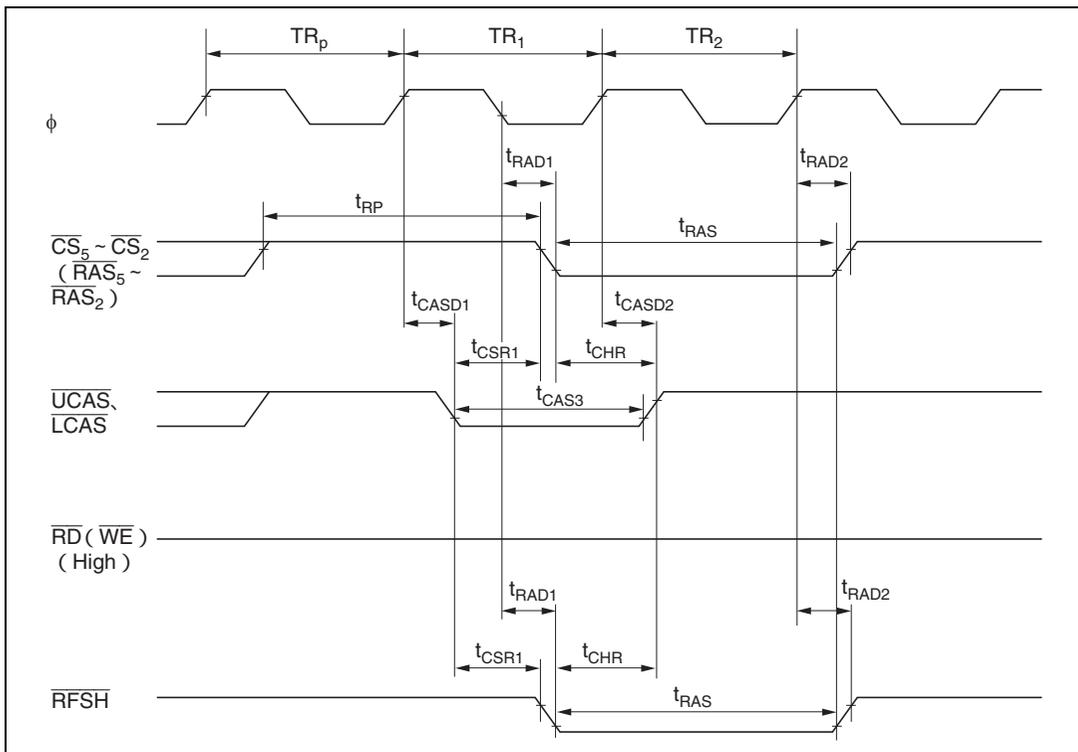


図 20.15 DRAM バスタイミング (CAS ビフォア RAS リフレッシュ)

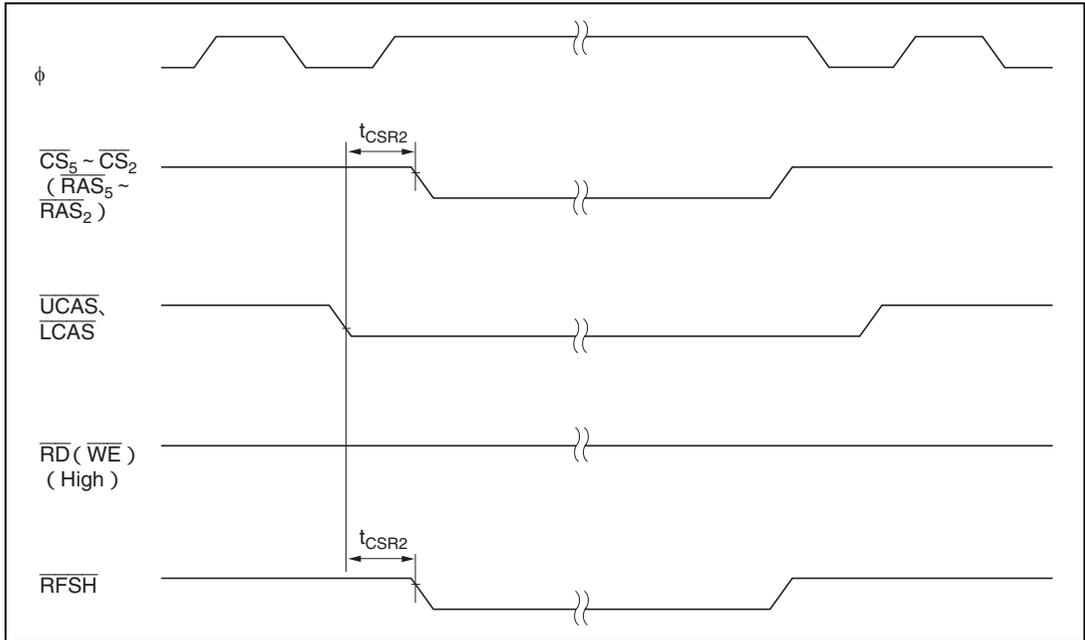


図 20.16 DRAM バスタイミング (セルフリフレッシュ)

### 20.3.5 TPC、I/Oポートタイミング

図 20.17 に TPC、I/Oポートの入出力タイミングを示します。

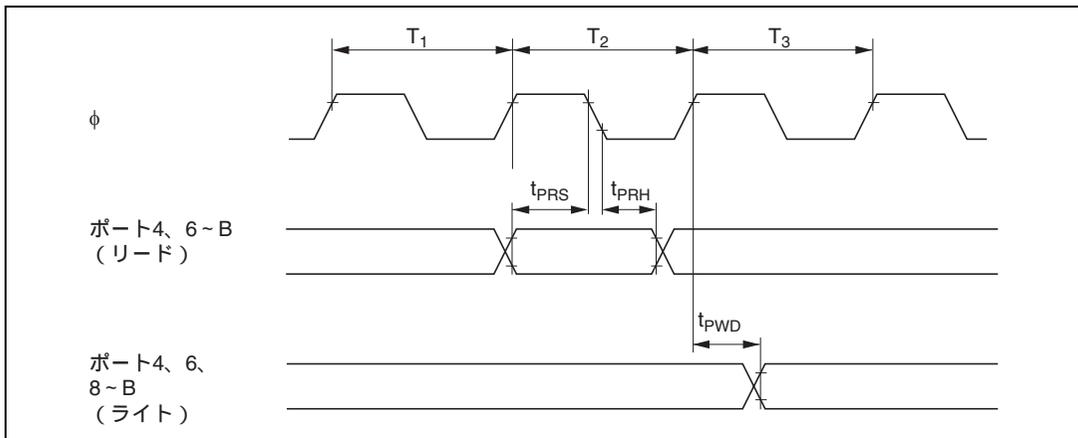


図 20.17 TPC、I/Oポート入出力タイミング

### 20.3.6 タイマ入出力タイミング

16ビットタイマ、8ビットタイマの各タイミングを以下に示します。

(1) タイマ入出力タイミング

図20.18にタイマ入出力タイミングを示します。

(2) タイマ外部クロック入力タイミング

図20.19にタイマ外部クロック入力タイミングを示します。

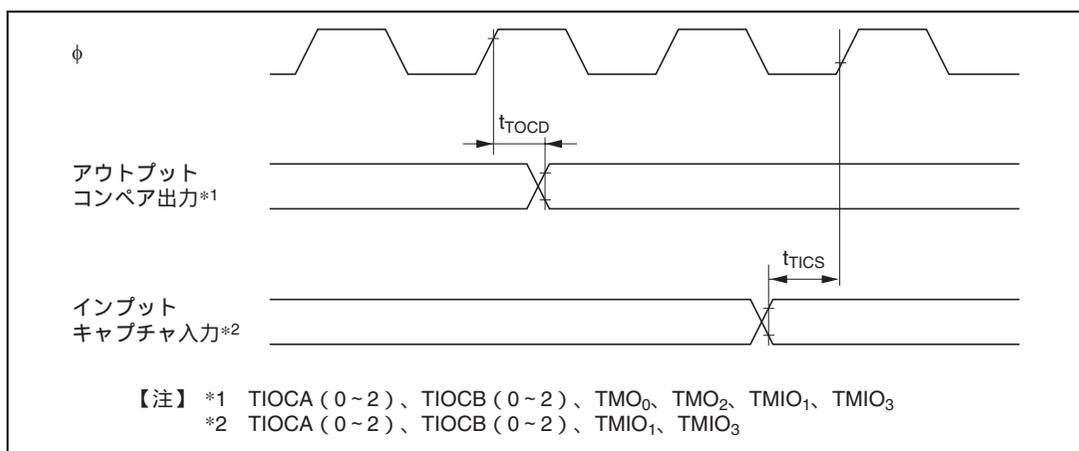


図 20.18 タイマ入出力タイミング

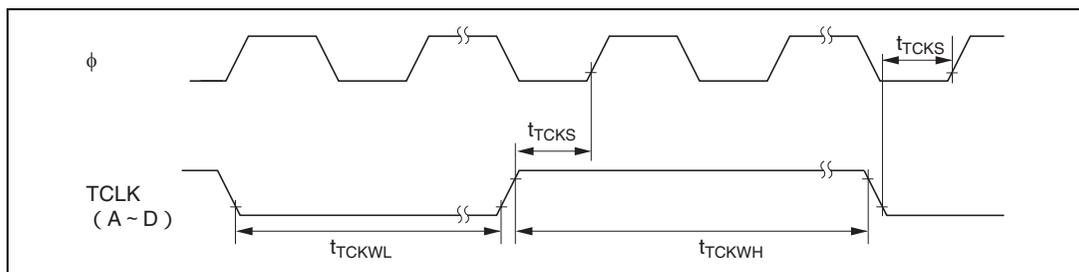


図 20.19 タイマ外部クロック入力タイミング

### 20.3.7 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

- (1) SCI 入力クロックタイミング  
 図20.20にSCI入力クロックタイミングを示します。
- (2) SCI 入出力タイミング (クロック同期式モード)  
 図20.21にクロック同期式モード時のSCI入出力タイミングを示します。

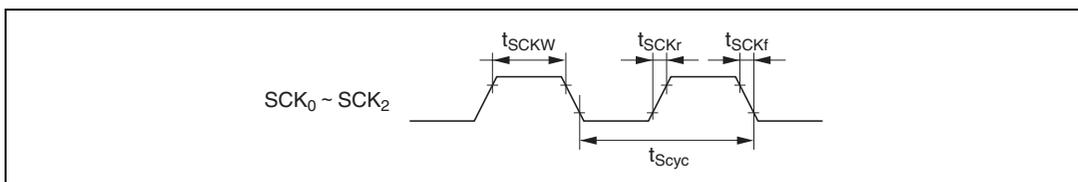


図 20.20 SCI 入力クロックタイミング

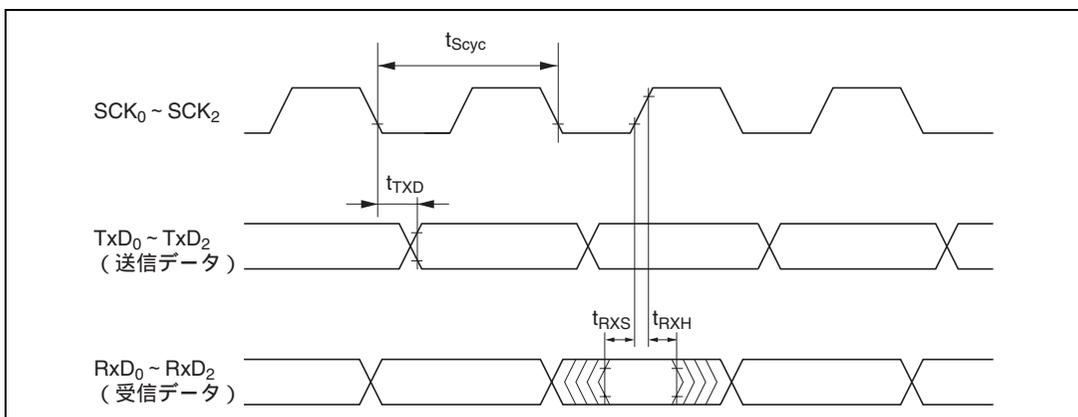


図 20.21 クロック同期式モード時の SCI 入出力タイミング

### 20.3.8 DMAC タイミング

DMAC の各タイミングを以下に示します。

- (1) DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセス  
DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 2 ステートアクセスを図20.22に示します。
- (2) DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセス  
DMAC、 $\overline{\text{TEND}}$ 出力タイミング / 3 ステートアクセスを図20.23に示します。
- (3) DMAC、 $\overline{\text{DREQ}}$ 入力タイミング  
DMAC、 $\overline{\text{DREQ}}$ 入力タイミングを図20.24に示します。

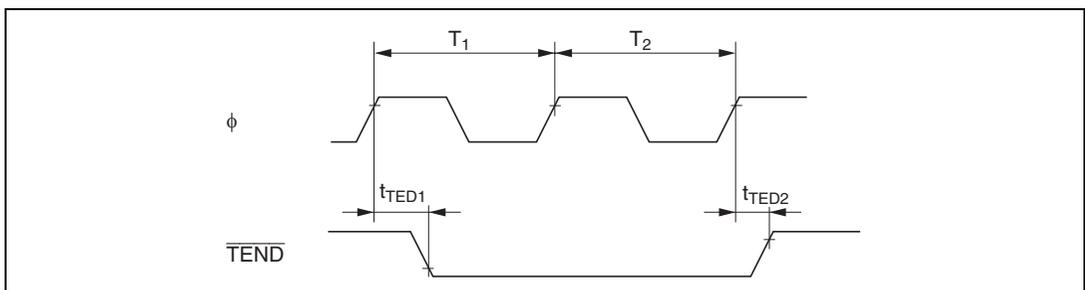


図 20.22 DMAC、 $\overline{\text{TEND}}$  出力タイミング / 2 ステートアクセス

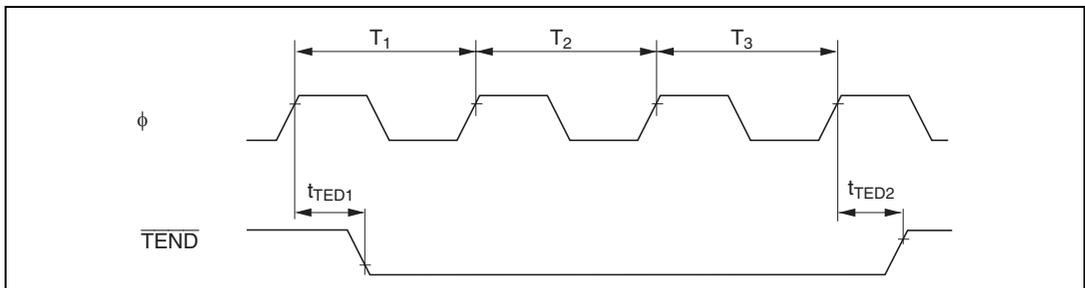


図 20.23 DMAC、 $\overline{\text{TEND}}$  出力タイミング / 3 ステートアクセス

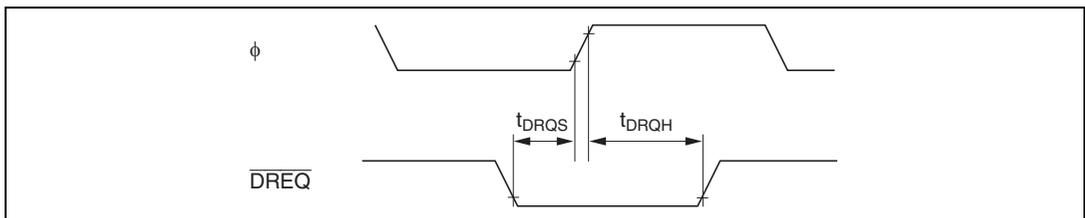


図 20.24 DMAC、 $\overline{\text{DREQ}}$  入力タイミング



---

# 付録

---

## A. 命令

### A.1 命令一覧

#### 《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレースメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
x	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
( ) < >	オペランドの内容

【注】 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L) または 16 ビット (R0~R7、E0~E7) です。

## 《コンディションコードの記号》

記号	内容
↓	実行結果に従って変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。



二ーモニク	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンデションコード						実行スト数 <sup>*1</sup>					
		#xx	Rn	@ERn	@(d, ERn)		@ERn+	@aa	@(d, PC)	@aa	I	H		N	Z	V	C	J
MOV																		
MOV.W Rs, @ERd	W		2															
MOV.W Rs, @(d:16, ERd)	W				4													
MOV.W Rs, @(d:24, ERd)	W				8													
MOV.W Rs, @-ERd	W					2												
MOV.W Rs, @aa:16	W						4											
MOV.W Rs, @aa:24	W						6											
MOV.L #xx:32, Rd	L	6																
MOV.L ERs, ERd	L		2															
MOV.L @ERs, ERd	L			4														
MOV.L @(d:16, ERs), ERd	L				6													
MOV.L @(d:24, ERs), ERd	L				10													
MOV.L @ERS+, ERd	L					4												
MOV.L @aa:16, ERd	L						6											
MOV.L @aa:24, ERd	L						8											
MOV.L ERs, @ERd	L			4														
MOV.L ERs, @(d:16, ERd)	L				6													
MOV.L ERs, @(d:24, ERd)	L				10													
MOV.L ERs, @-ERd	L					4												
MOV.L ERs, @aa:16	L						6											
MOV.L ERs, @aa:24	L						8											
POP.W Rn	W																	
POP.L ERh	L																	
PUSH.W Rn	W																	
PUSH.L ERh	L																	
MOVFP	B																	
MOVFP	B						4											
MOVTP	B						4											

本LSIでは使用できません

(2) 算術演算命令

二一モニツク	サイ		アドレッシングモード / 命令長 (バイト)						オペレーション				コンディションコード				実行回+数 <sup>1)</sup>								
	サイズ	#xx	Rn	@ERn	@(d, ERn)	@-ERn	@ERn+	@aa	@(d, PC)	@aa	オペレーション				I	H	N	Z	V	C	フ	ル	ハ	ル	ズ
ADD	B	2									Rd8-#xx:8→Rd8	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2
	B	2									Rd8+Rs8→Rd8	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2
	W	4									Rd16-#xx:16→Rd16	{1}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	4
	W	2									Rd16+Rs16→Rd16	{1}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2
	L	6									ERd32-#xx:32→ERd32	{2}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	6
	L	2									ERd32+ERs32→ERd32	{2}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2
ADDX	B	2									Rd8-#xx:8+C→Rd8	↑	↑	{3}	↑	↑	↑	↑	↑	↑	↑	↑	↑	2	
	B	2									Rd8+Rs8+C→Rd8	↑	↑	{3}	↑	↑	↑	↑	↑	↑	↑	↑	↑	2	
ADDS	L	2									ERd32+1→ERd32													2	
	L	2									ERd32+2→ERd32													2	
	L	2									ERd32+4→ERd32													2	
INC	B	2									Rd8+1→Rd8													2	
	W	2									Rd16+1→Rd16													2	
	W	2									Rd16+2→Rd16													2	
	L	2									ERd32+1→ERd32													2	
DAA	B	2									ERd32+2→ERd32													2	
	B	2									Rd8 10進補正→Rd8	*	↑	↑	↑	*								2	
SUB	B	2									Rd8-Rs8→Rd8	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2
	W	4									Rd16-#xx:16→Rd16	{1}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	4
	W	2									Rd16-Rs16→Rd16	{1}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2	
	L	6									ERd32-#xx:32→ERd32	{2}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	6
	L	2									ERd32-ERs32→ERd32	{2}	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	↑	2
SUBX	B	2									Rd8-#xx:8-C→Rd8	↑	↑	{3}	↑	↑	↑	↑	↑	↑	↑	↑	↑	2	
	B	2									Rd8-Rs8-C→Rd8	↑	↑	{3}	↑	↑	↑	↑	↑	↑	↑	↑	↑	2	





(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード				実行フォーマット				
		#xx	Rn	@ERn @ (d, ERn)	@-ERn @ERn+		@aa	@ (d, PC)	@@aa	I		H	N	Z	V
AND	AND.B #xx:8, Rd	B	2									↑	↑	0	2
	AND.B Rs, Rd	B	2									↑	↑	0	2
	AND.W #xx:16, Rd	W	4									↑	↑	0	4
	AND.W Rs, Rd	W	2									↑	↑	0	2
	AND.L #xx:32, ERd	L	6									↑	↑	0	6
	AND.L ERs, ERd	L	4									↑	↑	0	4
OR	OR.B #xx:8, Rd	B	2									↑	↑	0	2
	OR.B Rs, Rd	B	2									↑	↑	0	2
	OR.W #xx:16, Rd	W	4									↑	↑	0	4
	OR.W Rs, Rd	W	2									↑	↑	0	2
	OR.L #xx:32, ERd	L	6									↑	↑	0	6
	OR.L ERs, ERd	L	4									↑	↑	0	4
XOR	XOR.B #xx:8, Rd	B	2									↑	↑	0	2
	XOR.B Rs, Rd	B	2									↑	↑	0	2
	XOR.W #xx:16, Rd	W	4									↑	↑	0	4
	XOR.W Rs, Rd	W	2									↑	↑	0	2
	XOR.L #xx:32, ERd	L	6									↑	↑	0	6
	XOR.L ERs, ERd	L	4									↑	↑	0	4
NOT	NOT.B Rd	B	2									↑	↑	0	2
	NOT.W Rd	W	2									↑	↑	0	2
	NOT.L ERd	L	2									↑	↑	0	2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)			オペレーション	コンディションコード							実行回数 17ビット				
		#xx	Rn @ERn	@(d, ERn) @-ERn/@ERn+ @aa @aa @(d, PC)		@@aa	I	H	N	Z	V	C					
SHAL	SHAL.B Rd	B	2														
	SHAL.W Rd	W	2														
	SHAL.L ERd	L	2														
SHAR	SHAR.B Rd	B	2														
	SHAR.W Rd	W	2														
	SHAR.L ERd	L	2														
SHLL	SHLL.B Rd	B	2														
	SHLL.W Rd	W	2														
	SHLL.L ERd	L	2														
SHLR	SHLR.B Rd	B	2														
	SHLR.W Rd	W	2														
	SHLR.L ERd	L	2														
ROTXL	ROTXL.B Rd	B	2														
	ROTXL.W Rd	W	2														
	ROTXL.L ERd	L	2														
ROTXR	ROTXR.B Rd	B	2														
	ROTXR.W Rd	W	2														
	ROTXR.L ERd	L	2														
ROTL	ROTL.B Rd	B	2														
	ROTL.W Rd	W	2														
	ROTL.L ERd	L	2														
ROTR	ROTR.B Rd	B	2														
	ROTR.W Rd	W	2														
	ROTR.L ERd	L	2														



メモリー	アドレス	アドレッシングモード / 命令長 (バイト)			オペレーション	コンディションコード						実行回数 <sup>*1</sup>		
		Rn	ERn	(d, ERn) @ERn		(d, PC) @ERn	I	H	N	Z	V		C	
BST	BST #xx:3, Rd	B	2											2
	BST #xx:3, @ERd	B	4											8
	BST #xx:3, @aa:8	B		4										8
BIST	BIST #xx:3, Rd	B	2											2
	BIST #xx:3, @ERd	B	4											8
	BIST #xx:3, @aa:8	B		4										8
BAND	BAND #xx:3, Rd	B	2											2
	BAND #xx:3, @ERd	B	4											6
	BAND #xx:3, @aa:8	B		4										6
BIAND	BIAND #xx:3, Rd	B	2											2
	BIAND #xx:3, @ERd	B	4											6
	BIAND #xx:3, @aa:8	B		4										6
BOR	BOR #xx:3, Rd	B	2											2
	BOR #xx:3, @ERd	B	4											6
	BOR #xx:3, @aa:8	B		4										6
BIOR	BIOR #xx:3, Rd	B	2											2
	BIOR #xx:3, @ERd	B	4											6
	BIOR #xx:3, @aa:8	B		4										6
BXOR	BXOR #xx:3, Rd	B	2											2
	BXOR #xx:3, @ERd	B	4											6
	BXOR #xx:3, @aa:8	B		4										6
BIXOR	BIXOR #xx:3, Rd	B	2											2
	BIXOR #xx:3, @ERd	B	4											6
	BIXOR #xx:3, @aa:8	B		4										6



ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション		コンディションコード					実行バイト数 <sup>*1</sup>			
		#xx	Rn @ERn	@(d,ERn)	@-ERn/@ERn+			@aa	@(d,PC)	@@aa	I	H		N	Z	V
Bcc	BGE d:8															4
	BGE d:16															6
	BLT d:8															4
	BLT d:16															6
	BGT d:8															4
	BGT d:16															6
JMP	BLE d:8															4
	BLE d:16															6
	JMP @ERn	2														4
	JMP @aa:24					4										6
	JMP @ @aa:8							2								10
	BSR d:8							2								8
JSR	BSR d:16							4								10
	JSR @ERn	2														8
RTS	JSR @aa:24					4										10
	JSR @ @aa:8							2								12
	RTS							2								10



(8) データ転送命令

二乗ニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行回数 <sup>*1</sup>	
		#xx	Rn @ERn	@(d, ERn) @-ERn/ERn+	@aa @aa @aa @aa		I	H	N	Z	V	C	実行回数 <sup>*2</sup>		
EEPMOV.B						4	if R4L 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;								8+4n <sup>*2</sup>
EEPMOV.W						4	if R4 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4L=0 else next;								8+4n <sup>*2</sup>

【注】 \*1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステータス数」を参照してください。

\*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外るとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外るとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外るとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外るとき演算前の値を保持します。
- (5) Eクロック同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外るとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外るとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外るとき0にクリアされます。



## A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)	
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	SUB	表A.2(2)	表A.2(2)	CMP	CMP	SUBX	表A.2(2)
2	MOV. B															
3	MOV. B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BNQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)	JMP	JMP	BSR	BSR	JSR	JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	BST	MOV						
7	BOR		BIXOR		BIAND		BLD		MOV		EEP		表A.2(3)			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

命令コード：  

第1バイト		第2バイト	
AH	AL	BH	BL

BH/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP				表A.2(3)	表A.2(3)		表A.2(3)
0A	INC												ADD			
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA															
10	SHLL								SHAL			SHAL				
11	SHLR								SHAR			SHAR				
12	ROTXL								ROTL			ROTL				
13	ROTXR								ROTR			ROTR				
17	NOT								NEG			NEG				EXTS
1A	DEC															
1B	SUBS							DEC	SUBS					DEC		DEC
1F	DAS															
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

命令コード:	第1バイト		第2バイト		第3バイト		第4バイト																			
	AH	AL	BH	BL	CH	CL	DH	DL	9	8	7	6	5	4	3	2	1	0	A	B	C	D	E	F		
AHALHBLHCL									LDC	LDC	STC	LDC	LDC	STC	LDC	LDC	STC	LDC	LDC	STC	LDC	LDC	STC	LDC	LDC	STC
01406	DHの最上位ビットが0の場合を示します。 DHの最上位ビットが1の場合を示します。																									
01C05	MULXS				MULXS																					
01D05			DIVIXS				DIVXS																			
01F06									OR		XOR		AND													
7C06 <sup>*1</sup>							BTST																			
7C07 <sup>*1</sup>							BTST		BOR		BXOR		BAND		BLD											
7D06 <sup>*1</sup>	BSET		BNOT		BCLR				BIOI		BIXOR		BIAND		BILD											
7D07 <sup>*1</sup>	BSET		BNOT		BCLR				BIOI		BIXOR		BIAND		BILD											
7Eaa6 <sup>*2</sup>							BTST																			
7Eaa7 <sup>*2</sup>							BTST		BOR		BXOR		BAND		BLD											
7Faa6 <sup>*2</sup>	BSET		BNOT		BCLR				BIOI		BIXOR		BIAND		BILD											
7Faa7 <sup>*2</sup>	BSET		BNOT		BCLR				BIOI		BIXOR		BIAND		BILD											

【注】\*1 rはレジスタ指定部

\*2 aaは絶対アドレス指定部

### A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 におおののサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

#### 実行ステート数計算例

(例) アドバンストモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合

- BSET #0, @FFFFC7:8  
表A.4より  
 $I=L=2, J=K=M=N=0$   
表A.3より  
 $S_I=4, S_L=3$   
実行ステート数 =  $2 \times 4 + 2 \times 3 = 14$
- JSR @@30  
表A.4より  
 $I=J=K=2, L=M=N=0$   
表A.3より  
 $S_I=S_J=S_K=4$   
実行ステート数 =  $2 \times 4 + 2 \times 4 + 2 \times 4 = 24$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	ア ク セ ス 対 象						
	内 蔵 メモリ	内蔵周辺モジュール		外部デバイス			
		8 ビット バス	16 ビット バス	2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ $S_I$	2	6	3	4	6+2m	2	3+m
分岐アドレスリード $S_J$							
スタック操作 $S_K$							
バイトデータアクセス $S_L$		3		2	3+m		
ワードデータアクセス $S_M$		6		4	6+2m		
内部動作 $S_N$				1			

#### 【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態 (サイクル数)

命令	ニーモニック		命令フェ	分岐	スタック	バイト	ワード	内部動作
			ッチ	アドレス	操作	データ	データ	
			I	J	K	L	M	N
ADD	ADD.B	#xx:8, Rd	1					
	ADD.B	Rs, Rd	1					
	ADD.W	#xx:16, Rd	2					
	ADD.W	Rs, Rd	1					
	ADD.L	#xx:32, ERd	3					
	ADD.L	ERs, ERd	1					
ADDS	ADDS	#1/2/4, ERd	1					
ADDX	ADDX	#xx:8, Rd	1					
	ADDX	Rs, Rd	1					
AND	AND.B	#xx:8, Rd	1					
	AND.B	Rs, Rd	1					
	AND.W	#xx:16, Rd	2					
	AND.W	Rs, Rd	1					
	AND.L	#xx:32, ERd	3					
	AND.L	ERs, ERd	2					
ANDC	ANDC	#xx:8, CCR	1					
BAND	BAND	#xx:3, Rd	1					
	BAND	#xx:3, @ERd	2			1		
	BAND	#xx:3, @aa:8	2			1		
Bcc	BRA	d:8 (BT d:8)	2					
	BRN	d:8 (BF d:8)	2					
	BHI	d:8	2					
	BLS	d:8	2					
	BCC	d:8 (BHS d:8)	2					
	BCS	d:8 (BLO d:8)	2					
	BNE	d:8	2					
	BEQ	d:8	2					
	BVC	d:8	2					
	BVS	d:8	2					
	BPL	d:8	2					
	BMI	d:8	2					
	BGE	d:8	2					
	BLT	d:8	2					
	BGT	d:8	2					
	BLE	d:8	2					
	BRA	d:16 (BT d:16)	2					2
	BRN	d:16 (BF d:16)	2					2
	BHI	d:16	2					2
	BLS	d:16	2					2
	BCC	d:16 (BHS d:16)	2					2
	BCS	d:16 (BLO d:16)	2					2
	BNE	d:16	2					2

命令	ニーモニック		命令フェ	分岐	スタック	バイト	ワード	内部動作
			ッチ	アドレス	操作	データ	データ	
			I	J	K	L	M	N
Bcc	BEQ	d:16	2					2
	BVC	d:16	2					2
	BVS	d:16	2					2
	BPL	d:16	2					2
	BMI	d:16	2					2
	BGE	d:16	2					2
	BLT	d:16	2					2
	BGT	d:16	2					2
	BLE	d:16	2					2
BCLR	BCLR	#xx:3, Rd	1					
	BCLR	#xx:3, @ERd	2			2		
	BCLR	#xx:3, @aa:8	2			2		
	BCLR	Rn, Rd	1					
	BCLR	Rn, @ERd	2			2		
	BCLR	Rn, @aa:8	2			2		
BIAND	BIAND	#xx:3, Rd	1					
	BIAND	#xx:3, @ERd	2			1		
	BIAND	#xx:3, @aa:8	2			1		
BILD	BILD	#xx:3, Rd	1					
	BILD	#xx:3, @ERd	2			1		
	BILD	#xx:3, @aa:8	2			1		
BIOR	BIOR	#xx:8, Rd	1					
	BIOR	#xx:8, @ERd	2			1		
	BIOR	#xx:8, @aa:8	2			1		
BIST	BIST	#xx:3, Rd	1					
	BIST	#xx:3, @ERd	2			2		
	BIST	#xx:3, @aa:8	2			2		
BIXOR	BIXOR	#xx:3, Rd	1					
	BIXOR	#xx:3, @ERd	2			1		
	BIXOR	#xx:3, @aa:8	2			1		
BLD	BLD	#xx:3, Rd	1					
	BLD	#xx:3, @ERd	2			1		
	BLD	#xx:3, @aa:8	2			1		
BNOT	BNOT	#xx:3, Rd	1					
	BNOT	#xx:3, @ERd	2			2		
	BNOT	#xx:3, @aa:8	2			2		
	BNOT	Rn, Rd	1					
	BNOT	Rn, @ERd	2			2		
	BNOT	Rn, @aa:8	2			2		
BOR	BOR	#xx:3, Rd	1					
	BOR	#xx:3, @ERd	2			1		
	BOR	#xx:3, @aa:8	2			1		

付録

命令	ニーモニック		命令フェ	分岐	スタック	バイト	ワード	内部動作
			ッチ	アドレス	操作	データ	データ	
			I	J	K	L	M	N
BSET	BSET	#xx:3, Rd	1					
	BSET	#xx:3, @ERd	2			2		
	BSET	#xx:3, @aa:8	2			2		
	BSET	Rn, Rd	1					
	BSET	Rn, @ERd	2			2		
	BSET	Rn, @aa:8	2			2		
BSR	BSR	d:8	ノーマル* <sup>1</sup>	2		1		
		アドバンスト	2		2			
	BSR	d:16	ノーマル* <sup>1</sup>	2		1		2
		アドバンスト	2		2			2
BST	BST	#xx:3, Rd	1					
	BST	#xx:3, @ERd	2			2		
	BST	#xx:3, @aa:8	2			2		
BTST	BTST	#xx:3, Rd	1					
	BTST	#xx:3, @ERd	2			1		
	BTST	#xx:3, @aa:8	2			1		
	BTST	Rn, Rd	1					
	BTST	Rn, @ERd	2			1		
	BTST	Rn, @aa:8	2			1		
BXOR	BXOR	#xx:3, Rd	1					
	BXOR	#xx:3, @ERd	2			1		
	BXOR	#xx:3, @aa:8	2			1		
CMP	CMP.B	#xx:8, Rd	1					
	CMP.B	Rs, Rd	1					
	CMP.W	#xx:16, Rd	2					
	CMP.W	Rs, Rd	1					
	CMP.L	#xx:32, ERd	3					
	CMP.L	ERs, ERd	1					
DAA	DAA	Rd	1					
DAS	DAS	Rd	1					
DEC	DEC.B	Rd	1					
	DEC.W	#1/2, Rd	1					
	DEC.L	#1/2, ERd	1					
DIVXS	DIVXS.B	Rs, Rd	2					12
	DIVXS.W	Rs, ERd	2					20
DIVXU	DIVXU.B	Rs, Rd	1					12
	DIVXU.W	Rs, ERd	1					20
EEPMOV	EEPMOV.B		2			2n+2* <sup>2</sup>		
	EEPMOV.W		2			2n+2* <sup>2</sup>		
EXTS	EXTS.W	Rd	1					
	EXTS.L	ERd	1					

命令	ニーモニック		命令フェ	分岐	スタック	バイト	ワード	内部動作	
			ッチ	アドレス	操作	データ	データ		
			I	J	K	L	M	N	
EXTU	EXTU.W	Rd	1						
	EXTU.L	ERd	1						
INC	INC.B	Rd	1						
	INC.W	#1/2, Rd	1						
	INC.L	#1/2, ERd	1						
JMP	JMP	@ERn	2						
	JMP	@aa:24	2					2	
	JMP	@aa:8	ノーマル* <sup>1</sup>	2	1				2
			アドバンスト	2	2				2
JSR	JSR	@ERn	ノーマル* <sup>1</sup>	2		1			
			アドバンスト	2		2			
	JSR	@aa:24	ノーマル* <sup>1</sup>	2		1		2	
			アドバンスト	2		2		2	
	JSR	@aa:8	ノーマル* <sup>1</sup>	2	1	1			
			アドバンスト	2	2	2			
LDC	LDC	#xx:8, CCR	1						
	LDC	Rs, CCR	1						
	LDC	@ERs, CCR	2				1		
	LDC	@(d:16, ERs), CCR	3				1		
	LDC	@(d:24, ERs), CCR	5				1		
	LDC	@ERs+, CCR	2				1	2	
	LDC	@aa:16, CCR	3				1		
	LDC	@aa:24, CCR	4				1		
MOV	MOV.B	#xx:8, Rd	1						
	MOV.B	Rs, Rd	1						
	MOV.B	@ERs, Rd	1			1			
	MOV.B	@(d:16, ERs), Rd	2			1			
	MOV.B	@(d:24, ERs), Rd	4			1			
	MOV.B	@ERs+, Rd	1			1		2	
	MOV.B	@aa:8, Rd	1			1			
	MOV.B	@aa:16, Rd	2			1			
	MOV.B	@aa:24, Rd	3			1			
	MOV.B	Rs, @ERd	1			1			
	MOV.B	Rs, @(d:16, ERd)	2			1			
	MOV.B	Rs, @(d:24, ERd)	4			1			
	MOV.B	Rs, @-ERd	1			1		2	
	MOV.B	Rs, @aa:8	1			1			
	MOV.B	Rs, @aa:16	2			1			
	MOV.B	Rs, @aa:24	3			1			
	MOV.W	#xx:16, Rd	2						
	MOV.W	Rs, Rd	1						

命令	ニーモニック		命令フェ	分岐	スタック	バイト	ワード	内部動作
			ッチ	アドレス	操作	データ	データ	
			I	J	K	L	M	N
MOV	MOV.W	@ERs, Rd	1				1	
	MOV.W	@(d:16, ERs), Rd	2				1	
	MOV.W	@(d:24, ERs), Rd	4				1	
	MOV.W	@ERs+, Rd	1				1	2
	MOV.W	@aa:16, Rd	2				1	
	MOV.W	@aa:24, Rd	3				1	
	MOV.W	Rs, @ERd	1				1	
	MOV.W	Rs, @(d:16, ERd)	2				1	
	MOV.W	Rs, @(d:24, ERd)	4				1	
	MOV.W	Rs, @-ERd	1				1	2
	MOV.W	Rs, @aa:16	2				1	
	MOV.W	Rs, @aa:24	3				1	
	MOV.L	#xx:32, ERd	3					
	MOV.L	ERs, ERd	1					
	MOV.L	@ERs, ERd	2				2	
	MOV.L	@(d:16, ERs), ERd	3				2	
	MOV.L	@(d:24, ERs), ERd	5				2	
	MOV.L	@ERs+, ERd	2				2	2
	MOV.L	@aa:16, ERd	3				2	
	MOV.L	@aa:24, ERd	4				2	
	MOV.L	ERs, @ERd	2				2	
	MOV.L	ERs, @(d:16, ERd)	3				2	
	MOV.L	ERs, @(d:24, ERd)	5				2	
	MOV.L	ERs, @-ERd	2				2	2
MOV.L	ERs, @aa:16	3				2		
MOV.L	ERs, @aa:24	4				2		
MOVFP	MOVFP	@aa:16, Rd* <sup>1</sup>	2			1		
MOVTP	MOVTP	Rs, @aa:16* <sup>1</sup>	2			1		
MULXS	MULXS.B	Rs, Rd	2					12
	MULXS.W	Rs, ERd	2					20
MULXU	MULXU.B	Rs, Rd	1					12
	MULXU.W	Rs, ERd	1					20
NEG	NEG.B	Rd	1					
	NEG.W	Rd	1					
	NEG.L	ERd	1					
NOP	NOP		1					
NOT	NOT.B	Rd	1					
	NOT.W	Rd	1					
	NOT.L	ERd	1					

命令	ニーモニック		命令フェ ッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
OR	OR.B	#xx:8, Rd	1					
	OR.B	Rs, Rd	1					
	OR.W	#xx:16, Rd	2					
	OR.W	Rs, Rd	1					
	OR.L	#xx:32, ERd	3					
	OR.L	ERs, ERd	2					
ORC	ORC	#xx:8, CCR	1					
POP	POP.W	Rn	1				1	2
	POP.L	ERn	2				2	2
PUSH	PUSH.W	Rn	1				1	2
	PUSH.L	ERn	2				2	2
ROTL	ROTL.B	Rd	1					
	ROTL.W	Rd	1					
	ROTL.L	ERd	1					
ROTR	ROTR.B	Rd	1					
	ROTR.W	Rd	1					
	ROTR.L	ERd	1					
ROTXL	ROTXL.B	Rd	1					
	ROTXL.W	Rd	1					
	ROTXL.L	ERd	1					
ROTXR	ROTXR.B	Rd	1					
	ROTXR.W	Rd	1					
	ROTXR.L	ERd	1					
RTE	RTE			2			2	
RTS	RTS	ノーマル* <sup>1</sup>	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B	Rd	1					
	SHAL.W	Rd	1					
	SHAL.L	ERd	1					
SHAR	SHAR.B	Rd	1					
	SHAR.W	Rd	1					
	SHAR.L	ERd	1					
SHLL	SHLL.B	Rd	1					
	SHLL.W	Rd	1					
	SHLL.L	ERd	1					
SHLR	SHLR.B	Rd	1					
	SHLR.W	Rd	1					
	SHLR.L	ERd	1					
SLEEP	SLEEP							

命令	ニーモニック		命令フェ ッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
STC	STC CCR, Rd		1					2
	STC CCR, @ERd		2				1	
	STC CCR, @(d:16, ERd)		3				1	
	STC CCR, @(d:24, ERd)		5				1	
	STC CCR, @-ERd		2				1	
	STC CCR, @aa:16		3				1	
	STC CCR, @aa:24		4				1	
SUB	SUB.B Rs, Rd		1					
	SUB.W #xx:16, Rd		2					
	SUB.W Rs, Rd		1					
	SUB.L #xx:32, ERd		3					
	SUB.L ERs, ERd		1					
SUBS	SUBS #1/2/4, ERd		1					
SUBX	SUBX #xx:8, Rd		1					
	SUBX Rs, Rd		1					
TRAPA	TRAPA #x:2	ノーマル* <sup>1</sup>	2	1	2			4
		アドバンスト	2	2	2			4
XOR	XOR.B #xx:8, Rd		1					
	XOR.B Rs, Rd		1					
	XOR.W #xx:16, Rd		2					
	XOR.W Rs, Rd		1					
	XOR.L #xx:32, ERd		3					
	XOR.L ERs, ERd		2					
XORC	XORC #xx:8, CCR		1					

【注】 \*1 本 LSI では使用できません。

\*2 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

## B. 内部 I/O レジスタ一覧

### B.1 アドレス一覧

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE000	リザーブ領域 (アクセス禁止)										
H'EE001											
H'EE002											
H'EE003	P4DDR	8	P4 <sub>7</sub> DDR	P4 <sub>6</sub> DDR	P4 <sub>5</sub> DDR	P4 <sub>4</sub> DDR	P4 <sub>3</sub> DDR	P4 <sub>2</sub> DDR	P4 <sub>1</sub> DDR	P4 <sub>0</sub> DDR	ポート 4
H'EE004	リザーブ領域 (アクセス禁止)										
H'EE005	P6DDR	8		P6 <sub>6</sub> DDR	P6 <sub>5</sub> DDR	P6 <sub>4</sub> DDR	P6 <sub>3</sub> DDR	P6 <sub>2</sub> DDR	P6 <sub>1</sub> DDR	P6 <sub>0</sub> DDR	ポート 6
H'EE006											
H'EE007	P8DDR	8				P8 <sub>7</sub> DDR	P8 <sub>6</sub> DDR	P8 <sub>5</sub> DDR	P8 <sub>4</sub> DDR	P8 <sub>3</sub> DDR	ポート 8
H'EE008	P9DDR	8			P9 <sub>5</sub> DDR	P9 <sub>4</sub> DDR	P9 <sub>3</sub> DDR	P9 <sub>2</sub> DDR	P9 <sub>1</sub> DDR	P9 <sub>0</sub> DDR	ポート 9
H'EE009	PADDR	8	PA <sub>7</sub> DDR	PA <sub>6</sub> DDR	PA <sub>5</sub> DDR	PA <sub>4</sub> DDR	PA <sub>3</sub> DDR	PA <sub>2</sub> DDR	PA <sub>1</sub> DDR	PA <sub>0</sub> DDR	ポート A
H'EE00A	PBDDR	8	PB <sub>7</sub> DDR	PB <sub>6</sub> DDR	PB <sub>5</sub> DDR	PB <sub>4</sub> DDR	PB <sub>3</sub> DDR	PB <sub>2</sub> DDR	PB <sub>1</sub> DDR	PB <sub>0</sub> DDR	ポート B
H'EE00B											
H'EE00C											
H'EE00D											
H'EE00E											
H'EE00F											
H'EE010											
H'EE011	MDCR	8						MDS2	MDS1	MDS0	システム 制御
H'EE012	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	SSOE	RAME	
H'EE013	BRCCR	8	A23E	A22E	A21E	A20E				BRLE	バスコン トローラ
H'EE014	ISCR	8			IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割り込み コント ローラ
H'EE015	IER	8			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'EE016	ISR	8			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'EE017											
H'EE018	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'EE019	IPRB	8	IPRB7	IPRB6	IPRB5		IPRB3	IPRB2	IPRB1		
H'EE01A	DASTCR	8								DASTE	D/A 変換器
H'EE01B	DIVCR	8							DIV1	DIV0	システム 制御
H'EE01C	MSTCRH	8	PSTOP					MSTPH2	MSTPH1	MSTPH0	
H'EE01D	MSTCRL	8	MSTPL7		MSTPL5	MSTPL4	MSTPL3	MSTPL2		MSTPL0	
H'EE01E											

付録

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'EE01F	CSCR	8	CS7E	CS6E	CS5E	CS4E					バスコン トローラ
H'EE020	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	
H'EE021	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE022	WCRH	8	W71	W70	W61	W60	W51	W50	W41	W40	
H'EE023	WCRL	8	W31	W30	W21	W20	W11	W10	W01	W00	
H'EE024	BCR	8	ICIS1	ICIS0	BROME	BRSTS1	BRSTS0		RDEA	WAITE	
H'EE025											
H'EE026	DRCRA	8	DRAS2	DRAS1	DRAS0		BE	RDM	SRFMD	RFSHE	DRAM インタ フェース
H'EE027	DRCRB	8	MXC1	MXC0	CSEL	RCYCE		TPC	RCW	RLW	
H'EE028	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0				
H'EE029	RTCNT	8									
H'EE02A	RTCOR	8									
H'EE02B	リザーブ領域 (アクセス禁止)										
H'EE02C											
H'EE02D											
H'EE02E											
H'EE02F											
H'EE030											
H'EE031											
H'EE032											
H'EE033											
H'EE034											
H'EE035											
H'EE036											
H'EE037											
H'EE038											
H'EE039											
H'EE03A											
H'EE03B											
H'EE03C	リザーブ領域 (アクセス禁止)										
H'EE03D											
H'EE03E	P4PCR	8	P4 <sub>7</sub> PCR	P4 <sub>6</sub> PCR	P4 <sub>5</sub> PCR	P4 <sub>4</sub> PCR	P4 <sub>3</sub> PCR	P4 <sub>2</sub> PCR	P4 <sub>1</sub> PCR	P4 <sub>0</sub> PCR	ポート 4
H'EE03F	リザーブ領域 (アクセス禁止)										
H'FFF20	MAR0AR	8									DMAC チャネル 0A
H'FFF21	MAR0AE	8									
H'FFF22	MAR0AH	8									
H'FFF23	MAR0AL	8									
H'FFF24	ETCR0AH	8									
H'FFF25	ETCR0AL	8									
H'FFF26	IOAR0A	8									

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFF27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フル アドレス モード
H'FFF28	MAR0BR	8									DMAC チャンネル 0B
H'FFF29	MAR0BE	8									
H'FFF2A	MAR0BH	8									
H'FFF2B	MAR0BL	8									
H'FFF2C	ETCR0BH	8									
H'FFF2D	ETCR0BL	8									
H'FFF2E	IOAR0B	8									
H'FFF2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フル アドレス モード
H'FFF30	MAR1AR	8									DMAC チャンネル 1A
H'FFF31	MAR1AE	8									
H'FFF32	MAR1AH	8									
H'FFF33	MAR1AL	8									
H'FFF34	ETCR1AH	8									
H'FFF35	ETCR1AL	8									
H'FFF36	IOAR1A	8									
H'FFF37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フル アドレス モード
H'FFF38	MAR1BR	8									DMAC チャンネル 1B
H'FFF39	MAR1BE	8									
H'FFF3A	MAR1BH	8									
H'FFF3B	MAR1BL	8									
H'FFF3C	ETCR1BH	8									
H'FFF3D	ETCR1BL	8									
H'FFF3E	IOAR1B	8									
H'FFF3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショート アドレス モード
			DTME		DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フル アドレス モード

付録

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFF40												
H'FFF41												
H'FFF42												
H'FFF43												
H'FFF44												
H'FFF45												
H'FFF46												
H'FFF47												
H'FFF48												
H'FFF49												
H'FFF4A												
H'FFF4B												
H'FFF4C												
H'FFF4D												
H'FFF4E												
H'FFF4F												
H'FFF50												
H'FFF51												
H'FFF52												
H'FFF53												
H'FFF54												
H'FFF55												
H'FFF56												
H'FFF57												
H'FFF58												
H'FFF59												
H'FFF5A												
H'FFF5B												
H'FFF5C												
H'FFF5D												
H'FFF5E												
H'FFF5F												
H'FFF60	TSTR	8						STR2	STR1	STR0	16ビット タイム 共通	
H'FFF61	TSNC	8						SYNC2	SYNC1	SYNC0		
H'FFF62	TMDR	8		MDF	FDIR			PWM2	PWM1	PWM0		
H'FFF63	TOLR	8			TOB2	TOA2	TOB1	TOA1	TOB0	TOA0		
H'FFF64	TISRA	8		IMIEA2	IMIEA1	IMIEA0		IMFA2	IMFA1	IMFA0		
H'FFF65	TISRB	8		IMIEB2	IMIEB1	IMIEB0		IMFB2	IMFB1	IMFB0		
H'FFF66	TISRC	8		OVIE2	OVIE1	OVIE0		OVF2	OVF1	OVF0		
H'FFF67												

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFF68	16TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16ビット タイマ チャンネル0	
H'FFF69	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'FFF6A	16TCNT0H	16										
H'FFF6B	16TCNT0L											
H'FFF6C	GRA0H	16										
H'FFF6D	GRA0L											
H'FFF6E	GRB0H	16										
H'FFF6F	GRB0L											
H'FFF70	16TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16ビット タイマ チャンネル1	
H'FFF71	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'FFF72	16TCNT1H	16										
H'FFF73	16TCNT1L											
H'FFF74	GRA1H	16										
H'FFF75	GRA1L											
H'FFF76	GRB1H	16										
H'FFF77	GRB1L											
H'FFF78	16TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	16ビット タイマ チャンネル2	
H'FFF79	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0		
H'FFF7A	16TCNT2H	16										
H'FFF7B	16TCNT2L											
H'FFF7C	GRA2H	16										
H'FFF7D	GRA2L											
H'FFF7E	GRB2H	16										
H'FFF7F	GRB2L											
H'FFF80	8TCR0	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャンネル 0/1	
H'FFF81	8TCR1	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFF82	8TCSR0	8	CMFB	CMFA	OVF	ADTE	OIS3	OIS2	OS1	OS0		
H'FFF83	8TCSR1	8	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0		
H'FFF84	TCORA0	8										
H'FFF85	TCORA1	8										
H'FFF86	TCORB0	8										
H'FFF87	TCORB1	8										
H'FFF88	8TCNT0	8										
H'FFF89	8TCNT1	8										
H'FFF8A												
H'FFF8B												
H'FFF8C	TCSR* <sup>1</sup>	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0		WDT
H'FFF8D	TCNT* <sup>1</sup>	8										
H'FFF8E												
H'FFF8F	RSTCSR* <sup>1</sup>	8	WRST	RSTOE								

付録

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFF90	8TCR2	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャネル 2/3
H'FFF91	8TCR3	8	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	
H'FFF92	8TCSR2	8	CMFB	CMFA	OVF		OIS3	OIS2	OS1	OS0	
H'FFF93	8TCSR3	8	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0	
H'FFF94	TCORA2	8									
H'FFF95	TCORA3	8									
H'FFF96	TCORB2	8									
H'FFF97	TCORB3	8									
H'FFF98	8TCNT2	8									
H'FFF99	8TCNT3	8									
H'FFF9A											
H'FFF9B											
H'FFF9C	DADR0	8									
H'FFF9D	DADR1	8									
H'FFF9E	DACR	8	DAOE1	DAOE0	DAE						
H'FFF9F		8									
H'FFFA0	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'FFFA1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'FFFA2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'FFFA3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'FFFA4	NDRB* <sup>2</sup>	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
			NDR15	NDR14	NDR13	NDR12					
H'FFFA5	NDRA* <sup>2</sup>	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
			NDR7	NDR6	NDR5	NDR4					
H'FFFA6	NDRB* <sup>2</sup>	8									
							NDR11	NDR10	NDR9	NDR8	
H'FFFA7	NDRA* <sup>2</sup>	8									
							NDR3	NDR2	NDR1	NDR0	
H'FFFA8											
H'FFFA9											
H'FFFAA											
H'FFFAB											
H'FFFAC											
H'FFFAD											
H'FFFAE											
H'FFFAF											
H'FFFB0	SMR	8	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI チャネル0
H'FFFB1	BRR	8									
H'FFFB2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFB3	TDR	8									

下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFB4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	SCI チャンネル0
H'FFFB5	RDR	8									
H'FFFB6	SCMR	8				SDIR	SINV			SMIF	
H'FFFB7	リザーブ領域 (アクセス禁止)										
H'FFFB8	SMR	8	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI チャンネル1
H'FFFB9	BRR	8									
H'FFBFA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFBBB	TDR	8									
H'FFBFC	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFBFD	RDR	8									
H'FFBFE	SCMR	8				SDIR	SINV			SMIF	
H'FFBF7	リザーブ領域 (アクセス禁止)										
H'FFFC0	SMR	8	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI チャンネル2
H'FFFC1	BRR	8									
H'FFFC2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFC3	TDR	8									
H'FFFC4	SSR	8	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	
H'FFFC5	RDR	8									
H'FFFC6	SCMR	8				SDIR	SINV			SMIF	
H'FFFC7	リザーブ領域 (アクセス禁止)										
H'FFFC8											
H'FFFC9											
H'FFCCA											
H'FFCCB											
H'FFCCC											
H'FFCCD											
H'FFCCE											
H'FFCCF											
H'FFFD0	リザーブ領域 (アクセス禁止)										
H'FFFD1	リザーブ領域 (アクセス禁止)										
H'FFFD2	リザーブ領域 (アクセス禁止)										
H'FFFD3	P4DR	8	P <sub>7</sub>	P <sub>6</sub>	P <sub>5</sub>	P <sub>4</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	ポート4
H'FFFD4	リザーブ領域 (アクセス禁止)										
H'FFFD5	P6DR	8	P <sub>7</sub>	P <sub>6</sub>	P <sub>5</sub>	P <sub>4</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	ポート6
H'FFFD6	P7DR	8	P <sub>7</sub>	P <sub>6</sub>	P <sub>5</sub>	P <sub>4</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	ポート7
H'FFFD7	P8DR	8				P <sub>8</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	ポート8
H'FFFD8	P9DR	8			P <sub>9</sub>	P <sub>4</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	ポート9
H'FFFD9	PADR	8	PA <sub>7</sub>	PA <sub>6</sub>	PA <sub>5</sub>	PA <sub>4</sub>	PA <sub>3</sub>	PA <sub>2</sub>	PA <sub>1</sub>	PA <sub>0</sub>	ポートA
H'FFFDA	PBDR	8	PB <sub>7</sub>	PB <sub>6</sub>	PB <sub>5</sub>	PB <sub>4</sub>	PB <sub>3</sub>	PB <sub>2</sub>	PB <sub>1</sub>	PB <sub>0</sub>	ポートB
H'FFFDB											

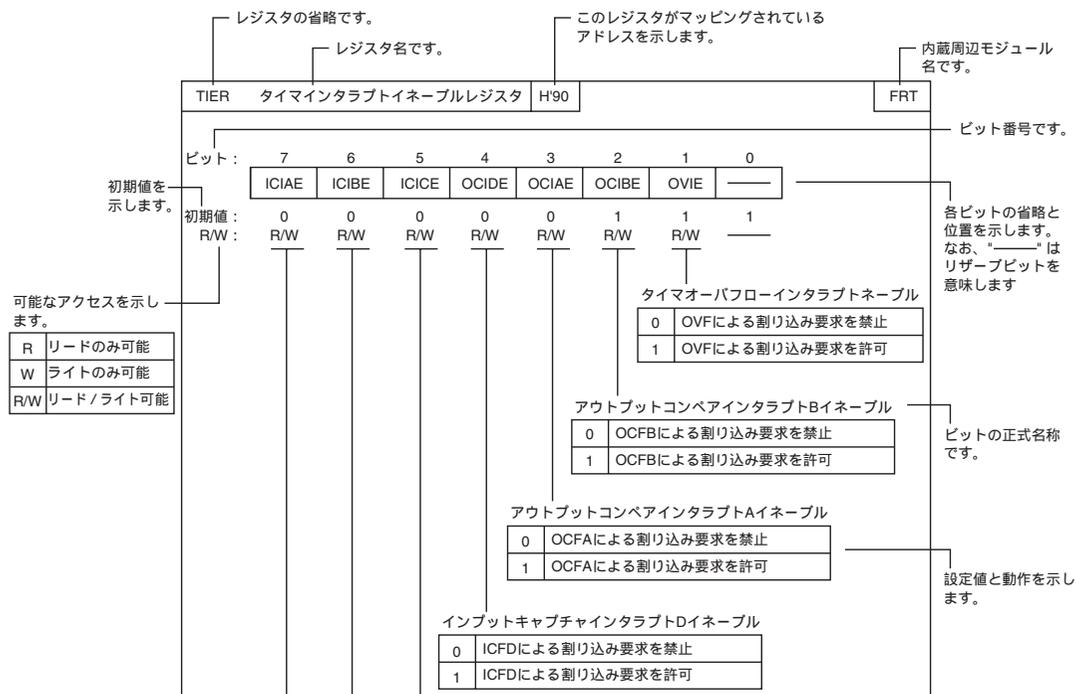
下位 アドレス	レジスタ 名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFD C												
H'FFFD D												
H'FFFD E												
H'FFFD F												
H'FFFE 0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器	
H'FFFE 1	ADDRAL	8	AD1	AD0								
H'FFFE 2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFE 3	ADDRBL	8	AD1	AD0								
H'FFFE 4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFE 5	ADDRCL	8	AD1	AD0								
H'FFFE 6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFFE 7	ADDRDL	8	AD1	AD0								
H'FFFE 8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
H'FFFE 9	ADCR	8	TRGE									

【記号説明】

- WDT : ウォッチドッグタイマ
- TPC : プログラマブルタイミングパターンコントローラ
- SCI : シリアルコミュニケーションインタフェース

- 【注】 \*1 TCSR、TCNT、RSTCSR のライトについては「12.2.4 レジスタ書き換え時の注意」を参照してください。
- \*2 出力トリガの設定によりアドレスが変化します。

## B.2 機能一覧



P4DDR ポート4 データディレクションレジスタ	H'EE003	ポート4																
ビット： <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">P47DDR</td> <td style="text-align: center;">P46DDR</td> <td style="text-align: center;">P45DDR</td> <td style="text-align: center;">P44DDR</td> <td style="text-align: center;">P43DDR</td> <td style="text-align: center;">P42DDR</td> <td style="text-align: center;">P41DDR</td> <td style="text-align: center;">P40DDR</td> </tr> </table>			7	6	5	4	3	2	1	0	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
7	6	5	4	3	2	1	0											
P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR											
初期値：     0     0     0     0     0     0     0     0 R/W：        W     W     W     W     W     W     W     W																		
↓ ポート4入出力選択 <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート												
0	入力ポート																	
1	出力ポート																	
P6DDR ポート6 データディレクションレジスタ	H'EE005	ポート6																
ビット： <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">-</td> <td style="text-align: center;">P66DDR</td> <td style="text-align: center;">P65DDR</td> <td style="text-align: center;">P64DDR</td> <td style="text-align: center;">P63DDR</td> <td style="text-align: center;">P62DDR</td> <td style="text-align: center;">P61DDR</td> <td style="text-align: center;">P60DDR</td> </tr> </table>			7	6	5	4	3	2	1	0	-	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
7	6	5	4	3	2	1	0											
-	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR											
初期値：     1     0     0     0     0     0     0 R/W：        -     W     W     W     W     W     W																		
↓ ポート6入出力選択 <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート												
0	入力ポート																	
1	出力ポート																	
P8DDR ポート8 データディレクションレジスタ	H'EE007	ポート8																
ビット： <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">-</td> <td style="text-align: center;">P84DDR</td> <td style="text-align: center;">P83DDR</td> <td style="text-align: center;">P82DDR</td> <td style="text-align: center;">P81DDR</td> <td style="text-align: center;">P80DDR</td> </tr> </table>			7	6	5	4	3	2	1	0	-	-	-	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
7	6	5	4	3	2	1	0											
-	-	-	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR											
モード1~4 { 初期値：     1     1     1     1     0     0     0     0 R/W：        -     -     -     W     W     W     W																		
↓ ポート8入出力選択 <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート												
0	入力ポート																	
1	出力ポート																	
↓ ポート8入出力選択 <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">CS出力端子</td> </tr> </table>			0	入力ポート	1	CS出力端子												
0	入力ポート																	
1	CS出力端子																	

P9DDR		ポート9 データディレクションレジスタ		H'EE008		ポート9						
ビット:	7	6	5	4	3	2	1	0				
	-	-	P9 <sub>5</sub> DDR	P9 <sub>4</sub> DDR	P9 <sub>3</sub> DDR	P9 <sub>2</sub> DDR	P9 <sub>1</sub> DDR	P9 <sub>0</sub> DDR				
初期値:	1	1	0	0	0	0	0	0				
R/W:	-	-	W	W	W	W	W	W				
↓ ポート9入出力選択 <table border="1" style="margin: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PADDR		ポートA データディレクションレジスタ		H'EE009		ポートA						
ビット:	7	6	5	4	3	2	1	0				
	PA <sub>7</sub> DDR	PA <sub>6</sub> DDR	PA <sub>5</sub> DDR	PA <sub>4</sub> DDR	PA <sub>3</sub> DDR	PA <sub>2</sub> DDR	PA <sub>1</sub> DDR	PA <sub>0</sub> DDR				
モード3、4	初期値:	1	0	0	0	0	0	0				
	R/W:	-	W	W	W	W	W	W				
モード1、2	初期値:	0	0	0	0	0	0	0				
	R/W:	W	W	W	W	W	W	W				
↓ ポートA入出力選択 <table border="1" style="margin: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PBDDR		ポートB データディレクションレジスタ		H'EE00A		ポートB						
ビット:	7	6	5	4	3	2	1	0				
	PB <sub>7</sub> DDR	PB <sub>6</sub> DDR	PB <sub>5</sub> DDR	PB <sub>4</sub> DDR	PB <sub>3</sub> DDR	PB <sub>2</sub> DDR	PB <sub>1</sub> DDR	PB <sub>0</sub> DDR				
初期値:	0	0	0	0	0	0	0	0				
R/W:	W	W	W	W	W	W	W	W				
↓ ポートB入出力選択 <table border="1" style="margin: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

MDCR モードコントロールレジスタ					H'EE011		システム制御	
ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値:	1	1	0	0	0	- *	- *	- *
R/W:	-	-	-	-	-	R	R	R

モードセレクト2~0

ビット2	ビット1	ビット0	動作モード
MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	
0	0	0	-
		1	モード1
	1	0	モード2
		1	モード3
1	0	0	モード4
		1	-
	1	0	-
		1	-

【注】\* モード端子 (MD<sub>2</sub>~MD<sub>0</sub>) の状態により決定されます。



BRCR バスリリースコントロールレジスタ		H'EE013		バスコントローラ						
ビット:		7	6	5	4	3	2	1	0	
		A23E	A22E	A21E	A20E	-	-	-	BRLE	
モード1、2	初期値:	1	1	1	1	1	1	1	0	
	R/W:	-	-	-	-	-	-	-	R/W	
モード3、4	初期値:	1	1	1	0	1	1	1	0	
	R/W:	R/W	R/W	R/W	-	-	-	-	R/W	
アドレス23~20イネーブル					バスリリースイネーブル					
		0	アドレス出力				0			バス権の外部に対する解放を禁止
		1	上記以外の入出力端子				1			バス権の外部に対する解放を許可
ISCR IRQ センスコントロールレジスタ		H'EE014		割り込みコントローラ						
ビット:		7	6	5	4	3	2	1	0	
		-	-	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	
初期値:		0	0	0	0	0	0	0	0	
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
IRQ5 ~ IRQ0センスコントロール										
		0	IRQ5 ~ IRQ0入力のLowレベルで割り込み要求を発生							
		1	IRQ5 ~ IRQ0入力の立ち下がりエッジで割り込み要求を発生							
IER IRQ イネーブルレジスタ		H'EE015		割り込みコントローラ						
ビット:		7	6	5	4	3	2	1	0	
		-	-	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
初期値:		0	0	0	0	0	0	0	0	
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
IRQ5 ~ IRQ0イネーブル										
		0	IRQ5 ~ IRQ0割り込みを禁止							
		1	IRQ5 ~ IRQ0割り込みを許可							

ISR IRQ ステータスレジスタ		H'EE016		割り込みコントローラ				
ビット:	7	6	5	4	3	2	1	0
	-	-	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
IRQ5 ~ IRQ0フラグ								
ビット5~0		セット/クリア条件						
IRQ5F ~ IRQ0F								
0		[クリア条件] (1) IRQnF = 1の状態ではIRQnFをリードした後、IRQnFに0をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQn}}$ 入力が、Highレベルの状態では割り込み例外処理を実行したとき (3) IRQnSC = 1の状態ではIRQn割り込み例外処理を実行したとき						
1		[セット条件] (1) IRQnSC = 0の状態では $\overline{\text{IRQn}}$ 入力がLowレベルになったとき (2) IRQnSC = 1の状態では $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき						
【注】 n = 5 ~ 0								
【注】* フラグをクリアするための0ライトのみ可能です。								

IPRA	インタラプトプライオリティレジスタ A	H'EE018	割り込みコントローラ						
ビット :	7      6      5      4      3      2      1      0								
	IPRA7 IPRA6 IPRA5 IPRA4 IPRA3 IPRA2 IPRA1 IPRA0								
初期値 :	0      0      0      0      0      0      0      0								
R/W :	R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W								
↓ プライオリティレベルA7~A0									
<table border="1"> <tr> <td>0</td> <td>プライオリティレベル0 (非優先)</td> </tr> <tr> <td>1</td> <td>プライオリティレベル1 (優先)</td> </tr> </table>				0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)		
0	プライオリティレベル0 (非優先)								
1	プライオリティレベル1 (優先)								
割り込み要因と各ビットの対応									
IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
	割り込み要因	IRQ0	IRQ1	IRQ2、 IRQ3	IRQ4、 IRQ5	WDT、 DRAM インタ フェース、 A/D変換器	16ビット タイマ チャンネル0	16ビット タイマ チャンネル1	16ビット タイマ チャンネル2
IPRB	インタラプトプライオリティレジスタ B	H'EE019	割り込みコントローラ						
ビット :	7      6      5      4      3      2      1      0								
	IPRB7 IPRB6 IPRB5 - IPRB3 IPRB2 IPRB1 -								
初期値 :	0      0      0      0      0      0      0      0								
R/W :	R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W								
↓ プライオリティレベルB7~B5、B3~B1									
<table border="1"> <tr> <td>0</td> <td>プライオリティレベル0 (非優先)</td> </tr> <tr> <td>1</td> <td>プライオリティレベル1 (優先)</td> </tr> </table>				0	プライオリティレベル0 (非優先)	1	プライオリティレベル1 (優先)		
0	プライオリティレベル0 (非優先)								
1	プライオリティレベル1 (優先)								
割り込み要因と各ビットの対応									
IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6	IPRB5	-	IPRB3	IPRB2	IPRB1	-
	割り込み要因	8ビット タイマ チャンネル 0、1	8ビット タイマ チャンネル 2、3	DMAC	-	SCI チャンネル0	SCI チャンネル1	SCI チャンネル2	-

DASTCR D/A スタンバイコントロールレジスタ								H'EE01A	D/A
ビット:	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	DASTE	
初期値:	1	1	1	1	1	1	1	0	
R/W:	-	-	-	-	-	-	-	R/W	
D/Aスタンバイネーブル									
0	ソフトウェアスタンバイモードでのD/A出力を禁止							(初期値)	
1	ソフトウェアスタンバイモードでのD/A出力を許可								
DIVCR 分周比コントロールレジスタ								H'EE01B	システム制御
ビット:	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	DIV1	DIV0	
初期値:	1	1	1	1	1	1	0	0	
R/W:	-	-	-	-	-	-	R/W	R/W	
分周比1、0									
	ビット1	ビット0	分周比						
	DIV1	DIV0							
0		0	1/1 (初期値)						
		1	1/2						
1		0	1/4						
		1	1/8						

MSTCRH モジュールスタンバイコントロールレジスタ H	H'EE01C		システム制御					
ビット:	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	MSTPH2	MSTPH1	MSTPH0
初期値:	0	1	1	1	1	0	0	0
R/W :	R/W	-	-	-	-	R/W	R/W	R/W
		リザーブビット						
					φクロックストップ φクロックの出力を許可または禁止するビットです。			
					モジュールスタンバイH2~H0 モジュールをスタンバイ状態にするための選択ビットです。			
MSTCRL モジュールスタンバイコントロールレジスタ L	H'EE01D		システム制御					
ビット:	7	6	5	4	3	2	1	0
	MSTPL7	-	MSTPL5	MSTPL4	MSTPL3	MSTPL2	-	MSTPL0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		リザーブビット						
					モジュールスタンバイL7、L5~L2、L0 モジュールをスタンバイ状態にするための選択ビットです。			

CSCR チップセレクトコントロールレジスタ				H'EE01F				バスコントローラ				
ビット:		7	6	5	4	3	2	1	0			
		CS7E	CS6E	CS5E	CS4E	-	-	-	-			
初期値:		0	0	0	0	1	1	1	1			
R/W:		R/W	R/W	R/W	R/W	-	-	-	-			
チップセレクト7~4イネーブル												
ビットn		説明										
CSnE												
0		チップセレクト信号 (CSn) の出力を禁止 (初期値)										
1		チップセレクト信号 (CSn) の出力を許可										
【注】 n=7~4												
ABWCR バス幅コントロールレジスタ				H'EE020				バスコントローラ				
ビット:		7	6	5	4	3	2	1	0			
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0			
モード1、3 初期値:		1	1	1	1	1	1	1	1			
モード2、4 初期値:		0	0	0	0	0	0	0	0			
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
エリア7~0バス幅コントロール												
ビット7~0		アクセス空間の指定										
ABW7 ~ ABW0												
0		エリア7~0を16ビットアクセス空間に設定										
1		エリア7~0を8ビットアクセス空間に設定										

ASTCR	アクセスステートコントロールレジスタ		H'EE021		バスコントローラ			
ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
エリア7~0アクセスステートコントロール								
ビット7~0		アクセスステート数の指定						
AST7 ~AST0								
0		エリア7~0を2ステートアクセス空間に設定						
1		エリア7~0を3ステートアクセス空間に設定						

WCRH ウェイトコントロールレジスタH				H'EE022				パスコントローラ														
ビット:	7	6	5	4	3	2	1	0														
	W71	W70	W61	W60	W51	W50	W41	W40														
初期値:	1	1	1	1	1	1	1	1														
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W														
									エリア4ウェイトコントロール1、0													
									<table border="1"> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </tbody> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																				
	1	プログラムウェイトを1ステート挿入																				
1	0	プログラムウェイトを2ステート挿入																				
	1	プログラムウェイトを3ステート挿入																				
									エリア5ウェイトコントロール1、0													
									<table border="1"> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </tbody> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																				
	1	プログラムウェイトを1ステート挿入																				
1	0	プログラムウェイトを2ステート挿入																				
	1	プログラムウェイトを3ステート挿入																				
									エリア6ウェイトコントロール1、0													
									<table border="1"> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </tbody> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																				
	1	プログラムウェイトを1ステート挿入																				
1	0	プログラムウェイトを2ステート挿入																				
	1	プログラムウェイトを3ステート挿入																				
									エリア7ウェイトコントロール1、0													
									<table border="1"> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </tbody> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																				
	1	プログラムウェイトを1ステート挿入																				
1	0	プログラムウェイトを2ステート挿入																				
	1	プログラムウェイトを3ステート挿入																				

WCRL ウェイトコントロールレジスタ L					H'EE023		パスコントローラ											
ビット:	7	6	5	4	3	2	1	0										
	W31	W30	W21	W20	W11	W10	W01	W00										
初期値:	1	1	1	1	1	1	1	1										
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W										
					エリア0 ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																
					エリア1 ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																
					エリア2 ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																
					エリア3 ウェイトコントロール1、0 <table border="1"> <tr> <td rowspan="2">0</td> <td>0</td> <td>プログラムウェイトを挿入しない</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを1ステート挿入</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>プログラムウェイトを2ステート挿入</td> </tr> <tr> <td>1</td> <td>プログラムウェイトを3ステート挿入</td> </tr> </table>				0	0	プログラムウェイトを挿入しない	1	プログラムウェイトを1ステート挿入	1	0	プログラムウェイトを2ステート挿入	1	プログラムウェイトを3ステート挿入
0	0	プログラムウェイトを挿入しない																
	1	プログラムウェイトを1ステート挿入																
1	0	プログラムウェイトを2ステート挿入																
	1	プログラムウェイトを3ステート挿入																

BCR バスコントロールレジスタ					H'EE024		バスコントローラ	
ビット:	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BROME	BRSTS1	BRSTS0	—	RDEA	WAITE
初期値:	1	1	0	0	0	1	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W
								WAIT端子イネーブル
								0 端子ウェイト入力を禁止
								1 端子ウェイト入力を許可
								エリア分割単位選択
								0 エリア分割は、 エリア0：2Mバイト エリア4：1.93Mバイト エリア1：2Mバイト エリア5：4Kバイト エリア2：8Mバイト エリア6：23.75Kバイト エリア3：2Mバイト エリア7：22バイト
								1 エリア分割は、エリア0～7まで 等分割（2Mバイト）
								バーストサイクルセレクト0
								0 バーストアクセスは最大4ワード
								1 バーストアクセスは最大8ワード
								バーストサイクルセレクト1
								0 バーストアクセスのサイクル数は2ステート
								1 バーストアクセスのサイクル数は3ステート
								バーストROMイネーブル
								0 エリア0は基本バスインタフェース
								1 エリア0はバーストROMインタフェース
								アイドルサイクル挿入0
								0 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
								1 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する
								アイドルサイクル挿入1
								0 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
								1 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する

DRCRA DRAM コントロールレジスタ A	H'EE026	DRAM インタフェース																																																									
ビット：      7      6      5      4      3      2      1      0 <table border="1" style="width:100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="width:12.5%;">DRAS2</td> <td style="width:12.5%;">DRAS1</td> <td style="width:12.5%;">DRAS0</td> <td style="width:12.5%;">-</td> <td style="width:12.5%;">BE</td> <td style="width:12.5%;">RDM</td> <td style="width:12.5%;">SRFMD</td> <td style="width:12.5%;">RFSHE</td> </tr> </table> 初期値：      0      0      0      1      0      0      0      0 R/W      :      R/W    R/W    R/W    -      R/W    R/W    R/W    R/W	DRAS2	DRAS1	DRAS0	-	BE	RDM	SRFMD	RFSHE																																																			
DRAS2	DRAS1	DRAS0	-	BE	RDM	SRFMD	RFSHE																																																				
<div style="margin-bottom: 10px;"> <p>リフレッシュ端子イネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>RFSH端子のリフレッシュ信号出力を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>RFSH端子のリフレッシュ信号出力を許可</td> </tr> </table> </div> <div style="margin-bottom: 10px;"> <p>セルフリフレッシュモード</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュを禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュが可能</td> </tr> </table> </div> <div style="margin-bottom: 10px;"> <p>RASダウンモード</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>DRAMインタフェース：RASアップモードを選択</td> </tr> <tr> <td style="text-align: center;">1</td> <td>DRAMインタフェース：RASダウンモードを選択</td> </tr> </table> </div> <div style="margin-bottom: 10px;"> <p>バーストアクセスイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>バースト禁止（常にフルアクセス）</td> </tr> <tr> <td style="text-align: center;">1</td> <td>DRAM空間アクセス時 高速ページモードでアクセス</td> </tr> </table> </div>			0	RFSH端子のリフレッシュ信号出力を禁止	1	RFSH端子のリフレッシュ信号出力を許可	0	ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュを禁止	1	ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュが可能	0	DRAMインタフェース：RASアップモードを選択	1	DRAMインタフェース：RASダウンモードを選択	0	バースト禁止（常にフルアクセス）	1	DRAM空間アクセス時 高速ページモードでアクセス																																									
0	RFSH端子のリフレッシュ信号出力を禁止																																																										
1	RFSH端子のリフレッシュ信号出力を許可																																																										
0	ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュを禁止																																																										
1	ソフトウェアスタンバイモード時に、DRAMのセルフリフレッシュが可能																																																										
0	DRAMインタフェース：RASアップモードを選択																																																										
1	DRAMインタフェース：RASダウンモードを選択																																																										
0	バースト禁止（常にフルアクセス）																																																										
1	DRAM空間アクセス時 高速ページモードでアクセス																																																										
<p>DRAMエリアセレクト</p> <table border="1" style="width:100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width:10%;">DRAS2</th> <th style="width:10%;">DRAS1</th> <th style="width:10%;">DRAS0</th> <th style="width:10%;">エリア5</th> <th style="width:10%;">エリア4</th> <th style="width:10%;">エリア3</th> <th style="width:10%;">エリア2</th> </tr> </thead> <tbody> <tr> <td rowspan="3" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_3</math>)</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>)</td> </tr> <tr> <td></td> <td></td> <td style="text-align: center;">1</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">通常</td> <td colspan="2" style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>) *</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">通常</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_4</math>)</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_3</math>)</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">DRAM空間 (<math>CS_5</math>)</td> <td style="text-align: center;">DRAM空間 (<math>CS_4</math>)</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_3</math>)</td> <td style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td colspan="2" style="text-align: center;">DRAM空間 (<math>\overline{CS}_4</math>) *</td> <td colspan="2" style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>) *</td> </tr> <tr> <td></td> <td style="text-align: center;">1</td> <td colspan="5" style="text-align: center;">DRAM空間 (<math>\overline{CS}_2</math>) *</td> </tr> </tbody> </table>			DRAS2	DRAS1	DRAS0	エリア5	エリア4	エリア3	エリア2	0	0	0	通常	通常	通常	通常	1	通常	通常	通常	DRAM空間 ( $\overline{CS}_2$ )	1	0	通常	通常	DRAM空間 ( $\overline{CS}_3$ )	DRAM空間 ( $\overline{CS}_2$ )			1	通常	通常	DRAM空間 ( $\overline{CS}_2$ ) *		1	0	0	通常	DRAM空間 ( $\overline{CS}_4$ )	DRAM空間 ( $\overline{CS}_3$ )	DRAM空間 ( $\overline{CS}_2$ )	1	DRAM空間 ( $CS_5$ )	DRAM空間 ( $CS_4$ )	DRAM空間 ( $\overline{CS}_3$ )	DRAM空間 ( $\overline{CS}_2$ )	1	0	DRAM空間 ( $\overline{CS}_4$ ) *		DRAM空間 ( $\overline{CS}_2$ ) *			1	DRAM空間 ( $\overline{CS}_2$ ) *				
DRAS2	DRAS1	DRAS0	エリア5	エリア4	エリア3	エリア2																																																					
0	0	0	通常	通常	通常	通常																																																					
		1	通常	通常	通常	DRAM空間 ( $\overline{CS}_2$ )																																																					
	1	0	通常	通常	DRAM空間 ( $\overline{CS}_3$ )	DRAM空間 ( $\overline{CS}_2$ )																																																					
		1	通常	通常	DRAM空間 ( $\overline{CS}_2$ ) *																																																						
1	0	0	通常	DRAM空間 ( $\overline{CS}_4$ )	DRAM空間 ( $\overline{CS}_3$ )	DRAM空間 ( $\overline{CS}_2$ )																																																					
		1	DRAM空間 ( $CS_5$ )	DRAM空間 ( $CS_4$ )	DRAM空間 ( $\overline{CS}_3$ )	DRAM空間 ( $\overline{CS}_2$ )																																																					
	1	0	DRAM空間 ( $\overline{CS}_4$ ) *		DRAM空間 ( $\overline{CS}_2$ ) *																																																						
		1	DRAM空間 ( $\overline{CS}_2$ ) *																																																								
<p>【注】 * 一本の<math>\overline{CS}_n</math>端子が複数エリアに共通のRAS出力端子となります。このとき、不要となる<math>\overline{CS}_n</math>端子は入出力ポートとして使用可能になります。</p>																																																											



RTMCSR リフレッシュタイムコントロール/ステータスレジスタ					H'EE028		DRAM インタフェース																											
ビット:	7	6	5	4	3	2	1	0																										
	CMF	CMIE	CKS2	CKS1	CKS0	-	-	-																										
初期値:	0	0	0	0	0	1	1	1																										
R/W :	R/(W)*	R/W	R/W	R/W	R/W	-	-	-																										
リフレッシュカウンタクロックセレクト																																		
<table border="1"> <thead> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>カウント動作停止</td> </tr> <tr> <td>1</td> <td><math>\phi / 2</math>でカウント</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td><math>\phi / 8</math>でカウント</td> </tr> <tr> <td>1</td> <td><math>\phi / 32</math>でカウント</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td><math>\phi / 128</math>でカウント</td> </tr> <tr> <td>1</td> <td><math>\phi / 512</math>でカウント</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td><math>\phi / 2048</math>でカウント</td> </tr> <tr> <td>1</td> <td><math>\phi / 4096</math>でカウント</td> </tr> </tbody> </table>									CKS2	CKS1	CKS0	説明	0	0	0	カウント動作停止	1	$\phi / 2$ でカウント	1	0	$\phi / 8$ でカウント	1	$\phi / 32$ でカウント	1	0	0	$\phi / 128$ でカウント	1	$\phi / 512$ でカウント	1	0	$\phi / 2048$ でカウント	1	$\phi / 4096$ でカウント
CKS2	CKS1	CKS0	説明																															
0	0	0	カウント動作停止																															
		1	$\phi / 2$ でカウント																															
	1	0	$\phi / 8$ でカウント																															
		1	$\phi / 32$ でカウント																															
1	0	0	$\phi / 128$ でカウント																															
		1	$\phi / 512$ でカウント																															
	1	0	$\phi / 2048$ でカウント																															
		1	$\phi / 4096$ でカウント																															
コンペアマッチ割り込みイネーブル																																		
<table border="1"> <tbody> <tr> <td>0</td> <td>CMFフラグによる割り込み要求 (CMI) を禁止</td> </tr> <tr> <td>1</td> <td>CMFフラグによる割り込み要求 (CMI) を許可</td> </tr> </tbody> </table>									0	CMFフラグによる割り込み要求 (CMI) を禁止	1	CMFフラグによる割り込み要求 (CMI) を許可																						
0	CMFフラグによる割り込み要求 (CMI) を禁止																																	
1	CMFフラグによる割り込み要求 (CMI) を許可																																	
コンペアマッチフラグ																																		
<table border="1"> <tbody> <tr> <td>0</td> <td>〔クリア条件〕 (1) リセットまたはスタンバイモード時 (2) CMF = 1の状態、CMFフラグをリードした後、CMFフラグに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 RTCNT = RTCORになったとき</td> </tr> </tbody> </table>									0	〔クリア条件〕 (1) リセットまたはスタンバイモード時 (2) CMF = 1の状態、CMFフラグをリードした後、CMFフラグに0をライトしたとき	1	〔セット条件〕 RTCNT = RTCORになったとき																						
0	〔クリア条件〕 (1) リセットまたはスタンバイモード時 (2) CMF = 1の状態、CMFフラグをリードした後、CMFフラグに0をライトしたとき																																	
1	〔セット条件〕 RTCNT = RTCORになったとき																																	
【注】 * フラグをクリアするための0ライトのみ可能です。																																		

RTCNT	リフレッシュタイムカウンタ	H'EE029	DRAM インタフェース								
ビット:	7 6 5 4 3 2 1 0										
	<table border="1"><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>										
初期値:	0 0 0 0 0 0 0 0										
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W										
RTMCSRのCKS2～CKS0ビットで 選択された内部クロックにより、カウントアップ											
RTCOR	リフレッシュタイムコンスタントレジスタ	H'EE02A	DRAM インタフェース								
ビット:	7 6 5 4 3 2 1 0										
	<table border="1"><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>										
初期値:	1 1 1 1 1 1 1 1										
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W										
RTCNTとのコンペアマッチ周期を設定											
【注】 本レジスタへのアクセスはバイトアクセスとしてください。											
P4PCR	ポート4入力プルアップMOSコントロールレジスタ	H'EE03E	ポート 4								
ビット:	7 6 5 4 3 2 1 0										
	<table border="1"><tr><td>P47PCR</td><td>P46PCR</td><td>P45PCR</td><td>P44PCR</td><td>P43PCR</td><td>P42PCR</td><td>P41PCR</td><td>P40PCR</td></tr></table>	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR		
P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR				
初期値:	0 0 0 0 0 0 0 0										
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W										
ポート4入力プルアップMOSコントロール7～0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力プルアップMOSはOFF</td> </tr> <tr> <td>1</td> <td>入力プルアップMOSはON</td> </tr> </table>				0	入力プルアップMOSはOFF	1	入力プルアップMOSはON				
0	入力プルアップMOSはOFF										
1	入力プルアップMOSはON										
P4DDRを0に指定したとき（入力ポートに指定）											

MAR0A R、E、H、L H、L	メモリアドレスレジスタ 0A R、E、 H、L	H'FFF20、H'FFF21、 H'FFF22、H'FFF23	DMAC0																													
ビット:	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																															
	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:20px;"> </td><td style="width:20px;"> </td> </tr> </table>																															
初期値:	1 1 1 1 1 1 1 1		不定																													
R/W:	- - - - - - - -	R/W R/W R/W R/W	R/W R/W R/W R/W																													
	MAR0AR								MAR0AE																							
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															
	<table border="1" style="width:100%; text-align:center;"> <tr> <td style="width:20px;"> </td><td style="width:20px;"> </td> </tr> </table>																															
初期値:	不定							不定																								
R/W:	R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W																														
	MAR0AH							MAR0AL																								
<hr style="border: 0.5px solid black;"/> ソースアドレスまたはデスティネーションアドレスを設定																																

ETCR0A H、L 転送カウントレジスタ 0A H、L	H'FFF24、H'FFF25	DMAC0
ショートアドレスモード (1) I/O モードまたはアイドルモード		
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; width: 100%;"> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> </div>		
初期値: 不定		
R/W: R/W		
転送カウンタ		
(2) リピートモード		
ビット: 7 6 5 4 3 2 1 0      7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; width: 100%;"> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> </div>		
初期値: 不定      不定		
R/W: R/W R/W R/W R/W R/W R/W R/W R/W      R/W R/W R/W R/W R/W R/W R/W R/W		
ETCR0AH      ETCR0AL		
転送カウンタ      転送回数保持		
フルアドレスモード (1) ノーマルモード		
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; width: 100%;"> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> </div>		
初期値: 不定		
R/W: R/W		
転送カウンタ		
(2) ブロック転送モード		
ビット: 7 6 5 4 3 2 1 0      7 6 5 4 3 2 1 0 <div style="display: flex; justify-content: space-around; width: 100%;"> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> <div style="border: 1px solid black; width: 15px; height: 15px;"></div> </div>		
初期値: 不定      不定		
R/W: R/W R/W R/W R/W R/W R/W R/W R/W      R/W R/W R/W R/W R/W R/W R/W R/W		
ETCR0AH      ETCR0AL		
ブロックサイズカウンタ      ブロックサイズ保持		

IOAR0A	I/O アドレスレジスタ 0A	H'FFF26	DMAC0														
ビット:	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%; height: 20px;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値:	不定																
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									
	<hr style="width: 80%; margin: 0 auto;"/>																
	ショートアドレスモード：ソースアドレスまたはデスティネーションアドレスを設定 フルアドレスモード     : 未使用																

DTCR0A データトランスファコントロールレジスタ 0A					H'FFF27		DMAC0		
ショートアドレスモード									
ビット:	7	6	5	4	3	2	1	0	
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
						データトランスファセレクト			
						ビット2	ビット1	ビット0	
						DTS2	DTS1	DTS0	
						データ転送の起動要因			
						0	0	0	16ビットタイムチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動
								1	1
							1		0
								1	1
						1	0		0
								1	1
							0		0
								1	1
						データトランスファインタラプトイネーブル			
						0	DTEビットによる 割り込み要求を禁止		
						1	DTEビットによる 割り込み要求を許可		
						リピートイネーブル			
						RPE	DTIE	説明	
						0	0	I/Oモードで転送	
							1		
						1	0	リピートモードで転送	
							1		
						データトランスファインクリメント / デクリメント			
						0	インクリメント: DTSZ = 0のとき、転送後MARを +1		
							DTSZ = 1のとき、転送後MARを +2		
						1	デクリメント: DTSZ = 0のとき、転送後MARを -1		
							DTSZ = 1のとき、転送後MARを -2		
						データトランスファサイズ			
						0	バイトサイズ転送		
						1	ワードサイズ転送		
						データトランスファイネーブル			
						0	データ転送を禁止		
						1	データ転送を許可		

(次頁へ続く)

DTCR0A データトランスファコントロールレジスタ 0A	H'FFF27	DMAC0																																				
(前頁より続く)																																						
フルアドレスモード																																						
ビット:	7          6          5          4          3          2          1          0																																					
	<table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">DTE</td> <td style="padding: 2px;">DTSZ</td> <td style="padding: 2px;">SAID</td> <td style="padding: 2px;">SAIDE</td> <td style="padding: 2px;">DTIE</td> <td style="padding: 2px;">DTS2A</td> <td style="padding: 2px;">DTS1A</td> <td style="padding: 2px;">DTS0A</td> </tr> </table>	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A																													
DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A																															
初期値:	0          0          0          0          0          0          0          0																																					
R/W:	R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W																																					
		<div style="margin-left: 200px;"> <table border="1" style="border-collapse: collapse;"> <tr><td colspan="2" style="text-align: center;">データトランスファセレクト0A</td></tr> <tr><td style="text-align: center;">0</td><td>ノーマルモードで動作</td></tr> <tr><td style="text-align: center;">1</td><td>ブロック転送モードで動作</td></tr> </table> </div> <div style="margin-left: 150px;">           データトランスファセレクト2A、1A  <table border="1" style="border-collapse: collapse;"> <tr><td colspan="2" style="text-align: center;">いずれも1にセットしてください</td></tr> </table> </div> <div style="margin-left: 100px;">           データトランスファインタラプトイネーブル  <table border="1" style="border-collapse: collapse;"> <tr><td style="text-align: center;">0</td><td>DTEビットによる割り込み要求を禁止</td></tr> <tr><td style="text-align: center;">1</td><td>DTEビットによる割り込み要求を許可</td></tr> </table> </div> <div style="margin-left: 50px;">           ソースアドレスインクリメント/デクリメント (ビット5)            ソースアドレスインクリメント/デクリメントイネーブル (ビット4)           <table border="1" style="border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="text-align: center;">ビット5</th> <th style="text-align: center;">ビット4</th> <th style="text-align: center;">インクリメント/デクリメントイネーブル</th> </tr> <tr> <th style="text-align: center;">SAID</th> <th style="text-align: center;">SAIDE</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>MARA固定</td> </tr> <tr> <td style="text-align: center;">1</td> <td>インクリメント: DTSZ=0のとき、転送後MARAを+1 DTSZ=1のとき、転送後MARAを+2</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>MARA固定</td> </tr> <tr> <td style="text-align: center;">1</td> <td>デクリメント: DTSZ=0のとき、転送後MARAを-1 DTSZ=1のとき、転送後MARAを-2</td> </tr> </tbody> </table> </div> <div style="margin-left: 20px;">           データトランスファサイズ  <table border="1" style="border-collapse: collapse; margin-top: 5px;"> <tr><td style="text-align: center;">0</td><td>バイトサイズ転送</td></tr> <tr><td style="text-align: center;">1</td><td>ワードサイズ転送</td></tr> </table> </div> <div style="margin-left: 20px;">           データトランスファイネーブル  <table border="1" style="border-collapse: collapse; margin-top: 5px;"> <tr><td style="text-align: center;">0</td><td>データ転送を禁止</td></tr> <tr><td style="text-align: center;">1</td><td>データ転送を許可</td></tr> </table> </div>	データトランスファセレクト0A		0	ノーマルモードで動作	1	ブロック転送モードで動作	いずれも1にセットしてください		0	DTEビットによる割り込み要求を禁止	1	DTEビットによる割り込み要求を許可	ビット5	ビット4	インクリメント/デクリメントイネーブル	SAID	SAIDE		0	0	MARA固定	1	インクリメント: DTSZ=0のとき、転送後MARAを+1 DTSZ=1のとき、転送後MARAを+2	1	0	MARA固定	1	デクリメント: DTSZ=0のとき、転送後MARAを-1 DTSZ=1のとき、転送後MARAを-2	0	バイトサイズ転送	1	ワードサイズ転送	0	データ転送を禁止	1	データ転送を許可
データトランスファセレクト0A																																						
0	ノーマルモードで動作																																					
1	ブロック転送モードで動作																																					
いずれも1にセットしてください																																						
0	DTEビットによる割り込み要求を禁止																																					
1	DTEビットによる割り込み要求を許可																																					
ビット5	ビット4	インクリメント/デクリメントイネーブル																																				
SAID	SAIDE																																					
0	0	MARA固定																																				
	1	インクリメント: DTSZ=0のとき、転送後MARAを+1 DTSZ=1のとき、転送後MARAを+2																																				
1	0	MARA固定																																				
	1	デクリメント: DTSZ=0のとき、転送後MARAを-1 DTSZ=1のとき、転送後MARAを-2																																				
0	バイトサイズ転送																																					
1	ワードサイズ転送																																					
0	データ転送を禁止																																					
1	データ転送を許可																																					

MAR0B R、E、H、L メモリアドレスレジスタ 0B R、E、H、L								H'FFF28、H'FFF29、H'FFF2A、H'FFF2B				DMAC0				
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	[ ] [ ] [ ] [ ] [ ] [ ] [ ] [ ]								[ ] [ ] [ ] [ ] [ ] [ ] [ ] [ ]							
初期値:	1	1	1	1	1	1	1	1	不定							
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	MAR0BR								MAR0BE							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[ ] [ ] [ ] [ ] [ ] [ ] [ ] [ ]								[ ] [ ] [ ] [ ] [ ] [ ] [ ] [ ]							
初期値:	不定								不定							
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	MAR0BH								MAR0BL							
<hr/> ソースアドレスまたはデスティネーションアドレスを設定																

ETCR0B H、L 転送カウントレジスタ 0B H、L	H'FFF2C、H'FFF2D	DMAC0
<p>ショートアドレスモード</p> <p>(1) I/O モードまたはアイドルモード</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="display: flex; justify-content: space-between; width: 100%;"> <div style="width: 15%;"></div> <div style="width: 70%; border: 1px solid black; height: 20px;"></div> <div style="width: 15%;"></div> </div> <p>初期値: 不定</p> <p>R/W: R/W R/W</p> <div style="text-align: center; margin-top: 10px;">             ↓              転送カウンタ         </div>		
<p>(2) リピートモード</p> <p>ビット: 7 6 5 4 3 2 1 0      7 6 5 4 3 2 1 0</p> <div style="display: flex; justify-content: space-between; width: 100%;"> <div style="width: 45%; border: 1px solid black; height: 20px;"></div> <div style="width: 10%;"></div> <div style="width: 45%; border: 1px solid black; height: 20px;"></div> </div> <p>初期値: 不定      不定</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W      R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="display: flex; justify-content: space-around; margin-top: 10px;"> <div style="text-align: center; width: 45%;">             ETCR0BH              ↓              転送カウンタ         </div> <div style="text-align: center; width: 45%;">             ETCR0BL              ↓              転送回数保持         </div> </div>		
<p>フルアドレスモード</p> <p>(1) ノーマルモード</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="display: flex; justify-content: space-between; width: 100%;"> <div style="width: 15%;"></div> <div style="width: 70%; border: 1px solid black; height: 20px;"></div> <div style="width: 15%;"></div> </div> <p>初期値: 不定</p> <p>R/W: R/W R/W</p> <div style="text-align: center; margin-top: 10px;">             ↓              未使用         </div>		
<p>(2) ブロック転送モード</p> <p>ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="display: flex; justify-content: space-between; width: 100%;"> <div style="width: 15%;"></div> <div style="width: 70%; border: 1px solid black; height: 20px;"></div> <div style="width: 15%;"></div> </div> <p>初期値: 不定</p> <p>R/W: R/W R/W</p> <div style="text-align: center; margin-top: 10px;">             ↓              ブロック転送カウンタ         </div>		

IOAR0B I/O アドレスレジスタ 0B				H'FFF2E		DMAC0		
ビット:	7	6	5	4	3	2	1	0
初期値:				不定				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<p>ショートアドレスモード：ソースアドレスまたはデスティネーションアドレスを設定</p> <p>フルアドレスモード：未使用</p>								

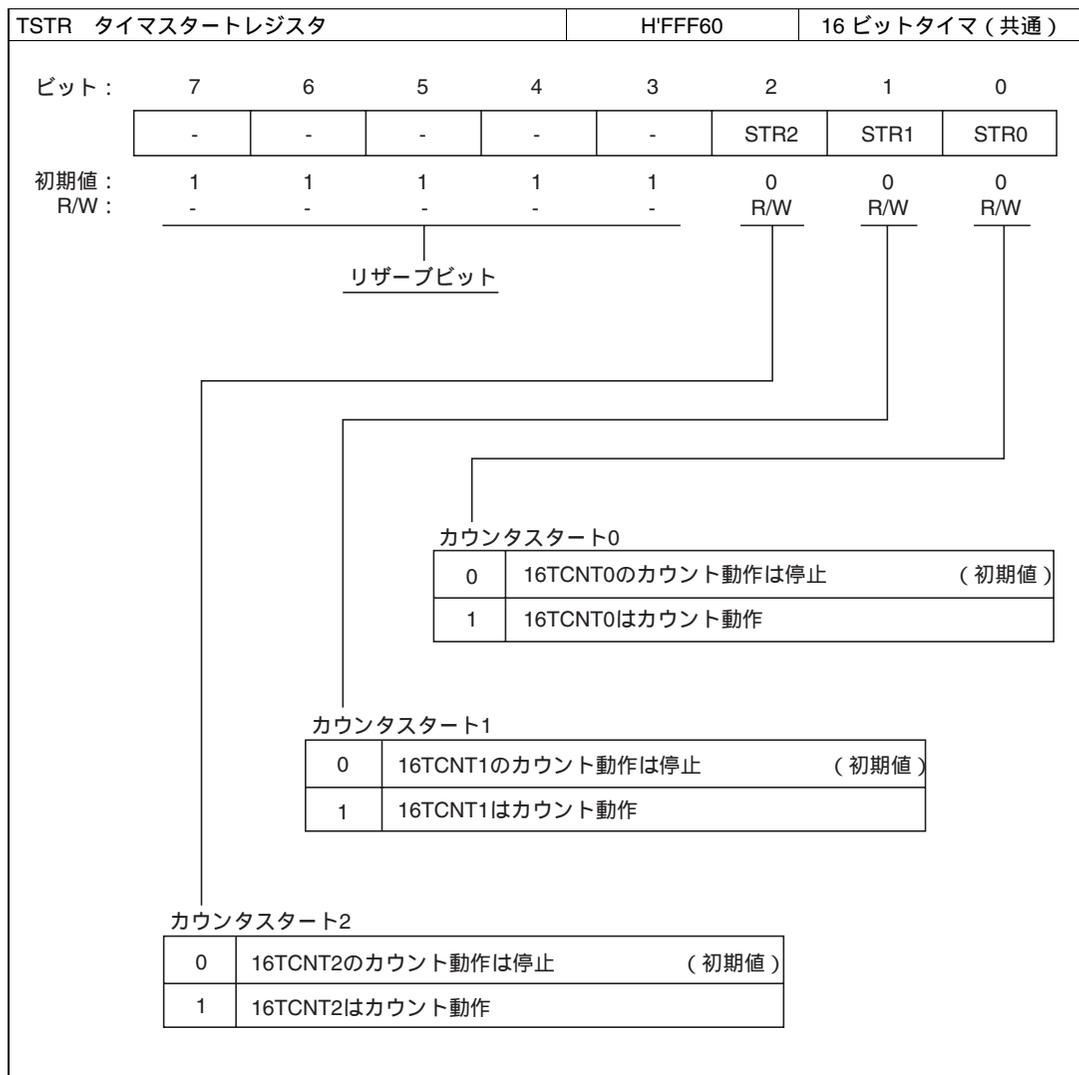
DTCR0B データトランスファコントロールレジスタ 0B	H'FFF2F	DMAC0																																																												
<p>ショートアドレスモード</p> <p>ビット:           7           6           5           4           3           2           1           0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width:10%;">DTE</td> <td style="width:10%;">DTSZ</td> <td style="width:10%;">DTID</td> <td style="width:10%;">RPE</td> <td style="width:10%;">DTIE</td> <td style="width:10%;">DTS2</td> <td style="width:10%;">DTS1</td> <td style="width:10%;">DTS0</td> </tr> </table> <p>初期値:           0           0           0           0           0           0           0           0</p> <p>R/W:             R/W       R/W       R/W       R/W       R/W       R/W       R/W</p>			DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0																																																				
DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0																																																							
<div style="float:right; width:40%;"> <p>データトランスファセレクト</p> <table border="1" style="border-collapse: collapse;"> <thead> <tr> <th style="width:5%;">ビット2</th> <th style="width:5%;">ビット1</th> <th style="width:5%;">ビット0</th> <th style="width:85%;">データ転送の起動要因</th> </tr> <tr> <th>DTS2</th> <th>DTS1</th> <th>DTS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>16ビットタイムチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動</td> </tr> <tr> <td>1</td> <td>16ビットタイムチャネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>16ビットタイムチャネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動</td> </tr> <tr> <td>1</td> <td>A/D変換器の変換終了割り込みで起動</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>SCI0の送信データエンプティ割り込みで起動</td> </tr> <tr> <td>1</td> <td>SCI0の受信データフル割り込みで起動</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>DREQ端子の立ち下がりエッジ入力で起動</td> </tr> <tr> <td>1</td> <td>DREQ端子のLowレベル入力で起動</td> </tr> </tbody> </table> </div> <div style="clear:both;"></div> <div style="margin-top: 10px;"> <p>データトランスファインタラプトイネーブル</p> <table border="1" style="border-collapse: collapse;"> <tr> <th style="width:5%;">0</th> <th style="width:95%;">DTEビットによる割り込み要求を禁止</th> </tr> <tr> <th style="width:5%;">1</th> <th style="width:95%;">DTEビットによる割り込み要求を許可</th> </tr> </table> </div> <div style="margin-top: 10px;"> <p>リピートイネーブル</p> <table border="1" style="border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">RPE</th> <th style="width:10%;">DTIE</th> <th style="width:80%;">説 明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td rowspan="2">I/Oモードで転送</td> </tr> <tr> <td>1</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>リピートモードで転送</td> </tr> <tr> <td>1</td> <td>アイドルモードで転送</td> </tr> </tbody> </table> </div> <div style="margin-top: 10px;"> <p>データトランスファインクリメント / デクリメント</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width:5%;">0</td> <td style="width:25%;">インクリメント</td> <td style="width:70%;">DTSZ = 0のとき、転送後MARを +1 DTSZ = 1のとき、転送後MARを +2</td> </tr> <tr> <td>1</td> <td>デクリメント</td> <td>DTSZ = 0のとき、転送後MARを -1 DTSZ = 1のとき、転送後MARを -2</td> </tr> </table> </div> <div style="margin-top: 10px;"> <p>データトランスファサイズ</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width:5%;">0</td> <td style="width:95%;">バイトサイズ転送</td> </tr> <tr> <td>1</td> <td>ワードサイズ転送</td> </tr> </table> </div> <div style="margin-top: 10px;"> <p>データトランスファイネーブル</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width:5%;">0</td> <td style="width:95%;">データ転送を禁止</td> </tr> <tr> <td>1</td> <td>データ転送を許可</td> </tr> </table> </div>			ビット2	ビット1	ビット0	データ転送の起動要因	DTS2	DTS1	DTS0		0	0	0	16ビットタイムチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動	1	16ビットタイムチャネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動	1	0	16ビットタイムチャネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動	1	A/D変換器の変換終了割り込みで起動	1	0	0	SCI0の送信データエンプティ割り込みで起動	1	SCI0の受信データフル割り込みで起動	1	0	DREQ端子の立ち下がりエッジ入力で起動	1	DREQ端子のLowレベル入力で起動	0	DTEビットによる割り込み要求を禁止	1	DTEビットによる割り込み要求を許可	RPE	DTIE	説 明	0	0	I/Oモードで転送	1	1	0	リピートモードで転送	1	アイドルモードで転送	0	インクリメント	DTSZ = 0のとき、転送後MARを +1 DTSZ = 1のとき、転送後MARを +2	1	デクリメント	DTSZ = 0のとき、転送後MARを -1 DTSZ = 1のとき、転送後MARを -2	0	バイトサイズ転送	1	ワードサイズ転送	0	データ転送を禁止	1	データ転送を許可
ビット2	ビット1	ビット0	データ転送の起動要因																																																											
DTS2	DTS1	DTS0																																																												
0	0	0	16ビットタイムチャネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動																																																											
		1	16ビットタイムチャネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動																																																											
	1	0	16ビットタイムチャネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動																																																											
		1	A/D変換器の変換終了割り込みで起動																																																											
1	0	0	SCI0の送信データエンプティ割り込みで起動																																																											
		1	SCI0の受信データフル割り込みで起動																																																											
	1	0	DREQ端子の立ち下がりエッジ入力で起動																																																											
		1	DREQ端子のLowレベル入力で起動																																																											
0	DTEビットによる割り込み要求を禁止																																																													
1	DTEビットによる割り込み要求を許可																																																													
RPE	DTIE	説 明																																																												
0	0	I/Oモードで転送																																																												
	1																																																													
1	0	リピートモードで転送																																																												
	1	アイドルモードで転送																																																												
0	インクリメント	DTSZ = 0のとき、転送後MARを +1 DTSZ = 1のとき、転送後MARを +2																																																												
1	デクリメント	DTSZ = 0のとき、転送後MARを -1 DTSZ = 1のとき、転送後MARを -2																																																												
0	バイトサイズ転送																																																													
1	ワードサイズ転送																																																													
0	データ転送を禁止																																																													
1	データ転送を許可																																																													
(次頁へ続く)																																																														

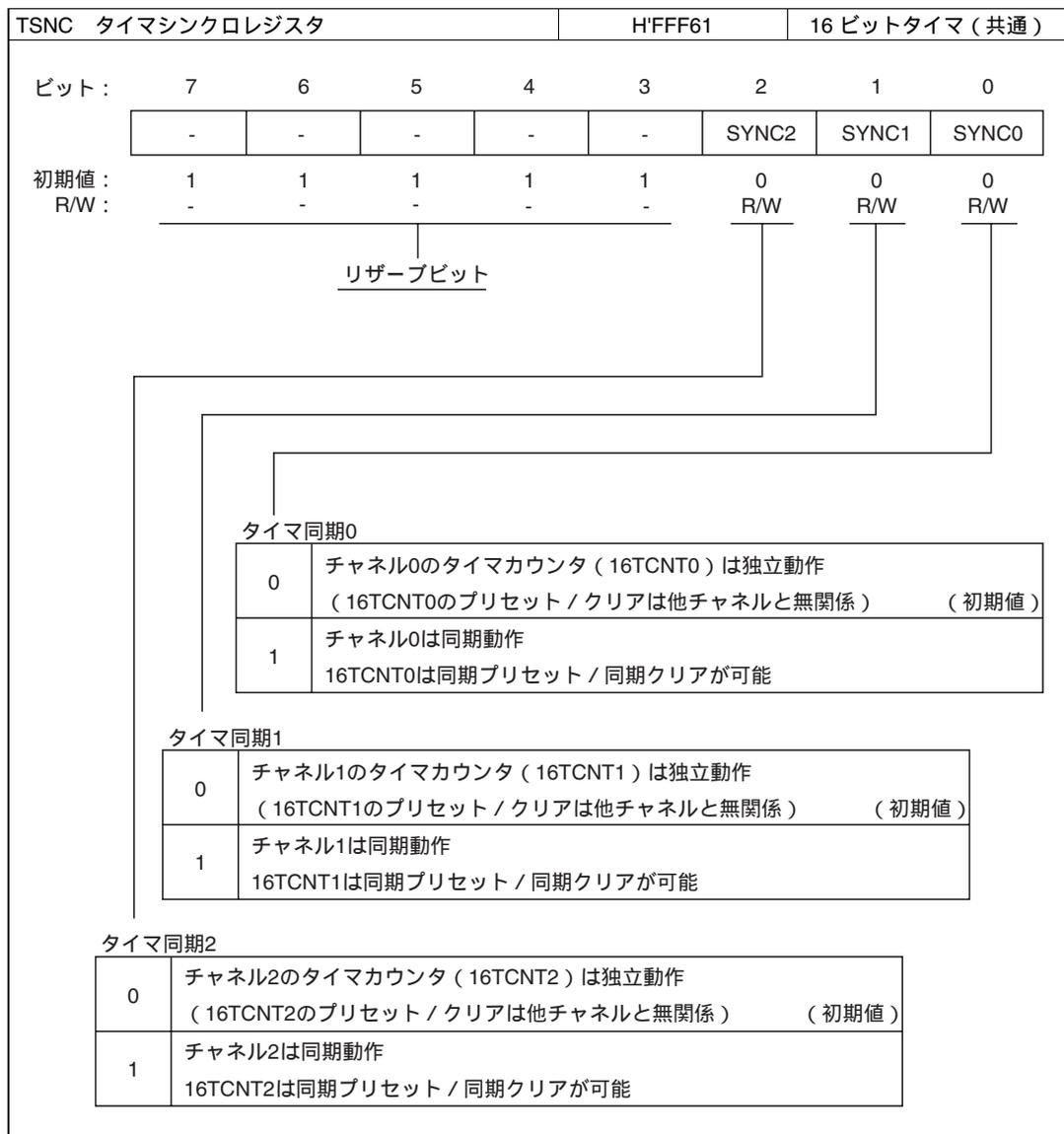
DTCR0B データトランスファコントロールレジスタ 0B				H'FFF2F				DMAC0																																											
(前頁より続く)																																																			
フルアドレスモード																																																			
ビット: 7 6 5 4 3 2 1 0																																																			
DTME		-	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B																																											
初期値: 0		0	0	0	0	0	0	0																																											
R/W: R/W		R/W	R/W	R/W	R/W	R/W	R/W	R/W																																											
データトランスファマスタイネーブル				データトランスファセレクト2B-0B																																															
0		データ転送を禁止		<table border="1"> <thead> <tr> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th colspan="2">データ転送の起動要因</th> </tr> <tr> <th>DTS2B</th> <th>DTS1B</th> <th>DTS0B</th> <th>ノーマルモード</th> <th>ブロック転送モード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>オートリクエスト (バーストモード)</td> <td>16ビットタイムチャネル0のコンペアマッチ/インプットキャプチャA割り込みで起動</td> </tr> <tr> <td>1</td> <td>使用できません</td> <td>16ビットタイムチャネル1のコンペアマッチ/インプットキャプチャA割り込みで起動</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>オートリクエスト (サイクルスチールモード)</td> <td>16ビットタイムチャネル2のコンペアマッチ/インプットキャプチャA割り込みで起動</td> </tr> <tr> <td>1</td> <td>使用できません</td> <td>A/D変換器の変換終了割り込みで起動</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="2">0</td> <td>0</td> <td>使用できません</td> <td>使用できません</td> </tr> <tr> <td>1</td> <td>使用できません</td> <td>使用できません</td> </tr> <tr> <td>1</td> <td>0</td> <td>DREQ端子の立ち下がりエッジ入力</td> <td>DREQ端子の立ち下がりエッジ入力</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>DREQ端子のLowレベル入力</td> <td>使用できません</td> </tr> </tbody> </table>						ビット2	ビット1	ビット0	データ転送の起動要因		DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード	0	0	0	オートリクエスト (バーストモード)	16ビットタイムチャネル0のコンペアマッチ/インプットキャプチャA割り込みで起動	1	使用できません	16ビットタイムチャネル1のコンペアマッチ/インプットキャプチャA割り込みで起動	1	0	オートリクエスト (サイクルスチールモード)	16ビットタイムチャネル2のコンペアマッチ/インプットキャプチャA割り込みで起動	1	使用できません	A/D変換器の変換終了割り込みで起動	1	0	0	使用できません	使用できません	1	使用できません	使用できません	1	0	DREQ端子の立ち下がりエッジ入力	DREQ端子の立ち下がりエッジ入力			1	DREQ端子のLowレベル入力	使用できません
ビット2	ビット1	ビット0	データ転送の起動要因																																																
DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード																																															
0	0	0	オートリクエスト (バーストモード)	16ビットタイムチャネル0のコンペアマッチ/インプットキャプチャA割り込みで起動																																															
		1	使用できません	16ビットタイムチャネル1のコンペアマッチ/インプットキャプチャA割り込みで起動																																															
	1	0	オートリクエスト (サイクルスチールモード)	16ビットタイムチャネル2のコンペアマッチ/インプットキャプチャA割り込みで起動																																															
		1	使用できません	A/D変換器の変換終了割り込みで起動																																															
1	0	0	使用できません	使用できません																																															
		1	使用できません	使用できません																																															
	1	0	DREQ端子の立ち下がりエッジ入力	DREQ端子の立ち下がりエッジ入力																																															
		1	DREQ端子のLowレベル入力	使用できません																																															
0				データ転送を許可																																															
トランスファモードセレクト																																																			
0		ブロック転送モード時、デスティネーション側をブロックエリアとして転送																																																	
1		ブロック転送モード時、ソース側をブロックエリアとして転送																																																	
デスティネーションアドレスインクリメント/デクリメント (ビット5)																																																			
デスティネーションアドレスインクリメント/デクリメントイネーブル (ビット4)																																																			
ビット5		ビット4		説明																																															
DAID		DAIDE																																																	
0	0		MARB固定																																																
	1		インクリメント : DTSZ=0のとき、転送後MARBを+1 DTSZ=1のとき、転送後MARBを+2																																																
1	0		MARB固定																																																
	1		デクリメント : DTSZ=0のとき、転送後MARBを-1 DTSZ=1のとき、転送後MARBを-2																																																



DTCR1A データトランスファコントロールレジスタ 1A				H'FFF37				DMAC1																							
ショートアドレスモード																															
ビット:           7           6           5           4           3           2           1           0																															
DTE		DTSZ		DTID		RPE		DTIE		DTS2		DTS1		DTS0																	
初期値: 0		0		0		0		0		0		0		0																	
R/W: R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W																	
フルアドレスモード																															
ビット:           7           6           5           4           3           2           1           0																															
DTE		DTSZ		SAID		SAIDE		DTIE		DTS2A		DTS1A		DTS0A																	
初期値: 0		0		0		0		0		0		0		0																	
R/W: R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W																	
機能はDMAC0と同じです。																															
MAR1B R、E、H、L メモリアドレスレジスタ 1B R、E、H、L								H'FFF38、H'FFF39、H'FFF3A、H'FFF3B				DMAC1																			
ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16																															
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:20px; height: 20px;"></td><td style="width:20px; height: 20px;"></td> </tr> </table>																															
初期値: 1 1 1 1 1 1 1 1								不定																							
R/W: - - - - - - - -								R/W R/W R/W R/W R/W R/W R/W R/W																							
MAR1BR								MAR1BE																							
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:20px; height: 20px;"></td><td style="width:20px; height: 20px;"></td> </tr> </table>																															
初期値: 不定								不定																							
R/W: R/W R/W R/W R/W R/W R/W R/W R/W								R/W R/W R/W R/W R/W R/W R/W R/W																							
MAR1BH								MAR1BL																							
機能はDMAC0と同じです。																															

ETCR1B H、L 転送カウントレジスタ 1B H、L	H'FFF3C、H'FFF3D	DMAC1																
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table>																	
初期値： 不定																		
R/W： R/W																		
ビット： 7 6 5 4 3 2 1 0	7 6 5 4 3 2 1 0																	
<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table>																		
初期値： 不定	不定																	
R/W： R/W R/W R/W R/W R/W R/W R/W R/W	R/W R/W R/W R/W R/W R/W R/W R/W																	
ETCR1BH	ETCR1BL																	
機能はDMAC0と同じです。																		
IOAR1B I/O アドレスレジスタ 1B	H'FFF3E	DMAC1																
ビット： 7 6 5 4 3 2 1 0	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table>																	
初期値： 不定																		
R/W： R/W R/W R/W R/W R/W R/W R/W R/W																		
機能はDMAC0と同じです。																		
DTCR1B データトランスファコントロールレジスタ 1B	H'FFF3F	DMAC1																
ショートアドレスモード																		
ビット： 7 6 5 4 3 2 1 0	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">DTE</td><td style="width: 20px;">DTSZ</td><td style="width: 20px;">DTID</td><td style="width: 20px;">RPE</td><td style="width: 20px;">DTIE</td><td style="width: 20px;">DTS2</td><td style="width: 20px;">DTS1</td><td style="width: 20px;">DTS0</td> </tr> </table>		DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0								
DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0											
初期値： 0 0 0 0 0 0 0 0																		
R/W： R/W R/W R/W R/W R/W R/W R/W R/W																		
フルアドレスモード																		
ビット： 7 6 5 4 3 2 1 0	<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">DTME</td><td style="width: 20px;">-</td><td style="width: 20px;">DAID</td><td style="width: 20px;">DAIDE</td><td style="width: 20px;">TMS</td><td style="width: 20px;">DTS2B</td><td style="width: 20px;">DTS1B</td><td style="width: 20px;">DTS0B</td> </tr> </table>		DTME	-	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B								
DTME	-	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B											
初期値： 0 0 0 0 0 0 0 0																		
R/W： R/W R/W R/W R/W R/W R/W R/W R/W																		
機能はDMAC0と同じです。																		





TMDR タイマモードレジスタ				H'FFF62		16ビットタイマ(共通)		
ビット:	7	6	5	4	3	2	1	0
	-	MDF	FDIR	-	-	PWM2	PWM1	PWM0
初期値:	1	0	0	1	1	0	0	0
R/W:	-	R/W	R/W	-	-	R/W	R/W	R/W

0	チャンネル0は通常動作	(初期値)
1	チャンネル0はPWMモード	

0	チャンネル1は通常動作	(初期値)
1	チャンネル1はPWMモード	

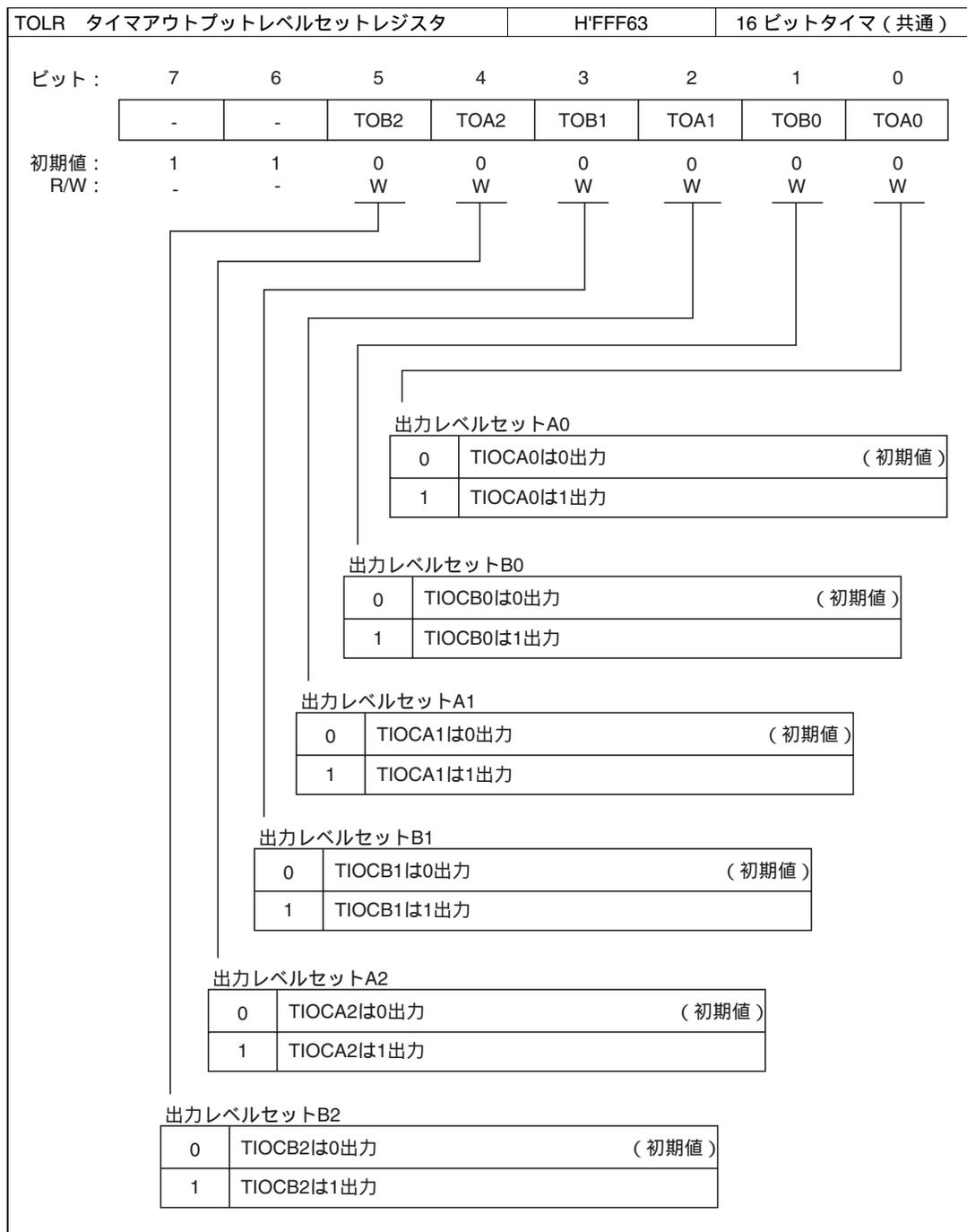
0	チャンネル2は通常動作	(初期値)
1	チャンネル2はPWMモード	

0	TISRCのOVFフラグは、16TCNT2がオーバーフローまたはアンダフローしたときに1にセット	(初期値)
1	TISRCのOVFフラグは、16TCNT2がオーバーフローしたときに1にセット	

0	チャンネル2は通常動作	(初期値)
1	チャンネル2は位相計数モード	



TISRA	タイマインタラプトステータスレジスタ A	H'FFF64	16ビットタイマ (共通)																													
ビット:	7	6	5	4	3	2	1	0																								
	-	IMIEA2	IMIEA1	IMIEA0	-	IMFA2	IMFA1	IMFA0																								
初期値:	1	0	0	0	1	0	0	0																								
R/W:		R/W	R/W	R/W		R/(W)*	R/(W)*	R/(W)*																								
<p>インプットキャプチャ / コンペアマッチフラグA0 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>           【クリア条件】            (1) IMFA0 = 1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき            (2) IMIA0割り込みによりDMACが起動されたとき         </td> </tr> <tr> <td>1</td> <td>           【セット条件】            (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0になったとき            (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき         </td> </tr> </table> <p>インプットキャプチャ / コンペアマッチフラグA1 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>           【クリア条件】            (1) IMFA1 = 1の状態、IMFA1フラグをリードした後、IMFA1フラグに0をライトしたとき            (2) IMIA1割り込みによりDMACが起動されたとき         </td> </tr> <tr> <td>1</td> <td>           【セット条件】            (1) GRA1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1になったとき            (2) GRA1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき         </td> </tr> </table> <p>インプットキャプチャ / コンペアマッチフラグA2 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>           【クリア条件】            (1) IMFA2 = 1の状態、IMFA2フラグをリードした後、IMFA2フラグに0をライトしたとき            (2) IMIA2割り込みによりDMACが起動されたとき         </td> </tr> <tr> <td>1</td> <td>           【セット条件】            (1) GRA2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2になったとき            (2) GRA2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき         </td> </tr> </table> <p>インプットキャプチャ / コンペアマッチインタラプトイネーブルA0 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>IMFA0フラグによる割り込み (IMIA0) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFA0フラグによる割り込み (IMIA0) 要求を許可</td> </tr> </table> <p>インプットキャプチャ / コンペアマッチインタラプトイネーブルA1 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>IMFA1フラグによる割り込み (IMIA1) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFA1フラグによる割り込み (IMIA1) 要求を許可</td> </tr> </table> <p>インプットキャプチャ / コンペアマッチインタラプトイネーブルA2 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>IMFA2フラグによる割り込み (IMIA2) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFA2フラグによる割り込み (IMIA2) 要求を許可</td> </tr> </table>									0	【クリア条件】 (1) IMFA0 = 1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき (2) IMIA0割り込みによりDMACが起動されたとき	1	【セット条件】 (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0になったとき (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき	0	【クリア条件】 (1) IMFA1 = 1の状態、IMFA1フラグをリードした後、IMFA1フラグに0をライトしたとき (2) IMIA1割り込みによりDMACが起動されたとき	1	【セット条件】 (1) GRA1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1になったとき (2) GRA1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき	0	【クリア条件】 (1) IMFA2 = 1の状態、IMFA2フラグをリードした後、IMFA2フラグに0をライトしたとき (2) IMIA2割り込みによりDMACが起動されたとき	1	【セット条件】 (1) GRA2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2になったとき (2) GRA2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき	0	IMFA0フラグによる割り込み (IMIA0) 要求を禁止	1	IMFA0フラグによる割り込み (IMIA0) 要求を許可	0	IMFA1フラグによる割り込み (IMIA1) 要求を禁止	1	IMFA1フラグによる割り込み (IMIA1) 要求を許可	0	IMFA2フラグによる割り込み (IMIA2) 要求を禁止	1	IMFA2フラグによる割り込み (IMIA2) 要求を許可
0	【クリア条件】 (1) IMFA0 = 1の状態、IMFA0フラグをリードした後、IMFA0フラグに0をライトしたとき (2) IMIA0割り込みによりDMACが起動されたとき																															
1	【セット条件】 (1) GRA0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRA0になったとき (2) GRA0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRA0に転送されたとき																															
0	【クリア条件】 (1) IMFA1 = 1の状態、IMFA1フラグをリードした後、IMFA1フラグに0をライトしたとき (2) IMIA1割り込みによりDMACが起動されたとき																															
1	【セット条件】 (1) GRA1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRA1になったとき (2) GRA1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRA1に転送されたとき																															
0	【クリア条件】 (1) IMFA2 = 1の状態、IMFA2フラグをリードした後、IMFA2フラグに0をライトしたとき (2) IMIA2割り込みによりDMACが起動されたとき																															
1	【セット条件】 (1) GRA2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRA2になったとき (2) GRA2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRA2に転送されたとき																															
0	IMFA0フラグによる割り込み (IMIA0) 要求を禁止																															
1	IMFA0フラグによる割り込み (IMIA0) 要求を許可																															
0	IMFA1フラグによる割り込み (IMIA1) 要求を禁止																															
1	IMFA1フラグによる割り込み (IMIA1) 要求を許可																															
0	IMFA2フラグによる割り込み (IMIA2) 要求を禁止																															
1	IMFA2フラグによる割り込み (IMIA2) 要求を許可																															
<p>【注】 * フラグをクリアするための0ライトのみ可能です。</p>																																

TISR <sub>B</sub>	タイマインタラプトステータスレジスタ B	H'FFF65	16ビットタイマ (共通)																													
ビット:	7	6	5	4	3	2	1	0																								
	-	IMIEB2	IMIEB1	IMIEB0	-	IMFB2	IMFB1	IMFB0																								
初期値:	1	0	0	0	1	0	0	0																								
R/W:	-	R/W	R/W	R/W	-	R/(W)*	R/(W)*	R/(W)*																								
<p>インプットキャプチャ/コンペアマッチフラグB0 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 IMFB0 = 1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0になったとき (2) GRB0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき</td> </tr> </table> <p>インプットキャプチャ/コンペアマッチフラグB1 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 IMFB1 = 1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1になったとき (2) GRB1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき</td> </tr> </table> <p>インプットキャプチャ/コンペアマッチフラグB2 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 IMFB2 = 1の状態、IMFB2フラグをリードした後、IMFB2フラグに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 (1) GRB2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2になったとき (2) GRB2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRB2に転送されたとき</td> </tr> </table> <p>インプットキャプチャ/コンペアマッチインタラプトイネーブルB0 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>IMFB0フラグによる割り込み (IMIB0) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFB0フラグによる割り込み (IMIB0) 要求を許可</td> </tr> </table> <p>インプットキャプチャ/コンペアマッチインタラプトイネーブルB1 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>IMFB1フラグによる割り込み (IMIB1) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFB1フラグによる割り込み (IMIB1) 要求を許可</td> </tr> </table> <p>インプットキャプチャ/コンペアマッチインタラプトイネーブルB2 (初期値)</p> <table border="1"> <tr> <td>0</td> <td>IMFB2フラグによる割り込み (IMIB2) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFB2フラグによる割り込み (IMIB2) 要求を許可</td> </tr> </table>									0	〔クリア条件〕 IMFB0 = 1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき	1	〔セット条件〕 (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0になったとき (2) GRB0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき	0	〔クリア条件〕 IMFB1 = 1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき	1	〔セット条件〕 (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1になったとき (2) GRB1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき	0	〔クリア条件〕 IMFB2 = 1の状態、IMFB2フラグをリードした後、IMFB2フラグに0をライトしたとき	1	〔セット条件〕 (1) GRB2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2になったとき (2) GRB2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRB2に転送されたとき	0	IMFB0フラグによる割り込み (IMIB0) 要求を禁止	1	IMFB0フラグによる割り込み (IMIB0) 要求を許可	0	IMFB1フラグによる割り込み (IMIB1) 要求を禁止	1	IMFB1フラグによる割り込み (IMIB1) 要求を許可	0	IMFB2フラグによる割り込み (IMIB2) 要求を禁止	1	IMFB2フラグによる割り込み (IMIB2) 要求を許可
0	〔クリア条件〕 IMFB0 = 1の状態、IMFB0フラグをリードした後、IMFB0フラグに0をライトしたとき																															
1	〔セット条件〕 (1) GRB0がアウトプットコンペアレジスタとして機能している場合、16TCNT0 = GRB0になったとき (2) GRB0がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT0の値がGRB0に転送されたとき																															
0	〔クリア条件〕 IMFB1 = 1の状態、IMFB1フラグをリードした後、IMFB1フラグに0をライトしたとき																															
1	〔セット条件〕 (1) GRB1がアウトプットコンペアレジスタとして機能している場合、16TCNT1 = GRB1になったとき (2) GRB1がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT1の値がGRB1に転送されたとき																															
0	〔クリア条件〕 IMFB2 = 1の状態、IMFB2フラグをリードした後、IMFB2フラグに0をライトしたとき																															
1	〔セット条件〕 (1) GRB2がアウトプットコンペアレジスタとして機能している場合、16TCNT2 = GRB2になったとき (2) GRB2がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により16TCNT2の値がGRB2に転送されたとき																															
0	IMFB0フラグによる割り込み (IMIB0) 要求を禁止																															
1	IMFB0フラグによる割り込み (IMIB0) 要求を許可																															
0	IMFB1フラグによる割り込み (IMIB1) 要求を禁止																															
1	IMFB1フラグによる割り込み (IMIB1) 要求を許可																															
0	IMFB2フラグによる割り込み (IMIB2) 要求を禁止																															
1	IMFB2フラグによる割り込み (IMIB2) 要求を許可																															
<p>【注】 * フラグをクリアするための0ライトのみ可能です。</p>																																

TISRC	タイミンタラプトステータスレジスタ C	H'FFF66	16 ビットタイマ (共通)																																									
ビット:	7	6	5	4	3	2	1	0																																				
	-	OVIE2	OVIE1	OVIE0	-	OVF2	OVF1	OVF0																																				
初期値:	1	0	0	0	1	0	0	0																																				
R/W:	-	R/W	R/W	R/W	-	R/(W)*	R/(W)*	R/(W)*																																				
<p>オーバーフローフラグ0</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 16TCNT0の値がオーバーフロー (H'FFFF→H'0000) したとき</td> <td></td> </tr> </table> <p>オーバーフローフラグ1</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 16TCNT1の値がオーバーフロー (H'FFFF→H'0000) したとき</td> <td></td> </tr> </table> <p>オーバーフローフラグ2</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 16TCNT2の値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき</td> <td></td> </tr> </table> <p>オーバーフローインタラプトイネーブル0</p> <table border="1"> <tr> <td>0</td> <td>OVF0フラグによる割り込み (OVI0) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>OVF0フラグによる割り込み (OVI0) 要求を許可</td> <td></td> </tr> </table> <p>オーバーフローインタラプトイネーブル1</p> <table border="1"> <tr> <td>0</td> <td>OVF1フラグによる割り込み (OVI1) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>OVF1フラグによる割り込み (OVI1) 要求を許可</td> <td></td> </tr> </table> <p>オーバーフローインタラプトイネーブル2</p> <table border="1"> <tr> <td>0</td> <td>OVF2フラグによる割り込み (OVI2) 要求を禁止</td> <td>(初期値)</td> </tr> <tr> <td>1</td> <td>OVF2フラグによる割り込み (OVI2) 要求を許可</td> <td></td> </tr> </table> <p>【注】 * フラグをクリアするための0ライトのみ可能です。</p>									0	〔クリア条件〕 OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき	(初期値)	1	〔セット条件〕 16TCNT0の値がオーバーフロー (H'FFFF→H'0000) したとき		0	〔クリア条件〕 OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき	(初期値)	1	〔セット条件〕 16TCNT1の値がオーバーフロー (H'FFFF→H'0000) したとき		0	〔クリア条件〕 OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき	(初期値)	1	〔セット条件〕 16TCNT2の値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき		0	OVF0フラグによる割り込み (OVI0) 要求を禁止	(初期値)	1	OVF0フラグによる割り込み (OVI0) 要求を許可		0	OVF1フラグによる割り込み (OVI1) 要求を禁止	(初期値)	1	OVF1フラグによる割り込み (OVI1) 要求を許可		0	OVF2フラグによる割り込み (OVI2) 要求を禁止	(初期値)	1	OVF2フラグによる割り込み (OVI2) 要求を許可	
0	〔クリア条件〕 OVF0 = 1の状態、OVF0フラグをリードした後、OVF0フラグに0をライトしたとき	(初期値)																																										
1	〔セット条件〕 16TCNT0の値がオーバーフロー (H'FFFF→H'0000) したとき																																											
0	〔クリア条件〕 OVF1 = 1の状態、OVF1フラグをリードした後、OVF1フラグに0をライトしたとき	(初期値)																																										
1	〔セット条件〕 16TCNT1の値がオーバーフロー (H'FFFF→H'0000) したとき																																											
0	〔クリア条件〕 OVF2 = 1の状態、OVF2フラグをリードした後、OVF2フラグに0をライトしたとき	(初期値)																																										
1	〔セット条件〕 16TCNT2の値がオーバーフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき																																											
0	OVF0フラグによる割り込み (OVI0) 要求を禁止	(初期値)																																										
1	OVF0フラグによる割り込み (OVI0) 要求を許可																																											
0	OVF1フラグによる割り込み (OVI1) 要求を禁止	(初期値)																																										
1	OVF1フラグによる割り込み (OVI1) 要求を許可																																											
0	OVF2フラグによる割り込み (OVI2) 要求を禁止	(初期値)																																										
1	OVF2フラグによる割り込み (OVI2) 要求を許可																																											

16TCR0	タイマコントロールレジスタ 0	H'FFF68	16 ビットタイマチャンネル 0
--------	-----------------	---------	------------------

ビット:	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	-	R/W						

タイマプリスケラ2~0

ビット2	ビット1	ビット0	説明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: $\phi$ でカウント (初期値)
		1	内部クロック: $\phi/2$ でカウント
	1	0	内部クロック: $\phi/4$ でカウント
		1	内部クロック: $\phi/8$ でカウント
1	0	0	外部クロックA: TCLKA端子入力でカウント
		1	外部クロックB: TCLKB端子入力でカウント
	1	0	外部クロックC: TCLKC端子入力でカウント
		1	外部クロックD: TCLKD端子入力でカウント

クロックエッジ1、0

ビット4	ビット3	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
0	1	立ち下がりエッジでカウント
1	-	立ち上がり立ち下がりエッジの両エッジでカウント

カウンタクリア1、0

ビット6	ビット5	説明
CCLR1	CCLR0	
0	0	16TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャで16TCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャで16TCNTをクリア
	1	同期クリア。同期動作をしている他のタイマのカウンタクリアに同期して16TCNTをクリア

TIOB0 タイマ I/O コントロールレジスタ 0				H'FFF69				16 ビットタイマチャンネル 0				
ビット :	7	6	5	4	3	2	1	0				
	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0				
初期値 :	1	0	0	0	1	0	0	0				
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W				

I/OコントロールA2 ~ A0				説明	
ビット2	ビット1	ビット0			
IOA2	IOA1	IOA0			
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)	
		1		GRAのコンペアマッチで0出力	
	1	0		GRAのコンペアマッチで1出力	
		1		GRAのコンペアマッチでトグル出力 (チャンネル2のみ1出力)	
1	0	0	GRAはインプット キャプチャレジスタ	立ち上がりエッジでGRAへインプットキャプチャ	
		1		立ち下がりエッジでGRAへインプットキャプチャ	
	1	0		立ち上がり / 立ち下がりの両エッジでインプット キャプチャ	
		1			

I/OコントロールB2 ~ B0				説明	
ビット6	ビット5	ビット4			
IOB2	IOB1	IOB0			
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止 (初期値)	
		1		GRBのコンペアマッチで0出力	
	1	0		GRBのコンペアマッチで1出力	
		1		GRBのコンペアマッチでトグル出力 (チャンネル2のみ1出力)	
1	0	0	GRBはインプット キャプチャレジスタ	立ち上がりエッジでGRBへインプットキャプチャ	
		1		立ち下がりエッジでGRBへインプットキャプチャ	
	1	0		立ち上がり / 立ち下がりの両エッジでインプット キャプチャ	
		1			

16TCNT0H、L タイマカウンタ 0H、L	H'FFF6A、H'FFF6B	16 ビットタイマチャンネル 0																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W: R/W R/W アップカウンタ																		
GRA0H、L ジェネラルレジスタ A0 H、L	H'FFF6C、H'FFF6D	16 ビットタイマチャンネル 0																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 R/W: R/W R/W アウトプットコンペア / インプットキャプチャ兼用レジスタ																		
GRB0H、L ジェネラルレジスタ B0 H、L	H'FFF6E、H'FFF6F	16 ビットタイマチャンネル 0																
ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;"> </td><td style="width: 20px;"> </td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 R/W: R/W R/W アウトプットコンペア / インプットキャプチャ兼用レジスタ																		
16TCR1 タイマコントロールレジスタ 1	H'FFF70	16 ビットタイマチャンネル 1																
ビット: 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">-</td><td style="width: 20px;">CCLR1</td><td style="width: 20px;">CCLR0</td><td style="width: 20px;">CKEG1</td><td style="width: 20px;">CKEG0</td><td style="width: 20px;">TPSC2</td><td style="width: 20px;">TPSC1</td><td style="width: 20px;">TPSC0</td> </tr> </table> 初期値: 1 0 0 0 0 0 0 0 R/W: - R/W R/W R/W R/W R/W R/W R/W 機能は16ビットタイマチャンネル0と同じです。			-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0								
-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0											

TIOA1 タイマ I/O コントロールレジスタ 1		H'FFF71		16 ビットタイマチャンネル 1			
ビット:	7      6      5      4      3      2      1      0						
	-      IOB2      IOB1      IOB0      -      IOA2      IOA1      IOA0						
初期値:	1      0      0      0      1      0      0      0						
R/W:	-      R/W      R/W      R/W      -      R/W      R/W      R/W						
機能は16ビットタイマチャンネル0と同じです。							
16TCNT1H、L タイマカウンタ 1H、L		H'FFF72、H'FFF73		16 ビットタイマチャンネル 1			
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0						
	<input type="checkbox"/>						
初期値:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0						
R/W:	R/W						
機能は16ビットタイマチャンネル0と同じです。							
GRA1H、L ジェネラルレジスタ A1 H、L		H'FFF74、H'FFF75		16 ビットタイマチャンネル 1			
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0						
	<input type="checkbox"/>						
初期値:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1						
R/W:	R/W						
機能は16ビットタイマチャンネル0と同じです。							
GRB1H、L ジェネラルレジスタ B1 H、L		H'FFF76、H'FFF77		16 ビットタイマチャンネル 1			
ビット:	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0						
	<input type="checkbox"/>						
初期値:	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1						
R/W:	R/W						
機能は16ビットタイマチャンネル0と同じです。							

16TCR2 タイマコントロールレジスタ 2				H'FFF78				16 ビットタイマチャンネル 2								
ビット:	7	6	5	4	3	2	1	0								
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0								
初期値:	1	0	0	0	0	0	0	0								
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
機能は16ビットタイマチャンネル0と同じです。																
【注】 チャンネル2を位相計数モードに設定したとき、16TCR2のCKEG1、CKEG0ビットおよびTPSC2~TPSC0ビットの設定は無効となります。																
TIOR2 タイマ I/O コントロールレジスタ 2				H'FFF79				16 ビットタイマチャンネル 2								
ビット:	7	6	5	4	3	2	1	0								
	-	IOB2	IOB1	IOB0	-	IOA2	IOA1	IOA0								
初期値:	1	0	0	0	1	0	0	0								
R/W:		R/W	R/W	R/W		R/W	R/W	R/W								
機能は16ビットタイマチャンネル0と同じです。																
16TCNT2H、L タイマカウンタ 2H、L				H'FFF7A、H'FFF7B				16 ビットタイマチャンネル 2								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↑ 位相計数モード時: アップ/ダウンカウンタ その他のモード時: アップカウンタ																
GRA2H、L ジェネラルレジスタ A2 H、L				H'FFF7C、H'FFF7D				16 ビットタイマチャンネル 2								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能は16ビットタイマチャンネル0と同じです。																

GRB2H、L ジェネラルレジスタ B2 H、L	H'FFF7E、H'FFF7F	16 ビットタイマチャンネル 2														
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															
機能は16ビットタイマチャンネル0と同じです。																

8TCR0	タイマコントロールレジスタ 0	H'FFF80	8ビットタイマチャンネル 0
8TCR1	タイマコントロールレジスタ 1	H'FFF81	8ビットタイマチャンネル 1

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

		クロックセレクト2~0	
0	0	0	クロック入力を禁止
		1	内部クロック： φ/8立ち上がりエッジでカウント
	1	0	内部クロック： φ/64立ち上がりエッジでカウント
		1	内部クロック： φ/8192立ち上がりエッジでカウント
1	0	0	チャンネル0の場合： 8TCNT1のオーバフロー信号で カウント* チャンネル1の場合： 8TCNT0のコンペアマッチAで カウント*
		1	外部クロック：立ち下がりエッジでカウント
	1	0	外部クロック：立ち上がりエッジでカウント
		1	外部クロック：立ち上がり/立ち下がり 両エッジでカウント

【注】\* チャンネル0のクロック入力を8TCNT1のオーバフロー信号とし、チャンネル1のクロック入力を8TCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

		カウンタクリア1、0	
0	0	クリアを禁止	
	1	コンペアマッチAによりクリア	
1	0	コンペアマッチB/インプットキャプチャBによりクリア	
	1	インプットキャプチャBによりクリア	

		タイマオーバフローインタラプトイネーブル	
0	OVFによる割り込み要求(OVI)を禁止		
1	OVFによる割り込み要求(OVI)を許可		

		コンペアマッチインタラプトイネーブルA	
0	CMFAによる割り込み要求(CMIA)を禁止		
1	CMFAによる割り込み要求(CMIA)を許可		

		コンペアマッチインタラプトイネーブルB	
0	CMFBによる割り込み要求(CMIB)を禁止		
1	CMFBによる割り込み要求(CMIB)を許可		

8TCSR0 タイマコントロール/ステータスレジスタ 0				H'FFF82				8ビットタイマチャネル 0																																											
ビット:																																																			
7			6			5			4			3			2			1			0																														
CMFB			CMFA			OVF			ADTE			OIS3			OIS2			OS1			OS0																														
初期値:																																																			
0			0			0			0			0			0			0			0																														
R/W			R/(W)*			R/(W)*			R/W			R/W			R/W			R/W			R/W																														
												<table border="1"> <thead> <tr> <th colspan="4">アウトプットセレクトA1、A0</th> </tr> <tr> <th>ビット1</th> <th>ビット0</th> <th colspan="2">説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td colspan="2">コンペアマッチAで変化しない</td> </tr> <tr> <td>1</td> <td colspan="2">コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td colspan="2">コンペアマッチAで1出力</td> </tr> <tr> <td>1</td> <td colspan="2">コンペアマッチAごとに反転出力(トグル出力)</td> </tr> </tbody> </table>												アウトプットセレクトA1、A0				ビット1	ビット0	説明		0	0	コンペアマッチAで変化しない		1	コンペアマッチAで0出力		1	0	コンペアマッチAで1出力		1	コンペアマッチAごとに反転出力(トグル出力)							
アウトプットセレクトA1、A0																																																			
ビット1	ビット0	説明																																																	
0	0	コンペアマッチAで変化しない																																																	
	1	コンペアマッチAで0出力																																																	
1	0	コンペアマッチAで1出力																																																	
	1	コンペアマッチAごとに反転出力(トグル出力)																																																	
												<table border="1"> <thead> <tr> <th colspan="4">アウトプット/インプットキャプチャエッジセレクトB3、B2</th> </tr> <tr> <th>8TCSR1のICE</th> <th>ビット3 OIS3</th> <th>ビット2 OIS2</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td>1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td>1</td> <td>コンペアマッチBごとに反転出力(トグル出力)</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="2">0</td> <td>0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td>1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td>1</td> <td>0</td> <td>立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ</td> </tr> </tbody> </table>												アウトプット/インプットキャプチャエッジセレクトB3、B2				8TCSR1のICE	ビット3 OIS3	ビット2 OIS2	説明	0	0	0	コンペアマッチBで変化しない	1	コンペアマッチBで0出力	1	0	コンペアマッチBで1出力	1	コンペアマッチBごとに反転出力(トグル出力)	1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ	1	立ち下がりエッジでTCORBにインプットキャプチャ	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ
アウトプット/インプットキャプチャエッジセレクトB3、B2																																																			
8TCSR1のICE	ビット3 OIS3	ビット2 OIS2	説明																																																
0	0	0	コンペアマッチBで変化しない																																																
		1	コンペアマッチBで0出力																																																
	1	0	コンペアマッチBで1出力																																																
		1	コンペアマッチBごとに反転出力(トグル出力)																																																
1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ																																																
		1	立ち下がりエッジでTCORBにインプットキャプチャ																																																
	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ																																																
												<table border="1"> <thead> <tr> <th colspan="3">A/Dトリガインテール</th> </tr> <tr> <th>TRGE</th> <th>ビット4 ADTE</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td>1</td> <td>コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止</td> </tr> <tr> <td>1</td> <td>コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止</td> </tr> </tbody> </table>												A/Dトリガインテール			TRGE	ビット4 ADTE	説明	0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止	1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止												
A/Dトリガインテール																																																			
TRGE	ビット4 ADTE	説明																																																	
0	0	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止																																																	
	1	コンペアマッチAまたは外部トリガによるA/D変換開始要求を禁止																																																	
1	0	外部トリガによるA/D変換開始要求を許可、およびコンペアマッチAによるA/D変換開始要求を禁止																																																	
	1	コンペアマッチAによるA/D変換開始要求を許可、および外部トリガによるA/D変換開始要求を禁止																																																	
												<p>* TRGEはA/Dコントロールレジスタ(ADCR)のビット7です。</p>																																							
												<table border="1"> <thead> <tr> <th colspan="2">タイマオーバフローフラグ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] 8TCNTがH'FF→H'00になったとき</td> </tr> </tbody> </table>												タイマオーバフローフラグ		0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき	1	[セット条件] 8TCNTがH'FF→H'00になったとき																						
タイマオーバフローフラグ																																																			
0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき																																																		
1	[セット条件] 8TCNTがH'FF→H'00になったとき																																																		
												<table border="1"> <thead> <tr> <th colspan="2">コンペアマッチフラグA</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] 8TCNT=TCORAになったとき</td> </tr> </tbody> </table>												コンペアマッチフラグA		0	[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき	1	[セット条件] 8TCNT=TCORAになったとき																						
コンペアマッチフラグA																																																			
0	[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき																																																		
1	[セット条件] 8TCNT=TCORAになったとき																																																		
												<table border="1"> <thead> <tr> <th colspan="2">コンペアマッチ/インプットキャプチャフラグB</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] (1) 8TCNT=TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき</td> </tr> </tbody> </table>												コンペアマッチ/インプットキャプチャフラグB		0	[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき	1	[セット条件] (1) 8TCNT=TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																						
コンペアマッチ/インプットキャプチャフラグB																																																			
0	[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき																																																		
1	[セット条件] (1) 8TCNT=TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNT値がTCORBに転送されたとき																																																		
												<p>【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。</p>																																							

8TCSR1 タイマコントロール/ステータスレジスタ 1	H'FFF83	8ビットタイマチャンネル 1																																																																							
<p>8TCSR1 ビット:      7          6          5          4          3          2          1          0</p> <table style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width:12.5%;"></td> <td style="width:12.5%; text-align: center;">CMFB</td> <td style="width:12.5%; text-align: center;">CMFA</td> <td style="width:12.5%; text-align: center;">OVF</td> <td style="width:12.5%; text-align: center;">ICE</td> <td style="width:12.5%; text-align: center;">OIS3</td> <td style="width:12.5%; text-align: center;">OIS2</td> <td style="width:12.5%; text-align: center;">OS1</td> <td style="width:12.5%; text-align: center;">OS0</td> </tr> </table> <p>初期値:            0          0          0          0          0          0          0          0</p> <p>R/W:              R/(W)*   R/(W)*   R/(W)*   R/W      R/W      R/W      R/W      R/W</p>		CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0	<p style="text-align: center;">アウトプットセレクトA1、A0</p> <table border="1" style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <thead> <tr> <th rowspan="2" style="width:10%;"></th> <th style="width:10%;">ビット1</th> <th style="width:10%;">ビット0</th> <th rowspan="2" style="width:70%;">説明</th> </tr> <tr> <th>OS1</th> <th>OS0</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>コンペアマッチAごとに反転出力(トグル出力)</td> </tr> </tbody> </table> <p style="text-align: center;">アウトプット/インプットキャプチャエッジセレクトB3、B2</p> <table border="1" style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <thead> <tr> <th style="width:10%;">8TCSR1 のICE</th> <th style="width:10%;">ビット3 OIS3</th> <th style="width:10%;">ビット2 OIS2</th> <th rowspan="2" style="width:70%;">説明</th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td style="text-align: center;">1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td>コンペアマッチBごとに反転出力(トグル出力)</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち上がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>立ち下がりエッジでTCORBにインプットキャプチャ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>立ち上がり/立ち下がりの両エッジで</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TCORBにインプットキャプチャ</td> </tr> </tbody> </table> <p style="text-align: center;">インプットキャプチャイネーブル</p> <table border="1" style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width:10%; text-align: center;">0</td> <td>TCORBはコンペアマッチレジスタ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TCORBはインプットキャプチャレジスタ</td> </tr> </table> <p style="text-align: center;">タイマオーバーフローフラグ</p> <table border="1" style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width:10%; text-align: center;">0</td> <td>[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] 8TCNTがH'FF H'00になったとき</td> </tr> </table> <p style="text-align: center;">コンペアマッチフラグA</p> <table border="1" style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width:10%; text-align: center;">0</td> <td>[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] 8TCNT=TCORAになったとき</td> </tr> </table> <p style="text-align: center;">コンペアマッチ/インプットキャプチャフラグB</p> <table border="1" style="width:100%; border-collapse: collapse; margin-bottom: 5px;"> <tr> <td style="width:10%; text-align: center;">0</td> <td>[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] (1) 8TCNT=TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき</td> </tr> </table> <p>【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。</p>			ビット1	ビット0	説明	OS1	OS0	0	0	0	コンペアマッチAで変化しない	1	1	コンペアマッチAで0出力	1	0	0	コンペアマッチAで1出力	1	1	コンペアマッチAごとに反転出力(トグル出力)	8TCSR1 のICE	ビット3 OIS3	ビット2 OIS2	説明	0	0	0	コンペアマッチBで変化しない	1	コンペアマッチBで0出力	1	0	コンペアマッチBで1出力	1	コンペアマッチBごとに反転出力(トグル出力)	1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ	1	立ち下がりエッジでTCORBにインプットキャプチャ	1	0	立ち上がり/立ち下がりの両エッジで	1	TCORBにインプットキャプチャ	0	TCORBはコンペアマッチレジスタ	1	TCORBはインプットキャプチャレジスタ	0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき	1	[セット条件] 8TCNTがH'FF H'00になったとき	0	[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき	1	[セット条件] 8TCNT=TCORAになったとき	0	[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき	1	[セット条件] (1) 8TCNT=TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき
	CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0																																																																	
	ビット1	ビット0	説明																																																																						
	OS1	OS0																																																																							
0	0	0	コンペアマッチAで変化しない																																																																						
	1	1	コンペアマッチAで0出力																																																																						
1	0	0	コンペアマッチAで1出力																																																																						
	1	1	コンペアマッチAごとに反転出力(トグル出力)																																																																						
8TCSR1 のICE	ビット3 OIS3	ビット2 OIS2	説明																																																																						
0	0	0		コンペアマッチBで変化しない																																																																					
		1	コンペアマッチBで0出力																																																																						
	1	0	コンペアマッチBで1出力																																																																						
		1	コンペアマッチBごとに反転出力(トグル出力)																																																																						
1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ																																																																						
		1	立ち下がりエッジでTCORBにインプットキャプチャ																																																																						
	1	0	立ち上がり/立ち下がりの両エッジで																																																																						
		1	TCORBにインプットキャプチャ																																																																						
0	TCORBはコンペアマッチレジスタ																																																																								
1	TCORBはインプットキャプチャレジスタ																																																																								
0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき																																																																								
1	[セット条件] 8TCNTがH'FF H'00になったとき																																																																								
0	[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき																																																																								
1	[セット条件] 8TCNT=TCORAになったとき																																																																								
0	[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき																																																																								
1	[セット条件] (1) 8TCNT=TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき																																																																								

TCORA0	タイムコンスタントレジスタ A0	H'FFF84	8ビットタイマチャンネル 0																	
TCORA1	タイムコンスタントレジスタ A1	H'FFF85	8ビットタイマチャンネル 1																	
<p style="text-align: center;">TCORA0 <span style="margin-left: 150px;">TCORA1</span></p> <p>ビット: <span style="margin-left: 20px;">15 14 13 12 11 10 9 8</span> <span style="margin-left: 20px;">7 6 5 4 3 2 1 0</span></p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 20px; border: 1px solid black;"> </td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>																				
TCORB0	タイムコンスタントレジスタ B0	H'FFF86	8ビットタイマチャンネル 0																	
TCORB1	タイムコンスタントレジスタ B1	H'FFF87	8ビットタイマチャンネル 1																	
<p style="text-align: center;">TCORB0 <span style="margin-left: 150px;">TCORB1</span></p> <p>ビット: <span style="margin-left: 20px;">15 14 13 12 11 10 9 8</span> <span style="margin-left: 20px;">7 6 5 4 3 2 1 0</span></p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 20px; border: 1px solid black;"> </td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>																				
8TCNT0	タイマカウンタ 0	H'FFF88	8ビットタイマチャンネル 0																	
8TCNT1	タイマカウンタ 1	H'FFF89	8ビットタイマチャンネル 1																	
<p style="text-align: center;">8TCNT0 <span style="margin-left: 150px;">8TCNT1</span></p> <p>ビット: <span style="margin-left: 20px;">15 14 13 12 11 10 9 8</span> <span style="margin-left: 20px;">7 6 5 4 3 2 1 0</span></p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 20px; border: 1px solid black;"> </td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W</p>																				

TCSR タイマコントロール/ステータスレジスタ				H'FFF8C			WDT	
ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

CKS2	CKS1	CKS0	説明
0	0	0	$\phi / 2$
		1	$\phi / 32$
	1	0	$\phi / 64$
		1	$\phi / 128$
1	0	0	$\phi / 256$
		1	$\phi / 512$
	1	0	$\phi / 2048$
		1	$\phi / 4096$

	タイマイネーブル
0	タイマディスエーブル ・ TCNTをH'00に初期化し、カウントアップを停止
1	タイマイネーブル ・ TCNTはカウントアップ開始

	タイマモードセレクト
0	インターバルタイマを選択 (インターバルタイマ割り込み要求)
1	ウォッチドッグタイマを選択 (リセット信号を発生)

	オーバフローフラグ
0	〔クリア条件〕 OVF=1の状態でもOVFフラグをリードした後、OVFフラグに0をライトしたとき
1	〔セット条件〕 TCNTがH'FF→H'00に変化したとき

【注】\* フラグをクリアするための0ライトのみ可能です。

TCNT タイマカウンタ				H'FFF8D リード時、H'FFF8C ライト時				WDT								
ビット:	7	6	5	4	3	2	1	0								
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> </tr> </table>															
初期値:	0	0	0	0	0	0	0	0								
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
↓ カウント値																
RSTCSR リセットコントロール/ステータスレジスタ				H'FFF8F リード時、H'FFF8E ライト時				WDT								
ビット:	7	6	5	4	3	2	1	0								
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;">WRST</td> <td style="width: 12.5%;">RSTOE</td> <td style="width: 12.5%;">-</td> </tr> </table>							WRST	RSTOE	-	-	-	-	-	-	
WRST	RSTOE	-	-	-	-	-	-									
初期値:	0	0	1	1	1	1	1	1								
R/W:	R/(W)*	R/W	-	-	-	-	-	-								
↓ リセット出カインエーブル																
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>リセット信号の外部出力を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>リセット信号の外部出力を許可</td> </tr> </table>									0	リセット信号の外部出力を禁止	1	リセット信号の外部出力を許可				
0	リセット信号の外部出力を禁止															
1	リセット信号の外部出力を許可															
↓ ウォッチドッグタイマリセット																
<table border="1" style="width: 100%;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>           〔クリア条件〕            ・RES端子によるリセット信号            ・WRST = 1の状態、WRSTフラグをリード後、WRSTフラグに0をライトしたとき         </td> </tr> <tr> <td style="text-align: center;">1</td> <td>           〔セット条件〕            TCNTがオーバフローし、リセット信号が発生したとき         </td> </tr> </table>									0	〔クリア条件〕 ・RES端子によるリセット信号 ・WRST = 1の状態、WRSTフラグをリード後、WRSTフラグに0をライトしたとき	1	〔セット条件〕 TCNTがオーバフローし、リセット信号が発生したとき				
0	〔クリア条件〕 ・RES端子によるリセット信号 ・WRST = 1の状態、WRSTフラグをリード後、WRSTフラグに0をライトしたとき															
1	〔セット条件〕 TCNTがオーバフローし、リセット信号が発生したとき															
【注】* ビット7は、フラグをクリアする0ライトのみ可能です。																

8TCR2	タイマコントロールレジスタ 2	H'FFF90	8ビットタイマチャンネル 2
8TCR3	タイマコントロールレジスタ 3	H'FFF91	8ビットタイマチャンネル 3

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKS2	CKS1	CKS0	説明
0	0	0	クロック入力を禁止
		1	内部クロック： φ / 8立ち上がりエッジでカウント
	1	0	内部クロック： φ / 64立ち上がりエッジでカウント
		1	内部クロック： φ / 8192立ち上がりエッジでカウント
1	0	0	チャンネル2の場合： 8TCNT3のオーバーフロー信号で カウント* チャンネル3の場合： 8TCNT2のコンペアマッチAで カウント*
		1	外部クロック：立ち下がりエッジでカウント
	1	0	外部クロック：立ち上がりエッジでカウント
		1	外部クロック：立ち上がり / 立ち 下がり両エッジでカウント

【注】\* チャンネル2のクロック入力を8TCNT3のオーバーフロー信号とし、チャンネル3のクロック入力を8TCNT2のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチB / インพุットキャプチャBによりクリア
	1	インพุットキャプチャBによりクリア

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

8TCSR2	タイマコントロール/ステータスレジスタ 2	H'FFF92	8ビットタイマチャンネル 2
8TCSR3	タイマコントロール/ステータスレジスタ 3	H'FFF93	8ビットタイマチャンネル 3

8TCSR2	ビット:	7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	-	OIS3	OIS2	OS1	OS0
初期値:		0	0	0	1	0	0	0	0
R/W:		R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

8TCSR3	ビット:	7	6	5	4	3	2	1	0
		CMFB	CMFA	OVF	ICE	OIS3	OIS2	OS1	OS0
初期値:		0	0	0	0	0	0	0	0
R/W:		R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

アウトプットセレクトA1、A0		
ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力(トグル出力)

アウトプット/インプットキャプチャエッジセレクトB3、B2			
8TCSR3	ビット3	ビット2	説明
のICE	OIS3	OIS2	
0	0	0	コンペアマッチBで変化しない
		1	コンペアマッチBで0出力
	1	0	コンペアマッチBで1出力
		1	コンペアマッチBごとに反転出力(トグル出力)
1	0	0	立ち上がりエッジでTCORBにインプットキャプチャ
		1	立ち下がりエッジでTCORBにインプットキャプチャ
	1	0	立ち上がり/立ち下がりの両エッジでTCORBにインプットキャプチャ

インプットキャプチャイネーブル	
0	TCORBはコンペアマッチレジスタ
1	TCORBはインプットキャプチャレジスタ

タイマオーバフローフラグ	
0	{クリア条件} OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	{セット条件} 8TCNTがH'FF→H'00になったとき

コンペアマッチフラグA	
0	{クリア条件} CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	{セット条件} 8TCNT = TCORAになったとき

コンペアマッチ/インプットキャプチャフラグB	
0	{クリア条件} CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	{セット条件}
	(1) 8TCNT = TCORBになったとき (2) TCORBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により8TCNTの値がTCORBに転送されたとき

【注】\* ビット7-5は、フラグをクリアするための0ライトのみ可能です。

TCORA2	タイムコンスタントレジスタ A2	H'FFF94	8ビットタイマチャンネル 2																
TCORA3	タイムコンスタントレジスタ A3	H'FFF95	8ビットタイマチャンネル 3																
<p style="text-align: center;">TCORA2 <span style="margin-left: 150px;">TCORA3</span></p> <p>ビット: <span style="margin-left: 20px;">15 14 13 12 11 10 9 8</span> <span style="margin-left: 20px;">7 6 5 4 3 2 1 0</span></p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 15px; border: 1px solid black;"></td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>																			
TCORB2	タイムコンスタントレジスタ B2	H'FFF96	8ビットタイマチャンネル 2																
TCORB3	タイムコンスタントレジスタ B3	H'FFF97	8ビットタイマチャンネル 3																
<p style="text-align: center;">TCORB2 <span style="margin-left: 150px;">TCORB3</span></p> <p>ビット: <span style="margin-left: 20px;">15 14 13 12 11 10 9 8</span> <span style="margin-left: 20px;">7 6 5 4 3 2 1 0</span></p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 15px; border: 1px solid black;"></td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W</p>																			
8TCNT2	タイマカウンタ 2	H'FFF98	8ビットタイマチャンネル 2																
8TCNT3	タイマカウンタ 3	H'FFF99	8ビットタイマチャンネル 3																
<p style="text-align: center;">8TCNT2 <span style="margin-left: 150px;">8TCNT3</span></p> <p>ビット: <span style="margin-left: 20px;">15 14 13 12 11 10 9 8</span> <span style="margin-left: 20px;">7 6 5 4 3 2 1 0</span></p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 15px; border: 1px solid black;"></td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W</p>																			
DADR0	D/A データレジスタ 0	H'FFF9C	D/A																
<p>ビット: 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15px;"></td> <td style="width: 15px; border: 1px solid black;"></td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">D/A変換データを格納</p>																			

DADR1	D/A データレジスタ 1				H'FFF9D			D/A
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
<div style="border-top: 1px solid black; width: 100%; margin-top: 5px;"></div> D/A変換データを格納								

DACR D/A コントロールレジスタ				H'FFF9E			D/A	
ビット:	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	-	-	-	-	-

ビット7	ビット6	ビット5	説明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル0、1のD/A変換を禁止
0	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
0	1	1	チャンネル0、1のD/A変換を許可
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
1	0	1	チャンネル0、1のD/A変換を許可
1	1	-	チャンネル0、1のD/A変換を許可

0	アナログ出力DA <sub>0</sub> を禁止
1	チャンネル0のD/A変換を許可 アナログ出力DA <sub>0</sub> を許可

0	アナログ出力DA <sub>1</sub> を禁止
1	チャンネル1のD/A変換を許可 アナログ出力DA <sub>1</sub> を許可

TPMR TPC 出力モードレジスタ				H'FFFA0				TPC
ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	-	-	-	-	R/W	R/W	R/W	R/W

グループ0 ノンオーバーラップ	
0	TPC出力グループ0は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）
1	TPC出力グループ0は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作

グループ1 ノンオーバーラップ	
0	TPC出力グループ1は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）
1	TPC出力グループ1は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作

グループ2 ノンオーバーラップ	
0	TPC出力グループ2は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）
1	TPC出力グループ2は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作

グループ3 ノンオーバーラップ	
0	TPC出力グループ3は通常動作（選択された16ビットタイマのコンペアマッチAで出力値を更新）
1	TPC出力グループ3は、選択された16ビットタイマのコンペアマッチA、Bによりノンオーバーラップ動作

TPCR TPC 出力コントロールレジスタ								H'FFFA1		TPC
ビット:										
	7	6	5	4	3	2	1	0		
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
初期値:	1	1	1	1	1	1	1	1		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
グループ0コンペアマッチセレクト1、0										
	ビット1	ビット0	出力トリガとなる16ビットタイマのチャンネル選択							
	G0CMS1	G0CMS0								
0	0	TPC出力グループ0 (TP3~TP0端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ								
	1	TPC出力グループ0 (TP3~TP0端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ								
1	0	TPC出力グループ0 (TP3~TP0端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ								
	1									
グループ1コンペアマッチセレクト1、0										
	ビット3	ビット2	出力トリガとなる16ビットタイマのチャンネル選択							
	G1CMS1	G1CMS0								
0	0	TPC出力グループ1 (TP7~TP4端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ								
	1	TPC出力グループ1 (TP7~TP4端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ								
1	0	TPC出力グループ1 (TP7~TP4端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ								
	1									
グループ2コンペアマッチセレクト1、0										
	ビット5	ビット4	出力トリガとなる16ビットタイマのチャンネル選択							
	G2CMS1	G2CMS0								
0	0	TPC出力グループ2 (TP11~TP8端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ								
	1	TPC出力グループ2 (TP11~TP8端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ								
1	0	TPC出力グループ2 (TP11~TP8端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ								
	1									
グループ3コンペアマッチセレクト1、0										
	ビット7	ビット6	出力トリガとなる16ビットタイマのチャンネル選択							
	G3CMS1	G3CMS0								
0	0	TPC出力グループ3 (TP15~TP12端子) の出力トリガは16ビットタイマチャンネル0のコンペアマッチ								
	1	TPC出力グループ3 (TP15~TP12端子) の出力トリガは16ビットタイマチャンネル1のコンペアマッチ								
1	0	TPC出力グループ3 (TP15~TP12端子) の出力トリガは16ビットタイマチャンネル2のコンペアマッチ								
	1									

NDERB ネクストデータイネーブルレジスタ B				H'FFFA2				TPC
ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ネクストデータイネーブル15~8								
ビット7~0		説 明						
NDER15 ~ NEDR8								
0		TPC出力TP <sub>15</sub> ~TP <sub>8</sub> を禁止 (NDR15~NDR8からPB <sub>7</sub> ~PB <sub>0</sub> への転送禁止)						
1		TPC出力TP <sub>15</sub> ~TP <sub>8</sub> を許可 (NDR15~NDR8からPB <sub>7</sub> ~PB <sub>0</sub> への転送許可)						
NDERA ネクストデータイネーブルレジスタ A				H'FFFA3				TPC
ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ ネクストデータイネーブル7~0								
ビット7~0		説 明						
NDER7 ~ NEDR0								
0		TPC出力TP <sub>7</sub> ~TP <sub>0</sub> を禁止 (NDR7~NDR0からPA <sub>7</sub> ~PA <sub>0</sub> への転送禁止)						
1		TPC出力TP <sub>7</sub> ~TP <sub>0</sub> を許可 (NDR7~NDR0からPA <sub>7</sub> ~PA <sub>0</sub> への転送許可)						

NDRB	ネクストデータレジスタ B				H'FFFA4/H'FFFA6				TPC
<p>TPC 出力グループ 2、3 の出力トリガが同一の場合</p> <p>(1) アドレス : H'FFFA4</p>									
ビット :	7	6	5	4	3	2	1	0	
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	TPC出力グループ3の次の出力データを格納				TPC出力グループ2の次の出力データを格納				
<p>(2) アドレス : H'FFFA6</p>									
ビット :	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	
初期値 :	1	1	1	1	1	1	1	1	
R/W :	-	-	-	-	-	-	-	-	
<p>TPC 出力グループ 2、3 の出力トリガが異なる場合</p> <p>(1) アドレス : H'FFFA4</p>									
ビット :	7	6	5	4	3	2	1	0	
	NDR15	NDR14	NDR13	NDR12	-	-	-	-	
初期値 :	0	0	0	0	1	1	1	1	
R/W :	R/W	R/W	R/W	R/W	-	-	-	-	
	TPC出力グループ3の次の出力データを格納								
<p>(2) アドレス : H'FFFA6</p>									
ビット :	7	6	5	4	3	2	1	0	
	-	-	-	-	NDR11	NDR10	NDR9	NDR8	
初期値 :	1	1	1	1	0	0	0	0	
R/W :	-	-	-	-	R/W	R/W	R/W	R/W	
					TPC出力グループ2の次の出力データを格納				

NDR A	ネクストデータレジスタ A				H'FFFA5/H'FFFA7				TPC
TPC 出力グループ 0、1 の出力トリガが同一の場合									
(1) アドレス : H'FFFA5									
ビット :	7	6	5	4	3	2	1	0	
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	TPC出力グループ1の次の出力データを格納				TPC出力グループ0の次の出力データを格納				
(2) アドレス : H'FFFA7									
ビット :	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	
初期値 :	1	1	1	1	1	1	1	1	
R/W :	-	-	-	-	-	-	-	-	
TPC 出力グループ 0、1 の出力トリガが異なる場合									
(1) アドレス : H'FFFA5									
ビット :	7	6	5	4	3	2	1	0	
	NDR7	NDR6	NDR5	NDR4	-	-	-	-	
初期値 :	0	0	0	0	1	1	1	1	
R/W :	R/W	R/W	R/W	R/W	-	-	-	-	
	TPC出力グループ1の次の出力データを格納								
(2) アドレス : H'FFFA7									
ビット :	7	6	5	4	3	2	1	0	
	-	-	-	-	NDR3	NDR2	NDR1	NDR0	
初期値 :	1	1	1	1	0	0	0	0	
R/W :	-	-	-	-	R/W	R/W	R/W	R/W	
					TPC出力グループ0の次の出力データを格納				

SMR シリアルモードレジスタ	H'FFF0	SCIO																					
ビット:	7	6	5	4	3	2	1	0															
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0															
初期値:	0	0	0	0	0	0	0	0															
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W															
							クロックセレクト1、0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>ビット1</td> <td>ビット0</td> <td rowspan="2">クロックの選択</td> </tr> <tr> <td>CKS1</td> <td>CKS0</td> </tr> <tr> <td rowspan="2">0</td> <td>0</td> <td><math>\phi</math>クロック</td> </tr> <tr> <td>1</td> <td><math>\phi/4</math>クロック</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td><math>\phi/16</math>クロック</td> </tr> <tr> <td>1</td> <td><math>\phi/64</math>クロック</td> </tr> </table>		ビット1	ビット0	クロックの選択	CKS1	CKS0	0	0	$\phi$ クロック	1	$\phi/4$ クロック	1	0	$\phi/16$ クロック	1	$\phi/64$ クロック
ビット1	ビット0	クロックの選択																					
CKS1	CKS0																						
0	0	$\phi$ クロック																					
	1	$\phi/4$ クロック																					
1	0	$\phi/16$ クロック																					
	1	$\phi/64$ クロック																					
							マルチプロセッサモード <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>マルチプロセッサ機能を禁止</td> </tr> <tr> <td>1</td> <td>マルチプロセッサフォーマットを選択</td> </tr> </table>		0	マルチプロセッサ機能を禁止	1	マルチプロセッサフォーマットを選択											
0	マルチプロセッサ機能を禁止																						
1	マルチプロセッサフォーマットを選択																						
							ストップビットレングス <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>1ストップビット</td> </tr> <tr> <td>1</td> <td>2ストップビット</td> </tr> </table>		0	1ストップビット	1	2ストップビット											
0	1ストップビット																						
1	2ストップビット																						
							パリティモード <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>偶数パリティ</td> </tr> <tr> <td>1</td> <td>奇数パリティ</td> </tr> </table>		0	偶数パリティ	1	奇数パリティ											
0	偶数パリティ																						
1	奇数パリティ																						
							パリティイネーブル <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>パリティビットの付加、およびチェックを禁止</td> </tr> <tr> <td>1</td> <td>パリティビットの付加、およびチェックを許可</td> </tr> </table>		0	パリティビットの付加、およびチェックを禁止	1	パリティビットの付加、およびチェックを許可											
0	パリティビットの付加、およびチェックを禁止																						
1	パリティビットの付加、およびチェックを許可																						
							キャラクタレングス <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>8ビットデータ</td> </tr> <tr> <td>1</td> <td>7ビットデータ</td> </tr> </table>		0	8ビットデータ	1	7ビットデータ											
0	8ビットデータ																						
1	7ビットデータ																						
							コミュニケーションモード (シリアルコミュニケーションインタフェース時) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>調歩同期式モード</td> </tr> <tr> <td>1</td> <td>クロック同期式モード</td> </tr> </table>		0	調歩同期式モード	1	クロック同期式モード											
0	調歩同期式モード																						
1	クロック同期式モード																						
							GSMモード (スマートカードインタフェース時) <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>TENDフラグがスタートビットから12.5 etu*後に発生</td> </tr> <tr> <td>1</td> <td>TENDフラグがスタートビットから11.0 etu*後に発生</td> </tr> </table>		0	TENDフラグがスタートビットから12.5 etu*後に発生	1	TENDフラグがスタートビットから11.0 etu*後に発生											
0	TENDフラグがスタートビットから12.5 etu*後に発生																						
1	TENDフラグがスタートビットから11.0 etu*後に発生																						
							【注】* etu (Elementary Time Unit) : 1ビットの転送期間																

BRR ビットレートレジスタ				H'FFFB1			SCI0	
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							
シリアル送信 / 受信のビットレートを設定								

SCR シリアルコントロールレジスタ	H'FFFB2	SCIO																							
ビット:	7      6      5      4      3      2      1      0																								
	TIE   RIE   TE   RE   MPIE   TEIE   CKE1   CKE0																								
初期値:	0      0      0      0      0      0      0      0																								
R/W:	R/W   R/W   R/W   R/W   R/W   R/W   R/W   R/W																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td colspan="2" style="text-align: center;">レシーブイネーブル</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">受信動作を禁止</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">受信動作を許可</td></tr> </table>	レシーブイネーブル		0	受信動作を禁止	1	受信動作を許可																		
レシーブイネーブル																									
0	受信動作を禁止																								
1	受信動作を許可																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td colspan="2" style="text-align: center;">トランスミットイネーブル</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">送信動作を禁止</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">送信動作を許可</td></tr> </table>	トランスミットイネーブル		0	送信動作を禁止	1	送信動作を許可																		
トランスミットイネーブル																									
0	送信動作を禁止																								
1	送信動作を許可																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td style="text-align: center;">0</td><td style="text-align: center;">送信終了割り込み (TEI) 要求を禁止</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">送信終了割り込み (TEI) 要求を許可</td></tr> </table>	0	送信終了割り込み (TEI) 要求を禁止	1	送信終了割り込み (TEI) 要求を許可																				
0	送信終了割り込み (TEI) 要求を禁止																								
1	送信終了割り込み (TEI) 要求を許可																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td style="text-align: center;">0</td><td style="text-align: center;">マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">マルチプロセッサ割り込みを許可</td></tr> </table>	0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)	1	マルチプロセッサ割り込みを許可																				
0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)																								
1	マルチプロセッサ割り込みを許可																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td colspan="2" style="text-align: center;">レシーブインタラプトイネーブル</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可</td></tr> </table>	レシーブインタラプトイネーブル		0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止	1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																		
レシーブインタラプトイネーブル																									
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止																								
1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td colspan="2" style="text-align: center;">トランスミットインタラプトイネーブル</td></tr> <tr><td style="text-align: center;">0</td><td style="text-align: center;">送信データエンpty割り込み (TXI) 要求を禁止</td></tr> <tr><td style="text-align: center;">1</td><td style="text-align: center;">送信データエンpty割り込み (TXI) 要求を許可</td></tr> </table>	トランスミットインタラプトイネーブル		0	送信データエンpty割り込み (TXI) 要求を禁止	1	送信データエンpty割り込み (TXI) 要求を許可																		
トランスミットインタラプトイネーブル																									
0	送信データエンpty割り込み (TXI) 要求を禁止																								
1	送信データエンpty割り込み (TXI) 要求を許可																								
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td colspan="2" style="text-align: center;">クロックイネーブル1、0 (シリアルコミュニケーションインタフェース時)</td></tr> <tr> <th>ビット1 CKE1</th> <th>ビット0 CKE0</th> <th>説明</th> </tr> <tr> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td>調歩同期式モード / 内部クロック / SCK端子は入出力ポート</td> </tr> <tr> <td>クロック同期式モード / 内部クロック / SCK端子は同期クロック出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td>調歩同期式モード / 内部クロック / SCK端子はクロック出力</td> </tr> <tr> <td>クロック同期式モード / 内部クロック / SCK端子は同期クロック出力</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td>調歩同期式モード / 外部クロック / SCK端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード / 外部クロック / SCK端子は同期クロック入力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td>調歩同期式モード / 外部クロック / SCK端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード / 外部クロック / SCK端子は同期クロック入力</td> </tr> </table>	クロックイネーブル1、0 (シリアルコミュニケーションインタフェース時)		ビット1 CKE1	ビット0 CKE0	説明	0	0	調歩同期式モード / 内部クロック / SCK端子は入出力ポート	クロック同期式モード / 内部クロック / SCK端子は同期クロック出力	1	調歩同期式モード / 内部クロック / SCK端子はクロック出力	クロック同期式モード / 内部クロック / SCK端子は同期クロック出力	1	0	調歩同期式モード / 外部クロック / SCK端子はクロック入力	クロック同期式モード / 外部クロック / SCK端子は同期クロック入力	1	調歩同期式モード / 外部クロック / SCK端子はクロック入力	クロック同期式モード / 外部クロック / SCK端子は同期クロック入力					
クロックイネーブル1、0 (シリアルコミュニケーションインタフェース時)																									
ビット1 CKE1	ビット0 CKE0	説明																							
0	0	調歩同期式モード / 内部クロック / SCK端子は入出力ポート																							
		クロック同期式モード / 内部クロック / SCK端子は同期クロック出力																							
	1	調歩同期式モード / 内部クロック / SCK端子はクロック出力																							
		クロック同期式モード / 内部クロック / SCK端子は同期クロック出力																							
1	0	調歩同期式モード / 外部クロック / SCK端子はクロック入力																							
		クロック同期式モード / 外部クロック / SCK端子は同期クロック入力																							
	1	調歩同期式モード / 外部クロック / SCK端子はクロック入力																							
		クロック同期式モード / 外部クロック / SCK端子は同期クロック入力																							
	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td colspan="2" style="text-align: center;">クロックイネーブル1、0 (スマートカードインタフェース時)</td></tr> <tr> <th>SMR GM</th> <th>ビット1 CKE1</th> <th>ビット0 CKE0</th> <th>説明</th> </tr> <tr> <td rowspan="2" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>SCK端子は入出力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td>SCK端子はクロック出力</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>SCK端子は"Low"出力固定</td> </tr> <tr> <td style="text-align: center;">1</td> <td>SCK端子はクロック出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>SCK端子は"High"出力固定</td> </tr> <tr> <td style="text-align: center;">1</td> <td>SCK端子はクロック出力</td> </tr> </table>	クロックイネーブル1、0 (スマートカードインタフェース時)		SMR GM	ビット1 CKE1	ビット0 CKE0	説明	0	0	0	SCK端子は入出力ポート	1	SCK端子はクロック出力	1	0	0	SCK端子は"Low"出力固定	1	SCK端子はクロック出力	1	0	SCK端子は"High"出力固定	1	SCK端子はクロック出力	
クロックイネーブル1、0 (スマートカードインタフェース時)																									
SMR GM	ビット1 CKE1	ビット0 CKE0	説明																						
0	0	0	SCK端子は入出力ポート																						
		1	SCK端子はクロック出力																						
1	0	0	SCK端子は"Low"出力固定																						
		1	SCK端子はクロック出力																						
	1	0	SCK端子は"High"出力固定																						
		1	SCK端子はクロック出力																						

TDR トランスミットデータレジスタ				H'FFFB3			SCI0	
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							
<div style="border-top: 1px solid black; width: 100%; margin-top: 5px;"></div> シリアル送信データを格納								

SSR シリアルステータスレジスタ	H'FFF4	SCIO																																																																
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">TDRE</td> <td style="width: 12.5%;">RDRF</td> <td style="width: 12.5%;">ORER</td> <td style="width: 12.5%;">FER/ERS</td> <td style="width: 12.5%;">PER</td> <td style="width: 12.5%;">TEND</td> <td style="width: 12.5%;">MPB</td> <td style="width: 12.5%;">MPBT</td> </tr> <tr> <td>初期値： 1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W： R/(W)*</td> <td>R/(W)*</td> <td>R/(W)*</td> <td>R/(W)*</td> <td>R/(W)*</td> <td>R</td> <td>R</td> <td>R/W</td> </tr> </table>	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT	初期値： 1	0	0	0	0	1	0	0	R/W： R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W	<p>マルチプロセッサビットトランスファ</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 20%;">0</td> <td>マルチプロセッサビットが0のデータを送信</td> </tr> <tr> <td>1</td> <td>マルチプロセッサビットが1のデータを送信</td> </tr> </table> <p>マルチプロセッサビット</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 20%;">0</td> <td>マルチプロセッサビットが0のデータを受信</td> </tr> <tr> <td>1</td> <td>マルチプロセッサビットが1のデータを受信</td> </tr> </table> <p>トランスミットエンド (シリアルコミュニケーションインタフェース時)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0のとき 3.1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき</td> </tr> </table> <p>トランスミットエンド (スマートカードインタフェース時)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0かつFER/ERSビットが0のとき 3.1バイトのシリアルキャラクタ送信終了 2.5 etu*後 (GM = 0のとき) / 1.0 etu後 (GM = 1のとき) にTDRE = 1かつFER/ERSビット = 0 (正常送信) のとき</td> </tr> </table> <p>【注】 * etu (Elementary Time Unit) : 1ビットの転送期間</p> <p>パリティエラー</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.リセット、またはスタンバイモード時 2.PER = 1の状態をリードした後、0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 パリティエラーが発生したとき (受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき)</td> </tr> </table> <p>フレーミングエラー (シリアルコミュニケーションインタフェースのとき)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.リセット、またはスタンバイモード時 2.FER = 1の状態をリードした後、0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 フレーミングエラーが発生したとき (ストップビットが0の場合)</td> </tr> </table> <p>エラーシグナルステータス (スマートカードインタフェースのとき)</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.リセット、またはスタンバイモード時 2.ERS = 1の状態をリードした後、0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 エラーシグナルLowを受信したとき</td> </tr> </table> <p>オーバーランエラー</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.リセット、またはスタンバイモード時 2.ORER = 1の状態をリードした後、0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 オーバーランエラーが発生したとき (RDRF = 1の状態でのデータが受信完了したとき)</td> </tr> </table> <p>レシーブデータレジスタフル</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.リセット、またはスタンバイモード時 2.RDRF = 1の状態をリードした後、0をライトしたとき 3.DMACでRDRのデータをリードしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき</td> </tr> </table> <p>トランスミットデータレジスタエンブティ</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0のとき 3.TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき</td> </tr> </table>	0	マルチプロセッサビットが0のデータを送信	1	マルチプロセッサビットが1のデータを送信	0	マルチプロセッサビットが0のデータを受信	1	マルチプロセッサビットが1のデータを受信	0	〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき	1	〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0のとき 3.1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき	0	〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき	1	〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0かつFER/ERSビットが0のとき 3.1バイトのシリアルキャラクタ送信終了 2.5 etu*後 (GM = 0のとき) / 1.0 etu後 (GM = 1のとき) にTDRE = 1かつFER/ERSビット = 0 (正常送信) のとき	0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.PER = 1の状態をリードした後、0をライトしたとき	1	〔セット条件〕 パリティエラーが発生したとき (受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき)	0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.FER = 1の状態をリードした後、0をライトしたとき	1	〔セット条件〕 フレーミングエラーが発生したとき (ストップビットが0の場合)	0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.ERS = 1の状態をリードした後、0をライトしたとき	1	〔セット条件〕 エラーシグナルLowを受信したとき	0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.ORER = 1の状態をリードした後、0をライトしたとき	1	〔セット条件〕 オーバーランエラーが発生したとき (RDRF = 1の状態でのデータが受信完了したとき)	0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.RDRF = 1の状態をリードした後、0をライトしたとき 3.DMACでRDRのデータをリードしたとき	1	〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき	0	〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき	1	〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0のとき 3.TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき	
TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT																																																											
初期値： 1	0	0	0	0	1	0	0																																																											
R/W： R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W																																																											
0	マルチプロセッサビットが0のデータを送信																																																																	
1	マルチプロセッサビットが1のデータを送信																																																																	
0	マルチプロセッサビットが0のデータを受信																																																																	
1	マルチプロセッサビットが1のデータを受信																																																																	
0	〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき																																																																	
1	〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが、0のとき 3.1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき																																																																	
0	〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき																																																																	
1	〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0かつFER/ERSビットが0のとき 3.1バイトのシリアルキャラクタ送信終了 2.5 etu*後 (GM = 0のとき) / 1.0 etu後 (GM = 1のとき) にTDRE = 1かつFER/ERSビット = 0 (正常送信) のとき																																																																	
0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.PER = 1の状態をリードした後、0をライトしたとき																																																																	
1	〔セット条件〕 パリティエラーが発生したとき (受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき)																																																																	
0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.FER = 1の状態をリードした後、0をライトしたとき																																																																	
1	〔セット条件〕 フレーミングエラーが発生したとき (ストップビットが0の場合)																																																																	
0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.ERS = 1の状態をリードした後、0をライトしたとき																																																																	
1	〔セット条件〕 エラーシグナルLowを受信したとき																																																																	
0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.ORER = 1の状態をリードした後、0をライトしたとき																																																																	
1	〔セット条件〕 オーバーランエラーが発生したとき (RDRF = 1の状態でのデータが受信完了したとき)																																																																	
0	〔クリア条件〕 1.リセット、またはスタンバイモード時 2.RDRF = 1の状態をリードした後、0をライトしたとき 3.DMACでRDRのデータをリードしたとき																																																																	
1	〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき																																																																	
0	〔クリア条件〕 1.TDRE = 1の状態をリードした後、0をライトしたとき 2.DMACでTDRへデータをライトしたとき																																																																	
1	〔セット条件〕 1.リセット、またはスタンバイモード時 2.SCRのTEビットが0のとき 3.TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき																																																																	
<p>【注】* フラグをクリアするための0ライトのみ可能です。</p>																																																																		

RDR レシーブデータレジスタ				H'FFFB5				SCI0				
ビット:	7	6	5	4	3	2	1	0				
初期値:	0	0	0	0	0	0	0	0				
R/W:	R	R	R	R	R	R	R	R				
シリアル受信データを格納												
SCMR スマートカードモードレジスタ				H'FFFB6				SCI0				
ビット:	7	6	5	4	3	2	1	0				
	-	-	-	-	SDIR	SINV	-	SMIF				
初期値:	1	1	1	1	0	0	1	0				
R/W:	-	-	-	-	R/W	R/W	-	R/W				
スマートカードインタフェースモードセレクト												
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>スマートカードインタフェース機能を禁止 (初期値)</td> </tr> <tr> <td>1</td> <td>スマートカードインタフェース機能を許可</td> </tr> </table>									0	スマートカードインタフェース機能を禁止 (初期値)	1	スマートカードインタフェース機能を許可
0	スマートカードインタフェース機能を禁止 (初期値)											
1	スマートカードインタフェース機能を許可											
スマートカードデータインバート												
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>TDRの内容をそのまま送信 (初期値) 受信したデータをそのままRDRに格納</td> </tr> <tr> <td>1</td> <td>TDRの内容を反転してデータを送信 受信したデータを反転してRDRに格納</td> </tr> </table>									0	TDRの内容をそのまま送信 (初期値) 受信したデータをそのままRDRに格納	1	TDRの内容を反転してデータを送信 受信したデータを反転してRDRに格納
0	TDRの内容をそのまま送信 (初期値) 受信したデータをそのままRDRに格納											
1	TDRの内容を反転してデータを送信 受信したデータを反転してRDRに格納											
スマートカードデータトランスファディレクション												
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>TDRの内容をLSBファーストとして送信 (初期値) 受信したデータをLSBファーストとしてRDRに格納</td> </tr> <tr> <td>1</td> <td>TDRの内容をMSBファーストとして送信 受信したデータをMSBファーストとしてRDRに格納</td> </tr> </table>									0	TDRの内容をLSBファーストとして送信 (初期値) 受信したデータをLSBファーストとしてRDRに格納	1	TDRの内容をMSBファーストとして送信 受信したデータをMSBファーストとしてRDRに格納
0	TDRの内容をLSBファーストとして送信 (初期値) 受信したデータをLSBファーストとしてRDRに格納											
1	TDRの内容をMSBファーストとして送信 受信したデータをMSBファーストとしてRDRに格納											
SMR シリアルモードレジスタ				H'FFFB8				SCI1				
ビット:	7	6	5	4	3	2	1	0				
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0				
初期値:	0	0	0	0	0	0	0	0				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
機能はSCI0と同じです。												

BRR	ビットレートレジスタ	H'FFF9	SCI1					
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							
機能はSCI0と同じです。								
SCR	シリアルコントロールレジスタ	H'FFFB	SCI1					
ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							
機能はSCI0と同じです。								
TDR	トランスミットデータレジスタ	H'FFFB	SCI1					
ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							
機能はSCI0と同じです。								
SSR	シリアルステータスレジスタ	H'FFBC	SCI1					
ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	0	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W
機能はSCI0と同じです。								
【注】* フラグをクリアするための0ライトのみ可能です。								

RDR レシーブデータレジスタ	H'FFFBD							SCI1
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
機能はSCI0と同じです。								
SCMR スマートカードモードレジスタ	H'FFFBE							SCI1
ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W
機能はSCI0と同じです。								
SMR シリアルモードレジスタ	H'FFFC0							SCI2
ビット:	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はSCI0と同じです。								
BRR ビットレートレジスタ	H'FFFC1							SCI2
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はSCI0と同じです。								

SCR シリアルコントロールレジスタ	H'FFFC2							SCI2
ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はSCI0と同じです。								
TDR トランスミットデータレジスタ	H'FFFC3							SCI2
ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はSCI0と同じです。								
SSR シリアルステータスレジスタ	H'FFFC4							SCI2
ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W
機能はSCI0と同じです。								
【注】* フラグをクリアするための0ライトのみ可能です。								
RDR レシーブデータレジスタ	H'FFFC5							SCI2
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
機能はSCI0と同じです。								

SCMR スマートカードモードレジスタ	H'FFFC6							SCI2
ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W
機能はSCI0と同じです。								
P4DR ポート4 データレジスタ	H'FFFD3							ポート4
ビット:	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポート4の各端子のデータを格納								
P6DR ポート6 データレジスタ	H'FFFD5							ポート6
ビット:	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値:	*	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポート6の各端子のデータを格納								
【注】* P67端子により決定されます。								
P7DR ポート7 データレジスタ	H'FFFD6							ポート7
ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	- *	- *	- *	- *	- *	- *	- *	- *
R/W:	R	R	R	R	R	R	R	R
ポート7の各端子の状態を讀出す								
【注】* P77~P70端子により決定されます。								

P8DR ポート8データレジスタ				H'FFFD7				ポート8	
ビット:	7	6	5	4	3	2	1	0	
	-	-	-	P84	P83	P82	P81	P80	
初期値:	1	1	1	0	0	0	0	0	
R/W:	-	-	-	R/W	R/W	R/W	R/W	R/W	
↓ ポート8の各端子のデータを格納									
P9DR ポート9データレジスタ				H'FFFD8				ポート9	
ビット:	7	6	5	4	3	2	1	0	
	-	-	P95	P94	P93	P92	P91	P90	
初期値:	1	1	0	0	0	0	0	0	
R/W:	-	-	R/W	R/W	R/W	R/W	R/W	R/W	
↓ ポート9の各端子のデータを格納									
PADR ポートAデータレジスタ				H'FFFD9				ポートA	
ビット:	7	6	5	4	3	2	1	0	
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
↓ ポートAの各端子のデータを格納									
PBDR ポートBデータレジスタ				H'FFFDA				ポートB	
ビット:	7	6	5	4	3	2	1	0	
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
↓ ポートBの各端子のデータを格納									

ADDRA	H、L	A/D データレジスタ A	H、L	H'FFFE0、H'FFFE1	A/D											
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRAH										ADDRAL					
<hr/> A/D変換データ A/D変換結果の10ビット データを格納																
ADDRB	H、L	A/D データレジスタ B	H、L	H'FFFE2、H'FFFE3	A/D											
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRBH										ADDRBL					
<hr/> A/D変換データ A/D変換結果の10ビット データを格納																
ADDRC	H、L	A/D データレジスタ C	H、L	H'FFFE4、H'FFFE5	A/D											
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRCH										ADDRCL					
<hr/> A/D変換データ A/D変換結果の10ビット データを格納																

ADDRD H、L A/D データレジスタ D H、L	H'FFFE6、H'FFFE7	A/D																																																											
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width:100%; text-align:center; border-collapse: collapse;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W： R R R R R R R R R R R R R R R R</p> <div style="display: flex; justify-content: space-around; margin-top: 10px;"> <span>ADDRDH</span> <span>ADDRDL</span> </div> <p style="text-align: center; margin-top: 20px;">A/D変換データ A/D変換結果の10ビット データを格納</p>			AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-																																											
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-																																														
ADCSR A/D コントロール/ステータスレジスタ	H'FFFE8	A/D																																																											
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width:100%; text-align:center; border-collapse: collapse;"> <tr> <td>ADF</td><td>ADIE</td><td>ADST</td><td>SCAN</td><td>CKS</td><td>CH2</td><td>CH1</td><td>CH0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： R/(W)* R/W R/W R/W R/W R/W R/W R/W</p> <div style="display: flex; justify-content: space-around; margin-top: 10px;"> <div style="width: 45%;"> <p>クロックセレクト</p> <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align:center;">0</td> <td>変換時間 = 134ステート (Max)</td> </tr> <tr> <td style="text-align:center;">1</td> <td>変換時間 = 70ステート (Max)</td> </tr> </table> <p style="text-align: center; margin-top: 10px;">スキャンモード</p> <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align:center;">0</td> <td>単一モード</td> </tr> <tr> <td style="text-align:center;">1</td> <td>スキャンモード</td> </tr> </table> </div> <div style="width: 50%;"> <p>チャンネルセレクト</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th>グループ選択</th> <th>チャンネル選択</th> <th colspan="2">説明</th> </tr> <tr> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="3" style="text-align:center;">0</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">0</td> <td>AN0 AN0</td> </tr> <tr> <td style="text-align:center;">1</td> <td>AN1 AN0、AN1</td> </tr> <tr> <td style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>AN2 AN0 - AN2</td> </tr> <tr> <td rowspan="4" style="text-align:center;">1</td> <td rowspan="2" style="text-align:center;">0</td> <td style="text-align:center;">1</td> <td>AN3 AN0 - AN3</td> </tr> <tr> <td style="text-align:center;">0</td> <td>AN4 AN4</td> </tr> <tr> <td rowspan="2" style="text-align:center;">1</td> <td style="text-align:center;">0</td> <td>AN5 AN4、AN5</td> </tr> <tr> <td style="text-align:center;">1</td> <td>AN6 AN4 - AN6</td> </tr> <tr> <td style="text-align:center;">1</td> <td style="text-align:center;">1</td> <td>AN7 AN4 - AN7</td> </tr> </tbody> </table> </div> </div> <p style="margin-top: 10px;">A/Dスタート</p> <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align:center;">0</td> <td>A/D変換停止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>(1) 単一モード：A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換</td> </tr> </table> <p style="margin-top: 10px;">A/Dインタラプトイネーブル</p> <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align:center;">0</td> <td>A/D変換終了による割り込み要求を禁止</td> </tr> <tr> <td style="text-align:center;">1</td> <td>A/D変換終了による割り込み要求を許可</td> </tr> </table> <p style="margin-top: 10px;">A/Dエンドフラグ</p> <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="text-align:center;">0</td> <td>{クリア条件} (1) ADF = 1の状態ではADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDMACが起動されたとき</td> </tr> <tr> <td style="text-align:center;">1</td> <td>{セット条件} (1) 単一モード：A/Dが終了したとき (2) スキャンモード：設定されたすべてのチャンネルのA/D変換が終了したとき</td> </tr> </table> <p style="margin-top: 10px;">【注】* フラグをクリアするための0ライトのみ可能です。</p>			ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	0	変換時間 = 134ステート (Max)	1	変換時間 = 70ステート (Max)	0	単一モード	1	スキャンモード	グループ選択	チャンネル選択	説明		CH2	CH1	CH0		0	0	0	AN0 AN0	1	AN1 AN0、AN1	1	0	AN2 AN0 - AN2	1	0	1	AN3 AN0 - AN3	0	AN4 AN4	1	0	AN5 AN4、AN5	1	AN6 AN4 - AN6	1	1	AN7 AN4 - AN7	0	A/D変換停止	1	(1) 単一モード：A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換	0	A/D変換終了による割り込み要求を禁止	1	A/D変換終了による割り込み要求を許可	0	{クリア条件} (1) ADF = 1の状態ではADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDMACが起動されたとき	1	{セット条件} (1) 単一モード：A/Dが終了したとき (2) スキャンモード：設定されたすべてのチャンネルのA/D変換が終了したとき
ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0																																																						
0	変換時間 = 134ステート (Max)																																																												
1	変換時間 = 70ステート (Max)																																																												
0	単一モード																																																												
1	スキャンモード																																																												
グループ選択	チャンネル選択	説明																																																											
CH2	CH1	CH0																																																											
0	0	0	AN0 AN0																																																										
		1	AN1 AN0、AN1																																																										
	1	0	AN2 AN0 - AN2																																																										
1	0	1	AN3 AN0 - AN3																																																										
		0	AN4 AN4																																																										
	1	0	AN5 AN4、AN5																																																										
		1	AN6 AN4 - AN6																																																										
1	1	AN7 AN4 - AN7																																																											
0	A/D変換停止																																																												
1	(1) 単一モード：A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換																																																												
0	A/D変換終了による割り込み要求を禁止																																																												
1	A/D変換終了による割り込み要求を許可																																																												
0	{クリア条件} (1) ADF = 1の状態ではADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDMACが起動されたとき																																																												
1	{セット条件} (1) 単一モード：A/Dが終了したとき (2) スキャンモード：設定されたすべてのチャンネルのA/D変換が終了したとき																																																												

ADCR A/D コントロールレジスタ				H'FFFE9				A/D
ビット:	7	6	5	4	3	2	1	0
	TRGE	-	-	-	-	-	-	-
初期値:	0	1	1	1	1	1	1	0
R/W:	R/W	-	-	-	-	-	-	R/W
	トリガイネーブル							
	0	外部トリガ入力または8ビットタイマのコンペアマッチによるA/D変換の開始を禁止						
	1	外部トリガ端子 (ADTRG) の立ち下がりエッジまたは8ビットタイマのコンペアマッチでA/D変換を開始						

## C. I/O ポートブロック図

### C.1 ポート4ブロック図

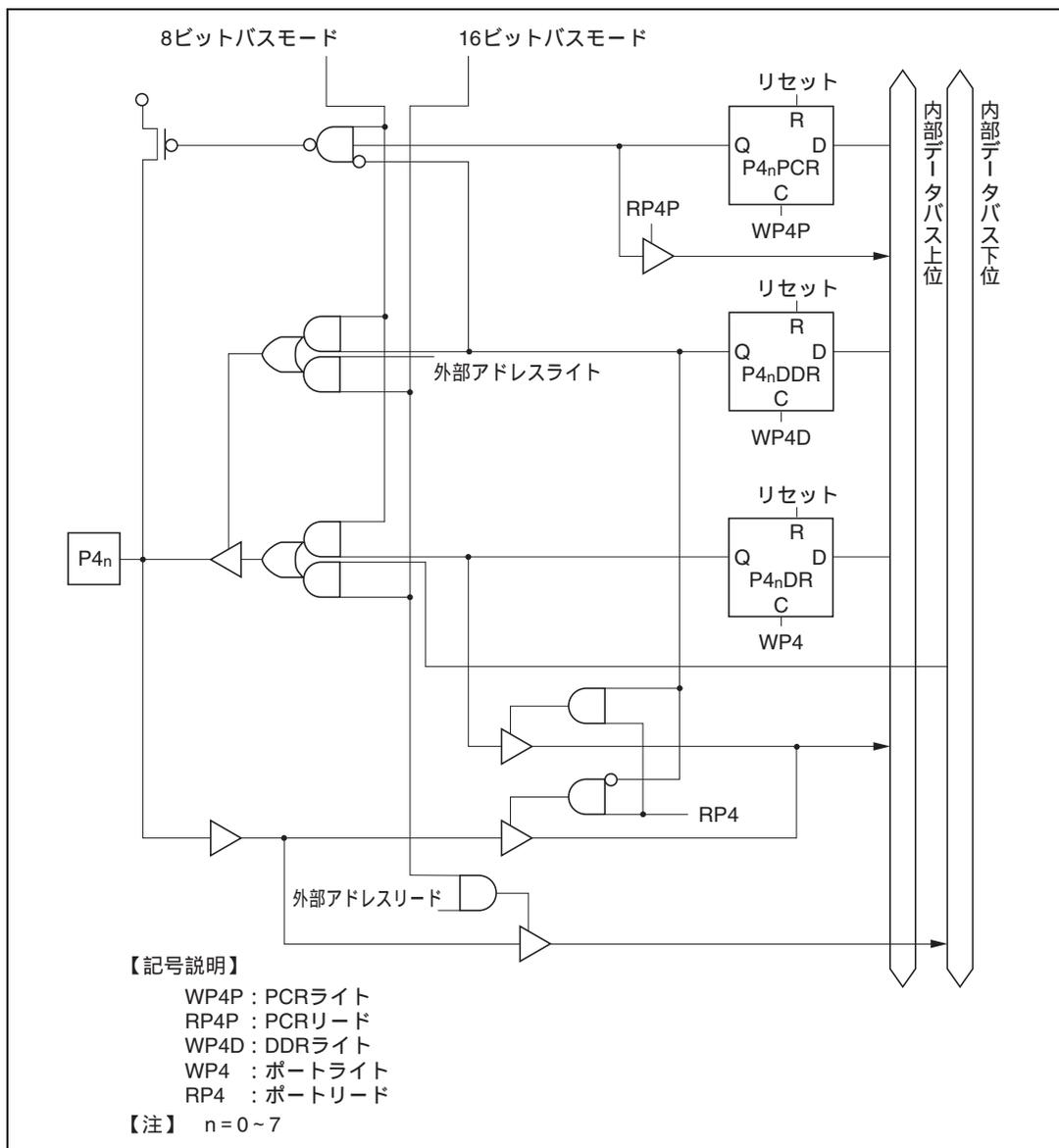


図 C.1 ポート4ブロック図

## C.2 ポート6ブロック図

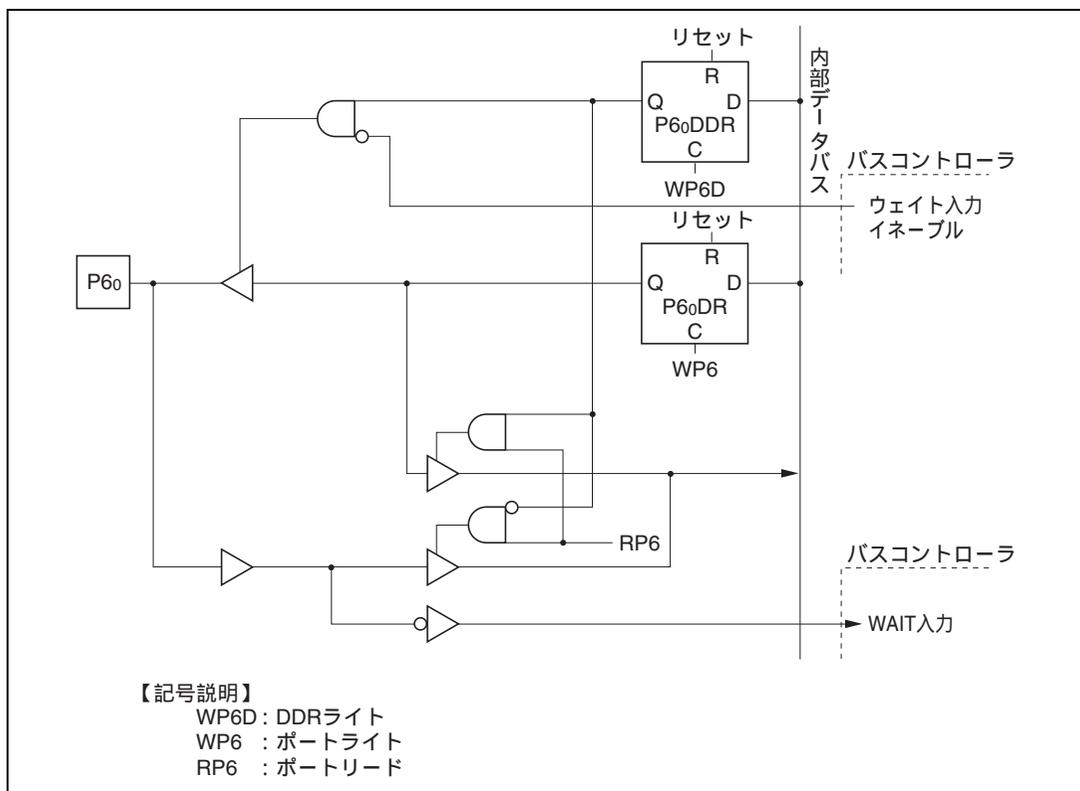


図 C.2 (a) ポート6ブロック図 (P6<sub>0</sub>端子)



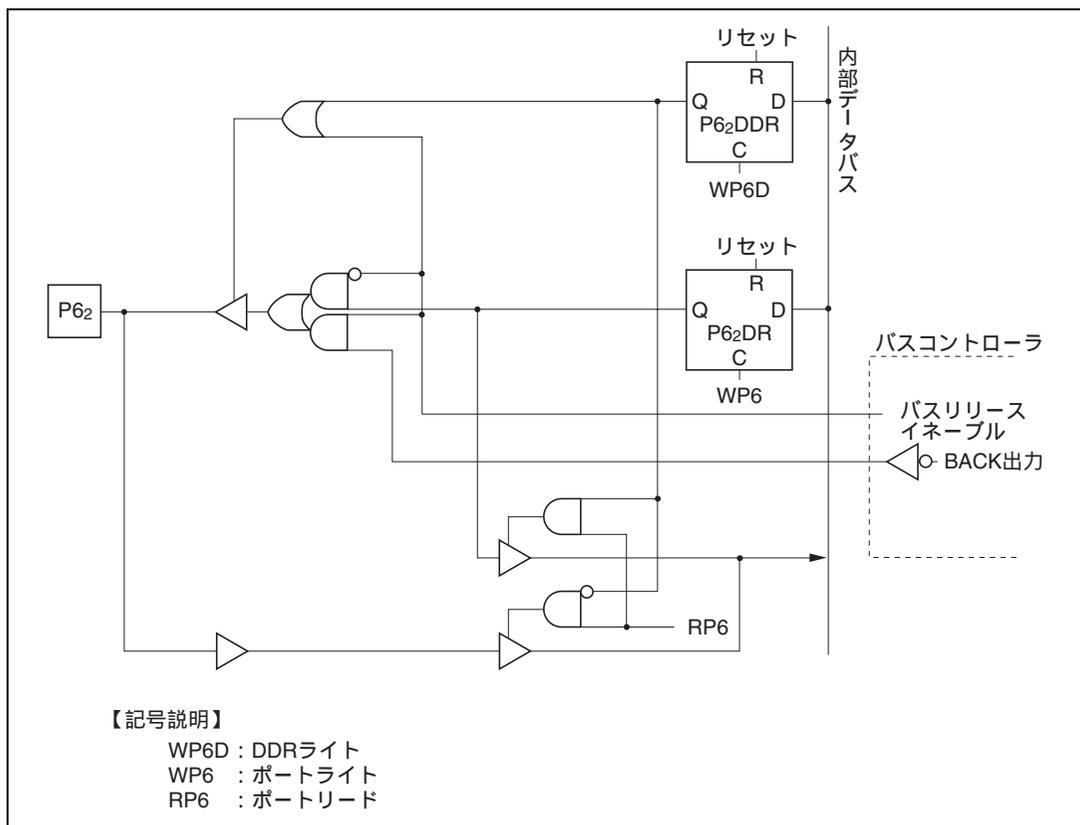


図 C.2 (c) ポート6ブロック図 (P6<sub>2</sub>端子)

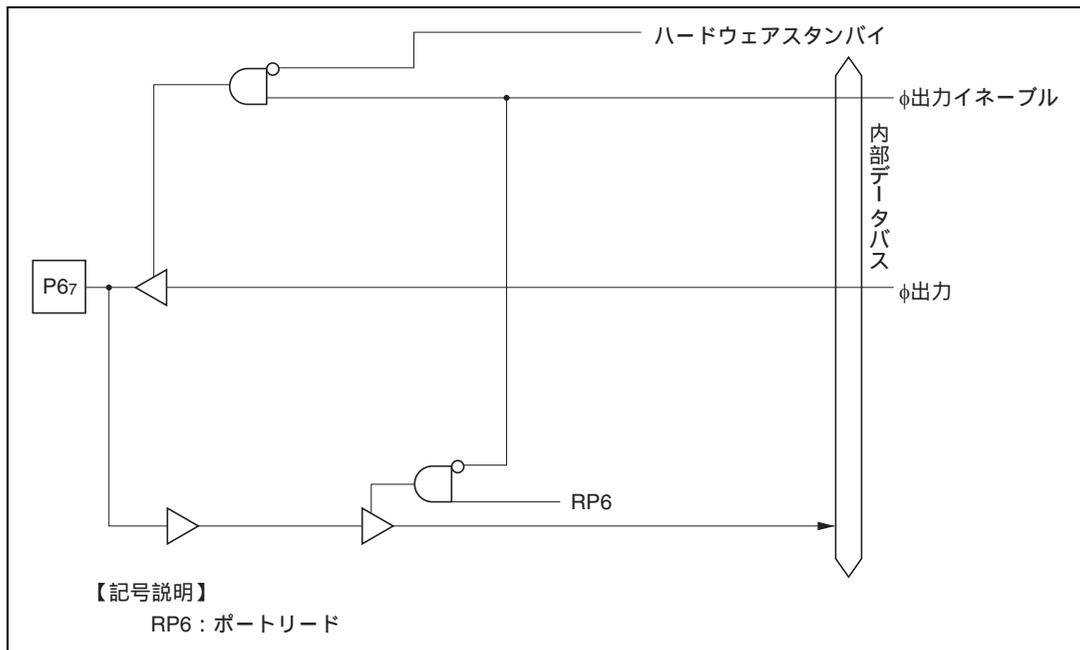


図 C.2 (d) ポート 6 ブロック図 (P6, 端子)

### C.3 ポート7ブロック図

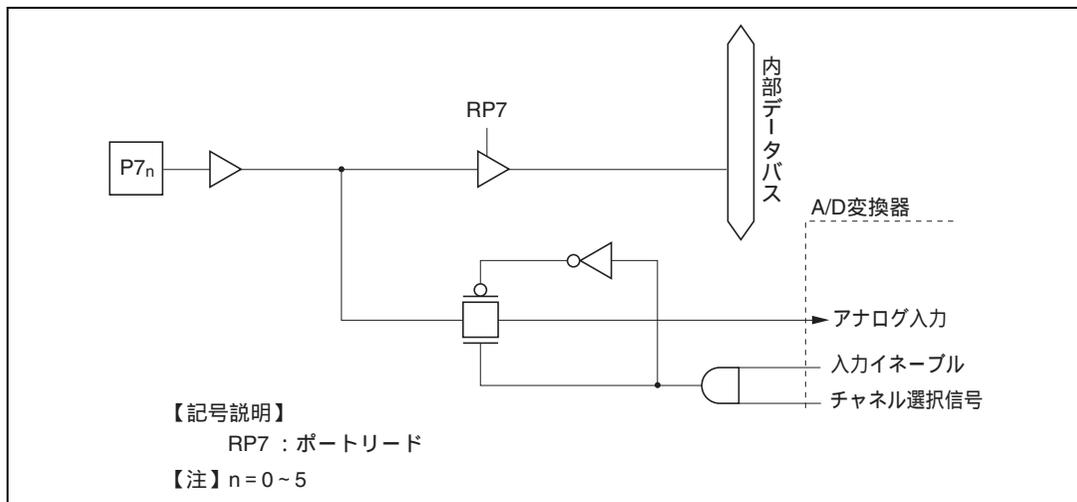


図 C.3 (a) ポート7ブロック図 (P7<sub>0</sub>~P7<sub>5</sub>端子)

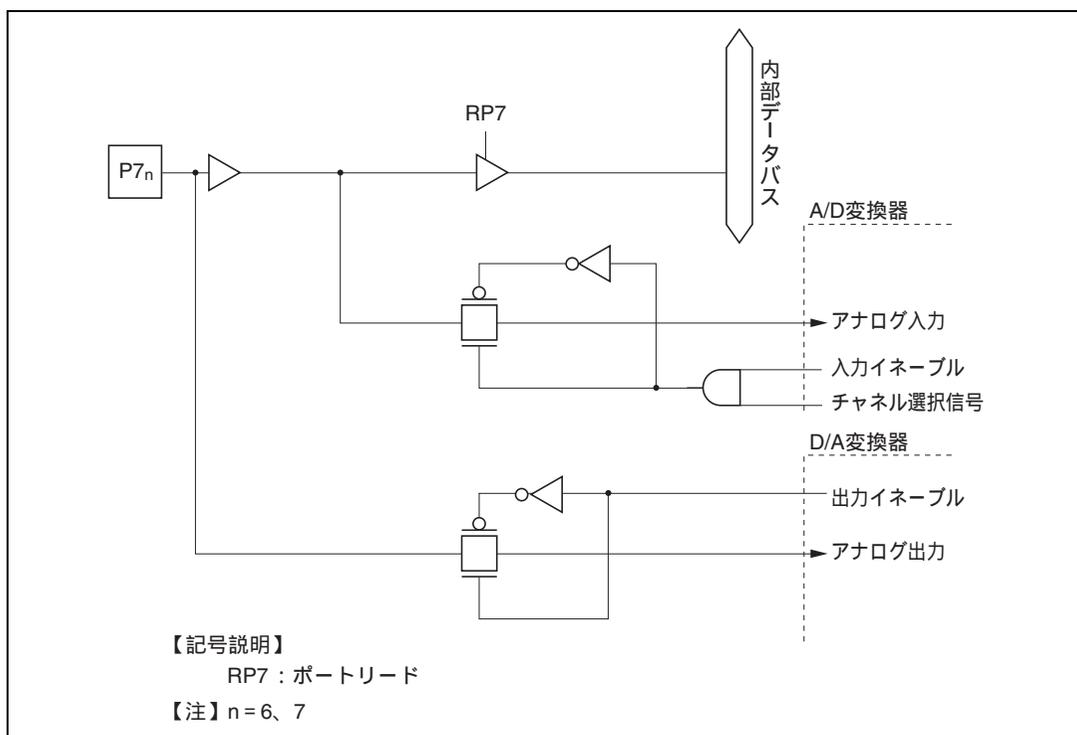


図 C.3 (b) ポート7ブロック図 (P7<sub>6</sub>、P7<sub>7</sub>端子)

### C.4 ポート 8 ブロック図

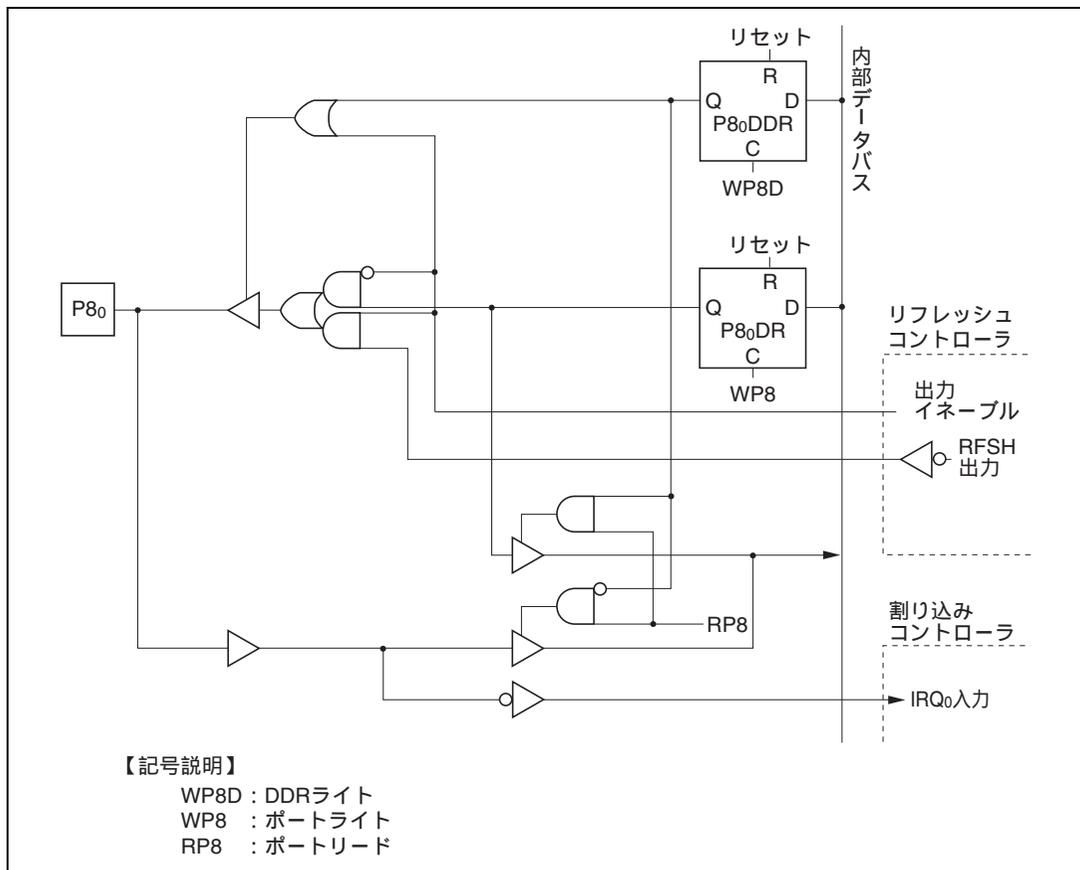


図 C.4 (a) ポート 8 ブロック図 (P8<sub>0</sub>端子)

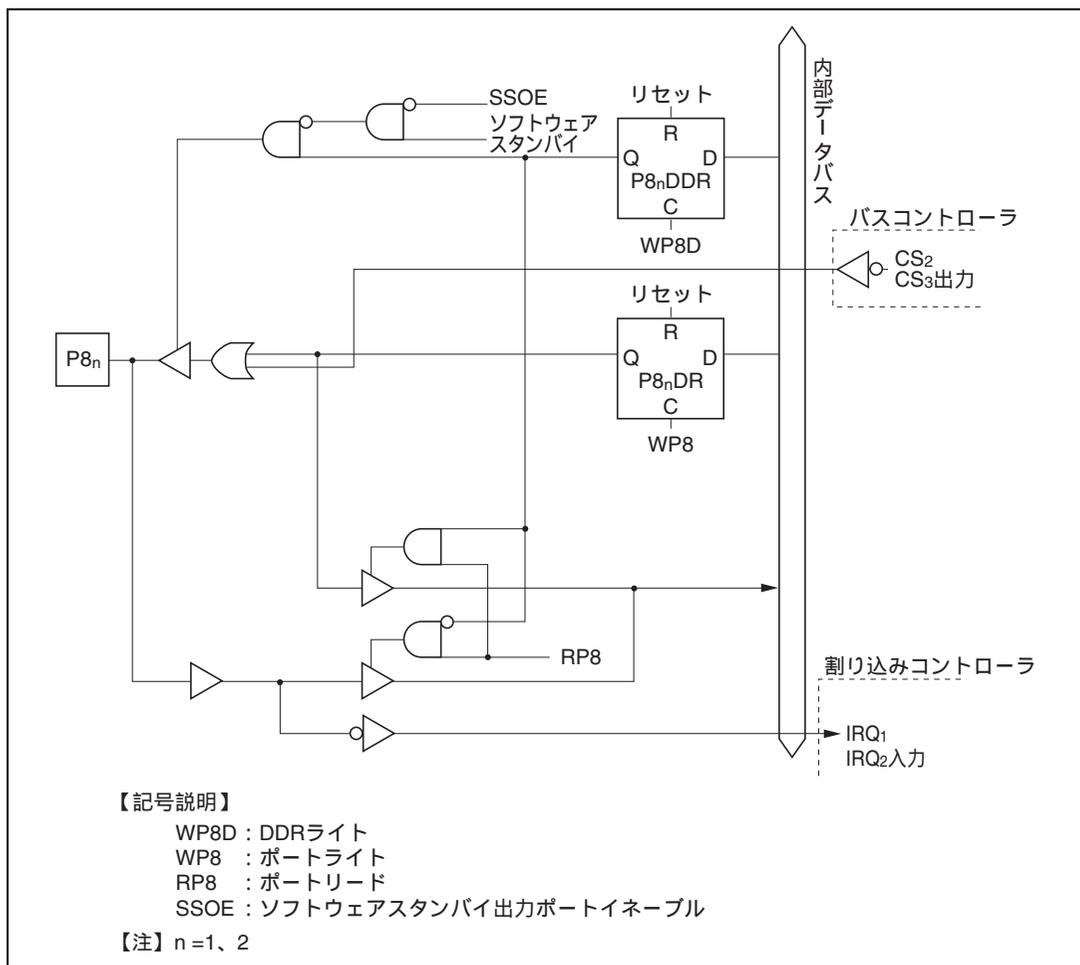


図 C.4 (b) ポート 8 ブロック図 (P8<sub>1</sub>、P8<sub>2</sub>端子)



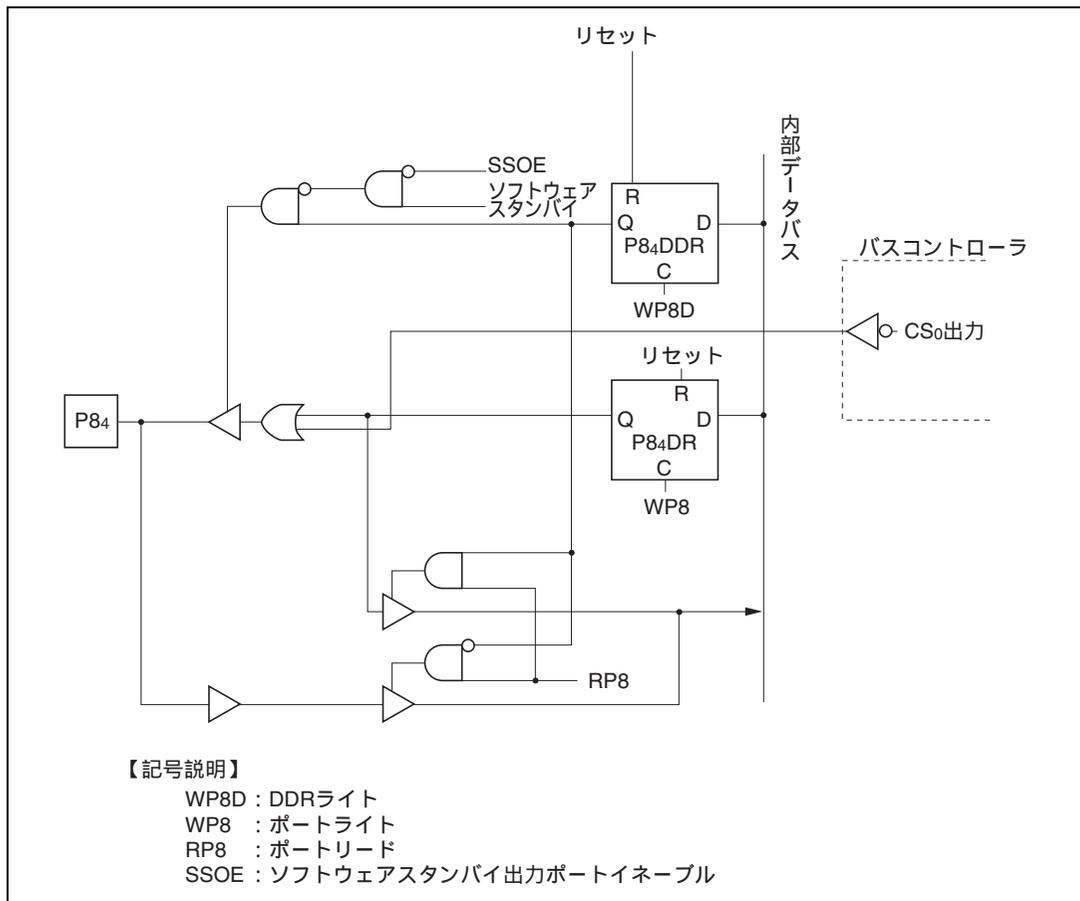


図 C.4 (d) ポート 8 ブロック図 (P8<sub>i</sub>端子)

### C.5 ポート9ブロック図

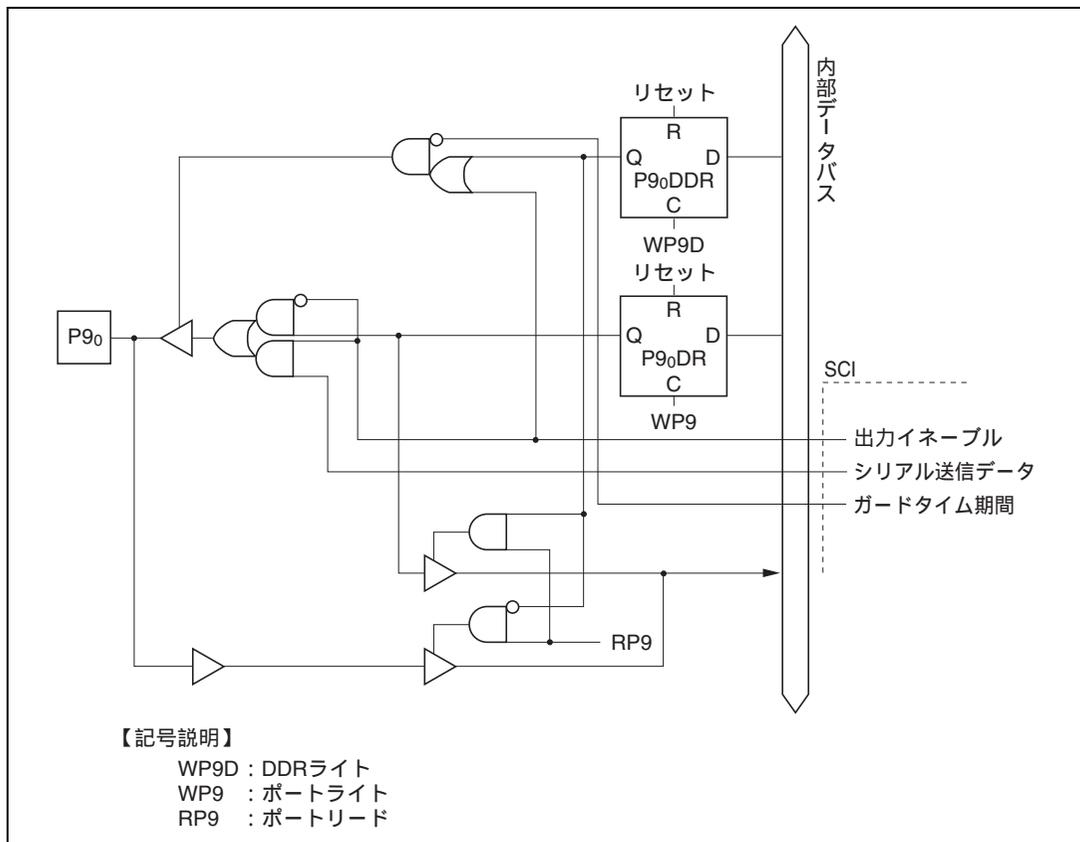


図 C.5 (a) ポート9ブロック図 (P9<sub>0</sub>端子)





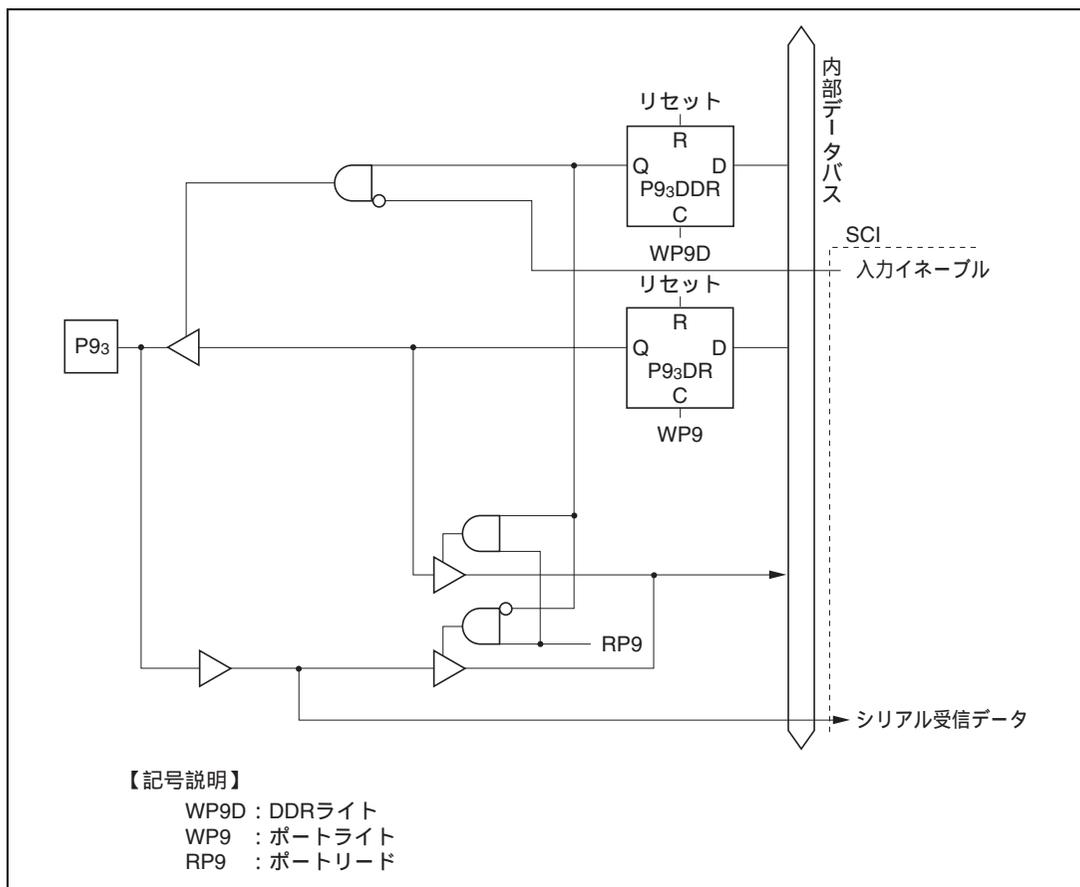


図 C.5 (d) ポート 9 ブロック図 (P9<sub>3</sub>端子)



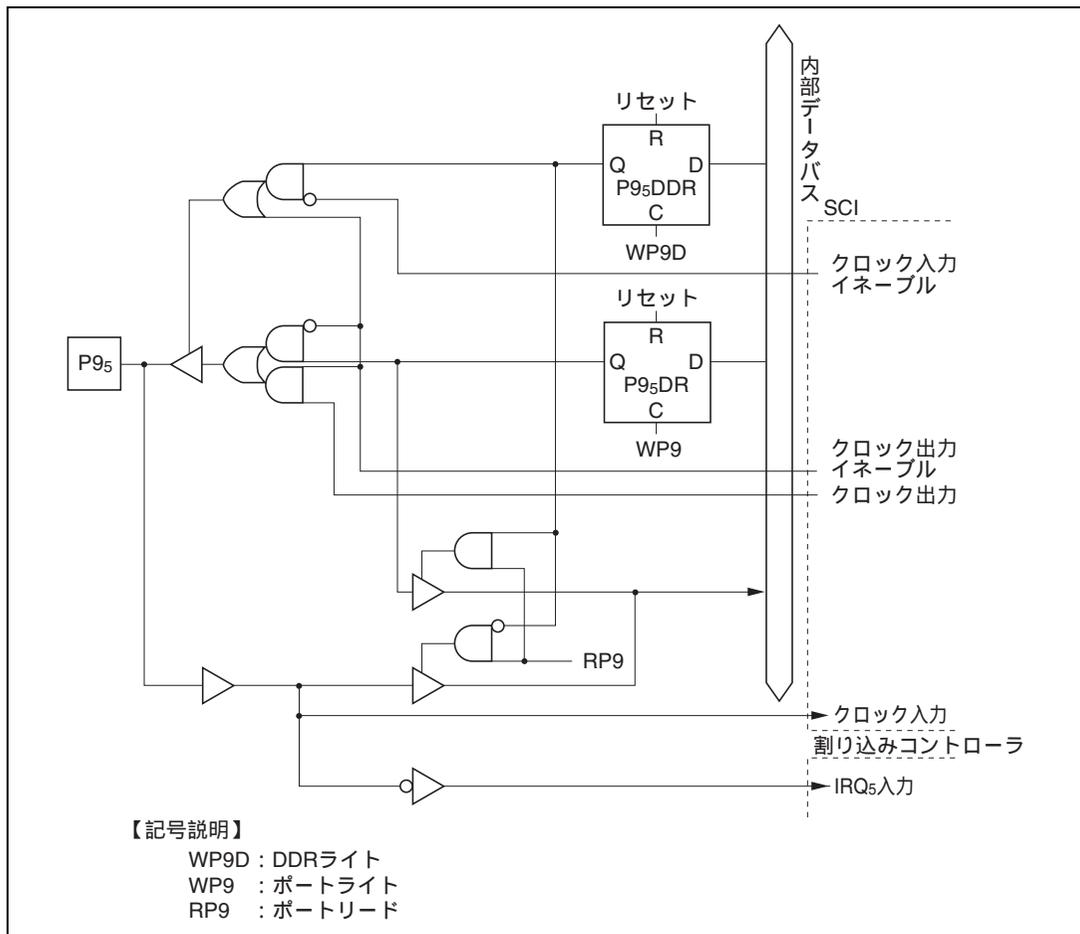


図 C.5 (f) ポート 9 ブロック図 (P9<sub>5</sub>端子)

C.6 ポート A ブロック図

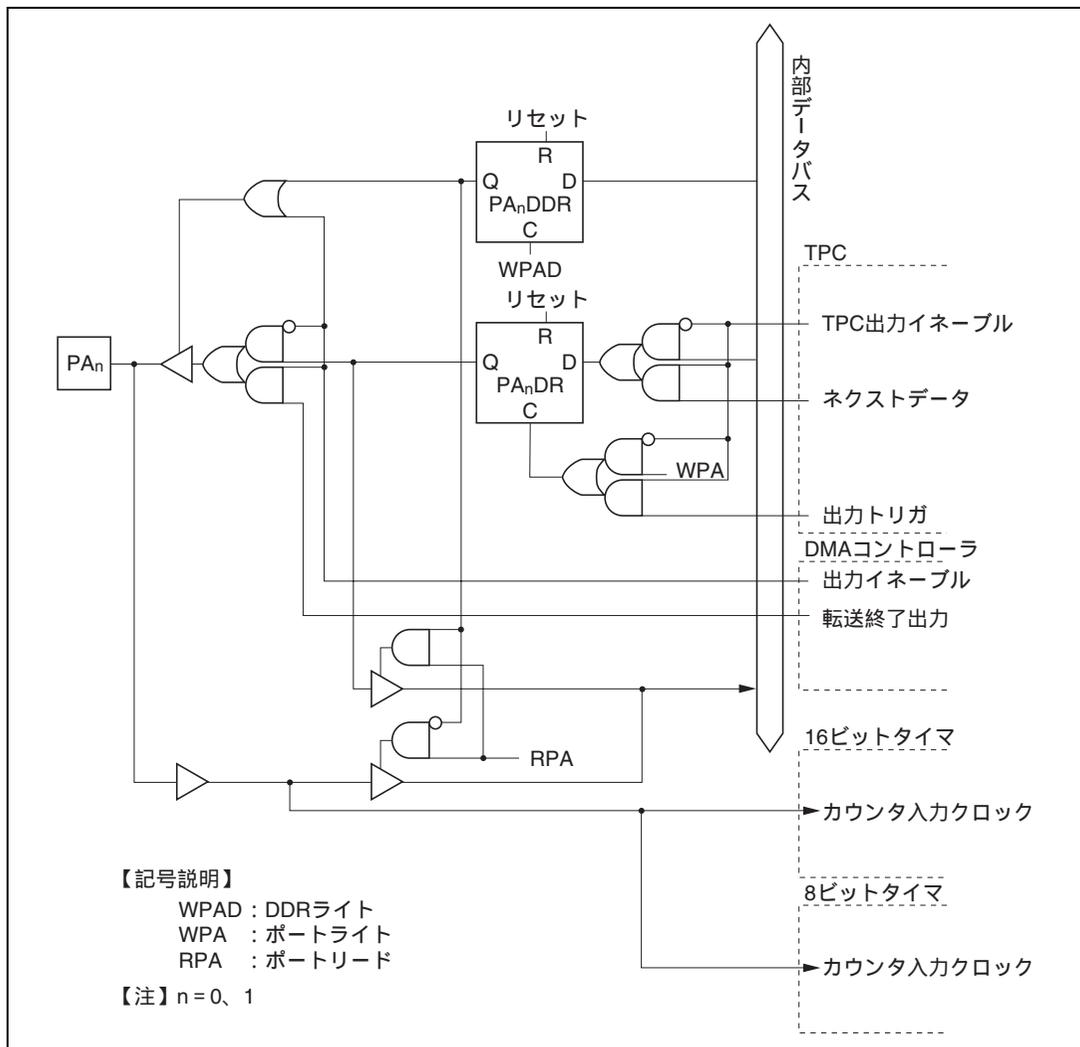


図 C.6 (a) ポート A ブロック図 (PA<sub>0</sub>, PA<sub>1</sub> 端子)

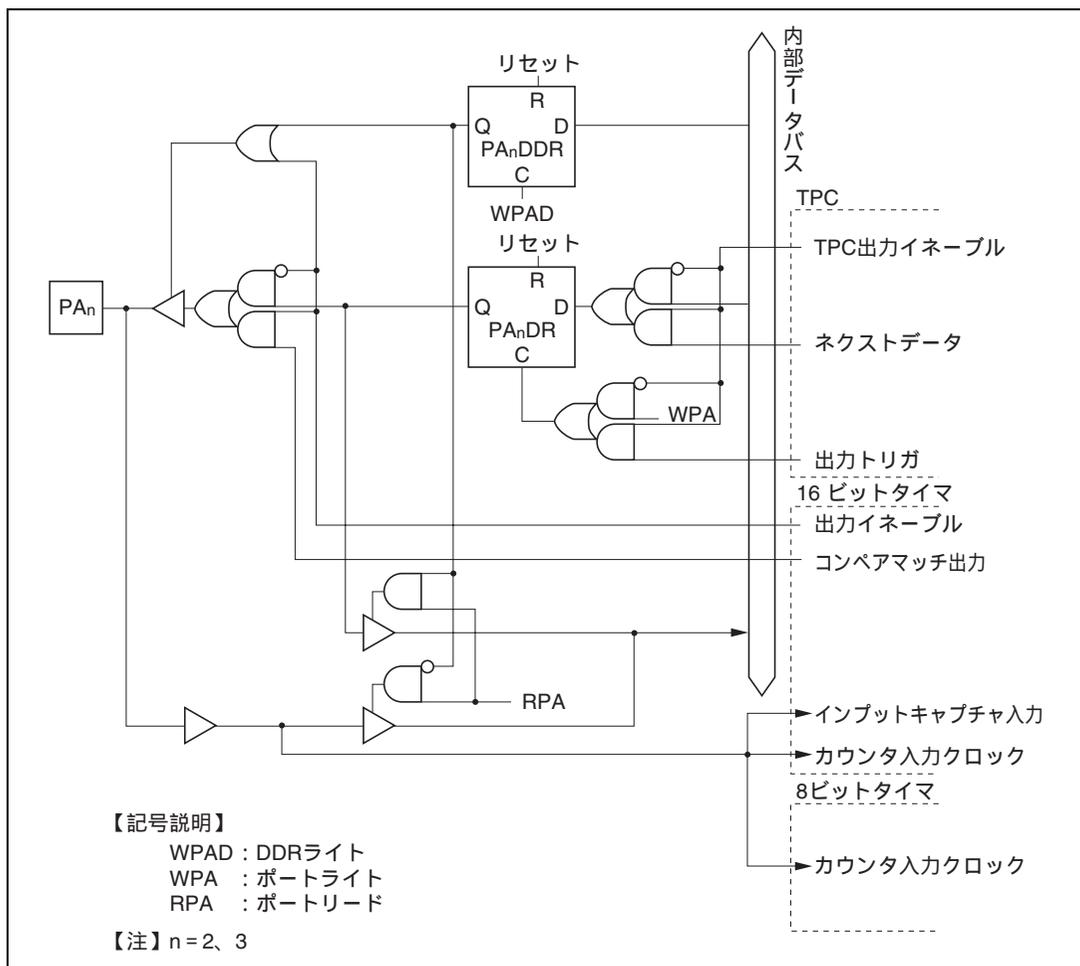


図 C.6 (b) ポート A ブロック図 ( $PA_2$ 、 $PA_3$  端子)



### C.7 ポート B ブロック図

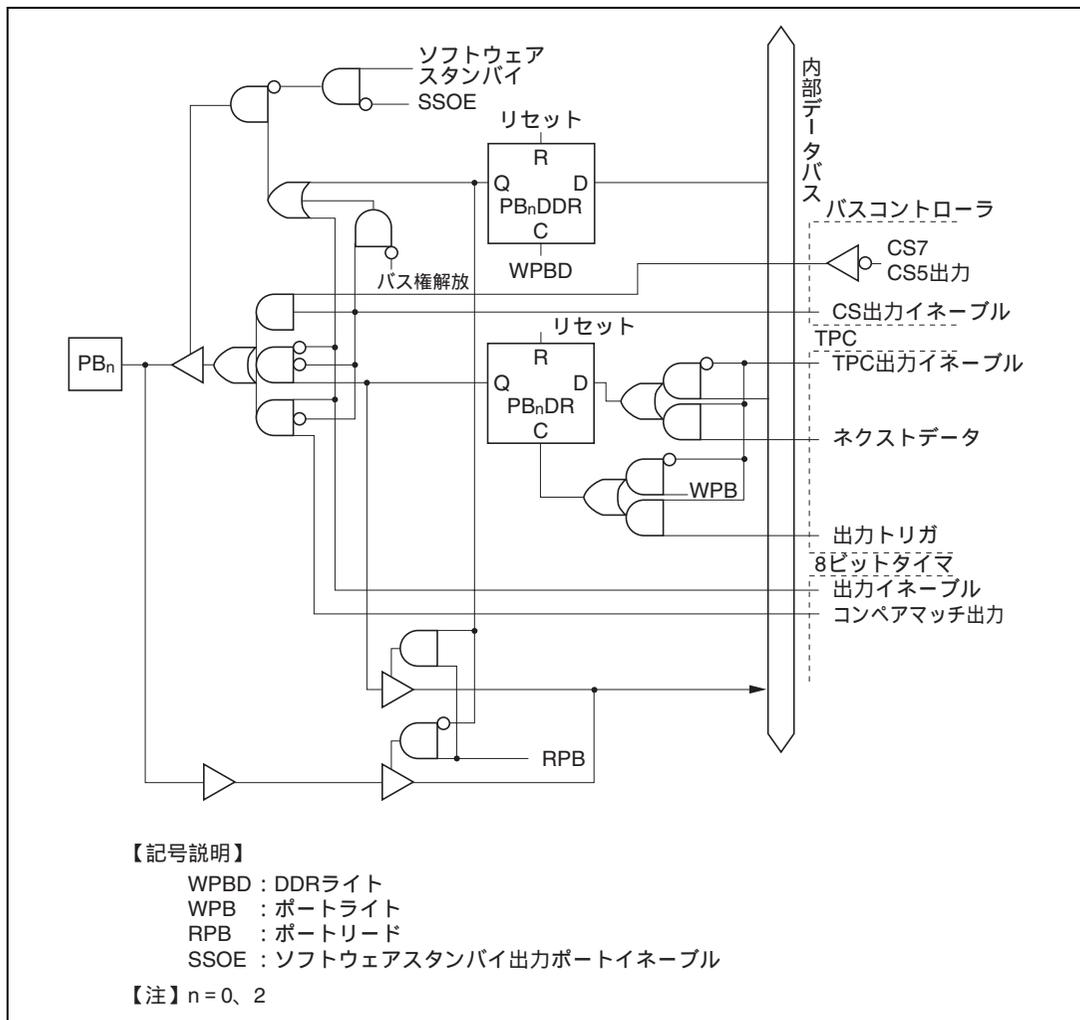


図 C.7 (a) ポート B ブロック図 (PB<sub>0</sub>、PB<sub>2</sub> 端子)

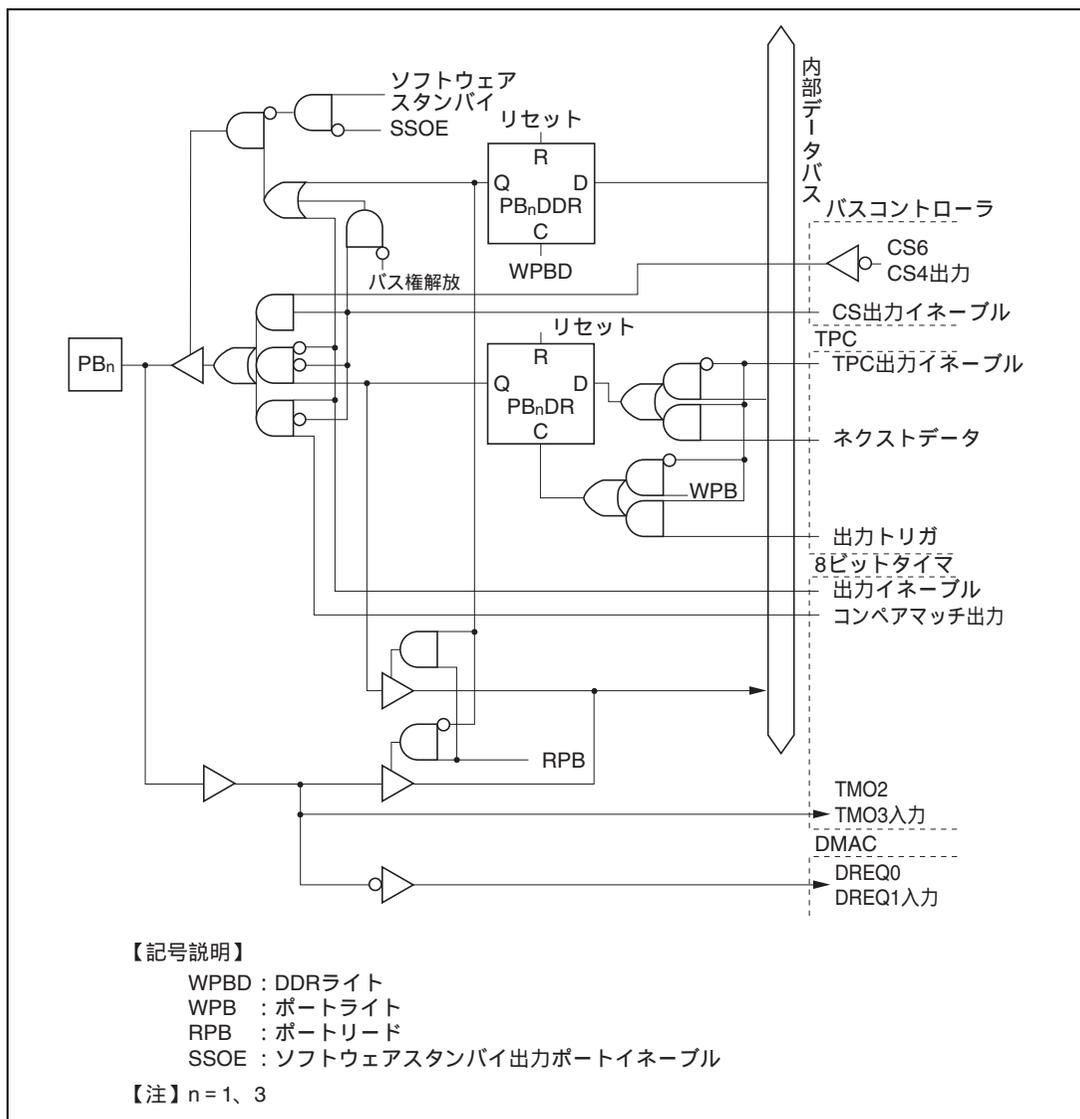


図 C.7 (b) ポート B ブロック図 (PB<sub>1</sub>、PB<sub>3</sub> 端子)

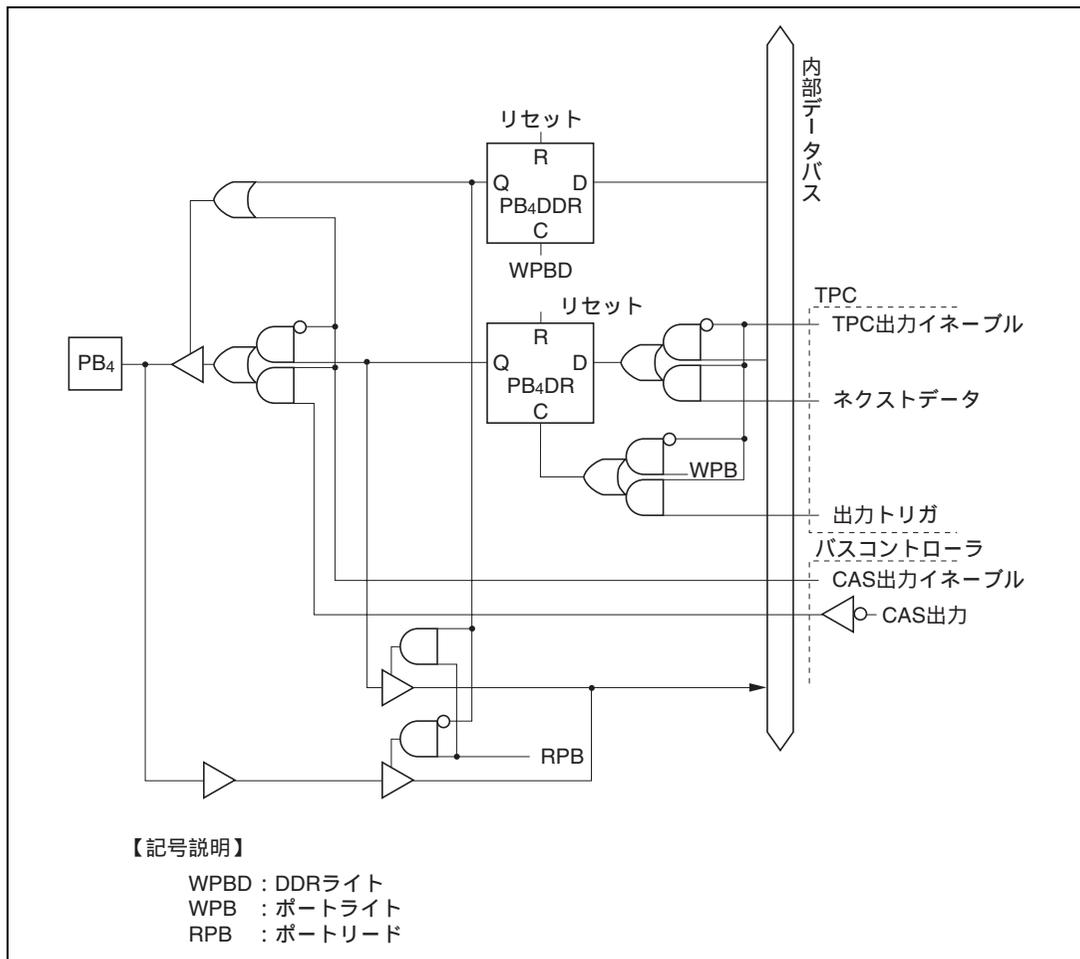


図 C.7 (c) ポート B ブロック図 (PB<sub>4</sub>端子)

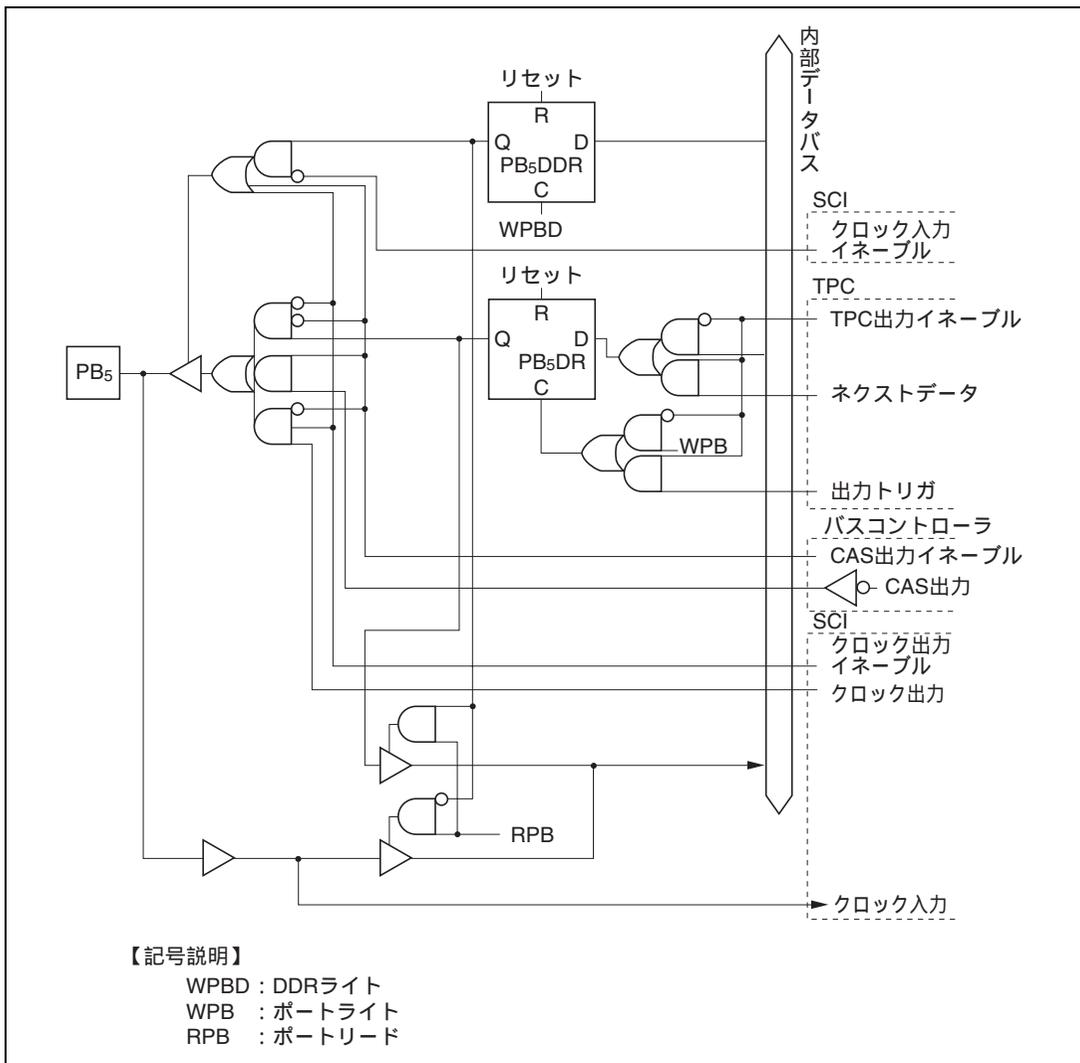


図 C.7 (d) ポート B ブロック図 (PB<sub>5</sub> 端子)

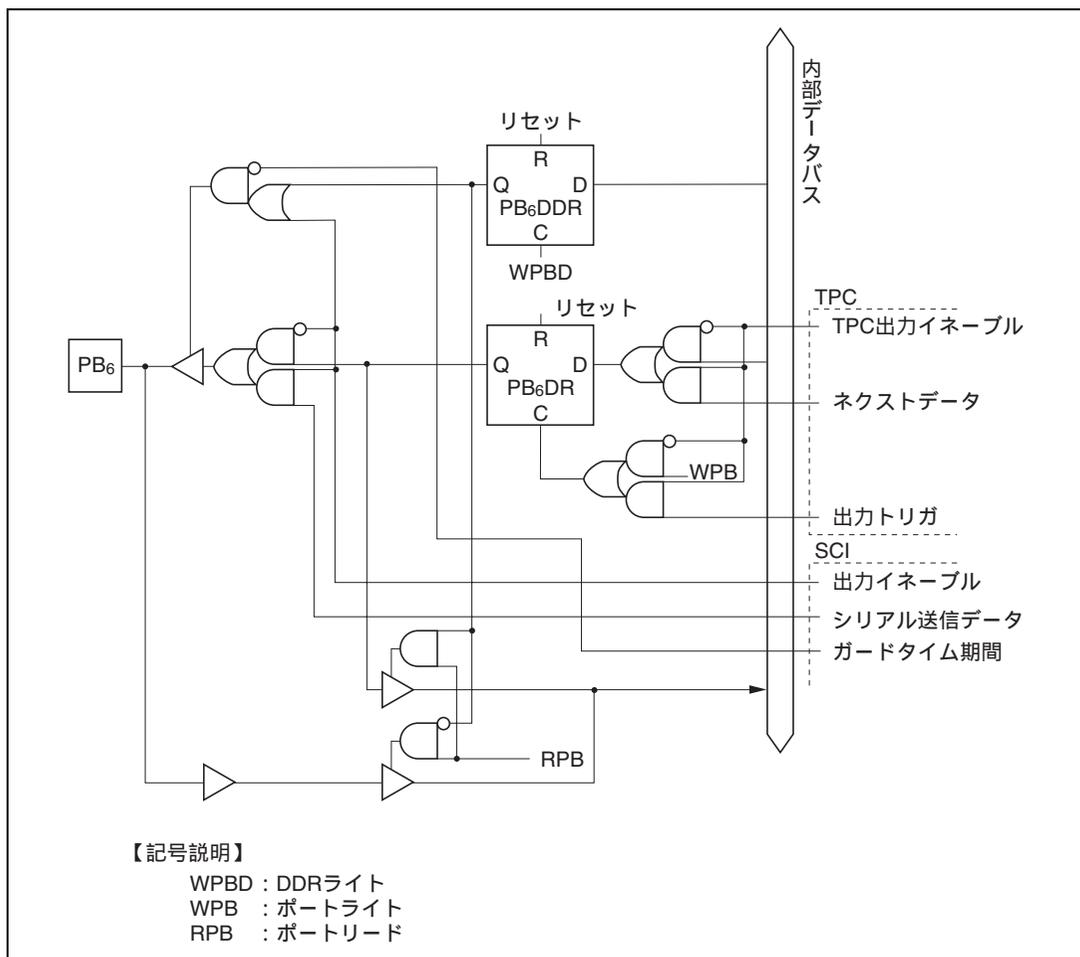


図 C.7 (e) ポート B ブロック図 (PB<sub>6</sub> 端子)



## D. 端子状態

## D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモード	バス権解放状態	プログラム 実行状態
RESO	—	T*1	T	T	T*1	T*1
A <sub>15</sub> ~A <sub>0</sub>	1~4	L	T	[SSOE=0] T [SSOE=1] Keep	T	A <sub>15</sub> ~A <sub>0</sub>
D <sub>15</sub> ~D <sub>8</sub>	1~4	T	T	T	T	D <sub>15</sub> ~D <sub>8</sub>
AS、RD、 HWR、LWR	1~4	H	T	[SSOE=0] T [SSOE=1] H	T	AS、RD、 HWR、LWR
P4 <sub>7</sub> ~P4 <sub>0</sub>	1、3	T	T	Keep	Keep	入出力ポート
	2、4	T	T	T	T	D <sub>7</sub> ~D <sub>0</sub>
P6 <sub>0</sub>	1~4	T	T	Keep	Keep	入出力ポート WAIT
P6 <sub>1</sub>	1~4	T	T	[BRLE=0] Keep	T	入出力ポート BREQ
				[BRLE=1] T		
P6 <sub>2</sub>	1~4	T	T	[BRLE=0] Keep	L	[BRLE=0] 入出力ポート [BRLE=1] BACK
				[BRLE=1] H		
P6 <sub>3</sub>	1~4	クロック 出力	T	[PSTOP=0] H	[PSTOP=0] φ	[PSTOP=0] φ
				[PSTOP=1] Keep	[PSTOP=1] Keep	[PSTOP=1] 入力ポート
P7 <sub>7</sub> ~P7 <sub>0</sub>	1~4	T	T	T	T	入力ポート

付録

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモード	バス権解放状態	プログラム 実行状態
P8 <sub>0</sub>	1~4	T	T	DRAM 空間を選択していない場合* <sup>2</sup> [ RFSHE=0 ] Keep [ RFSHE=1 ] 設定禁止 DRAM 空間を選択している場合* <sup>3</sup> [ RFSHE=0 ] Keep [ RFSHE=1, SRFMD = 0, SSOE = 0 ] T [ RFSHE=1, SRFMD = 0, SSOE = 1 ] H [ RFSHE=1, SRFMD = 1 ] RFSH	DRAM 空間を選択していない場合* <sup>2</sup> [ RFSHE=0 ] Keep [ RFSHE=1 ] 設定禁止 DRAM 空間を選択している場合* <sup>3</sup> [ RFSHE=0 ] Keep [ RFSHE=1 ] T	[ RFSHE=0 ] 入力ポート [ RFSHE=1 ] RFSH
P8 <sub>1</sub>	1~4	T	T	RAS <sub>3</sub> 出力時* <sup>4</sup> [ SSOE=0 ] T [ SSOE=1 ] H 上記以外* <sup>5</sup> [ DDR=0 ] T [ DDR=1, SSOE=0 ] T [ DDR=1, SSOE=1 ] H	RAS <sub>3</sub> 出力時* <sup>4</sup> T 上記以外* <sup>5</sup> [ DDR=0 ] Keep [ DDR=1 ] T	RAS <sub>3</sub> 出力時 RAS <sub>3</sub> 上記以外 [ DDR=0 ] 入力ポート [ DDR=1 ] CS <sub>3</sub>
P8 <sub>2</sub>	1~4	T	T	RAS <sub>2</sub> 出力時* <sup>3</sup> [ SSOE=0 ] T [ SSOE=1 ] H 上記以外* <sup>2</sup> [ DDR=0 ] T [ DDR=1, SSOE=0 ] T [ DDR=1, SSOE=1 ] H	RAS <sub>2</sub> 出力時* <sup>3</sup> T 上記以外* <sup>2</sup> [ DDR=0 ] Keep [ DDR=1 ] T	RAS <sub>2</sub> 出力時 RAS <sub>2</sub> 上記以外 [ DDR=0 ] 入力ポート [ DDR=1 ] CS <sub>2</sub>
P8 <sub>3</sub>	1~4	T	T	[ DDR=0 ] T [ DDR=1, SSOE=0 ] T [ DDR=1, SSOE=1 ] H	[ DDR=0 ] Keep [ DDR=1 ] T	[ DDR=0 ] 入力ポート [ DDR=1 ] CS <sub>1</sub>

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモード	バス権解放状態	プログラム 実行状態
P8 <sub>i</sub>	1~4	H	T	[ DDR=0 ] T [ DDR=1、SSOE=0 ] T [ DDR=1、SSOE=1 ] H	[ DDR=0 ] Keep [ DDR=1 ] T	[ DDR=0 ] 入力ポート [ DDR=1 ] $\overline{CS}_0$
P9 <sub>0</sub> ~P9 <sub>0</sub>	1~4	T	T	Keep	Keep	入出力ポート
PA <sub>3</sub> ~PA <sub>0</sub>	1~4	T	T	Keep	Keep	入出力ポート
PA <sub>6</sub> ~PA <sub>4</sub>	1、2	T	T	Keep	Keep	入出力ポート
	3、4	T	T	アドレス出力時* <sup>6</sup> [ SSOE=0 ] T [ SSOE=1 ] Keep 上記以外* <sup>7</sup> Keep	アドレス出力時* <sup>6</sup> T 上記以外* <sup>7</sup> Keep	アドレス出力時 A <sub>20</sub> ~A <sub>21</sub> 上記以外 入出力ポート
PA <sub>7</sub>	1、2	T	T	Keep	Keep	入出力ポート
	3、4	L	T	[ SSOE=0 ] T [ SSOE=1 ] Keep	T	A <sub>20</sub>
PB <sub>1</sub> 、PB <sub>0</sub>	1~4	T	T	CS 出力時* <sup>8</sup> [ SSOE=0 ] T [ SSOE=1 ] H 上記以外* <sup>9</sup> Keep	CS 出力時* <sup>8</sup> T 上記以外* <sup>9</sup> Keep	CS 出力時 $\overline{CS}_1$ 、 $\overline{CS}_0$ 上記以外 入出力ポート
PB <sub>2</sub>	1~4	T	T	RAS <sub>0</sub> 出力時* <sup>10</sup> [ SSOE=0 ] T [ SSOE=1 ] H CS 出力時* <sup>11</sup> [ SSOE=0 ] T [ SSOE=1 ] H 上記以外* <sup>12</sup> Keep	RAS <sub>0</sub> 出力時* <sup>10</sup> T CS 出力時* <sup>11</sup> T 上記以外* <sup>12</sup> Keep	RAS <sub>0</sub> 出力時 $\overline{RAS}_0$ CS 出力時 $\overline{CS}_0$ 上記以外 入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモード	バス権解放状態	プログラム 実行状態
PB <sub>3</sub>	1~4	T	T	RAS <sub>n</sub> 出力時*13 [SSOE=0] T [SSOE=1] H CS出力時*14 [SSOE=0] T [SSOE=1] H 上記以外*15 Keep	RAS <sub>n</sub> 出力時*13 T CS出力時*14 T 上記以外*15 Keep	RAS <sub>n</sub> 出力時 RAS <sub>n</sub> CS出力時 CS <sub>n</sub> 上記以外 入出力ポート
PB <sub>5</sub> 、PB <sub>6</sub>	1~4	T	T	CAS出力時*16 [SSOE=0] T [SSOE=1] H 上記以外*17 Keep	CAS出力時*16 T 上記以外*17 Keep	CAS出力時 UCAS、LCAS 上記以外 入出力ポート
PB <sub>5</sub> 、PB <sub>6</sub>	1~4	T	T	Keep	Keep	入出力ポート

## 【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

【注】 \*1 WDT のオーバフローによるリセット時のみ Low レベルを出力します。

\*2 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 がすべて 0 のとき。

\*3 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 のいずれかが 1 のとき。

\*4 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 = 010、100、101 のとき。

\*5 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 = 010、100、101 以外のとき。

\*6 BRCR (バスリリースコントロールレジスタ) が A23E、A22E、A21E がそれぞれ 0 のとき。

\*7 BRCR (バスリリースコントロールレジスタ) が A23E、A22E、A21E がそれぞれ 1 のとき。

\*8 CSCR (チップセレクトコントロールレジスタ) の CS7E、CS6E がそれぞれ 1 のとき。

\*9 CSCR (チップセレクトコントロールレジスタ) の CS7E、CS6E がそれぞれ 0 のとき。

\*10 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 = 101 のとき。

\*11 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 = 101 以外で、CSCR (チップセレクトコントロールレジスタ) の CS5E = 1 のとき。

\*12 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 = 101 以外で、CSCR (チップセレクトコントロールレジスタ) の CS5E = 0 のとき。

\*13 DRCRA (DRAM コントロールレジスタ A) の DRAS2、DRAS1、DRAS0 = 100、101、110 のとき。

- 
- \*14 DRCRA ( DRAM コントロールレジスタ A ) の DRAS2、DRAS1、DRAS0 = 100、101、110 以外で、CSCR ( チップセレクトコントロールレジスタ ) の CS4E = 1 のとき。
  - \*15 DRCRA ( DRAM コントロールレジスタ A ) の DRAS2、DRAS1、DRAS0 = 100、101、110 以外で、CSCR ( チップセレクトコントロールレジスタ ) の CS4E = 0 のとき。
  - \*16 DRCRA ( DRAM コントロールレジスタ A ) の DRAS2、DRAS1、DRAS0 のいずれかが 1 で、DRCRB ( DRAM コントロールレジスタ B ) の CSEL = 0 のとき。
  - \*17 DRCRA ( DRAM コントロールレジスタ A ) の DRAS2、DRAS1、DRAS0 のいずれかが 1 で、DRCRB ( DRAM コントロールレジスタ B ) の CSEL = 1 のとき。または DRAS2、DRAS1、DRAS0 = 0 のとき。

## D.2 リセット時の端子状態

### (1) モード 1、2

モード 1、2 で外部メモリアクセス中に、 $\overline{\text{RES}}$  端子が Low レベルになったときのタイミングを図 D.1 に示します。

$\overline{\text{RES}}$  端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{CS}}_0$  が High レベル、 $\text{D}_{15} \sim \text{D}_0$  はハイインピーダンスになります。

アドレスバスは  $\overline{\text{RES}}$  端子が Low レベルをサンプリングしてから  $2.5\phi$  クロック後に初期化され、アドレスバスは Low レベル出力となります。クロック端子  $\text{P6}_7/\phi$  は  $\overline{\text{RES}}$  端子が Low レベルになった次の立ち上がりで出力端子になります。

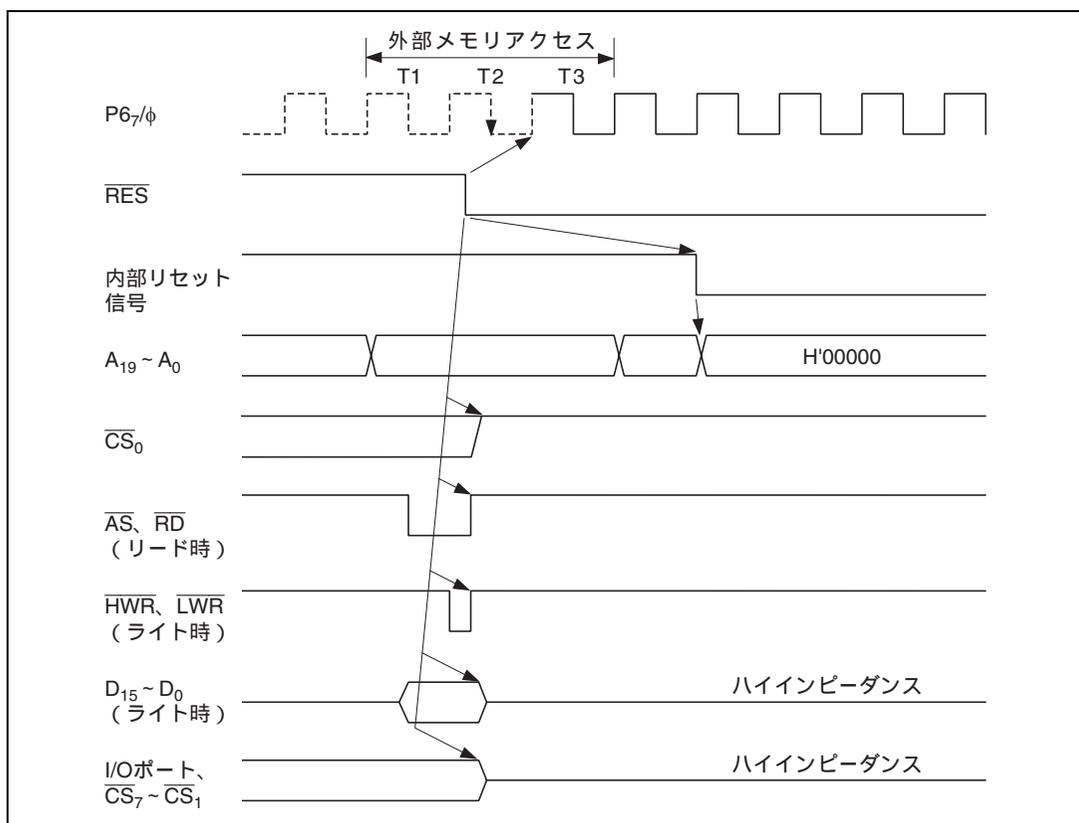


図 D.1 メモリアクセス中のリセット (モード 1、2)

## (2) モード 3、4

モード 3、4 で外部メモリアクセス中に、 $\overline{\text{RES}}$  端子が Low レベルになったときのタイミングを図 D.2 に示します。

$\overline{\text{RES}}$  端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{CS}}_0$  が High レベル、 $\text{D}_{15} \sim \text{D}_0$  はハイインピーダンスになります。

アドレスバスは  $\overline{\text{RES}}$  端子が Low レベルをサンプリングしてから  $2.5\phi$  クロック後に初期化され、アドレスバスは Low レベル出力となります。ただし、 $\text{PA}_4 \sim \text{PA}_6$  をアドレスバスとして使用している場合、 $\text{P8}_3 \sim \text{P8}_1$ 、 $\text{PB}_0 \sim \text{PB}_3$  を CS 出力端子として使用している場合は、 $\overline{\text{RES}}$  端子が Low レベルになると同時にハイインピーダンスとなります。

クロック端子  $\text{P6}_7/\phi$  は  $\overline{\text{RES}}$  端子が Low レベルになった次の  $\phi$  の立ち上がりで出力端子になります。

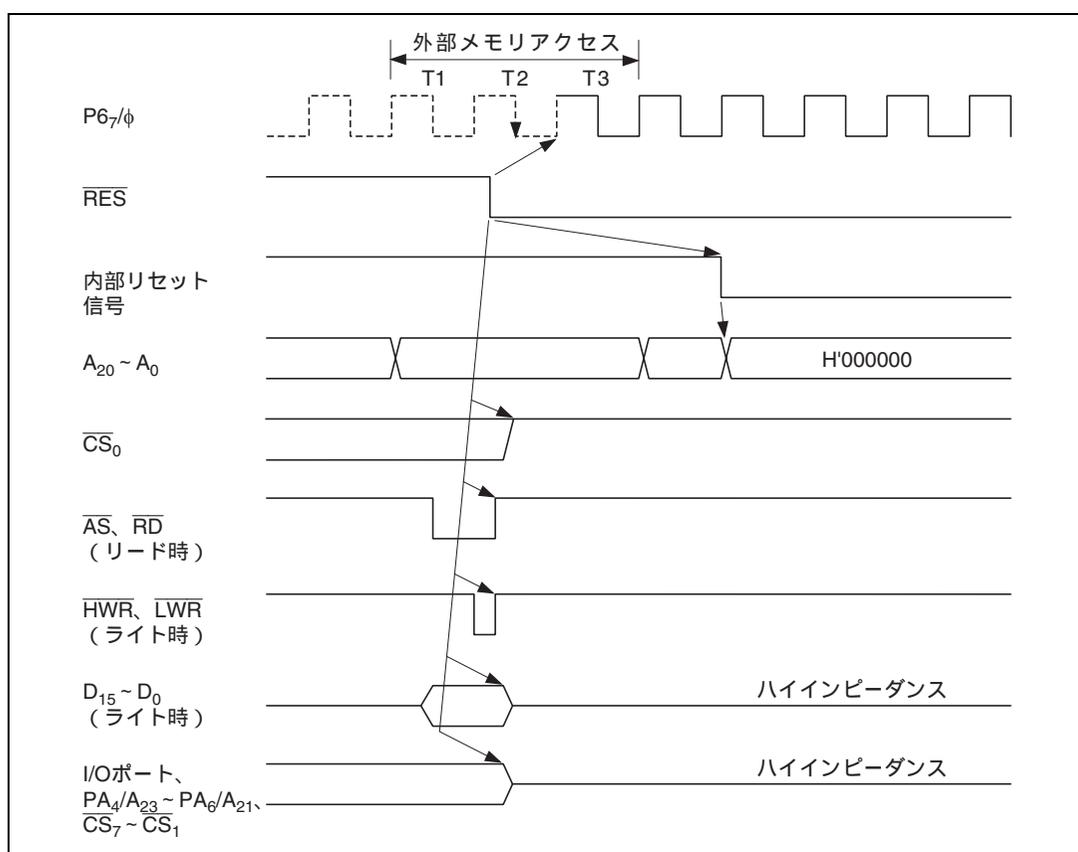
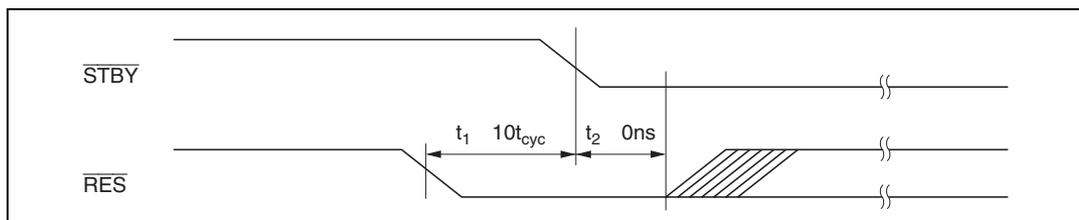


図 D.2 メモリアクセス中のリセット (モード 3、4)

## E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

### (1) ハードウェアスタンバイモードの遷移タイミング

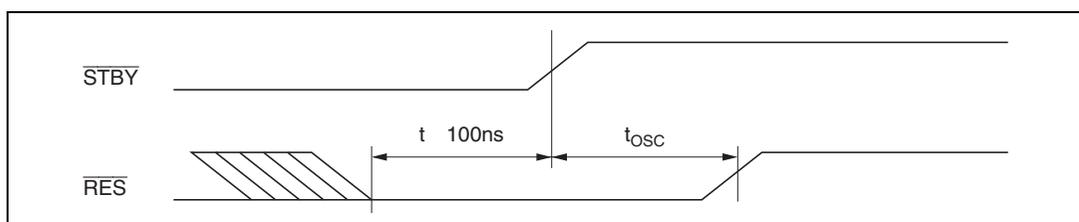
- (1) SYSCRのRAMEビットを1にセットした状態でRAMの内容を保持する場合  
 下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10システムクロック前に $\overline{\text{RES}}$ 信号をLowと  
 してください。  
 また、 $\overline{\text{RES}}$ 信号の立ち下がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、min 0nsです。



- (2) SYSCRのRAMEビットを0にクリアした状態またはRAMの内容を保持しない場合(1)のよう  
 に $\overline{\text{RES}}$ 信号をLowにする必要はありません。

### (2) ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$  信号の立ち上がりに対し、約 100ns 前に  $\overline{\text{RES}}$  信号を Low としてください。



## F. 型名一覧

表 F.1 H8/3007、H8/3006 型名一覧

製品分類		製品型名	マーク型名	パッケージ (パッケージコード)
H8/3007	5.0V ± 10% (5V 版)	HD6413007F	HD6413007F	100 ピン QFP (FP-100B)
		HD6413007TE	HD6413007TE	100 ピン TQFP (TFP-100B)
		HD6413007FP	HD6413007FP	100 ピン QFP (FP-100A)
	2.7 ~ 5.5V (低電圧版)	HD6413007VF	HD6413007VF	100 ピン QFP (FP-100B)
		HD6413007VTE	HD6413007VTE	100 ピン TQFP (TFP-100B)
		HD6413007VFP	HD6413007VFP	100 ピン QFP (FP-100A)
H8/3006	5.0V ± 10% (5V 版)	HD6413006F	HD6413006F	100 ピン QFP (FP-100B)
		HD6413006TE	HD6413006TE	100 ピン TQFP (TFP-100B)
		HD6413006FP	HD6413006FP	100 ピン QFP (FP-100A)
	2.7 ~ 5.5V (低電圧版)	HD6413006VF	HD6413006VF	100 ピン QFP (FP-100B)
		HD6413006VTE	HD6413006VTE	100 ピン TQFP (TFP-100B)
		HD6413006VFP	HD6413006VFP	100 ピン QFP (FP-100A)

## G. 外形寸法図

本 LSI の外形寸法図 FP-100B を図 G.1、TFP-100B を図 G.2、FP-100A を図 G.3 に示します。

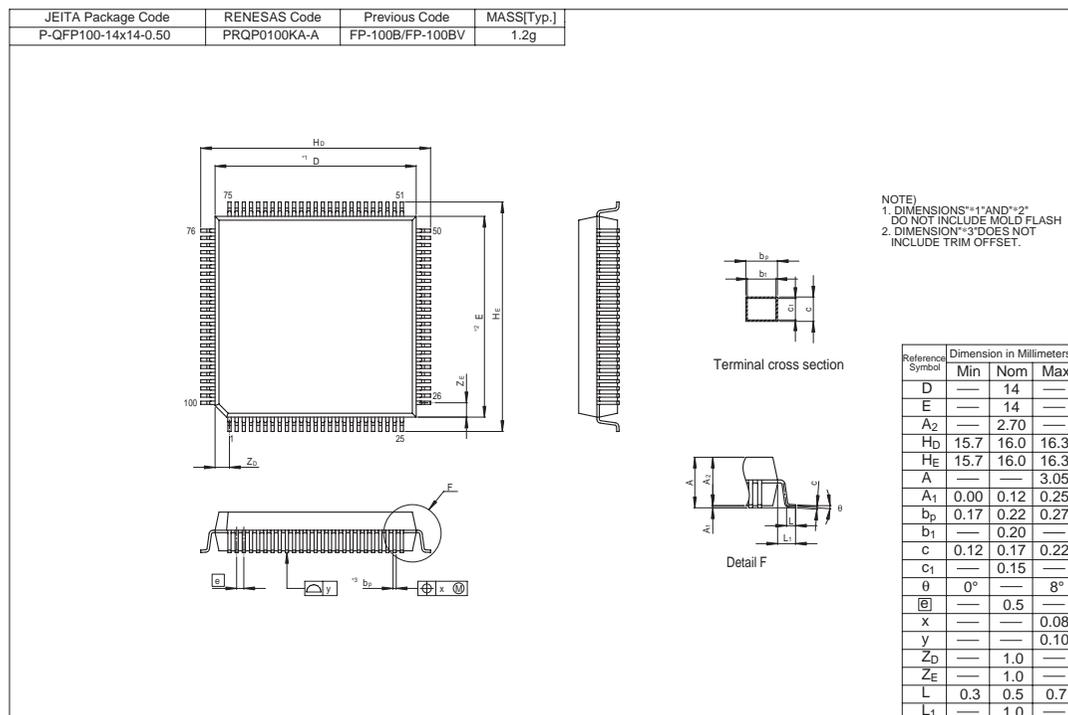


図 G.1 外形寸法図 (FP-100B) 単位 : mm

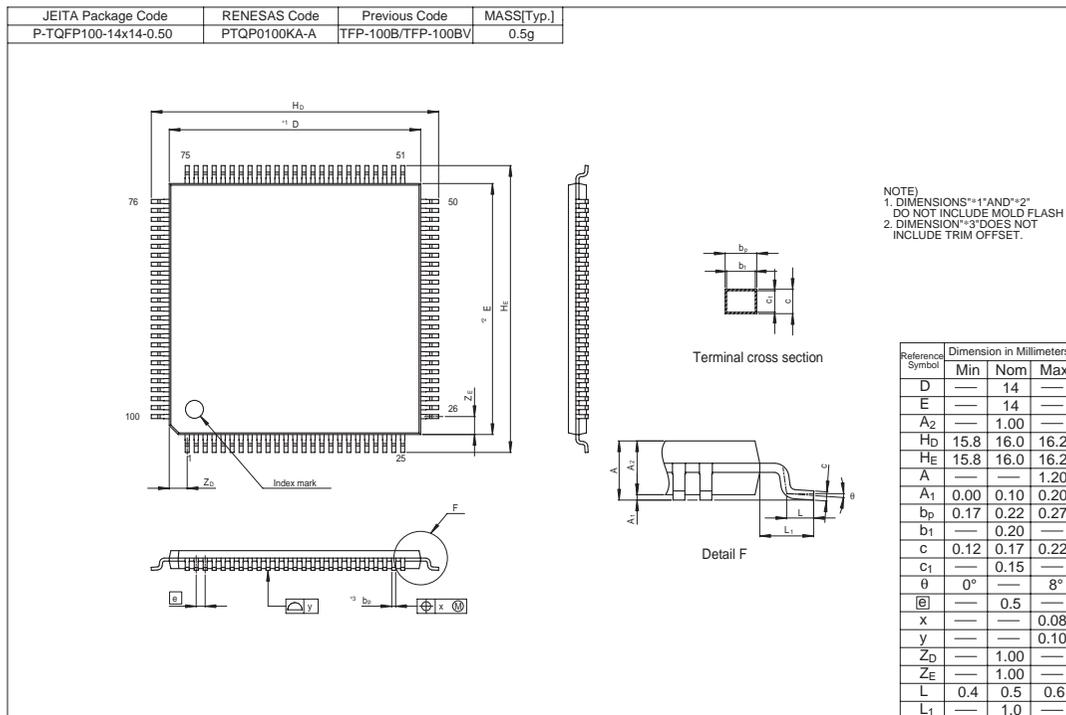


図 G.2 外形寸法図 (TFP-100B) 単位 : mm

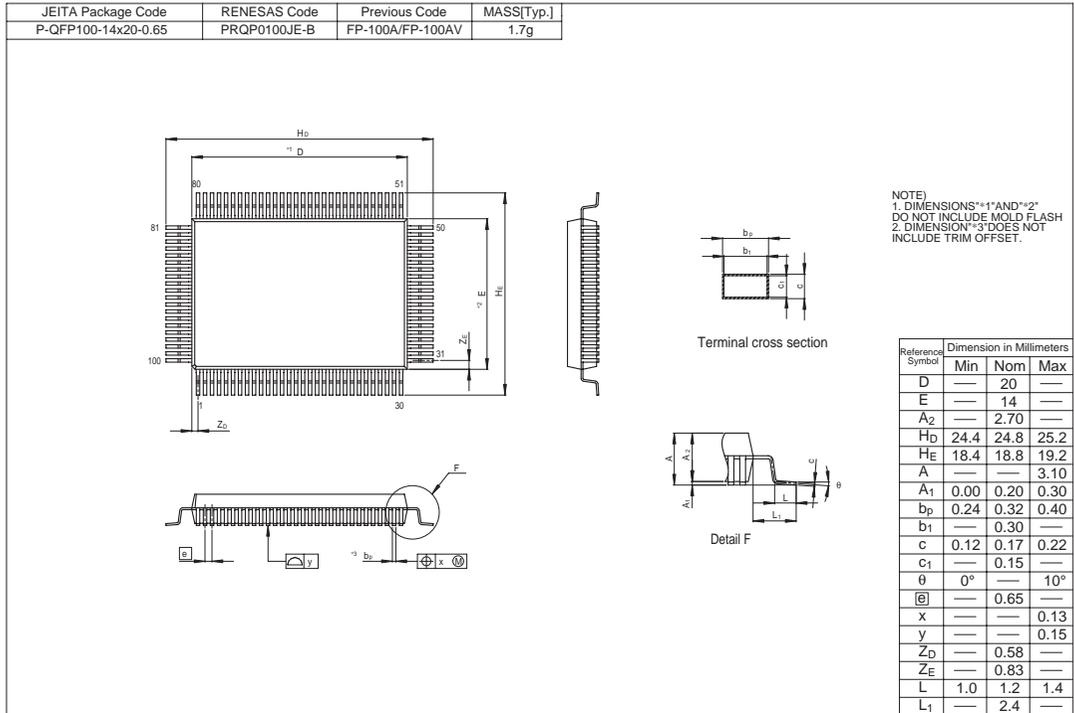


図 G.3 外形寸法図 (FP-100A) 単位 : mm

## H. H8/300H シリーズ製品仕様比較

### H.1 H8/3067、H8/3062 グループと H8/3048 グループ、H8/3007、 H8/3006 と H8/3002 の相違点

項目		H8/3067、 H8/3062 グループ		H8/3048 グループ	H8/3006、H8/3007		H8/3002	
1	動作モード	モード 5	16M バイト ROM 有効拡張モード	1M バイト ROM 有効拡張モード				
		モード 6	64K バイト シングルチップモード	16M バイト ROM 有効拡張モード				
2	割り込み コントローラ	内部割り込み 要因	36 (H8/3067)、27 (H8/3062)	30	36	30		
3	バス コントローラ	バースト ROM インタフェース	あり (H8/3067)、なし (H8/3062)	なし	あり	なし		
		アイドルサイクル 挿入機能	あり	なし	あり	なし		
		ウェイトモード	2 種類	4 種類	2 種類	4 種類		
		ウェイトステート 数の設定	エリア単位	全エリア共通	エリア単位	全エリア共通		
		アドレス出力方式	アドレス更新モードを選択可 (マスク ROM 版、フラッシュメモ リ R 版専用)	固定	固定	固定		
4	DRAM インタフェース	接続可能エリア	エリア 2 / 3 / 4 / 5 (H8/3067 のみ)	エリア 3	エリア 2 / 3 / 4 / 5		エリア 3	
		プリチャージ サイクル挿入機能	あり (H8/3067 のみ)	なし	あり	なし		
		高速ページモード	あり (H8/3067 のみ)	なし	あり	なし		
		アドレスシフト量	8bit / 9bit / 10bit (H8/3067 のみ)	8bit / 9bit	8bit / 9bit / 10bit		8bit / 9bit	
5	タイマ機能		16 ビット タイマ	8 ビット タイマ	ITU	16 ビット タイマ	8 ビット タイマ	ITU
		チャンネル数	16bit × 3	8bit × 4 (16bit × 2)	16bit × 5	16bit × 3	8bit × 4 (16bit × 2)	16bit × 5
		パルス出力	6 端子	4 端子 (2 端子)	12 端子	6 端子	4 端子 (2 端子)	12 端子
		インプット キャプチャ	6 本	2 本	10 本	6 本	2 本	10 本
		外部クロック	4 系統 (選択可)	4 系統 (固定)	4 系統 (選択可)	4 系統 (選択可)	4 系統 (固定)	4 系統 (選択可)
		内部クロック	φ、φ/2、φ/4、φ/8	φ/8、φ/64、 φ/8192	φ、φ/2、φ/4、φ/8	φ、φ/2、φ/4、φ/8	φ/8、φ/64、 φ/8192	φ、φ/2、φ/4、φ/8
		相補 PWM 機能	なし	なし	あり	なし	なし	あり
		リセット同期 PWM 機能	なし	なし	あり	なし	なし	あり
		バッファ動作	なし	なし	あり	なし	なし	あり

項目	H8/3067、 H8/3062 グループ		H8/3048 グループ	H8/3006、H8/3007		H8/3002	
	16ビット タイマ	8ビット タイマ	ITU	16ビット タイマ	8ビット タイマ	ITU	
5 タイマ機能	出力初期値 設定機能	あり	なし	なし	あり	なし	
	PWM 出力	3本	4本(2本)	5本	3本	4本(2本)	5本
	DMAC 起動	3チャンネル H8/3067のみ	なし	4チャンネル	3チャンネル	なし	4チャンネル
	A/D 変換起動	なし	あり	なし	なし	あり	なし
	割り込み要因	3要因×3	8要因	3要因×5	3要因×3	8要因	3要因×5
	6 TPC	タイムベース	16ビットタイムベースで3種類		ITUベースで 4種類	16ビットタイムベースで3種類	
7 WDT	リセット信号 外部出力機能	あり(ただし、フラッシュメモリ 内蔵品はなし)		あり	あり		あり
8 SCI	チャンネル数	3チャンネル(H8/3067)、 2チャンネル(H8/3062)		2チャンネル	3チャンネル		2チャンネル
	スマートカード インタフェース	全チャンネルサポート		SCI0のみ サポート	全チャンネルサポート		なし
9 A/D 変換器	変換開始トリガ 入力	外部トリガ/8ビットタイマ コンペアマッチ		外部トリガ	外部トリガ/8ビットタイマ コンペアマッチ		外部トリガ
	変換ステート	70/134		134/266	70/134		134/266
10 端子制御	φ端子	φ/入力ポート兼用		φ出力専用	φ/入力ポート兼用		φ出力専用
	16MバイトROM 有効拡張モード におけるA <sub>20</sub>	A <sub>20</sub> /入出力ポート兼用		A <sub>20</sub> 出力			
	ソフトウェア スタンバイ状態に おける、アドレス バス、AS、RD、 HWR、LWR、 CS <sub>7</sub> ~CS <sub>0</sub> 、RFSH	Highレベル出力/ハイインピー ダンスを選択可 (RFSHはH8/3067のみ)		Highレベル出力 (CS <sub>0</sub> 以外) Lowレベル出力 (CS <sub>0</sub> )	Highレベル出力/ハイインピ ーダンスを選択可		Highレベル出力 (CS <sub>0</sub> 以外) Lowレベル出力 (CS <sub>0</sub> )
	バス解放状態に おけるCS <sub>7</sub> ~CS <sub>0</sub>	ハイインピーダンス		Highレベル出力	ハイインピーダンス		Highレベル出力
11 フラッシュ メモリ機能	書き込み/消去 電圧	12V印加不要。単一電源書き 込み。		外部から12V 印加			
	ブロック分割	8ブロック		16ブロック			

## H.2 100ピンパッケージ品の端子機能比較 (FP-100B、TFP-100Bの場合)

表 H.1 製品別ピン配置一覧 (FP-100B、TFP-100B)

ピン 番号	ROM 内蔵品				ROM レス品	
	H8/3067 グループ	H8/3062 グループ	H8/3048 グループ	H8/3042 グループ	H8/3006、H8/3007	H8/3002
1	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
2	PB <sub>7</sub> /TP <sub>7</sub> /TMO <sub>7</sub> /CS <sub>7</sub>	PB <sub>7</sub> /TP <sub>7</sub> /TMO <sub>7</sub> /CS <sub>7</sub>	PB <sub>7</sub> /TP <sub>8</sub> /TIOCA3	PB <sub>7</sub> /TP <sub>7</sub> /TIOCA3	PB <sub>7</sub> /TP <sub>7</sub> /TMO <sub>7</sub> /CS <sub>7</sub>	PB <sub>7</sub> /TP <sub>8</sub> /TIOCA3
3	PB <sub>7</sub> /TP <sub>7</sub> /TMIO <sub>1</sub> /DREQ <sub>7</sub> /CS <sub>6</sub>	PB <sub>7</sub> /TP <sub>7</sub> /TMIO <sub>1</sub> /CS <sub>6</sub>	PB <sub>7</sub> /TP <sub>7</sub> /TIOCB3	PB <sub>7</sub> /TP <sub>7</sub> /TIOCB3	PB <sub>7</sub> /TP <sub>7</sub> /TMIO <sub>1</sub> /DREQ <sub>7</sub> /CS <sub>6</sub>	PB <sub>7</sub> /TP <sub>7</sub> /TIOCB3
4	PB <sub>2</sub> /TP <sub>10</sub> /TMO <sub>2</sub> /CS <sub>5</sub>	PB <sub>2</sub> /TP <sub>10</sub> /TMO <sub>2</sub> /CS <sub>5</sub>	PB <sub>2</sub> /TP <sub>10</sub> /TIOCA4	PB <sub>2</sub> /TP <sub>10</sub> /TIOCA4	PB <sub>2</sub> /TP <sub>10</sub> /TMO <sub>2</sub> /CS <sub>5</sub>	PB <sub>2</sub> /TP <sub>10</sub> /TIOCA4
5	PB <sub>3</sub> /TP <sub>11</sub> /TMIO <sub>3</sub> /DREQ <sub>3</sub> /CS <sub>4</sub>	PB <sub>3</sub> /TP <sub>11</sub> /TMIO <sub>3</sub> /CS <sub>4</sub>	PB <sub>3</sub> /TP <sub>11</sub> /TIOCB4	PB <sub>3</sub> /TP <sub>11</sub> /TIOC4	PB <sub>3</sub> /TP <sub>11</sub> /TMIO <sub>3</sub> /DREQ <sub>3</sub> /CS <sub>4</sub>	PB <sub>3</sub> /TP <sub>11</sub> /TIOCB4
6	PB <sub>7</sub> /TP <sub>12</sub> /UCAS	PB <sub>7</sub> /TP <sub>12</sub>	PB <sub>7</sub> /TP <sub>12</sub> /TOCXA4	PB <sub>7</sub> /TP <sub>12</sub> /TOCXA4	PB <sub>7</sub> /TP <sub>12</sub> /UCAS	PB <sub>7</sub> /TP <sub>12</sub> /TOCXA4
7	PB <sub>5</sub> /TP <sub>13</sub> /LCAS/SCK <sub>2</sub>	PB <sub>5</sub> /TP <sub>13</sub>	PB <sub>5</sub> /TP <sub>13</sub> /TOCXB4	PB <sub>5</sub> /TP <sub>13</sub> /TOCXB4	PB <sub>5</sub> /TP <sub>13</sub> /LCAS/SCK <sub>2</sub>	PB <sub>5</sub> /TP <sub>13</sub> /TOCXB4
8	PB <sub>6</sub> /TP <sub>14</sub> /TxD <sub>2</sub>	PB <sub>6</sub> /TP <sub>14</sub>	PB <sub>6</sub> /TP <sub>14</sub> /DREQ <sub>7</sub> /CS <sub>7</sub>	PB <sub>6</sub> /TP <sub>14</sub> /DREQ <sub>0</sub>	PB <sub>6</sub> /TP <sub>14</sub> /TxD <sub>2</sub>	PB <sub>6</sub> /TP <sub>14</sub> /DREQ <sub>0</sub>
9	PB <sub>7</sub> /TP <sub>15</sub> /RxD <sub>2</sub>	PB <sub>7</sub> /TP <sub>15</sub>	PB <sub>7</sub> /TP <sub>15</sub> /DREQ <sub>1</sub> /ADTRG	PB <sub>7</sub> /TP <sub>15</sub> /DREQ <sub>1</sub> /ADTRG	PB <sub>7</sub> /TP <sub>15</sub> /RxD <sub>2</sub>	PB <sub>7</sub> /TP <sub>15</sub> /DREQ <sub>1</sub> /ADTRG
10	RESO/FWE* <sup>1</sup>	RESO/FWE* <sup>1</sup>	RESO/V <sub>PP</sub> * <sup>2</sup>	RESO	RESO	RESO
11	Vss	Vss	Vss	Vss	Vss	Vss
12	P9 <sub>7</sub> /TxD <sub>0</sub>	P9 <sub>7</sub> /TxD <sub>0</sub>	P9 <sub>7</sub> /TxD <sub>0</sub>	P9 <sub>7</sub> /TxD <sub>0</sub>	P9 <sub>7</sub> /TxD <sub>0</sub>	P9 <sub>7</sub> /TxD <sub>0</sub>
13	P9 <sub>7</sub> /TxD <sub>1</sub>	P9 <sub>7</sub> /TxD <sub>1</sub>	P9 <sub>7</sub> /TxD <sub>1</sub>	P9 <sub>7</sub> /TxD <sub>1</sub>	P9 <sub>7</sub> /TxD <sub>1</sub>	P9 <sub>7</sub> /TxD <sub>1</sub>
14	P9 <sub>7</sub> /RXD <sub>0</sub>	P9 <sub>7</sub> /RXD <sub>0</sub>	P9 <sub>7</sub> /RXD <sub>0</sub>	P9 <sub>7</sub> /RXD <sub>0</sub>	P9 <sub>7</sub> /RXD <sub>0</sub>	P9 <sub>7</sub> /RXD <sub>0</sub>
15	P9 <sub>7</sub> /RXD <sub>1</sub>	P9 <sub>7</sub> /RXD <sub>1</sub>	P9 <sub>7</sub> /RXD <sub>1</sub>	P9 <sub>7</sub> /RXD <sub>1</sub>	P9 <sub>7</sub> /RXD <sub>1</sub>	P9 <sub>7</sub> /RXD <sub>1</sub>
16	P9 <sub>7</sub> /SCK <sub>0</sub> /IRQ <sub>4</sub>	P9 <sub>7</sub> /SCK <sub>0</sub> /IRQ <sub>4</sub>	P9 <sub>7</sub> /SCK <sub>0</sub> /IRQ <sub>4</sub>	P9 <sub>7</sub> /SCK <sub>0</sub> /IRQ <sub>4</sub>	P9 <sub>7</sub> /SCK <sub>0</sub> /IRQ <sub>4</sub>	P9 <sub>7</sub> /SCK <sub>0</sub> /IRQ <sub>4</sub>
17	P9 <sub>7</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub>	P9 <sub>7</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub>	P9 <sub>7</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub>	P9 <sub>7</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub>	P9 <sub>7</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub>	P9 <sub>7</sub> /SCK <sub>1</sub> /IRQ <sub>5</sub>
18	P4 <sub>7</sub> /D <sub>0</sub>	P4 <sub>7</sub> /D <sub>0</sub>	P4 <sub>7</sub> /D <sub>0</sub>	P4 <sub>7</sub> /D <sub>0</sub>	P4 <sub>7</sub> /D <sub>0</sub>	P4 <sub>7</sub> /D <sub>0</sub>
19	P4 <sub>7</sub> /D <sub>1</sub>	P4 <sub>7</sub> /D <sub>1</sub>	P4 <sub>7</sub> /D <sub>1</sub>	P4 <sub>7</sub> /D <sub>1</sub>	P4 <sub>7</sub> /D <sub>1</sub>	P4 <sub>7</sub> /D <sub>1</sub>
20	P4 <sub>7</sub> /D <sub>2</sub>	P4 <sub>7</sub> /D <sub>2</sub>	P4 <sub>7</sub> /D <sub>2</sub>	P4 <sub>7</sub> /D <sub>2</sub>	P4 <sub>7</sub> /D <sub>2</sub>	P4 <sub>7</sub> /D <sub>2</sub>
21	P4 <sub>7</sub> /D <sub>3</sub>	P4 <sub>7</sub> /D <sub>3</sub>	P4 <sub>7</sub> /D <sub>3</sub>	P4 <sub>7</sub> /D <sub>3</sub>	P4 <sub>7</sub> /D <sub>3</sub>	P4 <sub>7</sub> /D <sub>3</sub>
22	Vss	Vss	Vss	Vss	Vss	Vss
23	P4 <sub>7</sub> /D <sub>4</sub>	P4 <sub>7</sub> /D <sub>4</sub>	P4 <sub>7</sub> /D <sub>4</sub>	P4 <sub>7</sub> /D <sub>4</sub>	P4 <sub>7</sub> /D <sub>4</sub>	P4 <sub>7</sub> /D <sub>4</sub>
24	P4 <sub>7</sub> /D <sub>5</sub>	P4 <sub>7</sub> /D <sub>5</sub>	P4 <sub>7</sub> /D <sub>5</sub>	P4 <sub>7</sub> /D <sub>5</sub>	P4 <sub>7</sub> /D <sub>5</sub>	P4 <sub>7</sub> /D <sub>5</sub>
25	P4 <sub>7</sub> /D <sub>6</sub>	P4 <sub>7</sub> /D <sub>6</sub>	P4 <sub>7</sub> /D <sub>6</sub>	P4 <sub>7</sub> /D <sub>6</sub>	P4 <sub>7</sub> /D <sub>6</sub>	P4 <sub>7</sub> /D <sub>6</sub>
26	P4 <sub>7</sub> /D <sub>7</sub>	P4 <sub>7</sub> /D <sub>7</sub>	P4 <sub>7</sub> /D <sub>7</sub>	P4 <sub>7</sub> /D <sub>7</sub>	P4 <sub>7</sub> /D <sub>7</sub>	P4 <sub>7</sub> /D <sub>7</sub>
27	P3 <sub>7</sub> /D <sub>8</sub>	P3 <sub>7</sub> /D <sub>8</sub>	P3 <sub>7</sub> /D <sub>8</sub>	P3 <sub>7</sub> /D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>
28	P3 <sub>7</sub> /D <sub>9</sub>	P3 <sub>7</sub> /D <sub>9</sub>	P3 <sub>7</sub> /D <sub>9</sub>	P3 <sub>7</sub> /D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>
29	P3 <sub>7</sub> /D <sub>10</sub>	P3 <sub>7</sub> /D <sub>10</sub>	P3 <sub>7</sub> /D <sub>10</sub>	P3 <sub>7</sub> /D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>
30	P3 <sub>7</sub> /D <sub>11</sub>	P3 <sub>7</sub> /D <sub>11</sub>	P3 <sub>7</sub> /D <sub>11</sub>	P3 <sub>7</sub> /D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>
31	P3 <sub>7</sub> /D <sub>12</sub>	P3 <sub>7</sub> /D <sub>12</sub>	P3 <sub>7</sub> /D <sub>12</sub>	P3 <sub>7</sub> /D <sub>12</sub>	D <sub>12</sub>	D <sub>12</sub>
32	P3 <sub>7</sub> /D <sub>13</sub>	P3 <sub>7</sub> /D <sub>13</sub>	P3 <sub>7</sub> /D <sub>13</sub>	P3 <sub>7</sub> /D <sub>13</sub>	D <sub>13</sub>	D <sub>13</sub>
33	P3 <sub>7</sub> /D <sub>14</sub>	P3 <sub>7</sub> /D <sub>14</sub>	P3 <sub>7</sub> /D <sub>14</sub>	P3 <sub>7</sub> /D <sub>14</sub>	D <sub>14</sub>	D <sub>14</sub>

付録

ピン 番号	ROM 内蔵品				ROM レス品	
	H8/3067 グループ	H8/3062 グループ	H8/3048 グループ	H8/3042 グループ	H8/3006、H8/3007	H8/3002
34	P3 <sub>7</sub> /D <sub>15</sub>	D <sub>15</sub>	D <sub>15</sub>			
35	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
36	P1 <sub>0</sub> /A <sub>0</sub>	A <sub>0</sub>	A <sub>0</sub>			
37	P1 <sub>1</sub> /A <sub>1</sub>	A <sub>1</sub>	A <sub>1</sub>			
38	P1 <sub>2</sub> /A <sub>2</sub>	A <sub>2</sub>	A <sub>2</sub>			
39	P1 <sub>3</sub> /A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>			
40	P1 <sub>4</sub> /A <sub>4</sub>	A <sub>4</sub>	A <sub>4</sub>			
41	P1 <sub>5</sub> /A <sub>5</sub>	A <sub>5</sub>	A <sub>5</sub>			
42	P1 <sub>6</sub> /A <sub>6</sub>	A <sub>6</sub>	A <sub>6</sub>			
43	P1 <sub>7</sub> /A <sub>7</sub>	A <sub>7</sub>	A <sub>7</sub>			
44	Vss	Vss	Vss	Vss	Vss	Vss
45	P2 <sub>7</sub> /A <sub>8</sub>	A <sub>8</sub>	A <sub>8</sub>			
46	P2 <sub>8</sub> /A <sub>9</sub>	A <sub>9</sub>	A <sub>9</sub>			
47	P2 <sub>9</sub> /A <sub>10</sub>	A <sub>10</sub>	A <sub>10</sub>			
48	P2 <sub>10</sub> /A <sub>11</sub>	A <sub>11</sub>	A <sub>11</sub>			
49	P2 <sub>11</sub> /A <sub>12</sub>	A <sub>12</sub>	A <sub>12</sub>			
50	P2 <sub>12</sub> /A <sub>13</sub>	A <sub>13</sub>	A <sub>13</sub>			
51	P2 <sub>13</sub> /A <sub>14</sub>	A <sub>14</sub>	A <sub>14</sub>			
52	P2 <sub>14</sub> /A <sub>15</sub>	A <sub>15</sub>	A <sub>15</sub>			
53	P5 <sub>0</sub> /A <sub>16</sub>	A <sub>16</sub>	A <sub>16</sub>			
54	P5 <sub>1</sub> /A <sub>17</sub>	A <sub>17</sub>	A <sub>17</sub>			
55	P5 <sub>2</sub> /A <sub>18</sub>	A <sub>18</sub>	A <sub>18</sub>			
56	P5 <sub>3</sub> /A <sub>19</sub>	A <sub>19</sub>	A <sub>19</sub>			
57	Vss	Vss	Vss	Vss	Vss	Vss
58	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT	P6 <sub>0</sub> /WAIT
59	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ	P6 <sub>1</sub> /BREQ
60	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK	P6 <sub>2</sub> /BACK
61	P6 <sub>3</sub> /φ	P6 <sub>3</sub> /φ	φ	φ	P6 <sub>3</sub> /φ	φ
62	STBY	STBY	STBY	STBY	STBY	STBY
63	RES	RES	RES	RES	RES	RES
64	NMI	NMI	NMI	NMI	NMI	NMI
65	Vss	Vss	Vss	Vss	Vss	Vss
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
68	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
69	P6 <sub>4</sub> /AS	P6 <sub>4</sub> /AS	P6 <sub>4</sub> /AS	P6 <sub>4</sub> /AS	AS	AS
70	P6 <sub>5</sub> /RD	P6 <sub>5</sub> /RD	P6 <sub>5</sub> /RD	P6 <sub>5</sub> /RD	RD	RD
71	P6 <sub>6</sub> /HWR	P6 <sub>6</sub> /HWR	P6 <sub>6</sub> /HWR	P6 <sub>6</sub> /HWR	HWR	HWR
72	P6 <sub>7</sub> /LWR	P6 <sub>7</sub> /LWR	P6 <sub>7</sub> /LWR	P6 <sub>7</sub> /LWR	LWR	LWR
73	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>
74	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>
75	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>

ピン 番号	ROM 内蔵品				ROM レス品	
	H8/3067 グループ	H8/3062 グループ	H8/3048 グループ	H8/3042 グループ	H8/3006、H8/3007	H8/3002
76	AVcc	AVcc	AVcc	AVcc	AVcc	AVcc
77	V <sub>REF</sub>	V <sub>REF</sub>	V <sub>REF</sub>	V <sub>REF</sub>	V <sub>REF</sub>	V <sub>REF</sub>
78	P7 <sub>0</sub> /AN <sub>0</sub>	P7 <sub>1</sub> /AN <sub>0</sub>	P7 <sub>2</sub> /AN <sub>0</sub>	P7 <sub>3</sub> /AN <sub>0</sub>	P7 <sub>4</sub> /AN <sub>0</sub>	P7 <sub>5</sub> /AN <sub>0</sub>
79	P7 <sub>1</sub> /AN <sub>1</sub>	P7 <sub>2</sub> /AN <sub>1</sub>	P7 <sub>3</sub> /AN <sub>1</sub>	P7 <sub>4</sub> /AN <sub>1</sub>	P7 <sub>5</sub> /AN <sub>1</sub>	P7 <sub>6</sub> /AN <sub>1</sub>
80	P7 <sub>2</sub> /AN <sub>2</sub>	P7 <sub>3</sub> /AN <sub>2</sub>	P7 <sub>4</sub> /AN <sub>2</sub>	P7 <sub>5</sub> /AN <sub>2</sub>	P7 <sub>6</sub> /AN <sub>2</sub>	P7 <sub>7</sub> /AN <sub>2</sub>
81	P7 <sub>3</sub> /AN <sub>3</sub>	P7 <sub>4</sub> /AN <sub>3</sub>	P7 <sub>5</sub> /AN <sub>3</sub>	P7 <sub>6</sub> /AN <sub>3</sub>	P7 <sub>7</sub> /AN <sub>3</sub>	P7 <sub>8</sub> /AN <sub>3</sub>
82	P7 <sub>4</sub> /AN <sub>4</sub>	P7 <sub>5</sub> /AN <sub>4</sub>	P7 <sub>6</sub> /AN <sub>4</sub>	P7 <sub>7</sub> /AN <sub>4</sub>	P7 <sub>8</sub> /AN <sub>4</sub>	P7 <sub>9</sub> /AN <sub>4</sub>
83	P7 <sub>5</sub> /AN <sub>5</sub>	P7 <sub>6</sub> /AN <sub>5</sub>	P7 <sub>7</sub> /AN <sub>5</sub>	P7 <sub>8</sub> /AN <sub>5</sub>	P7 <sub>9</sub> /AN <sub>5</sub>	P7 <sub>10</sub> /AN <sub>5</sub>
84	P7 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P7 <sub>7</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P7 <sub>8</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P7 <sub>9</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P7 <sub>10</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P7 <sub>11</sub> /AN <sub>6</sub>
85	P7 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P7 <sub>8</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P7 <sub>9</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P7 <sub>10</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P7 <sub>11</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P7 <sub>12</sub> /AN <sub>7</sub>
86	AVss	AVss	AVss	AVss	AVss	AVss
87	P8 <sub>7</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>8</sub> /IRQ <sub>0</sub>	P8 <sub>9</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>10</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>11</sub> /RFSH/IRQ <sub>0</sub>	P8 <sub>12</sub> /RFSH/IRQ <sub>0</sub>
88	P8 <sub>8</sub> /CS <sub>2</sub> /IRQ <sub>1</sub>	P8 <sub>9</sub> /CS <sub>2</sub> /IRQ <sub>1</sub>	P8 <sub>10</sub> /CS <sub>2</sub> /IRQ <sub>1</sub>	P8 <sub>11</sub> /CS <sub>2</sub> /IRQ <sub>1</sub>	P8 <sub>12</sub> /CS <sub>2</sub> /IRQ <sub>1</sub>	P8 <sub>13</sub> /CS <sub>2</sub> /IRQ <sub>1</sub>
89	P8 <sub>9</sub> /CS <sub>2</sub> /IRQ <sub>2</sub>	P8 <sub>10</sub> /CS <sub>2</sub> /IRQ <sub>2</sub>	P8 <sub>11</sub> /CS <sub>2</sub> /IRQ <sub>2</sub>	P8 <sub>12</sub> /CS <sub>2</sub> /IRQ <sub>2</sub>	P8 <sub>13</sub> /CS <sub>2</sub> /IRQ <sub>2</sub>	P8 <sub>14</sub> /CS <sub>2</sub> /IRQ <sub>2</sub>
90	P8 <sub>10</sub> /CS <sub>2</sub> /IRQ <sub>3</sub> / ADTRG	P8 <sub>11</sub> /CS <sub>2</sub> /IRQ <sub>3</sub> / ADTRG	P8 <sub>12</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>13</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>	P8 <sub>14</sub> /CS <sub>2</sub> /IRQ <sub>3</sub> / ADTRG	P8 <sub>15</sub> /CS <sub>2</sub> /IRQ <sub>3</sub>
91	P8 <sub>11</sub> /CS <sub>0</sub>	P8 <sub>12</sub> /CS <sub>0</sub>	P8 <sub>13</sub> /CS <sub>0</sub>	P8 <sub>14</sub> /CS <sub>0</sub>	P8 <sub>15</sub> /CS <sub>0</sub>	P8 <sub>16</sub> /CS <sub>0</sub>
92	Vss	Vss	Vss	Vss	Vss	Vss
93	PA <sub>7</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKA	PA <sub>8</sub> /TP <sub>7</sub> / TCLKA	PA <sub>9</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKA	PA <sub>10</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKA	PA <sub>11</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKA	PA <sub>12</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKA
94	PA <sub>8</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKB	PA <sub>9</sub> /TP <sub>7</sub> / TCLKB	PA <sub>10</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKB	PA <sub>11</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKB	PA <sub>12</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKB	PA <sub>13</sub> /TP <sub>7</sub> / TEND <sub>7</sub> /TCLKB
95	PA <sub>9</sub> /TP <sub>7</sub> / TIOCA <sub>7</sub> /TCLKC	PA <sub>10</sub> /TP <sub>7</sub> / TIOCA <sub>7</sub> /TCLKC	PA <sub>11</sub> /TP <sub>7</sub> / TIOCA <sub>7</sub> /TCLKC	PA <sub>12</sub> /TP <sub>7</sub> / TIOCA <sub>7</sub> /TCLKC	PA <sub>13</sub> /TP <sub>7</sub> / TIOCA <sub>7</sub> /TCLKC	PA <sub>14</sub> /TP <sub>7</sub> / TIOCA <sub>7</sub> /TCLKC
96	PA <sub>10</sub> /TP <sub>7</sub> / TIOCB <sub>7</sub> /TCLKD	PA <sub>11</sub> /TP <sub>7</sub> / TIOCB <sub>7</sub> /TCLKD	PA <sub>12</sub> /TP <sub>7</sub> / TIOCB <sub>7</sub> /TCLKD	PA <sub>13</sub> /TP <sub>7</sub> / TIOCB <sub>7</sub> /TCLKD	PA <sub>14</sub> /TP <sub>7</sub> / TIOCB <sub>7</sub> /TCLKD	PA <sub>15</sub> /TP <sub>7</sub> / TIOCB <sub>7</sub> /TCLKD
97	PA <sub>11</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>23</sub>	PA <sub>12</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>23</sub>	PA <sub>13</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / CS <sub>7</sub> /A <sub>23</sub>	PA <sub>14</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>23</sub>	PA <sub>15</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>23</sub>	PA <sub>16</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>23</sub>
98	PA <sub>12</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>22</sub>	PA <sub>13</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>22</sub>	PA <sub>14</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / CS <sub>7</sub> /A <sub>22</sub>	PA <sub>15</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>22</sub>	PA <sub>16</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>22</sub>	PA <sub>17</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>22</sub>
99	PA <sub>13</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>21</sub>	PA <sub>14</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>21</sub>	PA <sub>15</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / CS <sub>7</sub> /A <sub>21</sub>	PA <sub>16</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>21</sub>	PA <sub>17</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>21</sub>	PA <sub>18</sub> /TP <sub>7</sub> /TIOCA <sub>7</sub> / A <sub>21</sub>
100	PA <sub>14</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>20</sub>	PA <sub>15</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>20</sub>	PA <sub>16</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>20</sub>	PA <sub>17</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>20</sub>	PA <sub>18</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>20</sub>	PA <sub>19</sub> /TP <sub>7</sub> /TIOCB <sub>7</sub> / A <sub>20</sub>

【注】 \* マスク ROM 版は RESO、フラッシュメモリ版およびフラッシュメモリ R 版は FWE として機能します。



---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8/3006、H8/3007

発行年月日 1997年12月 第1版  
2007年9月10日 Rev.6.00  
発行 株式会社ルネサステクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売

# RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



H8/3006、H8/3007  
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0424-0600