

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2194グループ、H8S/2194Cグループ、 H8S/2194F-ZTAT™、H8S/2194C F-ZTAT™

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2100シリーズ

H8S/2194	HD6432194、 HD64F2194
H8S/2193	HD6432193
H8S/2192	HD6432192
H8S/2191	HD6432191
H8S/2194C	HD6432194C、 HD64F2194C
H8S/2194B	HD6432194B
H8S/2194A	HD6432194A

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサステクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサステクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサステクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサステクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサステクノロジー半導体製品のご購入に当たりましては、事前にルネサステクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサステクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサステクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサステクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサステクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサステクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサステクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体		<ul style="list-style-type: none">・社名変更による変更 日立製作所 ルネサステクノロジ・呼称変更による変更 H8S/2194 シリーズ H8S/2194 グループ H8S/2194C シリーズ H8S/2194C グループ・パッケージコード変更による変更 FP-112 PRQP0112JA-A

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置図	1-6
1.3.2	端子機能	1-7
1.4	H8S/2194C グループと H8S/2194 グループの相違点	1-12

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-2
2.1.4	H8/300H CPU との相違点	2-3
2.2	動作モード	2-3
2.3	アドレス空間	2-8
2.4	レジスタ構成	2-9
2.4.1	概要	2-9
2.4.2	汎用レジスタ	2-10
2.4.3	コントロールレジスタ	2-11
2.4.4	CPU 内部レジスタの初期値	2-13
2.5	データ構成	2-14
2.5.1	汎用レジスタのデータ構成	2-14
2.5.2	メモリ上でのデータ構成	2-16
2.6	命令セット	2-17
2.6.1	概要	2-17
2.6.2	命令とアドレッシングモードの組み合わせ	2-18
2.6.3	命令の機能別一覧	2-19
2.6.4	命令の基本フォーマット	2-27
2.6.5	ビット操作命令使用上の注意	2-28
2.7	アドレッシングモードと実効アドレスの計算方法	2-28
2.7.1	アドレッシングモード	2-28
2.7.2	実効アドレスの計算方法	2-31
2.8	処理状態	2-35
2.8.1	概要	2-35
2.8.2	リセット状態	2-36
2.8.3	例外処理状態	2-37
2.8.4	プログラム実行状態	2-38

2.8.5	低消費電力状態	2-38
2.9	基本動作タイミング	2-40
2.9.1	概要	2-40
2.9.2	内蔵メモリ (ROM、RAM)	2-40
2.9.3	内蔵周辺モジュールアクセスタイミング	2-41
2.10	使用上の注意	2-41
第3章 MCU 動作モード		
3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-1
3.2	各レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.3	動作モードの説明	3-3
3.3.1	モード1	3-3
3.4	アドレスマップ	3-4
第4章 低消費電力状態		
4.1	概要	4-1
4.1.1	レジスタ構成	4-4
4.2	各レジスタの説明	4-5
4.2.1	スタンバイコントロールレジスタ (SBYCR)	4-5
4.2.2	ローパワーコントロールレジスタ (LPWRCR)	4-6
4.2.3	タイマレジスタ A (TMA)	4-8
4.2.4	モジュールストップコントロールレジスタ (MSTPCR)	4-9
4.3	中速モード	4-10
4.4	スリープモード	4-11
4.4.1	スリープモード	4-11
4.4.2	スリープモードの解除	4-11
4.5	モジュールストップモード	4-12
4.5.1	モジュールストップモード	4-12
4.6	スタンバイモード	4-13
4.6.1	スタンバイモード	4-13
4.6.2	スタンバイモードの解除	4-13
4.6.3	スタンバイモード解除後の発振安定時間の設定	4-13
4.7	ウォッチモード	4-15
4.7.1	ウォッチモード	4-15
4.7.2	ウォッチモードの解除	4-15
4.8	サブスリープモード	4-16
4.8.1	サブスリープモード	4-16
4.8.2	サブスリープモードの解除	4-16
4.9	サブアクティブモード	4-17
4.9.1	サブアクティブモード	4-17

4.9.2	サブアクティブモードの解除	4-17
4.10	直接遷移	4-18
4.10.1	直接遷移の概要	4-18
第5章 例外処理		
5.1	概要	5-1
5.1.1	例外処理の種類と優先度	5-1
5.1.2	例外処理の動作	5-1
5.1.3	例外処理要因とベクタテーブル	5-2
5.2	リセット	5-4
5.2.1	概要	5-4
5.2.2	リセットシーケンス	5-4
5.2.3	リセット直後の割り込み	5-6
5.3	割り込み	5-7
5.4	トラップ命令	5-8
5.5	例外処理後のスタックの状態	5-9
5.6	スタック使用上の注意	5-10
第6章 割り込みコントローラ		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	システムコントロールレジスタ (SYSCR)	6-4
6.2.2	インタラプトコントロールレジスタ A ~ D (ICRA ~ ICRD)	6-5
6.2.3	IRQ イネーブルレジスタ (IENR)	6-6
6.2.4	IRQ エッジセレクトレジスタ (IEGR)	6-7
6.2.5	IRQ ステータスレジスタ (IRQR)	6-8
6.2.6	ポートモードレジスタ 1 (PMR1)	6-9
6.3	割り込み要因	6-10
6.3.1	外部割り込み	6-10
6.3.2	内部割り込み	6-12
6.3.3	割り込み例外処理ベクタテーブル	6-12
6.4	割り込み動作	6-14
6.4.1	割り込み制御モードと割り込み動作	6-14
6.4.2	割り込み制御モード 0	6-16
6.4.3	割り込み制御モード 1	6-18
6.4.4	割り込み例外処理シーケンス	6-21
6.4.5	割り込み応答時間	6-22
6.5	使用上の注意	6-23
6.5.1	割り込みの発生とディスエーブルとの競合	6-23
6.5.2	割り込みを禁止している命令	6-24
6.5.3	EPEMOV 命令実行中の割り込み	6-24

6.5.4	NMI を使用しない場合	6-24
第 7 章 ROM (H8S/2194 グループ)		
7.1	概要	7-1
7.1.1	ブロック図	7-1
7.2	フラッシュメモリの概要	7-2
7.2.1	特長	7-2
7.2.2	ブロック図	7-3
7.2.3	フラッシュメモリの動作モード	7-4
7.2.4	端子構成	7-8
7.2.5	レジスタ構成	7-8
7.3	フラッシュメモリのレジスタの説明	7-9
7.3.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	7-9
7.3.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	7-11
7.3.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2)	7-13
7.3.4	シリアルタイムコントロールレジスタ (STCR)	7-14
7.4	オンボードプログラミングモード	7-15
7.4.1	ブートモード	7-16
7.4.2	ユーザプログラムモード	7-21
7.5	フラッシュメモリの書き込み / 消去	7-22
7.5.1	プログラムモード	7-22
7.5.2	プログラムベリファイモード	7-23
7.5.3	イレースモード	7-25
7.5.4	イレースベリファイモード	7-25
7.6	フラッシュメモリのプロテクト	7-27
7.6.1	ハードウェアプロテクト	7-27
7.6.2	ソフトウェアプロテクト	7-28
7.6.3	エラープロテクト	7-29
7.7	フラッシュメモリの書き込み / 消去時の割り込み処理	7-30
7.8	フラッシュメモリのライターモード	7-31
7.8.1	ライターモードの設定	7-31
7.8.2	ソケットアダプタとメモリマップ	7-31
7.8.3	ライターモードの動作	7-32
7.8.4	メモリ読み出しモード	7-33
7.8.5	自動書き込みモード	7-36
7.8.6	自動消去モード	7-38
7.8.7	ステータス読み出しモード	7-39
7.8.8	ステータスポーリング	7-40
7.8.9	ライターモードへの遷移時間	7-41
7.8.10	メモリ書き込み注意事項	7-41

7.9	フラッシュメモリの書き込み / 消去時の注意	7-42
7.10	F-ZTAT マイコンのマスク ROM 化時の注意事項	7-44

第 8 章 ROM (H8S/2194C グループ)

8.1	概要	8-1
8.1.1	ブロック図	8-1
8.2	フラッシュメモリの概要	8-2
8.2.1	特長	8-2
8.2.2	ブロック図	8-3
8.2.3	モード遷移図	8-4
8.2.4	オンボードプログラムモード	8-5
8.2.5	ブートモードとユーザプログラムモードの相違点	8-7
8.2.6	ブロック分割法	8-7
8.3	端子構成	8-8
8.4	レジスタ構成	8-8
8.5	レジスタの説明	8-9
8.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	8-9
8.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	8-11
8.5.3	消去ブロック指定レジスタ 1 (EBR1)	8-13
8.5.4	消去ブロック指定レジスタ 2 (EBR2)	8-14
8.5.5	シリアルタイムコントロールレジスタ (STCR)	8-15
8.6	オンボードプログラミングモード	8-16
8.6.1	ブートモード	8-16
8.6.2	ユーザプログラムモード	8-20
8.7	フラッシュメモリの書き込み / 消去	8-22
8.7.1	プログラムモード (対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、 対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	8-22
8.7.2	プログラムベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、 対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	8-23
8.7.3	イレースモード (対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、 対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	8-25
8.7.4	イレースベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、n = 1、 対象アドレス H'20000 ~ H'3FFFF のとき、n = 2)	8-25
8.8	フラッシュメモリのプロテクト	8-27
8.8.1	ハードウェアプロテクト	8-27
8.8.2	ソフトウェアプロテクト	8-27
8.8.3	エラープロテクト	8-28
8.9	フラッシュメモリの書き込み / 消去時の割り込み処理	8-29
8.10	フラッシュメモリのライターモード	8-30
8.10.1	ソケットアダプタとメモリマップ	8-30
8.10.2	ライターモードの動作	8-31
8.10.3	メモリ読み出しモード	8-32
8.10.4	自動書き込みモード	8-34
8.10.5	自動消去モード	8-36
8.10.6	ステータス読み出しモード	8-37

8.10.7	ステータスポーリング	8-38
8.10.8	ライトモードへの遷移時間	8-38
8.10.9	メモリ書き込み注意事項	8-39
8.11	フラッシュメモリの書き込み / 消去時の注意	8-39
8.12	F-ZTAT マイコンのマスク ROM 化時の注意事項	8-40

第9章 RAM

9.1	概要	9-1
9.1.1	ブロック図	9-1

第10章 クロック発振器

10.1	概要	10-1
10.1.1	ブロック図	10-1
10.1.2	レジスタ構成	10-1
10.2	各レジスタの説明	10-2
10.2.1	スタンバイコントロールレジスタ (SBYCR)	10-2
10.2.2	ローパワーコントロールレジスタ (LPWRCR)	10-3
10.3	発振器	10-4
10.3.1	水晶発振子を接続する方法	10-4
10.3.2	外部クロックを入力する方法	10-6
10.4	デューティ補正回路	10-8
10.5	中速クロック分周器	10-8
10.6	バスマスタクロック選択回路	10-8
10.7	サブクロック発振回路	10-9
10.7.1	32.768kHz 水晶発振子を接続する方法	10-9
10.7.2	外部クロックを入力する方法	10-10
10.7.3	サブクロックを必要としない場合	10-10
10.8	サブクロック波形形成回路	10-10
10.9	発振子に関する注意事項	10-10

第11章 I/O ポート

11.1	概要	11-1
11.1.1	ポートの機能	11-1
11.1.2	ポートの入力	11-1
11.1.3	プルアップ MOS	11-3
11.2	ポート 0	11-4
11.2.1	概要	11-4
11.2.2	レジスタの構成	11-4
11.2.3	端子機能	11-5
11.2.4	端子状態	11-5
11.3	ポート 1	11-6
11.3.1	概要	11-6
11.3.2	レジスタの構成	11-6
11.3.3	端子機能	11-9
11.3.4	端子状態	11-10

11.4	ポート 2	11-11
11.4.1	概要.....	11-11
11.4.2	レジスタの構成.....	11-11
11.4.3	端子機能.....	11-14
11.4.4	端子状態.....	11-16
11.5	ポート 3	11-16
11.5.1	概要.....	11-16
11.5.2	レジスタの構成.....	11-17
11.5.3	端子機能.....	11-20
11.5.4	端子状態.....	11-21
11.6	ポート 4	11-22
11.6.1	概要.....	11-22
11.6.2	レジスタの構成.....	11-22
11.6.3	端子機能.....	11-24
11.6.4	端子状態.....	11-26
11.7	ポート 5	11-26
11.7.1	概要.....	11-26
11.7.2	レジスタの構成.....	11-26
11.7.3	端子機能.....	11-29
11.7.4	端子状態.....	11-30
11.8	ポート 6	11-30
11.8.1	概要.....	11-30
11.8.2	レジスタの構成.....	11-31
11.8.3	端子機能.....	11-34
11.8.4	動作説明.....	11-35
11.8.5	端子状態.....	11-36
11.9	ポート 7	11-37
11.9.1	概要.....	11-37
11.9.2	レジスタの構成.....	11-37
11.9.3	端子機能.....	11-39
11.9.4	端子状態.....	11-39
11.10	ポート 8	11-40
11.10.1	概要.....	11-40
11.10.2	レジスタの構成.....	11-40
11.10.3	端子機能.....	11-42
11.10.4	端子状態.....	11-44

第 12 章 タイマ A

12.1	概要	12-1
12.1.1	特長.....	12-1
12.1.2	ブロック図.....	12-2
12.1.3	レジスタ構成.....	12-2
12.2	各レジスタの説明.....	12-3
12.2.1	タイマモードレジスタ A (TMA)	12-3
12.2.2	タイマカウンタ A (TCA)	12-4

12.2.3	モジュールストップコントロールレジスタ (MSTPCR)	12-5
12.3	動作説明	12-5
12.3.1	インターバルタイマの動作	12-5
12.3.2	時計用タイマの動作	12-6
12.3.3	カウントの初期化	12-6

第 13 章 タイマ B

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-1
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-2
13.2	各レジスタの説明	13-2
13.2.1	タイマモードレジスタ B (TMB)	13-2
13.2.2	タイマカウンタ B (TCB)	13-4
13.2.3	タイマロードレジスタ B (TLB)	13-4
13.2.4	ポートモードレジスタ 5 (PMR5)	13-4
13.2.5	モジュールストップコントロールレジスタ (MSTPCR)	13-5
13.3	動作説明	13-6
13.3.1	インターバルタイマの動作	13-6
13.3.2	オートリロードタイマの動作	13-6
13.3.3	イベントカウンタ	13-6

第 14 章 タイマ J

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-1
14.1.3	端子構成	14-3
14.1.4	レジスタの構成	14-3
14.2	各レジスタの説明	14-4
14.2.1	タイマモードレジスタ J (TMJ)	14-4
14.2.2	タイマ J コントロールレジスタ (TMJC)	14-7
14.2.3	タイマ J ステータスレジスタ (TMJS)	14-9
14.2.4	タイマカウンタ J (TCJ)	14-10
14.2.5	タイマカウンタ K (TCK)	14-10
14.2.6	タイマロードレジスタ J (TLJ)	14-11
14.2.7	タイマロードレジスタ K (TLK)	14-11
14.2.8	モジュールストップコントロールレジスタ (MSTPCR)	14-12
14.3	動作説明	14-13
14.3.1	8 ビットリロードタイマ (TMJ-1)	14-13
14.3.2	8 ビットリロードタイマ (TMJ-2)	14-13
14.3.3	リモコン送信動作	14-14

第 15 章 タイマ L

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2

15.1.3	レジスタ構成	15-2
15.2	各レジスタの説明	15-3
15.2.1	タイマLモードレジスタ(LMR)	15-3
15.2.2	リニアタイムカウンタ(LTC)	15-4
15.2.3	リロード/コンペアマッチレジスタ(RCR)	15-5
15.2.4	モジュールストップコントロールレジスタ(MSTPCR)	15-5
15.3	動作説明	15-6
15.3.1	コンペアマッチクリアの動作	15-6

第16章 タイマR

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-1
16.1.3	端子構成	16-3
16.1.4	レジスタ構成	16-3
16.2	各レジスタの説明	16-3
16.2.1	タイマRモードレジスタ1(TMRM1)	16-3
16.2.2	タイマRモードレジスタ2(TMRM2)	16-5
16.2.3	タイマRコントロール/ステータスレジスタ(TMRCS)	16-7
16.2.4	タイマRキャプチャレジスタ1(TMRCPI)	16-9
16.2.5	タイマRキャプチャレジスタ2(TMRCPI2)	16-10
16.2.6	タイマRロードレジスタ1(TMRL1)	16-10
16.2.7	タイマRロードレジスタ2(TMRL2)	16-10
16.2.8	タイマRロードレジスタ3(TMRL3)	16-11
16.2.9	モジュールストップコントロールレジスタ(MSTPCR)	16-11
16.3	動作説明	16-12
16.3.1	キャプチャ付きリロードタイマカウンタ TMRU-1	16-12
16.3.2	キャプチャ付きリロードタイマカウンタ TMRU-2	16-13
16.3.3	リロードカウンタタイマ TMRU-3	16-13
16.3.4	モード判別	16-14
16.3.5	リール制御	16-14
16.3.6	キャプスタンモータの加減速処理	16-14
16.3.7	スロートラッキングモノマルチ	16-15
16.4	割り込み要因	16-17
16.5	各動作の設定例	16-18
16.5.1	モード判別	16-18
16.5.2	リール制御	16-19
16.5.3	スロートラッキングモノマルチ	16-19
16.5.4	キャプスタンモータの加減速処理	16-20

第17章 タイマX1

17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-2
17.1.3	端子構成	17-3
17.1.4	レジスタ構成	17-3

17.2	各レジスタの説明	17-4
17.2.1	フリーランニングカウンタ (FRC)	17-4
17.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	17-4
17.2.3	インプットキャプチャレジスタ A~D (ICRA ~ICRD)	17-5
17.2.4	タイマインタラプトイネーブルレジスタ (TIER)	17-6
17.2.5	タイマコントロール/ステータスレジスタ X (TCSRX)	17-8
17.2.6	タイマコントロールレジスタ X (TCRX)	17-11
17.2.7	タイマアウトプットコンペアコントロールレジスタ (TOCR)	17-13
17.2.8	モジュールストップコントロールレジスタ (MSTPCR)	17-15
17.3	動作説明	17-16
17.3.1	タイマ X1 の動作	17-16
17.3.2	FRC のカウントタイミング	17-16
17.3.3	アウトプットコンペア出力タイミング	17-18
17.3.4	FRC のクリアタイミング	17-18
17.3.5	インプットキャプチャ入力タイミング	17-19
17.3.6	インプットキャプチャフラグ (ICFA ~ICFD) のセットタイミング	17-20
17.3.7	アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング	17-21
17.3.8	オーバフローフラグ (OVF) のセットタイミング	17-21
17.4	タイマ X1 の動作モード	17-22
17.5	割り込み要因	17-22
17.6	タイマ X1 の使用例	17-23
17.7	使用上の注意事項	17-24
17.7.1	FRC のライトとクリアの競合	17-24
17.7.2	FRC のライトとカウントアップの競合	17-25
17.7.3	OCR のライトとコンペアマッチの競合	17-26
17.7.4	内部クロックの切り替えとカウンタの動作	17-27
第 18 章 ウォッチドッグタイマ (WDT)		
18.1	概要	18-1
18.1.1	特長	18-1
18.1.2	ブロック図	18-2
18.1.3	レジスタ構成	18-3
18.2	各レジスタの説明	18-4
18.2.1	ウォッチドッグタイマカウンタ (WTCNT)	18-4
18.2.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	18-4
18.2.3	システムコントロールレジスタ (SYSCR)	18-7
18.2.4	レジスタアクセス時の注意	18-7
18.3	動作説明	18-9
18.3.1	ウォッチドッグタイマモード時の動作	18-9
18.3.2	インターバルタイマモード時の動作	18-10
18.3.3	オーバフローフラグ (OVF) のセットタイミング	18-10
18.4	割り込み	18-11
18.5	使用上の注意	18-12
18.5.1	ウォッチドッグタイマカウンタ (WTCNT) のライトとカウントアップの競合	18-12
18.5.2	CKS2 ~CKS0 ビットの書き換え	18-12

18.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	18-12
第 19 章	8 ビット PWM	
19.1	概要	19-1
19.1.1	特長.....	19-1
19.1.2	ブロック図.....	19-1
19.1.3	端子構成.....	19-2
19.1.4	レジスタ構成.....	19-2
19.2	各レジスタの説明.....	19-3
19.2.1	8 ビット PWM データレジスタ 0、1、2、3 (PWR0、PWR1、PWR2、PWR3)	19-3
19.2.2	8 ビット PWM コントロールレジスタ (PW8CR)	19-4
19.2.3	ポートモードレジスタ 3 (PMR3)	19-4
19.2.4	モジュールストップコントロールレジスタ (MSTPCR)	19-5
19.3	動作説明.....	19-6
第 20 章	12 ビット PWM	
20.1	概要	20-1
20.1.1	特長.....	20-1
20.1.2	ブロック図.....	20-2
20.1.3	端子構成.....	20-2
20.1.4	レジスタ構成.....	20-3
20.2	各レジスタの説明.....	20-3
20.2.1	12 ビット PWM コントロールレジスタ (CPWCR、DPWCR)	20-3
20.2.2	12 ビット PWM データレジスタ (DPWDR、CPWDR)	20-5
20.2.3	モジュールストップコントロールレジスタ (MSTPCR)	20-5
20.3	動作説明.....	20-6
20.3.1	出力波形.....	20-6
第 21 章	14 ビット PWM	
21.1	概要	21-1
21.1.1	特長.....	21-1
21.1.2	ブロック図.....	21-1
21.1.3	端子構成.....	21-2
21.1.4	レジスタ構成.....	21-2
21.2	各レジスタの説明.....	21-3
21.2.1	PWM コントロールレジスタ (PWCR)	21-3
21.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	21-4
21.2.3	モジュールストップコントロールレジスタ (MSTPCR)	21-5
21.3	動作説明.....	21-6
第 22 章	プリスケアラユニット	
22.1	概要	22-1
22.1.1	特長.....	22-1
22.1.2	ブロック図.....	22-2
22.1.3	端子構成.....	22-3
22.1.4	レジスタ構成.....	22-3

22.2	各レジスタの説明	22-3
22.2.1	インプットキャプチャレジスタ 1 (ICR1)	22-3
22.2.2	プリスケラユニットコントロール/ステータスレジスタ (PCSR)	22-3
22.2.3	ポートモードレジスタ 1 (PMR1)	22-5
22.3	ノイズキャンセル回路	22-6
22.4	動作説明	22-6
22.4.1	プリスケラ S (PSS)	22-6
22.4.2	プリスケラ W (PSW)	22-7
22.4.3	発振安定待機時間カウンタ	22-7
22.4.4	8 ビット PWM	22-7
22.4.5	IC 端子による 8 ビットインプットキャプチャ	22-8
22.4.6	分周クロック出力	22-8
第 23 章 シリアルコミュニケーションインタフェース 1 (SCI1)		
23.1	概要	23-1
23.1.1	特長	23-1
23.1.2	ブロック図	23-2
23.1.3	端子構成	23-3
23.1.4	レジスタ構成	23-3
23.2	各レジスタの説明	23-4
23.2.1	レシーフシフトレジスタ (RSR)	23-4
23.2.2	レシーフデータレジスタ (RDR1)	23-4
23.2.3	トランスミットシフトレジスタ (TSR)	23-4
23.2.4	トランスミットデータレジスタ (TDR1)	23-5
23.2.5	シリアルモードレジスタ (SMR1)	23-5
23.2.6	シリアルコントロールレジスタ (SCR1)	23-8
23.2.7	シリアルステータスレジスタ (SSR1)	23-11
23.2.8	ビットレートレジスタ (BRR1)	23-15
23.2.9	シリアルインタフェースモードレジスタ (SCMR1)	23-21
23.2.10	モジュールストップコントロールレジスタ (MSTPCR)	23-22
23.3	動作説明	23-23
23.3.1	概要	23-23
23.3.2	調歩同期式モード時の動作	23-25
23.3.3	マルチプロセッサ通信機能	23-36
23.3.4	クロック同期式モード時の動作	23-44
23.4	SCI1 割り込み	23-52
23.5	使用上の注意	23-53
第 24 章 シリアルコミュニケーションインタフェース 2 (SCI2)		
24.1	概要	24-1
24.1.1	特長	24-1
24.1.2	ブロック図	24-2
24.1.3	端子構成	24-3
24.1.4	レジスタ構成	24-3
24.2	各レジスタの説明	24-3
24.2.1	先頭アドレスレジスタ (STAR)	24-3

24.2.2	終了アドレスレジスタ (EDAR)	24-4
24.2.3	シリアルコントロールレジスタ 2 (SCR2)	24-4
24.2.4	シリアルコントロールステータスレジスタ 2 (SCSR2)	24-5
24.2.5	モジュールストップコントロールレジスタ (MSTPCR)	24-8
24.3	動作説明	24-9
24.3.1	クロック	24-9
24.3.2	データ転送フォーマット	24-9
24.3.3	データの転送動作	24-12
24.4	割り込み要因	24-16

第 25 章 I²C バスインタフェース (IIC)

25.1	概要	25-1
25.1.1	特長	25-1
25.1.2	ブロック図	25-2
25.1.3	端子構成	25-3
25.1.4	レジスタ構成	25-4
25.2	各レジスタの説明	25-5
25.2.1	I ² C バスデータレジスタ (ICDR)	25-5
25.2.2	スレーブアドレスレジスタ (SAR)	25-7
25.2.3	第 2 スレーブアドレスレジスタ (SARX)	25-8
25.2.4	I ² C バスモードレジスタ (ICMR)	25-9
25.2.5	I ² C バスコントロールレジスタ (ICCR)	25-11
25.2.6	I ² C バスステータスレジスタ (ICSR)	25-16
25.2.7	シリアルタイマコントロールレジスタ (STCR)	25-20
25.2.8	モジュールストップコントロールレジスタ (MSTPCR)	25-21
25.3	動作説明	25-22
25.3.1	I ² C バスデータフォーマット	25-22
25.3.2	マスタ送信動作	25-23
25.3.3	マスタ受信動作	25-25
25.3.4	スレーブ受信動作	25-27
25.3.5	スレーブ送信動作	25-29
25.3.6	IRIC セットタイミングと SCL 制御	25-31
25.3.7	ノイズ除去回路	25-32
25.3.8	使用例	25-32
25.3.9	内部状態の初期化	25-36
25.4	使用上の注意	25-38

第 26 章 A/D 変換器

26.1	概要	26-1
26.1.1	特長	26-1
26.1.2	ブロック図	26-2
26.1.3	端子構成	26-3
26.1.4	レジスタ構成	26-3
26.2	各レジスタの説明	26-4
26.2.1	ソフトトリガ A/D リザルトレジスタ (ADR)	26-4
26.2.2	ハードトリガ A/D リザルトレジスタ (AHR)	26-4

26.2.3	A/D コントロールレジスタ (ADCR)	26-5
26.2.4	A/D コントロール/ステータスレジスタ (ADCSR)	26-8
26.2.5	A/D トリガ選択レジスタ (ADTSR)	26-11
26.2.6	ポートモードレジスタ 0 (PMR0)	26-12
26.2.7	モジュールストップコントロールレジスタ (MSTPCR)	26-12
26.3	バスマスタとのインタフェース.....	26-13
26.4	動作説明.....	26-14
26.4.1	ソフトウェアトリガによる A/D 変換.....	26-14
26.4.2	ハードウェアトリガまたは外部トリガ入力による A/D 変換.....	26-15
26.5	割り込み要因.....	26-16
第 27 章 アドレストラップコントローラ (ATC)		
27.1	概要	27-1
27.1.1	特長.....	27-1
27.1.2	ブロック図.....	27-1
27.1.3	レジスタ構成	27-2
27.2	レジスタの説明.....	27-2
27.2.1	アドレストラップコントロールレジスタ (ATCR)	27-2
27.2.2	トラップアドレスレジスタ 2~0 (TAR2~TAR0)	27-3
27.3	使用上の注意事項	27-4
27.3.1	基本動作.....	27-4
27.3.2	イネーブル.....	27-6
27.3.3	Bcc 命令.....	27-6
27.3.4	BSR 命令	27-8
27.3.5	JSR 命令	27-9
27.3.6	JMP 命令.....	27-10
27.3.7	RTS 命令.....	27-11
27.3.8	SLEEP 命令.....	27-11
27.3.9	割り込みの競合	27-14
第 28 章 サーボ回路		
28.1	概要	28-1
28.1.1	機能.....	28-1
28.1.2	ブロック図.....	28-2
28.2	サーボポート.....	28-3
28.2.1	概要.....	28-3
28.2.2	ブロック図.....	28-3
28.2.3	端子構成	28-6
28.2.4	レジスタ構成	28-7
28.2.5	レジスタの説明.....	28-7
28.2.6	DFG/DPG 入力信号.....	28-12
28.3	基準信号生成回路	28-12
28.3.1	概要.....	28-12
28.3.2	ブロック図.....	28-12
28.3.3	レジスタ構成	28-14
28.3.4	レジスタの説明.....	28-15

28.3.5	動作説明.....	28-19
28.4	HSW (ヘッドスイッチ) タイミング生成回路.....	28-32
28.4.1	概要.....	28-32
28.4.2	ブロック図.....	28-32
28.4.3	回路構成.....	28-34
28.4.4	レジスタ構成.....	28-35
28.4.5	レジスタの説明.....	28-35
28.4.6	動作説明.....	28-47
28.4.7	割り込み.....	28-51
28.4.8	注意事項.....	28-52
28.5	4ヘッド特殊再生用高速切り替え回路.....	28-53
28.5.1	概要.....	28-53
28.5.2	ブロック図.....	28-53
28.5.3	端子構成.....	28-54
28.5.4	レジスタの説明.....	28-54
28.6	ドラム速度誤差検出回路.....	28-56
28.6.1	概要.....	28-56
28.6.2	ブロック図.....	28-56
28.6.3	レジスタ構成.....	28-58
28.6.4	レジスタの説明.....	28-58
28.6.5	動作説明.....	28-62
28.6.6	トリックプレイモード時の f_H 補正の方法.....	28-64
28.7	ドラム位相誤差検出回路.....	28-65
28.7.1	概要.....	28-65
28.7.2	ブロック図.....	28-65
28.7.3	レジスタ構成.....	28-67
28.7.4	レジスタの説明.....	28-68
28.7.5	動作説明.....	28-71
28.7.6	位相比較.....	28-73
28.8	キャプスタン速度誤差検出回路.....	28-73
28.8.1	概要.....	28-73
28.8.2	ブロック図.....	28-73
28.8.3	レジスタ構成.....	28-75
28.8.4	レジスタの説明.....	28-75
28.8.5	動作説明.....	28-79
28.9	キャプスタン位相誤差検出回路.....	28-81
28.9.1	概要.....	28-81
28.9.2	ブロック図.....	28-81
28.9.3	レジスタ構成.....	28-83
28.9.4	レジスタの説明.....	28-84
28.9.5	動作説明.....	28-87
28.10	X 値補正、トラッキング補正回路.....	28-89
28.10.1	概要.....	28-89
28.10.2	ブロック図.....	28-89
28.10.3	レジスタの説明.....	28-91

28.11	デジタルフィルタ演算回路	28-94
28.11.1	概要	28-94
28.11.2	ブロック図	28-94
28.11.3	演算バッファ	28-96
28.11.4	レジスタ構成	28-97
28.11.5	レジスタの説明	28-98
28.11.6	フィルタ特性	28-104
28.11.7	過渡応答時の操作	28-106
28.11.8	Z^{-1} の初期化	28-106
28.12	付加 V 信号生成回路	28-107
28.12.1	概要	28-107
28.12.2	端子構成	28-108
28.12.3	レジスタ構成	28-108
28.12.4	レジスタの説明	28-108
28.12.5	付加 V パルスの信号	28-109
28.13	CTL 回路	28-112
28.13.1	概要	28-112
28.13.2	ブロック図	28-112
28.13.3	端子構成	28-113
28.13.4	レジスタ構成	28-113
28.13.5	レジスタの説明	28-114
28.13.6	動作説明	28-126
28.13.7	CTL 入力部	28-129
28.13.8	デューティ判別回路	28-131
28.13.9	CTL 出力部	28-137
28.13.10	台形波回路	28-140
28.13.11	CTL 割り込みに関する注意事項	28-141
28.14	分周回路	28-141
28.14.1	概要	28-141
28.14.2	CTL 分周回路	28-141
28.14.3	CFG 分周回路	28-145
28.14.4	DFG ノイズ除去回路	28-152
28.15	同期信号検出回路	28-153
28.15.1	概要	28-153
28.15.2	ブロック図	28-154
28.15.3	端子構成	28-155
28.15.4	レジスタ構成	28-155
28.15.5	レジスタの説明	28-155
28.15.6	ノイズ検出	28-161
28.15.7	同期信号検出回路の起動	28-164
28.16	サーボ割り込み	28-164
28.16.1	概要	28-164
28.16.2	レジスタ構成	28-164
28.16.3	レジスタの説明	28-164

28.17	モジュールストップコントロールレジスタ (MSTPCR)	28-170
-------	------------------------------------	--------

第 29 章 電気的特性

29.1	絶対最大定格	29-1
29.2	HD64F2194、HD64F2194C の電気的特性	29-2
29.2.1	HD64F2194、HD64F2194C の DC 特性	29-2
29.2.2	HD64F2194、HD64F2194C の出力許容電流	29-7
29.2.3	HD64F2194、HD64F2194C の AC 特性	29-8
29.2.4	HD64F2194、HD64F2194C のシリアルインタフェースタイミング	29-11
29.2.5	HD64F2194、HD64F2194C の A/D 変換器特性	29-14
29.2.6	HD64F2194、HD64F2194C のサーボ部電気的特性	29-15
29.2.7	フラッシュメモリ特性	29-17
29.2.8	使用上の注意	29-18
29.3	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、 HD6432194A の電気的特性	29-19
29.3.1	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、 HD6432194B、HD6432194A の DC 特性	29-19
29.3.2	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、 HD6432194B、HD6432194A の出力許容電流	29-25
29.3.3	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、 HD6432194B、HD6432194A の AC 特性	29-26
29.3.4	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、 HD6432194B、HD6432194A のシリアルインタフェースタイミング	29-29
29.3.5	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、 HD6432194B、HD6432194A の A/D 変換器特性	29-32
29.3.6	HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、 HD6432194B、HD6432194A のサーボ部電気的特性	29-33

付録

A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-12
A.3	オペレーションコードマップ	付録-22
A.4	命令実行ステート数	付録-26
A.5	命令実行中のバス状態	付録-36
A.6	コンディションコードの変化	付録-45
B.	H8S/2194 グループ、H8S/2194C グループ 内部 I/O レジスタ	付録-50
B.1	アドレス一覧	付録-50
B.2	機能一覧	付録-57
C.	各端子の回路構成	付録-158
C.1	各端子の回路構成	付録-158
D.	各処理状態におけるポートの状態	付録-171
E.	使用上の注意	付録-172
E.1	電源の立ち上げおよび立ち下げの順序	付録-172
E.2	4 ヘッド特殊再生用高速切り替え回路未使用時の端子処理	付録-173
E.3	外付回路例	付録-174

F.	ROM 発注手順.....	付録-175
	F.1 ROM 書き換え品開発の流れ（発注手順）.....	付録-175
	F.2 ROM 発注時の注意事項.....	付録-176
G.	型名一覧.....	付録-177
H.	外形寸法図.....	付録-178

1. 概要

1.1 概要

H8S/2194 グループ、H8S/2194C グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の各命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

周辺機能として、デジタルサーボ回路、ROM、RAM のメモリ、7 種類のタイマ、3 種類の PWM、2 種類のシリアルコミュニケーションインタフェース、I²C バスインタフェース、A/D 変換器、I/O ポートなどを内蔵しています。

内蔵 ROM は、フラッシュメモリ (F-ZTAT™*) またはマスク ROM であり、256k/192k/160k/128k/112k/96k/80k バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

H8S/2194 グループ、H8S/2194C グループの特長を表 1.1 に示します。

【注】* F-ZTAT は、(株)ルネサス テクノロジーの登録商標です。

表 1.1 特長

項目	仕様
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none">16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) <p>リアルタイム制御向き的高速動作</p> <ul style="list-style-type: none">最高動作周波数：10MHz/4 ~ 5.5V 32kHz サブクロックによる動作可能高速演算 8/16/32 ビットレジスタ間加減算：100ns (10MHz 動作時) 16×16 ビットレジスタ間乗算：2000ns (10MHz 動作時) 32÷16 ビットレジスタ間除算：2000ns (10MHz 動作時) <p>高速動作に適した命令セット</p> <ul style="list-style-type: none">65 種類の基本命令8/16/32 ビット転送/演算命令符号なし/符号付き乗除算命令強力なビット操作命令 <p>CPU 動作モード</p> <ul style="list-style-type: none">アドバンスモード：アドレス空間 16M バイト

1. 概要

項 目	仕 様
タイマ	<p>7種類のタイマを内蔵</p> <p>(1) タイマ A</p> <ul style="list-style-type: none"> • 8ビットインターバルタイマ • クロックソースは、システムクロック () を分周した 8 種類の内部クロックまたはサブクロック (SUB) から選択可能 • サブクロック入力で時計用タイムベースとして動作 <p>(2) タイマ B</p> <ul style="list-style-type: none"> • 8ビットのインターバルタイマまたはリロードタイマとして動作 • クロックソースは、7種類の内部クロックまたは外部イベント入力から選択可能 <p>(3) タイマ J</p> <ul style="list-style-type: none"> • 2本の8ビットダウンカウンタまたは1本の16ビットダウンカウンタとして動作 (リロードタイマ/イベントカウンタ/タイマ出力等、5種類の動作モード) • リモコン送信機能 • Take up/Supply Reel Pulse 分周 <p>(4) タイマ L</p> <ul style="list-style-type: none"> • 8ビットのアップ/ダウンカウンタ • クロックソースは、2種類の内部クロック、CFG 分周信号、PB および REC-CTL (コントロールパルス) から選択可能 • コンペアマッチクリア機能/オートリロード機能 <p>(5) タイマ R</p> <ul style="list-style-type: none"> • 3本のリロードタイマ • モード判別 • リール制御 • キャプスタンモータ加減速検出機能 • スロートラッキングモノマルチ <p>(6) タイマ X1</p> <ul style="list-style-type: none"> • 16ビットフリーランニングカウンタ • クロックソースは、3種類の内部クロックまたは DVCFG から選択可能 • 2本のアウトプットコンペア出力 • 4本のインプットキャプチャ入力 <p>(7) ウォッチドッグタイマ</p> <ul style="list-style-type: none"> • ウォッチドッグタイマまたは 8 ビットインターバルタイマとして動作 • オーバーフローでリセット信号または NMI を発生
プリスケラユニット	<ul style="list-style-type: none"> • システムクロックを分周し、周辺機能の分周クロックを生成 • サブクロックを分周し、タイマ A (時計用タイムベース) の入力クロックを生成 • 8ビットPWMの周期およびデューティ期間生成 • 外部信号のエッジにより8ビットインプットキャプチャ • 分周クロック出力可能
PWM	<p>3種類のPWMを内蔵</p> <p>(1) 14ビットPWM：パルス分割方式×1チャンネル</p> <p>(2) 8ビットPWM：デューティ制御方式×4チャンネル</p> <p>(3) 12ビットPWM：パルスピッチ制御方式×2チャンネル</p>

項目	仕様																								
シリアルコミュニケーションインタフェース (SCI)	<p>2種類のシリアルコミュニケーションインタフェースを内蔵</p> <p>(1) SCI1</p> <ul style="list-style-type: none"> 調歩同期モード/クロック同期モードの選択が可能 内蔵ボーレートジェネレータにより任意のビットレートを選択可能 マルチプロセッサ通信機能 <p>(2) SCI2</p> <ul style="list-style-type: none"> 32バイトのデータを自動的に転送可能 転送クロックは、7種類の内部クロックまたは外部クロックから選択可能 																								
I ² C バスインタフェース	<ul style="list-style-type: none"> Philips 社提唱の I²C バスインタフェース方式準拠 シングルマスタモード/スレーブモード内蔵 アービトレーションロスト条件の判定が可能 2つのスレーブアドレスをサポート 																								
A/D 変換器	<ul style="list-style-type: none"> 分解能：10ビット 入力：12チャンネル 高速変換：最小変換時間 13.4 μs(10MHz 動作時) サンプル&ホールド機能 ソフトウェアまたは外部トリガによる A/D 変換の起動が可能 																								
アドレストラップコントローラ	<ul style="list-style-type: none"> バスサイクル中に、設定したアドレスが出現すると割り込み発生 トラップするアドレスは3ヶ所独立に設定可能 																								
I/O ポート	<ul style="list-style-type: none"> 入出力端子 60本 入力専用端子 8本 周辺機能端子ごとに切り替え可能 																								
サーボ回路	<p>デジタルサーボ回路内蔵</p> <ul style="list-style-type: none"> 入力、出力回路 誤差検出回路 位相補償、ゲイン補正 																								
同期信号	<p>同期信号検出回路内蔵</p> <ul style="list-style-type: none"> 水平同期信号と垂直同期信号の検出可能 ノイズ検出機能 																								
メモリ	<ul style="list-style-type: none"> フラッシュメモリまたはマスク ROM 高速スタティック RAM <table border="1" style="margin-left: 40px;"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2194C</td> <td>256k バイト</td> <td>6k バイト</td> </tr> <tr> <td>H8S/2194B</td> <td>192k バイト</td> <td>6k バイト</td> </tr> <tr> <td>H8S/2194A</td> <td>160k バイト</td> <td>6k バイト</td> </tr> <tr> <td>H8S/2194</td> <td>128k バイト</td> <td>3k バイト</td> </tr> <tr> <td>H8S/2193</td> <td>112k バイト</td> <td>3k バイト</td> </tr> <tr> <td>H8S/2192</td> <td>96k バイト</td> <td>3k バイト</td> </tr> <tr> <td>H8S/2191</td> <td>80k バイト</td> <td>3k バイト</td> </tr> </tbody> </table>	製品名	ROM	RAM	H8S/2194C	256k バイト	6k バイト	H8S/2194B	192k バイト	6k バイト	H8S/2194A	160k バイト	6k バイト	H8S/2194	128k バイト	3k バイト	H8S/2193	112k バイト	3k バイト	H8S/2192	96k バイト	3k バイト	H8S/2191	80k バイト	3k バイト
製品名	ROM	RAM																							
H8S/2194C	256k バイト	6k バイト																							
H8S/2194B	192k バイト	6k バイト																							
H8S/2194A	160k バイト	6k バイト																							
H8S/2194	128k バイト	3k バイト																							
H8S/2193	112k バイト	3k バイト																							
H8S/2192	96k バイト	3k バイト																							
H8S/2191	80k バイト	3k バイト																							

1. 概要

項目	仕様																																					
低消費電力状態	<ul style="list-style-type: none"> • 中速モード • スリープモード • モジュールストップモード • スタンバイモード • サブクロック動作 サブアクティブモード、ウォッチモード、サブスリープモード 																																					
割り込みコントローラ	<ul style="list-style-type: none"> • 外部割り込み端子 7 本 ($\overline{\text{NMI}}$、$\overline{\text{IRQ5}}$ ~ $\overline{\text{IRQ0}}$) • 内部割り込み要因 38 要因 • 3 レベルの優先順位を設定可能 																																					
クロック発振器	2 種類のクロック発振器内蔵 <ul style="list-style-type: none"> • システムクロック発振器 : 8 ~ 10MHz • サブクロック発振器 : 32.768kHz 																																					
パッケージ	<ul style="list-style-type: none"> • 112 ピンプラスチック QFP (PRQP0112JA-A) 																																					
製品ラインアップ	<table border="1"> <thead> <tr> <th rowspan="2">グループ名</th> <th colspan="2">製品型名</th> <th rowspan="2">ROM/RAM (バイト)</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>マスク ROM 版</th> <th>F-ZTAT 版</th> </tr> </thead> <tbody> <tr> <td rowspan="3">H8S/2194C</td> <td>HD6432194C</td> <td>HD64F2194C</td> <td>256k/6k</td> <td>PRQP0112JA-A</td> </tr> <tr> <td>HD6432194B</td> <td>—</td> <td>192k/6k</td> <td>PRQP0112JA-A</td> </tr> <tr> <td>HD6432194A</td> <td>—</td> <td>160k/6k</td> <td>PRQP0112JA-A</td> </tr> <tr> <td rowspan="4">H8S/2194</td> <td>HD6432194</td> <td>HD64F2194</td> <td>128k/3k</td> <td>PRQP0112JA-A</td> </tr> <tr> <td>HD6432193</td> <td>—</td> <td>112k/3k</td> <td>PRQP0112JA-A</td> </tr> <tr> <td>HD6432192</td> <td>—</td> <td>96k/3k</td> <td>PRQP0112JA-A</td> </tr> <tr> <td>HD6432191</td> <td>—</td> <td>80k/3k</td> <td>PRQP0112JA-A</td> </tr> </tbody> </table>	グループ名	製品型名		ROM/RAM (バイト)	パッケージ	マスク ROM 版	F-ZTAT 版	H8S/2194C	HD6432194C	HD64F2194C	256k/6k	PRQP0112JA-A	HD6432194B	—	192k/6k	PRQP0112JA-A	HD6432194A	—	160k/6k	PRQP0112JA-A	H8S/2194	HD6432194	HD64F2194	128k/3k	PRQP0112JA-A	HD6432193	—	112k/3k	PRQP0112JA-A	HD6432192	—	96k/3k	PRQP0112JA-A	HD6432191	—	80k/3k	PRQP0112JA-A
グループ名	製品型名		ROM/RAM (バイト)	パッケージ																																		
	マスク ROM 版	F-ZTAT 版																																				
H8S/2194C	HD6432194C	HD64F2194C	256k/6k	PRQP0112JA-A																																		
	HD6432194B	—	192k/6k	PRQP0112JA-A																																		
	HD6432194A	—	160k/6k	PRQP0112JA-A																																		
H8S/2194	HD6432194	HD64F2194	128k/3k	PRQP0112JA-A																																		
	HD6432193	—	112k/3k	PRQP0112JA-A																																		
	HD6432192	—	96k/3k	PRQP0112JA-A																																		
	HD6432191	—	80k/3k	PRQP0112JA-A																																		

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

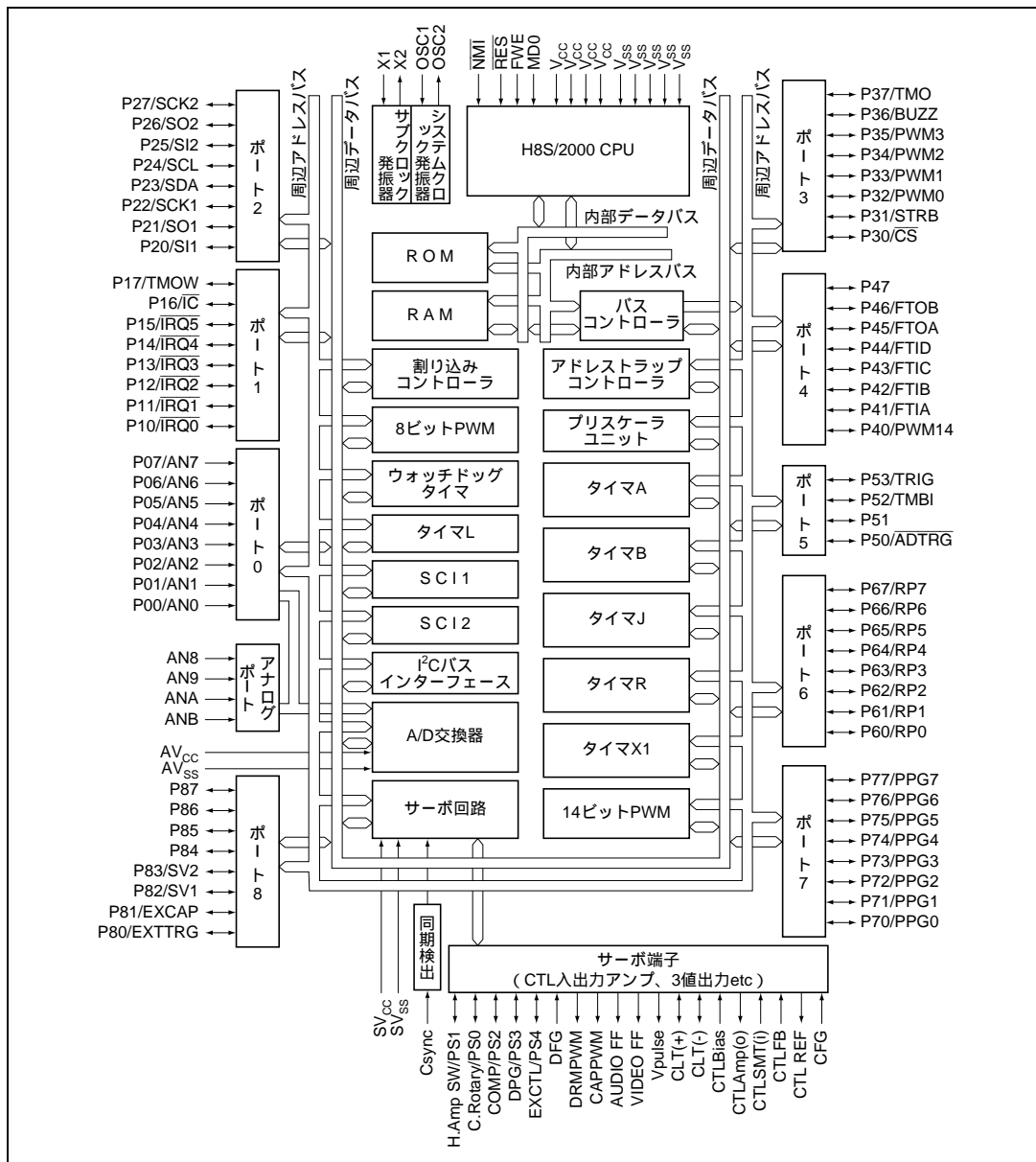


図 1.1 内部ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置図

ピン配置図を図 1.2 に示します。

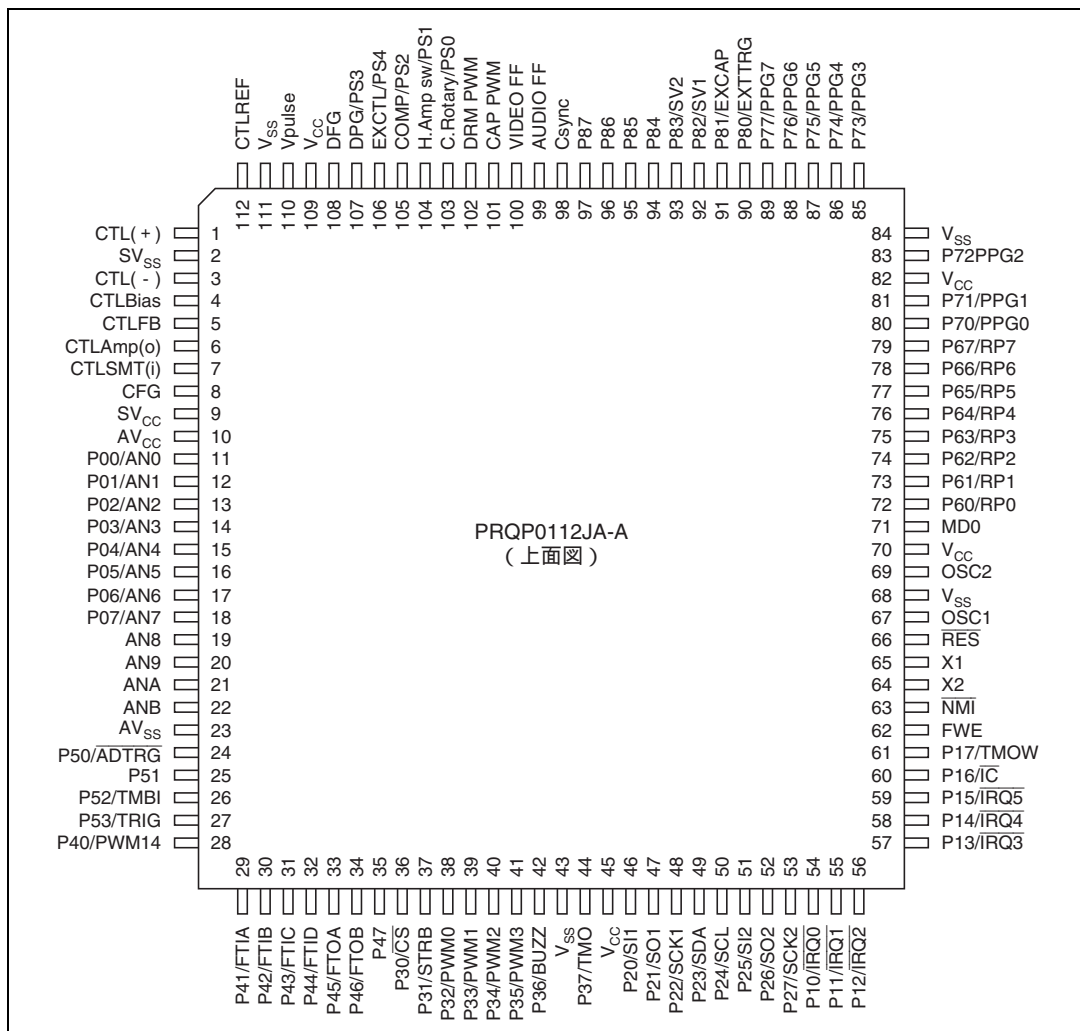


図 1.2 ピン配置図

1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号	入出力	機能
電源	Vcc	45、70、82、109	入力	電源 Vcc 端子は、全端子、システムの電源 (+5V) に接続してください。
	Vss	43、68、84、111	入力	グラウンド Vss 端子は、全端子、システムの電源 (0V) に接続してください。
	SVcc	9	入力	サーボ電源 SVcc 端子は、サーボ用アナログ電源 (+5V) に接続してください。
	SVss	2	入力	サーボグラウンド SVss 端子は、サーボ用アナログ電源 (0V) に接続してください。
	AVcc	10	入力	アナログ電源 A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AVss	23	入力	アナロググラウンド A/D 変換器用グラウンド端子です。システムの電源 (0V) に接続してください。
クロック	OSC1	67	入力	水晶発振子を接続します。また、外部クロックを入力することもできます。接続例については、「第 10 章 クロック発振器」を参照してください。
	OSC2	69	出力	
	X1	65	入力	32.768kHz の水晶発振子を接続します。接続例については、「第 10 章 クロック発振器」を参照してください。
	X2	64	出力	
動作 モードコントロール	MD0	71	入力	モード端子 動作モードを設定します。この端子は動作中にはレベルを変化させないでください。
システムコントロール	RES	66	入力	リセット入力 この端子を Low レベルにするとリセット状態になります。
	FWE	62	入力	フラッシュライトイネーブル フラッシュメモリの書き換えを禁止/許可します。フラッシュメモリ内蔵版のみ有効な端子です。マスク ROM 版では何も接続しないでください。

1. 概要

分類	記号	ピン番号	入出力	機能
割り込み	IRQ0	54	入力	外部割り込み要求0 立ち上がりエッジセンス/立ち下がりエッジセンス/ 両エッジセンスを選択可能な外部割り込み入力端子です。
	IRQ1	55	入力	外部割り込み要求1、2、3、4、5 立ち上がりエッジセンス/立ち下がりエッジセンスを 選択可能な外部割り込み入力端子です。
	IRQ2	56		
	IRQ3	57		
	IRQ4	58		
	IRQ5	59		
	NMI	63	入力	ノンマスクابل割り込み 立ち上がりエッジセンス/立ち下がりエッジセンス/両エッジ センスを選択可能なノンマスクابل割り込み入力端子です。
プリスケー ラユニット	IC	60	入力	インプットキャプチャ入力 プリスケラユニットのインプットキャプチャ入力端子で す。
	TMOW	61	出力	分周クロック出力 プリスケラユニットにより分周されたクロックの出力端子 です。
タイマ	TMBI	26	入力	タイマB イベント入力 タイマBのカウンタに入力するイベント入力端子です。
	IRQ1	55	入力	タイマJ イベント入力 タイマJのRDT-1、RDT-2のカウンタに入力するイベント入 力端子です。
	IRQ2	56		
	TMO	44	出力	タイマJ タイマ出力 タイマJのRDT-1のアンダフローでトグル/リモコン送信デー タを選択可能な出力端子です。
	BUZZ	42	出力	タイマJ ブザー出力 固定周波数/サブクロック(32kHz)から分周された 1Hz/分周 CTL 信号でトグルを選択可能な出力端子です。
	IRQ3	57	入力	タイマR インプットキャプチャ タイマRのTMRU-1、TMRU-2のインプットキャプチャ入力 端子です。
	FTOA	33	出力	タイマX1 アウトプットコンペアA、B 出力 タイマX1のアウトプットコンペアA、Bの出力端子です。
	FTOB	34		
	FTIA	29	入力	タイマX1 インプットキャプチャA、B、C、D 入力 タイマX1のインプットキャプチャA、B、C、Dの入力端子 です。
FTIB	30			
FTIC	31			
FTID	32			
PWM	PWM0	38	出力	8ビットPWM 方形波出力 8ビットPWM0、1、2、3により生成された波形の出力端子 です。
	PWM1	39		
	PWM2	40		
	PWM3	41		
	PWM14	28	出力	14ビットPWM 方形波出力 14ビットPWMにより生成された波形の出力端子です。

分類	記号	ピン番号	入出力	機能
シリアルコミュニケーションインタフェース (SCI)	SCK1	48	入出力	SCI クロック入出力
	SCK2	53		SCI1、2 のクロック入力端子です。
	SI1	46	入力	SCI 受信データ入力
	SI2	51		SCI1、2 の受信データ入力端子です。
	SO1	47	出力	SCI 受信データ出力
	SO2	52		SCI1、2 の送信データ出力端子です。
	STRB	37	出力	SCI2 ストロープ出力 SCI2 の転送時、1 バイト転送ごとにストロープパルスを出力する端子です。
	\overline{CS}	36	入力	SCI2 チップセレクト入力 SCI2 転送開始を制御する端子です。
I ² C バスインタフェース	SCL	50	入出力	I ² C バスインタフェースクロック入出力 I ² C バスインタフェースのクロック入出力端子です。
	SDA	49	入出力	I ² C バスインタフェースデータ入出力 I ² C バスインタフェースのデータ入出力端子です
A/D 変換器	AN7 ~ AN0	18 ~ 11	入力	アナログ入力チャンネル 7 ~ 0 アナログデータ入力端子です。ソフトウェアにより A/D 変換が開始されます。
	AN8	19	入力	アナログ入力チャンネル 8、9、A、B アナログデータ入力端子です。外部トリガ、ハードウェアトリガ、またはソフトウェアにより A/D 変換が開始されます。
	AN9	20		
	ANA	21		
	ANB	22		
ADTRG	24	入力	A/D 変換開始外部トリガ入力 アナログデータ入力 8、9、A、B の A/D 変換を外部トリガにより開始するのに用います。	
サーボ回路	AUDIO FF	99	出力	オーディオ FF オーディオヘッドの切り替え信号出力端子です。
	VIDEO FF	100	出力	ビデオ FF ビデオヘッドの切り替え信号出力端子です
	CAPPWM	101	出力	キャプスタンミックス キャプスタンの速度誤差、位相誤差をフィルタ演算した結果の 12 ビット PWM 出力端子です。
	DRMPWM	102	出力	ドラムミックス ドラムの速度誤差、位相誤差をフィルタ演算した結果の 12 ビット PWM 出力端子です。
	Vpulse	110	出力	付加 V パルス VIDEO FF 信号に同期した付加 V 信号の出力端子です。 三値出力端子です。
	C.Rotary /PS0	103	出力 / 入出力	カラーロータリー信号 4 ヘッド特殊再生時の色信号処理制御信号の出力端子です。使用しない場合は汎用ポートとして使用可能。

1. 概要

分類	記号	ピン番号	入出力	機能
サーボ回路	H.AmpSW /PS1	104	出力 /入出力	ヘッドアンプスイッチ 4ヘッド特殊再生時のプリアンプ出力選択信号の出力端子です。使用しない場合は汎用ポートとして使用可能。
	COMP /PS2	105	入力 /入出力	コンペア入力 4ヘッド特殊再生時のプリアンプ出力比較結果信号の入力端子です。使用しない場合は汎用ポートとして使用可能。
	CTL (+)	1	入出力	CTL ヘッド (+) 端子、CTL ヘッド (-) 端子 CTL 信号の入出力端子です。
	CTL (-)	3		
	CTL Bias	4	入力	CTL 1 次アンプのバイアス供給 CTL1 次アンプのバイアス供給端子です。
	CTL Amp (o)	6	出力	CTL アンプ出力 CTL アンプの出力端子です。
	CTL SMT (I)	7	入力	CTL シュミットアンプ入力 CTL シュミットアンプ入力端子です。
	CTLFb	5	入力	CTL フィードバック入力 CTL アンプの高域特性制御入力端子です。
	CTLREF	112	出力	CTL アンプリファレンス電圧出力 1/2Vcc (5V) の出力端子です。
	CFG	8	入力	キャプスタン FG 入力 CFG 信号のシュミットコンパレータ入力端子です。
	DFG	108	入力	ドラム FG 入力 DFG 信号のシュミット入力端子です。
	DPG/PS3	107	入力 /入出力	ドラム PG 入力 DPG 信号のシュミット入力端子です。使用しない場合は汎用ポートとして使用可能。
	EXCTL/PS4	106	入力 /入出力	外部 CTL 入力 外部 CTL 信号入力端子です。使用しない場合は汎用ポートとして使用可能。
	Csync	98	入力	複合同期信号入力 複合同期信号入力端子です。
	EXCAP	91	入力	キャプスタン外部同期信号入力 キャプスタン位相制御を外部同期させる信号入力です。
	EXTTRG	90	入力	外部トリガ信号入力 基準信号生成回路と同期させる信号入力です。
	SV1	92	出力	サーボモニタ出力端子 1 サーボモジュールの内部信号の出力端子です。
	SV2	93	出力	サーボモニタ出力端子 2 サーボモジュールの内部信号の出力端子です。
	PPG7 ~ PPG0	89 ~ 85、 83、81、80	出力	PPG HSW タイミング生成回路の出力端子です。AUDIO FF、VIDEO FF の他に、ヘッド切り替えが必要な場合に使用します。

分類	記号	ピン番号	入出力	機能
I/O ポート	P07 ~ P00	11 ~ 18	入力	<u>ポート 0</u> 8 ビットの入力専用端子です。
	P17 ~ P10	61 ~ 54	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。
	P27 ~ P20	53 ~ 46	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。
	P37 ~ P30	44、42 ~ 36	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。
	P47 ~ P40	35 ~ 28	入出力	<u>ポート 4</u> 8 ビットの入出力端子です。
	P53 ~ P50	27 ~ 24	入出力	<u>ポート 5</u> 4 ビットの入出力端子です。
	P67 ~ P60	79 ~ 72	入出力	<u>ポート 6</u> 8 ビットの入出力端子です。
	P77 ~ P70	89 ~ 85、 83、81、80	入出力	<u>ポート 7</u> 8 ビットの入出力端子です。
	P87 ~ P80	97 ~ 90	入出力	<u>ポート 8</u> 8 ビットの入出力端子です。
	RP7 ~ RP0	79 ~ 72	出力	<u>リアルタイム出力ポート</u> 8 ビットのリアルタイム出力端子です。
	TRIG	27	入力	<u>リアルタイム出力ポートトリガ入力</u> リアルタイム出力ポートのトリガ入力端子です。

1.4 H8S/2194C グループと H8S/2194 グループの相違点

H8S/2194C グループは、H8S/2194 グループとピンコンパチブル、周辺機能もほぼ同一ですが、下表のような相違点がありますのでご注意ください。詳細は各章を参照してください。

表 1.3 H8S/2194C グループと H8S/2194 グループの相違点

項目	H8S/2194C グループ	H8S/2194 グループ
ROM	H8S/2194C : 256k バイト H8S/2194B : 192k バイト H8S/2194A : 160k バイト	H8S/2194 : 128k バイト H8S/2193 : 112k バイト H8S/2192 : 96k バイト H8S/2191 : 80k バイト
RAM	H8S/2194C : 6k バイト H8S/2194B : 6k バイト H8S/2194A : 6k バイト	H8S/2194 : 3k バイト H8S/2193 : 3k バイト H8S/2192 : 3k バイト H8S/2191 : 3k バイト
タイマ J	TMJ-2 入力クロックソース : PSS /16384、 /2048、 /1024、 TMJ-1 のアンダフロー、 外部クロック (IRQ2) の 5 種	TMJ-2 入力クロックソース : PSS /16384、 /2048、 TMJ-1 のアンダフロー、 外部クロ ック (IRQ2) の 4 種
サーボ回路	基準信号生成回路において、PB モード時 VD により基準信号を生成するか、フリーランで 基準信号を生成するか選択可能	基準信号生成回路において、PB モード時は フリーランで基準信号を生成する
FLASHROM	256k バイト FLASHROM 制御フラグ中イレースビット E、 プログラムビット P はフラッシュメモリコン トロールレジスタ 1 (FLMCR1) にあり	128k バイト FLASHROM 制御フラグ中イレースビット E、 プログラムビット P はフラッシュメモリコン トロールレジスタ 2 (FLMCR2) にあり

2. CPU

2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト(アーキテクチャ上は 4G バイト)のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

- H8/300 CPU および H8/300H CPU の上位互換
H8/300およびH8/300H CPUオブジェクトプログラムを実行可能
- 汎用レジスタ方式
16ビット×16本(8ビット×16本、32ビット×8本としても使用可能)
- 65 種類の基本命令
8/16/32ビット演算命令
乗除算命令
強力なビット操作命令
- 8 種類のアドレッシングモード
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- 16M バイトのアドレス空間
プログラム : 16Mバイト
データ : 16Mバイト(アーキテクチャ上は4Gバイト)
- 高速動作
頻出命令をすべて1~2ステートで実行
最高動作周波数 : 10MHz
8/16/32ビットレジスタ間加減算 : 100ns
8×8ビットレジスタ間乗算 : 1200ns
16÷8ビットレジスタ間除算 : 1200ns
16×16ビットレジスタ間乗算 : 2000ns
32÷16ビットレジスタ間除算 : 2000ns
- 2 種類の CPU 動作モード

2. CPU

ノーマルモード*/アドバンスモード

【注】* 本 LSI ではノーマルモードは使用できません。

- 低消費電力状態
SLEEP命令により低消費電力状態に遷移
CPU動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下の通りです。

- レジスタ構成
MACレジスタは、H8S/2600 CPUのみサポートしています。
- 基本命令
MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。
- 実行ステート数
MULXU、MULXS命令の実行ステート数

命令	二モニック	実行ステート数	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, Erd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, Erd	5	21

そのほか、製品によって、アドレス空間や EXR レジスタの機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタ、および8ビット×1本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2ビットシフト命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 動作モード

本 CPU は、ノーマルモードおよびアドバンストモードの2つの CPU 動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大 64k バイト、アドバンストモードの場合 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

各モードは LSI のモード端子によって選択されます。

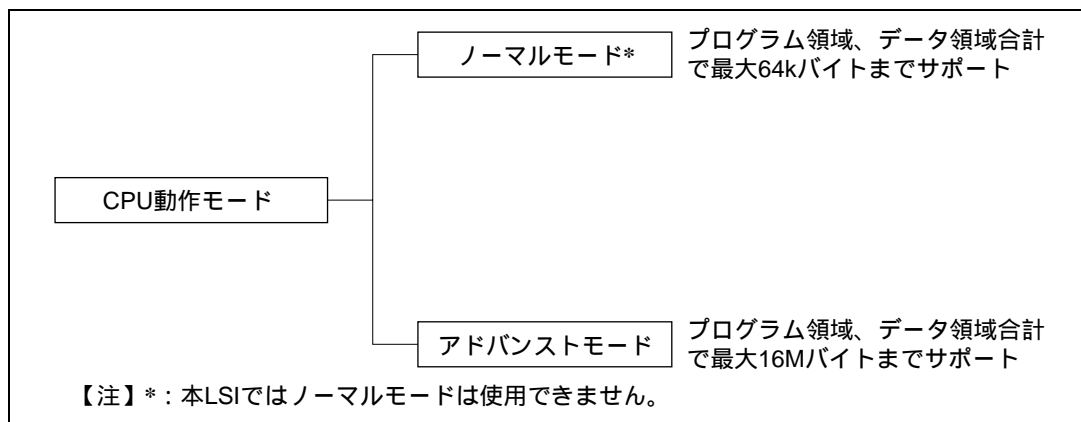


図 2.1 CPU 動作モード

(1) ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一になります。

(a) アドレス空間

最大 64k バイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 5 章 例外処理」を参照してください。

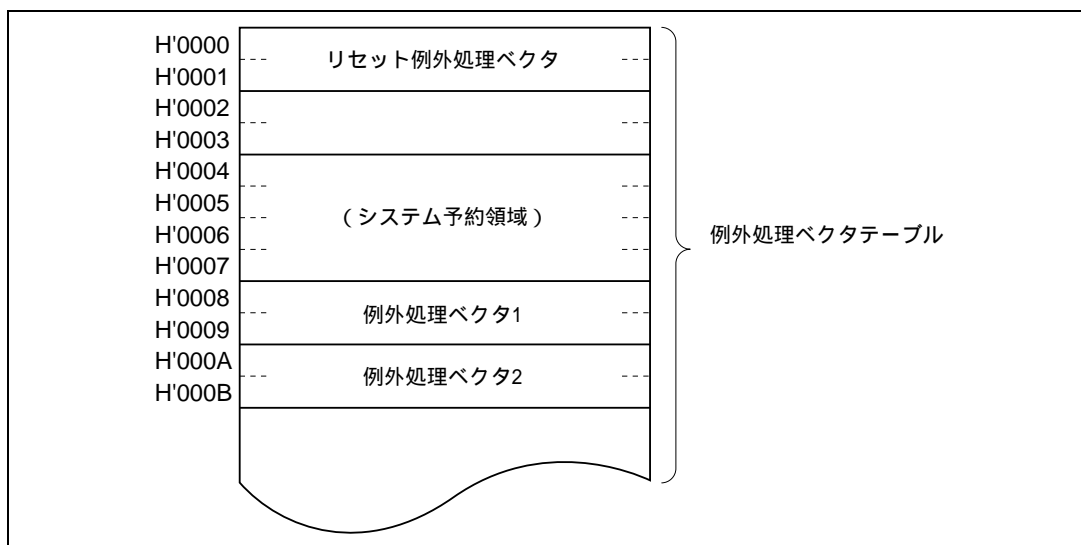


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000～H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.3 に示します。EXR はスタックされません。詳細は「第 5 章 例外処理」を参照してください。

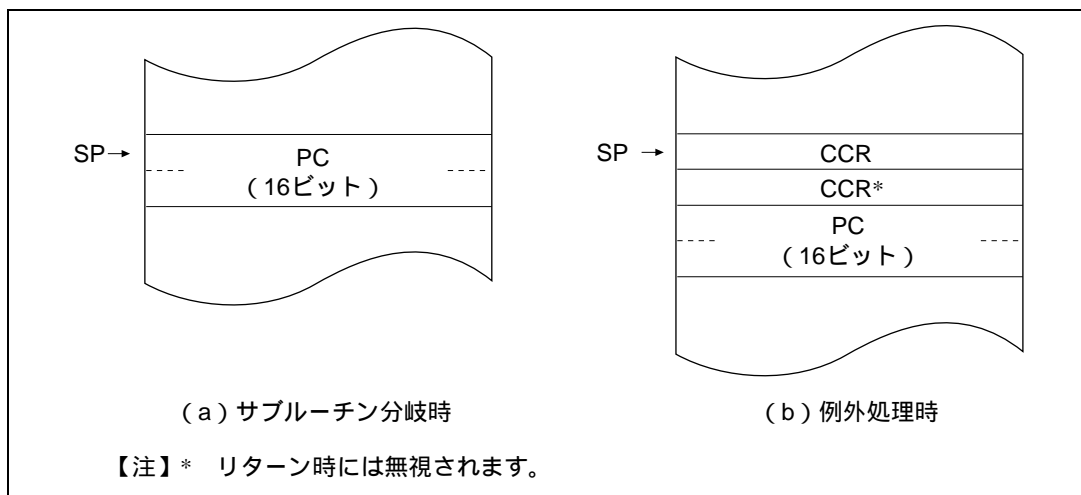


図 2.3 ノーマルモードのスタック構造

(2) アドバンストモード

(a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.4 参照）。例外処理ベクタテーブルは「第 5 章 例外処理」を参照してください。

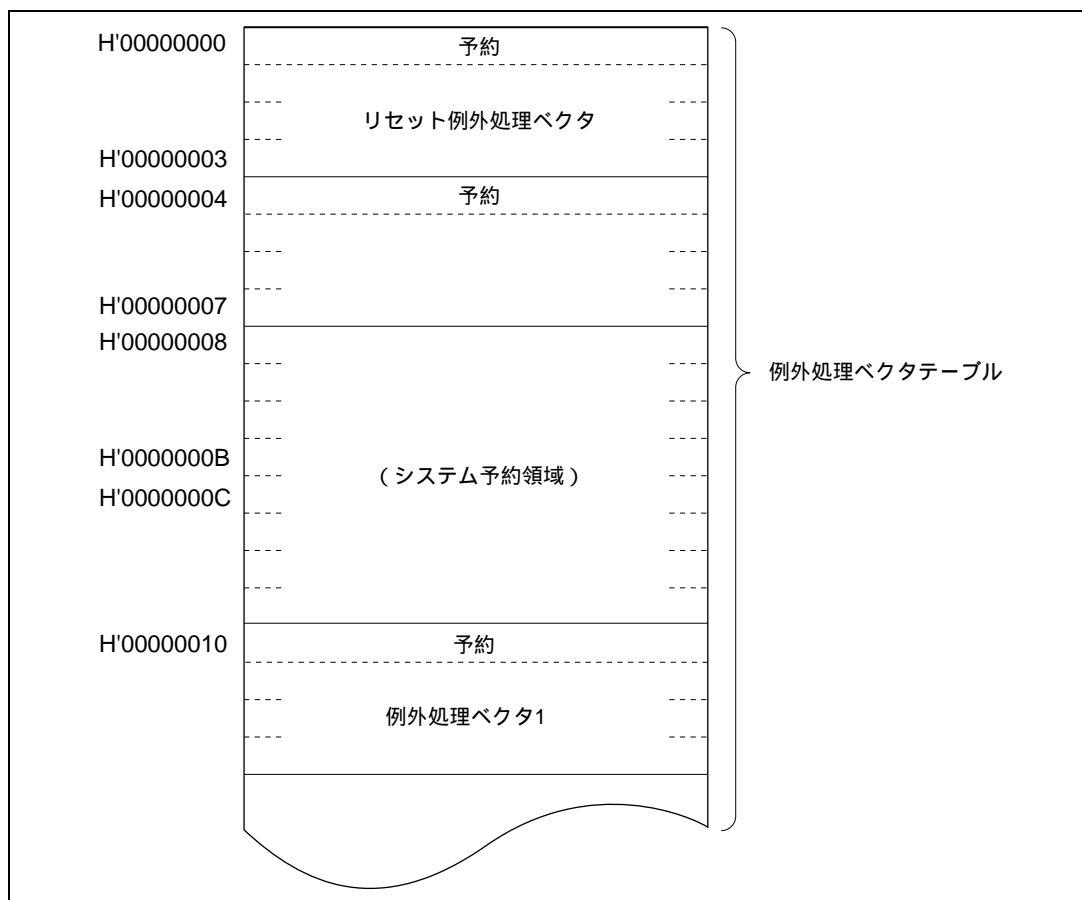


図 2.4 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペラントを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペラントは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンスモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.5 に示します。EXR はスタックされません。詳細は「第 5 章 例外処理」を参照してください。

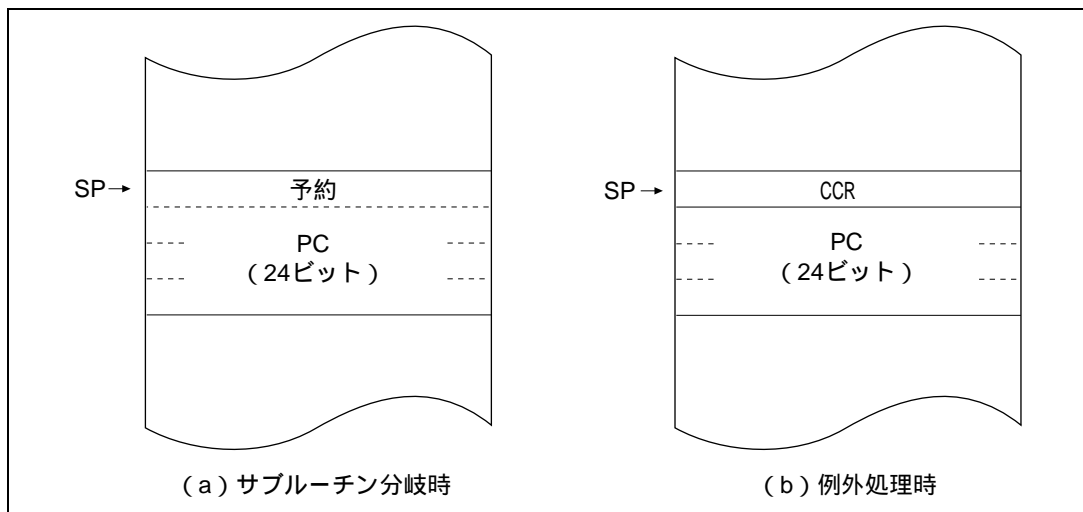


図 2.5 アドバンスモードのスタック構造

2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64k バイト、またアドバンスモードのとき最大 16M バイト(アーキテクチャ上は 4G バイト)のアドレス空間をリニアに使用することができます。

【注】* 本 LSI ではノーマルモードは使用できません。

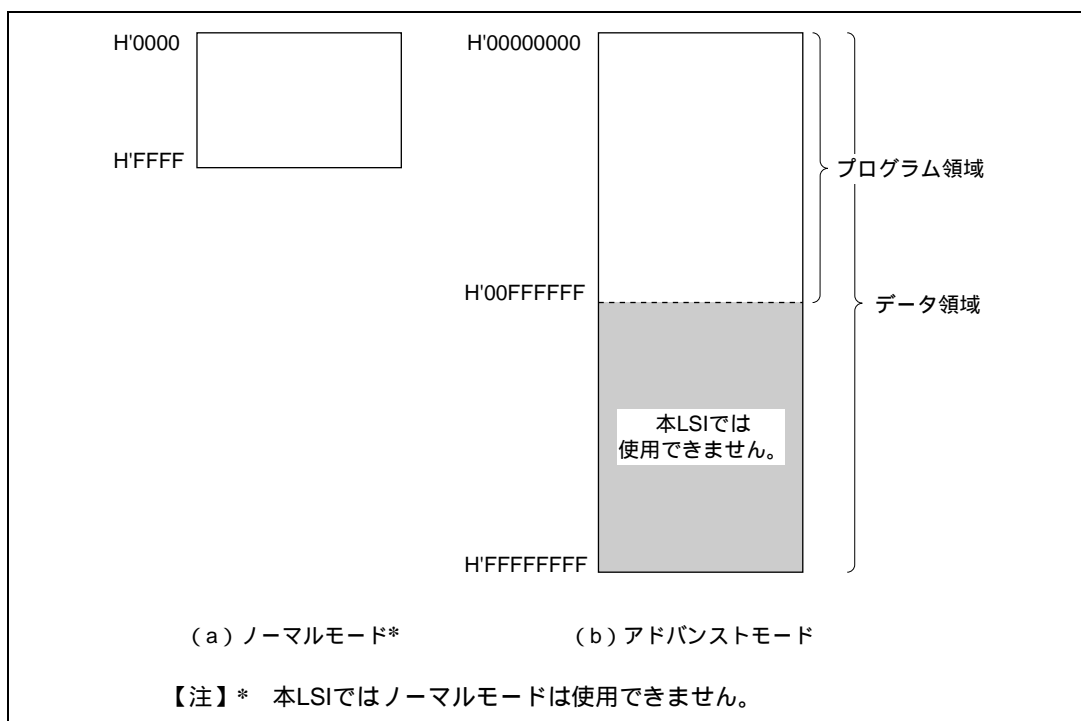


図 2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

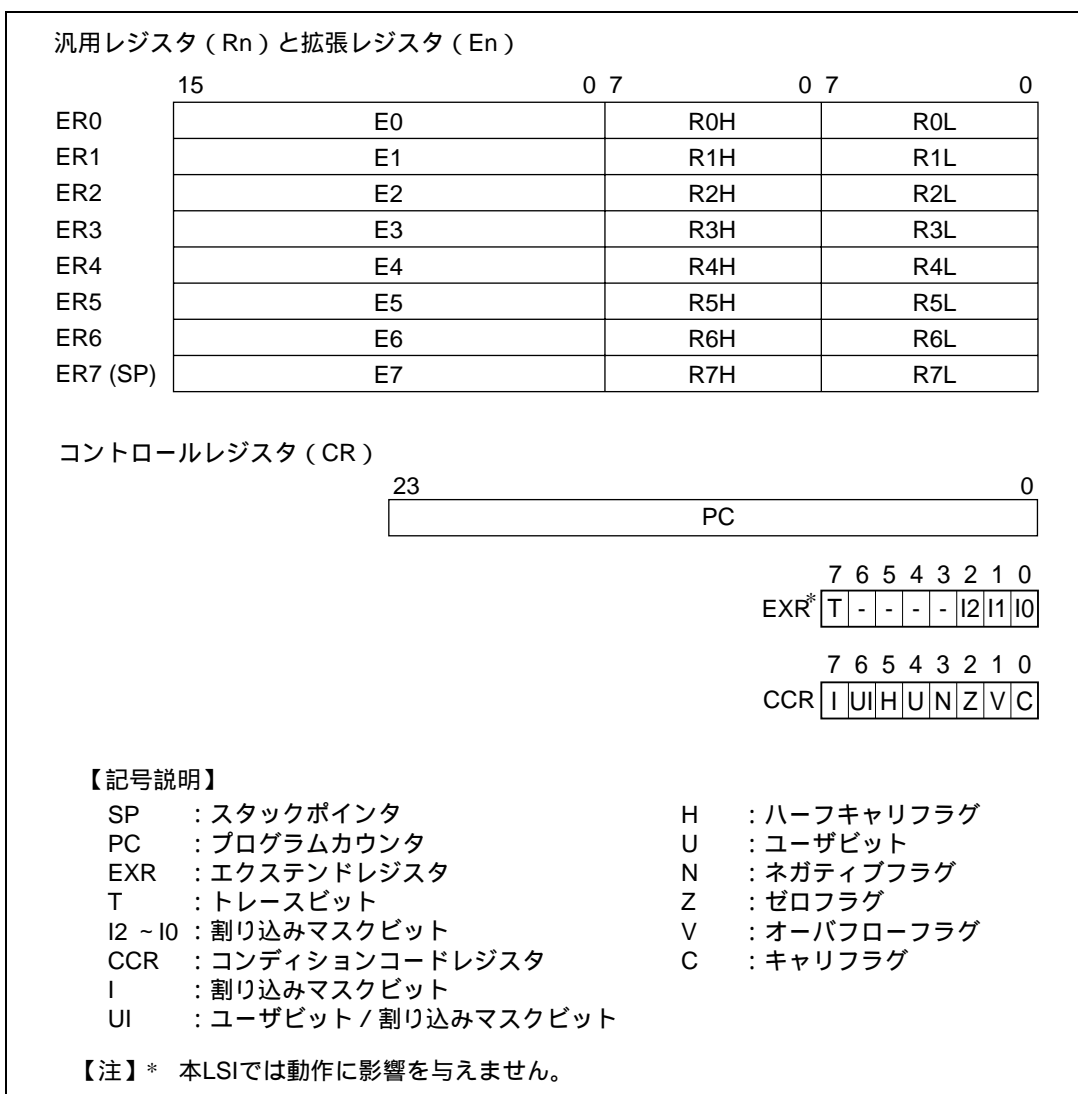


図 2.7 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本CPUは、32ビット長の汎用レジスタを8本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては32ビット、16ビット、および8ビットレジスタとして使用できます。

アドレスレジスタおよび32ビットレジスタの場合、一括して汎用レジスタER (ER0~ER7)として使用します。

16ビットレジスタの場合は、汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本まで使用することができます。なお、汎用レジスタE (E0~E7)を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタの場合は、汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本まで使用することができます。

汎用レジスタの使用方法を図2.8に示します。各レジスタ独立に使用方法を選択することができます。

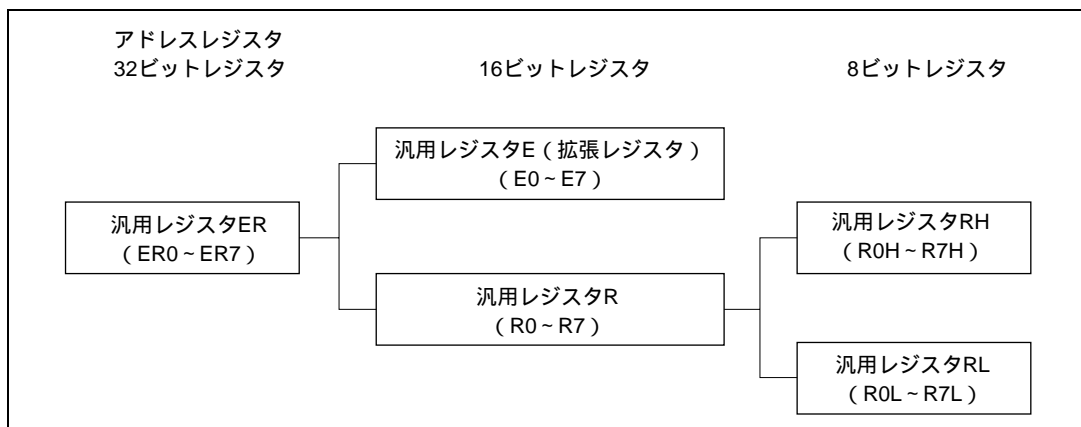


図 2.8 汎用レジスタの使用方法

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.9に示します。

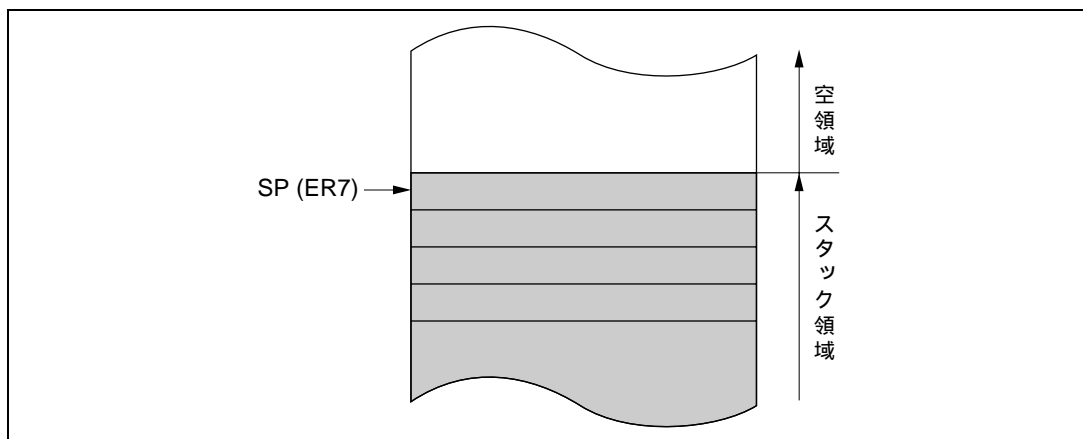


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24ビットのプログラムカウンタ（PC）、8ビットのエクステンドレジスタ（EXR）、8ビットのコンディションコードレジスタ（CCR）があります。

(1) プログラムカウンタ（PC）

24ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて2バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは0とみなされます）。

(2) エクステンドレジスタ（EXR）

8ビットのレジスタです。本LSIでは動作に影響を与えません。

ビット7：トレースビット（T）

リザーブビットです。本LSIでは動作に影響を与えません。

ビット6～3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。

ビット2～0：割り込みマスクビット（I2～I0）

リザーブビットです。本LSIでは動作に影響を与えません。

(3) コンディションコードレジスタ（CCR）

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む8ビットで構成されています。

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第6章 割り込みコントローラ」を参照してください。

ビット6：ユーザビット/割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第6章 割り込みコントローラ」を参照してください。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「A.1 命令セット一覧」を参照してください。

CCRは、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2, \dots, 7$) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.10 に示します。

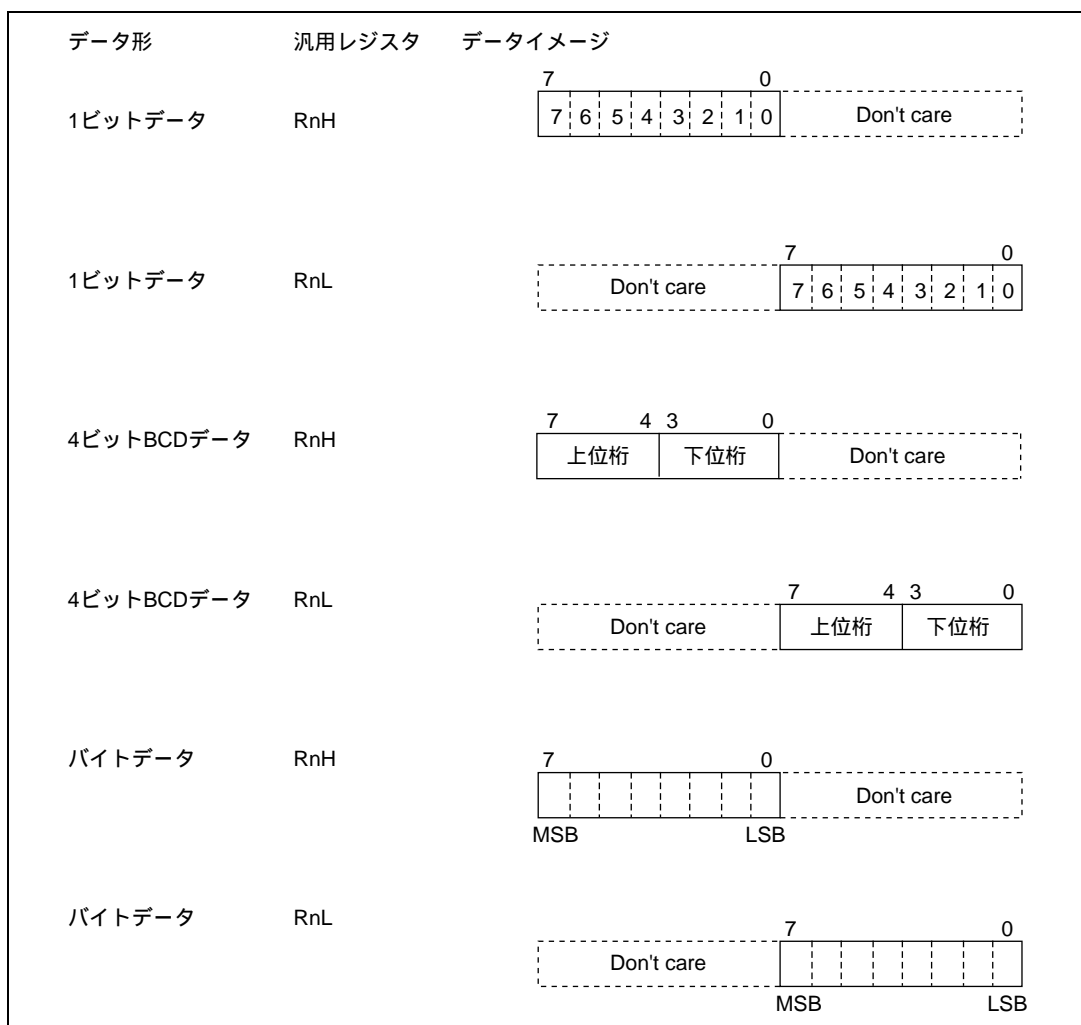


図 2.10 汎用レジスタのデータ構成 (1)

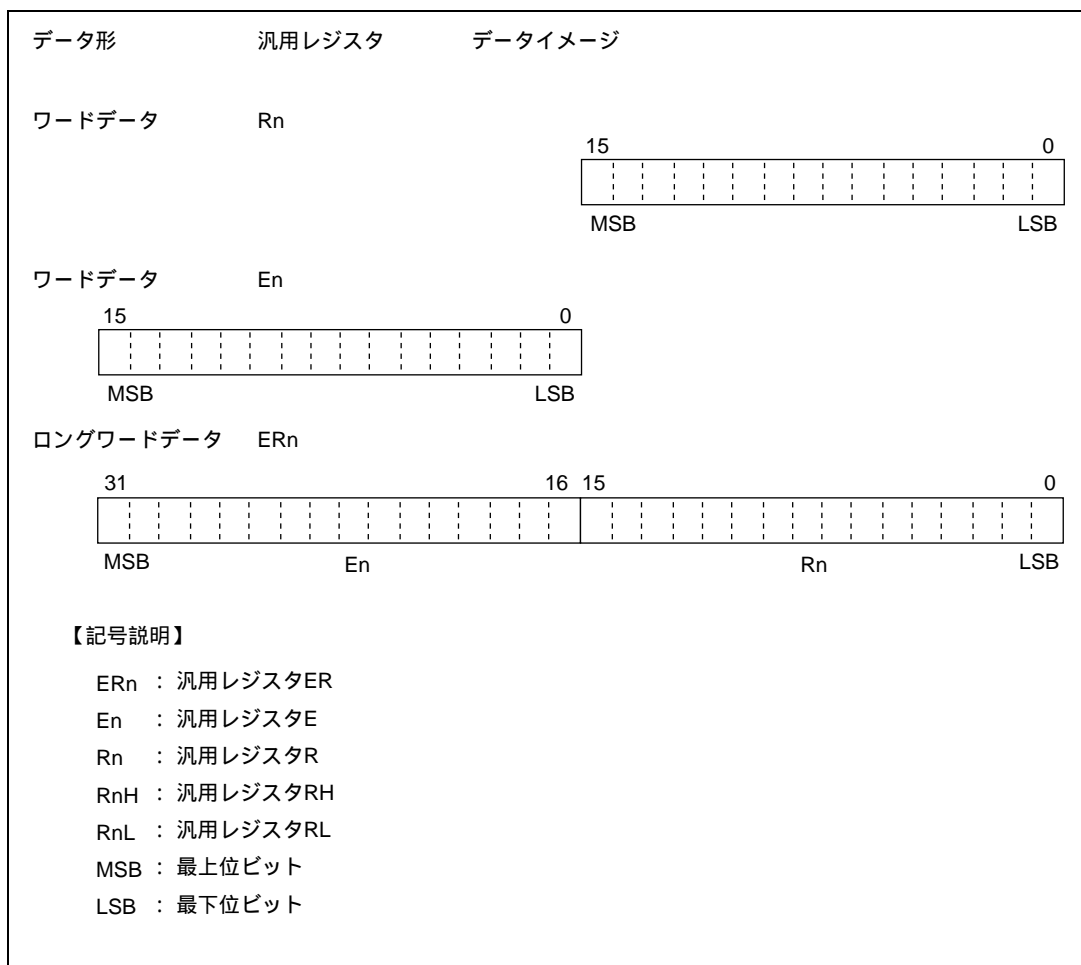


図 2.10 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.11 に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

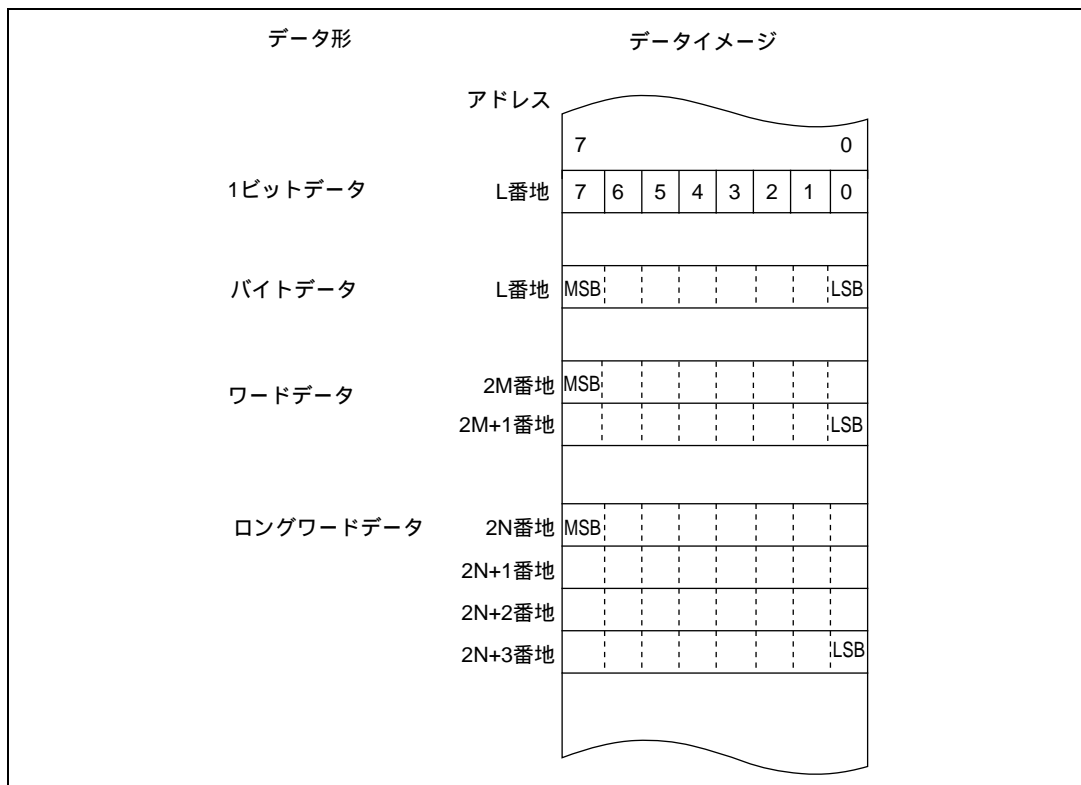


図 2.11 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP * ¹ 、PUSH * ¹	WL	
	LDM、STM	L	
	MOVFPPE* ³ 、MOVTPE* ³	B	
算術演算命令	ADD、SUB、CMP、NEG	BWL	19
	ADDX、SUBX、DAA、DAS	B	
	INC、DEC	BWL	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	BW	
	EXTU、EXTS	WL	
	TAS* ⁴	B	
論理演算命令	AND、OR、XOR、NOT	BWL	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	BWL	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BLD、BILD、BST、BIST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR	B	14
分岐命令	Bcc * ² 、JMP、BSR、JSR、RTS	-	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@ - SP と同一です。

また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@ - SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード														
		#xx	Rc	@ERn	@(dt:16, ERn)	@(dt:32, ERn)	@-ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(dt:8, PC)	@(dt:16, PC)	@@aa:8		
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM, STM	—	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFPPE*1, MOVTPE*1	—	—	—	—	—	—	—	B	—	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—	—
TAS*2	—	—	B	—	—	—	—	—	—	—	—	—	—	—	—	
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令	—	B	B	—	—	—	—	B	B	—	B	—	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW	

【記号説明】

- B : バイト
W : ワード
L : ロングワード

【注】 *1 本 LSI では使用できません。

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (E0～E7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、 POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ*1	機能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います(バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正})$ Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	$Rd(\text{ゼロ拡張})$ Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	$Rd(\text{符号拡張})$ Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。

2. CPU

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕ [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機 能
BLD	B	(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。
B : バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low of Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>EQual</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>NV=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N\oplusV=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV)=1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z=0	BLS	Low of Same	C Z=1	BCC (BHS)	Carry Clear (High or Same)	C=0	BCS (BLO)	Carry Set (Low)	C=1	BNE	Not Equal	Z=0	BEQ	EQual	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	Minus	N=1	BGE	Greater or Equal	NV=0	BLT	Less Than	N \oplus V=1	BGT	Greater Than	Z (N \oplus V)=0	BLE	Less or Equal	Z (N \oplus V)=1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low of Same	C Z=1																																																			
BCC (BHS)	Carry Clear (High or Same)	C=0																																																			
BCS (BLO)	Carry Set (Low)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	EQual	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	Minus	N=1																																																			
BGE	Greater or Equal	NV=0																																																			
BLT	Less Than	N \oplus V=1																																																			
BGT	Greater Than	Z (N \oplus V)=0																																																			
BLE	Less or Equal	Z (N \oplus V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ*	機能
EEPMOV.B	-	if R4L 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next;
EEPMOV.W	-	if R4 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.12 に命令フォーマットの例を示します。

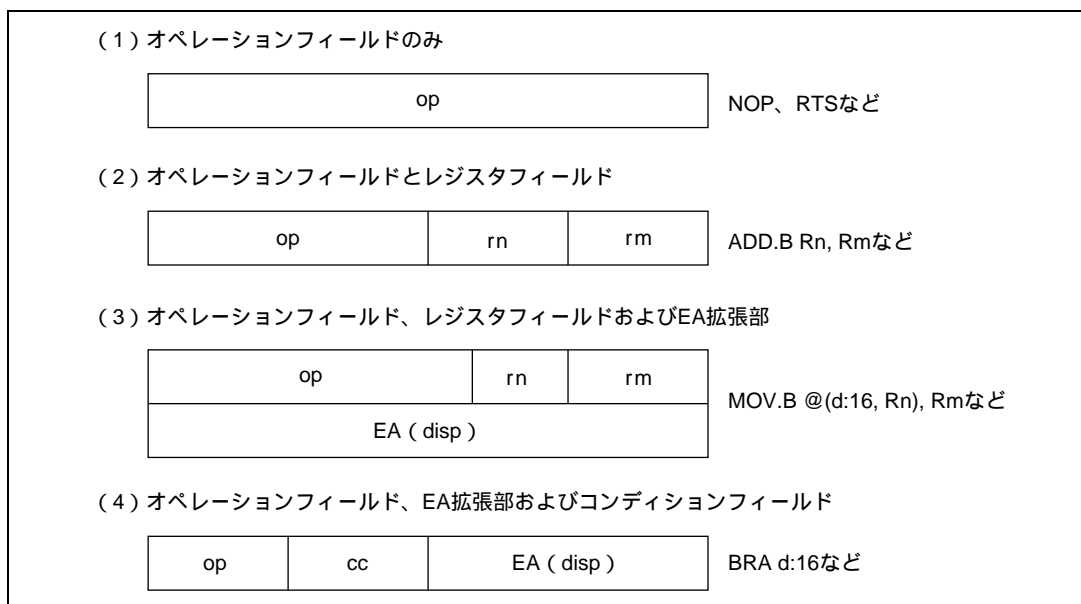


図 2.12 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @ (d:16,ERn)/@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+/プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FFF0 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

(6) イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 5 章 例外処理」を参照してください。

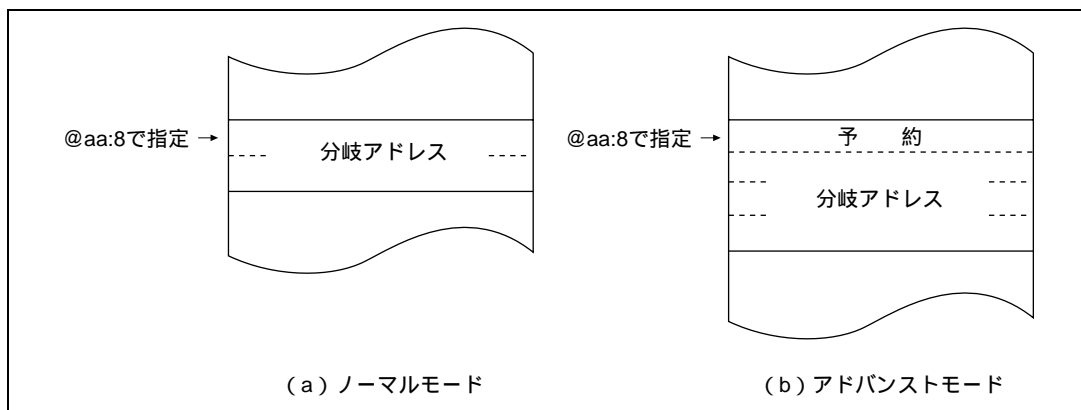


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表2.13 実効アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 (Rn) <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">rm</div> <div style="border: 1px solid black; padding: 2px;">rn</div> </div>		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	汎用レジスタの内容 <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">0</div> </div>	<div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">24</div> <div style="border: 1px solid black; padding: 2px;">23</div> <div style="border: 1px solid black; padding: 2px;">don't care</div> </div>
3	ディスプレースメント付レジスタ間接 @(d:16,ERn) / @(d:32,ERn) <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> <div style="border: 1px solid black; padding: 2px;">disp</div> </div>	汎用レジスタの内容 符号拡張 disp \oplus	<div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">24</div> <div style="border: 1px solid black; padding: 2px;">23</div> <div style="border: 1px solid black; padding: 2px;">don't care</div> </div>
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div> ・プリデクリメントレジスタ間接 @-ERn <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	汎用レジスタの内容 1, 2または4 \oplus 汎用レジスタの内容 1, 2または4 \ominus	<div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">24</div> <div style="border: 1px solid black; padding: 2px;">23</div> <div style="border: 1px solid black; padding: 2px;">don't care</div> </div>

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		31 24 23 8 7 0 ----- ----- ----- don't care H'FFFF ----- ----- -----
	@aa:16 op abs		31 24 23 16 15 0 ----- ----- ----- don't care 符号拡張 ----- ----- -----
	@aa:24 op abs		31 24 23 0 ----- ----- ----- don't care ----- ----- -----
	@aa:32 op abs		31 24 23 0 ----- ----- ----- don't care ----- ----- -----
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	<p>プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)</p>		
8	<p>メモリ間接 @@aa:8 ・ノーマルモード*</p> <p>・アドバンスドモード</p>		

【注】*: 本LSIでは使用できません。

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、および低消費電力状態の 4 種類があります。

処理状態の分類を図2.14に、処理状態間の遷移を図2.15に示します。

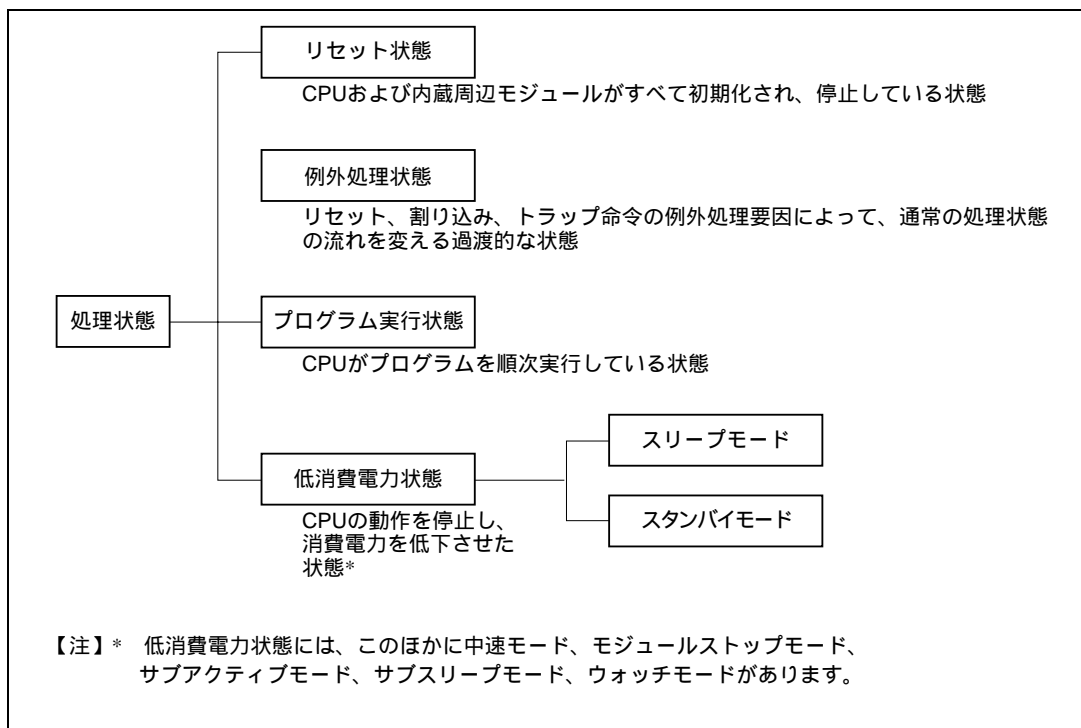


図 2.14 処理状態の分類

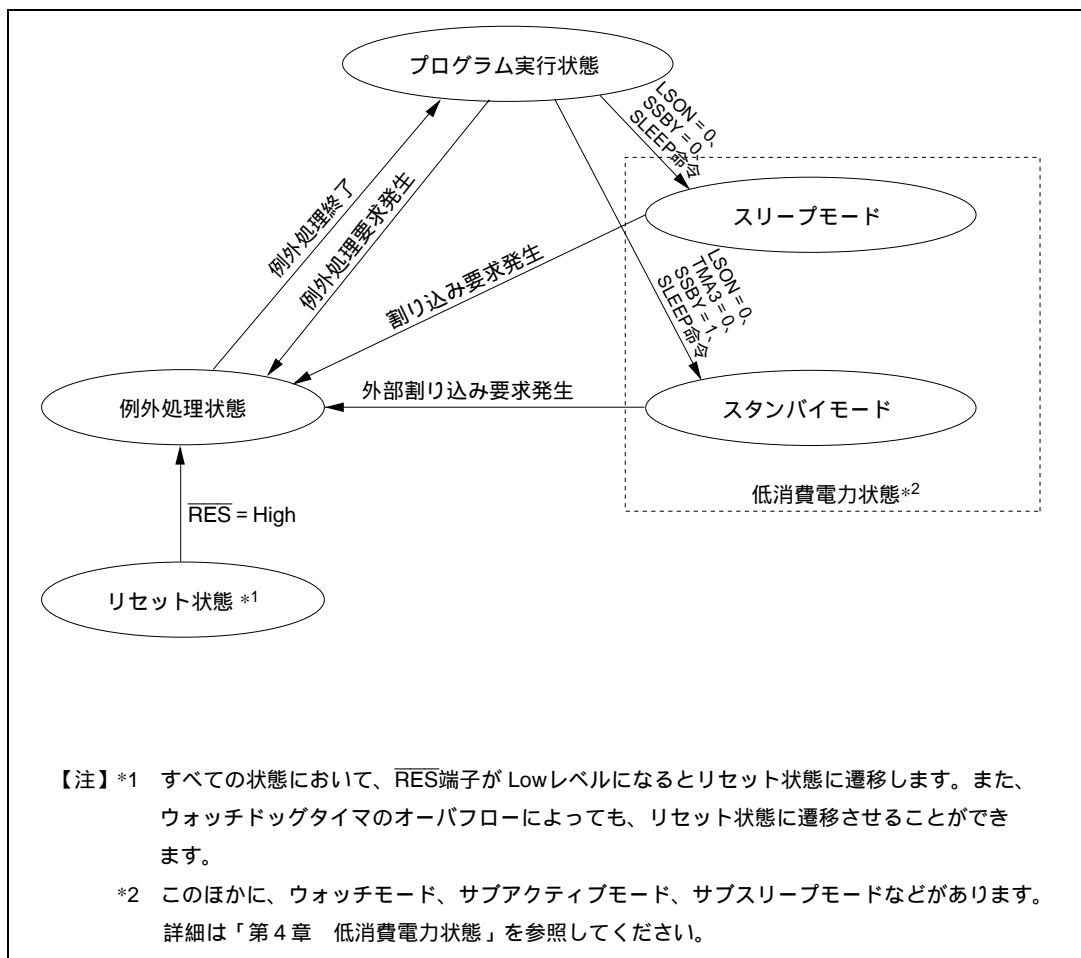


図 2.15 状態遷移図

2.8.2 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第18章 ウォッチドッグタイマ (WDT)」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドックタイマのオーバーフローにより例外処理を開始します。
	割り込み	命令実行終了時または例外処理終了時* ¹	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
低	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。* ²

【注】 *¹ ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*² トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

$\overline{\text{RES}}$ 端子を Low レベルにして、リセット状態とした後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理を開始します。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

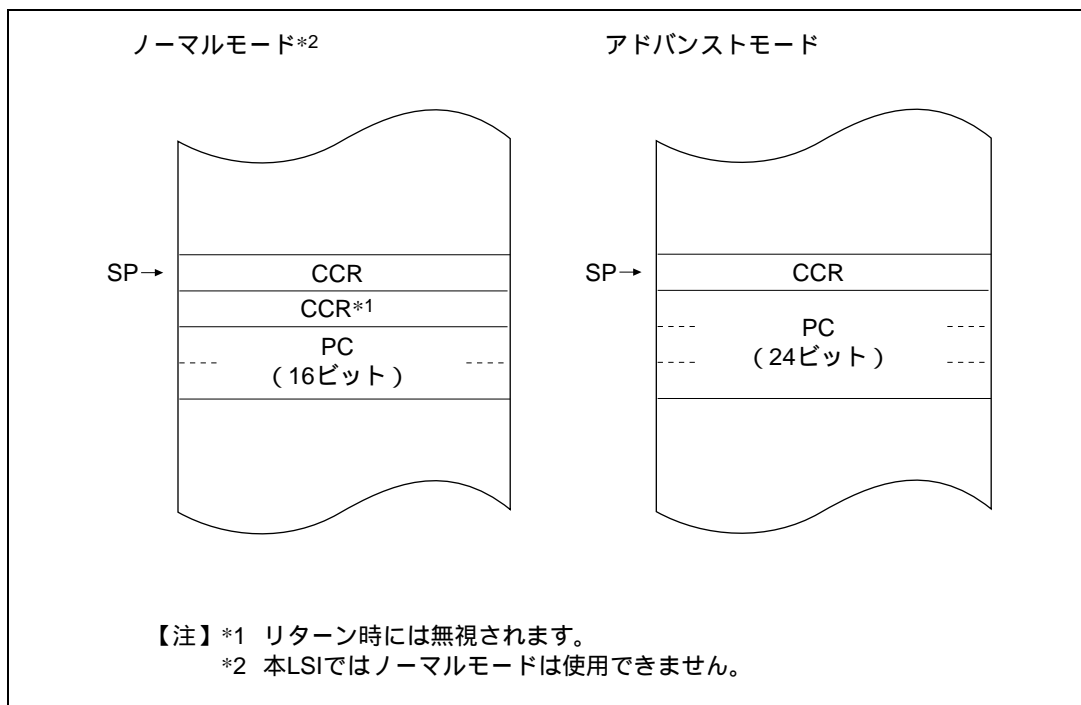


図 2.16 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、スタンバイモード、サブスリープモード、ウォッチモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモード、サブアクティブモードがあります。中速モードではCPU が中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。サブアクティブモード、サブスリープモード、ウォッチモードはサブクロック入力を利用した低消費電力状態です。詳細は「第 4 章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) スタンバイモード

スタンバイモードには、SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、TMA (タイマ A) の TMA3 ビット = 0 の状態で、SLEEP 命令を実行することによって遷移します。スタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック () を基準に動作しています。 の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1 または 2 ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって、それぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.17 に示します。

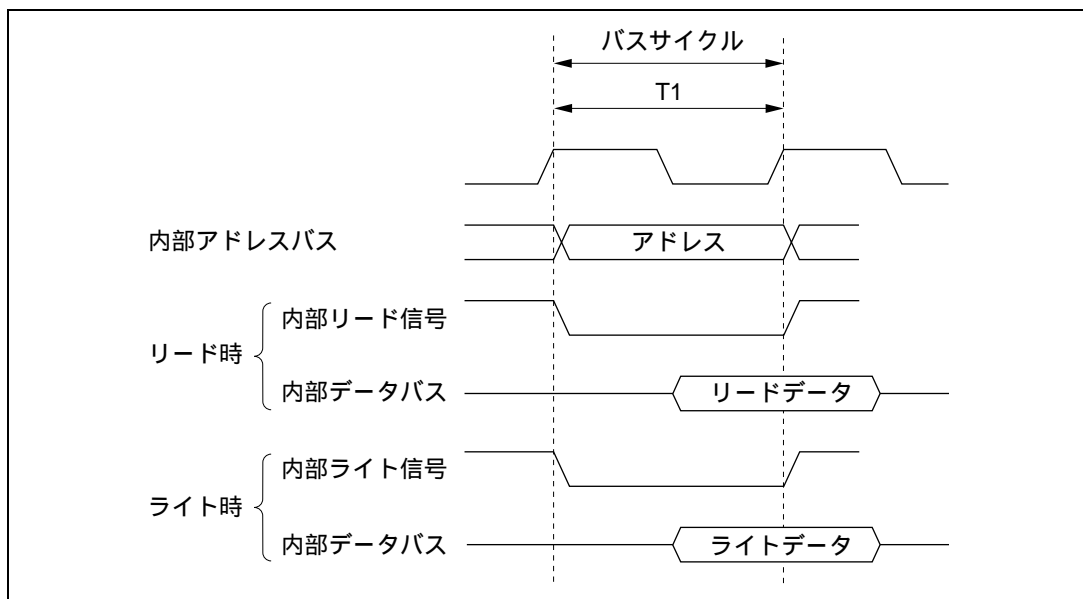


図 2.17 内蔵メモリアクセスサイクル

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.18に示します。

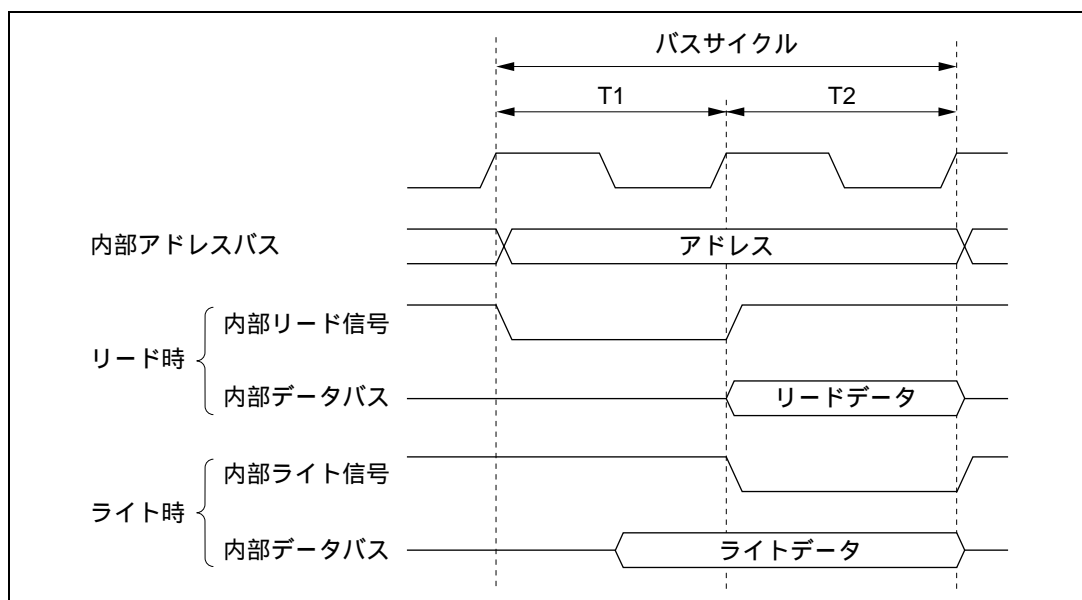


図 2.18 内蔵周辺モジュールアクセスサイクル

2.10 使用上の注意

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ、C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合にはレジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

本 LSI には、1 種類の動作モード（モード 1）があります。このモードは、モード端子（MD0）の設定で決まります。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD0	CPU 動作モード	内容
0	0	-	-
1	1	アドバンスト	シングルチップモード

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 1 は、リセット解除後シングルチップモードで動作を開始します。

モード 1 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI にはモード端子（MD0）の状態が反映されるモードコントロールレジスタ（MDCR）と、本 LSI の動作を制御するシステムコントロールレジスタ（SYSCR）があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FFE9
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFE8

【注】 * アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット:	7	6	5	4	3	2	1	0
								MDS0
初期値:	0	0	0	0	0	0	0	—*
R/W :								R

【注】* MD0端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット 7~1: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 0: モードセレクト 0 (MDS0)

モード端子 (MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。

MDS0 ビットは MD0 端子に対応します。このビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD0) の入力レベルがこのビットにラッチされます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
			INTM1	INTM0	XRST	NMIEG1	NMIEG0	
初期値:	0	0	0	0	1	0	0	1
R/W :			R	R/W	R	R/W	R/W	

ビット 7、6: リザーブビット

ビット 5、4: 割り込み制御モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「6.4 割り込み動作」を参照してください。

ビット 5	ビット 4	割り込み制御モード	説明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御 (初期値)
	1	1	I、UI ビットと ICR で、割り込みを制御
1	0	2	本 LSI では使用できません
	1	3	本 LSI では使用できません

ビット3：外部リセット（XRST）

XRST はリセット要因を表すビットです。リセットは外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバーフローにより発生できます。XRST ビットはリード専用です。外部リセットにより 1 にセット、ウォッチドッグタイマオーバーフローにより 0 にクリアされます。

ビット3 XRST	説明
0	リセットがウォッチドッグタイマオーバーフローで発生
1	リセットが外部リセットで発生 (初期値)

ビット2、1：NMI エッジセレクト 1、0（NMIG1、0）

NMI 割り込みの入力エッジ選択を行います。

ビット2 NMIEG1	ビット1 NMIEG0	説明
0	0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
	1	NMI 入力の立ち上がりエッジで割り込み要求を発生
1	*	NMI 入力の立ち上がり、または立ち下がりエッジで割り込み要求を発生

【注】 * : Don't care

ビット0：リザーブビット

3.3 動作モードの説明

3.3.1 モード 1

CPU はアドバンスモードでアドレス空間は 16M バイトです。

3.4 アドレスマップ

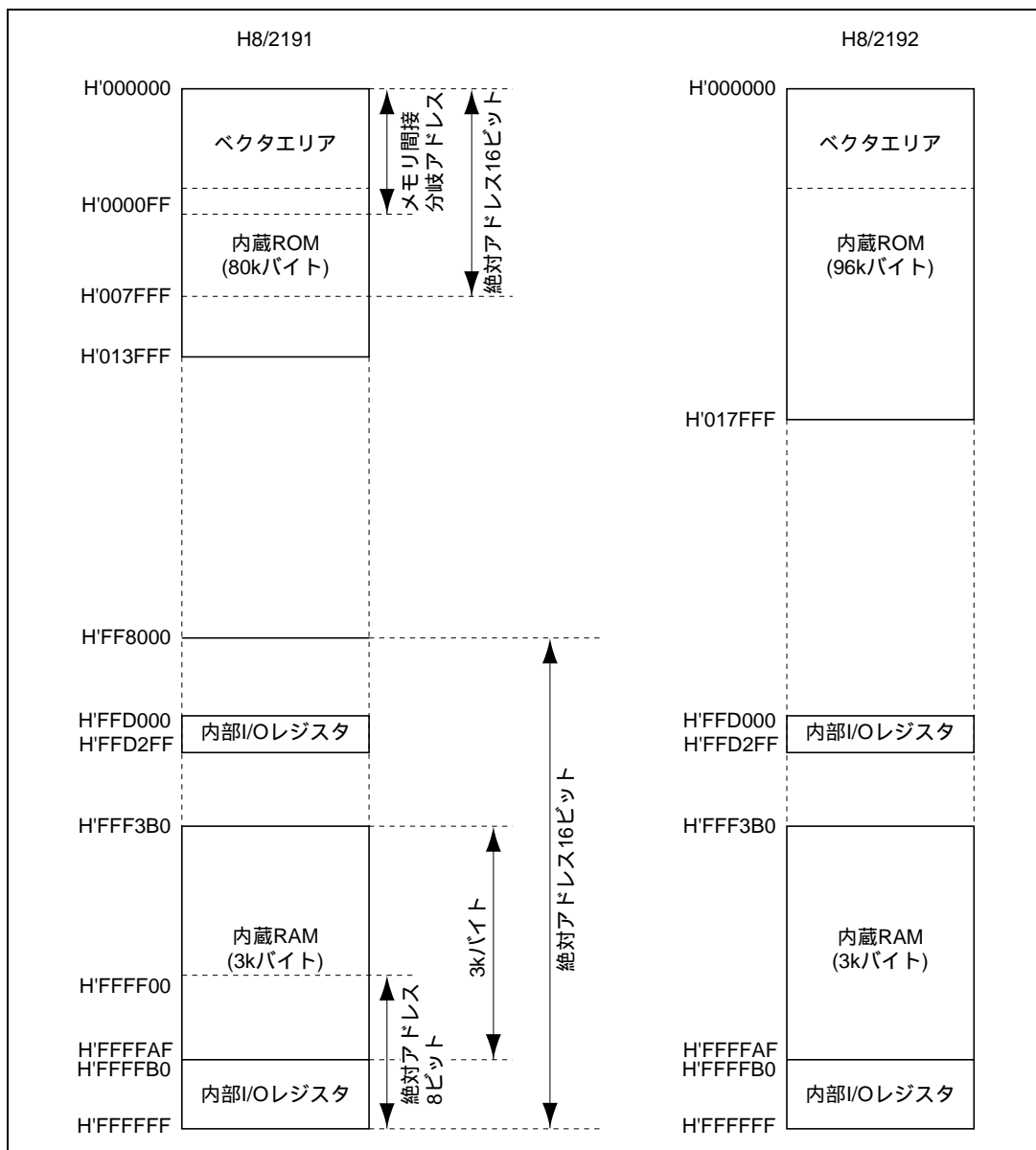


図 3.1 アドレスマップ (1)

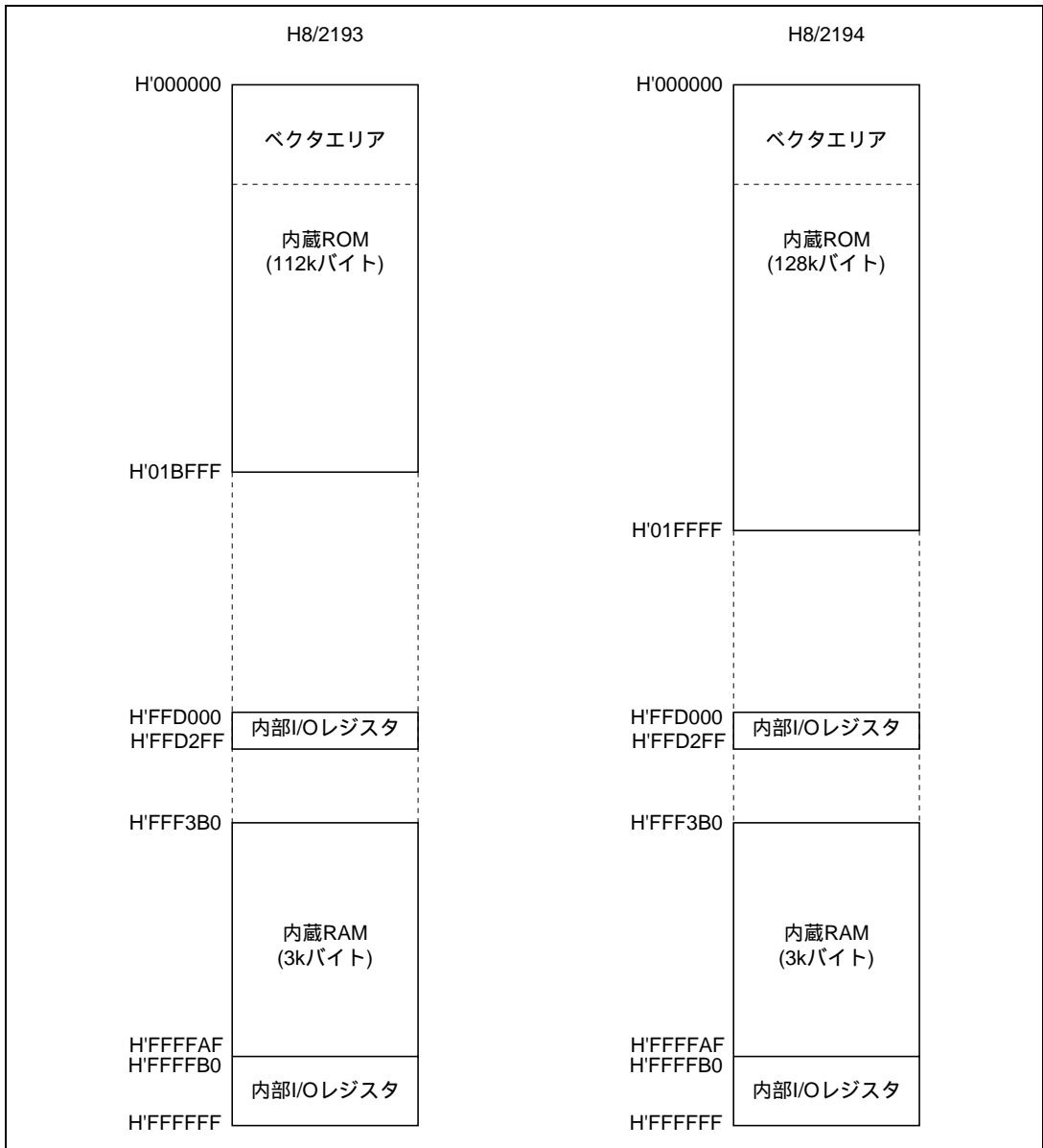


図 3.2 アドレスマップ (2)

3. MCU 動作モード

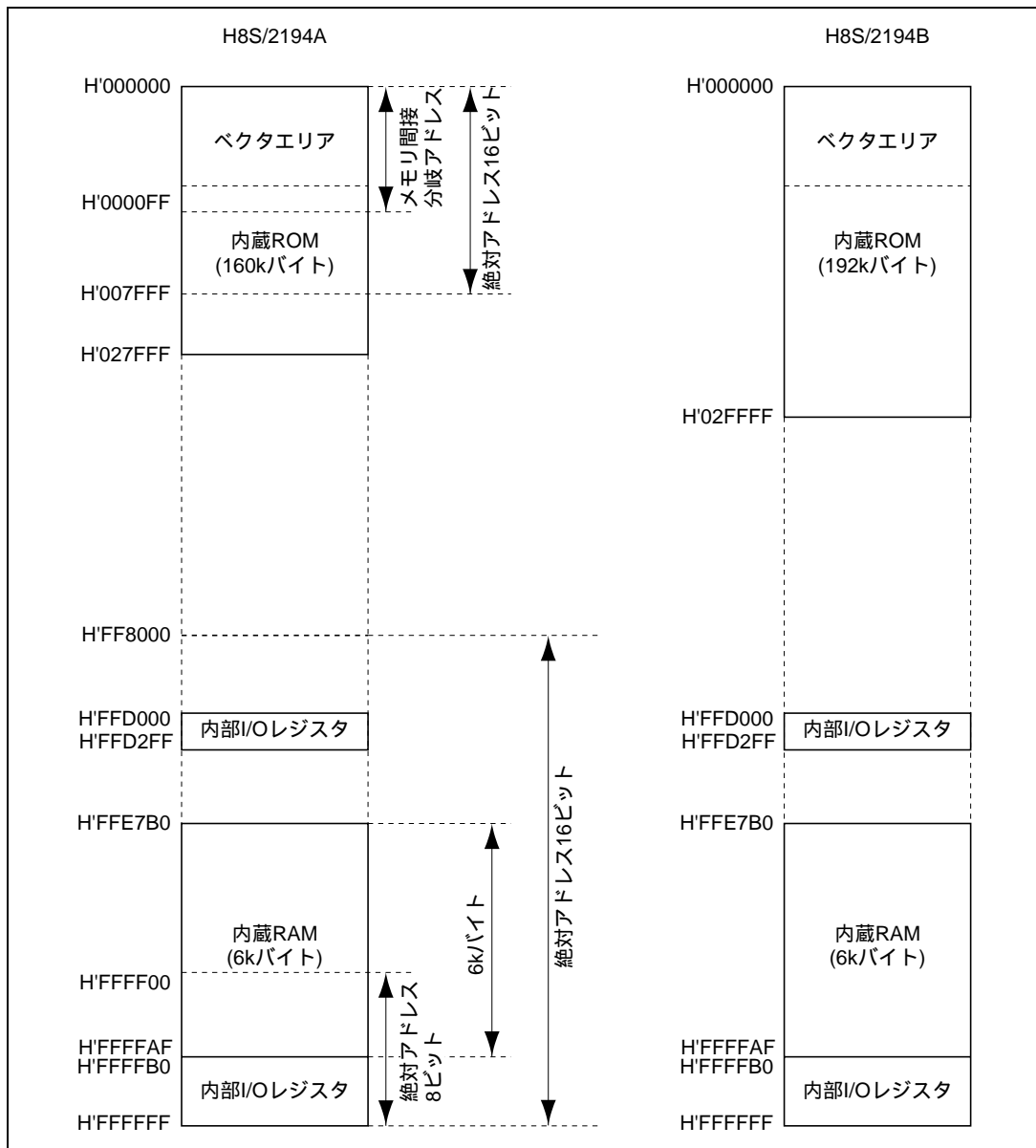


図 3.3 アドレスマップ (3)

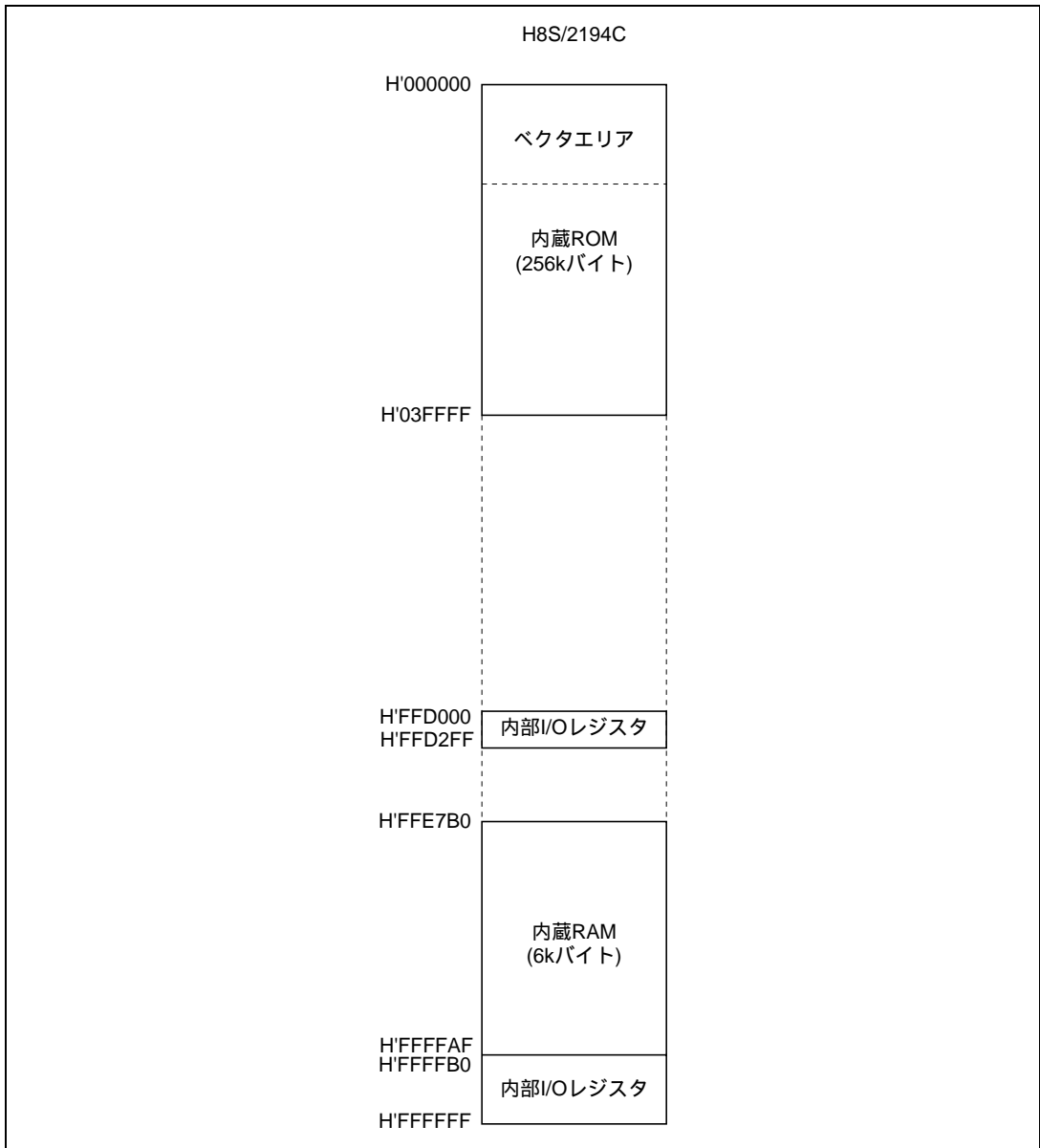


図 3.4 アドレスマップ (4)

3. MCU 動作モード

4. 低消費電力状態

4.1 概要

本 LSI には、通常のプログラム実行状態の他に、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) サブアクティブモード
- (4) スリープモード
- (5) サブスリープモード
- (6) ウォッチモード
- (7) モジュールストップモード
- (8) スタンバイモード

があり、(2)~(8)が低消費電力状態です。これらは一部組み合わせて設定することができます。リセット後は、高速モードになっています。

表 4.1 に各モードでの LSI の内部状態、表 4.2 に低消費電力モード遷移条件を示します。

また、図 4.1 に、モード遷移図を示します。

4. 低消費電力状態

表 4.1 各モードでの LSI の内部状態

機能	高速	中速	スリープ	モジュールストップ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ							
システムクロック	動作	動作	動作	動作	停止	停止	停止	停止							
サブクロック発振器	動作	動作	動作	動作	動作	動作	動作	動作							
CPU動作	命令	中速動作	停止	動作	停止	サブクロック動作	停止	停止							
	レジスタ		保持		保持		保持								
外部割り込み	NMI	動作	動作	動作	動作	動作	動作	動作							
	IRQ0														
	IRQ1														
	IRQ2														
	IRQ3														
	IRQ4														
	IRQ5														
周辺機能の動作	タイマ A	動作	動作	動作	動作/停止 (保持)	サブクロック動作	サブクロック動作	サブクロック動作	停止 (保持)						
	タイマ B				動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)						
	タイマ J														
	タイマ L														
	タイマ R														
	タイマ X1	動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)									
	ウォッチドッグタイマ	動作	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)						
	PSU	動作	動作	動作	動作	サブクロック動作	サブクロック動作	サブクロック動作	停止						
	IIC	動作	動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)						
	SCI1				動作/停止 (リセット)					停止 (リセット)	停止 (リセット)	停止 (リセット)			
	SCI2				動作/停止 (保持)					停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)		
	14ビットPWM														
	8ビットPWM														
	A/D				動作/停止 (リセット)					停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)		
	I/O				動作					動作	保持	動作	停止	動作	保持
12ビットPWM	動作				動作					停止 (リセット)	動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
サーボ															

- 【注】
1. 停止 (保持) は、内部レジスタ値保持。内部状態は、動作中断。
 2. 停止 (リセット) は、内部レジスタ値および内部状態を初期化。
 3. モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

4. 低消費電力モード時サーボ回路のアナログ部はOFFしないため、Vcc(Servo)の電流は減少しません。低消費電力化が必要な場合は、外部でアナログ系電源を切断してください。

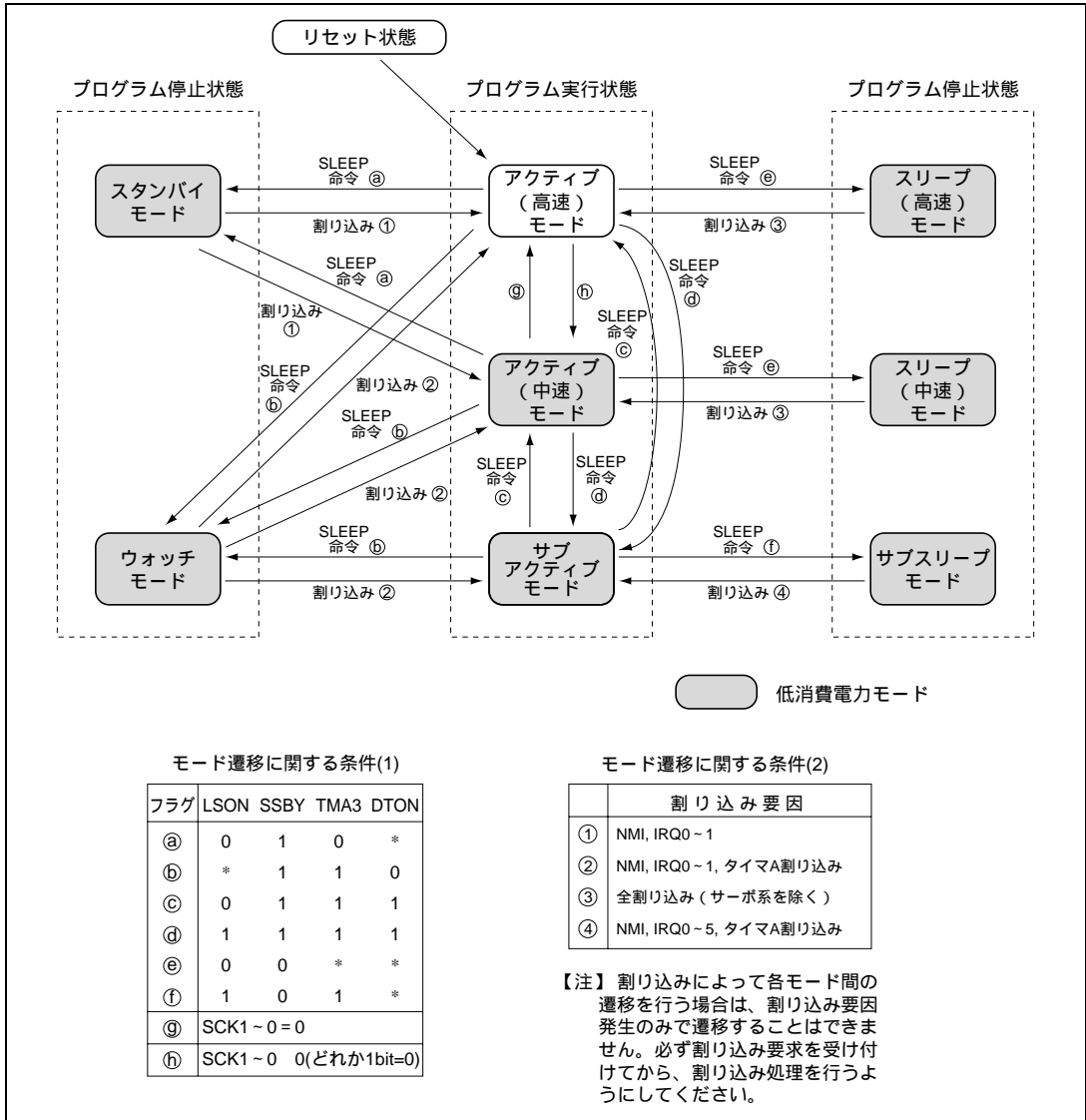


図 4.1 モード遷移

4. 低消費電力状態

表 4.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による遷移後の状態	割り込みによる復帰後の状態
	SSBY	TMA3	LSON	DTON		
高速/中速	0	*	0	*	スリープ	高速/中速* ¹
	0	*	1	*	-	-
	1	0	0	*	スタンバイ	高速/中速* ¹
	1	0	1	*	-	-
	1	1	0	0	ウォッチ	高速/中速* ¹
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	-	-
	1	1	1	1	サブアクティブ	-
サブアクティブ	0	0	*	*	-	-
	0	1	0	*	-	-
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*	-	-
	1	1	0	0	ウォッチ	高速/中速* ²
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速/中速* ²	-
	1	1	1	1	-	-

【注】 * : Don't care

- : 設定しないでください。

*1 遷移前の状態に戻ります。

*2 SCK1 ~ SCK0 の状態によってモードがわかれます。

4.1.1 レジスタ構成

低消費電力状態は、SBYCR、LPWRCR、TMA (タイマ A)、MSTPCR で制御されます。レジスタ構成を表 4.3 に示します。

表 4.3 レジスタ構成

名称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FFEA
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FFEB
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'FF	H'FFEC
	MSTPCRL	R/W	H'FF	H'FFED
タイマモードレジスタ A	TMA	R/W	H'30	H'FFBA

【注】 * : アドレスの下位 16 ビットを示しています。

4.2 各レジスタの説明

4.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0			SCK1	SCK0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W			R/W	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。SBYCR はリセット時に H'00 に初期化されます。

ビット7: ソフトウェアスタンバイ (SSBY)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。

なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット7	説明
SSBY	
0	高速モードおよび中速モードで SLEEP 命令を実行したとき、スリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードに遷移 (初期値)
1	高速モードおよび中速モードで SLEEP 命令を実行したとき、スタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

ビット6~4: スタンバイタイムセレクト2~0 (STS2~STS0)

特定の割り込みや命令によってスタンバイモード、ウォッチモード、サブアクティブモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 4.5 を参照し、動作周波数に応じて待機時間が 10ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。(FLASH ROM 版では、待機時間 = 16 ステートを設定しないでください。)

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
1	0	1	待機時間 = 262144 ステート
1	1	*	待機時間 = 16 ステート* ¹

【注】 * : Don't care

4. 低消費電力状態

- *1 FLASH ROM 版では待機時間 = 16 ステートを選択しないでください。
 中速モード /32 (SCK1 = 1、SCK0 = 0) へ遷移した場合は、32 ステートとなります。

ビット 3、2：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 1、0：システムクロックセレクト 1、0 (SCK1、SCK0)

高速モード、および中速モードでの CPU クロックを選択します。

ビット 1	ビット 0	説 明
SCK1	SCK0	
0	0	バスマスタは高速モード (初期値)
0	1	中速クロックは /16
1	0	中速クロックは /32
1	1	中速クロックは /64

4.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL				SA1	SA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W				R/W	R/W

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。
 LPWRCR はリセット時に H'00 に初期化されます。

ビット 7：ダイレクトトランスファオンフラグ (DTON)

SLEEP 命令実行による低消費電力遷移時に、高速モード、中速モードとサブアクティブモードの各モード間を直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット 7	説 明
DTON	
0	<ul style="list-style-type: none"> 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、スタンバイモード、またはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 (初期値)
1	<ul style="list-style-type: none"> 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモードに直接遷移、またはスリープモード、スタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

ビット6：ロースピードオンフラグ (LSON)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットの組み合わせで動作モードを決定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。

ビット6	説明
LSON	
0	<ul style="list-style-type: none"> 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、スタンバイモード、またはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ウォッチモード解除後にサブアクティブモードに遷移 (初期値)
1	<ul style="list-style-type: none"> 高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモードに遷移、またはスリープモード、スタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ウォッチモード解除後にサブアクティブモードに遷移

ビット5：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたサブクロック (w) を、システムクロック発振器より生成されたクロック (f) により、サンプリングする周波数を選択します。 $w = 5\text{MHz}$ 以上のときは、0 をセットしてください。

ビット5	説明
NESEL	
0	f の 16 分周クロックでサンプリング
1	f の 4 分周クロックでサンプリング

ビット4~2：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット1、0：サブアクティブモードクロックセレクト1、0 (SA1、SA0)

サブアクティブモードでの CPU の動作クロックを選択します。SA1、SA0 はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説明
SA1	SA0	
0	0	CPU の動作クロックは $w/8$ (初期値)
0	1	CPU の動作クロックは $w/4$
1	*	CPU の動作クロックは $w/2$

【注】 * : Don't care

4. 低消費電力状態

4.2.3 タイマレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMAOV	TMAIE			TMA3	TMA2	TMA1	TMA0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグクリアのための0ライトのみ可能です。

タイマレジスタ A (TMA) は、タイマ A の割り込みの制御、入力クロックの選択を行います。ここでは、ビット 3 についてのみ説明します。その他のビットの詳細については「12.2.1 タイマモードレジスタ A」を参照してください。

TMA は、8 ビットのリード/ライト可能なレジスタです。リセット時に H'30 に初期化されます。

ビット 3: クロックソース、プリスケラ選択 (TMA3)

タイマ A のクロックソースを PSS とするか PSW とするかを選択します。

また、低消費電力モード遷移時の動作を制御します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットとの組み合わせで決定します。

詳細は、「12.2.1 タイマモードレジスタ A」のクロックセレクト 2~0 の説明および本章を参照してください。

ビット 3	説明
TMA3	
0	<ul style="list-style-type: none">・タイマ A は ベースのプリスケラ (PSS) の分周クロックをカウント・高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、スタンバイモードに遷移 (初期値)
1	<ul style="list-style-type: none">・タイマ A は w ベースのプリスケラ (PSW) の分周クロックをカウント・高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ウォッチモード、サブアクティブモードに遷移・サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移

4.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTPCR は、リセット時に H'FFFF に初期化されます。

HSTPCRH、MSTPCRL ビット 7~0 : モジュールストップ (MSTP15~MSTP0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 4.4 を参照してください。

MSTPCRH、MSTPCRL ビット 7~0	説明
MSTP15~MSTP0	
0	モジュールストップモード解除
1	モジュールストップモード設定 (初期値)

4.3 中速モード

高速モード時に SBYCR の SCK1、SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK1、SCK0 ビットで指定した動作クロック（ $1/16$ 、 $1/32$ 、 $1/64$ ）で動作します。

CPU 以外の内蔵周辺機能は常に高速クロック（ ）で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして $1/16$ を選択した場合、内蔵メモリは 16 ステートアクセス、内部 I/O レジスタは 32 ステートアクセスになります。

中速モードの解除は、SCK1、SCK0 ビットのいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット=1、LPWRCR の LSON ビット=0、TMA（タイマ A）の TMA3 ビット=0 の状態で SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

中速モードへの遷移、解除のタイミングを図 4.2 に示します。

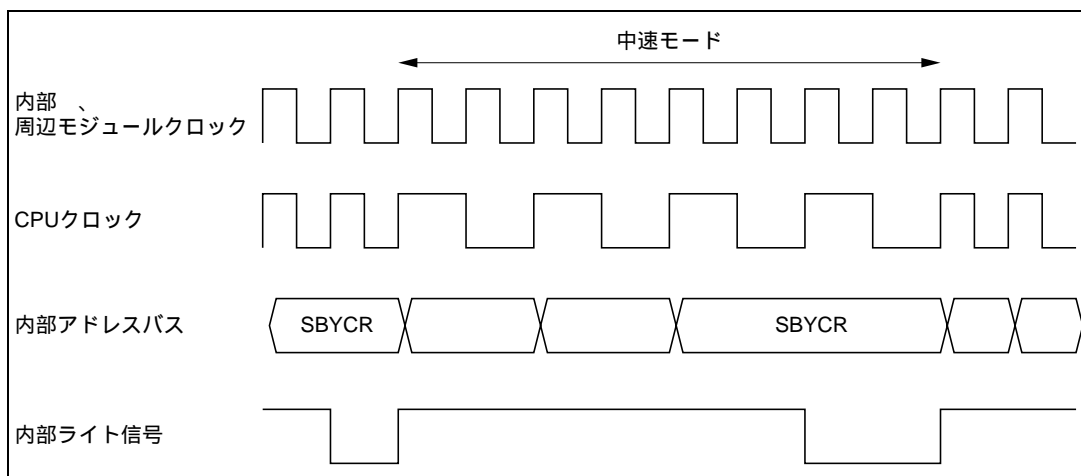


図 4.2 中速モードの遷移・解除タイミング

4.4 スリープモード

4.4.1 スリープモード

SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能（サーボ回路、12 ビット PWM を除く）は停止しません。

4.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、または $\overline{\text{RES}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセットが入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

4.5 モジュールストップモード

4.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を続けます。

MSTP ビットと周辺機能の対応を表 4.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI1、A/D 変換器、タイマ X1、サーボ回路を除くモジュール内部状態が保持されています。

リセット解除後は、すべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

表 4.4 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCRH	MSTP15	タイマ A
	MSTP14	タイマ B
	MSTP13	タイマ J
	MSTP12	タイマ L
	MSTP11	タイマ R
	MSTP10	タイマ X1
	MSTP9	-
	MSTP8	シリアルコミュニケーションインタフェース 1 (SCI1)
MSTPCRL	MSTP7	シリアルコミュニケーションインタフェース 2 (SCI2)
	MSTP6	I ² C バスインタフェース (IIC)
	MSTP5	14 ビット PWM
	MSTP4	8 ビット PWM
	MSTP3	-
	MSTP2	A/D 変換器
	MSTP1	サーボ回路、12 ビット PWM
	MSTP0	-

4.6 スタンバイモード

4.6.1 スタンバイモード

SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、TMA (タイマ A) の TMA3 = 0 の状態で SLEEP 命令を実行すると、スタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器 (サブクロック発振器は除く) のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび SCI1、タイマ X1、サーボ回路を除く内蔵周辺機能の状態は保持されます。I/O ポートの状態はハイインピーダンス状態となります。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

4.6.2 スタンバイモードの解除

スタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{IRQ0}$ ~ $\overline{IRQ1}$ 端子) または \overline{RES} 端子によって行われます。

(1) 割り込みによる解除

NMI、 $\overline{IRQ0}$ ~ $\overline{IRQ1}$ 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{IRQ0}$ ~ $\overline{IRQ1}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、スタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 \overline{RES} 端子を High レベルにすると、CPU はリセット例外処理を開始します。

4.6.3 スタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 10ms (発振安定時間) 以上となるように STB2 ~ STS0 ビットを設定してください。表 4.5 に、動作周波数と STB2 ~ STS0 ビットの設定に対する待機時間を示します。

4. 低消費電力状態

表 4.5 発振安定時間の設定

STS2	STS1	STS0	待機時間	10MHz	8MHz	単位
0	0	0	8192 ステート	0.8	1.0	ms
		1	16384 ステート	1.6	2.0	
	1	0	32768 ステート	3.3	4.1	
		1	65536 ステート	6.6	8.2	
1	0	0	131072 ステート	13.1	16.4	μs
		1	262144 ステート	26.2	32.8	
	1	*	16 ステート* ¹	1.6	2.0	

：推奨設定時間

【注】* : Don't care

*1 フラッシュメモリ版では、16 ステートを設定しないでください。また、中速モード /32 (SCK1 = 1、SCK0 = 0) へ遷移した場合は、32 ステートとなります。

(2) 外部クロックの場合

任意の値を設定可能です。

4.7 ウォッチモード

4.7.1 ウォッチモード

高速モード、中速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TMA (タイマ A) の TMA3 = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、タイマ A 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートはハイインピーダンス状態になります。

4.7.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (タイマ A 割り込み、NMI 端子、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ1}}$ 端子)、 $\overline{\text{RES}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット = 0 のときは高速モードあるいは中速モードに、LSON ビット = 1 のときはサブアクティブモードに遷移します。高速モード、中速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ1}}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モード、中速モードに遷移するときの発振安定時間は、「4.6.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「4.6.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

4.8 サブスリープモード

4.8.1 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 1、TMA (タイマ A) の TMA3 = 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、タイマ A 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

4.8.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み (タイマ A 割り込み、NMI 端子、 $\overline{IRQ0} \sim \overline{IRQ5}$ 端子)、 \overline{RES} 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{IRQ0} \sim \overline{IRQ5}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子による解除については、「4.6.2 スタンバイモードの解除 (2) \overline{RES} 端子による解除」を参照してください。

4.9 サブアクティブモード

4.9.1 サブアクティブモード

高速モードにおいて、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、TMA(タイマA)のTMA3=1の状態ではSLEEP命令を実行すると、CPUはサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCRのLSONビット=1の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPUはサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、タイマA以外の周辺機能は動作を停止します。

4.9.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令、 $\overline{\text{RES}}$ 端子によって行われます。

(1) SLEEP命令による解除

SBYCRのSSBYビット=1、LPWRCRのDTONビット=0、TMA(タイマA)のTMA3=1の状態ではSLEEP命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TMA(タイマA)のTMA3=1の状態ではSLEEP命令を実行すると、サブスリープモードに遷移します。また、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=0、TMA(タイマA)のTMA3=1の状態ではSLEEP命令を実行すると、高速モードまたは中速モードに直接遷移します。

直接遷移の詳細は「4.10 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「4.6.2 スタンバイモードの解除(2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

4.10 直接遷移

4.10.1 直接遷移の概要

CPU がプログラムを実行していると動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく*遷移することを直接遷移と呼びます。直接遷移はLPWRCRのDTONを1にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

(1) 高速モードからサブアクティブモードへの直接遷移

高速モードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=1、DTONビット=1、TMA(タイマA)のTMA3=1の状態ではSLEEP命令を実行するとサブアクティブモードに遷移します。

(2) サブアクティブモードから高速モード中速モードへの直接遷移

サブアクティブモードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=0、DTONビット=1、TMA(タイマA)のTMA3=1の状態ではSLEEP命令を実行すると、SBYCRのSTS2~STS0により設定された時間を経過した後、直接高速モードまたは中速モードに遷移します。

【注】* サブアクティブモードから高速モードまたは中速モードへの遷移時は、発振安定待ち時間が発生します。

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先度

例外処理には、表 5.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 5.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度にしたがって受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 5.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。
	トレース* ¹	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *¹ トレースは割り込み制御モード 2、3 でのみ有効です (本 LSI では使用できません)。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*² ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*³ トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

5.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [1] プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- [2] 割り込みマスクビットを更新します。T ビットを 0 にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

5.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 5.1 に示すように分類されます。
これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。
これらの要因とベクタアドレスとの対応を表 5.2 に示します。

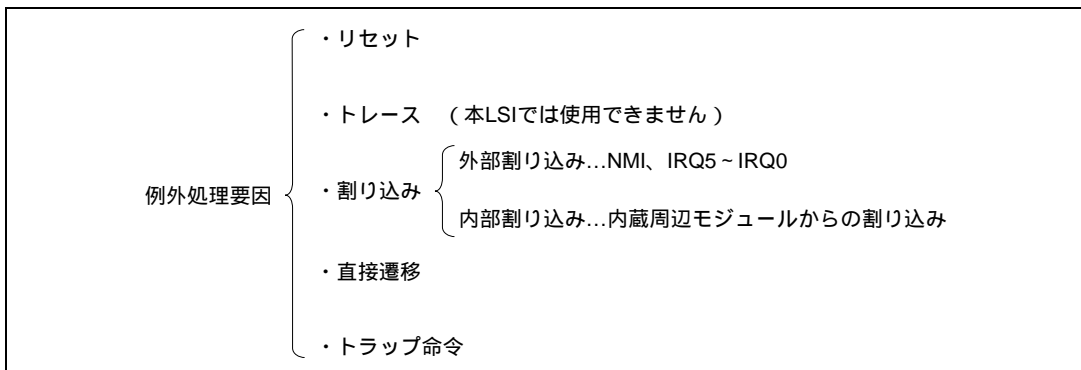


図 5.1 例外処理要因

表 5.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1
リセット		0	H'0000 ~ H'0003
システム予約		1	H'0004 ~ H'0007
		2	H'0008 ~ H'000B
		3	H'000C ~ H'000F
		4	H'0010 ~ H'0013
		5	H'0014 ~ H'0017
直接遷移		6	H'0018 ~ H'001B
外部割り込み	NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0020 ~ H'0023
		9	H'0024 ~ H'0027
		10	H'0028 ~ H'002B
		11	H'002C ~ H'002F
システム予約		12	H'0030 ~ H'0033
		13	H'0034 ~ H'0037
		14	H'0038 ~ H'003B
		15	H'003C ~ H'003F
アドレストラップ	#0	16	H'0040 ~ H'0043
	#1	17	H'0044 ~ H'0047
	#2	18	H'0048 ~ H'004B
内部割り込み (IC)		19	H'004C ~ H'004F
内部割り込み (HSW1)		20	H'0050 ~ H'0053
外部割り込み	IRQ0	21	H'0054 ~ H'0057
	IRQ1	22	H'0058 ~ H'005B
	IRQ2	23	H'005C ~ H'005F
	IRQ3	24	H'0060 ~ H'0063
	IRQ4	25	H'0064 ~ H'0067
	IRQ5	26	H'0068 ~ H'006B
リザーブ		27	H'006C ~ H'006F
		33	H'0084 ~ H'0087
内部割り込み*2		30	H'0088 ~ H'008B
		67	H'010C ~ H'010F

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「6.3.3 割り込み例外処理ベクタテーブル」を参照してください。

5.2 リセット

5.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 18 章 ウォッチドッグタイマ (WDT)」を参照してください。

5.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時はクロック発振器の発振安定時間の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。リセット時の各端子の状態は「付録 D 各処理状態におけるポートの状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [1] CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
- [2] リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 5.2 に示します。

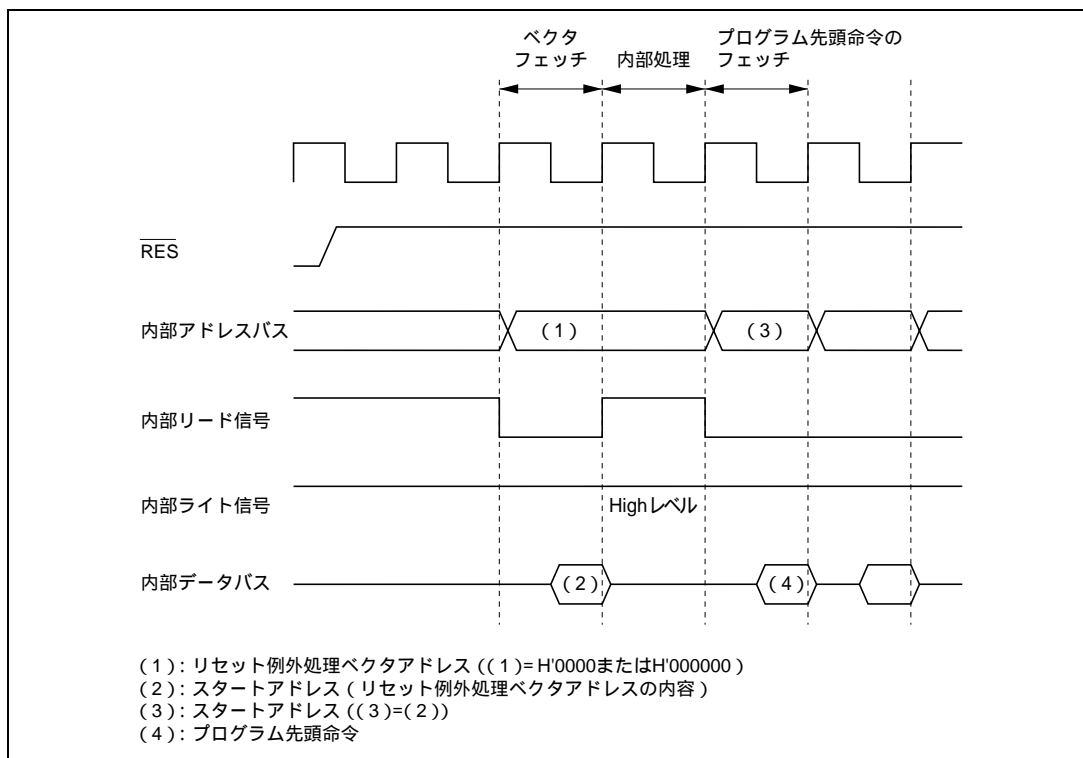


図 5.2 リセットシーケンス (モード1)

5.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

5.3 割り込み

割り込み例外処理を開始させる要因には、7本の外部割り込み（NMI、IRQ5～IRQ0）と、内蔵周辺モジュールからの要求による内部要因があります。割り込み要因と要因数を図 5.3 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、プリスケールユニット（PSU）、タイマ A、B、J、L、R、X1（TMR）、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器（ADC）、I²C パスインタフェース（IIC）、サーボ回路、同期分離、アドレスストラップなどがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMI は最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されません。割り込み制御には、2つの割り込み制御モードがあり、NMI 以外の割り込みに 3 レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第 6 章 割り込みコントローラ」を参照してください。

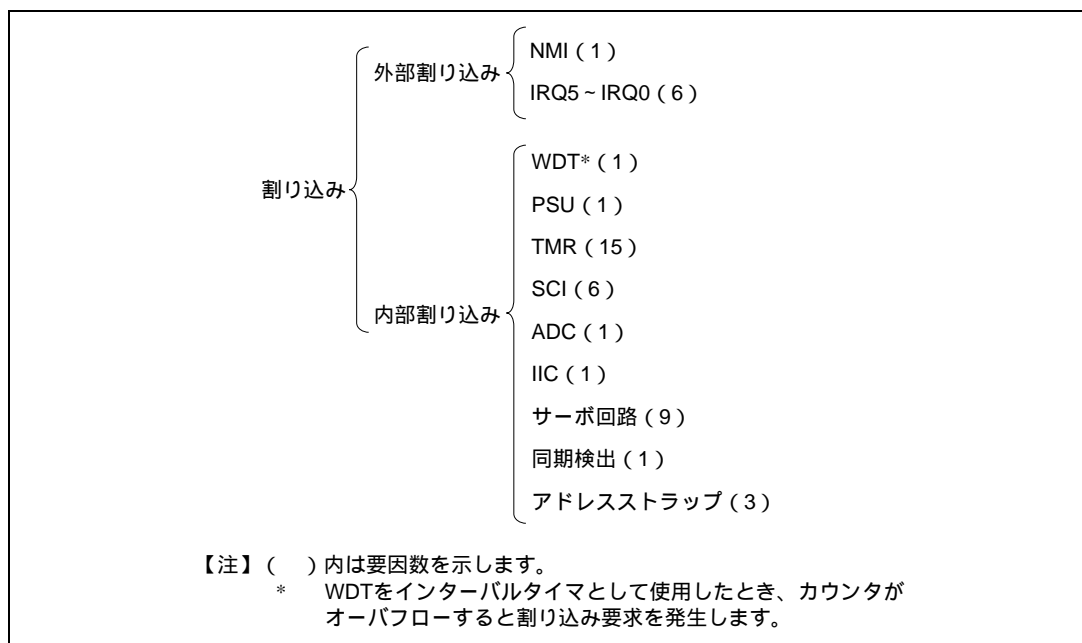


図 5.3 割り込み要因と要因数

5.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 5.3 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 5.3 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR*	
	I	UI	I2~I0	T
0	1			
1	1	1		

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。
- * : 本 LSI では動作に影響を与えません。

5.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 5.4 に示します。

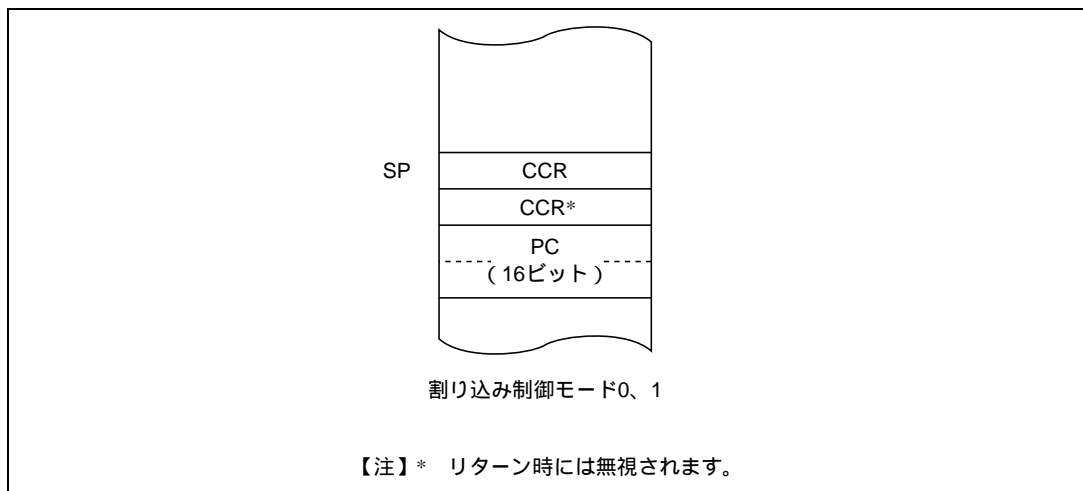


図 5.4 (1) 例外処理終了後のスタックの状態 (ノーマルモード)*

【注】* 本 LSI ではノーマルモードは使用できません。

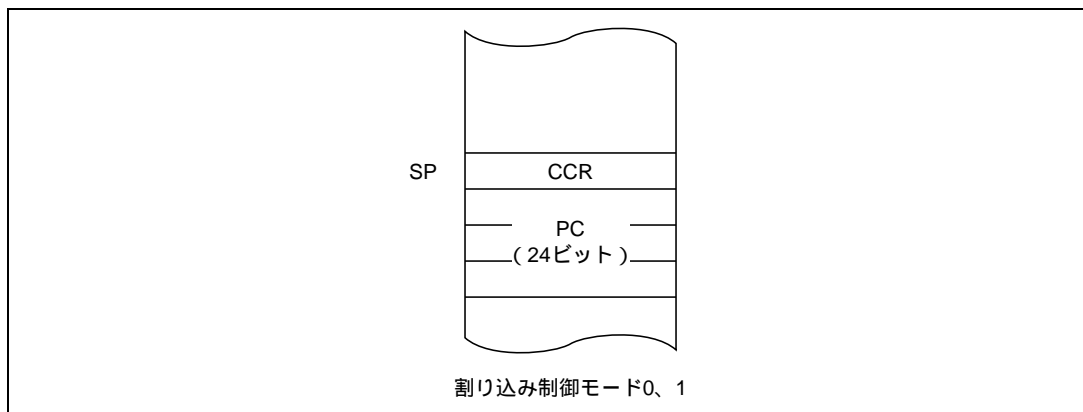


図 5.4 (2) 例外処理終了後のスタックの状態 (アドバンスモード)

5.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 5.5 に示します。

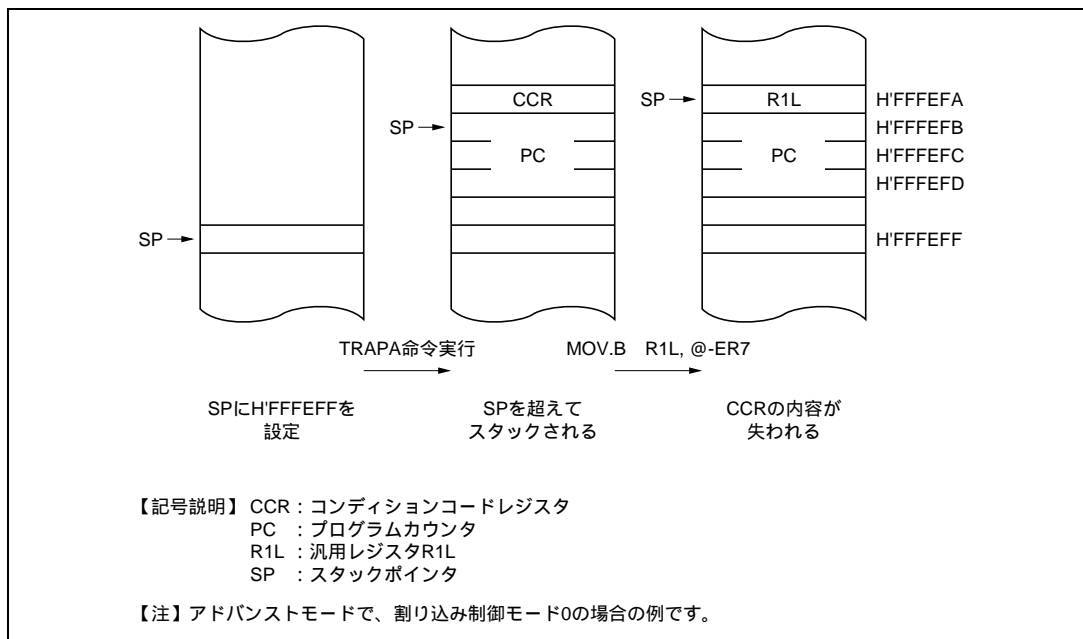


図 5.5 SP を奇数に設定したときの動作

6. 割り込みコントローラ

6.1 概要

6.1.1 特長

本 LSI は、割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

- (1) 2 種類の割り込み制御モード
 - システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。
- (2) ICR により、優先順位を設定可能
 - 割り込み優先順位を設定するインタラプトコントロールレジスタ (ICR) を備えており、NMI 以外の割り込みを、モジュールごとに 3 レベルの優先順位を設定できます。
- (3) 独立したベクタアドレス
 - すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- (4) 7 本の外部割り込み端子
 - NMI 最優先の割り込みで常に受け付けられます。NMI は立ち下がりエッジ、立ち上がりエッジ、両エッジのいずれかを選択できます。
 - IRQ0 は、立ち下がりエッジ、立ち上がりエッジ、両エッジのいずれかを選択できます。
 - IRQ5 ~ IRQ1 は、立ち下がりエッジ、立ち上がりエッジのいずれかをそれぞれ独立に選択できます。

6. 割り込みコントローラ

6.1.2 ブロック図

割り込みコントローラのブロック図を図 6.1 に示します。

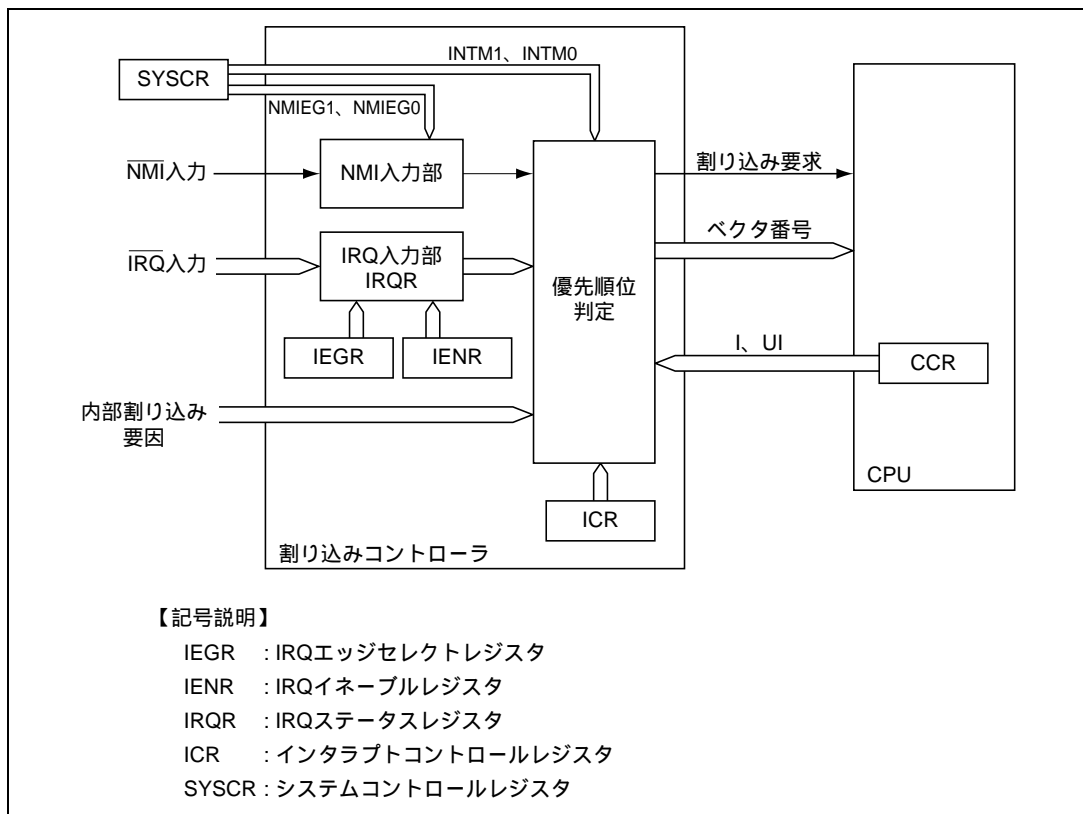


図 6.1 割り込みコントローラのブロック図

6.1.3 端子構成

割り込みコントローラの端子構成を表 6.1 に示します。

表 6.1 端子構成

名 称	略称	入出力	機 能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み。立ち下がりエッジ/立ち上がりエッジ/両エッジのいずれかを選択可能。
外部割り込み要求 0	IRQ0	入力	マスク可能な外部割り込み。立ち下がりエッジ/立ち上がりエッジ/両エッジのいずれかを選択可能。
外部割り込み要求 1~5	IRQ1~ IRQ5	入力	マスク可能な外部割り込み。立ち下がりエッジ/立ち上がりエッジのいずれかを選択可能。

6.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
システムコントロールレジスタ	SYSCR	R/W	H'00	H'FFE8
IRQ エッジセレクトレジスタ	IEGR	R/W	H'00	H'FFF0
IRQ イネーブルレジスタ	IENR	R/W	H'00	H'FFF1
IRQ ステータスレジスタ	IRQR	R/ (W) *2	H'00	H'FFF2
インタラプトコントロールレジスタ A	ICRA	R/W	H'00	H'FFF3
インタラプトコントロールレジスタ B	ICRB	R/W	H'00	H'FFF4
インタラプトコントロールレジスタ C	ICRC	R/W	H'00	H'FFF5
インタラプトコントロールレジスタ D	ICRD	R/W	H'00	H'FFF6
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFCE

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

6.2 各レジスタの説明

6.2.1 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
			INTM1	INTM0	XRST	NMIEG1	NMIEG0	
初期値:	0	0	0	0	0	0	0	0
R/W :			R/W	R/W	R	R/W	R/W	

SYSCR は、8 ビットのリード可能なレジスタで、割り込み制御の選択、 $\overline{\text{NMI}}$ の検出エッジの選択を行います。

ここでは、ビット 5、4、2、1 についてのみ説明します。その他のビットの詳細については、「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR は、リセット時に H'00 に初期化されます。

ビット 5、4：割り込み制御選択モード (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを二つのモードの中から選択します。INTM1 ビットは、1 にセットしないでください。

ビット 5	ビット 4	割り込み制御モード	説明
INTM1	INTM0		
0	0	0	I ビットで、割り込みを制御します。(初期値)
	1	1	I、UI ビットと ICR で、割り込みを制御します。
1	0	-	本 LSI では、使用できません。
	1	-	本 LSI では、使用できません。

ビット 2、1： $\overline{\text{NMI}}$ 端子検出エッジセレクト (NMIEG1、NMIEG0)

$\overline{\text{NMI}}$ 端子の検出エッジを選択します。

ビット 2	ビット 1	説明
NMIEG1	NMIEG0	
0	0	$\overline{\text{NMI}}$ 端子は立ち下がりエッジで割り込み要求を発生 (初期値)
	1	$\overline{\text{NMI}}$ 端子は立ち上がりエッジで割り込み要求を発生
1	*	$\overline{\text{NMI}}$ 端子は立ち下がり、立ち上がりの両エッジで割り込み要求を発生

【注】 * : Don't care

6.2.2 インタラプトコントロールレジスタ A ~ D (ICRA ~ ICRD)

ビット:	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICR は、8 ビットのリード/ライト可能な 4 本のレジスタで、NMI を除く割り込みの割り込みコントロールレベルの設定をします。

各割り込み要因と ICR の対応を表 6.3 に示します。

ICR は、リセット時に H'00 に初期化されます。

ビット 7~0 : 割り込みコントロールレベル (ICR7 ~ ICR0)

対応する割り込み要因のコントロールレベルを設定します。

ビット n	説明	
ICRn		
0	対応する割り込み要因はコントロールレベル 0 (非優先)	(初期値)
1	対応する割り込み要因はコントロールレベル 1 (優先)	

(n = 7 ~ 0)

表 6.3 各割り込み要因と ICR の対応

ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0
	リザーブ	インプットキャプチャ	HSW1	IRQ0	IRQ1	IRQ2 IRQ3	IRQ4 IRQ5	リザーブ
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0
	リザーブ	リザーブ	サーボ (ドラム、キャプスタンラッチ)	タイマ A	タイマ B	タイマ J	タイマ R	タイマ L
ICRC	ICRC	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0
	タイマ X1	同期検出	ウォッチドッグタイマ	サーボ	IIC	SCI1 (UART)	SCI2 (32バイトバッファ付)	A/D
ICRD	ICRD7	ICRD6	ICRD5	ICRD4	ICRD3	ICRD2	ICRD1	ICRD0
	HSW2	リザーブ	リザーブ	リザーブ	リザーブ	リザーブ	リザーブ	リザーブ

6. 割り込みコントローラ

6.2.3 IRQ イネーブルレジスタ (IENR)

ビット:	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

IENR は、8 ビットのリード/ライト可能なレジスタで、IRQ5 ~ IRQ0 割り込み要求の許可または禁止を制御します。

IENR は、リセット時に H'00 に初期化されます。

ビット 7、6 : リザーブビット

1 をライトしないでください。

ビット 5 ~ 0 : IRQ5 ~ IRQ0 イネーブル (IRQ5E ~ IRQ0E)

IRQ5 ~ IRQ0 割り込みの許可または禁止を選択します。

ビット n	説明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n = 5 ~ 0)

6.2.4 IRQ エッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
		IRQ5EG	IRQ4EG	IRQ3EG	IRQ2EG	IRQ1EG	IRQ0EG1	IRQ0EG2
初期値:	0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W

IEGR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ5}} \sim \overline{\text{IRQ0}}$ 端子の入力の検出エッジを選択します。

IEGR は、リセット時に H'00 に初期化されます。

ビット7: リザーブビット

1 をライトしないでください。

ビット6~2: $\overline{\text{IRQ5}} \sim \overline{\text{IRQ1}}$ 端子検出エッジ選択 (IRQ5EG ~ IRQ1EG)

IRQ5 ~ IRQ1 の検出エッジを選択します。

ビット6~2	説明
IRQnEG	
0	$\overline{\text{IRQn}}$ 端子は立ち下がりエッジで割り込み要求を発生 (初期値)
1	$\overline{\text{IRQn}}$ 端子は立ち上がりエッジで割り込み要求を発生

(n=5~1)

ビット1, 0: $\overline{\text{IRQ0}}$ 端子検出エッジ選択 (IRQ0EG1, IRQ0EG0)

IRQ0 の検出エッジを選択します。

ビット1	ビット0	説明
IRQ0EG1	IRQ0EG0	
0	0	$\overline{\text{IRQ0}}$ 端子は立ち下がりエッジで割り込み要求を発生 (初期値)
0	1	$\overline{\text{IRQ0}}$ 端子は立ち上がりエッジで割り込み要求を発生
1	*	$\overline{\text{IRQ0}}$ 端子は立ち下がり、立ち上がりの両エッジで割り込み要求を発生

【注】 * : Don't care

6. 割り込みコントローラ

6.2.5 IRQ ステータスレジスタ (IRQR)

ビット:	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W:			R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

IRQR は、8 ビットのリード/ライト可能なレジスタで、IRQ5 ~ IRQ0 割り込み要求のステータス表示を行います。

IRQR は、リセット時に H'00 に初期化されます。

ビット7、6: リザーブビット

1 をライトしないでください。

ビット5~0: IRQ5 ~ IRQ0 フラグ

IRQ5 ~ IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	[クリア条件] (初期値) IRQnF = 1 をリードした後、0 をライトしたとき IRQn 割り込み例外処理を実行したとき
1	[セット条件] (1) 立ち下がりエッジ検出設定時 (IRQnEG = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき (2) 立ち上がりエッジ検出設定時 (IRQnEG = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき (3) 両エッジ検出設定時 (IRQ0EG1 = 1) の状態で $\overline{\text{IRQ0}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき

(n = 5 ~ 0)

6.2.6 ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	PMR17	PMR16	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 1 (PMR1) は、ポート 1 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR1 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR1 は H'00 に初期化されます。

ここでは、ビット 5~0 についてのみ説明します。詳細は、「第 11 章 I/O ポート」を参照してください。

ビット 5~0 : P15/ $\overline{IRQ5}$ ~ P10/ $\overline{IRQ0}$ 端子切り替え (PMR15 ~ PMR10)

P1n/ \overline{IRQn} 端子を P1n 入出力端子として使用するか、外部割り込み要求入力の \overline{IRQn} 端子として使用するかを設定します。

ビット n	説明
PMR1n	
0	P1n/ \overline{IRQn} 端子は、P1n 入出力端子として機能 (初期値)
1	P1n/ \overline{IRQn} 端子は、 \overline{IRQn} 入力端子として機能

(n=5~0)

PMR1 により端子機能を切り替える場合の注意点を示します。

- (1) PMR1 により、ポート 1 を \overline{IC} 入力端子、 $\overline{IRQ5}$ ~ $\overline{IRQ0}$ 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。
- (2) PMR1 により、P16/ \overline{IC} 、P15/ $\overline{IRQ5}$ ~ P10/ $\overline{IRQ0}$ の端子機能を切り替えると、端子の信号の状態によってはエッジ検出と誤認し、検出信号が発生することがあります。これを防止するために、次の手順で操作を行ってください。
 - (a) 端子機能を切り替える前に、割り込み許可フラグを割り込み禁止にしてください。
 - (b) 端子機能を切り替えた後、一命令おいて当該割り込み要求フラグを 0 にクリアしてください。

(プログラム例)

```

:
MOV.B R0L,@IENR .....   割り込み禁止
MOV.B R1L,@PMR1 .....   端子機能変更
NOP .....               任意の一命令
BCLR m @IRQR .....      当該割り込みクリア
MOV.B R1L,@IENR .....   割り込み許可
:

```

6.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ5～IRQ0）と内部割り込みがあります。

6.3.1 外部割り込み

外部割り込みには、NMI、IRQ5～IRQ0の7要因があります。NMI、IRQ1～IRQ0はスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMIは、最優先の割り込みで、割り込み制御モードや、CPUの割り込みマスクビットの状態にかかわらず、常に受け付けられます。NMI端子の立ち下がりエッジ、立ち上がりエッジ、または立ち上がり立ち下がり両エッジのいずれで割り込みを要求するか、SYSCRのNMIEG1、NMIEG0ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は7です。

(2) IRQ5～IRQ0 割り込み

IRQ5～IRQ0割り込みは、 $\overline{\text{IRQ5}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ5～IRQ0割り込みには次の特長があります。

- (a) $\overline{\text{IRQ0}}$ 端子の立ち下がりエッジ、立ち上がりエッジ、または両エッジのいずれかで割り込みを要求するか、IEGRで選択できます。
- (b) $\overline{\text{IRQ5}} \sim \overline{\text{IRQ1}}$ 端子の立ち下がりエッジ、または立ち上がりエッジのいずれで割り込みを要求するか、IEGRで選択できます。
- (c) IRQ5～IRQ0割り込み要求を許可するか禁止をするかを、IENRで選択できます。
- (d) ICRにより割り込みコントロールレベルを設定できます。
- (e) IRQ5～IRQ0割り込み要求のステータスは、IRQRに表示されます。IRQRのフラグはソフトウェアで0にクリアすることができます。

IRQ5～IRQ0割り込みのブロック図を図6.2に示します。

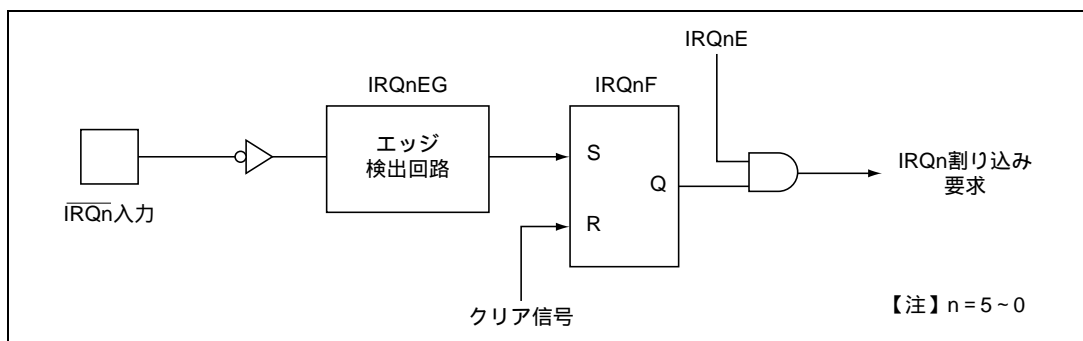


図 6.2 IRQ5～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 6.3 に示します。

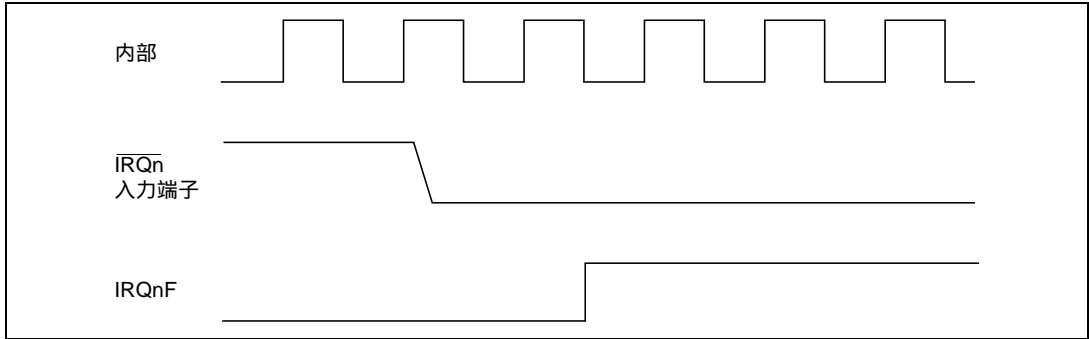


図 6.3 IRQnF のセットタイミング

IRQ5 ~ IRQ0 割り込み例外処理のベクタ番号は、21 ~ 26 です。

IRQ5 ~ IRQ0 割り込みの検出は、当該の端子をポートモードレジスタ 1 (PMR1) で $\overline{\text{IRQn}}$ 端子にします。

6. 割り込みコントローラ

6.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには、38 要因があります。


- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも1にセットされると、割り込み要求がコントローラに要求されます。
- (2) ICRによって割り込みコントロールレベルを設定できます。

6.3.3 割り込み例外処理ベクタテーブル

表 6.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。モジュール間の優先順位は、ICRにより、設定することができます。二つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 6.4 のとおり固定です。

表 6.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

優先順位	例外要因	要因発生元	ベクタ番号	ベクタアドレス	ICR	備考
↑ 高	リセット	外部端子	0	H'0000 ~ H'0003	-	
	リザーブ	-	1	H'0004 ~ H'0007	-	
		-	2	H'0008 ~ H'000B	-	
		-	3	H'000C ~ H'000F	-	
		-	4	H'0010 ~ H'0013	-	
		-	5	H'0014 ~ H'0017	-	
	直接遷移	命令	6	H'0018 ~ H'001B	-	
	NMI	外部端子	7	H'001C ~ H'001F	-	
	トラップ命令 TRAPA #0 TRAPA #1 TRAPA #2 TRAPA #3	命令	8	H'0020 ~ H'0023	-	
			9	H'0024 ~ H'0027	-	
			10	H'0028 ~ H'002B	-	
			11	H'002C ~ H'002F	-	
	リザーブ	-	12	H'0030 ~ H'0033	-	
			13	H'0034 ~ H'0037	-	
			14	H'0038 ~ H'003B	-	
			15	H'003C ~ H'003F	-	
	アドレストラップ #0 #1 #2	ATC	16	H'0040 ~ H'0043	-	
			17	H'0044 ~ H'0047	-	
			18	H'0048 ~ H'004B	-	
	IC	PSU	19	H'004C ~ H'004F	ICRA6	
	HSW1	サーボ回路	20	H'0050 ~ H'0053	ICRA5	
	IRQ0	外部端子	21	H'0054 ~ H'0057	ICRA4	
	IRQ1		22	H'0058 ~ H'005B	ICRA3	
	IRQ2		23	H'005C ~ H'005F	ICRA2	
	IRQ3		24	H'0060 ~ H'0063	ICRA1	
	IRQ4		25	H'0064 ~ H'0067		
IRQ5	26		H'0068 ~ H'006B			
低						

優先順位	例外要因	要因発生元	ベクタ番号	ベクタアドレス	ICR	備考	
高 	リザーブ	-	27	H'006C ~ H'006F	-		
			28	H'0070 ~ H'0073			
			29	H'0074 ~ H'0077			
			30	H'0078 ~ H'007B			
			31	H'007C ~ H'007F			
			32	H'0080 ~ H'0083			
			33	H'0084 ~ H'0087			
	ドラムラッチ 1 (速度)	サーボ回路	34	H'0088 ~ H'008B	ICRB5		
	キャプスタンラッチ 1 (速度)		35	H'008C ~ H'008F			
	TMAI	タイマ A	36	H'0090 ~ H'0093	ICRB4		
	TMBI	タイマ B	37	H'0094 ~ H'0097	ICRB3		
	TMJ1I	タイマ J	38	H'0098 ~ H'009B	ICRB2		
	TMJ2I		39	H'009C ~ H'009F			
	TMR1I	タイマ R	40	H'00A0 ~ H'00A3	ICRB1		
	TMR2I		41	H'00A4 ~ H'00A7			
	TMR3I		42	H'00A8 ~ H'00AB			
	TMLI	タイマ L	43	H'00AC ~ H'00AF	ICRB0		
	ICXA	タイマ X1	44	H'00B0 ~ H'00B3	ICRC7		
			ICXB	45		H'00B4 ~ H'00B7	
			ICXC	46		H'00B8 ~ H'00BB	
			ICXD	47		H'00BC ~ H'00BF	
			OCX1	48		H'00C0 ~ H'00C3	
			OCX2	49		H'00C4 ~ H'00C7	
			OVFX	50		H'00C8 ~ H'00CB	
	VD 割り込み	同期信号検出	51	H'00CC ~ H'00CF	ICRC6		
	リザーブ	-	52	H'00D0 ~ H'00D3			
	8bit インターバルタイマ	ウォッチドッグタイマ	53	H'00D4 ~ H'00D7	ICRC5		
	CTL	サーボ回路	54	H'00D8 ~ H'00DB	ICRC4		
	ドラムラッチ 2 (速度)		55	H'00DC ~ H'00DF			
	キャプスタンラッチ 2 (速度)		56	H'00E0 ~ H'00E3			
	ドラムラッチ 3 (位相)		57	H'00E4 ~ H'00E7			
	キャプスタンラッチ 3 (位相)		58	H'00E8 ~ H'00EB			
	IIC	IIC	59	H'00EC ~ H'00EF	ICRC3		
SCI1 ERI RXI TXI TEI	SCI1(UART)	60	H'00F0 ~ H'00F3	ICRC2			
		61	H'00F4 ~ H'00F7				
		62	H'00F8 ~ H'00FB				
		63	H'00FC ~ H'00FF				
SCI2 TEI ABTI	SCI2	64	H'0100 ~ H'0103	ICRC1			
65	H'0104 ~ H'0107						
A/D 変換終了	A/D	66	H'0108 ~ H'010B	ICRC0			
HSW2	サーボ回路	67	H'010C ~ H'010F	ICRD7			
低							

6.4 割り込み動作

6.4.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込み、アドレストラップ割り込みはリセット状態を除き常に受けられます。IRQ 割り込みおよび内部周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 6.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、ICR による割り込み優先順位の設定、および、CPU の CCR の I、UI ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 6.5 割り込み制御モード

割り込み 制御モード	SYSCR		優先順位 設定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	I ビットにより、割り込みマスク制御を行います。 ICR により、優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより、3 レベルの割り込みマスク制御を行います。 ICR により、優先順位の設定ができます。

図 6.4 に優先順位判定回路のブロックを示します。

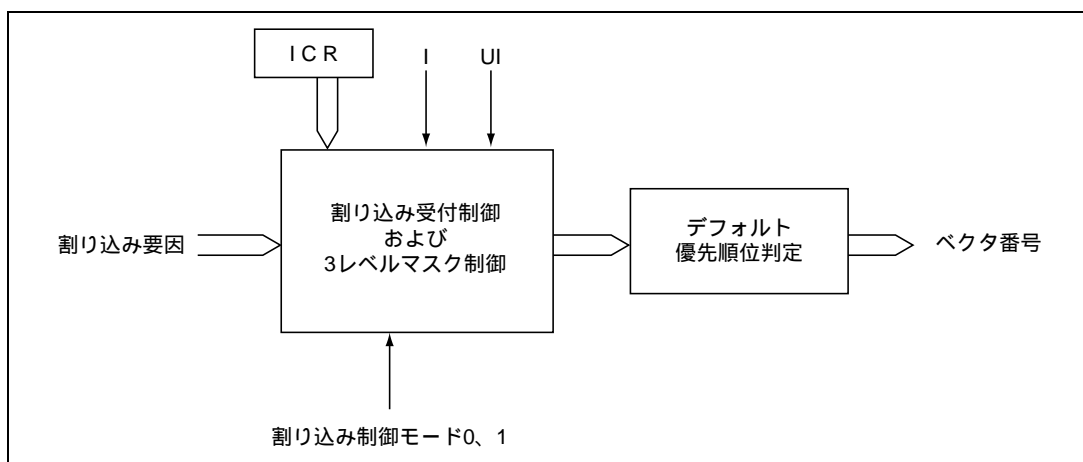


図 6.4 割り込み優先順位判定回路のブロック図

(1) 割り込み受け付け制御および3レベル制御

割り込み制御モード0、1のとき、CCRのI、UIビット、およびICR（コントロールレベル）により割り込み受け付け制御、3レベルのマスク制御を行います。

表6.6に割り込み制御モードと選択可能な割り込みについて示します。

表6.6 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み（コントロールレベル1を優先）
	1	*	NMI割り込み、アドレストラップ割り込み
1	0	*	すべての割り込み（コントロールレベル1を優先）
	1	0	NMI、アドレストラップ割り込みおよびコントロールレベル1の割り込み
		1	

【注】 * : Don't care

(2) デフォルト優先順位判定

ICRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位を持った割り込み要因は保留されます。

表6.7に割り込み制御モード動作および制御信号機能を示します。

表6.7 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御、3レベル制御			デフォルト優先順位判定
	INTM1	INTM0	I	UI	ICR	
0	0	0	IM	-	PR	
1		1	IM	IM	PR	

【記号説明】

: 割り込み動作制御を行います。

IM : 割り込みマスクビットとして使用。

PR : 優先順位を設定。

- : 使用しません。

6.4.2 割り込み制御モード 0

IRQ 割り込み、および内部周辺モジュールの割り込みは、CPU の CCR の I ビット、および ICR によって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。コントロールレベル 1 の割り込み要因の優先順位は高くなります。この場合の割り込み受け付けの動作フローチャートを図 6.5 に示します。

- (1) 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、ICR に設定された割り込みコントロールレベルに従ってコントロールレベル 1 の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルの設定が同一の割り込み要求が、同時に発生したときは、表 6.4 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) I ビットを参照します。I ビットが 0 にクリアされているときには、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込み、アドレストラップ割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次に CCR の I ビットが 1 にセットされます。これにより、NMI、アドレストラップ割り込みを除く割り込みはマスクされます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

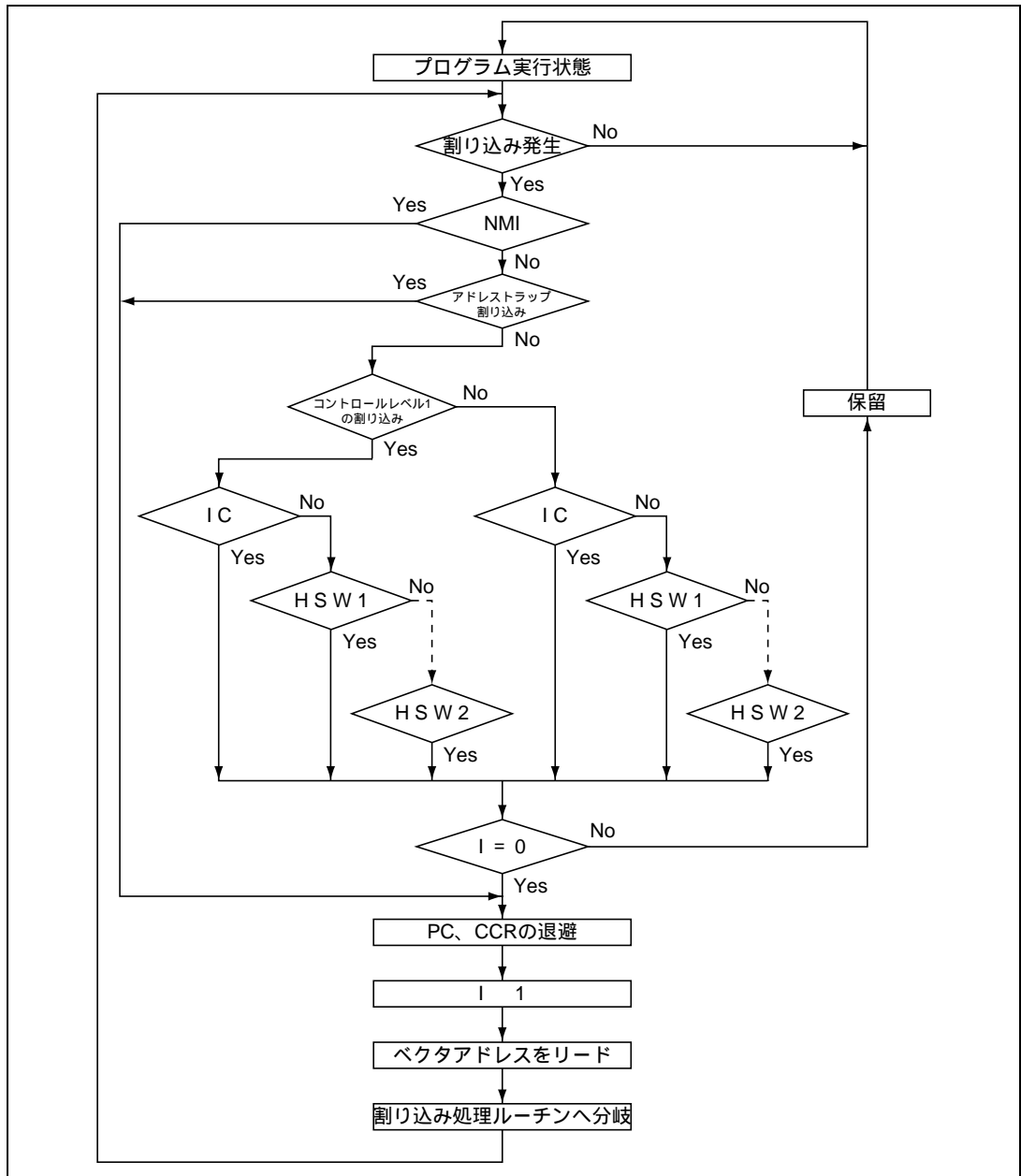


図 6.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

6.4.3 割り込み制御モード 1

IRQ 割り込み、および内部周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICRA によって、3 レベルのマスケベルを実現できます。

- (1) コントロールレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (2) コントロールレベル1の割り込み要求は、IビットまたはUIビットが0クリアされているとき許可状態、IビットおよびUIビットがいずれも1にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、ICRA ~ ICRD をそれぞれ H'04、H'00、H'00、H'00 に設定した場合（IRQ2 割り込みをコントロールレベル1に、その他の割り込みをコントロールレベル0に設定した場合）、次のようになります。

- (1) I=0のとき、すべての割り込みを許可
（優先順位：NMI > IRQ2 > IC > HSW1 > ...）
- (2) I=1、UI=0のとき、NMI、アドレストラップ、IRQ2の割り込みのみを許可
- (3) I=1、UI=1のとき、NMI、アドレストラップの割り込みのみを許可

また、このときの状態遷移を図 6.6 に示します。

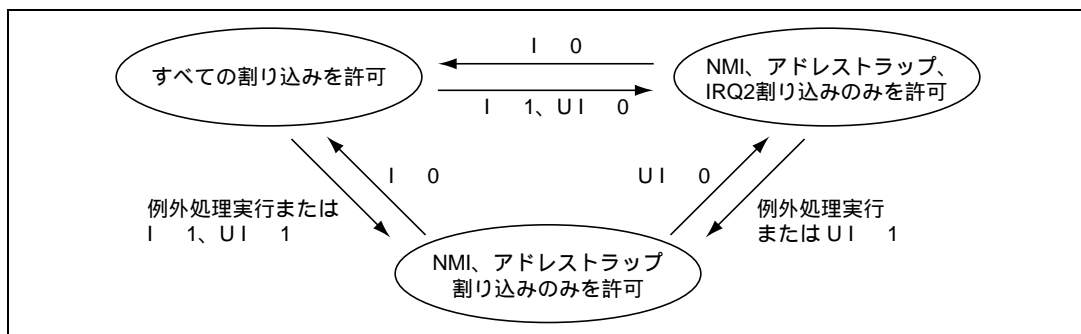


図 6.6 割り込み制御モード 1 の状態遷移例

このときの割り込み受け付けの動作フローチャートを図 6.7 に示します。

- (1) 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、ICRに設定された割り込みコントロールレベルに従ってコントロールレベル1の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルの設定が同一の割り込み要求が、同時に発生したときは、表6.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) Iビットを参照します。Iビットが0にクリアされているときは、UIビットの影響を受けません。割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けられます。Iビットが1にセットされているときは、NMI割り込み、アドレストラップ割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
割り込みコントロールレベル1の割り込み要求は、割り込みコントロールレベル0の割り込み要求よりも優先的に受け付けられ、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けられます。I、UIビットがいずれも1にセットされているときは、NMI割り込み、アドレストラップ割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次にCCRのI、UIビットが1にセットされます。これにより、NMI、アドレストラップ割り込みを除く割り込みはマスクされます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

6. 割り込みコントローラ

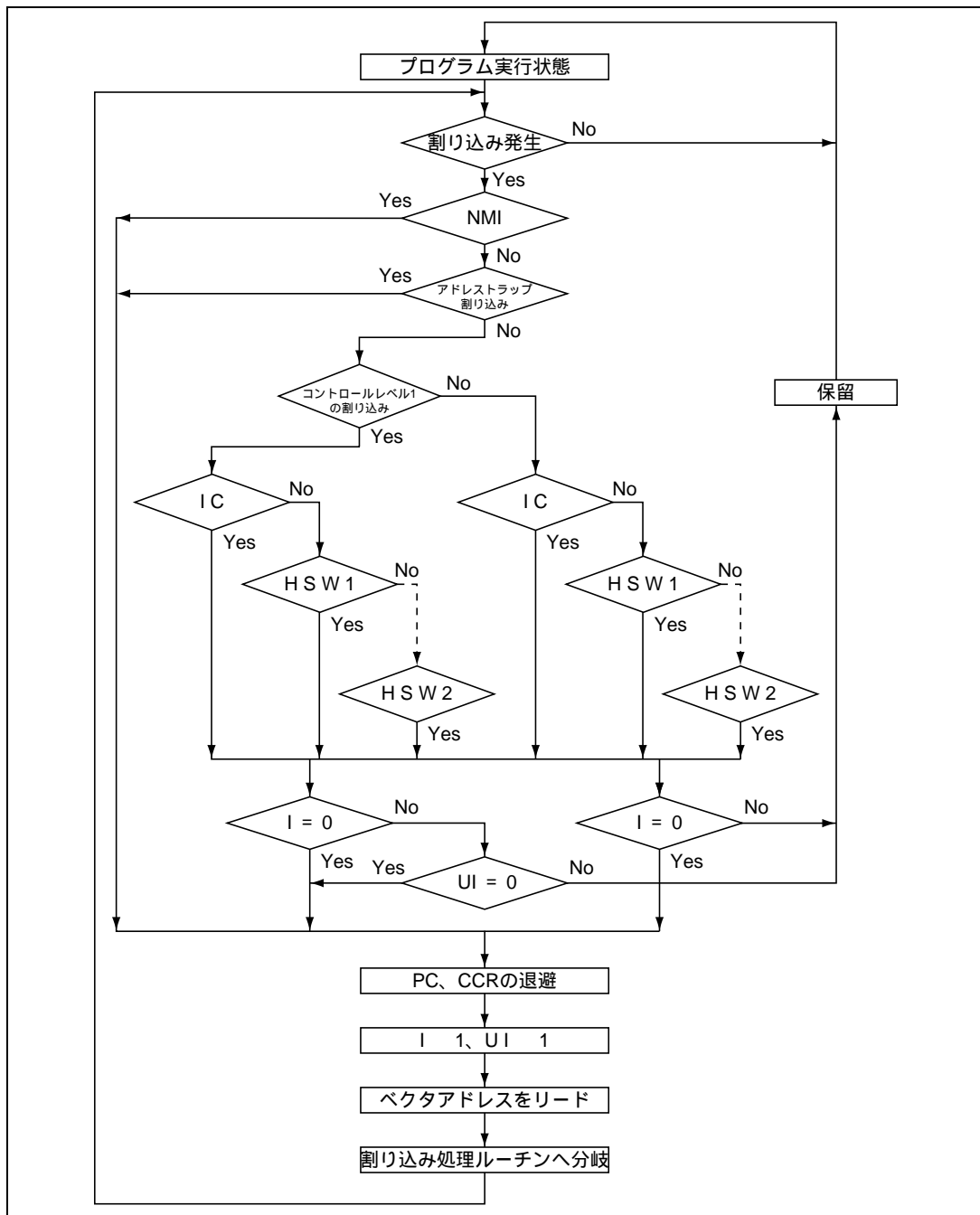


図 6.7 割り込み制御モード 1 の割り込み受け付けまでのフロー

6.4.4 割り込み例外処理シーケンス

図 6.8 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

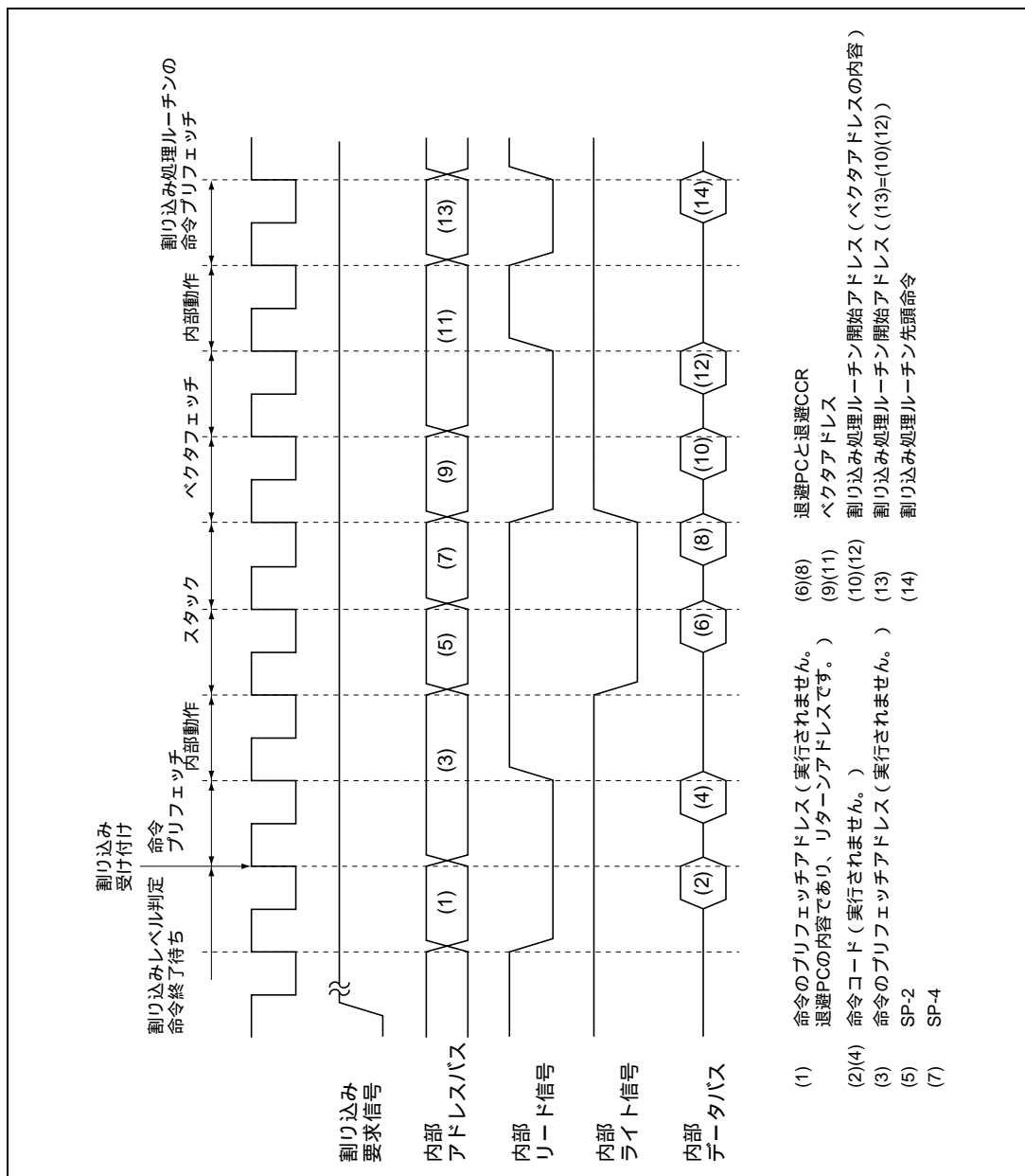


図 6.8 割り込み例外処理

6. 割り込みコントローラ

6.4.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 6.8 に示します。表 6.8 の実行状態の記号については、表 6.9 を参照してください。

表 6.8 割り込み応答時間

	実行状態	アドバンスモード
1	割り込み優先順位* ¹	3
2	実行中の命令が終了するまでの待ち状態数* ²	$1 \sim 19 + 2 \cdot S_l$
3	PC、CCR のスタック	$2 \cdot S_k$
4	ベクタフェッチ	$2 \cdot S_l$
5	命令フェッチ* ³	$2 \cdot S_l$
6	内部処理* ⁴	2
合計 (内蔵メモリ使用時)		12 ~ 32

【注】 *1 内部割り込みの場合、2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 6.9 割り込み例外処理の実行状態のステート数

記号	アクセス対象
	内部メモリ
命令フェッチ SI	1
分岐アドレスリード SJ	
スタック操作 SK	

6.5 使用上の注意

6.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令、等で割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後に、その割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には、優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

タイマ X1 の TIER の OCIAE ビットを0にクリアする場合の例を図 6.9 に示します。

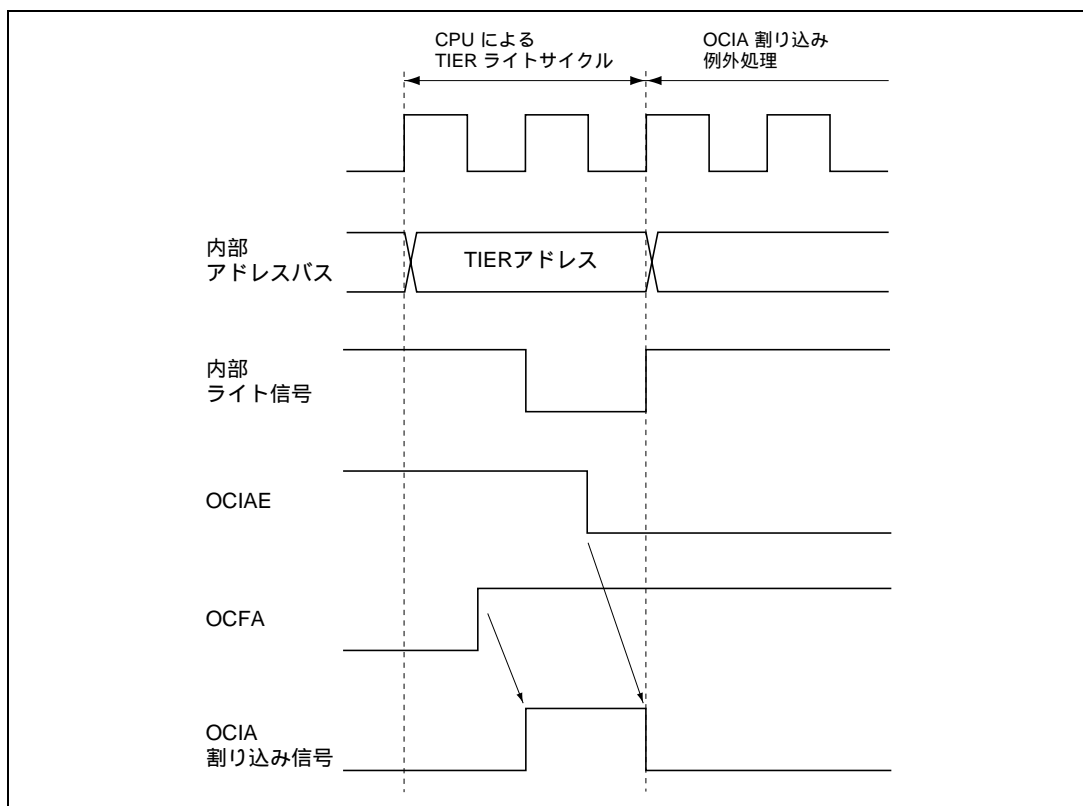


図 6.9 割り込み発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

6.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により、I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

6.5.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1 : EEPMOV.W  
  
MOV.W          R4, R4  
BNE            L1
```

6.5.4 NMI を使用しない場合

NMI を使用しない場合は、 $\overline{\text{NMI}}$ 端子の入力を High レベルまたは Low レベルに必ず固定してください。また、NMI ベクタアドレス (H'00001C ~ H'00001F) へ NMI 割り込み例外処理アドレスの設定、およびその例外処理アドレスへ RTE 命令の設定を推奨します。

(プログラム例)

```
.ORG          H'00001C  
.DATA.L      NMI
```

```
NMI : RTE
```

7. ROM (H8S/2194 グループ)

7.1 概要

H8S/2194 は 128k バイト、H8S/2193 は 112k バイト、H8S/2192 は 96k バイト、H8S/2191 は 80k バイトの ROM (フラッシュメモリまたはマスク ROM) を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

H8S/2194 のフラッシュメモリ版は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

7.1.1 ブロック図

ROM のブロック図を図 7.1 に示します。

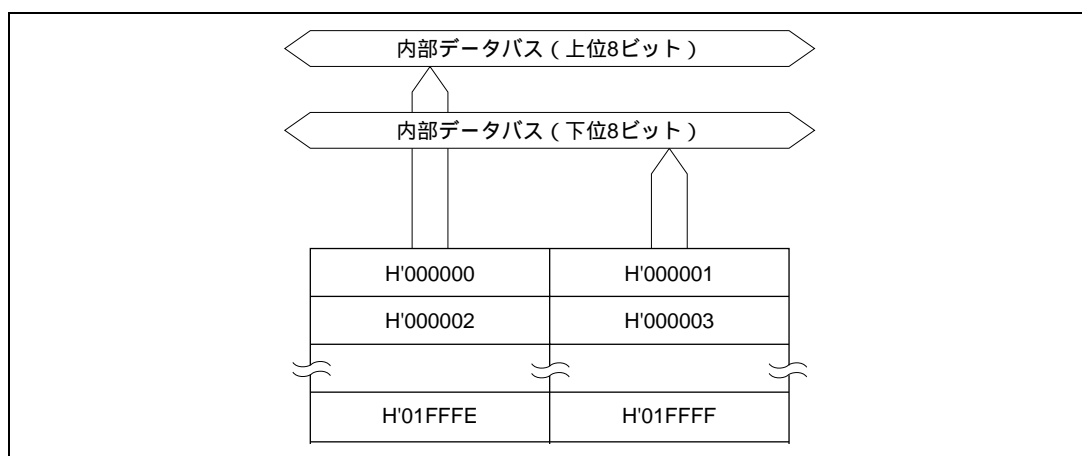


図 7.1 ROM のブロック図 (H8S/2194 の場合)

7.2 フラッシュメモリの概要

7.2.1 特長

フラッシュメモリの特長を以下に示します。

- フラッシュメモリの4種類の動作モード
 - プログラムモード
 - イレースモード
 - プログラムベリファイモード
 - イレースベリファイモード
- 書き込み/消去方式
書き込みは32バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。全面消去を行う場合は、各ブロック単位で順次消去を行ってください。ブロック分割消去では、1kバイト、28kバイト、16kバイト、8kバイト、32kバイトのブロック単位で任意に設定することができます。
- 書き込み/消去時間
フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300 μ s (typ.)、消去時間は、ブロックあたり100ms (typ.)です。
- 書き換え回数
フラッシュメモリの書き換えは、100回まで可能です。
- オンボードプログラミングモード
オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。
 - ブートモード
 - ユーザプログラムモード
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合せることができます。
- プロテクトモード
ハードウェアプロテクトモード、ソフトウェアプロテクトモードとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。
- ライタモード
フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にPROMライタを用いたライタモードがあります。

7.2.2 ブロック図

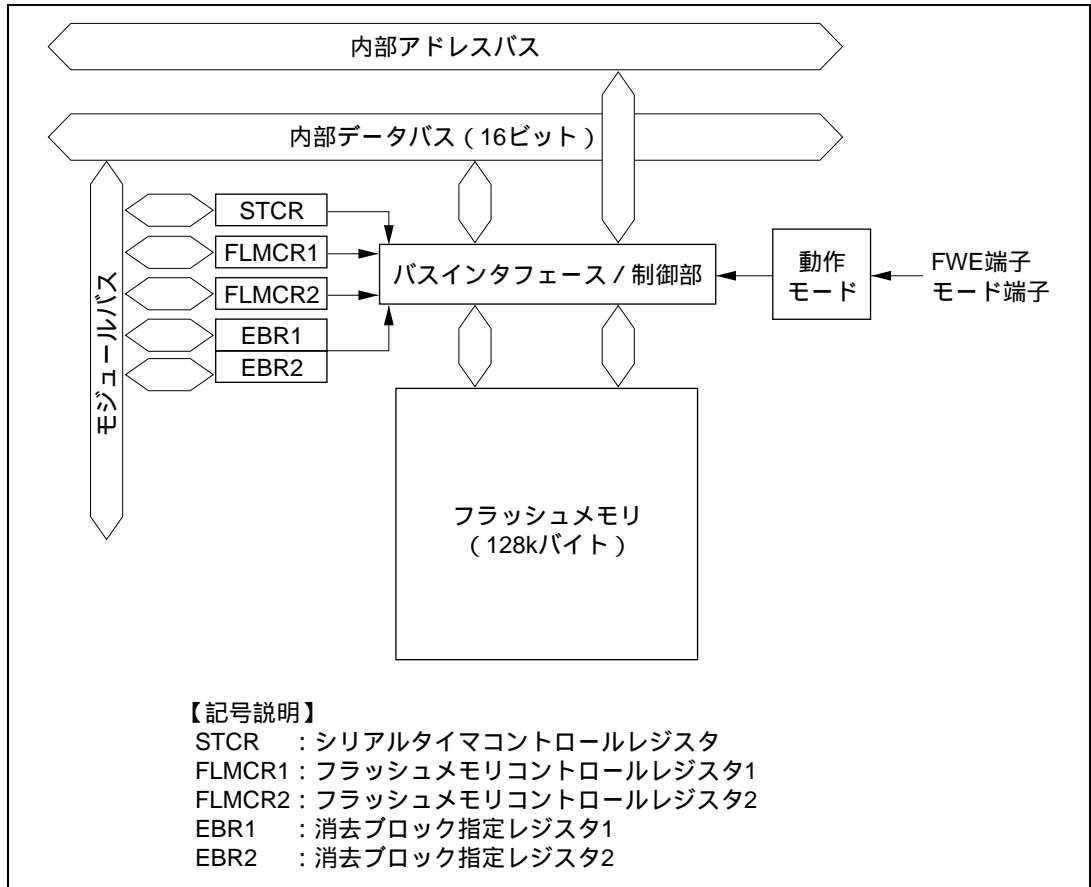


図 7.2 フラッシュメモリのブロック図

7.2.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子と FWE 端子を設定し、リセットスタートすると、マイコンは図 7.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

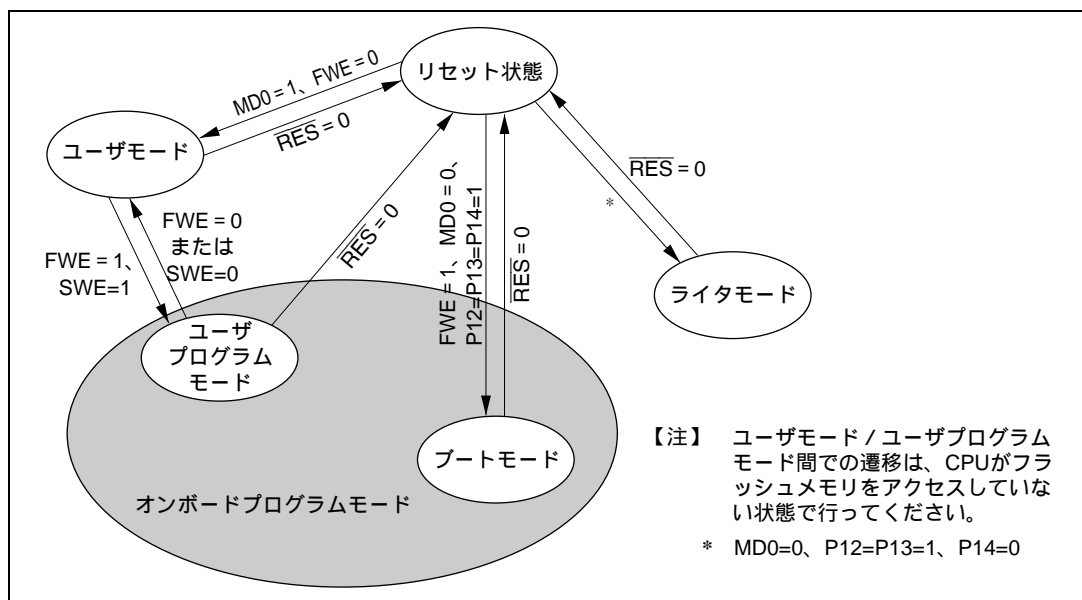
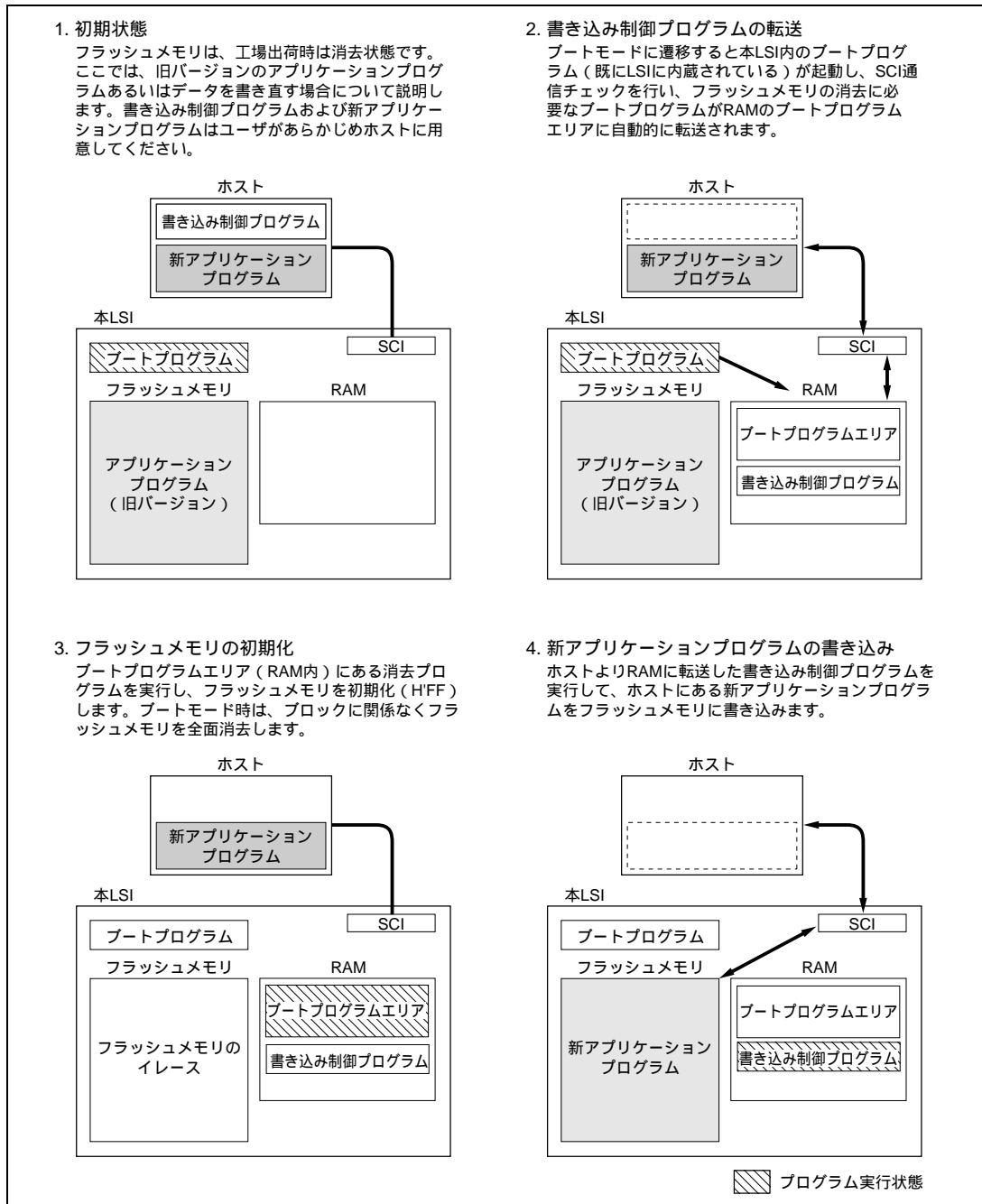


図 7.3 フラッシュメモリに関する状態遷移

(2) オンボードプログラムモード

(a) ブートモード



7. ROM (H8S/2194 グループ)

(b) ユーザプログラムモード

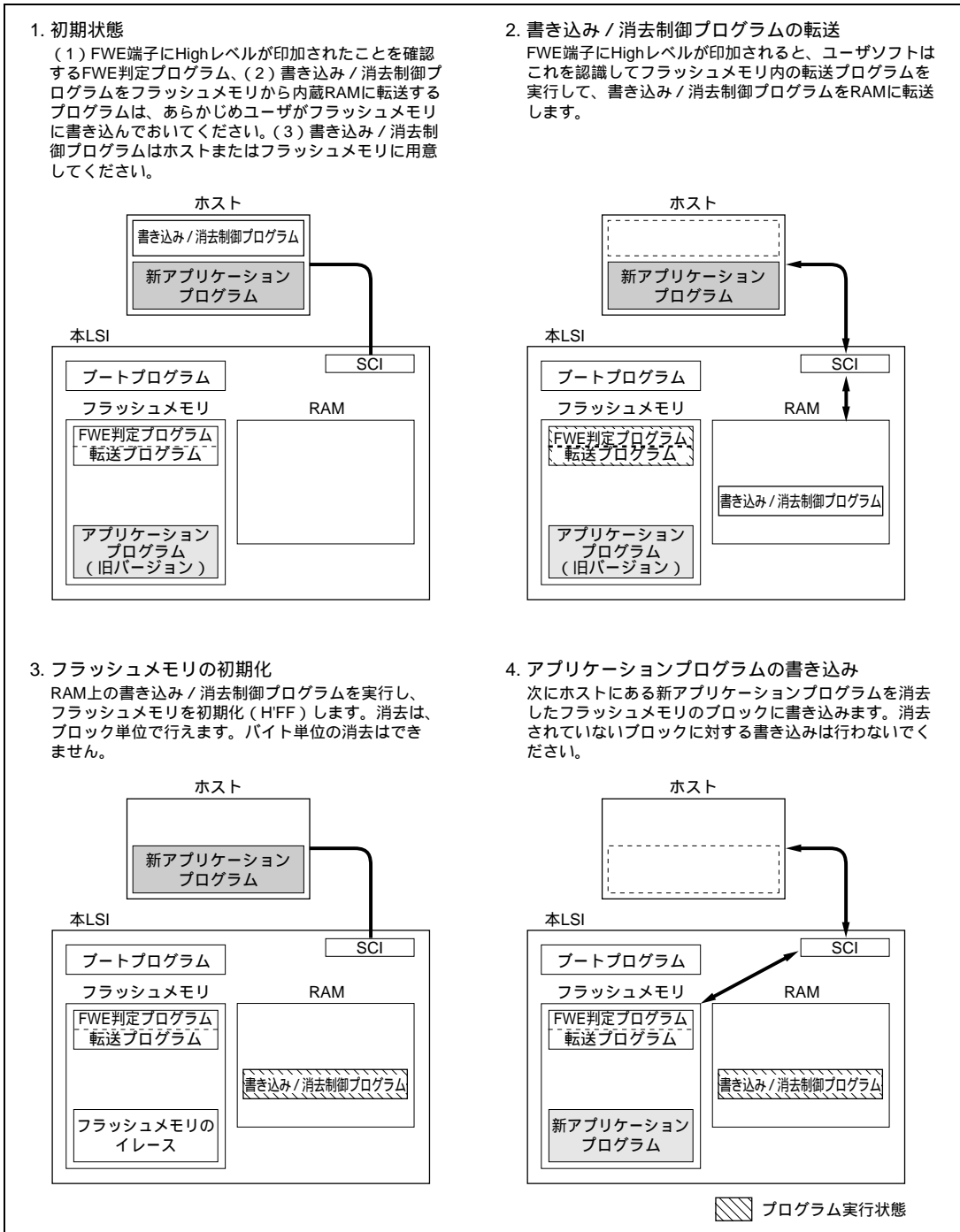


図 7.5 ユーザプログラムモード (例)

(3) ブートモードとユーザプログラムモードの相違点

表 7.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

(4) ブロック分割法

32k バイト (2 ブロック)、8k バイト (2 ブロック)、16k バイト (1 ブロック)、28k バイト (1 ブロック)、1k バイト (4 ブロック) に分割されています。

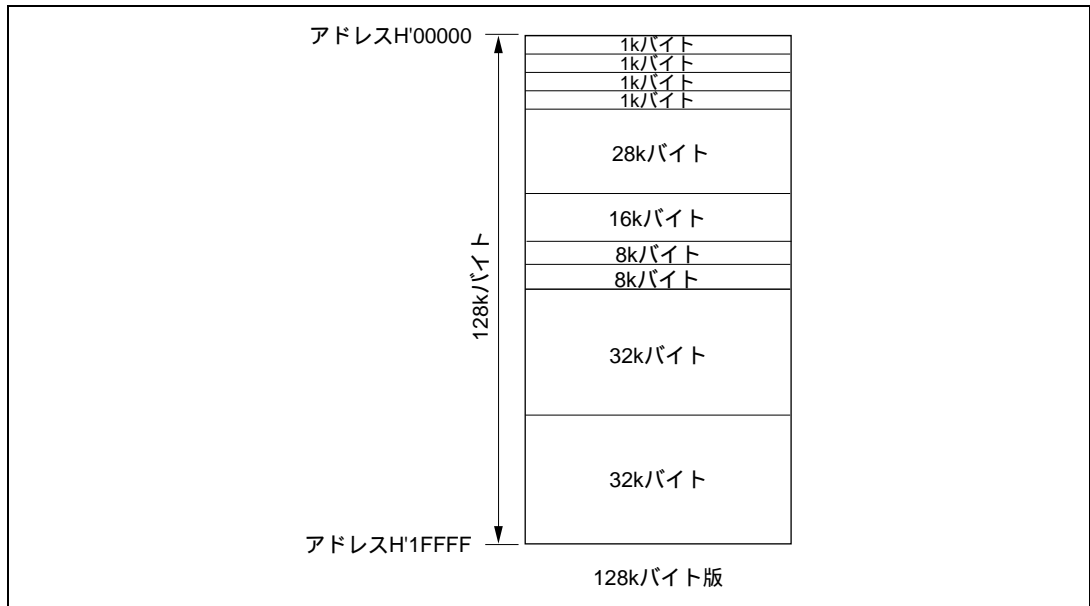


図 7.6 フラッシュメモリのブロック分割

7. ROM (H8S/2194 グループ)

7.2.4 端子構成

フラッシュメモリは表 7.2 に示す端子により制御されます。

表 7.2 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 12	P12	入力	MD0=0 の場合に、本 LSI の動作モードを設定
ポート 13	P13	入力	MD0=0 の場合に、本 LSI の動作モードを設定
ポート 14	P14	入力	MD0=0 の場合に、本 LSI の動作モードを設定
トランスミットデータ	SO1	出力	シリアル送信データ出力
レシーブデータ	SI1	入力	シリアル受信データ入力

7.2.5 レジスタ構成

フラッシュメモリをコントロールするレジスタを表 7.3 に示します。本レジスタをアクセスするためには、STCR の FLSHE ビットを 1 にセットする必要があります。

表 7.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*5	R/W*2	H'00*3	H'FFF8
フラッシュメモリコントロールレジスタ 2	FLMCR 2 *5	R/W*2	H'00*4	H'FFF9
消去ブロック指定レジスタ 1	EBR1*5	R/W*2	H'00*4	H'FFFA
消去ブロック指定レジスタ 2	EBR2*5	R/W*2	H'00*4	H'FFFB
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFEE

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 FLMCR1 の FWE ビットがセット (FWE=1) されていないときはライトは無効です。
*3 FWE 端子に High レベルが入力されているときの初期値は H'80 です。
*4 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。
*5 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。

7.3 フラッシュメモリのレジスタの説明

7.3.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE			EV	PV	E	P
初期値 :	*	0	0	0	0	0	0	0
R/W :	R	R/W			R/W	R/W	R/W	R/W

【注】 * FWE端子の状態により決定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FWE=1 のとき SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード、イレースベリファイモードに遷移します。プログラムモードへ遷移するには、FWE=1 のとき SWE=1 にし、FLMCR2 の PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、FWE=1 のとき SWE=1 にし、FLMCR2 の ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、低消費電力モード(中速モード、モジュールストップ、スリープモードを除く)、FWE 端子に Low レベルが入力されているときは初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。

また、FLMCR1 の SWE へのライトは FWE=1 のとき、EV、PV ビットへのライトは FWE=1、SWE=1 のとき、E ビットへのライトは FWE=1、SWE=1、ESU=1 のとき、P ビットへのライトは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット7: フラッシュライトイネーブル (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトするビットです。

ビット7	説明
FWE	
0	FWE 端子に Low レベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子に High レベルが入力されているとき

ビット6: ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込みの有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB9~EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE=1 のとき

ビット5~4: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

7. ROM (H8S/2194 グループ)

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

7.3.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット :	7	6	5	4	3	2	1	0
	FLER						ESU	PSU
初期値 :	0	0	0	0	0	0	0	0
R/W :	R						R/W	R/W

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無のモニタと、フラッシュメモリのプログラム / イレースモードへのセットアップを行う 8 ビットのレジスタです。FLMCR2 は、リセットで H'00 に初期化されます。また、ESU ビット、PSU ビットは、低消費電力モード (中速モード、モジュールストップ、スリープモードを除く)、ハードウェアプロテクトモードおよびソフトウェアプロテクトモードでも 0 にクリアされます。

ビット 7 : フラッシュメモリエラー (FLER)

フラッシュメモリ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット 7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「7.6.3 エラープロテクト」参照

ビット 6~2 : リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 1 : イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです。FLMCR1 の E ビットを 1 にセットする前に 1 にセットしてください。(SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)

ビット 1	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

7. ROM (H8S/2194 グループ)

ビット0：プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです。FLMCRI の P ビットを 1 にセットする前に 1 にセットしてください。(SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)

ビット0	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

7.3.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

ビット :	7	6	5	4	3	2	1	0
EBR1							EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :							R/W	R/W
ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR1 のビット 1~0 (128k バイト版のみ)、EBR2 のビット 7~0 について R/W 可能です。EBR1、EBR2 は、リセット、低消費電力モード (中速モード、モジュールストップ、スリープモードを除く)、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE ビットが設定されていないときは、それぞれ H'00 に初期化されます。EBR1、EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1、EBR2 は 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。フラッシュメモリのブロック分割方法は、表 7.4 を参照してください。

表 7.4 消去ブロックの分割

ブロック (サイズ)	アドレス
128k バイト版	
EB0 (1k バイト)	H'000000 ~ H'0003FF
EB1 (1k バイト)	H'000400 ~ H'0007FF
EB2 (1k バイト)	H'000800 ~ H'000BFF
EB3 (1k バイト)	H'000C00 ~ H'000FFF
EB4 (28k バイト)	H'001000 ~ H'007FFF
EB5 (16k バイト)	H'008000 ~ H'00BFFF
EB6 (8k バイト)	H'00C000 ~ H'00DFFF
EB7 (8k バイト)	H'00E000 ~ H'00FFFF
EB8 (32k バイト)	H'010000 ~ H'017FFF
EB9 (32k バイト)	H'018000 ~ H'01FFFF

7.3.4 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
		IICX	IICRST		FLSHE			
初期値 :	0	0	0	0	0	0	0	0
R/W :		R/W	R/W		R/W			

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、I²C バスインタフェースの動作モードの制御、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、I²C バスインタフェースの入力クロックの選択を行います。内蔵フラッシュメモリ以外の詳細は、「25.2.7 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセット時に H'00 に初期化されます。

ビット 6、5 : I²C コントロール (IICX、IICRST)

I²C バスインタフェースの動作を制御するビットです。詳しくは「第 25 章 I²C バスインタフェース (IIC)」を参照してください。

ビット 3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット 3	説 明	
FLSHE		
0	フラッシュメモリの制御レジスタは非選択状態	(初期値)
1	フラッシュメモリの制御レジスタは選択状態	

ビット 7、4、2~0 : リザーブビット

7.4 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法は、表 7.5 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図を図 7.3 に示します。

表 7.5 オンボードプログラミングモードの設定方法

モード モード名	端子				
	FWE	MD0	P12	P13	P14
ブートモード	1	0	1* ²	1* ²	1* ²
ユーザプログラムモード	1* ¹	1	-	-	-

【注】 *1 ユーザプログラムモードでは常時 FWE 端子を 1 に設定しないでください。書き込み/消去/ベリファイを行う前に 1 を設定し、ユーザプログラムモードに遷移してください。

*2 ブートモード起動後は I/O ポートとして使用できません。

7.4.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 7.7 にブートモード時のシステム構成図、図 7.8 にブートモード実行手順を示します。

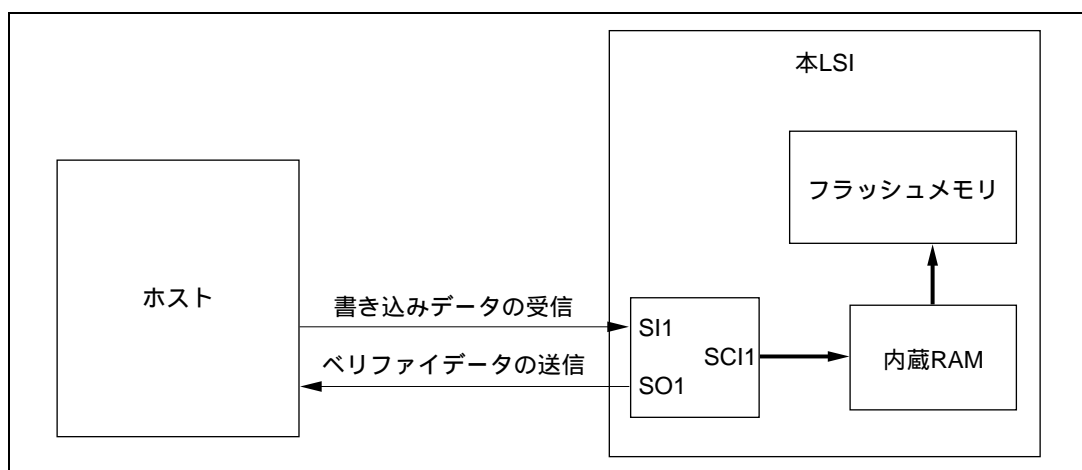


図 7.7 ブートモード時のシステム構成図

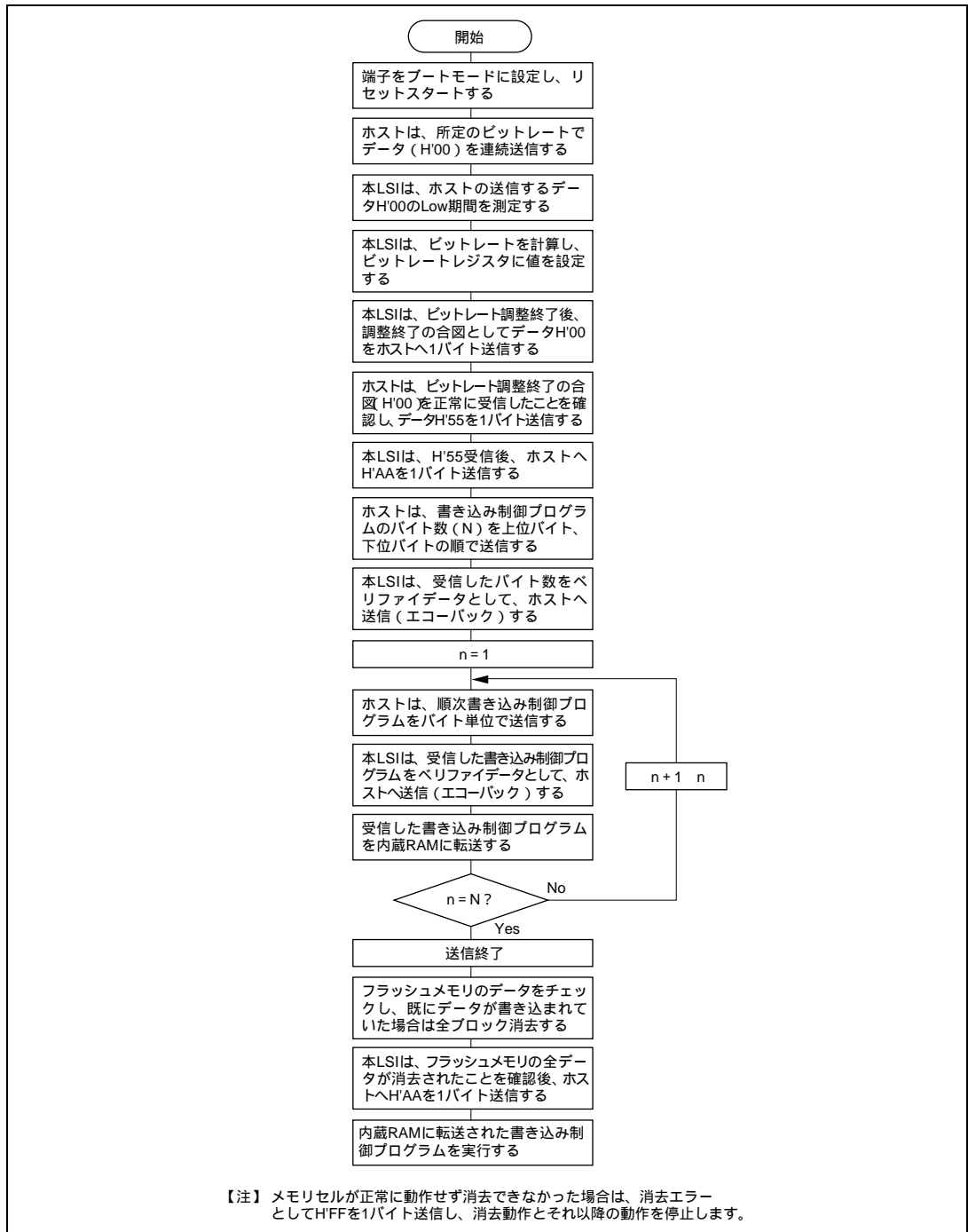


図 7.8 ブートモード実行手順

7. ROM (H8S/2194 グループ)

(1) SCI ビットレートの自動合わせ込み動作

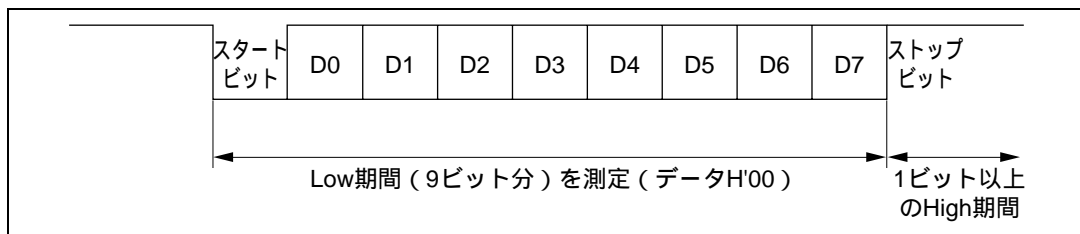


図 7.9 SCI ビットレート自動合わせ込み時の SI1 入力信号

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信/送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 7.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 7.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8MHz ~ 10MHz
4800bps	4MHz ~ 10MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'FFEFB0～H'FFF7AF の 2048 バイトは、図 7.10 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは H'FFF7B0～H'FFFF2F の 1920 バイトです。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

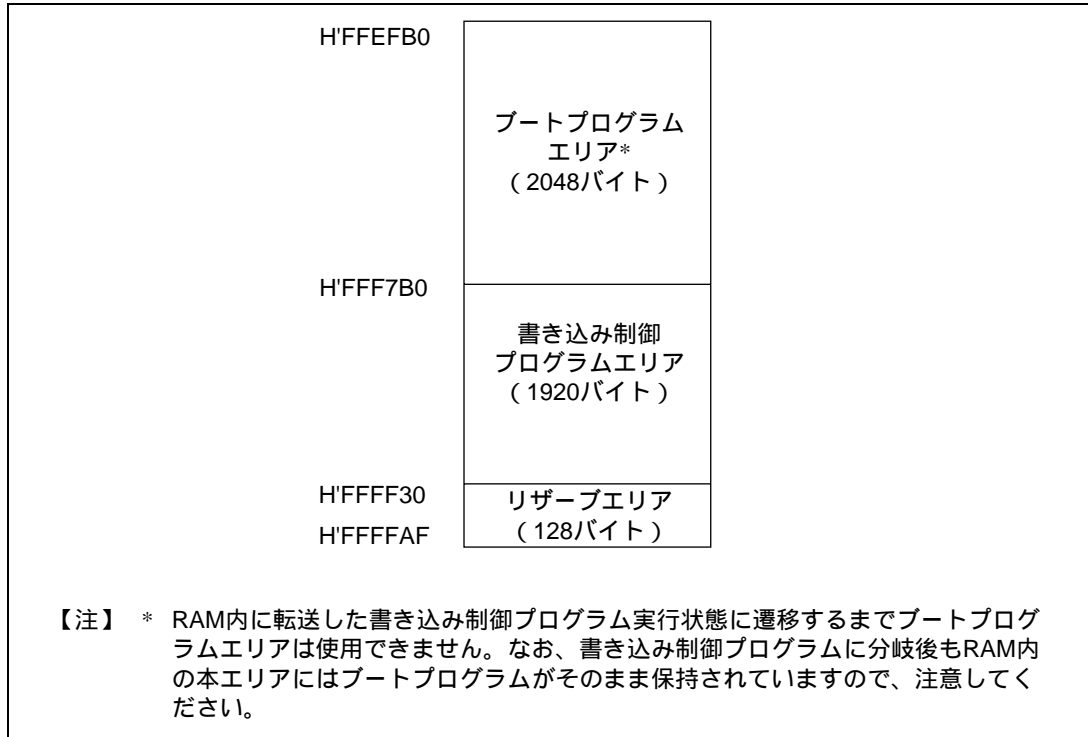


図 7.10 ブートモード時の RAM エリア

7. ROM (H8S/2194 グループ)

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCI1のSI1端子のLow期間を測定します。SI1端子がHighの状態ではリセット解除してください。リセット解除後、SI1端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) SI1端子およびSO1端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FFF3B0に分岐するときには内蔵SCI（チャネル1）の送受信動作を終了（SCRのRE = 0、TE = 0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子SO1は、Highレベル出力状態（P21PCR = 1、P21PDR = 1）となっています。
さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものはありません。
- (f) ブートモードへの遷移は表7.5のモード設定にしたがって、端子を設定しリセットスタートすることにより可能です。
本LSIはリセット解除時^{*1}にブートモードの設定であることを検出するとその状態を内部で保持します。
ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、FWE端子とモード端子を設定し、リセット解除^{*1}することにより可能です。また、WDTのオーバーフローリセットが発生した場合もブートモードを解除することが可能です。
ブートモードの途中でモード端子の入力レベルを変化させた場合は、リセットが発生しなければマイコン内部のブートモード状態は保持されており、ブートモードが継続されます。ただし、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください。^{*2}

【注】*1 モード端子とFWE端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS} = 4$ ステート）を満足する必要があります。

*2 FWEの印加/解除の注意については「7.9 フラッシュメモリの書き込み/消去時の注意」を参照してください。

7.4.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み / 消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み / 消去制御プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、モード 1 で起動し、FWE 端子に High レベルを印加します。

フラッシュメモリへの書き込み / 消去を行うために SWE ピットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み / 消去を行う制御プログラムは、内蔵 RAM 上で実行するようにしてください。

図 7.11 に書き込み / 消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

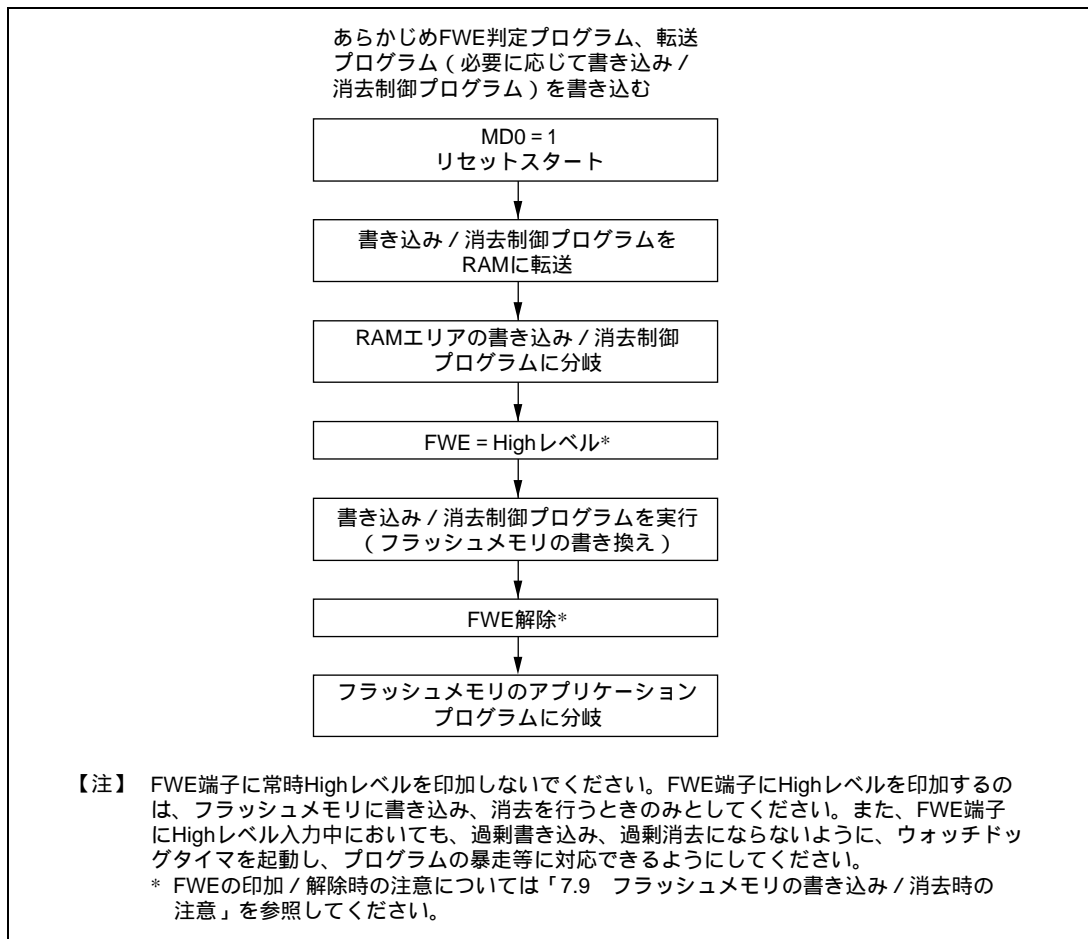


図 7.11 ユーザプログラムモードの実行手順例

7.5 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM 上に置いて、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。

7.5.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 7.12 に示すプログラム / プログラムベリファイフローチャートにしたがって行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x、y、z、 、 、)、最大書き込み回数 (N) を「29.2.7 フラッシュメモリ特性」に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μs 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 32 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません。データ転送はバイト単位で 32 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+) μs より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの準備 (プログラムセットアップ) を行い、(y) μs 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。一回の書き込み時間を (z) μs の範囲に納まるようにプログラムで設定してください。

7.5.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを解除後、() μ s 以上の時間が経過してから FLMCR2 の PSU ビットを解除) します。ウォッチドッグタイマを () μ s 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは () μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 7.12 参照) し、再書き込みデータを再書き込みデータエリアに転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、() μ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、(N) 回を超えないようにしてください。

7. ROM (H8S/2194 グループ)

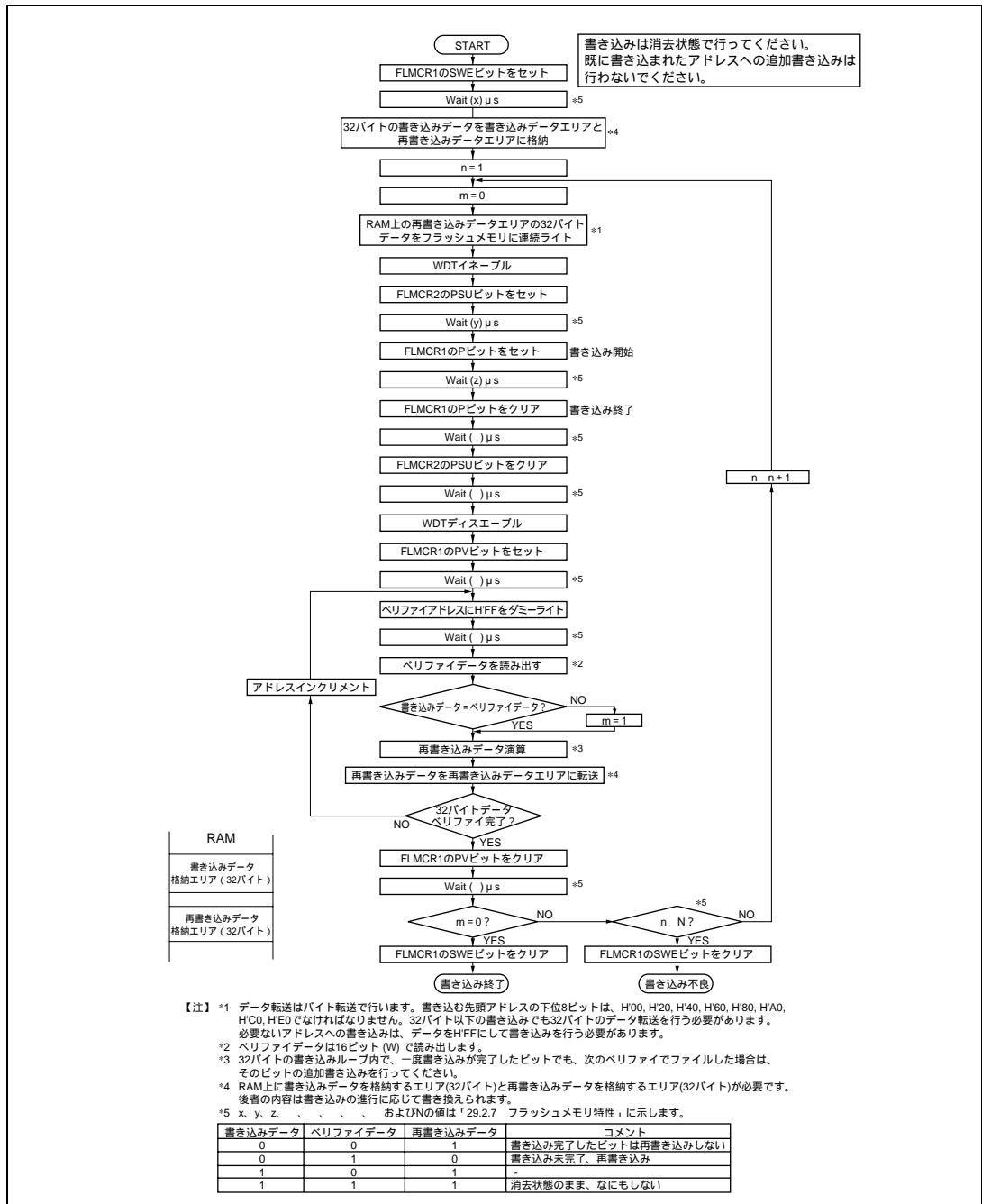


図 7.12 プログラム/プログラムベリファイフロー

7.5.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 7.13 に示すイレース/イレースベリファイロー（単一ブロック消去）チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、(x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+) ms に設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、(y) μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリのデータをすべて 0 にする) を行う必要はありません。

7.5.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを解除後、() μ s 以上の時間が経過してから FLMCR2 の ESU ビットを解除) し、ウォッチドッグタイマを () μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは () μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとタッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s おいてから行ってください。読み出したデータが消去 (データがすべて 1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、() μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのブロックを EBR1、EBR2 で 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

7. ROM (H8S/2194 グループ)

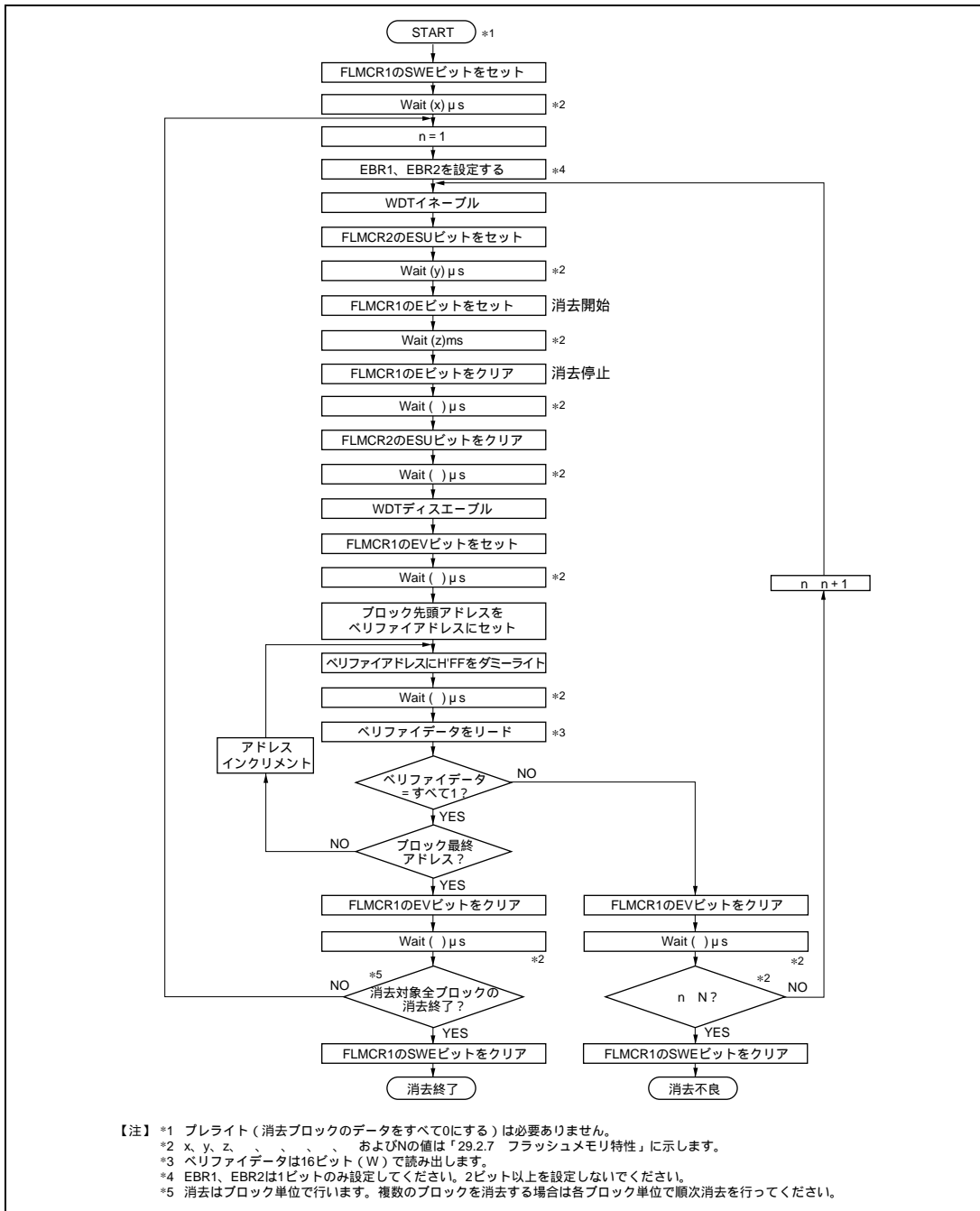


図 7.13 イレース/イレースペリファイフロー（単一ブロック消去）

7.6 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクトとエラープロテクトの3種類あります。

7.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ 1、2 (EBR1、EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します (表 7.7 参照)。

表 7.7 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されている時には、FLMCR1、FLMCR2 (FLER ビットを除く)、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む) 低消費電力モード (中速モード、モジュールストップ、スリープモードを除く) 時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

7.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 7.8 参照)。

表 7.8 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビット プロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。 (内蔵 RAM 上で実行してください。) 		
ブロック 指定 プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ 1、2 (EBR1、EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1 と EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	

7.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態へ移行します。この時、FLMCR1、FLMCR2、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PVビット、EVビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリをリードしたとき(ベクタリードおよび命令フェッチを含む)
 - (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
 - (3) 書き込み/消去中にSLEEP命令を実行したとき
- エラープロテクト解除は、リセットのみで行われます。

図 7.14 にフラッシュメモリの状態遷移図を示します。

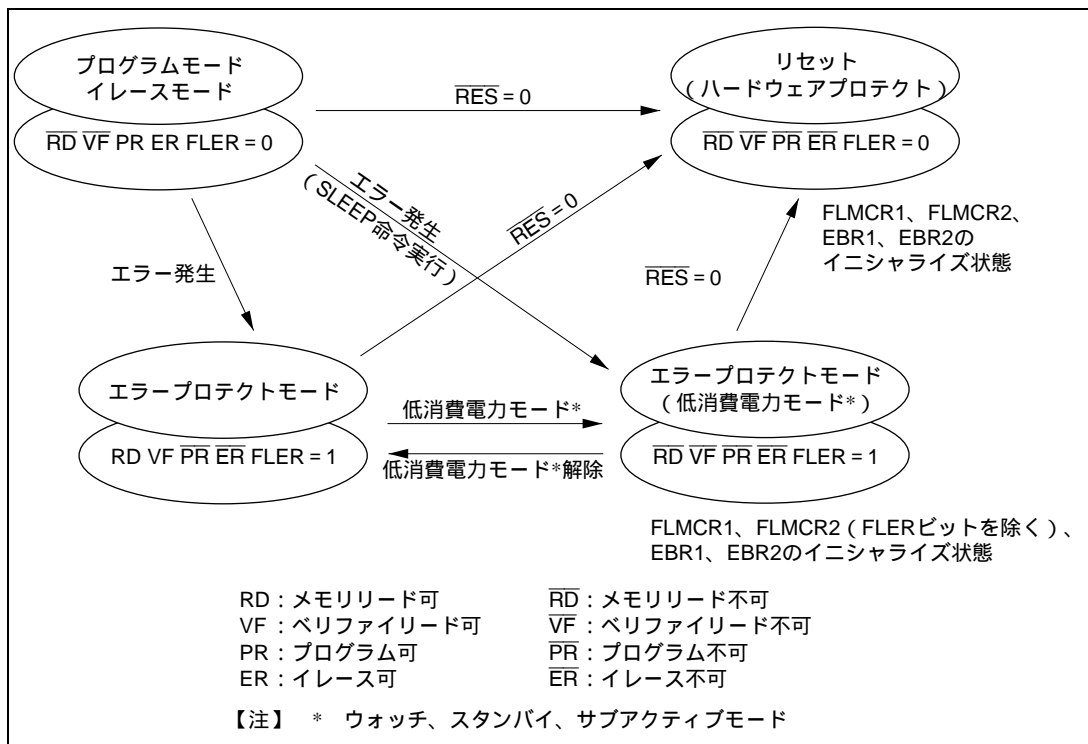


図 7.14 フラッシュメモリの状態遷移図

7.7 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット)、およびブートモードでのブートプログラム実行中*¹ は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、FWE 印加状態では、マイコンの内部と外部で NMI を含むすべての要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも NMI 入力は禁止状態となります。

【注】 *1 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

- *2 この場合、以下の二つの理由によってベクタリードが正常に行われません。
- ・書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
 - ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

7.8 フラッシュメモリのライターモード

7.8.1 ライターモードの設定

プログラム/データの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

7.8.2 ソケットアダプタとメモリマップ

このライターモードでは、PROM ライタにソケットアダプタを取り付けて行います。表 7.9 にソケットアダプタの型名を示します。

図 7.15 にライターモード時のメモリマップを示します。

表 7.9 ソケットアダプタ型名

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F2194	112 ピン QFP	ME2194ESHF1H

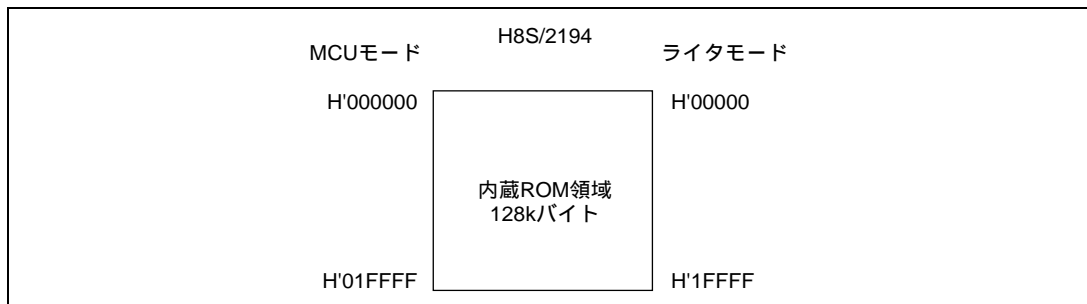


図 7.15 ライターモード時のメモリマップ

7.8.3 ライタモードの動作

表 7.10 にライタモード時の各動作モードの設定方法、表 7.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を以下に示します。

(1) メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

(2) 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

(3) 自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

(4) ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 7.10 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	WE	FO0 ~ FO7	FA0 ~ FA17
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L ^{*3}	L	H	L	データ入力	Ain ^{*2}
チップディスエーブル ^{*1}	H or L	H	X	X	Hi-z	X

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

*3 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子に High レベルを入力してください。

表 7.11 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

7.8.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に移っています。メモリの内容を読み出す場合は、コマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移ります。

表 7.12 メモリ読み出しモード時の AC 特性 (1)

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	Min	Max	単位
コマンド書き込みサイクル	t_{nxtc}	20	-	μs
CE ホールド時間	t_{ceh}	0	-	ns
CE セットアップ時間	t_{ces}	0	-	ns
データホールド時間	t_{dh}	50	-	ns
データセットアップ時間	t_{ds}	50	-	ns
書き込みパルス幅	t_{wep}	70	-	ns
WE 立ち上がり時間	t_r	-	30	ns
WE 立ち下がり時間	t_f	-	30	ns

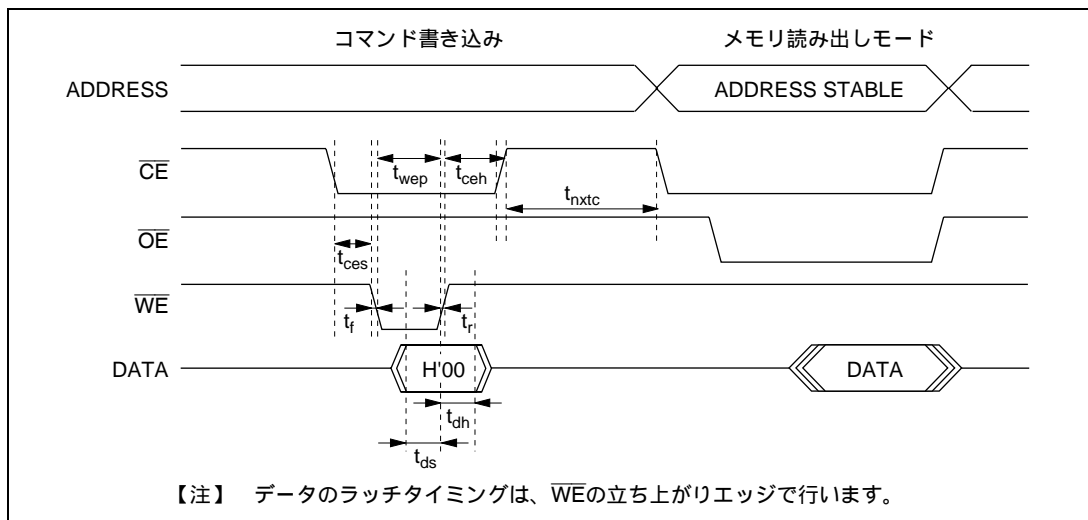


図 7.16 コマンド書き込み後メモリ読み出しタイミング波形

7. ROM (H8S/2194 グループ)

表 7.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	Min	Max	単位
コマンド書き込みサイクル	t_{nxtc}	20	-	μs
\overline{CE} ホールド時間	t_{ceh}	0	-	ns
\overline{CE} セットアップ時間	t_{ces}	0	-	ns
データホールド時間	t_{dh}	50	-	ns
データセットアップ時間	t_{ds}	50	-	ns
書き込みパルス幅	t_{wep}	70	-	ns
\overline{WE} 立ち上がり時間	t_r	-	30	ns
\overline{WE} 立ち下がり時間	t_f	-	30	ns

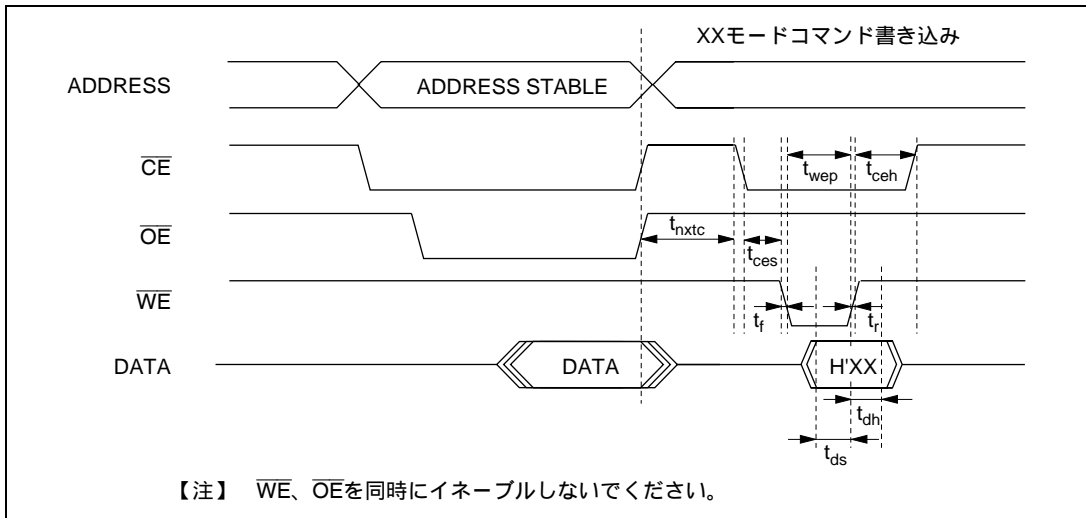


図 7.17 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 7.14 メモリ読み出しモード時の AC 特性 (2)

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	Min	Max	単位
アクセス時間	t_{acc}	-	20	μs
\overline{CE} 出力遅延時間	t_{ce}	-	150	ns
\overline{OE} 出力遅延時間	t_{oe}	-	150	ns
出力ディスエーブル遅延時間	t_{df}	-	100	ns
データ出力ホールド時間	t_{ch}	5	-	ns

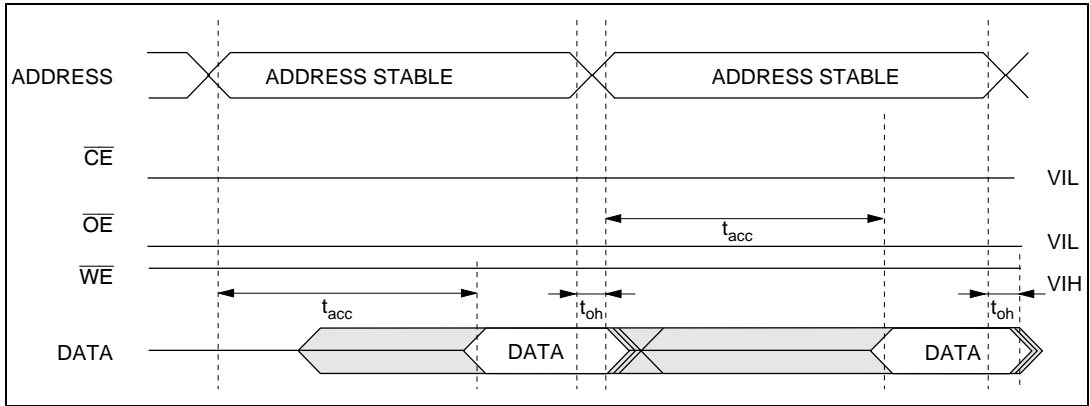


図 7.18 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

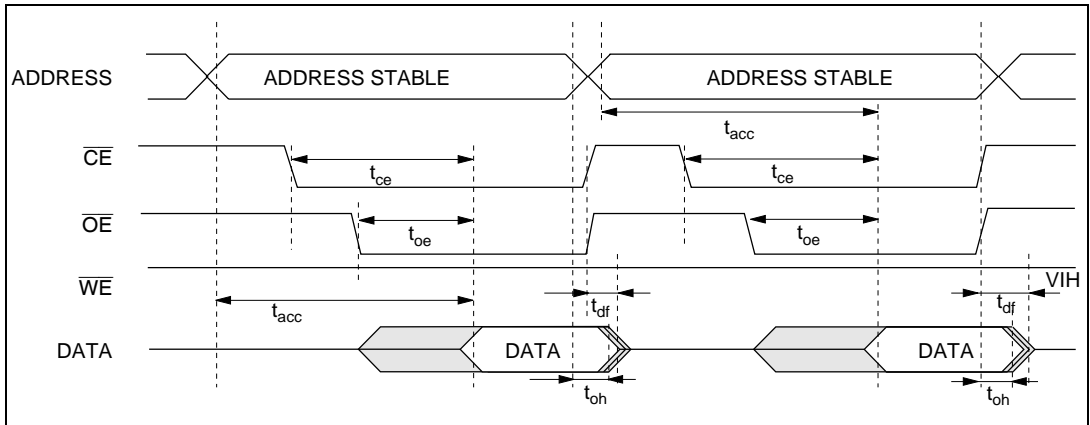


図 7.19 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

7.8.5 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位8ビットは、H'00、H'80でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図7.20)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。2回以上の書き込みについては特性保証できません。
- (7) 自動書き込み正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(FO7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 7.15 自動書き込みモード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	Min	Max	単位
コマンド書き込みサイクル	t_{nxtc}	20	-	μs
\overline{CE} ホールド時間	t_{ceh}	0	-	ns
\overline{CE} セットアップ時間	t_{ces}	0	-	ns
データホールド時間	t_{dh}	50	-	ns
データセットアップ時間	t_{ds}	50	-	ns
書き込みパルス幅	t_{wep}	70	-	ns
ステータスポーリング開始時間	t_{wsts}	1	-	ms
ステータスポーリングアクセス時間	t_{spa}	-	150	ns
アドレスセットアップ時間	t_{as}	0	-	ns
アドレスホールド時間	t_{ah}	60	-	ns
メモリ書き込み時間	t_{write}	1	3000	ms
\overline{WE} 立ち上がり時間	t_r	-	30	ns
\overline{WE} 立ち下がり時間	t_f	-	30	ns
書き込みセットアップ時間	t_{pns}	100	-	ns
書き込み終了セットアップ時間	t_{pnh}	100	-	ns

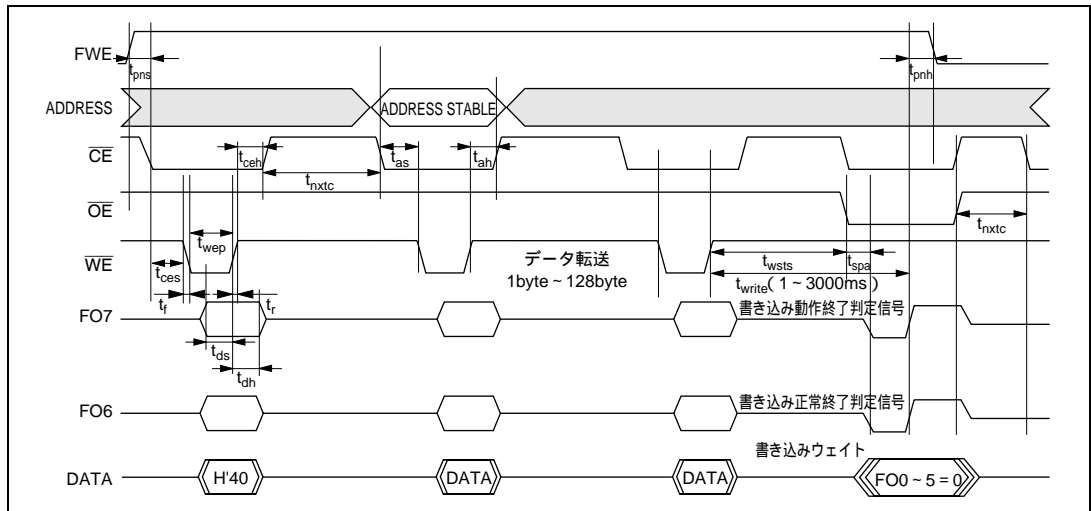


図 7.20 自動書き込みモードのタイミング波形

7.8.6 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (FO7番のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにすることにより読み出し可能となります。

表 7.16 自動消去モード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_s=25 \pm 5$)

項目	記号	Min	Max	単位
コマンド書き込みサイクル	t_{nxtc}	20	-	μs
$\overline{\text{CE}}$ ホールド時間	t_{ceh}	0	-	ns
$\overline{\text{CE}}$ セットアップ時間	t_{ces}	0	-	ns
データホールド時間	t_{dh}	50	-	ns
データセットアップ時間	t_{ds}	50	-	ns
書き込みパルス幅	t_{wep}	70	-	ns
ステータスポーリング開始時間	t_{ests}	1	-	ms
ステータスポーリングアクセス時間	t_{spa}	-	150	ns
メモリ消去時間	t_{erase}	100	40000	ms
$\overline{\text{WE}}$ 立ち上がり時間	t_r	-	30	ns
$\overline{\text{WE}}$ 立ち下がり時間	t_f	-	30	ns
消去セットアップ時間	t_{ens}	100	-	ns
消去終了セットアップ時間	t_{enh}	100	-	ns

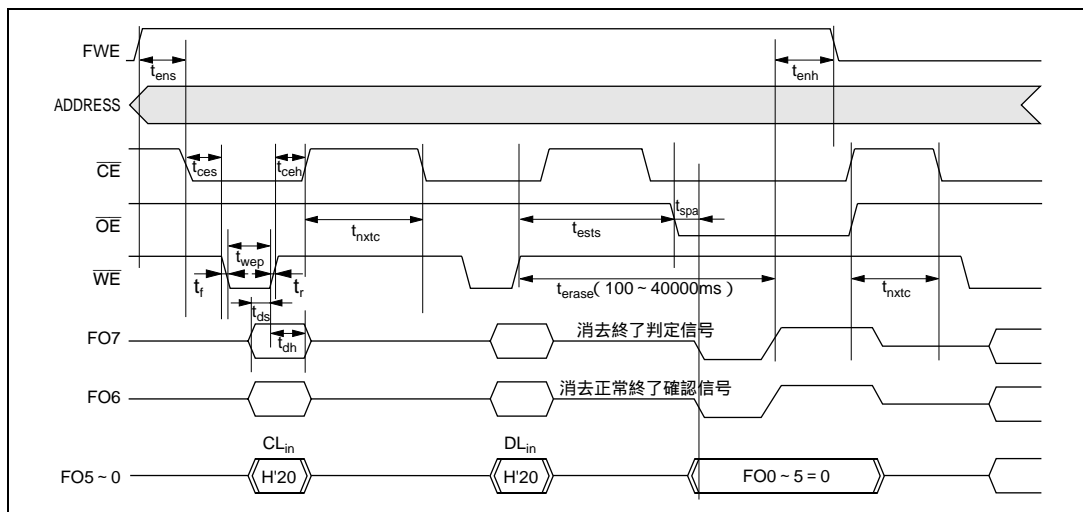


図 7.21 自動消去モードのタイミング波形

7.8.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 7.17 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_A=25 \pm 5$)

項目	記号	Min	Max	単位
コマンド書き込みサイクル	t_{nxtc}	20	-	μs
CE ホールド時間	t_{ceh}	0	-	ns
CE セットアップ時間	t_{ces}	0	-	ns
データホールド時間	t_{dh}	50	-	ns
データセットアップ時間	t_{ds}	50	-	ns
書き込みパルス幅	t_{wep}	70	-	ns
OE 出力遅延時間	t_{oe}	-	150	ns
ディスエーブル遅延時間	t_{df}	-	100	ns
CE 出力遅延時間	t_{ce}	-	150	ns
WE 立ち上がり時間	t_r	-	30	ns
WE 立ち下がり時間	t_f	-	30	ns

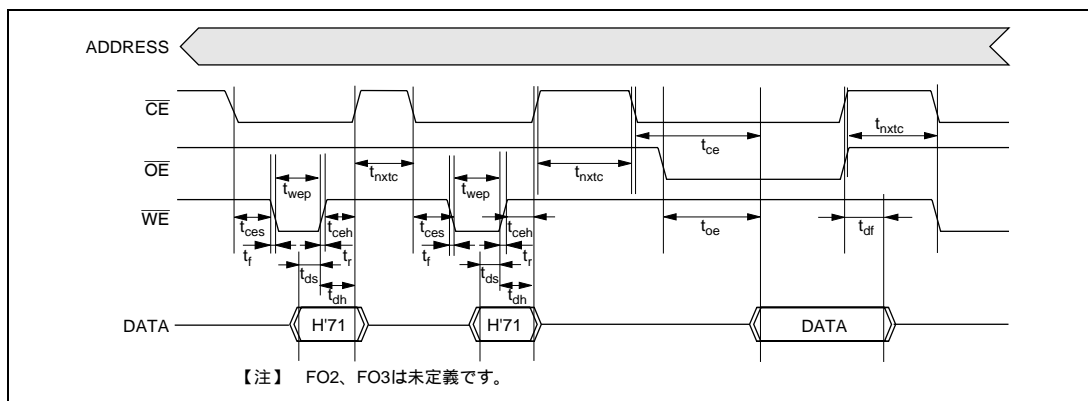


図 7.22 ステータス読み出しモードのタイミング波形

7. ROM (H8S/2194 グループ)

表 7.18 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバー	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンド エラー : 1 その他 : 0	書き込み エラー : 1 その他 : 0	消去 エラー : 1 その他 : 0	-	-	回数オーバー 時 : 1 その他 : 0	有効アドレス エラー : 1 その他 : 0

【注】 FO2、FO3 は未定です。

7.8.8 ステータスポーリング

- (1) FO7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6のステータスポーリングは、自動書き込み / 自動消去モード時の正常、または異常終了を示すフラグです。

表 7.19 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0 ~ FO5	0	0	0	0

7.8.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 7.20 コマンド待ち状態までの遷移時間規定

項目	記号	Min	Max	単位
スタンバイ解除 (発振安定時間)	t_{osc1}	10	-	ms
ライタモードセットアップ時間	t_{bmv}	10	-	ms
V_{cc} ホールド時間	t_{dwn}	0	-	ms

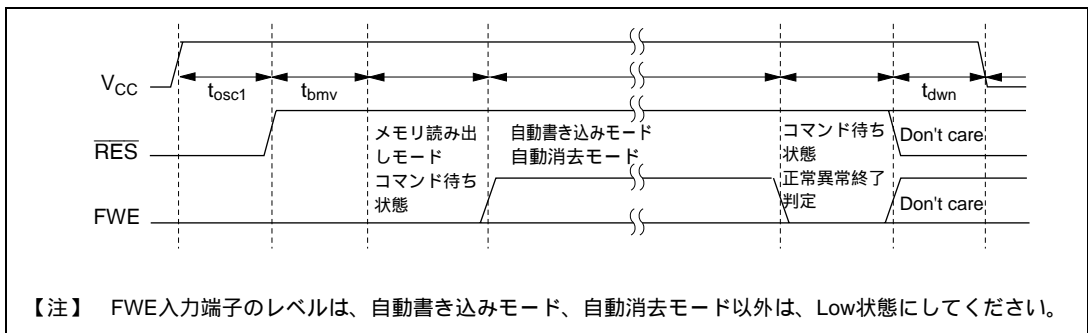


図 7.23 発振安定時間とブートプログラム転送時間、電源立ち下げシーケンス

7.8.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。

7.9 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み / 消去を行ってください。
定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。
PROMライターは、ルネサス128kバイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。
ライターの設定をHN28F101にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
- (2) 電源投入 / 切断時の注意
FWE端子へのHighレベル印加は V_{cc} 確定後に行ってください。また、 V_{cc} を切断する前にFWE端子をLowレベルにしてください。
 V_{cc} 電源の印加 / 切断時はFWE端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。
この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。
- (3) FWEの印加 / 解除の注意
FWEの印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE端子をLowレベルに固定し、プロテクト状態としてください。
FWEの印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。
 - (a) V_{cc} 電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
 - (b) ブートモードでは、FWEの印加 / 解除はリセット中に行ってください。
 - (c) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = Highレベル / Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力の切り替えが可能です。
 - (d) プログラムが暴走していない状態でFWEを印加してください。
 - (e) FWEの解除はFLMCR1、FLMCR2のSWE、ESU、PSU、EV、PV、P、Eビットをクリアした状態で行ってください。
FWEの印加 / 解除時に、誤ってSWE、ESU、PSU、EV、PV、P、Eビットをセットしないでください。
- (4) FWE端子に常時Highレベルを印加しないでください。
FWE端子にHighレベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE端子に常時Highレベルを印加するようなシステム構成は避けてください。また、Highレベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。
- (5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムにしたがって行ってください。
推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1のPビット、Eビットを

セットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

- (6) SWEビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。
フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後に行ってください。
SWEビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ (プログラム/イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。
- (7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。
FWE印加状態では書き込み/消去動作を最優先とするため、NMIを含む全ての割り込み要求を禁止してください。
- (8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。
オンボードプログラミングでは32バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。
書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
- (9) 書き込み前に、必ず、正しくPROMライターに装着されていることを確認してください。
PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
- (10) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良になることがあります。

7.10 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク ROM 版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 7.21 に F-ZTAT 版に存在して、マスク ROM 版に存在しないレジスタを示します。表 7.21 に示したレジスタをリードした場合、マスク ROM 版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 7.21 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 7.21 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFF8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFF9
消去ブロック指定レジスタ 1	EBR1	H'FFFA
消去ブロック指定レジスタ 2	EBR2	H'FFFB

8. ROM (H8S/2194C グループ)

8.1 概要

H8S/2194C は 256k バイト、H8S/2194B は 192k バイト、H8S/2194A は 160k バイトの ROM (フラッシュメモリまたはマスク ROM) を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

H8S/2194C のフラッシュメモリ版は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

8.1.1 ブロック図

ROM のブロック図を図 8.1 に示します。

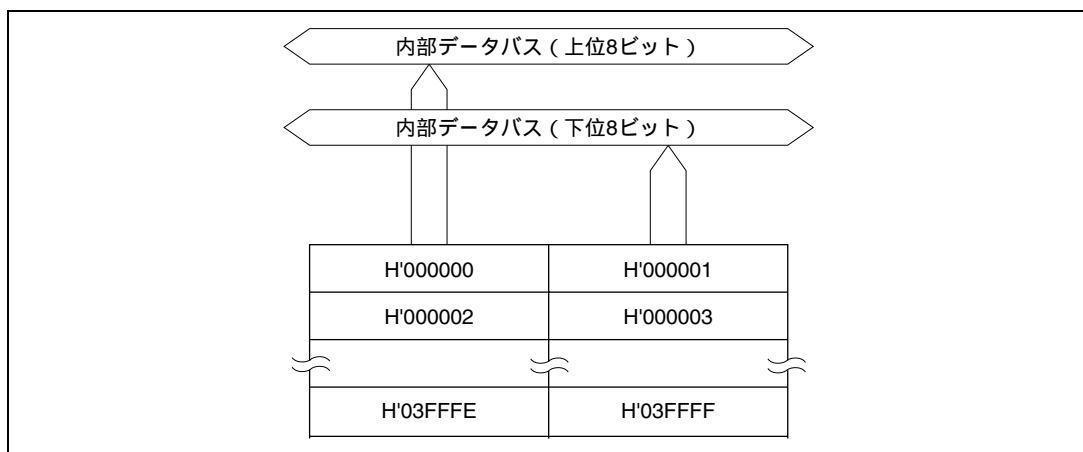


図 8.1 ROM のブロック図 (H8S/2194C の場合)

8.2 フラッシュメモリの概要

8.2.1 特長

H8S/2194Cには256kバイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

- フラッシュメモリの4種類の動作モード
 - プログラムモード
 - イレースモード
 - プログラムベリファイモード
 - イレースベリファイモード
- 書き込み/消去方式
書き込みは32バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では1kバイト、8kバイト、16kバイト、28kバイト、32kバイトのブロック単位で任意に設定することができます。
- 書き込み/消去時間
フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300 μ s (typ.)、消去時間は、ブロックあたり100ms (typ.)です。
- 書き換え回数
フラッシュメモリの書き換えは、100回まで可能です。
- オンボードプログラミングモード
オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。
 - ブートモード
 - ユーザプログラムモード
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合わせることができます。
- プロテクトモード
ソフトウェアプロテクトモードとハードウェアプロテクトモードとエラープロテクトモードの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。
- ライタモード
フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラムモード以外にPROMライタを用いたライタモードがあります。

8.2.2 ブロック図

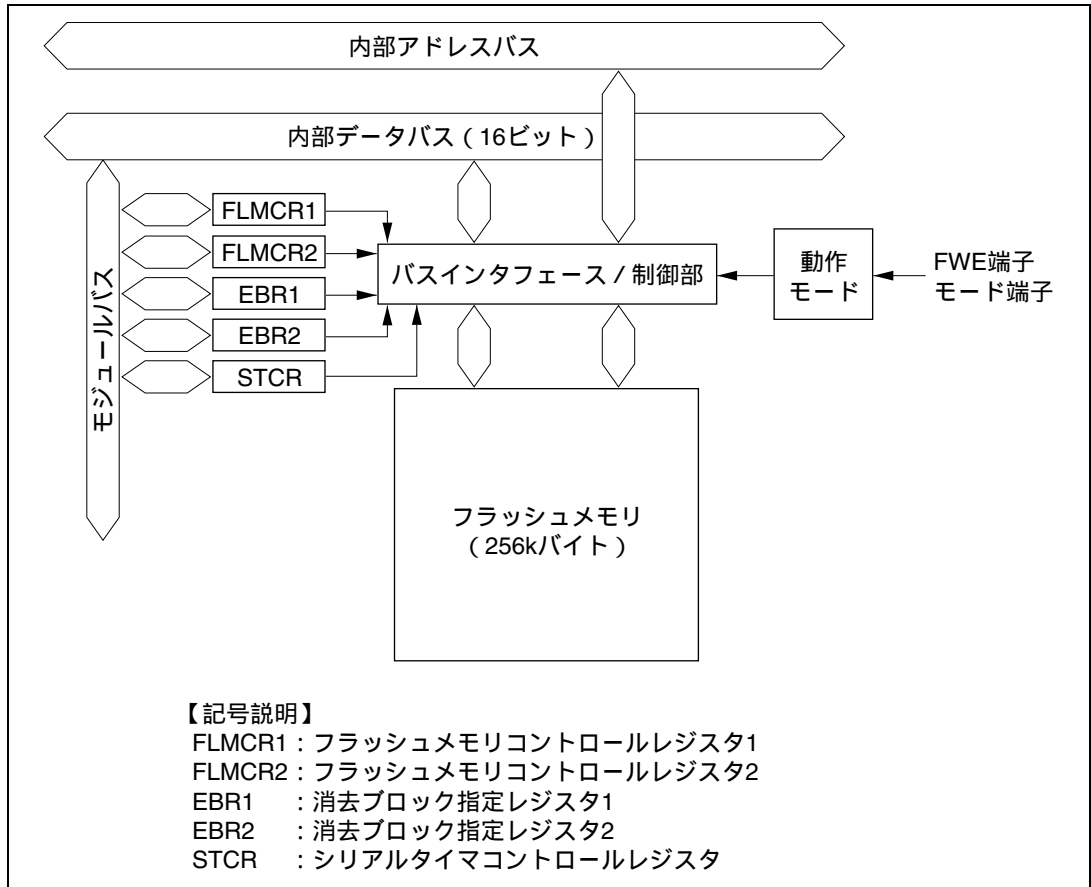


図 8.2 フラッシュメモリのブロック図

8.2.3 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 8.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

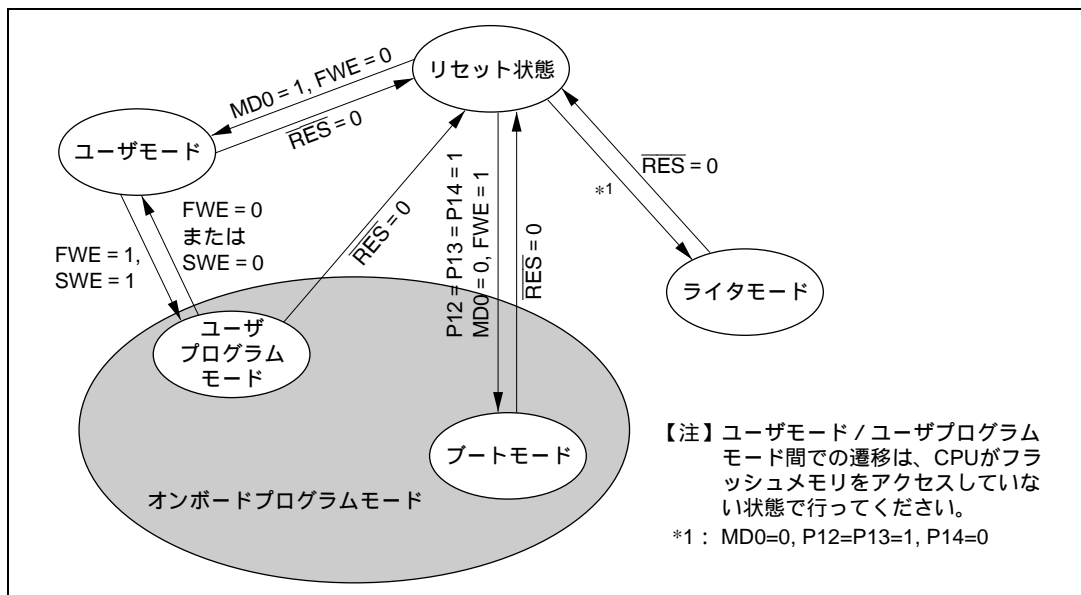
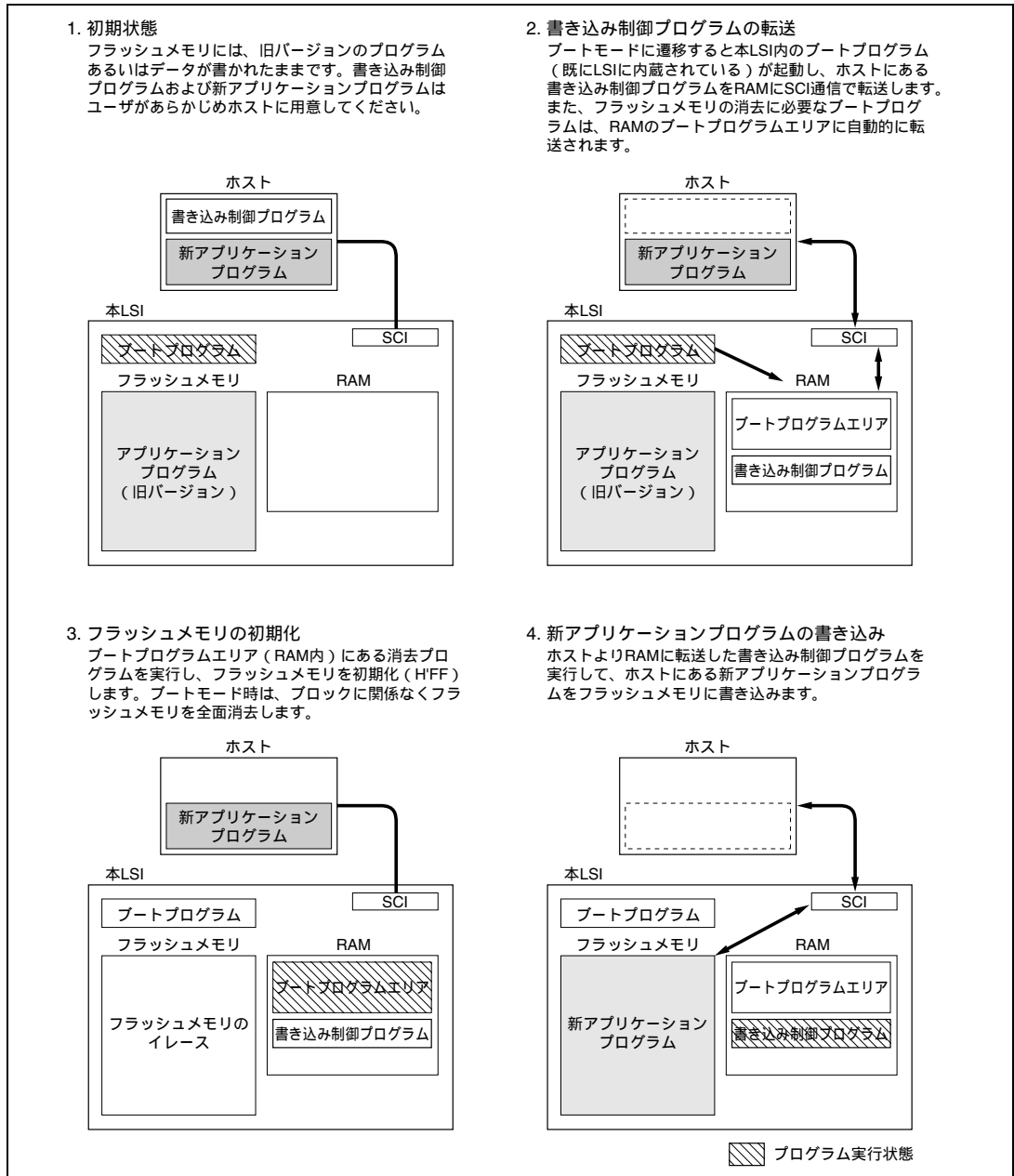


図 8.3 フラッシュメモリに関する状態遷移

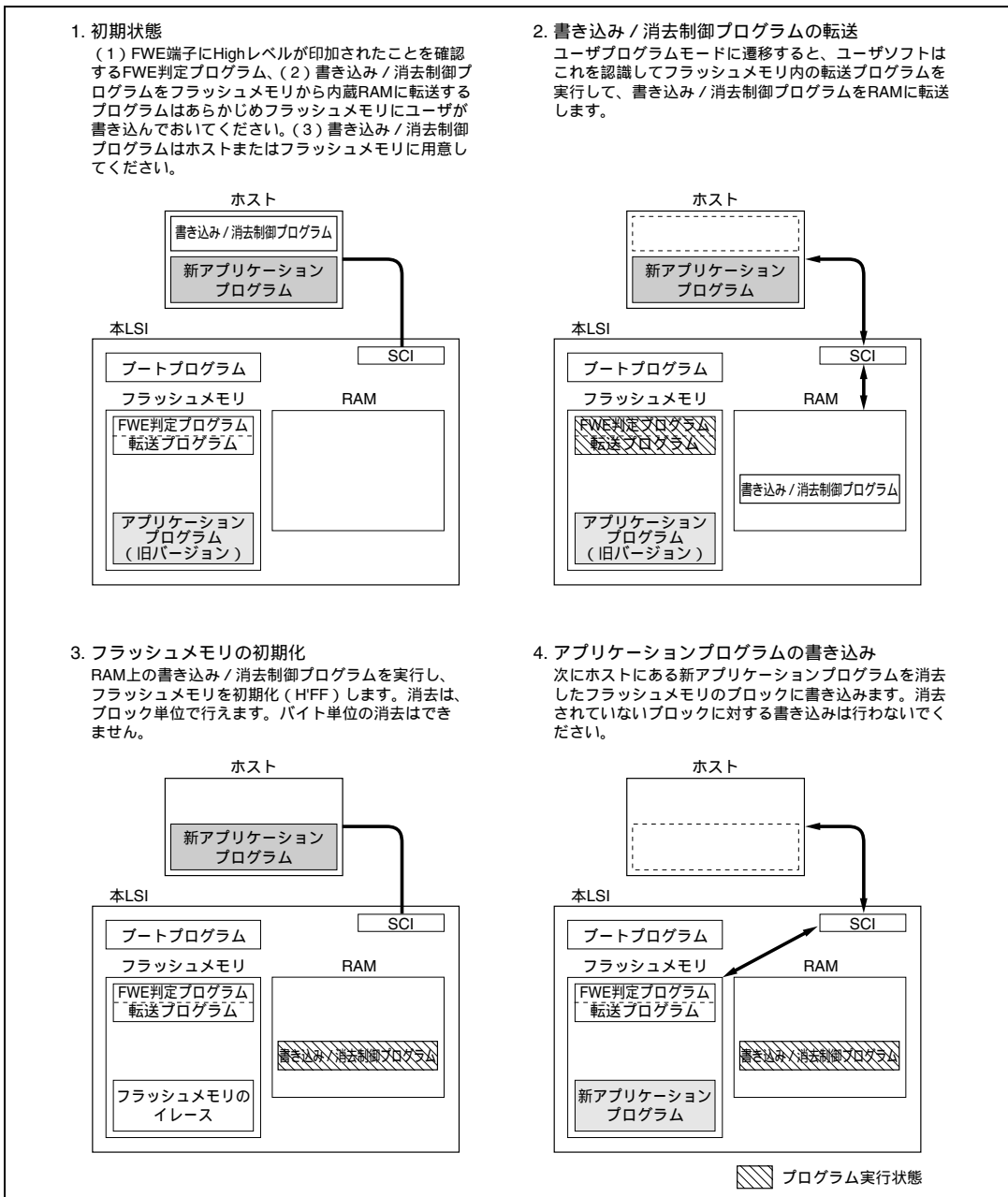
8.2.4 オンボードプログラムモード

(1) ブートモード



8. ROM (H8S/2194C グループ)

(2) ユーザプログラムモード



8.2.5 ブートモードとユーザプログラムモードの相違点

表 8.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

8.2.6 ブロック分割法

32k バイト (6 ブロック)、28k バイト (1 ブロック)、16k バイト (1 ブロック)、8k バイト (2 ブロック)、1k バイト (4 ブロック) に分割されています。

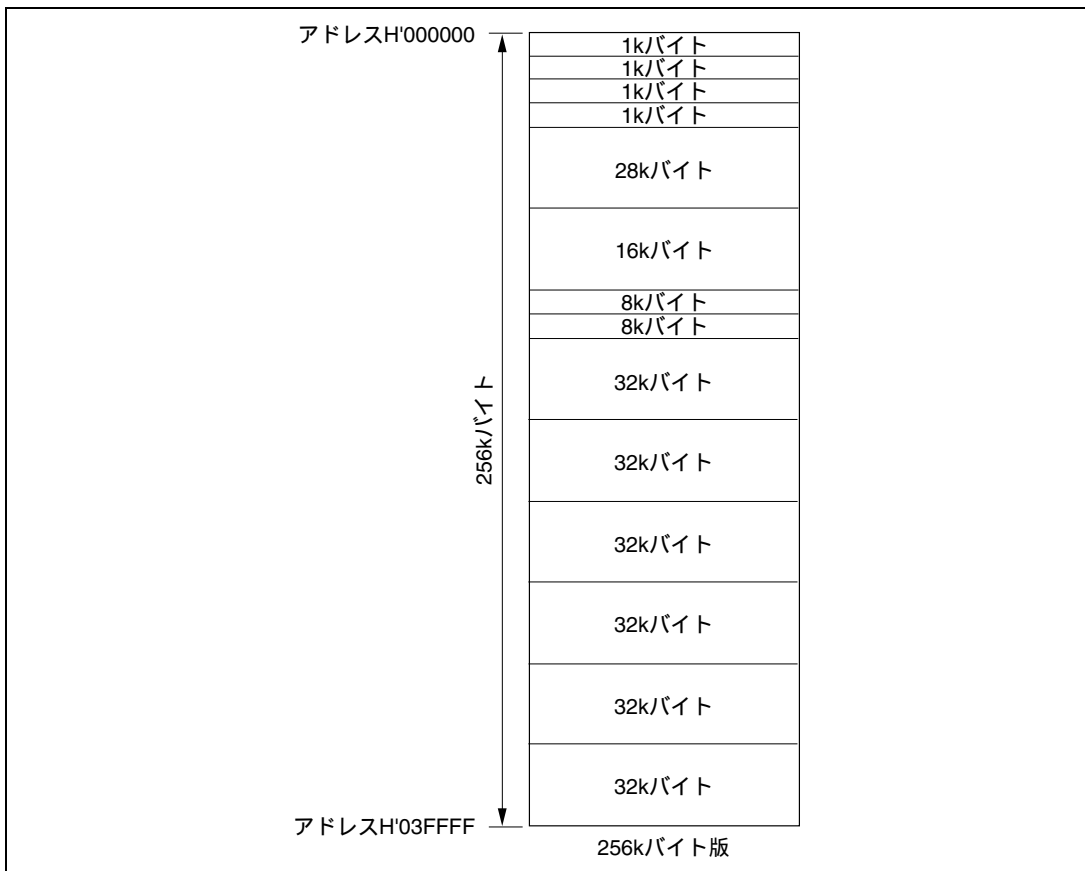


図 8.4 フラッシュメモリのブロック分割

8.3 端子構成

フラッシュメモリは表 8.2 に示す端子により制御されます。

表 8.2 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 12	P12	入力	MD0 = 0 の場合に、本 LSI の動作モードを設定
ポート 13	P13	入力	MD0 = 0 の場合に、本 LSI の動作モードを設定
ポート 14	P14	入力	MD0 = 0 の場合に、本 LSI の動作モードを設定
トランスミットデータ	SO1	出力	シリアル送信データ出力
レシーブデータ	SI1	入力	シリアル受信データ入力

8.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 8.3 に示します。本レジスタをアクセスするためには、STCR の FLSHE ビットを 1 にセットする必要があります。

表 8.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*5
フラッシュメモリコントロールレジスタ 1	FLMCR1*4	R/W*1	H'00*2	H'FFF8
フラッシュメモリコントロールレジスタ 2	FLMCR2*4	R/W*1	H'00*3	H'FFF9
消去ブロック指定レジスタ 1	EBR1*4	R/W*1	H'00*3	H'FFFA
消去ブロック指定レジスタ 2	EBR2*4	R/W*1	H'00*3	H'FFFB
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFEE

- 【注】 *1 FLMCR1 の FWE ビットがセット (FWE = 1) されていないときは書き込みは無効です。
 *2 FWE 端子に High レベルが入力されているときの初期値は H'80 です。
 *3 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。
 *4 FLMCR1、FLMCR2、EBR1、EBR2 はバイトアクセスのみ有効で、2 ステートアクセスとなります。
 *5 アドレスの低位 16 ビットを示しています。

8.5 レジスタの説明

8.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1
初期値：	- *	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* FWE端子の状態により設定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000 ~ H'1FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE=1 をセット後、EV1 ビットまたは PV1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対して、プログラムモードへ遷移させるには、FWE=1 時に、SWE=1 をセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。アドレス H'00000 ~ H'1FFFF に対してイレースモードへ遷移するには、FWE=1 時に、SWE=1 をセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、リセット、低消費電力モード（中速モード、モジュールストップ、スリープモードを除く）、FWE 端子に Low レベルが入力されているときに初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。

また、FLMCR1 の SWE、ESU1、PSU1、EV1、PV1 ビットへの書き込みは FWE=1、SWE=1 のとき、E1 ビットへの書き込みは FWE=1、SWE=1、ESU1=1 のとき、P1 ビットへの書き込みは FWE=1、SWE=1、PSU1=1 のときのみ有効です。

ビット 7：フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子に Low レベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子に High レベルが入力されているとき

ビット 6：ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの書き込み有効または無効を選択するビットです (ビット 5~0、FLMCR2 の 5~0 ビット、EBR1 の 5~0 ビット、EBR2 の 7~0 ビットの設定前にセットしてください)。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE=1 のとき

8. ROM (H8S/2194C グループ)

ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです (対象アドレス：H'00000～H'1FFFF) E1 ビットを1にセットする前に1にセットしてください。(SWE、PSU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット5	説明
ESU1	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです (対象アドレス：H'00000～H'1FFFF) P1 ビットを1にセットする前に1にセットしてください。(SWE、ESU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット4	説明
PSU1	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'00000～H'1FFFF) (SWE、ESU1、PSU1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット3	説明
EV1	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'00000～H'1FFFF) (SWE、ESU1、PSU1、EV1、E1、P1 ビットを同時に設定しないでください)。

ビット2	説明
PV1	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1: イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです(対象アドレス:H'00000~H'1FFFF)(SWE、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU1 = 1 のとき

ビット0: プログラム (P1)

プログラムモードへの遷移、解除を選択するビットです(対象アドレス:H'00000~H'1FFFF)(SWE、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU1 = 1 のとき

8.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット:	7	6	5	4	3	2	1	0
	FLER	-	ESU2	PSU2	EV2	PV2	E2	P2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	-	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'20000 ~ H'3FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE (FLMCR1) = 1 時に SWE (FLMCR1) = 1 をセット後、EV2、PV2 をセットします。アドレス H'20000 ~ H'3FFFF に対してプログラムモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE (FLMCR1) = 1 をセット後、PSU2 ビットをセットし、最後に P2 ビットをセットします。アドレス H'20000 ~ H'3FFFF に対してイレースモードへ遷移させるには、FWE (FLMCR1) = 1 時に、SWE (FLMCR1) = 1 をセット後、ESU2 ビットをセットし、最後に E2 ビットをセットします。FLMCR2 は、リセット、低消費電力モード(中速モード、モジュールストップ、スリープモードを除く)、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます(ただし、FLER はリセットのみ初期化されます)。

また、FLMCR2 の ESU2、PSU2、EV2、PV2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1 のとき、E2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1、ESU2 = 1 のとき、P2 ビットへの書き込みは FWE (FLMCR1) = 1、SWE (FLMCR1) = 1、PSU2 = 1 のときのみ有効です。

8. ROM (H8S/2194C グループ)

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセット (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「8.8.3 エラープロテクト」参照

ビット6：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット5：イレースセットアップビット2 (ESU2)

イレースモードへの遷移の準備をするビットです (対象アドレス：H'20000 ~ H'3FFFF) E2 ビットを1にセットする前に1にセットしてください。(PSU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット5	説明
ESU2	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット2 (PSU2)

プログラムモードへの遷移の準備をするビットです (対象アドレス：H'20000 ~ H'3FFFF) P2 ビットを1にセットする前に1にセットしてください。(ESU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット4	説明
PSU2	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ2 (EV2)

イレースベリファイモードへの遷移、解除を選択するビットです (対象アドレス：H'20000 ~ H'3FFFF) (ESU2、PSU2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット3	説明
EV2	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ2 (PV2)

プログラムベリファイモードへの遷移、解除を選択するビットです(対象アドレス:H'20000～H'3FFFF)(ESU2、PSU2、EV2、E2、P2ビットを同時に設定しないでください)。

ビット2	説明
PV2	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき

ビット1：イレース2 (E2)

イレースモードへの遷移、解除を選択するビットです(対象アドレス:H'20000～H'3FFFF)(ESU2、PSU2、EV2、PV2、P2ビットを同時に設定しないでください)。

ビット1	説明
E2	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE=1、SWE=1、ESU2=1 のとき

ビット0：プログラム2 (P2)

プログラムモードへの遷移、解除を選択するビットです(対象アドレス:H'20000～H'3FFFF)(ESU2、PSU2、EV2、PV2、E2ビットを同時に設定しないでください)。

ビット0	説明
P2	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE=1、SWE=1、PSU2=1 のとき

8.5.3 消去ブロック指定レジスタ1 (EBR1)

ビット：	7	6	5	4	3	2	1	0
	-	-	EB13	EB12	EB11	EB10	EB9	EB8
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。EBR1は、リセット、低消費電力モード(中速モード、モジュールストップ、スリープモードを除く)、FWE端子にLowレベルが入力されているとき、およびFWE端子にHighレベルが入力されていてもFLMCRIのSWEが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1はEBR2と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください)。

フラッシュメモリのブロック分割方法は、表8.4を参照してください。

8.5.4 消去ブロック指定レジスタ 2 (EBR2)

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、リセット、低消費電力モード（中速モード、モジュールストップ、スリープモードを除く）、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE が設定されていないときは H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります（それ以外のブロックは、消去プロテクト状態になります）。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください）。

フラッシュメモリのブロック分割方法は、表 8.4 を参照してください。

表 8.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (1k バイト)	H'000000 ~ H'0003FF
EB1 (1k バイト)	H'000400 ~ H'0007FF
EB2 (1k バイト)	H'000800 ~ H'000BFF
EB3 (1k バイト)	H'000C00 ~ H'000FFF
EB4 (28k バイト)	H'001000 ~ H'007FFF
EB5 (16k バイト)	H'008000 ~ H'00BFFF
EB6 (8k バイト)	H'00C000 ~ H'00DFFF
EB7 (8k バイト)	H'00E000 ~ H'00FFFF
EB8 (32k バイト)	H'010000 ~ H'017FFF
EB9 (32k バイト)	H'018000 ~ H'01FFFF
EB10 (32k バイト)	H'020000 ~ H'027FFF
EB11 (32k バイト)	H'028000 ~ H'02FFFF
EB12 (32k バイト)	H'030000 ~ H'037FFF
EB13 (32k バイト)	H'038000 ~ H'03FFFF

8.5.5 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
		IICX	IICRST		FLSHE			
初期値 :	0	0	0	0	0	0	0	0
R/W :		R/W	R/W		R/W			

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、I²C バスインタフェースの動作モードの制御、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、I²C バスインタフェースの転送クロックの選択を行います。内蔵フラッシュメモリ以外の詳細は、「25.2.7 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセット時に H'00 に初期化されます。

ビット 6、5 : I²C コントロール (IICX、IICRST)

I²C バスインタフェースの動作を制御するビットです。詳しくは「第 25 章 I²C バスインタフェース」を参照してください。

ビット 3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット 3	説 明	
FLSHE		
0	フラッシュメモリの制御レジスタは非選択状態	(初期値)
1	フラッシュメモリの制御レジスタは選択状態	

ビット 7、4、2~0 : リザーブビット

8.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法は、表 8.5 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図を図 8.3 に示します。

表 8.5 オンボードプログラミングモードの設定方法

モード	端子				
	FWE	MD0	P12	P13	P14
ブートモード	1	0	1* ²	1* ²	1* ²
ユーザプログラムモード	1* ¹	1			

【注】 *1 ユーザプログラムモードでは常時 FWE 端子を 1 に設定しないでください。書き込み/消去/ベリファイを行う前に 1 を設定し、ユーザプログラムモードに遷移してください。

*2 ブートモード起動後は I/O ポートとして使用できます。

8.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムを SCI1 を使って本 LSI へ順次送信します。本 LSI では、SCI1 で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります(フラッシュメモリの書き込みを行います)。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 8.5 にブートモード時のシステム構成図、図 8.6 にブートモード実行手順を示します。

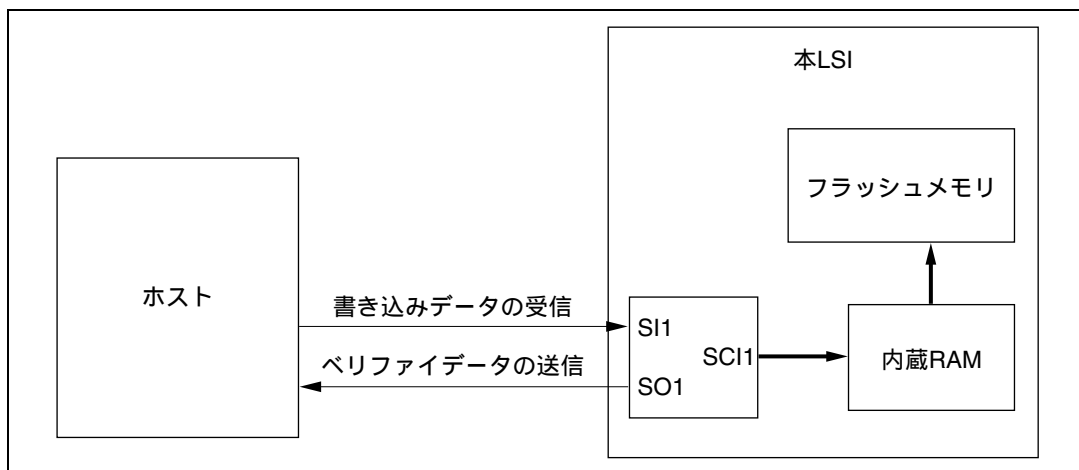


図 8.5 ブートモード時のシステム構成図

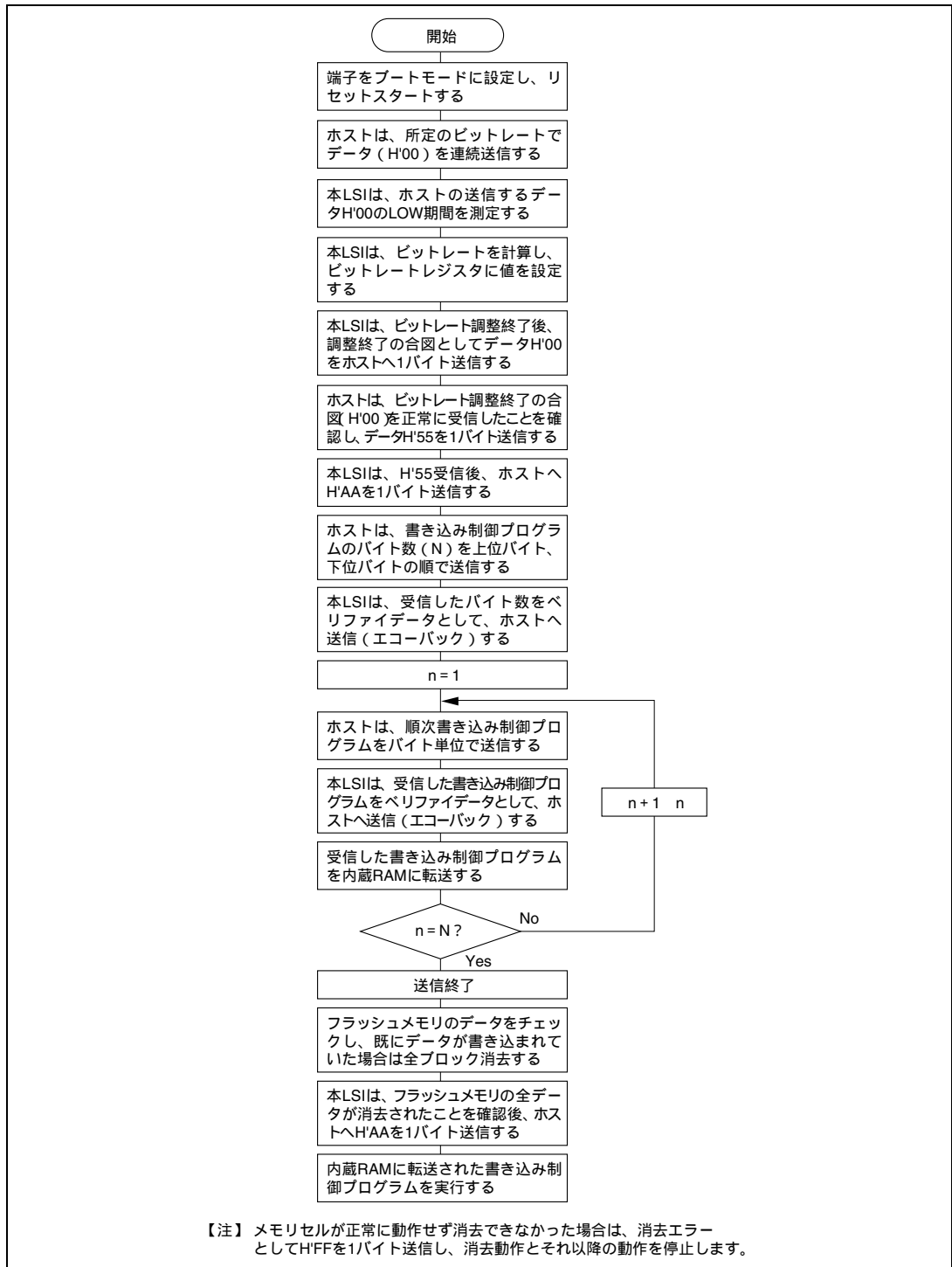
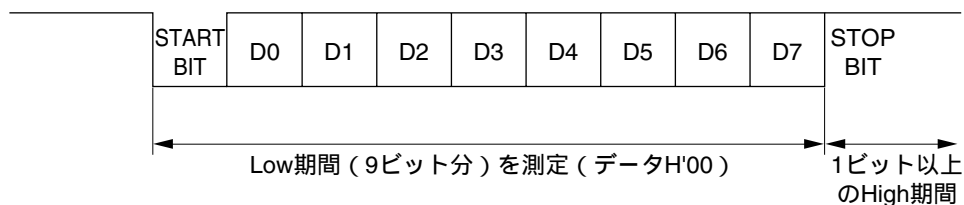


図 8.6 ブートモード実行手順

8. ROM (H8S/2194C グループ)

SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 8.6 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 8.6 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8 ~ 10MHz
4800bps	4 ~ 10MHz

ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 8.7 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

ブートプログラム エリア (3kバイト)	H'FFE7B0 H'FFF3AF
書き込み制御 プログラムエリア (2944バイト)	H'FFFF2F
リザーブエリア (128バイト)	H'FFFFAF

【注】 RAM内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後もRAM内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

図 8.7 ブートモード時の RAM エリア

ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCHのSII端子のLow期間を測定します。SII端子がHighの状態ではリセット解除してください。リセット解除後、SII端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) SII端子およびSO1端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアに分岐するときに内蔵SCI（チャンネル1）の送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子SO1は、Highレベル出力状態（P21PCR = 1、P21PDR = 1）となっています。
さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものではありません。
- (f) ブートモードへの遷移は表8.5のモード設定にしたがって、端子を設定しリセットスタートすることにより可能です。

8. ROM (H8S/2194C グループ)

本LSIはリセット解除時^{*1}にブートモードの設定であることを検出するとその状態を内部で保持します。

ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、FWE端子とモード端子を設定し、リセット解除^{*1}することにより可能です。また、WDTのオーバーフローリセットが発生した場合もブートモードを解除することが可能です。

ブートモードの途中でモード端子の入力レベルを変化させた場合は、リセットが発生しなければマイコン内部のブートモード状態は保持されており、ブートモードが継続されます。ただし、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください。^{*2}

- 【注】*1 モード端子とFWE端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間 ($t_{MDS} = 4$ ステート) を満足する必要があります。
- *2 FWEの印加/解除の注意については「8.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。

8.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み/消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上にFWE制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み/消去制御プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、モード1で起動し、FWE端子にHighレベルを印加します。

フラッシュメモリへの書き込み/消去を行うためにSWEビットを1にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み/消去を行う制御プログラムは、内蔵RAM上で実行するようにしてください。

図8.8に書き込み/消去制御プログラムを内蔵RAMに転送する場合の実行手順例を示します。

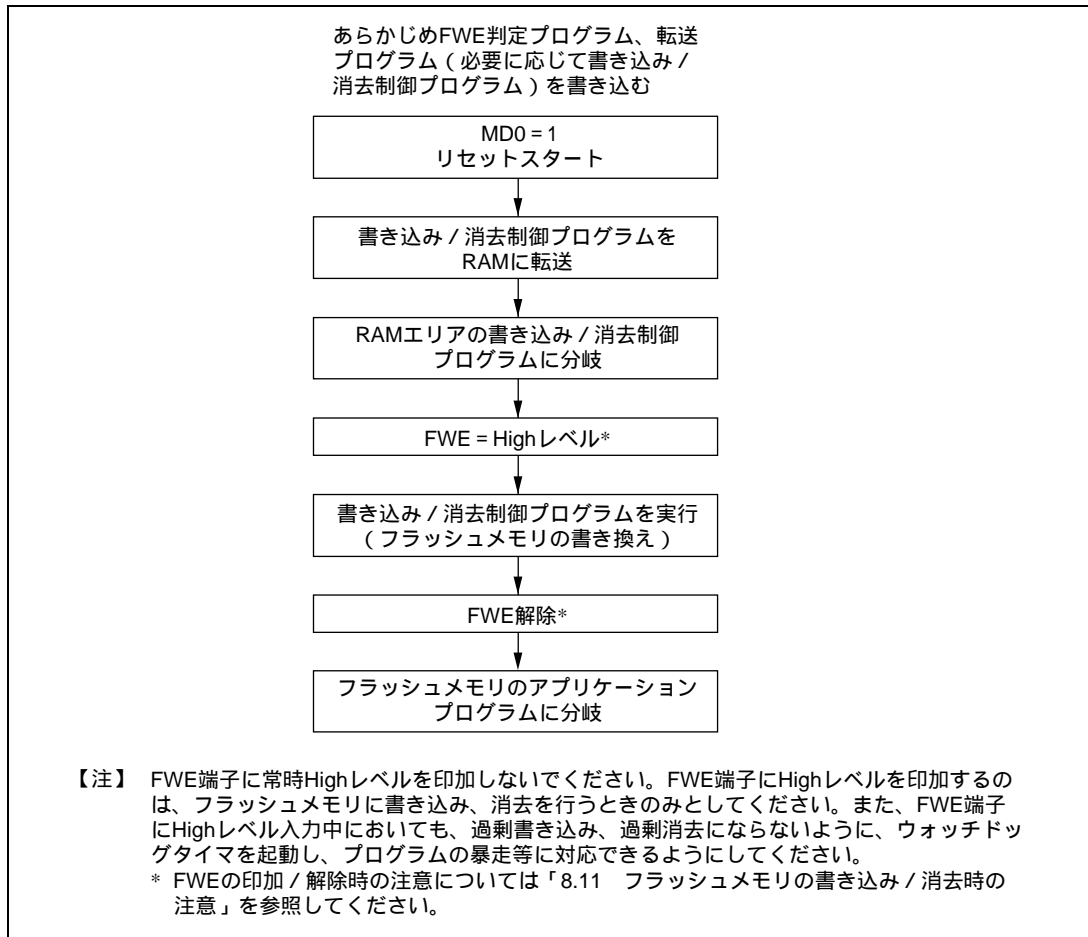


図 8.8 ユーザプログラムモードの実行手順例

8.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'00000 ~ H'1FFFFF に対しては、FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードに遷移し、アドレス H'20000 ~ H'3FFFFF に対しては、FLMCR2 の PSU2 ビット、ESU2 ビット、P2 ビット、E2 ビット、PV2 ビット、EV2 ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM 上に置き、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU1、PSU1、EV1、PV1、E1、P1 ビット、FLMCR2 の ESU2、PSU2、EV2、PV2、E2、P2 ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。既に書き込まれたアドレスへの追加書き込みは行わないでください。
 4. アドレス H'00000 ~ H'1FFFFF と H'20000 ~ H'3FFFFF は同時に書き込まないでください。同時に書き込んだ場合の動作は保証されません。

8.7.1 プログラムモード (対象アドレス H'00000 ~ H'1FFFFF のとき、 $n = 1$ 、対象アドレス H'20000 ~ H'3FFFFF のとき、 $n = 2$)

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 8.8 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリヘデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x 、 y 、 z 、 \dots)、最大書き込み回数 (N) を「29.2.7 フラッシュメモリ特性」に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μs 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス(書き込む先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません)に RAM 上の書き込みデータエリアの 32 バイトのデータを連続書き込みます。データ転送はバイト単位で 32 回連続で行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は ($y+z+\dots$) μs より大きくしてください。その後、FLMCR n の PSU n ビットをセットすることで、プログラムモードへの準備(プログラムセットアップ)を行い、(y) μs 以上の時間が経過してから、FLMCR n の P n ビットをセットすることで、動作モードはプログラムモードへ遷移します。P n ビットがセットされている時間がフラッシュメモ

りの書き込み時間となります。一回の書き込み時間を (z) μ s の範囲に納まるようにプログラムで設定してください。

8.7.2 プログラムベリファイモード (対象アドレス H'00000 ~ H'1FFFF のとき、n=1、対象アドレス H'20000 ~ H'3FFFF のとき、n=2)

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCRn の Pn ビットを解除後、() μ s 以上の時間が経過してから PSUn ビットを解除) します。ウォッチドッグタイマを () μ s 以上の時間が経過してから解除し、FLMCRn の PVn ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは () μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 16 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 8.9 参照) し、再書き込みデータを再書き込みデータエリアに転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、() μ s 以上の待機時間を置いて、FLMCR1 の SWE ビットを 0 にクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N) 回を超えないようにしてください。

8. ROM (H8S/2194C グループ)

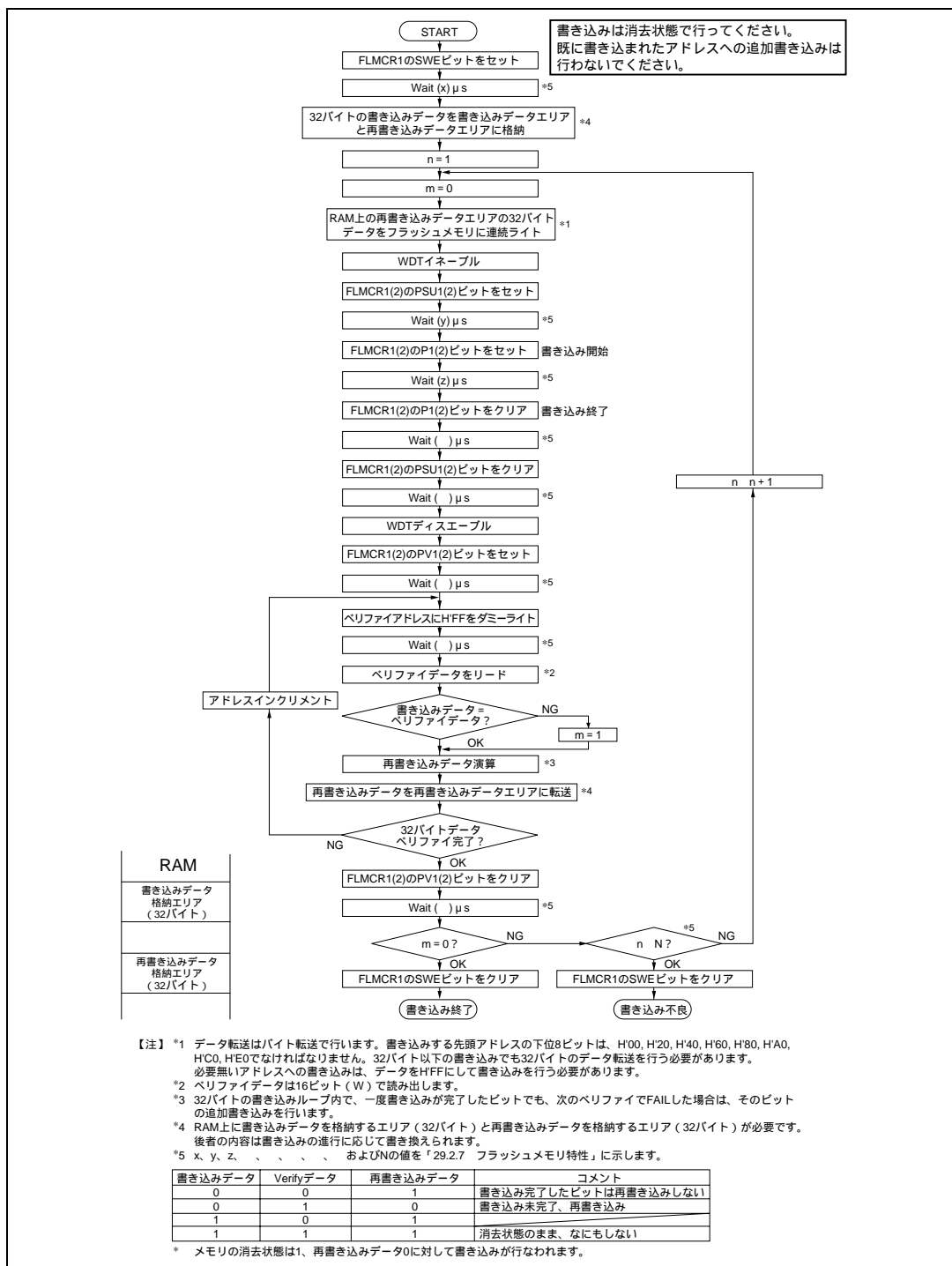


図 8.9 プログラム/プログラムペリファイフロー

8.7.3 イレースモード(対象アドレス H'00000 ~ H'1FFFF のとき、 $n = 1$ 、対象アドレス H'20000 ~ H'3FFFF のとき、 $n = 2$)

フラッシュメモリの消去は 1 ブロックごとに、図 8.10 に示すイレース/イレースベリファイフロー(単一ブロック消去)チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット/クリア後のウェイト時間 (x 、 y 、 z 、 \dots 、 \dots 、最大消去回数 (N)) を「29.2.7 フラッシュメモリ特性」の表に示します。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、(x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は ($y+z+\dots$) より大きく設定してください。その後、FLMCRn の ESUn ビットをセットすることで、イレースモードへの準備(イレースセットアップ)を行い、(y) μ s 以上の時間が経過後、FLMCRn の En ビットをセットすることで、動作モードはイレースモードへ遷移します。En ビットが設定されている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト(消去するメモリの全メモリデータをすべて 0 にする)を行う必要はありません。

8.7.4 イレースベリファイモード(対象アドレス H'00000 ~ H'1FFFF のとき、 $n = 1$ 、対象アドレス H'20000 ~ H'3FFFF のとき、 $n = 2$)

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCRn の En ビットを 0 にクリア後、(\dots) μ s 以上の時間が経過してから ESUn ビットを 0 にクリア) し、ウォッチドックタイマを (\dots) μ s 以上の時間が経過してから解除し、FLMCRn の EVn ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (\dots) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード(ベリファイデータは 16 ビットで読み出す)するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(\dots) μ s 以上から行ってください。読み出したデータが消去(データがすべて 1)されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(\dots) μ s 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを 0 にクリアしてください。未消去のブロックが存在する場合は、消去するフラッシュメモリのブロックを EBR1、EBR2 で 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

8. ROM (H8S/2194C グループ)

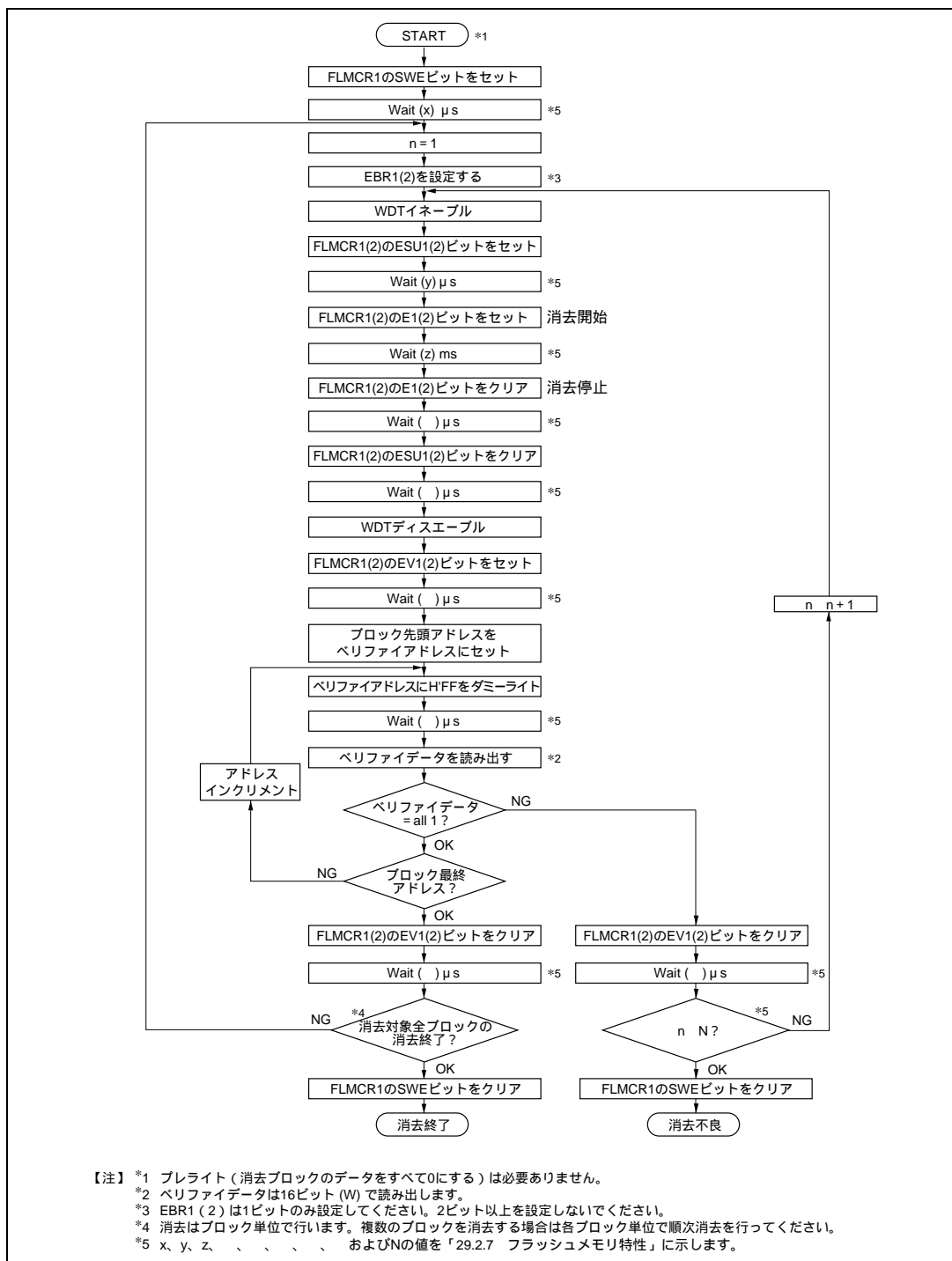


図 8.10 イレース/イレースベリファイフロー（単一ブロック消去）

8.8 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクト、ハードウェアプロテクトとエラープロテクトの3種類あります。

8.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 8.7 参照)

表 8.7 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット(WDT のオーバフローリセットも含む)および低消費電力モード(中速モード、モジュールストップ、スリープモードを除く)時は、FLMCR1、FLMCR2 (FLER ビットを除く)、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

8.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P1 ビットまたは E2 ビット、またはフラッシュメモリコントロールレジスタ2 (FLMCR2) の P2 ビットまたは E2 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 8.8 参照)

表 8.8 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM 上で実行してください。) 		
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	

8.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、P2 ビット、E1 ビット、E2 ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1 ビット、PV2 ビット、EV1 ビット、EV2 ビットの設定は有効なので、ペリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)
 - (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
 - (3) 書き込み / 消去中に SLEEP 命令を実行したとき
- エラープロテクト解除は、リセットのみで行われます。

図 8.11 にフラッシュメモリの状態遷移図を示します。

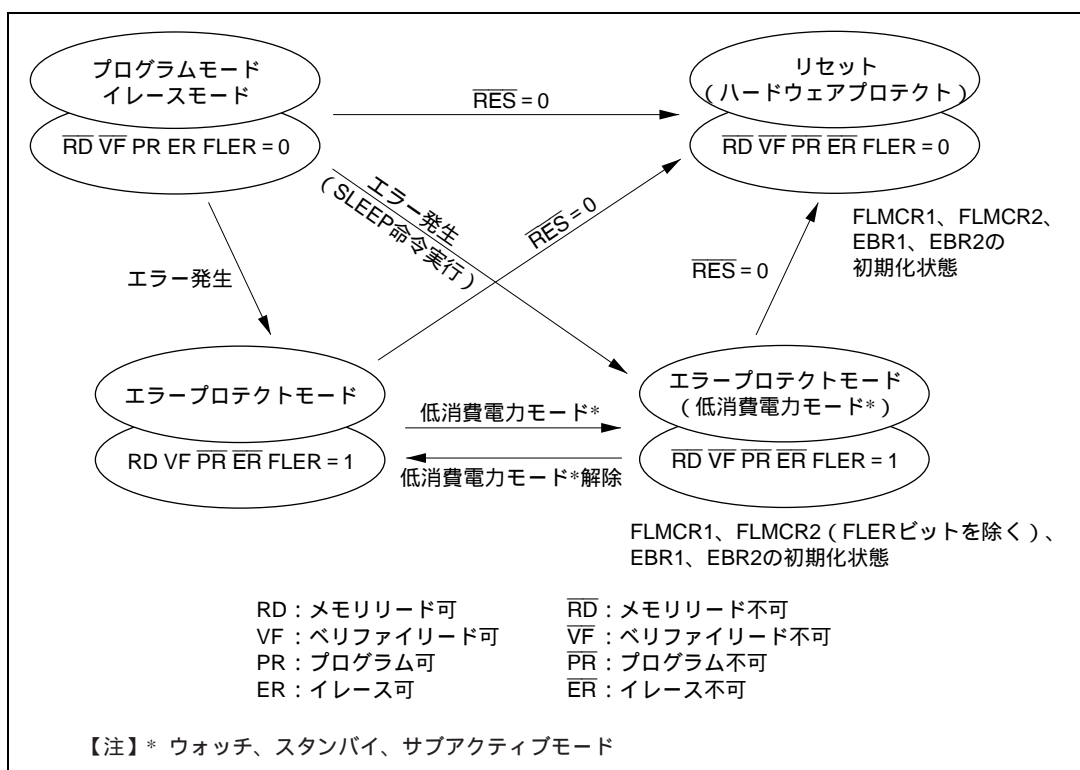


図 8.11 フラッシュメモリの状態遷移図

8.9 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCRn の Pn ビットまたは En ビットがセット)、およびブートモードでのブートプログラム実行中*¹ は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、FWE 印加状態では、マイコンの内部と外部で NMI を含むすべての要求を禁止する必要があります。また、エラープロテクト状態で FLMCRn の Pn ビットまたは En ビットが保持された状態でも NMI 入力は禁止状態となります。

【注】*¹ 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

- *² この場合、以下の二つの理由によってベクタリードが正常に行われません。
- ・書き込み、消去中 (FLMCRn の Pn ビットまたは En ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
 - ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

8.10 フラッシュメモリのライターモード

プログラム/データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス 256k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

8.10.1 ソケットアダプタとメモリマップ

このライターモードは、PROM ライタにソケットアダプタを取り付けて使用します。表 8.9 にソケットアダプタの型名を示します。

図 8.12 にライターモード時のメモリマップを示します。

表 8.9 ソケットアダプタ型名

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F2194C	112 ピン QFP	ME2194ESHF1H

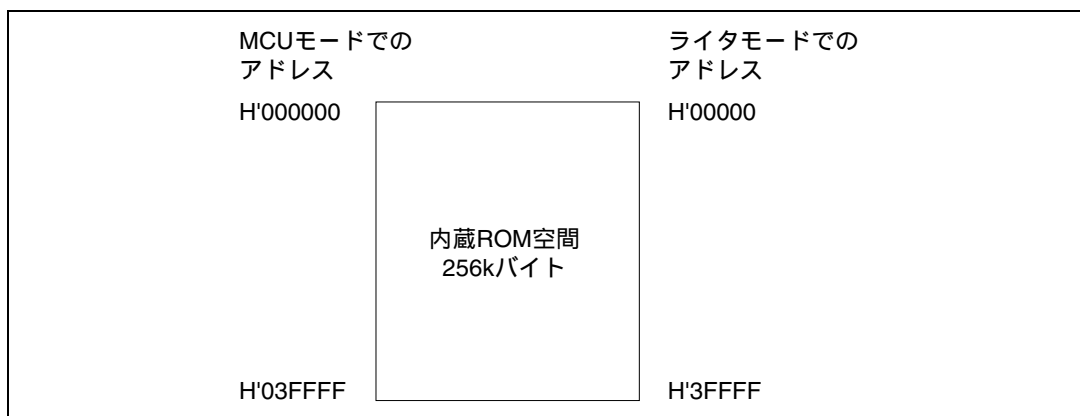


図 8.12 内蔵 ROM のメモリマップ

8.10.2 ライタモードの動作

表 8.10 にライタモード時の各動作モードの設定方法、表 8.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

(1) メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

(2) 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

(3) 自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

(4) ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 8.10 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	\overline{WE}	FO0 ~ FO7	A0 ~ A17
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-z	X

- 【注】 1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。
 3. 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子に High レベルを入力してください。

表 8.11 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

8.10.3 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 8.12 メモリ読み出しモード時の AC 特性

(条件: $V_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

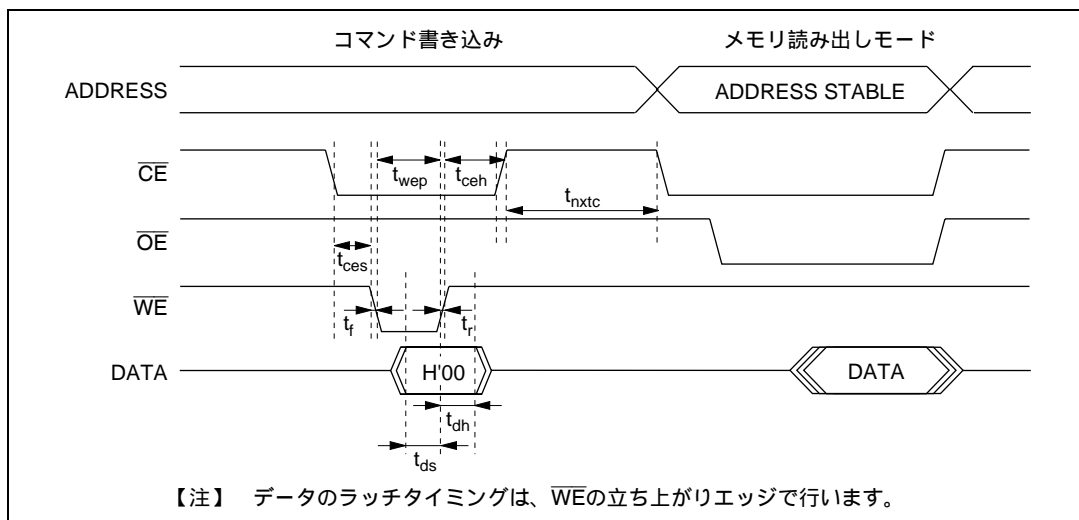


図 8.13 コマンド書き込み後メモリ読み出しタイミング波形

表 8.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

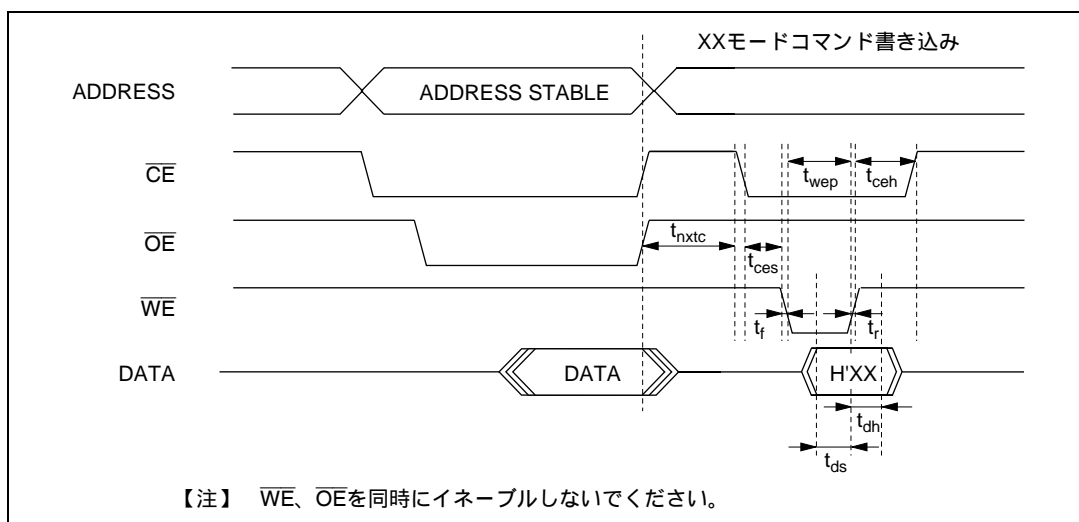
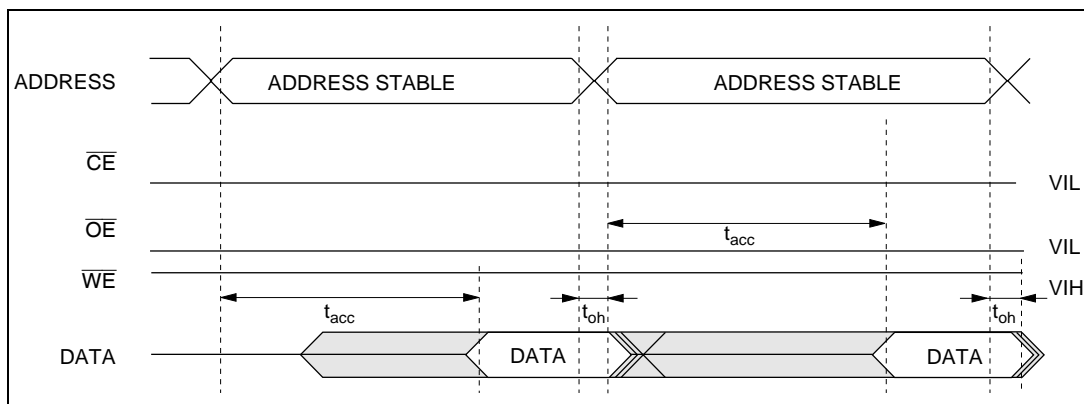
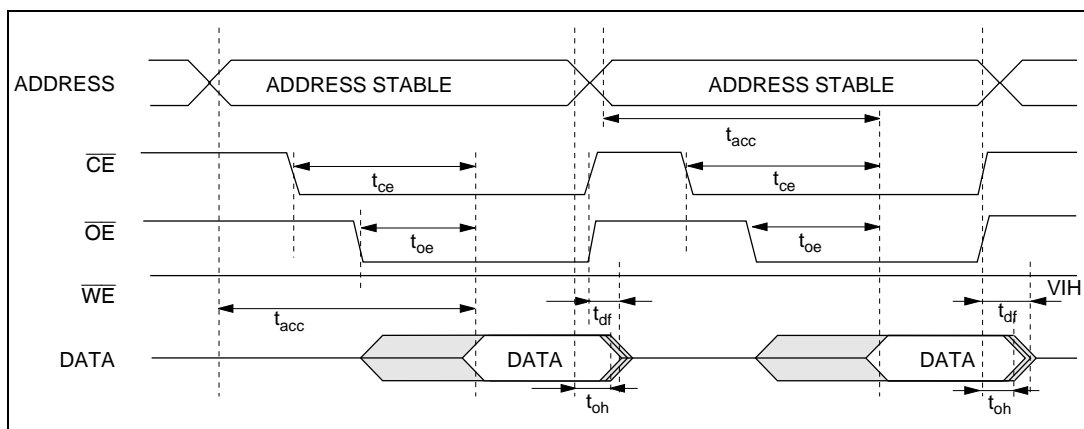


図 8.14 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 8.14 メモリ読み出しモード時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位
アクセス時間	t_{acc}		20	μs
\overline{CE} 出力遅延時間	t_{ce}		150	ns
\overline{OE} 出力遅延時間	t_{oe}		150	ns
出力ディスエーブル遅延時間	t_{df}		100	ns
データ出力ホールド時間	t_{oh}	5		ns

図 8.15 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形図 8.16 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

8.10.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、H'00、H'80でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図8.17)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。2回以上の追加書き込みについては特性保証できません。
- (7) 自動書き込み正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(FO7番のステータスポーリングは、

自動書き込み動作終了判定用端子です)。

- (8) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにすることにより読み出し可能となります。

表 8.15 自動書き込みモード時の AC 特性

(条件: $V_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
ステータスポーリング開始時間	t_{wsts}	1		ms
ステータスポーリングアクセス時間	t_{spsa}		150	ns
アドレスセットアップ時間	t_{as}	0		ns
アドレスホールド時間	t_{ah}	60		ns
メモリ書き込み時間	t_{write}	1	3000	ms
書き込みセットアップ時間	t_{pns}	100		ns
書き込み終了セットアップ時間	t_{pnh}	100		ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

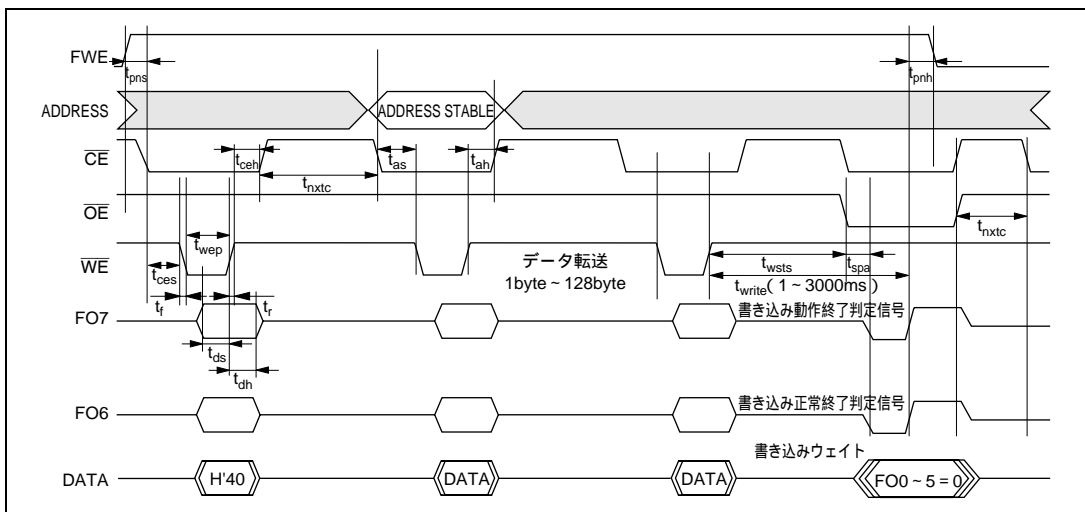


図 8.17 自動書き込みモードのタイミング波形

8.10.5 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (4) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 8.16 自動消去モード時の AC 特性

(条件: $V_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
ステータスポーリング開始時間	t_{ests}	1		ms
ステータスポーリングアクセス時間	t_{spa}		150	ns
メモリ消去時間	t_{erase}	100	40000	ms
消去セットアップ時間	t_{ens}	100		ns
消去終了セットアップ時間	t_{enh}	100		ns
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

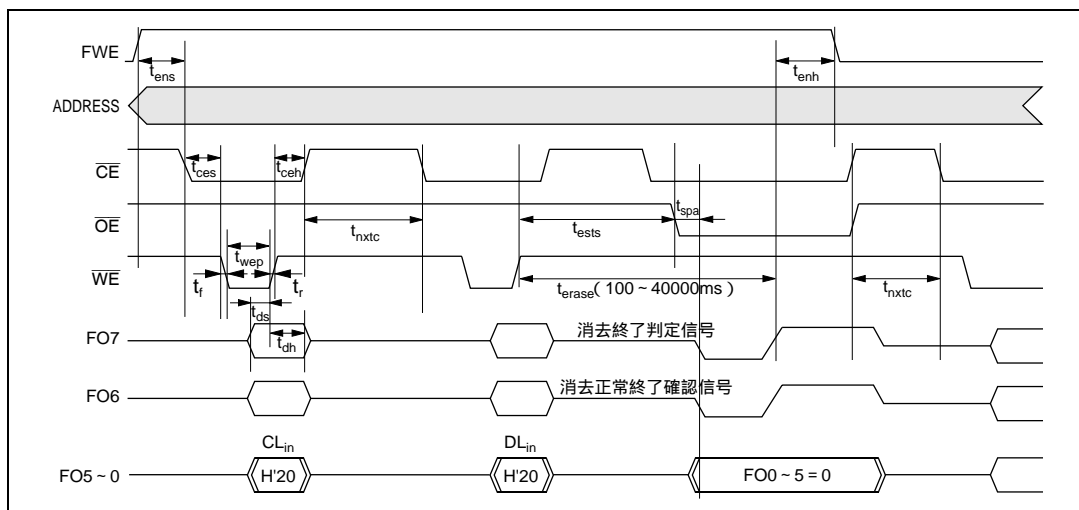


図 8.18 自動消去モードのタイミング波形

8.10.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 8.17 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
OE 出力遅延時間	t_{oe}		150	ns
ディスエーブル遅延時間	t_{df}		100	ns
CE 出力遅延時間	t_{ce}		150	ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

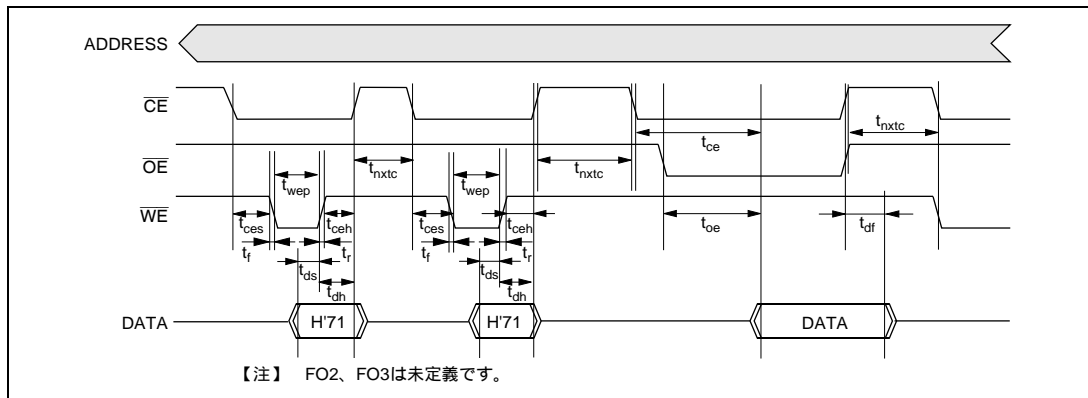


図 8.19 ステータス読み出しモードのタイミング波形

表 8.18 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了判定	コマンドエラー	書き込みエラー	消去エラー	-	-	書き込み or 消去回数オーバー	有効アドレスエラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了: 0 異常終了: 1	コマンドエラー: 1 その他: 0	書き込みエラー: 1 その他: 0	消去エラー: 1 その他: 0	-	-	回数オーバー時: 1 その他: 0	有効アドレスエラー: 1 その他: 0

【注】 FO2、3は未定です。

8.10.7 ステータスポーリング

- (1) FO7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 8.19 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0~5	0	0	0	0

8.10.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 8.20 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位
スタンバイ解除 (発振安定時間)	t_{osc1}	10	-	ms
ライタモードセットアップ時間	t_{bmV}	10	-	ms
V_{CC} ホールド時間	t_{dwn}	0	-	ms

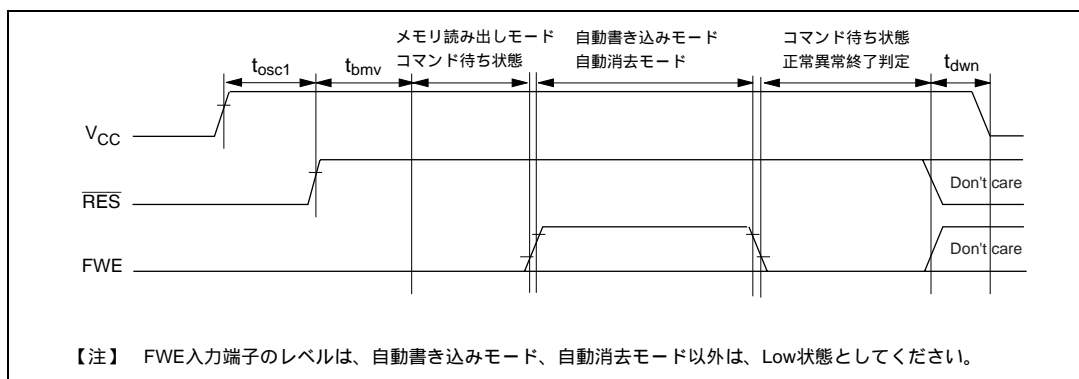


図 8.20 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

8.10.9 メモリ書き込み注意事項

- (1) 既書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
 - (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライターモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
- 【注】
1. ルネサス出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。

8.11 フラッシュメモリの書き込み/消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み/消去を行ってください。
定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。
PROMライタは、ルネサス256kバイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。
ライタの設定をHN28F101にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
- (2) 電源投入/切断時の注意
FWE端子へのHighレベル印加は V_{cc} 確定後に行ってください。また、 V_{cc} を切断する前にFWE端子をLowレベルにしてください。
 V_{cc} 電源の印加/切断時はFWE端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。
この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。
- (3) FWEの印加/解除の注意
FWEの印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE端子をLowレベルに固定し、プロテクト状態としてください。
FWEの印加/解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。
 - (a) V_{cc} 電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
 - (b) ブートモードでは、FWEの印加/解除はリセット中に行ってください。
 - (c) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = Highレベル/Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力の切り替えが可能です。
 - (d) プログラムが暴走していない状態でFWEを印加してください。
 - (e) FWEの解除はFLMCR1、FLMCR2のSWE、ESU1、2、PSU1、2、EV1、2、PV1、2、P1、2、E1、2ビットをクリアした状態で行ってください。
FWEの印加/解除時に、誤ってSWE、ESU1、2、PSU1、2、EV1、2、PV1、2、P1、2、E1、2ビットをセットしないでください。

- (4) FWE端子に常時Highレベルを印加しないでください。
FWE端子にHighレベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE端子に常時Highレベルを印加するようなシステム構成は避けてください。また、Highレベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。
- (5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムにしたがって行ってください。
推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1、2のPnビット、Enビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。
- (6) SWEビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。
フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後に行ってください。
SWEビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ（プログラム/イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。
- (7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。
FWE印加状態では書き込み/消去動作を最優先とするため、NMIを含む全ての割り込み要求を禁止してください。
- (8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。
オンボードプログラミングでは32バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。
書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
- (9) 書き込み前に、必ず、正しくPROMライターに装着されていることを確認してください。
PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
- (10) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良になることがあります。

8.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク ROM 版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 8.21 に F-ZTAT 版に存在して、マスク ROM 版に存在しないレジスタを示します。表 8.21 に示したレジスタをリードした場合、マスク ROM 版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 8.21 に示したレ

レジスタの影響がないようアプリケーションソフトを変更してください。

表 8.21 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFF8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFF9
消去ブロック指定レジスタ 1	EBR1	H'FFFA
消去ブロック指定レジスタ 2	EBR2	H'FFFB

8. ROM (H8S/2194C グループ)

9. RAM

9.1 概要

H8S/2194C、H8S/2194B、H8S/2194A は 6k バイト、H8S/2194、H8S/2193、H8S/2192、H8S/2191 は 3k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速度転送が可能です。

9.1.1 ブロック図

RAM のブロック図を図 9.1 に示します。

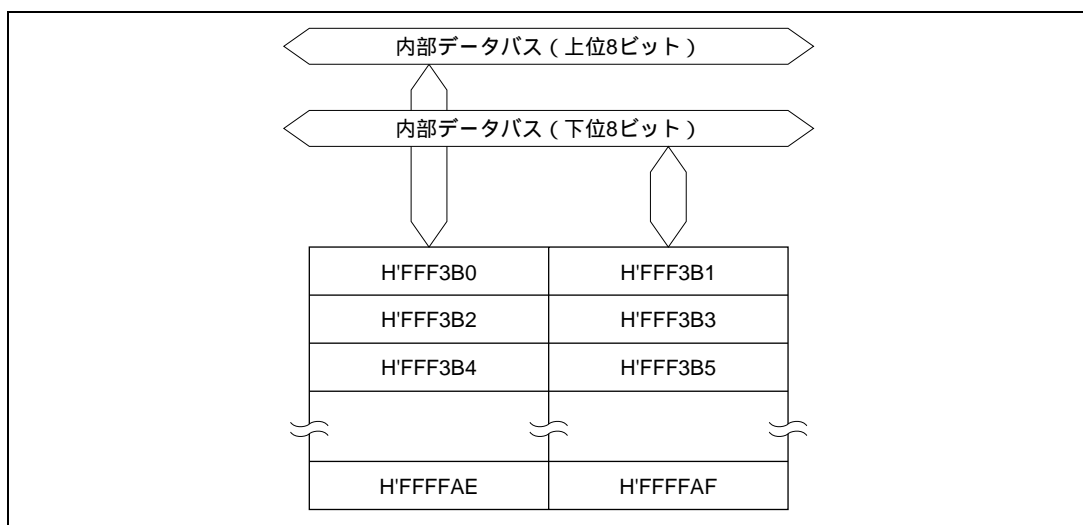


図 9.1 RAM のブロック図 (H8S/2194 の場合)

10. クロック発振器

10.1 概要

本 LSI は、クロック発振器 (CPG: Clock Pulse Generator) を内蔵しており、システムクロック ()、バスマスタクロック、および内部クロックを生成します。

クロック発振器はシステムクロック発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、サブクロック発振器、サブクロック分周回路から構成されます。

10.1.1 ブロック図

クロック発振器のブロック図 10.1 に示します。

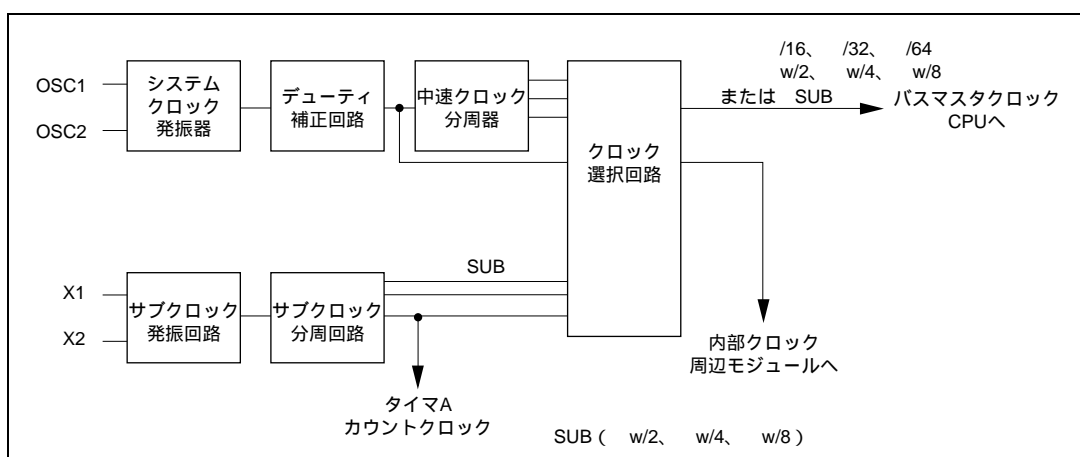


図 10.1 クロック発振器のブロック図

10.1.2 レジスタ構成

クロック発振器は、SBYCR、LPWRCR で制御されます。レジスタ構成を表 10.1 に示します。

表 10.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FFEA
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FFEB

【注】 * アドレスの下位 16 ビットを示しています。

10.2 各レジスタの説明

10.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0			SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W			R/W	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御をおこないます。ここではビット 1、0 についてのみ説明します。その他のビットの詳細については「4.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。SBYCR はリセット時に H'00 に初期化されます。

ビット 1、0 : システムクロックセレクト 1、0 (SCK1、SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

ビット 1	ビット 0	説明
SCK1	SCK0	
0	0	バスマスタは高速モード (初期値)
	1	中速クロックは /16
1	0	中速クロックは /32
	1	中速クロックは /64

10.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット :	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL				SA1	SA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W				R/W	R/W

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「4.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

LPWRCR はリセット時に H'00 に初期化されます。

ビット 1、0 : サブアクティブモードクロックセレクト (SA1、SA0)

サブアクティブモード時の CPU のクロックを選択します。サブアクティブモードではライトは無効です。

ビット 1	ビット 0	説 明
SA1	SA0	
0	0	CPU 動作クロックは w/8 (初期値)
	1	CPU 動作クロックは w/4
1	*	CPU 動作クロックは w/2

【注】 * : Don't care

10.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

10.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 10.2 に示します。水晶発振子は、AT カット並列共振形を使用してください。

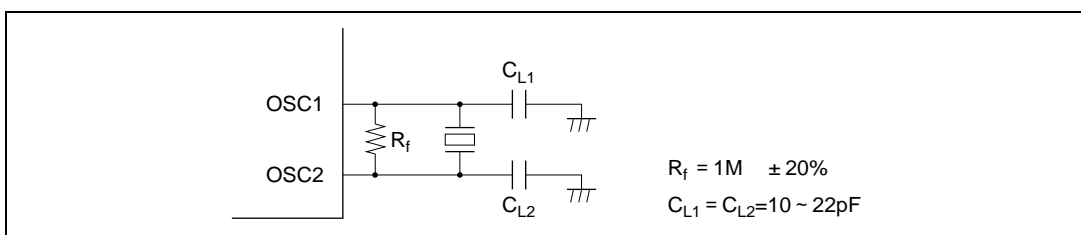


図 10.2 水晶発振子の接続例

(2) 水晶発振子

図 10.3 に水晶発振子の等価回路を示します。水晶発振子は表 10.2 に示す特性のものを使用してください。

水晶発振子は、システムクロック () と同一の周波数のものを使用してください。

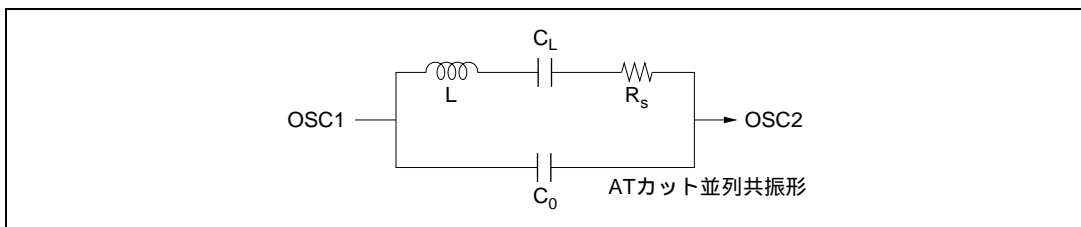


図 10.3 水晶発振子の等価回路

表 10.2 水晶発振子の特性

周波数 (MHz)	8	10
R_s max ()	80	60
C_0 max (pF)	7	

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください(図 10.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ OSC1、OSC2 端子の近くに配置してください。

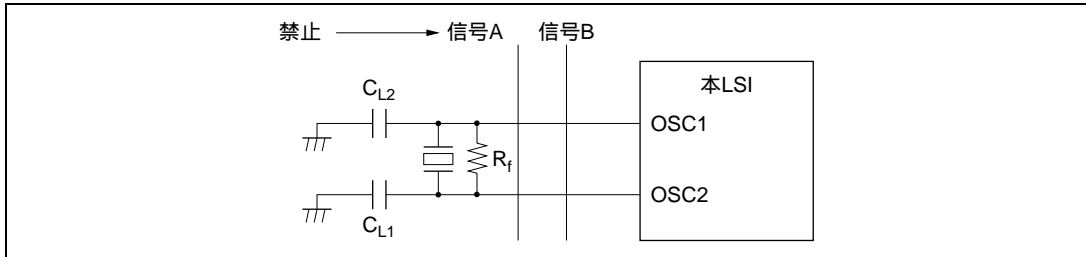


図 10.4 発振回路部のボード設計に関する注意事項

10.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 10.5 に示します。OSC2 端子をオープン状態にする場合は、寄生容量 10pF 以下としてください。

図 10.5 (b) の場合、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード時には外部クロックは High レベルになるようにしてください。

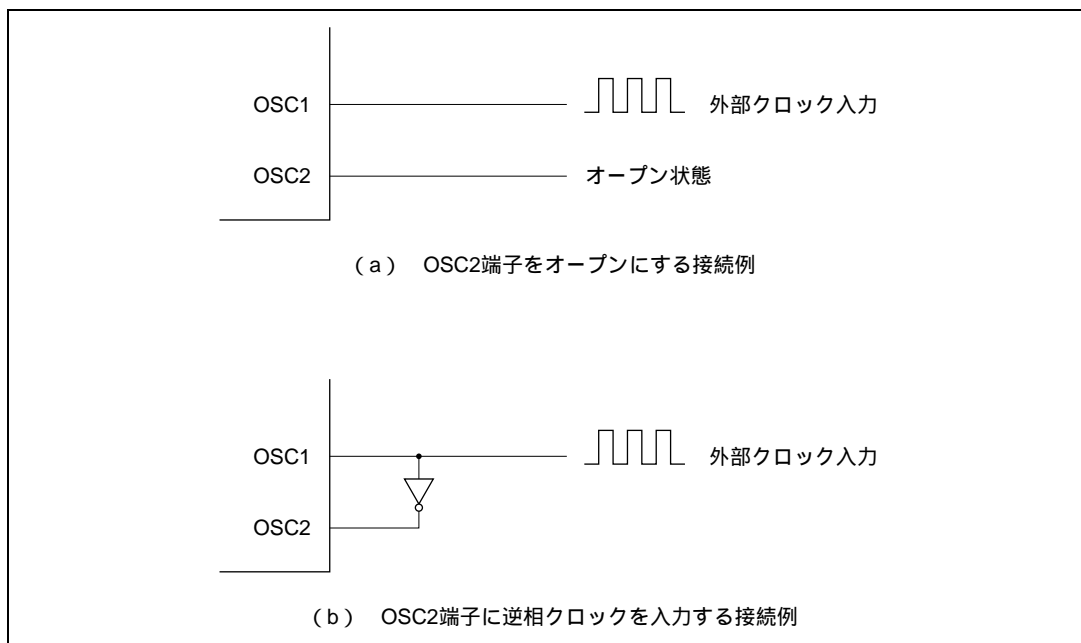


図 10.5 外部クロックの接続例

(2) 外部クロック

外部クロックは、システムクロック () と同一の周波数として下さい。

外部クロックの入力条件を表 10.3 および図 10.6 に示します。

表 10.3 外部クロック入力条件

項目	記号	$V_{CC} = 4.0 \sim 5.5V$		単位	測定条件
		min	max		
外部クロック入力 パルス幅 Low レベル	t_{EXL}	40	-	ns	図 10.6
外部クロック入力 パルス幅 High レベル	t_{EXH}	40	-	ns	
外部クロック 立ち上がり時間	t_{EXr}	-	10	ns	
外部クロック 立ち下がり時間	t_{EXf}	-	10	ns	

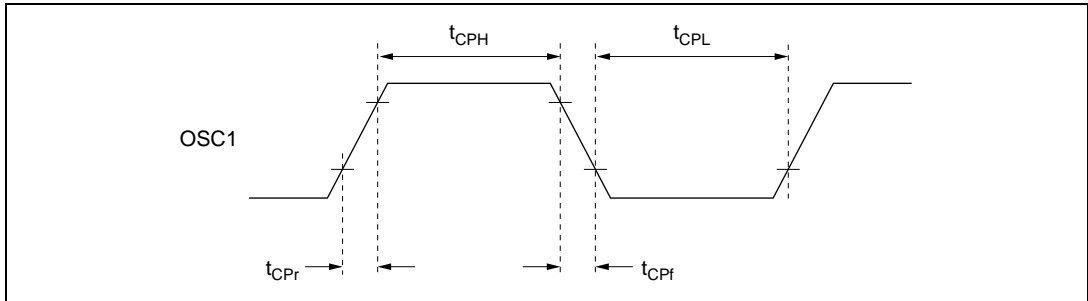


図 10.6 外部クロック入力タイミング

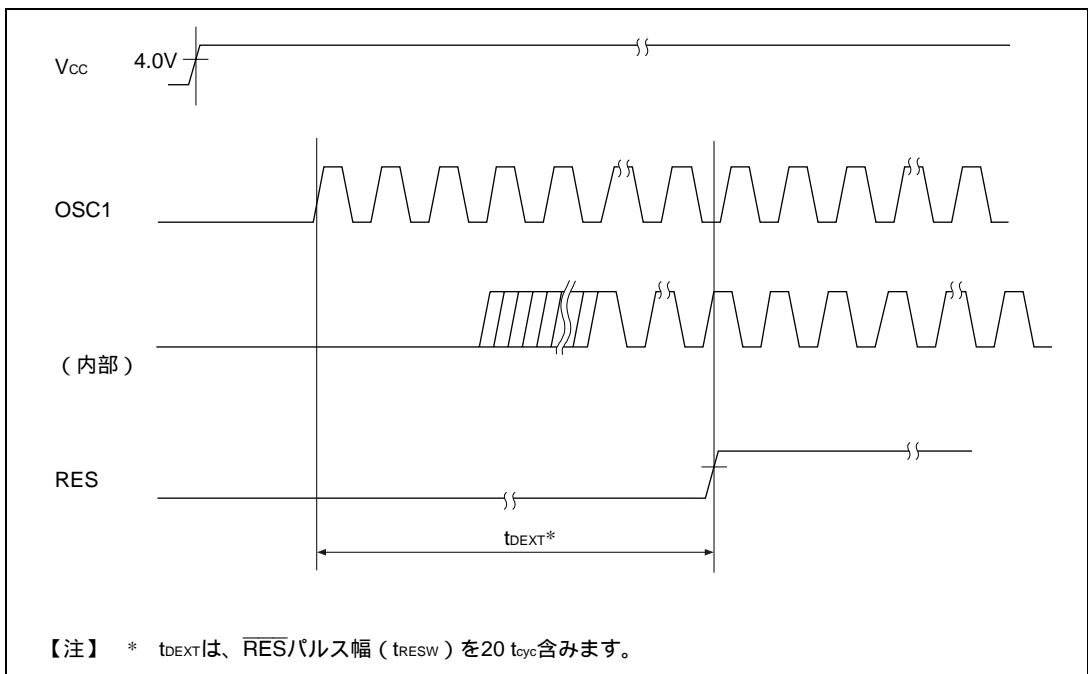
表 10.4 に外部クロック安定遅延時間、図 10.7 に外部クロック安定遅延時間タイミングを示します。発振器とデューティ補正回路は、OSC1 端子に入力した外部クロックの入力の波形を調整する機能を持っています。OSC1 端子に規定のクロック信号出力を入力すると、外部クロック安定遅延時間(t_{DEXT}) 経過後に内部クロック信号が確定します。 t_{DEXT} 期間中は内部クロック信号が確定していませんので、リセット信号を Low レベルにし、リセット状態に保持してください。

表 10.4 外部クロック安定遅延時間

[条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$]

項目	記号	Min	Max	単位	備考
外部クロック安定遅延時間	t_{DEXT}^*	500	-	μs	図 10.7

【注】 * : t_{DEXT} は、RES パルス幅 (t_{RESW}) を $20t_{CYC}$ 含みます。



【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を $20 t_{CYC}$ 含みます。

図 10.7 外部クロック安定遅延時間タイミング

10.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック () を生成します。

10.5 中速クロック分周器

中速分周器は、システムクロックを分周し、 /16、 /32、 /64 を生成します。

10.6 バスマスタクロック選択回路

バスマスタクロック選択回路はバスマスタ(CPU)に供給するクロックを、SBYCR の SCK2 ~ SCK0 ビットにしたがって、システムクロック ()、または中速クロック (/16、 /32、 /64) から選択します。

10.7 サブクロック発振回路

10.7.1 32.768kHz 水晶発振子を接続する方法

サブクロックを使用する場合は、図 10.8 に示すように X1、X2 端子へ 32.768kHz 水晶発振子を接続してください。

接続する場合の注意事項については、「10.3.1 (3) ボード設計上の注意」と同様です。
サブクロックの入力条件を図 10.10 に示します。

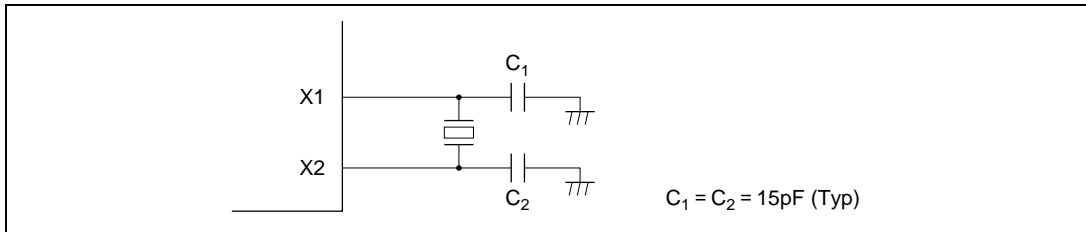


図 10.8 32.768kHz 水晶発振子の接続例

図 10.9 に 32.768kHz 水晶発振子の等価回路を示します。

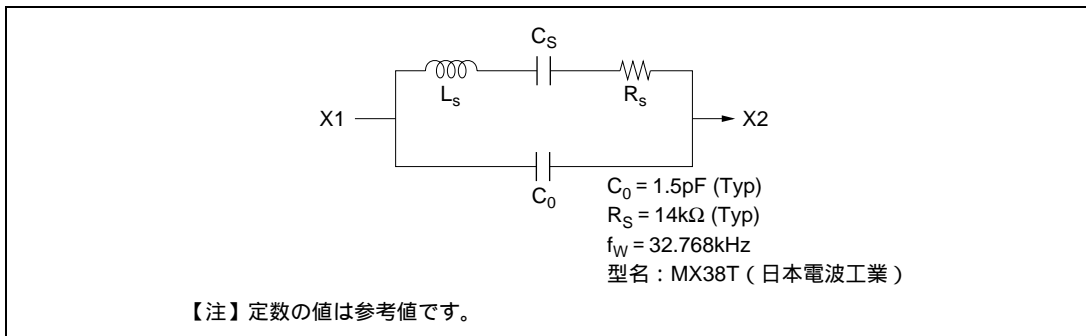


図 10.9 32.768kHz 水晶発振子の等価回路

10.7.2 外部クロックを入力する方法

(a) 回路構成

外部クロック入力の場合は、X1 端子に入力します。X2 端子はオープンとしてください。この場合の接続例を図 10.10 に示します。

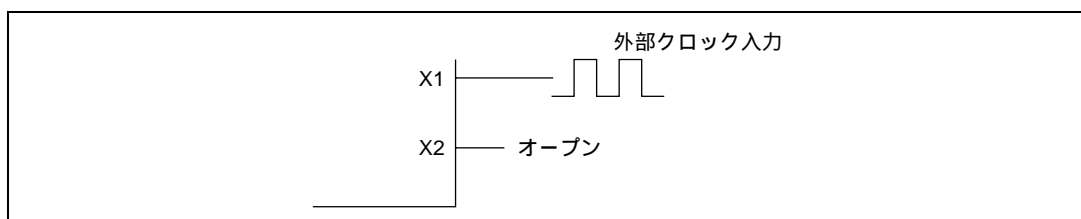


図 10.10 外部クロックを入力する場合の接続例

10.7.3 サブクロックを必要としない場合

サブクロックを必要としない場合には、図 10.11 に示すように X1 端子を V_{CC} に接続し、X2 端子をオープンとして下さい。

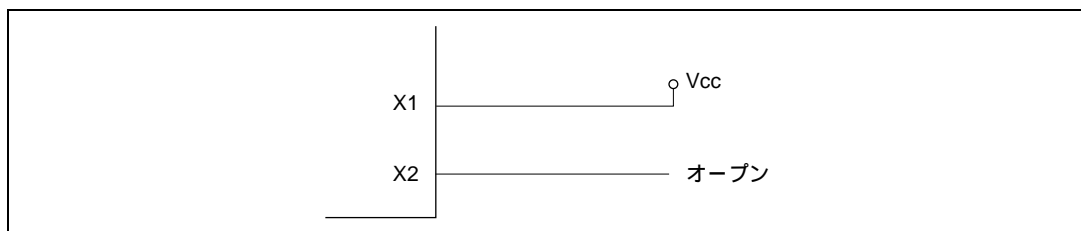


図 10.11 サブクロックを使用しない場合の端子処理

10.8 サブクロック波形成形回路

X1 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「4.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

10.9 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、マスク版、F-ZTAT 版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実施回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

11. I/O ポート

11.1 概要

11.1.1 ポートの機能

本 LSI は、8 ビット入出力ポート 7 本（内 1 本は CMOS 大電流ポート）、4 ビット入出力ポート 1 本、8 ビット入力ポート 1 本を備えています。各ポートの機能一覧を表 11.1 に示します。入出力ポートは、入出力を制御するポートコントロールレジスタ（PCR）と出力データを格納するポートデータレジスタ（PDR）とで構成され、ビット単位で入出力を制御できます。また、周辺機能が兼用されている端子は、ポートモードレジスタ（PMR）により、ビット単位での端子機能の設定が可能です。

11.1.2 ポートの入力

(1) ポートのリード動作

- PCR = 0（入力）の汎用ポートをリードすると、端子のレベルを読み出します。
- PCR = 1（出力）の汎用ポートをリードすると、PDR の当該ビットの値を読み出します。
- 周辺機能に設定された端子（AN7 ~ AN0、RP7 ~ RP0 端子を除く）をリードすると、PCR の値によって上記（1）、（2）の通りになります。

(2) 入力端子の処理

汎用入力ポートまたは汎用入出力ポートは、リード信号によりゲートされています。未使用端子は、リードしなければ開放（オープン）のままかまいません。しかし、開放端子をリードすると、中間レベルにより、リードの期間に貫通電流が流れることがあります。リードの期間は約 1 ステートです。
該当ポート：P0、P1、P2、P3、P4、P5、P6、P7、P8

兼用端子が、汎用入出力以外の兼用入力機能に設定されている場合、端子レベルは必ず High または Low レベルに固定してください。開放のままにすると、中間レベルにより貫通電流が流れ、信頼性に悪影響を与え、誤動作の原因になり、または最悪の場合、破壊に至ることがあるので注意が必要です。

PMR は低消費電力モード時に初期化されないで、低消費電力モードに遷移した後も端子の入力レベルに注意が必要です。

該当端子： \overline{IC} 、 $\overline{IRQ0}$ ~ $\overline{IRQ5}$ 、SCK1、SCK2、SI1、SI2、 \overline{CS} 、FTIA、FTIB、FTIC、FTID、TRIG、TMBI、ADTRG、EXCAP、EXTTRG

11. I/O ポート

表 11.1 ポートの機能一覧

ポート	概要	端子	兼用機能	機能切り替えレジスタ
ポート 0	P07 ~ P00 入力専用ポート	P07/AN7 ~ P00/AN0	アナログデータ入力チャンネル 7 ~ 0	PMR0
ポート 1	P17 ~ P10 入出力ポート (ブルアップ MOS 内蔵)	P17/TMOW	プリスケールユニット分周クロック出力	PMR1
		P16/IC	プリスケールユニットインプットキャブチャ入力	
		P15/IRQ5 ~ P10/IRQ0	外部割り込み要求入力	
ポート 2	P27 ~ P20 入出力ポート (ブルアップ MOS 内蔵)	P27/SCK2	SCI2 クロック入出力	PMR2
		P26/SO2	SCI2 送信データ出力	
		P25/SI2	SCI2 受信データ入力	
		P24/SCL	I ² C バスインタフェースクロック入出力	ICCR
		P23/SDA	I ² C バスインタフェースデータ入出力	
		P22/SCK1	SCI1 クロック入出力	SMR
		P21/SO1	SCI1 送信データ出力	SCR
		P20/SI1	SCI1 受信データ入力	
ポート 3	P37 ~ P30 入出力ポート (ブルアップ MOS 内蔵)	P37/TMO	タイマ J タイマ出力	PMR3
		P36/BUZZ	タイマ J ブザー出力	
		P35/PWM3 ~ P32/PWM0	8 ビット PWM 出力	
		P31/STRB	SCI2 ストロブ出力	
		P30/CS	SCI2 チップセレクト入力	
ポート 4	P47 ~ P40 入出力ポート	P47	なし	-
		P46/FTOB	タイマ X アウトプットコンペア B 出力	TOCR
		P45/FTOA	タイマ X アウトプットコンペア A 出力	
		P44/FTID	タイマ X インプットキャブチャ D 入力	-
		P43/FTIC	タイマ X インプットキャブチャ C 入力	
		P42/FTIB	タイマ X インプットキャブチャ B 入力	
		P41/FTIA	タイマ X インプットキャブチャ A 入力	
		P40/PWM14	14 ビット PWM 出力	
		ポート 5	P53 ~ P50 入出力ポート	P53/TRIG
P52/TMBI	タイマ B イベント入力			
P51	なし			-
P50/ADTRG	A/D 変換開始外部トリガ入力			ADTSR
ポート 6	P67 ~ P60 入出力ポート	P67/RP7 ~ P60/RP0	リアルタイム出力ポート	PMR6
ポート 7	P77 ~ P70 入出力ポート	P77/PPG7 ~ P70/PPG0	PPG 出力	PMR7
ポート 8	P87 ~ P80 入出力ポート (大電流ポート)	P87 ~ P84	なし	-
		P83/SV2	サーボモニタ出力	PMR8
		P82/SV1		
		P81/EXCAP	キャプスタン外部同期信号入力	
		P80/EXTTRG	外部トリガ信号入力	

11.1.3 プルアップ MOS

ポート 1~3 は、プルアップ MOS セレクトレジスタ 1~3 (PUR1~PUR3) により、ビット単位でプルアップ MOS の ON/OFF を設定できます。PUR1~PUR3 の設定は、PCR1~PCR3 により端子機能を入力に設定しているときに有効になります。出力に設定している場合、プルアップ MOS は OFF になります。プルアップ MOS 付き端子の回路構成を図 11.1 に示します。

周辺機能が兼用されている端子が兼用出力機能に設定された場合はプルアップ MOS は OFF になります。また、兼用入力機能に設定された場合は PCR に関わらず PUR の設定により制御されます。

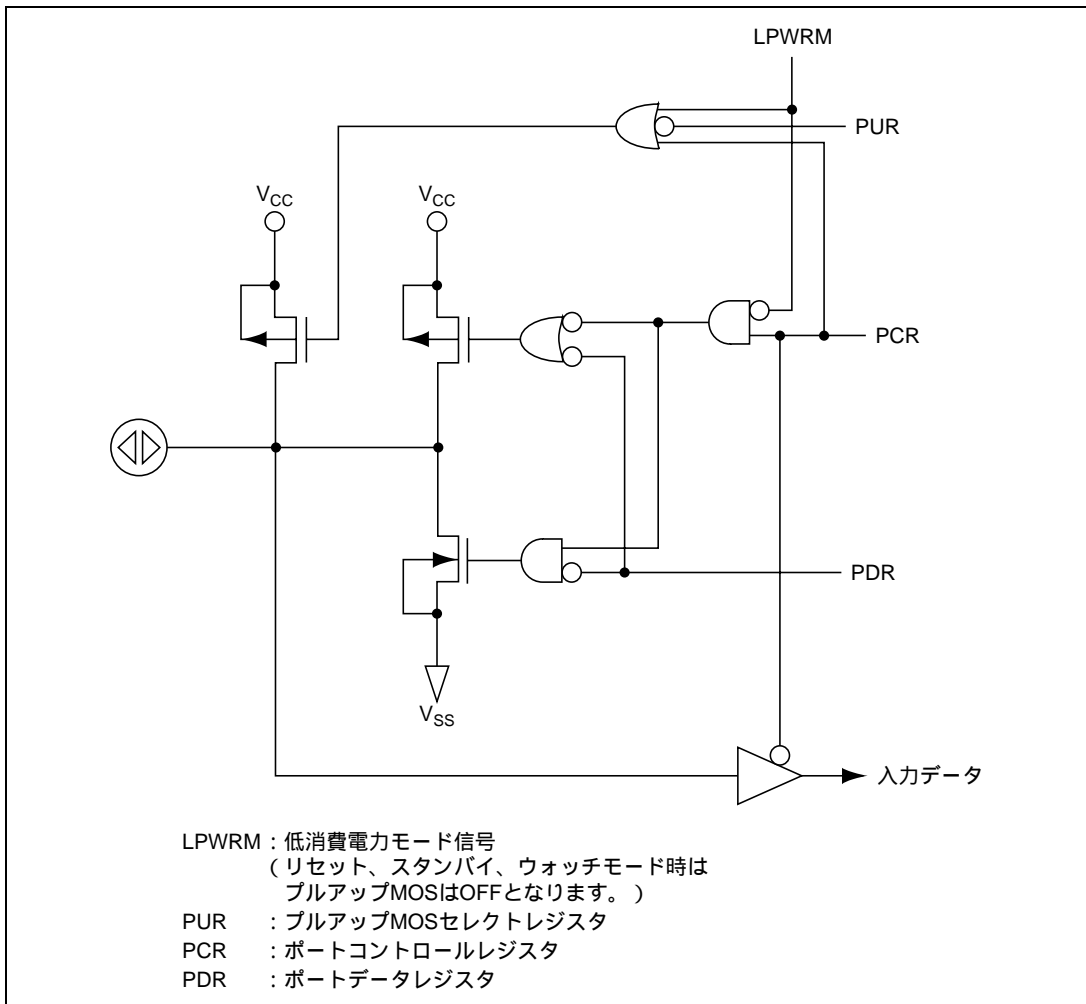


図 11.1 プルアップ MOS 付き端子の回路構成

11.2 ポート 0

11.2.1 概要

ポート 0 は 8 ビットの入力専用ポートです。ポート 0 の構成を表 11.2 に示します。

ポート 0 は、標準入力ポート (P07 ~ P00) とアナログ入力チャネル (AN7 ~ AN0) との兼用端子になっています。切り替えは、ポートモードレジスタ 0 (PMR0) で行います。

表 11.2 ポート 0 の構成

ポート	機能	兼用機能
ポート 0	P07 (標準入力ポート)	AN7 (アナログ入力チャネル)
	P06 (標準入力ポート)	AN6 (アナログ入力チャネル)
	P05 (標準入力ポート)	AN5 (アナログ入力チャネル)
	P04 (標準入力ポート)	AN4 (アナログ入力チャネル)
	P03 (標準入力ポート)	AN3 (アナログ入力チャネル)
	P02 (標準入力ポート)	AN2 (アナログ入力チャネル)
	P01 (標準入力ポート)	AN1 (アナログ入力チャネル)
	P00 (標準入力ポート)	AN0 (アナログ入力チャネル)

11.2.2 レジスタの構成

ポート 0 のレジスタ構成を表 11.3 に示します。

表 11.3 ポート 0 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 0	PMR0	R/W	バイト	H'00	H'FFCD
ポートデータレジスタ 0	PDR0	R	バイト	-	H'FFC0

【注】 *: アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 0 (PMR0)

ビット:	7	6	5	4	3	2	1	0
	PMR07	PMR06	PMR05	PMR04	PMR03	PMR02	PMR01	PMR00
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 0 (PMR0) は、ポート 0 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR0 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR0 は H'00 に初期化されます。

ビット7~0 : P07/AN7 ~ P00/AN0 端子切り替え (PMR07 ~ PMR00)

P0n/ANn 端子を P0n 入力端子として使用するか、A/D 変換器のアナログ入力チャネルの ANn 端子として使用するかを設定します。

ビット n	説明
PMR0n	
0	P0n/ANn 端子は、P0n 入力端子として機能 (初期値)
1	P0n/ANn 端子は、ANn 入力端子として機能

(n=7~0)

(2) ポートデータレジスタ 0 (PDR0)

ビット:	7	6	5	4	3	2	1	0
	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00

初期値:

R/W : R R R R R R R R

ポートデータレジスタ 0 (PDR0) は、ポートの状態を読み出すレジスタです。PMR0 の対応するビットが 0 (汎用入力ポート) のとき、PDR0 をリードすると端子の状態が読み出されます。PMR0 の対応するビットが 1 (アナログ入力チャネル) のとき、PDR0 をリードすると 1 が読み出されます。

PDR0 は、8 ビットのリード専用レジスタです。リセット時には、値は不定になります。

11.2.3 端子機能

ポート 0 の端子機能とその選択方法を示します。

(1) P07/AN7 ~ P00/AN0

PMR0 の PMR0n ビットにより、次のように切り替わります。

PMR0n	端子機能
0	P0n 入力端子
1	ANn 入力端子

(n=7~0)

11.2.4 端子状態

ポート 0 の各動作モードにおける端子状態を表 11.4 に示します。

表 11.4 ポート 0 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P07/AN7 ~ P00/AN0	ハイイン ピーダンス	ハイインピー ダンス	ハイイン ピーダンス	ハイイン ピーダンス	ハイイン ピーダンス	ハイインピーダ ンス	ハイインピー ダンス

11.3 ポート 1

11.3.1 概要

ポート 1 は 8 ビットの入出力ポートです。ポート 1 の構成を表 11.5 に示します。

ポート 1 は、標準入出力ポート (P17~P10) と、分周クロック出力 (TMOW)、インプットキャプチャ入力 (\overline{IC})、外部割り込み要求入力 ($\overline{IRQ5} \sim \overline{IRQ0}$) との兼用端子になっています。切り替えは、ポートモードレジスタ 1 (PMR1) とポートコントロールレジスタ 1 (PCR1) とで行います。

ポート 1 は、プルアップ MOS 機能の選択が可能です。

表 11.5 ポート 1 の構成

ポート	機能	兼用機能
ポート 1	P17 (標準入出力ポート)	TMOW (分周クロック出力)
	P16 (標準入出力ポート)	\overline{IC} (インプットキャプチャ入力)
	P15 (標準入出力ポート)	$\overline{IRQ5}$ (外部割り込み要求入力)
	P14 (標準入出力ポート)	$\overline{IRQ4}$ (外部割り込み要求入力)
	P13 (標準入出力ポート)	$\overline{IRQ3}$ (外部割り込み要求入力)
	P12 (標準入出力ポート)	$\overline{IRQ2}$ (外部割り込み要求入力)
	P11 (標準入出力ポート)	$\overline{IRQ1}$ (外部割り込み要求入力)
	P10 (標準入出力ポート)	$\overline{IRQ0}$ (外部割り込み要求入力)

11.3.2 レジスタの構成

ポート 1 のレジスタ構成を表 11.6 に示します。

表 11.6 ポート 1 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 1	PMR1	R/W	バイト	H'00	H'FFCE
ポートコントロールレジスタ 1	PCR1	W	バイト	H'00	H'FFD1
ポートデータレジスタ 1	PDR1	R/W	バイト	H'00	H'FFC1
プルアップ MOS セレクトレジスタ 1	PUR1	R/W	バイト	H'00	H'FFE1

【注】 *: アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	PMR17	PMR16	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 1 (PMR1) は、ポート 1 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR1 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR1 は H'00 に初期化されます。

PMR1 により端子機能を切り替える場合の注意点を示します。

- (1) PMR1により、ポート1を \overline{IC} 入力端子、 $\overline{IRQ5} \sim \overline{IRQ0}$ 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルはHighまたはLowレベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。
- (2) PMR1により、P16/ \overline{IC} 、P15/ $\overline{IRQ5} \sim \overline{IRQ0}$ の端子機能を切り替えると、端子の信号の状態によってはエッジ検出と誤認し、検出信号が発生することがあります。これを防止するために、次の手順で操作を行ってください。
 - (a) 端子機能を切り替える前に、割り込み許可フラグを割り込み禁止にしてください。
 - (b) 端子機能を切り替えた後、一命令おいて当該割り込み要求フラグを0にクリアしてください。

(プログラム例)

```

:
MOV.B R0L,@IENR ..... 割り込み禁止
MOV.B R1L,@PMR1 ..... 端子機能変更
NOP ..... 任意の一命令
BCLR m @IRQR ..... 当該割り込みクリア
MOV.B R1L,@IENR ..... 割り込み許可
:

```

ビット7：P17/TMOW 端子切り替え（PMR17）

P17/TMOW 端子を P17 入出力端子として使用するか、分周クロック出力の TMOW 端子として使用するかを設定します。

ビット7	説明
PMR17	
0	P17/TMOW 端子は、P17 入出力端子として機能 (初期値)
1	P17/TMOW 端子は、TMOW 出力端子として機能

ビット6：P16/ \overline{IC} 端子切り替え（PMR16）

P16/ \overline{IC} 端子を P16 入出力端子として使用するか、プリスケアラユニットのインプットキャプチャ入力の \overline{IC} 端子として使用するかを設定します。 \overline{IC} 端子には、ノイズキャンセル回路が内蔵されています。「第22章 プリスケアラユニット」を参照してください。

ビット6	説明
PMR16	
0	P16/ \overline{IC} 端子は、P16 入出力端子として機能 (初期値)
1	P16/ \overline{IC} 端子は、 \overline{IC} 入力端子として機能

11. I/O ポート

ビット 5~0 : P15/ $\overline{\text{IRQ5}}$ ~ P10/ $\overline{\text{IRQ0}}$ 端子切り替え (PMR15 ~ PMR10)

P1n/ $\overline{\text{IRQn}}$ 端子を P1n 入出力端子として使用するか、外部割り込み要求入力の $\overline{\text{IRQn}}$ 端子として使用するかを設定します。

ビット n	説明
PMR1n	
0	P1n/ $\overline{\text{IRQn}}$ 端子は、P1n 入出力端子として機能 (初期値)
1	P1n/ $\overline{\text{IRQn}}$ 端子は $\overline{\text{IRQn}}$ 入力端子として機能

(n=5~0)

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 1 (PCR1) は、ポート 1 の各端子 P17~P10 の入出力をビット単位で制御します。PCR1 を 1 にセットすると対応する P17~P10 端子は出力端子となり、0 にクリアすると入力端子となります。PMR1 により当該端子が汎用入出力に設定されている場合に、PCR1 および PDR1 の設定が有効になります。

PCR1 は 8 ビットのライト専用レジスタです。PCR1 をリードすると 1 が読み出されます。リセット時、PCR1 は H'00 に初期化されます。

ビット n	説明
PCR1n	
0	P1n 端子は、入力端子として機能 (初期値)
1	P1n 端子は、出力端子として機能

(n=7~0)

(3) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 1 (PDR1) は、ポート 1 の各端子 P17~P10 のデータを格納するレジスタです。PCR1 が 1 (出力) のとき、ポート 1 のリードを行うと PDR1 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR1 が 0 (入力) のとき、ポート 1 のリードを行うと端子の状態が読み出されます。

PDR1 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR1 は H'00 に初期化されます。

(4) プルアップ MOS セレクトレジスタ 1 (PUR1)

ビット:	7	6	5	4	3	2	1	0
	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プルアップ MOS セレクトレジスタ 1 (PUR1) は、ポート 1 のプルアップ MOS の ON/OFF を制御します。PCR1 の当該ビットが 0 (入力) に設定された端子のみ有効となります。PCR1 の当該ビットが 1 (出力) に設定されているとき、PUR1 の当該ビットは無効となり、プルアップ MOS は OFF になります。

PUR1 は 8 ビットのリード/ライト可能なレジスタです。リセット時、PUR1 は H'00 に初期化されま

ビット n	説明
PUR1n	
0	P1n 端子は、プルアップ MOS なしとなります。(初期値)
1	P1n 端子は、プルアップ MOS 付き端子となります。

(n = 7 ~ 0)

11.3.3 端子機能

ポート 1 の端子機能とその選択方法を示します。

(1) P17/TMOW

PMR1のPMR17ビットおよびPCR1のPCR17により、次のように切り替わります。

PMR17	PCR17	端子機能
0	0	P17 入力端子
	1	P17 出力端子
1	*	TMOW 出力端子

(2) P16/ \overline{IC}

PMR1のPMR16ビット、プリスケラユニットコントロール/ステータスレジスタ (PCSR) の NCon/offビット、およびPCR1のPCR16により、次のように切り替わります。

PMR16	PCR16	NC on/off	端子機能
0	0	*	P16 入力端子
	1		P16 出力端子
1	*	0	\overline{IC} 入力端子
		1	ノイズキャンセル無効
			ノイズキャンセル有効

11. I/O ポート

(3) P15/ $\overline{\text{IRQ5}}$ ~ P10/ $\overline{\text{IRQ0}}$

PMR1のPMR1nビットおよびPCR1のPCR1nにより、次のように切り替わります。

PMR1n	PCR1n	端子機能
0	0	P1n 入力端子
	1	P1n 出力端子
1	*	$\overline{\text{IRQn}}$ 入力端子

(n = 5 ~ 0)

- 【注】
1. * : Don't care.
 2. $\overline{\text{IRQ5}}$ ~ $\overline{\text{IRQ0}}$ 入力端子は、エッジセンスとして立ち上がりエッジ/立ち下がりエッジの選択が可能です ($\overline{\text{IRQ0}}$ 端子は両エッジも選択可能)。「6.2.4 IRQ エッジセレクトレジスタ (IEGR)」を参照してください。
 3. $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ はタイマ J のイベント入力、 $\overline{\text{IRQ3}}$ はタイマ R のインプットキャプチャ入力として使用できます。詳細は、「第 14 章 タイマ J」、または、「第 16 章 タイマ R」を参照してください。

11.3.4 端子状態

ポート 1 の各動作モードにおける端子状態を表 11.7 に示します。

表 11.7 ポート 1 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P17/TMOW P16/ $\overline{\text{IC}}$ P15/ $\overline{\text{IRQ5}}$ ~ P10/ $\overline{\text{IRQ0}}$	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

- 【注】 $\overline{\text{IC}}$ 入力端子、 $\overline{\text{IRQ5}}$ ~ $\overline{\text{IRQ0}}$ 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。

11.4 ポート 2

11.4.1 概要

ポート 2 は 8 ビットの入出力ポートです。ポート 2 の構成を表 11.8 に示します。

ポート 2 は、標準入出力ポート (P27~P20) と、SCI クロック入出力 (SCK1、SCK2)、受信データ入力 (SI1、SI2)、送信データ出力 (SO1、SO2)、I²C バスインタフェースクロック入出力 (SCL)、データ入出力 (SDA) との兼用端子になっています。切り替えは、ポートモードレジスタ 2 (PMR2)、シリアルモードレジスタ (SMR)、シリアルコントロールレジスタ (SCR)、I²C バスコントロールレジスタ (ICCR)、およびポートコントロールレジスタ 2 (PCR2) で行います。

ポート 2 は、プルアップ MOS 機能の選択が可能です。

表 11.8 ポート 2 の構成

ポート	機能	兼用機能
ポート 2	P27 (標準入出力ポート)	SCK2 (SCI2 クロック入出力)
	P26 (標準入出力ポート)	SO2 (SCI2 送信データ出力)
	P25 (標準入出力ポート)	SI2 (SCI2 受信データ入力)
	P24 (標準入出力ポート)	SCL (I ² C バスインタフェースクロック入出力)
	P23 (標準入出力ポート)	SDA (I ² C バスインタフェースデータ入出力)
	P22 (標準入出力ポート)	SCK1 (SCI1 クロック入出力)
	P21 (標準入出力ポート)	SO1 (SCI1 送信データ出力)
	P20 (標準入出力ポート)	SI1 (SCI1 受信データ入力)

11.4.2 レジスタの構成

ポート 2 のレジスタ構成を表 11.9 に示します。

表 11.9 ポート 2 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 2	PMR2	R/W	バイト	H'1E	H'FFCF
ポートコントロールレジスタ 2	PCR2	W	バイト	H'00	H'FFD2
ポートデータレジスタ 2	PDR2	R/W	バイト	H'00	H'FFC2
プルアップ MOS セレクトレジスタ 2	PUR2	R/W	バイト	H'00	H'FFE2

【注】 *: アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	PMR27	PMR26	PMR25					PMR20
初期値:	0	0	0	1	1	1	1	0
R/W :	R/W	R/W	R/W					R/W

ポートモードレジスタ 2 (PMR2) は、ポート 2 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

P22/SCK1、P21/SO1、P20/SI1 端子の機能の切り替えは、SMR および SCR で制御します。「第 23 章 シリアルコミュニケーションインタフェース 1 (SCI1)」を参照してください。

PMR2 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR2 は H'1E に初期化されます。

11. I/O ポート

SCK1、SCK2、SI1、SI2 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子レベルが中間レベルにならないようにしてください。

ビット 7 : P27/SCK2 端子切り替え (PMR27)

P27/SCK2 端子を P27 入出力端子として使用するか、SCI2 のクロック入出力の SCK2 端子として使用するかを設定します。

ビット 7	説 明
PMR27	
0	P27/SCK2 端子は、P27 入出力端子として機能 (初期値)
1	P27/SCK2 端子は、SCK2 入出力端子として機能

ビット 6 : P26/SO2 端子切り替え (PMR26)

P26/SO2 端子を P26 入出力端子として使用するか、SCI2 の送信データ出力の SO2 端子として使用するかを設定します。

ビット 6	説 明
PMR26	
0	P26/SO2 端子は、P26 入出力端子として機能 (初期値)
1	P26/SO2 端子は、SO2 出力端子として機能

ビット 5 : P25/SI2 端子切り替え (PMR25)

P25/SI2 端子を P25 入出力端子として使用するか、SCI2 の受信データ入力の SI2 端子として使用するかを設定します。

ビット 5	説 明
PMR25	
0	P25/SI2 端子は、P25 入出力端子として機能 (初期値)
1	P25/SI2 端子は、SI2 入力端子として機能

ビット 4~1 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0 : P26/SO2 端子 PMOS コントロール (PMR20)

P26/SO2 端子出力バッファの PMOS の ON/OFF を制御します。

ビット 0	説 明
PMR20	
0	P26/SO2 端子は、CMOS 出力 (初期値)
1	P26/SO2 端子は、NMOS オープンドレイン出力

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 2 (PCR2) は、ポート 2 の各端子 P27 ~ P20 の入出力をビット単位で制御します。PCR2 を 1 にセットすると対応する P27 ~ P20 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合に、PCR2 および PDR2 の設定が有効になります。

PCR2 は 8 ビットのライト専用レジスタです。PCR2 をリードすると 1 が読み出されます。リセット時、PCR2 は H'00 に初期化されます。

ビット n	説明
PCR2n	
0	P2n 端子は、入力端子として機能 (初期値)
1	P2n 端子は、出力端子として機能

(n = 7 ~ 0)

(3) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 2 (PDR2) は、ポート 2 の各端子 P27 ~ P20 のデータを格納するレジスタです。PCR2 が 1 (出力) のとき、ポート 2 のリードを行うと PDR2 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR2 が 0 (入力) のとき、ポート 2 のリードを行うと端子の状態が読み出されます。

PDR2 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR2 は H'00 に初期化されます。

11. I/O ポート

(4) プルアップ MOS セレクトレジスタ 2 (PUR2)

ビット:	7	6	5	4	3	2	1	0
	PUR27	PUR26	PUR25	PUR24	PUR23	PUR22	PUR21	PUR20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プルアップ MOS セレクトレジスタ 2 (PUR2) は、ポート 2 のプルアップ MOS の ON/OFF を制御します。PCR2 の当該ビットが 0 (入力) に設定された端子のみ有効となります。PCR2 の当該ビットが 1 (出力) に設定されているとき、PUR2 の当該ビットは無効となり、プルアップ MOS は OFF になります。

PUR2 は 8 ビットのリード/ライト可能なレジスタです。リセット時、PUR2 は H'00 に初期化されません。

ビット n	説明
PMR2n	
0	P2n 端子は、プルアップ MOS なしとなります。(初期値)
1	P2n 端子は、プルアップ MOS 付き端子となります。

(n=7~0)

11.4.3 端子機能

ポート 2 の端子機能とその選択方法を示します。

(1) P27/SCK2

PMR2のPMR27ビット、PCR2のPCR27ビット、およびシリアルコントロールレジスタ(SCR2)のSCK2~SCK0ビットにより、次のように切り替わります。

PMR27	PCR27	CKS2~CKS0	端子機能
0	0	*	P27 入力端子
	1		P27 出力端子
1	*	111 以外	SCK2 出力端子
		111	SCK2 入力端子

(2) P26/SO2

PMR2のPMR26ビットおよびPCR2のPCR26ビットにより、次のように切り替わります。

PMR26	PCR26	端子機能
0	0	P26 入力端子
	1	P26 出力端子
1	*	SO2 出力端子

(3) P25/SI2

PMR2のPMR25ビットおよびPCR2のPCR25ビットにより、次のように切り替わります。

PMR25	PCR25	端子機能
0	0	P25 入力端子
	1	P25 出力端子
1	*	SI2 入力端子

(4) P24/SCL

I²CバスコントロールレジスタのICEビット、PCR2のPCR24ビットにより、次のように切り替わります。

ICE	PCR24	端子機能
0	0	P24 入力端子
	1	P24 出力端子
1	*	SCL 入出力端子

(5) P23/SDA

I²CバスコントロールレジスタのICEビット、PCR2のPCR23ビットにより、次のように切り替わります。

ICE	PCR23	端子機能
0	0	P23 入力端子
	1	P23 出力端子
1	*	SDA 入出力端子

(6) P22/SCK1

PCR2のPCR22ビット、SMRのC/Aビット、およびSCRのCKE1、CKE0ビットにより、次のように切り替わります。

CKE1	C/A	CKE0	PCR22	端子機能
0	0	0	0	P22 入力端子
			1	P22 出力端子
	1	1	1	*
*			SCK1 入力端子	

(7) P21/SO1

PCR2のPCR21ビットおよびSCRのTEビットにより、次のように切り替わります。

TE	PCR21	端子機能
0	0	P21 入力端子
	1	P21 出力端子
1	*	SO1 出力端子

11. I/O ポート

(8) P20/SI1

PCR2のPCR20ビットおよびSCRのREビットにより、次のように切り替わります。

RE	PCR20	端子機能
0	0	P20 入力端子
	1	P20 出力端子
1	*	SI1 入力端子

【注】 * : Don't care.

11.4.4 端子状態

ポート 2 の各動作モードにおける端子状態を表 11.10 に示します。

表 11.10 ポート 2 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P27/SCK2 P26/SO2 P25/SI2 P24/SCL P23/SDA P22/SCK1 P21/SO1 P20/SI1	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

【注】 SCK1、SCK2、SI1、SI2 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。

11.5 ポート 3

11.5.1 概要

ポート 3 は 8 ビットの入出力ポートです。ポート 3 の構成を表 11.11 に示します。

ポート 3 は、標準入出力ポート (P37 ~ P30) と、タイマ J タイマ出力 (TMO)、ブザー出力 (BUZZ)、8 ビット PWM 出力 (PWM3 ~ PWM0)、SCI2 ストロープ出力 (STRB)、チップセレクト入力 (\overline{CS}) との兼用端子になっています。切り替えは、ポートモードレジスタ 3 (PMR3) とポートコントロールレジスタ 3 (PCR3) で行います。

ポート 3 は、プルアップ MOS 機能の選択が可能です。

表 11.11 ポート 3 の構成

ポート	機能	兼用機能
ポート 3	P37 (標準入出力ポート)	TMO (タイマ J タイマ出力)
	P36 (標準入出力ポート)	BUZZ (タイマ J ブザー出力)
	P35 (標準入出力ポート)	PWM3 (8 ビット PWM 出力)
	P34 (標準入出力ポート)	PWM2 (8 ビット PWM 出力)
	P33 (標準入出力ポート)	PWM1 (8 ビット PWM 出力)
	P32 (標準入出力ポート)	PWM0 (8 ビット PWM 出力)
	P31 (標準入出力ポート)	STRB (SCI2 ストロープ出力)
	P30 (標準入出力ポート)	\overline{CS} (SCI2 チップセレクト入力)

11.5.2 レジスタの構成

ポート3のレジスタ構成を表11.12に示します。

表 11.12 ポート3のレジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ3	PMR3	R/W	バイト	H'00	H'FFD0
ポートコントロールレジスタ3	PCR3	W	バイト	H'00	H'FFD3
ポートデータレジスタ3	PDR3	R/W	バイト	H'00	H'FFC3
プルアップMOSセレクトレジスタ3	PUR3	R/W	バイト	H'00	H'FFE3

【注】 *: アドレスは下位16ビットを示します。

(1) ポートモードレジスタ3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	PMR37	PMR36	PMR35	PMR34	PMR33	PMR32	PMR31	PMR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ3 (PMR3) は、ポート3の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR3は、8ビットのリード/ライト可能なレジスタです。リセット時、PMR3はH'00に初期化されます。

CS入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルはHighまたはLowレベルが入力されている必要があります。端子レベルが中間レベルにならないようにしてください。

ビット7 : P37/TMO 端子切り替え (PMR37)

P37/TMO 端子を P37 入出力端子として使用するか、タイマ J タイマ出力の TMO 端子として使用するかを設定します。

ビット7	説 明
PMR37	
0	P37/TMO 端子は、P37 入出力端子として機能 (初期値)
1	P37/TMO 端子は、TMO 出力端子として機能

【注】 TMO 端子をリモコン送信に使用する場合、TMO 出力に切り替えた後に、リモコンモードに設定すると、タイマ出力の不用意なパルスが出力されることがあります。切り替え、設定は次の順序で行ってください。

- [1] リモコンモード設定
- [2] タイマ J の TMJ-1、2 のカウンタデータ設定
- [3] P37/TMO 端子を TMO 出力端子に切り替え
- [4] ST ビットを 1 にセット

11. I/O ポート

ビット 6 : P36/BUZZ 端子切り替え (PMR36)

P36/BUZZ 端子を P36 入出力端子として使用するか、タイマ J ブザー出力の BUZZ 端子として使用するかを設定します。BUZZ 出力の選択は、「14.2.2 タイマ J コントロールレジスタ (TMJC)」を参照してください。

ビット 6	説 明
PMR36	
0	P36/BUZZ 端子は、P36 入出力端子として機能 (初期値)
1	P36/BUZZ 端子は、BUZZ 出力端子として機能

ビット 5~2 : P35/PWM3 ~ P32/PWM0 端子切り替え (PMR35 ~ PMR32)

P3n/PWMm 端子を P3n 入出力端子として使用するか、8 ビット PWM 出力の PWMm 端子として使用するかを設定します。

ビット n	説 明
PMR3n	
0	P3n/PWMm 端子は、P3n 入出力端子として機能 (初期値)
1	P3n/PWMm 端子は、PWMm 出力端子として機能

(n=5~2, m=3~0)

ビット 1 : P31/STRB 端子切り替え (PMR31)

P31/STRB 端子を P31 入出力端子として使用するか、SCI2 ストロープ出力の STRB 端子として使用するかを設定します。

ビット 1	説 明
PMR31	
0	P31/STRB 端子は、P31 入出力端子として機能 (初期値)
1	P31/STRB 端子は、STRB 出力端子として機能

ビット 0 : P30/ \overline{CS} 端子切り替え (PMR30)

P30/ \overline{CS} 端子を P30 入出力端子として使用するか、SCI2 チップセレクト入力の \overline{CS} 端子として使用するかを設定します。

ビット 0	説 明
PMR30	
0	P30/ \overline{CS} 端子は、P30 入出力端子として機能 (初期値)
1	P30/ \overline{CS} 端子は、 \overline{CS} 入力端子として機能

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 3 (PCR3) は、ポート 3 の各端子 P37 ~ P30 の入出力をビット単位で制御します。PCR3 を 1 にセットすると対応する P37 ~ P30 端子は出力端子となり、0 にクリアすると入力端子になります。PMR3 により当該端子が汎用入出力に設定されている場合に、PCR3 および PDR3 の設定が有効になります。

PCR3 は 8 ビットのライト専用レジスタです。PCR3 をリードすると 1 が読み出されます。リセット時、PCR3 は H'00 に初期化されます。

ビット n	説明
PCR3n	
0	P3n 端子は、入力端子として機能 (初期値)
1	P3n 端子は、出力端子として機能

(n = 7 ~ 0)

(3) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 3 (PDR3) は、ポート 3 の各端子 P37 ~ P30 のデータを格納するレジスタです。PCR3 が 1 (出力) のとき、ポート 3 のリードを行うと PDR3 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR3 が 0 (入力) のとき、ポート 3 のリードを行うと端子の状態が読み出されます。

PDR3 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR3 は H'00 に初期化されます。

11. I/O ポート

(4) プルアップ MOS セレクトレジスタ 3 (PUR3)

ビット:	7	6	5	4	3	2	1	0
	PUR37	PUR36	PUR35	PUR34	PUR33	PUR32	PUR31	PUR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プルアップ MOS セレクトレジスタ 3 (PUR3) は、ポート 3 のプルアップ MOS の ON/OFF を制御します。PCR3 の当該ビットが 0 (入力) に設定された端子のみ有効となります。PCR3 の当該ビットが 1 (出力) に設定されているとき、PUR3 の当該ビットは無効となり、プルアップ MOS は OFF になります。

PUR3 は 8 ビットのリード/ライト可能なレジスタです。リセット時、PUR3 は H'00 に初期化されません。

ビット n	説明
PUR3n	
0	P3n 端子は、プルアップ MOS なしとなります。(初期値)
1	P3n 端子は、プルアップ MOS 付き端子となります。

(n = 7 ~ 0)

11.5.3 端子機能

ポート 3 の端子機能とその選択方法を示します。

(1) P37/TMO

PMR3のPMR37ビットおよびPCR3のPCR37ビットにより、次のように切り替わります。

PMR37	PCR37	端子機能
0	0	P37 入力端子
	1	P37 出力端子
1	*	TMO 出力端子

(2) P36/BUZZ

PMR3のPMR36ビットおよびPCR3のPCR36ビットにより、次のように切り替わります。

PMR36	PCR36	端子機能
0	0	P36 入力端子
	1	P36 出力端子
1	*	BUZZ 出力端子

(3) P35/PWM3 ~ P32/PWM0

PMR3のPMR3nビットおよびPCR3のPCR3nビットにより、次のように切り替わります。

PMR3n	PCR3n	端子機能
0	0	P3n 入力端子
	1	P3n 出力端子
1	*	PWMm 出力端子

(n=5~2, m=3~0)

(4) P31/STRB

PMR3のPMR31ビットおよびPCR3のPCR31ビットにより、次のように切り替わります。

PMR31	PCR31	端子機能
0	0	P31 入力端子
	1	P31 出力端子
1	*	STRB 出力端子

(5) P30/ \overline{CS}

PMR3のPMR30ビットおよびPCR3のPCR30ビットにより、次のように切り替わります。

PMR30	PCR30	端子機能
0	0	P30 入力端子
	1	P30 出力端子
1	*	CS 入力端子

【注】 * : Don't care.

11.5.4 端子状態

ポート 3 の各動作モードにおける端子状態を表 11.13 に示します。

表 11.13 ポート 3 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P37/TMO P36/BUZZ P35/PWM3 ~ P32/PWM0 P31/STRB P30/ \overline{CS}	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

【注】 \overline{CS} 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。

11.6 ポート 4

11.6.1 概要

ポート 4 は 8 ビットの入出力ポートです。ポート 4 の構成を表 11.14 に示します。

ポート 4 は、標準入出力ポート (P47~P40) と、アウトプットコンペア出力 (FTOA、FTOB)、インプットキャプチャ入力 (FTIA、FTIB、FTIC、FTID)、14 ビット PWM 出力 (PWM14) との兼用端子になっています。切り替えは、ポートモードレジスタ 4 (PMR4)、タイマアウトプットコンペアコントロールレジスタ (TOCR)、およびポートコントロールレジスタ 4 (PCR4) で行います。

表 11.14 ポート 4 の構成

ポート	機能	兼用機能
ポート 4	P47 (標準入出力ポート)	なし
	P46 (標準入出力ポート)	FTOB (タイマ X1 アウトプットコンペア出力)
	P45 (標準入出力ポート)	FTOA (タイマ X1 アウトプットコンペア出力)
	P44 (標準入出力ポート)	FTID (タイマ X1 インプットキャプチャ入力)
	P43 (標準入出力ポート)	FTIC (タイマ X1 インプットキャプチャ入力)
	P42 (標準入出力ポート)	FTIB (タイマ X1 インプットキャプチャ入力)
	P41 (標準入出力ポート)	FTIA (タイマ X1 インプットキャプチャ入力)
	P40 (標準入出力ポート)	PWM14 (14 ビット PWM 出力)

11.6.2 レジスタの構成

ポート 4 のレジスタ構成を表 11.15 に示します。

表 11.15 ポート 4 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 4	PMR4	R/W	バイト	H'FE	H'FFDB
ポートコントロールレジスタ 4	PCR4	W	バイト	H'00	H'FFD4
ポートデータレジスタ 4	PDR4	R/W	バイト	H'00	H'FFC4

【注】 *: アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
								PMR40
初期値:	1	1	1	1	1	1	1	0
R/W :								R/W

ポートモードレジスタ 4 (PMR4) は、P40/PWM14 端子の機能の切り替えを制御します。P46/FTOB、P45/FTOA 端子の機能の切り替えは、TOCR で制御します。「第 17 章 タイマ X1」を参照してください。また、FTIA、FTIB、FTIC、FTID 入力、常に機能します。

PMR4 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR4 は H'FE に初期化されます。

FTIA、FTIB、FTIC、FTID 入力は常に機能するので、兼用されている端子は、アクティブモード、低消費電力モードにかかわらず (リセット、スタンバイ、ウォッチモードを除く)、常に High または Low レベルが入力されている必要があります。端子レベルが中間レベルにならないようにしてく

ださい。

FTIA、FTIB、FTIC、FTID 入力は常に機能するので、それぞれは、兼用されている汎用入出力端子 P44、P43、P42、P41 への入力エッジを入力信号としてとります。

ビット 7~1：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：P40/PWM14 端子切り替え (PMR40)

P40/PWM14 端子を P40 入出力端子として使用するか、14 ビット PWM 方形波出力の PWM14 端子として使用するかを設定します。

ビット 0	説 明
PMR40	
0	P40/PWM14 端子は、P40 入出力端子として機能 (初期値)
1	P40/PWM14 端子は、PWM14 出力端子として機能

(2) ポートコントロールレジスタ 4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	PCR47	PCR46	PCR45	PCR44	PCR43	PCR42	PCR41	PCR40
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 4 (PCR4) は、ポート 4 の各端子 P47~P40 の入出力をビット単位で制御します。PCR4 を 1 にセットすると対応する P47~P40 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合に、PCR4 および PDR4 の設定が有効になります。

PCR4 は 8 ビットのライト専用レジスタです。PCR4 をリードすると 1 が読み出されます。リセット時、PCR4 は H'00 に初期化されます。

ビット n	説 明
PCR4n	
0	P4n 端子は、入力端子として機能 (初期値)
1	P4n 端子は、出力端子として機能

(n=7~0)

11. I/O ポート

(3) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 4 (PDR4) は、ポート 4 の各端子 P47 ~ P40 のデータを格納するレジスタです。PCR4 が 1 (出力) のとき、ポート 4 のリードを行うと PDR4 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR4 が 0 (入力) のとき、ポート 4 のリードを行うと端子の状態が読み出されます。

PDR4 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR4 は H'00 に初期化されます。

11.6.3 端子機能

ポート 4 の端子機能とその選択方法を示します。

(1) P47/FTCI

PCR4のPCR47ビットにより、次のように切り替わります。

PCR47	端子機能
0	P47 入力端子
1	P47 出力端子

(2) P46/FTOB

PCR4のPCR46ビットおよびTOCRのOEBビットにより、次のように切り替わります。

OEB	PCR46	端子機能
0	0	P46 入力端子
	1	P46 出力端子
1	*	FTOB 出力端子

(3) P45/FTOA

PCR4のPCR45ビットおよびTOCRのOEAビットにより、次のように切り替わります。

OEA	PCR45	端子機能
0	0	P45 入力端子
	1	P45 出力端子
1	*	FTOA 出力端子

(4) P44/FTID

PCR4のPCR44ビットにより、次のように切り替わります。

PCR44	端子機能	
0	P44 入力端子	FTID 入力端子
1	P44 出力端子	

(5) P43/FTIC

PCR4のPCR43ビットにより、次のように切り替わります。

PCR43	端子機能	
0	P43 入力端子	FTIC 入力端子
1	P43 出力端子	

(6) P42/FTIB

PCR4のPCR42ビットにより、次のように切り替わります。

PCR42	端子機能	
0	P42 入力端子	FTIB 入力端子
1	P42 出力端子	

(7) P41/FTIA

PCR4のPCR41ビットにより、次のように切り替わります。

PCR41	端子機能	
0	P41 入力端子	FTIA 入力端子
1	P41 出力端子	

(8) P40/PWM14

PMR4のPMR40ビットおよびPCR4のPCR40ビットにより、次のように切り替わります。

PMR40	PCR40	端子機能
0	0	P40 入力端子
	1	P40 出力端子
1	*	PWM14 出力端子

【注】 * : Don't care.

11. I/O ポート

11.6.4 端子状態

ポート 4 の各動作モードにおける端子状態を表 11.16 に示します。

表 11.16 ポート 4 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P47 P46/FTOB P45/FTOA P44/FTID P43/FTIC P42/FTIB P41/FTIA P40/PWM14	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

【注】 FTIA、FTIB、FTIC、FTID 入力が常に機能するので、兼用されている端子は、アクティブモード、低消費電力モードにかかわらず（リセット、スタンバイ、ウォッチモードを除く）、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。

11.7 ポート 5

11.7.1 概要

ポート 5 は 4 ビットの入出力ポートです。ポート 5 の構成を表 11.17 に示します。

ポート 5 は、標準入出力ポート（P53～P50）と、リアルタイム出力ポートトリガ入力（TRIG）、タイマ B イベント入力（TMBI）、A/D 変換開始外部トリガ入力（ADTRG）との兼用端子になっています。切り替えは、ポートモードレジスタ 5（PMR5）、A/D トリガ選択レジスタ（ADTSR）、およびポートコントロールレジスタ 5（PCR5）で行います。

表 11.17 ポート 5 の構成

ポート	機能	兼用機能
ポート 5	P53（標準入出力ポート）	TRIG（リアルタイム出力ポートトリガ入力）
	P52（標準入出力ポート）	TMBI（タイマ B イベント入力）
	P51（標準入出力ポート）	なし
	P50（標準入出力ポート）	ADTRG（A/D 変換開始外部トリガ入力）

11.7.2 レジスタの構成

ポート 5 のレジスタ構成を表 11.18 に示します。

表 11.18 ポート 5 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 5	PMR5	R/W	バイト	H'F1	H'FFDC
ポートコントロールレジスタ 5	PCR5	W	バイト	H'F0	H'FFD5
ポートデータレジスタ 5	PDR5	R/W	バイト	H'F0	H'FFC5

【注】 *：アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
					PMR53	PMR52	PMR51	
初期値:	1	1	1	1	0	0	0	1
R/W :					R/W	R/W	R/W	

ポートモードレジスタ 5 (PMR5) は、ポート 5 の各端子の機能の切り替えの制御、および、タイマ B イベント入力 (TMBI) のエッジセンスの指定を行います。

P50/ADTRG 端子の機能の切り替えは、ADTSR で制御します。「第 26 章 A/D 変換器」を参照してください。

PMR5 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR5 は H'F1 に初期化されます。

TRIG、TMBI、ADTRG 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、常に High または Low レベルが入力されている必要があります。端子レベルが中間レベルにならないようにしてください。

ビット 7~4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: P53/TRIG 端子切り替え (PMR53)

P53/TRIG 端子を P53 入出力端子として使用するか、リアルタイム出力ポートトリガ入力の TRIG 端子として使用するかを設定します。

ビット 3	説明
PMR53	
0	P53/TRIG 端子は、P53 入出力端子として機能 (初期値)
1	P53/TRIG 端子は、TRIG 入力端子として機能

ビット 2: P52/TMBI 端子切り替え (PMR52)

P52/TMBI 端子を P52 入出力端子として使用するか、タイマ B イベント入力の TMBI 端子として使用するかを設定します。

ビット 2	説明
PMR52	
0	P52/TMBI 端子は、P52 入出力端子として機能 (初期値)
1	P52/TMBI 端子は、TMBI 入力端子として機能

11. I/O ポート

ビット 1：タイマ B イベント入力エッジセレクト (PMR51)

TMBI 端子の入力エッジセンスを選択します。

ビット 1	説 明
PMR51	
0	タイマ B イベント入力は立ち下がりエッジを検出 (初期値)
1	タイマ B イベント入力は立ち上がりエッジを検出

ビット 0：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット：	7	6	5	4	3	2	1	0
					PCR53	PCR52	PCR51	PCR50
初期値：	1	1	1	1	0	0	0	0
R/W：					W	W	W	W

ポートコントロールレジスタ 5 (PCR5) は、ポート 5 の各端子 P53 ~ P50 の入出力をビット単位で制御します。PCR5 を 1 にセットすると対応する P53 ~ P50 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合に、PCR5 および PDR5 の設定が有効になります。

PCR5 は 8 ビットのライト専用レジスタです。PCR5 をリードすると 1 が読み出されます。リセット時、PCR5 は H'F0 に初期化されます。

ビット 7~4 は、リザーブビットです。

ビット n	説 明
PCR5n	
0	P5n 端子は、入力端子として機能 (初期値)
1	P5n 端子は、出力端子として機能

(n = 3 ~ 0)

(3) ポートデータレジスタ 5 (PDR5)

ビット：	7	6	5	4	3	2	1	0
					PDR53	PDR52	PDR51	PDR50
初期値：	1	1	1	1	0	0	0	0
R/W：					R/W	R/W	R/W	R/W

ポートデータレジスタ 5 (PDR5) は、ポート 5 の各端子 P53 ~ P50 のデータを格納するレジスタです。PCR5 が 1 (出力) のとき、ポート 5 のリードを行うと PDR5 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR5 が 0 (入力) のとき、ポート 5 のリードを行うと端子の状態が読み出されます。

PDR5 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR5 は H'F0 に初期化されます。

ビット 7~4 は、リザーブビットです。

11.7.3 端子機能

ポート 5 の端子機能とその選択方法を示します。

(1) P53/TRIG

PMR5のPMR53ビットおよびPCR5のPCR53ビットにより、次のように切り替わります。

PMR53	PCR53	端子機能
0	0	P53 入力端子
	1	P53 出力端子
1	*	TRIG 入力端子

(2) P52/TMBI

PMR5のPMR52ビットおよびPCR5のPCR52ビットにより、次のように切り替わります。

PMR52	PCR52	端子機能
0	0	P52 入力端子
	1	P52 出力端子
1	*	TMBI 入力端子

(3) P51

PCR5のPCR51ビットにより、次のように切り替わります。

PCR51	端子機能
0	P51 入力端子
1	P51 出力端子

(4) P50/ $\overline{\text{ADTRG}}$

PCR5のPCR50ビットおよびADTSRのTRGS1、TRGS0ビットにより、次のように切り替わります。

TRGS1、TRGS0	PCR31	端子機能
11 以外	0	P50 入力端子
	1	P50 出力端子
11	*	$\overline{\text{ADTRG}}$ 入力端子

【注】 * : Don't care.

11. I/O ポート

11.7.4 端子状態

ポート 5 の各動作モードにおける端子状態を表 11.19 に示します。

表 11.19 ポート 5 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P53/TRIG P52/TMBI P51 P50/ADTRG	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

【注】 TRIG、TMBI、ADTRG 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。

11.8 ポート 6

11.8.1 概要

ポート 6 は 8 ビットの入出力ポートです。ポート 6 の構成を表 11.20 に示します。

ポート 6 は、標準入出力ポート (P67 ~ P60) と、リアルタイム出力ポート (RP7 ~ RP0) との兼用端子になっています。切り替えは、ポートモードレジスタ 6 (PMR6) とポートコントロールレジスタ 6 (PCR6) とで行います。

リアルタイム出力機能とは、外部または内部トリガ入力によって瞬時に出力データを切り替えることのできる機能です。

表 11.20 ポート 6 の構成

ポート	機能	兼用機能
ポート 6	P67 (標準入出力ポート)	RP7 (リアルタイム出力ポート端子)
	P66 (標準入出力ポート)	RP6 (リアルタイム出力ポート端子)
	P65 (標準入出力ポート)	RP5 (リアルタイム出力ポート端子)
	P64 (標準入出力ポート)	RP4 (リアルタイム出力ポート端子)
	P63 (標準入出力ポート)	RP3 (リアルタイム出力ポート端子)
	P62 (標準入出力ポート)	RP2 (リアルタイム出力ポート端子)
	P61 (標準入出力ポート)	RP1 (リアルタイム出力ポート端子)
	P60 (標準入出力ポート)	RP0 (リアルタイム出力ポート端子)

11.8.2 レジスタの構成

ポート 6 のレジスタ構成を表 11.21 に示します。

表 11.21 ポート 6 のレジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 6	PMR6	R/W	バイト	H'00	H'FFDD
ポートコントロールレジスタ 6	PCR6	W	バイト	H'00	H'FFD6
ポートデータレジスタ 6	PDR6	R/W	バイト	H'00	H'FFC6
リアルタイム出力トリガ選択レジスタ	RTPSR	R/W	バイト	H'00	H'FFE5
リアルタイム出力トリガエッジ選択レジスタ	RTPEGR	R/W	バイト	H'FC	H'FFE4
ポートコントロールレジスタスレーブ 6	PCRS6	-	バイト	H'00	-
ポートデータレジスタスレーブ 6	PDRS6	-	バイト	H'00	-

【注】 *: アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 6 (PMR6)

ビット:	7	6	5	4	3	2	1	0
	PMR67	PMR66	PMR65	PMR64	PMR63	PMR62	PMR61	PMR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 6 (PMR6) は、ポート 6 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR6 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR6 は H'00 に初期化されます。

ビット 7~0 : P67/RP7 ~ P60/RP0 端子切り替え (PMR67 ~ PMR60)

P6n/RPn 端子を P6n 入出力端子として使用するか、リアルタイム出力ポートの RPn 端子として使用するかを設定します。

ビット n	説 明
PMR6n	
0	P6n/RPn 端子は、P6n 入出力端子として機能 (初期値)
1	P6n/RPn 端子は、RPn 出力端子として機能

(n = 7 ~ 0)

11. I/O ポート

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 6 (PCR6) は、PMR6 とあわせて、ポート 6 の汎用入出力の選択、リアルタイム出力の制御をビット単位で行います。

PMR6=0 のとき、PCR6 を 1 にセットすると対応する P67~P60 端子は汎用出力端子となり、0 にクリアすると汎用入力端子となります。

PMR6=1 のとき、PCR6 は対応する RP7~RP0 リアルタイム出力端子の制御を行います。詳細は、「8.4 動作説明」を参照してください。

PCR6 は 8 ビットのライト専用レジスタです。PCR6 をリードすると 1 が読み出されます。リセット時、PCR6 は H'00 に初期化されます。

PMR6	PCR6	説明
ビット n	ビット n	
PMR6n	PCR6n	
0	0	P6n/RPn 端子は、P6n 汎用入力端子として機能 (初期値)
	1	P6n/RPn 端子は、P6n 汎用出力端子として機能
1	*	P6n/RPn 端子は、RPn リアルタイム出力端子として機能

【注】 * : Don't care. (n=7~0)

(3) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 6 (PDR6) は、ポート 6 の各端子 P67~P60 のデータを格納するレジスタです。

PMR6=0 のとき、PCR6 が 1 (出力) であれば、ポート 6 のリードを行うと PDR6 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR6 が 0 (入力) であれば、ポート 6 のリードを行うと端子の状態が読み出されます。

PMR6=1 のとき、ポート 6 はリアルタイム出力端子となります。詳細は、「11.8.4 動作説明」を参照してください。

PDR6 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR6 は H'00 に初期化されます。

(4) リアルタイム出力トリガ選択レジスタ (RTPSR)

ビット:	7	6	5	4	3	2	1	0
	RTPSR7	RTPSR6	RTPSR5	RTPSR4	RTPSR3	RTPSR2	RTPSR1	RTPSR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リアルタイム出力トリガ選択レジスタ (RTPSR) は、リアルタイム出力のトリガ入力として、外部トリガ (TRIG 端子入力) を使用するか、内部トリガ (HSW) を使用するかをビット単位で設定します。内部トリガ HSW については、「28.4 HSW (ヘッドスイッチ) タイミング生成回路」を参照してください。

RTPSR は 8 ビットのリード/ライト可能なレジスタです。リセット時、RTPSR は H'00 に初期化されます。

ビット n	説明
RTPSRn	
0	トリガ入力として、外部トリガ (TRIG 端子入力) を選択 (初期値)
1	トリガ入力として、内部トリガ (HSW) を選択

(n = 7 ~ 0)

(5) リアルタイム出力トリガエッジ選択レジスタ (RTPEGR)

ビット:	7	6	5	4	3	2	1	0
							RTPEGR1	RTPEGR0
初期値:	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

リアルタイム出力トリガエッジ選択レジスタ (RTPEGR) は、リアルタイム出力の外部または内部トリガ入力のエッジセンスの指定を行います。

RTPEGR は、8 ビットのリード/ライト可能なレジスタです。リセット時、RTPEGR は H'FC に初期化されます。

ビット 7 ~ 2: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1, 0: リアルタイム出力トリガエッジセレクト (RTPEGR1, RTPEGR0)

リアルタイム出力の外部または内部トリガ入力のエッジセンスを選択します。

ビット 1	ビット 0	説明
RTPEGR1	RTPEGR0	
0	0	トリガ入力を禁止 (初期値)
	1	トリガ入力の立ち上がりエッジを選択
1	0	トリガ入力の立ち下がりエッジを選択
	1	トリガ入力の立ち上がり/立ち下がり両エッジを選択

11. I/O ポート

11.8.3 端子機能

ポート 6 の端子機能とその選択方法を示します。

(1) P67/RP7 ~ P60/RP0

PMR6のPMR6nビットおよびPCR6のPCR6nビットにより、次のように切り替わります。

PMR6n	PCR6n	端子機能	出力値	PDR6n をリードしたときの値
0	0	P6n 入力端子	-	P6n 端子
	1	P6n 出力端子	PDR6n	PDR6n
1	0	RPn 出力端子	ハイインピーダンス*	PDR6n
	1		PDRS6n*	

【注】 * PMR6n = 1 (リアルタイム出力端子) のときは、PCR6n の設定値がトリガ入力により PCRS6n に転送された後の状態を示します。

(n = 7 ~ 0)

11.8.4 動作説明

ポート6は、PMR6によって、リアルタイム出力ポートまたは汎用入出力ポートとして使用することができます。PMR6=1のときリアルタイム出力ポートとして、PMR6=0のとき汎用入出力ポートとして機能します。ポート6の機能別の動作を以下に示します。（図11.2参照）

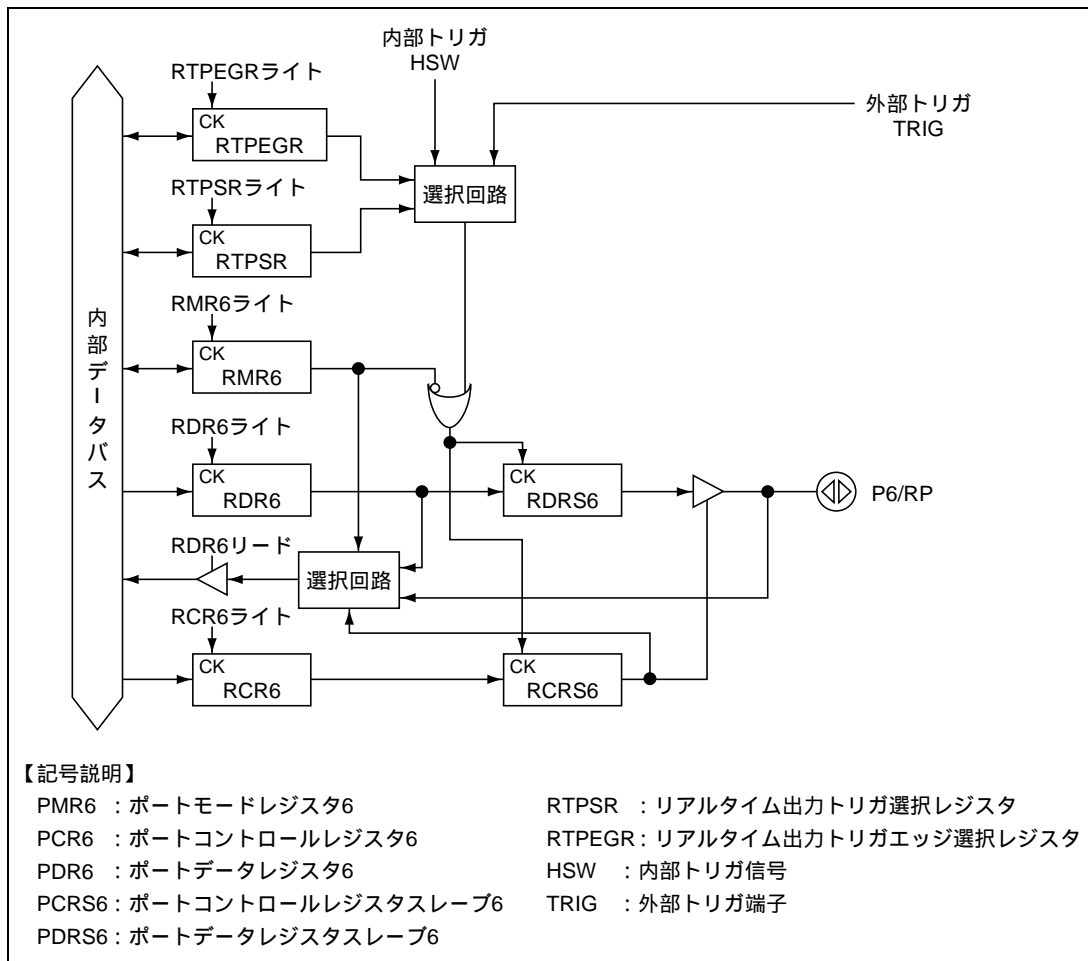


図 11.2 ポート6の機能ブロック図

11. I/O ポート

(1) リアルタイム出力ポートの動作 (PMR6 = 1)

PMR6 が 1 のときは、リアルタイム出力ポートとして動作します。トリガが入力されると、PDR6 のデータを PDRS6 に、PCR6 のデータを PCRS6 に転送します。このとき、PCRS6 が 1 であれば、対応するビットの PDRS6 のデータを RP 端子に出力します。また、PCRS6 が 0 であれば、対応するビットの RP 端子はハイインピーダンス状態となります。すなわち、トリガ入力によって、端子の出力状態 (High/Low) またはハイインピーダンスを瞬時に切り替えることができます。

一方、PDR6 をリードすると、PCR6 および PCRS6 の値とは無関係に PDR6 の値をリードします。

(2) 汎用入出力ポートの動作 (PMR6 = 0)

PMR6 が 0 のときは、汎用入出力ポートとして動作します。PDR6 にデータを書き込むと、PDRS6 にも同じデータが書き込まれます。また、PCR6 にデータを書き込むと、PCRS6 にも同じデータが書き込まれます。したがって、PDR6 と PDRS6、PCR6 と PCRS6 はそれぞれ一つのレジスタとして扱えるので、通常の汎用入出力ポートと同様に使用できます。すなわち、PCR6 が 1 であれば、対応するビットの PDR6 のデータが P6 端子に出力されます。また、PCR6 が 0 であれば、対応するビットの P6 端子は入力となります。

一方、PDR6 をリードすると、PCR6 が 1 のときには PDR6 の値をリードし、PCR6 が 0 のときには端子の値をリードします。

11.8.5 端子状態

ポート 6 の各動作モードにおける端子状態を表 11.22 に示します。

表 11.22 ポート 6 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P67/RP7 ~ P60/RP0	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

11.9 ポート 7

11.9.1 概要

ポート 7 は 8 ビットの入出力ポートです。ポート 7 の構成を表 11.23 に示します。

ポート 7 は、標準入出力ポート (P77~P70) と、HSW タイミング生成回路 (プログラマブルパターンジェネレータ: PPG) の出力 (PPG7~PPG0) との兼用端子になっています。切り替えは、ポートモードレジスタ 7 (PMR7) とポートコントロールレジスタ 7 (PCR7) とで行います。

プログラマブルパターンジェネレータ (PPG) については、「28.4 HSW (ヘッドスイッチ) タイミング生成回路」を参照してください。

表 11.23 ポート 7 の構成

ポート	機能	兼用機能
ポート 7	P77 (標準入出力ポート)	PPG7 (HSW タイミング出力)
	P76 (標準入出力ポート)	PPG6 (HSW タイミング出力)
	P75 (標準入出力ポート)	PPG5 (HSW タイミング出力)
	P74 (標準入出力ポート)	PPG4 (HSW タイミング出力)
	P73 (標準入出力ポート)	PPG3 (HSW タイミング出力)
	P72 (標準入出力ポート)	PPG2 (HSW タイミング出力)
	P71 (標準入出力ポート)	PPG1 (HSW タイミング出力)
	P70 (標準入出力ポート)	PPG0 (HSW タイミング出力)

11.9.2 レジスタの構成

ポート 7 のレジスタ構成を表 11.24 に示します。

表 11.24 ポート 7 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 7	PMR7	R/W	バイト	H'00	H'FFDE
ポートコントロールレジスタ 7	PCR7	W	バイト	H'00	H'FFD7
ポートデータレジスタ 7	PDR7	R/W	バイト	H'00	H'FFC7

【注】 *: アドレスは下位 16 ビットを示します。

11. I/O ポート

(1) ポートモードレジスタ 7 (PMR7)

ビット:	7	6	5	4	3	2	1	0
	PMR77	PMR76	PMR75	PMR74	PMR73	PMR72	PMR71	PMR70
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 7 (PMR7) は、ポート 7 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR7 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR7 は H'00 に初期化されます。

ビット 7~0 : P77/PPG7 ~ P70/PPG0 端子切り替え (PMR77 ~ PMR70)

P7n/PPGn 端子を P7n 入出力端子として使用するか、HSW タイミング生成回路出力の PPGn 端子として使用するかを設定します。

ビット n	説明
PMR7n	
0	P7n/PPGn 端子は、P7n 入出力端子として機能 (初期値)
1	P7n/PPGn 端子は、PPGn 出力端子として機能

(n = 7 ~ 0)

(2) ポートコントロールレジスタ 7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 7 (PCR7) は、ポート 7 の各端子 P77 ~ P70 の入出力をビット単位で制御します。PCR7 を 1 にセットすると対応する P77 ~ P70 端子は出力端子となり、0 にクリアすると入力端子となります。PMR7 により当該端子が汎用入出力に設定されている場合に、PCR7 および PDR7 の設定が有効になります。

PCR7 は 8 ビットのライト専用レジスタです。PCR7 をリードすると 1 が読み出されます。リセット時、PCR7 は H'00 に初期化されます。

ビット n	説明
PCR7n	
0	P7n 端子は、入力端子として機能 (初期値)
1	P7n 端子は、出力端子として機能

(n = 7 ~ 0)

(3) ポートデータレジスタ7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	PDR77	PDR76	PDR75	PDR74	PDR73	PDR72	PDR71	PDR70
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ7 (PDR7) は、ポート7の各端子 P77 ~ P70 のデータを格納するレジスタです。PCR7 が1 (出力) のとき、ポート7のリードを行うと PDR7 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR7 が0 (入力) のとき、ポート7のリードを行うと端子の状態が読み出されます。

PMR7 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR7 は H'00 に初期化されます。

11.9.3 端子機能

ポート7の端子機能とその選択方法を示します。

(1) P77/PPG7 ~ P70/PPG0

PMR7のPMR7nビットおよびPCR7のPCR7nビットにより、次のように切り替わります。

PMR7n	PCR7n	端子機能
0	0	P7n 入力端子
	1	P7n 出力端子
1	*	PPGn 入力端子

【注】 * : Don't care. (n=7~0)

11.9.4 端子状態

ポート7の各動作モードにおける端子状態を表 11.25 に示します。

表 11.25 ポート7の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P77/PPG7 ~ P70/PPG0	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

11.10 ポート 8

11.10.1 概要

ポート 8 は 8 ビットの入出力ポートです。ポート 8 の構成を表 11.26 に示します。

ポート 8 は、CMOS 大電流入出力ポートです。シンク電流は 20mA max. ($V_{OL} = 1.5V$) となっており、同時 ON は 4 本まで可能です。

ポート 8 は、大電流入出力ポート (P87~P80) と、サーボモニタ出力 (SV1、SV2)、キャプスタン外部同期信号入力 (EXCAP)、外部トリガ信号入力 (EXTTRG) との兼用端子になっています。切り替えは、ポートモードレジスタ 8 (PMR8) とポートコントロールレジスタ 8 (PCR8) とで行います。

表 11.26 ポート 8 の構成

ポート	機能	兼用機能
ポート 8	P87 (大電流入出力ポート)	なし
	P86 (大電流入出力ポート)	なし
	P85 (大電流入出力ポート)	なし
	P84 (大電流入出力ポート)	なし
	P83 (大電流入出力ポート)	SV2 (サーボモニタ出力)
	P82 (大電流入出力ポート)	SV1 (サーボモニタ出力)
	P81 (大電流入出力ポート)	EXCAP (キャプスタン外部同期信号入力)
	P80 (大電流入出力ポート)	EXTTRG (外部トリガ信号入力)

11.10.2 レジスタの構成

ポート 8 のレジスタ構成を表 11.27 に示します。

表 11.27 ポート 8 のレジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
ポートモードレジスタ 8	PMR8	R/W	バイト	H'F0	H'FFDF
ポートコントロールレジスタ 8	PCR8	W	バイト	H'00	H'FFD8
ポートデータレジスタ 8	PDR8	R/W	バイト	H'00	H'FFC8

【注】 *: アドレスは下位 16 ビットを示します。

(1) ポートモードレジスタ 8 (PMR8)

ビット:	7	6	5	4	3	2	1	0
					PMR83	PMR82	PMR81	PMR80
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

ポートモードレジスタ 8 (PMR8) は、ポート 8 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR8 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR8 は H'F0 に初期化されます。

EXCAP、EXTTRG 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子レベルが中間レベ

ルにならないようにしてください。

ビット7~4：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット3：P83/SV2 端子切り替え（PMR83）

P83/SV2 端子を P83 入出力端子として使用するか、サーボモニタ出力の SV2 端子として使用するかを設定します。SV2 出力の選択は、「第 28 章 サーボ回路」を参照してください。

ビット3	説 明	
PMR83		
0	P83/SV2 端子は、P83 入出力端子として機能	(初期値)
1	P83/SV2 端子は、SV2 出力端子として機能	

ビット2：P82/SV1 端子切り替え（PMR82）

P82/SV1 端子を P82 入出力端子として使用するか、サーボモニタ出力の SV1 端子として使用するかを設定します。SV1 出力の選択は、「第 28 章 サーボ回路」を参照してください。

ビット2	説 明	
PMR82		
0	P82/SV1 端子は、P82 入出力端子として機能	(初期値)
1	P82/SV1 端子は、SV1 出力端子として機能	

ビット1：P81/EXCAP 端子切り替え（PMR81）

P81/EXCAP 端子を P81 入出力端子として使用するか、キャプスタン外部同期信号入力の EXCAP 端子として使用するかを設定します。

ビット1	説 明	
PMR81		
0	P81/EXCAP 端子は、P81 入出力端子として機能	(初期値)
1	P81/EXCAP 端子は、EXCAP 入力端子として機能	

ビット0：P80/EXTTRG 端子切り替え（PMR80）

P80/EXTTRG 端子を P80 入出力端子として使用するか、外部トリガ信号入力の EXTTRG 端子として使用するかを設定します。

ビット0	説 明	
PMR80		
0	P80/EXTTRG 端子は、P80 入出力端子として機能	(初期値)
1	P80/EXTTRG 端子は、EXTTRG 入力端子として機能	

11. I/O ポート

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 8 (PCR8) は、ポート 8 の各端子 P87 ~ P80 の入出力をビット単位で制御します。PCR8 を 1 にセットすると対応する P87 ~ P80 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合に、PCR8 および PDR8 の設定が有効になります。

PCR8 は 8 ビットのライト専用レジスタです。PCR8 をリードすると 1 が読み出されます。リセット時、PCR8 は H'00 に初期化されます。

ビット n	説明
PCR8n	
0	P8n 端子は、入力端子として機能 (初期値)
1	P8n 端子は、出力端子として機能

(n = 7 ~ 0)

(3) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	PDR87	PDR86	PDR85	PDR84	PDR83	PDR82	PDR81	PDR80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 8 (PDR8) は、ポート 8 の各端子 P87 ~ P80 のデータを格納するレジスタです。PCR8 が 1 (出力) のとき、ポート 8 のリードを行うと PDR8 の値を直接リードします。そのため、端子の状態の影響を受けません。PCR8 が 0 (入力) のとき、ポート 8 のリードを行うと端子の状態が読み出されます。

PDR8 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PDR8 は H'00 に初期化されます。

11.10.3 端子機能

ポート 8 の端子機能とその選択方法を示します。

(1) P87 ~ P84

PCR8のPCR8nビットにより、次のように切り替わります。

PCR8n	端子機能
0	P8n 入力端子
1	P8n 出力端子

(n = 7 ~ 4)

(2) P83/SV2

PMR8のPMR83ビットおよびPCR8のPCR83ビットにより、次のように切り替わります。

PMR83	PCR83	端子機能
0	0	P83 入力端子
	1	P83 出力端子
1	*	SV2 出力端子

(3) P82/SV1

PMR8のPMR82ビットおよびPCR8のPCR82ビットにより、次のように切り替わります。

PMR82	PCR82	端子機能
0	0	P82 入力端子
	1	P82 出力端子
1	*	SV1 出力端子

(4) P81/EXCAP

PMR8のPMR81ビットおよびPCR8のPCR81ビットにより、次のように切り替わります。

PMR81	PCR81	端子機能
0	0	P81 入力端子
	1	P81 出力端子
1	*	EXCAP 入力端子

(5) P80/EXTTRG

PMR8のPMR80ビットおよびPCR8のPCR80ビットにより、次のように切り替わります。

PMR80	PCR80	端子機能
0	0	P80 入力端子
	1	P80 出力端子
1	*	EXTTRG 入力端子

【注】 * : Don't care.

11.10.4 端子状態

ポート 8 の各動作モードにおける端子状態を表 11.28 に示します。

表 11.28 ポート 8 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P87 ~ P84 P83/SV2 P83/SV1 P81/EXCAP P80/EXTTRG	ハイイン ピーダンス	動作	保持	ハイイン ピーダンス	ハイイン ピーダンス	動作	保持

【注】 EXCAP、EXTTRG 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子のレベルが中間レベルにならないようにしてください。

12. タイマ A

12.1 概要

タイマ A は 8 ビットのインターバルタイマです。32.768kHz の水晶発振子を接続すると時計用タイマとして使用できます。

12.1.1 特長

タイマ A の特長を以下に示します。

- 8 種類の内部クロック (/16384、 /8192、 /4096、 /1024、 /512、 /256、 /64、 /16) が選択可能です。
- 時計用タイマとして 4 種類のオーバーフロー周期 (1s、 0.5s、 0.25s、 0.03125s) が選択可能 (32.768kHz 水晶発振子を使用)
- カウンタのオーバーフローで割り込み要求を発生

12. タイマ A

12.1.2 ブロック図

タイマ A のブロック図を図 12.1 に示します。

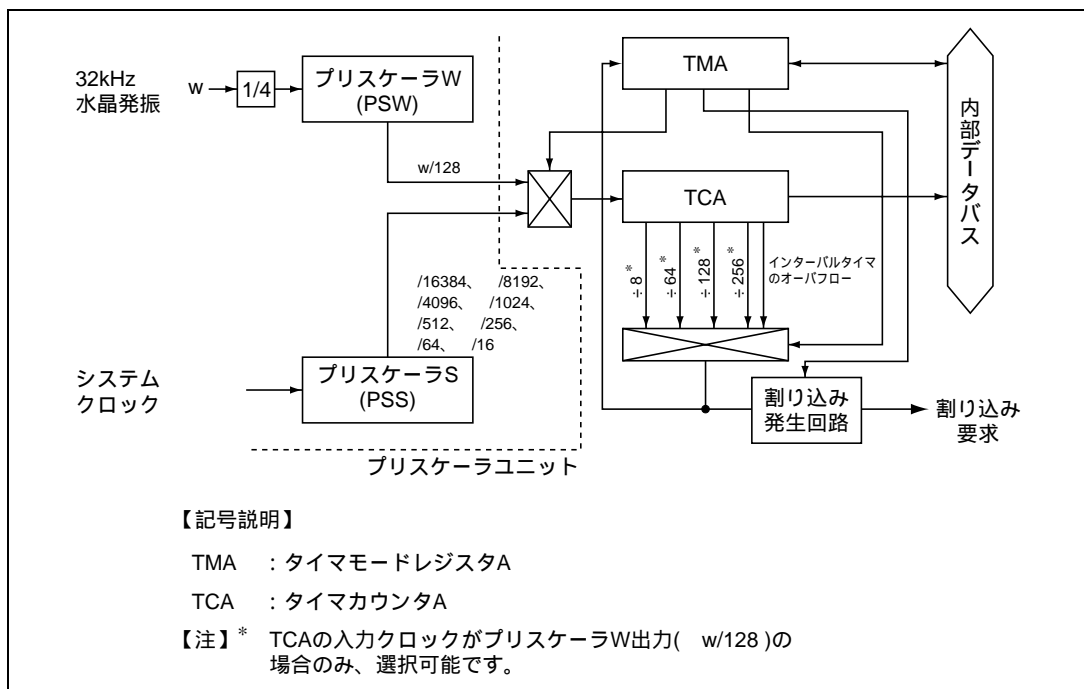


図 12.1 タイマ A ブロック図

12.1.3 レジスタ構成

タイマ A のレジスタ構成を表 12.1 に示します。

表 12.1 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
タイマモードレジスタ A	TMA	R/W	バイト	H'30	H'FFBA
タイマカウンタ A	TCA	R	バイト	H'00	H'FFBB

【注】 *アドレスは下位 16 ビットを示します。

12.2 各レジスタの説明

12.2.1 タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMAOV	TMAIE			TMA3	TMA2	TMA1	TMA0
初期値:	0	0	1	1	0	0	0	0
R/W:	R/(W)*	R/W			R/W	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

タイマモードレジスタ A (TMA) は、タイマ A の割り込みの制御、入力クロックの選択を行います。

TMA は、8 ビットのリード/ライト可能なレジスタです。リセット時、TMA は H'30 に初期化されます。

ビット 7: タイマ A オーバフローフラグ (TMAOV)

TCA がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 7	説明
TMAOV	
0	[クリア条件] (初期値) TMAOV = 1 の状態で、TMAOV フラグをリード後、TMAOV フラグに 0 をライトしたとき
1	[セット条件] TCA がオーバフローしたとき

ビット 6: タイマ A 割り込みイネーブル (TMAIE)

TCA がオーバフローし、TMA の TMAOV が 1 にセットされたとき、タイマ A による割り込み (TMAI) の発生を許可/禁止します。

ビット 6	説明
TMAIE	
0	タイマ A による割り込み (TMAI) の発生を禁止 (初期値)
1	タイマ A による割り込み (TMAI) の発生を許可

ビット 5、4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

12. タイマ A

ビット 3 : クロックソース、プリスケラ選択 (TMA3)

タイマ A のクロックソースを PSS とするか PSW とするかを選択します。

ビット 3	説明
TMA3	
0	タイマ A のクロックソースは PSS (初期値)
1	タイマ A のクロックソースは PSW

ビット 2~0 : クロックセレクト (TMA2~TMA0)

TCA に入力するクロックを選択します。TMA3 ビットとの組み合わせで以下のようになります。

ビット 3	ビット 2	ビット 1	ビット 0	プリスケラ分周比 (インターバルタイマ)、 またはオーバフロー周期 (タイムベース)	動作モード
TMA3	TMA2	TMA1	TMA0		
0	0	0	0	PSS、 /16384 (初期値)	インターバル タイマモード
			1	PSS、 /8192	
		1	0	PSS、 /4096	
			1	PSS、 /1024	
	1	0	0	PSS、 /512	
			1	PSS、 /256	
		1	0	PSS、 /64	
			1	PSS、 /16	
1	0	0	0	1s	時計用タイム ベースモード
			1	0.5s	
		1	0	0.25s	
			1	0.03125s	
	1	0	0	PSW および TCA を H'00 にクリア	
			1		
		1	0		
			1		

【注】 = f_{osc}

12.2.2 タイマカウンタ A (TCA)

ビット :	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

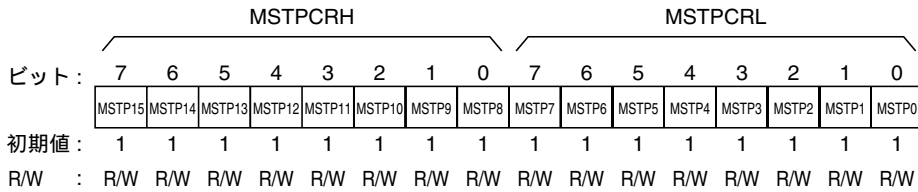
タイマカウンタ A (TCA) は、8 ビットのアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TMA の TMA3 ~ TMA0 ビットにより選択されます。

TCA がオーバフローすると TMA の TMAOV ビットが 1 にセットされます。

TCA は、TMA の TMA3、TMA2 ビットを 11 に設定することでクリアできます。

TCA は、常にリード可能です。リセット時、TCA は H'00 に初期化されます。

12.2.3 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP15 ビットを 1 にセットすると、バスサイクルの終了時点でタイマ A は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 7 : モジュールストップ (MSTP15)

タイマ A のモジュールストップモードを指定します。

MSTPCRH	説 明
ビット 7	
MSTP15	
0	タイマ A のモジュールストップモード解除
1	タイマ A のモジュールストップモード設定 (初期値)

12.3 動作説明

タイマ A は 8 ビットのタイマで、インターバルタイマとして、また、32.768kHz の水晶発振子を接続すると時計用タイムベースとして使用できます。

12.3.1 インターバルタイマの動作

TMA の TMA3 ビットを 0 にクリアすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時は、TCA は H'00 に、また、TMA3 ビットは 0 にクリアされるため、リセット直後は、インターバルカウンタとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 ビットにより、PSS の出力する 8 種類の内部クロックを選択できます。

TCA のカウント値が H'FF になった後、クロックが入力されると、タイマ A はオーバフローし、TMA の TMAOV ビットが 1 にセットされます。このとき、TMA の TMAIE ビットが 1 ならば割り込みを発生します。

オーバフロー時には、TCA のカウント値は H'00 に戻り、再びカウントアップを開始します。したがって、256 の入力クロックごとに、周期的にオーバフロー出力を発生するインターバルタイマとして動作します。

12.3.2 時計用タイマの動作

TMA の TMA3 ビットを 1 にセットすると、タイマ A は時計用タイムベースとして動作します。タイマ A のオーバフロー周期は TMA の TMA1、TMA0 ビットにより、PSW の出力するクロックをカウントして 4 種類を選択できます。

12.3.3 カウントの初期化

TMA3、TMA2 ビットを 11 に設定すると、PSW および TCA は H'00 にクリアされて停止します。この状態から TMA3、TMA2 ビットに 10 を書き込むことにより、タイマ A は時計用タイムベースモードで H'00 からカウントを開始します。

TMA3、TMA2 ビットによる PSW および TCA のクリア後、TMA3、TMA2 ビットに 00 または 01 を書き込むと、タイマ A はインターバルタイマモードで H'00 からカウントを開始しますが、PSS はクリアされていないので、最初のカウントまでの期間は一定ではありません。

13. タイマ B

13.1 概要

タイマ B は、8 ビットのアップカウンタです。タイマ B には、インターバル機能、オートリロード機能の 2 種類の機能があります。

13.1.1 特長

- 7 種類の内部クロック (/16384、 /4096、 /1024、 /512、 /128、 /32、 /8) と外部クロックからの選択が可能です。
- カウンタのオーバーフローで割り込み要求を発生します。

13.1.2 ブロック図

タイマ B のブロック図を図 13.1 に示します。

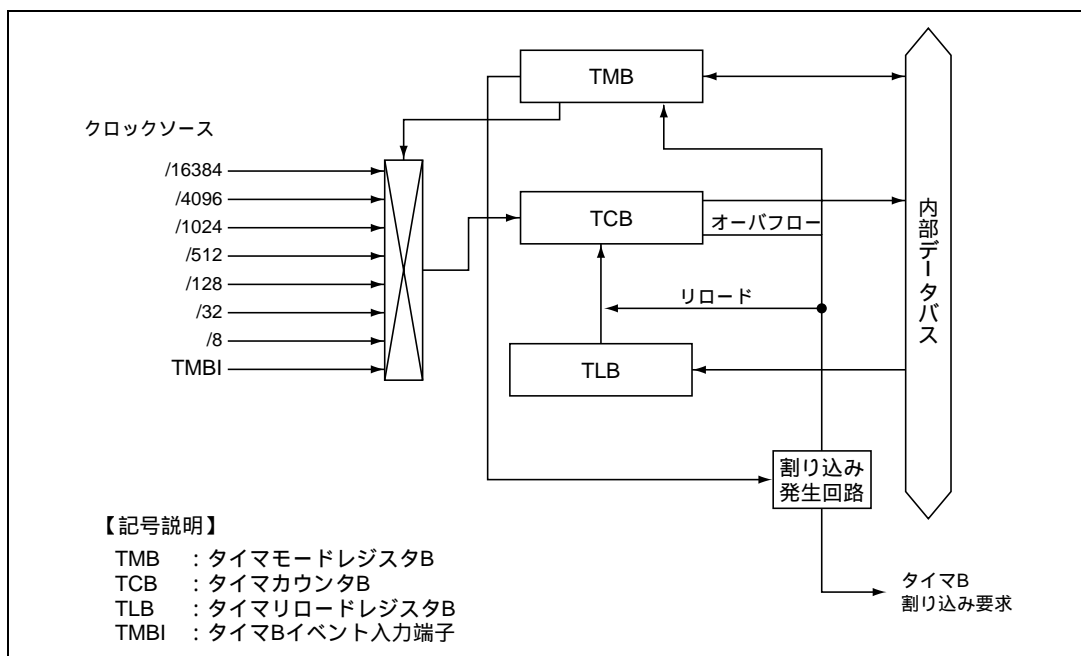


図 13.1 タイマ B ブロック図

13. タイマ B

13.1.3 端子構成

タイマ B の端子構成を表 13.1 に示します。

表 13.1 端子構成

名 称	略 称	入出力	機 能
タイマ B イベント入力	TMBI	入 力	TCB に入力するイベント入力端子

13.1.4 レジスタ構成

タイマ B のレジスタ構成を表 13.2 に示します。

TCB と TLB とは、同じアドレスに割り付けられています。リード/ライトによりそれぞれのレジスタがアクセスされます。

表 13.2 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス*
タイマモードレジスタ B	TMB	R/W	バイト	H'18	H'D110
タイマカウンタ B	TCB	R	バイト	H'00	H'D111
タイマロードレジスタ B	TLB	W	バイト	H'00	H'D111
ポートモードレジスタ 5	PMR5	R/W	バイト	H'F1	H'FFDC

【注】 *アドレスは下位 16 ビットを示します。

13.2 各レジスタの説明

13.2.1 タイマモードレジスタ B (TMB)

ビット:	7	6	5	4	3	2	1	0
	TMB17	TMBIF	TMBIE			TMB12	TMB11	TMB10
初期値:	0	0	0	1	1	0	0	0
R/W :	R/W	R/(W)*	R/W			R/W	R/W	R/W

【注】* フラグクリアのための 0 ライトのみ可能です。

TMB は、8 ビットのリード/ライト可能なレジスタで、割り込みの制御、オートリロード機能の選択および入力クロックの選択を行います。

リセット時に TMB は H'18 に、初期化されます。

ビット 7: オートリロード機能選択 (TMB17)

タイマ B のオートリロード機能を選択します。

ビット 7	説 明
TMB17	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット 6 : タイマ B 割り込み要求フラグ (TMBIF)

タイマ B 割り込み要求フラグです。TCB がオーバフローしたことを示します。

ビット 6	説 明	
TMBIF		
0	〔クリア条件〕 1 をリード後、0 をライトしたとき	(初期値)
1	〔セット条件〕 TCB がオーバフローしたとき	

ビット 5 : タイマ B 割り込みイネーブル (TMBIE)

TCB がオーバフローし、TMBIF が 1 にセットされたとき、タイマ B 割り込みの発生を許可/禁止します。

ビット 5	説 明	
TMBIE		
0	タイマ B 割り込みの発生を禁止	(初期値)
1	タイマ B 割り込みの発生を許可	

ビット 4~3 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2~0 : クロックセレクト (TMB12~TMB10)

TCB に入力するクロックを選択します。外部からのイベント入力、立ち上がり/立ち下がりエッジの選択が可能です。

ビット 2	ビット 1	ビット 0	説 明
TMB12	TMB11	TMB10	
0	0	0	内部クロック : /16384 でカウント (初期値)
0	0	1	内部クロック : /4096 でカウント
0	1	0	内部クロック : /1024 でカウント
0	1	1	内部クロック : /512 でカウント
1	0	0	内部クロック : /128 でカウント
1	0	1	内部クロック : /32 でカウント
1	1	0	内部クロック : /8 でカウント
1	1	1	外部イベント (TMBI) の立ち上がり/立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、ポートモードレジスタ 5 (PMR5) の PMR51 により設定します。
「13.2.4 ポートモードレジスタ 5 (PMR5)」を参照してください。

13.2.2 タイマカウンタ B (TCB)

ビット:	7	6	5	4	3	2	1	0
	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCB は、8 ビットのリード可能なレジスタで、入力する内部クロック/外部イベントによりカウントアップされます。入力ロックは、TMB の TMB12~TMB10 により選択します。

TCB がオーバーフロー (H'FF H'00 または H'FF TLB の設定値) すると、タイマ B 割り込み要求が発生します。

リセット時に TCB は H'00 に、初期化されます。

13.2.3 タイマロードレジスタ B (TLB)

ビット:	7	6	5	4	3	2	1	0
	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLB は、8 ビットのライト専用のレジスタで、TCB のリロード値を設定します。

TLB にリロード値を設定すると、同時にその値は TCB にもロードされ、TCB はその値からカウントアップを開始します。また、オートリロード動作時、TCB がオーバーフローすると TCB に TLB の値がロードされます。したがって、オーバーフロー周期を 1~256 入力クロックの範囲で設定することができます。

リセット時に TLB は H'00 に、初期化されます。

13.2.4 ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
					PMR53	PMR52	PMR51	
初期値:	1	1	1	1	0	0	0	1
R/W :					R/W	R/W	R/W	

ポートモードレジスタ 5 (PMR5) は、ポート 5 の端子機能の切り替え、および、タイマ B イベント入力 (TMBI) のエッジセンスの指定を行います。

PMR5 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR5 は H'F1 に初期化されます。

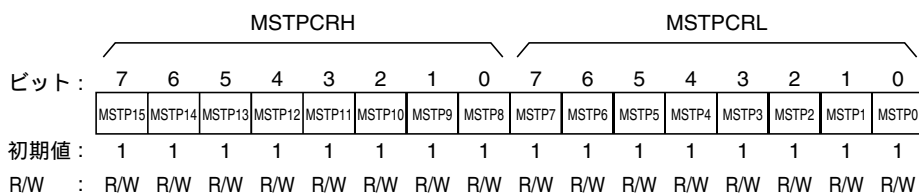
ビット 1 以外については、「11.7 ポート 5」を参照してください。

ビット 1 : タイマ B イベント入力エッジセレクト (PMR51)

TMBI 端子の入力エッジセンスを選択します。

ビット 1	説明
PMR51	
0	タイマ B イベント入力は立ち下がりエッジを検出 (初期値)
1	タイマ B イベント入力は立ち上がりエッジを検出

13.2.5 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP14 ビットを 1 にセットすると、バスサイクルの終了時点でタイマ B は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 6 : モジュールストップ (MSTP14)

タイマ B のモジュールストップモードを指定します。

MSTPCR _H	説明
ビット 6	
MSTP14	
0	タイマ B のモジュールストップモード解除
1	タイマ B のモジュールストップモード設定 (初期値)

13.3 動作説明

13.3.1 インターバルタイマの動作

TMB の TMB17 を 0 に設定すると、タイマ B は 8 ビットインターバルタイマとして動作します。

リセット時、TCB は H'00、TMB17 は 0 にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。クロックソースは、TMB の TMB12 ~ TMB10 により、プリスケラユニットの出力する 7 種類の内部クロック、TMBI 入力端子からの外部クロックを選択できます。

TCB のカウント値が H'FF になったあと、クロックが入力されると、タイマ B はオーバフローし、TMB の TMBIF が 1 にセットされます。このとき、TMB の TMBIE が 1 ならば、割り込みを発生します。

オーバフロー時には、TCB のカウント値は H'00 に戻り、再び、カウントアップを開始します。インターバルタイマ動作時に、TLB に値を設定すると、同時に TCB にも TLB の値をロードします。

13.3.2 オートリロードタイマの動作

TMB の TMB17 を 1 に設定すると、タイマ B は 8 ビットオートリロードタイマとして動作します。TLB にリロード値を設定すると、同時にその値が TCB にロードされ、TCB はその値からカウントアップを開始します。

TCB のカウント値が H'FF になったあと、クロックが入力されると、タイマ B はオーバフローし、TLB の値が TCB にロードされ、その値からカウントアップを続けます。したがって、TLB の値により、オーバフロー周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックソース、割り込みについてはインターバル動作時と同様です。オートリロード動作時に、TLB の値を再設定すると、同時に TCB にも TLB の値をロードします。

13.3.3 イベントカウンタ

タイマ B は、TMBI 端子をイベント入力端子とするイベントカウンタとして動作します。TMB の TMB12 ~ TMB10 を 111 に設定すると、クロックソースとして外部イベントが選択され、TCB は TMBI 端子入力の立ち上がりまたは立ち下がりエッジでカウントアップします。

14. タイマ J

14.1 概要

タイマ J は 2 本の 8 ビットカウンタで構成されています。リロード、イベントカウントなど 7 種類の動作モードがあります。

14.1.1 特長

タイマ J は、8 ビットのリロードタイマ 2 本から構成されており、次の各種機能を切り替えて使用できます。

- (a) 8ビットリロードタイマ2本（内1本はタイマ出力可）
- (b) 8ビットイベントカウンタ2本（リロード可）
- (c) 8ビットイベントカウンタ（リロード可）+ 8ビットリロードタイマ
- (d) 16ビットイベントカウンタ（16ビットリロード可）
- (e) 16ビットリロードタイマ（16ビットリロード可）
- (f) リモコン送信
- (g) Take up/Supply Reel Pulse分周（8ビット×2本）

14.1.2 ブロック図

タイマ J のブロック図を図 14.1 に示します。TMJ-1 と TMJ-2 との 2 本のリロードタイマにより構成されています。

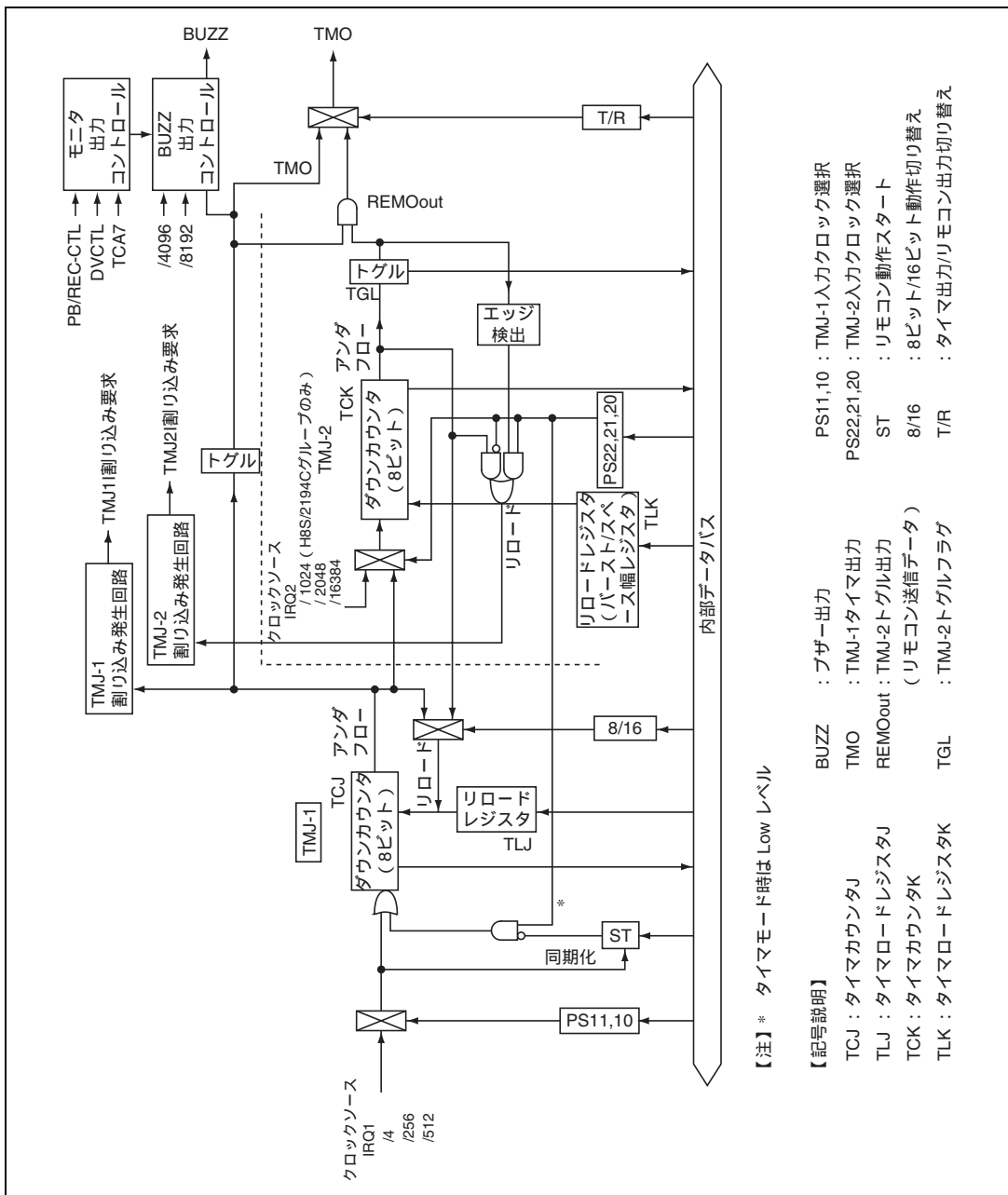


図 14.1 タイマ J のブロック図

14.1.3 端子構成

タイマ J の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	略称	入出力	機能
イベント入力端子	IRQ1	入力	TMJ-1 イベント入力
イベント入力端子	IRQ2	入力	TMJ-2 イベント入力

14.1.4 レジスタの構成

タイマ J のレジスタ構成を表 14.2 に示します。

TCJ と TLJ、TCK と TLK は、それぞれ同一のアドレスに割り付けられています。

リードまたはライトによってアクセス対象が選択されます。

表 14.2 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス* ²
タイマモードレジスタ J	TMJ	R/W	バイト	H'00	H'D13A
タイマ J コントロールレジスタ	TMJC	R/W	バイト	H'09	H'D13B
タイマ J ステータスレジスタ	TMJS	R/(W) * ¹	バイト	H'3F	H'D13C
タイマカウンタ J	TCJ	R	バイト	H'FF	H'D139
タイマカウンタ K	TCK	R	バイト	H'FF	H'D138
タイマロードレジスタ J	TLJ	W	バイト	H'FF	H'D139
タイマロードレジスタ K	TLK	W	バイト	H'FF	H'D138

【注】 *1 フラグクリアのための 0 ライトのみ可能です。

*2 アドレスは下位 16 ビットを示します。

14.2 各レジスタの説明

14.2.1 タイマモードレジスタ J (TMJ)

ビット:	7	6	5	4	3	2	1	0
	PS11	PS10	ST	8/16	PS21	PS20	TGL	T/R
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

タイマモードレジスタ J (TMJ) は、TMJ-1、TMJ-2 の入力クロックの選択や、動作モードの設定を行います。

TMJ は、8 ビットのレジスタで、ビット 1 はリード専用、他のビットはリード/ライト可能です。リセット時、TMJ は H'00 に初期化されます。

リモコンモード以外のモードでは、TMJ にライトするとカウンタ (TCJ、TCK) が H'FF に初期化されます。

ビット 7、6 : TMJ-1 入力クロック選択 (PS11、PS10)

TMJ-1 に入力するクロックを選択します。外部クロックによるカウントは立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット 7	ビット 6	説明
PS11	PS10	
0	0	PSS、 /512 でカウント (初期値)
	1	PSS、 /256 でカウント
1	0	PSS、 /4 でカウント
	1	外部クロック (IRQ1) の立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】 * 外部クロックのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) により設定します。「6.2.4 IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

リモコンモードで外部クロックを使用するときは、IRQ1 のエッジと IRQ2 のエッジとを逆のエッジに設定してください。(IRQ1 のときは IRQ2、IRQ1 のときは IRQ2 としてください。)

ビット 5 : リモコン動作スタート (ST)

リモコン送信動作時のスタートビットです。1 にセットすると TMJ-1 にクロックが供給され、送信動作を開始します。0 にクリアするとクロックの供給が止まり、動作が中断します。ST ビットは、リモコンモードのとき、すなわち、ビット 0 (T/R ビット) が 1、ビット 4 (8/16 ビット) が 0 のとき、有効になります。リモコンモード以外のモードでは、0 に固定されます。リモコン動作中に低消費電力モードへ遷移すると、ST ビットは 0 にクリアされます。アクティブモードへ復帰後、再スタート時には、1 をライトしてください。

ビット 5	説明
ST	
0	リモコンモードのとき、TMJ-1 のクロック供給を止めます。 (初期値)
1	リモコンモードのとき、TMJ-1 にクロックを供給します。

ビット 4 : 8 ビット/16 ビット動作切り替え (8/16)

タイマ J を 2 本の 8 ビットタイマ/カウンタとして使用するか、16 ビットのタイマ/カウンタとして使用するかを設定します。16 ビット動作時のときにも、TMJ-1 からの TMJII 割り込み要求は有効です。

ビット 4	説 明
8/16	
0	TMJ-1、TMJ-2 は、別々に動作します。 (初期値)
1	TMJ-1 と TMJ-2 とで、16 ビットとして動作します。

ビット 3、2 : TMJ-2 入カクロック選択 (PS21、PS20)

TMJ-2 に入力するクロックを選択します。外部クロックによるカウントは立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

TMJC ビット 0	ビット 3	ビット 2	説 明
PS22 ^{*3}	PS21	PS20	
1	0	0	PSS、 /16384 でカウント (初期値)
		1	PSS、 /2048 でカウント
	1	0	TMJ-1 のアンダフローでカウント
		1	外部クロック (IRQ2) 立ち上がりエッジまたは立ち下がりエッジでカウント ^{*1}
0	^{*2}	^{*2}	PSS、 /1024 でカウント (H8S/2194C グループのみ) ^{*4}

【注】 ^{*1} 外部クロックのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) により設定します。「6.2.4 IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

^{*2} Don't care.

^{*3} H8S/2194C グループのみ有効。

^{*4} PSS、 /1024 でカウントは、H8S/2194C グループのみ選択可能です。

ビット 1 : TMJ-2 トグルフラグ (TGL)

TMJ-2 のアンダフローをトグルした結果の状態を示すフラグです。リードのみ可能です。低消費電力モード時には、0 クリアされます。

ビット 1	説 明
TGL	
0	TMJ-2 のトグル出力は 0 (初期値)
1	TMJ-2 のトグル出力は 1

14. タイマ J

ビット 0 : タイマ出力/リモコン出力切り替え (T/R)

TMO 端子の出力信号を TMJ-1 によるタイマ出力とするか、TMJ-2 によるトグル出力 (リモコン送信データ) とするかを選択します。

ビット 0	説 明
T/R	
0	TMJ-1 のタイマ出力 (初期値)
1	TMJ-2 のトグル出力 (リモコン送信データ)

動作モードの選択

タイマ J の動作モードは、TMJ のビット 4 (8/16) とビット 0 (T/R) により決まります。

TMJ		説 明
ビット 4	ビット 0	
8/16	T/R	
0	0	8 ビットタイマ×2 (初期値)
	1	リモコンモード
1	*	16 ビットタイマ

【注】 * : Don't care.

タイマモードで TMJ にライトすると、カウンタ (TCJ、TCK) は、初期化 (H'FF) されます。リロードレジスタ (TLJ、TLK) へのライトは、TMJ を設定した後に行ってください。

リモコンモードでは、TMJ のライトによる TLJ、TLK の初期化は行われませんが、リモコン動作の開始は次の順序で行ってください。

- (1) TMJ でリモコンモードに設定
- (2) TLJ、TLK にデータをライト
- (3) TMJ でリモコンスタート (ST ビット = 1)

16 ビット動作時のときにも、TMJ-1 からの TMJ11 割り込み要求は有効です。

14.2.2 タイマ J コントロールレジスタ (TMJC)

ビット:	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0		TMJ2IE	TMJ1IE	(PS22)*
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W		R/W	R/W	(R/W)*

【注】 * H8S/2194Cグループのみリード/ライト可能です。

タイマ J コントロールレジスタ (TMJC) は、ブザー出力周波数の選択、割り込みの許可/禁止の制御を行うレジスタです。

TMJC は、8 ビットのリード/ライト可能なレジスタです。リセット時、TMJC は H'09 に初期化されます。

ビット 7、6 : ブザー出力選択 (BUZZ1、BUZZ0)

BUZZ 端子の出力をブザー出力とするか、モニタ用信号とするかを選択します。

モニタ用信号出力に設定した場合、MON1、MON0 ビットによりモニタ信号を選択します。

ビット 7	ビット 6	出力信号	= 10MHz のときの周波数
BUZZ1	BUZZ0		
0	0	/4096	(初期値) 2.44kHz
	1	/8192	1.22kHz
1	0	モニタ用信号出力	
	1	タイマ J の BUZZ 出力	

ビット 5、4 : モニタ出力選択 (MON1、MON0)

BUZZ 端子からモニタ用として出力する信号を選択します。BUZZ1、BUZZ0 ビットが 10 に設定されているときのみ有効です。

PB-CTL または REC-CTL は、信号のデューティがそのまま出力されます。

DVCTL 信号は、CTL 分周回路からの信号をトグルして出力します。CTL 分周回路により n 分周した信号をさらに 2 分周した波形になります。(2n 分周、50%デューティの波形)。

TCA7 は、タイマ A のカウンタのビット 7 を出力します。(50%デューティ)。タイマ A でプリスケラ W 使用時は、1Hz 出力が可能です。

ビット 5	ビット 4	説明
MON1	MON0	
0	0	PB または REC-CTL (初期値)
	1	DVCTL
1	*	TCA7 を出力

【注】 * : Don't care.

14. タイマ J

ビット 3 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2 : TMJ2I 割り込みイネーブル (TMJ2IE)

TMJS の TMJ2I の 1 セットによる TMJ2I 割り込みの発生を許可/禁止します。

ビット 2	説 明	
TMJ2IE		
0	TMJ2I 割り込みの発生を禁止	(初期値)
1	TMJ2I 割り込みの発生を許可	

ビット 1 : TMJ1I 割り込みイネーブル (TMJ1IE)

TMJS の TMJ1I の 1 セットによる TMJ1I 割り込みの発生を許可/禁止します。

ビット 1	説 明	
TMJ1IE		
0	TMJ1I 割り込みの発生を禁止	(初期値)
1	TMJ1I 割り込みの発生を許可	

ビット 0 : リザーブビット (H8S/2194 グループ)

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0 : TMJ-2 入力クロック選択 (PS22) (H8S/2194C グループ)

TMJ のビット 2、3(PS21、PS20)と組み合わせて TMJ-2 に入力するクロックを選択します。「14.2.1 タイマモードレジスタ J」を参照してください。

14.2.3 タイマ J ステータスレジスタ (TMJS)

ビット:	7	6	5	4	3	2	1	0
	TMJ2I	TMJ1I						
初期値:	0	0	1	1	1	1	1	1
R/W :	R(W)*	R(W)*						

【注】* フラグクリアのための 0 ライトのみ可能です。

タイマ J ステータスレジスタ (TMJS) は、タイマ J の割り込み要求の発生を示すレジスタです。TMJS は、8 ビットのリード/ライト可能なレジスタです。リセット時、TMJS は H'3F に初期化されます。

ビット 7: TMJ2I 割り込み要求フラグ (TMJ2I)

TMJ2I 割り込み要求フラグです。TMJ-2 のアンダフローによりセットされます。

ビット 7	説明
TMJ2I	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 TMJ-2 がアンダフローしたとき

ビット 6: TMJ1I 割り込み要求フラグ (TMJ1I)

TMJ1I 割り込み要求フラグです。TMJ-1 のアンダフローによりセットされます。16 ビット動作のときにも、TMJ1I 割り込み要求は発生します。

ビット 6	説明
TMJ1I	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 TMJ-1 がアンダフローしたとき

ビット 5~0: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

14.2.4 タイマカウンタ J (TCJ)

ビット:	7	6	5	4	3	2	1	0
	TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10
初期値:	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

タイマカウンタ J (TCJ) は、8 ビットのリード可能なダウンカウンタで、入力する内部クロックまたは外部クロックによりカウントダウンされます。入力するクロックは、TMJ の PS11、PS10 ビットにより選択します。TCJ の値は、常にリードできます。ただし、TMJ の 8/16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワード命令のみでのリードとなります。このとき、上位 8 ビットに TMJ-2 の TCK、下位 8 ビットに TCJ がリードされます。

TCJ がアンダフローすると (H'00 リロード値)、8/16 ビットの動作モードにかかわらず、TMJS の TMJ11 ビットが 1 にセットされます。

TCJ は、TLJ と同一のアドレスに割り付けられています。

TCJ は、リセット時、H'FF に初期化されます。

14.2.5 タイマカウンタ K (TCK)

ビット:	7	6	5	4	3	2	1	0
	TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20
初期値:	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

タイマカウンタ K (TCK) は、8 ビットのリード可能なダウンカウンタで、入力する内部クロックまたは外部クロックによりカウントダウンされます。入力するクロックは、TMJ の PS21、PS20 ビットにより選択します。TCK の値は、常にリードできます。ただし、TMJ の 8/16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワード命令のみでのリードとなります。このとき、上位 8 ビットに TCK、下位 8 ビットに TMJ-1 の TCJ がリードされます。

TCK がアンダフローすると (H'00 リロード値)、TMJS の TMJ21 ビットが 1 にセットされます。

TCK は、TLK と同一のアドレスに割り付けられています。

TCK は、リセット時、H'FF に初期化されます。

14.2.6 タイマロードレジスタ J (TLJ)

ビット:	7	6	5	4	3	2	1	0
	TLR17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10
初期値:	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

タイマロードレジスタ J (TLJ) は、8 ビットのライト専用のレジスタで、TCJ のリロード値を設定します。

TLJ にリロード値を設定すると、同時にその値は TCJ にもロードされ、TCJ はその値からカウントダウンを開始します。また、オートリロードモード時、TCJ がアンダフローすると、TCJ に TLJ の値がロードされます。したがって、アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。ただし、TMJ の 8/16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワード命令のみでのライトとなります。このとき、上位 8 ビットが TMJ-2 の TLK、下位 8 ビットが TLJ にライトされます。

TLJ は、TCJ と同一のアドレスに割り付けられています。

TLJ は、リセット時、H'FF に初期化されます。

14.2.7 タイマロードレジスタ K (TLK)

ビット:	7	6	5	4	3	2	1	0
	TLR27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20
初期値:	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

タイマロードレジスタ K (TLK) は、8 ビットのライト専用のレジスタで、TCK のリロード値を設定します。

TLK にリロード値を設定すると、同時にその値は TCK にもロードされ、TCK はその値からカウントダウンを開始します。また、オートリロードモード時、TCK がアンダフローすると、TCK に TLK の値がロードされます。したがって、アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。ただし、TMJ の 8/16 ビットが 1 に設定されているとき (16 ビット動作時に設定されているとき) は、ワード命令のみでのライトとなります。このとき、上位 8 ビットが TLK、下位 8 ビットが TMJ-1 の TLJ にライトされます。

TLK は、TCK と同一のアドレスに割り付けられています。

TLK は、リセット時、H'FF に初期化されます。

14.2.8 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTR13 ビットを 1 にセットすると、バスサイクルの終了時点でタイマ J は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 5 : モジュールストップ (MSTP13)

タイマ J のモジュールストップモードを指定します。

MSTPCRH	説 明	
ビット 5		
MSTP13		
0	タイマ J のモジュールストップモード解除	
1	タイマ J のモジュールストップモード設定 (初期値)	

14.3 動作説明

14.3.1 8ビットリロードタイマ (TMJ-1)

TMJ-1 は、8ビットリロードタイマです。クロックソースは、分周クロックまたは $\overline{\text{IRQ1}}$ 端子のエッジ信号となっています。 $\overline{\text{IRQ1}}$ 端子のエッジ信号を選択することにより、イベントカウンタとしても使用可能です。イベントカウンタ動作時もしリロード機能が同時に動作可能です。

リロードレジスタ TLJ にデータを書き込むと、カウンタ TCJ にも同時に書き込まれます。また、カウンタ TCJ のアンダフローにより、リロードレジスタ TLJ のデータがカウンタ TCJ にリロードされます。

カウンタのアンダフローにより、TMJ1I 割り込み要求が発生します。

アンダフローはトグルされ、分周クロックを適切に選ぶことにより、ブザー出力またはリモコン送信時のキャリア周波数となります。

TMJ-1 は、TMJ-2 と組み合わせて、16ビットのリロードタイマとして動作可能です。16ビットタイマとして動作時は、ワード命令のみ有効で、TCK が上位8ビット、TCJ が下位8ビットの計16ビットのダウンカウンタとして、また、TLK が上位8ビット、TLJ が下位8ビットの計16ビットのリロードレジスタとして動作します。

16ビットリロードレジスタにデータを書き込むと、16ビットカウンタにも同時に書き込まれます。また、16ビットカウンタのアンダフローにより、16ビットリロードレジスタのデータがカウンタにリロードされます。

16ビット動作のときにも、TMJ-1 の TMJ1I 割り込み要求および BUZZ 出力は有効です。不要の場合は、プログラムで無効にしてください。

TMJ-1 は、TMJ-2 と組み合わせて、リモコン送信動作が可能です。リモコン送信動作については、「14.3.3 リモコン送信動作」を参照してください。

14.3.2 8ビットリロードタイマ (TMJ-2)

TMJ-2 は、ダウンカウント動作の8ビットリロードタイマです。クロックソースは、分周クロック、 $\overline{\text{IRQ2}}$ 端子のエッジ信号、または、TMJ-1 のアンダフロー信号となっています。 $\overline{\text{IRQ2}}$ 端子のエッジ信号を選択することにより、イベントカウンタとしても使用可能です。

イベントカウンタ動作時もしリロード機能が同時に動作可能です。

リロードレジスタ TLK にデータを書き込むと、カウンタ TCK にも同時に書き込まれます。また、カウンタ TCK のアンダフローにより、リロードレジスタ TLK のデータがカウンタ TCK にリロードされます。

カウンタのアンダフローにより、TMJ2I 割り込み要求が発生します。

TMJ-2 は、TMJ-1 と組み合わせて、16ビットのリロードタイマとして動作可能です。16ビットリロードタイマ動作については、「14.3.1 8ビットリロードタイマ (TMJ-1)」を参照してください。

TMJ-2 は、TMJ-1 と組み合わせて、リモコン送信動作が可能です。リモコン送信動作については、「14.3.3 リモコン送信動作」を参照してください。

14.3.3 リモコン送信動作

タイマ J でリモコン送信動作が可能です。TMJ-1 でリモコン信号のキャリア周波数を作成し、TMJ-2 でパースト幅、スペース幅の期間を作成します。

TMJ-1 リロードレジスタ、TMJ-2 のパースト/スペース幅のレジスタ (TLK) に書き込んだ値は、リモコンスタート (リモコン動作スタートビット (ST) 1) と同時に、カウンタにロードされます。送信中は、パースト/スペース幅レジスタの内容は、アンダフロー信号によるリロード時のみカウンタにロードされます。送信中にパースト/スペース幅レジスタに書き込みを行っても、アンダフロー信号が発生するまで、リロード動作は行われません。TMJ-2 はアンダフロー信号により TMJ2I 割り込み要求を発生します。TMJ-1 は通常のリロード動作 (TMJ1I 割り込み要求も含む) を行います。

リモコン送信機能の出力波形を図 14.2 に示します。

リモコン動作中に低消費電力モードへ遷移すると、ST ビットは 0 にクリアされます。アクティブモードへ復帰後、再スタート時には、1 をライトしてください。

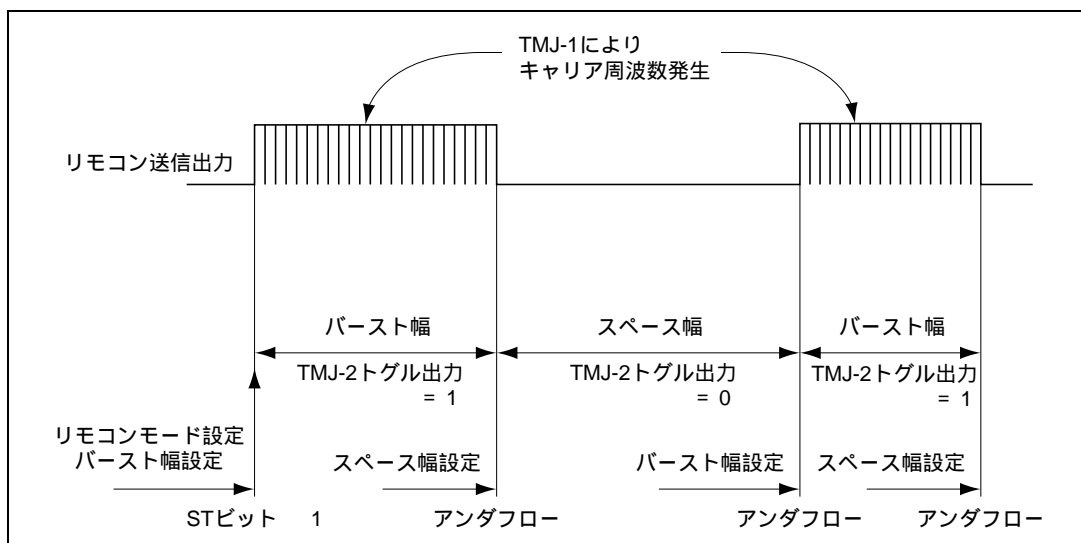


図 14.2 リモコン送信出力波形

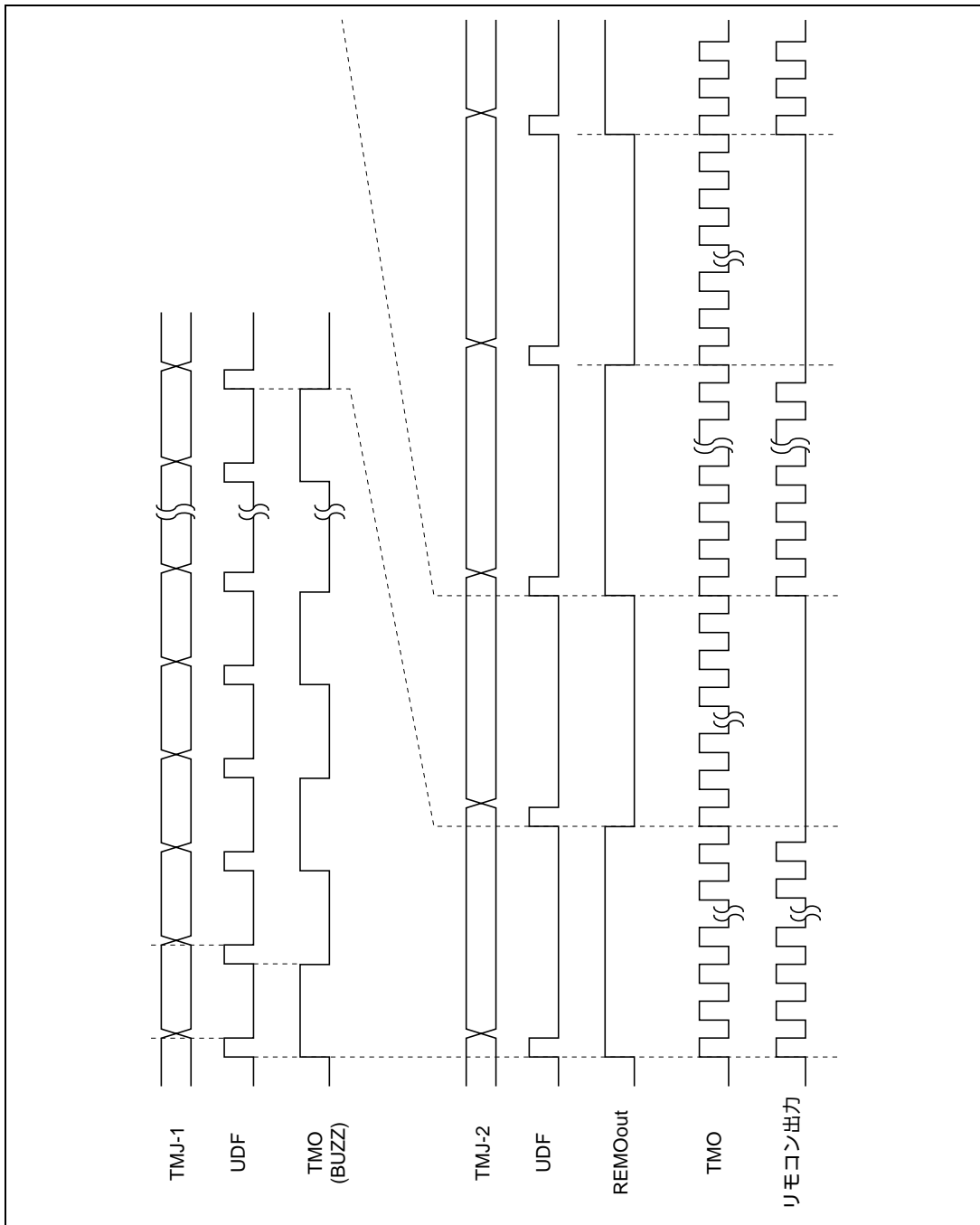


図 14.3 タイマ出力のタイミング

タイマ J をリモコンモードにすると、スタートビット (ST) は TMJ-2 の入力クロックに同期してセット/クリアされるため、ST ビットを 1 にセットしてからリモコン送信動作に入るまで、最大で入力クロックの周期分だけ遅延が生じます。そのため、ST ビットを 1 にセットしてから、入力クロックの次の周期が来るまでの間に、TLK を書き換えると、最初のパースト幅が図 14.4 に示すように変わってしまいます。

リモコン送信を行う場合は、必ず一回目のパースト幅制御のときのみ TGL ビットの 1/0 を判定してください。(または、入力クロックの一周期分待ってから TLK にスペース幅を設定してください。)

それ以降は割り込みによる方法で操作できます。

同様にリモコン送信を終了するときの制御にも注意してください。

- 例) 1) TLK にパースト幅設定
 2) ST ビット 1
 3) TGL フラグ = 1 ならば 4) を実行
 4) TGL フラグ = 1 の状態で TLK にスペース幅を設定
 5) TMJ-2 割り込み
 6) TLK にパースト幅設定
 :
 n) TMJ-2 割り込み後、TGL フラグ = 0 の状態で ST = 0

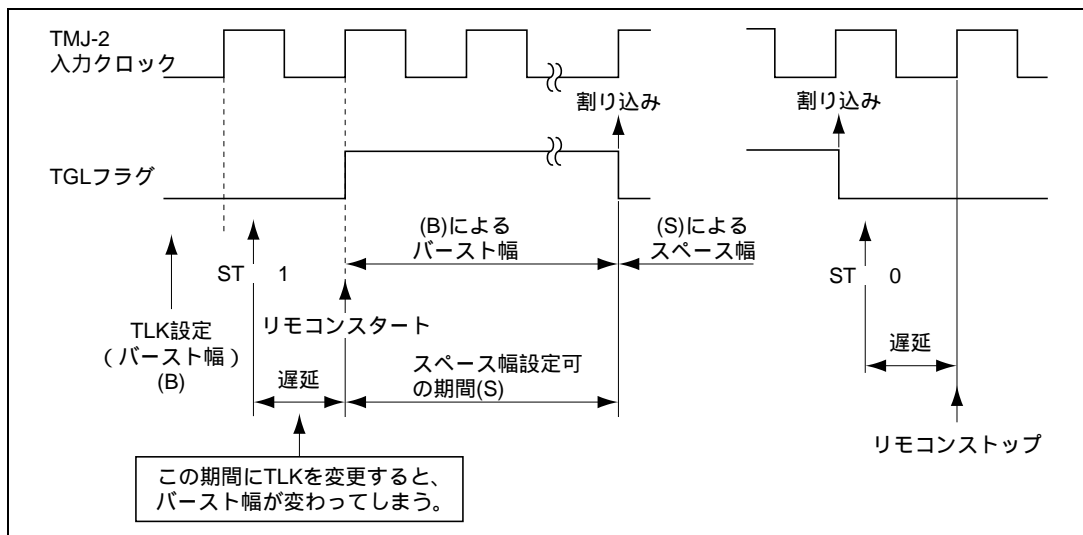


図 14.4 リモコン送信の制御

15. タイマ L

15.1 概要

タイマ L は、コントロールパルス、または、CFG の分周信号をクロックソースとする 8 ビットのアップ/ダウンカウンタです。

15.1.1 特長

タイマ L の特長を以下に示します。

- 2 種類の内部クロック (/128、 /64)、DVCFG2 (CFG 分周信号 2)、PB および REC-CTL (コントロールパルス) のうちから選択が可能
 - 無記録のテープの再生時など、PB-CTL がないときは、DVCFG2 により、テープカウントが行えます。
 - CTL パルスによるカウントは立ち上がりエッジ/立ち下がりエッジの選択が可能です。
- カウンタのオーバーフロー、アンダフロー、またはコンペアマッチクリアで割り込みを発生
- カウンタのアップカウント/ダウンカウントの切り替えが可能

15.1.2 ブロック図

タイマ L のブロック図を図 15.1 に示します。

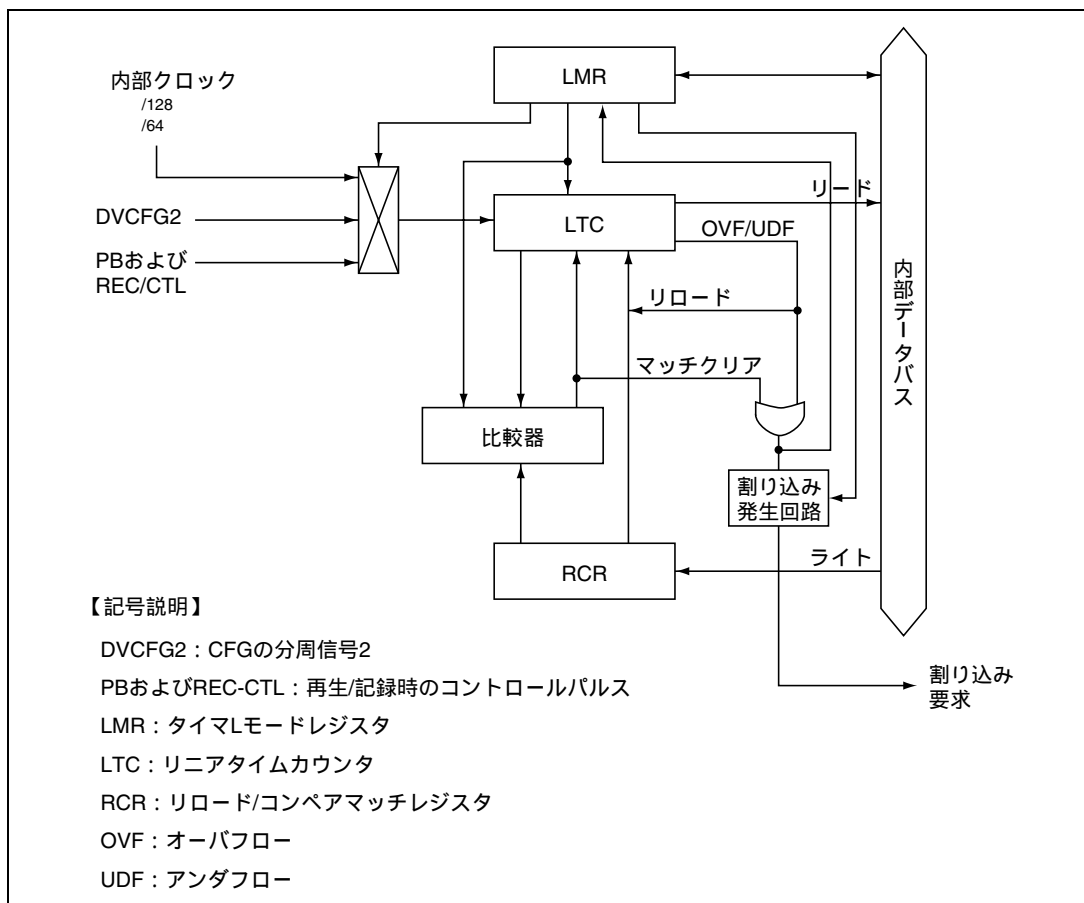


図 15.1 タイマ L ブロック図

15.1.3 レジスタ構成

タイマ L のレジスタ構成を表 15.1 に示します。リニアタイムカウンタ (LTC) とリロードコンペアマッチレジスタ (RCR) は、同じアドレスに割り当てられています。リードとライトによりそれぞれのレジスタがアクセスされます。

表 15.1 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス*
タイマ L モードレジスタ	LMR	R/W	バイト	H'30	H'D112
リニアタイムカウンタ	LTC	R	バイト	H'00	H'D113
リロード/コンペアマッチレジスタ	RCR	W	バイト	H'00	H'D113

【注】 * アドレスは下位 16 ビットを示します。

15.2 各レジスタの説明

15.2.1 タイマ L モードレジスタ (LMR)

ビット:	7	6	5	4	3	2	1	0
	LMIF	LMIE			LMR3	LMR2	LMR1	LMR0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/(W)*	R/W			R/W	R/W	R/W	R/W

【注】* フラグクリアのための 0 ライトのみ可能です。

タイマ L モードレジスタ (LMR) は、8 ビットのリード/ライト可能なレジスタで、割り込みの制御、アップカウント/ダウンカウントの選択、クロックソースの選択を行うレジスタです。リセット時、LMR は H'30 に初期化されます。

ビット 7: タイマ L 割り込み要求フラグ (LMIF)

タイマ L 割り込み要求フラグです。LTC のオーバフロー、アンダフロー、または、コンペアマッチクリアが発生したことを示します。

ビット 7	説明
LMIF	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 LTC のオーバフロー、アンダフロー、または、コンペアマッチクリアが発生したとき

ビット 6: タイマ L 割り込みイネーブル (LMIE)

LTC のオーバフロー、アンダフロー、または、コンペアマッチクリアが発生し、LMIF が 1 にセットされたとき、タイマ L 割り込みの発生を許可/禁止します。

ビット 6	説明
LMIE	
0	タイマ L 割り込みの発生を禁止 (初期値)
1	タイマ L 割り込みの発生を許可

ビット 5、4: リザーブビット

リードすると 1 が読み出されます。ライトは無効となります。

ビット 3: アップカウント/ダウンカウント制御 (LMR3)

タイマ L をアップカウントに制御するか、ダウンカウントに制御するかを選択するビットです。

15. タイマ L

(1) アップカウント制御時

- RCR に H'00 以外の値を入力すると、LTC は H'00 にクリアされてからカウントアップを行います。LTC と RCR 値との一致で、LTC は H'00 にクリアされます。また、一致信号により割り込み要求を発生します。(コンペアマッチクリア機能)
- RCR に H'00 を設定すると、カウンタは 8 ビットのインターバルタイマ動作を行い、オーバーフローで割り込み要求を発生します。(インターバルタイマ機能)

(2) ダウンカウント制御時

- RCR に値を設定すると、RCR の設定値を LTC ヘリロードし、その値からカウントダウンを行います。LTC のアンダフローで、RCR の値を LTC ヘリロードします。また、LTC のアンダフローにより割り込み要求を発生します。(オートリロードタイマ機能)

ビット 3	説 明	
LMR3		
0	アップカウント制御	(初期値)
1	ダウンカウント制御	

ビット 2~0 : クロック選択 (LMR2~LMR0)

LMR2~LMR0 は、タイマ L に入力するクロックを選択します。PB および REC-CTL によるカウントは立ち上がりエッジまたは立ち下がりエッジのいずれかを選択できます。

ビット 2	ビット 1	ビット 1	説 明
LMR2	LMR1	LMR0	
0	0	0	PB および REC-CTL の立ち上がりエッジでカウント (初期値)
		1	PB および REC-CTL の立ち下がりエッジでカウント
1	0	*	DVCFG2 をカウント
	1	*	内部クロック /128 でカウント
1	0	*	内部クロック /128 でカウント
	1	*	内部クロック /64 でカウント

【注】 * : Don't care

15.2.2 リニアタイムカウンタ (LTC)

ビット:	7	6	5	4	3	2	1	0
	LTC7	LTC6	LTC5	LTC4	LTC3	LTC2	LTC1	LTC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

リニアタイムカウンタ (LTC) は、8 ビットのリード可能なアップ/ダウンカウンタです。入力クロックは、LMR の LMR2~LMR0 ビットにより選択します。

LTC は、リセット時、H'00 に初期化されます。

15.2.3 リロード/コンペアマッチレジスタ (RCR)

ビット:	7	6	5	4	3	2	1	0
	RCR7	RCR6	RCR5	RCR4	RCR3	RCR2	RCR1	RCR0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

リロード/コンペアマッチレジスタ (RCR) は、8 ビットのライト専用のレジスタです。

タイマ L が、アップカウント制御時、RCR にコンペアマッチの値を設定すると、同時に LTC はクリアされ、LTC は初期値 (H'00) からカウントアップを開始します。

タイマ L が、ダウンカウント制御時、RCR にリロード値を設定すると、同時にその値は LTC にもロードされ、LTC はその値からカウントダウンを開始します。また、LTC がアンダフローすると LTC に RCR の値がリロードされます。

RCR は、リセット時、H'00 に初期化されます。

15.2.4 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP12 ビットを 1 にセットすると、バスサイクルの終了時点でタイマ L は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 4: モジュールストップ (MSTP12)

タイマ L のモジュールストップモードを指定します。

MSTPCRH	説明
ビット 4	
MSTP12	
0	タイマ L のモジュールストップモード解除
1	タイマ L のモジュールストップモード設定 (初期値)

15.3 動作説明

タイマ L は、8 ビットのアップ/ダウンカウンタです。

タイマ L の入力クロックは、LMR の LMR2 ~ LMR0 ビットにより、内部クロック(/128、 /64)、DVCDG2、PB および REC-CTL から選択できます。

タイマ L には、アップカウント制御でコンペアマッチクリア、ダウンカウント制御でオートリロード、インターバルタイマ動作の 3 種類の動作モードがあります。それぞれの動作モード、および、使用方法について以下に説明します。

15.3.1 コンペアマッチクリアの動作

LMR の LMR3 ビットを 0 にクリアすると、タイマ L はアップカウント制御になります。

RCR に H'00 以外の値を書き込むと、LTC は同時に H'00 にクリアされてからカウントアップを開始します。RCR へのライト、および、LTC クリアタイミングを図 15.2 に示します。

LTC と RCR の値が一致 (コンペアマッチ) すると、LTC のカウント値はクリアされ、再び H'00 からカウントアップを開始します。コンペアマッチクリアタイミングを図 15.3 に示します。

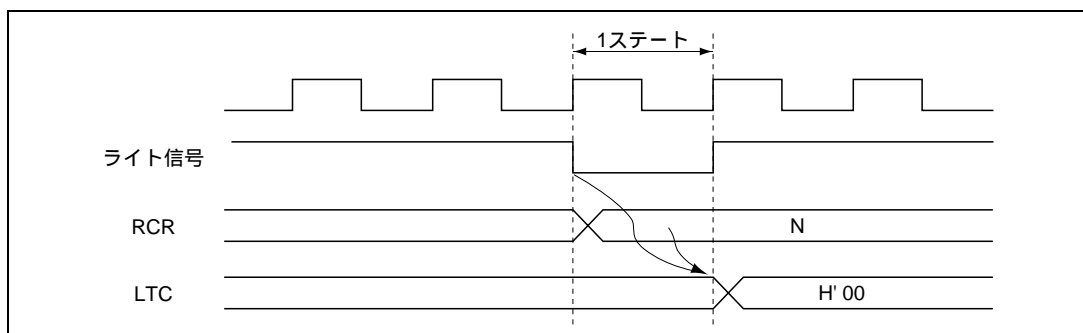


図 15.2 RCR ライト、LTC クリアタイミング

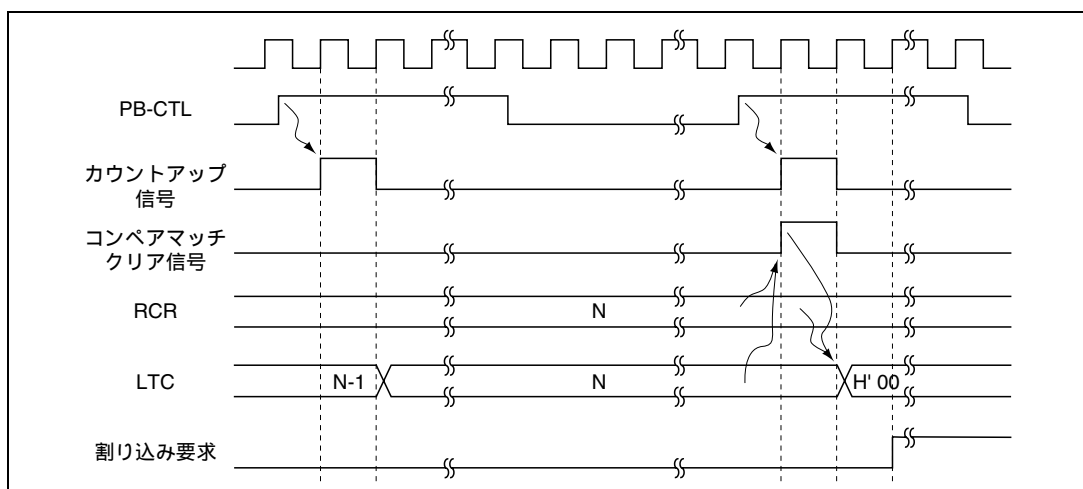


図 15.3 コンペアマッチクリアタイミング (PB-CTL の立ち上がりエッジ選択時)

16. タイマ R

16.1 概要

タイマ R は 3 本の 8 ビットダウンカウンタで構成されています。リロード、イベントカウンタの他に、VTR のモード判別やスロー処理の機能を持っています。

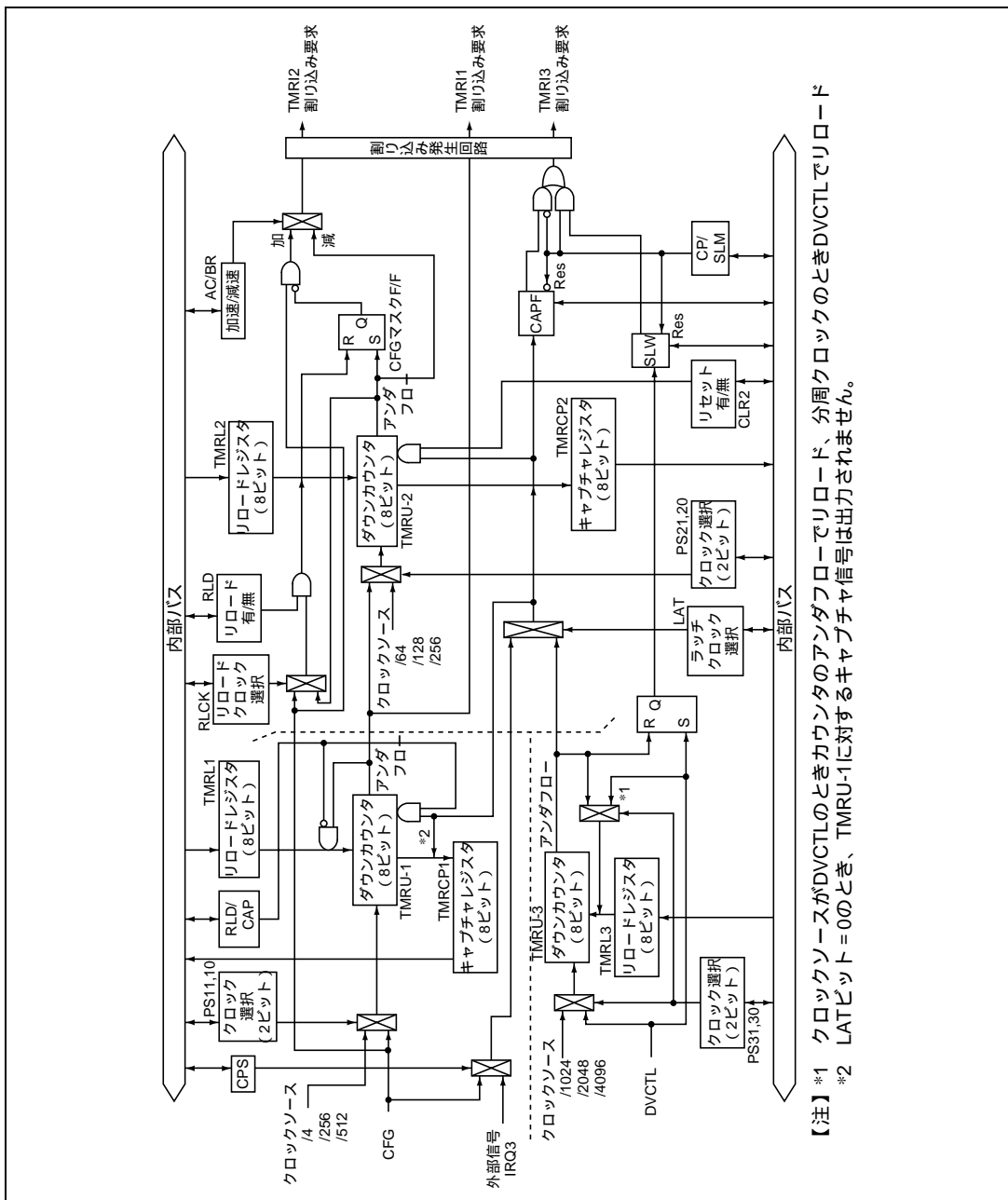
16.1.1 特長

タイマ R は 3 本のリロードタイマで構成されています。3 本のリロードタイマ/カウンタとしての機能と、3 本のタイマを組み合わせることで、次の処理が行えます。

- (1) 3本のリロードタイマ
- (2) VTRモードの判別
- (3) リール制御
- (4) 間欠動作時のキャプスタンモータの加減速処理
- (5) スロートラッキングモノマルチ

16.1.2 ブロック図

タイマ R は、2 本のキャプチャ付きリロードタイマカウンタ (TMRU-1、TMRU-2) と 1 本のリロードタイマカウンタ (TMRU-3) との、3 本のリロードタイマカウンタで構成されています。タイマ R のブロック図を図 16.1 に示します。



【注】 *1 クロックソースがDVCTLのときカウンタのアンダフローでリロード、分周クロックのときDVCTLでリロード
 *2 LATビット=0のとき、TMRU-1に対するキャプチャ信号は出力されません。

図 16.1 タイマ R のブロック図

16.1.3 端子構成

タイマ R の端子構成を表 16.1 に示します。

表 16.1 端子構成

名 称	略称	入出力	機能
インプットキャプチャ入力端子	IRQ3	入力	タイマ R インプットキャプチャ入力

16.1.4 レジスタ構成

タイマ R のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
タイマ R モードレジスタ 1	TMRM1	R/W	バイト	H'00	H'D118
タイマ R モードレジスタ 2	TMRM2	R/W	バイト	H'00	H'D119
タイマ R コントロール/ステータスレジスタ	TMRC	R/W	バイト	H'03	H'D11F
タイマ R キャプチャレジスタ 1	TMRC1	R	バイト	H'FF	H'D11A
タイマ R キャプチャレジスタ 2	TMRC2	R	バイト	H'FF	H'D11B
タイマ R ロードレジスタ 1	TMRL1	W	バイト	H'FF	H'D11C
タイマ R ロードレジスタ 2	TMRL2	W	バイト	H'FF	H'D11D
タイマ R ロードレジスタ 3	TMRL3	W	バイト	H'FF	H'D11E

【注】 低消費電力モード時、各レジスタの内容は保持されます。ただし、TMRM2 の CAPF フラグおよび SLW フラグは、0 にクリアされます。

16.2 各レジスタの説明

16.2.1 タイマ R モードレジスタ 1 (TMRM1)

ビット:	7	6	5	4	3	2	1	0
	CLR2	AC/BR	RLD	RLCK	PS21	PS20	RLD/CAP	CPS
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマ R モードレジスタ 1 (TMRM1) は、加減速処理の制御や TMRU-2 の入力クロックの選択を行います。8 ビットのリード/ライト可能なレジスタです。

TMRM1 は、リセット時、H'00 に初期化されます。

ビット 7: TMRU-2 クリア有無選択 (CLR2)

TMRU-2 のカウンタをキャプチャと同時にクリアするか、しないかの選択を行います。

ビット 7	説 明
CLR2	
0	TMRU-2 はキャプチャと同時にクリアされない (初期値)
1	TMRU-2 はキャプチャと同時にクリアする

16. タイマ R

ビット 6：加速/減速処理の選択（AC/BR）

キャプスタンモータの間欠処理時に、加速または減速が完了したことを検知するための割り込み要求の発生を制御します。詳細は「16.3.6 キャプスタンモータの加減速処理」を参照してください。

ビット 6	説 明	
AC/BR		
0	減速処理	(初期値)
1	加速処理	

ビット 5：TMRU-2 のリロードの有無（RLD）

TMRU-2 のリロード機能の有無を選択します。

ビット 5	説 明	
RLD		
0	TMRU-2 をリロードタイマとして使用しない。	(初期値)
1	TMRU-2 をリロードタイマとして使用する。	

ビット 4：TMRU-2 リロードタイミングの選択（RLCK）

TMRU-2 は、CFG でリロードを行うか、TMRU-2 カウンタのアンダフローでリロードを行うかどうかを選択します。ビット 5 の RLD が 1 のときのみ有効です。

ビット 4	説 明	
RLCK		
0	CFG の立ち上がりエッジでリロード	(初期値)
1	TMRU-2 アンダフローでリロード	

ビット 3、2：TMRU-2 クロックソースの選択（PS21、PS20）

TMRU-2 の入力クロックを選択します。

ビット 3	ビット 2	説 明	
PS21	PS20		
0	0	TMRU-1 のアンダフローでカウント	(初期値)
	1	PSS、 /256 でカウント	
1	0	PSS、 /128 でカウント	
	1	PSS、 /64 でカウント	

ビット 1 : TMRU-1 動作モードの選択 (RLD/CAP)

TMRU-1 動作が、リロードタイマモードか、キャプチャタイマモードかを選択します。

キャプチャタイマモードのときは、リロード動作は行いません。また、キャプチャと同時に、カウンタがクリアされます。

ビット 1	説 明
RLD/CAP	
0	TMRU-1 はリロードタイマとして動作 (初期値)
1	TMRU-1 はキャプチャタイマとして動作

ビット 0 : TMRU-1 キャプチャ信号の選択 (CPS)

TMR2 の LAT ビット (ビット 7) とともに、TMRU-1 のキャプチャ信号を選択します。LAT ビットが 1 の場合には、このビットが有効になります。また、ビット 1 の RLD/CAP ビットが 1 のときには有効になります。また、ビット 1 の RLD/CAP ビットが 0 のときには無効になります。

ビット 0	説 明
CPS	
0	CFG の立ち上がりエッジによるキャプチャ信号 (初期値)
1	IRQ3 のエッジによるキャプチャ信号

16.2.2 タイマ R モードレジスタ 2 (TMRM2)

ビット :	7	6	5	4	3	2	1	0
	LAT	PS11	PS10	PS31	PS30	CP/SLM	CAPF	SLW
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*

タイマ R モードレジスタ 2 (TMRM2) は、8 ビットのリード/ライト可能なレジスタで、モード判別やスロートラッキングの制御を行います。

TMRM2 は、リセット時、H'00 に初期化されます。

- 【注】* CAPF、SLW の各ビットは、割り込み要因をラッチするビットになっており、0 ライトのみ有効となっています。各割り込み要因が発生したとき、当該ビットが 1 であると、割り込み要求が発生しません。割り込み処理ルーチンの中で当該ビットをチェックして、クリアする必要があります。
- また、セット優先となっており、ビットをクリアする命令 (BCLR、MOV など) を実行中に割り込みの要因が発生すると、CAPF、SLW 各ビットがクリアされないため、クリアのタイミングに注意する必要があります。

16. タイマ R

ビット 7 : TMRU-2 キャプチャ信号の選択 (LAT)

TMRM1 のビット 0 (CPS ビット) と組み合わせて、TMRU-2 のキャプチャの信号を選択します。

TMRM2	TMRM1	説 明
ビット 7	ビット 0	
LAT	CPS	
0	*	TMRU-3 のアンダフローでキャプチャ (初期値)
1	0	CFG の立ち上がりエッジでキャプチャ
	1	IRQ3 のエッジでキャプチャ

【注】 * : Don't care

ビット 6、5 : TMRU-1 クロックソース選択 (PS11、PS10)

TMRU-1 の入力クロックを選択します。

ビット 6	ビット 5	説 明
PS11	PS10	
0	0	CFG の立ち上がりエッジでカウント (初期値)
	1	PSS、 /4 でカウント
1	0	PSS、 /256 でカウント
	1	PSS、 /512 でカウント

ビット 4、3 : TMRU-3 クロックソース選択 (PS31、PS30)

TMRU-3 の入力クロックを選択します。

ビット 4	ビット 3	説 明
PS31	PS30	
0	0	分周回路からの DVCTL の立ち上がりエッジでカウント (初期値)
	1	PSS、 /4096 でカウント
1	0	PSS、 /2048 でカウント
	1	PSS、 /1024 でカウント

ビット 2 : 割り込み選択 (CP/SLM)

TMRI3 の割り込み要因を選択します。

ビット 2	説 明
CP/SLM	
0	TMRU-2 のキャプチャ信号による割り込み要求を有効とします。 (初期値)
1	スロートラッキングモノマルチ終了による割り込み要求を有効とします。

ビット 1 : キャプチャ信号フラグ (CAPF)

TMRU-2 キャプチャ信号によりセットされるフラグです。リード/ライト可能ですが、ライトは 0 ライトのみ有効です。セット優先となっており、キャプチャ信号と 0 ライトが同時に起きた場合は、フラグは 1 のままとなり、割り込み要求が発生しないので注意が必要です。

ビット 2 の CP/SLM ビットが、1 のとき、CAPF ビットは、常に 0 となります。

CAPF フラグは、低消費電力モード時に、0 クリアされます。

ビット 1	説 明
CAPF	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 CP/SLM ビット = 0 で、TMRU-2 キャプチャ信号が発生したとき

ビット 0 : スロートラッキングモノマルチフラグ (SLW)

スロートラッキングモノマルチの終了時にセットされます。リード/ライト可能ですが、ライトは 0 ライトのみ有効です。セット優先となっており、スロートラッキングモノマルチの終了と 0 ライトが同時に起きた場合は、フラグは 1 のままとなり、割り込み要求が発生しないので注意が必要です。

ビット 2 の CP/SLM ビットが、0 のとき、SLW ビットは、常に 0 となります。

SLW フラグは、低消費電力モード時に、0 クリアされます。

ビット 0	説 明
SLW	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 CP/SLM ビット = 1 で、スロートラッキングモノマルチが終了したとき

16.2.3 タイマ R コントロール/ステータスレジスタ (TMRCS)

ビット :	7	6	5	4	3	2	1	0
	TMRI3E	TMRI2E	TMRI1E	TMRI3	TMRI2	TMRI1		
初期値 :	0	0	0	0	0	0	1	1
R/W :	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*		

【注】* フラグクリアのための 0 ライトのみ可能です。

タイマ R コントロール/ステータスレジスタ (TMRCS) は、タイマ R の割り込み制御を行います。TMRCS は、8 ビットのリード/ライト可能なレジスタです。リセット時には、H'03 に初期化されます。

16. タイマ R

ビット 7 : TMRI3 割り込みイネーブル (TMRI3E)

TMRU-2 のキャプチャ信号発生、あるいは、スロートラッキングモノマルチの終了のうち、TMRM2 の CP/SLM ビットで選択されている割り込み要因が発生し、TMRI3 が 1 にセットされたとき、TMRI3 割り込みの発生を許可/禁止します。

ビット 7 TMRI3E	説 明
0	TMRI3 割り込みの発生を禁止 (初期値)
1	TMRI3 割り込みの発生を許可

ビット 6 : TMRI2 割り込みイネーブル (TMRI2E)

TMRU-2 のアンダフロー信号、または、キャプスタンモータ加減速処理の終了によって、TMRI2 が 1 にセットされたとき、TMRI2 割り込みの発生を許可/禁止します。

ビット 6 TMRI2E	説 明
0	TMRI2 割り込みの発生を禁止 (初期値)
1	TMRI2 割り込みの発生を許可

ビット 5 : TMRI1 割り込みイネーブル (TMRI1E)

TMRU-1 のアンダフローによって、TMRI1 が 1 にセットされたとき、TMRI1 割り込みの発生を許可/禁止します。

ビット 5 TMRI1E	説 明
0	TMRI1 割り込みの発生を禁止 (初期値)
1	TMRI1 割り込みの発生を許可

ビット 4 : TMRI3 割り込み要求フラグ (TMRI3)

TMRI3 割り込み要求フラグです。 TMRU-2 のキャプチャ信号発生、あるいは、スロートラッキングモノマルチの終了のうち、TMRM2 の CP/SLM ビットで選択されている割り込み要因が発生したことを示します。

ビット 4 TMRI3	説 明
0	{ クリア条件 } 1 をリード後、0 をライトしたとき (初期値)
1	{ セット条件 } TMRM2 の CP/SLM ビットで選択されている割り込み要因が発生したとき

ビット 3 : TMRI2 割り込み要求フラグ (TMRI2)

TMRI2 割り込み要求フラグです。TMRU-2 のアンダフロー信号が発生したこと、または、キャプスタンモータ加減速処理の終了したことを示します。

ビット 3	説 明
TMRI2	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 TMRU-2 のアンダフロー信号が発生したとき、または、キャプスタンモータ加減速処理が終了したとき

ビット 2 : TMRI1 割り込み要求フラグ (TMRI1)

TMRI1 割り込み要求フラグです。TMRU-1 のアンダフローしたことを示します。

ビット 2	説 明
TMRI1	
0	〔クリア条件〕 1 をリード後、0 をライトしたとき (初期値)
1	〔セット条件〕 TMRU-1 がアンダフローしたとき

ビット1、0 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

16.2.4 タイマ R キャプチャレジスタ 1 (TMRCP1)

ビット:	7	6	5	4	3	2	1	0
	TMRC17	TMRC16	TMRC15	TMRC14	TMRC13	TMRC12	TMRC11	TMRC10
初期値:	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

タイマ R キャプチャレジスタ 1 (TMRCP1) は、TMRU-1 のキャプチャデータを格納します。

キャプチャ動作時、CFG のエッジまたは IRQ3 のエッジにより、TMRU-1 カウンタの値を TMRCP1 にキャプチャします。TMRU-1 のキャプチャ動作は TMRU-2 とあわせて 16 ビットで行われます。

TMRCP1 は、8 ビットのリード専用レジスタです。リセット後は、H'FF に初期化されます。

- 【注】 1) キャプチャ信号と同時に TMRCP1 をリードすると、リードデータが不定になります。リードタイミングに注意してください。
- 2) キャプチャ動作時、低消費電力モードに遷移した場合、カウンタの値は不定になります。アクティブモードに復帰した後は、TMRL1 に H'FF をライトし、カウンタを初期化してください。

16.2.5 タイマ R キャプチャレジスタ 2 (TMRC2P2)

ビット:	7	6	5	4	3	2	1	0
	TMRC27	TMRC26	TMRC25	TMRC24	TMRC23	TMRC22	TMRC21	TMRC20
初期値:	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

タイマ R キャプチャレジスタ 2 (TMRC2P2) は、TMRU-2 のキャプチャデータを格納します。CFG のエッジ、IRQ3 のエッジ、または、TMRU-3 のアンダフローにより、TMRU-2 カウンタの値を TMRC2P2 にキャプチャします。

TMRC2P2 は、8 ビットのリード専用レジスタです。リセット後は、H'FF に初期化されます。

- 【注】1) キャプチャ信号と同時に TMRC2P2 をリードすると、リードデータが不定になります。リードタイミングに注意してください。
- 2) 低消費電力モードに遷移した場合、カウンタの値は不定になります。アクティブモードに復帰した後は、TMRL2 に H'FF をライトし、カウンタを初期化してください。

16.2.6 タイマ R ロードレジスタ 1 (TMRL1)

ビット:	7	6	5	4	3	2	1	0
	TMR17	TMR16	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10
初期値:	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

タイマ R ロードレジスタ 1 (TMRL1) は、8 ビットのライト専用レジスタで、TMRU-1 のロード値を設定します。

TMRL1 にロード値を設定すると、同時にその値は TMRU-1 カウンタにも設定され、カウンタはその値からカウントダウンを開始します。また、リロードタイマ動作時、カウンタがアンダフローすると、カウンタに TMRL1 の値が設定されます。

TMRL1 は、リセット時、H'FF に初期化されます。

16.2.7 タイマ R ロードレジスタ 2 (TMRL2)

ビット:	7	6	5	4	3	2	1	0
	TMR27	TMR26	TMR25	TMR24	TMR23	TMR22	TMR21	TMR20
初期値:	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

タイマ R ロードレジスタ 2 (TMRL2) は、8 ビットのライト専用レジスタで、TMRU-2 のロード値を設定します。

TMRL2 にロード値を設定すると、同時にその値は TMRU-2 カウンタにも設定され、カウンタはその値からカウントダウンを開始します。また、リロードタイマ動作時、カウンタのアンダフローまたは CFG エッジにより、カウンタに TMRL2 の値が設定されます。

TMRL2 は、リセット時、H'FF に初期化されます。

16.2.8 タイマ R ロードレジスタ 3 (TMRL3)

ビット:	7	6	5	4	3	2	1	0
	TMR37	TMR36	TMR35	TMR34	TMR33	TMR32	TMR31	TMR30
初期値:	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

タイマ R ロードレジスタ 3 (TMRL3) は、8 ビットのライト専用レジスタで、TMRU-3 のロード値を設定します。

TMRL3 にロード値を設定すると、同時にその値は TMRU-3 カウンタにも設定され、カウンタはその値からカウントダウンを開始します。また、カウンタのアンダフローまたは DVCTL のエッジにより、カウンタに TMRL2 の値が設定されます。(クロックソースの選択により、DVCTL 信号を選択した場合はアンダフロー信号でリロード、分周クロックを選択した場合は DVCTL 信号でリロードします。)

TMRL3 は、リセット時、H'FF に初期化されます。

16.2.9 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP11 ビットを 1 にセットすると、バスサイクルの終了時点でタイマ R は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 3: モジュールストップ (MSTP11)

タイマ R のモジュールストップモードを指定します。

MSTPCRH	説 明	
ビット 3		
MSTP11		
0	タイマ R のモジュールストップモード解除	
1	タイマ R のモジュールストップモード設定 (初期値)	

16.3 動作説明

16.3.1 キャプチャ付きリロードタイマカウンタ TMRU-1

キャプチャ付きリロードタイマカウンタ TMRU-1 は、8 ビットのダウンカウンタ、リロードレジスタおよびキャプチャレジスタから成っています。クロックソースは CFG 信号の立ち上がりエッジと 3 種類の分周クロックから選択できます。また、リロードカウンタとして動作するか、キャプチャカウンタとして動作するかは選択できます。キャプチャ機能を選択しても、リロードレジスタに値を書き込むことによりカウンタ値を設定することができます。

カウンタのアンダフローで、TMR11 割り込み要求が発生します。

TMRU-1 カウンタ、リロードレジスタおよびキャプチャレジスタの初期値は H'FF です。

(1) リロードタイマ動作

リロードレジスタに値を書き込むと、同時にカウンタにもその値が書き込まれます。また、カウンタのアンダフローにより、リロードレジスタの値がカウンタにリロードされます。

TMRU-1 は、CFG の分周回路です。TMRU-2、TMRU-3 と組み合わせて使い、モードの判別を行うことができます。

(2) キャプチャ動作

TMRU-2 とあわせて 16 ビットで行われます。キャプチャ信号によりカウンタをクリアすることができます。キャプチャ信号は、CFG のエッジまたは IRQ3 のエッジです。キャプチャ信号により、TMR13 割り込み要求が発生することが可能です。

TMRU-1 は、TMRU-2 のキャプチャ機能と共に、16 ビットの CFG カウンタとして用いることができます。キャプチャ信号に IRQ3 を選択し、 $\overline{\text{IRQ3}}$ 端子に入力されるリールパルスの期間中の CFG をカウントすることができます。

16.3.2 キャプチャ付きリロードタイマカウンタ TMRU-2

キャプチャ付きリロードタイマカウンタ TMRU-2 は、8 ビットのダウンカウンタ、リロードレジスタ、キャプチャレジスタから成っています。クロックソースは TMRU-1 のアンダフロー信号と 3 種類の分周クロックから選択できます。また、キャプチャ動作中もリロード機能は動作可能ですが、リロード機能の有無は選択することができます。リロード機能無しを選択しても、リロードレジスタに値を書き込むことによりカウンタ値を設定することができます。

カウンタのアンダフローで、TMR12 割り込み要求が発生します。

TMRU-2 のカウンタ、リロードレジスタおよびキャプチャレジスタの初期値は H'FF です。

(1) リロードタイマ動作

リロードレジスタに値を書き込むと、同時にカウンタにもその値が書き込まれます。また、カウンタのアンダフローまたは CFG のエッジにより、リロードレジスタの値がカウンタにリロードされません。

TMRU-2 は、リロードタイマ動作によりキャプスタンモータの加減速処理が可能です。

(2) キャプチャ動作

キャプチャ信号により、カウンタの値をキャプチャレジスタにラッチします。キャプチャ信号は、CFG のエッジ、IRQ3 のエッジ、または、TMRU-3 のアンダフロー信号から選択できます。キャプチャ信号で、TMR13 割り込み要求を発生することが可能です。

TMRU-2 のキャプチャ動作（リロード機能停止）と TMRU-1、TMRU-3 を組み合わせて使用することにより、モード判別が可能です。

16.3.3 リロードカウンタタイマ TMRU-3

リロードカウンタタイマ TMRU-3 は、8 ビットのダウンカウンタとリロードレジスタから成っています。クロックソースは DVCTL 信号のエッジと 3 種類の分周クロックから選択できます。

リロード信号は、カウンタのアンダフロー信号または DVCTL 信号のエッジから選択できます（クロックソース選択により、DVCTL 信号を選択した場合はアンダフロー信号でリロード、分周クロックを選択した場合は DVCTL 信号でリロードです）。リロード信号によりリロードレジスタの値がカウンタにリロードされます。また、リロードレジスタの値を書き込むと、同時にカウンタにもその値が書き込まれます。

カウンタおよびリロードレジスタの初期値は H'FF です。

アンダフロー信号は TMRU-2 のキャプチャ信号として利用できます。

TMRU-3 は、DVCTL の分周回路として使用できます。TMRU-1、TMRU-2（キャプチャ機能）と組み合わせて使い、モード判別を行うことができます。クロックソースは、DVCTL の分周信号となっており、サーチ時には倍速に対応した CTL 信号（DVCTL）を入力できます。この DVCTL 信号は、キャプスタンモータの位相制御にも用います。

また、クロックソースに分周クロックを選択することにより、DVCTL のエッジを遅らせることができ、スロートラッキングモノマルチ機能が実現できます。

16.3.4 モード判別

再生テープの SP/LP/EP モードを判別 (2/4/6 判別) するために、タイマ R の TMRU-1 (CFG 分周回路)、TMRU-2 (キャプチャ機能/リロード無し)、TMRU-3 (DVCTL 分周回路) を用います。タイマ R はリセット後、この状態になります。

TMRU-1 のリロードレジスタには CFG 分周値、TMRU-3 のリロードレジスタには DVCTL の分周値を書き込みます。TMRU-3 のアンダフローにより TMRU-2 のカウンタ値をキャプチャします。このキャプチャレジスタの値が DVCTL 周期内の CFG の数になります。

このように、タイマ R により、DVCTL の n 発分の CFG 数をカウントすることや、サーチ中のモード判別を行うことが可能です。

レジスタの設定例は、「16.5.1 モード判別」を参照してください。

16.3.5 リール制御

TMRU-1 と TMRU-2 とをあわせて 16 ビットでキャプチャ動作させることにより、CFG のカウンタ値をキャプチャすることができます。キャプチャ信号に IRQ3 を選択し、IRQ3 端子に入力されるリールパルスの期間中の CFG をカウントすることにより、巻き取り制御等に利用できます。

レジスタの設定例は、「16.5.2 リール制御」を参照してください。

16.3.6 キャプスタンモータの加減速処理

スロー再生やスチル再生などの間欠動作では、キャプスタンモータの急加速、急停止を行う必要があります。加減速処理は、キャプスタンモータの回転速度が、加速または減速時に、規定速度に達したことを確認するための機能です。この処理は、TMRU-2 (リロード機能) を用います。

加速時

- (1) TMRM1のAC/BRビットを加速に(1にセット)します。また、CFGの立ち上がりエッジをリロード信号として用います。
- (2) リロードレジスタにCFG周波数の加速完了とする規定時間を設定します。
- (3) TMRU-2はリロードデータをダウンカウントします。
- (4) 加速が完了していないとき(規定時間になってもCFG信号が入力されない=ダウンカウンタのアンダフローが発生)は、アンダフローによりCFGマスクF/Fによりセットされ(マスク動作)、リロードタイマはCFGによりクリアされます。
- (5) 加速が完了したとき(規定時間より前にCFG信号が入力=ダウンカウンタのアンダフローが発生する前にリロード動作)は、CFGにより割り込み要求が発生します。

減速時

- (1) TMRM1のAC/BRビットを減速に(0にクリア)します。また、CFGの立ち上がりエッジをリロード信号として用います。
- (2) リロードレジスタにCFG周波数の減速完了とする規定時間を設定します。
- (3) TMRU-2はリロードデータをダウンカウントします。
- (4) 減速が完了していないとき(規定時間より前にCFG信号が入力=ダウンカウンタのアンダフローが発生する前にリロード動作)は、リロードタイマ動作を続行します。
- (5) 減速が完了したとき(規定時間になってもCFG信号が入力されない=ダウンカウンタのアンダフローが発生)は、アンダフロー信号により割り込み要求が発生します。

加減速処理は、次のスロートラッキングモノマルチと組み合わせて特殊再生時に用います。レジスタの設定例は「16.5.4 キャプスタンモータの加減速処理」を参照してください。

16.3.7 スロートラッキングモノマルチ

スロー再生やスチル再生などでは、DVCTLのエッジからキャプスタンモータのブレーキをかけるタイミングを決定します。スロートラッキングモノマルチは、DVCTLの立ち上がりエッジから、任意の時点までの時間を計測し、割り込み要求を発生します。プログラムでは、この割り込みによりキャプスタンモータのブレーキをかけます。スロートラッキングモノマルチの時間計測には、TMRU-3を用います。また、減速処理はTMRU-2を用いて行うことができます。図16.2にスロー再生時の時系列動作例を示します。

レジスタの設定例は、「16.5.3 スロートラッキングモノマルチ」を参照してください。

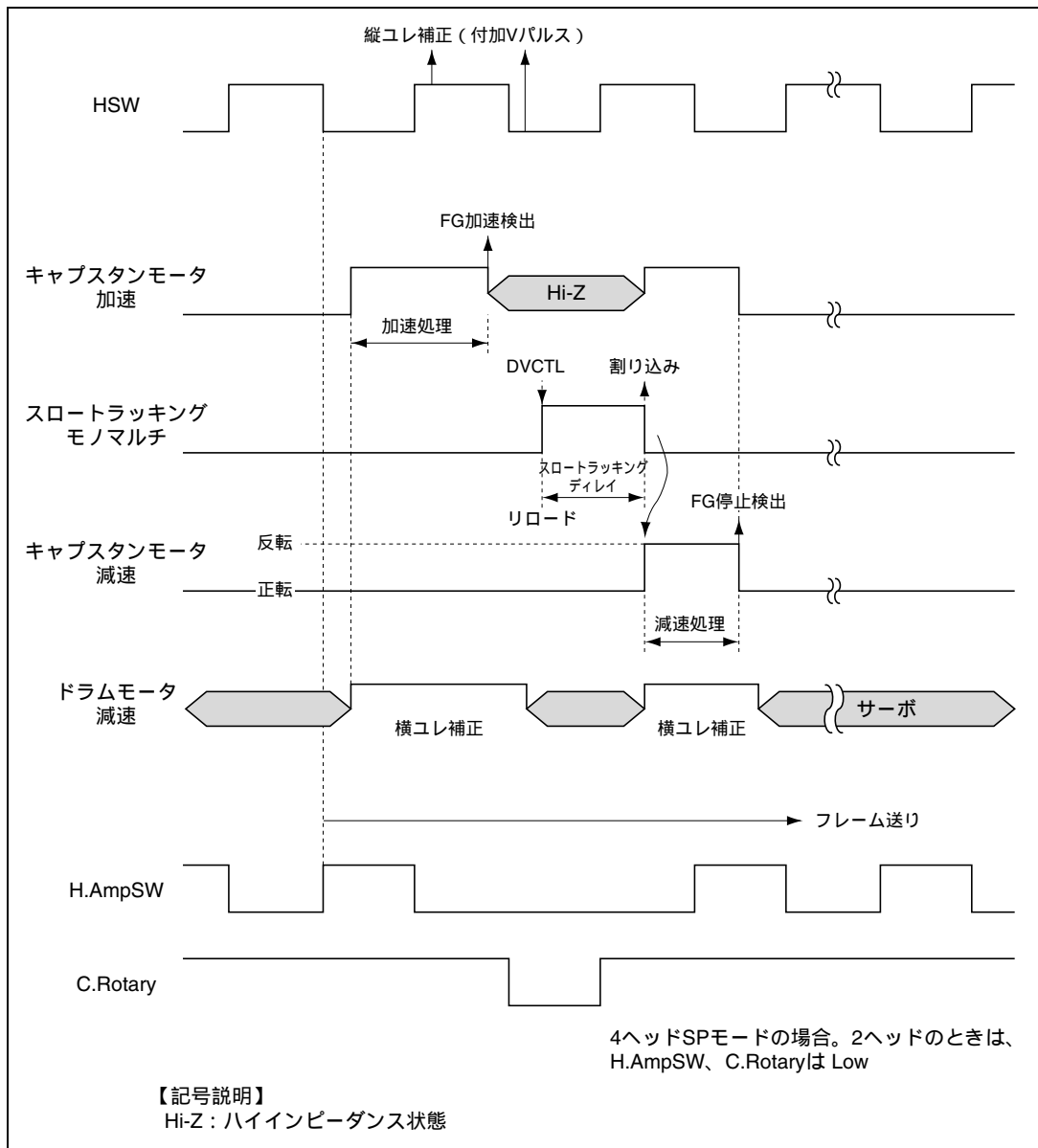


図 16.2 スロー再生時の時系列動作例

16.4 割り込み要因

タイマ R の割り込み要因は、タイマ R コントロール/ステータスレジスタ (TMRC S) の TMR I3 ビット ~ TMR I1 ビットの 3 要因があります。

(a) TMRU-1 のアンダフローによる割り込み (TMR I1)

この割り込みは TMRU-1 のリロードのタイミングとなります。

(b) TMRU-2 のアンダフローまたは加減速処理終了による割り込み (TMR I2)

TMRU-2 のリロードタイミングで割り込みを発生する場合は、タイマ R モードレジスタ 1 (TMR M1) の AC/BR (加減速) ビットを 0 にクリアしてください。

(c) TMRU-3 のキャプチャ信号およびスロートラッキングモノマルチ終了による割り込み (TMR I3)

この二つの割り込み要因は論理和となっているため、ソフトウェアにより、どちらの割り込みかを判断する必要があります。タイマ R モードレジスタ 2 (TMR M2) の CAPF フラグあるいは SLW フラグに各割り込み要因がセットされるので、ソフトウェアにより判定してください。

CAPF フラグ、SLW フラグは自動的にクリアされないため、ソフトウェアによりクリアしてください (このフラグは、0 ライトのみ有効)。これらのフラグがクリアされていないと、次の要因が検出されません。また、これらのフラグをクリアしないまま CP/SLM ビットを切り替えると、フラグはクリアされます。

16.5 各動作の設定例

16.5.1 モード判別

再生テープの SP/LP/EP モードを判別 (2/4/6 判別) するために、タイマ R の TMRU-1 (CFG 分周回路)、TMRU-2 (キャプチャ機能/リロード無し)、TMRU-3 (DVCTL 分周回路) を、用います。タイマ R はリセット後、この状態になります。

TMRU-1 のリロードレジスタには CFG 分周値、TMRU-3 のリロードレジスタには DVCTL の分周値を書き込みます。TMRU-3 のアンダフローにより TMRU-2 のカウンタ値をキャプチャします。このキャプチャレジスタの値が DVCTL 周期内の CFG の数になります。

このように、タイマ R により、DVCTL の n 発分の CFG 数をカウントすることや、サーチ中のモード判別を行うことが可能です。

• 設定例

- (1) タイマRモードレジスタ1 (TMRM1) を設定
CLR2ビット (ビット7) = 1 : TMRU-2をキャプチャ後、クリア。
RLDビット (ビット5) = 0 : TMRU-2のリロード機能無し。
PS21、PS20 (ビット3、2) = (0, 0) : TMRU-2のクロックソースは、TMRU-1のアンダフロー信号
RLD/CAPビット (ビット1) = 0 : TMRU-1は、リロードタイマ動作。
- (2) タイマRモードレジスタ2 (TMRM2) を設定
LATビット (ビット7) = 0 : TMRU-2のキャプチャ信号は、TMRU-3のアンダフロー信号。
PS11、PS10 (ビット6、5) = (0, 0) : TMRU-1のクロックソースは、CFGの立ち上がりエッジ。
PS31、PS30 (ビット4、3) = (0, 0) : TMRU-3のクロックソースは、DVCTL信号の立ち上がりエッジ。
CP/SLMビット (ビット2) = 0 : TMRU-3の割り込み要求は、キャプチャ信号。
- (3) タイマRロードレジスタ1 (TMRL1) を設定
CFGの分周値を設定。 n 分周のとき、設定値は $(n - 1)$ 。
- (4) タイマRロードレジスタ3 (TMRL3) を設定
DVCTLの分周値を設定。 n 分周のとき、設定値は $(n - 1)$ 。

16.5.2 リール制御

TMRU-1 と TMRU-2 とをあわせて 16 ビットでキャプチャ動作させることにより、CFG のカウント値をキャプチャすることができます。キャプチャ信号に IRQ3 を選択し、 $\overline{\text{IRQ3}}$ 端子に入力されるリールパルスの期間中の CFG をカウントすることにより、巻き取り制御等に利用できます。

• 設定例

- (1) P13/ $\overline{\text{IRQ3}}$ 端子を $\overline{\text{IRQ3}}$ 端子に設定
ポートモードレジスタ1 (PMR1) のPMR13ビット (ビット3) に1を設定する。「22.2.3 ポートモードレジスタ1 (PMR1)」を参照してください。
- (2) タイマモードレジスタ1 (TMRM1) を設定
CLR2ビット (ビット7) = 1 : TMRU-2をキャプチャ後、クリア。
PS21、PS20 (ビット3、2) = (0、0) : TMRU-2のクロックソースは、TMRU-1のアンダフロー信号
RLD/CAPビット (ビット1) = 1 : TMRU-1は、キャプチャ動作。
CPSビット (ビット0) = 1 : TMRU-1、TMRU-2のキャプチャ信号は、IRQ3のエッジ信号。
- (3) タイマモードレジスタ2 (TMRM2) を設定
LATビット (ビット7) = 1 : TMRU-1、TMRU-2のキャプチャ信号は、IRQ3のエッジ信号。
PS11、PS10 (ビット6、5) = (0、0) : TMRU-1のクロックソースは、CFGの立ち上がりエッジ。
CP/SLMビット (ビット2) = 0 : TMRU-1の割り込み要求は、キャプチャ信号による。

16.5.3 スロートラッキングモノマルチ

スロー再生やスチル再生などでは、DVCTL のエッジからキャプスタンモータのブレーキをかけるタイミングを決定します。スロートラッキングモノマルチは、DVCTL の立ち上がりエッジから、任意の時点までの時間を計測し、割り込み要求を発生します。プログラムでは、この割り込みによりキャプスタンモータのブレーキをかけます。スロートラッキングモノマルチの時間計測には、TMRU-3 を用います。また、減速処理は TMRU-2 を用いて行うことができます。

• 設定例

- (1) タイマモードレジスタ2 (TMRM2) を設定
PS31、PS30 (ビット4、3) = (0、0) 以外 : TMRU-3のクロックソースは、分周クロック。
CP/SLMビット (ビット2) = 1 : TMRU-3の割り込み要求は、スロートラッキングディレイ信号による。
- (2) タイマロードレジスタ3 (TMRL3) を設定
スロートラッキングディレイ値を設定。ディレイカウントをnとすると、設定値は(n - 1)。
ディレイ期間については、図16.2を参考にしてください。

16.5.4 キャプスタンモータの加減速処理

スロー再生やスチル再生などの間欠動作では、キャプスタンモータの急加速、急停止を行う必要があります。加減速処理は、キャプスタンモータの回転速度が、加速または減速時に、規定速度に達したことを確認するための機能です。この処理は、TMRU-2（リロード機能）を用います。

加減速処理は、スロートラッキングモノマルチと組み合わせて特殊再生時に用います。

- 加速処理の設定例

- (1) タイマRモードレジスタ1 (TMRM1) を設定
AC/BRビット (ビット6) = 1 : 加速処理
RLDビット (ビット5) = 1 : TMRU-2をリロードタイマとして使用。
RLCKビット (ビット4) = 0 : TMRU-2は、CFGの立ち上がりエッジでリロード。
PS21、PS20 (ビット3、2) = (0、0) 以外 : TMRU-2のクロックソースは、分周クロック
- (2) タイマRロードレジスタ2 (TMRL2) を設定
加速完了期間のカウンタ値を設定。カウンタをnとすると、設定値は (n - 1)。
加速完了期間については、図16.2を参考にしてください。

- 減速処理の設定例

- (1) タイマRモードレジスタ1 (TMRM1) を設定
AC/BRビット (ビット6) = 0 : 減速処理
RLDビット (ビット5) = 1 : TMRU-2をリロードタイマとして使用。
RLCKビット (ビット4) = 0 : TMRU-2は、CFGの立ち上がりエッジでリロード。
PS21、PS20 (ビット3、2) = (0、0) 以外 : TMRU-2のクロックソースは、分周クロック
- (2) タイマRロードレジスタ2 (TMRL2) を設定
減速完了期間のカウンタ値を設定。カウンタをnとすると、設定値は (n - 1)。
減速完了期間については、図16.2を参考にしてください。

17. タイマ X1

17.1 概要

タイマ X1 は 16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

17.1.1 特長

タイマ X1 の特長を以下に示します。

- 4 種類のカウンタ入力クロックを選択可能
3種類の内部クロック (/4、 /16、 /64) と DVCFG の中から選択できます。
- 2 本の独立したアウトプットコンペア機能
2種類の波形出力が可能です。
- 4 本の独立したインプットキャプチャ機能
立ち上がり/立ち下がりエッジの選択が可能です。バッファ動作を指定できます。
- カウンタのクリア指定が可能
コンペアマッチ A により、カウンタの値をクリアすることができます。
- 7 種類の割り込み要因
コンペアマッチ × 2 要因、インプットキャプチャ × 4 要因、オーバフロー × 1 要因があり、それぞれ独立に要求することができます。

17.1.2 ブロック図

タイマ X1 のブロック図を図 17.1 に示します。

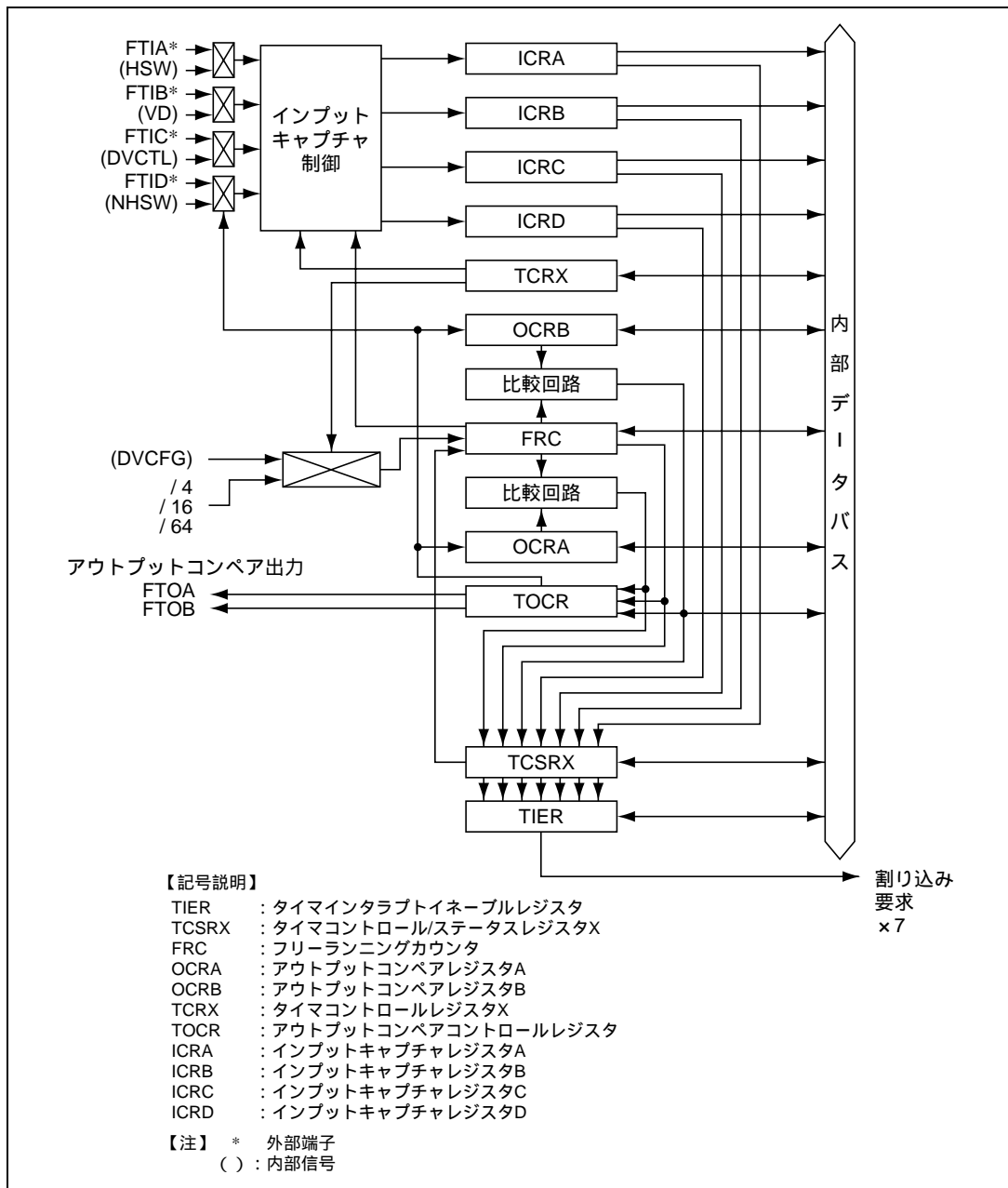


図 17.1 タイマ X1 ブロック図

17.1.3 端子構成

タイマ X1 の端子構成を表 17.1 に示します。

表 17.1 端子構成

名 称	略称	入出力	機 能
アウトプットコンペア A 出力	FTOA	出力	アウトプットコンペア A の出力端子
アウトプットコンペア B 出力	FTOB	出力	アウトプットコンペア B の出力端子
インプットキャプチャ A 入力	FTIA	入力	インプットキャプチャ A の入力端子
インプットキャプチャ B 入力	FTIB	入力	インプットキャプチャ B の入力端子
インプットキャプチャ C 入力	FTIC	入力	インプットキャプチャ C の入力端子
インプットキャプチャ D 入力	FTID	入力	インプットキャプチャ D の入力端子

17.1.4 レジスタ構成

タイマ X1 のレジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*3}
タイマインタラブとイネーブルレジスタ	TIER	R/W	H'00	H'D100
タイマコントロール/ステータスレジスタ X	TCSRX	R/(W) ^{*1}	H'00	H'D101
フリーランニングカウンタ H	FRCH	R/W	H'00	H'D102
フリーランニングカウンタ L	FRCL	R/W	H'00	H'D103
アウトプットコンペアレジスタ AH	OCRAH	R/W	H'FF	H'D104 ^{*2}
アウトプットコンペアレジスタ AL	OCRAL	R/W	H'FF	H'D105 ^{*2}
アウトプットコンペアレジスタ BH	OCRBH	R/W	H'FF	H'D104 ^{*2}
アウトプットコンペアレジスタ BL	OCRBL	R/W	H'FF	H'D105 ^{*2}
タイマコントロールレジスタ X	TCRX	R/W	H'00	H'D106
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'00	H'D107
インプットキャプチャレジスタ AH	ICRAH	R	H'00	H'D108
インプットキャプチャレジスタ AL	ICRAL	R	H'00	H'D109
インプットキャプチャレジスタ BH	ICRBH	R	H'00	H'D10A
インプットキャプチャレジスタ BL	ICRBL	R	H'00	H'D10B
インプットキャプチャレジスタ CH	ICRCH	R	H'00	H'D10C
インプットキャプチャレジスタ CL	ICRCL	R	H'00	H'D10D
インプットキャプチャレジスタ DH	ICRDH	R	H'00	H'D10E
インプットキャプチャレジスタ DL	ICRDL	R	H'00	H'D10F

【注】 *1 ビット 7~1 はフラグをクリアするための 0 ライトのみ可能です。ビット 0 はリード/ライト可能です。

*2 OCRA と OCRB のアドレスは同一です。これらの切り替えは TOCR の OCSR ビットで行います。

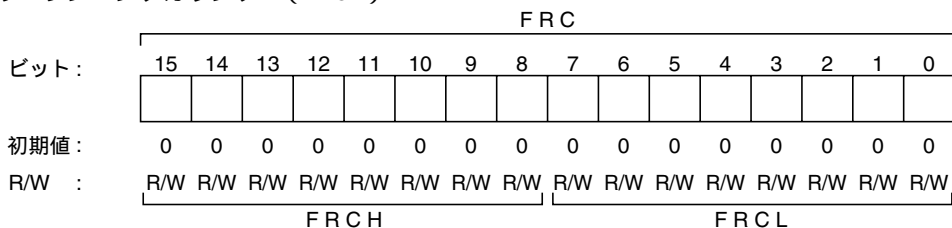
*3 アドレスは下位 16 ビットを示します。

17.2 各レジスタの説明

17.2.1 フリーランニングカウンタ (FRC)

フリーランニングカウンタ H (FRCH)

フリーランニングカウンタ L (FRCL)



FRC は、16 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、TCRX の CKS1、CKS0 により、選択します。

TCSRX の CCLRA の設定によりコンペアマッチ A で FRC をクリアすることができます。

FRC がオーバフロー (H'FFFF H'0000) すると、TCSRX の OVF が 1 にセットされます。

このとき TIER の OVIE が 1 ならば CPU に割り込みを要求します。

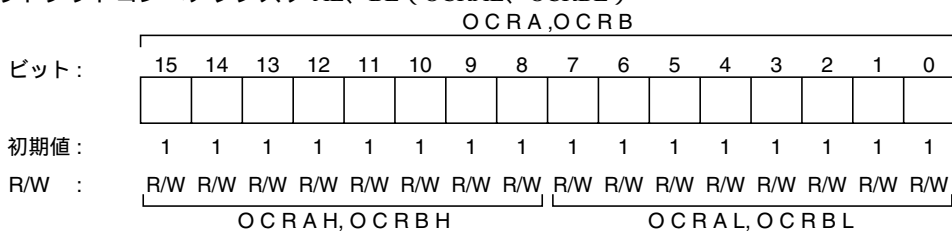
FRC は、CPU から 8 ビットおよび 16 ビットのリード/ライトが可能です。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に FRC は H'0000 に、初期化されます。

17.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

アウトプットコンペアレジスタ AH、BH (OCRAH、OCRBH)

アウトプットコンペアレジスタ AL、BL (OCRAL、OCRBL)



OCR は、16 ビットのリード/ライト可能な 2 本のレジスタ (OCRA、OCRB) から構成されます。OCR の内容は FRC と常に比較されており、両者の値が一致すると、TCSRX の OCFA、OCFB が 1 にセットされます。このとき TIER の OCIAE、OCIB が 1 ならば CPU に割り込みを要求します。

コンペアマッチ時、TOCR の OEA、OEB が 1 にセットされていると、TOCR の OLVA、OLVB で設定したレベル値が、FTOA、FTOB 端子に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 端子から 0 が出力されます。

OCR は、CPU から 8 ビットおよび 16 ビットのリード/ライト可能です。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に OCR は H'FFFF に初期化されます。

17.2.3 インพุットキャプチャレジスタ A~D (ICRA ~ ICRD)

インพุットキャプチャレジスタ AH~DH (ICRAH ~ ICRDH)

インพุットキャプチャレジスタ AL~DL (ICRAL ~ ICRDL)

		ICRA, ICRB, ICRC, ICRD															
ビット:		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
		ICRAH, ICRBH, ICRCH, ICRDH								ICRAL, ICRBL, ICRCL, ICRDL							

ICR は、16 ビットのリード専用の 4 本のレジスタ (ICRA ~ ICRD) から構成されます。

インพุットキャプチャ入力信号の立ち下がりエッジが検出されると、そのときの値が ICRA ~ ICRD に転送されます。このとき同時に、TCSRX の ICFA ~ ICFD が 1 にセットされます。このとき同時に、TCRX の IDIAE ~ IDIDE が 1 ならば、CPU に割り込みを要求します。入力信号のエッジは、TCRX の IEDGA ~ IEDGD により選択できます。

また ICRC、ICRD は、TCRX の BUFEA、BUFEB により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることができます。ICRC を ICRA のバッファレジスタとして使用した場合 (BUFEA = 1) の接続を、図 17.2 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA ~ IEDGC と設定することにより、立ち上がり/立ち下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立ち上がりまたは立ち下がりエッジのいずれかとなります。入力エッジの選択については、表 17.3 を参照してください。

【注】 FRC から ICR への転送は ICF の値にかかわらず行われます。

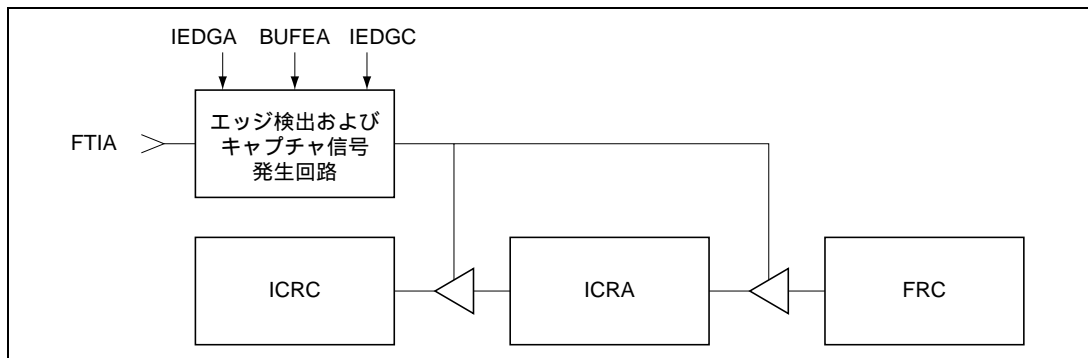


図 17.2 バッファ動作 (例)

表 17.3 バッファ動作時の入力エッジの選択

IEDGA	IEDGC	入力エッジの選択
0	0	インพุットキャプチャ入力 A の立ち下がりエッジでキャプチャ (初期値)
0	1	インพุットキャプチャ入力 A の立ち下がり/立ち上がり両エッジでキャプチャ
1	0	
1	1	インพุットキャプチャ入力 A の立ち上がりエッジでキャプチャ

ICR は、CPU から 8 ビットおよび 16 ビットのリードが可能です。

17. タイマ X1

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック () 以上、両エッジの場合 2.5 システムクロック () 以上にしてください。リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に ICR は H'0000 に初期化されます。

17.2.4 タイマインタラプトイネーブルレジスタ (TIER)

ビット:	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	ICSA
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIER は、8 ビットのリード/ライト可能なレジスタで、各割り込み要求の許可/禁止を制御します。リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に TIER は H'00 に初期化されます。

ビット 7: インプットキャプチャ割り込み A イネーブル (ICIAE)

TCSR の ICFA が 1 にセットされたとき、ICFA による割り込み要求 (ICIA) の許可/禁止を選択します。

ビット 7	説明	
ICIAE		
0	ICFA による割り込み要求 (ICIA) を禁止	(初期値)
1	ICFA による割り込み要求 (ICIA) を許可	

ビット 6: インプットキャプチャ割り込み B イネーブル (ICIBE)

TCSR の ICFB が 1 にセットされたとき、ICFB による割り込み要求 (ICIB) の許可/禁止を選択します。

ビット 6	説明	
ICIBE		
0	ICFB による割り込み要求 (ICIB) を禁止	(初期値)
1	ICFB による割り込み要求 (ICIB) を許可	

ビット 5: インプットキャプチャ C 割り込みイネーブル (ICICE)

TCSR の ICFC が 1 にセットされたとき、ICFC による割り込み要求 (ICIC) の許可/禁止を選択します。

ビット 5	説明	
ICICE		
0	ICFC による割り込み要求 (ICIC) を禁止	(初期値)
1	ICFC による割り込み要求 (ICIC) を許可	

ビット 4：インプットキャプチャ D 割り込みイネーブル (ICIDE)

TCSRX の ICFD が 1 にセットされたとき、ICFD による割り込み要求 (ICID) の許可/禁止を選択します。

ビット 4	説 明	
ICIDE		
0	ICFD による割り込み要求 (ICID) を禁止	(初期値)
1	ICFD による割り込み要求 (ICID) を許可	

ビット 3：アウトプットコンペア割り込み A イネーブル (OCIAE)

TCSRX の OCFA が 1 にセットされたとき、OCFA による割り込み要求 (OCIA) の許可/禁止を選択します。

ビット 3	説 明	
OCIAE		
0	OCFA による割り込み要求 (OCIA) を禁止	(初期値)
1	OCFA による割り込み要求 (OCIA) を許可	

ビット 2：アウトプットコンペア割り込み B イネーブル (OCIBE)

TCSRX の OCFB が 1 にセットされたとき、OCFB による割り込み要求 (OCIB) の許可/禁止を選択します。

ビット 2	説 明	
OCIBE		
0	OCFB による割り込み要求 (OCIB) を禁止	(初期値)
1	OCFB による割り込み要求 (OCIB) を許可	

ビット 1：タイマオーバフロー割り込みイネーブル (OVIE)

TCSRX の OVF が 1 にセットされたとき、OVF による割り込み要求 (FOVI) の許可/禁止を選択します。

ビット 1	説 明	
OVIE		
0	OVF による割り込み要求 (FOVI) を禁止	(初期値)
1	OVF による割り込み要求 (FOVI) を許可	

ビット 0：インプットキャプチャ入力セレクト A (ICSA)

インプットキャプチャ A の入力を選択します。

ビット 0	説 明	
ICSA		
0	インプットキャプチャ A の入力は FTIA 端子入力を選択	(初期値)
1	インプットキャプチャ A の入力は HSW を選択	

17.2.5 タイマコントロール/ステータスレジスタ X (TCSR_X)

ビット:	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* ビット7~1はフラグをクリアするための0ライトのみ可能です。

TCSR_X は、8ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に TCSR_X は H'00 に、初期化されます。なお、タイミングについては「17.3 動作説明」を参照してください。

FTIA ~ FTID 端子は、スリープモードを除く低消費電力モード時に LSI 内部で入力を固定しています。このため、アクティブモード 低消費電力モード アクティブモードのような遷移を行った場合、端子状態や検出エッジによっては、誤エッジが検出されることがあります。

低消費電力モードからアクティブモードへ遷移した直後にいったん割り込み要求フラグをクリアしてください。

ビット7: インพุットキャプチャフラグ A (ICFA)

インพุットキャプチャ信号によって、FRC の値が ICRA に転送されたことを示すステータスフラグです。TCSR_X の BUFEA が 1 にセットされているときは、ICFA は、インพุットキャプチャ信号により、FRC の値が ICRA に転送され、また更新される前の ICRA の値が ICRC に転送されたことを示します。

本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICFA	
0	〔クリア条件〕 ICFA = 1 の状態で、ICFA をリードした後、ICFA に 0 をライトしたとき (初期値)
1	〔セット条件〕 インพุットキャプチャ信号により、FRC の値が ICRA に転送されたとき

ビット 6 : インพุットキャプチャフラグ B (ICFB)

インพุットキャプチャ信号によって、FRC の値が ICRB に転送されたことを示すステータスフラグです。TCRX の BUFEA が 1 にセットされているときは、ICFB は、インพุットキャプチャ信号により、FRC の値が ICRB に転送され、また更新される前の ICRB の値が ICRC に転送されたことを示します。

本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 6	説 明	
ICFB		
0	[クリア条件] ICFB = 1 の状態で、ICFB をリードした後、ICFB に 0 をライトしたとき	(初期値)
1	[セット条件] インพุットキャプチャ信号により、FRC の値が ICRB に転送されたとき	

ビット 5 : インพุットキャプチャフラグ C (ICFC)

インพุットキャプチャ信号によって、FRC の値が ICRC に転送されたことを示すステータスフラグです。TCRX の BUFEA が 1 にセットされているときは、インพุットキャプチャ信号が発生したとき、ICFC はセットされますが、ICRC へのデータ転送は行われません。したがって、バッファ動作では、ICFC は、ICICE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 5	説 明	
ICFC		
0	[クリア条件] ICFC = 1 の状態で、ICFC をリードした後、ICFC に 0 をライトしたとき	(初期値)
1	[セット条件] インพุットキャプチャ信号が発生したとき	

17. タイマ X1

ビット 4 : インพุットキャプチャフラグ D (ICFD)

インพุットキャプチャ信号によって、FRC の値が ICRD に転送されたことを示すステータスフラグです。TCRX の BUFEB が 1 にセットされているときは、インพุットキャプチャ信号が発生したとき、ICFD はセットされますが、ICRD へのデータ転送は行われません。したがって、バッファ動作では、ICFD は、ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 4	説 明
ICFD	
0	〔クリア条件〕 ICFD = 1 の状態で、ICFD をリードした後、ICFD に 0 をライトしたとき (初期値)
1	〔セット条件〕 インพุットキャプチャ信号が発生したとき

ビット 3 : アウトプットコンペアフラグ A (OCFA)

FRC と OCRA がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 3	説 明
OCFA	
0	〔クリア条件〕 OCFA = 1 の状態で、OCFA をリードした後、OCFA に 0 をライトしたとき (初期値)
1	〔セット条件〕 FRC と OCRA がコンペアマッチしたとき

ビット 2 : アウトプットコンペアフラグ B (OCFB)

FRC と OCRB がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 2	説 明
OCFB	
0	〔クリア条件〕 OCFB = 1 の状態で、OCFB をリードした後、OCFB に 0 をライトしたとき (初期値)
1	〔セット条件〕 FRC と OCRB がコンペアマッチしたとき

ビット1：タイマオーバフロー（OVF）

FRC がオーバフロー（H'FFFF H'0000）したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット1	説明
OVF	
0	〔クリア条件〕 OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき (初期値)
1	〔セット条件〕 FRCの値がH'FFFF H'0000になったとき

ビット0：カウンタクリア（CCLRA）

コンペアマッチ A（FRC と OCRA の一致信号）により、FRC をクリアするかしないかを選択します。

ビット0	説明
CCLRA	
0	コンペアマッチ A による FRC のクリア禁止 (初期値)
1	コンペアマッチ A による FRC のクリア許可

17.2.6 タイマコントロールレジスタ X（TCRX）

ビット：	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRX は、8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に TCRX は H'00 に初期化されます。

ビット7：インプットキャプチャエッジセレクト A（IEDGA）

インプットキャプチャ入力 A（FTIA）の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力 A の立ち下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力 A の立ち上がりエッジでキャプチャ

17. タイマ X1

ビット 6 : インพุットキャプチャエッジセレクト B (IEDGB)

インพุットキャプチャ入力 B (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 6	説 明
IEDGB	
0	インพุットキャプチャ入力 B の立ち下がりエッジでキャプチャ (初期値)
1	インพุットキャプチャ入力 B の立ち上がりエッジでキャプチャ

ビット 5 : インพุットキャプチャエッジセレクト C (IEDGC)

インพุットキャプチャ入力 C (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。ただし、インพุットキャプチャ入力 C の入力 DVCTL に選択した場合、本ビットは動作に影響しません。

ビット 5	説 明
IEDGC	
0	インพุットキャプチャ入力 C の立ち下がりエッジでキャプチャ (初期値)
1	インพุットキャプチャ入力 C の立ち上がりエッジでキャプチャ

ビット 4 : インพุットキャプチャエッジセレクト D (IEDGD)

インพุットキャプチャ入力 D (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 4	説 明
IEDGD	
0	インพุットキャプチャ入力 D の立ち下がりエッジでキャプチャ (初期値)
1	インพุットキャプチャ入力 D の立ち上がりエッジでキャプチャ

ビット 3 : バッファイネーブル A (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。

ビット 3	説 明
BUFEA	
0	ICRC を ICRA のバッファレジスタとして使用しない (初期値)
1	ICRC を ICRA のバッファレジスタとして使用する

ビット 2 : バッファイネーブル B (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。

ビット 2	説 明
BUFEB	
0	ICRD を ICRB のバッファレジスタとして使用しない (初期値)
1	ICRD を ICRB のバッファレジスタとして使用する

ビット 1、0：クロックセレクト (CKS1、0)

FRC に入力するクロックを 3 種類の内部クロックおよび DVCFG から選択します。
DVCFG は、CFG 分周タイマで選択されたエッジ検出パルスです。

ビット 1 CKS1	ビット 0 CKS0	説 明
0	0	内部クロック： /4 でカウント (初期値)
0	1	内部クロック： /16 でカウント
1	0	内部クロック： /64 でカウント
1	1	DVCFG：CFG 分周タイマで選択されたエッジ検出パルスです。

17.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット：	7	6	5	4	3	2	1	0
	ICSB	ICSC	ICSD	OSRS	OEA	OEB	OLVLA	OLVLB
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TOCR は、8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力の選択、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、および OCRA、OCRB のアクセスの切り替え制御を行います。インプットキャプチャ入力 A については「17.2.4 タイマインタラプトイネーブルレジスタ (TIER)」を参照してください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、モジュールストップモードまたはサブアクティブモード時に TOCR は H'00 に初期化されます。

ビット 7：インプットキャプチャ入力セレクト B (ICSB)

インプットキャプチャ B の入力を選択します。

ビット 7	説 明
ICSB	
0	インプットキャプチャ B の入力は FTIB 端子入力を選択 (初期値)
1	インプットキャプチャ B の入力は VD を選択

ビット 6：インプットキャプチャ入力セレクト C (ICSC)

インプットキャプチャ C の入力を選択します。

DVCTL は CTL 分周タイマで選択されたエッジ検出パルスです。

ビット 6	説 明
ICSC	
0	インプットキャプチャ C の入力は FTIC 端子入力を選択 (初期値)
1	インプットキャプチャ C の入力は DVCTL を選択

17. タイマ X1

ビット 5 : インブットキャプチャ入力セレクト D (ICSD)

インブットキャプチャ D の入力を選択します。

ビット 5	説 明
ICSD	
0	インブットキャプチャ D の入力は FTID 端子入力を選択 (初期値)
1	インブットキャプチャ D の入力は NHSW を選択

ビット 4 : アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS は、このアドレスをリード/ライトする時にどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット 4	説 明
OCRS	
0	OCRA レジスタを選択 (初期値)
1	OCRB レジスタを選択

ビット 3 : アウトプットイネーブル A (OEA)

アウトプットコンペア A 出力を制御します。

ビット 3	説 明
OEA	
0	アウトプットコンペア A 出力を禁止 (初期値)
1	アウトプットコンペア A 出力を許可

ビット 2 : アウトプットイネーブル B (OEB)

アウトプットコンペア B 出力を制御します。

ビット 2	説 明
OEB	
0	アウトプットコンペア B 出力を禁止 (初期値)
1	アウトプットコンペア B 出力を許可

ビット 1 : アウトプットレベル A (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、FTOA 端子に出力する出力レベルを選択します。

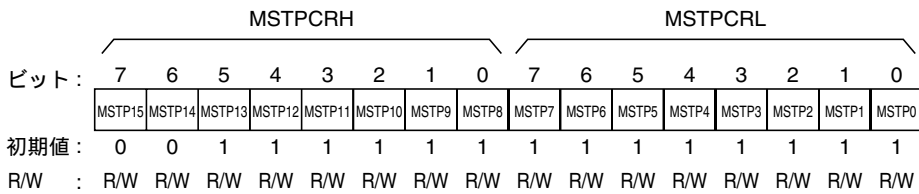
ビット 1	説 明
OLVLA	
0	Low レベル (初期値)
1	High レベル

ビット 0：アウトプットレベル B (OLVLB)

コンペアマッチ B (FRC と OCRAB の一致による信号) により、FTOB 端子に出力する出力レベルを選択します。

ビット 0	説 明	
OLVLB		
0	Low レベル	(初期値)
1	High レベル	

17.2.8 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP10 ビットを 1 にセットすると、バスサイクルの終了時点でタイマ X1 は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 2：モジュールストップ (MSTP10)

タイマ X1 のモジュールストップモードを指定します。

MSTPCR _H	説 明	
ビット 2		
MSTP10		
0	タイマ X1 のモジュールストップモード解除	
1	タイマ X1 のモジュールストップモード設定	(初期値)

17.3 動作説明

17.3.1 タイマ X1 の動作

(1) アウトプットコンペア動作

リセット直後、FRC は H'0000 に初期化され、カウントアップを開始します。入力するクロックは、TCRX の CKS1、CKS0 により、3 種類の内部クロックまたは外部クロックから選択できます。FRC の内容は、OCRA、OCRB と常に比較されており、両者の値が一致すると、TOCR の OLVLA、OLVLB で設定したレベルが、FTOA、FTOB 端子に出力されます。リセット後、最初のコンペアマッチが起こるまで、FTOA、FTOB 端子からは、0 が出力されます。また、TCSR の CCLRA が 1 にセットされていると、コンペアマッチ A により、FRC が H'0000 にクリアされます。

(2) インพุットキャプチャ動作

リセット直後、FRC は H'0000 に初期化され、カウントアップを開始します。入力するクロックは、TCRX の CKS1、CKS0 により、3 種類の内部クロックまたは外部クロックから選択できます。FTIA ~ FTID 端子から、TCRX の IEDGA ~ IEDGD に転送され、同時に TCSR の ICFA ~ ICFD が 1 にセットされます。このとき、TIER の ICIAE ~ ICIED が 1 ならば、CPU に割り込みを要求します。TCRX の BUFEA、BUFEB を 1 にセットすると、ICRC、ICRD はそれぞれ ICRA、ICRB のバッファレジスタとして動作します。FTIA、FTIB 端子から、TCRX の IEDGA ~ IEDGD で選択したエッジが入力されると、そのときの FRC の値が ICRA、ICRB に転送され、同時に、更新される前の ICRA、ICRB の値が ICRC、ICRD に転送されます。このとき、ICFA、ICFB が 1 にセットされ、TIER の ICIAE、ICIBE が 1 ならば、CPU に割り込みを要求します。

17.3.2 FRC のカウントタイミング

FRC は、入力されたクロックによりカウントアップされます。TCRX の CKS1、CKS0 のより 3 種類のクロック (/4、 /16、 /64) と DVCFG から選択されます。

(1) 内部クロック動作の場合

TCRX の CKS1、CKS0 ビットの設定により、システムクロック () を分周して作られる 3 種類の内部クロック (/4、 /16、 /64) が選択されます。このときのタイミングを図 17.3 に示します。

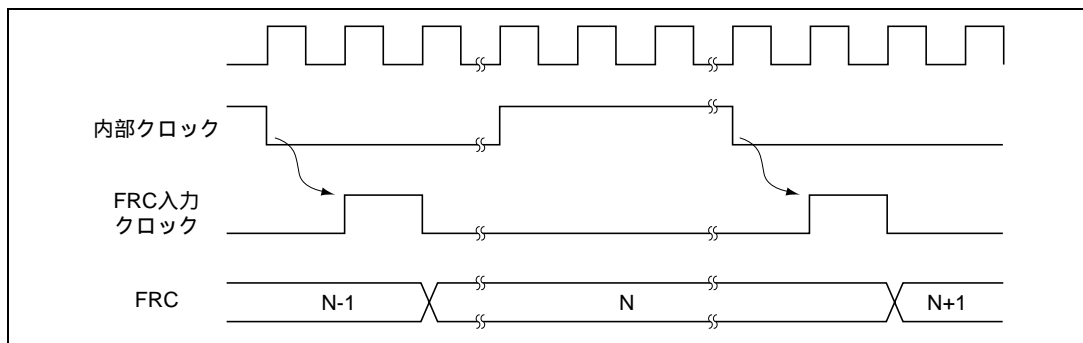


図 17.3 内部クロック動作時のカウントタイミング

(2) DVCFG クロック動作の場合

TCRX の CKS1、CKS0 ビットを 1 にセットすると、DVCFG クロック入力を選択されます。DVCFG クロックは CFG 分周タイマで選択されたエッジ検出パルスでカウントします。

このときのタイミングを図 17.4 に示します。

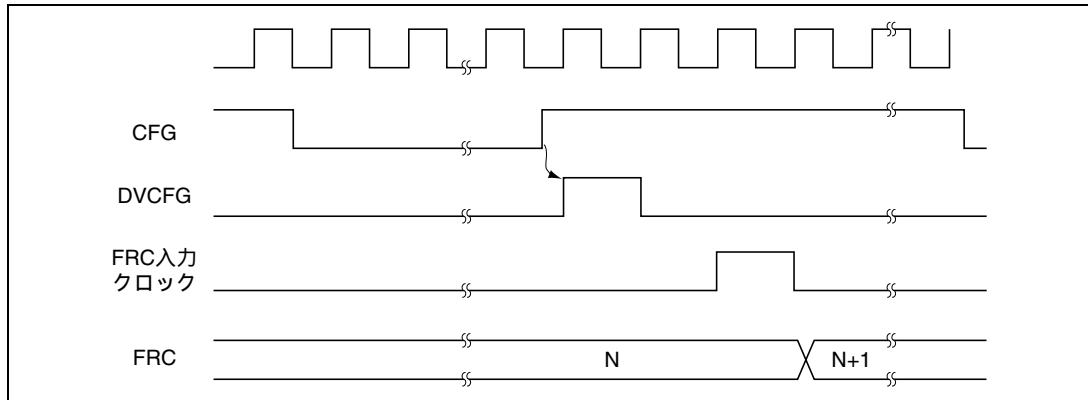


図 17.4 CFG クロック動作時のカウントタイミング

17.3.3 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCR の OLVL で設定される出力レベルがアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。図 17.5 にアウトプットコンペア A の場合の出力タイミングを示します。

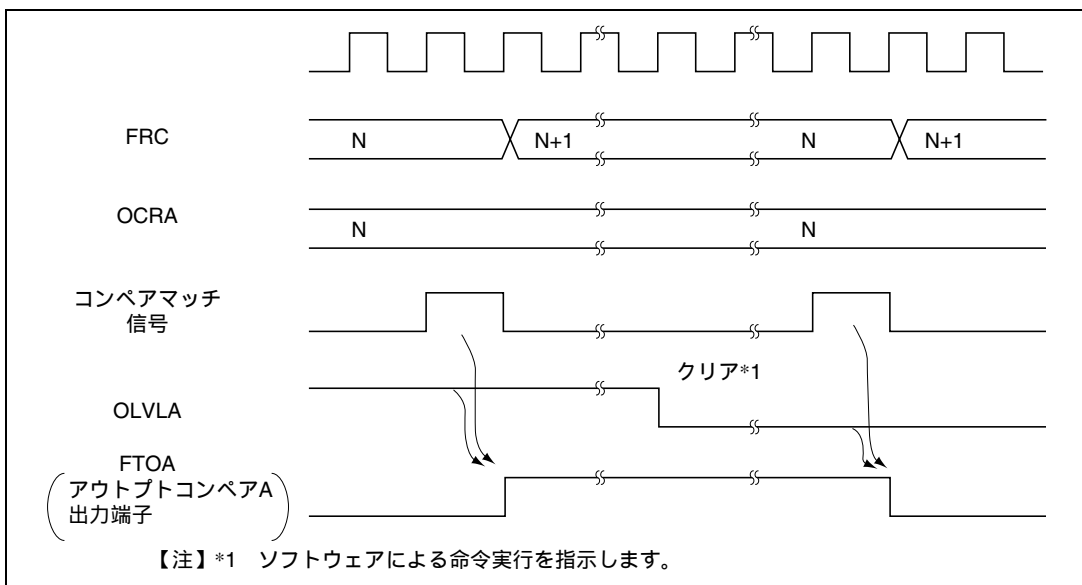


図 17.5 アウトプットコンペア A 出力タイミング

17.3.4 FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このときのタイミングを図 17.6 に示します。

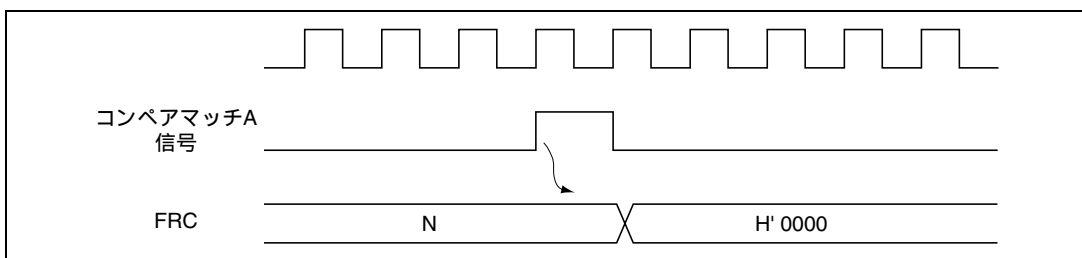


図 17.6 コンペアマッチ A によるクリアタイミング

17.3.5 インพุットキャプチャ入力タイミング

(1) インพุットキャプチャ入力タイミング

インพุットキャプチャ入力は、TCRX の IEDGA ~ IEDGD ビットで立ち上がり/立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDGA ~ IEDGD = 1) の場合のタイミングを図 17.7 に示します。

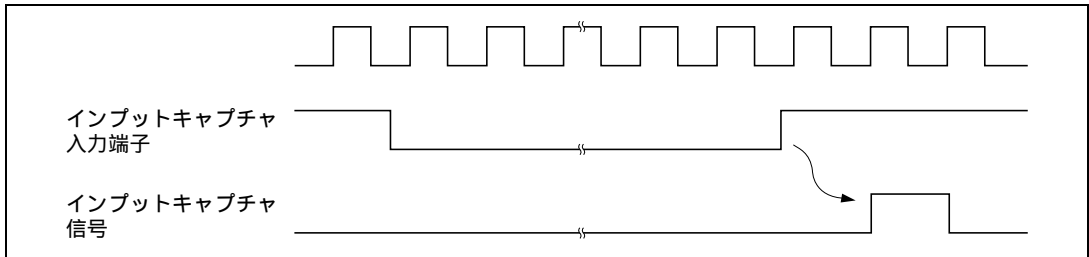


図 17.7 インพุットキャプチャ信号タイミング (通常時)

(2) バッファ動作時のインพุットキャプチャ入力タイミング

ICRC または ICRD を、ICRA または ICRB のバッファとしてバッファ動作を行わせることができます。

ICRC を ICRA のバッファレジスタとして使用し、(BUFEA = 1)、立ち上がり/立ち下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合のインพุットキャプチャ入力タイミングを図 17.8 に示します。

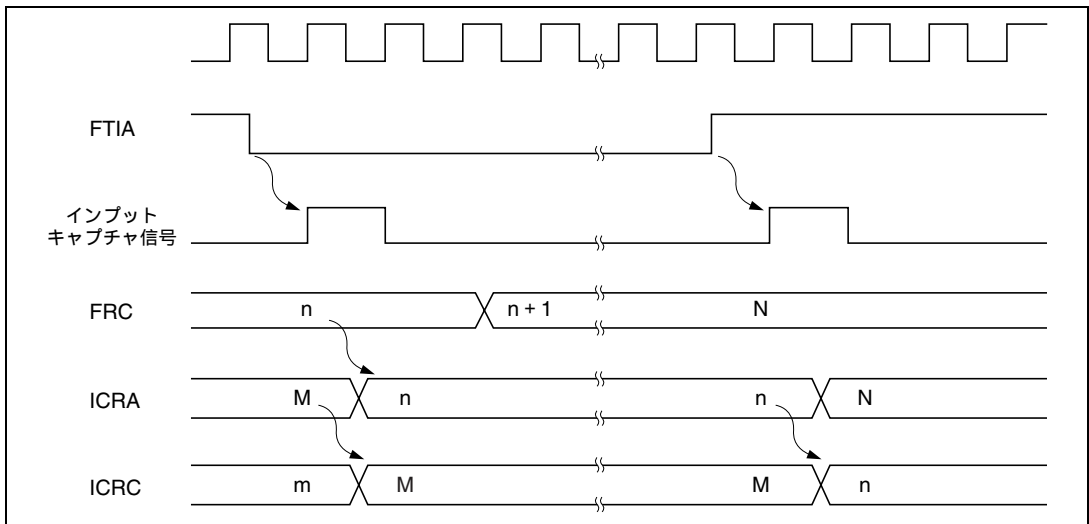


図 17.8 バッファモード時のインพุットキャプチャ信号タイミング (通常時)

ICRC または ICRD をバッファとしてバッファレジスタとして使用した場合でも、インプットキャプチャフラグは、各インプットキャプチャ入力の指定されたエッジ変化に対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているときでも、インプットキャプチャ入力 C に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割り込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

17.3.6 インプットキャプチャフラグ (ICFA ~ ICFD) のセットタイミング

インプットキャプチャ入力により ICFA ~ ICFD は 1 にセットされ、同時に FRC の値が対応する ICRA ~ ICRD に転送されます。このタイミングを図 17.9 に示します。

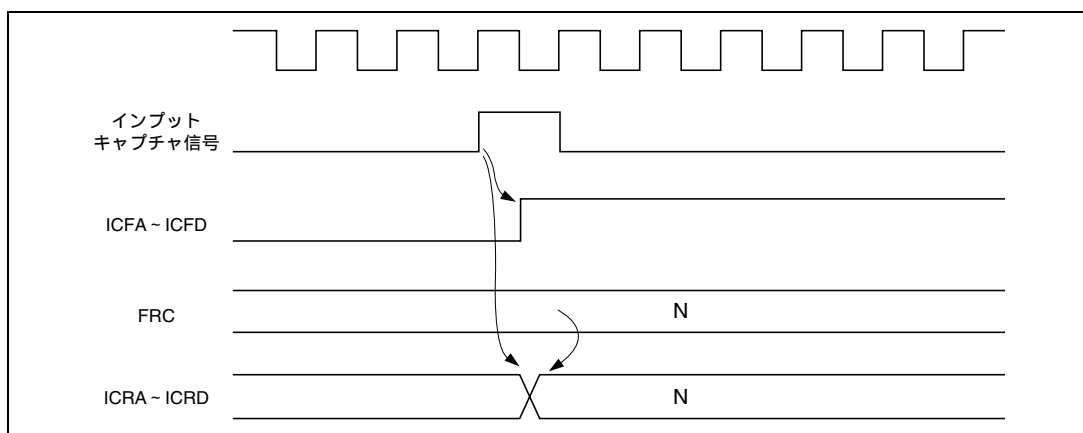


図 17.9 ICFA ~ ICFD のセットタイミング

17.3.7 アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング

OCFA、OCFB は、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、OCRB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB のセットタイミングを図 17.10 に示します。

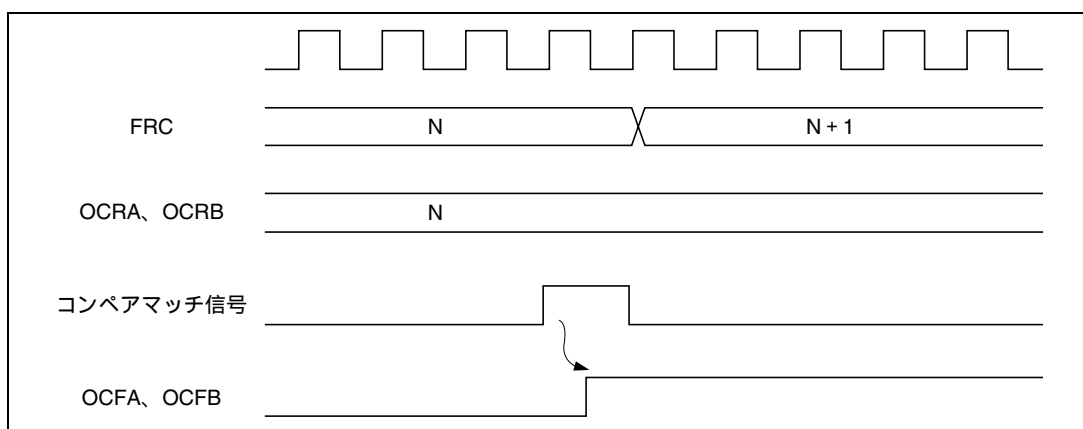


図 17.10 OCF セットタイミング

17.3.8 オーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバーフロー (H'FFFF H'0000) したとき 1 にセットされます。このときのタイミングを図 17.11 に示します。

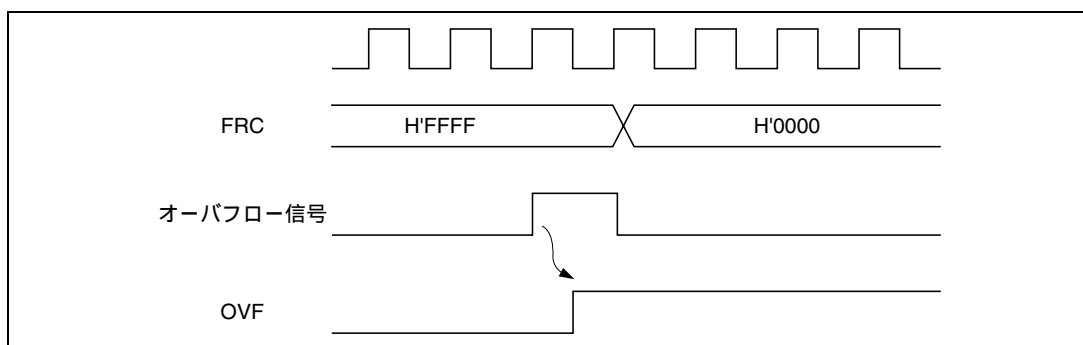


図 17.11 OVF セットタイミング

17.4 タイマ X1 の動作モード

タイマ X1 の動作モードを表 17.4 に示します。

表 17.4 タイマ X1 の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	スタンバイ	サブ スリープ	モジュール ストップ
FRC	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
OCRA、OCRB	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
ICRA ~ ICRD	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
TIER	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
TCRX	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
TOCR	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
TCSRX	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット

17.5 割り込み要因

タイマ X1 割り込み要因には、ICIA ~ ICID、OCIA、OCIB、および FOVI の合計 7 本あります。表 17.5 に各割り込み要求の内容を示します。各割り込み要求は、TIER の各割り込みイネーブルビットにより許可または禁止ができます。また各割り込みには独立したベクタアドレスが割り付けられています。

表 17.5 タイマ X1 割り込み要因

割り込みの略称	内 容	優先順位
ICIA	ICFA による割り込み要求	高  低
ICIB	ICFB による割り込み要求	
ICIC	ICFC による割り込み要求	
ICID	ICFD による割り込み要求	
OCIA	OCFA による割り込み要求	
OCIB	OCFB による割り込み要求	
FOVI	OVF による割り込み要求	

17.6 タイマ X1 の使用例

デューティ 50% のパルスを任意の位相差で出力させた例を図 17.12 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを 1 にセットします。
- (2) 各コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

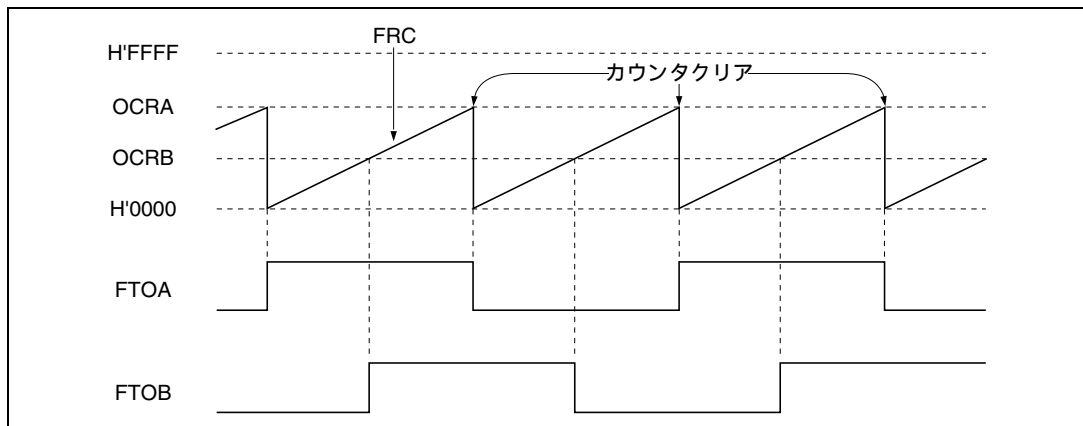


図 17.12 パルス出力例

17.7 使用上の注意事項

タイマ X1 の動作中、次のような競合や動作が起こりますので注意してください。

17.7.1 FRC のライトとクリアの競合

FRC のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、FRC への書き込みは行われず FRC クリアが優先されます。

このタイミングを図 17.13 に示します。

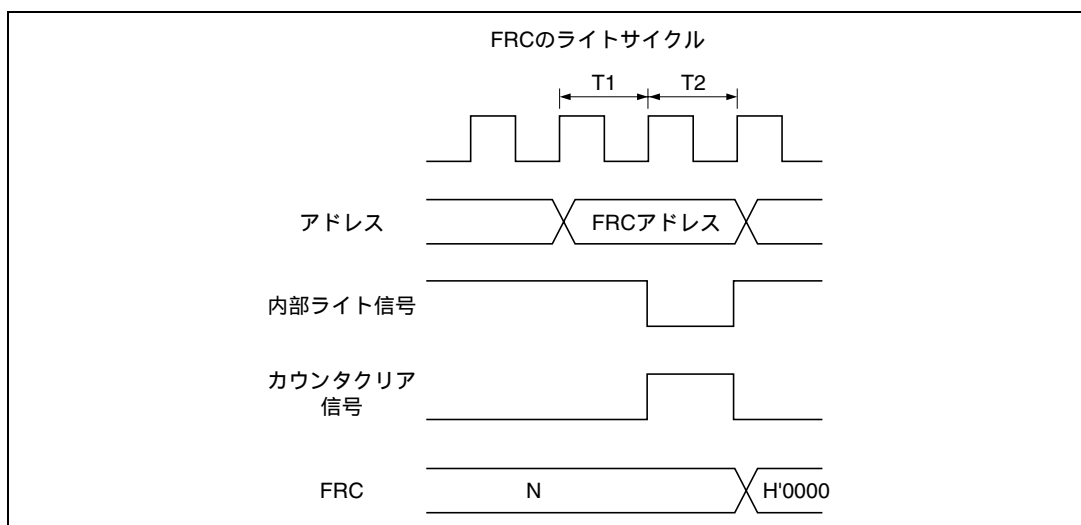


図 17.13 FRC のライトとクリアの競合

17.7.2 FRC のライトとカウントアップの競合

FRC のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされずカウントライトが優先されます。

このタイミングを図 17.14 に示します。

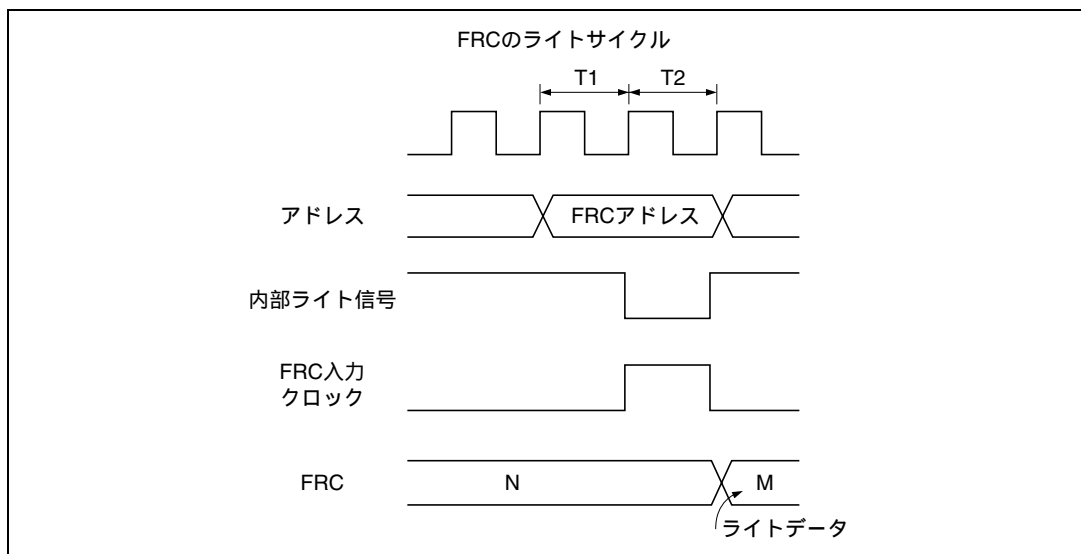


図 17.14 FRC のライトとカウントアップの競合

17.7.3 OCR のライトとコンペアマッチの競合

OCRA、OCRB ライトサイクル中の T2 ステートで、コンペアマッチが発生した場合 OCR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 17.15 に示します。

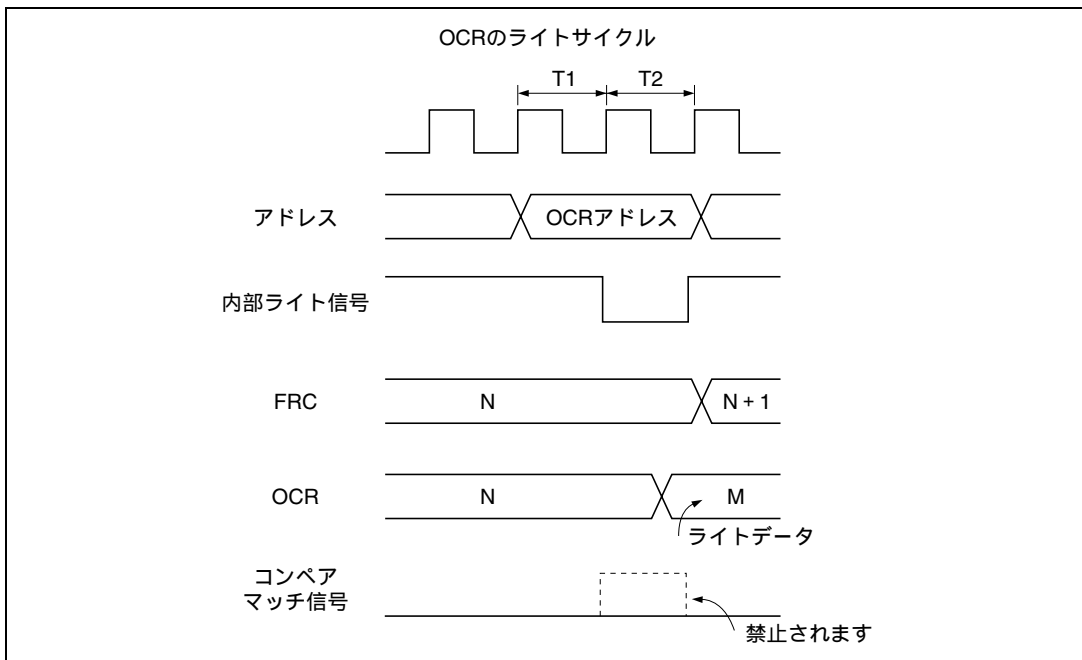


図 17.15 OCR とコンペアマッチの競合

17.7.4 内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 書き換え）と FRC 動作の関係を表 17.6 に示します。

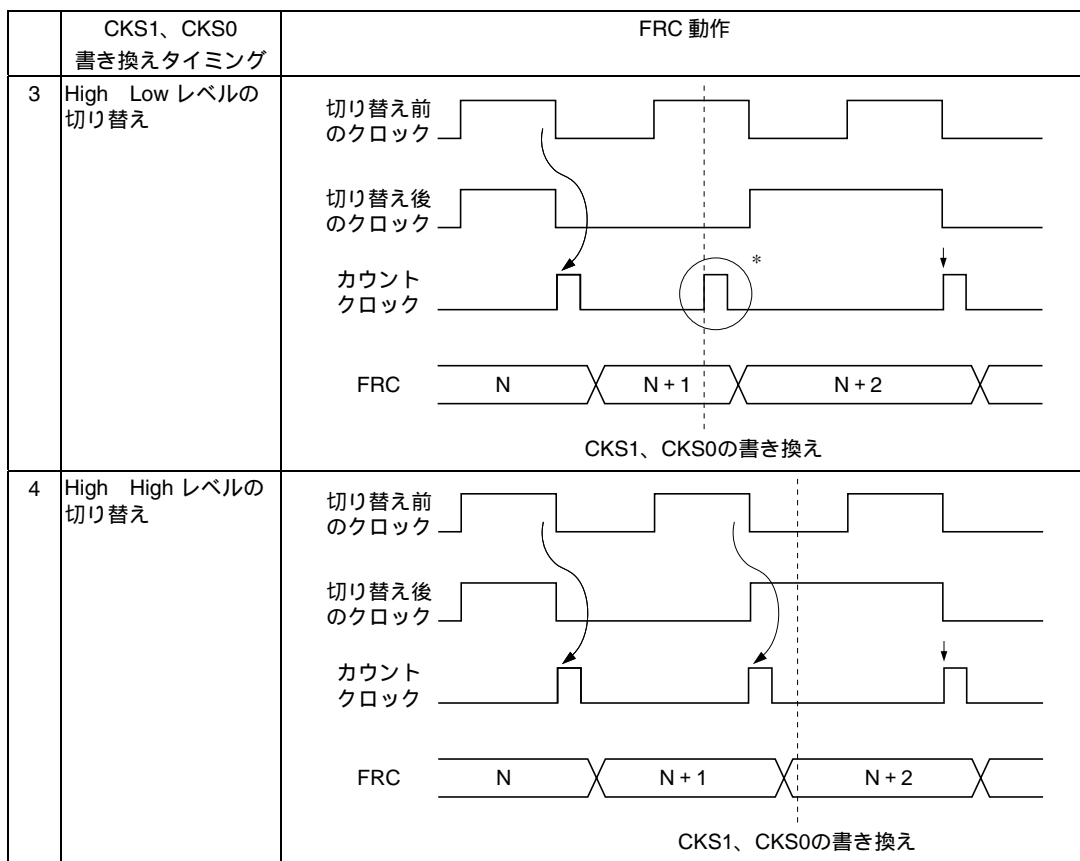
内部クロックを使用する場合、システムクロック（ ）を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表 17.6 の No.3 のように切り替え前のタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、FRC がカウントアップされています。

また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 17.6 内部クロックの切り替えと FRC 動作

	CKS1、CKS0 書き換えタイミング	FRC 動作
1	Low Low レベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>FRC</p> <p>N N+1</p> <p>CKS1、CKS0の書き換え</p>
2	Low High レベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKS1、CKS0の書き換え</p>

17. タイマ X1



【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TRC はカウントアップされてしまします。

18. ウォッチドッグタイマ (WDT)

18.1 概要

本 LSI は 1 チャンネルのウォッチドッグタイマ (WDT) を内蔵しています。ウォッチドッグタイマは、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバフローすると、内部リセット信号または内部 NMI 割り込み信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードの場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。

18.1.1 特長

WDT には次のような特長があります。

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
 - インターバルタイマモード時期には、WOVI 割り込みを発生
- タイマカウンタがオーバフローすると内部リセットまたは内部割り込みを発生
 - ウォッチドッグタイマモード時には、内部をリセットするか NMI 割り込みを発生するかを選択可能
- 8 種類のカウンタ入力クロックを選択可能
 - WDT の最大インターバルはシステムクロック周期 $\times 131072 \times 256$

18. ウォッチドッグタイマ (WDT)

18.1.2 ブロック図

WDT のブロック図を図 18.1 に示します。

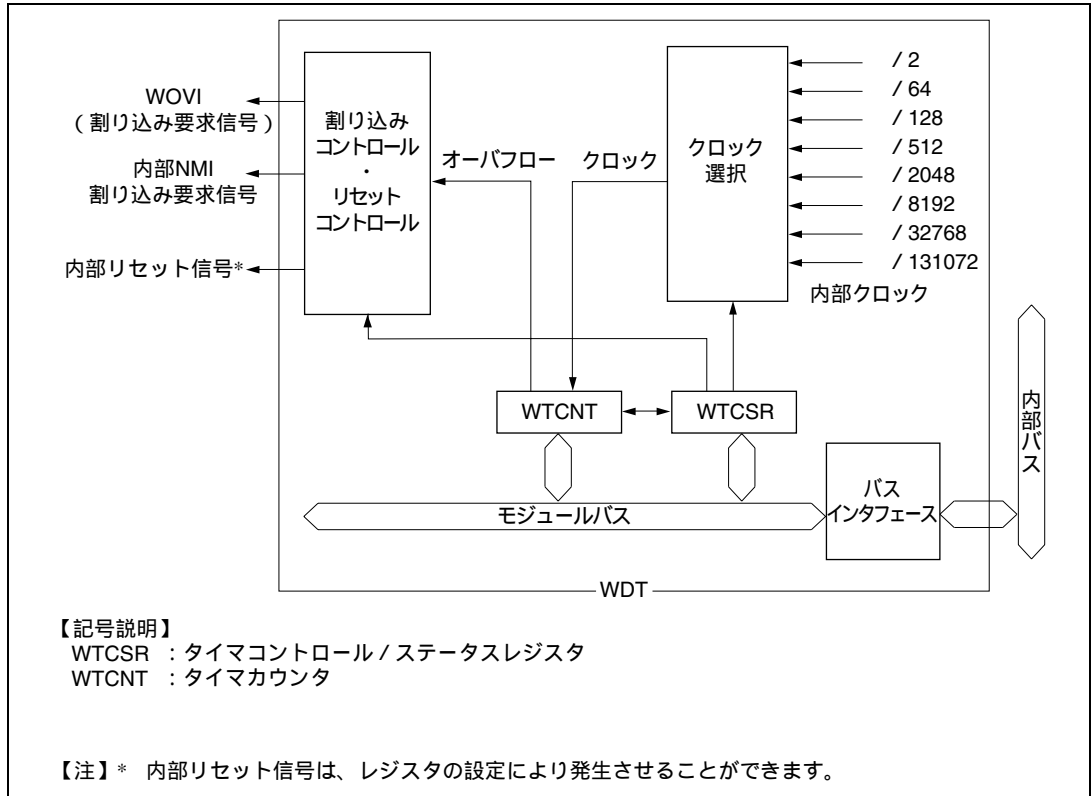


図 18.1 WDT のブロック図

18.1.3 レジスタ構成

WDT は、表 18.1 に示すように 2 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 18.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*1	
				ライト時*2	リード時
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/(W)*3	H'00	H'FFBC	H'FFBC
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFBC	H'FFBD
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFE8	

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 ライトについては、「18.2.4 レジスタアクセス時の注意」を参照してください。
 *3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

18.2 各レジスタの説明

18.2.1 ウォッチドッグタイマカウンタ (WTCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WTCNT は、リード/ライト*可能な 8 ビットのアップカウンタです。WTCSR の TME ビットを 1 にすると、WTCSR の CKS2~CKS0 ビットで選択した内部クロックにより、WTCNT はカウントアップを開始します。WTCNT の値がオーバーフロー (H'FF H'00) すると、WTCSR の OVF フラグが 1 にセットされます。

WTCNT は、リセット、または TME ビットが 0 のとき、H'00 に初期化されます。

【注】* WTCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「18.2.4 レジスタアクセス時の注意」を参照してください。

18.2.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

WTCSR は、リード/ライト*可能な 8 ビットのレジスタで、WTCNT に入力するクロック、モードの選択などを行います。

WTCSR は、リセット時に H'00 に初期化されます。

【注】* WTCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「18.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7: オーバフローフラグ (OVF)

WTCNT がオーバーフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 7	説明
OVF	
0	〔クリア条件〕 (初期値) (1) TME ビットに 0 をライトしたとき (2) OVF = 1 の状態で、WTCSR をリード後、OVF に 0 をライトしたとき
1	〔セット条件〕 WTCNT がオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

ビット6：タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバーフローしたとき、ウォッチドッグタイマモード時はリセットまたは NMI 割り込みを、インターバルタイマモード時は WOVI 割り込みを、CPU に対して要求します。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード：WTCNT がオーバーフローしたとき CPU インターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード：WTCNT がオーバーフローしたとき CPU ヘリセットまたは NMI 割り込みを要求

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	WTCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	WTCNT はカウント動作

WDTのWTCSRのビット4：リセットセレクト (RSTS)

1 にセットしないでください。

ビット3：リセットまたは NMI (RST/ \overline{NMI})

ウォッチドッグタイマモードでの WTCNT オーバフロー時に、内部リセットと NMI 割り込み要求のいずれを要求するかを選択します。

ビット3	説明
RST/ \overline{NMI}	
0	NNI 割り込みを要求 (初期値)
1	内部リセットを要求

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

システムクロック () を分周して得られる内部クロックから、WTCNT に入力するクロックを選択します。

18. ウォッチドッグタイム (WDT)

WDTの入力クロック選択

ビット2	ビット1	ビット0	説 明	
CSK2	CSK1	CSK0	クロック	オーバーフロー周期* (= 10MHz の場合)
0	0	0	/2 (初期値)	51.2 μ s
		1	/64	1.6ms
	1	0	/128	3.3ms
		1	/512	13.1ms
1	0	0	/2048	52.4ms
		1	/8192	209.7ms
	1	0	/32768	838.9ms
		1	/131072	3.36s

【注】 * オーバフロー周期は、WTCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

18.2.3 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
			INTM1	INTM0	XRST	NMIEG1	NMIEG0	
初期値 :	0	0	0	0	1	0	0	1
R/W :			R	R/W	R	R/W	R/W	

ここではビット3のみ説明します。ウォッチドッグタイマ以外の詳細は、「3.2.2 システムコントロールレジスタ (SYSCR)」、「6.2.1 システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット3 : 外部リセット (XRST)

XRST はリセット要因を表わすビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。

XRST ビットはリード専用です。外部リセットにより1にセット、ウォッチドッグタイマオーバフローにより0にクリアされます。

ビット3	説明
XRST	
0	リセットがウォッチドッグタイマのオーバフローで発生
1	リセットが外部リセット入力で発生 (初期値)

18.2.4 レジスタアクセス時の注意

WTCNT、WTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、リード/ライトを行ってください。

(1) WTCNT、WTCSR へのライト

WTCNT、WTCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、WTCNT と WTCSR が同一アドレスに割り当てられています。このため、図 18.2 に示すように、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。WTCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または TCSR へライトされます。

18. ウォッチドッグタイマ (WDT)

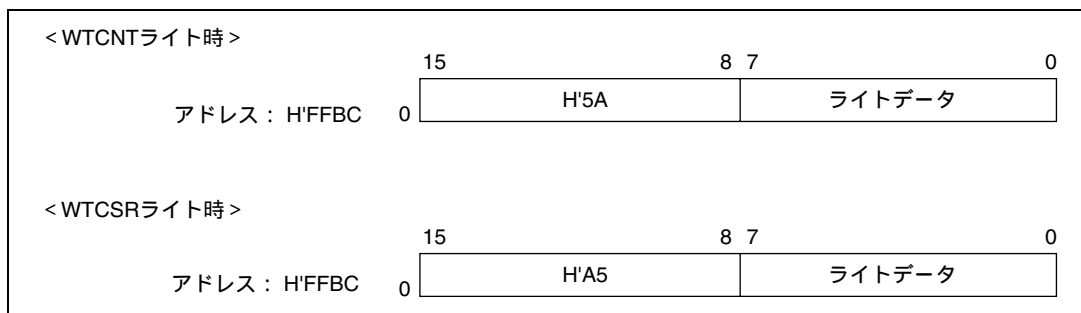


図 18.2 WTCNT、WTCSR へのライト

(2) WTCNT、WTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFBC に、WTCNT はアドレス H'FFBD にそれぞれ割り当てられています。

18.3 動作説明

18.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、WTCRのWT/ITビットとTMEビットの両方を1に設定してください。また、WTCNTがオーバーフローする前に必ずWTCNTの値を書き換えて（通常はH'00を書き込む）、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、WTCNTのオーバーフローが発生しませんが、システムの暴走などによりWTCNTの値が書き換えられずオーバーフローすると、518システムクロック（518）の間、本LSIをリセットするか、またはNMI割り込み要求を発生します。これを図18.3に示します。

ウォッチドッグタイマからの内部リセット要求とRES端子からのリセット入力、同一ベクタで処理されます。リセット要因はSYSCRのXRSTビットの内容によって判別できます。

RES端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、RES端子によるリセットが優先され、SYSCRのXRSTビットは1にセットされます。

ウォッチドッグタイマからのNMI割り込み要求NMI端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからのNMI割り込み要求とNMI端子からの割り込み要求を同時に扱うことは避けてください。

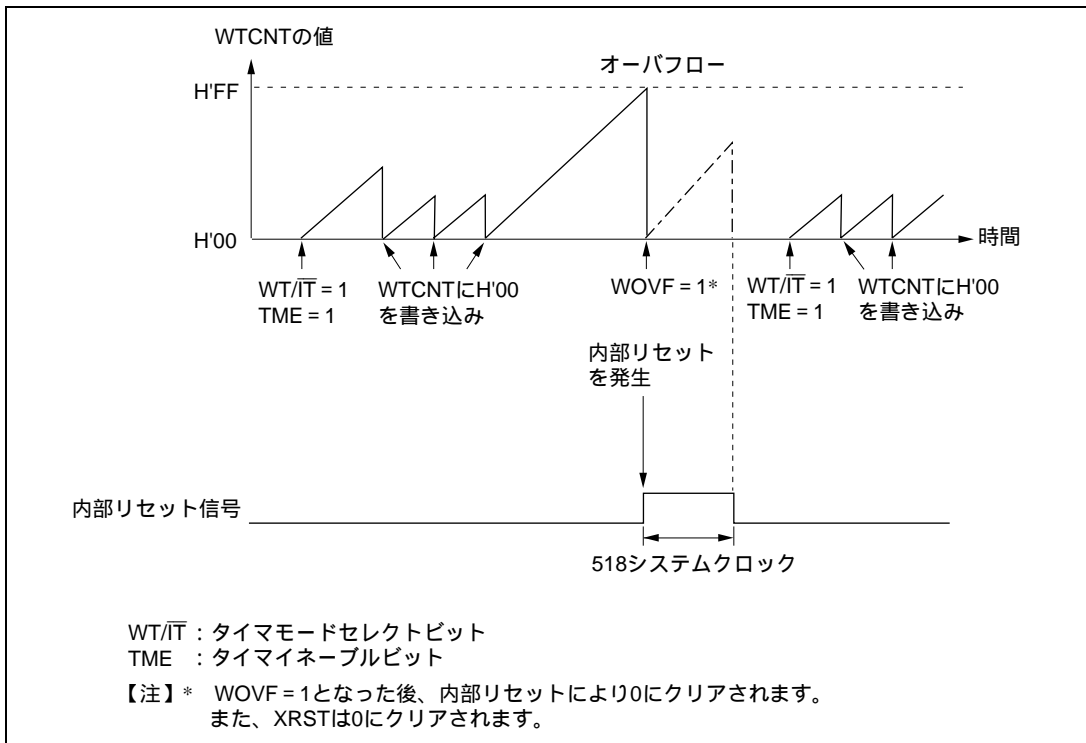


図 18.3 ウォッチドッグタイマモード時の動作

18.3.2 インターバルタイマモード時の動作

インターバルタイマモードとして使用するときは、WTCSR の WT/IT ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 18.4 に示すように、WTCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

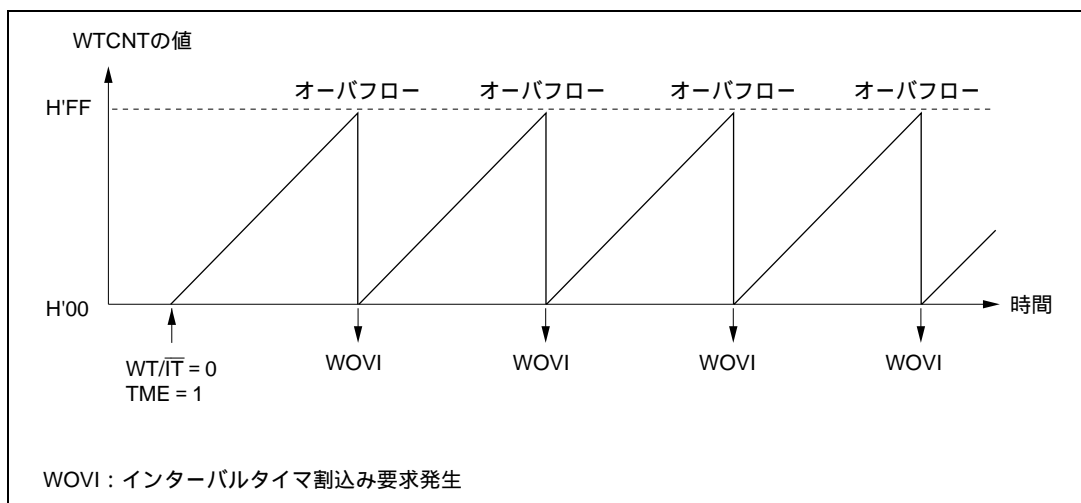


図 18.4 インターバルタイマモード時の動作

18.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで WTCNT がオーバーフローすると、WTCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 18.5 に示します。

また、ウォッチドッグタイマモードで NMI 要求を選択した場合、WTCNT がオーバーフローすると、WTCSR の OVF ビットが 1 にセットされ、同時に NMI 割り込みが要求されます。

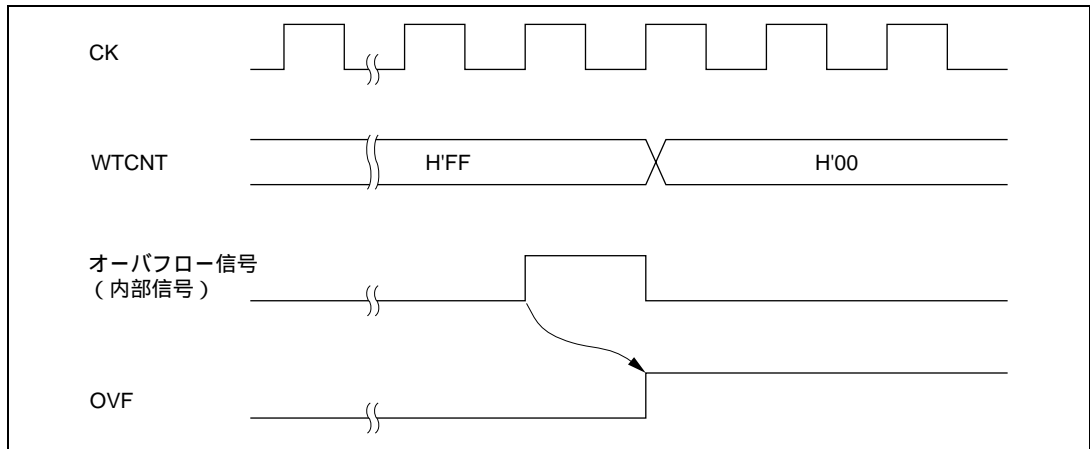


図 18.5 OVF のセットタイミング

18.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、WTCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求選択時、オーバーフローにより NMI 割り込み要求が発生します。

18.5 使用上の注意

18.5.1 ウォッチドッグタイマカウンタ (WTCNT) のライトとカウントアップの競合

WTCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに WTCNT へのカウンタライトが優先されます。これを図 18.6 に示します。

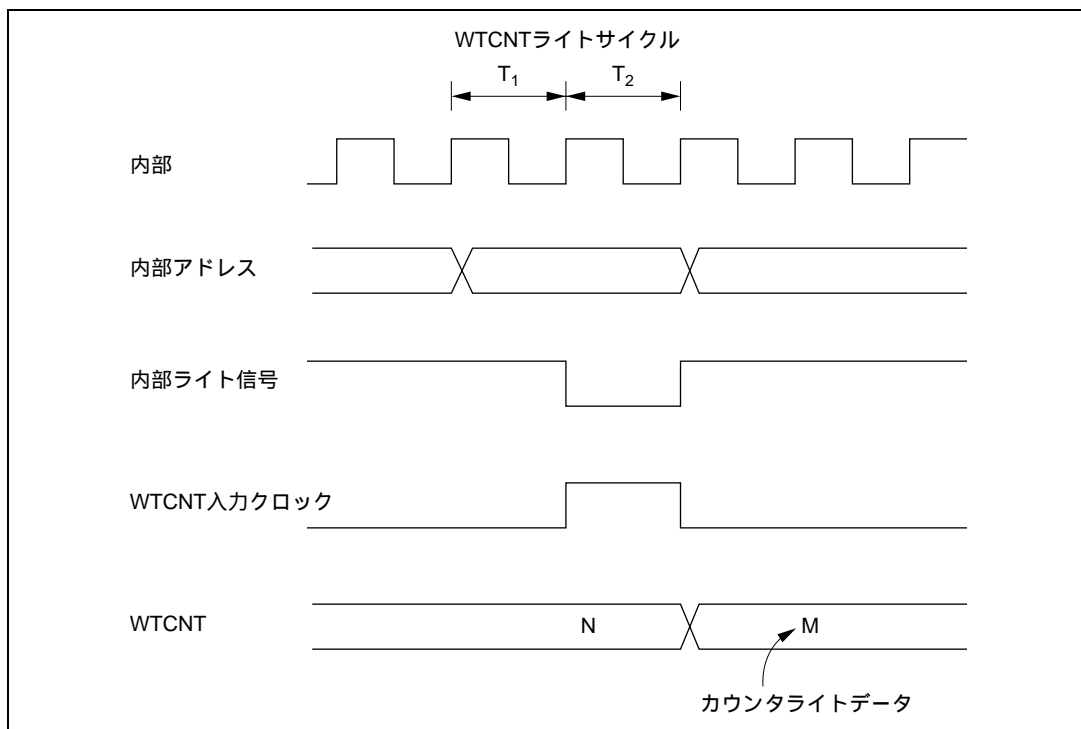


図 18.6 WTCNT のライトとカウントアップの競合

18.5.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に WTCNT の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

18.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

19. 8ビットPWM

19.1 概要

デューティ制御方式のPWMを4チャンネル内蔵しています。リールモータ、ローディングモータなどの制御に使用できます。

19.1.1 特長

- 変換周期：1変換周期 256 ステート
- デューティ制御方式

19.1.2 ブロック図

8ビットPWMのブロック図(1チャンネル分)を図19.1に示します。

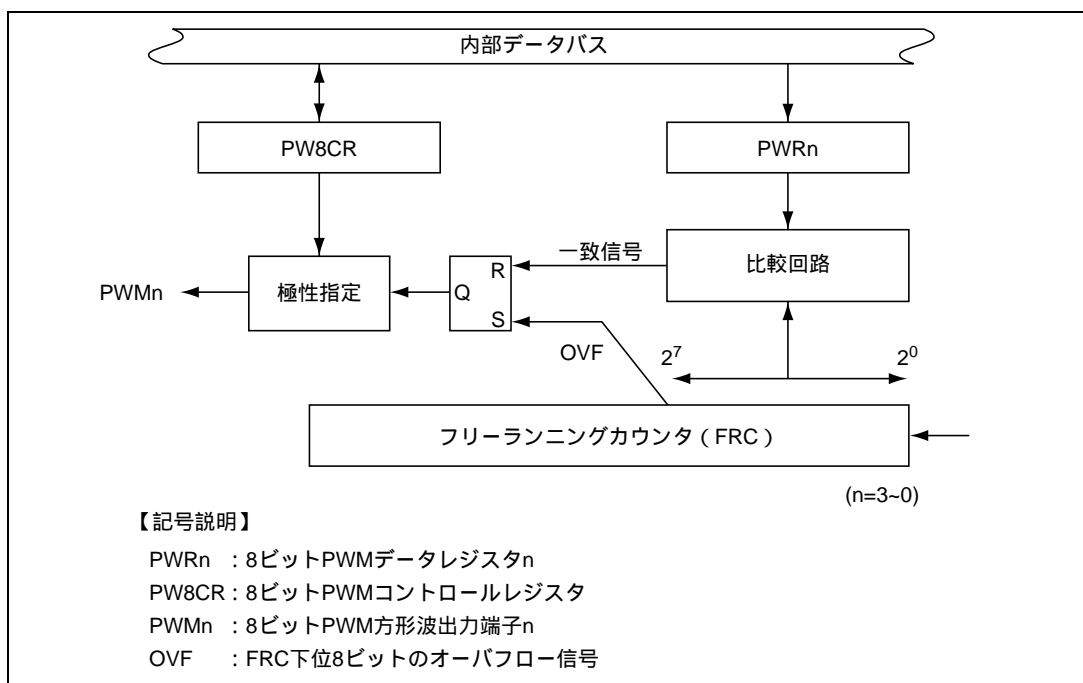


図 19.1 8ビットPWMのブロック図(1チャンネル分)

19. 8ビットPWM

19.1.3 端子構成

8ビットPWMの端子構成を表19.1に示します。

表 19.1 端子構成

名 称	略称	入出力	機 能
8ビットPWM 方形波出力端子0	PWM0	出力	8ビットPWM 方形波出力0
8ビットPWM 方形波出力端子1	PWM1	出力	8ビットPWM 方形波出力1
8ビットPWM 方形波出力端子2	PWM2	出力	8ビットPWM 方形波出力2
8ビットPWM 方形波出力端子3	PWM3	出力	8ビットPWM 方形波出力3

19.1.4 レジスタ構成

8ビットPWMのレジスタ構成を表19.2に示します。

表 19.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス*
8ビットPWM データレジスタ0	PWR0	W	バイト	H'00	H'D126
8ビットPWM データレジスタ1	PWR1	W	バイト	H'00	H'D127
8ビットPWM データレジスタ2	PWR2	W	バイト	H'00	H'D128
8ビットPWM データレジスタ3	PWR3	W	バイト	H'00	H'D129
8ビットPWM コントロールレジスタ	PW8CR	R/W	バイト	H'F0	H'D12A
ポートモードレジスタ3	PMR3	R/W	バイト	H'00	H'FFD0

【注】 * アドレスは下位16ビットを示します。

19.2 各レジスタの説明

19.2.1 8ビット PWM データレジスタ 0、1、2、3(PWR0、PWR1、PWR2、PWR3)

(1) PWR0

ビット:	7	6	5	4	3	2	1	0
	PW07	PW06	PW05	PW04	PW03	PW02	PW01	PW00
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

(2) PWR1

ビット:	7	6	5	4	3	2	1	0
	PW17	PW16	PW15	PW14	PW13	PW12	PW11	PW10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

(3) PWR2

ビット:	7	6	5	4	3	2	1	0
	PW27	PW26	PW25	PW24	PW23	PW22	PW21	PW20
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

(4) PWR3

ビット:	7	6	5	4	3	2	1	0
	PW37	PW36	PW35	PW34	PW33	PW32	PW31	PW30
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

8ビット PWM データレジスタ 0、1、2、3 (PWR0、PWR1、PWR2、PWR3) は、8ビット PWM のデューティ設定レジスタです。PWR0、PWR1、PWR2、PWR3 に設定された内容が、各 PWM 出力波形 1 周期 (256 ステート) の High レベル幅に対応します。

PWR0、PWR1、PWR2、PWR3 にデータを設定すると、その内容が各 PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。

PWR0、PWR1、PWR2、PWR3 は、8ビットのライト専用のレジスタです。リードすると、常に 1 が読み出されます。リセット時、H'00 に初期化されます。

19.2.2 8ビットPWMコントロールレジスタ(PW8CR)

ビット:	7	6	5	4	3	2	1	0
					PWC3	PWC2	PWC1	PWC0
初期値:	1	1	1	1	0	0	0	0
R/W:					R/W	R/W	R/W	R/W

8ビットPWMコントロールレジスタ(PW8CR)は、8ビットPWMの制御を行います。PW8CRは、8ビットのリード/ライト可能なレジスタです。リセット時、PW8CRはH'F0に初期化されます。

ビット7~4: リザーブビット

リードすると、常に1が読み出されます。ライトは無効です。

ビット3~0: 出力極性指定(PWC3~PWC0)

PWMn端子の出力極性を正極性にするか、負極性(反転極性)にするかを指定します。

ビット n	説明
PWCn	
0	PWMn端子の出力は、正極性 (初期値)
1	PWMn端子の出力は、反転極性

(n=3~0)

19.2.3 ポートモードレジスタ3(PMR3)

ビット:	7	6	5	4	3	2	1	0
	PMR37	PMR36	PMR35	PMR34	PMR33	PMR32	PMR31	PMR30
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ3(PMR3)は、ポート3の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR3は、8ビットのリード/ライト可能なレジスタです。リセット時、PMR3はH'00に初期化されます。

ビット5~2以外は、「11.5 ポート3」を参照してください。

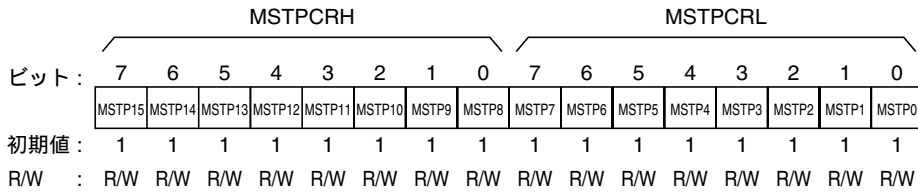
ビット5~2: P35/PWM3~P32/PWM0端子切り替え(PMR35~PMR32)

P3n/PWMm端子をP3n入出力端子として使用するか、8ビットPWM出力のPWMm端子として使用するかを設定します。

ビット n	説明
PMR3n	
0	P3n/PMWm端子は、P3n入出力端子として機能 (初期値)
1	P3n/PMWm端子は、PWMm出力端子として機能

(n=5~2, m=3~0)

19.2.4 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP4 ビットを 1 にセットすると、バスサイクルの終了時点で 8 ビット PWM は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 4 : モジュールストップ (MSTP4)

8 ビット PWM のモジュールストップモードを指定します。

MSTPCRL	説 明
ビット 4	
MSTP4	
0	8 ビット PWM のモジュールストップモード解除
1	8 ビット PWM のモジュールストップモード設定 (初期値)

19.3 動作説明

8ビットPWMは、256ステートのパルス周期と、データレジスタ（PWR）の設定値で決まるパルス幅を持つPWMパルスを出力します。

このPWM出力パルスは、ローパスフィルタで積分することにより、DC電圧に変換することができます。

8ビットPWMの出力波形例を図19.2に示します。パルス幅(Twidth)は、次の式で求められます。

$$Twidth = (1/256) \times (PWR \text{ の設定値})$$

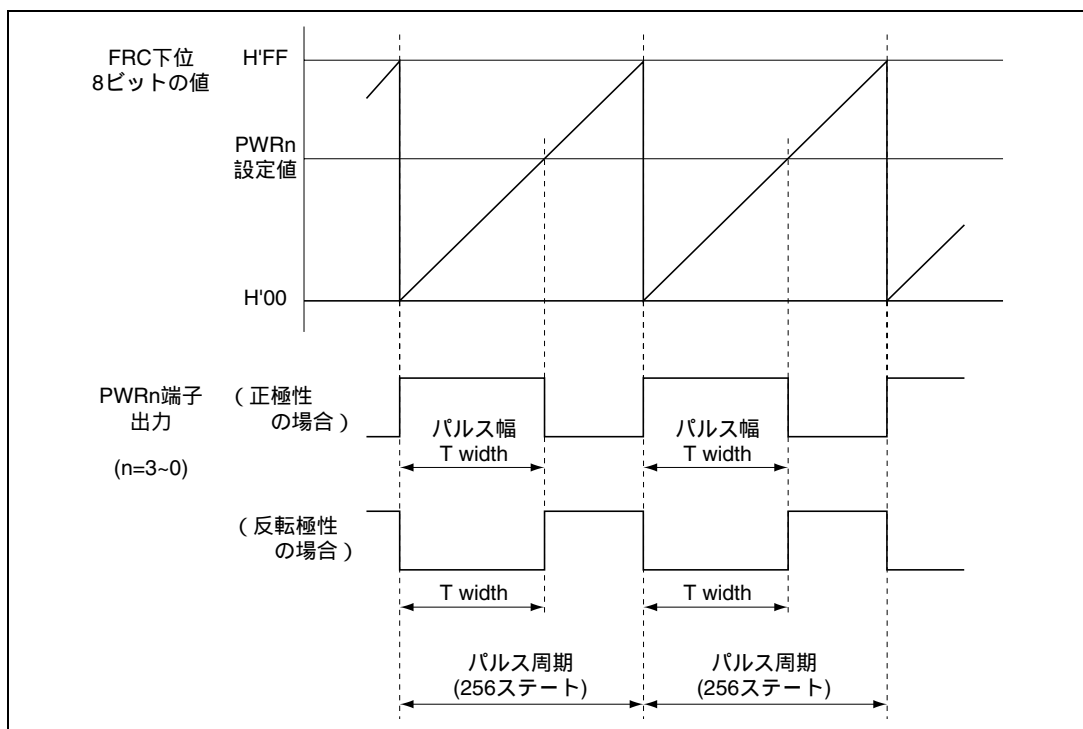


図 19.2 8ビットPWMの出力波形例

20. 12 ビット PWM

20.1 概要

パルスピッチ制御方式の PWM を、2 チャンネル内蔵しています。ドラムモータ、キャプスタンモータのサーボ制御用の PWM です。

20.1.1 特長

12 ビット PWM 信号発生器がモータ制御用に 2 チャンネル内蔵されています。出力パルスのピッチを変化させる方式（出力の一部を周期的に欠落させる）であり、出力パルスの低域周波数成分を減少させ、クロック周波数を高くすることなく高速応答を可能にしています。誤差データ（規定の速度/位相との進みまたは遅れ）に応じて PWM 信号のピッチを補正します。

20.1.2 ブロック図

12ビットPWMのブロック図(1チャンネル分)を図20.1に示します。12ビットのパルスジェネレータとデータレジスタの内容とを合成し、PWM信号を発生します。量子パルスの発生頻度の異なるものを合成して出力しているために、低域周波数成分が減少します。差データは、12ビットの符号なしの2進数で表されます。

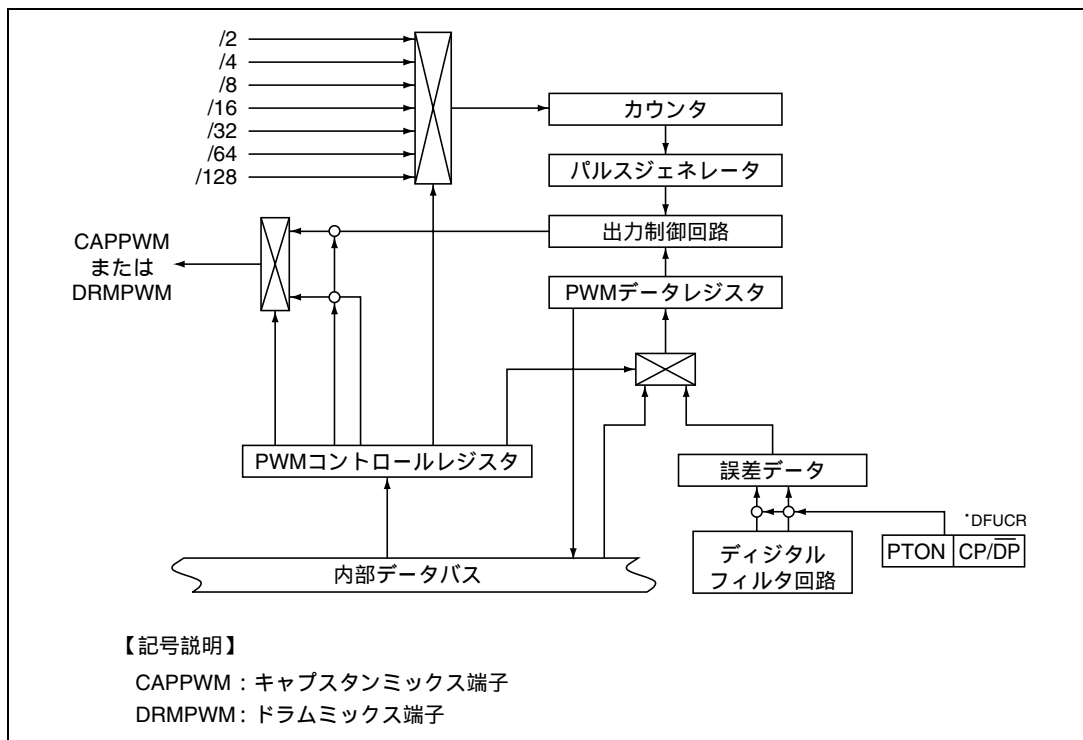


図 20.1 12ビットPWMのブロック図(1チャンネル分)

20.1.3 端子構成

12ビットPWMの端子構成を表20.1に示します。

表 20.1 端子構成

名称	略称	入出力	機能
キャプスタンミックス	CAPPWM	出力	12ビットPWM方形波出力
ドラムミックス	DRMPWM		

20.1.4 レジスタ構成

12 ビット PWM のレジスタ構成を表 20.2 に示します。

表 20.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス*
12 ビット PWM コントロールレジスタ	CPWCR	W	バイト	H'42	H'D07B
	DPWCR	W	バイト	H'42	H'D07A
12 ビット PWM データレジスタ	CPWDR	R/W	ワード	H'F000	H'D07C
	DPWDR	R/W	ワード	H'F000	H'D078

【注】 * アドレスは下位 16 ビットを示します。

20.2 各レジスタの説明

20.2.1 12 ビット PWM コントロールレジスタ (CPWCR、DPWCR)

(1) CPWCR

ビット:	7	6	5	4	3	2	1	0
	CPOL	CDC	CHiZ	CH/L	CSF/DF	CCK2	CCK1	CCK0
初期値:	0	1	0	0	0	0	1	0
R/W :	W	W	W	W	W	W	W	W

(2) DPWCR

ビット:	7	6	5	4	3	2	1	0
	DPOL	DDC	DHiZ	DH/L	DSF/DF	DCK2	DCK1	DCK0
初期値:	0	1	0	0	0	0	1	0
R/W :	W	W	W	W	W	W	W	W

CPWCR は、キャプスタンモータ用 PWM 出力のコントロールレジスタです。DPWCR は、ドラムモータ用 PWM 出力のコントロールレジスタです。いずれも 8 ビットのライト専用レジスタです。

CPWCR と DPWCR は、リセット、スリープモード、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、サーボ回路モジュールストップ時、H'42 に初期化されます。

ビット 7: 極性反転ビット (POL)

ノイズ防止などの目的から、PWM 変調した信号の極性を、反転することができます。固定出力が選択 (DC ビットが 1) されているとき、本ビットは無効です。

ビット 7	説 明	
POL		
0	正極性で出力	(初期値)
1	極性を反転して出力	

ビット 6: 固定出力ビット (DC)

PWM 変調出力か、出力ビット (ビット 5、4) による端子制御かを切り替えることができます。

20. 12 ビット PWM

ビット 5、4 : PWM 端子出力ビット (HiZ、H/L)

DC ビットが 1 のとき、12 ビット PWM 出力端子 (CAPPWH、DRMPWM) は HiZ、H/L ビットによる値を出力します。POL ビットには影響されません。

低消費電力モード時、12 ビット PWM の回路および端子状態は保持されます。低消費電力モードに遷移するときは、12 ビット PWM コントロールレジスタのビット 6 (DC)、ビット 5 (HiZ)、ビット 4 (H/L) により、出力レベルを固定してから行ってください。CPWCR、DPECR による端子状態を示します。

ビット 6	ビット 5	ビット 4	出力状態
DC	HiZ	H/L	
1	0	0	PWM 出力端子に Low レベルを出力 (初期値)
		1	PWM 出力端子に High レベルを出力
0	1	*	PWM 出力端子はハイインピーダンス
	*	*	PWM 変調信号を出力

【注】 * : Don't care.

ビット 3 : 出力データ選択ビット (SF/DF)

PWM 変調するデータを、データレジスタに書き込まれているデータにするか、デジタルフィルタ回路からの誤差データにするかを選択します。

ビット 3	説明
SF/DF	
0	デジタルフィルタ回路からの誤差データを変調 (初期値)
1	データレジスタに書き込まれているデータを変調

【注】 デジタルフィルタ回路からのデータを PWM 出力するとき、CAPPWM、DRMPWM 端子の出力は、速度、位相のフィルタ結果をたし合わせたデータを PWM 変調した出力となります。ただし、デジタルフィルタ回路の DFUCR の設定により、CAPPWM 端子からドラム位相のみのフィルタ結果、DRMPWM 端子からキャプスタン位相のみのフィルタ結果を PWM 出力可能です。「28.11 デジタルフィルタ演算回路」を参照してください。

ビット 2~0 : 搬送周波数選択ビット (CK2~CK0)

PWM 変調信号の搬送周波数を選択します。ただし、111 には設定しないでください。

ビット 2	ビット 1	ビット 0	説明
CK2	CK1	CK0	
0	0	0	搬送周波数は /2
		1	搬送周波数は /4
	1	0	搬送周波数は /8 (初期値)
		1	搬送周波数は /16
1	0	0	搬送周波数は /32
		1	搬送周波数は /64
	1	0	搬送周波数は /128
		1	(設定しないでください)

20.2.2 12ビット PWM データレジスタ (DPWDR、CPWDR)

(1) CPWDR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CPWDR11	CPWDR10	CPWDR9	CPWDR8	CPWDR7	CPWDR6	CPWDR5	CPWDR4	CPWDR3	CPWDR2	CPWDR1	CPWDR0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) DPWDR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					DPWDR11	DPWDR10	DPWDR9	DPWDR8	DPWDR7	DPWDR6	DPWDR5	DPWDR4	DPWDR3	DPWDR2	DPWDR1	DPWDR0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12ビット PWM データレジスタ (DPWDR、CPWDR) は、PWM 変調するデータを書き込むレジスタです。12ビットのリード/ライト可能なレジスタです。

コントロールレジスタの SF/DF ビットが 1 のとき、データレジスタに書き込まれているデータが PWM 変調されます。また、SF/DF ビットが 0 のときは、デジタルフィルタ回路からの誤差データがデータレジスタに書き込まれ、それが PWM 変調されます。したがって、このときにデータレジスタをリードすると、デジタルフィルタ回路からの誤差データをモニタすることができます。

本レジスタは、ワードアクセス専用となっており、バイトアクセスはできません。バイトアクセスを実行したときの動作は保証されません。

リセット、スリープモード、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、サーボ回路モジュールストップ時に、H'F000 に初期化されます。

20.2.3 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCR _H								MSTPCR _L							
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP1 ビットを 1 にセットすると、バスサイクルの終了時点で 12 ビット PWM は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 1: モジュールストップ (MSTP1)

12 ビット PWM のモジュールストップモードを指定します。本ビットはサーボ回路のモジュールストップビットも兼用しています。

MSTPCRL	説 明	
ビット 1		
MSTP1		
0	12ビットPWM、サーボ回路のモジュールストップモード解除	
1	12ビットPWM、サーボ回路のモジュールストップモード設定	(初期値)

20.3 動作説明

20.3.1 出力波形

PWM 信号発生器は、誤差データと発生器内パルスジェネレータ出力とを合成し、PWM 信号に変調します。基準を $V_{cc}/2$ とした場合、モータが、

- 規定の速度/位相で回転しているときは、50%デューティの PWM 信号を出力します。
- 規定の速度/位相により遅いときは、PWM 信号の一部を誤差に応じて周期的に Low に落として速度を補正します。
- 規定の速度/位相より速いときは、PWM 信号の一部を誤差に応じて周期的に High に上げて速度を補正します。

モータが定速度および定位相で回転しているとき、誤差データは、12ビットで表される値の 1/2 (1000 0000 0000) となります。このとき、PWM 出力は選択した分周クロックの周波数と同じになります。

PWM 信号に変換された誤差データは、外部のローパスフィルタ (LPF) により DC 電圧に平滑します。平滑された誤差データにより、モータの制御が可能です。

出力波形の例を図 20.2 に示します。

12ビット PWM の端子はリセット、低消費電力モード、モジュールストップ時、Low 出力となります。

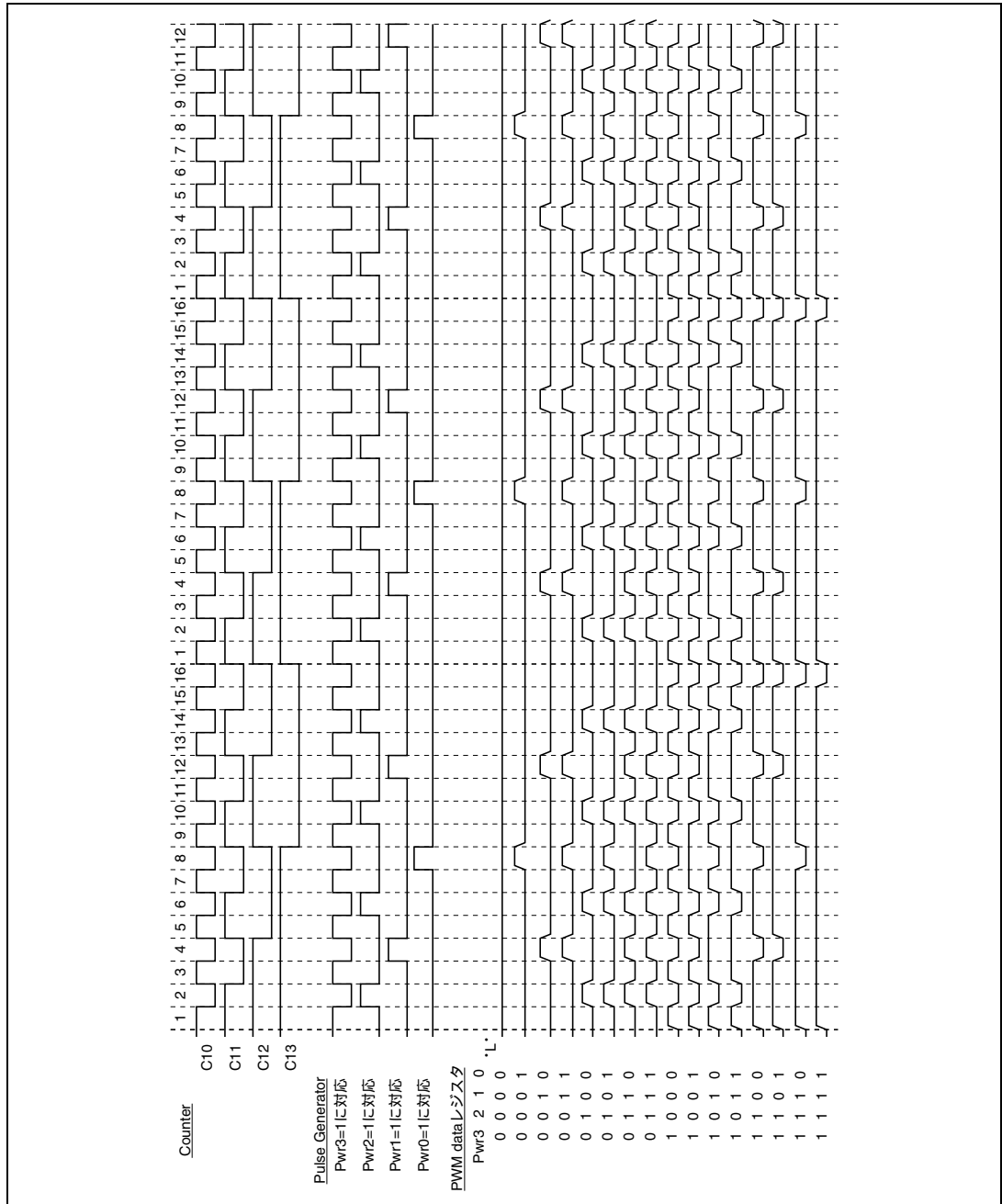


図 20.2 12ビットPWM の出力波形例（4ビットの例）

21. 14 ビット PWM

21.1 概要

パルス分割方式の PWM です。V シンセなどに使用できます。

21.1.1 特長

14 ビット PWM の特長を以下に示します。

- 2 種類の変換周期を選択可能
一変換周期 $1/6384$ 、最小変化幅 $1/$ 、または、一変換周期 $3/2768$ 、最小変化幅 $2/$ の選択が可能です。
- リップル低減を図ったパルス分割方式

21.1.2 ブロック図

14 ビット PWM のブロック図を図 21.1 に示します。

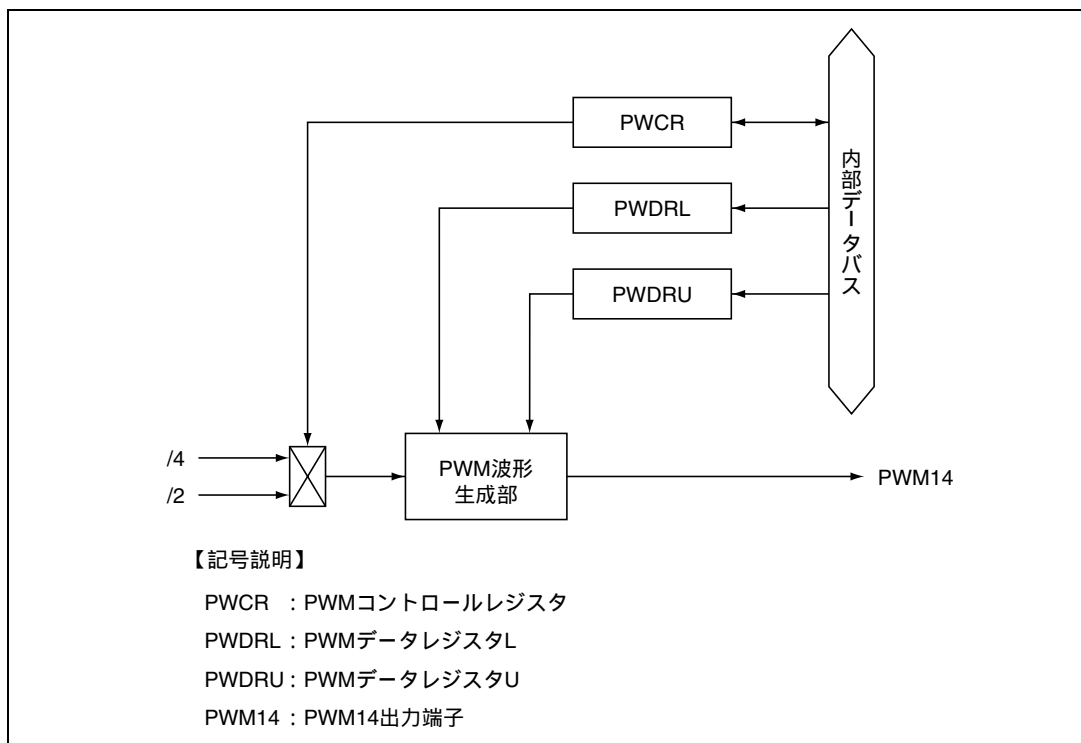


図 21.1 14ビット PWM のブロック図

21.1.3 端子構成

14ビット PWM の端子構成を表 21.1 に示します。

表 21.1 端子構成

名 称	略称	入出力	機 能
14ビット PWM 方形波出力端子	PWM 14*	出力	14ビット PWM 方形波出力

【注】 * P40 汎用入出力端子と兼用されています。使用する場合は、ポートモードレジスタ 4 (PMR 4) により、端子機能の設定を行ってください。詳細は、「11.6 ポート 4」を参照してください。

21.1.4 レジスタ構成

14ビット PWM のレジスタ構成を表 21.2 に示します。

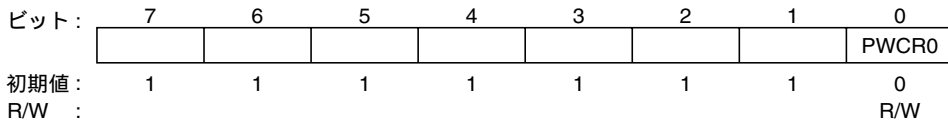
表 21.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス*
PWM コントロールレジスタ	PWCR	R/W	バイト	H'FE	H'D122
PWM データレジスタ U	PWDRU	W	バイト	H'00	H'D121
PWM データレジスタ L	PWDRL	W	バイト	H'00	H'D120

【注】 * アドレスは下位 16 ビットを示します。

21.2 各レジスタの説明

21.2.1 PWM コントロールレジスタ (PWCR)



PWM コントロールレジスタ (PWCR) は、14 ビット PWM の制御を行うレジスタです。

PWCR は、8 ビットのリード/ライト可能なレジスタです。リセット時、PWCR は H'FE に初期化されます。

ビット7~1: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0: クロックセレクト (PWCR0)

14 ビット PWM の入力クロックを選択します。

ビット0	説 明
PWCR0	
0	入力クロックは $t/2$ ($t = 2/$) (初期値) —変換周期 $16384/$ 、最小変化幅 $1/$ の PWM 波形を生成
1	入力クロックは $t/4$ ($t = 4/$) —変換周期 $32768/$ 、最小変化幅 $2/$ の PWM 波形を生成

【注】 t : PWM 入力クロックの周期

21.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

(1) PWDRU

ビット:	7	6	5	4	3	2	1	0
			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

(2) PWDRL

ビット:	7	6	5	4	3	2	1	0
	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWM データレジスタ U、L (PWDRU、PWDRL) は PWM 波形一周期の High レベル幅を表します。ライト専用の 14 ビットのレジスタで PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL とともにバイトアクセス専用のレジスタです。ワードアクセスをすると動作が保証されません。PWDRU、PWDRL に書き込まれた内容は PWM 波形一周期の High レベル幅の合計に対応します。

PWDRU、PWDRL に計 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は次のように行ってください。

- (1) PWDRL へ下位 8 ビットのデータをライトする。
- (2) PWDRU へ上位 6 ビットのデータをライトする。

上記のように、データの設定は、必ず PWDRL PWDRU の順序で行ってください。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合には、常に 1 が読み出されます。PWDRU、PWDRL は、リセット時は、H'C000 に初期化されます。

21.2.3 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタでモジュールストップモードの制御を行います。

MSTP5 ビットを 1 にセットすると、バスサイクルの終了時点で 14 ビット PWM は動作を停止してモジュールストップモードへ遷移します。詳細は「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 5：モジュールストップ (MSTP5)

14 ビット PWM のモジュールストップモードを指定します。

MSTPCRL	説 明	
ビット 5		
MSTP5		
0	14 ビット PWM のモジュールストップモード解除	
1	14 ビット PWM のモジュールストップモード設定	(初期値)

21.3 動作説明

14ビットPWMを使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) ポートモードレジスタ4(PMR4)のPMR40ビット=1としてP40/PWM14端子をPWM出力端子に設定します。
- (2) PWMコントロールレジスタ(PWCR)のPWCR0ビットにより、一変換周期を $32768/$ (PWCR0ビット=1)、 $16384/$ (PWCR0ビット=0)から選択します。
- (3) PWMデータレジスタU、L(PWDRU、PWDRL)に出力波形データを設定します。このとき、必ずPWDRL PWDRUの順序でバイト単位で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

一変換周期は図 21.2 に示すように 64 個のパルスで構成され、この一変換周期中の High レベル幅合計 (T_H) が、PWDRU、PWDRL のデータに対応しています。この関係は次式で示されます。

$$T_H = (\text{PWDRU、PWDRL のデータ値} + 64) \times t / 2$$

ここでは t は、PWM 入力クロックの周期で、 $2/$ (PWCR0 ビット=0) または $4/$ (PWCR0 ビット=1) となります。

PWDRU、PWDRL のデータ値 $H'3FC0 \sim H'3FFF$ では PWM 出力は High レベルとなります。H'C000 では、 $T_H = 64 \times t / 2 = 32 \cdot t$ となります。

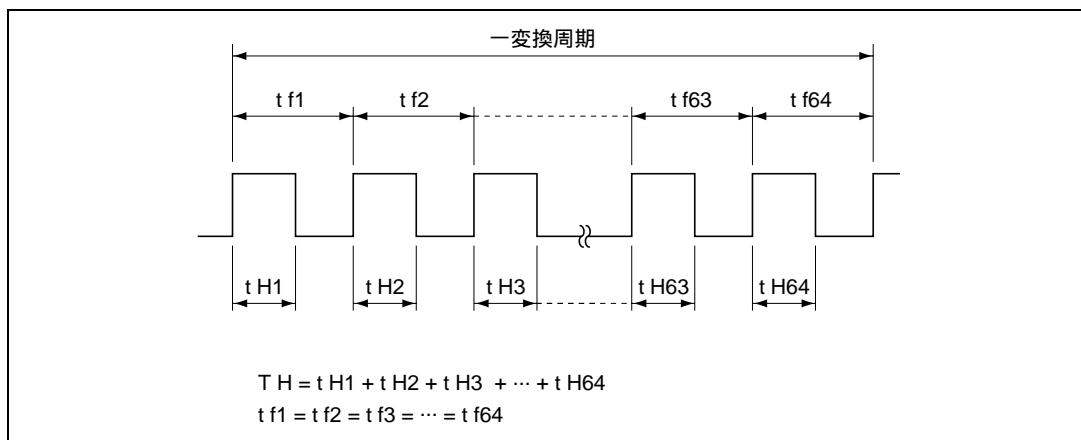


図 21.2 14ビットPWM出力波形

22. プリスケーラユニット

22.1 概要

プリスケラユニット (PSU) は、 をクロックソースとした 18 ビットのフリーランニングカウンタ (FRC) と、 W をクロックソースとした 5 ビットのカウンタとを備えています。

22.1.1 特長

- プリスケーラ S (PSS) :
周辺機能へ入力する分周クロックを生成します。
- プリスケーラ W (PSW) :
タイマAを時計用タイムベースとして使用するとき、サブクロックを分周して入力クロックを生成します。
- 発振安定待機時間カウント :
スリープモードを除く低消費電力モードからの復帰時、FRCによって、発振安定待機時間をカウントします。
- 8 ビット PWM :
FRCの下位8ビットは、8ビットPWMの周期およびデューティ期間生成用カウンタとして用いられます。(変換周期: 256ステート)
- \overline{IC} 端子による 8 ビットインプットキャプチャ :
リモコン受信用に \overline{IC} 端子のエッジにより、FRCの $2^{15} \sim 2^8$ の8ビットをキャプチャします。
- 分周クロック出力 :
分周クロック出力端子 (TMOW) から、システムクロックの分周クロックまたはサブクロックの分周クロックを出力可能です。

22.1.2 ブロック図

プリスケアラユニットのブロック図を図 22.1 に示します。

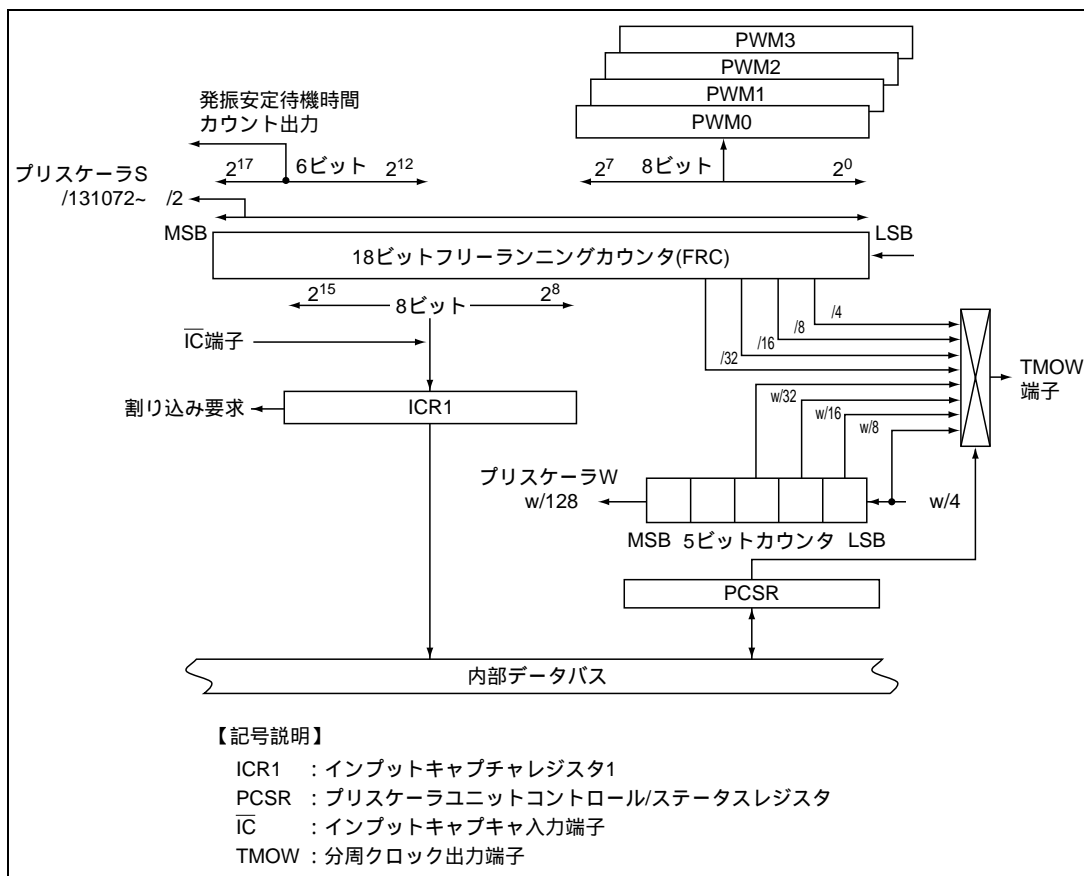


図 22.1 プリスケアラユニットのブロック図

22.1.3 端子構成

プリスケラユニットの端子構成を表 22.1 に示します。

表 22.1 端子構成

名 称	略称	入出力	機 能
インプットキャプチャ入力	IC	入力	プリスケラユニットインプットキャプチャ入力端子
分周クロック出力	TMOW	出力	プリスケラユニット分周クロック出力端子

22.1.4 レジスタ構成

プリスケラユニットのレジスタ構成を表 22.2 に示します。

表 22.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス*
インプットキャプチャレジスタ 1	ICR1	R	バイト	H'00	H'D12C
プリスケラユニットコントロール/ステータスレジスタ	PCSR	R/W	バイト	H'08	H'D12D

【注】* アドレスは下位 16 ビットを示します。

22.2 各レジスタの説明

22.2.1 インプットキャプチャレジスタ 1 (ICR1)

ビット:	7	6	5	4	3	2	1	0
	ICR17	ICR16	ICR15	ICR14	ICR13	ICR12	ICR11	ICR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

インプットキャプチャレジスタ 1 (ICR1) は IC 端子のエッジにより、FRC の $2^{15} \sim 2^8$ の 8 ビットのデータをキャプチャします。

ICR1 は、8 ビットのリード専用レジスタです。ライトは無効となります。スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード後は、最初のキャプチャが発生するまで、ICR1 の値は不定です。リセット時、H'00 に初期化されます。

22.2.2 プリスケーラユニットコントロール/ステータスレジスタ (PCSR)

ビット:	7	6	5	4	3	2	1	0
	ICIF	ICIE	ICEG	NCon/off		DCS2	DCS1	DCS0
初期値:	0	0	0	0	1	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W		R/W	R/W	R/W

【注】* フラグクリアのための 0 ライトのみ可能です。

プリスケラユニットコントロール/ステータスレジスタ (PCSR) は、インプットキャプチャ機能の制御、TMOW 端子から出力する分周クロックの選択を行います。

PCSR は、8 ビットのリード/ライト可能なレジスタです。リセット時、PCSR は H'08 に初期化されます。

22. プリスケーラユニット

ビット7：インプットキャプチャインタラプトフラグ (ICIF)

インプットキャプチャによる割り込み要求フラグです。 \overline{IC} 端子のエッジにより、インプットキャプチャが行われたことを示します。

ビット7	説明
ICIF	
0	[クリア条件] 1をリード後、0をライトしたとき (初期値)
1	[セット条件] \overline{IC} 端子のエッジにより、インプットキャプチャが行われたとき

ビット6：インプットキャプチャインタラプトイネーブル (ICIE)

\overline{IC} 端子のエッジによるインプットキャプチャによって、ICIFが1にセットされたとき、インプットキャプチャによる割り込みの発生を許可/禁止します。

ビット6	説明
ICIE	
0	インプットキャプチャによる割り込みの発生を禁止 (初期値)
1	インプットキャプチャによる割り込みの発生を許可

ビット5： \overline{IC} 端子エッジセレクト (ICEG)

\overline{IC} 端子の入力エッジセンスを選択します。

ビット5	説明
ICEG	
0	\overline{IC} 端子入力の立ち下がりエッジを検出 (初期値)
1	\overline{IC} 端子入力の立ち上がりエッジを検出

ビット4：ノイズキャンセル ON/OFF (NCon/off)

\overline{IC} 端子のノイズキャンセル機能の有効/無効の選択を行います。ノイズキャンセル機能については、「22.3 ノイズキャンセル回路」を参照してください。

ビット4	説明
NCon/off	
0	\overline{IC} 端子のノイズキャンセル機能は無効 (初期値)
1	\overline{IC} 端子のノイズキャンセル機能は有効

ビット3：リザーブビット

リードすると常に、1が読み出されます。ライトは無効です。

ビット2～0：分周クロック出力セレクト（DCS2～DCS0）

TMOW 端子から出力する8種類の分周クロックを選択します。

ビット2	ビット1	ビット0	説 明
DCS2	DCS1	DCS0	
0	0	0	PSS、 /32 を出力 (初期値)
		1	PSS、 /16 を出力
	1	0	PSS、 /8 を出力
		1	PSS、 /4 を出力
1	0	0	PSW、 W/32 を出力
		1	PSW、 W/16 を出力
	1	0	PSW、 W/8 を出力
		1	PSW、 W/4 を出力

22.2.3 ポートモードレジスタ1（PMR1）

ビット：	7	6	5	4	3	2	1	0
	PMR17	PMR16	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ1（PMR1）は、ポート1の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR1は、8ビットのリード/ライト可能なレジスタです。リセット時、PMR1はH'00に初期化されます。

ビット7：P17/TMOW 端子切り替え（PMR17）

P17/TMOW 端子を P17 入出力端子として使用するか、分周クロック出力の TMOW 端子として使用するかを設定します。

ビット7	説 明
PMR17	
0	P17/TMOW 端子は、P17 入出力端子として機能 (初期値)
1	P17/TMOW 端子は、TMOW 出力端子として機能

ビット6：P16/ $\bar{I}C$ 端子切り替え（PMR16）

P16/ $\bar{I}C$ 端子を P16 入出力端子として使用するか、プリスケラユニットのインプットキャプチャ入力の $\bar{I}C$ 端子として使用するかを設定します。

ビット6	説 明
PMR16	
0	P16/ $\bar{I}C$ 端子は、P16 入出力端子として機能 (初期値)
1	P16/ $\bar{I}C$ 端子は、 $\bar{I}C$ 入力端子として機能

22.3 ノイズキャンセル回路

\overline{IC} 端子には、ノイズキャンセル回路が内蔵されています。リモコン受信などのノイズのプロテクトに使用できます。ノイズキャンセル回路は、 \overline{IC} 端子の入力値を 256 ステートの間隔で二度サンプリングし、入力値が異なっていればノイズと見なします。

\overline{IC} 端子は、プリスケラユニットコントロール/ステータスレジスタ (PCSR) のビット 4 (NCon/off) により、ノイズキャンセル機能の有効/無効を指定することができます。

22.4 動作説明

22.4.1 プリスケーラ S (PSS)

PSS はシステムクロック (f_{osc}) を入力クロックとする 17 ビットのカウンタで、周辺機能の分周クロック ($f_{1/131072} \sim f_{1/2}$) を生成します。18 ビットのフリーランニングカウンタ (FRC) の下位 17 ビットが PSS となります。FRC は 1 クロックごとにカウントアップします。PSS の出力は、タイマ、シリアルコミュニケーションインタフェース (SCI) などで共有しており、分周比は各内蔵周辺機能で独立に設定できます。

リセット時、FRC は H'00000 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、サブアクティブモード、および、サブスリープモードでは、システムクロック発振器が停止するため、PSS の動作も停止します。このときも、FRC は H'00000 に初期化されます。

CPU から FRC のリードまたはライトはできません。

22.4.2 プリスケラ W (PSW)

PSW はサブクロックを入力クロックとするカウンタです。また PSW は、タイマ A の入力クロックを生成します。このとき、タイマ A は時計用タイムベースとして機能します。

リセット時、PSW は H'00 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード*、ウォッチモード*、サブアクティブモード*、および、サブスリープモード*に遷移しても、X1、X2 端子によりクロックが供給されている限り、PSW は動作を継続します。

また、PSW は、タイマモードレジスタ A (TMA) の TMA3、TMA2 ビットを 11 に設定することで H'00 に初期化できます。

【注】* タイマ A がモジュールストップモードの時は、動作を停止します。

PSS、PSW による周辺機能へのクロックの供給を図 22.2 に示します。

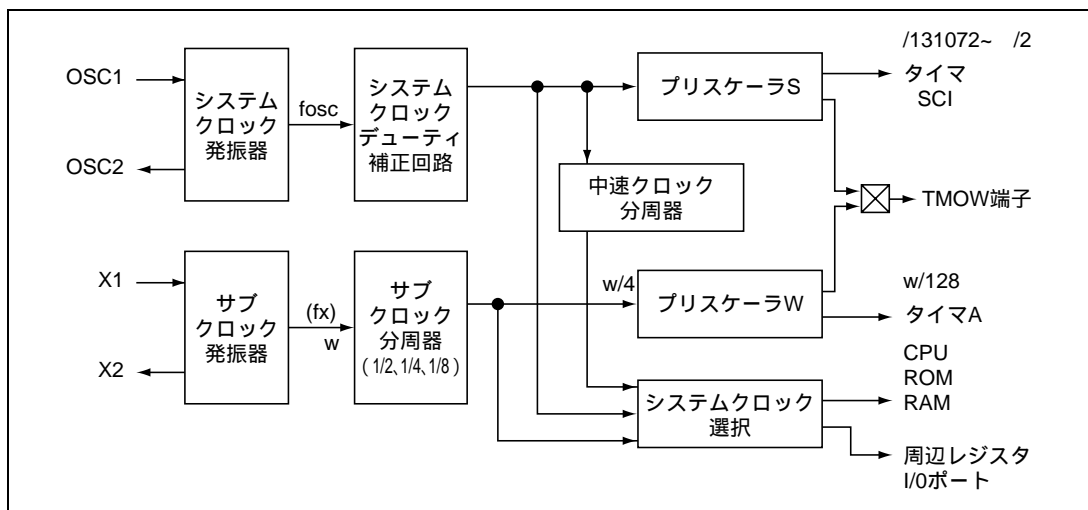


図 22.2 クロック供給

22.4.3 発振安定待機時間カウント

スリープモードを除く低消費電力モードからの復帰時の発振安定待機時間のカウントについては、「第 4 章 低消費電力状態」を参照してください。

22.4.4 8 ビット PWM

変換周期 256 ステートのデューティ制御 PWM 信号を制御します。FRC の $2^7 \sim 2^0$ で、周期およびデューティ期間をカウントします。リールモータ、ローディングモータの制御などに利用できます。詳細は、「第 19 章 8 ビット PWM」を参照してください。

22.4.5 \overline{IC} 端子による 8 ビットインプットキャプチャ

\overline{IC} 端子のエッジにより、FRC の $2^{15} \sim 2^8$ の 8 ビットをキャプチャします。リモコン受信などに利用できます。

\overline{IC} 端子のエッジは、立ち上がり/立ち下がりエッジの選択が可能です。

\overline{IC} 端子には、ノイズキャンセル回路が内蔵されています。「22.3 ノイズキャンセル回路」を参照してください。

\overline{IC} 端子によるインプットキャプチャで、割り込み要求が発生します。

【注】 ICEG ビット、NCon/off ビットまたは、PMR16 ビットの書き替え時、 \overline{IC} 端子の状態、検出エッジの組み合わせによっては、エッジ検出と誤認し、最大 384 後に ICIF ビットがセットされることがあります。

22.4.6 分周クロック出力

TMOW 端子から、分周クロックの出力が可能です。分周クロックは、PCSR の DCS2 ~ DCS0 ビットにより、8 種類のクロックが選択できます。

システムクロックを分周したクロックは、アクティブモードおよびスリープモードで出力され、サブクロックを分周したクロックは、アクティブモード*、スリープモード*、サブアクティブモードで出力されます。

【注】 * タイマ A がモジュールストップモードの時は、クロックが出力されません。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

23.1 概要

シリアルコミュニケーションインタフェース 1 (SCI1: Serial Communication Interface) は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

23.1.1 特長

SCI1 の特長を以下に示します。

- (1) シリアル通信モードを調歩同期式モード/クロック同期式モードから選択可能
 - (a) 調歩同期式モード
 - キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
 - 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
 - シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
 - データ長 : 7ビット/8ビット
 - ストップビット長 : 1ビット/2ビット
 - パリティ : 偶数パリティ/奇数パリティ/パリティなし
 - マルチプロセッサビット : 1/0
 - 受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラー
 - ブレークの検出: フレーミングエラー発生時に SI1 端子のレベルを直接リードすることによりブレークを検出可能
 - (b) クロック同期式モード
 - クロックに同期してシリアルデータ通信を実行
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
 - シリアルデータ通信フォーマットは 1 種類
 - データ長 : 8ビット
 - 受信エラーの検出: オーバランエラーを検出
- (2) 全二重通信が可能
 - 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
 - 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能
- (3) 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- (4) 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK1 端子からの外部クロックから選択可能
- (5) 4 種類の割り込み要因
 - 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因

があり、それぞれ独立に要求可能

23.1.2 ブロック図

図 23.1 に SCI1 のブロック図を示します。

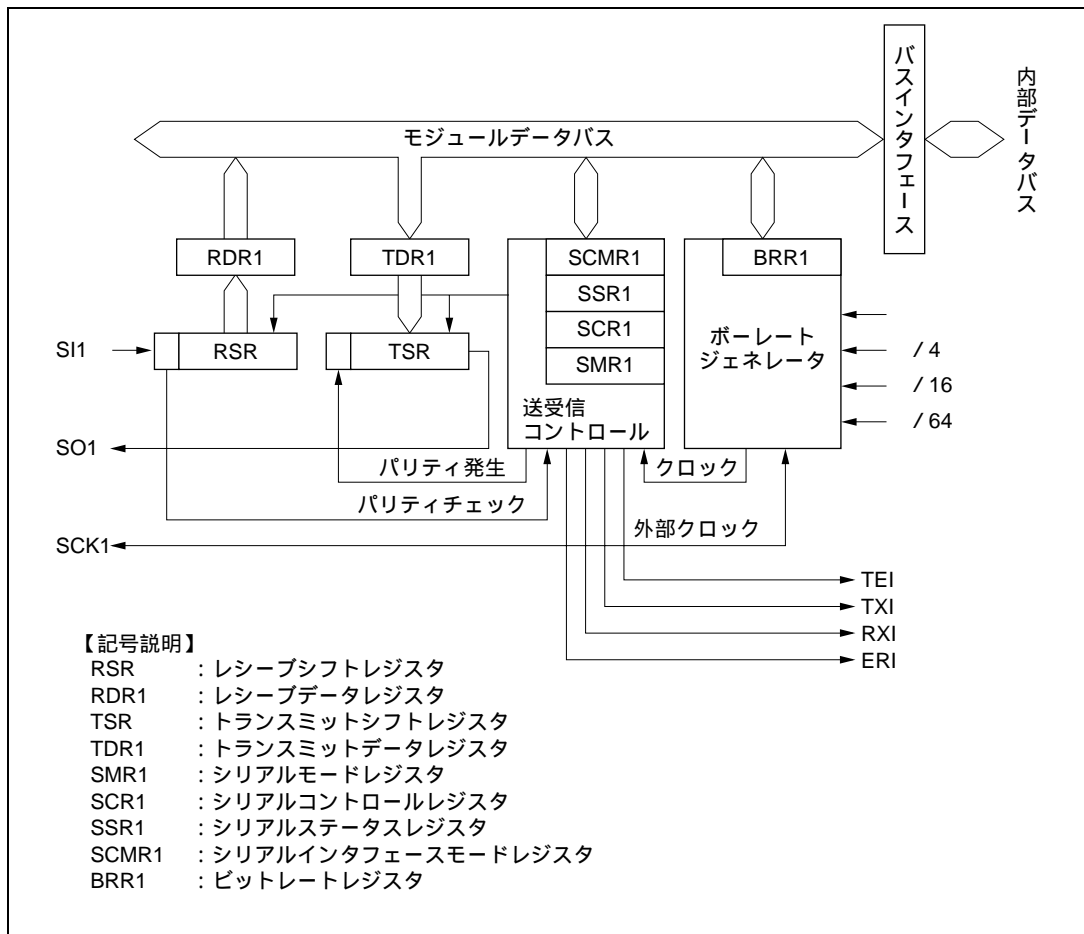


図 23.1 SCI1 のブロック図

23.1.3 端子構成

SCI1 は、表 23.1 に示すシリアル端子を持っています。

表 23.1 端子構成

チャンネル	名 称	記号	入出力	機 能
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	SI1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	SO1	出力	SCI1 の送信データ出力

23.1.4 レジスタ構成

SCI1 には、表 23.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期モード/クロック同期モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 23.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'D148
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'D149
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'D14A
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'D14B
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'D14C
	レシーブデータレジスタ 1	RDR1	R	H'00	H'D14D
	シリアルインタフェースモードレジスタ 1	SCMR1	R/W	H'F2	H'D14E
共通	モジュールストップ コントロールレジスタ	MSTPCR1	R/W	H'FF	H'FFEC
		MSTPCRL	R/W	H'FF	H'FFED

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 フラグをクリアするための 0 ライトのみ可能です。

23.2 各レジスタの説明

23.2.1 レシーブシフトレジスタ (RSR)

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
R/W :								

RSR は、シリアルデータを受信するためのレジスタです。

SCI1 は、RSR に SII 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR1 へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

23.2.2 レシーブデータレジスタ (RDR1)

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR1 は、受信したシリアルデータを格納するレジスタです。

SCI1 は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR1 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR1 はダブルバッファになっているため連続した受信動作が可能です。

RDR1 は、リード専用レジスタです。CPU からライトすることはできません。

RDR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

23.2.3 トランスミットシフトレジスタ (TSR)

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
R/W :								

TSR は、シリアルデータを送信するためのレジスタです。

SCI1 は、TDR1 から送信データをいったん TSR に転送し、LSB (ビット 0) から順に SO1 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR1 から TSR へ次の送信データを転送し、送信を開始します。ただし SSR1 の TDRE ビットが 1 にセットされている場合には、TDR1 から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

23.2.4 トランスミットデータレジスタ (TDR1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR1 は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI1 は、TSR の空を検出すると、TDR1 にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR1 に次の送信データをライトしておくこと、連続シリアル送信ができます。

TDR1 は、常に CPU によるリード/ライトが可能です。

TDR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

23.2.5 シリアルモードレジスタ (SMR1)

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR1 は、SCI1 のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR1 は、常に CPU によるリード/ライトが可能です。

SMR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット7 : コミュニケーションモード (C/ \bar{A})

SCI1 の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット7	説明	
C/ \bar{A}		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

23. シリアルコミュニケーションインタフェース 1 (SCI1)

ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR1 の MSB (ビット 7) は送信されません。
また、LSB ファースト/MSB ファーストの選択はできません。

ビット 5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4 : パリティモード (O/E)

パリティの付加やチェックを偶数パリティ/奇数パリティのいずれで行うかを選択します。

O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合、およびマルチプロセッサフォーマットでは、O/E ビットの指定は無効です。

ビット 4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明	
STOP		
0	1 ストップビット*1	(初期値)
1	2 ストップビット*2	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、およびO/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「23.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説 明	
MP		
0	マルチプロセッサ機能の禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット 1, 0 : クロックセレクト 1, 0 (CKS1, CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定により、
、 /4、 /16、 /64 の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「23.2.8 ビットレートレジスタ」を参照してください。

ビット 1	ビット 0	説 明	
CKS1	CKS0		
0	0	クロック	(初期値)
	1	/4 クロック	
1	0	/16 クロック	
	1	/64 クロック	

23.2.6 シリアルコントロールレジスタ (SCR1)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR1 は、SCI1 の送信/受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCR1 は、常に CPU によるリード/ライトが可能です。

SCR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7 : トランスミットインタラプトイネーブル (TIE)

TDR1 から TSR ヘシリアル送信データが転送され SSR1 の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み (TXI) 要求の発生を許可または禁止します。

ビット 7	説明
TIE	
0	送信データエンpty割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンpty割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット 6 : レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR1 へ転送されて SSR1 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

ビット 5 : トランスミットイネーブル (TE)

SCI1 のシリアル送信動作の開始を許可または禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *1 SSR1 の TDRE フラグは 1 に固定されます。

*2 この状態で、TDR1 に送信データをライトして、SSR1 の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ず SMR1 の設定を行い、送信フォーマットを決定してください。

ビット 4 : レシーブイネーブル (RE)

SCI1 のシリアル受信動作の開始を許可または禁止します。

ビット 4	説 明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR1 の設定を行い、受信フォーマットを決定してください。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR1 の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR1 の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは、RSR から RDR1 への受信データの転送、および受信エラーの検出と SSR1 の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR1 の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR1 の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR1 がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR1 の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI1 のクロックソースの選択、および SCK1 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK1 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR1 で SCI1 の動作モードを決定したのち、CKE1、CKE0 の設定を行ってください。

SCI1 のクロックソースの選択についての詳細は「23.3 動作説明」の表 23.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK1 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック/SCK1 端子は同期クロック出力* ¹
	1	調歩同期式モード	内部クロック/SCK1 端子はクロック出力* ²
		クロック同期式モード	内部クロック/SCK1 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK1 端子はクロック入力* ³
		クロック同期式モード	外部クロック/SCK1 端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK1 端子はクロック入力* ³
		クロック同期式モード	外部クロック/SCK1 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

23.2.7 シリアルステータスレジスタ (SSR1)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

SCI1 の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR1 は常に CPU からリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグおよび MPB フラグはリード専用であり、ライトすることはできません。

SSR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'84 に初期化されます。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

ビット7: トランスミットデータレジスタエンpty (TDRE)

TDR1 から TSR にデータ転送が行われ、TDR1 に次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] TDRE = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] (初期値) (1) SCR1 の TE ビットが 0 のとき (2) TDR1 から TSR にデータ転送が行われ、TDR1 にデータライトが可能になったとき

ビット6: レシーブデータレジスタフル (RDRF)

受信したデータが RDR1 に格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) RDRF = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR1 へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCR1のREビットを0にクリアしたときにはRDR1およびRDRFフラグは影響を受けず以前の状態を保持します。

RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。

ビット5: オーバランエラー (ORER)

受信時にオーバーランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	[クリア条件] (初期値)* ¹ ORER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき* ²

【注】 *¹ SCR1 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR1 ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 4 : フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説 明
FER	
0	[クリア条件] (初期値)* ¹ FER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] SCI1 が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ²

- 【注】 *1 SCR1 の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。
- *2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR1 に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット 3	説 明
PER	
0	[クリア条件] (初期値)* ¹ PER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた 1 の数が、SMR1 の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき* ²

- 【注】 *1 SCR1 の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。
- *2 パリティエラーが発生したときの受信データは RDR1 に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

ビット 2 : トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR1 に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット 2	説 明
TEND	
0	[クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	[セット条件] (初期値) (1) SCR1 の TE ビットが 0 のとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット 1 : マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット 1	説 明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが 0 のデータを受信したとき
1	[セット条件] マルチプロセッサビットが 1 のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR1 の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット 0 : マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットではないとき、あるいは送信でないとき、およびクロック同期式モードには MPBT ビットの設定は無効です。

ビット 0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信したとき (初期値)
1	マルチプロセッサビットが 1 のデータを送信したとき

23.2.8 ビットレートレジスタ (BRR1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR1 は、SMR1 の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

BRR1 は、常に CPU によるリード/ライトが可能です。

BRR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

表 23.3 に調歩同期式モードの BRR1 の設定例を表 23.4 にクロック同期式モードの BRR1 の設定例を示します。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

表 23.3 ビットレートに対する BRR1 の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	-	-	-	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	-	-	-	0	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

23. シリアルコミュニケーションインタフェース1 (SCI1)

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)					
	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25
150	2	127	0.00	2	129	0.16
300	1	255	0.00	2	64	0.16
600	1	127	0.00	1	129	0.16
1200	0	255	0.00	1	64	0.16
2400	0	127	0.00	0	129	0.16
4800	0	63	0.00	0	64	0.16
9600	0	31	0.00	0	32	- 1.36
19200	0	15	0.00	0	15	1.73
31250	0	9	- 1.70	0	9	0.00
38400	0	7	0.00	0	7	1.73

23. シリアルコミュニケーションインタフェース 1 (SCI1)

表 23.4 ビットレートに対する BRR1 の設定例〔クロック同期式モード〕

ビットレート (bit/s)	動作周波数 (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110	3	70	-	-				
250	2	124	2	249	3	124	-	-
500	1	249	2	124	2	249	-	-
1k	1	124	1	249	2	124	-	-
2.5k	0	199	1	99	1	199	1	249
5k	0	99	0	199	1	99	1	124
10k	0	49	0	99	0	199	0	249
25k	0	19	0	39	0	79	0	99
50k	0	9	0	19	0	39	0	49
100k	0	4	0	9	0	19	0	24
250k	0	1	0	3	0	7	0	9
500k	0	0*	0	1	0	3	0	4
1M			0	0*	0	1		
2.5M							0	0*
5M								

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

- 空欄 : 設定できません
 - : 設定可能ですが誤差がでます
 * : 連続送信/受信はできません

BRR1 の設定値は以下の計算式で求められます。

- 調歩同期式モード

$$N = \frac{1}{64 \times 2^{2n-1} \times B} \times 10^{6 \cdot 1}$$

- クロック同期式モード

$$N = \frac{1}{8 \times 2^{2n-1} \times B} \times 10^{6 \cdot 1}$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR1 の設定値 (0 N 255)

: 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0~3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR1 の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 23.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 23.6、表 23.7 に外部クロック入力時の最大ビットレートを示します。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

表 23.5 各周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0

表 23.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250

表 23.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7

23.2.9 シリアルインタフェースモードレジスタ (SCMR1)

ビット :	7	6	5	4	3	2	1	0
					SDIR	SINV		SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :					R/W	R/W		R/W

SCMR1 は、8 ビットのリード/ライト可能なレジスタで、SCI1 の機能の選択を行います。

SCMR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、HF2 に初期化されます。

ビット7~4: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット3: データトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDR1 の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR1 に格納 (初期値)
1	TDR1 の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR1 に格納

ビット2: データインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR1 の O/E ビットを反転する必要があります。

ビット2	説明
SINV	
0	TDR1 の内容をそのまま送信 受信データをそのまま RDR1 に格納 (初期値)
1	TDR1 の内容を反転してデータを送信 受信データを反転して RDR1 に格納

ビット1: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

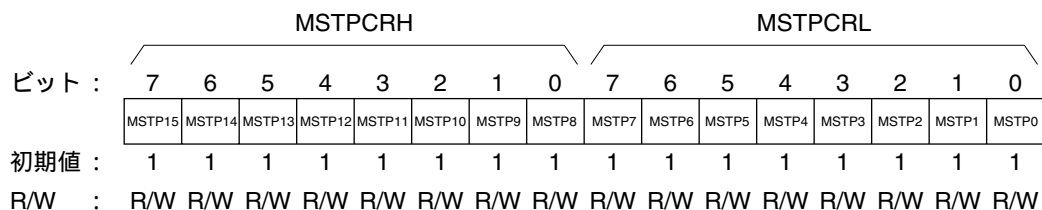
23. シリアルコミュニケーションインタフェース 1 (SCI1)

ビット 0 : シリアルコミュニケーションインタフェースモードセレクト (SMIF)

1 をライトしないでください。

ビット 0	説 明
SMIF	
0	通常 SCI1 モード (初期値)
1	リザーブモード

23.2.10 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP8 ビットを 1 にセットすると、バスサイクルの終了時点で SCI1 はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 0 : モジュールストップ (MSTP8)

SCI1 のモジュールストップモードを指定します。

MSTPCRH	説 明
ビット 0	
MSTP8	
0	SCI1 のモジュールストップモード解除
1	SCI1 のモジュールストップモード設定 (初期値)

23.3 動作説明

23.3.1 概要

SCI1 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR1 で行います。これを表 23.8 に示します。また、SCI1 のクロックソースは、SMR1 の C/A ビットおよび SCR1 の CKE1、CKE0 ビットの組み合わせでできまります。これを表 23.9 に示します。

(1) 調歩同期式モード

- データ長：7 ビット/8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビット/2 ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI1 のクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI1 はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要（内蔵ポーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信/受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI1 のクロックソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI1 はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：
内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

23. シリアルコミュニケーションインタフェース 1 (SCI1)

表 23.8 SMR1 の設定値とシリアル送信/受信フォーマット

SMR1 の設定値					モード	SCI1 の送信/受信フォーマット				
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長	
C/ \bar{A}	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット	
				1					2ビット	
			1	0					1ビット	
				1					2ビット	
			1	0					1ビット	
				1					2ビット	
	1	0	1	-		調歩同期式 モード (マルチプロ セッサフォーマ ット)	8ビット データ	あり	なし	1ビット
				1						2ビット
		1		-			7ビット データ			1ビット
				1			2ビット			
		1		-			7ビット データ			1ビット
				1			2ビット			
1	-	-	1	クロック 同期式モード	8ビット データ		なし		なし	
	-	-	-						なし	

表 23.9 SMR1、SCR1 の設定と SCI1 のクロックソースの選択

SMR1 ビット 7	SCR1 の設定		モード	SCI1 の送信/受信クロック	
	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI1 は、SCK1 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

23.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI1 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 23.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI1 は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI1 は受信時にスタートビットの立ち下がリエッジで同期化を行います。また SCI1 は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

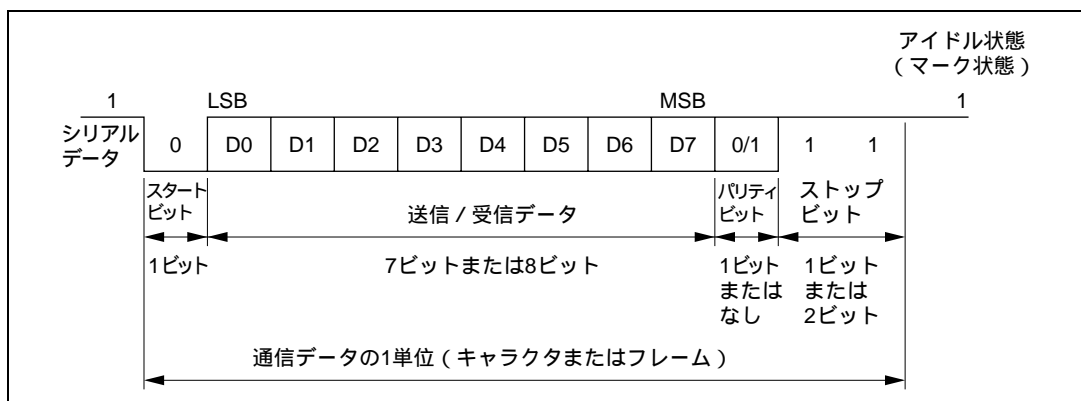


図 23.2 調歩同期式通信のデータフォーマット
(8 ビットデータ/パリティあり/2 ストップビットの例)

23. シリアルコミュニケーションインタフェース 1 (SCI1)

(1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 23.10 に示します。
送信/受信フォーマットは 12 種類あり、SMR1 の選定により選択できます。

表 23.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMR1の設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

(2) クロック

SCI1 の送受信クロックは、SMR1 の C/\bar{A} ビットと SCR1 の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK1 端子から入力された外部クロックの 2 種類から選択できます。SCI1 のクロックソースの選択については表 23.9 を参照してください。

外部クロックを SCK1 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK1 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 23.3 に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

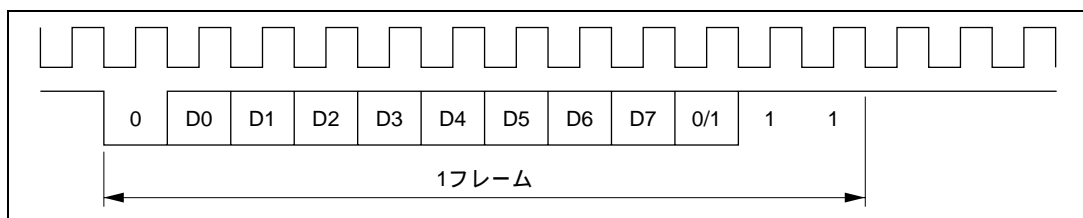


図 23.3 出カクロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信/受信動作

(a) SCI1 の初期化 (調歩同期式)

データの送信/受信前には、まず SCR1 の TE、RE ビットを 0 にクリアした後、以下の順で SCI1 を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR1 の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 23.4 に SCI1 の初期化フローチャートの例を示します。

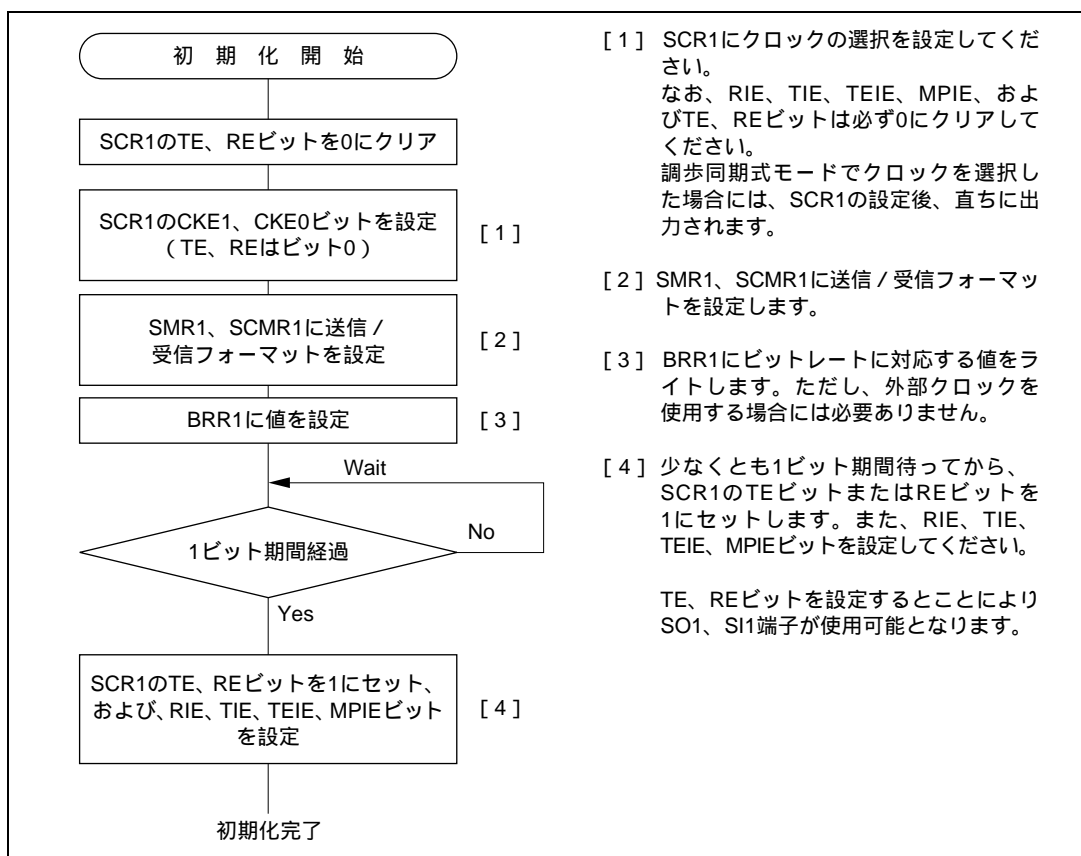


図 23.4 SCI1 の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 23.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

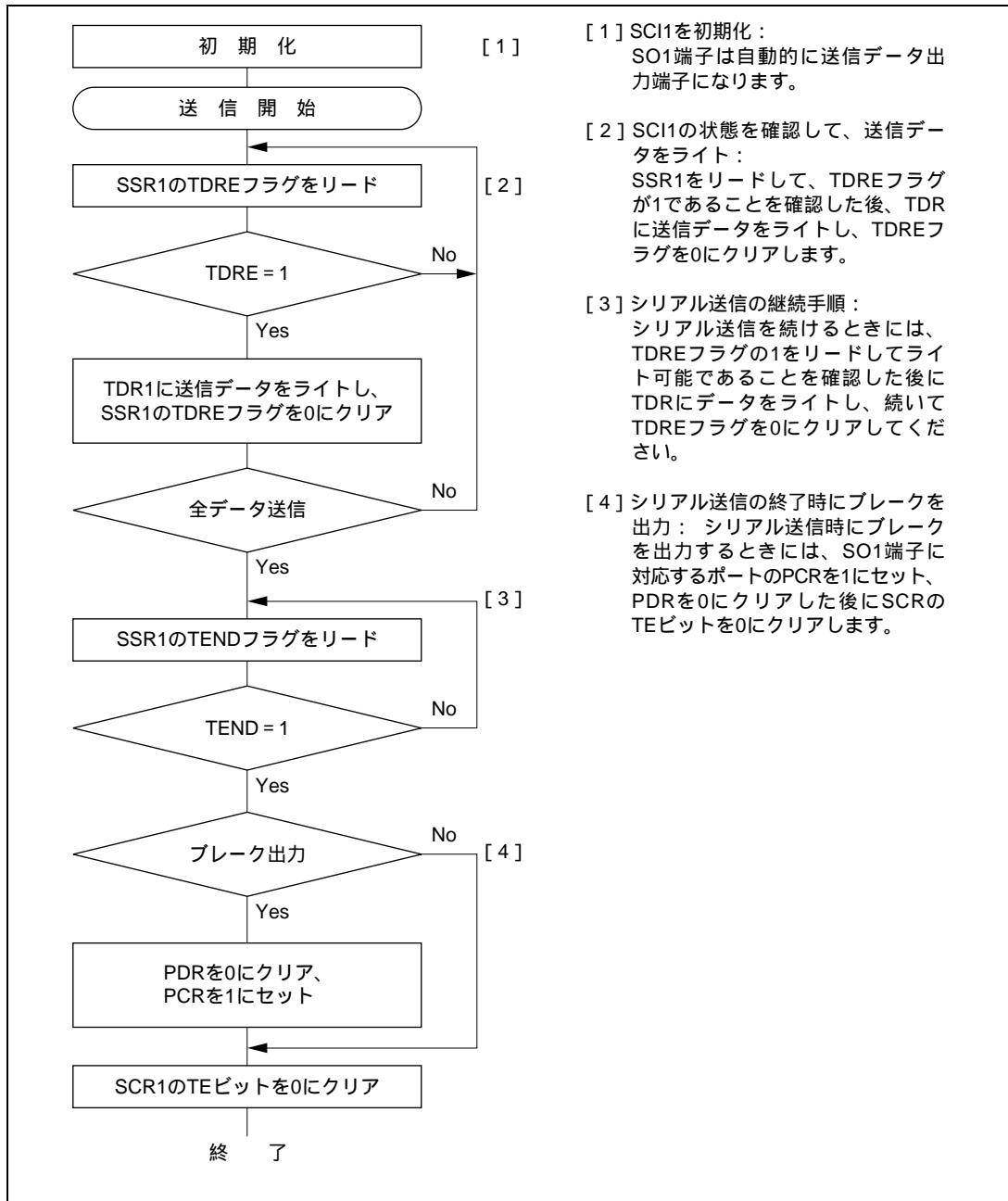


図 23.5 シリアル送信のフローチャートの例

SCI1 はシリアル送信時に以下のように動作します。

- [1] SCI1は、SSR1のTDREフラグを監視し、0であるとTDR1にデータがライトされたと認識し、TDR1からTSRにデータを転送します。
- [2] TDR1からTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCR1のTIEビットが1にセットされていると送信データエンpty割り込み(TXI)要求を発生します。
シリアル送信データは、以下の順にSO1端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット(偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1(ストップビット)が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCI1は、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDR1からTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSR1のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCR1のTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 23.6 に示します。

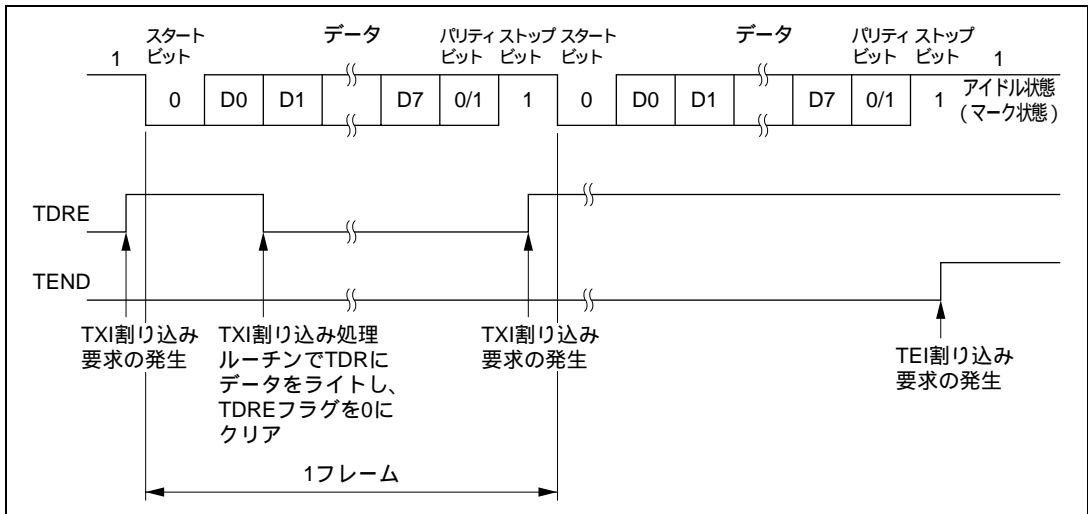


図 23.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 23.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

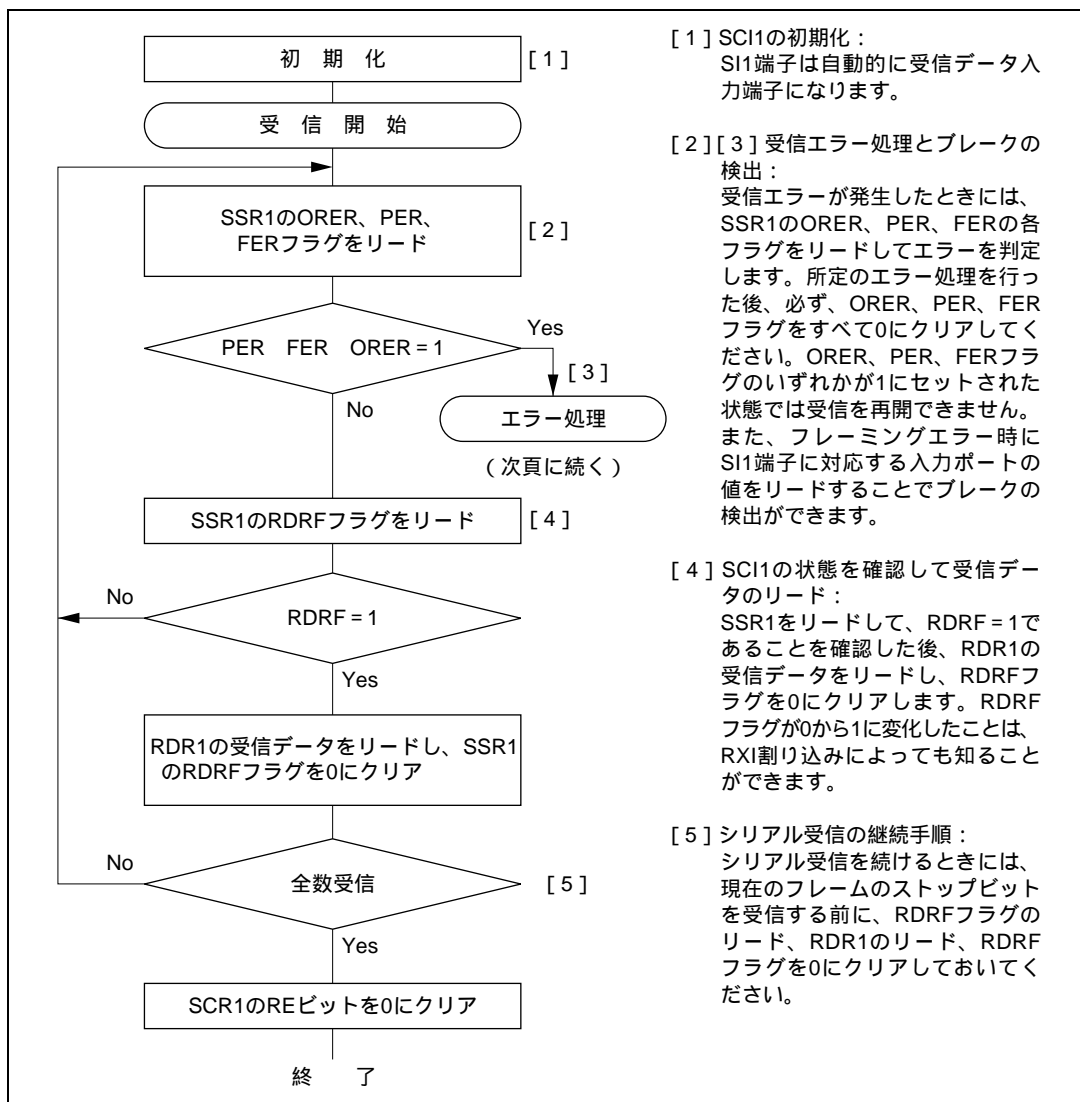


図 23.7 シリアル受信データフローチャートの例 (1)

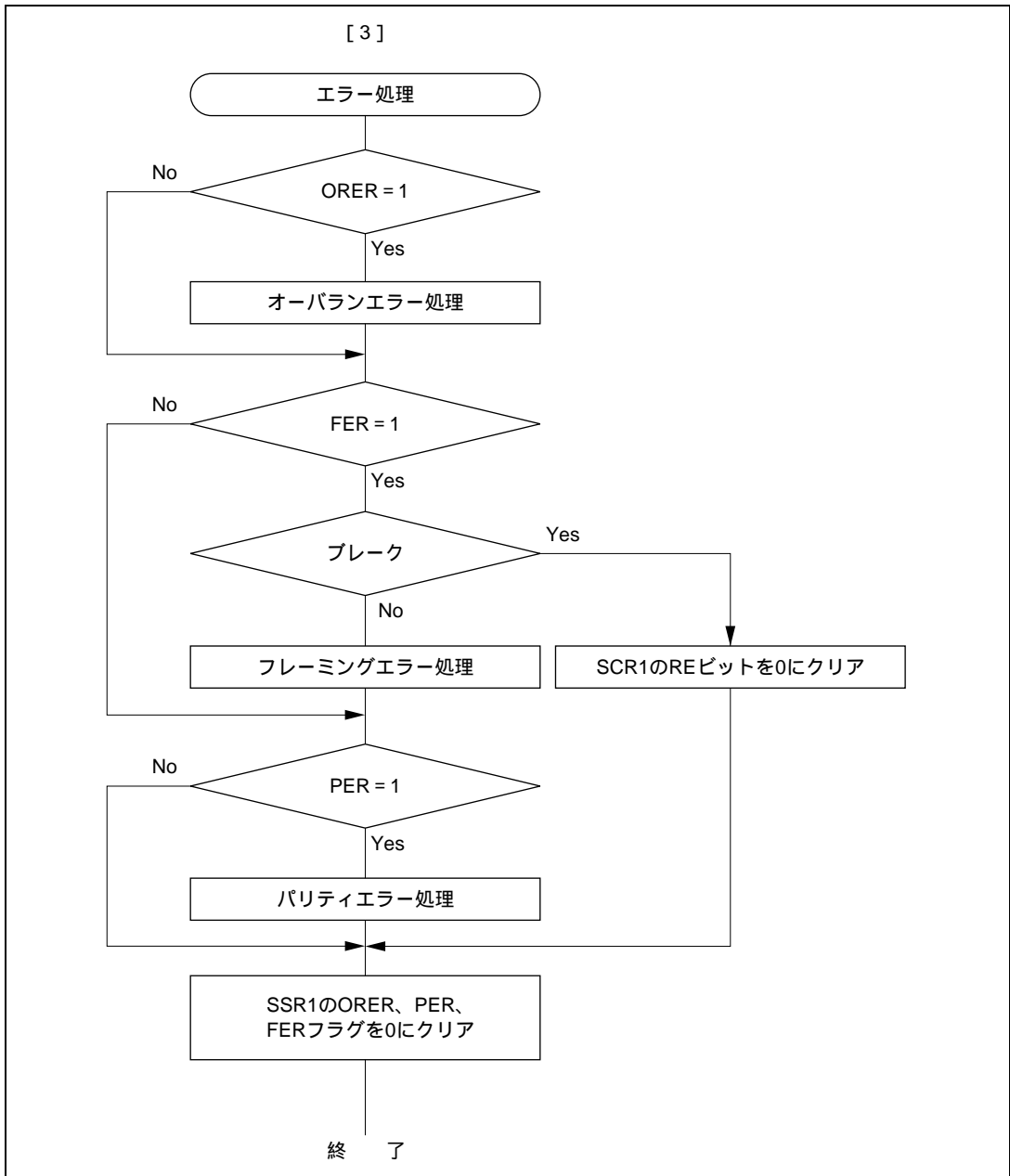


図 23.7 シリアル受信データフローチャートの例 (2)

SCI1 は受信時に以下のように動作します。

- [1] SCI1は通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
- [3] パリティビットおよびストップビットを受信します。
受信後、SCI1は以下のチェックを行います。
 - [a] パリティチェック：
受信データの1の数をチェックし、これがSMR1のO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRFフラグが0であり、受信データをRSRからRDR1に転送できる状態であるかをチェックします。
 以上のチェックをすべて満足したとき、RDRFフラグが1にセットされ、RDR1に受信データが格納されます。
エラーチェックで受信エラー*を発生すると表23.11のように動作します。
- 【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。
- [4] RDRFフラグが1になったとき、SCR1のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCR1のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 23.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR1 の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR1 に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR1 に受信データが転送されます。
パリティエラー	PER	SMR1 で設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSR から RDR1 に受信データが転送されます。

調歩同期式モード受信時の動作例を図 23.8 に示します。

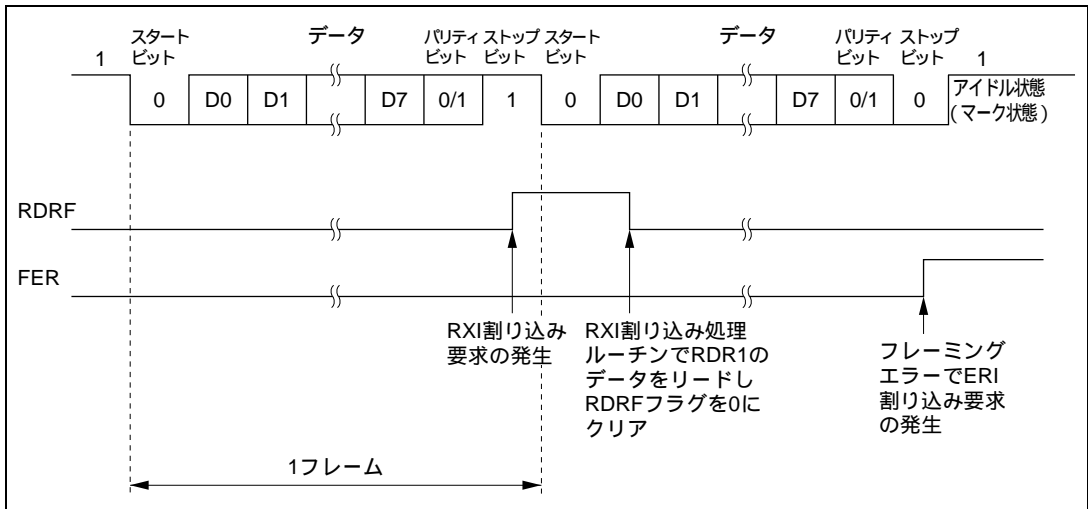


図 23.8 SCI1 の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

23.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 23.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信/受信フォーマット

送信/受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 23.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

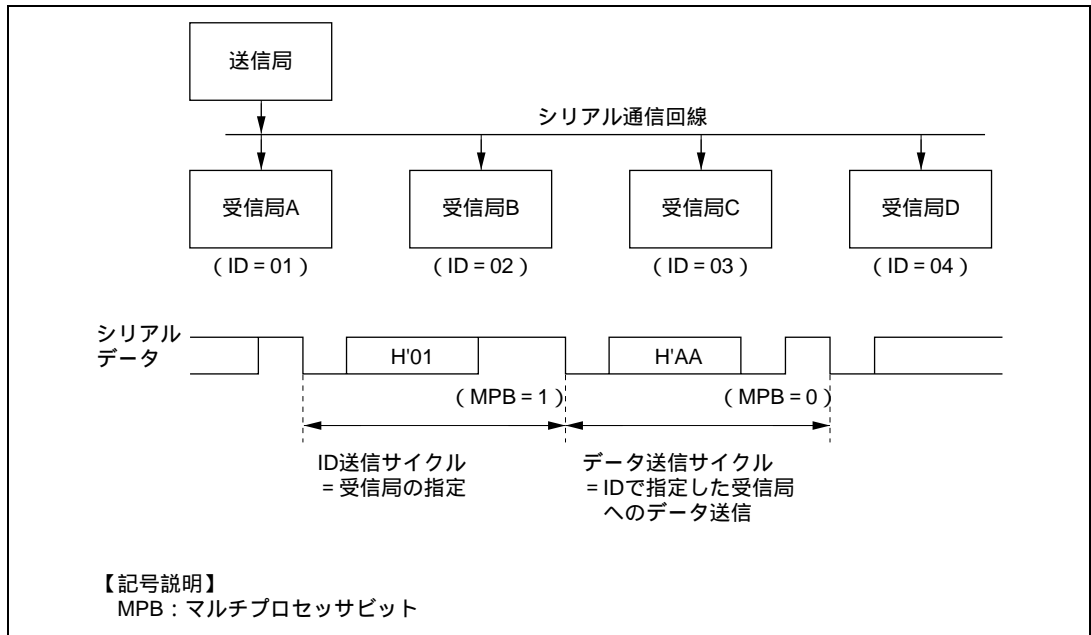


図 23.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信/受信動作

(a) マルチプロセッサシリアルデータ送信

図 23.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

23. シリアルコミュニケーションインタフェース 1 (SCI1)

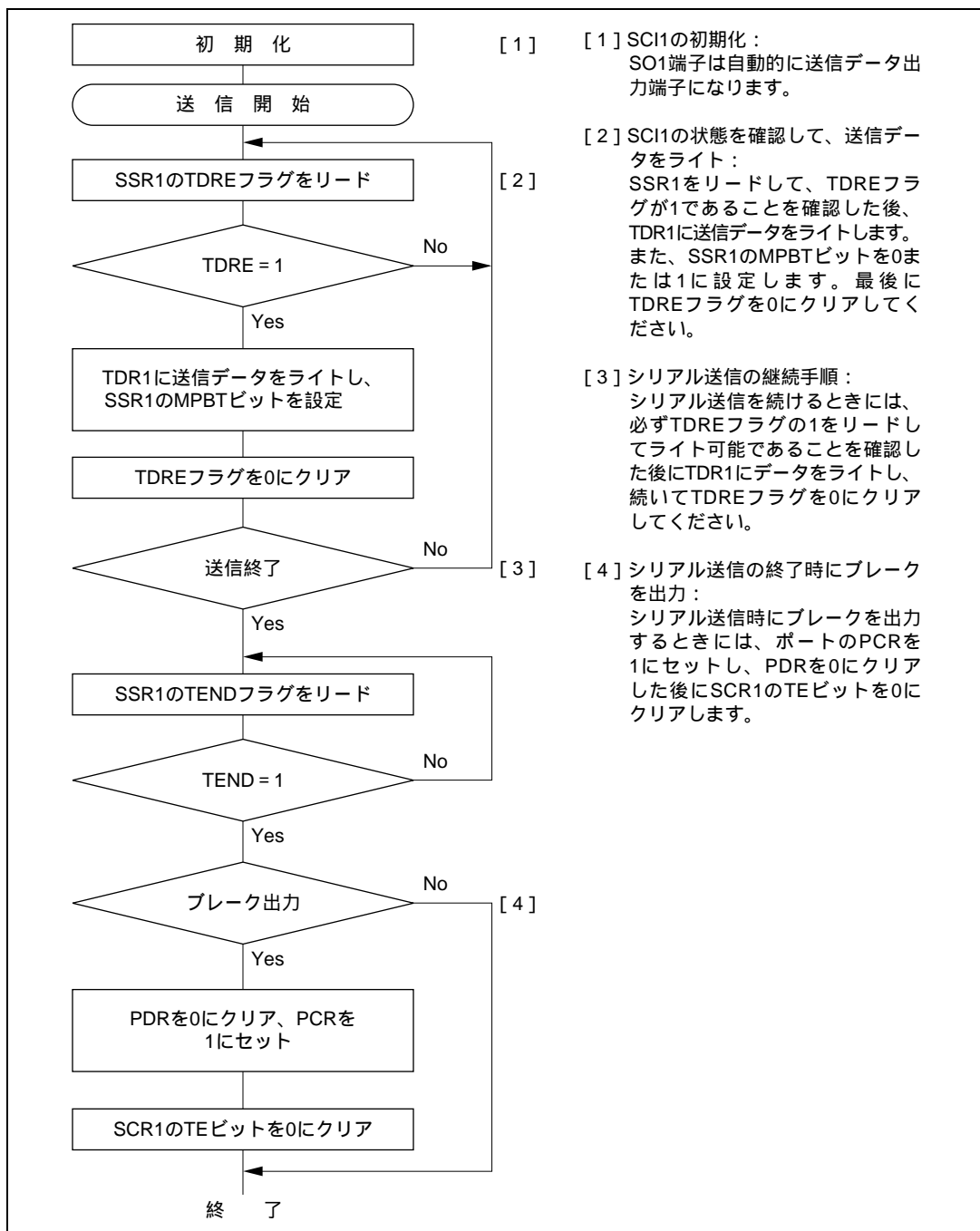


図 23.10 マルチプロセッサシリアル送信のフローチャートの例

SCI1 は、シリアル送信時に以下のように動作します。

- [1] SCI1は、SSR1のTDREフラグを監視し、0であるとTDR1にデータがライトされると認識し、TDR1からTSRにデータを転送します。
- [2] TDR1からTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCR1のTIEビットが1にセットされていると送信データエンpty割り込み(TXI)要求が発生します。
シリアル送信データは、以下の順にSO2端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット/7ビットのデータがLSBから順に出力されます。
 - [c] マルチプロセッサビット：
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - [d] ストップビット：
1ビット/2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCI1は、ストップビットを送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDR1からTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREフラグが1であるとSSR1のTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCR1のTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求が発生します。

図 23.11 にマルチプロセッサフォーマットの SCI1 の送信時の動作例を示します。

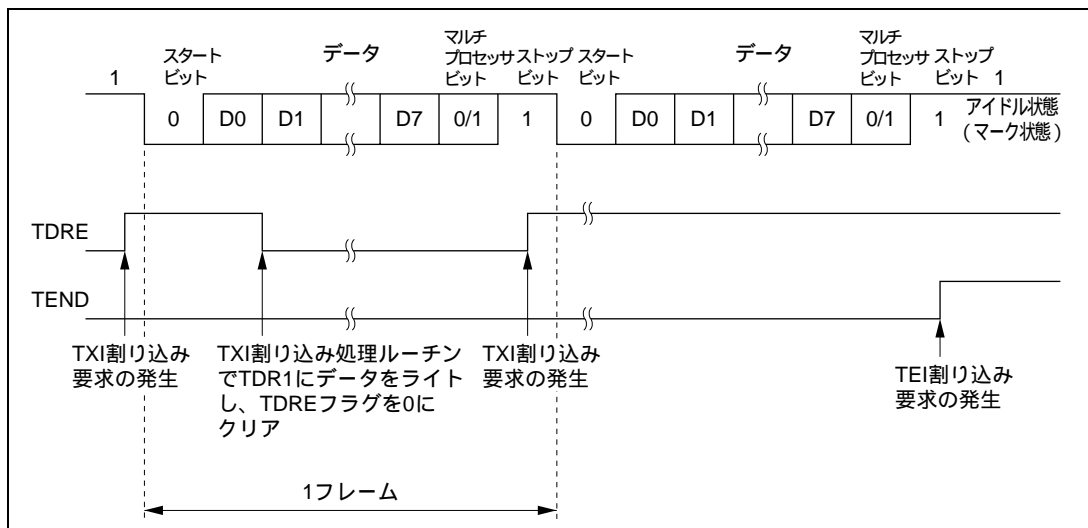


図 23.11 SCI1 の送信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

23. シリアルコミュニケーションインタフェース 1 (SCI1)

(b) マルチプロセッサシリアルデータ受信

図 23.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

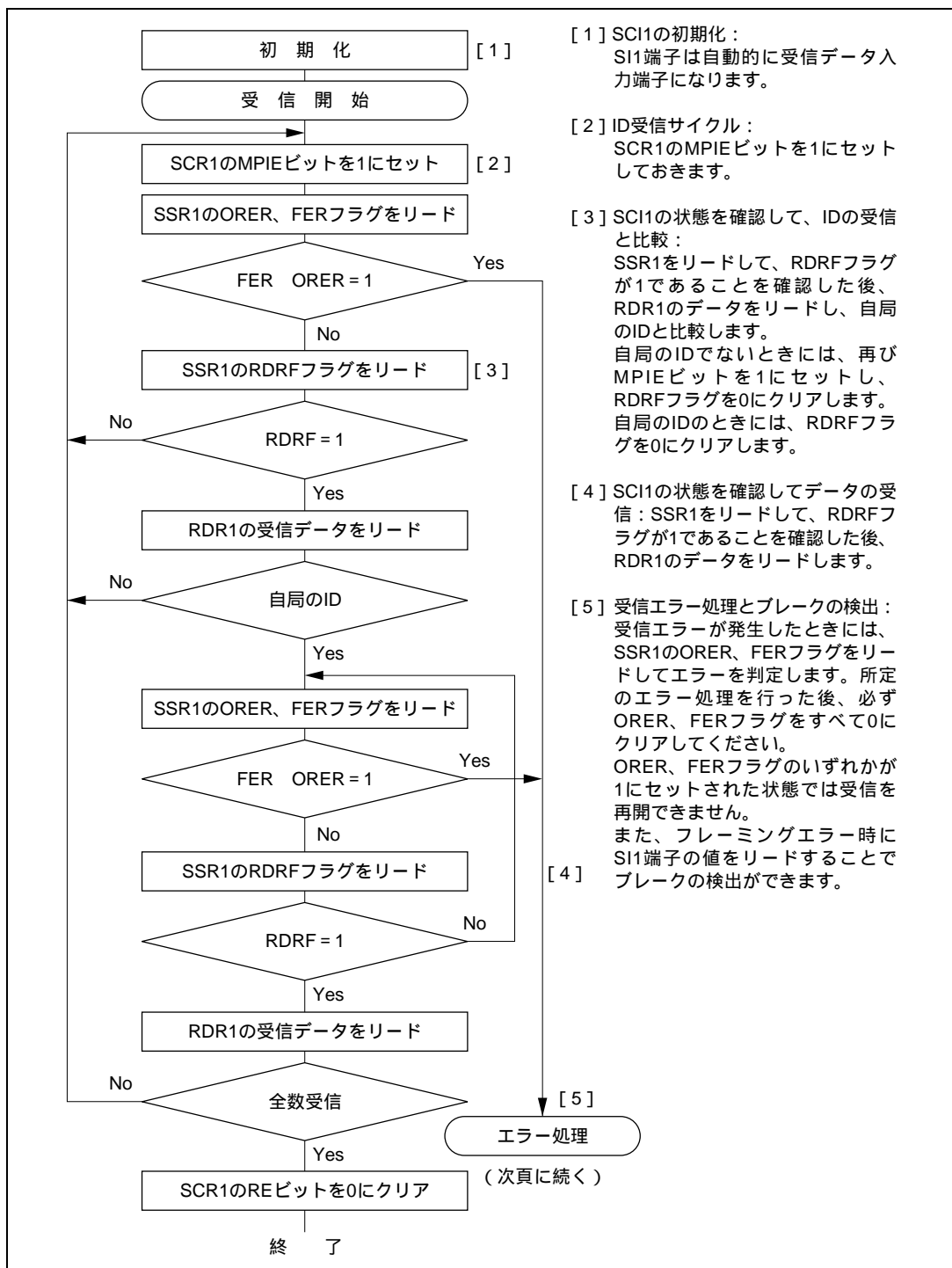


図 23.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

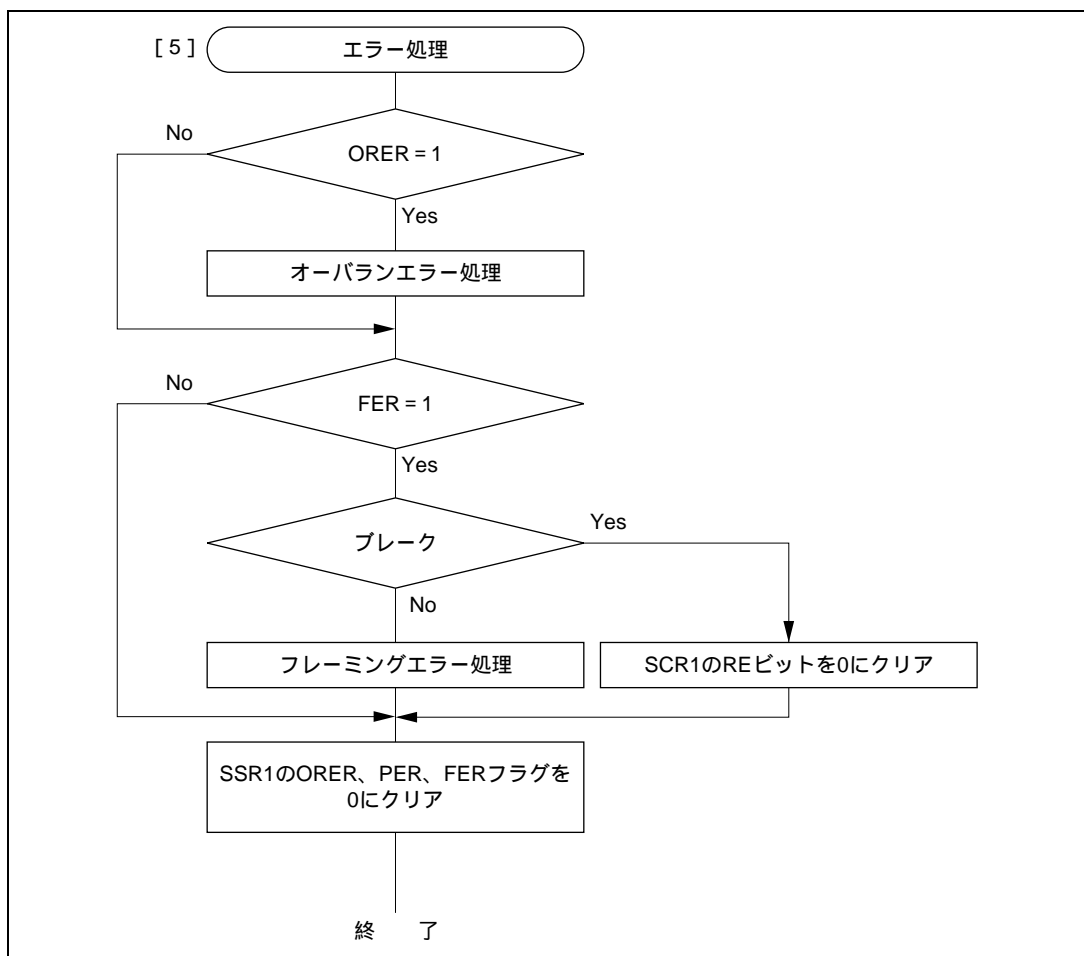


図 23.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 23.13 にマルチプロセッサフォーマットの SCI1 の受信時の動作例を示します。

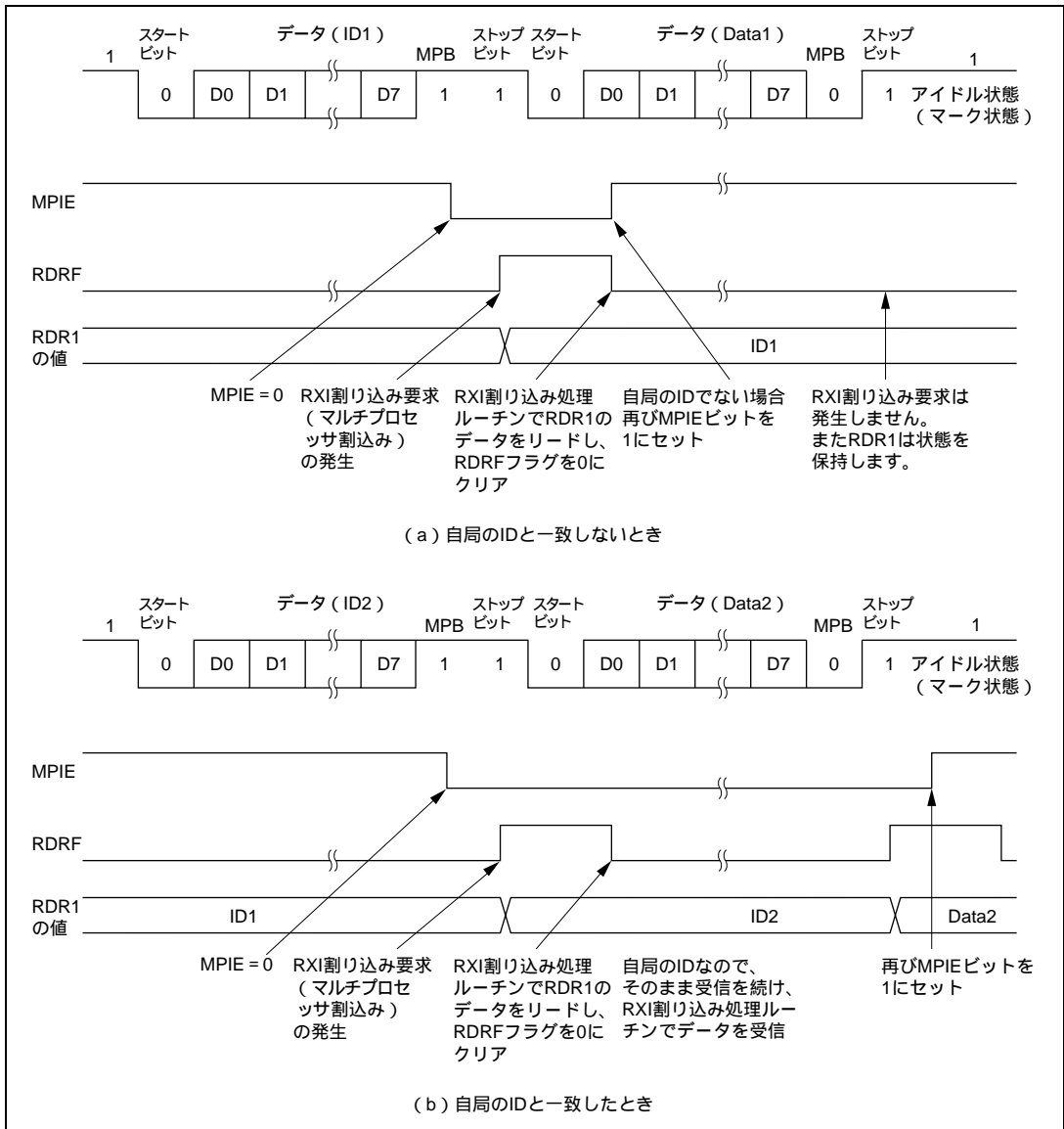


図 23.13 SCI1 の受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

23.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI1 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 23.14 に示します。

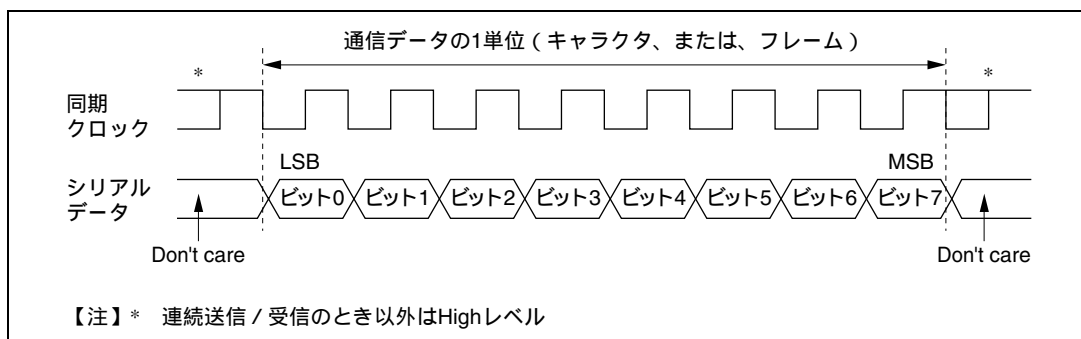


図 23.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCI1は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMR1のC/AビットとSCR1のCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK1端子から入力された外部同期クロックの2種類から選択できます。SCI1のクロックソースの選択については表23.9を参照してください。

内部クロックで動作させるとき、SCK1端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバーランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信/受信動作

(a) SCI1 の初期化 (クロック同期式)

データの送信/受信前には、SCR1 の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCII を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR1 の内容は保持されますので注意してください。

図 23.15 に SCII の初期化フローチャートの例を示します。

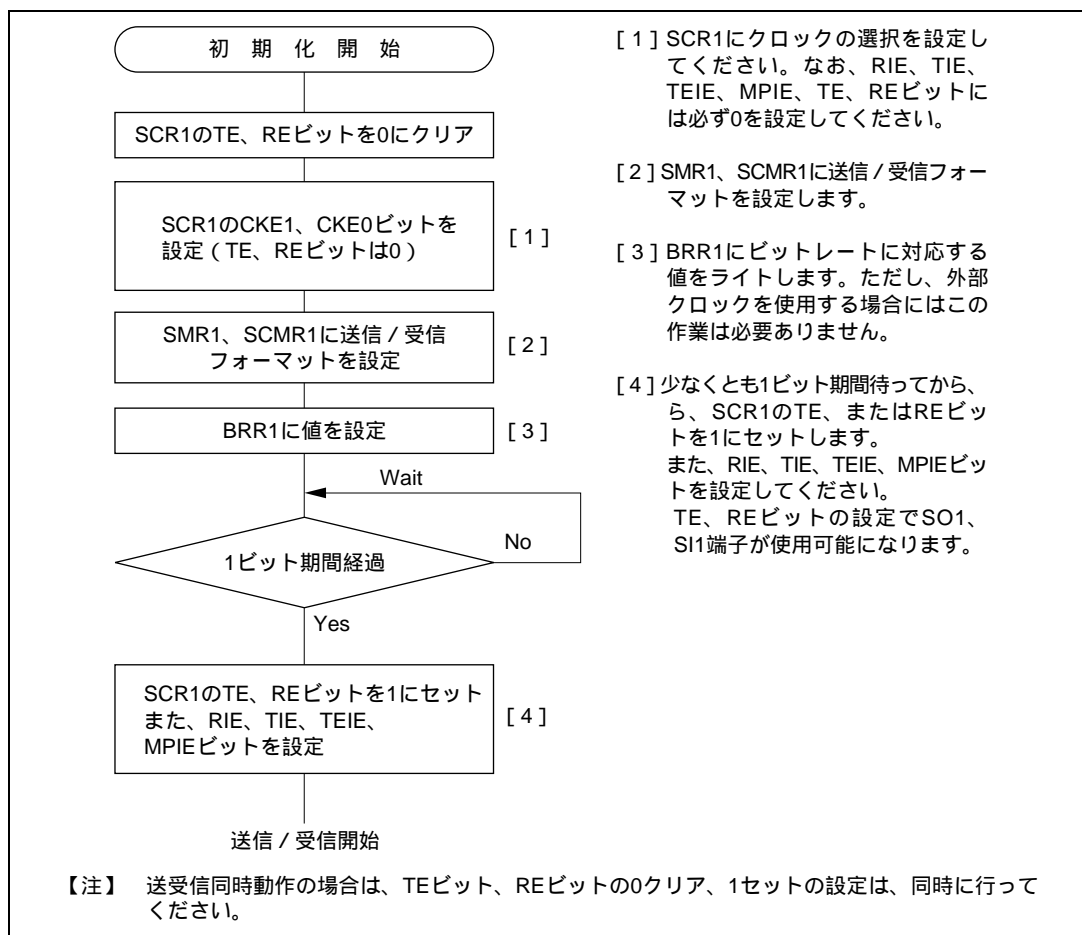


図 23.15 SCI1 の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 23.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

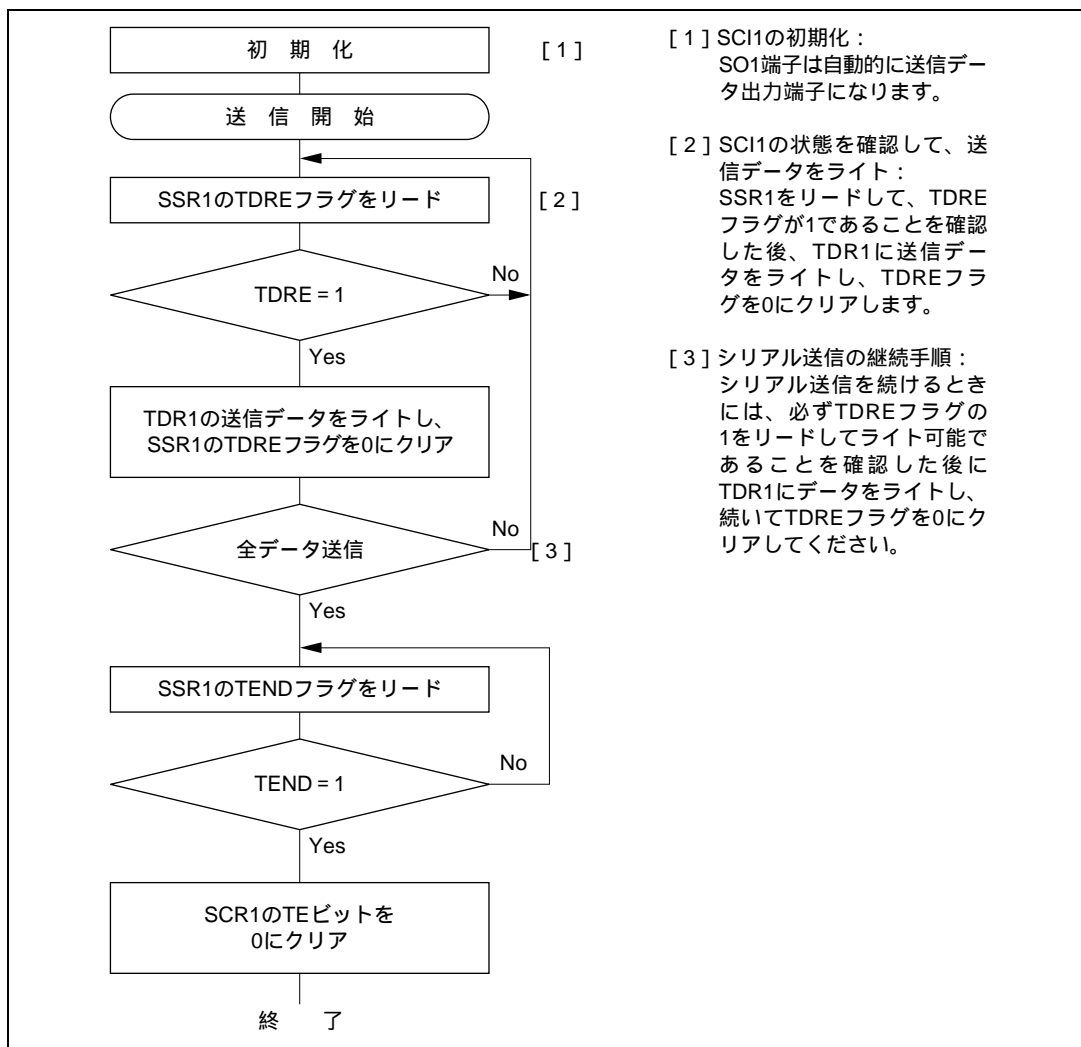


図 23.16 シリアル送信のフローチャートの例

SCI1 はシリアル送信時に以下のように動作します。

- [1] SCI1は、SSR1のTDREフラグを監視し、0であるとTDR1にデータがライトされたと認識し、TDR1からTSRにデータを転送します。
- [2] TDR1からTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCR1のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
 クロック出力モードに設定したときには、SCI1は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
 シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にSO1端子から送り出されます。
- [3] SCI1は、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
 TDREフラグが0であるとTDR1からTSRにデータを転送し、次フレームのシリアル送信を開始します。
 TDREフラグが1であるとSSR1のTENDフラグを1にセットし、MSB (ビット7) を送り出した後、SO1端子は状態を保持します。
 このときSCR1のTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [4] シリアル送信終了後は、SCK1端子は固定になります。

図 23.17 に SCI1 の送信時の動作例を示します。

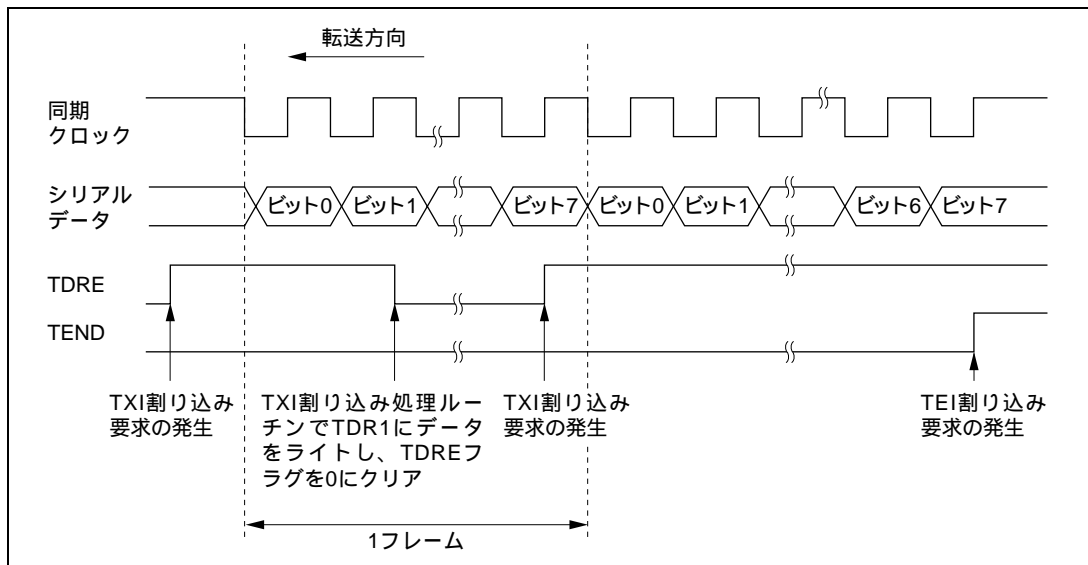


図 23.17 SCI1 の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 23.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行いうることができません。

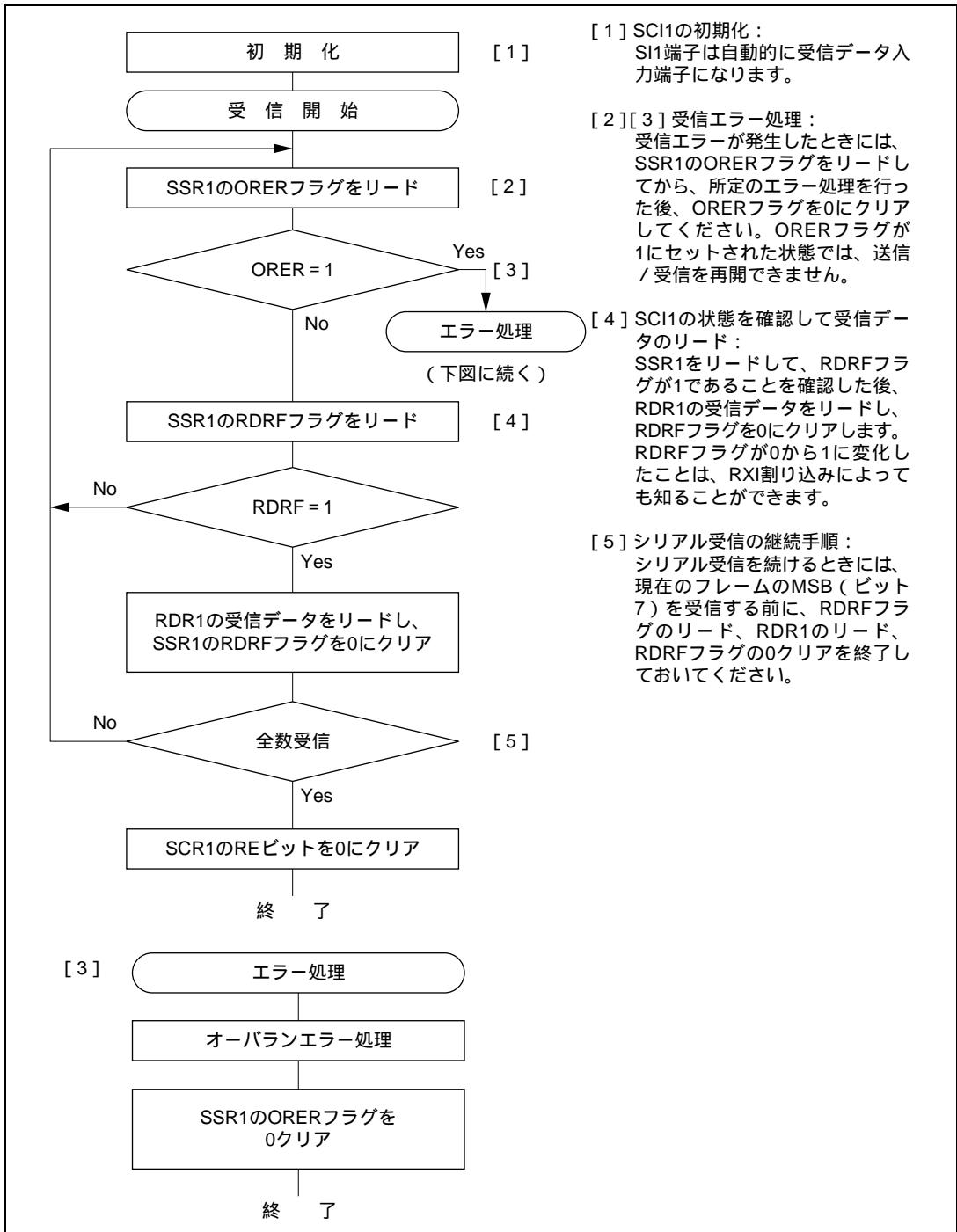


図 23.18 シリアルデータ受信フローチャートの例

23. シリアルコミュニケーションインタフェース 1 (SCI1)

SCI1 は受信時に以下のように動作します。

- [1] SCI1は同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCI1は、RDRFフラグが0であり、受信データをRSRからRDR1に転送できる状態であるかをチェックします。
このチェックを満足したときRDRFフラグが1にセットされ、RDR1に受信データが格納されます。エラーチェックで受信エラーを発生すると、表23.11のように動作します。
エラーチェックで受信エラーを発生した状態では以後の送信動作、受信動作のいずれも行いうることができません。
- [3] RDRFフラグが1になったとき、SCR1のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCR1のRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 23.19 に SCI1 の受信時の動作例を示します。

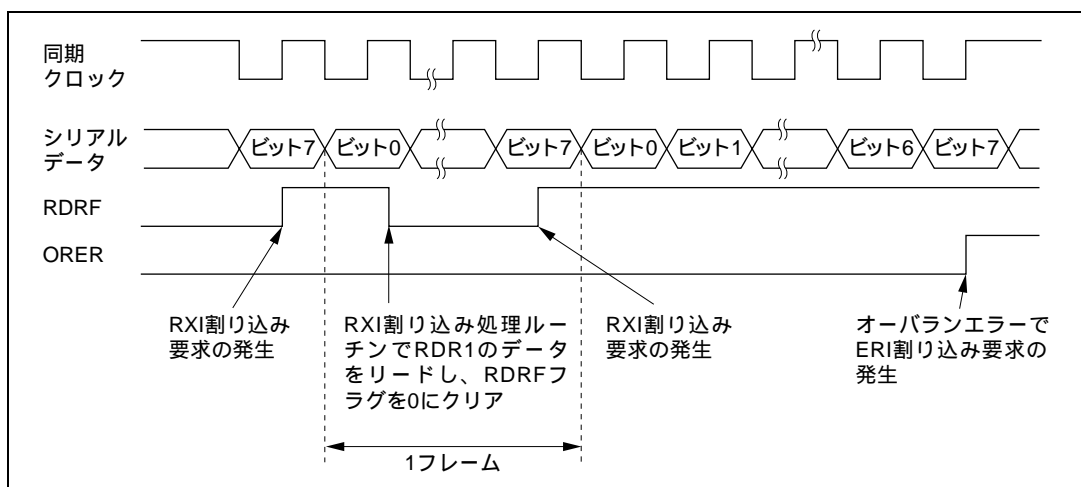


図 23.19 SCI1 の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 23.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従ってください。

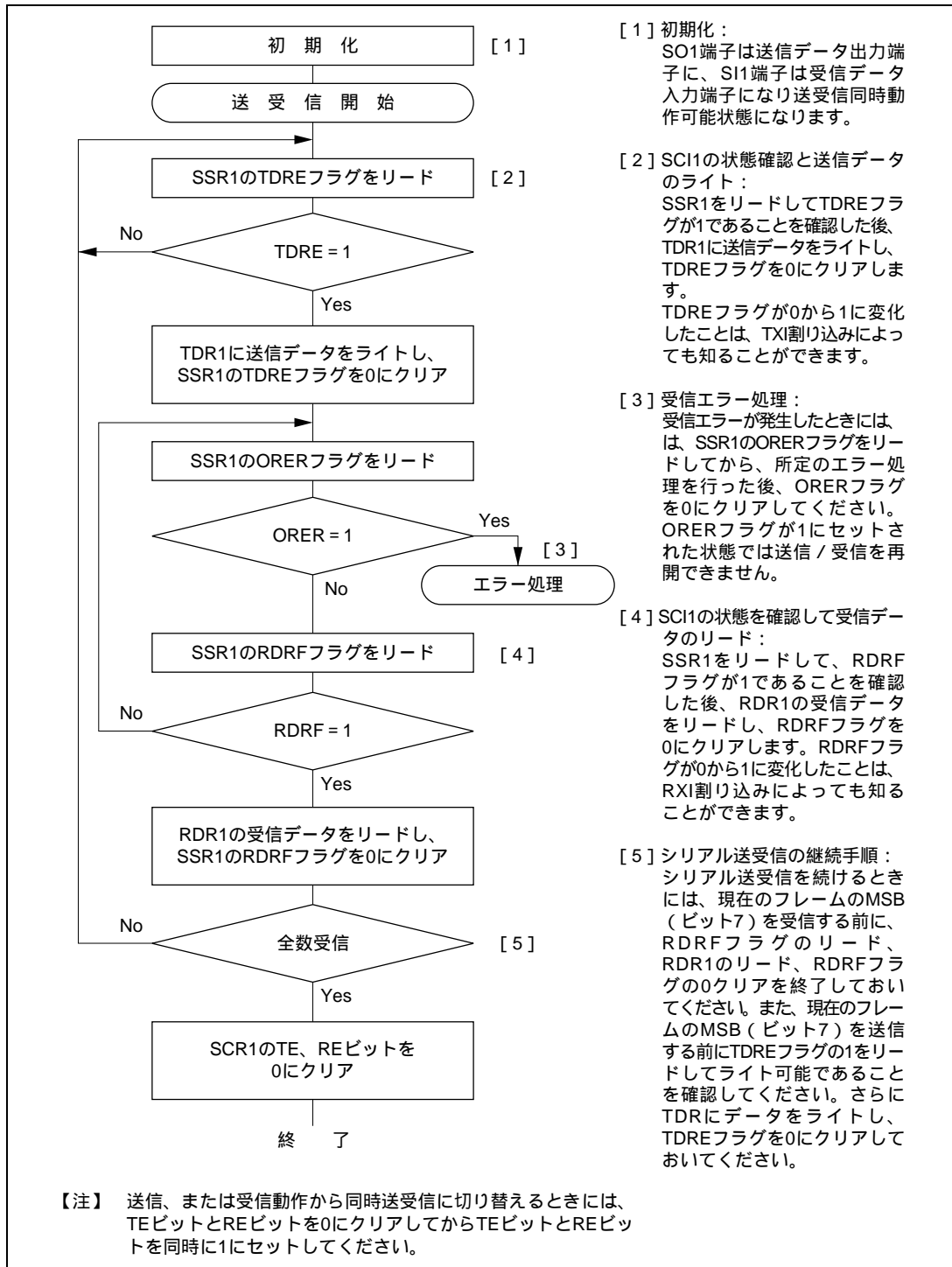


図 23.20 シリアル送受信同時動作のフローチャートの例

23.4 SCI1 割り込み

SCI1 には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 23.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR1 の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR1 の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR1 の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR1 の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR1 の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

表 23.12 SCI1 割り込み要因

チャンネル	割り込み要因	内 容	優先順位*
1	ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ 低
	RXI	受信データフル (RDRF) による割り込み	
	TXI	送信データエンプティ (TDRE) による割り込み	
	TEI	送信終了 (TEND) による割り込み	

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に Rowe 行われます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

23.5 使用上の注意

SCI1 を使用する際は、以下のことに注意してください。

(1) TDR1 へのライトと TDRE フラグの関係について

SSR1 の TDRE フラグは TDR1 から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI1 が TDR1 から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR1 へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR1 にライトすると、TDR1 に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR1 への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR1 の各ステータスフラグの状態は、表 23.13 のようになります。また、オーバランエラーが発生した場合には RSR から RDR1 へのデータ転送は行われず、受信データは失われます。

表 23.13 SSR1 のステータスフラグの状態と受信データの転送

SSR1 のステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR1	
1	1	0	0	x		オーバランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバランエラー + フレーミングエラー
1	1	0	1	x		オーバランエラー + パリティエラー
0	0	1	1			フレーミングエラー + パリティエラー
1	1	1	1	x		オーバランエラー + フレーミングエラー + パリティエラー

【注】 : RSR RDR1 に受信データを転送します。

x : RSR RDR1 に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SII 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、SII 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI1 は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

SO1 端子は、PDR と PCR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を PDR の値で代替します (TE ビットを 1 にセットするまで、SO1 端子として機能しません)。このため、最初は SO1 端子に対応するポートの PCR と PDR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは PDR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、SO1 端子は I/O ポートになり、SO1 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI1 は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI1 は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 23.21 に示します。

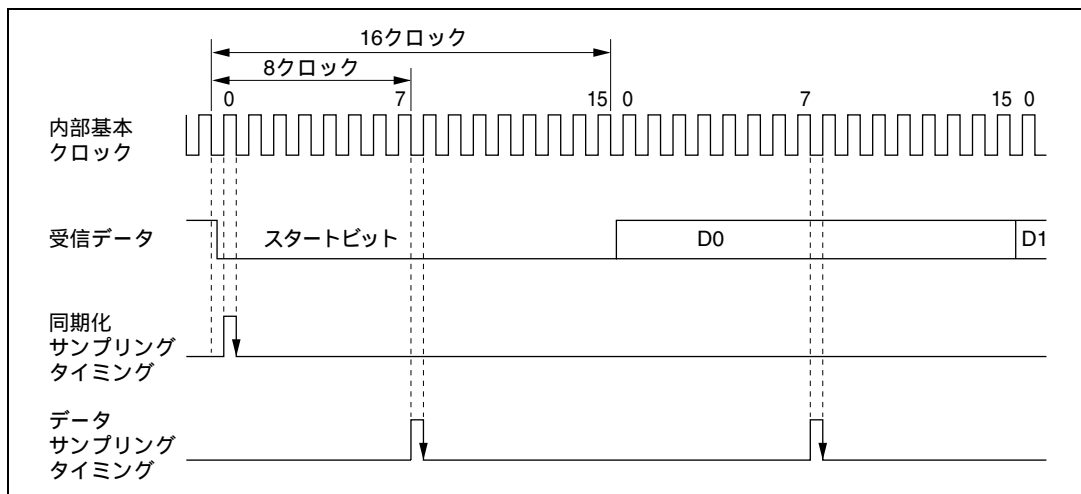


図 23.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき、

$$\begin{aligned} M &= \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ &= 46.875\% \quad \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

24. シリアルコミュニケーションインタフェース 2 (SCI2)

24.1 概要

シリアルコミュニケーションインタフェース 2 (SCI2) は、32 バイトのデータバッファをもち、1 回の操作で 32 バイト分のクロック同期式シリアル転送を行います。

24.1.1 特長

SCI2 の特長を以下に示します。

- 32 バイトのデータを自動的に転送可能
- クロックソースとして 7 種類の内部クロック (/256、 /64、 /32、 /16、 /8、 /4、 /2) と外部クロックが選択可能
- 転送の完了、またはエラーで割り込みを発生
- 1 バイトごとに転送データ間隔の設定が可能
1 バイトごとに転送データ間隔を空けることができます。間隔は内部クロック周期の 56 倍、24 倍、8 倍を選択可能です。
- チップセレクト入力で転送開始の制御が可能
- 1 バイト転送ごとにストロークパルスを出力

24.1.2 ブロック図

SCI2 のブロック図を図 24.1 に示します。

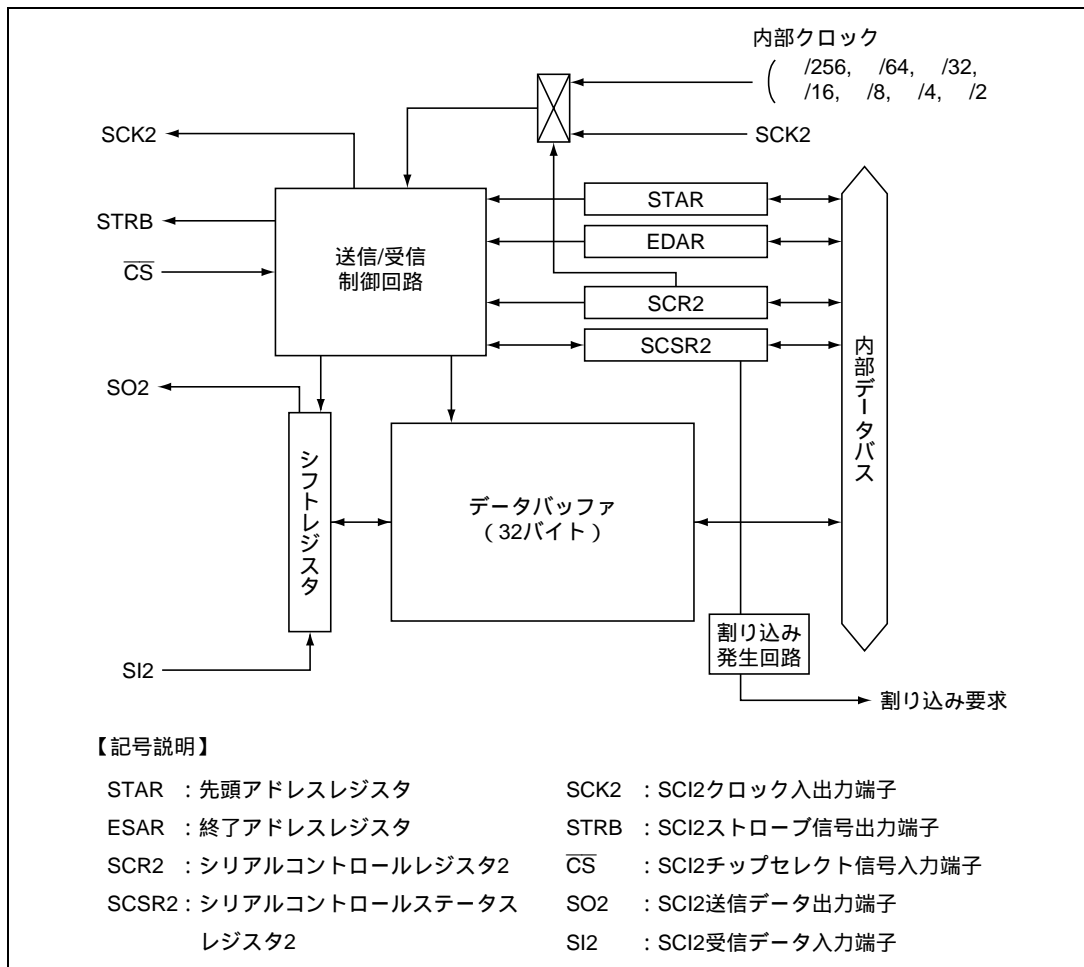


図 24.1 SCI2 のブロック図

24.1.3 端子構成

SCI2 の端子構成を表 24.1 に示します。

表 24.1 端子構成

名 称	略称	入出力	機 能
SCI2 クロック	SCK2	入出力	SCI2 のクロック入出力端子
SCI2 データ入力	SI2	入力	SCI2 の受信データ入力端子
SCI2 データ出力	SO2	出力	SCI2 の送信データ出力端子
SCI2 ストローブ	STRB	出力	SCI2 のストローブ信号出力端子
SCI2 チップセレクト	CS	入力	SCI2 のチップセレクト信号入力端子

24.1.4 レジスタ構成

SCI2 のレジスタ構成を表 24.2 に示します。

表 24.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
先頭アドレスレジスタ	STAR	R/W	H'E0	H'D0E0
終了アドレスレジスタ	EDAR	R/W	H'E0	H'D0E1
シリアルコントロールレジスタ 2	SCR2	R/W	H'20	H'D0E2
シリアルコントロールステータスレジスタ 2	SCSR2	R/W	H'60	H'D0E3
シリアルデータバッファ (32 バイト)		R/W	不定	H'D0C0 ~ H'D0DF

【注】 * アドレスは下位 16 ビットを示します。

24.2 各レジスタの説明

24.2.1 先頭アドレスレジスタ (STAR)

ビット:	7	6	5	4	3	2	1	0
				STA4	STA3	STA2	STA1	STA0
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

STAR は、8 ビットのリード/ライト可能なレジスタで、32 バイトデータバッファが割り付けられているアドレス空間 (H'FFD0C0 ~ H'FFD0DF) 中の転送開始アドレスを指定します。STAR の下位 5 ビットが、32 バイトバッファのアドレスの下位 5 ビットに対応しています。STAR と EDAR で、データの連続転送を行う範囲を指定します。STAR と EDAR の値が等しいときは 1 バイトのみ転送を行います。

STAR のビット 7~5 はリザーブビットであり、ライトは無効です。各ビットはリードすると常に 1 が読み出されます。

リセット時、STAR は、H'E0 に初期化されます。

24.2.2 終了アドレスレジスタ (EDAR)

ビット:	7	6	5	4	3	2	1	0
				EDA4	EDA3	EDA2	EDA1	EDA0
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

EDAR は、8 ビットのリード/ライト可能なレジスタで、32 バイトデータバッファが割り付けられているアドレス空間 (H'FFD0C0 ~ H'FFD0DF) 中の転送終了アドレスを指定します。EDAR の下位 5 ビットが、32 バイトバッファのアドレスの下位 5 ビットに対応しています。EDAR と STAR で、データの連続転送を行う範囲を指定します。STAR と EDAR の値が等しいときは 1 バイトのみ転送を行います。

EDAR のビット 7~5 はリザーブビットであり、ライトは無効です。各ビットはリードすると常に 1 が読み出されます。

リセット時、EDAR は H'E0 に初期化されます。

24.2.3 シリアルコントロールレジスタ 2 (SCR2)

ビット:	7	6	5	4	3	2	1	0
	TEIE	ABTIE		GAP1	GAP0	CKS2	CKS1	CKS0
初期値:	0	0	1	0	0	0	0	0
R/W :	R/W	R/W		R/W	R/W	R/W	R/W	R/W

SCR2 は 8 ビットのリード/ライト可能なレジスタで、SCI2 の割り込み発生を許可/禁止し、内部クロック使用時の転送データ間隔と転送クロックを選択します。

リセット時、SCR2 は H'20 に初期化されます。

ビット 7: 完了割り込みイネーブル (TEIE)

データの転送が完了して、SCSR2 の TEI が 1 にセットされたとき、転送完了割り込みの発生を許可/禁止します。

ビット 7	説明
TEIE	
0	転送完了割り込みの発生を禁止 (初期値)
1	転送完了割り込みの発生を許可

ビット 6: 転送中断割り込みイネーブル (ABTIE)

データの転送中に、 \overline{CS} 端子が High レベルとなり転送が中断し、SCSR2 の ABT が 1 にセットされたとき、転送中断割り込みの発生を許可/禁止します。

ビット 6	説明
ABTIE	
0	転送中断割り込みの発生を禁止 (初期値)
1	転送中断割り込みの発生を許可

ビット 5：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4、3：転送データ間隔選択 1、0 (GAP1、GAP0)

内部クロックを使用する場合、1 バイトごとにデータ間隔を空けることができます。そのとき、SCK2 端子は High レベルを保持します。転送データ間隔なしの場合は、STRB 信号は Low レベルを保持します。

ビット 4	ビット 3	説 明	
GAP1	GAP0		
0	0	転送データ間隔なし	(初期値)
0	1	データ間隔：8 クロック分	
1	0	データ間隔：24 クロック分	
1	1	データ間隔：56 クロック分	

ビット 2～0：転送クロック選択 2～0 (CKS2～CKS0)

転送クロックを選択します。

ビット 2	ビット 1	ビット 0	SCK2 端子	クロックソース	プリスケアラ分周比	転送クロック周期	
						= 10MHz	= 5MHz
CKS2	CKS1	CKS0					
0	0	0	SCK2 出力	プリスケアラ S	/256 (初期値)	25.6 μ s	51.2 μ s
0	0	1			/64	6.4 μ s	12.8 μ s
0	1	0			/32	3.2 μ s	6.4 μ s
0	1	1			/16	1.6 μ s	3.2 μ s
1	0	0			/8	0.8 μ s	1.6 μ s
1	0	1			/4	0.4 μ s	0.8 μ s
1	1	0			/2	-	0.4 μ s
1	1	1	SCK2 入力	外部クロック	-	-	-

24.2.4 シリアルコントロールステータスレジスタ 2 (SCSR2)

ビット：	7	6	5	4	3	2	1	0
	TEI			SOL	ORER	WT	ABT	STF
初期値：	0	1	1	0	0	0	0	0
R/W：	R/(W)*			R/W	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

SCSR2 は、SCI2 の動作状態、エラー状態などを示す 8 ビットのレジスタです。リセット時、SCSR2 は H'60 に初期化されます。

24. シリアルコミュニケーションインタフェース 2 (SCI2)

ビット 7：転送完了割り込み要求フラグ (TEI)

データの送信または受信を完了したことを示します。

ビット 7	説 明	
TEI		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] 送信または受信を完了したとき	

ビット 6、5：リザーブビット

各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4：拡張データビット (SOL)

SOL は SO2 端子の出力レベルを設定します。またリードすると SO2 端子の出力レベルが読み出されます。送信完了後の SO2 端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO2 端子の出力レベルを変更することができます。ただし、次の送信が開始すると SOL ビットの設定は無効となります。したがって送信完了後の SO2 端子の出力レベルを変更する場合には送信終了ごとに SOL ビットに対するライト操作を行ってください。なお、データ送信中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット 4	説 明	
SOL		
0	リード時	SO2 端子出力が Low レベル (初期値)
	ライト時	SO2 端子出力を Low レベルに変更
1	リード時	SO2 端子出力が High レベル
	ライト時	SO2 端子出力を High レベルに変更

ビット 3：オーバランエラーフラグ (ORER)

ORER は外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、本ビットが 1 にセットされます。このとき転送データは保証できません。また、転送完了後にクロックが入力された場合も、オーバラン状態であるとして、本ビットが 1 にセットされます。ただし、CS 端子が High レベルのときはオーバランの検出を行いません。

ビット 3	説 明	
ORER		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] 外部クロック使用時、正規の転送クロックに余分なパルスが重ね合わされた場合、または、転送完了後もクロックが入力された場合	

ビット 2 : ウェイトフラグ (WT)

WT は転送中と \overline{CS} 入力待機中に、シリアルデータバッファ (32 バイト) へのリード/ライトが行われたことを示します。なお、そのときの命令は無視され、本ビットが 1 にセットされます。

ビット 2	説 明	
WT		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] 転送中と \overline{CS} 入力待機中にシリアルデータバッファ (32 ビット) へのリード/ライト命令が行われたとき	

ビット 1 : アボートフラグ (ABT)

ABT は転送中に \overline{CS} 端子が High レベルになったことを示します。 \overline{CS} 入力に設定されている状態で、転送中に \overline{CS} 端子の High レベルを検出すると、転送は直ちに中断され、本ビットが 1 にセットされ、SCK2 端子と SO2 端子はハイインピーダンス状態になります。このとき、SCSR2 以外の内部レジスタおよびシリアルデータバッファ (32 バイト) の値は保持されます。本ビットが 1 にセットされた状態では転送は行えません。0 にクリアした後、転送を再開してください。

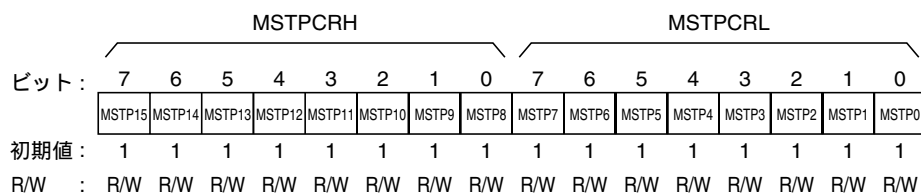
ビット 1	説 明	
ABT		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] 転送中と \overline{CS} 端子が High レベルになったとき	

ビット 0 : スタートフラグ (STF)

STF は転送動作の開始を制御します。本ビットに 1 をセットすると、PMR3 の PMR30 が 0 の場合、SCI2 の転送動作を開始します。PMR3 の PMR30 が 1 の場合、 \overline{CS} 端子の Low レベルを検出して転送を開始します。本ビットは、転送中と \overline{CS} 入力待機中は 1 を保持し、転送完了後および \overline{CS} 端子による転送中断時に 0 にクリアされます。このため、ビジーフラグとして使用できます。転送中に本ビットを 0 にクリアすると、転送は途中で打ち切れ、SCI2 は初期化されます。このとき、SCSR2 以外の内部レジスタおよびシリアルデータバッファ (32 バイト) の内容は保持されます。

ビット 0	説 明	
STF		
0	リード時	転送動作は停止 (初期値)
	ライト時	転送動作を中止し、SCI2 を初期化
1	リード時	転送動作中、または \overline{CS} 入力待機中
	ライト時	転送動作を開始

24.2.5 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP7 はビットを 1 にセットすると、バスサイクルの終了時点で SCI2 は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 7 : モジュールストップ (MSTP7)

SCI2 のモジュールストップモードを指定します。

MSTPCRL	説 明
ビット 7	
MSTP7	
0	SCI2 のモジュールストップモード解除
1	SCI2 のモジュールストップモード設定 (初期値)

24.3 動作説明

SCI2 は、32 バイトのシリアルデータバッファを持ち、最大 32 バイトのデータを一回の操作でクロックパルスに同期させて連続転送することができます。レジスタの設置により送信/受信/同時送受信の選択が可能です。送信を設定した場合、送信完了後もシリアルデータバッファの値は保持されます。

転送クロックとして、内部クロックと外部クロックが選択できます。内部クロック選択時は、1 バイトごとに送信データ間隔を空けることができます。また、STRB 端子からストロブ信号を出力することができます。外部クロック選択時は、オーバランフラグによりクロックによる誤動作を検出することができます。

\overline{CS} 入力により、転送開始と強制中断の制御をすることができます。強制中断はアポートフラグにより検出します。

24.3.1 クロック

転送クロックは、7 種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK2 端子はクロック出力端子となります。

24.3.2 データ転送フォーマット

SCI2 の転送フォーマットを図 24.2、図 24.3 に示します。

データ最下位ビットから送受信される LSB ファースト方式による転送を行います。送信データは転送クロックの立ち下がりから次の立ち上がりまで出力されます。また、受信データは転送クロックの立ち上がりで取り込まれます。

転送クロックに内部クロックを選択した場合、図 24.3 に示すように、1 バイトごとに転送データ間隔を空けることができます。転送データ間では、SCK2 出力は High レベルを保持します。また、STRB 端子からストロブ信号を出力することができます。

転送データ間隔の選択は SCR2 の GAP1、GAP0 で設定します。

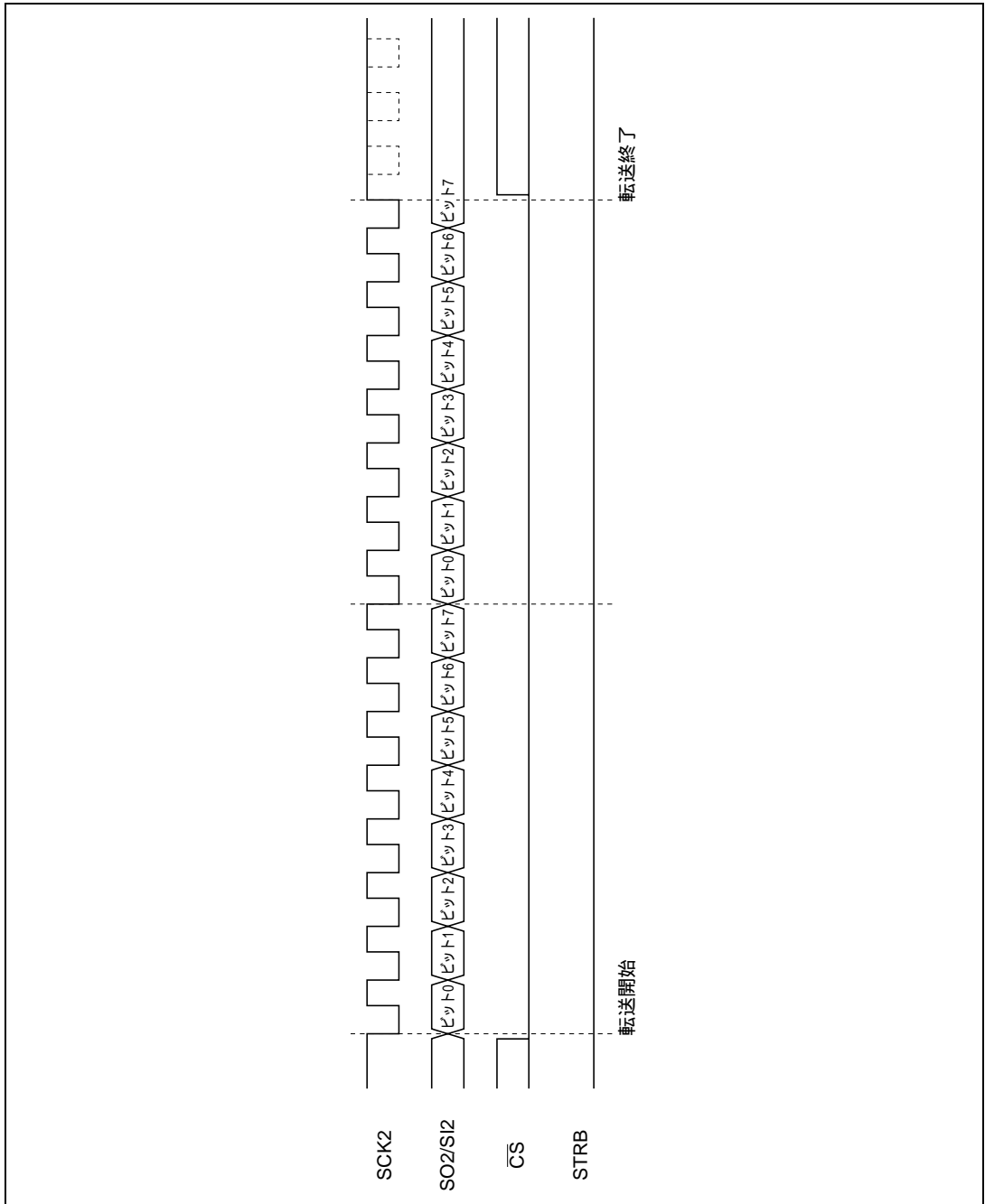


図 24.2 転送フォーマット (転送データ間隔なし)

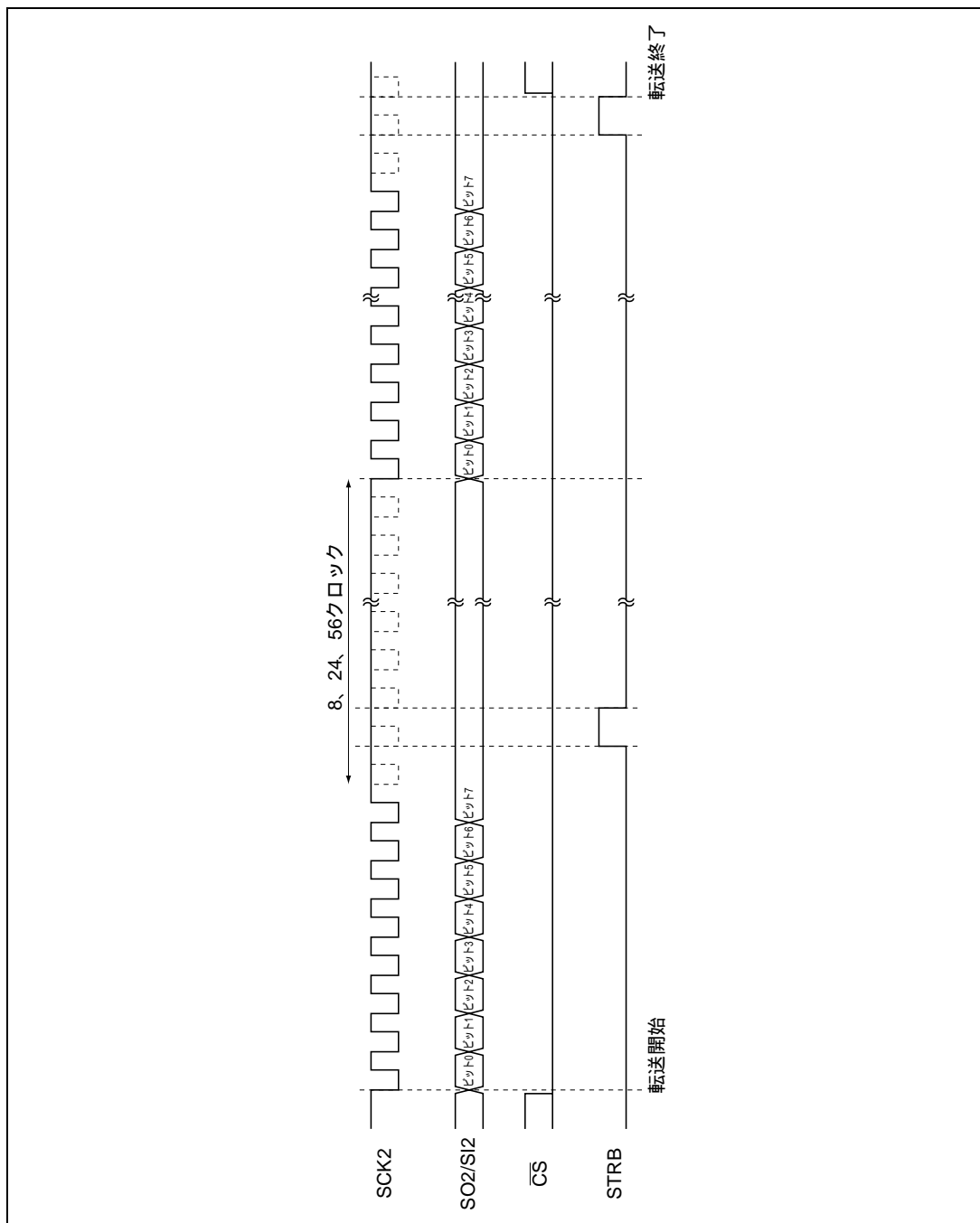


図 24.3 転送フォーマット (転送データ間隔あり)

24.3.3 データの転送動作

(1) SCI2 の初期化

データの転送を行うには、まず SCI2 をソフトウェアによって初期化します。初期化は次のように行われます。

- (1) SCSR2のSTFが0の状態、PMR2、PMR3、STAR、EDAR、およびSCR2により、端子、転送モードを設定します。
- (2) SCI2の端子はポートと兼用しています。ポートの切り替えはPMR3で行います。SO2端子はPMR2でCMOS出力とNMOSオープンドレイン出力の選択ができます。転送クロックと転送データ間隔はSCR2で設定します。
- (3) 転送データ領域の先頭アドレスと終了アドレスは、STARとEDARで設定します。終了アドレスが先頭アドレスより小さい値の場合、図24.4に示すように、H'FFD0DF番地のデータを転送後、H'FFD0C0番地にもどり、終了アドレスまで転送を行います。先頭アドレスと終了アドレスが等しい場合は、1バイトの転送を行います。

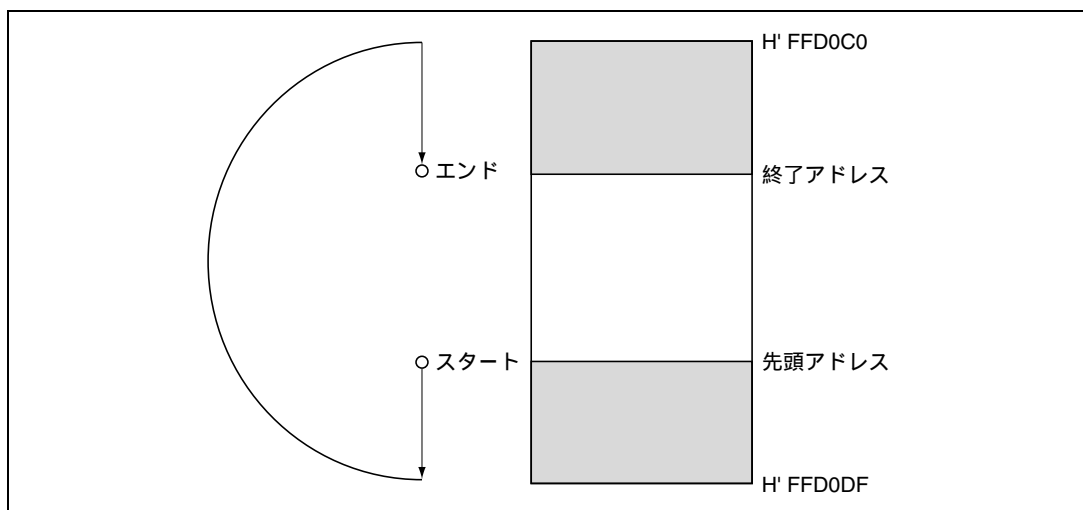


図 24.4 終了アドレスが先頭アドレスより小さい値の場合

(2) 送信動作

送信動作は次のように行われます。

- (1) PMR2のPMR26を1、PMR27を1として、それぞれSO2端子、SCK2端子に設定します。
また、必要に応じて、PMR2のPMR20によりSO2端子をオープンドレインに出力に、PMR3のPMR30、PMR31によりそれぞれCS端子、STRB端子に設定します。
- (2) SCR2により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- (3) シリアルデータバッファに送信するデータを書き込みます。送信動作では送信後もデータバッファの内容は保持されています。同じデータを再送信する場合はデータを書き込む必要はありません。
- (4) STARに送信開始アドレスの下位5ビット、EDARに送信終了アドレスの下位5ビットを設定します。
- (5) STFを1にセットします。PMR3のPMR30が0の場合、STFのセットにより送信が開始されます。PMR3のPMR30が1の場合、CS端子のLowレベルを検出すると送信が開始されます。
- (6) 送信完了後、SCSR2のTEIが1にセットされます。また、STFは0にクリアされます。

内部クロックを選択した場合は、送信を開始すると SCK2 端子から同期クロックが出力されます。送信が完了すると、次回の STF のセットまで同期クロックは出力されません。この間、SO2 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを選択した場合には、SCK2 端子から入力されるクロックに同期してデータを送信します。送信完了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR2 の ORER が 1 にセットされます。SO2 端子は直前のデータの最終ビットの値を保持し続けます。ただし、PMR3 の CS が 1 の場合、CS 端子が High レベルのときはオーバランの検出を行いません。

送信停止中の SO2 端子の出力値は、SCSR2 の SOL により、変更することができます。送信中と CS 待機中に、CPU からデータバッファをリード/ライトすることはできません。

リード命令を実行すると H'FF が読み出されます。ライト命令を実行してもバッファは変化しません。送信中と CS 入力待機中にリード/ライト命令を実行すると SCSR2 の WT がセットされます。

PMR3 の PMR30 が 1 の場合、転送中に CS 端子の High レベルを検出すると、転送は直ちに中断され、ABT が 1 にセットされ、STF は 0 にクリアされます。また、SCK2 端子と SO2 端子はハイインピーダンス状態になります。したがって、ABT が 1 にセットされた状態では転送は行えませんが、0 にクリアした後、転送を再開してください。

(3) 受信動作

受信動作は次のように行われます。

- (1) PMR2のPMR25を1、PMR27を1として、それぞれSI2端子、SCK2端子に設定します。
また、必要に応じて、PMR3のPMR30により \overline{CS} 端子に設定します。
- (2) SCR2により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- (3) STARに受信開始アドレスの下位5ビット、EDARに受信終了アドレスの下位5ビットを設定します。これにより、シリアルデータバッファ内に受信データを格納する領域が決定されます。
- (4) STFを1にセットします。PMR3のPMR30が0の場合、STFのセットにより受信が開始されます。PMR3のPMR30が1の場合、 \overline{CS} 端子のLowレベルを検出すると受信が開始されます。
- (5) 受信終了後、SCSR2のTEIが1にセットされます。また、STFは0にクリアされます。
- (6) シリアルデータバッファから格納された受信データを読み出します。

内部クロックを選択した場合は、受信を開始すると SCK2 端子から同期クロックが出力されます。受信が完了すると次回の STF セットまで同期クロックは出力されません。

外部クロックを選択した場合には、SCK2 端子から入力されるクロックに同期してデータを受信します。受信完了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバーラン状態であるとして、SCSR2 の ORER が 1 にセットされます。ただし、PMR3 の CS が 1 の場合、 \overline{CS} 端子が High レベルのときはオーバーランの検出を行いません。

受信中と \overline{CS} 入力待機中に、CPU からデータバッファをリード/ライトすることはできません。リード命令を実行するを H'FF が読み出されます。ライト命令を実行してもバッファは変化しません。受信中と \overline{CS} 入力待機中にリード/ライト命令を実行すると SCSR2 の WT がセットされます。

PMR3 の CS が 1 の場合、転送中に \overline{CS} 端子の High レベルを検出すると、転送は直ちに中断され、ABT が 1 にセットされ、STF は 0 にクリアされます。また、SCK2 端子と SO2 端子はハイインピーダンス状態になります。したがって、ABT が 1 にセットされた状態では転送は行えませんので、0 にクリアした後、転送を再開してください。

(4) 同時送受信動作

同時送受信動作は次のように行われます。

- (1) PMR2のPMR25を1、PMR26を1、PMR27を1として、それぞれSI2端子、SO2端子、SCK2端子に設定します。
また、必要に応じて、PMR2のPMR20によりSO2端子をオープンドレイン出力に、PMR30、PMR31によりそれぞれ \overline{CS} 端子、STRB端子に設定します。
- (2) SCR2により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- (3) シリアルデータバッファに送信するデータを書き込みます。同時送受信動作では、受信データは送信データと入れ代わりと同じアドレスに格納されます。
- (4) STARに転送開始アドレスの下位5ビット、EDARに転送終了アドレスの下位5ビットを設定します。
- (5) STFを1にセットします。PMR3のPMR30が0の場合、STFのセットにより転送が開始されます。PMR3のPMR30が1の場合は、 \overline{CS} 端子のLowレベルを検出すると転送が開始されます。
- (6) 転送完了後、SCSR2のTEIが1にセットされます。また、STFは0にクリアされます。
- (7) シリアルデータバッファから格納された受信データを読み出します。

内部クロックを選択した場合は、送信を開始するとSCK2端子から同期クロックが出力されます。転送が完了すると次回のSTFのセットまで同期クロックは出力されません。この間、SO2端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを選択した場合には、SCK2端子から入力されるクロックに同期してデータを転送します。転送完了後、引き続き同期クロックが入力されると、転送動作は行われず、オーバラン状態であるとして、SCSR2のORERが1にセットされます。SO2端子は直前のデータの最終ビットの値を保持し続けます。ただしPMR3のCSが1の場合、 \overline{CS} 端子がHighレベルのときはオーバランの検出を行いません。

転送停止中のSO2端子の出力値は、SCSR2のSOLにより変更することができます。

転送中と \overline{CS} 入力待機中に、CPUからデータバッファをリード/ライトすることはできません。リード命令を実行するとH'FFが読み出されます。ライト命令を実行しても、バッファは変化しません。転送中と \overline{CS} 入力待機中にリード/ライト命令を実行するとSCSR2のWTがセットされます。

PMR3のCSが1の場合、転送中に \overline{CS} 端子のHighレベルを検出すると、転送は直ちに中断され、ABTが1にセットされ、STFは0にクリアされます。また、SCK2端子とSO2端子はハイインピーダンス状態になります。したがって、ABTが1にセットされた状態では転送は行えませんが、0にクリアした後、転送を再開してください。

24.4 割り込み要因

SCI2 の割り込み要因は、転送完了と \overline{CS} 端子による転送中断であり、それぞれ異なったベクタアドレスが割り付けられています。

データの転送が完了すると、SCSR2 の TEI が 1 にセットされ、転送完了割り込み要求が発生します。この割り込みは、SCR2 の TEIE により許可/禁止を指定できます。

PMR3 の PMR30 が 1 のとき、データの転送中に、 \overline{CS} 端子が High レベルとなり転送が中断されると、SCSR2 の ABT が 1 にセットされ、転送中断割り込み要求が発生します。

この割り込みは、SCR2 の ABTIE により許可/禁止を指定できます。また、 \overline{CS} 端子による転送中断、オーバーランエラー、転送中と \overline{CS} 入力待機中のシリアルデータバッファのリード/ライトでは SCSR2 の ABT、ORER、WT が各々 1 にセットされます。これらのビットによりエラー要因の判別ができます。

25. I²C バスインタフェース (IIC)

25.1 概要

I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

I²C バスインタフェースを用いたデータ転送は、データライン (SDA) 1 本、クロックライン (SCL) 1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

25.1.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能
 - I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
 - シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用
- I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠
- I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能
- I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I²C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I²C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I²C バスフォーマットで、マスタモード時のウェイト機能
 - アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグをクリアすることで解除。
- I²C バスフォーマットで、スレーブモード時のウェイト機能
 - アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。
- 3 種類の割り込み要因
 - データ転送終了時 (I²C バスフォーマットで送信モード遷移時、および、マスタ競合負け後のアドレス受信を含む)
 - アドレス一致時：I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき
 - 停止条件検出時
- マスタモード時、16 種類の内部クロック選択可能
- バスを直接駆動 (SCL / SDA 端子)
 - P24/SCL、P23/SDA の 2 端子は、通常時は CMOS 端子、バス駆動機能選択時は NMOS のみで出力。

25.1.2 ブロック図

I²C バスインタフェースのブロック図を図 25.1 に示します。

入出力端子の外部回路接続例を、図 25.2 に示します。入出力端子は NMOS のみにより駆動されるため、見かけ上 NMOS オープンドレインと同様の動作をします。しかし、入力端子に印加可能な電圧は、本 LSI の電源 (V_{cc}) 電圧に依存します。

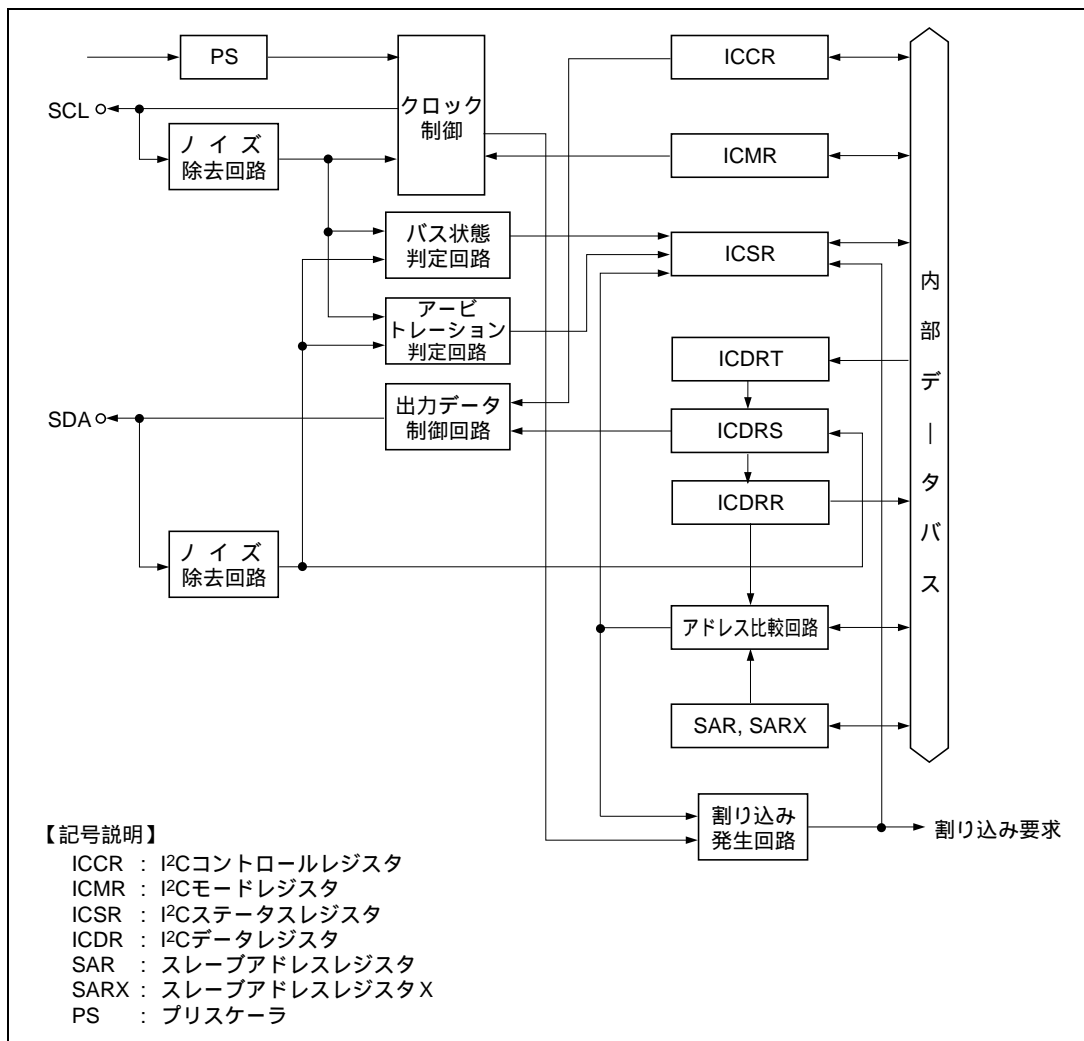
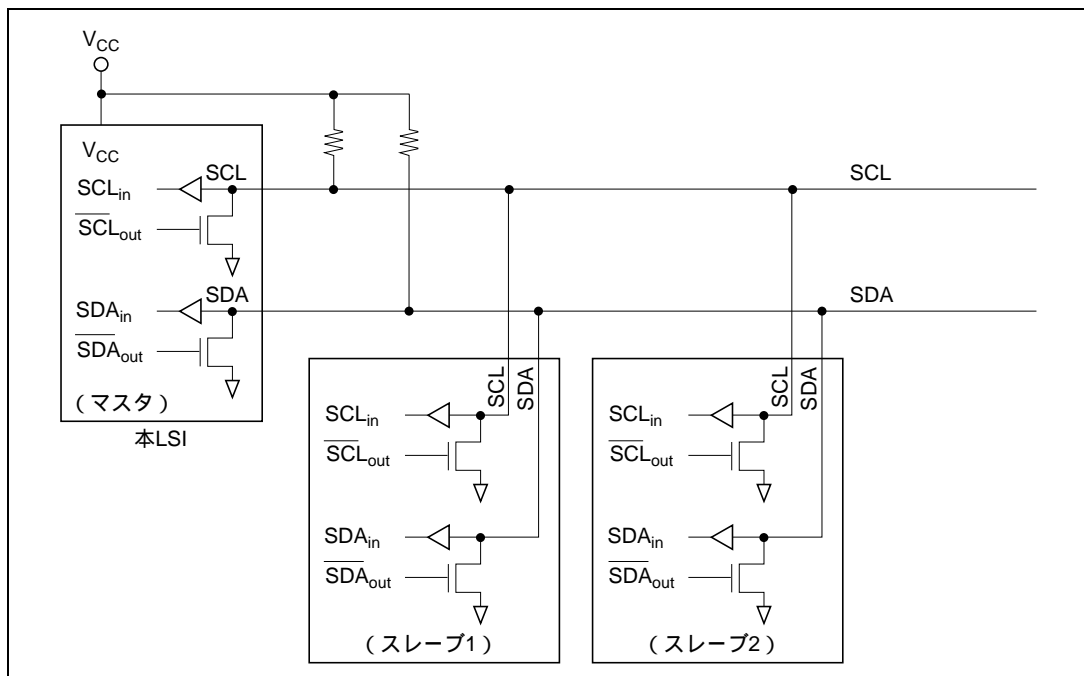


図 25.1 I²C バスインタフェースのブロック図

図 25.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

25.1.3 端子構成

I²C バスインタフェースで使用する端子を表 25.1 に示します。

表 25.1 端子構成

名称	記号	入出力	機能
シリアルクロック端子	SCL	入出力	IIC シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	IIC シリアルデータの入出力端子

25.1.4 レジスタ構成

I²C バスインタフェースのレジスタ構成を表 25.2 に示します。

表 25.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
I ² C バスコントロールレジスタ	ICCR	R/W	H'01	H'D158
I ² C バスステータスレジスタ	ICSR	R/W	H'00	H'D159
I ² C バスデータレジスタ	ICDR	R/W	-	H'D15E*2
I ² C バスモードレジスタ	ICMR	R/W	H'00	H'D15F*2
スレーブアドレスレジスタ	SAR	R/W	H'00	H'D15F*2
第 2 スレーブアドレスレジスタ	SARX	R/W	H'01	H'D15E*2
シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFEE
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'FF	H'FFEC
	MSTPCRL	R/W	H'FF	H'FFED

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 I²C バスコントロールレジスタの ICE ビットによりリード/ライトできるレジスタが変わります。
ICE = 0 のときスレーブアドレスレジスタ、ICE = 1 のとき I²C バスモードレジスタとなります。

25.2 各レジスタの説明

25.2.1 I²C バスデータレジスタ (ICDR)

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0

初期値 :

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0

初期値 :

R/W : R R R R R R R R

ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0

初期値 :

R/W :

ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0

初期値 :

R/W : W W W W W W W W

TDRE、RDRF (内部フラグ)

ビット :

TDRE	RDRF
------	------

初期値 :

0 0

R/W :

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可、リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えます。

ICDRS で 1 フレームのデータを送信/受信後、送信モードで ICDRT の次のデータがある場合 (TDRE フラグが 0 の場合) 自動的に ICDRT から ICDRS へデータが転送されます。ICDRS で 1 フレームのデータを送信/受信後、受信モードで ICDRR に以前のデータがない場合 (RDRF フラグが 0 の場合)、自動的に ICDRS から ICDRR にデータが転送されます。

25. I²C バスインタフェース (IIC)

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS=0 のとき MSB 側に、MLS=1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS=0 のとき LSB 側から、MLS=1 のとき MSB 側から読み出したビットを有効にしてください。

ICDR は、SARX と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICDR のリード/ライトが可能です。

ICDR のリセット時の値は不定です。

TDRE、RDRF フラグは、次のような条件でセット/クリアされます。TDRE、RDRF フラグのセットは、割り込みフラグの状態に影響を与えません。

TDRE	説明
0	送信開始不可、または、ICDR (ICDRT) に次の送信データが存在 (初期値) 〔クリア条件〕 (1) 送信モード (TRS=1) で ICDR (ICDRT) に送信データをライトしたとき (2) I ² C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき (3) I ² C バスフォーマットで停止条件を検出したとき (4) 受信モード (TRS=0) のとき (転送中の TRS の 0 ライトは、アクノリッジを含めたフレーム受信後に有効)
1	ICDR (ICDRT) に次の送信データをライト可能 〔セット条件〕 (1) 送信モード (TRS=1) のとき、I ² C バスフォーマット、シリアルフォーマットのマスターモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき (2) ICDRT から ICDRS にデータが転送されたとき (TRS = 1 かつ TDRE = 0 で ICDRS が空の場合、ICDRT ICDRS ヘデータ転送) (3) 開始条件検出後、受信モード (TRS=0) から送信モード (TRS=1) に切り替えたとき

RDRF	説明
0	ICDR (ICDRR) にあるデータは無効 (初期値) 〔クリア条件〕 受信モードで ICDR (ICDRR) の受信データをリードしたとき
1	ICDR (ICDRR) の受信データをリード可能 〔セット条件〕 ICDRS から ICDRR にデータが転送されたとき (TRS = 0 かつ RDRF = 0 で受信正常終了の場合、ICDRS ICDRR ヘデータ転送)

25.2.2 スレーブアドレスレジスタ (SAR)

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SAR は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR のリード/ライトが可能です。

リセット時、SAR は H'00 に初期化されます。

ビット 7~1 : スレーブアドレス (SVA6~SVA0)

SVA6~SVA0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット 0 : フォーマットセレクト (FS)

SARX の FSX ビットとともに、転送フォーマットを選択します。

- I²C バスフォーマット : アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット :
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

また、FS ビットは、スレーブモード時に SAR のスレーブアドレスの認識を行うか否かを選択します。

SAR ビット 0	SARX ビット 0	動作モード
FS	FSX	
0	0	I ² C バスフォーマット ・ SAR と SARX のスレーブアドレスを認識
	1	I ² C バスフォーマット ・ SAR のスレーブアドレスを認識 ・ SARX のスレーブアドレスを無視 (初期値)
1	0	I ² C バスフォーマット ・ SAR のスレーブアドレスを無視 ・ SARX のスレーブアドレスを認識
	1	クロック同期式シリアルフォーマット ・ SAR と SARX のスレーブアドレスを無視

25.2.3 第2スレーブアドレスレジスタ (SARX)

ビット :	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARX は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定および第2スレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は、ICDR と同じアドレスに割り付けられており、ICCR の ICE ビットを0に設定したときのみ、SARX のリード/ライトが可能です。

リセット時、SARX は H'01 に初期化されます。

ビット7~1：第2スレーブアドレス (SVAX6~SVAX0)

SVAX6~SVAX0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0：フォーマットセレクト X (FSX)

SAR の FS ビットとともに、転送フォーマットを選択します。

- I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット：
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

また、FSX ビットは、スレーブモード時に SARX のスレーブアドレスの認識を行うか否かを選択します。詳細は SAR の FS ビットの項を参照してください。

25.2.4 I²C バスモードレジスタ (ICMR)

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICMR は、8 ビットのリード/ライト可能なレジスタで、MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、マスタモード転送クロック周波数の選択、転送ビットの数の選択を行います。ICMR は、SAR と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICMR のリード/ライトが可能です。

リセット時、ICMR は H'00 に初期化されます。

ビット 7 : MSB ファースト/LSB ファースト選択 (MLS)

MSB ファーストでデータ転送するか、LSB ファーストでデータ転送するかを選択します。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側から、MLS ビットが 1 のとき MSB 側から読み出したビットを有効にしてください。

なお、I²C バスフォーマットで使用するときは、本ビットを 1 にセットしないでください。

ビット 7	説明
MLS	
0	MSB ファースト (初期値)
1	LSB ファースト

ビット 6 : ウェイト挿入ビット (WAIT)

I²C バスフォーマットでマスタモード時に、アクノリッジビットを除いたデータ転送後をウェイト状態にするかどうかを設定します。WAIT = 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL = Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。WAIT = 0 を設定した場合、ウェイト状態を挿入せず、データとアクノリッジを連続的に転送します。ICCR の IRIC フラグは、WAIT の設定に関係なく、アクノリッジの転送が完了した時点で 1 にセットされます。

スリープモード時は、本ビットの設定は無効になります。

ビット 6	説明
WAIT	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

25. I²C バスインタフェース (IIC)

ビット 5～3 : 転送クロック選択 (CKS2～CKS0)

CKS2～CKS0 ビットは、STCR レジスタの IICX ビットとの組み合わせにより、転送クロックの周波数を選択するビットで、マスタモード時に使用します。必要な転送レートに合わせて設定をしてください。

STCR ビット 6	ビット 5	ビット 4	ビット 3	クロック	転送レート		
					=5MHz	=8MHz	=10MHz
IICX	CKS2	CKS1	CKS0				
0	0	0	0	/28	179kHz	286kHz	357kHz
			1	/40	125kHz	200kHz	250kHz
		1	0	/48	104kHz	167kHz	208kHz
			1	/64	78.1kHz	125kHz	156kHz
	1	0	0	/80	62.5kHz	100kHz	125kHz
			1	/100	50.0kHz	80.0kHz	100kHz
		1	0	/112	44.6kHz	71.4kHz	89.3kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz
1	0	0	0	/56	89.3kHz	143kHz	179kHz
			1	/80	62.5kHz	100kHz	125kHz
		1	0	/96	52.1kHz	83.3kHz	104kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz
	1	0	0	/160	31.3kHz	50.0kHz	62.5kHz
			1	/200	25.0kHz	40.0kHz	50.0kHz
		1	0	/224	22.3kHz	35.7kHz	44.6kHz
			1	/256	19.5kHz	31.3kHz	39.1kHz

ビット 2～0 : ビットカウンタ (BC2～BC0)

BC2～BC0 ビットは、次に転送するデータのビット数を指定します。I²C バスフォーマット (SAR の FS ビットまたは SARX の FSX ビットが 0 のとき) では、データにアクノリッジ分 1 ビットが加算されて転送されます。BC2～BC0 ビットの設定は転送フレーム間で行ってください。また、BC2～BC0 ビットに 000 以外を設定する場合は、SCL が Low 状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時 000 に初期化されます。また、アクノリッジを含むデータ転送終了後、000 に再び戻ります。

ビット 2	ビット 1	ビット 0	ビット / フレーム	
			クロック同期式 シリアルフォーマット	I ² C バスフォーマット
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

25.2.5 I²C バスコントロールレジスタ (ICCR)

ビット :	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R(W)*	W

【注】* フラグをクリアするための0ライトのみ可能です。

ICCR は、8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェースの動作/非動作、割り込みの許可/禁止、マスタモード/スレーブモード、送信/受信、アクリッジの有効/無効の選択、I²C バスインタフェースのバス状態の確認、開始/停止条件の発行、および割り込みフラグの確認を行います。

リセット時、ICCR は H'01 に初期化されます。

ビット7 : I²C バスインタフェースイネーブル (ICE)

ICE ビットは、I²C バスインタフェースを使用する/使用しないを選択します。ICE ビットを1にセットすると、本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICE ビットを0にクリアすると、本モジュールは機能を停止し、内部状態をクリアします。

ICE = 0 のとき SAR および SARX が有効になり、ICE = 1 のとき ICMR および ICDR が有効になります。

ビット7	説明
ICE	
0	本モジュールは非動作状態 (SCL/SDA 端子はポート機能) (初期値) I ² C モジュールの内部状態の初期化 SAR、SARX がアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA 端子はバス駆動状態) ICMR、ICDR がアクセス可能

ビット6 : I²C バスインタフェース割り込みイネーブル (IEIC)

IEIC ビットは、I²C バスインタフェースから CPU に対する割り込みの許可/禁止を選択します。

ビット6	説明
IEIC	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

25. I²C バスインタフェース (IIC)

ビット 5 : マスタ / スレーブ 選択 (MST)

ビット 4 : 送信 / 受信 選択 (TRS)

MST ビットは、I²C バスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRS ビットは、I²C バスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

I²C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットは共にハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット (FS=0 または FSX=0) のとき、開始条件直後の第 1 フレームの R/W ビットにより、ハードウェアで自動的に受信 / 送信モードが設定されます。

転送中の TRS ビットの変更は、アクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

MST と TRS ビットとの組合せにより下表のような動作モードになります。

ビット 5	ビット 4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

ビット 5	説明
MST	
0	スレーブモード (初期値) 〔クリア条件〕 (1) ソフトウェアにより 0 をライトしたとき (2) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	マスタモード 〔セット条件〕 (1) ソフトウェアにより 1 をライトしたとき (クリア条件 (2) 以外の場合) (2) MST=0 をリード後、1 をライトしたとき (クリア条件 (2) の場合)

ビット 4	説明
TRS	
0	受信モード (初期値) 〔クリア条件〕 (1) ソフトウェアにより 0 をライトしたとき (セット条件 (3) 以外の場合) (2) TRS=1 をリード後、0 をライトしたとき (セット条件 (3) の場合) (3) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	送信モード 〔セット条件〕 (1) ソフトウェアにより 1 をライトしたとき (クリア条件 (3) 以外の場合) (2) TRS=0 をリード後、1 をライトしたとき (クリア条件 (3) の場合) (3) I ² C バスフォーマットのスレーブモードで第 1 フレームの R/W ビットとして 1 を受信したとき

ビット3：アクノリッジビット判定選択 (ACKE)

ACKE ビットは、I²C バスフォーマットで受信デバイスから返されるアクノリッジビットの内容を無視して連続的に転送を行なうか、アクノリッジビットが1ならば転送を中断してエラー処理等を行うかを選択します。ACKE ビットが0の場合には、受信したアクノリッジビットの内容は ACKB ビットに反映されず、ACKB ビットは常時0となります。

ACKE ビットが0の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に TDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが1の場合、アクノリッジビットが0でデータ送信が完了すると TDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが1でデータ送信が完了すると IRIC フラグだけがセットされます。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず1固定の場合があります。

ビット3	説明
ACKE	
0	アクノリッジビットの内容を無視して、連続的に転送を行う (初期値)
1	アクノリッジビットが1の場合、連続的な転送を中断する

ビット2：バスビジー (BBSY)

BBSY フラグをリードすることにより、I²C バス (SCL, SDA) が占有されているか解放されているかを確認できます。また、マスタモードでは開始条件、停止条件を発行する際に使用します。

BBSY フラグは、SCL = High レベルの状態でも SDA が High レベルから Low レベルに変化すると開始条件が発行されたと認識し、1にセットされます。SCL = High レベルの状態でも SDA が Low レベルから High レベルに変化すると停止条件が発行されたと認識し、0にクリアされます。

開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。開始条件 / 停止条件の発行は、MOV 命令を用います。

スレープモード時の BBSY フラグのライトは無効です。すなわち、開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY = 1 かつ SCP = 0 をライトする以前に、MST = 1 かつ TRS = 1 を設定してください。

ビット2	説明
BBSY	
0	バス解放状態 〔クリア条件〕・停止条件検出時 (初期値)
1	バス占有状態 〔セット条件〕・開始条件検出時

25. I²C バスインタフェース (IIC)

ビット1: I²C バスインタフェース割り込み要求フラグ (IRIC)

IRIC フラグは、I²C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。IRIC フラグは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき、マスタ送信モードでバス競合負けをしたとき、または停止条件検出時に 1 にセットされます。SAR の FS ビットと ICMR の WAIT ビットの組合せにより IRIC フラグのセットタイミングが異なりますので、「25.3.6 IRIC セットタイミングと SCL 制御」の項を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。IRIC フラグのクリアは、IRIC = 1 をリードした後、0 をライトすることで行われます。

ビット1	説明
IRIC	
0	転送待ち状態、または転送中 〔クリア条件〕 (1) IRIC = 1 の状態でリードした後、0 をライトしたとき (初期値)
(1)	割り込みが発生 〔セット条件〕 I ² C バスフォーマットでマスタモード (1) 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第1フレーム送信のため TDRE フラグが1にセットされたとき) (2) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (3) データ転送終了時 (送信クロックの9クロック目の立ち上がりのとき、およびウェイト挿入時の送受信クロックの8クロック目の立ち下がりのとき) (4) バス競合負けの後、スレーブアドレスを受信したとき (AL フラグが1にセットされたとき) (5) ACKE ビットが1のとき、アクノリッジビットとして1を受信したとき (ACKB ビットが1にセットされたとき) I ² C バスフォーマットでスレーブモード (1) スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが1にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが1にセットされたとき) (2) ゼネラルコールアドレスを検出したとき (FS=0 かつ ADZ フラグが1にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが1にセットされたとき) (3) ACKE ビットが1のとき、アクノリッジビットとして1を受信したとき (ACKB ビットが1にセットされたとき) (4) 停止条件を検出したとき (STOP または ESTP フラグが1にセットされたとき) クロック同期式シリアルフォーマット (1) データ転送終了時 (TDRE または RDRF フラグが1にセットされたとき) (2) シリアルフォーマットで開始条件を検出したとき 上記の他、TDRE あるいは RDRF が1にセットされる条件が発生したとき

I²C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTR フラグがセットされる場合とされない場合があります。DTC*起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。DTC*を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 25.3 に示します。

【注】* 本 LSI では DTC は内蔵しておりません。

表 25.3 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送信/受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトラージョンロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第1フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送信/受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送信/受信終了 (SARX 一致後)
0	1	1	0	0	0	1	0	0	0	1	スレーブモード送信/受信終了 (SARX 一致後)
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

ビット0：開始条件/停止条件発行禁止ビット (SCP)

SCP ビットは、マスタモードでの開始条件/停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。本ビットは、リードすると常に 1 が読み出されます。また、1 をライトしてもデータは格納されません。

ビット0	説明
SCP	
0	ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に 1 をリード ライト時、無効

25. I²C バスインタフェース (IIC)

25.2.6 I²C バスステータスレジスタ (ICSR)

ビット :	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ICSR は、8 ビットのリード/ライト可能なレジスタで、フラグの確認、アクノリッジの確認および制御を行います。

リセット時、ICSR は H'00 に初期化されます。

ビット7：エラー停止条件検出フラグ (ESTP)

ESTP フラグは、I²C バスフォーマットのスレープモードで、フレームの転送の途中で停止条件を検出したことを示します。

ビット7	説明
ESTP	
0	エラー停止条件なし (初期値) 〔クリア条件〕 (1) ESTP = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	I ² C バスフォーマットでスレープモードのとき エラー停止条件を検出 〔セット条件〕 ・フレームの転送の途中で停止条件を検出したとき I ² C バスフォーマットでスレープモードのとき以外 意味なし

ビット6：正常停止条件検出フラグ (STOP)

STOP フラグは、I²C バスフォーマットのスレープモードで、フレームの転送の完了後に停止条件を検出したことを示します。

ビット6	説明
STOP	
0	正常停止条件なし (初期値) 〔クリア条件〕 (1) STOP = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	I ² C バスフォーマットでスレープモードのとき 正常停止条件を検出 〔セット条件〕 ・フレームの転送の完了後に停止条件を検出したとき I ² C バスフォーマットでスレープモードのとき以外 意味なし

ビット5：I²Cバスインタフェース連続送受信割り込み要求フラグ (IRTR)

IRTR フラグは、I²C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC*起動可能な連続送受信動作の 1 フレーム送受信の完了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。

IRTR フラグのセットは、TDRE または RDRF フラグが 1 にセットされたときに行われます。IRTR フラグのクリアは、IRTR = 1 をリードした後、0 をライトすることで行われます。また、IRIC フラグを 0 にクリアすると IRTR フラグは自動的にクリアされます。

【注】* 本 LSI では DTC は内蔵されていません。

ビット5	説明
IRTR	
0	転送待ち状態、または転送中 〔クリア条件〕 (1) IRTR = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき (初期値)
1	連続転送状態 〔セット条件〕 I ² C バスインタフェースでスレーブモードのとき ・ AASX = 1 の状態で、TDRE または RDRF フラグが 1 にセットされたとき I ² C バスインタフェースでスレーブモードのとき以外 ・ TDRE または RDRF フラグが 1 にセットされたとき

ビット4：第2スレーブアドレス認識フラグ (AASX)

AASX フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6 ~ SVAX0 と一致した場合、AASX = 1 となります。

AASX フラグのクリアは、AASX = 1 をリードした後、0 をライトすることで行われます。また、開始条件を検出すると自動的にクリアされます。

ビット4	説明
AASX	
0	第 2 スレーブアドレスを未認識 〔クリア条件〕 (1) AASX = 1 の状態をリードした後、0 をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき (初期値)
1	第 2 スレーブアドレスを認識 〔セット条件〕 ・ スレーブ受信モードかつ FSX = 0 で第 2 スレーブアドレスを検出したとき

25. I²C バスインタフェース (IIC)

ビット3：アービトレーションロストフラグ (AL)

AL フラグは、マスタモード時にバス競合負けをしたことを示します。

複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。

AL フラグのクリアは、AL=1 をリードした後、0 をライトすることで行われます。また、ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット3	説 明
AL	
0	バスを確保 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、データをリード (受信時) したとき (2) AL=1 の状態をリードした後、0 をライトしたとき
1	バス競合負け (アービトレーションロスト) 〔セット条件〕 (1) マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき (2) マスタ送信モードで SCL の立ち下がりで内部 SCL が High レベルのとき

ビット2：スレーブアドレス認識フラグ (AAS)

AAS フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームが SAR の SVA6 ~ SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出した場合、AAS = 1 となります。

AAS フラグのクリアは、AAS = 1 をリードした後、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット2	説 明
AAS	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) AAS = 1 の状態をリードした後、0 をライトしたとき (3) マスタモードのとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつ FS = 0 でスレーブアドレスまたはゼネラルコールアドレスを検出したとき

ビット1：ゼネラルコールアドレス認識フラグ (ADZ)

ADZ フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームでゼネラルコールアドレス (H'00) を検出した場合、ADZ=1 となります。

ADZ フラグのクリアは、ADZ=1 をリードした後、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット1	説明
ADZ	
0	ゼネラルコールアドレスを未認識 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) ADZ=1 の状態をリード後、0 をライトしたとき (3) マスタモードのとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつ (FSX=0 または FS=0) でゼネラルコールアドレスを検出したとき

ビット0：アクノリッジビット (ACKB)

ACKB ビットは、アクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータを ACKB ビットにロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。

ビット0	説明
ACKB	
0	受信時、アクノリッジ出力タイミングで 0 出力 (初期値) 送信時、受信デバイスからアクノリッジがあった (0 だった) ことを示す
1	受信時、アクノリッジ出力タイミングで 1 出力 送信時、受信デバイスからアクノリッジがなかった (1 だった) ことを示す

25.2.7 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
		IICX	IICRST		FLSHE			
初期値 :	0	0	0	0	0	0	0	0
R/W :		R/W	R/W		R/W			

STCR は 8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェースの動作モードの制御の選択を行います。

STCR はリセット時に H'00 に初期化されます。

ビット 7 : リザーブビット

ビット 6 : I²C トランスファレートセレクト (IICX)

ICMR の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。

転送レートの詳細は「25.2.4 I²C バスモードレジスタ (ICMR)」の項を参照してください。

ビット 5 : I²C コントロール部リセット (IICRST)

IICRST ビットは、I²C バスインタフェースの内部状態の初期化を制御します。I²C バスインタフェース動作中に通信不具合等によりハングアップした時、IICRST ビットを 1 にセットすると、I²C バスインタフェースのコントロール部のリセットを発生させ、ポートの設定、レジスタの初期化をせずに I²C バスインタフェースの内部状態を初期化することができます。詳細は、「25.3.9 内部状態の初期化」を参照してください。

また、本ビットが 1 にセットされたままだと初期化は継続し I²C バスインタフェースは動作できません。セット後は必ず 0 にクリアしてください。

ビット 5	説 明	
IICRST		
0	I ² C バスインタフェースのコントロール部をリセットしない	(初期値)
1	I ² C バスインタフェースのコントロール部をリセットする	

ビット 3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタを選択するビットです。詳細は、「7.3.4 または 8.5.5 シリアルタイムコントロールレジスタ」を参照してください。

ビット 4、2~0 : リザーブビット

25.2.8 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCR _H								MSTPCR _L							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTPCR の対応するビットを 1 にセットすると、バスサイクルの終了時点で IIC は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。スタンバイモードでは初期化されません。

MSTPCR_L ビット 6 : モジュールストップ (MSTP6)

I²C のモジュールストップモードを指定します。

MSTPCR _L ビット 6	説 明
MSTP6	
0	I ² C モジュールストップモード解除
1	I ² C モジュールストップモード設定 (初期値)

25.3 動作説明

25.3.1 I²C バスデータフォーマット

I²C バスインタフェースには、シリアルフォーマットと I²C バスフォーマットがあります。

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 25.3 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 25.4 に示します。また、I²C バスのタイミングを図 25.5 に示します。

図 25.3 ~ 図 25.5 の記号説明を表 25.4 に示します。

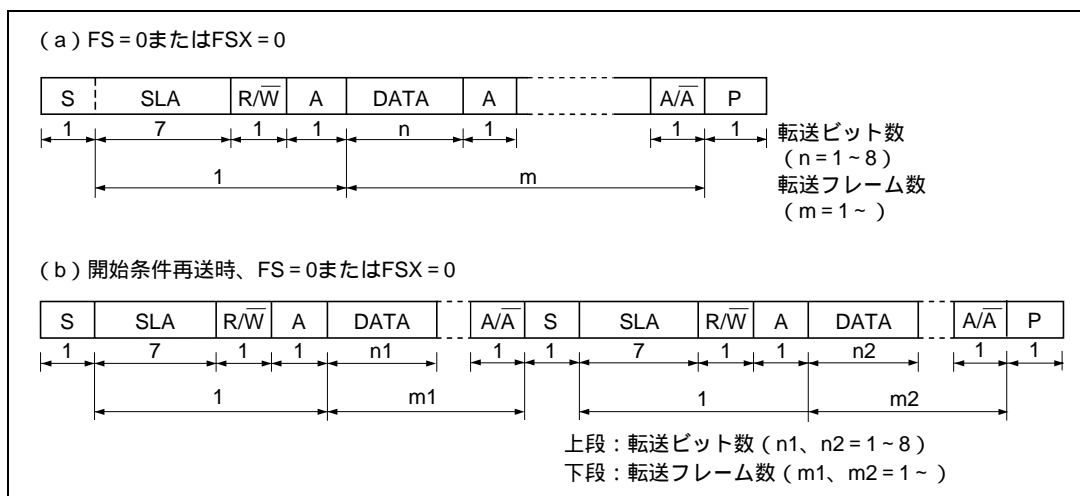


図 25.3 I²C バスデータフォーマット (I²C バスフォーマット)

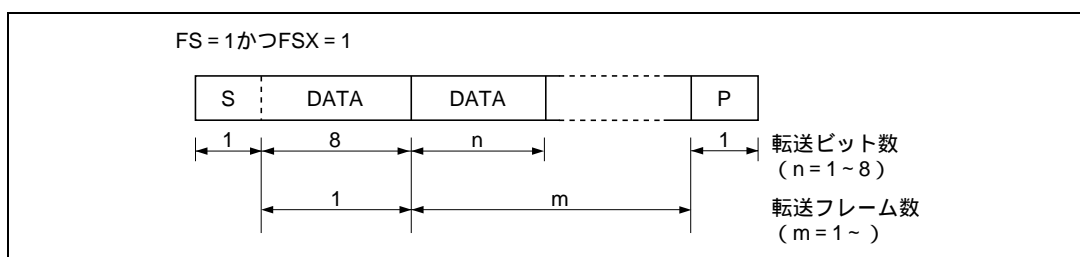
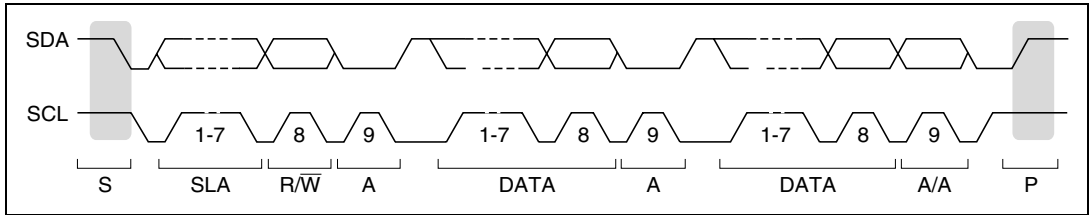


図 25.4 I²C バスデータフォーマット (シリアルフォーマット)

図 25.5 I²C バスタイミング表 25.4 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

25.3.2 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

- [1] ICCRのICEビットを1に設定します。ICMRのMLS、WAITビット、CKS2~CKS0ビット、およびSTCRのIICXビットを動作モードに合わせて設定します。
- [2] ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
- [3] ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
- [4] ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
- [5] 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
- [6] ICDRにデータ(スレーブアドレス+R/W)をライトします。開始条件発行命令実行後、ICDRへのデータのライトは必ず開始条件生成後に行ってください。開始条件生成前にライトすると、データが正しく出力されなくなることがあります。

I²Cバスフォーマット(SARのFSビットまたはSARXのFSXビットが0のとき)では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信 / 受信の方向を示します。次に転送終了を判断するためIRICフラグを0にクリアします。

ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。

もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

マスタデバイスは図25.6で示すタイミングで送信クロックとICDRにライトされたデータを

25. I²C バスインタフェース (IIC)

- 順次送出します。選択された（スレーブアドレスが一致した）スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
- [7] 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
- [8] ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、[12]の送信終了処理を行い、再度送信動作をやり直してください。
- [9] ICDRに送信データをライトします。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここで[6]同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
- [10] 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
- [11] ICSRのACKBビットをリードします。
スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、[9]に戻り次の送信動作に移ります。一方、スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、[12]の送信終了処理を行います。
- [12] IRICフラグを0にクリアします。
ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

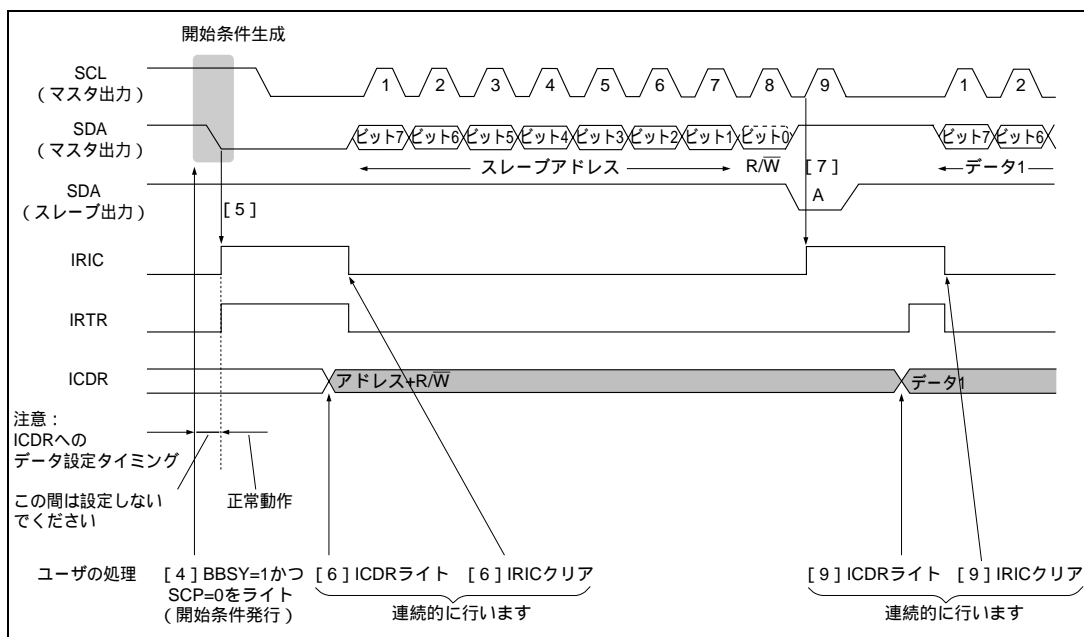


図 25.6 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

25.3.3 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

I²C バスインタフェースモジュールのデータバッファは、ICDRR と ICDRS で構成されているため連続受信が可能ですが、最終データの受信完了処理が遅れた場合に、停止条件発行命令と次のデータの受信のための SCL クロック出力とが競合し、余分なクロックの発生や SDA ラインの出力 Low 固定などの現象が発生することがあります。

また、I²C システムでは、マスタの最終データ受信時、アクノリッジを返さないというアクノリッジビットの切り替え制御が必要になるため、ICSR レジスタの ACKB ビットの切り替えタイミングを制御する必要があります。

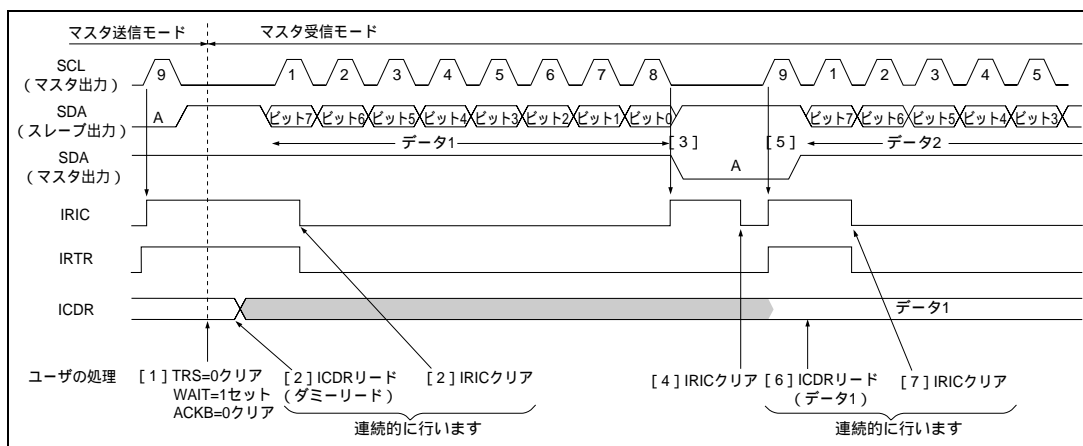
これらについては、ウェイト機能を用いることで回避することが可能となります。

以下にウェイト動作を利用し、ICDR のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

- [1] ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICMRのWAITビットを1にセットします。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
- [2] ICDRをリード(ダミーデータリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
次にウェイトを判断するためIRICフラグを0にクリアします。
ここでICDRのリードとIRICフラグのクリアは連続的に行い、他の割込み処理が入らないようにしてください。
もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
- [3] 1フレームの受信クロックの8クロック目の立ち下がりでIRICフラグが1にセットされます。
このとき、ICCRのIEICビットが1にセットされているとCPUに対して割込み要求を発生します。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
1フレーム目が最後の受信データの場合は、[10]の終了処理を行ってください。
- [4] ウェイトを解除するためIRICフラグを0にクリアします。
マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。
- [5] 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでIRICフラグ、およびIRTRフラグが1にセットされます。
マスタデバイスは引き続き次の受信データの受信クロックを出力します。
- [6] ICDRの受信データをリードします。
- [7] 次のウェイトを判断するためIRICフラグを0にクリアします。
[4] (または[9]) のウェイト解除のため、IRICフラグクリアから[5] ~ [7] のデータ受信完了処理までは、1バイト分の転送時間内で行うようにしてください。
- [8] 1フレームの受信クロックの8クロック目の立ち下がりでIRICフラグが1にセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
このフレームが最後の受信データの場合は、[10]の終了処理を行ってください。

25. I²C バスインタフェース (IIC)

- [9] ウェイトを解除するためIRICフラグを0にクリアします。
 マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アックノリッジを返します。
- [5]から[9]を繰り返し行うことにより、データを受信することができます。
- [10] ICSRのACKBビットを1にセットし、最後の受信アックノリッジデータを設定します。
 ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。
- [11] ウェイトを解除するためIRICフラグを0にクリアします。
- [12] 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
- [13] ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。
 その後、ICDRの受信データをリードし、IRICフラグを0にクリアします。
 IRICフラグのクリアはWAIT=0の状態で行ってください。
 (IRICフラグを0にクリア後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、SDAラインがLow固定され、停止条件が発行できなくなります。)
- [14] ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。



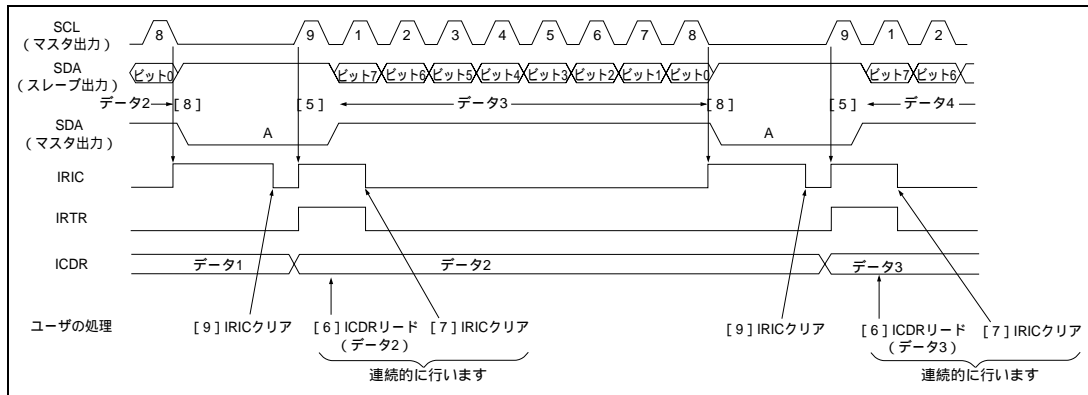


図 25.8 マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき) (続き)

25.3.4 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- [1] ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
- [2] マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
- [3] 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/W) が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行いません。
- [4] 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割込み要求が発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行いません。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち下がりからICDRにデータをリードするまでSCLをLowレベルにします。
- [5] ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。

[4] から [5] を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

25. I²C バスインタフェース (IIC)

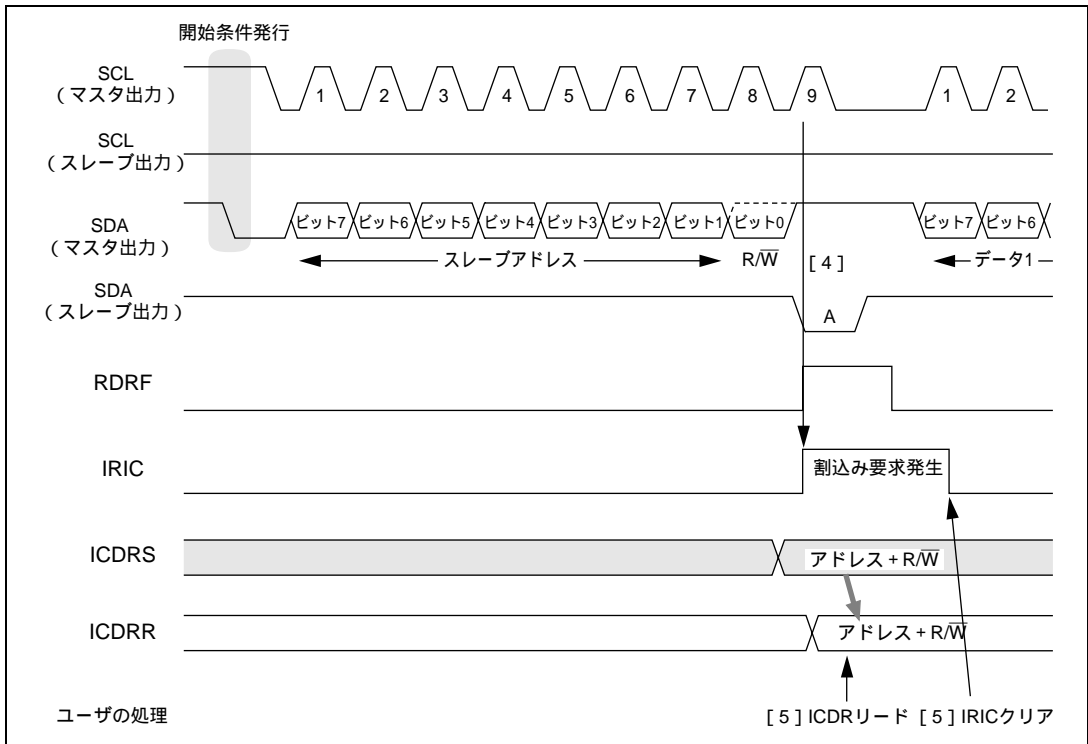


図 25.9 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)

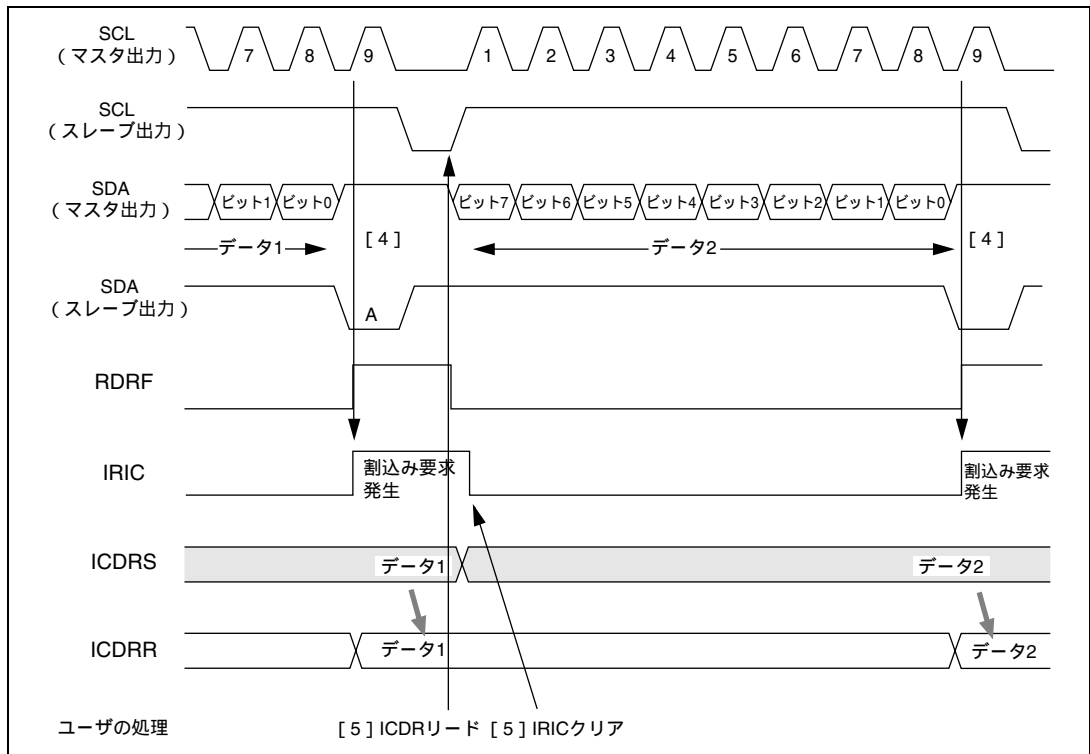


図 25.10 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)

25.3.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

- [1] ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
- [2] 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされ、このとき、ICCRのIEICビットが1にセットされているとCPUに対し割り込み要求を発生します。また、8ビット目のデータ (R/W) が1のときICCRのTRSビットが1にセットされ、自動的にスレーブ送信モードに変化します。このときTDREフラグが1にセットされます。スレーブデバイスは送信クロックの立ち上がりからICDRデータをライトするまでSCLをLowレベルにします。
- [3] IRICフラグを0にクリア後、ICDRにデータをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。IRICフラグを0にクリア後、ICDRに次のデータをライトします。スレーブデバイスは図25.11で示すタイミングでマスタデバイスが出力するクロックにしたがい、ICDRにライトされたデータを順次送出します。

25. I²C バスインタフェース (IIC)

[4] 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICCRのIRICフラグが1にセットされます。またこのスレーブデバイスは、TDRE内部フラグが1にセットされていると、送信クロックの立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。マスターデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。

[5] 送信を続ける場合は、IRICフラグを0にクリア後、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。

[4] から [5] を繰り返し行うことにより、送信動作を継続できます。送信を終了する場合はスレーブ側で SDA を開放するために ICDR に H'FF をライトします。SCL が High レベルのとき SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

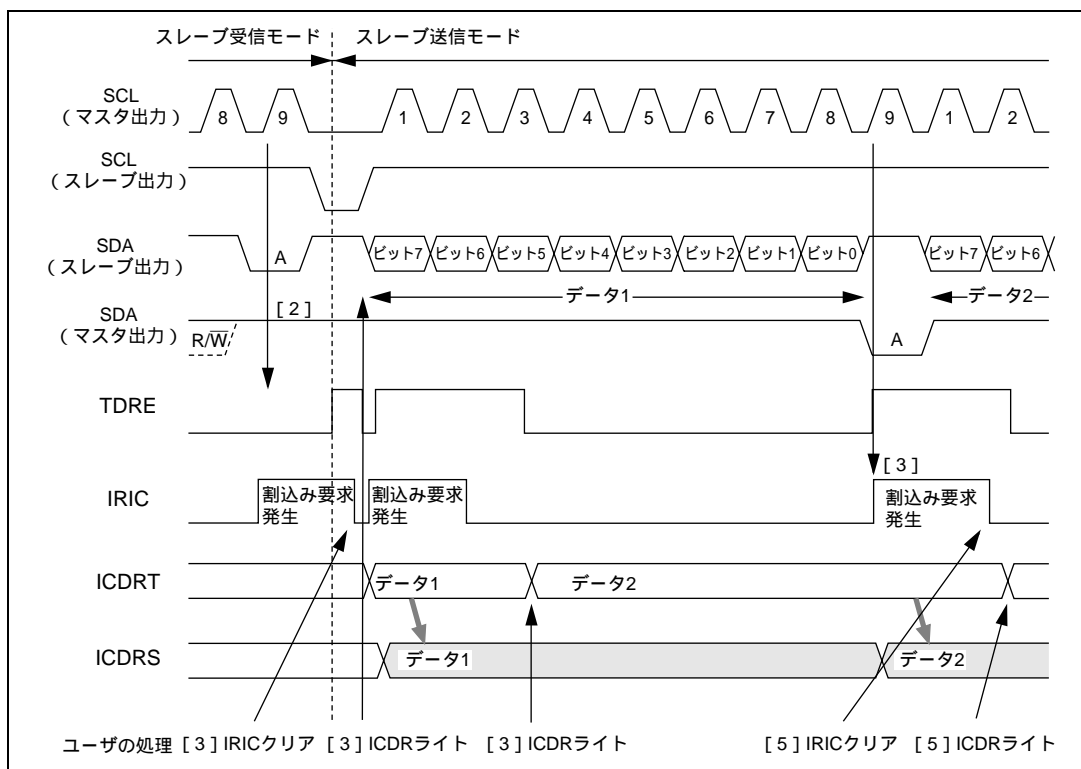


図 25.11 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

25.3.6 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 25.12 に IRIC セットタイミングと SCL 制御を示します。

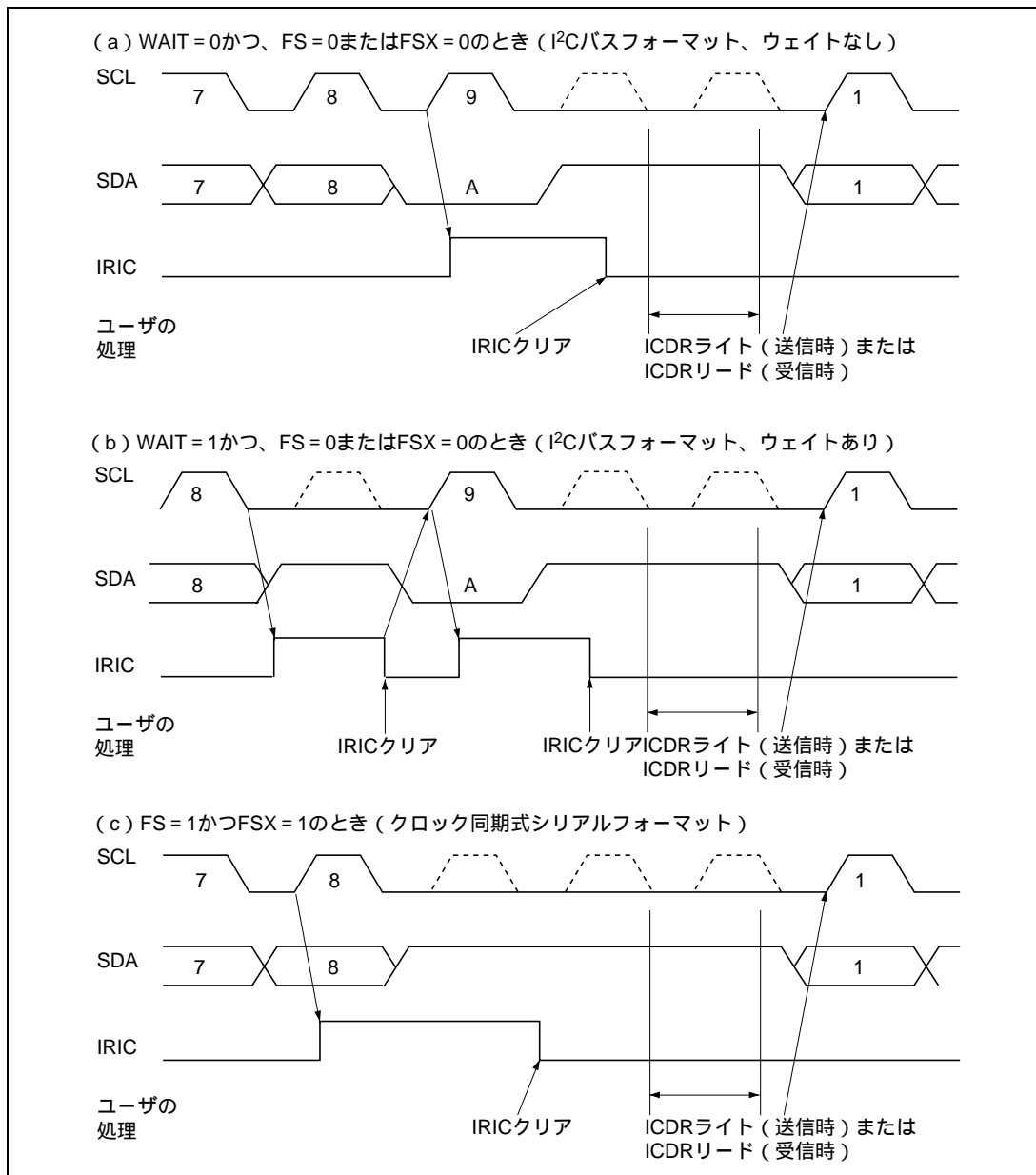


図 25.12 IRIC セットタイミングと SCL 制御

25.3.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 25.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

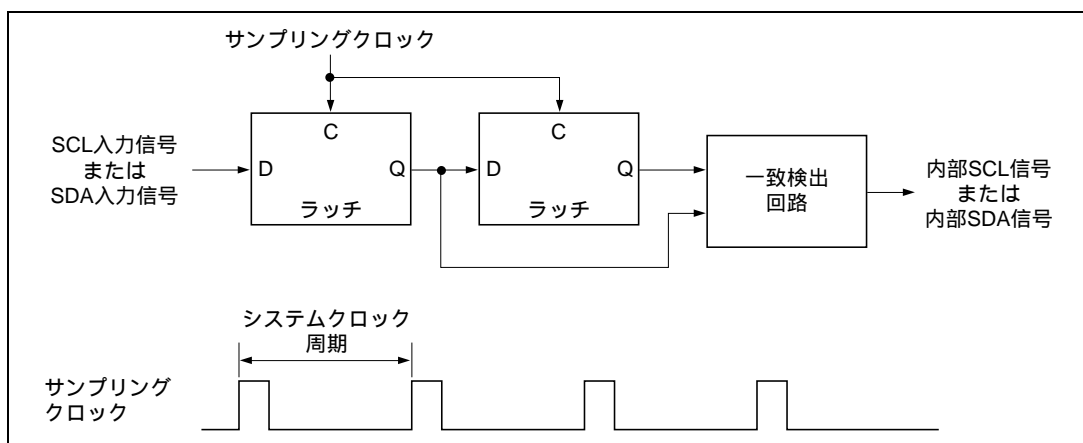


図 25.13 ノイズ除去回路のブロック図

25.3.8 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 25.14 ~ 図 25.17 に示します。

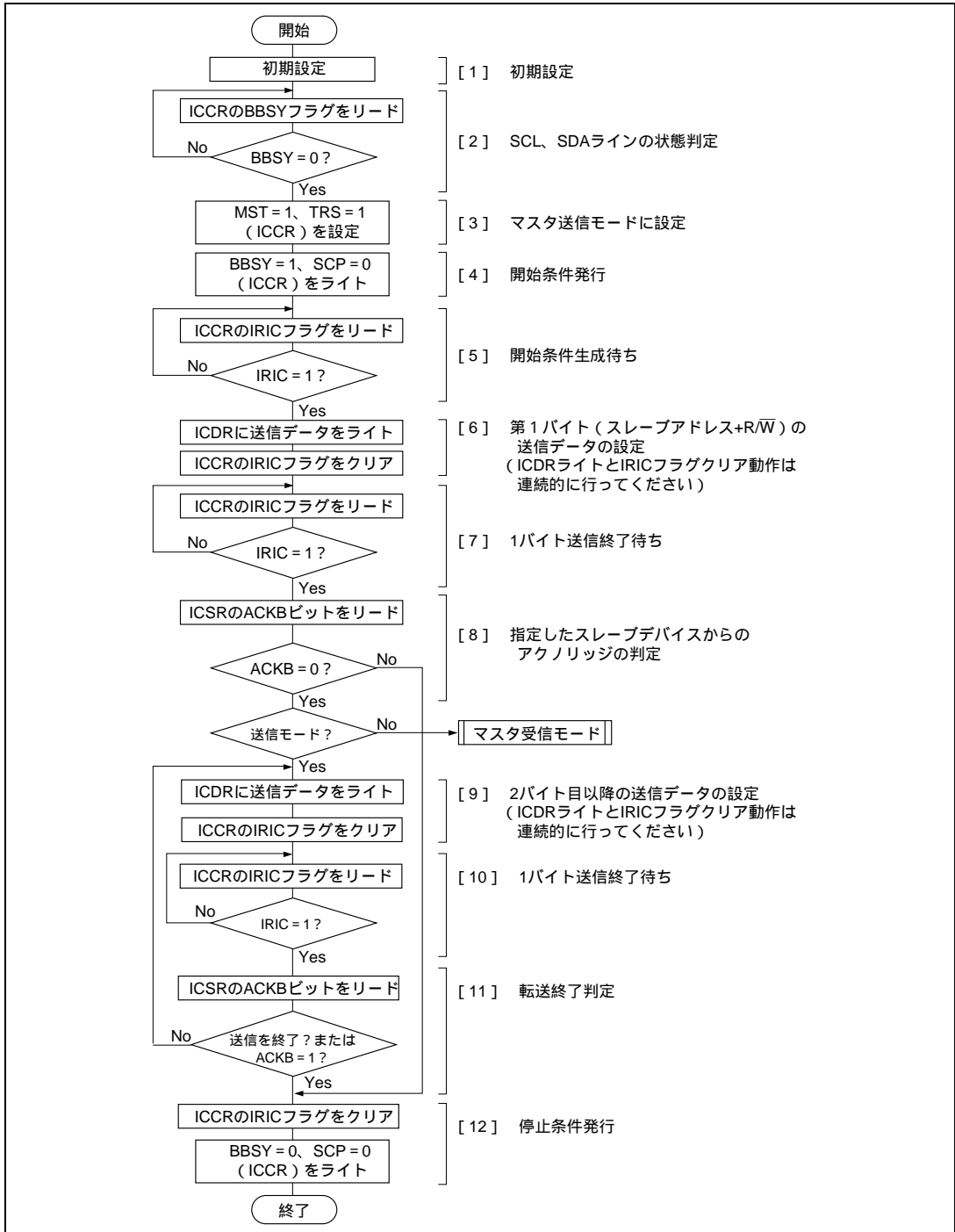


図 25.14 マスタ送信モードのフローチャート例

25. I²C バスインタフェース (IIC)

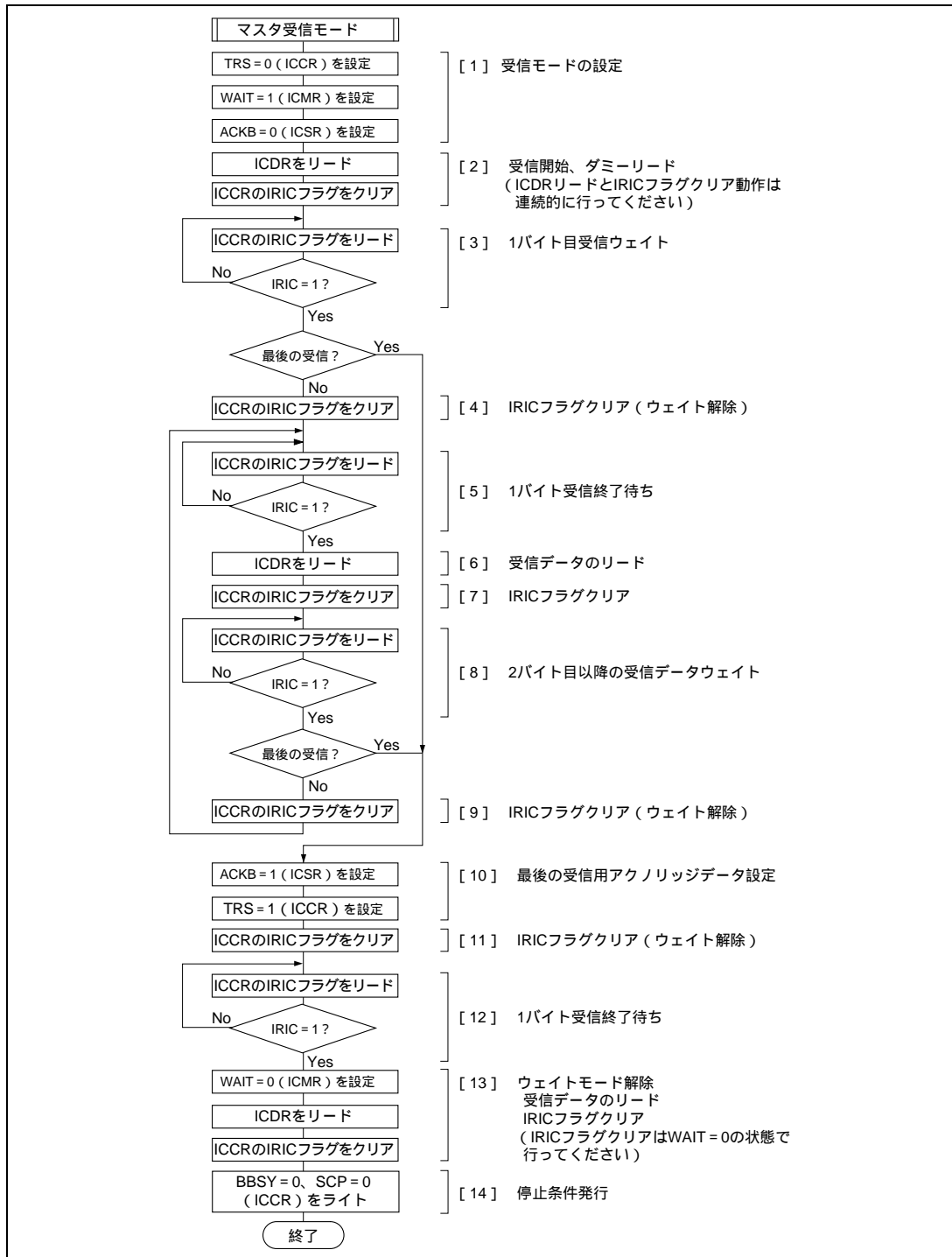


図 25.15 マスタ受信モードのフローチャート例

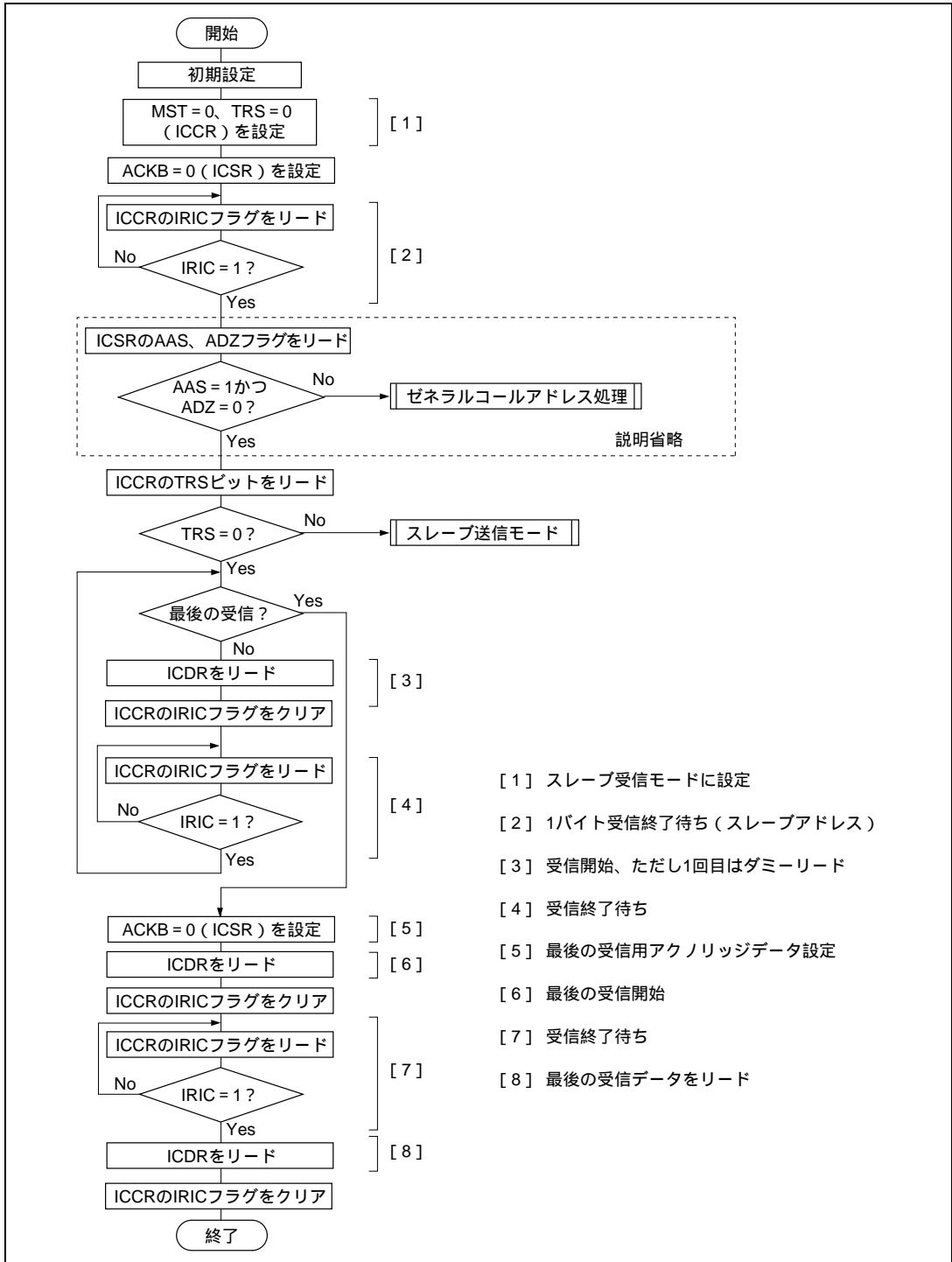


図 25.16 スレープ受信モードフローチャート例

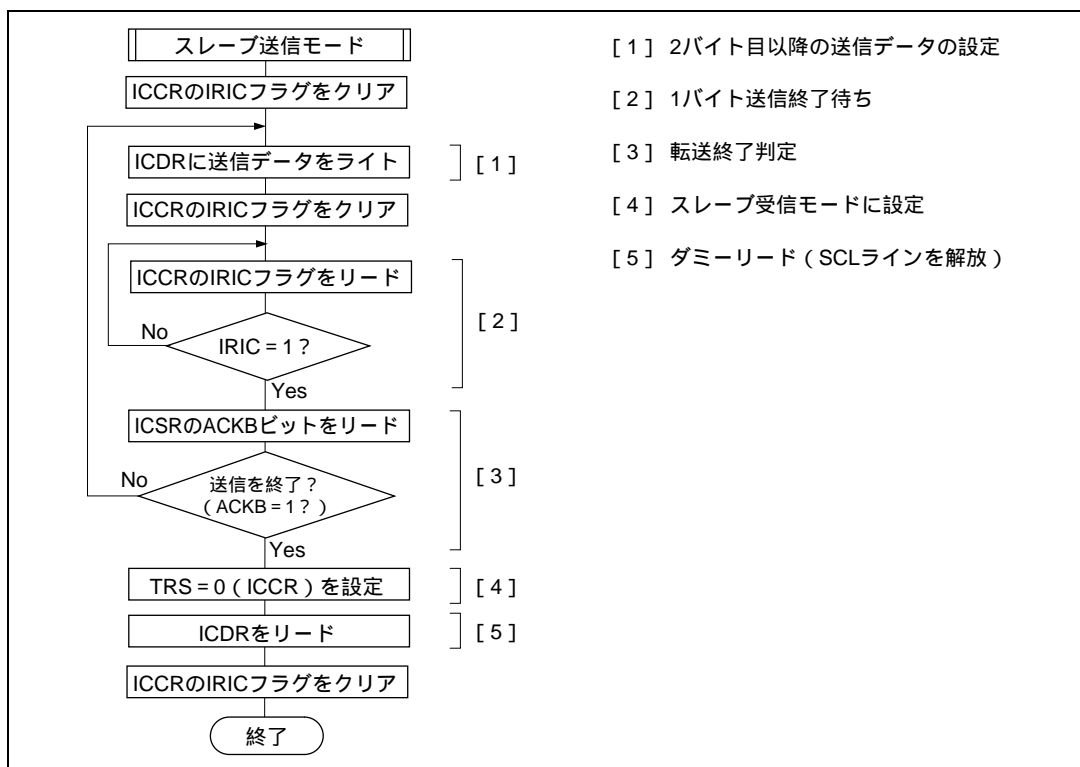


図 25.17 スレーブ送信モードフローチャート例

25.3.9 内部状態の初期化

本 I²C は、通信動作中のデッドロック発生時に、強制的に I²C 内部状態を初期化させる機能を持っています。

初期化は、(1) STCR レジスタの IICRST ビットの設定、または (2) ICE ビットのクリアにより実行されます。「25.2.7 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- TDRE、RDRF 内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、STCR)
- ICMR、ICCR、ICSR 各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ICMR レジスタのビットカウンタ (BC2 ~ BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- IICRST ビットにより初期化を行う場合、IICRST ビットのライトデータは保持されます。I²C クリアを行う場合は、必ず MOV 命令を使用し、IICRST ビットに 1 をライト後、0 にクリアしてください。1 にセットされたままでは I²C は動作できません。BCLR などのビット操作命令は使用しないでください。
- 送受信中にフラグのクリア設定を行うと、その時点で I²C モジュールは送受信を中止し SCL、SDA 端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き替えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、I²C の状態を初期化するときは、以下の手順に従ってください。

- (1) IICRST ビットの設定、または ICE ビットによる内部状態の初期化実行
- (2) BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY = 0かつ SCP = 0ライト) および、転送レート of 2クロック分の期間ウェイト
- (3) IICRST ビットの設定、または ICE ビットによる内部状態の初期化の再実行
- (4) I²C の各レジスタの初期化 (再設定)

25.4 使用上の注意

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAが共にLowレベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
- (2) 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
 - (a) ICE = 1かつTRS = 1かつICDRにライトしたとき (ICDRT ICDRSの自動転送を含む)
 - (b) ICE = 1かつTRS = 0かつICDRをリードしたとき (ICDRS ICDRRの自動転送を含む)
- (3) SCL、SDA出力は、内部クロックに同期して表25.5に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 25.5 I²C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCL}	$28t_{cyc} \sim 256t_{cyc}$	ns	図 29.10 (参考)
SCL 出力 High パルス幅	t_{SCLH}	$0.5t_{SCL}$	ns	
SCL 出力 Low パルス幅	t_{SCLL}	$0.5t_{SCL}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCL} - 1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAH}	$0.5t_{SCL} - 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STAS}	$1t_{SCL}$	ns	
停止条件出力セットアップ時間	t_{STOS}	$0.5t_{SCL} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDAS}	$1t_{SCL} - 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCL} - (6t_{cyc} \text{ または } 12t_{cyc}^*)$	ns	
データ出力ホールド時間	t_{SDAH}	$3t_{cyc}$	ns	

【注】 *1 IICX が 0 のとき $6t_{cyc}$ 、1 のとき $12t_{cyc}$ となります。

- (4) SCL、SDA入力は、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第29章 電気的特性」の表29.6に示すように、システムクロック周期 t_{cyc} に依存しています。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。
- (5) SCLの立ち上がり時間 t_{Sr} は、I²Cバスインタフェースの仕様で100ns (高速モード時は300ns)以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 t_{Sr} (Lowレベルから V_{IH} まで変化する時間)が、I²Cバスインタフェースの入力クロックで決まる時間を越えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表25.6に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 25.6 SCL 立ち上がり時間 (t_{sr}) の許容範囲

IICX	t_{cyc} 表示	時間表示 [ns]				
		I ² C バス 仕様(max.)	= 5MHz	= 8MHz	= 10MHz	
0	7.5 t_{cyc}	標準モード	1000		937	750
		高速モード	300			
1	17.5 t_{cyc}	標準モード	1000			
		高速モード	300			

(6) SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表25.5に示すように t_{scyc} と t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表25.7は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a)停止条件発行後、開始条件の発行まで必要なインターバル(1 μ s程度)を確保するようプログラムする必要があります。あるいは、(b)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{sr} / t_{sr} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a)プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b)転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

25. I²C バスインタフェース (IIC)

表 25.7 I²C バスタイミング (t_{sr}/t_{sf} 影響最大の場合)

項目	t_{cyc} 表示	時間表示 (最大転送レート時) [ns]					
		t_{sr}/t_{sf} 影響(max.)	I ² C バス仕様(min.)	= 5MHz	= 8MHz	= 10MHz	
t_{SCLHO}	$0.5t_{SCLO}$ ($-t_{sr}$)	標準モード	-1000	4000	4000		
		高速モード	-300	600	950		
t_{SCLLO}	$0.5t_{SCLO}$ ($-t_{sr}$)	標準モード	-250	4700	4750		
		高速モード	-250	1300	1000 ^{*1}		
t_{BUFO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{sr}$)	標準モード	-1000	4700	3800 ^{*1}	3875 ^{*1}	3900 ^{*1}
		高速モード	-300	1300	750 ^{*1}	825 ^{*1}	850 ^{*1}
t_{STAHO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{sr}$)	標準モード	-250	4000	4550	4625	4650
		高速モード	-250	600	800	875	900
t_{STASO}	$1t_{SCLO}$ ($-t_{sr}$)	標準モード	-1000	4700	9000	9000	9000
		高速モード	-300	600	2200	2200	2200
t_{STOSO}	$0.5t_{SCLO}+2t_{cyc}$ ($-t_{sr}$)	標準モード	-1000	4000	4400	4250	4200
		高速モード	-300	600	1350	1200	1150
t_{SDASO} マスタ時	$1t_{SCLLO}^{*3}-3t_{cyc}$ ($-t_{sr}$)	標準モード	-1000	250	3100	3325	3400
		高速モード	-300	100	400	625	700
t_{SDASO} スレーブ時	$1t_{SCLL}^{*3}-12t_{cyc}^{*2}$ ($-t_{sr}$)	標準モード	-1000	250	1300	2200	2500
		高速モード	-300	100	-1400 ^{*1}	-500 ^{*1}	-200 ^{*1}
t_{SDAHO}	$3t_{cyc}$	標準モード	0	0	600	375	300
		高速モード	0	0			

【注】 *1 I²C バスインタフェースの仕様を満足しません。(1) 開始/停止条件発行のインターバルを確保する。(2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。(4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。などの対応が必要です。

なお、上表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICX ビットが1 のときです。IICX ビットを0 に設定すると、($t_{SCLL}-6t_{cyc}$) となります。

*3 I²C バス仕様値 (標準モード: 4700ns min.、高速モード: 1300ns min.) で計算しています。

(7) マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDRに転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRSビットが0の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態ICDRレジスタをリードしてください。このとき、停止条件発行のための命令実行 (ICCRのBBSY=0かつSCP=0をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロック

クが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後の MST ビットのクリアなど、送受信の動作モード、設定変更のための I²C 制御ビットの書き替えについては、必ず図 25.18 の (a) 期間中 (ICCR レジスタの BBSY ビットの 0 クリア確認後) に行ってください。

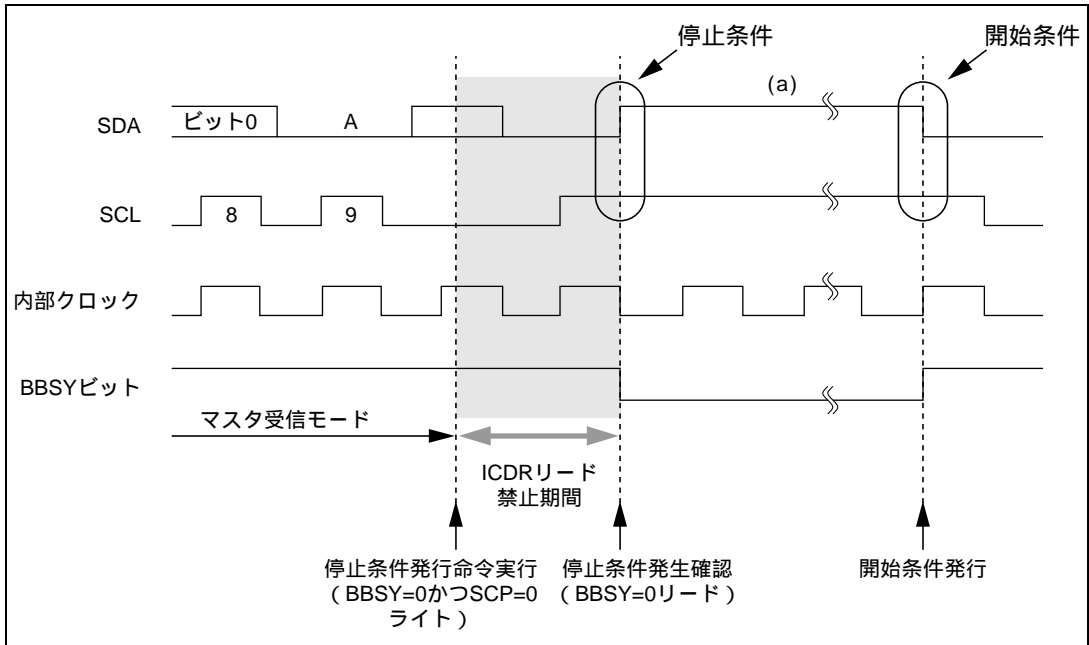


図 25.18 マスタ受信データ読み出しにおける注意

(8) 再送のための開始条件発行時の注意事項

図25.19に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成した後にICDRへ送信データをライトしてください。

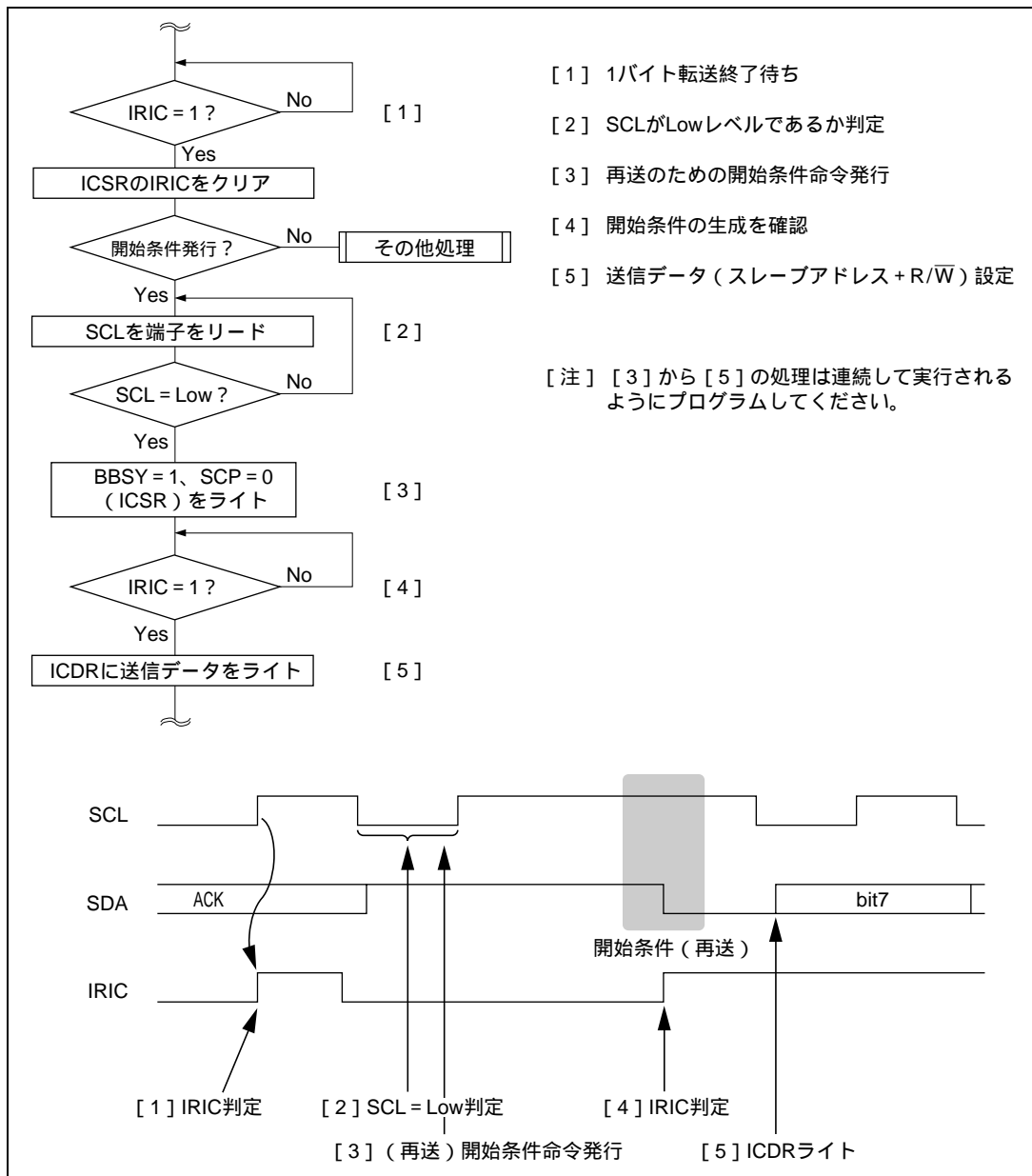


図 25.19 再送のための開始条件命令発行フローチャートおよびタイミング

(9) I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードしてLowを判定してから停止条件命令を発行してください。

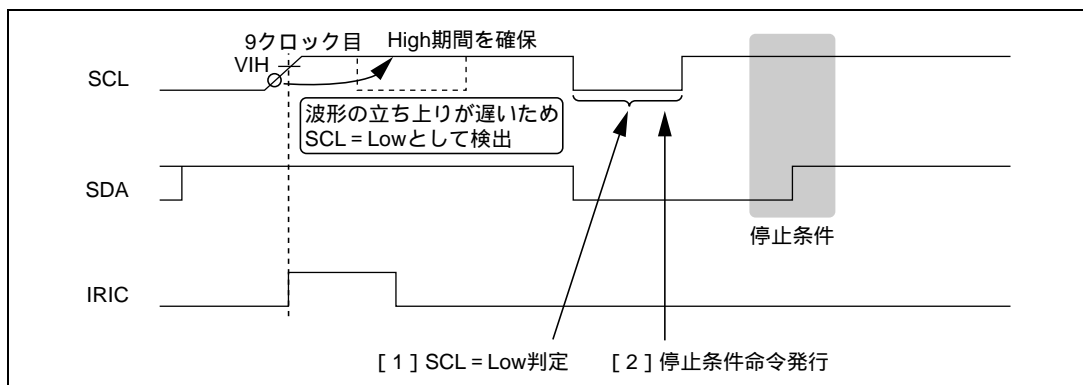


図 25.20 停止条件発行タイミング

26. A/D 変換器

26.1 概要

逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 12 チャンネルのアナログ入力を選択することができます。

26.1.1 特長

A/D 変換器の特長を以下に示します。

- 10 ビットの分解能
- 入力 12 チャンネル
- サンプル&ホールド機能
- ソフトウェアトリガ、ハードウェアトリガ（内部信号）、外部トリガ入力による A/D 変換開始が可能
- A/D 変換終了割り込み要求を発生

26.1.2 ブロック図

A/D 変換器のブロック図を図 26.1 に示します。

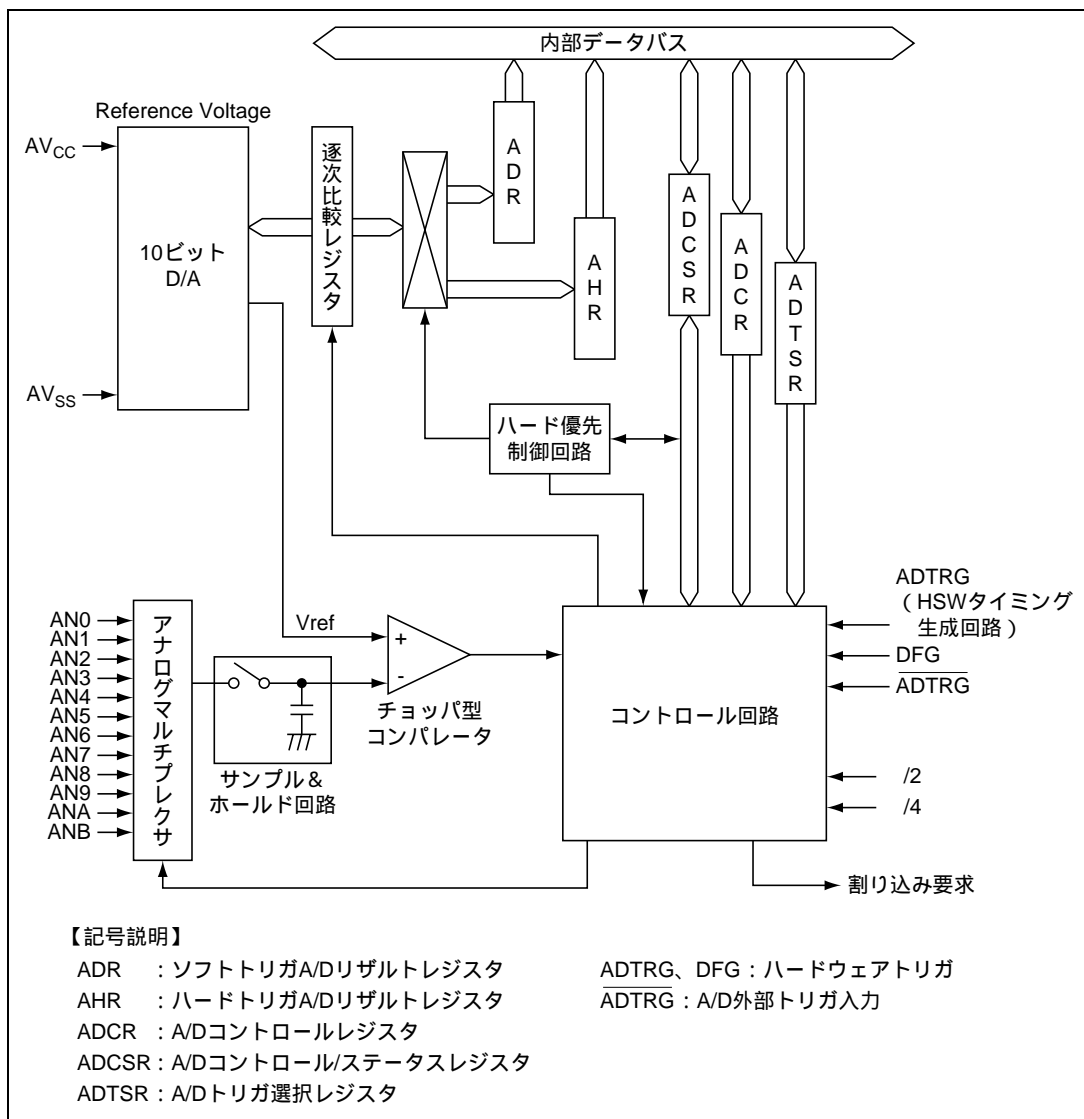


図 26.1 A/D 変換器ブロック図

26.1.3 端子構成

A/D 変換器の端子構成を表 26.1 に示します。

表 26.1 端子構成

名 称	略称	入出力	機 能
アナログ電源端子	Avcc	入力	アナログ部の電源および基準電圧
アナロググラウンド端子	Avss	入力	アナログ部のグラウンドおよび基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力チャネル 0
アナログ入力端子 1	AN1	入力	アナログ入力チャネル 1
アナログ入力端子 2	AN2	入力	アナログ入力チャネル 2
アナログ入力端子 3	AN3	入力	アナログ入力チャネル 3
アナログ入力端子 4	AN4	入力	アナログ入力チャネル 4
アナログ入力端子 5	AN5	入力	アナログ入力チャネル 5
アナログ入力端子 6	AN6	入力	アナログ入力チャネル 6
アナログ入力端子 7	AN7	入力	アナログ入力チャネル 7
アナログ入力端子 8	AN8	入力	アナログ入力チャネル 8
アナログ入力端子 9	AN9	入力	アナログ入力チャネル 9
アナログ入力端子 A	ANA	入力	アナログ入力チャネル A
アナログ入力端子 B	ANB	入力	アナログ入力チャネル B
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始の外部トリガ入力

26.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 26.2 に示します。

表 26.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス* ²
ソフトトリガ A/D リザルトレジスタ H	ADRH	R	バイト	H'00	H'D130
ソフトトリガ A/D リザルトレジスタ L	ADRL	R	バイト	H'00	H'D131
ハードトリガ A/D リザルトレジスタ H	AHRH	R	バイト	H'00	H'D132
ハードトリガ A/D リザルトレジスタ L	AHRL	R	バイト	H'00	H'D133
A/D コントロールレジスタ	ADCR	R/W	バイト	H'40	H'D134
A/D コントロール/ステータスレジスタ	ADCSR	R (W) * ¹	バイト	H'01	H'D135
A/D トリガ選択レジスタ	ADTSR	R/W	バイト	H'FC	H'D136
ポートモードレジスタ 0	PMR0	R/W	バイト	H'00	H'FFCD

【注】 *1 ビット 7、6 は、フラグをクリアするための 0 ライトのみ可能です。ビット 3~1 は、リードのみ可能です。

*2 アドレスは下位 16 ビットを示します。

26.2 各レジスタの説明

26.2.1 ソフトトリガ A/D リザルトレジスタ (ADR)

ADRH										ADRL						
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0						
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R						

ソフトトリガ A/D リザルトレジスタ (ADR) は、ソフトウェアトリガにより変換開始された A/D 変換結果を格納するレジスタです。

A/D 変換されたデータは 10 ビットデータです。ソフトウェアトリガによる A/D 変換終了時に、変換結果の 10 ビットデータが ADR へ転送され、次のソフトウェアトリガによる A/D 変換終了まで、このデータが保持されます。データの上位 8 ビットが ADR の上位バイト (ビット 15~8) に、下位 2 ビットが下位バイト (ビット 7、6) に格納されます。ビット 5~0 はリードすると常に 0 が読み出されます。

ADR は、常にリード可能ですが、A/D 変換中は ADR の値は不定です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は、「26.3 バスマスタとのインタフェース」を参照してください。

ADR は、16 ビットのリード専用のレジスタです。ADR はリセット時、モジュールストップモード時、スタンバイモード時、ウォッチモード時、サブアクティブモード時、サブスリープモード時に H'0000 に初期化されます。

26.2.2 ハードトリガ A/D リザルトレジスタ (AHR)

AHRH										AHRL						
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AHR9	AHR8	AHR7	AHR6	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0						
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R						

ハードトリガ A/D リザルトレジスタ (AHR) は、ハードウェアトリガ (内部信号: ADTRG、DFG)、または、外部トリガ入力 ($\overline{\text{ADTRG}}$) により変換開始された A/D 変換結果を格納するレジスタです。

A/D 変換されたデータは 10 ビットデータです。ハードウェアトリガまたは外部トリガ入力による A/D 変換終了時に、変換結果の 10 ビットデータが AHR へ転送され、次のハードウェアトリガまたは外部トリガ入力による A/D 変換終了まで、このデータが保持されます。データの上位 8 ビットが AHR の上位バイト (ビット 15~8) に、下位 2 ビットが下位バイト (ビット 7、6) に格納されます。ビット 5~0 はリードすると常に 0 が読み出されます。AHR は、常にリード可能ですが、A/D 変換中は AHR の値は不定です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は、「26.3 バスマスタとのインタフェース」を参照してください。

AHR は、16 ビットのリード専用レジスタです。AHR はリセット時、モジュールストップモード時、スタンバイモード時、ウォッチモード時、サブアクティブモード時、サブスリープモード時に H'0000 に初期化されます。

26.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	CK		HCH1	HCH0	SCH3	SCH2	SCH1	SCH0
初期値:	0	1	0	0	0	0	0	0
R/W :	R/W		R/W	R/W	R/W	R/W	R/W	R/W

A/D コントロールレジスタ (ADCR) は、A/D 変換スピードの設定、アナログ入力チャネルの選択を行います。ADCR の設定時は、ADCSR の SST フラグおよび HST フラグが 0 の状態で行ってください。

ADCR は、8 ビットのリード/ライト可能なレジスタです。ADCR はリセット時、モジュールストップモード時、スタンバイモード時、ウォッチモード時、サブアクティブモード時、サブスリープモード時に H'40 に初期化されます。

ビット 7: クロックセレクト (CK)

A/D 変換スピードの設定を行います。

ビット 7	説明
CK	
0	変換周期 = 266 ステート (初期値)
1	変換周期 = 134 ステート

【注】 ADCSR の SST フラグに 1 をライトしてから、または、HST フラグが 1 にセットされてから、A/D 変換がスタートします。変換周期は、スタートフラグがセットされてから、変換終了によりクリアされるまでの時間です。実際にサンプル&ホールドを繰り返す期間は、図 26.2 に示す変換期間です。

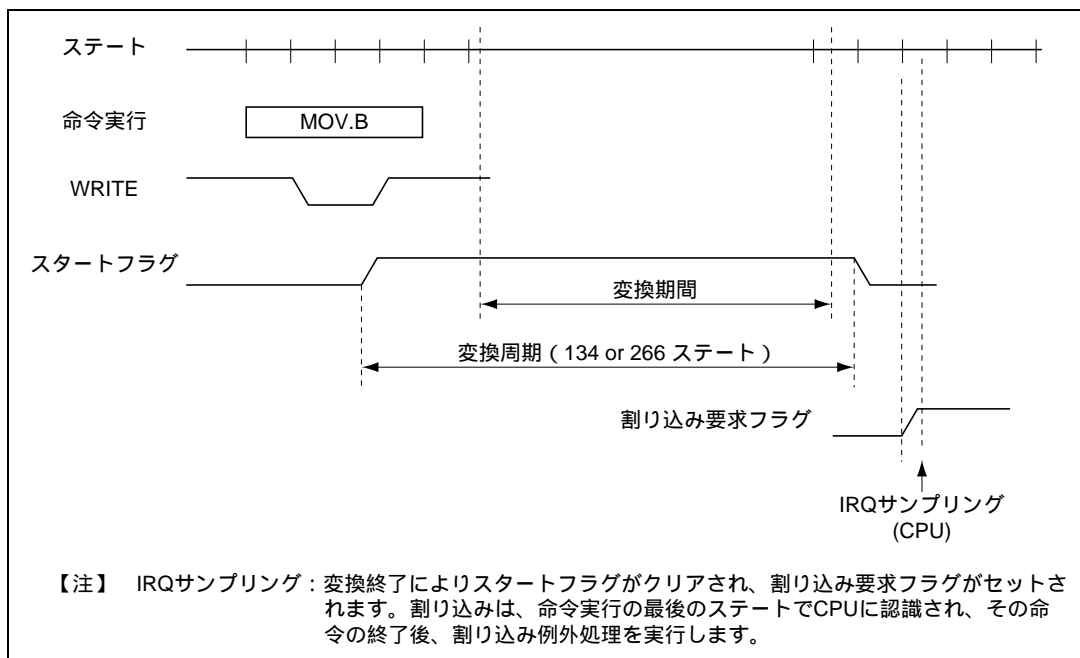


図 26.2 A/D 変換器の内部動作

ビット 6：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5、4：ハードウェアチャネルセレクト (HCH1、HCH0)

ハードウェアトリガまたは外部トリガ入力による変換を行うための、アナログ入力チャネルの選択を行います。

ハードウェアトリガまたは外部トリガ入力による変換は、AN8～ANB 端子のみ、使用可能です。

ビット 5	ビット 4	アナログ入力チャネル	
HCH1	HCH0		
0	0	AN8	(初期値)
	1	AN9	
1	0	ANA	
	1	ANB	

ビット3~0：ソフトウェアチャンネルセレクト (SCH3~SCH0)

ソフトウェアトリガによる変換を行うための、アナログ入力チャンネルの選択を行います。

AN0~AN7 端子を使用する場合は、ポートモードレジスタ0 (PMR0) により該当端子の設定を行ってください。端子の設定に関しては、「26.2.6 ポートモードレジスタ0 (PMR0)」を参照してください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
SCH3	SCH2	SCH1	SCH0		
0	0	0	0	AN0	(初期値)
			1	AN1	
		1	0	AN2	
			1	AN3	
	1	0	0	AN4	
			1	AN5	
		1	0	AN6	
			1	AN7	
1	0	0	0	AN8	
			1	AN9	
		1	0	ANA	
			1	ANB	
	1	*	*	ソフトウェアトリガによる変換チャンネルは選択されません。	

- 【注】 1. SCH3~SCH0 が 11** でソフトウェアトリガによる変換を行うと、変換結果は不定になります。ただし、ハードウェアトリガまたは外部トリガ入力による変換の場合は、HCH1、HCH0 により選択されたチャンネルで行います。
2. * : Don't care.

26.2.4 A/D コントロール/ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	SEND	HEND	ADIE	SST	HST	BUSY	SCNL	
初期値:	0	0	0	0	0	0	0	1
R/W :	R/(W)*	R/(W)*	R/W	R/W	R	R	R	

【注】* ビット7、6はフラグをクリアするための0ライトのみ可能です。

A/D コントロール/ステータスレジスタ (ADCSR) は、A/D 変換の開始または停止の指定、A/D 変換器の状態の表示を行います。

SST フラグに 1 をライトすることにより、A/D 変換を開始します。また、ハードウェアトリガあるいは外部トリガ入力により HST フラグを 1 にセットし、A/D 変換を開始することも可能です。

ハードウェアトリガによる変換開始のうち、HSW タイミング生成回路による ADTRG の開始は、「28.4 HSW タイミング生成回路」を参照してください。

変換が終了すると変換データは、ADR または AHR に格納され、それと同時に、SST フラグまたは HST フラグは 0 にクリアされます。ソフトウェアトリガによる変換開始と、ハードウェアトリガまたは外部トリガ入力による変換開始とが競合した場合は、ハードウェアトリガまたは外部トリガ入力による変換が優先されます。

ADCSR は 8 ビットのレジスタです。ADCSR はリセット時、モジュールストップモード時、スタンバイモード時、ウォッチモード時、サブアクティブモード時、サブスリープモード時に H'01 に初期化されます。

ビット 7: ソフトウェア A/D 終了フラグ (SEND)

ソフトウェアトリガによる A/D 変換が終了したことを示します。

ビット 7	説 明	
SEND		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] ソフトウェアトリガによる A/D 変換が終了したとき	

ビット 6: ハードウェア A/D 終了フラグ (HEND)

ハードウェアトリガまたは外部トリガ入力による A/D 変換が終了したことを示します。

ビット 6	説 明	
HEND		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] ハードウェアトリガまたは外部トリガ入力による A/D 変換が終了したとき	

ビット 5 : A/D インタラプトイネーブル (ADIE)

A/D 変換終了による割り込み (ADI) 発生の許可/禁止を選択します。

ビット 5	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 発生を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 発生を許可

ビット 4 : ソフトウェア A/D スタートフラグ (SST)

ソフトウェアトリガによる A/D 変換の開始および停止の、確認/制御を行います。ソフトウェアトリガによる A/D 変換中は 1 を保持します。

また、0 をライトすると、ソフトウェアトリガによる変換動作を強制的に終了することができます。

ビット 4	説明
SST	
0	[リード時] ソフトウェアトリガによる A/D 変換の停止、終了を示します。 (初期値)
	[ライト時] ソフトウェアトリガによる A/D 変換を強制終了します。
1	[リード時] ソフトウェアトリガによる A/D 変換実行中を示します。
	[ライト時] ソフトウェアトリガによる A/D 変換を開始します。

ビット 3 : ハードウェア A/D ステータスフラグ (HST)

ハードウェアトリガまたは外部トリガによる A/D 変換の状態を示します。また、0 をライトすると、ハードウェアトリガ、あるいは、外部トリガ入力の変換開始にかかわらず、変換動作を強制的に終了することができます。

ビット 3	説明
HST	
0	[リード時] ハードウェアトリガまたは外部トリガ入力による A/D 変換中でないことを示します。 (初期値)
	[ライト時] ハードウェアトリガまたは外部トリガによる A/D 変換を強制終了します。
1	ハードウェアトリガまたは外部トリガ入力による A/D 変換実行中であることを示します。

ビット2：ビジーフラグ（BUSY）

ハードウェアトリガまたは外部トリガ入力による A/D 変換中に、ソフトウェアトリガによる A/D 変換を開始しようとするすると、SST フラグに対するライトは無効となり、BUSY フラグが 1 にセットされます。

本フラグは、AHR をリードすると、クリアされます。

ビット2	説明
BUSY	
0	A/D 変換の競合はありません。 （初期値）
1	ハードウェアトリガまたは外部トリガ入力による A/D 変換実行中に、ソフトウェアトリガによる変換を開始しようとしたことを示します。

ビット1：ソフト変換キャンセルフラグ（SCNL）

ソフトウェアトリガによる A/D 変換中に、ハードウェアトリガまたは外部トリガ入力による A/D 変換が開始されたため、ソフトウェアトリガによる A/D 変換がキャンセルされたことを示すフラグです。

本フラグは、次のソフトウェアトリガによる A/D 変換を開始するときにクリアされます。

ビット1	説明
SCNL	
0	A/D 変換の競合はありません。 （初期値）
1	ソフトウェアトリガによる A/D 変換が、ハードウェアトリガまたは外部トリガ入力による変換開始によりキャンセルされたことを示します。

ビット0：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

26.2.5 A/D トリガ選択レジスタ (ADTSR)

ビット:	7	6	5	4	3	2	1	0
							TRGS1	TRGS0
初期値:	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

A/D トリガ選択レジスタ (ADTSR) は、ハードウェアトリガまたは外部トリガ入力による A/D 変換の開始要因を選択します。

ADTSR は、8 ビットのリード/ライト可能なレジスタです。ADTSR はリセット時、モジュールストップモード時、スタンバイモード時、ウォッチモード時、サブアクティブモード時、サブスリープモード時に H'FC に初期化されます。

ビット 7~2: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1、0: トリガセレクト

ハードウェアトリガまたは外部トリガ入力による A/D 変換の開始要因を選択します。

TRGS1、TRGS0 の設定は、A/D 変換停止中に行ってください。

ビット 1	ビット 0	説明
TRGS1	TRGS0	
0	0	ハードウェアトリガおよび外部トリガ入力による変換の開始を禁止 (初期値)
	1	ハードウェアトリガ (ADTRG) による変換の開始を選択
1	0	ハードウェアトリガ (DFG) による変換の開始を選択
	1	外部トリガ入力 (ADTRG) による変換開始を選択

26.2.6 ポートモードレジスタ 0 (PMR0)

ビット:	7	6	5	4	3	2	1	0
	PMR07	PMR06	PMR05	PMR04	PMR03	PMR02	PMR01	PMR00
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 0 (PMR0) は、ポート 0 の各端子の機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR0 は、8 ビットのリード/ライト可能なレジスタです。リセット時、PMR0 は H'00 に初期化されます。

ビット 7~0 : P07/AN7 ~ P00/AN0 端子切り替え (PMR07 ~ PMR00)

P0n/ANn 端子を P0n 入力端子として使用するか、A/D 変換器のアナログ入力チャネルの ANn 端子として使用するかを設定します。

ビット n	説明
PMR0n	
0	P0n/ANn 端子は、P0n 汎用入力端子として機能 (初期値)
1	P0n/ANn 端子は、ANn アナログ入力チャネルとして機能

(n = 7 ~ 0)

26.2.7 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP2 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 2 : モジュールストップ (MSTP2)

A/D 変換器のモジュールストップモードを設定します。

MSTPCRL	説明
ビット 2	
MSTP2	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

26.3 バスマスタとのインタフェース

ADR、AHR は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。

そのため、バスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行われます。

ADR、AHR からのデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADR、AHR をリードする場合は、必ず、上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードが可能ですが、下位バイトのみのリードでは内容が保証されませんので注意してください。

ADR のアクセス時のデータの流れを図 26.3 に示します。AHR のアクセスデータの流れも同様です。

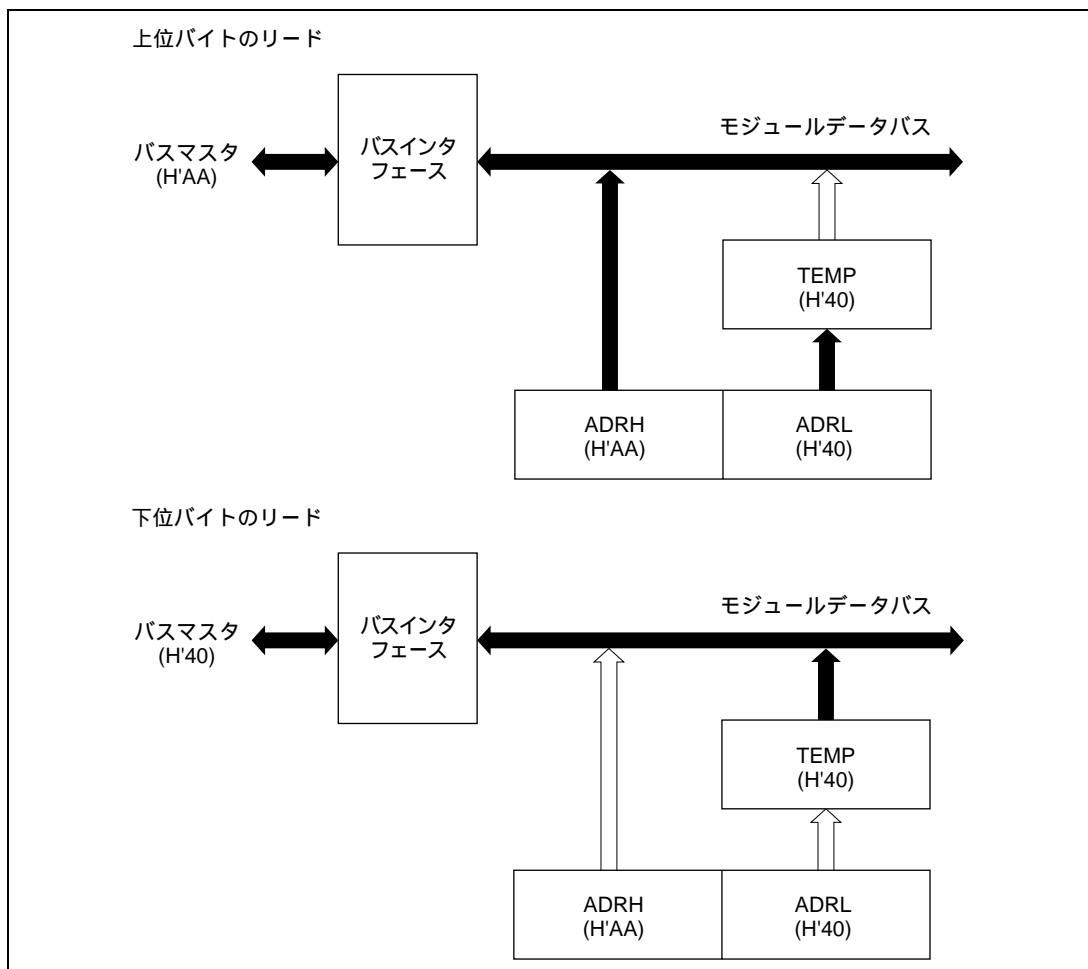


図 26.3 ADR のアクセス動作 (H'AA40 リード時)

26.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの変換結果が得られます。

26.4.1 ソフトウェアトリガによる A/D 変換

ADCSR の SST フラグを 1 にセットすると、A/D 変換を開始します。SST フラグは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。ソフトウェアトリガにより変換可能なアナログ入力端子は、AN0 ~ ANB の 12 チャンネルで、ADCR の SCH3 ~ SCH0 ビットにより設定します。また、AN8 ~ ANB 端子は、ハードウェアトリガあるいは外部トリガ入力による変換にも使用できます。

変換が終了すると、ADCSR の SEND フラグが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、ADCR により、変換スピードや入力チャンネルの切り替えを行う場合は、誤動作を避けるために、SST フラグを 0 にクリアして、A/D 変換を強制終了させてから行ってください。

ハードウェアトリガまたは外部トリガ入力による変換実行中に、ソフトウェアトリガによる変換を開始しようとする、ハードウェアトリガまたは外部トリガ入力による変換が優先されるので、ソフトウェアによる変換は実行されません。このとき、ADCSR の BUSY フラグが 1 にセットされます。BUSY フラグは、AHR をリードするとクリアされます。また、ソフトウェアトリガによる変換実行中に、ハードウェアトリガあるいは外部トリガ入力による変換が開始されると、ソフトウェアトリガによる変換はただちにキャンセルされ、SST フラグは 0 にクリアされます。同時に、ADCSR の SCNL フラグが 1 にセットされます。SCNL フラグは、ハードウェアトリガまたは外部トリガ入力による変換終了後、ソフトウェアトリガによる変換開始を行うとクリアされます。

26.4.2 ハードウェアトリガまたは外部トリガ入力による A/D 変換

ハードウェアトリガ（内部信号：ADTRG、DFG）および外部トリガ入力（ADTRG）により、決まったタイミングで A/D 変換を開始できるハードウェアトリガ機能を内蔵しています。この機能を用いて、外部信号に同期して変化するアナログ信号を一定のタイミングで測定できます。

ハードウェアトリガまたは外部トリガ入力による場合は、ADTSR の TRGS1、TRGS0 ビットで、変換開始要因を選択してください。選択されたトリガが発生すると、ADCSR の HST フラグが 1 にセットされ、A/D 変換を開始します。HST フラグは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。ハードウェアトリガによる変換開始のうち、HSW タイミング生成回路による ADTRG の開始は「28.4 HSW タイミング生成回路」を参照してください。ハードウェアトリガまたは外部トリガ入力により変換可能なアナログ入力端子は、AN8～ANB の 4 チャンネルで、ADCR の HCH1、HCH0 ビットにより設定します。また、AN8～ANB 端子はソフトウェアトリガによる変換にも使用できます。

変換が終了すると、ADCSR の HEND フラグが 1 にセットされます。このとき、ADCSR の ADIE ビットが 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、ADCR により、変換スピードや入力チャンネルの切り替えを行う場合は、誤動作を避けるために、HST フラグを 0 にクリアして、A/D 変換を強制終了させてから行ってください。

ハードウェアトリガまたは外部トリガ入力による変換実行中に、ソフトウェアトリガによる変換を開始しようとする、ハードウェアトリガまたは外部トリガ入力による変換が優先されるので、ソフトウェアによる変換は実行されません。このとき、ADCSR の BUSY フラグが 1 にセットされます。BUSY フラグは、AHR をリードするとクリアされます。

また、ソフトウェアトリガによる変換実行中に、ハードウェアトリガあるいは外部トリガ入力による変換が開始されると、ソフトウェアトリガによる変換はただちにキャンセルされ、SST フラグは 0 にクリアされます。同時に、ADCSR の SCNL フラグが 1 にセットされます（SCNL フラグは、ハードウェアトリガまたは外部トリガ入力による変換終了後、ソフトウェアトリガによる変換開始を行うとクリアされます。）アナログ入力チャンネルは、ソフトウェアトリガによる変換中のチャンネル（SCH3～SCH0 ビットによる選択）からハードウェアトリガまたは外部トリガ入力による変換チャンネル（HCH1、HCH0 ビットによる選択）に自動的に切り替わります。ハードウェアトリガまたは外部トリガ入力による変換終了後は、元のチャンネル（SCH3～SCH0 ビットによる選択）に戻ります。

ハードウェアトリガまたは外部トリガ入力による変換は、ソフトウェアトリガによる変換より優先されるため、A/D 変換終了割り込み処理ルーチンでは、BUSY フラグと SCNL フラグとを確認しながら、データ処理を行ってください。

26.5 割り込み要因

A/D 変換終了時、ADCSR の SEND フラグまたは HEND フラグが 1 にセットされます。A/D 変換終了割り込み (ADI) の発生は、ADCSR の ADIE ビットにより、許可/禁止を指定できます。

A/D 変換終了割り込みのブロック図を図 26.4 に示します。

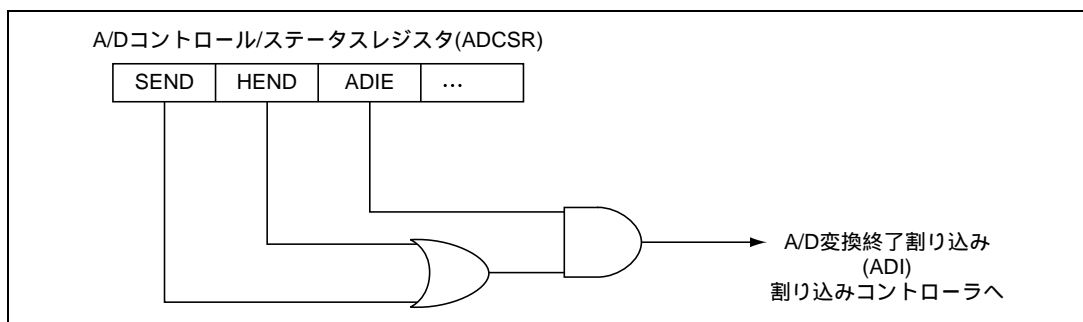


図 26.4 A/D 変換終了割り込みブロック図

27. アドレストラップコントローラ (ATC)

27.1 概要

アドレストラップコントローラ (ATC) トラップするアドレスを設定することにより、バスサイクル中に設定したアドレスが出現すると、割り込みを発生することができます。

27.1.1 特長

トラップするアドレスは、3ヶ所独立に設定可能。

27.1.2 ブロック図

アドレストラップコントローラのブロック図を図 27.1 に示します。

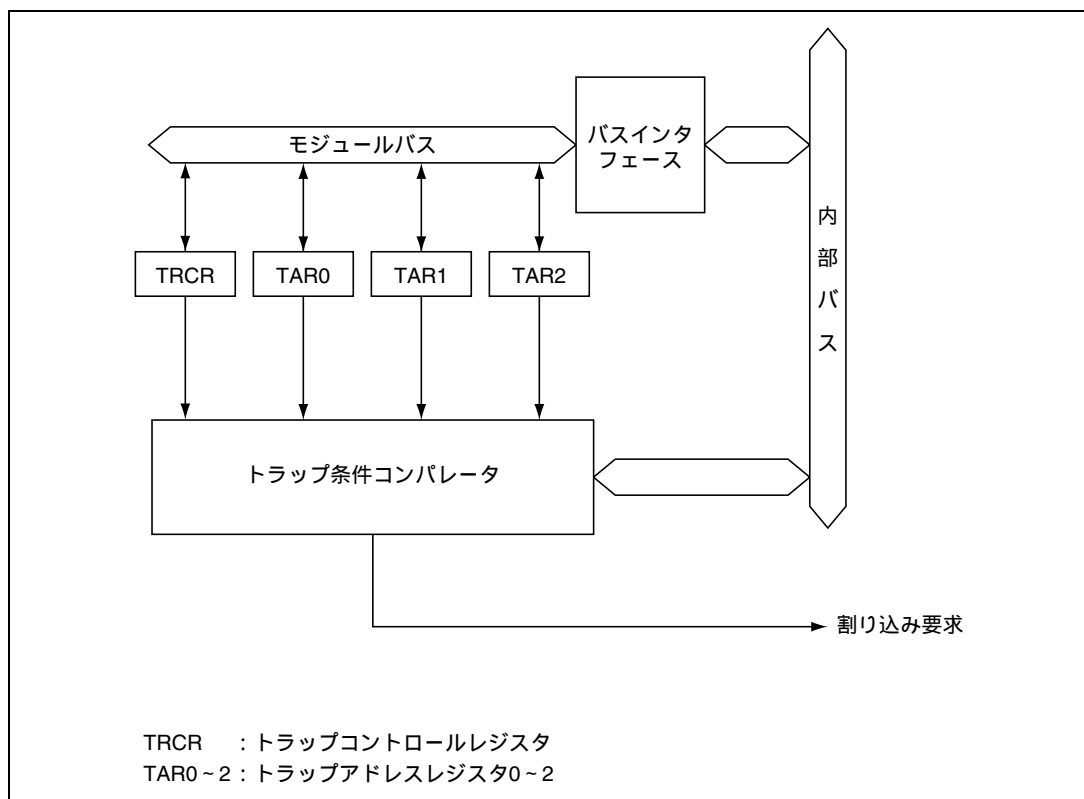


図 27.1 ATC のブロック図

27. アドレストラップコントローラ (ATC)

27.1.3 レジスタ構成

表 27.1 レジスタ一覧表

名 称	略称	R/W	初期値	アドレス*
アドレストラップコントロールレジスタ	ATCR	R/W	H'F8	H'FFB9
トラップアドレスレジスタ 0	TAR0	R/W	H'F00000	H'FFB0 ~ H'FFB2
トラップアドレスレジスタ 1	TAR1	R/W	H'F00000	H'FFB3 ~ H'FFB5
トラップアドレスレジスタ 2	TAR2	R/W	H'F00000	H'FFB6 ~ H'FFB8

【注】 * アドレスの下位 16 ビットを示しています。

27.2 レジスタの説明

27.2.1 アドレストラップコントロールレジスタ (ATCR)

ビット:	7	6	5	4	3	2	1	0
						TRC2	TRC1	TRC0
初期値:	1	1	1	1	1	0	0	0
R/W :						R/W	R/W	R/W

ビット 7~3: リザーブビット

リードすると、常に 1 が読み出されます。ライトは無効です。

ビット 2: トラップコントロール 2 (TRC2)

アドレストラップ機能 2 の動作 ON/OFF を設定します。

ビット 2	説 明
TRC2	
0	アドレストラップ機能 2 は動作禁止。 (初期値)
1	アドレストラップ機能 2 を動作を許可します。

ビット 1: トラップコントロール 1 (TRC1)

アドレストラップ機能 1 の動作 ON/OFF を設定します。

ビット 1	説 明
TRC1	
0	アドレストラップ機能 1 は動作禁止。 (初期値)
1	アドレストラップ機能 1 を動作を許可します。

ビット0: トラップコントロール0 (TRC0)

アドレストラップ機能0の動作 ON/OFF を設定します。

ビット0	説明
TRC0	
0	アドレストラップ機能0は動作禁止。(初期値)
1	アドレストラップ機能0を動作を許可します。

27.2.2 トラップアドレスレジスタ2~0 (TAR2~TAR0)

ビット:	7	6	5	4	3	2	1	0
	A23	A22	A21	A20	A19	A18	A17	A16

初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	7	6	5	4	3	2	1	0
	A15	A14	A13	A12	A11	A10	A9	A8

初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	7	6	5	4	3	2	1	0
	A7	A6	A5	A4	A3	A2	A1	

初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

TAR は、8 ビットのリード/ライト可能な3本のレジスタ (TARnA、B、C) で構成されています (n = 2~0)。

TAR は、トラップするアドレスを設定します。また TAR2~TAR0 は同一の機能です。

TAR はリセット時に H'00 に初期化されます。

TARA ビット 7~0 : アドレス 23~16 (A23~A16)

TARB ビット 7~0 : アドレス 15~8 (A15~A8)

TARC ビット 7~0 : アドレス 7~1 (A7~A1)

本レジスタに設置された値と内部アドレスバスの A23~A1 が比較され、一致した場合割り込みを発生します。

トラップするアドレスは、命令の第一バイトが存在するアドレスに設定してください。その他のアドレスでは、条件成立とみなされない場合があります。

なお、本レジスタのビット0は0固定です。トラップされるアドレスは、偶数アドレスとなります。比較されるアドレス範囲は、H'000000~H'FFFFFFE となります。

27.3 使用上の注意事項

アドレストラップ割り込みは、トラップアドレスをプリフェッチしてから 2 ステート後に発生します。トラップアドレス設定直前の命令の組み合わせによっては、トラップする命令を実行してからトラップ割り込みが発生する場合があります。

またトラップする命令が分岐命令や条件分岐命令の直後の場合、条件成立または不成立で動作が異なったり、スタックされるアドレスが分岐先になったりすることがあります。図 27.2～図 27.22 に具体的な動作例を示します。

次の命令のプリフェッチが命令実行サイクル中どこで行われるかは、本マニュアル「A.5 命令実行中のバス状態」または H8S/2600 シリーズ、H8S/2000 シリーズプログラミングマニュアル「2.7 命令実行中のバス状態」を参照してください。(R:W NEXT が次命令のプリフェッチに当たります。)

27.3.1 基本動作

トラップアドレスがプリフェッチされてから 2 ステート目に実行中の命令が実行終了後、アドレストラップ割り込み例外処理が開始されます。

- (1) トラップアドレスの直前の命令が実行サイクル3ステート以上の命令で、かつ次命令のプリフェッチが後ろ2ステート以前のステートで行われる場合を図27.2に示します。スタックされるアドレスは0260番地です。

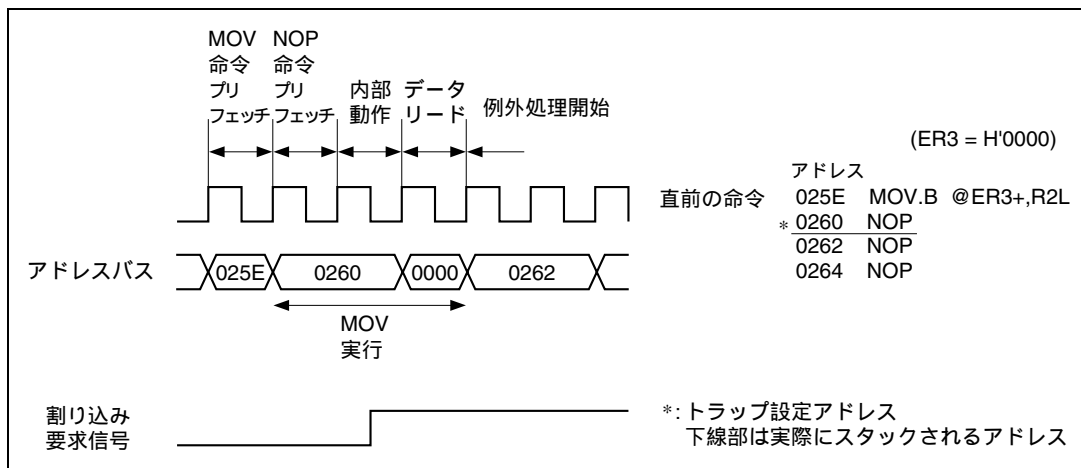


図 27.2 基本動作 (1)

【注】 図中の NOP 命令は、実行サイクル 1 ステート命令の代表として使用していますが、他の実行サイクルが 1 ステートの命令でも同様です。(EX MOV.B Rs, Rd)

- (2) トラップアドレスの直前の命令が実行サイクル2ステート以上の命令で、かつ次命令のプリフェッチが後ろから2ステート目で行われる場合を図27.3に示します。スタックされるアドレスは0268番地です。

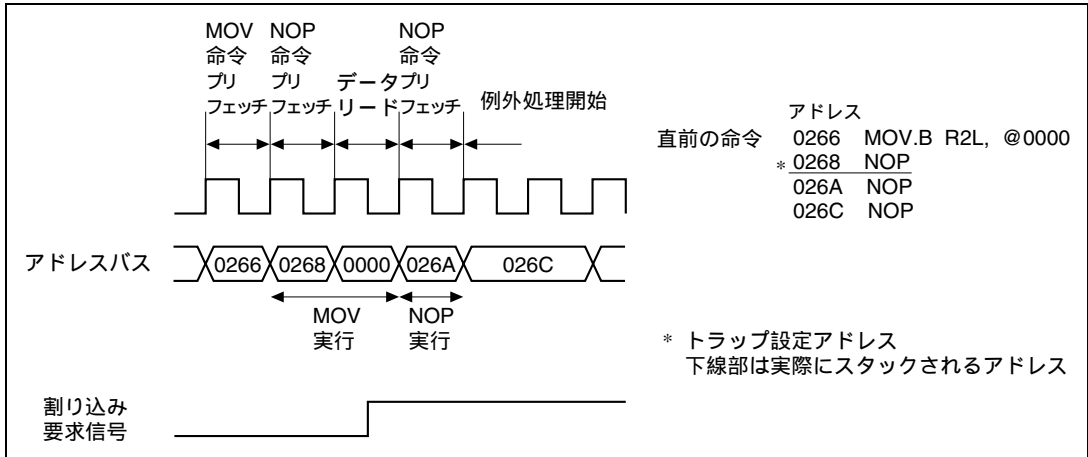


図 27.3 基本動作 (2)

- (3) トラップアドレスの直前の命令が1ステート命令または2ステート以上の命令で命令の最後のステートでプリフェッチを行なう場合を図27.4に示します。スタックされるアドレスは025C番地です。

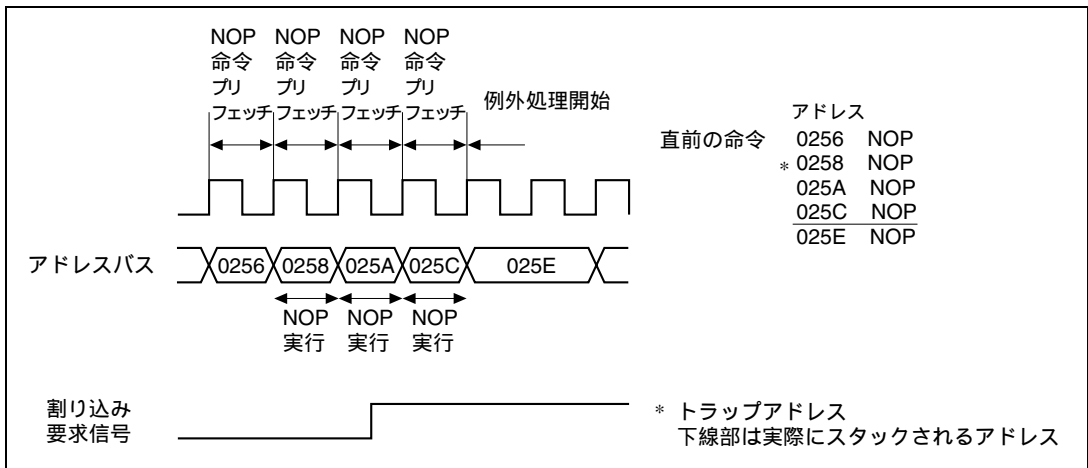


図 27.4 基本動作 (3)

27. アドレストラップコントローラ (ATC)

27.3.2 イネーブル

アドレストラップ機能は、アドレストラップコントロールレジスタ (TRCR) のイネーブルビットを 1 にセットした後、1 命令実行後に有効になります。

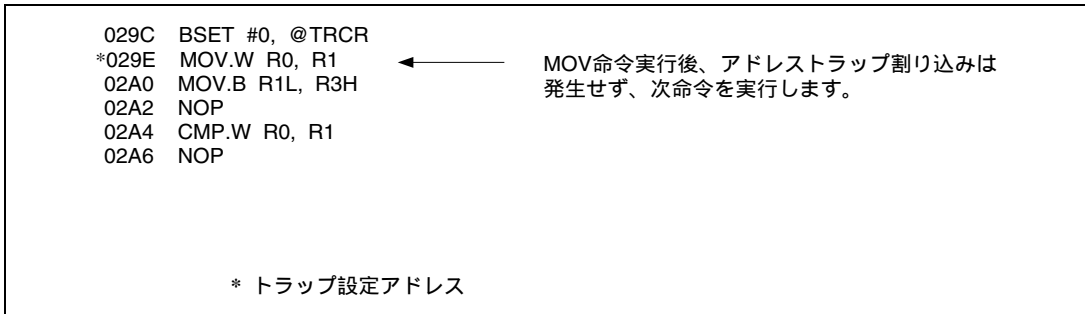


図 27.5 イネーブル

27.3.3 Bcc 命令

(1) Bcc 命令で条件成立時 (8 ビットディスプレイースメント)

トラップアドレスが Bcc 命令の次の命令で、かつ Bcc 命令で条件が成立して分岐する場合は、分岐先命令の実行後アドレストラップ割り込みに移ります。スタックされるアドレスは 02A8 番地です。

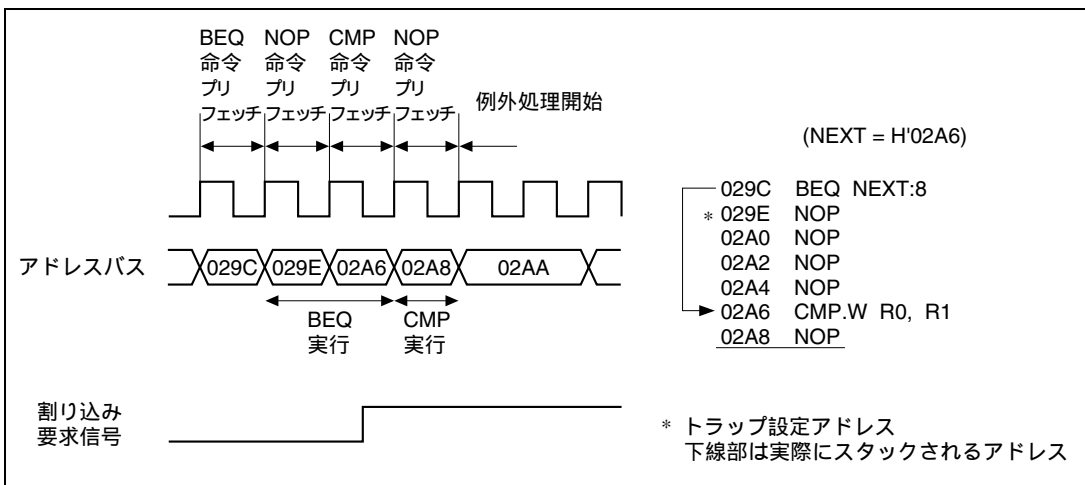


図 27.6 Bcc 命令で条件成立時 (8 ビットディスプレイースメント)

(2) Bcc 命令で条件不成立時 (8 ビットディスプレイースメント)

トラップアドレスが Bcc 命令の次の命令で、かつ Bcc 命令で条件が不成立で分岐しない場合は、トラップアドレスの命令を実行し、次の命令のプリフェッチ後、アドレストラップ割り込みに移ります。スタックされるアドレスは 02A2 番地です。

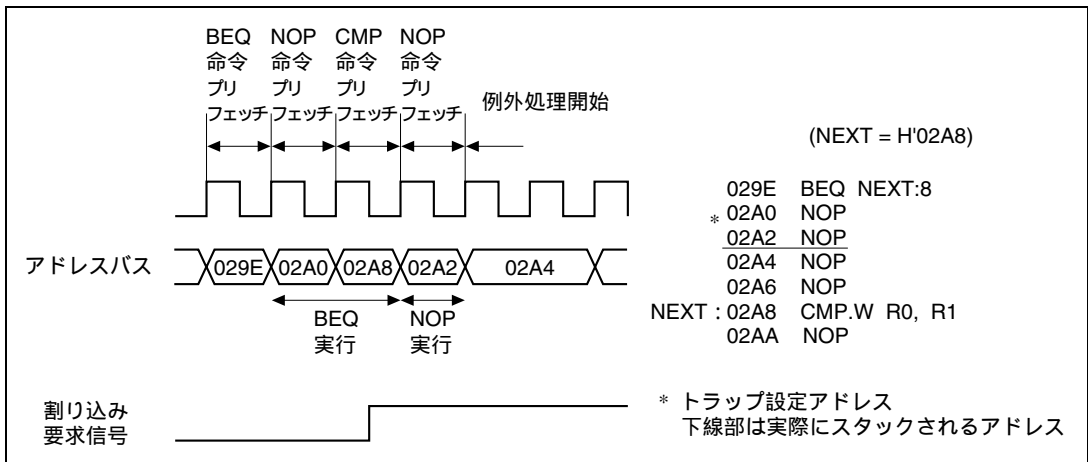


図 27.7 Bcc 命令で条件不成立時 (8 ビットディスプレイースメント)

(3) Bcc 命令で条件不成立時 (16 ビットディスプレイースメント)

トラップアドレスが Bcc 命令の次の命令で、かつ Bcc 命令で条件が不成立で分岐しない場合は、トラップアドレスの命令を実行後 (トラップアドレスの命令が 2 ステート以上の場合。命令が 1 ステートの場合は 2 命令実行後。)、アドレストラップ割り込みに移ります。スタックされるアドレスは 02C0 番地です。

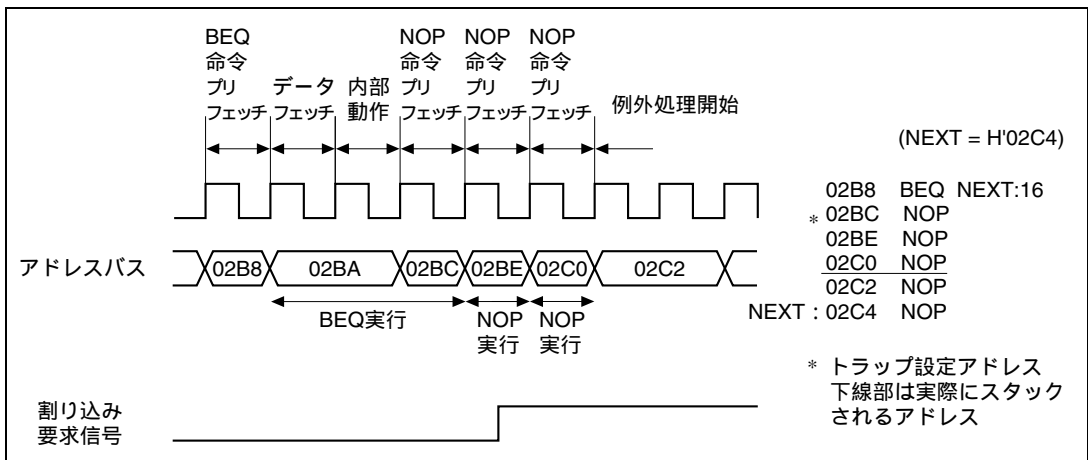


図 27.8 Bcc 命令で条件不成立時 (16 ビットディスプレイースメント)

27. アドレストラップコントローラ (ATC)

(4) Bcc 命令で条件不成立時 (分岐先にトラップアドレス)

トラップアドレスが Bcc 命令の分岐先で、かつ Bcc 命令で条件が不成立で分岐しない場合は、次の命令実行後 (次の命令が 2 ステート以上の場合。次の命令が 1 ステートの場合は 2 命令実行後。)、アドレストラップ割り込みに移ります。スタックされるアドレスは 0262 番地です。

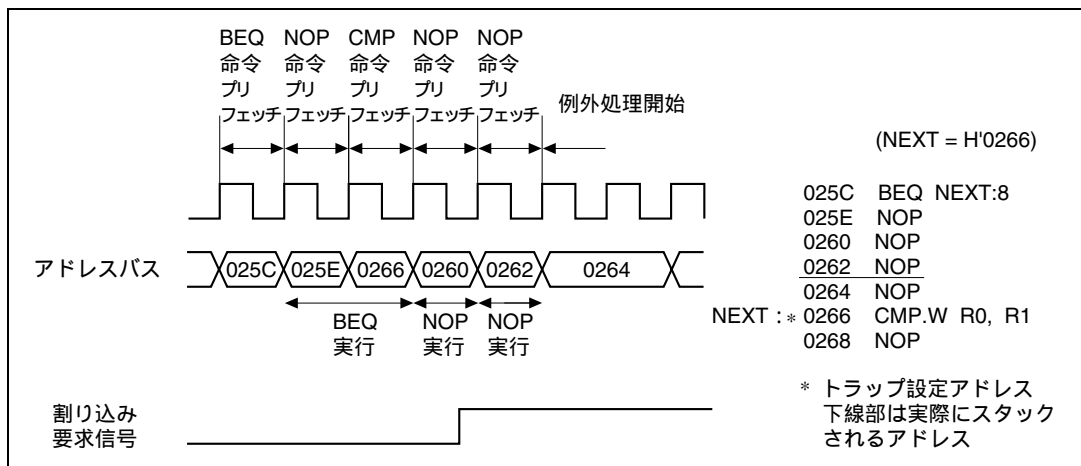


図 27.9 Bcc 命令で条件不成立時 (分岐先にトラップアドレス)

27.3.4 BSR 命令

(1) BSR 命令 (8 ビットディスプレイースメント)

トラップアドレスが BSR 命令の次の命令で、かつアドレッシングモードが 8 ビットディスプレイースメントの場合は、分岐先命令のプリフェッチ後アドレストラップ割り込みに移ります。スタックされるアドレスは 02C2 番地です。

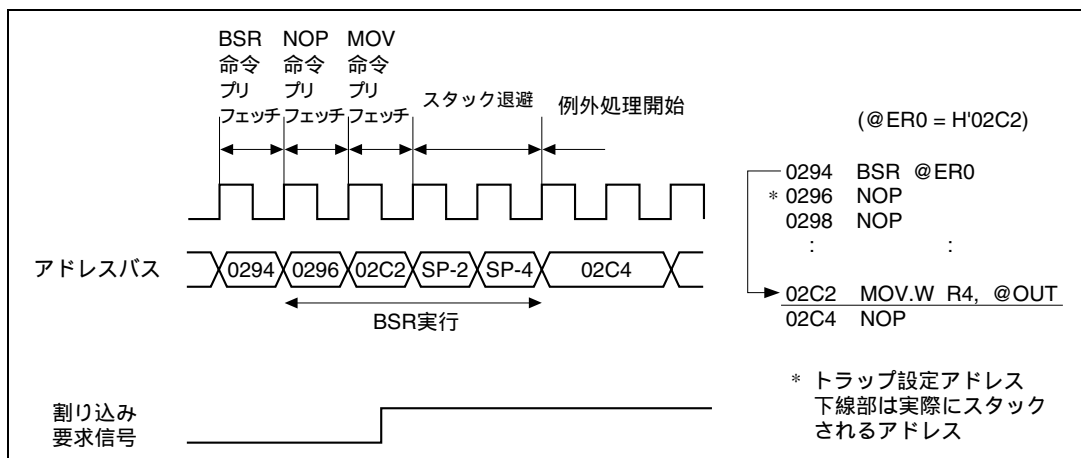


図 27.10 BSR 命令 (8 ビットディスプレイースメント)

27.3.5 JSR 命令

(1) JSR 命令 (レジスタ間接)

トラップアドレスが JSR 命令の次の命令で、かつアドレッシングモードがレジスタ間接の場合は、分岐先命令のプリフェッチ後アドレストラップ割り込みに移ります。スタックされるアドレスは 02C8 番地です。

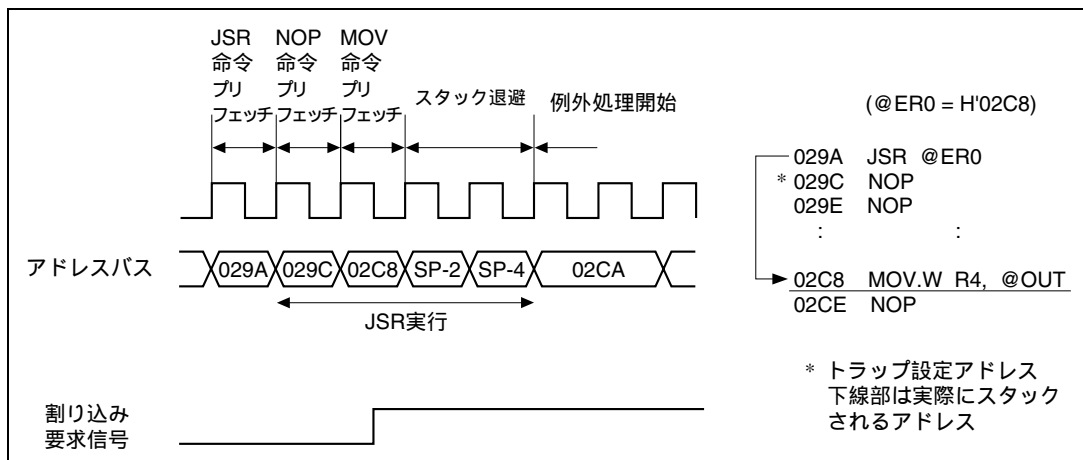


図 27.11 JSR 命令 (レジスタ間接)

(2) JSR 命令 (メモリ間接)

トラップアドレスが JSR 命令の次の命令で、かつアドレッシングモードがメモリ間接の場合は、分岐先命令のプリフェッチ後アドレストラップ割り込みに移ります。スタックされるアドレスは 02EA 番地です。

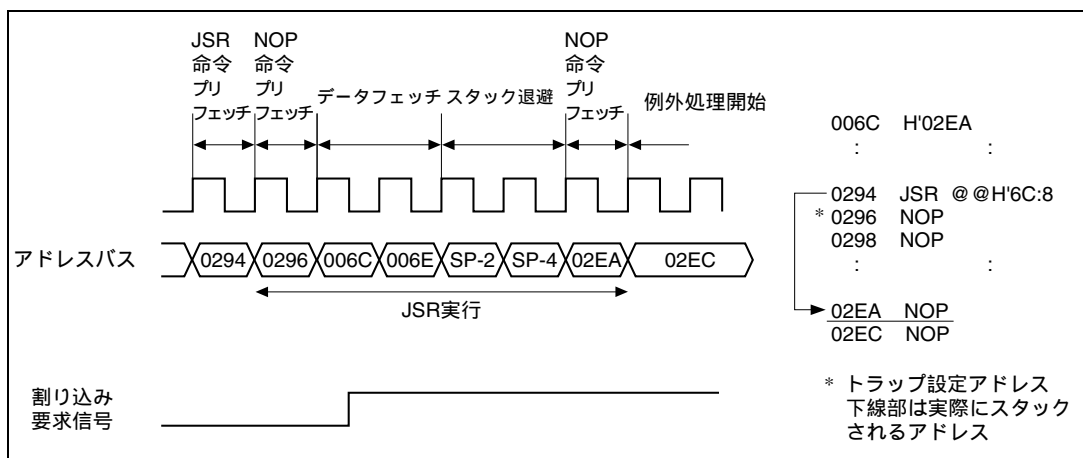


図 27.12 JSR 命令 (メモリ間接)

27.3.6 JMP 命令

(1) JMP 命令 (レジスタ間接)

トラップアドレスが JMP 命令の次の命令で、かつアドレッシングモードがレジスタ間接の場合は、分岐先命令の実行後アドレストラップ割り込みに移ります。スタックされるアドレスは 02AA 番地です。

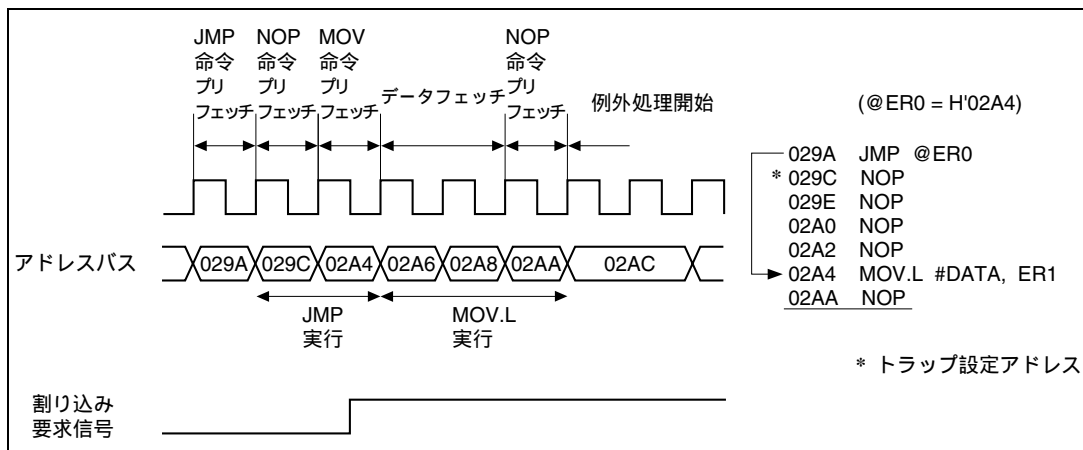


図 27.13 JMP 命令 (レジスタ間接)

(2) JMP 命令 (メモリ間接)

トラップアドレスが JMP 命令の次の命令で、かつアドレッシングモードがメモリ間接の場合は、分岐先命令のプリフェッチ後アドレストラップ割り込みに移ります。スタックされるアドレスは 02E4 番地です。

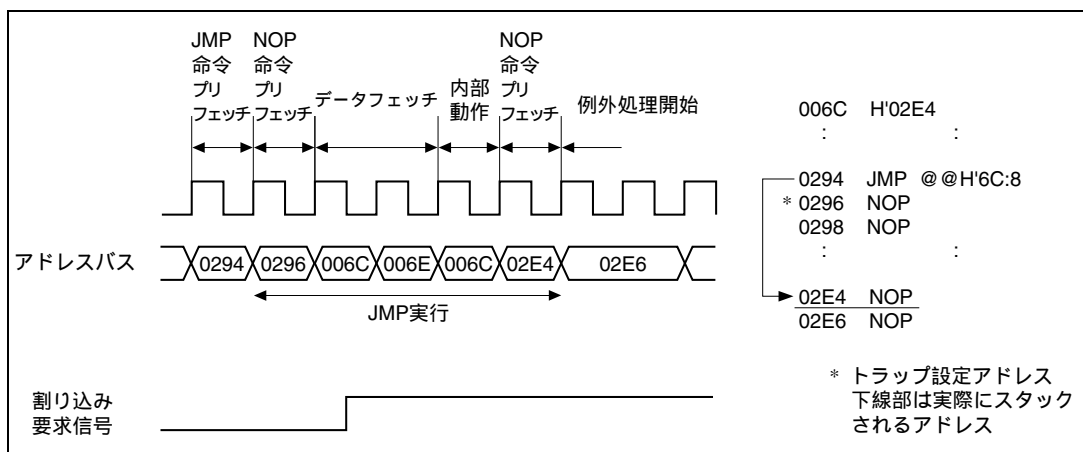
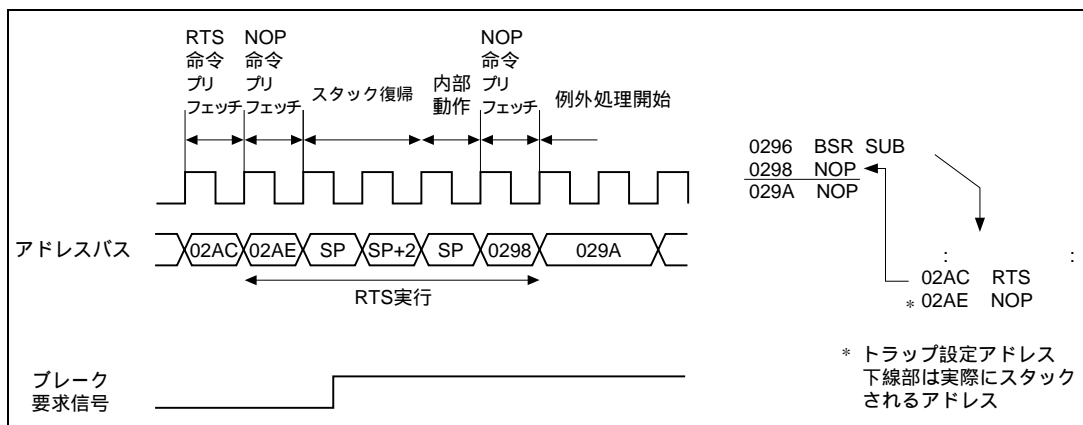


図 27.14 JMP 命令 (メモリ間接)

27.3.7 RTS 命令

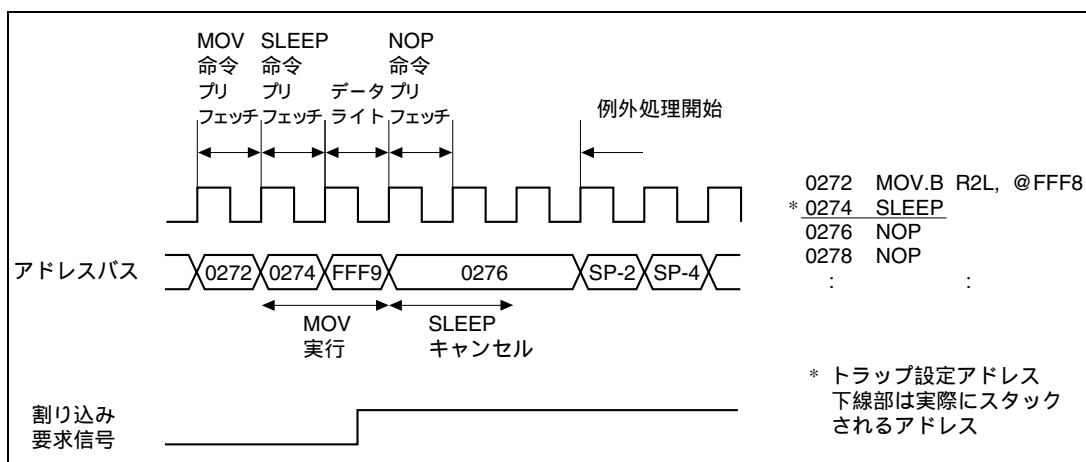
トラップアドレスが RTS 命令の次の命令の場合は、CCR、PC をスタックからリード、リターン先命令のプリフェッチ後、アドレストラップ割り込みに移ります。スタックされるアドレスは 0298 番地です。



27.3.8 SLEEP 命令

(1) SLEEP 命令 1

トラップアドレスが SLEEP 命令であり、SLEEP 命令の直前の命令の実行サイクルが 2 ステート以上でプリフェッチを最後のステートで行なわないとき、SLEEP 命令は実行されず、スリープモードにならずにアドレストラップ割り込み処理へ移ります。スタックされるアドレスは 0274 番地です。



27. アドレストラップコントローラ (ATC)

(2) SLEEP 命令 2

トラップアドレスが SLEEP 命令であり、SLEEP 命令の直前の命令の実行サイクルが 1 ステート命令または 2 ステート以上の命令で命令の最後のステートでプリフェッチを行なう場合、SLEEP 命令実行後スリープモードに入るが、アドレストラップ割り込みによってスリープモードが解除され、例外処理に移ります。スタックされるアドレスは 0264 番地です。

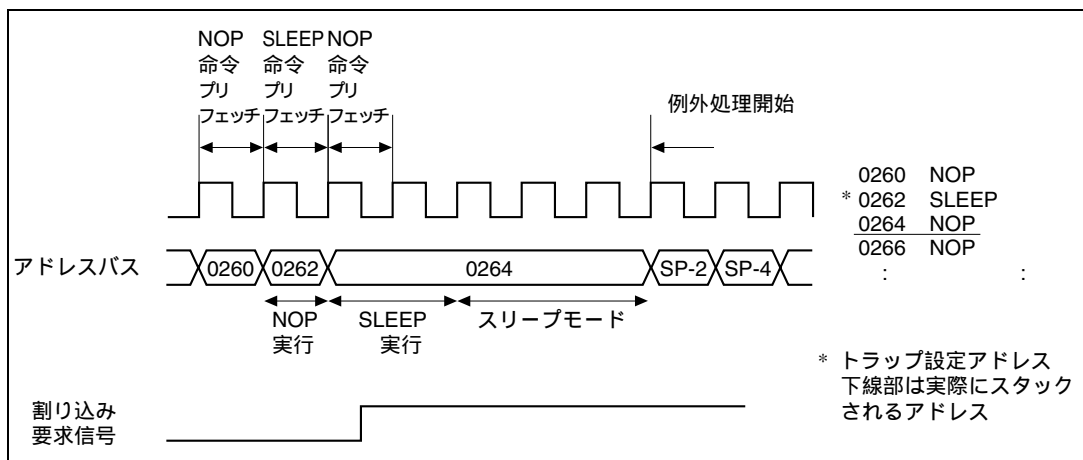


図 27.17 SLEEP 命令 (2)

(3) SLEEP 命令 3

トラップアドレスが SLEEP 命令の次の命令の場合は、SLEEP 命令実行後スリープモードに入りますが、アドレストラップ割り込みによってスリープモードが解除され、例外処理に移ります。スタックされるアドレスは 0282 番地です。

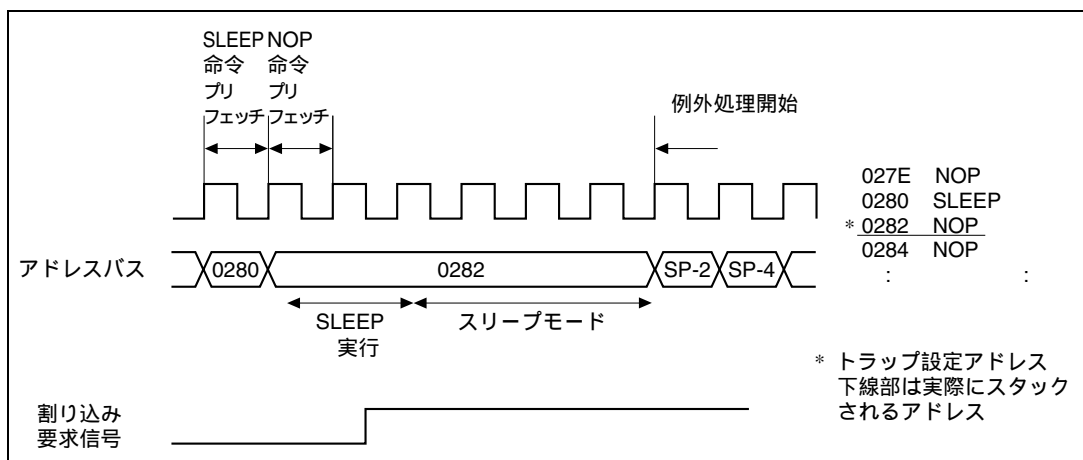


図 27.18 SLEEP 命令 (3)

(4) SLEEP 命令 4 (スタンバイまたはウォッチモード設定)

トラップアドレスが SLEEP 命令であり、SLEEP 命令の直前の命令が 1 ステート命令または 2 ステート以上の命令で命令の最後のステートでプリフェッチを行なう場合、SLEEP 命令実行後スタンバイ (ウォッチ) モードに入ります。その後、NMI 割り込みによってスタンバイ (ウォッチ) モードを解除すると、CCR、PC (0266 番地) のスタック退避、ベクタ読み込みを経て、NMI 割り込みに移ります。しかし、NMI 割り込み処理の実行開始前にアドレストラップ割り込みが入ると、アドレストラップ例外処理に移ります。スタックされるアドレスは NMI 割り込み処理先頭番地です。

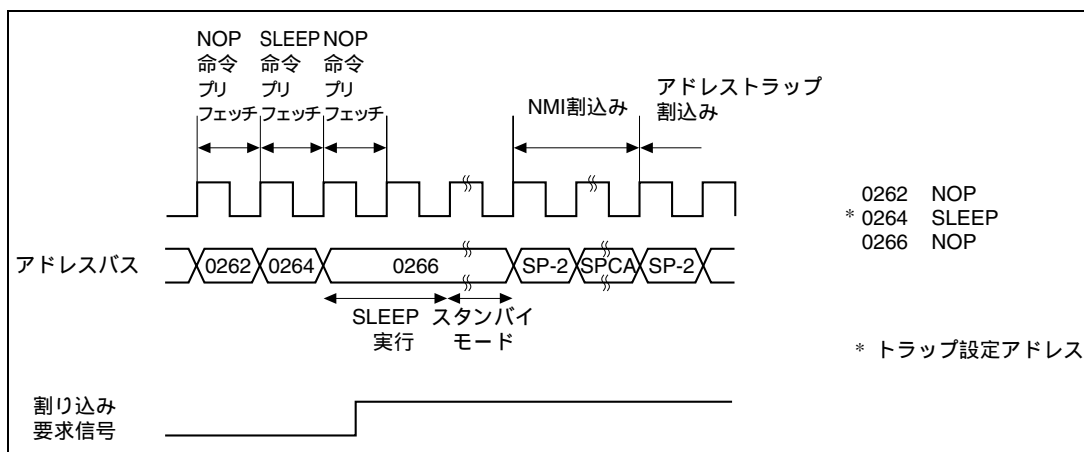


図 27.19 SLEEP 命令 (4) (スタンバイまたはウォッチモード設定)

(5) SLEEP 命令 5 (スタンバイまたはウォッチモード設定)

トラップアドレスが SLEEP 命令の次の命令の場合、SLEEP 命令実行後スタンバイ (ウォッチ) モードに入ります。その後、NMI 割り込みによってスタンバイ (ウォッチ) モードを解除すると、CCR、PC (0266 番地) のスタック退避、ベクタ読み込みを経て、NMI 割り込みに移ります。しかし、NMI 割り込み処理の実行開始前にアドレストラップ割り込みが入ると、アドレストラップ例外処理に移ります。スタックされるアドレスは NMI 割り込み処理先頭番地です。

27. アドレストラップコントローラ (ATC)

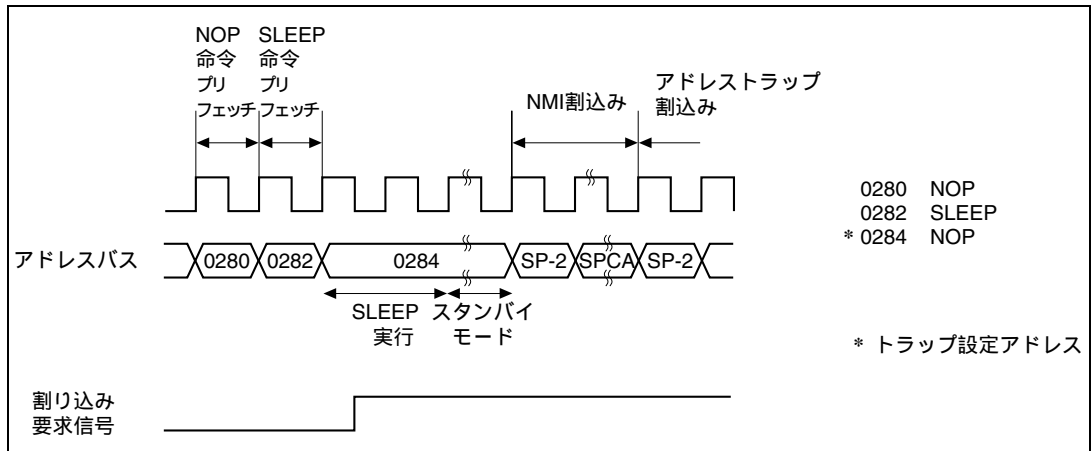


図 27.20 SLEEP 命令 (5) (スタンバイまたはウォッチモード設定)

27.3.9 割り込みの競合

(1) 一般割り込み (NMI 以外の割り込み)

一般割り込みの割り込み要求に対し、ATC の割り込み要求が (1) の (A) の期間のタイミングで入るとき、ATC 割り込み処理が優先されるため、見かけ上通常よりも早いタイミングで割り込みが入ります (一般割り込みと同時の場合は影響なし)。スタックされるアドレスは 029E 番地です。

比較として、一般割り込み要求が無い場合にトラップアドレスを 02A0 番地に設定した場合を (2) に示します。スタックされるアドレスは、02A4 番地です。

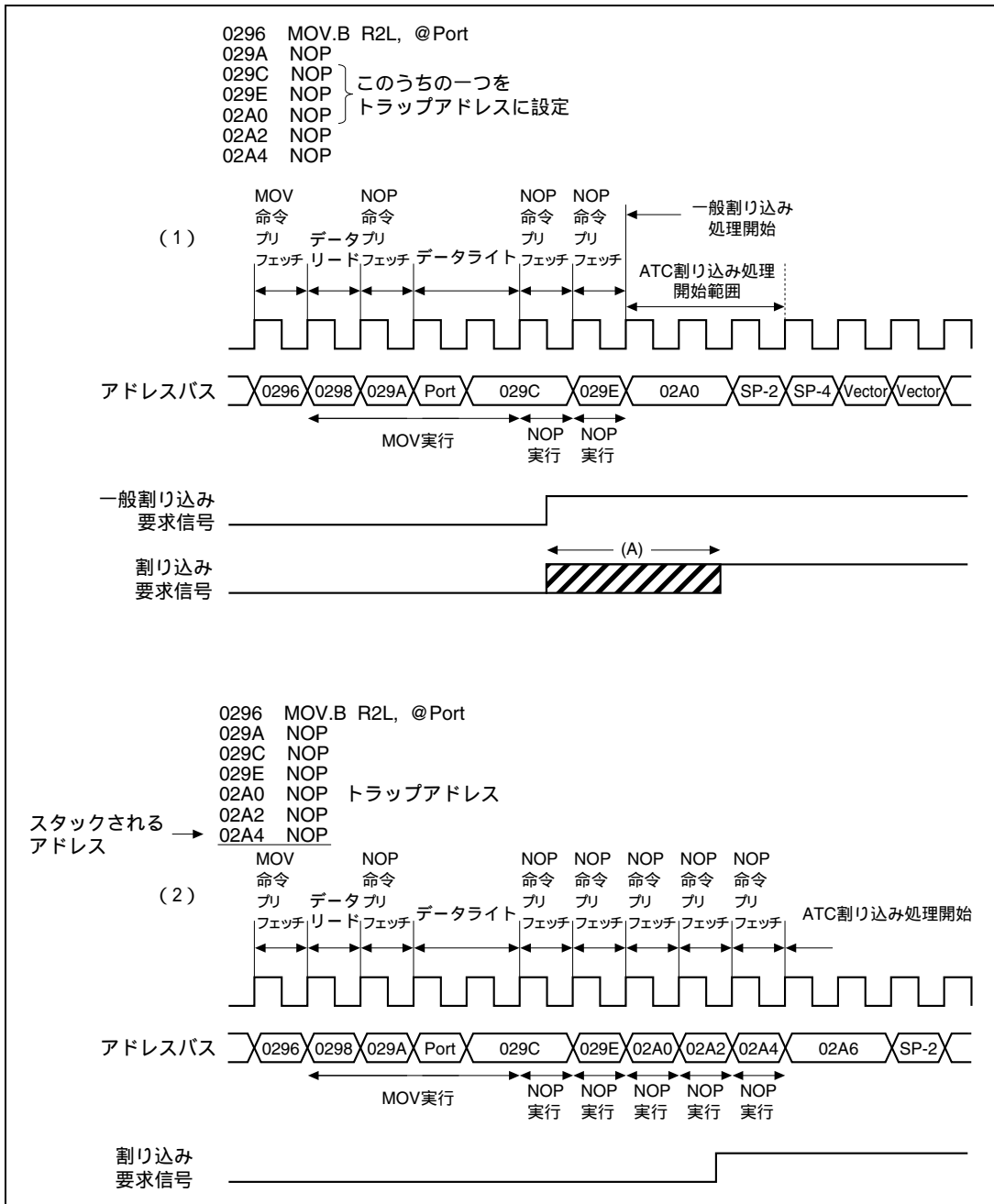


図 27.21 割り込みの競合 (一般割り込み)

27. アドレストラップコントローラ (ATC)

(2) NMI の場合

ATC の割り込み要求に対し、NMI の割り込み要求が (1) の (A) の期間のタイミングで入るとき、NMI 割り込み処理が優先されるため、見かけ上通常よりも早いタイミングで NMI が割り込みが入ります。NMI 割り込み処理の先頭番地の命令をフェッチ後、ATC 割り込み処理が開始されます。スタックされるアドレスは NMI が 02E0、ATC が 340 番地です。

NMI の割り込み要求に対し、ATC の割り込み要求が (2) の (B) のタイミングで入るとき、NMI 割り込み処理の先頭番地の命令をフェッチ後、ATC 割り込み処理が開始されます。スタックされるアドレスは NMI が 02E6、ATC が 0340 番地です。

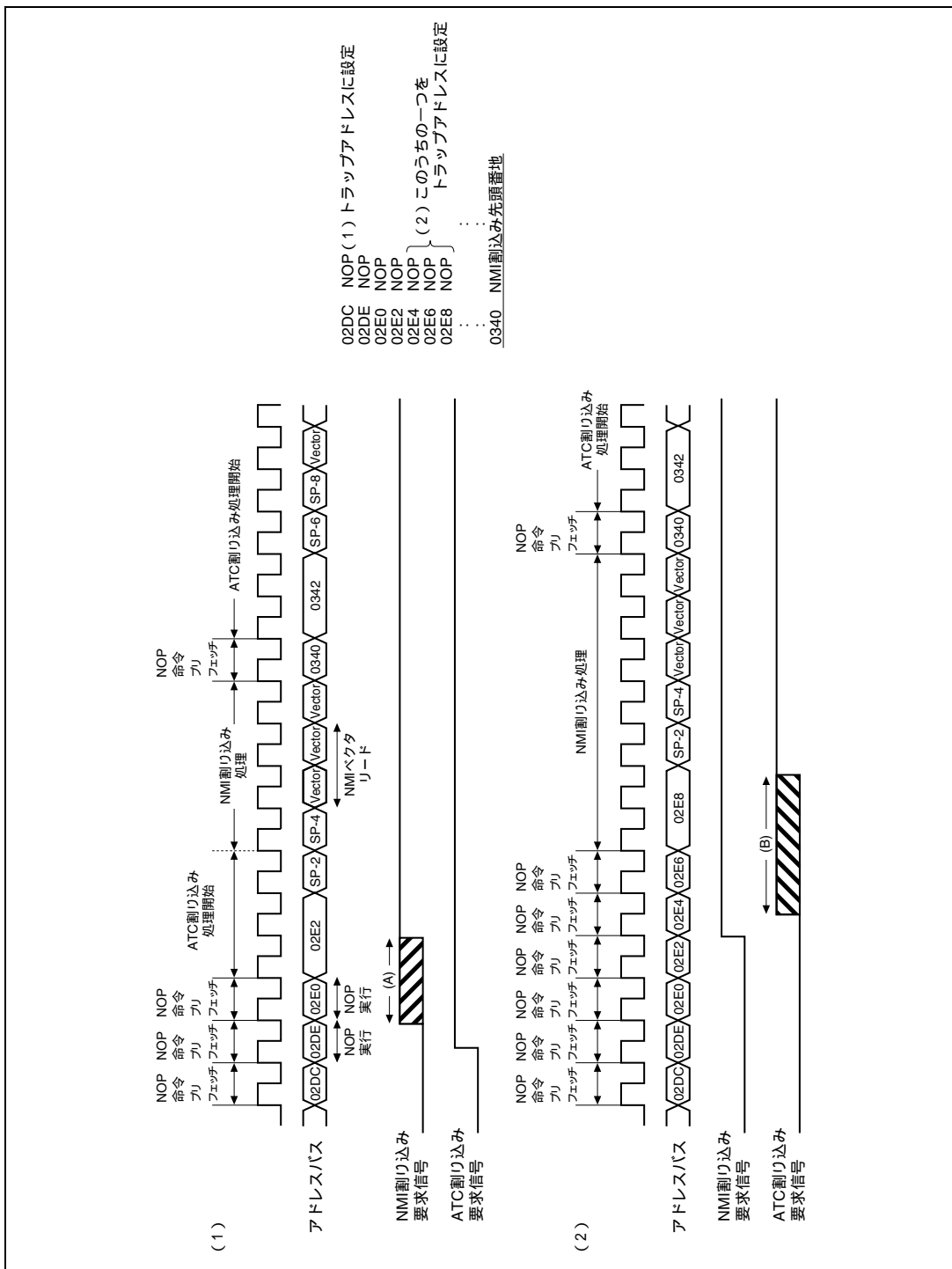


図 27.22 割り込みの競合 (NMI の場合)

28. サーボ回路

28.1 概要

28.1.1 機能

この LSI は VTR サーボ回路を内蔵しています。

サーボ回路の機能は、表 28.1 のとおり 4 つに分けることができます。

表 28.1 サーボ回路の機能

区 分	機 能	説 明
(1) 入力、出力回路	CTL 入出力アンプ	ゲイン可変入力アンプ 書き換えモード付き出力アンプ
	CFGDuty 補正入力	Duty 精度 $50 \pm 2\%$ (ゼロクロスタイプコンパレータ)
	DFG、DPG 分離/重畳入力	重畳入力可能：三値入力方式、DFG ノイズマスク機能
	基準信号生成回路	V 補完、フィールド検出、外部信号同期、REC 時 V 同期、REF30 信号外部出力
	HSW タイミング生成回路	ヘッドスイッチ切り替え信号、FIFO20 段 DFG カウンタ・ソフトリセット対応
	4 ヘッド特殊再生用 高速切り替え回路	クロマロータリー/ヘッドアンプ切り替え出力
	12 ビット PWM	搬送波周波数の高速化
	分周回路	CFG マスク付き、位相用 CFG、CTL マスク無し
	同期検出回路	ノイズカウント、フィールド判別、Hsync 補完、Hsync 検出ノイズマスク
(2) 誤差検出回路	ドラム速度誤差検出回路	ロック検出機能、カウンタオーバーフロー時停止、誤差ラッチレジスタ R/W 可能、リミッタ機能
	ドラム位相誤差検出回路	ラッチ信号選択可能、誤差ラッチレジスタ R/W 可能
	キャプスタン速度誤差検出回路	ロック検出機能、カウンタオーバーフロー時停止、誤差ラッチレジスタ R/W 可能、リミッタ機能
	キャプスタン位相誤差検出回路	誤差ラッチレジスタ R/W 可能
	X 値補正/トラッキング補正回路	(単独設定可能)
(3) 位相補償、 ゲイン補正	デジタルフィルタ演算回路	ハードウェアにより自動演算を行う 出力ゲインの可変 $\times 2 \sim \times 64$ (ただし 2 のべき乗) (Z^{-1} への部分書き込み (上位 8 ビット) 可能)
(4) その他	付加 V 信号回路	特殊再生時有効
	CTL 回路	デューティ判別回路、CTL ヘッド R/W 制御、ワイドアスペクト対応

28.1.2 ブロック図

サーボブロック図を図 28.1 に示します。

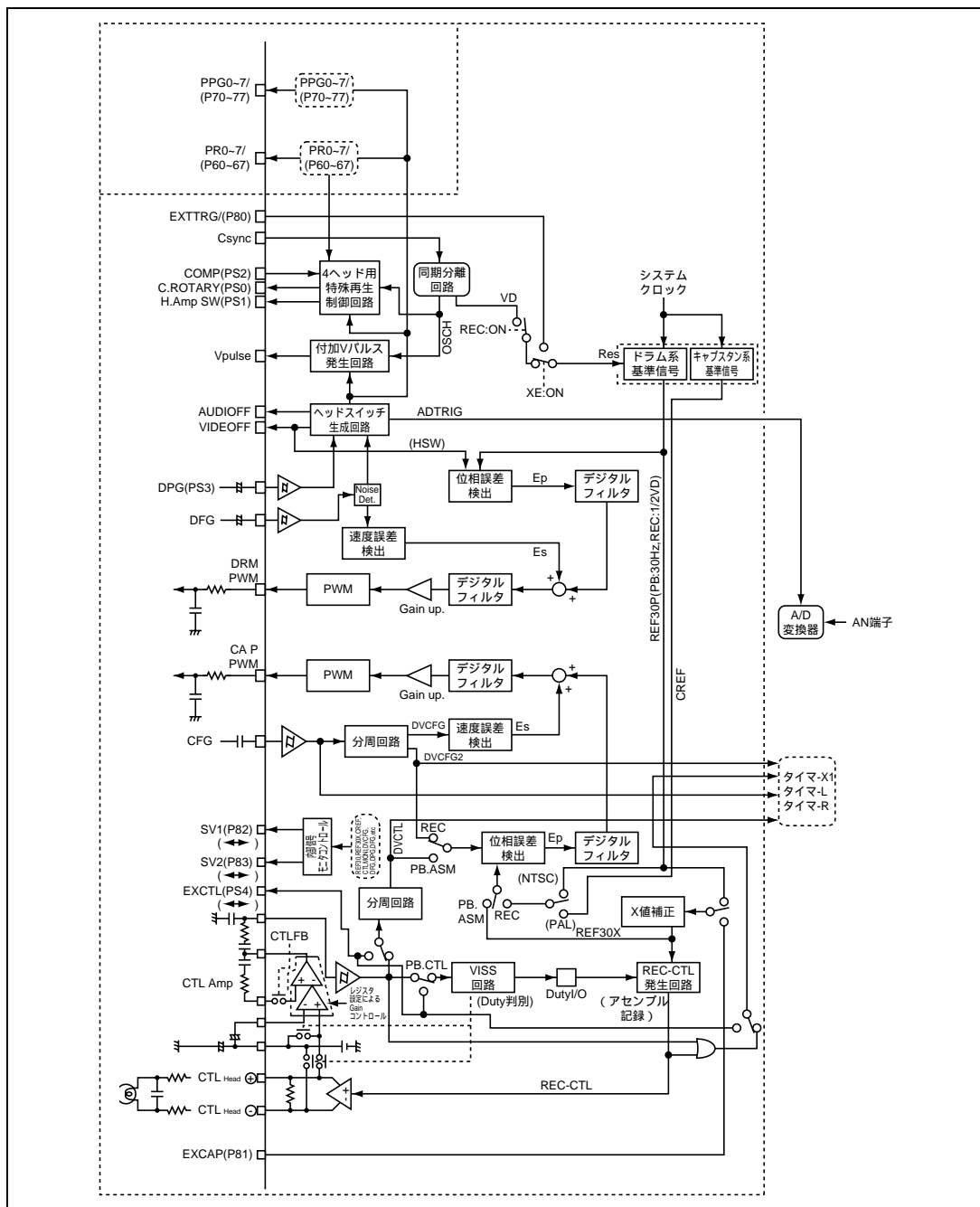


図 28.1 サーボブロック図

28.2 サーボポート

28.2.1 概要

このLSIは、サーボモジュール専用の端子を17本、汎用ポートとの兼用端子を25本備えています。また、CTL信号増幅用の入力アンプ、CTL出力アンプ、CTLシュミットコンパレータ、およびCFGゼロクロスタイプコンパレータを内蔵しています。CTL入力アンプはソフトウェアによりゲインの調整が可能です。ドラム制御系信号のDFGおよびDPG信号は、分離入力と重畳入力の選択が可能です。

SV1、SV2端子でサーボ部の内部信号をモニタ出力することが可能です。モニタ出力する信号は8種類の信号を選択できます。「28.2.5(4)サーボモニタコントロールレジスタ(SVMCR)」を参照してください。

28.2.2 ブロック図

(1) DFG、DPG入力回路

DFG、DPG入力端子はシュミット回路を内蔵しています。図28.2にDFG、DPGの入力回路を示します。

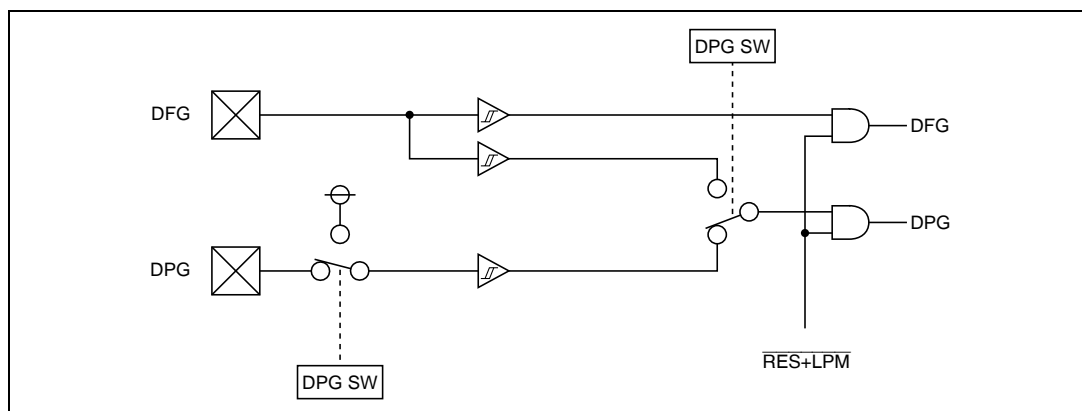


図 28.2 DFG、DPG 入力回路

(2) CFG 入力回路

CFG 入力端子はアンプおよびゼロクロスタイプコンパレータを内蔵しています。図 28.3 に CFG の入力回路を示します。

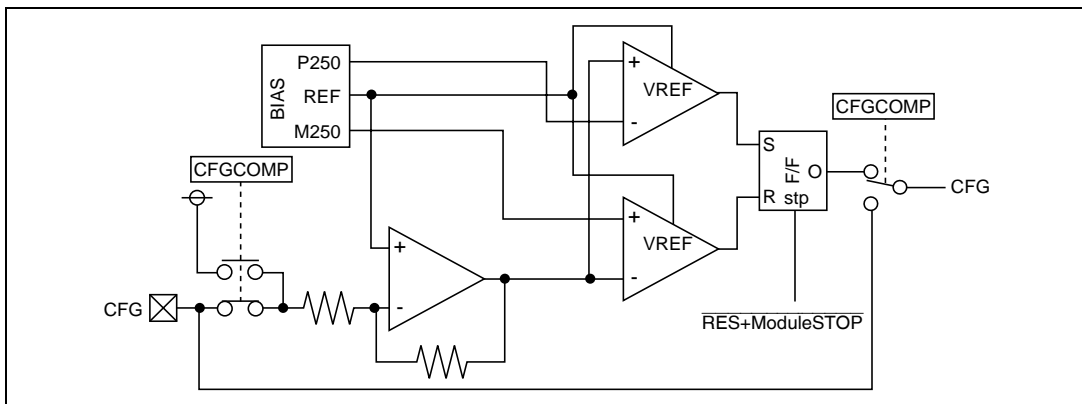


図 28.3 CFG 入力回路

(3) CTL 入力回路

CTL 入力端子はアンプ回路を内蔵しています。図 28.4 に CTL の入力回路を示します。

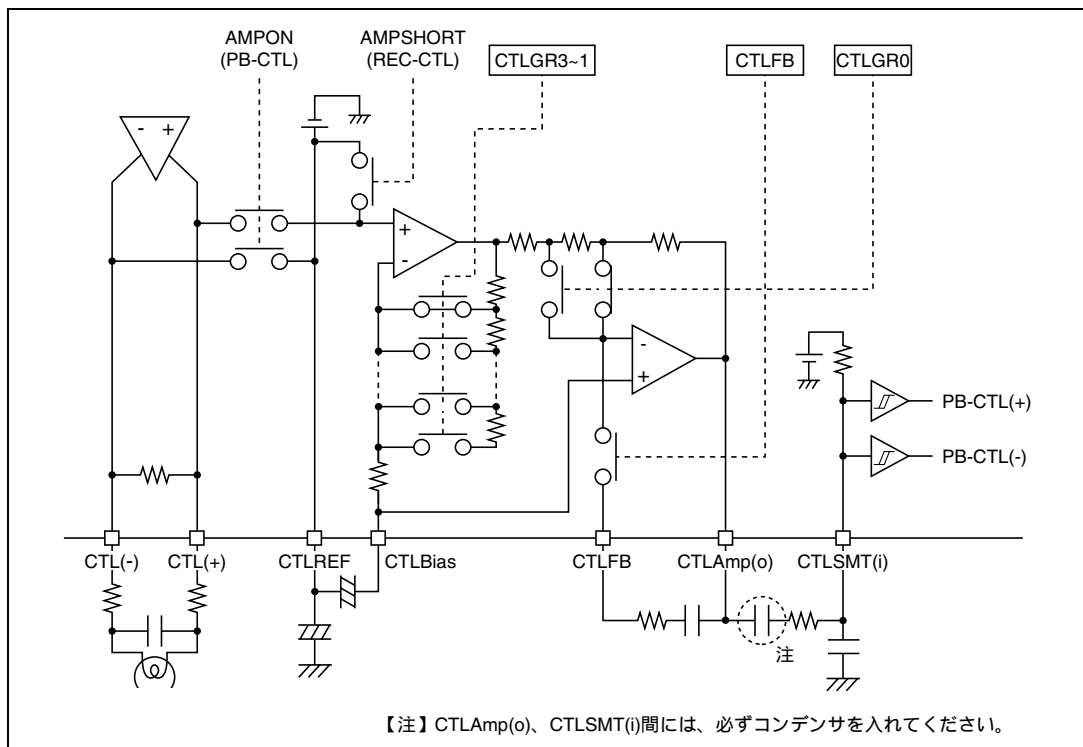


図 28.4 CTL 入力回路

28.2.3 端子構成

サーボ部の端子構成を表 28.2 に示します。ただし、P6n、P7n、P80～P83、PS1～PS4 は汎用ポートです。P6、P7、P8 については「第 11 章 I/O ポート」を参照してください。

表 28.2 端子構成

名 称	略 称	入出力	機 能
サーボ V_{cc} 端子	SV_{cc}	入力	サーボ部電源端子
サーボ V_{ss} 端子	SV_{ss}	入力	サーボ部電源端子
オーディオヘッド切り替え端子	Audio FF	出力	オーディオヘッドの切り替え信号出力
ビデオヘッド切り替え端子	Video FF	出力	ビデオヘッドの切り替え信号出力
キャプスタンミックス端子	CAPPWM	出力	12 ビット PWM 方形波出力
ドラムミックス端子	DRMPWM	出力	12 ビット PWM 方形波出力
付加 V パルス端子	Vpulse	出力	付加 V 信号出力
カラーロータリー信号出力端子	C.Rotary/PS0	出力/入出力	色信号処理制御信号出力/汎用ポート
ヘッドアンプスイッチ端子	H.Amp SW/PS1	出力/入出力	プリアンプ出力選択信号出力/汎用ポート
コンペア信号入力端子	COMP/PS2	入力/入出力	プリアンプ出力結果信号入力/汎用ポート
CTL (+) 入出力端子	CTL (+)	入出力	CTL 信号入出力
CTL (-) 入出力端子	CTL (-)	入出力	CTL 信号入出力
CTL Bias 入力端子	CTLBias	入力	CTL 1 次アンプバイアス供給
CTL Amp (O) 出力端子	CTLAMP (O)	出力	CTL アンプ出力
CTL SMT (i) 入力端子	CTLSMT (i)	入力	CTL シュミットアンプ入力
CTL FB 入力端子	CTLFB	入力	CTL アンプ高域特性制御
CTL REF 出力端子	CTLREF	出力	CTL アンプリファレンス電圧出力
キャプスタン FG アンプ入力端子	CFG	入力	CFG 信号アンプ入力
ドラム FG 入力端子	DFG	入力	DFG 信号入力
ドラム PG 入力端子	DPG/PS3	入力/入出力	DPG 信号入力/汎用ポート
外部 CTL 信号入力端子	EXCTL/PS4	入力/入出力	外部 CTL 信号入力/汎用ポート
複合同期信号入力端子	Csync	入力	複合同期信号入力
外部基準信号入力端子	P80/EXTTRG	入出力/入力	汎用ポート/外部基準信号入力
外部キャプスタン信号入力端子	P81/EXCAP	入出力/入力	汎用ポート/外部キャプスタン信号入力
サーボモニタ信号出力端子 1	P82/SV1	入出力/出力	汎用ポート/サーボモニタ信号出力
サーボモニタ信号出力端子 2	P83/SV2	入出力/出力	汎用ポート/サーボモニタ信号出力
PPG 出力端子	P7n/PPGn	入出力/出力	汎用ポート/PPG 出力
RTP 出力端子	P6n/RPn	入出力/出力	汎用ポート/RTP 出力

28.2.4 レジスタ構成

サーボポート部のレジスタ構成を表 28.3 に示します。

表 28.3 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
サーボポートモードレジスタ	SPMR	R/W	バイト	H'40	H'FD0A0
サーボコントロールレジスタ	SPCR	W	バイト	H'E0	H'FD0A1
サーボデータレジスタ	SPDR	R/W	バイト	H'E0	H'FD0A2
サーボモータコントロールレジスタ	SVMCR	R/W	バイト	H'C0	H'FD0A3
CTL ゲインコントロールレジスタ	CTLGR	R/W	バイト	H'C0	H'FD0A4

28.2.5 レジスタの説明

(1) サーボポートモードレジスタ (SPMR)

ビット:	7	6	5	4	3	2	1	0
	CTLSTOP		CFGCOMP	EXCTLON	DPGSW	COMP	H.Amp.SW	C.Rot
初期値:	0	1	0	0	0	0	0	0
R/W :	R/W		R/W	R/W	R/W	R/W	R/W	R/W

サーボポート/汎用ポートの切り替え、および CFG 入力方式の切り替えを行うレジスタです。

SPMR は 8 ビットのリード/ライト可能なレジスタです。ビット 6 はリザーブビットです。ライトは無効です。リードすると不定値が読み出されます。リセット、スタンバイ時、H'40 に初期化されます。

ビット 7: CTLSTOP ビット (CTLSTOP)

CTL 回路を動作させるか、停止させるかを制御します。

ビット 7	説 明
CTLSTOP	
0	CTL 回路が動作します (初期値)
1	CTL 回路の動作を停止します

ビット 6: リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 5: CFG 入力方式切り替えビット (CFGCOMP)

CFG 入力信号方式をゼロクロスタイプコンパレータ方式とするか、デジタル信号入力方式とすることを選択します。

ビット 5	説 明
CFGCOMP	
0	CFG 信号入力方式をゼロクロスタイプコンパレータ方式とします (初期値)
1	CFG 信号入力をデジタル信号入力方式とします

28. サーク回路

ビット 4 : EXCTL 端子切り替えビット (EXCTLON)

EXCTL/PS4 端子を EXCTL 入力端子として使用するか、PS4 (汎用入出力端子) として使用するかを設定します。

ビット 4	説 明
EXCTLON	
0	EXCTL/PS4 端子は EXCTL 入力端子として機能 (初期値)
1	EXCTL/PS4 端子は PS4 入出力として機能

ビット 3 : DPG 端子切り替えビット (DPGSW)

ドラム制御系入力信号 (DFG、DPG) を分離入力とするか、重畳入力とするかを選択します。

ビット 3	説 明
DPGSW	
0	ドラム制御系入力を分離入力とする (DPG/PS3 端子は DPG 入力端子として機能) (初期値)
1	ドラム制御系入力を重畳入力とする (DPG/PS3 端子は PS3 入出力端子として機能)

ビット 2 : COMP 端子切り替えビット (COMP)

COMP/PS2 端子を COMP 入力端子として使用するか、PS2 (汎用入出力端子) として使用するかを設定します。

ビット 2	説 明
COMP	
0	COMP/PS2 端子は COMP 入力端子として機能 (初期値)
1	COMP/PS2 端子は PS2 入出力端子として機能

ビット 1 : H.Amp SW 端子切り替えビット (H.Amp.SW)

H.Amp SW/PS1 端子を H.Amp SW 出力端子として使用するか、PS1 (汎用入出力端子) として使用するかを設定します。

ビット 1	説 明
H.Amp.SW	
0	H.Amp SW/PS1 端子は H.Amp SW 出力端子として機能 (初期値)
1	H.Amp SW/PS1 端子は PS1 入出力端子として機能

ビット 0 : C.Rotary 端子切り替えビット (C.Rot)

C.Rotary/PS0 端子を C.Rotary 出力端子として使用するか、PS0 (汎用入出力端子) として使用するかを設定します。

ビット 0	説 明
C.Rot	
0	C.Rotary/PS0 端子は C.Rotary 出力端子として機能 (初期値)
1	C.Rotary/PS0 端子は PS0 入出力端子として機能

(2) サーボコントロールレジスタ (SPCR)

ビット :	7	6	5	4	3	2	1	0
				SPCR4	SPCR3	SPCR2	SPCR1	SPCR0
初期値 :	1	1	1	0	0	0	0	0
R/W :				W	W	W	W	W

サーボポート/汎用ポート兼用端子を汎用ポートとして使用した時、各端子 (PS4 ~ PS0) の入出力をビットごとに制御します。SPCR に 1 をセットすると、対応する PS4 ~ PS0 端子は出力端子となり、0 クリアすると入力端子となります。SPMR により当該端子が汎用入出力に設定されている場合に SPCR および SPDR の設定が有効となります。

SPCR は 8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。

ビット 7~5 はリザーブビットです。ライトは無効です。

リセット、スタンバイ時、H'E0 に初期化されます。

ビット n	説 明
SPCRn	
0	PSn 端子は入力として機能 (初期値)
1	PSn 端子は出力として機能

(3) サーボデータレジスタ (SPDR)

ビット :	7	6	5	4	3	2	1	0
				SPDR4	SPDR3	SPDR2	SPDR1	SPDR0
初期値 :	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

サーボポート/汎用ポート兼用端子を汎用ポートとして使用した時、各端子 (PS4 ~ PS0) のデータを格納します。SPCR が 1 (出力) のときポートのリードを行うと SPDRn の値を直接リードします。そのため端子の状態の影響を受けません。SPCR が 0 (入力) のときポートのリードを行うと端子の状態が読み出されます。

SPDR は 8 ビットのリード/ライト可能なレジスタです。ビット 7~5 はリザーブビットです。ライトは無効です。リードすると不定値が読み出されます。

リセット、スタンバイ時、H'E0 に初期化されます。

28. サーボ回路

(4) サーボモニタコントロールレジスタ (SVMCR)

ビット:	7	6	5	4	3	2	1	0
			SVMCR5	SVMCR4	SVMCR3	SVMCR2	SVMCR1	SVMCR0
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

P82/SV1 端子を SV1 モニタ出力端子、または P83/SV2 端子を SV2 モニタ出力端子として使用したとき、SV1、SV2 端子に出力するモニタ信号を選択します。

SVMCR は 8 ビットのリード/ライト可能なレジスタです。ビット 7、6 はリザーブビットです。ライトは無効です。リードすると不定値が読み出されます。リセット、スタンバイ時、H'CO に初期化されます。

ビット 5	ビット 4	ビット 3	説明
SVMCR5	SVMCR4	SVMCR3	
0	0	0	SV2 出力端子に REF30 信号を出力 (初期値)
		1	SV2 出力端子に CAPREF30 信号を出力
	1	0	SV2 出力端子に CREF 信号を出力
		1	SV2 出力端子に CTLMONI 信号を出力
1	0	0	SV2 出力端子に DVCFG 信号を出力
		1	SV2 出力端子に CFG 信号を出力
	1	0	SV2 出力端子に DFG 信号を出力
		1	SV2 出力端子に DPG 信号を出力

ビット 2	ビット 1	ビット 0	説明
SVMCR2	SVMCR1	SVMCR0	
0	0	0	SV1 出力端子に REF30 信号を出力 (初期値)
		1	SV1 出力端子に CAPREF30 信号を出力
	1	0	SV1 出力端子に CREF 信号を出力
		1	SV1 出力端子に CTLMONI 信号を出力
1	0	0	SV1 出力端子に DVCFG 信号を出力
		1	SV1 出力端子に CFG 信号を出力
	1	0	SV1 出力端子に DFG 信号を出力
		1	SV1 出力端子に DPG 信号を出力

(5) CTL ゲインコントロールレジスタ (CTLGR)

ビット:	7	6	5	4	3	2	1	0
			CTLE/A	CTLFB	CTLGR3	CTLGR2	CTLGR1	CTLGR0
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

CTL アンプ回路にある CTLFB スイッチの ON/OFF と、CTL アンプゲインを設定します。

CTLGR は 8 ビットのリード/ライト可能なレジスタです。ビット 7~6 はリザーブビットです。ライトは無効です。リードすると不定値が読み出されます。リセット、スタンバイ時、H'CO に初期化されます。

ビット7、6：リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット5：CTL 選択ビット (CTLE/ \bar{A})

CTL 回路に供給する CTLP 信号にアンプ出力を使用するか EXCTL を使用するか制御します。

ビット5 CTLE/ \bar{A}	説明
0	AMP 出力 (初期値)
1	EXCTL

ビット4：CTL アンプのフィードバック部 SW ビット (CTLFB)

フィードバック部の SW を ON/OFF することで、ゲインの調整ができます。

図 28.4 を参照してください。

ビット4 CTLFB	説明
0	CTLFB SW を OFF (初期値)
1	CTLFB SW を ON

ビット3~0：CTL アンプゲイン設定ビット (CTLGR3~0)

CTL アンプの出力ゲインを設定します。

ビット3 CTLGR3	ビット2 CTLGR2	ビット1 CTLGR1	ビット0 CTLGR0	CTL 出力ゲイン	
0	0	0	0	34.0 dB (初期値)	
			1	36.5 dB	
		1	0	39.0 dB	
			1	41.5 dB	
	1	0	0	0	44.0 dB
				1	46.5 dB
		1	0	0	49.0 dB
				1	51.5 dB
1	0	0	0	54.0 dB	
			1	56.5 dB	
		1	0	0	59.0 dB
				1	61.5 dB
	1	0	0	0	64.0 dB*
				1	66.5 dB*
		1	0	0	69.0 dB*
				1	71.5 dB*

【注】 * 64.0dB 以上の設定では、CTLAMP は非常に敏感な状態になります。コントロールヘッド信号入力周

辺のノイズ対応をセット基板上で考慮してください。また、CTLAMP、CTLSMT 間のフィルタ設定については十分な検討をお願いします。

28.2.6 DFG/DPG 入力信号

DFG、DPG 信号は、分離入力または重畳入力が可能です。重畳入力を選択 (DPGSW = 1) した場合、DFG、DPG の入力レベルに注意が必要です。図 28.5 に DFG/DPG 入力信号を示します。

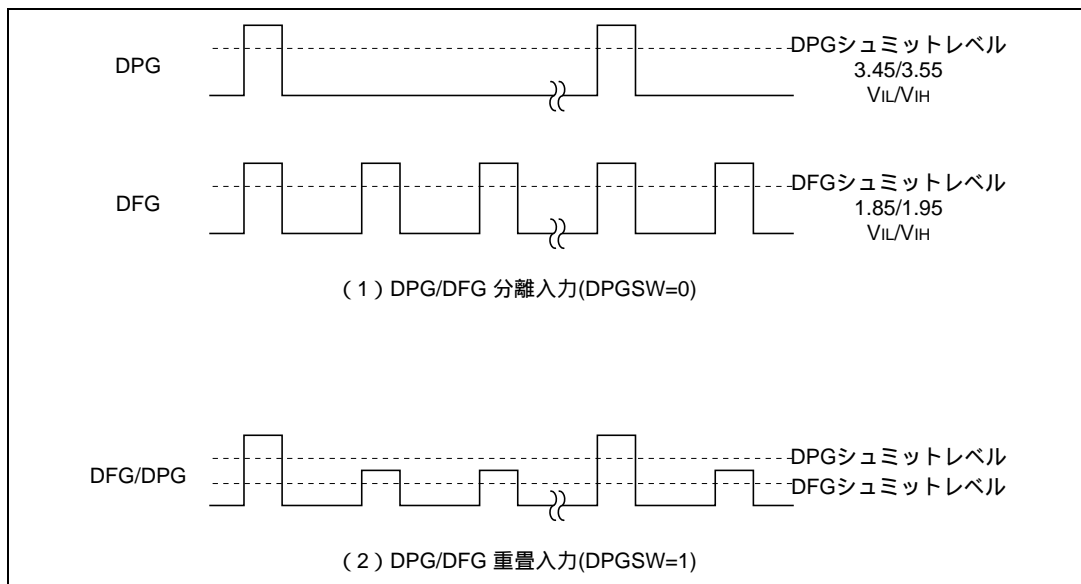


図 28.5 DFG/DPG 入力信号

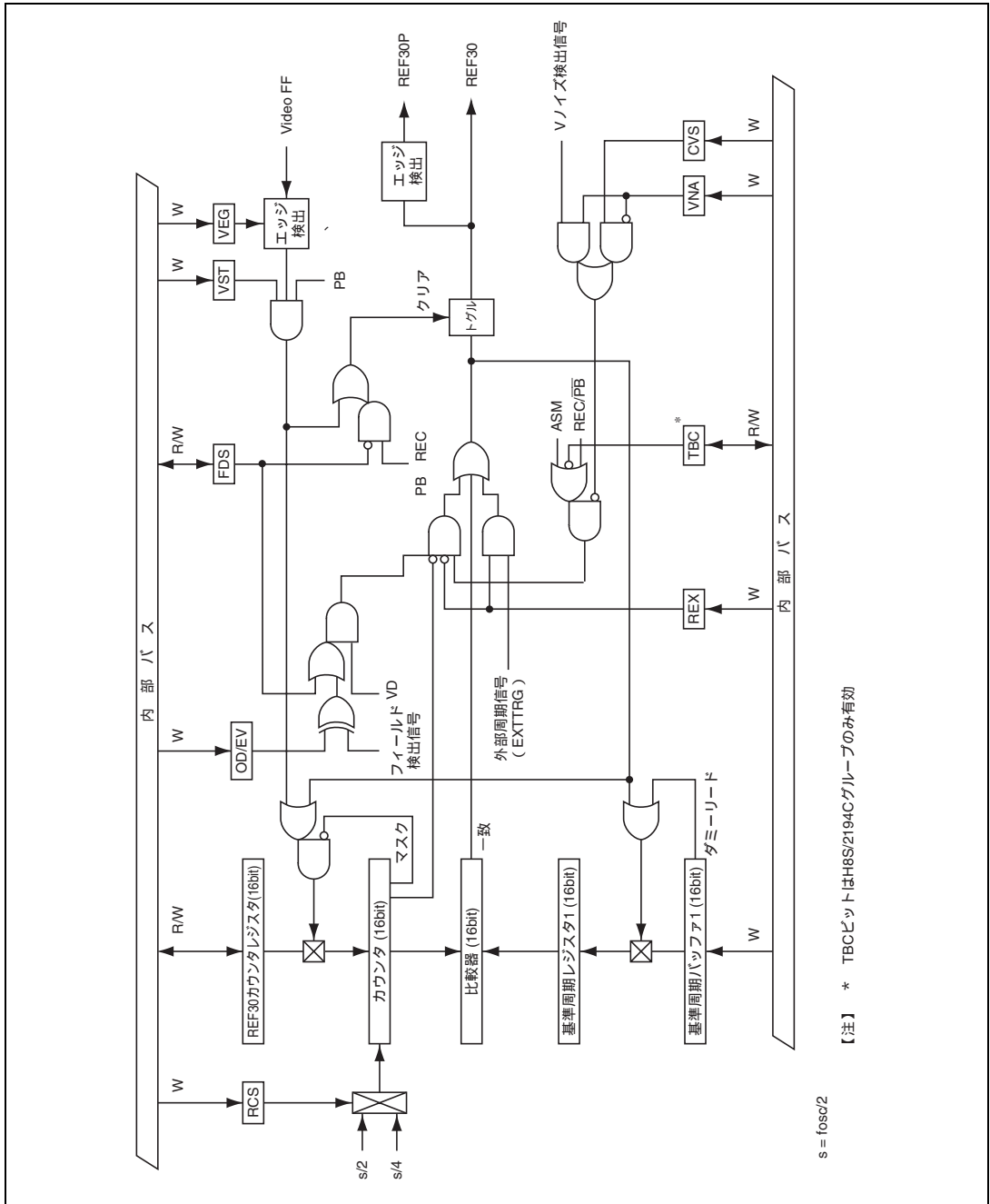
28.3 基準信号生成回路

28.3.1 概要

基準信号生成回路は、REF30 信号生成回路、CREF 信号生成回路で構成され、位相比較などに用いる基準信号 (REF30 信号および CREF 信号) を生成します。REF30 信号は、ドラムおよびキャプスタンの位相制御に用います。また、REC モード時にキャプスタン位相制御用の基準信号が REF30 信号と共用できない場合、CREF 信号を用います。各信号生成回路は、サーボクロック $s/2$ (または $/s4$) をクロックソースとする 16 ビットのカウンタ、REF30 カウンタレジスタ (REF30 信号生成回路のみ)、基準周期レジスタ、比較器により構成されています。基準周期レジスタには、基準周期の $1/2$ の値を設定してください。

28.3.2 ブロック図

REF30 信号生成回路のブロック図を図 28.6 に、CREF 信号生成回路のブロック図を図 28.7 に示します。



【注】 * TBCビットはH8S/2194Cグループのみ有効

図 28.6 REF30 信号生成回路

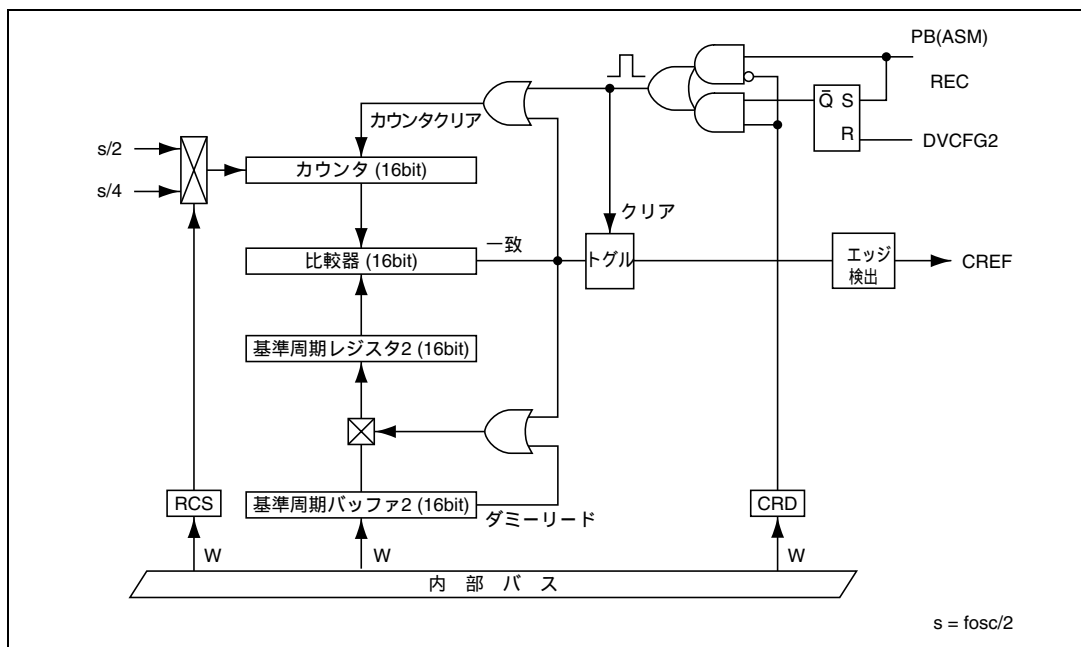


図 28.7 CREF 信号生成回路のブロック図

28.3.3 レジスタ構成

基準信号生成回路のレジスタ構成を表 28.4 に示します。

表 28.4 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
基準周期モードレジスタ	RFM	W	バイト	H'00	H'FD096
基準周期レジスタ 1	RFD	W	ワード	H'FFFF	H'FD090
基準周期レジスタ 2	CRF	W	ワード	H'FFFF	H'FD092
REF30 カウンタレジスタ	RFC	R/W	ワード	H'0000	H'FD094
基準周期モードレジスタ 2	RFM2	R/W	バイト	H'FE	H'FD097

28.3.4 レジスタの説明

(1) 基準周期モードレジスタ (RFM)

ビット:	7	6	5	4	3	2	1	0
	RCS	VNA	CVS	REX	CRD	OD/EV	VST	VEG
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

RFM は基準信号生成回路の動作状態を決定する 8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。

リセット、スタンバイおよびモジュールストップ時に H'00 に初期化されます。

RFM はバイトアクセス専用のレジスタです。ワードアクセスすると動作が保証されません。

ビット 7: クロックソース選択ビット (RCS)

カウンタに供給するクロックソースを選択します。 ($s = f_{osc}/2$)

ビット 7	説 明	
RCS		
0	s/2	(初期値)
1	s/4	

ビット 6: モード指定ビット (VNA)

REC モード時に REF30 信号の生成を VD 信号同期で行っているとき、フリーラン動作への遷移を同期信号検出回路で検出した、V ノイズ検出信号により自動制御するか、ソフトウェアでマニュアル制御するかを選択します。

ビット 6	説 明	
VNA		
0	マニュアルモード	(初期値)
1	オートモード	

ビット 5: マニュアル選択ビット (CVS)

マニュアルモード (VNA = 0) の時、REF30 信号の生成を VD 同期とするか、フリーラン動作させるかを選択します (PB モード時は反映されません。ただし TBC モード時は除く)。

ビット 5	説 明	
CVS		
0	VD 同期	(初期値)
1	フリーラン動作	

28. サーボ回路

ビット 4 : 外部信号同期選択ビット (REX)

REF30 信号を VD 信号またはフリーランで生成するか、外部信号同期とするかを選択します。(PB および REC モード共に有効)

ビット 4	説 明
REX	
0	VD 信号またはフリーラン (初期値)
1	外部信号同期

ビット 3 : DVCFG2 同期選択ビット (CRD)

PB (ASM) モードから REC モードに切り替えた時、CREF 信号生成のリセットタイミングをモード切り替え直後とするか、切り替え直後の DVCFG2 信号に同期させるかを選択します。

ビット 3	説 明
CRD	
0	モード切り替え時 (初期値)
1	DVCFG2 信号同期

ビット 2 : ODD/EVEN エッジ切り替え選択ビット (OD/EV)

REC 時の REF30P 信号をフィールド信号の ODD で生成するか、EVEN で生成するかを選択します。

ビット 2	説 明
OD/EV	
0	フィールド信号の立ち上がり (EVEN) で生成 (初期値)
1	フィールド信号の立ち下がり (ODD) で生成

ビット 1 : Video FF カウンタセット (VST)

PB モードでドラム位相 FIX ON 時に Video FF 信号で REF30 カウンタレジスタの値をカウンタセットを ON するか、OFF するかを選択します。

ビット 1	説 明
VST	
0	Video FF 信号でカウンタセット OFF (初期値)
1	Video FF 信号でカウンタセット ON

ビット 0 : Video FF エッジ選択ビット (VEG)

Video FF 信号で REF30 カウンタをセット (VST = 1) する際のエッジを選択します。

ビット 0	説 明
VEG	
0	Video FF 信号の立ち上がりでセット (初期値)
1	Video FF 信号の立ち下がりでセット

(2) 基準周期レジスタ 1 (RFD)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REF15	REF14	REF13	REF12	REF11	REF10	REF9	REF8	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

基準周期レジスタ 1 (RFD) は、再生時の基準信号 (REF30) 生成、記録時の VD 補完およびフリーラン動作時の基準信号を生成するバッファレジスタです。RFD は、ライト専用の 16 ビットのレジスタでワードアクセスのみとなっています。リードすると不定値が読み出されます。

RFD は、基準信号周期の 1/2 の値を設定します。記録時に弱電界状態等により VD が不安定な時は注意が必要です (記録時に 1/2 以下の値を設定すると同期がかかりません)。RFD にデータをライトすると、一度バッファに格納され比較器のマッチ信号により RFD に取り込まれます (基準信号生成のデータの更新はマッチ信号により随時行われます)。初期設定等の強制書き込みは RFD のダミーリードにより行ってください。

また、RFD にバイトライトすると、動作が保証されません。リセット、スタンバイ、およびモジュールストップ時に H'FFFF に初期化されます。

REC/PB モードの切り替えは、CTL 回路の CTL モードレジスタ (CTLM) のビット 7 (ASM) およびビット 6 (REC/PB) により行ってください。また、キャプスタン位相制御での、REF30 と CREF との切り替えは、キャプスタン位相誤差検出コントロールレジスタ (CPGCR) のビット 4 (CR/RF ビット) により行ってください。

(3) 基準周期レジスタ 2 (CRF)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRF15	CRF14	CRF13	CRF12	CRF11	CRF10	CRF9	CRF8	CRF7	CRF6	CRF5	CRF4	CRF3	CRF2	CRF1	CRF0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

基準周期レジスタ 2 (CRF) は、16 ビットのライト専用のバッファレジスタで、キャプスタン位相制御用の基準信号 (CREF) を生成します。CRF はワードアクセス専用であり、リード時は不定値が読み出されます。CRF の値は、基準信号周期の 1/2 を設定します。

CRF にデータをライトすると、一度バッファに格納され比較器のマッチ信号により CRF に取り込まれます (基準信号生成のデータの更新はマッチ信号により随時行われます)。初期設定等の強制書き込みは CRF のダミーリードにより行ってください。また、CRF にバイトライトすると、動作が保証されません。リセット、スタンバイ、およびモジュールストップ時に H'FFFF に初期化されます。

キャプスタン位相制御での REF30 と CREF との切り替えは、キャプスタン位相誤差検出コントロールレジスタ (CPGCR) のビット 4 (CR/RF ビット) により行ってください。 (「28.9 キャプスタン位相誤差検出回路」参照)

(4) REF30 カウンタレジスタ (RFC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC15	RFC14	RFC13	RFC12	RFC11	RFC10	RFC9	RFC8	RFC7	RFC6	RFC5	RFC4	RFC3	RFC2	RFC1	RFC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

REF30 カウンタレジスタ (RFC) は、再生時に REF30 信号をフリーランカウンタで生成する際、カウンタの初期値を決定するレジスタです。RFC にデータライトすると、比較器のマッチ信号により RFC の値がカウンタにライトされます。また、RFM のビット 1 (VST) を 1 に設定すると、ドラム位相 FIX ON 時に Video FF 信号でカウンタをセットします。Video FF 信号によるカウンタセットは RFM のビット 1 (VST) およびビット 0 (VEG) により行ってください。RFC の値は基準周期レジスタ 1 (RFD) の 1/2 以上の値を設定しないでください。

RFC はリードライト可能なレジスタですが、リードするとカウンタの値が読み出されます。RFC にバイトアクセスすると動作が保証されません。リセット、スタンバイ、およびモジュールストップ時に H'0000 に初期化されます。

(5) 基準周期モードレジスタ 2 (RFM2)

ビット:	7	6	5	4	3	2	1	0
	(TBC)							FDS
初期値:	1	1	1	1	1	1	1	0
R/W :	(R/W)*							R/W

【注】 * H8S/2194Cグループのみライト可能です。

RFM2 は基準信号生成回路の動作状態を決定する 8 ビットのリード/ライト可能なレジスタです。ビット 6~1 はリザーブビットです。リードすると不定値が読み出されます。

リセット、スタンバイおよびモジュールストップ時に H'FE に初期化されます。RFM2 はバイトアクセス専用のレジスタです。ワードアクセスすると動作が保証されません。

ビット 7: TBC 選択ビット (TBC)

PB モード時、VD により基準信号を生成するか、フリーランで基準信号を生成するかを決定します。

ビット 7	説明
TBC	
0	VD により基準信号を生成 (H8S/2194C グループのみ選択可能)
1	フリーランで基準信号を生成 (初期値)

ビット 6~1: リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット0：フィールド選択ビット（FDS）

PB モードから REC モードに切り替えた時、フィールド信号の ODD/EVEN 選択を行うか、位相差 90 度以内の VD 信号に同期させるかを決定します。

ビット 0	説 明
FDS	
0	選択された ODD または EVEN の VD 信号で生成 (初期値)
1	モード遷移位相差 90 度以内の VD 信号で生成

28.3.5 動作説明

(1) REF30 信号生成回路の動作

REF30 信号生成回路は、ドラム、キャプスタンの位相制御に必要な基準信号を生成します。

REF30 信号の生成には、基準周期レジスタ 1 (RFD) に基準周期の 1/2 の値を設定することにより、デューティ 50% の基準信号となります。再生時は、REF30 信号生成回路をフリーラン動作させることにより REF30 信号が生成されます。また、外部信号同期化機能を内蔵しており、基準周期モードレジスタ (RFM) のビット 4 (REX) を 1 にすることにより外部信号 (EXTTGR) で REF30 信号を生成します。

記録時は、同期信号検出回路で生成される VD 信号により生成されます。弱電界等により VD が欠落しても RFD の設定値により VD を補完します。また、VD ノイズ対策として、VD により REF30 信号変化後、RFD 設定値の約 75% の期間 VD のマスク処理を自動的に行います。なお、記録時は、同期信号検出回路で検出した V ノイズ検出信号により、VD による基準信号生成とフリーラン動作による基準信号生成を、自動またはソフトウェアにより制御が可能です。RFM のビット 6 (VNA)、ビット 5 (CVS) により設定してください。

REF30 信号は、PB から REC (ASM) にモード遷移する場合、トグル出力の位相は L レベルにクリアされます。また、フレームサーボ機能の設定が可能となっており、同期信号検出回路で検出したフィールド信号により REF30 信号の位相をコントロールできます。RFM のビット 2 (OD/EV) により行ってください。

PB、ASM および REC の切り替えは、「28.13.5 (2) CTL モードレジスタ (CTLM)」を参照してください。

(2) マスク回路の動作

REF30 信号生成回路は、トグルマスク回路とカウンタマスク (カウンタセット信号マスク) 回路を内蔵しています。各マスク回路は、記録時に弱電界等 VD 信号が不安定な時に発生する不規則な VD 信号をマスクします。

トグルマスク回路およびカウンタマスク回路は、VD 信号検出から基準周期レジスタ 1 (RFD) に設定した値の 2 倍の約 75% 期間、VD を自動マスクします (図 28.9 参照)。VD 信号が欠落し V の補完が行われた場合、トグルマスク回路はマスクを開始しますが、カウンタマスク回路は約 25% の期間マスクを行いません。この間に VD 信号を検出した時は VD 信号検出から約 75% の期間マスクし、検出されない時は V の補完から約 75% の期間マスクします (図 28.10、28.11 参照)。

(3) REF30 信号生成タイミング

REF30、REF30P 信号を図 28.8、図 28.9、図 28.10、図 28.11、図 28.12 に示します。

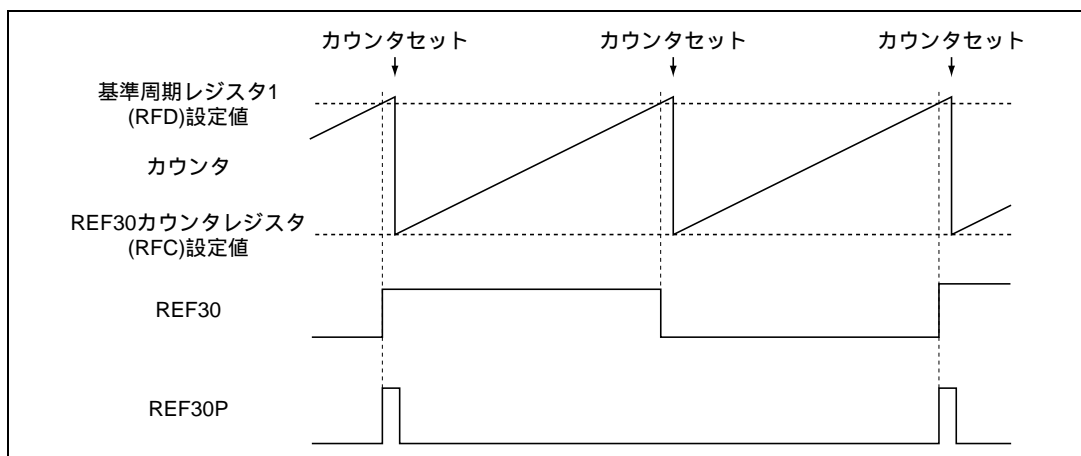


図 28.8 再生時の REF30 信号

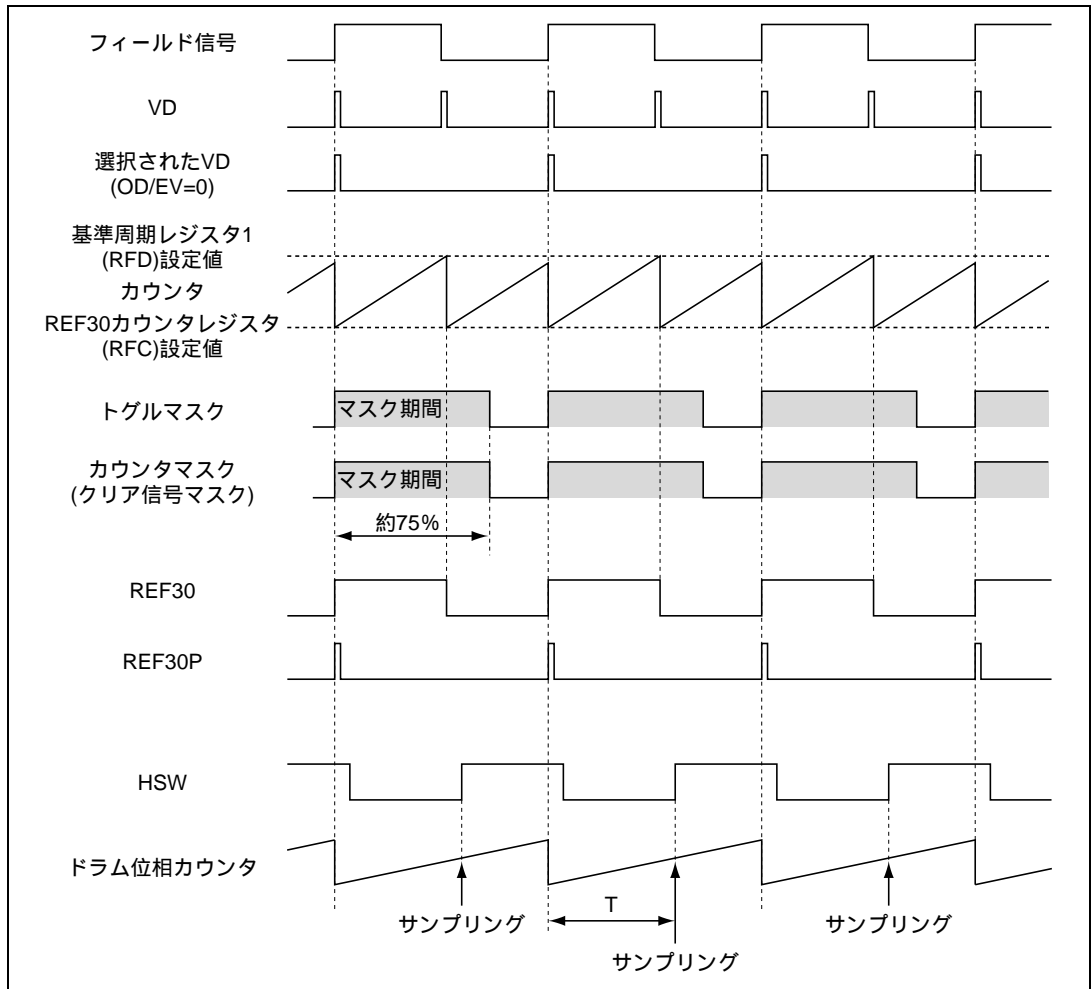


図 28.9 記録時の基準信号の生成 (正常動作)

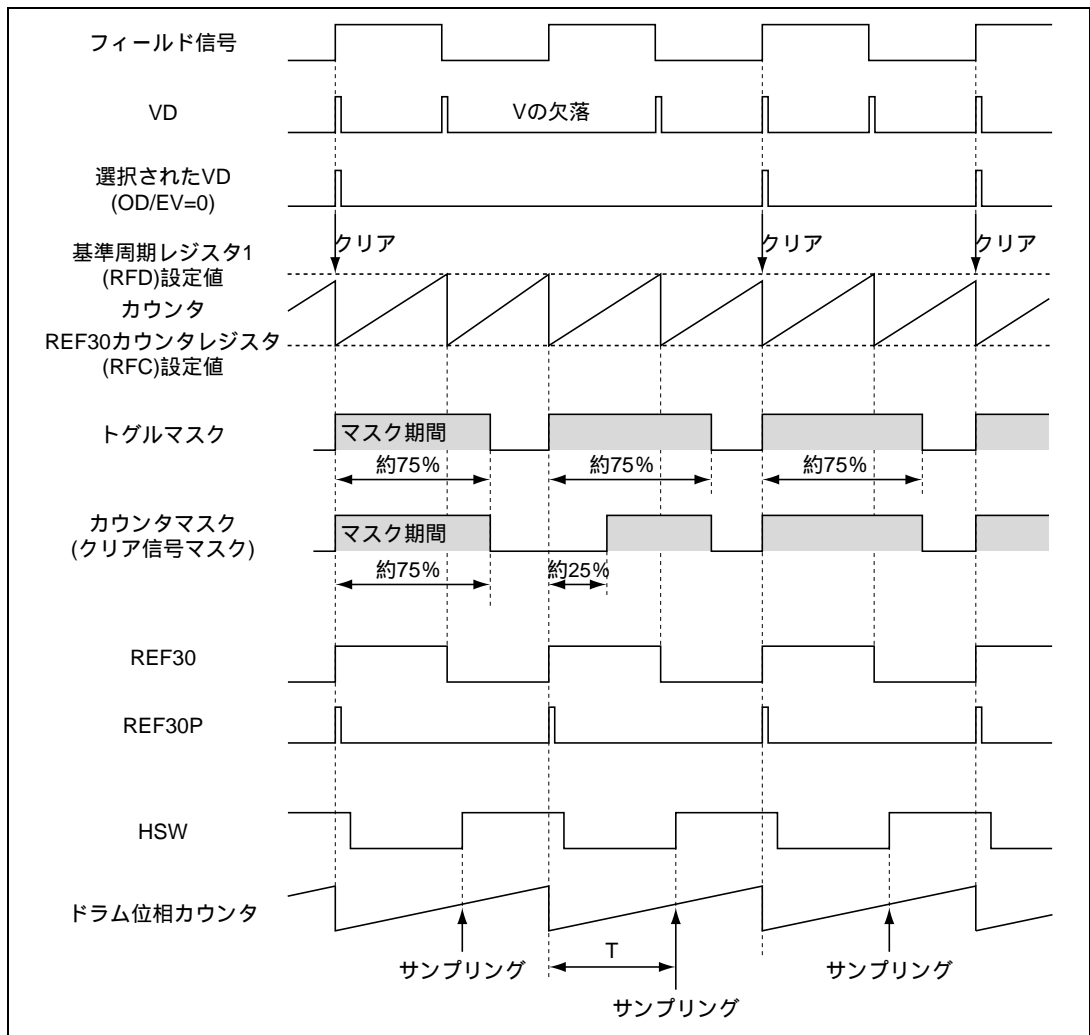


図 28.10 記録時の基準信号の生成 (V の欠落)

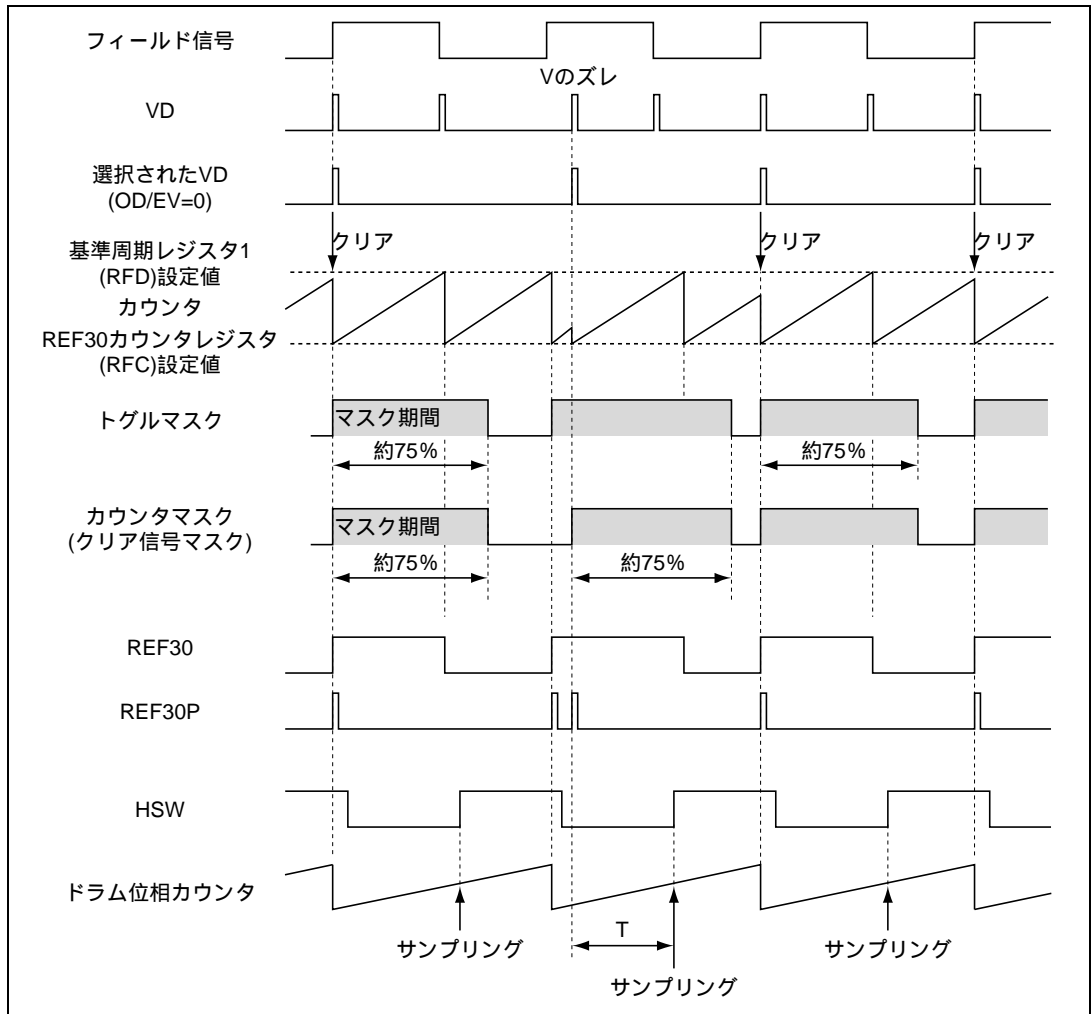


図 28.11 記録時の基準信号の生成 (Vのズレ)

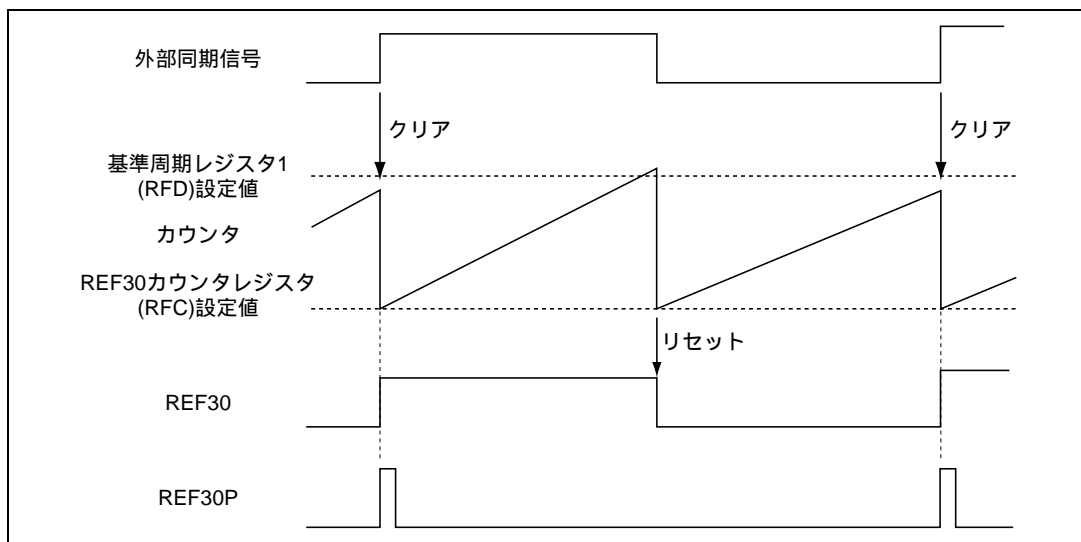


図 28.12 外部同期信号による REF30 信号

(4) CREF 信号生成回路

CREF 信号生成回路は、キャプスタンの位相制御用の基準信号である CREF 信号を生成します。

CREF 信号の生成には基準周期レジスタ 2 (CRF) に基準信号周期の 1/2 の値を設定します。設定値とカウンタ値の一致により、デューティ 50% のトグル波形を生成し立ち上がりエッジで 1 ショットパルス信号を出力します。CREF 信号生成回路のカウンタは、PB (ASM) から REC にモード遷移した時、H'0000 に初期化され、トグルの位相は L レベルにクリアされます。クリアするタイミングは PB (ASM) から REC に遷移した直後か、遷移後の DVCFG2 のタイミングとするかを選択できません。基準周期モードレジスタ (RFM) のビット 3 (CRD) により行ってください。

キャプスタン位相誤差検出回路では、基準信号に REF30 信号を用いるか、CREF 信号を用いるかを選択できます。システム用途に合わせて使用してください。

ドラム位相制御と異なる周期でキャプスタン位相制御を行う場合は CREF 信号を用います。キャプスタン位相制御での REF30 と CREF の切り替えは「28.9.4 (3) キャプスタン位相誤差検出コントロールレジスタ (CPGCR)」を参照してください。

(5) CREF 信号生成タイミング図

基準信号 CREF 信号を図 28.13、図 28.14、図 28.15 に示します。

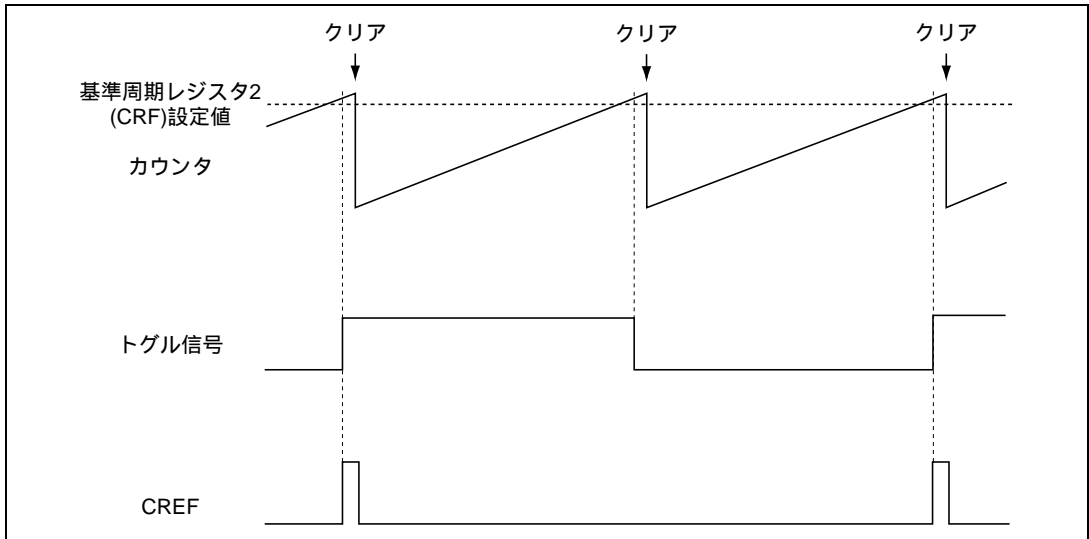


図 28.13 CREF 信号の生成

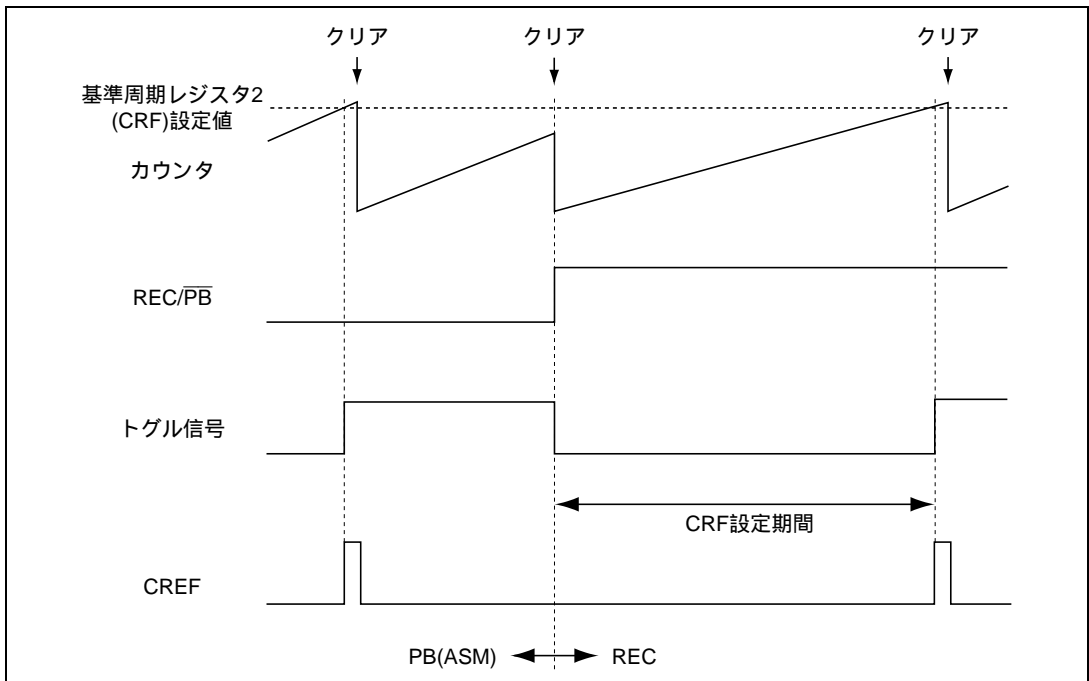


図 28.14 PB REC時のCREF信号 (CRDビット=0の時)

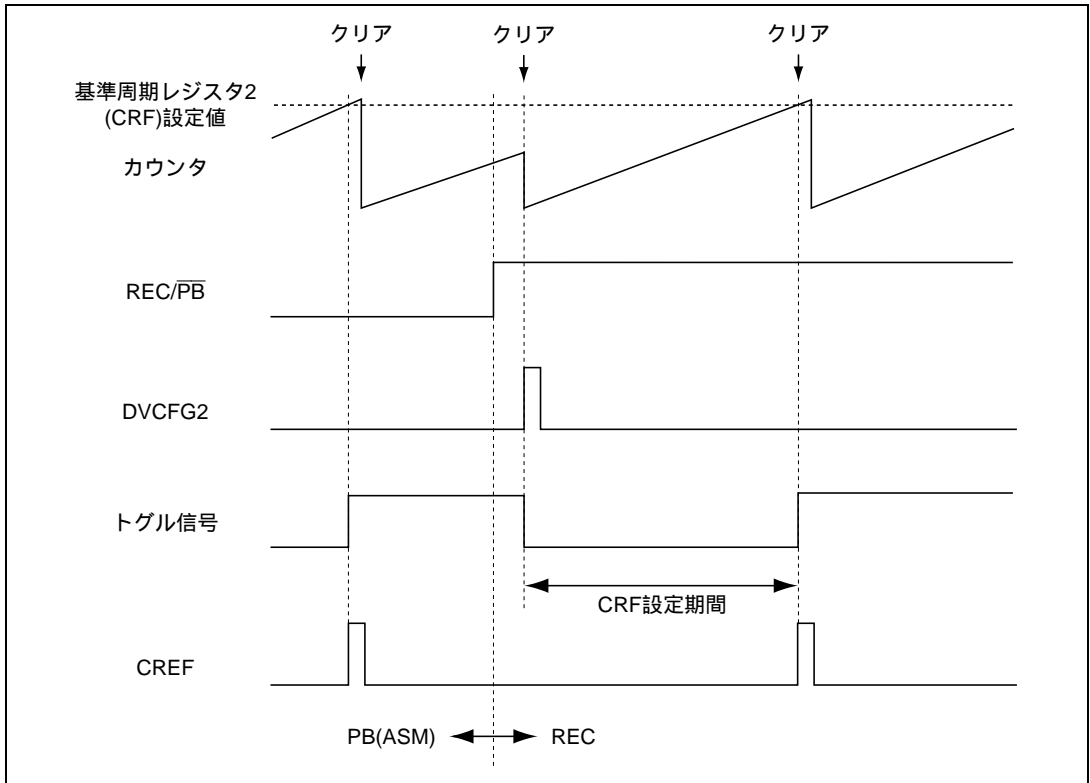


図 28.15 PB REC 時の CREF 信号 (CRD ビット = 1 の時)

PB REC 切り替え時の REF30 (REF30P) を図 28.16、28.17 に示します。

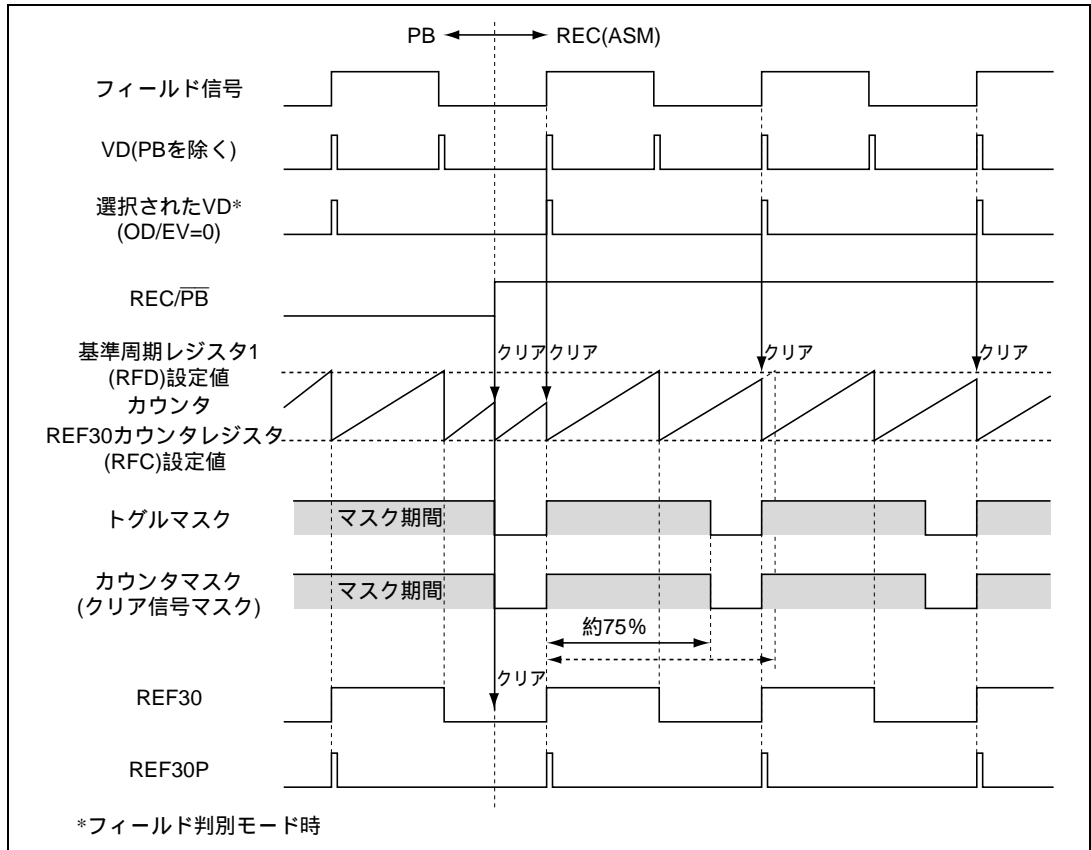


図 28.16 PB REC 切り替え時の基準信号の生成 (1)

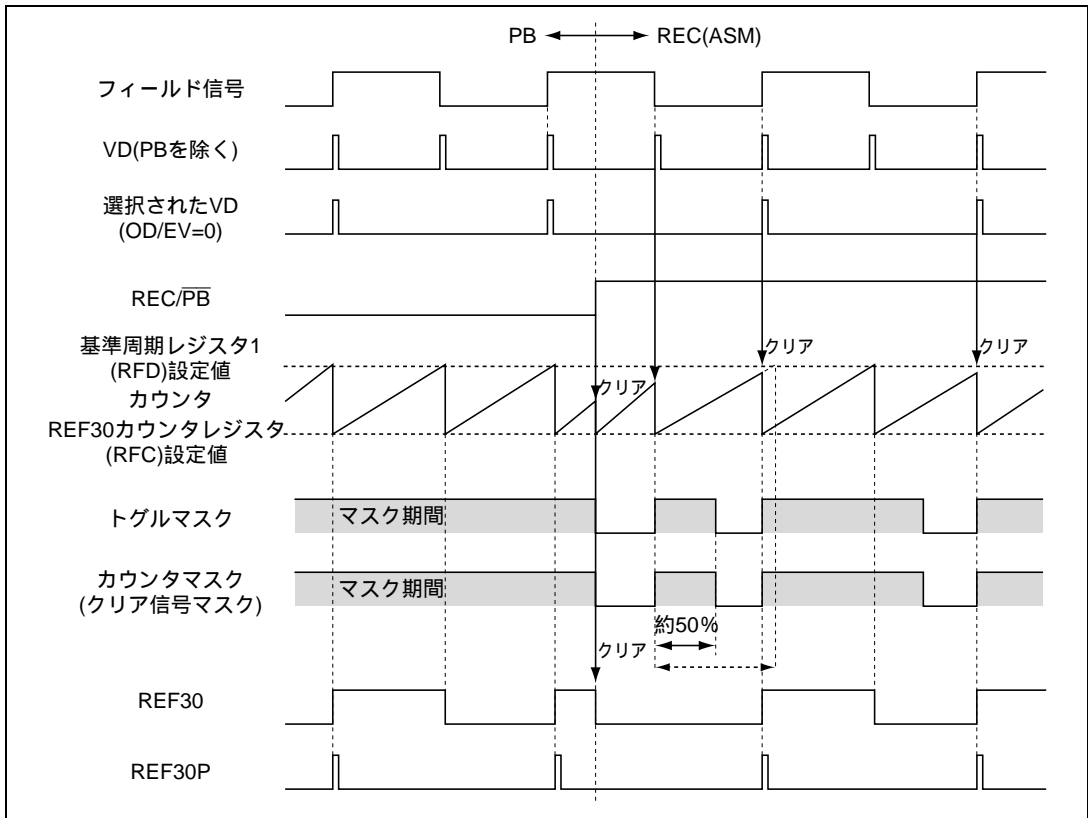


図 28.17 PB REC 切り替え時の基準信号の生成 (2)

PB REC 切り替え時 (FDS ビット = 1 の時) の REF30 (REF30P) を図 28.18、図 28.19、図 28.20、図 28.21 に示します。

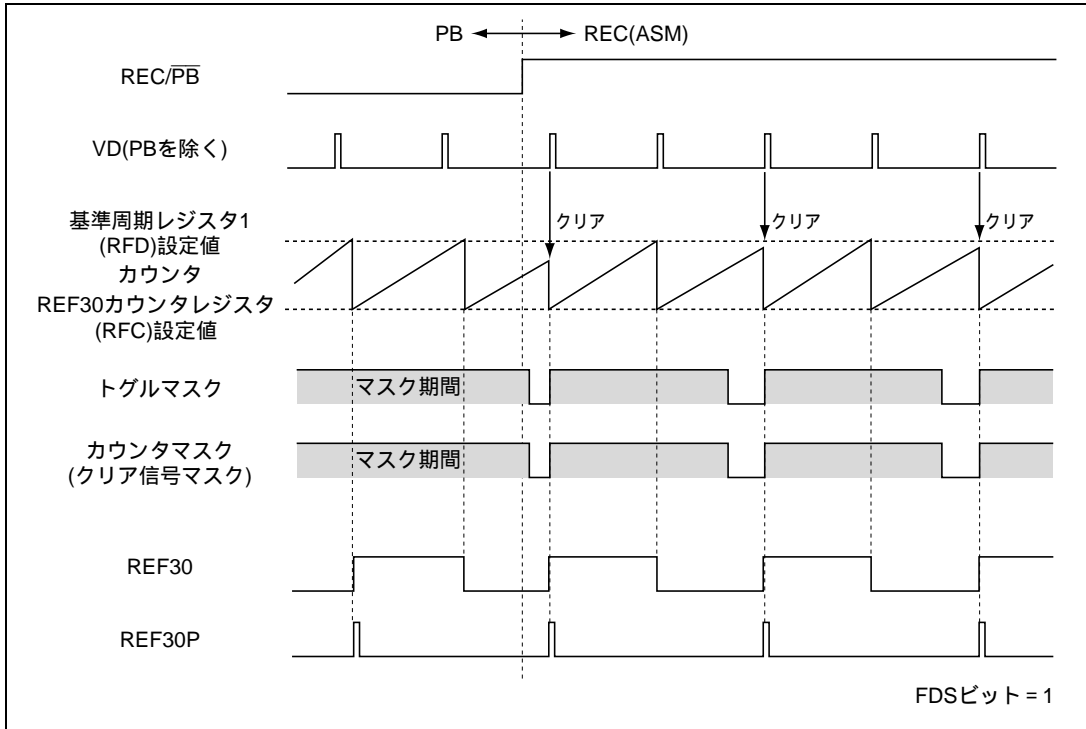


図 28.18 RFD ビット = 1 の時、PB REC 切り替え時の基準信号の生成 (1)

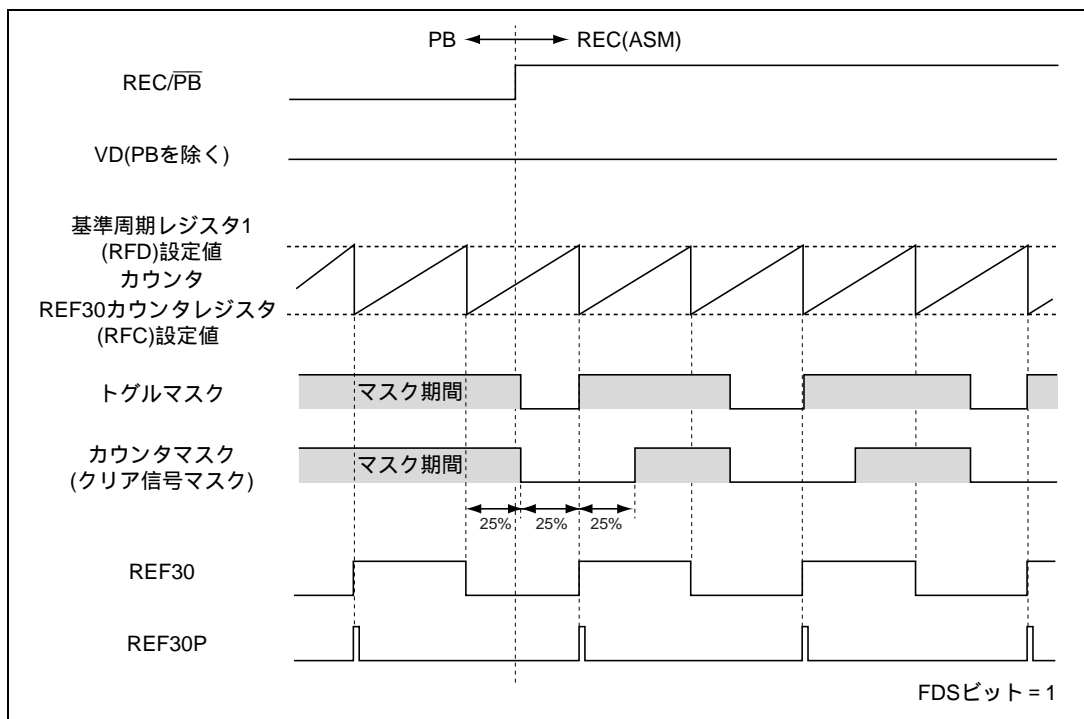


図 28.19 RFD ビット = 1 の時、PB REC 切り替え時の基準信号の生成 (VD 信号未検出時) (2)

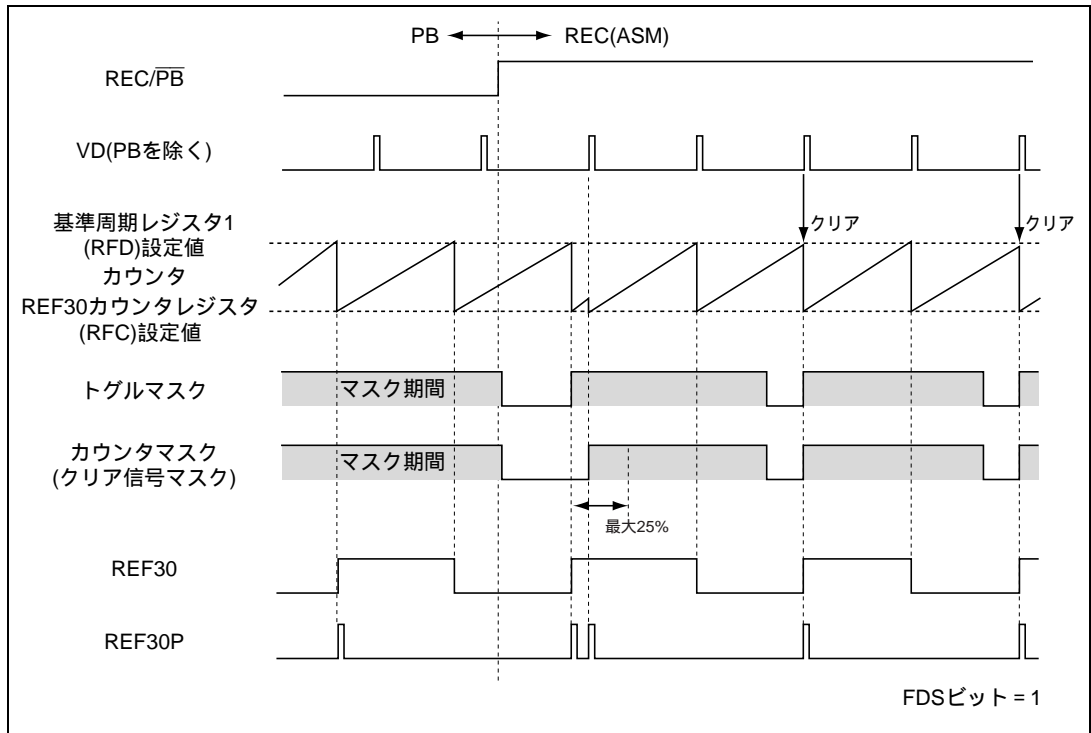


図 28.20 RFD ビット=1 の時、PB REC 切り替え時の基準信号の生成 (3)

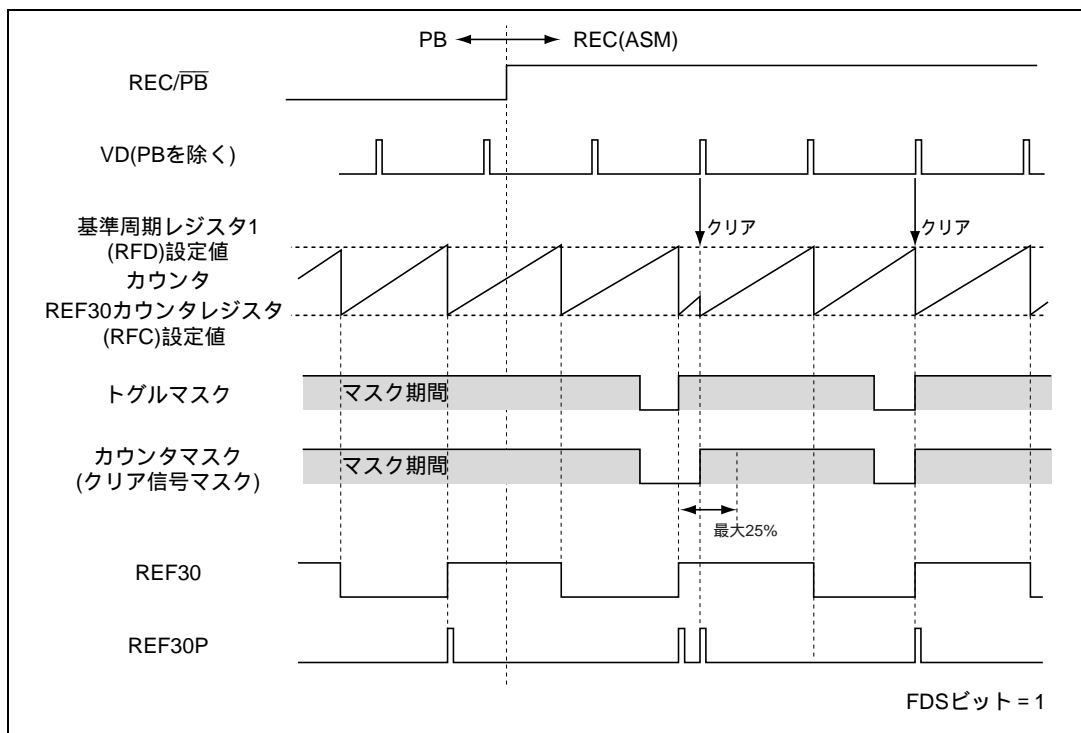


図 28.21 RFD ビット = 1 の時、PB REC 切り替え時の基準信号の生成 (4)

28.4 HSW (ヘッドスイッチ) タイミング生成回路

28.4.1 概要

HSW タイミング生成回路は、5 ビット DFG 計数カウンタと 16 ビットタイマカウンタ、一致回路、および 31 ビット × 10 段の FIFO 2 本により構成されています。

5 ビット DFG 計数カウンタは DPG パルスを基準に DFG パルス数を計数します。それぞれフィールドごとに 16 ビットタイマカウンタをリセットするタイミングを決定します。16 ビットタイマカウンタは $s/4$ をクロックソースとするタイマで PPG (Programmable Pattern Generator)、およびフリーランニングカウンタ (FRC) として使用可能です。FRC として制御した場合、プリスケラユニットのオーバフローで (FRCOVF) カウンタがクリアされるため、2 つの FRC は同期して動作します。

一致回路は FIFO の MSB 側 16 ビットのタイミングデータと 16 ビットタイマカウンタとの比較を行い、FIFO の LSB 側 15 ビットに設定したパターンデータの出力を制御します。

28.4.2 ブロック図

HSW タイミング生成回路のブロック図を図 28.22 に示します。

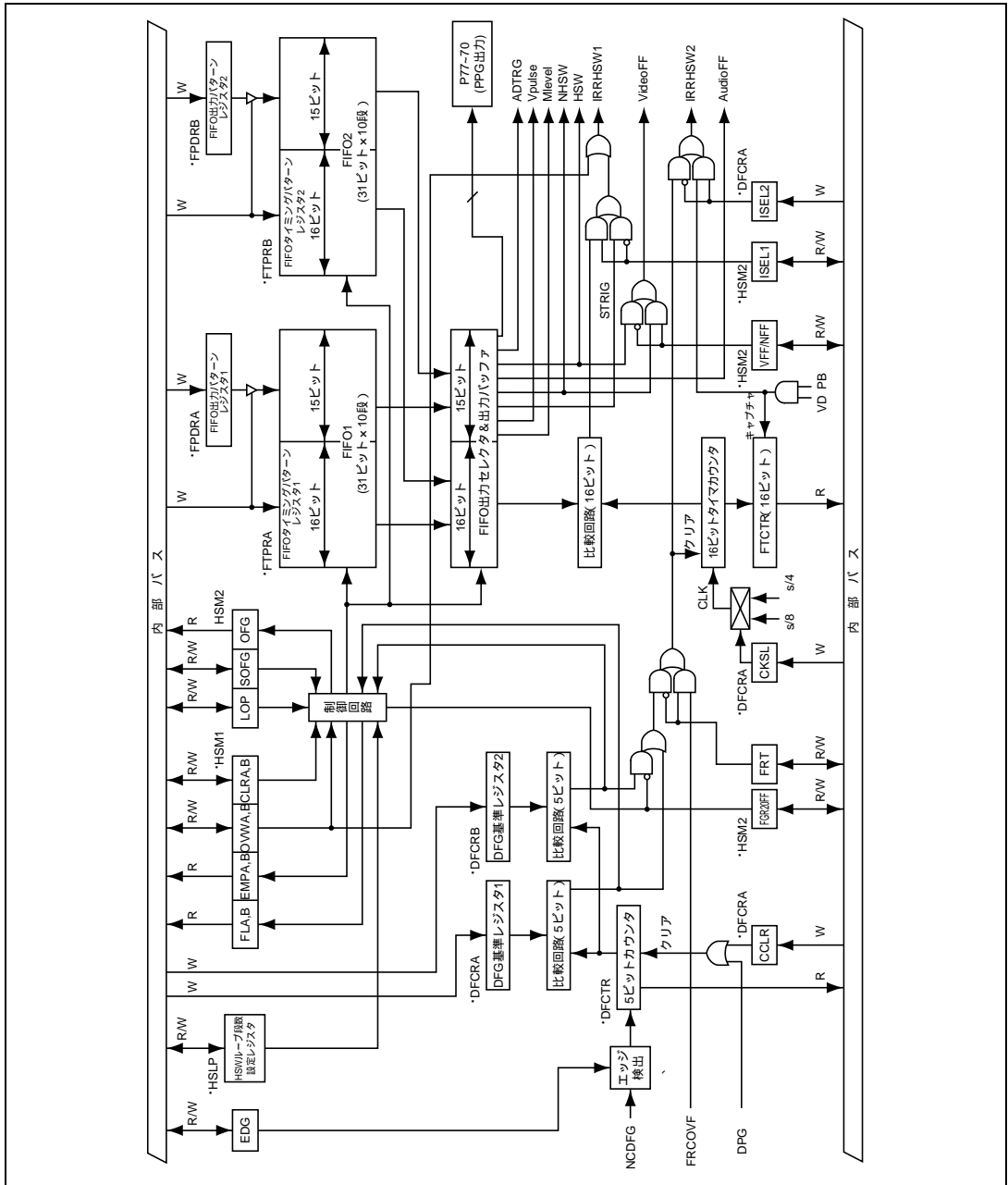


図 28.22 HSW タイミング生成回路

28.4.3 回路構成

HSW タイミング生成回路は表 28.5 に示す要素で構成されています。

表 28.5 HSW タイミング生成回路の構成

要素	機能
HSW モードレジスタ 1 (HSM1)	本回路の動作状態の確認/決定
HSW モードレジスタ 2 (HSM2)	本回路の動作状態の確認/決定
HSW ループ段数設定レジスタ (HSLP)	ループモード時のループ段数の設定
FIFO 出力パターンレジスタ 1 (FPDRA)	FIFO1 の出力パターンデータレジスタ
FIFO 出力パターンレジスタ 2 (FPDRB)	FIFO2 の出力パターンデータレジスタ
FIFO タイミングパターンレジスタ 1 (FTPRA)	FIFO1 の出力タイミングレジスタ
FIFO タイミングパターンレジスタ 2 (FTP RB)	FIFO2 の出力タイミングレジスタ
DFG 基準レジスタ 1 (DFCRA)	FIFO1 の基準となる DFG エッジの設定
DFG 基準レジスタ 2 (DFCRB)	FIFO2 の基準となる DFG エッジの設定
FIFO タイマキャプチャレジスタ (FTCTR)	タイマカウンタのキャプチャレジスタ
DFG 基準カウントレジスタ (DFCTR)	DFG エッジカウント
FIFO 制御回路	FIFO の状態を制御
DFG カウント比較回路 (×2)	DFCR と DFG カウントレジスタの一致検出
16 ビットタイマカウンタ	16 ビットのフリーランタイマカウンタ
31 ビット×20 段の FIFO	First in First Out のデータバッファ
31 ビット FIFO データバッファ	初段の FIFO データ格納バッファ
16 ビット比較回路	タイマカウンタと FIFO データバッファの一致検出

FPDRA と FPDRB は中間バッファであり、FTPRA、FTP RB のライトにより 31 ビット同時にライトされます。FIFO は 31 ビット×10 段のデータバッファが 2 つあり、HSM1、HSM2 により動作状態を制御します。データは 31 ビットデータバッファに格納され、FTPRA、FTP RB とタイマカウンタの値を比較し、一致すると 15 ビットのパターンデータは各機能に出力されます。AudioFF、VideoFF、PPG (P70~P77) は端子出力、ADTRG は A/D 変換器のハードトリガ信号、Vpulse、Mlevel 信号は付加 V パルスの生成用信号、HSW、NHSW 信号は VideoFF 信号と同一の信号であり、ドラムの位相制御に用います。16 ビットタイマカウンタはフリーランモード (HSM2 の FRT ビット=1) のとき、プリスケラユニットのオーバフローにより初期化されます。DFG 基準モードのときは DFCRA、DFCRB と 5 ビット DFG 計数カウンタの一致信号により初期化されます。

28.4.4 レジスタ構成

HSW タイミング生成回路のレジスタ構成を表 28.6 に示します。

表 28.6 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
HSW モードレジスタ 1	HSM1	R/W	バイト	H'30	H'D060
HSW モードレジスタ 2	HSM2	R/W	バイト	H'00	H'D061
HSW ループ段数設定レジスタ	HSLP	R/W	バイト	不定	H'D062
FIFO 出力パターンレジスタ 1	FPDRA	W	ワード	不定	H'D064
FIFO タイミングパターンレジスタ 1*	FTPRA	W	ワード	不定	H'D066
FIFO 出力パターンレジスタ 2	FPDRB	W	ワード	不定	H'D068
FIFO タイミングパターンレジスタ 2	FTP RB	W	ワード	H'FFFF	H'D06A
DFG 基準レジスタ 1*	DFCRA	W	バイト	不定	H'D06C
DFG 基準レジスタ 2	DFCRB	W	バイト	不定	H'D06D
FIFO タイマキャプチャレジスタ*	FTCTR	R	ワード	H'0000	H'D066
DFG 基準カウントレジスタ*	DFCTR	R	バイト	H'E0	H'D06C

【注】 *FTPRA と FTCTR、および DFCRA と DFCTR は同一アドレスに割り当てられています。

28.4.5 レジスタの説明

(1) HSW モードレジスタ 1 (HSM1)

ビット:	7	6	5	4	3	2	1	0
	FLB	FLA	EMPB	EMPA	OVWB	OVWA	CLRB	CLRA
初期値:	0	0	1	1	0	0	0	0
R/W :	R	R	R	R	R/(W)*	R/(W)*	R/W	R/W

【注】 * 0 ライトのみ有効です。

HSW タイミング生成回路の動作状態を確認し、決定するレジスタです。

HSM1 は 8 ビットのレジスタです。ビット 7~4 はリード専用ビットです。ライトは無効です。その他のビットはリード/ライト可能です。リセット、スタンバイ時、H'30 に初期化されます。

ビット 7: FIFO2 フルフラグ (FLB)

FLB ビットが 1 のとき、FIFO2 のタイミングパターンデータ、出力パターンデータが満杯であることを示します。

この状態でさらにライトすると、ライト操作は無効になり割り込みを発生するとともに、OVWB フラグ (ビット 3) を 1 にします。このとき、ライトデータは消滅します。FIFO2 に空きができてから再度ライトしてください。

ビット 7	説 明
FLB	
0	FIFO2 に空きがありデータ入力ができます (初期値)
1	FIFO2 がデータで満たされた状態です

ビット 6 : FIFO1 フルフラグ (FLA)

FLA ビットが 1 のとき、FIFO1 のタイミングパターンデータ、出力パターンデータが満杯であることを示します。

この状態でさらにライトすると、ライト操作は無効になり割り込みが発生するとともに、OVWA フラグ (ビット 2) を 1 にします。このとき、ライトデータは消滅します。FIFO1 に空きができてから再度ライトしてください。

ビット 6	説 明	
FLA		
0	FIFO1 に空きがありデータ入力ができます	(初期値)
1	FIFO1 がデータで満たされた状態です	

ビット 5 : FIFO2 エンプティフラグ (EMPB)

FIFO2 にデータがない、またはシングルモードで全データの出力が終了した状態を示します。

ビット 5	説 明	
EMPB		
0	FIFO2 にデータが残っています	
1	FIFO2 にデータが 1 つもない状態です	(初期値)

ビット 4 : FIFO1 エンプティフラグ (EMPA)

FIFO1 にデータがない、またはシングルモードで全データの出力が終了した状態を示します。

ビット 4	説 明	
EMPA		
0	FIFO1 にデータが残っています	
1	FIFO1 にデータが 1 つもない状態です	(初期値)

ビット 3 : FIFO2 オーバーライトフラグ (OVWB)

FIFO2 のタイミングパターンデータおよび出力パターンデータが満杯 (FLB ビットが 1) のとき、さらにライトを行うと、ライトは無効になり割り込みが発生するとともに、OVWB フラグが 1 になります。このときライトデータは消滅します。FIFO2 に空きができてから、再度ライトしてください。また、OVWB フラグは、自動的にクリアされないのので、0 をライトしてクリアしてください。

ビット 3	説 明	
OVWB		
0	正常動作	(初期値)
1	FIFO2 がデータで満たされた状態で、FIFO2 へのライトを行ったことを示します。本フラグは 0 ライトによりクリアしてください	

ビット 2 : FIFO1 オーバーライトフラグ (OVWA)

FIFO1 のタイミングパターンデータおよび出力パターンデータが満杯 (FLA ビット 1) のとき、さらにライトを行うと、ライトは無効になり割り込みが発生するとともに、OVWA フラグが 1 になります。このときライトデータは消滅します。FIFO1 に空きができてから、再度ライトしてください。また、OVWA フラグは、自動的にクリアされないので、0 をライトしてクリアしてください。

ビット 2	説 明
OVWA	
0	正常動作 (初期値)
1	FIFO1 がデータで満たされた状態で、FIFO1 へのライトを行ったことを示します。本フラグは 0 ライトによりクリアしてください

ビット 1 : FIFO2 ポインタクリア (CLRB)

FIFO2 のライト位置をカウントするポインタをクリアします。1 をライトすると直後に 0 に戻ります。0 をライトしても動作には影響しません。

ビット 1	説 明
CLRB	
0	通常動作 (初期値)
1	FIFO2 のポインタをクリアします

ビット 0 : FIFO1 ポインタクリア (CLRA)

FIFO1 のライト位置をカウントするポインタをクリアします。1 をライトすると直後に 0 に戻ります。0 をライトしても動作には影響しません。

ビット 0	説 明
CLRA	
0	通常動作 (初期値)
1	FIFO1 のポインタをクリアします

(2) HSW モードレジスタ 2 (HSM2)

ビット:	7	6	5	4	3	2	1	0
	FRT	FGR2OFF	LOP	EDG	ISEL1	SOFG	OFG	VFF/NFF
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R	W

HSW タイミング生成回路の動作状態を確認し、および決定するレジスタです。

HSM2 は 8 ビットのレジスタです。ビット 6、1 はリード専用ビットです。ライトは無効です。ビット 0 はライト専用です。リードすると不定値が読み出されます。その他のビットはリード/ライト可能です。リセット、スタンバイ時、H'00 に初期化されます。

ビット 7 : フリーランビット (FRT)

一致タイミングを DPG 基準のカウントとタイマで行うか、FRC で行うかを指定します。

ビット 7	説 明	
FRT		
0	5 ビット DFG 計数カウンタ + 16 ビットタイマカウンタ	(初期値)
1	16 ビット FRC	

ビット 6 : FRG2 クリア停止ビット (FGR2OFF)

DFG 基準レジスタ 2 によるカウンタのクリアを OFF します。ただし、FIFO グループは FIFO1、FIFO2 共に使用可能です。

ビット 6	説 明	
FGR2OFF		
0	DFG 基準レジスタ 2 による 16 ビットタイマカウンタのクリアを有効にします	(初期値)
1	DFG 基準レジスタ 2 による 16 ビットタイマカウンタのクリアを無効にします	

ビット 5 : モード指定ビット (LOP)

FIFO の出力モードを指定します。ループモードにすると LOB3 ~ LOB0 ビット、および LOA3 ~ LOA0 ビットが有効になります。LOP ビットを書き換えると、FIFO のライト位置をカウントするポインタがクリアされます。このとき最終出力データは保持されます。

ビット 5	説 明	
LOP		
0	シングルモード	(初期値)
1	ループモード	

ビット4：DFG エッジ選択ビット（EDG）

DFG を計数するエッジを選択します。

ビット4	説明
EDG	
0	DFG の立ち上がりエッジで計数します (初期値)
1	DFG の立ち下がりエッジで計数します

ビット3：割り込み選択ビット（ISEL1）

割り込みの発生要因を選択します。（IRRHSW1）

ビット3	説明
ISEL1	
0	FIFO の STRIG 信号の立ち上がりによる割り込み要求を発生します (初期値)
1	FIFO の一致信号による割り込み要求を発生します

ビット2：FIFO 出力グループ選択ビット（SOFG）

FIFO1 + FIFO2 の 20 段を使用するか、FIFO1 の 10 段のみを使用するかを選択します。

シングルモード時、20 段出力モードを使用する場合、FIFO1、FIFO2 へのデータ書き込みが必要となります。出力 FIFO グループフラグ（OFG）をモニタし、ソフトウェアによりコントロールしてください。FIFO1 の全データ出力後、FIFO2 の全データを出力し、再度 FIFO1 の出力の順に繰り返します。10 段出力モードを使用する場合は、FIFO2 のデータは反映されません。

SOFG ビットを 0 1 0 に書き換えると、FIFO 出力段制御信号を FIFO1 側に初期化します。

ビット2	説明
SOFG	
0	FIFO1 + FIFO2 の 20 段出力 (初期値)
1	FIFO1 のみの 10 段出力

ビット1：出力 FIFO グループフラグ（OFG）

出力を行っている FIFO グループを示します。

ビット1	説明
OFG	
0	FIFO1 によるパターン出力中 (初期値)
1	FIFO2 によるパターン出力中

ビット0：VideoFF/NarrowFF 出力切り替えビット（VFF/NFF）

Video FF 端子に出力する信号を切り替えます。

28. サーク回路

ビット 0	説 明	
VFF/NFF		
0	Video FF 出力	(初期値)
1	Narrow FF 出力	

(3) HSW ループ段数設定レジスタ (HSLP)

ビット:	7	6	5	4	3	2	1	0
	LOB3	LOB2	LOB1	LOB0	LOA3	LOA2	LOA1	LOA0
初期値:	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * : 不定

HSLP は HSW タイミング生成回路がループモードのときのループ段数を設定するレジスタです。HSM2 のビット 5 (LOP) が 1 のとき有効になります。ビット 7~4 で FIFO2 の段数設定、ビット 3~0 で FIFO1 の段数設定を行います。

HSLP は 8 ビットのリード/ライト可能なレジスタです。リセット、スタンバイ、およびモジュールストップ時に初期化されないため、ループモード使用時は必ず段数設定を行ってください。

ビット 7~4 : FIFO2 段数設定ビット (LOB3~LOB0)

ループモード時の FIFO2 の段数を設定します。ループモードに設定されているとき (HSM2 の LOP ビットが 1 のとき) のみ、有効となります。

HSM2	HSLP				説 明	
ビット 5	ビット 7	ビット 6	ビット 5	ビット 4		
LOP	LOB3	LOB2	LOB1	LOB0		
0	*	*	*	*	シングルモード (初期値)	
1	0	0	0	0	FIFO2 の 0 段目のみ出力	
				1	FIFO2 の 0、1 段目を出力	
			1	0	0	FIFO2 の 0~2 段目を出力
					1	FIFO2 の 0~3 段目を出力
	1	0	0	0	FIFO2 の 0~4 段目を出力	
				1	FIFO2 の 0~5 段目を出力	
				0	FIFO2 の 0~6 段目を出力	
			1	0	0	FIFO2 の 0~7 段目を出力
					1	FIFO2 の 0~8 段目を出力
					0	FIFO2 の 0~9 段目を出力
1	1	0	0	設定禁止		
			1			
			0			
			1			

【注】 * : Don't care.

ビット3~0 : FIFO1 段数設定ビット (LOA3~LOA0)

ループモード時の FIFO1 の段数を設定します。ループモードに設定されているとき (HSM2 の LOP ビットが 1 のとき) のみ、有効となります。

HSM2	HSLP				説明
ビット5	ビット3	ビット2	ビット1	ビット0	
LOP	LOA3	LOA2	LOA1	LOA0	
0	*	*	*	*	シングルモード (初期値)
1	0	0	0	0	FIFO1 の 0 段目のみ出力
				1	FIFO1 の 0、1 段目を出力
			1	0	FIFO1 の 0~2 段目を出力
				1	FIFO1 の 0~3 段目を出力
		1	0	0	FIFO1 の 0~4 段目を出力
				1	FIFO1 の 0~5 段目を出力
			1	0	FIFO1 の 0~6 段目を出力
				1	FIFO1 の 0~7 段目を出力
	1	0	0	0	FIFO1 の 0~8 段目を出力
				1	FIFO1 の 0~9 段目を出力
1	1	0	1	0	設定禁止
				1	
		1	0	0	
				1	
		1	1	0	
				1	

【注】 * : Don't care.

(4) FIFO 出力パターンレジスタ 1 (FPDRA)

ビット :	15	14	13	12	11	10	9	8
		ADTRGA	STRIGA	NarrowFFA	VFFA	AFFA	VpulseA	MlevelA
初期値 :	1	*	*	*	*	*	*	*
R/W :		W	W	W	W	W	W	W

ビット :	7	6	5	4	3	2	1	0
	PPGA7	PPGA6	PPGA5	PPGA4	PPGA3	PPGA2	PPGA1	PPGA0
初期値 :	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

【注】 * : 不定

FIFO1 の出力パターンレジスタのバッファレジスタです。FPDRA にライトされた出力パターンデータは、FTPRA ライト時に FIFO1 のバッファポインタの示す位置に同時にライトされます。FTPRA にライトする前に必ず出力パターンデータを FPDRA ヘライトしてください。

FPDRA は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセス時の動作は保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、

28. サーボ回路

スタンバイ時に初期化されないので、使用前に必ずデータをライトしてください。

ビット 15：リザーブビット

リードもライトも無効です。

ビット 14：A/D トリガ A ビット (ADTRGA)

A/D 変換器のハードウェア・トリガ信号です。

ビット 13：S-TRIGA ビット (STRIGA)

パターンデータにより割り込みを発生するための信号です。ISEL により STRIGA を選択すると、パターンデータを 0 から 1 に変化させることにより割り込みを発生します。

ビット 12：NarrowFFA ビット (NarrowFFA)

Narrow Video Head 制御に用います。

ビット 11：VideoFFA ビット (VFFA)

Video Head 制御に用います。

ビット 10：AudioFFA ビット (AFFA)

Audio Head 制御に用います。

ビット 9：VpulseA ビット (VpulseA)

付加 V 信号生成に用います。詳細は「28.12 付加 V 信号生成回路」を参照してください。

ビット 8：MlevelA ビット (MlevelA)

付加 V 信号生成に用います。詳細は「28.12 付加 V 信号生成回路」を参照してください。

ビット 7～0：PPG 出力信号 A ビット (PPGA7～PPGA0)

ポート 7 (PPG) によるタイミングコントロール出力に用います。

(5) FIFO 出力パターンレジスタ 2 (FPDRB)

ビット：	15	14	13	12	11	10	9	8
		ADTRGB	STRIGB	NarrowFFB	VFFB	AFFB	VpulseB	MlevelB
初期値：	1	*	*	*	*	*	*	*
R/W：		W	W	W	W	W	W	W

ビット：	7	6	5	4	3	2	1	0
	PPGB7	PPGB6	PPGB5	PPGB4	PPGB3	PPGB2	PPGB1	PPGB0
初期値：	*	*	*	*	*	*	*	*
R/W：	W	W	W	W	W	W	W	W

【注】 *：不定

FIFO2 の出力パターンレジスタのバッファレジスタです。FPDRB にライトされた出力パターンデータは、FTPRB ライト時に FIFO2 のバッファポインタの示す位置に同時にライトされます。FTPRB にライトする前に必ず出力パターンデータを FPDRB へライトしてください。

FPDRB は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセス時の動作は保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ時に初期化されないので、使用前に必ずデータをライトしてください。

ビット 15 : リザーブビット

リードもライトも無効です。

ビット 14 : A/D トリガ B ビット (ADTRGB)

A/D 変換器のハードウェアトリガ信号です。

ビット 13 : S-TRIGB ビット (STRIGB)

パターンデータにより割り込みを発生するための信号です。ISEL により STRIGB を選択すると、パターンデータを 0 から 1 に変化させることにより割り込みを発生します。

ビット 12 : NarrowFFB ビット (NarrowFFB)

Narrow Video Head 制御に用います。

ビット 11 : VideoFFB ビット (VFFB)

Video Head 制御に用います。

ビット 10 : AudioFFB ビット (AFFB)

Audio Head 制御に用います。

ビット 9 : VpulseB ビット (VpulseB)

付加 V 信号生成に用います。詳細は「28.12 付加 V 信号生成回路」を参照してください。

ビット 8 : MlevelB ビット (MlevelB)

付加 V 信号生成に用います。詳細は「28.12 付加 V 信号生成回路」を参照してください。

ビット 7~0 : PPG 出力信号 B ビット (PPGB7~PPGB0)

ポート 7 (PPG) によるタイミングコントロール出力に用います。

(6) FIFO タイミングパターンレジスタ 1 (FTPRA)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTPRA15	FTPRA14	FTPRA13	FTPRA12	FTPRA11	FTPRA10	FTPRA9	FTPRA8	FTPRA7	FTPRA6	FTPRA5	FTPRA4	FTPRA3	FTPRA2	FTPRA1	FTPRA0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】 * : 不定

FIFO1 のタイミングパターンデータを書き込むレジスタです。FTPRA のタイミングデータをライトすると FPDRA のバッファデータとともに、FIFO1 のポインタの指し示す位置にライトされます。

FTPRA は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセス時の動作は保証されません。リセット、スタンバイ時に初期化されないため、使用前に必ずデータをライトしてください。

【注】 アドレスが FIFO タイマキャプチャレジスタ (FTCTR) と兼用のため、リードすると FTCTR の値が読み出されます。

(7) FIFO タイミングパターンレジスタ 2 (FTPRB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTPRB15	FTPRB14	FTPRB13	FTPRB12	FTPRB11	FTPRB10	FTPRB9	FTPRB8	FTPRB7	FTPRB6	FTPRB5	FTPRB4	FTPRB3	FTPRB2	FTPRB1	FTPRB0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】 * : 不定

FIFO2 のタイミングパターンデータを書き込むレジスタです。FTPRB にタイミングデータをライトすると FPDRA のバッファデータとともに、FIFO2 のポインタの指し示す位置にライトされます。

FTPRB は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセス時の動作は保証されません。リードすると不定値が読み出されます。リセット、スタンバイ時に初期化されないため、使用前に必ずデータをライトしてください。

(8) DFG 基準レジスタ 1 (DFCRA)

ビット:	7	6	5	4	3	2	1	0
	ISEL2	CCLR	CKSL	DFCRA4	DFCRA3	DFCRA2	DFCRA1	DFCRA0
初期値:	0	0	0	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

【注】 * : 不定

HSW タイミング生成回路の動作と、FIFO1 のタイミングの始点を決定するレジスタです。

DFCRA は 8 ビットのライト専用レジスタです。リセット、スタンバイ時に初期化されないため、使用前に必ずデータをライトしてください。

【注】 アドレスが DFG 基準カウンタレジスタ (DFCTR) と兼用のため、リードすると下位 5 ビットに DFCTR の値が読み出されます。

ビット7：割り込み選択ビット (ISEL2)

割り込みの発生要因を選択します。(IRRHSW2)

ビット7	説明
ISEL2	
0	16ビットタイマカウンタのクリア信号による割り込み要求を発生します (初期値)
1	PBモード時のVD信号による割り込み要求を発生します

ビット6：DFGカウンタクリアビット (CCLR)

5ビットDFG計数カウンタをソフトウェアにより強制クリアします。1をライトすると直後に0に戻ります。0をライトしても動作には影響しません。

ビット6	説明
CCLR	
0	通常動作 (初期値)
1	5ビットDFG計数カウンタをクリアします

ビット5：16ビットタイマカウンタクロックソース選択ビット (CKSL)

16ビットタイマカウンタのクロックソースを選択します。

ビット5	説明
CKSL	
0	s/4 (初期値)
1	s/8

ビット4～0：FIFO1出力タイミング設定ビット (DFCRA4～DFCRA0)

FIFO1のタイミングの始点を決定するビットです。初期値は不定なので、リセットおよびスタンバイ後は必ず値を設定してください。

HSM2のビット7 (FRTビット) が0のときにのみ有効となります。

(9) DFG基準レジスタ2 (DFCRB)

ビット：	7	6	5	4	3	2	1	0
				DFCRB4	DFCRB3	DFCRB2	DFCRB1	DFCRB0
初期値：	1	1	1	*	*	*	*	*
R/W：				W	W	W	W	W

【注】 *：不定

FIFO2のタイミングの始点を決定するレジスタです。

DFCRBは8ビットのライト専用レジスタです。リードすると不定値が読み出されます。ビット7～5はリザーブビットです。リードすると常に1が読み出されます。ライトは無効です。リセット、スタンバイ時に初期化されないので、使用前に必ずデータをライトしてください。

28. サーク回路

ビット4～0 : FIFO2 出カタイミング設定ビット (DFCRB4～DFCRB0)

FIFO2 のタイミングの始点を決定するビットです。初期値は不定なので、リセットおよびスタンバイ後は必ず値を設定してください。

HSM2 のビット7 (FRT ビット) が0 のときにのみ有効となります。

(10) FIFO タイマキャプチャレジスタ (FTCTR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FTCTR15	FTCTR14	FTCTR13	FTCTR12	FTCTR11	FTCTR10	FTCTR9	FTCTR8	FTCTR7	FTCTR6	FTCTR5	FTCTR4	FTCTR3	FTCTR2	FTCTR1	FTCTR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16 ビットタイマカウンタのカウンタ値を表示するレジスタです。

FTCTR は 16 ビットのリード専用レジスタです。PB モードで VD 信号検出時、カウンタの値を格納します。ワードアクセスのみ有効であり、バイトアクセス時の動作は保証されません。リセット、スタンバイ時、H'0000 に初期化されます。

【注】 アドレスが FIFO タイミングパターンレジスタ 1 (FTPRA) と兼用のため、ライトすると FTPRA に書き込まれます。

(11) DFG 基準カウントレジスタ (DFCTR)

ビット:	7	6	5	4	3	2	1	0
				DFCTR4	DFCTR3	DFCTR2	DFCTR1	DFCTR0
初期値:	1	1	1	0	0	0	0	0
R/W :				R	R	R	R	R

DFG パルス数を計数するレジスタです。

DFCTR は 8 ビットのリード専用レジスタです。ビット7～5 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。リセット、スタンバイ時、H'E0 に初期化されます。

【注】 アドレスが DFG 基準レジスタ 1 (DFCRA) と兼用のため、ライトすると DFCRA に書き込まれます。

ビット4～0 : DFG パルス計数ビット (DFCTR4～DFCTR0)

DFG のパルス数を計数するビットです。

28.4.6 動作説明

(a) 5ビットDFG計数カウンタ

5ビットDFG計数カウンタは、HSWモードレジスタ2のEDGビットにより選択された、DFGのエッジによりカウントアップを行います。

5ビットDFG計数カウンタは、DPG信号の立ち上がりエッジ、またはDFG基準レジスタ1のCCLRビットの1ライトでクリアされます。

(b) 16ビットタイマカウンタ

16ビットタイマカウンタは、DFG基準モードとフリーランモードの選択が可能です。

• DFG基準モード

DFG基準モードは、DFG信号基準で動作するモードで、DFG基準レジスタ1、2と、5ビットDFG計数カウンタの値が一致した場合、16ビットタイマカウンタが初期化され、FIFO出力タイミングの始点となります。

DFG基準モードでは、HSWモードレジスタ2のFGR2OFFビットにより、DFG基準レジスタ1のみを使用して始点を設定する方法と、DFG基準レジスタ1、2を使用して、FIFO1、FIFO2のそれぞれの始点を設定する方法が選択可能です。DFG基準レジスタ1のみを使用して始点を設定する場合は、FIFO1とFIFO2に設定するタイミングパターンは、連続した値を設定する必要があります。

• フリーランモード

フリーランモードは、プリスケアラユニットと連動して動作するモードで、プリスケアラユニットの18ビットフリーランニングカウンタのオーバーフローで、16ビットタイマカウンタが初期化され、FIFO出力タイミングの始点となります。

(c) 一致回路

一致回路は、FIFOのタイミングパターン値と16ビットタイマカウンタ値を比較し、一致するとFIFOの次段データを出力するトリガ信号を発生します。

(d) FIFO

FIFOは、VTRで使用されるヘッドスイッチ信号と、サーボ制御に必要なパターンを生成します。FIFOへのデータ設定は、FIFOタイミングパターンレジスタ1、2、およびFIFO出力パターンレジスタ1、2により行います。

FIFOにはシングルモードとループモードがあります。二つのモードでは、HSWモードレジスタ2のFIFO出力選択ビットにより、FIFO1 + FIFO2を使用した20段出力とFIFO1のみを使用した10段出力が選択可能です。

• シングルモード

シングルモードでは時間データが一致することにより出力パターンデータが出力されます。出力したデータは消滅し、内部ポインタが-1されます。最後のデータが出力されると、再度データが書き込まれるまで動作を停止します。20段出力で使用する場合は、ソフトウェアによりFIFO1へのライト、FIFO2へのライトを制御する必要があります。

- ループモード

ループモードでは、HSW ループ段数設定レジスタに出力段数を設定することにより、0 段目から設定段まで繰り返し出力します。時間データが一致するごとに出力パターンデータが出力されるのはシングルモードと同様です。ループモード中は、FIFO データは保存されます。

ループモード動作中は、FIFO グループ単位でデータの書き換えが可能です。

データを出力している FIFO グループを、HSW モードレジスタ 2 の OFG ビットにより確認した後、データを出力していない側の FIFO グループをクリアしてから、全データをライトしてください。データの書き換えは、書き換える FIFO グループが動作を開始するまでに完了する必要があります。

また、ライトのポインタはループ段数の外にあるため、FIFO グループ内を部分的に書き換えることはできません。

HSW タイミング生成回路のタイミング波形例および動作例を、図 28.23、図 28.24 に示します。

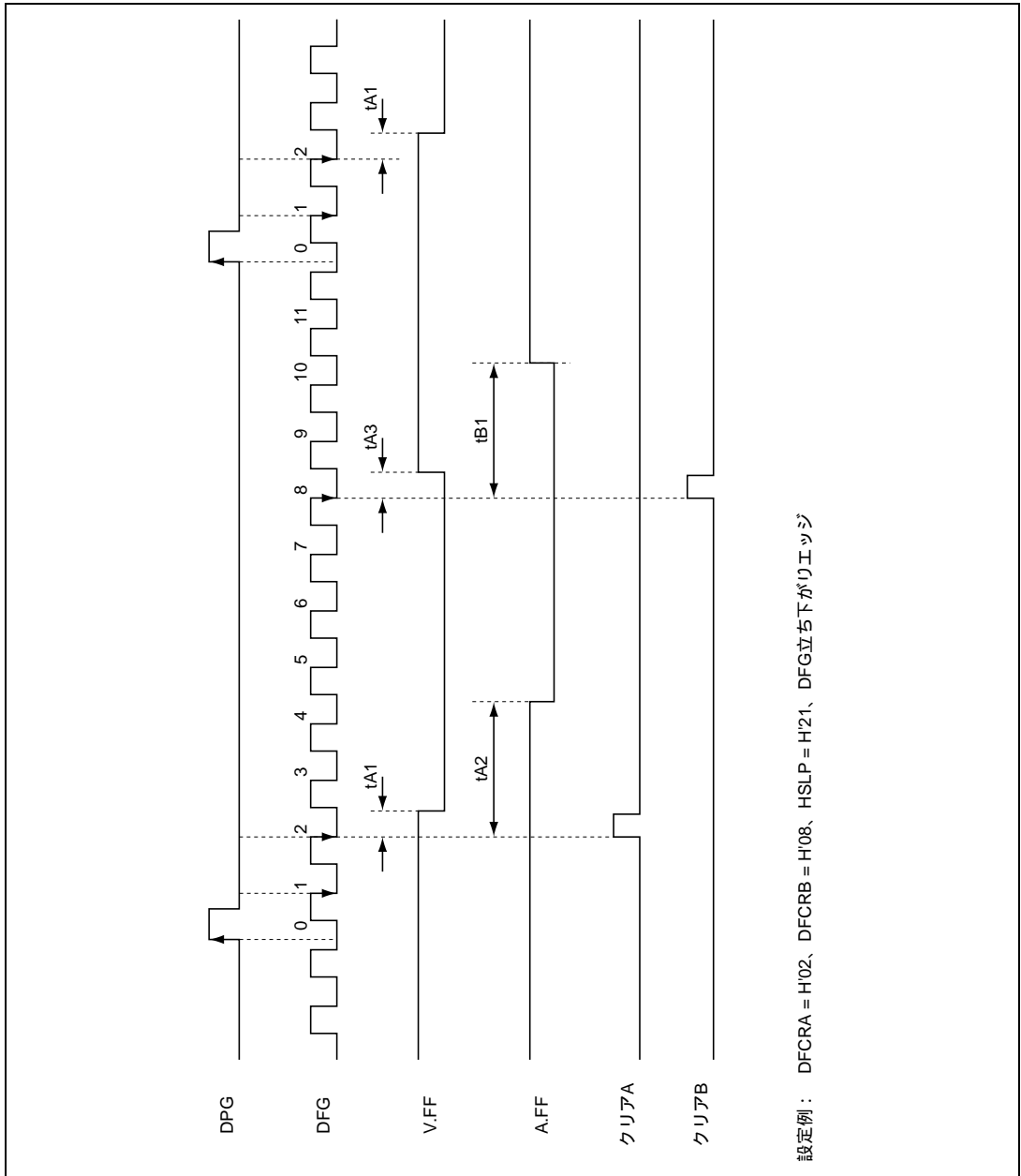


図 28.23 HSW タイミング波形例 (DFG が 12 発の場合)

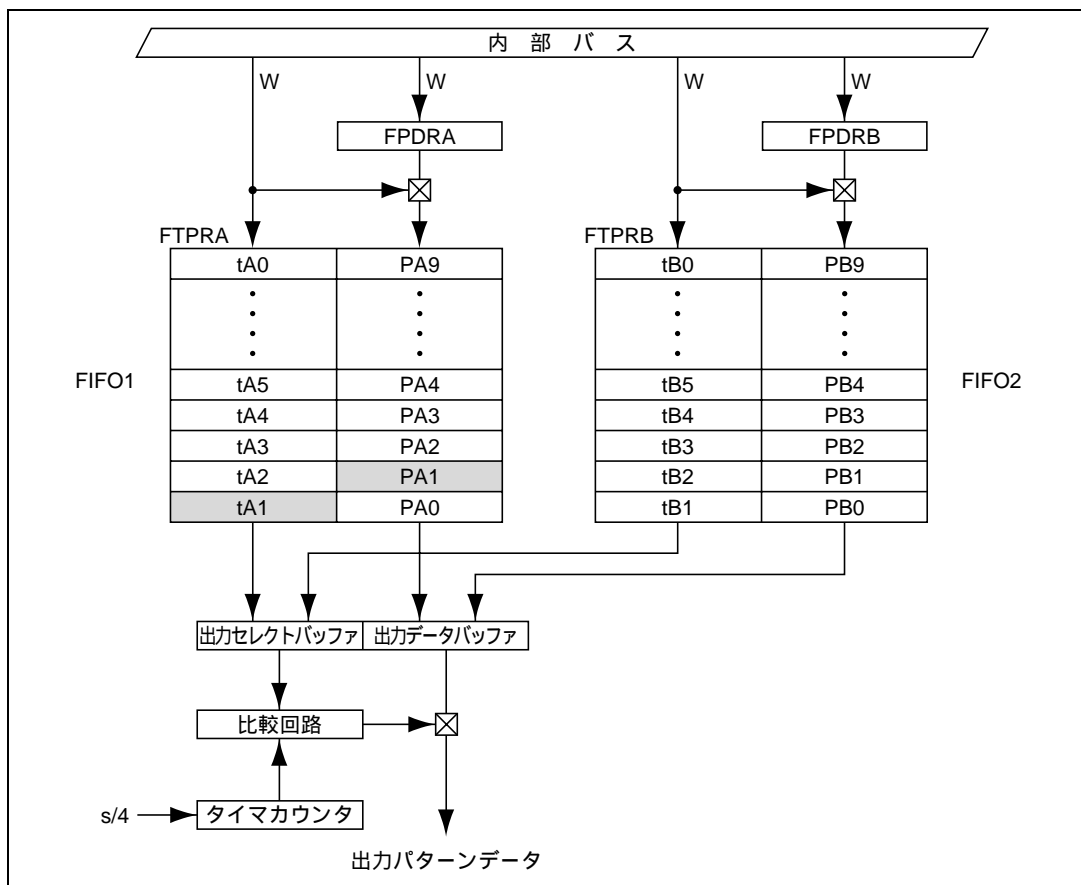


図 28.24 HSW タイミング生成回路動作例

- (1) シングルモードの例 (FIFO 20段使用)
- (a) シングルモードを設定。(LOP = 0)
 - (b) FPDRAに出力パターンデータ (PA0) をライト。
 - (c) FTPRAに出力タイミング (t_{A1}) をライト、 t_{A1} がPA0とともにFIFO1に書き込まれます。これにより出力パターンデータがPA0に初期化されます。
 - (d) 以降、同作業を繰り返しPA1、PA2、・・・を設定します。
 - (e) FPDREBに出力パターンデータ (PB0) をライト。
 - (f) FTPREBに出力タイミング (t_{B1}) をライト、 t_{B1} がPB0とともにFIFO2に書き込まれます。これにより出力パターンデータがPB0に初期化されます。
 - (g) 以降、同作業を繰り返しPB1、PB2、・・・を設定します。
- (c) により PA0 のパターンデータが出力されます。
 t_{A1} とタイマカウンタが一致すると、PA1 のパターンデータが出力されます。
 t_{A2} とタイマカウンタが一致すると、PA2 のパターンデータが出力されます。
 ・
 ・
 ・

このシーケンスを繰り返し、FIFO1 に設定したパターンデータがすべて出力されると FIFO2 のパターンデータ出力となります。パターンデータが出力されるとポインタが - 1 されますが、 t_{A0} は FIFO2 にデータが書き込まれるまで一致検出を行わないので注意が必要です。同様に t_{B0} も FIFO1 に再度データが書き込まれるまで、一致検出を行いません。

(2) ループモードの例

- (a) HSLPレジスタにループ段数を設定。(例: HSLP = H'44)
 - (b) FPDRAに出力パターンデータ (PA0) をライト。
 - (c) FTPRAに出力タイミング (t_{A1}) をライト。 t_{A1} がPA0とともにFIFO1に書き込まれます。これにより出力パターンデータがPA0に初期化されます。
 - (d) 以降、同作業を繰り返しPA1、PA2、・・・を設定します。
 - (e) FPDREに出力パターンデータ (PB0) をライト。
 - (f) FTPREに出力タイミング (t_{B1}) をライト。 t_{B1} がPB0とともにFIFO2に書き込まれます。これにより出力パターンデータがPB0に初期化されます。
 - (g) 以降、同作業を繰り返しPB1、PB2、・・・を設定します。
- (c) により PA0 のパターンデータが出力されます。
 t_{A1} とタイマカウンタが一致すると、PA1 のパターンデータが出力されます。
 t_{A2} とタイマカウンタが一致すると、PA2 のパターンデータが出力されます。
 ・
 ・
 ・
 t_{A4} とタイマカウンタが一致すると、PA4 のパターンデータが出力されます。
 t_{A5} とタイマカウンタが一致すると、PB0 のパターンデータが出力されます。
 t_{B1} とタイマカウンタが一致すると、PB1 のパターンデータが出力されます。
 ・
 ・
 ・
 t_{B4} とタイマカウンタが一致すると、PB4 のパターンデータが出力されます。
 t_{B5} とタイマカウンタが一致すると、PA0 のパターンデータが出力されます。
 ・
 ・
 ・

28.4.7 割り込み

HSW タイミング生成回路は以下の条件で割り込みを発生します。

- (1) FIFOが満杯の状態 (FULL) でパターンデータをライトしたとき (OVWA、OVWB = 1) に IRRHSW1を発生
- (2) FIFOのSTRIGビットが1で一致検出したときにIRRHSW1を発生
- (3) 16ビットタイマカウンタと16ビットタイミングパターンレジスタの値が一致したときに IRRHSW1を発生
- (4) 16ビットタイマカウンタをクリアしたときIRRHSW2を発生
- (5) PBモード時のVD信号 (タイマキャプチャレジスタのキャプチャ信号) でIRRHSW2を発生

(2) と (3) および (4) と (5) は ISEL1、ISEL2 により切り替えとなっています。

28.4.8 注意事項

- (1) 5ビットDFG計数カウンタと16ビットタイマカウンタにより動作しているときにDPG、DFG信号が入力されなくなった場合、16ビットタイマカウンタはクリアされません。そのため、16ビットタイマカウンタがフリーランニング状態になり、16ビットタイマカウンタによる周期的な一致検出が行われます。この状態では、HSWタイミング生成回路による信号の出力の周期は、DPGまたはDFGとは無関係の周期となります。
- (2) HSWモードレジスタ2 (HSM2) のモード指定ビット (LOP) はFIFOデータをライトする直前に指定してください。
- (3) DPGの立ち上がりエッジとDFG計数エッジは、同タイミングとならないように入力してください。同タイミングで入力された場合、DFGの計数カウントアップと5ビットDFG計数カウンタのクリアが同時に発生しカウンタのクリアが優先されます。これにより、5ビットDFG計数カウンタの値が1カウントずれることとなります。DPGとDFGの入力タイミングを図28.25に示します。
- (4) FIFO出力を2段出力モードで使用し、ドラム系を停止させた場合は、HSM2レジスタのSOFGビットをソフトウェアで0 1 0と書き換え、FIFO出力段を必ずFIFO1側に初期化してください。また、FIFO1、FIFO2のデータをクリアし、全て書き直してください。

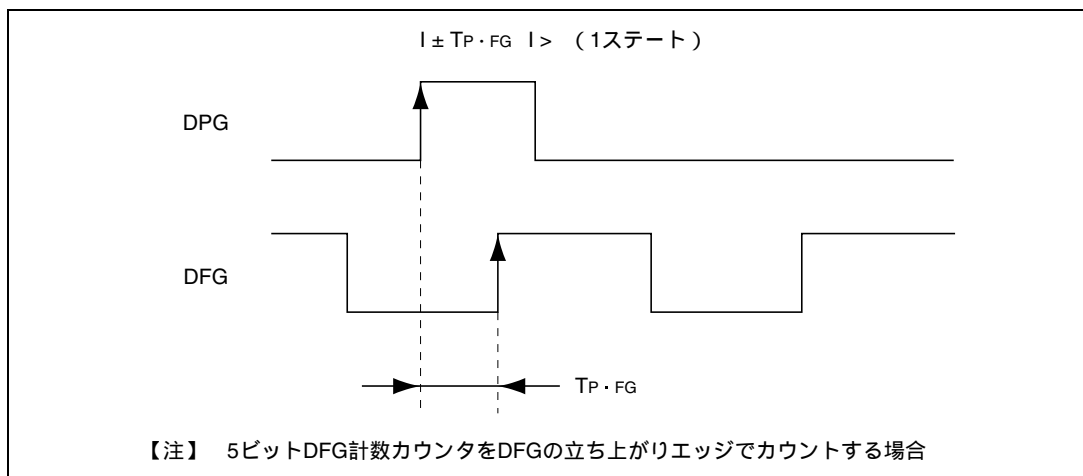


図 28.25 DPG と DFG の入力タイミング

28.5 4ヘッド特殊再生用高速切り替え回路

28.5.1 概要

4ヘッド特殊再生用切り替え回路は、カラーロータリー信号(C.Rotary)とヘッドアンプ切り替え記号(H.Amp SW)を生成する回路です。

COMP入力端子から、プリアンプ出力比較結果の信号を入力し、C.Rotary端子から色信号処理信号、H.Amp SW端子からプリアンプ出力選択信号を出力します。ノイズパーをより細くするため、C.Rotary、H.Amp SWの各信号は水平同期信号(OSCH)と同期が可能です。OSCHは同期信号検出回路でCsync信号より分離したH(システムクロックに同期)に、補完されたHを加えた信号です。OSCHの詳細は「28.15 同期信号検出回路」を参照してください。

C.Rotary、H.AmpSW、COMP端子は、VTRシステムを構成する上で本回路を必要としない場合、I/Oポートとして使用可能です。

28.5.2 ブロック図

ブロック図を図 28.26 に示します。

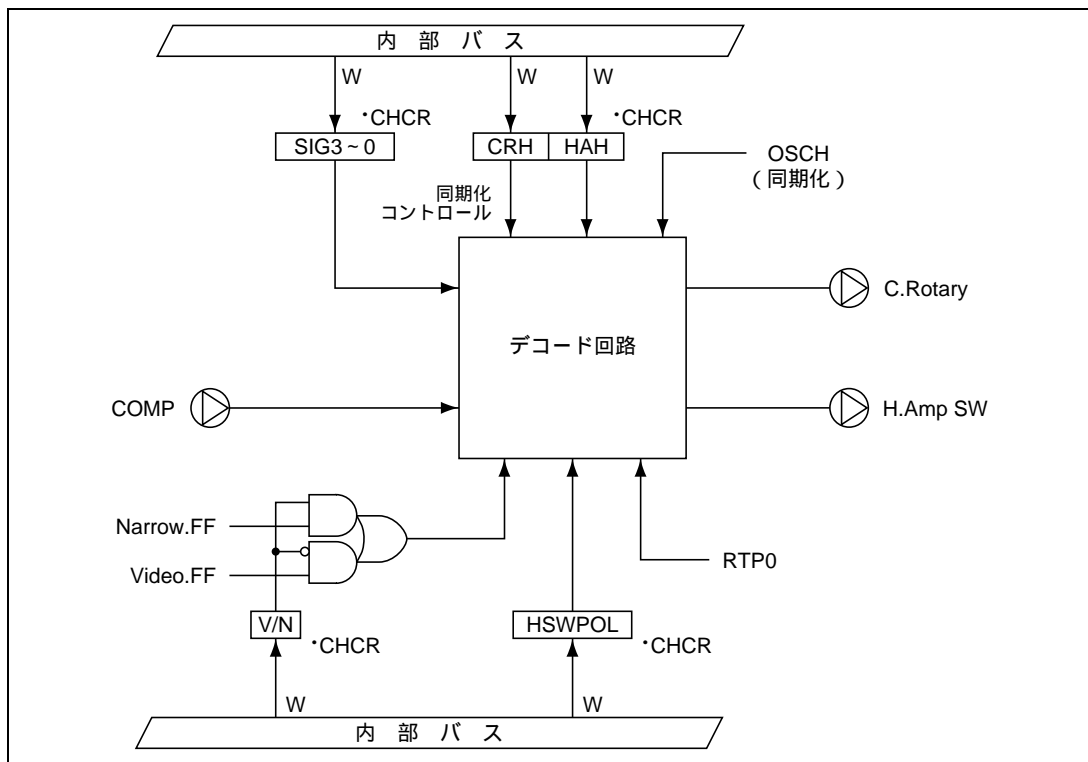


図 28.26 4ヘッド特殊再生用高速切り替え回路

28.5.3 端子構成

4 ヘッド特殊再生用高速切り替え回路の端子構成を表 28.7 に示します。本回路を使用しない場合は I/O ポートとして使用可能です。「28.2 サーボポート」を参照してください。

表 28.7 端子構成

名 称	略称	入出力	機 能
コンペア入力端子	COMP	入力	プリアンプ出力結果信号入力
カラーロータリー信号出力端子	C.Rotary	出力	色信号処理制御信号出力
ヘッドアンプスイッチ端子	H.Amp SW	出力	プリアンプ出力選択信号出力

28.5.4 レジスタの説明

(1) レジスタ構成

4 ヘッド特殊再生用高速切り替え回路のレジスタ構成を表 28.8 に示します。

表 28.8 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
特再制御レジスタ	CHCR	W	バイト	H'00	H'FD06E

(2) 特再制御レジスタ (CHCR)

ビット:	7	6	5	4	3	2	1	0
	V/N	HSWPOL	CRH	HAH	SIG3	SIG2	SIG1	SIG0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

特再制御レジスタ (CHCR) は、8 ビットのライト専用レジスタです。リードは無効です。リードすると不定値が読み出されます。

リセット、スタンバイおよびモジュールストップ時に、H'00 に初期化されます。

ビット 7 : HSW 出力信号選択ビット (V/N)

特殊再生時に使用する HSW 信号を選択します。

ビット 7	説 明
V/N	
0	Video FF 信号出力 (初期値)
1	Narrow FF 信号出力

ビット 6 : COMP 極性選択ビット (HSWPOL)

COMP 信号の極性を選択します。

ビット 6	説 明
HSWPOL	
0	正転 (初期値)
1	反転

ビット 5 : C.Rotary 同期化コントロールビット (CRH)

C.Rotary 信号を OSCH 信号に同期させます。

ビット 5	説 明	
CRH		
0	同期	(初期値)
1	非同期	

ビット 4 : H.AmpSW 同期化コントロールビット (HAH)

H.Amp SW 信号を OSCH 信号に同期させます。

ビット 4	説 明	
HAH		
0	同期	(初期値)
1	非同期	

ビット 3~0 : 信号制御ビット (SIG3~SIG0)

COMP 入力端子の状態と組み合わせで C.Rotary 端子、H.Amp SW 端子の出力を決定します。

ビット 3	ビット 2	ビット 1	ビット 0	出力端子		
SIG3	SIG2	SIG1	SIG0	C.Rotary	H.Amp SW	
0	0	*	*	L	L (初期値)	
			0	0	HSW	L
	1	0	1	0	HSW	H
			1	1	L	HSW
1	0	0	*	H	HSW	
				1	H	HSW
	1	0		HSW EX-OR COMP	COMP	
		1		HSW EX-NOR COMP	COMP	
1	0	0	HSW EX-OR RTP0	RTP0		
		1	HSW EX-NOR RTP0	RTP0		

【注】 * : Don't care.

28.6 ドラム速度誤差検出回路

28.6.1 概要

ドラム速度誤差制御は、DFG 信号の周期を測定することにより、ドラムの回転数を一定に保つ働きをします。規定回転数との誤差はデジタルカウンタで検出されます。この速度誤差データと位相誤差データとをデジタルフィルタ回路で処理加算をして、PWM 出力を制御します。ドラムの回転速度および位相は PWM 出力により制御されます。

DFG 入力信号は、波形成形回路で波形成形され、DFG 信号として速度誤差検出回路に送られます。

速度誤差検出回路はシステムクロックで DFG 信号の周期を計測し、あらかじめ設定されたプリセットデータとの誤差を検出します。プリセットデータとは、ドラムモータが規定回転数で回転しているときの DFG 信号の周期をクロック信号で計測した値です。

誤差検出カウンタは DFG 信号のエッジを中心にデータラッチ動作を行います。このデータを 16 ビットの速度誤差データとして、デジタルフィルタ回路が演算を行います。デジタルフィルタ回路は、速度誤差データとドラム位相制御系からの位相誤差データとを処理および加算した後、ドラム系の誤差データとして PWM 変調回路に送ります。

28.6.2 ブロック図

ドラム速度誤差検出回路のブロック図を図 28.27 に示します。

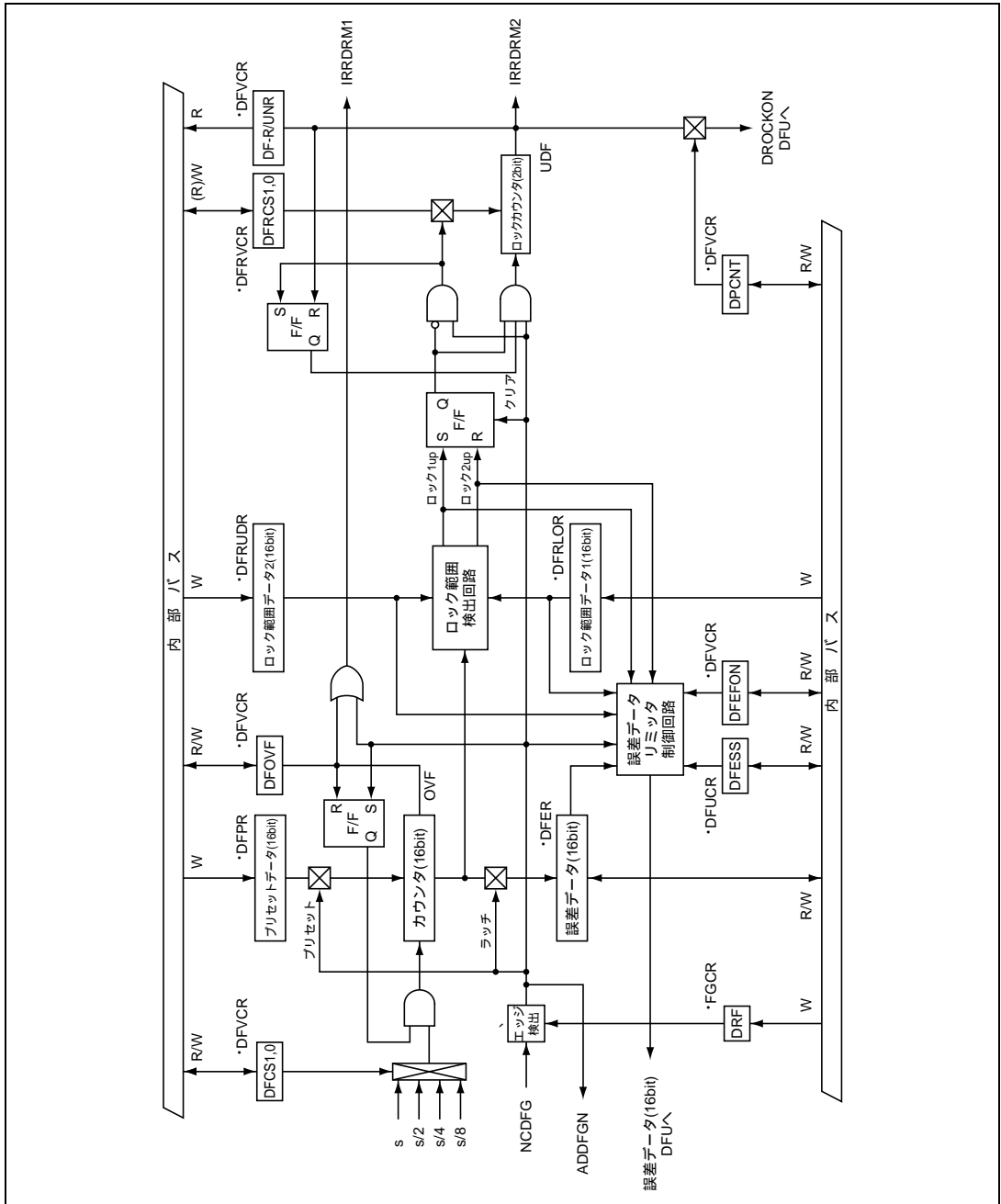


図 28.27 ドラム速度誤差検出回路

28.6.3 レジスタ構成

ドラム速度誤差検出回路のレジスタ構成を表 28.9 に示します。

表 28.9 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
DFG 規定速度 プリセットデータレジスタ	DFPR	W	ワード	H'0000	H'FD030
DFG 速度誤差データレジスタ	DFER	R/W	ワード	H'0000	H'FD032
DFG ロック UPPER データレジスタ	DFRU DR	W	ワード	H'7FFF	H'FD034
DFG ロック LOWER データレジスタ	DFRLDR	W	ワード	H'8000	H'FD036
ドラム速度誤差検出 コントロールレジスタ	DFVCR	R/W	バイト	H'00	H'FD038

28.6.4 レジスタの説明

(1) DFG 規定速度プリセットデータレジスタ (DFPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

DFPR には DFG 規定速度プリセットデータを設定します。データをライトすると、16 ビットのプリセットデータがプリセット回路に取り込まれます。プリセットデータは H'8000 を基準*として、次の計算式により求められます。

$$\text{DFG 規定速度プリセットデータ} = \text{H}'8000 - \left(\frac{s/n}{\text{DFG の周波数}} - 2 \right)$$

s : サークロック ($f_{\text{osc}}/2$) Hz
 DFG の周波数 : 単位は Hz
 定数 2 はプリセット期間 (図 28.28 参照)
 s/n : 選択されたカウンタのクロックソース

DFPR は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時に H'0000 に初期化されます。

【注】* プリセットデータは H'8000 基準です。カウンタは、誤差値 = 0 のとき H'8000 となりますが、誤差データとしてカウンタ値を DFG 速度誤差データレジスタ (DFER) にラッチするとき、H'0000 基準の値に変換しています。

(2) DFG 速度誤差データレジスタ (DFER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

DFER は DFG 速度誤差データを格納するレジスタです。ドラムモータが規定速度で回転している場合、H'0000 がラッチされます。また、規定速度より速い場合は負の数、遅い場合は正の数がラッチされます。DFER の値は自動的にデジタルフィルタ回路に送られるモードと、ソフトウェアにより送られるモードがあります。

DFER は 16 ビットのリードとライトが可能なレジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リセット、スタンバイ、およびモジュールストップ時に H'0000 に初期化されます。

「28.6.4 (1) DFG 規定速度プリセットデータレジスタ (DFPR)」の【注】を参照してください。

(3) DFG ロック UPPER データレジスタ (DFRUDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

DFRUDR はドラム速度ロック検出時の、UPPER 側のロック範囲の設定、およびリミッタ機能使用時の UPPER 側リミット値の設定を行うレジスタです。DFRUDR には符号付きデータを設定してください。(ビット 15 は符号設定ビットです。)

ロック検出時、ドラム速度がロック範囲内で検出されると DFVCR レジスタの DFRCS 1、0 ビットにより設定されたロックカウンタがダウンカウントし、DFRCS 1、0 の設定値とロック回数が一致するとドラム位相系のデジタルフィルタ演算処理を自動コントロールすることが可能です。また、リミッタ機能使用時は DFG 速度誤差データが DFRUDR の値を超えた場合、DFRUDR の値をデジタルフィルタ演算用データとして使用することができます。

DFRUDR は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時に H'7FFF に初期化されます。

(4) DFG ロック LOWER データレジスタ (DFRLDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

DFRLDR はドラム速度ロック検出時の、LOWER 側のロック範囲の設定、およびリミッタ機能使用時の LOWER 側リミット値の設定を行うレジスタです。DFRLDR には符号付きデータを設定してください。(ビット 15 は符号設定ビットです。)

ロック検出時、ドラム速度がロック範囲内で検出されると DFVCR レジスタの DFRCS 1、0 ビットにより設定されたロックカウンタがダウンカウントし、DFRCS 1、0 の設定値とロック回数が一致するとドラム位相系のデジタルフィルタ演算処理を自動コントロールすることが可能です。また、リミッタ機能使用時は DFG 速度誤差データが DFRLDR の値に満たない場合、DFRLDR の値をデジタルフィルタ演算用データとして使用することができます。

DFRLDR は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時に H'8000 に初期化されます。

(5) ドラム速度誤差検出コントロールレジスタ (DFVCR)

ビット:	7	6	5	4	3	2	1	0
	DFCS1	DFCS0	DFOVF	DFRFON	DF-R/UNR	DPCNT	DFRCS1	DFRCS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/(W)*1	R/W	R	R/W	(R)/W*2	(R)/W*2

【注】*1 0 ライトのみ有効です。

*2 リード時はカウンタの値が読み出されます。

ドラム速度誤差検出コントロールレジスタ (DFVCR) はドラム速度誤差検出時の動作制御を行います。

DFVCR はリードとライトが可能な 8 ビットのレジスタです。ただし、ビット 3 はリードのみ、ビット 5 はリードと 0 ライトのみ可能です。

リセット、スタンバイ、およびモジュールストップ時 H'00 に初期化されます。

ビット 7、6: クロックソース選択ビット (DFCS1、DFCS0)

カウンタに供給するクロックを選択するビットです。($s = f_{osc}/2$)

ビット 7	ビット 6	説 明
DFCS1	DFCS0	
0	0	s (初期値)
	1	s/2
1	0	s/4
	1	s/8

ビット5：カウンタオーバーフローフラグ（DFOVF）

16ビットカウンタがオーバーフローしたことを示すフラグです。クリアは0ライトにより行います。1リードを行った後0ライトの操作を行ってください。また、セット優先のフラグになっており、フラグセットと0ライトが同時に起きた場合、0ライトは無効となります。

ビット5	説 明	
DFOVF		
0	通常状態	(初期値)
1	カウンタがオーバーフローしたことを示します	

ビット4：誤差データリミット機能選択ビット（DFRFON）

誤差データリミット機能を有効にします。（ロック範囲データレジスタ（DFRUDR、DFRLDR）に設定した値がリミット値）

ビット4	説 明	
DFRFON		
0	リミット機能 OFF	(初期値)
1	リミット機能 ON	

ビット3：ドラムロックフラグ（DF-R/UNR）

ドラムロックカウンタのアンダフローでフラグをセットします。

ビット3	説 明	
DF-R/UNR		
0	ドラム速度系がロックしていないことを示します	(初期値)
1	ドラム速度系がロックしたことを示します	

ビット2：ドラム位相系フィルタ演算自動開始ビット（DPCNT）

ドラムロックカウンタのアンダフローにより、位相系のフィルタ演算を ON にします。

ビット2	説 明	
DPCNT		
0	ドラムロック検出によるフィルタ演算を行いません	(初期値)
1	ドラムロック検出時に位相系のフィルタ演算を ON にします	

ビット1、0：ドラムロックカウンタ設定ビット（DFRCS1、DFRCS0）

ドラムのロック判定（ロック範囲データレジスタで設定した範囲内での DFG 検出）数を設定します。設定した回数を検出するとドラムロックフラグをセットします。DFRCS 1、0 にデータをライト後にロック範囲外で NCDFG 信号を検出すると、ロックカウンタにデータが格納されます。

【注】 DFRCS1、0 をリードするとカウンタの値が読み出されます。ビット3（ドラムロックフラグ）が1でドラムロックカウンタ値が3の場合ドラム速度系がロックしていることを示します。ドラムロックカウンタはアンドフロー後ロックが解除されるまで停止します。

ビット1	ビット0	説明
DFRCS1	DFRCS0	
0	0	ロック検出1回でアンドフロー (初期値)
	1	ロック検出2回でアンドフロー
1	0	ロック検出3回でアンドフロー
	1	ロック検出4回でアンドフロー

28.6.5 動作説明

ドラム速度誤差検出回路は、DFG 規定速度プリセットレジスタ（DFPR）に設定された基準値をもとに速度誤差を検出します。DFPR に設定した基準値は NCDFG 信号によりカウンタにプリセットされ、選択されたクロックによりダウンカウントします。カウンタのプリセットおよび誤差データのラッチタイミングは、NCDFG 信号の立ち上がりまたは立ち下がりを選択できます。「28.14.4 DFG ノイズ除去回路」を参照してください。検出された誤差データはデジタルフィルタ回路に送られます。誤差データは符号付き2進数であり、速度誤差0（規定速度で回転）を中心に速度が規定速度よりも遅いときは正（+）の数、早いときは負（-）の数となります。図 28.28 にドラム速度検出の動作例を示します。

(a) 誤差データリミット設定

デジタルフィルタ回路に送られる誤差データは DFG ロックデータレジスタ（DFRUDR、DFRLDR）によりリミット設定が可能です。DFRUDR に誤差データの上限、DFRLDR に誤差データの下限を設定し DFRFON ビットに1をライトしてください。誤差データがリミット範囲外の場合、デジタルフィルタ回路には負の数でラッチの場合は DFRLDR の値を、正の数でラッチの場合は DFRUDR の値をリミット値として送ります。リミット値の設定を行うときは、必ずリミット設定を OFF（DFRFON = 0）の状態で行ってください。リミット設定 ON（DFRFON = 1）のままの状態で行うと、演算値は保証されません。

(b) ロック検出

ロックデータレジスタに設定したロック範囲内で誤差データを検出した場合、DFRCS1、0 ビットで設定したロック回数によりドラムロックフラグ（DF-R/UNR）をセットすると同時に割り込み要求（IRDRM2）を発生します。フラグのセットはロック検出回数を指定できます（1～4回）。DFRCS1、0 ビットにより行ってください。また、ドラム系デジタルフィルタコントロールレジスタ（DFIC）のビット5（DPHA ビット）が、0（位相系デジタルフィルタ演算 off）で、DPCNT ビットが1のときはロック検出状態により、位相系デジタルフィルタ演算の ON/OFF を自動制御可能です。

(c) ドラム系速度誤差検出カウンタ

ドラム系速度誤差検出カウンタは、オーバフロー時にカウンタを停止しオーバフローフラグ (DFOVF) をセットします。また、同時に割り込み要求 (IRRDRM1) を発生します。DFOVF のクリアは1リード後の0ライトにより行ってください。フラグのセットと0ライトが同時に起きた場合、0ライトは無効となります。

(d) 割り込み要求

NCDFG 信号ラッチおよび誤差検出カウンタのオーバフローにより IRRDRM1 を発生します。また、ロック検出 (設定回数を検出後) により IRRDRM2 を発生します。

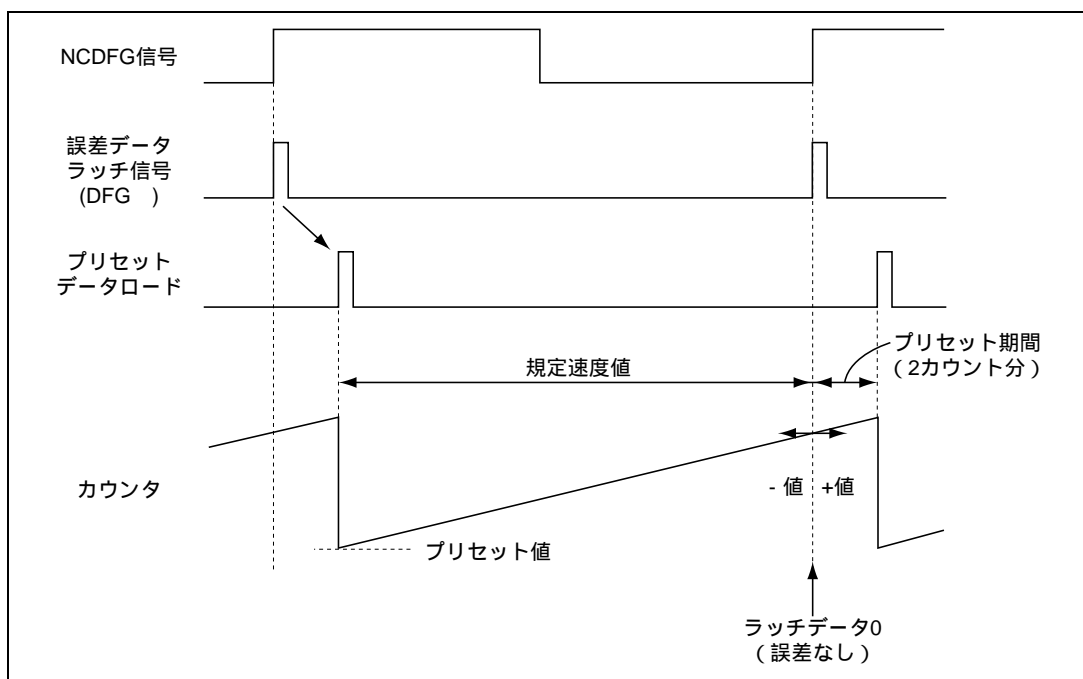


図 28.28 ドラム速度誤差検出の動作例 (DFG 立ち上がりエッジ選択)

28.6.6 トリックプレイモード時の f_H 補正の方法

トリックプレイモードでは、テープとビデオヘッドとの間の相対速度が変化します。この相対速度の変化は、水平同期信号 (f_H) を変化させスキューの原因となります。これを補正するため、ドラムモータの回転速度を各トリックプレイモードで正規の水平同期周波数が得られる速度にシフトする必要があります。ドラムモータの回転速度のシフトは、速度誤差検出回路の DFG プリセットデータレジスタをソフトウェアで書き換えることにより行ってください。

f_H 補正時のドラム基準周波数 f_F は、次の式で表されます。

$$f_F = \frac{N_0}{N_0 + H(1-n)} \times f_{F0}$$

< 記号説明 >

- n : 倍速数 (FWD = 正数、REV = 負数)
- H : H 並び (VHS または の場合、標準モードで 1.5H、2 倍モードで 0.75H、3 倍モードで 0.5H、8mmVTR の場合では 1H です)
- N_0 : フィールド内基準 H 数
- f_{F0} : フィールド周波数
 - NTSC の場合 : $N_0 = 262.5$ 、 $f_{F0} = 59.94$
 - PAL の場合 : $N_0 = 312.5$ 、 $f_{F0} = 50.00$

28.7 ドラム位相誤差検出回路

28.7.1 概要

ドラム位相制御系は、ドラムモータが速度制御系によって規定の回転数に達した後で動作を開始する必要があります。ドラム位相制御は記録/再生時に次の働きをします。

記録時：記録するビデオ信号中の垂直ブランキング期間がテープの下端に揃うように制御

再生時：記録されたトラックを正確にトレースする制御

基準位相との誤差はデジタルカウンタで検出されます。この位相誤差データと速度誤差データとデジタルフィルタ回路で処理加算をして、PWM 出力を制御します。ドラムの位相および回転速度は PWM 出力により制御されます。

DPG 信号は、波形成形回路で波形成形され、位相誤差検出回路に送られます。

位相誤差検出回路は、ビデオヘッドの位置情報である DPG パルス（タックルパルスと呼ぶ）の位相を基準信号と比較することにより行います。実際の回路では DPG でリセットされるカウンタにより、一定時間遅延した HSW（ヘッドスイッチ）信号を、基準値と比較します。基準信号は REF30 信号であり、記録/再生時には次のような信号となります。

記録時：記録するビデオ信号から抽出した Vsync 信号（フレーム単位の $1/2V_{sync}$ ）

再生時：システムクロックから分周した 30Hz または 25Hz 信号

28.7.2 ブロック図

ドラム位相誤差検出回路のブロック図を図 28.29 に示します。

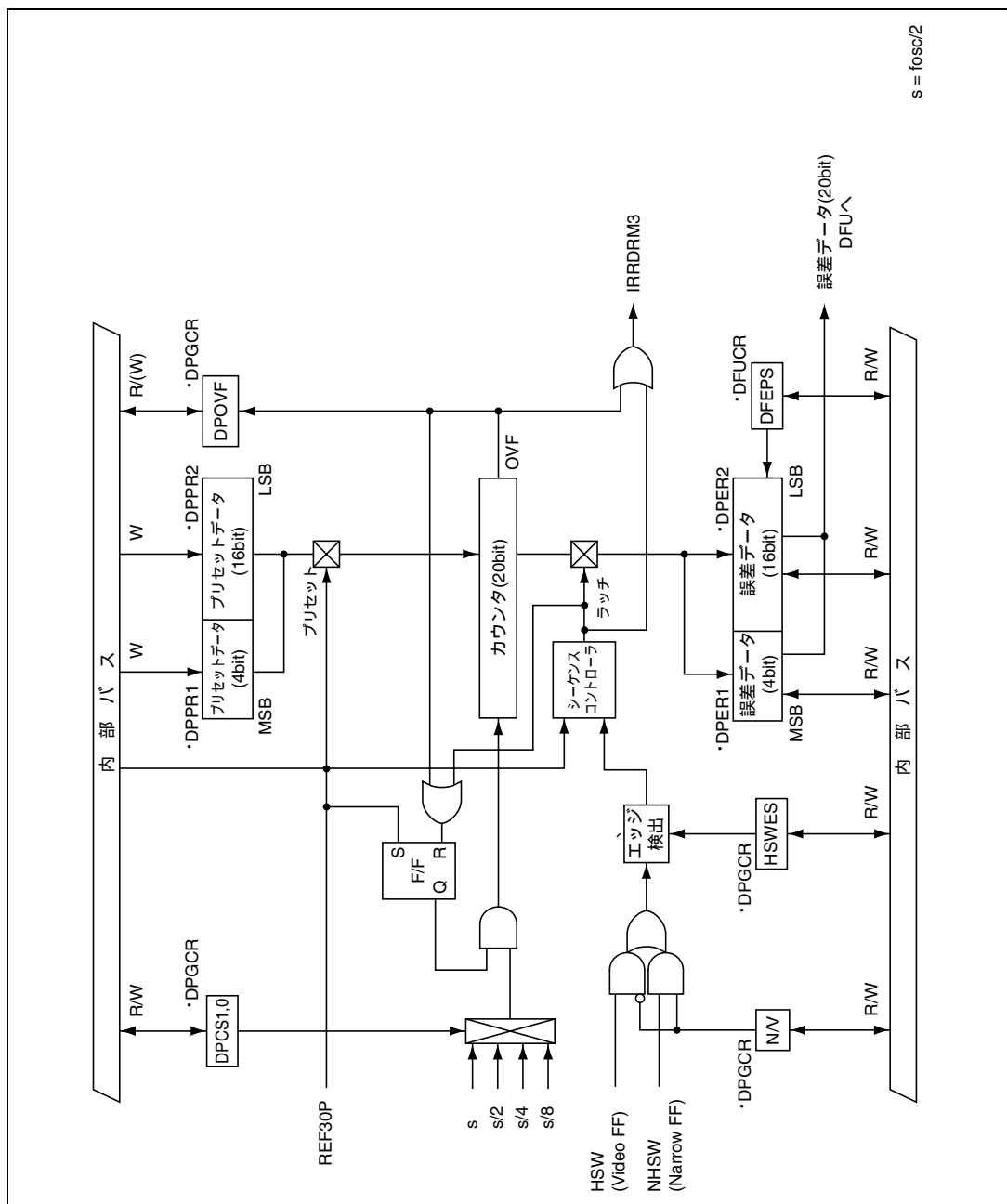


図 28.29 ドラム位相誤差検出回路

28.7.3 レジスタ構成

ドラム位相誤差検出回路のレジスタ構成を表 28.10 に示します。

表 28.10 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
ドラム規定位相 プリセットデータレジスタ 1	DPPR1	W	バイト	H'F0	H'FD03C
ドラム規定位相 プリセットデータレジスタ 2	DPPR2	W	ワード	H'0000	H'FD03A
ドラム位相誤差 データレジスタ 1	DPER1	R/W	バイト	H'F0	H'FD03D
ドラム位相誤差 データレジスタ 2	DPER2	R/W	ワード	H'0000	H'FD03E
ドラム位相誤差検出 コントロールレジスタ	DPGCR	R/W	バイト	H'07	H'FD039

28.7.4 レジスタの説明

(1) ドラム規定位相プリセットデータレジスタ (DPPR1、DPPR2)

DPPR1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

DPPR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

DPPR1 と DPPR2 の 20 ビットでドラム規定位相プリセットデータを設定します。20 ビットの重みは、DPPR1 のビット 3 が MSB であり DPPR2 のビット 0 が LSB です。DPPR2 にデータをライトすると、DPPR1 と合わせて 20 ビットのプリセットデータがプリセット回路に取り込まれます。最初に DPPR1、次に DPPR2 の順にライトしてください。プリセットデータは H'80000 を基準*として、次の計算式により求められます。

$$\text{目標位相差} = (\text{基準信号周期}/2) - 6.5H$$

$$\text{ドラム規定位相プリセットデータ} = H'80000 - (s/n \times \text{目標位相差})$$

s : サーボクロック (fosc/2) Hz

s/n : 選択されたカウンタのクロックソース

DPPR2 はワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。DPPR1、2 共にリードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ時、それぞれ H'F0、H'0000 に初期化されます。

【注】* プリセットデータは H'80000 基準です。カウンタは、誤差値 = 0 のとき H'80000 となりますが、誤差データとしてカウンタ値をドラム位相誤差データレジスタ (DPER1、DPER2) にラッチするとき、H'00000 基準の値に変換しています。

(2) ドラム位相誤差データレジスタ (DPER1、DPER2)

DPER1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	0	0	0	0
R/W :					*R/W	*R/W	*R/W	*R/W

DPER2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

ドラム位相誤差データレジスタは DPER1 と DPER2 の 20 ビットで構成されています。20 ビットの重みは、DPER1 のビット 3 が MSB であり DPER2 のビット 0 が LSB です。ドラムが規定位相で回転している場合、H'00000 がラッチされます。また、規定位相より速い場合は負の数、遅い場合は正の数がラッチされます。DPER1、2 の値はデジタルフィルタ回路に送られます。

DPER1、2 は 20 ビットのリードとライトが可能なレジスタです。DPER1、2 にデータをライトする場合、最初に DPER1、次に DPER2 の順にライトしてください。DPER2 はワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リセット、スタンバイ時にそれぞれ H'F0、H'0000 に初期化されます。

「28.7.4 (1) ドラム規定位相プリセットデータレジスタ (DPPR1、2)」の【注】を参照してください。

28. サーボ回路

(3) ドラム位相誤差検出コントロールレジスタ (DPGCR)

ビット:	7	6	5	4	3	2	1	0
	DPCS1	DPCS0	DPOVF	N/V	HSWES			
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/(W)*	R/W	R/W			

【注】* 0 ライトのみ有効です。

ドラム位相誤差検出コントロールレジスタ (DPGCR) はドラム位相誤差検出時の動作制御を行います。

DPGCR はリードとライトが可能な 8 ビットのレジスタです。ただし、ビット 2~0 はリザーブビット、ビット 5 はリードと 0 ライトのみ可能です。

リセット、スタンバイ時 H'07 に初期化されます。

ビット 7、6 : クロックソース選択ビット (DPCS1、DPCS0)

カウンタに供給するクロックを選択するビットです。 ($s = f_{osc}/2$)

ビット 7	ビット 6	説明
DPCS1	DPCS0	
0	0	s (初期値)
	1	s/2
1	0	s/3
	1	s/4

ビット 5 : カウンタオーバフローフラグ (DPOVF)

20 ビットカウンタがオーバフローしたことを示すフラグです。クリアは 0 ライトにより行います。1 リードを行った後 0 ライトの操作を行ってください。また、セット優先のフラグになっており、フラグセットと 0 ライトが同時に起きた場合、0 ライトは無効となります。

ビット 5	説明
DPOVF	
0	通常状態 (初期値)
1	カウンタがオーバフローしたことを示します

ビット 4 : 誤差データラッチ信号選択ビット (N/V)

誤差データのラッチ信号を選択します。

ビット 4	説明
N/V	
0	HSW (VideoFF) 信号 (初期値)
1	NHSW (NarrowFF) 信号

ビット3：エッジ選択ビット（HSWES）

誤差データラッチ信号（HSW または NHSW）のエッジを選択します。

ビット3	説明
HSWES	
0	立ち上がりエッジでラッチ (初期値)
1	立ち下がりエッジでラッチ

ビット2~0：リザーブビット

リードもライトも無効です。

28.7.5 動作説明

ドラム位相誤差検出回路は、ドラム規定位相プリセットデータレジスタ1、2（DPPR1、DPPR2）に設定された基準値をもとに位相誤差を検出します。DPPR1、2に設定した基準値はREF30P信号によりカウンタにプリセットされ、選択されたクロックによりアップカウントします。誤差データのラッチは、HSW（NHSW）の立ち上がりまたは立ち下がりエッジ選択が可能です。誤差データ自動送信モード（DFUCRのDFEPSビット=0）時に検出された誤差データは、自動的にデジタルフィルタ回路に送られます。また、ソフト送信モード（DFUCRのDFEPSビット=1）時はDPER1、2にデータをライトした時、デジタルフィルタ回路にデータを送信します。誤差データは符号付き2進数であり、位相誤差0（規定位相で回転）を中心に位相が規定位相よりも遅れたときは正（+）の数、進んでいるときは負（-）の数となります。図28.30、図28.31にドラム位相誤差検出の動作例を示します。

(a) ドラム位相誤差検出カウンタ

ドラム位相誤差検出カウンタは、オーバフロー時およびラッチ時にカウンタを停止します。また、同時に割り込み要求（IRRDM3）を発生し、オーバフロー時にはオーバフローフラグ（DPOVF）をセットします。DPOVFのクリアは1リード後の0ライトにより行ってください。フラグのセットと0ライトが同時に起きた場合、0ライトは無効となります。

(b) 割り込み要求

HSW(NHSW)信号ラッチおよび誤差検出カウンタのオーバフローによりIRRDRM3を発生します。

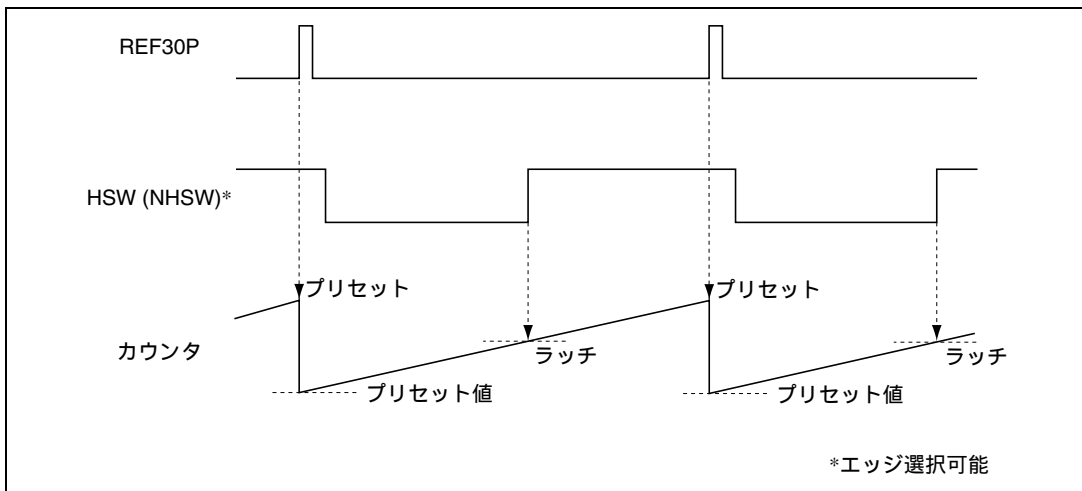


図 28.30 再生時のドラム位相制御 (HSW 立ち上がりエッジを選択)

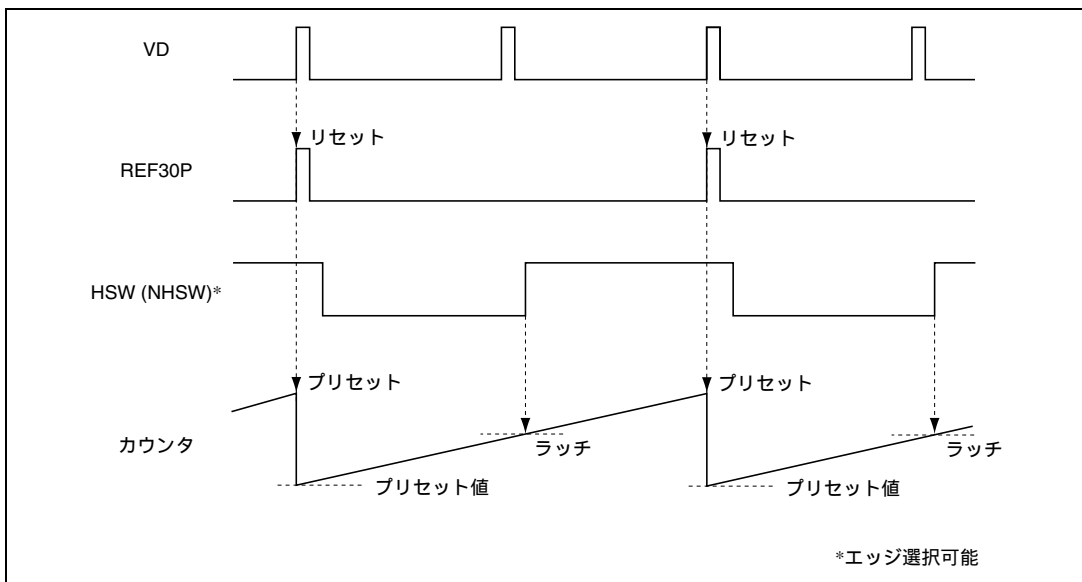


図 28.31 記録時のドラム位相制御 (HSW 立ち上がりエッジを選択)

28.7.6 位相比較

位相比較回路は、基準信号と比較信号との間の時間差をデジタルカウンタで計測します。基準信号は REF30 信号、比較信号は HSW タイミング生成回路からの HSW 信号 (VideoFF) または NHSW 信号 (NarrowFF) を用います。ただし、記録時においては、基準信号生成回路 (REF30 生成回路) がビデオ信号中の垂直同期信号 (Vsync) でリセットされるため、REF30 信号の位相は垂直同期信号 (Vsync) の位相と同じになります。

誤差検出カウンタは HSW 信号の立ち上がりエッジまたは立ち下がりエッジでデータラッチ動作を行います。このデータを 20 ビットの位相誤差データとして、デジタルフィルタ回路が演算を行います。デジタルフィルタ回路は、位相誤差データとドラム速度制御系からの速度誤差データとを処理加算した後、ドラム系の誤差データとして PWM 変調回路に送ります。

28.8 キャプスタン速度誤差検出回路

28.8.1 概要

キャプスタン速度誤差制御は、CFG 信号の周期を測定することにより、キャプスタンモータの回転数を一定に保つ働きをします。規定回転数との誤差はデジタルカウンタで検出されます。この速度誤差データと位相誤差データとをデジタルフィルタ回路で処理加算して、PWM 出力を制御します。キャプスタンモータの回転速度および位相は PWM により出力で制御されます。

CFG 入力信号はコンパレータ回路で取り込み、波形成形回路で波形成形され、CFG 分周回路で分周されます。速度誤差検出回路には分周された信号 (DVCFG) が送られます。

速度誤差検出回路はシステムクロックで DVCFG 信号の周期を計測し、あらかじめ設定されたプリセットデータとの誤差を検出します。プリセットデータとは、キャプスタンモータが規定回転数で回転している時の DVCFG 信号の周期をクロック信号で計測した値です。

誤差検出カウンタは DVCFG 信号のエッジを中心にデータラッチ動作を行います。このデータを 16 ビットの速度誤差データとして、デジタルフィルタ回路が演算を行います。デジタルフィルタ回路は、速度誤差データとキャプスタン位相制御系からの位相誤差データとを処理および加算した後、キャプスタン系の誤差データとして PWM 変調回路に送ります。

28.8.2 ブロック図

キャプスタン速度誤差検出回路のブロック図を図 28.32 に示します。

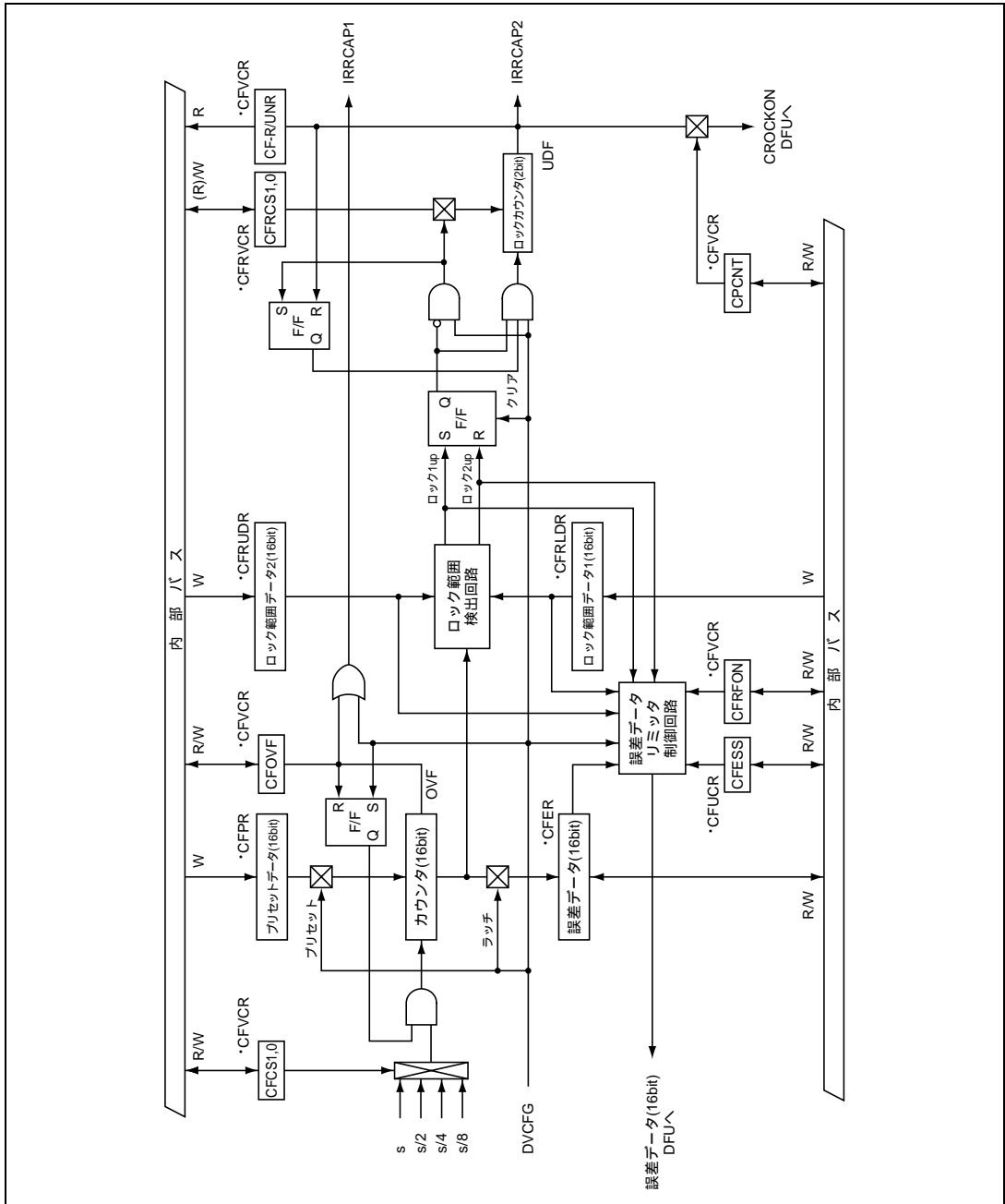


図 28.32 キャプスタン速度誤差検出回路

28.8.3 レジスタ構成

キャプスタン速度誤差検出回路のレジスタ構成を表 28.11 に示します。

表 28.11 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
CFG 規定速度 プリセットデータレジスタ	CFPR	W	ワード	H'0000	H'FD050
CFG 速度誤差データレジスタ	CFER	R/W	ワード	H'0000	H'FD052
CFG ロック UPPER データレジスタ	CFRU DR	W	ワード	H'7FFF	H'FD054
CFG ロック LOWER データレジスタ	CFRLDR	W	ワード	H'8000	H'FD056
キャプスタン速度誤差 検出コントロールレジスタ	CFVCR	R/W	バイト	H'00	H'FD058

28.8.4 レジスタの説明

(1) CFG 規定速度プリセットデータレジスタ (CFPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CFPR には CFG 規定速度プリセットデータを設定します。データをライトすると、16 ビットのプリセットデータがプリセット回路に取り込まれます。プリセットデータは H'8000 を基準*として、次の計算式により求められます。

$$\text{CFG 規定速度プリセットデータ} = \text{H}'8000 - \left(\frac{s/n}{\text{DVCFG の周波数}} - 2 \right)$$

- s : サーボクロック (fosc/2) Hz
 DVCFG の周波数 : 単位は Hz
 定数 2 はプリセット期間 (図 28.33 参照)
 s/n : 選択されたカウンタのクロックソース

CFPR は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイおよびモジュールストップ時に H'0000 に初期化されます。

【注】* プリセットデータは H'8000 基準です。カウンタは、誤差値 = 0 のとき H'8000 となりますが、誤差データとしてカウンタ値を CFG 速度誤差データレジスタ (CFER) にラッチするとき、H'0000 基準の値に変換しています。

(2) CFG 速度誤差データレジスタ (CFER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

CFER は CFG 速度誤差データレジスタです。キャプスタンモータが規定速度で回転している場合、H'0000 がラッチされます。また、規定速度より速い場合は負の数、遅い場合は正の数がラッチされます。CFER の値は自動的にデジタルフィルタ回路に送られるモードと、ソフトウェアにより送られるモードがあります。

CFER は 16 ビットのリードとライトが可能なレジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リセット、スタンバイ、およびモジュールストップ時に H'0000 に初期化されます。

「28.8.4(1) CFG 規定速度プリセットデータレジスタ (CFPR)」の【注】を参照してください。

(3) CFG ロック UPPER データレジスタ (CFRUDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CFRUDR はキャプスタン速度ロック検出時の、UPPER 側のロック範囲の設定、およびリミッタ機能使用時の UPPER 側リミット値の設定を行うレジスタです。

ロック検出時、キャプスタン速度がロック範囲内で検出されると CFVCR レジスタの CFRCS1、0 ビットにより設定されたロックカウンタがダウンカウントし、CFRCS1、0 の設定値とロック回数が一致するとキャプスタン位相系のデジタルフィルタ演算処理を自動コントロールすることが可能です。また、リミッタ機能使用時は CFG 速度誤差データが CFRUDR の値を超えた場合、CFRUDR の値をデジタルフィルタ演算用データとして使用することができます。

CFRUDR は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時に H'7FFF に初期化されます。

(4) CFG ロック LOWER データレジスタ (CFRLDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CFRLDR はキャプスタン速度ロック検出時の、LOWER 側のロック範囲の設定、およびリミッタ機能使用時の LOWER 側リミット値の設定を行うレジスタです。

ロック検出時、キャプスタン速度がロック範囲内で検出されると CFVCR レジスタの CFRCS1、0 ビットにより設定されたロックカウンタがダウンカウントし、CFRCS1、0 の設定値とロック回数が一致するとキャプスタン位相系のデジタルフィルタ演算処理を自動コントロールすることが可能です。また、リミッタ機能使用時は CFG 速度誤差データが CFRLDR の値に満たない場合、CFRLDR の値をデジタルフィルタ演算用データとして使用することができます。

CFRLDR は 16 ビットのライト専用レジスタです。ワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時に H'8000 に初期化されます。

(5) キャプスタン速度誤差検出コントロールレジスタ (CFVCR)

ビット:	7	6	5	4	3	2	1	0
	CFCS1	CFCS0	CFOVF	CFRFON	CF-R/UNR	CPCNT	CFRCS1	CFRCS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/(W)*1	R/W	R	R/W	(R)/W*2	(R)/W*2

【注】*1 0 ライトのみ有効です。

*2 リード時はカウンタの値が読み出されます。

キャプスタン速度誤差検出コントロールレジスタ (CFVCR) はキャプスタン速度誤差検出検出時の動作制御を行います。

CFVCR はリードとライトが可能な 8 ビットのレジスタです。ただし、ビット 3 はリードのみ、ビット 5 はリードと 0 ライトのみ可能です。

リセット、スタンバイ、およびモジュールストップ時 H'00 に初期化されます。

ビット 7、6: クロックソース選択ビット (CFCS1、CFCS0)

カウンタに供給するクロックを選択するビットです。 ($s = fosc/2$)

ビット 7	ビット 6	説 明	
CFCS1	CFCS0		
0	0	s	(初期値)
	1	s/2	
1	0	s/4	
	1	s/8	

28. サーボ回路

ビット 5 : カウンタオーバーフローフラグ (CFOVF)

16 ビットカウンタがオーバーフローしたことを示すフラグです。クリアは 0 ライトにより行います。1 リードを行った後 0 ライトの操作を行ってください。また、セット優先のフラグになっており、フラグセットと 0 ライトが同時に起きた場合、0 ライトは無効となります。

ビット 5	説 明	
CFOVF		
0	通常状態	(初期値)
1	カウンタがオーバーフローしたことを示します	

ビット 4 : 誤差データリミット機能選択ビット (CFRFON)

誤差データリミット機能を有効にします。(ロック範囲データレジスタ (CFRUDR、CFRLDR) に設定した値がリミット値)

ビット 4	説 明	
CFRFON		
0	リミット機能 OFF	(初期値)
1	リミット機能 ON	

ビット 3 : キャプスタンロックフラグ (CF-R/UNR)

キャプスタンロックカウンタのアンダフローでフラグをセットします。

ビット 3	説 明	
CF-R/UNR		
0	キャプスタン速度系がロックしていないことを示します	(初期値)
1	キャプスタン速度系がロックしたことを示します	

ビット 2 : キャプスタン位相系フィルタ演算自動開始ビット (CPCNT)

キャプスタンロックカウンタのアンダフローにより、位相系のフィルタ演算を ON にします。

ビット 2	説 明	
CPCNT		
0	キャプスタンロック検出によるフィルタ演算を行いません	(初期値)
1	キャプスタンロック検出時に位相系のフィルタ演算を ON にします	

ビット1、0：キャプスタンロックカウンタ（CFRCS1、CFRCS0）

キャプスタンのロック判定（ロック範囲データレジスタで設定した範囲内での DVCFG 検出）数を設定します。設定した回数を検出するとキャプスタンロックフラグをセットします。CFRCS1、0 にデータをライト後にロック範囲外で DVCFG 信号を検出すると、ロックカウンタにデータが格納されます。

【注】 CFRCS1、0 をリードするとカウンタの値が読み出されます。ビット3（キャプスタンロックフラグ）が1でキャプスタンロックカウンタの値が3の場合キャプスタン速度系がロックしていることを示します。キャプスタンロックカウンタはアンダフロー後ロックが解除されるまで停止します。

ビット1	ビット0	説明
CFRCS1	CFRCS0	
0	0	ロック検出1回でアンダフロー (初期値)
	1	ロック検出2回でアンダフロー
1	0	ロック検出3回でアンダフロー
	1	ロック検出4回でアンダフロー

28.8.5 動作説明

キャプスタン速度誤差検出回路は、CFG 規定速度プリセットデータレジスタ（CFPR）に設定された基準値をもとに速度誤差を検出します。CFPR に設定した基準値は DVCFG 信号によりカウンタにプリセットされ、選択されたクロックによりダウンカウントします。カウンタのプリセットおよび誤差データのラッチタイミングは、DVCFG 信号により行われます。「28.14.3 (2) DVCFG コントロールレジスタ（CDVC）」を参照してください。検出された誤差データはデジタルフィルタ回路に送られます。誤差データは符号付き2進数であり、速度誤差0（規定速度で回転）を中心に速度が規定速度よりも遅いときは正（+）の数、速いときは負（-）の数となります。図 28.33 にキャプスタン速度誤差検出の動作例を示します。

(a) 誤差データリミット設定

デジタルフィルタ回路に送られる誤差データは CFG ロックデータレジスタ（CFRUDR、CFRLDR）によりリミット設定が可能です。CFRUDR に誤差データの上限、CFRLDR に誤差データの下限を設定し CFRFON ビットに1をライトしてください。誤差データがリミット範囲外の場合、デジタルフィルタ回路には負の数でラッチの場合は CFRLDR の値を、正の数でラッチの場合は CFRUDR の値をリミット値として送ります。リミット値の設定を行うときは、必ずリミット設定を OFF（CFRFON = 0）の状態で行ってください。リミット設定 ON（CFRFON = 1）のままの状態で行うと、演算値は保証されません。

(b) ロック検出

ロックデータレジスタに設定したロック範囲内で誤差データを検出した場合、CFRCS1、0 ビットで設定したロック回数によりキャプスタンロックフラグ（CF-R/UNR）をセットすると同時に割り込み要求（IRRCAP2）を発生します。フラグのセットはロック検出回数を指定できます（1~4回）。CFRCS1、0 ビットにより行ってください。また、キャプスタン系デジタルフィルタコントロールレジスタ（CFIC）のビット5（CPHA ビット）が、0（位相系デジタルフィルタ演算 off）で、DPCNT ビットが1のときはロック検出状態により、位相系デジタルフィルタ演算の ON/OFF を自動制御可能

です。

(c) キャプスタン速度誤差検出カウンタ

キャプスタン速度誤差検出カウンタは、オーバフロー時にカウンタを停止しオーバフローフラグ (CFOVF) をセットします。また、同時に割り込み要求 (IRRCAP1) を発生します。CFOVF のクリアは1リード後の0ライトにより行ってください。フラグのセットと0ライトが同時に起きた場合、0ライトは無効となります。

(d) 割り込み要求

DVCFG 信号ラッチおよび誤差検出カウンタのオーバフローにより IRRCAP1 を発生します。またロック検出 (設定回数を検出後) により IRRCAP2 を発生します。

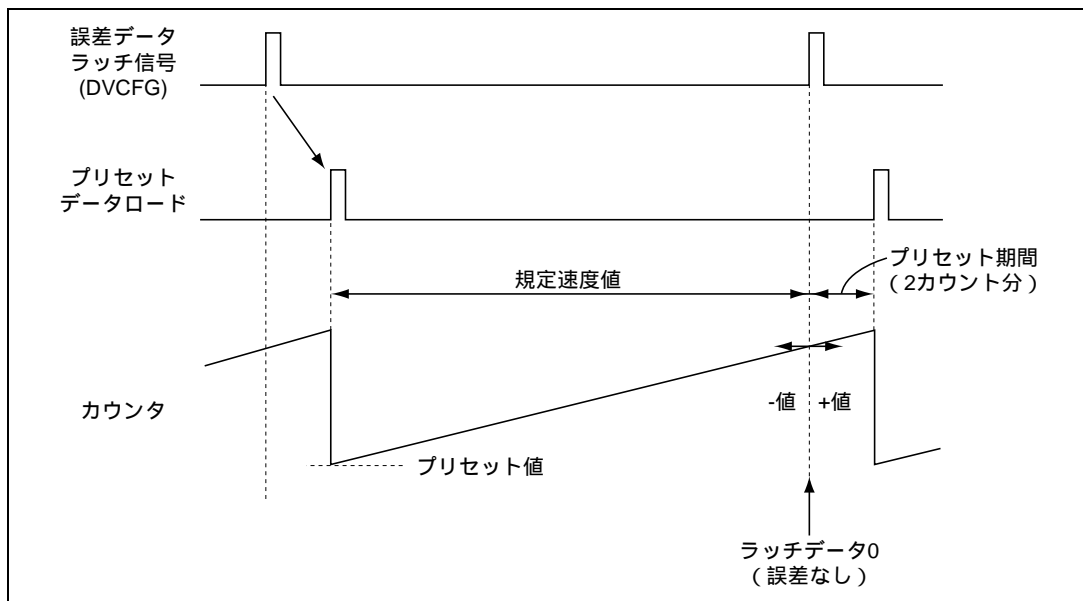


図 28.33 キャプスタン速度誤差検出の動作例

28.9 キャプスタン位相誤差検出回路

28.9.1 概要

キャプスタン位相制御系は、キャプスタンモータが速度制御系によって規定の回転数に達した後で動作を開始する必要があります。キャプスタン位相制御は記録/再生時に次の働きをします。

記録時：速度系とともにテープを一定の速度となるように制御します。

再生時：記録されたトラックを正確にトレースできるようにテープ走行を制御します。

基準位相との誤差はデジタルカウンタで検出されます。この位相誤差データと速度誤差データとをデジタルフィルタ回路で処理加算をして、PWM 出力を制御します。キャプスタンの位相および回転速度は PWM 出力により制御されます。

キャプスタン位相制御は REC 時と PB 時で制御信号が異なります。REC 時は基準信号 (REF30P または CREF) と CFG 信号を分周して生成する DVCFG2 信号で制御します。PB 時は基準信号 (CAPREF30) と再生コントロールパルス (PB-CTL) の立ち上がり分周信号 (DVCTL) で制御します。

基準信号は記録/再生時には次のような信号となります。

記録時：記録するビデオ信号から抽出した $1/2V_{sync}$ 信号

再生時：PB-CTL 信号の立ち上がりエッジを分周した信号 (DVCTL)

28.9.2 ブロック図

キャプスタン位相誤差検出回路のブロック図を図 28.34 に示します。

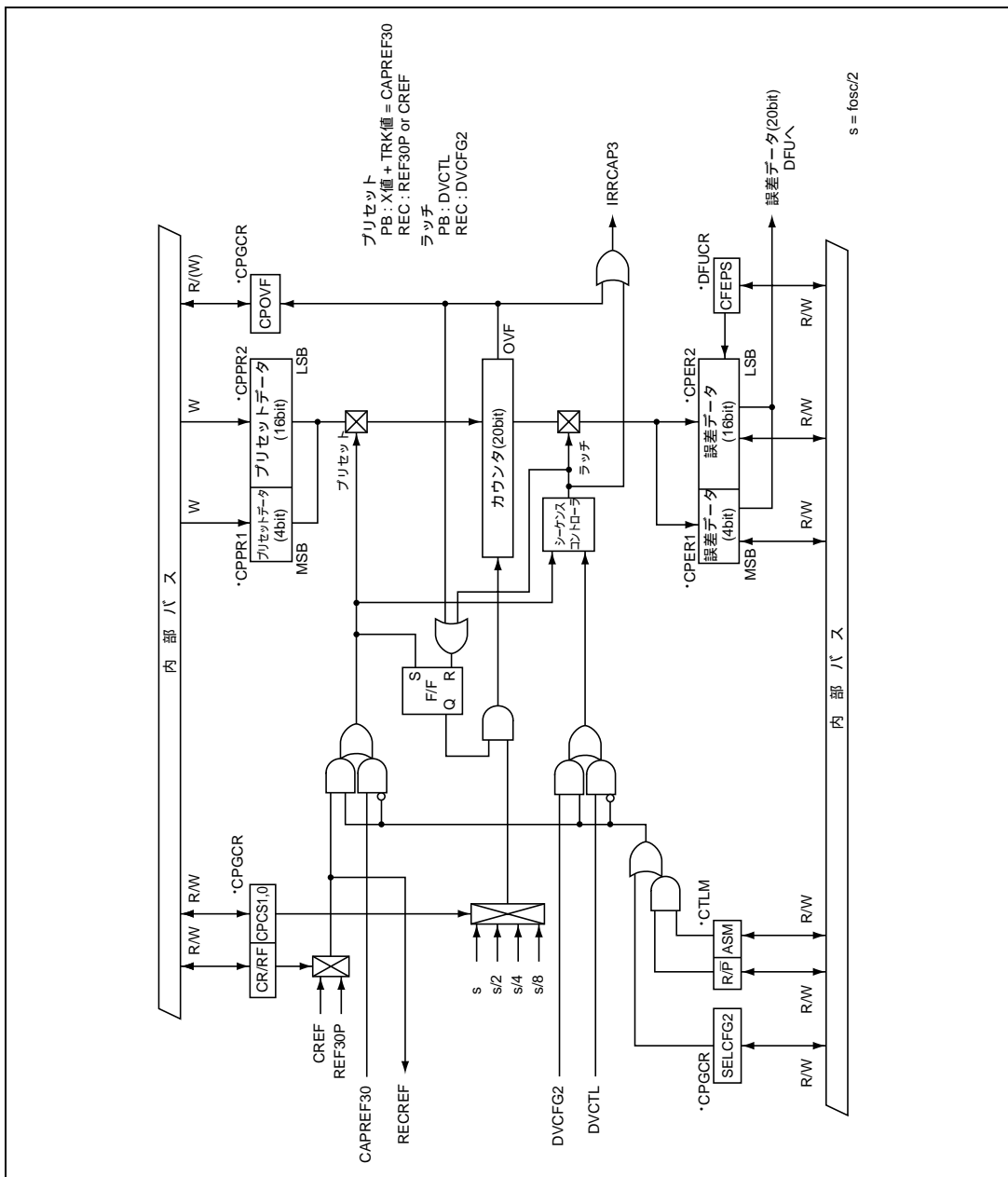


図 28.34 キャプスタン位相誤差検出回路

28.9.3 レジスタ構成

キャプスタン位相誤差検出回路のレジスタ構成を表 28.12 に示します。

表 28.12 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
キャプスタン規定位相 プリセットデータレジスタ 1	CPPR1	W	バイト	H'F0	H'FD05C
キャプスタン規定位相 プリセットデータレジスタ 2	CPPR2	W	ワード	H'0000	H'FD05A
キャプスタン位相誤差 データレジスタ 1	CPER1	R/W	バイト	H'F0	H'FD05D
キャプスタン位相誤差 データレジスタ 2	CPER2	R/W	ワード	H'0000	H'FD05E
キャプスタン位相誤差 検出コントロールレジスタ	CPGCR	R/W	バイト	H'07	H'FD059

28.9.4 レジスタの説明

(1) キャプスタン規定位相プリセットデータレジスタ (CPPR1、CPPR2)

CPPR1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

CPPR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CPPR1 と CPPR2 の 20 ビットでキャプスタン規定位相プリセットデータを設定します。20 ビットの重みは、CPPR1 のビット 3 が MSB であり CPPR2 のビット 0 が LSB です。CPPR2 にデータをライトすると、CPPR1 と合わせて 20 ビットのプリセットデータがプリセット回路に取り込まれます。最初に CPPR1、次に CPPR2 の順にライトしてください。プリセットデータは H'80000 を基準*として、次の計算式により求められます。

目標位相差 = 基準信号周期/2

キャプスタン規定位相プリセットデータ = H'80000 - (s/n × 目標位相差)

s : サーボクロック (fosc/2) Hz

s/n : 選択されたカウンタのクロックソース

CPPR2 はワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リードは無効です。CPPR1、2 共にリードすると不定値が読み出されます。リセット、スタンバイ時、それぞれ H'F0、H'0000 に初期化されます。

【注】* プリセットデータは H'80000 基準です。カウンタは、誤差値 = 0 のとき H'80000 となりますが、誤差データとしてカウンタ値をキャプスタン位相誤差データレジスタ (CPER1、CPER2) にラッチするとき、H'00000 基準の値に変換しています。

(2) キャプスタン位相誤差データレジスタ (CPER1、CPER2)

CPER1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	0	0	0	0
R/W :					*R/W	*R/W	*R/W	*R/W

CPER2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

キャプスタン位相誤差データレジスタは CPER1 と CPER2 の 20 ビットで構成されています。20 ビットの重みは、CPER1 のビット 3 が MSB であり CPER2 のビット 0 が LSB です。キャプスタンが規定位相で回転している場合、H'00000 がラッチされます。また、規定位相より速い場合は負の数、遅い場合は正の数がラッチされます。CPER1、2 の値はデジタルフィルタ回路に送られます。

CPER1、2 は 20 ビットのリードとライトが可能なレジスタです。CPER1、2 にデータをライトする場合、最初に CPER1、次に CPER2 の順にライトしてください。CPPER2 はワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。リセット、スタンバイ時にそれぞれ H'F0、H'0000 に初期化されます。

「28.9.4 (1) キャプスタン規定位相プリセットデータレジスタ (CPPER1、2)」の【注】を参照してください。

28. サーボ回路

(3) キャプスタン位相誤差検出コントロールレジスタ (CPGCR)

ビット:	7	6	5	4	3	2	1	0
	CPCS1	CPCS0	CPOVF	CR/RF	SELCFG2			
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/(W)*	R/W	R/W			

【注】* 0 ライトのみ有効です。

キャプスタン位相誤差検出コントロールレジスタ (CPGCR) はキャプスタン位相誤差検出時の動作制御を行います。

CPGCR はリードとライトが可能な 8 ビットのレジスタです。ただし、ビット 2~0 はリザーブビット、ビット 5 はリードと 0 ライトのみ可能です。

リセット、スタンバイ時 H'07 に初期化されます。

ビット 7、6: クロックソース選択ビット (CPCS1、CPCS0)

カウンタに供給するクロックを選択するビットです。 ($s = f_{osc}/2$)

ビット 7	ビット 6	説明
CPCS1	CPCS0	
0	0	s (初期値)
	1	s/2
1	0	s/4
	1	s/8

ビット 5: カウンタオーバフローフラグ (CPOVF)

20 ビットカウンタがオーバフローしたことを示すフラグです。クリアは 0 ライトにより行います。1 リードを行った後 0 ライトの操作を行ってください。また、セット優先のフラグになっており、フラグセットと 0 ライトが同時に起きた場合、0 ライトは無効となります。

ビット 5	説明
CPOVF	
0	通常状態 (初期値)
1	カウンタがオーバフローしたことを示します

ビット 4: プリセット信号選択ビット (CR/RF)

プリセット信号を選択します。

ビット 4	説明
CR/RF	
0	REF30P 信号でプリセットします (初期値)
1	CREF 信号でプリセットします

ビット3：プリセット、ラッチ信号選択ビット（SELCFG2）

PB（ASM）時のカウンタプリセット信号および誤差データラッチ信号を選択します。

ビット3	説明
SELCFG2	
0	CAPREF30 信号でプリセット、DVCTL 信号でラッチ (初期値)
1	REF30P (CREF) 信号でプリセット、DVCFG2 信号でラッチ

ビット2~0：リザーブビット

リードもライトも無効です。

28.9.5 動作説明

キャプスタン位相誤差検出回路は、キャプスタン規定位相プリセットデータレジスタ1、2（CPPR1、CPPR2）に設定された基準値をもとに位相誤差を検出します。CPPR1、2 に設定した基準値は REF30P（CREF）または CAPREF30 信号によりカウンタにプリセットされ、選択されたクロックによりアップカウントします。誤差データのラッチは、DVCTL または DVCFG2 により行われます。誤差データ自動送信モード（DFUCR の CFEPS ビット=0）時に検出された誤差データは、自動的にデジタルフィルタ回路に送られます。また、ソフト送信モード（DFUCR の CFEPS ビット=1）時は CPER1、2 にデータをライトした時、デジタルフィルタ回路にデータを送信します。誤差データは符号付き2進数であり、位相誤差0（規定位相で回転）を中心に位相が規定位相よりも遅れたときは正（+）の数、進んでいるときは負（-）の数となります。図 28.35、図 28.36 にキャプスタン位相誤差検出の動作例を示します。

(a) キャプスタン位相誤差検出カウンタ

キャプスタン位相誤差検出カウンタは、オーバフロー時およびラッチ時にカウンタを停止します。また同時に割り込み要求（IRRCAP3）を発生し、オーバフロー時にはオーバフローフラグ（CPOVF）をセットします。CPOVF のクリアは1リード後の0ライトにより行ってください。フラグのセットと0ライトが同時に起きた場合、0ライトは無効となります。

(b) 割り込み要求

DVCTL または DVCFG2 信号ラッチおよび誤差検出カウンタのオーバフローにより IRRCAP3 を発生します。

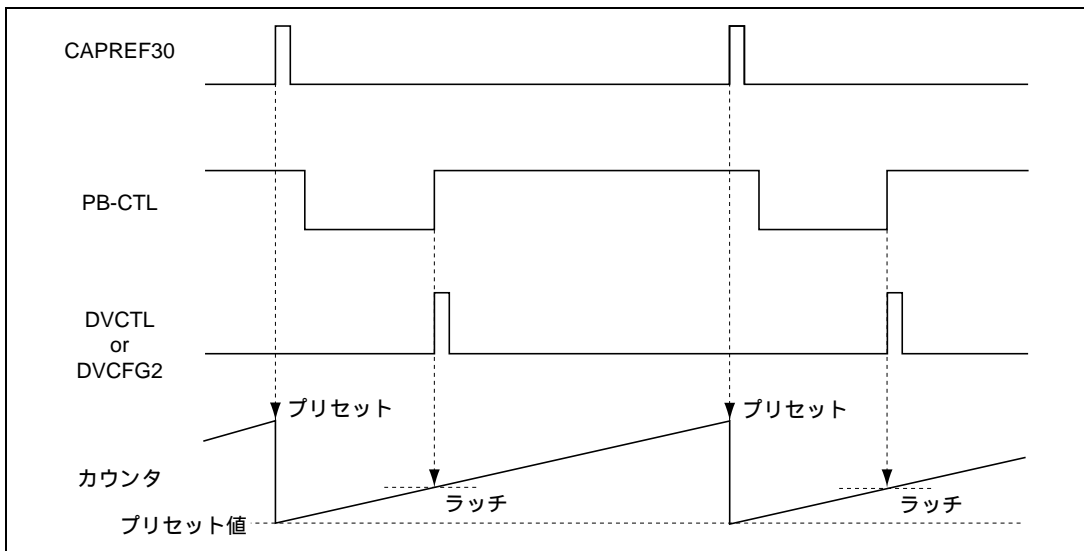


図 28.35 再生時のキャプスタン位相制御

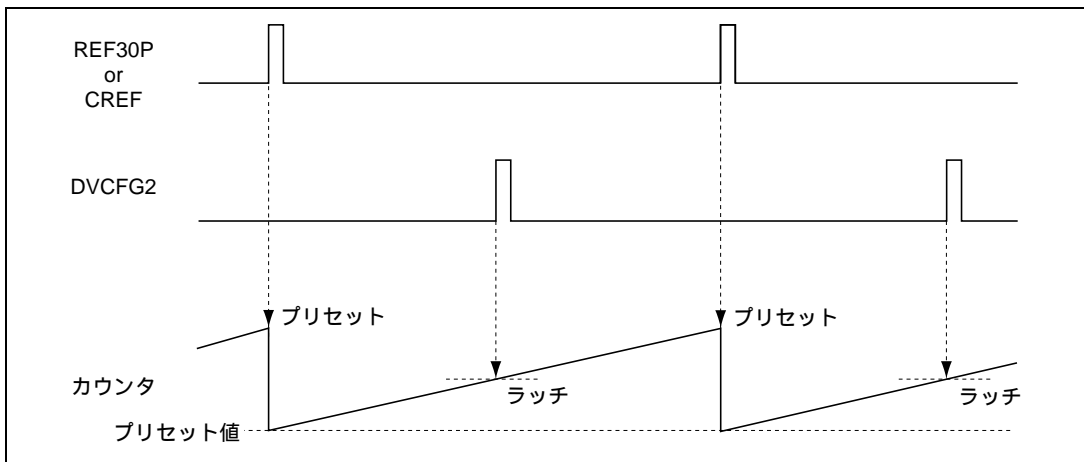


図 28.36 記録時のキャプスタン位相制御

28.10 X 値補正、トラッキング補正回路

28.10.1 概要

他の VTR との互換性を保つため、再生時の基準信号（内部基準信号（REF30）または外部基準信号（EXCAP））の位相を調整する補正回路を内蔵しています。取り付け精度により、ビデオヘッドとコントロール・ヘッドの物理的な距離（X 値：79.244mm）が異なる VTR で記録されたテープを再生する場合、レジスタに補正值を設定することにより、基準信号の位相を調整することができます。また、EP ヘッドで記録されたトラックを幅広のヘッドでトレースする場合やオートトラッキングなども、エンベロープ信号を A/D 変換器で取り込むことにより、キャプスタンモータの回転位相を調整し、ビデオヘッドと記録済みトラックの位置関係（トラッキング）を一致させることができます。

28.10.2 ブロック図

補正回路は、サーボクロック s （または $s/2$ ）をクロックソースとする 10 ビットのカウンタと、ロードレジスタ付きダウンカウンタ 2 本で構成されています。X 値補正は、X 値データレジスタ（XDR）、トラッキング補正は TRK データレジスタ（TRDR）により個別に設定可能です。10 ビットのカウンタは基準信号によりクリアされます。2 本のロードレジスタ付きダウンカウンタは、基準信号によりロードレジスタの値が設定されます。補正された信号が発生するとクロックの供給を止め、次に基準信号が入力されるまで停止します。REF30 信号は必要に応じて分周することができます（2～4 分周）。ブロック図を図 28.37 に示します。

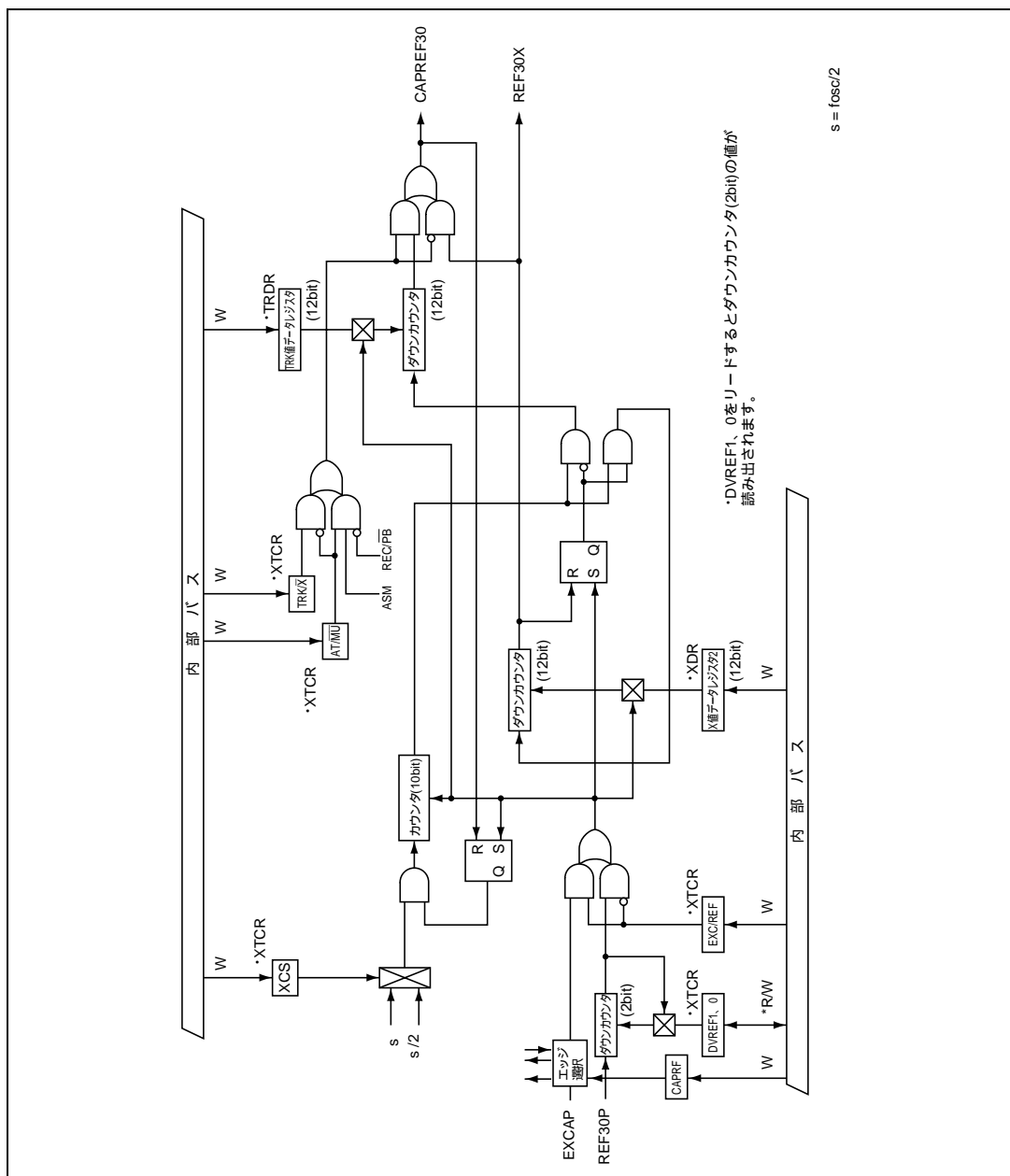


図 28.37 X 値補正回路

28.10.3 レジスタの説明

(1) レジスタ構成

X 値補正、トラッキング補正回路のレジスタ構成を表 28.13 に示します。

表 28.13 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
X 値、TRK 値コントロールレジスタ	XTCR	R/W	バイト	H'80	H'FD074
X 値データレジスタ	XDR	W	ワード	H'F000	H'FD070
TRK 値データレジスタ	TRDR	W	ワード	H'F000	H'FD072

(2) X 値、TRK 値コントロールレジスタ (XTCR)

ビット:	7	6	5	4	3	2	1	0
		CAPRF	AT/MU	TRK/X	EXC/REF	XCS	DVREF1	DVREF0
初期値:	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	R/W	R/W

XTCR は X 値補正、TRK 値補正回路の動作を決定する 8 ビットのレジスタです。ビット 6~2 はライト専用ビットです。リードは無効です。リードすると不定値が読み出されます。ビット 1、0 はリード/ライト可能です。ただし、リードするとカウンタの値が読み出されます。XTCR はバイトアクセス専用となっています。ワードアクセスすると動作が保証されません。

リセット、スタンバイ、およびモジュールストップ時、H'80 に初期化されます。

ビット 7: リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 6: 外部同期信号エッジ選択ビット (CAPRF)

外部同期信号生成選択時に、EXCAP のエッジを選択します。

ビット 6	説 明
CAPRF	
0	EXCAP の立ち上がりエッジで生成 (初期値)
1	EXCAP の両エッジで生成

ビット 5: キャプスタン位相補正オート/マニュアル選択ビット (AT/MU)

キャプスタン位相制御の補正基準信号 (CAPREF30) の生成方式を CTL モードレジスタの ASM ビット、REC/PB ビットの状態により、自動的にコントロールするかマニュアルでコントロールするかを選択するビットです。

ビット 5	説 明
AT/MU	
0	マニュアルモード (初期値)
1	オートモード

28. サーボ回路

ビット 4：キャプスタン位相補正レジスタ選択ビット (TRK/ \bar{X})

AT/ $\bar{M}\bar{U}$ ビットが 0 のとき、CAPREF30 信号の生成方式を決定するビットです。

ビット 4 TRK/ \bar{X}	説 明
0	XDR の設定値のみで CAPREF30 を生成 (初期値)
1	XDR + TRDR の設定値で CAPREF30 を生成

ビット 3：基準信号選択ビット (EXC/REF)

補正基準信号 (CAPREF30) を生成するための基準信号を選択するビットです。

ビット 3 EXC/REF	説 明
0	REF30P 信号で生成 (初期値)
1	外部基準信号で生成

ビット 2：クロックソース選択ビット (XCS)

10 ビットカウンタに供給するクロックソースを選択します。

ビット 2 XCS	説 明
0	s (初期値)
1	s/2

ビット 1、0：REF30P 分周比選択ビット (DVREF1、DVREF0)

REF30P の分周値を選択するビットです。リードするとカウンタの値が読み出されます。(選択された分周値は、カウンタの UDF により設定されます。)

ビット 1 DVREF1	ビット 0 DVREF0	説 明
0	0	1 分周 (初期値)
	1	2 分周
1	0	3 分周
	1	4 分周

(3) X 値データレジスタ (XDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					XD11	XD10	XD9	XD8	XD7	XD6	XD5	XD4	XD3	XD2	XD1	XD0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

X 値データレジスタ (XDR) は 16 ビットのライト専用レジスタです。リードは無効です。リードすると不定値が読み出されます。XDR はワードアクセス専用となっています。バイトアクセスすると動作が保証されません。

XDR には X 値補正データを設定してください。ただし、CTL パルスの周期を越える値は設定しないでください。AT/M \bar{U} =0、TRK/ \bar{X} =0 を設定すると、XDR のみの設定で CAPREF30 の生成が可能です。PB モード時は X 値 + TRK 補正值、REC モード時は X 値の値を設定してください。

リセット、スタンバイ、およびモジュールストップ時、H'F000 に初期化されます。

(4) TRK 値データレジスタ (TRDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRD11	TRD10	TRD9	TRD8	TRD7	TRD6	TRD5	TRD4	TRD3	TRD2	TRD1	TRD0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

TRK 値データレジスタ (TRDR) は 16 ビットのライト専用レジスタです。リードは無効です。リードすると不定値が読み出されます。TRDR はワードアクセス専用となっています。バイトアクセスすると動作が保証されません。

TRDR には TRK 値補正データを設定してください。ただし、CTL パルスの周期を越える値は設定しないでください。

リセット、スタンバイ、およびモジュールストップ時、H'F000 に初期化されます。

28.11 デジタルフィルタ演算回路

28.11.1 概要

サーボ制御には符号付きの整数（誤差データ）係数の積和演算が多用されます。この LSI にはソフトウェアの負担を軽減する、あるいは処理効率を上げる目的から、ハードウェアによるフィルタ演算回路（デジタルフィルタ演算回路）が内蔵されています。デジタルフィルタ演算回路のブロック図を図 28.38 に示します。

フィルタ演算回路は、24 ビット×16 ビットの高速度積和演算回路、演算バッファ回路、入出力処理回路により構成されています。高速積和演算回路はデジタルフィルタの演算処理を行います。演算バッファ回路はフィルタ演算に必要な係数やゲイン定数を格納するバッファであり、演算回路により参照されます。

入出力処理回路は、FG 信号により起動し、フィルタ演算動作を決定します。起動がかかると速度誤差、位相誤差を各検出回路から読み出し、演算回路に送ります。

フィルタ演算が終了すると演算回路から演算結果を読み出し、12 ビット PWM に送ります。このとき演算結果のゲインをコントロールすることが可能です。

28.11.2 ブロック図

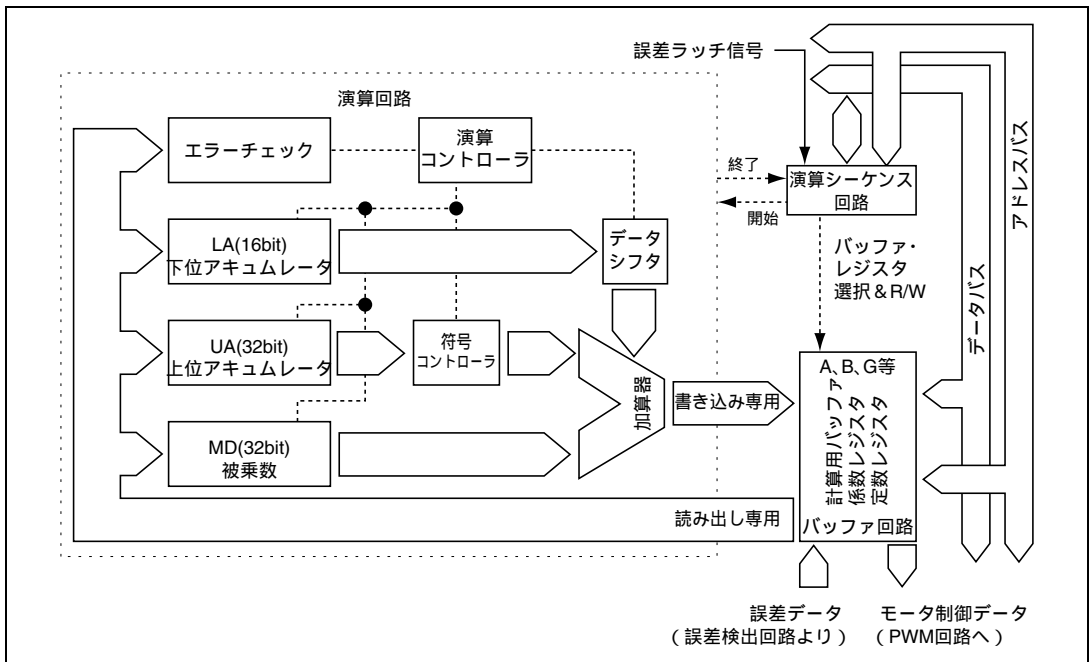


図 28.38 デジタルフィルタ演算回路ブロック図

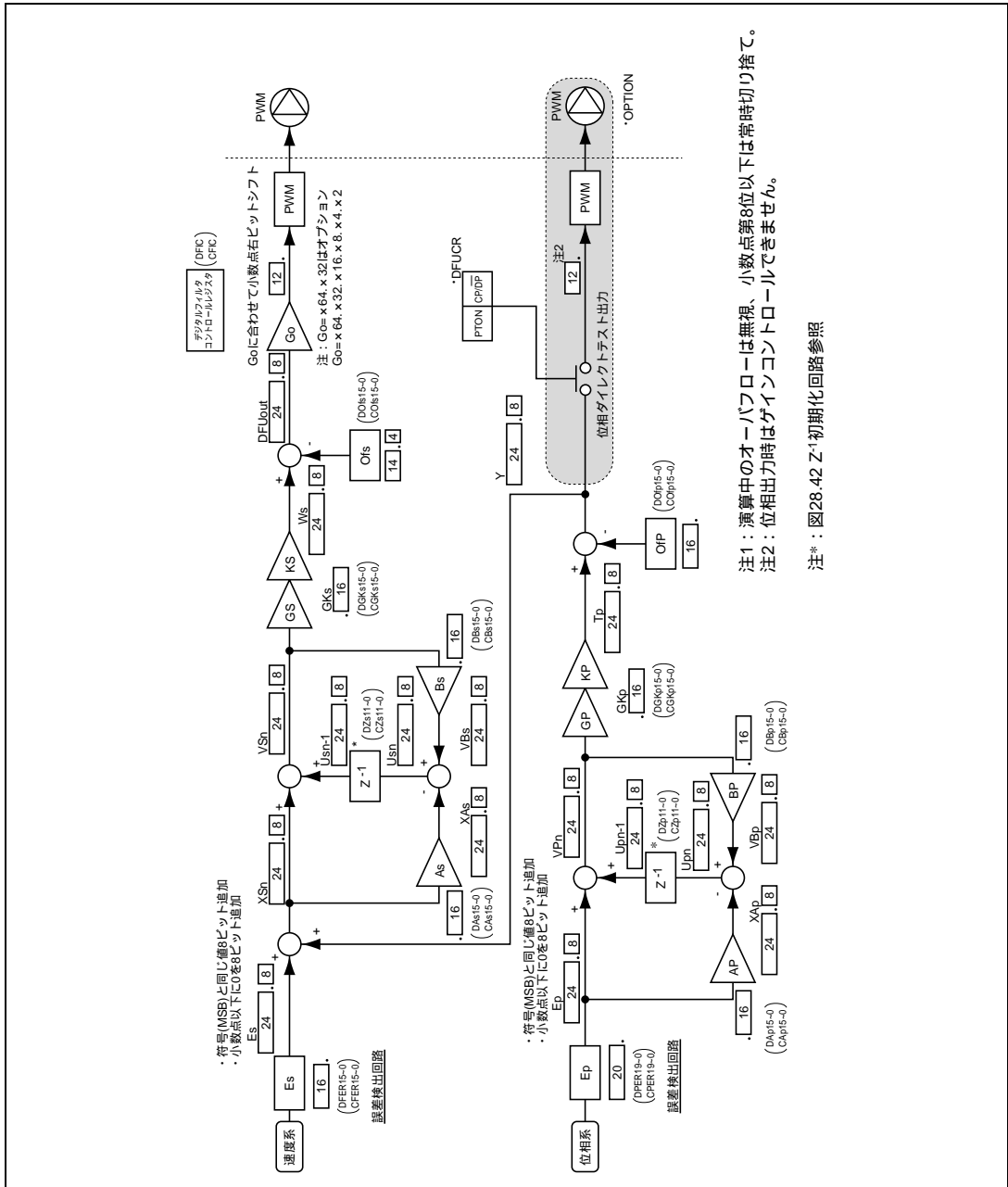


図 28.39 デジタルフィルタの表現図

28.11.3 演算バッファ

デジタルフィルタ回路で使用する演算データを格納するバッファです。演算バッファを表 28.14 に示します。この中でライト可能なものは、ゲイン、係数および Z^{-1} のみであり、他はハードウェアで使します。どのデータもリードできません。

表 28.14 レジスタ構成

	演算データ	ゲイン、係数	処理データ	バッファのデータ長			
				16 ビット	16 ビット	16 ビット	
位相系	Ep			有効			
	Upn			有効			
	Upn-1 (Z^{-1})				有効		
	Vpn					有効	
	Tp						
	Y						
速度系		Ap		有効	有効		
		Bp		有効	有効		
		GKp		有効	有効		
		Ofp				有効	
			Ap × Epn	有効			
			Bp × Vpn	有効			
	誤差出力	PWM			有効		

<記号説明>

- : 有効ビット
- : 存在しないビット

↑
小数点位置

28.11.4 レジスタ構成

デジタルフィルタ演算回路のレジスタ構成を表 28.15 に示します。

表 28.15 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
キャプスタン位相ゲイン定数	CGKp	W	ワード	不定	H'FD010
キャプスタン速度ゲイン定数	CGKs	W	ワード	不定	H'FD012
キャプスタン位相係数 A	CAp	W	ワード	不定	H'FD014
キャプスタン位相係数 B	CBp	W	ワード	不定	H'FD016
キャプスタン速度係数 A	CA s	W	ワード	不定	H'FD018
キャプスタン速度係数 B	CB s	W	ワード	不定	H'FD01A
キャプスタン位相オフセット	COfp	W	ワード	不定	H'FD01C
キャプスタン速度オフセット	COfs	W	ワード	不定	H'FD01E
ドラム位相ゲイン定数	DGKp	W	ワード	不定	H'FD000
ドラム速度ゲイン定数	DGKs	W	ワード	不定	H'FD002
ドラム位相係数 A	DAp	W	ワード	不定	H'FD004
ドラム位相係数 B	DBp	W	ワード	不定	H'FD006
ドラム速度係数 A	DA s	W	ワード	不定	H'FD008
ドラム速度係数 B	DB s	W	ワード	不定	H'FD00A
ドラム位相オフセット	DOfp	W	ワード	不定	H'FD00C
ドラム速度オフセット	DOfs	W	ワード	不定	H'FD00E
ドラム系速度遅延初期化レジスタ	DZs	W	ワード	H'F000	H'FD020
ドラム系位相遅延初期化レジスタ	DZp	W	ワード	H'F000	H'FD022
キャプスタン系速度遅延初期化レジスタ	CZs	W	ワード	H'F000	H'FD024
キャプスタン系位相遅延初期化レジスタ	CZp	W	ワード	H'F000	H'FD026
ドラム系デジタルフィルタ コントロールレジスタ	DFIC	R/W	バイト	H'80	H'FD028
キャプスタン系デジタルフィルタ コントロールレジスタ	CFIC	R/W	バイト	H'80	H'FD029
デジタルフィルタコントロール レジスタ	DFUCR	R/W	バイト	H'C0	H'FD02A

28.11.5 レジスタの説明

(1) ゲイン定数 (CGKp、CGKs、DGKp、DGKs)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】 * : 不定

デジタルフィルタの演算ゲインを設定する 16 ビットのライト専用バッファレジスタで、ワードアクセス専用となっています。演算ゲインはゲイン 1 を max 値として設定可能です。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。リセット、スタンバイ時に、初期化されません。使用前に必ずデータをライトしてから処理を行ってください。

本デジタルフィルタは、演算ゲインとは別に出力ゲイン調整が可能になっています。出力ゲインを考慮して設定してください。

(2) 係数 (CAp、CBp、CA_s、CB_s、DAp、DBp、DA_s、DB_s)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】 * : 不定

カットオフ周波数 f_1 、 f_2 を決定する 16 ビットのライト専用バッファレジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。

リセット、スタンバイ時に、初期化されません。使用前に必ずデータをライトしてから処理を行ってください。

本デジタルフィルタは、演算ゲインとは別に出力ゲイン調整が可能になっています。出力ゲインを考慮して設定してください。

(3) オフセット (CO_{fp}、CO_{fs}、DO_{fp}、DO_{fs})

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】 * : 不定

デジタルフィルタ出力のオフセットレベルを設定する 16 ビットのライト専用バッファレジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。

リセット、スタンバイ時に、初期化されません。使用前に必ずデータをライトしてから処理を行ってください。

なお、本デジタルフィルタはオフセット加算後に出力ゲインの調整 (×1、2、4、8、16、32、64) が可能になっています。出力ゲインを考慮して設定してください。

(4) 遅延初期化レジスタ (CZp、CZs、DZp、DZs)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

Z¹の初期値を設定する16ビットのライト専用バッファレジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。ビット12~15はリザーブビットで、ライトは無効です。

リセット、スタンバイ、およびモジュールストップ時に、H'F000に初期化されます。12ビットデータのMSB (ビット11)は符号ビットです。

Z¹へのロードはCFIC、DFICのビット4、3 (CZPON、CZSON、DZPON、DZSON)により自動的に行います。レジスタのライトは常に可能ですが、デジタルフィルタの当該演算処理時は、Z¹へのロードができません。Z¹へのロードは次の演算開始時となります。

(5) ドラム系デジタルフィルタコントロールレジスタ (DFIC)

ビット:	7	6	5	4	3	2	1	0
		DROV	DPHA	DZPON	DZSON	DSG2	DSG1	DSG0
初期値:	1	0	0	0	0	0	0	0
R/W :		R/(W)*	R/(W)	R/W	R/W	R/W	R/W	R/W

【注】* 0ライトのみ有効です。

DFICはリード/ライト可能な8ビットのレジスタです。ドラム系デジタルフィルタの状態や動作モードを制御します。DFICはバイトアクセス専用となっています。ワードアクセスすると動作が保証されません。

ビット7はリザーブビット。ライトは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時H'80に初期化されます。

ビット7: リザーブビット

リードもライトも無効です。

ビット6: ドラム系レンジオーバフラグ (DROV)

ドラム系デジタルフィルタ演算の結果が12ビット幅に入らなかった場合、フラグがセットされます。1リード後、0ライトしてクリアしてください。

ビット6	説明
DROV	
0	フィルタ演算結果が12ビット幅に入ったことを示します (初期値)
1	フィルタ演算結果が12ビット幅を越えたことを示します

28. サーボ回路

ビット5：ドラム位相系フィルタ演算開始ビット（DPHA）

ドラム位相系のフィルタ演算処理の開始、または停止を制御します。

ビット5	説明	
DPHA		
0	位相系フィルタ演算を OFF にします 位相系演算結果 Y を Es に加算しません (図 28.34 参照)	(初期値)
1	位相系のフィルタ演算を ON にします	

ビット4：ドラム位相系 Z⁻¹初期化ビット（DZPON）

ドラム位相系演算処理開始時に、位相系 Z⁻¹に DZp の値を反映させます。1 をライトすると演算反映後、0 にクリアされます。DZp にデータをライトした後に設定してください。

ビット4	説明	
DZPON		
0	位相系 Z ⁻¹ に DZp の値は反映されません	(初期値)
1	位相系 Z ⁻¹ に DZp の値が反映されます	

ビット3：ドラム速度系 Z⁻¹初期化ビット（DZSON）

ドラム速度系演算処理開始時に、速度系 Z⁻¹に DZs の値を反映させます。1 をライトすると演算反映後、0 にクリアされます。DZs にデータをライトした後に設定してください。

ビット3	説明	
DZSON		
0	速度系 Z ⁻¹ に DZs の値は反映されません	(初期値)
1	速度系 Z ⁻¹ に DZs の値が反映されます	

ビット2～0：ドラム系出力ゲインコントロールビット（DSG2、DSG1、DSG0）

DRMPWM に出力するゲインを制御します。

ビット2	ビット1	ビット0	説明
DSG2	DSG1	DSG0	
0	0	0	1 倍 (初期値)
		1	2 倍
	1	0	4 倍
		1	8 倍
1	0	0	16 倍
		1	(32 倍)*
	1	0	(64 倍)*
		1	無効 (設定しないでください)

【注】* オプション設定

(6) キャプスタン系デジタルフィルタコントロールレジスタ (CFIC)

ビット:	7	6	5	4	3	2	1	0
		CROV	CPHA	CZPON	CZSON	CSG2	CSG1	CSG0
初期値:	1	0	0	0	0	0	0	0
R/W :		R/(W)*	R/(W)	R/W	R/W	R/W	R/W	R/W

【注】* 0 ライトのみ有効です。

CFIC はリード/ライト可能な 8 ビットのレジスタです。キャプスタン系デジタルフィルタの状態や動作モードを制御します。CFIC はバイトアクセス専用となっています。ワードアクセスすると動作が保証されません。

ビット 7 はリザーブビットです。ライトは無効です。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時 H'80 に初期化されます。

ビット 7: リザーブビット

リードもライトも無効です。

ビット 6: キャプスタン系レンジオーバーフラグ (CROV)

キャプスタン系デジタルフィルタ演算の結果が 12 ビット幅に入らなかった場合、フラグがセットされます。1 リード後、0 ライトしてクリアしてください。

ビット 6	説明	
CROV		
0	フィルタ演算結果が 12 ビット幅に入ったことを示します	(初期値)
1	フィルタ演算結果が 12 ビット幅を越えたことを示します	

ビット 5: キャプスタン位相系フィルタ演算開始ビット (CPHA)

キャプスタン位相系のフィルタ演算処理の開始、または停止を制御します。

ビット 5	説明	
CPHA		
0	位相系フィルタ演算を OFF にします 位相系演算結果 Y を Es に加算しません (図 28.39 参照)	(初期値)
1	位相系のフィルタ演算を ON にします	

ビット 4: キャプスタン位相系 Z¹ 初期化ビット (CZPON)

キャプスタン位相系演算処理開始時に、位相系 Z¹ に CZp の値を反映させます。1 をライトすると演算反映後、0 にクリアされます。CZp にデータをライトした後に設定してください。

ビット 4	説明	
CZPON		
0	位相系 Z ¹ に CZp の値は反映されません	(初期値)
1	位相系 Z ¹ に CZp の値が反映されます	

ビット3：キャプスタン速度系 Z' 初期化ビット（CZSON）

キャプスタン速度系演算処理開始時に、速度系 Z' にCZsの値を反映させます。1をライトすると演算反映後、0にクリアされます。CZsにデータをライトした後に設定してください。

ビット3	説 明	
CZSON		
0	速度系 Z' にCZsの値は反映されません	(初期値)
1	速度系 Z' にCZsの値が反映されます	

ビット2~0：キャプスタン系ゲインコントロールビット（CSG2、CSG1、CSG0）

CAPPWMに出力するゲインを制御します。

ビット1	ビット2	ビット0	説 明	
CSG2	CSG1	CSG0		
0	0	0	1倍	(初期値)
		1	2倍	
	1	0	4倍	
		1	8倍	
1	0	0	16倍	
		1	(32倍)*	
	1	0	(64倍)*	
		1	無効(設定しないでください)	

【注】* オプション設定

(7) デジタルフィルタコントロールレジスタ（DFUCR）

ビット：	7	6	5	4	3	2	1	0
			PTON	CP/DP	CFEPS	DFEPS	CFESS	DFESS
初期値：	1	1	0	0	0	0	0	0
R/W：			R/W	R/W	R/W	R/W	R/W	R/W

DFUCRはリード/ライト可能な8ビットのレジスタです。デジタルフィルタの動作を制御します。DFUCRはバイトアクセス専用となっています。ワードアクセスすると動作が保証されません。

ビット7、6はリザーブビットです。ライトは無効です。リセット、スタンバイ、およびモジュールストップ時H'00に初期化されます。

ビット7、6：リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 5 : 位相系演算結果 PWM 出力ビット (PTON)

位相系だけの演算結果を PWM に出力します。(ドラム位相系演算結果は CAPPWM 端子、キャプスタン位相系演算結果は DRMPWM 端子に出力)

ビット 5	説 明
PTON	
0	PWM 端子に通常のフィルタ演算結果を出力します (初期値)
1	PWM 端子に位相系だけの演算結果を出力します

ビット 4 : PWM に出力選択ビット (CP/DP)

PTON=1 とした時の位相系演算結果出力をドラムとするかキャプスタンとするか選択します。選択された側の PWM の出力は通常のフィルタ演算結果 (MIX の速度系) を出力します。

ビット 4	説 明
CP/DP	
0	ドラム位相系演算結果を出力 (CAPPWM) (初期値)
1	キャプスタン位相系演算結果出力 (DRMPWM)

ビット 3 : キャプスタン位相系誤差データ転送ビット (CFEPS)

キャプスタン位相系誤差データの強制ライト時に、データをデジタルフィルタに転送します。

ビット 3	説 明
CFEPS	
0	DVCFG2 信号ラッチによりデータ転送 (初期値)
1	誤差データライト時にデータ転送

ビット 2 : ドラム位相系誤差データ転送ビット (DFEPS)

ドラム位相系誤差データの強制ライト時に、データをデジタルフィルタに転送します。

ビット 2	説 明
DFEPS	
0	HSW (NHSW) 信号ラッチによりデータ転送 (初期値)
1	誤差データライト時にデータ転送

ビット 1 : キャプスタン速度系誤差データ転送ビット (CFESS)

キャプスタン速度系誤差データの強制ライト時に、データをデジタルフィルタに転送します。

ビット 1	説 明
CFESS	
0	DVCFG 信号ラッチによりデータ転送 (初期値)
1	誤差データライト時にデータ転送

28. サーボ回路

ビット 0 : ドラム速度系誤差データ転送ビット (DFESS)

ドラム速度系誤差データの強制ライト時に、データをデジタルフィルタに転送します。

ビット 0	説明
DFESS	
0	NCDFG 信号ラッチによりデータ転送 (初期値)
1	誤差データライト時にデータ転送

28.11.6 フィルタ特性

(1) ラグリードフィルタ

サーボループに必要なフィルタがハードウェアで内蔵されています。デジタルフィルタには、非巡回型 (FIR : Finite Impulse Responce) と巡回型 (IIR : Infinite Impulse Responce) がありますが、ここでは IIR を用いています。デジタルフィルタ回路は、ラグリードフィルタを実現しています。ラグリードフィルタを図 28.40 に示します。

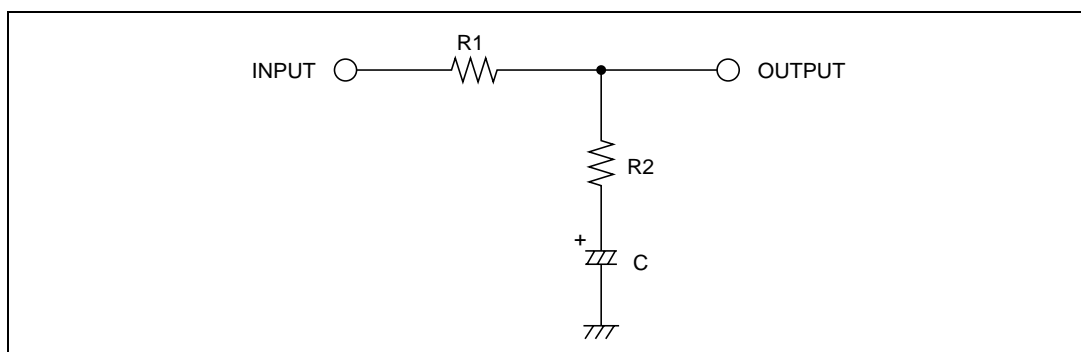


図 28.40 ラグリードフィルタ

伝達関数 $G(S)$ は、次の式で表されます。

$$\text{伝達関数 } G(S) = \frac{1 + \frac{S}{2f_2}}{1 + \frac{S}{2f_1}}$$

$$f_1 = 1/2 \quad C(R1 + R2)$$

$$f_2 = 1/2 \quad CR2$$

(2) 周波数特性

演算回路は s 平面での伝達関数を双一次近似により、 s - z 変換を行った関数の繰り返し演算を行います。ラグリードフィルタの周波数特性を図 28.41 に示します。

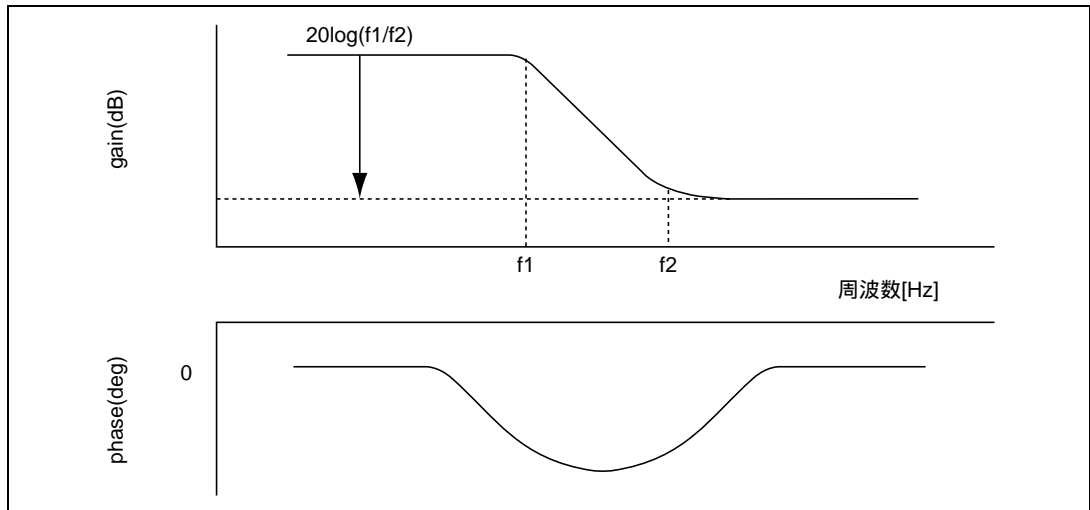


図 28.41 ラグリードフィルタの周波数特性

伝達関数 $G(s)$ を双一次近似法によりパルス伝達関数 $G(z)$ を求めます。
伝達関数 $G(s)$ において、

$$S = \frac{2}{T_s} \cdot \frac{1 - Z^{-1}}{1 + Z^{-1}}$$

ここで、 $Z^{-1} = e^{-j T_s}$ とすると、

$$G(z) = G \cdot \frac{2}{T_s} \cdot \frac{1 + AZ^{-1}}{1 + BZ^{-1}}$$

$$G(z) = \frac{T_s + \frac{1}{f_2}}{T_s + \frac{1}{f_1}}$$

$$A = \frac{T_s - \frac{1}{f_2}}{T_s + \frac{1}{f_2}}$$

$$B = \frac{T_s - \frac{1}{f_1}}{T_s + \frac{1}{f_1}}$$

T_s : サンプル周期 (sec)

28.12 付加 V 信号生成回路

28.12.1 概要

特殊再生時に Vsync に代わる信号を出力します。HSW タイミング回路から出力される HSW 信号の両エッジで起動します。HSW タイミング回路では、付加 V パルスの VD 信号と等価パルスを含む垂直同期信号の幅 (Mlevel 信号) を出力します。

Vpulse 端子は 3 値レベル出力の端子です。

付加 V パルスの制御回路を図 28.43 に示します。

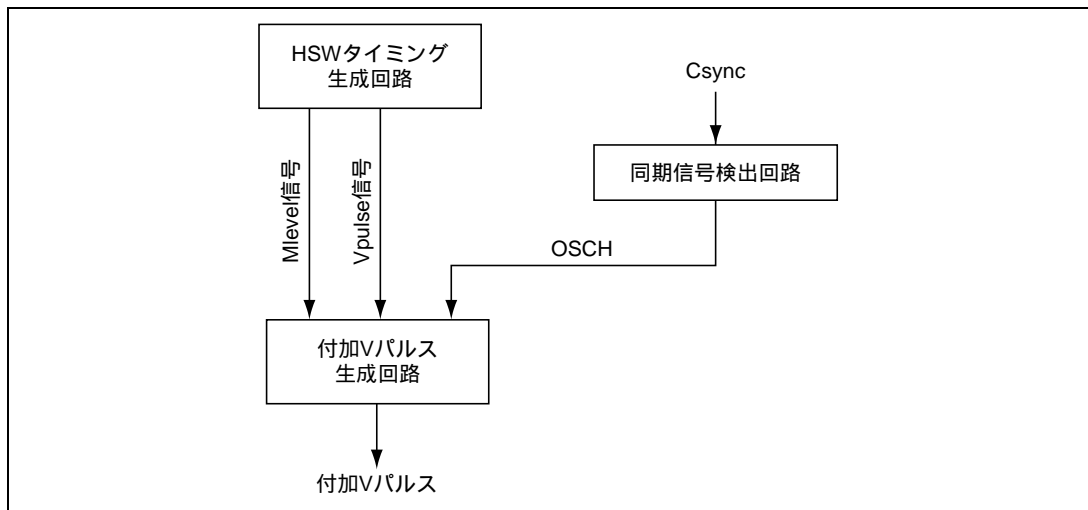


図 28.43 付加 V パルス制御回路

(a) HSW タイミング発生回路

HSW に同期した信号を生成します。HSW 信号 (VideoFF) のエッジのタイミングから Mlevel 信号、Vpulse 信号を生成してください。詳細は「28.4 HSW タイミング生成回路」を参照してください。

(b) 同期信号検出回路

Csync 端子より入力された信号 (Csync) から VTR、HTR で指定した幅のパルスを検出し、内部の水平同期信号 (OSCH) を生成します。同期信号回路は、補完機能を持っており、Hsync 信号が欠落しても、周期的な同期信号を生成します。詳細は「28.15 同期信号検出回路」を参照してください。

28.12.2 端子構成

付加 V 信号の端子構成を表 28.16 に示します。

表 28.16 端子構成

名称	略称	入出力	機能
付加 V パルス端子	Vpulse	出力	VideoFF に同期した付加 V 信号出力

28.12.3 レジスタ構成

付加 V 信号のレジスタ構成を表 28.17 に示します。

表 28.17 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
付加 V コントロールレジスタ	ADDVR	R/W	バイト	H'E0	H'FD06F

28.12.4 レジスタの説明

付加 V コントロールレジスタ (ADDVR)

ビット:	7	6	5	4	3	2	1	0
				HMSK	HiZ	CUT	VPOM	POL
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

ADDVR はリードとライトが可能な 8 ビットのレジスタです。
リセット、スタンバイ時 H'E0 に初期化されます。

ビット 7~5: リザーブビット

リード時は不定値が読み出されます。ライトは無効です。

ビット 4: OSCH マスクビット (HMSK)

付加 V パルス中の OSCH 信号をマスクするビットです。

ビット 4	説明
HMSK	
0	OSCH を付加する (初期値)
1	OSCH を付加しない

ビット 3: ハイインピーダンスビット (HiZ)

中間レベルの生成を外部回路で行う場合、1 にセットします。

ビット 3	説明
HiZ	
0	Vpulse 端子を 3 値出力とする (初期値)
1	Vpulse 端子を H/L/HiZ の 3 状態端子とする

ビット2～0：付加V出力制御ビット（CUT、VPON、POL）

付加V端子の出力を制御します。

ビット2	ビット1	ビット0	説明
CUT	VPON	POL	
0	0	*	Lowレベル (初期値)
	1	0	負極性 (図 28.46)
		1	正極性 (図 28.45)
1	*	0	中間レベル (HiZビット=1のときはハイインピーダンス)
		1	Highレベル

【注】*：Don't care.

28.12.5 付加Vパルスの信号

付加Vパルスの信号（Vpulse端子）を図28.44に示します。Mlevel信号とVpulse信号は、HSWタイミング生成回路で発生させます。等価パルスは、OSCH信号をそのまま重ねます。付加Vパルスは付加Vレジスタ（ADDVR）のPOLビットにより、極性を選択できます。

Vpulse端子はリセット、スタンバイ、モジュールストップ時、Lowレベル出力となります。

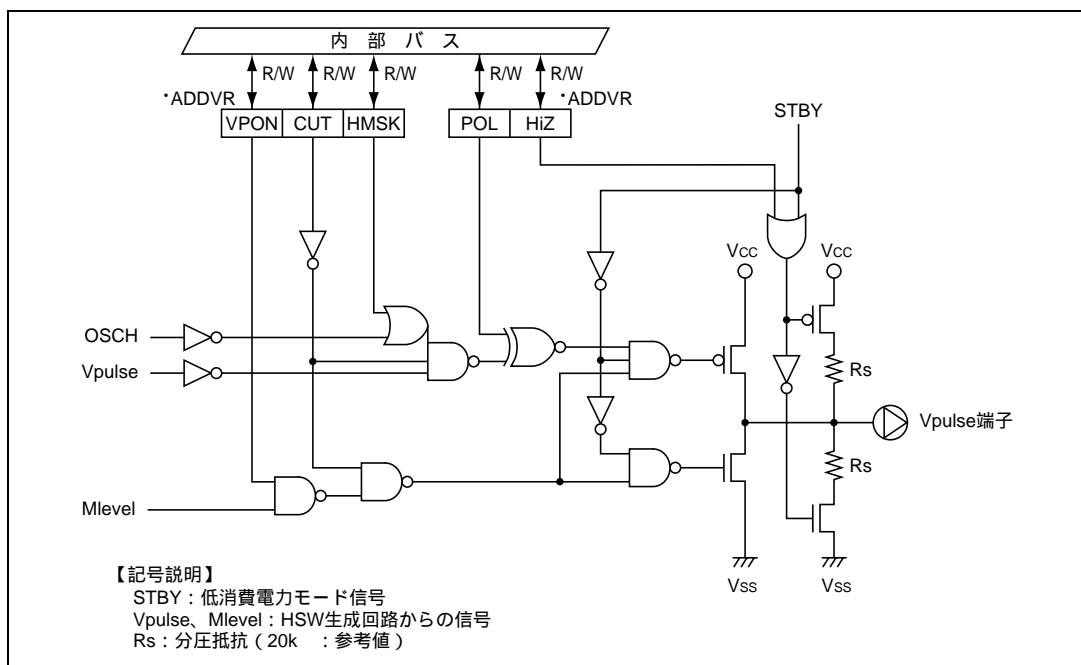


図 28.44 付加Vパルス端子

(a) 同期信号が検出されない時の付加Vパルス

付加Vパルスは、HSW タイミング生成回路により生成した信号（Vpulse、Mlevel 信号）に、同期信号検出回路で検出されたパルス（OSCH）を重畳します。入力された同期信号（Csync）にノイズが多かったり、パルス抜けがあったりする場合、OSCH は補完パルスとなるため HRTR、HPWR で設定した周期のHパルスが重畳されます。このとき、HRTR、HPWR の設定によっては通常の同期信号とタイミングが少しずれ、不連続となることがあります。

また、同期信号が入力されない場合、付加Vパルスは補完パルスで生成します。同期信号検出回路で各設定を行い、SYNCR（同期信号コントロールレジスタ）のSYCTビットの操作により同期信号検出回路の起動を行ってください。「28.15.7 同期信号検出回路の起動」を参照してください。付加Vパルスを図 28.45、図 28.46 に示します。

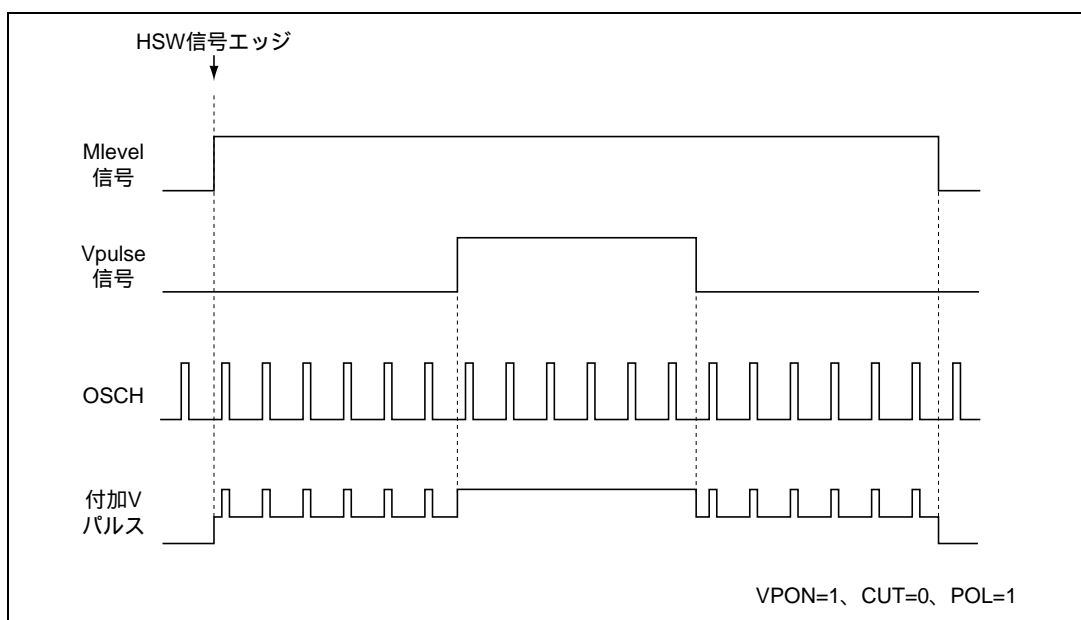


図 28.45 正極を指定したときの付加Vパルス

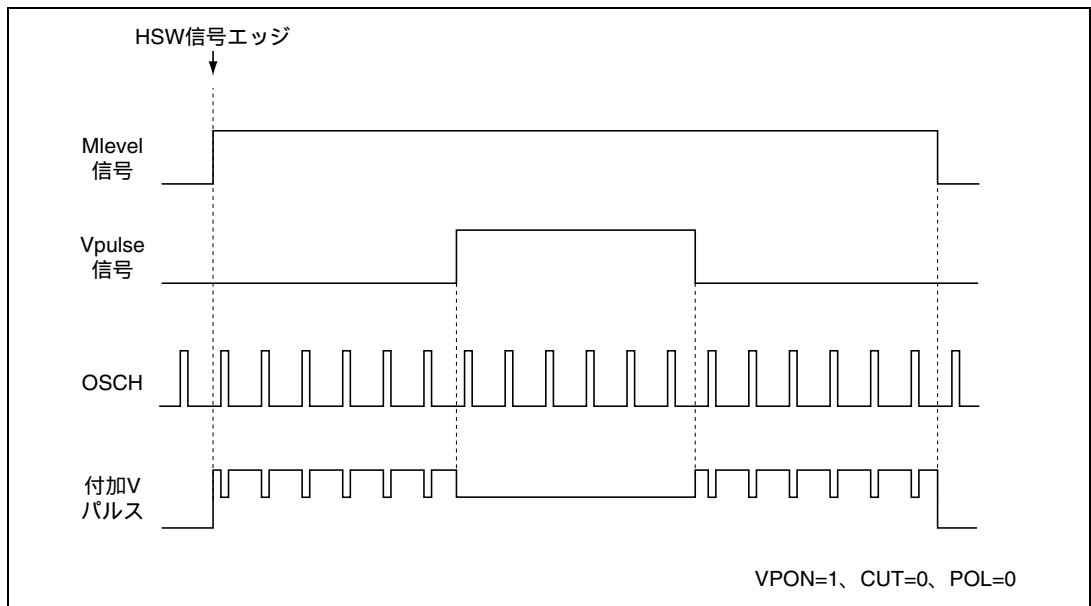


図 28.46 負極を指定したときの付加Vパルス

28.13 CTL 回路

28.13.1 概要

CTL 回路には、入力部にシュミットアンプが内蔵されており、増幅、波形整形を行った後、PB-CTL 信号として、サーボ部、リニアタイムカウンタなどに送ります。

PB-CTL 信号は CTL 回路内のデューティ判別回路にも送られ、VISS、VASS、および ASM マーク検出、記録が可能です。記録部には REC-CTL アンプを内蔵しています。また、ワイドアスペクト対応として、CTL パルスの Long/Short の検出、記録が可能です。

CTL モードレジスタの設定により、以下の動作が可能です。

- デューティ判別
 - VISS検出、VASS検出、ASM検出、L/Sビットパターン検出
- CTL 記録
 - VISS記録、VASS記録、ASM記録、L/Sビットパターン記録
- 再書き込み
 - 台形波出力

28.13.2 ブロック図

CTL 回路のブロック図を、図 28.47 に示します。

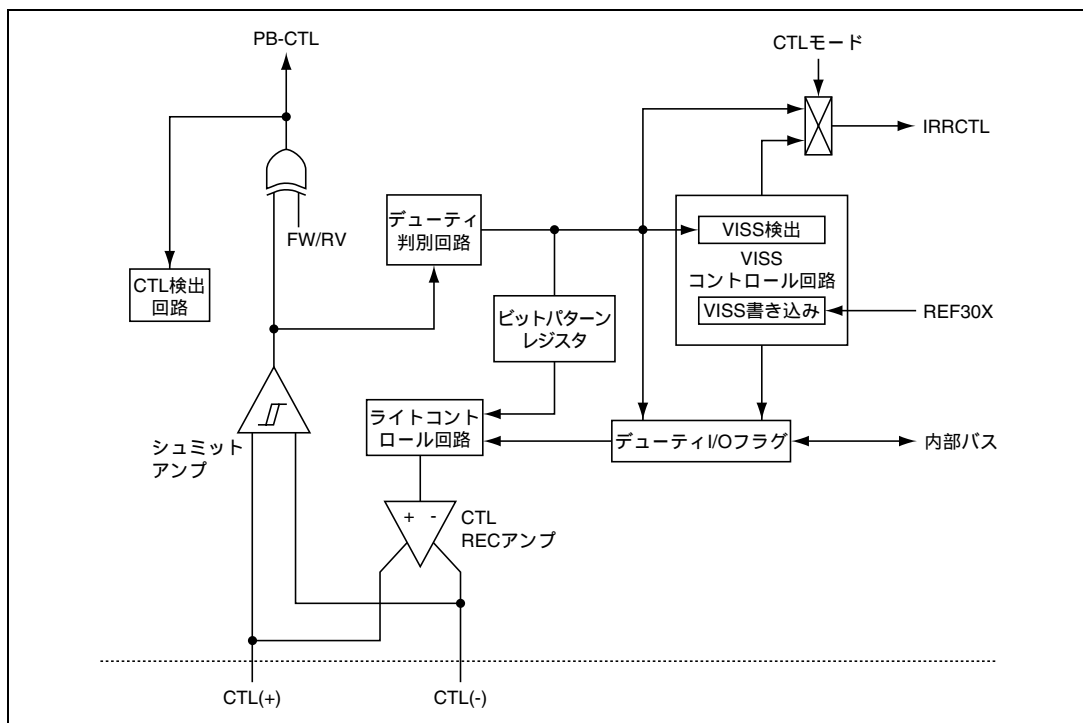


図 28.47 CTL 回路のブロック図

28.13.3 端子構成

CTL 回路の端子構成を表 28.18 に示します。

表 28.18 端子構成

名 称	略称	入出力	機 能
CTL (+) 入出力端子	CTL (+)	入出力	CTL 信号入出力
CTL (-) 入出力端子	CTL (-)	入出力	CTL 信号入出力
CTL Bias 入力端子	CTL Bias	入力	CTL1 次アンプバイアス供給
CTL Amp (O) 出力端子	CTLAmp (O)	出力	CTL アンプ出力
CTL SMT (i) 入力端子	CTLSMT (i)	入力	CTL シュミットアンプ入力
CTL FB 入力端子	CTL FB	入力	CTL アンプ高域特性制御
CTL REF 出力端子	CTL REF	出力	CTL アンプリファレンス電圧出力

28.13.4 レジスタ構成

CTL 回路のレジスタ構成を表 28.19 に示します。

表 28.19 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
CTL コントロールレジスタ	CTCR	R/W	バイト	H'30	H'FD080
CTL モードレジスタ	CTLM	R/W	バイト	H'00	H'FD081
REC-CTL デューティデータレジスタ 1	RCDR1	W	ワード	H'F000	H'FD082
REC-CTL デューティデータレジスタ 2	RCDR2	W	ワード	H'F000	H'FD084
REC-CTL デューティデータレジスタ 3	RCDR3	W	ワード	H'F000	H'FD086
REC-CTL デューティデータレジスタ 4	RCDR4	W	ワード	H'F000	H'FD088
REC-CTL デューティデータレジスタ 5	RCDR5	W	ワード	H'F000	H'FD08A
デューティ I/O レジスタ	DI/O	R/W	バイト	H'F1	H'FD08C
ビットパターンレジスタ	BTPR	R/W	バイト	H'FF	H'FD08D

28.13.5 レジスタの説明

(1) CTL コントロールレジスタ (CTCR)

ビット:	7	6	5	4	3	2	1	0
	NT/PL	FSLC	FSLB	FSLA	CCS	LCTL	UNCTL	SLWM
初期値:	0	0	1	1	0	0	0	0
R/W :	W	W	W	W	W	W	R	W

CTL コントロールレジスタ (CTCR) は、PB-CTL の再書き込み動作の制御、スローモードの設定をします。PB-CTL 回路の CTL ゲインコントロールレジスタ (CTLGR) により設定された入力アンプゲインで CTL パルスを検出できない時、CTCR のビット 1 (UNCTL) に 1 をセットします。CTL パルスを検出すると自動的に 0 クリアされます。

CTCR は、8 ビットのリード/ライト可能なレジスタです。ただし、ビット 1 はリードのみ、その他のビットはライトのみ可能です。リードすると不定値が読み出されます。

リセット、スタンバイ、モジュールストップおよび CTL ストップ時に H'30 に初期化されます。

ビット 7 : NTSC/PAL 選択ビット (NT/PL)

再書き込み回路の一周期を決定するビットです。

ビット 7	説 明	
NT/PL		
0	NTSC モード (1 フレーム 30Hz)	(初期値)
1	PAL モード (1 フレーム 25Hz)	

ビット 6~4 : 動作周波数指定ビット (FSLC、FSLB、FSLA)

CTL 再書き込み回路の動作周波数を指定します。fosc の周波数により指定してください。

ビット 6	ビット 5	ビット 4	説 明
FSLC	FSLB	FSLA	
0	0	0	リザーブ (設定しないでください)
		1	リザーブ (設定しないでください)
	1	0	fosc = 8MHz
		1	fosc = 10MHz (初期値)
1	*	*	リザーブ (設定しないでください)

【注】 * : Don't care.

ビット 3 : クロックソース選択ビット (CCS)

CTL のクロックソースを選択します。

ビット 3	説 明	
CCS		
0	s	(初期値)
1	s/2	

ビット2：ロング CTL ビット (LCTL)

ロング CTL 検出モードに設定するビットです。

ビット2	説 明	
LCTL		
0	クロックソースを (CCS) 設定値とします	(初期値)
1	クロックソースを (CCS) 設定値よりさらに 8 分周します	

ビット1：CTL 未検出ビット (UNCTL)

CTL ゲインコントロールレジスタ (CTLGR) の設定で決められた、CTL 入力アンプ感度での CTL パルスの検出状態を示します。

ビット1	説 明	
UNCTL		
0	検出	(初期値)
1	未検出	

ビット0：モード選択ビット (SLWM)

CTL のモードを選択します。

ビット0	説 明	
SLWM		
0	ノーマルモード	(初期値)
1	スローモード	

28. サーボ回路

(2) CTL モードレジスタ (CTLM)

ビット:	7	6	5	4	3	2	1	0
	ASM	REC/ $\overline{\text{PB}}$	FW/RV	MD4	MD3	MD2	MD1	MD0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CTL モードレジスタ (CTLM) は、CTL 回路の動作状態を決定する 8 ビットのリードとライトが可能なレジスタです。MD3、MD2 の 2 ビットは 1 をライトすると 1 サイクル後 () に 0 クリアされます。

リセット、スタンバイ、モジュールストップ時に H'00 に初期化されます。CTL ストップ時はビット 7、6、5 のみ動作します。

【注】各モードの設定値 (表 28.20 参照) 以外の設定はしないでください。

ビット 7、6 : 録/再モードビット (ASM、REC/ $\overline{\text{PB}}$)

記録/再生を切り替えます。ビット 4~0 (MD4~MD0) と組み合わせて、VISS/VASS/ASM の各機能に対応します。

ビット 7	ビット 6	説明
ASM	REC/ $\overline{\text{PB}}$	
0	0	再生モード (PLAYBACK) (初期値)
	1	記録モード (RECORD)
1	0	アセンブルモード
	1	無効 (設定しないでください)

ビット 5 : 方向ビット (FW/RV)

再生時の方向を指定します。記録時は 0 を指定してください。FWD/REV 時の PB-CTL 信号を図 28.48 に示します。

ビット 5	説明
FW/RV	
0	FORWARD (初期値)
1	REVERSE

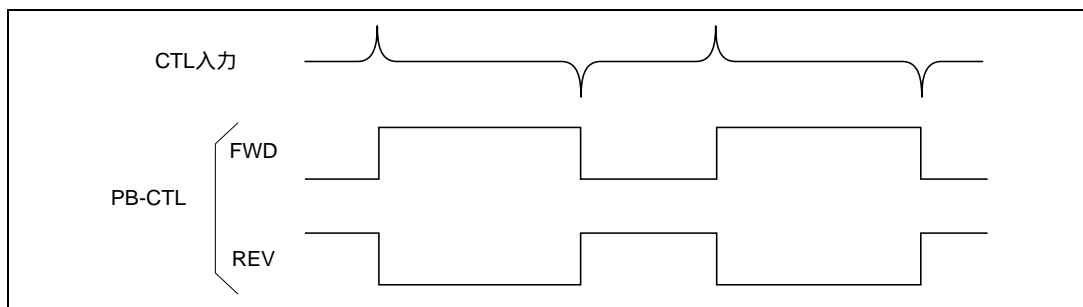


図 28.48 FWD/REV 時の PB-CTL 信号

ビット4～0 : CTLモードセレクトビット (MD4～MD0)

VISS/VASS/ASM マークの検出、記録、再書き込みの各モードを指定します。MD3、MD2 の 2 ビットは 1 をライトすると、1 サイクル () 後に 0 クリアされます。

MD4～MD0 の 5 ビットは、ビット 7、6 (ASM、REC/PB) と組み合わせて使用します。

表 28.20 に各モードの説明を示します。

表 28.20 CTL モード機能

ビット								モード	動作
ASM	REC/ PB	FW/ RV	MD4	MD3	MD2	MD1	MD0		
0	0	0/1	0	0	0	0	0	VASS 検出 (デューティ検出)	PB-CTL のデューティ判別 (初期値) <ul style="list-style-type: none"> ・デューティ 44%を検出すると、デューティ I/O フラグが 1 になります。 ・デューティ < 44%を検出すると、デューティ I/O フラグが 0 になります。 ・1CTL 検出終了時、割り込み要求を発生します。
0	1	0	0	0	0	0	0	VASS 記録	<ul style="list-style-type: none"> ・デューティ I/O フラグに 0 をライトすると、RCDR2 または RCDR3 レジスタで決定されるデューティで REC-CTL を発生し記録します。 ・デューティ I/O フラグに 1 をライトすると、RCDR4 または RCDR5 レジスタで決定されるデューティで REC-CTL を発生し記録します。
0	0	0	1	0	0	1	0	VASS 再書き込み	同上 (VASS 記録と同じ。ただし、台形波回路動作)

28. サーク回路

ビット								モード	動作
ASM	REC/ PB	FW/ RV	MD4	MD3	MD2	MD1	MD0		
0	0	0/1	0	1	0	0	1	VISS 検出 (INDEX 検出)	<ul style="list-style-type: none"> ・CTL M レジスタをライトした時点でデューティ I/O フラグが 1 になります。 ・デューティ判別回路により判別した 1 データを VISS コントロール回路でカウントします。 ・VCTR レジスタで設定した値を連続検出すると VISS 検出と判定しデューティ I/O フラグを 0 にします。 ・VISS 検出時点で、割り込み要求を発生します。
0	1	0	0	0	1	0	1	VISS 記録 (INDEX 記録)	<ul style="list-style-type: none"> ・両端を 0 パルスとする連続する 1 パルスデータを 64 発書き込みます。(INDEX 記録) ・ビット列 (INDEX) はデューティ I/O フラグを経由して書き込まれます。 ・VISS 記録が終了すると、割り込み要求を発生します。
0	0	0	0	0	1	0	1	VISS 再書き込み	同上 (VISS 記録と同じ。ただし、台形波回路動作)
0	0	0	1	0	0	0	0	VISS 初期化	VISS 書き込みを強制的に中止します。
1	0	0/1	0	0	0	0	0	ASM マーク検出	<ul style="list-style-type: none"> ・ASM マークを検出します。 ・PB-CTL のデューティ 66%を検出すると、デューティ I/O フラグが 0 になります。 ・ASM マークを検出すると、割り込み要求を発生します。
0	1	0	1	0	0	0	0	ASM マーク記録	<ul style="list-style-type: none"> ・デューティ I/O フラグに 0 をライトすることにより、ASM マークを記録します。 ・1CTL パルス毎に、割り込み要求を発生します。 ・RCDR3 レジスタで決定されるデューティで REC-CTL を発生し、記録します。

(3) REC-CTL デューティデータレジスタ 1 (RCDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT1B	CMT1A	CMT19	CMT18	CMT17	CMT16	CMT15	CMT14	CMT13	CMT12	CMT11	CMT10
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

RCDR1 は REC-CTL の立ち上がりのタイミングを設定するレジスタです。記録時のみ有効であり、検出時には使用しません。

12 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。ビット 15～12 はリザーブビットであり、ライトは無効です。

リセット、スタンバイ、モジュールストップ、および CTL ストップ時に HF000 に初期化されます。

設定時間 T1 から、 s の周波数に応じて次の計算式で求まる値を設定します。図 28.60 を参照してください。設定時間は任意ですが、再生時のトラッキング補正值や位相制御のラッチタイミングなどを考慮して決定します。

$$\text{RCDR1} = T1 \times s/64$$

s はサーボクロック (= $f_{\text{osc}}/2$) [Hz]、T1 は設定時間 [s]

【注】RCDR1 は 0 の設定は無効です。1 以上の値を設定してください。

(4) REC-CTL デューティデータレジスタ 2 (RCDR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT2B	CMT2A	CMT29	CMT28	CMT27	CMT26	CMT25	CMT24	CMT23	CMT22	CMT21	CMT20
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

RCDR2 は記録時および再書き込み時に REC-CTL の 1 パルス (Short) の立ち下りのタイミングを設定するレジスタです。検出時には Long/Short パルス検出に使用します。

12 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。ビット 15～12 はリザーブビットであり、ライトは無効です。

リセット、スタンバイ、モジュールストップ、および CTL ストップ時に HF000 に初期化されます。

記録時は設定時間 T2 から、 s の周波数に応じて次の計算式で求まるデューティ 25% の値を設定してください。図 28.60 を参照してください。

$$\text{RCDR2} = T2 \times s/64$$

s はサーボクロック (= $f_{\text{osc}}/2$) [Hz]、T2 は設定時間 [s]

ビットパターン検出時は FWD 時の 1 パルス Long/Short のしきい値を設定してください。

図 28.56 を参照してください。

$$\text{RCDR2} = T2' \times s/64$$

s はサーボクロック (= $f_{\text{osc}}/2$) [Hz]、T2' は FWD 時の 1 パルス Long/Short のしきい値 [s]

(5) REC-CTL デューティデータレジスタ 3 (RCDR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT3B	CMT3A	CMT39	CMT38	CMT37	CMT36	CMT35	CMT34	CMT33	CMT32	CMT31	CMT30
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

RCDR3 は記録時および再書き込み時に REC-CTL の 1 パルス (Long) およびアセンブルマークの立ち下がりのタイミングを設定するレジスタです。検出時には Long/Short パルス検出に使用します。

12 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。ビット 15~12 はリザーブビットであり、ライトは無効です。

リセット、スタンバイ、モジュールストップ、および CTL ストップ時に H'F000 に初期化されます。

記録時は設定時間 T_3 から、 s の周波数に応じて次の計算式で求まる値を設定します。REC-CTL の 1 パルス (Long) に使用する場合は、デューティ 30%、アセンブルマークに使用する場合は 67~70% の値を設定します。設定値は REF30X の値を越えて設定しないでください。図 28.60 を参照してください。

$$RCDR3 = T_3 \times s/64$$

s はサーボクロック (= $f_{osc}/2$) [Hz]、 T_3 は設定時間 [s]

ビットパターン検出時は FWD 時の 0 パルス Long/Short のしきい値を設定してください。

図 28.56 を参照してください。

$$RCDR3 = T_3' \times s/64$$

s はサーボクロック (= $f_{osc}/2$) [Hz]、 T_3' は FWD 時の 0 パルス Long/Short のしきい値 [s]

(6) REC-CTL デューティデータレジスタ 4 (RCDR4)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT4B	CMT4A	CMT49	CMT48	CMT47	CMT46	CMT45	CMT44	CMT43	CMT42	CMT41	CMT40
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

RCDR4 は記録時および再書き込み時に REC-CTL の 0 パルス (Short) の立ち下がりのタイミングを設定するレジスタです。検出時には Long/Short パルス検出に使用します。

12 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。ビット 15~12 はリザーブビットであり、ライトは無効です。

リセット、スタンバイ、モジュールストップ、および CTL ストップ時に H'F000 に初期化されます。

記録時は設定時間 $T4$ から、 s の周波数に応じて次の計算式で求まるデューティ 57.5% の値を設定してください。図 28.60 を参照してください。

$$RCDR4 = T4 \times s/64$$

s はサーボクロック (= $f_{osc}/2$) [Hz]、 $T4$ は設定時間 [s]

ビットパターン検出時は REV 時の 0 パルス Long/Short のしきい値を設定してください。

図 28.56 を参照してください。

$$RCDR4 = H'FFF - (T4' \times s/80)$$

s はサーボクロック (= $f_{osc}/2$) [Hz]、 $T4'$ は REV 時の 0 パルス Long/Short のしきい値 [s]

(7) REC-CTL デューティデータレジスタ 5 (RCDR5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT5B	CMT5A	CMT59	CMT58	CMT57	CMT56	CMT55	CMT54	CMT53	CMT52	CMT51	CMT50
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

RCDR5 は記録時および再書き込み時に REC-CTL の 0 パルス (Long) の立ち下がりタイミングを設定するレジスタです。検出時には Long/Short パルス検出に使用します。

12 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスすると動作が保証されません。リードすると不定値が読み出されます。ビット 15~12 はリザーブビットであり、ライトは無効です。

リセット、スタンバイ、モジュールストップ、および CTL ストップ時に H'F000 に初期化されます。

記録時は設定時間 $T5$ から、 s の周波数に応じて次の計算式で求まるデューティ 62.5% の値を設定してください。図 28.60 を参照してください。

$$RCDR5 = T5 \times s/64$$

s はサーボクロック (= $f_{osc}/2$) [Hz]、 $T5$ は設定時間 [s]

ビットパターン検出時は REV 時の 1 パルス Long/Short のしきい値を設定してください。

図 28.56 を参照してください。

$$RCDR5 = H'FFF - (T5' \times s/80)$$

s はサーボクロック (= $f_{osc}/2$) [Hz]、 $T5'$ は REV 時の 1 パルス Long/Short のしきい値 [s]

(8) デューティ I/O レジスタ (DI/O)

ビット:	7	6	5	4	3	2	1	0
	VCTR2	VCTR1	VCTR0		BPON	BPS	BPF	DI/O
初期値:	1	1	1	1	0	0	0	1
R/W :	W	W	W		W	W	R/(W)*	R/W

【注】*0ライトのみ有効です。

デューティ I/O レジスタ (DI/O) は CTL 回路の動作状態の確認または決定する 8 ビットのレジスタです。

リセット、スタンバイ、モジュールストップ、および CTL ストップ時に H'F1 に初期化されます。

ビット 7~5 : VISS 割り込み設定ビット (VCTR2、VCTR1、VCTR0)

VCTR2、VCTR1、VCTR0 の組み合わせで、VISS 検出モード時の 1 パルス検出数を設定します。設定した値を検出すると、VISS 検出とみなし割り込み要求を発生します。

【注】 VISS 検出中に検出パルス数を変更する場合は、VISS の初期化を行った後、再度 VISS 検出モード設定してください。

ビット 7	ビット 6	ビット 5	検出する 1 パルス数
VCTR2	VCTR1	VCTR0	
0	0	0	2 発
		1	4 発 (SYNC マーク)
	1	0	6 発
		1	8 発 (A マークショート)
1	0	0	12 発 (A マークロング)
		1	16 発
	1	0	24 発 (B マーク)
		1	32 発 (初期値)

ビット 4 : リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 3 : ビットパターン検出 ON/OFF ビット (BPON)

ビットパターン検出の ON/OFF を決定します。

【注】 BPON ビットに 1 をライトする時は、必ず RCDR2 ~ 5 に各データを設定してから行ってください。

ビット 3	説明	
BPON		
0	ビットパターン検出 OFF	(初期値)
1	ビットパターン検出 ON	

28. サーボ回路

ビット2：ビットパターン検出開始ビット（BPS）

8ビットのビットパターン検出を開始します。1をライトすると1サイクル後に0に戻ります。0をライトしても動作には影響しません。

ビット2	説明
BPS	
0	通常状態 (初期値)
1	8ビットのビットパターン検出を開始します

ビット1：ビットパターン検出フラグ（BPF）

PB、ASMモード時のPB-CTLを8ビット検出するごとにフラグをセットします。フラグのクリアは1リード後の0ライトにより行ってください。

ビット1	説明
BPF	
0	ビットパターン（8ビット）未検出 (初期値)
1	ビットパターン（8ビット）を検出したことを示します。

ビット0：デューティ I/O レジスタ（DI/O）

検出時と記録時で機能が異なります。

VISS 検出、VASS 検出、ASM マーク検出モード時は検出結果を示すフラグとなります。

VISS 記録および再書き込み時は、VISS コントロール回路からの制御信号により動作し、INDEX コードを書き込むために、ライトコントロール回路を制御します。

VISS 記録、再書き込みおよび ASM 記録モード時、ICTL パルス毎の書き込み制御となります。

ライトは常に可能ですが、VISS 記録、再書き込みおよび ASM 記録モード時以外は、ライトコントロール回路には反映されません。

VISS 検出、VASS 検出の各モード時：

デューティ判別による検出結果を示すフラグとなります。

PB-CTL 信号のデューティが 44%以上（CTL が 0 パルス）の時、デューティ I/O フラグは 1 になります。

PB-CTL 信号のデューティが 43%以下（CTL が 1 パルス）の時、デューティ I/O フラグは 0 になります。

ASM マーク検出モード時：

デューティ判別による検出結果を示すフラグとなります。

PB-CTL 信号のデューティが 66%以上の時（ASM マーク検出時）、デューティ I/O フラグは 0 になります。

PB-CTL 信号のデューティが 65%以下の時（ASM マーク未検出時）、デューティ I/O フラグは 1 になります。

VISS 記録、VISS 再書き込みの各モード時：

VISS コントロール回路からの制御信号により動作し、INDEX コードを書き込むためにライトコントロール回路を制御します。書き込みのタイミングは、REC-CTL デューティレジスタ（RCDR1～

RCDR5) により設定します。VISS 記録の場合は REF30X を基準に RCDR1 ~ RCDR5 により設定します。VISS 再書き込みの場合は既に記録されている CTL の立ち上がりを基準に RCDR2 ~ RCDR5 により設定され、台形波回路を経て書き込みます。

RCDR2 には 1 パルス (Short) のデューティ、RCDR3 には 1 パルス (Long) のデューティ、RCDR4 には 0 パルス (Short) のデューティ、RCDR5 には 0 パルス (Long) のデューティの時間値を設定してください。

INDEX コード書き込み中にデューティ I/O フラグをリードすると、書き込み中のビットを読み出すことができます。

書き込み中の CTL が 0 パルスの時、デューティ I/O フラグから 1 が読み出されます。

書き込み中の CTL が 1 パルスの時、デューティ I/O フラグから 0 が読み出されます。

VASS 記録、VASS 再書き込みの各モード時：

ICTL パルスごとの書き込み制御となります。書き込みのタイミングは、REC-CTL デューティレジスタ (RCDR1 ~ RCDR5) により設定します。VASS 記録の場合は、REF30X を基準に RCDR1 ~ RCDR5 により設定します。VASS 再書き込みの場合は、既に記録されている CTL の立ち上がりを基準に RCDR2 ~ RCDR5 により設定され、台形波回路を通して書き込みます。

RCDR2 には 1 パルス (Short) のデューティ、RCDR3 には 1 パルス (Long) のデューティ、RCDR4 には 0 パルス (Short) のデューティ、RCDR5 には 0 パルス (Long) のデューティの時間値を設定してください。

デューティ I/O フラグに 0 をライトすると、直後の REF30X を基準に RCDR2、RCDR3 に設定したデューティで CTL パルスを書き込みます。

デューティ I/O フラグに 1 をライトすると、直後の REF30X を基準に RCDR4、RCDR5 に設定したデューティで CTL パルスを書き込みます。

ASM 記録モード時：

ICTL パルスごとの書き込み制御となります。書き込みのタイミングは REC-CTL デューティレジスタ (RCDR1、RCDR3) により設定します。

デューティ I/O フラグに 0 をライトすると、直後の REF30X を基準に RCDR3 に設定した 67 ~ 70% のデューティで CTL パルスを書き込みます。

(9) ビットパターンレジスタ (BTPR)

ビット：	7	6	5	4	3	2	1	0
	LSP7	LSP6	LSP5	LSP4	LSP3	LSP2	LSP1	LSP0
初期値：	1	1	1	1	1	1	1	1
R/W：	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* ビットパターン検出時はライトできません。

ビットパターンレジスタ (BTPR) は、CTL パルスのビットパターン検出、および記録を行う 8 ビットのシフトレジスタです。PB および ASM モード時に CTL パルスを検出すると、PB-CTL の立ち上がりでレジスタを左シフトし Long/Short 判定結果をビット 0 に反映させます (Long パルス : 1、Short パルス : 0)。

PB モード時に BPON ビットを 1 にすると直後の CTL パルスからビットパターン検出を開始します。ビットパターン検出を終了する場合は BPON ビットを 0 にしてください。

ビットパターン検出中に BPS ビットに 1 をライトすると、8 ビットのビットパターンを検出時に、BPF ビットが 1 にセットされます。連続して 8 ビット検出を行う場合は BPF ビットを 0 ライトした

後、BPS ビットに 1 をライトしてください。

VISS 検出時は、ビットパターン検出ができません。VISS 検出時には、BPON ビットを 0 にしてください。

REC モード時は、BTPR に設定したビットパターンで Long/Short の記録を行います。記録時のパルスは常に BTPR のビット 7 (LSP7) により決定されます。BTPR は 1 パルス記録後、左シフトレビット 7 のデータをビット 0 に格納します。

リセット、スタンバイ、モジュールストップおよび CTL ストップ時に H'FF に初期化されます。

28.13.6 動作説明

(a) CTL 回路の動作

CTL 判別/記録回路は、図 28.49 に示すように 16 ビットのアップ/ダウンカウンタ、および 12 ビットレジスタ (×5) から構成されています。

16 ビットのアップ/ダウンカウンタは、再生 (PB) 時 PB-CTL 信号が High レベルの時 $s/4$ のクロックでアップカウントし、Low レベルの時 $s/5$ のクロックでダウンカウントします。記録 (REC) 時およびスローモード時は $s/4$ のクロックでアップカウントします。ASM モード時は、PB-CTL 信号が H レベルの時、 $s/8$ のクロックでアップカウントし、L レベルの時 $s/4$ のクロックでダウンカウントします。

記録 (REC) 時およびスローモード時は常にアップカウントします。

各カウンタのクリアは、再生 (PB) 時およびスローモード時は PB-CTL 信号の立ち上がり、記録 (REC) 時は REF30X 信号の立ち上がりで行われます。

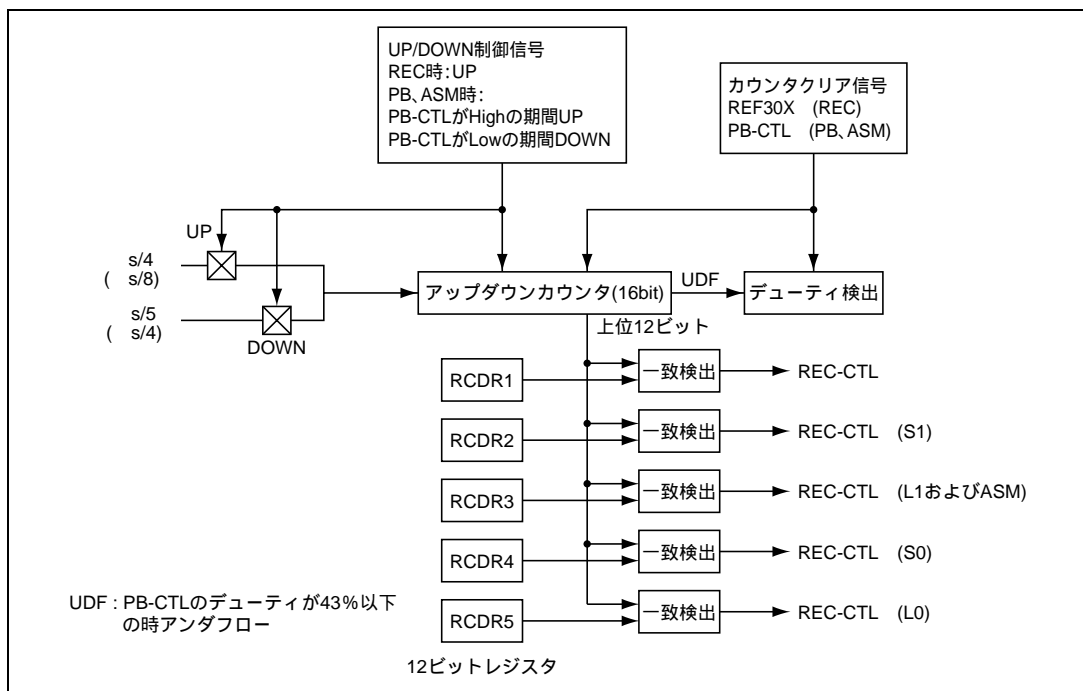


図 28.49 CTL 判別/記録回路

(b) CTL モードレジスタ (CTLM) の切り替わりタイミング

CTLM は、レジスタにデータを書き込んだ直後から有効になります。動作状態の変更には注意が必要です。

キャプスタン位相制御は、ASM モード時は VD 信号同期の REF30X (X 値 + トラッキング値) と PB-CTL、REC モード時は REF30X または CREF と CFG 分周信号 (DVCFG2) との位相制御になります。また、キャプスタン位相制御に用いる CAPREF30 信号を常に XDR で生成する場合、PB、REC の切り替え時に XDR の値を書き替える必要があります。図 28.50、図 28.51 に CTLM および XDR 切り替えタイミング例を示します。

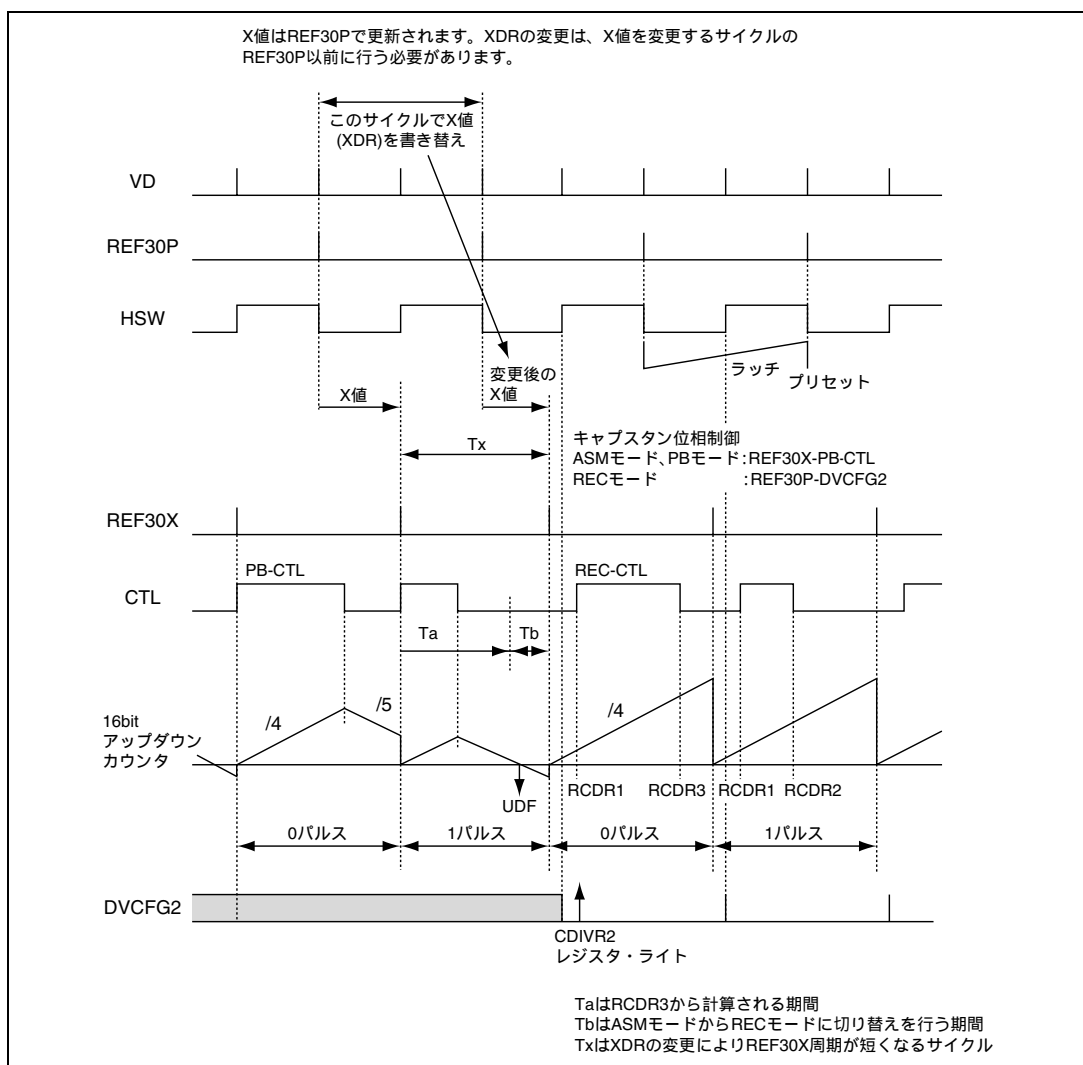


図 28.50 CTLM 切り替えタイミング例
(REC 時、REF30P と DVCFG2 で位相制御する場合)

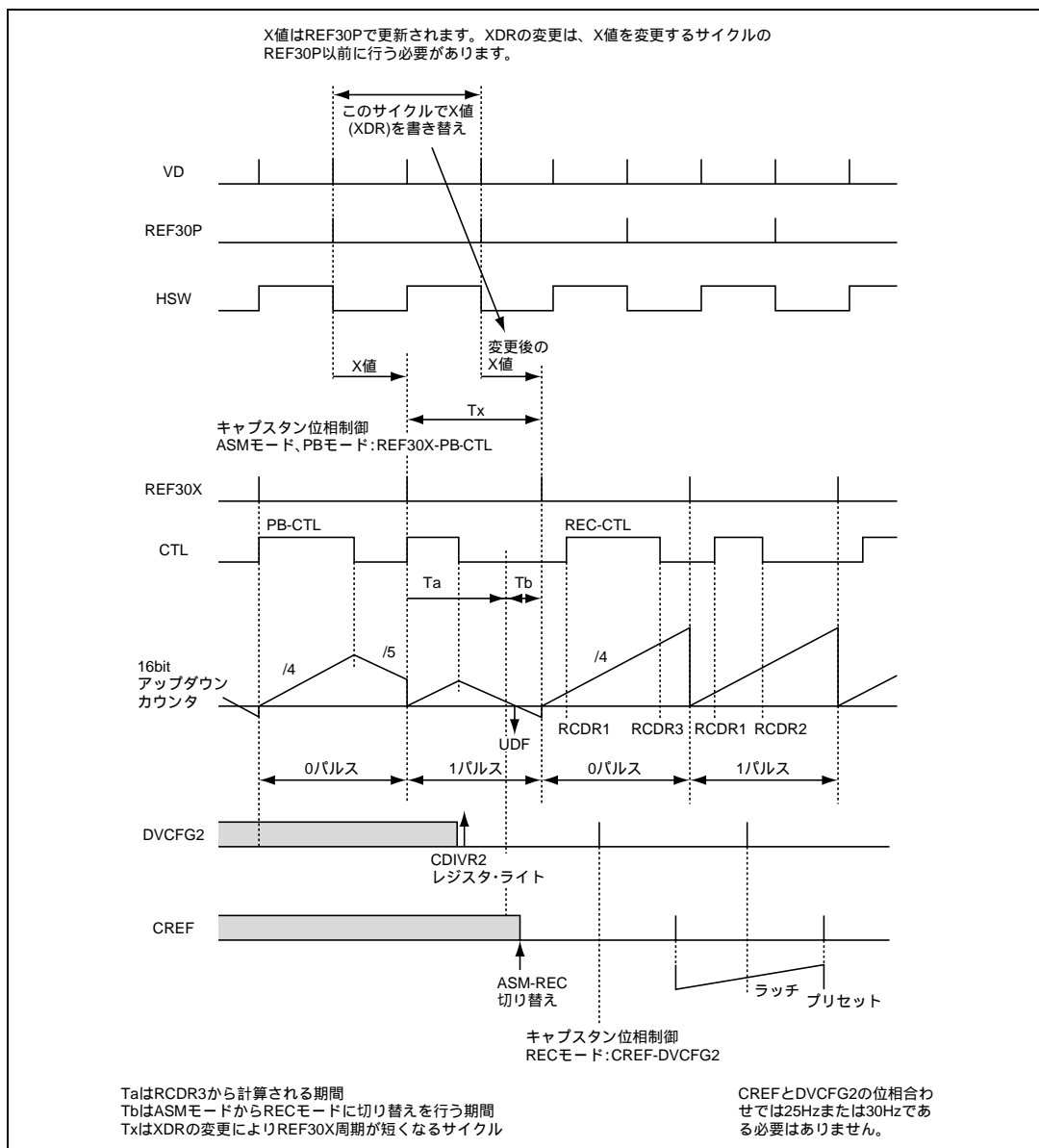


図 28.51 CTLM 切り替えタイミング例
(REC 時、CREF と DVCFG2 で位相制御する場合)

28.13.7 CTL 入力部

CTL 入力部には、レジスタ設定によりゲインコントロール可能な入力アンプおよびシュミットアンプで構成されています。図 28.52 に CTL 入力回路を示します。

CTL ヘッドより微少な CTL パルス信号を取り込み、入力アンプで増幅します。シュミットアンプで波形成形した後 PB-CTL 信号としてサーボ、タイマ L に供給します。CTL 入力アンプのゲインコントロールは、サーボポートの CTL ゲインコントロールレジスタ (CTLGR) のビット 3~0 により行ってください。

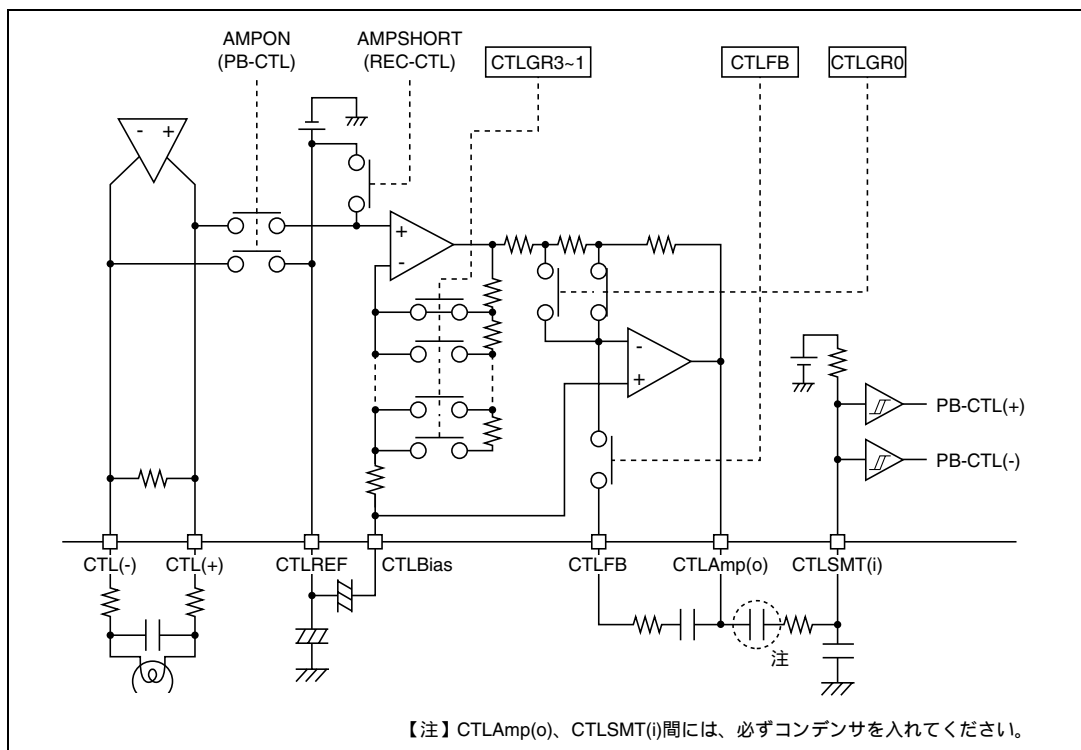


図 28.52 CTL 入力回路

(1) CTL 検出回路

CTL 検出回路は、一定期間に CTL パルスを検出できなかった場合、CTL 未検出として CTL コントロールレジスタ (CTCR) のビット 1 (UNCTL) に 1 をセットします。CTL パルスを再度検出した場合、自動的に 0 にクリアされます。検出判定期間は、最後に検出されたパルスの基準位相からのズレ (REF30 と CTL 信号との位相差) により異なり、基準期間の 3~4 周期の期間で検出/未検出を判定します。

CTL 未検出になった場合、CTL ゲインコントロールレジスタの設定値をテーブル化しておき、UNCTL ビットの状態により CTL 入力感度をコントロールすることで、記録された CTL パルスの状態により最適な CTL アンプゲインの設定が可能になります。

CTL 入力パルスのゲインコントロール概念を図 28.53 に示します。

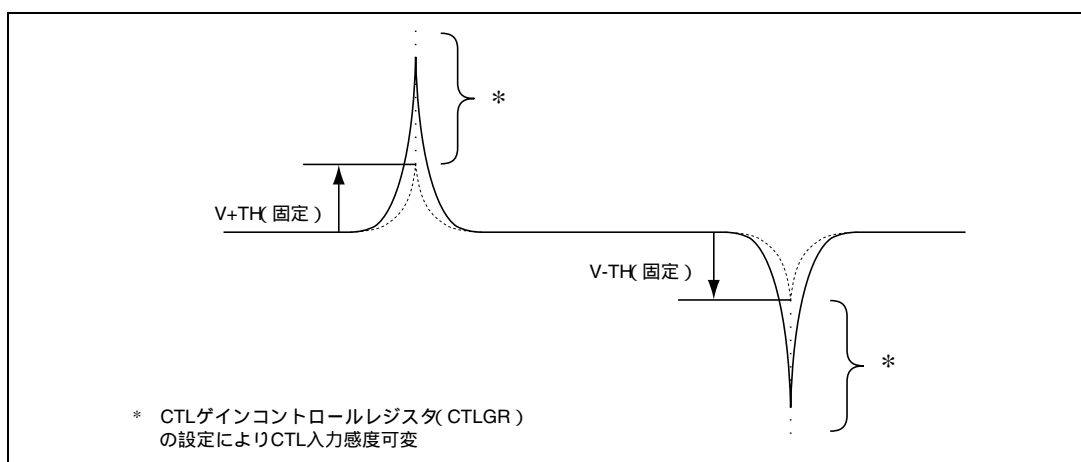


図 28.53 CTL 入力パルスのゲインコントロール概念

(2) スローモード時の PB-CTL 波形整形回路

CTL コントロールレジスタ (CTCR) のビット 0 をスローモードに設定するとスローリセット機能が動作します。スローモード時の PB-CTL は、立ち上がりエッジを検出してから一定時間までに立ち下がりエッジを検出できない場合、強制的に PB-CTL を立ち下げます (スローリセット)。

立ち下がるまでの時間 T_{FS} (s) は内部 CTL 信号の立ち上がりエッジを検出してから

$T_{FS} = 16384 \times 4 / s$ ($s = fosc/2$) の期間となります。

$fosc = 10\text{MHz}$ の場合 $T_{FS} = 13.1\text{ms}$ となります。

図 28.54 にスローモード時の PB-CTL 波形を示します。

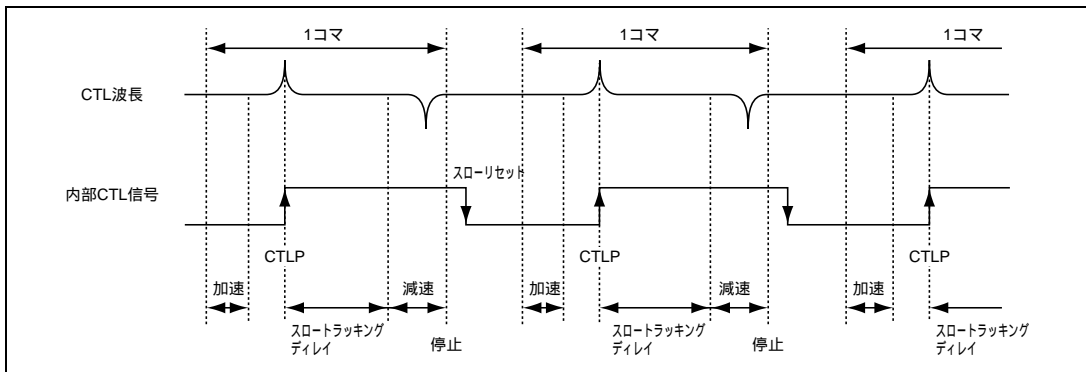


図 28.54 スローモード時の PB-CTL 波形

28.13.8 デューティ判別回路

デューティ判別回路は、テープに記録されたコントロール信号 (PB-CTL 信号) の周期を測定し、デューティを判別します。VISS/VASS 検出時のデューティを判別結果により、デューティ I/O フラグがセットまたはリセットされます。デューティ I/O フラグは、PB-CTL 信号のデューティが 44% 以上のとき 1 に、43% 以下のとき 0 になります。

ASM 検出時は、66% 以上のとき ASM マーク検出 (デューティ I/O フラグが 0 になる)、65% 以下のとき未検出 (デューティ I/O フラグが 1 になる) として判定します。

検出方向は、CTL モードレジスタのビット 5 (FW/RV ビット) により、正転/反転を切り替えることができます。

REC-CTL デューティデータレジスタ (RCDR2 ~ RCDR5) とアップ/ダウンカウンタの比較により Long/Short パルスの検出が可能です。L/S 判別は PB-CTL 信号の立ち下がりで行われます。判別結果はビットパターンレジスタ (BTPR) の 0 ビット (LSP0) に格納され、同時に BTPR を左シフトします。LSP0 は Short パルス検出のとき 0、Long パルス検出のとき 1 になります。

RCDR2 ~ RCDR5 には Long/Short パルスのしきい値を設定してください (「(4) Long/Short パルス検出」参照)。

図 28.55 に PB-CTL 信号のデューティを示します。

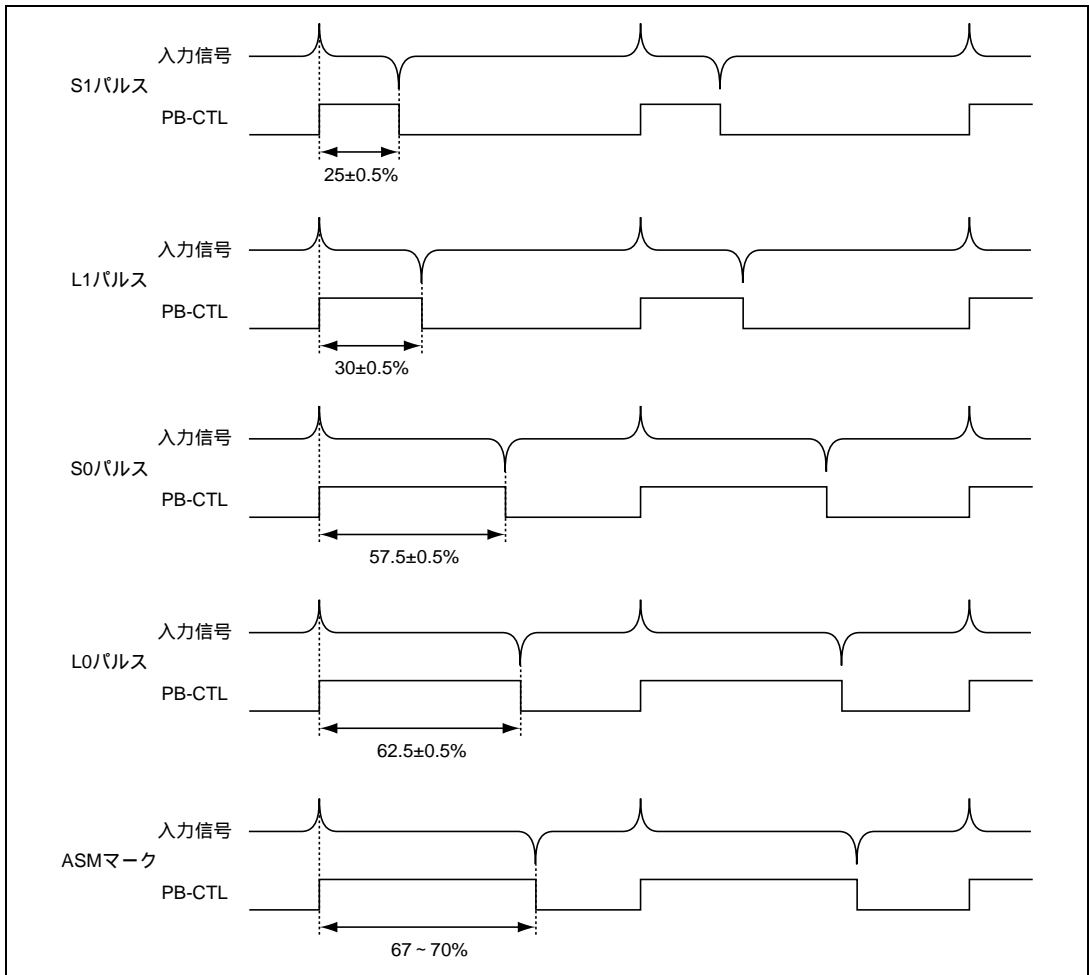


図 28.55 PB-CTL 信号のデューティ

図 28.56 にデューティ判別回路を示します。16 ビットのアップ/ダウンカウンタをアップカウント時 $s/4$ 、ダウンカウント時 $s/5$ でカウントすることにより 44% のデューティを判別します。PB-CTL 信号が High レベルの時アップカウント、Low レベルの時ダウンカウントを行います。また、RCDR2 ~ 5 との比較により L/S 判定を行います。

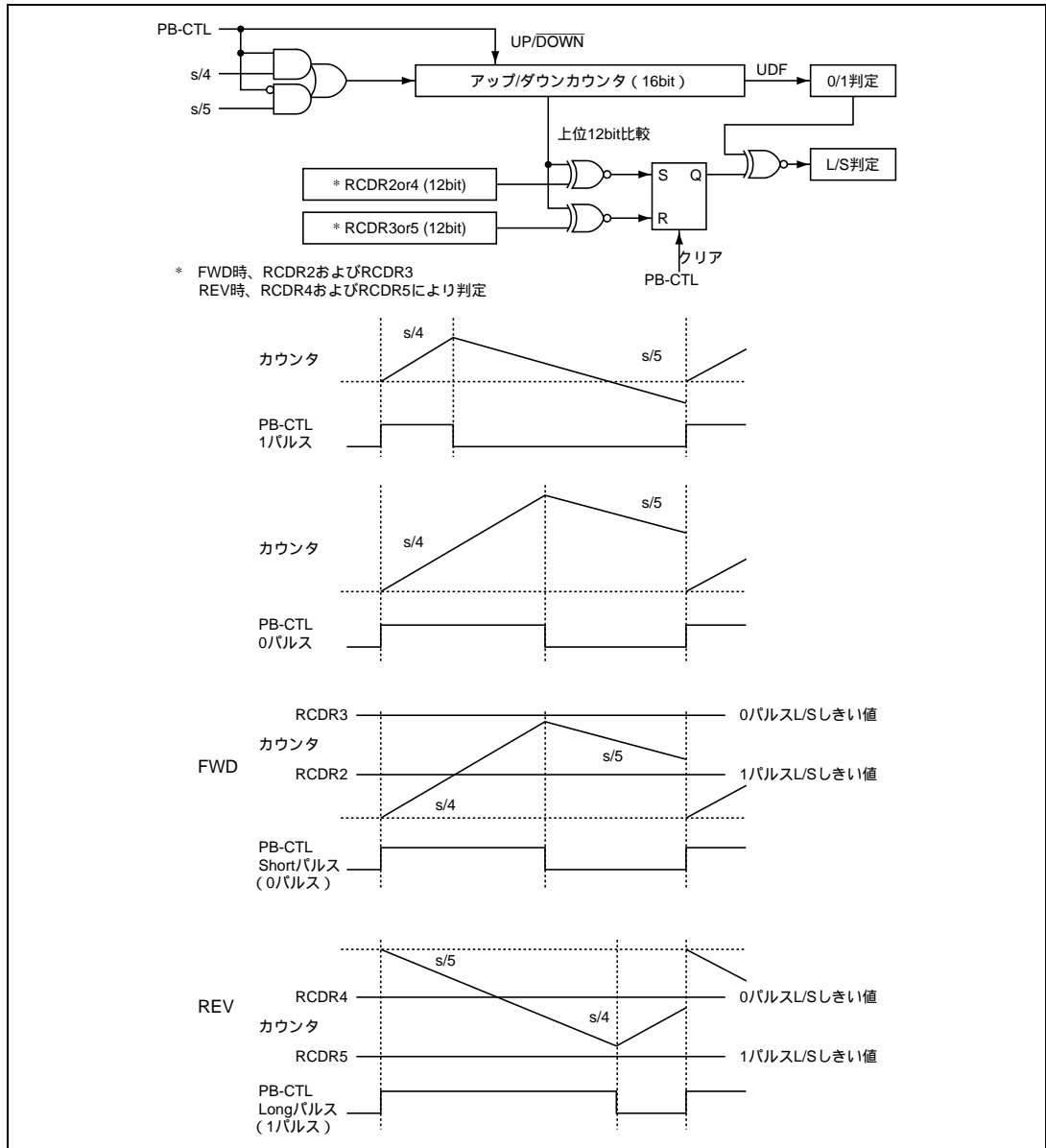


図 28.56 デューティ判別回路

(1) VISS (INDEX) 検出/記録モード

VISS 検出は、VISS コントロール回路により行います。VISS コントロール回路は、PB-CTL 信号の 1 パルスをカウントします。パルスカウントが VISS 割り込み設定ビット (デューティ I/O レジスタのビット 5、6、7) で設定した値を検出すると割り込み要求を発生し、デューティ I/O フラグに 0 を送ります。

VISS 記録および VISS 再書き込み時は、INDEX コードを自動的に書き込みます。INDEX コードは、両端の 0 パルスと連続する 62 ビットの 1 データで構成されています。

VISS 検出/記録時のビット列とデューティ I/O フラグを図 28.57 に示します。

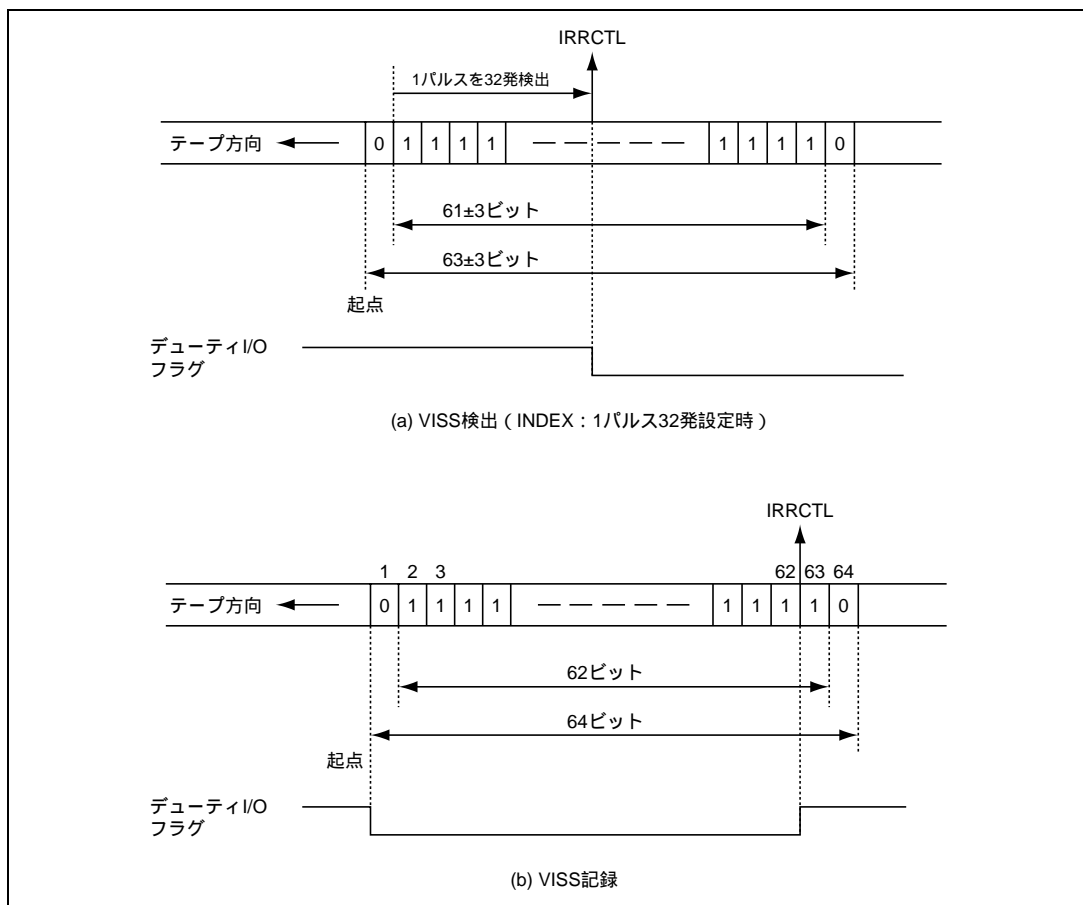


図 28.57 VISS ビット列とデューティ I/O フラグ

(2) VASS 検出モード

VASS 検出は、デューティ判別回路により行います。1CTL パルスごとに、ソフトウェアでデューティ I/O フラグをリードすることにより、INDEX の検出が可能です。

デューティ判別回路は、1CTL パルスごとに、デューティ判別結果をデューティ I/O フラグに送ると同時に、割り込み要求を発生します。CTL パルスが 1 (デューティ 43%以下) のとき、デューティ I/O フラグは 0 に、CTL パルスが 0 (デューティ 44%以上) のとき、デューティ I/O フラグは 1 になります。

デューティ I/O フラグは、1CTL パルスごとに変化します。割り込み処理により、PB-CTL 信号の周期内にリードしてください。VASS 検出のフォーマットを図 28.58 に示します。

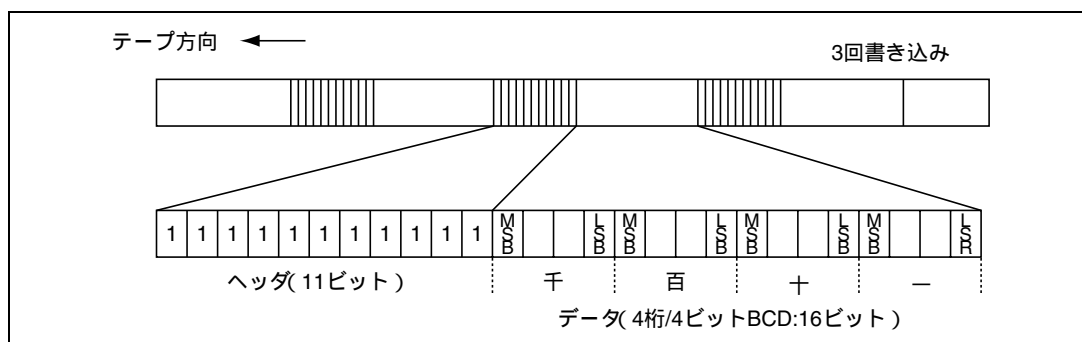


図 28.58 VASS (INDEX) のフォーマット

(3) アセンブル (ASM) マーク検出モード

ASM マーク検出は、デューティ判別回路により行います。PB-CTL のデューティが 66%以上であることを検出すると、割り込み要求を発生すると同時にデューティ I/O フラグが 0 になります。

デューティ I/O フラグは、1CTL パルスごとに変化します。割り込み処理により PB-CTL 信号の周期内にリードしてください。

(4) Long/Short パルス検出

Long/Short パルス検出は、PB モード時に REC-CTL デューティレジスタ (RCDR2~5) とアップ/ダウンカウンタの比較およびデューティ I/O フラグの結果により L/S 判定します。判定結果は PB-CTL の立ち上がりでビットパターンレジスタ (BTPR) のビット 0 (LSP0) に格納され、同時に BTPR を左シフトします。

RCDR2~5 には FWD/REV それぞれの L/S のしきい値を設定します。RCDR2 には FWD 時の 1 パルス L/S のしきい値、RCDR3 には FWD 時の 0 パルス L/S のしきい値、RCDR4 には REV 時の 0 パルス L/S のしきい値、RCDR5 には REV 時の 1 パルス L/S のしきい値を設定してください。図 28.59 に Long/Short パルス検出を示します。

また、BTPR により 8 ビットのビットパターン検出が可能です。デューティ I/O レジスタのビット 1 (BPF ビット) で 8 ビット検出を確認した後、BTPR をリードしてください。

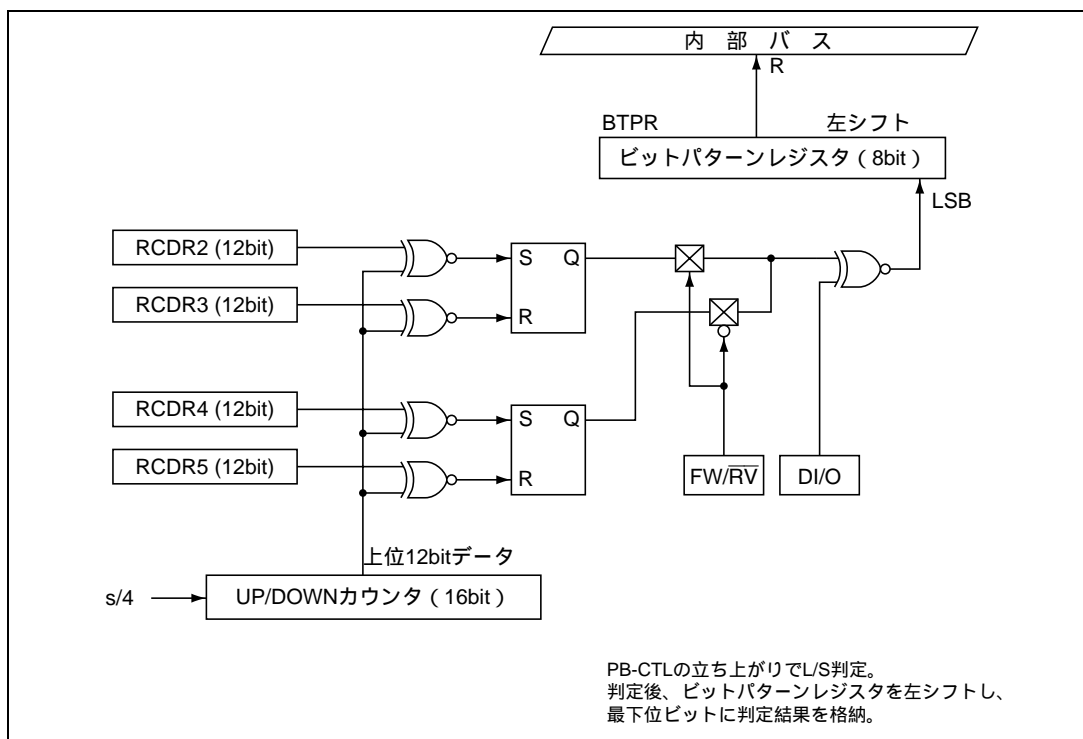


図 28.59 Long/Short パルス検出

28.13.9 CTL 出力部

ライトコントロール回路で生成された REC-CTL 信号をテープに書き込むための CTL ヘッドアンプが内蔵されています。

ライトコントロール回路は、VISS、VASS、ASM マークの書き込みおよび VISS、VASS の再書き込み時に、REC-CTL 信号のデューティを制御します。REC-CTL 信号のデューティは REC-CTL デューティレジスタ 1~5 (RCDR1~RCDR5) により設定します。 $t_s (= fosc/2)$ から時間を決め、換算値を RCDR に設定してください。VISS、VASS モードのときは RCDR2 に $25 \pm 0.5\%$ 、RCDR3 に $30 \pm 0.5\%$ 、RCDR4 に $57.5 \pm 0.5\%$ 、RCDR5 に $62.5 \pm 0.5\%$ のデューティを設定してください。デューティ I/O フラグに 1 がライトされていると、ビットパターンレジスタ (BTPR) のビット 7 (LSP7) が 0 のとき $25 \pm 0.5\%$ 、LSP7 が 1 のとき $30 \pm 0.5\%$ のデューティで REC-CTL 信号をテープに書き込みます。表 28.21 に REC-CTL デューティレジスタと CTL 出力の関係を示します。

ASM マーク書き込みモードのときは、RCDR3 に 67~70% のデューティを設定してください。デューティ I/O フラグに 0 をライトすると、ASM マークを書き込みます。

1CTL 書き込み後の基準信号の立ち上がりで、割り込み要求を発生します。書き込みに用いる基準信号は、X 値補正回路の出力信号 (REF30X) による、1 フレーム周期の信号です。REC-CTL 信号の生成タイミング図 28.60 に示します。

表 28.21 REC-CTL デューティレジスタと CTL 出力

MODE	D/IO	LSP7	パルス	RCDR	デューティ
VISS、VASS モード	0	0	S1	RCDR2	$25 \pm 0.5\%$
		1	L1	RCDR3	$30 \pm 0.5\%$
	1	0	S0	RCDR4	$57.5 \pm 0.5\%$
		1	L0	RCDR5	$62.5 \pm 0.5\%$
ASM モード	0	*	-	RCDR3	67~70%

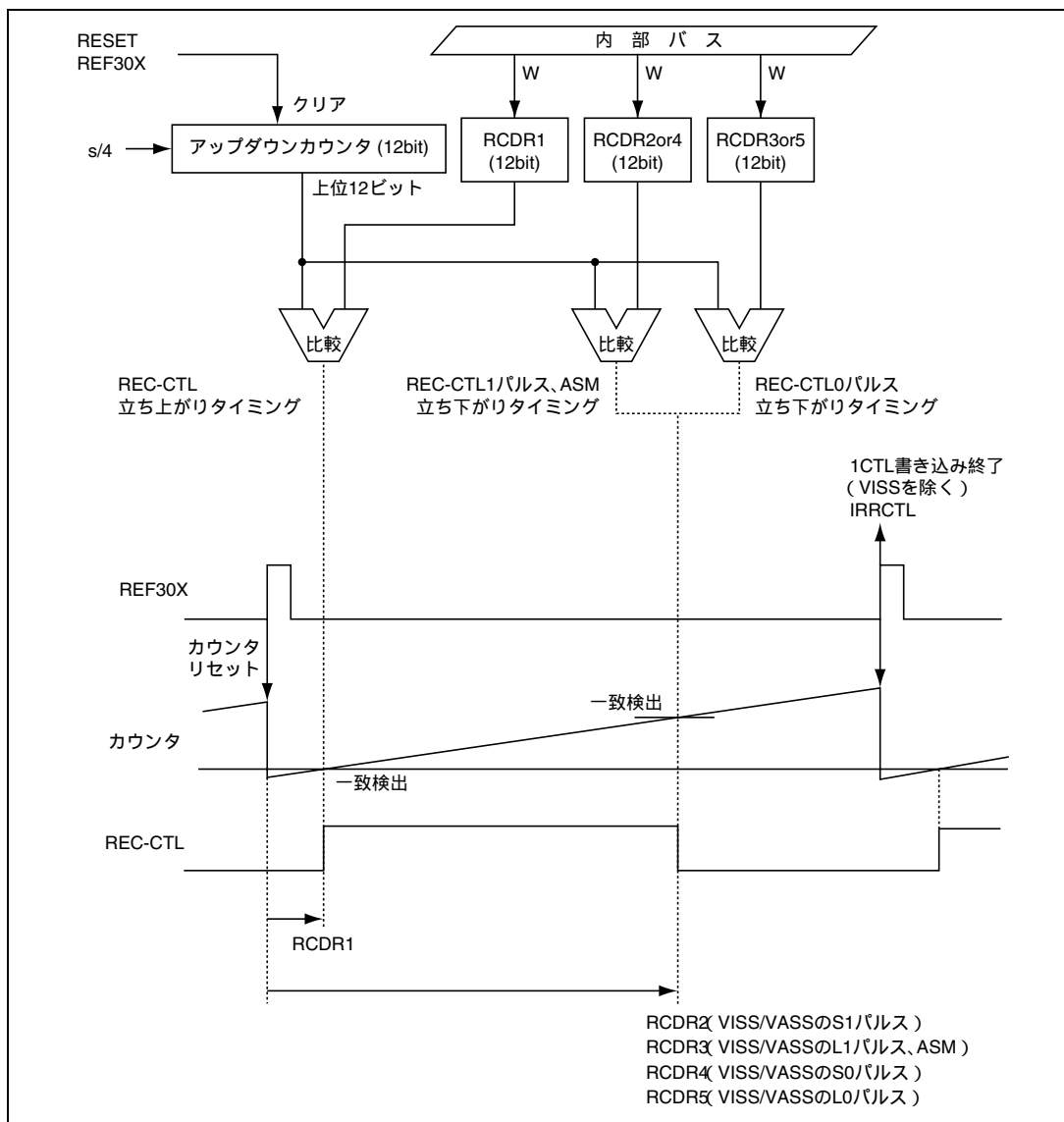


図 28.60 REC-CTL 信号生成タイミング

REC-CTL 回路の 16 ビットカウンタは、サーボクロック $s (= f_{osc}/2)$ の 4 分周のクロックでカウントを続けます。カウンタのクリアは、記録時は REF30X の立ち上がり、再書き込み時は PB-CTL の立ち上がりで行われます。REC-CTL の一致検出は、カウンタの値と RCDR の値を比較することにより行われます。

RCDR1 ~ 5 は、ソフトウェアから常に書き込み可能です。各一致検出が行われる以前に RCDR を変更すると、変更後の値で一致検出が行われます。一致検出後に変更された値は、変更後の REF30X の立ち上がりタイミングから有効になります。RCDR の変更タイミング例を図 28.61 に示します。

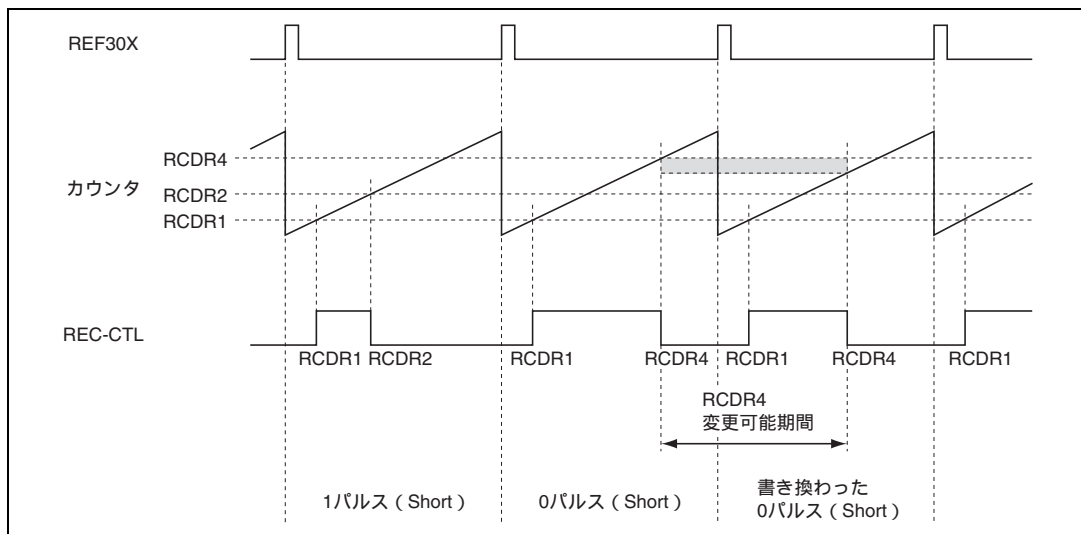


図 28.61 RCDR の変更タイミング例 (RCDR4)

28.13.10 台形波回路

台形波回路は、再書き込み時に既に記録されている PB-CTL の立ち上がりエッジを残したままデューティのみを書き換える回路です。

再書き込み時は、PB-CTL の立ち上がりを基準に CTL パルスを書き込みます。再書き込みの CTL デューティは、REC-CTL デューティレジスタ (RCDR2 ~ RCDR5) により設定できます。このときの時間値 $T_2 \sim T_5$ は、PB-CTL の立ち上がりからの値です。

再書き込みの波形を図 28.62 に示します。

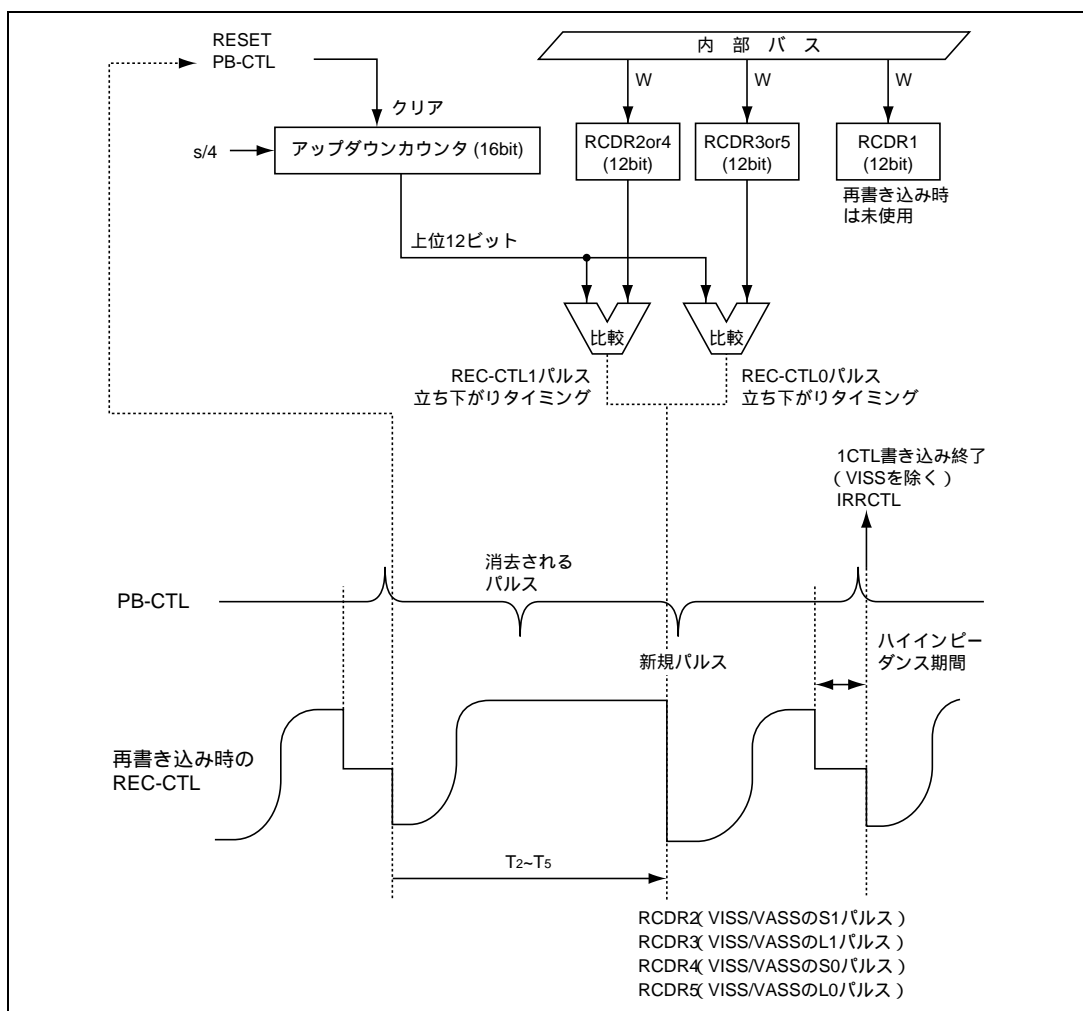


図 28.62 再書き込み時の REC-CTL と RCDR2 ~ 5 の関係

28.13.11 CTL 割り込みに関する注意事項

CTL 回路はリセット解除後 VASS 検出 (デューティ検出) モードになっています。

CTL の端子状態によっては PB-CTL の入力パルスと誤認し、割り込み要求を発生することがあります。割り込み要求を許可する場合は、CTL 割り込み要求フラグをクリアしてから行ってください。

28.14 分周回路

28.14.1 概要

本 LSI は、PB-CTL 信号 (再生時のコントロールパルス信号)、CFG 信号 (キャプスタンモータのパルス信号) を分周するための分周回路および DFG 信号 (ドラムモータのパルス信号) のノイズ除去回路を内蔵しています。CTL 分周回路は PB-CTL 信号から倍速サーチ時のキャプスタン位相制御などに用いる CTL 分周信号 (DVCTL) を生成します。CFG 分周回路はキャプスタンモータの速度制御、位相制御に用いる DVCFG 信号、DVCFG2 信号の 2 つの信号を生成します。DFG ノイズ除去回路は 2 以下の信号をノイズとみなしマスクする回路です。

28.14.2 CTL 分周回路

(1) ブロック図

CTL 分周回路のブロック図を図 28.63 に示します。

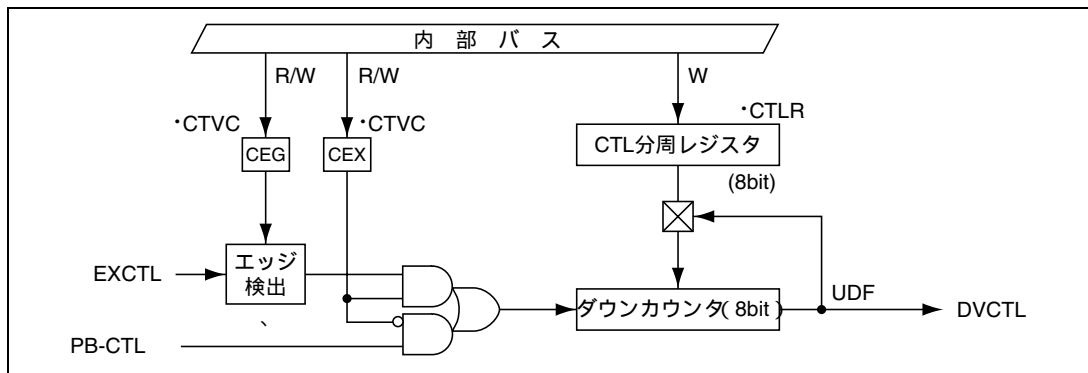


図 28.63 CTL 分周回路

(2) レジスタ説明

• レジスタ構成

CTL 分周回路のレジスタ構成を表 28.22 に示します。

表 28.22 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
DVCTL コントロールレジスタ	CTVC	R/W	バイト	不定	H'FD098
CTL 分周レジスタ	CTLR	W	バイト	H'00	H'FD099

28. サーチ回路

• DVCTL コントロールレジスタ (CTVC)

ビット:	7	6	5	4	3	2	1	0
	CEX	CEG				CFG	HSW	CTL
初期値:	0	0	1	1	1	*	*	*
R/W :	W	W				R	R	R

【注】 * : 不定

DVCTL コントロールレジスタ (CTVC) は外部入力信号選択ビットと、CFG、HSW、CTL のレベルを示すフラグからなるレジスタです。リセット、スタンバイ時に不定値となります。

ビット 7 : DVCTL 信号生成選択ビット (CEX)

DVCTL 信号生成に PB-CTL 信号を用いるか、外部入力信号を用いるかを選択します。

ビット 7	説明
CEX	
0	PB-CTL 信号により生成 (初期値)
1	外部入力信号により生成

ビット 6 : 外部同期信号エッジ選択ビット (CEG)

外部信号生成選択時に、分周する外部信号のエッジを選択します。

ビット 6	説明
CEG	
0	立ち上がりエッジ (初期値)
1	立ち下がりエッジ

ビット 5~3 : リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 2 : CFG フラグ (CFG)

CFG のレベルを示します。

ビット 2	説明
CFG	
0	CFG は Low レベルです (初期値)
1	CFG は High レベルです

ビット1：HSW フラグ (HSW)

HSW モードレジスタ 2 (HSM2) の VFF/NFF ビットで選択された HSW 信号のレベルを示します。

ビット1	説 明	
HSW		
0	HSW は Low レベルです	(初期値)
1	HSW は High レベルです	

ビット0：CTL フラグ (CTL)

CTL のレベルを示します。

ビット0	説 明	
CTL		
0	REC または PB-CTL は Low レベルです	(初期値)
1	REC または PB-CTL は High レベルです	

- CTL 分周レジスタ (CTLR)

ビット：	7	6	5	4	3	2	1	0
	CTL7	CTL6	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

CTL 分周レジスタ (CTLR) は、PB-CTL の分周値 (N 分周の時 N-1) を設定するための、8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。

PB-CTL は、立ち上がりエッジで、N 分周されます。レジスタが 0 の時は分周動作は行わず、PB-CTL と同じ周期の DVCTL 信号が出力されます。リセット、スタンバイ時に H'00 に初期化されます。

(3) 動作説明

再生時に、テープ上に記録されたコントロールパルス信号は、コントロールヘッドにより再生され、CTL 端子に入力されます。コントロールパルス信号は、シュミットアンプで増幅、波形整形された後、PB-CTL 信号として CTL 分周回路に入力されます。

この回路は、コントロールパルス信号 (PB-CTL 信号) により、キャプスタンモータの位相制御をする場合に用います。分周された信号は、DVCTL 信号としてサーボ回路のキャプスタン位相系および、タイマ R に送られます。

CTL 分周回路は、8 ビットリロードタイマとなっており、リロードレジスタとダウンカウンタで構成されています。分周動作は、CTL 分周データレジスタ (CTLR) のビット 7~0 に分周値を設定することにより行います。分周値はリロードレジスタへの書き込みと同時に、ダウンカウンタにも書き込まれます。ダウンカウンタは PB-CTL 信号の立ち上がりで分周します。

PB-CTL 信号と分周波形 (DVCTL) を図 28.64 に示します。

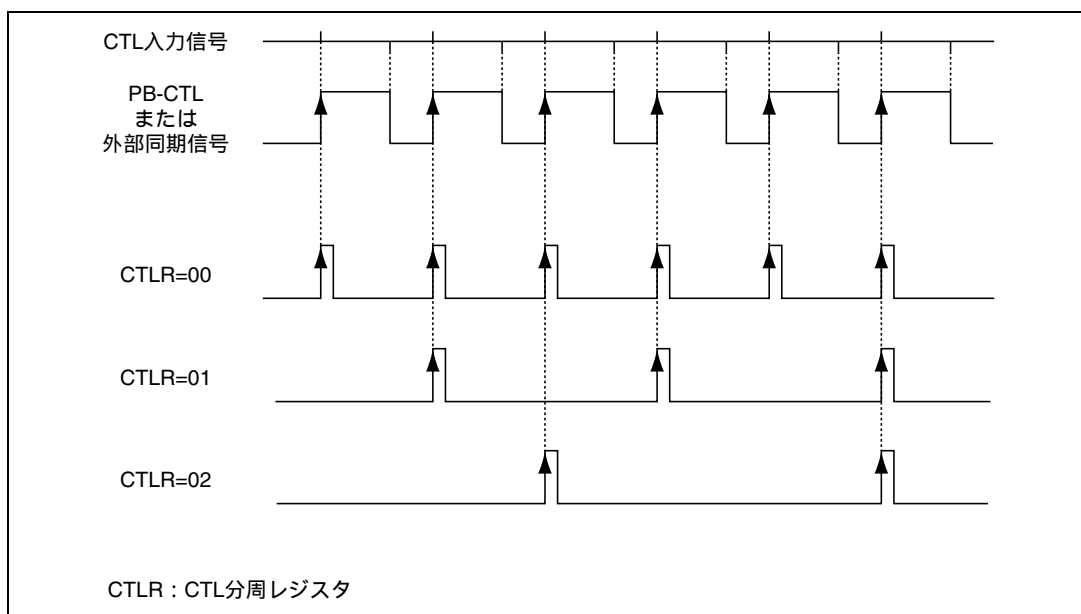


図 28.64 CTL 分周波形

28. サーボ回路

(2) レジスタ説明

- レジスタ構成

CFG 分周回路のレジスタ構成を表 28.23 に示します。

表 28.23 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
DVCFG コントロールレジスタ	CDVC	R/W	バイト	H'60	H'FD09A
CFG 分周レジスタ 1	CDIVR1	W	バイト	H'80	H'FD09B
CFG 分周レジスタ 2	CDIVR2	W	バイト	H'80	H'FD09C
DVCFG マスク期間レジスタ	CTMR	W	バイト	H'FF	H'FD09D

- DVCFG コントロールレジスタ (CDVC)

ビット:	7	6	5	4	3	2	1	0
	MCGin		CMK	CMN	DVTRG	CRF	CPS1	CPS0
初期値:	0	1	1	0	0	0	0	0
R/W :	R/W*		R	W	W	W	W	W

【注】* 0 ライトのみ有効です。

キャプスタン分周回路を制御する 6 ビットのレジスタです。

リセット、スタンバイおよびモジュールストップ時に H'60 に初期化されます。

ビット 7: マスク CFG フラグ (MCGin)

マスクタイマがマスク期間中に分周信号が発生したことを示すフラグです。クリアは 0 ライトにより行います。ソフトウェアでは 1 リードを行った後、0 ライトの操作を行ってください。また、セット優先のフラグとなっており、MCGin フラグのセット条件と 0 ライトが同時に起きた場合、0 ライトは無効になります。

ビット 7	説 明	
MCGin		
0	CFG 正常動作	(初期値)
1	マスク中に DVCFG が検出されたことを示します。(暴走検出)	

ビット 6: リザーブビット

リードすると 1 が読み出されます。ライトは無効です。

ビット 5 : CFG マスク状態ビット (CMK)

マスクの状態を示すフラグです。リセット、スタンバイ、およびモジュールストップ時には初期化され、1 になります。

ビット 5	説 明
CMK	
0	キャプスタンマスクタイマがマスクを解除していることを示します
1	キャプスタンマスクタイマがマスク中であることを示します (初期値)

ビット 4 : CFG マスク選択ビット (CMN)

マスク機能の ON/OFF を選択するビットです。

ビット 4	説 明
CMN	
0	キャプスタンマスクタイマ機能 ON (初期値)
1	キャプスタンマスクタイマ機能 OFF

ビット 3 : PB (ASM) REC 遷移タイミング同期 ON/OFF 選択ビット (DVTRG)

DVCFG2 信号生成時、PB (ASM) REC 遷移タイミング同期の ON/OFF を選択するビットです。

ビット 3	説 明
DVTRG	
0	PB (ASM) REC 遷移タイミング同期 ON (初期値)
1	PB (ASM) REC 遷移タイミング同期 OFF

ビット 2 : CFG 分周エッジ選択ビット (CRF)

分周する CFG 信号のエッジを選択するビットです。

ビット 2	説 明
CRF	
0	CFG の立ち上がりエッジによる分周動作を行います (初期値)
1	CFG の両エッジによる分周動作を行います

ビット 1、0 : CFG マスクタイマクロック選択ビット (CPS1、CPS0)

CFG マスクタイマのクロックソースを選択するビットです。($s = f_{osc}/2$)

ビット 1	ビット 0	説 明
CPS1	CPS0	
0	0	s/1024 (初期値)
	1	s/512
1	0	s/256
	1	s/128

• CFG 分周レジスタ 1 (CDIVR1)

ビット :	7	6	5	4	3	2	1	0
		CDV16	CDV15	CDV14	CDV13	CDV12	CDV11	CDV10
初期値 :	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	W	W

CFG 分周レジスタ 1 (CDIVR1) は、CFG の分周値 (N 分周の時 N-1) を設定するための、8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。ビット 7 はリザーブビットです。

分周値はリロードレジスタへの書き込みと同時に、ダウンカウンタにも書き込まれます。

CFG は立ち上がりまたは両エッジにより N 分周されます。レジスタの値が 0 のときは分周動作は行わず、DVCFG 信号と CFG の入力周期と同じ信号が出力されます。DVCFG 信号は、キャプスタン速度誤差検出回路に送られます。

リセット、スタンバイ時にキャプスタン分周レジスタ、ダウンカウンタともに、H'80 に初期化されます。

• CFG 分周レジスタ 2 (CDIVR2)

ビット :	7	6	5	4	3	2	1	0
		CDV26	CDV25	CDV24	CDV23	CDV22	CDV21	CDV20
初期値 :	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	W	W

CFG 分周レジスタ 2 (CDIVR2) は、CFG の分周値 (N 分周の時 N-1) を設定するための、8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。ビット 7 はリザーブビットです。

分周値はリロードレジスタへの書き込みと同時に、ダウンカウンタにも書き込まれます。

CFG は立ち上がりまたは両エッジにより N 分周されます。レジスタの値が 0 のときは分周動作は行わず、DVCFG 信号と CFG の入力周期と同じ信号が出力されます。DVCFG2 信号は、キャプスタン位相誤差検出回路およびタイム L に送られます。

DVCFG2 回路には、マスクタイマ機能はありません。

DVCFG2 信号用分周カウンタは、CDIVR2 にデータをライトした時点から分周動作を開始します。位相合せなど同期化が必要な場合は、CDIVR2 へのライトにより行ってください。また、CDVC レジスタの DVTRG ビットが 0 の時、PB (ASM) から REC に切り替えタイミングに同期します。

リセット、スタンバイおよびモジュールストップ時にキャプスタン分周レジスタ、ダウンカウンタともに、H'80 に初期化されます。

- DVCFG マスク期間レジスタ (CTMR)

ビット:	7	6	5	4	3	2	1	0
			CPM5	CPM4	CPM3	CPM2	CPM1	CPM0
初期値:	1	1	1	1	1	1	1	1
R/W:			W	W	W	W	W	W

DVCFG マスク期間レジスタ (CTMR) は、8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。CTMR はマスクタイマ(ダウンカウンタ)のリロードレジスタとなっており、CFG のマスク期間を設定してください。マスク期間は CDVC のビット 1、0 で指定されたクロックと設定値 (N-1) により決まります。CTMR をライトするとマスクタイマにも同時に書き込まれます。

リセット、スタンバイおよびモジュールストップ時に H'FF に初期化されます。

マスク期間 = N × クロック周期

(3) 動作説明

- 分周回路

キャプスタンモータから出力される CFG パルスは、ゼロクロスタイプコンパレータを経て CFG 信号として内部に送られます。波形整形回路により矩形波に整形された CFG 信号は、CFG 分周回路で分周されサーボの制御に使用されます。分周回路では、CFG 信号の立ち上がりエッジまたは両エッジを選択できます。

CFG 分周回路では、キャプスタン速度制御用のマスクタイマ付き 7 ビット分周回路 (DVCFG 信号生成回路) と、キャプスタン位相制御の 7 ビット分周回路 (DVCFG2 信号生成回路) から構成されています。

DVCFG 信号生成回路は 7 ビットのリロードレジスタ (CFG 分周レジスタ 1: CDIVR1)、7 ビットのダウンカウンタ、6 ビットのマスクタイマ (マスク期間設定可) で構成されています。分周動作は 7 ビットの CDIVR1 に分周値を設定することにより行います。分周値は CDIVR1 へのライトと同時にダウンカウンタにも書き込まれます。エッジを選択された CFG 信号は分周された後、マスクタイマを経て、DVCFG 信号としてキャプスタン速度誤差検出回路に送られます。

DVCFG2 信号生成回路は 7 ビットのリロードレジスタ (CFG 分周レジスタ 2: CDIVR2) と 7 ビットのダウンカウンタで構成されています。7 ビットの分周回路はマスクタイマは付属していません。分周動作は 7 ビットの CDIVR2 に分周値を設定することにより行います。分周値は CDIVR2 へのライトと同時にダウンカウンタにも書き込まれます。エッジを選択された CFG 信号は分周された後、DVCFG2 信号としてキャプスタン位相誤差検出回路とタイマ L に送られます。分周動作は分周値をライトした時点から開始します。

CDVC レジスタの DVTRG ビットが 0 の時、PB (ASM) モードから REC モードへの切り替えタイミングでリロードします。REF30 と CREF との切り替えは、キャプスタン位相誤差検出コントロールレジスタ (CPGCR) のビット 4 (CR/RF ビット) により行ってください。その他、位相制御のために同期化が必要な場合は、CDVIR2 に分周値をライトすることにより可能です。

ダウンカウンタは、DVCFG コントロールレジスタ (CDVC) の CRF ビットが 0 のとき CFG の立ち上がりエッジで、CRF ビットが 1 のとき、両エッジで分周します。

CFG 分周波形例を図 28.66 に示します。

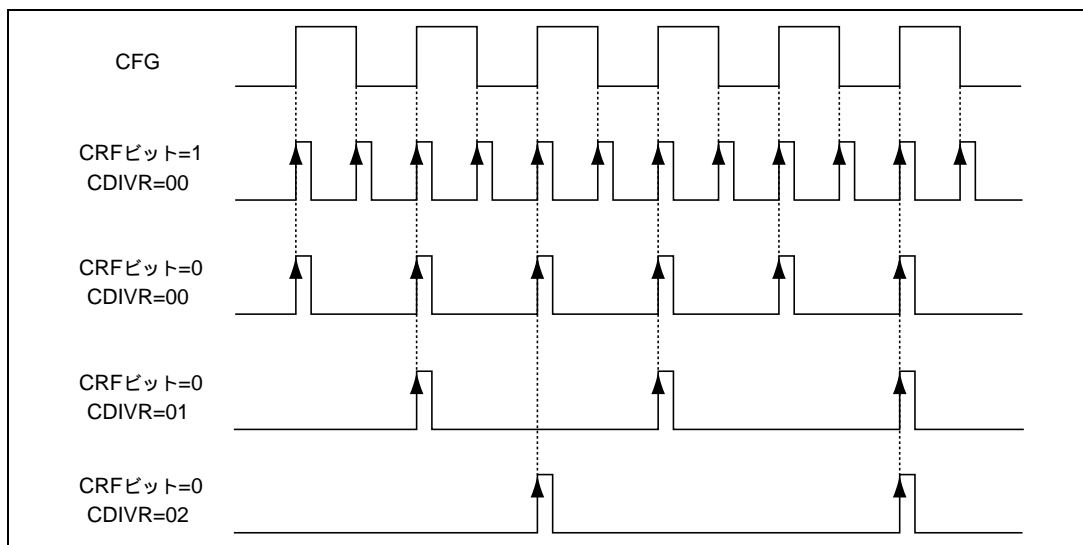


図 28.66 CFG 分周波形例

- マスクタイマ

キャプスタンマスクタイマは、分周クロックをクロックソースとする 6 ビットのリロードタイマです。

マスクタイマはキャプスタン速度制御用の DVCFG 信号をマスクします。

キャプスタンマスクタイマは、キャプスタンモータがスロー/スチルから高速サーチまで、回転速度の変化する範囲が広いために起こるモータの異常回転(暴走)により、エッジ検出が必要以上に行われないように一定時間エッジ検出をマスクするためのタイマです。

キャプスタンマスクタイマは、CFG の分周後のエッジ検出によりタイマがスタートし、タイマ動作中はエッジ検出信号をマスクします。マスク信号を図 28.67 に示します。

マスクタイマの状態は、DVCFG コントロールレジスタ (CDVC) の CMK フラグをリードすることにより判断できます。

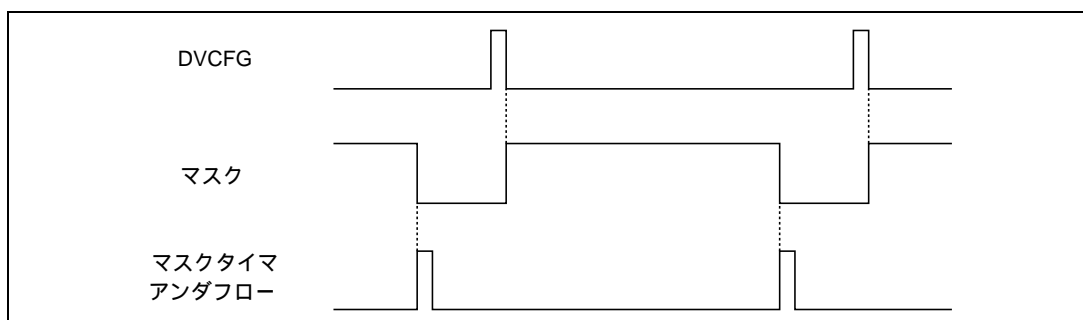


図 28.67 マスク信号

CFG マスクタイマの動作例を図 28.68 および図 28.69 に示します。

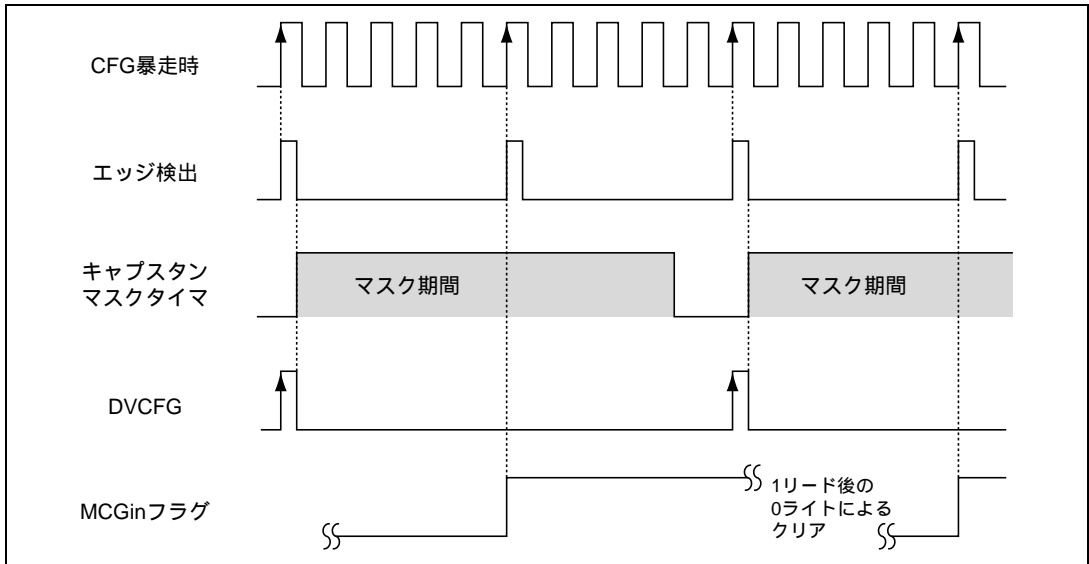


図 28.68 CFG マスクタイマの動作例 (キャプスタンモータ暴走時)

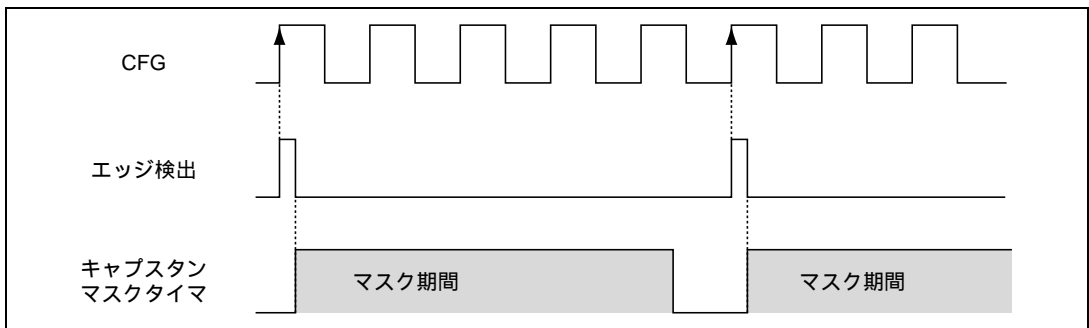


図 28.69 CFG マスクタイマの動作例 (キャプスタンモータ正常動作時)

28.14.4 DFG ノイズ除去回路

(1) ブロック図

DFG ノイズ除去回路のブロック図を図 28.70 に示します。

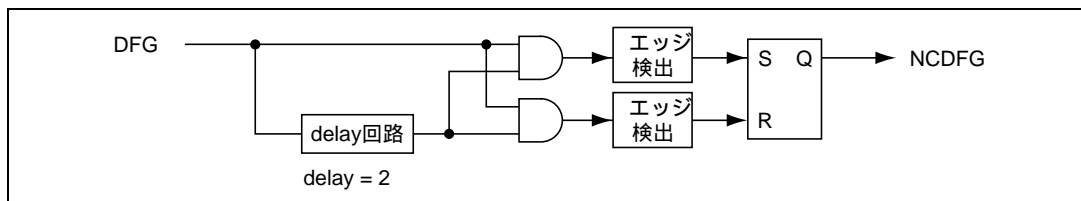


図 28.70 DFG ノイズ除去回路

(2) レジスタ説明

• レジスタ構成

DFG マスク回路のレジスタ構成を表 28.24 に示します。

表 28.24 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
FG コントロールレジスタ	FGCR	W	バイト	H'FE	H'FD09E

• FG コントロールレジスタ (FGCR)

ビット:	7	6	5	4	3	2	1	0
								DRF
初期値:	1	1	1	1	1	1	1	0
R/W :								W

ドラム速度誤差検出回路に送られる DFG ノイズ除去信号 (NCDFFG) のエッジを選択します。リードすると不定値が読み出されます。ビット 7~1 はリザーブビットです。ライトは無効です。

リセット、スタンバイ、およびモジュールストップ時に H'FE 初期化されます。

エッジ選択回路は、ドラム速度誤差検出回路内にありレジスタ出力をドラム速度誤差検出回路に出力します。

ビット 7~1 : リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 0 : DFG エッジ選択ビット (DRF)

ドラム速度誤差検出回路で NCDFG 信号を使用する際のエッジを選択します。

ビット 0	説明
DRF	
0	NCDFG 信号の立ち上がりエッジを選択 (初期値)
1	NCDFG 信号の立ち下がりエッジを選択

(3) 動作説明

DFG ノイズ除去回路は、ディレイ回路により DFG 信号のノイズ (2 以下の信号変化) を除去した信号 (NCDFG 信号) を生成します。ただし、NCDFG 信号は DFG 信号検出時から 2 遅れた信号となります。NCDFG 信号を図 28.71 に示します。

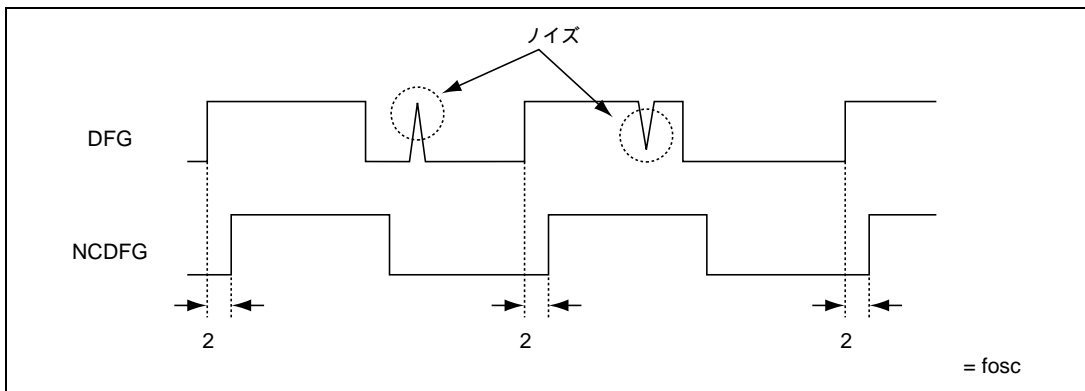


図 28.71 NCDFG 信号

28.15 同期信号検出回路

28.15.1 概要

本ブロックは、複合同期信号 (Csync) からの水平同期信号 (Hsync) と垂直同期信号 (Vsync) の検出、ノイズカウント、およびフィールド検出を行います。

水平、垂直同期信号はレジスタにしきい値を設定し、サーボクロック ($s = f_{osc}/2$) によりの検出します。水平同期信号検出時はノイズマスクが可能で、Hsync が欠落している場合は補完することができます。また、Csync の 1 フレーム期間のノイズ量を検出し、一定量以上のノイズを検出した場合、ノイズ検出割り込みを発生します。

【注】 本回路はしきい値レジスタにより設定されたある幅のパルスを検出するものであり、同期信号を正規のものに分類または復元する動作は行いません。

28.15.2 ブロック図

同期信号検出回路のブロック図を図 28.72 に示します。

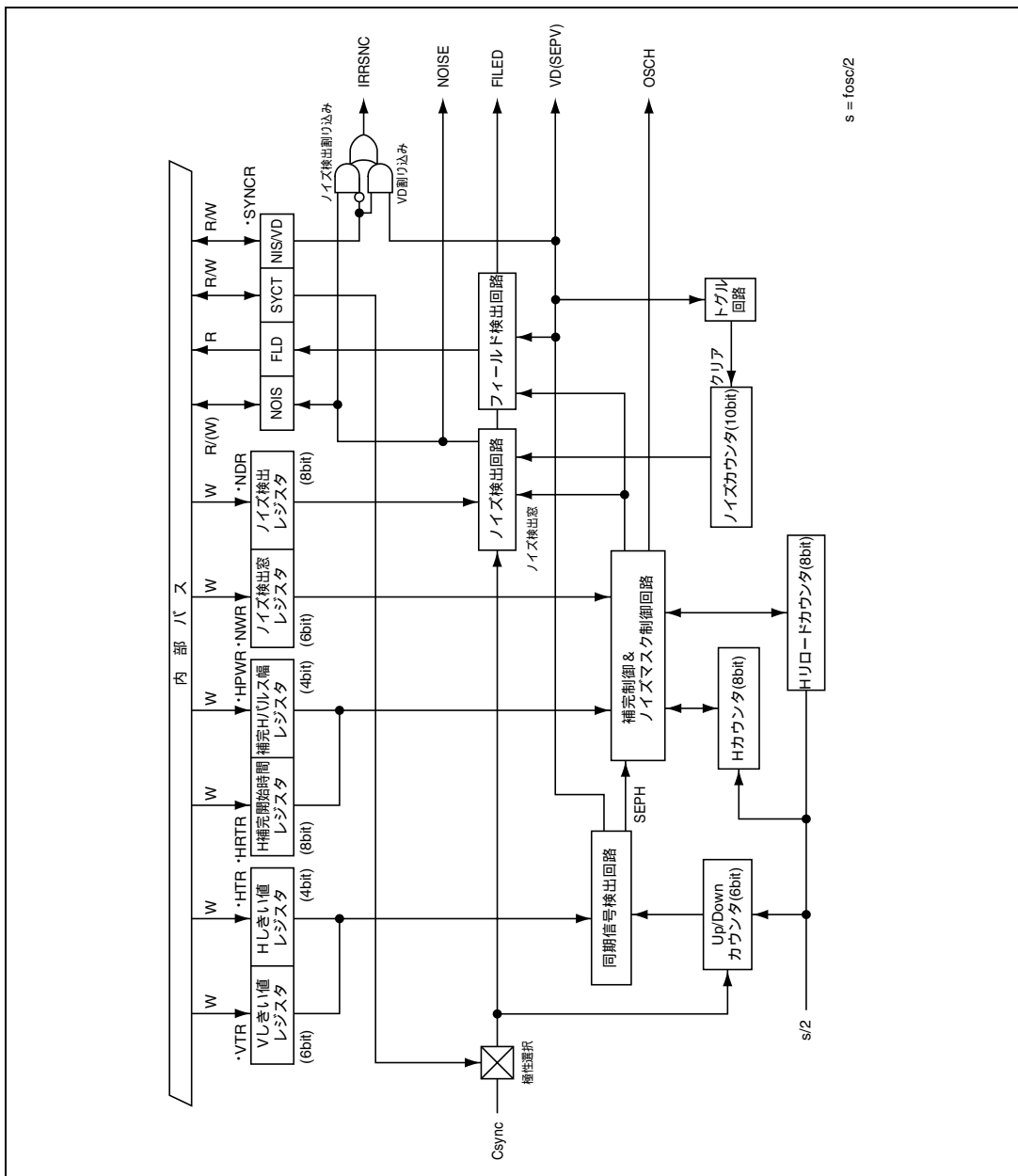


図 28.72 同期信号検出回路ブロック図

28.15.3 端子構成

同期信号検出回路の端子構成を表 28.25 に示します。

表 28.25 端子構成

名称	略称	入出力	機能
複合同期信号入力端子	Csync	入力	複合同期信号入力

28.15.4 レジスタ構成

同期信号検出回路のレジスタ構成を表 28.26 に示します。

表 28.26 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
垂直同期信号しきい値レジスタ	VTR	W	バイト	H'C0	H'FD0B0
水平同期信号しきい値レジスタ	HTR	W	バイト	H'F0	H'FD0B1
H補完開始時間設定レジスタ	HRTR	W	バイト	H'00	H'FD0B2
補完Hパルス幅設定レジスタ	HPWR	W	バイト	H'F0	H'FD0B3
ノイズ検出窓設定レジスタ	NWR	W	バイト	H'C0	H'FD0B4
ノイズ検出レジスタ	NDR	W	バイト	H'00	H'FD0B5
同期信号コントロールレジスタ	SYNCR	R/W	バイト	H'F8	H'FD0B6

28.15.5 レジスタの説明

(1) 垂直同期信号しきい値レジスタ (VTR)

ビット:	7	6	5	4	3	2	1	0
			VTR5	VTR4	VTR3	VTR2	VTR1	VTR0
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

複合同期信号から垂直同期信号の検出を行う時、垂直同期信号のしきい値を設定するレジスタです。しきい値の設定はビット5~0 (VTR5~VTR0) で行います。ビット7、6はリザーブビットです。

VTRは8ビットのライト専用レジスタです。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時、H'C0に初期化されます。

(2) 水平同期信号しきい値レジスタ (HTR)

ビット:	7	6	5	4	3	2	1	0
					HTR3	HTR2	HTR1	HTR0
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

複合同期信号からと水平同期信号の検出を行う時、水平同期信号のしきい値を設定するレジスタです。しきい値の設定はビット3~0 (HTR3~HTR0) で行います。ビット7~4はリザーブビットです。

HTRは8ビットのライト専用レジスタです。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時、H'F0に初期化されます。

しきい値と分離された同期信号を図 28.73 に示します。

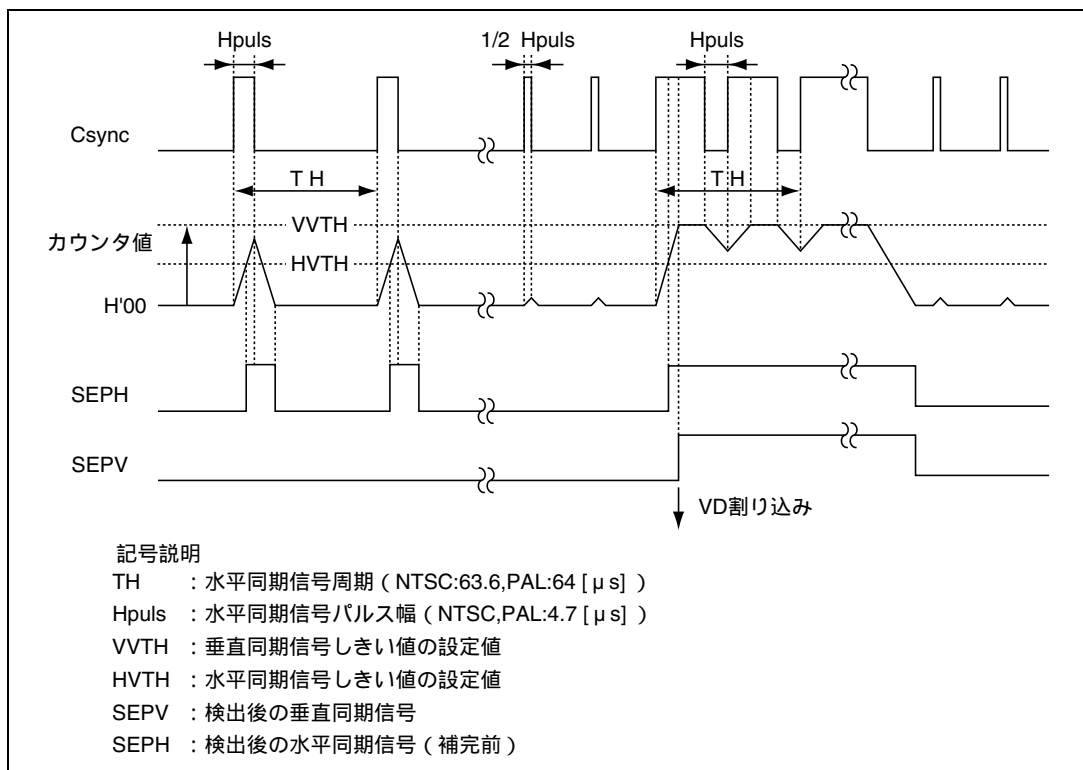


図 28.73 しきい値と分離された同期信号

- 例

Csync から垂直同期信号 (SEPV)、水平同期信号 (SEPH) を検出するための設定値は次の条件を満たす必要があります。VTHR レジスタの設定値を VVTH、HVTH とすると

$$(VVTH-1) \times 2 / s > Hpuls$$

$$(HVTH-2) \times 2 / s \quad Hpuls/2 < (HVTH-1) \times 2 / s$$

ただし、Hpuls : 水平同期信号パルス幅 (μs)、s : サーボクロック (fosc/2)

したがって、s = 5MHz、NTSC 方式の場合、

$$(VVTH-1) \times 0.4 \mu s > 4.7 \mu s$$

$$VVTH \quad H'D$$

$$(HVTH-2) \times 0.4 \mu s \quad 2.35 \mu s < (HVTH-1) \times 0.4 \mu s$$

$$HVTH \quad H'7$$

となります。

【注】 本回路は VTHR レジスタで設定した幅のパルスを検出するものです。ノイズで設定値以上のパルスが入力された場合でも、同期信号を検出したと認識します。

(3) H 補完開始時間設定レジスタ (HRTR)

ビット:	7	6	5	4	3	2	1	0
	HRTR7	HRTR6	HRTR5	HRTR4	HRTR3	HRTR2	HRTR1	HRTR0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

水平同期信号のパルス抜けが生じた場合の、補完パルスが発生するタイミングを設定するレジスタです。

HRTR は 8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。リセット、スタンバイ、およびモジュールストップ時、H'00 に初期化されます。

$$((\text{HRTR7} \sim 0 \text{ の値}) + 1) \times 2 / s = \text{TH}$$

ただし、TH : 水平同期信号周期 (μs)、 s : サーククロック ($f_{\text{osc}}/2$)

水平同期信号の有無の判定を補完パルス発生前の 1 クロック前に行いますので HRTR7 ~ HRTR0 は上記計算式で求めた値に 1 を加えた値を設定してください。

また、HRTR7 ~ HRTR0 により、ノイズマスク期間を設定します。水平同期信号が正規のパルスのときはマスク期間でマスクがかかります。

マスク期間の開始は、OSCH の立ち上がり、マスク期間の終了は SEPH の立ち上がりから計算されます。図 28.75 を参照してください。

(4) 補完 H パルス幅設定レジスタ (HPWR)

ビット:	7	6	5	4	3	2	1	0
					HPWR3	HPWR2	HPWR1	HPWR0
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

水平同期信号のパルス抜けが生じた場合に生成する、補完パルスのパルス幅を設定するレジスタです。ビット 7~4 はリザーブビットです。

HPWR は 8 ビットのライト専用レジスタです。リードすると不定値が読み出されます。リセット、スタンバイ時、H'F0 に初期化されます。

$$((\text{HPWR3} \sim 0 \text{ の値}) + 1) \times 2 / s = \text{Hpulse}$$

ただし、Hpuls : 水平同期信号パルス幅 (μs)、 s : サーククロック ($f_{\text{osc}}/2$)

(5) ノイズ検出窓設定レジスタ (NWR)

ビット:	7	6	5	4	3	2	1	0
			NWR5	NWR4	NWR3	NWR2	NWR1	NWR0
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

水平同期信号のパルス抜けとノイズの数を検出するための期間(窓)を設定するレジスタです。ビット5~0にノイズ検出窓のタイミングを設定してください。ビット7、6はリザーブビットです。

NWRは8ビットのライト専用レジスタです。リードすると不定値が読み出されます。リセット、スタンバイおよびモジュールストップ時、H'COに初期化されます。

ノイズ検出窓タイミング(NWR5~0)の設定値は、次式となります。

$$((\text{NWR5} \sim 0 \text{ の値}) + 1) \times 2 / s = 1/4 \times \text{TH}$$

ただし、TH: 水平同期信号周期 (μs)、s: サーボクロック ($f_{\text{osc}}/2$)

ノイズ検出窓のタイミングの設定値は、水平同期信号周期の1/4程度にすることを推奨します。

(6) ノイズ検出レジスタ (NDR)

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

水平同期信号ノイズ検出時(NWR設定期間)のノイズ検出レベルを設定するレジスタです。ビット7~0にノイズ検出レベルを設定してください。

NDRは8ビットのライト専用レジスタです。リードは無効です。リードすると不定値が読み出されず。リセット、スタンバイおよびモジュールストップ時、H'00に初期化されます。

ノイズ検出回路では、水平同期信号のパルス抜けとパルス中のノイズをカウントし、NDR7~0に設定された値の4倍を越えると同期信号コントロールレジスタ(SYNCR)のNOISフラグをセットします。ノイズ検出レベルを設定値は、1フレーム中のノイズ数の1/4に設定してください。

ノイズカウンタは、V_{sync}を2回検出する度にクリアされます。

ノイズ検出窓、およびノイズ検出レベルの詳細は「28.15.6 ノイズ検出」を参照してください。

(7) 同期信号コントロールレジスタ (SYNCR)

ビット:	7	6	5	4	3	2	1	0
					NIS/VD	NOIS	FLD	SYCT
初期値:	1	1	1	1	1	0	0	0
R/W :					R/W	R/(W)*	R	R/W

【注】* 0ライトのみ有効です。

ノイズ検出、フィールド検出、同期信号入力の極性などを制御するレジスタです。

SYNCRは8ビットのレジスタです。リセット、スタンバイ時、H'F8に初期化されます。ビット7~4はリザーブビットです。ライトは無効です。ビット1はリードのみ有効です。

ビット7~4：リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット3：割り込み選択ビット（NIS/VD）

割り込み要求をノイズレベル検出で発生させるか、VD 信号検出で発生させるかを選択します。

ビット3	説 明	
NIS/VD		
0	ノイズレベル割り込み	
1	VD 割り込み	(初期値)

ビット2：ノイズ検出フラグ（NOIS）

ノイズ数が、NDR に設定した値の4倍以上になったことを示すステータスフラグです。1 リード後の0 ライトでのみ、フラグがクリアされます。自動的にクリアされないので注意が必要です。

ビット2	説 明	
NOIS		
0	ノイズカウントが NDR の設定値の4 倍未満	(初期値)
1	ノイズカウントが NDR の設定値の4 倍以上	

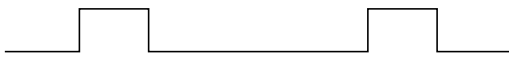

ビット1：フィールド検出フラグ（FLD）

走査中のフィールドが偶数か奇数かを示すフラグです。図 28.74 を参照してください。

ビット1	説 明	
FLD		
0	奇数フィールド	(初期値)
1	偶数フィールド	

ビット0：同期信号極性選択ビット（SYCT）

入力する同期信号（Csync）の極性を選択します。

ビット0	説 明	極性記号
SYCT		
0	(初期値) 	凸
1		凹

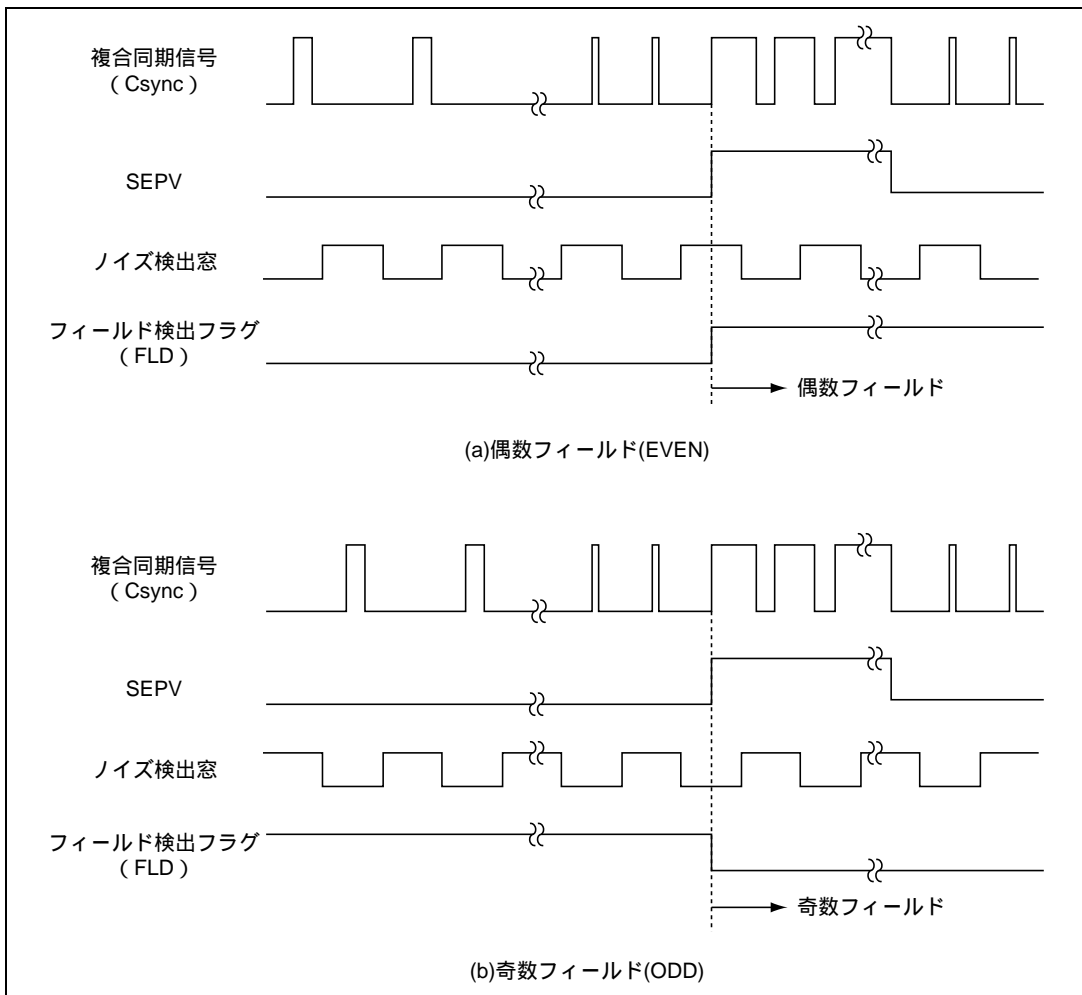


図 28.74 フィールド検出

28.15.6 ノイズ検出

水平同期信号のパルス抜けが生じる場合、HPWR に設定したタイミングに、設定パルス幅の補完パルスを設定します。

ノイズ検出窓は、HWR を水平同期信号周期の 1/4 程度の設定すると、High 期間、Low 期間が等しいパルスになります。

(1) 設定例

$f_{osc} = 10\text{MHz}$ のとき、 $s = 5\text{MHz}$ 、NTSC:TH = 63.6 [μs]、Hpuls = 4.7 [μs] に合わせて補完パルスを設定する場合、補完パルスタイミング (HRTR7~0)、補完パルス幅 (HPWR3~0)、ノイズ検出窓タイミング (NWR5~0) の設定値は、以下の式で表されます。

$$\begin{aligned} & (\text{HRTR7} \sim 0 \text{ の値}) \times 2 / s = \text{TH} \\ & ((\text{HPWR3} \sim 0 \text{ の値}) + 1) \times 2 / s = \text{Hpuls} \\ & ((\text{NWR5} \sim 0 \text{ の値}) + 1) \times 2 / s = 1/4 \times \text{TH} \end{aligned}$$

ただし、TH : 水平同期信号周期 [μs]、Hpuls : 水平同期信号パルス幅 [μs]
 s : サーボクロック [Hz] = $f_{osc}/2$

したがって、

$$\begin{aligned} & (\text{HRTR7} \sim 0 \text{ の値}) \times 0.4 [\mu\text{s}] = 63.6 [\mu\text{s}] \\ & \text{HRTR7} \sim 0 = \text{H'9F} \\ & ((\text{HPWR3} \sim 0 \text{ の値}) + 1) \times 0.4 [\mu\text{s}] = 4.7 [\mu\text{s}] \\ & \text{HPWR3} \sim 0 = \text{H'B} \\ & ((\text{NWR5} \sim 0 \text{ の値}) + 1) \times 0.4 [\mu\text{s}] = 16 [\mu\text{s}] \\ & \text{NWR5} \sim 0 = \text{H'27} \end{aligned}$$

となります。

また、ノイズマスク期間は、

$$(((\text{HRTR7} \sim 0 \text{ の値}) + 1) - 24) \times 2 / s = 54 [\mu\text{s}]$$

となります。マスク期間の式で、24 は構造上必要な定数です。

HRTR、HPWR、NWR の設定期間を図 28.75 に示します。

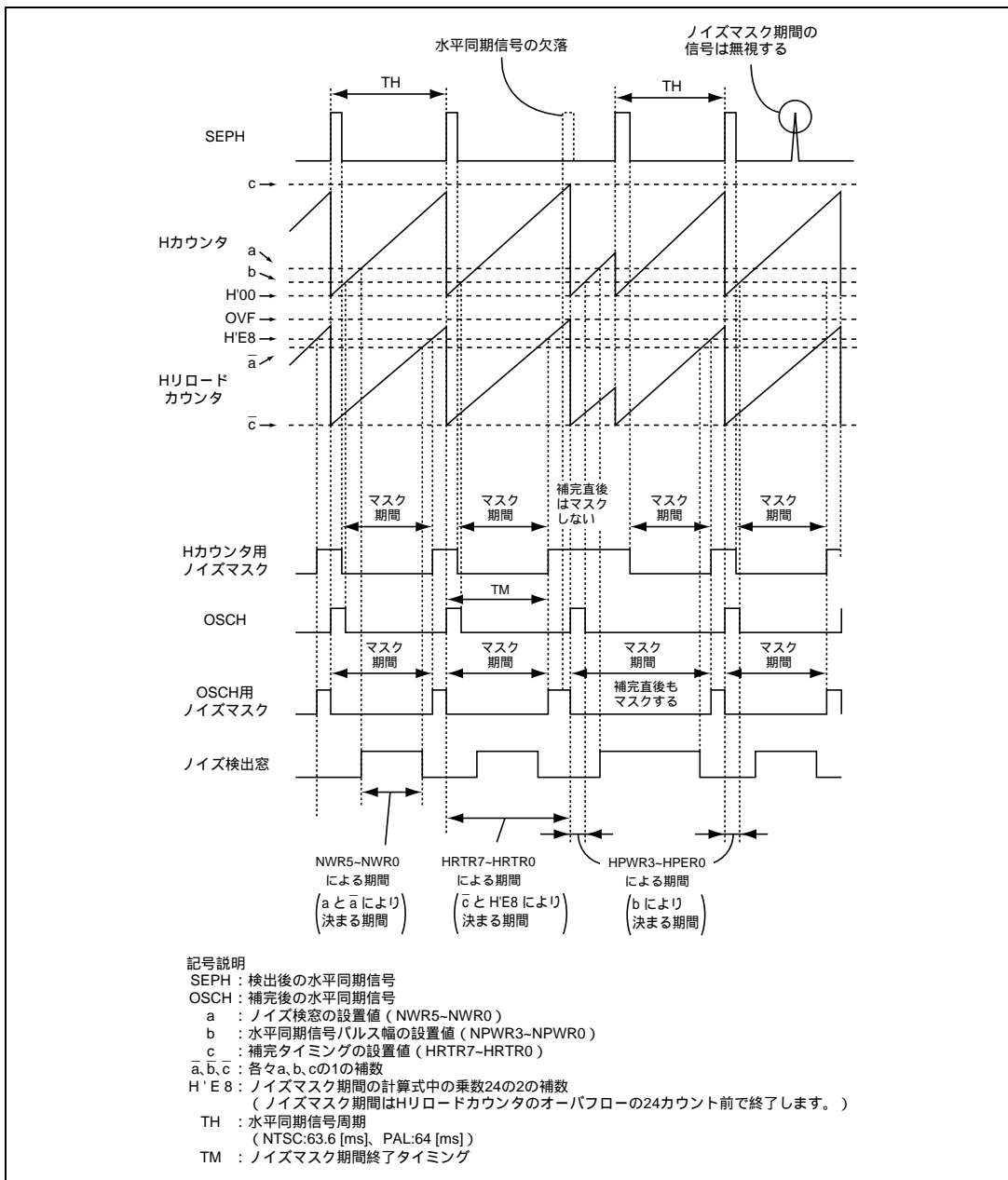


図 28.75 HRTR、HPWR、NWR の設定期間

(2) ノイズ検出動作

ノイズ検出回路では、1フレーム中の複合同期信号 (Csync) の不正規パルス、および水平同期信号のパルス欠けをノイズとみなします。ノイズカウンタはノイズ検出窓の High 期間は不正規パルスを、Low 期間は水平同期信号のパルス抜けやパルス欠けをカウントします。また、ノイズカウンタは不正規パルス数が2つ以上存在しても1カウントとなります。ノイズカウンタは1フレーム (Vsync を2回検出) ごとにクリアされます。

垂直同期信号の 9H に含まれる等価パルスも不規則パルスとしてカウントします。

1フレーム中の不規則パルス数 + 水平同期信号のパルス抜けやパルス欠け $> 4 \times (\text{NDR7} \sim 0 \text{ の値})$ の時、同期信号コントロールレジスタ (SYNCR) のノイズ検出フラグ (NOIS) に1をセットします。

NOIS ビットについては「28.15.5 (7) 同期信号コントロールレジスタ (SYNCR)」を参照してください。

ノイズ検出動作を図 28.76 に示します。

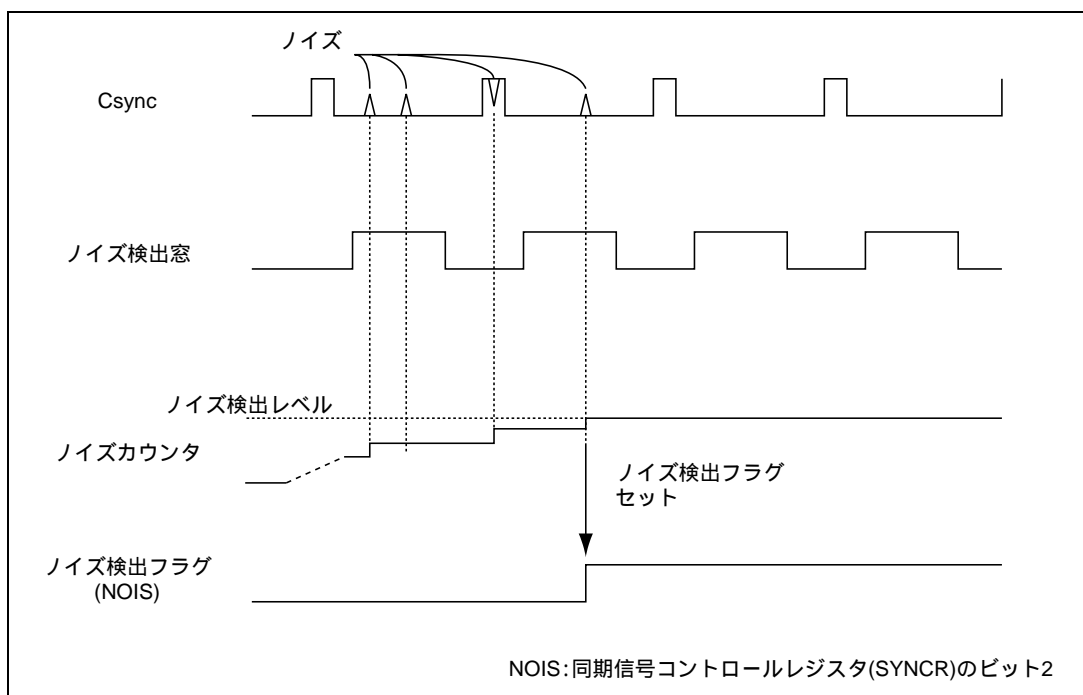


図 28.76 ノイズ検出動作

28.15.7 同期信号検出回路の起動

同期信号検出回路はリセット解除後、および低消費電力モードからアクティブモードの遷移後は、モジュールストップを解除後同期信号が入力されることで動作を開始します。検出回路のための信号は、同期信号コントロールレジスタ (SYNCR) の SYCT ビットで指定される極性のパルスです。このパルスが正規の幅に達しないノイズパルスであっても動作は開始します。起動可能な最小パルス幅は入力回路の内部動作との関係により一定ではないため、意識的に起動を行う場合は、 $4/s$ ($s = f_{osc}/2$ [Hz]) 以上の幅のパルスを入力してください。この場合 $4/s$ 幅以下のパルスであっても起動がかかることがあるため、ノイズ等に注意が必要です。

28.16 サーボ割り込み

28.16.1 概要

サーボモジュールの割り込み例外処理を開始する要因はドラム速度誤差検出回路 (×2)、ドラム位相誤差検出回路、キャプスタン速度誤差検出回路 (×2)、キャプスタン位相誤差検出回路、HSW タイミング生成回路 (×2)、同期検出回路、および CTL 回路の 10 要因あります。各割り込み要因はそれぞれの回路を参照してください。

また、割り込みの動作については「第 5 章 例外処理」を参照してください。

28.16.2 レジスタ構成

サーボ部の割り込み制御するレジスタの一覧を表 28.27 に示します。

表 28.27 サーボ部割り込み制御レジスタ

名 称	略称	R/W	サイズ	初期値	アドレス
サーボ割り込み許可レジスタ 1	SIENR1	R/W	バイト	H'00	H'FD0B8
サーボ割り込み許可レジスタ 2	SIENR2	R/W	バイト	H'FC	H'FD0B9
サーボ割り込み要求レジスタ 1	SIRQR1	R/W	バイト	H'00	H'FD0BA
サーボ割り込み要求レジスタ 2	SIRQR2	R/W	バイト	H'FC	H'FD0BB

28.16.3 レジスタの説明

(1) サーボ割り込み許可レジスタ 1 (SIENR1)

ビット:	7	6	5	4	3	2	1	0
	IEDRM3	IEDRM2	IEDRM1	IECAP3	IECAP2	IECAP1	IEHSW2	IEHSW1
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

サーボ割り込み許可レジスタ 1 (SIENR1) は、サーボ部の割り込みの許可または禁止を制御します。SIENR1 は、8 ビットのリードとライトが可能なレジスタです。リセット、スタンバイ、およびモジュールストップ時、H'00 に初期化されます。

ビット7：ドラム位相誤差検出割り込み許可ビット（IEDRM3）

ビット7	説 明	
IEDRM3		
0	IRRDRM3 により割り込み要求を禁止	(初期値)
1	IRRDRM3 により割り込み要求を許可	

ビット6：ドラム速度誤差検出（ロック検出）割り込み許可ビット（IEDRM2）

ビット6	説 明	
IEDRM2		
0	IRRDRM2 により割り込み要求を禁止	(初期値)
1	IRRDRM2 により割り込み要求を許可	

ビット5：ドラム速度誤差検出（OVF、ラッチ）割り込み許可ビット（IEDRM1）

ビット5	説 明	
IEDRM1		
0	IRRDRM1 により割り込み要求を禁止	(初期値)
1	IRRDRM1 により割り込み要求を許可	

ビット4：キャプスタン位相誤差検出割り込み許可ビット（IECAP3）

ビット4	説 明	
IECAP3		
0	IRRCAP3 により割り込み要求を禁止	(初期値)
1	IRRCAP3 により割り込み要求を許可	

ビット3：キャプスタン速度誤差検出（ロック検出）割り込み許可ビット（IECAP2）

ビット3	説 明	
IECAP2		
0	IRRCAP2 により割り込み要求を禁止	(初期値)
1	IRRCAP2 により割り込み要求を許可	

ビット2：キャプスタン速度誤差検出（OVF、ラッチ）割り込み許可ビット（IECAP1）

ビット2	説 明	
IECAP1		
0	IRRCAP1 により割り込み要求を禁止	(初期値)
1	IRRCAP1 により割り込み要求を許可	

28. サーボ回路

ビット1：HSW タイミング発生（カウンタクリア、キャプチャ）割り込み許可ビット（IEHSW2）

ビット1	説明
IEHSW2	
0	IRRHSW2 により割り込み要求を禁止 (初期値)
1	IRRHSW2 により割り込み要求を許可

ビット0：HSW タイミング発生（OVW、一致、STRIG）割り込み許可ビット（IEHSW1）

ビット0	説明
IEHSW1	
0	IRRHSW1 により割り込み要求を禁止 (初期値)
1	IRRHSW1 により割り込み要求を許可

(2) サーボ割り込み許可レジスタ2（SIENR2）

ビット:	7	6	5	4	3	2	1	0
							IESNC	IECTL
初期値:	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

サーボ割り込み許可レジスタ2（SIENR2）は、サーボ部の割り込みの許可または禁止を制御します。SIENR2は、8ビットのリードとライトが可能なレジスタです。リセット、スタンバイ、およびモジュールストップ時、HFCに初期化されます。

ビット7～2：リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット1：垂直同期信号割り込み許可ビット（IESNC）

ビット1	説明
IESNC	
0	IRRSNC により割り込み（垂直同期信号割り込み）要求を禁止 (初期値)
1	IRRSNC により割り込み要求を許可

ビット0：CTL割り込み許可ビット（IECTL）

ビット0	説明
IECTL	
0	IRRCTL により割り込み要求を禁止 (初期値)
1	IRRCTL により割り込み要求を許可

(3) サーボ割り込み要求レジスタ 1 (SIRQR1)

ビット:	7	6	5	4	3	2	1	0
	IRRDRM3	IRRDRM2	IRRDRM1	IRRCAP3	IRRCAP2	IRRCAP1	IRRHWSW2	IRRHWSW1
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグクリアのための 0 ライトのみ可能です。

サーボ割り込み要求レジスタ 1 (SIRQR1) は、サーボ部の割り込み要求の発生を表示するレジスタです。割り込み要求が発生すると対応するビットが 1 にセットされます。

SIRQR1 は、8 ビットのリードとライトが可能なレジスタです。ただし、ライトはフラグクリアのための 0 ライトのみ可能です。リセット、スタンバイ、およびモジュールストップ時、H'00 に初期化されます。

ビット 7: ドラム位相誤差検出回路割り込み要求ビット (IRRDRM3)

ビット 7	説 明	
IRRDRM3		
0	ドラム位相誤差検出回路からの割り込み要求なし	(初期値)
1	ドラム位相誤差検出回路からの割り込み要求あり	

ビット 6: ドラム速度誤差検出回路 (ロック検出) 割り込み要求ビット (IRRDRM2)

ビット 6	説 明	
IRRDRM2		
0	ドラム速度誤差検出回路 (ロック検出) の割り込み要求なし	(初期値)
1	ドラム速度誤差検出回路 (ロック検出) の割り込み要求あり	

ビット 5: ドラム速度誤差検出 (OVF、ラッチ) 割り込み要求ビット (IRRDRM1)

ビット 5	説 明	
IRRDRM1		
0	ドラム速度誤差検出回路 (OVF、ラッチ) の割り込み要求なし	(初期値)
1	ドラム速度誤差検出回路 (OVF、ラッチ) の割り込み要求あり	

ビット 4: キャプスタン位相誤差検出回路割り込み要求ビット (IRRCAP3)

ビット 4	説 明	
IRRCAP3		
0	キャプスタン位相誤差検出回路からの割り込み要求なし	(初期値)
1	キャプスタン位相誤差検出回路からの割り込み要求あり	

28. サーボ回路

ビット3：キャプスタン速度誤差検出回路（ロック検出）割り込み要求ビット（IRRCAP2）

ビット3	説明
IRRCAP2	
0	キャプスタン速度誤差検出回路（ロック検出）の割り込み要求なし（初期値）
1	キャプスタン速度誤差検出回路（ロック検出）の割り込み要求あり

ビット2：キャプスタン速度誤差検出回路（OVF、ラッチ）割り込み要求ビット（IRRCAP1）

ビット2	説明
IRRCAP1	
0	キャプスタン速度誤差検出回路（OVF、ラッチ）の割り込み要求なし（初期値）
1	キャプスタン速度誤差検出回路（OVF、ラッチ）の割り込み要求あり

ビット1：HSW タイミング発生回路（カウンタクリア、キャプチャ）割り込み要求ビット（IRRHSW2）

ビット1	説明
IRRHSW2	
0	HSW タイミング発生回路（カウンタクリア、キャプチャ）の割り込み要求なし（初期値）
1	HSW タイミング発生回路（カウンタクリア、キャプチャ）の割り込み要求あり

ビット0：HSW タイミング発生回路（OVW、一致、STRIG）割り込み要求ビット（IRRHWS1）

ビット0	説明
IRRHWS1	
0	HSW タイミング発生回路（OVW、一致、STRIG）の割り込み要求なし（初期値）
1	HSW タイミング発生回路（OVW、一致、STRIG）の割り込み要求あり

(4) サーボ割り込み要求レジスタ 2 (SIRQR2)

ビット:	7	6	5	4	3	2	1	0
							IRRSNC	IRRCTL
初期値:	1	1	1	1	1	1	0	0
R/W :							R/(W)*	R/(W)*

【注】* フラグクリアのための 0 ライトのみ可能です。

サーボ割り込み要求レジスタ 2 (SIRQR2) は、サーボ部の割り込み要求の発生を表示するレジスタです。割り込み要求が発生すると対応するビットが 1 にセットされます。

SIENR2 は、8 ビットのリードとライトが可能なレジスタです。ただし、ライトは 1 リード後の 0 ライトのみ可能です。リセット、スタンバイ、およびモジュールストップ時、HFC に初期化されません。

ビット 7~2: リザーブビット

リードすると不定値が読み出されます。ライトは無効です。

ビット 1: 垂直同期信号割り込み要求ビット (IRRSNC)

ビット 1	説 明	
IRRSNC		
0	同期信号検出回路 (VD、ノイズ) の割り込み要求なし	(初期値)
1	同期信号検出回路 (VD、ノイズ) の割り込み要求あり	

ビット 0: CTL 割り込み要求ビット (IRRCTL)

ビット 0	説 明	
IRRCTL		
0	CTL による割り込み要求なし	(初期値)
1	CTL による割り込み要求あり	

28.17 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP1 ビットを 1 にセットすると、バスサイクルの終了時点でサーボ回路、および 12 ビット PWM は動作を停止してモジュールストップモードへ遷移します。詳細は、「4.5 モジュールストップモード」を参照してください。

MSTPCR は、リセット時に H'FFFF に初期化されます。

ビット 1：モジュールストップ (MSTP1)

サーボ回路および 12 ビット PWM のモジュールストップモードを指定します。

MSTPCRL	説 明	
ビット 1		
MSTP1		
0	サーボ回路および 12 ビット PWM のモジュールストップモード解除	
1	サーボ回路および 12 ビット PWM のモジュールストップモード設定 (初期値)	

29. 電気的特性

29.1 絶対最大定格

絶対最大定格を表 29.1 に示します。

表 29.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc	-0.3 ~ +7.0	V
入力電圧 (ポート 0 を除く)	Vin	-0.3 ~ Vcc+0.3	V
入力電圧 (ポート 0)	Vin	-0.3 ~ AVcc+0.3	V
A/D 変換器電源電圧	AVcc	-0.3 ~ +7.0	V
A/D 変換器入力電圧	AVin	-0.3 ~ AVcc+0.3	V
サーボ電源電圧	SVcc	-0.3 ~ +7.0	V
サーボアンプ入力電圧	Vin	-0.3 ~ SVcc+0.3	V
動作温度	Topr	-20 ~ +75	
動作温度 (FLASH メモリ書き込み/ 消去時)	Topr	0 ~ +75	
保存温度	Tstr	-55 ~ +125	

- 【注】
1. 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因となるとともに、LSI の信頼性に悪影響を及ぼすことがあります。
 2. すべての電圧は、Vss=SVss=AVss=0.0V を基準とした値です。

29.2 HD64F2194、HD64F2194C の電氣的特性

29.2.1 HD64F2194、HD64F2194C の DC 特性

表 29.2 HD64F2194、HD64F2194C の DC 特性
 (条件: 特記なき場合は、 $V_{cc}=AV_{cc}=4.0 \sim 5.5V$ 、 $V_{ss}=AV_{ss}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
入力 High レベル	V_{IH}	MD0	$V_{cc}=2.7 \sim 5.5V$	0.9Vcc	—	$V_{cc}+0.3$	V	
		RES、NMI、FWE、 \overline{IC} 、 $\overline{IRQ0} \sim \overline{IRQ5}$	$V_{cc}=2.7 \sim 5.5V$	0.8Vcc	—	$V_{cc}+0.3$		
		SCK1、SCK2、SI1、SI2、 \overline{CS} 、FTIA、FTIB、FTIC、FTID、TRIG、TMBI、 \overline{ADTRG}		0.8Vcc	—	$V_{cc}+0.3$		
		OSC1、X1		$V_{cc}-0.5$	—	$V_{cc}+0.3$		
			$V_{cc}=2.7 \sim 5.5V$	$V_{cc}-0.3$	—	$V_{cc}+0.3$		
		P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P40 ~ P47、P50 ~ P53、P60 ~ P67、P70 ~ P77、P80 ~ P87、PS0 ~ PS4		0.7Vcc	—	$V_{cc}+0.3$		
			$V_{cc}=2.7 \sim 5.5V$	0.8Vcc	—	$V_{cc}+0.3$		
		Csync		0.7Vcc	—	$V_{cc}+0.3$		
入力 Low レベル	V_{IL}	MD0	$V_{cc}=2.7 \sim 5.5V$	-0.3	—	0.1Vcc	V	
		RES、NMI、FWE、 \overline{IC} 、 $\overline{IRQ0} \sim \overline{IRQ5}$	$V_{cc}=2.7 \sim 5.5V$	-0.3	—	0.2Vcc		
		SCK1、SCK2、SI1、SI2、 \overline{CS} 、FTIA、FTIB、FTIC、FTID、TRIG、TMBI、 \overline{ADTRG}		-0.3	—	0.2Vcc		
		OSC1、X1		-0.3	—	0.5		
			$V_{cc}=2.7 \sim 5.5V$	-0.3	—	0.3		
		P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P40 ~ P47、P50 ~ P53、P60 ~ P67、P70 ~ P77、P80 ~ P87、PS0 ~ PS4		-0.3	—	0.3Vcc		
			$V_{cc}=2.7 \sim 5.5V$	-0.3	—	0.2Vcc		
		Csync		-0.3	—	0.2Vcc		

項目	記号	適用端子	測定条件	規格値			単位	注記	
				Min	Typ	Max			
出力 High レベル	V _{OH}	SO1、SO2、SCK1、 SCK2、PWM1、 PWM2、PWM3、 PWM4、PWM14、 STRB、BUZZ、TMO、 TMOW、FTOA、 FTOB、 PPG70 ~ PPG77、 RP0 ~ RP7、 P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PS0 ~ PS4	-I _{OH} =1.0mA	V _{CC} -1.0	—	—	V		
			-I _{OH} =0.5mA	—	V _{CC} -0.5	—	V	参考値	
			-I _{OH} =0.1mA V _{CC} =2.7 ~ 5.5V	V _{CC} -0.5	—	—	V		
出力 Low レベル	V _{OL}	SO1、SO2、SCK1、 SCK2、PWM1、 PWM2、PWM3、 PWM4、PWM14、 STRB、BUZZ、TMO、 TMOW、FTOA、 FTOB、 PPG70 ~ PPG77、 RP0 ~ RP7、 P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 PS0 ~ PS4	I _{OL} =1.6mA	—	—	0.6	V		
			I _{OL} =0.4mA V _{CC} =2.7 ~ 5.5V	—	—	0.4	V		
			P80 ~ P87	I _{OL} =20mA	—	—	1.5	V	
				I _{OL} =1.6mA	—	—	0.6	V	
		I _{OL} =0.4mA V _{CC} =2.7 ~ 5.5V	—	—	0.4	V			

29. 電気的特性 (F-ZTAT 版)

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
入出力リーク 電流	I_{IL}	MD0、OSC1、 RES、 \overline{NMI} 、FWE、 IRQ0 ~ IRQ5、 \overline{IC}	Vin= 0.5 ~ Vcc-0.5V	—	—	1.0	μA	
		SCK1、SCK2、SI1、 SI2、 \overline{CS} 、FTIA、FTIB、 FTIC、 \overline{FTID} 、TRIG、 TMBI、ADTRG	Vin= 0.5 ~ Vcc-0.5V	—	—	1.0		
		P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87 PS0 ~ PS4	Vin= 0.5 ~ Vcc-0.5V	—	—	1.0		
		P00 ~ P07、 AN8 ~ ANB	Vin= 0.5 ~ AVcc-0.5V	—	—	1.0		
ブルアップ MOS 電流	-Ip	P10 ~ P17、 P20 ~ P27、 P30 ~ P37	Vcc=5.0V、 Vin=0V	50	—	300	μA	注 1
入力容量	Cin	電源端子、P13、P23、 P24 およびアナログ 系端子を除く	fin=1MHz、 Vin=0V、 Ta=25	—	—	15	pF	
		P13、P23、P24	fin=1MHz、 Vin=0V、 Ta=25	—	—	20	pF	

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
アクティブ モード CPU 動作時消費 電流	I _{OPE}	Vcc	Vcc=5V、 f _{osc} =10MHz、 高速モード	—	50	70	mA	注 2
			Vcc=5V、 f _{osc} =10MHz、 中速モード (1/64)	—	35	—		mA
アクティブ モードリセッ ト時消費電流	I _{RES}	Vcc	Vcc=5V、 f _{osc} =10MHz	—	30	45	mA	注 2
スリープモ ード消費電流	I _{SLEEP}	Vcc	Vcc=5V、 f _{osc} =10MHz、 高速モード	—	20	30	mA	注 2
サブアクティ ブモード消費 電流	I _{SUB}	Vcc	Vcc=2.7V、32kHz 水晶発振子使用時 (sub= w/2)	—	90	150	μA	注 2
			Vcc=2.7V、32kHz 水晶発振子使用時 (sub= w/8)	—	40	—		参考値 注 2
サブスリー プモード消費 電流	I _{SUBSLP}	Vcc	Vcc=2.7V、32kHz 水晶発振子使用時 (sub= w/2)	—	15	30	μA	注 2
			Vcc=2.7V、32kHz 水晶発振子使用時 (sub= w/8)	—	10	—		参考値 注 2
ウォッチ モード消費 電流	I _{WATCH}	Vcc	Vcc=2.7V、32kHz 水晶発振子使用時	—	5	10	μA	注 2
			Vcc=5.0V、32kHz 水晶発振子使用時	—	10	—		μA
スタンバイ モード消費 電流	I _{STBY}	Vcc	X1=Vcc、32kHz 水晶発振子未使用 時	—	—	5	μA	注 2
スタンバイ モード時 RAM 保持電圧	V _{STBY}			2.0	—	—	V	

【注】 A/D 変換器を使用しない場合でも、AVcc、AVss 端子は開放にしないでください。

1. ブルアップ MOS セレクトレジスタ (PUR1 ~ PUR3) の該当ビットを 1 に設定した場合の電流値です。
2. ブルアップ MOS や出力バッファに流れる電流は除きます。

29. 電氣的特性 (F-ZTAT 版)

表 29.3 消費電流測定時の端子状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブモード 高速、中速	Vcc	動作	Vcc	メインクロック：水晶発振子 サブクロック：X1 端子=Vcc
スリープモード 高速、中速	Vcc	CPU、サーボ部のみ停止	Vcc	
リセット	Vss	リセット	Vcc	
スタンバイモード	Vcc	すべて停止	Vcc	
サブアクティブモード	Vcc	CPU、タイマ A のみ動作	Vcc	メインクロック：水晶発振子 サブクロック：水晶発振子
サブスリープモード	Vcc	タイマ A のみ動作	Vcc	
ウォッチモード	Vcc	タイマ A のみ動作	Vcc	

表 29.4 HD64F2194、HD64F2194C のバス駆動特性

(条件 : Vcc=AVcc=4.0 ~ 5.5V、Vss=AVss=0.0V、Ta=-20 ~ +75)

対象端子 : SCL、SDA

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
シュミット トリガ 入力電圧	V_T^-	SCL、SDA		0.2Vcc	—	—	V
	V_T^+			—	—	0.7Vcc	V
	$V_T^+ - V_T^-$			0.05Vcc	—	—	V
入力 High レベル電圧	V_{IH}	SCL、SDA		0.7Vcc	—	Vcc+0.5	V
入力 Low レベル電圧	V_{IL}	SCL、SDA		-0.5	—	0.2Vcc	V
出力 Low レベル電圧	V_{OL}	SCL、SDA	$I_{OL}=8mA$	—	—	0.5	V
			$I_{OL}=3mA$	—	—	0.4	
SCL、SDA 出力立ち 下がり時間	t_{of}	SCL、SDA		20+ 0.1Cb	—	250	ns

29.2.2 HD64F2194、HD64F2194C の出力許容電流

デジタル系の端子について規定します。

表 29.5 HD64F2194、HD64F2194C の出力許容電流

(条件: $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	規格値	単位	注記
許容入力電流 (LSI への流入)	I_o	2	mA	1
許容入力電流 (LSI への流入)	I_o	22	mA	2
許容入力電流 (LSI への流入)	I_o	10	mA	3
許容出力電流 (LSI からの流出)	$-I_o$	2	mA	4
許容総入力電流 (LSI への流入)	ΣI_o	80	mA	5
許容総出力電流 (LSI からの流出)	$-\Sigma I_o$	50	mA	6

- 【注】
- 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。ポート 8、SCL、SDA を除く。
 - 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。ポート 8 に適用します。
 - 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。SCL、SDA に適用します。
 - 許容出力電流とは、 V_{CC} から各入出力端子へ流し出せる電流の最大値です。
 - 許容総入力電流とは、同時に全入出力端子から V_{SS} へ流し込める電流の総和です。
 - 許容総出力電流とは、 V_{CC} から全入出力端子へ流し出せる電流の総和です。

29.2.3 HD64F2194、HD64F2194C の AC 特性

表 29.6 HD64F2194、HD64F2194C の AC 特性
 (条件: 特記なき場合は、 $V_{CC}=AV_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	図
				Min	Typ	Max		
クロック発振周波数	f_{OSC}	OSC1、OSC2		8	—	10	MHz	
クロックサイクル時間	t_{cyc}	OSC1、OSC2		100	—	125	ns	図 29.1
サブクロック発振周波数	f_x	X1、X2	$V_{CC}=2.7 \sim 5.5V$	—	32.768	—	kHz	
サブクロックサイクル時間	t_{subcyc}	X1、X2	$V_{CC}=2.7 \sim 5.5V$	—	30.518	—	μs	図 29.2
発振安定時間	t_{rc}	OSC1、OSC2	水晶発振子	—	—	10	ms	
		X1、X2	32kHz 水晶発振子 $V_{CC}=2.7 \sim 5.5V$	—	—	2	s	
外部クロック High レベル幅	t_{CPH}	OSC1		40	—	—	ns	図 29.1
外部クロック Low レベル幅	t_{CPL}	OSC1		40	—	—	ns	
外部クロック立ち上がり時間	t_{CPr}	OSC1		—	—	10	ns	
外部クロック立ち下がり時間	t_{CPl}	OSC1		—	—	10	ns	
外部クロック安定遅延時間	t_{DEXT}	OSC1		500	—	—	μs	図 29.3
サブクロック入力 Low レベルパルス幅	t_{EXCLL}	X1	$V_{CC}=2.7 \sim 5.5V$	—	15.26	—	μs	図 29.2
サブクロック入力 High レベルパルス幅	t_{EXCLH}	X1	$V_{CC}=2.7 \sim 5.5V$	—	15.26	—	μs	
サブクロック入力立ち上がり時間	t_{EXCLr}	X1	$V_{CC}=2.7 \sim 5.5V$	—	—	10	ns	
サブクロック入力立ち下がり時間	t_{EXCLf}	X1	$V_{CC}=2.7 \sim 5.5V$	—	—	10	ns	

項目	記号	適用端子	測定条件	規格値			単位	図
				Min	Typ	Max		
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC}=2.7V \sim 5.5V$	20	—	—	t_{cyc}	図 29.4
入力端子 High レベル幅	t_{IH}	IRQ0 ~ IRQ5、 NMI、IC、 ADTRG、TMBI、 FTIA、FTIB、 FTIC、FTID、 TRIG	$V_{CC}=2.7V \sim 5.5V$	2	—	—	t_{cyc} t_{subcyc}	図 29.5
入力端子 Low レベル幅	t_{IL}	IRQ0 ~ IRQ5、 NMI、IC、 ADTRG、TMBI、 FTIA、FTIB、 FTIC、FTID、 TRIG	$V_{CC}=2.7V \sim 5.5V$	2	—	—	t_{cyc} t_{subcyc}	

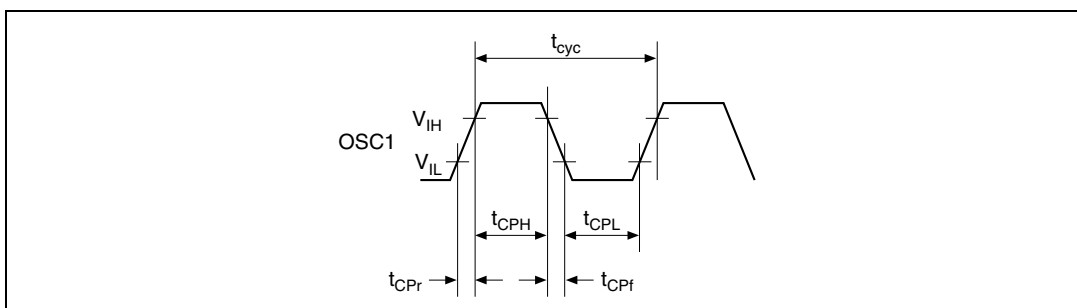


図 29.1 システムクロックタイミング

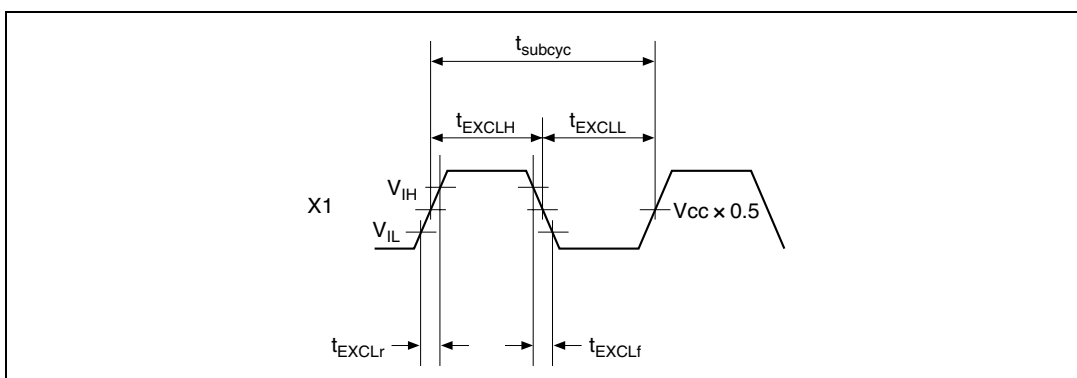


図 29.2 サブクロック入力タイミング

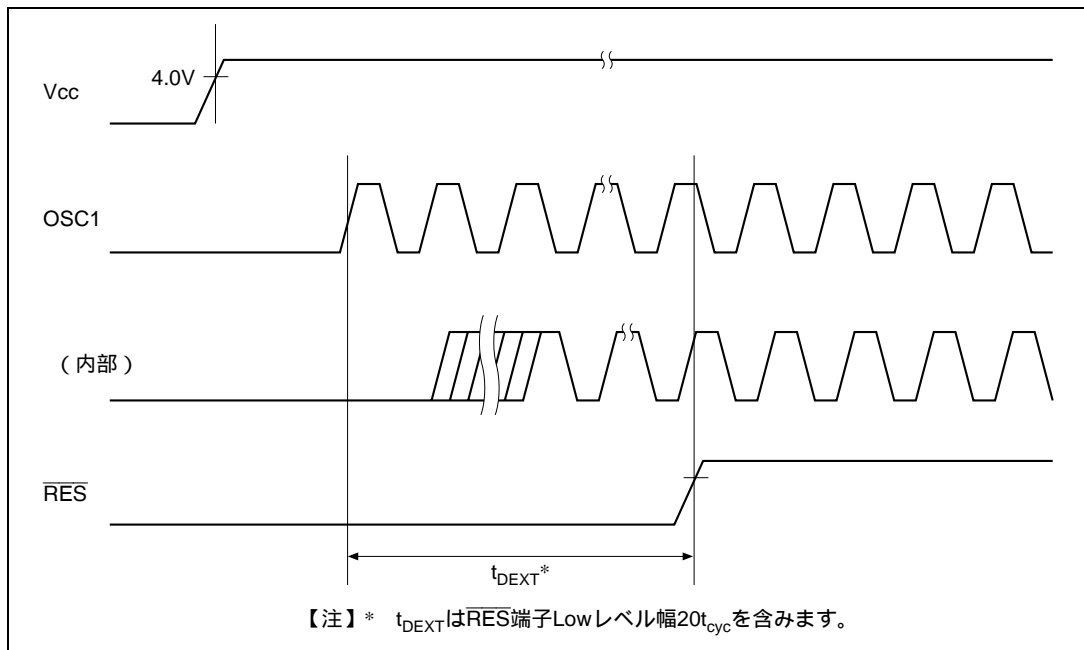


図 29.3 外部クロック安定遅延時間タイミング

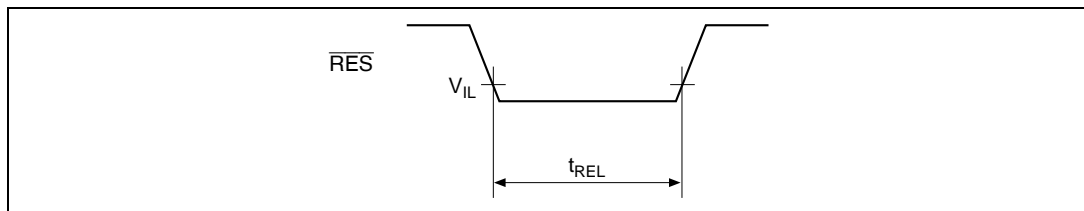


図 29.4 リセット入力タイミング

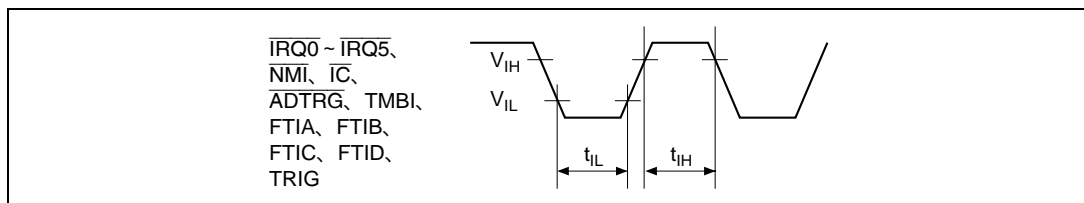


図 29.5 入力タイミング

29.2.4 HD64F2194、HD64F2194C のシリアルインタフェースタイミング

表 29.7 HD64F2194、HD64F2194C のシリアルインタフェースタイミング
 (条件: 特記なき場合は、 $V_{CC}=AV_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	図
				Min	Typ	Max		
入力クロックサイクル	t_{scyc}	SCK1	調歩同期	4	—	—	t_{cyc}	図 29.6
			クロック同期	6	—	—		
		SCK2	2	—	—			
入力クロックパルス幅	t_{SCKW}	SCK1、SCK2		0.4	—	0.6	t_{cyc}	
入力クロック立ち上がり時間	t_{SCKr}	SCK1		—	—	1.5	t_{cyc}	
		SCK2		—	—	60	ns	
入力クロック立ち下がり時間	t_{SCKf}	SCK1		—	—	1.5	t_{cyc}	
		SCK2		—	—	60	ns	
送信データ遅延時間 (クロック同期)	t_{TXD}	SO1		—	—	100	ns	図 29.7
受信データセットアップ時間 (クロック同期)	t_{RXS}	SI1		100	—	—	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	SI1	受信データ	100	—	—	ns	
送信データ出力遅延時間	t_{TXD}	SO2		—	—	200	ns	図 29.7
受信データセットアップ時間 (クロック同期)	t_{RXS}	SI2	受信データ	180	—	—	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	SI2	受信データ	180	—	—	ns	
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		1	—	—	t_{scyc}	図 29.8
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		1	—	—	t_{scyc}	

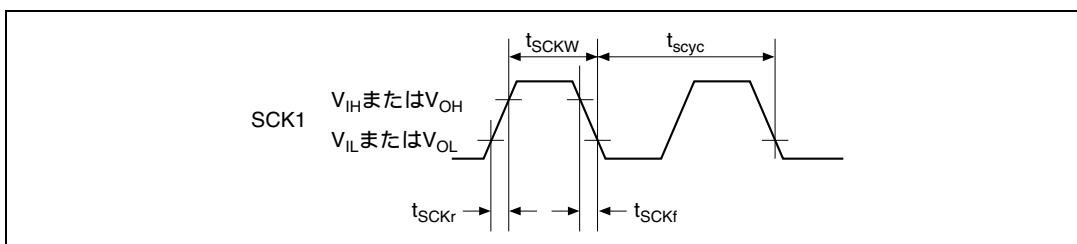


図 29.6 SCK1 クロックタイミング

29. 電気的特性 (F-ZTAT 版)

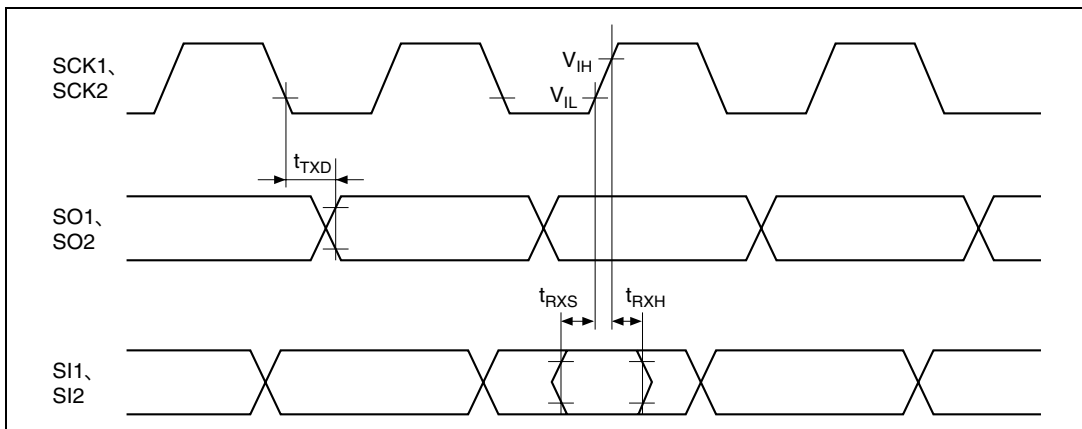


図 29.7 SCI 入出力タイミング/クロック同期式モード

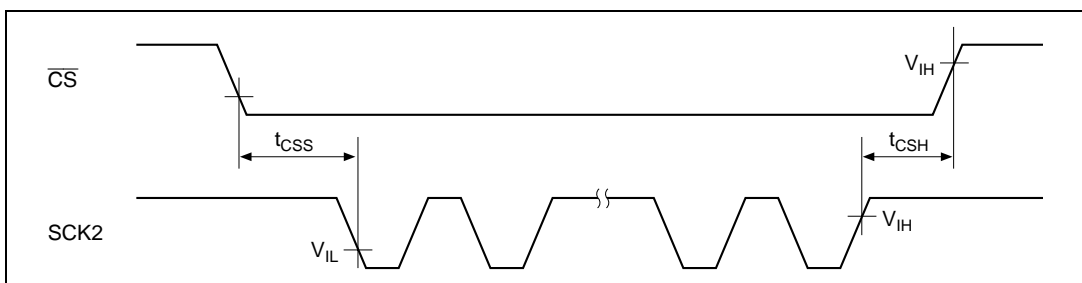


図 29.8 SCI2 チップセレクトタイミング

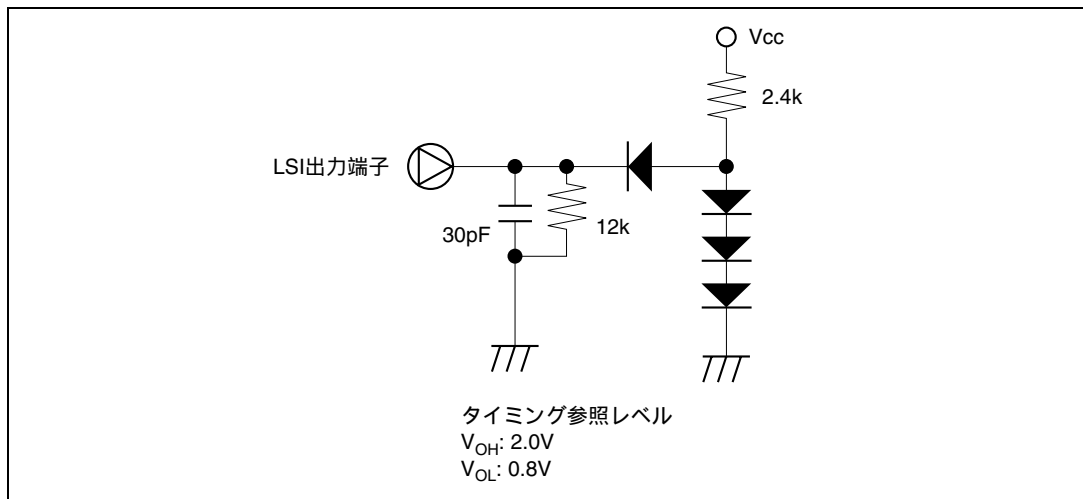


図 29.9 出力負荷条件

表 29.8 HD64F2194、HD64F2194C の I²C バスインタフェースタイミング(条件: 特記なき場合は、 $V_{CC}=AV_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	測定条件	規格値			単位	図
			Min	Typ	Max		
SCL 入力サイクル時間	t_{SCL}		12	—	—	t_{cyc}	図 29.10
SCL 入力 High パルス幅	t_{SCLH}		3	—	—	t_{cyc}	
SCL 入力 Low パルス幅	t_{SCLL}		5	—	—	t_{cyc}	
SCL、SDA 入力立ち上がり時間	t_{sr}		—	—	7.5^{*1}	t_{cyc}	
SCL、SDA 入力立ち下がり時間	t_{sf}		—	—	300	ns	
SCL、SDA 入力スパイクパルス除去時間	t_{sp}		—	—	1	t_{cyc}	
SDA 入力バスフリー時間	t_{BUF}		5	—	—	t_{cyc}	
開始条件入力ホールド時間	t_{STAH}		3	—	—	t_{cyc}	
再送開始条件入力セットアップ時間	t_{STAS}		3	—	—	t_{cyc}	
停止条件入力セットアップ時間	t_{STOS}		3	—	—	t_{cyc}	
データ入力セットアップ時間	t_{SDAS}		0.5	—	—	t_{cyc}	
データ入力ホールド時間	t_{SDAH}		0	—	—	ns	
SCL、SDA の容量負荷	C_b		—	—	400	pF	

【注】 *1 I²C モジュールで使用するクロックの選択により、 $17.5 t_{cyc}$ とすることが可能です。

29. 電気的特性 (F-ZTAT 版)

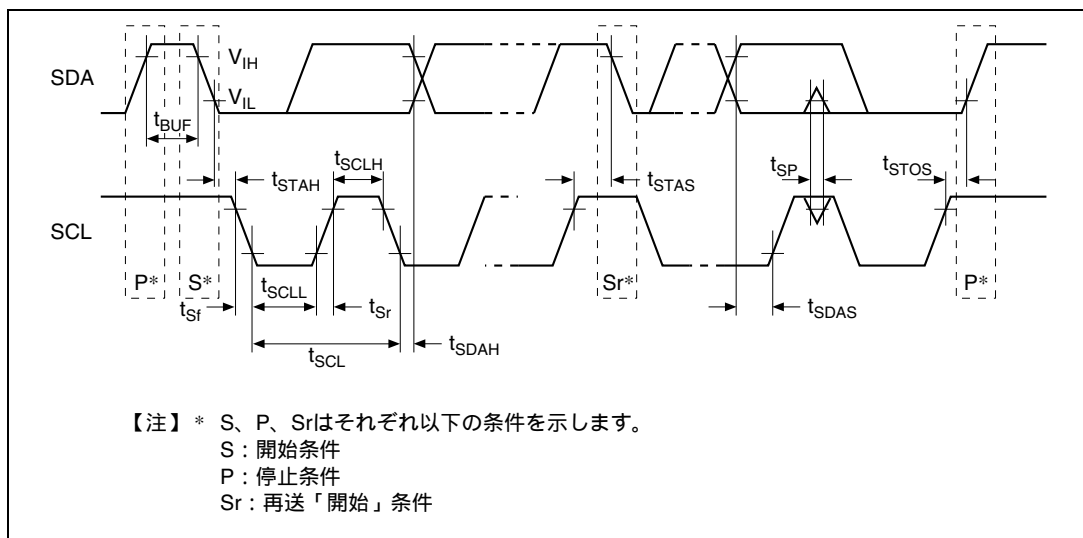


図 29.10 I²C バスインタフェース入出力タイミング

29.2.5 HD64F2194、HD64F2194C の A/D 変換器特性

表 29.9 HD64F2194、HD64F2194C の A/D 変換器特性

(条件：特記なき場合は、Vcc=AVcc=4.0~5.5V、Vss=AVss=0.0V、Ta=-20~+75)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
アナログ電源電圧	AVcc	AVcc		Vcc-0.3	Vcc	Vcc+0.3	V
アナログ入力電圧	A _{VIN}	AN0 ~ AN7、AN8 ~ ANB		AVss	—	AVcc	V
アナログ電源電流	A _{ICC}	AVcc	AVcc=5.0V	—	—	2.0	mA
	A _{ISTOP}	AVcc	Vcc=2.7~5.5V リセットおよび 低消費電力モード時	—	—	10	μA
アナログ入力容量	C _{AIN}	AN0 ~ AN7、AN8 ~ ANB		—	—	30	pF
許容信号源インピーダンス	R _{AIN}	AN0 ~ AN7、AN8 ~ ANB		—	—	10	kΩ
分解能				—	—	10	ビット
絶対精度			AVcc=5.0V	—	—	±4	LSB
変換時間				13.4	—	26.6	μs

【注】 A/D 変換器を使用しない場合も AVcc、AVss 端子は開放にしないでください。AVcc=Vcc、AVss=Vss としてください。

29.2.6 HD64F2194、HD64F2194C のサーボ部電気的特性

表 29.10 HD64F2194、HD64F2194C のサーボ部電気的特性 (参考値)

(条件: 特記なき場合は、 $V_{cc}=SV_{cc}=5.0V$ 、 $V_{ss}=SV_{ss}=0.0V$ 、 $T_a=25$)

項目	記号	適用端子	測定条件	参考値			単位
				Min	Typ	Max	
PB-CTL 入力アンプ 電圧利得		CTL (+)	CTLGR3=0、CTLGR2=0、CTLGR1=0、 CTLGR0=0、f=10kHz	32.0	34.0	36.0	dB
			CTLGR3=0、CTLGR2=0、CTLGR1=0、 CTLGR0=1、f=10kHz	34.5	36.5	38.5	
			CTLGR3=0、CTLGR2=0、CTLGR1=1、 CTLGR0=0、f=10kHz	37.0	39.0	41.0	
			CTLGR3=0、CTLGR2=0、CTLGR1=1、 CTLGR0=1、f=10kHz	39.5	41.5	43.5	
			CTLGR3=0、CTLGR2=1、CTLGR1=0、 CTLGR0=0、f=10kHz	42.0	44.0	46.0	
			CTLGR3=0、CTLGR2=1、CTLGR1=0、 CTLGR0=1、f=10kHz	44.5	46.5	48.5	
			CTLGR3=0、CTLGR2=1、CTLGR1=1、 CTLGR0=0、f=10kHz	47.0	49.0	51.0	
			CTLGR3=0、CTLGR2=1、CTLGR1=1、 CTLGR0=1、f=10kHz	49.5	51.5	53.5	
			CTLGR3=1、CTLGR2=0、CTLGR1=0、 CTLGR0=0、f=10kHz	52.0	54.0	56.0	
			CTLGR3=1、CTLGR2=0、CTLGR1=0、 CTLGR0=1、f=10kHz	54.5	56.5	58.5	
			CTLGR3=1、CTLGR2=0、CTLGR1=1、 CTLGR0=0、f=10kHz	57.0	59.0	61.0	
			CTLGR3=1、CTLGR2=0、CTLGR1=1、 CTLGR0=1、f=10kHz	59.5	61.5	63.5	
			CTLGR3=1、CTLGR2=1、CTLGR1=0、 CTLGR0=0、f=10kHz	62.0	64.0	66.0	
			CTLGR3=1、CTLGR2=1、CTLGR1=0、 CTLGR0=1、f=10kHz	64.5	66.5	68.5	
CTLGR3=1、CTLGR2=1、CTLGR1=1、 CTLGR0=0、f=10kHz	67.0	69.0	71.0				
CTLGR3=1、CTLGR2=1、CTLGR1=1、 CTLGR0=1、f=10kHz	69.5	71.5	73.5				
PB-CTL シュミット 入力	V+TH	CTLSMT (i)	AC 結合、C=0.1 μ F Typ (non pol)	—	250	—	mVp
	V-TH		AC 結合、C=0.1 μ F Typ (non pol)	—	-250	—	
アナログスイッチ ON 抵抗	REB			—	150	—	Ω
REC-CTL 出力電流	ICTL	CTL (+)	直列抵抗 = 0 Ω	—	8	—	mA
		CTL (-)		—	8	—	
REC-CTL 端子間抵抗	RCTL			—	10	—	k Ω
CTL リファレンス 出力電圧		CTLREF		—	1/2 SV _{cc}	—	V

29. 電気的特性 (F-ZTAT 版)

項目	記号	適用端子	測定条件	参考値			単位
				Min	Typ	Max	
CFG 端子バイアス電圧		CFG		—	1/2 SVcc	—	V
CFG 入力レベル		CFG	AC 結合、C=1 μ F Typ、f=1kHz	1.0	—	—	Vpp
CFG 入力インピーダンス		CFG		—	10	—	k Ω
CFG 入力しきい値	V+THCF	CFG	立ち上がりしきい値レベル	—	2.25	—	V
	V-THCF		立ち下がりしきい値レベル	—	2.75	—	
DFG シュミット入力	V+THDF	DFG	立ち上がりエッジシュミットレベル	—	1.95	—	V
	V-THDF		立ち下がりエッジシュミットレベル	—	1.85	—	
DPG シュミット入力	V+THDP	DPG	立ち上がりエッジシュミットレベル	—	3.55	—	V
	V-THDP		立ち下がりエッジシュミットレベル	—	3.45	—	
3 値出力レベル	V _{OH}	Vpulse	-I _{OH} =0.1mA	4.0	—	—	V
	V _{OM}		無負荷、Hiz=1	—	2.5	—	
	V _{OL}		I _{OL} =0.1mA	—	—	1.0	
3 値出力端子分圧抵抗		Vpulse		—	15	—	k Ω
CFG Duty		CFG	AC 結合、C=1 μ F Typ、f=1kHz	48	—	52	%

表 29.11 HD64F2194、HD64F2194C のサーボ部電気的特性

(条件 : 特記なき場合は、Vcc=SVcc=5.0V、Vss=SVss=0.0V、Ta=25)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
デジタル入力 High レベル	V _{IH}	COMP、EXCTL、EXCAP、EXTTRG		0.8Vcc	—	Vcc+0.3	V
デジタル入力 Low レベル	V _{IL}			-0.3	—	0.2Vcc	
デジタル出力 High レベル	V _{OH}	H. AmpSW、C. Rotary、VIDEOFF、AUDIOFF、DRMPWM、CAPPWM、SV1、SV2	-I _{OH} =1mA	Vcc-1.0	—	—	V
デジタル出力 Low レベル	V _{OL}		I _{OL} =1.6mA	—	—	0.6	
消費電流	I _{CCSV}	SVcc	無負荷時	—	5	10	mA

29.2.7 フラッシュメモリ特性

表 29.12 にフラッシュメモリ特性を示します。

表 29.12 フラッシュメモリ特性

(条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=0 \sim +75$ (書き込み/消去時の動作温度範囲))

項目	記号	測定条件	Min	Typ	Max	単位
書き込み時間* ¹ * ² * ⁴	t_p		—	10	200	ms/32 バイト
消去時間* ¹ * ³ * ⁵	t_E		—	100	1200	ms/ブロック
書き替え回数	N_{WEG}		—	—	100	回
書き込み時	SWE ビットセット後のウェイト時間* ¹	x	10	—	—	μs
	PSU ビットセット後のウェイト時間* ¹	y	50	—	—	μs
	P ビットセット後のウェイト時間* ¹ * ⁴	z	150	—	200	μs
	P ビットクリア後のウェイト時間* ¹	α	10	—	—	μs
	PSU ビットクリア後のウェイト時間* ¹	β	10	—	—	μs
	PV ビットセット後のウェイト時間* ¹	γ	4	—	—	μs
	ダミーライト後のウェイト時間* ¹	ϵ	2	—	—	μs
	PV ビットクリア後のウェイト時間* ¹	η	4	—	—	μs
	最大書き込み回数* ¹ * ⁴ * ⁵	N	z=200 μs のとき	—	—	1000
消去時	SWE ビットセット後のウェイト時間* ¹	x	10	—	—	μs
	ESU ビットセット後のウェイト時間* ¹	y	200	—	—	μs
	E ビットセット後のウェイト時間* ¹ * ⁶	z	5	—	10	ms
	E ビットクリア後のウェイト時間* ¹	α	10	—	—	μs
	ESU ビットクリア後のウェイト時間* ¹	β	10	—	—	μs
	EV ビットセット後のウェイト時間* ¹	γ	20	—	—	μs
	ダミーライト後のウェイト時間* ¹	ϵ	2	—	—	μs
	EV ビットクリア後のウェイト時間* ¹	η	5	—	—	μs
	最大消去回数* ¹ * ⁶	N		120	—	240

【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従い行ってください。

*2 32 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR) の P ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

*3 1 ブロックを消去する時間 (フラッシュメモリコントロールレジスタ (FLMCR) の E ビットをセットしているトータル期間を示します。消去ベリファイ時間は含まれません。)

*4 書き込み時間の最大値 ($t_p(\max)$) = P ビットセット後のウェイト時間 (z) × 最大書き込み回数 (N)

*5 P ビットセット後のウェイト時間 (z) = 200 μs 時の回数です。最大書き込み回数は、実際の (z) の設定値に合わせ、書き込み時間の最大値 ($t_p(\max)$) 以下となるように設定してください。

*6 消去時間の最大値 ($t_E(\max)$) に対して、E ビットセット後のウェイト時間 (z) と最大消去回数 (N) は以下の関係にあります。

$$t_E(\max) = E \text{ ビットセット後のウェイト時間 (z) } \times \text{最大消去回数 (N)}$$

(z) および (N) の値は、上式を満たすように設定してください。

(例) z=5 [ms] の場合、N=240 回

(例) z=10 [ms] の場合、N=120 回

29.2.8 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

29.3 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、HD6432194A の電气的特性

29.3.1 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、HD6432194A の DC 特性

表 29.13 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、HD6432194A の DC 特性
(条件：特記なき場合は、 $V_{cc}=AV_{cc}=4.0 \sim 5.5V$ 、 $V_{ss}=AV_{ss}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
入力 High レベル	V_{IH}	MD0	$V_{cc}=2.5 \sim 5.5V$	$0.9V_{cc}$	—	$V_{cc}+0.3$	V	
		RES、 \overline{NM} I、 \overline{IC} 、 $\overline{IRQ0} \sim \overline{IRQ5}$	$V_{cc}=2.5 \sim 5.5V$	$0.8V_{cc}$	—	$V_{cc}+0.3$		
		SCK1、SCK2、SI1、SI2、CS、FTIA、FTIB、FTIC、FTID、TRIG、TMBI、ADTRG		$0.8V_{cc}$	—	$V_{cc}+0.3$		
		OSC1、X1		$V_{cc}-0.5$	—	$V_{cc}+0.3$		
			$V_{cc}=2.5 \sim 5.5V$	$V_{cc}-0.3$	—	$V_{cc}+0.3$		
		P00 ~ P07、P10 ~ P17、P20 ~ P27、P30 ~ P37、P40 ~ P47、P50 ~ P53、P60 ~ P67、P70 ~ P77、P80 ~ P87、PS0 ~ PS4、		$0.7V_{cc}$	—	$V_{cc}+0.3$		
			$V_{cc}=2.5 \sim 5.5V$	$0.8V_{cc}$	—	$V_{cc}+0.3$		
		Csync		$0.7V_{cc}$	—	$V_{cc}+0.3$		

29. 電気的特性 (マスク ROM 版)

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
入力 Low レベル	V _{IL}	MD0	V _{CC} =2.5 ~ 5.5V	-0.3	—	0.1V _{CC}	V	
		RES、NMI、IC、 IRQ0 ~ IRQ5	V _{CC} =2.5 ~ 5.5V	-0.3	—	0.2V _{CC}		
		SCK1、SCK2、SI1、 SI2、CS、FTIA、 FTIB、FTIC、FTID、 TRIG、TMBI、 ADTRG		-0.3	—	0.2V _{CC}		
		OSC1、X1		-0.3	—	0.5		
			V _{CC} =2.5 ~ 5.5V	-0.3	—	0.3		
		P00 ~ P07、 P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PS0 ~ PS4	V _{CC} =2.5 ~ 5.5V	-0.3	—	0.3V _{CC}		
				-0.3	—	0.2V _{CC}		
		Csync		-0.3	—	0.2V _{CC}		

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
出力 High レベル	V _{OH}	SO1、SO2、SCK1、 SCK2、PWM1、 PWM2、PWM3、 PWM4、PWM14、 STRB、BUZZ、 TMO、TMOW、 FTOA、FTOB、 PPG70 ~ PPG77、 RP0 ~ RP7、 P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PS0 ~ PS4	-I _{OH} =1.0mA	V _{CC} -1.0	—	—	V	
			-I _{OH} =0.5mA	—	V _{CC} -0.5	—	V	参考値
			-I _{OH} =0.1mA V _{CC} =2.5 ~ 5.5V	V _{CC} -0.5	—	—	V	
出力 Low レベル	V _{OL}	SO1、SO2、SCK1、 SCK2、PWM1、 PWM2、PWM3、 PWM4、PWM14、 STRB、BUZZ、 TMO、TMOW、 FTOA、FTOB、 PPG70 ~ PPG77、 RP0 ~ RP7、 P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 PS0 ~ PS4	I _{OL} =1.6mA	—	—	0.6	V	
			I _{OL} =0.4mA V _{CC} =2.5 ~ 5.5V	—	—	0.4	V	
		P80 ~ P87	I _{OL} =20mA	—	—	1.5	V	
			I _{OL} =1.6mA	—	—	0.6	V	
			I _{OL} =0.4mA V _{CC} =2.5 ~ 5.5V	—	—	0.4	V	

29. 電気的特性 (マスク ROM 版)

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
入出力リーク 電流	I_{IL}	MD0、OSC1、 RES、NMI、 IRQ0 ~ IRQ5、IC	Vin= 0.5 ~ Vcc-0.5V	—	—	1.0	μA	
		SCK1、SCK2、SI1、 SI2、CS、FTIA、 FTIB、FTIC、FTID、 TRIG、TMBI、 ADTRG	Vin= 0.5 ~ Vcc-0.5V	—	—	1.0		
		P10 ~ P17、 P20 ~ P27、 P30 ~ P37、 P40 ~ P47、 P50 ~ P53、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87 PS0 ~ PS4	Vin= 0.5 ~ Vcc-0.5V	—	—	1.0		
		P00 ~ P07、 AN8 ~ ANB	Vin= 0.5 ~ AVcc-0.5V	—	—	1.0		
プリアップ MOS 電流	-Ip	P10 ~ P17、 P20 ~ P27、 P30 ~ P37	Vcc=5.0V、Vin=0V	50	—	300	μA	注 1
入力容量	Cin	電源端子 P23、P24 およびアナログ系 端子を除く	fin=1MHz、Vin=0V、 Ta=25	—	—	15	pF	
		P23、P24	fin=1MHz、Vin=0V、 Ta=25	—	—	20	pF	

29. 電気的特性 (マスク ROM 版)

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	Typ	Max		
アクティブモード CPU 動作時消費電流	I _{OPE}	Vcc	Vcc=5V、 f _{OSC} =10MHz、 高速モード	—	50	70	mA	注 2
			Vcc=5V、 f _{OSC} =10MHz、 中速モード (1/64)	—	35	—	mA	参考値
アクティブモードリセット時消費電流	I _{RES}	Vcc	Vcc=5V、 f _{OSC} =10MHz	—	25	45	mA	注 2
スリープモード消費電流	I _{SLEEP}	Vcc	Vcc=5V、 f _{OSC} =10MHz、 高速モード	—	20	30	mA	注 2
サブアクティブモード消費電流	I _{SUB}	Vcc	Vcc=2.5V、32kHz 水晶発振子使用時 (sub= w/2)	—	40	100	μA	注 2
			Vcc=2.5V、32 kHz 水晶発振子使用時 (sub= w/8)	—	20	—		参考値 注 2
サブスリープモード消費電流	I _{SUBSLP}	Vcc	Vcc=2.5V、32 kHz 水晶発振子使用時 (sub= w/2)	—	15	30	μA	注 2
			Vcc=2.5V、32 kHz 水晶発振子使用時 (sub= w/8)	—	10	—		参考値 注 2
ウォッチモード消費電流	I _{WATCH}	Vcc	Vcc=2.5V、32kHz 水晶発振子使用時	—	5	10	μA	注 2
			Vcc=5.0V、32kHz 水晶発振子使用時	—	10	—		参考値 注 2
スタンバイモード消費電流	I _{STBY}	Vcc	X1=Vcc、32kHz 水晶発振子未使用時	—	—	5	μA	注 2
スタンバイモード時 RAM 保持電圧	V _{STBY}			2.0	—	—	V	

【注】 A/D 変換器を使用しない場合でも、AVcc、AVss 端子は開放にしないでください。

1. プルアップ MOS セレクトレジスタ (PUR1 ~ PUR3) の該当ビットを 1 に設定した場合の電流値です。
2. プルアップ MOS や出力バッファに流れる電流は除きます。

29. 電氣的特性 (マスク ROM 版)

表 29.14 消費電流測定時の端子状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブモード 高速、中速	Vcc	動作	Vcc	メインクロック：水晶発振子 サブクロック：X1 端子=Vcc
スリープモード 高速、中速	Vcc	CPU、サーボ部のみ停止	Vcc	
リセット	Vss	リセット	Vcc	
スタンバイモード	Vcc	すべて停止	Vcc	
サブアクティブモード	Vcc	CPU、タイマ A のみ動作	Vcc	メインクロック：水晶発振子 サブクロック：水晶発振子
サブスリープモード	Vcc	タイマ A のみ動作	Vcc	
ウォッチモード	Vcc	タイマ A のみ動作	Vcc	

表 29.15 HD6432194、HD6432193、HD6432192、HD6432191、
HD6432194C、HD6432194B、HD6432194A のバス駆動特性

(条件：Vcc=AVcc=4.0~5.5V、Vss=0.0V、Ta=-20~+75)
対象端子：SCL、SDA

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
シュミット トリガ 入力電圧	V_T^-	SCL、SDA		0.2Vcc	—	—	V
	V_T^+			—	—	0.7Vcc	V
	V_T^+ $-V_T^-$			0.05Vcc	—	—	V
入力 High レベル電圧	V_{IH}	SCL、SDA		0.7Vcc	—	Vcc+0.5	V
入力 Low レベル電圧	V_{IL}	SCL、SDA		-0.5	—	0.2Vcc	V
出力 Low レベル電圧	V_{OL}	SCL、SDA	$I_{OL}=8mA$	—	—	0.5	V
			$I_{OL}=3mA$	—	—	0.4	
SCL、SDA 出力立ち 下がり時間	t_{of}	SCL、SDA		20+ 0.1Cb	—	250	ns

29.3.2 HD6432194、HD6432193、HD6432192、HD6432191、 HD6432194C、HD6432194B、HD6432194A の出力許容電流

デジタル系の端子について規定します。

表 29.16 HD6432194、HD6432193、HD6432192、HD6432191、
HD6432194C、HD6432194B、HD6432194A の出力許容電流
(条件: $V_{CC}=2.5 \sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	規格値	単位	注記
許容入力電流 (LSI への流入)	I_o	2	mA	1
許容入力電流 (LSI への流入)	I_o	22	mA	2
許容入力電流 (LSI への流入)	I_o	10	mA	3
許容出力電流 (LSI からの流出)	$-I_o$	2	mA	4
許容総入力電流 (LSI への流入)	ΣI_o	80	mA	5
許容総出力電流 (LSI からの流出)	$-\Sigma I_o$	50	mA	6

- 【注】
- 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。ポート 8、SCL、SDA を除く。
 - 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。ポート 8 に適用します。
 - 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。SCL、SDA に適用します。
 - 許容出力電流とは、 V_{CC} から各入出力端子へ流し出せる電流の最大値です。
 - 許容総入力電流とは、同時に全入出力端子から V_{SS} へ流し込める電流の総和です。
 - 許容総出力電流とは、 V_{CC} から全入出力端子へ流し出せる電流の総和です。

29.3.3 HD6432194、HD6432193、HD6432192、HD6432191、
HD6432194C、HD6432194B、HD6432194A の AC 特性表 29.17 HD6432194、HD6432193、HD6432192、HD6432191、
HD6432194C、HD6432194B、HD6432194A の AC 特性
(条件：特記なき場合は、 $V_{CC}=AV_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	図
				Min	Typ	Max		
クロック発振 周波数	f_{OSC}	OSC1、OSC2		8	—	10	MHz	
クロックサイ クル時間	t_{cyc}	OSC1、OSC2		100	—	125	ns	図 29.11
サブクロック 発振周波数	f_x	X1、X2	$V_{CC}=2.5 \sim 5.5V$	—	32.768	—	kHz	
サブクロック サイクル時間	t_{subcyc}	X1、X2	$V_{CC}=2.5 \sim 5.5V$	—	30.518	—	μs	図 29.12
発振安定時間	t_{rc}	OSC1、OSC2	水晶発振子	—	—	10	ms	
		X1、X2	32kHz 水晶発振子 $V_{CC}=2.5 \sim 5.5V$	—	—	2	s	
外部クロック High レベル幅	t_{CPH}	OSC1		40	—	—	ns	図 29.11
外部クロック Low レベル幅	t_{CPL}	OSC1		40	—	—	ns	
外部クロック 立ち上がり時 間	t_{CPr}	OSC1		—	—	10	ns	
外部クロック 立ち下がり時 間	t_{CPf}	OSC1		—	—	10	ns	
外部クロック 安定遅延時間	t_{DEXT}	OSC1		500	—	—	μs	図 29.13
サブクロック 入力 Low レベ ルパルス幅	t_{EXCLL}	X1	$V_{CC}=2.5 \sim 5.5V$	—	15.26	—	μs	図 29.12
サブクロック 入力 High レベ ルパルス幅	t_{EXCLH}	X1	$V_{CC}=2.5 \sim 5.5V$	—	15.26	—	μs	
サブクロック 入力立ち上が り時間	t_{EXCLr}	X1	$V_{CC}=2.5 \sim 5.5V$	—	—	10	ns	
サブクロック 入力立ち下が り時間	t_{EXCLf}	X1	$V_{CC}=2.5 \sim 5.5V$	—	—	10	ns	

項目	記号	適用端子	測定条件	規格値			単位	図
				Min	Typ	Max		
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC}=2.5V \sim 5.5V$	20	—	—	t_{cyc}	図 29.14
入力端子 High レベル幅	t_{IH}	IRQ0 ~ IRQ5、 NMI、IC、 ADTRG、TMBI、 FTIA、FTIB、 FTIC、FTID、 TRIG	$V_{CC}=2.5V \sim 5.5V$	2	—	—	t_{cyc} t_{subcyc}	図 29.15
入力端子 Low レベル幅	t_{IL}	IRQ0 ~ IRQ5、 NMI、IC、 ADTRG、TMBI、 FTIA、FTIB、 FTIC、FTID、 TRIG	$V_{CC}=2.5V \sim 5.5V$	2	—	—	t_{cyc} t_{subcyc}	図 29.15

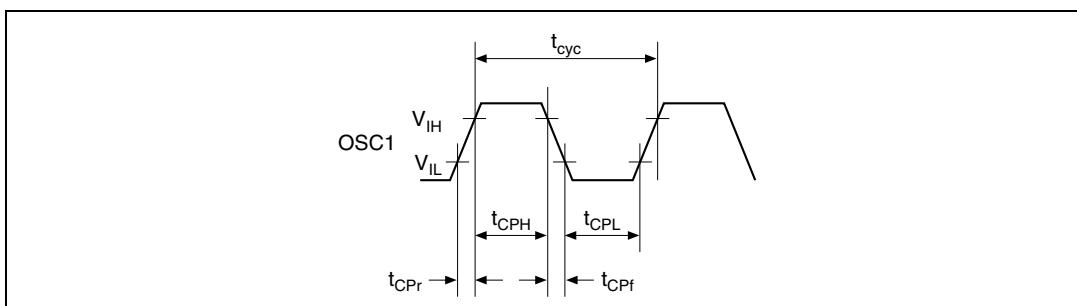


図 29.11 システムクロックタイミング

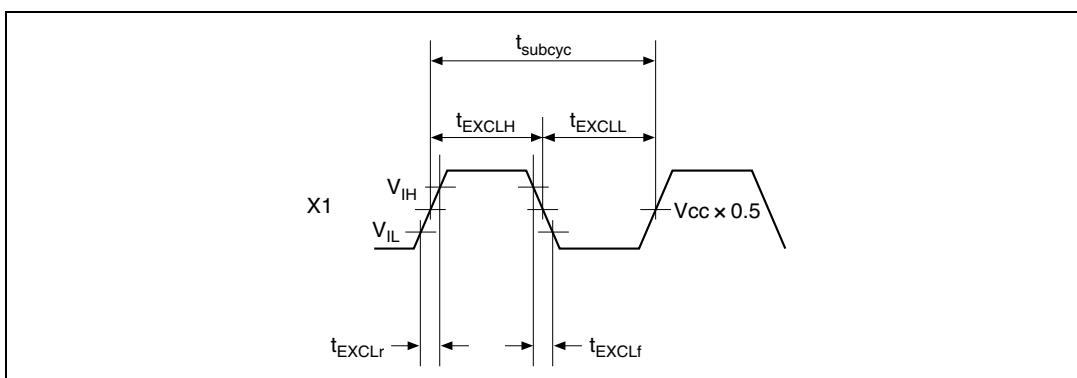


図 29.12 サブクロック入力タイミング

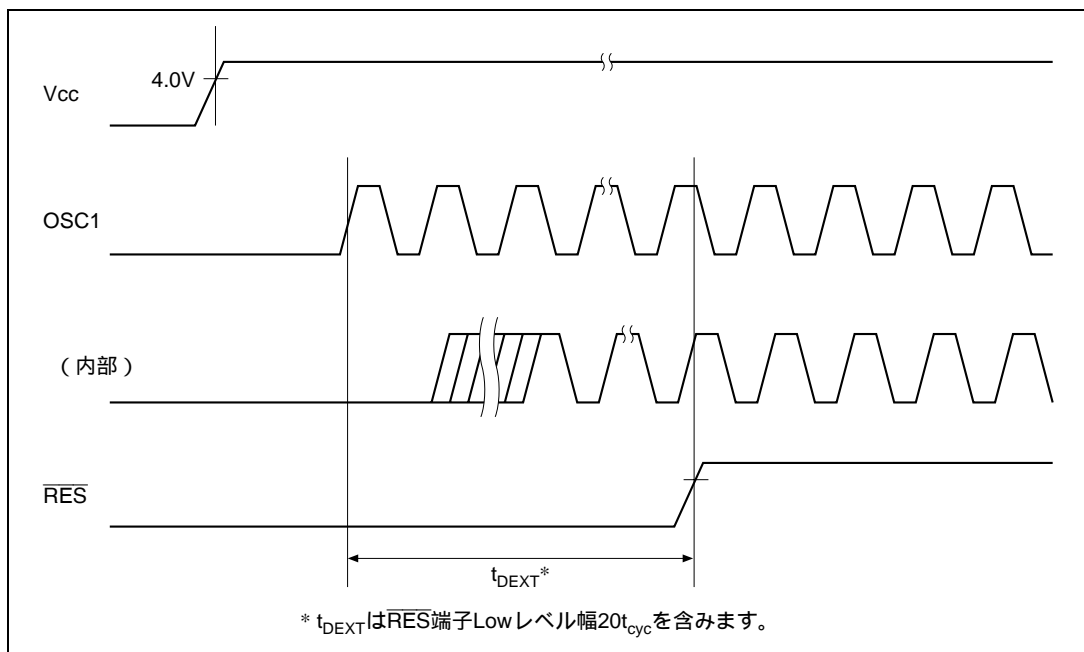


図 29.13 外部クロック安定遅延時間タイミング

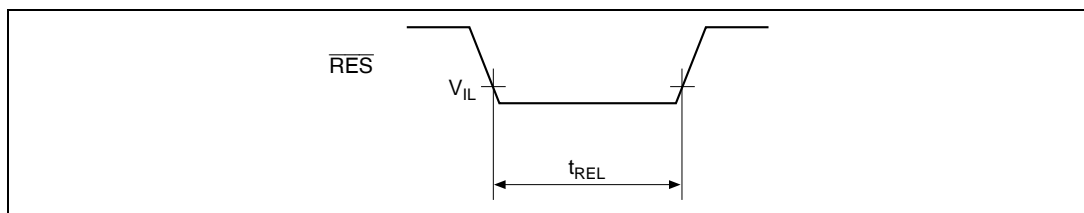


図 29.14 リセット入力タイミング

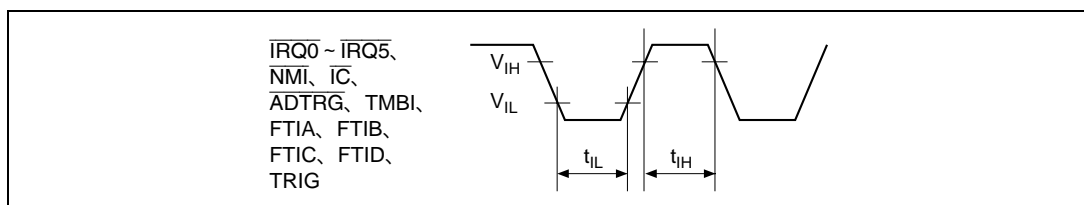


図 29.15 入力タイミング

29.3.4 HD6432194、HD6432193、HD6432192、HD6432191、 HD6432194C、HD6432194B、HD6432194A のシリアルインタ フェースタイミング

表 29.18 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、
HD6432194A のシリアルインタフェースタイミング
(条件：特記なき場合は、 $V_{CC}=AV_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	図
				Min	Typ	Max		
入力クロックサイクル	t_{scyc}	SCK1	調歩同期	4	—	—	t_{scyc}	図 29.16
			クロック同期	6	—	—		
		SCK2	2	—	—			
入力クロックパルス幅	t_{SCKW}	SCK1、SCK2		0.4	—	0.6	t_{scyc}	
入力クロック立ち上がり 時間	t_{SCKr}	SCK1		—	—	1.5	t_{scyc}	
		SCK2		—	—	60	ns	
入力クロック立ち下がり 時間	t_{SCKf}	SCK1		—	—	1.5	t_{scyc}	
		SCK2		—	—	60	ns	
送信データ遅延時間 (クロック同期)	t_{TXD}	SO1		—	—	100	ns	図 29.17
受信データセットアップ 時間 (クロック同期)	t_{RXS}	SI1		100	—	—	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	SI1		100	—	—	ns	
送信データ出力遅延時間	t_{TXD}	SO2		—	—	200	ns	図 29.17
受信データセットアップ 時間 (クロック同期)	t_{RXS}	SI2		180	—	—	ns	
受信データホールド時間 (クロック同期)	t_{RXH}	SI2		180	—	—	ns	
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		1	—	—	t_{scyc}	図 29.18
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		1	—	—	t_{scyc}	

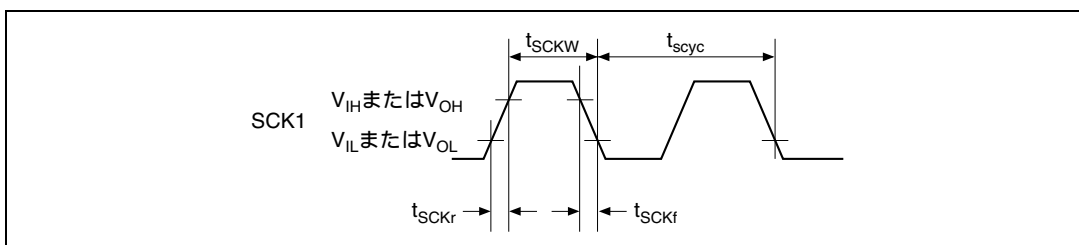


図 29.16 SCK1 クロックタイミング

29. 電気的特性 (マスク ROM 版)

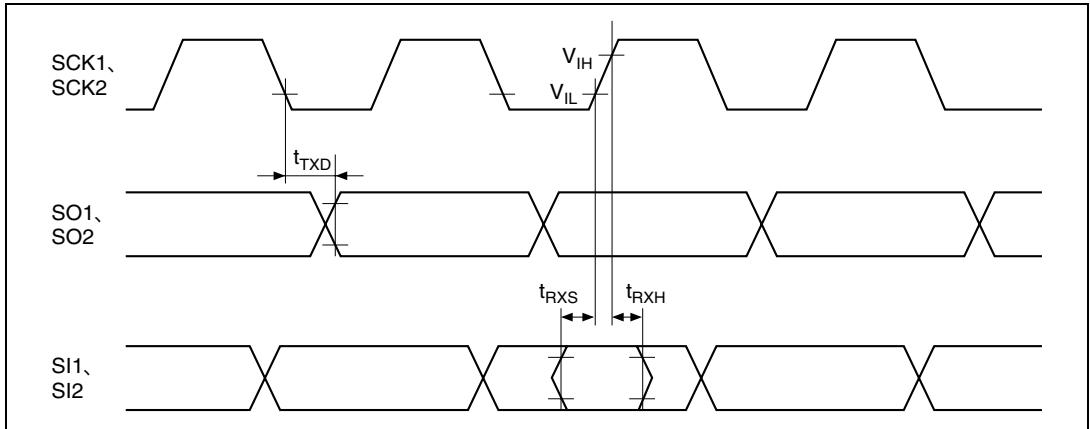


図 29.17 SCI 入出力タイミング/クロック同期式モード

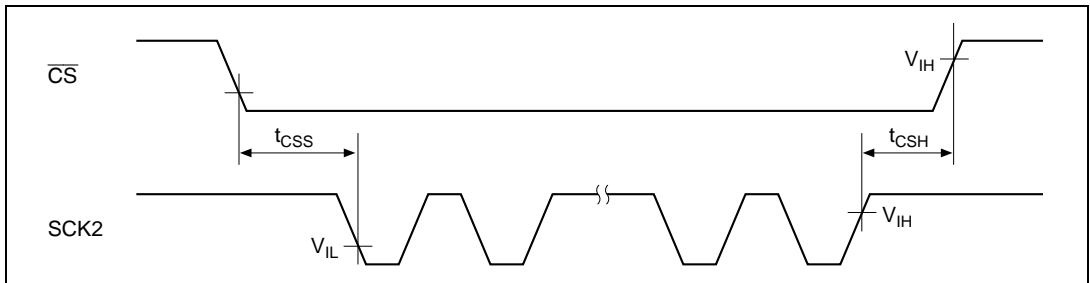


図 29.18 SCI2 チップセレクトタイミング

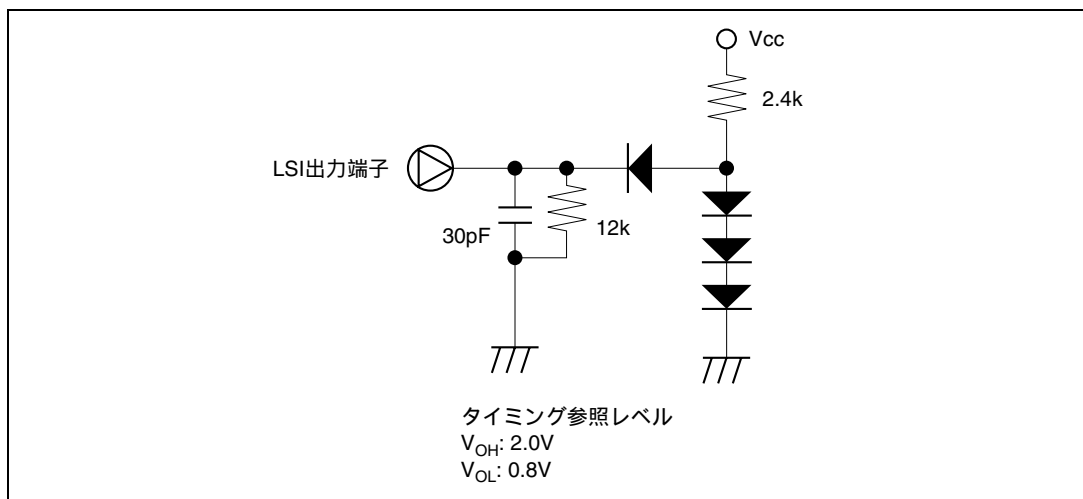


図 29.19 出力負荷条件

表 29.19 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、
 HD6432194A の I²C バスインタフェースタイミング
 (条件: 特記なき場合は、 $V_{CC}=AV_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20 \sim +75$)

項目	記号	測定条件	規格値			単位	図
			Min	Typ	Max		
SCL 入力サイクル時間	t_{SCL}		12	—	—	t_{cyc}	図 29.20
SCL 入力 High パルス幅	t_{SCLH}		3	—	—	t_{cyc}	
SCL 入力 Low パルス幅	t_{SCLL}		5	—	—	t_{cyc}	
SCL、SDA 入力立ち上がり時間	t_{sr}		—	—	7.5*	t_{cyc}	
SCL、SDA 入力立ち下がり時間	t_{sf}		—	—	300	ns	
SCL、SDA 入力スパイクパルス除去時間	t_{sp}		—	—	1	t_{cyc}	
SDA 入力バスフリー時間	t_{BUF}		5	—	—	t_{cyc}	
開始条件入力ホールド時間	t_{STAH}		3	—	—	t_{cyc}	
再送開始条件入力セットアップ時間	t_{STAS}		3	—	—	t_{cyc}	
停止条件入力セットアップ時間	t_{STOS}		3	—	—	t_{cyc}	
データ入力セットアップ時間	t_{SDAS}		0.5	—	—	t_{cyc}	
データ入力ホールド時間	t_{SDAH}		0	—	—	ns	
SCL、SDA の容量負荷	C_b		—	—	400	pF	

【注】 * I²C モジュールで使用するクロックの選択により、 $17.5 t_{cyc}$ とすることが可能です。

29. 電気的特性 (マスク ROM 版)

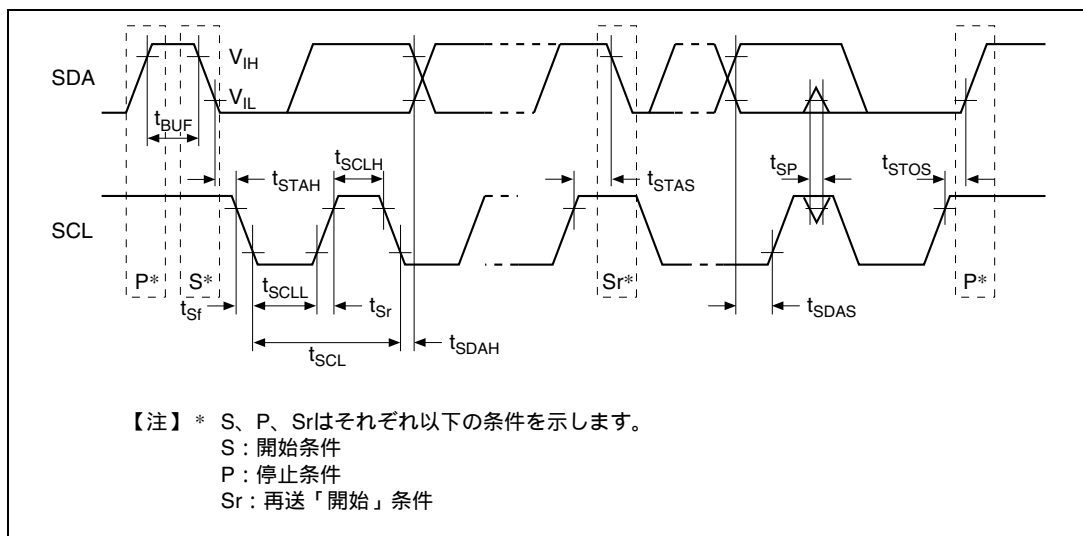


図 29.20 I²C バスインタフェース入出力タイミング

29.3.5 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、HD6432194A の A/D 変換器特性

表 29.20 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、HD6432194A の A/D 変換器特性
 (条件：特記なき場合は、V_{cc}=AV_{cc}=4.0 ~ 5.5V、V_{ss}=AV_{ss}=0.0V、T_a=-20 ~ +75)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
アナログ電源電圧	AV _{cc}	AV _{cc}		V _{cc} -0.3	V _{cc}	V _{cc} +0.3	V
アナログ入力電圧	A _{VIN}	AN0 ~ AN7、AN8 ~ ANB		AV _{ss}	—	AV _{cc}	V
アナログ電源電流	A _{ICC}	AV _{cc}	AV _{cc} =5.0V	—	—	2.0	mA
	A _{ISTOP}	AV _{cc}	V _{cc} =2.5 ~ 5.5V リセットおよび 低消費電力モード時	—	—	10	μA
アナログ入力容量	C _{AIN}	AN0 ~ AN7、AN8 ~ ANB		—	—	30	pF
許容信号源インピーダンス	R _{AIN}	AN0 ~ AN7、AN8 ~ ANB		—	—	10	kΩ
分解能				—	—	10	ビット
絶対精度			AV _{cc} =5.0V	—	—	±4	LSB
変換時間				13.4	—	26.6	μs

【注】 A/D 変換器を使用しない場合も AV_{cc}、AV_{ss} 端子は開放にしないでください。AV_{cc}=V_{cc}、AV_{ss}=V_{ss} としてください。

29.3.6 HD6432194、HD6432193、HD6432192、HD6432191、 HD6432194C、HD6432194B、HD6432194A のサーボ部電氣的特性

表 29.21 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、
HD6432194A のサーボ部電氣的特性 (参考値)

(条件: 特記なき場合は、 $V_{cc}=SV_{cc}=5.0V$ 、 $V_{ss}=SV_{ss}=0.0V$ 、 $T_a=25$) 参考値

項目	記号	適用端子	測定条件	参考値			単位
				Min	Typ	Max	
PB-CTL 入力アンプ 電圧利得		CTL (+)	CTLGR3=0、CTLGR2=0、CTLGR1=0、 CTLGR0=0、f=10kHz	32.0	34.0	36.0	dB
			CTLGR3=0、CTLGR2=0、CTLGR1=0、 CTLGR0=1、f=10kHz	34.5	36.5	38.5	
			CTLGR3=0、CTLGR2=0、CTLGR1=1、 CTLGR0=0、f=10kHz	37.0	39.0	41.0	
			CTLGR3=0、CTLGR2=0、CTLGR1=1、 CTLGR0=1、f=10kHz	39.5	41.5	43.5	
			CTLGR3=0、CTLGR2=1、CTLGR1=0、 CTLGR0=0、f=10kHz	42.0	44.0	46.0	
			CTLGR3=0、CTLGR2=1、CTLGR1=0、 CTLGR0=1、f=10kHz	44.5	46.5	48.5	
			CTLGR3=0、CTLGR2=1、CTLGR1=1、 CTLGR0=0、f=10kHz	47.0	49.0	51.0	
			CTLGR3=0、CTLGR2=1、CTLGR1=1、 CTLGR0=1、f=10kHz	49.5	51.5	53.5	
			CTLGR3=1、CTLGR2=0、CTLGR1=0、 CTLGR0=0、f=10kHz	52.0	54.0	56.0	
			CTLGR3=1、CTLGR2=0、CTLGR1=0、 CTLGR0=1、f=10kHz	54.5	56.5	58.5	
			CTLGR3=1、CTLGR2=0、CTLGR1=1、 CTLGR0=0、f=10kHz	57.0	59.0	61.0	
			CTLGR3=1、CTLGR2=0、CTLGR1=1、 CTLGR0=1、f=10kHz	59.5	61.5	63.5	
			CTLGR3=1、CTLGR2=1、CTLGR1=0、 CTLGR0=0、f=10kHz	62.0	64.0	66.0	
			CTLGR3=1、CTLGR2=1、CTLGR1=0、 CTLGR0=1、f=10kHz	64.5	66.5	68.5	
			CTLGR3=1、CTLGR2=1、CTLGR1=1、 CTLGR0=0、f=10kHz	67.0	69.0	71.0	
CTLGR3=1、CTLGR2=1、CTLGR1=1、 CTLGR0=1、f=10kHz	69.5	71.5	73.5				
PB-CTL シュミット 入力	V+TH	CTLSMT (i)	AC 結合、C=0.1 μ F Typ (non pol)	—	250	—	mVp
	V-TH		AC 結合、C=0.1 μ F Typ (non pol)	—	-250	—	
アナログスイッチ ON 抵抗	REB			—	150	—	Ω

29. 電気的特性 (マスク ROM 版)

項目	記号	適用端子	測定条件	参考値			単位
				Min	Typ	Max	
REC-CTL 出力電流	ICTL	CTL (+)	直列抵抗 = 0Ω	—	8	—	mA
		CTL (-)		—	8	—	
REC-CTL 端子間抵抗	RCTL			—	10	—	kΩ
CTL リファレンス出力電圧		CTLREF		—	1/2 SVcc	—	V
CFG 端子バイアス電圧		CFG		—	1/2 SVcc	—	V
CFG 入力レベル		CFG	AC 結合、C=1μF Typ、f=1kHz	1.0	—	—	Vpp
CFG 入力インピーダンス		CFG		—	10	—	kΩ
CFG 入力しきい値	V+THCF	CFG	立ち上がりしきい値レベル	—	2.25	—	V
	V-THCF		立ち下がりしきい値レベル	—	2.75	—	
DFG シュミット入力	V+THDF	DFG	立ち上がりエッジシュミットレベル	—	1.95	—	V
	V-THDF		立ち下がりエッジシュミットレベル	—	1.85	—	
DPG シュミット入力	V+THDP	DPG	立ち上がりエッジシュミットレベル	—	3.55	—	V
	V-THDP		立ち下がりエッジシュミットレベル	—	3.45	—	
3 値出力レベル	V _{OH}	Vpulse	-I _{OH} =0.1mA	4.0	—	—	V
	V _{OM}		無負荷、Hiz=1	—	2.5	—	
	V _{OL}		I _{OL} =0.1mA	—	—	1.0	
3 値出力端子分圧抵抗		Vpulse		—	15	—	kΩ
CFG Duty		CFG	AC 結合、C=1μF Typ、f=1kHz	48	—	52	%

表 29.22 HD6432194、HD6432193、HD6432192、HD6432191、HD6432194C、HD6432194B、HD6432194A のサーボ部電気的特性
(条件：特記なき場合は、Vcc=SVcc=5.0V、Vss=SVss=0.0V、Ta=25)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
デジタル入力 High レベル	V _{IH}	COMP、EXCTL、EXCAP、EXTTRG		0.8Vcc	—	Vcc+0.3	V
デジタル入力 Low レベル	V _{IL}			-0.3	—	0.2Vcc	
デジタル出力 High レベル	V _{OH}	H. AmpSW、C. Rotary、VIDEOFF、AUDIOFF、DRMPWM、CAPPWM、SV1、SV2	-I _{OH} =1mA	Vcc-1.0	—	—	V
デジタル出力 Low レベル	V _{OL}		I _{OL} =1.6mA	—	—	0.6	
消費電流	I _{CCSV}	SVcc	無負荷時	—	5	10	mA

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側) * ¹
Rs	汎用レジスタ (ソース側) * ¹
Rn	汎用レジスタ * ¹
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ) * ²
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
() < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 *1 汎用レジスタは、8 ビット (R0H ~ R7H, R0L ~ R7L)、16 ビット (R0 ~ R7, E0 ~ E7) または 32 ビット (ER0 ~ ER7) です。

*2 MAC レジスタは本 LSI では使用できません。

《コンディションコード》

記 号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行ステート数 ^{*1}	
		#xx	Rn	@ERn	@(d:ERn)	@-ERn/@ERn+	@aa	@(d:PC)	@aa		I	H	N	Z	V		C
MOV	MOV.B #xx:8,Rd	B	2								#xx:8 Rd8						1
	MOV.B Rs,Rd	B		2							Rs8 Rd8						1
	MOV.B @ERs,Rd	B			2						@ERs Rd8						2
	MOV.B @(d:16,ERs),Rd	B				4					@(d:16,ERs) Rd8						3
	MOV.B @(d:32,ERs),Rd	B					8				@(d:32,ERs) Rd8						5
	MOV.B @ERs+,Rd	B						2			@ERs Rd8,ERs32+1 ERs32						3
	MOV.B @aa:8,Rd	B							2		@aa:8 Rd8						2
	MOV.B @aa:16,Rd	B								4	@aa:16 Rd8						3
	MOV.B @aa:32,Rd	B								6	@aa:32 Rd8						4
	MOV.B Rs,@ERd	B			2						Rs8 @ERd						2
	MOV.B Rs,@(d:16,ERd)	B				4					Rs8 @(d:16,ERd)						3
	MOV.B Rs,@(d:32,ERd)	B					8				Rs8 @(d:32,ERd)						5
	MOV.B Rs,@-ERd	B						2			ERd32-1 ERd32,Rs8 @ERd						3
	MOV.B Rs,@aa:8	B							2		Rs8 @aa:8						2
	MOV.B Rs,@aa:16	B								4	Rs8 @aa:16						3
	MOV.B Rs,@aa:32	B								6	Rs8 @aa:32						4
	MOV.W #xx:16,Rd	W	4								#xx:16 Rd16						2
	MOV.W Rs,Rd	W		2							Rs16 Rd16						1
	MOV.W @ERs,Rd	W			2						@ERs Rd16						2
	MOV.W @(d:16,ERs),Rd	W				4					@(d:16,ERs) Rd16						3
	MOV.W @(d:32,ERs),Rd	W					8				@(d:32,ERs) Rd16						5
	MOV.W @ERs+,Rd	W						2			@ERs Rd16,ERs32+2 ERs32						3
	MOV.W @aa:16,Rd	W							4		@aa:16 Rd16						3
	MOV.W @aa:32,Rd	W								6	@aa:32 Rd16						4
	MOV.W Rs,@ERd	W			2						Rs16 @ERd						2
	MOV.W Rs,@(d:16,ERd)	W				4					Rs16 @(d:16,ERd)						3
	MOV.W Rs,@(d:32,ERd)	W					8				Rs16 @(d:32,ERd)						5
	MOV.W Rs,@-ERd	W						2			ERd32-2 ERd32,Rs16 @ERd						3
	MOV.W Rs,@aa:16	W							4		Rs16 @aa:16						3
	MOV.W Rs,@aa:32	W								6	Rs16 @aa:32						4
	MOV.L #xx:32,ERd	L	6								#xx:32 ERd32						3
	MOV.L ERs,ERd	L		2							ERs32 ERd32						1
	MOV.L @ERs,ERd	L			4						@ERs ERd32						4
	MOV.L @(d:16,ERs),ERd	L				6					@(d:16,ERs) ERd32						5
	MOV.L @(d:32,ERs),ERd	L					10				@(d:32,ERs) ERd32						7
	MOV.L @ERs+,ERd	L						4			@ERs ERd32,ERs32+4 ERs32						5
	MOV.L @aa:16,ERd	L							6		@aa:16 ERd32						5
	MOV.L @aa:32,ERd	L								8	@aa:32 ERd32						6
	MOV.L ERs,@ERd	L			4						ERs32 @ERd						4
	MOV.L ERs,@(d:16,ERd)	L				6					ERs32 @(d:16,ERd)						5
MOV.L ERs,@(d:32,ERd)	L					10				ERs32 @(d:32,ERd)						7	
MOV.L ERs,@-ERd	L						4			ERd32-4 ERd32,ERs32 @ERd						5	
MOV.L ERs,@aa:16	L							6		ERs32 @aa:16						5	
MOV.L ERs,@aa:32	L								8	ERs32 @aa:32						6	
POP	POP.W Rn	W						2		@SP Rn16,SP+2 SP						3	
	POP.L ERn	L						4		@SP ERn32,SP+4 SP						5	
PUSH	PUSH.W Rn	W						2		SP-2 SP,Rn16 @SP						3	
	PUSH.L ERn	L						4		SP-4 SP,ERn32 @SP						5	
LDM	LDM @SP+,(ERm-ERn)	L						4		(@SP ERn32,SP+4 SP) 復帰本数分繰り返し						7/9/11 [1]	
STM	STM (ERm-ERn),@-SP	L						4		(SP-4 SP,ERn32 @SP) 退避本数分繰り返し						7/9/11 [1]	
MOVFPPE	MOVFPPE @aa:16,Rd															[2]	
MOVTPPE	MOVTPPE Rs,@aa:16															[2]	

本LSIでは使用できません。

(2) 算術演算命令

二一モニック	オペレーション	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行ステート数 ^{#1}					
			#xx	Rn	@ERn	@(c,ERn)	@-ERn/@ERn+	@aa	@(c,PC)	@@aa		I	H	N	Z	V		C				
			アドバンスト																			
ADD	ADD.B #xx:8,Rd	B	2													Rd8+#xx:8 Rd8	↑	↑	↑	↑	↑	1
	ADD.B Rs,Rd	B	2													Rd8+Rs8 Rd8	↑	↑	↑	↑	↑	1
	ADD.W #xx:16,Rd	W	4													Rd16+#xx:16 Rd16	3	↑	↑	↑	↑	2
	ADD.W Rs,Rd	W	2													Rd16+Rs16 Rd16	3	↑	↑	↑	↑	1
	ADD.L #xx:32,ERd	L	6													ERd32+#xx:32 ERd32	4	↑	↑	↑	↑	3
ADDDX	ADDDX #xx:8,Rd	B	2													ERd32+ERs32 ERd32	4	↑	↑	↑	↑	1
	ADDDX Rs,Rd	B	2													Rd8+#xx:8+C Rd8	↑	↑	5	↑	↑	1
ADDS	ADDS #1,ERd	L	2													Rd8+Rs8+C Rd8	↑	↑	5	↑	↑	1
	ADDS #2,ERd	L	2													ERd32+1 ERd32						1
	ADDS #4,ERd	L	2													ERd32+2 ERd32						1
INC	INC.B Rd	B	2													ERd32+4 ERd32						1
	INC.W #1,Rd	W	2													Rd8+1 Rd8						1
	INC.W #2,Rd	W	2													Rd16+1 Rd16						1
	INC.L #1,ERd	L	2													Rd16+2 Rd16						1
	INC.L #2,ERd	L	2													ERd32+1 ERd32						1
DAA	DAA Rd	B	2													Rd8 10進補正 Rd8	*	↑	↑	*	↑	1
SUB	SUB.B Rs,Rd	B	2													Rd8-Rs8 Rd8	↑	↑	↑	↑	↑	1
	SUB.W #xx:16,Rd	W	4													Rd16-#xx:16 Rd16	3	↑	↑	↑	↑	2
	SUB.W Rs,Rd	W	2													Rd16-Rs16 Rd16	3	↑	↑	↑	↑	1
	SUB.L #xx:32,ERd	L	6													ERd32-#xx:32 ERd32	4	↑	↑	↑	↑	3
	SUB.L ERs,ERd	L	2													ERd32-ERs32 ERd32	4	↑	↑	↑	↑	1
SUBX	SUBX #xx:8,Rd	B	2													Rd8-#xx:8-C Rd8	↑	↑	5	↑	↑	1
	SUBX Rs,Rd	B	2													Rd8-Rs8-C Rd8	↑	↑	5	↑	↑	1
SUBS	SUBS #1,ERd	L	2													ERd32-1 ERd32						1
	SUBS #2,ERd	L	2													ERd32-2 ERd32						1
	SUBS #4,ERd	L	2													ERd32-4 ERd32						1
DEC	DEC.B Rd	B	2													Rd8-1 Rd8						1
	DEC.W #1,Rd	W	2													Rd16-1 Rd16						1
	DEC.W #2,Rd	W	2													Rd16-2 Rd16						1
	DEC.L #1,ERd	L	2													ERd32-1 ERd32						1
	DEC.L #2,ERd	L	2													ERd32-2 ERd32						1
DAS	DAS Rd	B	2													Rd8 10進補正 Rd8	*	↑	↑	*	↑	1
MULXU	MULXU.B Rs,Rd	B	2													Rd8 x Rs8 Rd16 (符号なし乗算)						12
	MULXU.W Rs,ERd	W	2													Rd16 x Rs16 ERd32 (符号なし乗算)						20
MULXS	MULXS.B Rs,Rd	B	4													Rd8 x Rs8 Rd16 (符号付き乗算)						13
	MULXS.W Rs,ERd	W	4													Rd16 x Rs16 ERd32 (符号付き乗算)						21
DIVXU	DIVXU.B Rs,Rd	B	2													Rd16 ÷ Rs8 Rd16 (RdH : 余り, RdL : 商) (符号なし除算)	6	↑	↑			12
	DIVXU.W Rs,ERd	W	2													ERd32 ÷ Rs16 ERd32 (Ed : 余り, Rd : 商) (符号なし除算)	6	↑	↑			20
DIVXS	DIVXS.B Rs,Rd	B	4													Rd16 ÷ Rs8 Rd16 (RdH : 余り, RdL : 商) (符号付き除算)	8	↑	↑			13
	DIVXS.W Rs,ERd	W	4													ERd32 ÷ Rs16 ERd32 (Ed : 余り, Rd : 商) (符号付き除算)	8	↑	↑			21
CMP	CMP.B #xx:8,Rd	B	2													Rd8-#xx:8	↑	↑	↑	↑	↑	1
	CMP.B Rs,Rd	B	2													Rd8-Rs8	↑	↑	↑	↑	↑	1
	CMP.W #xx:16,Rd	W	4													Rd16-#xx:16	3	↑	↑	↑	↑	2
	CMP.W Rs,Rd	W	2													Rd16-Rs16	3	↑	↑	↑	↑	1
	CMP.L #xx:32,ERd	L	6													ERd32-#xx:32	4	↑	↑	↑	↑	3
	CMP.L ERs,ERd	L	2													ERd32-ERs32	4	↑	↑	↑	↑	1
NEG	NEG.B Rd	B	2													0-Rd8 Rd8	↑	↑	↑	↑	↑	1
	NEG.W Rd	W	2													0-Rd16 Rd16	↑	↑	↑	↑	↑	1
	NEG.L ERd	L	2													0-ERd32 ERd32	↑	↑	↑	↑	↑	1
EXTU	EXTU.W Rd	W	2													0 (<ビット15-8> of Rd16)	0	↑	0			1
	EXTU.L ERd	L	2													0 (<ビット31-16> of ERd32)	0	↑	0			1
EXTS	EXTS.W Rd	W	2													(<ビット7> of Rd16)	↑	↑	0			1
	EXTS.L ERd	L	2													(<ビット15-8> of Rd16)						1
TAS ^{#2}	TAS @ERd	B			4											(<ビット15> of ERd32)				0		1
																(<ビット31-16> of ERd32)						4
MAC	MAC @ERn+,@ERm+															@ERd-0 CCRセット (1)				0		
CLRMAC	CLRMAC															(<ビット7> of @ERd)						
LDMAC	LDMAC ERs,MAC																					
STMAC	STMAC MACH,ERd																					
	STMAC MACL,ERd																					

本LSIでは使用できません。

[2]

(3) 論理演算命令

二モニック		サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード					実行 ステート数*1 アドバンスト		
			#xx	Rn	@ERn	@d(ERn)	@-ERn/@ERn+	@aa	@d(PC)		@@aa	I	H	N	Z		V	C
AND	AND.B #xx:8,Rd	B	2														1	
	AND.B Rs,Rd	B	2														1	
	AND.W #xx:16,Rd	W	4														2	
	AND.W Rs,Rd	W	2														1	
	AND.L #xx:32,ERd	L	6														3	
	AND.L ERs,ERd	L	4														2	
OR	OR.B #xx:8,Rd	B	2														1	
	OR.B Rs,Rd	B	2														1	
	OR.W #xx:16,Rd	W	4														2	
	OR.W Rs,Rd	W	2														1	
	OR.L #xx:32,ERd	L	6														3	
	OR.L ERs,ERd	L	4														2	
XOR	XOR.B #xx:8,Rd	B	2														1	
	XOR.B Rs,Rd	B	2														1	
	XOR.W #xx:16,Rd	W	4														2	
	XOR.W Rs,Rd	W	2														1	
	XOR.L #xx:32,ERd	L	6														3	
	XOR.L ERs,ERd	L	4														2	
NOT	NOT.B Rd	B	2														1	
	NOT.W Rd	W	2														1	
	NOT.L ERd	L	2														1	

(4) シフト命令

二ノモニツク	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディツションコード					実行ステート数#1 アドバンス		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)		@aa	I	H	N	Z		V	C
SHAL	SHAL.B Rd	B	2													1	
	SHAL.B #2,Rd	B	2														1
	SHAL.W Rd	W	2														1
	SHAL.W #2,Rd	W	2														1
	SHAL.L ERd	L	2														1
	SHAL.L #2,ERd	L	2														1
SHAR	SHAR.B Rd	B	2											0		1	
	SHAR.B #2,Rd	B	2											0		1	
	SHAR.W Rd	W	2											0		1	
	SHAR.W #2,Rd	W	2											0		1	
	SHAR.L ERd	L	2											0		1	
	SHAR.L #2,ERd	L	2											0		1	
SHLL	SHLL.B Rd	B	2											0		1	
	SHLL.B #2,Rd	B	2											0		1	
	SHLL.W Rd	W	2											0		1	
	SHLL.W #2,Rd	W	2											0		1	
	SHLL.L ERd	L	2											0		1	
	SHLL.L #2,ERd	L	2											0		1	
SHLR	SHLR.B Rd	B	2								0			0		1	
	SHLR.B #2,Rd	B	2								0			0		1	
	SHLR.W Rd	W	2								0			0		1	
	SHLR.W #2,Rd	W	2								0			0		1	
	SHLR.L ERd	L	2								0			0		1	
	SHLR.L #2,ERd	L	2								0			0		1	
ROTXL	ROTXL.B Rd	B	2											0		1	
	ROTXL.B #2,Rd	B	2											0		1	
	ROTXL.W Rd	W	2											0		1	
	ROTXL.W #2,Rd	W	2											0		1	
	ROTXL.L ERd	L	2											0		1	
	ROTXL.L #2,ERd	L	2											0		1	
ROTXR	ROTXR.B Rd	B	2											0		1	
	ROTXR.B #2,Rd	B	2											0		1	
	ROTXR.W Rd	W	2											0		1	
	ROTXR.W #2,Rd	W	2											0		1	
	ROTXR.L ERd	L	2											0		1	
	ROTXR.L #2,ERd	L	2											0		1	
ROTL	ROTL.B Rd	B	2											0		1	
	ROTL.B #2,Rd	B	2											0		1	
	ROTL.W Rd	W	2											0		1	
	ROTL.W #2,Rd	W	2											0		1	
	ROTL.L ERd	L	2											0		1	
	ROTL.L #2,ERd	L	2											0		1	
ROTR	ROTR.B Rd	B	2											0		1	
	ROTR.B #2,Rd	B	2											0		1	
	ROTR.W Rd	W	2											0		1	
	ROTR.W #2,Rd	W	2											0		1	
	ROTR.L ERd	L	2											0		1	
	ROTR.L #2,ERd	L	2											0		1	

(5) ビット操作命令

二モニック	アドレッシングモード / 命令長 (バイト)	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行 ステート数*1	
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		I	H	N	Z	V		C
BSET	BSET #xx:3,Rd	B	2								(#xx:3 of Rd) 1							1
	BSET #xx:3,@ERd	B		4							(#xx:3 of @ERd) 1							4
	BSET #xx:3,@aa:8	B						4			(#xx:3 of @aa:8) 1							4
	BSET #xx:3,@aa:16	B						6			(#xx:3 of @aa:16) 1							5
	BSET #xx:3,@aa:32	B						8			(#xx:3 of @aa:32) 1							6
	BSET Rn,Rd	B	2								(Rn8 of Rd) 1							1
	BSET Rn,@ERd	B		4							(Rn8 of @ERd) 1							4
	BSET Rn,@aa:8	B						4			(Rn8 of @aa:8) 1							4
	BSET Rn,@aa:16	B						6			(Rn8 of @aa:16) 1							5
BSET Rn,@aa:32	B						8			(Rn8 of @aa:32) 1							6	
BCLR	BCLR #xx:3,Rd	B	2								(#xx:3 of Rd) 0							1
	BCLR #xx:3,@ERd	B		4							(#xx:3 of @ERd) 0							4
	BCLR #xx:3,@aa:8	B						4			(#xx:3 of @aa:8) 0							4
	BCLR #xx:3,@aa:16	B						6			(#xx:3 of @aa:16) 0							5
	BCLR #xx:3,@aa:32	B						8			(#xx:3 of @aa:32) 0							6
	BCLR Rn,Rd	B	2								(Rn8 of Rd) 0							1
	BCLR Rn,@ERd	B		4							(Rn8 of @ERd) 0							4
	BCLR Rn,@aa:8	B						4			(Rn8 of @aa:8) 0							4
	BCLR Rn,@aa:16	B						6			(Rn8 of @aa:16) 0							5
BCLR Rn,@aa:32	B						8			(Rn8 of @aa:32) 0							6	
BNOT	BNOT #xx:3,Rd	B	2								(#xx:3 of Rd) [-(#xx:3 of Rd)]							1
	BNOT #xx:3,@ERd	B		4							(#xx:3 of @ERd) [-(#xx:3 of @ERd)]							4
	BNOT #xx:3,@aa:8	B						4			(#xx:3 of @aa:8) [-(#xx:3 of @aa:8)]							4
	BNOT #xx:3,@aa:16	B						6			(#xx:3 of @aa:16) [-(#xx:3 of @aa:16)]							5
	BNOT #xx:3,@aa:32	B						8			(#xx:3 of @aa:32) [-(#xx:3 of @aa:32)]							6
	BNOT Rn,Rd	B	2								(Rn8 of Rd) [- (Rn8 of Rd)]							1
	BNOT Rn,@ERd	B		4							(Rn8 of @ERd) [- (Rn8 of @ERd)]							4
	BNOT Rn,@aa:8	B						4			(Rn8 of @aa:8) [- (Rn8 of @aa:8)]							4
	BNOT Rn,@aa:16	B						6			(Rn8 of @aa:16) [- (Rn8 of @aa:16)]							5
BNOT Rn,@aa:32	B						8			(Rn8 of @aa:32) [- (Rn8 of @aa:32)]							6	
BTST	BTST #xx:3,Rd	B	2								~(#xx:3 of Rd) Z							1
	BTST #xx:3,@ERd	B		4							~(#xx:3 of @ERd) Z							3
	BTST #xx:3,@aa:8	B						4			~(#xx:3 of @aa:8) Z							3
	BTST #xx:3,@aa:16	B						6			~(#xx:3 of @aa:16) Z							4
	BTST #xx:3,@aa:32	B						8			~(#xx:3 of @aa:32) Z							5
	BTST Rn,Rd	B	2								~(Rn8 of Rd) Z							1
	BTST Rn,@ERd	B		4							~(Rn8 of @ERd) Z							3
	BTST Rn,@aa:8	B						4			~(Rn8 of @aa:8) Z							3
	BTST Rn,@aa:16	B						6			~(Rn8 of @aa:16) Z							4
BTST Rn,@aa:32	B						8			~(Rn8 of @aa:32) Z							5	
BLD	BLD #xx:3,Rd	B	2								(#xx:3 of Rd) C							1
	BLD #xx:3,@ERd	B		4							(#xx:3 of @ERd) C							3
	BLD #xx:3,@aa:8	B						4			(#xx:3 of @aa:8) C							3
	BLD #xx:3,@aa:16	B						6			(#xx:3 of @aa:16) C							4
	BLD #xx:3,@aa:32	B						8			(#xx:3 of @aa:32) C							5
BILD	BILD #xx:3,Rd	B	2								~(#xx:3 of Rd) C							1
	BILD #xx:3,@ERd	B		4							~(#xx:3 of @ERd) C							3
	BILD #xx:3,@aa:8	B						4			~(#xx:3 of @aa:8) C							3
	BILD #xx:3,@aa:16	B						6			~(#xx:3 of @aa:16) C							4
	BILD #xx:3,@aa:32	B						8			~(#xx:3 of @aa:32) C							5
BST	BST #xx:3,Rd	B	2								C (#xx:3 of Rd)							1
	BST #xx:3,@ERd	B		4							C (#xx:3 of @ERd)							4
	BST #xx:3,@aa:8	B						4			C (#xx:3 of @aa:8)							4
	BST #xx:3,@aa:16	B						6			C (#xx:3 of @aa:16)							5
	BST #xx:3,@aa:32	B						8			C (#xx:3 of @aa:32)							6
BIST	BIST #xx:3,Rd	B	2								~C (#xx:3 of Rd)							1
	BIST #xx:3,@ERd	B		4							~C (#xx:3 of @ERd)							4
	BIST #xx:3,@aa:8	B						4			~C (#xx:3 of @aa:8)							4
	BIST #xx:3,@aa:16	B						6			~C (#xx:3 of @aa:16)							5
	BIST #xx:3,@aa:32	B						8			~C (#xx:3 of @aa:32)							6
BAND	BAND #xx:3,Rd	B	2								C^(#xx:3 of Rd) C							1
	BAND #xx:3,@ERd	B		4							C^(#xx:3 of @ERd) C							3
	BAND #xx:3,@aa:8	B						4			C^(#xx:3 of @aa:8) C							3
	BAND #xx:3,@aa:16	B						6			C^(#xx:3 of @aa:16) C							4
	BAND #xx:3,@aa:32	B						8			C^(#xx:3 of @aa:32) C							5

付録

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行 ステート数#1	
			#xx	Rn	@ERn	@(d,LERn)	@-ERn/@ERn+	@aa	@(d,PC)		@@aa	I	H	N	Z		V
BIAND	BIAND #xx:3,Rd	B		2													1
	BIAND #xx:3,@ERd	B			4												3
	BIAND #xx:3,@aa:8	B						4									3
	BIAND #xx:3,@aa:16	B						6									4
	BIAND #xx:3,@aa:32	B						8									5
BOR	BOR #xx:3,Rd	B		2													1
	BOR #xx:3,@ERd	B			4												3
	BOR #xx:3,@aa:8	B						4									3
	BOR #xx:3,@aa:16	B						6									4
	BOR #xx:3,@aa:32	B						8									5
BIOR	BIOR #xx:3,Rd	B		2													1
	BIOR #xx:3,@ERd	B			4												3
	BIOR #xx:3,@aa:8	B						4									3
	BIOR #xx:3,@aa:16	B						6									4
	BIOR #xx:3,@aa:32	B						8									5
BXOR	BXOR #xx:3,Rd	B		2													1
	BXOR #xx:3,@ERd	B			4												3
	BXOR #xx:3,@aa:8	B						4									3
	BXOR #xx:3,@aa:16	B						6									4
	BXOR #xx:3,@aa:32	B						8									5
BIXOR	BIXOR #xx:3,Rd	B		2													1
	BIXOR #xx:3,@ERd	B			4												3
	BIXOR #xx:3,@aa:8	B						4									3
	BIXOR #xx:3,@aa:16	B						6									4
	BIXOR #xx:3,@aa:32	B						8									5

(6) 分岐命令

二モニック	アドレス	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード						実行 ステート数*1 アドバンス	
		#xx	Rn	@ERn	@ (d,ERn)	@ ERn@ERn+	@ aa	@ (d,PC)	@ @aa		分岐条件	I	H	N	Z	V		C
Bcc	BRA d:8(BT d:8)							2		if condition is true then PC PC + d else next;	Always							2
	BRA d:16(BT d:16)							4			Never							3
	BRN d:8(BF d:8)							2			CvZ=0							2
	BRN d:16(BF d:16)							4			CvZ=1							3
	BHI d:8							2			C=0							2
	BHI d:16							4			C=1							3
	BLS d:8							2			Z=0							2
	BLS d:16							4			Z=1							3
	BCC d:8(BHS d:8)							2			V=0							2
	BCC d:16(BHS d:16)							4			V=1							3
	BCS d:8(BLO d:8)							2			N=0							2
	BCS d:16(BLO d:16)							4			N=1							3
	BNE d:8							2			N@V=0							2
	BNE d:16							4			N@V=1							3
	BEQ d:8							2			Zv(N@V)=0							2
	BEQ d:16							4			Zv(N@V)=1							3
	BVC d:8							2										2
	BVC d:16							4										3
	BVS d:8							2										2
	BVS d:16							4										3
	BPL d:8							2										2
	BPL d:16							4										3
	BMI d:8							2										2
	BMI d:16							4										3
	BGE d:8							2										2
	BGE d:16							4										3
	BLT d:8							2										2
	BLT d:16							4										3
	BGT d:8							2										2
	BGT d:16							4										3
BLE d:8							2									2		
BLE d:16							4									3		
JMP	JMP @ERn			2						PC ERn							2	
	JMP @aa:24						4			PC aa:24							3	
	JMP @ @aa:8							2		PC @aa:8							5	
BSR	BSR d:8						2			PC @-SP,PC PC+d:8							4	
	BSR d:16						4			PC @-SP,PC PC+d:16							5	
JSR	JSR @ERn			2						PC @-SP,PC ERn							4	
	JSR @aa:24						4			PC @-SP,PC aa:24							5	
	JSR @ @aa:8							2		PC @-SP,PC @aa:8							6	
RTS	RTS							2		PC @SP+							5	

(7) システム制御命令

二一モニツク	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード					実行ステート数		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)		@aa	I	H	N	Z		V	C
TRAPA	TRAPA #xx:2								PC @-SP,CCR @-SP,EXR @-SP,<ベクタ> PC	1						8[9]	
RTE	RTE								EXR @SP+,CCR @SP+,PC @SP+	↓	↑	↓	↓	↓	↓	5[9]	
SLEEP	SLEEP								低消費電力状態に遷移							2	
LDC	LDC #xx:8,CCR	B	2						#xx:8 CCR	↑	↑	↑	↑	↑	↑	1	
	LDC #xx:8,EXR	B	4						#xx:8 EXR							2	
	LDC Rs,CCR	B	2						Rs8 CCR	↑	↑	↑	↑	↑	↑	1	
	LDC Rs,EXR	B	2						Rs8 EXR							1	
	LDC @ERs,CCR	W		4					@ERs CCR	↑	↑	↑	↑	↑	↑	3	
	LDC @ERs,EXR	W		4					@ERs EXR							3	
	LDC @(d:16,ERs),CCR	W			6				@(d:16,ERs) CCR	↑	↑	↑	↑	↑	↑	4	
	LDC @(d:16,ERs),EXR	W			6				@(d:16,ERs) EXR							4	
	LDC @(d:32,ERs),CCR	W			10				@(d:32,ERs) CCR	↑	↑	↑	↑	↑	↑	6	
	LDC @(d:32,ERs),EXR	W			10				@(d:32,ERs) EXR							6	
	LDC @ERs+,CCR	W				4			@ERs CCR,ERs32+2 ERs32	↑	↑	↑	↑	↑	↑	4	
	LDC @ERs+,EXR	W				4			@ERs EXR,ERs32+2 ERs32							4	
	LDC @aa:16,CCR	W					6		@aa:16 CCR	↑	↑	↑	↑	↑	↑	4	
	LDC @aa:16,EXR	W					6		@aa:16 EXR							4	
	LDC @aa:32,CCR	W						8	@aa:32 CCR	↑	↑	↑	↑	↑	↑	5	
LDC @aa:32,EXR	W						8	@aa:32 EXR							5		
STC	STC CCR,Rd	B	2						CCR Rd8							1	
	STC EXR,Rd	B	2						EXR Rd8							1	
	STC CCR,@ERd	W		4					CCR @ERd							3	
	STC EXR,@ERd	W		4					EXR @ERd							3	
	STC CCR,@(d:16,ERd)	W			6				CCR @(d:16,ERd)							4	
	STC EXR,@(d:16,ERd)	W			6				EXR @(d:16,ERd)							4	
	STC CCR,@(d:32,ERd)	W			10				CCR @(d:32,ERd)							6	
	STC EXR,@(d:32,ERd)	W			10				EXR @(d:32,ERd)							6	
	STC CCR,@-ERd	W				4			ERd32-2 ERd32,CCR @ERd							4	
	STC EXR,@-ERd	W				4			ERd32-2 ERd32,EXR @ERd							4	
	STC CCR,@aa:16	W					6		CCR @aa:16							4	
	STC EXR,@aa:16	W					6		EXR @aa:16							4	
	STC CCR,@aa:32	W						8	CCR @aa:32							5	
STC EXR,@aa:32	W						8	EXR @aa:32							5		
ANDC	ANDC #xx:8,CCR	B	2						CCR^#xx:8 CCR	↑	↑	↑	↑	↑	↑	1	
	ANDC #xx:8,EXR	B	4						EXR^#xx:8 EXR							2	
ORC	ORC #xx:8,CCR	B	2						CCRv#xx:8 CCR	↑	↑	↑	↑	↑	↑	1	
	ORC #xx:8,EXR	B	4						EXRv#xx:8 EXR							2	
XORC	XORC #xx:8,CCR	B	2						CCR@#xx:8 CCR	↑	↑	↑	↑	↑	↑	1	
	XORC #xx:8,EXR	B	4						EXR@#xx:8 EXR							2	
NOP	NOP							2	PC PC+2							1	

(8) ブロック転送命令

二一モニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード						実行 ステート数*1	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C		
		アドバンスト																
EEMOV	EEMOV.B									4	if R4L≠0 Repeat @ER5 @ER6 ER5+1 ER5 ER6+1 ER6 R4L-1 R4L Until R4L=0 else next;							4+2n *3
	EEMOV.W									4	if R4≠0 Repeat @ER5 @ER6 ER5+1 ER5 ER6+1 ER6 R4-1 R4 Until R4=0 else next;							4+2n *3

【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

*3 nはR4LまたはR4の初期設定値です。

[1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] 本LSIでは使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0(ゼロ)のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0(ゼロ)のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

A.2 命令コード一覧

A.2 命令コード一覧

命令	ニーモニック	インストラクションフォーマット																		
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
ADD	ADD.B #xx:8,Rd	B 8 rd	IMM																	
	ADD.B Rs,Rd	B 0 8	rs rd																	
	ADD.W #xx:16,Rd	W 7 9	1 rd																	
	ADD.W Rs,Rd	W 0 9	rs rd																	
	ADD.L #xx:32,ERd	L 7 A	1 0:erd																	
	ADD.L ERs,ERd	L 0 A	1:ers 0:erd																	
ADDS	ADDS #1,ERd	L 0 B	0 0:erd																	
	ADDS #2,ERd	L 0 B	8 0:erd																	
	ADDS #4,ERd	L 0 B	9 0:erd																	
	ADDS #xx:8,Rd	B 9 rd	IMM																	
AND	ADDX Rs,Rd	B 0 E	rs rd																	
	AND.B #xx:8,Rd	B E rd	IMM																	
	AND.B Rs,Rd	B 1 6	rs rd																	
	AND.W #xx:16,Rd	W 7 9	6 rd																	
	AND.W Rs,Rd	W 6 6	rs rd																	
	AND.L #xx:32,ERd	L 7 A	6 0:erd																	
ANDC	AND.L ERs,ERd	L 0 1	F 0																	
	ANDC #xx:8,CCR	B 0 6	IMM																	
	ANDC #xx:8,CCR	B 0 1	4 1																	
	ANDC #xx:8,EXR	B 7 6	0:IMM; rd																	
BAND	BAND #xx:3,Rd	B 7 C	0:erd; 0																	
	BAND #xx:3,@aa:8	B 7 E	abs																	
	BAND #xx:3,@aa:16	B 6 A	1 0																	
	BAND #xx:3,@aa:32	B 6 A	3 0																	
	BRA d:8 (BT d:8)	- 4 0	disp																	
	BRA d:16 (BT d:16)	- 5 8	0 0																	
Bcc	BRN d:8 (BF d:8)	- 4 1	disp																	
	BRN d:16 (BF d:16)	- 5 8	1 0																	
	BHI d:8	- 4 2	disp																	
	BHI d:16	- 5 8	2 0																	
	BLS d:8	- 4 3	disp																	
	BLS d:16	- 5 8	3 0																	
	BCC d:8 (BHS d:8)	- 4 4	disp																	
	BCC d:16 (BHS d:16)	- 5 8	4 0																	
	BCS d:8 (BLO d:8)	- 4 5	disp																	
	BCS d:16 (BLO d:16)	- 5 8	5 0																	
	BNE d:8	- 4 6	disp																	
	BNE d:16	- 5 8	6 0																	
	BEQ d:8	- 4 7	disp																	
	BEQ d:16	- 5 8	7 0																	
BVC d:8	- 4 8	disp																		
BVC d:16	- 5 8	8 0																		
BVS d:8	- 4 9	disp																		
BVS d:16	- 5 8	9 0																		

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
Bcc (続き)	BPL d:8	- 4	A	disp																	
	BPL d:16	- 5	8	A	0	disp															
	BMI d:8	- 4	B	disp																	
	BMI d:16	- 5	8	B	0	disp															
	BGE d:8	- 4	C	disp																	
	BGE d:16	- 5	8	C	0	disp															
	BLT d:8	- 4	D	disp																	
	BLT d:16	- 5	8	D	0	disp															
	BGT d:8	- 4	E	disp																	
	BGT d:16	- 5	8	E	0	disp															
	BLE d:8	- 4	F	disp																	
	BLE d:16	- 5	8	F	0	disp															
	BCLR	BCLR #xx:3,Rd	B 7	2	0:IMM	rd															
		BCLR #xx:3,@ERd	B 7	D	0:erd	0	7	2	0:IMM	0											
		BCLR #xx:3,@aa:8	B 7	F	abs		7	2	0:IMM	0											
		BCLR #xx:3,@aa:16	B 6	A	1	8	abs		7	2	0:IMM	0									
BCLR #xx:3,@aa:32		B 6	A	3	8	abs															
BCLR Rn,Rd		B 6	2	rn	rd																
BCLR Rn,@ERd		B 7	D	0:erd	0	6	2	m	0												
BCLR Rn,@aa:8		B 7	F	abs		6	2	m	0												
BCLR Rn,@aa:16		B 6	A	1	8	abs		6	2	m	0										
BCLR Rn,@aa:32		B 6	A	3	8	abs															
BIAND		BIAND #xx:3,Rd	B 7	6	1:IMM	rd															
		BIAND #xx:3,@ERd	B 7	C	0:erd	0	7	6	1:IMM	0											
	BIAND #xx:3,@aa:8	B 7	E	abs		7	6	1:IMM	0												
	BIAND #xx:3,@aa:16	B 6	A	1	0	abs		7	6	1:IMM	0										
	BIAND #xx:3,@aa:32	B 6	A	3	0	abs															
	BILD #xx:3,Rd	B 7	7	1:IMM	rd																
BILD	BILD #xx:3,@ERd	B 7	C	0:erd	0	7	7	1:IMM	0												
	BILD #xx:3,@aa:8	B 7	E	abs		7	7	1:IMM	0												
	BILD #xx:3,@aa:16	B 6	A	1	0	abs		7	7	1:IMM	0										
	BILD #xx:3,@aa:32	B 6	A	3	0	abs															
	BIOR #xx:3,Rd	B 7	4	1:IMM	rd																
	BIOR #xx:3,@ERd	B 7	C	0:erd	0	7	4	1:IMM	0												
BIST	BIOR #xx:3,@aa:8	B 7	E	abs		7	4	1:IMM	0												
	BIOR #xx:3,@aa:16	B 6	A	1	0	abs		7	4	1:IMM	0										
	BIOR #xx:3,@aa:32	B 6	A	3	0	abs															
	BIST #xx:3,Rd	B 6	7	1:IMM	rd																
	BIST #xx:3,@ERd	B 7	D	0:erd	0	6	7	1:IMM	0												
	BIST #xx:3,@aa:8	B 7	F	abs		6	7	1:IMM	0												
BIST	BIST #xx:3,@aa:16	B 6	A	1	8	abs		6	7	1:IMM	0										
	BIST #xx:3,@aa:32	B 6	A	3	8	abs															

		インストラクションフォーマット																			
命令	二モニック	サイズ																			
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト										
BIXOR	BIXOR #xx:3,Rd	B 7 5	1:IMM# rd																		
	BIXOR #xx:3,@ERd	B 7 C	0:erd 0	7 5	1:IMM# 0																
	BIXOR #xx:3,@aa:8	B 7 E	abs	7 5	1:IMM# 0																
	BIXOR #xx:3,@aa:16	B 6 A	1 0	abs	abs	7 5	1:IMM# 0														
	BIXOR #xx:3,@aa:32	B 6 A	3 0	abs	abs	abs															
	BLD #xx:3,Rd	B 7 C	0:IMM# rd																		
BLD	BLD #xx:3,@ERd	B 7 C	0:erd 0	7 7	0:IMM# 0																
	BLD #xx:3,@aa:8	B 7 E	abs	7 7	0:IMM# 0																
	BLD #xx:3,@aa:16	B 6 A	1 0	abs	abs	7 7	0:IMM# 0														
	BLD #xx:3,@aa:32	B 6 A	3 0	abs	abs	abs															
	BNOT #xx:3,Rd	B 7 1	0:IMM# rd																		
	BNOT #xx:3,@ERd	B 7 D	0:erd 0	7 1	0:IMM# 0																
BNOT	BNOT #xx:3,@aa:8	B 7 F	abs	7 1	0:IMM# 0																
	BNOT #xx:3,@aa:16	B 6 A	1 8	abs	abs	7 1	0:IMM# 0														
	BNOT #xx:3,@aa:32	B 6 A	3 8	abs	abs	abs															
	BNOT Rn,Rd	B 6 1	rd																		
	BNOT Rn,@ERd	B 7 D	0:erd 0	6 1	rd																
	BNOT Rn,@aa:8	B 7 F	abs	6 1	rd																
	BNOT Rn,@aa:16	B 6 A	1 8	abs	abs	6 1	rd														
	BNOT Rn,@aa:32	B 6 A	3 8	abs	abs	abs															
	BOR #xx:3,Rd	B 7 4	0:IMM# rd																		
	BOR #xx:3,@ERd	B 7 C	0:erd 0	7 4	0:IMM# 0																
	BOR	BOR #xx:3,@aa:8	B 7 E	abs	7 4	0:IMM# 0															
		BOR #xx:3,@aa:16	B 6 A	1 0	abs	abs	7 4	0:IMM# 0													
BOR #xx:3,@aa:32		B 6 A	3 0	abs	abs	abs															
BSET #xx:3,Rd		B 7 0	0:IMM# rd																		
BSET #xx:3,@ERd		B 7 D	0:erd 0	7 0	0:IMM# 0																
BSET #xx:3,@aa:8		B 7 F	abs	7 0	0:IMM# 0																
BSET	BSET #xx:3,@aa:16	B 6 A	1 8	abs	abs	7 0	0:IMM# 0														
	BSET #xx:3,@aa:32	B 6 A	3 8	abs	abs	abs															
	BSET Rn,Rd	B 6 0	rd																		
	BSET Rn,@ERd	B 7 D	0:erd 0	6 0	rd																
	BSET Rn,@aa:8	B 7 F	abs	6 0	rd																
	BSET Rn,@aa:16	B 6 A	1 8	abs	abs	6 0	rd														
BSR	BSET Rn,@aa:32	B 6 A	3 8	abs	abs	6 0	rd														
	BSR d:8	- 5 5	disp																		
	BSR d:16	- 5 C	0 0	disp																	
	BST #xx:3,Rd	B 6 7	0:IMM# rd																		
	BST #xx:3,@ERd	B 7 D	0:erd 0	6 7	0:IMM# 0																
BST	BST #xx:3,@aa:8	B 7 F	abs	6 7	0:IMM# 0																
	BST #xx:3,@aa:16	B 6 A	1 8	abs	abs	6 7	0:IMM# 0														
	BST #xx:3,@aa:32	B 6 A	3 8	abs	abs	abs															

		インストラクションフォーマット										
命令	二モニック	サイズ	第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
BTST	BTST #xx:3,Rd	B	7	3	0:IMM# rd							
	BTST #xx:3,@ERd	B	7	C	0:erd: 0	7	3	0:IMM# 0				
	BTST #xx:3,@aa:8	B	7	E	abs	7	3	0:IMM# 0				
	BTST #xx:3,@aa:16	B	6	A	1	0	0	abs	7	3	0:IMM# 0	
	BTST #xx:3,@aa:32	B	6	A	3	0	0	abs				
	BTST Rn,Rd	B	6	3	rn	rd						
	BTST Rn,@ERd	B	7	C	0:erd: 0	6	3	rn	0			
	BTST Rn,@aa:8	B	7	E	abs	6	3	rn	0			
	BTST Rn,@aa:16	B	6	A	1	0	0	abs	6	3	rn	0
	BTST Rn,@aa:32	B	6	A	3	0	0	abs				
BXOR	BXOR #xx:3,Rd	B	7	5	0:IMM# rd							
	BXOR #xx:3,@ERd	B	7	C	0:erd: 0	7	5	0:IMM# 0				
	BXOR #xx:3,@aa:8	B	7	E	abs	7	5	0:IMM# 0				
	BXOR #xx:3,@aa:16	B	6	A	1	0	0	abs	7	5	0:IMM# 0	
BXOR #xx:3,@aa:32	B	6	A	3	0	0	abs					
CLRMAC	CLRMAC	-	本LSIでは使用できません。									
CMP	CMP.B #xx:8,Rd	B	A	rd	IMM							
	CMP.B Rs,Rd	B	1	C	rs	rd						
	CMP.W #xx:16,Rd	W	7	9	2	rd	IMM					
	CMP.W Rs,Rd	W	1	D	rs	rd						
	CMP.L #xx:32,ERd	L	7	A	2	:0:erd						
	CMP.L Rs,ERd	L	1	F	1:ers:0:erd							
	DAA Rd	B	0	F	0	rd						
	DAS Rd	B	1	F	0	rd						
	DEC.B Rd	B	1	A	0	rd						
	DEC.W #1,Rd	W	1	B	5	rd						
DEC.W #2,Rd	W	1	B	D	rd							
DECL.#1,ERd	L	1	B	7	:0:erd							
DECL.#2,ERd	L	1	B	F	:0:erd							
DIVXS	DIVXS.B Rs,Rd	B	0	1	D	0	5	1	rs	rd		
	DIVXS.W Rs,ERd	W	0	1	D	0	5	3	rs	:0:erd		
DIVXU	DIVXU.B Rs,Rd	B	5	1	rs	rd						
	DIVXU.W Rs,ERd	W	5	3	rs	:0:erd						
EEMOV	EEMOV.B	-	7	B	5	C	5	9	8	F		
	EEMOV.W	-	7	B	D	4	5	9	8	F		
EXTS	EXTS.L ERd	L	1	7	D	rd						
	EXTS.W Rd	W	1	7	F	:0:erd						
EXTU	EXTU.W Rd	W	1	7	5	rd						
	EXTU.L ERd	L	1	7	7	:0:erd						

命令	二モード	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
INC	INC.B Rd	B	0	A	0	rd															
	INC.W #1,Rd	W	0	B	5	rd															
	INC.W #2,Rd	W	0	B	D	rd															
	INC.L #1,ERd	L	0	B	7	0:erd															
	INC.L #2,ERd	L	0	B	F	0:erd															
	JMP	JMP @ERn	-	5	9	0:ern	0														
		JMP @aa:24	-	5	A		abs														
		JMP @aa:8	-	5	B		abs														
		JSR @ERn	-	5	D	0:ern	0														
	JSR	JSR @aa:24	-	5	E		abs														
JSR @aa:8		-	5	F		abs															
LDC	LDC #xx:8,CCR	B	0	7		IMM															
	LDC #xx:8,EXR	LDC	0	1	4	1	0	7	IMM												
	LDC Rs,CCR	B	0	3	0	rs															
	LDC Rs,EXR	B	0	3	1	rs															
	LDC @ERs,CCR	W	0	1	4	0	6	9	0:ers	0											
	LDC @ERs,EXR	W	0	1	4	1	6	9	0:ers	0											
	LDC @(d:16,ERs),CCR	W	0	1	4	0	6	F	0:ers	0											
	LDC @(d:16,ERs),EXR	W	0	1	4	1	6	F	0:ers	0											
	LDC @(d:32,ERs),CCR	W	0	1	4	0	7	8	0:ers	0											
	LDC @(d:32,ERs),EXR	W	0	1	4	1	7	8	0:ers	0											
	LDC @ERs+,CCR	W	0	1	4	0	6	D	0:ers	0											
	LDC @ERs+,EXR	W	0	1	4	1	6	D	0:ers	0											
	LDC @aa:16,CCR	W	0	1	4	0	6	B	0	0											
	LDC @aa:16,EXR	W	0	1	4	1	6	B	0	0											
	LDC @aa:32,CCR	W	0	1	4	0	6	B	2	0											
	LDC @aa:32,EXR	W	0	1	4	1	6	B	2	0											
LDM	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1											
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2											
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3											
LDMAC	LDMAC ERs,MACH	L																			
	LDMAC ERs,MACL	L																			
MOV	MAC @ERn+, @ERm+	L																			
	MOV.B #xx:8,Rd	B	F	rd	IMM																
	MOV.B Rs,Rd	B	0	C	rs	rd															
	MOV.B @ERs,Rd	B	6	8	0:ers	rd															
	MOV.B @(d:16,ERs),Rd	B	6	E	0:ers	rd															
	MOV.B @(d:32,ERs),Rd	B	7	8	0:ers	0	6	A	2	rd											
	MOV.B @ERs+,Rd	B	6	C	0:ers	rd															
	MOV.B @aa:8,Rd	B	2			abs															
	MOV.B @aa:16,Rd	B	6	A	0	rd															
	MOV.B @aa:32,Rd	B	6	A	2	rd															
	MOV.B Rs,@ERd	B	6	8	1:erd	rs															
	MOV.B Rs,@(d:16,ERd)	B	6	E	1:erd	rs															
	MOV.B Rs,@(d:32,ERd)	B	7	8	0:erd	0	6	A	A	rs											

本LSIでは使用できません。



命令	二モニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
MOV (続き)	MOV.B Rs,@ERd	B	6	C	1	:erd	rs													
	MOV.B Rs,@aa:8	B	3	rs	abs															
	MOV.B Rs,@aa:16	B	6	A	8	:rs	abs													
	MOV.W Rs,@aa:32	B	6	A	A	:rs	abs													
	MOV.W #xx:16,Rd	W	7	9	0	:rd	IMM													
	MOV.W Rs,Rd	W	0	D	rs	:rd														
	MOV.W @ERS,Rd	W	0	D	0	:ers	rd													
	MOV.W @(d:16,ERS),Rd	W	6	F	0	:ers	rd	disp												
	MOV.W @(d:32,ERS),Rd	W	7	8	0	:ers	rd	disp												
	MOV.W @ERS+,Rd	W	6	D	0	:ers	rd	6	:	B	2	:	rd							
	MOV.W @aa:16,Rd	W	6	D	0	:ers	rd	abs												
	MOV.W @aa:32,Rd	W	6	B	0	:rd	abs													
	MOV.W @aa:32,Rd	W	6	B	2	:rd	abs													
	MOV.W Rs,@ERd	W	6	9	1	:erd	rs													
	MOV.W Rs,@(d:16,ERd)	W	6	F	1	:erd	rs	disp												
	MOV.W Rs,@(d:32,ERd)	W	7	8	0	:erd	rs	6	:	B	A	:	rs							
	MOV.W Rs,@-ERd	W	6	D	1	:erd	rs	abs												
	MOV.W Rs,@aa:16	W	6	B	8	:rs	abs													
	MOV.W Rs,@aa:32	W	6	B	A	:rs	abs													
	MOV.L #xx:32,Rd	L	7	A	0	:erd	IMM													
MOV.L ERs,ERd	L	0	F	1	:ers	:0:erd														
MOV.L @ERS,ERd	L	0	1	0	0	0	6	:	9	0	:ers	0	erd							
MOV.L @(d:16,ERS),ERd	L	0	1	0	0	6	F	0	:ers	0	erd	disp								
MOV.L @(d:32,ERS),ERd	L	0	1	0	0	7	8	0	:ers	0	6	:	B	2	:	0:erd	disp			
MOV.L @ERS+,ERd	L	0	1	0	0	6	D	0	:ers	0	erd	abs								
MOV.L @aa:16,ERd	L	0	1	0	0	6	B	0	:0:erd		abs									
MOV.L @aa:32,ERd	L	0	1	0	0	6	B	2	:0:erd		abs									
MOV.L ERs,@ERd	L	0	1	0	0	6	9	1	:erd	0	ers									
MOV.L ERs,@(d:16,ERd)	L	0	1	0	0	6	F	1	:erd	0	ers	disp								
MOV.L ERs,@(d:32,ERd)*1	L	0	1	0	0	7	8	0	:erd	0	6	:	B	A	:	0:ers	disp			
MOV.L ERs,@-ERd	L	0	1	0	0	6	D	1	:erd	0	ers	abs								
MOV.L ERs,@aa:16	L	0	1	0	0	6	B	8	:0:ers		abs									
MOV.L ERs,@aa:32	L	0	1	0	0	6	B	A	:0:ers		abs									
MOV.FPE @aa:16,Rd	B	本LSIでは使用できません。																		
MOV.FPE @aa:16	B																			
MULXS.B Rs,Rd	B	0	1	C	0	5	0	rs	:rd											
MULXS.W Rs,ERd	W	0	1	C	0	5	2	rs	:0:erd											
MULXU.B Rs,Rd	B	5	0	rs	:rd															
MULXU.W Rs,ERd	W	5	2	rs	:0:erd															
NEG.B Rd	B	1	7	8	:rd															
NEG.W Rd	W	1	7	9	:rd															
NEGL.ERd	L	1	7	B	:0:erd															
NOP	NOP	-	0	0	0	0														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B 1 7	0	rd																
	NOT.W Rd	W 1 7	1	rd																
	NOT.L ERd	L 1 7	3	:0:erd																
	OR.B #xx:8.Rd	B 1 4	rs	rd	IMM															
OR	OR.B Rs.Rd	B 1 4	rs	rd																
	OR.W #xx:16.Rd	W 7 9	4	rd				IMM												
	OR.W Rs.Rd	W 6 4	rs	rd																
	OR.L #xx:32.ERd	L 7 4	4	:0:erd																
ORC	OR.L ERs.ERd	L 0 1	F	0	6	4	0	ers:0:erd												
	ORC #xx:8.CCR	B 0 4	IMM																	
	ORC #xx:8.EXR	B 0 1	4	1	0	4	IMM													
	POP.W Rn	W 6 D	7	rn																
PUSH	POP.L ERn	L 0 1	0	0	6	D	7	:0:em												
	PUSH.W Rn	W 6 D	F	rn																
	PUSH.L ERn	L 0 1	0	0	6	D	F	:0:em												
	ROT.L ERd	L 1 2	B	:0:erd																
ROTL	ROT.LL #2.ERd	L 1 2	F	:0:erd																
	ROT.LB Rd	B 1 2	8	rd																
	ROT.LB #2. Rd	B 1 2	C	rd																
	ROT.LW Rd	W 1 2	9	rd																
ROTR	ROT.LW #2. Rd	W 1 2	D	rd																
	ROT.LL ERd	L 1 2	B	:0:erd																
	ROT.LL #2.ERd	L 1 2	F	:0:erd																
	ROT.RB Rd	B 1 3	C	rd																
ROTXL	ROT.RB #2. Rd	B 1 3	D	rd																
	ROT.RW Rd	W 1 3	9	rd																
	ROT.W #2. Rd	W 1 3	D	rd																
	ROT.L ERd	L 1 3	B	:0:erd																
ROTXR	ROT.L #2. ERd	L 1 3	F	:0:erd																
	ROT.XL B Rd	B 1 2	0	rd																
	ROT.XL B #2. Rd	B 1 2	4	rd																
	ROT.XL W Rd	W 1 2	1	rd																
RTX	ROT.XL W #2. Rd	W 1 2	5	rd																
	ROT.XLL ERd	L 1 2	3	:0:erd																
	ROT.XLL #2. ERd	L 1 2	7	:0:erd																
	ROT.XRB Rd	B 1 3	0	rd																
RTE	ROT.XRB #2. Rd	B 1 3	4	rd																
	ROT.XW Rd	W 1 3	1	rd																
	ROT.XW #2. Rd	W 1 3	5	rd																
	ROT.XL ERd	L 1 3	3	:0:erd																
RTS	ROT.XL L #2. ERd	L 1 3	7	:0:erd																
	RTE	-	5	6	7	0														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SHAL	SHAL.B.Rd	B	1	0	8	rd														
	SHAL.B #2, Rd	B	1	0	C	rd														
	SHAL.W.Rd	W	1	0	9	rd														
	SHAL.W #2, Rd	W	1	0	D	rd														
	SHALL.ERd	L	1	0	B	:0:erd														
	SHALL #2, ERd	L	1	0	F	:0:erd														
SHAR	SHAR.B.Rd	B	1	1	8	rd														
	SHAR.B #2, Rd	B	1	1	C	rd														
	SHAR.W.Rd	W	1	1	9	rd														
	SHAR.W #2, Rd	W	1	1	D	rd														
	SHAR.L.ERd	L	1	1	B	:0:erd														
	SHAR.L #2, ERd	L	1	1	F	:0:erd														
SHLL	SHLL.B.Rd	B	1	0	0	rd														
	SHLL.B #2, Rd	B	1	0	4	rd														
	SHLL.W.Rd	W	1	0	1	rd														
	SHLL.W #2, Rd	W	1	0	5	rd														
	SHLL.L.ERd	L	1	0	3	:0:erd														
	SHLL.L #2, ERd	L	1	0	7	:0:erd														
SHLR	SHLR.B.Rd	B	1	1	0	rd														
	SHLR.B #2, Rd	B	1	1	4	rd														
	SHLR.W.Rd	W	1	1	1	rd														
	SHLR.W #2, Rd	W	1	1	5	rd														
	SHLR.L.ERd	L	1	1	3	:0:erd														
	SHLR.L #2, ERd	L	1	1	7	:0:erd														
STC	SLEEP	-	0	1	8	:0														
	STC.B.CCR,Rd	B	0	2	0	rd														
	STC.B.EXR,Rd	B	0	2	1	rd														
	STC.W.CCR,@ERd	W	0	1	4	0	6	9	1:erd	0										
	STC.W.EXR,@ERd	W	0	1	4	1	6	9	1:erd	0										
	STC.W.CCR,@(d16,ERd)	W	0	1	4	0	6	F	1:erd	0										
	STC.W.EXR,@(d16,ERd)	W	0	1	4	1	6	F	1:erd	0										
	STC.W.CCR,@(d32,ERd)	W	0	1	4	0	7	8	0:erd	0										
	STC.W.EXR,@(d32,ERd)	W	0	1	4	1	7	8	0:erd	0										
	STC.W.CCR,@ERd	W	0	1	4	0	6	D	1:erd	0										
	STC.W.EXR,@ERd	W	0	1	4	1	6	D	1:erd	0										
	STC.W.CCR,@aa:16	W	0	1	4	0	6	B	8	0										
	STC.W.EXR,@aa:16	W	0	1	4	1	6	B	8	0										
	STC.W.CCR,@aa:32	W	0	1	4	0	6	B	A	0										
	STC.W.EXR,@aa:32	W	0	1	4	1	6	B	A	0										
	STM	STM.L(ERn-ERn+1),@-SP	L	0	1	1	0	6	D	F	:0:em									
STM.L(ERn-ERn+2),@-SP		L	0	1	2	0	6	D	F	:0:em										
STM.L(ERn-ERn+3),@-SP		L	0	1	3	0	6	D	F	:0:em										
STMAC	STMAC.WACh.ERd	L																		
	STMAC.MACh.L.ERd	L																		

本LSIでは使用できません。

命令	二モニック	サイズ	インストラクションフォーマット																	
			第11バイト	第12バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd		IMM												
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0:erd		IMM												
SUBS	SUB.L ERs,ERd	L	1	A	1:ers	0:erd														
	SUBS #1,ERd	L	1	B	0	0:erd														
	SUBS #2,ERd	L	1	B	8	0:erd														
	SUBS #4,ERd	L	1	B	9	0:erd														
SUBX	SUBX #xx:8,Rd	B	B	rd	IMM															
	SUBX Rs,Rd	B	1	E	rs	rd														
TAS ^{*1}	@ERd	B	0	1	E	0	7	B	0:erd	C										
TRAPA	#x:2	-	5	7	00:IMM	0														
XOR	XOR.B #xx:8,Rd	B	D	rd	IMM															
	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #xx:16,Rd	W	7	9	5	rd		IMM												
	XOR.W Rs,Rd	W	6	5	rs	rd														
	XOR.L #xx:32,ERd	L	7	A	5	0:erd				IMM										
XORC	XOR.L ERs,ERd	L	0	1	F	0	6	5	0:ers	0:erd										
	XORC #xx:8,CCR	B	0	5	IMM															
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM											

【注】 *1 MOV.L ERs, @ (d:32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

【記号説明】

- IMM : イミディエイトデータ (2、3、8、16、32 ビット)
- abs : 絶対アドレス (8、16、24、32 ビット)
- disp : ディスプレースメント (8、16、32 ビット)
- rs、rd、rn : レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
- ers、erd、ern、erm : レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表 A.3 にオペレーションコードマップを示します。

表A.3 オペレーションコードマップ(1)



第1バイト		第2バイト	
AH	AL	BH	BL

命令コード：

AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.3(2)	STC STMAC*	LDC LDMAC*	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)	
1	表A.3(2)	表A.3(2)	表A.3(2)	表A.3(2)	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	SUBX	表A.3(2)	
2	MOV/B															
3	MOV/B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)	表A.3(2)	JMP	BSR	JSR			
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)	MOV				
7					BIOR	BXOR	BAND	BLD	MOV	表A.3(2)	EEMOV	表A.3(3)				
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (2)

第1バイト		第2バイト	
AH	AL	BH	BL

命令コード:

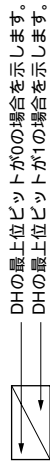
BH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH/AL	MOV	LDM	STM	LDC	STC		MAC*		SLEEP		CLRMAC*		表A.3(3)	表A.3(3)	TAS	表A.3(3)
0A	INC												ADD			
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA												MOV			
10	SHLL				SHLL			SHLL	SHAL				SHAL			SHAL
11	SHLR				SHLR			SHLR	SHAR				SHAR			SHAR
12	ROTXL				ROTXL			ROTXL	ROTL				ROTL			ROTL
13	ROTXR				ROTXR			ROTXR	ROTR				ROTR			ROTR
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC												SUB			
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS												CMP			
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
6A	MOV	表A.3(4)	MOV	表A.3(4)	MOVFP*				MOV		MOV					
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (3)

命令コード:

第1バイト		第2バイト		第3バイト			第4バイト		
AH	AL	BH	BL	CH	CL	DH	DL	DL	



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
MULXS	MULXS		MULXS													
DIVXS	DIVXS	DIVXS														
OR					OR	XOR	AND									
BTST				BTST												
BOR				BTST	BOR	BXOR	BAND	BLD								
BIOR				BTST	BOR	BXOR	BAND	BILD	BST							
BSET	BSET	BNOT	BCLR													
BNOT	BSET	BNOT	BCLR													
BTST				BTST												
BOR				BTST	BOR	BXOR	BAND	BLD								
BIOR				BTST	BOR	BXOR	BAND	BILD	BST							
BSET	BSET	BNOT	BCLR													
BNOT	BSET	BNOT	BCLR													

【注】 *1 rはレジスタ指定部
 *2 aaは絶対アドレス指定

表A.3 オペレーションコードマップ (4)

命令コード：		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト		第9バイト		第10バイト	
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL
EL	AH/AL/BH/BL/CH/CL/DH/EL/FL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F				
6A10aaaa6*					BTST																
6A10aaaa7*						BOR	BXOR	BAND	BLD	BIRD											
6A18aaaa6*						BIOR	BIXOR	BIAND	BIST												
6A18aaaa7*						BSET	BNOT	BCLR													

命令コード：		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト		第9バイト		第10バイト	
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL
GL	AH/AL/BH/BL/CH/CL/DH/EL/FL/GH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F				
6A30aaaaaaa6*					BTST																
6A30aaaaaaa7*						BOR	BXOR	BAND	BLD	BIRD											
6A38aaaaaaa6*						BIOR	BIXOR	BIAND	BIST												
6A38aaaaaaa7*						BSET	BNOT	BCLR													

【注】* aeiは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.4 に各々のサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

(1) 実行ステート数計算例

アドバンスモード、プログラム領域およびスタック領域を内蔵メモリに設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセスとした場合。

1. BSET #0, @FFFFC7:8
表A.5より
 $I = L = 2$ 、 $J = K = M = N = 0$
表A.4より
 $S_I = 1$ 、 $S_L = 2$
実行ステート数 = $2 \times 1 + 2 \times 2 = 6$
2. JSR @@30
表A.5より
 $I = J = K = 2$ 、 $L = M = N = 0$
表A.4より
 $S_I = S_J = S_K = 1$
実行ステート数 = $2 \times 1 + 2 \times 1 + 2 \times 1 = 6$

表 A.4 実行状態（サイクル）に要するステート数

実行状態（サイクル）	アクセス対象		
	内蔵メモリ	内蔵周辺モジュール	
		8ビットバス	16ビットバス
命令フェッチ S_i	1	/	/
分岐アドレスリード S_j			
スタック操作 S_x			
バイトデータアクセス S_c		2	2
ワードデータアクセス S_M		4	
内部動作 S_N	1		

表 A.5 命令実行状態 (サイクル数)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@Erd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
BCLR Rn,@aa:32	4			2			
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		

付録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BNOT	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
	BSET Rn,@aa:32	4			2		
BSR	BSR d:8	2		2			
	BSR d:16	2		2			1
BST	BST #xx:3,Rd	1					
	BST #xx:3,@ERd	2			2		
	BST #xx:3,@aa:8	2			2		
	BST #xx:3,@aa:16	3			2		
	BST #xx:3,@aa:32	4			2		
BTST	BTST #xx:3,Rd	1					
	BTST #xx:3,@ERd	2			1		
	BTST #xx:3,@aa:8	2			1		
	BTST #xx:3,@aa:16	3			1		
	BTST #xx:3,@aa:32	4			1		
	BTST Rn,Rd	1					
	BTST Rn,@ERd	2			1		
	BTST Rn,@aa:8	2			1		
	BTST Rn,@aa:16	3			1		
BTST Rn,@aa:32	4			1			
BXOR	BXOR #xx:3,Rd	1					
	BXOR #xx:3,@ERd	2			1		
	BXOR #xx:3,@aa:8	2			1		
	BXOR #xx:3,@aa:16	3			1		
	BXOR #xx:3,@aa:32	4			1		
CLRMAC	CLRMAC	本 LSI では使用できません。					
CMP	CMP.B #xx:8,Rd	1					
	CMP.B Rs,Rd	1					
	CMP.W #xx:16,Rd	2					
	CMP.W Rs,Rd	1					
	CMP.L #xx:32,ERd	3					
	CMP.L ERs,ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
DEC	DEC.B Rd	1					
	DEC.W #1/2,Rd	1					
	DEC.L #1/2,ERd	1					
DIVXS	DIVXS.B Rs,Rd	2					11
	DIVXS.W Rs,ERd	2					19
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEPMOV	EEPMOV.B	2			2n+2 *2		
	EEPMOV.W	2			2n+2 *2		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @aa:8	2	2				1
JSR	JSR @ERn	2		2			
	JSR @aa:24	2		2			1
	JSR @aa:8	2	2	2			
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	
	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
LDC @aa:32,CCR	4				1		
LDC @aa:32,EXR	4				1		
LDM	LDML @SP+, (ERn-ERn+1)	2		4			1
	LDML @SP+, (ERn-ERn+2)	2		6			1
	LDML @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs, MACH	本 LSI では使用できません。					
	LDMAC ERs, MACL						
MAC	MAC @ERn+, @ERm+						

付録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		
	MOV.B Rs,@-ERd	1			1		1
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1					1
	MOV.W @(d:16,ERs),Rd	2					1
	MOV.W @(d:32,ERs),Rd	4					1
	MOV.W @ERs+,Rd	1					1
	MOV.W @aa:16,Rd	2					1
	MOV.W @aa:32,Rd	3					1
	MOV.W Rs,@ERd	1					1
	MOV.W Rs,@(d:16,ERd)	2					1
	MOV.W Rs,@(d:32,ERd)	4					1
	MOV.W Rs,@-ERd	1					1
	MOV.W Rs,@aa:16	2					1
	MOV.W Rs,@aa:32	3					1
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2					2
	MOV.L @(d:16,ERs),ERd	3					2
	MOV.L @(d:32,ERs),ERd	5					2
	MOV.L @ERs+,ERd	2					2
	MOV.L @aa:16,ERd	3					2
	MOV.L @aa:32,ERd	4					2
	MOV.L ERs,@ERd	2					2
	MOV.L ERs,@(d:16,ERd)	3					2
	MOV.L ERs,@(d:32,ERd)	5					2
	MOV.L ERs,@-ERd	2					2
	MOV.L ERs,@aa:16	3					2
	MOV.L ERs,@aa:32	4					2
MOVFPPE @:aa:16,Rd	本 LSI では使用できません。						
MOVTPPE	MOVTPPE Rs,@:aa:16						
MULXS	MULXS.B Rs,Rd	2					11
	MULXS.W Rs,ERd	2					19
MULXU	MULXU.B Rs,Rd	1					11
	MULXU.W Rs,ERd	1					19

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2 / 3 *1			1
RTS	RTS	2		2			1

付録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
STC.W EXR,@aa:32	4				1		
STM	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
STMAC	STMAC MACH,ERd	本 LSI では使用できません。					
	STMAC MACL,ERd	本 LSI では使用できません。					
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS ^{*3}	TAS @ERd	2			2		
TRAPA	TRAPA #x:2	2	2	2/3 ^{*1}			2
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。

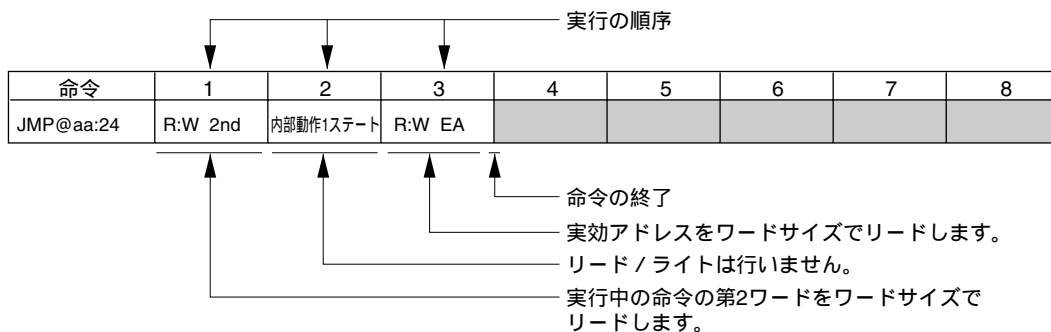
*2 転送データが n バイトのとき。

*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、表 A.4 を参照してください。

《表の見方》



【記号説明】

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード(第3・第4バイト)のアドレスです。
3rd	第3ワード(第5・第6バイト)のアドレスです。
4th	第4ワード(第7・第8バイト)のアドレスです。
5th	第5ワード(第9・第10バイト)のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BHI d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						

付録

命令	1	2	3	4	5	6	7	8	9
BLT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

命令	1	2	3	4	5	6	7	8	9
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
BSR d:16	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	本 LSI では使用できません。								
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								

付録

命令	1	2	3	4	5	6	7	8	9
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			n 回繰り返しす * ²					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 ｽﾀｰﾄ		R:W EA					
JMP @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 ｽﾀｰﾄ	R:W EA				
JSR @ERn	R:W NEXT	R:W EA	W:W:M ﾏｯｸ(H)	W:W ﾏｯｸ(L)					
JSR @aa:24	R:W 2nd	内部動作 1 ｽﾀｰﾄ		R:W EA	W:W:M ﾏｯｸ(H)	W:W ﾏｯｸ(L)			
JSR @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M ﾏｯｸ(H)	W:W ﾏｯｸ(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 ｽﾀｰﾄ		R:W EA				
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 ｽﾀｰﾄ		R:W EA				
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+2)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDM.L @SP+, (ERn-ERn+3)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) * ³	R:W スタック(L) * ³				
LDMAC ERs,MACH	本 LSI では使用できません。								
LDMAC ERs,MACL									
MAC @ERn+,@ERm+									

命令	1	2	3	4	5	6	7	8	9
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステップ	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステップ	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステップ	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステップ	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステップ	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs,@(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステップ	W:W:M EA	W:W EA+2				

付録

命令	1	2	3	4	5	6	7	8	9
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 スタート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1 スタート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEX								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
RTE	R:W NEXT	R:W スタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W * ⁴			
RTS	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W * ⁴				
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR,@(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 スタート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 スタート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1),@-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+2),@-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+3),@-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STMACH,ERd	本 LSI では使用できません。								
STMACL,ERd	本 LSI では使用できません。								
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						

命令	1	2	3	4	5	6	7	8	9
SUB.L ERs,ERd	R:W NEXT								
SUBS #1/2/4,ERd	R:W NEXT								
SUBX #xx:8,Rd	R:W NEXT								
SUBX Rs,Rd	R:W NEXT								
TAS @ERd * ⁵	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #x:2	R:W NEXT	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W * ⁸
XOR.B #xx:8,Rd	R:W NEXT								
XOR.B Rs,Rd	R:W NEXT								
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
XOR.W Rs,Rd	R:W NEXT								
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd	R:W 2nd	R:W NEXT							
XORC #xx:8,CCR	R:W NEXT								
XORC #xx:8,EXR	R:W 2nd	R:W NEXT							
リセット例外処理	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W * ⁶					
割込み例外処理	R:W * ⁷	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W * ⁸

- 【注】 *1 EAs は ER5、EAd は ER6 の内容です。
- *2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。
また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。
- *3 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。
- *4 リターン後の先頭アドレスです。
- *5 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *6 プログラムのスタートアドレスです。
- *7 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。
また、スリープモード、スタンバイモード、ウォッチモードからの復帰時にはリード動作は行われず、内部動作となります。
- *8 割込み処理ルーチンの先頭アドレスです。

A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

m =	31	: ロングワードサイズの時
	15	: ワードサイズの時
	7	: バイトサイズの時
Si		: ソースオペランドのビット i
Di		: デスティネーションオペランドのビット i
Ri		: 結果のビット i
Dn		: デスティネーションオペランドの指定されたビット
-		: 影響なし
↓		: 実行結果に応じて変化 (定義参照)
0		: 常に 0 にクリア
1		: 常に 1 にセット
*		: 値を保証しません。
Z'		: 実行前の Z フラグ
C'		: 実行前の C フラグ

表 A.7 コンディションコードの変化

命 令	H	N	Z	V	C	定 義
ADD	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
ADDS	-	-	-	-	-	
ADDX	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
AND	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
ANDC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
BAND	-	-	-	-	↑	$C = C' \cdot D_n$
Bcc	-	-	-	-	-	
BCLR	-	-	-	-	-	
BIAND	-	-	-	-	↑	$C = C' \cdot \overline{D_n}$
BILD	-	-	-	-	↑	$C = \overline{D_n}$
BIOR	-	-	-	-	↑	$C = C' + \overline{D_n}$
BIST	-	-	-	-	-	
BIXOR	-	-	-	-	↑	$C = C' \cdot D_n + \overline{C'} \cdot \overline{D_n}$
BLD	-	-	-	-	↑	$C = D_n$
BNOT	-	-	-	-	-	
BOR	-	-	-	-	↑	$C = C' + D_n$
BSET	-	-	-	-	-	
BSR	-	-	-	-	-	
BST	-	-	-	-	-	
BTST	-	-	↑	-	-	$Z = \overline{D_n}$
BXOR	-	-	-	-	↑	$C = C' \cdot \overline{D_n} + \overline{C'} \cdot D_n$
CLRMAC	本 LSI では使用できません。					

命 令	H	N	Z	V	C	定 義
CMP	↓	↓	↓	↓	↓	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
DAA	*	↓	↓	*	↓	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ C : 10 進加算のキャリ
DAS	*	↓	↓	*	↓	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ C : 10 進減算のボロ -
DEC	-	↓	↓	↓	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = D_m \cdot R_m$
DIVXS	-	↓	↓	-	-	$N = S_m \cdot \overline{D_m} + \overline{S_m} \cdot D_m$ $Z = \overline{S_m} \cdot \overline{S_{m-1}} \cdot \dots \cdot \overline{S_0}$
DIVXU	-	↓	↓	-	-	$N = S_m$ $Z = \overline{S_m} \cdot \overline{S_{m-1}} \cdot \dots \cdot \overline{S_0}$
EEPMOV	-	-	-	-	-	
EXTS	-	↓	↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
EXTU	-	0	↓	0	-	$Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
INC	-	↓	↓	↓	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{D_m} \cdot R_m$
JMP	-	-	-	-	-	
JSR	-	-	-	-	-	
LDC	↓	↓	↓	↓	↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
LDM	-	-	-	-	-	
LDMAC	本 LSI では使用できません。					
MAC						
MOV	-	↓	↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$

命令	H	N	Z	V	C	定義
MOVFP	本 LSI では使用できません。					
MOVTP						
MULXS	-	↓	↓	-	-	$N = R2m$ $Z = \overline{R2m} \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	-	-	-	-	-	
NEG	↓	↓	↓	↓	↓	$H = Dm-4 + Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot Rm$ $C = Dm + Rm$
NOP	-	-	-	-	-	
NOT	-	↓	↓	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	-	↓	↓	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	↓	↓	↓	↓	↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
POP	-	↓	↓	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
PUSH	-	↓	↓	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ROTL	-	↓	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットするとき)、 $C = Dm-1$ (2 ビットするとき)
ROTR	-	↓	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットするとき)、 $C = D1$ (2 ビットするとき)
ROTXL	-	↓	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットするとき)、 $C = Dm-1$ (2 ビットするとき)
ROTXR	-	↓	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットするとき)、 $C = D1$ (2 ビットするとき)
RTE	↓	↓	↓	↓	↓	実行結果の対応するビットの値が格納されます。
RTS	-	-	-	-	-	

命 令	H	N	Z	V	C	定 義
SHAL	-	↓	↓	↓	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Dm} \cdot \overline{Dm-1} + \overline{Dm} \cdot \overline{Dm-1}$ (1ビットのとき) $V = \overline{Dm} \cdot \overline{Dm-1} \cdot \overline{Dm-2} \cdot \overline{Dm} \cdot \overline{Dm-1} \cdot \overline{Dm-2}$ (2ビットのとき) $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
SHAR	-	↓	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
SHLL	-	↓	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
SHLR	-	0	↓	0	↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
SLEEP	-	-	-	-	-	
STC	-	-	-	-	-	
STM	-	-	-	-	-	
STMAC	本 LSI では使用できません。					
SUB	↓	↓	↓	↓	↓	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + \overline{Dm} \cdot Rm + Sm \cdot Rm$
SUBS	-	-	-	-	-	
SUBX	↓	↓	↓	↓	↓	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = Z' \cdot \overline{Rm} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + \overline{Dm} \cdot Rm + Sm \cdot Rm$
TAS	-	↓	↓	0	-	$N = Dm$ $Z = \overline{Dm} \cdot \overline{Dm-1} \cdot \dots \cdot \overline{D0}$
TRAPA	-	-	-	-	-	
XOR	-	↓	↓	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
XORC	↓	↓	↓	↓	↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。

B. H8S/2194 グループ、H8S/2194C グループ 内部 I/O レジスタ

B.1 アドレス一覧

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール
H'D000	DGKp	W	16	16	DGKp15	DGKp14	DGKp13	DGKp12	DGKp11	DGKp10	DGKp9	DGKp8	ドラム
H'D001					DGKp7	DGKp6	DGKp5	DGKp4	DGKp3	DGKp2	DGKp1	DGKp0	デジタルフィルタ
H'D002	DGKs	W	16	16	DGKs15	DGKs14	DGKs13	DGKs12	DGKs11	DGKs10	DGKs9	DGKs8	
H'D003					DGKs7	DGKs6	DGKs5	DGKs4	DGKs3	DGKs2	DGKs1	DGKs0	
H'D004	DAp	W	16	16	DAp15	DAp14	DAp13	DAp12	DAp11	DAp10	DAp9	DAp8	
H'D005					DAp7	DAp6	DAp5	DAp4	DAp3	DAp2	DAp1	DAp0	
H'D006	DBp	W	16	16	DBp15	DBp14	DBp13	DBp12	DBp11	DBp10	DBp9	DBp8	
H'D007					DBp7	DBp6	DBp5	DBp4	DBp3	DBp2	DBp1	DBp0	
H'D008	DAs	W	16	16	DAs15	DAs14	DAs13	DAs12	DAs11	DAs10	DAs9	DAs8	
H'D009					DAs7	DAs6	DAs5	DAs4	DAs3	DAs2	DAs1	DAs0	
H'D00A	DBs	W	16	16	DBs15	DBs14	DBs13	DBs12	DBs11	DBs10	DBs9	DBs8	
H'D00B					DBs7	DBs6	DBs5	DBs4	DBs3	DBs2	DBs1	DBs0	
H'D00C	DOfp	W	16	16	DOfp15	DOfp14	DOfp13	DOfp12	DOfp11	DOfp10	DOfp9	DOfp8	
H'D00D					DOfp7	DOfp6	DOfp5	DOfp4	DOfp3	DOfp2	DOfp1	DOfp0	
H'D00E	DOfs	W	16	16	DOfs15	DOfs14	DOfs13	DOfs12	DOfs11	DOfs10	DOfs9	DOfs8	
H'D00F					DOfs7	DOfs6	DOfs5	DOfs4	DOfs3	DOfs2	DOfs1	DOfs0	
H'D010	CGKp	W	16	16	CGKp15	CGKp14	CGKp13	CGKp12	CGKp11	CGKp10	CGKp9	CGKp8	キャプスタン
H'D011					CGKp7	CGKp6	CGKp5	CGKp4	CGKp3	CGKp2	CGKp1	CGKp0	デジタルフィルタ
H'D012	CGKs	W	16	16	CGKs15	CGKs14	CGKs13	CGKs12	CGKs11	CGKs10	CGKs9	CGKs8	
H'D013					CGKs7	CGKs6	CGKs5	CGKs4	CGKs3	CGKs2	CGKs1	CGKs0	
H'D014	CAp	W	16	16	CAp15	CAp14	CAp13	CAp12	CAp11	CAp10	CAp9	CAp8	
H'D015					CAp7	CAp6	CAp5	CAp4	CAp3	CAp2	CAp1	CAp0	
H'D016	CBp	W	16	16	CBp15	CBp14	CBp13	CBp12	CBp11	CBp10	CBp9	CBp8	
H'D017					CBp7	CBp6	CBp5	CBp4	CBp3	CBp2	CBp1	CBp0	
H'D018	CAs	W	16	16	CAs15	CAs14	CAs13	CAs12	CAs11	CAs10	CAs9	CAs8	
H'D019					CAs7	CAs6	CAs5	CAs4	CAs3	CAs2	CAs1	CAs0	
H'D01A	CBs	W	16	16	CBs15	CBs14	CBs13	CBs12	CBs11	CBs10	CBs9	CBs8	
H'D01B					CBs7	CBs6	CBs5	CBs4	CBs3	CBs2	CBs1	CBs0	
H'D01C	COfp	W	16	16	COfp15	COfp14	COfp13	COfp12	COfp11	COfp10	COfp9	COfp8	
H'D01D					COfp7	COfp6	COfp5	COfp4	COfp3	COfp2	COfp1	COfp0	
H'D01E	COfs	W	16	16	COfs15	COfs14	COfs13	COfs12	COfs11	COfs10	COfs9	COfs8	
H'D01F					COfs7	COfs6	COfs5	COfs4	COfs3	COfs2	COfs1	COfs0	
H'D020	DZs	W	16	16	—	—	—	—	DZs11	DZs10	DZs9	DZs8	デジタルフィルタ
H'D021					DZs7	DZs6	DZs5	DZs4	DZs3	DZs2	DZs1	DZs0	
H'D022	DZp	W	16	16	—	—	—	—	DZp11	DZp10	DZp9	DZp8	
H'D023					DZp7	DZp6	DZp5	DZp4	DZp3	DZp2	DZp1	DZp0	
H'D024	CZs	W	16	16	—	—	—	—	CZs11	CZs10	CZs9	CZs8	
H'D025					CZs7	CZs6	CZs5	CZs4	CZs3	CZs2	CZs1	CZs0	
H'D026	CZp	W	16	16	—	—	—	—	CZp11	CZp10	CZp9	CZp8	
H'D027					CZp7	CZp6	CZp5	CZp4	CZp3	CZp2	CZp1	CZp0	
H'D028	DFIC	R/W	8	16	—	DROV	DPHA	DZPON	DZSON	DSG2	DSG1	DSG0	
H'D029	CFIC	R/W	8	16	—	CROV	CPHA	CZPON	CZSON	CSG2	CSG1	CSG0	
H'D02A	DFUCR	R/W	8	16	—	—	PTON	CP/DP	CFEPS	DFEPS	CFESS	DFESS	

【注】* アドレスは下位 16 ビットを示します

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール		
H'D030	DFPR	W	16	16	DFPR15	DFPR14	DFPR13	DFPR12	DFPR11	DFPR10	DFPR9	DFPR8	ドラム誤差検出回路		
H'D031					DFPR7	DFPR6	DFPR5	DFPR4	DFPR3	DFPR2	DFPR1	DFPR0			
H'D032	DFER	R/W	16	16	DFER15	DFER14	DFER13	DFER12	DFER11	DFER10	DFER9	DFER8			
H'D033					DFER7	DFER6	DFER5	DFER4	DFER3	DFER2	DFER1	DFER0			
H'D034	DFRUDR	W	16	16	DFRUDR15	DFRUDR14	DFRUDR13	DFRUDR12	DFRUDR11	DFRUDR10	DFRUDR9	DFRUDR8			
H'D035					DFRUDR7	DFRUDR6	DFRUDR5	DFRUDR4	DFRUDR3	DFRUDR2	DFRUDR1	DFRUDR0			
H'D036	DFRLDR	W	16	16	DFRLDR15	DFRLDR14	DFRLDR13	DFRLDR12	DFRLDR11	DFRLDR10	DFRLDR9	DFRLDR8			
H'D037					DFRLDR7	DFRLDR6	DFRLDR5	DFRLDR4	DFRLDR3	DFRLDR2	DFRLDR1	DFRLDR0			
H'D038	DFVCR	R/W	8	16	DFCS1	DFCS0	DFOVF	DFRFON	DF-R/UNR	DFCNT	DFRCS1	DFRCS0			
H'D039	DPGCR	R/W	8	16	DPCS1	DPCS0	DPOVF	N/V	HSWES	—	—	—			
H'D03A	DPPR2	W	16	16	DPPR15	DPPR14	DPPR13	DPPR12	DPPR11	DPPR10	DPPR9	DPPR8			
H'D03B					DPPR7	DPPR6	DPPR5	DPPR4	DPPR3	DPPR2	DPPR1	DPPR0			
H'D03C	DPPR1	W	8	16	—	—	—	—	DPPR19	DPPR18	DPPR17	DPPR16			
H'D03D	DPER1	W	8	16	—	—	—	—	DPER19	DPER18	DPER17	DPER16			
H'D03E	DPER2	W	16	16	DPER15	DPER14	DPER13	DPER12	DPER11	DPER10	DPER9	DPER8			
H'D03F					DPER7	DPER6	DPER5	DPER4	DPER3	DPER2	DPER1	DPER0			
H'D050	CFPR	W	16	16	CFPR15	CFPR14	CFPR13	CFPR12	CFPR11	CFPR10	CFPR9	CFPR8		キャプスタン誤差検出回路	
H'D051					CFPR7	CFPR6	CFPR5	CFPR4	CFPR3	CFPR2	CFPR1	CFPR0			
H'D052	CFER	R/W	16	16	CFER15	CFER14	CFER13	CFER12	CFER11	CFER10	CFER9	CFER8			
H'D053					CFER7	CFER6	CFER5	CFER4	CFER3	CFER2	CFER1	CFER0			
H'D054	CFRUDR	W	16	16	CFRUDR15	CFRUDR14	CFRUDR13	CFRUDR12	CFRUDR11	CFRUDR10	CFRUDR9	CFRUDR8			
H'D055					CFRUDR7	CFRUDR6	CFRUDR5	CFRUDR4	CFRUDR3	CFRUDR2	CFRUDR1	CFRUDR0			
H'D056	CFRLDR	W	16	16	CFRLDR15	CFRLDR14	CFRLDR13	CFRLDR12	CFRLDR11	CFRLDR10	CFRLDR9	CFRLDR8			
H'D057					CFRLDR7	CFRLDR6	CFRLDR5	CFRLDR4	CFRLDR3	CFRLDR2	CFRLDR1	CFRLDR0			
H'D058	CFVCR	R/W	8		CFCS1	CFCS0	CFOVF	CFRFON	CF-R/UNR	CPCNT	CFRCS1	CFRCS0			
H'D059	CPGCR	R/W	8	16	CPCS1	CPCS0	CPOVF	CR/RF	SELFCFG2	—	—	—			
H'D05A	CPPR2	W	16	16	CPH15	CPH14	CPH13	CPH12	CPH11	CPH10	CPH9	CPH8			
H'D05B					CPH7	CPH6	CPH5	CPH4	CPH3	CPH2	CPH1	CPH0			
H'D05C	CPPR1	W	8	16	—	—	—	—	CPH19	CPH18	CPH17	CPH16			
H'D05D	CPER1	W	8	16	—	—	—	—	CPER19	CPER18	CPER17	CPER16			
H'D05E	CPER2	W	16	16	CPER15	CPER14	CPER13	CPER12	CPER11	CPER10	CPER9	CPER8			
H'D05F					CPER7	CPER6	CPER5	CPER4	CPER3	CPER2	CPER1	CPER0			
H'D060	HSM1	R/W	8	16	FLB	FLA	EMPB	EMPA	OVWB	OVWA	CLRB	CLRA			HSW タイミング生成 *同一アドレスに割付
H'D061	HSM2	R/W	8		FRT	FGR2OFF	LOP	EDG	ISEL	SOFG	OFG	VFF/NFF			
H'D062	HSLP	W	8	16	LOB3	LOB2	LOB1	LOB0	LOA3	LOA2	LOA1	LOA0			
H'D064	FPDRA	W	16	16	—	ADTRGA	STRIGA	NarrowFFA	VFFA	AFFA	VpulseA	MlevelA			
H'D065					PPGA7	PPGA6	PPGA5	PPGA4	PPGA3	PPGA2	PPGA1	PPGA0			
H'D066	FTPRA*	W	16	16	FTPRA15	FTPRA14	FTPRA13	FTPRA12	FTPRA11	FTPRA10	FTPRA9	FTPRA8			
H'D066	FTCTR*	R	16		FTCTR15	FTCTR14	FTCTR13	FTCTR12	FTCTR11	FTCTR10	FTCTR9	FTCTR8			
H'D067	FTPRA*	W	16	16	FTPRA7	FTPRA6	FTPRA5	FTPRA4	FTPRA3	FTPRA2	FTPRA1	FTPRA0			
H'D067	FTCTR*	R	16		FTCTR7	FTCTR6	FTCTR5	FTCTR4	FTCTR3	FTCTR2	FTCTR1	FTCTR0			
H'D068	FPDRB	W	16	16	—	ADTRGB	STRIGB	NarrowFFB	VFFB	AFFB	VpulseB	MlevelB			
H'D069					PPGB7	PPGB6	PPGB5	PPGB4	PPGB3	PPGB2	PPGB1	PPGB0			
H'D06A	FTPRB	W	16	16	FTPRB15	FTPRB14	FTPRB13	FTPRB12	FTPRB11	FTPRB10	FTPRB9	FTPRB8			
H'D06B					FTPRB7	FTPRB6	FTPRB5	FTPRB4	FTPRB3	FTPRB2	FTPRB1	FTPRB0			
H'D06C	DFCRA*	W	8	16	ISEL2	CCLR	CKSL	DFCRA4	DFCRA3	DFCRA2	DFCRA1	DFCRA0			
H'D06C	DFCTR*	R	8		—	—	—	DFCTR4	DFCTR3	DFCTR2	DFCTR1	DFCTR0			
H'D06D	DFCRB	W	8	16	—	—	—	DFCRB4	DFCRB3	DFCRB2	DFCRB1	DFCRB0			
H'D06E	CHCR	W	8	16	V/N	HSWPOL	CRH	HAH	SIG3	SIG2	SIG1	SIG0	4ヘッド特再		
H'D06F	ADDVR	R/W	8		—	—	—	HMSK	HIZ	CUT	VPON	POL	付加 V		

【注】* アドレスは下位 16 ビットを示します

付録

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール
H'D070	XDR	W	16	16	—	—	—	—	XR11	XR10	XR9	XR8	X値,TRK値
H'D071					XR7	XR6	XR5	XR4	XR3	XR2	XR1	XR0	
H'D072	TRDR	W	16	16	—	—	—	—	TRD11	TRD10	TRD9	TRD8	
H'D073					TRD7	TRD6	TRD5	TRD4	TRD3	TRD2	TRD1	TRD0	
H'D074	XTCR	R/W	8	16	—	CAPRF	AT/MU	TRK/X	EXC/REF	XCS	DVREF1	DVREF0	
H'D078	DPWDR	R/W	16	16	—	—	—	—	DPWDR11	DPWDR10	DPWDR9	DPWDR8	ドラム 12 ビット PWM
H'D079					DPWDR7	DPWDR6	DPWDR5	DPWDR4	DPWDR3	DPWDR2	DPWDR1	DPWDR0	
H'D07A	DPWCR	W	8	16	DPOL	DDC	DHIZ	DH/L	DSF/DF	DCK2	DCK1	DCK0	
H'D07B	CPWCR	W	8		CPOL	CDC	CHIZ	CH/L	CSF/DF	CCK2	CCK1	CCK0	キャプスタン 12 ビット PWM
H'D07C	CPWDR	R/W	16	16	—	—	—	—	CPWDR11	CPWDR10	CPWDR9	CPWDR8	
H'D07D					CPWDR7	CPWDR6	CPWDR5	CPWDR4	CPWDR3	CPWDR2	CPWDR1	CPWDR0	
H'D080	CTCR	W	8	16	NT/PAL	FLSC	FSLB	FSLA	CCS	LCTL	UNCTL	SLWM	CTL 回路
H'D081	CTLM	R/W	8		ASM	REC/PB	FW/RV	MD4	MD3	MD2	MD1	MD0	
H'D082	RCDR1	W	16	16	—	—	—	—	CMT1B	CMT1A	CMT19	CMT18	
H'D083					CMT17	CMT16	CMT15	CMT14	CMT13	CMT12	CMT11	CMT10	
H'D084	RCDR2	W	16	16	—	—	—	—	CMT2B	CMT2A	CMT29	CMT28	
H'D085					CMT27	CMT26	CMT25	CMT24	CMT23	CMT22	CMT21	CMT20	
H'D086	RCDR3	W	16	16	—	—	—	—	CMT3B	CMT3A	CMT39	CMT38	
H'D087					CMT37	CMT36	CMT35	CMT34	CMT33	CMT32	CMT31	CMT30	
H'D088	RCDR4	W	16	16	—	—	—	—	CMT4B	CMT4A	CMT49	CMT48	
H'D089					CMT47	CMT46	CMT45	CMT44	CMT43	CMT42	CMT41	CMT40	
H'D08A	RCDR5	W	16	16	—	—	—	—	CMT5B	CMT5A	CMT59	CMT58	
H'D08B					CMT57	CMT56	CMT55	CMT54	CMT53	CMT52	CMT51	CMT50	
H'D08C	DI/O	R/W	8	16	VCTR2	VCTR1	VCTR0	—	BPON	BPS	BPF	DI/O	
H'D08D	BTPR	R/W	8		LSP7	LSP6	LSP5	LSP4	LSP3	LSP2	LSP1	LSP0	
H'D090	RFD	W	16	16	REF15	REF14	REF13	REF12	REF11	REF10	REF9	REF8	基準信号生成
H'D091					REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0	
H'D092	CRF	W	16	16	CRF15	CRF14	CRF13	CRF12	CRF11	CRF10	CRF9	CRF8	
H'D093					CRF7	CRF6	CRF5	CRF4	CRF3	CRF2	CRF1	CRF0	
H'D094	RFC	R/W	16	16	RFC15	RFC14	RFC13	RFC12	RFC11	RFC10	RFC9	RFC8	
H'D095					RFC7	RFC6	RFC5	RFC4	RFC3	RFC2	RFC1	RFC0	
H'D096	RFM	R/W	8	16	RCF	VNA	CVS	REX	CRD	OD/EV	VST	VEG	*TBC ビットは H8S/2194C グループのみ有効
H'D097	RFM2	R/W	8		(TBC) *2	—	—	—	—	—	—	FDS	
H'D098	CTVC	R/W	8	16	CEX	CEG	—	—	—	CFG	HSW	CTL	分周回路
H'D099	CTLR	W	8		CTL7	CTL6	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	
H'D09A	CDVC	R/W	8	16	MCGain	—	CMK	CMN	DVTRG	CRF	CPS1	CPS0	
H'D09B	CDIVR1	W	8	16	—	CDV16	CDV15	CDV14	CDV13	CDV12	CDV11	CDV10	
H'D09C					CDIVR2	W	8	—	CDV26	CDV25	CDV24	CDV23	CDV22
H'D09D	CTMR	W	8	16	—	—	CPM5	CPM4	CPM3	CPM2	CPM1	CPM0	
H'D09E	FGCR	W	8	16	—	—	—	—	—	—	—	DRF	
H'D0A0	SPMR	R/W	8	8	CTLSTOP	—	CFGCOMP	EXCTLON	DPGSW	COMP	H.Amp.SW	C.Rot	サーボポート制御
H'D0A1	SPCR	R/W	8	8	—	—	—	SPCR4	SPCR3	SPCR2	SPCR1	SPCR0	
H'D0A2	SPDR	R/W	8	8	—	—	—	SPDR4	SPDR3	SPDR2	SPDR1	SPDR0	
H'D0A3	SVMCR	R/W	8	8	—	—	SVMCR5	SVMCR4	SVMCR3	SVMCR2	SVMCR1	SVMCR0	
H'D0A4	CTLGR	R/W	8	8	—	—	—	CTLFB	CTLGR3	CTLGR2	CTLGR1	CTLGR0	

【注】 * アドレスは下位 16 ビットを示します

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール
H'D0B0	VTR	W	8	16	—	—	VTR5	VTR4	VTR3	VTR2	VTR1	VTR0	同期検出回路 (サーボ)
H'D0B1	HTR	W	8	16	—	—	—	—	HTR3	HTR2	HTR1	HTR0	
H'D0B2	HRTR	W	8	16	HRTR7	HRTR6	HRTR5	HRTR4	HRTR3	HRTR2	HRTR1	HRTR0	
H'D0B3	HPWR	W	8	16	—	—	—	—	HPWR3	HPWR2	HPWR1	HPWR0	
H'D0B4	NWR	W	8	16	—	—	NWR5	NWR4	NWR3	NWR2	NWR1	NWR0	
H'D0B5	NDR	W	8	16	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
H'D0B6	SYNCR	R/W	8	16	—	—	—	—	NIS/VD	NOIS	FLD	SYCT	
H'D0B8	SIENR1	R/W	8	16	IEDR3	IEDR2	IEDR1	IECAP3	IECAP2	IECAP1	IEHSW2	IEHSW1	
H'D0B9	SIENR2	R/W	8	16	—	—	—	—	—	—	IESNC	IECTL	
H'D0BA	SIRQR1	R/W	8	16	IRDRM3	IRDRM2	IRDRM1	IRRCAP3	IRRCAP2	IRRCAP1	IRRHWS2	IRRHWS1	
H'D0BB	SIRQR2	R/W	8	16	—	—	—	—	—	—	IRRSNC	IRRCTL	
H'D0C0	32byte Data Buffer	R/W	8	8									32バイトバッファ SCI2
H'D0C1		R/W	8	8									
H'D0C2		R/W	8	8									
H'D0C3		R/W	8	8									
H'D0C4		R/W	8	8									
H'D0C5		R/W	8	8									
H'D0C6		R/W	8	8									
H'D0C7		R/W	8	8									
H'D0C8		R/W	8	8									
H'D0C9		R/W	8	8									
H'D0CA		R/W	8	8									
H'D0CB		R/W	8	8									
H'D0CC		R/W	8	8									
H'D0CD		R/W	8	8									
H'D0CE		R/W	8	8									
H'D0CF		R/W	8	8									
H'D0D0	32byte Data Buffer	R/W	8	8									32バイトバッファ SCI2
H'D0D1		R/W	8	8									
H'D0D2		R/W	8	8									
H'D0D3		R/W	8	8									
H'D0D4		R/W	8	8									
H'D0D5		R/W	8	8									
H'D0D6		R/W	8	8									
H'D0D7		R/W	8	8									
H'D0D8		R/W	8	8									
H'D0D9		R/W	8	8									
H'D0DA		R/W	8	8									
H'D0DB		R/W	8	8									
H'D0DC		R/W	8	8									
H'D0DD		R/W	8	8									
H'D0DE		R/W	8	8									
H'D0DF		R/W	8	8									
H'D0E0	STAR	R/W	8	8	—	—	—	STA4	STA3	STA2	STA1	STA0	32バイトバッファ SCI2
H'D0E1	EDAR	R/W	8	8	—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0	
H'D0E2	SCR2	R/W	8	8	TEIE	ABTIE	—	GAP1	GAP0	CKS2	CKS1	CKS0	
H'D0E3	SCSR2	R/W	8	8	TEI	—	—	SOL	ORER	WT	ABT	STF	

【注】* アドレスは下位 16 ビットを示します

付録

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール
H'D100	TIER	R/W	8	16	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	ICSA	タイマ X1
H'D101	TCSRX	R/W	8	16	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	*OCRA と OCRB のアドレスは同一。 切り替えは TOCR の OCSR ビットで 行う
H'D102	FRCH	R/W	8/16	16	FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0	
H'D103	FRCL				FRCL7	FRCL6	FRCL5	FRCL4	FRCL3	FRCL2	FRCL1	FRCL0	
H'D104	OCRAH*	R/W	8/16	16	OCRAH7	OCRAH6	OCRAH5	OCRAH4	OCRAH3	OCRAH2	OCRAH1	OCRAH0	
H'D105	OCRAL*				OCRAL7	OCRAL6	OCRAL5	OCRAL4	OCRAL3	OCRAL2	OCRAL1	OCRAL0	
H'D104	OCRBH*	R/W	8/16	16	OCRBH7	OCRBH6	OCRBH5	OCRBH4	OCRBH3	OCRBH2	OCRBH1	OCRBH0	
H'D105	OCRBL*				OCRBL7	OCRBL6	OCRBL5	OCRBL4	OCRBL3	OCRBL2	OCRBL1	OCRBL0	
H'D106	TCRX	R/W	8	16	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
H'D107	TOCR	R/W	8	16	ICSB	ICSC	ICSD	OCRS	OEA	OEB	OLVLA	OLVLB	
H'D108	ICRAH	R	8/16	16	ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0	
H'D109	ICRAL				ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0	
H'D10A	ICRBH	R	8/16	16	ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0	
H'D10B	ICRBL				ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0	
H'D10C	ICRCH	R	8/16	16	ICRCH7	ICRCH6	ICRCH5	ICRCH4	ICRCH3	ICRCH2	ICRCH1	ICRCH0	
H'D10D	ICRCL				ICRCL7	ICRCL6	ICRCL5	ICRCL4	ICRCL3	ICRCL2	ICRCL1	ICRCL0	
H'D10E	ICRDH	R	8/16	16	ICRDH7	ICRDH6	ICRDH5	ICRDH4	ICRDH3	ICRDH2	ICRDH1	ICRDH0	
H'D10F	ICRDL				ICRDL7	ICRDL6	ICRDL5	ICRDL4	ICRDL3	ICRDL2	ICRDL1	ICRDL0	
H'D110	TMB	R/W	8	8	TMB17	TMB16	TMB15	—	—	TMB12	TMB11	TCB10	タイマ B
H'D111	TCB	R	8	8	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10	
H'D111	TLB	W	8	8	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10	
H'D112	LMR	R/W	8	8	LM1F	LM1E	—	—	LMR3	LMR2	LMR1	LMR0	タイマ L
H'D113	LTC	R	8	8	LTC7	LTC6	LTC5	LTC4	LTC3	LTC2	LTC1	LTC0	
H'D113	RCR	W	8	8	RCR7	RCR6	RCR5	RCR4	RCR3	RCR2	RCR1	RCR0	
H'D118	TMRM1	R/W	8	8	CLR2	AC/BR	RLD	RLCK	PS21	PS20	RLD/CAP	CPS	タイマ R
H'D119	TMRM2	R/W	8	8	LAT	PS11	PS10	PS31	PS30	CP/SLM	CAPF	SLW	
H'D11A	TMRCP1	R	8	8	TMRC17	TMRC16	TMRC15	TMRC14	TMRC13	TMRC12	TMRC11	TMRC10	
H'D11B	TMRCP2	R	8	8	TMRC27	TMRC26	TMRC25	TMRC24	TMRC23	TMRC22	TMRC21	TMRC20	
H'D11C	TMR1	W	8	8	TMR17	TMR16	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10	
H'D11D	TMR2	W	8	8	TMR27	TMR26	TMR25	TMR24	TMR23	TMR22	TMR21	TMR20	
H'D11E	TMR3	W	8	8	TMR37	TMR36	TMR35	TMR34	TMR33	TMR32	TMR31	TMR30	
H'D11F	TMRCS	R/W	8	8	TMRI3E	TMRI2E	TMRI1E	TMRI3	TMRI2	TMRI1	—	—	
H'D120	PWDRL	W	8	8	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	14 ビット PWM
H'D121	PWDRU	W	8	8	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
H'D122	PWCR	R/W	8	8	—	—	—	—	—	—	—	PWMCR0	
H'D126	PWR0	W	8	8	PW 07	PW06	PW05	PW04	PW03	PW02	PW01	PW00	8 ビット PWM
H'D127	PWR1	W	8	8	PW17	PW16	PW15	PW14	PW13	PW12	PW11	PW10	
H'D128	PWR2	W	8	8	PW 27	PW26	PW25	PW24	PW23	PW22	PW21	PW20	
H'D129	PWR3	W	8	8	PW 37	PW36	PW35	PW34	PW33	PW32	PW31	PW30	
H'D12A	PW8CR	R/W	8	8	—	—	—	—	PWC3	PWC2	PWC1	PWC0	
H'D12C	ICR1	R	8	8	ICR17	ICR16	ICR15	ICR14	ICR13	ICR12	ICR11	ICR10	PSU
H'D12D	PCSR	R/W	8	8	ICIF	ICIE	ICEG	NCon/off	—	DCS2	DCS1	DCS0	

【注】* アドレスは下位 16 ビットを示します

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール	
H'D130	ADRH	R	16	8	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D	
H'D131	ADRL				ADR1	ADR0	—	—	—	—	—	—		—
H'D132	AHRH	R	16	8	AHR9	AHR8	AHR7	AHR6	AHR5	AHR4	AHR3	AHR2		
H'D133	AHRL				AHR1	AHR0	—	—	—	—	—	—		—
H'D134	ADCR	R/W	8	8	CK	—	HCH1	HCH0	SCH3	SCH2	SCH1	SCH0		
H'D135	ADCSR	R/W	8	8	SEND	HEND	ADIE	SST	HST	BUSY	SCNL	—		
H'D136	ADTSR	R/W	8	8	—	—	—	—	—	—	TRGS1	TRGS0		
H'D138	TLK	W	8/16	16	TLR 27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20	タイマ J	
H'D138	TCK	R	8/16	16	TLR 17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10		
H'D139	TLJ	W	8/16	16	TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20		
H'D139	TCJ	R	8/16	16	TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10		
H'D13A	TMJ	R/W	8/16	16	PS11	PS10	ST	8/16	PS21	PS20	TGL	T/R	*PS22 ビットは H8S/2194C グループのみ有効	
H'D13B	TMJC	R/W	8/16	16	BUZZ1	BUZZ0	MON1	MON0	—	TMJ2IE	TMJ1IE	(PS22)*		
H'D13C	TMJS	R/W	8/16	16	TMJ2I	TMJ1I	—	—	—	—	—	—		
H'D148	SMR1	R/W	8	8	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0		
H'D149	BRR1	R/W	8	8	—	—	—	—	—	—	—	—	クロック同期/調歩同期式 SCI	
H'D14A	SCR1	R/W	8	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'D14B	TDR1	R/W	8	8	—	—	—	—	—	—	—	—		
H'D14C	SSR1	R/W	8	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'D14D	RDR1	R	8	8	—	—	—	—	—	—	—	—		
H'D14E	SCMR1	R/W	8	8	—	—	—	—	SDIR	SINV	—	SMIF		
H'D158	ICCR	R/W	8	8	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC インターフェース	
H'D159	ICSR	R/W	8	8	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB		
H'D15E	ICDR*	R/W	8	8	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	*ICE ビットによりアクセスが変わります	
H'D15E	SARX*	R/W	8	8	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
H'D15F	ICMR*	R/W	8	8	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0		
H'D15F	SAR*	R/W	8	8	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		
H'FFB0	TAR0	R/W	8	8	TA023	TA022	TA021	TA020	TA019	TA018	TA017	TA016	ATC	
H'FFB1					TA015	TA014	TA013	TA012	TA011	TA010	TA009	TA008		—
H'FFB2					TA007	TA006	TA005	TA004	TA003	TA002	TA001	—		—
H'FFB3	TAR1	R/W	8	8	TA123	TA122	TA121	TA120	TA119	TA118	TA117	TA116		
H'FFB4						TA115	TA114	TA113	TA112	TA111	TA110	TA109		TA108
H'FFB5						TA107	TA106	TA105	TA104	TA103	TA102	TA101		—
H'FFB6	TAR2	R/W	8	8	TA223	TA222	TA221	TA220	TA219	TA218	TA217	TA216		
H'FFB7						TA215	TA214	TA213	TA212	TA211	TA210	TA209		TA208
H'FFB8						TA207	TA206	TA205	TA204	TA203	TA202	TA201		—
H'FFB9	TRCR	R/W	8	8	—	—	—	—	—	TRC2	TRC1	TRC0	タイマ A	
H'FFBA	TMA	R/W	8	8	TMAOV	TMAIE	—	—	TMA3	TMA2	TMA1	TMA0		
H'FFBB	TCA	R	8	8	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	WDT	
H'FFBC	WTCR	R/W	8/16	16	OVF	WT/ĪT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0		
H'FFBD	WTCNT	R/W	8/16	16	—	—	—	—	—	—	—	—	ポートデータレジスタ	
H'FFC0	PDR0	R	8	8	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00		
H'FFC1	PDR1	R/W	8	8	PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10		
H'FFC2	PDR2	R/W	8	8	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20		
H'FFC3	PDR3	R/W	8	8	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30		
H'FFC4	PDR4	R/W	8	8	PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40		
H'FFC5	PDR5	R/W	8	8	—	—	—	—	PDR53	PDR52	PDR51	PDR50		
H'FFC6	PDR6	R/W	8	8	PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60		
H'FFC7	PDR7	R/W	8	8	PDR77	PDR76	PDR75	PDR74	PDR73	PDR72	PDR71	PDR70		
H'FFC8	PDR8	R/W	8	8	PDR87	PDR86	PDR85	PDR84	PDR83	PDR82	PDR81	PDR80		

【注】 * アドレスは下位 16 ビットを示します

付録

アドレス*	レジスタ略称	R/W	アクセス	バス幅	7	6	5	4	3	2	1	0	モジュール	
H'FFCD	PMR0	R/W	8	8	PMR07	PMR06	PMR05	PMR04	PMR03	PMR02	PMR01	PMR00	ポートモードレジスタ	
H'FFCE	PMR1	R/W	8	8	PMR17	PMR16	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10		
H'FFCF	PMR2	R/W	8	8	PMR27	PMR26	PMR25	—	—	—	—	PMR20		
H'FFD0	PMR3	R/W	8	8	PMR37	PMR36	PMR35	PMR34	PMR33	PMR32	PMR31	PMR30	ポートモードレジスタ	
H'FFD1	PCR1	W	8	8	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	ポートコントロールレジスタ	
H'FFD2	PCR2	W	8	8	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20		
H'FFD3	PCR3	W	8	8	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30		
H'FFD4	PCR4	W	8	8	PCR47	PCR46	PCR45	PCR44	PCR43	PCR42	PCR41	PCR40		
H'FFD5	PCR5	W	8	8	—	—	—	—	PCR53	PCR52	PCR51	PCR50		
H'FFD6	PCR6	W	8	8	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60		
H'FFD7	PCR7	W	8	8	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70		
H'FFD8	PCR8	W	8	8	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80		
H'FFDB	PMR4	R/W	8	8	—	—	—	—	—	—	—	PMR40		
H'FFDC	PMR5	R/W	8	8	—	—	—	—	PMR53	PMR52	PMR51	—		
H'FFDD	PMR6	R/W	8	8	PMR67	PMR66	PMR65	PMR64	PMR63	PMR62	PMR61	PMR60	ポートモードレジスタ	
H'FFDE	PMR7	R/W	8	8	PMR77	PMR76	PMR75	PMR74	PMR73	PMR72	PMR71	PMR70		
H'FFDF	PMR8	R/W	8	8	—	—	—	—	PMR83	PMR82	PMR81	PMR80		
H'FFE1	PUR1	R/W	8	8	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10		
H'FFE2	PUR2	R/W	8	8	PUR27	PUR26	PUR25	PUR24	PUR23	PUR22	PUR21	PUR20	ポートブルアップセレクトレジスタ	
H'FFE3	PUR3	R/W	8	8	PUR37	PUR36	PUR35	PUR34	PUR33	PUR32	PUR31	PUR30		
H'FFE4	RTPEGR	R/W	8	8	—	—	—	—	—	—	RTPEGR1	RTPEGR0		
H'FFE5	RTPSR	R/W	8	8	RTPSR7	RTPSR6	RTPSR5	RTPSR4	RTPSR3	RTPSR2	RTPSR1	RTPSR0	RTP TRG セレクト	
H'FFE8	SYSCR	R/W	8	8	—	—	INTM1	INTM0	XRST	NMIEG1	NMIEG0	—	システムコントロールレジスタ	
H'FFE9	MDCR	R/W	8	8	—	—	—	—	—	—	—	MDS0		
H'FFEA	SBYCR	R/W	8	8	SSBY	STS2	STS1	STS0	—	—	SCK1	SCK0		
H'FFEB	LPWRCCR	R/W	8	8	DTON	LSON	NESEL	—	—	—	SA1	SA0		
H'FFEC	MSTPCRH	R/W	8	8	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8		
H'FFED	MSTPCRL	R/W	8	8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0		
H'FFEE	STCR	R/W	8	8	—	IICX	IICRST	—	FLASHE	—	—	—		
H'FFF0	IEGR	R/W	8	8	—	IRQ5EG	IRQ4EG	IRQ3EG	IRQ2EG	IRQ1EG	IRQ0EG1	IRQ0EG0		IRQ エッジ
H'FFF1	IENR	R/W	8	8	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		IRQ イネーブル
H'FFF2	IRQR	R/W	8	8	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		IRQ ステータス
H'FFF3	ICRA	R/W	8	8	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	IRQ 優先権コントロール	
H'FFF4	ICRB	R/W	8	8	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0		
H'FFF5	ICRC	R/W	8	8	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0		
H'FFF6	ICRD	R/W	8	8	ICRD7	ICRD6	ICRD5	ICRD4	ICRD3	ICRD2	ICRD1	ICRD0		
H'FFF8	FLMCR1	R/W	8	8	FWE	SWE	—	—	EV	PV	E	P		
H'FFF9	FLMCR2	R/W	8	8	FLER	—	—	—	—	—	ESU	PSU		
H'FFFA	EBR1	R/W	8	8	—	—	—	—	—	—	EB9	EB8	H8S/2194 FLASH 版のみ	
H'FFFB	EBR2	R/W	8	8	—	—	—	—	—	—	EB9	EB8		
H'FFF8	FLMCR1	R/W	8	8	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1		
H'FFF9	FLMCR2	R/W	8	8	FLER	—	ESU2	PSU2	EV2	PV2	E2	P2		
H'FFFA	EBR1	R/W	8	8	—	—	EB13	EB12	EB11	EB10	EB9	EB8		
H'FFFB	EBR2	R/W	8	8	—	—	EB13	EB12	EB11	EB10	EB9	EB8		

【注】* アドレスは下位 16 ビットを示します

B.2 機能一覧

H'D000 : ゲイン定数 DGKp : ドラムデジタルフィルタ
 H'D001 : ゲイン定数 DGKp : ドラムデジタルフィルタ
 H'D002 : ゲイン定数 DGKs : ドラムデジタルフィルタ
 H'D003 : ゲイン定数 DGKs : ドラムデジタルフィルタ

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値: * * * * * * * * * * * * * * * *
 R/W : W W W W W W W W W W W W W W W W

【注】*: 不定

H'D004 : 係数 DAp : ドラムデジタルフィルタ
 H'D005 : 係数 DAp : ドラムデジタルフィルタ
 H'D006 : 係数 DBp : ドラムデジタルフィルタ
 H'D007 : 係数 DBp : ドラムデジタルフィルタ
 H'D008 : 係数 DAs : ドラムデジタルフィルタ
 H'D009 : 係数 DAs : ドラムデジタルフィルタ
 H'D00A : 係数 DBs : ドラムデジタルフィルタ
 H'D00B : 係数 DBs : ドラムデジタルフィルタ

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値: * * * * * * * * * * * * * * * *
 R/W : W W W W W W W W W W W W W W W W

【注】*: 不定

H'D00C : オフセット DOfp : ドラムデジタルフィルタ
 H'D00D : オフセット DOfp : ドラムデジタルフィルタ
 H'D00E : オフセット DOfs : ドラムデジタルフィルタ
 H'D00F : オフセット DOfs : ドラムデジタルフィルタ

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値: * * * * * * * * * * * * * * * *
 R/W : W W W W W W W W W W W W W W W W

【注】*: 不定

H'D010 : ゲイン定数 CGKp : キャプスタンデジタルフィルタ
 H'D011 : ゲイン定数 CGKp : キャプスタンデジタルフィルタ
 H'D012 : ゲイン定数 CGKs : キャプスタンデジタルフィルタ
 H'D013 : ゲイン定数 CGKs : キャプスタンデジタルフィルタ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】*: 不定

H'D014 : 係数 CAp : キャプスタンデジタルフィルタ
 H'D015 : 係数 CAp : キャプスタンデジタルフィルタ
 H'D016 : 係数 CBp : キャプスタンデジタルフィルタ
 H'D017 : 係数 CBp : キャプスタンデジタルフィルタ
 H'D018 : 係数 CAs : キャプスタンデジタルフィルタ
 H'D019 : 係数 CAs : キャプスタンデジタルフィルタ
 H'D01A : 係数 CBs : キャプスタンデジタルフィルタ
 H'D01B : 係数 CBs : キャプスタンデジタルフィルタ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】*: 不定

H'D01C : オフセット COfp : キャプスタンデジタルフィルタ
 H'D01D : オフセット COfp : キャプスタンデジタルフィルタ
 H'D01E : オフセット COfs : キャプスタンデジタルフィルタ
 H'D01F : オフセット COfs : キャプスタンデジタルフィルタ

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】*: 不定

H'D020 : 遅延初期化レジスタ DZs : デジタルフィルタ
 H'D021 : 遅延初期化レジスタ DZs : デジタルフィルタ
 H'D022 : 遅延初期化レジスタ DZp : デジタルフィルタ
 H'D023 : 遅延初期化レジスタ DZp : デジタルフィルタ
 H'D024 : 遅延初期化レジスタ CZs : デジタルフィルタ
 H'D025 : 遅延初期化レジスタ CZs : デジタルフィルタ
 H'D026 : 遅延初期化レジスタ CZp : デジタルフィルタ
 H'D027 : 遅延初期化レジスタ CZp : デジタルフィルタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

H'D028 : ドラム系デジタルフィルタコントロールレジスタ DFIC : デジタルフィルタ

ビット:	7	6	5	4	3	2	1	0
		DROV	DPHA	DZPON	DZSON	DSG2	DSG1	DSG0
初期値:	1	0	0	0	0	0	0	0
R/W :		R/(W)*	R/(W)	R/W	R/W	R/W	R/W	R/W

ドラム系出力ゲインコントロールビット

DSG2	DSG1	DSG0	説明
0	0	0	1倍
		1	2倍
	1	0	4倍
		1	8倍
1	0	0	16倍
		1	(32倍)*
	1	0	(64倍)*
		1	無効(設定しないでください)

【注】*: オプション設定

ドラム速度系Z⁻¹初期化ビット

0	速度系Z ⁻¹ にDZsの値は反映されません
1	速度系Z ⁻¹ にDZsの値が反映されます

ドラム位相系Z⁻¹初期化ビット

0	位相系Z ⁻¹ にDZpの値は反映されません
1	位相系Z ⁻¹ にDZpの値が反映されます

ドラム位相系フィルタ演算開始ビット

0	位相系フィルタ演算をOFFにします 位相系演算結果YをEsに加算しません
1	位相系のフィルタ演算をONにします

ドラム系レンジオーバーフラグ

0	フィルタ演算結果が12ビット幅に入ったことを示します
1	フィルタ演算結果が12ビット幅を越えたことを示します

【注】* 0 ライトのみ有効です。

H'D029 : キャプスタン系デジタルフィルタコントロールレジスタ CFIC : デジタルフィルタ

ビット:	7	6	5	4	3	2	1	0
		CROV	CPHA	CZPON	CZSON	CSG2	CSG1	CSG0
初期値:	1	0	0	0	0	0	0	0
R/W :		R/(W)*	R/(W)	R/W	R/W	R/W	R/W	R/W

キャプスタン系ゲインコントロールビット

CSG2	CSG1	CSG0	説明
0	0	0	1倍
		1	2倍
	1	0	4倍
		1	8倍
1	0	0	16倍
		1	(32倍)
	1	0	(64倍)
		1	無効(設定しないでください)

キャプスタン速度系Z⁻¹初期化ビット

0	速度系Z ⁻¹ にCZsの値は反映されません
1	速度系Z ⁻¹ にCZsの値が反映されます

キャプスタン位相系Z⁻¹初期化ビット

0	位相系Z ⁻¹ にCZpの値は反映されません
1	位相系Z ⁻¹ にCZpの値が反映されます

キャプスタン位相系フィルタ演算開始ビット

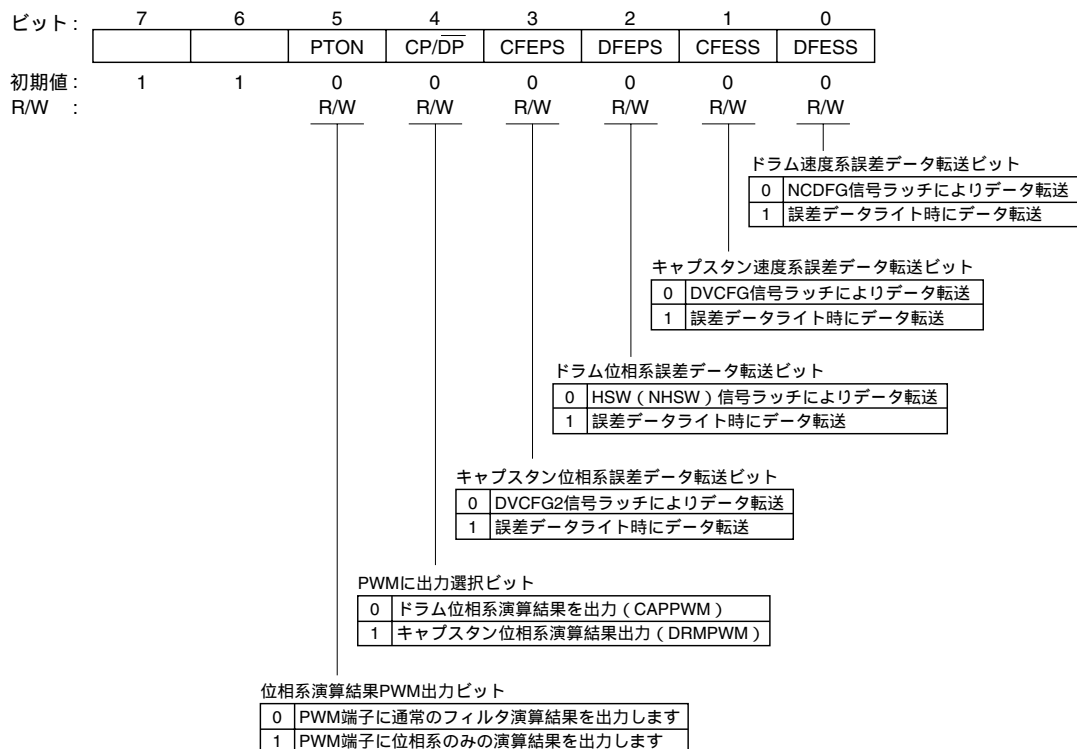
0	位相系フィルタ演算をOFFにします 位相系演算結果YをEsに加算しません
1	位相系のフィルタ演算をONにします

キャプスタン系レンジオーバーフラグ

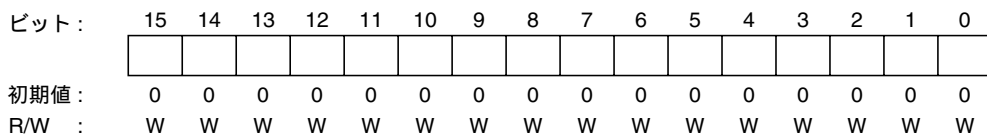
0	フィルタ演算結果が12ビット幅に入ったことを示します
1	フィルタ演算結果が12ビット幅を越えたことを示します

【注】* 0 ライトのみ有効です。

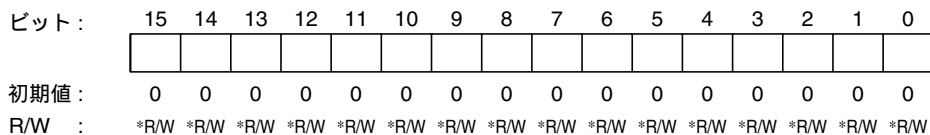
H'D02A : デジタルフィルタコントロールレジスタ DFUCR : デジタルフィルタ



H'D030 : DFG規定速度プリセットデータレジスタ DFPR : ドラム誤差検出回路



H'D032 : DFG速度誤差データレジスタ DFER : ドラム誤差検出回路



【注】* 検出された誤差データのみリード可能です。

H'D034 : DFGロックUPPERデータレジスタ DFRUDR :
ドラム誤差検出回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'D036 : DFGロックLOWERデータレジスタ DFRLDR :
ドラム誤差検出回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'D038 : ドラム速度誤差検出コントロールレジスタ DFVCR :
ドラム誤差検出回路

ビット:	7	6	5	4	3	2	1	0
	DFCS1	DFCS0	DFOVF	DFRFON	DF-R/UNR	DPCNT	DFRCS1	DFRCS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/(W)* ¹	R/W	R	R/W	(R)/W* ²	(R)/W* ²

ドラムロックカウンタ設定ビット

DFRCS1	DFRCS0	説 明
0	0	ロック検出1回でアンダフロー
	1	ロック検出2回でアンダフロー
1	0	ロック検出3回でアンダフロー
	1	ロック検出4回でアンダフロー

ドラム位相系フィルタ演算自動開始ビット

0	ドラムロック検出によるフィルタ演算を行いません
1	ドラムロック検出時に位相系のフィルタ演算をONにします

ドラムロックフラグ

0	ドラム速度系がロックしていないことを示します
1	ドラム速度系がロックしたことを示します

誤差データリミット機能選択ビット

0	リミット機能OFF
1	リミット機能ON

カウンタオーバーフローフラグ

0	通常状態
1	カウンタがオーバーフローしたことを示します

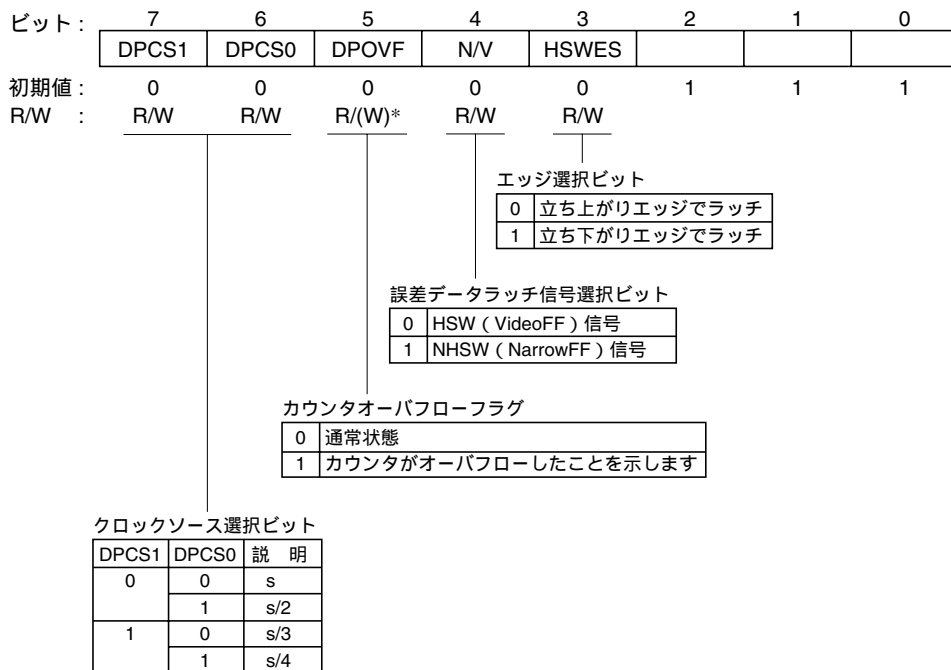
クロックソース選択ビット

DFCS1	DFCS0	説 明
0	0	s
	1	s/2
1	0	s/4
	1	s/8

【注】*1 0ライトのみ有効です。

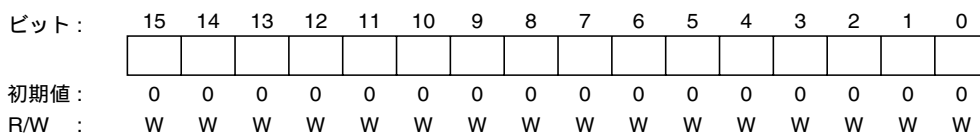
*2 リード時はカウンタの値が読み出されます。

H'D039 : ドラム位相誤差検出コントロールレジスタ DPGCR : ドラム誤差検出回路

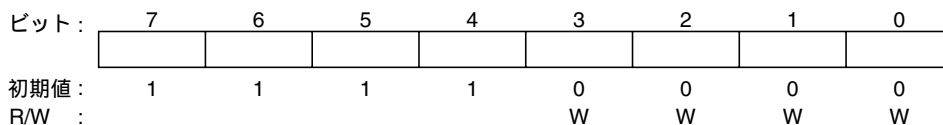


【注】* 0 ライトのみ有効です。

H'D03A : ドラム規定位相プリセットデータレジスタ2 DPPR2 : ドラム誤差検出回路



H'D03C : ドラム規定位相プリセットデータレジスタ1 DPPR1 : ドラム誤差検出回路



H'D03D : ドラム位相誤差データレジスタ1 DPER1 : ドラム誤差検出回路

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	0	0	0	0
R/W :					*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

H'D03E : ドラム位相誤差データレジスタ2 DPER2 : ドラム誤差検出回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

H'D050 : CFG規定速度プリセットデータレジスタ CFPR :
キャプスタン誤差検出回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'D052 : CFG速度誤差データレジスタ CFER :
キャプスタン誤差検出回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* 検出された誤差データのみリード可能です。

H'D058 : キャプスタン速度誤差検出コントロールレジスタ CFVCR : キャプスタン誤差検出回路

ビット:	7	6	5	4	3	2	1	0
	CFCS1	CFCS0	CFOVF	CFRFON	CF-R/UNR	CPCNT	CFRCS1	CFRCS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/(W)* ¹	R/W	R	R/W	(R)/W* ²	(R)/W* ²

キャプスタンロックカウンタ

CFRCS1	CFRCS0	説 明
0	0	ロック検出1回でアンダフロー
	1	ロック検出2回でアンダフロー
1	0	ロック検出3回でアンダフロー
	1	ロック検出4回でアンダフロー

キャプスタン位相系フィルタ演算自動開始ビット

0	キャプスタンロック検出によるフィルタ演算を行いません
1	キャプスタンロック検出時に位相系のフィルタ演算をONにします

キャプスタンロックフラグ

0	キャプスタン速度系がロックしていないことを示します
1	キャプスタン速度系がロックしたことを示します

誤差データリミット機能選択ビット

0	リミット機能OFF
1	リミット機能ON

カウンタオーバーフローフラグ

0	通常状態
1	カウンタがオーバーフローしたことを示します

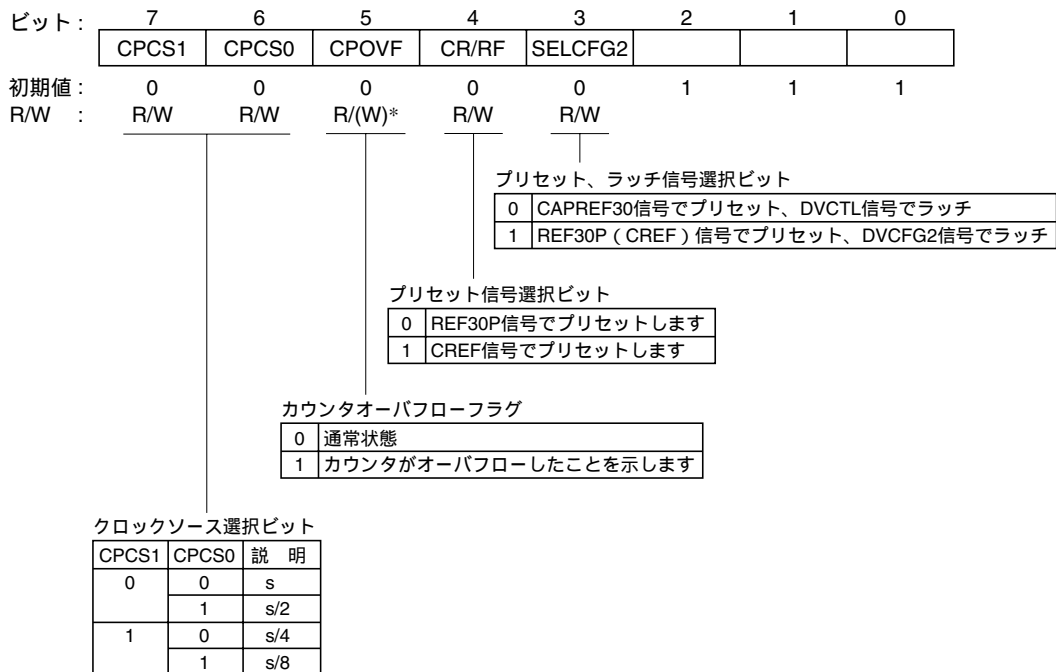
クロックソース選択ビット

CFCS1	CFCS0	説 明
0	0	s
	1	s/2
1	0	s/4
	1	s/8

【注】*1 0 ライトのみ有効です。

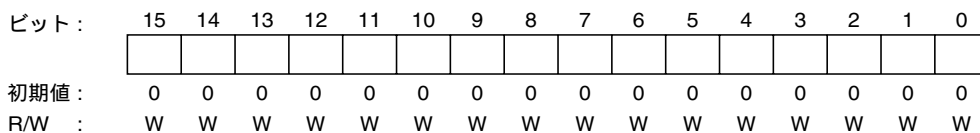
*2 リード時はカウンタの値が読み出されます。

H'D059 : キャプスタン位相誤差検出コントロールレジスタ CPGCR : キャプスタン誤差検出回路

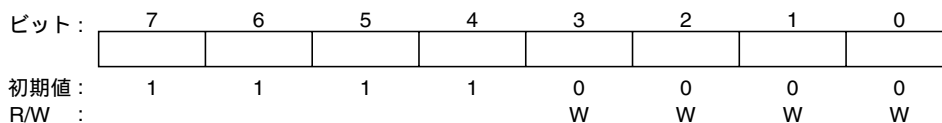


【注】* 0 ライトのみ有効です。

H'D05A : キャプスタン規定位相プリセットデータレジスタ CPPR2 : キャプスタン誤差検出回路



H'D05C : キャプスタン規定位相プリセットデータレジスタ CPPR1 : キャプスタン誤差検出回路



H'D05D : キャプスタン位相誤差データレジスタ CPER1 :
キャプスタン誤差検出回路

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	0	0	0	0
R/W :					*R/W	*R/W	*R/W	*R/W

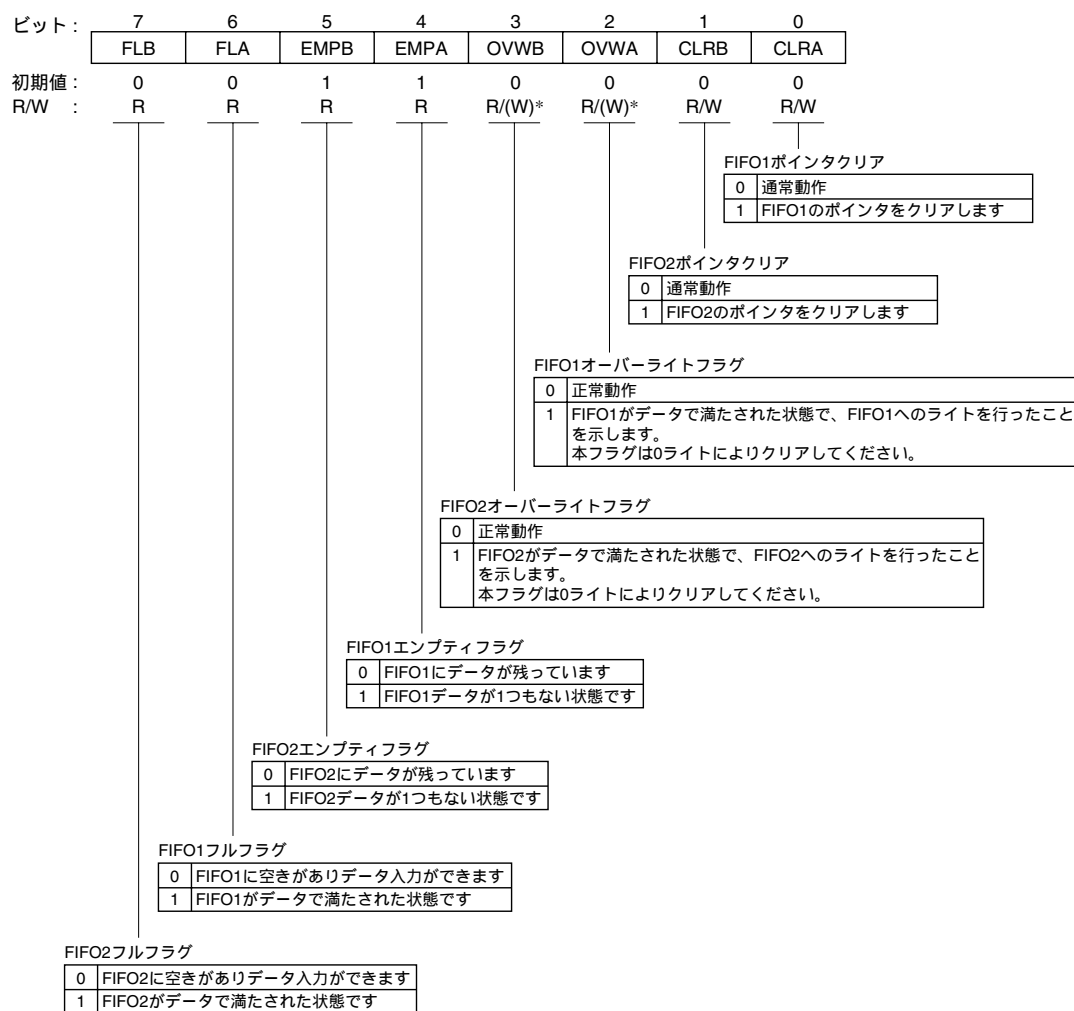
【注】* 検出された誤差データのみリード可能です。

H'D05E : キャプスタン位相誤差データレジスタ CPER2 :
キャプスタン誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

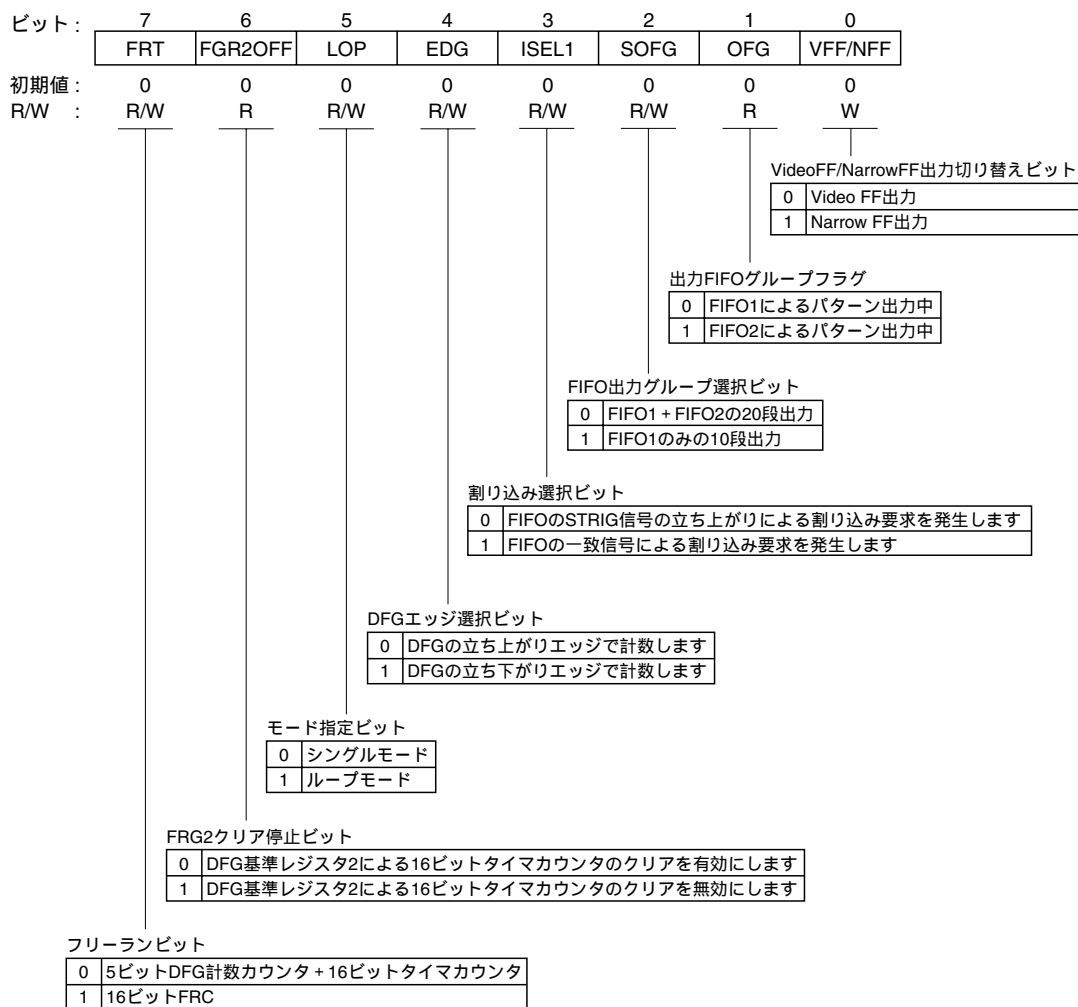
【注】* 検出された誤差データのみリード可能です。

H'D060 : HSWモードレジスタ1 HSM1 : HSWタイミング生成回路



【注】* 0ライトのみ有効です。

H'D061 : HSWモードレジスタ2 HSM2 : HSWタイミング生成回路



H'D062 : HSWループ段数設定レジスタ HSLP : HSWタイミング生成回路

ビット:	7	6	5	4	3	2	1	0
	LOB3	LOB2	LOB1	LOB0	LOA3	LOA2	LOA1	LOA0
初期値:	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FIFO1段数設定ビット

HSM2	HSLP				説 明
ビット5	ビット3	ビット2	ビット1	ビット0	
LOP	LOA3	LOA2	LOA1	LOA0	
0	*	*	*	*	シングルモード
1	0	0	0	0	FIFO1の0段目のみ出力
				1	FIFO1の0、1段目を出力
				0	FIFO1の0～2段目を出力
			1	0	FIFO1の0～3段目を出力
				1	FIFO1の0～4段目を出力
				0	FIFO1の0～5段目を出力
	1	0	0	0	FIFO1の0～6段目を出力
				1	FIFO1の0～7段目を出力
				0	FIFO1の0～8段目を出力
				1	FIFO1の0～9段目を出力
				0	設定禁止
				1	設定禁止

【注】 * : Don't care.

FIFO2段数設定ビット

HSM2	HSLP				説 明
ビット5	ビット7	ビット6	ビット5	ビット4	
LOP	LOB3	LOB2	LOB1	LOB0	
0	*	*	*	*	シングルモード
1	0	0	0	0	FIFO2の0段目のみ出力
				1	FIFO2の0、1段目を出力
				0	FIFO2の0～2段目を出力
			1	0	FIFO2の0～3段目を出力
				1	FIFO2の0～4段目を出力
				0	FIFO2の0～5段目を出力
	1	0	0	0	FIFO2の0～6段目を出力
				1	FIFO2の0～7段目を出力
				0	FIFO2の0～8段目を出力
				1	FIFO2の0～9段目を出力
				0	設定禁止
				1	設定禁止

【注】 * : Don't care.

【注】 * : 不定

H'D064 : FIFO出力パターンレジスタ1 FPDRA : HSWタイミング生成回路

ビット:	15	14	13	12	11	10	9	8
		ADTRGA	STRIGA	NarrowFFA	VFFA	AFFA	VpulseA	MlevelA
初期値:	1	*	*	*	*	*	*	*
R/W :		W	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
	PPGA7	PPGA6	PPGA5	PPGA4	PPGA3	PPGA2	PPGA1	PPGA0
初期値:	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

【注】*: 不定

H'D066 : FIFOタイミングパターンレジスタ1 FTPRA :
HSWタイミング生成回路

ビット:	15	14	13	12	11	10	9	8
	FTPRA15	FTPRA14	FTPRA13	FTPRA12	FTPRA11	FTPRA10	FTPRA9	FTPRA8
初期値:	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
	FTPRA7	FTPRA6	FTPRA5	FTPRA4	FTPRA3	FTPRA2	FTPRA1	FTPRA0
初期値:	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

【注】*: 不定

H'D066 : FIFOタイマキャプチャレジスタ FTCTR :
HSWタイミング生成回路

ビット:	15	14	13	12	11	10	9	8
	FTCTR15	FTCTR14	FTCTR13	FTCTR12	FTCTR11	FTCTR10	FTCTR9	FTCTR8
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ビット:	7	6	5	4	3	2	1	0
	FTCTR7	FTCTR6	FTCTR5	FTCTR4	FTCTR3	FTCTR2	FTCTR1	FTCTR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

H'D068 : FIFO出力パターンレジスタ2 FPDRB : HSWタイミング生成回路

ビット :	15	14	13	12	11	10	9	8
		ADTRGB	STRIGB	NarrowFFB	VFFB	AFFB	VpulseB	MlevelB
初期値 :	1	*	*	*	*	*	*	*
R/W :		W	W	W	W	W	W	W

ビット :	7	6	5	4	3	2	1	0
	PPGB7	PPGB6	PPGB5	PPGB4	PPGB3	PPGB2	PPGB1	PPGB0
初期値 :	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

【注】* : 不定

H'D06A : FIFOタイミングパターンレジスタ2 FTPRB :
HSWタイミング生成回路

ビット :	15	14	13	12	11	10	9	8
	FTPRB15	FTPRB14	FTPRB13	FTPRB12	FTPRB11	FTPRB10	FTPRB9	FTPRB8
初期値 :	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

ビット :	7	6	5	4	3	2	1	0
	FTPRB7	FTPRB6	FTPRB5	FTPRB4	FTPRB3	FTPRB2	FTPRB1	FTPRB0
初期値 :	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

【注】* : 不定

H'D06C : DFG基準レジスタ1 DFCRA : HSWタイミング生成回路

ビット:	7	6	5	4	3	2	1	0
	ISEL2	CCLR	CKSL	DFCRA4	DFCRA3	DFCRA2	DFCRA1	DFCRA0
初期値:	0	0	0	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W

16ビットカウンタクロックソース選択ビット	
0	s/4
1	s/8

DFGカウンタクリアビット	
0	通常動作
1	5ビットDFG計数カウンタをクリアします

割り込み選択ビット	
0	16ビットタイマカウンタのクリア信号による割り込み要求を発生します
1	PBモード時のVD信号による割り込み要求を発生します

【注】*: 不定

H'D06C : DFG基準カウントレジスタ DFCTR : HSWタイミング生成回路

ビット:	7	6	5	4	3	2	1	0
				DFCTR4	DFCTR3	DFCTR2	DFCTR1	DFCTR0
初期値:	1	1	1	0	0	0	0	0
R/W :				R	R	R	R	R

H'D06D : DFG基準レジスタ2 DFCRB : HSWタイミング生成回路

ビット:	7	6	5	4	3	2	1	0
				DFCRB4	DFCRB3	DFCRB2	DFCRB1	DFCRB0
初期値:	1	1	1	*	*	*	*	*
R/W :				W	W	W	W	W

【注】*: 不定

H'D06E : 特再制御レジスタ CHCR : 4ヘッド特殊再生用高速切り替え回路

ビット :	7	6	5	4	3	2	1	0
	V/N	HSWPOL	CRH	HAH	SIG3	SIG2	SIG1	SIG0
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

信号制御ビット

SIG3	SIG2	SIG1	SIG0	出力端子	
				C.Rotary	H.Amp SW
0	0	*	*	L	L
				HSW	L
	1	0	1	HSW	H
				L	HSW
1	0	0	*	HSW EX-OR COMP	COMP
				HSW EX-NOR COMP	COMP
	1	0	1	HSW EX-OR RTP0	RTP0
				HSW EX-NOR RTP0	RTP0

【注】 * : Don't care.

H.AmpSW同期化コントロールビット

0	同期
1	非同期

C.Rotary同期化コントロールビット

0	同期
1	非同期

COMP極性選択ビット

0	正転
1	反転

HSW出力信号選択ビット

0	Video FF信号出力
1	Narrow FF信号出力

H'D06F : 付加Vコントロールレジスタ ADDVR : 付加V信号生成回路

ビット:	7	6	5	4	3	2	1	0
				HMSK	HiZ	CUT	VPOM	POL
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

付加V出力制御ビット

CUT	VPON	POL	説明
0	0	*	Lowレベル
		1	負極性 (図28.46)
	1	1	正極性 (図28.45)
1	*	0	中間レベル (HiZビット=1のときはハイインピーダンス)
		1	Highレベル

【注】* : Don't care.

ハイインピーダンスビット

0	Vpulse端子を3値出力とする
1	Vpulse端子をH/L/HiZの3状態端子とする

OSCHマスクビット

0	OSCHを付加する
1	OSCHを付加しない

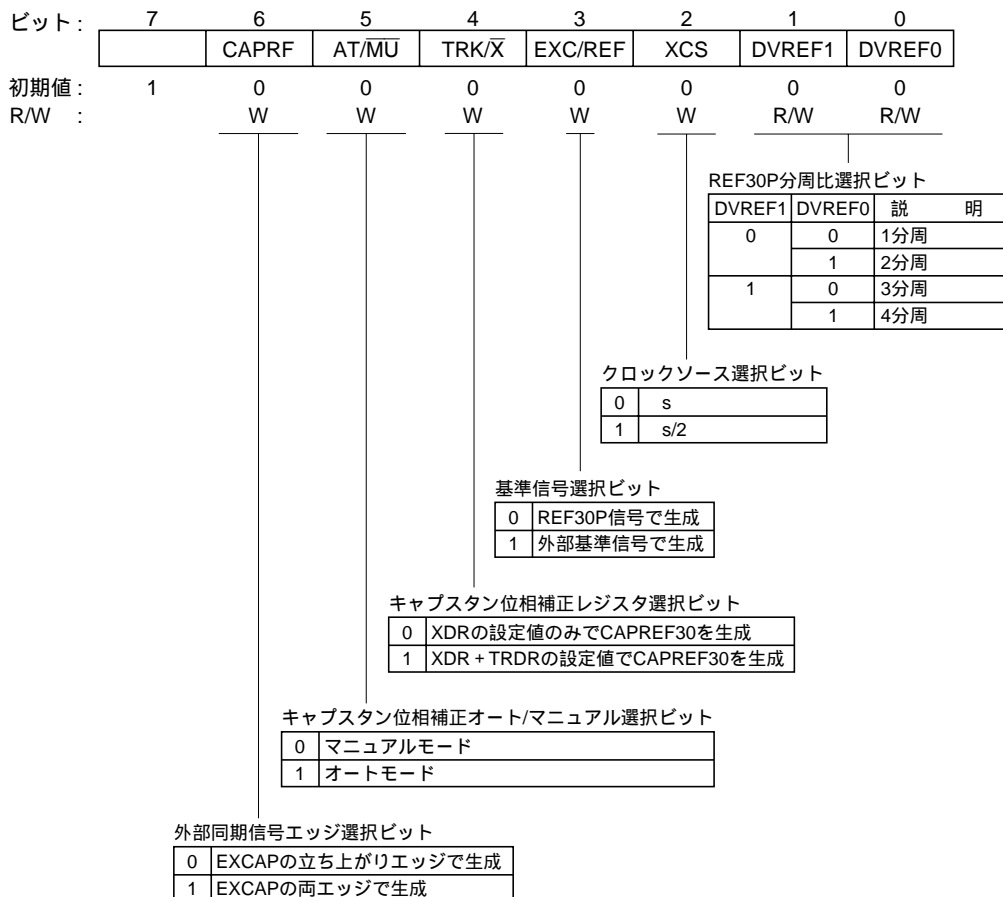
H'D070 : X値データレジスタ XDR : X値補正,トラッキング補正回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					XD11	XD10	XD9	XD8	XD7	XD6	XD5	XD4	XD3	XD2	XD1	XD0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

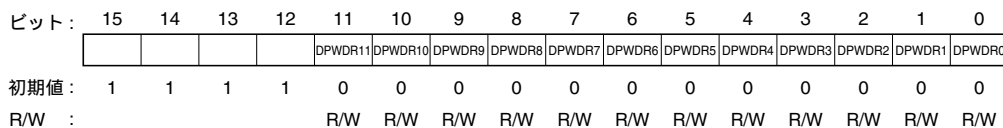
H'D072 : TRK値データレジスタ TRDR : X値補正,トラッキング補正回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					TRD11	TRD10	TRD9	TRD8	TRD7	TRD6	TRD5	TRD4	TRD3	TRD2	TRD1	TRD0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

H'D074 : X値、TRK値コントロールレジスタ XTCR : X値補正、トラッキング補正回路



H'D078 : 12ビットPWMデータレジスタ DPWDR : 12ビットPWM



H'D07A : 12ビットPWMコントロールレジスタ DPWCR : 12ビットPWM

ビット:	7	6	5	4	3	2	1	0
	DPOL	DDC	DHiZ	DH/L	DSF/DF	DCK2	DCK1	DCK0
初期値:	0	1	0	0	0	0	1	0
R/W :	W	W	W	W	W	W	W	W

搬送周波数選択ビット

CK2	CK1	CK0	搬送周波数選択ビット
0	0	0	搬送周波数は /2
		1	搬送周波数は /4
	1	0	搬送周波数は /8
1	0	1	搬送周波数は /16
		0	搬送周波数は /32
	1	0	搬送周波数は /64
		0	搬送周波数は /128
		1	(設定しないでください)

出力データ選択ビット

0	デジタルフィルタ回路からの誤差データを変調
1	データレジスタに書き込まれているデータを変調

【注】 デジタルフィルタ回路からのデータをPWM出力するとき、CAPPWM、DRMPWM端子の出力は、速度、位相のフィルタ結果をたし合わせたデータを変調した出力となります。
 ただし、デジタルフィルタ回路のDFUCRの設定により、CAPPWM端子からドラム位相のみのフィルタ結果、DRMPWM端子からキャプスタン位相のみのフィルタ結果をPWM出力可能です。
 「H8S/2194グループ、H8S/2194F-ZTAT ハードウェアマニュアル」を参照してください。

固定出力ビット、PWM端子出力ビット

DC	HiZ	H/L	出力状態
1	0	0	PWM出力端子にLowレベルを出力
		1	PWM出力端子にHighレベルを出力
	1	*	PWM出力端子はハイインピーダンス
0	*	*	PWM変調信号を出力

【注】 * : Don't care.

極性反転ビット

0	正極性で出力
1	極性を反転して出力

H'D07B : 12ビットPWMコントロールレジスタ CPWCR : 12ビットPWM

ビット:	7	6	5	4	3	2	1	0
	CPOL	CDC	CHiZ	CH/L	CSF/DF	CCK2	CCK1	CCK0
初期値:	0	1	0	0	0	0	1	0
R/W :	W	W	W	W	W	W	W	W

H'D07C : 12ビットPWMデータレジスタ CPWDR : 12ビットPWM

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CPWDR11	CPWDR10	CPWDR9	CPWDR8	CPWDR7	CPWDR6	CPWDR5	CPWDR4	CPWDR3	CPWDR2	CPWDR1	CPWDR0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'D080 : CTLコントロールレジスタ CTCR : CTL回路

ビット:	7	6	5	4	3	2	1	0
	NT/PL	FSLC	FSLB	FSLA	CCS	LCTL	UNCTL	SLWM
初期値:	0	0	1	1	0	0	0	0
R/W :	W	W	W	W	W	W	R	W

モード選択ビット	
0	ノーマルモード
1	スローモード

CTL未検出ビット	
0	検出
1	未検出

ロングCTLビット	
0	クロックソースを (CCS) 設定値とします
1	クロックソースを (CCS) 設定値よりさらに8分周します

クロックソース選択ビット	
0	s
1	s/2

動作周波数指定ビット			
FSLC	FSLB	FSLA	説明
0	0	0	リザーブ (設定しないでください)
		1	リザーブ (設定しないでください)
	1	0	fosc = 8MHz
		1	fosc = 10MHz (初期値)
1	*	*	リザーブ (設定しないでください)

【注】* : Don't care.

NTSC/PAL選択ビット	
0	NTSCモード (1フレーム 30Hz)
1	PALモード (1フレーム 25Hz)

H'D081 : CTLモードレジスタ CTLM : CTL回路

ビット:

7	6	5	4	3	2	1	0
ASM	REC/PB	FW/RV	MD4	MD3	MD2	MD1	MD0

初期値: 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

方向ビット

0	FORWARD
1	REVERSE

CTLモードセレクトビット
本文表6.20を参照してください。

録/再モードビット

ASM	REC/PB	説明
0	0	再生モード (PLAYBACK)
	1	記録モード (RECORD)
1	0	アセンブルモード
	1	無効 (設定しないでください)

H'D082 : REC-CTLデューティデータレジスタ1 RCDR1 : CTL回路

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CMT1B	CMT1A	CMT19	CMT18	CMT17	CMT16	CMT15	CMT14	CMT13	CMT12	CMT11	CMT10

初期値: 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0

R/W : W W W W W W W W W W W W W W W

H'D084 : REC-CTLデューティデータレジスタ2 RCDR2 : CTL回路

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CMT2B	CMT2A	CMT29	CMT28	CMT27	CMT26	CMT25	CMT24	CMT23	CMT22	CMT21	CMT20

初期値: 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0

R/W : W W W W W W W W W W W W W W W

H'D086 : REC-CTLデューティデータレジスタ3 RCDR3 : CTL回路

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CMT3B	CMT3A	CMT39	CMT38	CMT37	CMT36	CMT35	CMT34	CMT33	CMT32	CMT31	CMT30

初期値: 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0

R/W : W W W W W W W W W W W W W W W

H'D088 : REC-CTLデューティデータレジスタ4 RCDR4 : CTL回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT4B	CMT4A	CMT49	CMT48	CMT47	CMT46	CMT45	CMT44	CMT43	CMT42	CMT41	CMT40
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

H'D08A : REC-CTLデューティデータレジスタ5 RCDR5 : CTL回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CMT5B	CMT5A	CMT59	CMT58	CMT57	CMT56	CMT55	CMT54	CMT53	CMT52	CMT51	CMT50
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :					W	W	W	W	W	W	W	W	W	W	W	W

H'D08C : デューティI/Oレジスタ DI/O : CTL回路

ビット:	7	6	5	4	3	2	1	0
	VCTR2	VCTR1	VCTR0		BPON	BPS	BPF	DI/O
初期値:	1	1	1	1	0	0	0	1
R/W :	W	W	W		W	W	R/(W)*	R/W

デューティI/Oレジスタ

ビットパターン検出フラグ

0	ビットパターン (8ビット) 未検出
1	ビットパターン (8ビット) を検出したことを示します。

ビットパターン検出開始ビット

0	通常状態
1	8ビットのビットパターン検出を開始します

ビットパターン検出ON/OFFビット

0	ビットパターン検出OFF
1	ビットパターン検出ON

VISS割り込み設定ビット

VCTR2	VCTR1	VCTR0	検出する1パルス数
0	0	0	2発
		1	4発 (SYNCマーク)
	1	0	6発
		1	8発 (Aマークショート)
1	0	0	12発 (Aマークロング)
		1	16発
	1	0	24発 (Bマーク)
		1	32発

【注】* 0 ライトのみ有効です。

H'D08D : ビットパターンレジスタ BTPR : CTL回路

ビット:	7	6	5	4	3	2	1	0
	LSP7	LSP6	LSP5	LSP4	LSP3	LSP2	LSP1	LSP0
初期値:	1	1	1	1	1	1	1	1
R/W :	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W	*R/W

【注】* ビットパターン検出時はライトできません。

H'D090 : 基準周期レジスタ1 RFD : 基準信号生成回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REF15	REF14	REF13	REF12	REF11	REF10	REF9	REF8	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

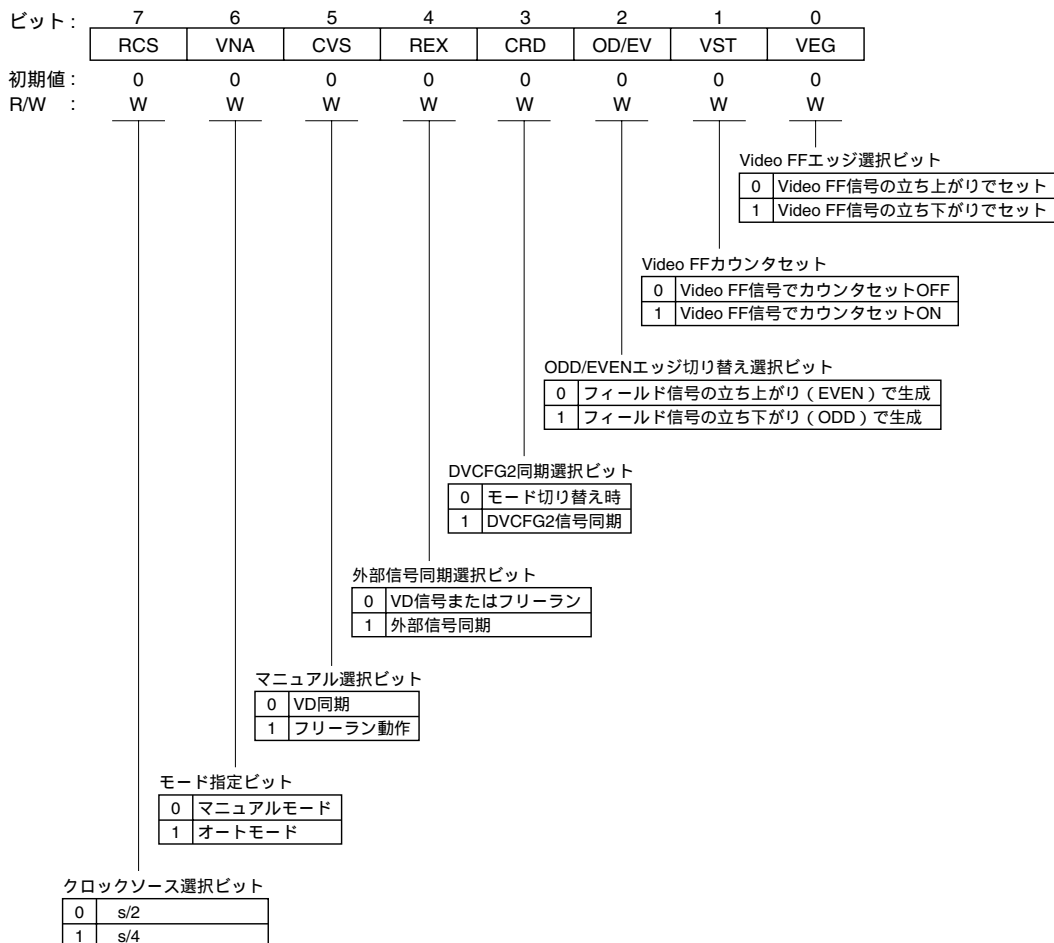
H'D092 : 基準周期レジスタ2 CRF : 基準信号生成回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRF15	CRF14	CRF13	CRF12	CRF11	CRF10	CRF9	CRF8	CRF7	CRF6	CRF5	CRF4	CRF3	CRF2	CRF1	CRF0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

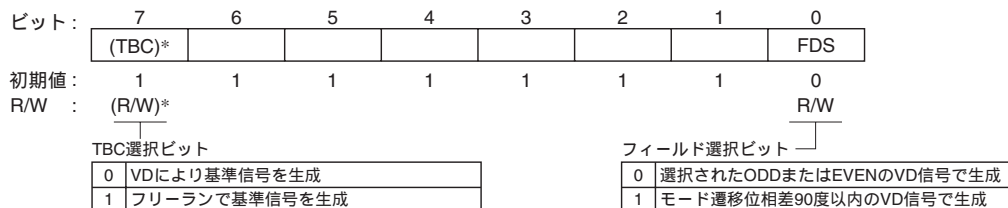
H'D094 : REF30カウンタレジスタ RFC : 基準信号生成回路

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC15	RFC14	RFC13	RFC12	RFC11	RFC10	RFC9	RFC8	RFC7	RFC6	RFC5	RFC4	RFC3	RFC2	RFC1	RFC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'D096 : 基準周期モードレジスタ RFM : 基準信号生成回路

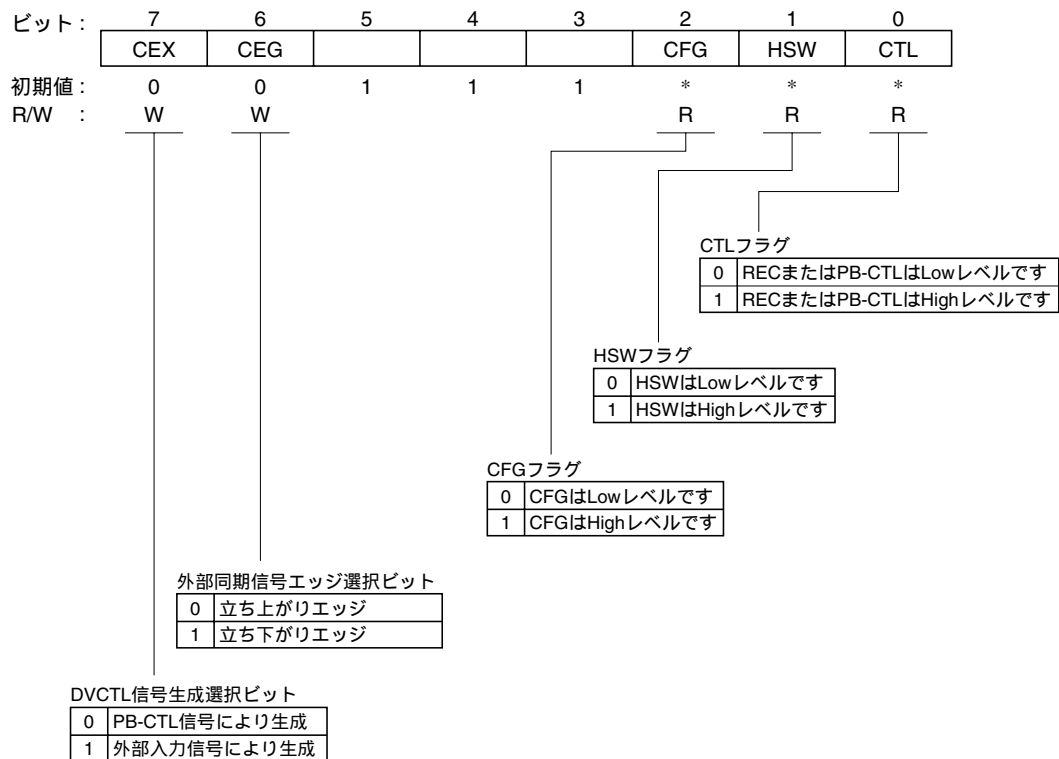


H'D097 : 基準周期モードレジスタ2 RFM2 : 基準信号生成回路



【注】 * TBCビットはH8S/2194Cグループのみリード/ライト可能です。H8S/2194グループでは、ライトは無効で、フリーランで基準信号を生成します。

H'D098 : DVCTLコントロールレジスタ CTVC : 分周回路

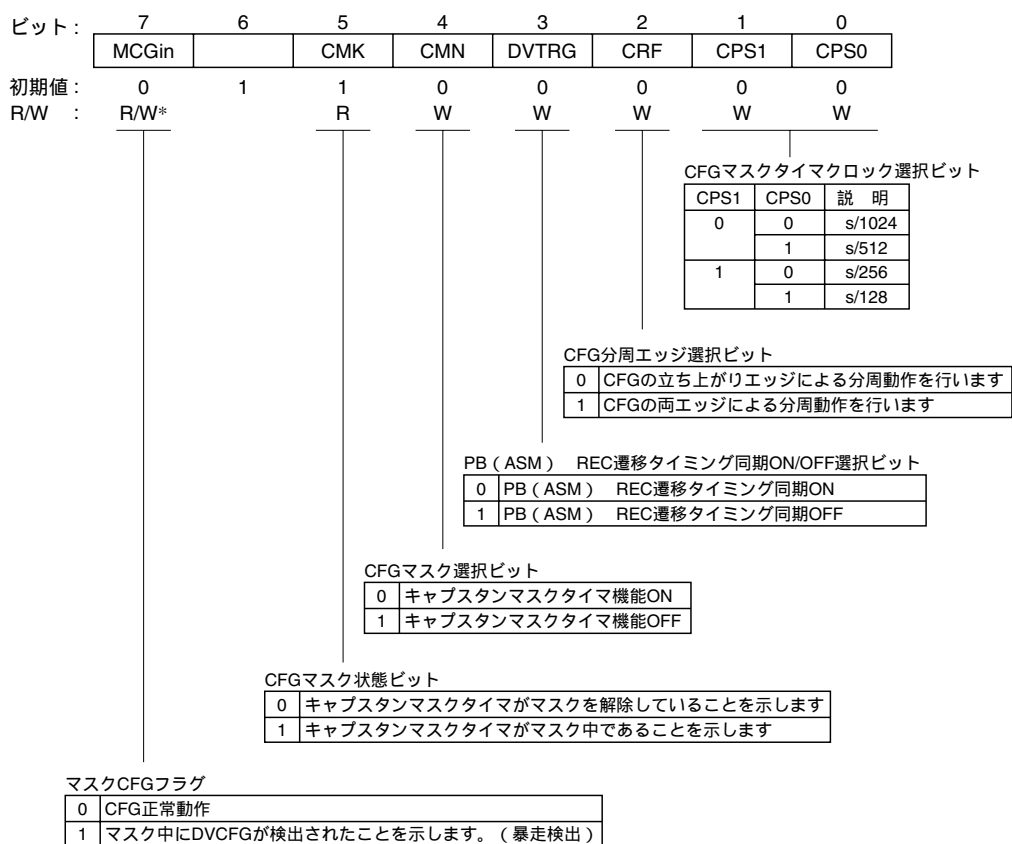


【注】* : 不定

H'D099 : CTL分周レジスタ CTLR : 分周回路

ビット :	7	6	5	4	3	2	1	0
	CTL7	CTL6	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D09A : DVCFGコントロールレジスタ CDVC : 分周回路



【注】* 0ライトのみ有効です。

H'D09B : CFG分周レジスタ1 CDIVR1 : 分周回路

ビット:	7	6	5	4	3	2	1	0
		CDV16	CDV15	CDV14	CDV13	CDV12	CDV11	CDV10
初期値:	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	W	W

H'D09C : CFG分周レジスタ2 CDIVR2 : 分周回路

ビット:	7	6	5	4	3	2	1	0
		CDV26	CDV25	CDV24	CDV23	CDV22	CDV21	CDV20
初期値:	1	0	0	0	0	0	0	0
R/W :		W	W	W	W	W	W	W

H'D09D : DVCFGマスク期間レジスタ CTMR : 分周回路

ビット:	7	6	5	4	3	2	1	0
			CPM5	CPM4	CPM3	CPM2	CPM1	CPM0
初期値:	1	1	1	1	1	1	1	1
R/W :			W	W	W	W	W	W

H'D09E : FGコントロールレジスタ FGCR : 分周回路

ビット:	7	6	5	4	3	2	1	0
								DRF
初期値:	1	1	1	1	1	1	1	0
R/W :								W

DFGエッジ選択ビット

0	NCDFG信号の立ち上がりエッジを選択
1	NCDFG信号の立ち下がりエッジを選択

H'D0A0 : サーボポートモードレジスタ SPMR : サーボポート

ビット:	7	6	5	4	3	2	1	0
	CTLSTOP		CFGCOMP	EXCTLON	DPGSW	COMP	H.Amp.SW	C.Rot
初期値:	0	1	0	0	0	0	0	0
R/W :	R/W		R/W	R/W	R/W	R/W	R/W	R/W

CTLSTOPビット	
0	CTL回路が動作します
1	CTL回路の動作を停止します

CFG入力方式切り替えビット	
0	CFG信号入力方式をゼロクロスタイプコンパレータ方式とします
1	CFG信号入力をデジタル信号入力方式とします

EXCTL端子切り替えビット	
0	EXCTL/PS4端子はEXCTL入力端子として機能
1	EXCTLPS4端子はPS4入出力として機能

DPG端子切り替えビット	
0	ドラム制御系入力を分離入力とする (DPG/PS3端子はDPG入力端子として機能)
1	ドラム制御系入力を重畳入力とする (DPG/PS3端子はPS3入出力端子として機能)

COMP端子切り替えビット	
0	COMP/PS2端子はCOMP入力端子として機能
1	COMP/PS2端子はPS2入出力端子として機能

H.Amp SW端子切り替えビット	
0	H.Amp SW/PS1端子はH.Amp SW出力端子として機能
1	H.Amp SW/PS1端子はPS1入出力端子として機能

C.Rotary端子切り替えビット	
0	C.Rotary/PS0端子はC.Rotary出力端子として機能
1	C.Rotary/PS0端子はPS0入出力端子として機能

H'D0A1 : サーボコントロールレジスタ SPCR : サーボポート

ビット:	7	6	5	4	3	2	1	0
				SPCR4	SPCR3	SPCR2	SPCR1	SPCR0
初期値:	1	1	1	0	0	0	0	0
R/W :				W	W	W	W	W

SPCRn	説 明
0	PSn端子は入力として機能
1	PSn端子は出力として機能

H'D0A2 : サーボデータレジスタ SPDR : サーボポート

ビット:	7	6	5	4	3	2	1	0
				SPDR4	SPDR3	SPDR2	SPDR1	SPDR0
初期値:	1	1	1	0	0	0	0	0
R/W :				R/W	R/W	R/W	R/W	R/W

H'D0A3 : サーボモニタコントロールレジスタ SVMCR : サーボポート

ビット:	7	6	5	4	3	2	1	0
			SVMCR5	SVMCR4	SVMCR3	SVMCR2	SVMCR1	SVMCR0
初期値:	1	1	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

SVMCR2	SVMCR1	SVMCR0	説 明
0	0	0	SV1出力端子にREF30信号を出力
		1	SV1出力端子にCAPREF30信号を出力
	1	0	SV1出力端子にCREF信号を出力
		1	SV1出力端子にCTLMONI信号を出力
1	0	0	SV1出力端子にDVCFG信号を出力
		1	SV1出力端子にCFG信号を出力
	1	0	SV1出力端子にDFG信号を出力
		1	SV1出力端子にDPG信号を出力

SVMCR5	SVMCR4	SVMCR3	説 明
0	0	0	SV2出力端子にREF30信号を出力
		1	SV2出力端子にCAPREF30信号を出力
	1	0	SV2出力端子にCREF信号を出力
		1	SV2出力端子にCTLMONI信号を出力
1	0	0	SV2出力端子にDVCFG信号を出力
		1	SV2出力端子にCFG信号を出力
	1	0	SV2出力端子にDFG信号を出力
		1	SV2出力端子にDPG信号を出力

H'D0A4 : CTLゲインコントロールレジスタ CTLGR : サーボポート

ビット:	7	6	5	4	3	2	1	0
			CTLE/A	CTLFB	CTLGR3	CTLGR2	CTLGR1	CTLGR0
初期値:	1	1	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

CTLアンプゲイン設定ビット

CTLGR3	CTLGR2	CTLGR1	CTLGR0	CTL出力ゲイン	
0	0	0	0	34.0 dB (初期値)	
			1	36.5 dB	
		1	0	39.0 dB	
			1	41.5 dB	
	1	0	0	0	44.0 dB
				1	46.5 dB
		1	0	0	49.0 dB
				1	51.5 dB
1	0	0	0	54.0 dB	
			1	56.5 dB	
		1	0	0	59.0 dB
				1	61.5 dB
	1	0	0	0	64.0 dB*
				1	66.5 dB*
		1	0	0	69.0 dB*
				1	71.5 dB*

【注】* 64.0dB以上の設定では、CTLAMPは非常に敏感な状態になります。コントロールヘッド信号入力周辺のノイズ対応をセット基板上で考慮してください。また、CTLAMP、CTLSMT間のフィルタ設定については十分な検討をお願いします。

CTLアンプのフィードバック部SWビット

0	CTLFB SWをOFF
1	CTLFB SWをON

CTL選択ビット

0	AMP出力
1	EXCTL

H'D0B0 : 垂直同期信号しきい値レジスタ VTR : 同期信号検出回路 (サーボ)

ビット:	7	6	5	4	3	2	1	0
			VTR5	VTR4	VTR3	VTR2	VTR1	VTR0
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

H'D0B1 : 水平同期信号しきい値レジスタ HTR :
同期信号検出回路 (サーボ)

ビット:	7	6	5	4	3	2	1	0
					HTR3	HTR2	HTR1	HTR0
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

H'D0B2 : H補完開始時間設定レジスタ HRTR :
同期信号検出回路 (サーボ)

ビット:	7	6	5	4	3	2	1	0
	HRTR7	HRTR6	HRTR5	HRTR4	HRTR3	HRTR2	HRTR1	HRTR0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D0B3 : 補完Hパルス幅設定レジスタ HPWR :
同期信号検出回路 (サーボ)

ビット:	7	6	5	4	3	2	1	0
					HPWR3	HPWR2	HPWR1	HPWR0
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

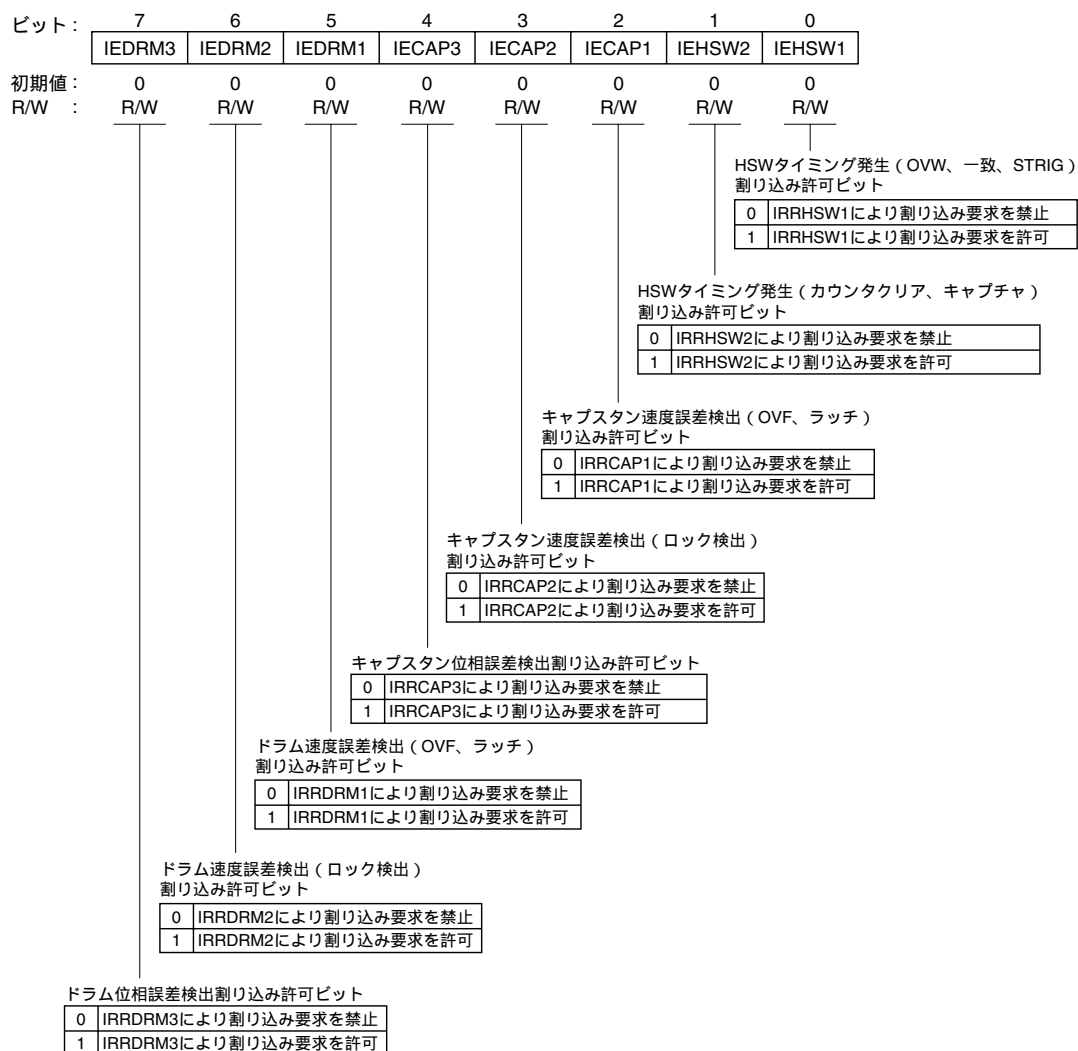
H'D0B4 : ノイズ検出窓設定レジスタ NWR : 同期信号検出回路 (サーボ)

ビット:	7	6	5	4	3	2	1	0
			NWR5	NWR4	NWR3	NWR2	NWR1	NWR0
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

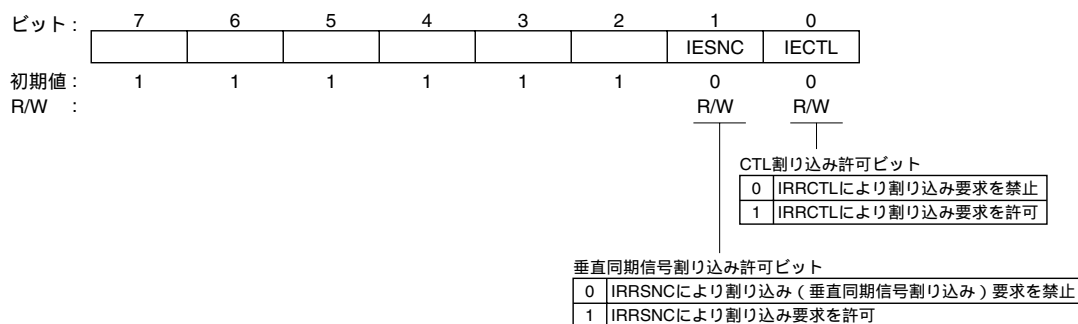
H'D0B5 : ノイズ検出レジスタ NDR : 同期信号検出回路 (サーボ)

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

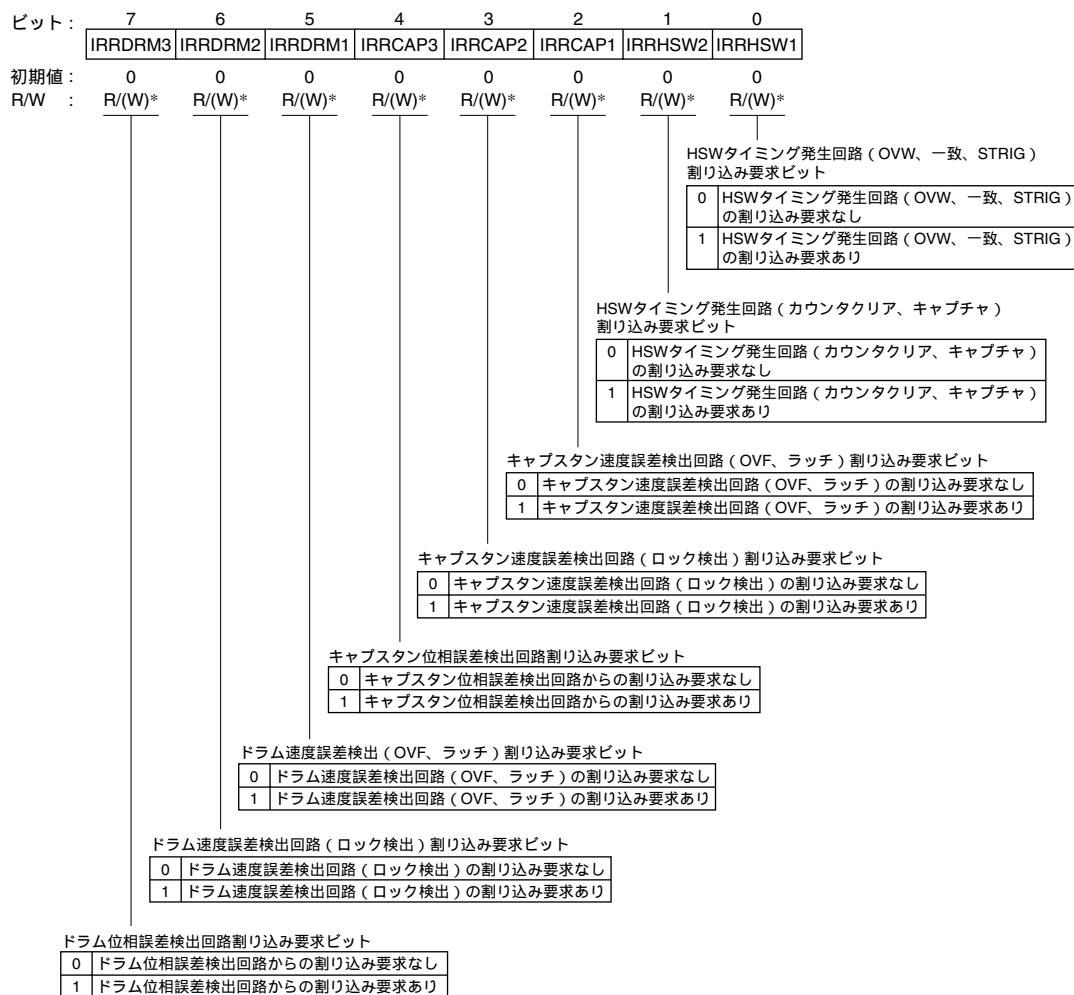
H'D0B8 : サーボ割り込み許可レジスタ1 SIENR1 : サーボ割り込み



H'D0B9 : サーボ割り込み許可レジスタ2 SIENR2 : サーボ割り込み

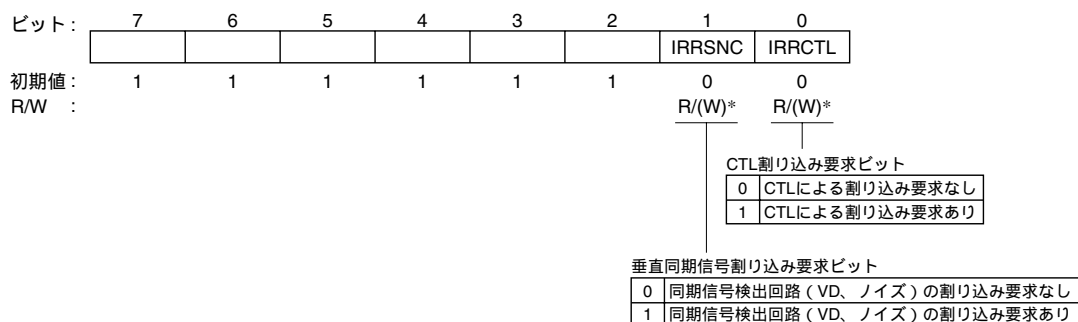


H'DOBA : サーボ割り込み要求レジスタ1 SIRQR1 : サーボ割り込み



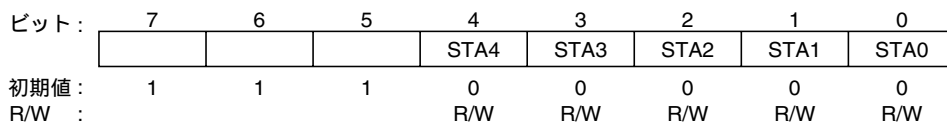
【注】* フラグクリアのための0ライトのみ可能です。

H'D0BB : サーボ割り込み要求レジスタ2 SIRQR2 : サーボ割り込み

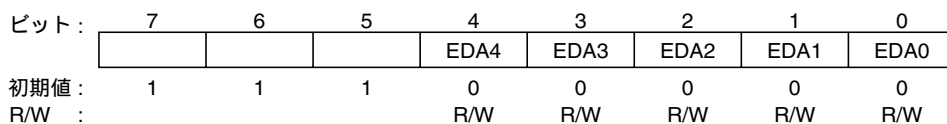


【注】* フラグクリアのための0ライトのみ可能です。

H'D0E0 : 先頭アドレスレジスタ STAR : SCI2



H'D0E1 : 終了アドレスレジスタ EDAR : SCI2



H'D0E2 : シリアルコントロールレジスタ2 SCR2 : SCI2

ビット:	7	6	5	4	3	2	1	0
	TEIE	ABTIE		GAP1	GAP0	CKS2	CKS1	CKS0
初期値:	0	0	1	0	0	0	0	0
R/W :	R/W	R/W		R/W	R/W	R/W	R/W	R/W

転送クロック選択

CKS2	CKS1	CKS0	SCK2端子	クロックソース	プリスケアラ 分周比	転送クロック周期	
						= 10MHz	= 5MHz
0	0	0	SCK2出力	プリスケアラS	/256	25.6 μ s	51.2 μ s
0	0	1			/64	6.4 μ s	12.8 μ s
0	1	0			/32	3.2 μ s	6.4 μ s
0	1	1			/16	1.6 μ s	3.2 μ s
1	0	0			/8	0.8 μ s	1.6 μ s
1	0	1			/4	0.4 μ s	0.8 μ s
1	1	0			/2	-	-
1	1	1	SCK2入力	外部クロック	-	-	-

転送データ間隔選択

GAP1	GAP0	転送データ間隔選択
0	0	転送データ間隔なし
0	1	データ間隔: 8クロック分
1	0	データ間隔: 24クロック分
1	1	データ間隔: 56クロック分

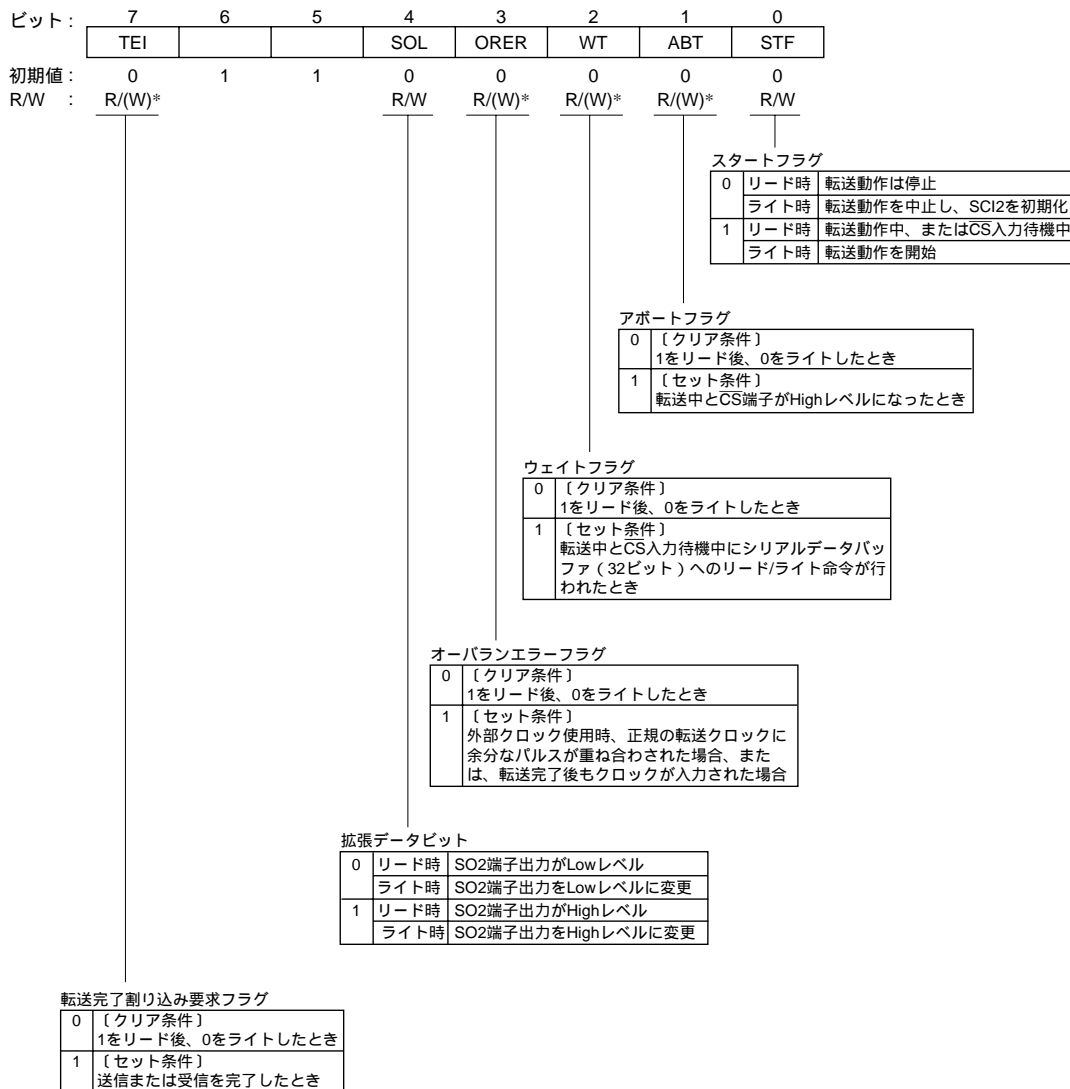
転送中断割り込みイネーブル

0	転送中断割り込みの発生を禁止
1	転送中断割り込みの発生を許可

完了割り込みイネーブル

0	転送完了割り込みの発生を禁止
1	転送完了割り込みの発生を許可

H'D0E3 : シリアルコントロールステータスレジスタ2 SCSR2 : SCI2



【注】* フラグをクリアするための0ライトのみ可能です。

H'D100 : タイマインタラプトイネーブルレジスタ TIER : タイマX1

ビット:	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	ICSA
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	インプットキャプチャAの入力はFTIA端子入力を選択
1	インプットキャプチャAの入力はHSWを選択

0	OVFによる割り込み要求 (FOVI) を禁止
1	OVFによる割り込み要求 (FOVI) を許可

0	OCFBによる割り込み要求 (OCIB) を禁止
1	OCFBによる割り込み要求 (OCIB) を許可

0	OCFAによる割り込み要求 (OCIA) を禁止
1	OCFAによる割り込み要求 (OCIA) を許可

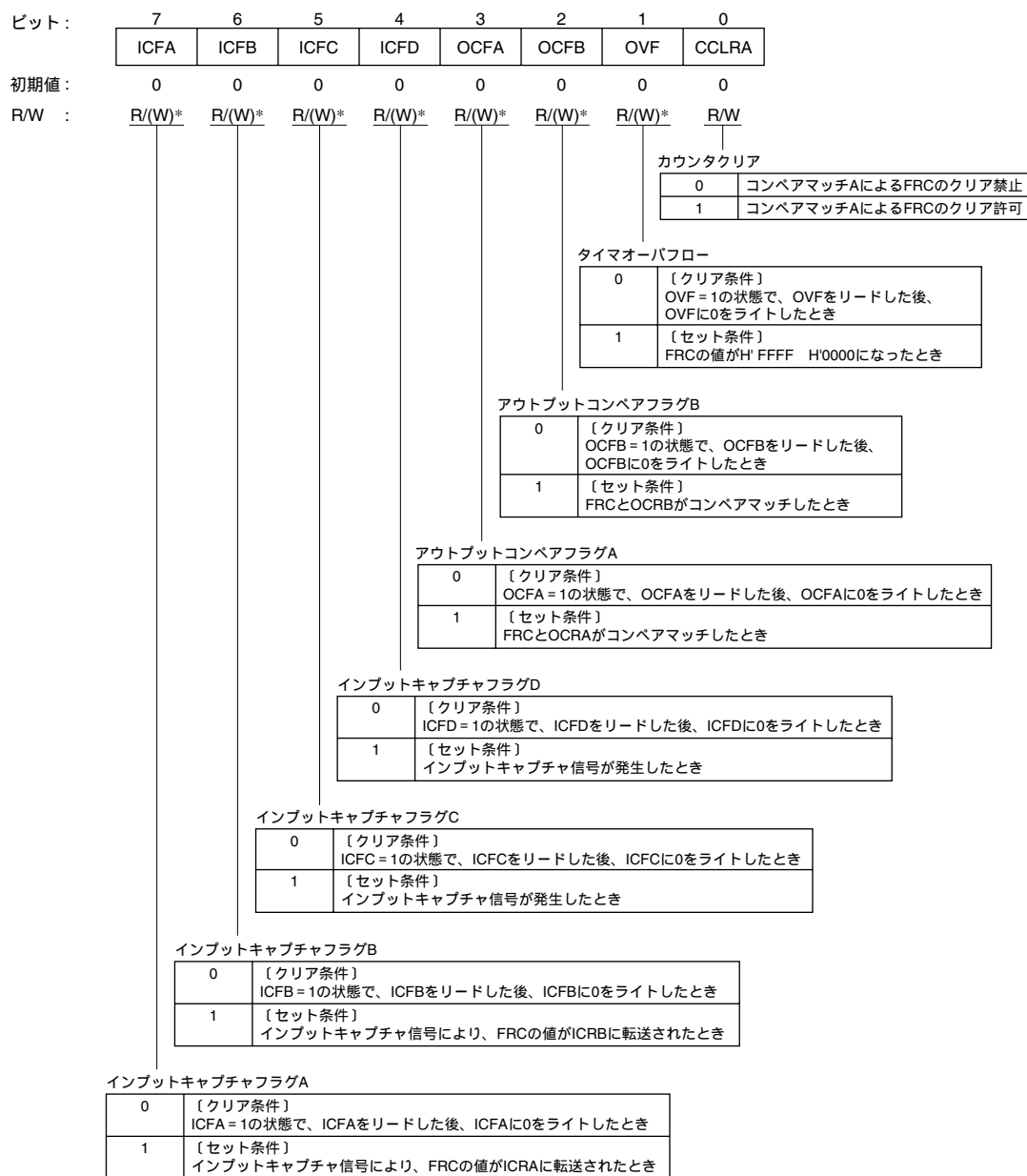
0	ICFDによる割り込み要求 (ICID) を禁止
1	ICFDによる割り込み要求 (ICID) を許可

0	ICFCによる割り込み要求 (ICIC) を禁止
1	ICFCによる割り込み要求 (ICIC) を許可

0	ICFBによる割り込み要求 (ICIB) を禁止
1	ICFBによる割り込み要求 (ICIB) を許可

0	ICFAによる割り込み要求 (ICIA) を禁止
1	ICFAによる割り込み要求 (ICIA) を許可

H'D101 : タイマコントロール/ステータスレジスタX TCSR_X : タイマX1



【注】* ビット7~1はフラグをクリアするための0ライトのみ可能です。

H'D102 : フリーランニングカウンタH FRCH : タイマX1
 H'D103 : フリーランニングカウンタL FRCL : タイマX1

		FRC															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		FRCH								FRCL							

H'D104 : アウトプットコンペアレジスタAH、BH OCRAH、OCRBH :
 タイマX1
 H'D105 : アウトプットコンペアレジスタAL、BL OCRAL、OCRBL :
 タイマX1

		OCRA, OCRB															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		OCRAH, OCRBH								OCRAL, OCRBL							

H'D106 : タイマコントロールレジスタX TCRX : タイマX1

ビット:	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

CKS1	CKS0	クロックセレクト
0	0	内部クロック : /4でカウント
0	1	内部クロック : /16でカウント
1	0	内部クロック : /64でカウント
1	1	DVCFG : CFG分周タイマで選択されたエッジ検出パルスです。

バッファイネーブルB

0	ICRDをICRBのバッファレジスタとして使用しない
1	ICRDをICRBのバッファレジスタとして使用する

バッファイネーブルA

0	ICRCをICRAのバッファレジスタとして使用しない
1	ICRCをICRAのバッファレジスタとして使用する

インプットキャプチャエッジセレクトD

0	インプットキャプチャ入力Dの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Dの立ち上がりエッジでキャプチャ

インプットキャプチャエッジセレクトC

0	インプットキャプチャ入力Cの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Cの立ち上がりエッジでキャプチャ

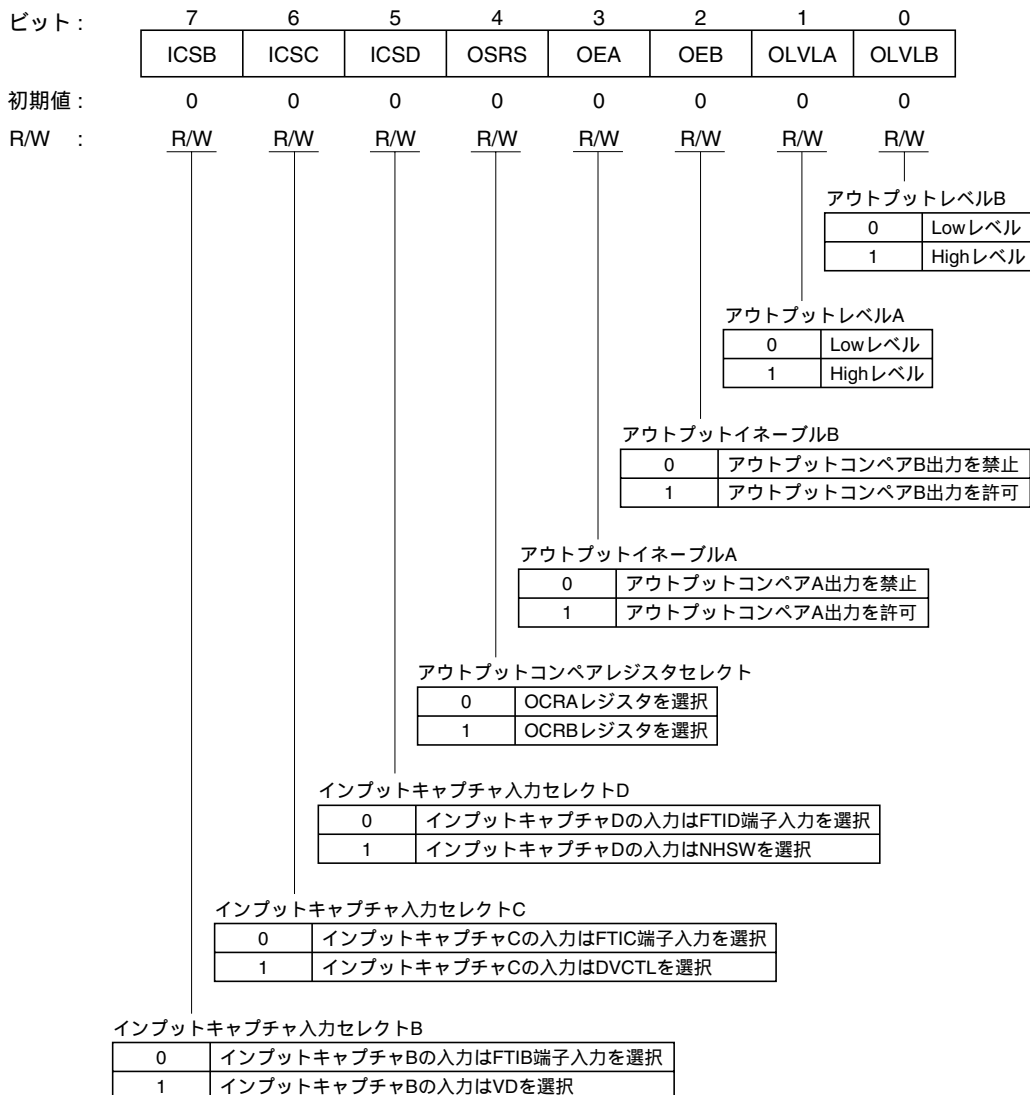
インプットキャプチャエッジセレクトB

0	インプットキャプチャ入力Bの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Bの立ち上がりエッジでキャプチャ

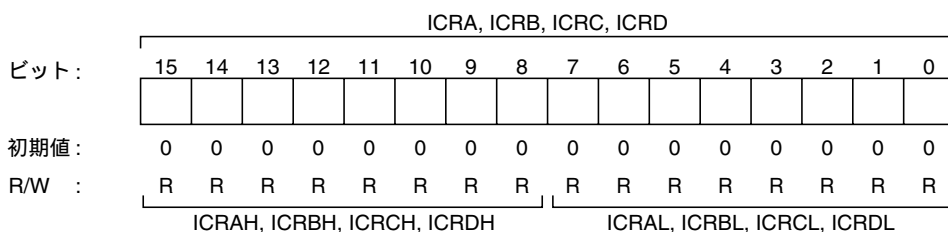
インプットキャプチャエッジセレクトA

0	インプットキャプチャ入力Aの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Aの立ち上がりエッジでキャプチャ

H'D107 : タイマアウトプットコンペアコントロールレジスタ TOCR : タイマX1



H'D108 : インプットキャプチャレジスタAH	ICRAH : タイマX1
H'D109 : インプットキャプチャレジスタAL	ICRAL : タイマX1
H'D10A : インプットキャプチャレジスタBH	ICRBH : タイマX1
H'D10B : インプットキャプチャレジスタBL	ICRBL : タイマX1
H'D10C : インプットキャプチャレジスタCH	ICRCH : タイマX1
H'D10D : インプットキャプチャレジスタCL	ICRCL : タイマX1
H'D10E : インプットキャプチャレジスタDH	ICRDH : タイマX1
H'D10F : インプットキャプチャレジスタDL	ICRDL : タイマX1



H'D110 : タイマモードレジスタB TMB : タイマB

ビット:	7	6	5	4	3	2	1	0
	TMB17	TMBIF	TMBIE			TMB12	TMB11	TMB10
初期値:	0	0	0	1	1	0	0	0
R/W :	R/W	R/(W)*	R/W			R/W	R/W	R/W

クロックセレクト

TMB12	TMB11	TMB10	クロックセレクト
0	0	0	内部クロック : /16384でカウント
0	0	1	内部クロック : /4096 でカウント
0	1	0	内部クロック : /1024でカウント
0	1	1	内部クロック : /512でカウント
1	0	0	内部クロック : /128でカウント
1	0	1	内部クロック : /32でカウント
1	1	0	内部クロック : /8でカウント
1	1	1	外部イベント (TMB1) の立ち上がり/立ち下がりエッジでカウント*

【注】* 外部イベントのエッジ選択は、ポートモードレジスタ5 (PMR5) のPMR51により設定します。「H8S/2194グループ、H8S/2194F-ZTATハードウェアマニュアル」を参照してください。

タイマB割り込みイネーブル

0	タイマB割り込みの発生を禁止
1	タイマB割り込みの発生を許可

タイマB割り込み要求フラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 TCBがオーバーフローしたとき

オートリロード機能選択

0	インターバル機能を選択
1	オートリロード機能を選択

【注】* フラグクリアのための0ライトのみ可能です。

H'D111 : タイマカウンタB TCB : タイマB

ビット:	7	6	5	4	3	2	1	0
	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

H'D111 : タイマロードレジスタB TLB : タイマB

ビット:	7	6	5	4	3	2	1	0
	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D112 : タイマLモードレジスタ LMR : タイマL

ビット:	7	6	5	4	3	2	1	0
	LMIF	LMIE			LMR3	LMR2	LMR1	LMR0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/(W)*	R/W			R/W	R/W	R/W	R/W

クロック選択

LMR2	LMR1	LMR0	クロック選択
0	0	0	PBおよびREC-CTLの立ち上がりエッジでカウント
		1	PBおよびREC-CTLの立ち下がりエッジでカウント
1	1	*	DVCFG2をカウント
	0	*	内部クロック /128でカウント
	1	*	内部クロック /64でカウント

【注】 * : Don't care

アップカウント/ダウンカウント制御

0	アップカウント制御
1	ダウンカウント制御

タイマL割り込みイネーブル

0	タイマL割り込みの発生を禁止
1	タイマL割り込みの発生を許可

タイマL割り込み要求フラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 LTCのオーバフロー、アンダフロー、または、コンペアマッチクリアが発生したとき

【注】 * フラグクリアのための0ライトのみ可能です。

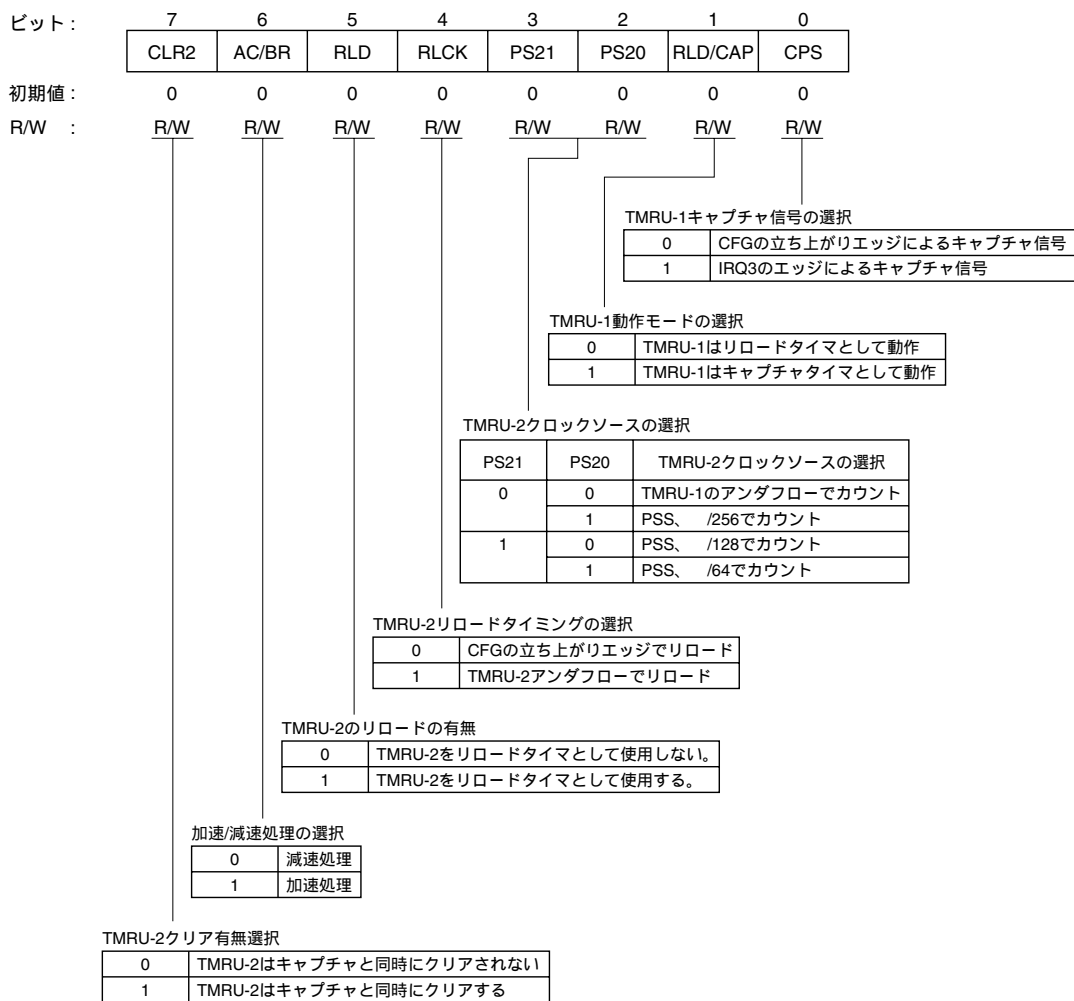
H'D113 : リニアタイムカウンタ LTC : タイマ L

ビット:	7	6	5	4	3	2	1	0
	LTC7	LTC6	LTC5	LTC4	LTC3	LTC2	LTC1	LTC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

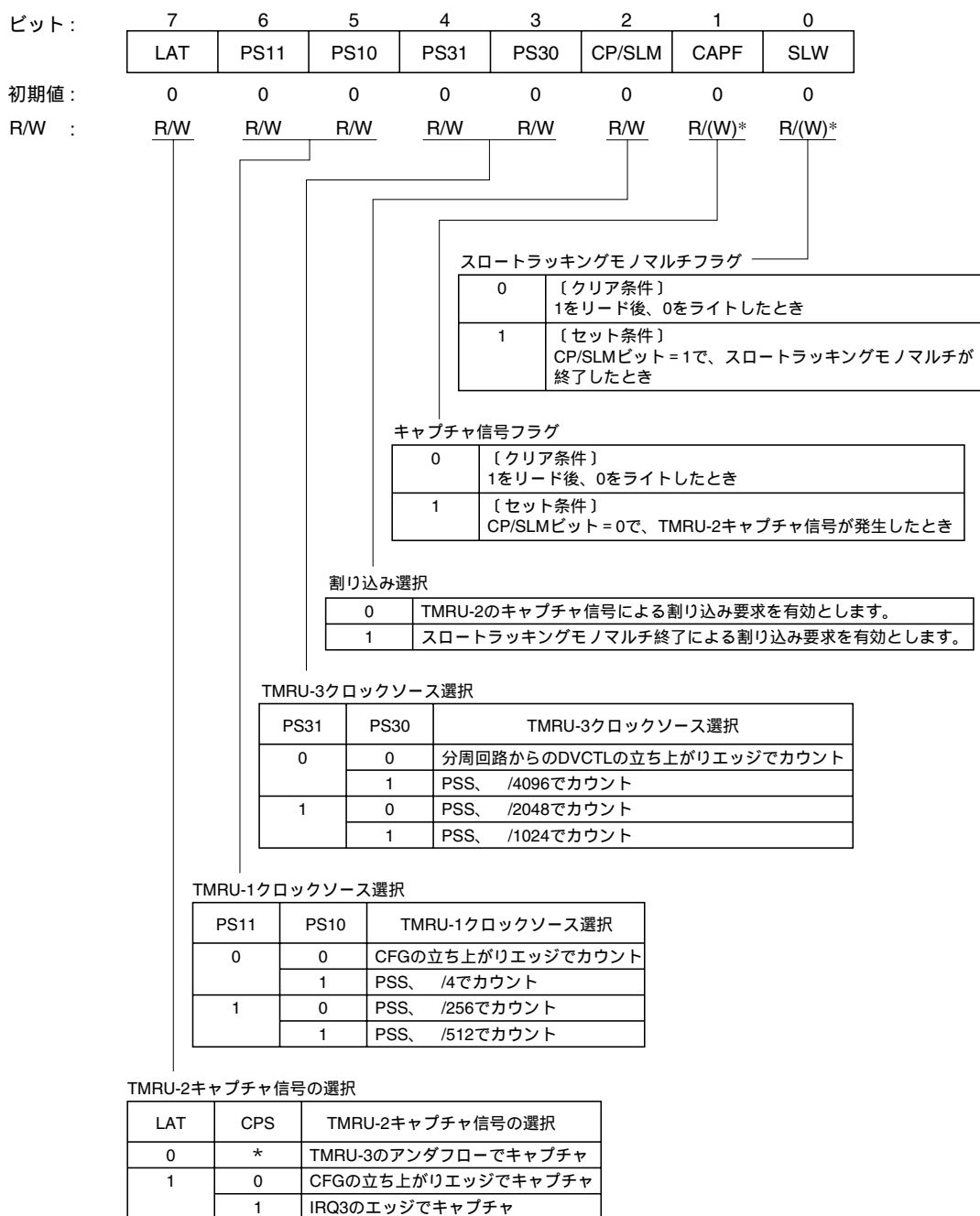
H'D113 : リロード/コンペアマッチレジスタ RCR : タイマ L

ビット:	7	6	5	4	3	2	1	0
	RCR7	RCR6	RCR5	RCR4	RCR3	RCR2	RCR1	RCR0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D118 : タイマRモードレジスタ1 TMRM1 : タイマR



H'D119 : タイマRモードレジスタ2 TMRM2 : タイマR



【注】 * : Don't care

【注】* フラグクリアのための0ライトのみ可能です。

H'D11A : タイマRキャプチャレジスタ1 TMRCP1 : タイマR

ビット :	7	6	5	4	3	2	1	0
	TMRC17	TMRC16	TMRC15	TMRC14	TMRC13	TMRC12	TMRC11	TMRC10
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

H'D11B : タイマRキャプチャレジスタ2 TMRCP2 : タイマR

ビット :	7	6	5	4	3	2	1	0
	TMRC27	TMRC26	TMRC25	TMRC24	TMRC23	TMRC22	TMRC21	TMRC20
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

H'D11C : タイマRロードレジスタ1 TMRL1 : タイマR

ビット :	7	6	5	4	3	2	1	0
	TMR17	TMR16	TMR15	TMR14	TMR13	TMR12	TMR11	TMR10
初期値 :	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

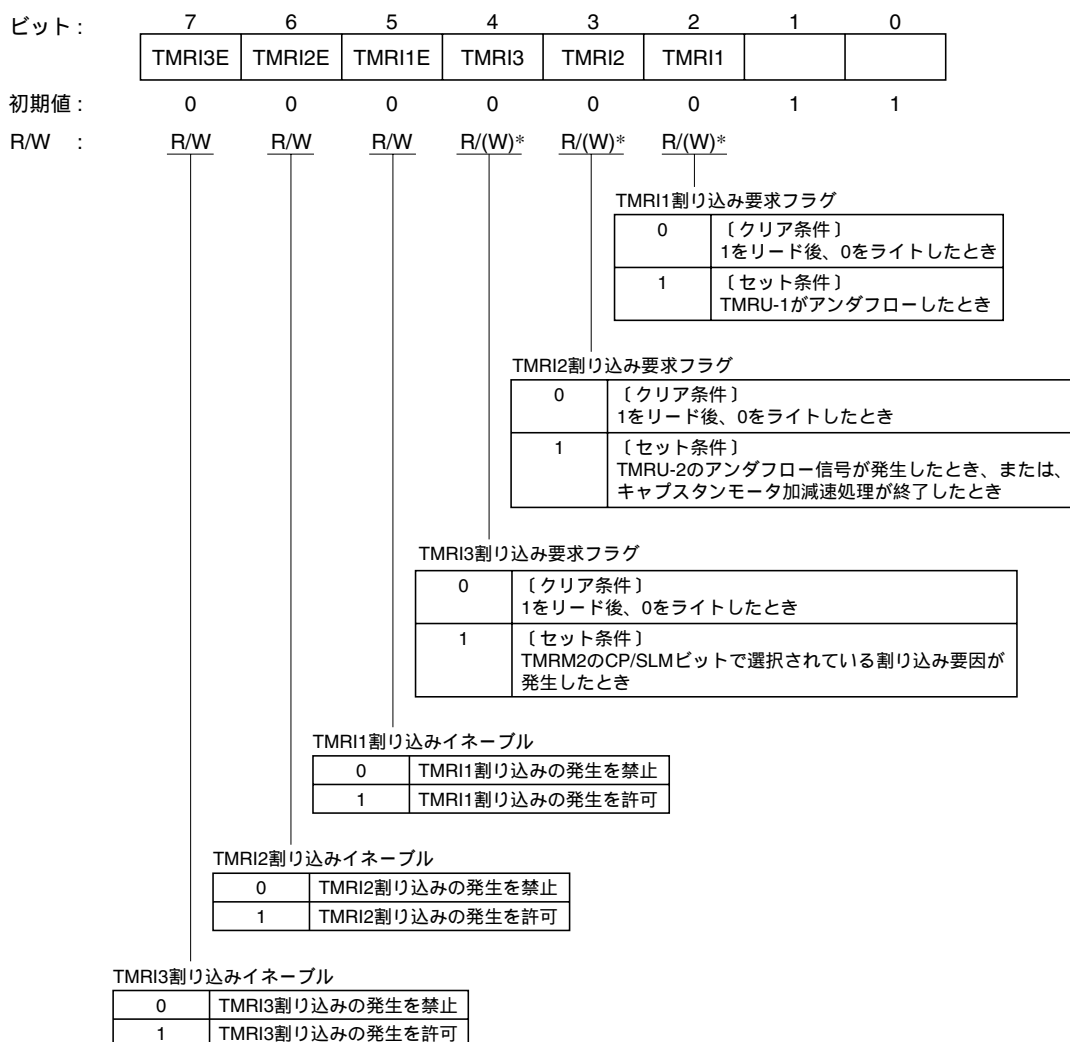
H'D11D : タイマRロードレジスタ2 TMRL2 : タイマR

ビット :	7	6	5	4	3	2	1	0
	TMR27	TMR26	TMR25	TMR24	TMR23	TMR22	TMR21	TMR20
初期値 :	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

H'D11E : タイマRロードレジスタ3 TMRL3 : タイマR

ビット :	7	6	5	4	3	2	1	0
	TMR37	TMR36	TMR35	TMR34	TMR33	TMR32	TMR31	TMR30
初期値 :	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

H'D11F : タイマRコントロール/ステータスレジスタ TMRCS : タイマR



【注】* フラグクリアのための0ライトのみ可能です。

H'D120 : PWMデータレジスタL PWDRL : 14ビットPWM

ビット :	7	6	5	4	3	2	1	0
	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D121 : PWMデータレジスタU PWDRU : 14ビットPWM

ビット :	7	6	5	4	3	2	1	0
			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値 :	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

H'D122 : PWMコントロールレジスタ PWCR : 14ビットPWM

ビット :	7	6	5	4	3	2	1	0
								PWCR0
初期値 :	1	1	1	1	1	1	1	0
R/W :								R/W

クロックセレクト

0	入力クロックは $f/2$ ($t = 2/$) 一変換周期 $16384/$ 、最小変化幅 $1/$ のPWM波形を生成
1	入力クロックは $f/4$ ($t = 4/$) 一変換周期 $32768/$ 、最小変化幅 $2/$ のPWM波形を生成

【注】 t : PWM入力クロックの周期

H'D126 : 8ビットPWMデータレジスタ0 PWR0 : 8ビットPWM

ビット :	7	6	5	4	3	2	1	0
	PW07	PW06	PW05	PW04	PW03	PW02	PW01	PW00
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D127 : 8ビットPWMデータレジスタ1 PWR1 : 8ビットPWM

ビット :	7	6	5	4	3	2	1	0
	PW17	PW16	PW15	PW14	PW13	PW12	PW11	PW10
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D128 : 8ビットPWMデータレジスタ2 PWR2 : 8ビットPWM

ビット :	7	6	5	4	3	2	1	0
	PW27	PW26	PW25	PW24	PW23	PW22	PW21	PW20
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D129 : 8ビットPWMデータレジスタ3 PWR3 : 8ビットPWM

ビット :	7	6	5	4	3	2	1	0
	PW37	PW36	PW35	PW34	PW33	PW32	PW31	PW30
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'D12A : 8ビットPWMコントロールレジスタ PW8CR : 8ビットPWM

ビット :	7	6	5	4	3	2	1	0
					PWC3	PWC2	PWC1	PWC0
初期値 :	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

出力極性指定

0	PWMn端子の出力は、正極性
1	PWMn端子の出力は、反転極性

(n = 3 ~ 0)

H'D12C : インプットキャプチャレジスタ1 ICR1 : プリスケールユニット

ビット :	7	6	5	4	3	2	1	0
	ICR17	ICR16	ICR15	ICR14	ICR13	ICR12	ICR11	ICR10
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

H'D12D : プリスケーラユニットコントロール/ステータスレジスタ
PCSR : プリスケーラユニット

ビット:	7	6	5	4	3	2	1	0
	ICIF	ICIE	ICEG	NCon/off		DCS2	DCS1	DCS0
初期値:	0	0	0	0	1	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W		R/W	R/W	R/W

分周クロック出力セレクト

DCS2	DCS1	DCS0	分周クロック出力セレクト
0	0	0	PSS、 /32を出力
		1	PSS、 /16を出力
	1	0	PSS、 /8を出力
		1	PSS、 /4を出力
1	0	0	PSW、 W/32を出力
		1	PSW、 W/16を出力
	1	0	PSW、 W/8を出力
		1	PSW、 W/4を出力

ノイズキャンセルON/OFF

0	IC端子のノイズキャンセル機能は無効
1	IC端子のノイズキャンセル機能は有効

IC端子エッジセレクト

0	IC端子入力の立ち下がりエッジを検出
1	IC端子入力の立ち上がりエッジを検出

インプットキャプチャインタラプトイネーブル

0	インプットキャプチャによる割り込みの発生を禁止
1	インプットキャプチャによる割り込みの発生を許可

インプットキャプチャインタラプトフラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 IC端子のエッジにより、インプットキャプチャが行われたとき

【注】* フラグクリアのための0ライトのみ可能です。

H'D130 : ソフトトリガA/DリザルトレジスタH ADRH : A/D変換器
 H'D131 : ソフトトリガA/DリザルトレジスタL ADRL : A/D変換器

ADRH										ADRL						
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R						

H'D132 : ハードトリガA/DリザルトレジスタH AHRH : A/D変換器
 H'D133 : ハードトリガA/DリザルトレジスタL AHRL : A/D変換器

AHRH										AHRL						
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AHR9	AHR8	AHR7	AHR6	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R						

H'D134 : A/Dコントロールレジスタ ADCR : A/D変換器

ビット:	7	6	5	4	3	2	1	0
	CK		HCH1	HCH0	SCH3	SCH2	SCH1	SCH0
初期値:	0	1	0	0	0	0	0	0
R/W :	R/W		R/W	R/W	R/W	R/W	R/W	R/W

ソフトウェアチャンネルセレクト

SCH3	SCH2	SCH1	SCH0	アナログ入力チャンネル
0	0	0	0	AN0
			1	AN1
		1	0	AN2
			1	AN3
	1	0	0	AN4
			1	AN5
		1	0	AN6
1	0	0	0	AN8
			1	AN9
	1	0	0	ANA
			1	ANB
1	1	*	*	ソフトウェアトリガによる変換チャンネルは選択されません。

- 【注】1. SCH3～SCH0が11**でソフトウェアトリガによる変換を行うと、変換結果は不定になります。ただし、ハードウェアトリガまたは外部トリガ入力による変換の場合は、HCH1、HCH0により選択されたチャンネルで行います。
2. * : Don't care.

ハードウェアチャンネルセレクト

HCH1	HCH0	アナログ入力チャンネル
0	0	AN8
	1	AN9
1	0	ANA
	1	ANB

クロックセレクト

0	変換周期 = 266ステート
1	変換周期 = 134ステート

H'D135 : A/Dコントロール/ステータスレジスタ ADCSR : A/D変換器

ビット:	7	6	5	4	3	2	1	0
	SEND	HEND	ADIE	SST	HST	BUSY	SCNL	
初期値:	0	0	0	0	0	0	0	1
R/W :	R/(W)*	R/(W)*	R/W	R/W	R	R	R	

ソフト変換キャンセルフラグ

0	A/D変換の競合はありません。
1	ソフトウェアトリガによるA/D変換が、ハードウェアトリガまたは外部トリガ入力による変換開始によりキャンセルされたことを示します。

ビジーフラグ

0	A/D変換の競合はありません。
1	ハードウェアトリガまたは外部トリガ入力によるA/D変換実行中に、ソフトウェアトリガによる変換を開始しようとしたことを示します。

ハードウェアA/Dステータスフラグ

0	〔リード時〕ハードウェアトリガまたは外部トリガ入力によるA/D変換中でないことを示します。 〔ライト時〕ハードウェアトリガまたは外部トリガによるA/D変換を強制終了します。
1	ハードウェアトリガまたは外部トリガ入力によるA/D変換実行中であることを示します。

ソフトウェアA/Dスタートフラグ

0	〔リード時〕ソフトウェアトリガによるA/D変換の停止、終了を示します。 〔ライト時〕ソフトウェアトリガによるA/D変換を強制終了します。
1	〔リード時〕ソフトウェアトリガによるA/D変換実行中を示します。 〔ライト時〕ソフトウェアトリガによるA/D変換を開始します。

A/Dインタラプトイネーブル

0	A/D変換終了による割り込み (ADI) 発生を禁止
1	A/D変換終了による割り込み (ADI) 発生を許可

ハードウェアA/D終了フラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 ハードウェアトリガまたは外部トリガ入力によるA/D変換が終了したとき

ソフトウェアA/D終了フラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 ソフトウェアトリガによるA/D変換が終了したとき

ソフト変換キャンセルフラグ

0	A/D変換の競合はありません。
1	ソフトウェアトリガによるA/D変換が、ハードウェアトリガまたは外部トリガ入力による変換開始によりキャンセルされたことを示します。

ビジーフラグ

0	A/D変換の競合はありません。
1	ハードウェアトリガまたは外部トリガ入力によるA/D変換実行中に、ソフトウェアトリガによる変換を開始しようとしたことを示します。

ハードウェアA/Dステータスフラグ

0	〔リード時〕ハードウェアトリガまたは外部トリガ入力によるA/D変換中でないことを示します。 〔ライト時〕ハードウェアトリガまたは外部トリガによるA/D変換を強制終了します。
1	ハードウェアトリガまたは外部トリガ入力によるA/D変換実行中であることを示します。

ソフトウェアA/Dスタートフラグ

0	〔リード時〕ソフトウェアトリガによるA/D変換の停止、終了を示します。 〔ライト時〕ソフトウェアトリガによるA/D変換を強制終了します。
1	〔リード時〕ソフトウェアトリガによるA/D変換実行中を示します。 〔ライト時〕ソフトウェアトリガによるA/D変換を開始します。

A/Dインタラプトイネーブル

0	A/D変換終了による割り込み (ADI) 発生を禁止
1	A/D変換終了による割り込み (ADI) 発生を許可

ハードウェアA/D終了フラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 ハードウェアトリガまたは外部トリガ入力によるA/D変換が終了したとき

ソフトウェアA/D終了フラグ

0	〔クリア条件〕 1をリード後、0をライトしたとき
1	〔セット条件〕 ソフトウェアトリガによるA/D変換が終了したとき

【注】* フラグクリアのための0ライトのみ可能です。

H'D136 : A/Dトリガ選択レジスタ ADTSR : A/D変換器

ビット :	7	6	5	4	3	2	1	0
							TRGS1	TRGS0
初期値 :	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

トリガセレクト

TRGS1	TRGS0	説明
0	0	ハードウェアトリガおよび外部トリガ入力による変換の開始を禁止
	1	ハードウェアトリガ (ADTRG) による変換の開始を選択
1	0	ハードウェアトリガ (DFG) による変換の開始を選択
	1	外部トリガ入力 (ADTRG) による変換開始を選択

H'D138 : タイマロードレジスタK TLK : タイマJ

ビット :	7	6	5	4	3	2	1	0
	TLR27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20
初期値 :	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

H'D138 : タイマカウンタK TCK : タイマJ

ビット :	7	6	5	4	3	2	1	0
	TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20
初期値 :	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

H'D139 : タイマロードレジスタJ TLJ : タイマJ

ビット :	7	6	5	4	3	2	1	0
	TLR17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10
初期値 :	1	1	1	1	1	1	1	1
R/W :	W	W	W	W	W	W	W	W

H'D139 : タイマカウンタJ TCJ : タイマJ

ビット:	7	6	5	4	3	2	1	0
	TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10
初期値:	1	1	1	1	1	1	1	1
R/W :	R	R	R	R	R	R	R	R

H'D13A : タイマモードレジスタJ TMJ : タイマJ

ビット:	7	6	5	4	3	2	1	0
	PS11	PS10	ST	8/16	PS21	PS20	TGL	T/R
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

タイマ出力/リモコン出力切り替え	
0	TMJ-1のタイマ出力
1	TMJ-2のトグル出力 (リモコン送信データ)

TMJ-2トグルフラグ	
0	TMJ-2のトグル出力は0
1	TMJ-2のトグル出力は1

TMJ-2入カクロック選択

PS22 ^{*3}	PS21	PS20	TMJ-2入カクロック選択
1	0	0	PSS、 /16384でカウント
		1	PSS、 /2048でカウント
	1	0	TMJ-1のアンダフローでカウント
		1	外部クロック (IRQ2) 立ち上がりエッジ または立ち下がりエッジでカウント ^{*1}
0	*2	*2	PSS、 /1024でカウント ^{*3}

【注】*1 外部クロックのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) により設定します。「付録A.2 IRQエッジセレクトレジスタ (IEGR) H'FFF0」を参照してください。

*2 Don't care

*3 H8S/2194Cグループのみ選択可能

8ビット/16ビット動作切り替え

0	TMJ-1、TMJ-2は、別々に動作します。
1	TMJ-1とTMJ-2とで、16ビットとして動作します。

リモコン動作スタート

0	リモコンモードのとき、TMJ-1のクロック供給を止めます。
1	リモコンモードのとき、TMJ-1にクロックを供給します。

TMJ-1入カクロック選択

PS11	PS10	TMJ-1入カクロック選択
0	0	PSS、 /512でカウント
	1	PSS、 /256でカウント
1	0	PSS、 /4でカウント
	1	外部クロック (IRQ1) の立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】* 外部クロックのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) により設定します。

「付録A.2 IRQエッジセレクトレジスタ (IEGR) H'FFF0」を参照してください。

リモコンモードで外部クロックを使用するときは、IRQ1のエッジとIRQ2のエッジとを逆のエッジに設定してください。(IRQ1 のときはIRQ2、IRQ1 のときはIRQ2 としてください。)

H'D13B : タイマJコントロールレジスタ TMJC : タイマJ

ビット:	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0		TMJ2IE	TMJ1IE	(PS22)* ³
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W		R/W	R/W	(R/W)* ³

TMJ-2入力クロック選択

PS22* ³	PS21	PS20	TMJ-2入力クロック選択
1	0	0	PSS、 /16384でカウント
		1	PSS、 /2048でカウント
	1	0	TMJ-1のアンダフローでカウント
		1	外部クロック (IRQ2) 立ち上がりエッジまたは立ち下がりエッジでカウント* ¹
0	* ²	* ²	PSS、 /1024でカウント* ³

【注】*¹ 外部クロックのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) により設定します。「6.2.4 IRQエッジセレクトレジスタ (IEGR)」を参照してください。

*² Don't care

*³ PS22ビットは、H8S/2194Cグループのみリード/ライト可能です。H8S/2194グループではライトは無効で、PSS、 /1024は選択できません。

TMJ11割り込みイネーブル

0	TMJ11割り込みの発生を禁止
1	TMJ11割り込みの発生を許可

TMJ21割り込みイネーブル

0	TMJ21割り込みの発生を禁止
1	TMJ21割り込みの発生を許可

モニタ出力選択

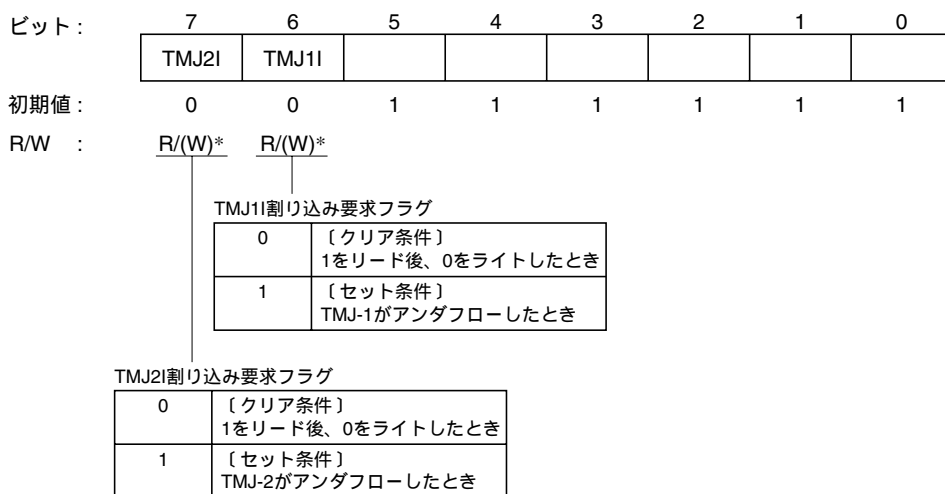
MON1	MON0	モニタ出力選択
0	0	PBまたはREC-CTL
	1	DVCTL
1	*	TCA7を出力

【注】* : Don't care.

ブザー出力選択

BUZZ1	BUZZ0	出力信号	= 10MHzのときの周波数
0	0	/4096	2.44kHz
	1	/8192	1.22kHz
1	0	モニタ用信号出力	
	1	タイマJのBUZZ出力	

H'D13C : タイマJステータスレジスタ TMJS : タイマJ



【注】* フラグクリアのための0ライトのみ可能です。

H'D148 : シリアルモードレジスタ SMR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

CKS1	CKS0	クロックセレクト
0	0	クロック
	1	/4クロック
1	0	/16クロック
	1	/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット*1
1	2ストップビット*2

【注】*1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると送信時には、O/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB(ビット7)は送信されません。また、LSBファースト/MSBファーストの選択はできません。

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

H'D149 : ビットレートレジスタ BRR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'D14A : シリアルコントロールレジスタ SCR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

CKE1	CKE0	クロック選択	
0	0	調歩同期式モード	内部クロック/SCK1端子は入出力ポート*1
		クロック同期式モード	内部クロック/SCK1端子は同期クロック出力*1
	1	調歩同期式モード	内部クロック/SCK1端子はクロック出力*2
		クロック同期式モード	内部クロック/SCK1端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK1端子はクロック入力*3
		クロック同期式モード	外部クロック/SCK1端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK1端子はクロック入力*3
		クロック同期式モード	外部クロック/SCK1端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSR1のRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* MPB = 0を含む受信データを受信しているときは、RSRからRDR1への受信データの転送、および受信エラーの検出とSSR1のRDRF、FER、ORERの各フラグのセットは行いません。MPB = 1を含む受信データを受信すると、SSR1のMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCR1のTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずSMR1の設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】 *1 SSR1のTDREフラグは1に固定されます。
*2 この状態で、TDR1に送信データをライトして、SSR1のTDREフラグを0にクリアするとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずSMR1の設定を行い、送信フォーマットを決定してください

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプトイネーブル

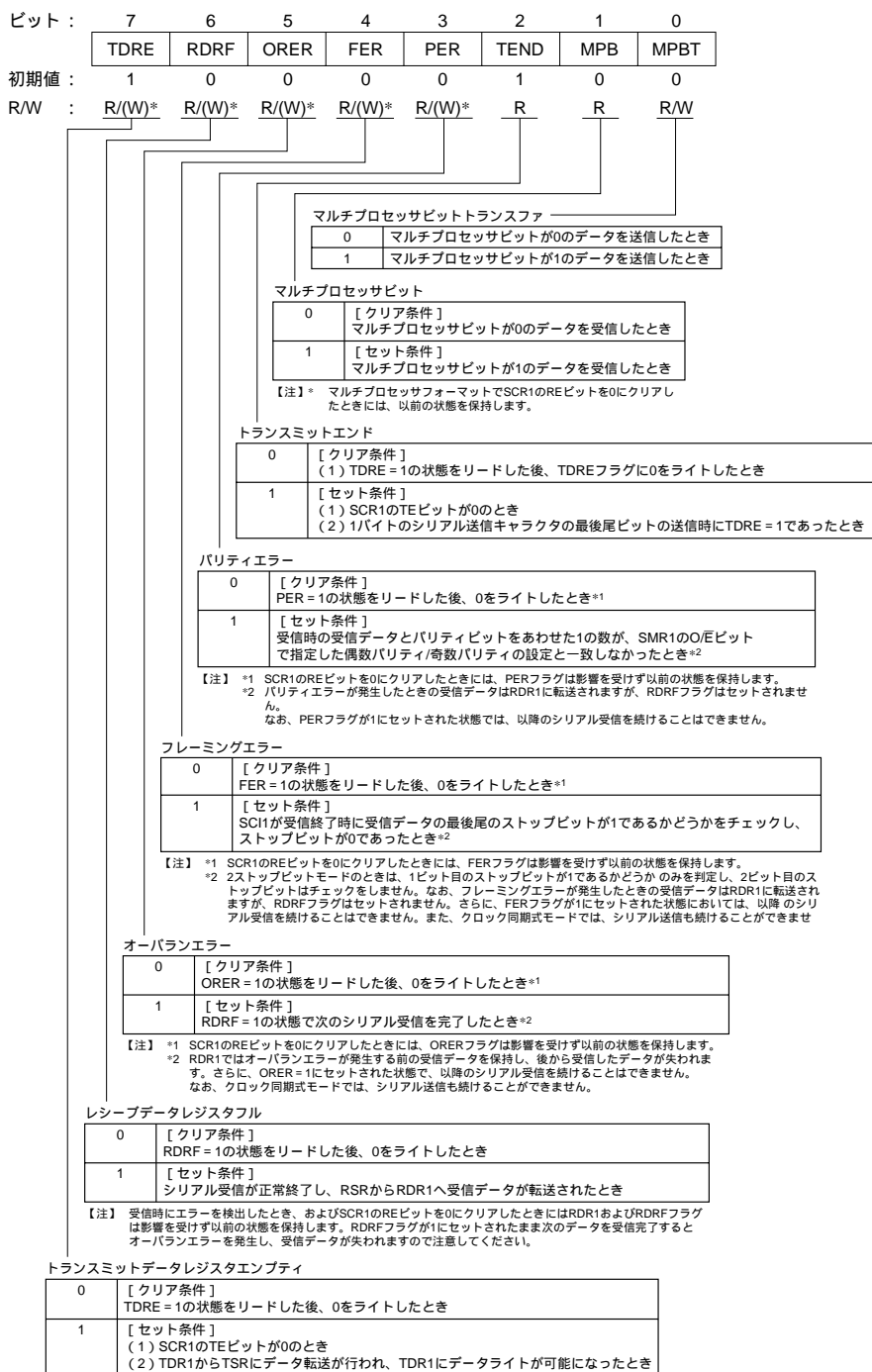
0	送信データエンベティ割り込み (TXI) 要求の禁止*
1	送信データエンベティ割り込み (TXI) 要求の許可

【注】* TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするかまたはTIEビットを0にクリアすることで行うことができます。

H'D14B : トランスミットデータレジスタ TDR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'D14C : シリアルステータスレジスタ SSR1 : SCI1



H'D14D : レシーブデータレジスタ RDR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

H'D14E : シリアルインタフェースモードレジスタ SCMR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
					SDIR	SINV		SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :					R/W	R/W		R/W

シリアルコミュニケーション
インタフェースモードセレクト

0	通常SCIモード
1	リザーブモード

データインバート

0	TDR1の内容をそのまま送信 受信データをそのままRDR1に格納
1	TDR1の内容を反転してデータを送信 受信データを反転してRDR1に格納

データトランスファディレクション

0	TDR1の内容をLSBファーストで送信 受信データをLSBファーストとしてRDR1に格納
1	TDR1の内容をMSBファーストで送信 受信データをMSBファーストとしてRDR1に格納

H'D158 : I²Cバスコントロールレジスタ ICCR : I²Cバスインタフェース

ビット : 7 6 5 4 3 2 1 0

ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
-----	------	-----	-----	------	------	------	-----

初期値 : 0 0 0 0 0 0 0 1

R/W : R/W R/W R/W R/W R/W R/W R/(W)* W

開始条件 / 停止条件発行禁止ビット

0	ライト時、BBSYフラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に1をリード ライト時、無効

I²Cバスインタフェース割り込み要求フラグ

0	転送待ち状態、または転送中 〔クリア条件〕 (1) IRIC=1の状態でもリードした後、0をライトしたとき
(1)	割り込みが発生 〔セット条件〕 I ² Cバスフォーマットでマスタモード (1) 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第1フレーム送信のためTDREフラグが1にセットされたとき) (2) WAIT=1の場合、データとアクノリッジの間にウェイトを挿入したとき (3) データ転送終了時 (送受信クロックの9クロック目の立ち上がりするとき、およびウェイト挿入時の送受信クロックの8クロック目の立ち下がりするとき) (4) バス競合負けの後、スレープアドレスを受信したとき (ALフラグが1にセットされたとき) (5) ACKEビットが1のとき、アクノリッジビットとして1を受信したとき (ACKBビットが1にセットされたとき) I ² Cバスフォーマットでスレープモード (1) スレープアドレス (SVA、SVAX) が一致したとき (AAS、AASXフラグが1にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDREまたはRDRDFフラグが1にセットされたとき) (2) ゼネラルコールアドレスを検出したとき (FS=0かつADZフラグが1にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDREまたはRDRDFフラグが1にセットされたとき) (3) ACKEビットが1のとき、アクノリッジビットとして1を受信したとき (ACKBビットが1にセットされたとき) (4) 停止条件を検出したとき (STOPまたはESTPフラグが1にセットされたとき) クロック同期シリアルフォーマット (1) データ転送終了時 (TDREまたはRDRDFフラグが1にセットされたとき) (2) シリアルフォーマットで開始条件を検出したとき 上記の他、TDREあるいはRDRDFが1にセットされる条件が発生したとき

バスビジー

0	バス解放状態 〔クリア条件〕・停止条件検出時
1	バス占有状態 〔セット条件〕・開始条件検出時

アクノリッジビット判定選択

0	アクノリッジビットの内容を無視して、連続的に転送を行う
1	アクノリッジビットが1の場合、連続的な転送を中断する

マスタ / スレープ選択
送信 / 受信選択

MST	TRS	
0	0	スレープ受信モード
	1	スレープ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

I²Cバスインタフェース割り込みイネーブル

0	割り込み要求を禁止
1	割り込み要求を許可

I²Cバスインタフェースイネーブル

0	本モジュールは非動作状態 (SCL/SDA端子はポート機能) I ² Cモジュールの内部状態の初期化 SAR、SARXがアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA端子はバス駆動状態) ICMR、ICDRがアクセス可能

【注】* フラグをクリアするための0ライトのみ可能です。

H'D159 : I²Cバスステータスレジスタ ICSR : I²Cバスインタフェース

ビット :	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

ACKノリッジビット	
0	受信時、ACKノリッジ出力タイミングで0出力 送信時、受信デバイスからACKノリッジがあった(0だった)ことを示す
1	受信時、ACKノリッジ出力タイミングで1出力 送信時、受信デバイスからACKノリッジがなかった(1だった)ことを示す

ゼネラルコールアドレス認識フラグ	
0	ゼネラルコールアドレスを未認識 【クリア条件】 (1) ICDRにデータをライト(送信時)、またはICDRのデータをリード(受信時)したとき (2) ADZ = 1の状態をリード後、0をライトしたとき (3) マスタモードのとき
1	ゼネラルコールアドレスを認識 【セット条件】 ・スレーブ受信モードかつ(FSX = 0またはFS = 0)でゼネラルコールアドレスを検出したとき

スレーブアドレス認識フラグ	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 【クリア条件】 (1) ICDRにデータをライト(送信時)、またはICDRのデータをリード(受信時)したとき (2) AAS = 1の状態をリードした後、0をライトしたとき (3) マスタモードのとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 【セット条件】 ・スレーブ受信モードかつFS = 0でスレーブアドレスまたはゼネラルコールアドレスを検出したとき

アービトレーションロストフラグ	
0	バスを確保 【クリア条件】 (1) ICDRにデータをライト(送信時)、データをリード(受信時)したとき (2) AL = 1の状態をリードした後、0をライトしたとき
1	バス競合負け(アービトレーションロスト) 【セット条件】 (1) マスタ送信モードでSCLの立ち上がりで内部SDAとSDA端子が不一致のとき (2) マスタ送信モードでSCLの立ち下がりで内部SCLがHighレベルのとき

第2スレーブアドレス認識フラグ	
0	第2スレーブアドレスを未認識 【クリア条件】 (1) AASX = 1の状態をリードした後、0をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき
1	第2スレーブアドレスを認識 【セット条件】 ・スレーブ受信モードかつFSX = 0で第2スレーブアドレスを検出したとき

I ² Cバスインタフェース連続送受信割り込み要求フラグ	
0	転送待ち状態、または転送中 【クリア条件】 (1) IRTR = 1の状態をリードした後、0をライトしたとき (2) IRICフラグが0にクリアされたとき
1	連続転送状態 【セット条件】 I ² Cバスインタフェースでスレーブモードのとき ・AASX = 1の状態、TDREまたはRDRFフラグが1にセットされたとき I ² Cバスインタフェースでスレーブモードのとき以外 ・TDREまたはRDRFフラグが1にセットされたとき

正常停止条件検出フラグ	
0	正常停止条件なし 【クリア条件】 (1) STOP = 1の状態をリードした後、0をライトしたとき (2) IRICフラグが0にクリアされたとき
1	I ² Cバスフォーマットでスレーブモードのとき 正常停止条件を検出 【セット条件】 ・フレームの転送の完了後に停止条件を検出したとき I ² Cバスフォーマットでスレーブモードのとき以外 意味なし

エラー停止条件検出フラグ	
0	エラー停止条件なし 【クリア条件】 (1) ESTP = 1の状態をリードした後、0をライトしたとき (2) IRICフラグが0にクリアされたとき
1	I ² Cバスフォーマットでスレーブモードのとき エラー停止条件を検出 【セット条件】 ・フレームの転送の途中で停止条件を検出したとき I ² Cバスフォーマットでスレーブモードのとき以外 意味なし

【注】* フラグをクリアするための0ライトのみ可能です。

H'D15E : I²Cバスデータレジスタ ICDR : I²Cバスインタフェース

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :								
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'D15E : 第2スレーブアドレスレジスタ SARX : I²Cバスインタフェース

ビット :	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フォーマットセレクトX ———
 SARのFSビットと組み合わせて使用

H'D15F : I²Cバスモードレジスタ ICMR : I²Cバスインタフェース

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットカウンタ

			ビット / フレーム	
BC2	BC1	BC0	クロック同期式 シリアル フォーマット	I ² Cバスフォーマット
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

転送クロック選択

IICX*	CKS2	CKS1	CKS0	クロック	転送レート		
					=5MHz	=8MHz	=10MHz
0	0	0	0	/28	179kHz	286kHz	357kHz
			1	/40	125kHz	200kHz	250kHz
		1	0	/48	104kHz	167kHz	208kHz
			1	/64	78.1kHz	125kHz	156kHz
	1	0	0	/80	62.5kHz	100kHz	125kHz
			1	/100	50.0kHz	80.0kHz	100kHz
		1	0	/112	44.6kHz	71.4kHz	89.3kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz
1	0	0	0	/56	89.3kHz	143kHz	179kHz
			1	/80	62.5kHz	100kHz	125kHz
		1	0	/96	52.1kHz	83.3kHz	104kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz
	1	0	0	/160	31.3kHz	50.0kHz	62.5kHz
			1	/200	25.0kHz	40.0kHz	50.0kHz
		1	0	/224	22.3kHz	35.7kHz	44.6kHz
			1	/256	19.5kHz	31.3kHz	39.1kHz

【注】* STCRのビット6参照

ウェイト挿入ビット

0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイトを挿入

MSBファースト/LSBファースト選択

0	MSBファースト
1	LSBファースト

H'D15F : スレーブアドレスレジスタ SAR : I²Cバスインタフェース

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フォーマットセレクト

SAR ビット0	SARX ビット0	フォーマットセレクト
FS	FSX	
0	0	I ² Cバスフォーマット ・ SARとSARXのスレーブアドレスを認識
	1	I ² Cバスフォーマット (初期値) ・ SARのスレーブアドレスを認識 ・ SARXのスレーブアドレスを無視
1	0	I ² Cバスフォーマット ・ SARのスレーブアドレスを無視 ・ SARXのスレーブアドレスを認識
	1	クロック同期式シリアルフォーマット ・ SARとSARXのスレーブアドレスを無視

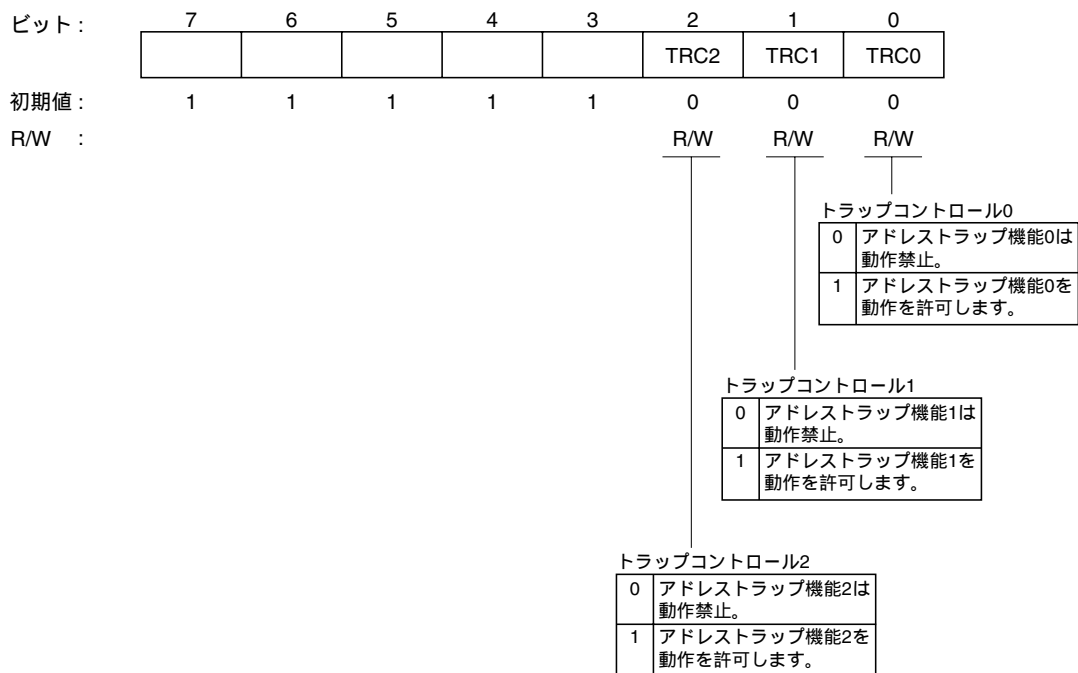
H'FFB0 : トラップアドレスレジスタ0 TAR0 : ATC
 H'FFB3 : トラップアドレスレジスタ1 TAR1 : ATC
 H'FFB6 : トラップアドレスレジスタ2 TAR2 : ATC

ビット :	7	6	5	4	3	2	1	0
	A23	A22	A21	A20	A19	A18	A17	A16
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	A15	A14	A13	A12	A11	A10	A9	A8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	A7	A6	A5	A4	A3	A2	A1	
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

H'FFB9 : アドレストラップコントロールレジスタ ATCR : ATC



H'FFBA : タイマモードレジスタA TMA : タイマA

ビット:	7	6	5	4	3	2	1	0
	TMAOV	TMAIE			TMA3	TMA2	TMA1	TMA0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/(W)*	R/W			R/W	R/W	R/W	R/W

クロックセレクト

TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比 (インターバルタイマ)、 またはオーバーフロー周期 (タイムベース)	動作モード
0	0	0	0	PSS、 /16384	インターバル タイマモード
			1	PSS、 /8192	
		1	0	PSS、 /4096	
			1	PSS、 /1024	
	1	0	0	PSS、 /512	
			1	PSS、 /256	
		1	0	PSS、 /64	
			1	PSS、 /16	
1	0	0	0	1s	時計用タイム ベースモード
			1	0.5s	
		1	0	0.25s	
			1	0.03125s	
	1	0	0	PSWおよびTCAをH'00にクリア	
			1		
		1	0		
			1		

【注】 = f osc

クロックソース、プリスケアラ選択

0	タイマAのクロックソースはPSS
1	タイマAのクロックソースはPSW

タイマA割り込みイネーブル

0	タイマAによる割り込み (TMAI) の発生を禁止
1	タイマAによる割り込み (TMAI) の発生を許可

タイマAオーバーフローフラグ

0	[クリア条件] TMAOV = 1の状態、TMAOVフラグをリード後、 TMAOVフラグに0をライトしたとき
1	[セット条件] TCAがオーバーフローしたとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFBB : タイマカウンタA TCA : タイマA

ビット:	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

H'FFBC : ウォッチドッグタイマコントロール/ステータスレジスタ
WTCSR : WDT

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リセットまたはNMI

0	NMI割り込みを要求
1	内部リセットを要求

タイマイネーブル

0	WTCNTをH'00に初期化し、カウント動作を停止
1	WTCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード：WTCNTがオーバーフローしたときCPUインターバルタイマ割り込み（WOVI）を要求
1	ウォッチドッグタイマモード：WTCNTがオーバーフローしたときCPUへリセットまたはNMI割り込みを要求

オーバーフローフラグ

0	〔クリア条件〕 (1) TMEビットに0をライトしたとき (2) OVF=1の状態、WTCSRをリード後、OVFに0をライトしたとき
1	〔セット条件〕 WTCNTがオーバーフロー（H'FF H'00）したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFBD : ウォッチドッグタイマカウンタ WTCNT : WDT

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC0 : ポートデータレジスタ0 PDR0 : I/Oポート

ビット :	7	6	5	4	3	2	1	0
	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
初期値 :								
R/W :	R	R	R	R	R	R	R	R

H'FFC1 : ポートデータレジスタ1 PDR1 : I/Oポート

ビット :	7	6	5	4	3	2	1	0
	PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC2 : ポートデータレジスタ2 PDR2 : I/Oポート

ビット :	7	6	5	4	3	2	1	0
	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC3 : ポートデータレジスタ3 PDR3 : I/Oポート

ビット :	7	6	5	4	3	2	1	0
	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC4 : ポートデータレジスタ4 PDR4 : I/Oポート

ビット :	7	6	5	4	3	2	1	0
	PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC5 : ポートデータレジスタ5 PDR5 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
					PDR53	PDR52	PDR51	PDR50
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

H'FFC6 : ポートデータレジスタ6 PDR6 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC7 : ポートデータレジスタ7 PDR7 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PDR77	PDR76	PDR75	PDR74	PDR73	PDR72	PDR71	PDR70
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFC8 : ポートデータレジスタ8 PDR8 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PDR87	PDR86	PDR85	PDR84	PDR83	PDR82	PDR81	PDR80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFCD : ポートモードレジスタ0 PMR0 : I/Oポート

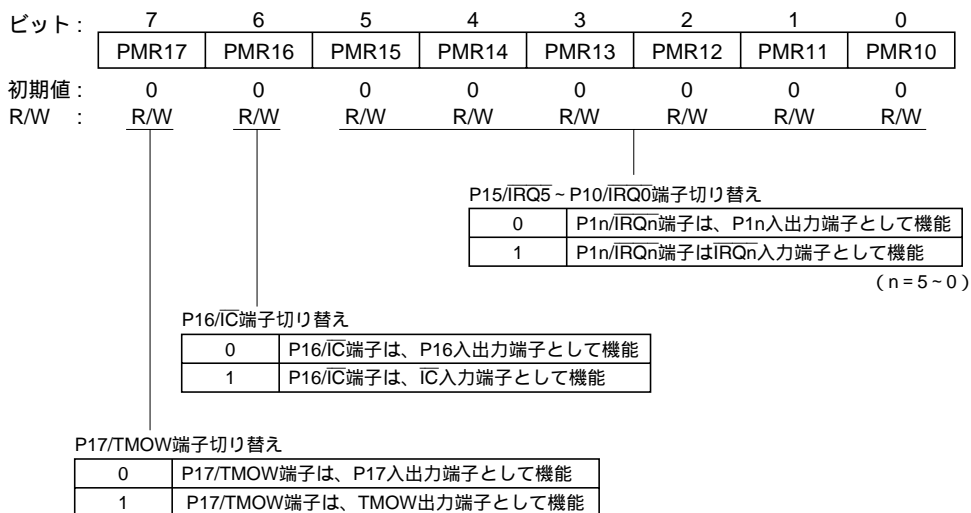
ビット:	7	6	5	4	3	2	1	0
	PMR07	PMR06	PMR05	PMR04	PMR03	PMR02	PMR01	PMR00
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P07/AN7 ~ P00/AN0端子切り替え

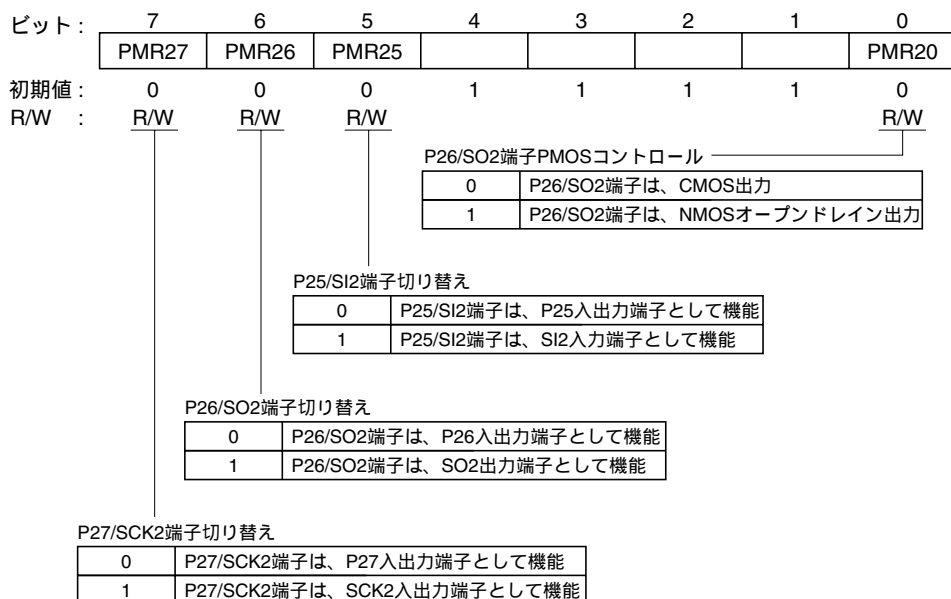
0	P0n/ANn端子は、P0n入力端子として機能
1	P0n/ANn端子は、ANn入力端子として機能

(n = 7 ~ 0)

H'FFCE : ポートモードレジスタ1 PMR1 : I/Oポート



H'FFCF : ポートモードレジスタ2 PMR2 : I/Oポート



H'FFD0 : ポートモードレジスタ3 PMR3 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PMR37	PMR36	PMR35	PMR34	PMR33	PMR32	PMR31	PMR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P30/CS端子切り替え	
0	P30/CS端子は、P30入出力端子として機能
1	P30/CS端子は、CS入力端子として機能

P31/STRB端子切り替え	
0	P31/STRB端子は、P31入出力端子として機能
1	P31/STRB端子は、STRB出力端子として機能

P35/PWM3 ~ P32/PWM0端子切り替え	
0	P3n/PWMm端子は、P3n入出力端子として機能
1	P3n/PWMm端子は、PWMm出力端子として機能

(n=5~2, m=3~0)

P36/BUZZ端子切り替え	
0	P36/BUZZ端子は、P36入出力端子として機能
1	P36/BUZZ端子は、BUZZ出力端子として機能

P37/TMO端子切り替え	
0	P37/TMO端子は、P37入出力端子として機能
1	P37/TMO端子は、TMO出力端子として機能

【注】 TMO端子をリモコン送信に使用する場合、TMO出力に切り替えた後に、リモコンモードに設定すると、タイマ出力の不用意なパルスが出力されることがあります。切り替え、設定は次の順序で行ってください。

- [1] リモコンモード設定
- [2] タイマJのTMJ-1、2のカウンタデータ設定
- [3] P37/TMO端子をTMO出力端子に切り替え
- [4] STビットを1にセット

H'FFD1 : ポートコントロールレジスタ1 PCR1 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

0	P1n端子は、入力端子として機能
1	P1n端子は、出力端子として機能

(n=7~0)

H'FFD2 : ポートコントロールレジスタ2 PCR2 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

0	P2n端子は、入力端子として機能
1	P2n端子は、出力端子として機能

(n=7~0)

H'FFD3 : ポートコントロールレジスタ3 PCR3 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

0	P3n端子は、入力端子として機能
1	P3n端子は、出力端子として機能

(n=7~0)

H'FFD4 : ポートコントロールレジスタ4 PCR4 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR47	PCR46	PCR45	PCR44	PCR43	PCR42	PCR41	PCR40
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

0	P4n端子は、入力端子として機能
1	P4n端子は、出力端子として機能

(n=7~0)

H'FFD5 : ポートコントロールレジスタ5 PCR5 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
					PCR53	PCR52	PCR51	PCR50
初期値:	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

0	P5n端子は、入力端子として機能
1	P5n端子は、出力端子として機能

(n=3~0)

H'FFD6 : ポートコントロールレジスタ6 PCR6 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PMR6n	PCR6n	ポートコントロールレジスタ6
0	0	P6n/RPn端子は、P6n汎用入力端子として機能
	1	P6n/RPn端子は、P6n汎用出力端子として機能
1	*	P6n/RPn端子は、RPnリアルタイム出力端子として機能

【注】 * : Don't care. (n=7~0)

H'FFD7 : ポートコントロールレジスタ7 PCR7 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

0	P7n端子は、入力端子として機能
1	P7n端子は、出力端子として機能

(n=7~0)

H'FFD8 : ポートコントロールレジスタ8 PCR8 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

0	P8n端子は、入力端子として機能
1	P8n端子は、出力端子として機能

(n = 7~0)

H'FFDB : ポートモードレジスタ4 PMR4 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
								PMR40
初期値:	1	1	1	1	1	1	1	0
R/W :								R/W

P40/PWM14端子切り替え

0	P40/PWM14端子は、P40入出力端子として機能
1	P40/PWM14端子は、PWM14出力端子として機能

H'FFDC : ポートモードレジスタ5 PMR5 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
					PMR53	PMR52	PMR51	
初期値:	1	1	1	1	0	0	0	1
R/W :					R/W	R/W	R/W	

タイマBイベント入力エッジセレクト

0	タイマBイベント入力は立ち下がりエッジを検出
1	タイマBイベント入力は立ち上がりエッジを検出

P52/TMBI端子切り替え

0	P52/TMBI端子は、P52入出力端子として機能
1	P52/TMBI端子は、TMBI入力端子として機能

P53/TRIG端子切り替え

0	P53/TRIG端子は、P53入出力端子として機能
1	P53/TRIG端子は、TRIG入力端子として機能

H'FFDD : ポートモードレジスタ6 PMR6 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PMR67	PMR66	PMR65	PMR64	PMR63	PMR62	PMR61	PMR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P67/RP7 ~ P60/RP0端子切り替え

0	P6n/RPn端子は、P6n入出力端子として機能
1	P6n/RPn端子は、RPn出力端子として機能

(n = 7 ~ 0)

H'FFDE : ポートモードレジスタ7 PMR7 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PMR77	PMR76	PMR75	PMR74	PMR73	PMR72	PMR71	PMR70
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P77/PPG7 ~ P70/PPG0端子切り替え

0	P7n/PPGn端子は、P7n入出力端子として機能
1	P7n/PPGn端子は、PPGn出力端子として機能

(n = 7 ~ 0)

H'FFDF : ポートモードレジスタ8 PMR8 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
					PMR83	PMR82	PMR81	PMR80
初期値:	1	1	1	1	0	0	0	0
R/W :					R/W	R/W	R/W	R/W

P80/EXTTRG端子切り替え

0	P80/EXTTRG端子は、P80入出力端子として機能
1	P80/EXTTRG端子は、EXTTRG入力端子として機能

P81/EXCAP端子切り替え

0	P81/EXCAP端子は、P81入出力端子として機能
1	P81/EXCAP端子は、EXCAP入力端子として機能

P82/SV1端子切り替え

0	P82/SV1端子は、P82入出力端子として機能
1	P82/SV1端子は、SV1出力端子として機能

P83/SV2端子切り替え

0	P83/SV2端子は、P83入出力端子として機能
1	P83/SV2端子は、SV2出力端子として機能

H'FFE1 : プルアップMOSセレクトレジスタ1 PUR1 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PUR17	PUR16	PUR15	PUR14	PUR13	PUR12	PUR11	PUR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	P1n端子は、プルアップMOSなしとなります。
1	P1n端子は、プルアップMOS付き端子となります。

(n = 7~0)

H'FFE2 : プルアップMOSセレクトレジスタ2 PUR2 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PUR27	PUR26	PUR25	PUR24	PUR23	PUR22	PUR21	PUR20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	P2n端子は、プルアップMOSなしとなります。
1	P2n端子は、プルアップMOS付き端子となります。

(n = 7~0)

H'FFE3 : プルアップMOSセレクトレジスタ3 PUR3 : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PUR37	PUR36	PUR35	PUR34	PUR33	PUR32	PUR31	PUR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	P3n端子は、プルアップMOSなしとなります。
1	P3n端子は、プルアップMOS付き端子となります。

(n = 7~0)

H'FFE4 : リアルタイム出力トリガエッジ選択レジスタ RTPEGR : I/Oポート

ビット:	7	6	5	4	3	2	1	0
							RTPEGR1	RTPEGR0
初期値:	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

リアルタイム出力トリガエッジセレクト

RTPEGR1	RTPEGR0	リアルタイム出力トリガエッジセレクト
0	0	トリガ入力を禁止
	1	トリガ入力の立ち上がりエッジを選択
1	0	トリガ入力の立ち下がりエッジを選択
	1	トリガ入力の立ち上がり/立ち下がり両エッジを選択

H'FFE5 : リアルタイム出力トリガ選択レジスタ RTPSR : I/Oポート

ビット:	7	6	5	4	3	2	1	0
	RTPSR7	RTPSR6	RTPSR5	RTPSR4	RTPSR3	RTPSR2	RTPSR1	RTPSR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	トリガ入力として、外部トリガ (TRIG端子入力) を選択
1	トリガ入力として、内部トリガ (HSW) を選択

(n = 7 ~ 0)

H'FFE8 : システムコントロールレジスタ SYSCR : システムコントロール

ビット:	7	6	5	4	3	2	1	0
			INTM1	INTM0	XRST	NMIEG1	NMIEG0	
初期値:	0	0	0	0	1	0	0	1
R/W :			R	R/W	R	R/W	R/W	

NMIエッジセレクト

NMIEG1	NMIEG0	NMIエッジセレクト
0	0	NMI入力の立ち下がりエッジで割り込み要求を発生
0	1	NMI入力の立ち上がりエッジで割り込み要求を発生
1	*	NMI入力の立ち上がり、または立ち下がりエッジで割り込み要求を発生

【注】 * : Don't care

外部リセット

0	リセットがウォッチドッグタイマオーバーフローで発生
1	リセットが外部リセットで発生

割り込み制御モード

INTM1	INTM0	割り込み制御モード	割り込み制御
0	0	0	1ビットで、割り込みを制御
	1	1	I、UIビットとICRで、割り込みを制御
1	0	2	本LSIでは使用できません
	1	3	本LSIでは使用できません

H'FFE9 : モードコントロールレジスタ MDCR : システムコントロール

ビット:	7	6	5	4	3	2	1	0
								MDS0
初期値:	0	0	0	0	0	0	0	*
R/W :								R

モードセレクト0

【注】* MD0端子により決定されます。

H'FFEA : スタンバイコントロールレジスタ SBYCR : システムコントロール

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0			SCK1	SCK0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W			R/W	R/W

システムクロックセレクト

SCK1	SCK0	システムクロックセレクト
0	0	バスマスタは高速モード
0	1	中速クロックは /16
1	0	中速クロックは /32
1	1	中速クロックは /64

スタンバイタイムセレクト

STS2	STS1	STS0	待機時間
0	0	0	8192ステート
0	0	1	16384ステート
0	1	0	32768ステート
0	1	1	65536ステート
1	0	0	131072ステート
1	0	1	262144ステート
1	1	*	16ステート*

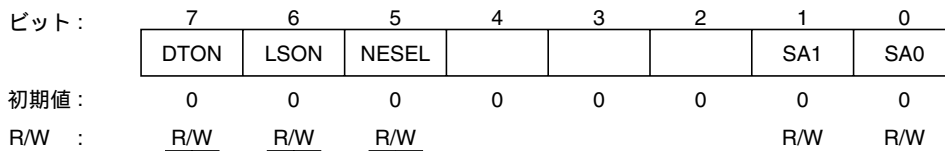
【注】* : Don't care

* : 中速モード /32 (SCK1 = 1, SCK0=0) へ遷移した場合は、32ステートとなります。FLASH ROM版では待機時間16ステートを選択しないでください。

ソフトウェアスタンバイ

0	高速モードおよび中速モードでSLEEP命令を実行したとき、スリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、サブスリープモードに遷移
1	高速モードおよび中速モードでSLEEP命令を実行したとき、スタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

H'FFEB : ローパワーコントロールレジスタ LPWRCCR : システムコントロール



サブアクティブモードクロックセレクト

SA1	SA0	サブアクティブモードクロックセレクト
0	0	CPUの動作クロックは w/8
0	1	CPUの動作クロックは w/4
1	*	CPUの動作クロックは w/2

【注】 * : Don't care

ノイズ除去サンプリング周波数選択

0	の16分周クロックでサンプリング
1	の4分周クロックでサンプリング

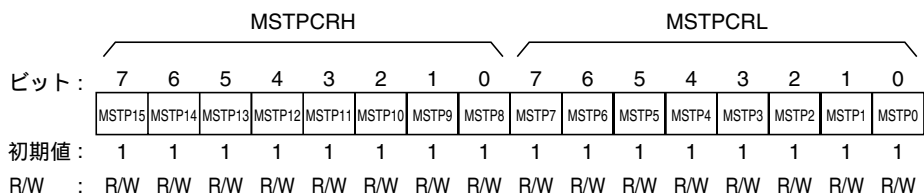
ロースピードオンフラグ

0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、スタンバイモード、またはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ・ウォッチモード解除後にサブアクティブモードに遷移
1	<ul style="list-style-type: none"> ・高速モードでSLEEP命令を実行したとき、ウォッチモード、またはサブアクティブモードに遷移、またはスリープモード、スタンバイモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ・ウォッチモード解除後にサブアクティブモードに遷移

ダイレクトトランスファオンフラグ

0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、スタンバイモード、またはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移
1	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、サブアクティブモードに直接遷移、またはスリープモード、スタンバイモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

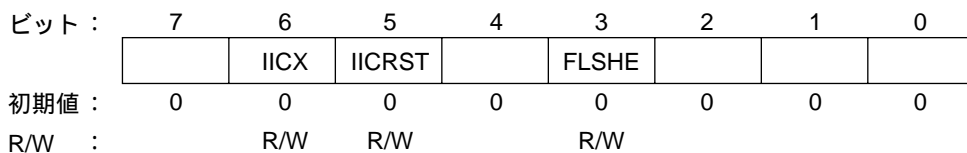
H'FFEC : モジュールストップコントロールレジスタ MSTPCRH : システムコントロール
 H'FFED : モジュールストップコントロールレジスタ MSTPCRL : システムコントロール



モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FFEE : シリアルタイムコントロールレジスタ STCR : システムコントロール



フラッシュメモリコントロールレジスタイネーブル

0	フラッシュメモリの制御レジスタは非選択状態
1	フラッシュメモリの制御レジスタは選択状態

I²Cコントロール部リセット

0	I ² Cバスインタフェースのコントロール部をリセットしない
1	I ² Cバスインタフェースのコントロール部をリセットする

I²Cトランスファレートセレクト
 ICMRのCKS2 ~ CKS0と組み合わせて使用

H'FFF0 : IRQエッジセレクトレジスタ IEGR : 割り込みコントローラ

ビット:	7	6	5	4	3	2	1	0
		IRQ5EG	IRQ4EG	IRQ3EG	IRQ2EG	IRQ1EG	IRQ0EG1	IRQ0EG0
初期値:	0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ0端子検出エッジ選択

IRQ0EG1	IRQ0EG0	IRQ0端子検出エッジ選択
0	0	IRQ0端子は立ち下がりエッジで割り込み要求を発生
0	1	IRQ0端子は立ち上がりエッジで割り込み要求を発生
1	*	IRQ0端子は立ち下がり、立ち上がりの両エッジで割り込み要求を発生

【注】 * : Don't care

IRQ5 ~ IRQ1端子検出エッジ選択

0	IRQn端子は立ち下がりエッジで割り込み要求を発生
1	IRQn端子は立ち上がりエッジで割り込み要求を発生

(n=5~1)

H'FFF1 : IRQイネーブルレジスタ IENR : 割り込みコントローラ

ビット:	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

IRQ5 ~ IRQ0イネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n=5~0)

H'FFF2 : IRQステータスレジスタ IRQR : 割り込みコントローラ

ビット:	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0
R/W :			R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ5 - IRQ0フラグ

0	[クリア条件] IRQnF = 1をリードした後、0をライトしたとき IRQn割り込み例外処理を実行したとき
1	[セット条件] (1) 立ち下がりエッジ検出設定時 (IRQnEG = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき (2) 立ち上がりエッジ検出設定時 (IRQnEG = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき (3) 両エッジ検出設定時 (IRQ0EG1 = 1) の状態で $\overline{\text{IRQ0}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき

(n = 5 ~ 0)

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFF3 : インタラプトコントロールレジスタA ICRA :
割り込みコントローラ
H'FFF4 : インタラプトコントロールレジスタB ICRB :
割り込みコントローラ
H'FFF5 : インタラプトコントロールレジスタC ICRC :
割り込みコントローラ
H'FFF6 : インタラプトコントロールレジスタD ICRD :
割り込みコントローラ

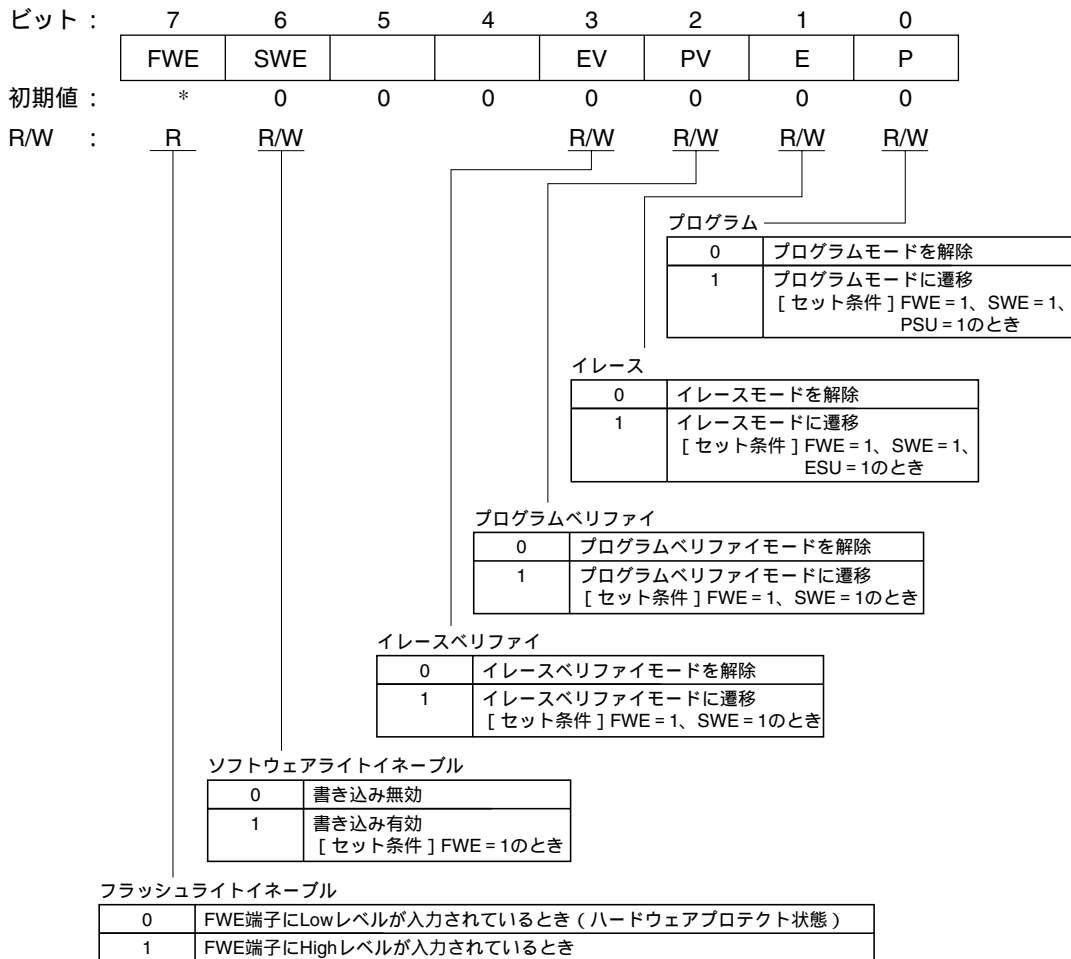
ビット:	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込みコントロールレベル

0	対応する割り込み要因はコントロールレベル0 (非優先)
1	対応する割り込み要因はコントロールレベル1 (優先)

(n = 7 ~ 0)

H'FFF8 : フラッシュメモリコントロールレジスタ1 FLMCR1 :
FLASH ROM (H8S/2194 FLASH版のみ)



【注】 * FWE端子の状態により決定されます。

H'FFF9 : フラッシュメモリコントロールレジスタ2 FLMCR2 : FLASH ROM (H8S/2194 FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
	FLER						ESU	PSU
初期値 :	0	0	0	0	0	0	0	0
R/W :	R						R/W	R/W

プログラムセットアップ	
0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1のとき

イレースセットアップ	
0	イレースセットアップ解除
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1のとき

フラッシュメモリエラー	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットのとき
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「7.8.3 エラープロテクト」参照

H'FFFA : 消去ブロック指定レジスタ1 EBR1 : FLASH ROM (H8S/2194 FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
EBR1							EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :							R/W	R/W

H'FFFB : 消去ブロック指定レジスタ2 EBR2 :
FLASH ROM (H8S/2194 FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

消去ブロックの分割

ブロック (サイズ)	アドレス
128kバイト版	
EB0 (1kバイト)	H'000000 ~ H'0003FF
EB1 (1kバイト)	H'000400 ~ H'0007FF
EB2 (1kバイト)	H'000800 ~ H'000BFF
EB3 (1kバイト)	H'000C00 ~ H'000FFF
EB4 (28kバイト)	H'001000 ~ H'007FFF
EB5 (16kバイト)	H'008000 ~ H'00BFFF
EB6 (8kバイト)	H'00C000 ~ H'00DFFF
EB7 (8kバイト)	H'00E000 ~ H'00FFFF
EB8 (32kバイト)	H'010000 ~ H'017FFF
EB9 (32kバイト)	H'018000 ~ H'01FFFF

H'FFF8 : フラッシュメモリコントロールレジスタ1 FLMCR1 : FLASH ROM (H8S/2194C FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU1	PSU1	EV1	PV1	E1	P1
初期値 :	*	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プログラム1	
0	プログラムモードを解除
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、 PSU = 1のとき

イレース1	
0	イレースモードを解除
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、 ESU = 1のとき

プログラムベリファイ1	
0	プログラムベリファイモードを解除
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき

イレースベリファイ1	
0	イレースベリファイモードを解除
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき

プログラムセットアップビット1	
0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1のとき

イレースセットアップビット1	
0	イレースセットアップ解除
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1のとき

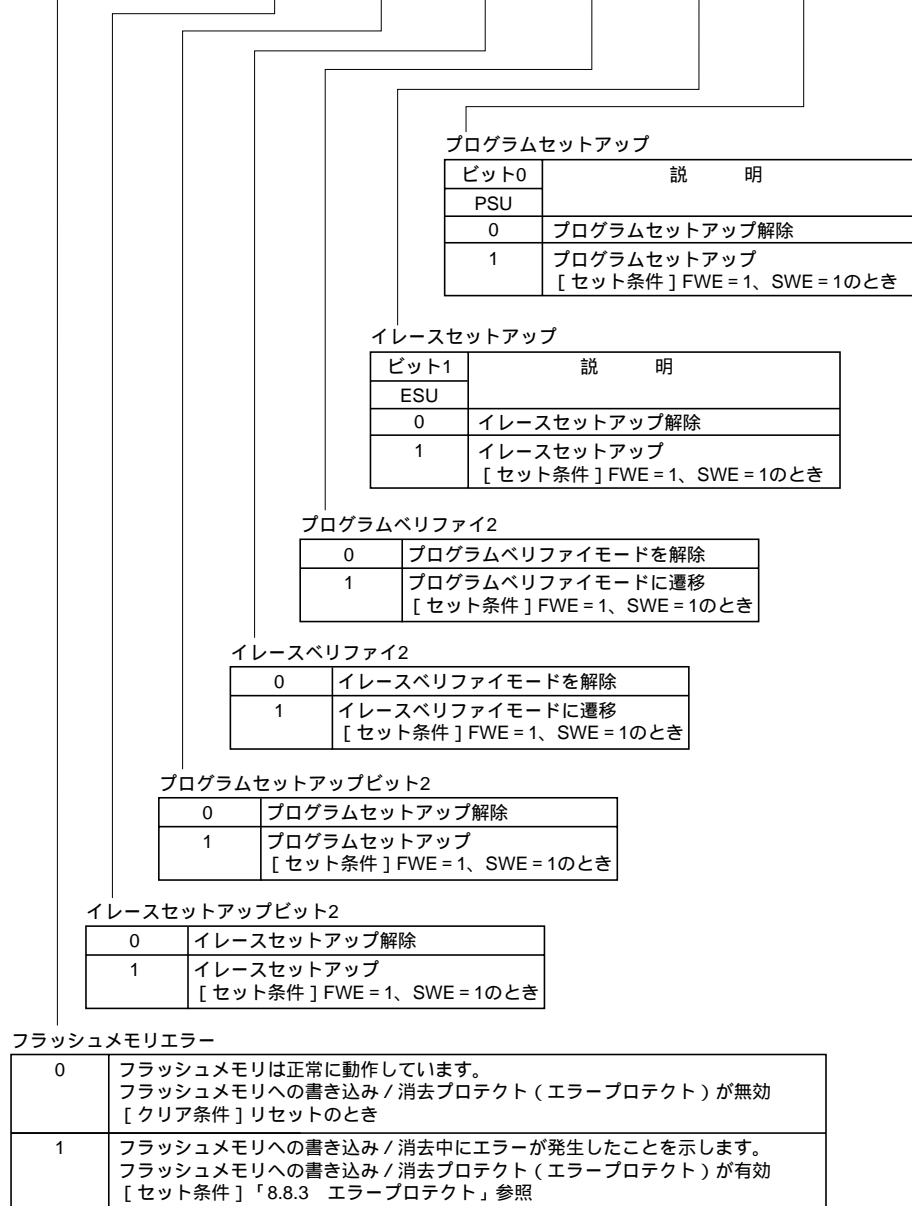
ソフトウェアライトイネーブル	
0	書き込み無効
1	書き込み有効 [セット条件] FWE = 1のとき

フラッシュライトイネーブル	
0	FWE端子にLowレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE端子にHighレベルが入力されているとき

【注】 * FWE端子の状態により決定されます。

H'FFF9 : フラッシュメモリコントロールレジスタ2 FLMCR2 :
FLASH ROM (H8S/2194C FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
	FLER		ESU2	PSU2	EV2	PV2	E2	P2
初期値 :	0	0	0	0	0	0	0	0
R/W :	R		R/W	R/W	R/W	R/W	R/W	R/W



H'FFFA : 消去ブロック指定レジスタ1 EBR1 :
FLASH ROM (H8S/2194C FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
EBR1			EB13	EB12	EB11	EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

H'FFFB : 消去ブロック指定レジスタ2 EBR2 :
FLASH ROM (H8S/2194C FLASH版のみ)

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

消去ブロックの分割

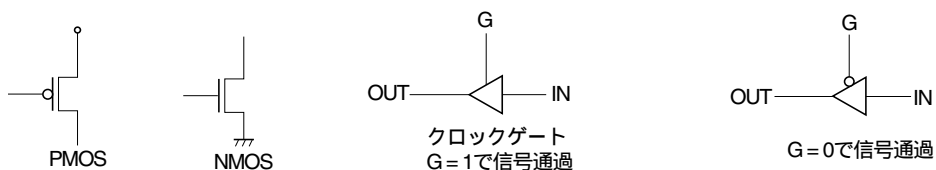
ブロック (サイズ)	アドレス
256kバイト版	
EB0 (1kバイト)	H'000000 ~ H'0003FF
EB1 (1kバイト)	H'000400 ~ H'0007FF
EB2 (1kバイト)	H'000800 ~ H'000BFF
EB3 (1kバイト)	H'000C00 ~ H'000FFF
EB4 (28kバイト)	H'001000 ~ H'007FFF
EB5 (16kバイト)	H'008000 ~ H'00BFFF
EB6 (8kバイト)	H'00C000 ~ H'00DFFF
EB7 (8kバイト)	H'00E000 ~ H'00FFFF
EB8 (32kバイト)	H'010000 ~ H'017FFF
EB9 (32kバイト)	H'018000 ~ H'01FFFF
EB10 (32kバイト)	H'020000 ~ H'027FFF
EB11 (32kバイト)	H'028000 ~ H'02FFFF
EB12 (32kバイト)	H'030000 ~ H'037FFF
EB13 (32kバイト)	H'038000 ~ H'03FFFF

C. 各端子の回路構成

C.1 各端子の回路構成

電源端子以外の端子の回路構成を表 C.1 に示します。

凡例



【記号説明】

- RD : リード記号
- RST : リセット信号
- LPM : 低消費電力モード信号 (スタンバイ、ウォッチ、サブアクティブの各モードで1)
- Hi-Z : ハイインピーダンス
- SLEEP : スリープモード信号

【注】 抵抗値などの数値は参考値です。

表 C.1 各端子の回路構成

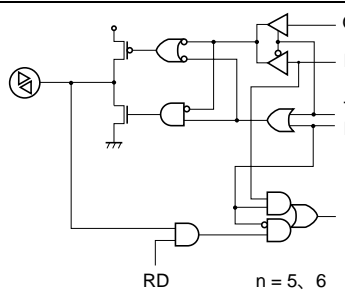
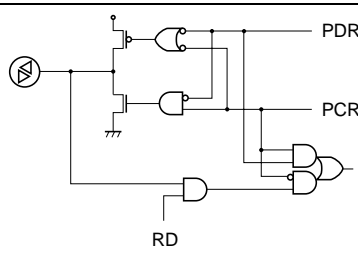
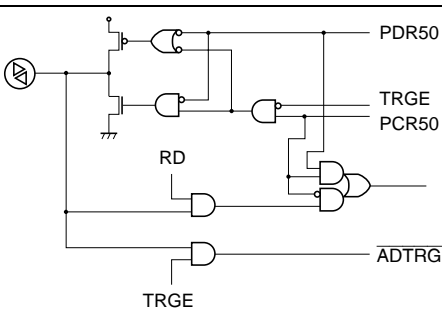
端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P00/AN0 ~ P07/AN7	<p>PMR0n·RD</p> <p>SCH3 ~ SCH0</p>	Hi-Z	保持	Hi-Z
AN8 ~ ANB	<p>HCH1, HCH0</p>	Hi-Z	保持	Hi-Z
P10/IRQ0 ~ P15/IRQ5 P16/IC	<p>PUR1n·PCR1n</p> <p>PDR1n</p> <p>PMR1n</p> <p>PCR1n</p> <p>RD</p> <p>INT = IRQ0 ~ IRQ5, IC</p> <p>PMR1n</p> <p>INT = IRQ0 ~ IRQ5, IC</p> <p>n = 0 ~ 6</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
		IRQ0 ~ IRQ5, IC 入力に選択されているときは端子を High または Low に固定してください。		

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P17/TMOW	<p>PUR17・PCR17</p> <p>TMOW</p> <p>PDR17</p> <p>PMR17 PCR17</p> <p>RD</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
P20/SI1	<p>PUR20・PCR20</p> <p>PDR20</p> <p>RXE</p> <p>PCR20</p> <p>RD</p> <p>SI1</p> <p>RXE</p> <p>RXE : SCRおよびSMRで決定される 入力制御信号</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
			SI1 入力に選択されているときは、端子の入力を High または Low に固定してください。	

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P21/SO1	<p>TXE : SCRおよびSMRで決定される 出力制御信号</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
P22/SCK1	<p>SCKO : 転送クロック出力 SCKI : 転送クロック入力 CKOE : SMRおよびSCRにより決定される転送 クロック出力制御信号 CKIE : SMRおよびSCRにより決定される転送 クロック入力制御信号</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブモ ード時 : 動作 その他のモード : Hi-Z SCK1 が入力に選択されている ときは、端子の入力を High また は Low に固定してください。

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P23/SDA P24/SCL	<p style="text-align: center;">n = 3, 4 IICE : I²Cバスイネーブル信号</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブモ ード時 : 動作 その他のモード : Hi-Z
P26/SO2		Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P25/SI2		Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
		SI2 入力に選択されているときは、端子の入力を High または Low に固定してください。		
P27/SCK2	<p>SCKO : 転送クロック出力 SCKI : 転送クロック入力 EXCK : SMR1またはSMR2により決定される外部クロック入力制御信号</p> <p>n = 3, 6</p>	Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
		SCK2 が入力に選択されているときは、端子の入力を High または Low に固定してください。		
P30/ \overline{CS}		Hi-Z	保持	プルアップ MOS : OFF サブアクティブ 時 : 動作 その他のモード : Hi-Z
		\overline{CS} 入力に選択されているときは、端子を High または Low に固定してください。		

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P45/FTOA P46/FTOB	 <p>OUT : P45/FTOA : タイマX1アウトプットコンペア出力 FTOA P46/FTOB : タイマX1アウトプットコンペア出力 FTOB</p> <p>TOE : TOCRで決定される出力制御信号</p>	Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z
P47		Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z
P50/ADTRG	 <p>TRGE : A/Dトリガ入力制御信号</p>	Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z
			ADTRG 入力に選択されているときは、端子を High または Low に固定してください。	

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P51	<p>RD</p> <p>PDR51</p> <p>PCR51</p>	Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z
P52/TMBI P53/TRIG	<p>RD</p> <p>PDR5n</p> <p>PMR5n</p> <p>PCR5n</p> <p>IN</p> <p>PMR5n n = 2, 3</p> <p>IN = TMBI, TRIG</p>	Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z
P60/RP0 ~ P67/RP7	<p>RD</p> <p>PDRS6n</p> <p>PCRS6n</p> <p>n = 0 ~ 7</p>	Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z
P70/PPG0 ~ P77/PPG7	<p>RD</p> <p>PPGn</p> <p>PDR7n</p> <p>PMR7n</p> <p>PCR7n</p> <p>n = 0 ~ 7</p>	Hi-Z	保持	サブアクティブ 時：動作 その他のモード： Hi-Z

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
COMP/PS2		Hi-Z	Hi-Z	Hi-Z
AUDIOFF VIDEOFF	<p>LPM: 低消費電力モード信号</p>	Hi-Z	Hi-Z	Hi-Z
CAPPWM DRMPWM		Low 出力	Low 出力	Low 出力
Vpulse	<p>【注】抵抗値は参考値です。</p>	Low 出力	Low 出力	Low 出力
RES		Low 入力	(High)	(High)
MD0				
NMI				NMI を使用しない場合は、Low または High レベルに固定してください。

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
C.Rotary/PS0 H.Ampsw/ PS1	<p>OUT = C.Rotary, H.Ampsw</p>	Hi-Z	Hi-Z	Hi-Z
EXCTL/PS4		Hi-Z	Hi-Z	Hi-Z
				EXCTL 入力に選択されているときは、端子を High または Low に固定してください。
CFG				

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
DFG DPG/PS3		Hi-Z		Hi-Z
CTL (+) CTL (-) CTLREF CTLBias CTLFB CTLAmp (o) CTLSMT (i)				
X2		発振	発振	発振
X1	<p>【注】抵抗値は参考値です。</p>	サブクロックを使用しない場合は、X1 = High レベル、X2 = オープンにしてください。		
OSC2		発振	発振	Low 出力
OSC1				

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ	サブスリープ
P07 ~ P00	ハイインピ ーダンス	ハイインピ ーダンス	ハイインピ ーダンス	ハイインピ ーダンス	ハイインピ ーダンス	ハイインピ ーダンス	ハイインピ ーダンス
P17 ~ P10	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P27 ~ P20	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P37 ~ P30	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P47 ~ P40	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P53 ~ P50	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P67 ~ P60	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P77 ~ P70	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持
P87 ~ P80	ハイインピ ーダンス	動作	保持	ハイインピ ーダンス	ハイインピ ーダンス	動作	保持

E. 使用上の注意

E.1 電源の立ち上げおよび立ち下げの順序

電源投入時の各電源端子の立ち上げ順序と、電源切断時の各電源端子の立ち下げ順序を図 E.1 に示します。各電源電圧が同時に上げ/下げできない場合は、この順序で電源操作を行ってください。

電源立ち上げ時は、マイコン部の電源 (V_{CC}) を規定の電圧まで上げた後、他のアナログ系電源を立ち上げてください。

また、電源立ち下げ時は、アナログ系電源を立ち下げてから、マイコン部の電源 (V_{CC}) を立ち下げてください。

立ち上げ、立ち下げのときには、端子の印加電圧が各電源電圧を越えないようにしてください。

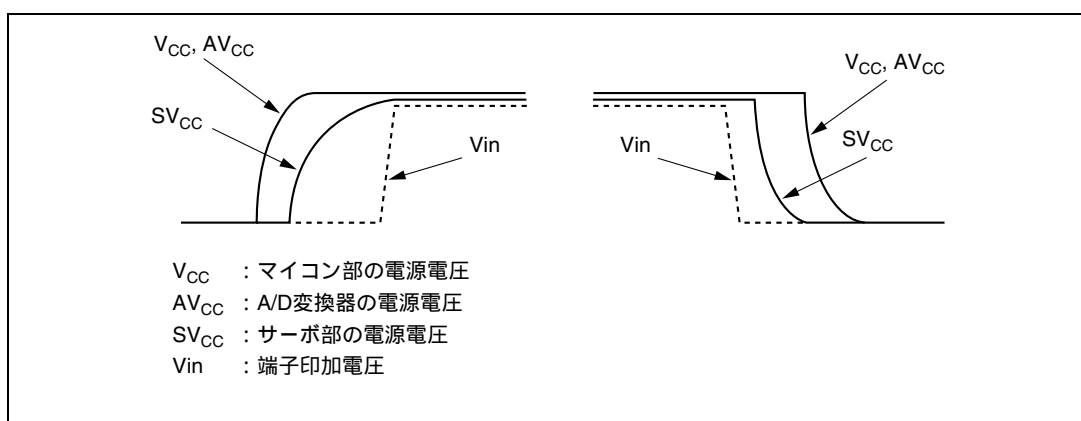


図 E.1 電源の立ち上げ・立ち下げの順序

低消費電力モード時のアナログ電源は、消費電流低域のために切断が可能です (スリープモードを除く)。低消費電力モードで、マイコン部の電源 (V_{CC}) をバグアップ電圧まで下げる場合は、図 E.2 に示す順序で行ってください。このときも、端子の印加電圧が各電源電圧を超えないように注意してください。

A/D 変換器用の電源 (AV_{CC}) は、マイコン部の電源 (V_{CC}) と同電位としてください。 AV_{CC} は、スリープモードを除く低消費電力モード時には、デバイス内部で OFF します。

このときの AV_{CC} の消費電流は AISTOP として定義されています。

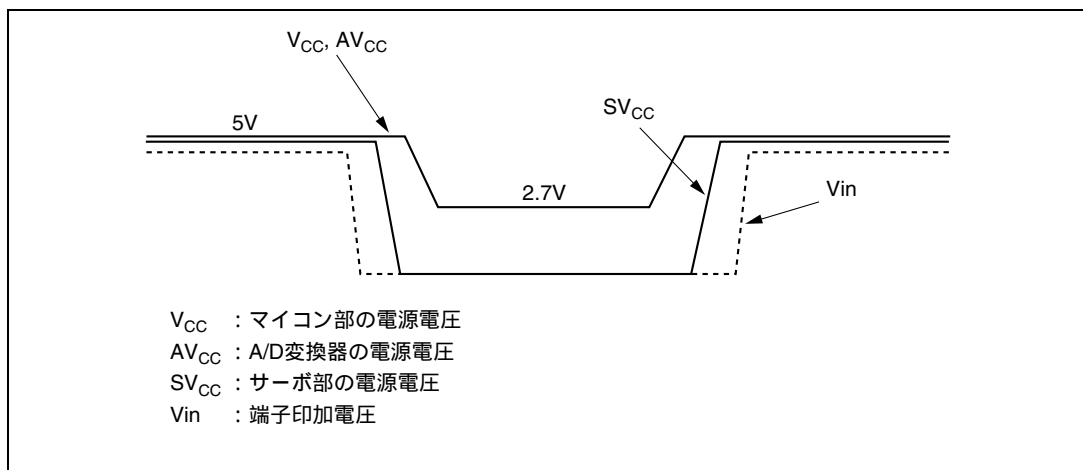


図 E.2 低消費電力モード時の電源の制御

E.2 4 ヘッド特殊再生用高速切り替え回路未使用時の端子処理

4 ヘッド特殊再生高速切り替え回路を使用しない場合、C.Rotary、H.AmpSW、COMP の各端子は、I/O ポートとして使用可能です。また、I/O ポートとして使用しない場合の端子処理を表 E.1 に示します。COMP 端子は入力端子、他の 2 本は出力端子です。

4 ヘッド特再高速切り替え端子を使用しない場合、関連端子は以下のように処理してください。

表 E.1 4 ヘッド特再端子未使用時の処理

端子番号	端子名	処理方法
103	C.Rotary	OPEN (出力端子)*
104	H.AMP SW	OPEN (出力端子)*
105	COMP	Vss

【注】 * 特再制御レジスタの値により出力が異なります。初期値のまま使用する場合は、Low 出力となります。

E.3 外付回路例

サーボ部、同期信号検出回路の外付回路例を図 E.3、図 E.4 に示します。

(1) サーボ部

DRMPWM 出力と CAPPWM 出力端子の外付回路例を示します。

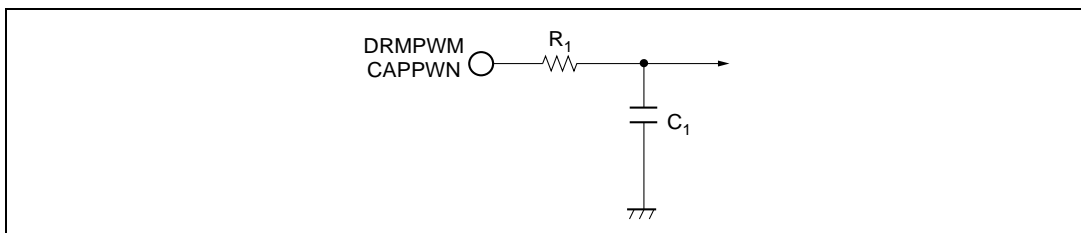


図 E.3 サーボ部の外付回路例

(2) 同期信号検出回路部

同期信号検出回路部の外部回路例を図 E.4 に示します。

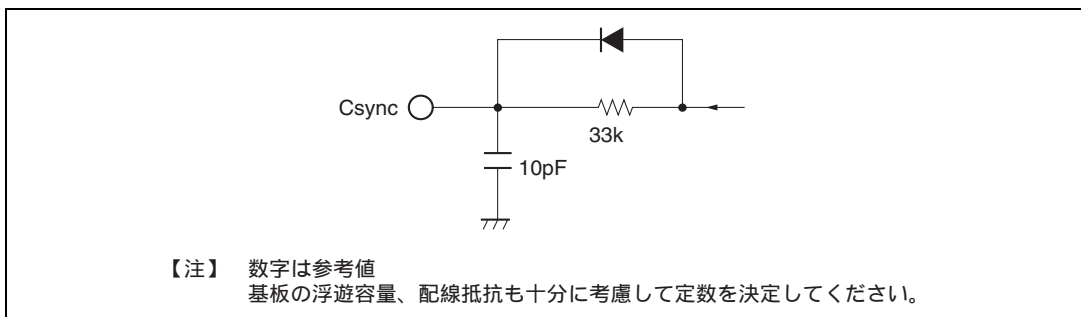


図 E.4 同期信号検出回路部の外部回路例

F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

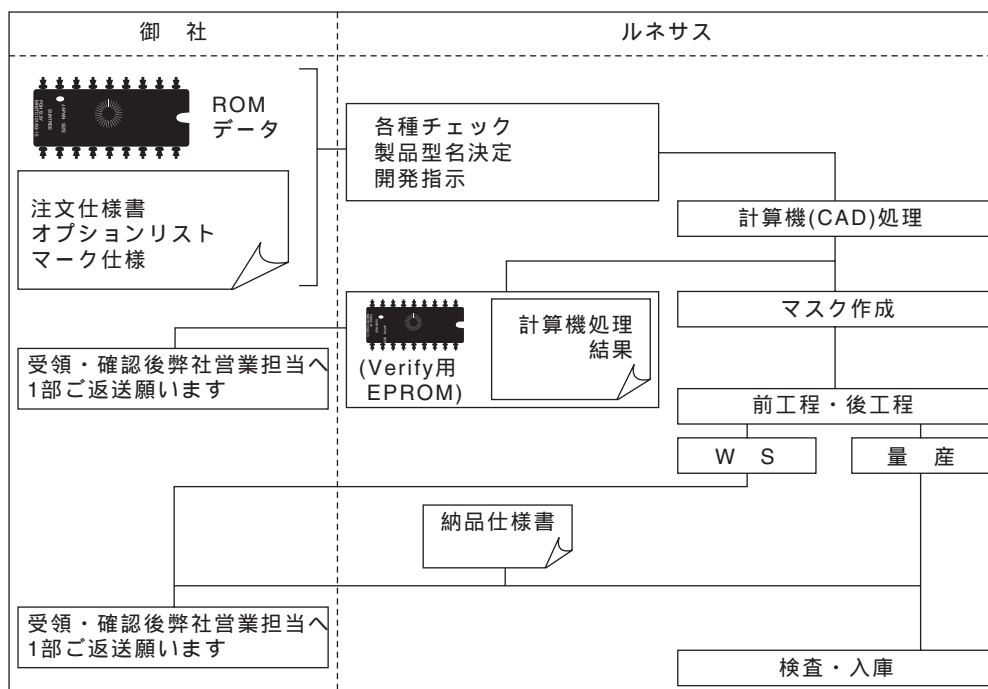


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM、または F-ZTAT™
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM、または F-ZTAT™マイコンで提出してください。なお、EPROM、または F-ZTAT™マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

G. 型名一覧

表 G.1 H8S/2194 グループ、H8S/2194C グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ (ルネサスパッケージコード)	
H8S/2194 グループ	H8S/2194	マスク ROM 版	HD6432194	HD6432194 (***) F	112 ピン FP(PRQP0112JA-A)
		F-ZTAT 版	HD64F2194	HD64F2194F	112 ピン FP(PRQP0112JA-A)
	H8S/2193	マスク ROM 版	HD6432193	HD6432193 (***) F	112 ピン FP(PRQP0112JA-A)
	H8S/2192	マスク ROM 版	HD6432192	HD6432192 (***) F	112 ピン FP(PRQP0112JA-A)
	H8S/2191	マスク ROM 版	HD6432191	HD6432191 (***) F	112 ピン FP(PRQP0112JA-A)
H8S/2194C グループ	H8S/2194C	マスク ROM 版	HD6432194C	HD6432194C (***) F	112 ピン FP(PRQP0112JA-A)
		F-ZTAT 版	HD64F2194C	HD64F2194CF	112 ピン FP(PRQP0112JA-A)
	H8S/2194B	マスク ROM 版	HD6432194B	HD6432194B (***) F	112 ピン FP(PRQP0112JA-A)
	H8S/2194A	マスク ROM 版	HD6432194A	HD6432194A (***) F	112 ピン FP(PRQP0112JA-A)

【記号説明】 (***) は ROM コードです。

H. 外形寸法図

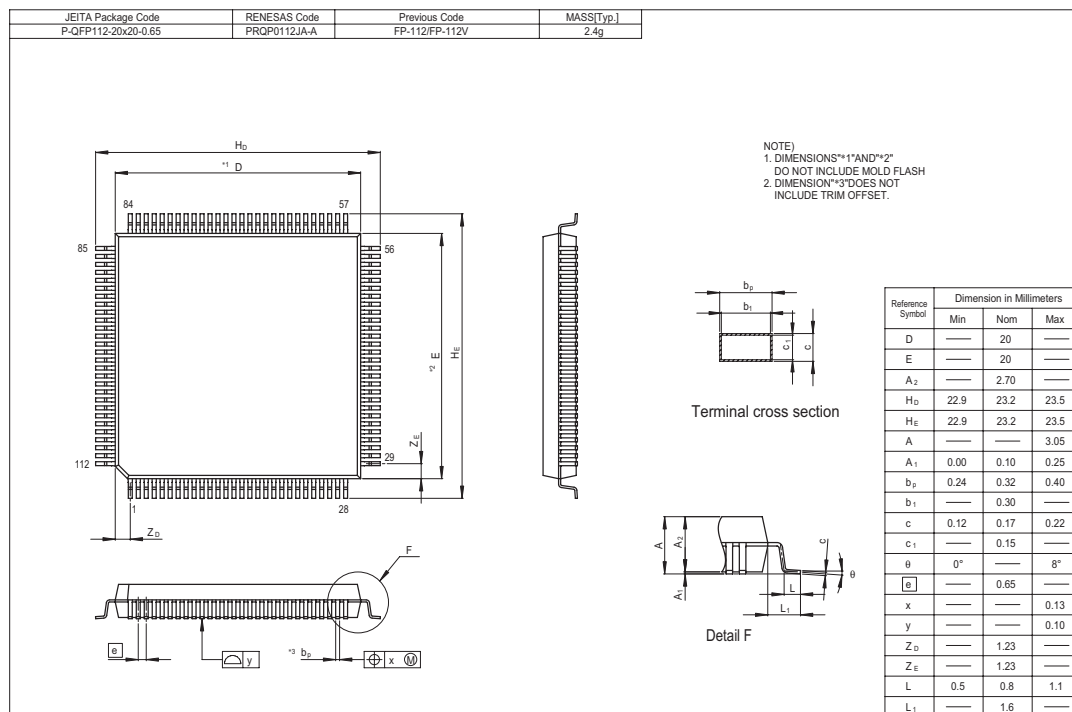


図 H.1 PRQP0112JA-A の外形寸法図

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2194グループ、H8S/2194Cグループ、H8S/2194F-ZTAT™、
H8S/2194C F-ZTAT™

発行年月日 1998年9月 第1版
2006年1月11日 Rev.3.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2194 グループ、H8S/2194C グループ、H8S/2194F-ZTAT™、H8S/2194C F-ZTAT™
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0302-0300