

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/36064 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8ファミリ／H8/300H Tiny シリーズ

H8/36064GF HD64F36064G

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】 NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続されていない場合、テスト用端子やノイズ軽減などの目的で使用している場合があります。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】 未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】 電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】 未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8/36064 グループは、高速 H8/300H CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8/300H CPU は、H8/300 CPU と互換性のある命令体系を備えています。

対象者 このマニュアルは、H8/36064 グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8/36064 グループのハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。なお、実行命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。
 - 目次にしたがって読んでください。
 - 本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
 - CPU機能の詳細を理解したいとき。
 - 別冊の「H8/300Hシリーズ プログラミングマニュアル」を参照してください。
 - レジスタ名がわかっていて、詳細機能を知りたいとき。
 - 本書の後ろに、「索引」があります。索引からページ番号を検索してください。
- 「第20章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

レジスタ表記

シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXXは基本レジスタ名称、Nはチャンネル番号)

- 凡例**
- | | |
|--------|---------------------------------------|
| ビット表記順 | : 左側が上位ビット、右側が下位ビットの順に表記しています。 |
| 数字の表記 | : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx |
| 信号の表記 | : ローアクティブの信号にはオーバーバーを付けます。xxxx |

ご注意

オンチップエミュレータ (E7、E8) を使用して H8/36064 のプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

1. $\overline{\text{NMI}}$ 端子はE7、E8で占有するため使用できません。
2. P85、P86、P87端子も使用できません。使用する場合はユーザ基板上に追加ハードウェアが必要となります。
3. アドレスH'7000～H'7FFF領域はE7、E8で使用するためユーザはこの領域は使用できません。
4. アドレスH'F780～H'FB7F領域は絶対にアクセスしないでください。
5. E7、E8を使用する場合、アドレスブレークをE7、E8が使用するか、ユーザに開放するか設定可能になっています。E7、E8がアドレスブレークを使用する場合、ユーザはアドレスブレークの制御レジスタをアクセスしないでください。
6. E7、E8使用時、 $\overline{\text{NMI}}$ 端子は入出力（出力時はオープンドレイン）、P85端子およびP87端子は入力、P86端子は出力になります。
7. ブートモードによるオンボードプログラミングモードでは、SCI3のチャンネル1（P21/RXD、P22/TXD）を使用します。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- H8/36064グループに関するユーザズマニュアル

資料名	資料番号
H8/36064 グループ ハードウェアマニュアル	本マニュアル
H8/300H シリーズ プログラミングマニュアル	RJJ09B0141

- 開発ツール関連ユーザズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッグユーザズマニュアル	ADJ-702-355
H8S、H8/300 シリーズ High-Performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-Performance Embedded Workshop3 ユーザズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ アプリケーションノート	RJJ05B0558
単一電源版 F-ZTAT マイコンオンボード書き込み	ADJ-502-069

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-2
1.3 ピン配置図	1-3
1.4 端子機能	1-4
2. CPU	2-1
2.1 アドレス空間とメモリマップ	2-2
2.2 レジスタ構成	2-3
2.2.1 汎用レジスタ	2-3
2.2.2 プログラムカウンタ (PC)	2-4
2.2.3 コンディションコードレジスタ (CCR)	2-5
2.3 データ形式	2-6
2.3.1 汎用レジスタのデータ形式	2-6
2.3.2 メモリ上のデータ形式	2-8
2.4 命令セット	2-9
2.4.1 命令の機能別一覧	2-9
2.4.2 命令の基本フォーマット	2-17
2.5 アドレッシングモードと実効アドレス	2-18
2.5.1 アドレッシングモード	2-18
2.5.2 実効アドレスの計算方法	2-20
2.6 基本バスサイクル	2-23
2.6.1 内蔵メモリ (RAM、ROM)	2-23
2.6.2 内蔵周辺モジュール	2-24
2.7 CPUの状態	2-25
2.8 使用上の注意事項	2-26
2.8.1 空きエリアへのデータアクセス	2-26
2.8.2 EEPMOV 命令	2-26
2.8.3 ビット操作命令	2-26
3. 例外処理	3-1
3.1 例外処理要因とベクタアドレス	3-1
3.2 レジスタの説明	3-3
3.2.1 割り込みエッジセレクトレジスタ 1 (IEGR1)	3-3

3.2.2	割り込みエッジセレクトレジスタ 2 (IEGR2)	3-4
3.2.3	割り込みイネーブルレジスタ 1 (IENR1)	3-5
3.2.4	割り込みイネーブルレジスタ 2 (IENR2)	3-6
3.2.5	割り込みフラグレジスタ 1 (IRR1)	3-7
3.2.6	割り込みフラグレジスタ 2 (IRR2)	3-8
3.2.7	ウェイクアップ割り込みフラグレジスタ (IWPR)	3-9
3.3	リセット例外処理	3-10
3.4	割り込み例外処理	3-10
3.4.1	外部割り込み要求	3-10
3.4.2	内部割り込み要求	3-11
3.4.3	割り込み処理シーケンス	3-12
3.4.4	割り込み応答時間	3-13
3.5	使用上の注意事項	3-14
3.5.1	リセット直後の割り込み要求	3-14
3.5.2	スタック領域のアクセス	3-14
3.5.3	ポートモードレジスタを書き換える際の注意事項	3-15
4.	アドレスブ레이크	4-1
4.1	レジスタの説明	4-2
4.1.1	アドレスブ레이크コントロールレジスタ (ABRKCR)	4-2
4.1.2	アドレスブ레이크ステータスレジスタ (ABRKSR)	4-3
4.1.3	ブ레이크アドレスレジスタ (BARH、BARL)	4-3
4.1.4	ブ레이크データレジスタ (BDRH、BDRL)	4-4
4.2	動作説明	4-4
5.	クロック発振器	5-1
5.1	システムクロック発振器	5-2
5.1.1	水晶発振子を接続する方法	5-2
5.1.2	セラミック発振子を接続する方法	5-3
5.1.3	外部クロックを入力する方法	5-3
5.2	プリスケアラ	5-3
5.2.1	プリスケアラ S	5-3
5.3	使用上の注意事項	5-4
5.3.1	発振子に関する注意事項	5-4
5.3.2	ボード設計上の注意事項	5-4
6.	低消費電力モード	6-1
6.1	レジスタの説明	6-2
6.1.1	システムコントロールレジスタ 1 (SYSCR1)	6-2
6.1.2	システムコントロールレジスタ 2 (SYSCR2)	6-3

6.1.3	モジュールスタンバイコントロールレジスタ 1 (MSTCR1)	6-4
6.1.4	モジュールスタンバイコントロールレジスタ 2 (MSTCR2)	6-4
6.2	モード間遷移とLSIの状態	6-5
6.2.1	スリープモード	6-6
6.2.2	スタンバイモード	6-6
6.2.3	サブスリープモード	6-7
6.3	アクティブモードの動作周波数	6-7
6.4	直接遷移	6-7
6.5	モジュールスタンバイ機能	6-7
7.	ROM	7-1
7.1	ブロック構成	7-2
7.2	レジスタの説明	7-3
7.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	7-3
7.2.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	7-4
7.2.3	ブロック指定レジスタ 1 (EBR1)	7-4
7.2.4	フラッシュメモリーネーブルレジスタ (FENR)	7-4
7.3	オンボードプログラミング	7-5
7.3.1	ブートモード	7-6
7.3.2	ユーザモードでの書き込み/消去	7-8
7.4	書き込み/消去プログラム	7-9
7.4.1	プログラム/プログラムベリファイ	7-9
7.4.2	イレース/イレースベリファイ	7-12
7.4.3	フラッシュメモリの書き込み/消去時の割り込み	7-12
7.5	書き込み/消去プロテクト	7-14
7.5.1	ハードウェアプロテクト	7-14
7.5.2	ソフトウェアプロテクト	7-14
7.5.3	エラープロテクト	7-14
7.6	ライターモード	7-14
8.	RAM	8-1
9.	I/Oポート	9-1
9.1	ポート1	9-2
9.1.1	ポートモードレジスタ 1 (PMR1)	9-2
9.1.2	ポートコントロールレジスタ 1 (PCR1)	9-3
9.1.3	ポートデータレジスタ 1 (PDR1)	9-3
9.1.4	ポートプルアップコントロールレジスタ 1 (PUCR1)	9-4
9.1.5	端子機能	9-4
9.2	ポート2	9-6

9.2.1	ポートコントロールレジスタ 2 (PCR2)	9-6
9.2.2	ポートデータレジスタ 2 (PDR2)	9-7
9.2.3	ポートモードレジスタ 3 (PMR3)	9-7
9.2.4	端子機能	9-7
9.3	ポート3	9-9
9.3.1	ポートコントロールレジスタ 3 (PCR3)	9-9
9.3.2	ポートデータレジスタ 3 (PDR3)	9-10
9.3.3	端子機能	9-10
9.4	ポート5	9-12
9.4.1	ポートモードレジスタ 5 (PMR5)	9-12
9.4.2	ポートコントロールレジスタ 5 (PCR5)	9-13
9.4.3	ポートデータレジスタ 5 (PDR5)	9-13
9.4.4	ポートプルアップコントロールレジスタ 5 (PUCR5)	9-14
9.4.5	端子機能	9-14
9.5	ポート6	9-16
9.5.1	ポートコントロールレジスタ 6 (PCR6)	9-16
9.5.2	ポートデータレジスタ 6 (PDR6)	9-17
9.5.3	端子機能	9-17
9.6	ポート7	9-20
9.6.1	ポートコントロールレジスタ 7 (PCR7)	9-20
9.6.2	ポートデータレジスタ 7 (PDR7)	9-21
9.6.3	端子機能	9-21
9.7	ポート8	9-23
9.7.1	ポートコントロールレジスタ 8 (PCR8)	9-23
9.7.2	ポートデータレジスタ 8 (PDR8)	9-24
9.7.3	端子機能	9-24
9.8	ポートB	9-25
9.8.1	ポートデータレジスタ B (PDRB)	9-25
10.	タイマ B1	10-1
10.1	特長	10-1
10.2	入出力端子	10-2
10.3	レジスタの説明	10-2
10.3.1	タイマモードレジスタ B1 (TMB1)	10-2
10.3.2	タイマカウンタ B1 (TCB1)	10-3
10.3.3	タイマロードレジスタ B1 (TLB1)	10-3
10.4	動作説明	10-3
10.4.1	インターバルタイマの動作	10-3
10.4.2	オートリロードタイマの動作	10-3
10.4.3	イベントカウンタ	10-4

10.5	タイマB1の動作モード	10-4
11.	タイマV	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-3
11.3.1	タイマカウンタ V (TCNTV)	11-3
11.3.2	タイムコンスタントレジスタ A、B (TCORA、TCORB)	11-3
11.3.3	タイマコントロールレジスタ V0 (TCRV0)	11-4
11.3.4	タイマコントロール/ステータスレジスタ V (TCSRv)	11-5
11.3.5	タイマコントロールレジスタ V1 (TCRV1)	11-6
11.4	動作説明	11-6
11.4.1	タイマVの動作	11-6
11.5	タイマVの使用例	11-10
11.5.1	任意のデューティパルス出力	11-10
11.5.2	TRGV 入力から任意の遅延時間と任意のパルス幅のパルス出力	11-11
11.6	使用上の注意事項	11-12
12.	タイマZ	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-6
12.3.1	タイマスタートレジスタ (TSTR)	12-8
12.3.2	タイマモードレジスタ (TMDR)	12-8
12.3.3	タイマPWM モードレジスタ (TPMR)	12-9
12.3.4	タイマファンクションコントロールレジスタ (TFCR)	12-10
12.3.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	12-11
12.3.6	タイマアウトプットコントロールレジスタ (TOCR)	12-13
12.3.7	タイマカウンタ (TCNT)	12-14
12.3.8	ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)	12-14
12.3.9	タイマコントロールレジスタ (TCR)	12-15
12.3.10	タイマI/O コントロールレジスタ (TIORA、TIORC)	12-16
12.3.11	タイマステータスレジスタ (TSR)	12-18
12.3.12	タイマインタラプトイネーブルレジスタ (TIER)	12-19
12.3.13	PWM モードアウトプットレベルコントロールレジスタ (POCR)	12-20
12.3.14	CPU とのインタフェース	12-20
12.4	動作説明	12-22
12.4.1	カウンタの動作	12-22
12.4.2	コンペアマッチによる波形出力機能	12-25
12.4.3	インプットキャプチャ機能	12-28

12.4.4	同期動作	12-30
12.4.5	PWM モード	12-31
12.4.6	リセット同期 PWM モード	12-37
12.4.7	相補 PWM モード	12-41
12.4.8	バッファ動作	12-49
12.4.9	タイマ Z 出力タイミング	12-56
12.5	割り込み要求	12-59
12.5.1	ステータスフラグのセットタイミング	12-59
12.5.2	ステータスフラグのクリアタイミング	12-61
12.6	使用上の注意事項	12-61
13.	ウォッチドッグタイマ	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-1
13.2.1	タイマコントロール/ステータスレジスタ WD (TCSRWD)	13-2
13.2.2	タイマカウンタ WD (TCWD)	13-3
13.2.3	タイマモードレジスタ WD (TMWD)	13-3
13.3	動作説明	13-4
14.	14 ビット PWM	14-1
14.1	特長	14-1
14.2	入出力端子	14-2
14.3	レジスタの説明	14-2
14.3.1	PWM コントロールレジスタ (PWCR)	14-2
14.3.2	PWM データレジスタ U、L (PWDRU、PWDRL)	14-3
14.4	動作説明	14-3
15.	シリアルコミュニケーションインタフェース 3 (SCI3)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	レシーブシフトレジスタ (RSR)	15-4
15.3.2	レシーブデータレジスタ (RDR)	15-4
15.3.3	トランスミットシフトレジスタ (TSR)	15-4
15.3.4	トランスミットデータレジスタ (TDR)	15-4
15.3.5	シリアルモードレジスタ (SMR)	15-5
15.3.6	シリアルコントロールレジスタ 3 (SCR3)	15-6
15.3.7	シリアルステータスレジスタ (SSR)	15-7
15.3.8	ビットレートレジスタ (BRR)	15-8
15.4	調歩同期式モードの動作説明	15-13

15.4.1	クロック	15-13
15.4.2	SCI3 の初期化.....	15-14
15.4.3	データ送信.....	15-15
15.4.4	データ受信.....	15-17
15.5	クロック同期式モードの動作説明.....	15-20
15.5.1	クロック	15-20
15.5.2	SCI3 の初期化.....	15-20
15.5.3	データ送信.....	15-21
15.5.4	データ受信.....	15-23
15.5.5	データ送受信同時動作.....	15-25
15.6	マルチプロセッサ通信機能.....	15-26
15.6.1	マルチプロセッサデータ送信.....	15-27
15.6.2	マルチプロセッサデータ受信.....	15-28
15.7	割り込み要求.....	15-30
15.8	使用上の注意事項.....	15-31
15.8.1	ブレークの検出と処理について.....	15-31
15.8.2	マーク状態とブレークの送付.....	15-31
15.8.3	受信エラーフラグと送信動作について (クロック同期式モードのみ)	15-31
15.8.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	15-31
16.	I ² C バスインタフェース 2 (IIC2)	16-1
16.1	特長.....	16-1
16.2	入出力端子.....	16-3
16.3	レジスタの説明.....	16-3
16.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	16-4
16.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	16-5
16.3.3	I ² C バスモードレジスタ (ICMR)	16-7
16.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	16-8
16.3.5	I ² C バスステータスレジスタ (ICSR)	16-10
16.3.6	スレーブアドレスレジスタ (SAR)	16-12
16.3.7	I ² C バス送信データレジスタ (ICDRT)	16-12
16.3.8	I ² C バス受信データレジスタ (ICDRR)	16-12
16.3.9	I ² C バスシフトレジスタ (ICDRS)	16-12
16.4	動作説明.....	16-13
16.4.1	I ² C バスフォーマット	16-13
16.4.2	マスタ送信動作.....	16-14
16.4.3	マスタ受信動作.....	16-16
16.4.4	スレーブ送信動作.....	16-18
16.4.5	スレーブ受信動作.....	16-20
16.4.6	クロック同期式シリアルフォーマット	16-22

16.4.7	ノイズ除去回路	16-24
16.4.8	使用例	16-25
16.5	割り込み要求	16-29
16.6	ビット同期回路	16-30
16.7	使用上の注意事項	16-31
16.7.1	停止条件および開始条件（再送）の出力について	16-31
16.7.2	I ² C バスモードレジスタ（ICMR）の WAIT 設定について	16-31
17.	A/D 変換器	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-3
17.3.1	A/D データレジスタ A~D（ADDRA~D）	17-3
17.3.2	A/D コントロール/ステータスレジスタ（ADCSR）	17-4
17.3.3	A/D コントロールレジスタ（ADCR）	17-5
17.4	動作説明	17-6
17.4.1	単一モード	17-6
17.4.2	スキャンモード	17-6
17.4.3	入力サンプリングと A/D 変換時間	17-6
17.4.4	外部トリガ入力タイミング	17-8
17.5	A/D変換精度の定義	17-8
17.6	使用上の注意事項	17-10
17.6.1	許容信号源インピーダンスについて	17-10
17.6.2	絶対精度への影響について	17-10
18.	パワーオンリセット&低電圧検出回路	18-1
18.1	特長	18-1
18.2	レジスタの説明	18-3
18.2.1	低電圧検出コントロールレジスタ（LVDCR）	18-3
18.2.2	低電圧検出ステータスレジスタ（LVDSR）	18-4
18.3	動作説明	18-5
18.3.1	パワーオンリセット回路	18-5
18.3.2	低電圧検出回路	18-6
19.	電源回路	19-1
19.1	内部電源降圧回路を使用する場合	19-1
19.2	内部電源降圧回路を使用しない場合	19-2
20.	レジスタ一覧	20-1
20.1	レジスタアドレス一覧（アドレス順）	20-2

20.2	レジスタビット一覧.....	20-7
20.3	各動作モードにおけるレジスタの状態.....	20-11
21.	電气的特性.....	21-1
21.1	絶対最大定格.....	21-1
21.2	電气的特性.....	21-2
21.2.1	電源電圧と動作範囲.....	21-2
21.2.2	DC 特性.....	21-4
21.2.3	AC 特性.....	21-10
21.2.4	A/D 変換特性.....	21-12
21.2.5	ウォッチドッグタイマ特性.....	21-13
21.2.6	フラッシュメモリ特性.....	21-14
21.2.7	電源電圧検出回路特性.....	21-15
21.2.8	パワーオンリセット特性.....	21-16
21.3	タイミング図.....	21-16
21.4	出力負荷条件.....	21-18
付録	付録-1
A.	命令.....	付録-1
A.1	命令一覧.....	付録-1
A.2	オペレーションコードマップ.....	付録-16
A.3	命令実行ステート数.....	付録-19
A.4	命令とアドレッシングモードの組み合わせ.....	付録-28
B.	I/Oポート.....	付録-29
B.1	I/Oポートブロック図.....	付録-29
B.2	各処理状態におけるポートの状態.....	付録-41
C.	型名一覧.....	付録-42
D.	外形寸法図.....	付録-43

図目次

1. 概要	
図1.1 内部ブロック図	1-2
図1.2 ピン配置図 (FP-64A、FP-64E)	1-3
2. CPU	
図2.1 メモリマップ	2-2
図2.2 CPU内部レジスタ構成	2-3
図2.3 汎用レジスタの使用法	2-4
図2.4 スタックポインタとスタック領域の関係	2-4
図2.5 汎用レジスタのデータ形式 (1)	2-6
図2.5 汎用レジスタのデータ形式 (2)	2-7
図2.6 メモリ上でのデータ形式	2-8
図2.7 命令フォーマット	2-17
図2.8 メモリ間接による分岐アドレスの指定	2-20
図2.9 内蔵メモリアクセスサイクル	2-23
図2.10 内蔵周辺モジュールアクセスサイクル (3ステートアクセスの場合)	2-24
図2.11 CPUの状態の分類	2-25
図2.12 状態遷移図	2-25
図2.13 同一アドレスに割付けられた2つのレジスタを持つタイマの構成例	2-27
3. 例外処理	
図3.1 リセット例外処理シーケンス	3-11
図3.2 割り込み例外処理終了後のスタック状態	3-13
図3.3 割り込み要求シーケンス	3-14
図3.4 ポートモードレジスタ操作と割り込み要求フラグのクリア手順	3-15
4. アドレスブレーク	
図4.1 アドレスブレークブロック図	4-1
図4.2 アドレスブレーク割り込み動作例 (1)	4-4
図4.2 アドレスブレーク割り込み動作例 (2)	4-5
5. クロック発振器	
図5.1 クロック発生回路のブロック図	5-1
図5.2 システムクロック発振器のブロック図	5-2
図5.3 水晶発振子の接続例	5-2
図5.4 水晶発振子の等価回路	5-2
図5.5 セラミック発振子の接続例	5-3
図5.6 外部クロックを入力する場合の接続例	5-3
図5.7 発振回路のボード設計に関する注意事項	5-4
6. 低消費電力モード	
図6.1 モード遷移図	6-5
7. ROM	
図7.1 フラッシュメモリのブロック構成	7-2
図7.2 ユーザモードにおける書き込み/消去例	7-8

図7.3	プログラム/プログラムベリファイフロー	7-10
図7.4	イレース/イレースベリファイフロー	7-13
9.	I/Oポート	
図9.1	ポート1の端子構成	9-2
図9.2	ポート2の端子構成	9-6
図9.3	ポート3の端子構成	9-9
図9.4	ポート5の端子構成	9-12
図9.5	ポート6の端子構成	9-16
図9.6	ポート7の端子構成	9-20
図9.7	ポート8の端子構成	9-23
図9.8	ポートBの端子構成	9-25
10.	タイマB1	
図10.1	タイマB1ブロック図	10-1
11.	タイマV	
図11.1	タイマVのブロック図	11-2
図11.2	内部クロック動作時のカウントタイミング	11-7
図11.3	外部クロック動作時のカウントタイミング	11-7
図11.4	OVFのセットタイミング	11-8
図11.5	CMFAとCMFBのセットタイミング	11-8
図11.6	TMOV出力タイミング	11-8
図11.7	コンペアマッチによるクリアタイミング	11-9
図11.8	TMRIV入力によるクリアタイミング	11-9
図11.9	パルス出力例	11-10
図11.10	TRGV入力に周期したパルス出力例	11-11
図11.11	TCNTVのライトとクリアの競合	11-12
図11.12	TCORAへのライトとコンペアマッチの競合	11-13
図11.13	内部クロックの切り替えとTCNTV動作	11-13
12.	タイマZ	
図12.1	タイマZのブロック図	12-3
図12.2	タイマZ (チャンネル0) のブロック図	12-4
図12.3	タイマZ (チャンネル1) のブロック図	12-5
図12.4	リセット同期PWMモードおよび相補PWMモードの出力例	12-11
図12.5	16ビットレジスタのアクセス動作 (CPU \leftrightarrow TCNT (16ビット))	12-20
図12.6	8ビットレジスタのアクセス動作 (CPU \leftrightarrow TSTR (8ビット))	12-21
図12.7	カウンタ動作の設定手順例	12-22
図12.8	フリーランニングカウンタの動作	12-23
図12.9	周期カウンタの動作	12-24
図12.10	内部クロック動作時のカウントタイミング	12-24
図12.11	外部クロック動作時のカウントタイミング (両エッジ検出の場合)	12-25
図12.12	コンペアマッチによる波形出力動作例	12-25
図12.13	0出力、1出力の動作例	12-26
図12.14	トグル出力の動作例	12-27
図12.15	アウトプットコンペア出力タイミング	12-27
図12.16	インプットキャプチャ動作の設定手順例	12-28
図12.17	インプットキャプチャ動作例	12-29
図12.18	インプットキャプチャ信号タイミング	12-29

図12.19	同期モードの設定手順例	12-30
図12.20	同期動作例	12-31
図12.21	PWMモードの設定手順例	12-32
図12.22	PWMモードの動作例 (1)	12-33
図12.23	PWMモードの動作例 (2)	12-34
図12.24	PWMモードの動作例 (3)	12-35
図12.25	PWMモードの動作例 (4)	12-36
図12.26	リセットPWMモードの設定手順例	12-38
図12.27	リセット同期PWMモードの動作例 (OLS0=OLS1=1の場合)	12-39
図12.28	リセット同期PWMモードの動作例 (OLS0=OLS1=0の場合)	12-40
図12.29	相補PWMモードの設定手順例	12-42
図12.30	相補PWMモードの解除手順	12-43
図12.31	相補PWMモードの動作例 (1)	12-44
図12.32	(1) 相補PWMモードの動作例 (TPSC2=TPSC1=TPSC0=0) (2)	12-45
図12.32	(2) 相補PWMモードの動作例 (TPSC2=TPSC1=TPSC0=0以外) (3)	12-46
図12.33	オーバシュート時のタイミング	12-47
図12.34	アンダシュート時のタイミング	12-47
図12.35	コンペアバッファ動作	12-50
図12.36	インプットキャプチャバッファ動作	12-50
図12.37	バッファ動作の設定手順例	12-51
図12.38	バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)	12-52
図12.39	バッファ動作時のコンペアマッチタイミング例	12-52
図12.40	バッファ動作例 (2) (インプットキャプチャレジスタに対するバッファ動作)	12-53
図12.41	バッファ動作時のインプットキャプチャタイミング	12-54
図12.42	バッファ動作例 (3) (相補PWMモード時のバッファ動作CMD1=CMD0=1)	12-55
図12.43	バッファ動作例 (4) (相補PWMモード時のバッファ動作CMD1=CMD0=1)	12-56
図12.44	TOERへのライトによるタイマZ出力禁止タイミングの例	12-57
図12.45	外部トリガによるタイマZ出力禁止タイミングの例	12-57
図12.46	TFCRへのライトによるタイマZ出力レベル反転タイミングの例	12-58
図12.47	POCRへのライトによるタイマZ出力レベル反転タイミングの例	12-58
図12.48	コンペアマッチ時のIMFフラグのセットタイミング	12-59
図12.49	インプットキャプチャ時のIMFフラグのセットタイミング	12-60
図12.50	OVFフラグのセットタイミング	12-60
図12.51	ステータスフラグのクリアタイミング	12-61
図12.52	TCNTのライトとクリアの競合	12-61
図12.53	TCNTのライトとカウンタアップの競合	12-62
図12.54	GRのライトとコンペアマッチの競合	12-62
図12.55	TCNTのライトとオーバフローの競合	12-63
図12.56	GRのリードとインプットキャプチャの競合	12-64
図12.57	インプットキャプチャによるカウントクリアとカウンタアップの競合	12-64
図12.58	GRのライトとインプットキャプチャの競合	12-65
図12.59	コンペアマッチとTOCRへのビット操作命令が競合した場合の例	12-66

13. ウォッチドッグタイマ	
図13.1 ウォッチドッグタイマのブロック図	13-1
図13.2 ウォッチドッグタイマの動作例	13-4
14. 14ビットPWM	
図14.1 14ビットPWMのブロック図	14-1
図14.2 14ビットPWM出力波形	14-3
15. シリアルコミュニケーションインタフェース3 (SCI3)	
図15.1 SCI3のブロック図	15-3
図15.2 調歩同期式通信のデータフォーマット	15-13
図15.3 出力クロックと通信データの位相関係 (調歩同期式モード) (8ビットデータ/パリティあり/2ストップビットの例)	15-13
図15.4 SCI3を初期化するときのフローチャートの例	15-14
図15.5 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-15
図15.6 データ送信のフローチャートの例 (調歩同期式モード)	15-16
図15.7 調歩同期式モードの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-17
図15.8 データ受信のフローチャートの例 (調歩同期式モード)	15-19
図15.9 クロック同期式通信のデータフォーマット	15-20
図15.10 クロック同期式モードの送信時の動作例	15-21
図15.11 データ送信のフローチャートの例 (クロック同期式モード)	15-22
図15.12 クロック同期式モードの受信時の動作例	15-23
図15.13 データ受信フローチャートの例 (クロック同期式モード)	15-24
図15.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)	15-25
図15.15 マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局AへのデータH'AAの送信の例)	15-26
図15.16 マルチプロセッサデータ送信のフローチャートの例	15-27
図15.17 マルチプロセッサデータ受信のフローチャートの例	15-28
図15.18 マルチプロセッサフォーマットの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	15-29
図15.19 調歩同期式モードの受信データサンプリングタイミング	15-32
16. I ² Cバスインタフェース2 (IIC2)	
図16.1 I ² Cバスインタフェース2のブロック図	16-2
図16.2 入出力端子の外部回路接続例	16-3
図16.3 I ² Cバスフォーマット	16-13
図16.4 I ² Cバスタイミング	16-13
図16.5 マスタ送信モード動作タイミング (1)	16-15
図16.6 マスタ送信モード動作タイミング (2)	16-15
図16.7 マスタ受信モード動作タイミング (1)	16-17
図16.8 マスタ受信モード動作タイミング (2)	16-17
図16.9 スレーブ送信モード動作タイミング (1)	16-19
図16.10 スレーブ送信モード動作タイミング (2)	16-20
図16.11 スレーブ受信モード動作タイミング (1)	16-21
図16.12 スレーブ受信モード動作タイミング (2)	16-21
図16.13 クロック同期式シリアル転送フォーマット	16-22
図16.14 送信モード動作タイミング	16-23

図16.15	受信モード動作タイミング	16-24
図16.16	ノイズ除去回路のブロック図	16-24
図16.17	マスタ送信モードのフローチャート例	16-25
図16.18	マスタ受信モードのフローチャート例	16-26
図16.19	スレーブ送信モードフローチャート例	16-27
図16.20	スレーブ受信モードフローチャート例	16-28
図16.21	ビット同期回路のタイミング	16-30
17. A/D 変換器		
図17.1	A/D変換器のブロック図	17-2
図17.2	A/D変換タイミング	17-7
図17.3	外部トリガ入力タイミング	17-8
図17.4	A/D変換精度の定義 (1)	17-9
図17.5	A/D変換精度の定義 (2)	17-9
図17.6	アナログ入力回路の例	17-10
18. パワーオンリセット&低電圧検出回路		
図18.1	パワーオンリセット回路および低電圧検出回路ブロック図	18-2
図18.2	パワーオンリセット回路動作タイミング	18-5
図18.3	低電圧検出しリセット回路動作タイミング	18-6
図18.4	低電圧検出割り込み回路動作タイミング	18-7
図18.5	低電圧検出回路の動作／解除の設定タイミング	18-8
19. 電源回路		
図19.1	内部電源降圧回路を使用する場合の電源接続図	19-1
図19.2	内部電源降圧回路を使用しない場合の電源接続図	19-2
21. 電気的特性		
図21.1	システムクロック入力タイミング	21-16
図21.2	RES端子Lowレベル幅タイミング	21-16
図21.3	入力タイミング	21-17
図21.4	I ² Cバスインタフェース入出力タイミング	21-17
図21.5	SCK3入力クロックタイミング	21-17
図21.6	SCIクロック同期式モード入出力タイミング	21-18
図21.7	出力負荷回路	21-18
付録		
図B.1	ポート1ブロック図 (P17)	付録-29
図B.2	ポート1ブロック図 (P16、P14)	付録-30
図B.3	ポート1ブロック図 (P15)	付録-30
図B.4	ポート1ブロック図 (P12、P10)	付録-31
図B.5	ポート1ブロック図 (P11)	付録-31
図B.6	ポート2ブロック図 (P24、P23)	付録-32
図B.7	ポート2ブロック図 (P22)	付録-32
図B.8	ポート2ブロック図 (P21)	付録-33
図B.9	ポート2ブロック図 (P20)	付録-33
図B.10	ポート3ブロック図 (P37、P36、P35、P34、P33、P32、P31、P30)	付録-34
図B.11	ポート5ブロック図 (P57、P56)	付録-34
図B.12	ポート5ブロック図 (P55)	付録-35
図B.13	ポート5ブロック図 (P54、P53、P52、P51、P50)	付録-35
図B.14	ポート6ブロック図 (P67、P66、P65、P64、P63、P62、P61、P60)	付録-36

図B.15	ポート7ブロック図 (P76)	付録-36
図B.16	ポート7ブロック図 (P75)	付録-37
図B.17	ポート7ブロック図 (P74)	付録-37
図B.18	ポート7ブロック図 (P72)	付録-38
図B.19	ポート7ブロック図 (P71)	付録-38
図B.20	ポート7ブロック図 (P70)	付録-39
図B.21	ポート8ブロック図 (P87、P86、P85)	付録-39
図B.22	ポートBブロック図 (PB7、PB6、PB5、PB4、PB3、PB2、PB1、PB0)	付録-40
図D.1	FP-64A外形寸法図	付録-43
図D.2	FP-64E外形寸法図	付録-44

表目次

1. 概要	
表1.1 端子機能.....	1-4
2. CPU	
表2.1 オペレーションの記号.....	2-9
表2.2 データ転送命令.....	2-10
表2.3 算術演算命令.....	2-10
表2.4 論理演算命令.....	2-12
表2.5 シフト命令.....	2-12
表2.6 ビット操作命令.....	2-13
表2.7 分岐命令.....	2-15
表2.8 システム制御命令.....	2-16
表2.9 ブロック転送命令.....	2-16
表2.10 アドレッシングモード一覧表.....	2-18
表2.11 絶対アドレスのアクセス範囲.....	2-19
表2.12 実効アドレスの計算方法 (1).....	2-21
表2.12 実効アドレスの計算方法 (2).....	2-22
3. 例外処理	
表3.1 例外処理要因とベクタアドレス.....	3-2
表3.2 割り込み要求待ちステート数.....	3-13
4. アドレスブレーク	
表4.1 使用するデータバス.....	4-3
5. クロック発振器	
表5.1 水晶発振子のパラメータ.....	5-2
6. 低消費電力モード	
表6.1 動作周波数と待機時間.....	6-3
表6.2 SLEEP命令実行後の状態と割り込みによる復帰先.....	6-5
表6.3 各動作モードでのLSIの状態.....	6-6
7. ROM	
表7.1 プログラミングモード選択方法.....	7-5
表7.2 ブートモードの動作.....	7-7
表7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数.....	7-7
表7.4 再書き込みデータ演算表.....	7-11
表7.5 追加書き込みデータ演算表.....	7-11
表7.6 書き込み時間.....	7-11
10. タイマ B1	
表10.1 端子構成.....	10-2
表10.2 タイマB1の動作モード.....	10-4
11. タイマ V	
表11.1 端子構成.....	11-3

表11.2	TCNTVに入力するクロックとカウント条件	11-4
12.	タイマZ	
表12.1	タイマZの機能一覧	12-2
表12.2	端子構成	12-6
表12.3	FTIOB0端子の初期出力レベル	12-32
表12.4	リセット同期PWMモード時の出力端子	12-37
表12.5	リセット同期PWMモード時のレジスタ設定	12-37
表12.6	相補PWMモード時の出力端子	12-41
表12.7	相補PWMモード時のレジスタ設定	12-41
表12.8	バッファ動作のレジスタの組み合わせ	12-49
14.	14ビットPWM	
表14.1	端子構成	14-2
15.	シリアルコミュニケーションインタフェース3 (SCI3)	
表15.1	SCI3のチャネル構成	15-2
表15.2	端子構成	15-3
表15.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕	15-9
表15.4	各周波数における最大ビットレート〔調歩同期式モード〕	15-11
表15.5	ビットレートに対するBRRの設定例〔クロック同期式モード〕	15-12
表15.6	SSRのステータスフラグの状態と受信データの転送	15-18
表15.7	SCI3の割り込み要求	15-30
16.	I ² Cバスインタフェース2 (IIC2)	
表16.1	端子構成	16-3
表16.2	転送レート	16-5
表16.3	割り込み要求一覧	16-29
表16.4	SCLをモニタする時間	16-30
17.	A/D変換器	
表17.1	端子構成	17-3
表17.2	アナログ入力チャネルとA/Dデータレジスタの対応	17-4
表17.3	A/D変換時間 (単一モード)	17-7
18.	パワーオンリセット&低電圧検出回路	
表18.1	LVDCRの設定と選択機能	18-4
21.	電気的特性	
表21.1	絶対最大定格	21-1
表21.2	DC特性 (1)	21-4
表21.2	DC特性 (2)	21-9
表21.3	AC特性	21-10
表21.4	I ² Cバスインタフェースタイミング	21-11
表21.5	シリアルコミュニケーションインタフェース (SCI) タイミング	21-12
表21.6	A/D変換器特性	21-12
表21.7	ウォッチドッグタイマ特性	21-13
表21.8	フラッシュメモリ特性	21-14
表21.9	電源電圧検出回路特性	21-15
表21.10	パワーオンリセット特性	21-16
付録		
表A.1	命令セット一覧	付録-3

表A.2	オペレーションコードマップ (1)	付録-16
表A.2	オペレーションコードマップ (2)	付録-17
表A.2	オペレーションコードマップ (3)	付録-18
表A.3	実行状態 (サイクル) に要するステート数	付録-19
表A.4	命令の実行状態 (サイクル数)	付録-20
表A.5	命令とアドレッシングモードの組み合わせ	付録-28

1. 概要

1.1 特長

- 16ビット高速H8/300H CPU
H8/300 CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：62種類
- 豊富な周辺機能
タイマB1（8ビットタイマ）
タイマV（8ビットタイマ）
タイマZ（16ビットタイマ）
14ビットPWM
ウォッチドッグタイマ
SCI（調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース）×2チャンネル
I²Cバスインタフェース（フィリップス社が提唱するI²Cバスインタフェース方式に準拠）
10ビットA/D変換器

- 内蔵メモリ

製品分類		製品型名	ROM	RAM	備考
		パワーオンリセット& 低電圧検出回路内蔵版			
フラッシュメモリ版（F-ZTAT™版）	H8/36064GF	HD64F36064G	32K バイト	2K バイト	開発中

【注】 F-ZTAT™は（株）ルネサス テクノロジーの商標です。

- 汎用入出力ポート
入出力ポート：45本。このうち大電流ポート8本（I_{OL}=20mA @V_{OL}=1.5V）
入力ポート：8本（アナログ入力端子兼用）
- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
QFP-64	FP-64A	14.0×14.0mm	0.8mm
LQFP-64	FP-64E	10.0×10.0mm	0.5mm

1. 概要

1.2 内部ブロック図

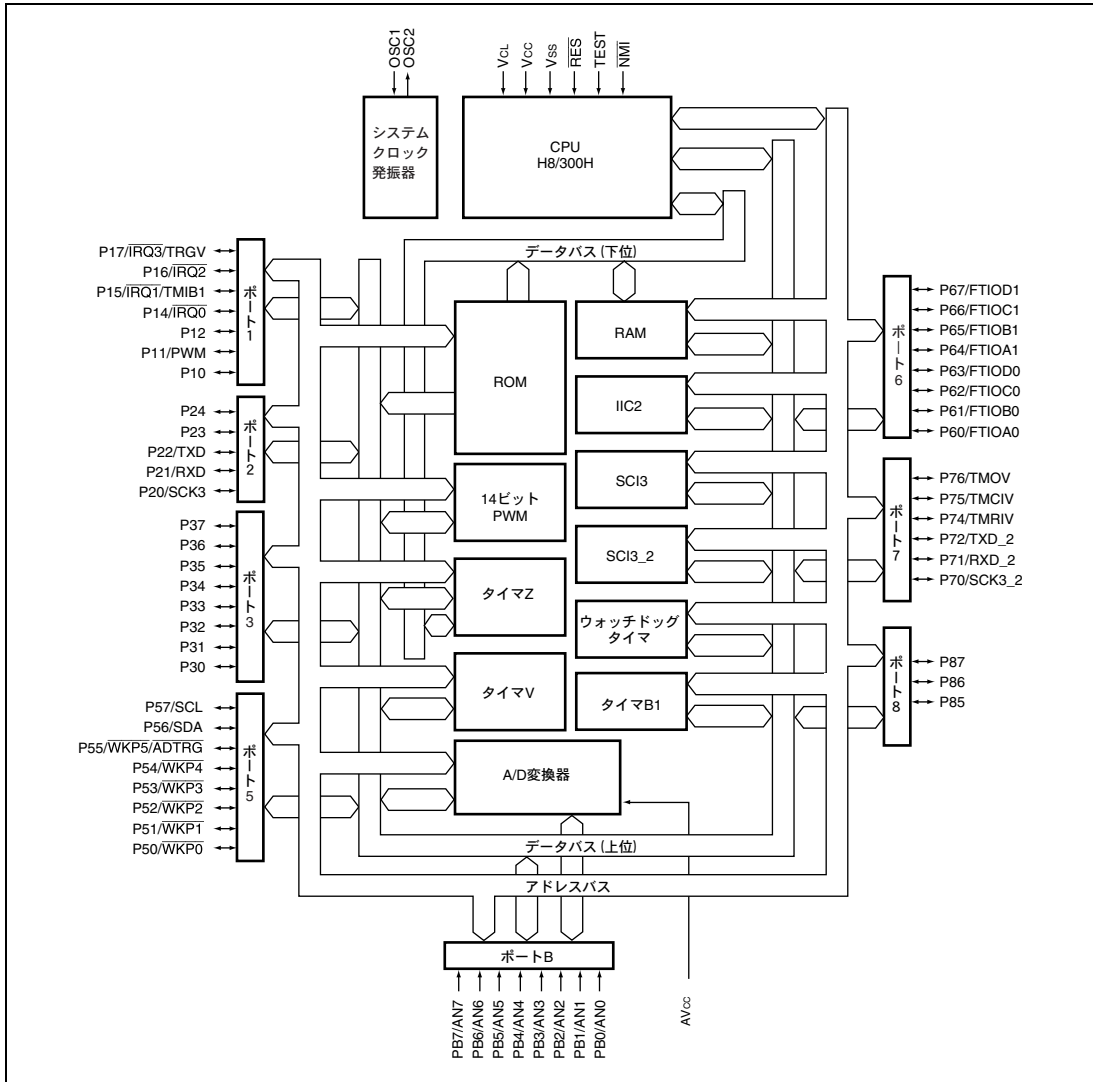


図 1.1 内部ブロック図

1.3 ピン配置図

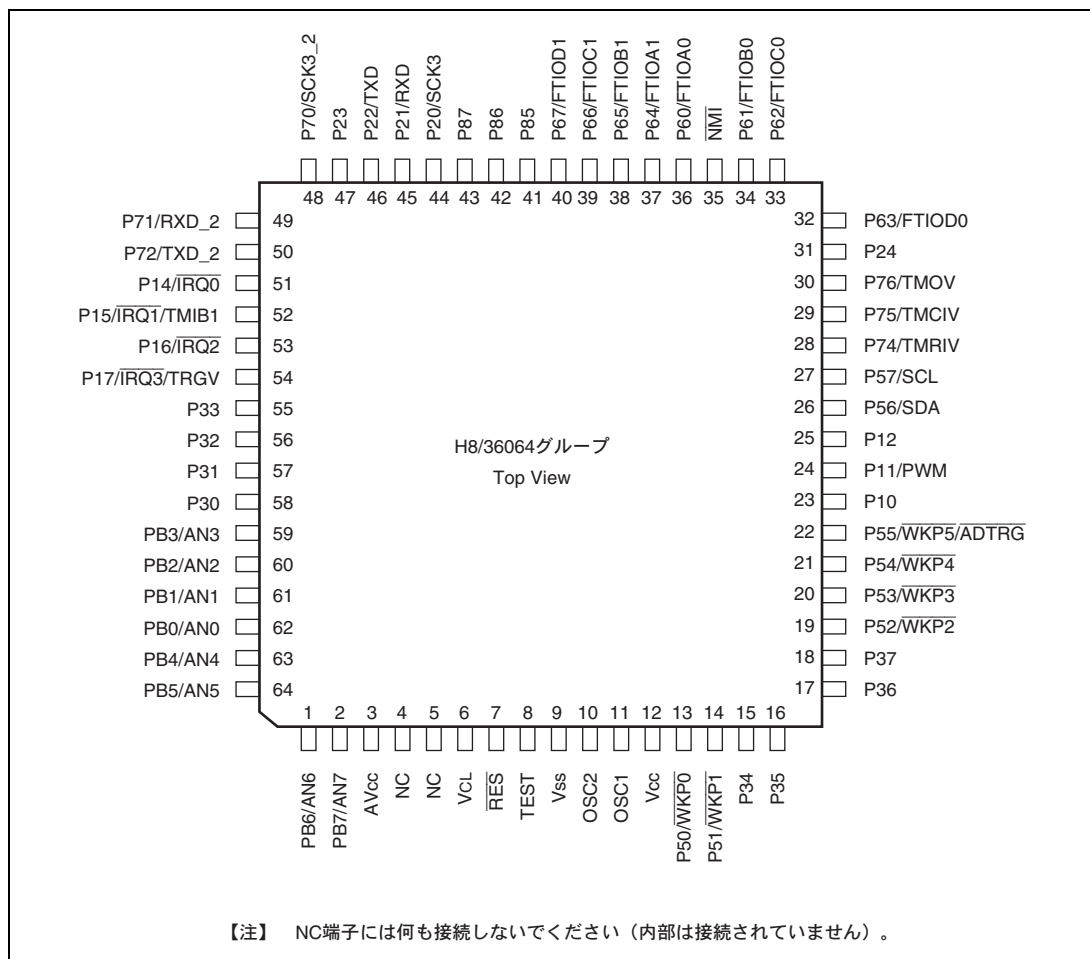


図 1.2 ピン配置図 (FP-64A、FP-64E)

1. 概要

1.4 端子機能

表 1.1 端子機能

分類	記号	ピン番号	入出力	機能
		FP-64A FP-64E		
電源	Vcc	12	入力	電源端子です。システムの電源に接続してください。
	Vss	9	入力	グランド端子です。システムの電源(0V)に接続してください。
	AVcc	3	入力	A/D 変換用アナログ電源端子です。A/D 変換器を使用しない場合はシステムの電源に接続してください。
	Vcl	6	入力	内部降圧電源端子です。安定化のため、この端子と Vss 端子との間に 0.1 μ F 程度の容量を挿入してください。
クロック	OSC1	11	入力	システムクロック用水晶発振子またはセラミック発振子接続端子です。外部クロックを入力することもできます。接続例は「第 5 章 クロック発振器」を参照してください。
	OSC2	10	出力	
システム制御	RES	7	入力	リセット端子です。プルアップ抵抗 (typ. 150k Ω) を内蔵しています。この端子を Low レベルにすると、リセット状態になります。
	TEST	8	入力	テスト端子です。Vss 電位に接地してください。
外部割り込み	NMI	35	入力	ノンマスクابل割り込み要求入力端子です。必ず抵抗でプルアップしてください。
	IRQ0~ IRQ3	51~54	入力	外部割り込み要求入力端子です。立ち上がりエッジセンス/立ち下がりエッジセンスを選択できます。
	WKP0~ WKP5	13、14 19~22	入力	外部割り込み要求入力端子です。立ち上がりエッジセンス/立ち下がりエッジセンスを選択できます。
タイマ B1	TMIB1	52	入力	外部イベント入力端子です。
タイマ V	TMOV	30	出力	アウトプットコンペア機能による波形出力端子です。
	TMCIV	29	入力	外部イベント入力端子です。
	TMRIV	28	入力	カウンタリセット入力端子です
	TRGV	54	入力	カウント開始トリガ入力端子です。
タイマ Z	FTIOA0	36	入出力	アウトプットコンペア出力/インプットキャプチャ入力/外部クロック入力兼用端子です。
	FTIOB0	34	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。
	FTIOC0	33	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 同期出力兼用端子です (リセット、相補 PWM モード時)。
	FTIOD0	32	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。
	FTIOA1	37	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です (リセット、相補 PWM モード時)。

分類	記号	ピン番号	入出力	機能
		FP-64A FP-64E		
タイマ Z	FTIOB1~ FTIOD1	38~40	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力 兼用端子です。
14 ビット PWM	PWM	24	出力	14 ビット PWM 方形波出力端子です。
I ² C バスイン タフェース (IIC2)	SDA	26	入出力	I ² C データ入出力端子です。NMOS オープンドレイン出力でバスを直 接駆動できます。使用時は外部にプルアップ抵抗が必要です。
	SCL	27	入出力	I ² C クロック入出力端子です。NMOS オープンドレイン出力でバスを 直接駆動できます。使用時は外部にプルアップ抵抗が必要です。
シリアルコ ミュニケー ションイン タフェース 3 (SCI3)	TXD	46、50	出力	送信データ出力端子です。
	TXD_2			
	RXD	45、49	入力	受信データ入力端子です。
	RXD_2			
SCK3	44、48	入出力	クロック入出力端子です。	
SCK3_2				
A/D 変換器	AN7~ AN0	2、1 64、63 59~62	入力	アナログ入力端子です。
	ADTRG	22	入力	変換開始トリガ入力端子です。
I/O ポート	PB7~PB0	2、1 64、63 59~62	入力	8 ビットの入力ポートです。
	P17~P14 P12~P10	54~51 25~23	入出力	7 ビットの入出力ポートです。
	P24~P20	31、 47~44	入出力	5 ビットの入出力ポートです。
	P37~P30	18~15 55~58	入出力	8 ビットの入出力ポートです。
	P57~P50	27、26 22~19 14、13	入出力	8 ビットの入出力ポートです。
	P67~P60	40~37 32~34 36	入出力	8 ビットの入出力ポートです。
	P76~P74 P72~P70	30~28 50~48	入出力	6 ビットの入出力ポートです。
	P87~P85	43~41	入出力	3 ビットの入出力ポートです。

1. 概要

2. CPU

H8/36064 グループのCPUはH8/300 CPUの上位互換のアーキテクチャを持つ内部32ビット構成のH8/300H CPUで、64Kバイトのアドレス空間を持つノーマルモードのみサポートします。

- H8/300 CPU上位互換
 - H8/300シリーズのオブジェクトプログラムを実行可能
 - 16ビット×8本の拡張レジスタを追加
 - 32ビット転送、演算命令を追加
 - 符号付き乗除算命令などを追加
- 汎用レジスタ：16ビット×16本
 - 8ビット×16本+16ビット×8本、32ビット×8本としても使用可能
- 基本命令：62種類
 - 8/16/32ビット転送、演算命令
 - 乗除算命令
 - 強力なビット操作命令
- アドレッシングモード：8種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Ern)
 - ディスプレイメント付レジスタ間接 (@ (d:16, Ern) , @ (d:24, Ern))
 - ポストインクリメント/プリデクリメントレジスタ間接 (@Ern+ / @-Ern)
 - 絶対アドレス (@aa:8, @aa:16, @aa:24)
 - イミディエイト (#xx:8, #xx:16, #xx:32)
 - プログラムカウンタ相対 (@ (d:8, PC) , @ (d:16, PC))
 - メモリ間接 (@@aa:8)
- アドレス空間：64Kバイト
- 高速動作
 - 頻出命令をすべて2~4ステートで実行
 - 8/16/32ビットレジスタ間加減算：2ステート
 - 8×8ビットレジスタ間乗算：14ステート
 - 16÷8ビットレジスタ間除算：14ステート
 - 16×16ビットレジスタ間乗算：22ステート

2. CPU

32÷16ビットレジスタ間除算：22ステート

- 低消費電力動作

SLEEP命令により低消費電力状態に移移

2.1 アドレス空間とメモリマップ

H8/36064 グループのアドレス空間はプログラム領域とデータ領域合わせて 64K バイトです。メモリマップを図 2.1 に示します。

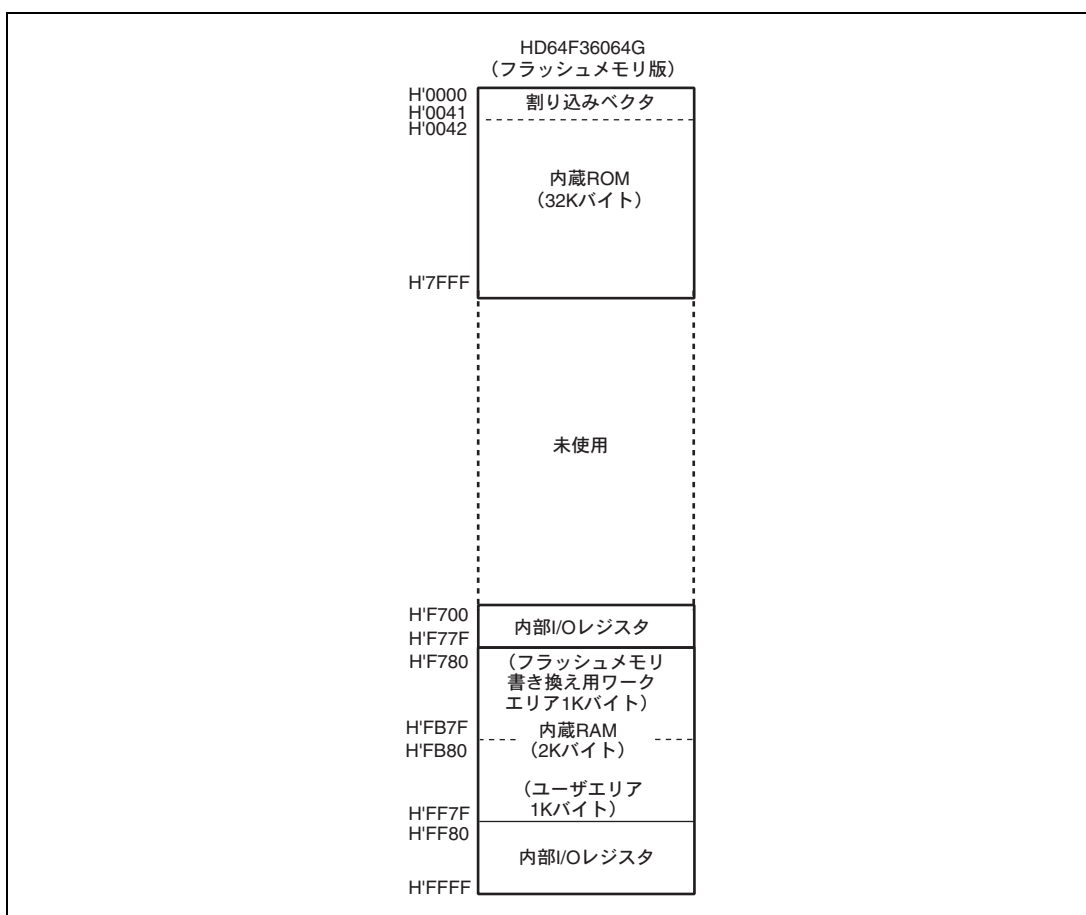


図 2.1 メモリマップ

2.2 レジスタ構成

H8/300H CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類されます。コントロールレジスタには 24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

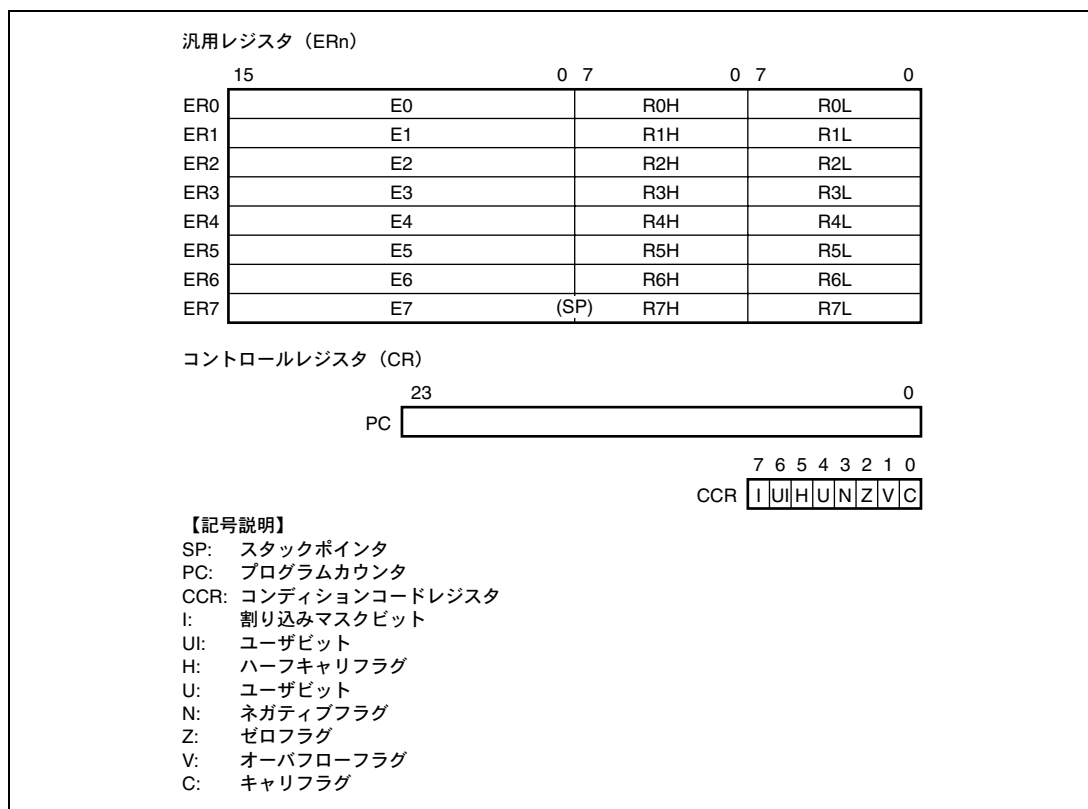


図 2.2 CPU 内部レジスタ構成

2.2.1 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタはすべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.3 に示します。

アドレスレジスタおよび 32 ビットデータレジスタとして使用する場合は、一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットデータレジスタとして使用する場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

2. CPU

8ビットデータレジスタとして使用する場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本使用することができます。各レジスタは使用方法を独立に指定することができます。

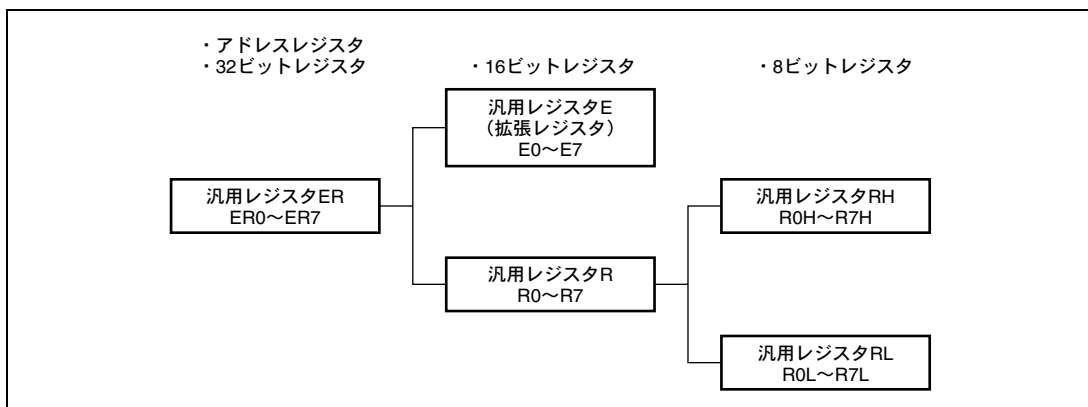


図 2.3 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタの機能に加えてスタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。スタックポインタとスタック領域の関係を図 2.4 に示します。

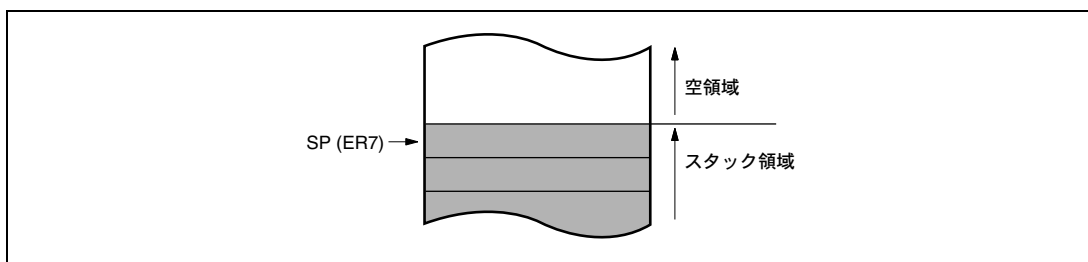


図 2.4 スタックポインタとスタック領域の関係

2.2.2 プログラムカウンタ (PC)

PC は 24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令はすべて偶数番地から始まる 2 バイト (ワード) を単位としているため、PC の最下位ビットは命令コードを読み出す時は 0 とみなされます。PC はリセット例外処理の過程で生成されるベクタアドレスによってスタートアドレスをロードすることにより初期化されます。

2.2.3 コンディションコードレジスタ (CCR)

CCRはCPUの内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。Iビットはリセット例外処理によって1に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが1にセットされると、割り込み要求がマスクされます。ただし、NMIはIビットに関係なく受け付けられます。Iビットは例外処理の実行が開始されたときに1にセットされます。
6	UI	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット11にキャリまたはポローが生じたとき、またはADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット27にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行によりオーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のポロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2. CPU

なお、命令によってはフラグが変化しない場合があります。CCRはLDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令（Bcc）で使用されます。各命令ごとのフラグの変化については、「付録A.1 命令一覧」を参照してください。

2.3 データ形式

H8/300H CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（n=0、1、2、……、7）という形式でアクセスされます。10進補正命令DAA、DASではバイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図2.5に示します。

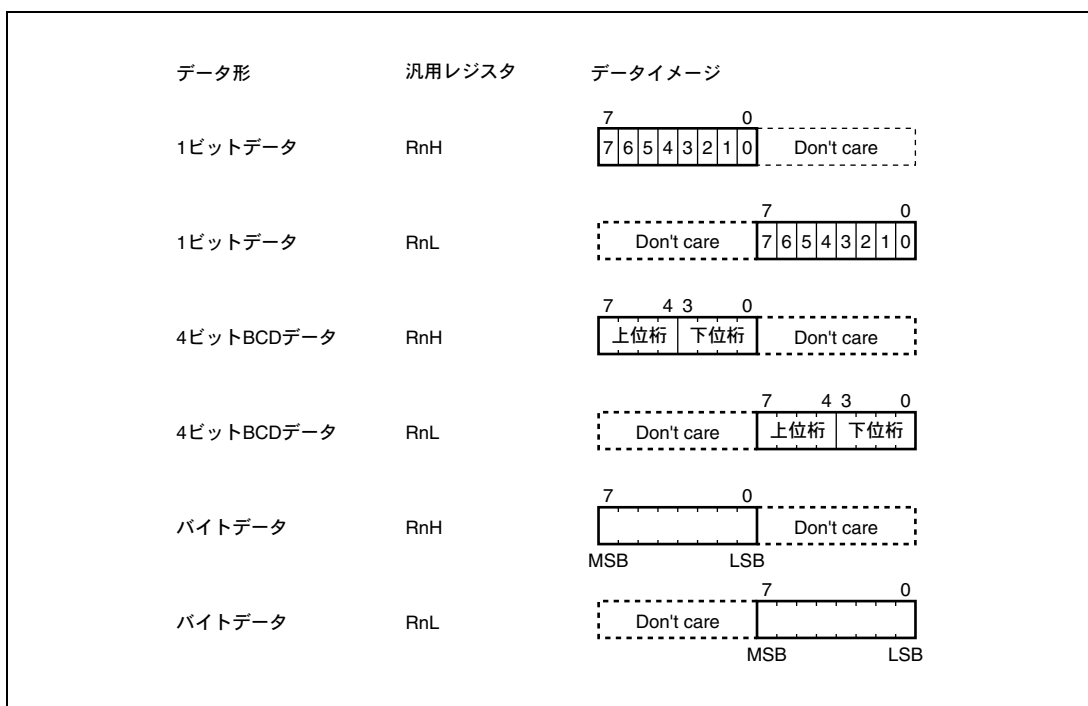


図 2.5 汎用レジスタのデータ形式 (1)

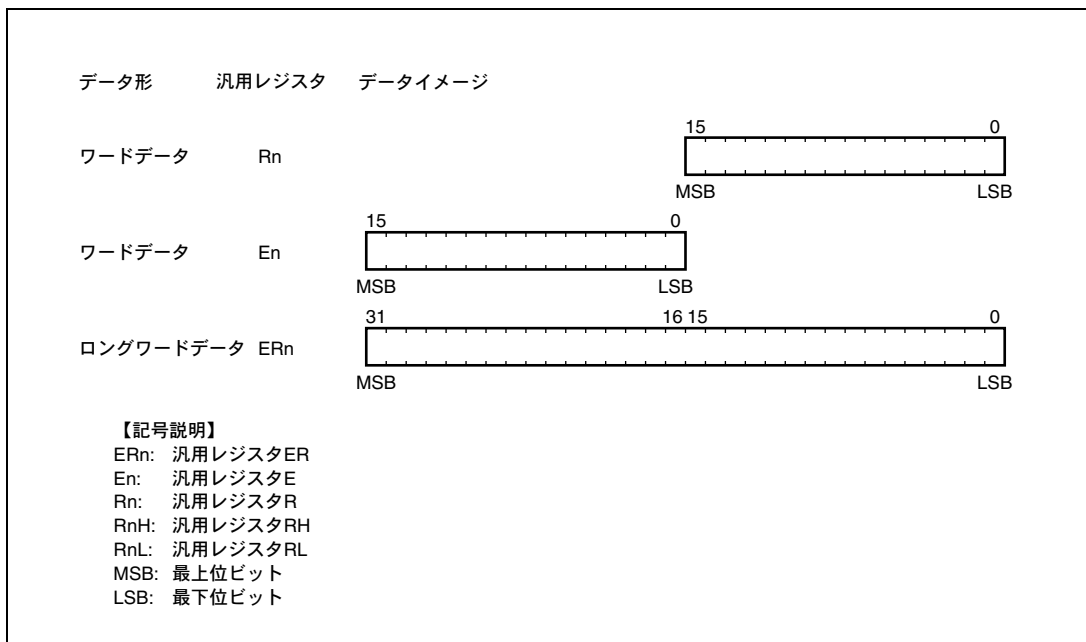


図 2.5 汎用レジスタのデータ形式 (2)

2.3.2 メモリ上のデータ形式

メモリ上のデータ形式を図2.6に示します。

H8/300H CPUは、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

ER7 (SP) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

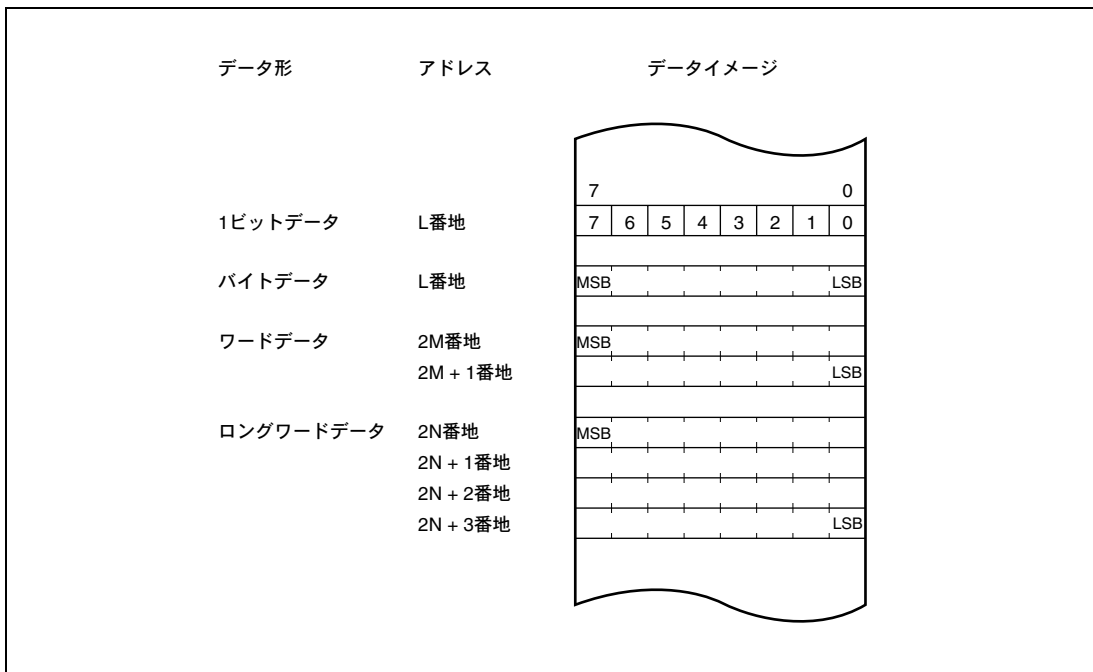


図 2.6 メモリ上でのデータ形式

2.4 命令セット

2.4.1 命令の機能別一覧

H8/300H CPU の命令は合計 62 種類あります。各命令の機能別一覧を表 2.2～表 2.9 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.1 オペレーションの記号

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ/アドレスレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ/アドレスレジスタ（ER0～ER7）です。

2. CPU

表 2.2 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) →Rd, Rs→ (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) →Rd 本 LSI では使用できません。
MOVTPPE	B	Rs→ (EAs) 本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。POP.W Rn は MOV.W @SP+, Rn と、また POP.L Em は MOV.L @SP+, Em と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。PUSH.W Rn は MOV.W Rn, @-SP と、また PUSH.L Em は MOV.L Em, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.3 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W/L	Rd±Rs→Rd, Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd, Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	Rd±1→Rd, Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd, Rd±2→Rd, Rd±4→Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。

命 令	サイズ*	機 能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8ビット×8ビット→16ビット、16ビット×16ビット→32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット 余り8ビット、32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16ビット÷8ビット→商8ビット 余り8ビット、32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs, Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd （ゼロ拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd （符号拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

2. CPU

表 2.4 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	Rd \wedge Rs \rightarrow Rd、Rd \wedge #IMM \rightarrow Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd \vee Rs \rightarrow Rd、Rd \vee #IMM \rightarrow Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd \oplus Rs \rightarrow Rd、Rd \oplus #IMM \rightarrow Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	\sim Rd \rightarrow Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd（シフト処理） \rightarrow Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd（シフト処理） \rightarrow Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd（ローテート処理） \rightarrow Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd（ローテート処理） \rightarrow Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 ビット操作命令

命 令	サイズ*	機 能
BSET	B	1→ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) →Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C∧ (<ビット番号> of <EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C∧ [~ (<ビット番号> of <EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C∨ (<ビット番号> of <EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C∨ [~ (<ビット番号> of <EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C⊕ (<ビット番号> of <EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C⊕ [~ (<ビット番号> of <EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

2. CPU

命 令	サイズ*	機 能
BLD	B	(〈ビット番号〉 of 〈EAd〉) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (〈ビット番号〉 of 〈EAd〉) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C→ (〈ビット番号〉 of 〈EAd〉) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C→~ (〈ビット番号〉 of 〈EAd〉) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 分岐命令

命令	サイズ	機能																																																			
Bcc*	－	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	－	指定されたアドレスへ無条件に分岐します。																																																			
BSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	－	サブルーチンから復帰します。																																																			

【注】 * Bcc 命令は条件分岐命令の総称です。

2. CPU

表 2.8 システム制御命令

命 令	サイズ*	機 能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs) →CCR ソースオペランドをCCRに転送します。CCRはバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR→(EAd) CCRの内容をデスティネーションのロケーションに転送します。CCRはバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR^#IMM→CCR CCRとイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR CCRとイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM→CCR CCRとイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PCのインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.9 ブロック転送命令

命 令	サイズ	機 能
EEPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+, R4L-1→R4L Until R4L=0 else next;
EEPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+, R4-1→R4 Until R4=0 else next; ブロック転送命令です。ER5で示されるアドレスから始まり、R4LまたはR4で指定されるバイト数のデータを、ER6で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.4.2 命令の基本フォーマット

H8/300H CPU の命令は2 バイト（ワード）を単位としています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。図 2.7 に命令フォーマットの例を示します。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合やレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレイースメントは上位8ビットをすべて0（H'00）とした32ビットデータとして扱われます。

(4) コンディションフィールド

条件分岐命令の分岐条件を指定します。

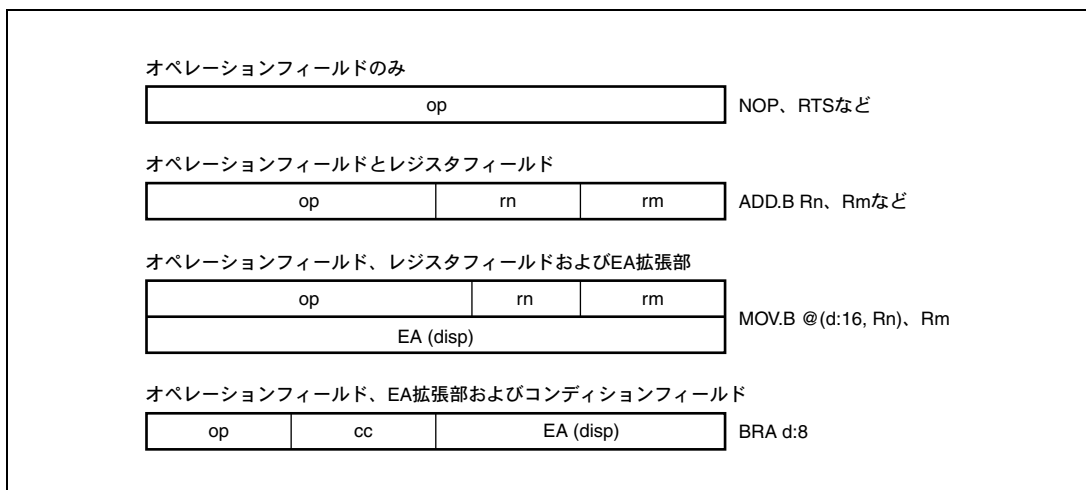


図 2.7 命令フォーマット

2.5 アドレッシングモードと実効アドレス

以下の説明は H8/300H CPU に関するものです。H8/36064 グループでは生成される 24 ビットのアドレスのうちの上位 8 ビットは無視され、実効アドレスは 16 ビットとなります。

2.5.1 アドレッシングモード

H8/300H CPU は、表 2.10 の 8 種類のアドレッシングモードをサポートしています。命令ごとに使用できるアドレッシングモードが異なります。詳細は「付録 A.4 命令とアドレッシングモードの組み合わせ」を参照してください。

演算命令ではレジスタ直接、およびイミディエイトを使用できます。転送命令ではプログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードを使用できます。ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) を使用できます。さらに、オペランド中のビット番号の指定にレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) を使用できます。

表 2.10 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ (d:16, ERn) / @ (d:24, ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@ (d:8, PC) / @ (d:16, PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8ビット、16ビットまたは32ビット) がオペランドとなります。

8ビットレジスタとしてはR0H~R7H、R0L~R7Lを指定可能です。

16ビットレジスタとしてはR0~R7、E0~E7を指定可能です。

32ビットレジスタとしてはER0~ER7を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれ

る16ビットディスプレースメントまたは24ビットディスプレースメントを加算した内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

(4) **ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn**

- **ポストインクリメントレジスタ間接 @ERn+**

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ、ロングワードサイズのときはレジスタの内容が偶数となるようにしてください。

- **プリデクリメントレジスタ間接 @-ERn**

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのときはアドレスレジスタの内容が偶数となるようにしてください。

(5) **絶対アドレス @aa:8 / @aa:16 / @aa:24**

命令コード中に含まれる絶対アドレスでメモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。

8ビット絶対アドレスの場合、上位16ビットはすべて1 (H'FFFF) となります。

16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。

24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

H8/36064グループの場合、上位8ビットは無視されるため、絶対アドレスのアクセス範囲は表2.11のようになります。

表 2.11 絶対アドレスのアクセス範囲

絶対アドレス	アクセス範囲
8 ビット (@aa:8)	H'FFF0~H'FFFF
16 ビット (@aa:16)	H'0000~H'FFFF
24 ビット (@aa:24)	H'0000~H'FFFF

2. CPU

(6) イミディエイト #xx:8/#xx:16/#xx:32

命令コードの中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令ではイミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが命令コード中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

条件分岐命令、BSR命令で使用されます。

PCの内容で指定される24ビットのアドレスに命令コード中に含まれる8ビット、または16ビットディスプレイメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126～+128バイト (-63～+64ワード) または-32766～+32768バイト (-16383～+16384ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR命令で使用されます。命令コードの中に含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭1バイトは無視され、24ビット長の分岐アドレスを生成します。図2.8にメモリ間接による分岐アドレスの指定方法を示します。

絶対アドレスの上位ビットはすべて0となります。このため分岐アドレスを格納できるのは0～255 (H'0000～H'00FF) 番地です。ただし、このうちの先頭領域は例外処理ベクタ領域と共通になっているので注意してください。

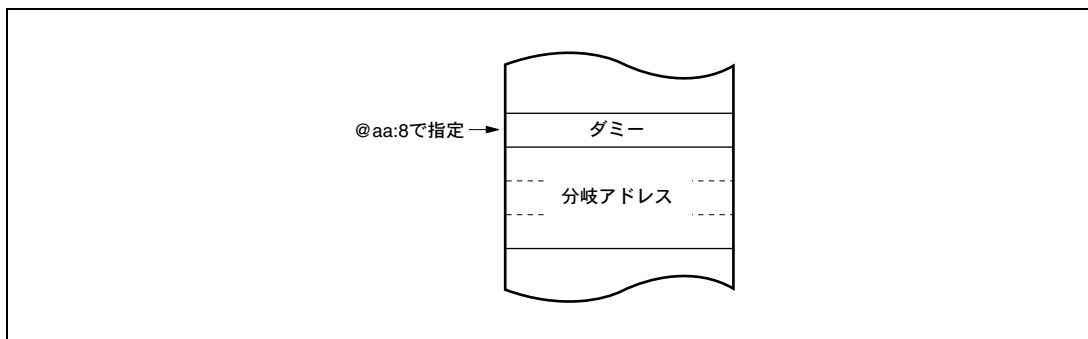


図 2.8 メモリ間接による分岐アドレスの指定

2.5.2 実効アドレスの計算方法


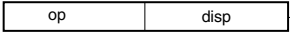
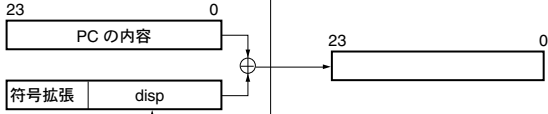
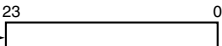
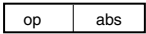
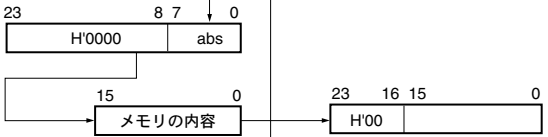
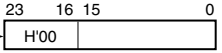
各アドレッシングモードにおける実効アドレス (EA: Effective Address) の計算方法を表 2.12 に示します。H8/36064 グループでは計算結果の上位 8 ビットは無視され、16 ビットの実効アドレスを生成します。

表 2.12 実効アドレスの計算方法 (1)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、 汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 		
(3)	ディスプレイメント付きレジスタ間接 @ (d : 16, ERn) / @ (d : 24, ERn) 		
(4)	ポストインクリメントレジスタ間接/ プリデクリメントレジスタ間接 ・ポストインクリメント レジスタ間接 @ERn+ ・プリデクリメント レジスタ間接 @-ERn 		
(5)	絶対アドレス @ aa : 8 @ aa : 16 @ aa : 24 		

2. CPU

表 2.12 実効アドレスの計算方法 (2)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32 		オペランドは、イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d : 8, PC)/@(d : 16, PC) 		
(8)	メモリ間接 @@ aa : 8 		

【記号説明】

- r、rm、rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.6 基本バスサイクル

CPUは、システムクロック（ ϕ ）を基準に動作します。 ϕ の立ち上がりから次の立ち上がりまでを1ステートと呼びます。バスサイクルは2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ（RAM、ROM）

内蔵メモリのアクセスは2ステートで行われます。データバス幅は16ビットで、バイトおよびワードアクセスが可能です。内蔵メモリアクセスサイクルを図2.9に示します。

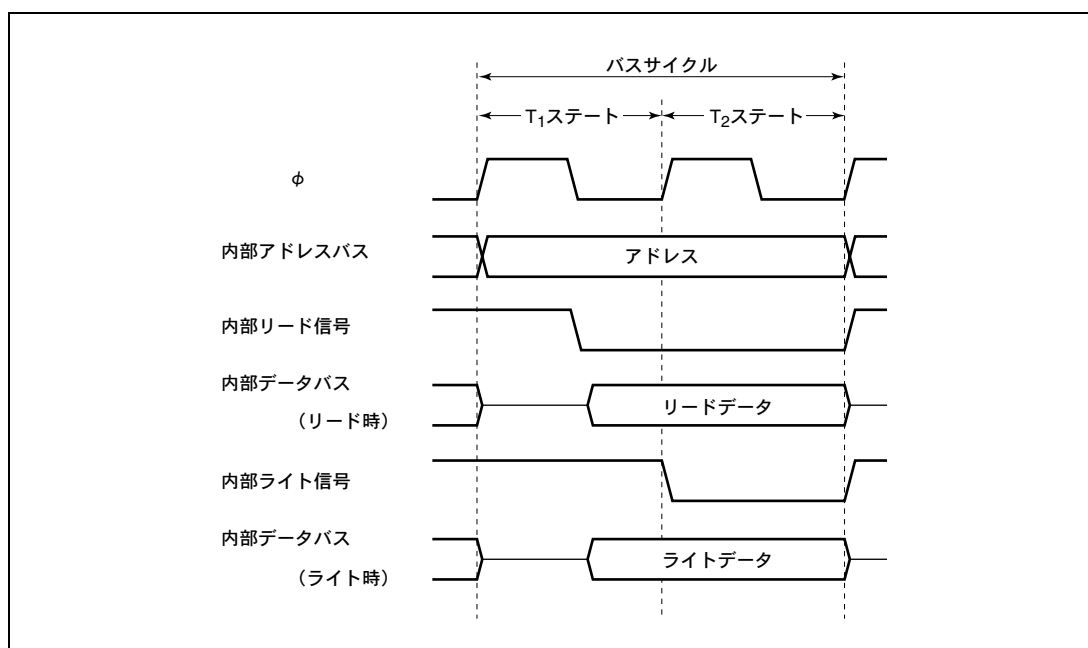


図 2.9 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。データバス幅は8 ビットまたは16 ビットで、レジスタにより異なります。各レジスタのデータバス幅とアクセスステート数は「20.1 レジスタアドレス一覧（アドレス順）」を参照してください。データバス幅が16 ビットのレジスタはワードアクセスのみ可能です。データバス幅が8 ビットのレジスタはバイトおよびワードアクセスが可能です。データバス幅が8 ビットのレジスタをワードアクセスするとバスサイクルが2回発生します。2 ステートアクセスの場合の動作タイミングは内蔵メモリと同一です。3 ステートアクセスの場合の動作タイミングを図 2.10 に示します。

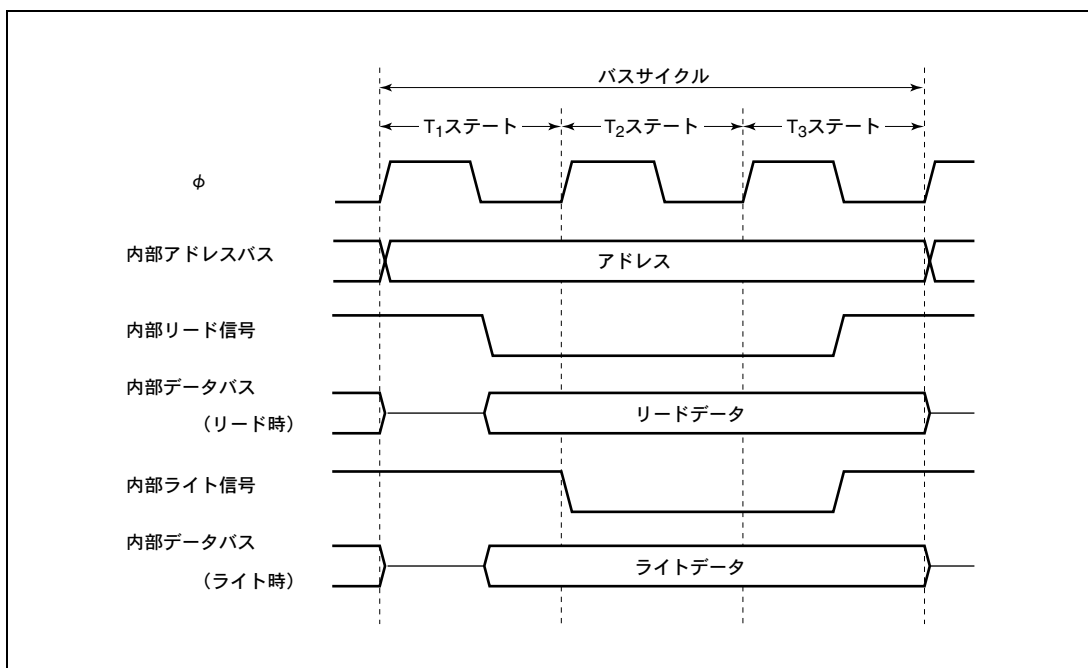


図 2.10 内蔵周辺モジュールアクセスサイクル (3 ステートアクセスの場合)

2.7 CPUの状態

CPUの状態は、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類あります。プログラム実行状態には、アクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、サブスリープモードがあります。各状態の分類を図2.11に、各状態間の遷移条件を図2.12に示します。プログラム実行状態およびプログラム停止状態の詳細は「第6章 低消費電力モード」を参照してください。例外処理の詳細は「第3章 例外処理」を参照してください。

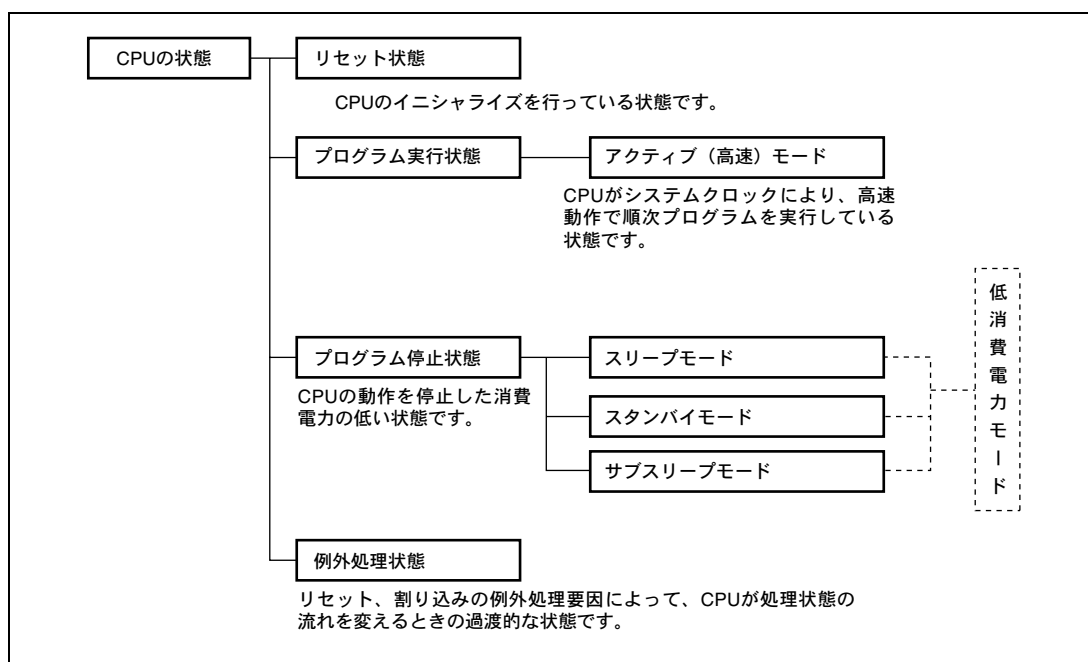


図 2.11 CPUの状態の分類

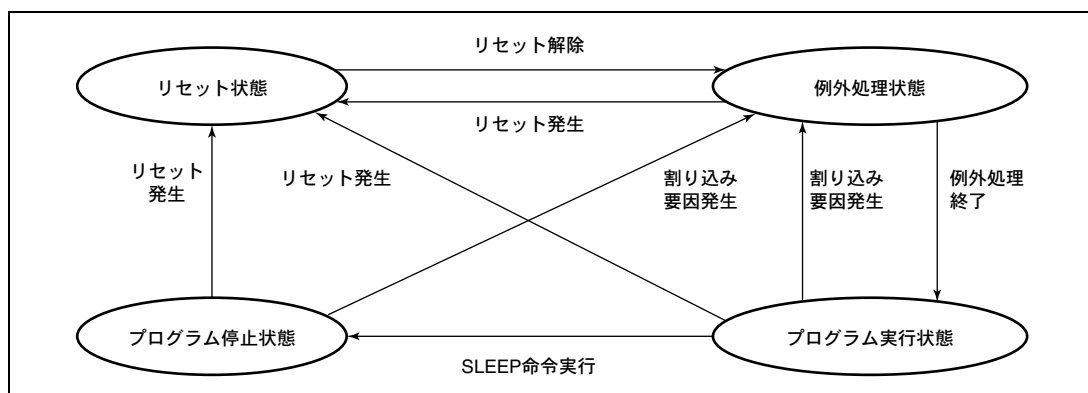


図 2.12 状態遷移図

2.8 使用上の注意事項

2.8.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

2.8.2 EEPROMOV 命令

EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6+R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF→H'0000 とならないように)、R4L、R6 を設定してください。

2.8.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる 1 ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、同一アドレスに 2 つのレジスタが割付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

(1) 同一アドレスに割付けられた 2 つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

(H8/36064グループではタイマB1に適用します。)

図 2.13 に同一アドレスに割付けられた 2 つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

1. タイマカウンタのデータをバイト単位でリードします。
2. CPUはビット操作命令で対象となる1ビットをセットまたはリセットします。
3. ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き変わって、タイマロードレジスタへライトされます。

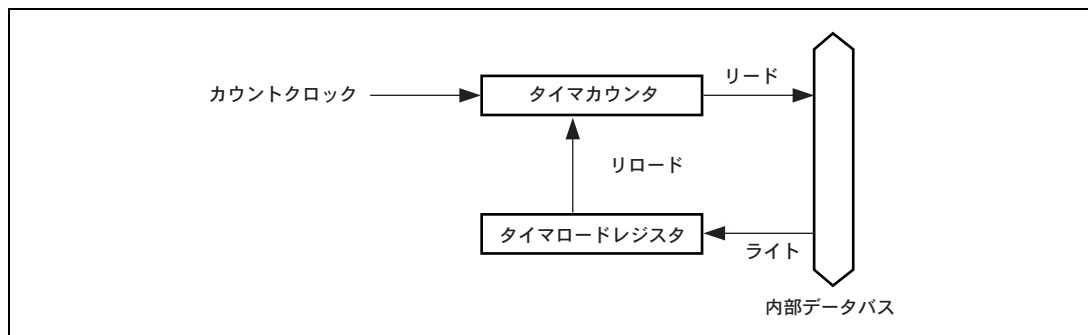


図 2.13 同一アドレスに割付けられた 2 つのレジスタを持つタイマの構成例

例2：ポート5にBSET命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BSET 命令で P50 に High レベル出力を行う例を示します。

【BSET命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BSET命令実行】

```
BSET #0, @PDR5
```

ポート 5 に対して BSET 命令を実行します。

【BSET命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【動作説明】

1. BSET命令を実行すると、CPUはポート5をリードします。P57、P56は入力端子で、CPUは端子の状態（Low レベル、Highレベル入力）をリードします。P55～P50は出力端子で、CPUはPDR5の値をリードします。したがって、例ではPDR5はH'80ですが、CPUがリードしたデータはH'40となります。
2. CPUはリードしたデータのビット0を1にセットして、データをH'41に変更します。

2. CPU

3. H'41をPDR5に書込んで、BSET命令を終了します。

その結果、PDR5のビット0が1になり、P50はHighレベル出力になります。しかし、PDR5のビット7、6が変化してしまいます。そのため、PDR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR5にライトしてください。

【BSET命令実行前】

```
MOV.B #80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR5
```

PDR5に書込む値(H'80)をあらかじめメモリ上のワークエリア(RAM0)とPDR5にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【BSET命令実行】

```
BSET #0, @RAM0
```

PDR5のワークエリア(RAM0)に対してBSET命令を実行します。

【BSET命令実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR5
```

ワークエリア(RAM0)の値をPDR5にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート5のPCR5にBCLR命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BCLR 命令で P50 を入力端子に設定する例を示します。入力端子に設定された P50 は High レベル入力状態とします。

【BCLR命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BCLR命令実行】

```
BCLR #0 , @PCR5
```

PCR5 に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【動作説明】

1. BCLR命令を実行すると、CPUはPCR5をリードします。PCR5はライト専用レジスタで、CPUはH'FFをリードします。したがって、例ではPCR5はH'3Fですが、CPUがリードしたデータはH'FFとなります。
2. CPUはリードしたデータのビット0を0にクリアして、データをH'FEに変更します。
3. H'FEをPCR5に書込んで、BCLR命令を終了します。

その結果、PCR5 のビット 0 が 0 になり、P50 は入力端子になります。しかし、PCR5 のビット 7、6 が 1 になり、P57、P56 は出力端子に変化してしまいます。そのため、PCR5 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR5 にライトしてください。

2. CPU

【BCLR命令実行前】

MOV.B	#3F.	R0L
MOV.B	R0L.	@RAM0
MOV.B	R0L.	@PCR5

PCR5 に書込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【BCLR命令実行】

BCLR	#0	, @RAM0
------	----	---------

PCR5 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【BCLR命令実行後】

MOV.B	@RAM0,R0L
MOV.B	R0L. @PCR5

ワークエリア (RAM0) の値を PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

3. 例外処理

例外処理にはリセット、トラップ命令、割り込みによるものがあります。

- リセット

リセットは最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子によってリセットが解除されると例外処理を開始します。ウォッチドッグタイマのオーバフローによってもリセットされ、例外処理を開始します。例外処理は $\overline{\text{RES}}$ 端子による例外処理と同一です。

- トラップ命令による例外処理

TRAP命令の実行により開始されます。TRAP命令は命令コード中で指定した0～3のベクタ番号により異なるベクタアドレスを生成します。トラップ命令による例外処理はCCRのIビットにかかわらずプログラム実行状態で常に受け付けられます。

- 割り込み例外処理


NMIを除く外部割り込み要求とアドレスブレークを除く内部割り込み要求はCCRのIビットによりマスクされ、Iビットが1の間保留されます。割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.1 例外処理要因とベクタアドレス

各例外処理要因のベクタアドレスと優先度は表 3.1 のとおりです。複数の割り込み要求が発生したときは優先度の高い方から処理されます。

3. 例外処理

表 3.1 例外処理要因とベクタアドレス

発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先度
RES 端子 ウォッチドッグタイマ	リセット	0	H'0000~H'0001	高  低
—	システム予約	1~6	H'0002~H'000D	
外部割り込み端子	NMI	7	H'000E~H'000F	
CPU	トラップ命令 #0	8	H'0010~H'0011	
	トラップ命令 #1	9	H'0012~H'0013	
	トラップ命令 #2	10	H'0014~H'0015	
	トラップ命令 #3	11	H'0016~H'0017	
アドレスブレイク	ブレイク条件成立	12	H'0018~H'0019	
CPU	スリープ命令の実行による直接遷移	13	H'001A~H'001B	
外部割り込み端子	IRQ0 低電圧検出割り込み	14	H'001C~H'001D	
	IRQ1	15	H'001E~H'001F	
	IRQ2	16	H'0020~H'0021	
	IRQ3	17	H'0022~H'0023	
	WKP	18	H'0024~H'0025	
—	システム予約	19	H'0026~H'0027	
		20	H'0028~H'0029	
タイマV	コンペアマッチA	22	H'002C~H'002D	
	コンペアマッチB			
	オーバフロー			
SCI3	受信データフル 送信データエンプティ 送信終了 受信エラー	23	H'002E~H'002F	
IIC2	送信データエンプティ、送信終了、受信データフル、 アービトレーションロスト/オーバランエラー NACK 検出、停止条件検出	24	H'0030~H'0031	
A/D 変換器	A/D 変換終了	25	H'0032~H'0033	
タイマZ	コンペアマッチ/インプットキャプチャ A0~D0 オーバフロー	26	H'0034~H'0035	
	コンペアマッチ/インプットキャプチャ A1~D1 オーバフロー、アンダフロー	27	H'0036~H'0037	
タイマB1	オーバフロー	29	H'003A~H'003B	
SCI3_2	受信データフル 送信データエンプティ 送信終了 受信エラー	32	H'0040~H'0041	

3.2 レジスタの説明

割り込みを制御するには以下のレジスタがあります。

- 割り込みエッジセレクトレジスタ1 (IEGR1)
- 割り込みエッジセレクトレジスタ2 (IEGR2)
- 割り込みイネーブルレジスタ1 (IENR1)
- 割り込みイネーブルレジスタ2 (IENR2)
- 割り込みフラグレジスタ1 (IRR1)
- 割り込みフラグレジスタ2 (IRR2)
- ウェイクアップ割り込みフラグレジスタ (IWPR)

3.2.1 割り込みエッジセレクトレジスタ 1 (IEGR1)

IEGR1 は $\overline{\text{NMI}}$ 、 $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説明
7	NMIEG	0	R/W	NMI エッジセレクト 0: $\overline{\text{NMI}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{NMI}}$ 端子入力の立ち上がりエッジを検出
6	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
5	—	1	—	
4	—	1	—	
3	IEG3	0	R/W	IRQ3 エッジセレクト 0: $\overline{\text{IRQ3}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ3}}$ 端子入力の立ち上がりエッジを検出
2	IEG2	0	R/W	IRQ2 エッジセレクト 0: $\overline{\text{IRQ2}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ2}}$ 端子入力の立ち上がりエッジを検出
1	IEG1	0	R/W	IRQ1 エッジセレクト 0: $\overline{\text{IRQ1}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ1}}$ 端子入力の立ち上がりエッジを検出
0	IEG0	0	R/W	IRQ0 エッジセレクト 0: $\overline{\text{IRQ0}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ0}}$ 端子入力の立ち上がりエッジを検出

3. 例外処理

3.2.2 割り込みエッジセレクトレジスタ 2 (IEGR2)

IEGR2 は $\overline{\text{ADTRG}}$ 端子、 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	—	1	—	
5	WPEG5	0	R/W	WKP5 エッジセレクト 0: $\overline{\text{WKP5}}$ 端子 ($\overline{\text{ADTRG}}$ 端子) 入力の立ち下がりエッジを検出 1: $\overline{\text{WKP5}}$ 端子 ($\overline{\text{ADTRG}}$ 端子) 入力の立ち上がりエッジを検出
4	WPEG4	0	R/W	WKP4 エッジセレクト 0: $\overline{\text{WKP4}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP4}}$ 端子入力の立ち上がりエッジを検出
3	WPEG3	0	R/W	WKP3 エッジセレクト 0: $\overline{\text{WKP3}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP3}}$ 端子入力の立ち上がりエッジを検出
2	WPEG2	0	R/W	WKP2 エッジセレクト 0: $\overline{\text{WKP2}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP2}}$ 端子入力の立ち上がりエッジを検出
1	WPEG1	0	R/W	WKP1 エッジセレクト 0: $\overline{\text{WKP1}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP1}}$ 端子入力の立ち上がりエッジを検出
0	WPEG0	0	R/W	WKP0 エッジセレクト 0: $\overline{\text{WKP0}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP0}}$ 端子入力の立ち上がりエッジを検出

3.2.3 割り込みイネーブルレジスタ 1 (IENR1)

IENR1 は直接遷移割り込み、および外部端子割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IENDT	0	R/W	直接遷移割り込み要求イネーブル このビットを 1 にセットすると直接遷移割り込み要求がイネーブルになります。
6	—	0	—	リザーブビットです。 リードすると常に 0 が読み出されます。
5	IENWP	0	R/W	ウェイクアップ割り込み要求イネーブル このビットは WKP5~WKP0 端子共通のイネーブルビットで、1 にセットすると割り込み要求がイネーブルになります。
4	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	IEN3	0	R/W	IRQ3 割り込み要求イネーブル このビットを 1 にセットすると IRQ3 端子の割り込み要求がイネーブルになります。
2	IEN2	0	R/W	IRQ2 割り込み要求イネーブル このビットを 1 にセットすると $\overline{\text{IRQ2}}$ 端子の割り込み要求がイネーブルになります。
1	IEN1	0	R/W	IRQ1 割り込み要求イネーブル このビットを 1 にセットすると $\overline{\text{IRQ1}}$ 端子の割り込み要求がイネーブルになります。
0	IEN0	0	R/W	IRQ0 割り込み要求イネーブル このビットを 1 にセットすると $\overline{\text{IRQ0}}$ 端子の割り込み要求がイネーブルになります。

割り込みイネーブルレジスタをクリアすることにより割り込み要求をディスエーブルにする場合、または割り込みフラグレジスタをクリアする場合は、割り込み要求をマスクした状態 (I=1) で行ってください。I=0 の状態で上記の操作を行うと、命令の実行と当該割り込み要求の発生が競合した場合には、当該操作命令の実行終了時に発生した割り込み要求に対応する例外処理を実行します。

3. 例外処理

3.2.4 割り込みイネーブルレジスタ 2 (IENR2)

IENR2 はタイマ B1 のオーバフロー割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビットです。リードすると常に 0 が読み出されます。
6	—	0	—	
5	IENB1	0	R/W	タイマ B1 割り込み要求イネーブル このビットを 1 にセットするとタイマ B1 のオーバフロー割り込み要求がイネーブルになります。
4	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

割り込みイネーブルレジスタをクリアすることにより割り込み要求をディスエーブルにする場合、または割り込みフラグレジスタをクリアする場合は、割り込み要求をマスクした状態 (I=1) で行ってください。I=0 の状態で上記の操作を行うと、命令の実行と当該割り込み要求の発生が競合した場合には、当該操作命令の実行終了時に発生した割り込み要求に対応する例外処理を実行します。

3.2.5 割り込みフラグレジスタ 1 (IRR1)

IRR1 は直接遷移割り込み、IRQ3～IRQ0 割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRRDT	0	R/W	直接遷移割り込み要求フラグ [セット条件] SYSCR2 の DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき [クリア条件] 0 をライトしたとき
6	—	0	—	リザーブビットです。リードすると常に 0 が読み出されます。
5	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
4	—	1	—	
3	IRRI3	0	R/W	IRQ3 割り込み要求フラグ [セット条件] $\overline{\text{IRQ3}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
2	IRRI2	0	R/W	IRQ2 割り込み要求フラグ [セット条件] $\overline{\text{IRQ2}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
1	IRRI1	0	R/W	IRQ1 割り込み要求フラグ [セット条件] $\overline{\text{IRQ1}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
0	IRRI0	0	R/W	IRQ0 割り込み要求フラグ [セット条件] $\overline{\text{IRQ0}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

3. 例外処理

3.2.6 割り込みフラグレジスタ 2 (IRR2)

IRR2 はタイマ B1 割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビットです。リードすると常に 0 が読み出されます。
6	—	0	—	
5	IRRTB1	0	R/W	タイマ B1 割り込み要求フラグ [セット条件] タイマ B1 がオーバーフローしたとき [クリア条件] 0 をライトしたとき
4	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

3.2.7 ウェイクアップ割り込みフラグレジスタ (IWPR)

IWPR は $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 端子の割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	—	1	—	
5	IWPF5	0	R/W	WKP5 割り込み要求フラグ [セット条件] $\overline{\text{WKP5}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
4	IWPF4	0	R/W	WKP4 割り込み要求フラグ [セット条件] $\overline{\text{WKP4}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
3	IWPF3	0	R/W	WKP3 割り込み要求フラグ [セット条件] $\overline{\text{WKP3}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
2	IWPF2	0	R/W	WKP2 割り込み要求フラグ [セット条件] $\overline{\text{WKP2}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
1	IWPF1	0	R/W	WKP1 割り込み要求フラグ [セット条件] $\overline{\text{WKP1}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
0	IWPF0	0	R/W	WKP0 割り込み要求フラグ [セット条件] $\overline{\text{WKP0}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

3.3 リセット例外処理

$\overline{\text{RES}}$ 端子が Low レベルになると実行中の処理はすべて打ち切れ、LSI はリセット状態になります。リセットによって CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット例外処理シーケンスを図 3.1 に示します。リセット例外処理のシーケンスは以下のとおりです。詳細は、「第 18 章 パワーオンリセット & 低電圧検出回路」を参照してください。

1. コンディションコードレジスタ (CCR) の I ビットをセットします。
2. CPU はリセット例外処理ベクタアドレス (H'0000~H'0001) を生成し、そのアドレスのデータをスタートアドレスとしてプログラムカウンタ (PC) に転送してプログラムの実行を開始します。

3.4 割り込み例外処理

3.4.1 外部割り込み要求

外部割り込み要求には、NMI、IRQ3~IRQ0、WKP 割り込み要求があります。

(1) NMI 割り込み要求

NMI 割り込み要求は $\overline{\text{NMI}}$ 端子の入力エッジにより発生します。検出するエッジの方向は IEGR1 の NMIEG により選択できます。NMI 割り込み要求は最優先の割り込み要求で、CCR の I ビットの値にかかわらず常に受け付けられます。

(2) IRQ3~IRQ0 割り込み要求

IRQ3~IRQ0 割り込み要求は $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 端子の入力エッジにより発生します。これらの割り込み要求には異なる割り込みベクタが割り当てられています。検出するエッジの方向は IEGR1 の IEG3~IEG0 によって各端子独立に選択できます。 $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 端子が PMR1 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると、IRR1 の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は IENR1 の IEN3~IEN0 により禁止できます。

(3) WKP 割り込み要求

WKP 割り込み要求は $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ 端子の入力エッジにより発生します。これらの割り込み要求のベクタアドレスは同一です。検出するエッジの方向は IEGR2 の WPEG5~WPEG0 によって各端子独立に選択できます。 $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ 端子が PMR5 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると IWPR の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は IENR1 の IENWP により禁止できます。

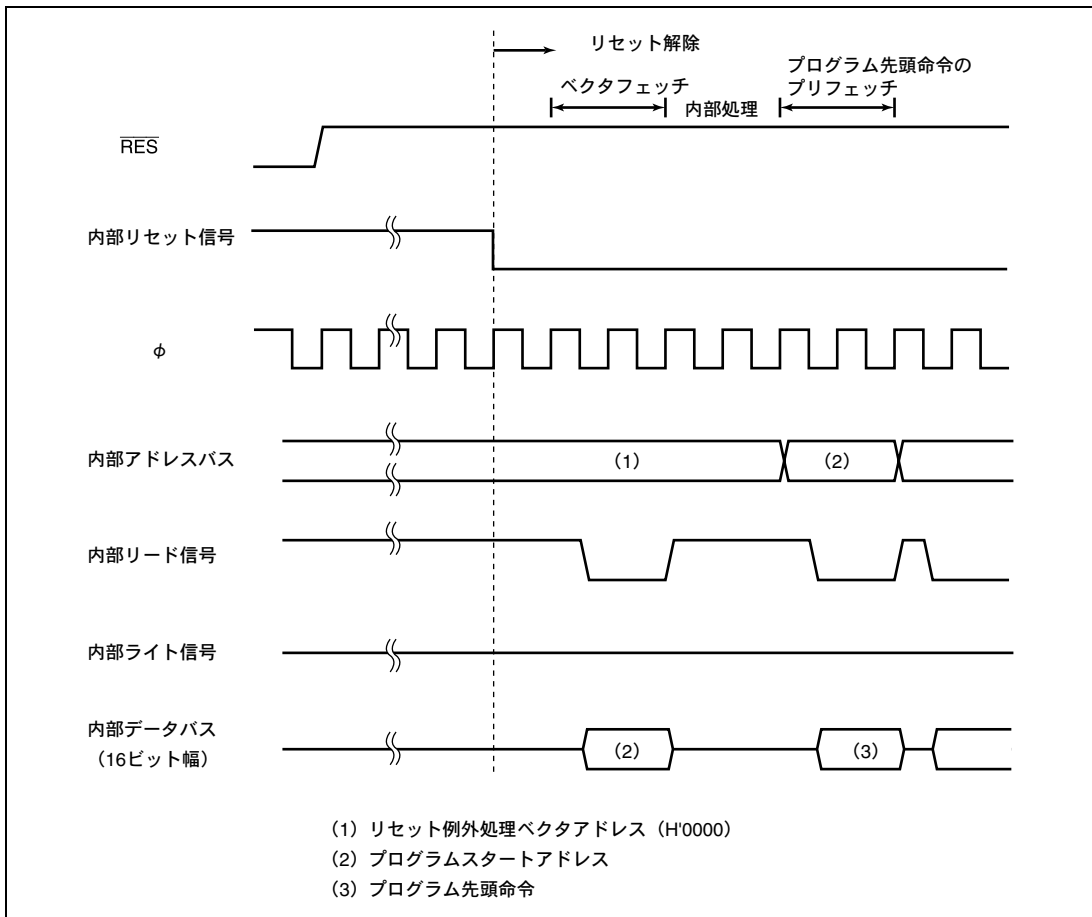


図 3.1 リセット例外処理シーケンス

3.4.2 内部割り込み要求

各内蔵周辺モジュールには割り込み要求ステータスフラグとこれらの割り込みイネーブルビットがあります。SLEEP 命令実行によって発生する直接遷移割り込み、タイマ B1 割り込み要求についてはこの機能は IRR1、IRR2、IENR1、IENR2 に含まれています。内蔵周辺モジュールからの割り込み要求が発生すると対応する割り込み要求ステータスフラグが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は対応するイネーブルビットを 0 にクリアすることにより禁止できます。

3. 例外処理

3.4.3 割り込み処理シーケンス

割り込み要求は割り込みコントローラによって制御されます。割り込み動作は以下のとおりです。

1. NMIあるいは割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込みコントローラに対して割り込み要求信号が送られます。
2. 複数の割り込み要求が発生している場合、割り込みコントローラはCPUに対して表3.1にしたがってその時点で最も優先度の高い割り込み処理を要求します。その他は保留となります。
3. CPUは割り込み要求がNMIまたはアドレスブレイクであればIビットにかかわらず受け付けます。それ以外の割り込み要求はCCRのIビットがクリアされていれば受け付けますが、Iビットがセットされている間は保留します。
4. CPUが割り込み要求を受け付けると、実行中の命令を実行した後、割り込み例外処理を開始します。まず、PCとCCRの値をスタック領域にスタックします。このときのスタックの状態を図3.2に示します。スタックされるPCの値はリターン後に実行する最初の命令のアドレスです。
5. 次にCCRのIビットを1にセットします。これにより、NMIとアドレスブレイクを除く割り込み要求がマスクされます。なお、Iビットの値はリターン時のアンスタックによりCCRの他のビットと共に例外処理開始前の値に戻ります。
6. この後CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、そのアドレスのデータを割り込み処理ルーチンのスタートアドレスとしてPCに転送して割り込み処理を開始します。

プログラム領域を内蔵ROMに、スタック領域を内蔵RAMにとった場合の割り込み要求シーケンスを図3.3に示します。

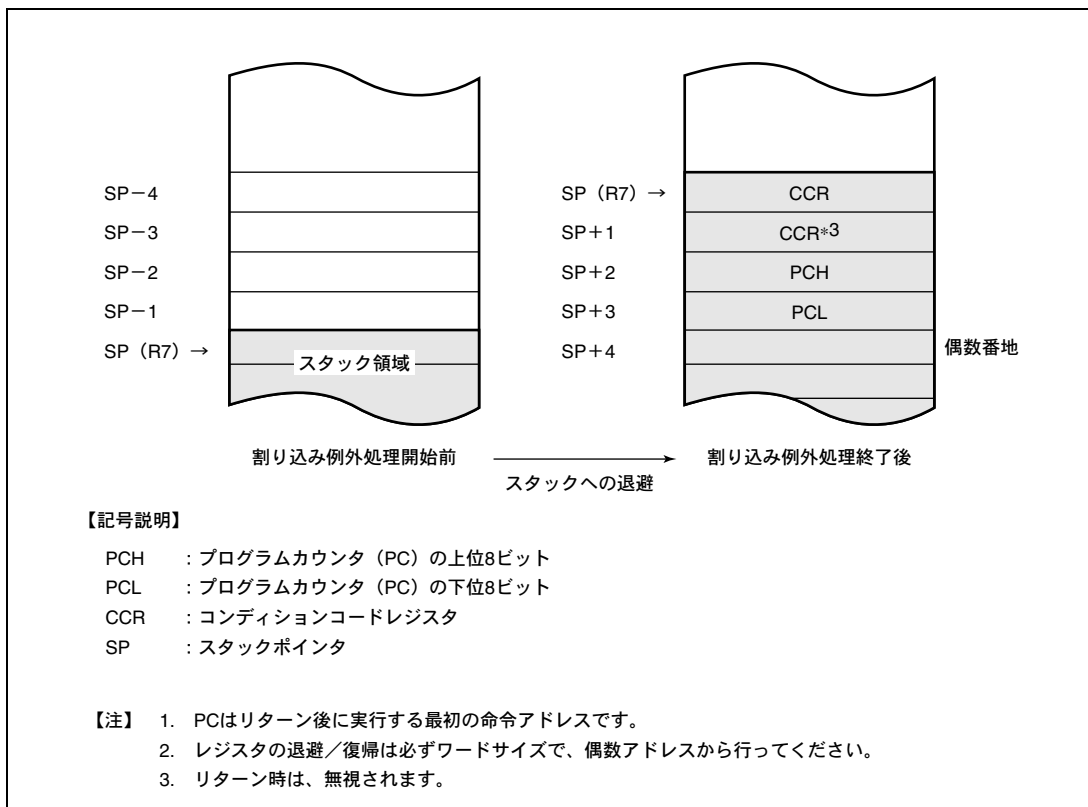


図 3.2 割り込み例外処理終了後のスタック状態

3.4.4 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み要求処理ルーチンの先頭命令を実行するまでの待ち状態数を表 3.2 に示します。

表 3.2 割り込み要求待ち状態数

項目	状態数	合計
実行中の命令終了時の待ち時間*	1~23	15~37
PC、CCRのスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3. 例外処理

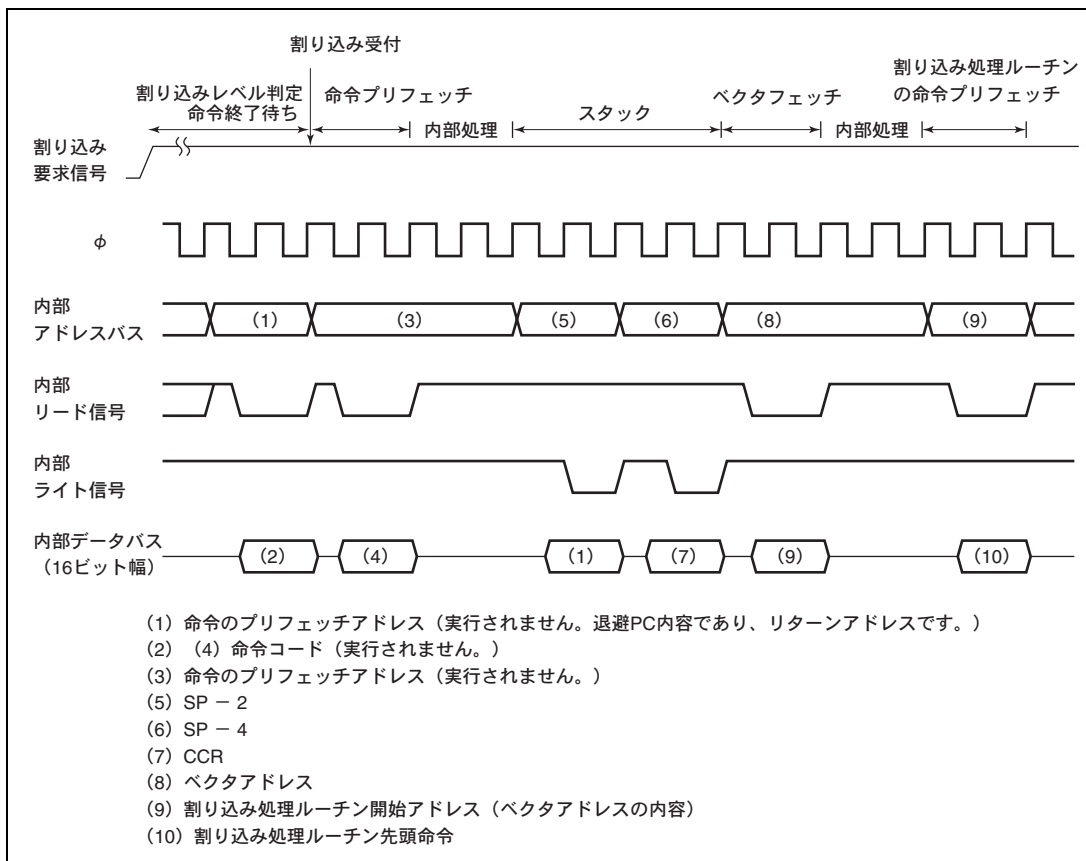


図 3.3 割り込み要求シーケンス

3.5 使用上の注意事項

3.5.1 リセット直後の割り込み要求

リセット直後、スタックポインタ (SP) を初期化する前に CPU が割り込み要求を受け付けると、PC と CCR の退避が正常に行われずプログラムの暴走の原因となります。これを防ぐため、リセット例外処理直後は NMI を含むすべての割り込み要求が禁止されプログラムの先頭 1 命令を必ず実行するようになっていますので、プログラムの先頭で SP を初期化してください (例: MOV.W #xx:16, SP)。

3.5.2 スタック領域のアクセス

ワードデータをアクセスする場合はアドレスの最下位ビットは 0 とみなされます。スタック領域のアクセスは、スタックポインタ (SP: R7) が奇数ならないよう常にワードサイズで行ってください。(例: 「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」)

3.5.3 ポートモードレジスタを書き換える際の注意事項

ポートモードレジスタを書き換えて外部割り込み要求端子 $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP5}}\sim\overline{\text{WKP0}}$ の機能を変更するとき割り込み要求フラグが1にセットされることがあります。端子機能を切り替える場合は、割り込み要求を禁止した状態でポートモードレジスタを書き換え、少なくとも1命令（NOP命令で可）実行してから、割り込み要求フラグをクリアしてください。ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図3.4に示します。

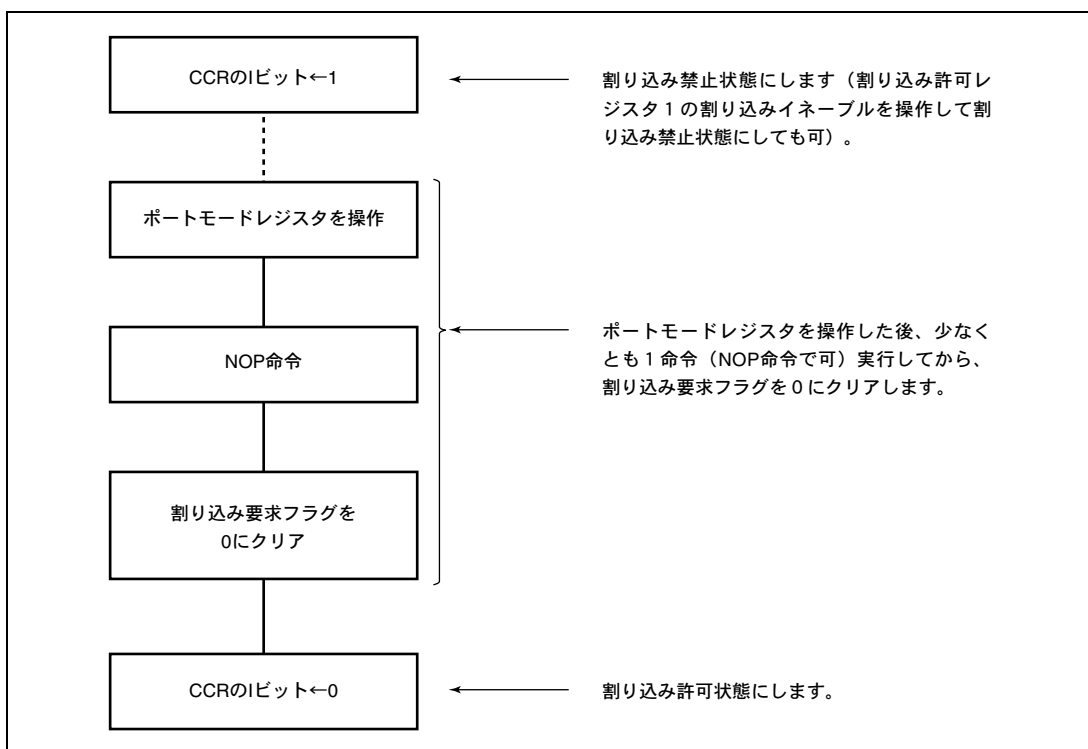


図 3.4 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3. 例外处理

4. アドレスブレイク

アドレスブレイクはオンボードによるプログラムデバッグを容易にする機能を提供します。アドレスブレイクは、設定されたブレイク条件が成立するとアドレスブレイク割り込み要求を発生します。この割り込み要求はCCRのIビットの影響を受けません。設定できるブレイク条件には特定アドレスの命令実行、特定アドレスのアクセスとデータの組み合わせ等があります。また、アドレスブレイク機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。アドレスブレイクのブロック図を図4.1に示します。

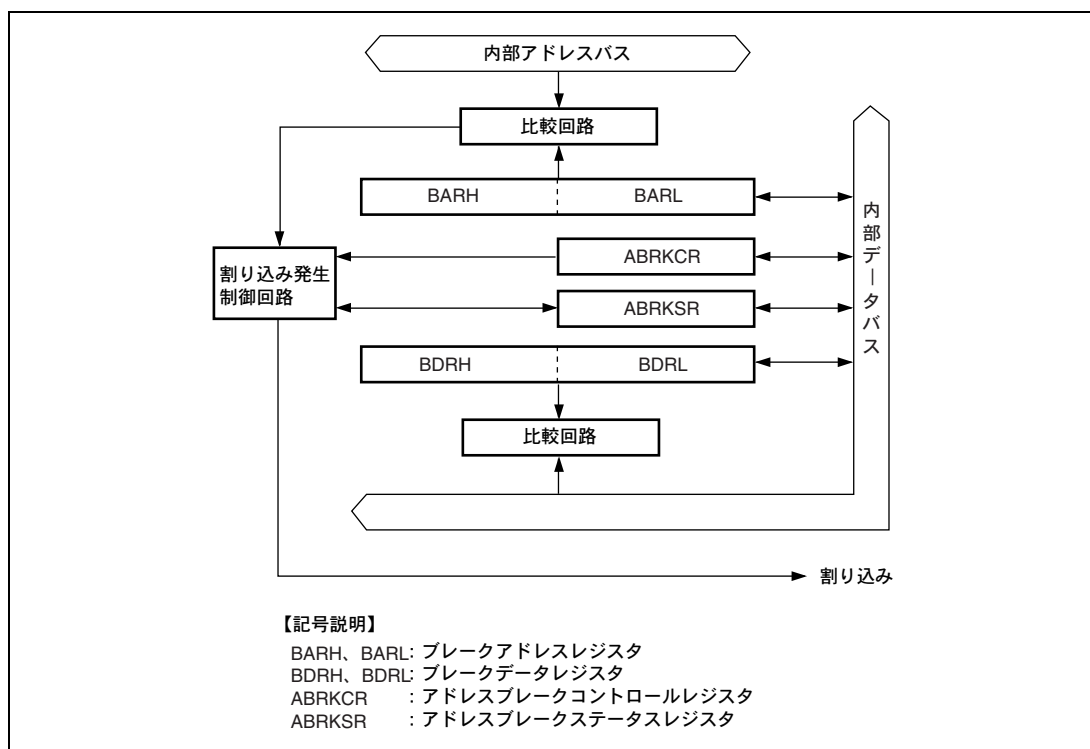


図 4.1 アドレスブレイクブロック図

4. アドレスブレイク

4.1 レジスタの説明

アドレスブレイクには以下のレジスタがあります。

- アドレスブレイクコントロールレジスタ (ABRKCR)
- アドレスブレイクステータスレジスタ (ABRKSR)
- ブレイクアドレスレジスタ (BARH, BARL)
- ブレイクデータレジスタ (BDRH, BDRL)

4.1.1 アドレスブレイクコントロールレジスタ (ABRKCR)

ABRKCR はアドレスブレイクの条件設定を行います。

ビット	ビット名	初期値	R/W	説明
7	RTINTE	1	R/W	RTE 割り込みイネーブル 0 の時 RTE 命令実行直後の割り込みをマスクし、必ず 1 命令実行します。1 のときは割り込みはマスクされません。
6	CSEL1	0	R/W	コンディションセレクト 1~0 アドレスブレイクの条件を設定します。 00 : 命令実行サイクル 01 : CPU データリードサイクル 10 : CPU データライトサイクル 11 : CPU データリード/ライトサイクル
5	CSEL0	0	R/W	
4	ACMP2	0	R/W	アドレスコンペア 2~0 BAR と内部アドレスバスの比較条件を設定します。 000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)
3	ACMP1	0	R/W	
2	ACMP0	0	R/W	
1	DCMP1	0	R/W	データコンペア 1~0 BDR と内部データバスの比較条件を設定します。 00 : データを比較しません。 01 : BDRL とデータバス下位 8 ビットを比較します。 10 : BDRH とデータバス上位 8 ビットを比較します。 11 : BDR とデータバス 16 ビットを比較します。
0	DCMP0	0	R/W	

【注】 X : Don't care

なお、データリードサイクルまたはデータライトサイクルでアドレスブ레이크を設定する場合、アクセスサイズとデータバス幅の組み合わせにより使用するデータバスが異なりますので注意してください。表 4.1 にそれぞれのアクセスと使用するデータバスの対応を示します。データバス幅 8 ビットの I/O レジスタ空間をワードアクセスした場合、バイトアクセスを 2 回発生します。各レジスタのデータバス幅については「20.1 レジスタアドレス一覧（アドレス順）」を参照してください。

表 4.1 使用するデータバス

	ワードアクセス		バイトアクセス	
	偶数アドレス	奇数アドレス	偶数アドレス	奇数アドレス
ROM 空間	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット
RAM 空間	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット
データバス幅 8 ビットの I/O レジスタ	上位 8 ビット	上位 8 ビット	上位 8 ビット	上位 8 ビット
データバス幅 16 ビットの I/O レジスタ	上位 8 ビット	下位 8 ビット	—	—

4.1.2 アドレスブ레이크ステータスレジスタ（ABRKSR）

ABRKSR はアドレスブ레이크の割り込み要求フラグとそのイネーブルビットで構成されます。

ビット	ビット名	初期値	R/W	説明
7	ABIF	0	R/W	アドレスブ레이크割り込みフラグ [セット条件] ABRKCR で設定された条件が成立した場合。 [クリア条件] 1 の状態をリードした後、0 をライトしたとき。
6	ABIE	0	R/W	アドレスブ레이크割り込みイネーブル 1 のときアドレスブ레이크割り込み要求をイネーブルにします。
5~0	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。

4.1.3 ブ레이크アドレスレジスタ（BARH、BARL）

BARH、BARL はアドレスブ레이크割り込みを発生させるためのアドレスを設定する 16 ビットのリード/ライト可能なレジスタです。アドレスブ레이크の条件を命令実行サイクルに設定する場合は命令の第 1 バイトのアドレスを設定してください。このレジスタの初期値は H'FFFF です。

4. アドレスブレイク

4.1.4 ブレイクデータレジスタ (BDRH、BDRL)

BDRH、BDRL はアドレスブレイク割り込みを発生させるためのデータを設定する 16 ビットのリード/ライト可能なレジスタです。BDRH は上位 8 ビットのデータバスと比較されます。BDRL は下位 8 ビットのデータバスと比較されます。メモリまたはレジスタをバイトアクセスする時は偶数アドレス、奇数アドレスともにデータ転送に上位 8 ビットのデータバスが使用されます。したがって、バイトアクセスでは比較データは常に BDRH に設定してください。また、ワードアクセスでは、アドレスによって使用されるデータバスが異なります。詳細は「4.1.1 アドレスブレイクコントロールレジスタ (ABRKCR)」を参照してください。このレジスタの初期値は不定です。

4.2 動作説明

アドレスブレイク機能は、ABRKSR の ABIF が 1 にセットされ、ABRKSR の ABIE が 1 にセットされているとき、CPU に対して割り込み要求を発生します。ここで ABRKSR の ABIF は、BAR に設定されたアドレス、BDR に設定されたデータ、および ABRKCR に設定された条件の組み合わせで、1 にセットされます。割り込み要求が受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレイク割り込みは CPU の CCR の I ビットによってマスクされません。

アドレスブレイク割り込みの設定による動作例を図 4.2 に示します。

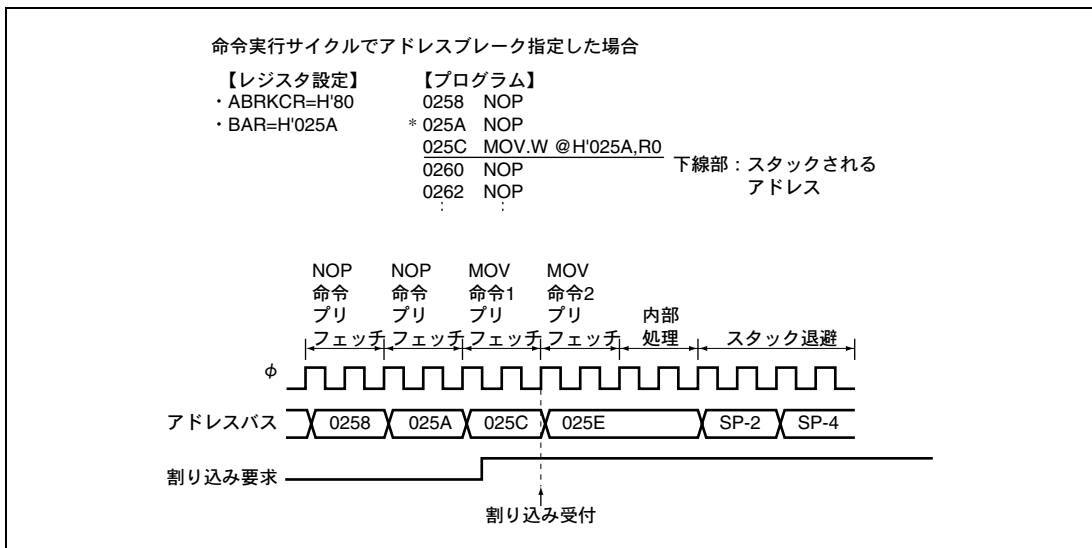


図 4.2 アドレスブレイク割り込み動作例 (1)

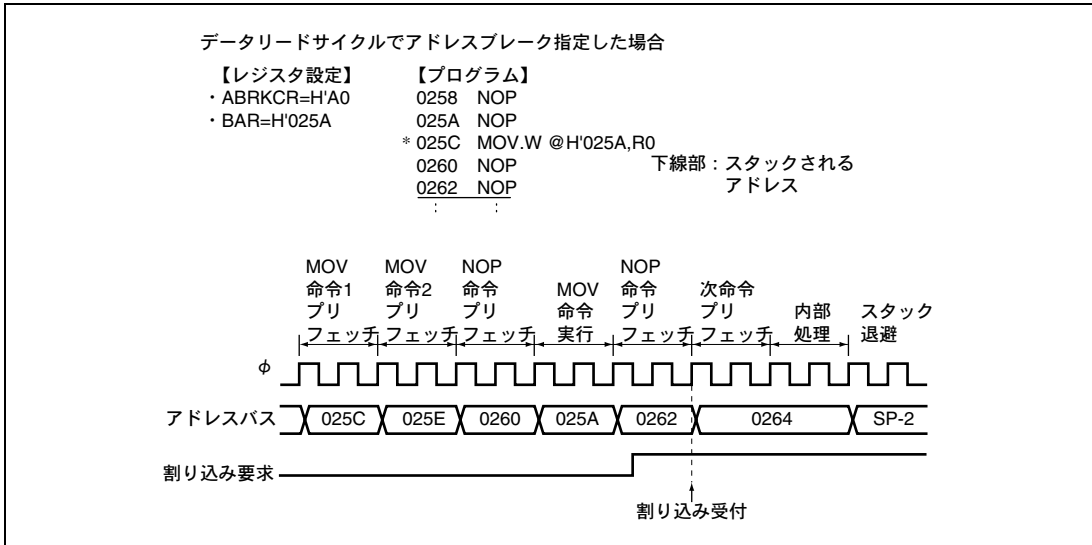


図 4.2 アドレスブレイク割り込み動作例 (2)

4. アドレスブレーク

5. クロック発振器

クロック発生回路は、システムクロック発振器、デューティ補正回路、システムクロック分周器からなるシステムクロック発生回路で構成されています。図 5.1 にクロック発生回路のブロック図を示します。

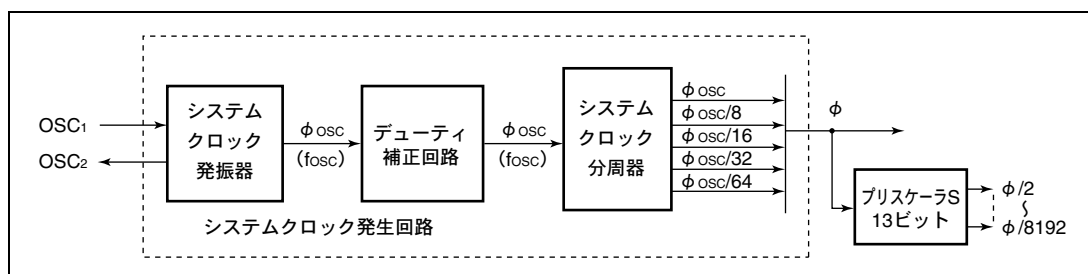


図 5.1 クロック発生回路のブロック図

システムクロック ϕ は、CPU および周辺機能を動作させるための基準クロックです。システムクロックはプリスケアラ S によって $\phi/2 \sim \phi/8192$ に分周され、それぞれ各周辺モジュールに供給されます。

5. クロック発振器

5.1 システムクロック発振器

システムクロックを供給する方法には水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。システムクロック発振器のブロック図を図 5.2 に示します。

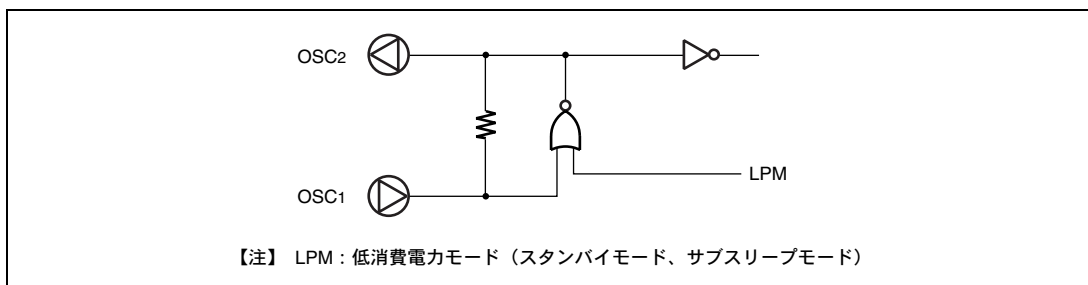


図 5.2 システムクロック発振器のブロック図

5.1.1 水晶発振子を接続する方法

水晶発振子の接続例を図 5.3 に示します。水晶発振子は AT カット 並列共振形を使用してください。図 5.4 に水晶発振子の等価回路を示します。発振子は表 5.1 に示す特性のものを使用してください。

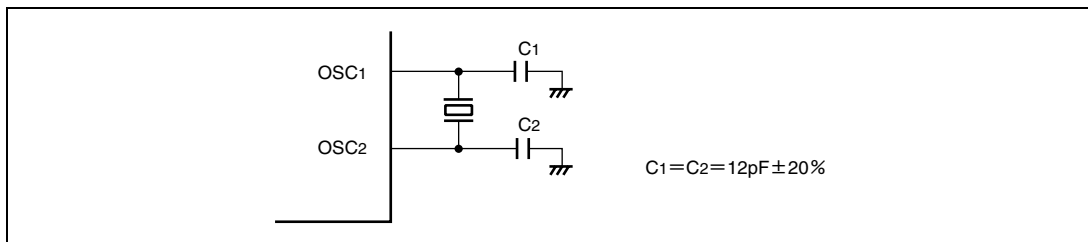


図 5.3 水晶発振子の接続例

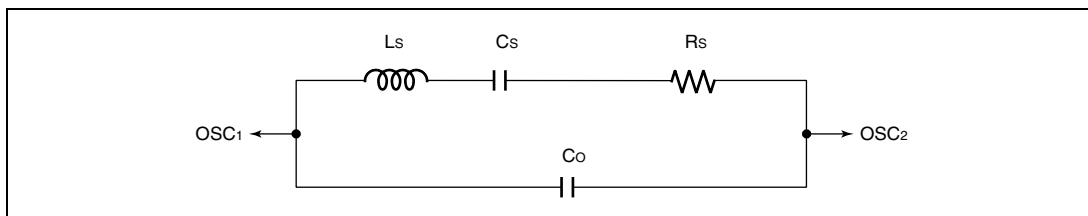


図 5.4 水晶発振子の等価回路

表 5.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	16	20
Rs (max)	500Ω	120Ω	80Ω	60Ω	50Ω	40Ω
Co (max)	7pF					

5.1.2 セラミック発振子を接続する方法

セラミック発振子の接続例を図 5.5 に示します。

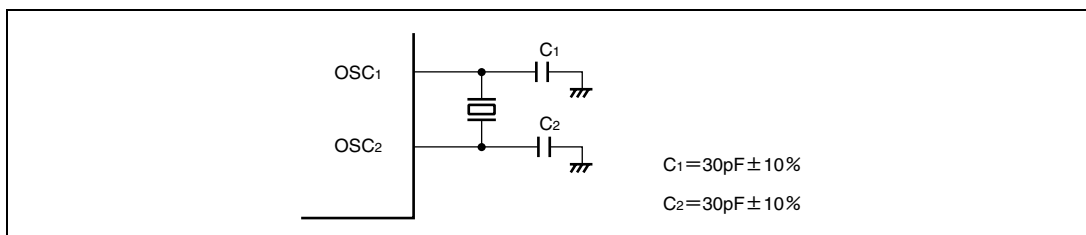


図 5.5 セラミック発振子の接続例

5.1.3 外部クロックを入力する方法

外部クロックを OSC1 端子に入力し、OSC2 端子をオープン状態にします。接続例を図 5.6 に示します。外部クロックのデューティは 45%~55%としてください。

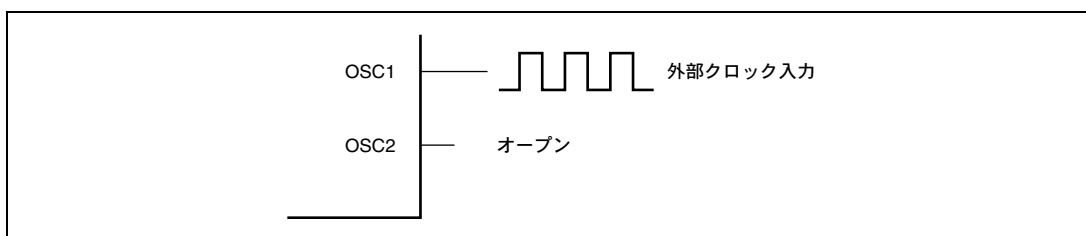


図 5.6 外部クロックを入力する場合の接続例

5.2 プリスケータ

5.2.1 プリスケータ S

プリスケータ S は、システムクロック (ϕ) を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケータ S は H'0000 にイニシャライズされ、リセット解除後、カウントアップを開始します。スタンバイモード、サブスリープモードでは、システムクロック発振器が停止するためプリスケータ S の動作も停止します。このとき、プリスケータ S は H'0000 にイニシャライズされます。CPU からはアクセスできません。

プリスケータ S の出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。なお、アクティブモードおよびスリープモードではプリスケータ S のクロック入力は SYSCR2 の MA2~MA0 で設定した分周比のシステムクロックとなります。

5.3 使用上の注意事項

5.3.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

5.3.2 ボード設計上の注意事項

水晶発振子（セラミック発振子）を使用する場合は、発振子および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通させないでください（図 5.7）。誘導により正しい発振ができなくなる場合があります。

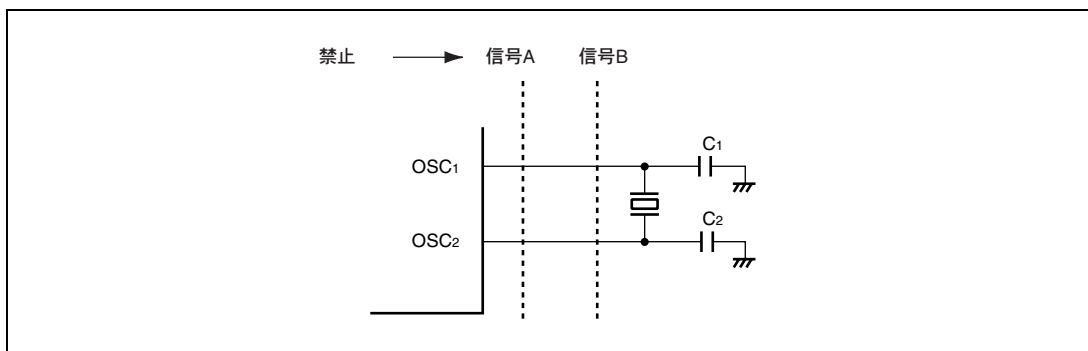


図 5.7 発振回路のボード設計に関する注意事項

6. 低消費電力モード

リセット解除後の動作モードには、通常のアクティブモードの他に消費電力を著しく低下させる2種類の低消費電力モードがあります。このほか、内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能があります。

- アクティブモード

CPUおよび内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数はギア機能により ϕ_{osc} 、 $\phi_{osc}/8$ 、 $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ の中から選択できます。

- スリープモード

CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。

- スタンバイモード

CPUおよびすべての内蔵周辺モジュールが動作を停止します。

- サブスリープモード

CPUおよびすべての内蔵周辺モジュールが動作を停止します。I/Oポートは遷移前の状態を保持します。

- モジュールスタンバイ機能

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

6. 低消費電力モード

6.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- システムコントロールレジスタ1 (SYSCR1)
- システムコントロールレジスタ2 (SYSCR2)
- モジュールスタンバイコントロールレジスタ1 (MSTCR1)
- モジュールスタンバイコントロールレジスタ2 (MSTCR2)

6.1.1 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は SYSCR2 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0: スリープモードに遷移 1: スタンバイモードに遷移 詳細は表 6.2 を参照してください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 スタンバイモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が 6.5ms 以上となるように設定してください。設定値と待機ステート数の関係は表 6.1 のとおりです。 外部クロックを使用する場合は最小値 (STS2=STS1=STS0=1) を推奨します。
5	STS1	0	R/W	
4	STS0	0	R/W	
3~0	—	0	—	リザーブビットです。読み出すと常に 0 が読み出されます。

表 6.1 動作周波数と待機時間

ビット			待機ステート数	動作周波数							
STS2	STS1	STS0		20MHz	16MHz	10MHz	8MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 ステート	0.4	0.5	0.8	1.0	2.0	4.1	8.1	16.4
0	0	1	16,384 ステート	0.8	1.0	1.6	2.0	4.1	8.2	16.4	32.8
0	1	0	32,768 ステート	1.6	2.0	3.3	4.1	8.2	16.4	32.8	65.5
0	1	1	65,536 ステート	3.3	4.1	6.6	8.2	16.4	32.8	65.5	131.1
1	0	0	131,072 ステート	6.6	8.2	13.1	16.4	32.8	65.5	131.1	262.1
1	0	1	1,024 ステート	0.05	0.06	0.10	0.13	0.26	0.51	1.02	2.05
1	1	0	128 ステート	0.00	0.00	0.01	0.02	0.03	0.06	0.13	0.26
1	1	1	16 ステート	0.00	0.00	0.00	0.00	0.00	0.01	0.02	0.03

【注】 時間の単位は ms です。

6.1.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は SYSCR1 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説 明
7	SMSSEL	0	R/W	スリープモード選択 このビットは SYSCR1 の SSBY とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 6.2 を参照してください。
6	—	0	—	リザーブビットです。読み出すと常に 0 が読み出されます。
5	DTON	0	R/W	ダイレクトトランスファオンフラグ このビットは SYSCR1 の SSBY とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 6.2 を参照してください。
4	MA2	0	R/W	アクティブモードクロックセレクト 2~0 アクティブモードおよびスリープモードの動作クロック周波数を選択します。クロックは SLEEP 命令実行後、設定した周波数に切り替わります。 0XX: ϕ_{osc} 100: $\phi_{osc}/8$ 101: $\phi_{osc}/16$ 110: $\phi_{osc}/32$ 111: $\phi_{osc}/64$
3	MA1	0	R/W	
2	MA0	0	R/W	
1	—	0	—	リザーブビットです。読み出すと常に 0 が読み出されます。
0	—	0	—	

【注】 X : Don't care

6. 低消費電力モード

6.1.3 モジュールスタンバイコントロールレジスタ 1 (MSTCR1)

MSTCR1 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビットです。読み出すと常に0が読み出されます。
6	MSTIIC	0	R/W	IIC2 モジュールスタンバイ このビットが1のとき IIC2 はスタンバイ状態になります。
5	MSTS3	0	R/W	SCI3 モジュールスタンバイ このビットが1のとき SCI3 はスタンバイ状態になります。
4	MSTAD	0	R/W	A/D 変換器モジュールスタンバイ このビットが1のとき A/D 変換器はスタンバイ状態になります。
3	MSTWD	0	R/W	ウォッチドッグタイマモジュールスタンバイ このビットが1のときウォッチドッグタイマはスタンバイ状態になります (ただし、ウォッチドッグタイマのカウントクロックに内部発振器を選択した場合は、このビットの設定にかかわらずウォッチドッグタイマは動作します)。
2	—	0	—	リザーブビットです。読み出すと常に0が読み出されます。
1	MSTTV	0	R/W	タイマV モジュールスタンバイ このビットが1のときタイマV はスタンバイ状態になります。
0	—	0	—	リザーブビットです。読み出すと常に0が読み出されます。

6.1.4 モジュールスタンバイコントロールレジスタ 2 (MSTCR2)

MSTCR2 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

ビット	ビット名	初期値	R/W	説明
7	MSTS3_2	0	R/W	SCI3_2 モジュールスタンバイ このビットが1のとき SCI3_2 はスタンバイ状態になります。
6	—	0	—	リザーブビットです。リードすると常に0が読み出されます。
5	—	0	—	リザーブビットです。リードすると常に0が読み出されます。
4	MSTTB1	0	R/W	タイマ B1 モジュールスタンバイ このビットが1のときタイマ B1 はスタンバイ状態になります。
3	—	0	—	リザーブビットです。リードすると常に0が読み出されます。
2	—	0	—	リザーブビットです。リードすると常に0が読み出されます。
1	MSTTZ	0	R/W	タイマ Z モジュールスタンバイ このビットが1のときタイマ Z はスタンバイ状態になります。
0	MSTPWM	0	R/W	PWM モジュールスタンバイ このビットが1のとき PWM はスタンバイ状態になります。

6.2 モード間遷移と LSI の状態

図 6.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。また、アクティブモードからアクティブモードへ直接遷移することにより、動作周波数を変更することができます。RES 入力によりすべてのモードからリセット状態に遷移します。表 6.2 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 6.3 に各動作モードでの LSI の内部状態を示します。

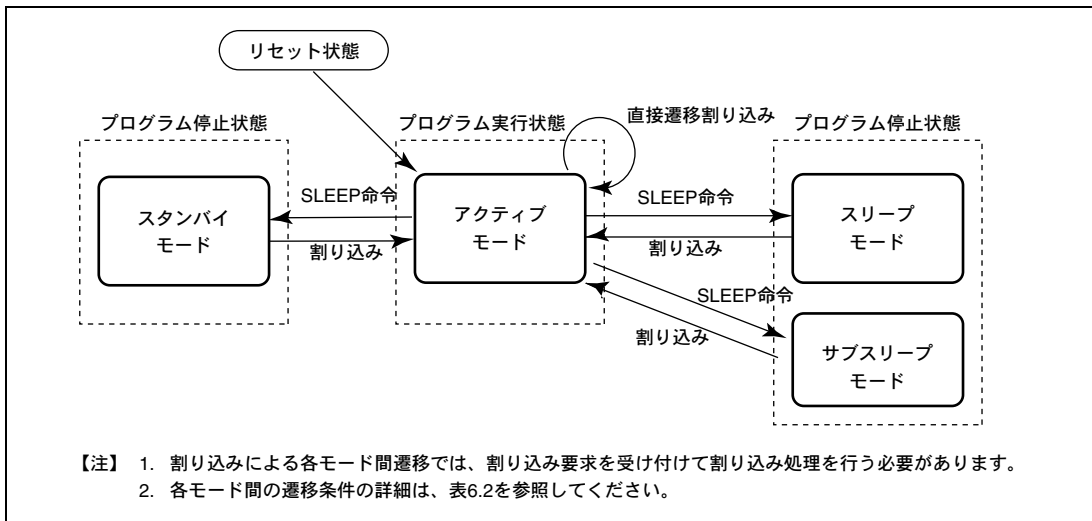


図 6.1 モード遷移図

表 6.2 SLEEP 命令実行後の状態と割り込みによる復帰先

DTON	SSBY	SMSSEL	SLEEP 命令実行後の状態	割り込みによる復帰先
0	0	0	スリープモード	アクティブモード
0	0	1	サブスリープモード	アクティブモード
0	1	X	スタンバイモード	アクティブモード
1	X	0*	アクティブモード (直接遷移)	

【注】 X : Don't care

* SMSSEL=1で状態遷移を行った場合、タイマ V、SCI3、SCI3_2、A/D 変換器はリセットされ、各レジスタの値は初期値に戻ります。アクティブモード遷移後に、これらの機能を使用する場合は、各レジスタの再設定が必要です。

6. 低消費電力モード

表 6.3 各動作モードでの LSI の状態

機能		アクティブ	スリープ	サブスリープ	スタンバイ
システムクロック発振器		動作	動作	停止	停止
CPU	命令実行	動作	停止	停止	停止
	レジスタ	動作	保持	保持	保持
RAM		動作	保持	保持	保持
I/O ポート		動作	保持	保持	レジスタは保持、出力はハイインピーダンス
外部割り込み	IRQ3~IRQ0	動作	動作	動作	動作
	WKP5~WKP0	動作	動作	動作	動作
周辺モジュール	タイマ V	動作	動作	リセット	リセット
	ウォッチドッグタイマ	動作	動作	保持	保持(カウントクロックに内部発振器を選択した場合は動作します。)
	SCI3, SCI3_2	動作	動作	リセット	リセット
	IIC2	動作	動作	保持	保持
	タイマ B1	動作	動作	保持	保持
	タイマ Z	動作	動作	保持	保持
	A/D 変換器	動作	動作	リセット	リセット

6.2.1 スリープモード

スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは SYSCR2 の MA2~MA0 で設定した周波数のクロックで動作します。CPU のレジスタの内容は保持されます。割り込み要求が発生するとスリープモードは解除され、割り込み例外処理を開始します。CCR の I ビットが 1 のとき、または割り込みイネーブルビットにより割り込みがマスクされているとスリープモードは解除できません。スリープモード中 $\overline{\text{RES}}$ 端子を Low レベルにするとスリープモードは解除されリセット状態に移移します。

6.2.2 スタンバイモード

スタンバイモードではシステムクロック発振器が停止し、CPU および内蔵周辺モジュールが停止します。規定の電圧が与えられているかぎり、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持されます。また、RAM データ保持電圧で規定された電圧が供給されているかぎり、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態となります。

スタンバイモードは割り込みによって解除されます。割り込み要求が発生するとシステムクロック発振器が発振を開始します。SYSCR1 の STS2~STS0 で設定された時間が経過するとスタンバイモードが解除されて割り込み例外処理を開始します。CCR の I ビットが 1 の場合、または割り込みイネーブルビットにより割り込みがマスクされているとスタンバイモードは解除できません。

スタンバイモードで $\overline{\text{RES}}$ 端子を Low レベルにするとシステムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

6.2.3 サブスリープモード

サブスリープモードではシステムクロック発振器が停止し、CPU および内蔵周辺モジュールが停止します。規定の電圧が与えられているかぎり、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは割り込みによって解除されます。割り込み要求が発生するとシステムクロック発振器が発振を開始します。SYSCR1 の STS2~STS0 で設定された時間が経過すると、サブスリープモードが解除されて割り込み例外処理を開始します。なお CCR の I ビットが 1 の場合、または割り込みイネーブルビットにより割り込みがマスクされているとサブスリープモードは解除できません。

6.3 アクティブモードの動作周波数

アクティブモードは SYSCR2 の MA2~MA0 で設定した周波数のクロックによって動作します。動作周波数は SLEEP 命令実行後に設定した周波数に切り替わります。

6.4 直接遷移

CPU がプログラムを実行している動作モードにはアクティブモードがあります。アクティブモードからアクティブモードへ直接遷移することにより、動作周波数を変更することができます。SYSCR2 の DTON を 1 にセットして SLEEP 命令を実行すると直接遷移します。遷移後は直接遷移割り込み例外処理を開始します。割り込みイネーブルレジスタ 1 により直接遷移割り込みが禁止されている場合は直接遷移せず、スリープモードへ遷移します。CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードに遷移したあと、割り込みによる解除ができませんので注意してください。

6.5 モジュールスタンバイ機能

モジュールスタンバイ機能はすべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。MSTCR1、MSTCR2 の各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールスタンバイ状態となり、クリアすると解除されます。

7. ROM

フラッシュメモリ版に内蔵されている 32K バイト（内 4K バイトは E7、E8 制御プログラムエリア）のフラッシュメモリの特長は以下のとおりです。

- 書き込み／消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、1Kバイト×4ブロック、28Kバイト×1ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

1000回まで書き換え可能です。

- オンボードプログラミング

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。この他、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングの他にPROMライターを用いて書き込み／消去を行うライターモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み／消去プロテクト

ソフトウェアによりフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

7.1 ブロック構成

図 7.1 に 32K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト×4 ブロック、28K バイト×1 ブロックに分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

消去単位	H'0000	H'0001	H'0002	←書き込み単位128バイト→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1Kバイト					
消去単位	H'0380	H'0381	H'0382	←書き込み単位128バイト→	H'03FF
	H'0400	H'0401	H'0402		H'047F
1Kバイト					
消去単位	H'0480	H'0481	H'0482	←書き込み単位128バイト→	H'04FF
1Kバイト					
消去単位	H'0780	H'0781	H'0782	←書き込み単位128バイト→	H'07FF
	H'0800	H'0801	H'0802		H'087F
1Kバイト					
消去単位	H'0880	H'0881	H'0882	←書き込み単位128バイト→	H'08FF
1Kバイト					
消去単位	H'0B80	H'0B81	H'0B82	←書き込み単位128バイト→	H'0BFF
	H'0C00	H'0C01	H'0C02		H'0C7F
1Kバイト					
消去単位	H'0C80	H'0C81	H'0C82	←書き込み単位128バイト→	H'0CFF
1Kバイト					
消去単位	H'0F80	H'0F81	H'0F82	←書き込み単位128バイト→	H'0FFF
	H'1000	H'1001	H'1002		H'107F
28Kバイト					
消去単位	H'1080	H'1081	H'1082	←書き込み単位128バイト→	H'10FF
28Kバイト					
	H'7F80	H'7F81	H'7F82		H'7FFF

図 7.1 フラッシュメモリのブロック構成

7.2 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- ブロック指定レジスタ1 (EBR1)
- フラッシュメモリエnableレジスタ (FENR)

7.2.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「7.4 書き込み/消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビットです。リードすると常に0が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み/消去が可能となります。0のときこのレジスタの他のビットとEBR1の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1のEビットを1にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1のPビットを1にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1の状態でのこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1の状態でのこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

7. ROM

7.2.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「7.5.3 エラープロテクト」を参照してください。
6~0	—	すべて0	—	リザーブビットです。リードすると常に0が読み出されます。

7.2.3 ブロック指定レジスタ 1 (EBR1)

EBR1 はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 のSWE ビットが0のときはEBR1 はH'00に初期化されます。このレジスタは2ビット以上同時に1に設定しないでください。設定するとEBR1 は0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて0	—	リザーブビットです。リードすると常に0が読み出されます。
4	EB4	0	R/W	このビットが1のとき H'1000~H'7FFF の28K バイトが消去対象となります。
3	EB3	0	R/W	このビットが1のとき H'0C00~H'0FFF の1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが1のとき H'0800~H'0BFF の1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが1のとき H'0400~H'07FF の1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが1のとき H'0000~H'03FF の1K バイトが消去対象となります。

7.2.4 フラッシュメモリーネーブルレジスタ (FENR)

FENR のビット7 (FLSHE) は、CPU からフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR1 をアクセスする場合のアクセス許可/禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル このビットを1にセットすると、フラッシュメモリ制御レジスタがアクセス可能となります。0のときは制御レジスタはアクセスできません。
6~0	—	すべて0	—	リザーブビットです。リードすると常に0が読み出されます。

7.3 オンボードプログラミング

フラッシュメモリの書き込み／消去を行うためのモードとしてオンボードで書き込み／消去ができるブートモードと PROM ライタで書き込み／消去を行うライターモードが用意されています。このほかユーザモードでもオンボードで書き込み／消去を行うことが可能です。リセット状態からリセットスタートすると本 LSI は TEST 端子、 $\overline{\text{NMI}}$ 端子およびポートの入力レベルによって表 7.1 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SC13 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み／消去ができなくなった場合の強制復帰等に使用できます。ユーザモードではユーザが用意した書き込み／消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 7.1 プログラミングモード選択方法

TEST	$\overline{\text{NMI}}$	P85	PB0	PB1	PB2	リセット解除後の LSI の状態
0	1	X	X	X	X	ユーザモード
0	0	1	X	X	X	ブートモード
1	X	X	0	0	0	ライターモード

【注】 X : Don't care

7.3.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表7.2に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「7.4 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でLowアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表7.3の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'F780~H'FEF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR22=1、P22=1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、 $\overline{\text{NMI}}$ 端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、 $\overline{\text{NMI}}$ 端子の入力レベルを変化させないでください。

表 7.2 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="border: 1px solid black; border-radius: 50%; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレート の 合わせ 込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信	H'00,H'00・・・H'00 ← H'00 ← H'55	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI3のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 H'55受信
フラッシュ メモリ 消去	ブートプログラム 消去エラー ↓ H'AA受信	← H'FF ← H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
書き込み 制御 プログラ ムの 転送	転送する書き込み制御プログラムの バイト数 (N) を上位バイト、下位バイト の順に2バイト送信 ↓ 書き込み制御プログラムを1バイト毎に 送信 (N回繰り返し) ↓ H'AA受信	上位バイト、下位バイト ← エコーバック ← H'XX ← エコーバック ← H'AA	受信した2バイトデータをホストへ エコーバック ↓ 受信したデータをホストへ エコーバックするとともに RAMへ転送 (N回繰り返し) ↓ ホストへH'AAを送信
			内蔵RAMに転送された書き込み 制御プログラムへ分岐し実行を開始

表 7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	LSI のシステムクロック周波数範囲
19200bps	16~20MHz
9600bps	8~16MHz
4800bps	4~16MHz
2400bps	2~16MHz

7.3.2 ユーザモードでの書き込み／消去

ユーザモードでもユーザが用意した書き込み／消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み／消去プログラムを書き込んでおくか、書き込み／消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み／消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み／消去プログラムは内蔵 RAM に転送して実行してください。図 7.2 にユーザモードでの書き込み／消去手順の例を示します。書き込み／消去プログラムは「7.4 書き込み／消去プログラム」に沿ったものを用意してください。

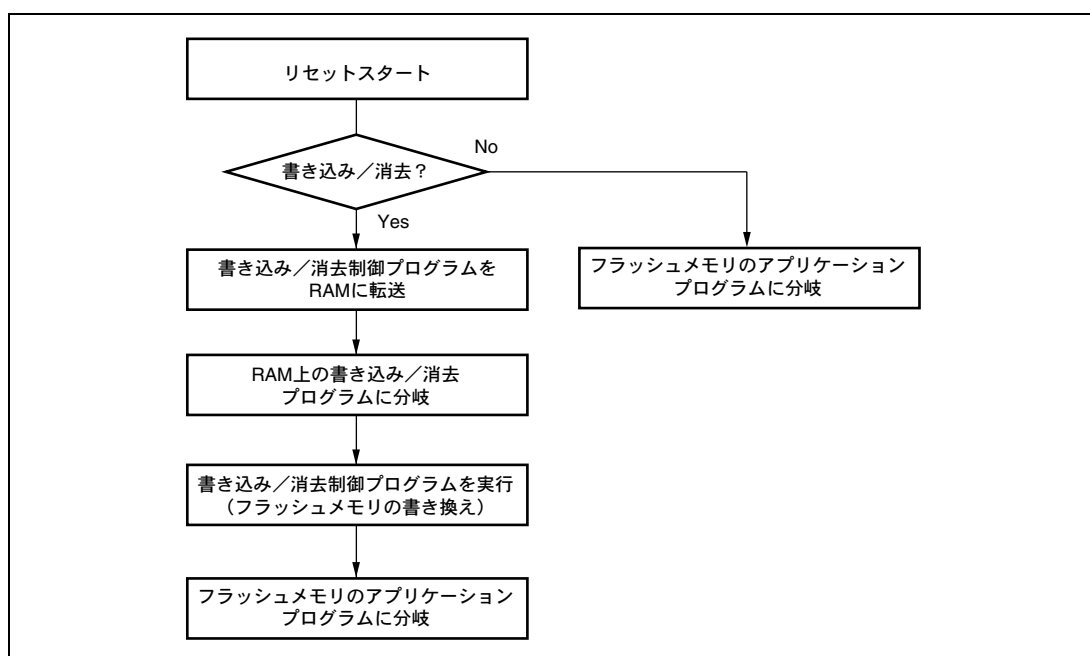


図 7.2 ユーザモードにおける書き込み／消去例

7.4 書き込み／消去プログラム

オンボードでのフラッシュメモリの書き込み／消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み／消去プログラムではこれらのモードを組み合わせで書き込み／消去を行います。フラッシュメモリへの書き込みは「7.4.1 プログラム／プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「7.4.2 イレース／イレースベリファイ」に沿って行ってください。

7.4.1 プログラム／プログラムベリファイ

フラッシュメモリへの書き込みは、図7.3に示すプログラム／プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態で行い、既書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保して下さい。再書き込みデータの演算は表7.4に、追加書き込みデータの演算は表7.5にしたがってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は表7.6にしたがってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードもしくはロングワードで読み出せます。
8. 同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

7. ROM

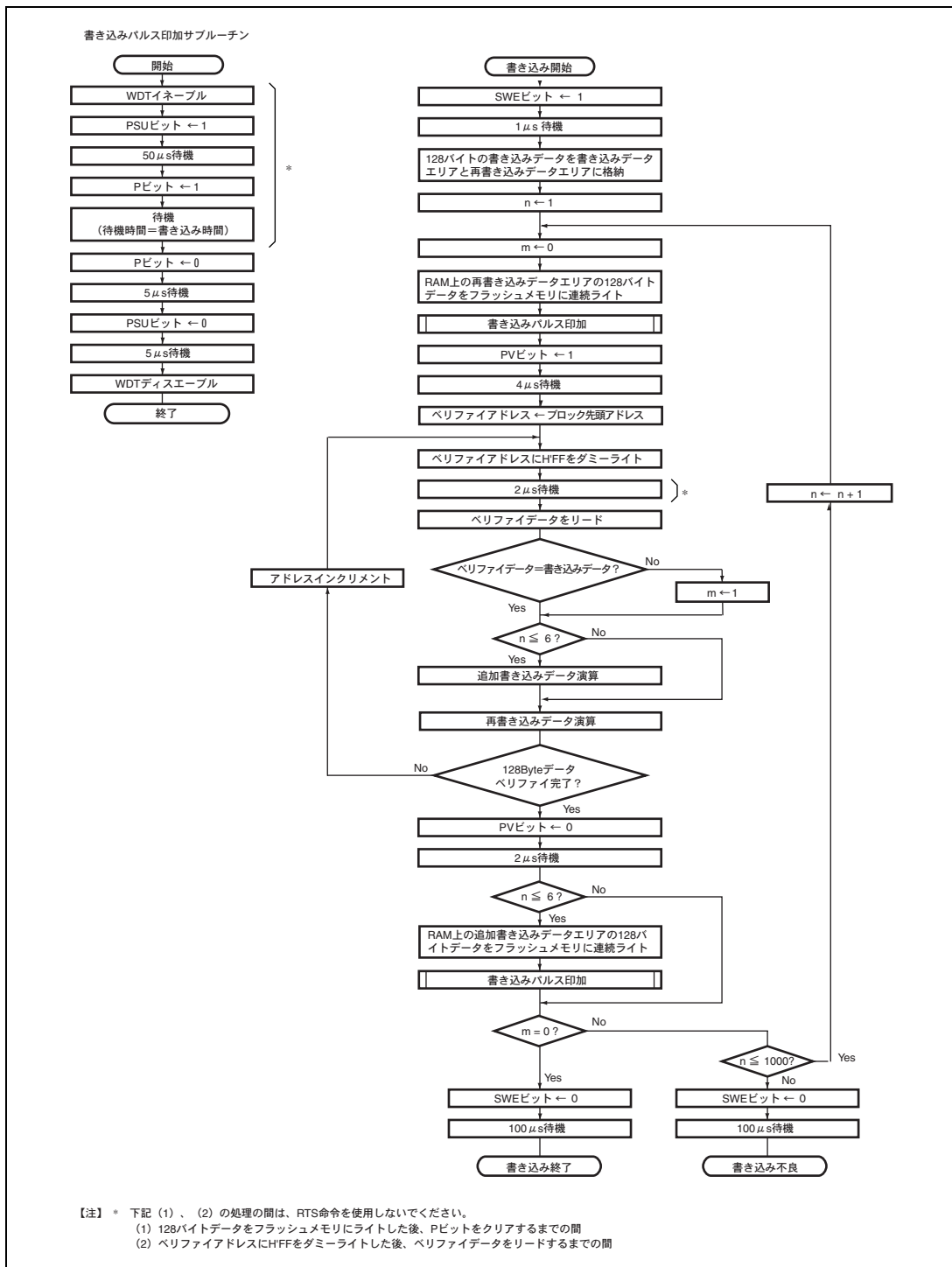


図 7.3 プログラム/プログラムベリファイフロー

表 7.4 再書き込みデータ演算表

書き込みデータ	バリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 7.5 追加書き込みデータ演算表

再書き込みデータ	バリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 7.6 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200	—	

【注】 時間の単位は μ sです。

7.4.2 イレース/イレースベリファイ

消去は図 7.4 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ1（EBR1）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

7.4.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由からNMIを含むすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

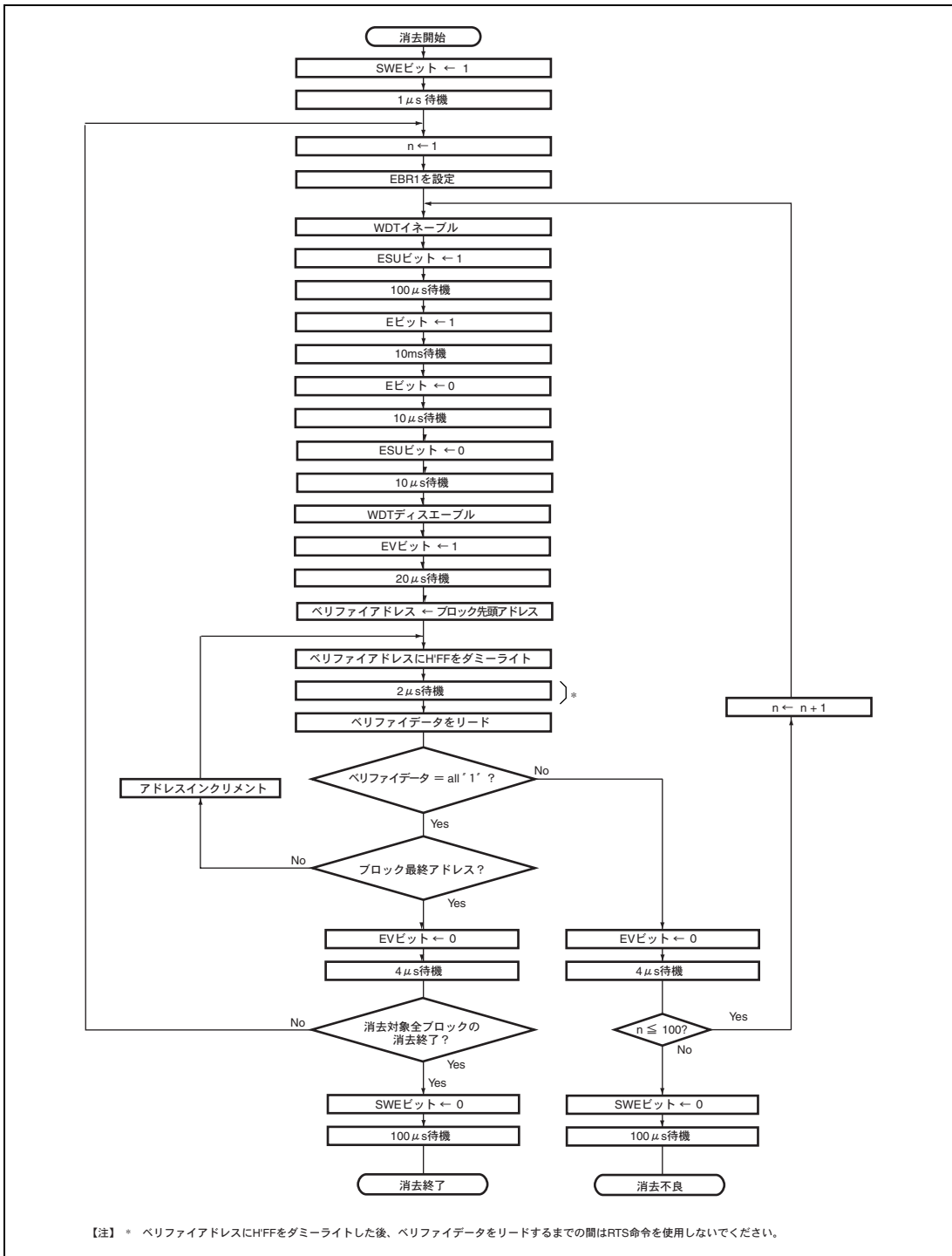


図 7.4 イレース/イレースバリファイフロー

7.5 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

7.5.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット、サブスリープモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

7.5.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み／消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1) の設定により、ブロック毎に消去プロテクトが可能です。EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

7.5.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中に CPU の暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが1にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットによってのみ解除できます。

7.6 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス テクノロジ 64K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT64V5) をサポートしているライタを使用してください。

8. RAM

H8/36064 グループは、2K バイトの高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 2 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8/36064GF	2K バイト	H'F780~H'FF7F*

【注】 * E7、E8 使用時は、H'F780~H'FB7F 領域は絶対にアクセスしないでください。

8. RAM

9. I/O ポート

H8/36064 グループは汎用入出力ポートを 45 本、汎用入力ポートを 8 本備えています。このうちポート 6 は大電流ポートで Low レベル出力時 20mA (@V_{OL}=1.5V) 駆動できます。いずれも内蔵周辺モジュールの入出力端子や外部割り込み入力端子と兼用になっていてリセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。これら機能を選択するためのレジスタは I/O ポートに含まれるものと、各内蔵周辺モジュールに含まれるものがあります。汎用入出力ポートは入出力を制御するポートコントロールレジスタと出力データを格納するポートデータレジスタから構成され、ビット単位で入出力を選択できます。

各ポートの機能については「付録 B.1 I/O ポートブロック図」をあわせて参照してください。また、ポートコントロールレジスタ、ポートデータレジスタに対するビット操作命令の実行については「2.8.3 ビット操作命令」を参照してください。

9.1 ポート 1

ポート 1 は IRQ 割り込み入力端子、14 ビット PWM 出力端子、タイマ B1 入力端子、タイマ V 入力端子と兼用の入出力ポートです。ポート 1 の各端子は図 9.1 に示す構成になっています。兼用端子の機能は PMR1 のレジスタの設定が優先されます。

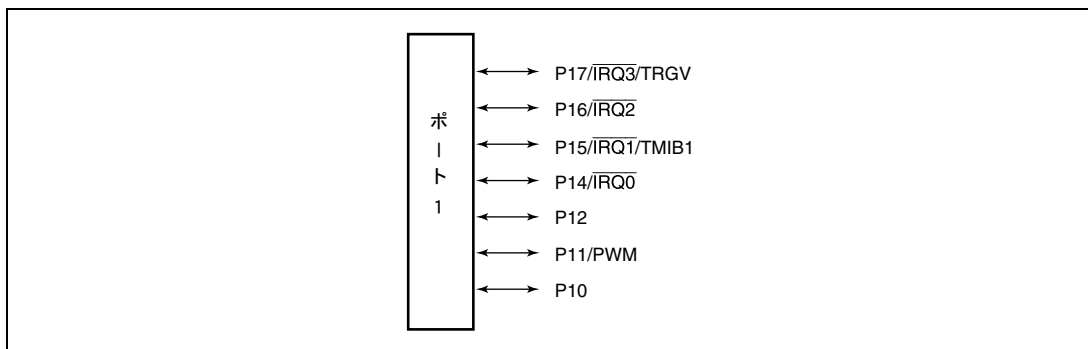


図 9.1 ポート 1 の端子構成

ポート 1 には以下のレジスタがあります。

- ポートモードレジスタ 1 (PMR1)
- ポートコントロールレジスタ 1 (PCR1)
- ポートデータレジスタ 1 (PDR1)
- ポートブルアップコントロールレジスタ 1 (PUCR1)

9.1.1 ポートモードレジスタ 1 (PMR1)

PMR1 はポート 1 とポート 2 の端子の機能を切り替えます。

ビット	ビット名	初期値	R/W	説明
7	IRQ3	0	R/W	P17/IRQ3/TRGV 端子の機能を選択します。 0: 汎用入出力ポート 1: IRQ3 および TRGV 入力端子
6	IRQ2	0	R/W	P16/IRQ2 端子の機能を選択します。 0: 汎用入出力ポート 1: IRQ2 入力端子
5	IRQ1	0	R/W	P15/IRQ1/TMIB1 端子の機能を選択します。 0: 汎用入出力ポート 1: IRQ1 および TMIB1 入力端子
4	IRQ0	0	R/W	P14/IRQ0 端子の機能を選択します。 0: 汎用入出力ポート 1: IRQ0 入力端子

ビット	ビット名	初期値	R/W	説 明
3	TXD2	0	R/W	P72/TXD_2 端子の機能を選択します。 0 : 汎用入出力ポート 1 : TXD_2 出力端子
2	PWM	0	R/W	P11/PWM 端子の機能を選択します。 0 : 汎用入出力ポート 1 : PWM 出力端子
1	TXD	0	R/W	P22/TXD 端子の機能を選択します。 0 : 汎用入出力ポート 1 : TXD 出力端子
0	—	0	—	リザーブビットです。リードすると常に 0 が読み出されます。

9.1.2 ポートコントロールレジスタ 1 (PCR1)

PCR1 はポート 1 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説 明
7	PCR17	0	W	PMR1 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。 ビット 3 はリザーブビットです。
6	PCR16	0	W	
5	PCR15	0	W	
4	PCR14	0	W	
3	—	—	—	
2	PCR12	0	W	
1	PCR11	0	W	
0	PCR10	0	W	

9.1.3 ポートデータレジスタ 1 (PDR1)

PDR1 はポート 1 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	P17	0	R/W	PDR1 はポート 1 の出力値を格納するレジスタです。 このレジスタをリードすると、PCR1 がセットされているビットはこのレジスタの値が読み出されます。PCR1 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。 ビット 3 はリザーブビットです。リードすると常に 1 が読み出されます。
6	P16	0	R/W	
5	P15	0	R/W	
4	P14	0	R/W	
3	—	1	—	
2	P12	0	R/W	
1	P11	0	R/W	
0	P10	0	R/W	

9. I/Oポート

9.1.4 ポートプルアップコントロールレジスタ 1 (PUCR1)

PUCR1 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR17	0	R/W	PCR1 がクリアされているビットのみ有効。 1 をセットすると対応する P17~P14、P12~P10 端子のプルアップ MOS がオン状態となり、0 にクリアするとオフします。 ビット 3 はリザーブビットです。リードすると常に 1 が読み出されます。
6	PUCR16	0	R/W	
5	PUCR15	0	R/W	
4	PUCR14	0	R/W	
3	—	1	—	
2	PUCR12	0	R/W	
1	PUCR11	0	R/W	
0	PUCR10	0	R/W	

9.1.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P17/ $\overline{\text{IRQ3}}$ /TRGV端子

レジスタ名	PMR1	PCR1	機能
ビット名	IRQ3	PCR17	
設定値	0	0	P17 入力端子
		1	P17 出力端子
	1	X	$\overline{\text{IRQ3}}$ 入力/TRGV 入力端子

【注】 X : Don't care

• P16/ $\overline{\text{IRQ2}}$ 端子

レジスタ名	PMR1	PCR1	機能
ビット名	IRQ2	PCR16	
設定値	0	0	P16 入力端子
		1	P16 出力端子
	1	X	$\overline{\text{IRQ2}}$ 入力端子

【注】 X : Don't care

- P15/ $\overline{\text{IRQ1}}$ /TMIB1端子

レジスタ名	PMR1	PCR1	機 能
ビット名	IRQ1	PCR15	
設定値	0	0	P15 入力端子
		1	P15 出力端子
	1	X	$\overline{\text{IRQ1}}$ 入力/TMIB1 入力端子

【注】 X : Don't care

- P14/ $\overline{\text{IRQ0}}$ 端子

レジスタ名	PMR1	PCR1	機 能
ビット名	IRQ0	PCR14	
設定値	0	0	P14 入力端子
		1	P14 出力端子
	1	X	$\overline{\text{IRQ0}}$ 入力端子

【注】 X : Don't care

- P12端子

レジスタ名	PCR1	機 能
ビット名	PCR12	
設定値	0	P12 入力端子
	1	P12 出力端子

- P11/PWM端子

レジスタ名	PMR1	PCR1	機 能
ビット名	PWM	PCR11	
設定値	0	0	P11 入力端子
		1	P11 出力端子
	1	X	PWM 出力端子

【注】 X : Don't care

- P10端子

レジスタ名	PCR1	機 能
ビット名	PCR10	
設定値	0	P10 入力端子
	1	P10 出力端子

9.2 ポート 2

ポート 2 は SCI3 の入出力端子と兼用の入出力ポートです。ポート 2 の各端子は図 9.2 に示す構成になっています。兼用端子の機能は PMR1、SCI3 のレジスタの設定が優先されます。

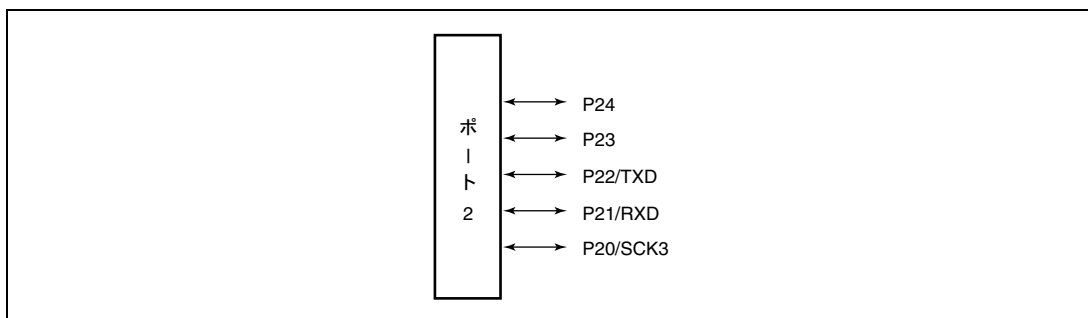


図 9.2 ポート 2 の端子構成

ポート 2 には以下のレジスタがあります。

- ポートコントロールレジスタ 2 (PCR2)
- ポートデータレジスタ 2 (PDR2)
- ポートモードレジスタ 3 (PMR3)

9.2.1 ポートコントロールレジスタ 2 (PCR2)

PCR2 はポート 2 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	—	—	—	リザーブビットです。
6	—	—	—	
5	—	—	—	
4	PCR24	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
3	PCR23	0	W	
2	PCR22	0	W	
1	PCR21	0	W	
0	PCR20	0	W	

9.2.2 ポートデータレジスタ 2 (PDR2)

PDR2 はポート 2 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	—	1	—	
5	—	1	—	
4	P24	0	R/W	ポート 2 の出力値を格納します。
3	P23	0	R/W	このレジスタをリードすると、PCR2 がセットされているビットはこのレジスタの値が読み出されます。PCR2 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
2	P22	0	R/W	
1	P21	0	R/W	
0	P20	0	R/W	

9.2.3 ポートモードレジスタ 3 (PMR3)

PMR3 はポート 2 を CMOS 出力とするか NMOS オープンドレイン出力とするかを設定します。

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビットです。リードすると常に 0 が読み出されます。
6	—	0	—	
5	—	0	—	
4	POF24	0	R/W	このビットを 1 にセットすると対応する端子は PMOS がカットオフし NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
3	POF23	0	R/W	
2	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
1	—	1	—	
0	—	1	—	

9.2.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P24端子

レジスタ名	PCR2	機 能
ビット名	PCR24	
設定値	0	P24 入力端子
	1	P24 出力端子

9. I/O ポート

• P23端子

レジスタ名	PCR2	機 能	
ビット名	PCR23		
設定値	0	P23 入力端子	
	1	P23 出力端子	

• P22/TXD端子

レジスタ名	PMR1	PCR2	機 能	
ビット名	TXD	PCR22		
設定値	0	0	P22 入力端子	
		1	P22 出力端子	
	1	X	TXD 出力端子	

【注】 X : Don't care

• P21/RXD端子

レジスタ名	SCR3	PCR2	機 能	
ビット名	RE	PCR21		
設定値	0	0	P21 入力端子	
		1	P21 出力端子	
	1	X	RXD 入力端子	

【注】 X : Don't care

• P20/SCK3端子

レジスタ名	SCR3		SMR	PCR2	機 能	
ビット名	CKE1	CKE0	COM	PCR20		
設定値	0	0	0	0	P20 入力端子	
				1	P20 出力端子	
	0	0	1	X	SCK3 出力端子	
	0	1	X	X	SCK3 出力端子	
	1	X	X	X	SCK3 入力端子	

【注】 X : Don't care

9.3 ポート 3

ポート 3 は汎用入出力ポートです。ポート 3 の各端子は図 9.3 に示す構成になっています。

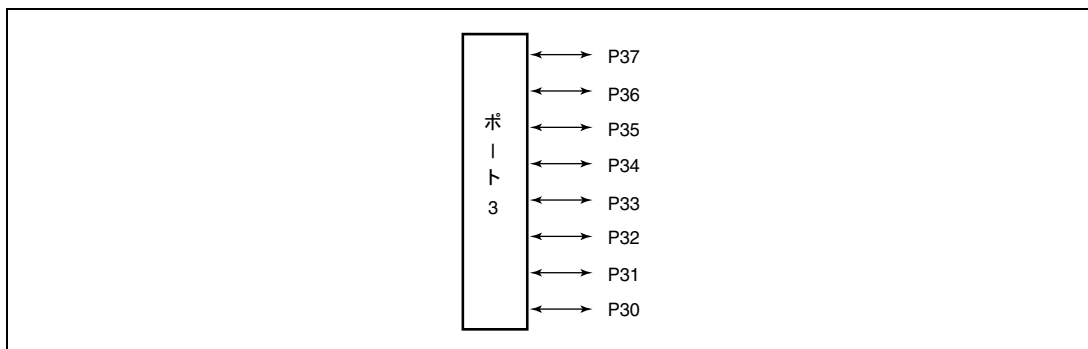


図 9.3 ポート 3 の端子構成

ポート 3 には以下のレジスタがあります。

- ポートコントロールレジスタ 3 (PCR3)
- ポートデータレジスタ 3 (PDR3)

9.3.1 ポートコントロールレジスタ 3 (PCR3)

PCR3 はポート 3 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	PCR37	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
6	PCR36	0	W	
5	PCR35	0	W	
4	PCR34	0	W	
3	PCR33	0	W	
2	PCR32	0	W	
1	PCR31	0	W	
0	PCR30	0	W	

9. I/O ポート

9.3.2 ポートデータレジスタ 3 (PDR3)

PDR3 はポート 3 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P37	0	R/W	ポート 3 の出力値を格納します。 このレジスタをリードすると、PCR3 がセットされているビットはこのレジスタの値が読み出されます。PCR3 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
6	P36	0	R/W	
5	P35	0	R/W	
4	P34	0	R/W	
3	P33	0	R/W	
2	P32	0	R/W	
1	P31	0	R/W	
0	P30	0	R/W	

9.3.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P37端子

レジスタ名	PCR3	機能
ビット名	PCR37	
設定値	0	P37 入力端子
	1	P37 出力端子

• P36端子

レジスタ名	PCR3	機能
ビット名	PCR36	
設定値	0	P36 入力端子
	1	P36 出力端子

• P35端子

レジスタ名	PCR3	機能
ビット名	PCR35	
設定値	0	P35 入力端子
	1	P35 出力端子

- P34端子

レジスタ名	PCR3	機 能
ビット名	PCR34	
設定値	0	P34 入力端子
	1	P34 出力端子

- P33端子

レジスタ名	PCR3	機 能
ビット名	PCR33	
設定値	0	P33 入力端子
	1	P33 出力端子

- P32端子

レジスタ名	PCR3	機 能
ビット名	PCR32	
設定値	0	P32 入力端子
	1	P32 出力端子

- P31端子

レジスタ名	PCR3	機 能
ビット名	PCR31	
設定値	0	P31 入力端子
	1	P31 出力端子

- P30端子

レジスタ名	PCR3	機 能
ビット名	PCR30	
設定値	0	P30 入力端子
	1	P30 出力端子

9.4 ポート 5

ポート 5 は I²C バスインタフェース入出力端子、A/D トリガ入力端子、ウェイクアップ割り込み入力端子と兼用の入出力ポートです。ポート 5 の各端子は図 9.4 に示す構成になっています。兼用端子の機能は PMR5 のレジスタ設定が優先されます。

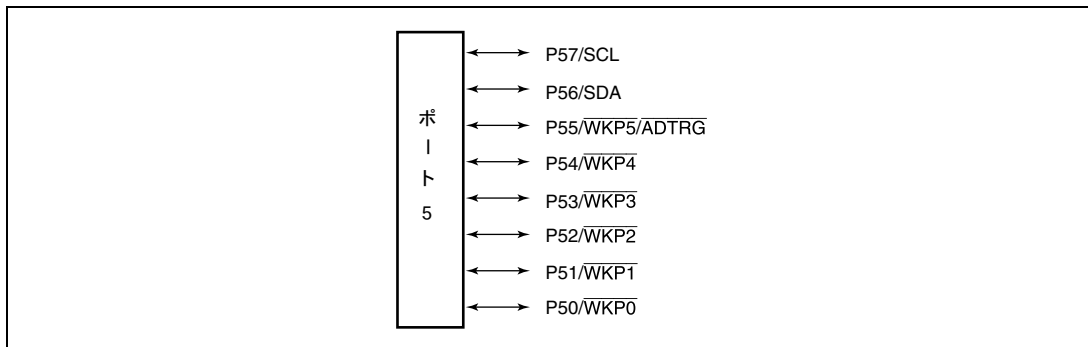


図 9.4 ポート 5 の端子構成

ポート 5 には以下のレジスタがあります。

- ポートモードレジスタ 5 (PMR5)
- ポートコントロールレジスタ 5 (PCR5)
- ポートデータレジスタ 5 (PDR5)
- ポートプルアップコントロールレジスタ 5 (PUCR5)

9.4.1 ポートモードレジスタ 5 (PMR5)

PMR5 はポート 5 の端子の機能を切り替えます。

ビット	ビット名	初期値	R/W	説明
7	POF57	0	—	このビットを 1 にセットすると対応する端子は PMOS がカットオフし NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
6	POF56	0	—	
5	WKP5	0	R/W	P55/WKP5/ADTRG 端子の機能を選択します。 0 : 汎用入出力ポート 1 : WKP5 入力端子および ADTRG 入力端子
4	WKP4	0	R/W	P54/WKP4 端子の機能を選択します。 0 : 汎用入出力ポート 1 : WKP4 入力端子
3	WKP3	0	R/W	P53/WKP3 端子の機能を選択します。 0 : 汎用入出力ポート 1 : WKP3 入力端子

ビット	ビット名	初期値	R/W	説明
2	WKP2	0	R/W	P52/ $\overline{WKP2}$ 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{WKP2}$ 入力端子
1	WKP1	0	R/W	P51/ $\overline{WKP1}$ 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{WKP1}$ 入力端子
0	WKP0	0	R/W	P50/ $\overline{WKP0}$ 端子の機能を選択します。 0: 汎用入出力ポート 1: $\overline{WKP0}$ 入力端子

9.4.2 ポートコントロールレジスタ 5 (PCR5)

PCR5 はポート 5 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	PCR57	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

9.4.3 ポートデータレジスタ 5 (PDR5)

PDR5 はポート 5 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P57	0	R/W	PDR5 はポート 5 の出力値を格納するレジスタです。 このレジスタをリードすると、PCR5 がセットされているビットはこのレジスタの値が読み出されます。PCR5 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

9. I/O ポート

9.4.4 ポートプルアップコントロールレジスタ 5 (PUCR5)

PUCR5 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビットです。リードすると常に 0 が読み出されます。
6	—	0	—	
5	PUCR55	0	R/W	PCR5 がクリアされているビットのみ有効。 1 をセットすると対応する端子のプルアップ MOS が ON 状態となり、0 にクリアすると OFF します。
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

9.4.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P57/SCL端子

レジスタ名	ICCR1	PCR5	機能
ビット名	ICE	PCR57	
設定値	0	0	P57 入力端子
		1	P57 出力端子
	1	X	SCL 入力端子

【注】 X : Don't care

なお、SCL の出力形態は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

• P56/SDA端子

レジスタ名	ICCR1	PCR5	機能
ビット名	ICE	PCR56	
設定値	0	0	P56 入力端子
		1	P56 出力端子
	1	X	SDA 入力端子

【注】 X : Don't care

なお、SDA の出力形態は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- P55/ $\overline{\text{WKP5}}$ /ADTRG端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP5	PCR55	
設定値	0	0	P55 入力端子
		1	P55 出力端子
	1	X	$\overline{\text{WKP5}}$ /ADTRG 入力端子

【注】 X : Don't care

- P54/ $\overline{\text{WKP4}}$ 端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP4	PCR54	
設定値	0	0	P54 入力端子
		1	P54 出力端子
	1	X	$\overline{\text{WKP4}}$ 入力端子

【注】 X : Don't care

- P53/ $\overline{\text{WKP3}}$ 端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP3	PCR53	
設定値	0	0	P53 入力端子
		1	P53 出力端子
	1	X	$\overline{\text{WKP3}}$ 入力端子

【注】 X : Don't care

- P52/ $\overline{\text{WKP2}}$ 端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP2	PCR52	
設定値	0	0	P52 入力端子
		1	P52 出力端子
	1	X	$\overline{\text{WKP2}}$ 入力端子

【注】 X : Don't care

- P51/ $\overline{\text{WKP1}}$ 端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP1	PCR51	
設定値	0	0	P51 入力端子
		1	P51 出力端子
	1	X	$\overline{\text{WKP1}}$ 入力端子

【注】 X : Don't care

9. I/O ポート

• P50/WKP0端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP0	PCR50	
設定値	0	0	P50 入力端子
		1	P50 出力端子
	1	X	WKP0 入力端子

【注】 X : Don't care

9.5 ポート 6

ポート 6 はタイマ Z の入出力端子と兼用の入出力ポートです。ポート 6 の各端子は図 9.5 に示す構成になっています。兼用端子の機能はタイマ Z のレジスタの設定が優先されます。

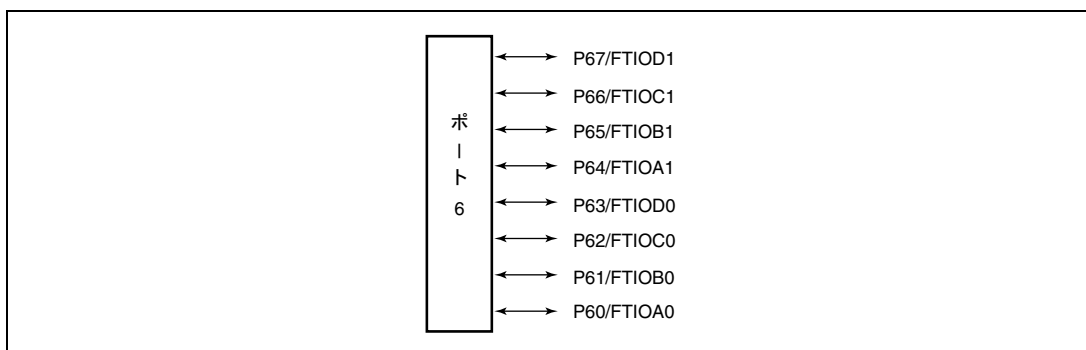


図 9.5 ポート 6 の端子構成

ポート 6 には以下のレジスタがあります。

- ポートコントロールレジスタ 6 (PCR6)
- ポートデータレジスタ 6 (PDR6)

9.5.1 ポートコントロールレジスタ 6 (PCR6)

PCR6 はポート 6 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説 明
7	PCR67	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
6	PCR66	0	W	
5	PCR65	0	W	
4	PCR64	0	W	
3	PCR63	0	W	
2	PCR62	0	W	
1	PCR61	0	W	
0	PCR60	0	W	

9.5.2 ポートデータレジスタ 6 (PDR6)

PDR6 はポート 6 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P67	0	R/W	ポート 6 の出力値を格納します。 このレジスタをリードすると、PCR6 がセットされているビットはこのレジスタの値が読み出されます。PCR6 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
6	P66	0	R/W	
5	P65	0	R/W	
4	P64	0	R/W	
3	P63	0	R/W	
2	P62	0	R/W	
1	P61	0	R/W	
0	P60	0	R/W	

9.5.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P67/FTIOD1端子

レジスタ名	TOER	TFCR	TPMR	TIORC1	PCR6	機能
ビット名	ED1	CMD1~0	PWMD1	IOD2~0	PCR67	
設定値	1	00	0	000、1XX	0	P67 入力/FTIOD1 入力端子
					1	P67 出力端子
	0	00	0	001、01X	X	FTIOD1 出力端子
			1	XXX		
	00 以外	X	XXX			

【注】 X : Don't care

• P66/FTIOC1端子

レジスタ名	TOER	TFCR	TPMR	TIORC1	PCR6	機能
ビット名	EC1	CMD1~0	PWMC1	IOC2~0	PCR66	
設定値	1	00	0	000、1XX	0	P66 入力/FTIOC1 入力端子
					1	P66 出力端子
	0	00	0	001、01X	X	FTIOC1 出力端子
			1	XXX		
	00 以外	X	XXX			

【注】 X : Don't care

9. I/O ポート

• P65/FTIOB1端子

レジスタ名	TOER	TFCR	TPMR	TIORA1	PCR6	機 能
ビット名	EB1	CMD1~0	PWMB1	IOB2~0	PCR65	
設定値	1	00	0	000、1XX	0	P65 入力/FTIOB1 入力端子
					1	P65 出力端子
	0	00	0	001、01X	X	FTIOB1 出力端子
			1	XXX		
00 以外	X	XXX				

【注】 X : Don't care

• P64/FTIOA1端子

レジスタ名	TOER	TFCR	TIORA1	PCR6	機 能
ビット名	EA1	CMD1~0	IOA2~0	PCR64	
設定値	1	XX	000、1XX	0	P64 入力/FTIOA1 入力端子
				1	P64 出力端子
	0	00	001、01X	X	FTIOA1 出力端子

【注】 X : Don't care

• P63/FTIOD0端子

レジスタ名	TOER	TFCR	TPMR	TIORC0	PCR6	機 能
ビット名	ED0	CMD1~0	PWMD0	IOD2~0	PCR63	
設定値	1	00	0	000、1XX	0	P63 入力/FTIOD0 入力端子
					1	P63 出力端子
	0	00	0	001、01X	X	FTIOD0 出力端子
			1	XXX		
00 以外	X	XXX				

【注】 X : Don't care

• P62/FTIOC0端子

レジスタ名	TOER	TFCR	TPMR	TIORC0	PCR6	機 能
ビット名	EC0	CMD1~0	PWMC0	IOC2~0	PCR62	
設定値	1	00	0	000、1XX	0	P62 入力/FTIOC0 入力端子
					1	P62 出力端子
	0	00	0	001、01X	X	FTIOC0 出力端子
			1	XXX		
00 以外	X	XXX				

【注】 X : Don't care

- P61/FTIOB0端子

レジスタ名	TOER	TFCR	TPMR	TIOA0	PCR6	機 能
ビット名	EB0	CMD1~0	PWMB0	IOB2~0	PCR61	
設定値	1	00	0	000、1XX	0	P61 入力/FTIOB0 入力端子
					1	P61 出力端子
	0	00	0	001、01X	X	FTIOB0 出力端子
			1	XXX		
00 以外	X	XXX				

【注】 X : Don't care

- P60/FTIOA0端子

レジスタ名	TOER	TFCR	TFCR	TIOA0	PCR6	機 能
ビット名	EA0	CMD1~0	STCLK	IOA2~0	PCR60	
設定値	1	XX	X	000、1XX	0	P60 入力/FTIOA0 入力端子
					1	P60 出力端子
	0	00	0	001、01X	X	FTIOA0 出力端子

【注】 X : Don't care

9. I/O ポート

9.6 ポート 7

ポート 7 はタイマ V、SCI3_2 の入出力端子と兼用の入出力ポートです。ポート 7 の各端子は、図 9.6 に示す構成になっています。兼用端子の機能は PMR1、タイマ V および SCI3_2 の設定が優先されます。

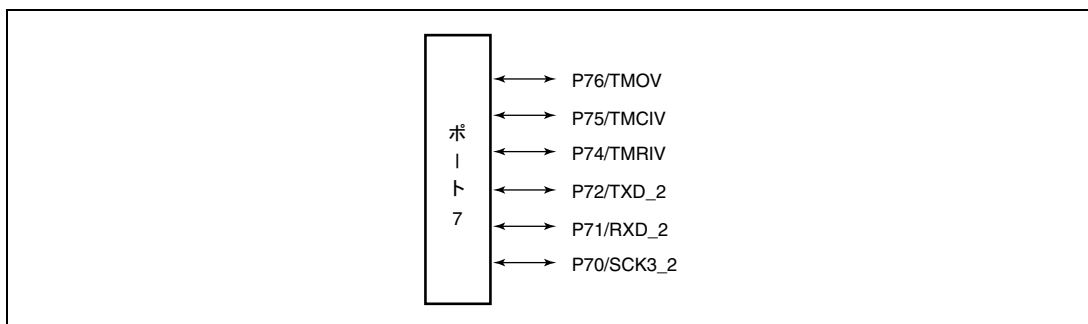


図 9.6 ポート 7 の端子構成

ポート 7 には以下のレジスタがあります。

- ポートコントロールレジスタ 7 (PCR7)
- ポートデータレジスタ 7 (PDR7)

9.6.1 ポートコントロールレジスタ 7 (PCR7)

PCR7 はポート 7 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	—	—	—	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。 ビット 7 とビット 3 はリザーブビットです。
6	PCR76	0	W	
5	PCR75	0	W	
4	PCR74	0	W	
3	—	—	—	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

9.6.2 ポートデータレジスタ 7 (PDR7)

PDR7 はポート 7 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	汎用出力ポートの出力値を格納します。
6	P76	0	R/W	このレジスタをリードすると、PCR7 がセットされているビットはこのレジスタの値が読み出されます。PCR7 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
5	P75	0	R/W	
4	P74	0	R/W	
3	—	1	—	
2	P72	0	R/W	ビット 7 とビット 3 はリザーブビットです。リードすると常に 1 が読み出されます。
1	P71	0	R/W	
0	P70	0	R/W	

9.6.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P76/TMOV端子

レジスタ名	TCSR7	PCR7	機能
ビット名	OS3~OS0	PCR76	
設定値	0000	0	P76 入力端子
		1	P76 出力端子
	上記以外	X	TMOV 出力端子

【注】 X : Don't care

- P75/TMCIV端子

レジスタ名	PCR7	機能
ビット名	PCR75	
設定値	0	P75 入力/TMCIV 入力端子
	1	P75 出力/TMCIV 入力端子

- P74/TMRIV端子

レジスタ名	PCR7	機能
ビット名	PCR74	
設定値	0	P74 入力/TMRIV 入力端子
	1	P74 出力/TMRIV 入力端子

9. I/O ポート

• P72/TXD_2端子

レジスタ名	PMR1	PCR7	機 能
ビット名	TXD2	PCR72	
設定値	0	0	P72 入力端子
		1	P72 出力端子
	1	X	TXD_2 出力端子

【注】 X : Don't care

• P71/RXD_2端子

レジスタ名	SCR3_2	PCR7	機 能
ビット名	RE	PCR71	
設定値	0	0	P71 入力端子
		1	P71 出力端子
	1	X	RXD_2 入力端子

【注】 X : Don't care

• P70/SCK3_2端子

レジスタ名	SCR3_2		SMR2	PCR7	機 能
	CKE1	CKE0	COM	PCR70	
設定値	0	0	0	0	P70 入力端子
				1	P70 出力端子
	0	0	1	X	SCK3_2 出力端子
	0	1	X	X	SCK3_2 出力端子
	1	X	X	X	SCK3_2 入力端子

【注】 X : Don't care

9.7 ポート 8

ポート 8 は汎用入出力ポートです。ポート 8 の各端子は図 9.7 に示す構成になっています。

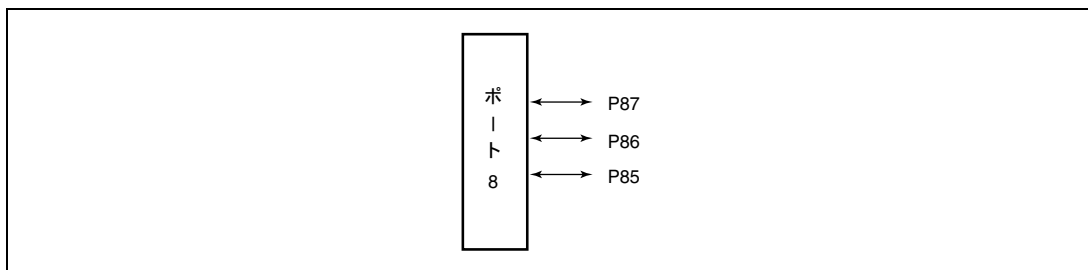


図 9.7 ポート 8 の端子構成

ポート 8 には以下のレジスタがあります。

- ポートコントロールレジスタ 8 (PCR8)
- ポートデータレジスタ 8 (PDR8)

9.7.1 ポートコントロールレジスタ 8 (PCR8)

PCR8 はポート 8 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	PCR87	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
6	PCR86	0	W	
5	PCR85	0	W	
4	—	—	—	リザーブビットです。
3	—	—	—	
2	—	—	—	
1	—	—	—	
0	—	—	—	

9. I/O ポート

9.7.2 ポートデータレジスタ 8 (PDR8)

PDR8 はポート 8 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P87	0	R/W	汎用出力ポートの出力値を格納します。 このレジスタをリードすると、PCR8 がセットされているビットはこのレジスタの値が読み出されます。PCR8 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
6	P86	0	R/W	
5	P85	0	R/W	
4	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

9.7.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P87端子

レジスタ名	PCR8	機能
ビット名	PCR87	
設定値	0	P87 入力端子
	1	P87 出力端子

• P86端子

レジスタ名	PCR8	機能
ビット名	PCR86	
設定値	0	P86 入力端子
	1	P86 出力端子

• P85端子

レジスタ名	PCR8	機能
ビット名	PCR85	
設定値	0	P85 入力端子
	1	P85 出力端子

9.8 ポート B

ポート B は A/D 変換器のアナログ入力端子と兼用の入力ポートです。ポート B の各端子は図 9.8 に示す構成になっています。

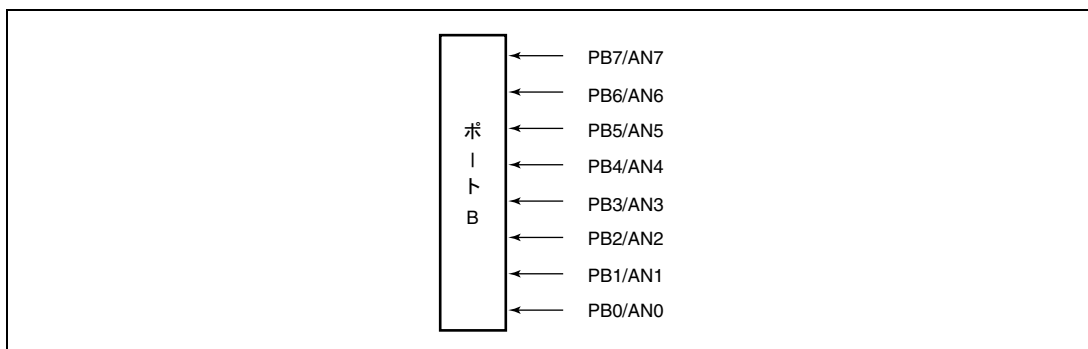


図 9.8 ポート B の端子構成

ポート B には以下のレジスタがあります。

- ポートデータレジスタ B (PDRB)

9.8.1 ポートデータレジスタ B (PDRB)

PDRB はポート B の汎用入力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PB7	—	R	このレジスタをリードすると各端子の入力値が読み出されます。 ただし、A/D 変換器の ADCSR によりアナログ入力チャンネルに指定されている端子はリードすると 0 が読み出されます。
6	PB6	—	R	
5	PB5	—	R	
4	PB4	—	R	
3	PB3	—	R	
2	PB2	—	R	
1	PB1	—	R	
0	PB0	—	R	

10. タイマ B1

タイマ B1 は、入力クロックによりカウントアップする 8 ビットのタイマです。タイマ B1 の機能は、インターバル機能、オートリロード機能の 2 種類です。タイマ B1 のブロック図を図 10.1 に示します。

10.1 特長

- クロック選択：8種類

7種類の内部クロック（ $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ ）と外部クロックの選択が可能（外部イベントのカウントが可能）。

- カウンタのオーバーフローで割り込みを発生

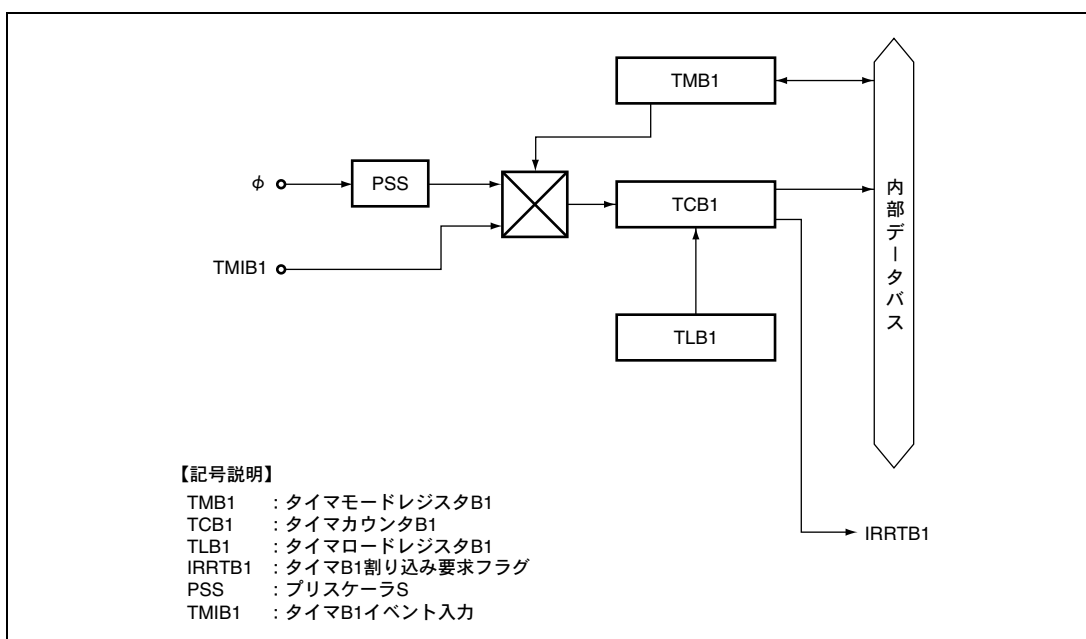


図 10.1 タイマ B1 ブロック図

10. タイマ B1

10.2 入出力端子

タイマ B1 の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
タイマ B1 イベント入力	TMB1	入力	TCB1 に入力するイベント入力端子

10.3 レジスタの説明

タイマ B1 には以下のレジスタがあります。

- タイマモードレジスタ B1 (TMB1)
- タイマカウンタ B1 (TCB1)
- タイマロードレジスタ B1 (TLB1)

10.3.1 タイマモードレジスタ B1 (TMB1)

TMB1 はオートリロード機能の選択、および入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	TMB17	0	R/W	オートリロード機能選択 0: インターバル機能を選択 1: オートリロード機能を選択
6	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	TMB12	0	R/W	クロックセレクト 000: 内部クロック $\phi/8192$ でカウント 001: 内部クロック $\phi/2048$ でカウント 010: 内部クロック $\phi/512$ でカウント 011: 内部クロック $\phi/256$ でカウント 100: 内部クロック $\phi/64$ でカウント 101: 内部クロック $\phi/16$ でカウント 110: 内部クロック $\phi/4$ でカウント 111: 外部イベント (TMB1) の立ち上がりエッジまたは立ち下がりエッジでカウント*
1	TMB11	0	R/W	
0	TMB10	0	R/W	
				【注】* 外部イベントのエッジ選択は、割り込みエッジセレクトレジスタ 1 (IEGR1) の IEG1 により設定します。詳細は「3.2.1 割り込みエッジセレクトレジスタ 1 (IEGR1)」を参照してください。なお TMB12~TMB10 をそれぞれ 1 にセットする前に、必ずポートモードレジスタ 1 (PMR1) の IRQ1 を 1 にセットしてください。

10.3.2 タイマカウンタ B1 (TCB1)

TCB1 は 8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TMB1 の TMB12~TMB10 により選択します。TCB1 の値は、CPU から常にリードできます。TCB1 がオーバーフロー (H'FF→H'00 または H'FF→TLB1 の設定値) すると、IRR2 の IRRTB1 フラグが 1 にセットされます。TCB1 は、TLB1 と同一のアドレスに割り付けられます。TCB1 の初期値は H'00 です。

10.3.3 タイマロードレジスタ B1 (TLB1)

TLB1 は 8 ビットのライト専用レジスタで、TCB1 のリロード値を設定します。TLB1 にリロード値を設定すると、同時にその値は TCB1 にもロードされ、TCB1 はその値からカウントアップを開始します。またオートリロード動作時に TCB1 がオーバーフローすると、TCB1 に TLB1 の値がロードされます。したがって、オーバーフロー周期を 1~256 入力クロックの範囲で設定することができます。TLB1 は、TCB1 と同一のアドレスに割り付けられています。TLB1 の初期値は H'00 です。

10.4 動作説明

10.4.1 インターバルタイマの動作

TMB1 の TMB17 を 0 にクリアすると、タイマ B1 は 8 ビットのインターバルタイマとして動作します。リセット時、TCB1 は H'00、TMB17 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ B1 の動作クロックは TMB1 の TMB12~TMB10 によって、プリスケラ S の出力する 7 種類の内部クロック、TMB1 入力からの外部クロックを選択できます。

TMB1 のカウント値が H'FF になった後にクロックが入力されると、タイマ B1 はオーバーフローして IRR2 の IRRTB1 フラグが 1 にセットされます。このときに IENR2 の IENTB1 が 1 ならば CPU に割り込みを要求します。

オーバーフロー時には TCB1 のカウント値は H'00 に戻り、再びカウントアップを開始します。インターバルタイマ動作時 (TMB17=0) に TLB1 を設定すると、同時に TCB1 にも TLB1 の値をロードします。

10.4.2 オートリロードタイマの動作

TMB1 の TMB17 を 1 にセットすると、タイマ B1 は 8 ビットのオートリロードタイマとして動作します。TLB1 にリロード値を設定すると、同時にその値が TCB1 にロードされ、TCB1 はその値からカウントアップを開始します。TCB1 のカウント値が H'FF になった後にクロックが入力されると、タイマ B1 はオーバーフローし、TLB1 の値が TCB1 にロードされて、その値からカウントアップを続けます。したがって、TLB1 の値によってオーバーフロー周期を 1~256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについては、インターバル動作時と同様です。なおオートリロード動作時 (TMB17=1) に TLB1 の値を再設定すると、同時に TCB1 にも TLB1 の値をロードします。

10. タイマ B1

10.4.3 イベントカウンタ

タイマ B1 は、TMIB1 をイベント入力端子とするイベントカウンタとして動作します。TMB1 の TMB12~TMB10 をそれぞれ 1 にセットすると外部イベントが選択され、TCB1 は TMB1 端子入力の立ち上がりエッジまたは立ち下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、PMR1 の IRQ1 を 1 にセットし、かつ IENR1 の IEN1 を 0 にクリアして、IRQ1 割り込み要求を禁止してください。

10.5 タイマ B1 の動作モード

タイマ B1 の動作モードを表 10.2 に示します。

表 10.2 タイマ B1 の動作モード

動作モード		リセット	アクティブ	スリープ	サブスリープ	スタンバイ
TCB1	インターバル	リセット	動作	動作	停止	停止
	オートリロード	リセット	動作	動作	停止	停止
TMB1		リセット	動作	保持	保持	保持

11. タイマ V

タイマ V は 8 ビットのカウンタをベースにした 8 ビットタイマです。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号によりカウンタのリセット、割り込み要求、任意のデューティ比のパルス出力などが可能です。また、TRGV 端子からのトリガ入力によるカウント開始機能を備えていますので、トリガ入力から任意時間経過後にトリガと同期したパルスの出力制御が可能です。タイマ V のブロック図を図 11.1 に示します。

11.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック（ $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ ）と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。カウント停止機能を選択しているときは、カウンタクリアと同時にカウントが停止します。
- 2つのコンペアマッチ信号の組合せでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組合せによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 割り込み要因
コンペアマッチA、コンペアマッチB、タイマオーバフローの3種類があります。
- トリガ入力によるカウント開始機能
TRGV端子からのトリガ入力によるカウント開始機能を備えています。TRGV端子からのトリガ入力は立ち上がりエッジ、立ち下がりエッジ、両エッジからの選択が可能です。

11. タイマV

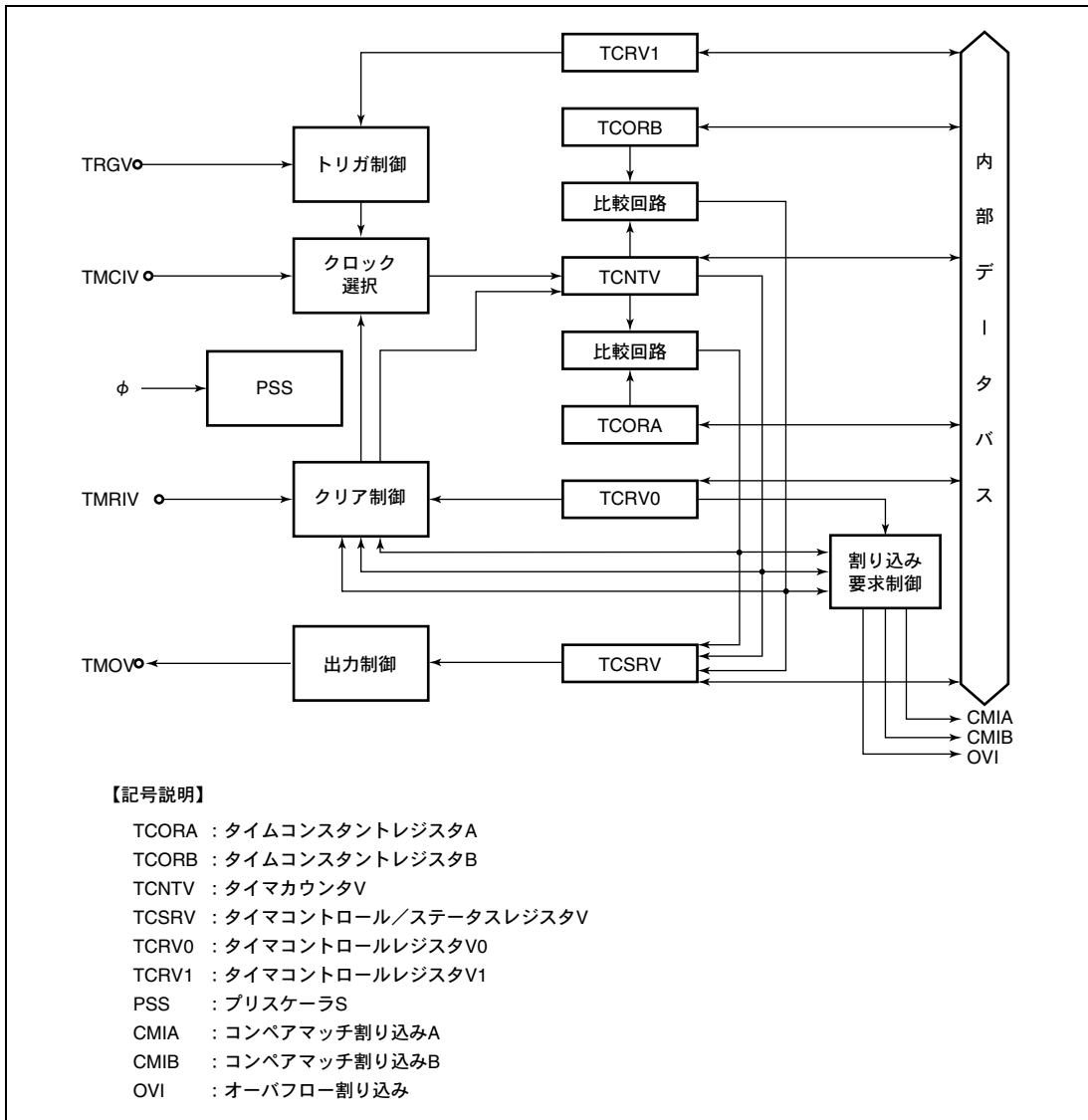


図 11.1 タイマVのブロック図

11.2 入出力端子

タイマVの端子構成を表11.1に示します。

表 11.1 端子構成

名称	略称	入出力	機能
タイマV出力	TMOV	出力	タイマVの波形出力端子
タイマVクロック入力	TMCIV	入力	TCNTVに入力するクロック入力端子
タイマVリセット入力	TMRIV	入力	TCNTVをリセットする外部入力端子
トリガ入力	TRGV	入力	カウント開始トリガ入力端子

11.3 レジスタの説明

タイマVには以下のレジスタがあります。

- タイマカウンタV (TCNTV)
- タイムコンスタントレジスタA (TCORA)
- タイムコンスタントレジスタB (TCORB)
- タイマコントロールレジスタV0 (TCRV0)
- タイマコントロール/ステータスレジスタV (TCSRv)
- タイマコントロールレジスタV1 (TCRV1)

11.3.1 タイマカウンタV (TCNTV)

TCNTVは、8ビットのアップカウンタです。クロックはTCRV0のCKS2～CKS0により選択します。TCNTVの値はCPUから常にリード/ライトできます。TCNTVは、外部リセット入力信号またはコンペアマッチ信号A、コンペアマッチ信号Bによりクリアすることができます。いずれの信号でクリアするかは、TCRV0のCCLR1、CCLR0により選択します。また、TCNTVがオーバーフローすると、TCSRvのOVFが1にセットされます。TCNTVの初期値はH'00です。

11.3.2 タイムコンスタントレジスタA、B (TCORA、TCORB)

TCORAとTCORBは同一機能をもっています。

TCORAは8ビットのリード/ライト可能なレジスタです。TCORAの値はTCNTVと常に比較され、一致するとTCSRvのCMFAが1にセットされます。このときTCRV0のCMIEAが1ならCPUに対して割り込み要求を発生します。ただし、TCORAへのライトサイクルのT3ステートでの比較は禁止されています。また、この一致信号（コンペアマッチA）とTCSRvのOS3～OS0の設定により、TMOV端子からのタイマ出力を制御することができます。

TCORA、TCORBの初期値はH'FFです。

11. タイマ V

11.3.3 タイマコントロールレジスタ V0 (TCRV0)

TCRV0 は TCNTV の入力クロックの選択、TCNTV のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B 1 のとき TCSR の CMFB による割り込み要求がイネーブルになります。
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A 1 のとき TCSR の CMFA による割り込み要求がイネーブルになります。
5	OVIE	0	R/W	タイマオーバーフローインタラプトイネーブル 1 のとき TCSR の OVF による割り込み要求がイネーブルになります。
4	CCLR1	0	R/W	カウンタクリア 1~0 TCNTV のクリア条件を指定します。 00 : クリアされません。 01 : コンペアマッチ A でクリアされます。 10 : コンペアマッチ B でクリアされます。 11 : TMRIV 端子の立ち上がりエッジにてクリアされます。 クリア後の TCNTV の動作は TCRV1 の TRGE によって異なります。
3	CCLR0	0	R/W	
2	CKS2	0	R/W	クロックセレクト 2~0 TCRV1 の ICKS0 との組合わせで、TCNTV に入力するクロックとカウント条件を選択します。表 11.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 11.2 TCNTV に入力するクロックとカウント条件

TCRV0			TCRV1	説明
ビット 2	ビット 1	ビット 0	ビット 0	
CKS2	CKS1	CKS0	ICKS0	
0	0	0	—	クロック入力禁止
0	0	1	0	内部クロック $\phi/4$ 立ち下がりエッジでカウント
0	0	1	1	内部クロック $\phi/8$ 立ち下がりエッジでカウント
0	1	0	0	内部クロック $\phi/16$ 立ち下がりエッジでカウント
0	1	0	1	内部クロック $\phi/32$ 立ち下がりエッジでカウント
0	1	1	0	内部クロック $\phi/64$ 立ち下がりエッジでカウント
0	1	1	1	内部クロック $\phi/128$ 立ち下がりエッジでカウント
1	0	0	—	クロック入力禁止
1	0	1	—	外部クロックの立ち上がりエッジでカウント
1	1	0	—	外部クロックの立ち下がりエッジでカウント
1	1	1	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント

11.3.4 タイマコントロール/ステータスレジスタ V (TCSR V)

TCSR V はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/W	コンペアマッチフラグ B [セット条件] TCNTV の値と TCORB の値が一致したとき [クリア条件] CMFB=1 の状態で、CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/W	コンペアマッチフラグ A [セット条件] TCNTV の値と TCORA の値が一致したとき [クリア条件] CMFA=1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/W	タイマオーバフローフラグ [セット条件] TCNTV の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
4	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	OS3	0	R/W	アウトプットセレクト 3~2 TCORB と TCNTV のコンペアマッチによる TMOV 端子の出力方法を選択します。 00 : 変化しない。 01 : 0 出力 10 : 1 出力 11 : トグル出力
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1~0 TCORA と TCNTV のコンペアマッチによる TMOV 端子の出力方法を選択します。 00 : 変化しない。 01 : 0 出力 10 : 1 出力 11 : トグル出力
0	OS0	0	R/W	

OS3 と OS2 はコンペアマッチ B による出力方法を選択し、OS1 と OS0 はコンペアマッチ A による出力方法を選択し、それぞれ独立に設定することができます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

11. タイマ V

11.3.5 タイマコントロールレジスタ V1 (TCRV1)

TCRV1 は TRGV 端子のエッジセレクト、TRGV 入力イネーブル、TCNTV の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。
4	TVEG1	0	R/W	TRGV 入力エッジセレクト TRGV 端子の入力エッジを選択します。 00 : TRGV からのトリガ入力を禁止 01 : 立ち上がりエッジを選択 10 : 立ち下がりエッジを選択 11 : 立ち上がり/立ち下がり両エッジを選択
3	TVEG0	0	R/W	
2	TRGE	0	R/W	TVEG1、TVEG0 で選択されたエッジの入力により、TCNTV カウントアップが開始します。 0 : TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 1 : TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可
1	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
0	ICKS0	0	R/W	インターナルクロックセレクト 0 TCRV0 の CKS2~CKS0 との組合せで、TCNTV に入力するクロックを選択します。表 11.2 を参照してください。

11.4 動作説明

11.4.1 タイマ V の動作

1. タイマVの動作クロックは表11.2により、プリスケールSの出力する6種類の内部クロックまたは外部クロックを選択できます。動作クロックを選択するとTCNTVはカウントアップを開始します。内部クロックを選択した場合のカウントタイミングを図11.2に、外部クロックの両エッジを選択した場合のカウントタイミングを図11.3に示します。
2. TCNTVがH'FFからH'00にオーバフローすると、TCRV0のOVFがセットされます。このときのタイミングを図11.4に示します。このときTCRV0のOVIEが1なら、CPUに対して割り込み要求を発生します。
3. TCNTVはTCORA、TCORBと常に比較されており、一致するとTCSRのCMFA、CMFBがそれぞれ1にセットされます。コンペアマッチ信号は値が一致した最後の状態で発生します。このタイミングを図11.5に示します。このときTCRV0のCMIEA、CMIEBが1ならCPUに対して割り込み要求を発生します。
4. コンペアマッチAまたはBが発生したとき、TCSRのOS3~OS0で選択された出力値がTMOV端子から出力されます。図11.6にコンペアマッチA信号によるトグル出力の場合の出力タイミングを示します。
5. TCRV0のCCLR1、CCLR0が01または10なら、対応するコンペアマッチでTCNTVがクリアされます。このクリアされるタイミングを図11.7に示します。

6. TCRV0のCCLR1、CCLR0が11なら、TMRIV端子入力の立ち上がりエッジでTCNTVがクリアされます。TMRIV入力のパルス幅は1.5システムクロック以上が必要です。このクリアされるタイミングを図11.8に示します。
7. TCRV1のTRGEが1にセットされている状態でカウンタクリア要因が発生すると、TCNTVのクリアと同時にカウントアップも停止します。TRGV端子からTCRV1のTVEG1、TVEG0で選択されたエッジが入力されると、TCNTVのカウントアップを再開します。

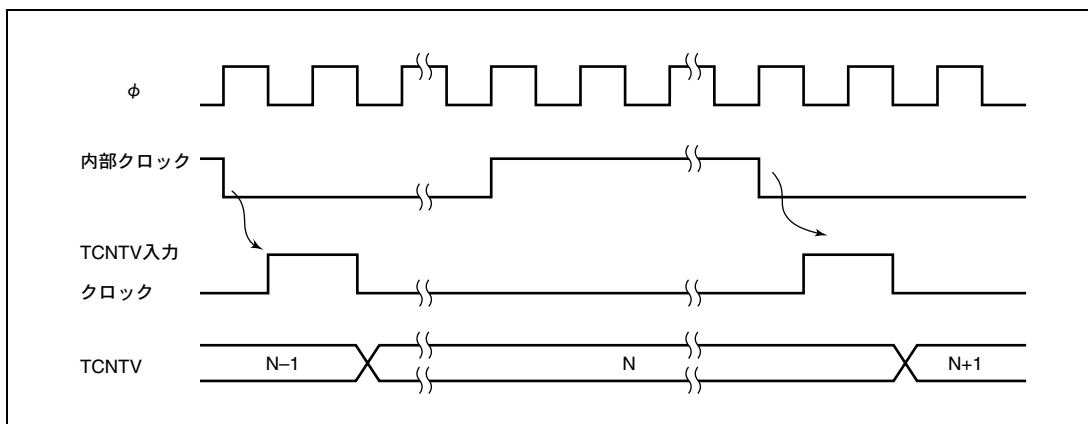


図 11.2 内部クロック動作時のカウントタイミング

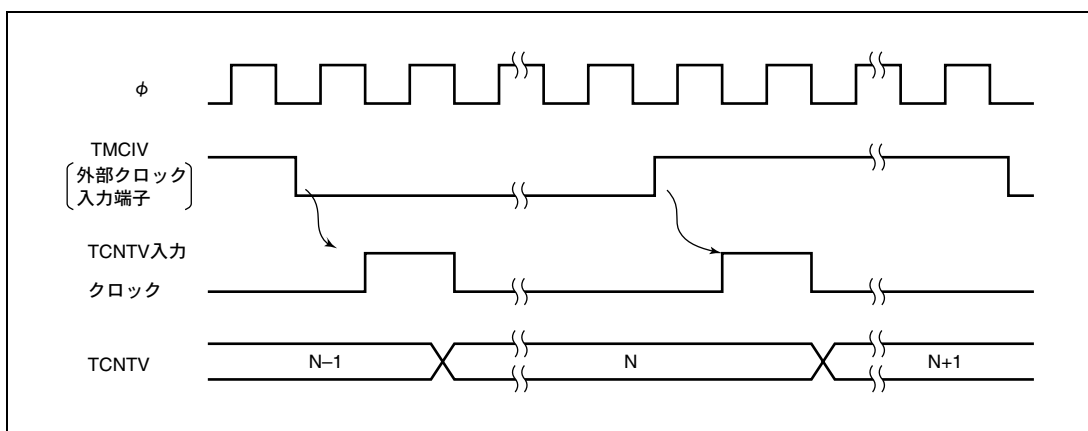


図 11.3 外部クロック動作時のカウントタイミング

11. タイマ V

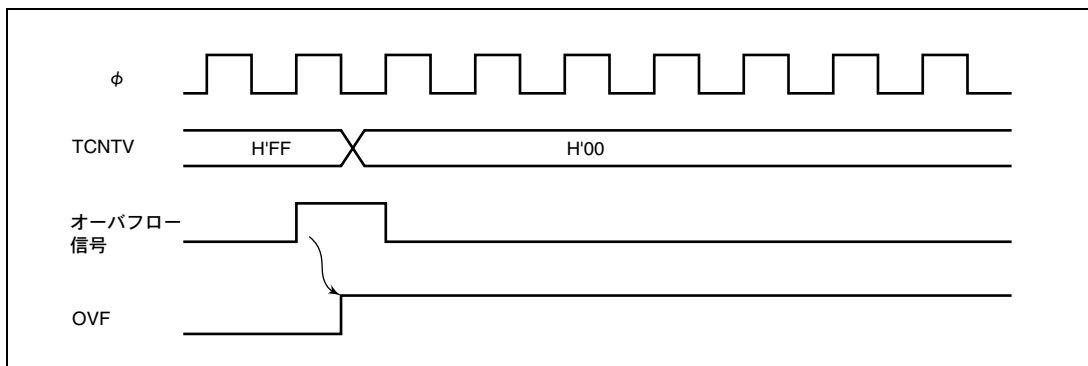


図 11.4 OVF のセットタイミング

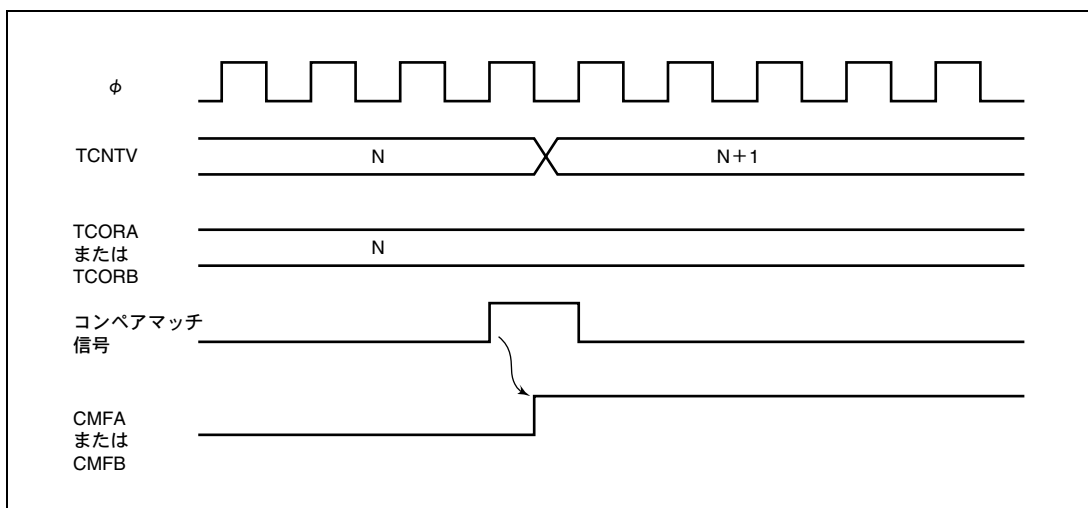


図 11.5 CMFA と CMFB のセットタイミング

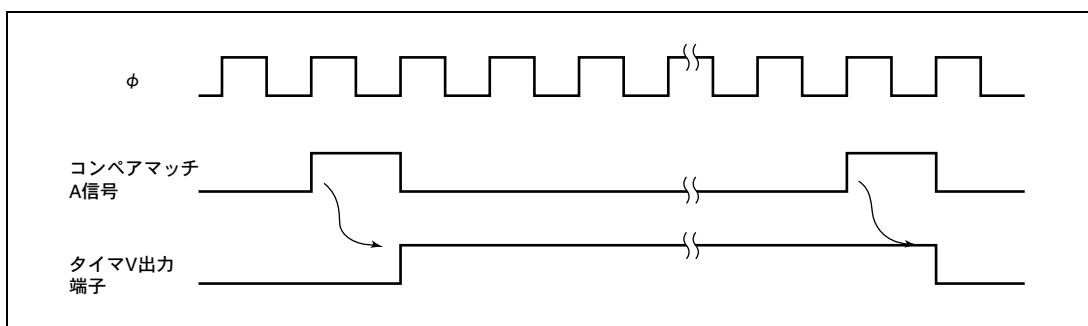


図 11.6 TMOV 出力タイミング

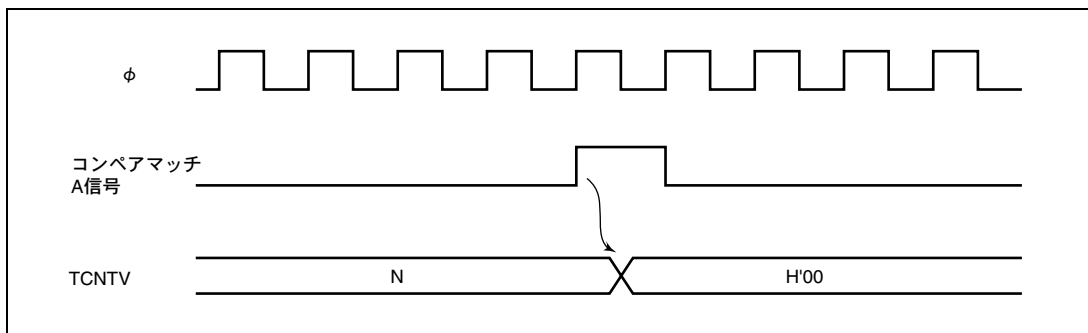


図 11.7 コンペアマッチによるクリアタイミング

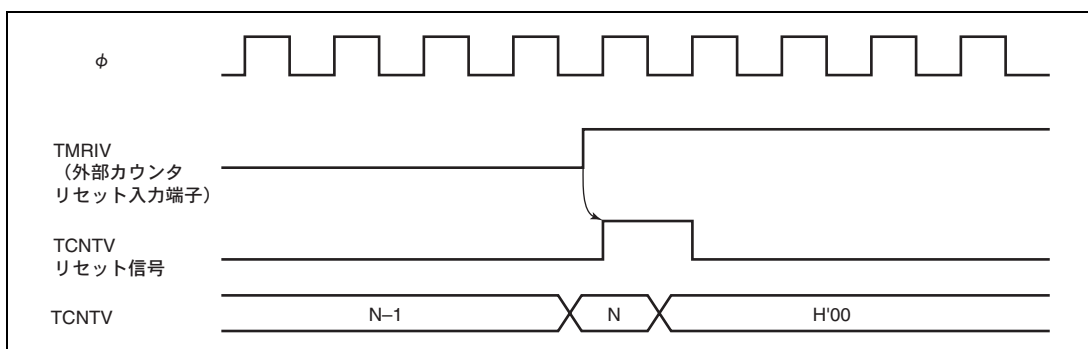


図 11.8 TMRIV 入力によるクリアタイミング

11.5 タイマ V の使用例

11.5.1 任意のデューティパルス出力

任意のデューティパルスを出力させる例を図 11.9 に示します。

1. TCORAのコンペアマッチによりTCNTVがクリアされるために、TCRV0のCCLR1とCCLR0を設定します。
2. TCORAのコンペアマッチにより1を出力、TCORBのコンペアマッチにより0を出力するようにTCSRのOS3～OS0を設定します。
3. TCRV0のCKS2～CKS0とTCRV1のICKS0を設定して、所望のクロックソースを選択します。
4. 以上の設定により周期がTCORA、パルス幅がTCORBで決まる波形をソフトウェアの介在なしに出力できます。

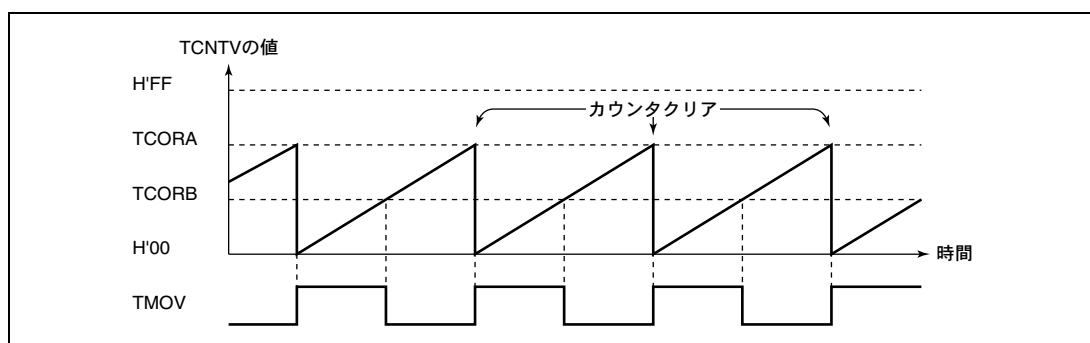


図 11.9 パルス出力例

11.5.2 TRGV 入力から任意の遅延時間と任意のパルス幅のパルス出力

TRGV 入力によるカウントアップ開始機能を用いて、TRGV 入力に対する任意の遅延時間と任意のパルス幅をもつパルスを出力することができます。この出力例を図 11.10 に示します。

1. TCRV0のコンペアマッチによりTCNTVがクリアされるように、TCRV0のCCLR1とCCLR0を設定します。
2. TCORAのコンペアマッチにより1を出力、TCORBのコンペアマッチにより0を出力になるようにTCSRのOS3～OS0を設定します。
3. TRGV入力の立ち下がりエッジが有効となるように、TCRV1のTVEG1～TVEG0とTRGEを設定します。
4. TCRV0のCKS2～CKS0とTCRV1のICKS0を設定して、所望のクロックソースを選択します。
5. 以上の設定により、TRGV入力からの遅延時間がTCORA、パルス幅が（TCORB－TCORA）の波形をソフトウェアの介入なしに出力できます。

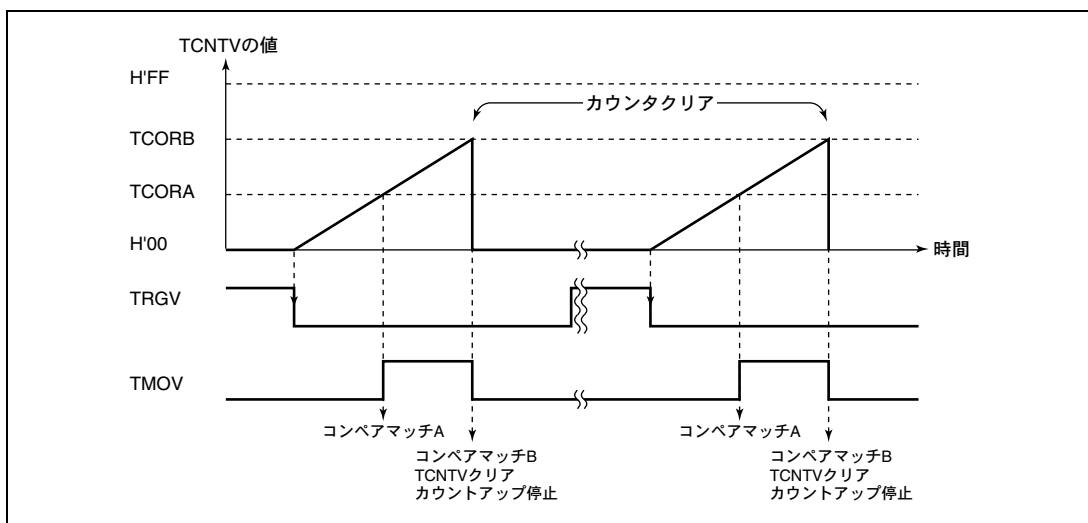


図 11.10 TRGV 入力に同期したパルス出力例

11.6 使用上の注意事項

タイマ V の動作中、次のような競合や動作が起こりますので注意してください。

- レジスタへの書き込みはライトサイクル中のT3ステートで行われます。図11.11のようにTCNTVライトサイクル中のT3ステートでTCNTVのクリア信号が発生すると、クリアが優先されカウンタへの書き込みは行われません。TCNTVライトサイクル中のT3ステートでカウントアップが発生した場合は書き込みが優先されます。
- TCORA、TCORBへのライトサイクル中のT3ステートでコンペアマッチが発生した場合、TCORA、TCORBへのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図11.12に示します。
- コンペアマッチAとコンペアマッチBが同時に発生すると、コンペアマッチAに対して設定されている出力と、コンペアマッチBに対して設定されている出力が競合する場合があります。この場合、トグル出力>1出力>0出力の優先順位に従って出力が変化します。
- 内部クロックを切り替えるタイミングによっては、TCNTVがカウントアップされる場合があります。内部クロックを使用する場合、システムクロック（ ϕ ）を分周した内部クロックの立ち下がりエッジを検出してカウントクロックを発生しています。そのため図11.13のように切り替え前のクロック“High”→切り替え後のクロック“Low”レベルのようなタイミングでクロックが切り替わると、切り替えタイミングを立ち下がりエッジとみなしてカウントクロックを発生し、TCNTVがカウントアップされます。また、内部クロックと外部クロックを切り替えるときもTCNTVがカウントアップされることがあります。

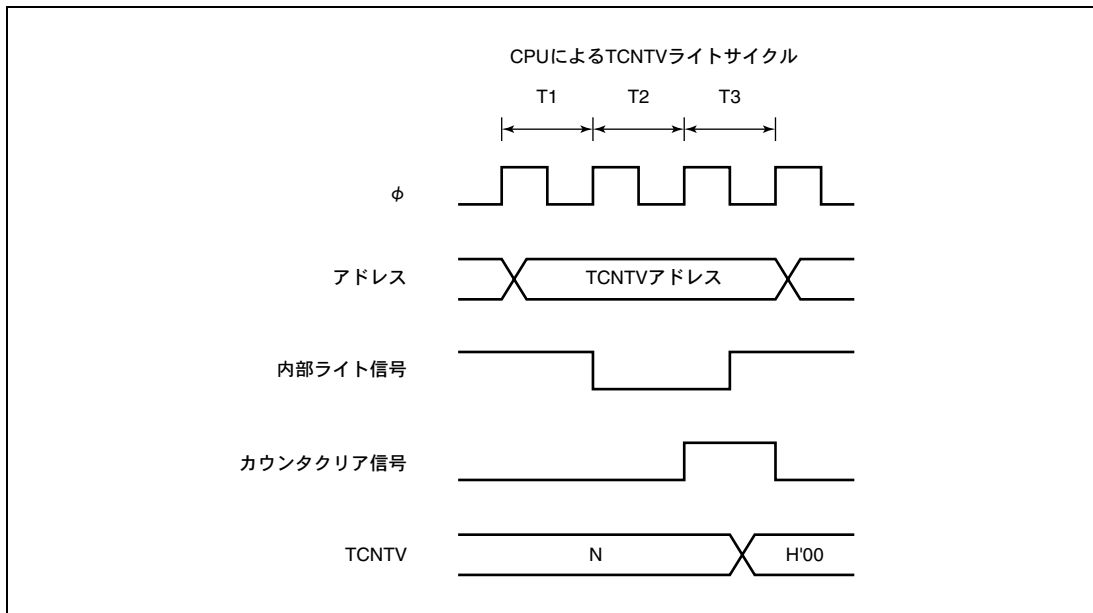


図 11.11 TCNTV のライトとクリアの競合

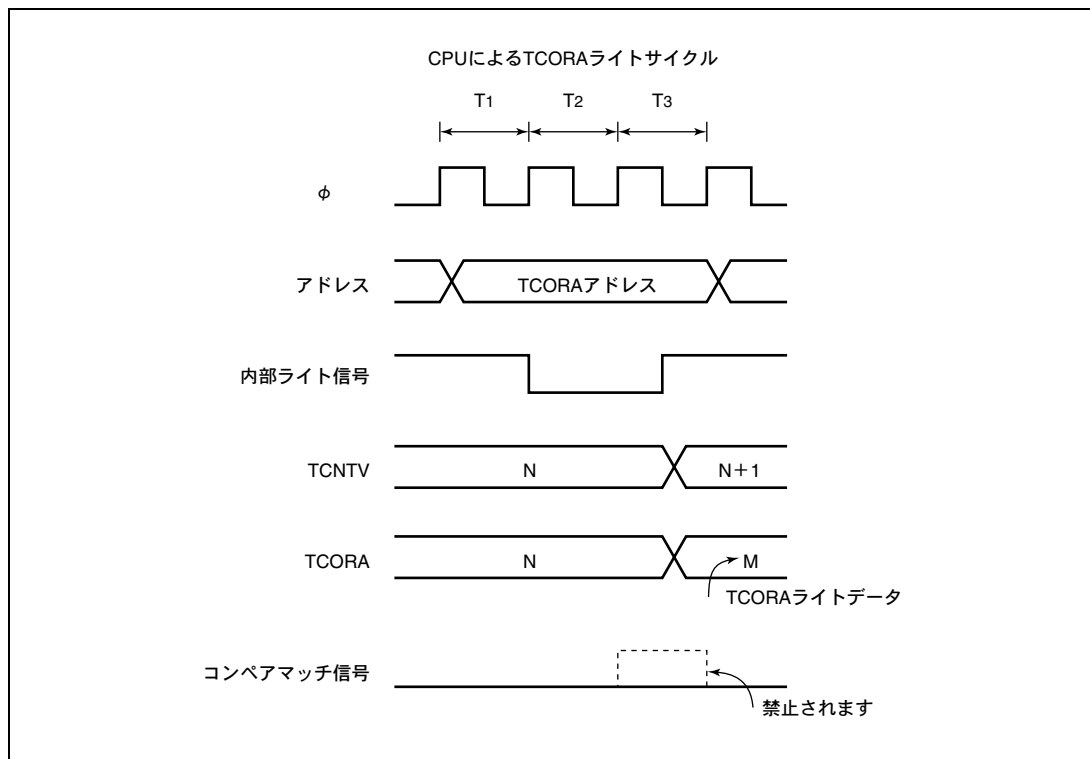


図 11.12 TCORA へのライトとコンペアマッチの競合

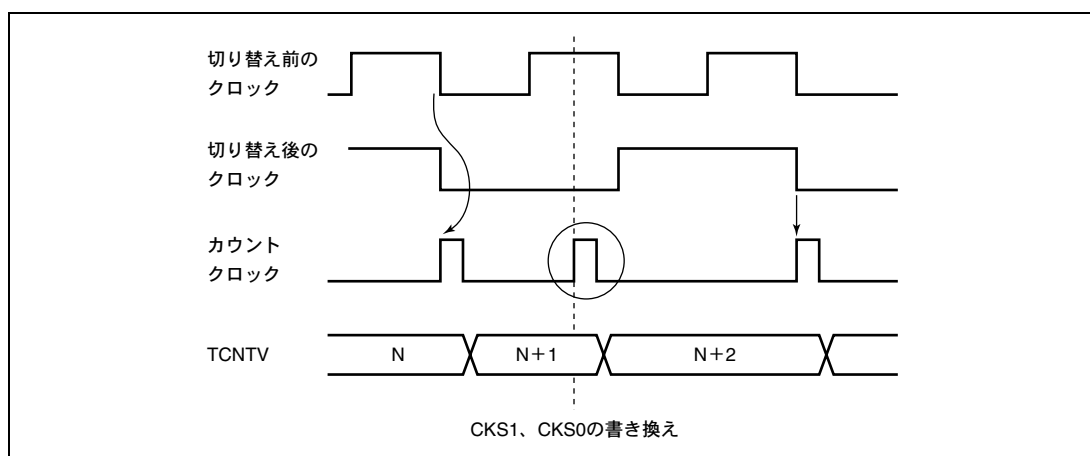


図 11.13 内部クロックの切り替えと TCNTV 動作

12. タイマ Z

タイマ Z は 2 チャンネルの 16 ビットタイマです。タイマ Z のブロック図 (全体図) を図 12.1、チャンネル 0 のブロック図を図 12.2、チャンネル 1 のブロック図を図 12.3 に示します。タイマ Z の機能については表 12.1 を参照してください。

12.1 特長

- 最大 8 種類の入出力処理が可能
- 各チャンネルに 4 本、合計 8 本のジェネラルレジスタ (GR) を持ち、各レジスタは独立にアウトプットコンペア / インプットキャプチャの機能設定が可能
- カウンタ入力クロック : 5 種類
4 種類の内部クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$) と外部クロックのうちから選択可能
- 各チャンネルとも次の動作モードを設定可能
アウトプットコンペア : 0 出力 / 1 出力 / トグル出力が可能
インプットキャプチャ : 立ち上がりエッジ / 立ち下がりエッジ / 両エッジを検出
同期動作 : タイマカウンタ 0、1 (TCNT_0、TCNT_1) への同時書き込みが可能
コンペアマッチ / インプットキャプチャによる同時クリアが可能
PWM モード : 任意のデューティの PWM 出力が可能
最大 6 相の PWM 出力が可能
リセット同期 PWM モード : 正相・逆相の PWM 波形を 3 相出力可能
相補 PWM モード : 正相・逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力可能
PWM 周期による A/D 変換スタートトリガを設定可能
バッファ動作 : インプットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書き換えが可能
- 内部 16 ビットバスによる高速アクセス
TCNT、GR の 16 ビットレジスタに対して、16 ビットバスインタフェースによる高速アクセスが可能
- タイマ出力初期値を任意に設定可能
- 外部トリガによるタイマ出力禁止機能
- 割り込み要因 : 11 種類
各チャンネルともコンペアマッチ / インプットキャプチャ兼用割り込み $\times 4$ 要因、オーバフロー割り込みが要求可能。またチャンネル 1 はアンダフロー割り込みが設定可能

12. タイマ Z

表 12.1 タイマ Z の機能一覧

項目	チャンネル 0	チャンネル 1
カウントクロック	内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック : FTIOA0 (TCLK)	
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用 レジスタ)	GRA_0、GRB_0、GRC_0、GRD_0	GRA_1、GRB_1、GRC_1、GRD_1
バッファレジスタ	GRC_0、GRD_0	GRC_1、GRD_1
入出力端子	FTIOA0、FTIOB0、FTIOC0、FTIOD0	FTIOA1、FTIOB1、FTIOC1、FTIOD1
カウンタクリア機能	GRA_0/GRB_0/GRC_0/GRD_0 のコンペアマッチまたはインプットキャプチャ	GRA_1/GRB_1/GRC_1/GRD_1 のコンペアマッチまたはインプットキャプチャ
コンペア マッチ出力	0 出力	○
	1 出力	○
	トグル出力	○
インプットキャプチャ機能	○	○
同期動作	○	○
PWM モード	○	○
リセット同期 PWM モード	○	○
相補 PWM モード	○	○
バッファ動作	○	○
割り込み要因	コンペアマッチ/インプットキャプチャ A0~ D0 オーバーフロー	コンペアマッチ/インプットキャプチャ A1~ D1 オーバーフロー アンダフロー

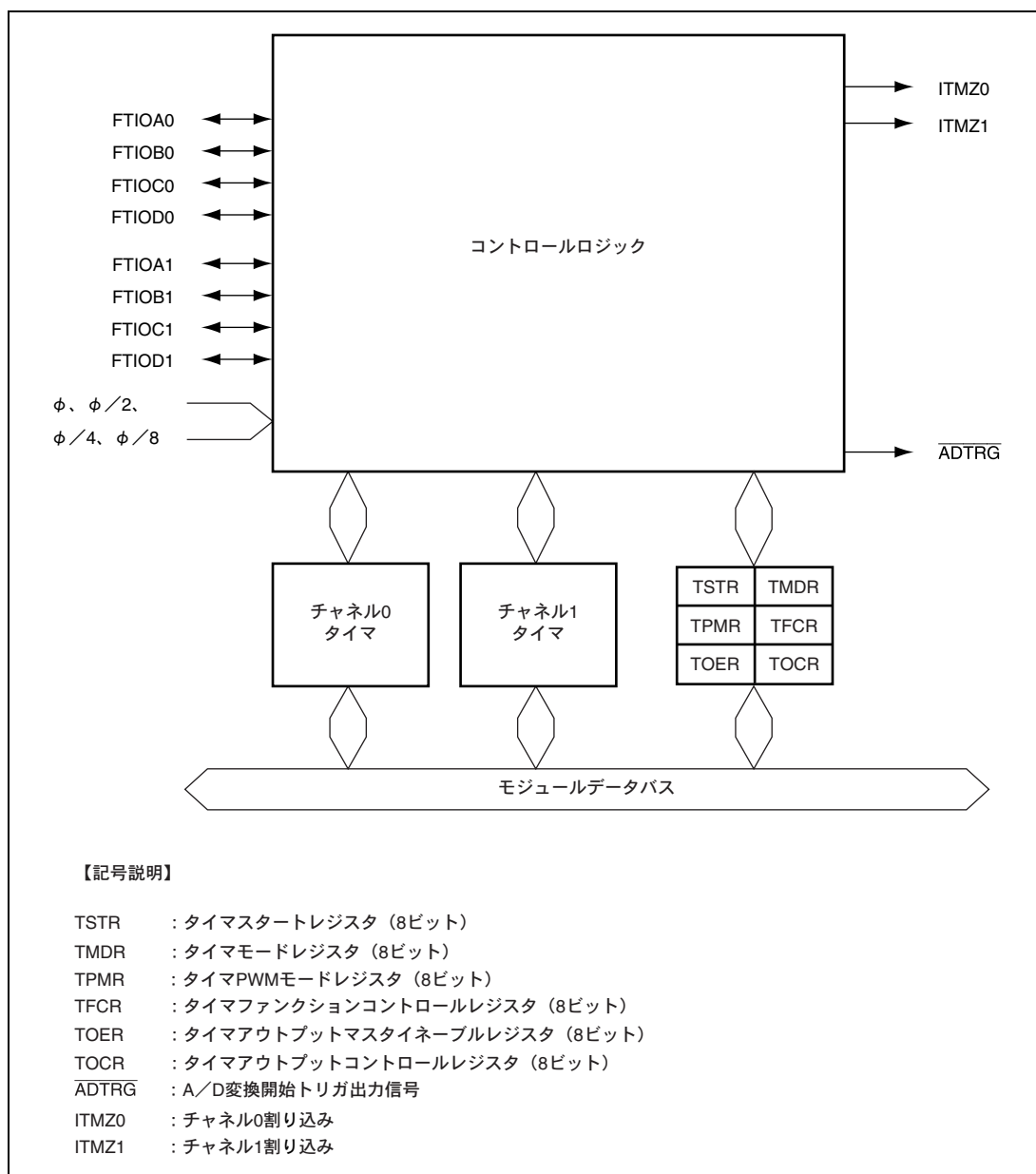


図 12.1 タイマ Z のブロック図

12. タイマZ

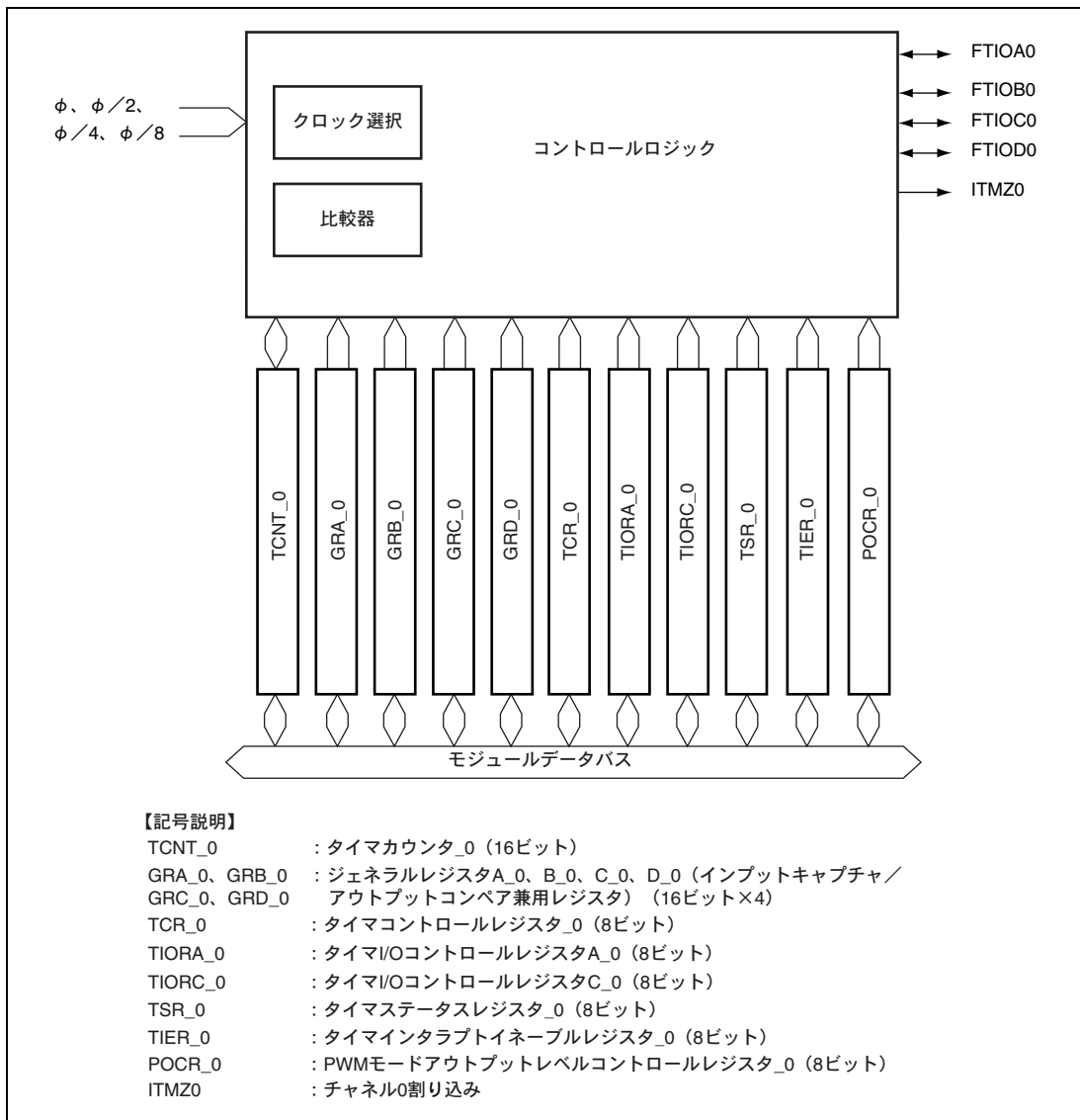


図 12.2 タイマZ (チャンネル0) のブロック図

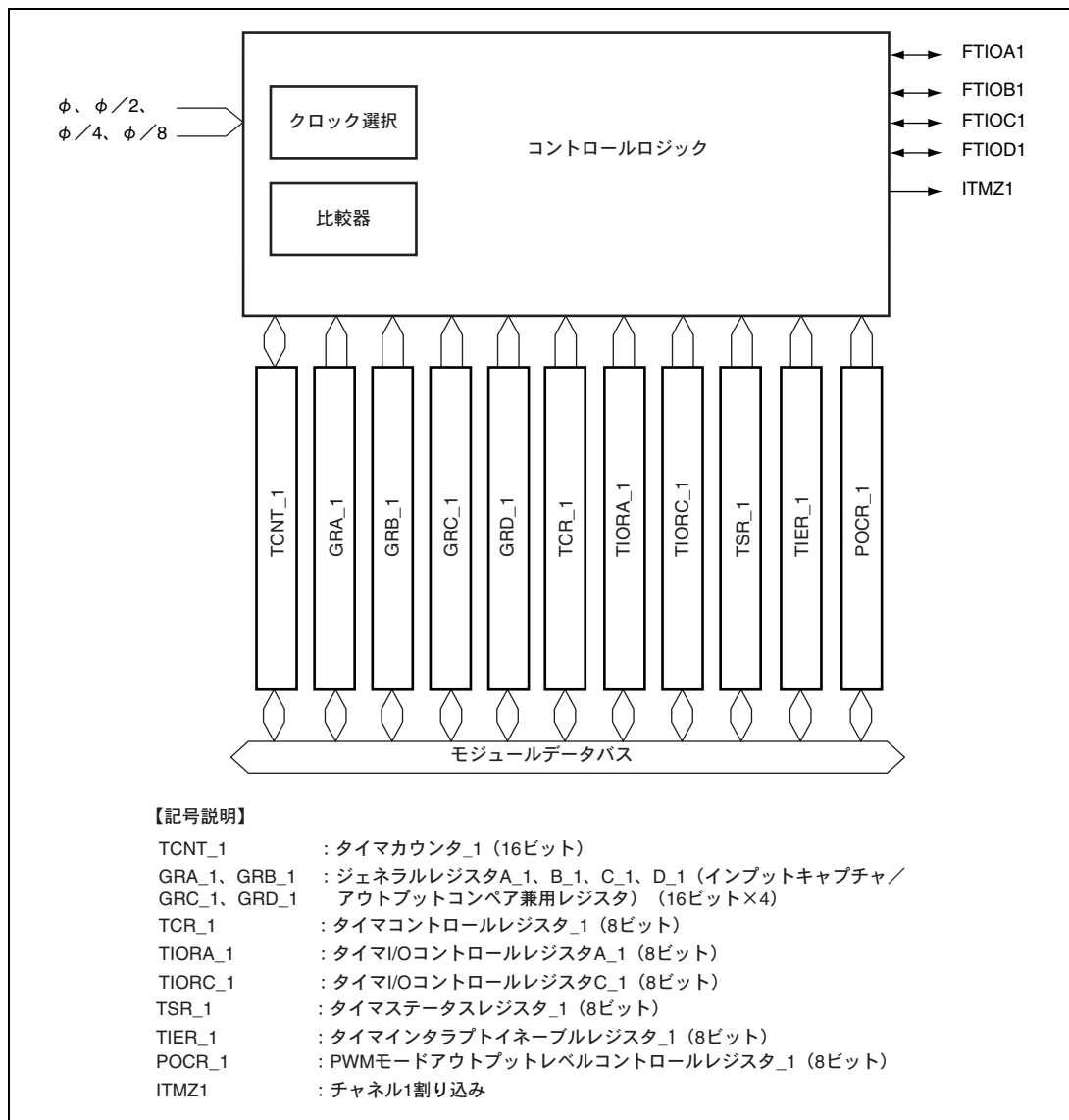


図 12.3 タイマ Z (チャンネル 1) のブロック図

12.2 入出力端子

タイマ Z の端子構成を表 12.2 に示します。

表 12.2 端子構成

名称	略称	入出力	機能
インプットキャプチャ/ アウトプットコンペア A0	FTIOA0	入出力	GRA_0 アウトプットコンペア出力/ GRA_0 インプットキャプチャ入力/ 外部クロック入力端子 (TCLK)
インプットキャプチャ/ アウトプットコンペア B0	FTIOB0	入出力	GRB_0 アウトプットコンペア出力/ GRB_0 インプットキャプチャ入力/ PWM 出力端子
インプットキャプチャ/ アウトプットコンペア C0	FTIOC0	入出力	GRC_0 アウトプットコンペア出力/ GRC_0 インプットキャプチャ入力/ PWM 同期出力端子 (リセット同期 PWM、相補 PWM モード時)
インプットキャプチャ/ アウトプットコンペア D0	FTIOD0	入出力	GRD_0 アウトプットコンペア出力/ GRD_0 インプットキャプチャ入力/ PWM 出力端子
インプットキャプチャ/ アウトプットコンペア A1	FTIOA1	入出力	GRA_1 アウトプットコンペア出力/ GRA_1 インプットキャプチャ入力/ PWM 出力端子 (リセット同期 PWM、相補 PWM モード時)
インプットキャプチャ/ アウトプットコンペア B1	FTIOB1	入出力	GRB_1 アウトプットコンペア出力/ GRB_1 インプットキャプチャ入力/ PWM 出力端子
インプットキャプチャ/ アウトプットコンペア C1	FTIOC1	入出力	GRC_1 アウトプットコンペア出力/ GRC_1 インプットキャプチャ入力/ PWM 出力端子
インプットキャプチャ/ アウトプットコンペア D1	FTIOD1	入出力	GRD_1 アウトプットコンペア出力/ GRD_1 インプットキャプチャ入力/ PWM 出力端子

12.3 レジスタの説明

タイマ Z には以下のレジスタがあります。

共通

- タイマスタートレジスタ (TSTR)
- タイマモードレジスタ (TMDR)
- タイマPWMモードレジスタ (TPMR)
- タイマファンクションコントロールレジスタ (TFCR)
- タイマアウトプットマスタイネーブルレジスタ (TOER)
- タイマアウトプットコントロールレジスタ (TOCR)

チャンネル 0

- タイマコントロールレジスタ_0 (TCR_0)
- タイマI/OコントロールレジスタA_0 (TIORA_0)
- タイマI/OコントロールレジスタC_0 (TIORC_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)

- PWMモードアウトプットレベルコントロールレジスタ_0 (POCR_0)
- タイマカウンタ_0 (TCNT_0)
- ジェネラルレジスタA_0 (GRA_0)
- ジェネラルレジスタB_0 (GRB_0)
- ジェネラルレジスタC_0 (GRC_0)
- ジェネラルレジスタD_0 (GRD_0)

チャンネル 1

- タイマコントロールレジスタ_1 (TCR_1)
- タイマI/OコントロールレジスタA_1 (TIORA_1)
- タイマI/OコントロールレジスタC_1 (TIORC_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- PWMモードアウトプットレベルコントロールレジスタ_1 (POCR_1)
- タイマカウンタ_1 (TCNT_1)
- ジェネラルレジスタA_1 (GRA_1)
- ジェネラルレジスタB_1 (GRB_1)
- ジェネラルレジスタC_1 (GRC_1)
- ジェネラルレジスタD_1 (GRD_1)

12. タイマ Z

12.3.1 タイマスタートレジスタ (TSTR)

TSTR は TCNT の動作/停止を選択します。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。
1	STR1	0	R/W	チャンネル1 カウンタスタート 0: TCNT_1 はカウント動作停止 1: TCNT_1 はカウント動作
0	STR0	0	R/W	チャンネル0 カウンタスタート 0: TCNT_0 はカウント動作停止 1: TCNT_0 はカウント動作

12.3.2 タイマモードレジスタ (TMDR)

TMDR はバッファ動作の設定、同期動作を選択します。

ビット	ビット名	初期値	R/W	説明
7	BFD1	0	R/W	バッファ動作 D1 0: GRD_1 は通常動作 1: GRB_1 と GRD_1 はバッファ動作
6	BFC1	0	R/W	バッファ動作 C1 0: GRC_1 は通常動作 1: GRA_1 と GRC_1 はバッファ動作
5	BFD0	0	R/W	バッファ動作 D0 0: GRD_0 は通常動作 1: GRB_0 と GRD_0 はバッファ動作
4	BFC0	0	R/W	バッファ動作 C0 0: GRC_0 は通常動作 1: GRA_0 と GRC_0 はバッファ動作
3~1	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。
0	SYNC	0	R/W	タイマ同期 0: TCNT_1、TCNT_0 はそれぞれ別々のタイマとして動作 1: TCNT_1、TCNT_0 は同期動作 各チャンネルとも同期プリセット/同期クリアが可能

12.3.3 タイマ PWM モードレジスタ (TPMR)

TPMR は端子を PWM モードに設定することができます。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。
6	PWMD1	0	R/W	PWM モード D1 0 : FTIOD1 は通常動作 1 : FTIOD1 は PWM モード
5	PWMC1	0	R/W	PWM モード C1 0 : FTIOC1 は通常動作 1 : FTIOC1 は PWM モード
4	PWMB1	0	R/W	PWM モード B1 0 : FTIOB1 は通常動作 1 : FTIOB1 は PWM モード
3	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。
2	PWMD0	0	R/W	PWM モード D0 0 : FTIOD0 は通常動作 1 : FTIOD0 は PWM モード
1	PWMC0	0	R/W	PWM モード C0 0 : FTIOC0 は通常動作 1 : FTIOC0 は PWM モード
0	PWMB0	0	R/W	PWM モード B0 0 : FTIOB0 は通常動作 1 : FTIOB0 は PWM モード

12. タイマ Z

12.3.4 タイマファンクションコントロールレジスタ (TFCR)

TFCR は各動作モードの設定や出力レベルの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	STCLK	0	R/W	外部クロック入力セレクト 0: 外部クロック入力は無効 1: 外部クロック入力是有効
5	ADEG	0	R/W	A/D トリガエッジセレクト A/D モジュールを外部トリガで A/D 変換開始の設定にしてください。 0: 相補 PWM モード時、山で A/D トリガ 1: 相補 PWM モード時、谷で A/D トリガ
4	ADTRG	0	R/W	外部トリガディスエーブル 0: 相補 PWM モード時、PWM 周期の A/D トリガを無効 1: 相補 PWM モード時、PWM 周期の A/D トリガを有効
3	OLS1	0	R/W	出力レベルセレクト 1 リセット同期 PWM モード/相補 PWM モード時に逆相の出力レベルを選択します。 0: 初期出力はハイレベル、アクティブレベルはローレベル 1: 初期出力はローレベル、アクティブレベルはハイレベル
2	OLS0	0	R/W	出力レベルセレクト 0 リセット同期 PWM モード/相補 PWM モード時に、正相の出力レベルを選択します。 0: 初期出力はハイレベル、アクティブレベルはローレベル 1: 初期出力はローレベル、アクティブレベルはハイレベル OLS1=0、OLS0=0 の場合のリセット同期 PWM モードおよび相補 PWM モードの出力例を図 12.4 に示します。
1 0	CMD1 CMD0	0 0	R/W R/W	コンビネーションモード 1~0 00: チャネル 0、1 は通常動作 01: チャネル 0、1 を組み合わせ、リセット同期 PWM モードで動作 10: チャネル 0、1 を組み合わせ、相補 PWM モードで動作 (谷で転送) 11: チャネル 0、1 を組み合わせ、相補 PWM モードで動作 (山で転送) 【注】 これらのビットによりリセット同期 PWM モード、または相補 PWM モードに設定した場合、TPMR の各ビットによる PWM モードの設定よりも優先されます。なお、リセット同期 PWM モード、および相補 PWM モードの設定は、TCNT_0、TCNT_1 を停止させた状態で行ってください。

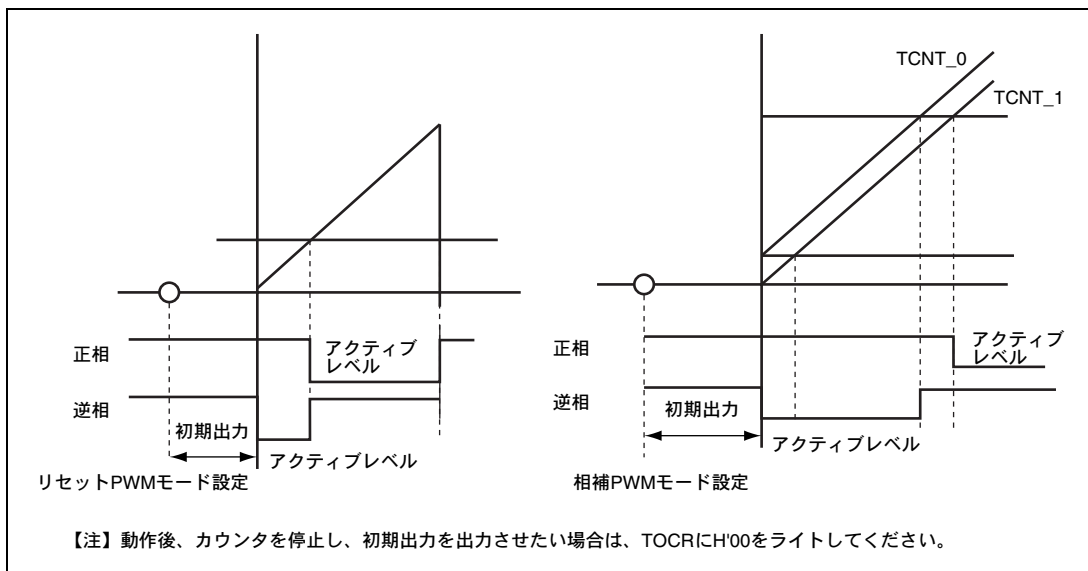


図 12.4 リセット同期 PWM モードおよび相補 PWM モードの出力例

12.3.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOER はチャンネル 0、1 の出力を許可／禁止します。 $\overline{WKP4}$ 入力設定時に、 $\overline{WKP4}$ に Low レベルを入力すると各ビットが 1 にセットされ、タイマ Z の出力は禁止されます。

ビット	ビット名	初期値	R/W	説明
7	ED1	1	R/W	マスタイネーブル D1 0: TPMPR、TFCR、TIORC_1 の設定に従い、FTIOD1 端子の出力は許可 1: TPMPR、TFCR、TIORC_1 の設定にかかわらず FTIOD1 端子の出力は禁止 (FTIOD1 端子は入出力ポートとして動作)
6	EC1	1	R/W	マスタイネーブル C1 0: TPMPR、TFCR、TIORC_1 の設定に従い、FTIOC1 端子の出力は許可 1: TPMPR、TFCR、TIORC_1 の設定にかかわらず FTIOC1 端子の出力は禁止 (FTIOC1 端子は入出力ポートとして動作)
5	EB1	1	R/W	マスタイネーブル B1 0: TPMPR、TFCR、TIORA_1 の設定に従い、FTIOB1 端子の出力は許可 1: TPMPR、TFCR、TIORA_1 の設定にかかわらず FTIOB1 端子の出力は禁止 (FTIOB1 端子は入出力ポートとして動作)

12. タイマ Z

ビット	ビット名	初期値	R/W	説明
4	EA1	1	R/W	マスタイネーブル A1 0 : TPMR、TFCR、TIOA_1 の設定に従い、FTIOA1 端子の出力は許可 1 : TPMR、TFCR、TIOA_1 の設定にかかわらず FTIOA1 端子の出力は禁止 (FTIOA1 端子は入出力ポートとして動作)
3	ED0	1	R/W	マスタイネーブル D0 0 : TPMR、TFCR、TIOA_0 の設定に従い、FTIOD0 端子の出力は許可 1 : TPMR、TFCR、TIOA_0 の設定にかかわらず FTIOD0 端子の出力は禁止 (FTIOD0 端子は入出力ポートとして動作)
2	EC0	1	R/W	マスタイネーブル C0 0 : TPMR、TFCR、TIOA_0 の設定に従い、FTIOC0 端子の出力は許可 1 : TPMR、TFCR、TIOA_0 の設定にかかわらず FTIOC0 端子の出力は禁止 (FTIOC0 端子は入出力ポートとして動作)
1	EB0	1	R/W	マスタイネーブル B0 0 : TPMR、TFCR、TIOA_0 の設定に従い、FTIOB0 端子の出力は許可 1 : TPMR、TFCR、TIOA_0 の設定にかかわらず FTIOB0 端子の出力は禁止 (FTIOB0 端子は入出力ポートとして動作)
0	EA0	1	R/W	マスタイネーブル A0 0 : TPMR、TFCR、TIOA_0 の設定に従い、FTIOA0 端子の出力は許可 1 : TPMR、TFCR、TIOA_0 の設定にかかわらず FTIOA0 端子の出力は禁止 (FTIOA0 端子は入出力ポートとして動作)

12.3.6 タイマアウトプットコントロールレジスタ (TOCR)

TOCR はコンペアマッチが最初にかかるまでの初期出力を設定します。なお、リセット同期 PWM モード、相補 PWM モードの場合、本レジスタの設定には依存せず、TFCR の OLS1、OLS0 ビットの設定に従います。

ビット	ビット名	初期値	R/W	説明
7	TOD1	0	R/W	出力レベルセレクト D1 0 : FTIOD1 は 0 出力* 1 : FTIOD1 は 1 出力*
6	TOC1	0	R/W	出力レベルセレクト C1 0 : FTIOC1 は 0 出力* 1 : FTIOC1 は 1 出力*
5	TOB1	0	R/W	出力レベルセレクト B1 0 : FTIOB1 は 0 出力* 1 : FTIOB1 は 1 出力*
4	TOA1	0	R/W	出力レベルセレクト A1 0 : FTIOA1 は 0 出力* 1 : FTIOA1 は 1 出力*
3	TOD0	0	R/W	出力レベルセレクト D0 0 : FTIOD0 は 0 出力* 1 : FTIOD0 は 1 出力*
2	TOC0	0	R/W	出力レベルセレクト C0 0 : FTIOC0 は 0 出力* 1 : FTIOC0 は 1 出力*
1	TOB0	0	R/W	出力レベルセレクト B0 0 : FTIOB0 は 0 出力* 1 : FTIOB0 は 1 出力*
0	TOA0	0	R/W	出力レベルセレクト A0 0 : FTIOA0 は 0 出力* 1 : FTIOA0 は 1 出力*

【注】 * 出力値は変更した時点で反映されます。

12.3.7 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なレジスタで、各チャンネルに 1 本、計 2 本あります。入力したクロックによりカウント動作を行います。入力するクロックは、TCR の TPSC2~TPSC0 ビットにより選択します。TCNT は相補 PWM モード時にアップ/ダウンカウンタ動作を行い、それ以外の場合はアップカウンタ動作を行います。

TCNT は、対応する GRA、GRB、GRC、GRD とのコンペアマッチ、または GRA、GRB、GRC、GRD へのインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。TCNT がオーバフローすると、対応するチャンネルの TSR の OVF フラグが 1 にセットされます。TCNT₁ がアンダフローすると、TSR の UDF フラグが 1 にセットされます。なお TCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

12.3.8 ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)

GR は 16 ビットのリード/ライト可能なレジスタで、各チャンネルに 4 本、計 8 本あります。

アウトプットコンペアレジスタとインプットキャプチャレジスタの機能の切り換えを TIORA、TIORC により行います。

アウトプットコンペアレジスタとして使用しているときは、GR と TCNT の値は常に比較されています。両者の値が一致すると TSR の IMFA~IMFD フラグが 1 にセットされます。TIORA、TIORC によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からの信号を検出して TCNT の値を格納します。このとき対応する TSR の IMFA~IMFD フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジ選択は TIORA、TIORC により行います。

PWM モード、相補 PWM モード、またはリセット同期 PWM モードに設定されている場合には、TIORA、TIORC の設定値は無視されます。GR はリセット時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFF に初期化されます。なお GR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

12.3.9 タイマコントロールレジスタ (TCR)

TCR は TCNT のカウンタクロック選択、外部クロック選択時のエッジ選択、およびカウンタクリア要因の選択を行います。TCR は各チャンネルに 1 本、計 2 本の TCR があります。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2~0 000 : TCNT のクリア禁止 001 : GRA のコンペアマッチ/インプットキャプチャで TCNT クリア* ¹ 010 : GRB のコンペアマッチ/インプットキャプチャで TCNT クリア* ¹ 011 : 同期クリア。同期動作をしている他のチャンネルのカウンタクリアに同期して TCNT をクリア* ² 100 : TCNT のクリア禁止 101 : GRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ¹ 110 : GRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ¹ 111 : 同期クリア。同期動作をしている他のチャンネルのカウンタクリアに同期して TCNT をクリア* ²
6	CCLR1	0	R/W	
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1~0 00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント 1X : 立ち上がり/立ち下がり両エッジでカウント
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2~0 000 : 内部クロック : ϕ でカウント 001 : 内部クロック : $\phi/2$ でカウント 010 : 内部クロック : $\phi/4$ でカウント 011 : 内部クロック : $\phi/8$ でカウント 1XX : 外部クロック : FTIOA0 (TCLK) 端子入力でカウント
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

【注】 *1 GR がアウトプットコンペアレジスタとして機能しているとき、コンペアマッチによりクリアされます。GR がインプットキャプチャとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定は TMDR によって行います。

X : Don't care

12. タイマ Z

12.3.10 タイマ I/O コントロールレジスタ (TIORA、TIORC)

TIOR は GR の制御を行います。TIOR は TIORA と TIORC から構成されており、各チャンネルに 2 本、計 4 本あります。相補 PWM モード、リセット同期 PWM モードを含む PWM モードに設定したとき、TIOR の設定は無効となります。

- TIORA

TIORA は GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。また FTIOA 端子、FTIOB 端子の機能を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	IOB2	0	R/W	I/O コントロール B2~0
5	IOB1	0	R/W	GRB はアウトプットコンペアレジスタ
4	IOB0	0	R/W	000 : コンペアマッチによる端子出力禁止 001 : GRB のコンペアマッチで 0 出力 010 : GRB のコンペアマッチで 1 出力 011 : GRB のコンペアマッチでトグル出力 GRB はインプットキャプチャレジスタ 100 : 立ち上がりエッジで GRB へインプットキャプチャ 101 : 立ち下がりエッジで GRB へインプットキャプチャ 11X : 立ち上がり/立ち下がりの両エッジで GRB へインプットキャプチャ
3	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
2	IOA2	0	R/W	I/O コントロール A2~0
1	IOA1	0	R/W	GRA はアウトプットコンペアレジスタ
0	IOA0	0	R/W	000 : コンペアマッチによる端子出力禁止 001 : GRA のコンペアマッチで 0 出力 010 : GRA のコンペアマッチで 1 出力 011 : GRA のコンペアマッチでトグル出力 GRA はインプットキャプチャレジスタ 100 : 立ち上がりエッジで GRA へインプットキャプチャ 101 : 立ち下がりエッジで GRA へインプットキャプチャ 11X : 立ち上がり/立ち下がりの両エッジで GRA へインプットキャプチャ

【注】 X : Don't care

- TIORC

TIORC は GRC、GRD をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。また FTIOC 端子、FTIOD 端子の機能を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	IOD2	0	R/W	I/O コントロール D2~0
5	IOD1	0	R/W	GRD はアウトプットコンペアレジスタ
4	IOD0	0	R/W	000 : コンペアマッチによる端子出力禁止 001 : GRD のコンペアマッチで 0 出力 010 : GRD のコンペアマッチで 1 出力 011 : GRD のコンペアマッチでトグル出力 GRD はインプットキャプチャレジスタ 100 : 立ち上がりエッジで GRD へインプットキャプチャ 101 : 立ち下がりエッジで GRD へインプットキャプチャ 11X : 立ち上がり/立ち下がりの両エッジで GRD へインプットキャプチャ
3	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
2	IOC2	0	R/W	I/O コントロール C2~0
1	IOC1	0	R/W	GRC はアウトプットコンペアレジスタ
0	IOC0	0	R/W	000 : コンペアマッチによる端子出力禁止 001 : GRC のコンペアマッチで 0 出力 010 : GRC のコンペアマッチで 1 出力 011 : GRC のコンペアマッチでトグル出力 GRC はインプットキャプチャレジスタ 100 : 立ち上がりエッジで GRC へインプットキャプチャ 101 : 立ち下がりエッジで GRC へインプットキャプチャ 11X : 立ち上がり/立ち下がりの両エッジで GRC へインプットキャプチャ

【注】 X : Don't care

12. タイマ Z

12.3.11 タイマステータスレジスタ (TSR)

TSR は TCNT のオーバーフロー／アンダフローの発生、および GRA、GRB、GRC、GRD のコンペアマッチ／インプットキャプチャの発生を示します。これらのフラグは割り込み要因であり、TIER の対応するビットにより割り込みが許可されると CPU に割り込みを要求します。TSR は各チャンネル 1 本、計 2 本あります。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
6	—	1	—	
5	UDF*	0	R/W	アンダフローフラグ [セット条件] • TCNT_1 がアンダフローしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	OVF	0	R/W	オーバーフローフラグ [セット条件] • TCNT の値がオーバーフローしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
3	IMFD	0	R/W	インプットキャプチャ／コンペアマッチフラグ D [セット条件] • GRD がアウトプットコンペアレジスタとして機能している場合、TCNT = GRD になったとき • GRD がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRD に転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
2	IMFC	0	R/W	インプットキャプチャ／コンペアマッチフラグ C [セット条件] • GRC がアウトプットコンペアレジスタとして機能している場合、TCNT = GRC になったとき • GRC がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRC に転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

【注】 * TSR_0 には、UDF フラグはありません。TSR_0 のビット 5 はリザーブビットです。リードすると常に 1 が読み出されます。

ビット	ビット名	初期値	R/W	説明
1	IMFB	0	R/W	インพุットキャプチャ/コンペアマッチフラグ B [セット条件] <ul style="list-style-type: none"> GRB がアウトプットコンペアレジスタとして機能している場合、TCNT=GRB になったとき GRB がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT の値が GRB に転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
0	IMFA	0	R/W	インพุットキャプチャ/コンペアマッチフラグ A [セット条件] <ul style="list-style-type: none"> GRA がアウトプットコンペアレジスタとして機能している場合、TCNT=GRA になったとき GRA がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT の値が GRA に転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

12.3.12 タイマインタラプトイネーブルレジスタ (TIER)

TIER はオーバフロー割り込み要求、GR のコンペアマッチ/インพุットキャプチャ割り込み要求の許可/禁止を制御します。TIER は各チャンネルに 1 本、計 2 本あります。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。
4	OVIE	0	R/W	オーバフローインタラプトイネーブル 0: OVF、UDF フラグによる割り込み(OVI)要求を禁止 1: OVF、UDF フラグによる割り込み(OVI)要求を許可
3	IMIED	0	R/W	インพุットキャプチャ/コンペアマッチインタラプトイネーブル D 0: IMFD フラグによる割り込み(IMID)要求を禁止 1: IMFD フラグによる割り込み(IMID)要求を許可
2	IMIEC	0	R/W	インพุットキャプチャ/コンペアマッチインタラプトイネーブル C 0: IMFC フラグによる割り込み(IMIC)要求を禁止 1: IMFC フラグによる割り込み(IMIC)要求を許可
1	IMIEB	0	R/W	インพุットキャプチャ/コンペアマッチインタラプトイネーブル B 0: IMFB フラグによる割り込み(IMIB)要求を禁止 1: IMFB フラグによる割り込み(IMIB)要求を許可
0	IMIEA	0	R/W	インพุットキャプチャ/コンペアマッチインタラプトイネーブル A 0: IMFA フラグによる割り込み(IMIA)要求を禁止 1: IMFA フラグによる割り込み(IMIA)要求を許可

12. タイマ Z

12.3.13 PWM モードアウトプットレベルコントロールレジスタ (POCR)

POCR は PWM モード時のアクティブレベルの制御をします。POCR は各チャンネルに 1 本、計 2 本あります。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。
2	POLD	0	R/W	PWM モードアウトプットレベルコントロール D 0 : FTIOD の出力レベルはローアクティブ 1 : FTIOD の出力レベルはハイアクティブ
1	POLC	0	R/W	PWM モードアウトプットレベルコントロール C 0 : FTIOC の出力レベルはローアクティブ 1 : FTIOC の出力レベルはハイアクティブ
0	POLB	0	R/W	PWM モードアウトプットレベルコントロール B 0 : FTIOB の出力レベルはローアクティブ 1 : FTIOB の出力レベルはハイアクティブ

12.3.14 CPU とのインタフェース

(1) 16 ビットレジスタ

TCNT、GR は 16 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅のため、16 ビット単位でのリード/ライトが可能です。8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 12.5 に示します。

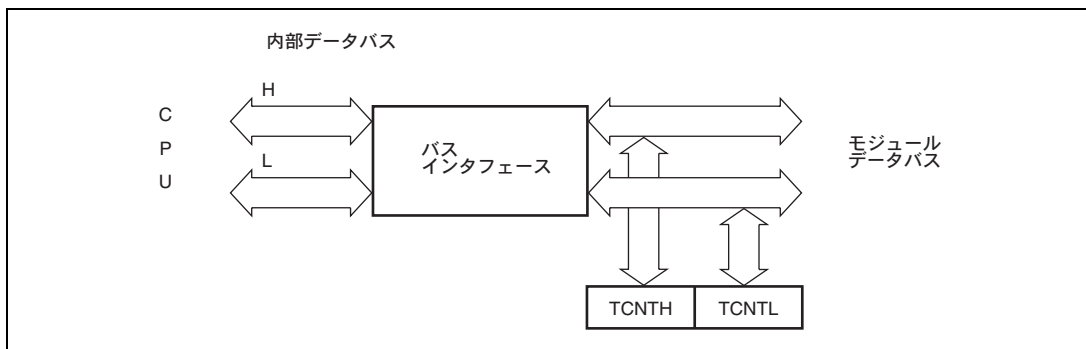


図 12.5 16 ビットレジスタのアクセス動作 (CPU ↔ TCNT (16 ビット))

(2) 8ビットレジスタ

TCNT、GR 以外のレジスタは 8 ビットのレジスタです。これらのレジスタは CPU と内部 8 ビットの幅で接続されています。8 ビットレジスタのアクセス動作例を図 12.6 に示します。

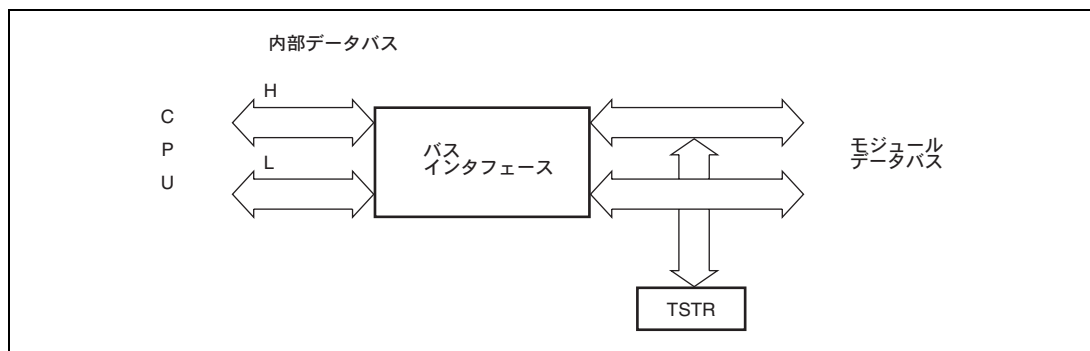


図 12.6 8ビットレジスタのアクセス動作 (CPU \leftrightarrow TSTR (8ビット))

12.4 動作説明

12.4.1 カウンタの動作

TSTR の STR0、STR1 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

カウンタ動作の設定手順例を図 12.7 に示します。

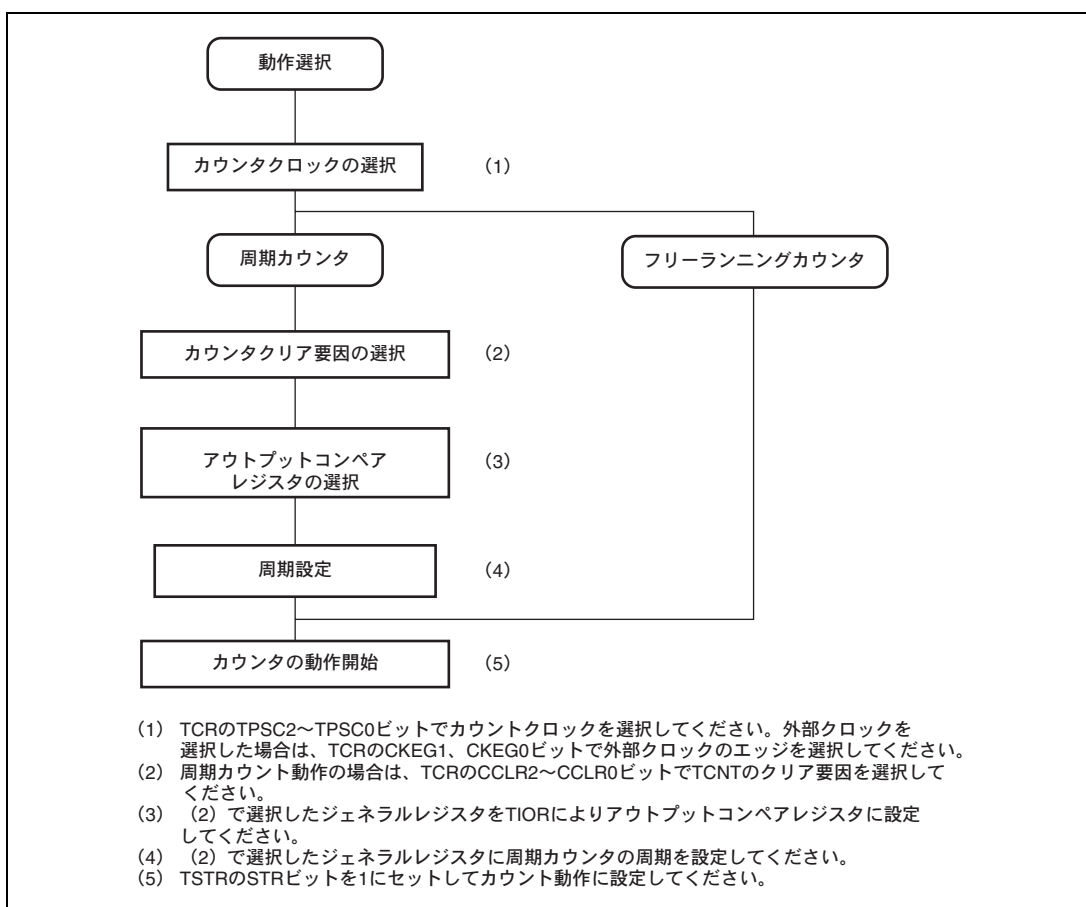


図 12.7 カウンタ動作の設定手順例

(1) フリーランニングカウント動作と周期カウント動作

TCNT はリセット直後はすべてフリーランニングカウンタの設定になっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフローすると、TSR の OVF フラグが 1 にセットされます。このとき対応する TIER の OVIE ビットが 1 ならば、CPU に割り込みを要求します。TCNT はオーバーフロー後に H'0000 から再びアップカウント動作を継続します。フリーランニングカウンタの動作を図 12.8 に示します。

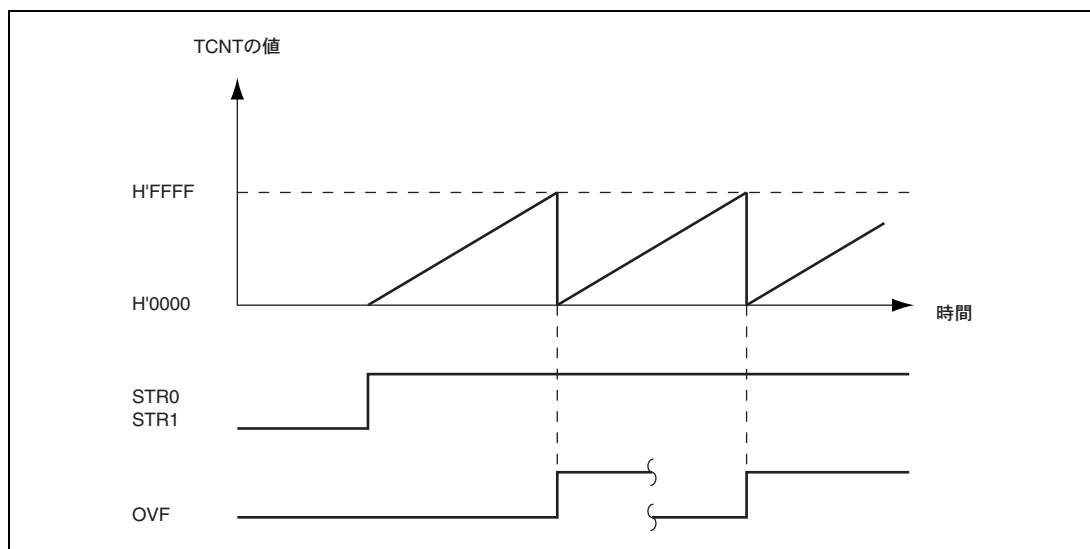


図 12.8 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、該当するチャンネルの TCNT は周期カウンタ動作を行います（周期設定用の GR をアウトプットコンペアレジスタに設定し、TCR の CCLR1、CCLR0 ビットによりコンペアマッチによるカウンタクリアを設定します）。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が GR の値と一致すると、TSR の IMFA、IMFB、IMFC、IMFD フラグが 1 にセットされ、TCNT は H'0000 にクリアされます。このとき対応する TIER の IMIEA、IMIEB、IMIEC、IMIED ビットが 1 ならば、CPU に割り込みを要求します。コンペアマッチ終了後、TCNT は H'0000 から再びアップカウント動作を継続します。周期カウンタの動作を図 12.9 に示します。

12. タイマ Z

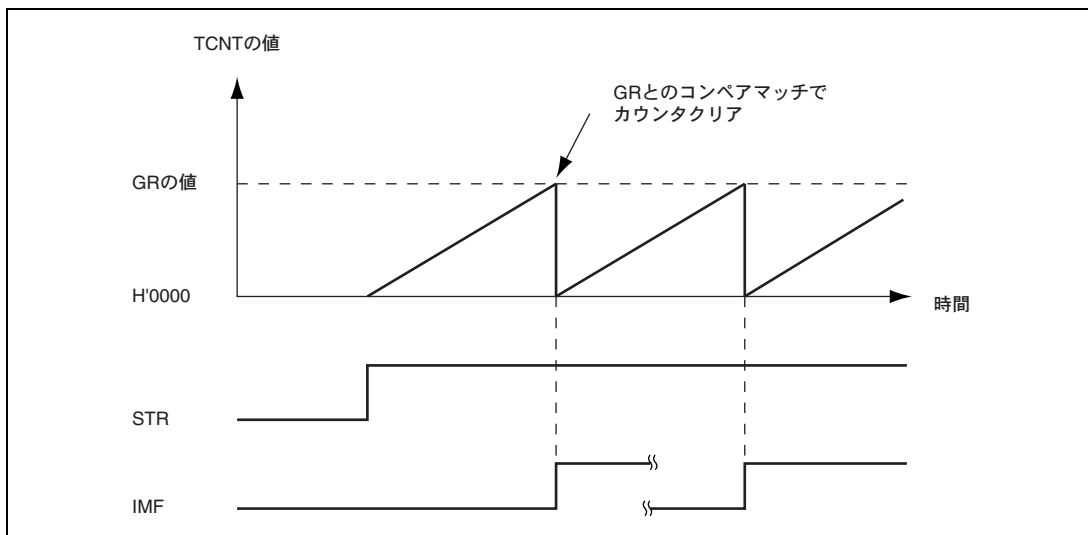


図 12.9 周期カウンタの動作

(2) TCNT のカウンタタイミング

- 内部クロック動作の場合

TCRのTPSC2～TPSC0ビットによりシステムクロック (ϕ)、またはシステムクロックを分周した3種類のクロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$) が選択できます。このときのタイミングを図12.10に示します。

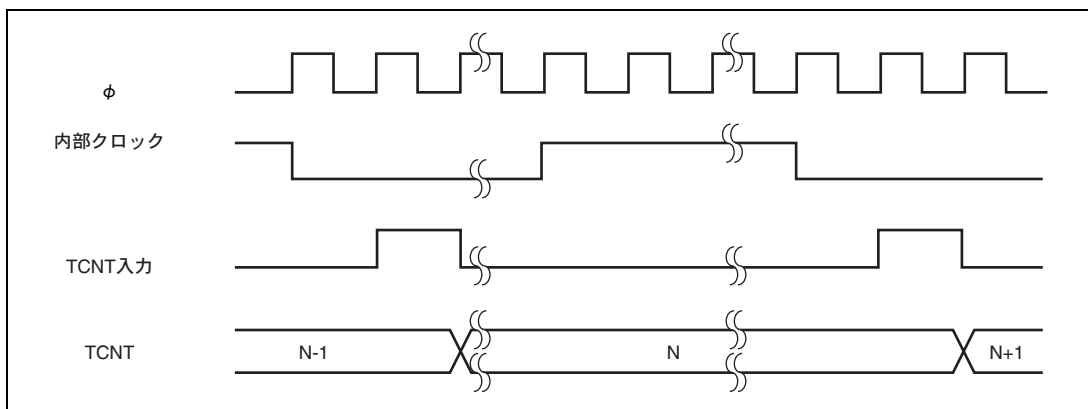


図 12.10 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子 (TCLK) を、またはCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり/立ち下がり/両エッジの選択が可能です。なお、外部クロックのパルス幅は2システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。立ち上がり/立ち下がり両エッジの、検出時のタイミングを図12.11に示します。

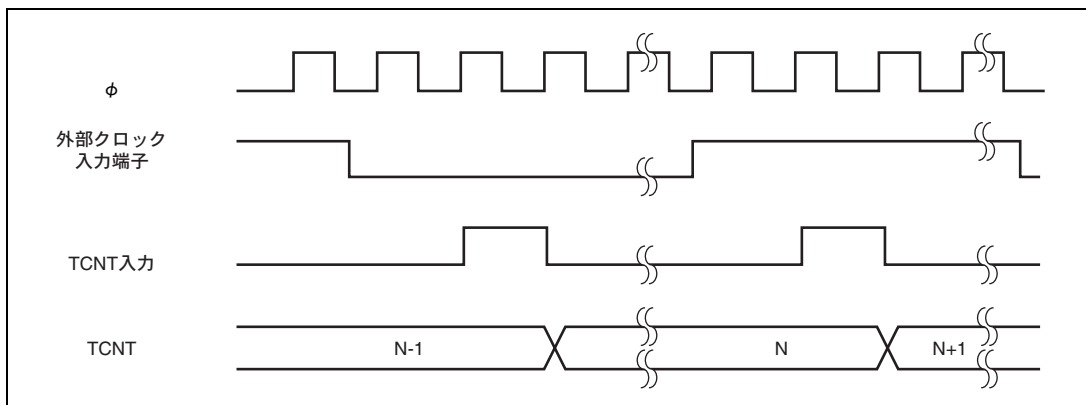


図 12.11 外部クロック動作時のカウントタイミング（両エッジ検出の場合）

12.4.2 コンペアマッチによる波形出力機能

チャンネル 0、1 は、コンペアマッチ A、B、C、D により対応する FTIOA、FTIOB、FTIOC、FTIOD 端子から 0 出力/1 出力/トグル出力を行うことができます。コンペアマッチによる波形出力動作の設定手順例を図 12.12 に示します。

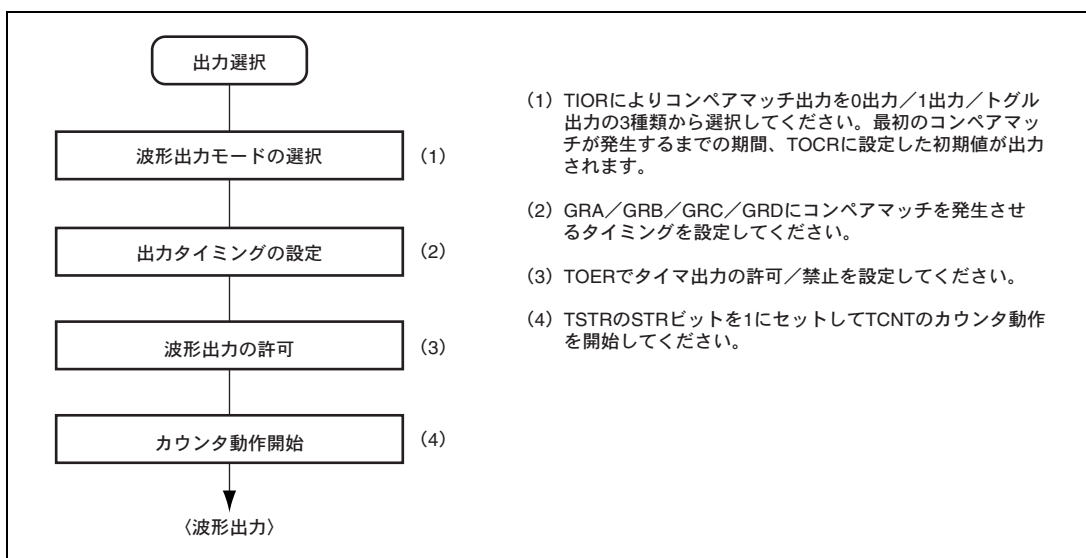


図 12.12 コンペアマッチによる波形出力動作例

12. タイマ Z

(1) 波形出力動作例

TCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の動作例を図 12.13 に示します。なお、設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

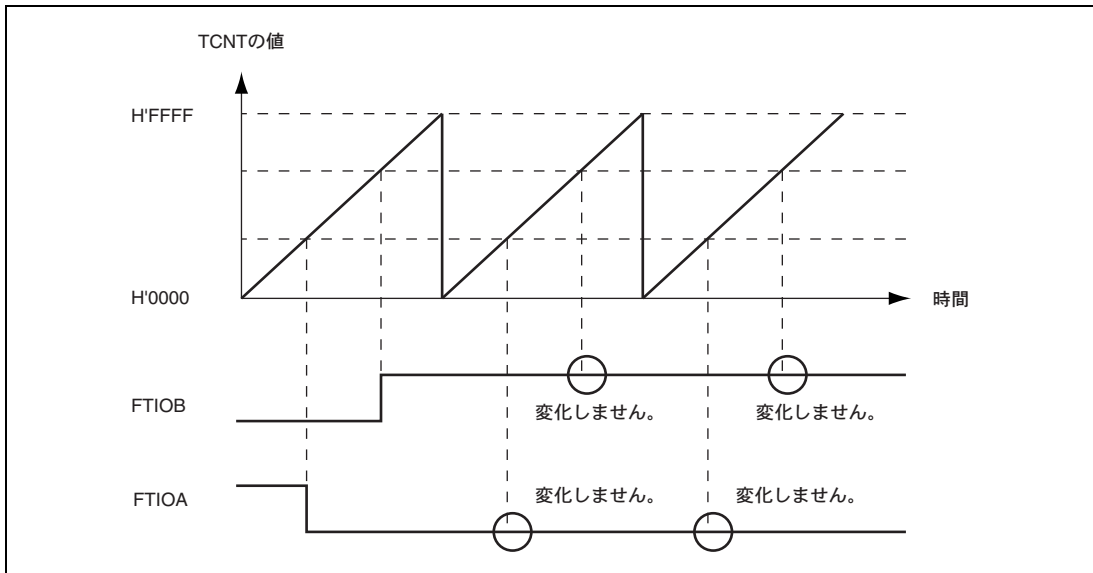


図 12.13 0 出力、1 出力の動作例

TCNT を周期カウント動作（コンペアマッチ B でカウンタクリア）に、コンペアマッチ A、B ともトグル出力になるように設定した場合の動作例を図 12.14 に示します。

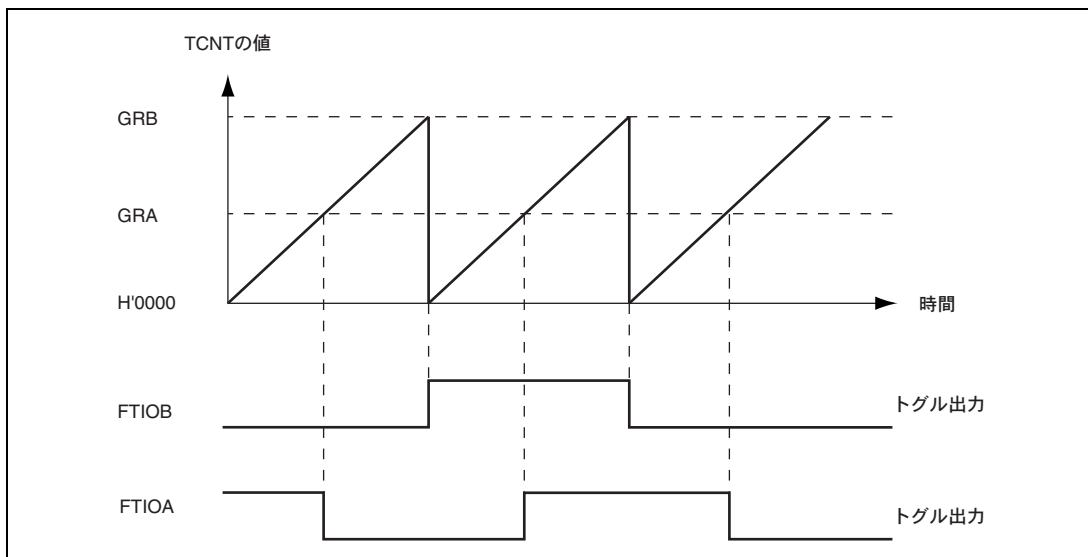


図 12.14 トグル出力の動作例

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート（TCNT が一致したカウンタ値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定される出力値がアウトプットコンペア出力端子（FTIOA、FTIOB、FTIOC、FTIOD）に出力されます。TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。アウトプットコンペア出力タイミングの例を図 12.15 に示します。

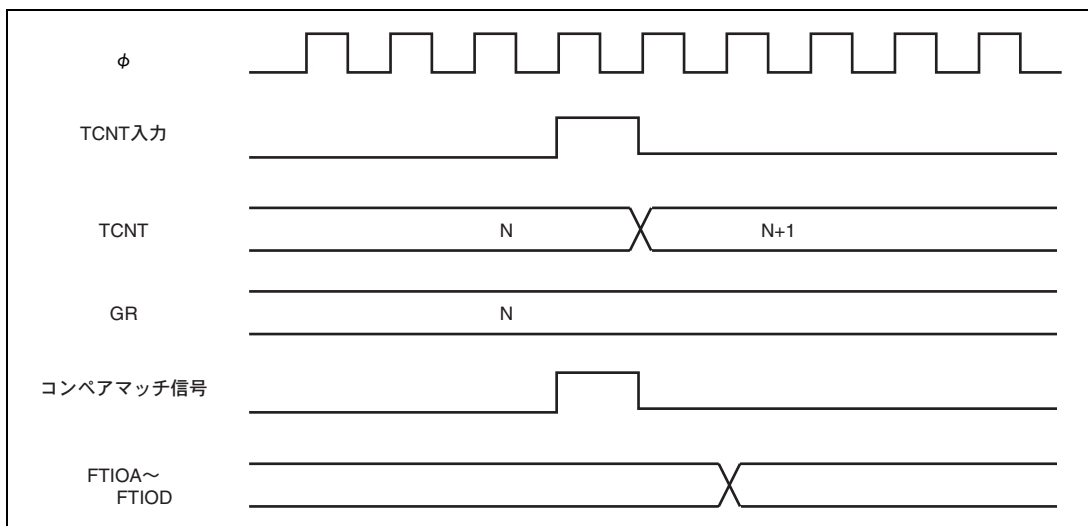


図 12.15 アウトプットコンペア出力タイミング

12.4.3 インพุットキャプチャ機能

インพุットキャプチャ／アウトプットコンペア端子（FTIOA、FTIOB、FTIOC、FTIOD）の入力エッジを検出して、TCNT の値を GR に転送することができます。検出エッジは、立ち上がり／立ち下がり／両エッジから選択できます。またインพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。インพุットキャプチャ動作の設定手順例を図 12.16 に示します。

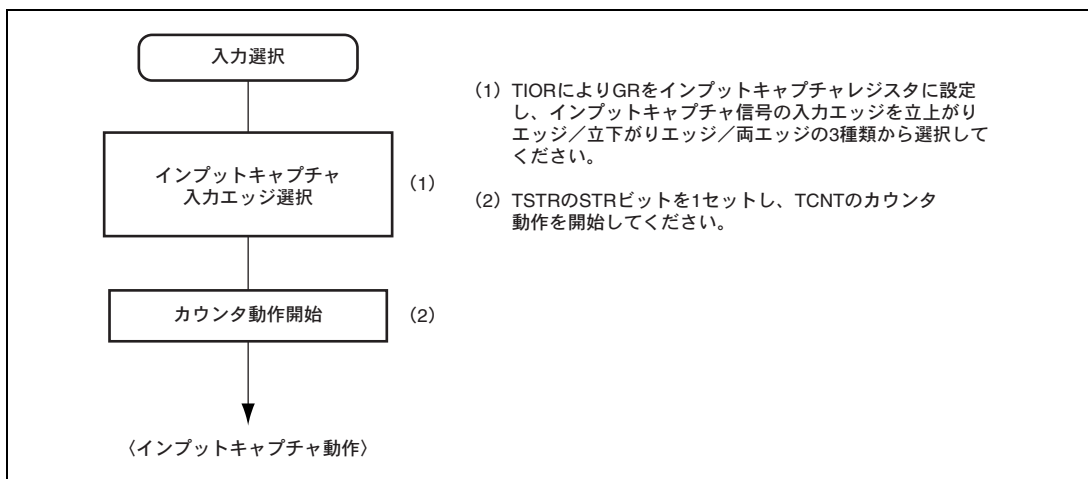


図 12.16 インพุットキャプチャ動作の設定手順例

(1) インพุットキャプチャ動作例

FTIOA 端子のインพุットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また FTIOB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、かつ TCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の動作例を図 12.17 に示します。

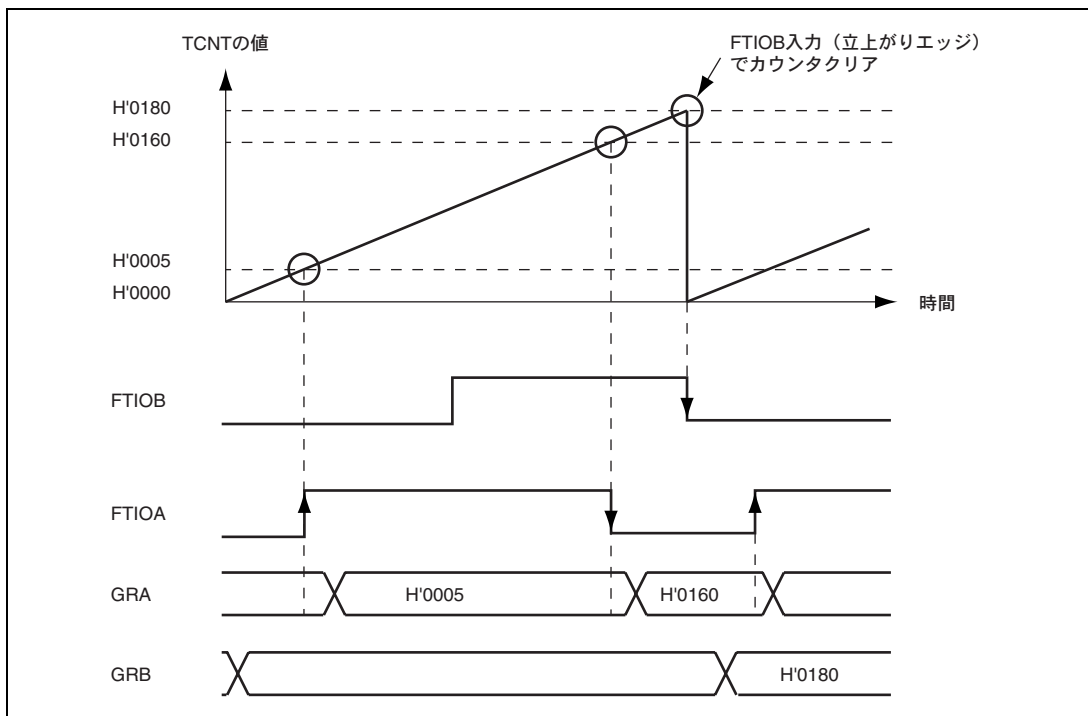


図 12.17 インพุットキャプチャ動作例

(2) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOR の設定によって立ち上がり／立ち下がり／両エッジの選択ができます。立ち上がりエッジを選択した場合のタイミングを図 12.18 に示します。なおインพุットキャプチャ入力信号のパルス幅は、2 システムクロック以上必要です。

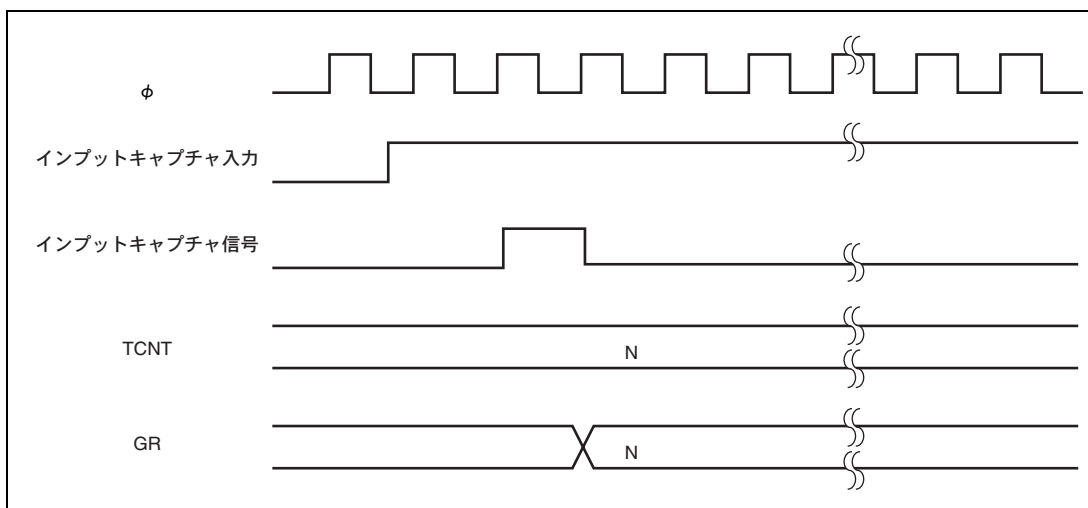


図 12.18 インพุットキャプチャ信号タイミング

12.4.4 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また TCR の設定によって複数の TCNT を同時にクリアすることができます（同期クリア）。同期動作により、1つのタイムベースに対して GR を増加することができます。同期動作の設定手順例を図 12.19 に示します。

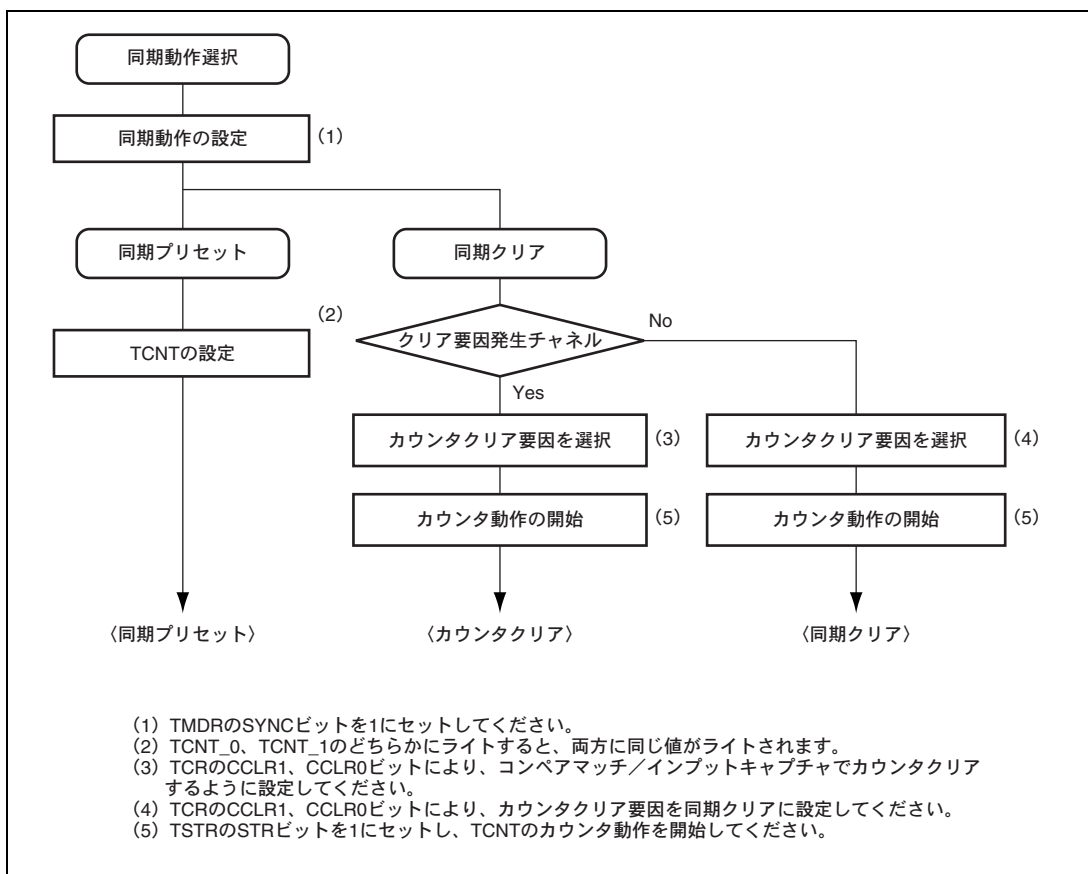


図 12.19 同期モードの設定手順例

同期動作例を図 12.20 に示します。同期動作かつ FTIOB0、FTIOB1 を PWM モードに設定し、チャンネル 0 のカウンタクリア要因を GRA_0 のコンペアマッチ、またチャンネル 1 のカウンタクリア要因を同期クリアに設定した場合の例です。同期動作例ではチャンネル 0 とチャンネル 1 のカウンタ入力クロックを同一の入力クロックに設定してあります。このとき TCNT は同期プリセット、GRA_0 のコンペアマッチによる同期動作を行い、2 相の PWM 波形を FTIOB0、FTIOB1 端子から出力します。なお PWM モードについては「12.4.5 PWM モード」を参照してください。

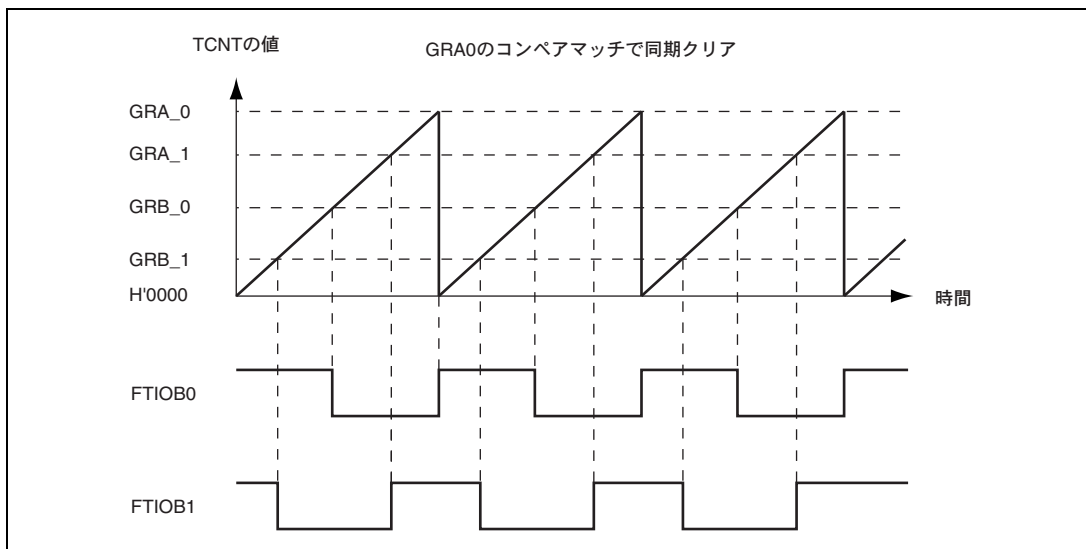


図 12.20 同期動作例

12.4.5 PWM モード

PWM モードは FTIOB、FTIOC、FTIOD 出力端子により、それぞれ PWM 波形を出力します。GRA を周期レジスタ、GRB、GRC、GRD をデューティレジスタとして PWM 波形を生成します。対応する端子の初期出力レベルは、TOCR、POCR の設定値に従います。FTIOB0 端子の初期出力レベルの例を表 12.3 に示します。

出力レベルは POCR の対応する POLB~POLD ビットの状態で決定されます。POLB=0 のときコンペアマッチ B により FTIOB 出力端子は 0 にセットされ、コンペアマッチ A により FTIOB 出力端子は 1 にセットされます。POLB=1 のときコンペアマッチ B により FTIOB 出力端子は 1 にセットされ、コンペアマッチ A により FTIOB 出力端子は 0 にセットされます。PWM モードでは、最大 6 相の PWM 出力が可能です。PWM モードの設定手順例を図 12.21 に示します。

12. タイマ Z

表 12.3 FTIOB0 端子の初期出力レベル

TOB0	POLB	初期出力レベル
0	0	1
0	1	0
1	0	0
1	1	1

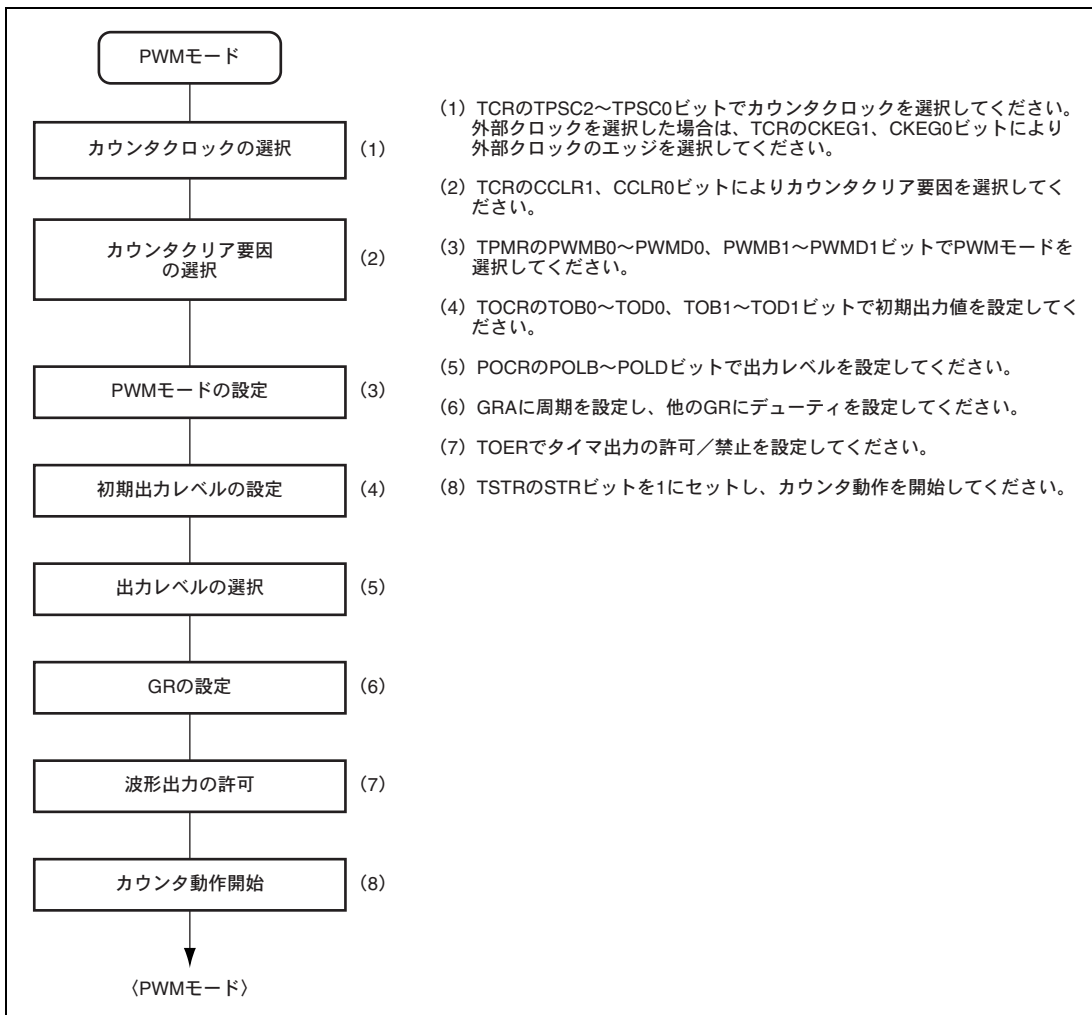


図 12.21 PWM モードの設定手順例

コンペアマッチ A で 1 出力および TCNT のリセット、コンペアマッチ B、C、D で 0 出力（TOB、TOC、TOD = 0、POLB、POLC、POLD = 0）に設定した場合の動作例を図 12.22 に示します。

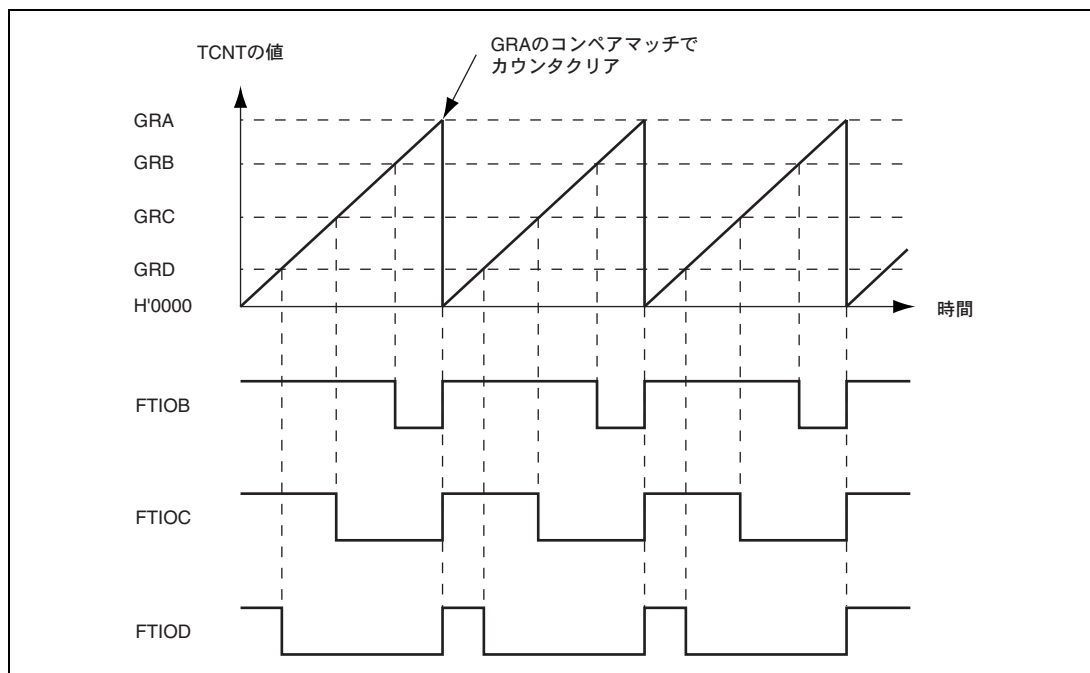


図 12.22 PWM モードの動作例 (1)

12. タイマ Z

コンペアマッチ A で 0 出力、および TCNT のリセット、コンペアマッチ B、C、D で 1 出力 (TOB、TOC、TOD = 0、POLB、POLC、POLD = 1) に設定した場合の動作例を図 12.23 に示します。

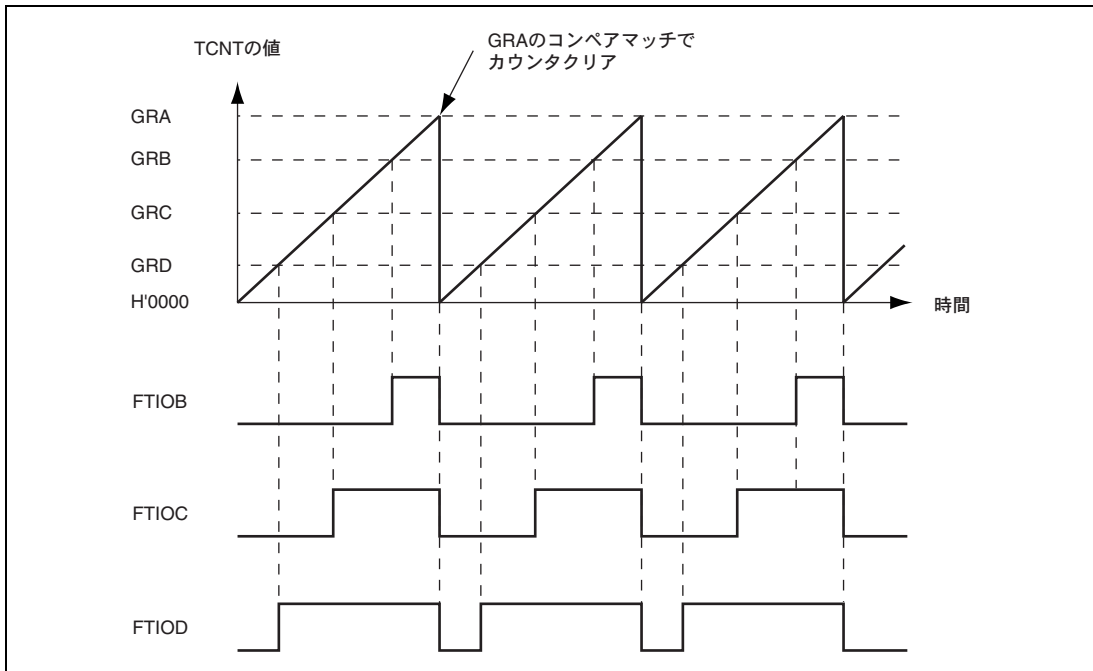


図 12.23 PWM モードの動作例 (2)

PWM モードで、デューティ 0% および 100% の PWM 波形を出力するときの設定が (TOB、TOC、TOD = 0、POLB、POLC、POLD = 0) の場合の例を図 12.24、設定が (TOB、TOC、TOD = 0、POLB、POLC、POLD = 1) の場合の例を図 12.25 に示します。

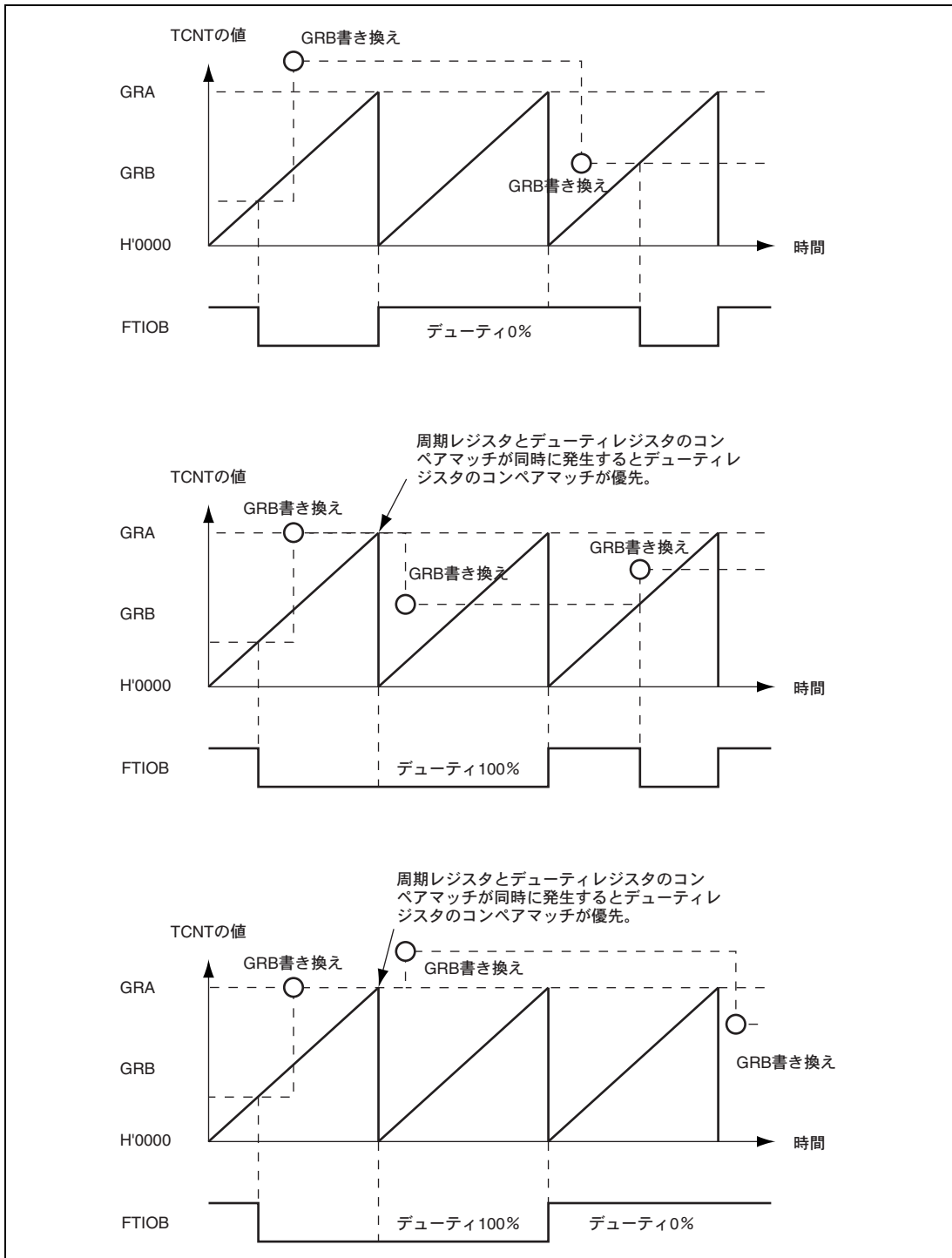


図 12.24 PWM モードの動作例 (3)

12. タイマ Z

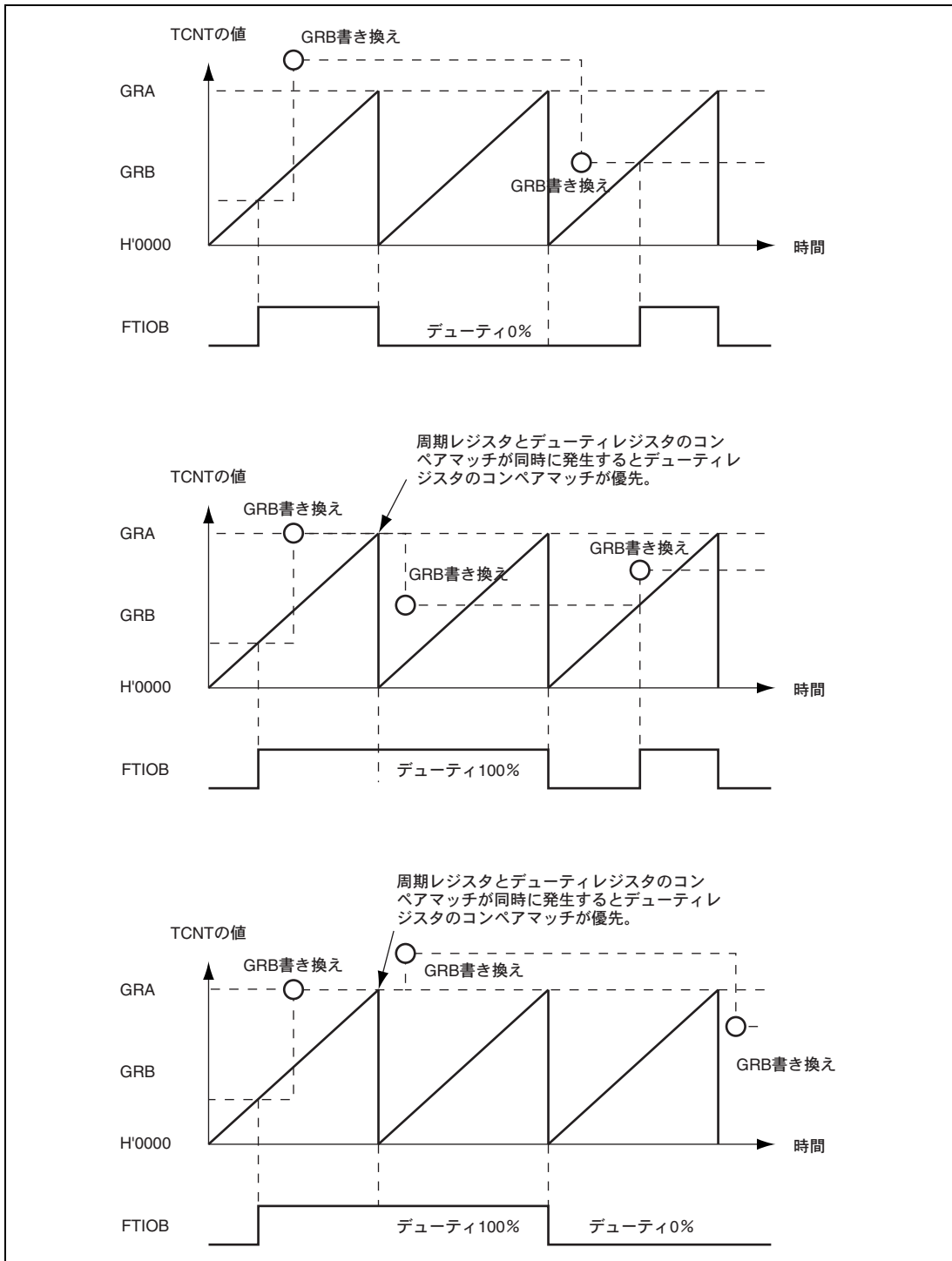


図 12.25 PWM モードの動作例 (4)

12.4.6 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネルを組み合わせることで、一方の波形の変化点が共通の関係となる PWM 波形（正相と逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、FTIOB0～FTIOD0 および FTIOA1～FTIOD1 の端子は自動的に PWM 出力端子となり、TCNT_0 はアップカウンタとして機能します。使用される PWM 出力端子を表 12.4、使用するレジスタの設定を表 12.5、リセット同期 PWM モードの設定手順例を図 12.26 に示します。

表 12.4 リセット同期 PWM モード時の出力端子

チャンネル	端子名	入出力	端子機能
0	FTIOC0	出力	PWM 周期に同期したトグル出力
0	FTIOB0	出力	PWM 出力 1
0	FTIOD0	出力	PWM 出力 1 (PWM 出力 1 の逆相波形)
1	FTIOA1	出力	PWM 出力 2
1	FTIOC1	出力	PWM 出力 2 (PWM 出力 2 の逆相波形)
1	FTIOB1	出力	PWM 出力 3
1	FTIOD1	出力	PWM 出力 3 (PWM 出力 3 の逆相波形)

表 12.5 リセット同期 PWM モード時のレジスタ設定

レジスタ	詳細内容
TCNT_0	H'0000 を初期設定
TCNT_1	使用しません (独立に動作)
GRA_0	TCNT_0 のカウンタ周期を設定
GRB_0	FTIOB0、FTIOD0 端子より出力される PWM 波形の変化点を設定
GRA_1	FTIOA1、FTIOC1 端子より出力される PWM 波形の変化点を設定
GRB_1	FTIOB1、FTIOD1 端子より出力される PWM 波形の変化点を設定

12. タイマ Z

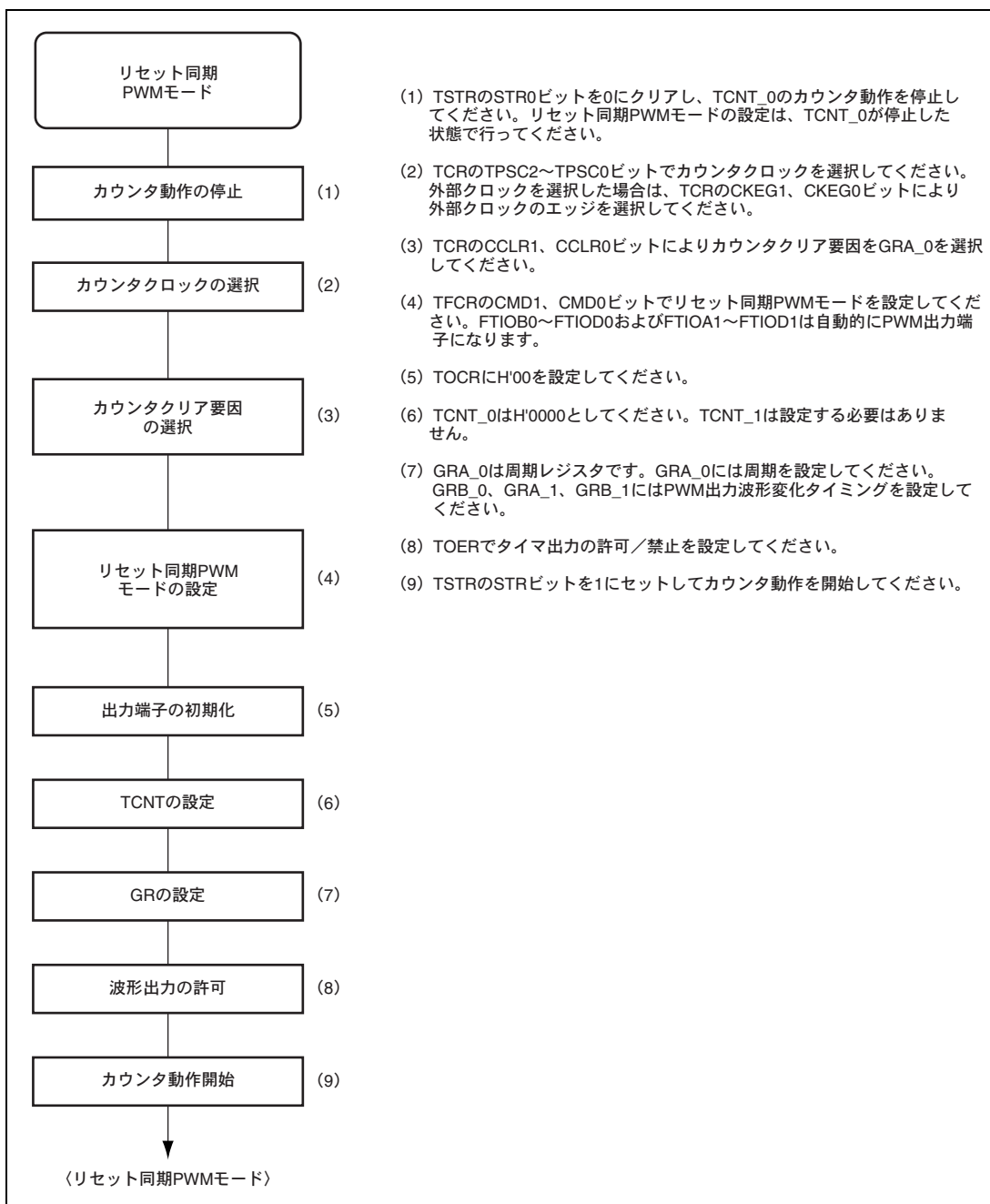


図 12.26 リセット PWM モードの設定手順例

リセット同期 PWM モードの動作例を図 12.27、図 12.28 に示します。

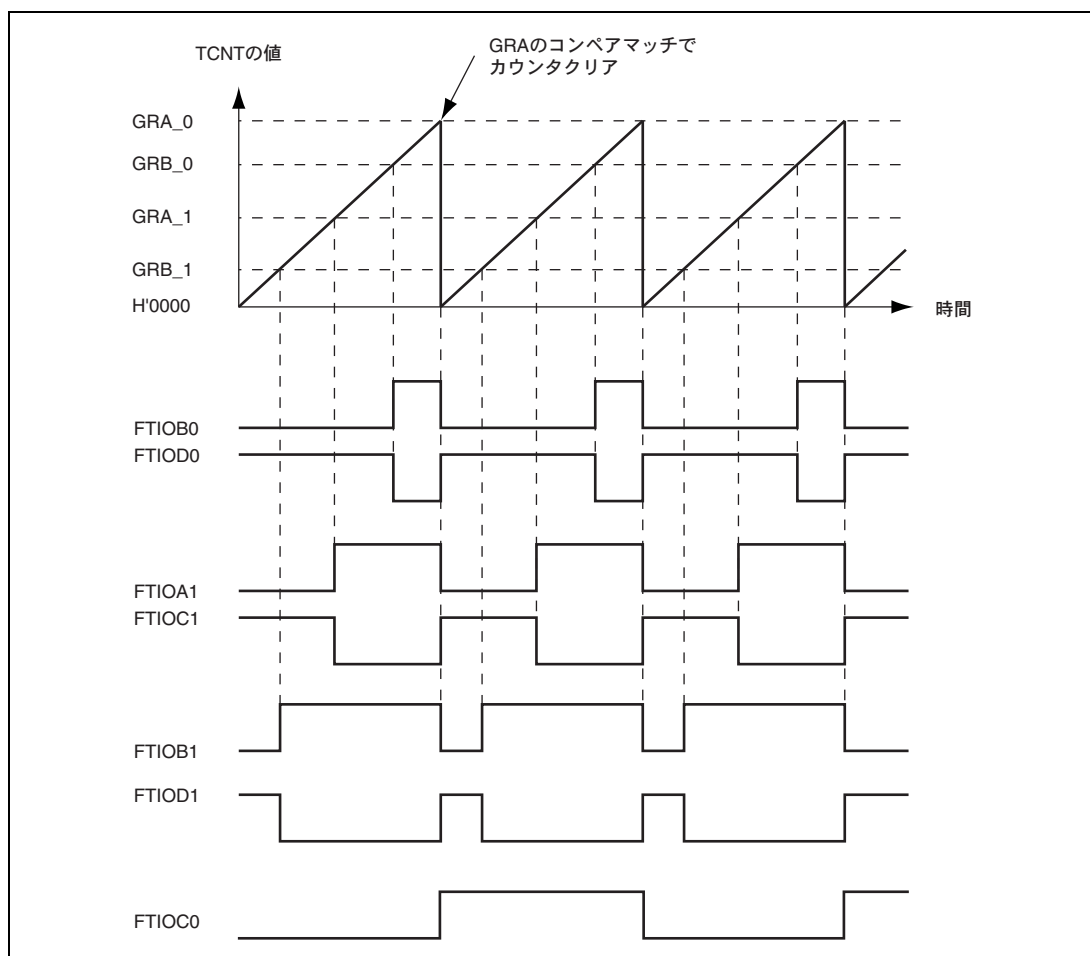


図 12.27 リセット同期 PWM モードの動作例 (OLS0=OLS1=1 の場合)

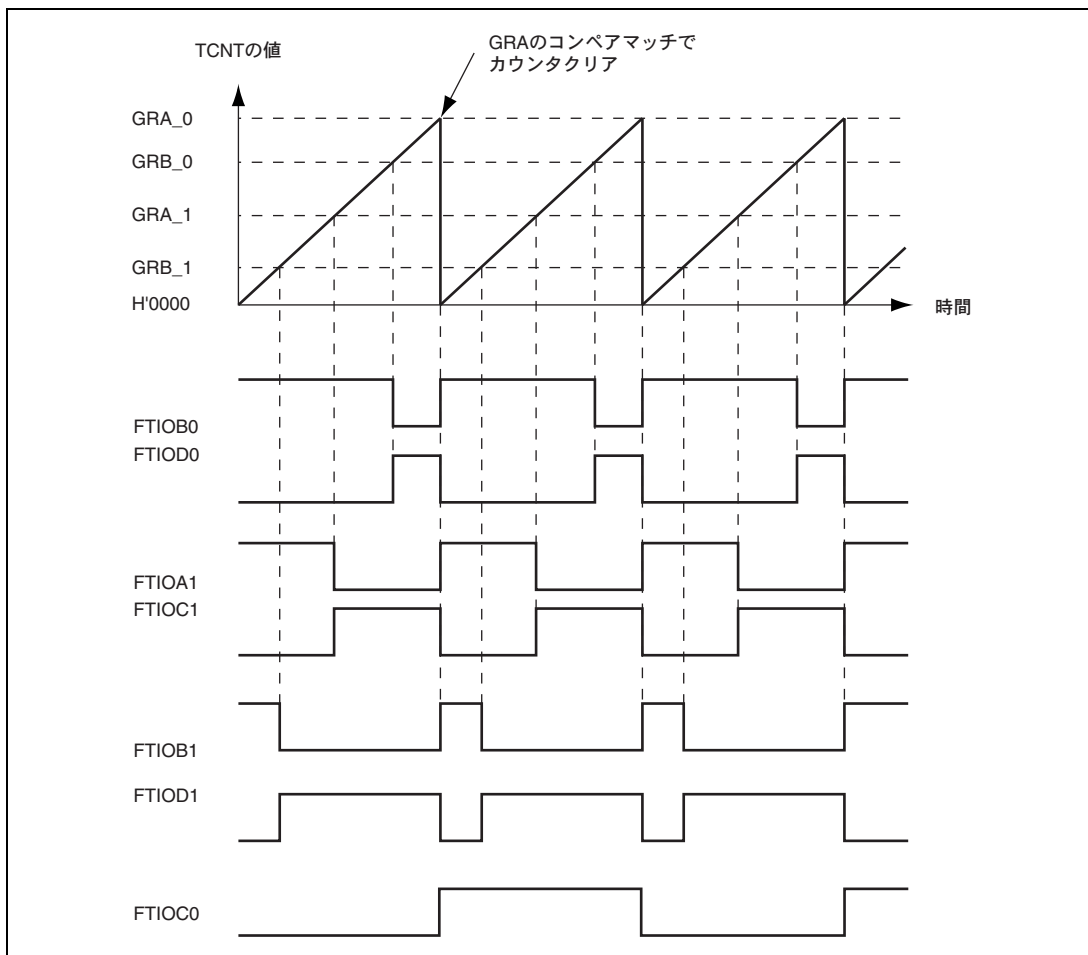


図 12.28 リセット同期 PWM モードの動作例 (OLS0=OLS1=0 の場合)

リセット同期 PWM モードでは、TCNT_0 はアップカウンタ動作、TCNT_1 は独立動作します。ただし、GRA_1、GRB_1 は TCNT_1 から切り離されます。TCNT_0 が GRA_0 とコンペアマッチするとカウンタクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB_0、GRA_1、GRB_1 と TCNT_0 のコンペアマッチおよびカウンタクリアが発生するたびに 0 出力もしくは 1 出力を行います。

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については「12.4.8 バッファ動作」を参照してください。

12.4.7 相補 PWM モード

相補 PWM モードでは、チャンネルを組み合わせることにより、正相と逆相がノンオーバーラップの関係に PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、FTIOB0～FTIOD0 および FTIOA1～FTIOD1 端子は、自動的に PWM 出力端子となり、TCNT_0、TCNT_1 はアップ/ダウンカウンタとして機能します。相補 PWM モード時の出力端子を表 12.6、相補 PWM モード時のレジスタ設定を表 12.7、相補 PWM モードの設定手順例を図 12.29 に示します。

表 12.6 相補 PWM モード時の出力端子

チャンネル	端子名	入出力	端子機能
0	FTIOC0	出力	PWM 周期に同期したトグル出力
0	FTIOB0	出力	PWM 出力 1
0	FTIOD0	出力	PWM 出力 1 (PWM 出力 1 とノンオーバーラップ関係にある逆相波形)
1	FTIOA1	出力	PWM 出力 2
1	FTIOC1	出力	PWM 出力 2 (PWM 出力 2 とノンオーバーラップ関係にある逆相波形)
1	FTIOB1	出力	PWM 出力 3
1	FTIOD1	出力	PWM 出力 3 (PWM 出力 3 とノンオーバーラップ関係にある逆相波形)

表 12.7 相補 PWM モード時のレジスタ設定

レジスタ	詳細内容
TCNT_0	ノンオーバーラップ期間を初期設定 (TCNT_1 との差がノンオーバーラップ期間となります。)
TCNT_1	H'0000 を初期設定
GRA_0	TCNT_0 の上限値-1 を設定
GRB_0	FTIOB0、FTIOD0 端子より出力される PWM 波形の変化点を設定
GRA_1	FTIOA1、FTIOC1 端子より出力される PWM 波形の変化点を設定
GRB_1	FTIOB1、FTIOD1 端子より出力される PWM 波形の変化点を設定

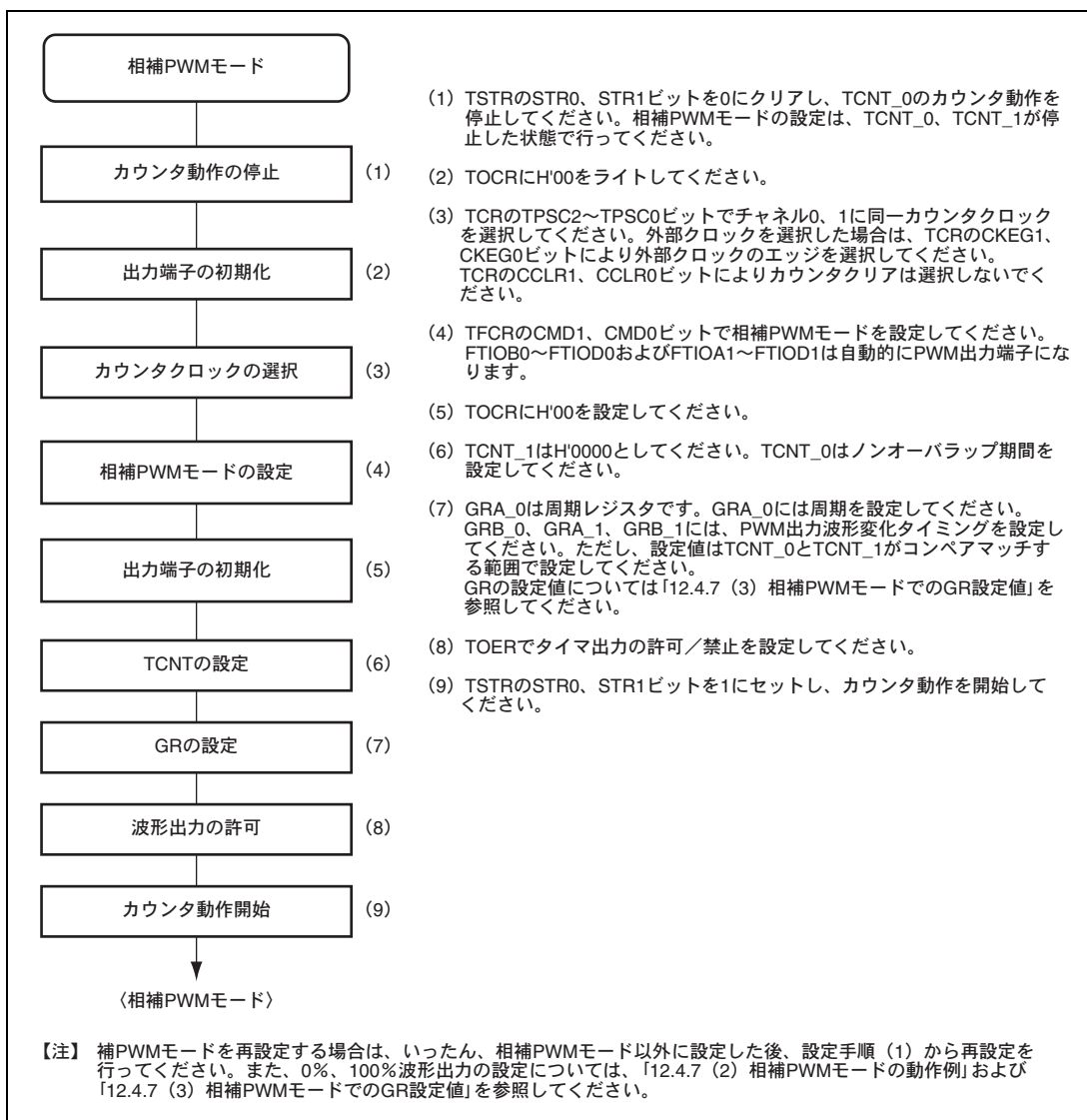


図 12.29 相補 PWM モードの設定手順例

相補 PWM モードの解除手順

相補 PWM モードの解除手順を図 12.30 に示します。

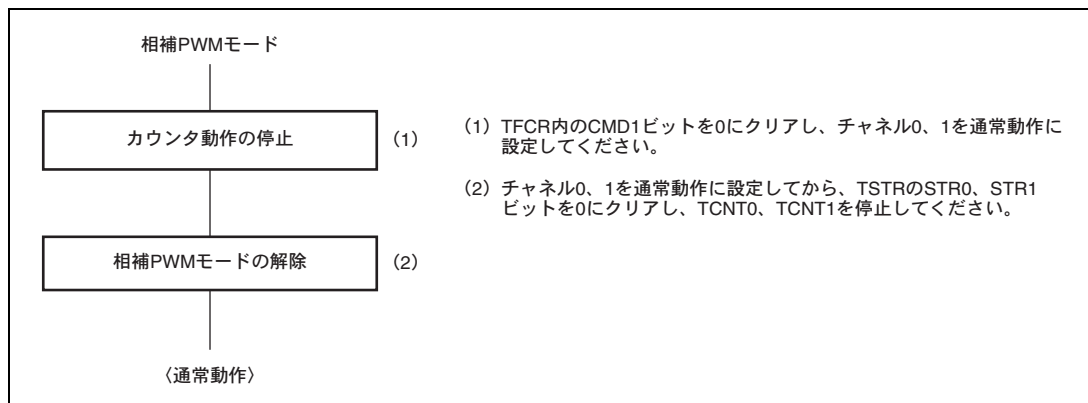


図 12.30 相補 PWM モードの解除手順

(1) 相補 PWM モードの動作例

相補 PWM モードの動作例を図 12.31 に示します。相補 PWM モードでは、TCNT_0、TCNT_1 はアップ/ダウンカウンタとして動作します。TCNT_0 が GRA_0 とコンペアマッチするとダウンカウントし、TCNT_1 がアンダフローするとアップカウントします。GRA_0、GRA_1、GRB_1 はカウンタのアップ/ダウン 1 周期中、TCNT_0 → TCNT_1 → TCNT_1 → TCNT_0 の順にコンペアマッチを行って、PWM 波形を出力します。なお本モードでは、TCNT_0 > TCNT_1 に初期設定します。

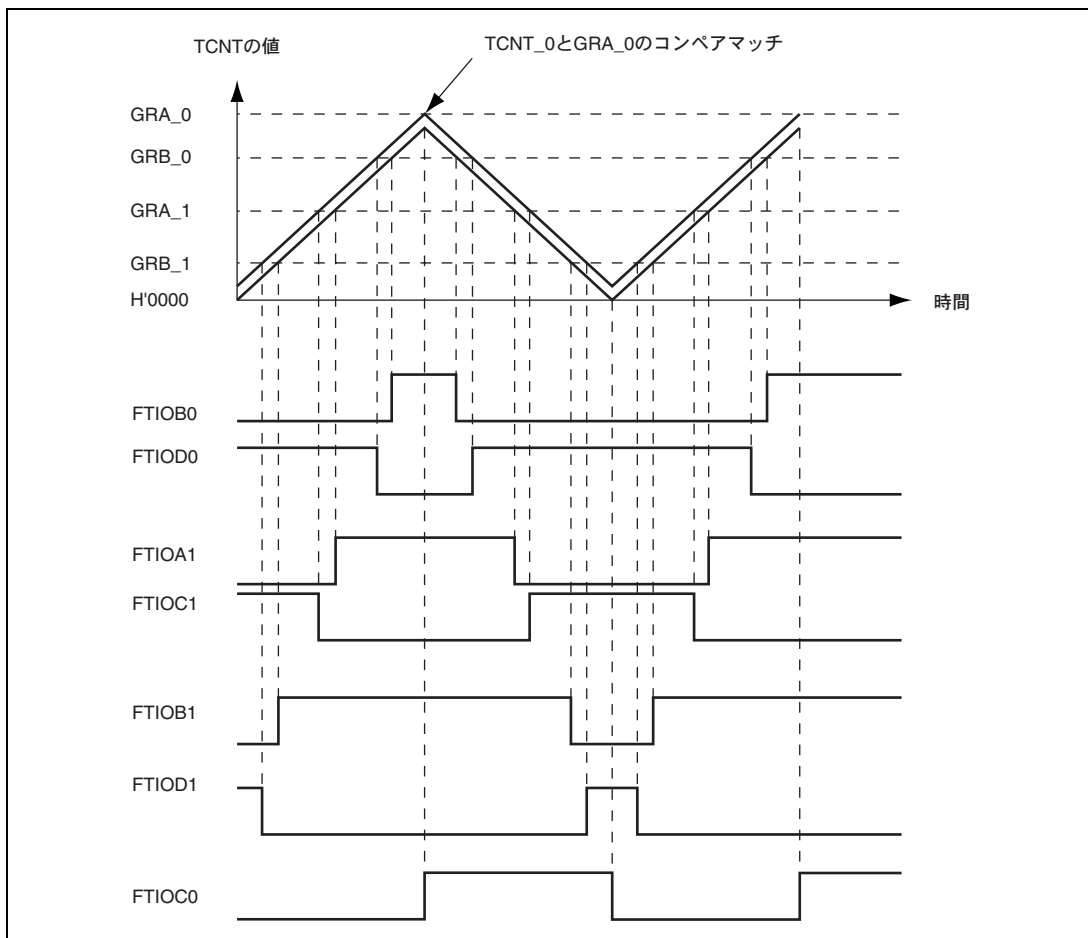


図 12.31 相補 PWM モードの動作例 (1)

相補 PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例 (1 相分) を図 12.32 (1)、図 12.32 (2) に示します。TPSC2=TPSC1=TPSC0=0 のときとそれ以外のときで異なります。

TPSC2=TPSC1=TPSC0=0 の場合については、GRB_0 の値を GRA_0 以上および H'0000 にすることによって、デューティ 0%、デューティ 100% の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。バッファ動作については「12.4.8 バッファ動作」を参照してください。

TPSC2=TPSC1=TPSC0=0 以外の場合については、GRB_0 の値を $\text{GRA}_0 + 1 < \text{GRB}_0 < \text{H'FFFF}$ にすることによって、デューティ 0%、デューティ 100% の波形出力が可能となります。デューティ 0%、デューティ 100% の波形出力方法の詳細については「12.4.7 (3) 相補 PWM モードでの GR 設定値」の「3. 0%、100% 波形出力の設定方法」を参照してください。

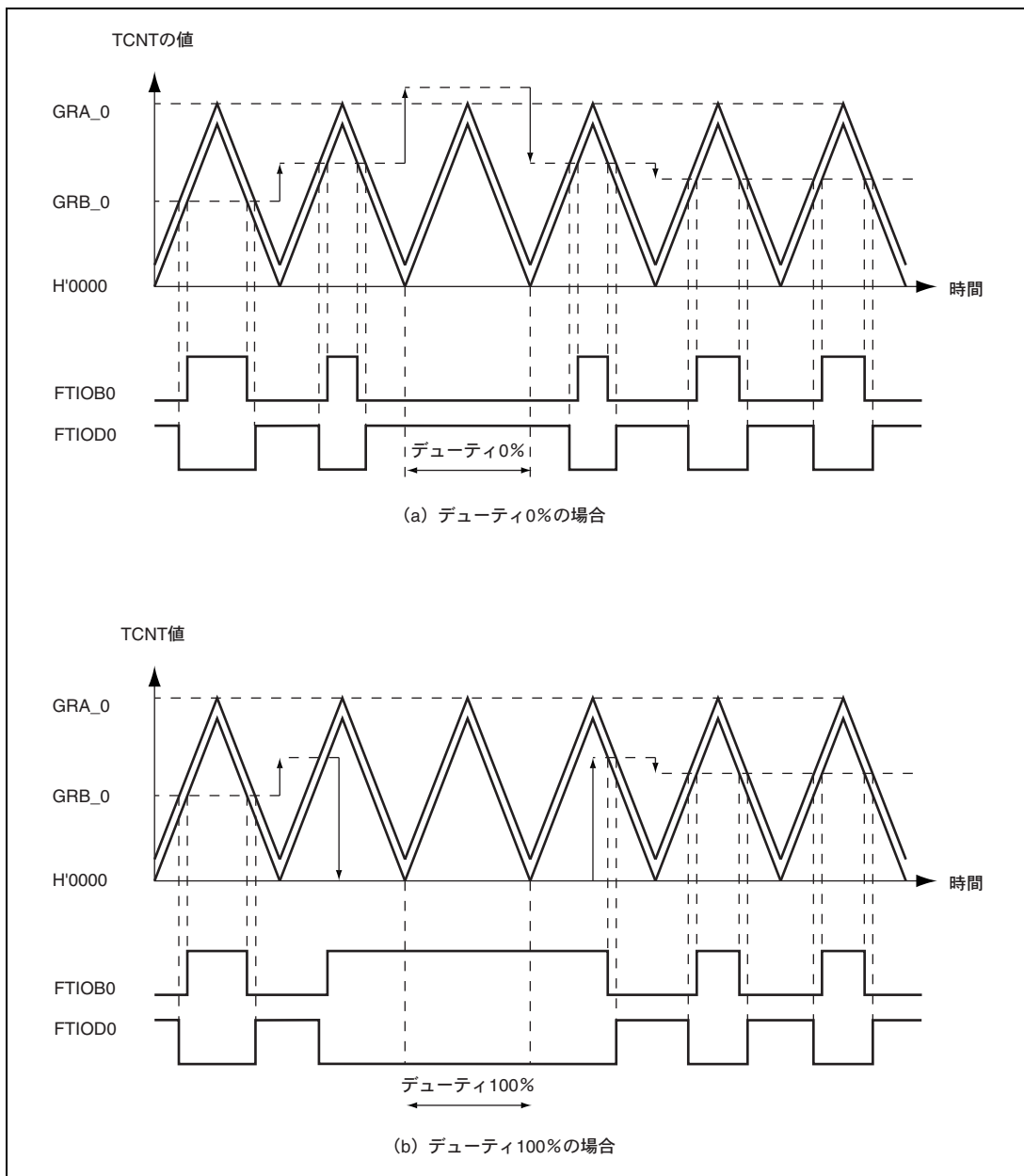


図 12.32 (1) 相補 PWM モードの動作例 (TPSC2=TPSC1=TPSC0=0) (2)

12. タイマ Z

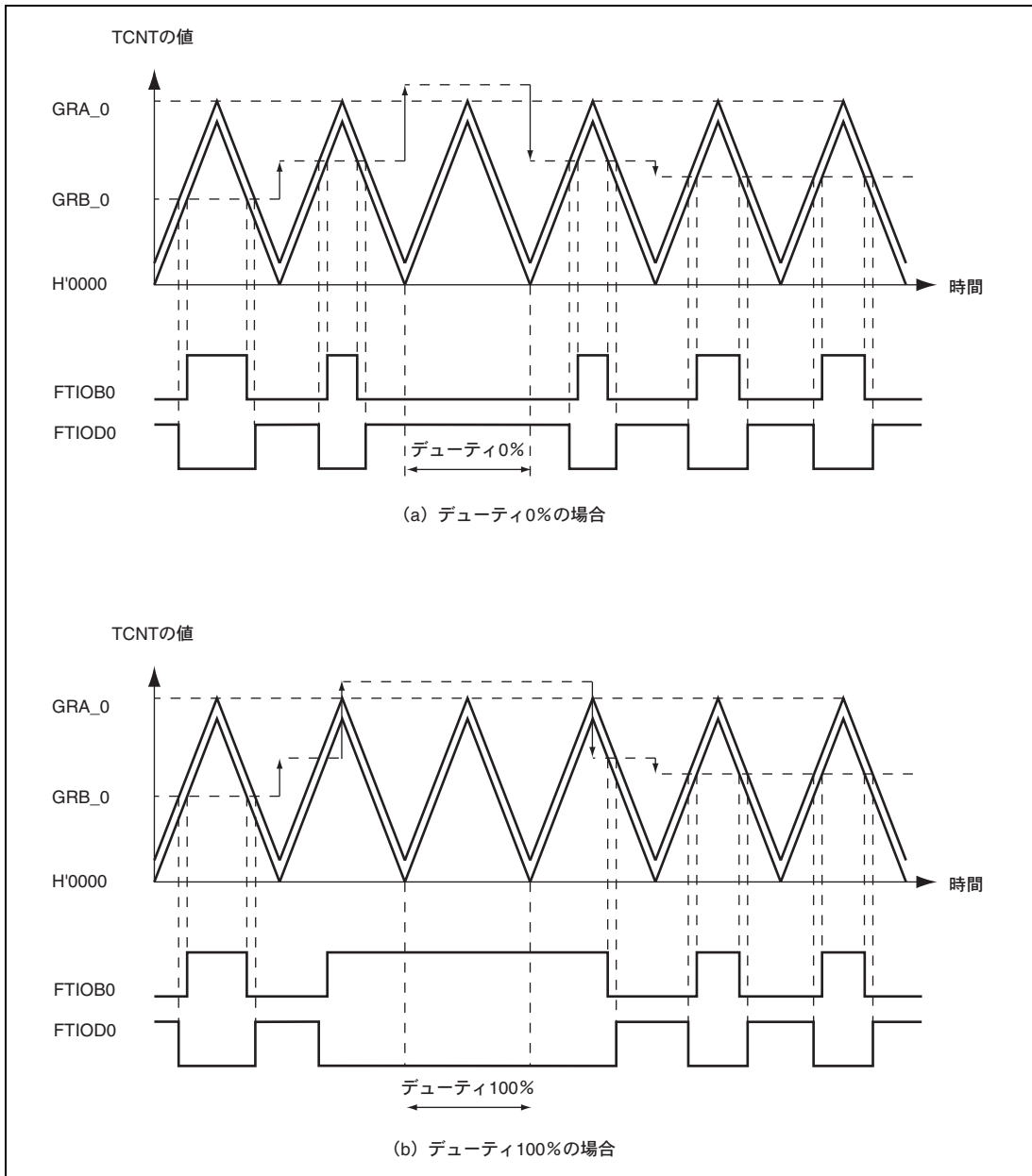


図 12.32 (2) 相補 PWM モードの動作例 (TPSC2=TPSC1=TPSC0=0 以外) (3)

相補 PWM モードを使用しているときのアップカウンタ/ダウンカウンタの変化点で、TCNT はそれぞれオーバーシュート/アンダシュートが発生します。このときチャンネル 0 の IMFA フラグおよびチャンネル 1 の UDF フラグをセットする条件は、通常の場合とは異なります。またバッファ動作時での転送条件も異なります。このタイミングを図 12.33、図 12.34 に示します。

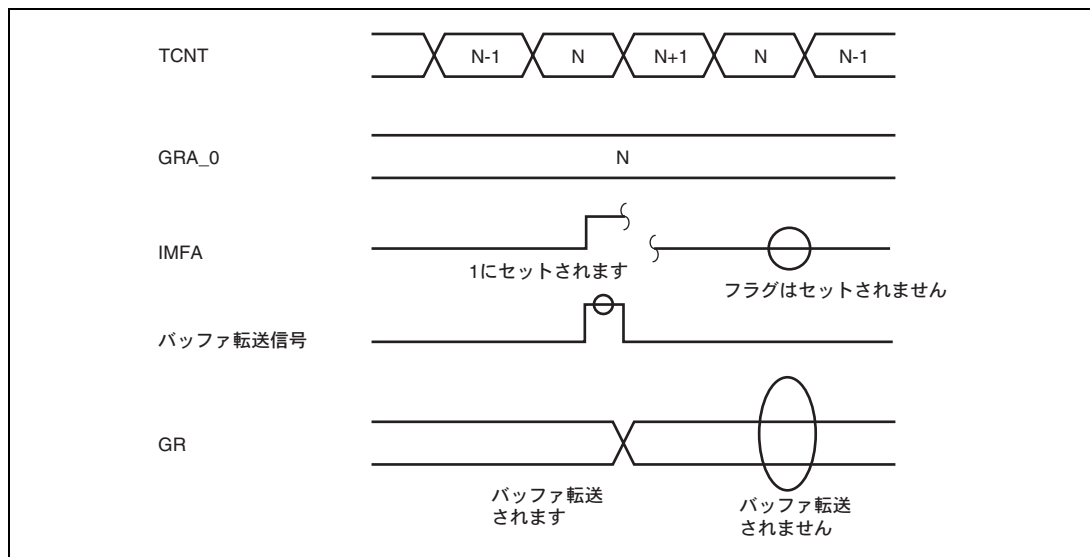


図 12.33 オーバシュート時のタイミング

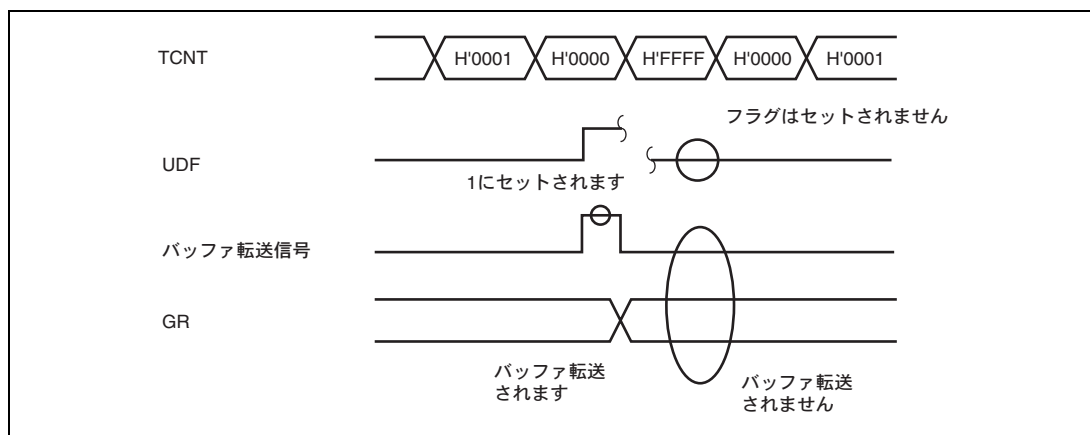


図 12.34 アンダシュート時のタイミング

チャンネル 0 の IMFA フラグはアップカウント/ダウンカウント時に、UDF フラグはアンダフロー時に、それぞれ 1 にセットされます。バッファ動作を設定された BR は、アップカウント動作時のコンペアマッチ A0 または TCNT_1 のアンダフローによって GR に転送されます。TPSC2~0 により ϕ または $\phi/2$ を選択した場合、OVF フラグは図 12.34 の H'FFFF から H'0000 のタイミングで 1 にセットされませんが、 $\phi/4$ または $\phi/8$ を選択した場合は 1 にセットされます。

12. タイマ Z

(2) 相補 PWM モードでの GR 設定値

相補 PWM モードでのジェネラルレジスタ (GR) の設定および動作中の変更については、以下の点に注意してください。

1. 初期値

- TPSC2=TPSC1=TPSC0=0以外の場合はGRA_0にH'FFFC以下の値を設定してください。ただし、TPSC2=TPSC1=TPSC0=0の場合はH'FFFF以下の値が設定可能です。
- H'0000~T-1 (T: TCNT0の初期値) の設定は禁止です。
- GRA_0-(T-1)以上の設定は禁止です。
- バッファ動作を使用する場合、バッファレジスタには対応するジェネラルレジスタと同じ値を設定してください。

2. 設定値の変更方法

- 直接GRにライトする場合は、谷の部分 ($H'0000 \leq TCNT_1 < \text{前のGR値}$) および山の部分 ($\text{前のGR値} < TCNT_0 \leq GRA_0$) でライトしてください。それ以外でライトした場合、正しく波形出力されません。0%、100%波形出力に関しては、「3. 0%、100%波形出力の設定方法」を参照してください。

- 直接GRには下記の値をライトしないでください。ライトした場合、正しく波形出力されません。

TPSC2=TPSC1=TPSC0=0の場合は $H'0000 < GR \leq T-1$ および $GRA_0-(T-1) \leq GR < GRA_0$ の値をライトしないでください。

TPSC2=TPSC1=TPSC0=0以外の場合は $H'0000 \leq GR \leq T-1$ および $GRA_0-(T-1) \leq GR \leq GRA_0+1$ の値をライトしないでください。

- 動作中に周期レジスタGRA_0を変更しないでください。

3. 0%、100%波形出力の設定方法

(a) TPSC2=TPSC1=TPSC0=0 の場合でバッファ動作を使用しない場合

直接GRにH'0000およびGRA_0以上の値を下記のタイミングでライトすることによってデューティ0%波形出力、100%波形出力を行うことが可能です。

- 0%波形出力を行う場合は、谷の部分 ($H'0000 \leq TCNT_1 < \text{前のGR値}$) でGRA_0以上の値をライトしてください。
- 100%波形出力を行う場合は、山の部分 ($\text{前のGR値} < TCNT_0 \leq GRA_0$) でH'0000をライトしてください。

また、デューティ0%波形出力、100%波形出力からのデューティ変更方法は以下の点に従ってください。

- 0%波形出力からデューティを変更する場合は、谷の部分 ($H'0000 \leq TCNT_1 < \text{前のGR値}$) でGRの値をライトしてください。
- 100%波形出力からデューティを変更する場合は、山の部分 ($\text{前のGR値} < TCNT_0 \leq GRA_0$) でGRの値をライトしてください。

ただし、0%波形出力から100%波形出力および100%波形出力から0%波形出力へ一度に変更することはできません。

(b) TPSC2=TPSC1=TPSC0=0 の場合でバッファ動作を使用する場合

バッファレジスタにH'0000およびGRA_0以上の値をライトすることにより、0%波形出力および100%波形出力が可能です。

- 0%波形出力を行う場合は、バッファレジスタにGRA_0以上の値をライトしてください。
- 100%波形出力を行う場合は、バッファレジスタにH'0000をライトしてください。
バッファ動作については「12.4.8 バッファ動作」を参照してください。

(c) TPSC2=TPSC1=TPSC0=0 以外の場合でバッファ動作を使用しない場合

直接GRにGRA_0+1<GR<H'FFFFの値を下記のタイミングでライトすることによって、デューティ0%波形出力、100%波形出力を行うことが可能です。

- 0%波形出力を行う場合は、谷の部分 (H'0000≤TCNT_1<前のGR値) でGRの値をライトしてください。
- 100%波形出力を行う場合は、山の部分 (前のGR値<TCNT_0≤GRA_0) でGRの値をライトしてください。

また、デューティ0%波形出力、100%波形出力からのデューティ変更方法は以下の点に従ってください。

- 0%波形出力からデューティを変更する場合は、谷の部分 (H'0000≤TCNT_1<前のGR値) でGRの値をライトしてください。
- 100%波形出力からデューティを変更する場合は、山の部分 (前のGR値<TCNT_0≤GRA_0) でGRの値をライトしてください。

ただし、0%波形出力から100%波形出力および100%波形出力から0%波形出力へ一度に変更することはできません。

(d) TPSC2=TPSC1=TPSC0=0 以外の場合でバッファ動作を使用する場合

バッファレジスタにGRA_0+1<GR<H'FFFFの値をライトすることにより、0%波形出力が可能ですが、ただし、100%波形出力はバッファ動作の併用はできませんので直接GRにライトしてください。また、100%波形出力からのデューティ変更もバッファ動作を併用しないでください。バッファ動作については「12.4.8 バッファ動作」を参照してください。

12.4.8 バッファ動作

バッファ動作は、GRをアウトプットコンペアレジスタに設定した場合、GRをインプットキャプチャレジスタに設定した場合、リセット同期PWMモード時、および相補PWMモード時で機能が異なります。表12.8にバッファ動作のレジスタの組み合わせを示します。

表 12.8 バッファ動作のレジスタの組み合わせ

ジェネラルレジスタ	バッファレジスタ
GRA	GRC
GRB	GRD

12. タイマ Z

(1) GR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がジェネラルレジスタに転送されます。この動作を図 12.35 に示します。

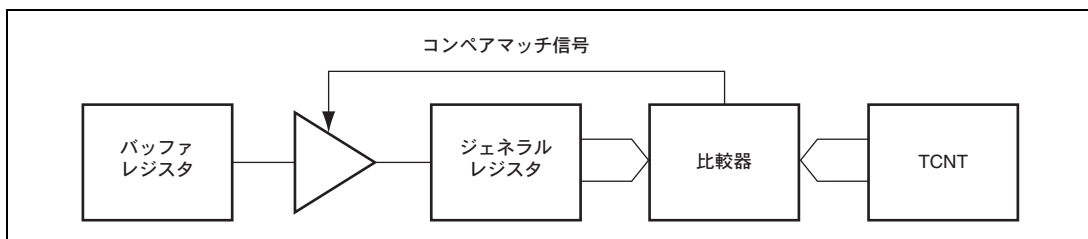


図 12.35 コンペアバッファ動作

(2) GR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値をジェネラルレジスタに転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図 12.36 に示します。

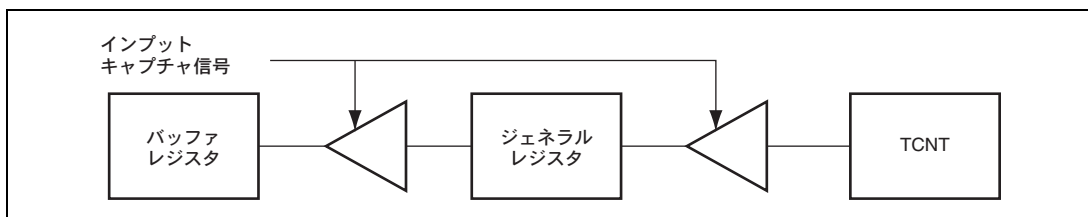


図 12.36 インพุットキャプチャバッファ動作

(3) 相補 PWM モードの場合

TCNT のカウンタ方向が変化するとバッファレジスタの値がジェネラルレジスタに転送されます。このとき、バッファレジスタからジェネラルレジスタへの転送は、以下のタイミングで行われます。

- TCNT_0とGRA_0がコンペアマッチしたとき
- TCNT_1がアンダフローしたとき

(4) リセット同期 PWM モードの場合

バッファレジスタの値が、コンペアマッチ A0 からジェネラルレジスタに転送されます。

(5) バッファ動作の設定手順例

バッファ動作の設定手順例を図 12.37 に示します。

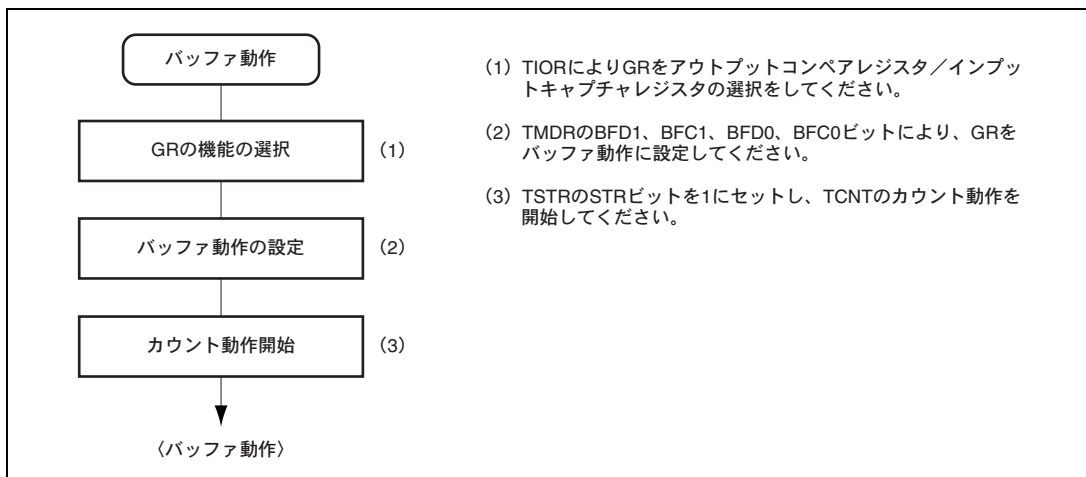


図 12.37 バッファ動作の設定手順例

(6) バッファ動作例

GRA をアウトプットコンペアレジスタに設定し、GRA と GRC をバッファ動作に設定したときの動作を、図 12.38 に示します。これは、TCNT がコンペアマッチ B によりクリアされる周期カウント動作をしている場合の例です。また FTIOA、FTIOB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。バッファ動作が設定されているため、コンペアマッチ A で FTIOA 端子がトグル出力を行うと同時に、バッファレジスタの値がジェネラルレジスタに転送されます。この動作をコンペアマッチ A が発生するたびに繰り返します。この転送タイミングを図 12.39 に示します。

12. タイマ Z

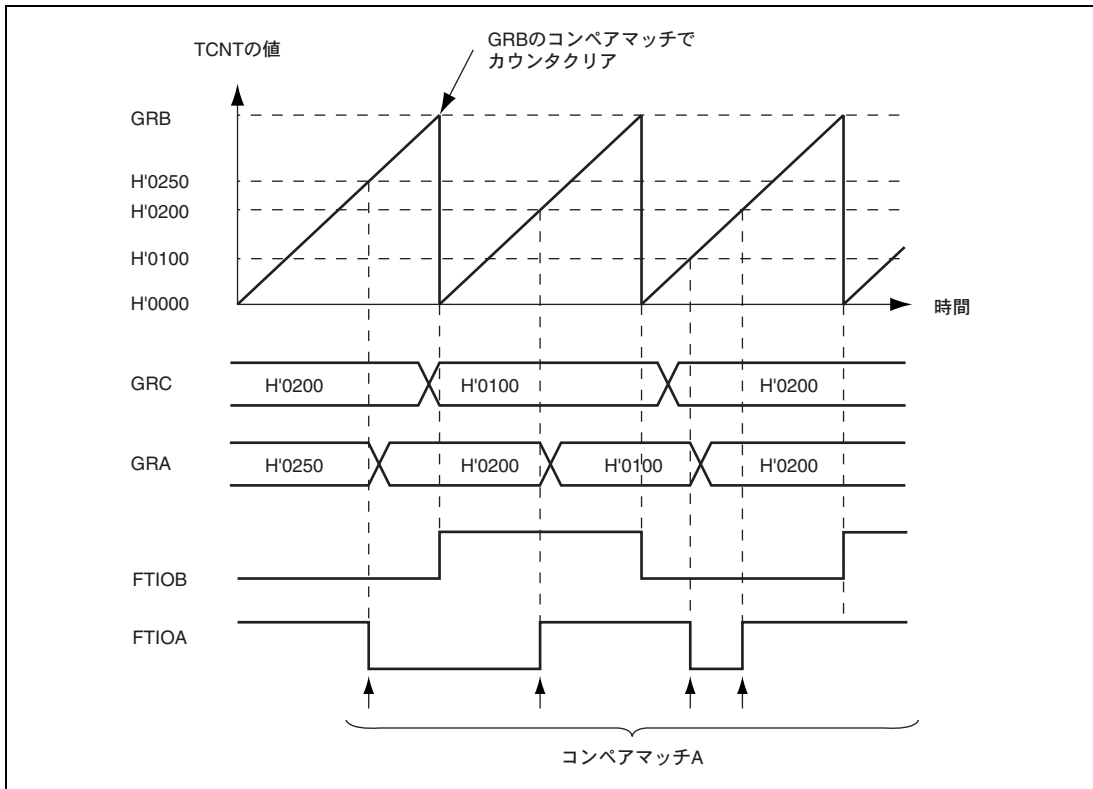


図 12.38 バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)

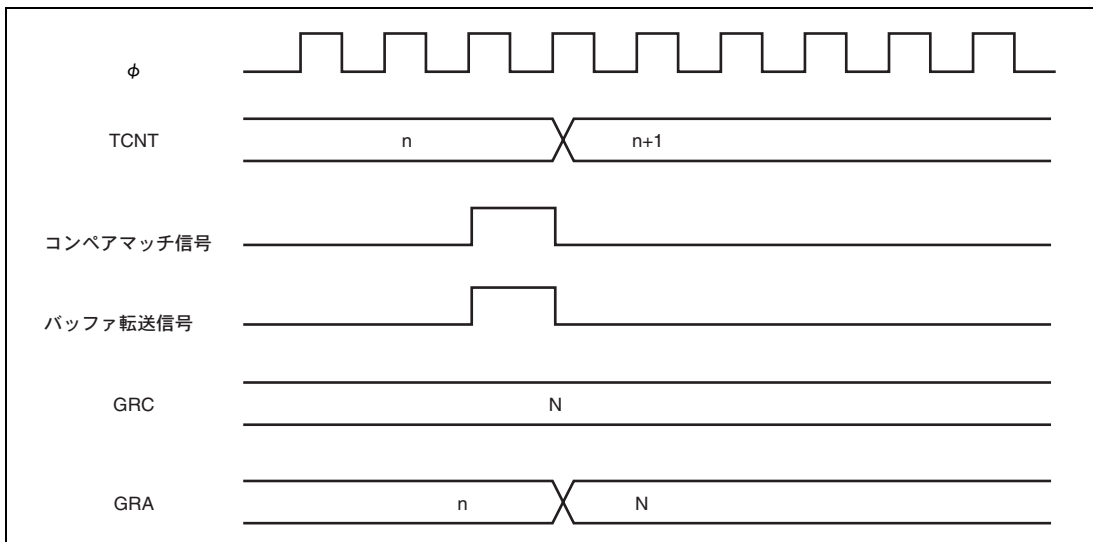


図 12.39 バッファ動作時のコンペアマッチタイミング例

GRA を入力キャプチャに設定し、GRA と GRC をバッファ動作に設定したときの動作を図 12.40 に示します。これは TCNT が入力キャプチャ B によりカウンタクリアされる場合の例です。FTIOB 端子の入力キャプチャ入力エッジは立ち下がりエッジが選択され、FTIOA 端子の入力キャプチャ入力エッジは立ち上がり／立ち下がり両エッジが選択されているとします。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時にそれまで格納されていた GRA の値が GRC に転送されます。この転送タイミングを図 12.41 に示します。

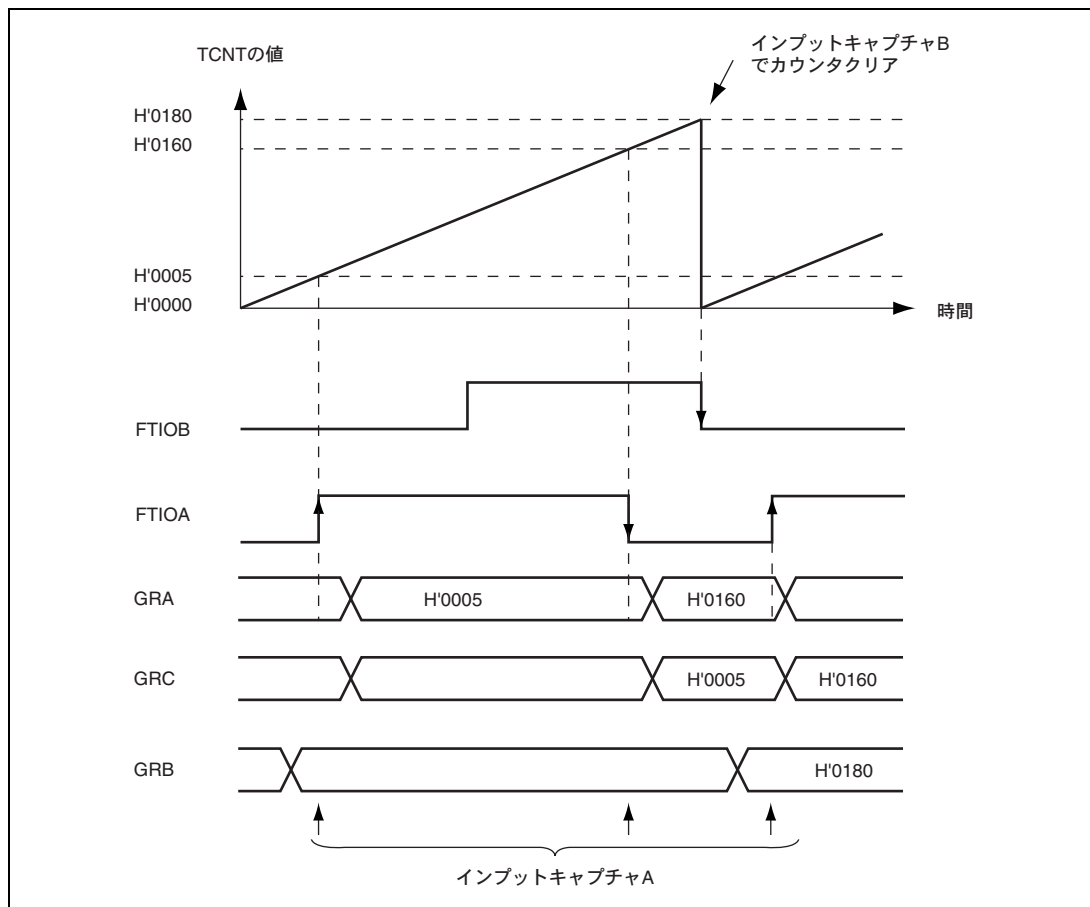


図 12.40 バッファ動作例 (2) (入力キャプチャレジスタに対するバッファ動作)

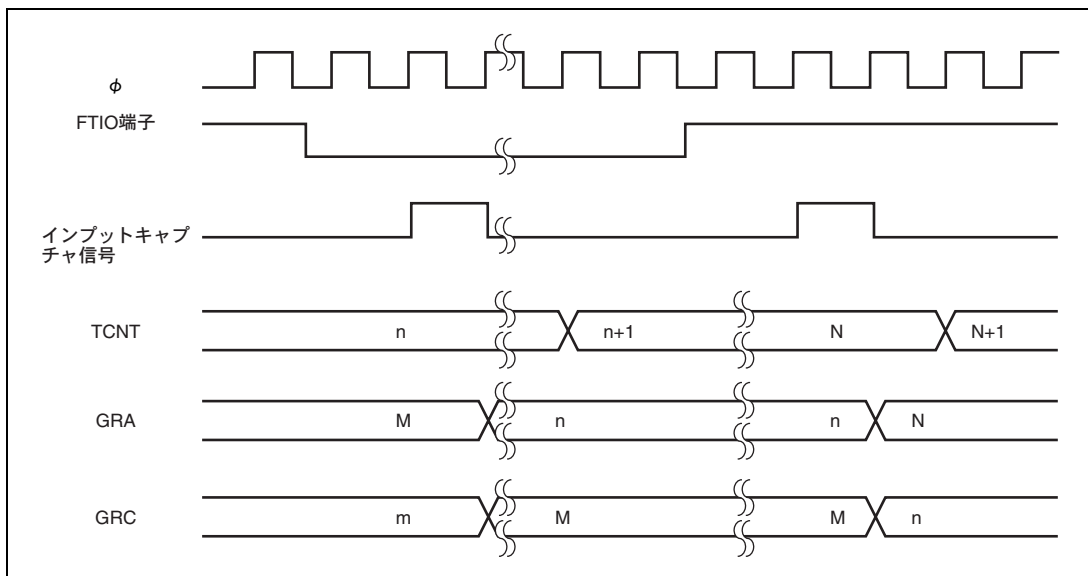


図 12.41 バッファ動作時の入力キャプチャタイミング

相補 PWM モード時、GRB_0 と GRD_0 をバッファ動作に設定したときの動作例を図 12.42、図 12.43 に示します。バッファ動作を使用して $GRD_0 \geq GRA_0$ とすることにより、デューティ 0% の PWM 波形を生成した場合の例です。GRD_0 から GRB_0 への転送は、CMD0、CMD1 の設定により、TCNT_0 と GRA_0 がコンペアマッチしたとき、および TCNT_1 がアンダフローしたときのどちらかを選択されます。ただし、 $GRD_0 \geq GRA_0$ の場合は、CMD0、CMD1 の設定にかかわらず TCNT_1 がアンダフローのときに転送され、 $GRD_0 = H'0000$ のときは、CMD0、CMD1 の設定にかかわらず TCNT_0 と GRA_0 がコンペアマッチしたときに転送されます。

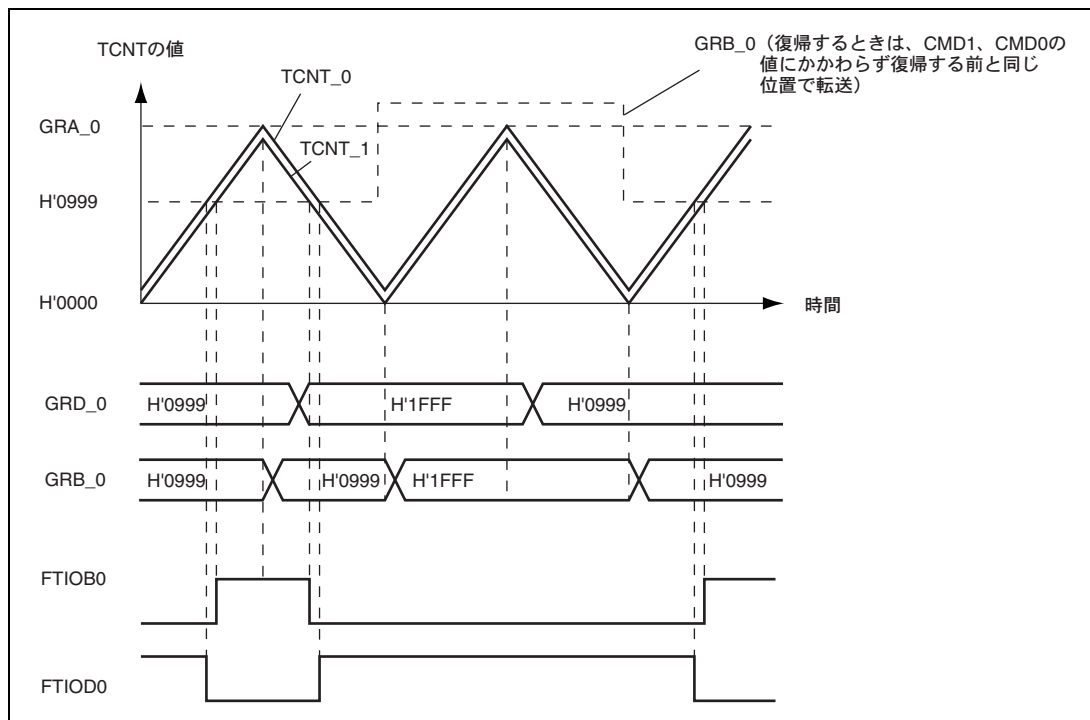


図 12.42 バッファ動作例 (3) (相補 PWM モード時のバッファ動作 CMD1=CMD0=1)

12. タイマ Z

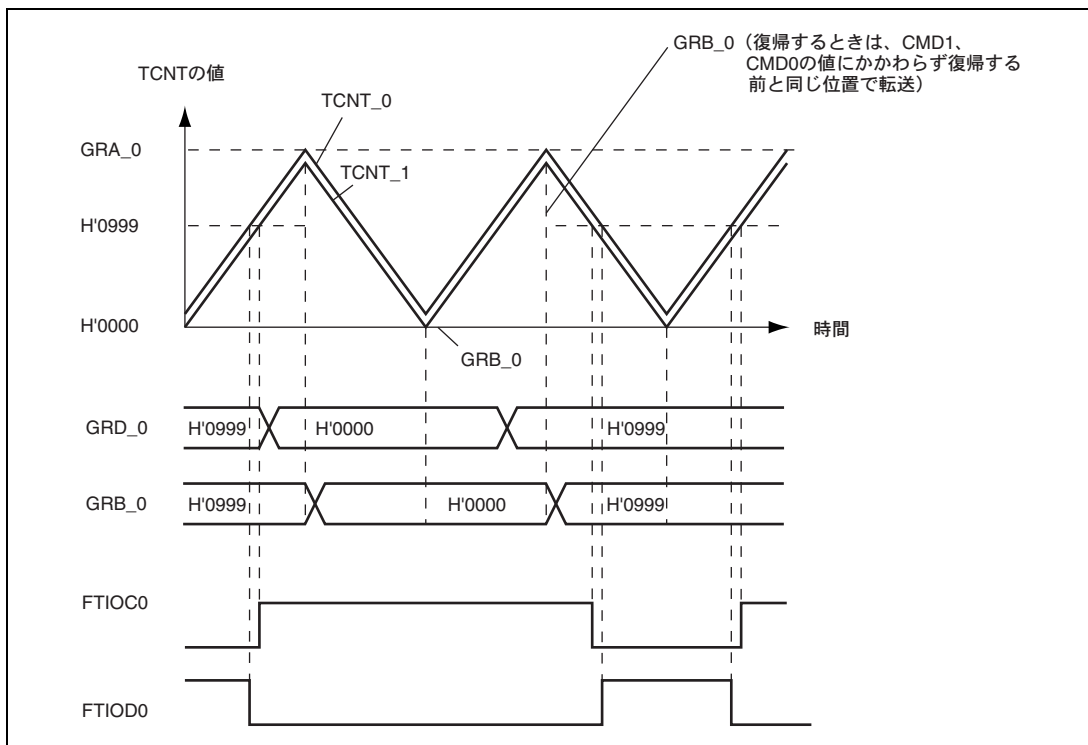


図 12.43 バッファ動作例 (4) (相補 PWM モード時のバッファ動作 CMD1=CMD0=1)

12.4.9 タイマ Z 出力タイミング

チャンネル 0、1 の出力は、TOER、TOCR の設定および外部レベルにより、出力を禁止したり反転したりすることができます。

(1) TOER によるタイマ Z の出力の許可/禁止タイミング

TOER のマスタイネーブルビットを 1 にセットすると、タイマ Z の出力が禁止されます。対応する入出力ポートの PCR、PDR をあらかじめ設定しておくことにより任意の値を出力することができます。TOER によるタイマ Z の出力を許可/禁止するタイミングを図 12.44 に示します。

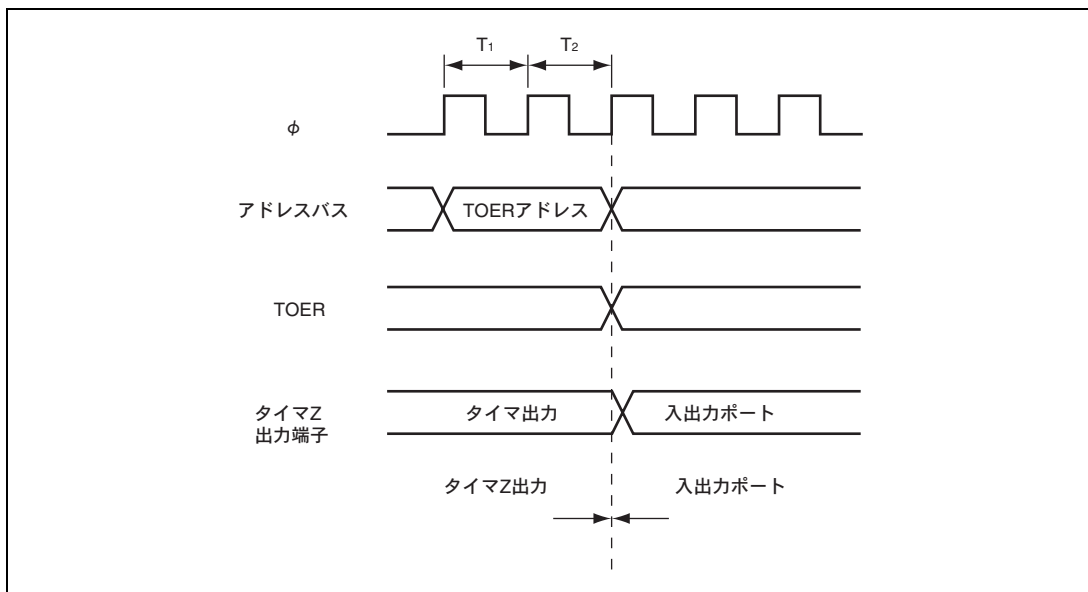


図 12.44 TOER へのライトによるタイマ Z 出力禁止タイミングの例

(2) 外部トリガによるタイマ Z の出力禁止のタイミング

P54/WKP4 を WKP4 入力端子に設定し、WKP4 に Low レベルを入力すると、TOER のマスタイネーブルビットが 1 にセットされタイマ Z の出力が禁止されます。

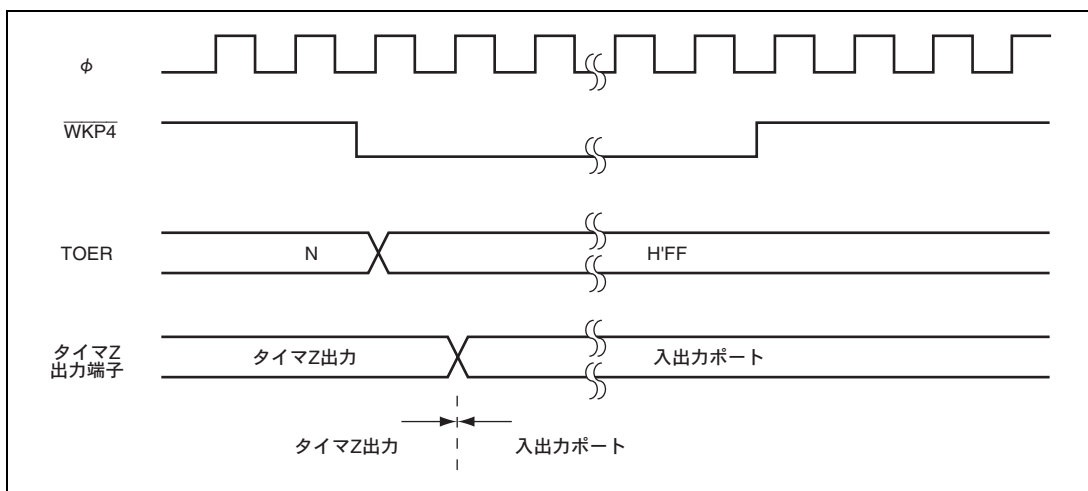


図 12.45 外部トリガによるタイマ Z 出力禁止タイミングの例

12. タイマ Z

(3) TFCR による出力反転タイミング

リセット同期 PWM モード、または相補 PWM モード時に、TFCR の OLS1、OLS0 ビットを反転することにより、出力レベルを反転することができます。このタイミングを図 12.46 に示します。

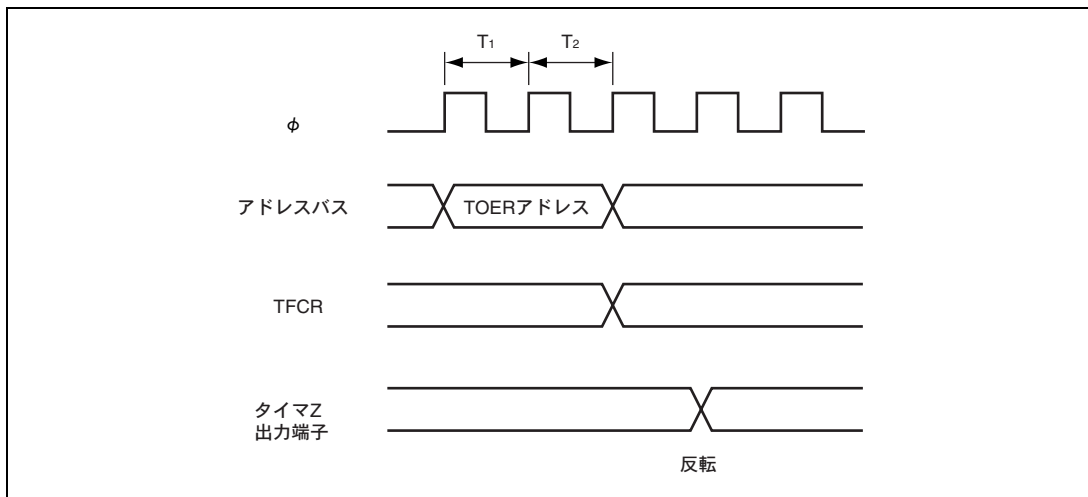


図 12.46 TFCR へのライトによるタイマ Z 出力レベル反転タイミングの例

(4) POCR による出力反転タイミング

PWM モード時に、POCR の POLD、POLC、POLB ビットを反転することにより、出力レベルを反転することができます。このタイミングを図 12.47 に示します。

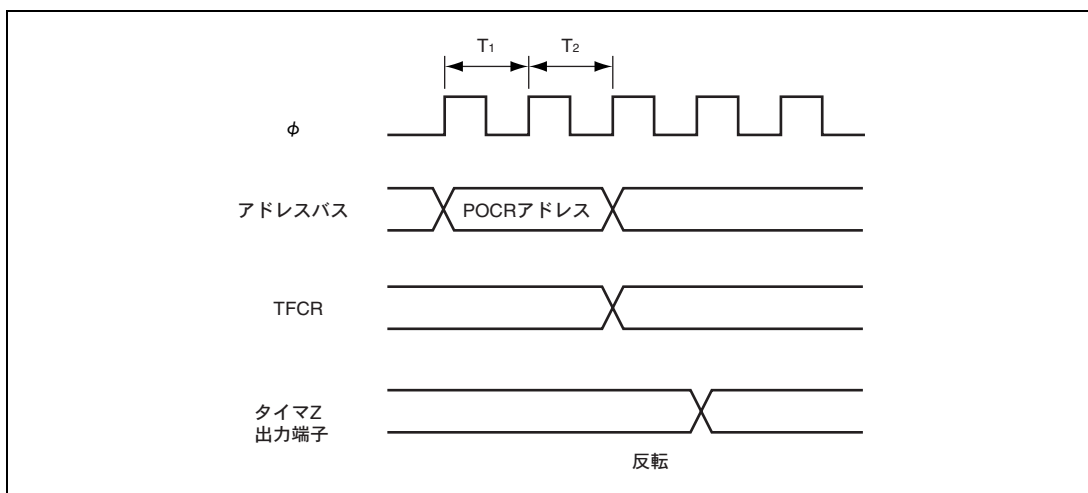


図 12.47 POCR へのライトによるタイマ Z 出力レベル反転タイミングの例

12.5 割り込み要求

タイマ Z の割り込み要求には、インプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込み、アンダフロー割り込みの 3 種類があります。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき当該割り込みを要求します。

12.5.1 ステータスフラグのセットタイミング

(1) IMF フラグのセットタイミング

IMF フラグは、GR と TCNT が一致したときに発生するコンペアマッチ信号によって 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。IMF フラグのセットタイミングを図 12.48 に示します。

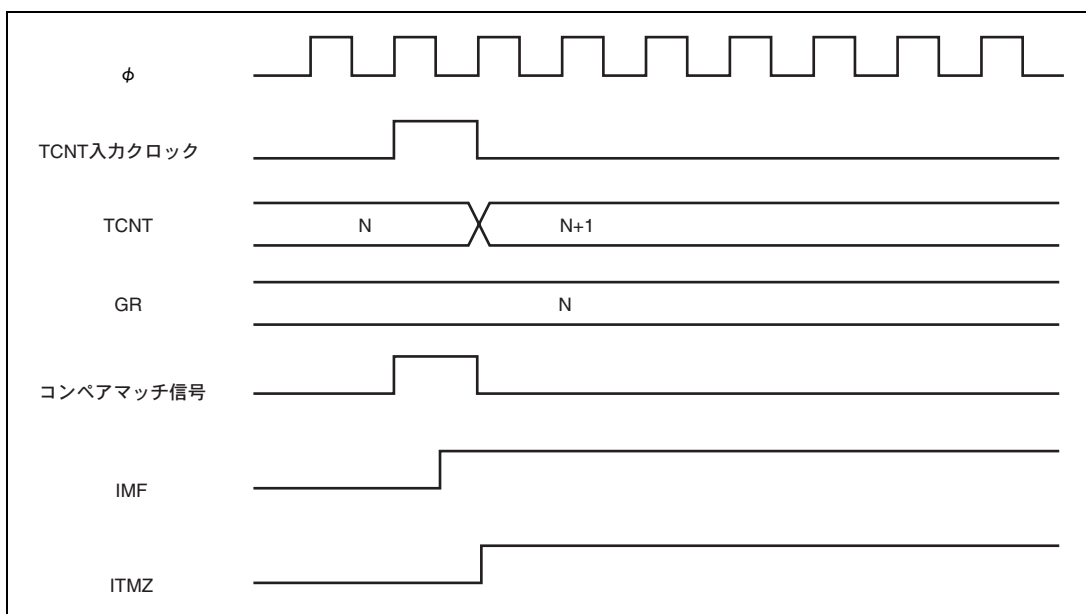


図 12.48 コンペアマッチ時の IMF フラグのセットタイミング

(2) インプットキャプチャ時の IMF フラグのセットタイミング

インプットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に TCNT の値が対応する GR に転送されます。このタイミングを図 12.49 に示します。

12. タイマ Z

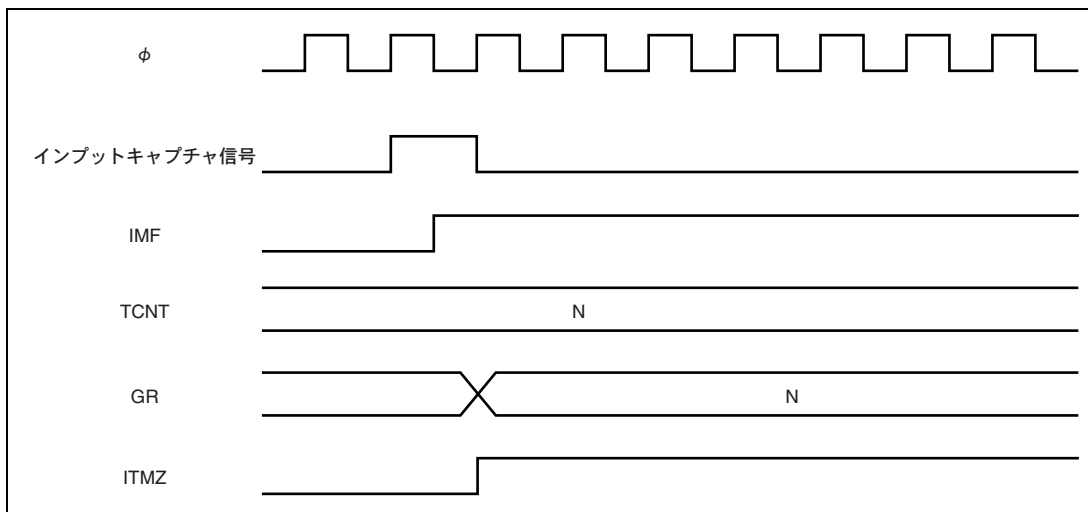


図 12.49 インプットキャプチャ時の IMF フラグのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、TCNT がオーバフローしたときに 1 にセットされます。このタイミングを図 12.50 に示します。

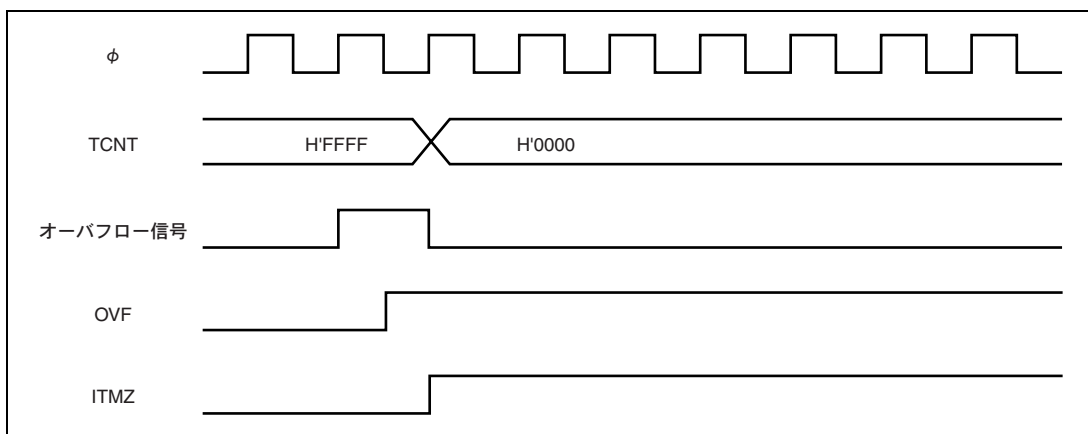


図 12.50 OVF フラグのセットタイミング

12.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。CPUによるステータスフラグのクリアタイミングを図12.51に示します。

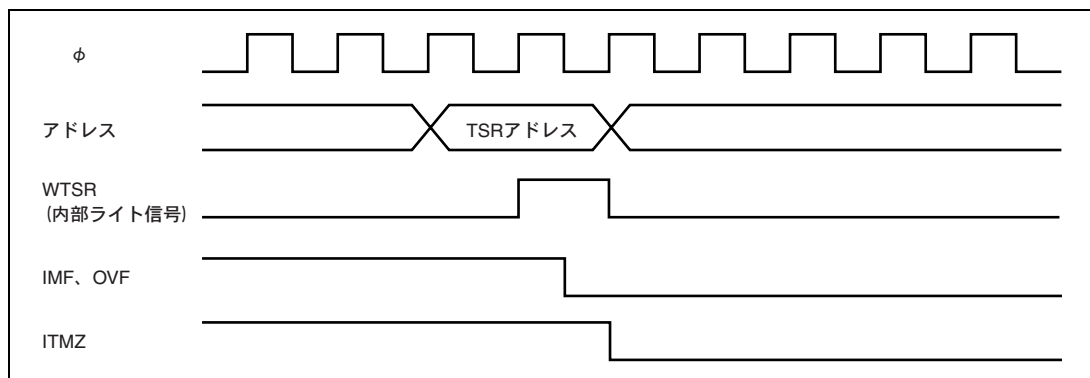


図 12.51 ステータスフラグのクリアタイミング

12.6 使用上の注意事項

(1) TCNTのライトとクリアの競合

TCNTのライトサイクル中の T_2 状態でカウンタクリア信号が発生すると、TCNTへの書き込みサイクルは行われずTCNTのクリアが優先されます。このタイミングを図12.52に示します。

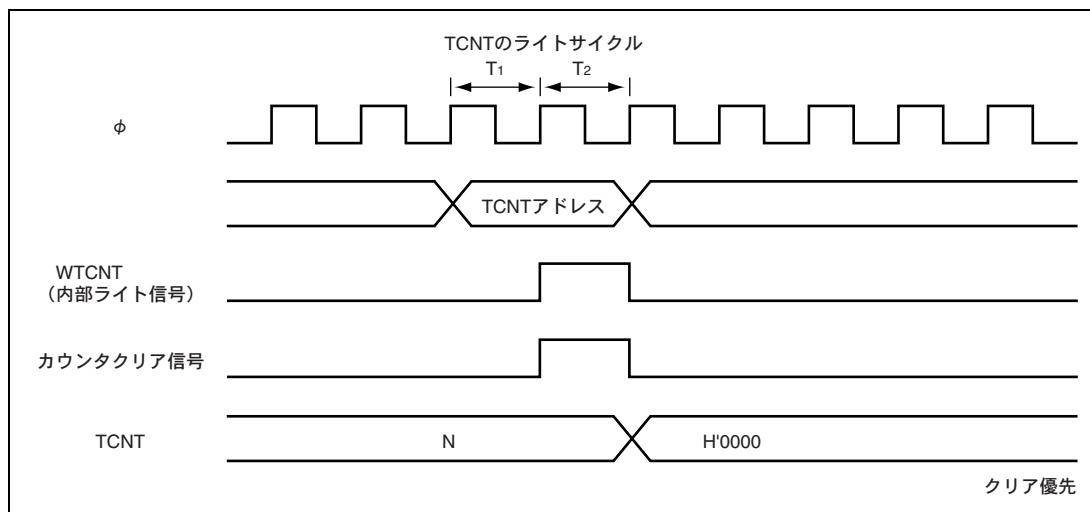


図 12.52 TCNTのライトとクリアの競合

(2) TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の T_2 状態でカウンタアップが発生した場合、TCNTのライトが優先されます。このタイミングを図12.53に示します。

12. タイマ Z

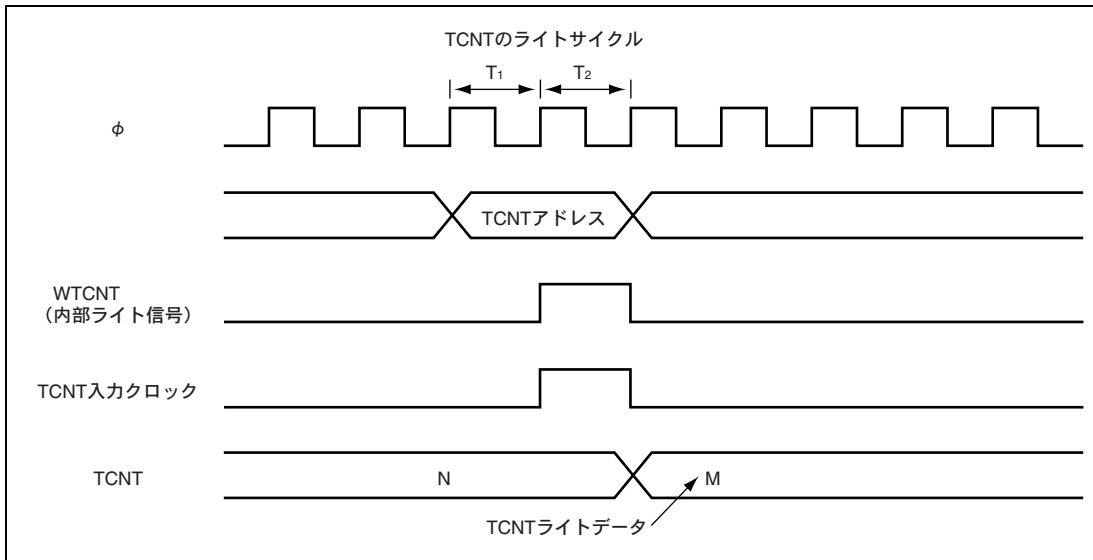


図 12.53 TCNT のライトとカウンタアップの競合

(3) GR のライトとコンペアマッチの競合

GR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても GR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 12.54 に示します。

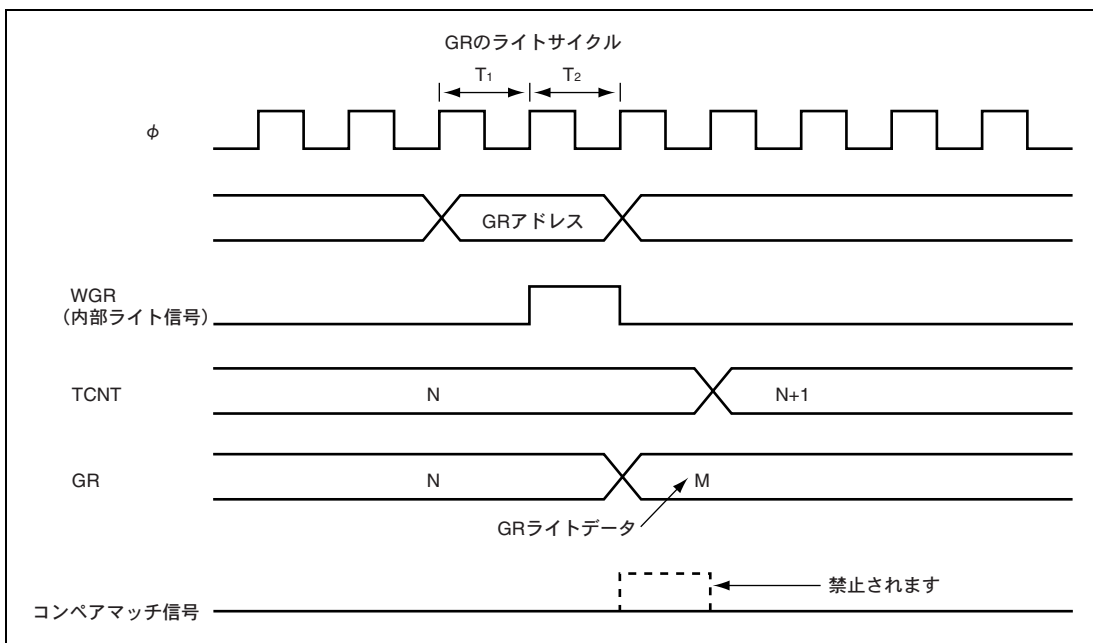


図 12.54 GR のライトとコンペアマッチの競合

(4) TCNT のライトとオーバーフロー／アンダフローとの競合

TCNT のライトサイクル中の T_2 ステートでオーバーフローが発生した場合、カウントアップされずにカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。このタイミングを図 12.55 に示します。

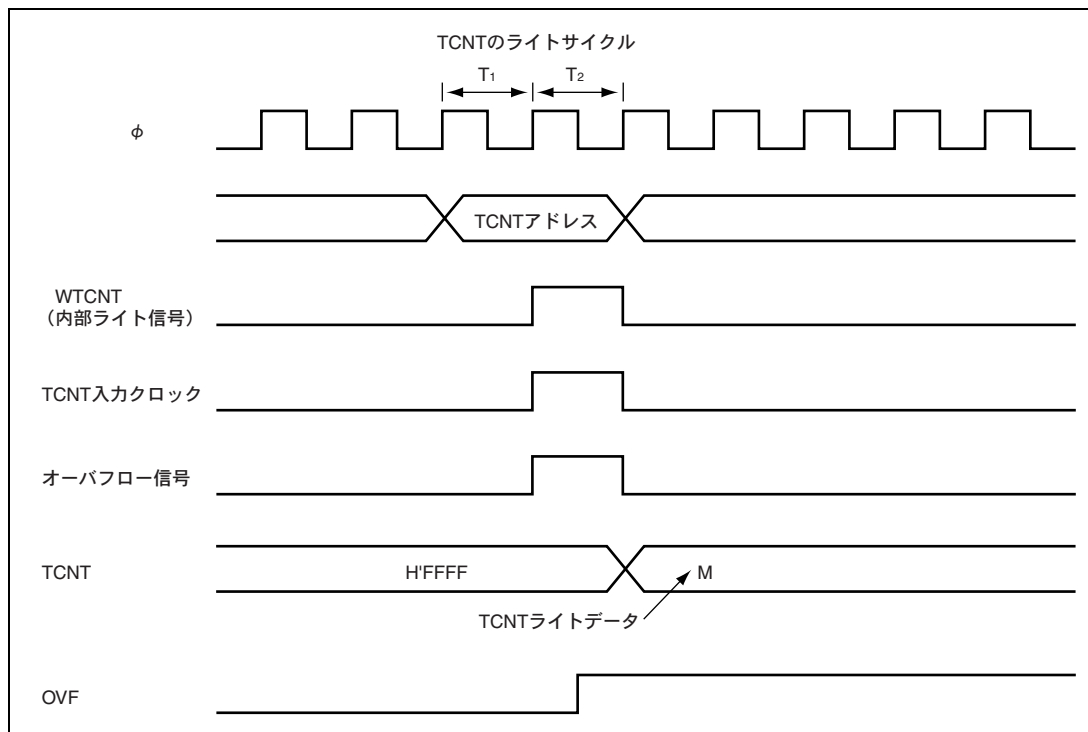


図 12.55 TCNT のライトとオーバーフローの競合

(5) GR のリードとインプットキャプチャの競合

GR のリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるタイミングはインプットキャプチャ転送前のデータが転送されます。このときのタイミングを図 12.56 に示します。

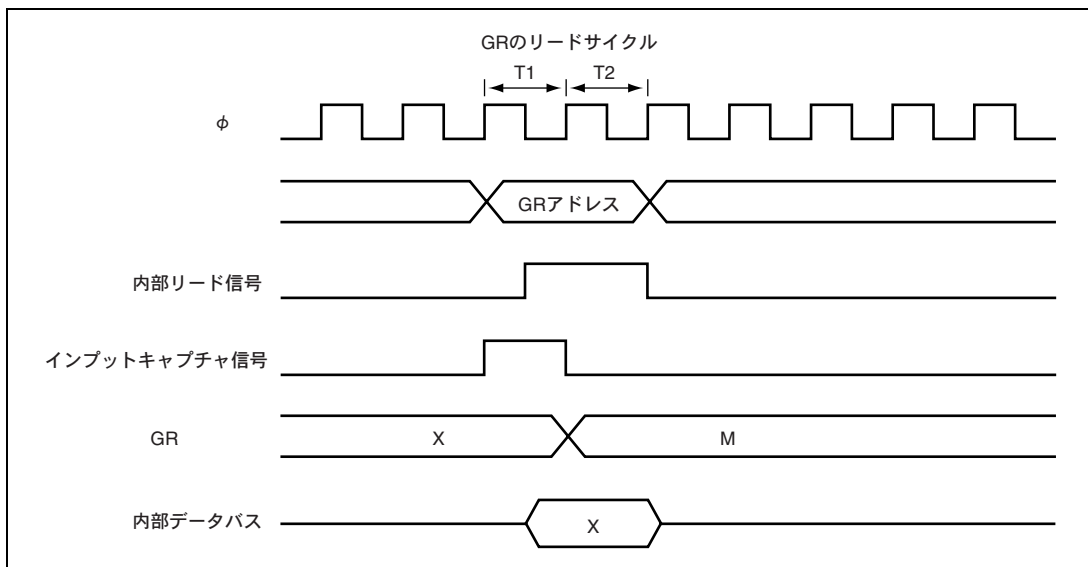


図 12.56 GR のリードとインプットキャプチャの競合

(6) インプットキャプチャによるカウントクリアとカウントアップの競合

インプットキャプチャ信号とカウントアップ信号が同時に発生するとカウントアップされずに、インプットキャプチャによるカウントクリアが優先されます。また GR にはカウンタクリア前の TCNT の内容が転送されます。このタイミングを図 12.57 に示します。

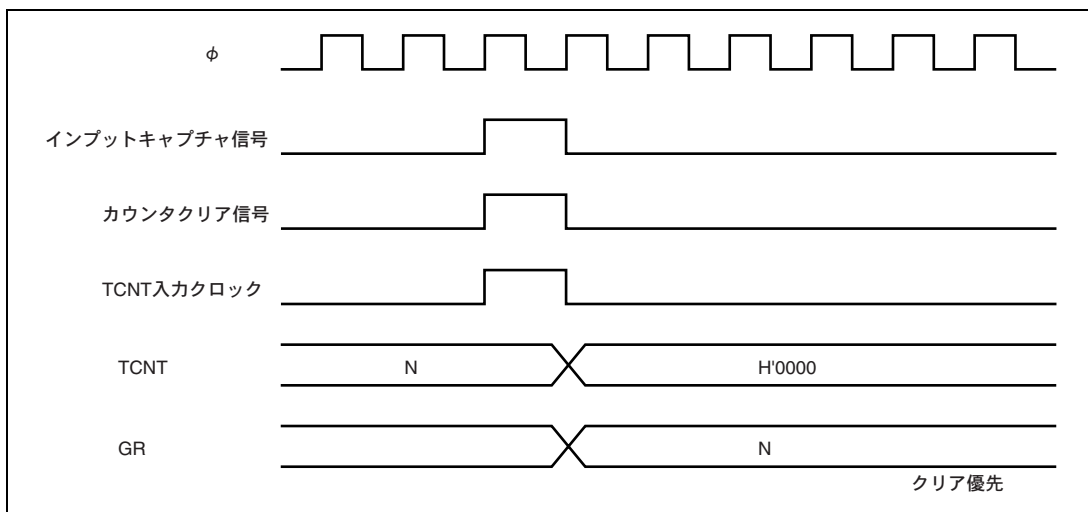


図 12.57 インプットキャプチャによるカウントクリアとカウントアップの競合

(7) GRのライトとインプットキャプチャの競合

GR ライトサイクル中の T₂ ステートでインプットキャプチャ信号が発生すると、GR への書き込みは行われずインプットキャプチャが優先されます。このタイミングを図 12.58 に示します。

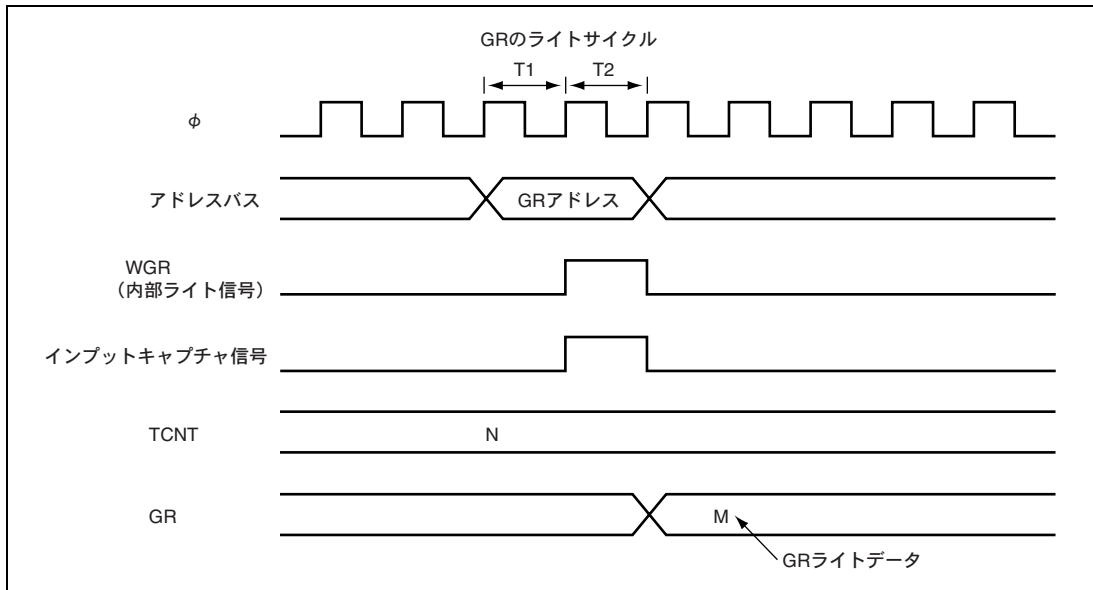


図 12.58 GR のライトとインプットキャプチャの競合

(8) リセット同期 PWM モード／相補モード設定時の注意事項

TCFR の CMD1、CMD0 ビットを設定するときは、以下のことに注意してください。

- CMD1、CMD0 ビットへのライトは、TCNT₁、TCNT₀ が停止中に行ってください。
- リセット同期 PWM モードと相補 PWM モードの相互の設定変更は禁止されています。通常動作 (CMD1、CMD0 ビットを 0 にクリア) を設定した後に、リセット同期 PWM モードまたは相補 PWM モードを設定してください。

(9) TSR のフラグクリア時の注意事項

TSR の特定のフラグをクリアする場合に、「1 の状態をリードした後、0 をライト」を BCLR 命令または MOV 命令の組み合わせで行いますが、この処理の途中で他のビットがセットされると、そのセットされたビットも同時にクリアされてしまう場合があります。これを回避するために、BCLR 命令を使用せずに以下の処理で行うようにしてください。なお、本注意事項は F-ZTAT 版のみ対象で、マスク ROM 版は対策済みです。

- 例：TSR のビット 4 (OVF) をクリアする場合

```
MOV.B @TSR,R0L
```

```
MOV.B #B'11101111,R0L ←クリアしたいビットのみ0、残りはすべて1を設定する
```

```
MOV.B R0L,@TSR
```

12. タイマ Z

(10) TOCR の TOA0~TOD0、TOA1~TOD1 ビット書き込み時の注意事項

TOCR の TOA0~TOD0、TOA1~TOD1 ビットは最初のコンペアマッチが発生するまでの FTIO 端子の出力値を決めるビットです。一度コンペアマッチが発生し、コンペアマッチにより FTIOA0~FTIOD0、FTIOA1~FTIOD1 出力が変化した場合は、FTIOA0~FTIOD0、FTIOA1~FTIOD1 端子の出力値と TOA0~TOD0、TOA1~TOD1 ビットを読み出した値は一致しないことがあります。また、TOCR への書き込みとコンペアマッチ A0~D0、A1~D1 の発生が競合した場合、書き込みが優先されコンペアマッチによる出力の変化は FTIOA0~FTIOD0、FTIOA1~FTIOD1 端子に反映されません。よってビット操作命令を用いて TOCR へ書き込みを行うと、FTIOA0~FTIOD0、FTIOA1~FTIOD1 端子の出力値が意図しない結果になることがあります。

コンペアマッチ動作中に TOCR へライトする場合は、TOCR アクセス前に一度タイマカウンタを停止させ、ポート 6 の状態をリードして FTIOA0~FTIOD0、FTIOA1~FTIOD1 の出力値を TOA0~TOD0、TOA1~TOD1 に反映しライトを行ってください。その後タイマカウンタを再起動します。

コンペアマッチと TOCR へのビット操作命令が競合した場合の例を図 12.59 に示します。

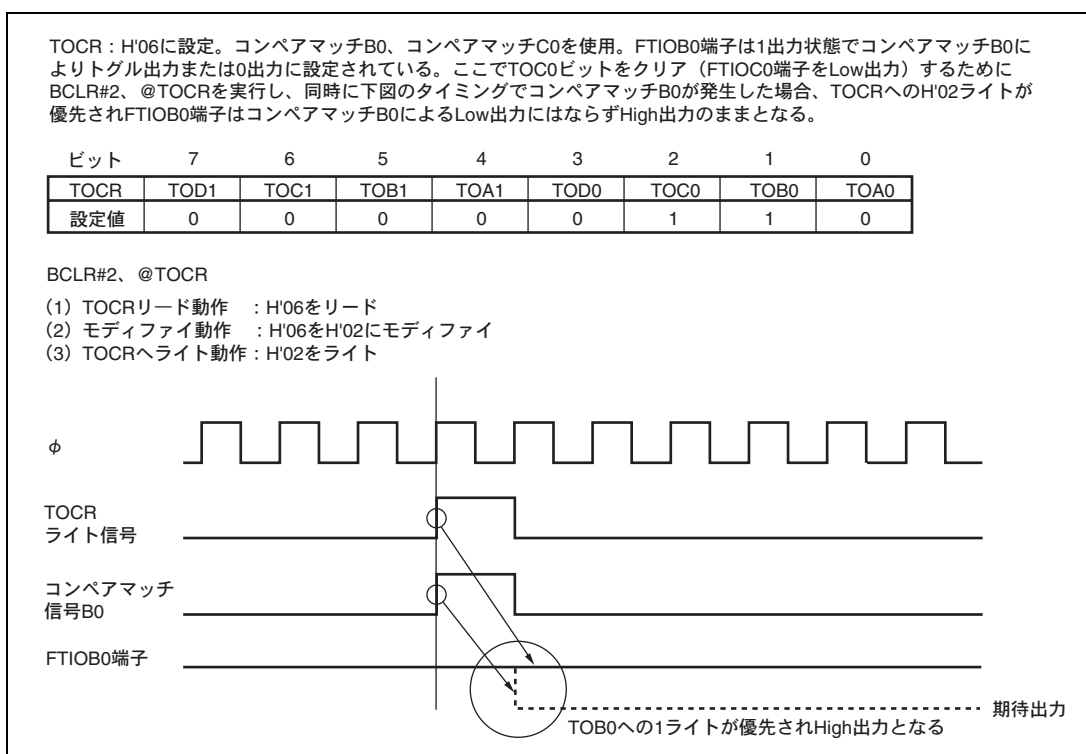


図 12.59 コンペアマッチと TOCR へのビット操作命令が競合した場合の例

13. ウォッチドッグタイマ

ウォッチドッグタイマは8ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずオーバフローするとLSI内部をリセットします。ウォッチドッグタイマのブロック図を図13.1に示します。

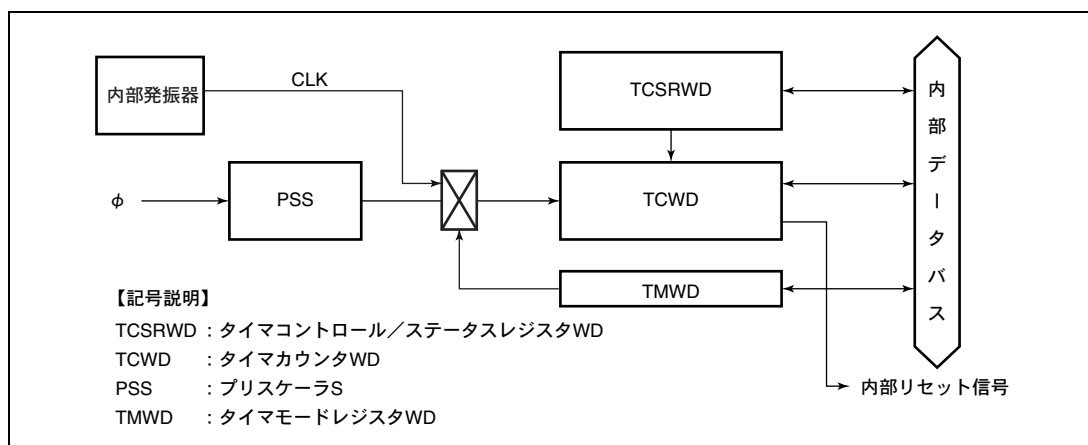


図 13.1 ウォッチドッグタイマのブロック図

13.1 特長

- 9種類の内部クロックを選択可能
タイマのカウントクロックとして8種類の内部クロック（ $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$ ）または内部発振器を選択可能です。内部発振器を選択した場合はすべての動作モードでウォッチドッグタイマとして動作します。
- カウンタのオーバフローでリセット信号を発生
オーバフロー周期は、選択したクロックの1倍から256倍まで設定可能です。
- 初期状態で動作状態です（リセット解除でカウントアップします）。

13.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタWD（TCSRWD）
- タイマカウンタWD（TCWD）
- タイマモードレジスタWD（TMWD）

13. ウォッチドッグタイマ

13.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)

TCSRWD は TCSRWD 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタ WD 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	1	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。ウォッチドッグタイマは初期値が有効になっています。ウォッチドッグタイマを使用しない場合は、本ビットを 0 にクリアしてください。 [クリア条件] • TCSRWE=1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE=1 の状態で B2WI に 0、WDON に 1 をライトしたとき
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット [クリア条件] • $\overline{\text{RES}}$ 端子によるリセット • TCSRWE=1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] • TCWD がオーバフローし、内部リセット信号が発生したとき

13.2.2 タイマカウンタ WD (TCWD)

TCWD は 8 ビットのリード/ライト可能なアップカウンタです。TCWD が H'FF から H'00 にオーバーフローすると内部リセット信号が発生し、TCSRWD の WRST が 1 にセットされます。TCWD の初期値は H'00 です。

13.2.3 タイマモードレジスタ WD (TMWD)

TMWD は入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	CKS3	1	R/W	クロックセレクト 3~0 TCWD に入力するクロックを選択します。 1000 : 内部クロック : $\phi/64$ をカウント 1001 : 内部クロック : $\phi/128$ をカウント 1010 : 内部クロック : $\phi/256$ をカウント 1011 : 内部クロック : $\phi/512$ をカウント 1100 : 内部クロック : $\phi/1024$ をカウント 1101 : 内部クロック : $\phi/2048$ をカウント 1110 : 内部クロック : $\phi/4096$ をカウント 1111 : 内部クロック : $\phi/8192$ をカウント 0XXX : 内部発振器 内部発振器によるオーバーフロー周期については「第 21 章 電気的特性」を参照してください。
2	CKS2	1	R/W	
1	CKS1	1	R/W	
0	CKS0	1	R/W	

【注】 X : Don't care

13.3 動作説明

ウォッチドッグタイマは、8ビットのアップカウンタを備えています。リセット解除後、TCWDはカウントアップを開始します。TCWDのカウント値がH'FFからオーバーフローすると内部リセット信号を発生します。内部リセット信号は ϕ_{osc} クロックで256クロック分の時間出力されます。TCWDはライト可能なカウンタですので、TCWDに値を設定すると、その値からカウントアップを行います。したがって、TCWDの設定値により、オーバーフロー周期を1~256入力クロックの範囲で設定できます。ウォッチドッグタイマを使用しない場合は、TCSRWDのTCSRWE=1の状態にB2WIに0、WDONに0を同時にライトして、TCWDのカウントアップを停止させてください。（ウォッチドッグタイマを停止させるためには、TCSRWDへ2回ライトアクセスが必要となります）。ウォッチドッグタイマ動作例を図13.2に示します。

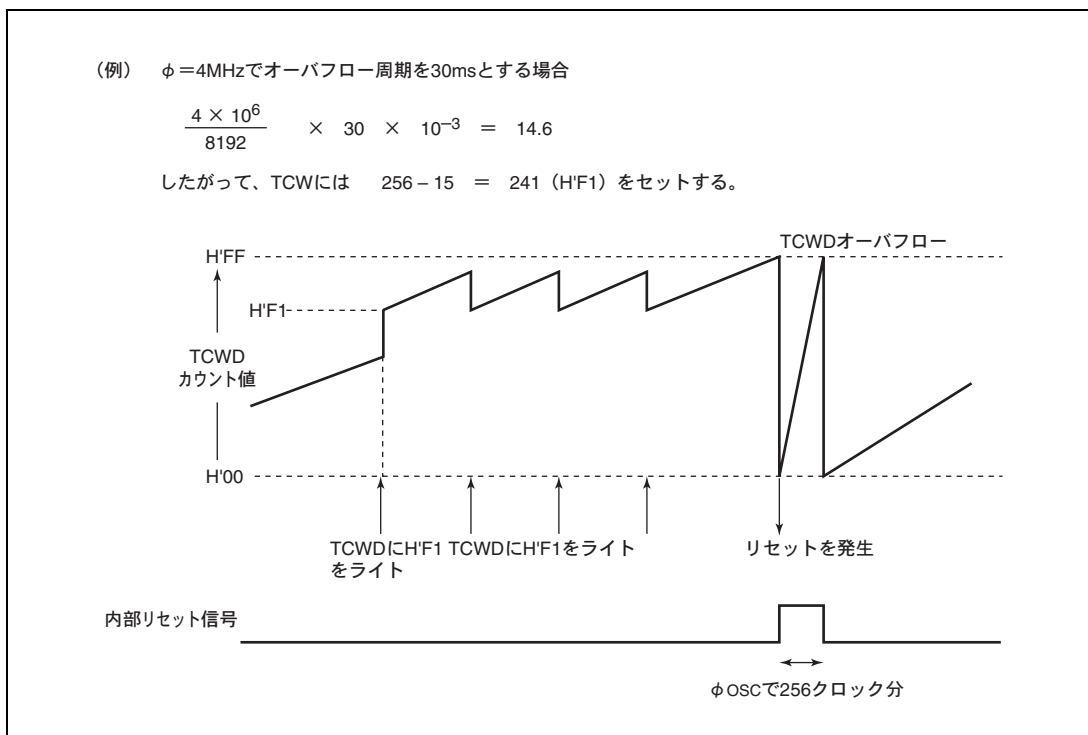


図 13.2 ウォッチドッグタイマの動作例

14. 14ビットPWM

パルス分割方式のPWMで電子チューナの制御などに使用できます。14ビットPWMのブロック図を図14.1に示します。

14.1 特長

- 2種類の変換周期を選択可能
一変換周期 $16384/\phi$ 、最小変化幅 $1/\phi$ 、または一変換周期 $32768/\phi$ 、最小変化幅 $2/\phi$ の選択が可能
- リップル低減を図ったパルス分割方式

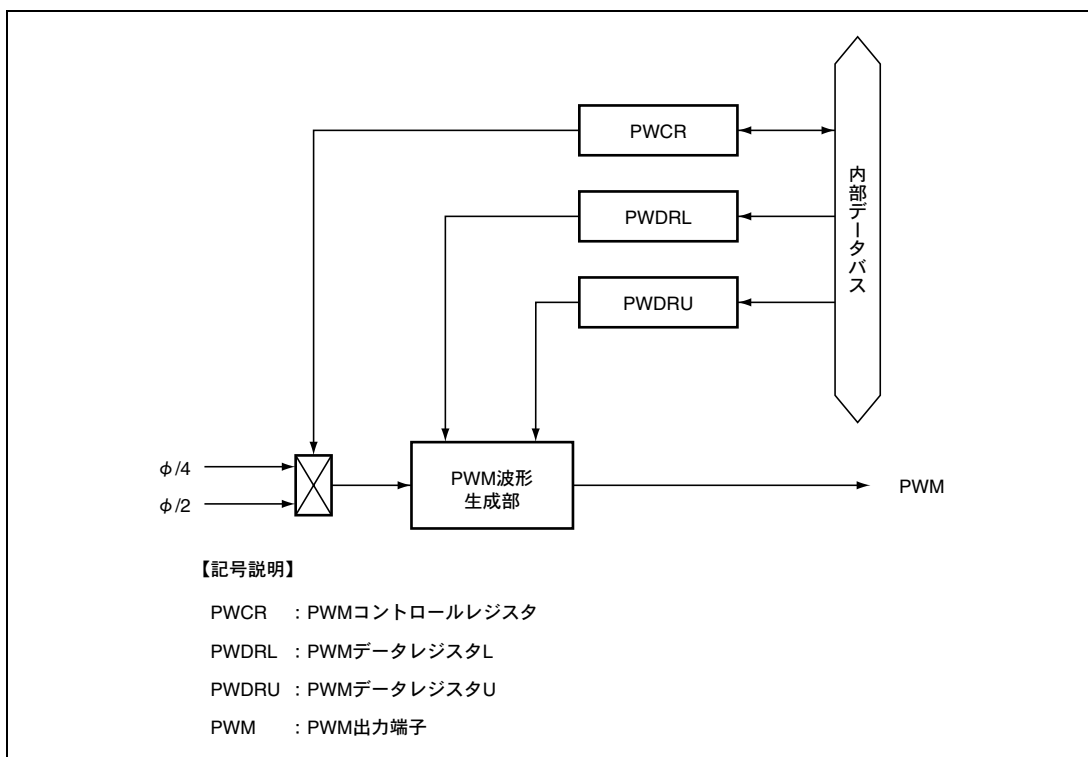


図 14.1 14ビットPWMのブロック図

14. 14ビット PWM

14.2 入出力端子

14ビット PWM の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	略称	入出力	機能
14ビット PWM 方形波出力	PWM	出力	14ビット PWM 方形波出力端子

14.3 レジスタの説明

14ビット PWM には以下のレジスタがあります。

- PWMコントロールレジスタ (PWCR)
- PWMデータレジスタU (PWDRU)
- PWMデータレジスタL (PWDRL)

14.3.1 PWM コントロールレジスタ (PWCR)

PWCR は変換周期を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。
6	—	1	—	
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	PWCR0	0	R/W	クロックセレクト 0: 入力クロックは $\phi/2$ ($t\phi=2/\phi$) —変換周期 $16384/\phi$ 、最小変化幅 $1/\phi$ の PWM 波形を生成 1: 入力クロックは $\phi/4$ ($t\phi=4/\phi$) —変換周期 $32768/\phi$ 、最小変化幅 $2/\phi$ の PWM 波形を生成

【記号説明】

$t\phi$: PWM 入力クロックの周期

14.3.2 PWM データレジスタ U、L (PWDRU、PWDRL)

PWDRU、PWDRL はライト専用の 14 ビットのレジスタで、PWM 波形一周期の High レベル幅を表します。PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成で、リードすると常に 1 が読み出されます。

PWDRU、PWDRL ともバイトアクセス専用です。ワードアクセスをすると動作は保証できませんので注意してください。また PWDRU、PWDRL に合計 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれて PWM 波形生成のデータ更新が行われます。なお、ライトは必ず PWDRL→PWDRU の順序で行ってください。

PWDRU、PWDRL の初期値は H'C000 です。

14.4 動作説明

14 ビット PWM を使用する場合、以下の順序でレジスタの設定を行ってください。

1. ポートモードレジスタ1 (PMR1) のPWMビットを1にセットして、P11/PWM端子をPWM出力端子に設定します。
2. PWCRのPWCR0ビットにより、一変換周期を選択します。
3. PWDRU、PWDRL に出力波形データを設定します。このとき必ずPWDRL、PWDRUの順序でバイト単位で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

一変換周期は図 14.2 が示すように 64 個のパルスで構成されます。この一変換周期中の High レベル幅の合計 (T_H) が PWDRU、PWDRL のデータに対応しています。この関係は次式で示されます。

$$T_H = (\text{PWDRU, PWDRL のデータ値} + 64) \times t\phi / 2$$

$t\phi$ は PWM 入力クロックの周期で、 $2/\phi$ (PWCR0 ビット=0) または $4/\phi$ (PWCR0 ビット=1) となります。PWDRU、PWDRL のデータ値 H'FFC0~H'FFFF では PWM 出力は High レベルとなります。H'C000 では、 $T_H = 64 \times t\phi / 2 = 32 \cdot t\phi$ となります。

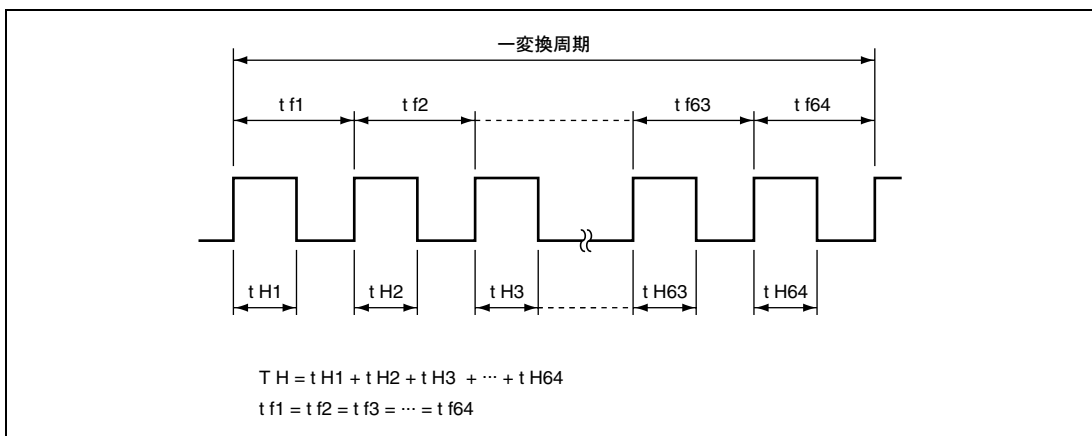


図 14.2 14ビット PWM 出力波形

15. シリアルコミュニケーションインタフェース 3 (SCI3)

H8/36064 グループは独立した 2 チャンルのシリアルコミュニケーションインタフェース 3 (SCI3) を備えています。SCI3 は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。また、調歩同期方式では複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

SCI3 のチャンネル構成を表 15.1 に、ブロック図を図 15.1 に示します。2 チャンネル (SCI3、SCI3_2) とも同一機能です。なお、本文中ではチャンネルによる区別を省略します。

15.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータまたは外部クロックを選択可能
- 6種類の割り込み要因
送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。

調歩同期式モード

- データ長：7ビット/8ビット選択可能
- ストップビット長：1ビット/2ビット選択可能
- パリティ：偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時RXD端子のレベルを直接読み出すことでブレークを検出可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

15. シリアルコミュニケーションインタフェース 3 (SCI3)

表 15.1 SCI3 のチャンネル構成

チャンネル	略称	端子	レジスタ	レジスタアドレス
チャンネル 1	SCI3*	SCK3 RXD TXD	SMR	H'FFA8
			BRR	H'FFA9
			SCR3	H'FFAA
			TDR	H'FFAB
			SSR	H'FFAC
			RDR	H'FFAD
			RSR	—
			TSR	—
チャンネル 2	SCI3_2	SCK3_2 RXD_2 TXD_2	SMR_2	H'F740
			BRR_2	H'F741
			SCR3_2	H'F742
			TDR_2	H'F743
			SSR_2	H'F744
			RDR_2	H'F745
			RSR_2	—
			TSR_2	—

【注】 * ブートモードによるオンボードプログラミングモードでは、SCI3 のチャンネル 1 を使用します。

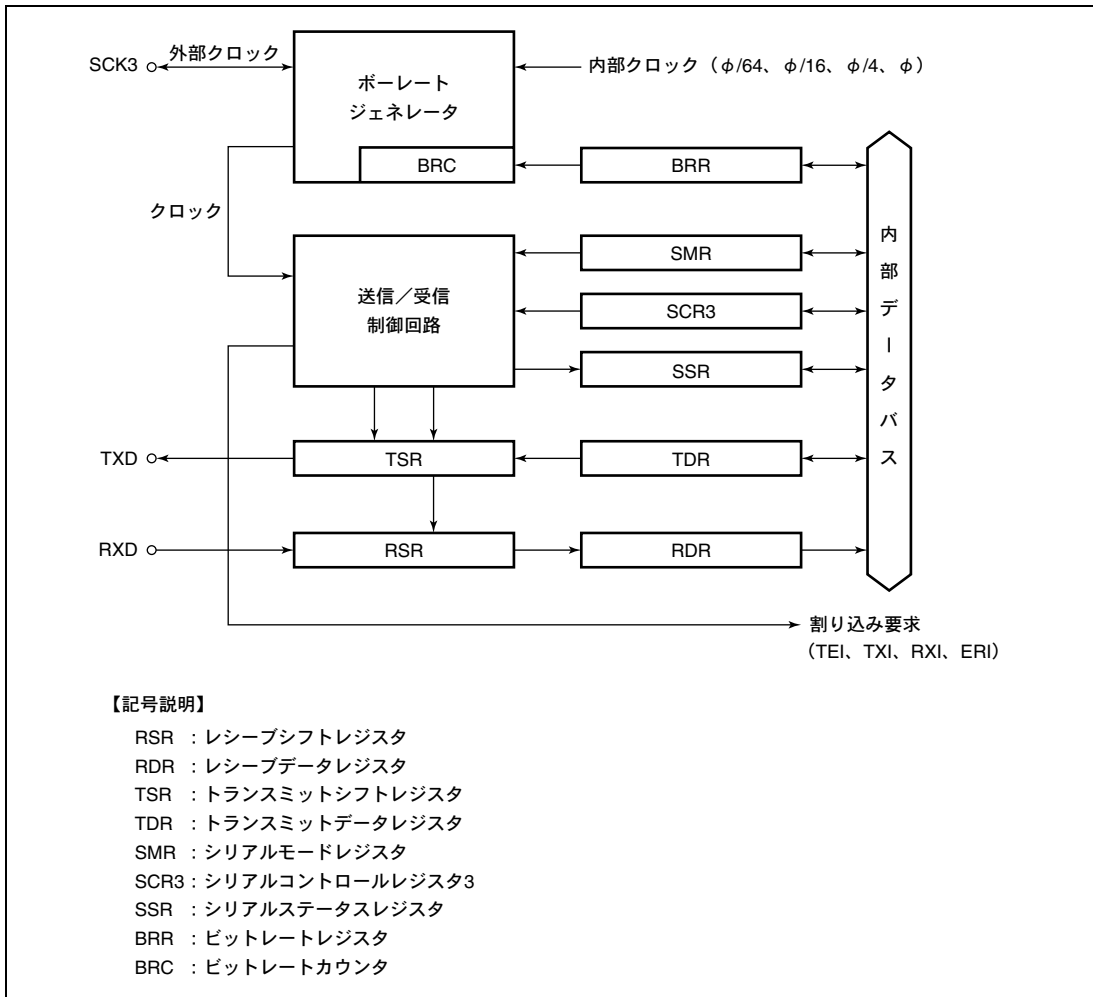


図 15.1 SCI3のブロック図

15.2 入出力端子

SCI3 の端子構成を表 15.2 に示します。

表 15.2 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK3	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD	出力	SCI3 の送信データ出力端子

15.3 レジスタの説明

SCI3 には以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットシフトレジスタ (TSR)
- トランスミットデータレジスタ (TDR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ3 (SCR3)
- シリアルステータスレジスタ (SSR)
- ビットレートレジスタ (BRR)

15.3.1 レシーブシフトレジスタ (RSR)

RSR は RXD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU からは直接アクセスすることはできません。

15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

15.3.3 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD 端子に送出することでシリアルデータ送信を行います。CPU からは直接アクセスすることはできません。

15.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実にを行うため、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR の初期値は H'FF です。

15.3.5 シリアルモードレジスタ (SMR)

SMRはシリアルデータ通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	COM	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットのフォーマットで送受信します。 1: データ長 7 ビットのフォーマットで送受信します。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。
4	PM	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定値にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 PE、PM ビットの設定値は無効になります。クロック同期式モードではこのビットは 0 に設定してください。
1	CKS1	0	R/W	クロックセレクト 1~0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.8 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.8 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

15. シリアルコミュニケーションインタフェース 3 (SCI3)

15.3.6 シリアルコントロールレジスタ 3 (SCR3)

SCR3 は以下の送受信動作と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.7 割り込み要求」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 セットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 セットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットが 1 のとき受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.6 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1 ~ 0
0	CKE0	0	R/W	クロックソースを選択します。 調歩同期式の場合 00 : 内部ポーレートジェネレータ 01 : 内部ポーレートジェネレータ (SCK3 端子からビットレートと同じ周波数のクロックを出力します) 10 : 外部クロック (SCK3 端子からビットレートの 16 倍の周波数のクロックを入力してください。) 11 : リザーブ クロック同期式の場合 00 : 内部クロック (SCK3 端子機能はクロック出力端子となります。) 01 : リザーブ 10 : 外部クロック (SCK3 端子機能はクロック入力端子となります。) 11 : リザーブ

15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、OER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR3 の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TDR へ送信データをライトしたとき
6	RDRF	0	R/W	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RDR のデータをリードしたとき
5	OER	0	R/W	オーバランエラー [セット条件] • 受信中にオーバランエラーが発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/W	フレーミングエラー [セット条件] • 受信中にフレーミングエラーが発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/W	パリティエラー [セット条件] • 受信中にパリティエラーが発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

15. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	トランスミットエンド [セット条件] • SCR3 の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [クリア条件] • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TDR へ送信データをライトしたとき
1	MPBR	0	R	マルチプロセッサビットレシーブ 受信キャラクタ中のマルチプロセッサビットを格納します。SCR3 の RE=0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信キャラクタに付加するマルチプロセッサビットの値を指定します。

15.3.8 ビットレートレジスタ (BRR)

BRR はビットレートを設定する 8 ビットのレジスタです。BRR の初期値は H'FF です。調歩同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 15.3 に、調歩同期式モードの最大ビットレートを表 15.4 に示します。いずれもアクティブ（高速）モードでの値を示しています。クロック同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 15.5 に示します。アクティブ（高速）モードでの値を示しています。その他の動作周波数とビットレートの組み合わせに対する BRR の設定値 N と誤差は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\Phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

$$\text{誤差 (\%)} = \left\{ \frac{\Phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

〔クロック同期式モード〕

$$N = \frac{\Phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

Φ : 動作周波数 (MHz)

n : SMR の CKS1、CKS0 の設定値 ($0 \leq n \leq 3$)

15. シリアルコミュニケーションインタフェース 3 (SCI3)

表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビット レート (bit/s)	Φ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	—	—	—

(つづき)

ビット レート (bit/s)	Φ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	—	—	—	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

【記号説明】

— : 設定可能ですが誤差がでます。

15. シリアルコミュニケーションインタフェース 3 (SCI3)

(つづき)

ビット レート (bit/s)	Φ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

(つづき)

ビット レート (bit/s)	Φ (MHz)											
	9.8304			10			12			12.888		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

【記号説明】

— : 設定可能ですが誤差がでます。

15. シリアルコミュニケーションインタフェース 3 (SCI3)

(つづき)

ビット レート (bit/s)	Φ (MHz)														
	14			14.7456			16			18			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	181	0.16	2	191	0.00	2	207	0.16	2	233	0.16	3	64	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16	2	116	0.16	2	129	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	58	-0.69	0	64	0.16
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	28	1.02	0	32	-1.36
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	17	0.00	0	19	0.00
38400	—	—	—	0	11	0.00	0	12	0.16	0	14	-2.34	0	15	1.73

【記号説明】

— : 設定可能ですが誤差がでます。

表 15.4 各周波数における最大ビットレート〔調歩同期式モード〕

Φ (MHz)	最大ビットレート (bit/s)	n	N	Φ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0	8	250000	0	0
2.097152	65536	0	0	9.8304	307200	0	0
2.4576	76800	0	0	10	312500	0	0
3	93750	0	0	12	375000	0	0
3.6864	115200	0	0	12.288	384000	0	0
4	125000	0	0	14	437500	0	0
4.9152	153600	0	0	14.7456	460800	0	0
5	156250	0	0	16	500000	0	0
6	187500	0	0	17.2032	537600	0	0
6.144	192000	0	0	18	562500	0	0
7.3728	230400	0	0	20	625000	0	0

15. シリアルコミュニケーションインタフェース 3 (SCI3)

表 15.5 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	Φ (MHz)													
	2		4		8		10		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	—	—	—	—	—	—			—	—	—	—
250	2	124	2	249	3	124	—	—	3	249	—	—	—	—
500	1	249	2	124	2	249	—	—	3	124	3	140	3	155
1k	1	124	1	249	2	124	—	—	2	249	3	69	3	77
2.5k	0	199	1	99	1	199	1	249	2	99	2	112	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	224	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	112	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	179	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	89	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	44	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	17	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	8	0	9
1M			0	0*	0	1	—	—	0	3	0	4	0	4
2M					0	0*	—	—	0	1	—	—	—	—
2.5M							0	0*	—	—	—	—	0	1
4M									0	0*	—	—	—	—

【記号説明】

空欄：設定不可能です。

—：設定可能ですが誤差がでます。

*：連続送受信はできません。

15.4 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 15.2 に示します。通信データの 1 キャラクタまたは 1 フレームは、スタートビット (Low レベル) から始まり、送信/受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に次の受信データのリードを行うことで連続送受信が可能です。



図 15.2 調歩同期式通信のデータフォーマット

15.4.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵ポーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK3 端子にビットレートの 16 倍の周波数のクロックを入力してください。内部クロックを使用する場合は SCK3 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 15.3 のように送受信データの各ビットの中央でクロックが立ち上がります。

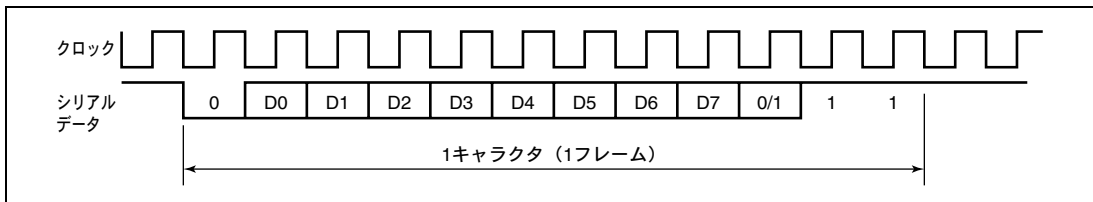


図 15.3 出カクロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ/パリティあり/2 ストップビットの例)

15.4.2 SCI3 の初期化

図 15.4 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

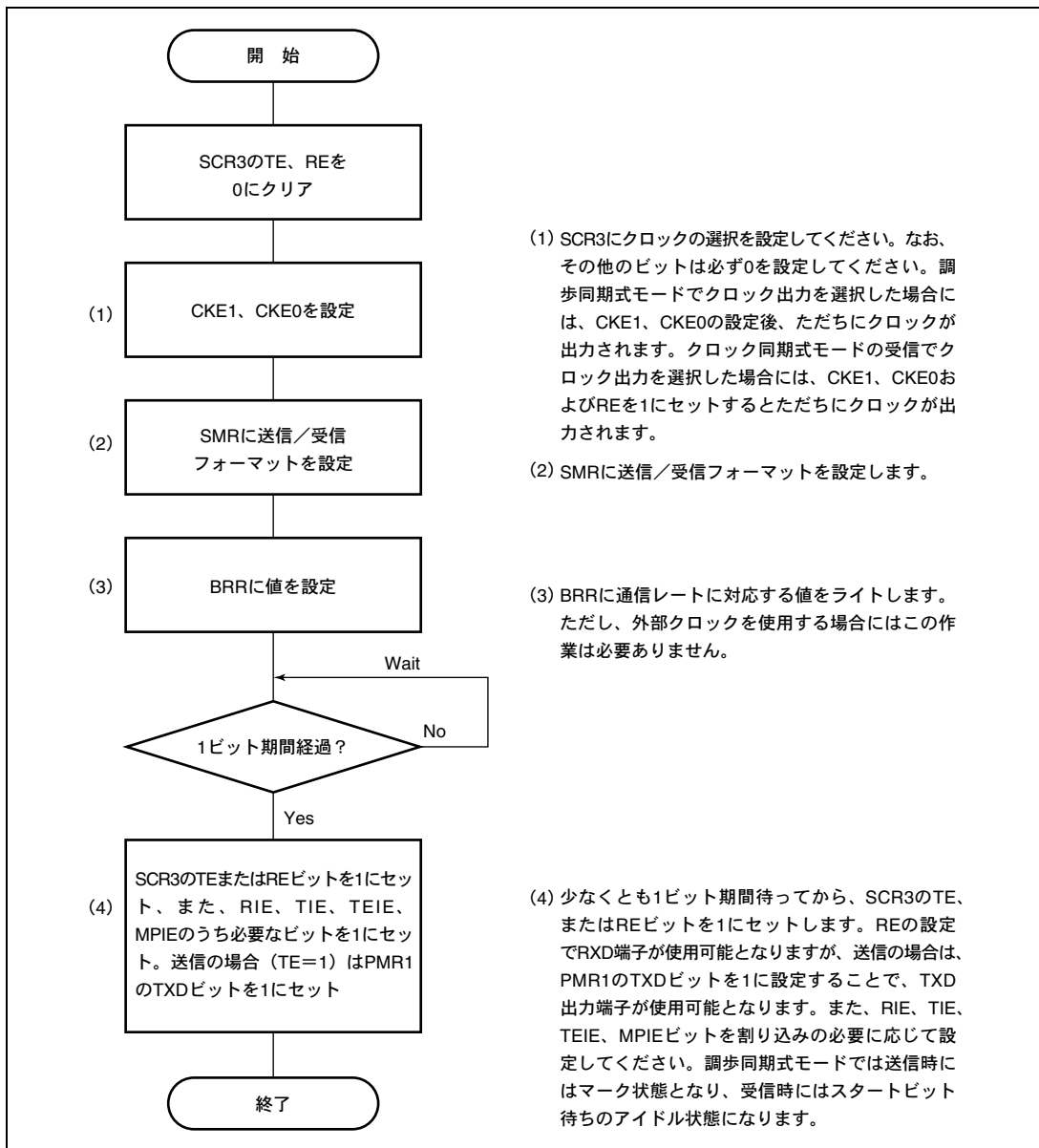


図 15.4 SCI3 を初期化するときのフローチャートの例

15.4.3 データ送信

図 15.5 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。このTXI割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCR3のTEIEが1にセットされているとTEIが発生します。
6. 図15.6にデータ送信を行うためのフローチャートの例を示します。

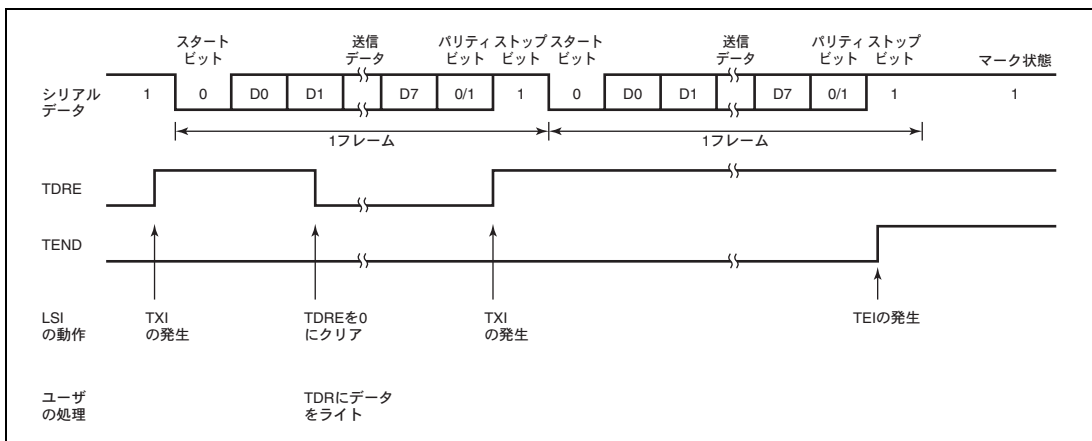


図 15.5 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

15. シリアルコミュニケーションインタフェース 3 (SCI3)

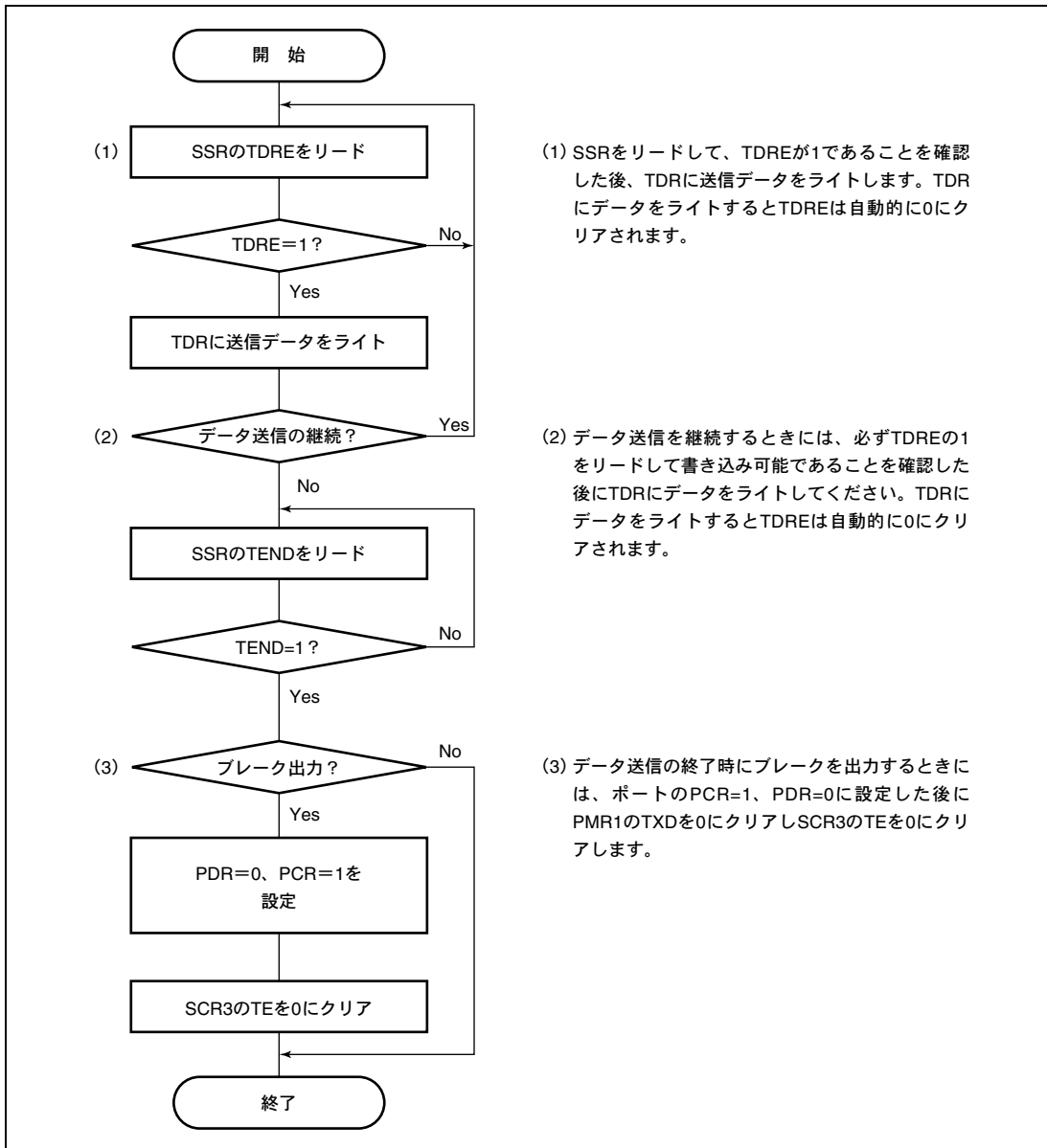


図 15.6 データ送信のフローチャートの例 (調歩同期式モード)

15.4.4 データ受信

調歩同期式モードの受信時の動作例を図 15.7 に示します。SCI3 は受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー（ストップビットが0 のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSR のRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

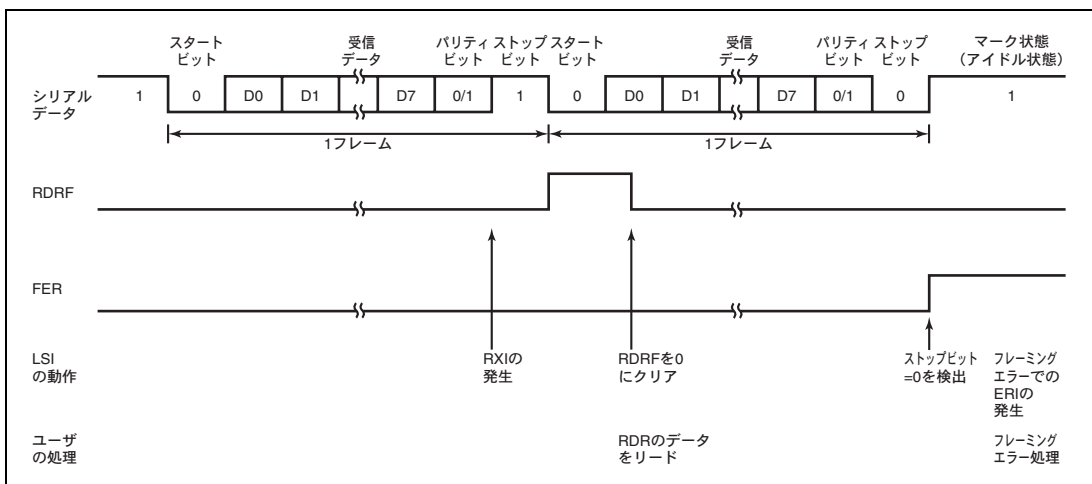


図 15.7 調歩同期式モードの受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

15. シリアルコミュニケーションインタフェース 3 (SCI3)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 15.6 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 15.8 にデータ受信のためのフローチャートの例を示します。

表 15.6 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

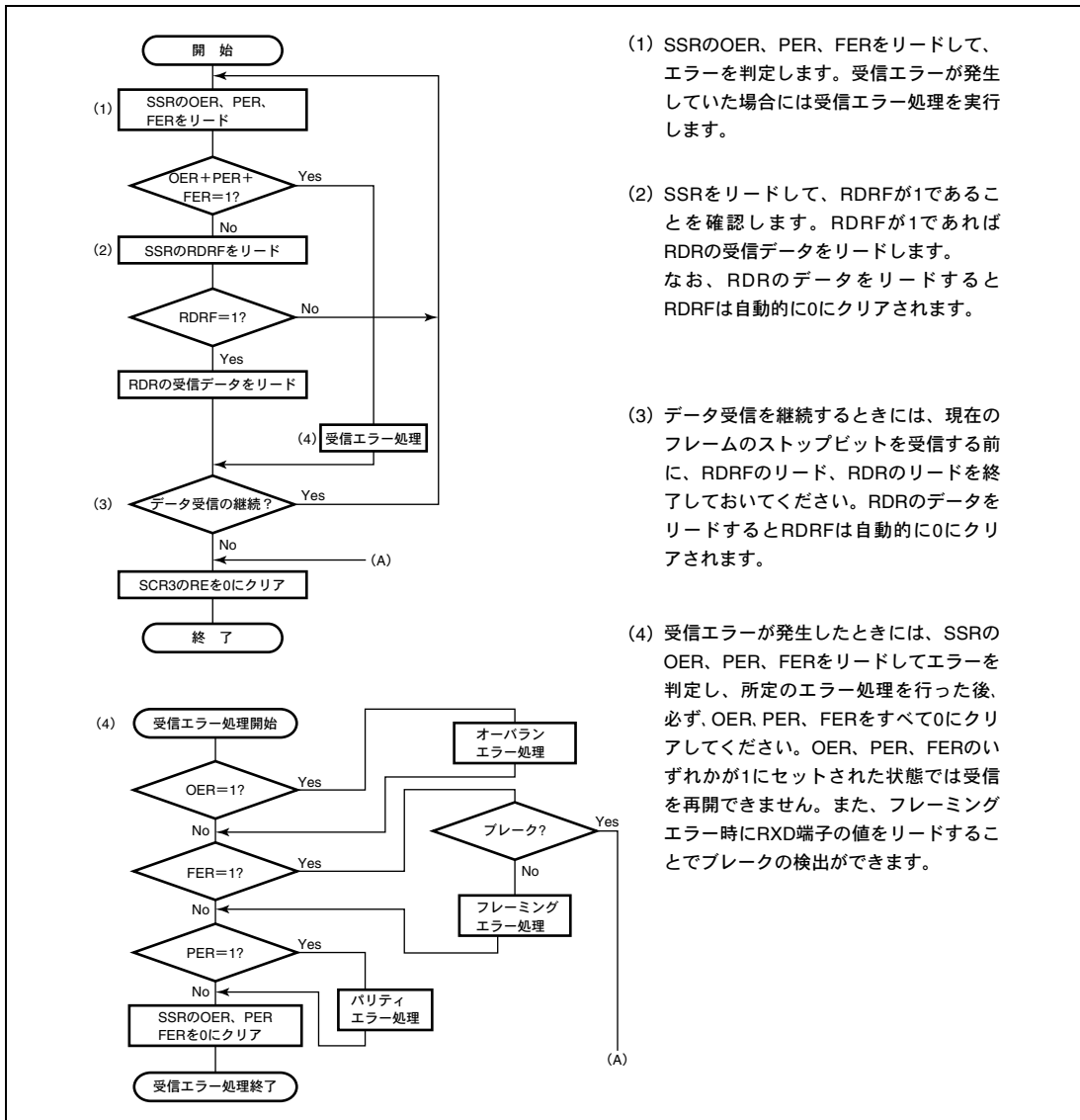


図 15.8 データ受信のフローチャートの例 (調歩同期式モード)

15.5 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 15.9 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセスビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部／受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

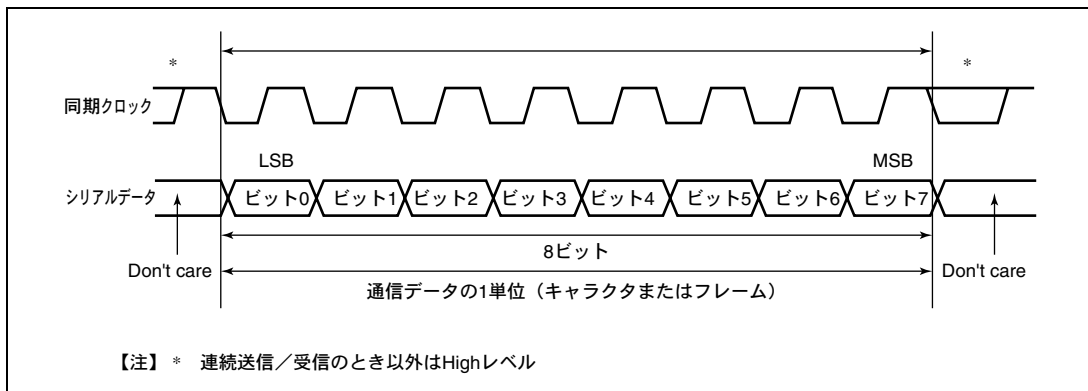


図 15.9 クロック同期式通信のデータフォーマット

15.5.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK3 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

15.5.2 SCI3 の初期化

データの送受信前に図 15.4 のフローチャートの例に従って SCI3 を初期化してください。

15.5.3 データ送信

図 15.10 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB (ビット0) から順にTXD端子から送信されます。
4. MSB (ビット7) を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCR3のTEIEが1にセットされているとTEIが発生します。
7. 送信終了後はSCK3端子はHighレベル固定になります。

図 15.11 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ (OER、FER、PER) が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が0にクリアされていることを確認してください。

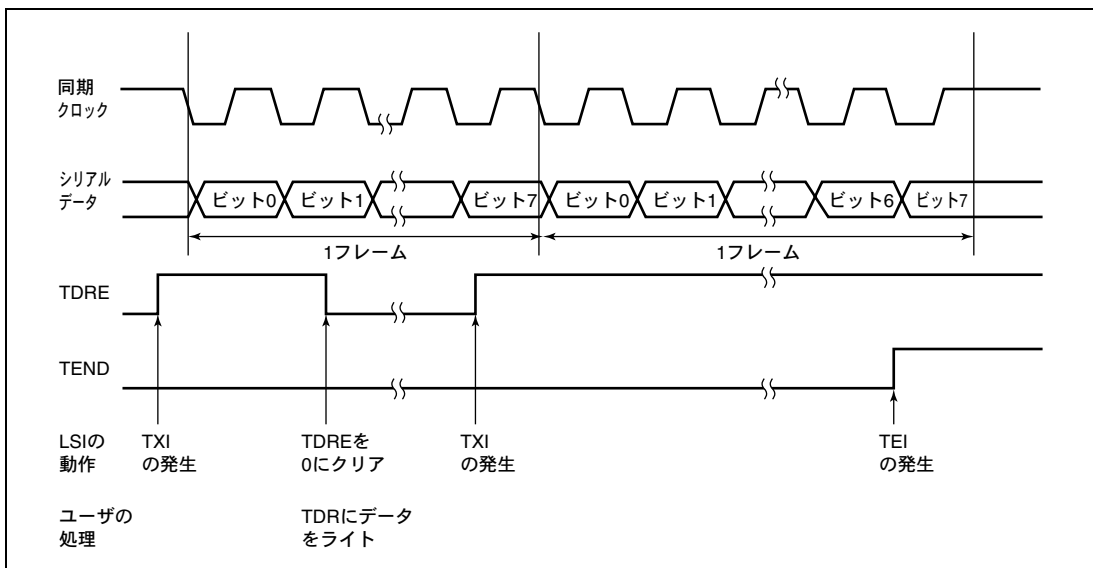


図 15.10 クロック同期モードの送信時の動作例

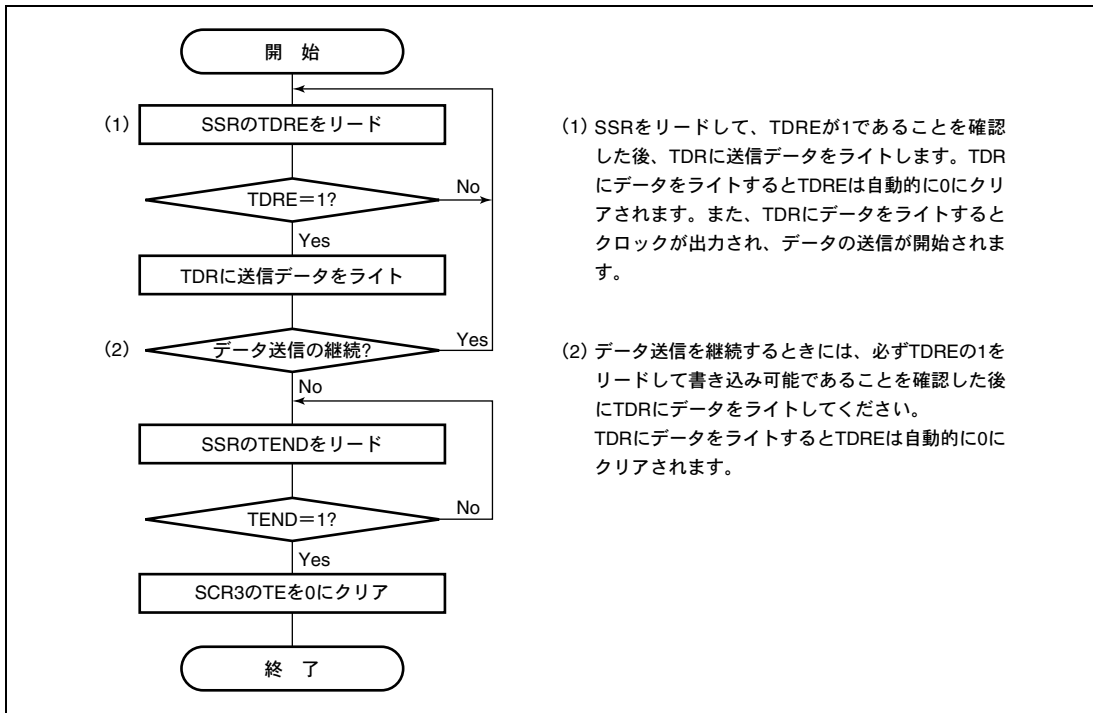


図 15.11 データ送信のフローチャートの例 (クロック同期式モード)

15.5.4 データ受信

図 15.12 にクロック同期モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSR のRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。

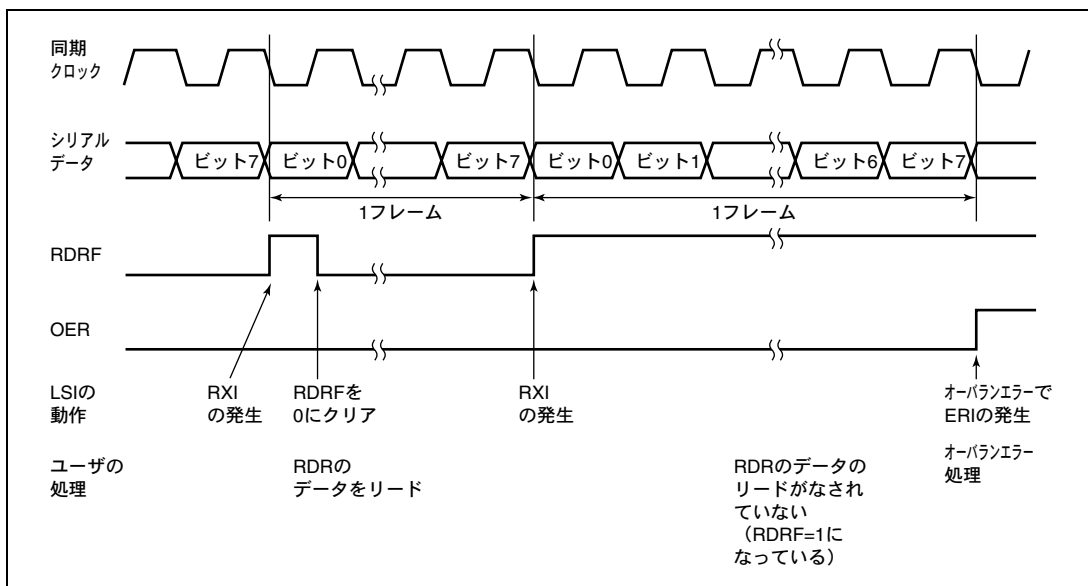


図 15.12 クロック同期モードの受信時の動作例

15. シリアルコミュニケーションインタフェース 3 (SCI3)

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 15.13 にデータ受信のフローチャートの例を示します。

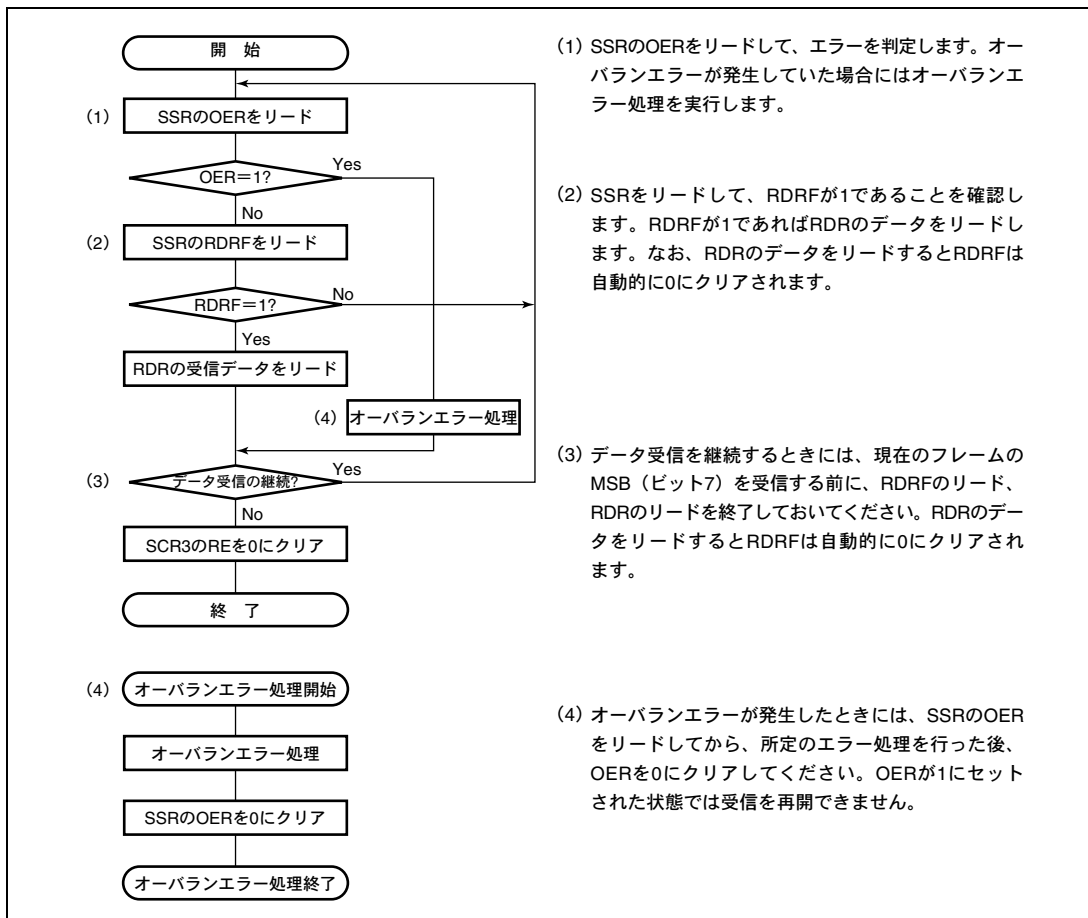


図 15.13 データ受信フローチャートの例 (クロック同期式モード)

15.5.5 データ送受信同時動作

図 15.14 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

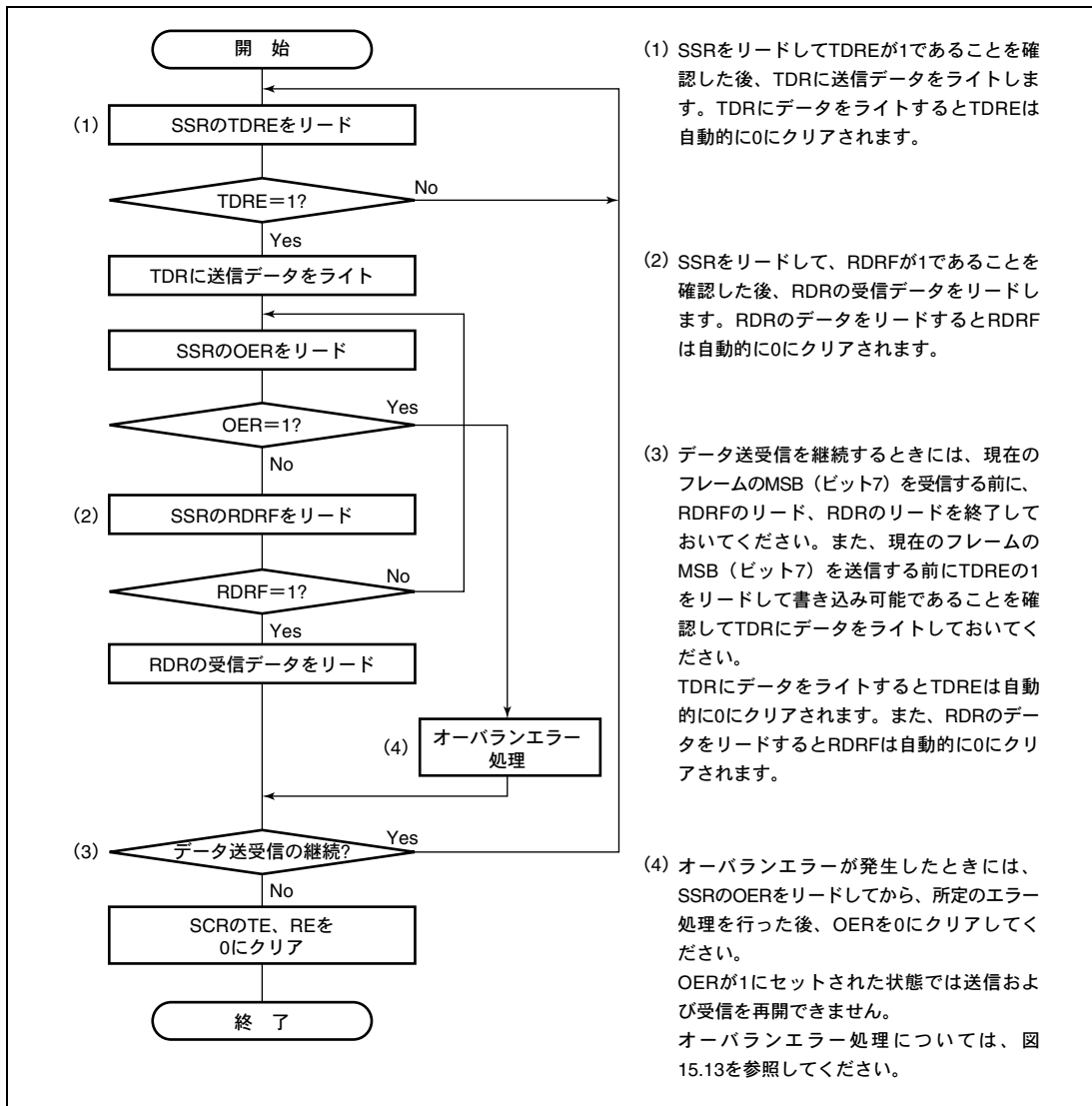


図 15.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

15.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.15 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCR3 に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR3 の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

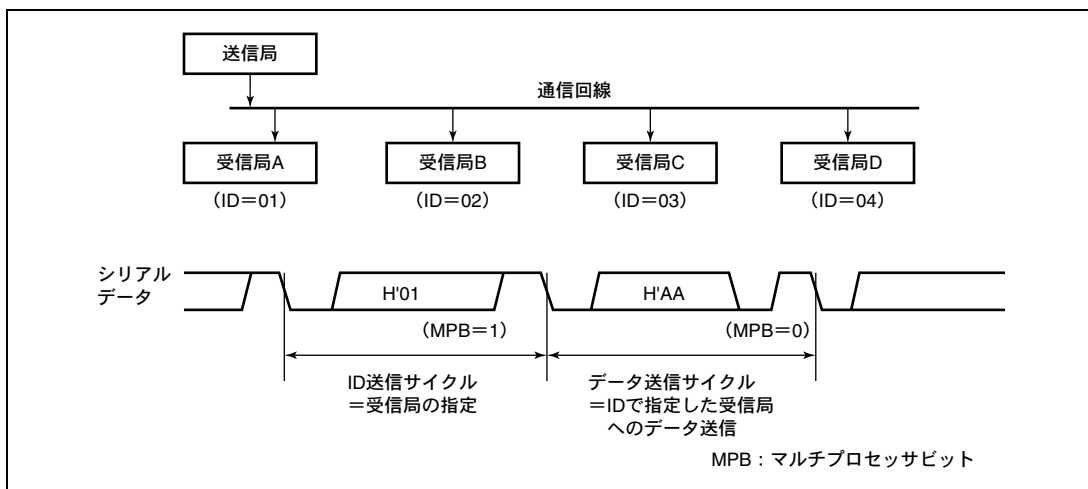


図 15.15 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

15.6.1 マルチプロセッサデータ送信

図 15.16 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

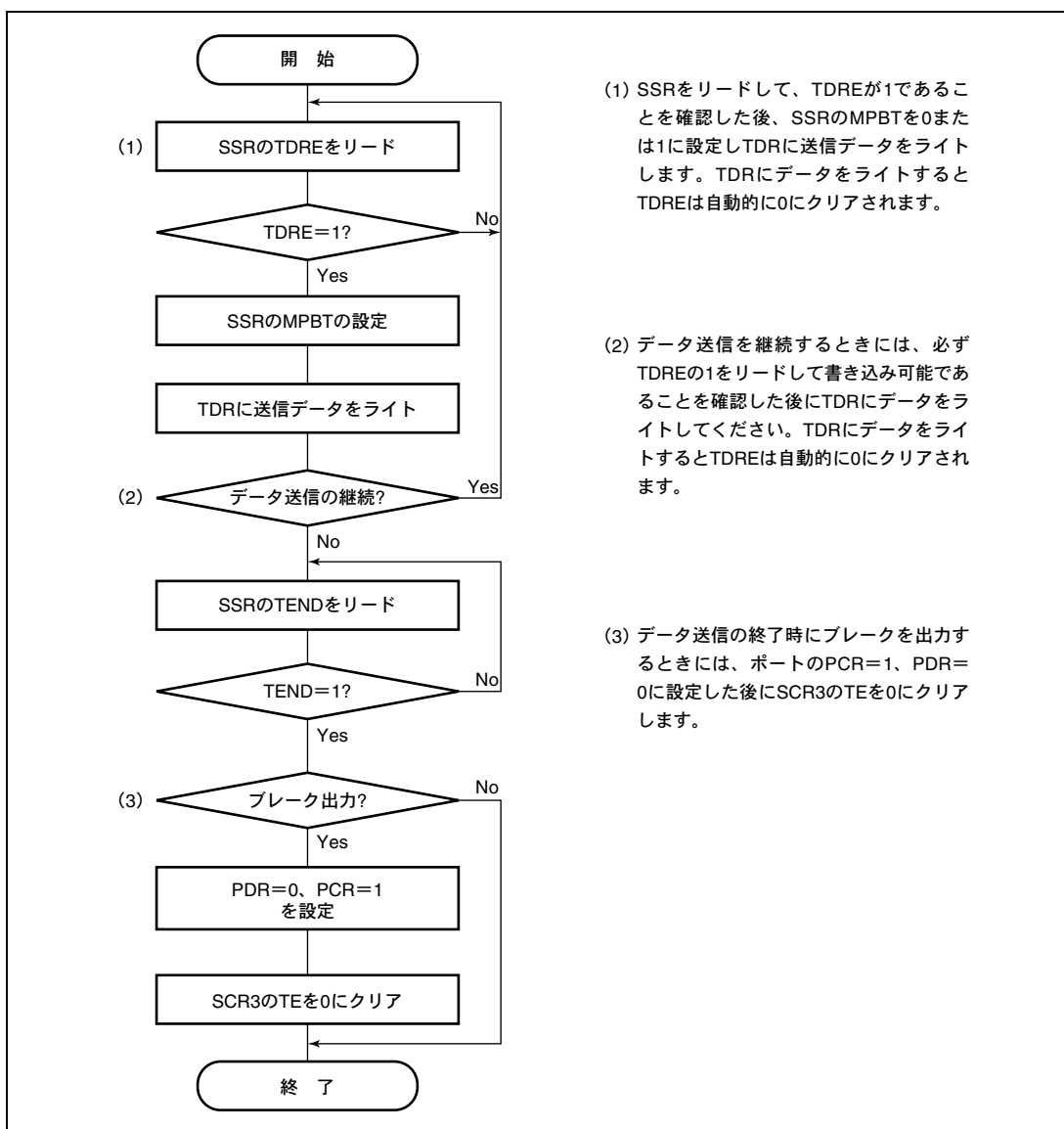


図 15.16 マルチプロセッサデータ送信のフローチャートの例

15.6.2 マルチプロセッサデータ受信

図 15.17 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR3 の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 15.18 に受信時の動作例を示します。

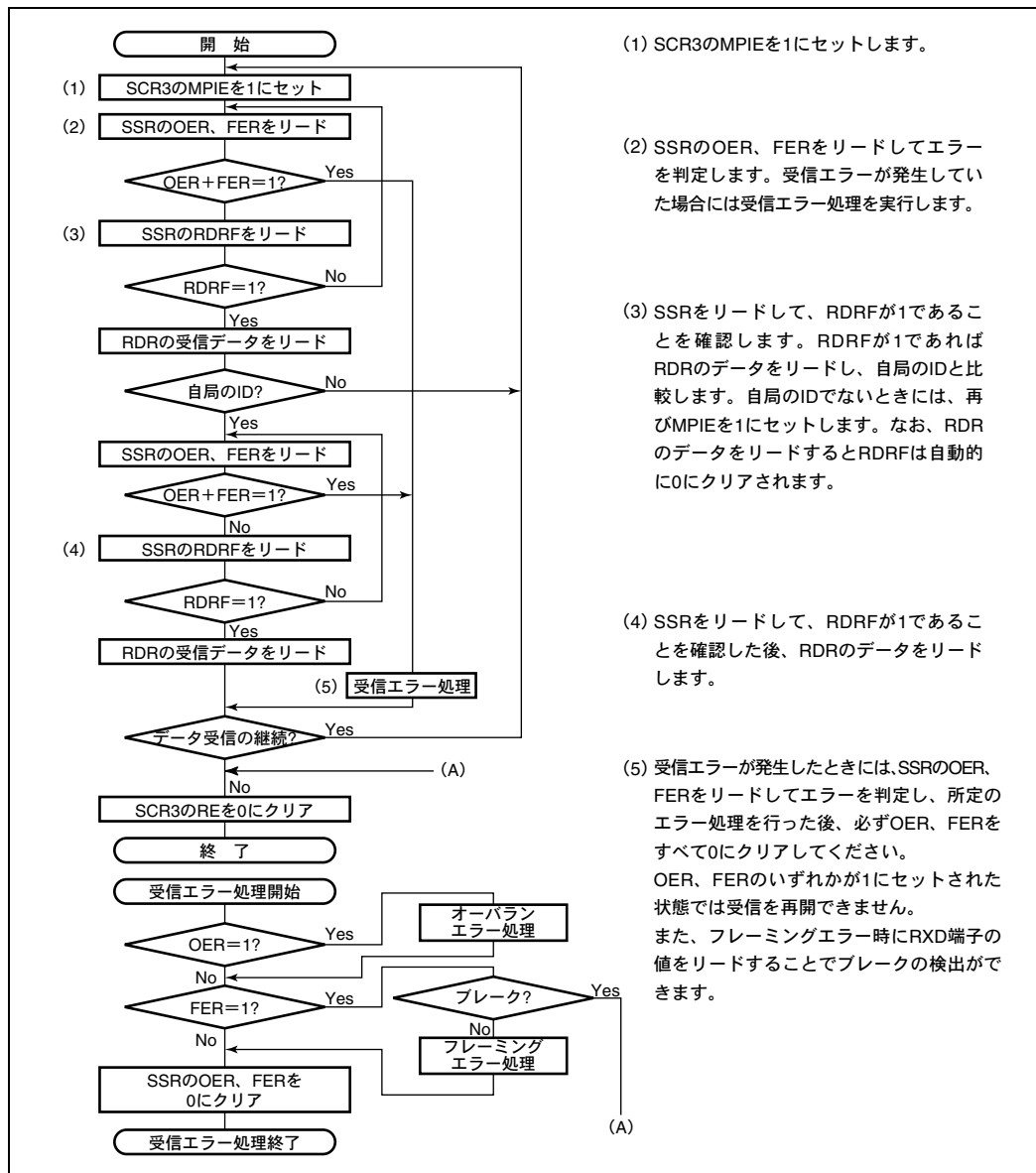


図 15.17 マルチプロセッサデータ受信のフローチャートの例

15. シリアルコミュニケーションインタフェース 3 (SCI3)

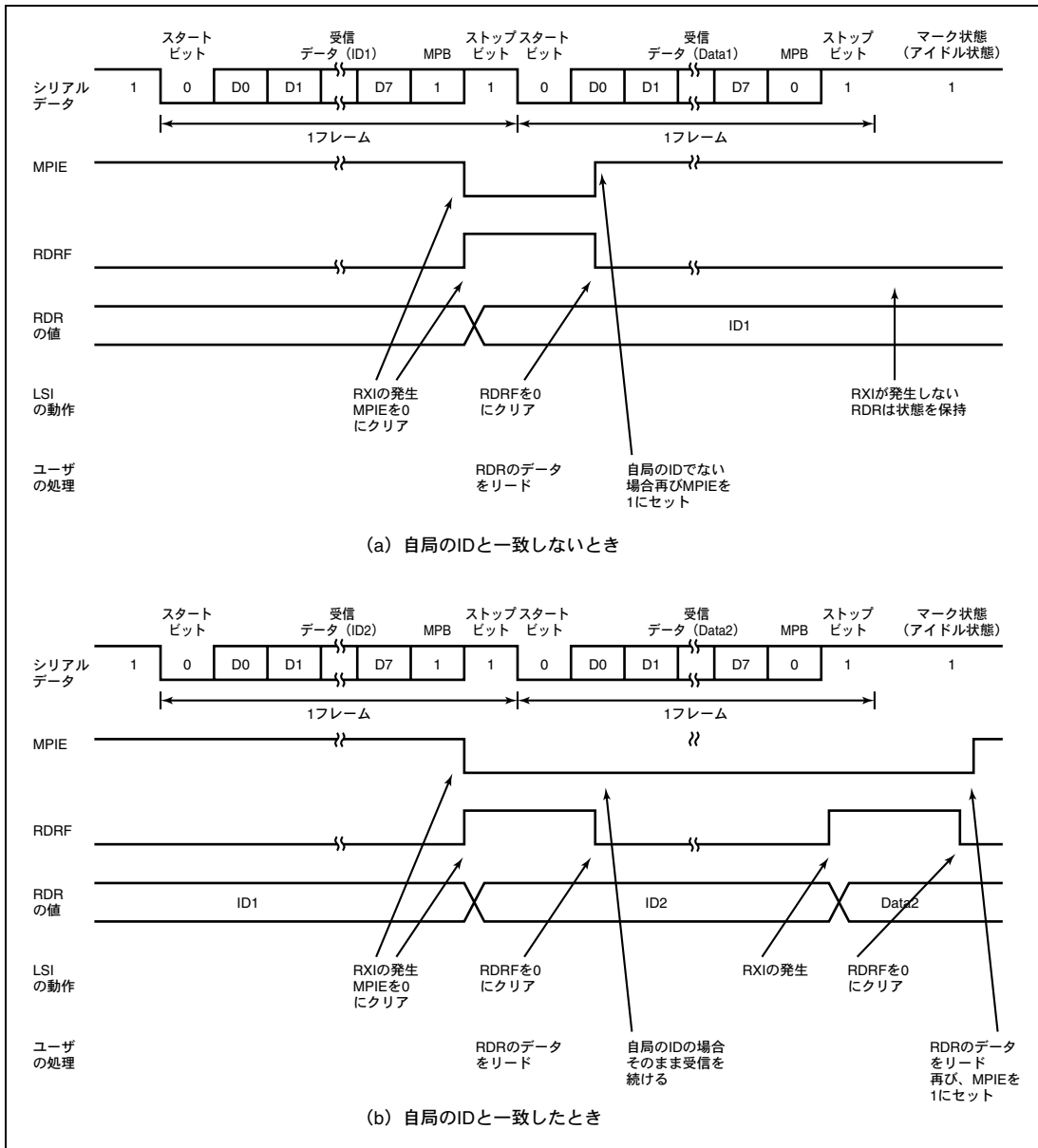


図 15.18 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

15.7 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があります。表 15.7 に各割り込み要求の内容を示します。

表 15.7 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因
受信データフル	RXI	SSR の RDRF のセット
送信データエンプティ	TXI	SSR の TDRE のセット
送信終了	TEI	SSR の TEND のセット
受信エラー	ERI	SSR の OER、FER、PER のセット

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットすると、送信データが準備されていなくても TXI が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットすると、送信データが送信されていなくても TEI が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求（TXI、TEI）の発生を防ぐには、送信データを TDR へ転送した後これらの割り込み要求に対応するイネーブルビット（TIE、TEIE）を 1 にセットしてください。

15.8 使用上の注意事項

15.8.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

15.8.2 マーク状態とブレークの送付

TE が 0 のとき、TXD 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD 端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR=1、PDR=1 を設定します。このとき、TE が 0 にクリアされていますので、TXD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、PCR=1、PDR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子は I/O ポートになり、TXD 端子から 0 が出力されません。

15.8.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.8.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立ち上がりエッジで内部に取り込みます。これを図 15.19 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5) F \right\} \times 100 \text{ [\%]} \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \text{ [\%]} = 46.875 \%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持た

15. シリアルコミュニケーションインタフェース 3 (SCI3)

せてください。

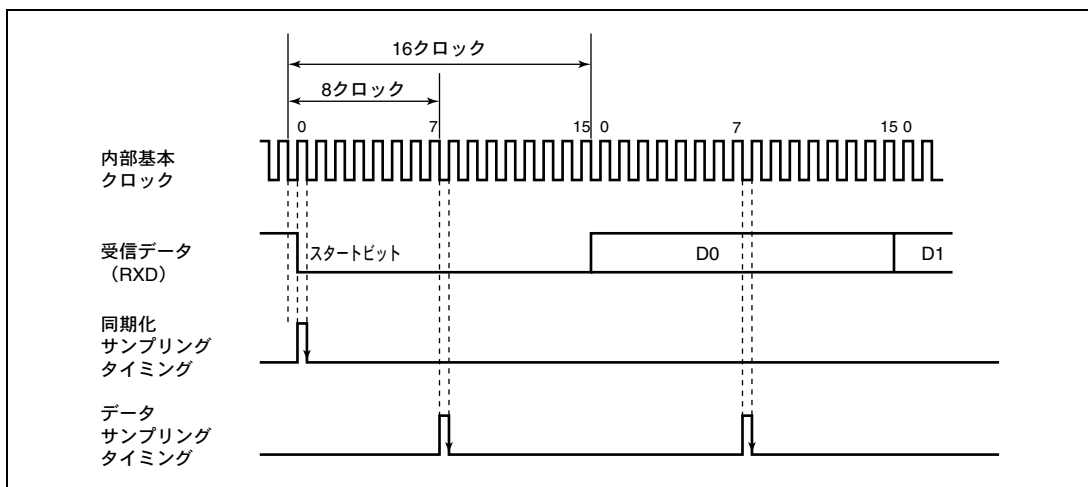


図 15.19 調歩同期式モードの受信データサンプリングタイミング

16. I²C バスインタフェース 2 (IIC2)

I²C バスインタフェース 2 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なります。I²C バスインタフェース 2 のブロック図を図 16.1 に、入出力端子の外部回路接続例を図 16.2 に示します。

16.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信/受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信/受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期/ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期シリアルフォーマット

- 割り込み要因：4種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー

16. I²C バスインタフェース 2 (IIC2)

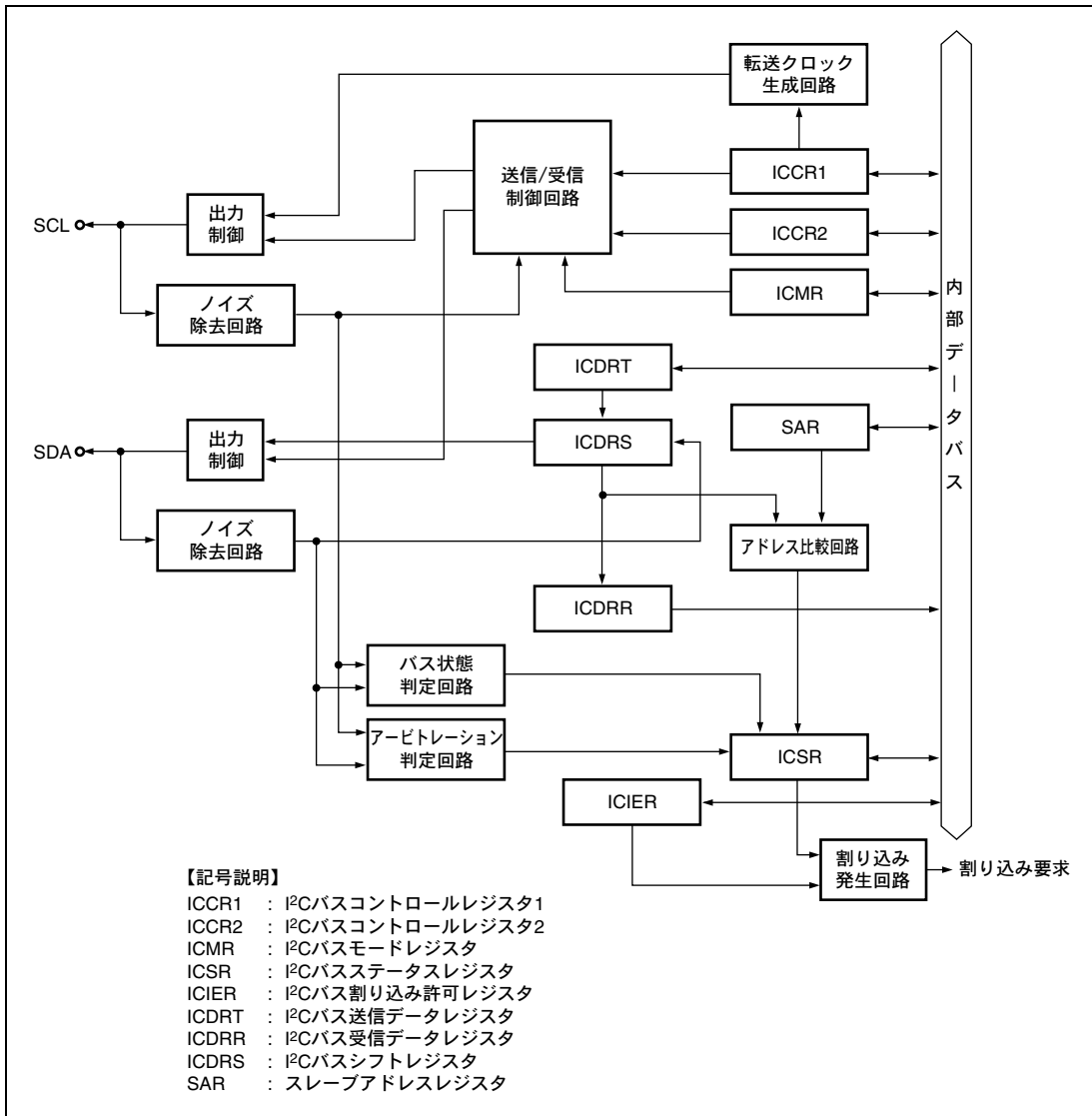


図 16.1 I²C バスインタフェース 2 のブロック図

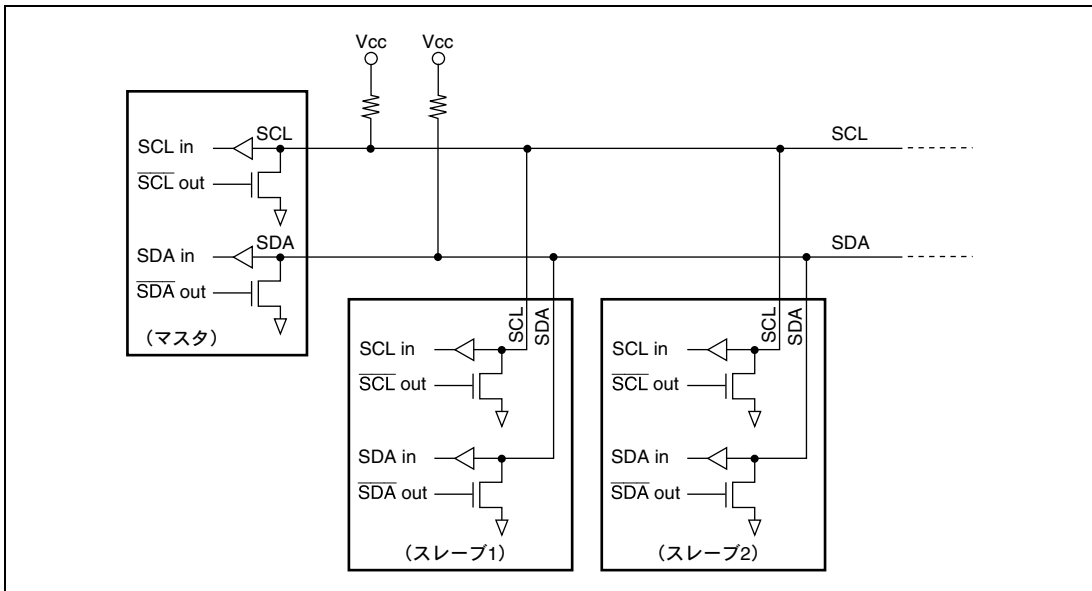


図 16.2 入出力端子の外部回路接続例

16.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 16.1 に示します。

表 16.1 端子構成

名 称	記号	入出力	機 能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

16.3 レジスタの説明

I²C バスインタフェース 2 には以下のレジスタがあります。

- I²C バスコントロールレジスタ 1 (ICCR1)
- I²C バスコントロールレジスタ 2 (ICCR2)
- I²C バスモードレジスタ (ICMR)
- I²C バスインタラプトイネーブルレジスタ (ICIER)
- I²C バスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I²C バス送信データレジスタ (ICDRT)
- I²C バス受信データレジスタ (ICDRR)
- I²C バスシフトレジスタ (ICDRS)

16. I²C バスインタフェース 2 (IIC2)

16.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は I²C バスインタフェース 2 の動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 2 イネーブル 0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディセーブル TRS=0の状態ではICDRRをリードしたときに次の動作の継続/禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送信/受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	転送クロック選択 3~0 マスタモードのとき、必要な転送レートに合わせて設定してください。転送レートについては、表 16.2 を参照してください。 スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。この時間は CKS3=0 のとき 10t _{cy} 、CKS3=1 のとき 20t _{cy} となります。

表 16.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート				
					φ=5MHz	φ=8MHz	φ=10MHz	φ=16MHz	φ=20MHz
0	0	0	0	φ/28	179kHz	286kHz	357kHz	571kHz	714kHz
			1	φ/40	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	φ/48	104kHz	167kHz	208kHz	333kHz	417kHz
			1	φ/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	φ/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	φ/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	φ/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	φ/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	φ/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	φ/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	φ/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	φ/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	φ/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	φ/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

16.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスインタフェース 2 のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有/開放状態を示すフラグ機能とマスタモードの開始/停止条件発行機能の 2 つがあります。クロック同期シリアルフォーマットの場合、本ビットは意味を持ちません。I²C バスフォーマットの場合、SCL=High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件/停止条件の発行は、MOV 命令を用いてください。</p>

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
6	SCP	1	R/W	<p>開始/停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードで開始条件/停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が Low レベル : ライト時、SDA 端子出力を Low レベルに変更</p> <p>1 : リード時、SDA 端子出力が High レベル : ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。</p>
3	SCLO	1	R	<p>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。</p>
2	—	1	—	<p>リザーブビットです。リードすると常に 1 が読み出されます。</p>
1	IICRST	0	R/W	<p>IIC コントロール部リセット</p> <p>IICRST は I²C のレジスタを除くコントロール部をリセットします。I²C の動作中に通信不具合等によりハングアップした時、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I²C のコントロール部をリセットすることができます。</p>
0	—	1	—	<p>リザーブビットです。リードすると常に 1 が読み出されます。</p>

16.3.3 I²C バスモードレジスタ (ICMR)

ICMR は MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときは 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT は I ² C バスフォーマットでマスタモード時に、アクリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクリッジを連続して転送します。 なお I ² C バスフォーマットのスレーブモードおよびクロック同期シリアルフォーマットの場合、本ビットの設定値は無効です。
5	—	1	—	リザーブビットです。リードすると常に 1 が読み出されます。
4	—	1	—	
3	BCWP	1	R/W	BC ライトプロテクト BC2~BC0 の書き込みを制御します。BC2~BC0 を書きかえる場合は、本ビットを 0 にして MOV 命令で行います。なおクロック同期シリアルモードでは BC の書き換えは行わないでください。 0 : ライト時、BC2~BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2~BC0 設定値は無効

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説 明
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

16.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可

ビット	ビット名	初期値	R/W	説 明
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止/許可を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可/禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクリリッジビット判定選択</p> <p>0: 受信アクリリッジの内容を無視して連続的に転送を行う。</p> <p>1: 受信アクリリッジが 1 の場合、転送を中断する。</p>
1	ACKBR	0	R	<p>受信アクリリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクリリッジビットの内容を格納しておくビットです。ライトは無効です。</p> <p>0: 受信アクリリッジ=0</p> <p>1: 受信アクリリッジ=1</p>
0	ACKBT	0	R/W	<p>送信アクリリッジ</p> <p>受信モード時、アクリリッジのタイミングで送出するビットを設定します。</p> <p>0: アクリリッジのタイミングで 0 を送出</p> <p>1: アクリリッジのタイミングで 1 を送出</p>

16. I²C バスインタフェース 2 (IIC2)

16.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件（再送含む）を発行したとき • スレーブモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立上がったとき • クロック同期シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRR をリードしたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [セット条件] <ul style="list-style-type: none"> • ICIER の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期フォーマットの場合、RDRF=1の状態最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき • クロック同期フォーマットの場合、RDRF=1の状態最終ビットを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6~SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき

16.3.6 スレーブアドレスレジスタ (SAR)

SAR はフォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	すべて 0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期シリアルフォーマット選択

16.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。

16.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

16.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

16.4 動作説明

I²C バスインタフェース 2 には、SAR の FS の設定により、I²C バスモードとクロック同期式シリアルモードで通信することができます。

16.4.1 I²C バスフォーマット

I²C バスフォーマットを図 16.3 に、I²C バスのタイミングを図 16.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

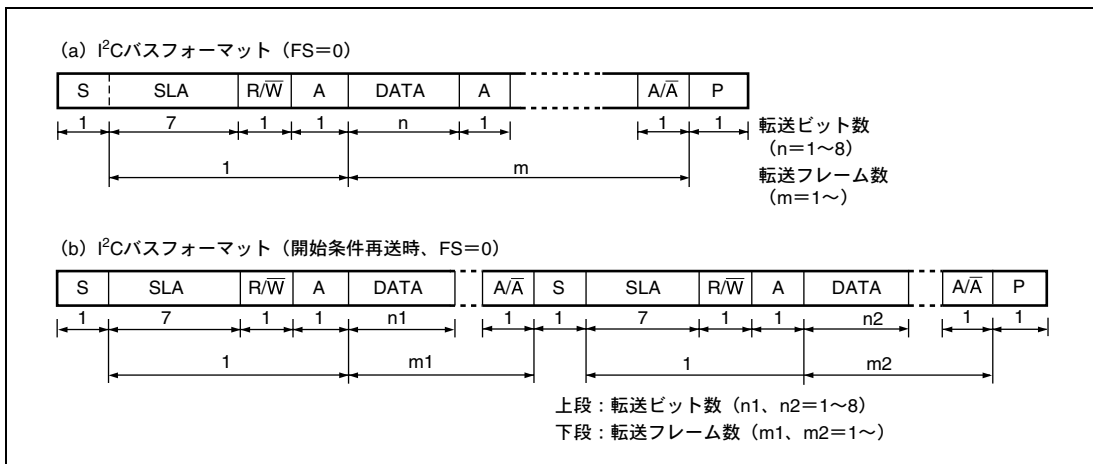


図 16.3 I²C バスフォーマット

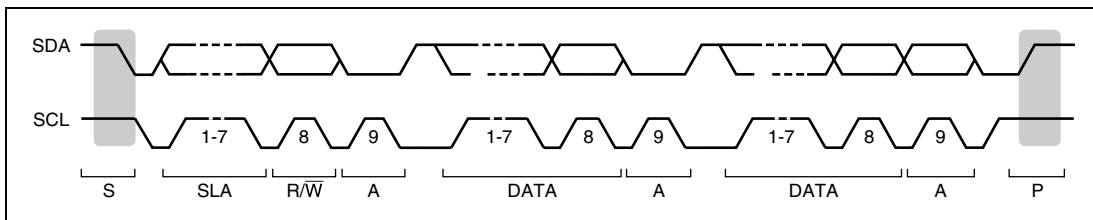


図 16.4 I²C バスタイミング

記号の説明

- S : 開始条件。マスタデバイスが SCL=High レベルの状態です。SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=High レベルの状態です。SDA を Low レベルから High レベルに変化させます。

16.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクリッジを返します。マスタ送信モードの動作タイミングについては図 16.5 と図 16.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスと $R\bar{W}$ を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

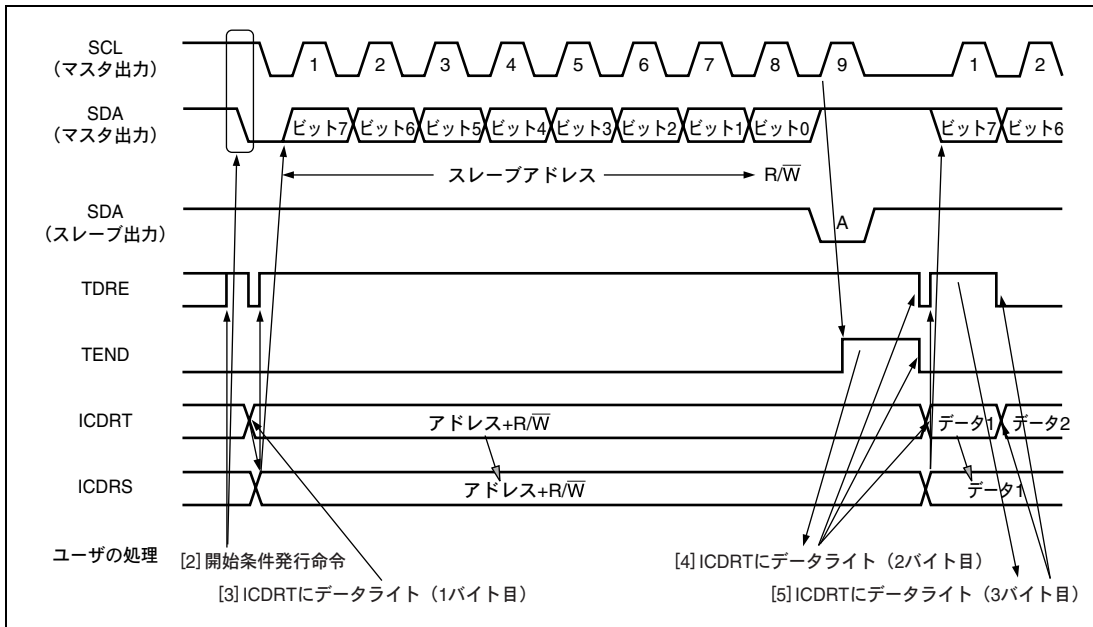


図 16.5 マスタ送信モード動作タイミング (1)

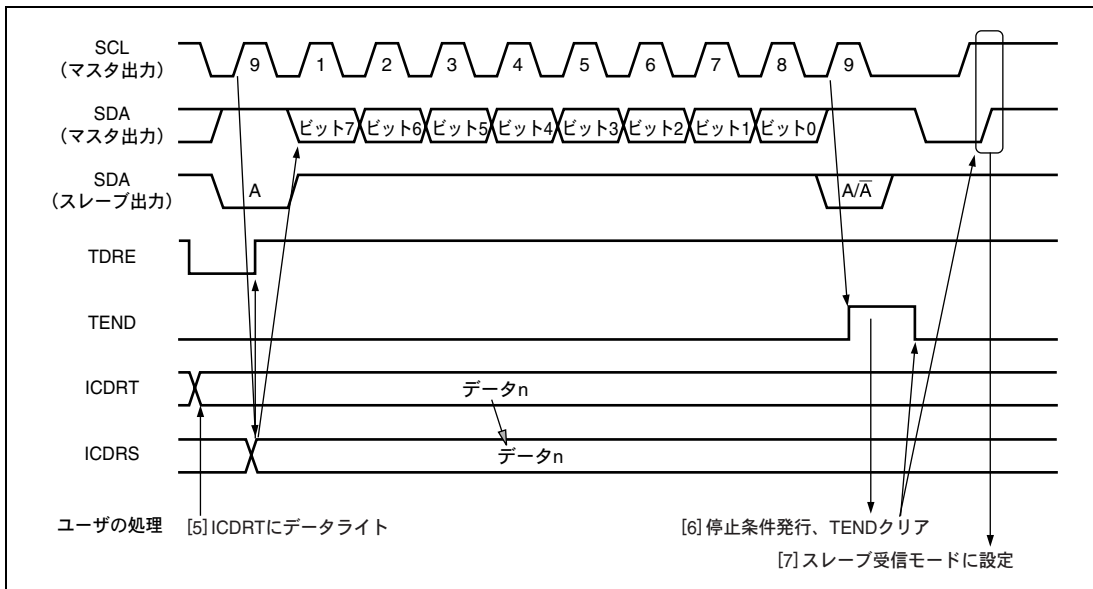


図 16.6 マスタ送信モード動作タイミング (2)

16.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してア
クノリッジを返します。マスタ受信モードの動作タイミングについては図 16.7 と図 16.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力しま
す。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが
セットされた状態でICDRRのリードが遅れて8クロック目が立下がった場合、ICDRRをリードするまでSCL
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

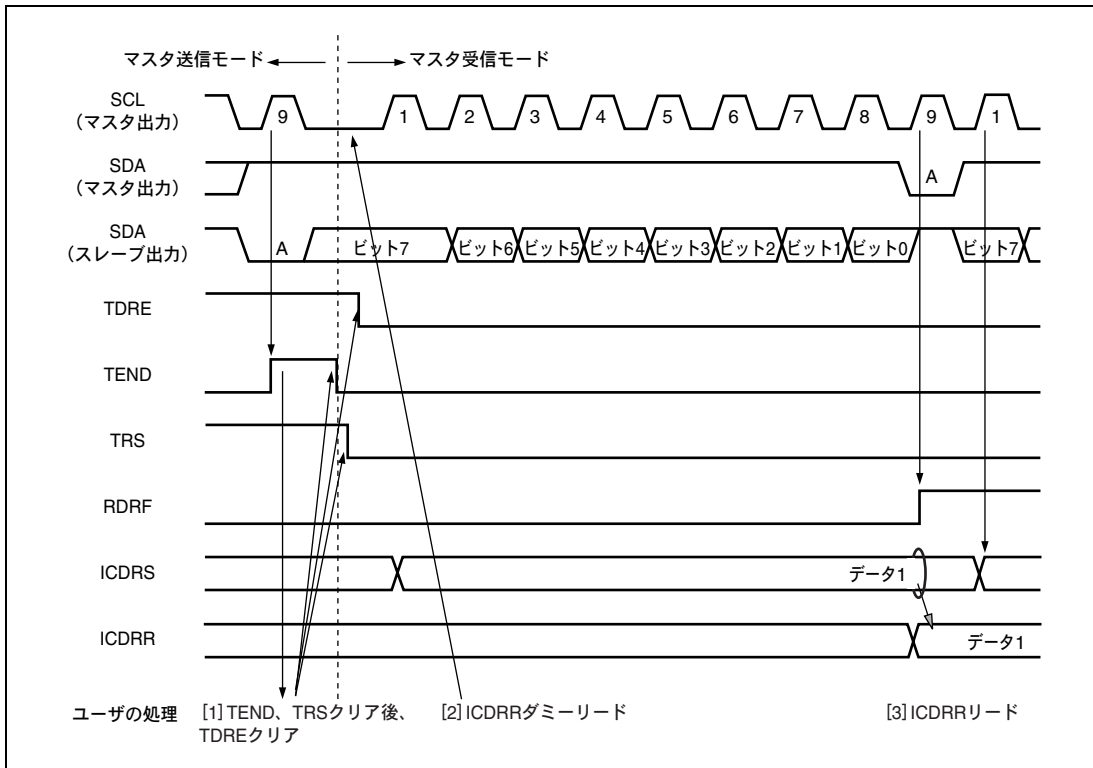


図 16.7 マスタ受信モード動作タイミング (1)

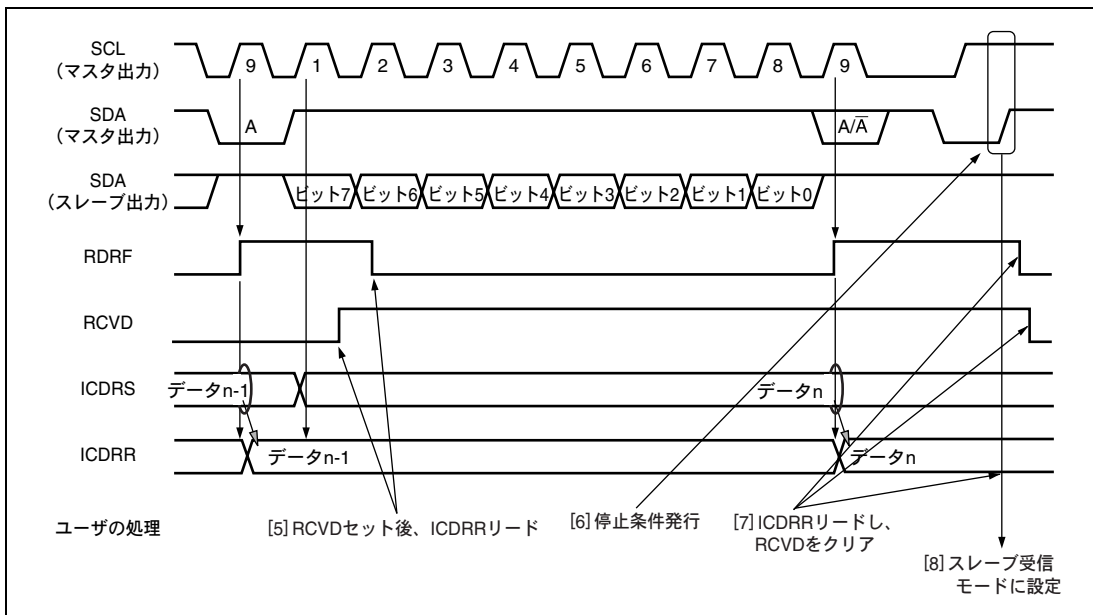


図 16.8 マスタ受信モード動作タイミング (2)

16.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 16.9 と図 16.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

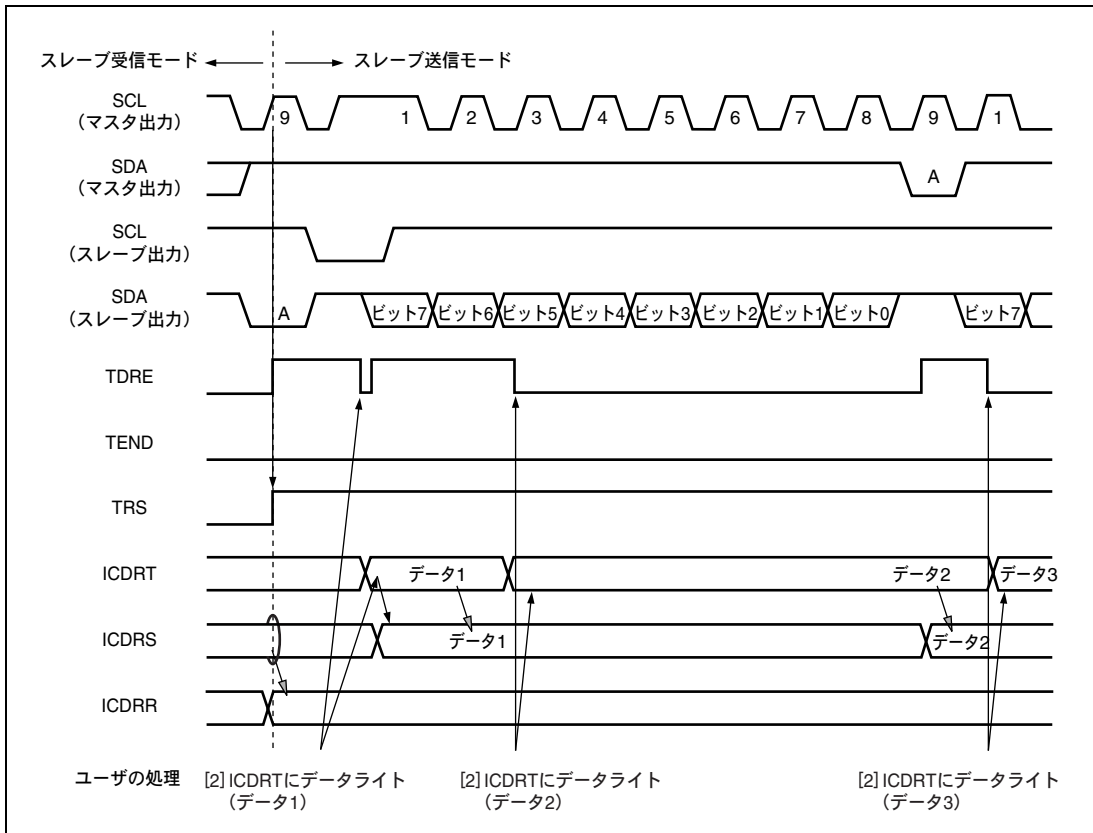


図 16.9 スレーブ送信モード動作タイミング (1)

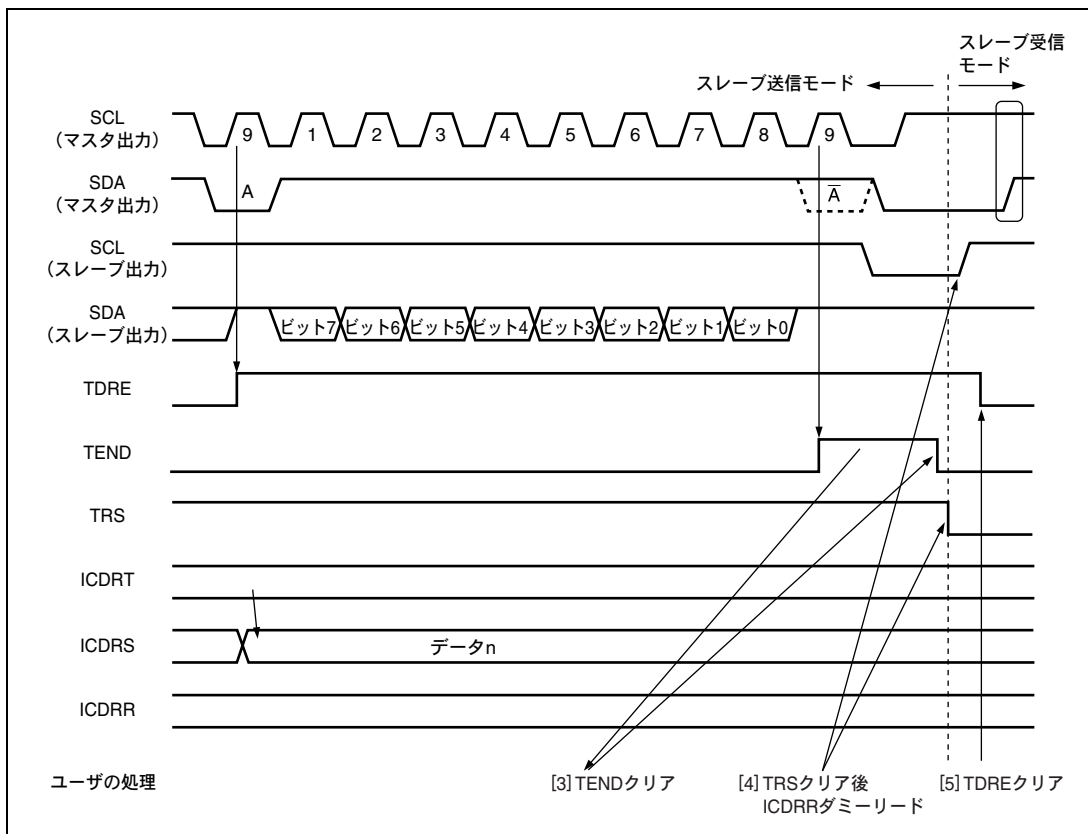


図 16.10 スレーブ送信モード動作タイミング (2)

16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ受信モードの動作タイミングについては図 16.11 と図 16.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされるので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立下がるとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

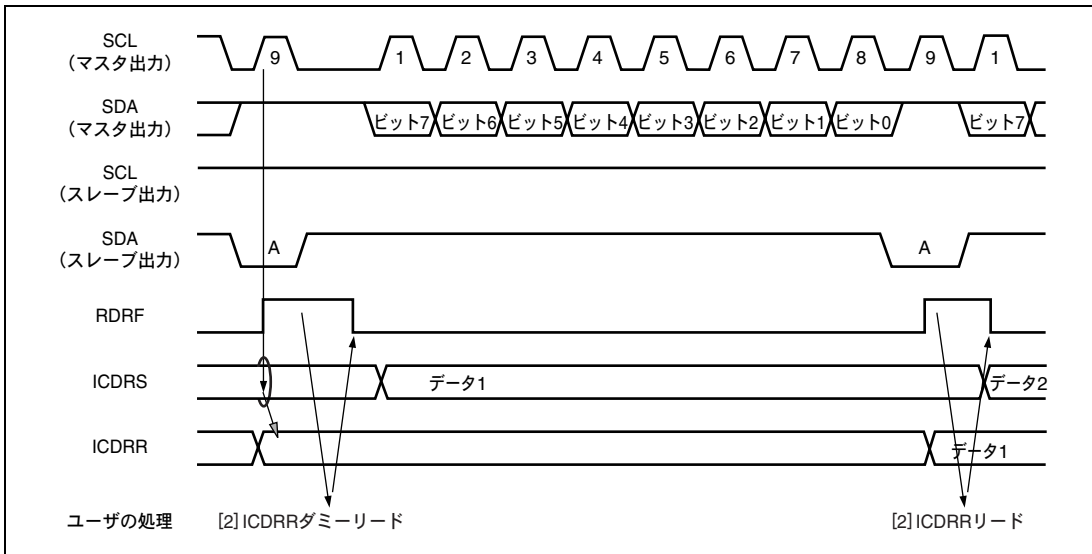


図 16.11 スレーブ受信モード動作タイミング (1)

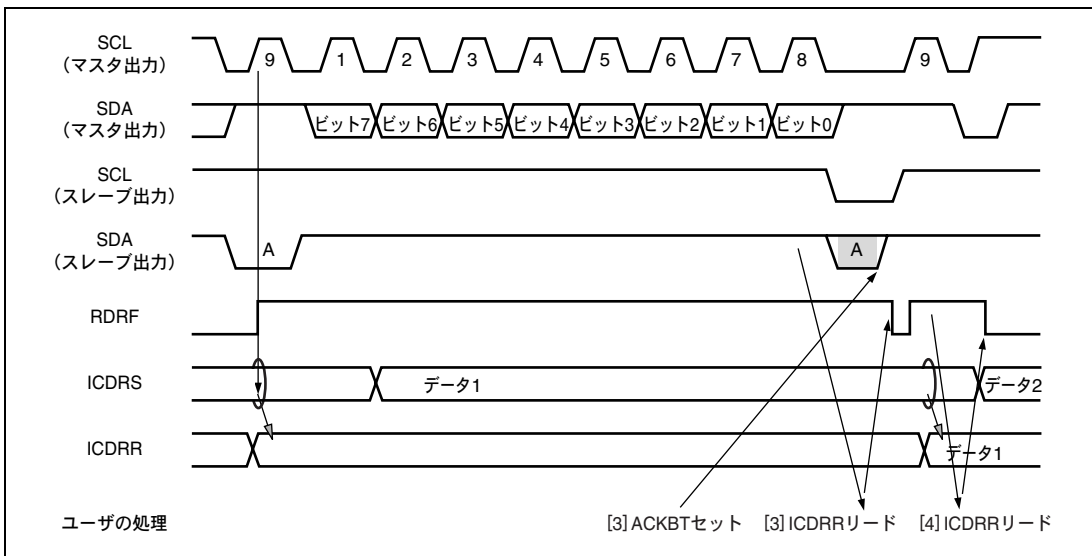


図 16.12 スレーブ受信モード動作タイミング (2)

16.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき外部クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルの転送フォーマットを図 16.13 に示します。

転送データは SCL クロックの立ち下がりに立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

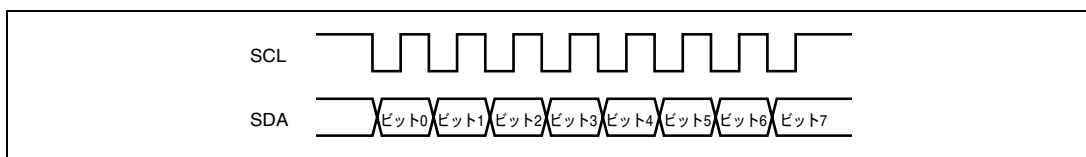


図 16.13 クロック同期式シリアルの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 16.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0などを設定します（初期設定）。
2. ICCR1のTRSをセットして送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

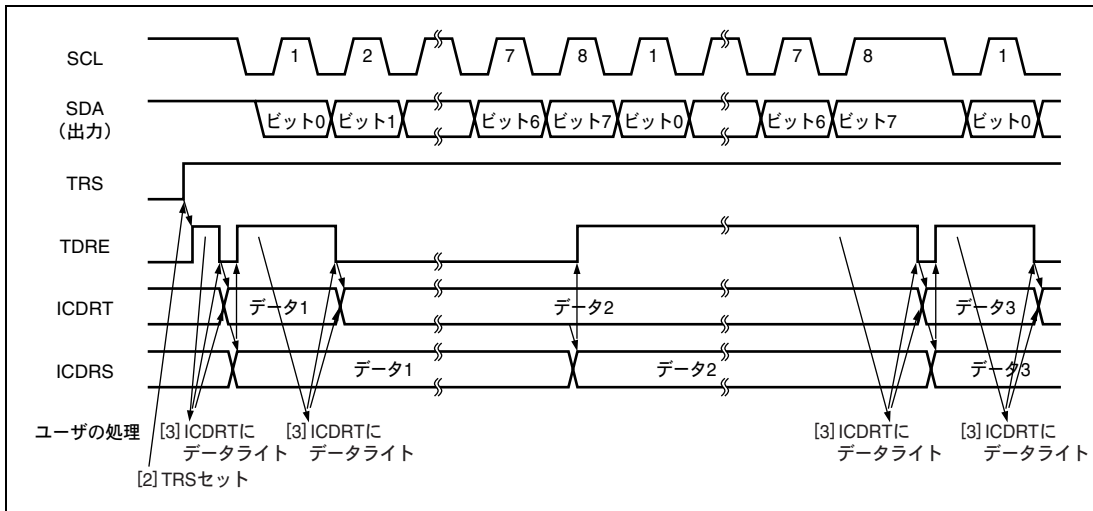


図 16.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 16.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立上がるとオーバーランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

16. I²C バスインタフェース 2 (IIC2)

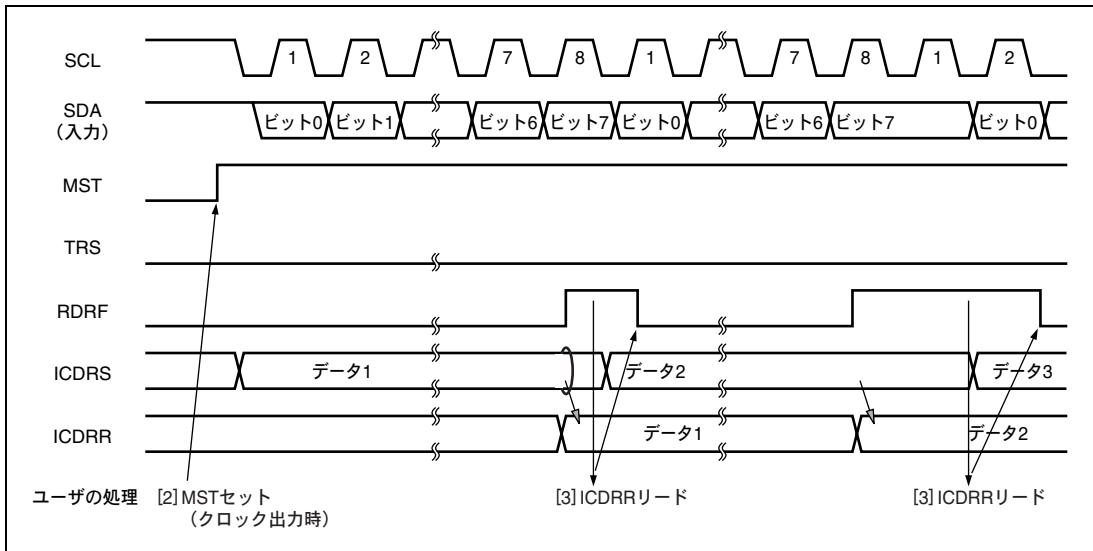


図 16.15 受信モード動作タイミング

16.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

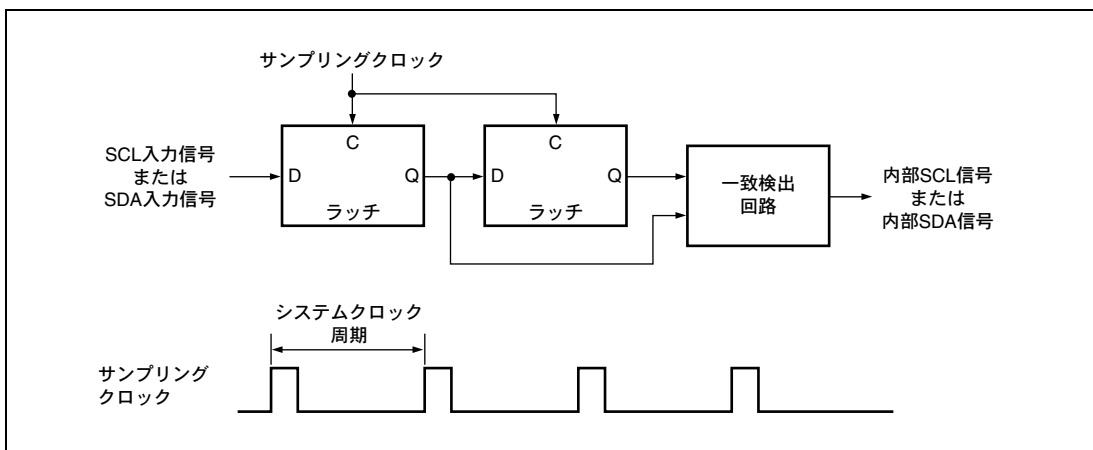


図 16.16 ノイズ除去回路のブロック図

16.4.8 使用例

I²C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 16.17～図 16.20 に示します。

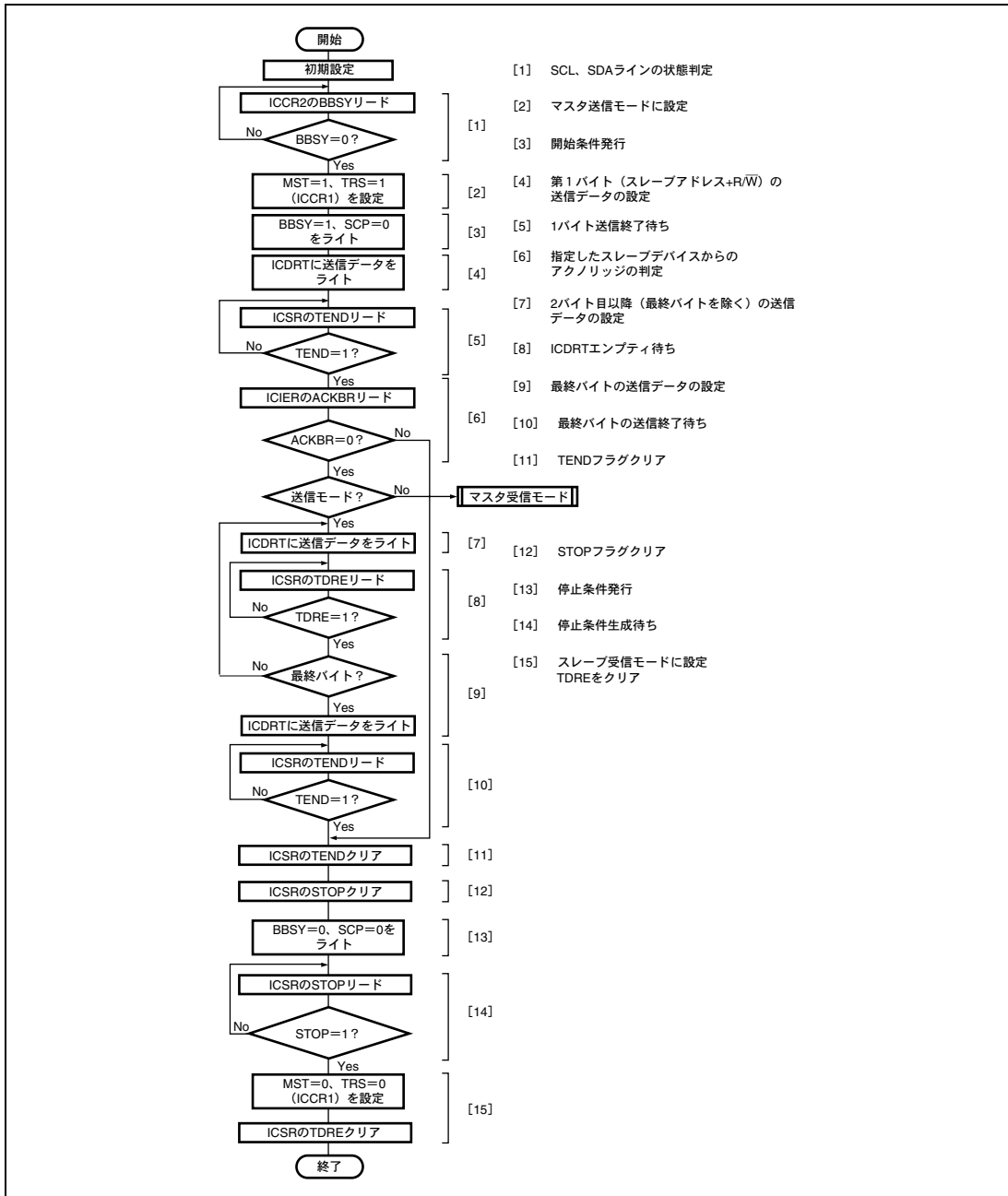


図 16.17 マスタ送信モードのフローチャート例

16. I²C バスインタフェース 2 (IIC2)

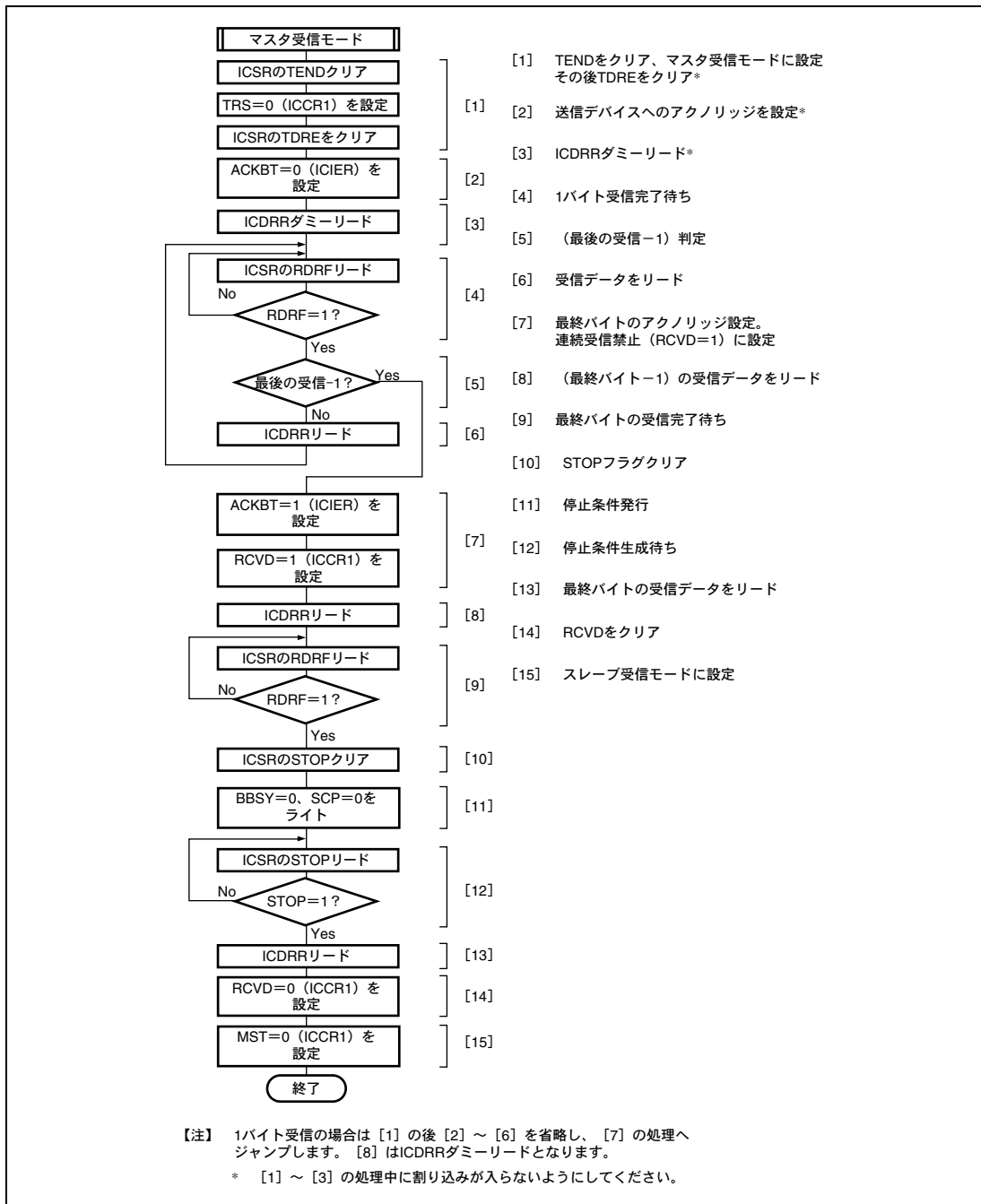


図 16.18 マスタ受信モードのフローチャート例

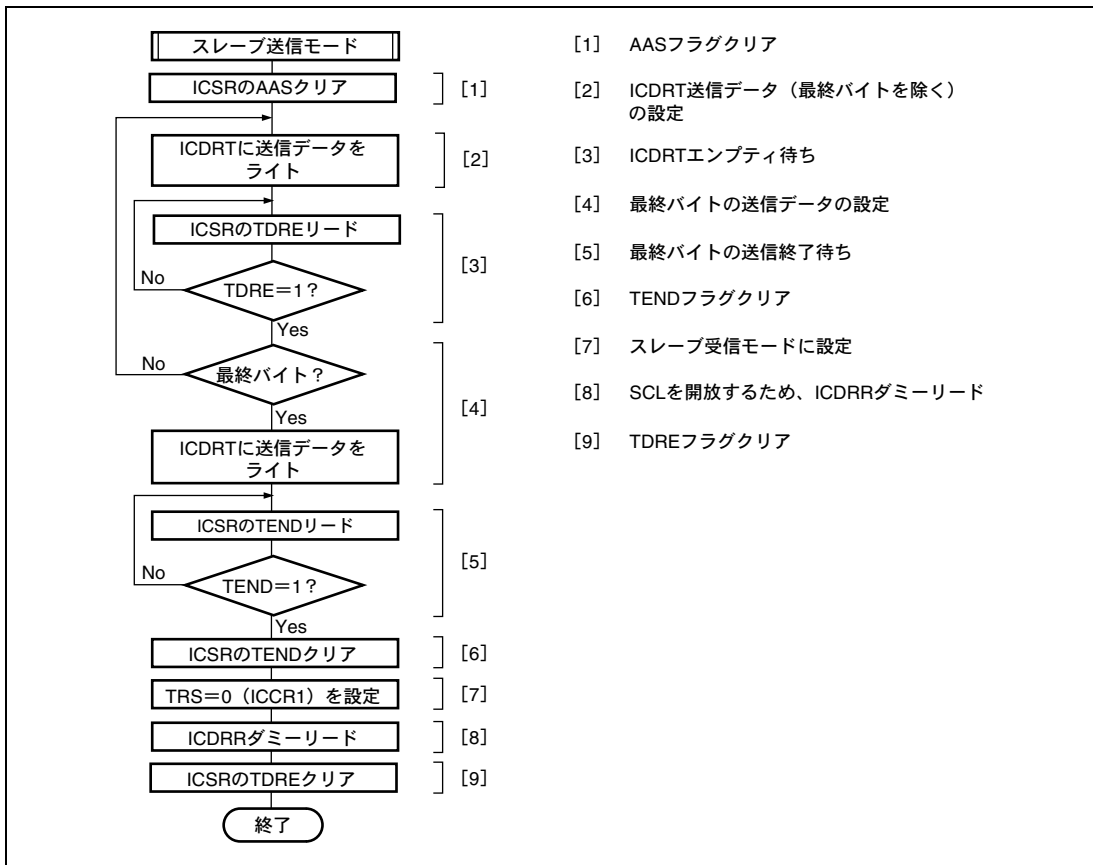


図 16.19 スレーブ送信モードフローチャート例

16. I²C バスインタフェース 2 (IIC2)

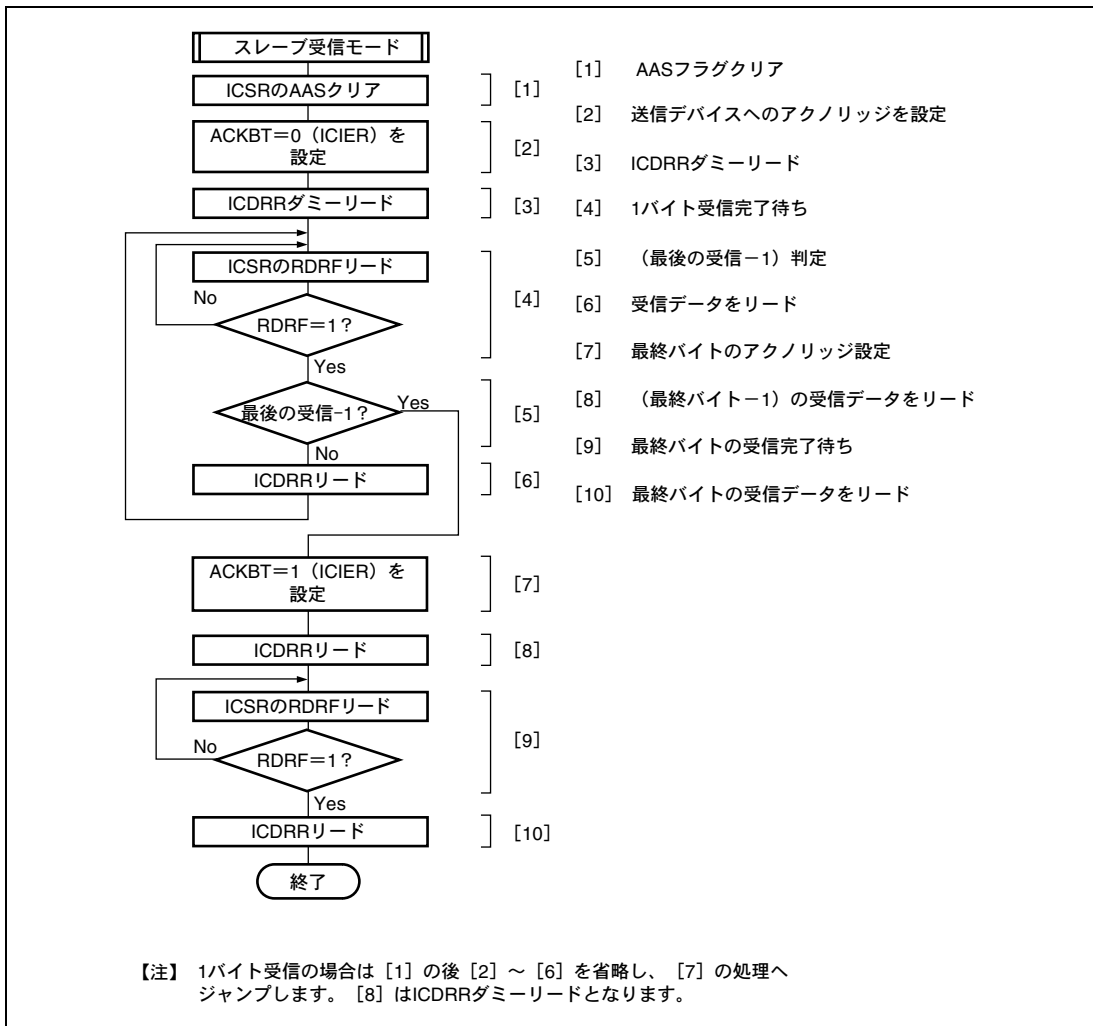


図 16.20 スレーブ受信モードフローチャート例

16.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 16.3 に各割り込み要求の内容を示します。

表 16.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C モード	クロック同期モード
送信データエンプティ	TXI	(TDRE=1)・(TIE=1)	○	○
送信終了	TEI	(TEND=1)・(TEIE=1)	○	○
受信データフル	RXI	(RDRF=1)・(RIE=1)	○	○
停止条件検出	STPI	(STOP=1)・(STIE=1)	○	×
NACK 検出	NAKI	{(NACKF=1)+(AL=1)}・(NAKIE=1)	○	×
アービトレーションロスト/ オーバランエラー			○	○

表 16.3 の割り込み条件が 1 がかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

16.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 16.21 に、SCL を Low 出力→Hi-Z にしてから SCL をモニタするまでの時間を表 16.4 に示します。

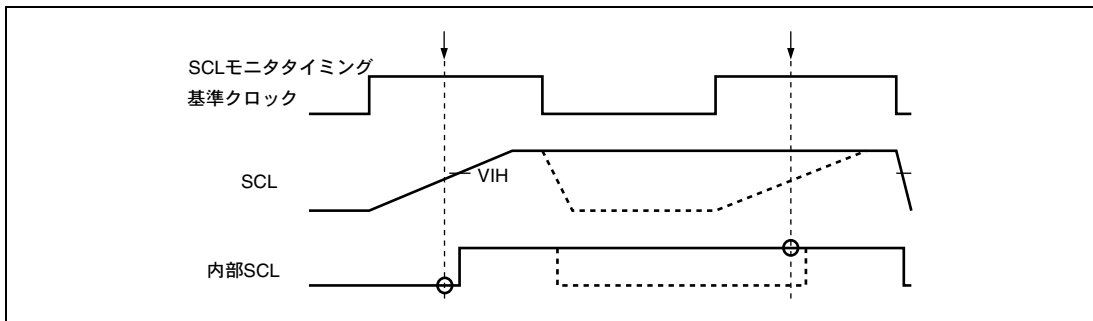


図 16.21 ビット同期回路のタイミング

表 16.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 t _{cy}
	1	19.5 t _{cy}
1	0	17.5 t _{cy}
	1	41.5 t _{cy}

16.7 使用上の注意事項

16.7.1 停止条件および開始条件（再送）の出力について

マスタモードにて、下記 1.または 2.の条件で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。

これを防ぐために、停止条件の発行および開始条件（再送）の発行は 9 クロック目の立ち下がりを確認してから行ってください。9 クロック目の立ち下がりには I²C コントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより確認できます。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「16.6 ビット同期回路」に規定されている時間以上なまっている場合
2. スレーブデバイスが8クロック目と9クロック目のLow期間を引っ張ってビット同期回路が働いた場合

16.7.2 I²C バスモードレジスタ (ICMR) の WAIT 設定について

WAIT ビットを 1 にセットして使用したとき、スレーブデバイスが SCL 端子の 8 クロック目と 9 クロック目の Low 期間を 2 転送クロック分以上、Low に引っ張ったときに、9 クロック目の High 期間が短くなる場合があります。これを防ぐために、ICMR の WAIT ビットは 0 に設定してください。

17. A/D 変換器

逐次比較方式の 10 ビットの A/D 変換器で、最大 8 チャンネルのアナログ入力を変換することができます。A/D 変換器のブロック図を図 17.1 に示します。

17.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 高速変換：1チャンネル当り最小3.5 μ s (20MHz動作時)
- 動作モード：2種類
 - 単一モード：1チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。
- サンプル&ホールド機能付き
- 変換開始方法：2種類
 - ソフトウェアまたは外部トリガ信号によるA/D変換の開始が可能
- 割り込み要因
 - A/D変換終了割り込み（ADI）要求を発生させることができます。

17. A/D 変換器

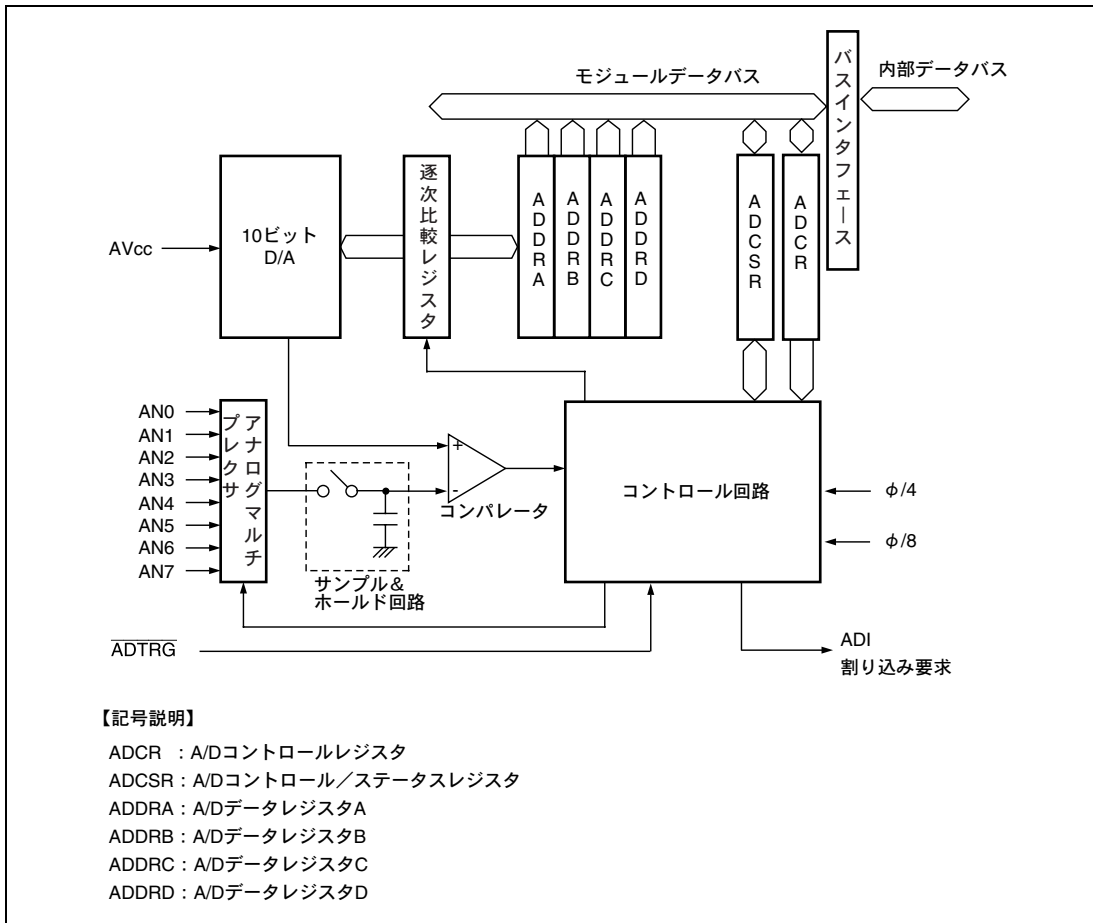


図 17.1 A/D 変換器のブロック図

17.2 入出力端子

A/D 変換器で使用する端子を表 17.1 に示します。8 本のアナログ入力端子は 2 グループに分割されており、アナログ入力端子 0～3 (AN0～AN3) がグループ 0、アナログ入力端子 4～7 (AN4～AN7) がグループ 1 になっています。AVcc 端子は A/D 変換器内のアナログ部の電源です。

表 17.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力端子

17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

17.3.1 A/D データレジスタ A～D (ADDRA～D)

A/D データレジスタは A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本あります。各アナログ入力チャネルの変換結果が格納される A/D データレジスタは表 17.2 のとおりです。

10 ビットの変換データは A/D データレジスタのビット 15 からビット 6 に格納されます。下位 6 ビットの読み出し値は常に 0 です。CPU との間のデータバスは 8 ビット幅で、上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータが読み出されます。このため A/D データレジスタをリードする場合は、ワードアクセスするか、バイトアクセス時は上位バイト、下位バイトの順でリードしてください。ADDR の初期値は H'0000 です。

17. A/D 変換器

表 17.2 アナログ入力チャンネルと A/D データレジスタの対応

アナログ入力チャンネル		変換結果が格納される A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

17.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換器の制御ビットと変換終了ステータスビットで構成されています。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/W	A/D エンドフラグ [セット条件] <ul style="list-style-type: none"> 単一モードで A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの変換が 1 回終了したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル このビットを 1 にセットすると ADF による A/D 変換終了割り込み要求 (ADI) がイネーブルになります。
5	ADST	0	R/W	A/D スタート このビットを 1 にセットすると A/D 変換を開始します。単一モードでは A/D 変換を終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換のモードを選択します。 0: 単一モード 1: スキャンモード
3	CKS	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 0: 変換時間=134 ステート (max) 1: 変換時間=70 ステート (max) 変換時間の切換えは、ADST=0 の状態で行ってください。

ビット	ビット名	初期値	R/W	説 明
2	CH2	0	R/W	チャンネルセレクト 2~0
1	CH1	0	R/W	アナログ入力チャンネルを選択します。
0	CH0	0	R/W	SCAN=0 のとき 000 : AN0 001 : AN1 010 : AN2 011 : AN3 100 : AN4 101 : AN5 110 : AN6 111 : AN7
				SCAN=1 のとき 000 : AN0 001 : AN0~AN1 010 : AN0~AN2 011 : AN0~AN3 100 : AN4 101 : AN4~AN5 110 : AN4~AN6 111 : AN4~AN7

17.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説 明
7	TRGE	0	R/W	トリガイネーブル このビットを 1 にセットすると外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち上がり、立ち下がりエッジでも A/D 変換を開始します。 外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち上がり、立ち下がりエッジ選択は割り込みエッジセレクトレジスタ 2 (IEGR2) の WPEG5 の設定に従います。
6~1	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。
0	—	0	R/W	リザーブビットです。リード/ライト可能ですが、1 に設定しないでください。

17.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードには単一モードとスキャンモードがあります。動作モードやアナログ入力チャネルの切換えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

17.4.1 単一モード

単一モードは指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了時、ADCSR の ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

17.4.2 スキャンモード

スキャンモードは指定された最大 4 チャネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャネル (CH2=0 のとき AN0, CH2=1 のとき AN4) から A/D 変換を開始します。
2. それぞれのチャネルの A/D 変換が終了すると A/D 変換結果は順次そのチャネルに対応する A/D データレジスタに転送されます。
3. 選択されたすべてのチャネルの A/D 変換が終了すると ADCSR の ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びグループの第 1 チャネルから A/D 変換を開始します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は、2~3 を繰り返します。ADST ビットを 0 にクリアすると A/D 変換は停止します。

17.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_{H} 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 17.2 に示します。また、A/D 変換時間を表 17.3 に示します。

A/D 変換時間は、図 17.2 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 17.3 に示す範囲で変化します。スキャンモードの変換時間は、表 17.3 に示す値が 1 回目の変換時間となりますが、2 回目以降は $CKS=0$ の場合は 128 ステート（固定）、 $CKS=1$ の場合は 66 ステート（固定）となります。

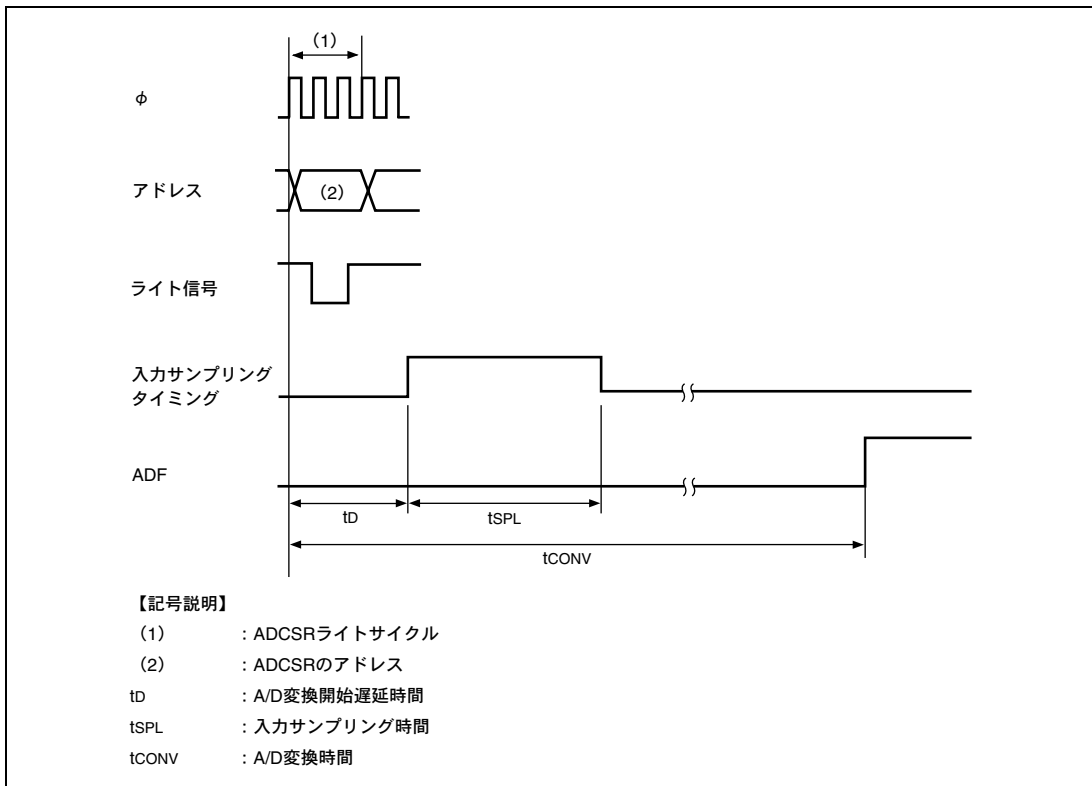


図 17.2 A/D 変換タイミング

表 17.3 A/D 変換時間（単一モード）

	記号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	131	—	134	69	—	70

【注】 表中の数値の単位はステートです。

17.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 17.3 に示します。

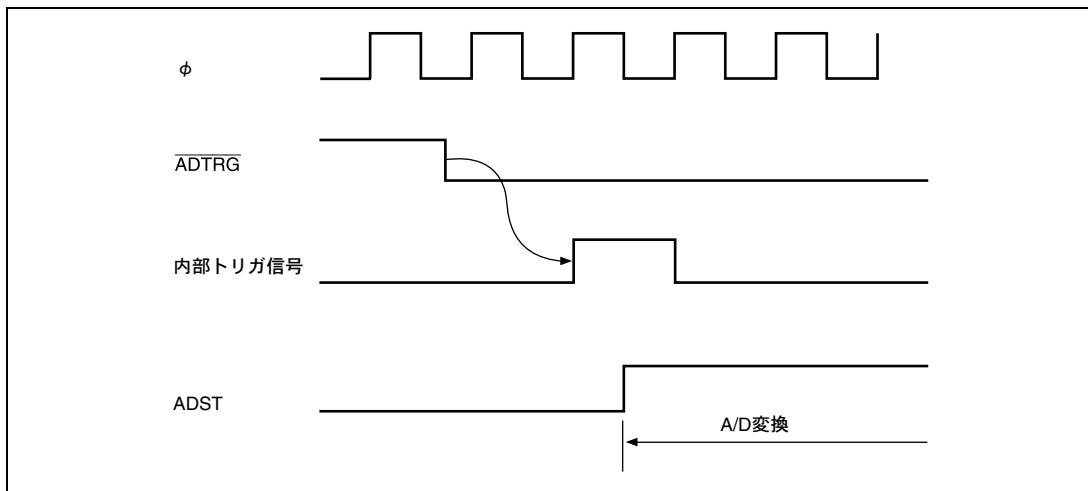


図 17.3 外部トリガ入力タイミング

17.5 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、 $1/2\text{LSB}$ で与えられる (図17.4)。

- オフセット誤差

デジタル出力が最小電圧値0000000000から0000000001に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図17.5)。

- フルスケール誤差

デジタル出力が1111111110から1111111111に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図17.5)。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

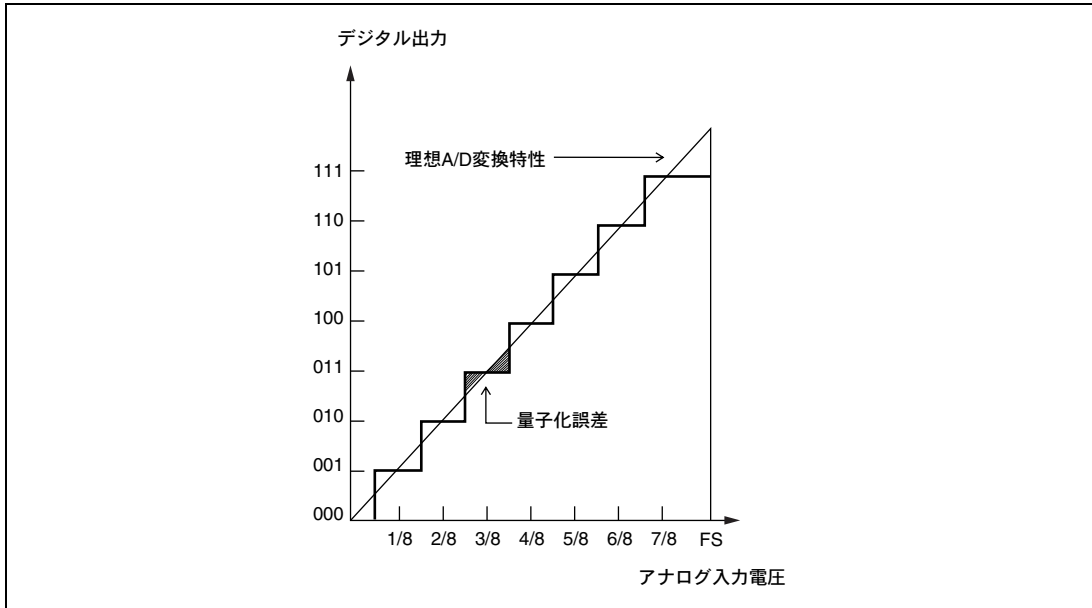


図 17.4 A/D 変換精度の定義 (1)

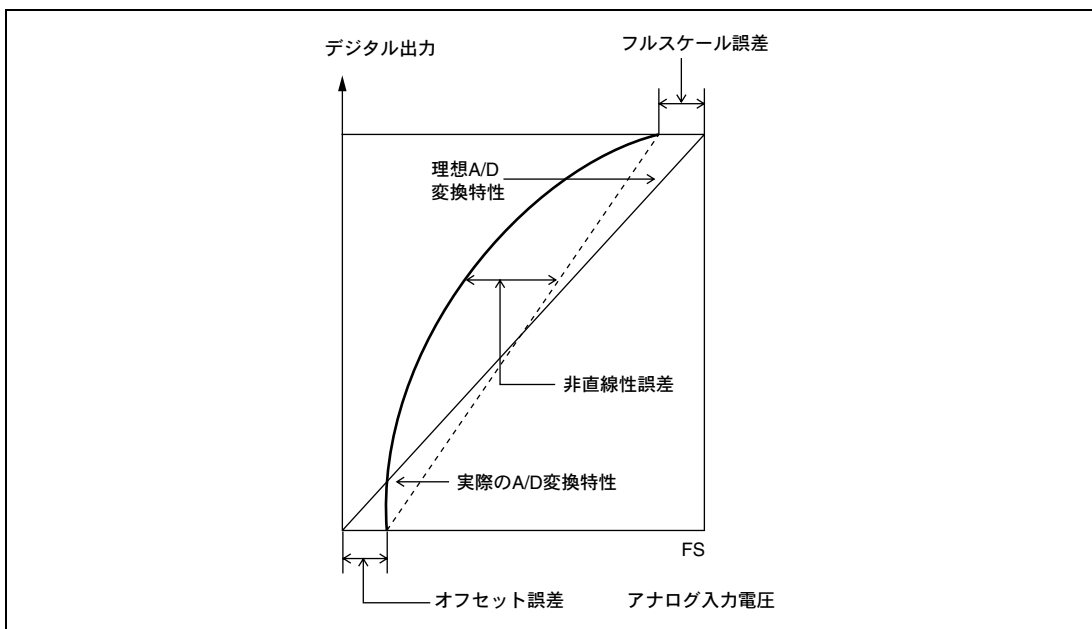


図 17.5 A/D 変換精度の定義 (2)

17.6 使用上の注意事項

17.6.1 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出カインピーダンスが $5k\Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が $5mV/\mu s$ 以上）には追従できない場合があります（図 17.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

17.6.2 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定な GND に接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

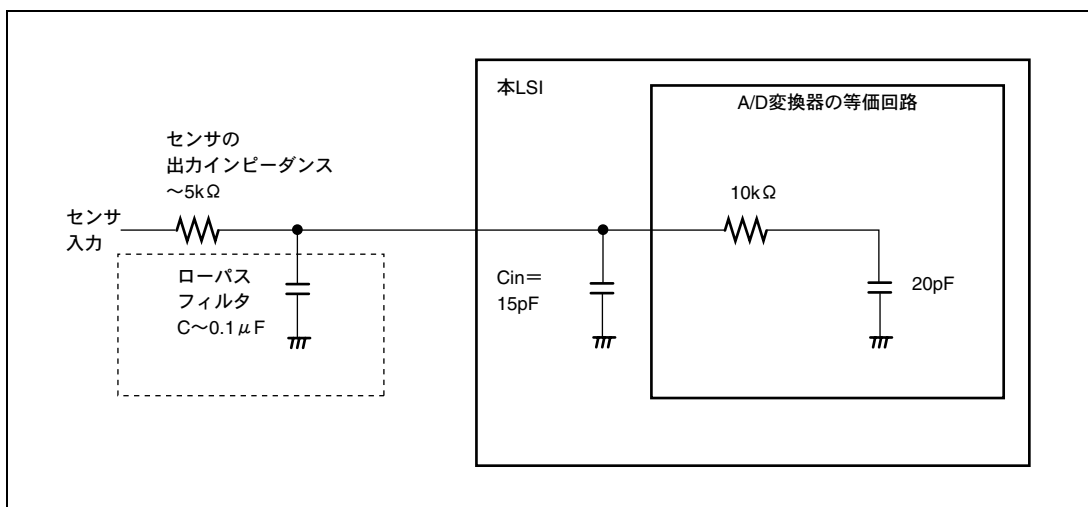


図 17.6 アナログ入力回路の例

18. パワーオンリセット&低電圧検出回路

H8/36064 はパワーオンリセット回路、および低電圧検出回路を内蔵しています。

低電圧検出回路は、低電圧検出割り込み回路（LVDI：Interrupt by Low Voltage Detect）と、低電圧検出リセット回路（LVDR：Reset by Low Voltage Detect）から構成されます。

本回路は、電源電圧降下による本 LSI の異常動作（暴走）を防ぎ、かつ電源電圧の再上昇時に電源電圧降下前の状態を再現するために使われる回路です。

電源電圧が降下しても、動作保証電圧以上でかつ正常動作中にスタンバイモードに遷移することで、電源電圧が動作保証電圧以下へ降下したときの不安定な状態をなくし、システムの安全性を高められます。さらに電源電圧が降下してしまった場合には自動的にリセット状態に遷移します。再度電源電圧が上昇すると一定時間リセット状態を保持してからアクティブモードに自動的に遷移します。

パワーオンリセット回路および低電圧検出回路のブロック図を図 18.1 に示します。

18.1 特長

- パワーオンリセット回路

外部にコンデンサを接続することにより、電源投入時に内部リセット信号を発生

- 低電圧検出回路

低電圧検出リセット回路：電源電圧を監視して、一定電圧以下になった場合に内部リセット信号を発生

低電圧検出割り込み回路：電源電圧を監視して、一定電圧より降下または上昇した場合に割り込みを発生

リセット発生電圧を検知するレベルは、低電圧検出リセット回路のみ使用する場合と、低電圧検出割り込み回路と低電圧検出リセット回路を併用する場合の 2 種類選択可能です。

18. パワーオンリセット&低電圧検出回路

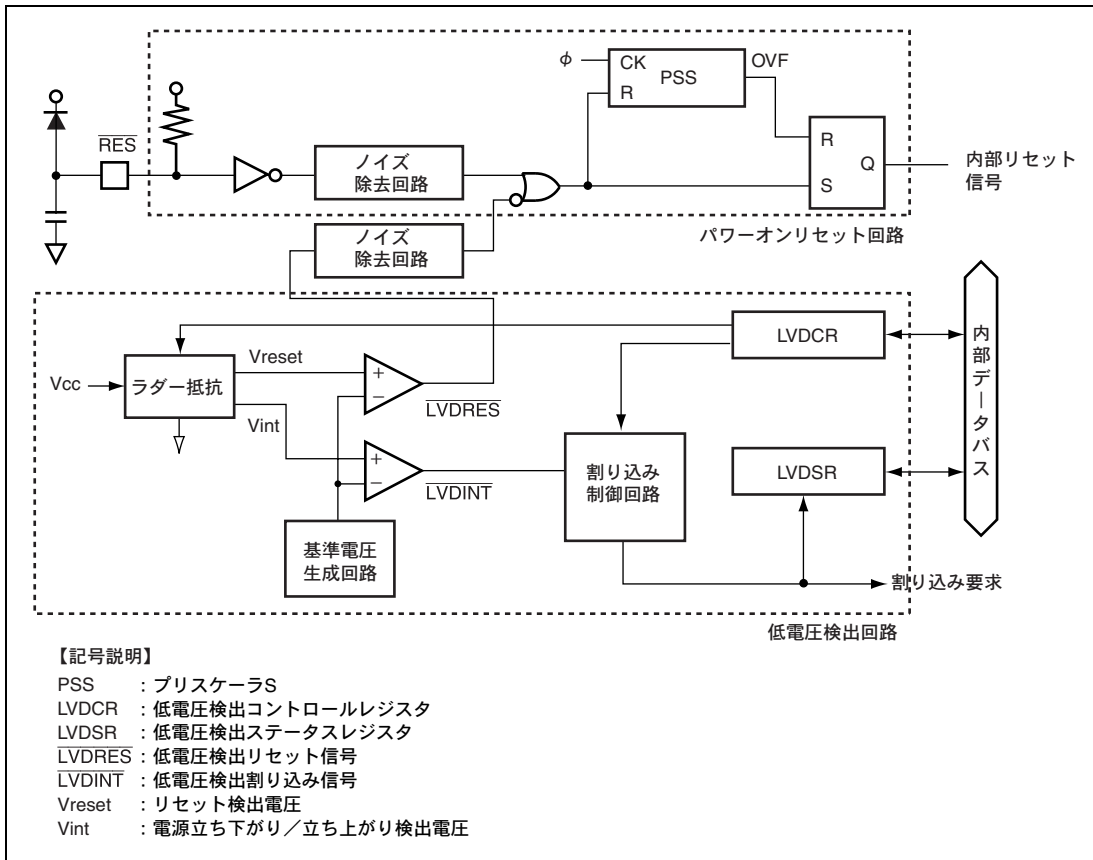


図 18.1 パワーオンリセット回路および低電圧検出回路ブロック図

18.2 レジスタの説明

低電圧検出回路には以下のレジスタがあります。

- 低電圧検出コントロールレジスタ (LVDCR)
- 低電圧検出ステータスレジスタ (LVDSR)

18.2.1 低電圧検出コントロールレジスタ (LVDCR)

LVDCR は低電圧検出回路を使用するかしないか、LVDR 検出レベルの設定、低電圧検出リセット回路によるリセットを許可/禁止、電源電圧降下および上昇による割り込み許可/禁止の制御を行います。

表 18.1 に LVDCR の設定値と選択機能の関係を示します。LVDCR は表 18.1 の設定にしてください。

ビット	ビット名	初期値	R/W	説明
7	LVDE	0*	R/W	LVD イネーブル 0: 低電圧検出回路は未使用 (スタンバイ状態) 1: 低電圧検出回路を使用
6~4	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。
3	LVDSSEL	0*	R/W	LVDR 検出レベル選択 0: リセット検知電圧 2.3V(typ.) 1: リセット検知電圧 3.6V(typ.) 立ち下がり電圧検知、立ち上がり電圧検知割り込み使用時は 2.3V(typ.)リセットを使用してください。また、リセット検知のみ使用時は 3.6V(typ.)リセットを使用してください。
2	LVDRRE	0*	R/W	LVDR イネーブル 0: LVDR によるリセットを禁止 1: LVDR によるリセットを許可
1	LVDDDE	0	R/W	電圧降下時割り込みイネーブル 0: 電圧降下時の割り込み要求を禁止 1: 電圧降下時の割り込み要求を許可
0	LVDDUE	0	R/W	電圧上昇時割り込みイネーブル 0: 電圧上昇時の割り込み要求を禁止 1: 電圧上昇時の割り込み要求を許可

【注】 * LVDR によるリセットでは初期化されません。パワーオンリセット、ウォッチドッグタイマリセットで初期化されません。

18. パワーオンリセット&低電圧検出回路

表 18.1 LVDCR の設定と選択機能

LVDCR 設定値					選択機能			
LVDE	LVDSSEL	LVDRE	LVDDE	LVDUE	パワーオン リセット	低電圧検出 リセット	低電圧検出 立ち下がり 割り込み	低電圧検出 立ち上がり 割り込み
0	*	*	*	*	○	—	—	—
1	1	1	0	0	○	○	—	—
1	0	0	1	0	○	—	○	—
1	0	0	1	1	○	—	○	○
1	0	1	1	1	○	○	○	○

【注】 * の設定値は無効です。

18.2.2 低電圧検出ステータスレジスタ (LVDSR)

LVDSR は電源電圧がある一定電圧より降下または上昇したことを示します。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて1	—	リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。
1	LVDDF	0*	R/W	LVD 電源電圧降下フラグ [セット条件] 電源電圧が Vint(D) (typ.=3.7V)以下に降下したとき [クリア条件] 1の状態をリードした後、0をライトしたとき
0	LVDFU	0*	R/W	LVD 電源電圧上昇フラグ [セット条件] LVDCR の LVDUE ビットを1にセットした状態で電源電圧が Vint(D)以下に降下し、Vreset1 (typ.=2.3V)以下に降下する前に Vint(U) (typ.=4.0V)以上に上昇したとき [クリア条件] 1の状態をリードした後、0をライトしたとき

【注】 * LVDR によるリセットで初期化されます。

18.3 動作説明

18.3.1 パワーオンリセット回路

パワーオンリセット回路の動作タイミングを図 18.2 に示します。電源電圧の上昇により、内蔵のプルアップ抵抗 (typ. 150kΩ) を介して $\overline{\text{RES}}$ 端子に外付けされたコンデンサが徐々に充電されます。この $\overline{\text{RES}}$ 端子の状態が内部に伝わり、プリスケアラ S およびチップ全体がリセットされます。 $\overline{\text{RES}}$ 端子のレベルが一定レベルまで上昇すると、プリスケアラ S のリセットが解除され、カウントアップを始めます。プリスケアラ S が ϕ を 131,072 回カウントすると OVF 信号が発生し、内部リセット信号が解除されます。なお、チップ内部に $\overline{\text{RES}}$ 端子のノイズによる誤動作を避けるため、100ns 程度のノイズ除去回路が内蔵されています。

LSI が安定して動作するためには電源が規定時間以内に立ち上がる必要があります。電源立ち上がり時間 (t_{PWON}) の最大値は、発振周波数 (f_{osc}) と $\overline{\text{RES}}$ 端子に接続する容量 (C_{RES}) で定義されます。電源立ち上がり時間は電源電圧の 90% まで到達する時間とすると

$$t_{\text{PWON}}(\text{ms}) \leq 90 \times C_{\text{RES}}(\mu\text{F}) + 162/f_{\text{osc}}(\text{MHz})$$

$$(t_{\text{PWON}} \leq 3000\text{ms}, C_{\text{RES}} \geq 0.22 \mu\text{F}, 2 \sim 10\text{MHz 時は } f_{\text{osc}} = 10 \text{ とする})$$

の式を満足するように電源回路を設計してください。

ただし、電源電圧 V_{cc} は $V_{\text{por}}=100\text{mV}$ 以下まで必ず立ち下げ、 $\overline{\text{RES}}$ 端子の電荷が十分に抜けてから立ち上げてください。 $\overline{\text{RES}}$ 端子の電荷を引き抜くためにはダイオードを V_{cc} 側に付けることを推奨します。 V_{por} を超えたところから電源電圧 V_{cc} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

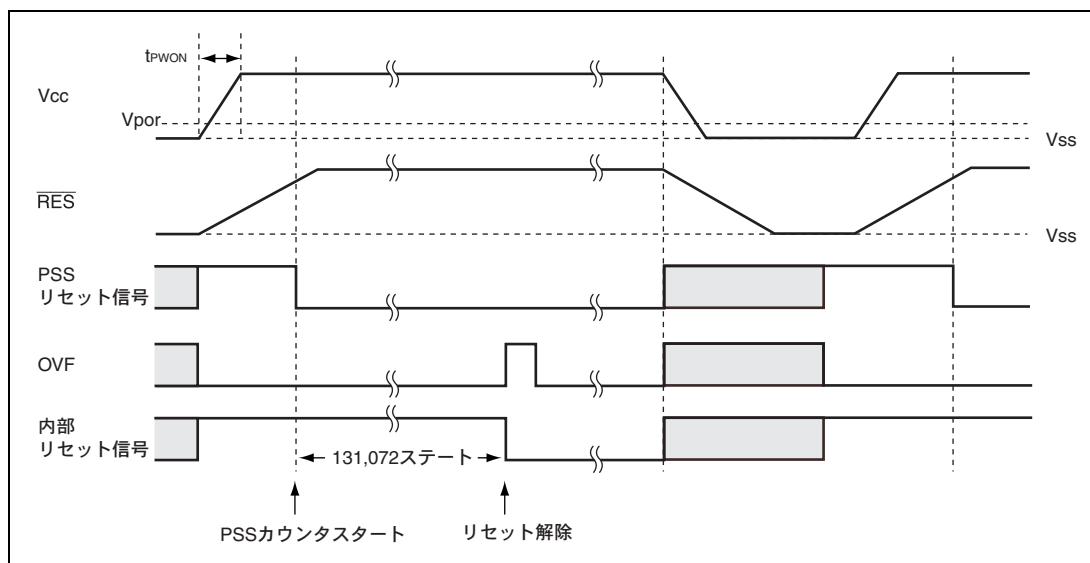


図 18.2 パワーオンリセット回路動作タイミング

18.3.2 低電圧検出回路

(1) 低電圧検出リセット回路 (LVDR)

LVDR の動作タイミングを図 18.3 に示します。LVDR はパワーオンリセット解除後、モジュールスタンバイ状態になります。LVDR を動作させるためには、LVDCR の LVDE ビットを 1 にセットし、基準電圧および低電圧検出電源が安定するまでの時間 t_{LVDRON} (50 μ s) をソフトウェアタイマ等で待った後、LVDCR の LVDRE ビットを 1 にセットします。必ず、この後にポートの出力設定を行なってください。また、低電圧検出回路を解除する場合は、LVDRE ビットを 0 にクリアした後、LVDE ビットを 0 にクリアします。誤動作の原因となるため、LVDE ビットは LVDRE ビットと同時にクリアしないでください。

LVDR は電源電圧が低下して V_{reset} 電圧 (typ.=2.3V または 3.6V) 以下になると、 \overline{LVDRES} 信号が 0 となり、プリスケアラ S がリセットされます。パワーオンリセットが働かない限り、低電圧検出リセット状態を継続します。電源電圧が再度 V_{reset} 電圧以上に上昇すると、プリスケアラ S はカウントアップを始め、 ϕ を 131,072 回カウントし、内部リセット信号が解除されます。このとき、LVDCR の LVDE、LVDSEL、LVDRE ビットは初期化されません。

ただし、電源電圧 V_{cc} が $V_{LVDRmin}=1.0V$ 以下に低下し、そこから立ち上がった場合、低電圧検出リセットがかからない場合がありますので十分評価をお願いします。

また、電源電圧 V_{cc} が $V_{por}=100mV$ 以下になると本 LSI はパワーオンリセット動作になります。

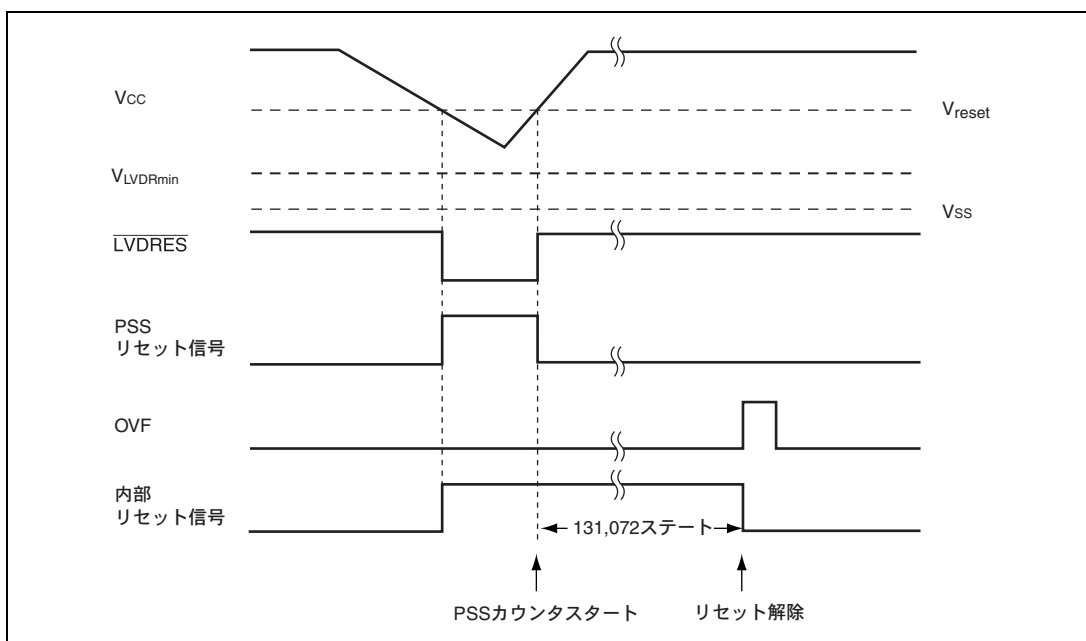


図 18.3 低電圧検出リセット回路動作タイミング

(2) 低電圧検出割り込み回路 (LVDI)

LVDI の動作タイミングを図 18.4 に示します。LVDI はパワーオンリセット解除後、モジュールスタンバイ状態になります。LVDI を動作させるためには、LVDCR の LVDE ビットを 1 にセットし、基準電圧および低電圧検出電源が安定するまでの時間 t_{LVON} (50 μ s) ソフトウェアタイマ等で待った後、LVDCR の LVDDE、LVDUE ビットを 1 にセットします。必ず、この後にポートの出力設定を行なってください。低電圧検出回路を解除する場合は、LVDDE、LVDUE ビットをすべて 0 にクリアした後、LVDE ビットを 0 にクリアします。誤動作の原因となるため、LVDE ビットは LVDDE、LVDUE ビットと同時にクリアしないでください。

LVDI は電源電圧が降下して $V_{int}(D)$ (typ.=3.7V)電圧以下になると、 \overline{LVDINT} 信号が 0 となり、LVDSR の LVDDF ビットが 1 にセットされます。このとき LVDDE ビットが 1 であれば、IRQ0 割り込み要求を発生します。このとき、必要なデータを外付けの EEPROM 等に退避しスタンバイモードあるいはサブスリープモードに遷移させてください。この処理が完了するまでの間、電源電圧が動作保証下限電圧以上を保つように、電源回路を設計してください。

また、電源電圧が V_{reset1} (typ.=2.3V)電圧まで降下せず、 $V_{int}(U)$ (typ.=4.0V)電圧以上に上昇すると、 \overline{LVDINT} 信号が 1 となり、このとき LVDUE ビットが 1 であれば LVDSR の LVDUF ビットが 1 にセットされます。同時に IRQ0 割り込み要求を発生します。

電源電圧が V_{reset1} (typ.=2.3V)電圧以下へ降下した場合は、本 LSI は低電圧検出リセット動作になります。

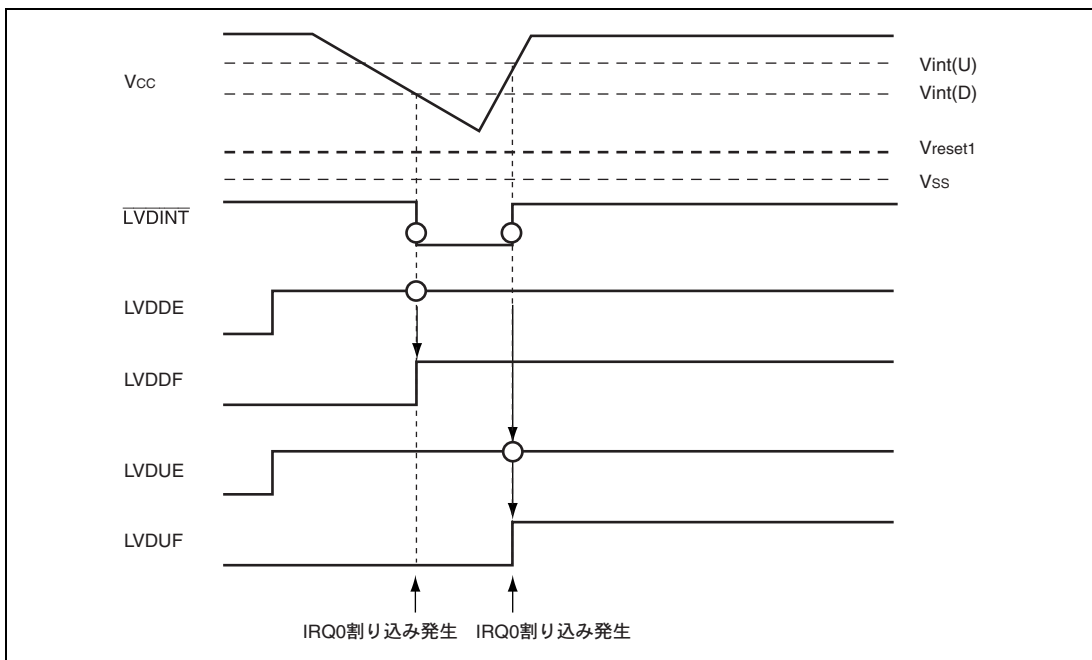


図 18.4 低電圧検出割り込み回路動作タイミング

18. パワーオンリセット&低電圧検出回路

(3) LVDR、LVDI 使用時の動作／解除設定手順

低電圧検出回路を正常に動作または解除させるためには、以下の手順で設定してください。低電圧検出回路の動作および解除を設定する場合のタイミングを図 18.5 に示します。

1. 低電圧検出回路を動作させる場合は、まずLVDCRのLVDEビットを1にセットします。
2. 基準電圧および低電圧検出電源が安定するまでの時間 ($t_{LVDON}=50\mu s$) をソフトウェアタイマ等で待った後、LVDSRのLVDDFとLVDUFビットを0にクリアして、必要に応じてLVDCRのLVDRE、LVDDE、LVDUEビットを1にセットします。
3. 低電圧検出回路を解除する場合は、LVDRE、LVDDE、LVDUEビットをすべて0にクリアした後、LVDEビットを0にクリアします。誤動作の原因となるため、LVDEビットはLVDRE、LVDDE、LVDUEビットと同時にクリアしないでください。

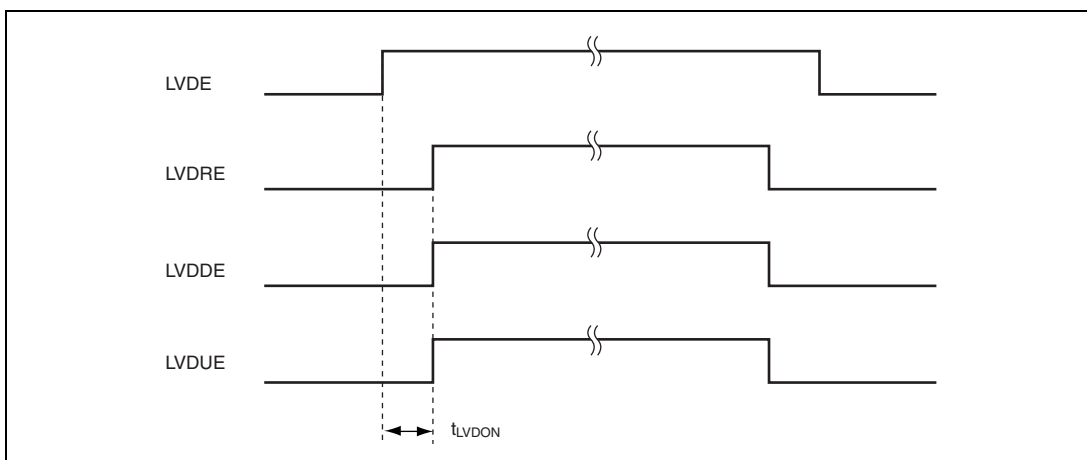


図 18.5 低電圧検出回路の動作／解除の設定タイミング

19. 電源回路

H8/36064 グループには内部電源降圧回路が内蔵されています。この内部電源降圧回路を使用することにより、外部 Vcc 端子に接続された電源電圧に依存することなく、内部電源を約 3.0V に固定することができます。このため外部電源を 3.0V 以上で使用した場合に消費される電流値を約 3.0V で使用した場合とほぼ同等に抑えることができます。外部電圧が 3.0V 以下の場合は内部電圧は外部電圧とほぼ同一となります。内部電源降圧回路を使用せずに内部電源電圧を外部電源電圧と同一として使用することもできます。

19.1 内部電源降圧回路を使用する場合

図 19.1 のように、Vcc 端子に外部電源を接続し、VCL と Vss 間に約 0.1 μ F の容量を接続してください。この外部回路を付加することにより内部降圧回路が有効になります。外部回路の入出力レベルは Vcc に接続されている外部電源電圧と Vss に接続されている GND 電位が基準となります。例えば、ポートの入出力レベルは High が Vcc 基準、Low が Vss 基準となります。A/D 変換器のアナログ電源は内部降圧回路の影響は受けません。

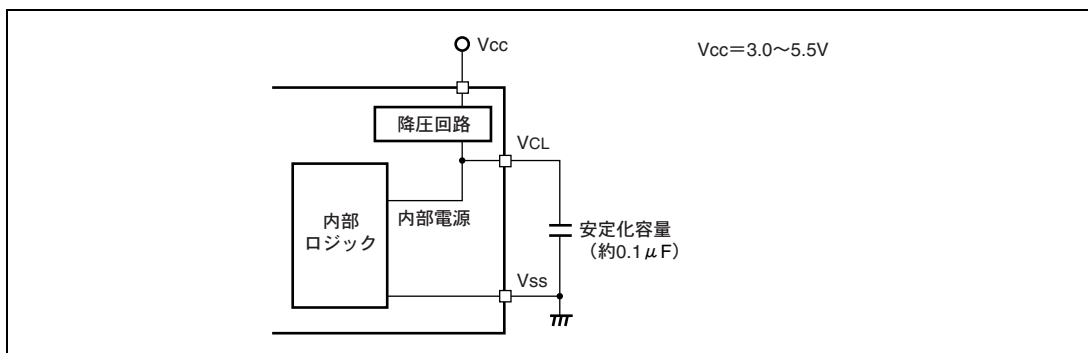


図 19.1 内部電源降圧回路を使用する場合の電源接続図

19.2 内部電源降圧回路を使用しない場合

図 19.2 のように、 V_{CL} と V_{CC} 端子に外部電源を接続してください。外部電源が直接内部電源に供給されます。使用可能な電源電圧は 3.0V~3.6V です。この範囲を超える電源を供給した場合の動作は保証されません。

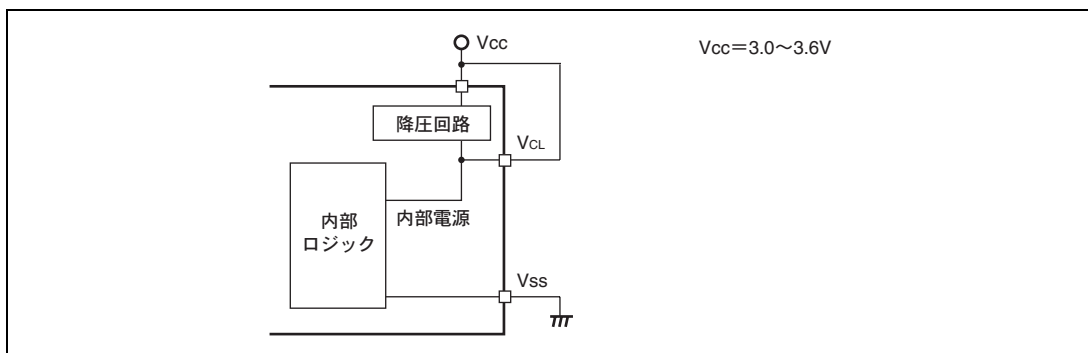


図 19.2 内部電源降圧回路を使用しない場合の電源接続図

20. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- リザーブアドレスは、レジスタ名称部に「-」で表記しています。
リザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

20.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
—	—	—	H'F000~ H'F6FF	—	—	—
タイマコントロールレジスタ_0	TCR_0	8	H'F700	タイマZ	8	2
タイマI/OコントロールレジスタA_0	TIORA_0	8	H'F701	タイマZ	8	2
タイマI/OコントロールレジスタC_0	TIORC_0	8	H'F702	タイマZ	8	2
タイマステータスレジスタ_0	TSR_0	8	H'F703	タイマZ	8	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'F704	タイマZ	8	2
PWMモードアウトプットレベルコントロールレジスタ_0	POCR_0	8	H'F705	タイマZ	8	2
タイマカウンタ_0	TCNT_0	16	H'F706	タイマZ	16	2
ジェネラルレジスタA_0	GRA_0	16	H'F708	タイマZ	16	2
ジェネラルレジスタB_0	GRB_0	16	H'F70A	タイマZ	16	2
ジェネラルレジスタC_0	GRC_0	16	H'F70C	タイマZ	16	2
ジェネラルレジスタD_0	GRD_0	16	H'F70E	タイマZ	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'F710	タイマZ	8	2
タイマI/OコントロールレジスタA_1	TIORA_1	8	H'F711	タイマZ	8	2
タイマI/OコントロールレジスタC_1	TIORC_1	8	H'F712	タイマZ	8	2
タイマステータスレジスタ_1	TSR_1	8	H'F713	タイマZ	8	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'F714	タイマZ	8	2
PWMモードアウトプットレベルコントロールレジスタ_1	POCR_1	8	H'F715	タイマZ	8	2
タイマカウンタ_1	TCNT_1	16	H'F716	タイマZ	16	2
ジェネラルレジスタA_1	GRA_1	16	H'F718	タイマZ	16	2
ジェネラルレジスタB_1	GRB_1	16	H'F71A	タイマZ	16	2
ジェネラルレジスタC_1	GRC_1	16	H'F71C	タイマZ	16	2
ジェネラルレジスタD_1	GRD_1	16	H'F71E	タイマZ	16	2
タイマスタートレジスタ	TSTR	8	H'F720	タイマZ	8	2
タイマモードレジスタ	TMDR	8	H'F721	タイマZ	8	2
タイマPWMモードレジスタ	TPMR	8	H'F722	タイマZ	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマファンクションコントロールレジスタ	TFCR	8	H'F723	タイマ Z	8	2
タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'F724	タイマ Z	8	2
タイマアウトプットコントロールレジスタ	TOCR	8	H'F725	タイマ Z	8	2
—	—	—	H'F726~ H'F72F	—	—	—
低電圧検出コントロールレジスタ	LVDCR	8	H'F730	低電圧検出回路	8	2
低電圧検出ステータスレジスタ	LVDSR	8	H'F731	低電圧検出回路	8	2
—	—	—	H'F732~ H'F73F	—	—	—
シリアルモードレジスタ_2	SMR_2	8	H'F740	SCI3_2	8	3
ビットレートレジスタ_2	BRR_2	8	H'F741	SCI3_2	8	3
シリアルコントロールレジスタ 3_2	SCR3_2	8	H'F742	SCI3_2	8	3
トランスミットデータレジスタ_2	TDR_2	8	H'F743	SCI3_2	8	3
シリアルステータスレジスタ_2	SSR_2	8	H'F744	SCI3_2	8	3
レシーブデータレジスタ_2	RDR_2	8	H'F745	SCI3_2	8	3
—	—	—	H'F746、 H'F747	—	—	—
I ² C バスコントロールレジスタ 1	ICCR1	8	H'F748	IIC2	8	2
I ² C バスコントロールレジスタ 2	ICCR2	8	H'F749	IIC2	8	2
I ² C バスモードレジスタ	ICMR	8	H'F74A	IIC2	8	2
I ² C バスインタラプトイネーブルレジスタ	ICIER	8	H'F74B	IIC2	8	2
I ² C バスステータスレジスタ	ICSR	8	H'F74C	IIC2	8	2
スレーブアドレスレジスタ	SAR	8	H'F74D	IIC2	8	2
I ² C バス送信データレジスタ	ICDRT	8	H'F74E	IIC2	8	2
I ² C バス受信データレジスタ	ICDRR	8	H'F74F	IIC2	8	2
—	—	—	H'F750~ H'F75F	—	—	—
タイマモードレジスタ B1	TMB1	8	H'F760	タイマ B1	8	2
タイマカウンタ B1	TCB1	8	H'F761	タイマ B1	8	2
タイマロードレジスタ B1	TLB1	8	H'F761	タイマ B1	8	2
—	—	—	H'F762~ H'FF8F	—	—	—
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FF90	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FF91	ROM	8	2
—	—	—	H'FF92	—	—	—
ブロック指定レジスタ 1	EBR1	8	H'FF93	ROM	8	2

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
—	—	—	H'FF94~ H'FF9A	—	—	—
フラッシュメモリーネーブルレジスタ	FENR	8	H'FF9B	ROM	8	2
—	—	—	H'FF9C~ H'FF9F	—	—	—
タイマコントロールレジスタ V0	TCRV0	8	H'FFA0	タイマ V	8	3
タイマコントロール/ステータスレジスタ V	TCSR V	8	H'FFA1	タイマ V	8	3
タイムコンスタントレジスタ A	TCORA	8	H'FFA2	タイマ V	8	3
タイムコンスタントレジスタ B	TCORB	8	H'FFA3	タイマ V	8	3
タイマカウンタ V	TCNT V	8	H'FFA4	タイマ V	8	3
タイマコントロールレジスタ V1	TCRV1	8	H'FFA5	タイマ V	8	3
—	—	—	H'FFA6、 H'FFA7	—	—	—
シリアルモードレジスタ	SMR	8	H'FFA8	SCI3	8	3
ビットレートレジスタ	BRR	8	H'FFA9	SCI3	8	3
シリアルコントロールレジスタ 3	SCR3	8	H'FFAA	SCI3	8	3
トランスミットデータレジスタ	TDR	8	H'FFAB	SCI3	8	3
シリアルステータスレジスタ	SSR	8	H'FFAC	SCI3	8	3
レシーブデータレジスタ	RDR	8	H'FFAD	SCI3	8	3
—	—	—	H'FFAE、 H'FFAF	—	—	—
A/D データレジスタ A	ADDRA	16	H'FFB0	A/D 変換器	8	3
A/D データレジスタ B	ADDRB	16	H'FFB2	A/D 変換器	8	3
A/D データレジスタ C	ADDRC	16	H'FFB4	A/D 変換器	8	3
A/D データレジスタ D	ADDRD	16	H'FFB6	A/D 変換器	8	3
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFB8	A/D 変換器	8	3
A/D コントロールレジスタ	ADCR	8	H'FFB9	A/D 変換器	8	3
—	—	—	H'FFBA、 H'FFBB	—	—	—
PWM データレジスタ L	PWDRL	8	H'FFBC	14 ビット PWM	8	2
PWM データレジスタ U	PWDRU	8	H'FFBD	14 ビット PWM	8	2
PWM コントロールレジスタ	PWCR	8	H'FFBE	14 ビット PWM	8	2
—	—	—	H'FFBF	—	—	—
タイマコントロール/ステータスレジスタ WD	TCSRWD	8	H'FFC0	WDT*	8	2
タイマカウンタ WD	TCWD	8	H'FFC1	WDT*	8	2
タイマモードレジスタ WD	TMWD	8	H'FFC2	WDT*	8	2

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
—	—	—	H'FFC3~ H'FFC7	—	—	—
アドレスブレイクコントロールレジスタ	ABRKCR	8	H'FFC8	アドレスブレイク	8	2
アドレスブレイクステータスレジスタ	ABRKSR	8	H'FFC9	アドレスブレイク	8	2
ブレイクアドレスレジスタ H	BARH	8	H'FFCA	アドレスブレイク	8	2
ブレイクアドレスレジスタ L	BARL	8	H'FFCB	アドレスブレイク	8	2
ブレイクデータレジスタ H	BDRH	8	H'FFCC	アドレスブレイク	8	2
ブレイクデータレジスタ L	BDRL	8	H'FFCD	アドレスブレイク	8	2
—	—	—	H'FFCE、 H'FFCF	—	—	—
ポートブルアップコントロールレジスタ 1	PUCR1	8	H'FFD0	I/O ポート	8	2
ポートブルアップコントロールレジスタ 5	PUCR5	8	H'FFD1	I/O ポート	8	2
—	—	—	H'FFD2、 H'FFD3	—	—	—
ポートデータレジスタ 1	PDR1	8	H'FFD4	I/O ポート	8	2
ポートデータレジスタ 2	PDR2	8	H'FFD5	I/O ポート	8	2
ポートデータレジスタ 3	PDR3	8	H'FFD6	I/O ポート	8	2
—	—	—	H'FFD7	—	—	—
ポートデータレジスタ 5	PDR5	8	H'FFD8	I/O ポート	8	2
ポートデータレジスタ 6	PDR6	8	H'FFD9	I/O ポート	8	2
ポートデータレジスタ 7	PDR7	8	H'FFDA	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFDB	I/O ポート	8	2
—	—	—	H'FFDC	—	—	—
ポートデータレジスタ B	PDRB	8	H'FFDD	I/O ポート	8	2
—	—	—	H'FFDE、 H'FFDF	—	—	—
ポートモードレジスタ 1	PMR1	8	H'FFE0	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FFE1	I/O ポート	8	2
ポートモードレジスタ 3	PMR3	8	H'FFE2	I/O ポート	8	2
—	—	—	H'FFE3	—	—	—
ポートコントロールレジスタ 1	PCR1	8	H'FFE4	I/O ポート	8	2
ポートコントロールレジスタ 2	PCR2	8	H'FFE5	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	8	H'FFE6	I/O ポート	8	2
—	—	—	H'FFE7	—	—	—
ポートコントロールレジスタ 5	PCR5	8	H'FFE8	I/O ポート	8	2
ポートコントロールレジスタ 6	PCR6	8	H'FFE9	I/O ポート	8	2
ポートコントロールレジスタ 7	PCR7	8	H'FFEA	I/O ポート	8	2

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートコントロールレジスタ 8	PCR8	8	H'FFEB	I/O ポート	8	2
—	—	—	H'FFEC~ H'FFEF	—	—	—
システムコントロールレジスタ 1	SYSCR1	8	H'FFF0	低消費電力	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FFF1	低消費電力	8	2
割り込みエッジセレクトレジスタ 1	IEGR1	8	H'FFF2	割り込み	8	2
割り込みエッジセレクトレジスタ 2	IEGR2	8	H'FFF3	割り込み	8	2
割り込みイネーブルレジスタ 1	IENR1	8	H'FFF4	割り込み	8	2
割り込みイネーブルレジスタ 2	IENR2	8	H'FFF5	割り込み	8	2
割り込みフラグレジスタ 1	IRR1	8	H'FFF6	割り込み	8	2
割り込みフラグレジスタ 2	IRR2	8	H'FFF7	割り込み	8	2
ウェイクアップ割り込みフラグレジスタ	IWPR	8	H'FFF8	割り込み	8	2
モジュールスタンバイコントロールレジスタ 1	MSTCR1	8	H'FFF9	低消費電力	8	2
モジュールスタンバイコントロールレジスタ 2	MSTCR2	8	H'FFFA	低消費電力	8	2
—	—	—	H'FFFB~ H'FFFF	—	—	—

【注】 * WDT : ウォッチドッグタイマ

20.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16ビットレジスタは、8ビットずつ2段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	タイマZ
TIORA_0	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIORC_0	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TSR_0	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA	
TIER_0	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_0	—	—	—	—	—	POLD	POLC	POLB	
TCNT_0	TCNT0H7	TCNT0H6	TCNT0H5	TCNT0H4	TCNT0H3	TCNT0H2	TCNT0H1	TCNT0H0	
	TCNT0L7	TCNT0L6	TCNT0L5	TCNT0L4	TCNT0L3	TCNT0L2	TCNT0L1	TCNT0L0	
GRA_0	GRA0H7	GRA0H6	GRA0H5	GRA0H4	GRA0H3	GRA0H2	GRA0H1	GRA0H0	
	GRA0L7	GRA0L6	GRA0L5	GRA0L4	GRA0L3	GRA0L2	GRA0L1	GRA0L0	
GRB_0	GRB0H7	GRB0H6	GRB0H5	GRB0H4	GRB0H3	GRB0H2	GRB0H1	GRB0H0	
	GRB0L7	GRB0L6	GRB0L5	GRB0L4	GRB0L3	GRB0L2	GRB0L1	GRB0L0	
GRC_0	GRC0H7	GRC0H6	GRC0H5	GRC0H4	GRC0H3	GRC0H2	GRC0H1	GRC0H0	
	GRC0L7	GRC0L6	GRC0L5	GRC0L4	GRC0L3	GRC0L2	GRC0L1	GRC0L0	
GRD_0	GRD0H7	GRD0H6	GRD0H5	GRD0H4	GRD0H3	GRD0H2	GRD0H1	GRD0H0	
	GRD0L7	GRD0L6	GRD0L5	GRD0L4	GRD0L3	GRD0L2	GRD0L1	GRD0L0	
TCR_1	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TIORA_1	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIORC_1	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TSR_1	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
TIER_1	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_1	—	—	—	—	—	POLD	POLC	POLB	
TCNT_1	TCNT1H7	TCNT1H6	TCNT1H5	TCNT1H4	TCNT1H3	TCNT1H2	TCNT1H1	TCNT1H0	
	TCNT1L7	TCNT1L6	TCNT1L5	TCNT1L4	TCNT1L3	TCNT1L2	TCNT1L1	TCNT1L0	
GRA_1	GRA1H7	GRA1H6	GRA1H5	GRA1H4	GRA1H3	GRA1H2	GRA1H1	GRA1H0	
	GRA1L7	GRA1L6	GRA1L5	GRA1L4	GRA1L3	GRA1L2	GRA1L1	GRA1L0	
GRB_1	GRB1H7	GRB1H6	GRB1H5	GRB1H4	GRB1H3	GRB1H2	GRB1H1	GRB1H0	
	GRB1L7	GRB1L6	GRB1L5	GRB1L4	GRB1L3	GRB1L2	GRB1L1	GRB1L0	
GRC_1	GRC1H7	GRC1H6	GRC1H5	GRC1H4	GRC1H3	GRC1H2	GRC1H1	GRC1H0	
	GRC1L7	GRC1L6	GRC1L5	GRC1L4	GRC1L3	GRC1L2	GRC1L1	GRC1L0	
GRD_1	GRD1H7	GRD1H6	GRD1H5	GRD1H4	GRD1H3	GRD1H2	GRD1H1	GRD1H0	
	GRD1L7	GRD1L6	GRD1L5	GRD1L4	GRD1L3	GRD1L2	GRD1L1	GRD1L0	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TSTR	—	—	—	—	—	—	STR1	STR0	タイマZ
TMDR	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC	
TPMR	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0	
TFCR	—	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0	
TOER	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0	
TOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0	
LVDCR	LVDE	—	—	—	LVDSEL	LVDRE	LVDDE	LVDUE	低電圧検出
LVDSR	—	—	—	—	—	—	LVDDF	LVDFUF	回路
SMR_2	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3_2
BRR_2	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR_2	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR_2	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—	
ICMR	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
TMB1	TMB17	—	—	—	—	TMB12	TMB11	TMB10	タイマB1
TCB1	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10	
TLB1	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10	
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	
EBR1	—	—	—	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	—	—	—	—	—	—	—	
TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマV
TCSRv	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	
TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	
TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	
TCRV1	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	SCI3
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
	AD1	AD0	—	—	—	—	—	—	
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGE	—	—	—	—	—	—	—	
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	14 ビット
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	PWM
PWCR	—	—	—	—	—	—	—	PWCR0	
TCSRWD	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	WDT*
TCWD	TCWD7	TCWD6	TCWD5	TCWD4	TCWD3	TCWD2	TCWD1	TCWD0	
TMWD	—	—	—	—	CKS3	CKS2	CKS1	CKS0	
ABRKCR	RTINTE	CSEL1	CSEL0	ACMP2	ACMP1	ACMP0	DCMP1	DCMP0	アドレス
ABRKSr	ABIF	ABIE	—	—	—	—	—	—	ブレーク
BARH	BARH7	BARH6	BARH5	BARH4	BARH3	BARH2	BARH1	BARH0	
BARL	BARL7	BARL6	BARL5	BARL4	BARL3	BARL2	BARL1	BARL0	
BDRH	BDRH7	BDRH6	BDRH5	BDRH4	BDRH3	BDRH2	BDRH1	BDRH0	
BDRL	BDRL7	BDRL6	BDRL5	BDRL4	BDRL3	BDRL2	BDRL1	BDRL0	
PUCR1	PUCR17	PUCR16	PUCR15	PUCR14	—	PUCR12	PUCR11	PUCR10	I/O ポート
PUCR5	—	—	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
PDR1	P17	P16	P15	P14	—	P12	P11	P10	
PDR2	—	—	—	P24	P23	P22	P21	P20	
PDR3	P37	P36	P35	P34	P33	P32	P31	P30	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	—	P76	P75	P74	—	P72	P71	P70	
PDR8	P87	P86	P85	—	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PDRB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	I/Oポート
PMR1	IRQ3	IRQ2	IRQ1	IRQ0	TXD2	PWM	TXD	—	
PMR5	—	—	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PMR3	—	—	—	POF24	POF23	—	—	—	
PCR1	PCR17	PCR16	PCR15	PCR14	—	PCR12	PCR11	PCR10	
PCR2	—	—	—	PCR24	PCR23	PCR22	PCR21	PCR20	
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	—	PCR76	PCR75	PCR74	—	PCR72	PCR71	PCR70	
PCR8	PCR87	PCR86	PCR85	—	—	—	—	—	
SYSCR1	SSBY	STS2	STS1	STS0	—	—	—	—	低消費電力
SYSCR2	SMSEL	—	DTON	MA2	MA1	MA0	—	—	
IEGR1	NMIEG	—	—	—	IEG3	IEG2	IEG1	IEG0	割り込み
IEGR2	—	—	WPEG5	WPEG4	WPEG3	WPEG2	WPEG1	WPEG0	
IENR1	IENDT	—	IENWP	—	IEN3	IEN2	IEN1	IEN0	
IENR2	—	—	IENTB1	—	—	—	—	—	
IRR1	IRRDT	—	—	—	IRRI3	IRRI2	IRRI1	IRRI0	
IRR2	—	—	IRRTB1	—	—	—	—	—	
IWPR	—	—	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	
MSTCR1	—	MSTIIC	MSTS3	MSTAD	MSTWD	—	MSTTV	—	低消費電力
MSTCR2	MSTS3_2	—	—	MSTTB1	—	—	MSTTZ	MSTPWM	

【注】 * WDT : ウォッチドッグタイマ

20.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	アクティブ	スリープ	サブ スリープ	スタンバイ	モジュール
TCR_0	初期化	—	—	—	—	タイマ Z
TIORA_0	初期化	—	—	—	—	
TIORC_0	初期化	—	—	—	—	
TSR_0	初期化	—	—	—	—	
TIER_0	初期化	—	—	—	—	
POCR_0	初期化	—	—	—	—	
TCNT_0	初期化	—	—	—	—	
GRA_0	初期化	—	—	—	—	
GRB_0	初期化	—	—	—	—	
GRC_0	初期化	—	—	—	—	
GRD_0	初期化	—	—	—	—	
TCR_1	初期化	—	—	—	—	
TIORA_1	初期化	—	—	—	—	
TIORC_1	初期化	—	—	—	—	
TSR_1	初期化	—	—	—	—	
TIER_1	初期化	—	—	—	—	
POCR_1	初期化	—	—	—	—	
TCNT_1	初期化	—	—	—	—	
GRA_1	初期化	—	—	—	—	
GRB_1	初期化	—	—	—	—	
GRC_1	初期化	—	—	—	—	
GRD_1	初期化	—	—	—	—	
TSTR	初期化	—	—	—	—	低電圧検出回路
TMDR	初期化	—	—	—	—	
TPMR	初期化	—	—	—	—	
TFCR	初期化	—	—	—	—	SCI3_2
TOER	初期化	—	—	—	—	
TOCR	初期化	—	—	—	—	
LVDCR	初期化	—	—	—	—	
LVDSR	初期化	—	—	—	—	
SMR_2	初期化	—	—	初期化	初期化	SCI3_2
BRR_2	初期化	—	—	初期化	初期化	
SCR3_2	初期化	—	—	初期化	初期化	
TDR_2	初期化	—	—	初期化	初期化	

20. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	サブ スリープ	スタンバイ	モジュール
SSR_2	初期化	—	—	初期化	初期化	SCI3_2
RDR_2	初期化	—	—	初期化	初期化	
ICCR1	初期化	—	—	—	—	IIC2
ICCR2	初期化	—	—	—	—	
ICMR	初期化	—	—	—	—	
ICIER	初期化	—	—	—	—	
ICSR	初期化	—	—	—	—	
SAR	初期化	—	—	—	—	
ICDRT	初期化	—	—	—	—	
ICDRR	初期化	—	—	—	—	
TMB1	初期化	—	—	—	—	タイマ B1
TCB1	初期化	—	—	—	—	
TLB1	初期化	—	—	—	—	
FLMCR1	初期化	—	—	初期化	初期化	ROM
FLMCR2	初期化	—	—	—	—	
EBR1	初期化	—	—	初期化	初期化	
FENR	初期化	—	—	—	—	
TCRV0	初期化	—	—	初期化	初期化	タイマ V
TCSRv	初期化	—	—	初期化	初期化	
TCORA	初期化	—	—	初期化	初期化	
TCORB	初期化	—	—	初期化	初期化	
TCNTV	初期化	—	—	初期化	初期化	
TCRV1	初期化	—	—	初期化	初期化	
SMR	初期化	—	—	初期化	初期化	SCI3
BRR	初期化	—	—	初期化	初期化	
SCR3	初期化	—	—	初期化	初期化	
TDR	初期化	—	—	初期化	初期化	
SSR	初期化	—	—	初期化	初期化	
RDR	初期化	—	—	初期化	初期化	
ADDRA	初期化	—	—	初期化	初期化	
ADDRB	初期化	—	—	初期化	初期化	
ADDRC	初期化	—	—	初期化	初期化	
ADDRD	初期化	—	—	初期化	初期化	
ADCSR	初期化	—	—	初期化	初期化	
ADCR	初期化	—	—	初期化	初期化	

レジスタ 略称	リセット	アクティブ	スリープ	サブ スリープ	スタンバイ	モジュール
PWDR1	初期化	—	—	—	—	14 ビット PWM
PWDRU	初期化	—	—	—	—	
PWCR	初期化	—	—	—	—	
TCSRWD	初期化	—	—	—	—	WDT*
TCWD	初期化	—	—	—	—	
TMWD	初期化	—	—	—	—	
ABRKCR	初期化	—	—	—	—	アドレスブレイク
ABRKSR	初期化	—	—	—	—	
BARH	初期化	—	—	—	—	
BARL	初期化	—	—	—	—	
BDRH	初期化	—	—	—	—	
BDRL	初期化	—	—	—	—	
PUCR1	初期化	—	—	—	—	I/O ポート
PUCR5	初期化	—	—	—	—	
PDR1	初期化	—	—	—	—	
PDR2	初期化	—	—	—	—	
PDR3	初期化	—	—	—	—	
PDR5	初期化	—	—	—	—	
PDR6	初期化	—	—	—	—	
PDR7	初期化	—	—	—	—	
PDR8	初期化	—	—	—	—	
PDRB	初期化	—	—	—	—	
PMR1	初期化	—	—	—	—	
PMR5	初期化	—	—	—	—	
PMR3	初期化	—	—	—	—	
PCR1	初期化	—	—	—	—	
PCR2	初期化	—	—	—	—	
PCR3	初期化	—	—	—	—	
PCR5	初期化	—	—	—	—	
PCR6	初期化	—	—	—	—	
PCR7	初期化	—	—	—	—	
PCR8	初期化	—	—	—	—	
SYSCR1	初期化	—	—	—	—	低消費電力
SYSCR2	初期化	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	サブ スリープ	スタンバイ	モジュール
IEGR1	初期化	—	—	—	—	割り込み
IEGR2	初期化	—	—	—	—	
IENR1	初期化	—	—	—	—	
IENR2	初期化	—	—	—	—	
IRR1	初期化	—	—	—	—	
IRR2	初期化	—	—	—	—	
IWPR	初期化	—	—	—	—	
MSTCR1	初期化	—	—	—	—	低消費電力
MSTCR2	初期化	—	—	—	—	

【注】 * WDT : ウォッチドッグタイマ

—は初期化されません。

21. 電気的特性

21.1 絶対最大定格

表 21.1 絶対最大定格

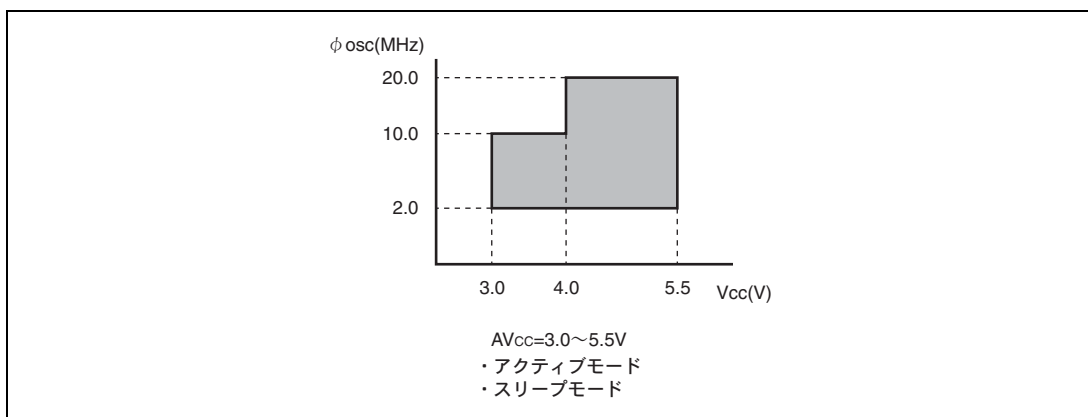
項目		記号	規格値	単位	備考
電源電圧		V _{CC}	-0.3~+7.0	V	*
アナログ電源電圧		AV _{CC}	-0.3~+7.0	V	
入力電圧	ポート B 以外	V _{IN}	-0.3~V _{CC} +0.3	V	
	ポート B		-0.3~AV _{CC} +0.3	V	
	X1		-0.3~4.3	V	
動作温度		T _{opr}	-20~+75	°C	
保存温度		T _{stg}	-55~+125	°C	

【注】 * 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

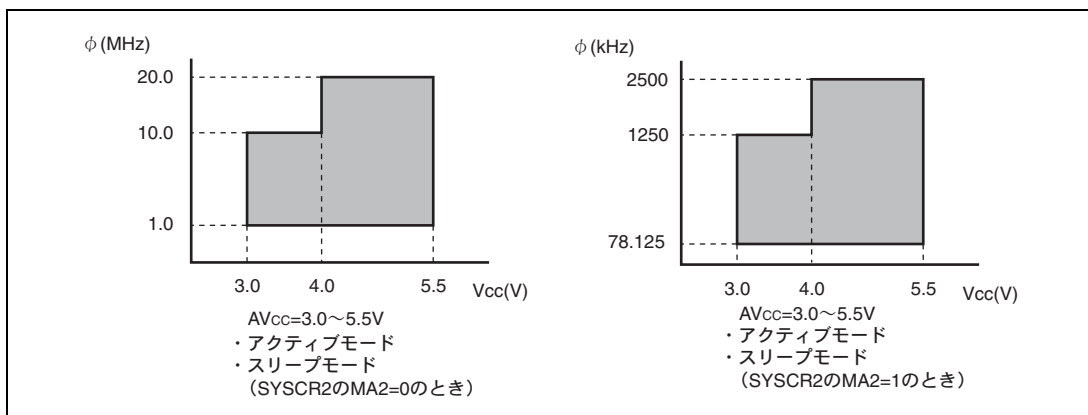
21.2 電氣的特性

21.2.1 電源電圧と動作範囲

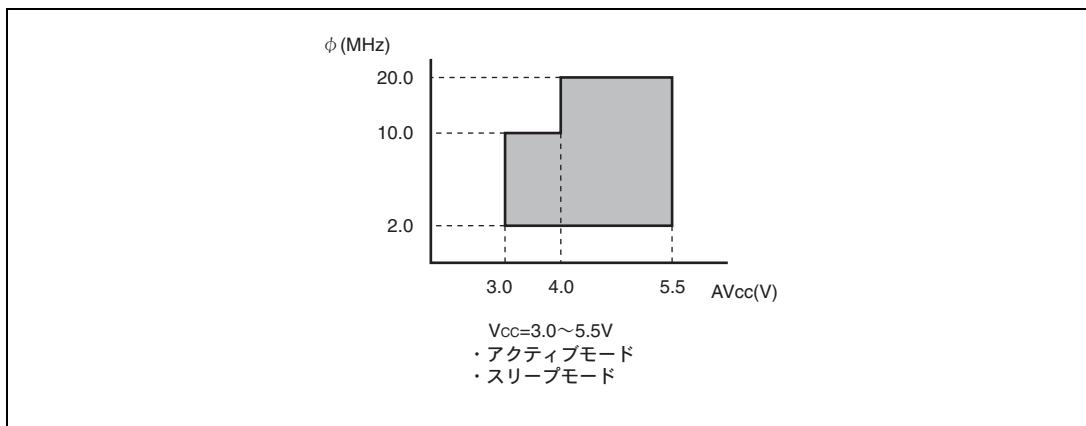
(1) 電源電圧と発振周波数の範囲（低電圧検出回路未使用時）



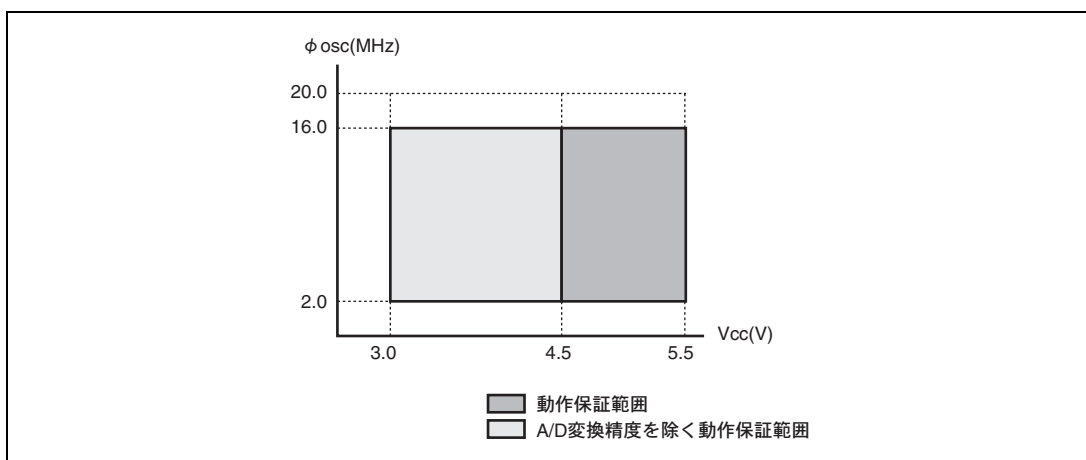
(2) 電源電圧と動作周波数の範囲（低電圧検出回路未使用時）



(3) アナログ電源電圧と A/D 変換器の精度保証範囲 (低電圧検出回路未使用時)



(4) 電源電圧と発振周波数の範囲 (低電圧検出回路使用時)



21. 電氣的特性

21.2.2 DC 特性

表 21.2 DC 特性 (1)

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入力 High レベル電圧	V _{IH}	RES、NMI WKP0~WKP5 IRQ0~IRQ3 ADTRG、TMIB1 TMRIV、TMCIV	Vcc=4.0~5.5V	Vcc×0.8	—	Vcc+0.3	V	
		FTIOA0~FTIOD0 FTIOA1~FTIOD1 SCK3、SCK3_2 TRGV		Vcc×0.9	—	Vcc+0.3	V	
		RXD、RXD_2 SCL、SDA P10~P12 P14~P17 P20~P24	Vcc=4.0~5.5V	Vcc×0.7	—	Vcc+0.3	V	
		P30~P37 P50~P57 P60~P67 P70~P72 P74~P76 P85~P87		Vcc×0.8	—	Vcc+0.3	V	
		PB0~PB7	Vcc=4.0~5.5V	Vcc×0.7	—	A _V cc+0.3	V	
				Vcc×0.8	—	A _V cc+0.3	V	
		OSC1	Vcc=4.0~5.5V	Vcc-0.5	—	Vcc+0.3	V	
				Vcc-0.3	—	Vcc+0.3	V	

【注】 TEST 端子は Vss に接続してください。

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入力 Low レベル電圧	V _{IL}	\overline{RES} 、 \overline{NMI} $\overline{WKP0} \sim \overline{WKP5}$ $\overline{IRQ0} \sim \overline{IRQ3}$ \overline{ADTRG} 、 $\overline{TMIB1}$ \overline{TMRIV} 、 \overline{TMCIV}	Vcc=4.0~5.5V	-0.3	—	Vcc×0.2	V	
		$\overline{FTIOA0} \sim \overline{FTIOD0}$ $\overline{FTIOA1} \sim \overline{FTIOD1}$ $\overline{SCK3}$ 、 $\overline{SCK3_2}$ \overline{TRGV}		-0.3	—	Vcc × 0.1	V	
		\overline{RXD} 、 $\overline{RXD_2}$ \overline{SCL} 、 \overline{SDA} $\overline{P10} \sim \overline{P12}$ $\overline{P14} \sim \overline{P17}$ $\overline{P20} \sim \overline{P24}$ $\overline{P30} \sim \overline{P37}$	Vcc=4.0~5.5V	-0.3	—	Vcc×0.3	V	
		$\overline{P50} \sim \overline{P57}$ $\overline{P60} \sim \overline{P67}$ $\overline{P70} \sim \overline{P72}$ $\overline{P74} \sim \overline{P76}$ $\overline{P85} \sim \overline{P87}$		-0.3	—	Vcc×0.2	V	
		$\overline{PB0} \sim \overline{PB7}$	Vcc=4.0~5.5V	-0.3	—	Vcc×0.3	V	
				-0.3	—	Vcc×0.2	V	
		OSC1	Vcc=4.0~5.5V	-0.3	—	0.5	V	
				-0.3	—	0.3	V	

21. 電気的特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
出力 High レベル電圧	VOH	P10~P12 P14~P17 P20~P24 P30~P37	Vcc=4.0~5.5V - IOH=5.0mA	Vcc-1.0	—	—	V	
		P50~P55 P60~P67 P70~P72 P74~P76 P85~P87	- IOH=0.1mA	Vcc-0.5	—	—	V	
		P56、P57	4.0 ≤ Vcc ≤ 5.5V - IOH=0.1mA	Vcc-2.5	—	—	V	
			3.0 ≤ Vcc ≤ 4.0V - IOH=0.1mA	Vcc-2.0	—	—	V	
		出力 Low レベル電圧	VOL	P10~P12 P14~P17 P20~P24 P30~P37	Vcc=4.0~5.5V IOL=1.6mA	—	—	0.6
P50~P57 P70~P72 P74~P76 P85~P87	IOL=0.4mA	—		—	0.4	V		
P60~P67	Vcc=4.0~5.5V IOL=20.0mA	—		—	1.5	V		
	Vcc=4.0~5.5V IOL=10.0mA	—		—	1.0	V		
	Vcc=4.0~5.5V IOL=1.6mA	—		—	0.4	V		
	IOL=0.4mA	—		—	0.4	V		
SCL、SDA	Vcc=4.0~5.5V IOL=6.0mA	—		—	0.6	V		
	IOL=3.0mA	—		—	0.4	V		

21. 電気的特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入出力 リーク電流	I _{IL}	OSC1、TMIB1 RES、 \overline{NMI} $\overline{WKP0} \sim \overline{WKP5}$ $\overline{IRQ0} \sim \overline{IRQ3}$ \overline{ADTRG} 、TRGV TMRIV、TMCIV FTIOA0~FTIOD0 FTIOA1~FTIOD1 RXD、RXD_2 SCK3、SCK3_2 SCL、SDA	V _{IN} =0.5V~ (V _{CC} -0.5V)	—	—	1.0	μA	
		P10~P12 P14~P17 P20~P24 P30~P37 P50~P57 P60~P67 P70~P72 P74~P76 P85~P87	V _{IN} =0.5V~ (V _{CC} -0.5V)	—	—	1.0	μA	
		PB0~PB7	V _{IN} =0.5V~ (AV _{CC} -0.5V)	—	—	1.0	μA	
ブルーアップ MOS 電流	-I _p	P10~P12 P14~P17	V _{CC} =5.0V、 V _{IN} =0.0V	50.0	—	300.0	μA	
		P50~P55	V _{CC} =3.0V、 V _{IN} =0.0V	—	60.0	—	μA	参考値
入力容量	C _{IN}	電源端子を除く 全入力端子	f=1MHz、 V _{IN} =0.0V、 Ta=25°C	—	—	15.0	pF	

21. 電気的特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
アクティブ モード消費 電流	IOPE1	Vcc	アクティブモード 1 Vcc=5.0V、fosc=20MHz	—	21.0	30.0	mA	*
			アクティブモード 1 Vcc=3.0V、fosc=10MHz	—	9.0	—	mA	参考値 *
	IOPE2	Vcc	アクティブモード 2 Vcc=5.0V、fosc=20MHz	—	1.8	3.0	mA	*
			アクティブモード 2 Vcc=3.0V、fosc=10MHz	—	1.2	—	mA	参考値 *
スリープ モード 消費電流	ISLEEP1	Vcc	スリープモード 1 Vcc=5.0V、fosc=20MHz	—	17.5	22.5	mA	*
			スリープモード 1 Vcc=3.0V、fosc=10MHz	—	7.5	—	mA	参考値 *
	ISLEEP2	Vcc	スリープモード 2 Vcc=5.0V、fosc=20MHz	—	1.7	2.7	mA	*
			スリープモード 2 Vcc=3.0V、fosc=10MHz	—	1.1	—	mA	参考値 *
スタンバイ モード 消費電流	ISTBY	Vcc		—	—	5.0	μA	*
RAM データ 保持電圧	V _{RAM}	Vcc		2.0	—	—	V	

【注】 * 消費電流測定時の端子状態は以下のとおりで、プルアップ MOS や出力バッファに流れる電流を除きます。

モード	RES 端子	内部状態	RES 以外の各端子	発振端子
アクティブモード 1	Vcc	動作	Vcc	メインクロック： セラミック発振子 または水晶発振子
アクティブモード 2		動作 (φ OSC/64)		
スリープモード 1	Vcc	タイマのみ動作	Vcc	
スリープモード 2		タイマのみ動作 (φ OSC/64)		
スタンバイモード	Vcc	CPU、タイマともに停止	Vcc	メインクロック： セラミック発振子 または水晶発振子

表 21.2 DC 特性 (2)

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
出力 Low レベル 許容電流 (1 端子あたり)	I _{OL}	ポート 6、SCL、SDA 以外の出力端子	Vcc=4.0~5.5V	—	—	2.0	mA
		ポート 6		—	—	20.0	mA
		ポート 6、SCL、SDA 以外の出力端子	—	—	—	0.5	mA
		ポート 6		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
出力 Low レベル 許容電流 (総和)	Σ I _{OL}	ポート 6、SCL、SDA 以外の出力端子	Vcc=4.0~5.5V	—	—	40.0	mA
		ポート 6、SCL、SDA		—	—	80.0	mA
		ポート 6、SCL、SDA 以外の出力端子	—	—	—	20.0	mA
		ポート 6、SCL、SDA		—	—	40.0	mA
出力 High レベル 許容電流 (1 端子あたり)	- I _{OH}	全出力端子	Vcc=4.0~5.5V	—	—	5.0	mA
			—	—	—	0.2	mA
出力 High レベル 許容電流 (総和)	- Σ I _{OH}	全出力端子	Vcc=4.0~5.5V	—	—	50.0	mA
			—	—	—	8.0	mA

21. 電気的特性

21.2.3 AC 特性

表 21.3 AC 特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
システムクロック 発振器発振周波数	fosc	OSC1、OSC2	Vcc=4.0~5.5V	2.0	—	20.0	MHz	*1
				2.0	—	10.0	MHz	
システムクロック (φ) サイクル時間	tcyc			1	—	64	tosc	*2
				—	—	12.8	μs	
インストラクション サイクル時間				2	—	—	tcyc	
発振安定時間 (水晶発振子)	trc	OSC1、OSC2		—	—	10.0	ms	
発振安定時間 (セラミック発振子)	trc	OSC1、OSC2		—	—	5.0	ms	
外部クロック High レベル幅	tcPH	OSC1	Vcc=4.0~5.5V	20.0	—	—	ns	図 21.1
				40.0	—	—	ns	
外部クロック Low レベル幅	tcPL	OSC1	Vcc=4.0~5.5V	20.0	—	—	ns	
				40.0	—	—	ns	
外部クロック 立ち上がり時間	tcPr	OSC1	Vcc=4.0~5.5V	—	—	10.0	ns	
				—	—	15.0	ns	
外部クロック 立ち下がり時間	tcPf	OSC1	Vcc=4.0~5.5V	—	—	10.0	ns	
				—	—	15.0	ns	
RES 端子 Low レベル幅	tREL	RES	電源投入時および 下記以外のモード	trc	—	—	ms	図 21.2
			アクティブモード、 スリープモード動作時	200	—	—	ns	

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
入力端子 High レベル幅	t _{IH}	$\overline{\text{NMI}}$ 、TMIB1 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ3}}$ $\overline{\text{WKP0}}\sim\overline{\text{WKP5}}$ TMCIV、TMRIV TRGV、 $\overline{\text{ADTRG}}$ FTIOA0~FTIOD0 FTIOA1~FTIOD1		2	—	—	t _{cyc}	図 21.3
入力端子 Low レベル幅	t _{IL}	$\overline{\text{NMI}}$ 、TMIB1 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ3}}$ $\overline{\text{WKP0}}\sim\overline{\text{WKP5}}$ TMCIV、TMRIV TRGV、 $\overline{\text{ADTRG}}$ FTIOA0~FTIOD0 FTIOA1~FTIOD1		2	—	—	t _{cyc}	

【注】 *1 外部クロックを入力する場合はシステムクロック発振器発振周波数は Min1.0MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の MA2、MA1、MA0 の設定により決定します。

表 21.4 I²C バスインタフェースタイミング

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	t _{SCL}		12t _{cyc} + 600	—	—	ns	図 21.4
SCL 入力 High パルス幅	t _{SCLH}		3t _{cyc} + 300	—	—	ns	
SCL 入力 Low パルス幅	t _{SCLL}		5t _{cyc} + 300	—	—	ns	
SCL、SDA 入力立ち下がり時間	t _{SF}		—	—	300	ns	
SCL、SDA 入カスパイクパルス 除去時間	t _{SP}		—	—	1t _{cyc}	ns	
SDA 入カバスフリー時間	t _{BUF}		5t _{cyc}	—	—	ns	
開始条件入カホールド時間	t _{STAH}		3t _{cyc}	—	—	ns	
再送開始条件入カセットアップ時間	t _{STAS}		3t _{cyc}	—	—	ns	
停止条件入カセットアップ時間	t _{STOS}		3t _{cyc}	—	—	ns	
データ入カセットアップ時間	t _{SDAS}		1t _{cyc} + 20	—	—	ns	
データ入カホールド時間	t _{SDAH}		0	—	—	ns	
SCL、SDA の容量性負荷	C _b		0	—	400	pF	
SCL、SDA 出力立ち下り時間	t _{SF}	Vcc=4.0~5.5V	—	—	250	ns	
			—	—	300	ns	

21. 電気的特性

表 21.5 シリアルコミュニケーションインタフェース (SCI) タイミング

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				Min	Typ	Max			
入力クロック サイクル	調歩同期	tscyc	SCK3		4	—	—	t _{cyc}	図 21.5
	クロック同期				6	—	—	t _{cyc}	図 21.6
入力クロックパルス幅	t _{SCKW}	SCK3		0.4	—	0.6	t _{SCKW}		
送信データ遅延時間 (クロック同期)	t _{TXD}	TXD	Vcc=4.0~5.5V	—	—	1	t _{cyc}	図 21.6	
				—	—	1	t _{cyc}		
受信データセットアップ時間 (クロック同期)	t _{RXS}	RXD	Vcc=4.0~5.5V	50.0	—	—	ns		
				100.0	—	—	ns		
受信データホールド時間 (クロック同期)	t _{RXH}	RXD	Vcc=4.0~5.5V	50.0	—	—	ns		
				100.0	—	—	ns		

21.2.4 A/D 変換特性

表 21.6 A/D 変換器特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
アナログ電源電圧	AVcc	AVcc		3.0	Vcc	5.5	V	*1
アナログ入力電圧	AVIN	AN0~AN7		Vss-0.3	—	AVcc+0.3	V	
アナログ電源電流	AI _{OP} E	AVcc	Vcc=5.0V f _{osc} =20MHz	—	—	2.0	mA	
	AI _{STOP1}	AVcc		—	50	—	μA	*2 参考値
	AI _{STOP2}	AVcc		—	—	5.0	μA	*3
アナログ入力容量	CAIN	AN0~AN7		—	—	30.0	pF	
許容信号源 インピーダンス	RAIN	AN0~AN7		—	—	5.0	kΩ	
分解能 (データ長)				10	10	10	ビット	
変換時間 (単一モード)			Vcc=3.0~5.5V	134	—	—	t _{cyc}	
非直線性誤差				—	—	±7.5	LSB	
オフセット誤差				—	—	±7.5	LSB	
フルスケール誤差				—	—	±7.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±8.0	LSB	

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
変換時間 (単一モード)			AVcc=4.0~5.5V	70	—	—	t _{cy}	
非直線性誤差				—	—	±7.5	LSB	
オフセット誤差				—	—	±7.5	LSB	
フルスケール誤差				—	—	±7.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±8.0	LSB	
変換時間 (単一モード)			AVcc=4.0~5.5V	134	—	—	t _{cy}	
非直線性誤差				—	—	±3.5	LSB	
オフセット誤差				—	—	±3.5	LSB	
フルスケール誤差				—	—	±3.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±4.0	LSB	

【注】 *1 A/D 変換器を使用しない場合は AVcc=Vcc としてください。

*2 A_{lSTOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 A_{lSTOP2} はリセット、スタンバイモードおよびサブスリープモードでの A/D 変換待機時の電流値です。

21.2.5 ウォッチドッグタイマ特性

表 21.7 ウォッチドッグタイマ特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
内部発振器オーバーフロー時間	t _{OVF}			0.2	0.4	—	s	*

【注】 * 内部発振器を選択した状態で、0~255 までカウントアップし、内部リセットが発生するまでの時間を示します。

21. 電気的特性

21.2.6 フラッシュメモリ特性

表 21.8 フラッシュメモリ特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規格値			単位	
			Min	Typ	Max		
書き込み時間 (128 バイト当たり) *1 *2 *4	tp		—	7	200	ms	
消去時間 (1 ブロック当たり) *1 *3 *6	te		—	100	1200	ms	
書き換え回数	NWEC		1000	10000	—	回	
書き込み時	SWE ビットセット後の待機時間*1	x	1	—	—	μs	
	PSU ビットセット後の待機時間*1	y	50	—	—	μs	
	P ビットセット後の待機時間*1 *4	z1	1 ≤ n ≤ 6	28	30	32	μs
			7 ≤ n ≤ 1000	198	200	202	μs
			追加書き込み	8	10	12	μs
	P ビットクリア後の待機時間*1	α	5	—	—	μs	
	PSU ビットクリア後の待機時間*1	β	5	—	—	μs	
	PV ビットセット後の待機時間*1	γ	4	—	—	μs	
	ダミーライト後の待機期間*1	ε	2	—	—	μs	
	PV ビットクリア後の待機時間*1	η	2	—	—	μs	
	SWE ビットクリア後の待機時間*1	θ	100	—	—	μs	
	最大書き込み回数*1 *4 *5	N		—	—	1000	回
消去時	SWE ビットセット後の待機時間*1	x	1	—	—	μs	
	ESU ビットセット後の待機時間*1	y	100	—	—	μs	
	E ビットセット後の待機時間*1 *6	z	10	—	100	ms	
	E ビットクリア後の待機時間*1	α	10	—	—	μs	
	ESU ビットクリア後の待機時間*1	β	10	—	—	μs	
	EV ビットセット後の待機時間*1	γ	20	—	—	μs	
	ダミーライト後の待機期間*1	ε	2	—	—	μs	
	EV ビットクリア後の待機時間*1	η	4	—	—	μs	
	SWE ビットクリア後の待機時間*1	θ	100	—	—	μs	
	最大消去回数*1 *6 *7	N		—	—	120	回

【注】 *1 各時間の設定は、プログラム/イレースのアルゴリズムに従い行ってください。

*2 128 バイトあたりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。

*3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。

*4 書き込み時間の最大値 (tp(MAX)) = P ビットセット後の待機時間(z) × 最大書き込み回数(N)

- *5 最大書き込み回数(N)は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 tp(MAX)以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

$$1 \leq n \leq 6 \quad z1 = 30 \mu s$$

$$7 \leq n \leq 1000 \quad z2 = 200 \mu s$$

- *6 消去時間の最大値 (te(MAX)) = E ビットセット後の待機時間(z) × 最大消去回数(N)
- *7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値 (te(MAX)) 以下となるように設定してください。

21.2.7 電源電圧検出回路特性

表 21.9 電源電圧検出回路特性

(特記なき場合、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
電源立ち下がり検出電圧	Vint(D)	LVDSEL=0	3.3	3.7	—	V
電源立ち上がり検出電圧	Vint(U)	LVDSEL=0	—	4.0	4.5	V
リセット検出電圧 1*1	Vreset1	LVDSEL=0	—	2.3	2.7	V
リセット検出電圧 2*2	Vreset2	LVDSEL=1	3.0	3.6	4.2	V
LVDR 動作下限電圧*3	VLVDRmin		1.0	—	—	V
LVD 安定時間	tLVDON		50	—	—	μs
スタンバイモード消費電流	ISTBY	LVDE=1 Vcc=5.0V	—	—	350	μA

- 【注】 *1 立ち下がり、立ち上がり電圧検出機能と併用時に使用してください。
- *2 低電圧検出リセットのみの使用の場合は低電圧リセット2を選択してください。
- *3 電源電圧 Vcc が VLVDRmin =1.0V 以下に低下し、そこから立ち上がった場合、リセットがかからない場合がありますので十分評価をお願いします。

21. 電气的特性

21.2.8 パワーオンリセット特性

表 21.10 パワーオンリセット特性

(特記なき場合、 $V_{ss}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
RES 端子プルアップ抵抗	RRES		100	150	—	k Ω
パワーオンリセットスタート 電圧*	V _{por}		—	—	100	mV

【注】 * 電源電圧 V_{cc} は $V_{por}=100mV$ 以下まで必ず立ち下げ、 \overline{RES} 端子の電荷が十分に抜けてから立ち上げてください。
 \overline{RES} 端子の電荷を引き抜くためにはダイオードを V_{cc} 側に付けることを推奨します。100mV を超えたところから電源電圧 V_{cc} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

21.3 タイミング図

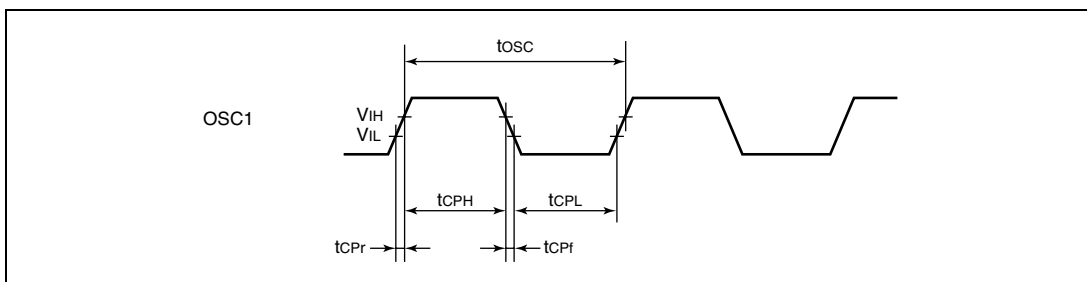


図 21.1 システムクロック入力タイミング

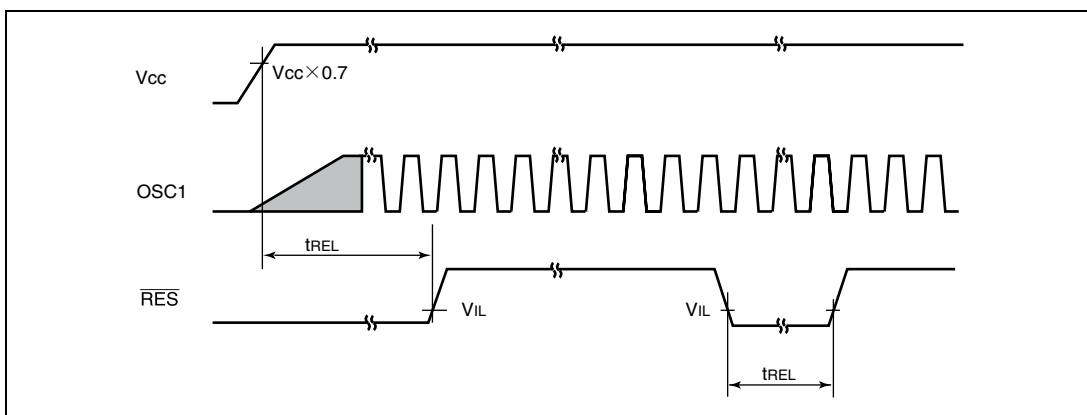


図 21.2 RES 端子 Low レベル幅タイミング

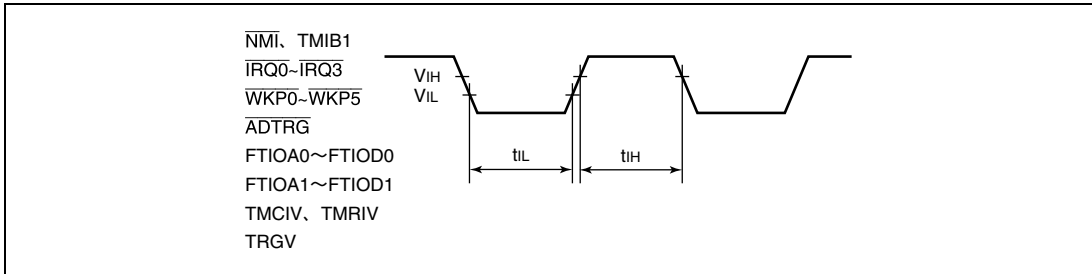


図 21.3 入力タイミング

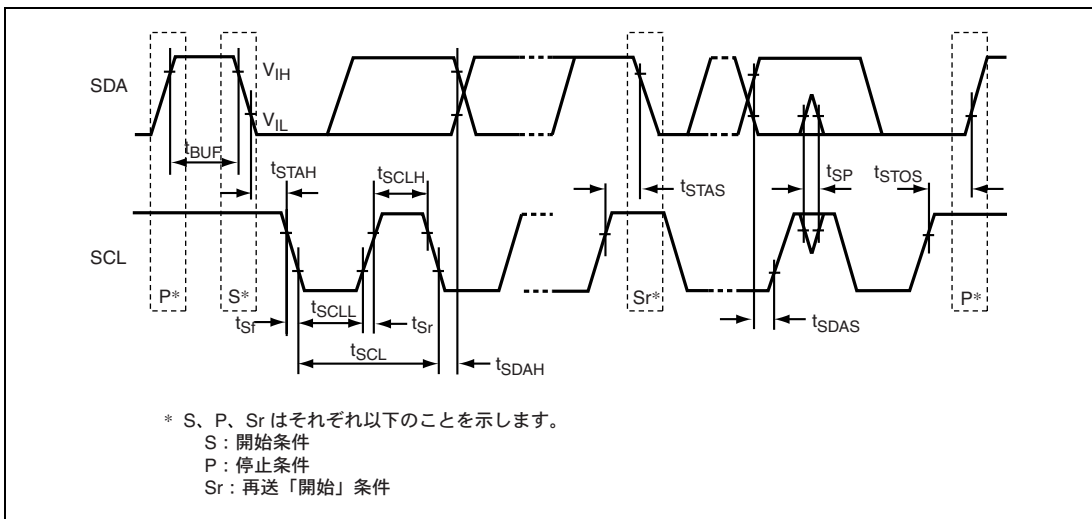


図 21.4 I²C バスインタフェース入出力タイミング

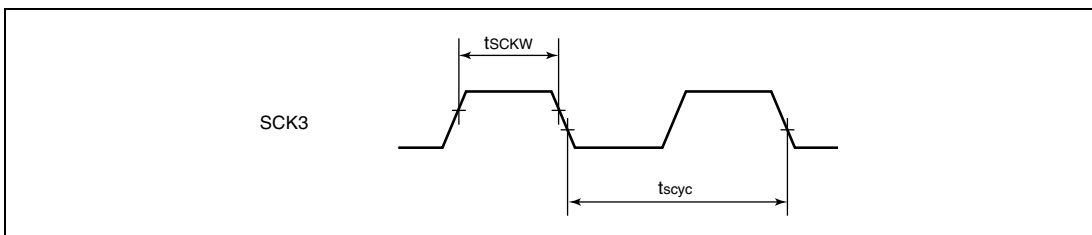


図 21.5 SCK3 入力クロックタイミング

21. 電気的特性

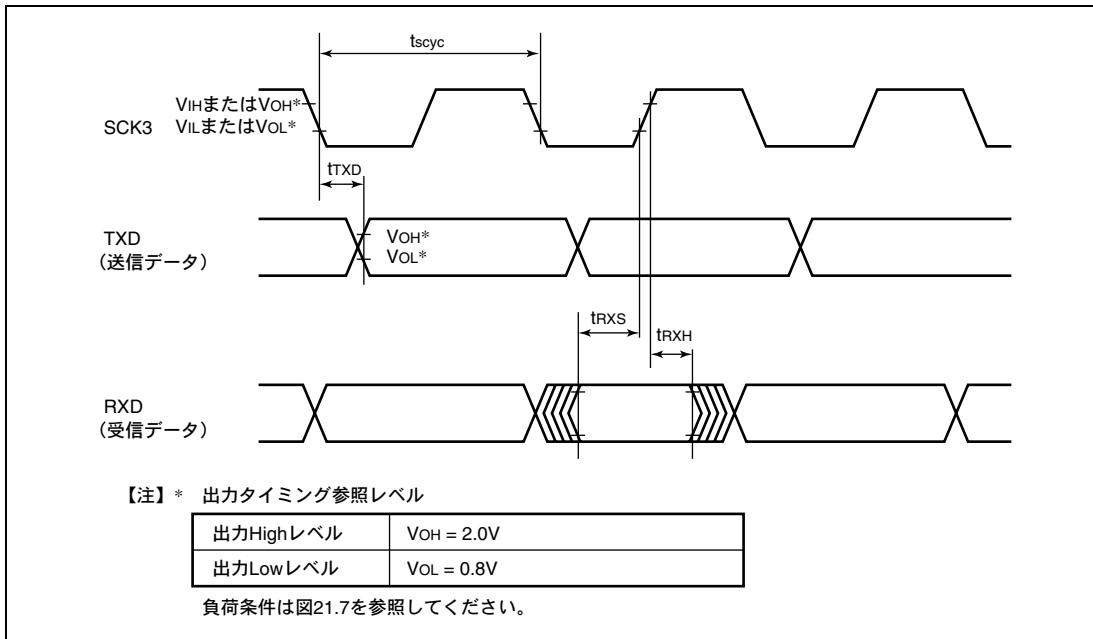


図 21.6 SCI クロック同期式モード入出力タイミング

21.4 出力負荷条件

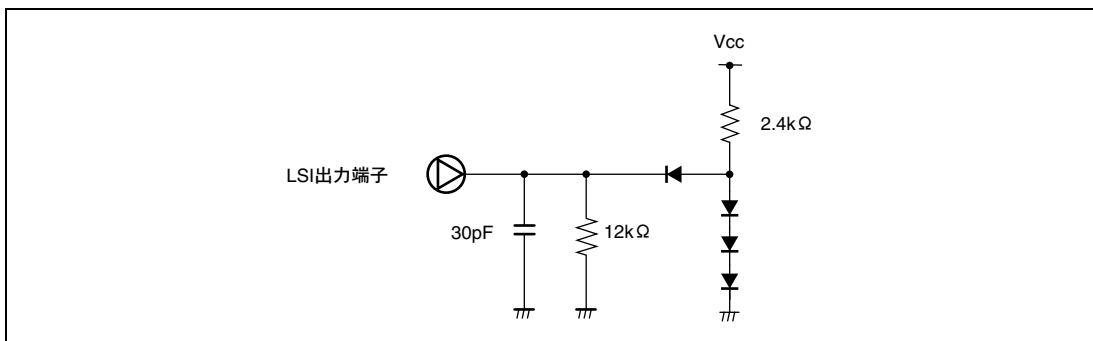


図 21.7 出力負荷回路

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERs	ソース側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバーフロー）フラグ
C	CCR の C（キャリ）フラグ
disp	ディスプレースメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和

【注】 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）または 16 ビット（R0～R7、E0～E7）です。

《オペレーションの記号》

記号	内容
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
() <>	オペランドの内容
↑ ↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
-	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

二モニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行バイト数*1				
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/@ERn+	@aa	@(d, PC)	@aa	I	H	N		Z	V	C	
MOV	W		2															4
MOV.W Rs, @ERd	W																	4
MOV.W Rs, @(d:16, ERd)	W			4														6
MOV.W Rs, @(d:24, ERd)	W			8														10
MOV.W Rs, @-ERd	W							2										6
MOV.W Rs, @aa:16	W									4								6
MOV.W Rs, @aa:24	W									6								8
MOV.L #xx:32, Rd	L	6																6
MOV.L ERs, ERd	L		2															2
MOV.L @ERs, ERd	L			4														8
MOV.L @(d:16, ERs), ERd	L				6													10
MOV.L @(d:24, ERs), ERd	L				10													14
MOV.L @ERs+, ERd	L						4											10
MOV.L @aa:16, ERd	L									6								10
MOV.L @aa:24, ERd	L									8								12
MOV.L ERs, @ERd	L			4														8
MOV.L ERs, @(d:16, ERd)	L				6													10
MOV.L ERs, @(d:24, ERd)	L				10													14
MOV.L ERs, @-ERd	L							4										10
MOV.L ERs, @aa:16	L									6								10
MOV.L ERs, @aa:24	L									8								12
POP.W Rn	W																	6
POP.L ERn	L																	10
PUSH.W Rn	W																	6
PUSH.L ERn	L																	10
MOVFPE @aa:16, Rd	B																	
MOVTPPE Rs, @aa:16	B																	

(2) 算術演算命令

二乗ニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行ガード数*1		
		#xx	Rn	@ERn	@(d, ERn)	@ERn/ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V		C	J-7F
ADD	ADD.B #xx:8, Rd	B	2															2
	ADD.B Rs, Rd	B	2															2
	ADD.W #xx:16, Rd	W	4															4
	ADD.W Rs, Rd	W	2															2
	ADD.L #xx:32, ERd	L	6															6
	ADD.L ERs, ERd	L	2															2
ADDX	ADDX.B #xx:8, Rd	B	2															2
	ADDX.B Rs, Rd	B	2															2
ADDS	ADDS.L #1, ERd	L	2															2
	ADDS.L #2, ERd	L	2															2
	ADDS.L #4, ERd	L	2															2
	INC.B Rd	B	2															2
INC	INC.W #1, Rd	W	2															2
	INC.W #2, Rd	W	2															2
	INC.L #1, ERd	L	2															2
	INC.L #2, ERd	L	2															2
	DAA Rd	B	2															2
	SUB	SUB.B Rs, Rd	B	2														
SUBX	SUB.W #xx:16, Rd	W	4															4
	SUB.W Rs, Rd	W	2															2
	SUB.L #xx:32, ERd	L	6															6
	SUB.L ERs, ERd	L	2															2
	SUBX.B #xx:8, Rd	B	2														(3)	2
	SUBX.B Rs, Rd	B	2														(3)	2

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行回数*1	
		#xx	Rn	@(d, ERn)	@(d, ERn) @-ERn/ERn+ @aa @(d, PC) @@aa		I	H	N	Z	V	C			
SUBS	SUBS.L #1, ERd	L	2			ERd32.1→ERd32	—	—	—	—	—	—	—	—	2
	SUBS.L #2, ERd	L	2			ERd32.2→ERd32	—	—	—	—	—	—	—	—	2
	SUBS.L #4, ERd	L	2			ERd32.4→ERd32	—	—	—	—	—	—	—	—	2
DEC	DEC.B Rd	B	2			Rd8.1→Rd8	—	↑	↑	↑	↑	↑	↑	↑	2
	DEC.W #1, Rd	W	2			Rd16.1→Rd16	—	↑	↑	↑	↑	↑	↑	↑	2
	DEC.W #2, Rd	W	2			Rd16.2→Rd16	—	↑	↑	↑	↑	↑	↑	↑	2
	DEC.L #1, ERd	L	2			ERd32.1→ERd32	—	↑	↑	↑	↑	↑	↑	↑	2
DAS	DEC.L #2, ERd	L	2			ERd32.2→ERd32	—	↑	↑	↑	↑	↑	↑	↑	2
	DAS Rd	B	2			Rd8 10進補正→Rd8	—	*	↑	↑	*	—	—	—	2
MULXU	MULXU.B Rs, Rd	B	2			Rd8×Rs8→Rd16 (符号なし乗算)	—	—	—	—	—	—	—	—	14
	MULXU.W Rs, ERd	W	2			Rd16×Rs16→ERd32 (符号なし乗算)	—	—	—	—	—	—	—	—	22
MULXS	MULXS.B Rs, Rd	B	4			Rd8×Rs8→Rd16 (符号付乗算)	—	↑	↑	↑	↑	↑	↑	↑	16
	MULXS.W Rs, ERd	W	4			Rd16×Rs16→ERd32 (符号付乗算)	—	↑	↑	↑	↑	↑	↑	↑	24
DIVXU	DIVXU.B Rs, Rd	B	2			Rd16÷Rs8→Rd16 (RdH:余り, RdL:商) (符号なし除算)	—	(6)	(7)	—	—	—	—	—	14
	DIVXU.W Rs, ERd	W	2			ERd32÷Rs16→ERd32 (Ed:余り, Rd:商) (符号なし除算)	—	(6)	(7)	—	—	—	—	—	22
DIVXS	DIVXS.B Rs, Rd	B	4			Rd16÷Rs8→Rd16 (RdH:余り, RdL:商) (符号付除算)	—	(8)	(7)	—	—	—	—	—	16
	DIVXS.W Rs, ERd	W	4			ERd32÷Rs16→ERd32 (Ed:余り, Rd:商) (符号付除算)	—	(8)	(7)	—	—	—	—	—	24
CMP	CMP.B #xx:8, Rd	B	2			Rd8:#xx:8	—	↑	↑	↑	↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2			Rd8-Rs8	—	↑	↑	↑	↑	↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4			Rd16:#xx:16	—	(1)	↑	↑	↑	↑	↑	↑	4
	CMP.W Rs, Rd	W	2			Rd16-Rs16	—	(1)	↑	↑	↑	↑	↑	↑	2

二モニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード							実行ワード数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@ERn/ERn+	@aa	@(d, PC)		@aa	I	H	N	Z	V	C		ノード
CMP	CMP.L #xx:32, ERd	L	6															4
	CMP.L ERs, ERd	L	2															2
NEG	NEG.B Rd	B	2															2
	NEG.W Rd	W	2															2
	NEG.L ERd	L	2															2
XTU	XTU.W Rd	W	2															2
	XTU.L ERd	L	2															2
	EXTS.W Rd	W	2															2
EXTS	EXTS.L ERd	L	2															2

(3) 論理演算命令

二一モニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション							コンディションコード							実行対数 ^{*1}		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—	I	H	N	Z	V	C	—	—	—	—	—	—			
AND	AND.B #xx:8, Rd	B	2																						2
	AND.B Rs, Rd	B																							2
	AND.W #xx:16, Rd	W	4																						4
	AND.W Rs, Rd	W																							4
	AND.L #xx:32, ERd	L	6																						6
	AND.L ERs, ERd	L																							4
OR	OR.B #xx:8, Rd	B	2																						2
	OR.B Rs, Rd	B																							2
	OR.W #xx:16, Rd	W	4																						4
	OR.W Rs, Rd	W																							4
	OR.L #xx:32, ERd	L	6																						6
	OR.L ERs, ERd	L																							4
XOR	XOR.B #xx:8, Rd	B	2																						2
	XOR.B Rs, Rd	B																							2
	XOR.W #xx:16, Rd	W	4																						4
	XOR.W Rs, Rd	W																							4
	XOR.L #xx:32, ERd	L	6																						6
	XOR.L ERs, ERd	L																							4
NOT	NOT.B Rd	B	2																						2
	NOT.W Rd	W	2																						2
	NOT.L ERd	L	2																						2

(5) ビット操作命令

二モニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディショニングコード					実行回数 ^{#1}				
		#xx	Rn	@ERn	@(d, ERn) @-ERn/@ERN+ @aa		@(d, PC)	@aa	I	H	N		Z	V	C	
BSET	BSET #xx:3, Rd	B	2													2
	BSET #xx:3, @ERd	B		4												8
	BSET #xx:3, @aa:8	B			4											8
	BSET Rn, Rd	B	2													2
	BSET Rn, @ERd	B		4												8
	BSET Rn, @aa:8	B				4										8
BCLR	BCLR #xx:3, Rd	B	2													2
	BCLR #xx:3, @ERd	B		4												8
	BCLR #xx:3, @aa:8	B			4											8
	BCLR Rn, Rd	B	2													2
	BCLR Rn, @ERd	B		4												8
	BCLR Rn, @aa:8	B				4										8
BNOT	BNOT #xx:3, Rd	B	2													2
	BNOT #xx:3, @ERd	B		4												8
	BNOT #xx:3, @aa:8	B			4											8
	BNOT Rn, Rd	B	2													2
	BNOT Rn, @ERd	B		4												8
	BNOT Rn, @aa:8	B				4										8
BTST	BTST #xx:3, Rd	B	2													2
	BTST #xx:3, @ERd	B		4												6
	BTST #xx:3, @aa:8	B			4											6
	BTST Rn, Rd	B	2													2
	BTST Rn, @ERd	B		4												6
	BTST Rn, @aa:8	B				4										6
BLD	BLD #xx:3, Rd	B	2													2
	BLD #xx:3, @ERd	B		4												6
	BLD #xx:3, @aa:8	B			4											6
	BILD #xx:3, Rd	B	2													2
	BILD #xx:3, @ERd	B		4												6
	BILD #xx:3, @aa:8	B				4										6

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行回数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	ノックアウト
BST	BST #xx:3, Rd	B	2						C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2
	BST #xx:3, @ERd	B		4					C→(#xx:3 of @ERd24)	—	—	—	—	—	—	—	8
	BST #xx:3, @aa:8	B				4			C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BIST	BIST #xx:3, Rd	B	2						~C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2
	BIST #xx:3, @ERd	B		4					~C→(#xx:3 of @ERd24)	—	—	—	—	—	—	—	8
	BIST #xx:3, @aa:8	B				4			~C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BAND	BAND #xx:3, Rd	B	2						C^(#xx:3 of Rd8)→C	—	—	—	—	—	—	—	2
	BAND #xx:3, @ERd	B		4					C^(#xx:3 of @ERd24)→C	—	—	—	—	—	—	—	6
	BAND #xx:3, @aa:8	B				4			C^(#xx:3 of @aa:8)→C	—	—	—	—	—	—	—	6
BIAND	BIAND #xx:3, Rd	B	2						C^~(#xx:3 of Rd8)→C	—	—	—	—	—	—	—	2
	BIAND #xx:3, @ERd	B		4					C^~(#xx:3 of @ERd24)→C	—	—	—	—	—	—	—	6
	BIAND #xx:3, @aa:8	B				4			C^~(#xx:3 of @aa:8)→C	—	—	—	—	—	—	—	6
BOR	BOR #xx:3, Rd	B	2						Cv(#xx:3 of Rd8)→C	—	—	—	—	—	—	—	2
	BOR #xx:3, @ERd	B		4					Cv(#xx:3 of @ERd24)→C	—	—	—	—	—	—	—	6
	BOR #xx:3, @aa:8	B				4			Cv(#xx:3 of @aa:8)→C	—	—	—	—	—	—	—	6
BIOR	BIOR #xx:3, Rd	B	2						Cv~(#xx:3 of Rd8)→C	—	—	—	—	—	—	—	2
	BIOR #xx:3, @ERd	B		4					Cv~(#xx:3 of @ERd24)→C	—	—	—	—	—	—	—	6
	BIOR #xx:3, @aa:8	B				4			Cv~(#xx:3 of @aa:8)→C	—	—	—	—	—	—	—	6
BXOR	BXOR #xx:3, Rd	B	2						C⊕(#xx:3 of Rd8)→C	—	—	—	—	—	—	—	2
	BXOR #xx:3, @ERd	B		4					C⊕(#xx:3 of @ERd24)→C	—	—	—	—	—	—	—	6
	BXOR #xx:3, @aa:8	B				4			C⊕(#xx:3 of @aa:8)→C	—	—	—	—	—	—	—	6
BIXOR	BIXOR #xx:3, Rd	B	2						C⊕~(#xx:3 of Rd8)→C	—	—	—	—	—	—	—	2
	BIXOR #xx:3, @ERd	B		4					C⊕~(#xx:3 of @ERd24)→C	—	—	—	—	—	—	—	6
	BIXOR #xx:3, @aa:8	B				4			C⊕~(#xx:3 of @aa:8)→C	—	—	—	—	—	—	—	6

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	分岐条件	コンディションコード								実行回数 /マシナサイクル
		#xx	Rn	@ERn	@(d, ERn)	@-ERn@ERn+	@aa			@(d, PC)	@aa	I	H	N	Z	V	C	
Bcc	—	—	—	—	—	—	—	—	Always	—	—	—	—	—	—	4		
BRA d:8(BT d:8)	—	—	—	—	—	—	—	—	Always	—	—	—	—	—	—	4		
BRA d:16(BT d:16)	—	—	—	—	—	—	—	—	Always	—	—	—	—	—	—	6		
BRN d:8(BF d:8)	—	—	—	—	—	—	—	—	Never	—	—	—	—	—	—	4		
BRN d:16(BF d:16)	—	—	—	—	—	—	—	—	Never	—	—	—	—	—	—	6		
BHI d:8	—	—	—	—	—	—	—	—	CVZ=0	—	—	—	—	—	—	4		
BHI d:16	—	—	—	—	—	—	—	—	CVZ=0	—	—	—	—	—	—	6		
BLS d:8	—	—	—	—	—	—	—	—	CVZ=1	—	—	—	—	—	—	4		
BLS d:16	—	—	—	—	—	—	—	—	CVZ=1	—	—	—	—	—	—	6		
BCC d:8(BHS d:8)	—	—	—	—	—	—	—	—	C=0	—	—	—	—	—	—	4		
BCC d:16(BHS d:16)	—	—	—	—	—	—	—	—	C=0	—	—	—	—	—	—	6		
BCS d:8(BLO d:8)	—	—	—	—	—	—	—	—	C=1	—	—	—	—	—	—	4		
BCS d:16(BLO d:16)	—	—	—	—	—	—	—	—	C=1	—	—	—	—	—	—	6		
BNE d:8	—	—	—	—	—	—	—	—	Z=0	—	—	—	—	—	—	4		
BNE d:16	—	—	—	—	—	—	—	—	Z=0	—	—	—	—	—	—	6		
BEQ d:8	—	—	—	—	—	—	—	—	Z=1	—	—	—	—	—	—	4		
BEQ d:16	—	—	—	—	—	—	—	—	Z=1	—	—	—	—	—	—	6		
BVC d:8	—	—	—	—	—	—	—	—	V=0	—	—	—	—	—	—	4		
BVC d:16	—	—	—	—	—	—	—	—	V=0	—	—	—	—	—	—	6		
BVS d:8	—	—	—	—	—	—	—	—	V=1	—	—	—	—	—	—	4		
BVS d:16	—	—	—	—	—	—	—	—	V=1	—	—	—	—	—	—	6		
BPL d:8	—	—	—	—	—	—	—	—	N=0	—	—	—	—	—	—	4		
BPL d:16	—	—	—	—	—	—	—	—	N=0	—	—	—	—	—	—	6		
BMI d:8	—	—	—	—	—	—	—	—	N=1	—	—	—	—	—	—	4		
BMI d:16	—	—	—	—	—	—	—	—	N=1	—	—	—	—	—	—	6		

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディショニングコード							実行回数 ^{*1}				
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	7-ビット	7.5-ビット
Bcc	BGE d:8	—						2									4	
	BGE d:16	—						4									6	
	BLT d:8	—						2									4	
	BLT d:16	—						4									6	
	BGT d:8	—						2									4	
	BGT d:16	—						4									6	
JMP	BLE d:8	—						2									4	
	BLE d:16	—						4									6	
	JMP @ERn	—		2													4	
	JMP @aa:24	—					4										6	
	JMP @aa:8	—								2							8	10
	JMP @aa:8	—															6	8
BSR	BSR d:8	—						2									8	10
	BSR d:16	—						4									6	8
JSR	JSR @ERn	—		2													8	10
	JSR @aa:24	—					4										8	12
	JSR @aa:8	—								2							8	10
RTS	RTS	—															8	10
	RTS	—								2							8	10

(7) システム制御命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行回数*1		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	J-7#	Jd N 16
TRAPA	TRAPA #x:2	—							2	PC→@SP, CCR→@SP, <'\ 7>→PC	1	—	—	—	—	—	14	16
RTE	RTE	—								CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	↑	—	10
SLEEP	SLEEP	—								低消費電力状態に遷移	—	—	—	—	—	—	—	2
LDC	LDC #xx:8, CCR	B	2							#xx:8→CCR	↑	↑	↑	↑	↑	↑	—	2
	LDC Rs, CCR	B	2							Rs8→CCR	↑	↑	↑	↑	↑	↑	—	2
	LDC @ERS, CCR	W		4						@ERS→CCR	↑	↑	↑	↑	↑	↑	—	6
	LDC @(d:16, ERS), CCR	W			6					@(d:16, ERS)→CCR	↑	↑	↑	↑	↑	↑	—	8
	LDC @(d:24, ERS), CCR	W			10					@(d:24, ERS)→CCR	↑	↑	↑	↑	↑	↑	—	12
	LDC @ERS+, CCR	W			4					@ERS→CCR, ERS32+2→ERS32	↑	↑	↑	↑	↑	↑	—	8
	LDC @aa:16, CCR	W				6				@aa:16→CCR	↑	↑	↑	↑	↑	↑	—	8
	LDC @aa:24, CCR	W				8				@aa:24→CCR	↑	↑	↑	↑	↑	↑	—	10
STC	STC CCR, Rd	B	2							CCR→Rd8	—	—	—	—	—	—	—	2
	STC CCR, @ERd	W		4						CCR→@ERd	—	—	—	—	—	—	—	6
	STC CCR, @(d:16, ERd)	W			6					CCR→@(d:16, ERd)	—	—	—	—	—	—	—	8
	STC CCR, @(d:24, ERd)	W			10					CCR→@(d:24, ERd)	—	—	—	—	—	—	—	12
	STC CCR, @-ERd	W			4					ERd32-2→ERd32, CCR→@ERd	—	—	—	—	—	—	—	8
	STC CCR, @aa:16	W				6				CCR→@aa:16	—	—	—	—	—	—	—	8
	STC CCR, @aa:24	W				8				CCR→@aa:24	—	—	—	—	—	—	—	10
ANDC	ANDC #xx:8, CCR	B	2							CCR ^ #xx:8→CCR	↑	↑	↑	↑	↑	↑	—	2
ORC	ORC #xx:8, CCR	B	2							CCR V #xx:8→CCR	↑	↑	↑	↑	↑	↑	—	2
XORC	XORC #xx:8, CCR	B	2							CCR @ #xx:8→CCR	↑	↑	↑	↑	↑	↑	—	2
NOP	NOP	—							2	PC←PC+2	—	—	—	—	—	—	—	2

(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード					実行ガード数*1					
		#xx	@ERn	@(d, ERn)	@-ERn/ERn+		@aa	@(d, PC)	@@aa	—	I		H	N	Z	V	C
EEPMOV	—						4	if R4L ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	—	8+4n*2	7ビット
EEPMOV.W	—						4	if R4 ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	—	—	8+4n*2	

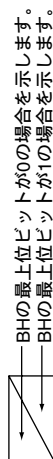
【注】 *1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合は、「A.3 命令実行ステータス数」を参照してください。

*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) エロック同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)



第1バイト	第2バイト
AH AL	BH BL

命令コード：

AH	AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)	
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	SUB	表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)	
2		MOV. B															
3		MOV. B															
4	BRA	BRN	BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
6					OR	OR	XOR	AND	BST	BST							
7	BSET	BNOT	BCLR	BTST	BOR	BOR	BXOR	BAND	BLD	BLD	MOV	表A.2(2)	EEMOV				表A.2(3)
8																	
9																	
A																	
B																	
C																	
D																	
E																	
F																	

表 A.2 オペレーションコードマップ (2)

命令コード:		第1バイト		第2バイト																		
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
BH/AH																						
01	MOV					LDC/STC							SLEEP					表A.2 (3)	表A.2 (3)			表A.2 (3)
0A	INC																					
0B	ADDS									INC			ADDS						INC			INC
0F	DAA																					
10	SHLL						SHLL						SHAL									
11	SHLR						SHLR						SHAR									
12	ROTXL						ROTXL						ROTL									
13	ROTXR						ROTXR						ROTR									
17	NOT						NOT						EXTU									EXTS
1A	DEC																					
1B	SUBS									DEC			SUBS									DEC
1F	DAS																					
58	BRA	BRN		BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT					
79	MOV	ADD		CMP	SUB	OR	OR	XOR	AND													
7A	MOV	ADD		CMP	SUB	OR	OR	XOR	AND													

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I=L=2, J=K=M=N=0$$

表A.3より

$$S_I=2, S_L=2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I=2, J=K=1, L=M=N=0$$

表A.3より

$$S_I=S_J=S_K=2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	
命令フェッチ	S_I	2	-	
分岐アドレスリード	S_J			
スタック操作	S_K			
バイトデータアクセス	S_L			2または3*
ワードデータアクセス	S_M			2または3*
内部動作	S_N	1		

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「20.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態（サイクル数）

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
BGT d:16	2					2	
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DUVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC@ERs, CCR	2				1	
	LDC@(d:16, ERs), CCR	3				1	
	LDC@(d:24, ERs), CCR	5				1	
	LDC@ERs+, CCR	2				1	2
	LDC@aa:16, CCR	3				1	
	LDC@aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPPE	MOVTPPE Rs,@aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR,@-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #xx:2	2	1	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 本 LSI では使用できません。

A.4 命令とアドレッシングモードの組み合わせ

表 A.5 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード																
		# xx	Rn	@ERn	@(d:16.ERn)	@(d:24.ERn)	@ERn+@ERn	@ERn+@ERn	@aa:8	@aa:16	@aa:24	@(d:8.PC)	@(d:16.PC)	@@aa:8	—			
		BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—	—	
データ転送命令	MOV	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WL	
	MOVFP, MOVTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	論理演算命令	MULXU, MULXS, DIVXU, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—	—
NEG		—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
EXTU, EXTS		—	WL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
AND, OR, XOR		—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
シフト命令 ビット操作命令	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	ビット操作命令	—	B	B	—	—	—	—	—	—	—	—	—	B	—	—	—	
	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
	STC	—	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
	ANDC, ORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	XORC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

B. I/O ポート

B.1 I/O ポートブロック図

\overline{RES} はリセット時 Low、 \overline{SBY} はリセット時およびスタンバイモードで Low になります。

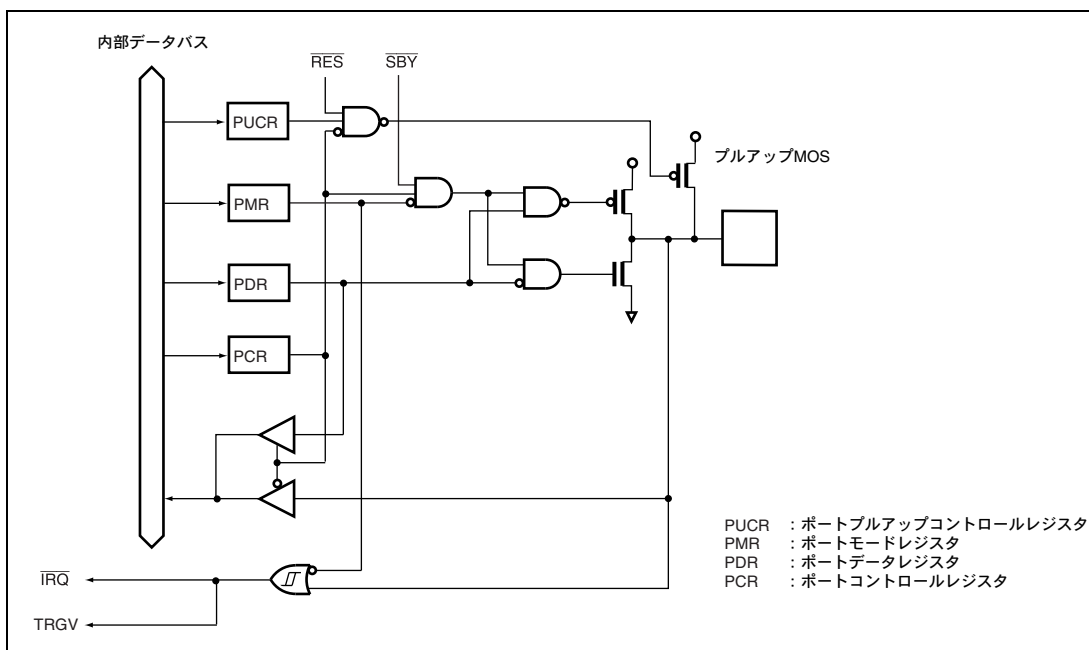


図 B.1 ポート1ブロック図 (P17)

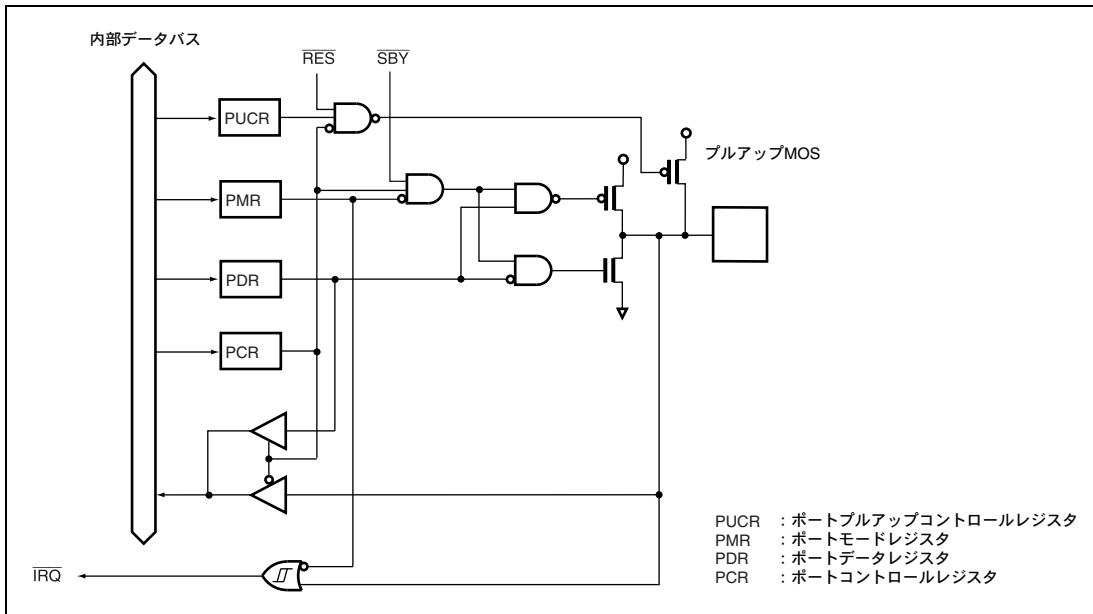


図 B.2 ポート 1 ブロック図 (P16、P14)

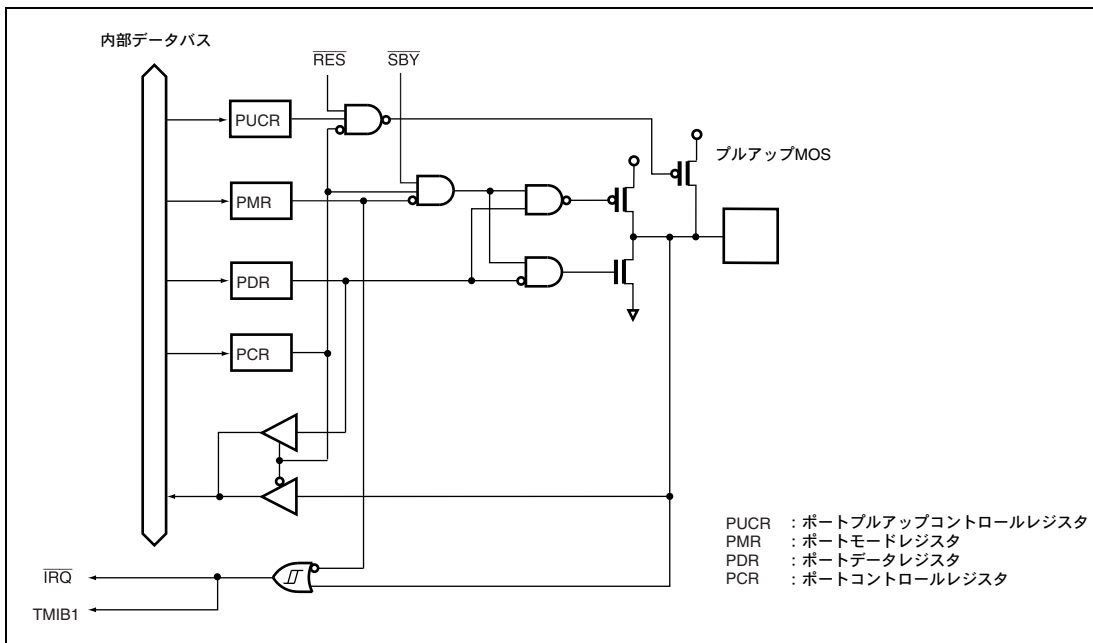


図 B.3 ポート 1 ブロック図 (P15)

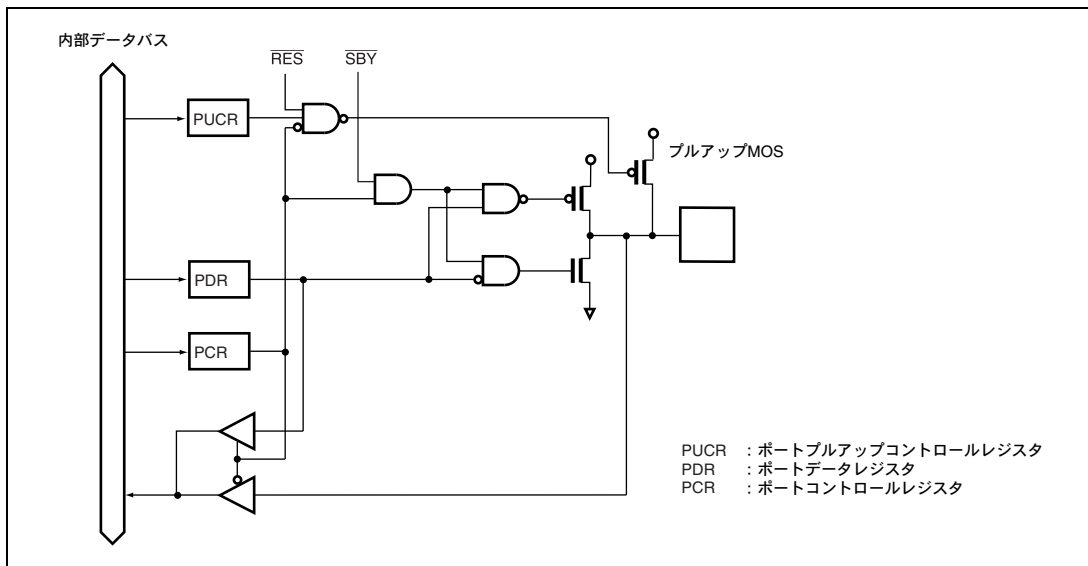


図 B.4 ポート 1 ブロック図 (P12、P10)

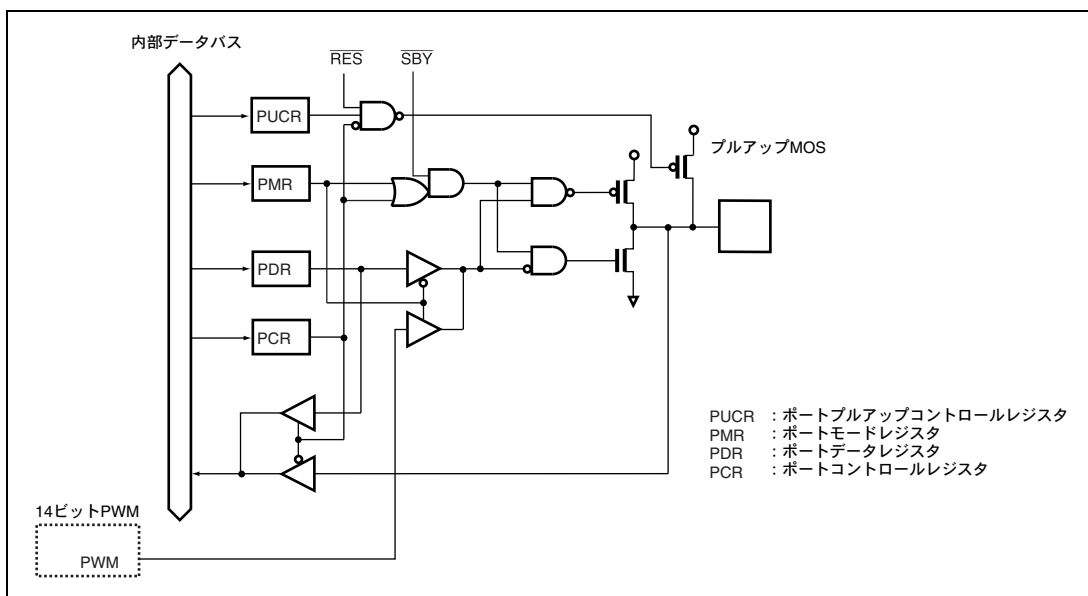


図 B.5 ポート 1 ブロック図 (P11)

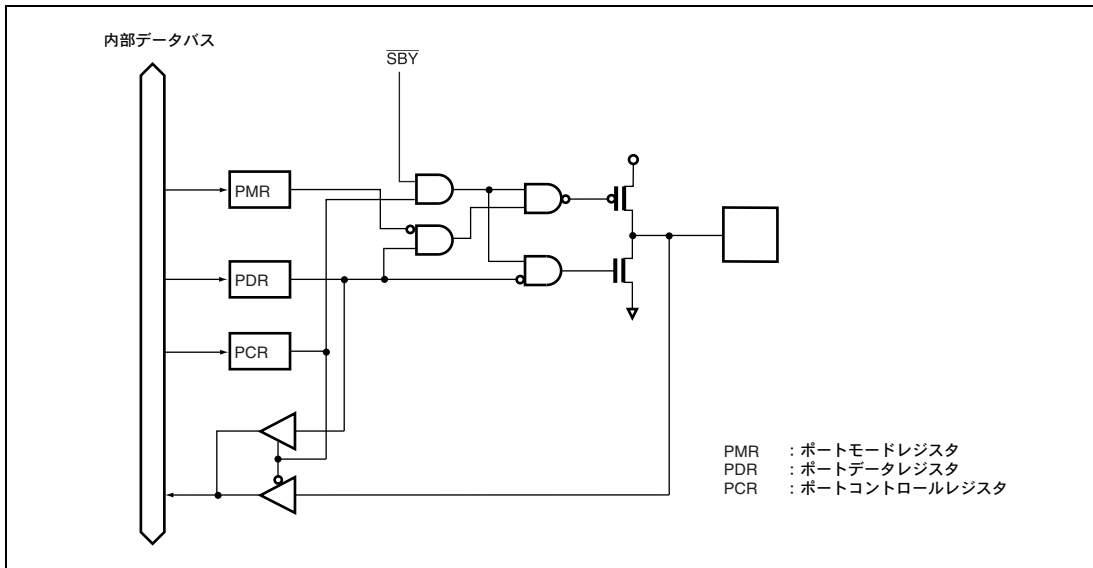


図 B.6 ポート 2 ブロック図 (P24、P23)

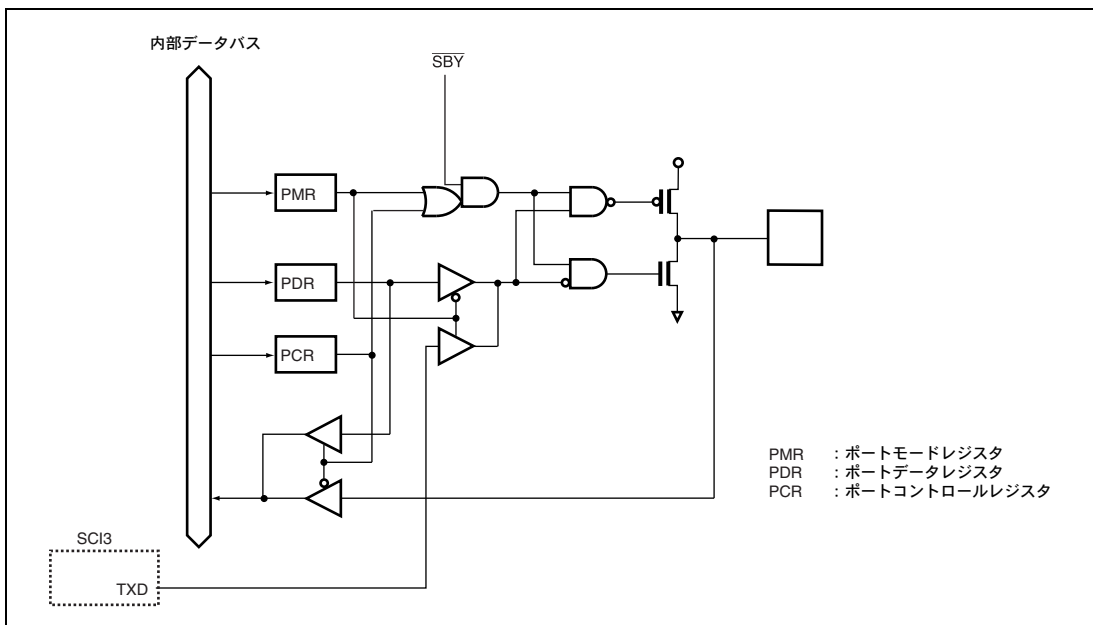


図 B.7 ポート 2 ブロック図 (P22)

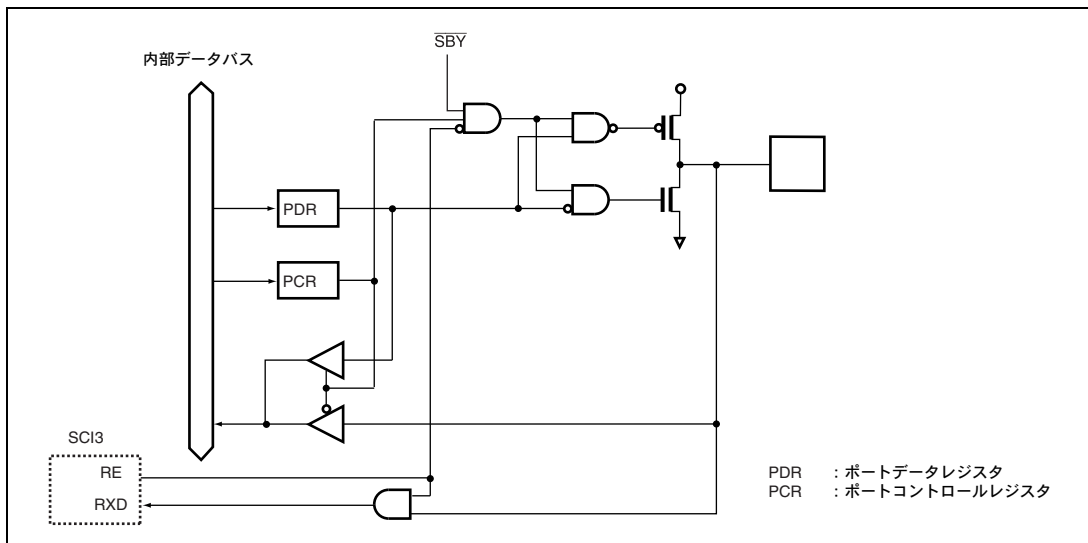


図 B.8 ポート 2 ブロック図 (P21)

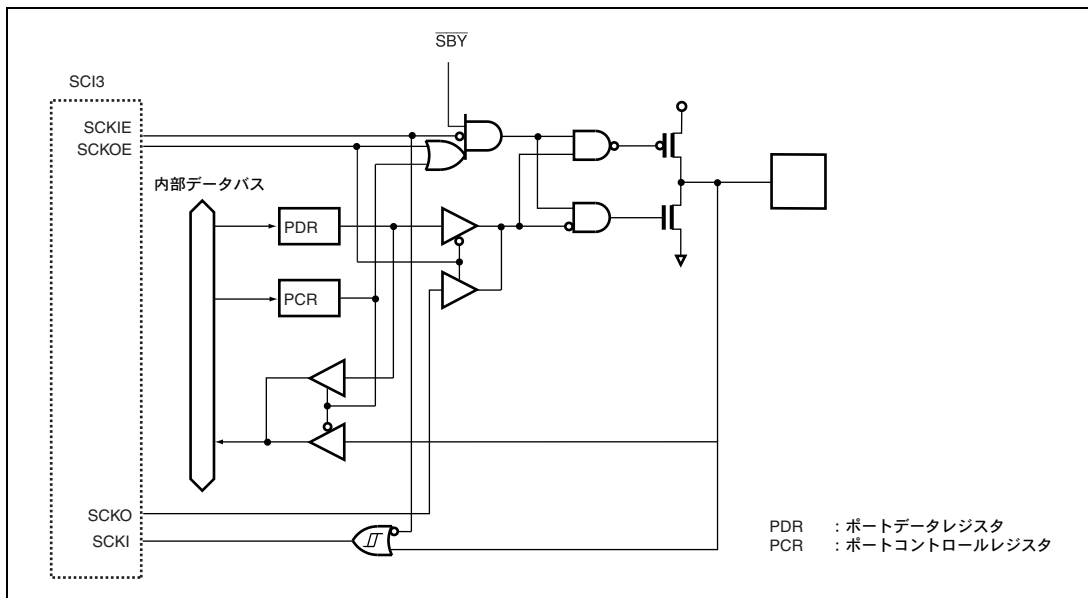


図 B.9 ポート 2 ブロック図 (P20)

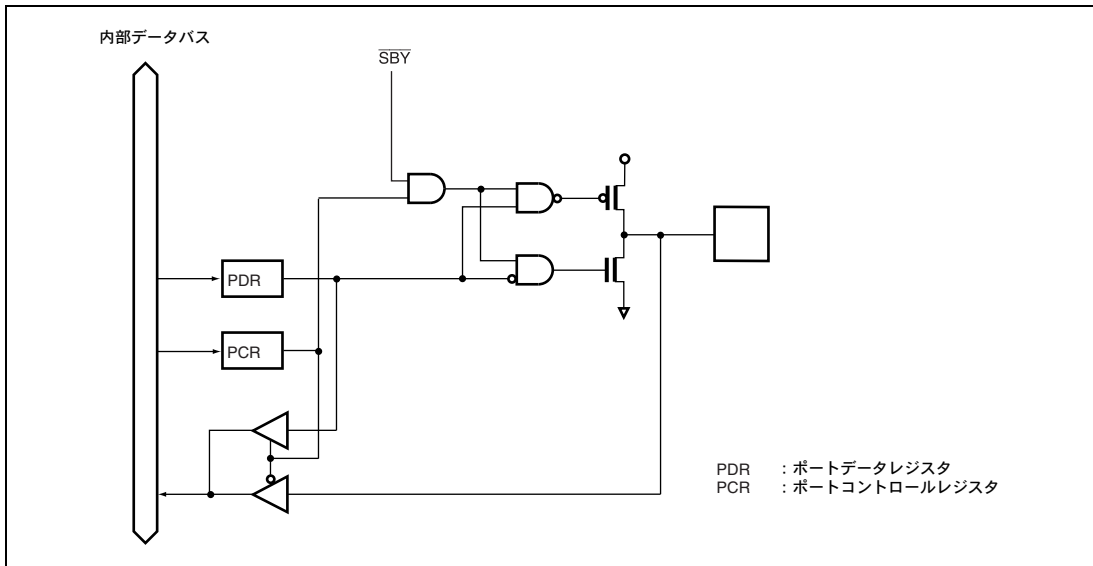


図 B.10 ポート 3 ブロック図 (P37、P36、P35、P34、P33、P32、P31、P30)

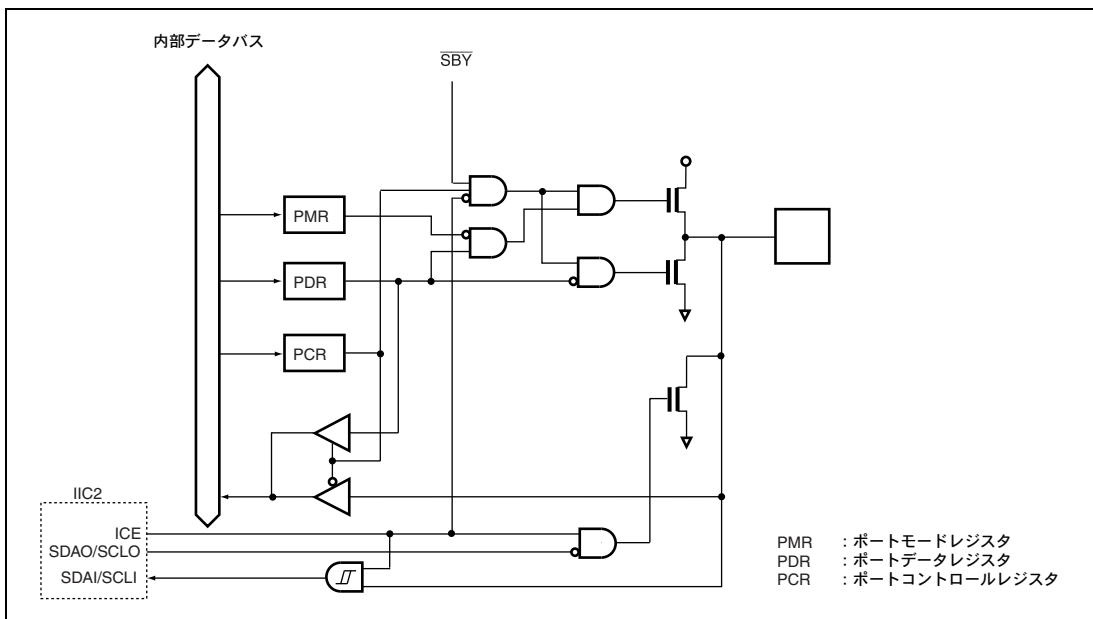


図 B.11 ポート 5 ブロック図 (P57、P56)

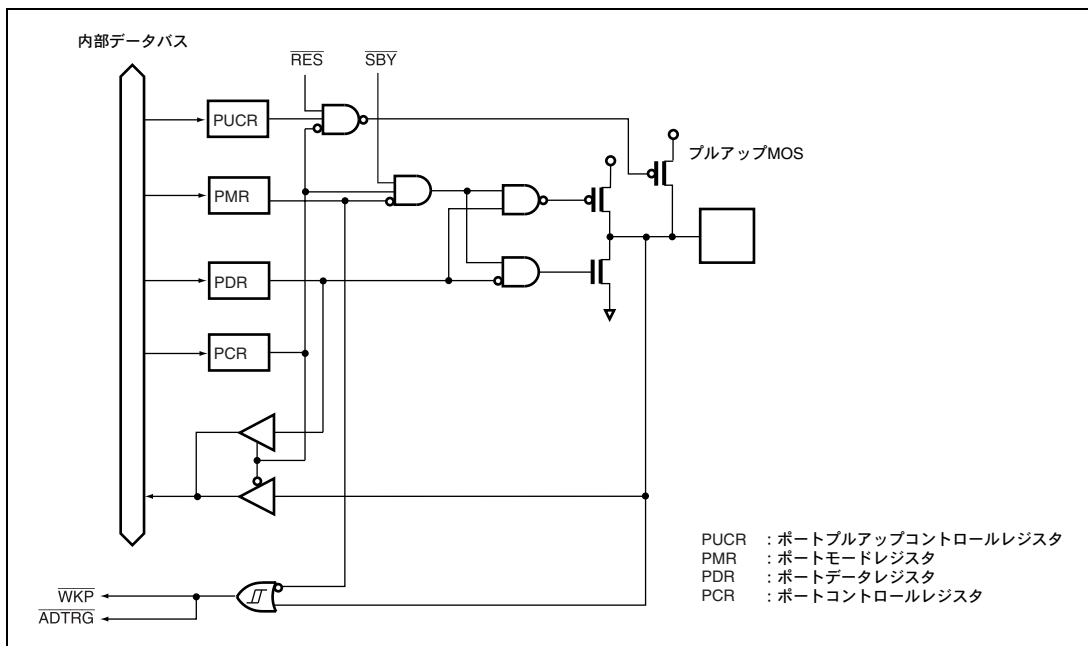


図 B.12 ポート 5 ブロック図 (P55)

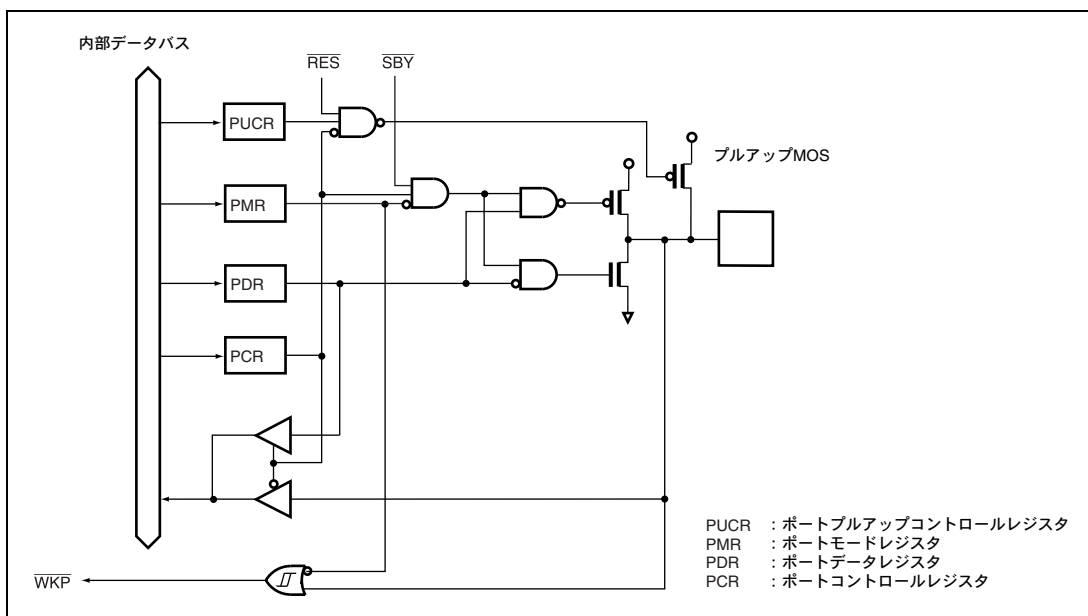


図 B.13 ポート 5 ブロック図 (P54、P53、P52、P51、P50)

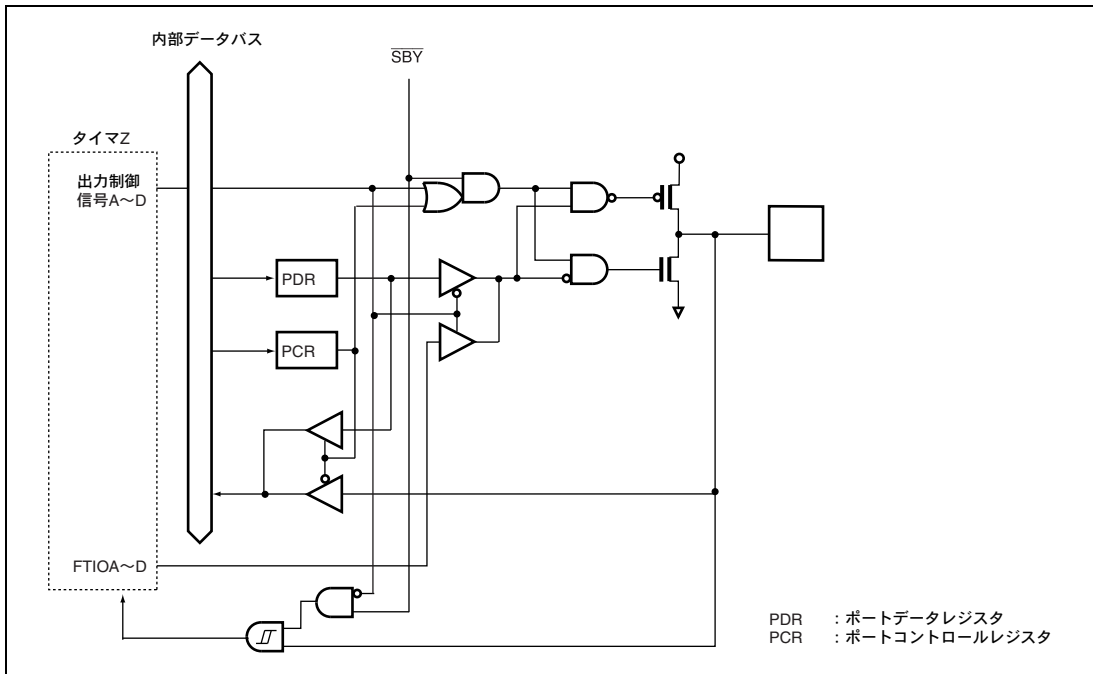


図 B.14 ポート6ブロック図 (P67、P66、P65、P64、P63、P62、P61、P60)

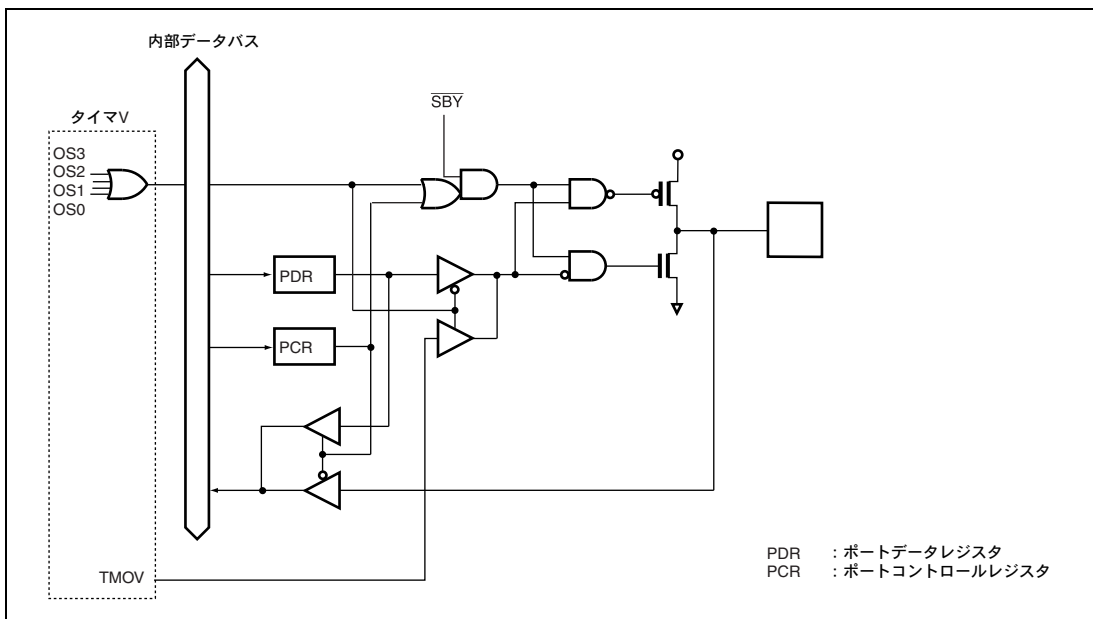


図 B.15 ポート7ブロック図 (P76)

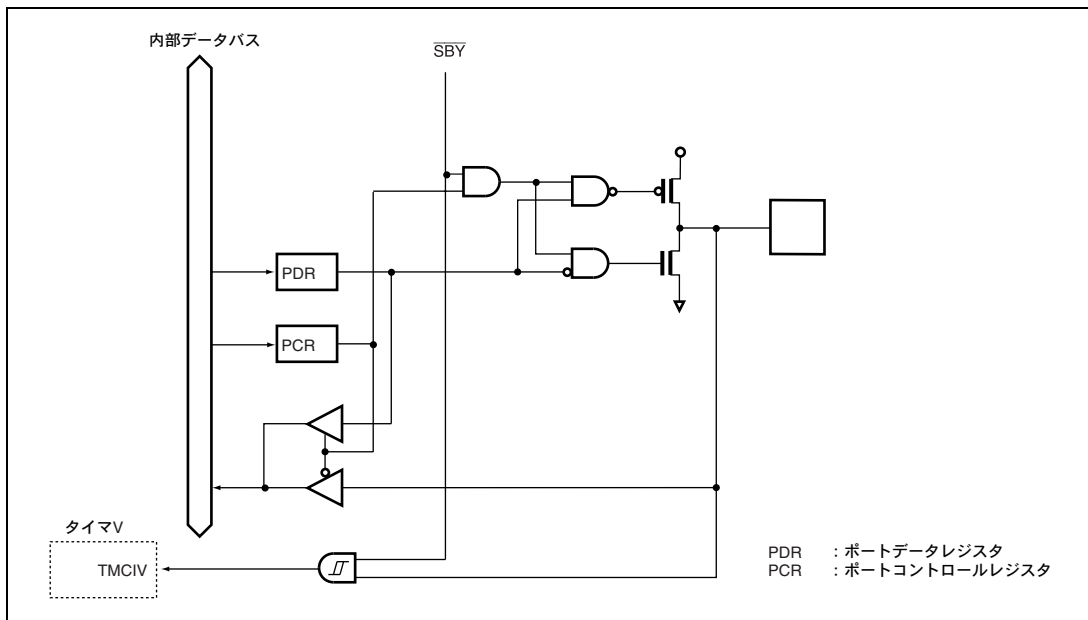


図 B.16 ポート7ブロック図 (P75)

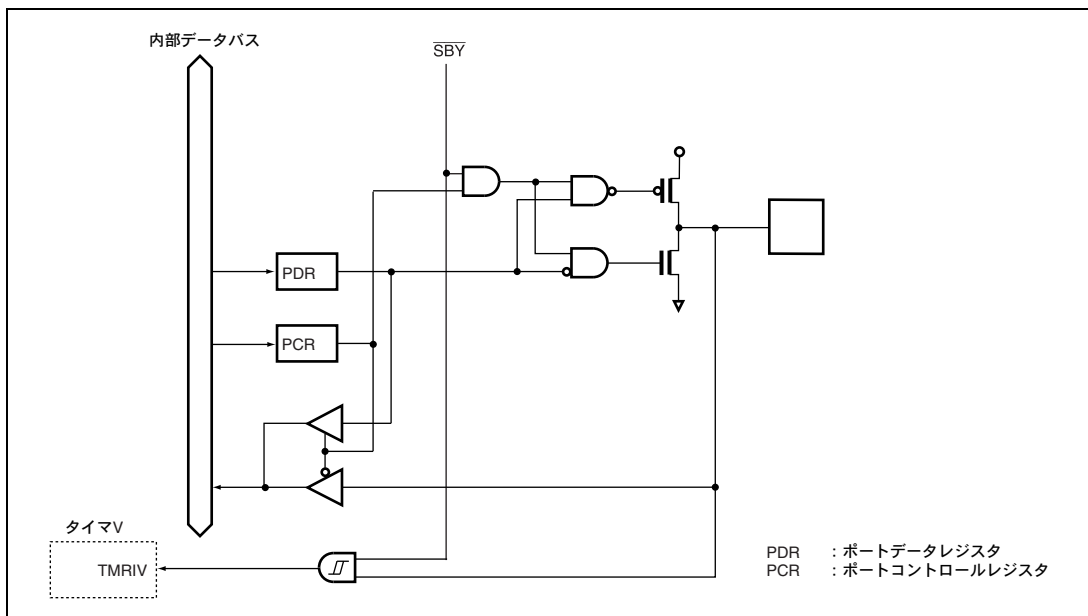


図 B.17 ポート7ブロック図 (P74)

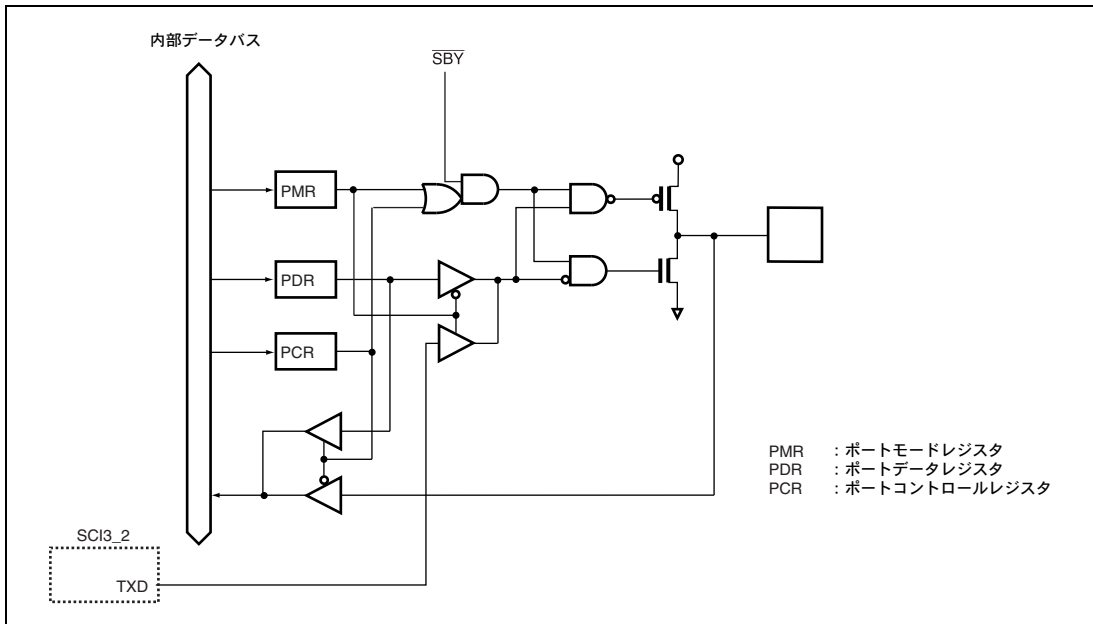


図 B.18 ポート7ブロック図 (P72)

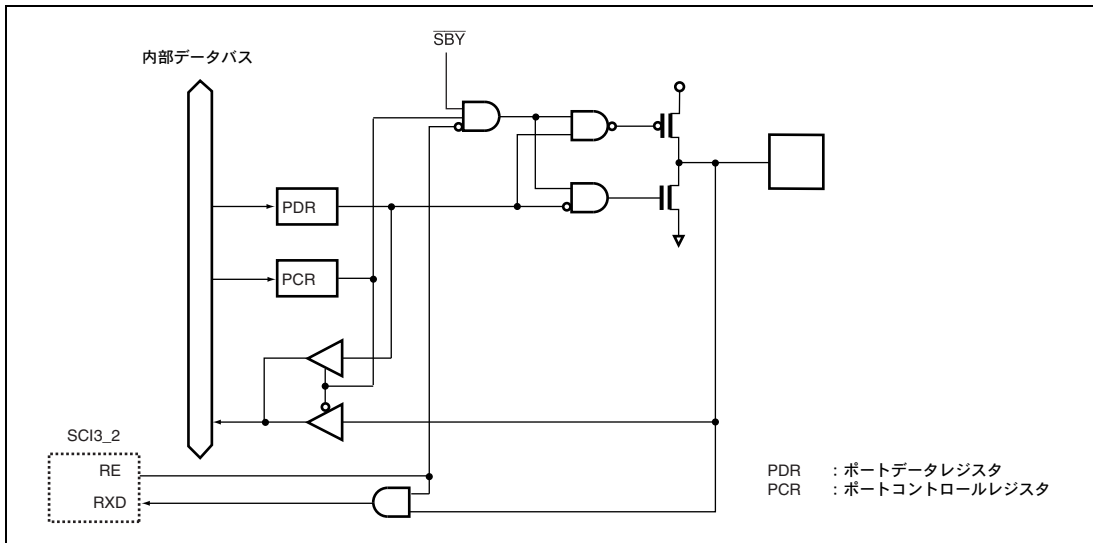


図 B.19 ポート7ブロック図 (P71)

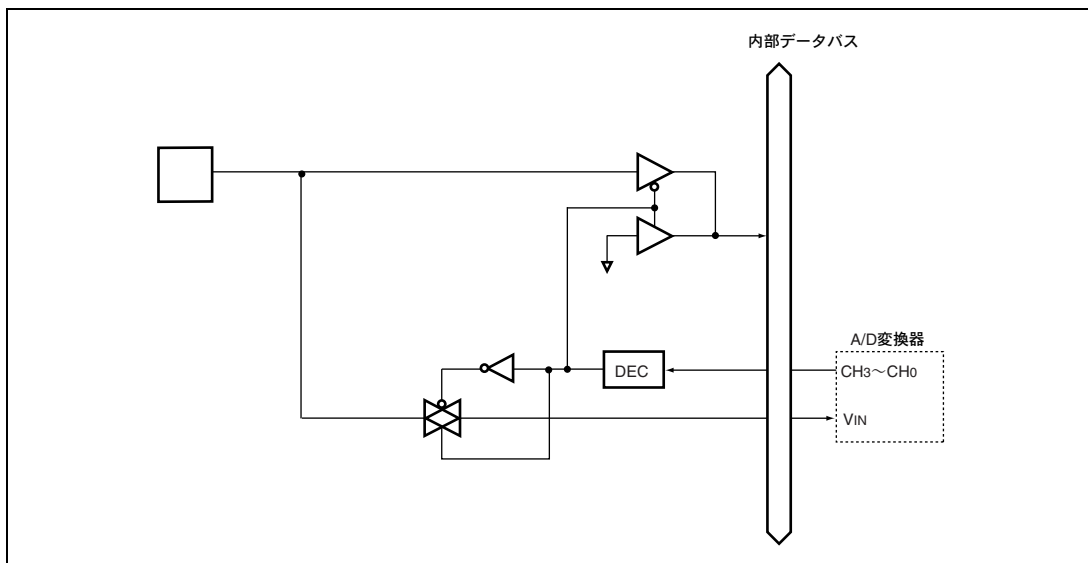


図 B.22 ポート B ブロック図 (PB7、PB6、PB5、PB4、PB3、PB2、PB1、PB0)

B.2 各処理状態におけるポートの状態

動作モード	リセット	スリープ	サブ スリープ	スタンバイ	アクティブ
P17～P14 P12～P10	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	動作
P24～P20	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	動作
P37～P30	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	動作
P57～P50	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	動作
P67～P60	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	動作
P76～P74 P72～P70	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	動作
P87～P85	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	動作
PB7～PB0	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス

【注】 * ブルアップ MOS が ON 状態では High 出力となります。

C. 型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/36064GF	フラッシュ メモリ版	パワーオンリセット&	HD64F36064GH	DF36064GH	QFP-64(FP-64A)
		低電圧検出回路内蔵版	HD64F36064GFP	DF36064GFP	LQFP-64(FP-64E)

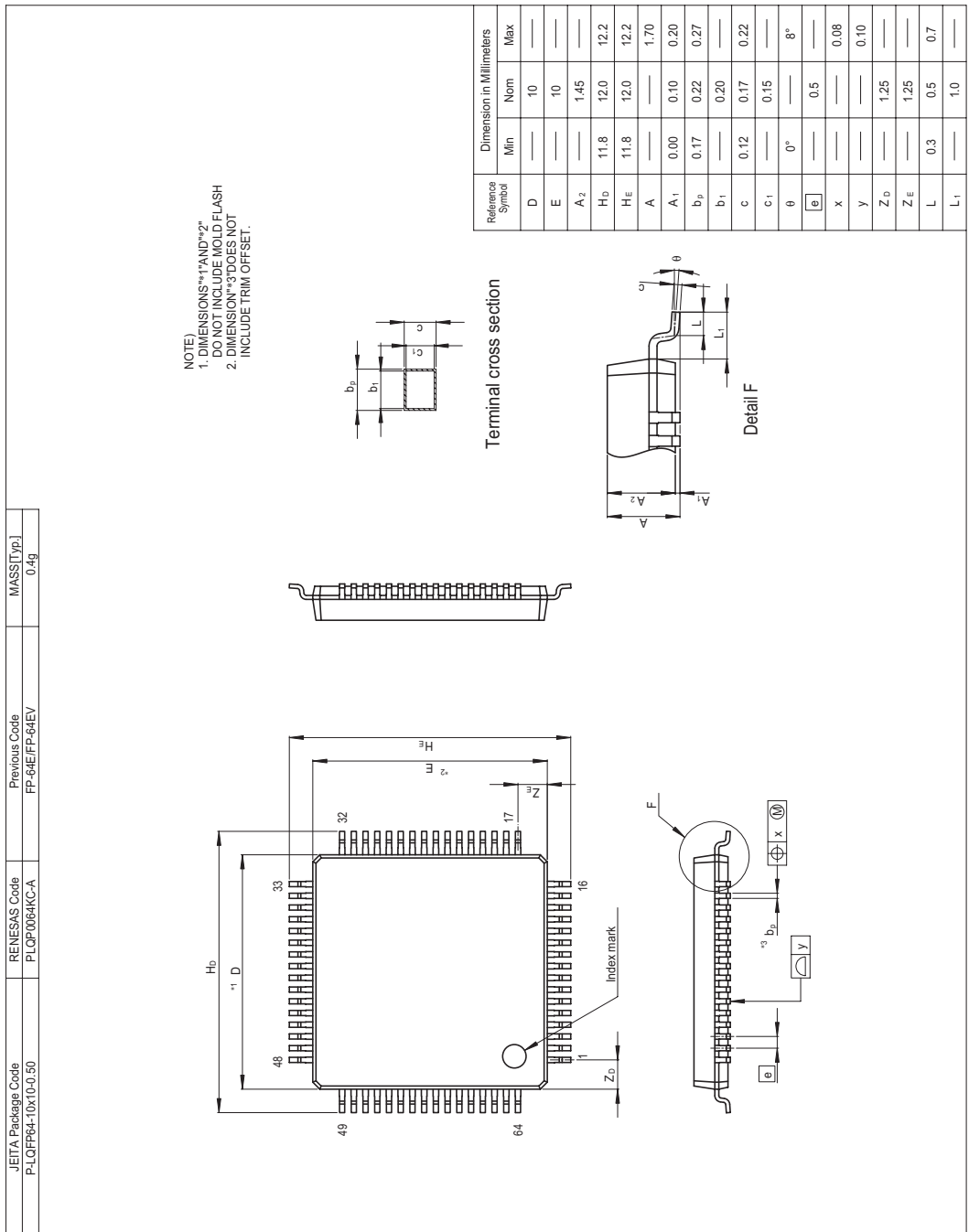


图 D.2 FP-64E 外形寸法图

本版で修正または追加された箇所

H8/36064グループ ハードウェアマニュアル第 2.0 版 (RJJ09B0049-0200) におきまして、修正および追加した箇所がありますのでご連絡させていただきます。

項 目	ページ	修正箇所						
はじめに		<p>ご注意</p> <p>オンチップエミュレータ (E7、E8) を使用して H8/36064 のプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。</p> <ol style="list-style-type: none"> NMI 端子は E7、E8 で占有するため使用できません。 アドレス H'7000~H'7FFF 領域は E7、E8 で使用するためユーザはこの領域は使用できません。 E7、E8 を使用する場合、アドレスブレークを E7、E8 が使用するか、ユーザに開放するか設定可能になっています。E7、E8 がアドレスブレークを使用する場合、ユーザはアドレスブレークの制御レジスタをアクセスしないでください。 E7、E8 使用時、NMI 端子は入出力 (出力時はオープンドレイン)、P85 端子および P87 端子は入力、P86 端子は出力になります。 <p>【注】 削除</p>						
7. ROM	7-1	フラッシュメモリ版に内蔵されている 32K バイト (内 4K バイトは E7、E8 制御プログラムエリア) のフラッシュメモリの特長は以下のとおりです。						
8. RAM	8-1	【注】 * E7、E8 使用時は、H'F780~H'FB7F 領域は絶対にアクセスしないでください。						
12.3.2 タイマモードレジスタ (TMDR)	12-8	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>SYNC</td> <td> <p>タイマ同期</p> <p>0: TCNT_1、TCNT_0 はそれぞれ別々のタイマとして動作</p> <p>1: TCNT_1、TCNT_0 は同期動作</p> <p>各チャネルとも同期プリセット/同期クリアが可能</p> </td> </tr> </tbody> </table>	ビット	ビット名	説 明	0	SYNC	<p>タイマ同期</p> <p>0: TCNT_1、TCNT_0 はそれぞれ別々のタイマとして動作</p> <p>1: TCNT_1、TCNT_0 は同期動作</p> <p>各チャネルとも同期プリセット/同期クリアが可能</p>
ビット	ビット名	説 明						
0	SYNC	<p>タイマ同期</p> <p>0: TCNT_1、TCNT_0 はそれぞれ別々のタイマとして動作</p> <p>1: TCNT_1、TCNT_0 は同期動作</p> <p>各チャネルとも同期プリセット/同期クリアが可能</p>						
12.4.4 同期動作	12-31	同期動作例を図 12.20 に示します。同期動作かつ FTIOB0、FTIOB1 を PWM モードに設定し、チャンネル 0 のカウンタクリア要因を GRA_0 のコンペアマッチ、またチャンネル 1 のカウンタクリア要因を同期クリアに設定した場合の例です。同期動作例ではチャンネル 0 とチャンネル 1 のカウンタ入カクロックを同一の入カクロックに設定してあります。このとき TCNT は同期プリセット、GRA_0 のコンペアマッチによる同期動作を行い、2 相の PWM 波形を FTIOB0、FTIOB1 端子から出力します。						

項 目	ページ	修正箇所												
図 12.44 TOER へのライトによるタイマ Z 出力禁止タイミングの例	12-57													
図 12.45 外部トリガによるタイマ Z 出力禁止タイミングの例	12-57													
13.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)	13-2	<table border="1"> <thead> <tr> <th data-bbox="596 846 669 884">ビット</th> <th data-bbox="669 846 769 884">ビット名</th> <th data-bbox="769 846 1195 884">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="596 884 669 923">6</td> <td data-bbox="669 884 769 923">TCWE</td> <td data-bbox="769 884 1195 923">タイマカウンタ WD 書き込み許可</td> </tr> <tr> <td data-bbox="596 923 669 1000">4</td> <td data-bbox="669 923 769 1000">TCSRWE</td> <td data-bbox="769 923 1195 1000">タイマコントロール/ステータスレジスタ WD 書き込み許可</td> </tr> <tr> <td data-bbox="596 1000 669 1418">2</td> <td data-bbox="669 1000 769 1418">WDON</td> <td data-bbox="769 1000 1195 1418"> ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。ウォッチドッグタイマは初期値が有効になっています。ウォッチドッグタイマを使用しない場合は、本ビットを 0 にクリアしてください。 [クリア条件] • TCSRWE=1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE=1 の状態で B2WI に 0、WDON に 1 をライトしたとき </td> </tr> </tbody> </table>	ビット	ビット名	説 明	6	TCWE	タイマカウンタ WD 書き込み許可	4	TCSRWE	タイマコントロール/ステータスレジスタ WD 書き込み許可	2	WDON	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。ウォッチドッグタイマは初期値が有効になっています。ウォッチドッグタイマを使用しない場合は、本ビットを 0 にクリアしてください。 [クリア条件] • TCSRWE=1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE=1 の状態で B2WI に 0、WDON に 1 をライトしたとき
ビット	ビット名	説 明												
6	TCWE	タイマカウンタ WD 書き込み許可												
4	TCSRWE	タイマコントロール/ステータスレジスタ WD 書き込み許可												
2	WDON	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。ウォッチドッグタイマは初期値が有効になっています。ウォッチドッグタイマを使用しない場合は、本ビットを 0 にクリアしてください。 [クリア条件] • TCSRWE=1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE=1 の状態で B2WI に 0、WDON に 1 をライトしたとき												
13.3 動作説明	13-4	差し替え												

項 目	ページ	修正箇所													
16.3.5 I ² C バスステータスレジスタ (ICSR)	16-11	<table border="1"> <thead> <tr> <th data-bbox="596 324 673 363">ビット</th> <th data-bbox="673 324 769 363">ビット名</th> <th data-bbox="769 324 1195 363">説 明</th> </tr> </thead> <tbody> <tr> <td data-bbox="596 363 673 645">3</td> <td data-bbox="673 363 769 645">STOP</td> <td data-bbox="769 363 1195 645"> 停止条件検出フラグ [セット条件] • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スリープモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスリープアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき </td> </tr> </tbody> </table>	ビット	ビット名	説 明	3	STOP	停止条件検出フラグ [セット条件] • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スリープモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスリープアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき							
ビット	ビット名	説 明													
3	STOP	停止条件検出フラグ [セット条件] • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スリープモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスリープアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき													
16.7 使用上の注意事項	16-31	追加													
17.3.1 A/D データレジスタ A~D (ADDRA~D)	17-3	このため A/D データレジスタをリードする場合は、ワードアクセスするか、バイトアクセス時は上位バイト、下位バイトの順でリードしてください。ADDR の初期値は H'0000 です。													
表 21.2 DC 特性 (1)	21-9	<table border="1"> <thead> <tr> <th data-bbox="605 826 810 865">モード</th> <th data-bbox="810 826 920 865">RES 端子</th> <th data-bbox="920 826 1195 865">内部状態</th> </tr> </thead> <tbody> <tr> <td data-bbox="605 865 810 909">アクティブモード 1</td> <td data-bbox="810 865 920 909" rowspan="2">Vcc</td> <td data-bbox="920 865 1195 909">動作</td> </tr> <tr> <td data-bbox="605 909 810 948">アクティブモード 2</td> <td data-bbox="920 909 1195 948">動作 (φ OSC/64)</td> </tr> <tr> <td data-bbox="605 948 810 987">スリープモード 1</td> <td data-bbox="810 948 920 987" rowspan="2">Vcc</td> <td data-bbox="920 948 1195 987">タイムのみ動作</td> </tr> <tr> <td data-bbox="605 987 810 1025">スリープモード 2</td> <td data-bbox="920 987 1195 1025">タイムのみ動作 (φ OSC/64)</td> </tr> </tbody> </table>	モード	RES 端子	内部状態	アクティブモード 1	Vcc	動作	アクティブモード 2	動作 (φ OSC/64)	スリープモード 1	Vcc	タイムのみ動作	スリープモード 2	タイムのみ動作 (φ OSC/64)
モード	RES 端子	内部状態													
アクティブモード 1	Vcc	動作													
アクティブモード 2		動作 (φ OSC/64)													
スリープモード 1	Vcc	タイムのみ動作													
スリープモード 2		タイムのみ動作 (φ OSC/64)													
D. 外形寸法図	付録-43 付録-44	差し替え													

索引

【数字／記号】

14 ビット PWM	14-1
レジスタの設定	14-3
出力波形	14-3

【A】

A/D 変換器	17-1
サンプル&ホールド回路	17-6
スキャンモード	17-6
単一モード	17-6

【C】

CPU	2-1
-----	-----

【E】

EA 拡張部	2-17
--------	------

【I】

I/O ポート	9-1
I/O ポートブロック図	付録-29
I ² C バスインタフェース 2 (IIC2)	16-1
I ² C バスフォーマット	16-13
アクノリッジ	16-13
クロック同期式シリアルフォーマット	16-22
スレーブアドレス	16-13
ノイズ除去回路	16-24
ビット同期回路	16-30
開始条件	16-13
停止条件	16-13
転送レート	16-5

【L】

LVDI	18-7
LVDR	18-6

【あ】

アドレスブ레이크	4-1
アドレッシングモード	2-18
イミディエイト	2-20
ディスプレースメント付きレジスタ間接	2-18

プリデクリメントレジスタ間接	2-19
プログラムカウンタ相対	2-20
ポストインクリメントレジスタ間接	2-19
メモリ間接	2-20
レジスタ間接	2-18
レジスタ直接	2-18
絶対アドレス	2-19

ウォッチドッグタイマ	13-1
オペレーションフィールド	2-17
オンボードプログラミング	7-5

【か】

外形寸法図	付録-43
型名一覧	付録-42
クロック発振器	5-1
システムクロック発振器	5-2
プリスケアラ S	5-3
コンディションコードレジスタ (CCR)	2-5
コンディションフィールド	2-17

【さ】

実効アドレス	2-20
シリアルコミュニケーションインタフェース (SCI3)	15-1
オーバーランエラー	15-17
クロック同期式モード	15-20
パリティエラー	15-17
ビットレート	15-8
ブ레이크	15-31
フレーミングエラー	15-17
マーク状態	15-31
マルチプロセッサ通信機能	15-26
調歩同期式モード	15-13
スタックポインタ (SP)	2-4

【た】

大電流ポート	1-1
タイマ B1	10-1
イベントカウンタ	10-4
インターバルタイマの動作	10-3
オートリロードタイマの動作	10-3

タイマV.....	11-1
タイマZ.....	12-1
PWMモード.....	12-31
インプットキャプチャ機能.....	12-28
コンペアマッチによる波形出力機能.....	12-25
バッファ動作.....	12-49
リセット同期PWMモード.....	12-37
相補PWMモード.....	12-41
同期動作.....	12-30
低消費電力モード.....	6-1
サブスリープモード.....	6-7
スタンバイモード.....	6-6
スリープモード.....	6-6
低電圧検出しリセット回路.....	18-6
低電圧検出回路.....	18-1
低電圧検出割り込み回路.....	18-7

【な】

内部電源降圧回路.....	19-1
---------------	------

【は】

パッケージ.....	1-1
パワーオンリセット.....	18-1
パワーオンリセット回路.....	18-5
汎用レジスタ.....	2-3
ピン配置図.....	1-3
フラッシュメモリ.....	7-1
イレース/イレースベリファイ.....	7-12
エラープロテクト.....	7-14
ソフトウェアプロテクト.....	7-14
ハードウェアプロテクト.....	7-14
ブートプログラム.....	7-5
ブートモード.....	7-6
プログラム/プログラムベリファイ.....	7-9
ユーザモードでの書き込み/消去.....	7-8
ライタモード.....	7-14
書き込みの単位.....	7-2
消去ブロック.....	7-2
プログラムカウンタ (PC).....	2-4
ベクタアドレス.....	3-2

【ま】

命令セット.....	2-9
システム制御命令.....	2-16
シフト命令.....	2-12
データ転送命令.....	2-10
トラップ命令による例外処理.....	3-1

ビット操作命令.....	2-13
ブロック転送命令.....	2-16
算術演算命令.....	2-10
分岐命令.....	2-15
論理演算命令.....	2-12
メモリマップ.....	2-2
モジュールスタンバイ機能.....	6-7

【ら】

例外処理.....	3-1
スタックの状態.....	3-12
リセット例外処理.....	3-10

レジスタ

ABRKCR.....	4-2, 20-5, 20-9, 20-13
ABRKSR.....	4-3, 20-5, 20-9, 20-13
ADCR.....	17-5, 20-4, 20-9, 20-12
ADCSR.....	17-4, 20-4, 20-9, 20-12
ADDRA.....	17-3, 20-4, 20-9, 20-12
ADDRB.....	17-3, 20-4, 20-9, 20-12
ADDRC.....	17-3, 20-4, 20-9, 20-12
ADDRD.....	17-3, 20-4, 20-9, 20-12
BARH.....	4-3, 20-5, 20-9, 20-13
BARL.....	4-3, 20-5, 20-9, 20-13
BDRH.....	4-4, 20-5, 20-9, 20-13
BDRL.....	4-4, 20-5, 20-9, 20-13
BRR.....	15-8, 20-4, 20-9, 20-12
EBR1.....	7-4, 20-3, 20-8, 20-12
FENR.....	7-4, 20-4, 20-8, 20-12
FLMCR1.....	7-3, 20-3, 20-8, 20-12
FLMCR2.....	7-4, 20-3, 20-8, 20-12
GRA.....	12-14, 20-2, 20-7, 20-11
GRB.....	12-14, 20-2, 20-7, 20-11
GRC.....	12-14, 20-2, 20-7, 20-11
GRD.....	12-14, 20-2, 20-7, 20-11
ICCR1.....	16-4, 20-3, 20-8, 20-12
ICCR2.....	16-5, 20-3, 20-8, 20-12
ICDRR.....	16-12, 20-3, 20-8, 20-12
ICDRS.....	16-12
ICDRT.....	16-12, 20-3, 20-8, 20-12
ICIER.....	16-8, 20-3, 20-8, 20-12
ICMR.....	16-7, 20-3, 20-8, 20-12
ICSR.....	16-10, 20-3, 20-8, 20-12
IEGR1.....	3-3, 20-6, 20-10, 20-14
IEGR2.....	3-4, 20-6, 20-10, 20-14
IENR1.....	3-5, 20-6, 20-10, 20-14
IENR2.....	3-6, 20-6, 20-10, 20-14
IRR1.....	3-7, 20-6, 20-10, 20-14

IRR2	3-8, 20-6, 20-10, 20-14
IWPR	3-9, 20-6, 20-10, 20-14
LVDCR	18-3, 20-3, 20-8, 20-11
LVDSR	18-4, 20-3, 20-8, 20-11
MSTCR1	6-4, 20-6, 20-10, 20-14
MSTCR2	6-4, 20-6, 20-10, 20-14
PCR1	9-3, 20-5, 20-10, 20-13
PCR2	9-6, 20-5, 20-10, 20-13
PCR3	9-9, 20-5, 20-10, 20-13
PCR5	9-13, 20-5, 20-10, 20-13
PCR6	9-16, 20-5, 20-10, 20-13
PCR7	9-20, 20-5, 20-10, 20-13
PCR8	9-23, 20-6, 20-10, 20-13
PDR1	9-3, 20-5, 20-9, 20-13
PDR2	9-7, 20-5, 20-9, 20-13
PDR3	9-10, 20-5, 20-9, 20-13
PDR5	9-13, 20-5, 20-9, 20-13
PDR6	9-17, 20-5, 20-9, 20-13
PDR7	9-21, 20-5, 20-9, 20-13
PDR8	9-24, 20-5, 20-9, 20-13
PDRB	9-25, 20-5, 20-10, 20-13
PMR1	9-2, 20-5, 20-10, 20-13
PMR3	9-7, 20-5, 20-10, 20-13
PMR5	9-12, 20-5, 20-10, 20-13
POCR	12-20, 20-2, 20-7, 20-11
PUCR1	9-4, 20-5, 20-9, 20-13
PUCR5	9-14, 20-5, 20-9, 20-13
PWCR	14-2, 20-4, 20-9, 20-13
PWDR1	14-3, 20-4, 20-9, 20-13
PWDRU	14-3, 20-4, 20-9, 20-13
RDR	15-4, 20-4, 20-9, 20-12
RSR	15-4
SAR	16-12, 20-3, 20-8, 20-12
SCR3	15-6, 20-4, 20-9, 20-12
SMR	15-5, 20-4, 20-8, 20-12
SSR	15-7, 20-4, 20-9, 20-12
SYSCR1	6-2, 20-6, 20-10, 20-13

SYSCR2	6-3, 20-6, 20-10, 20-13
TCB1	10-3, 20-3, 20-8, 20-12
TCNT	12-14, 20-2, 20-7, 20-11
TCNTV	11-3, 20-4, 20-8, 20-12
TCORA	11-3, 20-4, 20-8, 20-12
TCORB	11-3, 20-4, 20-8, 20-12
TCR	12-15, 20-2, 20-7, 20-11
TCRV0	11-4, 20-4, 20-8, 20-12
TCRV1	11-6, 20-4, 20-8, 20-12
TCSRVD	11-5, 20-4, 20-8, 20-12
TCSRWD	13-2, 20-4, 20-9, 20-13
TCWD	13-3, 20-4, 20-9, 20-13
TDR	15-4, 20-4, 20-9, 20-12
TFCR	12-10, 20-3, 20-8, 20-11
TIER	12-19, 20-2, 20-7, 20-11
TIORA	12-16, 20-2, 20-7, 20-11
TIORC	12-17, 20-2, 20-7, 20-11
TLB1	10-3
TMB1	10-2, 20-3, 20-8, 20-12
TMDR	12-8, 20-2, 20-8, 20-11
TMWD	13-3, 20-4, 20-9, 20-13
TOCR	12-13, 20-3, 20-8, 20-11
TOER	12-11, 20-3, 20-8, 20-11
TPMR	12-9, 20-2, 20-8, 20-11
TSR	12-18, 20-2, 20-7, 20-11
TSTR	12-8, 20-2, 20-8, 20-11
レジスタフィールド	2-17

【わ】

割り込みマスクビット (I)	2-5
割り込み要求	
IRQ 割り込み要求	3-10
NMI 割り込み要求	3-10
WKP 割り込み要求	3-10
割り込み応答時間	3-13
内部割り込み要求	3-11

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/36064グループ

発行年月日 2004年4月22日 Rev.1.00

2005年9月8日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業企画統括部

〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ

グローバルストラテジックコミュニケーション本部

カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8/36064 グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0049-0200