

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/38537 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8 ファミリ / H8/300H Super Low Power シリーズ

H8/38537グループ	H8/38532
	H8/38533
	H8/38534
	H8/38535
	H8/38536
	H8/38537

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンなどの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8/38537 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジーのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	-	-
ハードウェアマニュアル	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	H8/38537 グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU・命令セットの説明	H8/300H シリーズプログラミングマニュアル	RJJ09B0141
アプリケーションノート	応用例参考プログラムなど	ルネサス テクノロジーのホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名.レジスタ名.ビット名」または「レジスタ名.ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0: コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、10進数はnnnnで表します。

(例) 2進数: B'11または11

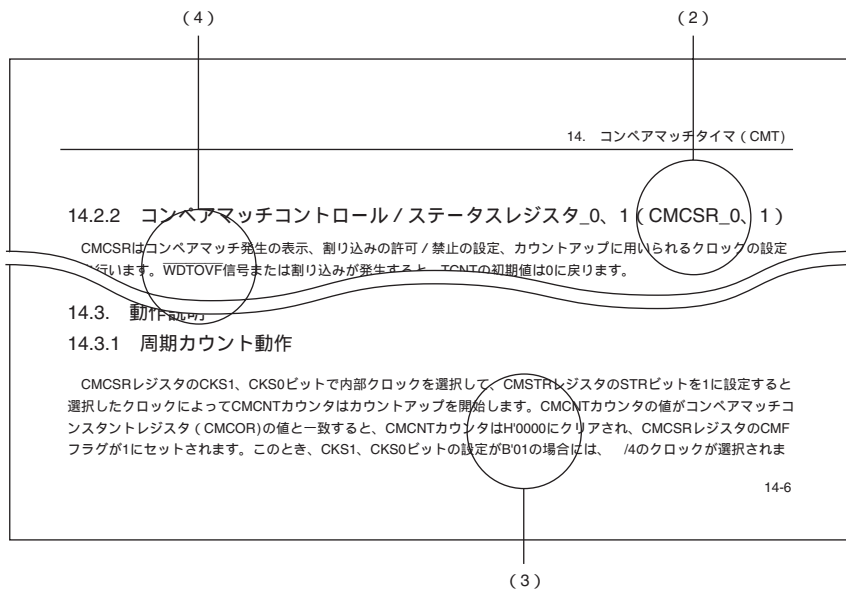
16進数: H'EFA0または0xEFA0

10進数: 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



[注] 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

(1)	(2)	(3)	(4)	(5)
ビット	ビット名	初期値	R/W	説明
15 14		0	R R	リザーブビット 読み出すと常に0が読み出されます。
13-11	ASID2-0	すべて0	R/W	アドレス識別子 端子機能の有効/無効を設定できます。
10	-	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	-	1	R	リザーブビット 読み出すと常に1が読み出されます。
-		0		

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。
32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。
また、リザーブビットの場合は「-」と表記します。
ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

- 0 : 初期値は0であることを示します。
- 1 : 初期値は1であることを示します。
- : 初期値は不足であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。
使用する表記を以下に説明します。

- R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。
- R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。
- R : 読み出しが可能なビットまたはフィールドです。
リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、ビット表で指定された値を書き込んでください。
- W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 略語または略称

略語 / 略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	NEC エレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

5. 製品仕様一覧

以下にグループごとの製品仕様の一覧を示します。

		H8/38537 グループ	
		フラッシュメモリ	マスク ROM
メモリ	ROM	32K、60K	16K、24K、32K、40K、48K、60K
	RAM	2K	1K、2K
動作電圧と 動作周波数	4.5～5.5V	16MHz	16MHz
	2.7～5.5V	16MHz	16MHz
	1.8～5.5V	—	—
	2.7～3.6V	—	—
	1.8～3.6V	—	—
I/O ポート	入力	9	9
	出力	—	—
	入出力	55	55
タイマ	時計用 (タイマ A)	1	1
	リロード (タイマ C)	1	1
	コンペア (タイマ F)	1	1
	キャプチャ (タイマ G)	1	1
	AEC	1	1
	WDT		
	WDT (独立型)	1	1
SCI	UART/クロック同期	2ch	2ch
A-D (分解能 × 入力 ch)		10bit × 8ch	10bit × 8ch
LCD	seg	32	32
	com	4	4
外部割り込み (内ウェイクアップ)		13 (8)	13 (8)
パッケージ		FP-80A	FP-80A
		TFP-80C	TFP-80C
動作温度		通常仕様 : -20 ~ 75	WTR : -40 ~ 85

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 特長	1-1
1.1.1 用途	1-1
1.1.2 仕様概要	1-2
1.2 製品一覧	1-5
1.3 ブロック図	1-6
1.4 ピン配置図	1-7
1.5 端子機能	1-8
2. CPU	2-1
2.1 アドレス空間とメモリマップ	2-3
2.2 レジスタ構成	2-9
2.2.1 汎用レジスタ	2-9
2.2.2 プログラムカウンタ (PC)	2-10
2.2.3 コンディションコードレジスタ (CCR)	2-11
2.3 データ形式	2-12
2.3.1 汎用レジスタのデータ形式	2-12
2.3.2 メモリ上のデータ形式	2-14
2.4 命令セット	2-15
2.4.1 命令の機能別一覧	2-15
2.4.2 命令の基本フォーマット	2-23
2.5 アドレッシングモードと実効アドレス	2-24
2.5.1 アドレッシングモード	2-24
2.5.2 実効アドレスの計算方法	2-27
2.6 基本バスサイクル	2-29
2.6.1 内蔵メモリ (RAM、ROM)	2-29
2.6.2 内蔵周辺モジュール	2-30
2.7 CPUの状態	2-31
2.8 使用上の注意事項	2-32
2.8.1 空きエリアへのデータアクセス	2-32
2.8.2 EEPMOV 命令	2-32
2.8.3 ビット操作命令	2-33
2.8.4 EEPMOV 命令使用上の注意事項	2-39

3.	例外処理	3-1
3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割り込み	3-3
3.3	割り込み	3-3
3.3.1	概要	3-3
3.3.2	各レジスタの説明	3-5
3.3.3	外部割り込み	3-13
3.3.4	内部割り込み	3-14
3.3.5	割り込み動作	3-14
3.3.6	割り込み応答時間	3-19
3.4	使用上の注意事項	3-20
3.4.1	スタック領域に関する使用上の注意事項	3-20
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-21
3.4.3	割り込み要求フラグをクリアする方法	3-23
4.	クロック発振器	4-1
4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-4
4.4	プリスケアラ	4-6
4.5	発振子に関する注意事項	4-7
4.5.1	発振安定待機時間の定義	4-8
4.5.2	水晶発振子を使用する場合の注意事項（セラミック発振子は除く）	4-10
5.	低消費電力モード	5-1
5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-8
5.2.1	スリープモードへの遷移	5-8
5.2.2	スリープモードの解除	5-8
5.2.3	スリープ（中速）モードの動作周波数について	5-8
5.3	スタンバイモード	5-9
5.3.1	スタンバイモードへの遷移	5-9
5.3.2	スタンバイモードの解除	5-9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-10

5.3.4	スタンバイモードへの遷移と端子状態	5-11
5.3.5	スタンバイモード前後で外部入力信号が変化する場合の注意事項	5-11
5.4	ウォッチモード	5-13
5.4.1	ウォッチモードへの遷移	5-13
5.4.2	ウォッチモードの解除	5-13
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-13
5.4.4	ウォッチモード前後で外部入力信号が変化する場合の注意事項	5-13
5.5	サブスリープモード	5-14
5.5.1	サブスリープモードへの遷移	5-14
5.5.2	サブスリープモードの解除	5-14
5.6	サブアクティブモード	5-15
5.6.1	サブアクティブモードへの遷移	5-15
5.6.2	サブアクティブモードの解除	5-15
5.6.3	サブアクティブモードの動作周波数について	5-15
5.7	アクティブ（中速）モード	5-16
5.7.1	アクティブ（中速）モードへの遷移	5-16
5.7.2	アクティブ（中速）モードの解除	5-16
5.7.3	アクティブ（中速）モードの動作周波数について	5-16
5.8	直接遷移	5-17
5.8.1	直接遷移の概要	5-17
5.8.2	直接遷移の時間	5-18
5.8.3	直接遷移前後で外部入力信号が変化する場合の注意事項	5-20
5.9	モジュールスタンバイモード	5-21
5.9.1	モジュールスタンバイモードの設定	5-21
5.9.2	モジュールスタンバイモードの解除	5-21
5.9.3	使用上の注意事項	5-22
6.	ROM	6-1
6.1	概要	6-1
6.2	フラッシュメモリの概要	6-1
6.2.1	特長	6-1
6.2.2	ブロック図	6-2
6.2.3	ブロック構成	6-2
6.2.4	レジスタ構成	6-4
6.3	フラッシュメモリのレジスタの説明	6-4
6.3.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	6-4
6.3.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	6-6
6.3.3	ブロック指定レジスタ (EBR)	6-7
6.3.4	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	6-7
6.3.5	フラッシュメモリーネーブルレジスタ (FENR)	6-8

6.4	オンボードプログラミング	6-9
6.4.1	ブートモード	6-9
6.4.2	ユーザモードでの書き込み/消去	6-11
6.5	書き込み/消去プログラム	6-12
6.5.1	プログラム/プログラムベリファイ	6-12
6.5.2	イレース/イレースベリファイ	6-14
6.5.3	フラッシュメモリの書き込み/消去時の割り込み	6-14
6.6	書き込み/消去プロテクト	6-16
6.6.1	ハードウェアプロテクト	6-16
6.6.2	ソフトウェアプロテクト	6-16
6.6.3	エラープロテクト	6-16
6.7	ライターモード	6-17
6.7.1	ソケットアダプタ	6-17
6.7.2	ライターモードのコマンド	6-17
6.7.3	メモリ読み出し	6-19
6.7.4	自動書き込み	6-22
6.7.5	自動消去	6-23
6.7.6	ステータス読み出し	6-24
6.7.7	ステータスポーリング	6-25
6.7.8	ライターモードへの遷移時間	6-26
6.7.9	ライターモード使用時の注意事項	6-26
6.8	フラッシュメモリの低消費電力動作	6-27
7.	RAM	7-1
7.1	概要	7-1
7.1.1	ブロック図	7-1
8.	I/Oポート	8-1
8.1	概要	8-1
8.2	ポート1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-6
8.2.4	端子状態	8-8
8.2.5	入力プルアップ MOS	8-8
8.3	ポート3	8-9
8.3.1	概要	8-9
8.3.2	レジスタの構成と説明	8-9
8.3.3	端子機能	8-13
8.3.4	端子状態	8-15

8.3.5	入力プルアップ MOS	8-15
8.4	ポート4	8-16
8.4.1	概要	8-16
8.4.2	レジスタの構成と説明	8-16
8.4.3	端子機能	8-17
8.4.4	端子状態	8-18
8.5	ポート5	8-18
8.5.1	概要	8-18
8.5.2	レジスタの構成と説明	8-18
8.5.3	端子機能	8-20
8.5.4	端子状態	8-20
8.5.5	入力プルアップ MOS	8-21
8.6	ポート6	8-21
8.6.1	概要	8-21
8.6.2	レジスタの構成と説明	8-21
8.6.3	端子機能	8-23
8.6.4	端子状態	8-23
8.6.5	入力プルアップ MOS	8-23
8.7	ポート7	8-24
8.7.1	概要	8-24
8.7.2	レジスタの構成と説明	8-24
8.7.3	端子機能	8-25
8.7.4	端子状態	8-25
8.8	ポート8	8-26
8.8.1	概要	8-26
8.8.2	レジスタの構成と説明	8-26
8.8.3	端子機能	8-27
8.8.4	端子状態	8-28
8.9	ポートA	8-28
8.9.1	概要	8-28
8.9.2	レジスタの構成と説明	8-29
8.9.3	端子機能	8-30
8.9.4	端子状態	8-30
8.10	ポートB	8-31
8.10.1	概要	8-31
8.10.2	レジスタの構成と説明	8-31
8.11	入出力データ反転機能	8-32
8.11.1	概要	8-32
8.11.2	レジスタの構成と説明	8-32
8.11.3	シリアルポートコントロールレジスタを書き換える際の注意事項	8-34
8.12	使用上の注意事項	8-35

8.12.1	未使用端子の処理.....	8-35
9.	タイマ.....	9-1
9.1	概要.....	9-1
9.2	タイマA.....	9-2
9.2.1	概要.....	9-2
9.2.2	各レジスタの説明.....	9-4
9.2.3	動作説明.....	9-7
9.2.4	タイマAの動作モード.....	9-8
9.2.5	使用上の注意事項.....	9-8
9.3	タイマC.....	9-9
9.3.1	概要.....	9-9
9.3.2	各レジスタの説明.....	9-11
9.3.3	動作説明.....	9-14
9.3.4	タイマCの動作モード.....	9-15
9.3.5	使用上の注意事項.....	9-15
9.4	タイマF.....	9-16
9.4.1	概要.....	9-16
9.4.2	各レジスタの説明.....	9-18
9.4.3	CPUとのインタフェース.....	9-24
9.4.4	動作説明.....	9-26
9.4.5	使用上の注意事項.....	9-29
9.5	タイマG.....	9-33
9.5.1	概要.....	9-33
9.5.2	各レジスタの説明.....	9-35
9.5.3	ノイズ除去回路.....	9-39
9.5.4	動作説明.....	9-40
9.5.5	使用上の注意事項.....	9-45
9.5.6	タイマGの使用例.....	9-48
9.6	ウォッチドッグタイマ.....	9-49
9.6.1	概要.....	9-49
9.6.2	各レジスタの説明.....	9-50
9.6.3	動作説明.....	9-54
9.6.4	ウォッチドッグタイマの動作モード.....	9-55
9.7	非同期イベントカウンタ(AEC).....	9-56
9.7.1	概要.....	9-56
9.7.2	各レジスタの構成.....	9-57
9.7.3	動作説明.....	9-61
9.7.4	非同期イベントカウンタの動作モード.....	9-62
9.7.5	使用上の注意事項.....	9-63

10. シリアルコミュニケーションインタフェース	10-1
10.1 概要	10-1
10.1.1 特長	10-1
10.1.2 ブロック図	10-2
10.1.3 端子構成	10-3
10.1.4 レジスタ構成	10-3
10.2 各レジスタの説明	10-4
10.2.1 レシーブシフトレジスタ (RSR)	10-4
10.2.2 レシーブデータレジスタ (RDR)	10-4
10.2.3 トランスミットシフトレジスタ (TSR)	10-4
10.2.4 トランスミットデータレジスタ (TDR)	10-5
10.2.5 シリアルモードレジスタ (SMR)	10-5
10.2.6 シリアルコントロールレジスタ 3 (SCR3)	10-8
10.2.7 シリアルステータスレジスタ (SSR)	10-11
10.2.8 ビットレートレジスタ (BRR)	10-14
10.2.9 クロック停止レジスタ 1 (CKSTPR1)	10-18
10.2.10 シリアルポートコントロールレジスタ (SPCR)	10-18
10.3 動作説明	10-21
10.3.1 概要	10-21
10.3.2 調歩同期式モード時の動作	10-25
10.3.3 クロック同期式モード時の動作	10-33
10.4 割り込み要因	10-41
10.5 使用上の注意事項	10-42
11. 14 ビット PWM	11-1
11.1 概要	11-1
11.1.1 特長	11-1
11.1.2 ブロック図	11-2
11.1.3 端子構成	11-2
11.1.4 レジスタ構成	11-2
11.2 各レジスタの説明	11-3
11.2.1 PWM コントロールレジスタ (PWCR)	11-3
11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)	11-4
11.2.3 クロック停止レジスタ 2 (CKSTPR2)	11-4
11.3 動作説明	11-5
11.3.1 動作説明	11-5
11.3.2 PWM の動作モード	11-6
12. A/D 変換器	12-1
12.1 概要	12-1

12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/D リザルトレジスタ (ADRRH、ADRRL)	12-4
12.2.2	A/D モードレジスタ (AMR)	12-4
12.2.3	A/D スタートレジスタ (ADSR)	12-5
12.2.4	クロック停止レジスタ 1 (CKSTPR1)	12-6
12.3	動作説明	12-7
12.3.1	A/D 変換動作	12-7
12.3.2	外部トリガによる A/D 変換器の起動	12-7
12.3.3	A/D 変換器の動作モード	12-7
12.4	割り込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12
12.6.1	使用上の注意	12-12
12.6.2	許容信号源インピーダンスについて	12-12
12.6.3	絶対精度への影響について	12-12
13.	LCD コントローラ/ドライバ	13-1
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	LCD ポートコントロールレジスタ (LPCR)	13-4
13.2.2	LCD コントロールレジスタ (LCR)	13-5
13.2.3	LCD コントロールレジスタ 2 (LCR2)	13-7
13.2.4	クロック停止レジスタ 2 (CKSTPR2)	13-8
13.3	動作説明	13-9
13.3.1	LCD 表示までのセッティング	13-9
13.3.2	LCD RAM と表示の関係	13-10
13.3.3	輝度調整機能 (V0 端子)	13-13
13.3.4	低消費電力 LCD 駆動方式	13-13
13.3.5	低消費電力モード時の動作	13-17
13.3.6	LCD 駆動電源の強化	13-17

14. 電源回路.....	14-1
14.1 概要.....	14-1
14.2 内部電源降圧回路を使用する場合.....	14-1
14.3 内部電源降圧回路を使用しない場合.....	14-2
15. レジスタ一覧.....	15-1
15.1 レジスタアドレス一覧（アドレス順）.....	15-2
15.2 レジスタビット一覧.....	15-5
15.3 各動作モードにおけるレジスタの状態.....	15-8
16. 電気的特性.....	16-1
16.1 絶対最大定格.....	16-1
16.2 電気的特性.....	16-2
16.2.1 電源電圧と動作範囲.....	16-2
16.2.2 DC 特性.....	16-4
16.2.3 AC 特性.....	16-10
16.2.4 A/D 変換器特性.....	16-12
16.2.5 LCD 特性.....	16-13
16.2.6 フラッシュメモリ特性.....	16-14
16.3 動作タイミング.....	16-15
16.4 出力負荷回路.....	16-17
16.5 発振子.....	16-17
16.6 使用上の注意.....	16-18
付録.....	付録-1
A. 命令.....	付録-1
A.1 命令一覧.....	付録-1
A.2 オペレーションコードマップ.....	付録-16
A.3 命令実行ステート数.....	付録-19
A.4 命令とアドレッシングモードの組み合わせ.....	付録-28
B. I/Oポートブロック図.....	付録-29
B.1 ポート1ブロック図.....	付録-29
B.2 ポート3ブロック図.....	付録-33
B.3 ポート4ブロック図.....	付録-41
B.4 ポート5ブロック図.....	付録-45
B.5 ポート6ブロック図.....	付録-46
B.6 ポート7ブロック図.....	付録-47
B.7 ポート8ブロック図.....	付録-48
B.8 ポートAブロック図.....	付録-49
B.9 ポートBブロック図.....	付録-50

C. 各処理状態におけるポートの状態.....	付録-51
D. 製品型名一覧.....	付録-52
E. 外形寸法図.....	付録-53
索引	索引-1

1. 概要

1.1 特長

H8/38537 グループは、ルネサスオリジナルマイコン H8/300 CPU に対し上位互換アーキテクチャを持ち、内部 32 ビット構成の H8/300H CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能は豊富なタイマを内蔵しており、低コストでのシステム構築を可能にします。これらは、低消費電力モードにより、ダイナミックな消費電力制御が可能です。

1.1.1 用途

応用分野例：モータ制御、電力メータ、健康機器など

1. 概要

1.1.2 仕様概要

表1.1に、本マイコンの仕様概要を示します。

表 1.1 仕様概要

分類	モジュール/機能	説明
メモリ	ROM	<ul style="list-style-type: none">ROM 展開：フラッシュメモリ版、マスク ROM 版ROM 容量：16K、24K、32K、40K、48K、60K バイト
	RAM	<ul style="list-style-type: none">RAM 容量：1K、2K バイト
CPU	CPU	<ul style="list-style-type: none">H8/300H CPU (CISC タイプ)H8/300 CPU に対してオブジェクトレベルで上位互換汎用レジスタ方式 (汎用レジスタ：16 ビット×16 本)アドレッシングモード：8 種類アドレス空間：64K バイト (プログラム：64K バイト、データ：64K バイト)基本命令数 62 種類 (ビット演算、乗除算、ビット操作など)最小命令実行時間 (ns) 400ns @システムクロック = 5MHz、Vcc=2.7~3.6V (ADD 命令) 動作時乗算器を内蔵 (16×16 32 ビット)
	動作モード	<ul style="list-style-type: none">ノーマルモード
	MCU 動作モード	<ul style="list-style-type: none">モード：シングルチップモード低消費電力状態 (SLEEP 命令により低消費電力状態に遷移)
割り込み (要因)	割り込み コントローラ (INTC)	<ul style="list-style-type: none">外部割り込み端子：13 本 (IRQ4~IRQ0、WKP7~WKP0)内部割り込み要因数：23 本独立したベクタアドレス
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none">クロック発生回路：2 回路機能モジュールごとにクロックがあり、独立に設定可能周波数分周回路で構成され、動作周波数を選択可能低消費電力モード：7 種類 アクティブ (中速) モード、スリープ (高速/中速) モード、サブアクティブ モード、サブスリープモード、スタンバイモード、ウォッチモード

分類	モジュール/機能	説明
A/D コンバータ	A/D 変換器 (ADC)	<ul style="list-style-type: none"> • 分解能 (10 ビット) × 入力チャネル数 (8 チャネル) • サンプル&ホールド機能付き • 変換時間: 1 チャネル当たり 12.4μs (= 5MHz 動作時) • 外部トリガ入力により、A/D 変換開始を指定可能
タイマ	14 ビット PWM	<ul style="list-style-type: none"> • 14 ビット × 1 チャネル • 4 種類の変換周期選択が可能 • リップル低減を図ったパルス分割方式
	タイマ A	<ul style="list-style-type: none"> • 8 ビットタイマ • インターバルタイマ機能: 8 種類の内部クロックを選択可能 • 時計用タイムベース機能: 4 種類のオーバーフロー周期を選択可能 • オーバフローで割り込みを発生 • タイマ出カクロックを選択可能
	タイマ C	<ul style="list-style-type: none"> • 8 ビットタイマ • 8 種類のクロックを選択可能 • オートリロード機能をサポート • オーバフローで割り込みを発生 • アップ/ダウンカウンタ切り替え可能
	タイマ F	<ul style="list-style-type: none"> • 16 ビットタイマ (独立した 2 本の 8 ビットタイマとしても使用可能) • 5 種類のクロックを選択可能 • アウトプットコンペア機能をサポート • トグル出力機能をサポート • 割り込み要因: 2 種類 コンペアマッチ、オーバーフロー
	タイマ G	<ul style="list-style-type: none"> • 8 ビットタイマ • 4 種類のカウンタ入カクロックを選択可能 • インพุットキャプチャ機能をサポート (ノイズ除去回路内蔵) • カウンタのオーバーフロー時のレベル検出可能 • カウンタのクリア指定可能 • 割り込み要因: 2 種類 インพุットキャプチャ、オーバーフロー
	非同期イベント カウンタ (AEC)	<ul style="list-style-type: none"> • 16 ビットタイマ (8 ビット × 2 チャネルとしても使用可能) • 非同期の外部イベントのカウントが可能
ウォッチドッグ タイマ	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> • 8 ビット × 1 チャネル (2 種類のカウンタ入カクロックを選択可能)

1. 概要

分類	モジュール/機能	説明
シリアル インタフェース	シリアルコミュニケーションインタフェース 3 (SCI3)	<ul style="list-style-type: none"> • 同一機能を有する 2 チャンネルのシリアルコミュニケーションインタフェース内蔵 (SCI3-1、SCI3-2) • 非同期式/クロック同期式兼用 • 全二重通信が可能 • 任意のビットレートを選択可能 • 割り込み要因: 6 種類
I/O ポート		<ul style="list-style-type: none"> • CMOS 入力専用: 9 本 • CMOS 入出力: 55 本 • プルアップ抵抗: 32 本
LCD (Liquid Crystal Display) 駆動	LCD コントローラ/ ドライバ	<ul style="list-style-type: none"> • セグメント端子: 最大 32 本、コモン端子: 4 本 • 4 種類のデューティ比 (スタティック、1/2、1/3、1/4 デューティ) を選択可能 • LCD RAM 容量: 8 ビット × 32 バイト (256 ビット) • LCD RAM はワードアクセス可能 • セグメント出力端子を 8 端子ごとにポートとして使用可能 • デューティ比により使用しないコモン出力端子をコモンダブルバッファ用 (並列接続用) として使用可能 • スタンバイモード以外の動作モードで表示可能 • フレーム周波数を 11 種類より選択可能 • 電源分割抵抗を内蔵し、LCD 駆動電源を供給 • ソフトウェアにより A 波形、B 波形の選択可能
内部電源降圧 回路	電源回路	<ul style="list-style-type: none"> • 外部 Vcc 端子に接続された電源電圧に依存することなく、内部電源を約 3.0 ~ 3.2V に固定可能 • 内部電源降圧回路を使用せず、内部電源電圧を外部電源電圧と同一として使用も可能
パッケージ		<ul style="list-style-type: none"> • QFP-80: FP-80A (ボディサイズ: 14 × 14mm、ピンピッチ: 0.65mm) • TQFP-80: TFP-80C (ボディサイズ: 12 × 12mm、ピンピッチ: 0.50mm)
動作周波数/電源電圧		<ul style="list-style-type: none"> • 動作周波数 2MHz ~ 16MHz • 電源電圧 Vcc = 2.7 ~ 5.5V、AVcc = 2.7 ~ 5.5V • 消費電流 4.9mA typ (Vcc = 5.0V、AVcc = 5.0V、 = 10MHz) (フラッシュメモリ版) 4.0mA typ (Vcc = 5.0V、AVcc = 5.0V、 = 10MHz) (マスク ROM 版)
動作周囲温度 ()		<ul style="list-style-type: none"> • -20 ~ +75 (通常仕様品) • -40 ~ +85 (広温度範囲仕様品)

1.2 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧表

グループ	製品型名	ROM 容量	RAM 容量	パッケージ	備考
H8/38537 グループ	HD64F38537	60K バイト	2K バイト	FP-80A、	フラッシュメモリ版
	HD64338537	60K バイト	2K バイト	TFP-80C	マスク ROM 版
	HD64338536	48K バイト	2K バイト		マスク ROM 版
	HD64338535	40K バイト	2K バイト		マスク ROM 版
	HD64F38534	32K バイト	2K バイト		フラッシュメモリ版
	HD64338534	32K バイト	2K バイト		マスク ROM 版
	HD64338533	24K バイト	1K バイト		マスク ROM 版
	HD64338532	16K バイト	1K バイト		マスク ROM 版

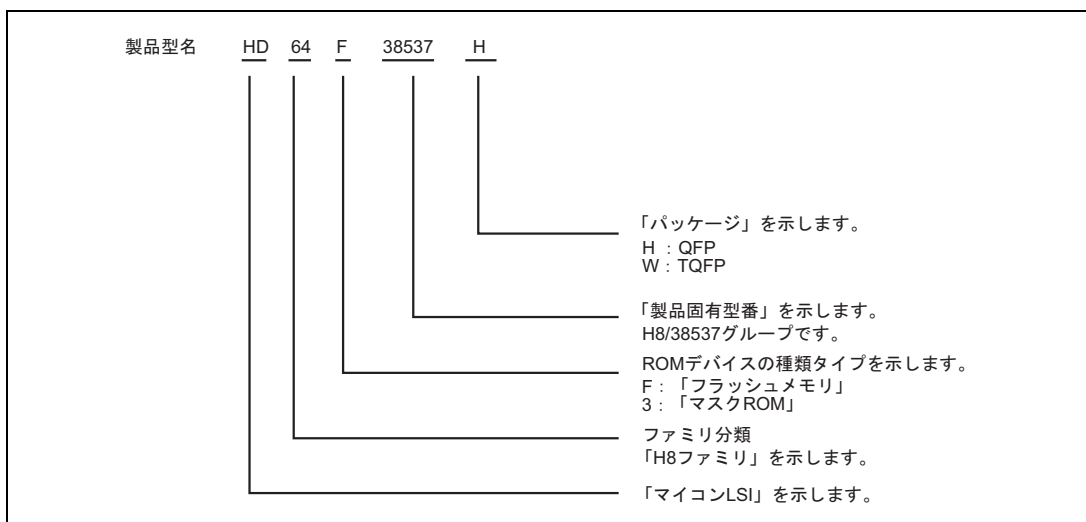


図 1.1 製品型名の読み方

1. 概要

1.3 ブロック図

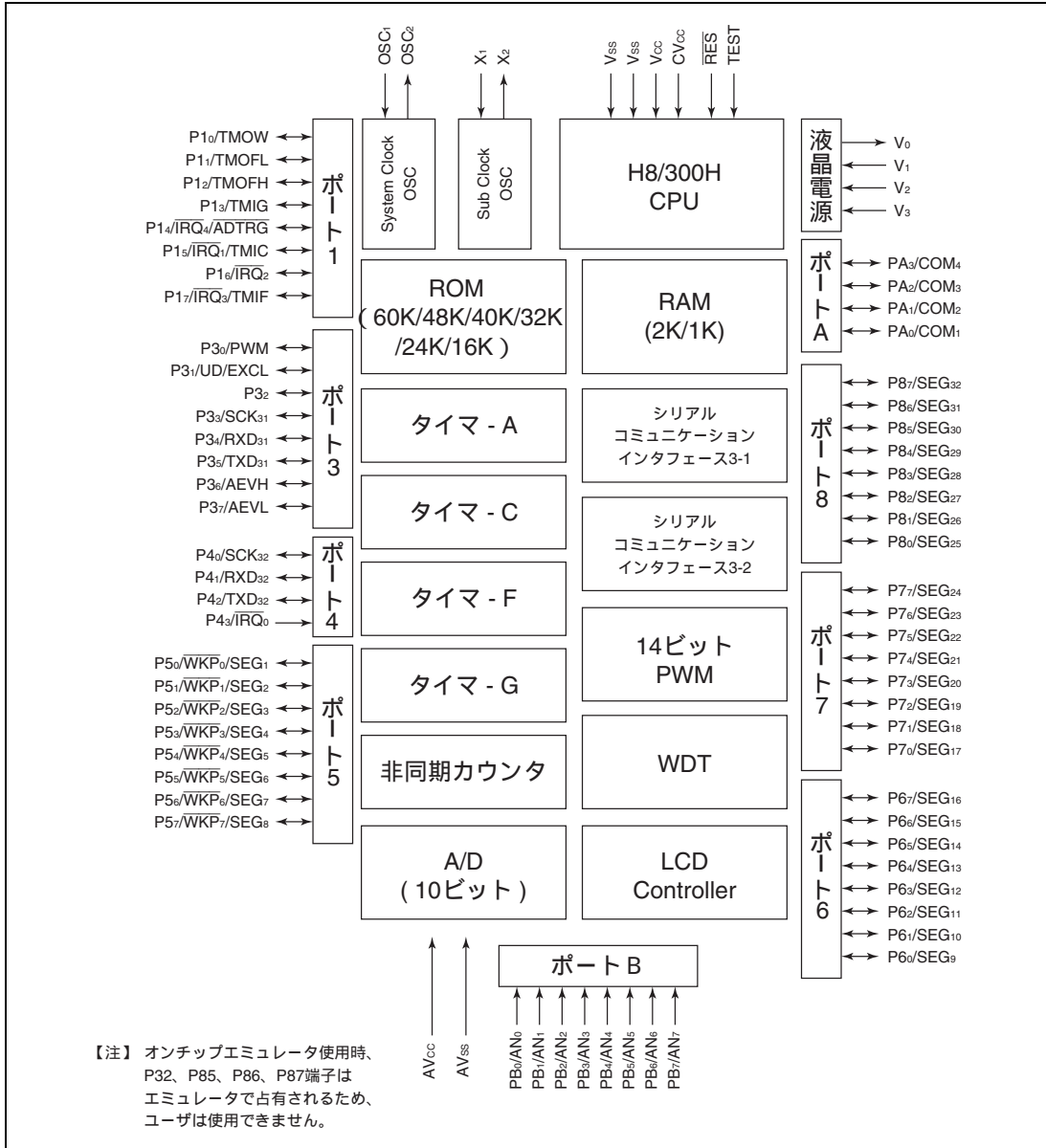


図 1.2 ブロック図

1.4 ピン配置図

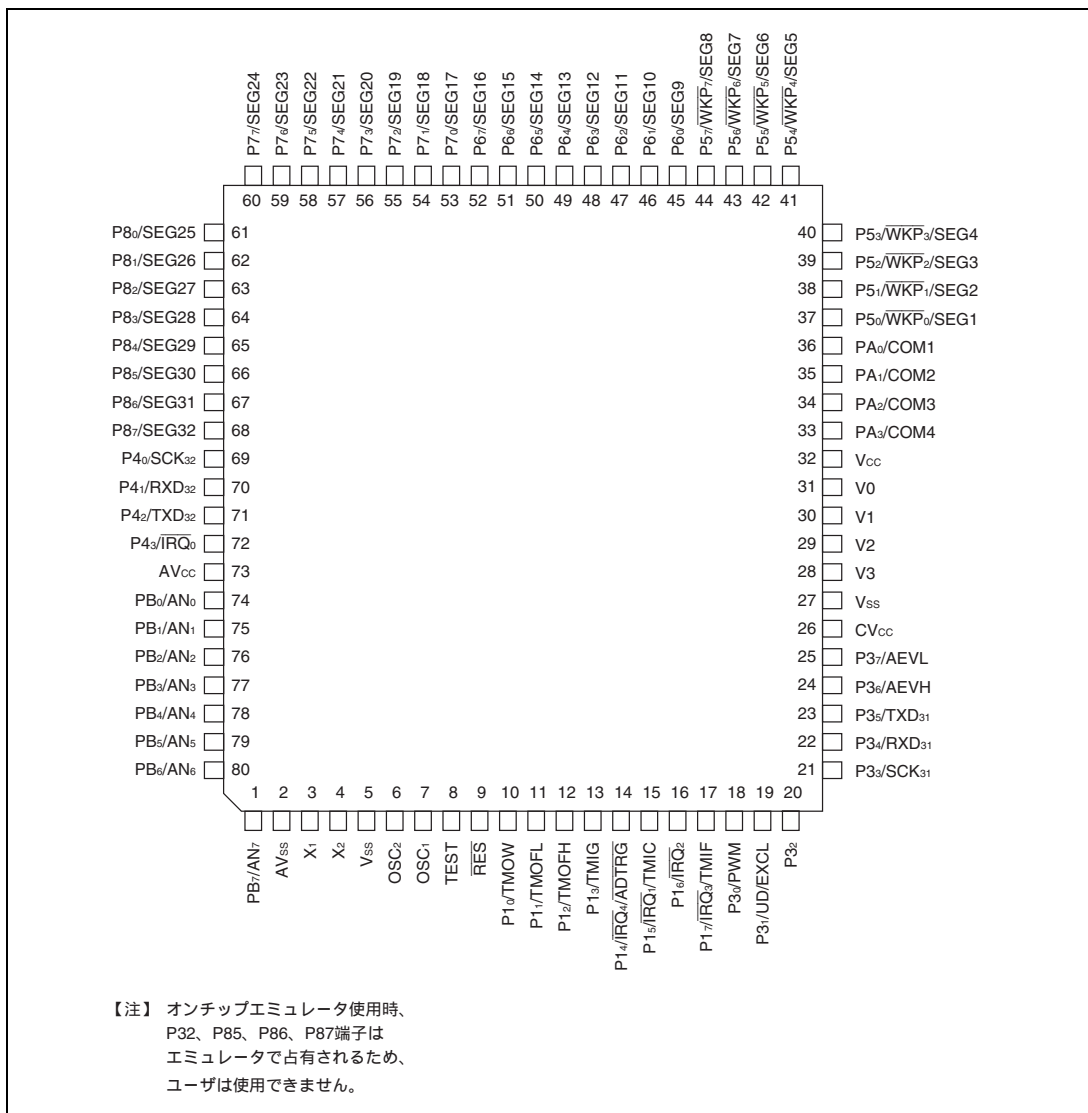


図 1.3 ピン配置図 (FP-80A、TFP-80C)

1. 概要

1.5 端子機能

表 1.3 端子機能の説明

分類	端子名	ピン番号	入出力	機 能
		FP-80A、 TFP-80C		
電源	V _{CC}	32	入力	電源： V _{CC} 端子は、システムの電源に接続してください。 CV _{CC} 端子は、「第 14 章 電源回路」を参照してください。
	CV _{CC}	26		
	V _{SS}	5 27	入力	グランド： V _{SS} 端子は、全端子、システムの電源 (0V) に接続してください。
	AV _{CC}	73	入力	アナログ電源： A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源に接続してください。
	AV _{SS}	2	入力	アナロググランド： A/D 変換器用グランド端子です。システムの電源 (0V) に接続してください。
	V0	31	出力	LCD 電源： LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常 V0 と V1 を短絡して用います。
	V1	30	入力	
V2 V3	29 28			
クロック	OSC1	7	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC2	6	出力	
	X1	3	入力	32.768kHz または 38.4kHz の水晶発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	X2	4	出力	
	EXCL	19	入力	
システム制御	RES	9	入力	リセット： この端子を Low レベルにすると、リセット状態になります。
	TEST	8	入力	テスト端子： ユーザは、使用できません。 V _{SS} 電位に接地してください。

分類	端子名	ピン番号	入出力	機能
		FP-80A、 TFP-80C		
割り込み	IRQ0	72	入力	外部割り込み要求 4~0 : 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	IRQ1	15		
IRQ2	16			
IRQ3	17			
IRQ4	14			
	WKP7~ WKP0	44~37	入力	ウェイクアップ割り込み要求 7~0 : 立ち上がりエッジセンス / 立ち下がりエッジセンスの外部割り込み入力端子です。
タイマ	TMOW	10	出力	クロック出力 : タイマ A 出力回路により生成された波形の出力端子です。
	AEVL AEVH	25 24	入力	非同期イベントカウンタイベント入力 : 非同期イベントカウンタに入力するイベント入力端子です。
	TMIC	15	入力	タイマ C イベント入力 : タイマ C のカウンタに入力するイベント入力端子です。
	UD	19	入力	タイマ C アップ / ダウンセレクト : タイマ C のカウンタのアップ / ダウンカウントを選択します。High レベル印加でダウンカウンタ、Low レベル印加でアップカウンタとして動作します。
	TMIF	17	入力	タイマ F イベント入力 : タイマ F のカウンタに入力するイベント入力端子です。
	TMOFL	11	出力	タイマ FL 出力 : タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	12	出力	タイマ FH 出力 : タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。
	TMIG	13	入力	タイマ G キャプチャ入力 : タイマ G のインプットキャプチャの入力端子です。

1. 概要

分類	端子名	ピン番号	入出力	機能
		FP-80A、TFP-80C		
14 ビット PWM	PWM	18	出力	14 ビット PWM 出力： 14 ビット PWM により生成された波形の出力端子です。
I/O ポート	PB7 ~ PB0	1、80 ~ 74	入力	ポート B： 8 ビットの入力端子です。
	P43	72	入力	ポート 4 (ビット 3)： 1 ビットの入力端子です。
	P42 ~ P40	71 ~ 69	入出力	ポート 4 (ビット 2 ~ ビット 0)： 3 ビットの入出力端子です。ポートコントロールレジスタ 4 (PCR4) によって、1 ビットごとに入出力を指定できます。
	PA3 ~ PA0	33 ~ 36	入出力	ポート A： 4 ビットの入出力端子です。ポートコントロールレジスタ A (PCRA) によって、1 ビットごとに入出力を指定できます。
	P17 ~ P10	17 ~ 10	入出力	ポート 1： 8 ビットの入出力端子です。ポートコントロールレジスタ 1 (PCR1) によって、1 ビットごとに入出力を指定できます。
	P37 ~ P30	25 ~ 18	入出力	ポート 3： 8 ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1 ビットごとに入出力を指定できます。 オンチップエミュレータ使用時、P32 端子はエミュレータで占有されるためユーザは使用できません。フラッシュメモリ版ではユーザモードでのリセット解除時、P32 端子を High レベルにプルアップしてください。
	P57 ~ P50	44 ~ 37	入出力	ポート 5： 8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1 ビットごとに入出力を指定できます。

分類	端子名	ピン番号	入出力	機能
		FP-80A、 TFP-80C		
I/O ポート	P67 ~ P60	52 ~ 45	入出力	ポート 6 : 8 ビットの入出力端子です。ポートコントロールレジスタ 6(PCR6) によって、1 ビットごとに入出力を指定できます。
	P77 ~ P70	60 ~ 53	入出力	ポート 7 : 8 ビットの入出力端子です。ポートコントロールレジスタ 7(PCR7) によって、1 ビットごとに入出力を指定できます。
	P87 ~ P80	68 ~ 61	入出力	ポート 8 : 8 ビットの入出力端子です。ポートコントロールレジスタ 8(PCR8) によって、1 ビットごとに入出力を指定できます。 オンチップエミュレータ使用時、P85、P86、P87 端子はエミュレータで占有されるためユーザは使用できません。
シリアルコ ミュニケー ションイン タフェース (SCI)	RXD31	22	入力	SCI31 受信データ入力 : SCI31 のデータ入力端子です。
	TXD31	23	出力	SCI31 送信データ出力 : SCI31 のデータ出力端子です。
	SCK31	21	入出力	SCI31 クロック入出力 : SCI31 のクロック入出力端子です。
	RXD32	70	入力	SCI32 受信データ入力 : SCI32 のデータ入力端子です。
	TXD32	71	出力	SCI32 送信データ出力 : SCI32 のデータ出力端子です。
	SCK32	69	入出力	SCI32 クロック入出力 : SCI32 のクロック入出力端子です。
A/D 変換器	AN7 ~ AN0	1、80 ~ 74	入力	アナログ入力 (チャンネル 7 ~ チャンネル 0) : A/D 変換器へのアナログデータ入力端子です。
	ADTRG	14	入力	A/D 変換器トリガ入力 : A/D 変換器の外部トリガ入力端子です。
LCD コン トローラ/ ドライバ	COM4 ~ COM1	33 ~ 36	出力	LCD コモン出力 : LCD のコモン出力端子です。
	SEG32 ~ SEG1	68 ~ 37	出力	LCD セグメント出力 : LCD のセグメント出力端子です。

1. 概要

2. CPU

H8/38537 グループのCPUはH8/300 CPUの上位互換のアーキテクチャを持つ内部32ビット構成のH8/300H CPUで、64Kバイトのアドレス空間を持つノーマルモードのみサポートします。

- H8/300 CPU上位互換
 - H8/300シリーズのオブジェクトプログラムを実行可能
 - 16ビット×8本の拡張レジスタを追加
 - 32ビット転送、演算命令を追加
 - 符号付き乗除算命令などを追加
- 汎用レジスタ：16ビット×16本
 - 8ビット×16本+16ビット×8本、32ビット×8本としても使用可能
- 基本命令：62種類
 - 8 / 16 / 32ビット転送、演算命令
 - 乗除算命令
 - 強力なビット操作命令
- アドレッシングモード：8種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Ern)
 - ディスプレイメント付きレジスタ間接 (@ (d:16, Ern)、@ (d:24, Ern))
 - ポストインクリメント/プリデクリメントレジスタ間接 (@Ern + / @ - Ern)
 - 絶対アドレス (@aa:8, @aa:16, @aa:24)
 - イミディエイト (#xx:8, #xx:16, #xx:32)
 - プログラムカウンタ相対 (@ (d:8, PC), @ (d:16, PC))
 - メモリ間接 (@@aa:8)
- アドレス空間：64Kバイト
- 高速動作
 - 頻出命令をすべて2~4ステートで実行

8 / 16 / 32ビットレジスタ間加減算	: 2ステート
8×8ビットレジスタ間乗算	: 14ステート
16÷8ビットレジスタ間除算	: 14ステート
16×16ビットレジスタ間乗算	: 22ステート
32÷16ビットレジスタ間除算	: 22ステート

2. CPU

- 低消費電力動作
SLEEP命令により低消費電力状態に遷移

2.1 アドレス空間とメモリマップ

H8/38537 のメモリマップを図 2.1 (1) に、H8/38536 のメモリマップを図 2.1 (2) に、H8/38535 のメモリマップを図 2.1 (3) に、H8/38534 のメモリマップを図 2.1 (4) に、H8/38533 のメモリマップを図 2.1 (5) に、H8/38532 のメモリマップを図 2.1 (6) に示します。

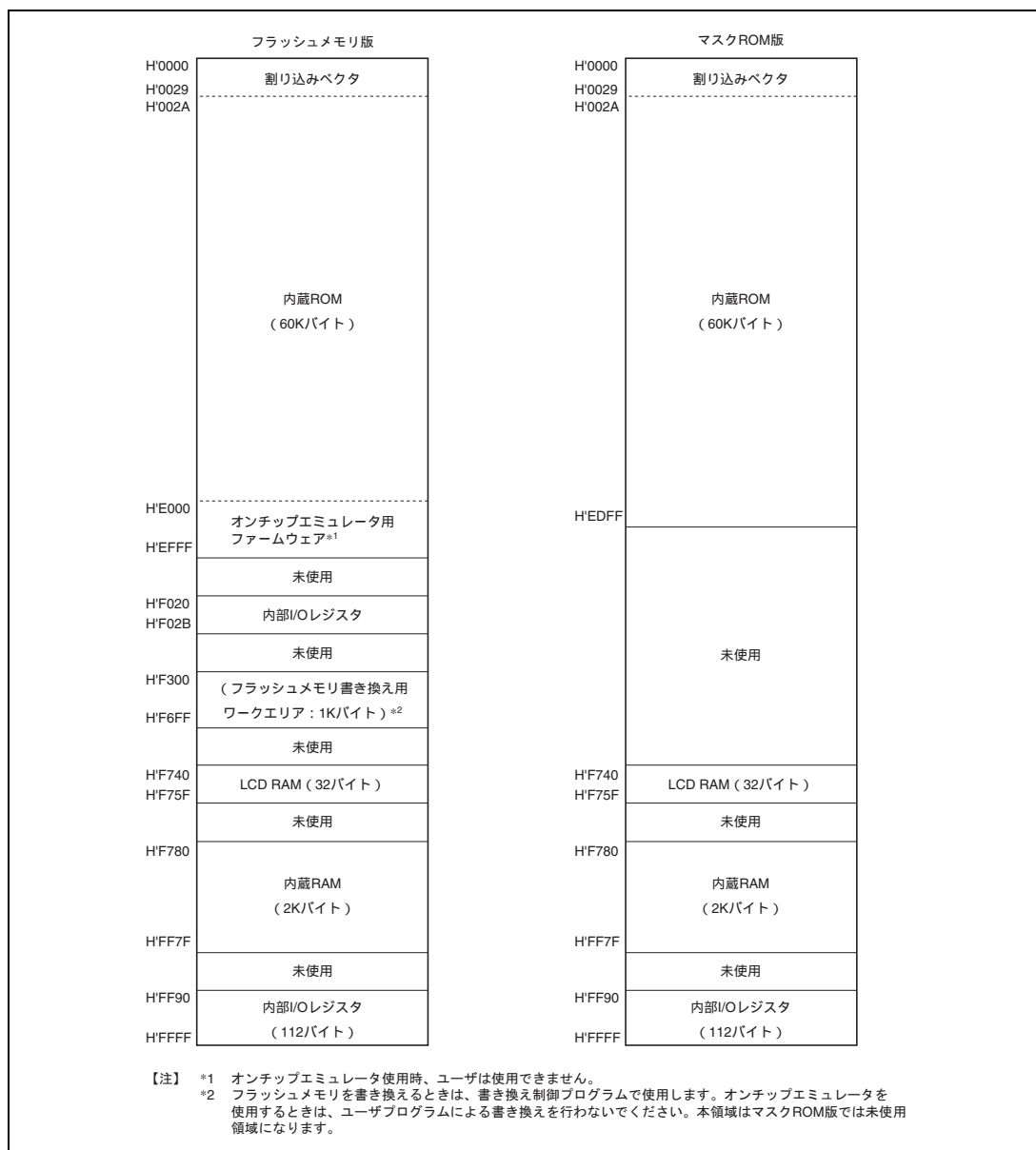


図 2.1 (1) H8/38537 のメモリマップ

2. CPU

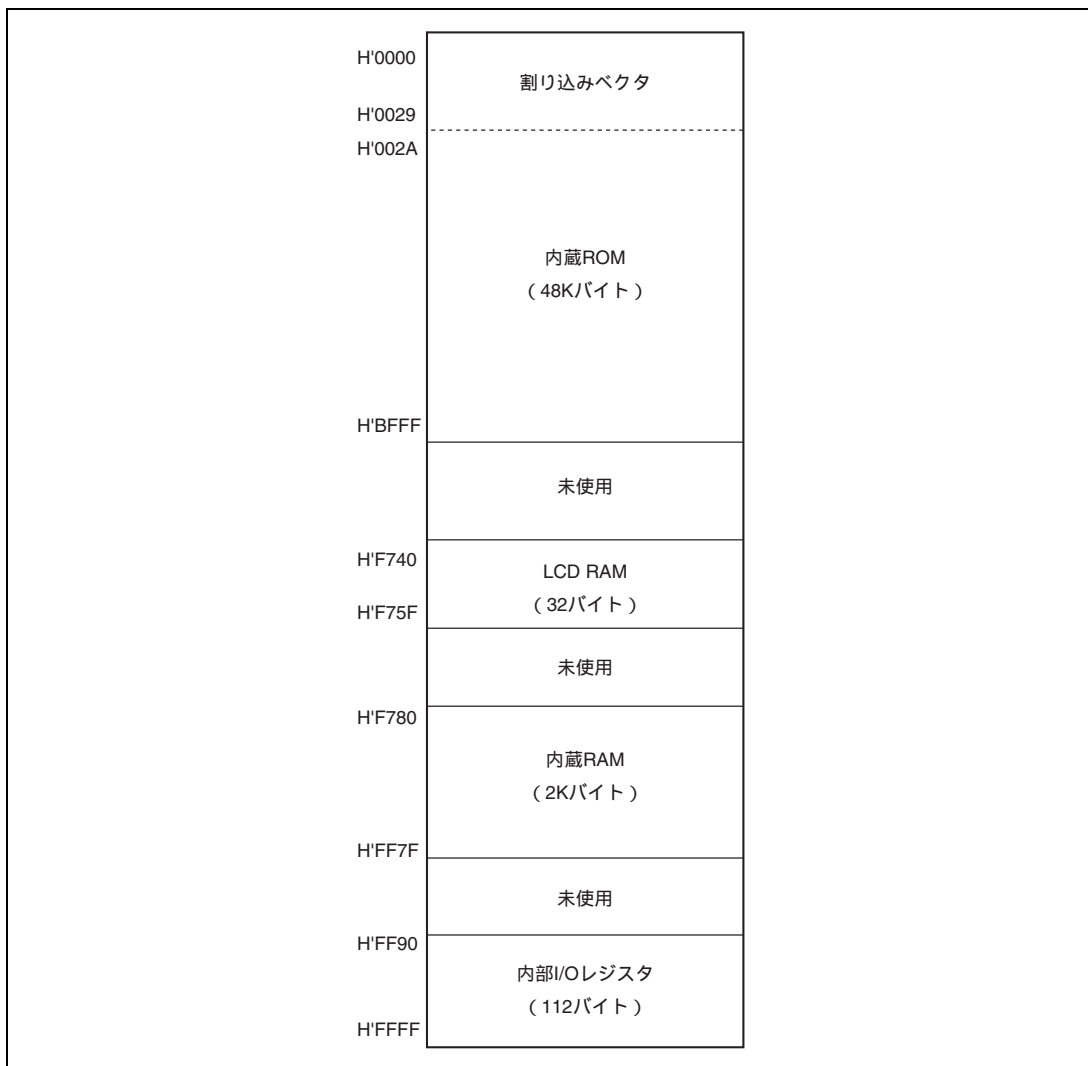


図 2.1 (2) H8/38536 のメモリマップ

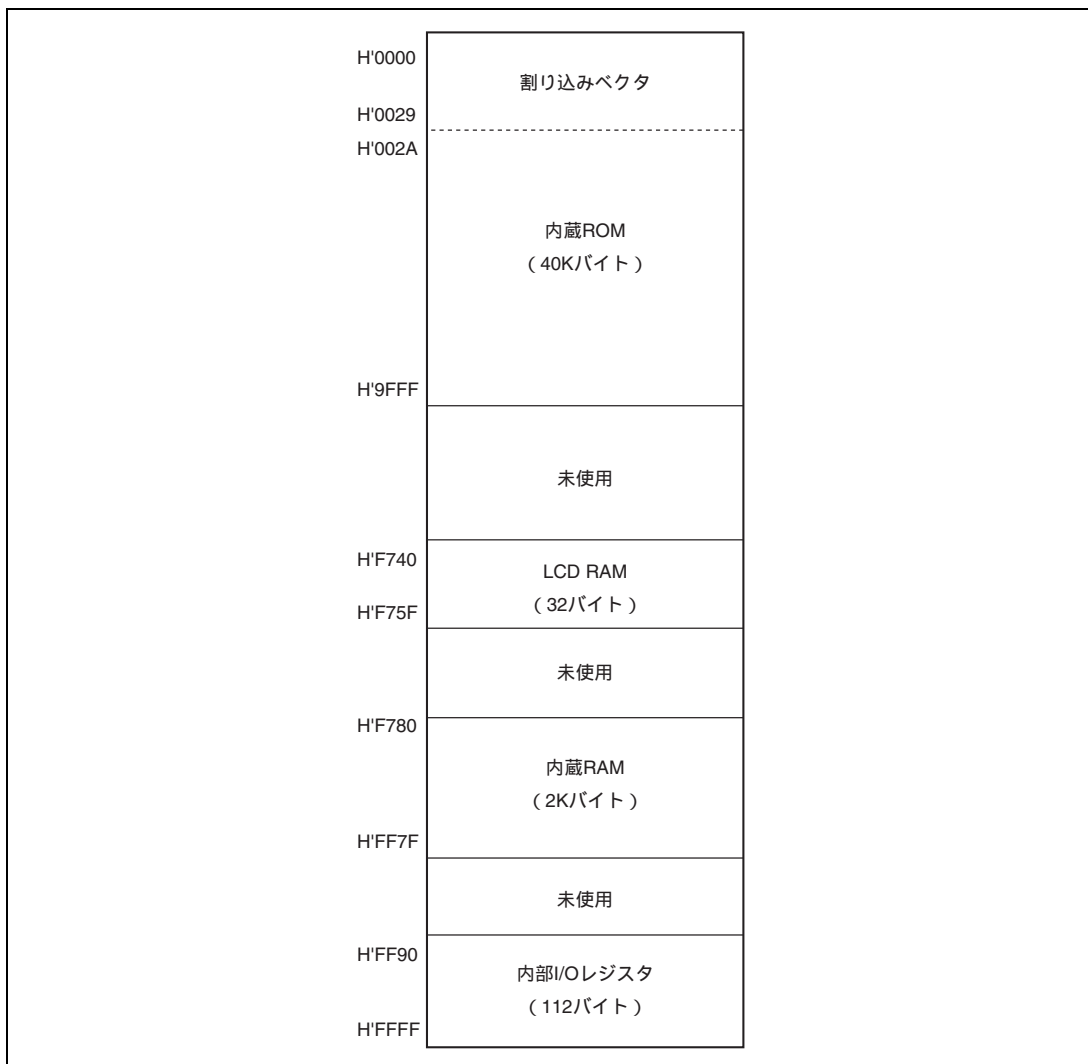


図 2.1 (3) H8/38535 のメモリマップ

2. CPU

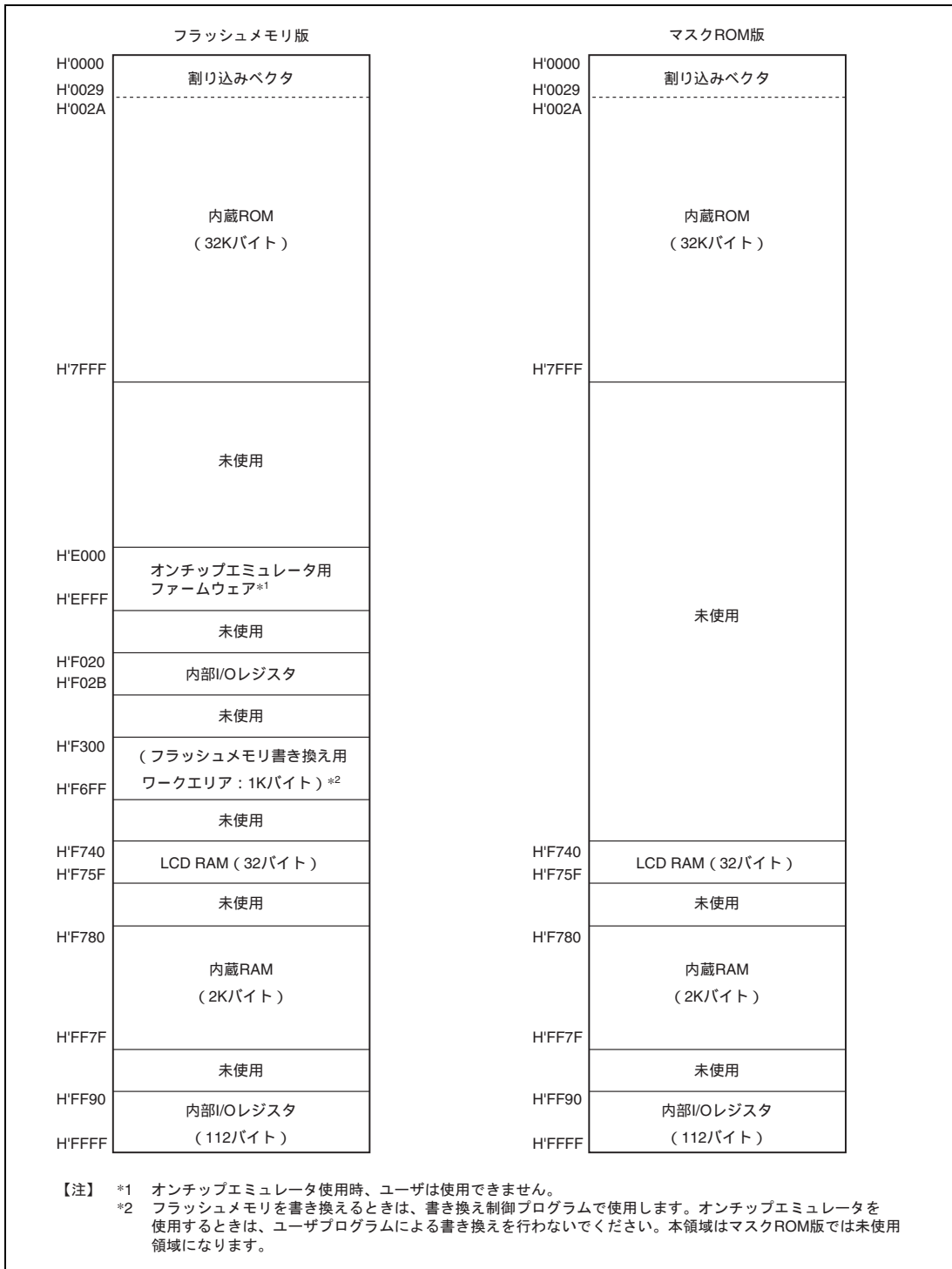


図 2.1 (4) H8/38534 のメモリマップ

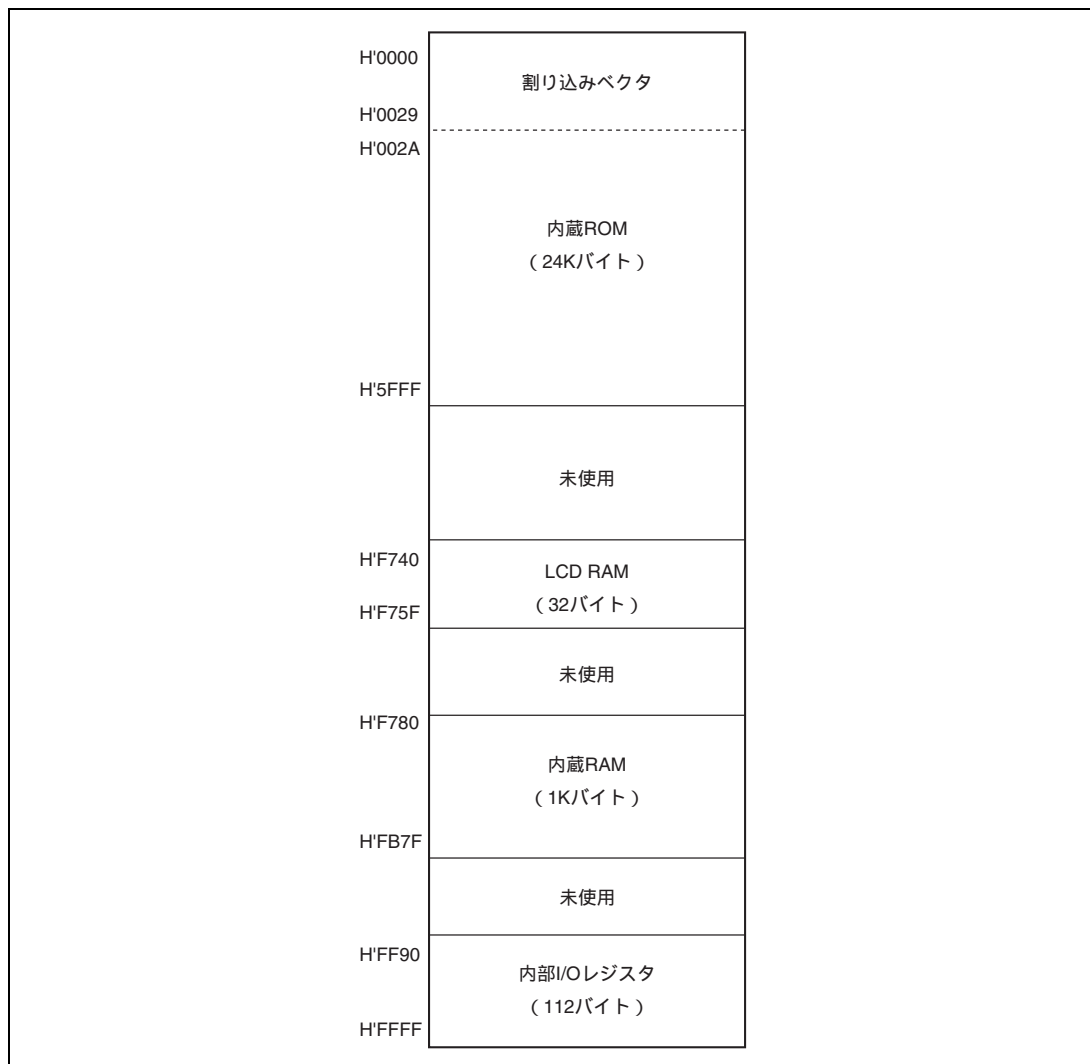


図 2.1 (5) H8/38533 のメモリマップ

2. CPU

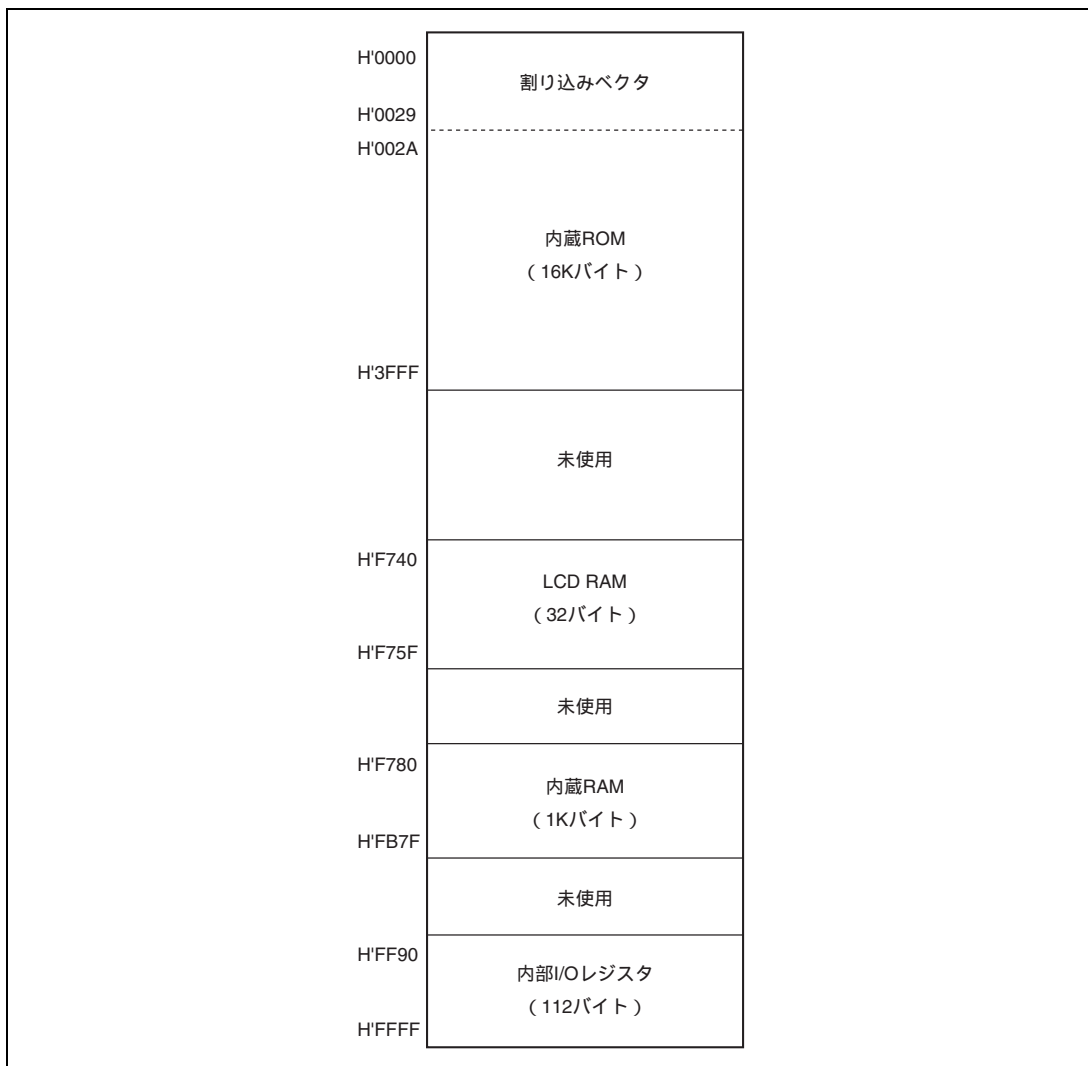


図 2.1 (6) H8/38532 のメモリマップ

2.2 レジスタ構成

H8/300H CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類されます。コントロールレジスタには 24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

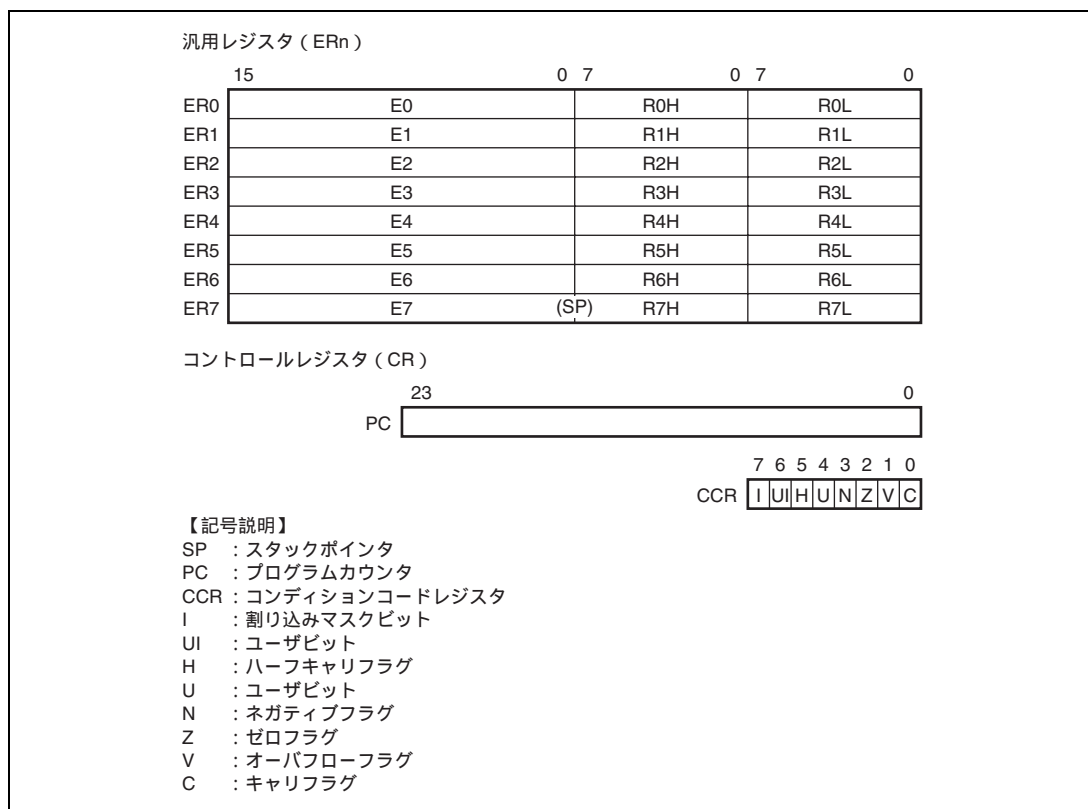


図 2.2 CPU 内部レジスタ構成

2.2.1 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタはすべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.3 に示します。

アドレスレジスタおよび 32 ビットデータレジスタとして使用する場合は、一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットデータレジスタとして使用する場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

2. CPU

8ビットデータレジスタとして使用する場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本使用することができます。各レジスタは使用方法を独立に指定することができます。

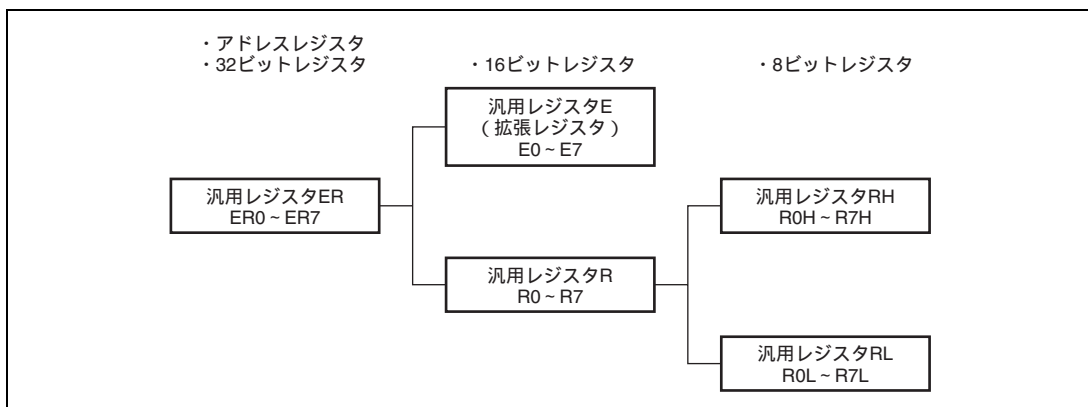


図 2.3 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタの機能に加えてスタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。スタックポインタとスタック領域の関係を図 2.4 に示します。

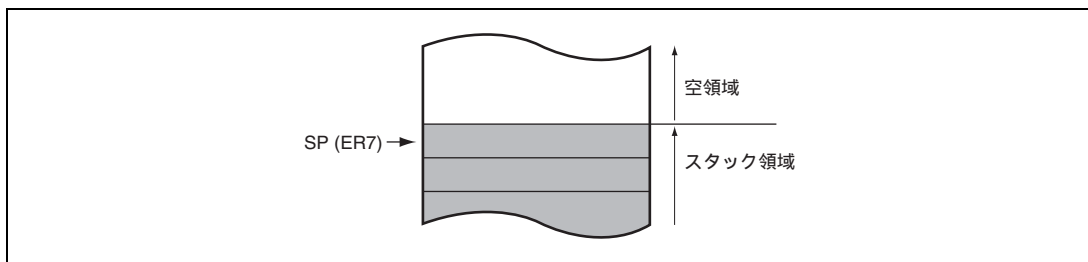


図 2.4 スタックポインタとスタック領域の関係

2.2.2 プログラムカウンタ (PC)

PC は 24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令はすべて偶数番地から始まる 2 バイト (ワード) を単位としているため、PC の最下位ビットは命令コードを読み出すときは 0 とみなされます。PC はリセット例外処理の過程で生成されるベクタアドレスによってスタートアドレスをロードすることにより初期化されます。

2.2.3 コンディションコードレジスタ (CCR)

CCR は CPU の内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。I ビットはリセット例外処理によって 1 に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込み要求がマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。I ビットは例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行によりオーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のボロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

2.3 データ形式

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。10 進補正命令 DAA、DAS ではバイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.5 に示します。

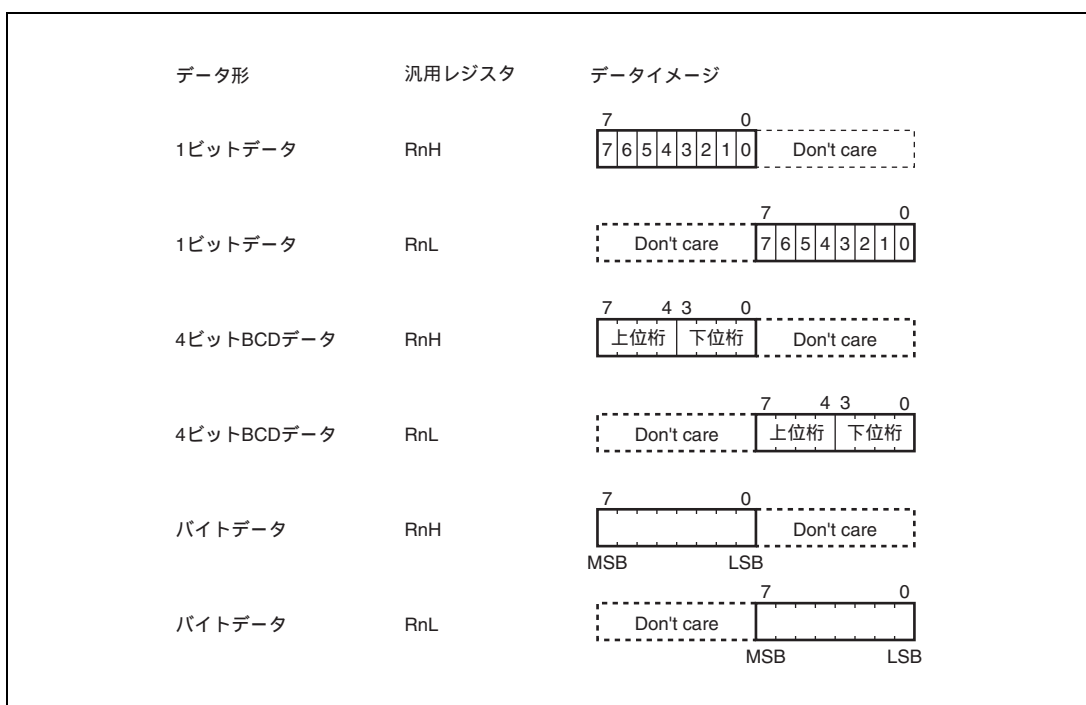


図 2.5 汎用レジスタのデータ形式 (1)

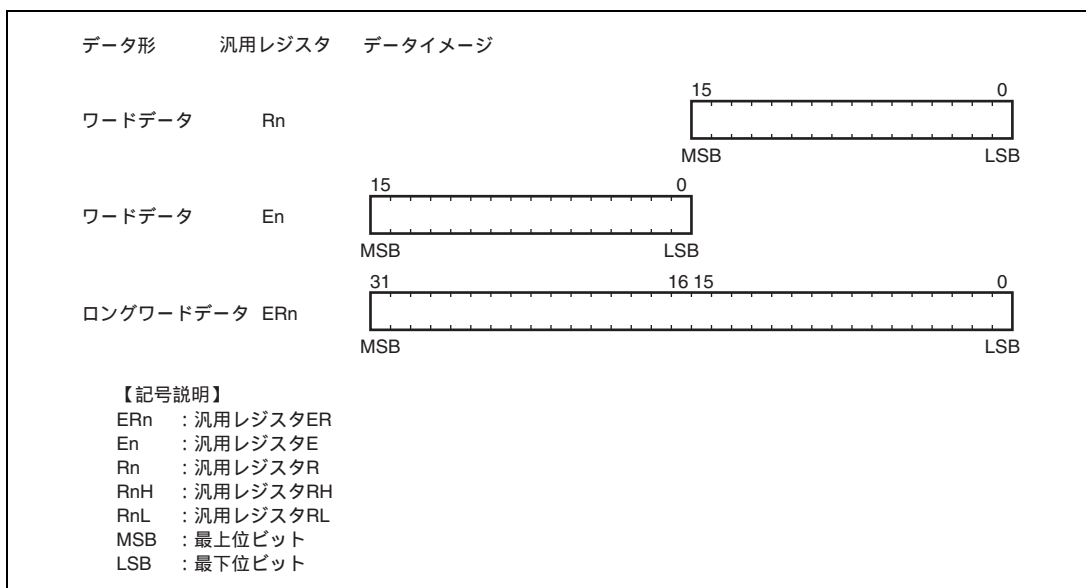


図 2.5 汎用レジスタのデータ形式 (2)

2.3.2 メモリ上のデータ形式

メモリ上のデータ形式を図 2.6 に示します。

H8/300H CPU は、メモリ上のワードデータ / ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ / ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

ER7 (SP) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

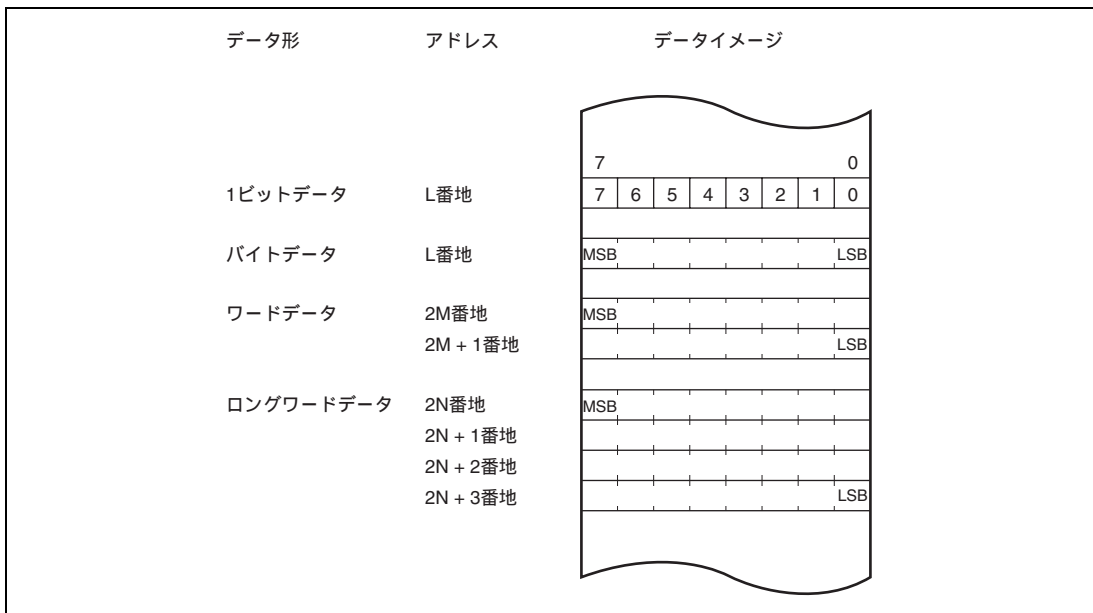


図 2.6 メモリ上でのデータ形式

2.4 命令セット

2.4.1 命令の機能別一覧

H8/300H CPU の命令は合計 62 種類あります。各命令の機能別一覧を表 2.2～表 2.9 に示します。各表で使用しているオペレーションの記号の意味は表 2.1 のとおりです。

表 2.1 オペレーションの記号

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ / アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ / アドレスレジスタ (ER0～ER7) です。

2. CPU

表 2.2 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) Rd 本 LSI では使用できません。
MOVTPPE	B	Rs (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。POP.W Rn は MOV.W @SP+, Rn と、また POP.L Ern は MOV.L @SP+, Ern と同一です。
PUSH	W/L	Rn @ - SP 汎用レジスタの内容をスタックに退避します。PUSH.W Rn は MOV.W Rn, @ - SP と、また PUSH.L Ern は MOV.L Ern, @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.3 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16 ビット \div 8 ビット 商 8 ビット 余り 8 ビット、32 ビット \div 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16 ビット \div 8 ビット 商 8 ビット 余り 8 ビット、32 ビット \div 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	Rd (ゼロ拡張) Rd 16 ビットレジスタの下部 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下部 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd (符号拡張) Rd 16 ビットレジスタの下部 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下部 16 ビットをロングワードサイズに符号拡張します。

2. CPU

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~ Rd Rd 汎用レジスタの内容の 1 の補数 (論理的補数) をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.5 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 ビット操作命令

命 令	サイズ*	機 能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

2. CPU

命 令	サイズ*	機 能
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 分岐命令

命令	サイズ	機能																																																			
Bcc*	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOw)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N\oplusV = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N\oplusV = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV) = 1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOw)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N \oplus V = 0	BLT	Less Than	N \oplus V = 1	BGT	Greater Than	Z (N \oplus V) = 0	BLE	Less or Equal	Z (N \oplus V) = 1
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOw)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N \oplus V = 0																																																			
BLT	Less Than	N \oplus V = 1																																																			
BGT	Greater Than	Z (N \oplus V) = 0																																																			
BLE	Less or Equal	Z (N \oplus V) = 1																																																			
JMP		指定されたアドレスへ無条件に分岐します。																																																			
BSR		指定されたアドレスへサブルーチン分岐します。																																																			
JSR		指定されたアドレスへサブルーチン分岐します。																																																			
RTS		サブルーチンから復帰します。																																																			

【注】 * Bcc 命令は条件分岐命令の総称です。

2. CPU

表 2.8 システム制御命令

命 令	サイズ*	機 能
RTE		例外処理ルーチンから復帰します。
SLEEP		低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP		PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.9 ブロック転送命令

命 令	サイズ	機 能
EPEMOV.B		if R4L 0 then Repeat @ER5+ @ER6+, R4L - 1 R4L Until R4L = 0 else next;
EPEMOV.W		if R4 0 then Repeat @ER5+ @ER6+, R4 - 1 R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.4.2 命令の基本フォーマット

H8/300H CPU の命令は 2 バイト (ワード) を単位としています。各命令はオペレーションフィールド (OP)、レジスタフィールド (r)、EA 拡張部 (EA) およびコンディションフィールド (cc) から構成されています。図 2.7 に命令フォーマットの例を示します。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合やレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレースメントは上位8ビットをすべて0 (H'00) とした32ビットデータとして扱われます。

(4) コンディションフィールド

条件分岐命令の分岐条件を指定します。

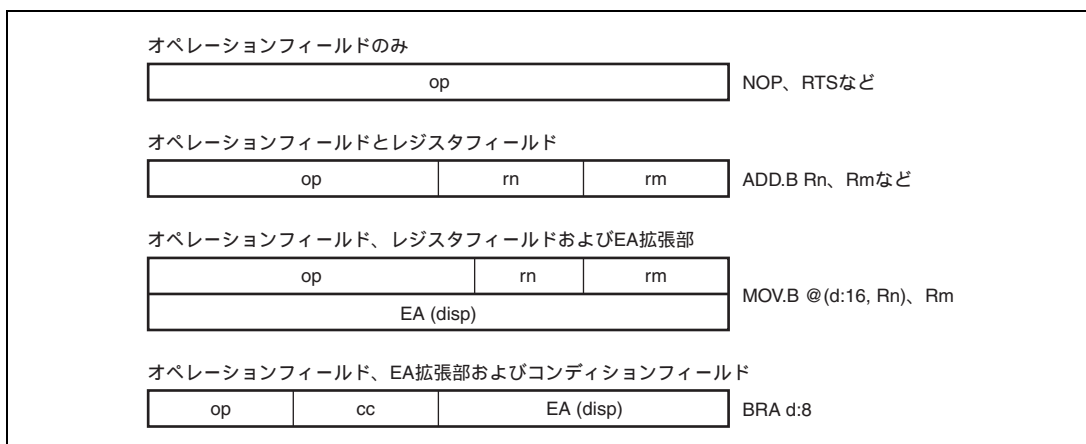


図 2.7 命令フォーマット

2.5 アドレッシングモードと実効アドレス

以下の説明は H8/300H CPU に関するものです。H8/38537 グループでは生成される 24 ビットのアドレスのうちの上位 8 ビットは無視され、実効アドレスは 16 ビットとなります。

2.5.1 アドレッシングモード

H8/300H CPU は、表 2.10 の 8 種類のアドレッシングモードをサポートしています。命令ごとに使用できるアドレッシングモードが異なります。詳細は「付録 A.4 命令とアドレッシングモードの組み合わせ」を参照してください。

演算命令ではレジスタ直接、およびイミディエイトを使用できます。転送命令ではプログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードを使用できます。ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) を使用できます。さらに、オペランド中のビット番号の指定にレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) を使用できます。

表 2.10 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ (d:16, ERn) / @ (d:24, ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@ (d:8, PC) / @ (d:16, PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されま

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @ - ERn

- ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ、ロングワードサイズのときはレジスタの内容が偶数となるようにしてください。

- プリデクリメントレジスタ間接 @ - ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのときはアドレスレジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスでメモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、または 24 ビット (@aa:24) です。

8 ビット絶対アドレスの場合、上位 16 ビットはすべて 1 (H'FFFF) となります。

16 ビット絶対アドレスの場合、上位 8 ビットは符号拡張されます。

24 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

H8/38537 グループの場合、上位 8 ビットは無視されるため、絶対アドレスのアクセス範囲は表 2.11 のようになります。

表 2.11 絶対アドレスのアクセス範囲

絶対アドレス	アクセス範囲
8 ビット (@aa:8)	H'FF00 ~ H'FFFF
16 ビット (@aa:16)	H'0000 ~ H'FFFF
24 ビット (@aa:24)	H'0000 ~ H'FFFF

2. CPU

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令ではイミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コードに含まれる場合があります。

(7) プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

条件分岐命令、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはワードサイズで指定し、16 ビット長の分岐アドレスを生成します。図 2.8 にメモリ間接による分岐アドレスの指定方法を示します。

絶対アドレスの上位ビットはすべて 0 となります。このため分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、このうちの先頭領域は例外処理ベクタ領域と共通になっているので注意してください。

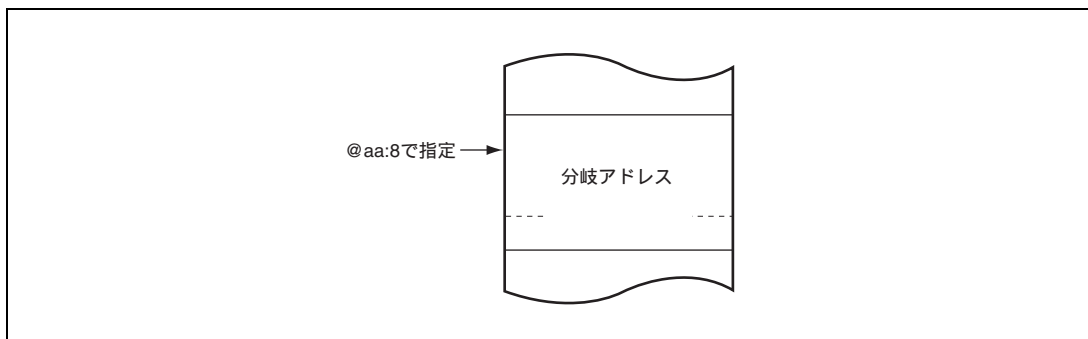


図 2.8 メモリ間接による分岐アドレスの指定

2.5.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.12 に示します。
H8/38537 グループでは計算結果の上位 8 ビットは無視され、16 ビットの実効アドレスを生成します。

表 2.12 実効アドレスの計算方法（1）

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
(1)	レジスタ直接（Rn） 		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接（@ERn） 		
(3)	ディスプレイースメント付きレジスタ間接 @（d：16，ERn） / @（d：24，ERn） 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメント レジスタ間接 @ERn + ・プリデクリメント レジスタ間接 @ - ERn 		
(5)	絶対アドレス @ aa：8 @ aa：16 @ aa：24 		

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

2. CPU

表 2.12 実効アドレスの計算方法 (2)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32 <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> op IMM </div>		オペランドは、イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d : 8, PC) / @(d : 16, PC) <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> op disp </div>	<p>23 0 PC の内容</p> <p>符号拡張 disp</p> <p>23 0</p>	<p>23 0</p>
(8)	メモリ間接 @@ aa : 8 <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> op abs </div>	<p>23 8 7 0 H'0000 abs</p> <p>15 0 メモリの内容</p> <p>23 16 15 0 H'00</p>	<p>23 16 15 0</p>

【記号説明】

r、rm、m : レジスタフィールド
op : オペレーションフィールド
disp : ディスプレースメント
IMM : イミディエイトデータ
abs : 絶対アドレス

2.6 基本バスサイクル

CPUは、システムクロック()またはサブクロック(SUB)を基準に動作します。または SUB の立ち上がりから次の立ち上がりまでを1ステートと呼びます。バスサイクルは2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは2ステートで行われます。データバス幅は16ビットで、バイトおよびワードアクセスが可能です。内蔵メモリアクセスサイクルを図2.9に示します。

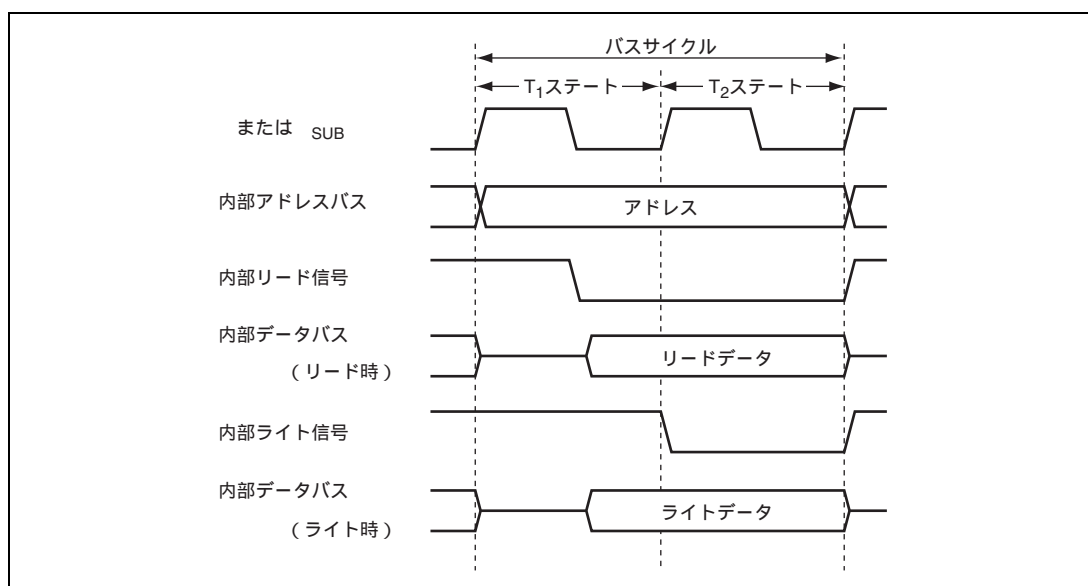


図 2.9 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。データバス幅は8 ビットまたは16 ビットで、レジスタにより異なります。各レジスタのデータバス幅とアクセスステート数は「15.1 レジスタアドレス一覧（アドレス順）」を参照してください。データバス幅が16 ビットのレジスタはワードアクセスのみ可能です。データバス幅が8 ビットのレジスタはバイトおよびワードアクセスが可能です。データバス幅が8 ビットのレジスタをワードアクセスするとバスサイクルが2 回発生します。2 ステートアクセスの場合の動作タイミングは内蔵メモリと同一です。3 ステートアクセスの場合の動作タイミングを図 2.10 に示します。

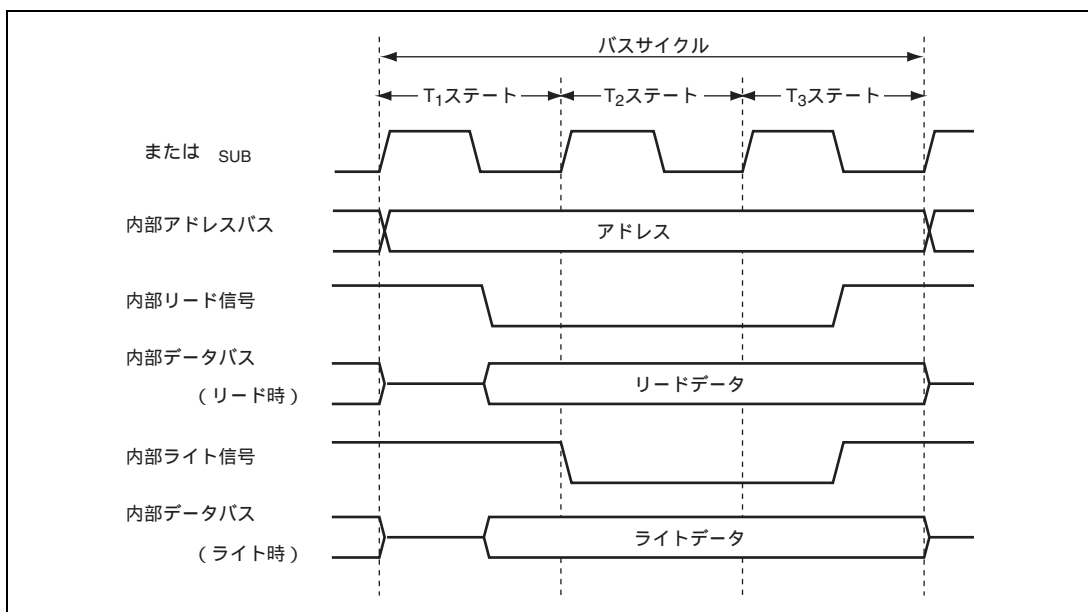


図 2.10 内蔵周辺モジュールアクセスサイクル（3 ステートアクセスの場合）

2.7 CPUの状態

CPUの状態は、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類あります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモード、サブスリープモードがあります。各状態の分類を図 2.11 に、各状態間の遷移条件を図 2.12 に示します。プログラム実行状態およびプログラム停止状態の詳細は「第 5 章 低消費電力モード」を参照してください。例外処理の詳細は「第 3 章 例外処理」を参照してください。

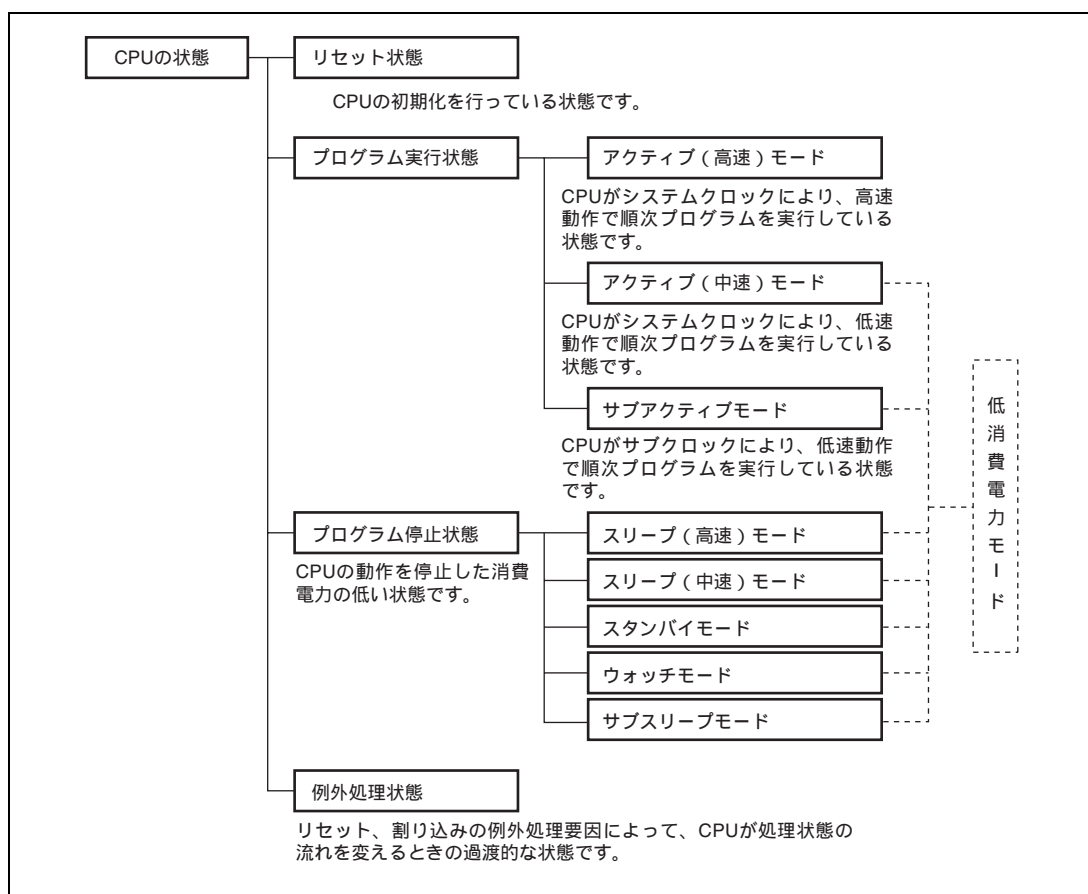


図 2.11 CPUの状態の分類

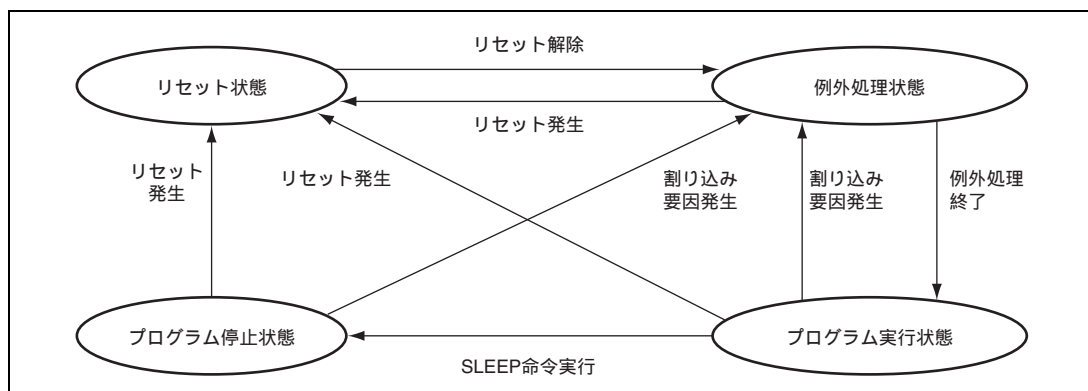


図 2.12 状態遷移図

2.8 使用上の注意事項

2.8.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

2.8.2 EEPMOV 命令

EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6 + R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4L、R6 を設定してください。

2.8.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる 1 ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、同一アドレスに 2 つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き換わる可能性がありますので注意してください。

(1) 同一アドレスに割り付けられた 2 つのレジスタのビット操作

例 1：タイマロードレジスタとタイマカウンタへのビット操作

図 2.13 に同一アドレスに割り付けられた 2 つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

タイマカウンタのデータをバイト単位でリードします。

CPU はビット操作命令で対象となる 1 ビットをセットまたはリセットします。

ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き換わって、タイマロードレジスタへライトされます。

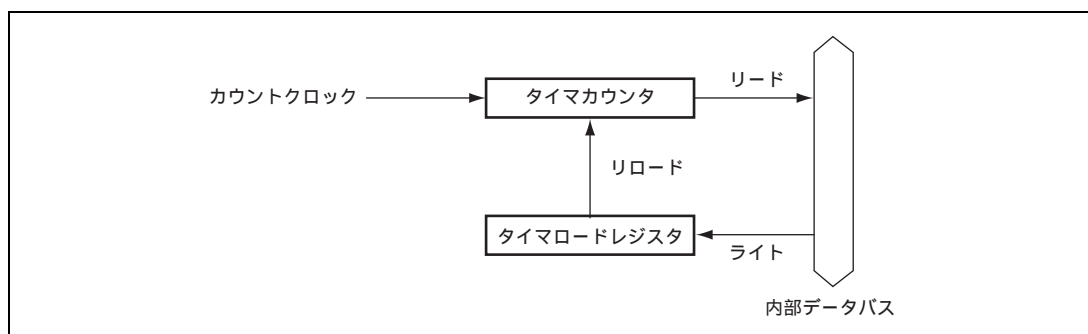


図 2.13 同一アドレスに割り付けられた 2 つのレジスタを持つタイマの構成例

2. CPU

例2：ポート5にBSET命令を実行した場合

P57、P56は入力端子でそれぞれLowレベル、Highレベル入力状態とし、P55～P50は出力端子でそれぞれLowレベル出力状態とします。以下に、BSET命令でP50にHighレベル出力を行う例を示します。

【BSET命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BSET命令実行】

BSET #0, @PDR5

ポート5に対してBSET命令を実行します。

【BSET命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【動作説明】

1. BSET命令を実行すると、CPUはポート5をリードします。P57、P56は入力端子で、CPUは端子の状態（Lowレベル、Highレベル入力）をリードします。P55～P50は出力端子で、CPUはPDR5の値をリードします。したがって、例ではPDR5はH'80ですが、CPUがリードしたデータはH'40となります。
2. CPUはリードしたデータのビット0を1にセットして、データをH'41に変更します。
3. H'41をPDR5に書き込んで、BSET命令を終了します。

その結果、PDR5のビット0が1になり、P50はHighレベル出力になります。しかし、PDR5のビット7、6が変化してしまいます。そのため、PDR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR5にライトしてください。

【BSET命令実行前】

```
MOV.B #H'80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR5
```

PDR5 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【BSET命令実行】

```
BSET #0, @RAM0
```

PDR5 のワークエリア (RAM0) に対して BSET 命令を実行します。

【BSET命令実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR5
```

ワークエリア (RAM0) の値を PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

2. CPU

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート5のPCR5にBCLR命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55 ~ P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BCLR 命令で P50 を入力端子に設定する例を示します。入力端子に設定された P50 は High レベル入力状態とします。

【BCLR命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BCLR命令実行】

BCLR	#0	,	@PCR5
------	----	---	-------

PCR5 に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【動作説明】

1. BCLR命令を実行すると、CPUはPCR5をリードします。PCR5はライト専用レジスタで、CPUはH'FFをリードします。したがって、例ではPCR5はH'3Fですが、CPUがリードしたデータはH'FFとなります。
2. CPUはリードしたデータのビット0を0にクリアして、データをH'FEに変更します。
3. H'FEをPCR5に書き込んで、BCLR命令を終了します。

その結果、PCR5のビット0が0になり、P50は入力端子になります。しかし、PCR5のビット7、6が1になり、P57、P56は出力端子に変化してしまいます。そのため、PCR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPCR5にライトしてください。

【BCLR命令実行前】

```
MOV.B #H'3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR5
```

PCR5 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【BCLR命令実行】

```
BCLR #0, @RAM0
```

PCR5 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【BCLR命令実行後】

```
MOV.B @RAM0,R0L
MOV.B R0L, @PCR5
```

ワークエリア (RAM0) の値を PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

2. CPU

同一のアドレスに割り付けられた2つのレジスタの一覧を表 2.13 に、ライト専用ビットを含むレジスタの一覧を表 2.14 に示します。

表 2.13 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略称	アドレス
タイマカウンタ C / タイムロードレジスタ C	TCC/TLC	H'FFB5
ポートデータレジスタ 1*	PDR1	H'FFD4
ポートデータレジスタ 3*	PDR3	H'FFD6
ポートデータレジスタ 4*	PDR4	H'FFD7
ポートデータレジスタ 5*	PDR5	H'FFD8
ポートデータレジスタ 6*	PDR6	H'FFD9
ポートデータレジスタ 7*	PDR7	H'FFDA
ポートデータレジスタ 8*	PDR8	H'FFDB
ポートデータレジスタ A*	PDRA	H'FFDD

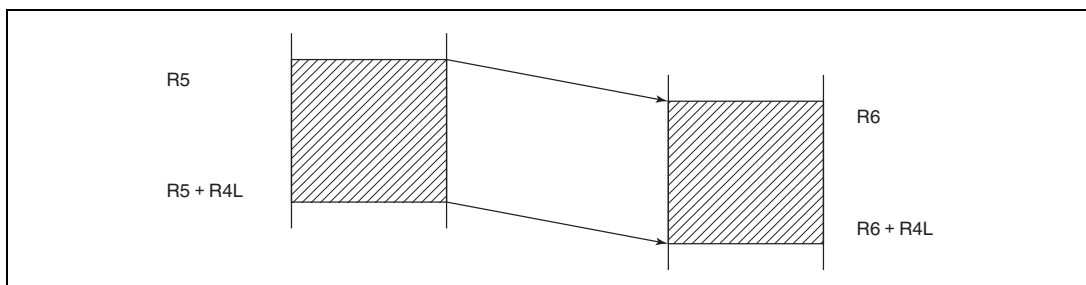
【注】 * ポートデータレジスタと端子入力が兼用になっています。

表 2.14 ライト専用ビットを含むレジスタの一覧

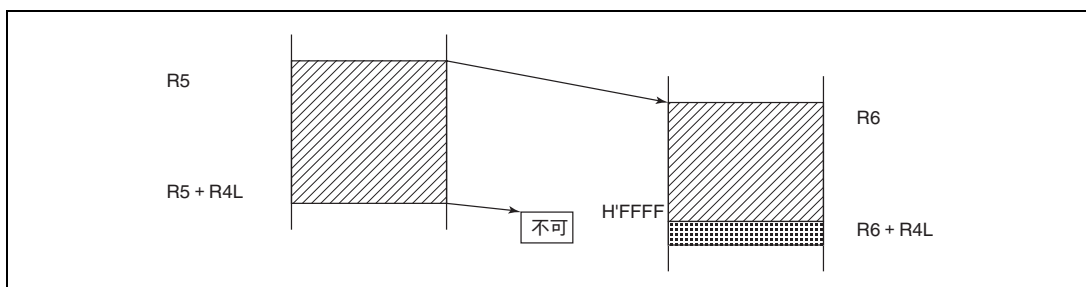
レジスタ名	略称	アドレス
ポートコントロールレジスタ 1	PCR1	H'FFE4
ポートコントロールレジスタ 3	PCR3	H'FFE6
ポートコントロールレジスタ 4	PCR4	H'FFE7
ポートコントロールレジスタ 5	PCR5	H'FFE8
ポートコントロールレジスタ 6	PCR6	H'FFE9
ポートコントロールレジスタ 7	PCR7	H'FFEA
ポートコントロールレジスタ 8	PCR8	H'FFEB
ポートコントロールレジスタ A	PCRA	H'FFED
タイマコントロールレジスタ F	TCRF	H'FFB6
PWM コントロールレジスタ	PWCR	H'FFD0
PWM データレジスタ U	PWDRU	H'FFD1
PWM データレジスタ L	PWDRL	H'FFD2

2.8.4 EEPMOV 命令使用上の注意事項

1. EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



2. 転送先の最終アドレス (R6+R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF H'0000とならないように)、R4L、R6を設定してください。



3. 例外処理

3.1 概要

本 LSI の例外処理には、リセットと割り込みがあります。表 3.1 に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタが初期化されます。

3.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間、Low レベルに保持してください。

リセット例外処理の動作は以下のとおりです。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、コンディションコードレジスタ (CCR) の I ビットをセットします。
2. リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を Low レベルにしてください。

リセットシーケンスを図 3.1 に示します。

3. 例外処理

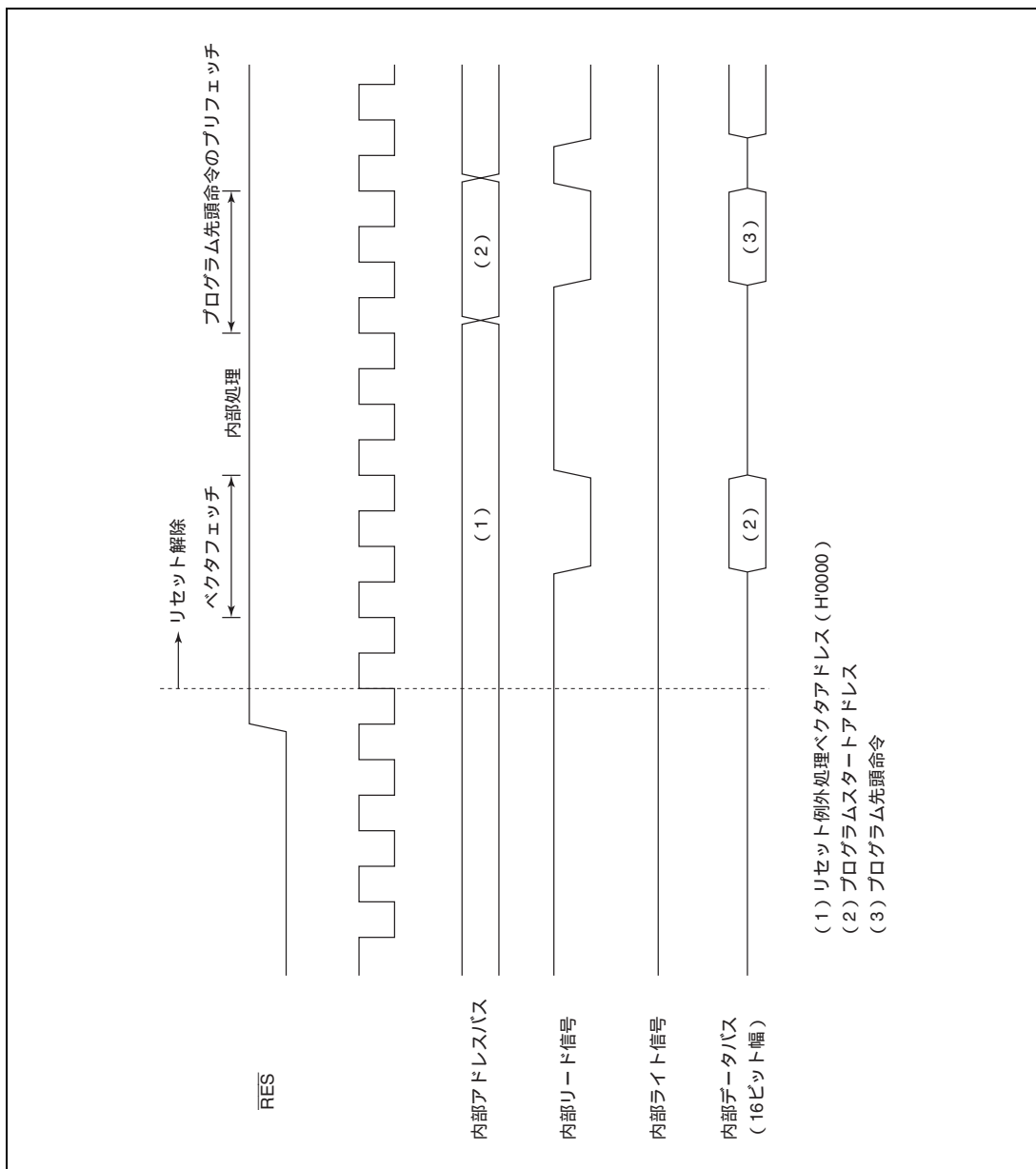


図 3.1 リセットシーケンス

3.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP : R7) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP を初期化する命令としてください (例 : MOV.W #xx:16, SP)。

3.3 割り込み

3.3.1 概要

割り込み例外処理を開始する要因には、13 の外部割り込み要因 (WKP₇ ~ WKP₀、IRQ₄ ~ IRQ₀) と内蔵モジュールから 23 の内部割り込み要因があります。割り込み要因と優先度、ならびにベクタアドレスの一覧を表 3.2 に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

1. 内部割り込みおよび外部割り込みは、CCRのIビットによりマスクされます。CCRのIビットが1にセットされていると、割り込み要求フラグはセットされますが、割り込みは受け付けられません。
2. IRQ₄ ~ IRQ₀、WKP₇ ~ WKP₀は、立ち上がり / 立ち下がりエッジセンスのいずれかに設定することができます。

3.3.2 各レジスタの説明

割り込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割り込み制御レジスタ

名称	略称	R/W	初期値	アドレス
IRQ エッジセレクトレジスタ	IEGR	R/W	H'E0	H'FFF2
割り込み許可レジスタ 1	IENR1	R/W	H'00	H'FFF3
割り込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF4
割り込み要求レジスタ 1	IRR1	R/W*	H'20	H'FFF6
割り込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF7
ウェイクアップ割り込み要求レジスタ	IWPR	R/W*	H'00	H'FFF9
ウェイクアップエッジセレクトレジスタ	WEGR	R/W	H'00	H'FFF90

【注】 * フラグクリアのための 0 ライトのみ可能です。

(1) IRQ エッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

IEGR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_4 \sim \overline{\text{IRQ}}_0$ 端子の立ち上がり/立ち下がりエッジセンスを指定します。

ビット 7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4: IRQ4 エッジセレクト (IEG4)

$\overline{\text{IRQ}}_4$ 端子、 $\overline{\text{ADTRG}}$ 端子の入力センスを選択します。

ビット 4	説明
IEG4	
0	$\overline{\text{IRQ}}_4$ 、 $\overline{\text{ADTRG}}$ 端子入力立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_4$ 、 $\overline{\text{ADTRG}}$ 端子入力立ち上がりエッジを検出

ビット 3: IRQ3 エッジセレクト (IEG3)

$\overline{\text{IRQ}}_3$ 端子、TMIF 端子の入力センスを選択します。

ビット 3	説明
IEG3	
0	$\overline{\text{IRQ}}_3$ 、TMIF 端子入力立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_3$ 、TMIF 端子入力立ち上がりエッジを検出

3. 例外処理

ビット 2 : IRQ₂ エッジセレクト (IEG2)

$\overline{\text{IRQ}}_2$ 端子の入力センスを選択します。

ビット 2	説明
IEG2	
0	$\overline{\text{IRQ}}_2$ 端子入力の立ち下がりエッジを検出 (初期値)
1	IRQ_2 端子入力の立ち上がりエッジを検出

ビット 1 : IRQ₁ エッジセレクト (IEG1)

$\overline{\text{IRQ}}_1$ 端子、TMIC 端子の入力センスを選択します。

ビット 1	説明
IEG1	
0	$\overline{\text{IRQ}}_1$ 、TMIC 端子入力の立ち下がりエッジを検出 (初期値)
1	IRQ_1 、TMIC 端子入力の立ち上がりエッジを検出

ビット 0 : IRQ₀ エッジセレクト (IEG0)

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット 0	説明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力の立ち下がりエッジを検出 (初期値)
1	IRQ_0 端子入力の立ち上がりエッジを検出

(2) 割り込み許可レジスタ 1 (IENR1)

ビット:	7	6	5	4	3	2	1	0
	IENTA	—	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR1 は、8 ビットのリード/ライト可能なレジスタで、割り込み要求の許可/禁止を制御します。

ビット 7 : タイマ A 割り込みイネーブル (IENTA)

タイマ A オーバフロー割り込み要求の許可/禁止を制御します。

ビット 7	説明
IENTA	
0	タイマ A の割り込み要求を禁止 (初期値)
1	タイマ A の割り込み要求を許可

ビット6：リザーブビット

本ビットはリード/ライト可能なリザーブビットです。リセット時は0に初期化されます。

ビット5：ウェイクアップ割り込みイネーブル (IENWP)

WKP₇~WKP₀割り込み要求の許可/禁止を制御します。

ビット5	説明	
IENWP		
0	WKP ₇ ~WKP ₀ 端子の割り込み要求を禁止	(初期値)
1	WKP ₇ ~WKP ₀ 端子の割り込み要求を許可	

ビット4~0：IRQ₄~IRQ₀割り込みイネーブル (IEN4~IEN0)

IRQ₄~IRQ₀割り込み要求の許可/禁止を制御します。

ビットn	説明	
IENn		
0	IRQ _n 端子の割り込み要求を禁止	(初期値)
1	IRQ _n 端子の割り込み要求を許可	

(n=4~0)

(3) 割り込み許可レジスタ2 (IENR2)

ビット:	7	6	5	4	3	2	1	0
	IENDT	IENAD	—	IENTG	IENTFH	IENTFL	IENTC	IENEC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2は、8ビットのリード/ライト可能なレジスタで、割り込み要求の許可/禁止を制御します。

ビット7：直接遷移割り込みイネーブル (IENDT)

直接遷移割り込み要求の許可/禁止を制御します。

ビット7	説明	
IENDT		
0	直接遷移による割り込み要求を禁止	(初期値)
1	直接遷移による割り込み要求を許可	

3. 例外処理

ビット 6 : A/D 変換器割り込みイネーブル (IENAD)

A/D 変換終了割り込み要求の許可 / 禁止を制御します。

ビット 6	説明
IENAD	
0	A/D 変換器の割り込み要求を禁止 (初期値)
1	A/D 変換器の割り込み要求を許可

ビット 5 : リザーブビット

本ビットはリード / ライト可能なりザーブビットです。リセット時は 0 に初期化されます。

ビット 4 : タイマ G 割り込みイネーブル (IENTG)

タイマ G インพุットキャプチャまたはオーバフロー割り込み要求の許可 / 禁止を制御します。

ビット 4	説明
IENTG	
0	タイマ G の割り込み要求を禁止 (初期値)
1	タイマ G の割り込み要求を許可

ビット 3 : タイマ FH 割り込みイネーブル (IENTFH)

タイマ FH コンペアマッチまたはオーバフロー割り込み要求の許可 / 禁止を制御します。

ビット 3	説明
IENTFH	
0	タイマ FH の割り込み要求を禁止 (初期値)
1	タイマ FH の割り込み要求を許可

ビット 2 : タイマ FL 割り込みイネーブル (IENTFL)

タイマ FL コンペアマッチまたはオーバフロー割り込み要求の許可 / 禁止を制御します。

ビット 2	説明
IENTFL	
0	タイマ FL の割り込み要求を禁止 (初期値)
1	タイマ FL の割り込み要求を許可

ビット1：タイマC 割り込みイネーブル (IENTC)

タイマC オーバフローまたはアンダフロー割り込み要求の許可 / 禁止を制御します。

ビット1	説明
IENTC	
0	タイマCの割り込み要求を禁止 (初期値)
1	タイマCの割り込み要求を許可

ビット0：非同期イベントカウンタ割り込みイネーブル (IENEC)

非同期イベントカウンタの許可 / 禁止を制御します。

ビット0	説明
IENEC	
0	非同期イベントカウンタの割り込み要求を禁止 (初期値)
1	非同期イベントカウンタの割り込み要求を許可

なお、SCI3-1 および 3-2 の割り込みの制御については「10.2.6 シリアルコントロールレジスタ3 (SCR3)」を参照してください。

(4) 割り込み要求レジスタ1 (IRR1)

ビット:	7	6	5	4	3	2	1	0
	IRRTA	—	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値:	0	0	1	0	0	0	0	0
R/W :	R/W*	R/W*	—	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための'0'ライトのみ可能です。

IRR1 は、8 ビットリード/ライト可能なレジスタで、タイマ A、 $IRQ_4 \sim IRQ_0$ 割り込み要求が発生すると対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット7：タイマA 割り込み要求フラグ (IRRTA)

ビット7	説明
IRRTA	
0	〔クリア条件〕 IRRTA = 1 の状態で IRRTA に 0 をライトしたとき (初期値)
1	〔セット条件〕 タイマ A のカウンタ値がオーバーフロー (H'FF H'00) したとき

3. 例外処理

ビット6：リザーブビット

本ビットはリード/ライト可能なりザーブビットです。リセット時は0に初期化されます。

ビット5：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット4～0：IRQ₄～IRQ₀割り込み要求フラグ (IRRI4～IRRI0)

ビット n	説明
IRRI _n	
0	〔クリア条件〕 IRRI _n = 1 の状態で IRRI _n に 0 をライトしたとき (初期値)
1	〔セット条件〕 IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n=4～0)

(5) 割り込み要求レジスタ 2 (IRR2)

ビット:	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	—	IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IRR2 は、8 ビットリード/ライト可能なレジスタで、直接遷移、A/D 変換器、タイマ G、タイマ FH、タイマ FL、タイマ C 割り込み要求が発生すると、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット7：直接遷移割り込み要求フラグ (IRRDT)

ビット 7	説明
IRRDT	
0	〔クリア条件〕 IRRDT = 1 の状態で IRRDT に 0 をライトしたとき (初期値)
1	〔セット条件〕 DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき

ビット 6 : A/D 変換器割り込み要求フラグ (IRRAD)

ビット 6	説明
IRRAD	
0	〔クリア条件〕 (初期値) IRRAD = 1 の状態で IRRAD に 0 をライトしたとき
1	〔セット条件〕 A/D 変換器が変換終了し、ADSF がリセットされたとき

ビット 5 : リザーブビット

本ビットはリード/ライト可能なりザーブビットです。リセット時は 0 に初期化されます。

ビット 4 : タイマ G 割り込み要求フラグ (IRRTG)

ビット 4	説明
IRRTG	
0	〔クリア条件〕 (初期値) IRRTG = 1 の状態で IRRTG に 0 をライトしたとき
1	〔セット条件〕 TMIG 端子が TMIG 入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき。または、TMG の OVIE が 1 の状態で TCG がオーバフローしたとき。

ビット 3 : タイマ FH 割り込み要求フラグ (IRRTFH)

ビット 3	説明
IRRTFH	
0	〔クリア条件〕 (初期値) IRRTFH = 1 の状態で IRRTFH に 0 をライトしたとき
1	〔セット条件〕 8 ビットタイマモードで TCFH と OCRFH が一致したとき、また、16 ビットタイマモードで TCR (TCFL、TCFH) と OCRF (OCRFL、OCRFH) が一致したとき

ビット 2 : タイマ FL 割り込み要求フラグ (IRRTFL)

ビット 2	説明
IRRTFL	
0	〔クリア条件〕 (初期値) IRRTFL = 1 の状態で IRRTFL に 0 をライトしたとき
1	〔セット条件〕 8 ビットタイマモードで TCFL と OCRFL が一致したとき

3. 例外処理

ビット1：タイムC 割り込み要求フラグ (IRRTC)

ビット1	説明
IRRTC	
0	〔クリア条件〕 IRRTC = 1 の状態で IRRTC に 0 をライトしたとき (初期値)
1	〔セット条件〕 タイムC のカウンタ値がオーバーフロー (H'FF H'00)、またはアンダフロー (H'00 H'FF) したとき

ビット0：非同期イベントカウンタ割り込み要求フラグ (IRREC)

ビット0	説明
IRREC	
0	〔クリア条件〕 IRREC = 1 の状態で IRREC に 0 をライトしたとき (初期値)
1	〔セット条件〕 16 ビットカウンタモードで ECH がオーバーフローしたとき、または 8 ビットカウンタモードで ECH または ECL がオーバーフローしたとき

(6) ウェイクアップ割り込み要求レジスタ (IWPR)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IWPR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子がウェイクアップ入力に設定されており、当該端子に立ち上がりまたは立ち下がりエッジが入力されたとき、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット7~0：ウェイクアップ割り込み要求フラグ (IWPF7~IWPF0)

ビット n	説明
IWPFn	
0	〔クリア条件〕 IWPFn = 1 の状態で IWPFn に 0 をライトしたとき (初期値)
1	〔セット条件〕 \overline{WKP}_n 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち上がりまたは立ち下がりエッジが入力されたとき

(n=7~0)

(7) ウェイクアップエッジセレクトレジスタ (WEGR)

ビット:	7	6	5	4	3	2	1	0
	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WEGR は、8 ビットのリード/ライト可能なレジスタで、 \overline{WKPn} 端子の立ち上がり/立ち下がりエッジセンスを指定します。

リセット時、WEGR は H'00 に初期化されます。

ビット n : \overline{WKPn} エッジセレクト

\overline{WKPn} 端子の入力センスを選択します。

ビット n	説明
WKEGSn	
0	\overline{WKPn} 端子の立ち下がりエッジを検出 (初期値)
1	\overline{WKPn} 端子の立ち上がりエッジを検出

(n = 7 ~ 0)

3.3.3 外部割り込み

外部割り込みには、 $WKP_7 \sim WKP_0$ 割り込みと、 $IRQ_4 \sim IRQ_0$ 割り込みの 13 要因があります。

(1) $WKP_7 \sim WKP_0$ 割り込み

$WKP_7 \sim WKP_0$ 割り込みは $\overline{WKP_7} \sim \overline{WKP_0}$ 端子の立ち上がり/立ち下がりエッジ入力により要求されます。

PMR5 により端子機能が $\overline{WKP_7} \sim \overline{WKP_0}$ 端子に選択された状態で立ち上がり/立ち下がりエッジが入力されると、IWPR の対応するビットが 1 にセットされ、割り込み要求を発生します。

ウェイクアップ割り込み要求の受け付けは、IENR1 の IENWP を 0 にクリアすることにより禁止できます。また、CCR の I ビットを 1 にすることによりすべての割り込みをマスクできます。

$WKP_7 \sim WKP_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。 $WKP_7 \sim WKP_0$ 割り込み例外処理のベクタ番号は 9 です。8 つの割り込み要因が 1 つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

(2) $IRQ_4 \sim IRQ_0$ 割り込み

$IRQ_4 \sim IRQ_0$ 割り込みは、 $\overline{IRQ_4} \sim \overline{IRQ_0}$ 端子の入力信号により要求されます。

$IRQ_4 \sim IRQ_0$ 割り込みは、立ち上がり/立ち下がりエッジセンスを IEGR の IEG4 ~ IEG0 により指定できます。

PMR3、PMR1 により端子機能が $\overline{IRQ_4} \sim \overline{IRQ_0}$ 端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求を発生します。

割り込み要求の受け付けは、IENR1 の IEN4 ~ IEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 にセットすることによりすべての割り込みをマスクできます。

$IRQ_4 \sim IRQ_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。

3. 例外処理

IRQ₄～IRQ₀割り込み例外処理のベクタ番号は8～4です。優先順位はIRQ₄(低)～IRQ₀(高)の順に高くなります。詳細は表3.2を参照してください。

3.3.4 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は、23要因あります。

内蔵周辺モジュールからの割り込み要求が発生すると、IRR2、IRR1の対応するビットが1にセットされます。IENR2、IENR1の各ビットを0にクリアすることにより、各割り込み要求の受け付けは禁止できます。また、CCRのIビットを1にセットすることにより、すべての割り込みをマスクできます。

これらの割り込み例外処理が受け付けられると、CCRのIビットは1にセットされます。ベクタ番号は20～11です。内蔵周辺モジュールからの割り込みの優先順位については表3.2を参照してください。

3.3.5 割り込み動作

割り込みは、割り込みコントローラによって制御されます。割り込みコントローラのブロック図を図3.2に、割り込み受け付けまでのフローを図3.3に示します。

割り込み動作は以下のとおりです。

1. 割り込み許可レジスタの対応するビットが1にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
2. 割り込みコントローラに割り込み要求信号が送られると、割り込み要求フラグがセットされます。
3. 割り込み許可フラグが1にセットされている割り込みの中で、優先順位に従って最高位の割り込み要求が選択され、その他は保留となります(表3.2参照)。
4. CCRのIビットを参照し、Iビットが0にクリアされている場合は、割り込み要求は受け付けられますが、Iビットが1にセットされている場合は割り込み要求は保留となります。
5. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PCとCCRがスタック領域に退避されます。このときのスタックの状態を図3.4に示します。スタックされるPCは、リターン後に実行する最初の命令のアドレスを示しています。
6. CCRのIビットが1にセットされます。これにより、すべての割り込みはマスクされます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行を開始します。

割り込みシーケンスを図3.5に示します。

- 【注】
1. 本LSIでは、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、必ず割り込みをマスクした状態(I=1)で行ってください。
 2. I=0の状態上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

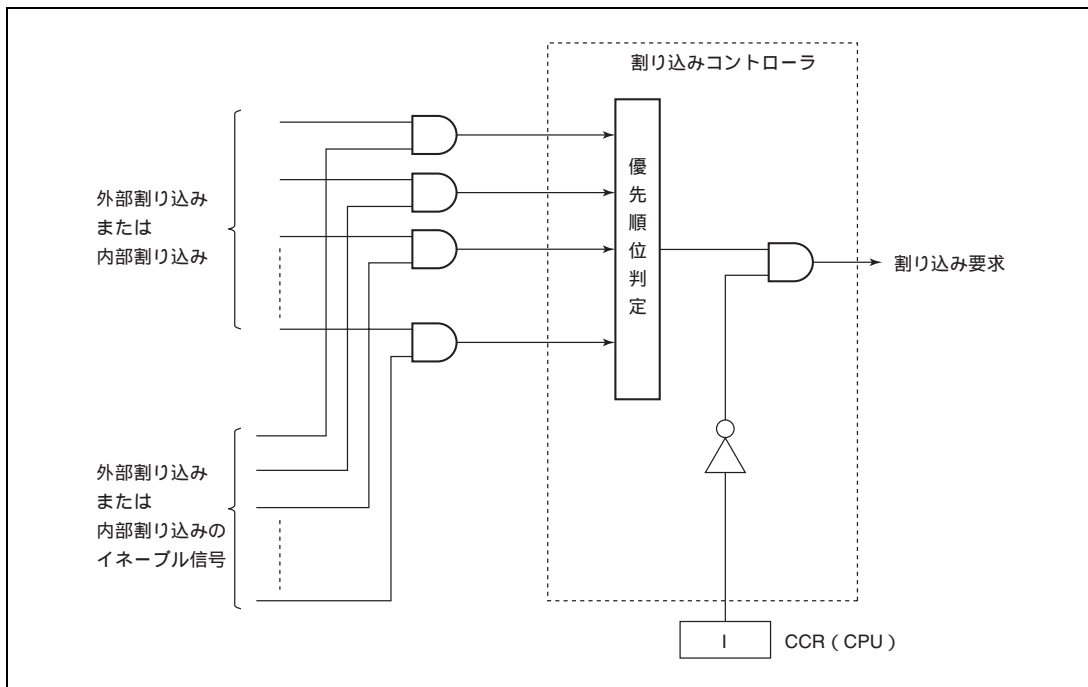


図 3.2 割り込みコントローラのブロック図

3. 例外処理

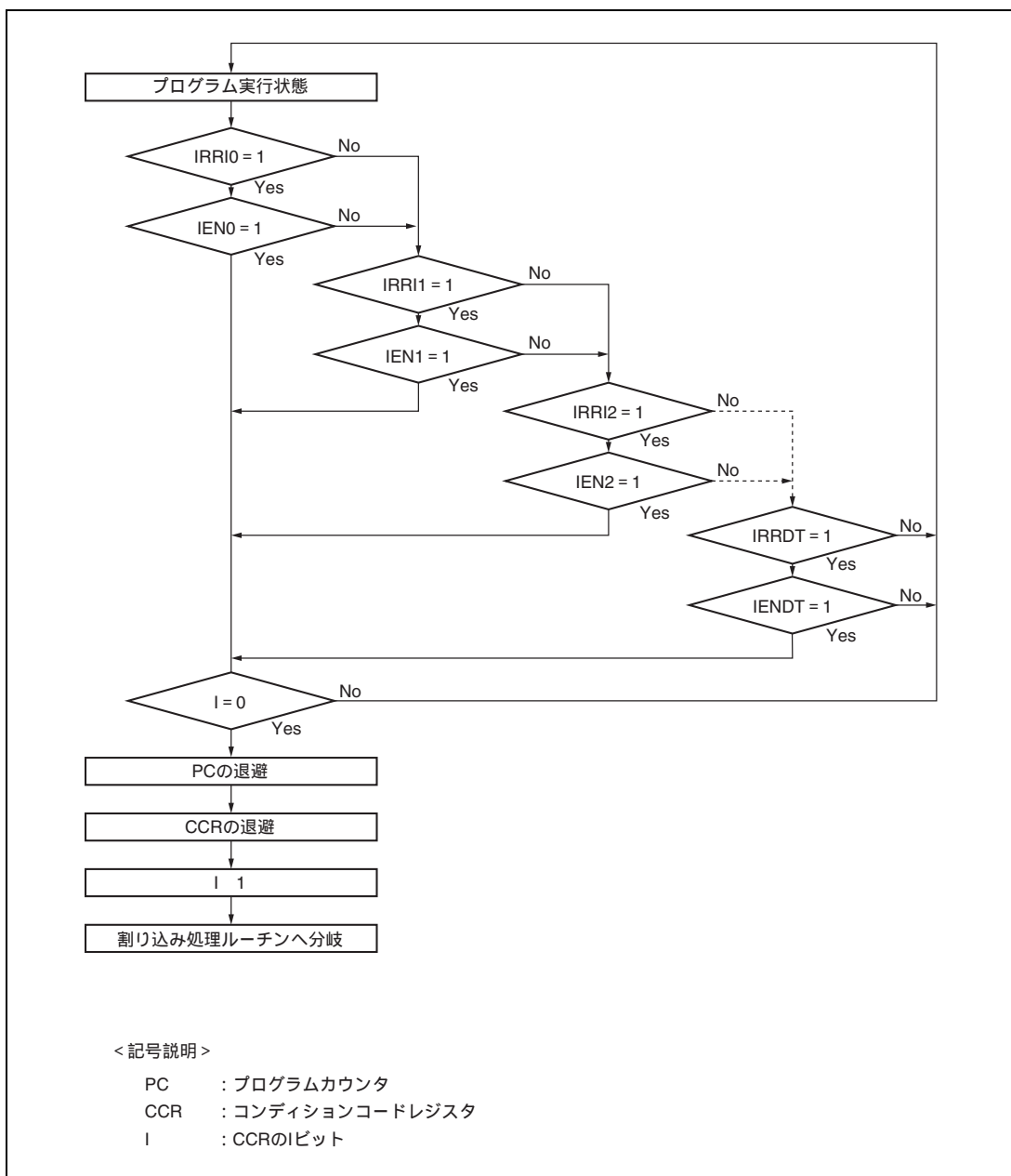


図 3.3 割り込み受け付けまでのフロー

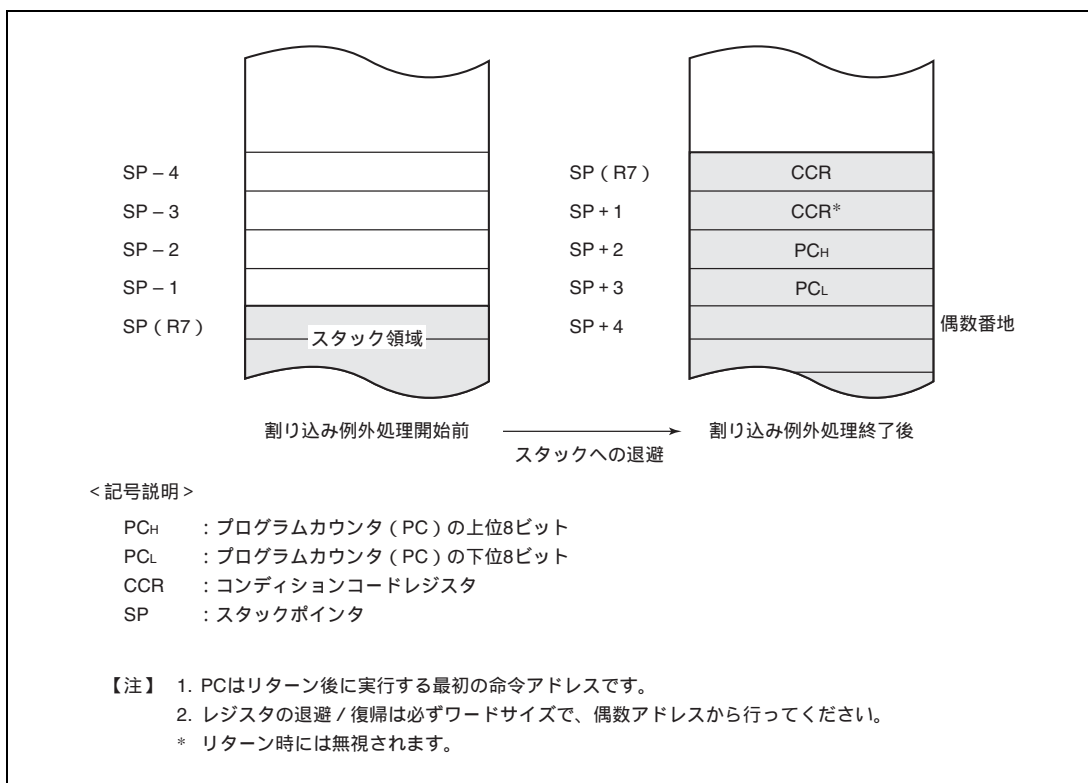


図 3.4 割り込み例外処理終了後のスタック状態

3. 例外処理

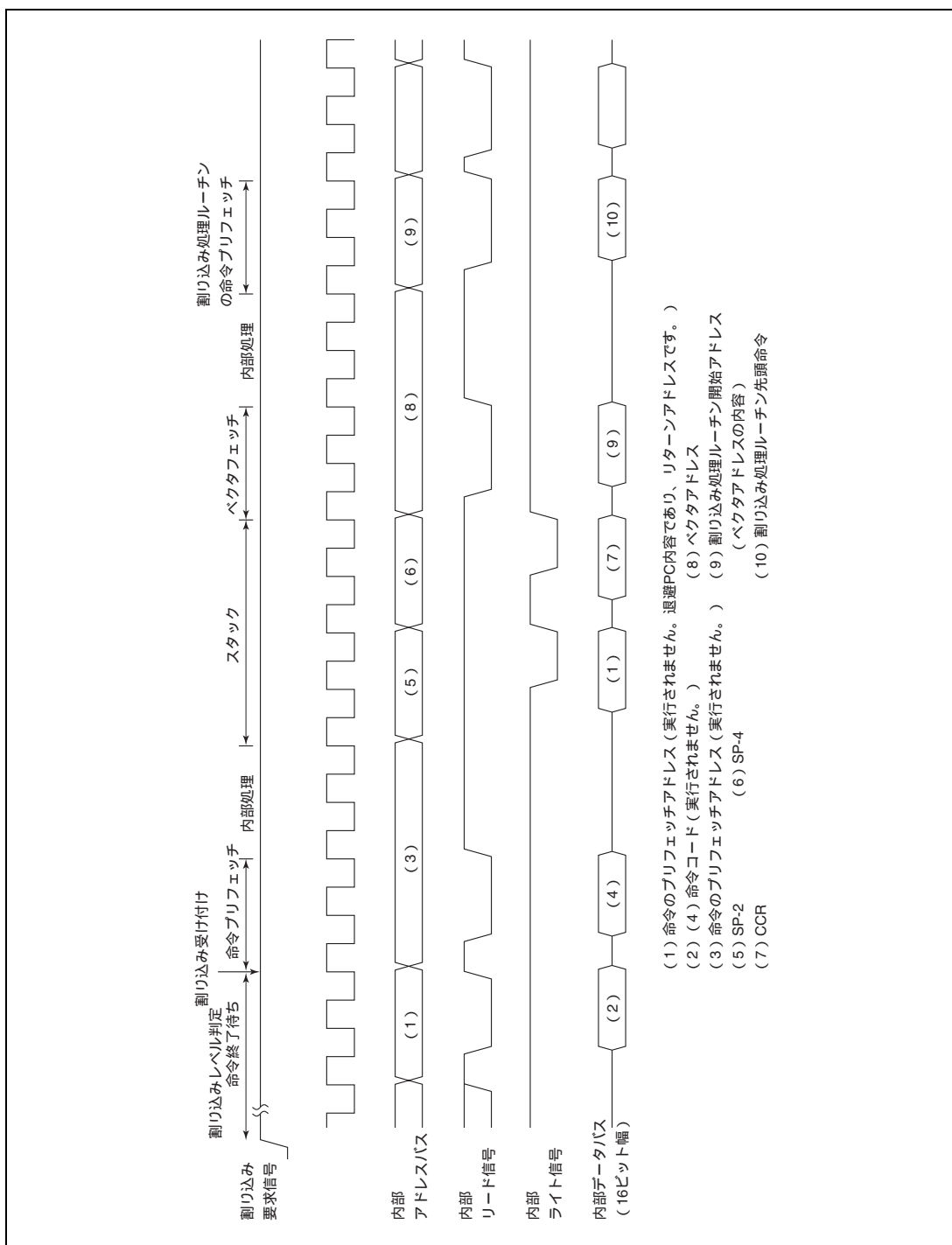


図 3.5 割り込みシーケンス

3.3.6 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み処理ルーチンの先頭命令を実行するまでの待ち状態数を表 3.4 に示します。

表 3.4 割り込み待ち状態数

項目	ステート数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。

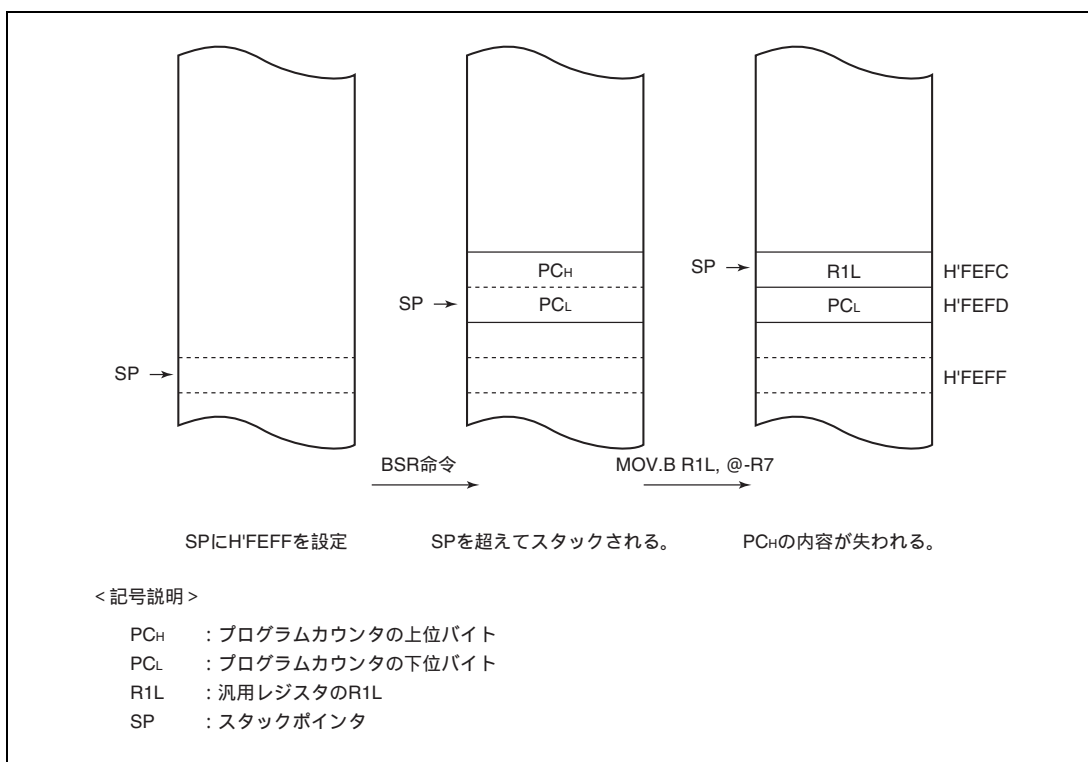


図 3.6 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割り込み端子の機能切り替えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割り込み端子 ($\overline{IRQ}_4 \sim \overline{IRQ}_0$ 、 $\overline{WKP}_7 \sim \overline{WKP}_0$) を制御しているポートモードレジスタを書き換えて端子機能を切り替えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り替えた時点で割り込み要求フラグが1にセットされますので、割り込み要求フラグを0にクリアしてから使用してください。

1にセットされる割り込み要求フラグとその条件を表3.5に示します。

表 3.5 割り込み要求フラグが1にセットされる条件

1にセットされる 割り込み要求フラグ		条件
IRR1	IRRI4	<ul style="list-style-type: none"> • \overline{IRQ}_4 端子が Low レベルで IEGR の IEG4 が 0 の状態で、PMR1 の IRQ4 を 0 から 1 に書き換えたとき • \overline{IRQ}_4 端子が Low レベルで IEGR の IEG4 が 1 の状態で、PMR1 の IRQ4 を 1 から 0 に書き換えたとき
	IRRI3	<ul style="list-style-type: none"> • \overline{IRQ}_3 端子が Low レベルで IEGR の IEG3 が 0 の状態で、PMR1 の IRQ3 を 0 から 1 に書き換えたとき • \overline{IRQ}_3 端子が Low レベルで IEGR の IEG3 が 1 の状態で、PMR1 の IRQ3 を 1 から 0 に書き換えたとき
	IRRI2	<ul style="list-style-type: none"> • \overline{IRQ}_2 端子が Low レベルで IEGR の IEG2 が 0 の状態で、PMR1 の IRQ2 を 0 から 1 に書き換えたとき • \overline{IRQ}_2 端子が Low レベルで IEGR の IEG2 が 1 の状態で、PMR1 の IRQ2 を 1 から 0 に書き換えたとき
	IRRI1	<ul style="list-style-type: none"> • \overline{IRQ}_1 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMR1 の IRQ1 を 0 から 1 に書き換えたとき • \overline{IRQ}_1 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMR1 の IRQ1 を 1 から 0 に書き換えたとき
	IRRI0	<ul style="list-style-type: none"> • \overline{IRQ}_0 端子が Low レベルで IEGR の IEG0 が 0 の状態で、PMR3 の IRQ0 を 0 から 1 に書き換えたとき • \overline{IRQ}_0 端子が Low レベルで IEGR の IEG0 が 1 の状態で、PMR3 の IRQ0 を 1 から 0 に書き換えたとき
IWPR	IWPF7	\overline{WKP}_7 端子が Low レベルの状態、PMR5 の WKP7 を 0 から 1 に書き換えたとき
	IWPF6	\overline{WKP}_6 端子が Low レベルの状態、PMR5 の WKP6 を 0 から 1 に書き換えたとき
	IWPF5	\overline{WKP}_5 端子が Low レベルの状態、PMR5 の WKP5 を 0 から 1 に書き換えたとき
	IWPF4	\overline{WKP}_4 端子が Low レベルの状態、PMR5 の WKP4 を 0 から 1 に書き換えたとき
	IWPF3	\overline{WKP}_3 端子が Low レベルの状態、PMR5 の WKP3 を 0 から 1 に書き換えたとき
	IWPF2	\overline{WKP}_2 端子が Low レベルの状態、PMR5 の WKP2 を 0 から 1 に書き換えたとき
	IWPF1	\overline{WKP}_1 端子が Low レベルの状態、PMR5 の WKP1 を 0 から 1 に書き換えたとき
	IWPF0	\overline{WKP}_0 端子が Low レベルの状態、PMR5 の WKP0 を 0 から 1 に書き換えたとき

3. 例外処理

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.7 に示します。

端子機能を切り替える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令 (NOP 命令で可) 実行してから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割り込み要求フラグを 0 にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り替えに伴う割り込み要求フラグのセットを回避する他の方法として、表 3.5 の条件を満たさないように端子を High レベルに制御して行う方法もあります。

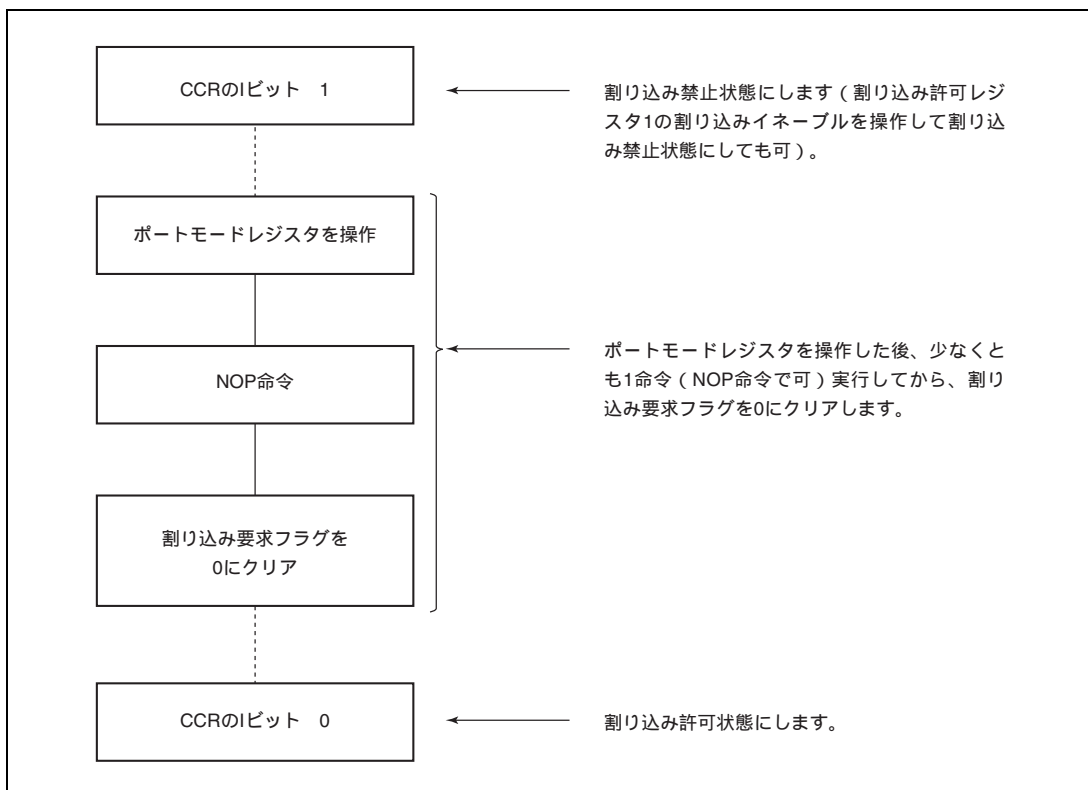


図 3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3.4.3 割り込み要求フラグをクリアする方法

割り込み要求レジスタ (IRR1、IRRI2、IWPR) のフラグクリアは下記の「(1) 推奨方法」で行ってください。

(1) 推奨方法

フラグクリアの処理を 1 命令で実施します。この命令には、ビット操作命令とバイトサイズのデータ転送命令が使用できます。下記に「IRRI1 (IRRI1 のビット 1) をクリアする場合」のプログラム例を 2 つ示します。

```
BCLR #1, @IRR 1:8
```

```
MOV.B R1L, @IRR1:8 (R1L の値を B $\phi$ 11111101 に設定しておく)
```

(2) 誤動作する例

フラグクリアの処理を複数命令で実施する場合には、命令の実行中に他のフラグがセットされたにもかかわらずこれをクリアしてしまう場合があり、誤動作の原因となります。

次に「IRRI1 (IRRI1 のビット 1) をクリアする場合」に IRRI0 もクリアにして無効にしてしまう例を示します。

```
MOV.B @IRR1:8, R1L . . . . . この時点では IRRI0=0
```

```
AND.B #B $\phi$ 11111101, R1L . . . . . ここで IRRI0=1
```

```
MOV.B R1L, @IRR1:8 . . . . . IRRI0=0 にクリアされる。
```

上記の例では AND.B 命令実行中に IRQ0 割り込みが発生する状況を想定しています。

本来の目的である IRRI1 に加えて IRRI0 もクリアしてしまうため、IRQ0 割り込みが無効になってしまいます。

3. 例外处理

4. クロック発振器

4.1 概要

本 LSI は、クロック発生回路 (CPG : Clock Pulse Generator) を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の 2 つの回路から構成されます。

4.1.1 ブロック図

図 4.1 にクロック発生回路のブロック図を示します。

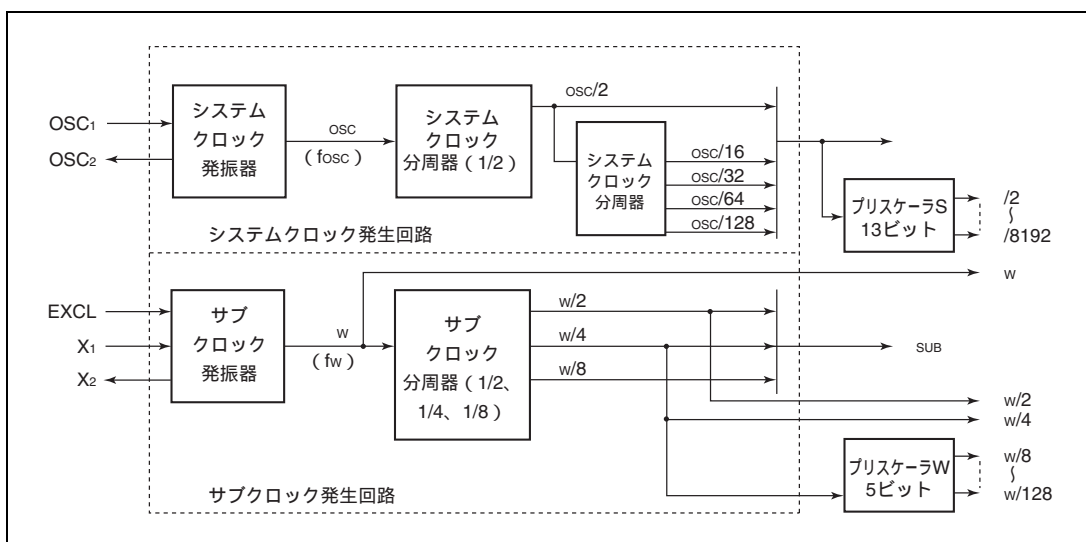


図 4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック (および $_{SUB}$) は、CPU および周辺機能を動作させるための基準クロックです。

をシステムクロック、 $_{SUB}$ をサブクロックと呼びます。また、 $_{osc}$ を OSC クロック、 $_w$ をウォッチクロックと呼びます。

クロック $/8192$ 、 $/4096$ 、 $/2048$ 、 $/1024$ 、 $/512$ 、 $/256$ 、 $/128$ 、 $/64$ 、 $/32$ 、 $/16$ 、 $/8$ 、 $/4$ 、 $/2$ 、 $w/128$ 、 $w/64$ 、 $w/32$ 、 $w/16$ 、 $w/8$ 、 $w/4$ 、 $y w/2$ 、 $_w$ は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4. クロック発振器

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図 4.2 に示します。推奨する発振子については「第 16 章 電気的特性」の各製品の AC 特性をご参照ください。発振子の選定に際しては、発振子メーカーと十分ご相談の上、決定してください。

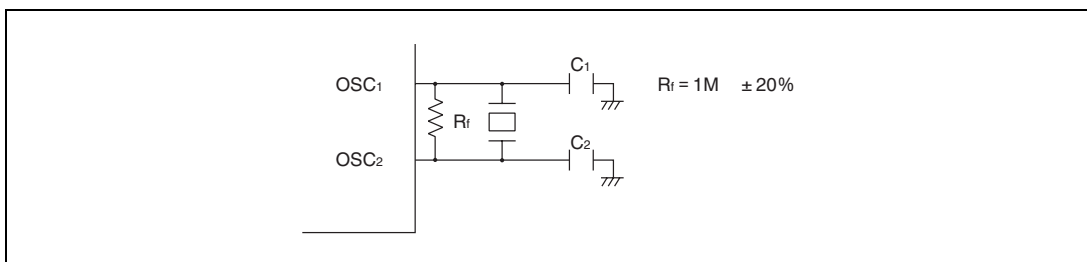


図 4.2 水晶発振子の接続例

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.3 に示します。推奨する発振子については「第 16 章 電気的特性」の各製品の AC 特性をご参照ください。発振子の選定に際しては、発振子メーカーと十分ご相談の上、決定してください。

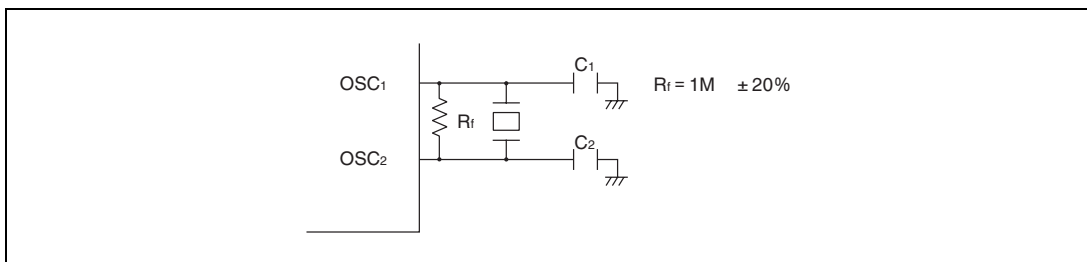


図 4.3 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 4.4 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC₁、OSC₂ 端子の近くに配置してください。

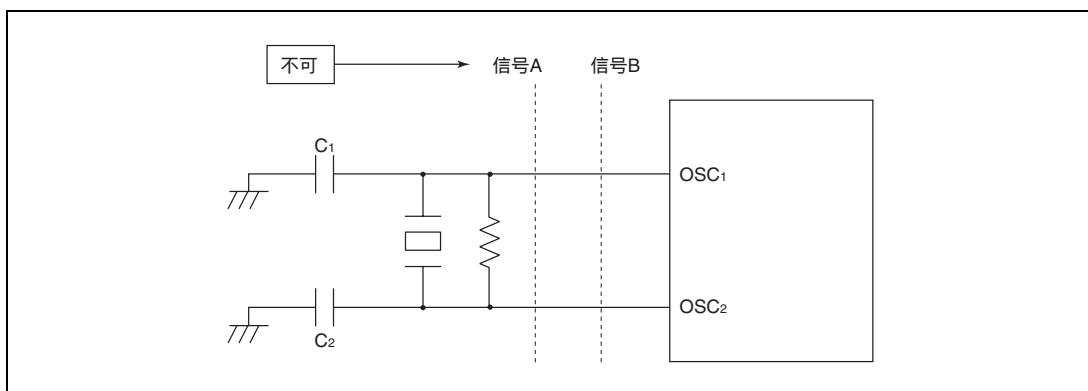


図 4.4 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックを OSC₁ 端子に接続し、OSC₂ 端子をオープン状態にします。

この場合の接続例を図 4.5 に示します。

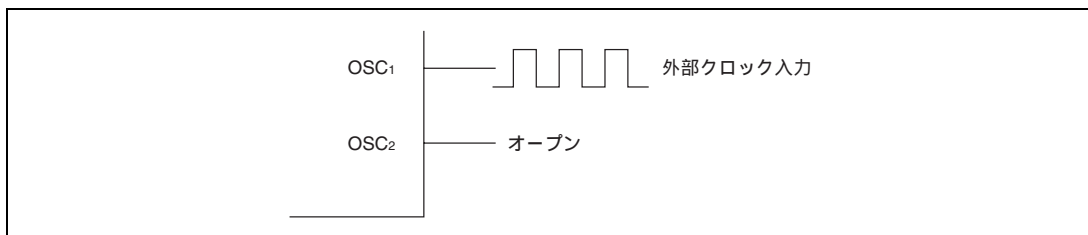


図 4.5 外部クロックを入力する場合の接続例

周波数	OSC クロック (osc)
duty	45% ~ 55%

注意事項

水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー、セラミック発振子メーカーと十分ご相談の上決定してください。

4. クロック発振器

4.3 サブクロック発振器

(1) 32.768kHz/38.4kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.6 に示すように 32.768kHz または 38.4kHz の水晶発振子を接続します。接続する場合の注意については、「4.2 (3) ボード設計上の注意」と同様です。

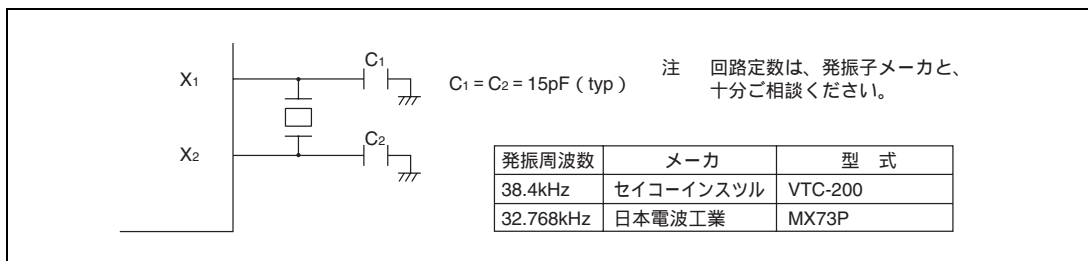


図 4.6 32.768kHz/38.4kHz 水晶発振子の接続例

図 4.7 に水晶発振子の等価回路を示します。

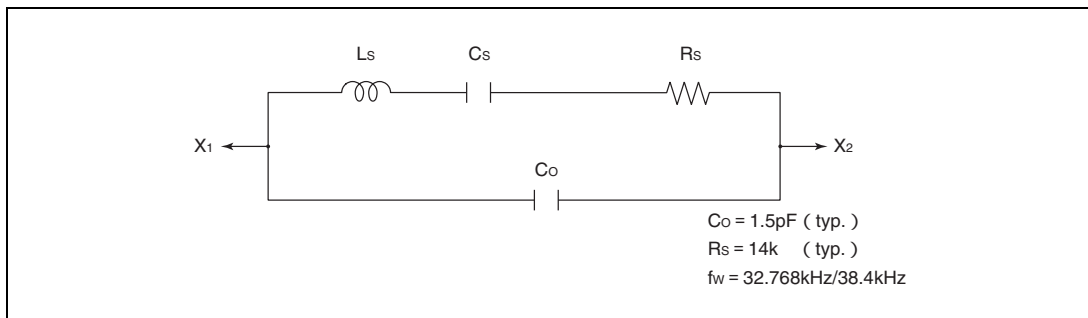


図 4.7 32.768kHz/38.4kHz 水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.8 に示すように X_1 端子を GND に接続し、 X_2 端子をオープンとしてください。

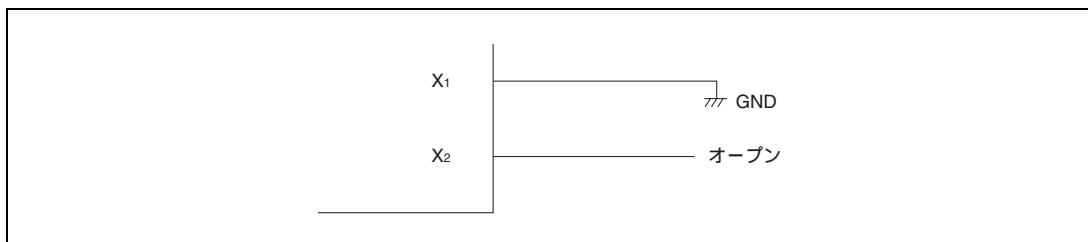


図 4.8 サブクロックを必要としない場合の端子処理

(3) 外部クロックを入力する

X₁ 端子を GND に接続し、X₂ 端子をオープン状態にします。EXCL 端子に外部クロックを入力してください。PMR2 レジスタの EXCL ビットに 1 をセットすることで、LSI 内部に外部クロックが供給されます。接続例を図 4.9 に示します。

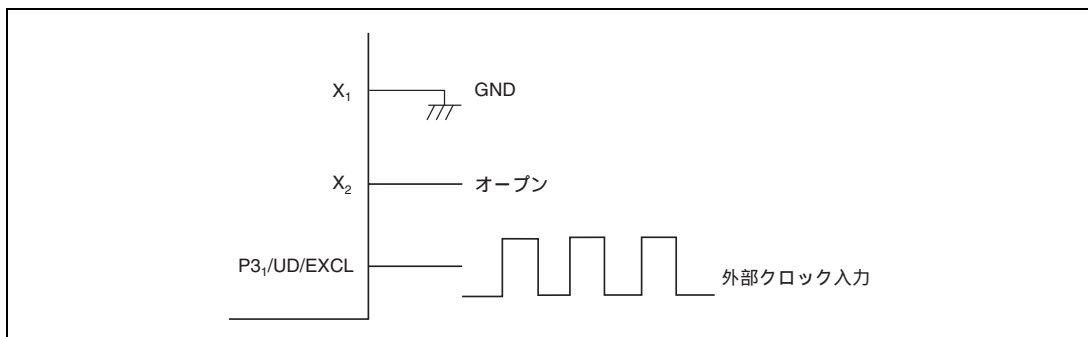


図 4.9 外部クロックを入力する場合の接続例

周波数	サブクロック (w)
duty	45% ~ 55%

4.4 プリスケーラ

本 LSI は、入力クロックの異なる 2 本のプリスケーラ (プリスケーラ S、プリスケーラ W) を内蔵しています。

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラ W は 32.768kHz または 38.4kHz を 4 分周したクロック ($w/4$) を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

(1) プリスケーラ S (PSS)

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケーラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 に初期化されます。

CPU によるプリスケーラ S のデータリード/ライトはできません。

プリスケーラ S の出力は、タイマ A、タイマ C、タイマ F、タイマ G、SCI3-1、SCI3-2、A/D 変換器、LCD コントローラ、ウォッチドッグタイマおよび 14 ビット PWM で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ(中速)モードではプリスケーラ S のクロック入力が $osc/16$ 、 $osc/32$ 、 $osc/64$ または $osc/128$ となります。

(2) プリスケーラ W (PSW)

プリスケーラ W は、32.768kHz または 38.4kHz を 4 分周したクロック ($w/4$) を入力クロックとする 5 ビットのカウントです。

リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、X1、X2 端子にクロックが供給されているかぎり、プリスケーラ W は動作を継続します。

プリスケーラ W は、TMA の TMA3、TMA2 をおのおの 1 に設定することでリセットできます。

また、プリスケーラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施し、使用してください。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

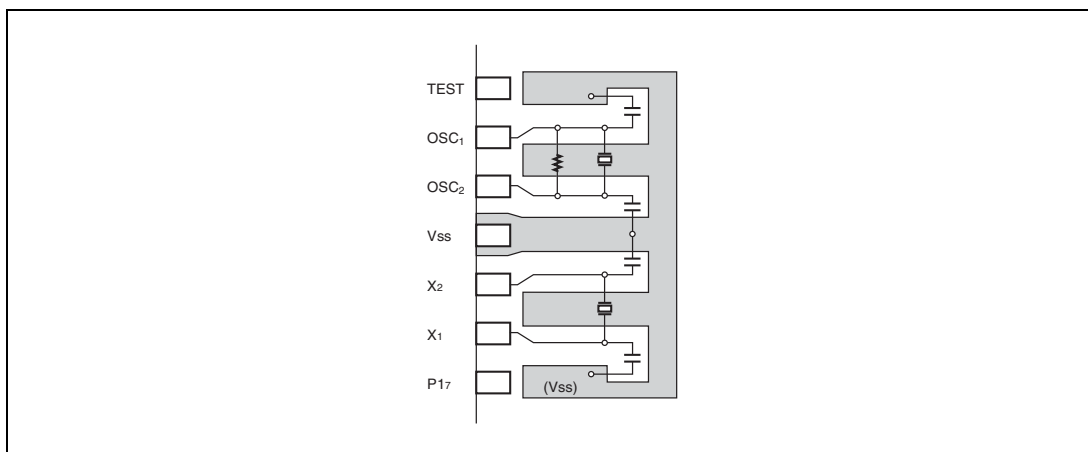


図 4.10 水晶、セラミック発振子の配置例

図 4.11 (1) は発振子メーカーが推奨している負性抵抗の測定回路です。本回路による負性抵抗が発振子メーカーの推奨するレベルに達していないと、メイン発振器が発振開始しにくい場合がありますので、ご注意ください。

発振子メーカーの推奨する負性抵抗値以下で、発振しない現象が確認された場合には、図 4.11 (2) ~ 図 4.11 (4) に示す変更を行ってください。なお、採用する変更案、コンデンサ容量値は負性抵抗および周波数偏差等の評価結果により決定してください。

4. クロック発振器

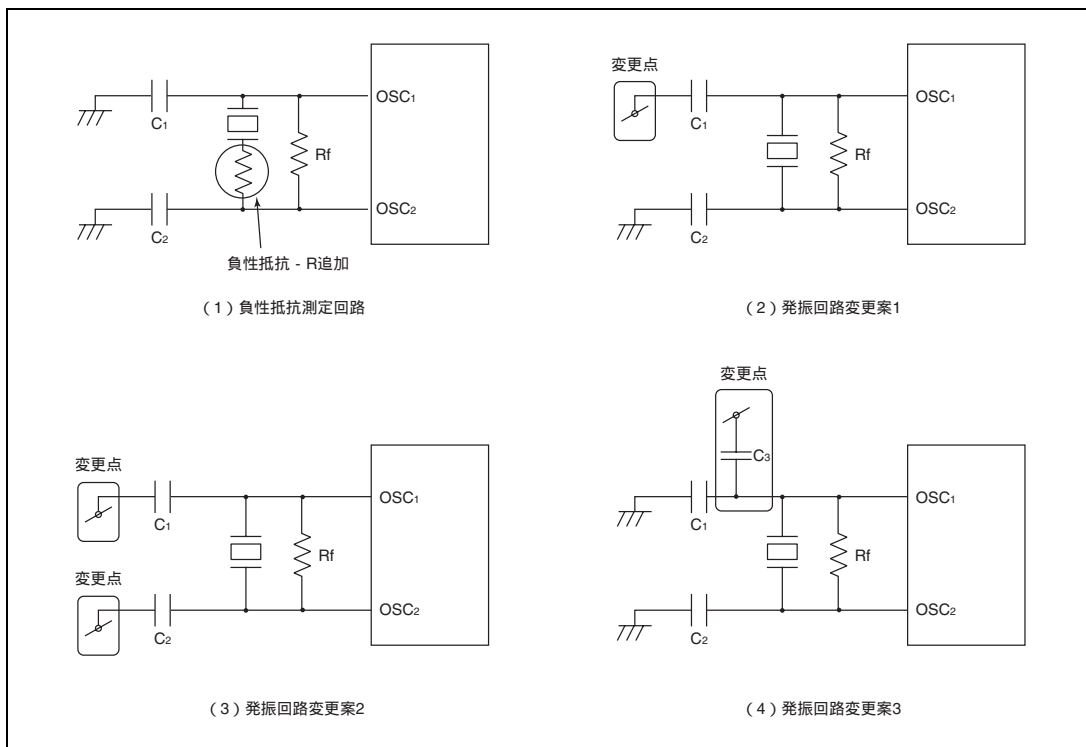


図 4.11 負性抵抗測定と回路変更案

4.5.1 発振安定待機時間の定義

図 4.12 にシステムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合の発振波形（OSC₂）、システムクロック（ ）および、マイクロコンピュータの動作モードを示します。

図 4.12 に示すように、スタンバイモード、ウォッチモード、サブアクティブモードにおいては、システムクロック発振器が停止しているため、アクティブ（高速、中速）モードに遷移する場合、下記 2 項目（発振安定時間、待機時間）の合計時間が必要となります。

(1) 発振安定時間 (t_{rc})

割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、発振波形の振幅が大きくなり発振周波数が安定するまでの時間。

(2) 待機時間

発振波形の周波数およびシステムクロックが安定してから、CPU および周辺機能が動作し始めるまでに必要とする時間。

待機時間の設定は、スタンバイタイムセレクト 2~0 (STS2~0) (システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定値により選択できます。

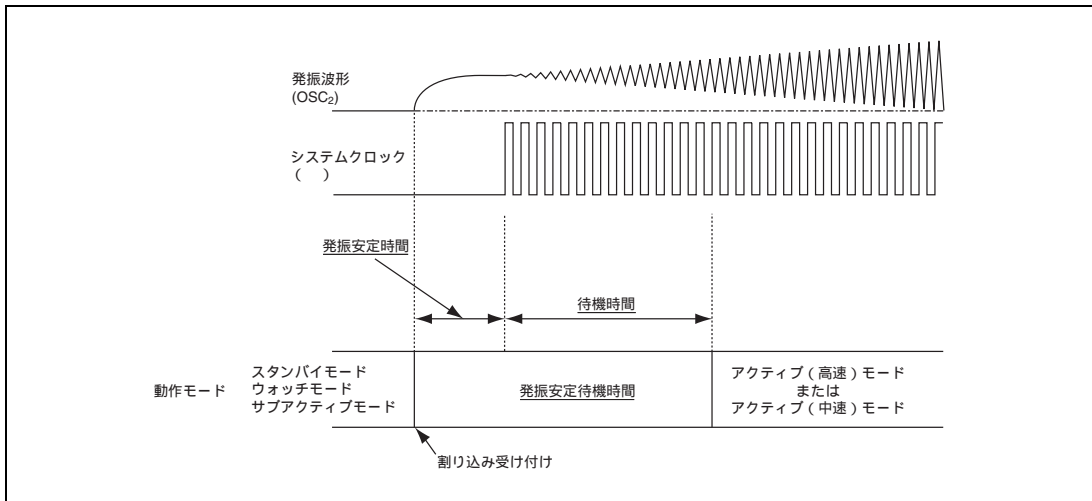


図 4.12 発振安定待機時間

割り込みやりセットにより、スタンバイモード、ウォッチモード、サブアクティブモードを解除し、アクティブ（高速、中速）モードに遷移する場合、割り込みが受け付けられた時点で発振波形が変化を開始します。したがって、スタンバイモード、ウォッチモード、サブアクティブモードにおいて発振子を接続している場合、システムクロック発振器は停止しているため、この発振波形が変化を開始した時点から発振波形の振幅が大きくなり発振周波数が安定するまでの時間、すなわち発振安定時間が必要となります。

この状態遷移時の発振安定時間はパワーオン時の発振安定時間（電源電圧が規定の電圧に達してから発振が安定するまでの時間）と同じであり、AC 特性の「発振安定時間 t_{rc} 」において規定しています。

一方、いったんシステムクロックが停止した場合、CPU および周辺機器を正常動作させるためには 8 ステート以上の待機時間を必要とします。

以上のことから、割り込みが発生してから CPU および周辺機器が動作するまでに必要となる時間は、前述の発振安定時間と待機時間を合わせた時間になります。この合計時間を発振安定待機時間と呼び、下記(1)式で表します。

$$\begin{aligned} \text{発振安定待機時間} &= \text{発振安定時間} + \text{待機時間} \\ &= t_{rc} + (8 \sim 131,072 \text{ ステート}) \cdots \cdots (1) \end{aligned}$$

したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合には、実装回路において十分な評価を行った上、発振安定待機時間を決めてください。特に発振安定時間は実装回路の定数、浮遊容量等により異なるため、発振子メーカーとご相談の上決定してください。

4.5.2 水晶発振子を使用する場合の注意事項 (セラミック発振子は除く)

マイクロコンピュータが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また、水晶発振子個別の特性によっては、発振安定待機時間直後に発振波形の振幅が十分に成長していない場合があり、発振波形が電源電位変動の影響を受けやすい状態にあります。この状態では発振波形が乱れる場合があり、システムクロックが不安定になってマイクロコンピュータの誤作動につながります。

誤作動を起こす場合には、スタンバイタイムセレクト 2~0(STS2~0) (システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定を変更し、待機時間をさらに長い時間の設定にしてお使いください。

たとえば、待機時間 = 16 ステートの設定で誤作動する場合、待機時間 = 8,192 ステート以上の設定で動作をご確認ください。

また、リセット時に状態遷移時と同様の誤作動が起こる場合、 $\overline{\text{RES}}$ 端子を Low レベルに保持する時間を長くしてください。

5. 低消費電力モード

5.1 概要

本 LSI には、リセット解除後に LSI が動作するモードとして、消費電力を著しく低下させる 8 種類の低消費電力モードを含む、9 種類の動作モードを持っています。

表 5.1 に動作モードの概要を示します。

表 5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPU がシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	CPU がシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	CPU がサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープ（高速）モード	CPU が動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
スリープ（中速）モード	CPU が動作を停止し、内蔵周辺機能がシステムクロックの 1/64、1/32、1/16、1/8 の周波数で動作しているモードです。
サブスリープモード	CPU が動作を停止し、タイマ A、タイマ C、タイマ G、タイマ F、WDT、SCI3-1、SCI3-2、AEC および LCD コントローラ / ドライバがサブクロックで動作しているモードです。
ウォッチモード	CPU が動作を停止し、タイマ A の時計機能、タイマ F、タイマ G、AEC および LCD コントローラ / ドライバがサブクロックで動作しているモードです。
スタンバイモード	CPU およびすべての内蔵の周辺機能が動作を停止しているモードです。
モジュールスタンバイモード	ソフトウェアによって指定された内蔵の周辺機能ごとにスタンバイモードの状態になり、動作を停止しているモードです。

上記 9 種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

図 5.1 にモード遷移図を示します。

5. 低消費電力モード

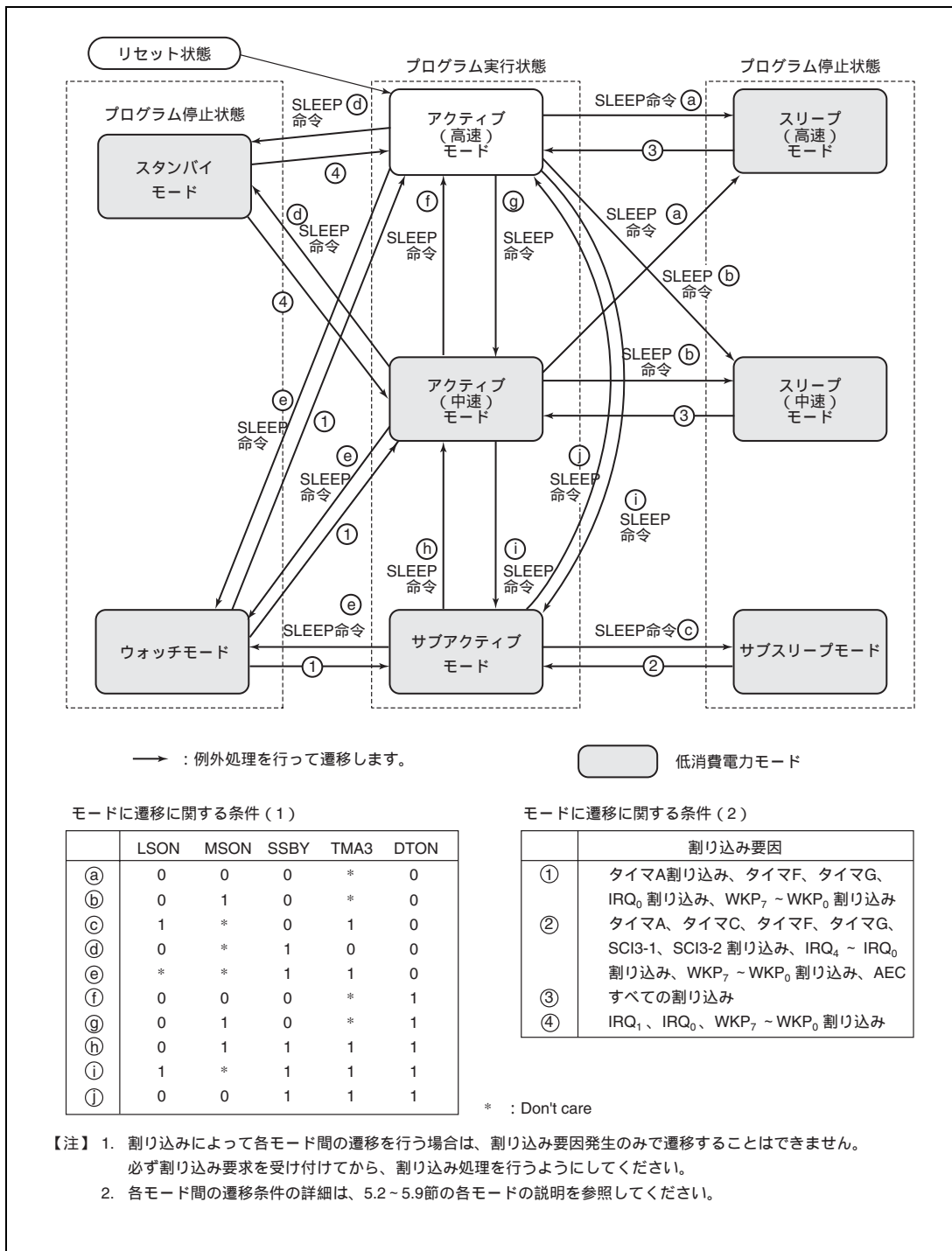


図 5.1 モード遷移図

表 5.2 に各モードでの LSI の内部状態を示します。

表 5.2 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ		
		高速	中速	高速	中速						
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止		
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作		
CPU 動作	命令	動作	動作	停止	停止	停止	動作	停止	停止		
	RAM			保持	保持	保持		保持			
	レジスタ			保持	保持	保持		保持			
	I/O							保持 ^{*1}			
外部 割り込みの 動作	IRQ ₀	動作	動作	動作	動作	動作	動作	動作	動作		
	IRQ ₁					保持 ^{*6}			動作	動作	保持 ^{*6}
	IRQ ₂										
	IRQ ₃										
	IRQ ₄										
	WKP ₀	動作	動作	動作	動作	動作	動作	動作	動作		
	WKP ₁										
	WKP ₂										
	WKP ₃										
	WKP ₄										
	WKP ₅										
	WKP ₆										
WKP ₇											
周辺機能 の動作	タイマ A	動作	動作	動作	動作	動作 ^{*5}	動作 ^{*5}	動作 ^{*5}	保持		
	非同期カウンタ					動作 ^{*8}	動作	動作	動作 ^{*8}		
	タイマ C					保持	動作 / 保持 ^{*2}	動作 / 保持 ^{*2}	保持		
	WDT					動作 / 保持 ^{*7}	保持				
	タイマ G、タイマ F					動作 / 保持 ^{*9}	動作 / 保持 ^{*2}	動作 / 保持 ^{*2}			
	SCI3-1	動作	動作	動作	動作	リセット	動作 / 保持 ^{*3}	動作 / 保持 ^{*3}	リセット		
	SCI3-2										
	PWM	動作	動作	動作	動作	保持	保持	保持	保持		
	A/D 変換器	動作	動作	動作	動作	保持	保持	保持	保持		
	LCD	動作	動作	動作	動作	動作 / 保持 ^{*4}	動作 / 保持 ^{*4}	動作 / 保持 ^{*4}	保持		

【注】 *1 レジスタは保持、出力はハイインピーダンス

*2 外部クロックまたは内部クロックとして $w/4$ を選択した場合に動作、その他は停止して保持

*3 内部クロックとして $w/2$ を選択した場合に動作、その他は停止して保持

*4 使用クロックとして w 、 $w/2$ または $w/4$ を選択した場合に動作、その他は停止して保持

*5 時計用タイムベース機能を選択時に動作

*6 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。

*7 内部クロックとして $w/32$ を選択した場合は動作、その他は停止して保持。

*8 カウントアップ可、割り込み発生不可。

*9 内部クロックとして $w/4$ を選択した場合に動作、その他は停止して保持。

5. 低消費電力モード

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'F0	H'FFF1

(1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

SYSCR1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SYSCR1 は、リセット時、H'07 に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説明
SSBY	
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット6~4: スタンバイタイムセレクト2~0 (STS2~STS0)

特定の割り込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が発振安定時間以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期状態)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	0	0	待機時間 = 131,072 ステート
1	0	1	待機時間 = 2 ステート (外部クロック入力モード)
1	1	0	待機時間 = 8 ステート
1	1	1	待機時間 = 16 ステート

【注】 外部クロックを入力する場合、スタンバイタイムセレクトはモード遷移を実行する前に、外部クロック入力モードに設定してください。また、外部クロックを使用しない場合、外部クロック入力モードに設定しないでください。

ビット3: ロースピードオンフラグ (LSON)

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック()にするか、サブクロック($_{SUB}$)にするかを選択します。他の制御ビット、割り込み入力の組み合わせで動作モードを決定します。

ビット3	説明
LSON	
0	CPUの動作クロックはシステムクロック() (初期値)
1	CPUの動作クロックはサブクロック($_{SUB}$)

ビット2: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0: アクティブ(中速)モードクロックセレクト (MA1、MA0)

アクティブ(中速)モードまたはスリープ(中速)モードの動作クロック($_{osc}/128$ 、 $_{osc}/64$ 、 $_{osc}/32$ 、 $_{osc}/16$)を選択します。MA1、MA0の書き込みは、アクティブ(高速)モードまたはサブアクティブモードで行ってください。

ビット1	ビット0	説明
MA1	MA0	
0	0	$_{osc}/16$
0	1	$_{osc}/32$
1	0	$_{osc}/64$
1	1	$_{osc}/128$ (初期値)

5. 低消費電力モード

(2) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4: ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (ω_w) を、システムクロック発振器より生成された OSC クロック (ω_{osc}) により、サンプリングする周波数を選択します。 $\omega_{osc} = 2 \sim 16\text{MHz}$ のときは、0 をセットしてください。

ビット 4	説明
NESEL	説明
0	ω_{osc} の 16 分周クロックでサンプリング
1	ω_{osc} の 4 分周クロックでサンプリング (初期値)

ビット 3: ダイレクトトランスファオンフラグ (DTON)

アクティブ (高速) モード、アクティブ (中速) モード、サブアクティブモードの各モード間を、SLEEP 命令を実行することにより直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット 3	説明
DTON	説明
0	<ul style="list-style-type: none"> アクティブモードで SLEEP 命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 (初期値)
1	<ul style="list-style-type: none"> アクティブ (高速) モードで SLEEP 命令を実行したとき、アクティブ (中速) モード (SSBY=0、MSON=1、LSON=0 のとき)、またはサブアクティブモード (SSBY=1、TMA3=1、LSON=1 のとき) に直接遷移 アクティブ (中速) モードで SLEEP 命令を実行したとき、アクティブ (高速) モード (SSBY=0、MSON=0、LSON=0 のとき)、またはサブアクティブモード (SSBY=1、TMA3=1、LSON=1 のとき) に直接遷移 サブアクティブモードで SLEEP 命令を実行したとき、アクティブ (高速) モード (SSBY=1、TMA3=1、LSON=0、MSON=0 のとき)、またはアクティブ (中速) モード (SSBY=1、TMA3=1、LSON=0、MSON=1 のとき) に直接遷移

ビット2: ミドルスピードオンフラグ (MSON)

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ (高速) モードで動作させるか、アクティブ (中速) モードで動作させるかを選択します。

ビット2	説明
MSON	
0	アクティブ (高速) モードで動作 (初期値)
1	アクティブ (中速) モードで動作

ビット1, 0: サブアクティブモードクロックセレクト (SA1, SA0)

サブアクティブモードのCPUの動作クロック ($w/8$ 、 $w/4$ 、 $w/2$) を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説明
SA1	SA0	
0	0	$w/8$ (初期値)
0	1	$w/4$
1	*	$w/2$

* Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

(1) スリープ(高速)モードへの遷移

アクティブモードで、SYSCR1のSSBYが0、LSONが0、SYSCR2のMSONが0、DTONが0のときSLEEP命令を実行すると、スリープモードに遷移します。スリープモードではCPUの動作は停止しますが、内蔵周辺モジュールは動作します。なお、CPUのレジスタの内容は保持されます。

(2) スリープ(中速)モードへの遷移

アクティブモードで、SYSCR1のSSBYが0、LSONが0、SYSCR2のMSONが1、DTONが0のときSLEEP命令を実行すると、スリープ(中速)モードに遷移します。スリープ(中速)モードではスリープ(高速)モードと同様、CPUの動作は停止し、内蔵周辺モジュールは動作します。ただし、スリープ(中速)モードでは、SYSCR1のMA1、MA0で設定した周波数のクロックによって動作します。CPUのレジスタの内容は保持されます。

なお、スリープ(中速)モードへの遷移時に1/2ステート早いタイミングで動作することがあります。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割り込み(タイマA、タイマC、タイマF、タイマG、非同期カウンタ、IRQ₄~IRQ₀、WKP₇~WKP₀、SCI3-1、SCI3-2、A/D変換器)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。

スリープ(高速)モードからはアクティブ(高速)モードに、スリープ(中速)モードからはアクティブ(中速)モードに遷移します。なお、CCRのIビットが1のとき、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合はスリープ状態は解除されません。

なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大2/ τ (s)の遅れが生じることがあります。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.2.3 スリープ(中速)モードの動作周波数について

スリープ(中速)モードは、SYSCR1のMA1、MA0で設定した周波数のクロックによって動作します。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードで SYSCR1 の SSBY が 1、LSON が 0、および TMA の TMA3 が 0 のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPU および内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM のデータは保持されています。さらに、RAM データ保持電圧で規定した電圧が与えられているかぎり、内蔵 RAM のデータは保持されています。このとき、I/O ポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割り込み (IRQ₁、IRQ₀、WKP₇ ~ WKP₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、システムクロックの発振が開始され、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したシステムクロックが LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。SYSCR2 の MSON が 0 のときはアクティブ (高速) モードに、1 のときはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが 1 のとき、あるいは、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。なお、システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずシステムクロックの発振が安定するまで、Low レベルを保持してください。

5. 低消費電力モード

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1 の STS2 ~ STS0 の設定は、以下のようにしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数と STS2 ~ STS0 の設定値に対する待機時間を示します。待機時間が発振安定時間以上となるように STS2 ~ STS0 を設定してください。

表 5.4 動作周波数と発振安定時間

(単位: ms)

STS2	STS1	STS0	待機時間	2MHz	1MHz
0	0	0	8,192 ステート	4.1	8.2
0	0	1	16,384 ステート	8.2	16.4
0	1	0	32,768 ステート	16.4	32.8
0	1	1	65,536 ステート	32.8	65.5
1	0	0	131,072 ステート	65.5	131.1
1	0	1	2 ステート (使用禁止)	0.001	0.002
1	1	0	8 ステート	0.004	0.008
1	1	1	16 ステート	0.008	0.016

(2) 外部クロックの場合

STS2 = 1、STS1 = 0、STS0 = 1 の使用を推奨します。他の設定も使用可能ですが、STS2 = 1、STS1 = 0、STS0 = 1 以外の設定では、待機時間終了前に動作を開始することがあります。

5.3.4 スタンバイモードへの遷移と端子状態

アクティブ(高速)モードまたはアクティブ(中速)モードで SYSCR1 の SSBY を 1、LSON を 0、TMA の TMA3 を 0 にセットした状態で SLEEP 命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態(プルアップ MOS オン設定端子は除く)になります。このときのタイミングを図 5.2 に示します。

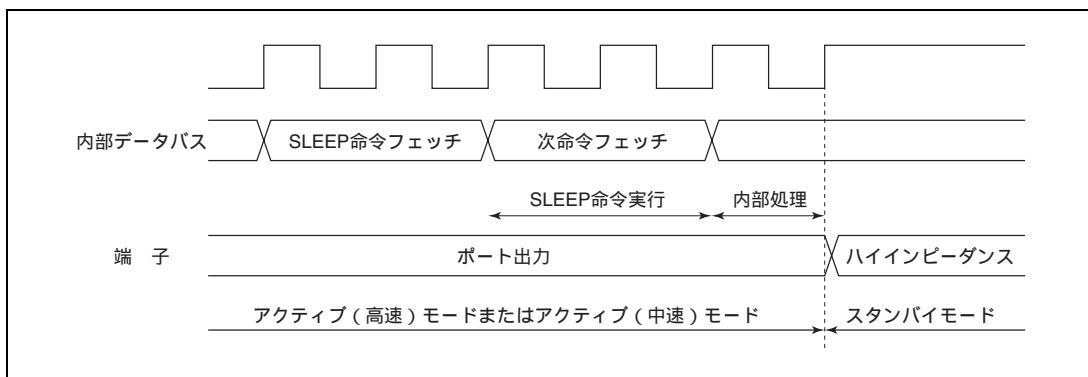


図 5.2 スタンバイモードへの遷移と端子状態

5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

$\overline{\text{IRQ}}$ 、 $\overline{\text{WKP}}$ 等の外部入力信号を入力する場合、信号の High、Low レベル幅はどちらもシステムクロック またはサブクロック SUB (以下、合わせて内部クロックと呼びます) の 2 サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は、以下の「(3) 推奨する外部入力信号のタイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図 5.3 に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブ(高速、中速)モードまたは、サブアクティブモードに遷移した直後に、外部入力信号が立ち下がった場合、この時点での High レベル幅が $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ 未満の場合、この外部入力信号は取り込めません。

5. 低消費電力モード

(3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには、「取り込める場合1」に示すようにスタンバイモード、ウォッチモードに遷移する前に入力信号の High、Low レベル幅を $2tcyc$ 、 $2tsubcyc$ 以上確保してください。

また「取り込める場合2」「取り込める場合3」のタイミングでも $2tcyc$ 、 $2tsubcyc$ のレベル幅を確保できるので、外部入力信号の取り込みが可能です。

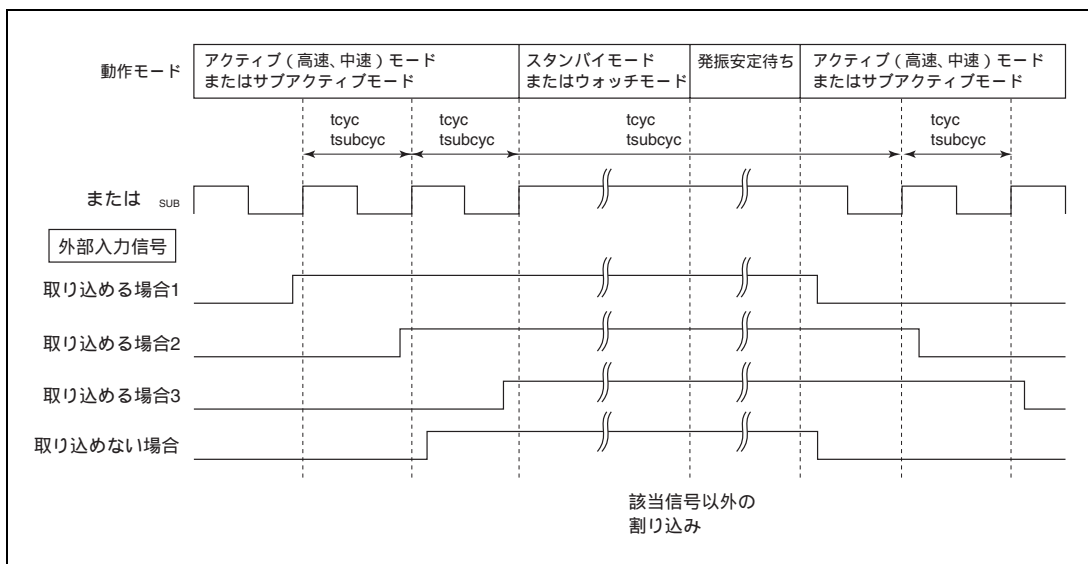


図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

(4) 本注意事項が適用される入力端子

$\overline{IRQ}_4 \sim \overline{IRQ}_0$ 、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 、 \overline{ADTRG} 、 $TMIC$ 、 $TMIF$ 、 $TMIG$

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードで SYSCR1 の SSBY が 1、TMA の TMA3 が 1 のとき SLEEP 命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマ A、タイマ F、タイマ G、AEC、LCD（動作 / 停止選択可）以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み（IRQ₀、WKP₇~WKP₀、タイマ A、タイマ F、タイマ G）、 $\overline{\text{RES}}$ 端子入力によって行われます。

（1）割り込みによる解除

割り込み要求が発生するとウォッチモードは解除され、SYSCR1 の LSON と SYSCR2 の MSON の組み合わせで、LSON=0 かつ MSON=0 のときはアクティブ（高速）モードに、LSON=0 かつ MSON=1 のときはアクティブ（中速）モードに、LSON=1 のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、CCR の 1 ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードは解除されません。

（2） $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 （2） $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.4.4 ウォッチモード前後で外部入力信号が変化する場合の注意事項

「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードで SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、A/D 変換器、PWM、ウォッチドッグタイマ以外の内蔵周辺機能は動作します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み(タイマ A、タイマ C、タイマ F、タイマ G、非同期カウンタ、SCI3-1、SCI3-2、IRQ₄~IRQ₀、WKP₇~WKP₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大 $2 / f_{\text{SUB}}$ (s) の遅れが生じることがあります。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6 サブアクティブモード

5.6.1 サブアクティブモードへの遷移

ウォッチモードで割り込み (タイマ A、タイマ F、タイマ G、IRQ₀、WKP₇~WKP₀) が発生したとき、SYSCR1 の LSON が 1 ならば、サブアクティブモードに遷移します。また、サブスリープモードで割り込み (タイマ A、タイマ C、タイマ F、タイマ G、非同期カウンタ、SCI3-1、SCI3-2、IRQ₄~IRQ₀、WKP₇~WKP₀) が発生したとき、サブアクティブモードに遷移します。なお、CCR の 1 ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードに遷移しません。

5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令または $\overline{\text{RES}}$ 端子入力により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (ω) の 2 分周、4 分周、8 分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割り込み（ IRQ_1 、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、ウォッチモードで割り込み（タイマA、タイマF、タイマG、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、あるいはスリープモードですべての割り込みが発生したとき、SYSCR1のLSONが0かつSYSCR2のMSONが1ならば、アクティブ（中速）モードに遷移します。なお、CCRの1ビットが1の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。

なお、アクティブ（中速）モードへの遷移時に1/2ステート早いタイミングで動作することがあります。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP命令により行われます。

（1）SLEEP命令による解除

SYSCR1のSSBYが1、LSONが0、TMAのTMA3が0の状態ではSLEEP命令を実行すると、スタンバイモードに遷移します。SYSCR1のSSBYが1、TMAのTMA3が1の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。

SYSCR1のSSBYが0、LSONが0の状態ではSLEEP命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

（2） \overline{RES} 端子による解除

\overline{RES} 端子をLowレベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、SYSCR1のMA1、MA0で設定した周波数のクロックによって動作します。

5.8 直接遷移

5.8.1 直接遷移の概要

CPU がプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は SYSCR2 の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。なお、割り込み許可レジスタ 2 (IENR2) により直接遷移割り込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割り込みによる解除は不可能となりますので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

5.8.2 直接遷移の時間

(1) アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移時の時間について

アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移はアクティブ(高速)モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間(直接遷移時間)は(1)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (1) \end{aligned}$$

$$\text{〔例〕 直接遷移時間} = (2 + 1) \times 2t_{\text{osc}} + 14 \times 16t_{\text{osc}} = 230t_{\text{osc}}$$

(CPU 動作クロック: /8 を選択した場合)

<記号説明>

t_{osc} : OSC クロックサイクル時間

t_{cyc} : システムクロック() サイクル時間

(2) アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移時の時間について

アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移はアクティブ(中速)モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間(直接遷移時間)は(2)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (2) \end{aligned}$$

$$\text{〔例〕 直接遷移時間} = (2 + 1) \times 16t_{\text{osc}} + 14 \times 2t_{\text{osc}} = 76t_{\text{osc}}$$

(CPU 動作クロック: /8 を選択した場合)

<記号説明>

t_{osc} : OSC クロックサイクル時間

t_{cyc} : システムクロック() サイクル時間

(3) サブアクティブモードからアクティブ(高速)モードへの直接遷移時の時間について

サブアクティブモードからアクティブ(高速)モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間(直接遷移時間)は(3)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行状態数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

$$\text{〔例〕 直接遷移時間} = (2 + 1) \times 8t_w + (8192 + 14) \times 2t_{\text{osc}} = 24t_w + 16412t_{\text{osc}}$$

(CPU 動作クロック: $w/8$ 、待機時間: 8192 ステートを選択した場合)

<記号説明>

t_{osc}	: OSC クロックサイクル時間
t_w	: ウォッチクロックサイクル時間
t_{cyc}	: システムクロック () サイクル時間
t_{subcyc}	: サブクロック ($_{\text{SUB}}$) サイクル時間

(4) サブアクティブモードからアクティブ(中速)モードへの直接遷移時の時間について

サブアクティブモードからアクティブ(中速)モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行することによって行われます。SLEEP 命令実行から割り込み例外処理が終るまでの時間(直接遷移時間)は(4)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行状態数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (4) \end{aligned}$$

$$\text{〔例〕 直接遷移時間} = (2 + 1) \times 8t_w + (8192 + 14) \times 16t_{\text{osc}} = 24t_w + 131296t_{\text{osc}}$$

(CPU 動作クロック: $w/8$ 、 $/8$ 、待機時間: 8192 ステートを選択した場合)

<記号説明>

t_{osc}	: OSC クロックサイクル時間
t_w	: ウォッチクロックサイクル時間
t_{cyc}	: システムクロック () サイクル時間
t_{subcyc}	: サブクロック ($_{\text{SUB}}$) サイクル時間

5.8.3 直接遷移前後で外部入力信号が変化する場合の注意事項

(1) アクティブ（高速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(2) アクティブ（中速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5.9 モジュールスタンバイモード

5.9.1 モジュールスタンバイモードの設定

モジュールスタンバイモードは各周辺機能ごとに設定します。搭載されているすべての周辺モジュールはモジュールスタンバイモードに設定可能です。モジュールスタンバイモードに設定されると、モジュールへのシステムクロックの供給は停止され、機能は停止し、スタンバイモードと同じ状態になります。

モジュールスタンバイモードの設定はクロック停止レジスタ1 (CKSTPR1) とクロック停止レジスタ2 (CKSTPR2) の各ビットを0に設定することにより行います。(表5.5参照)

5.9.2 モジュールスタンバイモードの解除

モジュールスタンバイモードの解除はクロック停止レジスタ1 (CKSTPR1) とクロック停止レジスタ2 (CKSTPR2) の各ビットを1に設定することにより行います。(表5.5参照)

なお、リセット直後、クロック停止レジスタ1 (CKSTPR1) とクロック停止レジスタ2 (CKSTPR2) はおののFF、FFに初期化されています。

表5.5 クロック停止レジスタによるモジュールスタンバイモードの設定および解除

レジスタ名	ビット名		動作
CKSTPR1	TACKSTP	1	タイマAのモジュールスタンバイモードは解除される
		0	タイマAはモジュールスタンバイモードに設定される
	TCKCKSTP	1	タイマCのモジュールスタンバイモードは解除される
		0	タイマCはモジュールスタンバイモードに設定される
	TFCKSTP	1	タイマFのモジュールスタンバイモードは解除される
		0	タイマFはモジュールスタンバイモードに設定される
	TGCKSTP	1	タイマGのモジュールスタンバイモードは解除される
		0	タイマGはモジュールスタンバイモードに設定される
	ADCKSTP	1	A/D変換器のモジュールスタンバイモードは解除される
		0	A/D変換器はモジュールスタンバイモードに設定される
	S32CKSTP	1	SCI3-2のモジュールスタンバイモードは解除される
		0	SCI3-2はモジュールスタンバイモードに設定される
S31CKSTP	1	SCI3-1のモジュールスタンバイモードは解除される	
	0	SCI3-1はモジュールスタンバイモードに設定される	
CKSTPR2	LDCKSTP	1	LCDのモジュールスタンバイモードは解除される
		0	LCDはモジュールスタンバイモードに設定される
	PWCKSTP	1	PWMのモジュールスタンバイモードは解除される
		0	PWMはモジュールスタンバイモードに設定される
	WDCKSTP	1	ウォッチドッグタイマのモジュールスタンバイモードは解除される
		0	ウォッチドッグタイマはモジュールスタンバイモードに設定される
	AECKSTP	1	非同期イベントカウンタのモジュールスタンバイモードは解除される
		0	非同期イベントカウンタはモジュールスタンバイモードに設定される

【注】 各モジュールごとの動作の詳細は、各モジュールの章参照

5.9.3 使用上の注意事項

周辺モジュールが割り込み要求を出しているタイミングで当該モジュールをモジュールスタンバイモードに設定すると、割り込み要求を出したまま当該モジュールが停止します。この状態では割り込みを禁止しない限り、割り込み処理を繰り返してデッドロックに陥ります。

そのため、モジュールスタンバイモードに設定する場合は割り込みが発生しない状態で行ってください。確実なのは割り込み禁止状態（割り込み許可レジスタによる禁止または CCR-I ビットによる割り込みマスク）でモジュールスタンバイモードに設定する方法です。

6. ROM

6.1 概要

H8/38532 は 16K バイト、H8/38533 は 24K バイト、H8/38534 は 32K バイト、H8/38535 は 40K バイト、H8/38536 は 48K バイト、H8/38537 は 60K バイトのマスキング ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

H8/38537 のフラッシュメモリ版は 60K バイトのフラッシュメモリ、H8/38534 のフラッシュメモリ版は 32K バイトのフラッシュメモリを備えています。

6.2 フラッシュメモリの概要

6.2.1 特長

フラッシュメモリ版に内蔵している 60K バイト、32K バイトフラッシュメモリの特長は以下のとおりです。

- 書き込み / 消去方式

書き込みは 128 バイト単位の同時書き込み方式です。消去はブロック単位で行います。60K バイトフラッシュメモリは 1K バイト × 4 ブロック、28K バイト × 1 ブロック、16K バイト × 1 ブロック、8K バイト × 1 ブロック、4K バイト × 1 ブロックに分割されています。32K バイトフラッシュメモリは 1K バイト × 4 ブロックと 28K バイト × 1 ブロックに分割されています。全面消去を行う場合も 1 ブロックずつ消去してください。

- 書き換え回数

1000 回まで書き換え可能です。

- オンボードプログラミング

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングの他に PROM ライタを用いて書き込み / 消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ソフトウェアによりフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- 低消費電力モード

サブアクティブモードでは電源回路の一部を停止させて低消費電力モードで読み出せます。

6.2.2 ブロック図

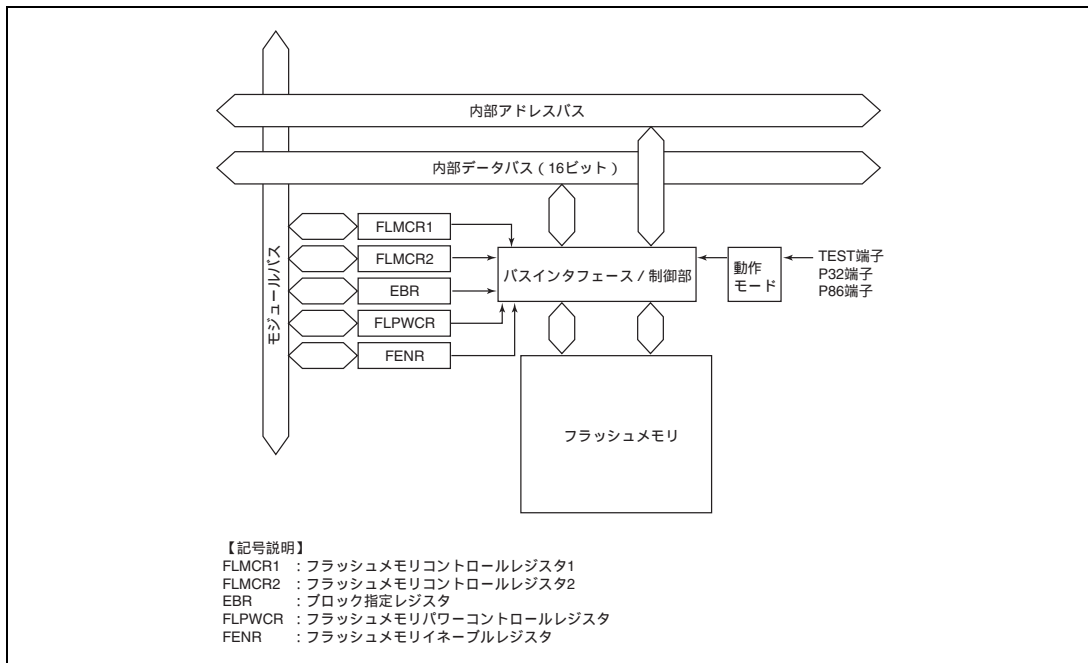


図 6.1 フラッシュメモリのブロック図

6.2.3 ブロック構成

図 6.2 にフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト×4 ブロック、28K バイト×1 ブロック、16K バイト×1 ブロック、8K バイト×1 ブロック、4K バイト×1 ブロックに分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

消去単位 1Kバイト	H'0000	H'0001	H'0002	書き込み単位128バイト	H'007F
	H'0080	H'0081	H'0082		H'00FF
	H'0380	H'0381	H'0382		H'03FF
消去単位 1Kバイト	H'0400	H'0401	H'0402	書き込み単位128バイト	H'047F
	H'0480	H'0481	H'0482		H'04FF
	H'0780	H'0781	H'0782		H'07FF
消去単位 1Kバイト	H'0800	H'0801	H'0802	書き込み単位128バイト	H'087F
	H'0880	H'0881	H'0882		H'080F
	H'0B80	H'0B81	H'0B82		H'0BFF
消去単位 1Kバイト	H'0C00	H'0C01	H'0C02	書き込み単位128バイト	H'0C7F
	H'0C80	H'0C81	H'0C82		H'0CFF
	H'0F80	H'0F81	H'0F82		H'0FFF
消去単位 28Kバイト	H'1000	H'1001	H'1002	書き込み単位128バイト	H'107F
	H'1080	H'1081	H'1082		H'10FF
	H'7F80	H'7F81	H'7F82		H'7FFF
消去単位 16Kバイト	H'8000	H'8001	H'8002	書き込み単位128バイト	H'807F
	H'8080	H'8081	H'8082		H'8CFF
	H'BF80	H'BF81	H'BF80		H'BFFF
消去単位 8Kバイト	H'C000	H'001	H'C002	書き込み単位128バイト	H'C07F
	H'C080	H'C081	H'C082		H'CCFF
	H'DF80	H'DF81	H'BF8		H'DFFF
消去単位 4Kバイト	H'E000	H'E001	H'E002	書き込み単位128バイト	H'E07F
	H'E080	H'E081	H'E082		H'ECFF
	H'EF80	H'EF81	H'EF82		H'EFFF

図 6.2 フラッシュメモリのブロック構成

6. ROM

6.2.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ構成を表 6.1 に示します。

表 6.1 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W	H'00	H'F020
フラッシュメモリコントロールレジスタ 2	FLMCR2	R	H'00	H'F021
フラッシュメモリパワーコントロールレジスタ	FLPWCR	R/W	H'00	H'F022
ブロック指定レジスタ	EBR	R/W	H'00	H'F023
フラッシュメモリーネーブルレジスタ	FENR	R/W	H'00	H'F02B

【注】 FLMCR1、FLMCR2、FLPWCR、EBR、FENR は 8 ビットのレジスタです。バイトアクセスのみ有効で 2 ステートアクセスとなります。またこれらはフラッシュメモリ内蔵品専用レジスタです。マスク ROM 内蔵品には存在しません。これらの製品で当該アドレスをリードすると値は不定となります。また、ライトは無効です。

6.3 フラッシュメモリのレジスタの説明

6.3.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット	7	6	5	4	3	2	1	0
	—	SWE	ESU	PSU	EV	PV	E	P
初期値	0	0	0	0	0	0	0	0
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「6.5 書き込み / 消去プログラム」を参照してください。本レジスタの設定により、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードへと遷移します。フラッシュメモリを通常の内蔵 ROM として読み出す際には、本レジスタのビット 6~0 をクリアした状態にしてください。

ビット 7: リザーブビット

リザーブビットです。読み出すと常に 0 が読み出されます。

ビット 6: ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込み / 消去の有効または無効を選択するビットです (ビット 5~0、EBR レジスタをセットするときにセットしてください)。

ビット 6	説明
SWE	
0	書き込み / 消去無効。FLMCR1 レジスタの他のビットと EBR の各ビットはセットできません。 (初期値)
1	フラッシュメモリの書き込み / 消去が可能となります。

ビット5：イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです。FLMCR1 の E ビットを 1 にセットする前に 1 にセットしてください (SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット5	説明	
ESU		
0	イレースセットアップ状態を解除	(初期値)
1	イレースセットアップ状態に遷移。FLMCR1 の E ビットを 1 にセットする前にセットしてください。	

ビット4：プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです。FLMCR1 の P ビットを 1 にセットする前に 1 にセットしてください (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット4	説明	
PSU		
0	プログラムセットアップ状態を解除	(初期値)
1	プログラムセットアップ状態に遷移。FLMCR1 の P ビットを 1 にセットする前にセットしてください。	

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明	
EV		
0	イレースベリファイモードを解除	(初期値)
1	イレースベリファイモードに遷移	

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明	
PV		
0	プログラムベリファイモードを解除	(初期値)
1	プログラムベリファイモードに遷移	

6. ROM

ビット1：イレース（E）

イレースモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください）。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	SWE = 1、ESU = 1 の状態でこのビットを 1 にセットするとイレースモードへ遷移します。

ビット0：プログラム（P）

プログラムモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、EV、PV、E ビットを同時に設定しないでください）。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	SWE = 1、PSU = 1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移します。

6.3.2 フラッシュメモリコントロールレジスタ 2（FLMCR2）

ビット	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R	—	—	—	—	—	—	—

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット7：フラッシュメモリエラー（FLER）

このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。詳細は「6.6.3 エラープロテクト」を参照してください。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み / 消去プロテクト（エラープロテクト）が有効。

ビット6～0：リザーブビット

リザーブビットです。読み出すと常に 0 が読み出されます。

6.3.3 ブロック指定レジスタ (EBR)

ビット	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EBR はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR は H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR は 0 にオートクリアされます。EBR の各ビットを 1 にセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。フラッシュメモリのブロック分割方法は、表 6.2 を参照してください。全面消去をする場合は、各ブロック単位に順次消去してください。

表 6.2 消去ブロックの分割

EBR のビット	ビット名	ブロック (サイズ)	アドレス
0	EB0	EB0 (1K バイト)	H'0000 ~ H'03FF
1	EB1	EB1 (1K バイト)	H'0400 ~ H'07FF
2	EB2	EB2 (1K バイト)	H'0800 ~ H'0BFF
3	EB3	EB3 (1K バイト)	H'0C00 ~ H'0FFF
4	EB4	EB4 (28K バイト)	H'1000 ~ H'7FFF
5	EB5	EB5 (16K バイト)	H'8000 ~ H'BFFF
6	EB6	EB6 (8K バイト)	H'C000 ~ H'DFFF
7	EB7	EB7 (4K バイト)	H'E000 ~ H'FFFF

6.3.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

ビット	7	6	5	4	3	2	1	0
	PDWND	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R/W	—	—	—	—	—	—	—

LSI がサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでは電源回路の一部が停止しますが、サブアクティブモードでは読み出し可能です。

ビット 7: パワーダウンディスエーブル (PDWND)

サブアクティブモードに遷移するときのフラッシュメモリの低消費電力モードを選択します。

ビット 7	説明
PDWND	
0	PDWND = 0 の状態でサブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなります。 (初期値)
1	PDWND = 1 の状態でサブアクティブモードに遷移するとフラッシュメモリは通常モードで動作します。

6. ROM

ビット6~0: リザーブビット

リザーブビットです。読み出すと常に0が読み出されます。

6.3.5 フラッシュメモリイネーブルレジスタ (FENR)

ビット	7	6	5	4	3	2	1	0
	FLSHE	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R/W	—	—	—	—	—	—	—

FENR はフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR、FLPWCR の CPU からのアクセスを制御します。

ビット7: フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリ制御レジスタのアクセスを制御します。

ビット7	説明
FLSHE	
0	フラッシュメモリ制御レジスタをアクセスできません。 (初期値)
1	フラッシュメモリ制御レジスタをアクセスできます。

ビット6~0: リザーブビット

リザーブビットです。読み出すと常に0が読み出されます。

6.4 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込み/消去ができるブートモードと PROM ライタで書き込み/消去を行うライタモードが用意されています。このほかユーザモードでもオンボードで書き込み/消去を行うことが可能です。リセット状態からリセットスタートすると TEST 端子、P32 端子およびポートの入力レベルによって表 6.3 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI32 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去した上で書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰などに使用できます。ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 6.3 プログラミングモード選択方法

TEST	P32	P86	PB0	PB1	PB2	リセット解除後の LSI の状態
0	1	X	X	X	X	ユーザモード
0	0	1	X	X	X	ブートモード
1	X	X	0	0	0	ライタモード

【注】 X : Don't care

6.4.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 6.4 に示します。本 LSI のブートモードでは SCI32 を使用します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「6.5 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。また、SPCRレジスタによるTXD端子、RXD端子の反転機能は「反転しない」に設定してありますので、ホスト~本LSI間に値反転の回路は入れないでください。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表6.5の範囲としてください。

6. ROM

5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'F780～H'FEFF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリフェイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR42=1、P42=1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、TEST端子とP32端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、P32端子の入力レベルを変化させないでください。

表 6.4 ブートモードの動作

項目	ホストの動作	LSIの動作
		リセットスタート後ブートプログラムへ分岐
ビットレート調整	所定のビットレートでデータH'00を連続送信	受信データH'00のLow期間を測定 ビットレートを計算し、SCI3のBBRを設定 ビットレート調整終了の合図としてH'00を1バイト送信
メモリ消去	H'00を正常に受信したらH'55を1バイト送信	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信 消去できなかった場合はH'FFを送信して、動作を停止
書き込み制御プログラムのバイト数転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信	受信した2バイトのデータをホストへエコーバック
書き込み制御プログラムの転送(N回繰り返し)	書き込み制御プログラムを1バイト送信	受信したデータをホストにエコーバックするとともにRAMへ転送
書き込み制御プログラムの実行		ホストへH'AAを1バイト送信 内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 6.5 ビットレート自動合わせ込みが可能な発振周波数 (fosc)

製品グループ	ホストのビットレート	LSI の発振周波数範囲 (fosc)
H8/38537	19200bps	16MHz
H8/38534	9600bps	8 ~ 16MHz
フラッシュメモリ版	4800bps	6 ~ 16MHz
	2400bps	2 ~ 16MHz
	1200bps	2 ~ 16MHz

6.4.2 ユーザモードでの書き込み / 消去

ユーザモードとはユーザプログラムの実行状態です。ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 6.3 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「6.5 書き込み / 消去プログラム」に沿ったものを用意してください。

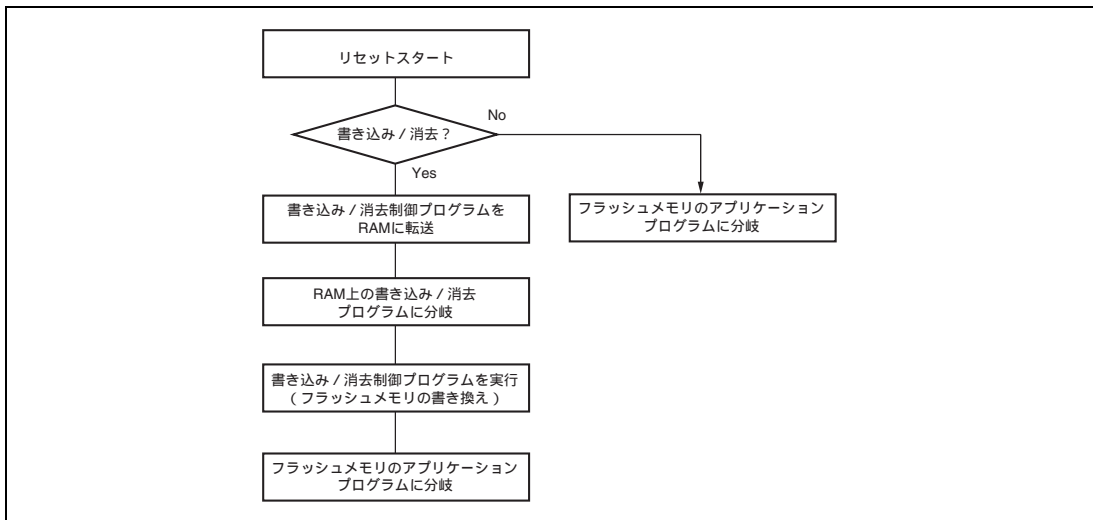


図 6.3 ユーザモードにおける書き込み/消去例

6.5 書き込み / 消去プログラム

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせて書き込み / 消去を行います。フラッシュメモリへの書き込みは「6.5.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「6.5.2 イレース / イレースベリファイ」に沿って行ってください。

6.5.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 6.4 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算は表6.6に、追加書き込みデータの演算は表6.7に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は表6.8に従ってください。
6. ウォッチドッグタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがb'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

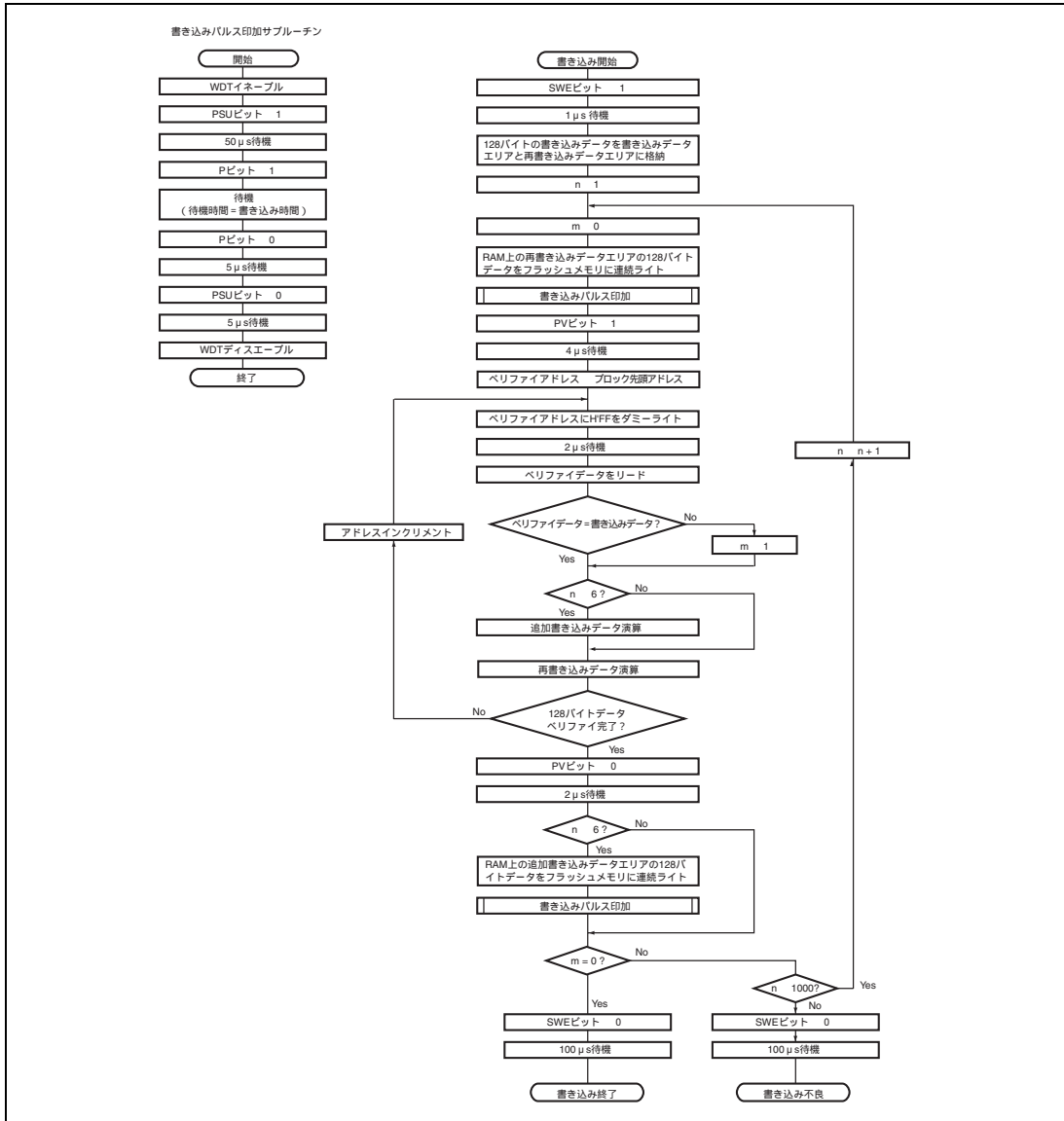


図 6.4 プログラム / プログラムベリファイフロー

表 6.6 再書き込みデータ演算表

書き込みデータ	ベリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

6. ROM

表 6.7 追加書き込みデータ演算表

再書き込みデータ	ペリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 6.8 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200		

【注】時間の単位は μ sです。

6.5.2 イレース/イレースペリファイ

消去は図 6.5 のイレース/イレースペリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ（EBR）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は19.8ms程度としてください。
5. ペリファイアドレスへのダミーライトは、下位1ビットがb'0のアドレスにH'FFを1バイト書き込んでください。ペリファイデータはダミーライトを行った番地からワードサイズで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースペリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

6.5.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由からすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

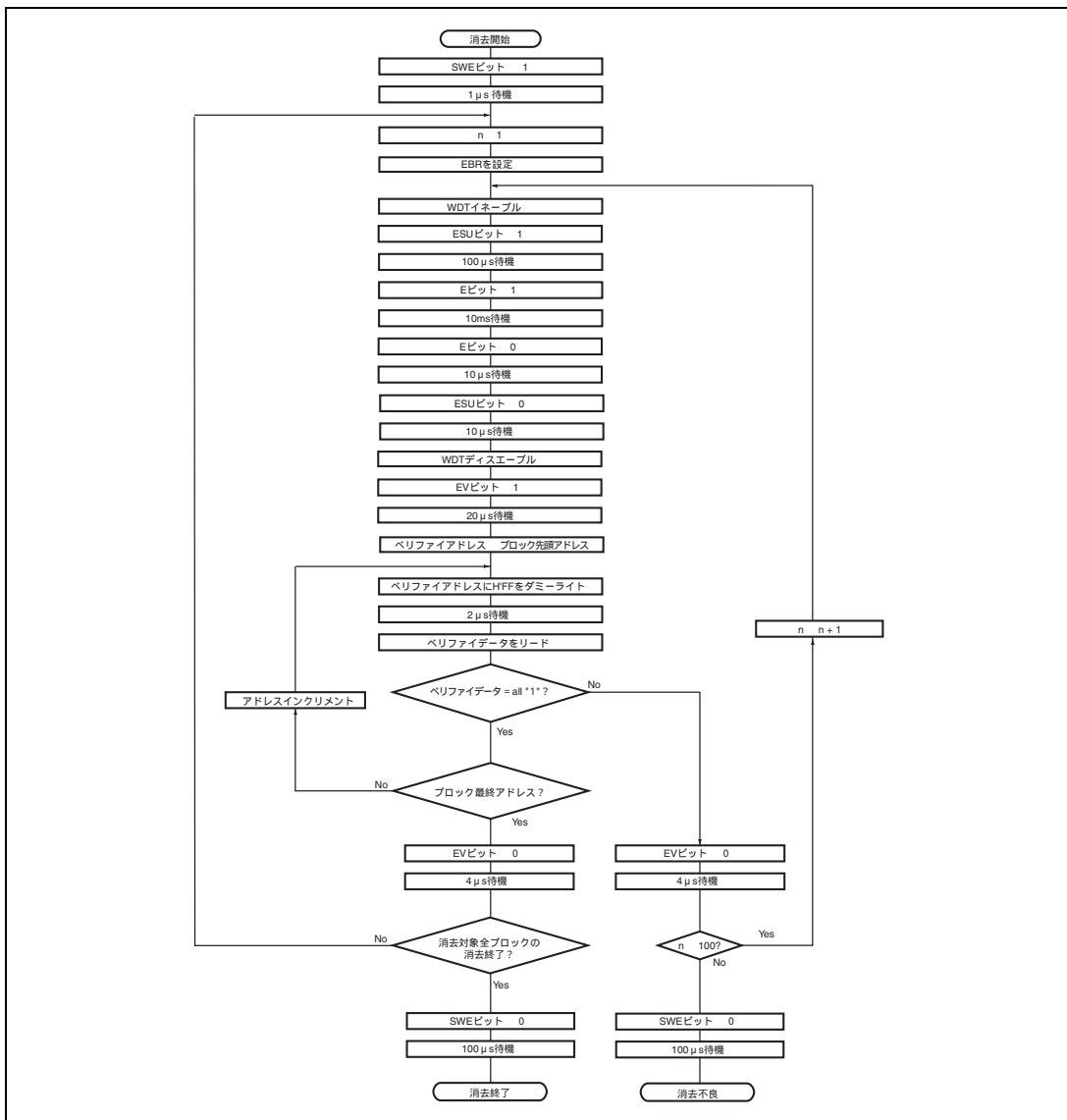


図 6.5 イレース/イレースベリファイフロー

6.6 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

6.6.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブアクティブモード、サブスリープモード、ウォッチモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ (EBR) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

6.6.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ (EBR) の設定により、ブロックごとに消去プロテクトが可能です。EBR を H'00 に設定すると全ブロックが消去プロテクト状態になります。

6.6.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

6.7 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス（旧日立）64K バイトフラッシュメモリ内蔵マイコンデバイスタイプ（FZTAT64V3）をサポートしているライタを使用してください。10MHz の入力クロックが必要です。ライタモードへの遷移条件は表 6.3 を参照してください。

6.7.1 ソケットアダプタ

ソケットアダプタはフラッシュメモリ版デバイスを単体のフラッシュメモリ HN28F101 のピン配置に変換します。このとき内蔵フラッシュメモリのアドレスは H'0000 ~ H'FFFF となります。ソケットアダプタの端子対応図を図 6.6 に示します。

6.7.2 ライタモードのコマンド

ライタモードでサポートしているコマンドは以下のとおりです。

- メモリ読み出し
- 自動書き込み
- 自動消去
- ステータス読み出し

自動書き込み / 自動消去 / ステータス読み出しではステータスポーリング方式を採用しています。また、ステータス読み出しは自動書き込み / 自動消去を実行した後の詳細な内部情報を出力します。表 6.9 に各コマンドのシーケンスを示します。自動書き込みは 128 バイト同時書き込みのため、コマンド書き込みが 129 サイクルとなります。メモリ読み出しはアドレス書き込みサイクル数によってサイクル数が変化します。

表 6.9 ライタモードのコマンドシーケンス

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1+n	write	X	H'00	read	RA	Dout
自動書き込み	129	write	X	H'40	write	WA	Din
自動消去	2	write	X	H'20	write	X	H'20
ステータス読み出し	2	write	X	H'71	write	X	H'71

【注】n：アドレス書き込みサイクル数

6. ROM

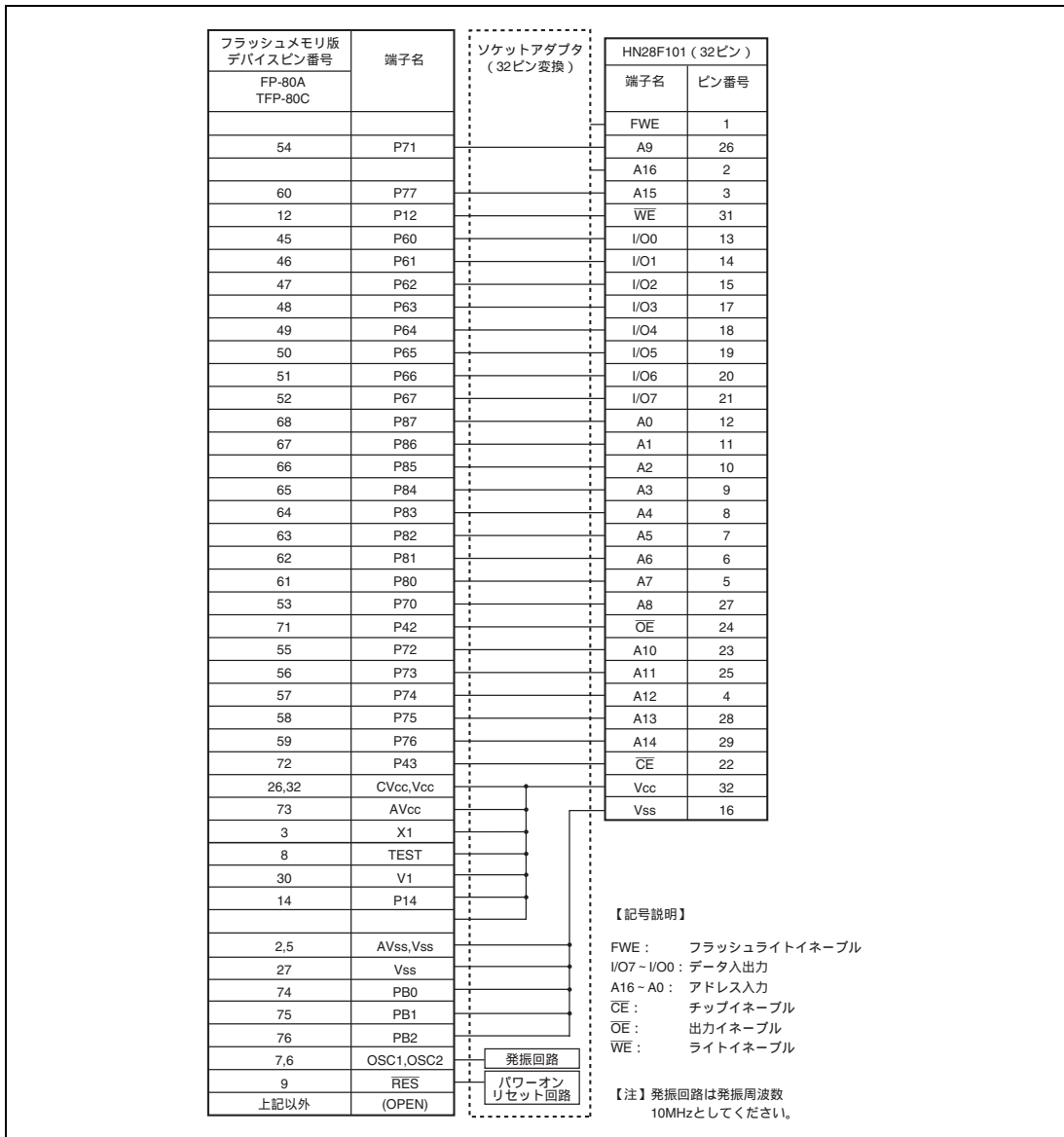


図 6.6 ソケットアダプタの端子対応図

6.7.3 メモリ読み出し

1. 自動書き込み / 自動消去 / ステータス読み出し終了後はコマンド待ち状態に遷移します。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させる必要があります。一度メモリ読み出しモードに遷移させた後は、連続読み出しが可能です。
2. メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みにより他のモードに遷移させることができます。
3. 電源投入後はメモリ読み出しモードに遷移します。
4. AC特性を表6.10～表6.12に示します。

表 6.10 メモリ読み出し第 1 サイクルの AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20		μs	図 6.7
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

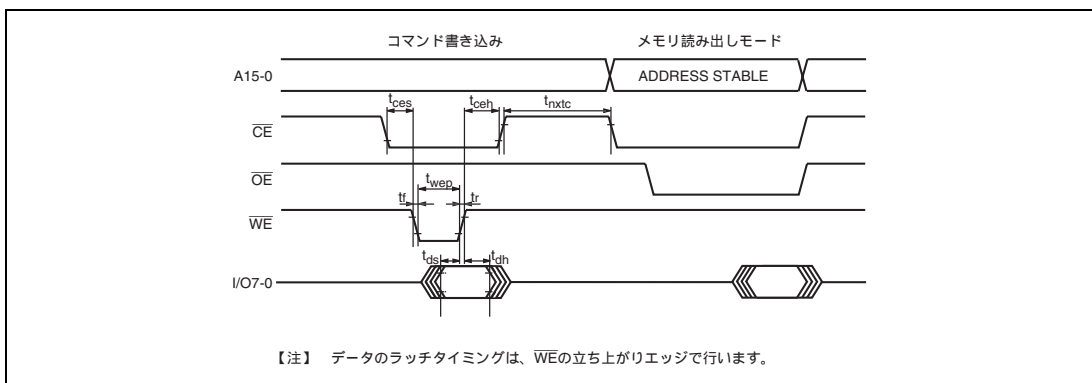


図 6.7 コマンド書き込み後メモリ読み出しタイミング波形

6. ROM

表 6.11 メモリ読み出しから他のコマンドへ遷移時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$, $V_{ss} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.8
\overline{CE} ホールド時間	tceh	0		ns	
\overline{CE} セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

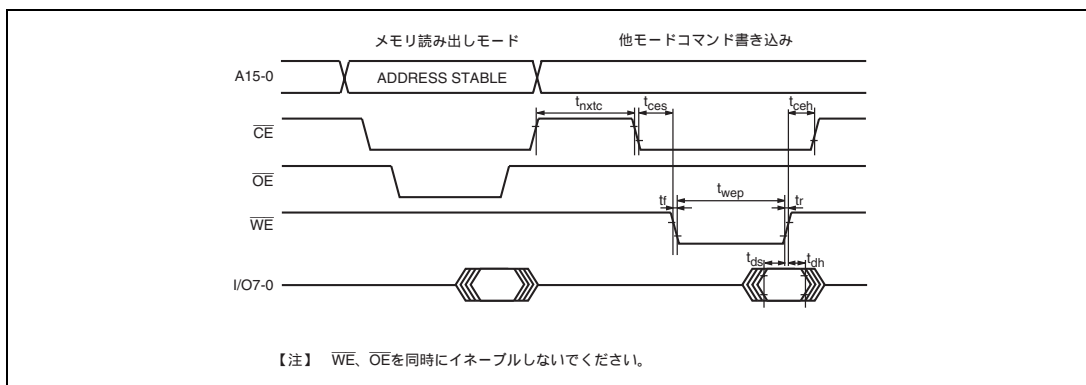
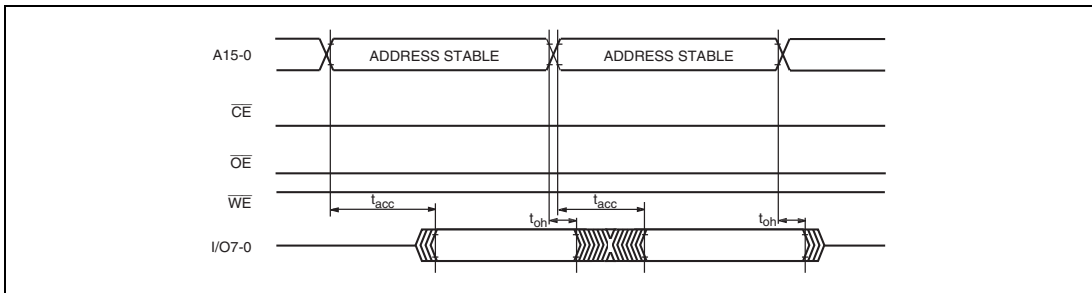
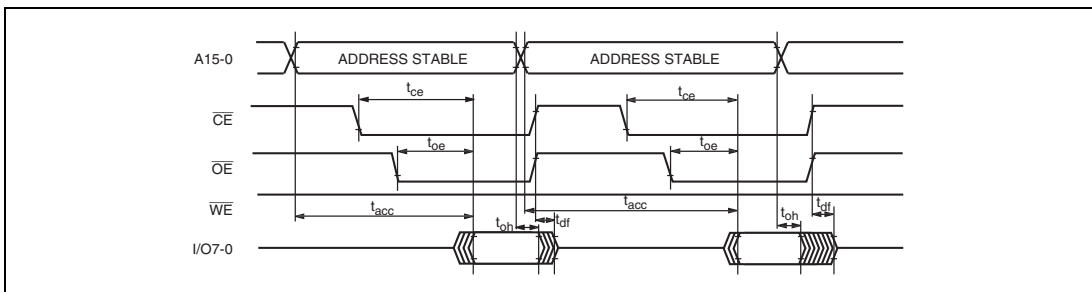


図 6.8 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 6.12 メモリ読み出し時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$, $V_{ss} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
アクセス時間	tacc		20	μs	図 6.9 ~ 図 6.10
\overline{CE} 出力遅延時間	tce		150	ns	
\overline{OE} 出力遅延時間	toe		150	ns	
出力ディスエーブル遅延時間	tdf		100	ns	
データ出力ホールド時間	toh	5		ns	

図 6.9 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形図 6.10 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

6. ROM

6.7.4 自動書き込み

1. すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
2. 同一アドレスブロックへの自動書き込みは1回のみとしてください。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。
3. 自動書き込みは、128バイト同時書き込みを行います。バイトデータを128回連続転送してください。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。書き込む必要のないアドレスへは、データH'FFを転送して書き込んでください。
4. 転送するアドレスの下位7ビットは、Low状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
5. メモリアドレスの転送は第2サイクルで行います（図6.11）。第3サイクル以降は転送しないでください。
6. 書き込み動作中はコマンド書き込みを行わないでください。
7. 自動書き込みは128バイト単位のブロックに対して1回だけ行ってください。すでに書き込まれたアドレスブロックへの追加書き込みはできません。
8. 自動書き込み正常終了の確認は、I/O6を調べることにより行います。ステータス読み出しで確認することもできます（I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です）。
9. ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、CE、OEをイネーブルにすることにより読み出し可能です。
10. AC特性を表6.13に示します。

表 6.13 自動書き込み時の AC 特性

条件：Vcc = 3.3V±0.3V、Vss=0V、Ta=25 ±5

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.11
CE ホールド時間	tceh	0		ns	
CE セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
ステータスポーリング開始時間	twsts	1		ms	
ステータスポーリングアクセス時間	tspa		150	ns	
アドレスセットアップ時間	tas	0		ns	
アドレスホールド時間	tah	60		ns	
メモリ書き込み時間	twrite	1	3000	ms	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

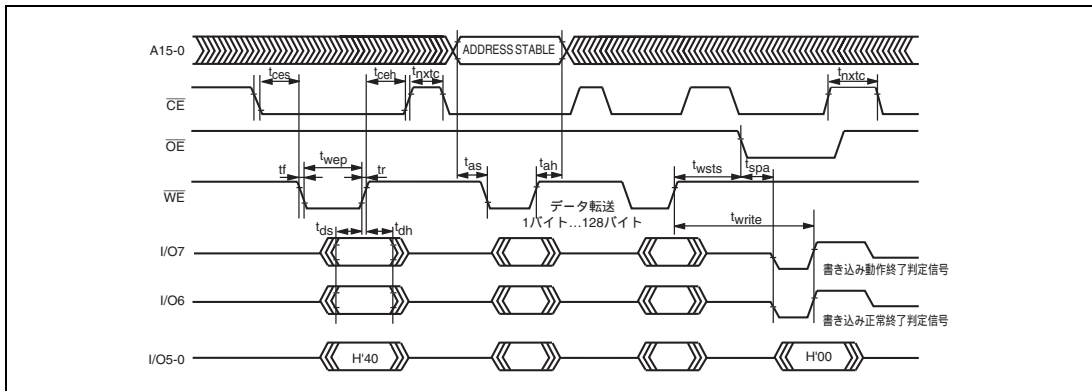


図 6.11 自動書き込みのタイミング波形

6.7.5 自動消去

1. 自動消去はメモリを全面消去します。
2. 自動消去中はコマンド書き込みを行わないでください。
3. 自動消去正常終了の確認はI/O6を調べることにより行います。ステータス読み出しでも確認することができます (I/O7番のステータスポーリングは、自動消去動作終了判定用端子です)。
4. ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、CE、OEをイネーブルにすることにより読み出し可能となります。
5. AC特性を表6.14に示します。

表 6.14 自動消去時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$, $V_{ss} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.12
CE ホールド時間	tceh	0		ns	
CE セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
ステータスポーリング開始時間	tests	1		ms	
ステータスポーリングアクセス時間	tspa		150	ns	
メモリ消去時間	terase	100	40000	ms	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

6. ROM

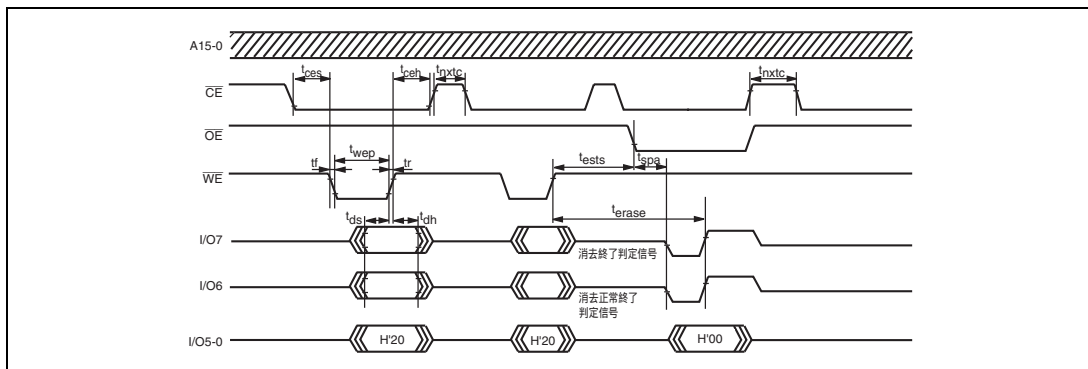


図 6.12 自動消去のタイミング波形

6.7.6 ステータス読み出し

1. ステータス読み出しは、異常終了の種類を特定させるためです。自動書き込み / 自動消去で異常終了が起きた場合に使用してください。
2. リターンコードは、ステータス読み出し以外のコマンド書き込みが行われるまで保持されます。
3. AC特性を表6.15に、リターンコードを表6.16に示します。

表 6.15 ステータス読み出し時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込み後読み出し時間	tnxtc	20		μs	図 6.13
CE ホールド時間	tceh	0		ns	
CE セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
OE 出力遅延時間	toe		150	ns	
ディスエーブル遅延時間	tdf		100	ns	
CE 出力遅延時間	tce		150	ns	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

6.7.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しに遷移します。

表 6.18 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	参照図
発振安定時間（水晶発振子）	tosc1	10		ms	図 6.14
発振安定時間（セラミック発振子）		5		ms	
ライタモードセットアップ時間	t_bmv	10		ms	
Vcc ホールド時間	t_dwn	0		ms	

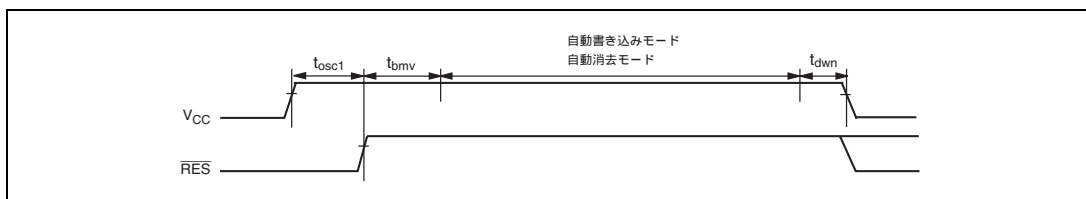


図 6.14 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

6.7.9 ライタモード使用時の注意事項

1. オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
2. ルネサス テクノロジ出荷品の初期状態は消去状態です。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。

6.8 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態
高速でフラッシュメモリの読み出しが可能です。
- 低消費電力動作状態
フラッシュメモリの電源回路の一部が停止し、低消費電力で読み出しができます。
- スタンバイ状態
フラッシュメモリのすべての回路が停止します。

表 6.19 に LSI の動作モードとフラッシュメモリの状態の関係を示します。サブアクティブモードでは FLPWCR の PDWND ビットによりフラッシュメモリを低消費電力動作に設定することができます。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20 μ s 以上になるよう SYSCR1 の STS2 ~ STS0 を設定してください。

表 6.19 フラッシュメモリの動作状態

LSI の動作モード	フラッシュメモリの状態	
	PDWND=0 のとき (初期値)	PDWND=1 のとき
アクティブモード	通常動作状態	通常動作状態
サブアクティブモード	低消費電力動作状態	通常動作状態
スリープモード	通常動作状態	通常動作状態
サブスリープモード	スタンバイ状態	スタンバイ状態
スタンバイモード	スタンバイ状態	スタンバイ状態
ウォッチモード	スタンバイ状態	スタンバイ状態

7. RAM

7.1 概要

H8/38532、H8/38533 は 1K バイト、H8/38534、H8/38535、H8/38536、H8/38537 は 2K バイトの高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

7.1.1 ブロック図

RAM のブロック図を図 7.1 に示します。

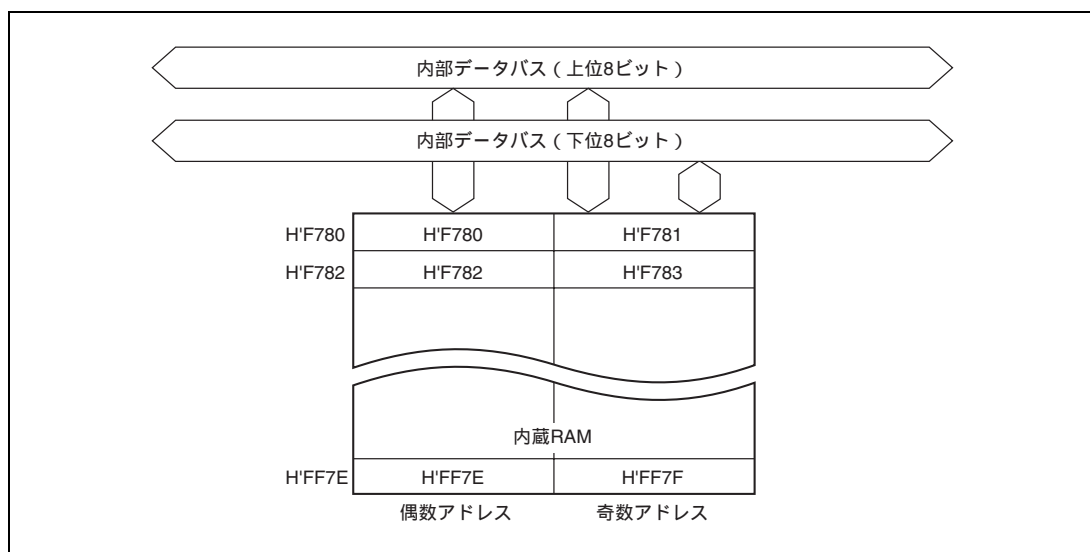


図 7.1 RAM のブロック図 (H8/38534 の場合)

7. RAM

8. I/O ポート

8.1 概要

本 LSI は、8 ビット入出力ポートを 6 本、4 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本備えています。

各ポートの機能一覧を表 8.1 に示します。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。PCR、PDR に対してのビット操作命令の実行については、「2.8.3 ビット操作命令」を参照してください。

ポート 5、6、7、8、A は液晶表示用セグメント端子、コモン端子と兼用されており、8 ビット単位で選択できます。

各ポートのブロック図は「付録 B. I/O ポートブロック図」を参照してください。

8. I/O ポート

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り替え 制御レジスタ
ポート 1	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P1 ₇ ~ P1 ₅ / IRQ ₃ ~ IRQ ₁ / TMIF, TMIC	外部割り込み 3 ~ 1 タイマイベント入力端子 TMIF, TMIC	PMR1 TCRF, TMC
		P1 ₄ /IRQ ₄ /ADTRG	外部割り込み 4 および A/D 変換器の外部トリガ	PMR1, AMR
		P1 ₃ /TMIG	タイマ G インพุットキャプチャ入力	PMR1
		P1 ₂ , P1 ₁ / TMOFH, TMOFL	タイマ F アウトプットコンペア出力	PMR1
		P1 ₀ /TMOW	タイマ A クロック出力	PMR1
ポート 3	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 大電流ポート 	P3 ₇ /AEVL P3 ₆ /AEVH P3 ₅ /TXD ₃₁ P3 ₄ /RXD ₃₁ P3 ₃ /SCK ₃₁	SCI31 のデータ出力 (TXD ₃₁)、データ入力 (RXD ₃₁)、クロック入出力 (SCK ₃₁) および非同期カウンタのイベント入力端子 AEVL、AEVH	PMR3 SCR31 SMR31
		P3 ₂ P3 ₁ /UD/EXCL P3 ₀ /PWM	タイマ C カウントアップ / ダウン選択入力および 14 ビット PWM 出力、外部サブクロック入力	PMR2 PMR3
ポート 4	<ul style="list-style-type: none"> 1 ビット入力専用ポート 3 ビット入出力ポート 	P4 ₃ /IRQ ₀	外部割り込み 0	PMR3
		P4 ₂ /TXD ₃₂ P4 ₁ /RXD ₃₂ P4 ₀ /SCK ₃₂	SCI32 のデータ出力 (TXD ₃₂)、データ入力 (RXD ₃₂)、クロック入出力 (SCK ₃₂)	SCR32 SMR32
ポート 5	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P5 ₇ ~ P5 ₀ / WKP ₇ ~ WKP ₀ / SEG ₈ ~ SEG ₁	ウェイクアップ入力 (WKP ₇ ~ WKP ₀)、セグメント出力 (SEG ₈ ~ SEG ₁)	PMR5 LPCR
ポート 6	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P6 ₇ ~ P6 ₀ / SEG ₁₆ ~ SEG ₉	セグメント出力 (SEG ₁₆ ~ SEG ₉)	LPCR
ポート 7	8 ビット入出力ポート	P7 ₇ ~ P7 ₀ / SEG ₂₄ ~ SEG ₁₇	セグメント出力 (SEG ₂₄ ~ SEG ₁₇)	LPCR
ポート 8	8 ビット入出力ポート	P8 ₇ /SEG ₃₂ P8 ₆ /SEG ₃₁ P8 ₅ /SEG ₃₀ P8 ₄ /SEG ₂₉ P8 ₃ ~ P8 ₀ / SEG ₂₈ ~ SEG ₂₅	セグメント出力 (SEG ₃₂ ~ SEG ₂₅)	LPCR
ポート A	4 ビット入出力ポート	PA ₃ ~ PA ₀ / COM ₄ ~ COM ₁	コモン出力 (COM ₄ ~ COM ₁)	LPCR
ポート B	8 ビット入力ポート	PB ₇ ~ PB ₀ / AN ₇ ~ AN ₀	A/D 変換器のアナログ入力	AMR

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

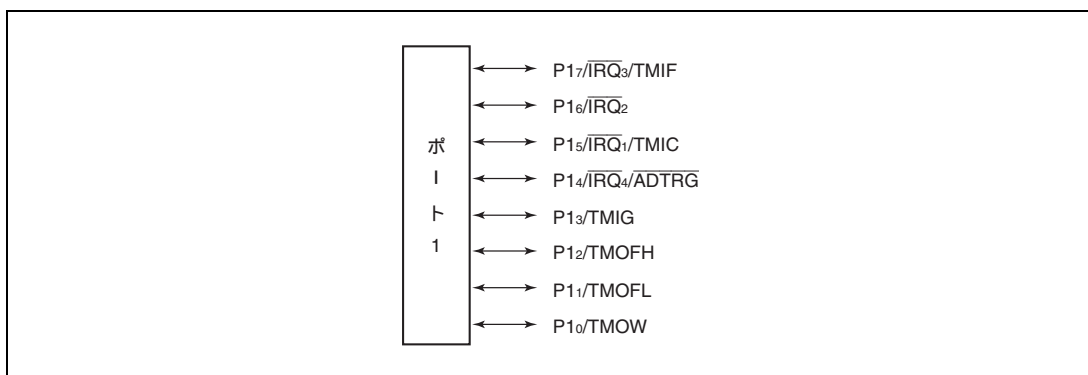


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFE0
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFC8

(1) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR1 は、ポート 1 の各端子 P17~P10 のデータを格納する 8 ビットのレジスタです。

PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状態の影響を受けません。PCR1 が 0 のとき、ポート 1 のリードを行うと、端子状態が読み出されます。

リセット時、PDR1 は H'00 に初期化されます。

8. I/O ポート

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR1 は、ポート 1 の各端子 P1₇~P1₀の入出力をビットごとに制御します。PCR1 に 1 をセットすると対応する P1₇~P1₀端子は出力端子となり、0 にクリアすると入力端子となります。PMR1 により当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。

リセット時、PCR1 は H'00 に初期化されます。

本レジスタはライト専用ですが、リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプリアップコントロールレジスタ 1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR1 は、ポート 1 の各端子 P1₇~P1₀のプリアップ MOS をビットごとに制御します。

PCR1 が 0 の状態で PUCR1 に 1 をセットすると対応するプリアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR1 は H'00 に初期化されます。

(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	IRQ4	TMIF	TMOFH	TMOFL	TMOW
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR1 は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子機能の切り替えを制御します。

リセット時、PMR1 は H'00 に初期化されます。

ビット 7 : P1₇/IRQ₃/TMIF 端子機能切り替え (IRQ3)

P1₇/IRQ₃/TMIF 端子を P1₇端子として使用するか、IRQ₃/TMIF 端子として使用するかを設定します。

ビット 7	説明
IRQ3	
0	P1 ₇ 入出力端子として機能 (初期値)
1	IRQ ₃ /TMIF 入力端子として機能

【注】 IRQ₃/TMIF 端子は立ち上がり/立ち下がりエッジセンスを選択できます。TMIF 端子の設定については、「9.4.2 (3) タイマコントロールレジスタ F (TCRF)」を参照してください。

ビット 6 : P1₆/IRQ₂ 端子機能切り替え (IRQ2)

P1₆/IRQ₂ を P1₆ 端子として使用するか、IRQ₂ 端子として使用するかを設定します。

ビット 6	説明	
IRQ2		
0	P1 ₆ 入出力端子として機能	(初期値)
1	IRQ ₂ 入力端子として機能	

【注】 IRQ₂ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

ビット 5 : P1₅/IRQ₁/TMIC 端子機能切り替え (IRQ1)

P1₅/IRQ₁/TMIC 端子を P1₅ 端子として使用するか、IRQ₁/TMIC 端子として使用するかを設定します。

ビット 5	説明	
IRQ1		
0	P1 ₅ 入出力端子として機能	(初期値)
1	IRQ ₁ /TMIC 入力端子として機能	

【注】 IRQ₁/TMIC 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

TMIC 端子の設定については、「9.3.2 (1) タイマモードレジスタ C (TMC)」を参照してください。

ビット 4 : P1₄/IRQ₄/ADTRG 端子機能切り替え (IRQ4)

P1₄/IRQ₄/ADTRG 端子を P1₄ 端子として使用するか、IRQ₄/ADTRG 端子として使用するかを設定します。

ビット 4	説明	
IRQ4		
0	P1 ₄ 入出力端子として機能	(初期値)
1	IRQ ₄ /ADTRG 入力端子として機能	

【注】 ADTRG 端子の設定については「12.3.2 外部トリガによる A/D 変換器の起動」を参照してください。

ビット 3 : P1₃/TMIG 端子機能切り替え (TMIG)

P1₃/TMIG 端子を P1₃ 端子として使用するか、TMIG 端子として使用するかを設定します。

ビット 3	説明	
TMIG		
0	P1 ₃ 入出力端子として機能	(初期値)
1	TMIG 入力端子として機能	

8. I/O ポート

ビット 2 : P1₂/TMOFH 端子機能切り替え (TMOFH)

P1₂/TMOFH 端子を P1₂ 端子として使用するか、TMOFH 端子として使用するかを設定します。

ビット 2	説明	
TMOFH		
0	P1 ₂ 入出力端子として機能	(初期値)
1	TMOFH 出力端子として機能	

ビット 1 : P1₁/TMOFL 端子機能切り替え (TMOFL)

P1₁/TMOFL 端子を P1₁ 端子として使用するか、TMOFL 端子として使用するかを設定します。

ビット 1	説明	
TMOFL		
0	P1 ₁ 入出力端子として機能	(初期値)
1	TMOFL 出力端子として機能	

ビット 0 : P1₀/TMOW 端子機能切り替え (TMOW)

P1₀/TMOW 端子を P1₀ 端子として使用するか、TMOW 端子として使用するかを設定します。

ビット 0	説明	
TMOW		
0	P1 ₀ 入出力端子として機能	(初期値)
1	TMOW 出力端子として機能	

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能

端子	選択方法と端子機能			
P1 ₇ /IRQ ₃ /TMIF	PMR1 の IRQ3、TCRF の CKSL2 ~ CKSL0、PCR1 の PCR1 ₇ の組み合わせで次のように切り替わります。			
	IRQ3	0		1
	PCR1 ₇	0	1	*
	CKSL2 ~ CKSL0	*		0**以外 0**
端子機能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子	IRQ ₃ /TMIF 入力端子
	【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を"0"にクリアして、IRQ ₃ 割り込みを禁止してください。			

端子	選択方法と端子機能																				
P1 ₆ /IRQ ₂	<p>PMR1 の IRQ2、PCR1 の PCR1₆の組み合わせで次のように切り替わります。</p> <table border="1"> <tr> <td>IRQ2</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>PCR1₆</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>端子機能</td> <td>P1₆入力端子</td> <td>P1₆出力端子</td> <td colspan="2">IRQ₂入力端子</td> </tr> </table>	IRQ2	0		1		PCR1 ₆	0	1	*		端子機能	P1 ₆ 入力端子	P1 ₆ 出力端子	IRQ ₂ 入力端子						
IRQ2	0		1																		
PCR1 ₆	0	1	*																		
端子機能	P1 ₆ 入力端子	P1 ₆ 出力端子	IRQ ₂ 入力端子																		
P1 ₅ /IRQ ₁ /TMIC	<p>PMR1 の IRQ1、TMC の TMC2 ~ TMC0、PCR1 の PCR1₅の組み合わせで、次のように切り替わります。</p> <table border="1"> <tr> <td>IRQ1</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>PCR1₅</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>TMC2 ~ TMC0</td> <td colspan="2">*</td> <td>111以外</td> <td>111</td> </tr> <tr> <td>端子機能</td> <td>P1₅入力端子</td> <td>P1₅出力端子</td> <td>IRQ₁入力端子</td> <td>IRQ₁/TMIC 入力端子</td> </tr> </table> <p>【注】 TMIC入力端子として使用する場合には、IENR1のIEN1を"0"にクリアして、IRQ₁割り込みを禁止してください。</p>	IRQ1	0		1		PCR1 ₅	0	1	*		TMC2 ~ TMC0	*		111以外	111	端子機能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIC 入力端子
IRQ1	0		1																		
PCR1 ₅	0	1	*																		
TMC2 ~ TMC0	*		111以外	111																	
端子機能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIC 入力端子																	
P1 ₄ /IRQ ₄ /ADTRG	<p>PMR1 の IRQ4 と AMR の TRGE、PCR1 の PCR1₄の組み合わせで、次のように切り替わります。</p> <table border="1"> <tr> <td>IRQ4</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>PCR1₄</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>TRGE</td> <td colspan="2">*</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P1₄入力端子</td> <td>P1₄出力端子</td> <td>IRQ₄入力端子</td> <td>IRQ₄/ADTRG 入力端子</td> </tr> </table> <p>【注】 ADTRG入力端子として使用する場合にはIENR1のIEN4を"0"にクリアしてIRQ₄割り込みを禁止してください。</p>	IRQ4	0		1		PCR1 ₄	0	1	*		TRGE	*		0	1	端子機能	P1 ₄ 入力端子	P1 ₄ 出力端子	IRQ ₄ 入力端子	IRQ ₄ /ADTRG 入力端子
IRQ4	0		1																		
PCR1 ₄	0	1	*																		
TRGE	*		0	1																	
端子機能	P1 ₄ 入力端子	P1 ₄ 出力端子	IRQ ₄ 入力端子	IRQ ₄ /ADTRG 入力端子																	
P1 ₃ /TMIG	<p>PMR1 の TMIG と PCR1 の PCR1₃の組み合わせで、次のように切り替わります。</p> <table border="1"> <tr> <td>TMIG</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>PCR1₃</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>端子機能</td> <td>P1₃入力端子</td> <td>P1₃出力端子</td> <td colspan="2">TMIG入力端子</td> </tr> </table>	TMIG	0		1		PCR1 ₃	0	1	*		端子機能	P1 ₃ 入力端子	P1 ₃ 出力端子	TMIG入力端子						
TMIG	0		1																		
PCR1 ₃	0	1	*																		
端子機能	P1 ₃ 入力端子	P1 ₃ 出力端子	TMIG入力端子																		
P1 ₂ /TMOFH	<p>PMR1 の TMOFH と PCR1 の PCR1₂の組み合わせで、次のように切り替わります。</p> <table border="1"> <tr> <td>TMOFH</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>PCR1₂</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>端子機能</td> <td>P1₂入力端子</td> <td>P1₂出力端子</td> <td colspan="2">TMOFH出力端子</td> </tr> </table>	TMOFH	0		1		PCR1 ₂	0	1	*		端子機能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子						
TMOFH	0		1																		
PCR1 ₂	0	1	*																		
端子機能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子																		

8. I/O ポート

端子	選択方法と端子機能			
P1 ₁ /TMOFL	PMR1 の TMOFL と PCR1 の PCR1 ₁ の組み合わせで、次のように切り替わります。			
	TMOFL	0		1
	PCR1 ₁	0	1	*
	端子機能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組み合わせで、次のように切り替わります。			
	TMOW	0		1
	PCR1 ₀	0	1	*
	端子機能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子

* : Don't care

8.2.4 端子状態

各動作モードにおけるポート 1 の端子状態を表 8.4 に示します。

表 8.4 ポート 1 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ /TMIF P1 ₆ /IRQ ₂ P1 ₅ /IRQ ₁ /TMIC P1 ₄ /IRQ ₄ /ADTRG P1 ₃ /TMIG P1 ₂ /TMOFH P1 ₁ /TMOFL P1 ₀ /TMOW	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.2.5 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR1 が 0 にクリアされている状態で PUCR1 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7~0)

8.3 ポート 3

8.3.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、図 8.2 に示す構成になっています。フラッシュメモリ版の P3₂ は、リセット期間中に内蔵プルアップ MOS が ON 状態になります。リセット解除後は OFF 状態となり、通常動作になります。外部回路を接続する場合には、その点をご考慮ください。また、マスク ROM 版の P3₂ は通常動作です。

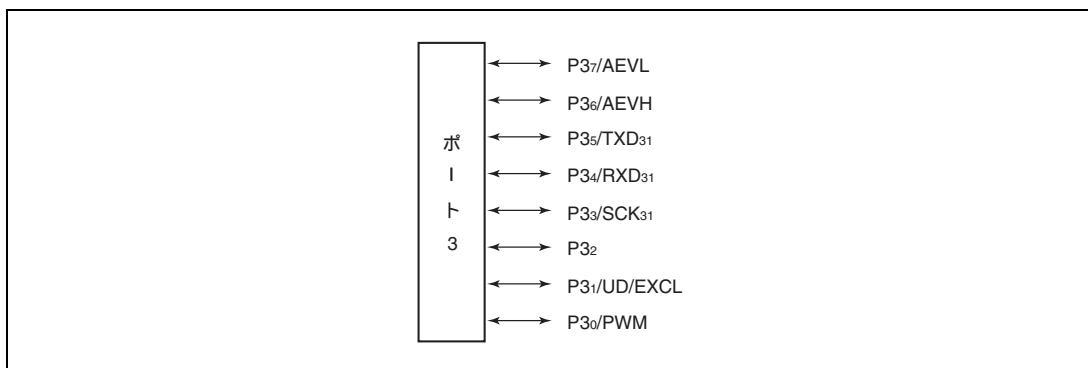


図 8.2 ポート 3 の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート 3 のレジスタ構成を示します。

表 8.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ 3	PCR3	W	H'00	H'FFE6
ポートプルアップコントロールレジスタ 3	PUCR3	R/W	H'00	H'FFE1
ポートモードレジスタ 2	PMR2	R/W	H'58	H'FFC9
ポートモードレジスタ 3	PMR3	R/W	H'04	H'FFCA

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3 は、ポート 3 の各端子 P3₇ ~ P3₀ のデータを格納する 8 ビットのレジスタです。

PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。

リセット時、PDR3 は H'00 に初期化されます。

8. I/O ポート

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR3 は、ポート 3 の各端子 P₃₇~P₃₀の入出力をビットごとに制御します。PCR3 に 1 をセットすると対応する P₃₇~P₃₀端子は出力端子となり、0 にクリアすると入力端子となります。PMR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。

リセット時、PCR3 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR3 は、ポート 3 の各端子 P₃₇~P₃₀のプルアップ MOS をビットごとに制御します。

PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR3 は H'00 に初期化されます。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	AEVL	AEVH	WDCKS	NCS	IRQ0	—	UD	PWM
初期値:	0	0	0	0	0	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

PMR3 は、8 ビットのリード/ライト可能なレジスタで、主にポート 3 の各端子機能の切り替えを制御します。

リセット時、PMR3 は H'04 に初期化されます。

ビット 7 : P₃₇/AEVL 端子機能切り替え (AEVL)

P₃₇/AEVL 端子を P₃₇端子として使用するか、AEVL 端子として使用するかを設定します。

ビット 7	説明
AEVL	
0	P ₃₇ 入出力端子として機能 (初期値)
1	AEVL 入力端子として機能

ビット 6 : P3₆/AEVH 端子機能切り替え (AEVH)

P3₆/AEVH 端子を P3₆ 端子として使用するか、AEVH 端子として使用するかを設定します。

ビット 6	説明	
AEVH		
0	P3 ₆ 入出力端子として機能	(初期値)
1	AEVH 入力端子として機能	

ビット 5 : ウォッチドッグタイマソースクロック選択 (WDCKS)

ウォッチドッグタイマのソースクロックの選択を行います。

ビット 5	説明	
WDCKS		
0	/8192 を選択	(初期値)
1	w/32 を選択	

ビット 4 : TMIG ノイズキャンセラセレクト (NCS)

インプットキャプチャ入力信号 (TMIG) のノイズ除去回路の制御を行います。

ビット 4	説明	
NCS		
0	ノイズ除去機能なし	(初期値)
1	ノイズ除去機能あり	

ビット 3 : P4₃/ $\overline{\text{IRQ}}_0$ 端子機能切り替え (IRQ₀)

P4₃/ $\overline{\text{IRQ}}_0$ 端子を P4₃ 端子として使用するか、 $\overline{\text{IRQ}}_0$ 端子として使用するかを設定します。

ビット 3	説明	
IRQ ₀		
0	P4 ₃ 入力端子として機能	(初期値)
1	$\overline{\text{IRQ}}_0$ 入力端子として機能	

ビット 2 : リザーブビット

本ビットはライト不可。

8. I/O ポート

ビット 1 : P3₁/UD 端子機能切り替え (UD)

P3₁/UD 端子を P3₁ 端子として使用するか、UD 端子として使用するかを設定します。

ビット 1	説明
UD	
0	P3 ₁ 入出力端子として機能 (初期値)
1	UD 入力端子として機能

ビット 0 : P3₀/PWM 端子機能切り替え (PWM)

P3₀/PWM 端子を P3₀ 端子として使用するか、PWM 端子として使用するかを設定します。

ビット 0	説明
PWM	
0	P3 ₀ 入出力端子として機能 (初期値)
1	PWM 出力端子として機能

(5) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	EXCL	—	—	—	—	—	—	—
初期値:	0	1	0	1	1	0	0	0
R/W :	R/W	R	R/W	R	R	R/W	R/W	R/W

PMR2 は、8 ビットのリード/ライト可能なレジスタで、P3₁ の外部クロック入力を制御します。

リセット時、PMR2 は H'58 に初期化されます。

ビット 7 : P3₁/UD/EXCL 端子機能切り替え (EXCL)

P3₁/UD/EXCL 端子を P3₁/UD 端子として使用するか、EXCL 端子として使用するかを設定します。EXCL 端子に設定した場合は外部クロックを入力してください。接続例については「第 4 章 クロック発振器」を参照してください。

ビット 7	説明
EXCL	
0	P3 ₁ /UD 入出力端子として機能 (初期値)
1	EXCL 入力端子として機能

ビット 6 : リザーブビット

リザーブビットです。本ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 5 : リザーブビット

本ビットはリード/ライト可能なリザーブビットです。

ビット4~3: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2~0: リザーブビット

本ビットはリード/ライト可能なりザーブビットです。

8.3.3 端子機能

表 8.6 にポート3の端子機能を示します。

表 8.6 ポート3の端子機能

端子	選択方法と端子機能		
P3 ₇ /AEVL	PMR3のAEVLとPCR3のPCR3 ₇ の組み合わせで、次のように切り替わります。		
	AEVL	0	1
	PCR3 ₇	0	1
端子機能	P3 ₇ 入力端子	P3 ₇ 出力端子	AEVL入力端子
P3 ₆ /AEVH	PMR3のAEVHとPCR3のPCR3 ₆ の組み合わせで、次のように切り替わります。		
	AEVH	0	1
	PCR3 ₆	0	1
端子機能	P3 ₆ 入力端子	P3 ₆ 出力端子	AEVH入力端子
P3 ₅ /TXD ₃₁	SCR31のTE ₃₁ 、SPCRのSPC31、PCR3のPCR3 ₅ の組み合わせで、次のように切り替わります。		
	SPC31	0	1
	TE ₃₁	0	1
	PCR3 ₅	0	1
端子機能	P3 ₅ 入力端子	P3 ₅ 出力端子	TXD ₃₁ 出力端子
P3 ₄ /RXD ₃₁	SCR31のRE ₃₁ とPCR3のPCR3 ₄ の組み合わせで、次のように切り替わります。		
	RE ₃₁	0	1
	PCR3 ₄	0	1
端子機能	P3 ₄ 入力端子	P3 ₄ 出力端子	RXD ₃₁ 入力端子

* : Don't care

8. I/O ポート

端子	選択方法と端子機能																									
P3 ₃ /SCK ₃₁	<p>SCR31 の CKE311、CKE310、SMR31 の COM3₁、および PCR3 の PCR3₃ で、次のように切り替わります。</p> <table border="1"> <tr> <td>CKE311</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>CKE310</td> <td colspan="2">0</td> <td>1</td> <td>*</td> </tr> <tr> <td>COM3₁</td> <td colspan="2">0</td> <td>1</td> <td>*</td> </tr> <tr> <td>PCR3₃</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>端子機能</td> <td>P3₃入力端子</td> <td>P3₃出力端子</td> <td>SCK₃₁出力端子</td> <td>SCK₃₁入力端子</td> </tr> </table>	CKE311	0			1	CKE310	0		1	*	COM3 ₁	0		1	*	PCR3 ₃	0	1	*		端子機能	P3 ₃ 入力端子	P3 ₃ 出力端子	SCK ₃₁ 出力端子	SCK ₃₁ 入力端子
CKE311	0			1																						
CKE310	0		1	*																						
COM3 ₁	0		1	*																						
PCR3 ₃	0	1	*																							
端子機能	P3 ₃ 入力端子	P3 ₃ 出力端子	SCK ₃₁ 出力端子	SCK ₃₁ 入力端子																						
P3 ₂	<p>PCR3 の PCR3₂ で、次のように切り替わります。</p> <table border="1"> <tr> <td>PCR3₂</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P3₂入力端子</td> <td>P3₂出力端子</td> </tr> </table>	PCR3 ₂	0	1	端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子																			
PCR3 ₂	0	1																								
端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子																								
P3 ₁ /UD/EXCL	<p>PMR2 の EXCL、PMR3 の UD、PCR3 の PCR3₁ の組み合わせで、次のように切り替わります。</p> <table border="1"> <tr> <td>EXCL</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>UD</td> <td colspan="2">0</td> <td>1</td> <td>*</td> </tr> <tr> <td>PCR3₁</td> <td>0</td> <td>1</td> <td>*</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P3₁入力端子</td> <td>P3₁出力端子</td> <td>UD入力端子</td> <td>EXCL出力端子</td> </tr> </table>	EXCL	0			1	UD	0		1	*	PCR3 ₁	0	1	*	*	端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	UD入力端子	EXCL出力端子					
EXCL	0			1																						
UD	0		1	*																						
PCR3 ₁	0	1	*	*																						
端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	UD入力端子	EXCL出力端子																						
P3 ₀ /PWM	<p>PMR3 の PWM および PCR3 の PCR3₀ の組み合わせで、次のように切り替わります。</p> <table border="1"> <tr> <td>PWM</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>PCR3₀</td> <td>0</td> <td>1</td> <td colspan="2">*</td> </tr> <tr> <td>端子機能</td> <td>P3₀入力端子</td> <td>P3₀出力端子</td> <td colspan="2">PWM出力端子</td> </tr> </table>	PWM	0			1	PCR3 ₀	0	1	*		端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子	PWM出力端子											
PWM	0			1																						
PCR3 ₀	0	1	*																							
端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子	PWM出力端子																							

* : Don't care

8.3.4 端子状態

各動作モードにおけるポート 3 の端子状態を表 8.7 に示します。

表 8.7 ポート 3 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₇ /AEVL P3 ₆ /AEVH P3 ₅ /TXD ₃₁ P3 ₄ /RXD ₃₁ P3 ₃ /SCK ₃₁ P3 ₂ * ³	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス* ¹	保持	動作	動作
P3 ₂ * ² P3 ₁ /UD/ EXCL P3 ₀ /PWM	ブルアップ MOS が ON 状態						
	ハイ インピー ダンス						

【注】 *1 プルアップ MOS が ON 状態では High レベル出力となります。

*2 マスク ROM 版に適用します。

*3 フラッシュメモリ版に適用します。

8.3.5 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n=7~0)

8.4 ポート 4

8.4.1 概要

ポート 4 は、3 ビットの入出力ポートと 1 ビットの入力専用ポートです。ポート 4 の各端子は、図 8.3 に示す構成になっています。

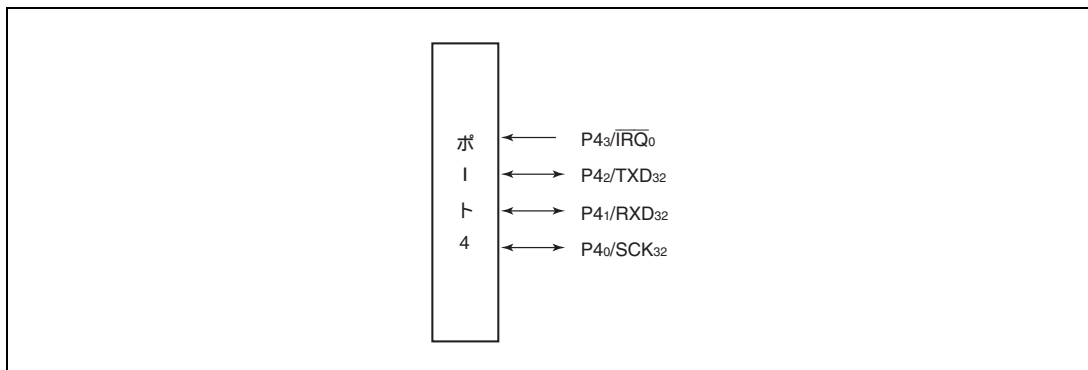


図 8.3 ポート 4 の端子構成

8.4.2 レジスタの構成と説明

表 8.8 にポート 4 のレジスタ構成を示します。

表 8.8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 4	PDR4	R/W	H'F8	H'FFD7
ポートコントロールレジスタ 4	PCR4	W	H'F8	H'FFE7

(1) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P43	P42	P41	P40
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	R	R/W	R/W	R/W

PDR4 は、ポート 4 の各端子 P4₂ ~ P4₀ のデータを格納する 8 ビットのレジスタです。PCR4 が 1 のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が 0 のとき、ポート 4 のリードを行うと、端子状態が読み出されます。

リセット時、PDR4 は H'F8 に初期化されます。

(2) ポートコントロールレジスタ 4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

PCR4 は、ポート 4 の各端子 P4₂~P4₀の入出力をビットごとに制御します。PCR4 に 1 をセットすると対応する P4₂~P4₀ 端子は出力端子となり、0 にクリアすると入力端子となります。SCR32 により当該端子が汎用入出力に設定されている場合には、PCR4 および PDR4 の設定が有効となります。

リセット時、PCR4 は HF8 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.4.3 端子機能

表 8.9 にポート 4 の端子機能を示します。

表 8.9 ポート 4 の端子機能

端子	選択方法と端子機能			
P4 ₃ /IRQ ₀	PMR3 の IRQ0 により、次のように切り替わります。			
	IRQ0	0	1	
	端子機能	P4 ₃ 入力端子	IRQ ₀ 入力端子	
P4 ₂ /TXD ₃₂	SCR32 の TE ₃₂ 、SPCR の SPC32、PCR4 の PCR4 ₂ の組み合わせで、次のように切り替わります。			
	SPC32	0	1	
	TE ₃₂	0	1	
	PCR4 ₂	0	1	*
	端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子	TXD ₃₂ 出力端子
P4 ₁ /RXD ₃₂	SCR32 の RE ₃₂ と PCR4 の PCR4 ₁ の組み合わせで、次のように切り替わります。			
	RE ₃₂	0	1	
	PCR4 ₁	0	1	*
	端子機能	P4 ₁ 入力端子	P4 ₁ 出力端子	RXD ₃₂ 入力端子
P4 ₀ /SCK ₃₂	SCR32 の CKE321、CKE320、SMR32 の COM32、および PCR4 の PCR4 ₀ の組み合わせで、次のように切り替わります。			
	CKE321	0		1
	CKE320	0	1	*
	COM32	0	1	*
	PCR4 ₀	0	1	*
	端子機能	P4 ₀ 入力端子	P4 ₀ 出力端子	SCK ₃₂ 出力端子

* : Don't care

8. I/O ポート

8.4.4 端子状態

各動作モードにおけるポート4の端子状態を表8.10に示します。

表 8.10 ポート4の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 ₃ /IRQ ₀ P4 ₂ /TXD ₃₂ P4 ₁ /RXD ₃₂ P4 ₀ /SCK ₃₂	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.5 ポート5

8.5.1 概要

ポート5は、8ビットの入出力ポートです。ポート5の各端子は、図8.4に示す構成になっています。

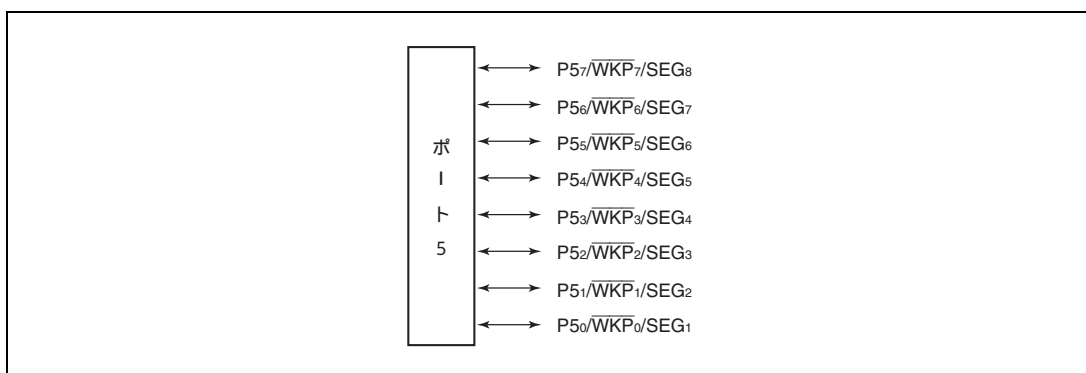


図 8.4 ポート5の端子構成

8.5.2 レジスタの構成と説明

表8.11にポート5のレジスタ構成を示します。

表 8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ5	PCR5	W	H'00	H'FFE8
ポートプルアップコントロールレジスタ5	PUCR5	R/W	H'00	H'FFE2
ポートモードレジスタ5	PMR5	R/W	H'00	H'FFCC

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 は、ポート 5 の各端子 P5₇~P5₀ のデータを格納する 8 ビットのレジスタです。

PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。

リセット時、PDR5 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5 は、ポート 5 の各端子 P5₇~P5₀ の入出力をビットごとに制御します。PCR5 に 1 をセットすると対応する P5₇~P5₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR5、LPCR の SGS3~SGS0 により当該端子が汎用入出力に設定されている場合には、PCR5 および PDR5 の設定が有効となります。

リセット時、PCR5 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 は、ポート 5 の各端子 P5₇~P5₀ のプルアップ MOS をビットごとに制御します。

PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR5 は H'00 に初期化されます。

(4) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5 は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の各端子機能の切り替えを制御します。

リセット時、PMR5 は H'00 に初期化されます。

8. I/O ポート

ビット n : $P5_n/\overline{WKP}_n/SEG_{n+1}$ 端子機能切り替え (WKP $_n$)

$P5_n/\overline{WKP}_n/SEG_{n+1}$ 端子を SEG_{n+1} 端子として使用しない場合に、 $P5_n$ 端子として使用するか、 \overline{WKP}_n 端子として使用するかを設定します。

ビット n	説明	
WKP $_n$		
0	$P5_n$ 入出力端子として機能	(初期値)
1	\overline{WKP}_n 入力端子として機能	

($n=7\sim 0$)

【注】 SEG_{n+1} としての使用については、「13.2.1 LCD ポートコントロールレジスタ (LPCR)」を参照してください。

8.5.3 端子機能

表 8.12 にポート 5 の端子機能を示します。

表 8.12 ポート 5 の端子機能

端子	選択方法と端子機能			
$P5_7/\overline{WKP}_7/SEG_8$ ~ $P5_0/\overline{WKP}_0/SEG_1$	PMR5 の WKP $_n$ 、PCR5 の PCR5 $_n$ 、および LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。 ($n=7\sim 0$)			
	SGS3 ~ SGS0	0***		1***
	WKP $_n$	0	1	*
	PCR5 $_n$	0	1	*
端子機能	$P5_n$ 入力端子	$P5_n$ 出力端子	\overline{WKP}_n 入力端子	SEG_{n+1} 出力端子

* : Don't care

8.5.4 端子状態

各動作モードにおけるポート 5 の端子状態を表 8.13 に示します。

表 8.13 ポート 5 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
$P5_7/\overline{WKP}_7/SEG_8$ ~ $P5_0/\overline{WKP}_0/SEG_1$	ハイ インピーダンス	保持	保持	ハイ インピーダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.5.5 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が 0 にクリアされている状態で PUCR5 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n=7~0)

8.6 ポート 6

8.6.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 の各端子は、図 8.5 に示す構成になっています。

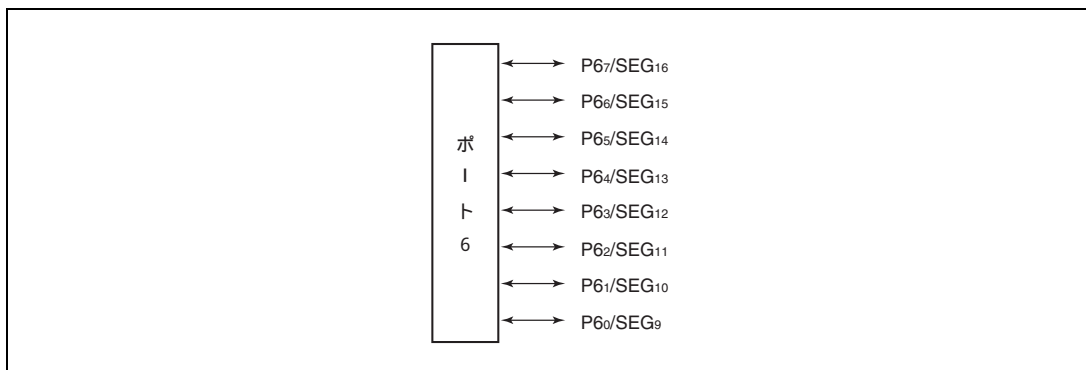


図 8.5 ポート 6 の端子構成

8.6.2 レジスタの構成と説明

表 8.14 にポート 6 のレジスタ構成を示します。

表 8.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ 6	PCR6	W	H'00	H'FFE9
ポートプルアップコントロールレジスタ 6	PUCR6	R/W	H'00	H'FFE3

8. I/O ポート

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6 は、ポート 6 の各端子 P67 ~ P60 のデータを格納する 8 ビットのレジスタです。

PCR6 が 1 のとき、ポート 6 のリードを行うと、PDR6 の値を直接リードします。そのため端子状態の影響を受けません。PCR6 が 0 のとき、ポート 6 のリードを行うと、端子状態が読み出されます。

リセット時、PDR6 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR6 は、ポート 6 の各端子 P67 ~ P60 の入出力をビットごとに制御します。PCR6 に 1 をセットすると対応する P67 ~ P60 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR6 および PDR6 の設定が有効となります。

リセット時、PCR6 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 6 (PUCR6)

ビット:	7	6	5	4	3	2	1	0
	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6 は、ポート 6 の各端子 P67 ~ P60 のプルアップ MOS をビットごとに制御します。

PCR6 が 0 の状態で PUCR6 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR6 は H'00 に初期化されます。

8.6.3 端子機能

表 8.15 にポート 6 の端子機能を示します。

表 8.15 ポート 6 の端子機能

端子	選択方法と端子機能									
P6 ₇ /SEG ₁₆ ~ P6 ₀ /SEG ₉	PCR6 の PCR6 _n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。 (n = 7 ~ 0) <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>SGS3 ~ SGS0</th> <th>00**, 010*</th> <th>011**, 1***</th> </tr> </thead> <tbody> <tr> <td>PCR6_n</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P6_n入力端子</td> <td>P6_n出力端子</td> </tr> </tbody> </table>	SGS3 ~ SGS0	00**, 010*	011**, 1***	PCR6 _n	0	1	端子機能	P6 _n 入力端子	P6 _n 出力端子
SGS3 ~ SGS0	00**, 010*	011**, 1***								
PCR6 _n	0	1								
端子機能	P6 _n 入力端子	P6 _n 出力端子								

* : Don't care

8.6.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.16 に示します。

表 8.16 ポート 6 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 ₇ /SEG ₁₆ ~ P6 ₀ /SEG ₉	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.6.5 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR6 が 0 にクリアされている状態で PUCR6 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR6 _n	0		1
PUCR6 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7 ~ 0)

8.7 ポート7

8.7.1 概要

ポート7は、8ビットの入出力ポートです。ポート7の各端子は、図8.6に示す構成になっています。

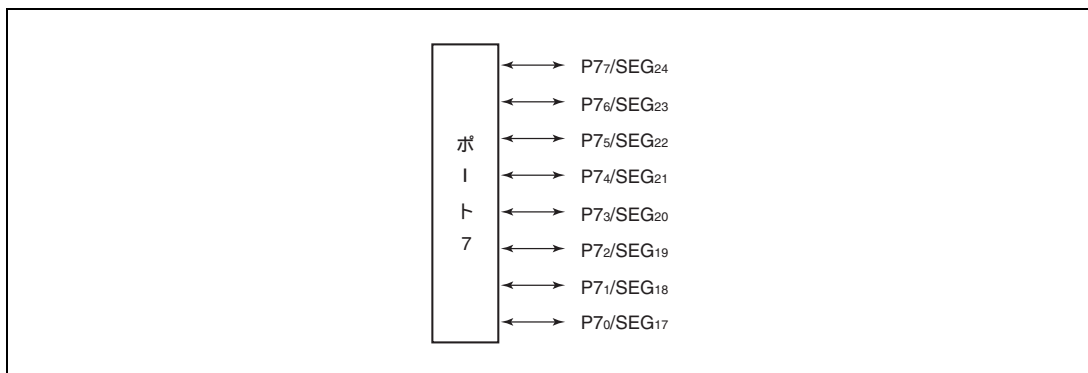


図 8.6 ポート7の端子構成

8.7.2 レジスタの構成と説明

表8.17にポート7のレジスタ構成を示します。

表 8.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ7	PCR7	W	H'00	H'FFEA

(1) ポートデータレジスタ7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7は、ポート7の各端子P77~P70のデータを格納する8ビットのレジスタです。

PCR7が1のとき、ポート7のリードを行うと、PDR7の値を直接リードします。そのため端子状態の影響を受けません。PCR7が0のとき、ポート7のリードを行うと、端子状態が読み出されます。

リセット時、PDR7はH'00に初期化されます。

(2) ポートコントロールレジスタ 7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR7 は、ポート 7 の各端子 P7₇ ~ P7₀ の入出力をビットごとに制御します。PCR7 に 1 をセットすると対応する P7₇ ~ P7₀ 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR7 および PDR7 の設定が有効となります。

リセット時、PCR7 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.7.3 端子機能

表 8.18 にポート 7 の端子機能を示します。

表 8.18 ポート 7 の端子機能

端子	選択方法と端子機能												
P7 ₇ /SEG ₂₄ ~ P7 ₀ /SEG ₁₇	<p>PCR7 の PCR7_n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。 (n = 7 ~ 0)</p> <table border="1"> <thead> <tr> <th>SGS3 ~ SGS0</th> <th colspan="2">00**</th> <th>01***、1***</th> </tr> </thead> <tbody> <tr> <td>PCR7_n</td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P7_n入力端子</td> <td>P7_n出力端子</td> <td>SEG_{n+17}出力端子</td> </tr> </tbody> </table>	SGS3 ~ SGS0	00**		01***、1***	PCR7 _n	0	1	*	端子機能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子
SGS3 ~ SGS0	00**		01***、1***										
PCR7 _n	0	1	*										
端子機能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子										

* : Don't care

8.7.4 端子状態

各動作モードにおけるポート 7 の端子状態を表 8.19 に示します。

表 8.19 ポート 7 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ /SEG ₂₄ ~ P7 ₀ /SEG ₁₇	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.8 ポート 8

8.8.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.7 に示す構成になっています。

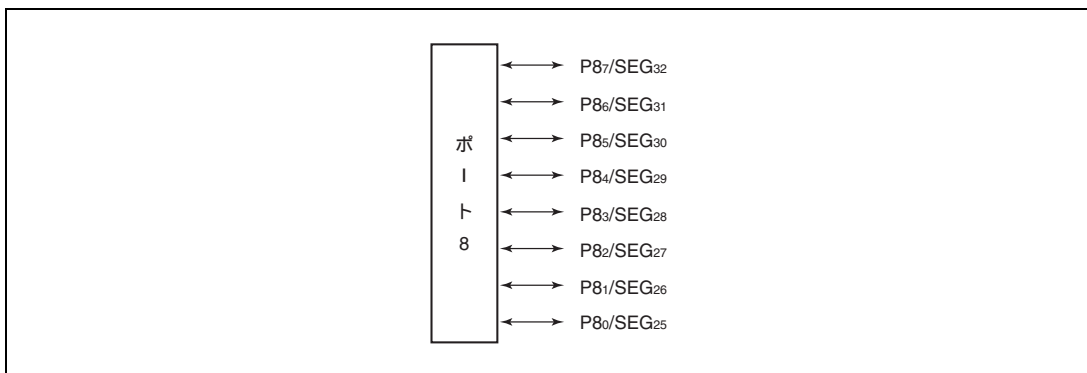


図 8.7 ポート 8 の端子構成

8.8.2 レジスタの構成と説明

表 8.20 にポート 8 のレジスタ構成を示します。

表 8.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P87	P86	P85	P84	P83	P82	P81	P80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8 は、ポート 8 の各端子 P8₇ ~ P8₀ のデータを格納する 8 ビットのレジスタです。

PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

リセット時、PDR8 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR8 は、ポート 8 の各端子 P₈₇ ~ P₈₀ の入出力をビットごとに制御します。PCR8 に 1 をセットすると対応する P₈₇ ~ P₈₀ 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR8 および PDR8 の設定が有効となります。

リセット時、PCR8 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.8.3 端子機能

表 8.21 にポート 8 の端子機能を示します。

表 8.21 ポート 8 の端子機能 (1)

端子	選択方法と端子機能		
P ₈₇ /SEG ₃₂	PCR8 の PCR ₈₇ と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。		
	SGS3 ~ SGS0	000*	
	PCR ₈₇	0	1
	端子機能	P ₈₇ 入力端子	P ₈₇ 出力端子
P ₈₆ /SEG ₃₁	PCR8 の PCR ₈₆ と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。		
	SGS3 ~ SGS0	000*	
	PCR ₈₆	0	1
	端子機能	P ₈₆ 入力端子	P ₈₆ 出力端子
P ₈₅ /SEG ₃₀	PCR8 の PCR ₈₅ と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。		
	SGS3 ~ SGS0	000*	
	PCR ₈₅	0	1
	端子機能	P ₈₅ 入力端子	P ₈₅ 出力端子
P ₈₄ /SEG ₂₉	PCR8 の PCR ₈₄ と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。		
	SGS3 ~ SGS0	000*	
	PCR ₈₄	0	1
	端子機能	P ₈₄ 入力端子	P ₈₄ 出力端子

* : Don't care

8. I/O ポート

表 8.21 ポート 8 の端子機能 (2)

端子	選択方法と端子機能		
P8 ₇ /SEG ₂₈ ~ P8 ₀ /SEG ₂₅	PCR8 の PCR8 _n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。 (n = 3 ~ 0)		
	SGS3 ~ SGS0	000*	
	PCR8 _n	0	1
	端子機能	P8 _n 入力端子	P8 _n 出力端子
			001*、01**、1***
			*
			SEG _{n+25} 出力端子

* : Don't care

8.8.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.22 に示します。

表 8.22 ポート 8 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇ /SEG ₃₂ P8 ₆ /SEG ₃₁ P8 ₅ /SEG ₃₀ P8 ₄ /SEG ₂₉ P8 ₃ /SEG ₂₈ ~ P8 ₀ /SEG ₂₅	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.9 ポート A

8.9.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A の各端子は、図 8.8 に示す構成になっています。

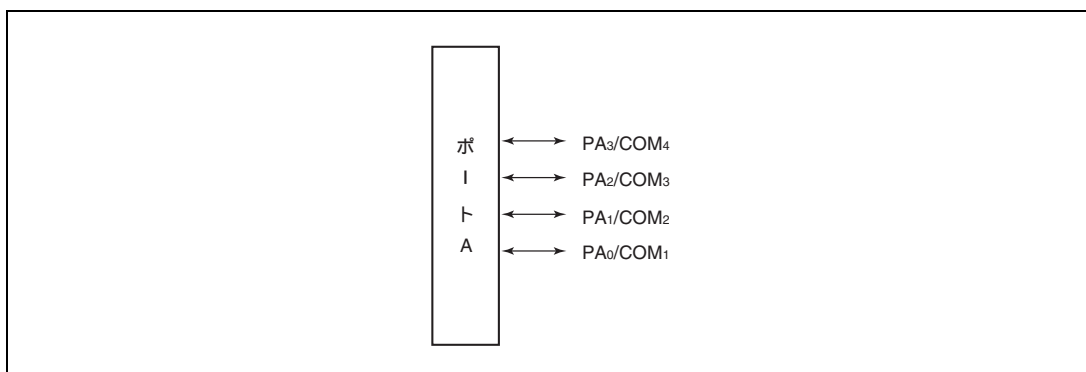


図 8.8 ポート A の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート A のレジスタ構成を示します。

表 8.23 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ A	PDRA	R/W	H'F0	H'FFDD
ポートコントロールレジスタ A	PCRA	W	H'F0	H'FFED

(1) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

PDRA は、ポート A の各端子 PA₃~PA₀ のデータを格納する 8 ビットのレジスタです。

PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子状態の影響を受けません。PCRA が 0 のとき、ポート A のリードを行うと、端子状態が読み出されます。

リセット時、PDRA は H'F0 に初期化されます。

(2) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	W	W	W	W

PCRA は、ポート A の各端子 PA₃~PA₀ の入出力をビットごとに制御します。PCRA に 1 をセットすると対応する PA₃~PA₀ 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR により当該端子が汎用入出力に設定されている場合には、PCRA および PDRA の設定が有効となります。

リセット時、PCRA は H'F0 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8. I/O ポート

8.9.3 端子機能

表 8.24 にポート A の端子機能を示します。

表 8.24 ポート A の端子機能

端子	選択方法と端子機能			
PA ₃ /COM ₄	PCRA の PCRA ₃ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000	0000	0000以外
	PCRA ₃	0	1	*
	端子機能	PA ₃ 入力端子	PA ₃ 出力端子	COM ₄ 出力端子
PA ₂ /COM ₃	PCRA の PCRA ₂ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000	0000	0000以外
	PCRA ₂	0	1	*
	端子機能	PA ₂ 入力端子	PA ₂ 出力端子	COM ₃ 出力端子
PA ₁ /COM ₂	PCRA の PCRA ₁ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000	0000	0000以外
	PCRA ₁	0	1	*
	端子機能	PA ₁ 入力端子	PA ₁ 出力端子	COM ₂ 出力端子
PA ₀ /COM ₁	PCRA の PCRA ₀ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000		0000以外
	PCRA ₀	0	1	*
	端子機能	PA ₀ 入力端子	PA ₀ 出力端子	COM ₁ 出力端子

* : Don't care

8.9.4 端子状態

各動作モードにおけるポート A の端子状態を表 8.25 に示します。

表 8.25 ポート A の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₃ /COM ₄ PA ₂ /COM ₃ PA ₁ /COM ₂ PA ₀ /COM ₁	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.10 ポート B

8.10.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.9 に示す構成になっています。

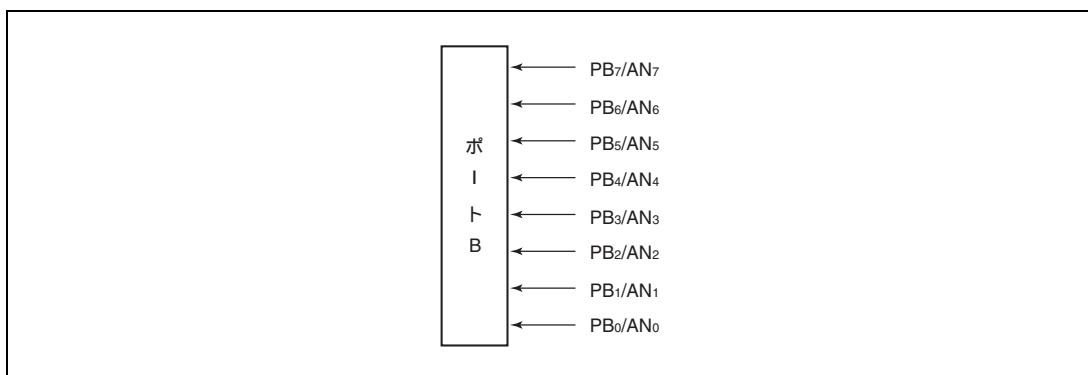


図 8.9 ポート B の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート B のレジスタ構成を示します。

表 8.26 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ B	PDRB	R	不定	H'FFDE

(1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W :	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。

8.11 入出力データ反転機能

8.11.1 概要

入力端子の RXD₃₁、RXD₃₂ と出力端子の TXD₃₁、TXD₃₂ はデータを反転させて取り扱うことが可能です。

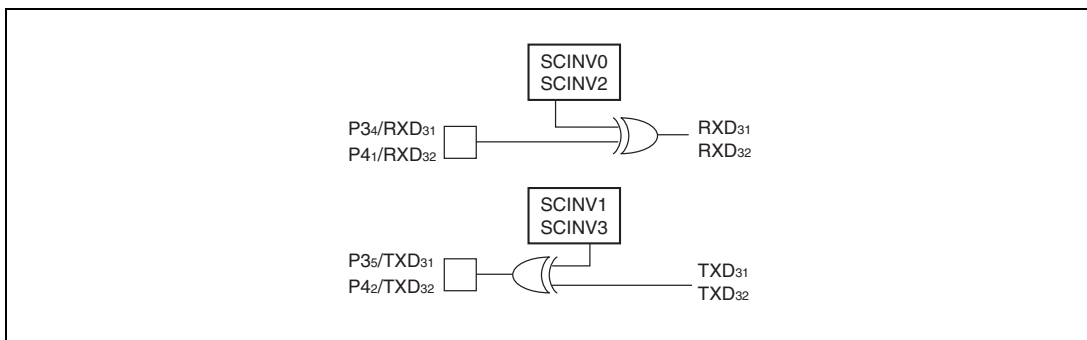


図 8.10 入出力データ反転機能

8.11.2 レジスタの構成と説明

表 8.27 に入出力データ反転機能のレジスタ構成を示します。

表 8.27 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルポートコントロールレジスタ	SPCR	R/W	H'00	H'FF91

(1) シリアルポートコントロールレジスタ (SPCR)

ビット:	7	6	5	4	3	2	1	0
			SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0
初期値:	1	1	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

SPCR は、8 ビットのリード/ライト可能なレジスタで、RXD₃₁、RXD₃₂、TXD₃₁、TXD₃₂、端子の入出力データ反転切り替えを行います。リセット時、SPCR は H'00 に初期化されます。

ビット 7~6: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 5 : P4₂/TXD₃₂ 端子機能切り替え

P4₂/TXD₃₂ 端子を P4₂ 端子として使用するか TXD₃₂ 端子として使用するかを設定します。

ビット 5	説明
SPC32	
0	P4 ₂ 入出力端子として機能。 (初期値)
1	TXD ₃₂ 出力端子として機能。*

【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

ビット 4 : P3₅/TXD₃₁ 端子機能切り替え

P3₅/TXD₃₁ 端子を P3₅ 端子として使用するか TXD₃₁ 端子として使用するかを設定します。

ビット 4	説明
SPC31	
0	P3 ₅ 入出力端子として機能。 (初期値)
1	TXD ₃₁ 出力端子として機能。*

【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

ビット 3 : TXD₃₂ 端子出力データ反転切り替え

TXD₃₂ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット 3	説明
SCINV3	
0	TXD ₃₂ の出力データを反転しない。 (初期値)
1	TXD ₃₂ の出力データを反転する。

ビット 2 : RXD₃₂ 端子入力データ反転切り替え

RXD₃₂ 端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット 2	説明
SCINV2	
0	RXD ₃₂ の入力データを反転しない。 (初期値)
1	RXD ₃₂ の入力データを反転する。

8. I/O ポート

ビット 1 : TXD₃₁ 端子出力データ反転切り替え

TXD₃₁ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット 1	説明
SCINV1	
0	TXD ₃₁ の出力データを反転しない。 (初期値)
1	TXD ₃₁ の出力データを反転する。

ビット 0 : RXD₃₁ 端子入力データ反転切り替え

RXD₃₁ 端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット 0	説明
SCINV0	
0	RXD ₃₁ の入力データを反転しない。 (初期値)
1	RXD ₃₁ の入力データを反転する。

8.11.3 シリアルポートコントロールレジスタを書き換える際の注意事項

シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換え直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

8.12 使用上の注意事項

8.12.1 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、フローティング端子はプルアップまたはプルダウンしてください。

未使用端子が入力設定の場合は下記いずれかの設定にしてください。

1. 内蔵プルアップMOSで V_{CC} にプルアップ
2. 外部に100k 程度の抵抗をつけて V_{CC} にプルアップ
3. 外部に100k 程度の抵抗をつけて V_{CC} にプルダウン
4. A/D変換器の端子と兼用している端子は AV_{CC} にプルアップ

未使用端子が出力設定の場合は下記のいずれかの設定にしてください。

1. 未使用端子をHighレベル出力にし、外部に100k 程度の抵抗を付けて V_{CC} にプルアップ
2. 未使用端子をLowレベル出力にし、外部に100k 程度の抵抗を付けて V_{SS} にプルダウン

9. タイマ

9.1 概要

本 LSI は 6 本のタイマ (タイマ A、C、F、G、ウォッチドッグタイマ、非同期イベントカウンタ) を内蔵しています。

各タイマの機能概要を表 9.1 に示します。

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形出力端子	備考
タイマ A	・ 8 ビットのタイマ ・ インターバル機能	/8 ~ /8192 (8 種類)			
	・ 時計用タイムベース機能	$w/128$ (オーバフロー周 期は 4 種類選択可)			
	・ クロック出力機能	/4 ~ /32 w 、 $w/4$ ~ $w/32$ (9 種類)		TMOW	
タイマ C	・ 8 ビットのタイマ ・ インターバル機能 ・ イベントカウント機能 ・ カウントアップ / ダウン 選択可能	/4 ~ /8192 $w/4$ (7 種類)	TMIC		カウントアップ / ダ ウンはソフトウェア 制御、ハードウェア 制御とも可能
タイマ F	・ 16 ビットのタイマ ・ イベントカウント機能 ・ 独立した 2 本の 8 ビット タイマとして使用可能 ・ アウトプットコンペア出 力機能	/4 ~ /32、 $w/4$ (4 種類)	TMIF	TMOFL TMOFH	
タイマ G	・ 8 ビットのタイマ ・ インพุットキャプチャ機 能 ・ インターバル機能	/2 ~ /64 $w/4$ (4 種類)	TMIG		・ カウンタのクリア 指定が可能 ・ キャプチャ入力信 号のノイズ除去回 路内蔵
ウォッチ ドッグ タイマ	・ 8 ビットカウンタのオー バフローでリセット信号 を発生	/8192 $w/32$			
非同期 イベント カウンタ	・ 16 ビットのカウンタ ・ 独立した 2 本の 8 ビット カウンタとして使用可能 ・ w と非同期のイベ ント機能		AEVL AEVH		

9.2 タイマ A

9.2.1 概要

タイマ A はインターバル/時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW 端子より、32.768kHz を分周したクロック、また 38.4kHz の水晶発振器を接続した場合は、38.4kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマ A の特長を以下に示します。

- 8種類の内部クロックを選択可能

8種類の内部クロック (/8192、 /4096、 /2048、 /512、 /256、 /128、 /32、 /8) からの選択が可能です。

- 4種類のオーバーフロー周期を選択可能

時計用タイムベースとして4種類のオーバーフロー周期(1s、0.5s、0.25s、31.25ms)の選択が可能です(32.768kHz 水晶発振器を使用)。

- カウンタのオーバーフローで割り込みを発生

- タイマ出力クロックを選択可能

TMOW端子から出力するクロックとして、32.768kHzの分周なし、32、16、8、4分周したクロック(1kHz、2kHz、4kHz、8kHz、32.768kHz)または、38.4kHzの分周なし、32、16、8、4分周したクロック(1.2kHz、2.4kHz、4.8kHz、9.6kHz、38.4kHz)、およびシステムクロックを32、16、8、4分周したクロックの計9種類の選択が可能です。

- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

(2) ブロック図

タイマ A のブロック図を図 9.1 に示します。

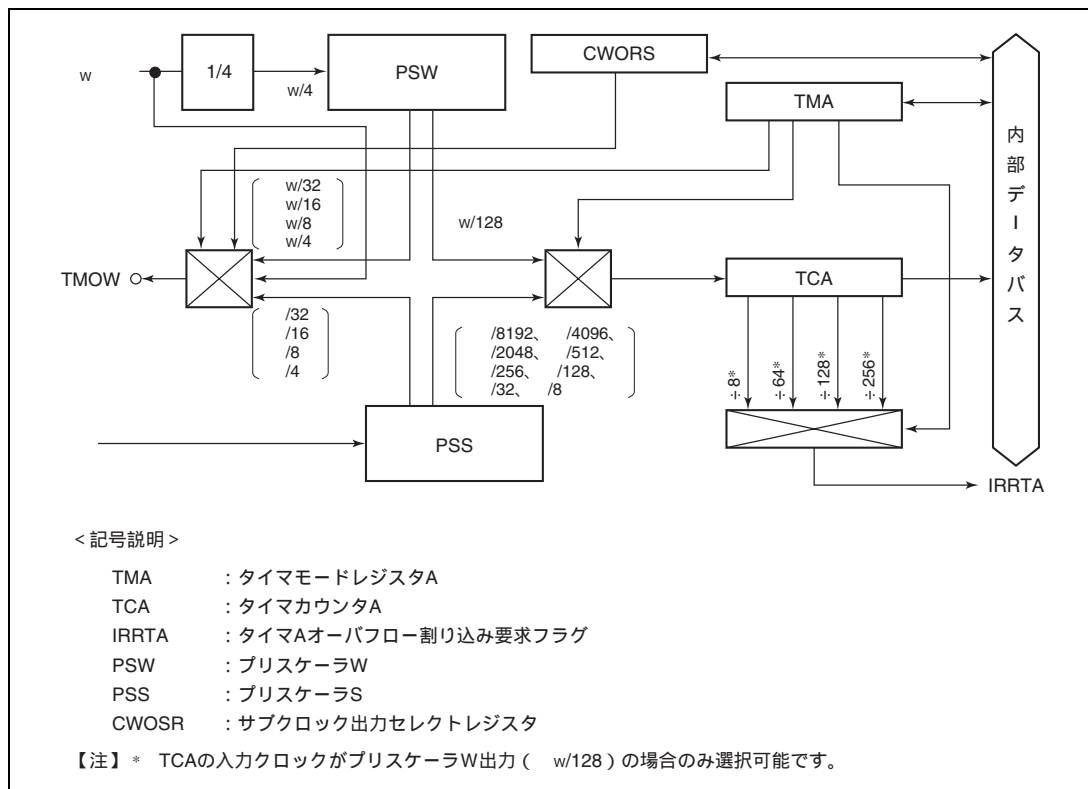


図 9.1 タイマ A ブロック図

(3) 端子構成

タイマ A の端子構成を表 9.2 に示します。

表 9.2 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマ A 出力回路により生成された波形の出力端子

9. タイマ

(4) レジスタ構成

タイマ A のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'10	H'FFB0
タイマカウンタ A	TCA	R	H'00	H'FFB1
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA
サブクロック出力セレクトレジスタ	CWOSR	R/W	H'FE	H'FF92

9.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMA は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMA は H'10 に初期化されます。

ビット 7~5 : クロック出力セレクト (TMA7~TMA5)

TMOW 端子から出力する 8 種類のクロックを選択します。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHz または 38.4kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。w はリセット以外のすべてのモードで出力されます。

CWOSR	TMA			説明
	ビット 7	ビット 6	ビット 5	
CWOS	TMA7	TMA6	TMA5	
0	0	0	0	/32 (初期値)
			1	/16
		1	0	/8
			1	/4
	1	0	0	w/32
			1	w/16
		1	0	w/8
			1	w/4
1	*	*	*	w

* : Don't care

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCA に入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 /8192	インターバル
			1	PSS、 /4096	
		1	0	PSS、 /2048	
			1	PSS、 /512	
	1	0	0	PSS、 /256	
			1	PSS、 /128	
		1	0	PSS、 /32	
			1	PSS、 /8	
1	0	0	0	PSW、 1s	時計用 タイムベース (32.768kHz 使用時)
			1	PSW、 0.5s	
		1	0	PSW、 0.25s	
			1	PSW、 0.03125s	
	1	0	0	PSW、 TCA リセット	
			1		
		1	0		
			1		

(2) タイマカウンタ A (TCA)

ビット:	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3～TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時では TCA をリードすることはできません。TCA がオーバフローすると、IRR1 の IRRTA が 1 にセットされます。

TCA は TMA の TMA3～TMA2 を 11 にセットすることでクリアできます。

リセット時、TCA は H'00 に初期化されます。

9. タイマ

(3) クロック停止レジスタ1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマ A に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット0: タイマ A モジュールスタンバイモード制御 (TACKSTP)

タイマ A をモジュールスタンバイモードに設定および解除を制御します。

TACKSTP	説明
0	タイマ A はモジュールスタンバイモードに設定される
1	タイマ A のモジュールスタンバイモードは解除される (初期値)

(4) サブクロック出力セレクトレジスタ (CWOSR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CWOS
初期値:	1	1	1	1	1	1	1	0
R/W :	R	R	R	R	R	R	R	R/W

CWOSR は、8 ビットのリード/ライト可能なレジスタで、TMOW 端子から出力するクロックを選択します。リセット時、CWOSR は H'FE に初期化されます。

ビット7~1: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット0: TMOW 端子クロックセレクト

TMOW 端子から出力するクロックを選択します。

ビット0	説明
CWOS	
0	タイマ A が出力するクロックを出力する。(TMA 参照) (初期値)
1	w を出力する。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を 0 にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2~TMA0 により、プリスケラ S の出力する 8 種類の内部クロックを選択できます。TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバフローし、IRR1 の IRRTA が 1 にセットされます。このとき、IENR1 の IENTA が 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCA のカウント値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】 * 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) 時計用タイムベース動作

TMA の TMA3 を 1 にセットすると、タイマ A はプリスケラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = 1) に TMA2 を 1 にすると、TCA およびプリスケラ W は、ともに H'00 にクリアされます。

(3) クロック出力の動作

PMR1 の TMOW を 1 にセットすると、TMOW 端子からクロックが出力されます。端子から出力されるクロックは、TMA の TMA7~TMA5 と CWOSR の CWOS により、9 種類のクロックが選択できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHz または 38.4kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。32.768kHz または 38.4kHz のクロックはリセット状態以外のすべてのモードで出力されます。

9. タイマ

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.4 に示します。

表 9.4 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止	停止
	時計用 タイムベース	リセット	動作	動作	動作	動作	動作	停止	停止
TMA, CWOSR		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 アクティブモード、スリープモード時に、TCA の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/ (s)$ の誤差が生じます。

9.2.5 使用上の注意事項

クロック停止レジスタ 1 (CKSTPR1) のビット 0 (TACKSTP) が 0 の状態では、タイマモードレジスタ A (TMA) のビット 3 を書き換えることができません。

タイマモードレジスタ A (TMA) のビット 3 (TMA3) を書き換える際はクロック停止レジスタ 1 (CKSTPR1) のビット 0 (TACKSTP) に 1 をセットしてから行ってください。

9.3 タイマ C

9.3.1 概要

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのタイマです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ C の特長を以下に示します。

- 8種類のクロックを選択可能

7種類の内部クロック ($/8192$ 、 $/2048$ 、 $/512$ 、 $/64$ 、 $/16$ 、 $/4$ 、 $w/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能) 。

- カウンタのオーバーフローで割り込みを発生

- アップ / ダウンカウンタ切り替え可能

ハードウェアまたはソフトウェアにより、アップ / ダウンカウンタの切り替えが可能です。

- サブアクティブモード、サブスリープモードで動作

内部クロックとして $w/4$ を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

9. タイマ

(2) ブロック図

タイマCのブロック図を図9.2に示します。

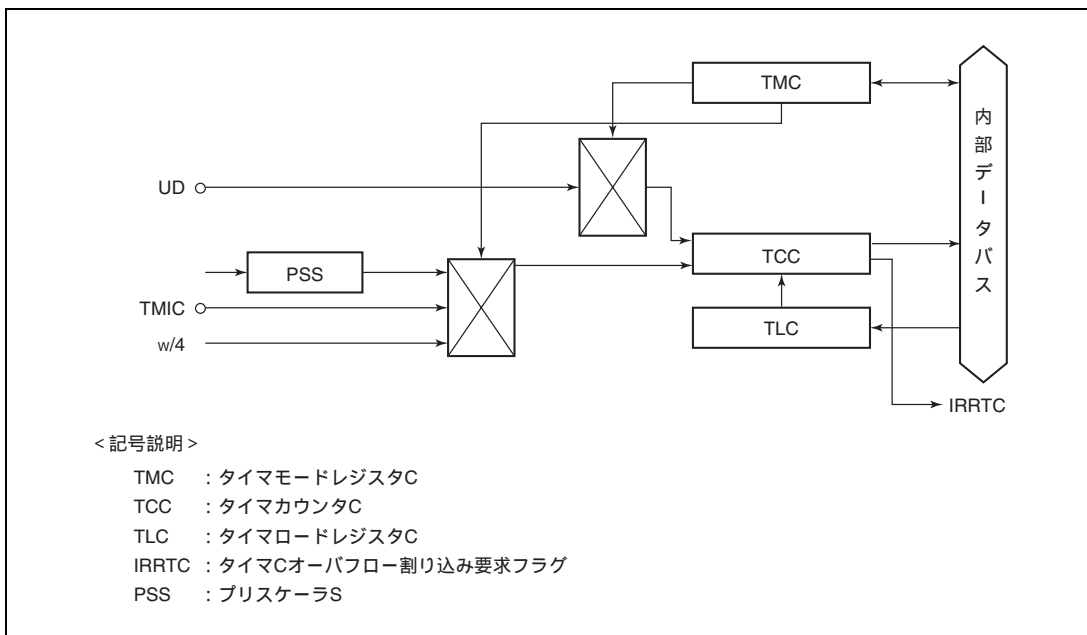


図9.2 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表9.5に示します。

表9.5 端子構成

名称	略称	入出力	機能
タイマC イベント入力	TMIC	入力	TCCに入力するイベント入力端子
タイマC アップ/ダウン セレクト	UD	入力	タイマCのアップ/ダウンカウントを選択

(4) レジスタ構成

タイマCのレジスタ構成を表9.6に示します。

表 9.6 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタC	TMC	R/W	H'18	H'FFB4
タイマカウンタC	TCC	R	H'00	H'FFB5
タイマロードレジスタC	TLC	W	H'00	H'FFB5
クロック停止レジスタ1	CKSTPR1	R/W	H'FF	H'FFFA

9.3.2 各レジスタの説明

(1) タイマモードレジスタC (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMCは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMCはH'18に初期化されます。

ビット7: オートリロード機能選択 (TMC7)

タイマCのオートリロード機能を選択します。

ビット7	説明
TMC7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6、5: カウンタアップ/ダウン制御 (TMC6、TMC5)

TCCのアップ/ダウン制御をUD端子入力によるハードウェア制御とするか、アップカウンタとするかダウンカウンタとするかを選択します。

ビット6	ビット5	説明
TMC6	TMC5	
0	0	TCCはアップカウンタ (初期値)
0	1	TCCはダウンカウンタ
1	*	UD端子入力によるハードウェア制御 UD端子入力がHighレベル: ダウンカウンタ UD端子入力がLowレベル: アップカウンタ

*: Don't care

9. タイマ

ビット4~3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2~0：クロックセレクト (TMC2~TMC0)

TMC2~TMC0は、TCCに入力するクロックを選択します。外部からのイベント入力は、立ち上がり/立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMC2	TMC1	TMC0	
0	0	0	内部クロック /8192 でカウント (初期値)
0	0	1	内部クロック /2048 でカウント
0	1	0	内部クロック /512 でカウント
0	1	1	内部クロック /64 でカウント
1	0	0	内部クロック /16 でカウント
1	0	1	内部クロック /4 でカウント
1	1	0	内部クロック $w/4$ でカウント
1	1	1	外部イベント (TMIC) を立ち上がり/立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG1により設定します。詳細は、「3.3.2 (1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。なお、TMC2~TMC0を111に設定する前に必ずポートモードレジスタ1 (PMR1) のIRQ1を1にセットしてください。

(2) タイマカウンタC (TCC)

ビット:	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ/ダウンカウンタで、入力する内部クロック/外部イベントによりカウントアップ/ダウンされます。入力するクロックは、TMCのTMC2~TMC0により選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバフロー (H'FF H'00またはH'FF TLCの設定値)、またはアンダフロー (H'00 H'FFまたはH'00 TLCの設定値)すると、IRR2のIRR2Cが1にセットされます。

TCCは、TLCと同一のアドレスに割り付けられています。

リセット時、TCCはH'00に初期化されます。

(3) タイマロードレジスタ C (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLC は、8 ビットのライト専用のレジスタで、TCC のリロード値を設定します。TLC にリロード値を設定すると、同時にその値は TCC にもロードされ、TCC はその値からカウントアップ/ダウンを開始します。また、オートリロード動作時、TCC がオーバフロー/アンダフローすると、TCC に TLC の値がロードされます。したがって、オーバフロー/アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLC は、TCC と同一のアドレスに割り付けられています。

リセット時、TLC は H'00 に初期化されます。

(4) クロック停止レジスタ 1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマ C に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 1: タイマ C モジュールスタンバイモード制御 (TCCKSTP)

タイマ C をモジュールスタンバイモードに設定および解除を制御します。

TCCKSTP	説明
0	タイマ C はモジュールスタンバイモードに設定される
1	タイマ C のモジュールスタンバイモードは解除される (初期値)

9.3.3 動作説明

(1) インターバルタイマの動作

TMC の TMC7 を 0 にクリアすると、タイマ C は 8 ビットインターバルタイマとして動作します。

リセット時、TCC は H'00、TMC は H'18 に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマ C の動作クロックは、TMC の TMC2 ~ TMC0 により、プリスケラ S、W の出力する 7 種類の内部クロック、TMIC 入力端子からの外部クロックを選択できます。

また、TCC のカウントアップ/ダウン制御は、TMC の TMC6、TMC5 により、ソフトウェア制御およびハードウェア制御のいずれかが選択可能です。

TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー（アンダフロー）し、IRR2 の IRRTC が 1 にセットされます。このとき、IENR2 の IENTC が 1 ならば CPU に割り込みを要求します。

オーバフロー（アンダフロー）時には、TCC のカウント値は H'00 (H'FF) に戻り、再びカウントアップ（ダウン）を開始します。

インターバル動作時 (TMC7=0) に TLC を設定すると、同時に TCC にも TLC の値をロードします。

【注】 * 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMC の TMC7=1 にセットすると、タイマ C は 8 ビットオートリロードタイマとして動作します。

TLC にリロード値を設定すると、同時にその値が TCC にロードされ、TCC はその値からカウントアップ/ダウンを開始します。TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー（アンダフロー）し、TLC の値が TCC にロードされ、その値からカウントアップ（ダウン）を続けます。したがって、TLC の値により、オーバフロー（アンダフロー）周期を 1~256 入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ/ダウン制御、割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMC7=1) に TLC の値を再設定すると、同時に TCC にも TLC の値をロードします。

(3) イベントカウンタ

タイマ C は、TMIC 端子をイベント入力端子とするイベントカウンタとして動作します。TMC の TMC2 ~ TMC0 を 111 に設定すると、外部イベント動作が選択され、TCC は、TMIC 端子入力の立ち上がり/立ち下がりエッジでカウントアップ/ダウンします。

外部イベント入力を使用する場合は、PMR1 の IRQ1 を 1 にセットし、かつ IENR1 の IEN1 を 0 として IRQ₁ 割り込み要求を禁止してください。

(4) ハードウェアによる TCC アップ/ダウン制御

タイマ C は、UD 端子入力による TCC のカウントアップ/ダウン制御ができます。TMC の TMC6 を 1 とすると、UD 端子入力が、High レベルならばダウンカウンタ、Low レベルならばアップカウンタとして動作します。

UD 端子入力を使用する場合は、PMR3 の UD を 1 にセットしてください。

9.3.4 タイマ C の動作モード

タイマ C の動作モードを表 9.7 に示します。

表 9.7 タイマ C の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール スタンバイ
TCC	インターバル	リセット	動作	動作	停止	動作 / 停止*	動作 / 停止*	停止	停止
	オートリロード	リセット	動作	動作	停止	動作 / 停止*	動作 / 停止*	停止	停止
TMC		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に、TCC の内部クロックとして $w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/ (s)$ の誤差が生じます。

サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $w/4$ を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック $_{SUB}$ として $w/8$ を選択時にカウンタの内部クロックとして $w/4$ を選択した場合、カウンタの下位 2 ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。

9.3.5 使用上の注意事項

タイマ C の動作について次の事項にご注意ください。

(1) 外部イベント入力時の誤カウント

次の条件に当てはまる場合、タイマカウンタの誤カウントが発生します。

(条件)

- サブスリープモードで外部イベント (TMC) を使用する場合。

(現象)

- 1回の外部イベント入力に対し、2回のカウントアップ / ダウンが行われる。

(発生確率の目安)

外部イベント入力が内部動作と非同期の場合、次の式が発生確率の目安になります。

$$\text{発生確率目安 } P = 30\text{ns}/t_{\text{subcyc}}$$

たとえば、 $t_{\text{subcyc}} = 61.06\mu\text{s}$ (サブクロック $w/2$) の場合、 $P = 0.0005$ (0.05%) です。外部イベントを 2000 回入力すると、そのうちの 1 回は +2 (または -2) をカウントする可能性があります。

本現象は内部回路の構成に由来するため回避することは困難です。したがって、カウント精度を要求する用途では使用しないようにしてください。

9.4 タイマ F

9.4.1 概要

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能なほか、コンペアマッチ信号によりカウンタのリセット、割り込み要求、トグル出力などが可能です。また、2 本の独立した 8 ビットタイマ（タイマ FH、タイマ FL）としても動作可能です。

(1) 特長

タイマ F の特長を以下に示します。

- 5種類のクロックを選択可能
4種類の内部クロック（ $/32$ 、 $/16$ 、 $/4$ 、 $w/4$ ）と、外部クロックからの選択が可能です（外部イベントのカウントが可能）。
- トグル出力機能
1本のコンペアマッチ信号により、TMOFH端子（TMOFL端子）にトグル出力します（トグル出力の初期値を設定可能）。
- コンペアマッチ信号によるカウンタリセット
- 割り込み要因：コンペアマッチ×1要因、オーバーフロー×1要因
- 2本の独立した8ビットタイマとして動作可能
2本の独立した8ビットタイマ（タイマFH、タイマFL）としても動作が可能です（8ビットモード時）。

	タイマ FH 8 ビットタイマ*	タイマ FL 8 ビットタイマ/イベントカウンタ
内部クロック	4 種類 ($/32$ 、 $/16$ 、 $/4$ 、 $w/4$)	
イベント入力	TMIF 端子	
トグル出力	コンペアマッチ信号×1本 TMOFH 端子に出力 (初期値を設定可能)	コンペアマッチ信号×1本 TMOFL 端子に出力 (初期値を設定可能)
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割り込み要因	コンペアマッチ×1 要因 オーバーフロー×1 要因	

【注】 * 16 ビットタイマとして動作する場合はタイマ FL のオーバーフロー信号により動作します。

- ウォッチモード、サブアクティブモード、サブスリープモードで動作
内部クロックとして $w/4$ を選択した場合、ウォッチモード、サブアクティブモード、サブスリープモードで動作可能です。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

(2) ブロック図

タイマFのブロック図を図9.3に示します。

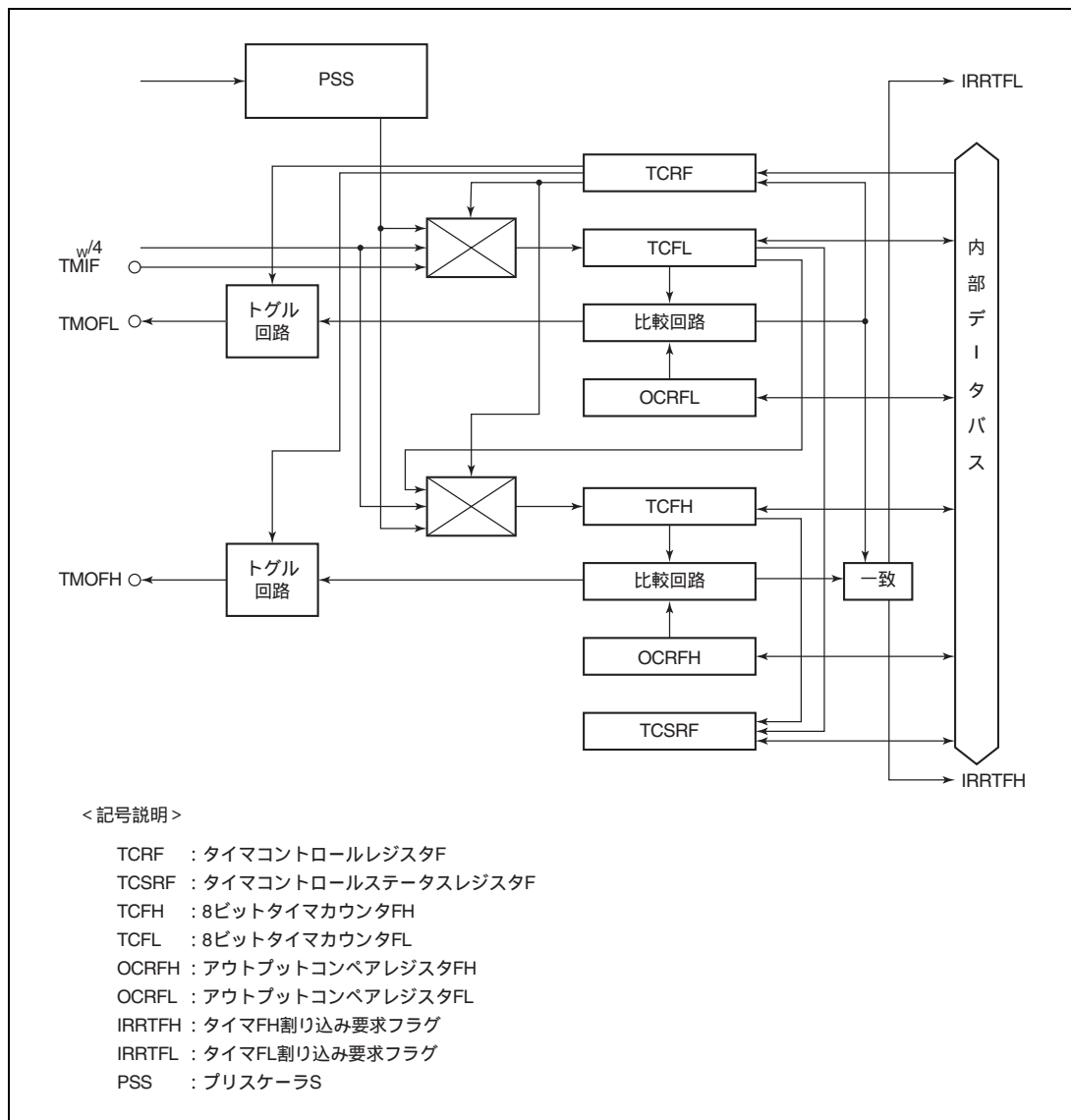


図9.3 タイマFのブロック図

9. タイマ

(3) 端子構成

タイマ F の端子構成を表 9.8 に示します。

表 9.8 端子構成

名称	略称	入出力	機能
タイマ F イベント入力	TMIF	入力	TCFL に入力するイベント入力端子
タイマ FH 出力	TMOFH	出力	タイマ FH トグル出力端子
タイマ FL 出力	TMOFL	出力	タイマ FL トグル出力端子

(4) レジスタ構成

タイマ F のレジスタ構成を表 9.9 に示します。

表 9.9 レジスタ構成

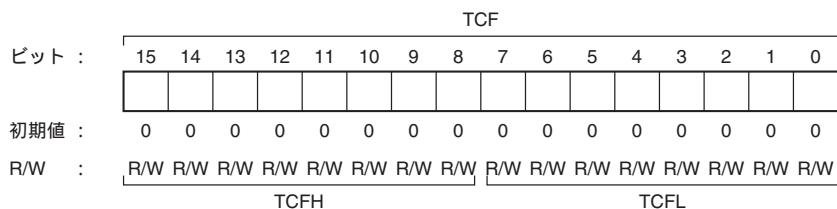
名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタ F	TCRF	W	H'00	H'FFB6
タイマコントロールステータスレジスタ F	TCSRFB	R/W	H'00	H'FFB7
8 ビットタイマカウンタ FH	TCFH	R/W	H'00	H'FFB8
8 ビットタイマカウンタ FL	TCFL	R/W	H'00	H'FFB9
アウトプットコンペアレジスタ FH	OCRFB	R/W	H'FF	H'FFBA
アウトプットコンペアレジスタ FL	OCRFL	R/W	H'FF	H'FFBB
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA

9.4.2 各レジスタの説明

(1) 16 ビットタイマカウンタ (TCF)

8 ビットタイマカウンタ (TCFH)

8 ビットタイマカウンタ (TCFL)



TCF は 16 ビットのリード/ライト可能なアップカウンタで、8 ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位 8 ビットを TCFH、下位 8 ビットを TCFL とする 16 ビットカウンタとして使用できるほか、TCFH、TCFL を独立した 8 ビットカウンタとして使用することもできます。

TCFH、TCFL は、CPU からリード/ライト可能ですが、16 ビットモードで使用する場合、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMP の詳細は「9.4.3 CPU とのインタフェース」を参照してください。

リセット時、TCFH、TCFL はおのおの H'00 に初期化されます。

(a) 16ビットモード (TCF)

TCRFのCKSH2を0に設定すると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2~CKSL0により選択します。

TCSRfのCCLRHにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバフロー (H'FFFF H'0000) すると、TCSRfのOVFHが1にセットされます。このときTCSRfのOVIEHが1の場合、IRR2のIRRTFHが1にセットされ、さらにIENR2のIENTFHが1ならばCPUに割り込みを要求します。

(b) 8ビットモード (TCFL/TCFH)

TCRFのCKSH2を1に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH (TCFL)の入力クロックは、TCRFのCKSH2~CKSH0 (CKSL2~CKSL0)により選択します。

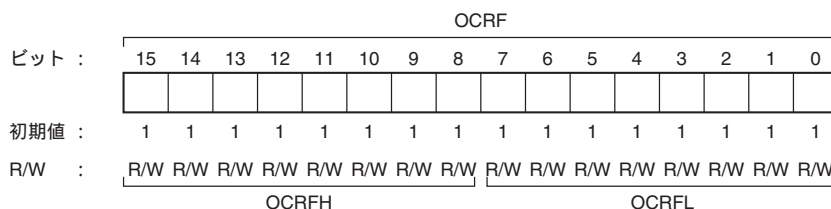
TCSRfのCCLRH (CCLRL)により、コンペアマッチ時にTCFH (TCFL)をクリアすることができます。

TCFH (TCFL)がオーバフロー (H'FF H'00) すると、TCSRfのOVFH (OVFL)が1にセットされます。このときTCSRfのOVIEH (OVIEL)が1の場合、IRR2のIRRTFH (IRRTFL)が1にセットされ、さらにIENR2のIENTFH (IENTFL)が1ならばCPUに割り込みを要求します。

(2) 16ビットアウトプットコンペアレジスタ (OCRF)

8ビットアウトプットコンペアレジスタ (OCRFH)

8ビットアウトプットコンペアレジスタ (OCRFL)



OCRFは16ビットのリード/ライト可能な2本のレジスタ (OCRFH、OCRFL)により構成されています。上位8ビットをOCRFH、下位8ビットをOCRFLとする16ビットレジスタとして使用できるほか、OCRFH、OCRFLを独立した8ビットレジスタとして使用することもできます。

OCRFH、OCRFLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP)を介して行われます。TEMPの詳細は「9.4.3 CPUとのインタフェース」を参照してください。

リセット時、OCRFH、OCRFLはおのおのH'FFに初期化されます。

9. タイマ

(a) 16ビットモード (OCRF)

TCRFのCKSH2を0に設定すると、OCRFは16ビットレジスタとして動作します。OCRFの内容は、TCFと常に比較されており、両者の値が一致すると、TCSRのCMFHが1にセットされます。また、同時にIRR2のIRRTFHも1にセットされます。このときIENR2のIENTFHが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHにより、出力レベル (High/Low) の設定が可能です。

(b) 8ビットモード (OCRFH/OCRFL)

TCRFのCKSH2を1に設定すると、OCRFは2本の8ビットレジスタとして動作します。OCRFHの内容はTCFHと、またOCRFLの内容はTCFLとそれぞれ個別に比較されます。OCRFH (OCRFL) とTCFH (TCFL) の値が一致すると、TCSRのCMFH (CMFL) が1にセットされます。また、同時にIRR2のIRRTFH (IRRTFL) も1にセットされます。このとき、IENR2のIENTFH (IENTFL) が1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子 (TMOFL端子) より出力することができます。また、TCRFのTOLH (TOLL) により、出力レベル (High/Low) の設定が可能です。

(3) タイマコントロールレジスタF (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TCRFは、8ビットのライト専用のレジスタです。16ビットモード、8ビットモードの切り替え、4種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL端子の出力レベルの設定を行います。

リセット時、TCRFはH'00に初期化されます。

ビット7: トグルアウトプットレベルH (TOLH)

TMOFH端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット7	説明	
TOLH		
0	Low レベル	(初期値)
1	High レベル	

ビット6～4：クロックセレクト H (CKSH2～CKSH0)

TCFH に入力するクロックを内部 4 種類、または TCFL のオーバフローから選択します。

ビット6	ビット5	ビット4	説明
CKSH2	CKSH1	CKSH0	
0	0	0	(初期値)
0	0	1	16 ビットモードとなり、TCFL のオーバフロー信号でカウント
0	1	0	
0	1	1	使用禁止
1	0	0	内部クロック： /32 でカウント
1	0	1	内部クロック： /16 でカウント
1	1	0	内部クロック： /4 でカウント
1	1	1	内部クロック： w/4 でカウント

ビット3：トグルアウトプットレベル L (TOLL)

TMOFL 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット3	説明
TOLL	
0	Low レベル (初期値)
1	High レベル

ビット2～0：クロックセレクト L (CKSL2～CKSL0)

TCFL に入力するクロックを、内部 4 種類または外部イベントから選択します。

ビット2	ビット1	ビット0	説明
CKSL2	CKSL1	CKSL0	
0	0	0	(初期値)
0	0	1	外部イベント (TMIF) の立ち上がり / 立ち下がりエッジでカウント*
0	1	0	
0	1	1	使用禁止
1	0	0	内部クロック： /32 でカウント
1	0	1	内部クロック： /16 でカウント
1	1	0	内部クロック： /4 でカウント
1	1	1	内部クロック： w/4 でカウント

【注】 * 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。詳細は、「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

なお、TMIF 端子の機能切り替えのために TMIF 端子が Low レベルの状態ポートモードレジスタ 1 (PMR1) の IRQ3 を 0 から 1 または 1 から 0 に設定変更した場合、タイマ F のカウンタがカウントアップされることがありますので注意してください。

9. タイマ

(4) タイマコントロールステータスレジスタ F (TCSR F)

ビット:	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLRL
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W*	R/W*	R/W	R/W

【注】* フラグクリアのための"0"ライトのみ可能です。

TCSR F は、8 ビットのリード/ライト可能なレジスタです。カウンタクリアの選択、オーバフローフラグのセット、コンペアマッチフラグのセット、オーバフローによる割り込み要求の許可の制御を行います。

リセット時、TCSR F は H'00 に初期化されます。

ビット7: タイマオーバフローフラグ H (OVFH)

TCFH がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 OVFH=1 の状態で、OVFH をリードした後、OVFH に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCFH の値が、H'FF H'00 になったとき

ビット6: コンペアマッチフラグ H (CMFH)

TCFH と OCRFH がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
CMFH	
0	〔クリア条件〕 CMFH=1 の状態で、CMFH をリードした後、CMFH に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCFH の値と OCRFH の値が、コンペアマッチしたとき

ビット5: タイマオーバフローインタラプトイネーブル H (OVIEH)

TCFH のオーバフローが発生したとき、割り込みの許可または禁止を選択します。

ビット5	説明
OVIEH	
0	TCFH のオーバフローによる割り込み要求を禁止 (初期値)
1	TCFH のオーバフローによる割り込み要求を許可

ビット4：カウンタクリアH (CCLR H)

16ビットモード時、TCFとOCRFLがコンペアマッチしたとき、TCFをクリアするかしないかを選択します。

8ビットモード時、TCFHとOCRFLがコンペアマッチしたとき、TCFHをクリアするかしないかを選択します。

ビット4	説明
CCLR H	
0	16ビットモード：コンペアマッチによるTCFのクリアを禁止 8ビットモード：コンペアマッチによるTCFHのクリアを禁止 (初期値)
1	16ビットモード：コンペアマッチによるTCFのクリアを許可 8ビットモード：コンペアマッチによるTCFHのクリアを許可

ビット3：タイマオーバフローフラグL (OVFL)

TCFLがオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説明
OVFL	
0	〔クリア条件〕 OVFL=1の状態、OVFLをリードした後、OVFLに0をライトしたとき (初期値)
1	〔セット条件〕 TCFLの値が、H'FF H'00になったとき

ビット2：コンペアマッチフラグL (CMFL)

TCFLとOCRFLがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説明
CMFL	
0	〔クリア条件〕 CMFL=1の状態、CMFLをリードした後、CMFLに0をライトしたとき (初期値)
1	〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき

ビット1：タイマオーバフローインタラプトイネーブルL (OVIEL)

TCFLのオーバフローが発生したとき、割り込みの許可または禁止を選択します。

ビット1	説明
OVIEL	
0	TCFLのオーバフローによる割り込み要求を禁止 (初期値)
1	TCFLのオーバフローによる割り込み要求を許可

9. タイマ

ビット0: カウンタクリアL (CCLRL)

TCFL と OCRFL がコンペアマッチしたとき、TCFL をクリアするかしないかを選択します。

ビット0	説明
CCLRL	
0	コンペアマッチによる TCFL のクリアを禁止 (初期値)
1	コンペアマッチによる TCFL のクリアを許可

(5) クロック停止レジスタ1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマ F に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット2: タイマ F モジュールスタンバイモード制御 (TFCKSTP)

タイマ F をモジュールスタンバイモードに設定および解除を制御します。

TFCKSTP	説明
0	タイマ F はモジュールスタンバイモードに設定される
1	タイマ F のモジュールスタンバイモードは解除される (初期値)

9.4.3 CPU とのインタフェース

TCF、OCRFL は 16 ビットのリード/ライト可能なレジスタで構成されています。一方、CPU と内蔵周辺モジュール間のデータバスは、8 ビット幅となっています。したがって CPU が TCF、OCRFL をアクセスする場合、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

16 ビットモードで TCF のリード/ライト、OCRFL のライトを行うときは、必ず 16 ビット単位 (バイトサイズ) の MOV 命令を 2 回連続して行う) で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8 ビットモードでは特にアクセスの順序に制限はありません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP に転送されます。

次に下位バイトのライトで、TEMP にあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCF に H'AA55 をライトするときの TCF のライト動作を図 9.4 に示します。

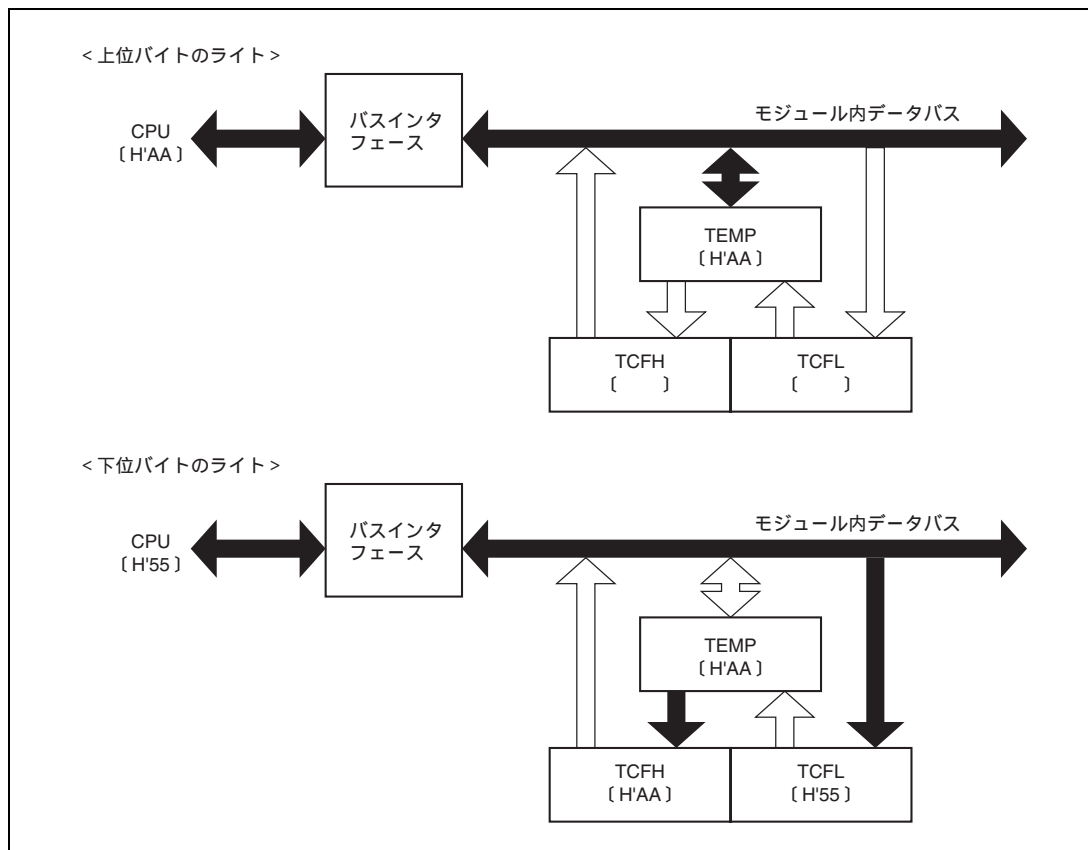


図 9.4 TCF のライト動作 (CPU TCF)

(2) リード時の動作

TCF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCR の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である TCF をリードしたときの TCF のリード動作を図 9.5 に示します。

9. タイマ

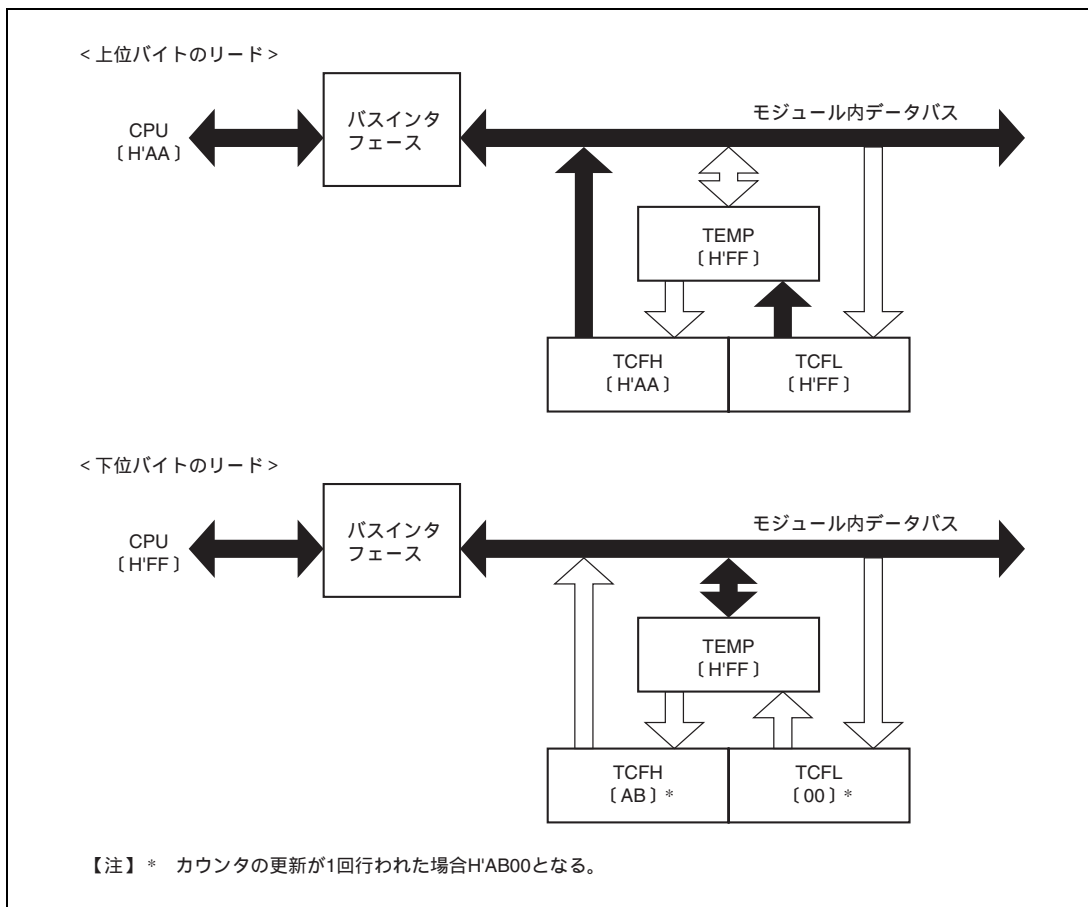


図 9.5 TCF のリード動作 (TCF CPU)

9.4.4 動作説明

タイマFは、入力クロックが入るたびにカウントアップする16ビットのカウンタで、アウトプットコンパレレジスタFに設定した値とタイマカウンタFの値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2本の独立した8ビットタイマとしても機能できます。

(1) タイマFの動作

タイマFには、16ビットタイマモードと8ビットタイマモードの2種類の動作モードがあります。

それぞれのモードの動作について以下に説明します。

(a) 16ビットタイマモードの動作

タイマコントロールレジスタ F (TCRF) の CKSH2 ビットを 0 に設定すると、タイマ F は 16 ビットのタイマとして動作します。

リセット直後、タイマカウンタ F (TCF) は H'0000 に、アウトプットコンペアレジスタ F (OCRF) は H'FFFF に、タイマコントロールレジスタ F (TCRF)、タイマコントロールステータスレジスタ F (TCSRFF) は H'00 に初期化されます。カウンタは、外部イベント (TMIF) からの入力によりカウントアップを開始します。外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。

タイマ F の動作クロックは、TCRF の CKSL2 ~ CKSL0 ビットにより 4 種類の内部クロック、または外部クロックを選択できます。

TCF と OCRF の内容は常に比較されており、両者が一致すると TCSRFF の CMFH が 1 にセットされます。このとき IENR2 の IENTFH が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子の出力をトグルします。また、TCSRFF の CCLR H が 1 ならば TCF をクリアします。なお、TMOFH 端子の出力は TCRF の TOLH により設定できます。

TCF がオーバーフロー (H'FFFF H'0000) すると、TCSRFF の OVFH がセットされます。このとき、TCSRFF の OVIEH と IENR2 の IENTFH がともに 1 ならば CPU に割り込みを要求します。

(b) 8ビットタイマモードの動作

TCRF の CKSH2 を 1 に設定すると、TCF は TCFH、TCFL の 2 本の独立した 8 ビットタイマとして動作します。TCFH/TCFL の入力クロックは、TCRF の CKSH2 ~ CKSH0/CKSL2 ~ CKSL0 により選定します。

OCRFH/OCRFL と TCFH/TCFL の値が一致すると、TCSRFF の CMFH/CMFL が 1 にセットされます。また、IENR2 の IENTFH/IENTFL が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子/TMOFL 端子の出力をトグルします。また、TCRF の CCLR H/CCLR L が 1 ならば、TCFH/TCFL をクリアします。なお、TMOFH 端子/TMOFL 端子の出力は、TCRF の TOLH/TOLL により設定できます。

TCFH/TCFL がオーバーフロー (H'FF H'00) すると、TCSRFF の OVFH/OVFL が 1 にセットされます。このとき、TCSRFF の OVIEH/OVIEL と IENR2 の IENTFH/IENTFL がともに 1 ならば、CPU に割り込みを要求します。

(2) TCF のカウントタイミング

TCF は、入力されたクロック (内部クロックまたは外部イベント) によりカウントアップされます。

(a) 内部クロック動作の場合

TCRF の CKSH2 ~ CKSH0 または CKSL2 ~ CKSL0 の設定により、システムクロック (または ω) を分周して作られる 4 種類の内部クロック ($\omega/32$ 、 $\omega/16$ 、 $\omega/4$ 、 $\omega/4$) が選択されます。

(b) 外部イベント動作の場合

TCRF の CKSL2 を 0 に設定することにより、外部イベント入力を選択されます。外部イベントは立ち上がり / 立ち下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割り込みコントローラの IEGR の IEG3 で設定します。なお、外部イベントのパルス幅は 2 システムクロック () 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

9. タイマ

(3) TMOFH、TMOFL 出力タイミング

TMOFH、TMOFL の出力は、TCRF の TOLH、TOLL で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9.6 に出力タイミングを示します。

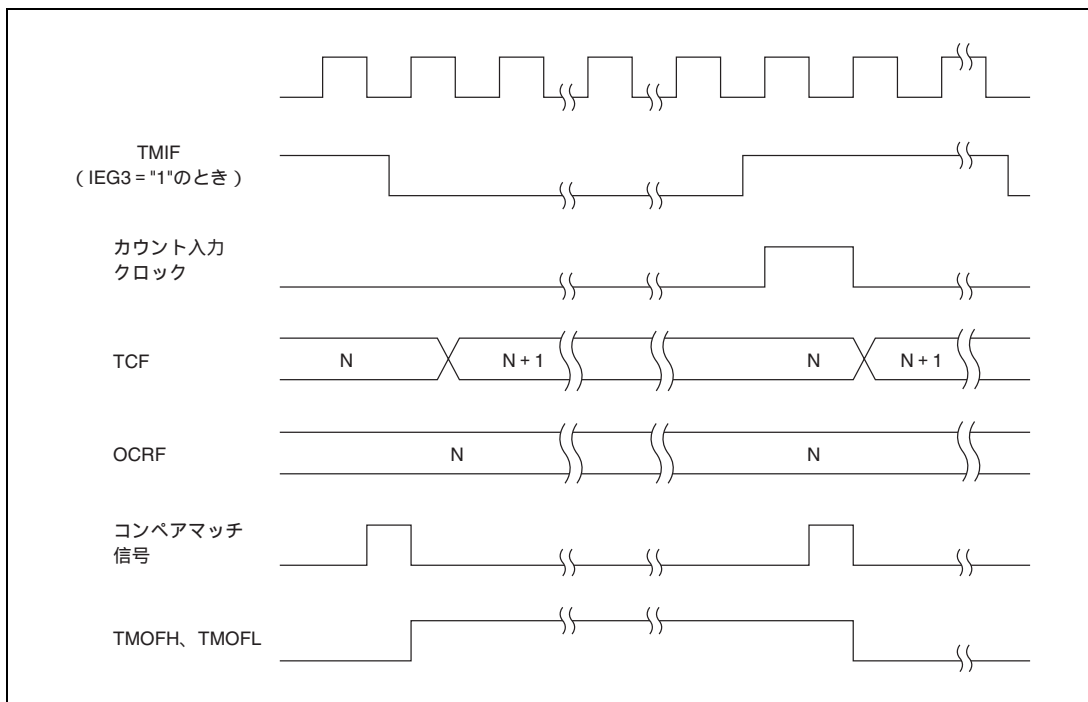


図 9.6 TMOFH、TMOFL 出力タイミング

(4) TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

(5) タイマオーバーフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバーフロー (H'FFFF H'0000) したとき 1 にセットされます。

(6) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時に 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

(7) タイマFの動作モード

タイマFの動作モードを表9.10に示します。

表9.10 タイマFの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
TCF	リセット	動作	動作	動作/停止*	動作/停止*	動作/停止*	停止	停止
OCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCSRFB	リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時にTCFの内部クロックとして $\omega/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/(\omega)$ の誤差が生じます。

サブアクティブモード、ウォッチモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\omega/4$ を選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。

9.4.5 使用上の注意事項

タイマFの動作中、次のような競合や動作が起こりますので注意してください。

(1) 16ビットタイマモード

トグル出力は16ビットすべてが一致し、コンペアマッチ信号が発生したときTMOFH端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号が同時に起こった場合、TCRFのライトによるTOLHのデータがTMOFH端子に出力されます。TMOFL端子は16ビットモード時には出力は不定となりますので使用しないでください。ポートとして使用してください。

OCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16ビットすべてが一致し、コンペアマッチ信号が発生したときCMFHにセットされますが、CMFLについても下位8ビットについてのセット条件が満たされていればセットされます。

TCFがオーバーフローするとOVFHがセットされますが、OVFLについても下位8ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。TCFLのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

9. タイマ

(2) 8ビットタイマモード

(a) TCFH、OCRFH

トグル出力は、コンペアマッチ時に TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されません。

OCRFH のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFH のクロックに同期して出力されます。

TCFH のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) TCFL、OCRFL

トグル出力は、コンペアマッチ時に TMOFL 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLL のデータが TMOFL 端子に出力されません。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(3) タイマ FH、タイマ FL 割り込み要求フラグ (IRRTFH、IRRTFL)、タイマオーバフローフラグ H、L (OVFH、OVFL) およびコンペアマッチフラグ H、L (CMFH、CMFL) のクリア

内部クロックとして $\omega/4$ を選択した場合、「割り込み要因の発生を示す信号」の制御は ω で行われるため、この信号は ω の幅出力されます。また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」の制御は、 ω の 2 周期分の信号で行われるため、これらの信号は ω の 2 周期の幅出力されます (図 9.7)。

アクティブ (高速、中速) モードにおいて、「割り込み要因の発生を示す信号」が有効な間は、割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされます (図 9.7 -)。

また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」が有効な間は、タイマオーバフローフラグ、コンペアマッチフラグをクリアできません。

割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされるため、1 回のタイマ FH、タイマ FL 割り込みに対し割り込み処理が複数回行われることがあります (図 9.7 -)。

そのため、アクティブ (高速、中速) モードにおいて、割り込み要求フラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、クリアを行う必要があります。また、タイマオーバフローフラグ、コンペアマッチフラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、タイマコントロールレジスタ F (TCSR F) をリードした後、クリアを行う必要があります。

(1) の計算式の ST には使用されている命令の中で最も実行ステート数が長い命令の実行ステート数を代入してください (MULXU、DIVXU 命令を使用しない場合は RTE 命令の 10 ステート、ULXU、DIVXU 命令を使用する場合は 14 ステート)。

サブアクティブモードでは、割り込み要求フラグ、タイマオーバフローフラグ、コンペアマッチフラグのクリアに対する制限はありません。

「割り込み要因の発生を示す信号」が有効な時間

$$= \frac{1}{w} \text{ の 1 周期} + \text{実行中の命令の実行完了待ち時間} + \left(\text{割り込みで同期化する時間} \right)$$

$$= \frac{1}{w} + ST \times \left(\frac{1}{\text{ }} \right) + \left(\frac{2}{\text{ }} \right) \text{ (秒)} \cdots \cdots (1)$$

ST: 実行中の命令の実行ステート数

具体的には下記の方法がありますが、時間の有効活用の面から (方法 1) を推奨します。

• (方法 1)

割り込み処理ルーチン内で割り込みを禁止 (IENFH、IENFL を 0 に設定) し、通常処理に復帰した後で (1) の計算式の時間以上を持って、割り込み要求フラグ (IRRTFH、IRRTFL) をクリアし、タイマコントロールステータスレジスタ F (TCSR F) をリードした後、タイマオーバフローフラグ (OVFH、OVFL) およびコンペアマッチフラグ (CMFH、CMFL) をクリアし、割り込みの許可 (IENFH、IENFL を 1 に設定) を行います。

• (方法 2)

割り込み処理ルーチンの処理時間を (1) の計算式の時間以上にし、割り込み処理ルーチンの最後で割り込み要求フラグ (IRRTFH、IRRTFL) をクリアし、タイマコントロールステータスレジスタ F (TCSR F) をリードした後、タイマオーバフローフラグ (OVFH、OVFL) およびコンペアマッチフラグ (CMFH、CMFL) のクリアを行います。

以上の注意事項は、16 ビットモード、8 ビットモードとも同じです。

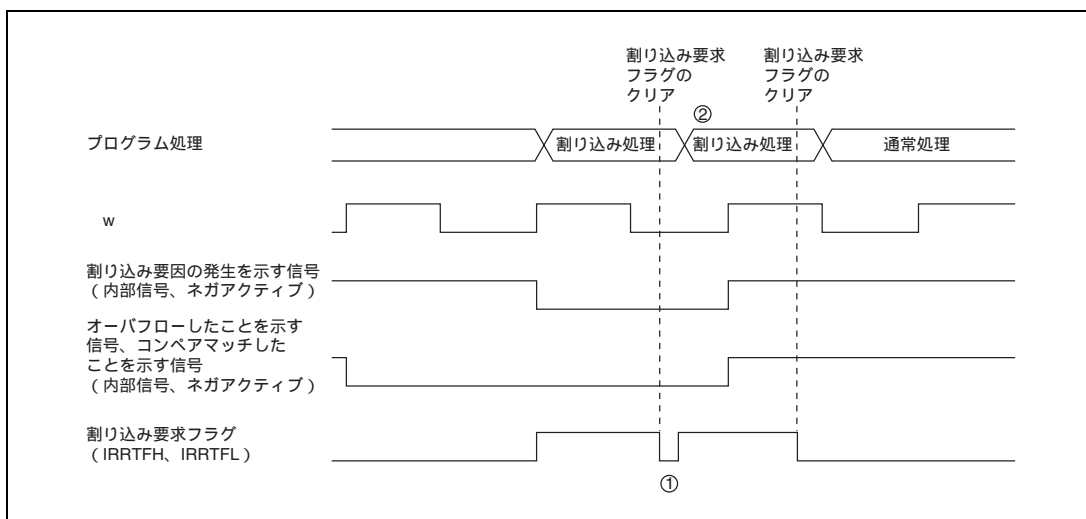


図 9.7 割り込み要因の発生を示す信号が有効なときに割り込み要求フラグのクリアを行った場合

9. タイマ

(4) タイマカウンタ (TCF) のリード/ライト

アクティブ (高速、中速) モードにおいて、内部クロックとして $w/4$ を選択した場合 TCF に対するライトはできません。また、リードする場合、システムクロックと内部クロックが非同期であるため、同期回路で同期をとっています。これにより、TCF のリード値は最大 ± 1 の誤差が生じます。

アクティブ (高速、中速) モードで TCF をリード/ライトする必要がある場合は、内部クロックとして $w/4$ 以外を選択してからリード/ライトを行ってください。

サブアクティブモードでは、内部クロックとして $w/4$ を選択した場合でも TCF は正常にリード/ライトできます。

9.5 タイマ G

9.5.1 概要

タイマ G は、インプットキャプチャ入力端子から入力したパルス（インプットキャプチャ入力信号）の立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能を持つ 8 ビットタイマです。ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。また、タイマ G はインプットキャプチャ入力を設定しない場合、8 ビットのインターバルタイマとして機能します。

(1) 特長

タイマ G の特長を以下に示します。

- 4種類のカウンタ入力クロックを選択可能
4種類の内部クロック（ $f/64$ 、 $f/32$ 、 $f/2$ 、 $w/4$ ）からの選択が可能です。
- インプットキャプチャ機能
立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。
- カウンタのオーバフロー時のレベルが検出可能
インプットキャプチャ入力信号のHighレベルでオーバフローが発生したか、Low レベルでオーバフローが発生したかを検出することができます。
- カウンタのクリア指定が可能
インプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジでカウンタの値をクリアするか、しないかを選択できます。
- 2種類の割り込み要求
インプットキャプチャ×1要因、オーバフロー×1要因があります。インプットキャプチャ入力信号による割り込み要求はインプットキャプチャ入力信号の立ち上がり / 立ち下がりエッジを選択することができます。
- ノイズ除去回路内蔵
ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。
- ウォッチモード、サブアクティブモード、サブスリープモードで動作
内部クロックとして $w/4$ を選択した場合、ウォッチモード、サブアクティブモード、サブスリープモードで動作可能です。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

9. タイマ

(2) ブロック図

タイマ G のブロック図を図 9.8 に示します。

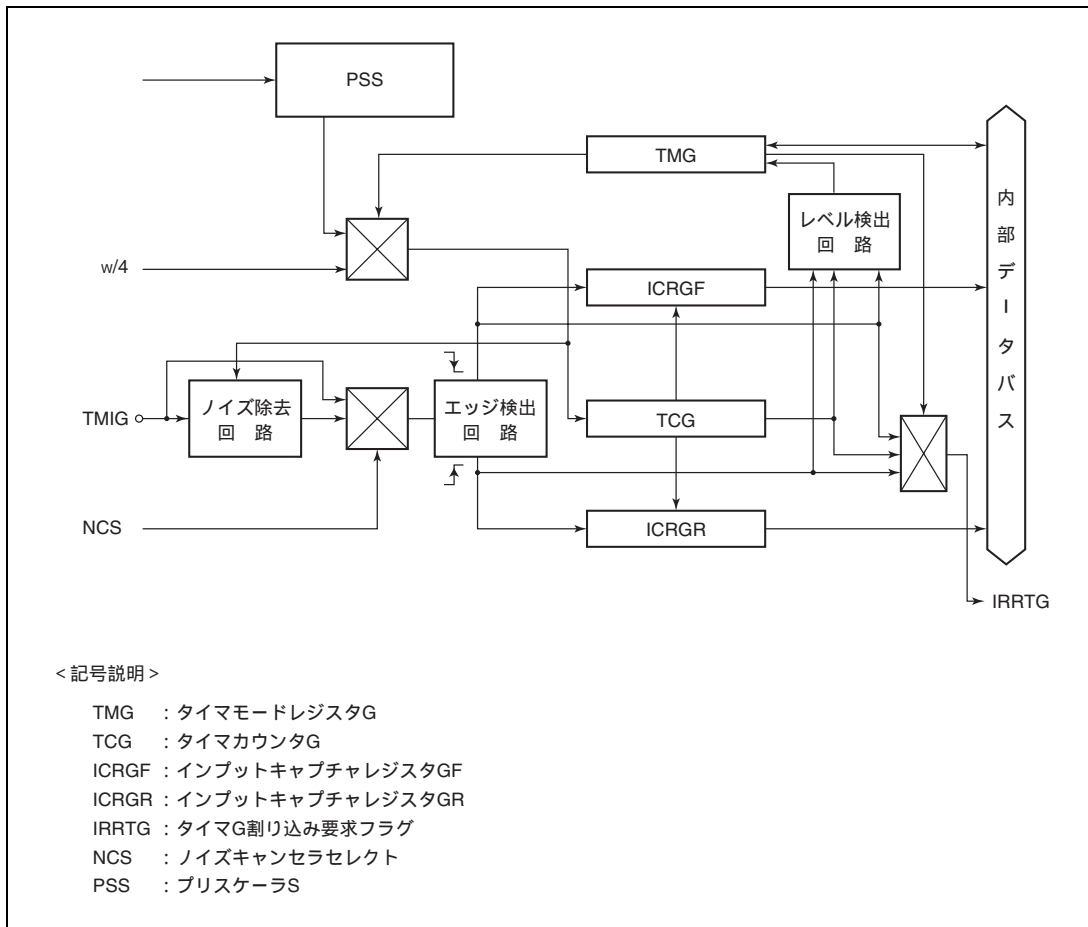


図 9.8 タイマ G のブロック図

(3) 端子構成

タイマ G の端子構成を表 9.11 に示します。

表 9.11 端子構成

名称	略称	入出力	機能
インプットキャプチャ入力	TMIG	入力	インプットキャプチャ入力端子

(4) レジスタ構成

タイマ G のレジスタ構成を表 9.12 に示します。

表 9.12 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ G	TMG	R/W	H'00	H'FFBC
タイマカウンタ G	TCG		H'00	
インプットキャプチャレジスタ GF	ICRGF	R	H'00	H'FFBD
インプットキャプチャレジスタ GR	ICRGR	R	H'00	H'FFBE
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA

9.5.2 各レジスタの説明

(1) タイマカウンタ G (TCG)

ビット:	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

TCG は、8 ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMG の CKS1、CKS0 で選択します。

TCG はインプットキャプチャタイマとして動作させる場合、PMR1 の TMIG を 1 に設定し、インターバルタイマとして動作させる場合、TMIG を 0 に設定します*。インプットキャプチャタイマの動作時は、TMG の設定によりインプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジのいずれかで TCG の値をクリアすることができます。

TCG がオーバフロー (H'FF H'00) すると、TMG の OVIE が 1 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

TCG は CPU からリード / ライトすることはできません。

リセット時、TCG は H'00 に初期化されます。

【注】 * TMIG の書き換えの際、インプットキャプチャ信号が発生する場合があります。

(2) インプットキャプチャレジスタ GF (ICRGF)

ビット:	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGF は、8 ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立ち下がりエッジが検出されると、そのときの TCG の値が ICRGF に転送されます。このとき、TMG の IIEGS が 1 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

9. タイマ

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも2 または 2_{SUB}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGR は H'00 に初期化されます。

(3) インプットキャプチャレジスタ GR (ICRGR)

ビット:	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGR は、8 ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立ち上がりエッジが検出されると、そのときの TCG の値が ICRGR に転送されます。このとき、TMG の IIEGS が 0 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも2 または 2_{SUB}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGR は H'00 に初期化されます。

(4) タイマモードレジスタ G (TMG)

ビット:	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグクリアのための"0"ライトのみ可能です。

TMG は、8 ビットのリード/ライト可能なレジスタです。TCG の 4 種類の内部クロックの選択、カウンタクリアの選択、インプットキャプチャ入力信号による割り込み要求のエッジ選択、オーバフローによる割り込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMG は H'00 に初期化されます。

ビット7: タイマオーバフローフラグ H (OVFH)

インプットキャプチャ入力信号が High レベルのときに、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 OVFH=1 の状態で、OVFH をリードした後、OVFH に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCG の値が、H'FF H'00 になったとき

ビット6：タイマオーバフローフラグL (OVFL)

インプットキャプチャ信号が Low レベルのとき、またはインターバル動作時に、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明	
OVFL		
0	[クリア条件] OVFL = 1 の状態で、OVFL をリードした後、OVFL に 0 をライトしたとき	(初期値)
1	[セット条件] TCG の値が、H'FF H'00 になったとき	

ビット5：タイマオーバフローインタラプトイネーブル (OVIE)

TCG のオーバフローが発生したとき、割り込みの許可または禁止を選択します。

ビット5	説明	
OVIE		
0	TCG のオーバフローによる割り込み要求を禁止	(初期値)
1	TCG のオーバフローによる割り込み要求を許可	

ビット4：インプットキャプチャインタラプトエッジセレクト (IIEGS)

インプットキャプチャ入力信号による割り込み要求のエッジ選択を行います。

ビット4	説明	
IIEGS		
0	インプットキャプチャ入力信号の立ち上がりエッジで割り込みを発生	(初期値)
1	インプットキャプチャ入力信号の立ち下がりエッジで割り込みを発生	

ビット3、2：カウンタクリア1、0 (CCLR1、CCLR0)

インプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジで TCG の値をクリアするか、しないかを選択します。

ビット3	ビット2	説明	
CCLR1	CCLR0		
0	0	TCG のクリアを禁止	(初期値)
0	1	インプットキャプチャ入力信号の立ち下がりエッジにより TCG をクリア	
1	0	インプットキャプチャ入力信号の立ち上がりエッジにより TCG をクリア	
1	1	インプットキャプチャ入力信号の両エッジにより TCG をクリア	

9. タイマ

ビット 1、0 : クロックセレクト (CKS1、CKS0)

TCG に入力するクロックを、4 種類の内部クロックから選択します。

ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	内部クロック : /64 でカウント (初期値)
0	1	内部クロック : /32 でカウント
1	0	内部クロック : /2 でカウント
1	1	内部クロック : $w/4$ でカウント

(5) クロック停止レジスタ 1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマ G に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 3 : タイマ G モジュールスタンバイモード制御 (TGCKSTP)

タイマ G をモジュールスタンバイモードに設定および解除を制御します。

TGCKSTP	説明
0	タイマ G はモジュールスタンバイモードに設定される
1	タイマ G のモジュールスタンバイモードは解除される (初期値)

9.5.3 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMR3のNCS*により設定します。

図 9.9 にノイズ除去回路のブロック図を示します。

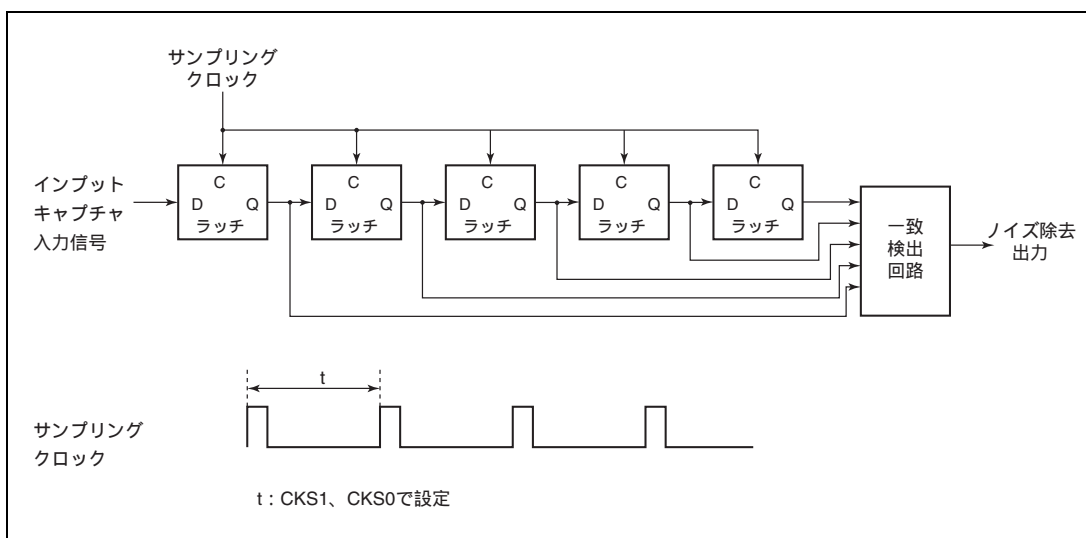


図 9.9 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし (NCS=0) の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり (NCS=1) の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立ち上がりエッジでインプットキャプチャ入力信号がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立ち下がりエッジが5回サンプリングされた状態で初期化されています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は少なくとも2 または 2_{SUB} 以上が必要です。

【注】 * NCSビットの書き換えの際、インプットキャプチャ信号が発生する場合があります。

9. タイマ

図 9.10 にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの 5 倍以下の High レベル入力がノイズとして除去された場合です。

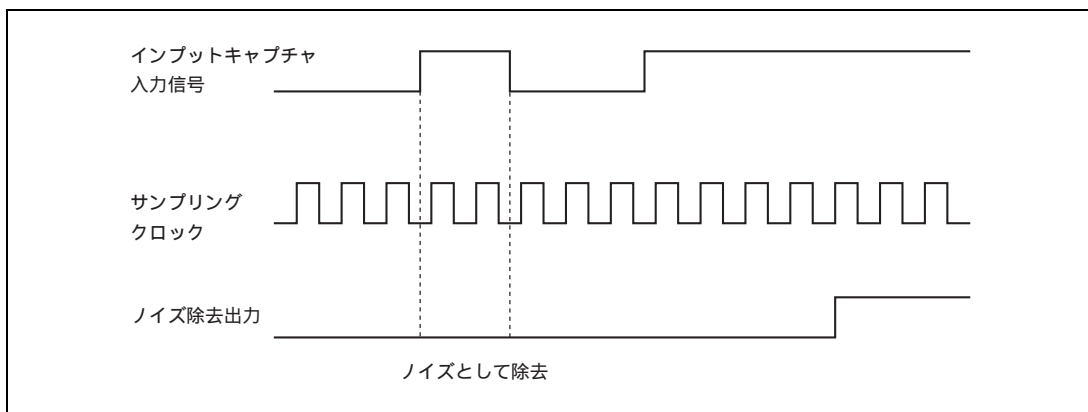


図 9.10 ノイズ除去回路タイミング (例)

9.5.4 動作説明

タイマ G は、インプットキャプチャ/インターバル機能を内蔵した 8 ビットのタイマです。

(1) タイマ G の機能

タイマ G は 8 ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの 2 種類の機能を持っています。

それぞれの動作について、以下に説明します。

(a) インプットキャプチャタイマの動作

ポートモードレジスタ 1 (PMR1) の TMIG ビットを 1 に設定すると、タイマ G はインプットキャプチャタイマとして機能します。*

リセット時、タイマモードレジスタ G (TMG)、タイマカウンタ G (TCG)、インプットキャプチャレジスタ GF (ICRGF)、インプットキャプチャレジスタ GR (ICRGR) は、H'00 に初期化されます。

リセット直後、TCG は内部クロック /64 のクロックでカウントを開始します。

入力するクロックは、TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。

TMIG 端子から入力されるインプットキャプチャ信号の立ち上がりエッジ/立ち下がりエッジにより、そのときの TCG の値が ICRGR/ICRGF に転送されます。また、TMG の IIEGS ビットで選択したエッジが入力されると、IRR2 の IRRTG が 1 にセットされ、このとき IENR2 の IENTG ビットが 1 ならば CPU に割り込みを要求します。なお、割り込みについての詳細は、「3.3 割り込み」を参照してください。

TCG は TMG の CCLR1、CCLR0 ビットにより、インプットキャプチャ信号の立ち上がり / 立ち下がり / 両エッジのいずれかで TCG の値をクリアすることができます。また、インプットキャプチャ信号が High レベルのときに TCG がオーバーフローすると、TMG の OVFH ビットをセットします。一方、インプットキャプチャ信号が Low レベルのときに TCG がオーバーフローすると、TMG の OVFL ビットをセットします。これらがセットされたとき、TMG の OVIE ビットが 1 であれば IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG ビットが 1 であれば、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

タイマ G にはノイズ除去回路が内蔵されており、TMIG 端子から入力したパルスの高域成分のノイズを除去できます。詳細は「9.5.3 ノイズ除去回路」を参照してください。

【注】 * TMIG の書き換えの際、インプットキャプチャ信号が発生する場合があります。

(b) インターバルタイマの動作

PMR1 の TMIG ビットを 0 に設定すると、タイマ G はインターバルタイマとして機能します。リセット直後、TCG は内部クロック /64 のクロックでカウントを開始します。入力クロックは TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。TCG は選択されたクロックでカウントアップし、オーバーフロー (H'FF H'00) すると TMG の OVFL ビットが 1 にセットされます。このとき、TMG の OVIE ビットが 1 であれば IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG ビットが 1 であれば、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

(2) カウントタイミング

TCG は入力された内部クロックによりカウントアップされます。TMG の CKS1、CKS0 の設定により、システムクロック () とウォッチクロック (w) を分周して作られる 4 種類の内部クロック (/64、 /32、 /2、 $w/4$) が選択されます。

(3) インプットキャプチャ入力のタイミング

(a) ノイズ除去機能なしの場合

インプットキャプチャ入力は、立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能を持っています。

9. タイマ

立ち上がり / 立ち下がりエッジのインプットキャプチャ入力のタイミングを図 9.11 に示します。

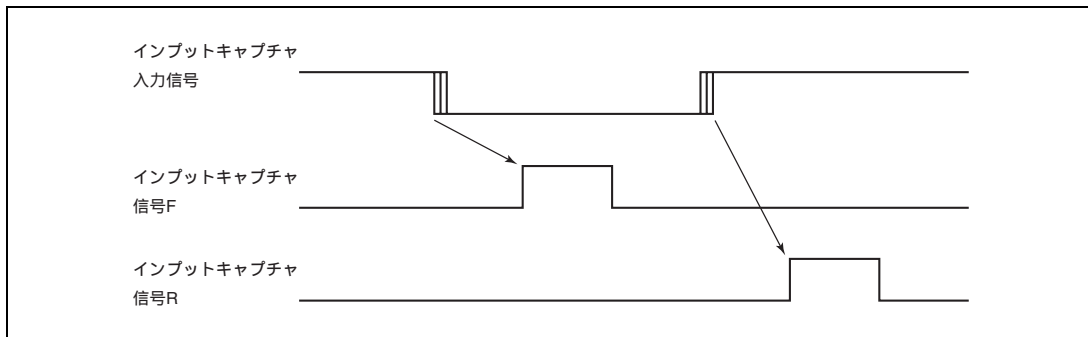


図 9.11 インプットキャプチャ入力のタイミング (ノイズ除去機能なし)

(b) ノイズ除去機能ありの場合

インプットキャプチャ入力でノイズ除去を行う場合、インプットキャプチャ信号はノイズ除去回路を経由するため、インプットキャプチャ入力信号エッジからサンプリングクロックの 5 周期分遅延します。

このときのタイミングを図 9.12 に示します。

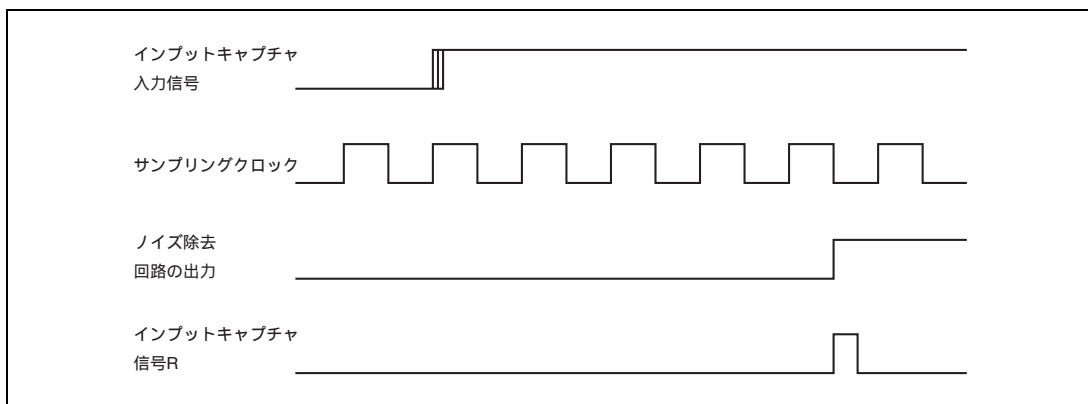


図 9.12 インプットキャプチャ入力のタイミング (ノイズ除去機能あり)

(4) インットキャプチャ入力によるインットキャプチャタイミング

インットキャプチャ入力によるインットキャプチャタイミングを図 9.13 に示します。

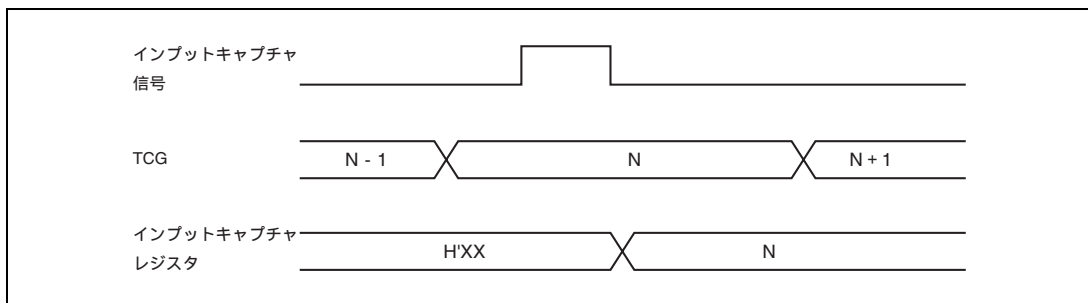


図 9.13 インットキャプチャ入力によるインットキャプチャタイミング

(5) TCG のクリアタイミング

TCG の値は、インットキャプチャ入力信号の立ち上がりエッジ / 立ち下がりエッジ / 両エッジでクリアすることができます。

両エッジでクリアする場合のタイミングを図 9.14 に示します。

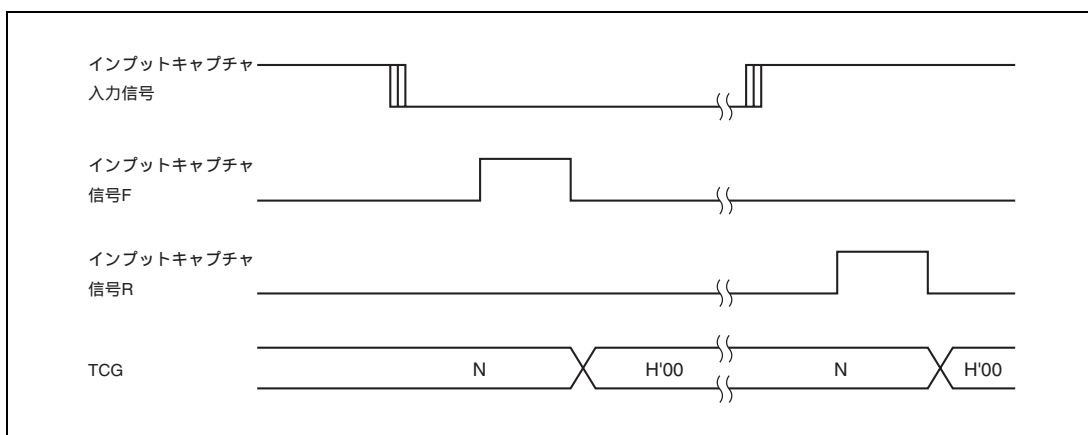


図 9.14 TCG のクリアタイミング

9. タイマ

(6) タイマ G の動作モード

タイマ G の動作モードを表 9.13 に示します。

表 9.13 タイマ G の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール スタンバイ
TCG	インプット キャプチャ	リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	停止	停止
	インターバル	リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	停止	停止
ICRGF		リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	保持	保持
ICRGR		リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	保持	保持
TMG		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に、TCG の内部クロックとして $w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/(s)$ の誤差が生じます。ウォッチモード時に、TCG の内部クロックとして $w/4$ を選択した場合、サブクロック $_{SUB}$ ($w/8$ 、 $w/4$ 、 $w/2$) に関係なく TCG、ノイズ除去回路は内部クロック $w/4$ で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

サブアクティブモード、サブスリープモード時に、タイマ G を動作させるには、TCG の内部クロックとして $w/4$ を選択し、サブクロック $_{SUB}$ は $w/2$ を選択してください。その他の内部クロックを選択した場合や、サブクロック $_{SUB}$ として $w/8$ 、 $w/4$ を選択した場合は、TCG、ノイズ除去回路は動作しませんので注意してください。

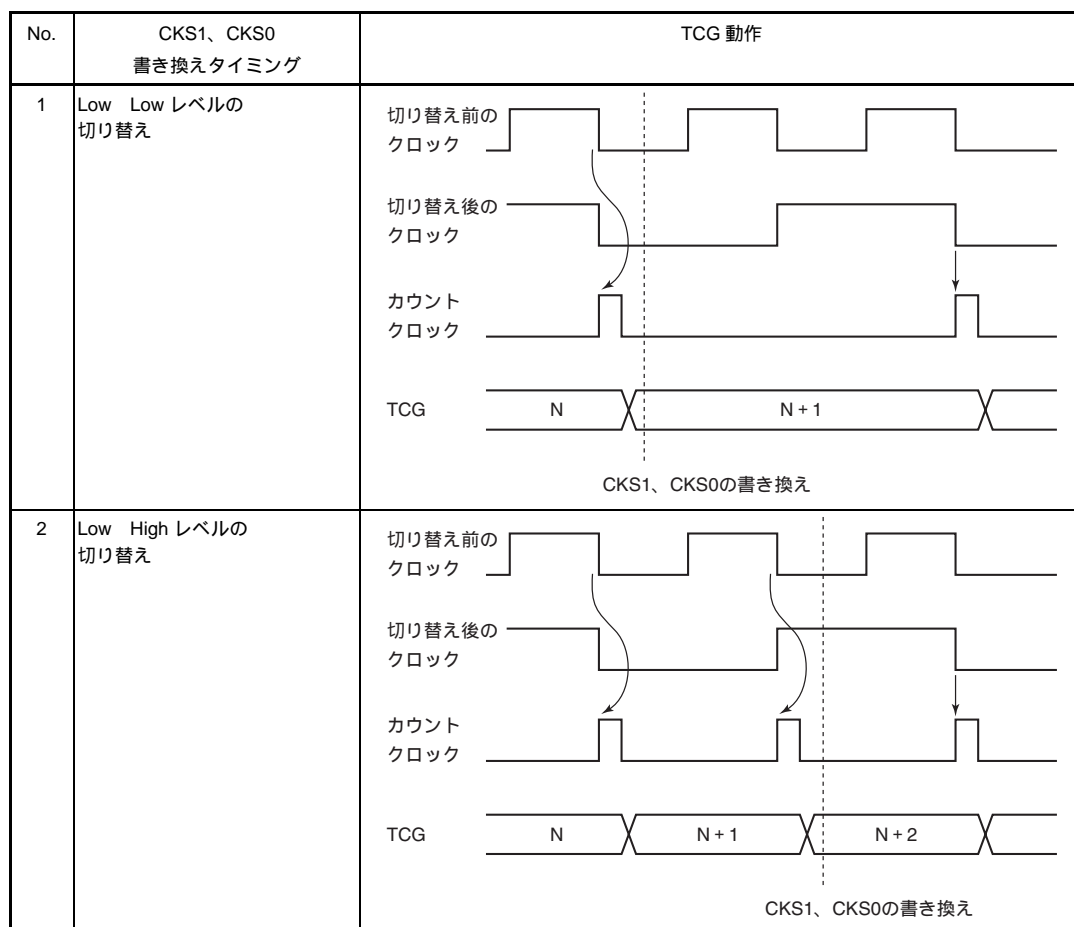
9.5.5 使用上の注意事項

(1) 内部クロックの切り替えとTCG動作

内部クロックを切り替えるタイミングによっては、TCG がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 の書き換え) と TCG 動作の関係を表 9.14 に示します。

内部クロックを使用する場合、システムクロック () またはサブクロック (w) を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表 9.14 の No.3 のように切り替え前のクロック High 切り替え後のクロック Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、TCG がカウントアップされてしまいます。

表 9.14 内部クロックの切り替えと TCG 動作



9. タイマ

No.	CKS1、CKS0 書き換えタイミング	TCG 動作
3	High Low レベルの 切り替え	<p style="text-align: center;">CKS1、CKS0の書き換え</p>
4	High High レベルの 切り替え	<p style="text-align: center;">CKS1、CKS0の書き換え</p>

【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCG はカウントアップされてしまいます。

(2) ポートモードレジスタ書き換えの注意事項

インプットキャプチャの機能切り替えのために、ポートモードレジスタを書き換える際、またインプットキャプチャ入力信号のノイズ除去回路の機能切り替えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

- インプットキャプチャ入力端子の機能切り替え

インプットキャプチャ入力端子を制御しているポートモードレジスタ1 (PMR1) のTMIGを書き換えて端子機能を切り替えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.15に示します。

表 9.15 インプットキャプチャ入力端子の機能切り替えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条件
立ち上がりエッジが発生する場合	TMIG 端子が High レベルの状態、TMIG を 0 から 1 に書き換えたとき
	TMIG 端子が High レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を 0 から 1 に書き換えたとき
立ち下がりエッジが発生する場合	TMIG 端子が High レベルの状態、TMIG を 1 から 0 に書き換えたとき
	TMIG 端子が Low レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を 0 から 1 に書き換えたとき
	TMIG 端子が High レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされた後に TMIG を 1 から 0 に書き換えたとき

【注】 P1₃端子がインプットキャプチャ入力端子に設定されていない場合、タイマ G のインプットキャプチャ入力信号は Low レベルとなっています。

- インプットキャプチャ入力のノイズ除去回路の機能切り替え

インプットキャプチャ入力のノイズ除去回路を制御しているポートモードレジスタ3 (PMR3) のNCSを書き換えて機能切り替えを行う場合、TMIGを0にして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.16に示します。

表 9.16 ノイズ除去回路の機能切り替えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条件
立ち上がりエッジが発生する場合	TMIG が 1 の状態で TMIG 端子を Low レベルから High レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を 0 から 1 に書き換えたとき
立ち下がりエッジが発生する場合	TMIG が 1 の状態で TMIG 端子を High レベルから Low レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を 1 から 0 に書き換えたとき

9. タイマ

端子機能を切り替え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト (IEGS) ビットによるエッジ選択とが一致したとき、割り込み要求フラグが 1 にセットされますので、割り込み要求フラグを 0 にクリアしてから使用してください。ポートモードレジスタの操作と割り込み要求フラグのクリア手順を図 9.15 に示します。端子機能を切り替える場合、ポートモードレジスタの操作前に割り込み禁止状態にしてポートモードレジスタを切り替え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間 (ノイズ除去回路を使用しない場合は 2 システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの 5 倍以上) 待ってから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。なお、端子機能切り替えに伴う割り込み要求フラグのセットを回避する方法として表 9.15、表 9.16 の条件を満たさないように端子のレベルを制御する方法、または発生するエッジと反対のエッジに TMG の IEGS ビットを設定して制御する方法もあります。

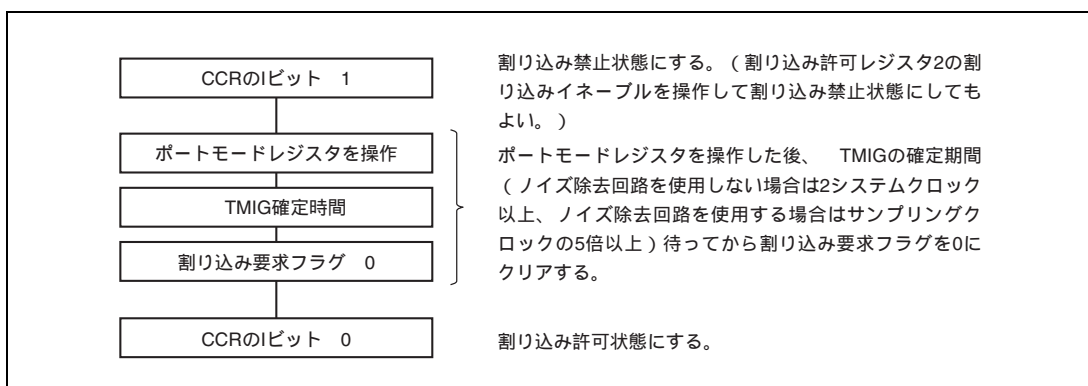


図 9.15 ポートモードレジスタの操作と割り込み要求フラグのクリア手順

9.5.6 タイマ G の使用例

タイマ G を使用すると、インプットキャプチャ入力信号の High 幅、Low 幅を絶対値で測定することができます。設定は、TMG の CCLR1、CCLR0 をそれぞれ 1 にセットします。

このときの動作例を図 9.16 に示します。

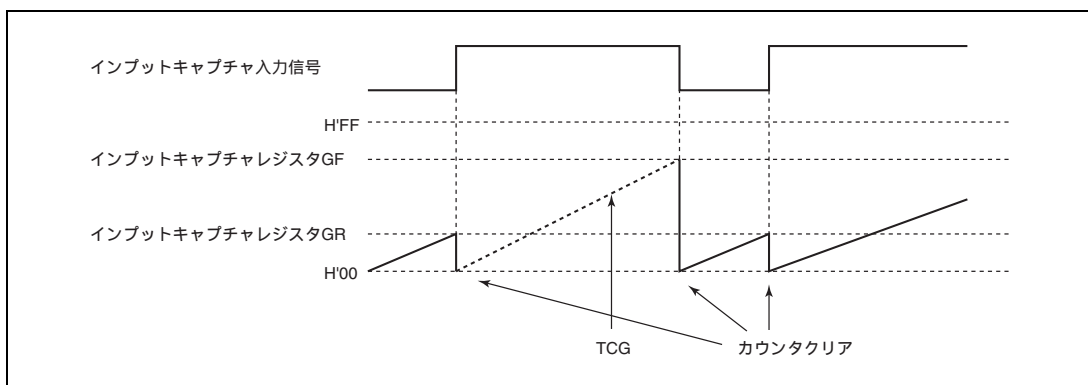


図 9.16 タイマ G の使用例

9.6 ウォッチドッグタイマ

9.6.1 概要

ウォッチドッグタイマ (Watchdog Timer) は、入力クロックが入るたびに、カウンタアップする 8 ビットのカウンタを備えており、システムの暴走などによりカウンタの値が書き換えられずオーバーフローすると、LSI 内部をリセットできる機能を備えています。

(1) 特長

ウォッチドッグタイマの特長を以下に示します。

- 内部クロック $\phi_w/8192$ または $\phi_w/32$ でカウンタアップ
- カウンタのオーバーフローでリセット信号を発生

オーバーフロー周期は、 $8192/\phi_w$ または $32/\phi_w$ の 1 倍から 256 倍まで設定可能です。

($\phi_w = 2.00\text{MHz}$ のとき、約 $4\text{ms} \sim 1000\text{ms}$)

- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

(2) ブロック図

ウォッチドッグタイマのブロック図を図 9.17 に示します。

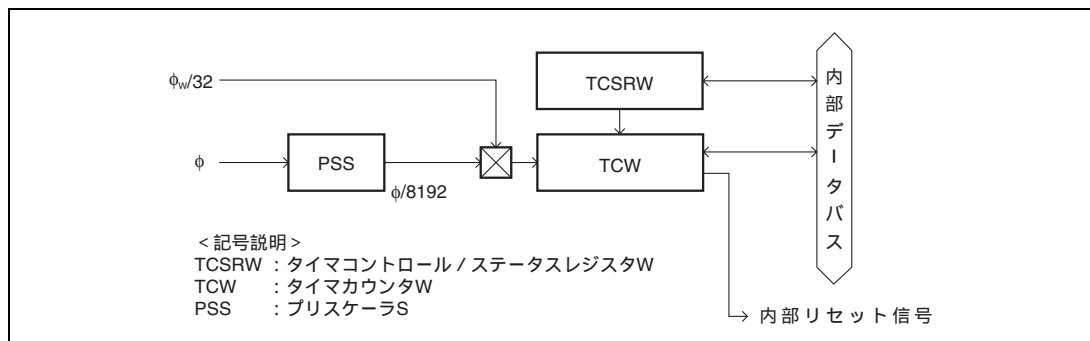


図 9.17 ウォッチドッグタイマのブロック図

9. タイマ

(3) レジスタ構成

ウォッチドッグタイマのレジスタ構成を表 9.17 に示します。

表 9.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロール/ステータスレジスタ W	TCSRW	R/W	H'AA	H'FFB2
タイマカウンタ W	TCW	R/W	H'00	H'FFB3
クロック停止レジスタ 2	CKSTPR2	R/W	H'FF	H'FFFB
ポートモードレジスタ 3	PMR3	R/W	H'04	H'FFCA

9.6.2 各レジスタの説明

(1) タイマコントロール/ステータスレジスタ W (TCSRW)

ビット:	7	6	5	4	3	2	1	0
	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST
初期値:	1	0	1	0	1	0	1	0
R/W :	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】 * 書き込みの条件が成立している場合にのみ、書き込み可能となります。書き込み条件については各ビットの説明を参照してください。

TCSRW は、8 ビットのリード/ライト可能なレジスタで TCSRW、TCW の書き込み制御、ウォッチドッグタイマの動作制御、動作状態を示すレジスタです。

ビット 7: ビット 6 書き込み禁止 (B6WI)

TCSRW のビット 6 へのデータ書き込みを制御します。

ビット 7	説明
B6WI	
0	ビット 6 への書き込みを許可
1	ビット 6 への書き込みを禁止 (初期値)

本ビットはリードすると常に 1 が読み出されます。ライトしても、データは格納されません。

ビット 6: タイマカウンタ W 書き込み許可 (TCWE)

TCW へのビットデータの書き込みを制御します。

ビット 6	説明
TCWE	
0	TCW への 8 ビットデータへの書き込みを禁止 (初期値)
1	TCW への 8 ビットデータへの書き込みを許可

ビット5：ビット4書き込み禁止（B4WI）

TCSRW のビット4へのデータ書き込みを制御します。

ビット5	説明
B4WI	
0	ビット4への書き込みを許可
1	ビット4への書き込みを禁止 (初期値)

本ビットはリードすると常に1が読み出されます。ライトしても、データは格納されません。

ビット4：タイマコントロール/ステータスレジスタW書き込み許可（TCSRWE）

TCSRW のビット2およびビット0へのデータの書き込みを制御します。

ビット4	説明
TCSRWE	
0	ビット2およびビット0への書き込みを禁止 (初期値)
1	ビット2およびビット0への書き込みを許可

ビット3：ビット2書き込み禁止（B2WI）

TCSRW のビット2へのデータの書き込みを制御します。

ビット3	説明
B2WI	
0	ビット2への書き込みを許可
1	ビット2への書き込みを禁止 (初期値)

本ビットはリードすると常に1が読み出されます。ライトしてもデータは格納されません。

ビット2：ウォッチドッグタイマオン（WDON）

ウォッチドッグタイマの動作を許可します。

ビット2	説明
WDON	
0	ウォッチドッグタイマの動作を禁止 (初期値) [クリア条件] リセット、または TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 0 をライトしたとき
1	ウォッチドッグタイマの動作を許可 [セット条件] TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトしたとき

本ビットを1にセットすると、カウントアップを開始します。また、本ビットを0にクリアすると、カウントアップを停止します。

9. タイマ

ビット1：ビット0書き込み禁止 (BOWI)

タイマコントロール/ステータスレジスタ W のビット0へのデータの書き込みを制御します。

ビット1	説明
BOWI	
0	ビット0への書き込みを許可
1	ビット0への書き込みを禁止 (初期値)

本ビットはリードすると常に1が読み出されます。ライトしても、データは格納されません。

ビット0：ウォッチドッグタイマリセット (WRST)

TCW がオーバーフローし、内部リセット信号が発生したことを示します。オーバーフローしたことにより発生した内部リセット信号は、LSI 全体をリセットします。

WRST は、 $\overline{\text{RES}}$ 端子によるリセット、またはソフトウェアによる0ライトによりクリアされます。

ビット0	説明
WRST	
0	[クリア条件] (1) RES 端子によるリセット (2) TCSRWE = 1 の状態で BOWI に 0 をライトしながら WRST に 0 をライトしたとき
1	[セット条件] TCW がオーバーフローし、内部リセット信号が発生したとき

(2) タイマカウンタ W (TCW)

ビット:	7	6	5	4	3	2	1	0
	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCW は、8 ビットのリード/ライト可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、 $f_{clk}/8192$ または $f_{clk}/32$ です。TCW の値は CPU から常にリード/ライトできます。

TCW がオーバーフロー (H'FF H'00) すると、内部リセット信号を発生し、TCSRW の WRST が 1 にセットされます。リセット時、TCW は H'00 に初期化されます。

(3) クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
					AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :					R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではウォッチドッグタイマに関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 2 : ウォッチドッグタイマモジュールスタンバイモード制御 (WDCKSTP)

ウォッチドッグタイマをモジュールスタンバイモードに設定および解除を制御します。

WDCKSTP	説明
0	ウォッチドッグタイマはモジュールスタンバイモードに設定される
1	ウォッチドッグタイマのモジュールスタンバイモードは解除される (初期値)

【注】 WDCKSTP はタイマコントロール/ステータスレジスタ W (TCSRW) の WDON が 0 のときに有効になります。WDON が 1 (ウォッチドッグタイマ動作中) のとき WDCKSTP を 0 に設定すると WDCKSTP は 0 に設定されますが、ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続します。ウォッチドッグ機能が終了し、ソフトウェアで WDON を 0 に設定すると同時に WDCKSTP が有効になり、ウォッチドッグタイマはモジュールスタンバイモードに入ります。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	AEVL	AEVH	WDCKS	NCS	IRQ0	—	UD	PWM
初期値:	0	0	0	0	0	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

PMR3 は 8 ビットのリード/ライト可能なレジスタで、主にポート 3 の各端子機能の切り替えを制御します。本章ではウォッチドッグタイマに関するビットのみ説明します。他のビットについては「第 8 章 I/O ポート」を参照してください。

ビット 5 : ウォッチドッグタイマソースクロック選択

WDCKS	説明
0	/8192 を選択 (初期値)
1	$\omega/32$ を選択

9.6.3 動作説明

ウォッチドッグタイマは、入力クロック（ f_{clk} /8192または $f_{clk}/w/32$ ）が入るたびにカウントアップする8ビットのカウンタを備えています。入力クロックの選択は、ポートモードレジスタ3（PMR3）のWDCKSで行います。WDCKSが0のとき $f_{clk}/8192$ が選択され、1のとき $f_{clk}/w/32$ が選択されます。TCSRWのTCSRWE=1の状態ではB2WIに0をライトしながらWDONに1をライトすると、TCWはカウントアップを開始します。TCWのカウント値が、H'FFになった後、クロックが入力されると、ウォッチドッグタイマはオーバフローし、基準クロック（または f_{sub} ）の1クロック分後に内部リセット信号を発生します。内部リセット信号は f_{osc} クロックで512クロック分の時間出力されます。TCWはライト可能なカウンタですので、TCWに値を設定すると、その値からカウントアップを行います。したがって、TCWの値により、オーバフロー周期を1~256入力クロックの範囲で設定できます。

ウォッチドッグタイマ動作例を図9.18に示します。

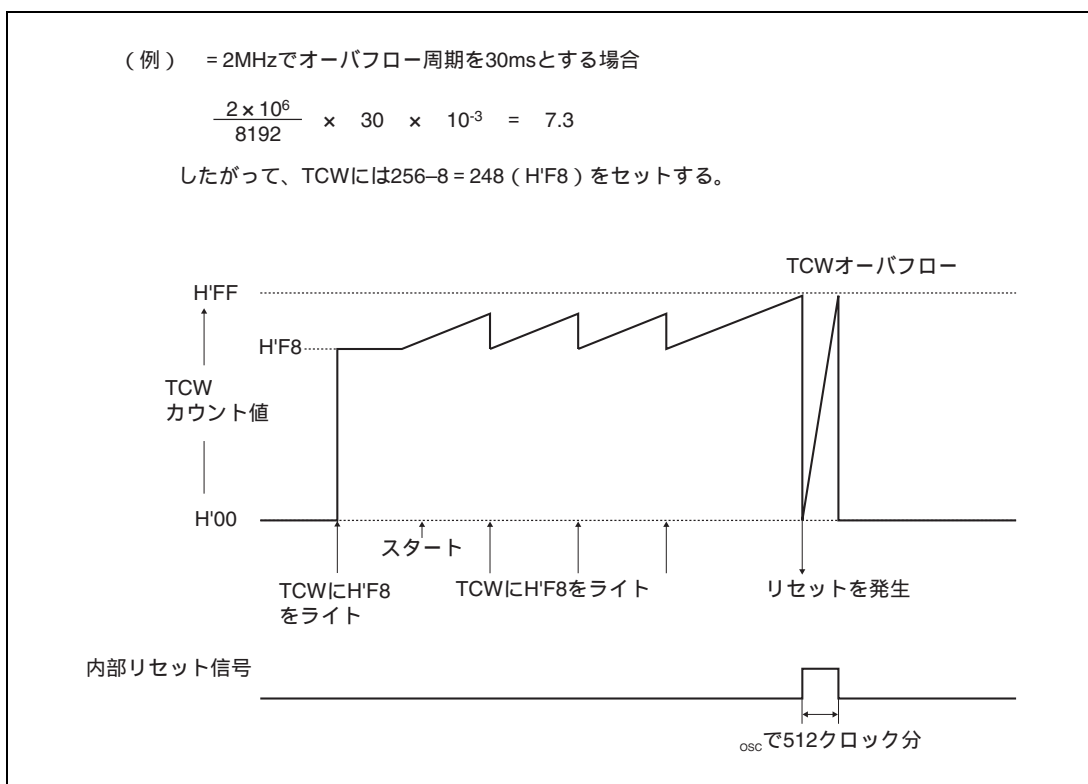


図 9.18 ウォッチドッグタイマの動作例

9.6.4 ウォッチドッグタイマの動作モード

ウォッチドッグタイマの動作モードを表 9.18 に示します。

表 9.18 ウォッチドッグタイマの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール スタンバイ
TCW	リセット	動作	動作	停止	動作/停止*	停止	停止	停止
TCSRW	リセット	動作	動作	保持	動作/停止*	保持	保持	保持

【注】 * 入力クロックに $w/32$ を選択した場合に動作します。

9.7 非同期イベントカウンタ (AEC)

9.7.1 概要

非同期イベントカウンタ (Asynchronous Event Counter) は、外部イベントクロックが入るたびにカウントアップするイベントカウンタです。

(1) 特長

非同期イベントカウンタの特長を以下に示します。

- 非同期イベントをカウント可能

基本クロック、 SUB の動作とは無関係に非同期に入力される外部イベントをカウント可能です。

カウンタは16ビット構成になっており、65536 (2^{16}) 回以内のイベントのカウントが可能です。

- 2チャンネルの独立した8ビットイベントカウンタとしても使用可能。
- ソフトウェアによってカウンタのリセット、カウントアップ機能の停止が制御可能。
- イベントカウンタのオーバーフローを検出し、自動的に割り込みを発生。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

(2) ブロック図

非同期イベントカウンタのブロック図を図 9.19 に示します。

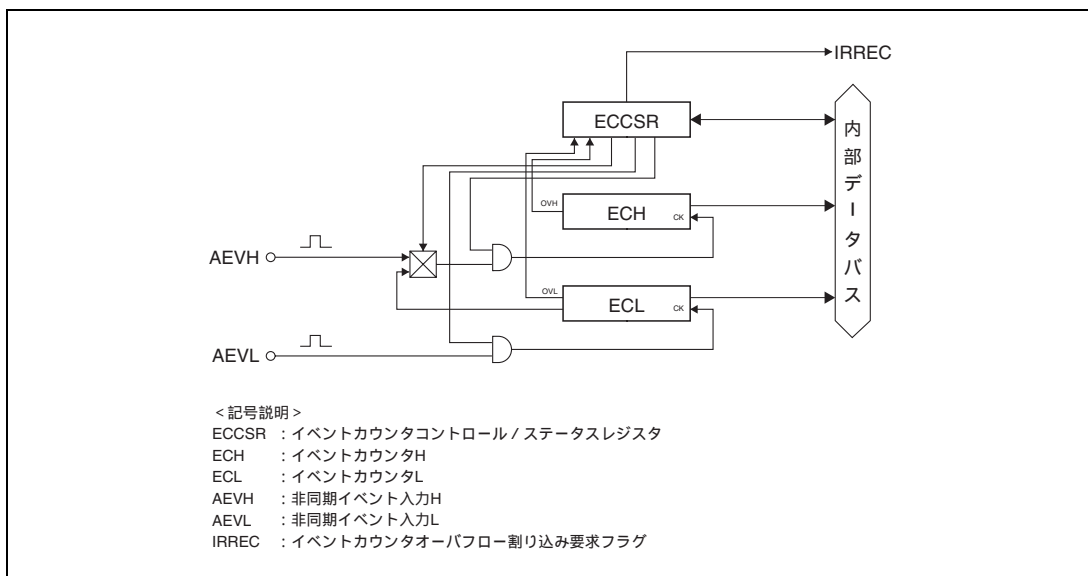


図 9.19 非同期イベントカウンタブロック図

(3) 端子構成

非同期イベントカウンタの端子構成を表 9.19 に示します。

表 9.19 端子構成

名称	略称	入出力	機能
非同期イベント入力 H	AEVH	入力	イベントカウンタ H に入力するイベント入力端子
非同期イベント入力 L	AEVL	入力	イベントカウンタ L に入力するイベント入力端子

(4) レジスタ構成

非同期イベントカウンタのレジスタ構成を表 9.20 に示します。

表 9.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
イベントカウンタコントロール/ステータスレジスタ	ECCSR	R/W	H'00	H'FF95
イベントカウンタ H	ECH	R	H'00	H'FF96
イベントカウンタ L	ECL	R	H'00	H'FF97
クロック停止レジスタ 2	CKSTPR2	R/W	H'FF	H'FFFB

9.7.2 各レジスタの構成

(1) イベントカウンタコントロール/ステータスレジスタ (ECCSR)

ビット:	7	6	5	4	3	2	1	0
	OVH	OVL	—	CH2	CUEH	CUEL	CRCH	CRCL
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグクリアのため 0 ライトのみ可能です。

ECCSR は、8 ビットのリード/ライト可能なレジスタで、カウンタのオーバフローの検出、カウンタのリセット、カウントアップ機能の停止の制御を行います。

リセット時、ECCSR は H'00 に初期化されます。

9. タイマ

ビット7：カウンタオーバーフローH (OVH)

ECHがオーバーフロー（H'FF H'00）したことを示すステータスフラグです。ECHがオーバーフローすると、本フラグがセットされます。ソフトウェアでセットすることはできません。本フラグのクリアはソフトウェアで行います。OVHが1の状態ではOVHをリードした後、OVHに0をライトしたときにクリアされます。

CH2を0にした状態でECH、ECLを16ビットのイベントカウンタとして使用している場合には、本フラグは16ビットのイベントカウンタがオーバーフロー（H'FFFF H'0000）したことを示すステータスフラグです。

ビット7	説明
OVH	
0	ECHがオーバーフローしていないことを示します [クリア条件] OVHが1の状態ではOVHをリードした後、OVHに0をライトしたとき (初期値)
1	ECHがオーバーフローしたことを示します [セット条件] ECHの値がH'FF H'00になったとき

ビット6：カウンタオーバーフローL (OVL)

ECLがオーバーフロー（H'FF H'00）したことを示すステータスフラグです。ECLがオーバーフローすると、本フラグがセットされます。ソフトウェアでセットすることはできません。本フラグのクリアはソフトウェアで行います。OVLが1の状態ではOVLをリードした後、OVLに0をライトしたときにクリアされます。

ビット6	説明
OVL	
0	ECLがオーバーフローしていないことを示します [クリア条件] OVLが1の状態ではOVLをリードした後、OVLを0にライトしたとき (初期値)
1	ECLがオーバーフローしたことを示します [セット条件] CH2を1にした状態でECLの値がH'FF H'00になったとき

ビット5：リザーブビット

本ビットはリード/ライト可能なリザーブビットです。リセット時は0に初期化されます。

ビット4：チャンネル選択 (CH2)

ECH、ECLを1チャンネルの16ビットのイベントカウンタとして使用するか、2チャンネルの独立した8ビットのイベントカウンタとして使用するかを選択します。CH2を0にクリアすると、ECH、ECLは16ビットのイベントカウンタとなり、非同期イベント入力としてAEVL端子にイベントクロックが入力されるたびにカウントアップします。このときECHの入力クロックはECLからのオーバーフロー信号が選択されます。CH2を1にセットすると、ECH、ECLはおのおの独立した8ビットのイベントカウンタとなり、非同期イベント入力としておのおのAEVH端子、AEVL端子にイベントクロックが入力されるたびにカウントアップします。

ビット4	説明
CH2	
0	ECH、ECLを連結した1チャンネルの16ビットイベントカウンタとして使用します (初期値)
1	ECH、ECLを独立した2チャンネルの8ビットイベントカウンタとして使用します

ビット3: カウントアップイネーブルH (CUEH)

ECHに入力されるイベントクロックの入力を許可します。本ビットに1をライトするとイベントクロックの入力を許可し、カウントアップをします。本ビットに0をライトすると、イベントクロックの入力を禁止し、ECHの値は保持されます。イベントクロックはCH2によってAEVH端子またはECLからのオーバフロー信号のいずれかを選択可能です。

ビット3	説明	
CUEH		
0	ECHのイベントクロックの入力を禁止 ECHの値を保持	(初期値)
1	ECHのイベントクロックの入力を許可	

ビット2: カウントアップイネーブルL (CUEL)

ECLに入力されるイベントクロックの入力を許可します。本ビットに1をライトするとイベントクロックの入力を許可し、カウントアップをします。本ビットに0をライトすると、イベントクロックの入力を禁止し、ECLの値は保持されます。

ビット2	説明	
CUEL		
0	ECLのイベントクロックの入力を禁止 ECLの値を保持	(初期値)
1	ECLのイベントクロックの入力を許可	

ビット1: カウンタリセット制御H (CRCH)

ECHのリセットを制御します。本ビットが0のときECHはリセットされます。本ビットに1をライトするとカウンタのリセットを解除し、ECHのカウントアップ機能を許可します。

ビット1	説明	
CRCH		
0	ECHをリセット	(初期値)
1	ECHのリセットを解除しカウントアップ機能を許可	

ビット0: カウンタリセット制御L (CRCL)

ECLのリセットを制御します。本ビットが0のときECLはリセットされます。本ビットに1をライトするとカウンタのリセットを解除し、ECLのカウントアップ機能を許可します。

ビット0	説明	
CRCL		
0	ECLをリセット	(初期値)
1	ECLのリセットを解除しカウントアップ機能を許可	

9. タイマ

(2) イベントカウンタ H (ECH)

ビット:	7	6	5	4	3	2	1	0
	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ECH は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして、または ECL と組み合わせることで 16 ビットのイベントカウンタの上位 8 ビットのアップカウンタとして動作します。入力クロックは CH2 により外部非同期イベント AEVH 端子、または下位の 8 ビットのカウンタ ECL からのオーバフロー信号のいずれかを選択可能です。ECH はソフトウェアで H'00 にクリア可能です。リセットは、H'00 に初期化されます。

(3) イベントカウンタ L (ECL)

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして、または ECH と組み合わせることで 16 ビットのイベントカウンタの下位 8 ビットのアップカウンタとして動作します。入力クロックは外部非同期イベント AEVL 端子からのイベントクロックを使用します。ECL はソフトウェアで H'00 にクリア可能です。リセットは、H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

(4) クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
					AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :					R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では非同期イベントカウンタに関するビットのみを説明します。他のビットについては各モジュールの章を参照してください。

ビット 3: 非同期イベントカウンタモジュールスタンバイモード制御 (AECKSTP)

非同期イベントカウンタをモジュールスタンバイモードに設定および解除を制御します。

AECKSTP	説明
0	非同期イベントカウンタはモジュールスタンバイモードに設定される
1	非同期イベントカウンタのモジュールスタンバイモードは解除される (初期値)

9.7.3 動作説明

(1) 16ビットイベントカウンタの動作

ECCSR の CH2 を 0 にクリアすると、ECH、ECL は 16 ビットのイベントカウンタとして動作します。16 ビットイベントカウンタとして使用する場合のソフトウェアの例を図 9.20 に示します。

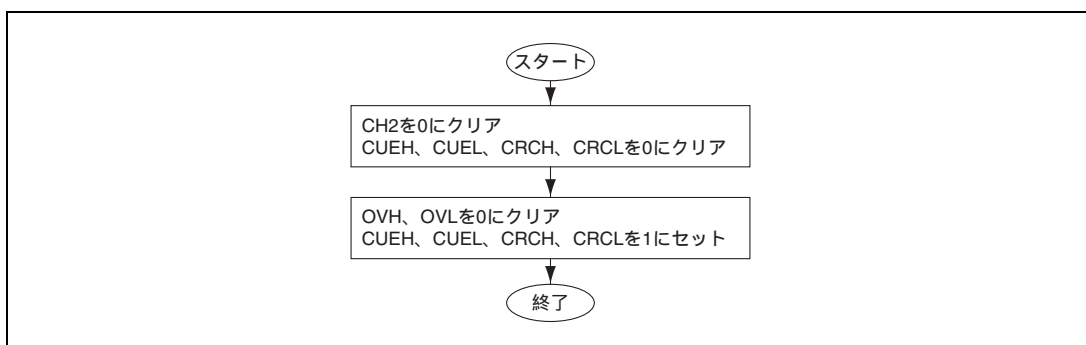


図 9.20 16 ビットイベントカウンタとして使用する場合のソフトウェアの例

リセット時、CH2 は 0 にクリアされるため、リセット後は ECH、ECL は 16 ビットイベントカウンタとして動作します。また、図 9.20 に示すソフトウェアの例で使用すると 16 ビットのイベントカウンタとして使用できます。動作クロックは AEVL 端子からの非同期イベント入力です。ECH、ECL のカウント値がともに H'FF になった後に、クロックが入力されると ECH、ECL はオーバフロー (H'FFFF H'0000) し、ECCSR の OVH フラグが 1 にセットされ、ECH、ECL のカウント値はおのおの H'00 に戻り、再びカウントアップを再開します。オーバフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

(2) 8ビットイベントカウンタの動作

ECCSR の CH2 を 1 にセットすると、ECH、ECL は独立した 8 ビットのイベントカウンタとして動作します。8 ビットイベントカウンタとして使用する場合のソフトウェアの例を図 9.21 に示します。

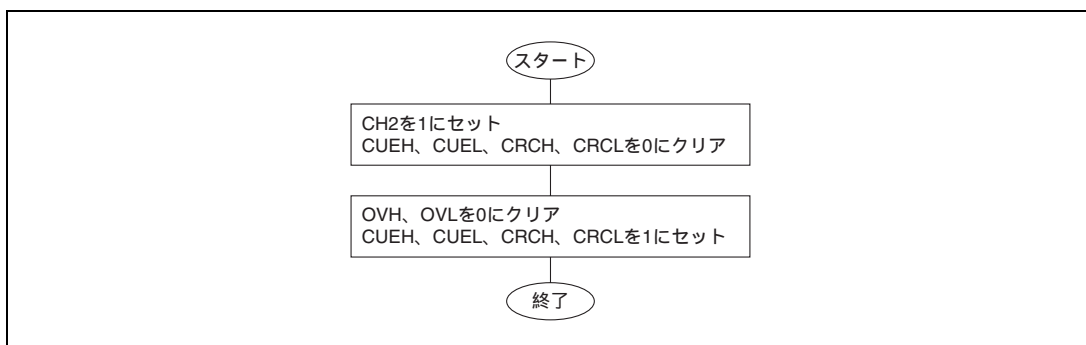


図 9.21 8 ビットイベントカウンタとして使用する場合のソフトウェアの例

9. タイマ

図 9.21 に示すソフトウェアの例で使用すると独立した 8 ビットのイベントカウンタとして使用できます。8 ビットイベントカウンタの動作クロックは ECH が AEVH 端子からの非同期イベント入力、ECL が AEVL 端子からの非同期イベント入力です。ECH のカウント値が H'FF になった後にクロックが入力されると、ECH はオーバーフローし ECCSR の OVH フラグが 1 にセットされ、ECH のカウント値は H'00 に戻り、再びカウントアップを再開します。また、ECL のカウント値が H'FF になった後にクロックが入力されると、ECL はオーバーフローし ECCSR の OVL フラグが 1 にセットされ、ECL のカウント値は H'00 に戻り、再びカウントアップを再開します。オーバーフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

9.7.4 非同期イベントカウンタの動作モード

非同期イベントカウンタの動作モードを表 9.21 に示します。

表 9.21 非同期イベントカウンタの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
ECCSR	リセット	動作	動作	保持*	動作	動作	保持*	保持
ECH	リセット	動作	動作*	動作*	動作	動作	動作*	停止
ECL	リセット	動作	動作*	動作*	動作	動作	動作*	停止

【注】 * 非同期外部イベントが入力されるとカウンタはカウントアップしますが、カウンタオーバーフロー-H/L フラグは影響を受けません。

9.7.5 使用上の注意事項

1. ECH、ECLの値をリードする場合には、リードする前にECCSRのCUEH、CUELを0にクリアして非同期イベント入力をカウンタに入力しないようにしてください。リードしている際にイベントカウンタがカウントアップすると正しい値がリードできません。なお、ECCSRのCUEH、CUELの0クリアの際にECH、ECLが1カウントカウントアップされることがあります。
2. AEVH、AEVL端子に入力するクロックの周波数は最大16MHzまでの範囲としてください。またクロックのHigh幅、Low幅は最小32nsとなるようにしてください。

モード	AEVL、AEVH 端子に入力する 最大クロック周波数
16ビットモード	$V_{CC} = 2.7 \sim 5.5V/16MHz$
8ビットモード アクティブ(高速)、スリープ(高速)	
8ビットモード アクティブ(中速)、スリープ(中速)	$2 \cdot f_{osc}$ f_{osc} $1/2 \cdot f_{osc}$ $1/4 \cdot f_{osc}$
(/16)	
(/32)	
(/64)	
fosc=1MHz ~ 16MHz	(/128)
8ビットモード ウォッチ、サブアクティブ、サブスリープ、スタンバイ	1000kHz 500kHz 250kHz
(w/2)	
(w/4)	
w=32.768kHz または 38.4kHz	(w/8)

3. 16ビットモードで使用する際、ECCSRの設定はCUEHを1にセットしてからCRCHを1にセットするか、CUEHとCRCHを同時にセットしてからクロックを入力してください。その後16ビットモードで使用中はCUEHの値を変更しないでください。16ビットモード設定中にCUEHを変化させるとECHが誤カウントアップすることがあります。

10. シリアルコミュニケーションインタフェース

10.1 概要

本 LSI には SCI3-1 と SCI3-2 の 2 つのシリアルコミュニケーションインタフェースが搭載されています。この 2 つの SCI はまったく同一機能を有しています。

本マニュアルでは、これらを SCI3 と総称して説明します。

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信を行います。

10.1.1 特長

SCI3 の特長を以下に示します。

- シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) および、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

通信フォーマットを 16 種類のフォーマットから選択できます。

データ長	7 ビット / 8 ビット / 5 ビット
ストップビット長	1 ビット / 2 ビット
パリティ	偶数パリティ / 奇数パリティ / パリティなし
受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD _{3x} 端子のレベルを直接読み出すことでブレークを検出

- クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

データ長	8 ビット
受信エラーの検出	オーバランエラー

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

- 内蔵のボーレートジェネレータで任意のビットレートを選択可能

10. シリアルコミュニケーションインタフェース

- 送受信クロックソースを内部クロック、または外部クロックから選択可能
- 6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割り込み要因があります。

10.1.2 ブロック図

SCI3のブロック図を図10.1に示します。

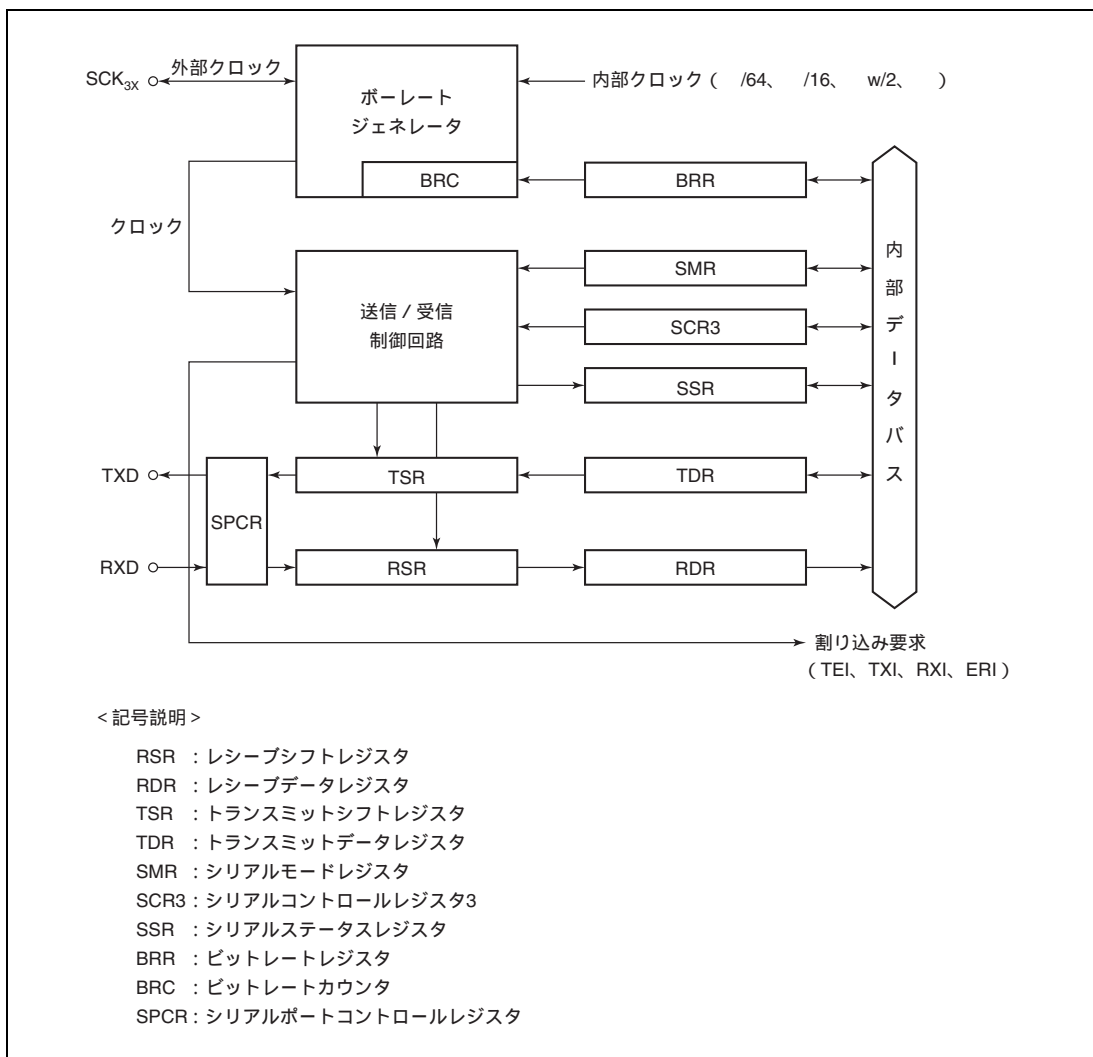


図 10.1 SCI3のブロック図

10.1.3 端子構成

SCI3の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK _{3X}	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD _{3X}	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD _{3X}	出力	SCI3 の送信データ出力端子

10.1.4 レジスタ構成

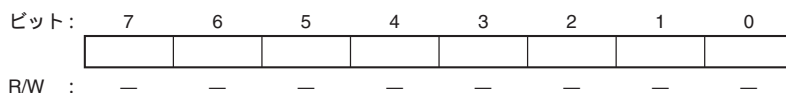
SCI3のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8/FF98
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9/FF99
シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFAA/FF9A
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB/FF9B
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC/FF9C
レシーブデータレジスタ	RDR	R	H'00	H'FFAD/FF9D
トランスミットシフトレジスタ	TSR	不可		
レシーブシフトレジスタ	RSR	不可		
ビットレートカウンタ	BRC	不可		
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA
シリアルポートコントロールレジスタ	SPCR	R/W	H'C0	H'FF91

10.2 各レジスタの説明

10.2.1 レシーブシフトレジスタ (RSR)



RSR は、シリアルデータを受信するためのレジスタです。RSR に RXD_{3X} 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

10.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納する 8 ビットのレジスタです。

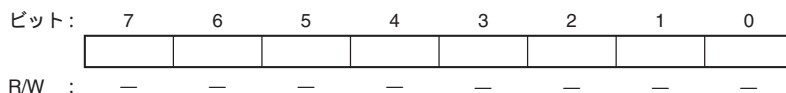
1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後、RSR は受信可能となります。

RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、受信専用レジスタですので CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

10.2.3 トランスミットシフトレジスタ (TSR)



TSR は、シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TXD_{3X} 端子に送出することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。

CPU から TSR を直接リード/ライトすることはできません。

10.2.4 トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信データを格納する 8 ビットのレジスタです。TSR の"空"を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておくこと、連続送信が可能です。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。

10.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、シリアルデータ通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (COM)

COM は、SCI3 を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット 7	説明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

10. シリアルコミュニケーションインタフェース

ビット6：キャラクタレングス（CHR）

CHR は、調歩同期式モード時におけるデータ長を選択するビットです。7ビットデータと8ビットデータのいずれかを選択できます。クロック同期式モードでは、CHR の設定にかかわらず、データ長は8ビットに固定となります。

ビット6	説明
CHR	
0	8ビットデータ / 5ビットデータ* ² (初期値)
1	7ビットデータ* ¹ / 5ビットデータ* ²

【注】 *1 7ビットデータを選択した場合、TDR のMSB（ビット7）は送信されません。

*2 5ビットデータを選択する場合は、PE=1、MP=1としてください。
また、TDR のMSB（ビット7、ビット6、ビット5）は送信されません。

ビット5：パリティイネーブル（PE）

PE は、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードではPE の設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加およびチェックを禁止* ² (初期値)
1	パリティビットの付加およびチェックを許可* ¹ * ²

【注】 *1 PE に1をセットすると送信時には、PM で指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPM で指定したパリティになっているかどうかをチェックします。

*2 5ビットデータを選択した場合は表 10.11 を参照してください。

ビット4：パリティモード（PM）

PM は、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらで行うかを選択するビットです。PM の設定は、調歩同期式モードでPE に1を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはPM は無効です。

ビット4	説明
PM	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *1 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が偶数になるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が奇数になるかどうかをチェックします。

ビット3: ストップビットレングス (STOP)

STOPは、調歩同期式モードでのストップビットの長さを選択するビットです。1ビットまたは2ビットのいずれかを選択できます。STOPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんのでSTOPは無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。

ビット2: 5ビット通信 (MP)

MPは5ビット通信フォーマットの設定を行います。このビットが1のとき、5ビット通信のフォーマットが可能となります。1をライトする場合は必ず、同時に、ビット5(PE)に1をライトしてください。

ビット2	説明
MP	
0	7/8ビット通信フォーマット* (初期値)
1	5ビット通信フォーマット*

【注】 * 5ビットデータを選択した場合は表 10.11 を参照してください。

10. シリアルコミュニケーションインタフェース

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

CKS1、CKS0 は、内蔵ボーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0 の組み合わせによって、 $/64$ 、 $/16$ 、 $w/2$ 、 w の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「10.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	クロック (初期値)
0	1	$w/2$ クロック*1 / w クロック*2
1	0	$/16$ クロック
1	1	$/64$ クロック

【注】 *1 アクティブ (中速 / 高速) ・スリープ (中速 / 高速) 時では $w/2$ クロックとなります。

*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $w/2$ のときのみ SCI3 が使用可能となります。

10.2.6 シリアルコントロールレジスタ 3 (SCR3)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3 は、送信 / 受信動作、調歩同期モードでのクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行う 8 ビットのレジスタです。

SCR3 は、常に CPU によるリード / ライトが可能です。

SCR3 は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

ビット 7 : トランスミットインタラプトイネーブル (TIE)

TIE は、TDR から TSR へ送信データが転送され、SSR の TDRE が 1 にセットされたとき、送信データエンプティ割り込み要求 (TXI) の許可 / 禁止を選択するビットです。

TXI は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。

ビット 7	説明
TIE	
0	送信データエンプティ割り込み要求 (TXI) の禁止 (初期値)
1	送信データエンプティ割り込み要求 (TXI) の許可

ビット6：レシーブインタラプトイネーブル（RIE）

RIEは、受信データがRSRからRDRへ転送され、SSRのRDRFが1にセットされたとき、受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）の許可/禁止を選択するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの3種類があります。

RXIおよびERIは、RDRFまたは、FER、PER、OERのエラーフラグを0にクリアするか、RIEを0にクリアすることで解除できます。

ビット6	説明
RIE	
0	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を禁止 (初期値)
1	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を許可

ビット5：トランスミットイネーブル（TE）

TEは、送信動作の開始の許可/禁止を選択するビットです。

ビット5	説明
TE	
0	送信動作を禁止*1（TXD端子は入出力ポート） (初期値)
1	送信動作を許可*2（TXD端子はトランスミットデータ端子）

【注】 *1 SSRのTDREは1に固定されます。

*2 この状態で、TDRに送信データをライトするとSSRのTDREが0にクリアされシリアルデータ送信を開始します。なお、TEを1にセットする前に必ずSMRの設定とSPCRのSPC31またはSPC32の設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

REは、受信動作の開始の許可/禁止を選択するビットです。

ビット4	説明
RE	
0	受信動作を禁止*1（RXD端子は入出力ポート） (初期値)
1	受信動作を許可*2（RXD端子はレシーブデータ端子）

【注】 *1 REを0にクリアしてもSSRのRDRF、FER、PER、OERの各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力、それぞれ検出するとシリアルデータ受信を開始します。なお、REを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3：リザーブビット（MPIE）

MPIEはリザーブビットです。

10. シリアルコミュニケーションインタフェース

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

TEIE は、MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み要求 (TEI) の許可 / 禁止を選択するビットです。

ビット2	説明
TEIE	
0	送信終了割り込み要求 (TEI) を禁止 (初期値)
1	送信終了割り込み要求 (TEI) を許可*

【注】 * TEI は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できません。

ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

CKE1、CKE0 は、クロックソースの選択、および SCK_{3X} 端子からのクロックの出力の許可 / 禁止を選択するビットです。CKE1 と CKE0 の組み合わせによって SCK_{3X} 端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0 の設定は調歩同期式モードで内部クロック動作時 (CKE1 = 0) のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 に 0 を設定してください。

また、CKE1、CKE0 を設定した後に SMR で動作モードを決定してください。

クロックソースの選択についての詳細は「10.3.1 概要」の表 10.9 を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK _{3X} 端子機能
0	0	調歩同期式	内部クロック	入出力ポート* ¹
		クロック同期式	内部クロック	同期クロック出力* ¹
0	1	調歩同期式	内部クロック	クロック出力* ²
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力* ³
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力します。

*3 ビットレートの 16 倍の周波数のクロックを入力してください。

10.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするため"0"ライトのみ可能です。

SSR は、SCI3 の動作状態を示すステータスフラグを内蔵した 8 ビットのレジスタです。

SSR は常に、CPU からリード/ライトできます。ただし、TDRE、RDRF、OER、PER、FER へ 1 をライトすることはできません。また、これらに 0 をライトしてクリアするためには、あらかじめ 1 をリードしておく必要があります。

また、TEND および MPBR はリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、モジュールスタンバイモード、ウォッチモード時に H'84 に初期化されます。

ビット 7: トランスミットデータレジスタエンブティ (TDRE)

TDRE は、TDR から TSR に送信データの転送が行われたことを示すビットです。

ビット 7	説明
TDRE	
0	TDR にライトされた送信データが TSR に転送されていない [クリア条件] (1) TDRE = 1 の状態をリードした後、0 をライトしたとき (2) 命令で TDR へデータをライトしたとき
1	TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送された [セット条件] (1) SCR3 の TE が 0 のとき (2) TDR から TSR にデータ転送が行われたとき (初期値)

10. シリアルコミュニケーションインタフェース

ビット6：レシーブデータレジスタフル（RDRF）

RDRF は、受信したデータが RDR に格納されていることを示すビットです。

ビット6	説明
RDRF	
0	RDR に受信データが格納されていない [クリア条件] (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) 命令で RDR のデータをリードしたとき (初期値)
1	RDR に受信データが格納されている [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR3 の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバランエラー（OER）を発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（OER）

OER は、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
OER	
0	受信中、または受信を完了した*1 [クリア条件] OER = 1 の状態をリードした後、0 をライトしたとき (初期値)
1	受信時にオーバランエラーが発生した*2 [セット条件] RDRF が 1 の状態で受信を完了したとき

【注】 *1 SCR3 の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。

*2 RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が 1 にセットされた状態で、以降の受信を続けることはできません。クロック同期モードでは送信も続けることができません。

ビット4：フレーミングエラー（FER）

FER は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	説明
FER	
0	受信中、または受信を完了した* ¹ （初期値） [クリア条件] FER=1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCR3のREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。

*2 2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが1にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

PER は、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3	説明
PER	
0	受信中、または受信を完了した* ¹ （初期値） [クリア条件] PER=1の状態をリードした後、0をライトしたとき
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットを合わせた1の数がSMRのPMで設定したパリティと一致しなかったとき

【注】 *1 SCR3のREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが1にセットされていると送信および受信はできません。

10. シリアルコミュニケーションインタフェース

ビット 2 : トランスミットエンド (TEND)

TEND は、送信キャラクタの最後尾ビットを送信時に、TDRE が 1 にセットされていたことを示すビットです。

TEND は、リード専用ですのでライトすることはできません。

ビット 2	説明
TEND	
0	送信中 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE に 0 をライトしたとき (2) 命令で TDR にデータをライトしたとき
1	送信を終了 (初期値) [セット条件] (1) SCR3 の TE が 0 のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDRE が 1 であったとき

ビット 1 : リザーブビット (MPBR)

MPBR は、リザーブビットです。

リード専用ですのでライトすることはできません。

ビット 0 : リザーブビット (MPBT)

MPBT は、リザーブビットです。

ライトする場合は必ず 0 をライトしてください。

10.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 で選択されるボーレートジェネレータの動作クロックと合わせて、送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、モジュールスタンバイモード、ウォッチモード時に H'FF に初期化されます。

調歩同期式モードの BRR の設定例を表 10.3 に示します。表 10.3 はアクティブ (高速) モードでの値を示しています。

表 10.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

OSC	32.8kHz			38.4kHz			2MHz			2.4576MHz			4MHz			
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	
110	誤差が3%以上になるため使用不可	—	—	—	—	—	2	21	-0.83	—	—	—	—	—	—	
150		0	3	0	2	12	0.16	3	3	0	2	25	0.16	—	—	
200		0	2	0	0	155	0.16	3	2	0	—	—	—	—	—	
250		—	—	—	0	124	0	0	153	-0.26	0	249	0	—	—	—
300		0	1	0	0	103	0.16	3	1	0	2	12	0.16	—	—	—
600		0	0	0	0	51	0.16	3	0	0	0	103	0.16	—	—	—
1200		—	—	—	0	25	0.16	2	1	0	0	51	0.16	—	—	—
2400		—	—	—	0	12	0.16	2	0	0	0	25	0.16	—	—	—
4800		—	—	—	—	—	—	0	7	0	0	12	0.16	—	—	—
9600		—	—	—	—	—	—	0	3	0	—	—	—	—	—	—
19200		—	—	—	—	—	—	0	1	0	—	—	—	—	—	—
31250		—	—	—	0	0	0	—	—	—	0	1	0	—	—	—
38400		—	—	—	—	—	—	0	0	0	—	—	—	—	—	—

表 10.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

OSC	10MHz			16MHz		
	n	N	誤差(%)	n	N	誤差(%)
110	2	88	-0.25	2	141	0.03
150	2	64	0.16	2	103	0.16
200	2	48	-0.35	2	77	0.16
250	2	38	0.16	2	62	-0.79
300	—	—	—	2	51	0.16
600	—	—	—	2	25	0.16
1200	0	129	0.16	0	207	0.16
2400	0	64	0.16	0	103	0.16
4800	—	—	—	0	51	0.16
9600	—	—	—	0	25	0.16
19200	—	—	—	0	12	0.16
31250	0	4	0	0	7	0
38400	—	—	—	—	—	—

10. シリアルコミュニケーションインタフェース

- 【注】 1. 誤差は、1%以内となるように設定してください。
2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{64 \times 2^{2n} \times B} - 1$$

B: ビットレート (bit/s)

N: ポーレートジェネレータの BRR の設定値 (0 N 255)

OSC: osc の値 (Hz)

n: ポーレートジェネレータの入力クロックの No. (n=0、2、3)

(n とクロックの関係は表 10.4 を参照)

3. 表 10.3 の誤差は以下の計算式で求めた値を小数点第 3 位を四捨五入して表示してあります。

$$\text{誤差 (\%)} = \frac{B(n, N, \text{OSCから求めたビットレート}) - R(\text{表10.3左欄のビットレート})}{R(\text{表10.3の左欄のビットレート})} \times 100$$

表 10.4 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	$w/2^{*1} / w^{*2}$	0	1
2	/16	1	0
3	/64	1	1

- 【注】 *1 アクティブ (中速/高速)、スリープ (中速/高速) 時では $w/2$ クロックとなります。
*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $w/2$ のときのみ SCI3 が使用可能となります。

調歩同期式モードの各周波数における最大ビットレートを表 10.5 に示します。

表 10.5 はアクティブ (高速) モードでの値を示しています。

表 10.5 各周波数における最大ビットレート [調歩同期式モード]

OSC (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
0.0384*	600	0	0
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
10	156250	0	0
16	250000	0	0

- 【注】 * SMR を CKS1=0、CKS0=1 に設定したとき

クロック同期式モードの BRR の設定例を表 10.6 に示します。表 10.6 はアクティブ (高速) モードでの値を示しています。

表 10.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート(bit/s)	38.4kHz			2MHz			4MHz			10MHz			16MHz		
	n	N	誤差率	n	N	誤差率	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	0	23	0	—	—	—	—	—	—	—	—	—	—	—	—
250	—	—	—	—	—	—	2	124	0	—	—	—	3	124	0
300	2	0	0	—	—	—	—	—	—	—	—	—	—	—	—
500				—	—	—	—	—	—	—	—	—	2	249	0
1K				0	249	0	—	—	—	—	—	—	2	124	0
2.5K				0	99	0	0	199	0	—	—	—	2	49	0
5K				0	49	0	0	99	0	0	249	0	2	24	0
10K				0	24	0	0	49	0	0	124	0	0	199	0
25K				0	9	0	0	19	0	0	49	0	0	79	0
50K				0	4	0	0	9	0	0	24	0	0	39	0
100K				—	—	—	0	4	0	—	—	—	0	19	0
250K				0	0	0	0	1	0	0	4	0	0	7	0
500K							0	0	0	—	—	—	0	3	0
1M										—	—	—	0	1	0

空欄：設定不可能です。

：設定は可能ですが、誤差が出ます。

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{OSC}{8 \times 2^{2n} \times B} - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

OSC：osc の値 (Hz)

n：ボーレートジェネレータの入力クロックの No. (n=0、2、3)

(n とクロックの関係は表 10.7 を参照)

表 10.7 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	w/2*1/ w*2	0	1
2	/16	1	0
3	/64	1	1

【注】 *1 アクティブ (中速 / 高速)、スリープ (中速 / 高速) 時では w/2 クロックとなります。

*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w/2 のときのみ SCI3 が使用可能となります。

10. シリアルコミュニケーションインタフェース

10.2.9 クロック停止レジスタ 1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では SCI31 に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 6 : SCI31 をモジュールスタンバイモード制御 (S31CKSTP)

SCI31 をモジュールスタンバイモードに設定および解除を制御します。

S31CKSTP	説明
0	SCI31 はモジュールスタンバイモードに設定される。*
1	SCI31 のモジュールスタンバイモードは解除される。 (初期値)

【注】 * モジュールスタンバイモードに設定した場合、SCI31 の全レジスタはリセット状態となります。

ビット 5 : SCI32 をモジュールスタンバイモード制御 (S32CKSTP)

SCI32 をモジュールスタンバイモードに設定および解除を制御します。

S32CKSTP	説明
0	SCI32 はモジュールスタンバイモードに設定される。*
1	SCI32 のモジュールスタンバイモードは解除される。 (初期値)

【注】 * モジュールスタンバイモードに設定した場合、SCI32 の全レジスタはリセット状態となります。

10.2.10 シリアルポートコントロールレジスタ (SPCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

SPCR は、8 ビットのリード/ライト可能なレジスタで、RXD₃₁、RXD₃₂、TXD₃₁、TXD₃₂、端子の入出力データ反転切り替えを行います。リセット時、SPCR は H'0 に初期化されます。

ビット 7~6 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 5 : P4₂/TXD₃₂ 端子機能切り替え

P4₂/TXD₃₂ 端子を P4₂ 端子として使用するか TXD₃₂ 端子として使用するかを設定します。

ビット 5	説明	
SPC32		
0	P4 ₂ 入出力端子として機能。	(初期値)
1	TXD ₃₂ 出力端子として機能。*	

【注】 * : 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

ビット 4 : P3₅/TXD₃₁ 端子機能切り替え

P3₅/TXD₃₁ 端子を P3₅ 端子として使用するか TXD₃₁ 端子として使用するかを設定します。

ビット 4	説明	
SPC31		
0	P3 ₅ 入出力端子として機能。	(初期値)
1	TXD ₃₁ 出力端子として機能。*	

【注】 * : 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

ビット 3 : TXD₃₂ 端子出力データ反転切り替え

TXD₃₂ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット 3	説明	
SCINV3		
0	TXD ₃₂ の出力データを反転しない。	(初期値)
1	TXD ₃₂ の出力データを反転する。	

ビット 2 : RXD₃₂ 端子入力データ反転切り替え

RXD₃₂ 端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット 2	説明	
SCINV2		
0	RXD ₃₂ の入力データを反転しない。	(初期値)
1	RXD ₃₂ の入力データを反転する。	

10. シリアルコミュニケーションインタフェース

ビット 1 : TXD₃₁ 端子出力データ反転切り替え

TXD₃₁ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット 1	説明
SCINV1	
0	TXD ₃₁ の出力データを反転しない。 (初期値)
1	TXD ₃₁ の出力データを反転する。

ビット 0 : RXD₃₁ 端子入力データ反転切り替え

RXD₃₁ 端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット 0	説明
SCINV0	
0	RXD ₃₁ の入力データを反転しない。 (初期値)
1	RXD ₃₁ の入力データを反転する。

10.3 動作説明

10.3.1 概要

SCI3 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMR で行います。これを表 10.8 に示します。

また、SCI3 のクロックソースは、SMR の COM、および SCR3 の CKE1、CKE0 の組み合わせでできます。これを表 10.9 に示します。

(1) 調歩同期式モード

- データ長：5ビット/7ビット/8ビットから選択可能
- パリティの付加、および1ビットまたは2ビットのストップビットの付加を選択可能（これらの組み合わせで送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- クロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラー（OER）の検出が可能
- クロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力
外部クロックを選択した場合：内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

10. シリアルコミュニケーションインタフェース

表 10.8 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	パリティビット	ストップビット長			
COM	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	1			
				1				2			
			1	0				0	あり	1	
								1		2	
			1	0				0	7ビット データ	なし	1
								1			2
	1	0	0	あり	1						
			1		2						
	0	1	0	0	設定禁止						
				1	0	調歩同期式 モード	5ビット データ	なし			1
	1		1	2							
	1		0	0	0	設定禁止					
					1	0	調歩同期式 モード	5ビット データ	あり	1	
	1		1	2							

* : Don't care

表 10.9 SMR、SCR3 の設定とクロックソースの選択

SMR	SCR3		モード	送信 / 受信クロック	
ビット7	ビット1	ビット0		クロックソース	SCK _{3x} 端子の機能
COM	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	入出力ポート (SCK _{3x} 端子を使用しません) ビットレートと同じ周波数のクロックを出力
		1			
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
1	0	0	クロック同期式 モード	内部	同期クロックを出力
	1	0		外部	同期クロックを入力
0	1	1	リザーブ (この組み合わせは指定しないでください)		
1	0	1			
1	1	1			

(3) 割り込みと連続送信 / 受信

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。

表 10.10 にこれらの割り込みについて示します。

表 10.10 送信 / 受信割り込み

割り込み	フラグ	割り込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI が許可され割り込みが発生します。 (図 10.2 (a) 参照)	RXI の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI が許可され割り込みが発生します。 (図 10.2 (b) 参照)	TXI の割り込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI が許可され割り込みが発生します。 (図 10.2 (c) 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

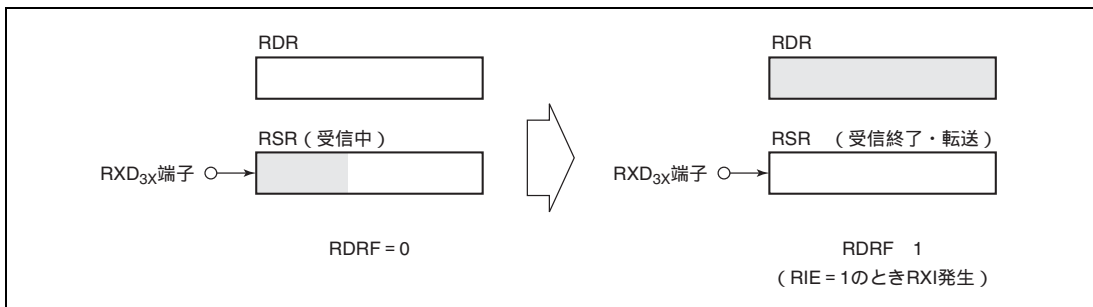


図 10.2 (a) RDRF のセットと RXI 割り込み

10. シリアルコミュニケーションインタフェース

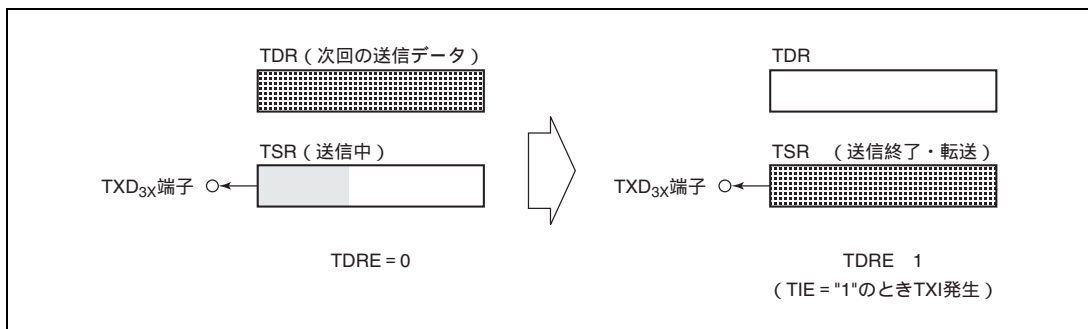


図 10.2 (b) TDRE のセットと TXI 割り込み

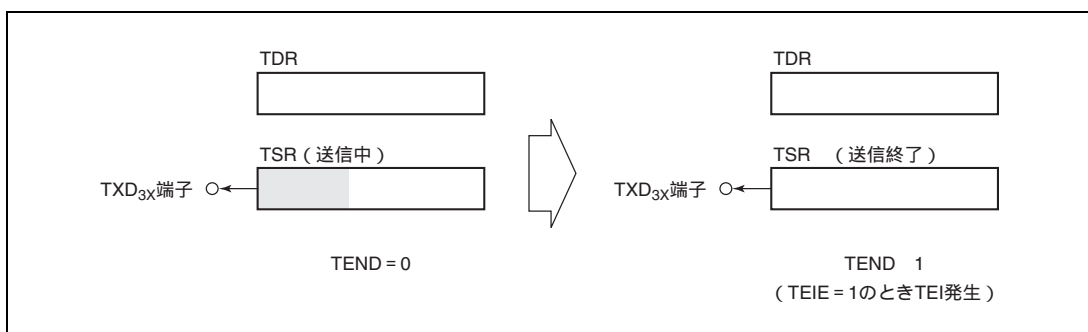


図 10.2 (c) TEND のセットと TEI 割り込み

10.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図 10.3 に示します。

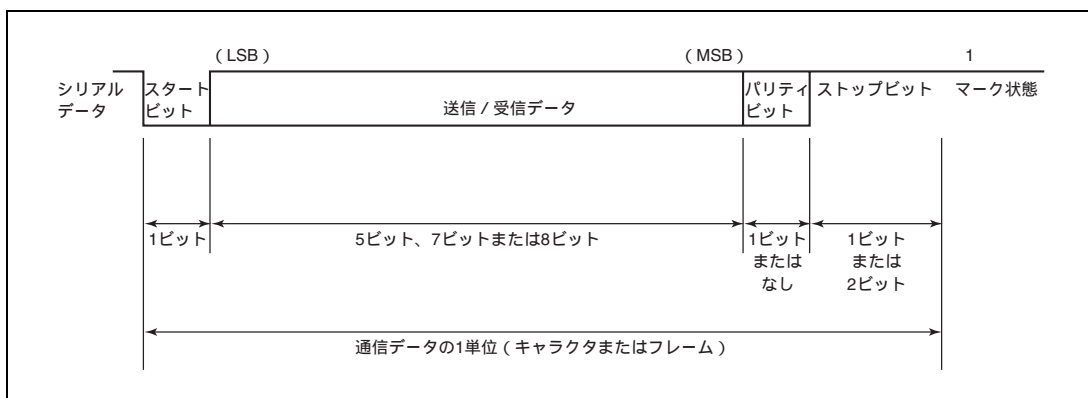


図 10.3 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの 1 キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト: 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 10.11 に示します。

送信 / 受信フォーマットは 16 種類あり、SMR の設定により選択できます。

10. シリアルコミュニケーションインタフェース

表 10.11 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	START	8ビットデータ								STOP				
0	0	0	1	START	8ビットデータ								STOP	STOP			
0	0	1	0	設定禁止													
0	0	1	1	設定禁止													
0	1	0	0	START	8ビットデータ								P	STOP			
0	1	0	1	START	8ビットデータ								P	STOP	STOP		
0	1	1	0	START	5ビットデータ				STOP								
0	1	1	1	START	5ビットデータ				STOP	STOP							
1	0	0	0	START	7ビットデータ						STOP						
1	0	0	1	START	7ビットデータ						STOP	STOP					
1	0	1	0	設定禁止													
1	0	1	1	設定禁止													
1	1	0	0	START	7ビットデータ						P	STOP					
1	1	0	1	START	7ビットデータ						P	STOP	STOP				
1	1	1	0	START	5ビットデータ				P	STOP							
1	1	1	1	START	5ビットデータ				P	STOP	STOP						

<記号説明>

START : スタートビット
 STOP : ストップビット
 P : パリティビット

(2) クロック

SCI3 の送受信クロックは、SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK_{3X} 端子から入力された外部クロックの 2 種類から設定できます。クロックソースの選択については表 10.9 を参照してください。

外部クロックを SCK_{3X} 端子を入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK_{3X} 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.4 に示すように送信 / 受信データの各ビットの中央でクロックが立ち上がります。

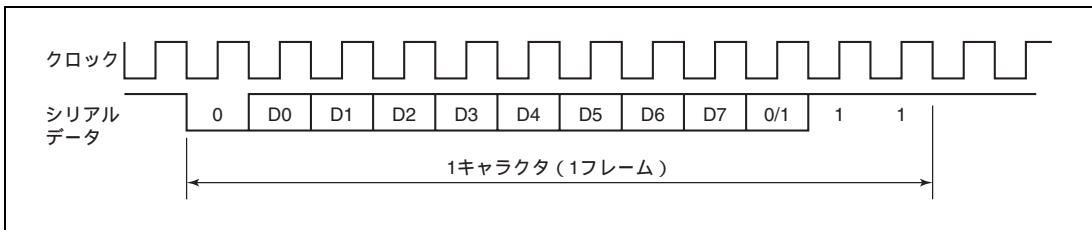


図 10.4 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(3) データの送信 / 受信動作

(a) SCI3 の初期化

データの送信 / 受信前には、まず SCR3 の TE および RE を 0 にクリアした後、以下の手順に従って初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ず TE および RE を 0 にクリアしてから変更してください。TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR の内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、初期化を含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、初期化中にクロックを供給しないでください。

10. シリアルコミュニケーションインタフェース

図 10.5 に SCI3 を初期化するときのフローチャートの例を示します。

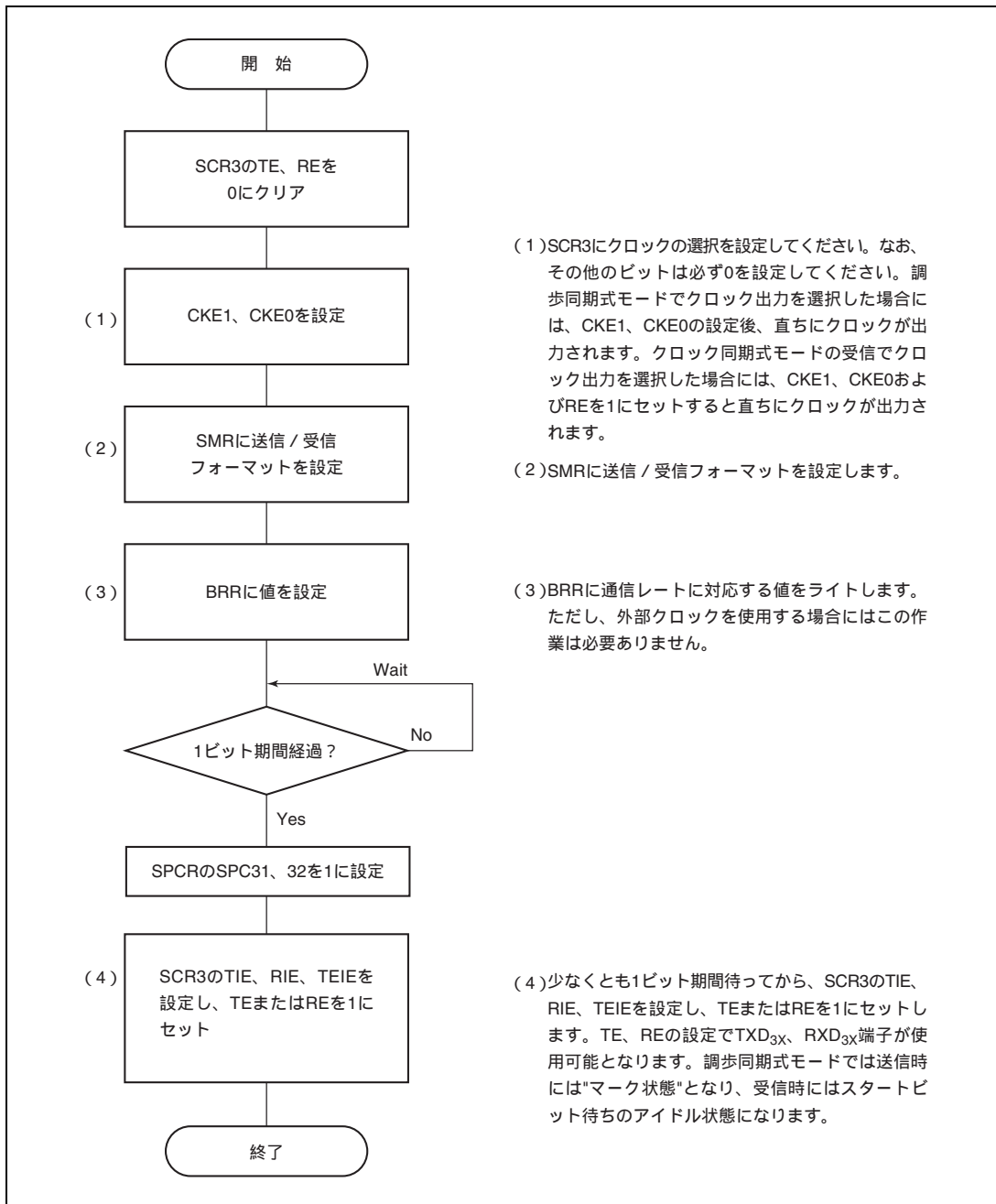


図 10.5 SCI3 を初期化するときのフローチャートの例

(b) データ送信

図 10.6 にデータ送信のフローチャートの例を示します。

データ送信は SCR3 の初期化後、以下の手順に従って行ってください。

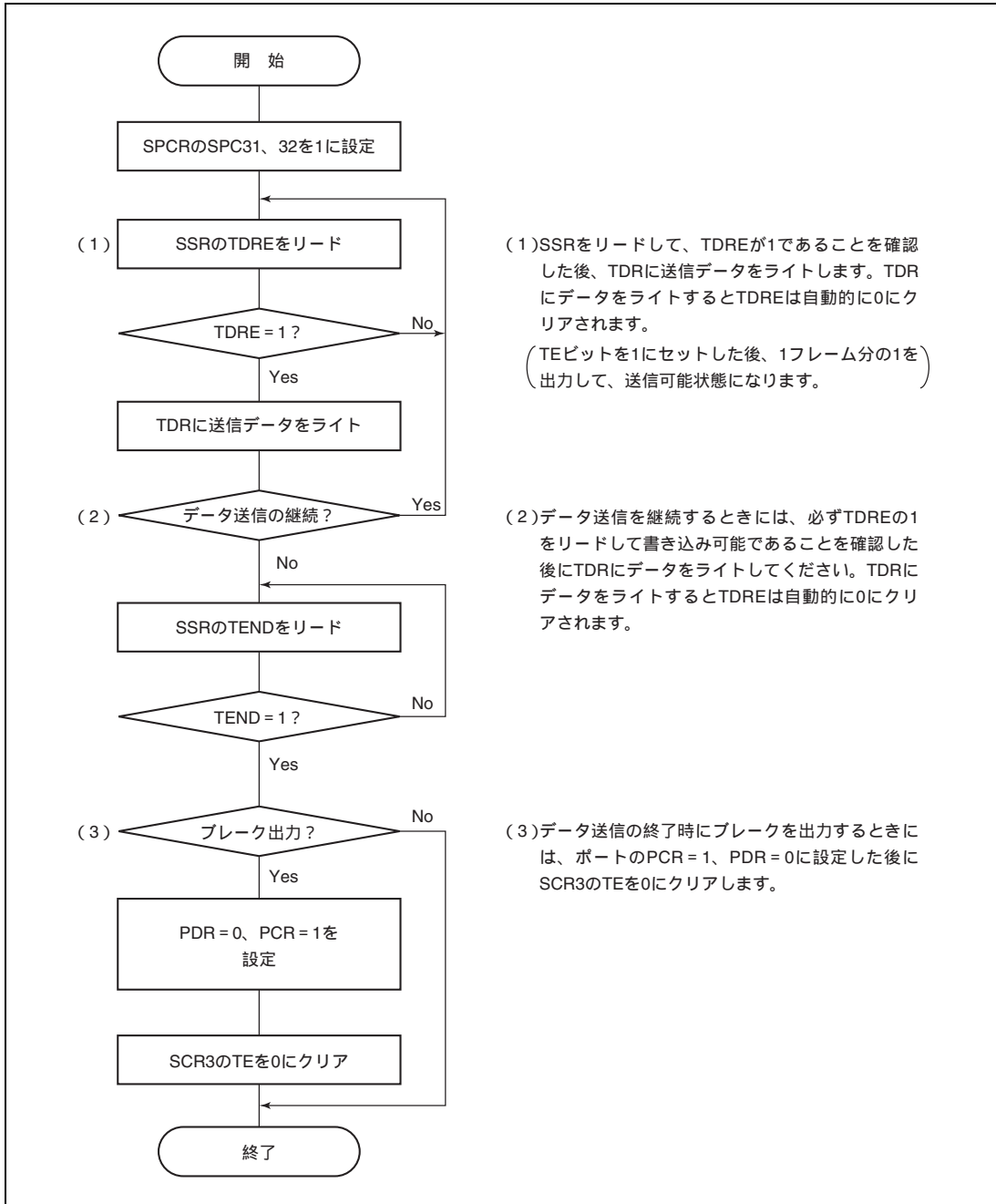


図 10.6 データ送信のフローチャートの例 (調歩同期式モード)

10. シリアルコミュニケーションインタフェース

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.11 に示す通信フォーマットに従い TXD_{3X} 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力する"マーク状態"になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.7 に調歩同期式モードの送信時の動作例を示します。

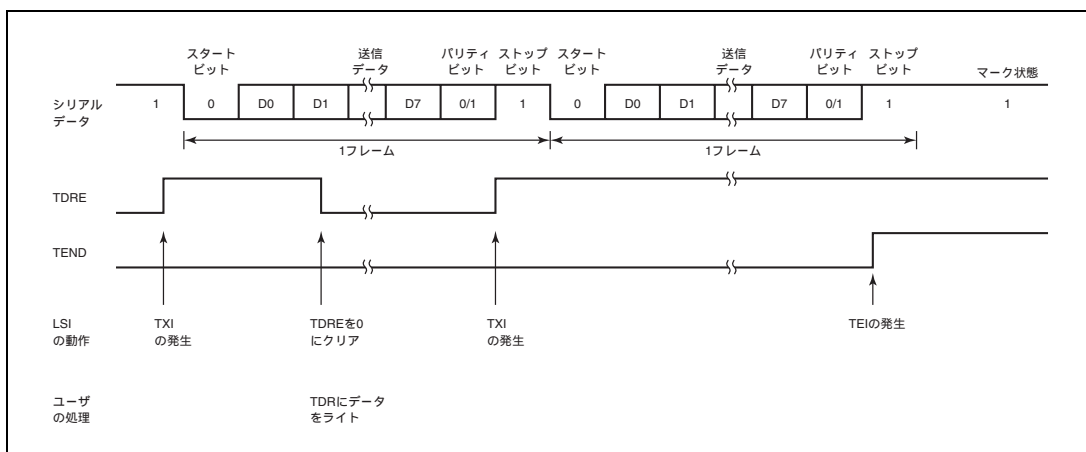


図 10.7 調歩同期式モードの送信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) データ受信

図 10.8 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

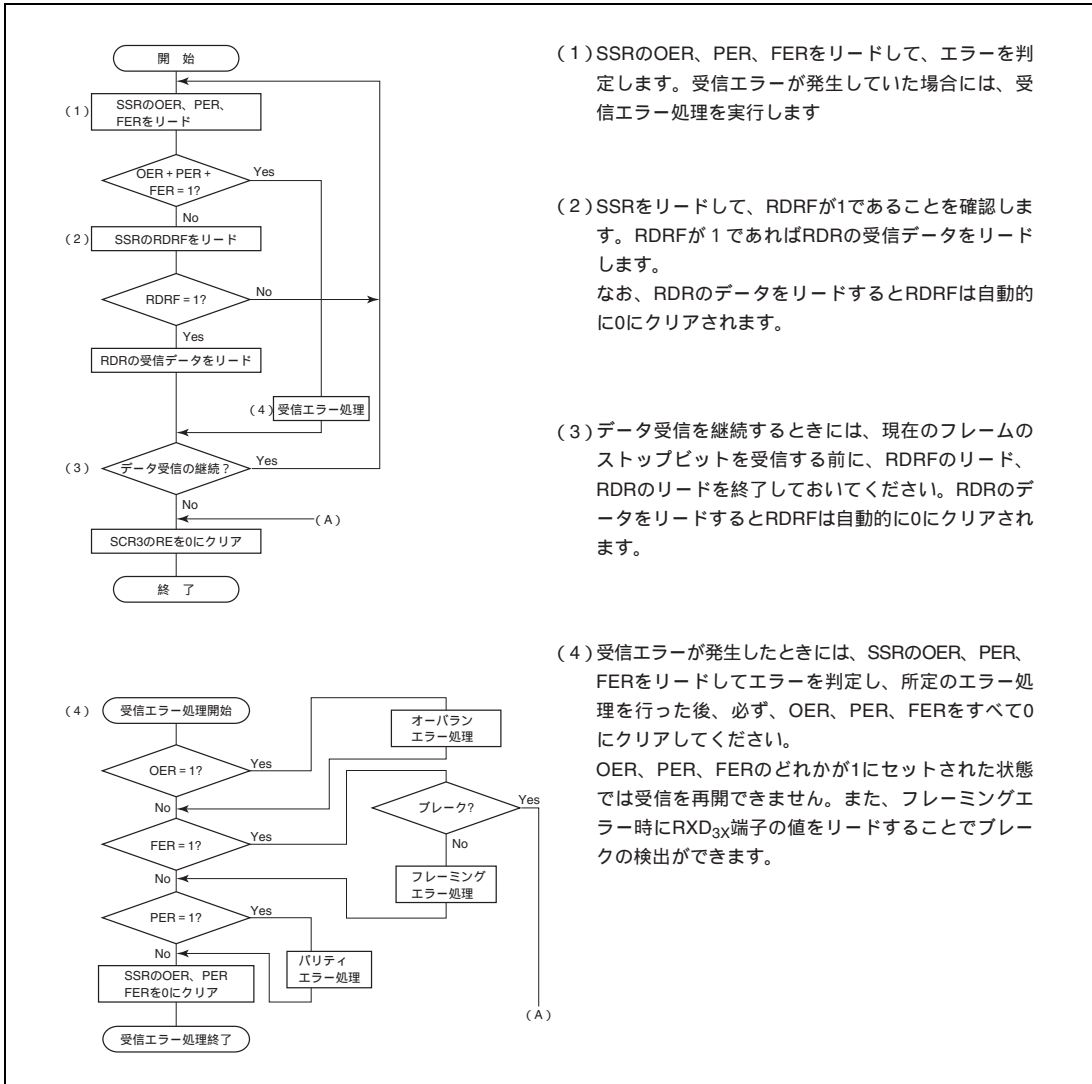


図 10.8 データ受信のフローチャートの例 (調歩同期式モード)

10. シリアルコミュニケーションインタフェース

SCI3 は受信時に以下のように動作します。

SCI3 は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し受信を開始します。受信は表 10.11 に示す通信フォーマットに従い、まず受信したデータを RSR の LSB から MSB の順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3 は以下のチェックを行います。

- パリティチェック：

受信データの 1 の数をチェックし、これが SMR の PM で設定した偶数 / 奇数パリティになっているかをチェックします。

- ストップビットチェック：

ストップビットが 1 であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

- ステータスチェック：

RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。このとき SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FER が 1 にセットされます。また RDRF はデータを受信する前の状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

表 10.12 に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を 0 にクリアしてください。

表 10.12 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSR の RDRF が 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されません。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されません。

調歩同期式モードの受信時の動作例を図 10.9 に示します。

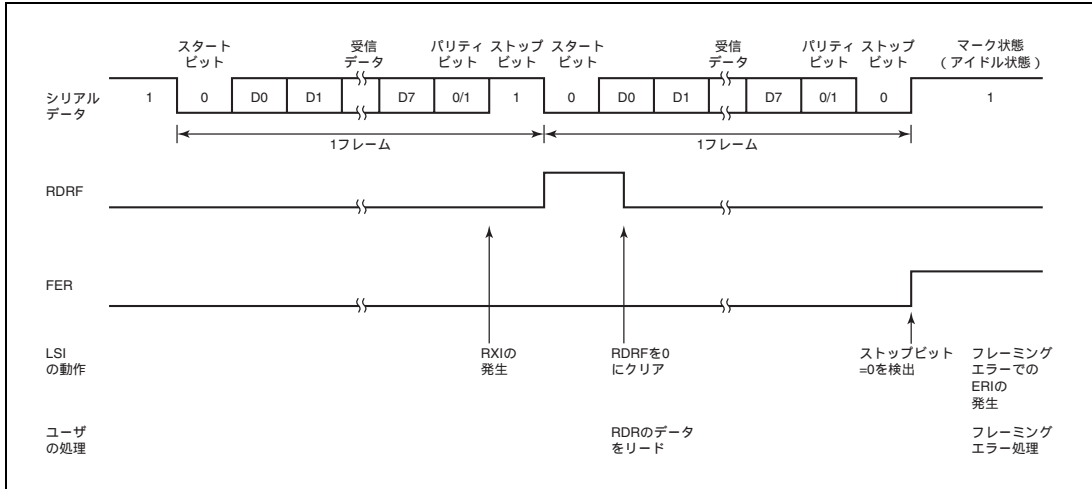


図 10.9 調歩同期式モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.3.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部/受信部はともにダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

10. シリアルコミュニケーションインタフェース

(1) 送信 / 受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図 10.10 に示します。

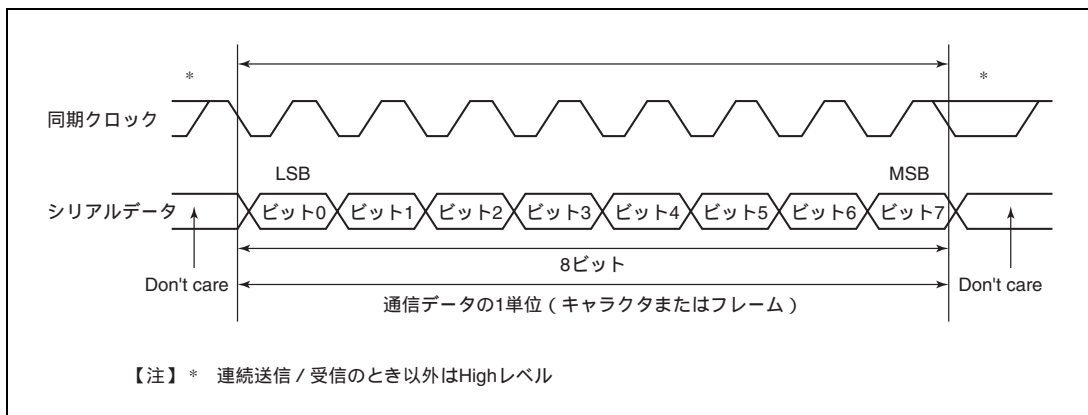


図 10.10 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりエッジでデータの確定が保証されます。

通信データの 1 キャラクタは、LSB から始まり最後に MSB の順で構成されます。MSB 出力後の通信回線は MSB の状態を保ちます。

クロック同期式モードでは、SCI3 は、受信時に同期クロックの立ち上がり同期してデータを取り込みます。送信 / 受信フォーマットは 8 ビットデータ固定です。パリティビットの付加はできません。

(2) クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK_{3X} 端子から入力された外部同期クロックの 2 種類から選択できます。クロックソースの選択については表 10.9 を参照してください。

内部クロックで動作させるとき、SCK_{3X} 端子からは同期クロックが出力されます。同期クロックは 1 キャラクタの送信 / 受信で 8 パルス出力され、送信および受信を行わないときには High レベルに固定されます。

(3) データの送信 / 受信動作

(a) SCI3 の初期化

データの送信 / 受信前には、「10.3.2 (3) (a) SCI3 の初期化」の説明および、図 10.5 の例に従って SCI3 を初期化してください。

(b) データ送信

図 10.11 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 の初期化後、以下の手順に従って行ってください。

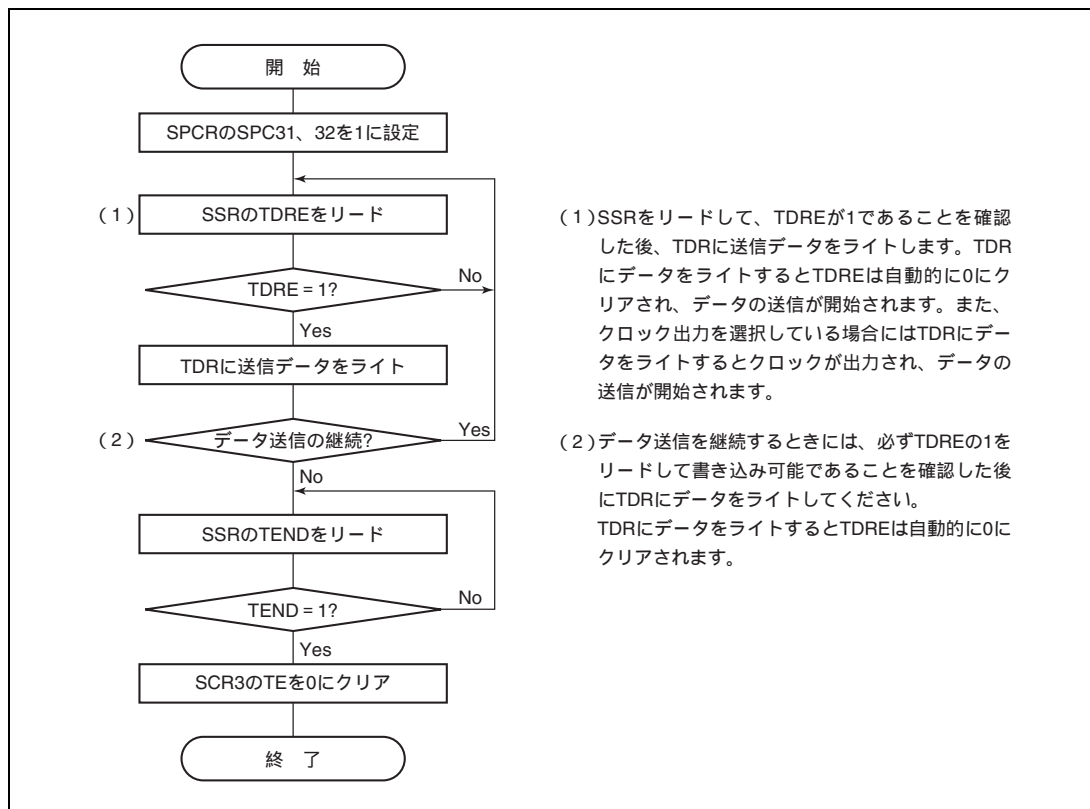


図 10.11 データ送信のフローチャートの例 (クロック同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

クロック出力モードに設定したときには、SCI3 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB (ビット 0) から MSB (ビット 7) の順に TXD_{3X} 端子から送信されます。

その後、MSB (ビット 7) を送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

送信終了後は、SCK 端子は High レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (OER、FER、PER) が 1 にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認してください。

10. シリアルコミュニケーションインタフェース

図 10.12 にクロック同期モードの送信時の動作例を示します。

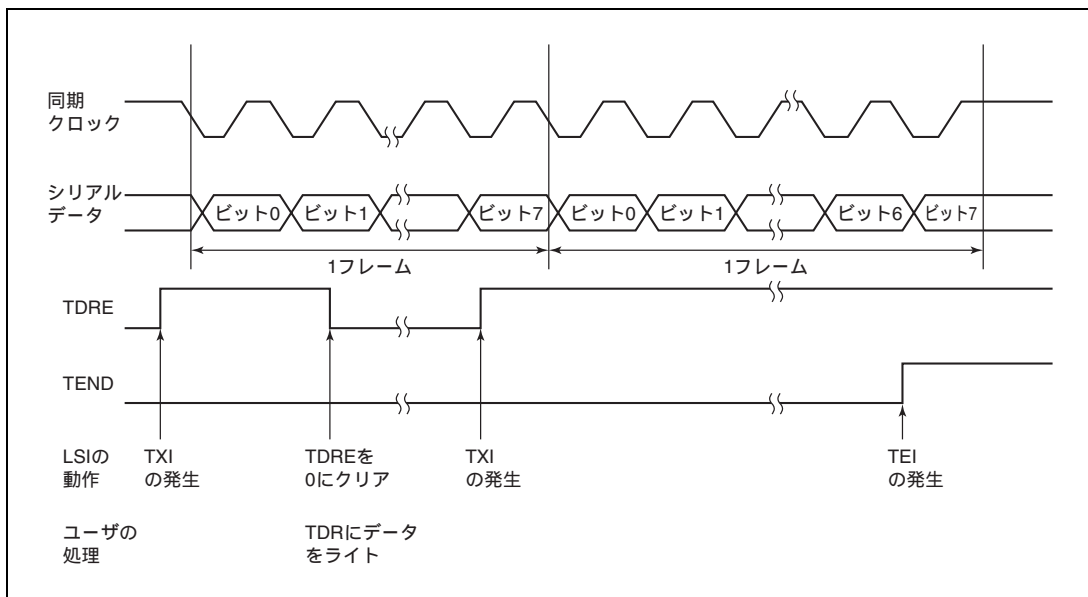


図 10.12 クロック同期モードの送信時の動作例

(c) データ受信

図 10.13 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

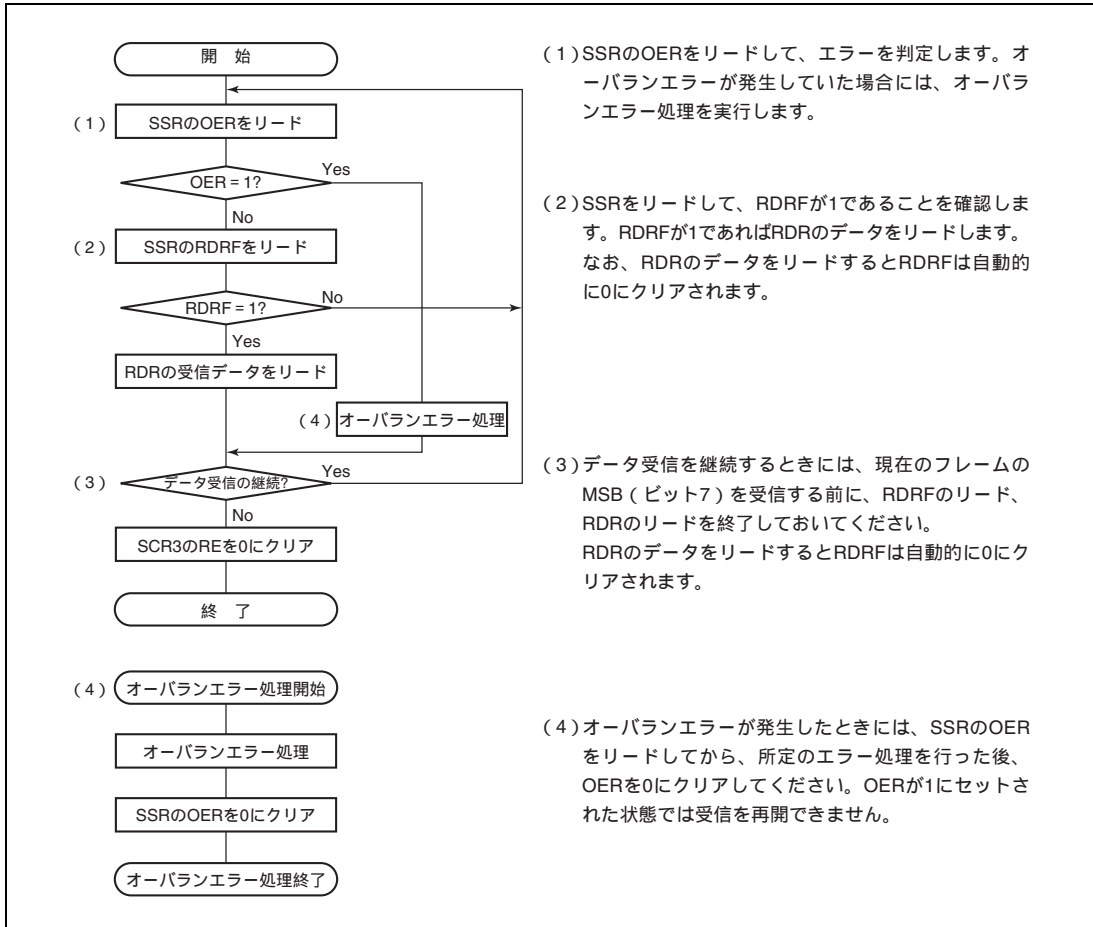


図 10.13 データ受信フローチャートの例（クロック同期式モード）

10. シリアルコミュニケーションインタフェース

SCI3 は受信時に以下のように動作します。

SCI3 は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順にセットします。

受信後、SCI3 は、RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

このチェックの結果オーバランエラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。

このとき、SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックでオーバランエラーを検出すると OER が 1 にセットされます。また、RDRF は 1 にセットされた状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

オーバランエラーの検出条件と受信データの処理については、表 10.12 を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を 0 にクリアしてください。

図 10.14 にクロック同期モードの受信時の動作例を示します。

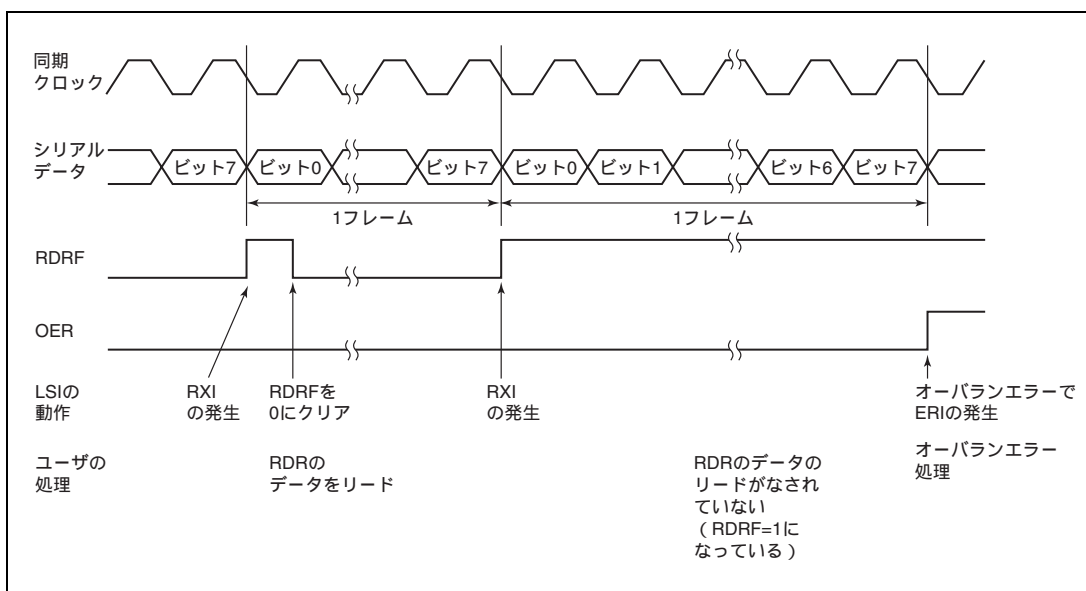


図 10.14 クロック同期モードの受信時の動作例

(d) データ送受信同時動作

図 10.15 にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。

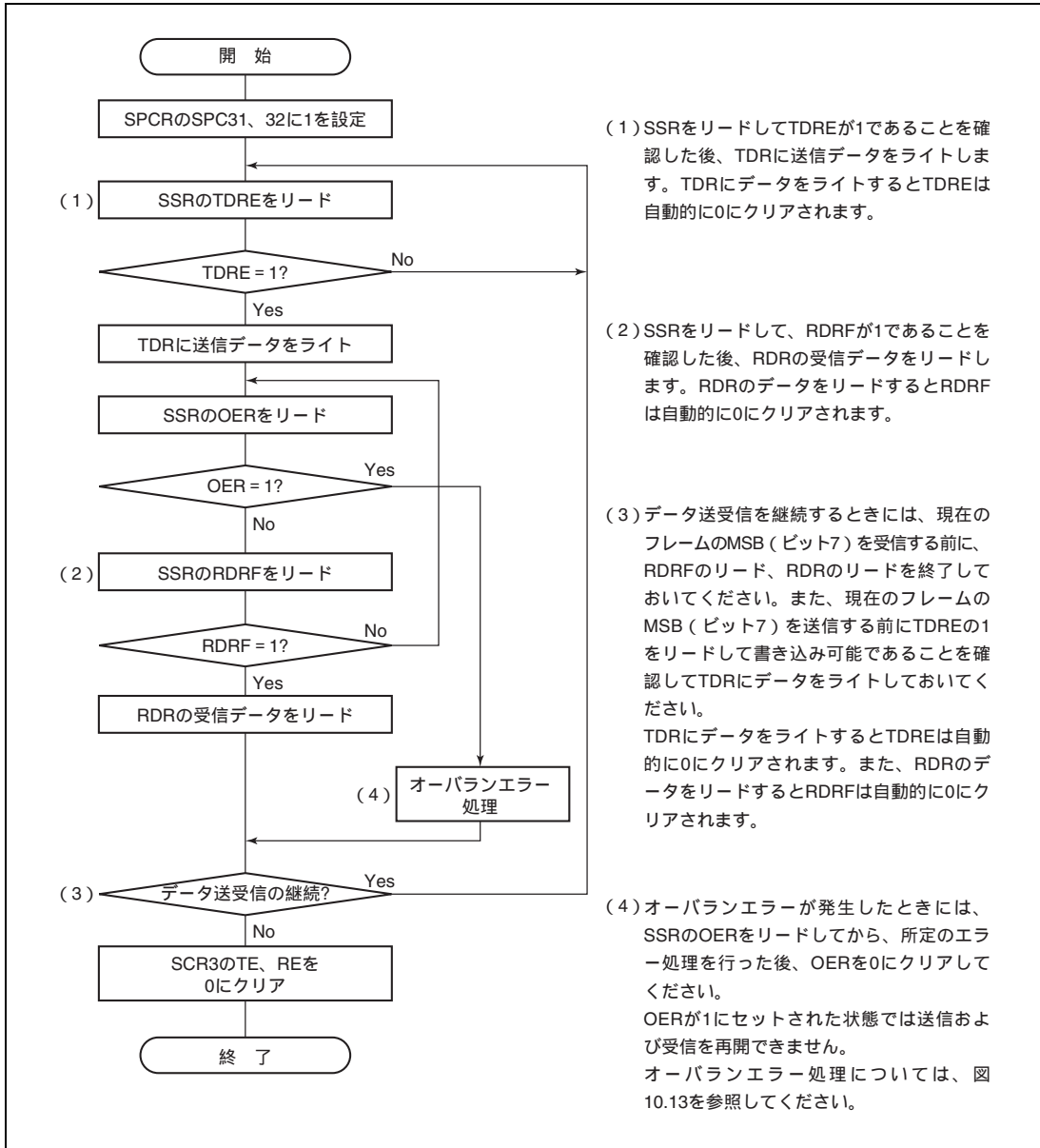


図 10.15 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

10. シリアルコミュニケーションインタフェース

- 【注】
1. 送信から同時送受信へ切り替えるときには、次の方法で行ってください。
SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE と RE を同時に 1 にセットしてください。
 2. 受信から同時送受信へ切り替えるときには、次の方法で行ってください。
SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE と RE を同時に 1 にセットしてください。

10.4 割り込み要因

SCI3 の割り込み要因には、送信終了、送信データエンプティ、受信データフルおよび3種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計6種類があり、共通のベクタアドレスが割り付けられています。

表 10.13 に各割り込み要求の内容を示します。

表 10.13 SCI3 割り込み要求の内容

割り込みの略称	割り込み要求の内容	ベクタアドレス
RXI	受信データフル (RDRF) による割り込み要求	H'0022/ H'0024
TXI	送信データエンプティ (TDRE) による割り込み要求	
TEI	送信終了 (TEND) による割り込み要求	
ERI	受信エラー (OER、FER、PER) による割り込み要求	

各割り込み要求は、SCR3 の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI が発生します。SSR の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットして送信データエンプティ割り込み要求 (TXI) を許可すると、送信データが準備されていなくても TXI が発生します。

また、SSR の TEND は初期値が 1 になっています。したがって、送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットして送信終了割り込み要求 (TEI) を許可すると、送信データが送信されていなくても TEI が発生します。

送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用できます。

一方、これらの割り込み要求 (TXI、TEI) の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割り込み要求に対応する許可ビット (TIE、TEIE) を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

割り込みに関する詳細は「3.3 割り込み」を参照してください。

10.5 使用上の注意事項

SCI3を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上ライトしない) ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSR の各ステータスフラグの状態は、表 10.14 に示すようにセットされます。オーバランエラーを検出した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 10.14 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	
RDRF*	OER	FER	PER	RSR RDR	受信エラーの状態
1	1	0	0	×	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	×	オーバランエラー + フレーミングエラー
1	1	0	1	×	オーバランエラー + パリティエラー
0	0	1	1		フレーミングエラー + パリティエラー
1	1	1	1	×	オーバランエラー + フレーミングエラー + パリティエラー

: RSR RDR に受信データを転送します。

× : RSR RDR に受信データを転送しません。

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD_{3X} 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD_{3X} 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。

SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

(4) マーク状態とブレークの送出

TE が 0 のとき、TXD_{3X} 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD_{3X} 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR = 1、PDR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TXD_{3X} 端子は I/O ポートとなっており 1 が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR = 1、PDR = 0 に設定した後 TE を 0 にクリアします。

TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD_{3X} 端子は I/O ポートになり、TXD_{3X} 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立ち上がりエッジで内部に取り込みます。

これを図 10.16 に示します。

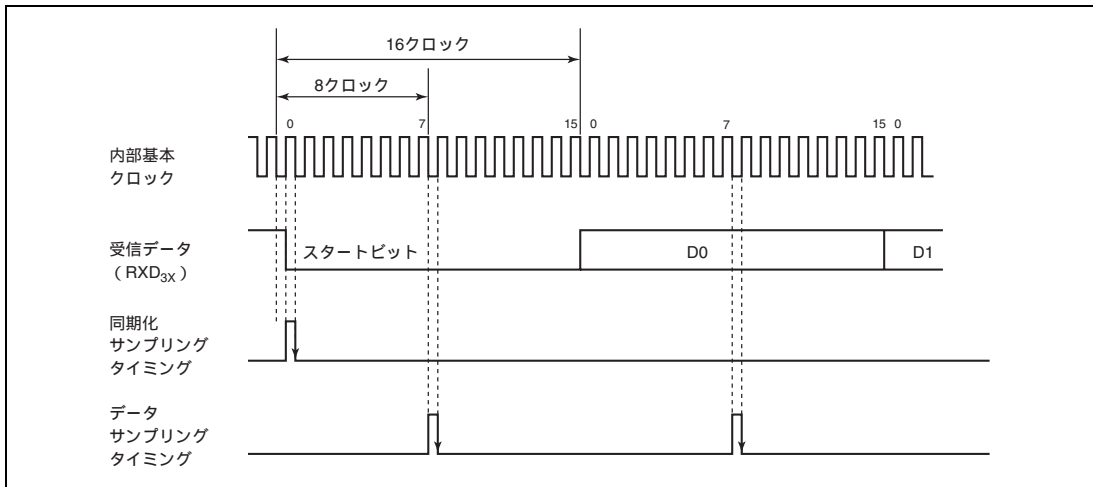


図 10.16 調歩同期式モードの受信データサンプリングタイミング

10. シリアルコミュニケーションインタフェース

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 \quad [\%] \quad \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレート之比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、受信マージンは式(2)より46.875%となります。

D=0.5、F=0のとき、

$$\begin{aligned} M &= \left\{ 0.5 - 1/(2 \times 16) \right\} \times 100 \quad [\%] \\ &= 46.875\% \dots \text{式(2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) RDRのリードとRDRFの関係について

SCI3は受信動作において、RDRFフラグをチェックしながら動作します。1フレームの受信終了のタイミングでRDRFが0にクリアされていれば、通常データ受信を完了します。またRDRFが1にセットされていれば、オーバーランエラーとなります。

RDRの内容をリードすると、RDRFは自動的に0にクリアされます。したがって、RDRのリードを2回以上行う場合、2回目以降のリード操作はRDRFが0の状態で行われます。RDRFが0の状態でRDRのリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図10.17に示します。

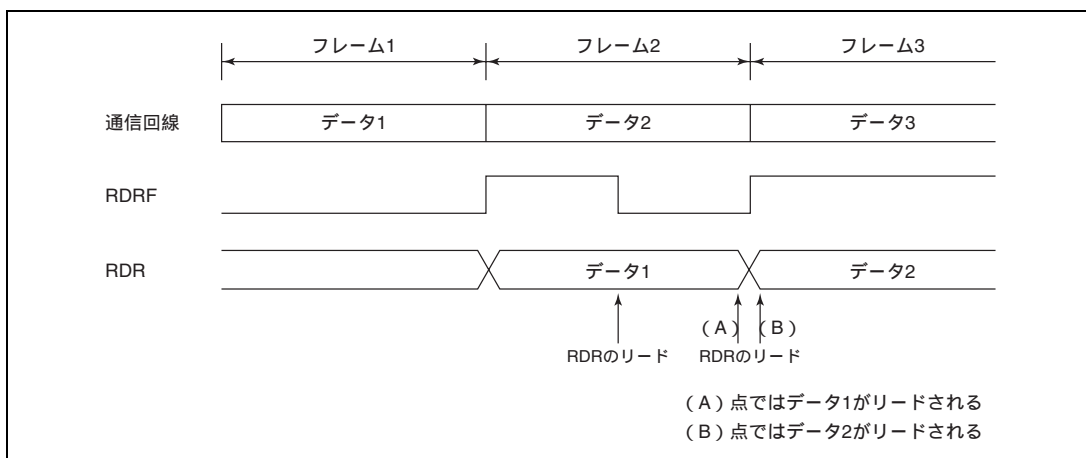


図 10.17 RDRのリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う（2 回以上リードしない）ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕を持って行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

(8) 状態遷移時における送信および受信動作について

状態遷移処理を行う場合は、送信および受信動作が完全に終了したのを確認した後に行ってください。

(9) SCK_{3X} 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK_{3X} 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK_{3X} 端子に端子機能切り替えのタイミング瞬時（システムクロック の 1/2 の期間）Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

(a) SCK_{3X} 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1 命令で SCR3 の TE ビット、RE ビットを 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

この場合は、SMR の COM ビットは 1 にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK_{3X} 端子に中間電位が印加しないように SCK_{3X} 端子に接続したラインは抵抗を介して V_{CC} 電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK_{3X} 端子をクロック出力状態から入出力ポートに端子機能を切り替える場合

送受信を停止する際、

まず 1 命令で SCR3 の TE ビット、RE ビットをともに 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

次に SMR の COM ビットを 0 にクリアしてください。

最後に SCR3 の CKE1、CKE0 ビットをともに 0 にクリアしてください。この場合も SCK_{3X} 端子に中間電位が印加しないように注意してください。

(10) サブアクティブモード、サブスリープモード時の設定について

サブアクティブモード、サブスリープモード時は CPU 動作クロックが $\frac{w}{2}$ のときのみ SCI3 が使用可能となります。SYSCR2 の SA1 ビットを 1 にセットしてください。

10. シリアルコミュニケーションインタフェース

11. 14ビットPWM

11.1 概要

本 LSI は、14 ビット PWM (Pulse Width Modulator) を内蔵しています。ローパスフィルタを接続することで D/A 変換器として使用できます。

11.1.1 特長

14 ビット PWM の特長を以下に示します。

- 4種類の変換周期を選択可能

1変換周期 $131,072/f$ 、最小変化幅 $8/f$ (PWCR1 = 1、PWCR0 = 1)、

1変換周期 $65,536/f$ 、最小変化幅 $4/f$ (PWCR1 = 1、PWCR0 = 0)、

1変換周期 $32,768/f$ 、最小変化幅 $2/f$ (PWCR1 = 0、PWCR0 = 1)、

または1変換周期 $16,384/f$ 、最小変化幅 $1/f$ (PWCR1 = 0、PWCR0 = 0)

の選択が可能です。

- リップル低減を図ったパルス分割方式
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

11. 14ビット PWM

11.1.2 ブロック図

14ビット PWM のブロック図を図 11.1 に示します。

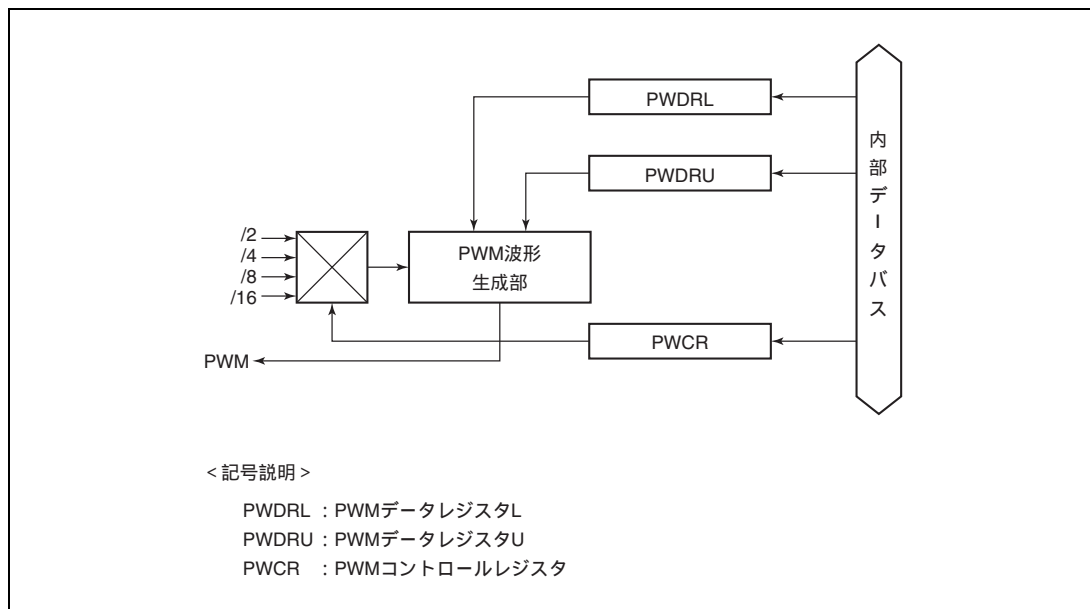


図 11.1 14ビット PWM のブロック図

11.1.3 端子構成

14ビット PWM の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
PWM 出力端子	PWM	出力	パルス分割方式 PWM 波形出力

11.1.4 レジスタ構成

14ビット PWM のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
PWM コントロールレジスタ	PWCR	W	H'FC	H'FFD0
PWM データレジスタ U	PWDRU	W	H'CO	H'FFD1
PWM データレジスタ L	PWDRL	W	H'00	H'FFD2
クロック停止レジスタ	CKSTPR2	R/W	H'FF	H'FFFB

11.2 各レジスタの説明

11.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWCR1	PWCR0
初期値:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	W	W

PWCR は、8 ビットのライト専用レジスタで、入力クロックの選択を行います。

リセット時、PWCR は HFC に初期化されます。

ビット7~2: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット1~0: クロックセレクト1~0 (PWCR1~0)

14 ビット PWM に供給されるクロックを選択します。

本ビットはライト専用です。リードすると常に1が読み出されます。

ビット1	ビット0	説明
PWCR1	PWCR0	
0	0	入力クロック = $/2 (t^* = 2/)$ (初期値) 1 変換周期 $16,384/$ 、最小変化幅 $1/$ の PWM 波形を生成
0	1	入力クロック = $/4 (t^* = 4/)$ 1 変換周期 $32,768/$ 、最小変化幅 $2/$ の PWM 波形を生成
1	0	入力クロック = $/8 (t^* = 8/)$ 1 変換周期 $65,536/$ 、最小変化幅 $4/$ の PWM 波形を生成
1	1	入力クロック = $/16 (t^* = 16/)$ 1 変換周期 $131,072/$ 、最小変化幅 $8/$ の PWM 波形を生成

【注】 * t : PWM 入力クロックの周期

11. 14ビット PWM

11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRU、PWDRL は、ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の High レベル幅の合計に対応します。

PWDRU、PWDRL に 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は必ず PWDRL PWDRU の順序で行ってください。

1. PWDRLへ下位8ビットのデータをライトする。
2. PWDRUへ上位6ビットのデータをライトする。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合各ビットは常に 1 が読み出されます。リセット時、PWDRU、PWDRL は H'000 に初期化されます。

11.2.3 クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では PWM に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 1: PWM モジュールスタンバイモード制御 (PWCKSTP)

PWM をモジュールスタンバイモードに設定、および解除を制御します。

PWCKSTP	説明
0	PWM はモジュールスタンバイモードに設定される
1	PWM のモジュールスタンバイモードは解除される (初期値)

11.3 動作説明

11.3.1 動作説明

14ビット PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

1. PMR3のPWM = 1としてP3₀/PWM端子をPWM出力端子に設定します。
2. PWCRにより、1変換周期を
 $131,072/$ (PWCR1 = 1、PWCR0 = 1)、
 $65,536/$ (PWCR1 = 1、PWCR0 = 0)、
 $32,768/$ (PWCR1 = 0、PWCR0 = 1)、
 $16,384/$ (PWCR1 = 0、PWCR0 = 0)
 から選択します。
3. PWDRU、PWDRLに出力波形データを設定します。このとき、必ずPWDRL PWDRUの順序で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図 11.2 に示すように 64 個のパルスで構成され、この1変換周期中の High レベル幅合計 (T_H) が、PWDRU、PWDRL のデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDRU、PWDRL のデータ値} + 64) \times t / 2$$

ここで t は、PWM 入力クロックの周期で $2/$ (PWCR = H'0)、 $4/$ (PWCR = H'1)、 $8/$ (PWCR = H'2) または $16/$ (PWCR = H'3) となります。

(例) 変換周期を $32,768\mu\text{s}$ とするためには、以下のように設定します。

PWCR1 = 0、PWCR0 = 0 に設定すると、1変換周期は $16,384/$ なので、 $= 0.5\text{MHz}$ となります。

このとき、 $t_{\text{fn}} = 512\mu\text{s}$ 、 $1/$ (精度) = $2.0\mu\text{s}$ です。

PWCR1 = 0、PWCR0 = 1 に設定すると、1変換周期は $32,768/$ なので、 $= 1\text{MHz}$ となります。

このとき、 $t_{\text{fn}} = 512\mu\text{s}$ 、 $2/$ (精度) = $2.0\mu\text{s}$ です。

PWCR1 = 1、PWCR0 = 0 に設定すると、1変換周期は $65,536/$ なので、 $= 2\text{MHz}$ となります。

このとき、 $t_{\text{fn}} = 512\mu\text{s}$ 、 $4/$ (精度) = $2.0\mu\text{s}$ です。

したがって、1変換周期 $32,768\mu\text{s}$ とするためには、システムクロック () は 0.5MHz 、 1MHz 、または 2MHz で使用することになります。

11. 14 ビット PWM

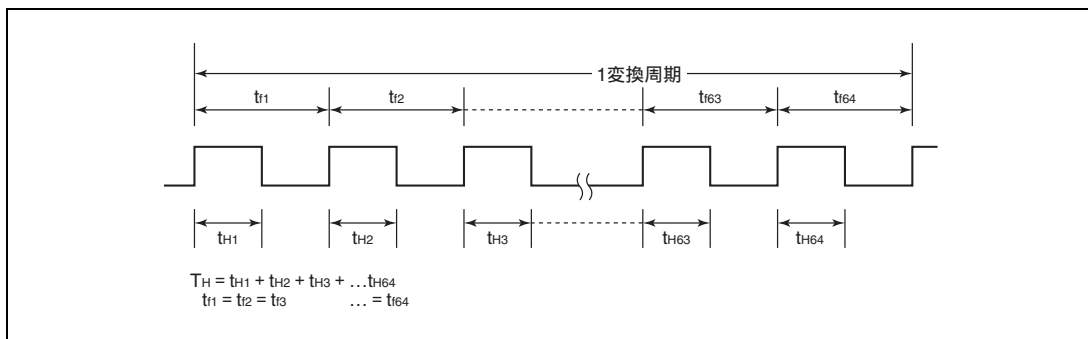


図 11.2 PWM 出力波形

11.3.2 PWM の動作モード

PWM の動作モードを表 11.3 に表示します。

表 11.3 PWM の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
PWCR	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRU	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRL	リセット	動作	動作	保持	保持	保持	保持	保持

12. A/D 変換器

12.1 概要

本 LSI は、抵抗ラダー方式による逐次比較型 A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力の測定ができます。

12.1.1 特長

A/D 変換器の特長を以下に示します。

- 10ビットの分解能
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり12.4 μ s（5MHz動作時）
- サンプル&ホールド機能
- A/D変換終了割り込み要求を発生
- 外部トリガ入力により、A/D変換開始を指定可能
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

12. A/D 変換器

12.1.2 ブロック図

A/D 変換器のブロック図を図 12.1 に示します。

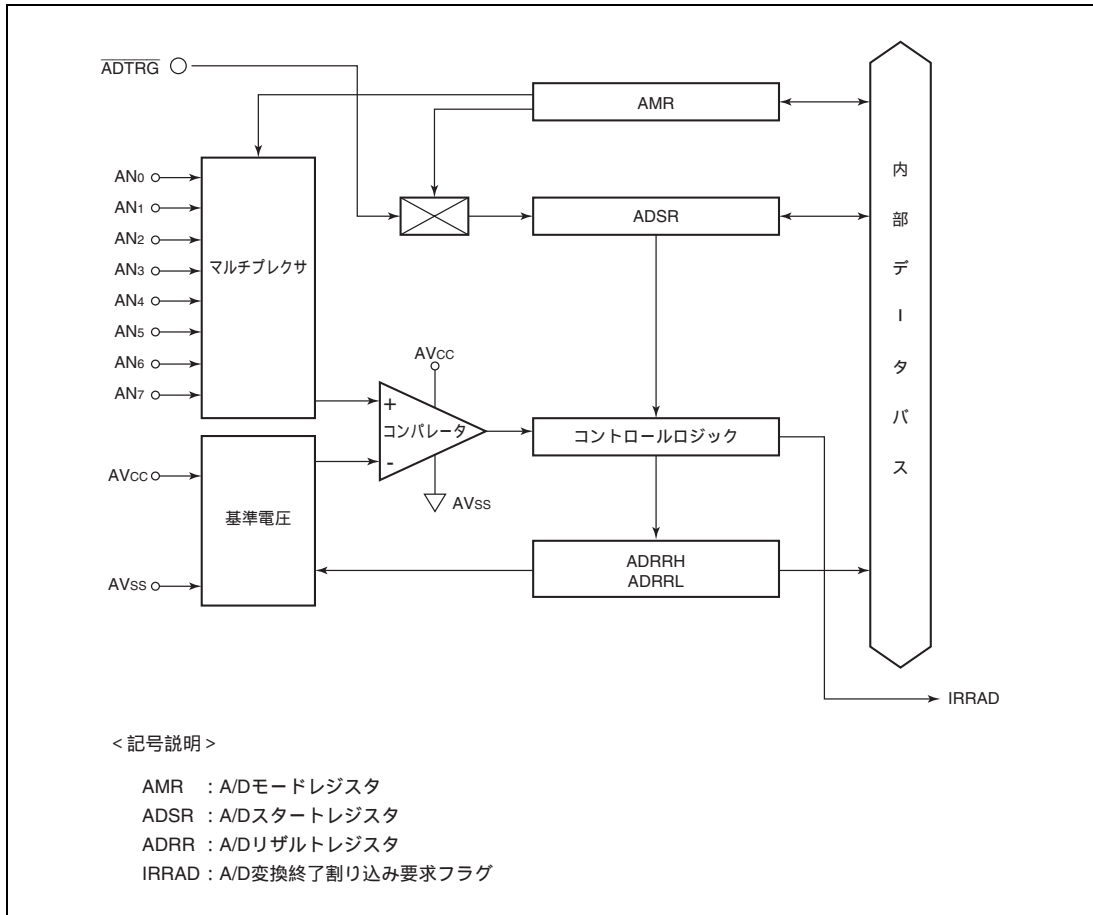


図 12.1 A/D 変換器ブロック図

12.1.3 端子構成

A/D 変換器の端子構成を表 12.1 に示します。

表 12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN ₀	入力	アナログ入力チャンネル 0
アナログ入力端子 1	AN ₁	入力	アナログ入力チャンネル 1
アナログ入力端子 2	AN ₂	入力	アナログ入力チャンネル 2
アナログ入力端子 3	AN ₃	入力	アナログ入力チャンネル 3
アナログ入力端子 4	AN ₄	入力	アナログ入力チャンネル 4
アナログ入力端子 5	AN ₅	入力	アナログ入力チャンネル 5
アナログ入力端子 6	AN ₆	入力	アナログ入力チャンネル 6
アナログ入力端子 7	AN ₇	入力	アナログ入力チャンネル 7
外部トリガ入力端子	ADTRG	入力	A/D 変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

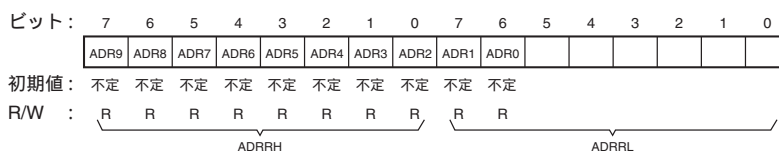
A/D 変換器のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'30	H'FFC6
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFC7
A/D リザルトレジスタ H	ADRRH	R	不定	H'FFC4
A/D リザルトレジスタ L	ADRRL	R	不定	H'FFC5
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA

12.2 各レジスタの説明

12.2.1 A/D リザルトレジスタ (ADRRH、ADRRL)

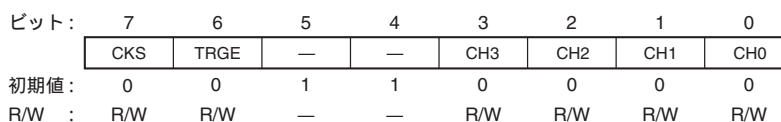


ADRRH と ADRRL は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタです。ADRRH に上位 8 ビット、ADRRL に下位 2 ビットが格納されます。

ADRRH と ADRRL は常に CPU からリード可能です。A/D 変換中は ADRRH と ADRRL の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRRH と ADRRL は、リセットでクリアされません。

12.2.2 A/D モードレジスタ (AMR)



AMR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMR は H'30 に初期化されます。

ビット 7: クロックセレクト (CKS)

A/D 変換スピードの設定を行います。

ビット 7	変換周期	変換時間 (アクティブ (高速) モード) *	
CKS		= 1MHz	= 5MHz
0	62/ (初期値)	62 μ s	12.4 μ s
1	31/	31 μ s	

【注】 * 動作が保証される変換時間については「第 16 章 電気的特性」を参照してください。

ビット6：外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット6	説明
TRGE	
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりエッジで A/D 変換を開始*

【注】 * 外部トリガ ($\overline{\text{ADTRG}}$) 端子のエッジ選択は IEGR の IEG4 により設定します。詳細は「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

ビット5~4：リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット3~0：チャンネルセレクト3~0 (CH3~CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切り替えは、ADSF=0 の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択 (初期値)
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	*	*	使用禁止

* : Don't care

12.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に 1 をライトまたは外部トリガのエッジ入力により、ADSF が 1 にセットされ A/D 変換が開始します。変換が終了すると変換データは ADDRH と ADDRRL にセットされ、同時に ADSF は 0 にクリアされます。

12. A/D 変換器

ビット7：A/D スタートフラグ (ADSF)

A/D 変換の開始および終了の確認を行います。

ビット7	説明	
ADSF		
0	リード時	A/D 変換の終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換中
	ライト時	A/D 変換を開始

ビット6~0：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

12.2.4 クロック停止レジスタ1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
		S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では A/D 変換器に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット4：A/D 変換器モジュールスタンバイモード制御 (ADCKSTP)

A/D 変換器をモジュールスタンバイモードに設定、および解除を制御します。

ADCKSTP	説明
0	A/D 変換器はモジュールスタンバイモードに設定される
1	A/D 変換器のモジュールスタンバイモードは解除される (初期値)

12.3 動作説明

12.3.1 A/D 変換動作

A/D 変換器は逐次比較方式で動作し、10 ビットの変換結果が得られます。

ソフトウェアにより ADSF を 1 にセットすると、A/D 変換を開始します。ADSF は、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、IRR2 の IRRAD が 1 にセットされます。このとき、IENR2 の IENAD が 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャネルの切り替えを行う場合は、誤動作を避けるために ADSF を 0 にクリアして、A/D 変換を強制終了させてから行ってください。

12.3.2 外部トリガによる A/D 変換器の起動

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることができます。

外部トリガは I/O ポートの PMR1 の IRQ4 が 1 がかつ AMR の TRGE が 1 のとき、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR の IEG4 で指定されたエッジが入力されると、ADSR の ADSF が 1 にセットされ、A/D 変換が開始されます。

このタイミングを図 12.2 に示します。

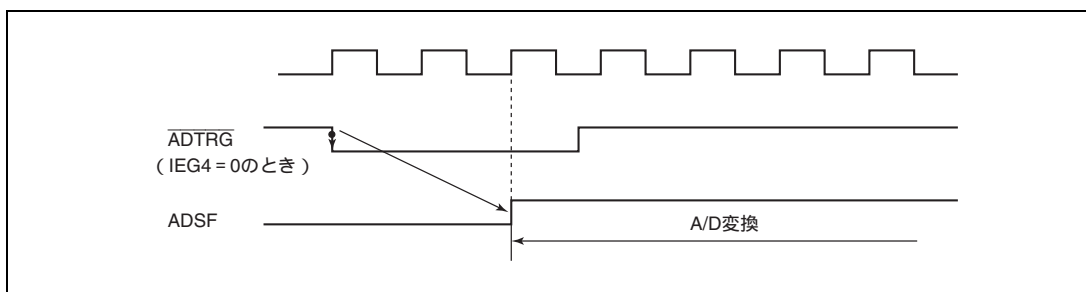


図 12.2 外部トリガ入力タイミング

12.3.3 A/D 変換器の動作モード

A/D 変換器の動作モードを表 12.3 に示します。

表 12.3 A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AMR	リセット	動作	動作	保持	保持	保持	保持	保持
ADSR	リセット	動作	動作	保持	保持	保持	保持	保持
ADRRH	保持*	動作	動作	保持	保持	保持	保持	保持
ADRRL	保持*	動作	動作	保持	保持	保持	保持	保持

【注】 * パワーオンリセット時は不定

12.4 割り込み要因

A/D 変換終了時 (ADSF=1 0)、IRR2 の IRRAD が 1 にセットされます。

A/D 変換終了割り込みは、IENR2 の IENAD により、許可 / 禁止を指定できます。

詳細は「3.3 割り込み」を参照してください。

12.5 使用例

チャンネル 1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.3 に示します。

1. 入力チャンネルを AN_i (AMRのCH3~CH0を"0101")、IENAD = 1 に設定して、A/D変換を開始 (ADSF = 1) します。
2. A/D変換が終了すると、IRRADが1にセットされ、A/D変換結果がADRRHとADRRLに格納されます。同時に ADSF = 0 となり、A/D変換器は変換待機となります。
3. IENAD = 1 となっているためA/D変換終了割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. A/D変換結果を読み出して、処理します。
6. A/D変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され (2) ~ (6) を行います。

A/D 変換器の使用手順の概念フローを図 12.4、図 12.5 に示します。

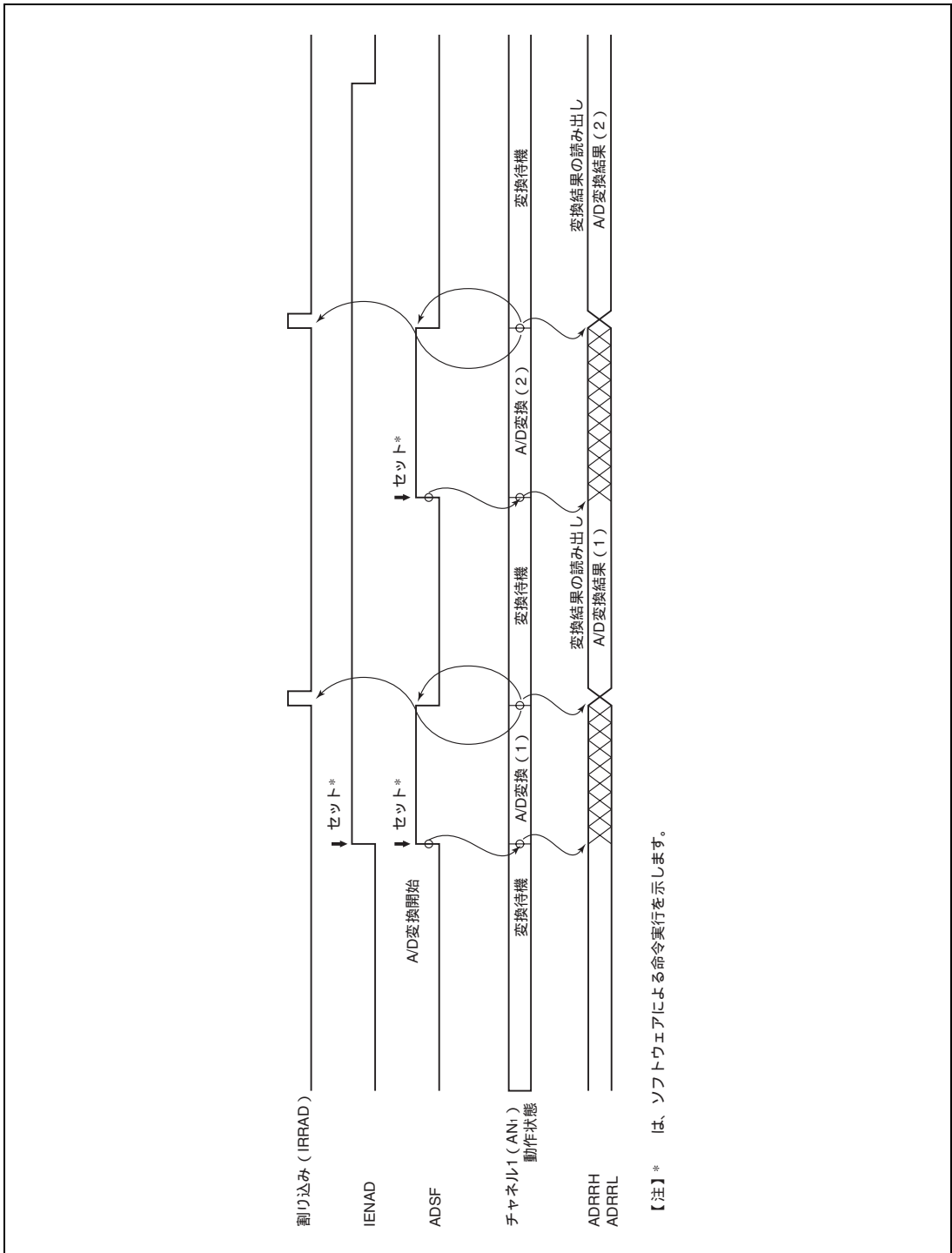


図 12.3 A/D 変換器の動作例

12. A/D 変換器

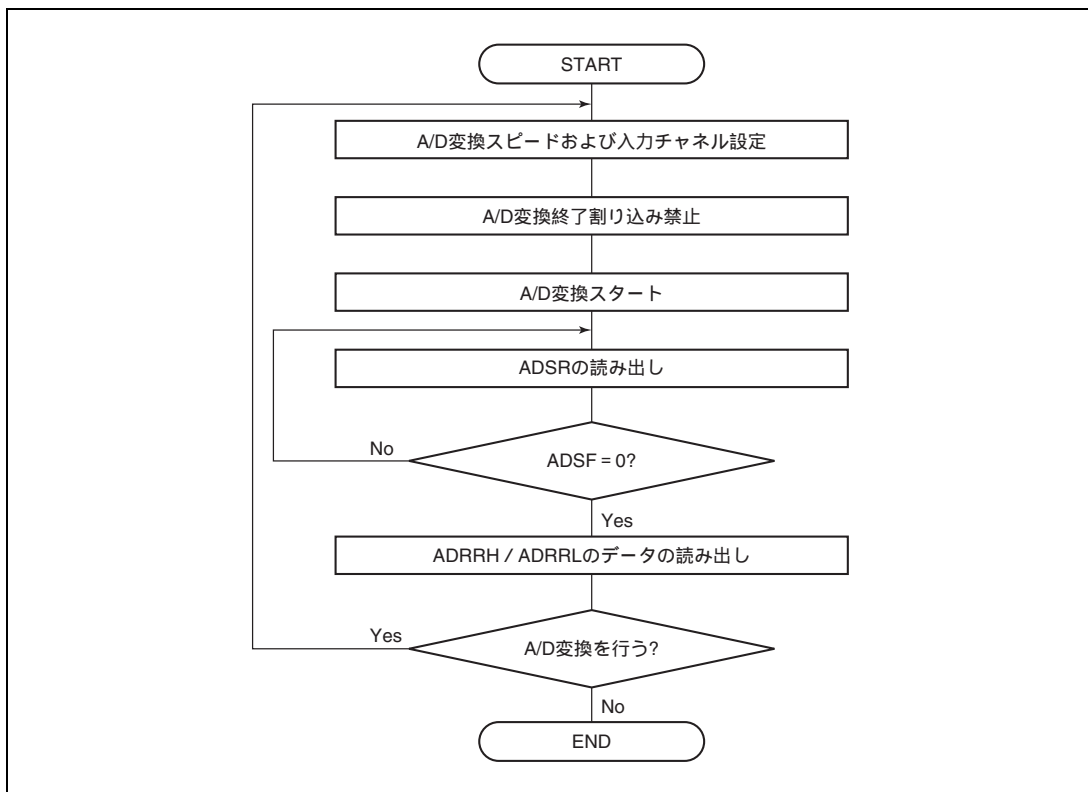


図 12.4 A/D 変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）

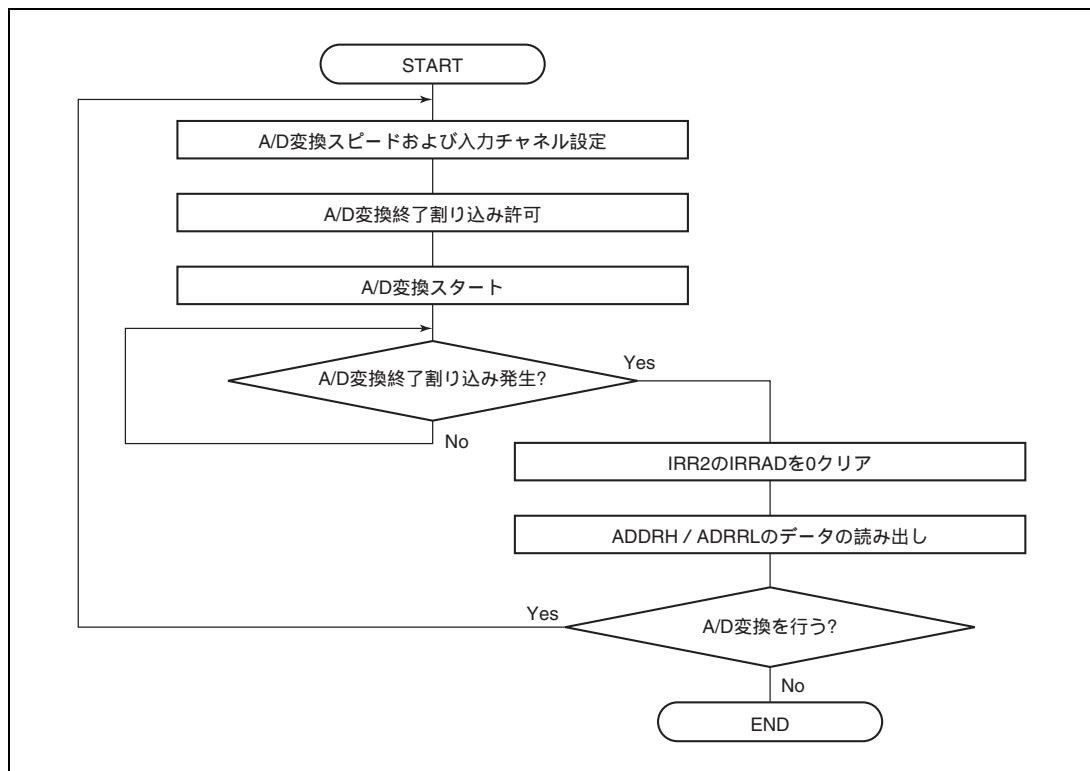


図 12.5 A/D 変換器の使用手順の概念フロー（割り込みを使用する場合）

12.6 使用上の注意

12.6.1 使用上の注意

1. ADRRHとADRRLの読み出しは、ADSRのADSFが0のときに行ってください。
2. A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。
3. モジュールスタンバイモードを解除後、A/D変換を開始する場合は、10 クロック待ってからA/D変換をスタートしてください。
4. アクティブモードおよびスリープモードでは、A/D変換器が待機中でもラダー抵抗にアナログ電源電流 (I_{STOP1}) が流れます。したがって、A/D変換器を使用しない場合には、 A_{VCC} をシステムの電源に接続し、クロック停止レジスタ1 (CKSTPR1) のADCKSTP (A/D変換器モジュールスタンバイモード制御) を0にすることを推奨します。

12.6.2 許容信号源インピーダンスについて

本LSIのアナログ入力は、信号源インピーダンスが10k 以下の入力信号に対し、変換精度が保証される設計となっております。これはA/D変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが10k を超える場合充電不足が生じ、A/D変換精度が保証できなくなる場合があります。外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の10k だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば電圧の変動率が5mV/ μ s以上)には追従できない場合があります(図12.6)。高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

12.6.3 絶対精度への影響について

容量を付加することにより、GNDとのカップリングを受けることとなりますので、GNDにノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定なGNDに接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したりアンテナとならないように注意が必要です。

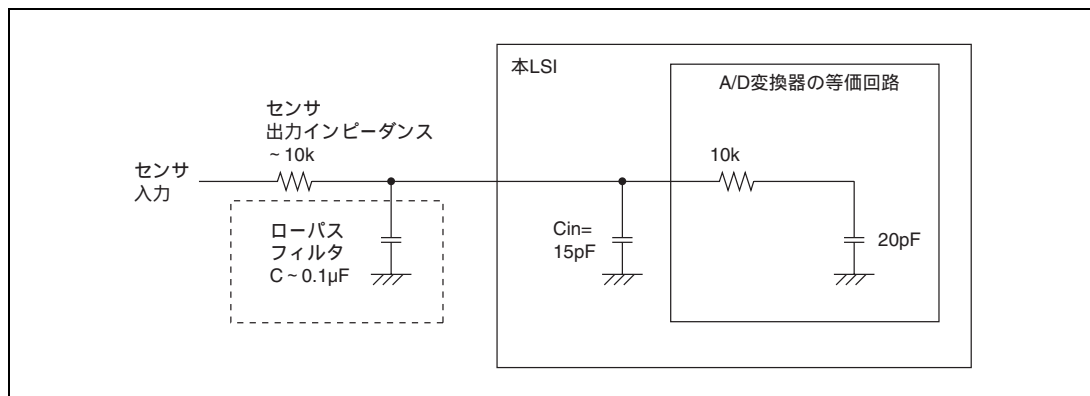


図 12.6 アナログ入力回路の例

13. LCD コントローラ / ドライバ

13.1 概要

本 LSI は、セグメントタイプの LCD コントロール回路と LCD ドライバと電源回路を内蔵しているため、LCD パネルを直接駆動することができます。

13.1.1 特長

LCD コントローラ / ドライバの特長を以下に示します。

- 表示容量

デューティ比	内部ドライバ
スタティック	32SEG
1/2	32SEG
1/3	32SEG
1/4	32SEG

- LCD RAM容量
8ビット×32バイト (256ビット)
- LCD RAMはワードアクセス可能
- セグメント出力端子を8端子ごとにポートとして使用可能
- デューティ比により使用しないコモン出力端子をコモンダブルバッファ用 (並列接続用) として使用可能
- スタンバイモード以外の動作モードで表示可能
- フレーム周波数を11種類より選択可能
- 電源分割抵抗を内蔵し、LCD駆動電源を供給
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
- ソフトウェアによりA波形、B波形の選択可能

13. LCD コントローラ / ドライバ

13.1.2 ブロック図

LCD コントローラ / ドライバのブロック図を図 13.1 に示します。

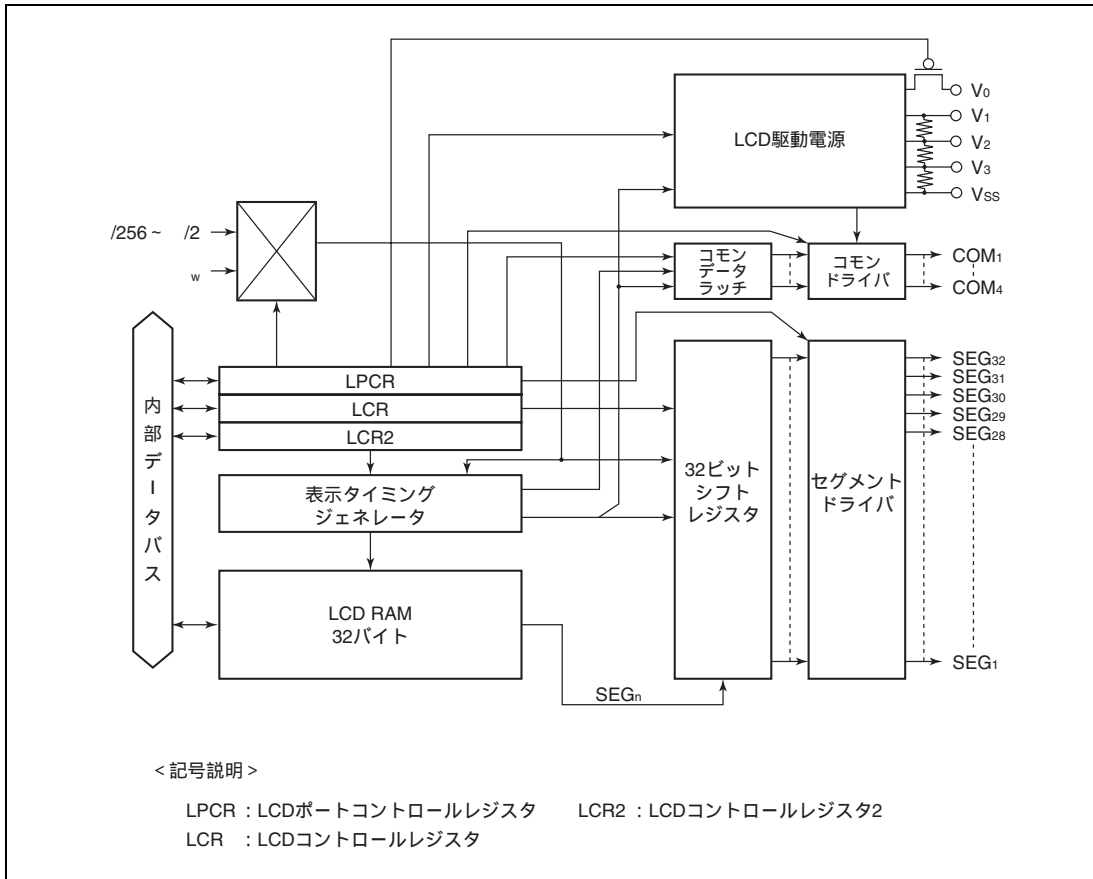


図 13.1 LCD コントローラ / ドライバのブロック図

13.1.3 端子構成

LCD コントローラ / ドライバの端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	記号	入出力	機能
セグメント出力端子	SEG ₃₂ ~ SEG ₁	出力	液晶のセグメント駆動用端子 全端子、ポートと兼用でプログラマブルに設定可能
コモン出力端子	COM ₄ ~ COM ₁	出力	液晶のコモン駆動端子 スタティック、1/2 デューティ時には端子の並列化が可能
LCD 電源端子	V ₀ 、V ₁ 、V ₂ 、V ₃		外付けでバスコンを接続する場合、外部電源回路を使用する場合に使用

13.1.4 レジスタ構成

LCD コントローラ / ドライバのレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
LCD ポートコントロールレジスタ	LPCR	R/W	H'00	H'FFC0
LCD コントロールレジスタ	LCR	R/W	H'80	H'FFC1
LCD コントロールレジスタ 2	LCR2	R/W	H'60	H'FFC2
LCD RAM		R/W	不定	H'F740 H'F75F
クロック停止レジスタ 2	CKSTPR2	R/W	H'FF	H'FFFB

13.2 各レジスタの説明

13.2.1 LCD ポートコントロールレジスタ (LPCR)

ビット:	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	w	R/W	R/W	R/W	R/W

LPCR は、8 ビットのリード/ライト可能なレジスタで、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

リセット時、LPCR は H'00 に初期化されます。

ビット 7~5 : デューティ比選択 1、0 (DTS1、DTS0)、コモン機能選択 (CMX)

DTS1、DTS0 の組み合わせで、スタティック、1/2 ~ 1/4 デューティのいずれかを選択します。CMX は、デューティによって使用しないコモン端子をコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するか否かを選択します。

ビット 7	ビット 6	ビット 5	デューティ比	コモンドライバ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM ₁ (初期値)	COM ₄ 、COM ₃ 、COM ₂ は使用しないでください。
		1		COM ₄ ~ COM ₁	COM ₄ 、COM ₃ 、COM ₂ は COM ₁ と同じ波形が出力。
0	1	0	1/2 デューティ	COM ₂ ~ COM ₁	COM ₄ 、COM ₃ は使用しないでください。
		1		COM ₄ ~ COM ₁	COM ₄ は COM ₃ 、COM ₂ は COM ₁ と同じ波形が出力。
1	0	0	1/3 デューティ	COM ₃ ~ COM ₁	COM ₄ は使用しないでください。
		1		COM ₄ ~ COM ₁	COM ₄ は使用しないでください。
1	1	0	1/4 デューティ	COM ₄ ~ COM ₁	
		1			

ビット 4 : リザーブビット

リザーブビットですが 0 以外ライトしないでください。

ビット 3~0 : セグメントドライバ選択 3~0 (SGS3~SGS0)

SGS3~SGS0 は使用するセグメントドライバを選択します。

ビット 3	ビット 2	ビット 1	ビット 0	SEG ₃₂ ~ SEG ₁ 端子の機能				補足説明
SGS3	SGS2	SGS1	SGS0	SEG ₃₂ ~ SEG ₂₅	SEG ₂₄ ~ SEG ₁₇	SEG ₁₆ ~ SEG ₉	SEG ₈ ~ SEG ₁	
0	0	0	0	ポート	ポート	ポート	ポート	(初期値)
0	0	0	1	ポート	ポート	ポート	ポート	
0	0	1	*	SEG	ポート	ポート	ポート	
0	1	0	*	SEG	SEG	ポート	ポート	
0	1	1	*	SEG	SEG	SEG	ポート	
1	*	*	*	SEG	SEG	SEG	SEG	

* : Don't care

13.2.2 LCD コントロールレジスタ (LCR)

ビット:	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LCR は、8 ビットのリード / ライト可能なレジスタで、LCD 駆動電源 ON/OFF 制御、表示データの制御、フレーム周波数の選択を行います。

リセット時、LCR は H'80 に初期化されます。

ビット 7 : リザーブビット

リザーブビットです。本ビットは、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6 : LCD 駆動電源 ON/OFF 制御 (PSW)

低消費電力モードで LCD 表示を必要としない場合、また外部電源を使用する場合に LCD 駆動電源を OFF 状態にすることができます。ACT を 0 とした場合、またスタンバイモード時には本ビットとは無関係に LCD 駆動電源が OFF 状態となります。

ビット 6	説明	
PSW		
0	LCD 駆動電源 OFF	(初期値)
1	LCD 駆動電源 ON	

13. LCD コントローラ/ドライバ

ビット 5 : 表示機能開始 (ACT)

LCD コントローラ/ドライバを使用するかしないかを選択します。本ビットを 0 にクリアすることにより、LCD コントローラ/ドライバは動作を停止します。また、PSW の値と無関係に LCD 駆動電源が OFF 状態になります。ただし、レジスタの内容は保持されます。

ビット 5	説明	
ACT		
0	LCD コントローラ/ドライバ動作停止	(初期値)
1	LCD コントローラ/ドライバ動作	

ビット 4 : 表示データ制御 (DISP)

DISP は LCD RAM の内容を表示するか LCD RAM の内容に関係なくブランクデータを表示するかを選択します。

ビット 4	説明	
DISP		
0	ブランクデータを表示	(初期値)
1	LCD RAM データを表示	

ビット 3~0 : フレーム周波数選択 3~0 (CKS3~CKS0)

使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック () が停止するので、 $/2 \sim /256$ を選択している場合は表示動作を行いません。これらのモードにおいて LCD 表示を行う場合は、必ず使用クロックとして w 、 $w/2$ または $w/4$ を選択するようにしてください。

ビット 3	ビット 2	ビット 1	ビット 0	使用クロック	フレーム周波数 ^{*2}	
					= 2MHz	= 250kHz ^{*1}
CKS3	CKS2	CKS1	CKS0		128Hz ^{*3} (初期値)	
0	*	0	0	w	128Hz ^{*3} (初期値)	
0	*	0	1	$w/2$	64Hz ^{*3}	
0	*	1	*	$w/4$	32Hz ^{*3}	
1	0	0	0	$/2$		244Hz
1	0	0	1	$/4$	977Hz	122Hz
1	0	1	0	$/8$	488Hz	61Hz
1	0	1	1	$/16$	244Hz	30.5Hz
1	1	0	0	$/32$	122Hz	
1	1	0	1	$/64$	61Hz	
1	1	1	0	$/128$	30.5Hz	
1	1	1	1	$/256$		

* : Don't care

【注】 *1 = 2MHz 時のアクティブ (中速 $osc/16$) モードのフレーム周波数です。

*2 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。

*3 $w = 32.768\text{kHz}$ 時のフレーム周波数です。

13.2.3 LCD コントロールレジスタ 2 (LCR2)

ビット:	7	6	5	4	3	2	1	0
	LCDAB	—	—	—	CDS3	CDS2	CDS1	CDS0
初期値:	0	1	1	0	0	0	0	0
R/W :	R/W	—	—	R/W	R/W	R/W	R/W	R/W

LCR2 は、8 ビットのリード / ライト可能なレジスタで、A 波形 / B 波形切り替えの制御、電源分割抵抗を電源回路から切り離しの制御をする充放電パルスのデューティ比選択を行います。リセット時、LCR2 は H'60 に初期化されます。

ビット 7 : A 波形 / B 波形切り替えの制御 (LCDAB)

LCD の駆動波形を A 波形にするか B 波形にするかを選択します。

ビット 7	説明	
LCDAB		
0	A 波形で駆動	(初期値)
1	B 波形で駆動	

ビット 6、5 : リザーブビット

本ビットはリザーブビットで、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4 : リザーブビット

本ビットはリザーブビットで、リードすると常に 0 が読み出されます。1 のライトは行わないでください。

ビット 3 ~ 0 : 充放電パルスのデューティ比選択 (CDS3 ~ CDS0)

ビット 3	ビット 2	ビット 1	ビット 0	デューティ比	補足説明
CDS3	CDS2	CDS1	CDS0		
0	0	0	0	1	High 固定 (初期値)
0	0	0	1	1/8	
0	0	1	0	2/8	
0	0	1	1	3/8	
0	1	0	0	4/8	
0	1	0	1	5/8	
0	1	1	0	6/8	
0	1	1	1	0	Low 固定
1	0	*	*	1/16	
1	1	*	*	1/32	

* : Don't care

13. LCD コントローラ/ドライバ

電源分割抵抗を電源回路に接続している期間のデューティ比選択を行います。

デューティ比 0 を選択した場合は電源分割抵抗が電源回路から切り離された状態に固定されますので、外部回路により V_1 、 V_2 、 V_3 端子に電源を供給してください。

充放電パルスは図 13.2 に示す波形となり、デューティ比は T_c/T_w となります。

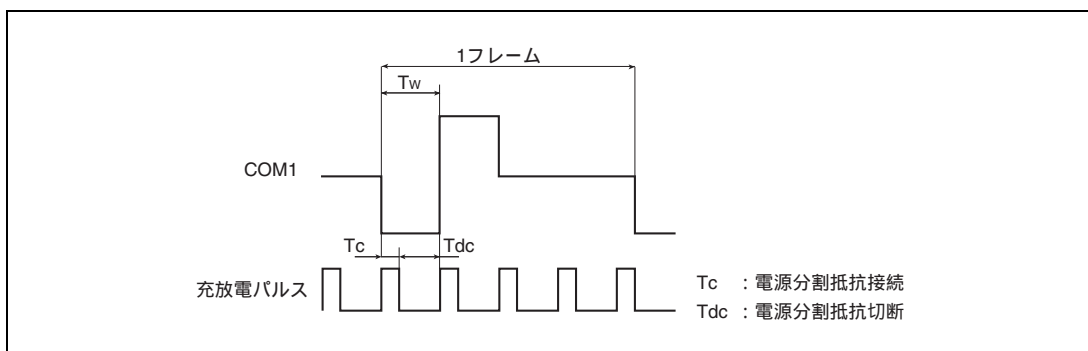


図 13.2 A 波形 1/2 デューティ 1/2 バイアスの例

13.2.4 クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では LCD に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 0 : LCD モジュールスタンバイモード制御 (LDCKSTP)

LCD をモジュールスタンバイモードに設定、および解除を制御します。

ビット 0	説明
LDCKSTP	
0	LCD はモジュールスタンバイモードに設定される
1	LCD のモジュールスタンバイモードは解除される (初期値)

13.3 動作説明

13.3.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) 1/2 デューティ使用

1/2 デューティで使用する際は V_2 、 V_3 端子を接続してください (図 13.3 参照)。

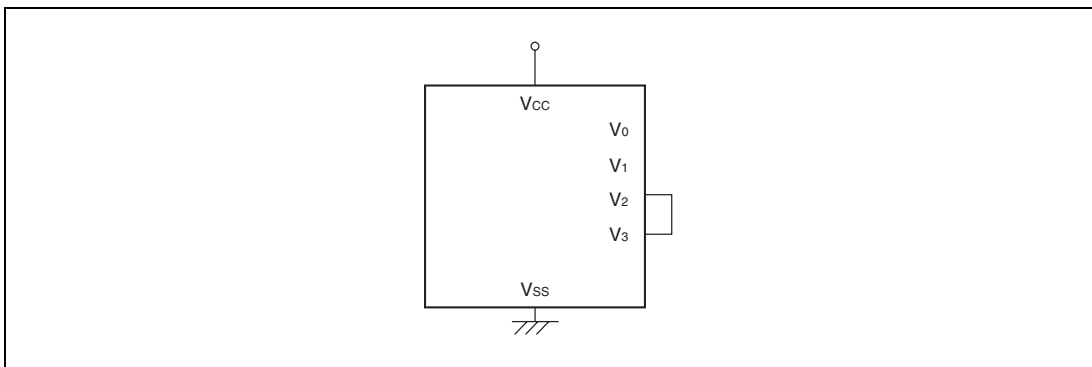


図 13.3 1/2 デューティ時の LCD 駆動電源の処理

(b) 大パネル表示

内蔵の電源分割抵抗はインピーダンスが大きいため、大きなパネルの駆動には適さないことがあります。大きなパネルを使用し表示が不鮮明になるときは「13.3.6 LCD 駆動電源の強化」を参照してください。また、スタティック、1/2 デューティを選択した場合は、コモン出力の駆動能力を強化することができます。デューティ比の選択時に CMX を 1 にしてください。このモードではスタティック時に $COM_4 \sim COM_1$ 端子が同じ波形となり、1/2 デューティ時は COM_2 、 COM_1 端子から COM_1 波形が、 COM_4 、 COM_3 端子からは COM_2 波形が出力されます。

(c) 輝度調整機能 (V_0 端子)

V_0 端子と V_1 端子の間に抵抗を接続すると、輝度調整が可能となります。詳細は「13.3.3 輝度調整機能 (V_0 端子)」を参照してください。

(d) LCD 駆動電源の設定

本 LSI は LCD 駆動電源として内蔵の電源回路を使用する方法と、外部電源回路を使用する方法があります。

LCD 駆動電源として内蔵の電源回路を使用する場合は、 V_0 端子と V_1 端子を外部で接続してください。接続例を図 13.4 (a) に示します。

LCD 駆動電源として外部電源回路を使用する場合は、 V_1 端子に外部電源を接続し、 V_0 端子は外部で V_{CC} と短絡してください。接続例を図 13.4 (b) に示します。

13. LCD コントローラ/ドライバ

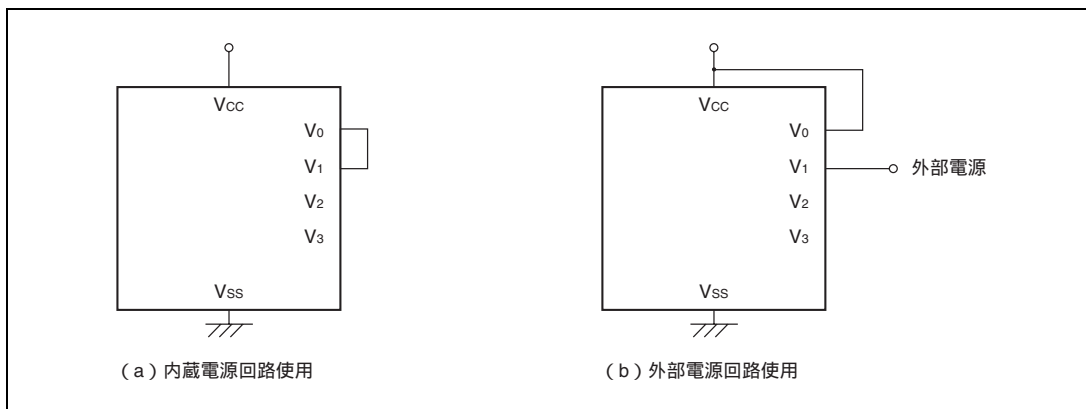


図 13.4 LCD 電源端子の接続例

(e) 低消費電力 LCD 駆動方式

低消費電力 LCD 駆動方式を使用すると、LCD 駆動に必要なとする消費電力を最適化することができます。詳細は「13.3.4 低消費電力 LCD 駆動方式」を参照してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

デューティは、DTS1、DTS0 によりスタティック、1/2 デューティ、1/3 デューティ、1/4 デューティから選択できます。

(b) セグメントドライバの選択

SGS₃ ~ SGS₀ により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

CKS₃ ~ CKS₀ を設定することでフレーム周波数を選択することができます。フレーム周波数は LCD パネルの指定に従って選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「13.3.5 低消費電力モード時の動作」を参照してください。

(d) A 波形、B 波形の選択

LCDAB により、使用する LCD 波形を A 波形か B 波形のどちらかを選択できます。

13.3.2 LCD RAM と表示の関係

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。デューティ比に対応した LCD RAM のマップを図 13.5 ~ 図 13.8 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード/バイトアクセス命令が使用できます。

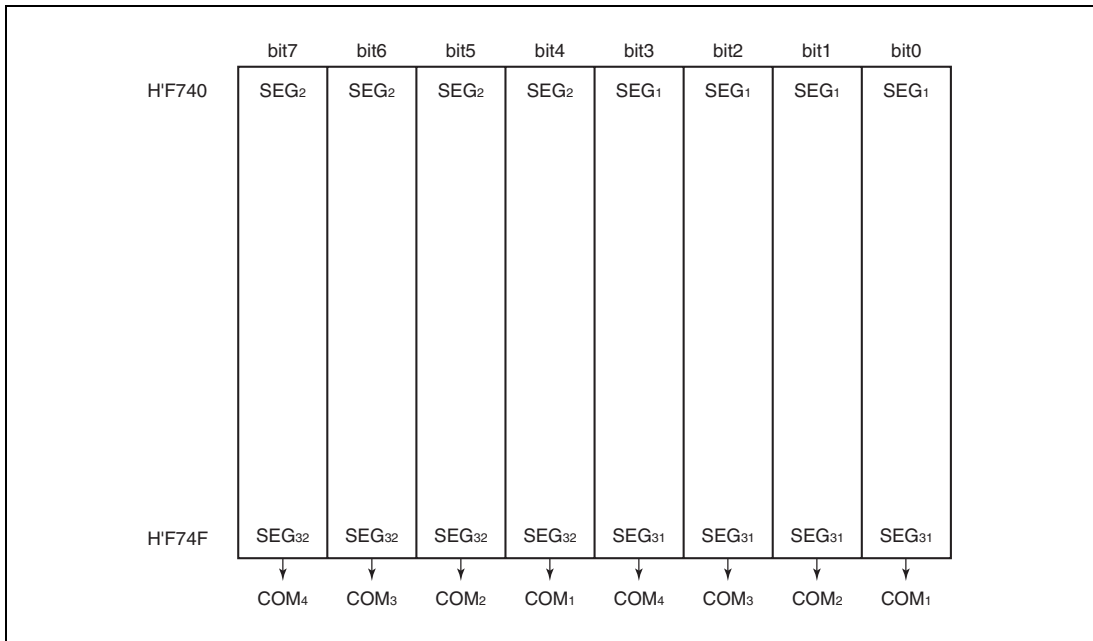


図 13.5 LCD RAM マップ (1/4 デューティ)

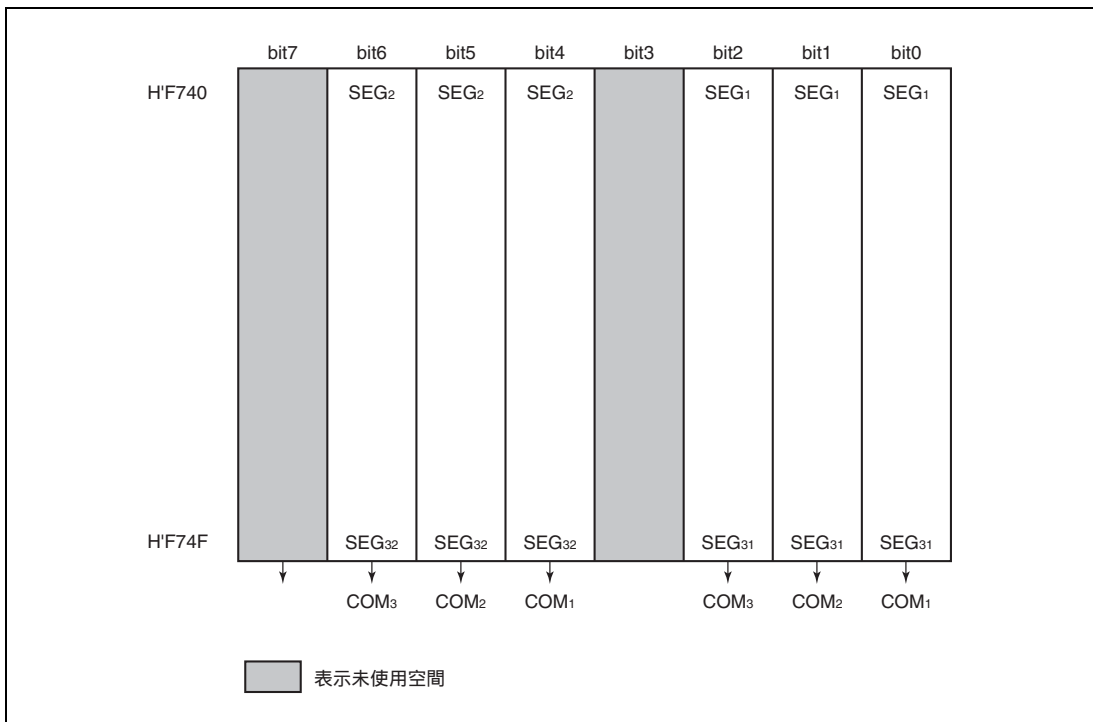


図 13.6 LCD RAM マップ (1/3 デューティ)

13. LCD コントローラ/ドライバ

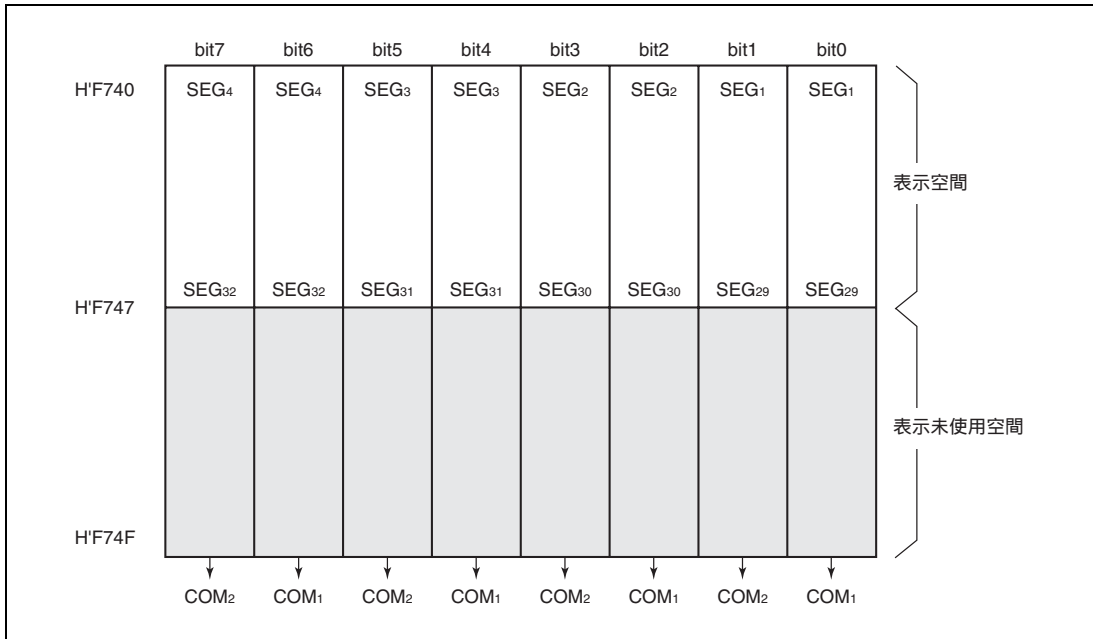


図 13.7 LCD RAM マップ (1/2 デューティ)

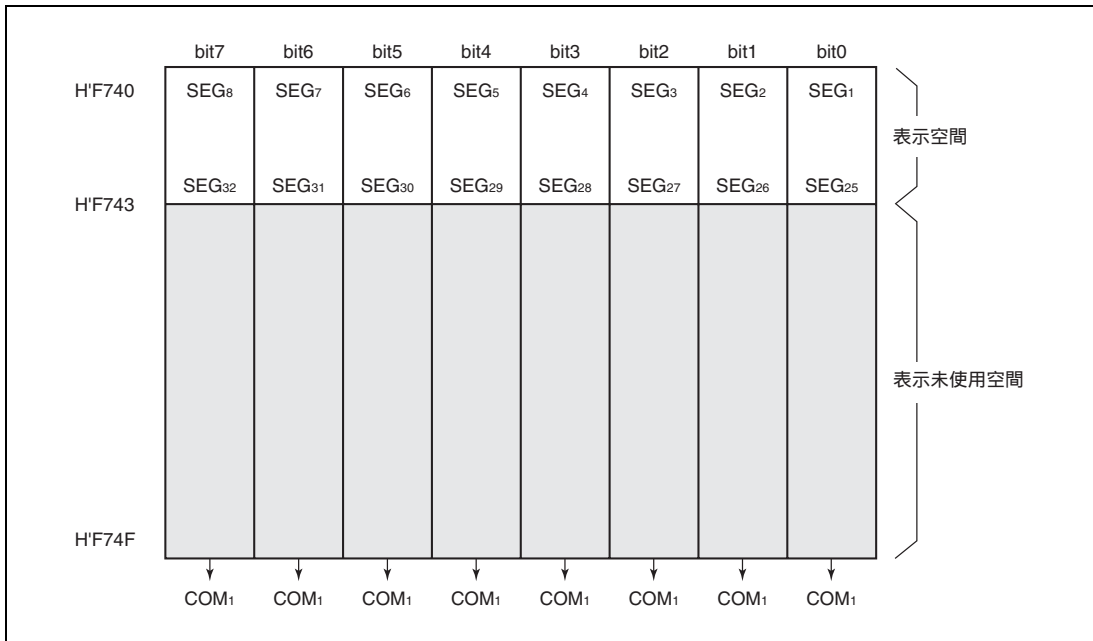


図 13.8 LCD RAM マップ (スタティック)

13.3.3 輝度調整機能 (V₀ 端子)

LCD 駆動電源部の詳細ブロック図を図 13.9 に示します。

V₀ 端子には、V_{CC} が出力されます。これらの電圧を直接 LCD 駆動電圧として使用する場合は V₀ 端子と V₁ 端子を短絡して使用します。また、V₀ 端子と V₁ 端子の間に可変抵抗 R を接続することにより、V₁ 端子に印加される電圧を調整することができ、LCD パネルの輝度調整が可能となります。

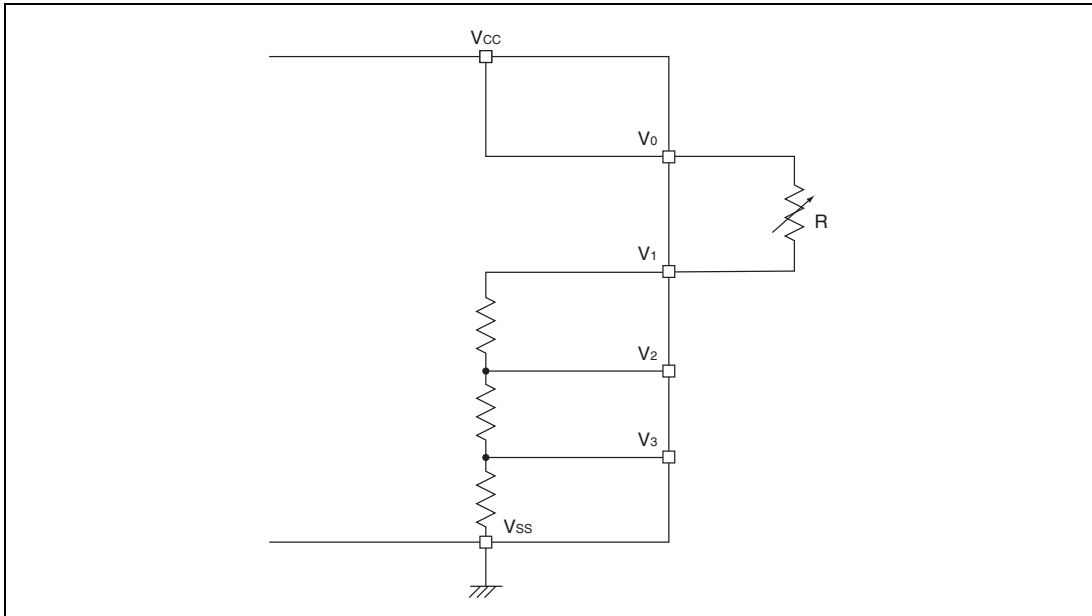


図 13.9 LCD 駆動電源部

13.3.4 低消費電力 LCD 駆動方式

LCD 電源回路には、通常内蔵分割抵抗を用いるのが最も簡単な方法ですが、内蔵抵抗が固定のため、常に内蔵抵抗の V_{CC} から V_{SS} へ一定の直流電流が流れていることとなります。この電流は LCD パネルの消費電流に依存しないため、消費電流の小さな LCD パネルを使用する場合、無駄な電力を消費していることとなります。本 LSI にはこの無駄な電力を改善する機能が内蔵されています。この機能を活用することにより、LCD パネルの消費電流に最適な電源回路を得ることができます。

(1) 原理

1. 図13.10に示すように、LCD電源端子のV1、V2、V3にコンデンサを外付回路として接続します。
2. V1、V2、V3に接続されたコンデンサは図13.10に示すような周期で充電と放電を繰り返し、電位を保持します。
3. このとき、充電される電位はV1、V2、V3おのおのの端子に相当する電位です。

(たとえば、1/3バイアス駆動の場合、V2はV1の3分の2、V3はV1の3分の1の電位を充電します。)

13. LCD コントローラ / ドライバ

4. これらのコンデンサに充電された電荷によりLCDパネルに電源を供給します。
5. したがって、LCDパネルの消費電流の値によって、これらのコンデンサの容量と充放電期間が決まります。
6. 充放電期間はソフトウェアにより選択することができます。

(2) 動作例 (1/3 バイアス駆動の場合)

1. 図中の充電期間 T_c の間、V1、V2、V3端子には図13.10に示すような電位 (V2はV1の3分の2、V3はV1の3分の1の電位) が内蔵分割抵抗により分圧され、外付コンデンサのC1、C2、C3を充電します。この期間もLCDパネルは駆動されています。
2. 次の放電期間 T_{dc} には、充電は停止し、各コンデンサに充電された電荷を放電することにより、LCDパネルを駆動します。
3. このとき、放電により若干の電圧降下が生じますが、充電期間とコンデンサの容量に適切な値を選択し、LCDパネルの駆動に影響がないようにしなければなりません。
4. このようにしてV1、V2、V3に接続されたコンデンサは図13.10に示すような周期で充電と放電を繰り返し、電位を保持しながらLCDパネルを駆動し続けます。
5. 以上からわかるように、コンデンサの容量の値と充放電期間は、使用するLCDパネルの消費電流の値によって決まります。また充放電期間はCDS3~0により選択することができます。
6. 実際のコンデンサの容量と充放電期間は、LCDパネルの消費電流の要求に合わせて実験的に決める必要がありますが、内部分割抵抗に常時直流電流が流れる場合に比べ、最適な電流値を選択することができます。

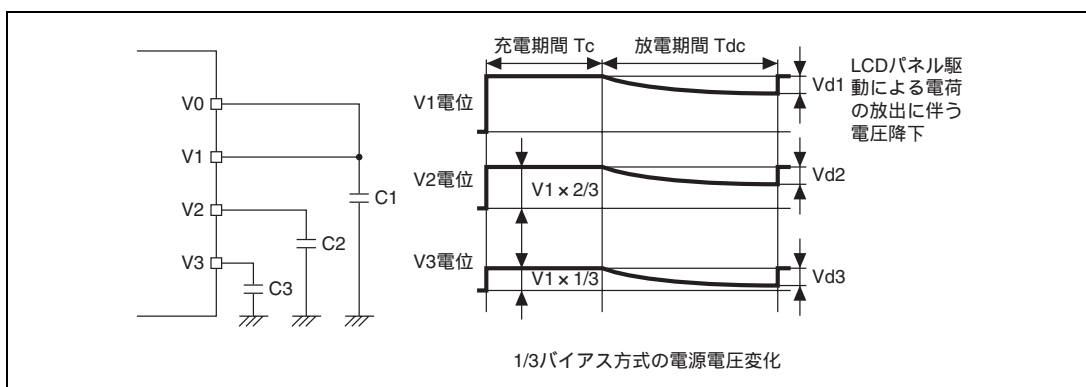


図 13.10 低消費電力 LCD 駆動方式動作例

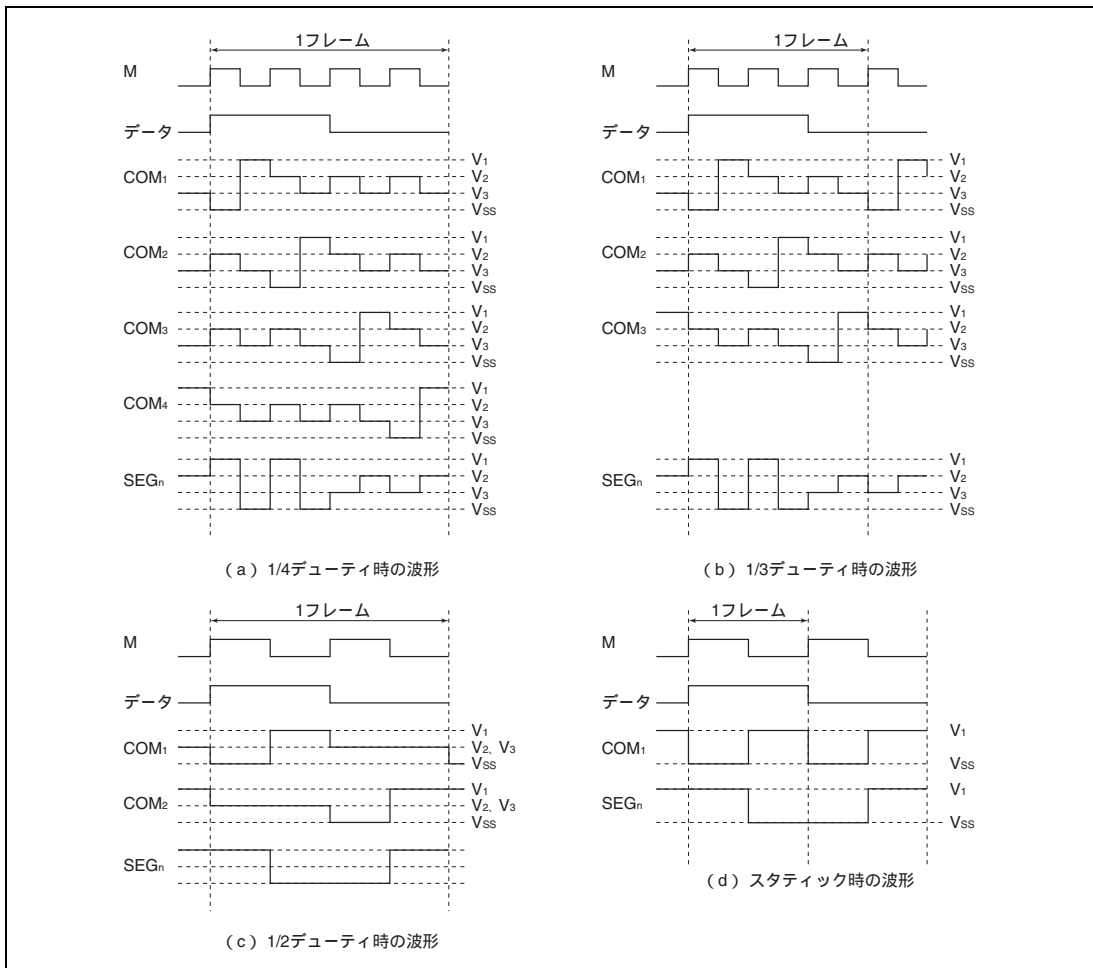


図 13.11 各デューティでの出力波形 (A 波形)

13. LCDコントローラ/ドライバ

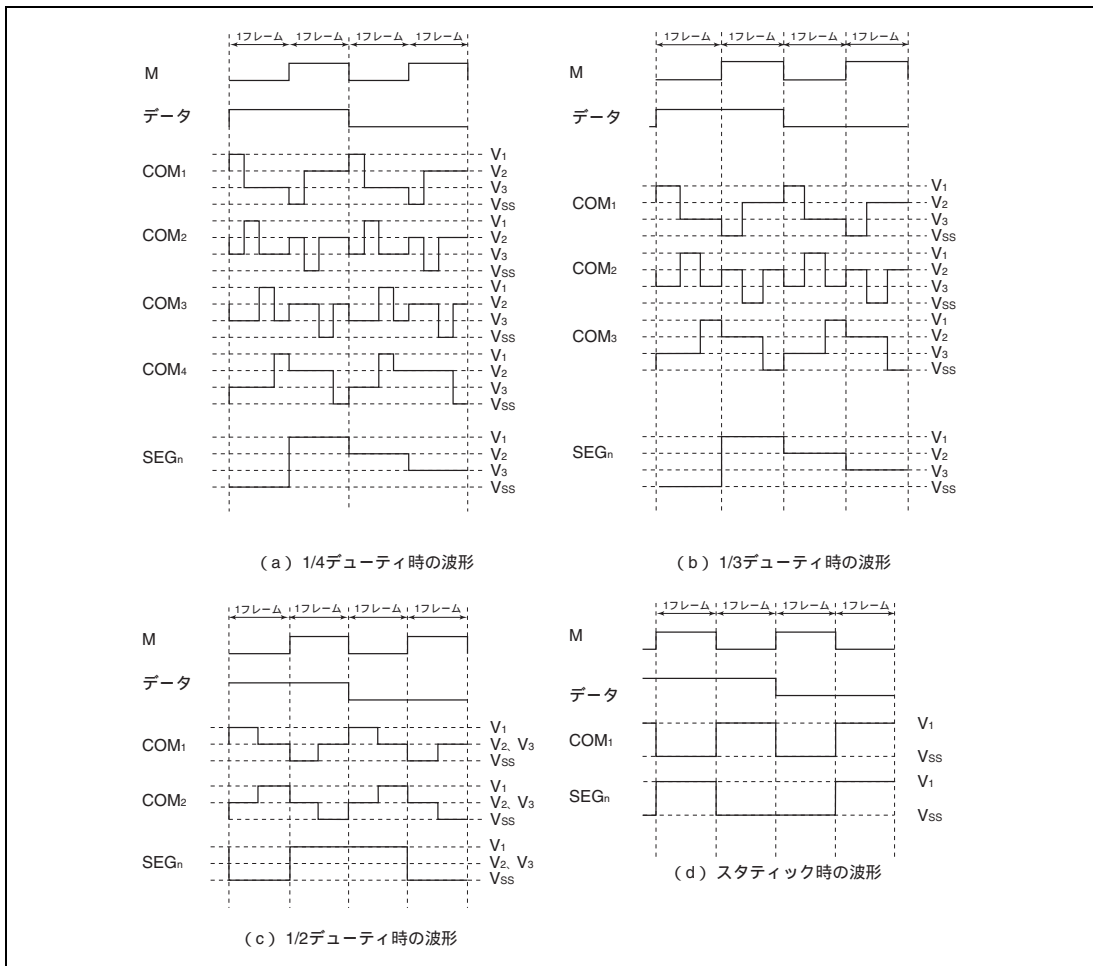


図 13.12 各デューティでの出力波形 (B 波形)

表 13.3 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V_1	V_{SS}	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/2 デューティ	コモン出力	V_2, V_3	V_2, V_3	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/3 デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1
1/4 デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1

13.3.5 低消費電力モード時の動作

本 LSI は低消費電力モード時でも、LCD コントローラ / ドライバを動作させることができます。低消費電力モード時の LCD コントローラ / ドライバの動作状態を表 13.4 に示します。

サブアクティブモード / ウォッチモード / サブスリープモードではシステムクロック発振器が停止するので、CKS3 ~ CKS0 で w 、 $w/2$ または $w/4$ を選択していないとクロックが供給されず、表示が停止します。この場合 LCD パネルには直流電圧がかかる可能性がありますので必ず w 、 $w/2$ または $w/4$ を選択するようにしてください。また、アクティブ (中速) モードではシステムクロックが切り替わるので、フレーム周波数が変化しないように CKS3 ~ CKS0 を変更する必要があります。

表 13.4 低消費電力モードと表示動作の関係

モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
クロック		動作	動作	動作	停止	停止	停止	停止*4
	w	動作	動作	動作	動作	動作	動作	停止*1
表示動作	ACT = 0	停止	停止	停止	停止	停止	停止	停止*2
	ACT = 1	停止	表示	表示	表示*3	表示*3	表示*3	停止

- 【注】 *1 サブクロック発振器は停止しませんがクロックの供給は停止します。
 *2 PSW に関係なく LCD 駆動電源を OFF します。
 *3 使用クロックに w 、 $w/2$ または $w/4$ を選択していないと表示動作を行いません。
 *4 LCD に供給されるクロックは停止します。

13.3.6 LCD 駆動電源の強化

大きなパネルを駆動する場合、内蔵の電源容量では足りないことがあります。 V_{CC} を電源として使用した場合で電源容量が不足する場合は、電源のインピーダンスを下げる必要があります。この対策として、図 13.13 に示すように $V_1 \sim V_3$ 端子に $0.1 \sim 0.3\mu\text{F}$ 程度のバイパスコンデンサを接続する方法や、新たに分割抵抗を外部に設ける方法があります。

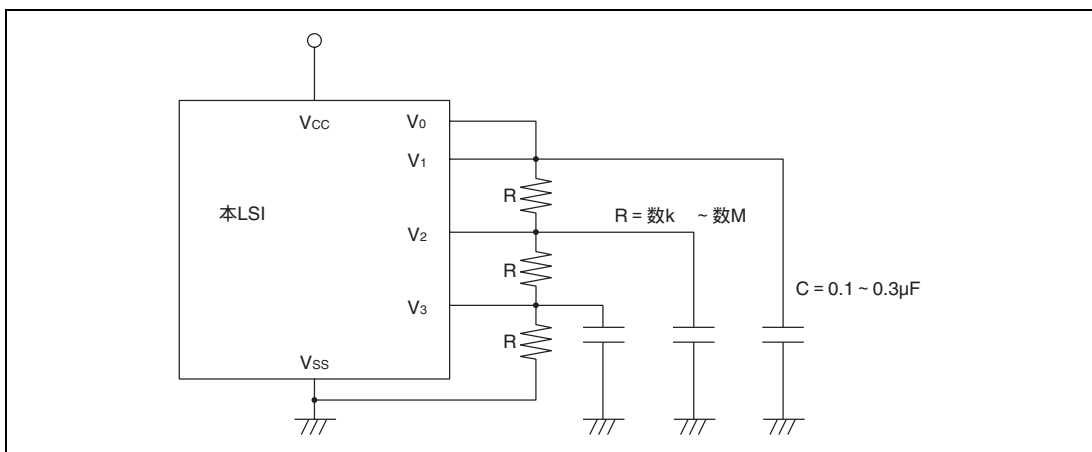


図 13.13 外部分割抵抗の接続方法

14. 電源回路

14.1 概要

本製品には内部電源降圧回路が内蔵されています。この内部電源降圧回路を使用することにより、外部 Vcc 端子に接続された電源電圧に依存することなく、内部電源を約 3.0 ~ 3.2V に固定することができます。このため外部電源を 3.0V 以上で使用した場合に消費される電流値を約 3.0V で使用した場合とほぼ同等に抑えることができます。外部電圧が 3.0V 以下の場合は内部電圧は外部電圧とほぼ同一となります。内部電源降圧回路を使用せずに内部電源電圧を外部電源電圧と同一として使用することもできます。

14.2 内部電源降圧回路を使用する場合

図 14.1 のように、Vcc 端子に外部電源を接続し、CVcc と Vss 間に約 0.33 μ F の容量を接続してください。この外部回路を付加することにより内部降圧回路が有効になります。外部回路の入出力レベルは Vcc に接続されている外部電源電圧と Vss に接続されている GND 電位が基準となります。たとえば、ポートの入出力レベルは High が Vcc 基準、Low が Vss 基準となります。LCD 電源、A/D 変換器のアナログ電源は内部降圧回路の影響は受けません。

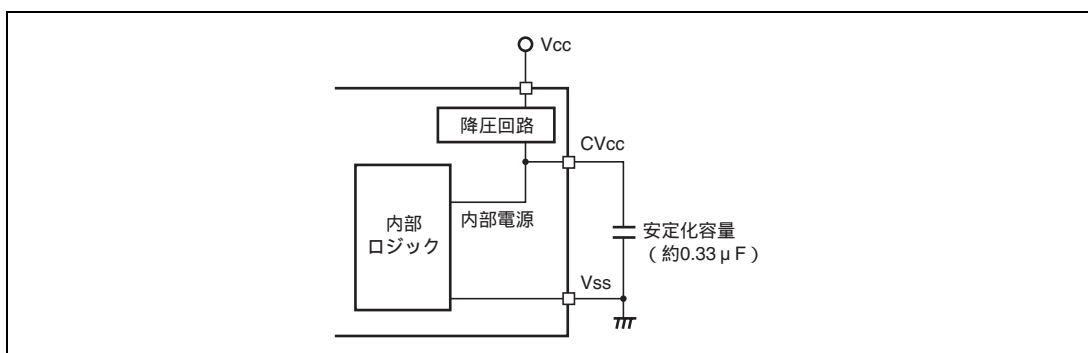


図 14.1 内部電源降圧回路を使用する場合の電源接続図

14.3 内部電源降圧回路を使用しない場合

図 14.2 のように、CVcc と Vcc 端子に外部電源を接続してください。外部電源が直接内部電源に供給されます。使用可能な電源電圧は 2.7V ~ 3.6V ですが、通常は内部電源降圧回路を使用してください。この範囲を超える電源を供給した場合の動作は保証されません。

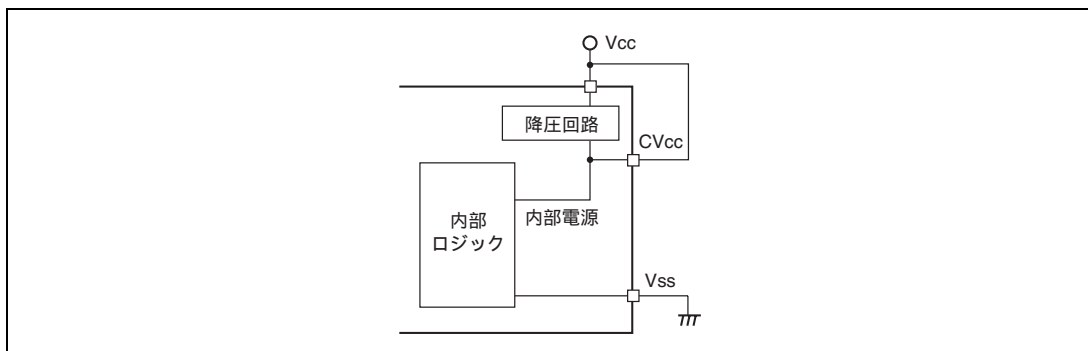


図 14.2 内部電源降圧回路を使用しない場合の電源接続図

15. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

15. レジスタ一覧

15.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'F020	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'F021	ROM	8	2
フラッシュメモリパワーコントロールレジスタ	FLPWCR	8	H'F022	ROM	8	2
ブロック指定レジスタ	EBR	8	H'F023	ROM	8	2
フラッシュメモリエnableレジスタ	FENR	8	H'F02B	ROM	8	2
ウェイクアップエッジセレクトレジスタ	WEGR	8	H'FF90	割り込み	8	2
シリアルポートコントロールレジスタ	SPCR	8	H'FF91	SCI3	8	2
サブクロック出力セレクトレジスタ	CWOSR	8	H'FF92	タイマ A	8	2
イベントカウンタコントロール / ステータスレジスタ	ECCSR	8	H'FF95	AEC* ¹	8	2
イベントカウンタ H	ECH	8	H'FF96	AEC* ¹	8	2
イベントカウンタ L	ECL	8	H'FF97	AEC* ¹	8	2
シリアルモードレジスタ 31	SMR31	8	H'FF98	SCI31	8	3
ビットレートレジスタ 31	BRR31	8	H'FF99	SCI31	8	3
シリアルコントロールレジスタ 31	SCR31	8	H'FF9A	SCI31	8	3
トランスミットデータレジスタ 31	TDR31	8	H'FF9B	SCI31	8	3
シリアルステータスレジスタ 31	SSR31	8	H'FF9C	SCI31	8	3
レシーブデータレジスタ 31	RDR31	8	H'FF9D	SCI31	8	3
シリアルモードレジスタ 32	SMR32	8	H'FFA8	SCI32	8	3
ビットレートレジスタ 32	BRR32	8	H'FFA9	SCI32	8	3
シリアルコントロールレジスタ 32	SCR32	8	H'FFAA	SCI32	8	3
トランスミットデータレジスタ 32	TDR32	8	H'FFAB	SCI32	8	3
シリアルステータスレジスタ 32	SSR32	8	H'FFAC	SCI32	8	3
レシーブデータレジスタ 32	RDR32	8	H'FFAD	SCI32	8	3
タイマモードレジスタ A	TMA	8	H'FFB0	タイマ A	8	2
タイマカウンタ A	TCA	8	H'FFB1	タイマ A	8	2
タイマコントロール / ステータスレジスタ W	TCSRW	8	H'FFB2	WDT* ²	8	2
タイマカウンタ W	TCW	8	H'FFB3	WDT* ²	8	2
タイマモードレジスタ C	TMC	8	H'FFB4	タイマ C	8	2
タイマカウンタ C / タイマロードレジスタ C	TCC/ TLC	8	H'FFB5	タイマ C	8	2

15. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス ステート数
タイマコントロールレジスタ F	TCRF	8	H'FFB6	タイマ F	8	2
タイマコントロールステータスレジスタ F	TCSRF	8	H'FFB7	タイマ F	8	2
8ビットタイマカウンタ FH	TCFH	8	H'FFB8	タイマ F	8	2
8ビットタイマカウンタ FL	TCFL	8	H'FFB9	タイマ F	8	2
アウトプットコンペアレジスタ FH	OCRFH	8	H'FFBA	タイマ F	8	2
アウトプットコンペアレジスタ FL	OCRFL	8	H'FFBB	タイマ F	8	2
タイマモードレジスタ G	TMG	8	H'FFBC	タイマ G	8	2
インプットキャプチャレジスタ GF	ICRGF	8	H'FFBD	タイマ G	8	2
インプットキャプチャレジスタ GR	ICRGR	8	H'FFBE	タイマ G	8	2
LCD ポートコントロールレジスタ	LPCR	8	H'FFC0	LCD ^{*3}	8	2
LCD コントロールレジスタ	LCR	8	H'FFC1	LCD ^{*3}	8	2
LCD コントロールレジスタ 2	LCR2	8	H'FFC2	LCD ^{*3}	8	2
A/D リザルトレジスタ H	ADRRH	8	H'FFC4	A/D 変換器	8	2
A/D リザルトレジスタ L	ADRRL	8	H'FFC5	A/D 変換器	8	2
A/D モードレジスタ	AMR	8	H'FFC6	A/D 変換器	8	2
A/D スタートレジスタ	ADSR	8	H'FFC7	A/D 変換器	8	2
ポートモードレジスタ 1	PMR1	8	H'FFC8	I/O ポート	8	2
ポートモードレジスタ 2	PMR2	8	H'FFC9	I/O ポート	8	2
ポートモードレジスタ 3	PMR3	8	H'FFCA	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FFCC	I/O ポート	8	2
PWM コントロールレジスタ	PWCR	8	H'FFD0	14ビット PWM	8	2
PWM データレジスタ U	PWDRU	8	H'FFD1	14ビット PWM	8	2
PWM データレジスタ L	PWDRL	8	H'FFD2	14ビット PWM	8	2
ポートデータレジスタ 1	PDR1	8	H'FFD4	I/O ポート	8	2
ポートデータレジスタ 3	PDR3	8	H'FFD6	I/O ポート	8	2
ポートデータレジスタ 4	PDR4	8	H'FFD7	I/O ポート	8	2
ポートデータレジスタ 5	PDR5	8	H'FFD8	I/O ポート	8	2
ポートデータレジスタ 6	PDR6	8	H'FFD9	I/O ポート	8	2
ポートデータレジスタ 7	PDR7	8	H'FFDA	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFDB	I/O ポート	8	2
ポートデータレジスタ A	PDRA	8	H'FFDD	I/O ポート	8	2
ポートデータレジスタ B	PDRB	8	H'FFDE	I/O ポート	8	2
ポートブルアップコントロールレジスタ 1	PUCR1	8	H'FFE0	I/O ポート	8	2
ポートブルアップコントロールレジスタ 3	PUCR3	8	H'FFE1	I/O ポート	8	2
ポートブルアップコントロールレジスタ 5	PUCR5	8	H'FFE2	I/O ポート	8	2
ポートブルアップコントロールレジスタ 6	PUCR6	8	H'FFE3	I/O ポート	8	2

15. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス ステート数
ポートコントロールレジスタ 1	PCR1	8	H'FFE4	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	8	H'FFE6	I/O ポート	8	2
ポートコントロールレジスタ 4	PCR4	8	H'FFE7	I/O ポート	8	2
ポートコントロールレジスタ 5	PCR5	8	H'FFE8	I/O ポート	8	2
ポートコントロールレジスタ 6	PCR6	8	H'FFE9	I/O ポート	8	2
ポートコントロールレジスタ 7	PCR7	8	H'FFEA	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	8	H'FFEB	I/O ポート	8	2
ポートコントロールレジスタ A	PCRA	8	H'FFED	I/O ポート	8	2
システムコントロールレジスタ 1	SYSCR1	8	H'FFF0	SYSTEM	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FFF1	SYSTEM	8	2
IRQ エッジセレクトレジスタ	IEGR	8	H'FFF2	割り込み	8	2
割り込み許可レジスタ 1	IENR1	8	H'FFF3	割り込み	8	2
割り込み許可レジスタ 2	IENR2	8	H'FFF4	割り込み	8	2
割り込み要求レジスタ 1	IRR1	8	H'FFF6	割り込み	8	2
割り込み要求レジスタ 2	IRR2	8	H'FFF7	割り込み	8	2
ウェイクアップ割り込み要求レジスタ	IWPR	8	H'FFF9	割り込み	8	2
クロック停止レジスタ 1	CKSTPR1	8	H'FFFA	SYSTEM	8	2
クロック停止レジスタ 2	CKSTPR2	8	H'FFFB	SYSTEM	8	2

- 【注】 *1 AEC : 非同期イベントカウンタ
 *2 WDT : ウォッチドッグタイマ
 *3 LCD : LCD コントローラ / ドライバ

15.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
FLMCR1		SWE	ESU	PSU	EV	PV	E	P	ROM	
FLMCR2	FLER									
FLPWCR	PDWND									
EBR	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
FENR	FLSHE									
WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	割り込み	
SPCR			SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0	SCI3	
CWOSR								CWOS	タイマ A	
ECCSR	OVH	OVL		CH2	CUEH	CUEL	CRCH	CRCL	AEC* ¹	
ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0		
ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0		
SMR31	COM31	CHR31	PE31	PM31	STOP31	MP31	CKS311	CKS310	SCI31	
BRR31	BRR317	BRR316	BRR315	BRR314	BRR313	BRR312	BRR311	BRR310		
SCR31	TIE31	RIE31	TE31	RE31	MPIE31	TEIE31	CKE311	CKE310		
TDR31	TDR317	TDR316	TDR315	TDR314	TDR313	TDR312	TDR311	TDR310		
SSR31	TDRE31	RDRF31	OER31	FER31	PER31	TEND31	MPBR31	MPBT31		
RDR31	RDR317	RDR316	RDR315	RDR314	RDR313	RDR312	RDR311	RDR310		
SMR32	COM32	CHR32	PE32	PM32	STOP32	MP32	CKS321	CKS320		
BRR32	BRR327	BRR326	BRR325	BRR324	BRR323	BRR322	BRR321	BRR320	SCI32	
SCR32	TIE32	RIE32	TE32	RE32	MPIE32	TEIE32	CKE321	CKE320		
TDR32	TDR327	TDR326	TDR325	TDR324	TDR323	TDR322	TDR321	TDR320		
SSR32	TDRE32	RDRF32	OER32	FER32	PER32	TEND32	MPBR32	MPBT32		
RDR32	RDR327	RDR326	RDR325	RDR324	RDR323	RDR322	RDR321	RDR320		
TMA	TMA7	TMA6	TMA5		TMA3	TMA2	TMA1	TMA0		タイマ A
TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0		
TCSRW	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	WDT* ²	
TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0		
TMC	TMC7	TMC6	TMC5			TMC2	TMC1	TMC0	タイマ C	
TCC/ TLC	TCC7/ TLC7	TCC6/ TLC6	TCC5/ TLC5	TCC4/ TLC4	TCC3/ TLC3	TCC2/ TLC2	TCC1/ TLC1	TCC0/ TLC0		

15. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイム F
TCSR	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	タイム G
ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
LPCR	DTS1	DTS0	CMX		SGS3	SGS2	SGS1	SGS0	LCD ^{*3}
LCR		PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
LCR2	LCDAB				CDS3	CDS2	CDS1	CDS0	
ADRRH	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D 変換器
ADRRL	ADR1	ADR0							
AMR	CKS	TRGE			CH3	CH2	CH1	CH0	
ADSR	ADSF								
PMR1	IRQ3	IRQ2	IRQ1	IRQ4	TMIG	TMOFH	TMOFL	TMOW	I/O ポート
PMR2	EXCL								
PMR3	AEVL	AEVH	WDCKS	NCS	IRQ0		UD	PWM	
PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PWCR							PWCR1	PWCR0	
PWDRU			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	14 ビット PWM
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	
PDR1	P17	P16	P15	P14	P13	P12	P11	P10	I/O ポート
PDR3	P37	P36	P35	P34	P33	P32	P31	P30	
PDR4					P43	P42	P41	P40	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
PDR8	P87	P86	P85	P84	P83	P82	P81	P80	
PDRA					PA3	PA2	PA1	PA0	
PDRB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PUCR1	PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10	
PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30	
PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	

15. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PCR1	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	I/Oポート
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
PCR4						PCR42	PCR41	PCR40	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
PCR8	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80	
PCRA					PCRA3	PCRA2	PCRA1	PCRA0	
SYSCR1	SSBY	STS2	STS1	STS0	LSON		MA1	MA0	
SYSCR2				NESEL	DTON	MSON	SA1	SA0	
IEGR				IEG4	IEG3	IEG2	IEG1	IEG0	割り込み
IENR1	IENTA		IENWP	IEN4	IEN3	IEN2	IEN1	IEN0	
IENR2	IENDT	IENAD		IENTG	IENTFH	IENTFL	IENTC	IENEC	
IRR1	IRRTA			IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	
IRR2	IRRDT	IRRAD		IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC	
IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	
CKSTPR1		S31CK STP	S32CK STP	ADCK STP	TGCK STP	TFCK STP	TCCK STP	TACK STP	SYSTEM
CKSTPR2					AECK STP	WDCK STP	PWCK STP	LDCK STP	

- 【注】 *1 AEC : 非同期イベントカウンタ
*2 WDT : ウォッチドッグタイマ
*3 LCD : LCD コントローラ/ドライバ

15. レジスタ一覧

15.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
FLMCR1	初期化	—	—	初期化	初期化	初期化	初期化	ROM
FLMCR2	初期化	—	—	—	—	—	—	
FLPWCR	初期化	—	—	—	—	—	—	
EBR	初期化	—	—	初期化	初期化	初期化	初期化	
FENR	初期化	—	—	—	—	—	—	
WEGR	初期化	—	—	—	—	—	—	割り込み
SPCR	初期化	—	—	—	—	—	—	SCI3
CWOSR	初期化	—	—	—	—	—	—	タイマ A
ECCSR	初期化	—	—	—	—	—	—	AEC* ¹
ECH	初期化	—	—	—	—	—	—	
ECL	初期化	—	—	—	—	—	—	
SMR31	初期化	—	—	初期化	—	—	初期化	SCI31
BRR31	初期化	—	—	初期化	—	—	初期化	
SCR31	初期化	—	—	初期化	—	—	初期化	
TDR31	初期化	—	—	初期化	—	—	初期化	
SSR31	初期化	—	—	初期化	—	—	初期化	
RDR31	初期化	—	—	初期化	—	—	初期化	
SMR32	初期化	—	—	初期化	—	—	初期化	SCI32
BRR32	初期化	—	—	初期化	—	—	初期化	
SCR32	初期化	—	—	初期化	—	—	初期化	
TDR32	初期化	—	—	初期化	—	—	初期化	
SSR32	初期化	—	—	初期化	—	—	初期化	
RDR32	初期化	—	—	初期化	—	—	初期化	
TMA	初期化	—	—	—	—	—	—	タイマ A
TCA	初期化	—	—	—	—	—	—	
TCSRW	初期化	—	—	—	—	—	—	WDT* ²
TCW	初期化	—	—	—	—	—	—	タイマ C
TMC	初期化	—	—	—	—	—	—	
TCC	初期化	—	—	—	—	—	—	
TLC	初期化	—	—	—	—	—	—	
TCRF	初期化	—	—	—	—	—	—	タイマ F
TCSRFB	初期化	—	—	—	—	—	—	
TCFH	初期化	—	—	—	—	—	—	

15. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
TCFL	初期化	—	—	—	—	—	—	タイマ F
OCRFH	初期化	—	—	—	—	—	—	
OCRFL	初期化	—	—	—	—	—	—	
TMG	初期化	—	—	—	—	—	—	タイマ G
ICRGF	初期化	—	—	—	—	—	—	
ICRGR	初期化	—	—	—	—	—	—	
LPCR	初期化	—	—	—	—	—	—	LCD*3
LCR	初期化	—	—	—	—	—	—	
LCR2	初期化	—	—	—	—	—	—	
ADRRH	—	—	—	—	—	—	—	A/D 変換器
ADRRL	—	—	—	—	—	—	—	
AMR	初期化	—	—	—	—	—	—	
ADSR	初期化	—	—	初期化	初期化	初期化	初期化	
PMR1	初期化	—	—	—	—	—	—	I/O ポート
PMR2	初期化	—	—	—	—	—	—	
PMR3	初期化	—	—	—	—	—	—	
PMR5	初期化	—	—	—	—	—	—	
PWCR	初期化	—	—	—	—	—	—	14 ビット PWM
PWDRU	初期化	—	—	—	—	—	—	
PWDRL	初期化	—	—	—	—	—	—	
PDR1	初期化	—	—	—	—	—	—	I/O ポート
PDR3	初期化	—	—	—	—	—	—	
PDR4	初期化	—	—	—	—	—	—	
PDR5	初期化	—	—	—	—	—	—	
PDR6	初期化	—	—	—	—	—	—	
PDR7	初期化	—	—	—	—	—	—	
PDR8	初期化	—	—	—	—	—	—	
PDRA	初期化	—	—	—	—	—	—	
PDRB	初期化	—	—	—	—	—	—	
PUCR1	初期化	—	—	—	—	—	—	
PUCR3	初期化	—	—	—	—	—	—	
PUCR5	初期化	—	—	—	—	—	—	
PUCR6	初期化	—	—	—	—	—	—	

15. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
PCR1	初期化	—	—	—	—	—	—	I/O ポート
PCR3	初期化	—	—	—	—	—	—	
PCR4	初期化	—	—	—	—	—	—	
PCR5	初期化	—	—	—	—	—	—	
PCR6	初期化	—	—	—	—	—	—	
PCR7	初期化	—	—	—	—	—	—	
PCR8	初期化	—	—	—	—	—	—	
PCRA	初期化	—	—	—	—	—	—	
SYSCR1	初期化	—	—	—	—	—	—	
SYSCR2	初期化	—	—	—	—	—	—	
IEGR	初期化	—	—	—	—	—	—	割り込み
IENR1	初期化	—	—	—	—	—	—	
IENR2	初期化	—	—	—	—	—	—	
IRR1	初期化	—	—	—	—	—	—	
IRR2	初期化	—	—	—	—	—	—	
IWPR	初期化	—	—	—	—	—	—	
CKSTPR1	初期化	—	—	—	—	—	—	SYSTEM
CKSTPR2	初期化	—	—	—	—	—	—	

【注】 - は初期化されません。

- *1 AEC : 非同期イベントカウンタ
- *2 WDT : ウォッチドッグタイマ
- *3 LCD : LCD コントローラ / ドライバ

16. 電気的特性

16.1 絶対最大定格

絶対最大定格を表 16.1 に示します。

表 16.1 絶対最大定格

項目		記号	規格値	単位	備考
電源電圧		V_{CC}	- 0.3 ~ + 7.0	V	*1
		CV_{CC}	- 0.3 ~ + 4.3	V	
アナログ電源電圧		AV_{CC}	- 0.3 ~ + 7.0	V	
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V	
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V	
動作温度		T_{opr}	- 20 ~ + 75 (通常仕様品) *2		
			- 40 ~ + 85 *2 (広温度範囲仕様品)		
保存温度		T_{stg}	- 55 ~ + 125		

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

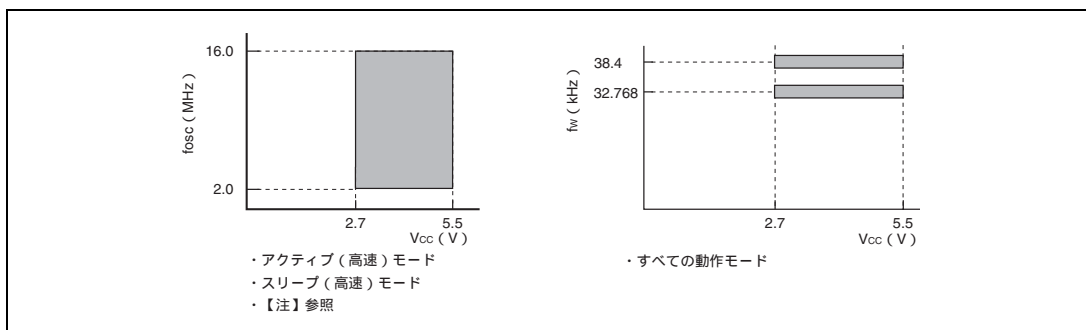
*2 フラッシュメモリの書き込み / 消去時の動作温度範囲は $T_a = - 20 \sim + 75$ です。

16.2 電気的特性

16.2.1 電源電圧と動作範囲

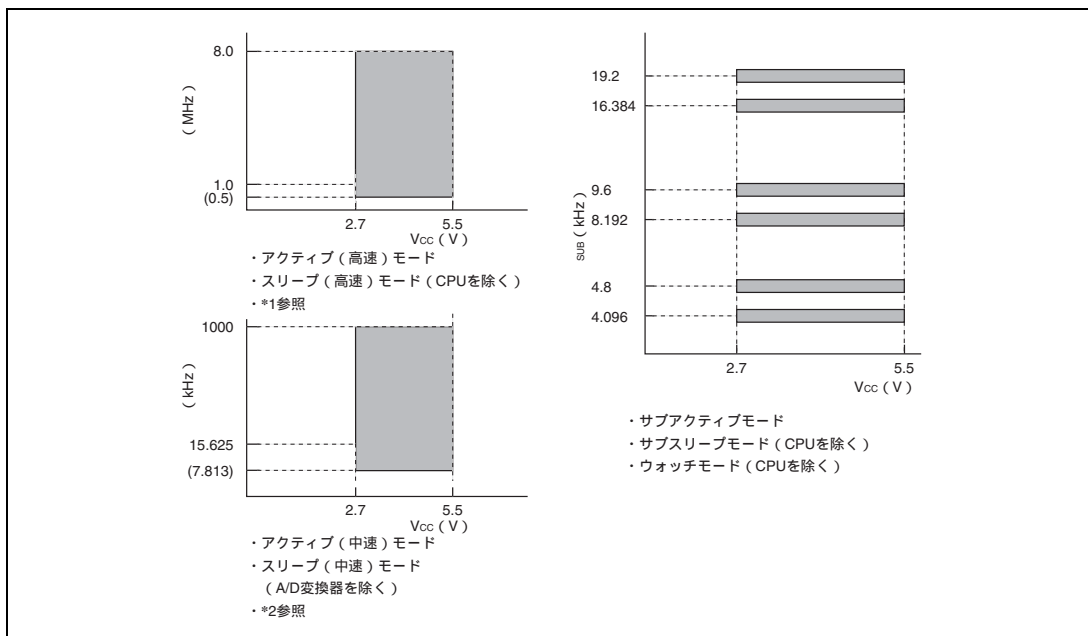
電源電圧と動作範囲（網かけ部）を以下に示します。

（1）電源電圧と発振周波数の範囲（システムクロック発振器選択時）



【注】 f_{osc} は、発振子の周波数です。外部クロック使用時は、 $f_{osc} = 1\text{MHz}$ が min となります。

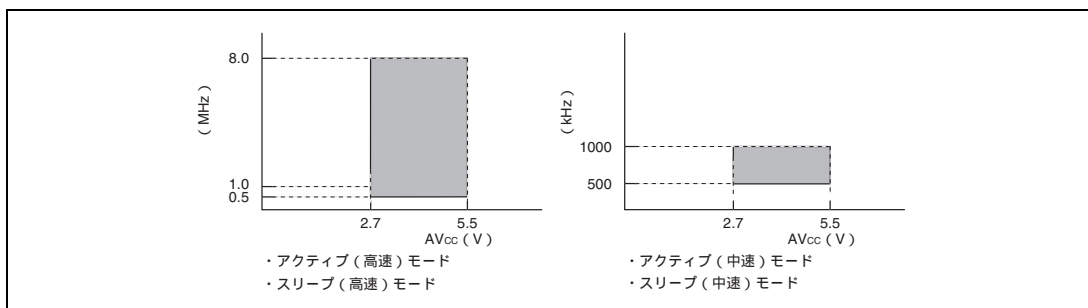
(2) 電源電圧と動作周波数の範囲



【注】 *1 () 内の数字は、外部クロックを使用する場合の最低動作周波数です。
発振子を使用する場合の最低動作周波数は、 = 1MHz になります。

*2 () 内の数字は、外部クロックを使用する場合の最低動作周波数です。
発振子を使用する場合の最低動作周波数は、 = 15.625kHz になります。

(3) アナログ電源電圧とA/D変換器の動作範囲



16. 電気的特性

16.2.2 DC 特性

DC 特性を表 16.2 に示します。

表 16.2 DC 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	RES、 WKP0 ~ WKP7、 IRQ0 ~ IRQ4、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK31、SCK32	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		RXD32、UD、RXD31	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		OSC1	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		P10 ~ P17、 P30 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		PB0 ~ PB7	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$AV_{CC} + 0.3$		
EXCL		$0.9V_{CC}$		$V_{CC} + 0.3$	V			
入力 Low レベル電圧	V_{IL}	RES、 WKP0 ~ WKP7、 IRQ0 ~ IRQ4、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK31、SCK32	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.2V_{CC}$	V	
			上記以外	- 0.3		$0.1V_{CC}$		
		RXD32、UD、RXD31	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.3V_{CC}$	V	
			上記以外	- 0.3		$0.2V_{CC}$		
		OSC1	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.2V_{CC}$	V	
			上記以外	- 0.3		$0.1V_{CC}$		
		EXCL		- 0.3		$0.1V_{CC}$	V	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V _{IL}	P10 ~ P17、 P30 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3、 PB0 ~ PB7	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
			上記以外	- 0.3		0.2V _{CC}		
出力 High レベル電圧	V _{OH}	P10 ~ P17、 P30 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
			V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
			- I _{OH} = 0.1mA	V _{CC} - 0.3				
出力 Low レベル電圧	V _{OL}	P10 ~ P17、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V	
			I _{OL} = 0.4mA			0.5		
		P30 ~ P37	V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA			1.0		
			V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6		
			I _{OL} = 0.4mA			0.5		
入出力 リーク電流	I _L	RES、P43、 OSC1、X1、 P10 ~ P17、 P30 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA	
		PB0 ~ PB7	V _{IN} = 0.5V ~ AV _{CC} - 0.5V			1.0		
プルアップ MOS 電流	- I _p	P10 ~ P17、 P30 ~ P37、 P50 ~ P57、 P60 ~ P67	V _{CC} = 5V、V _{IN} = 0V	20		200	μA	参考値
			V _{CC} = 2.7V、V _{IN} = 0V		40			

16. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源端子を除く 全入力端子	f = 1MHz、 V _{IN} = 0V、T _a = 25			15.0	pF	
アクティブモード 消費電流	I _{OPE1}	V _{CC}	アクティブ(高速)モード、 V _{CC} = 2.7V、 f _{OSC} = 2MHz		0.8		mA	* ¹ * ³ * ⁴ max 目安 = 1.1 x typ
					1.2			* ² * ³ * ⁴ max 目安 = 1.1 x typ
			アクティブ(高速)モード、V _{CC} = 5V、f _{OSC} = 2MHz		1.0		* ¹ * ³ * ⁴ max 目安 = 1.1 x typ	
					1.5		* ² * ³ * ⁴ max 目安 = 1.1 x typ	
			アクティブ(高速)モード、V _{CC} = 5V、f _{OSC} = 4MHz		2.0		* ¹ * ³ * ⁴ max 目安 = 1.1 x typ	
					2.4		* ² * ³ * ⁴ max 目安 = 1.1 x typ	
			アクティブ(高速)モード、V _{CC} = 5V、f _{OSC} = 10MHz		4.0	7.0	* ¹ * ³ * ⁴	
		4.9		7.0	* ² * ³ * ⁴			
	I _{OPE2}	V _{CC}	アクティブ(中速)モード、 V _{CC} = 2.7V、 f _{OSC} = 2MHz、 f _{osc} /128 時		0.4		mA	* ¹ * ³ * ⁴ max 目安 = 1.1 x typ
					0.7			* ² * ³ * ⁴ max 目安 = 1.1 x typ
			アクティブ(中速)モード、V _{CC} = 5V、f _{OSC} = 2MHz、 f _{osc} /128 時		0.5		* ¹ * ³ * ⁴ max 目安 = 1.1 x typ	
					1.0		* ² * ³ * ⁴ max 目安 = 1.1 x typ	
			アクティブ(中速)モード、V _{CC} = 5V、f _{OSC} = 4MHz、 f _{osc} /128 時		0.8		* ¹ * ³ * ⁴ max 目安 = 1.1 x typ	
					1.2		* ² * ³ * ⁴ max 目安 = 1.1 x typ	
アクティブ(中速)モード、V _{CC} = 5V、f _{OSC} = 10MHz、 f _{osc} /128 時				1.2	3.0	* ¹ * ³ * ⁴		
		1.7	3.0	* ² * ³ * ⁴				

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スリープモード消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 2.7V、 f _{OSC} = 2MHz		0.5		mA	* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					0.8			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			V _{CC} = 5V、 f _{OSC} = 2MHz		0.7			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.2			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			V _{CC} = 5V、 f _{OSC} = 4MHz		1.1			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.6			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			V _{CC} = 5V、 f _{OSC} = 10MHz		1.9	5.0		* ¹ * ³ * ⁴
					2.6	5.0		* ² * ³ * ⁴
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V、 LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = _w /8)		12		μA	* ¹ * ³ * ⁴ 参考値
					15			* ² * ³ * ⁴ 参考値
			V _{CC} = 2.7V、 LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = _w /2)		18	50		* ¹ * ³ * ⁴
					30	50		* ² * ³ * ⁴
サブスリープモード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、 LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = _w /2)		3.8	16	μA	* ³ * ⁴
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.7V、 T _a = 25℃、 32kHz 水晶発振子使用時 LCD 未使用		1.8		μA	* ¹ * ³ * ⁴ 参考値
					1.8			* ² * ³ * ⁴ 参考値
			V _{CC} = 2.7V、 32kHz 水晶発振子使用時 LCD 未使用		3.0	6.0		* ³ * ⁴

16. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スタンバイモード消費電流	I _{STBY}	V _{CC}	V _{CC} = 2.7V、T _a = 25、32kHz 水晶発振子未使用時		0.3		μA	*1 *3 *4 参考値
					0.3			*2 *3 *4 参考値
			V _{CC} = 5.0V、T _a = 25、32kHz 水晶発振子未使用時		0.4			*1 *3 *4 参考値
					0.5			*2 *3 *4 参考値
			32kHz 水晶発振子未使用時		1.0	5.0		*3 *4
RAM データ保持電圧	V _{RAM}	V _{CC}		2.0		V	*5	
出力 Low レベル許容電流 (1 端子当たり)	I _{OL}	ポート 3 以外の出力端子	V _{CC} = 4.0V ~ 5.5V			2.0	mA	
		ポート 3	V _{CC} = 4.0V ~ 5.5V			10.0		
		全出力端子				0.5		
出力 Low レベル許容電流 (総和)	I _{OL}	ポート 3 以外の出力端子	V _{CC} = 4.0V ~ 5.5V			40.0	mA	
		ポート 3	V _{CC} = 4.0V ~ 5.5V			80.0		
		全出力端子				20.0		
出力 High レベル許容電流 (1 端子当たり)	- I _{OH}	全出力端子	V _{CC} = 4.0V ~ 5.5V			2.0	mA	
			上記以外			0.2		
出力 High レベル許容電流 (総和)	- I _{OH}	全出力端子	V _{CC} = 4.0V ~ 5.5V			15.0	mA	
			上記以外			10.0		
V _{CC} 開始電圧	V _{CC START}	V _{CC}		0		0.1	V	*2
V _{CC} 立ち上がり勾配	SV _{CC}	V _{CC}		0.05			V/ms	*2

【注】 TEST 端子は、V_{SS}に接続してください。

- *1 マスク ROM 製品に適用します。
- *2 フラッシュメモリ製品に適用します。

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード (I _{OPe1}) アクティブ (中速) モード (I _{OPe2})	V _{CC}	CPU のみ動作	V _{CC}	停止	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子 = GND
スリープモード	V _{CC}	内蔵の全タイマのみ動作	V _{CC}	停止	
サブアクティブモード	V _{CC}	CPU のみ動作	V _{CC}	停止	システムクロック発振器 : 水晶発振子
サブスリープモード	V _{CC}	内蔵の全タイマのみ動作 CPU は停止	V _{CC}	停止	サブクロック発振器 : 水晶発振子
ウォッチモード	V _{CC}	時計用タイム ベースのみ動作 CPU は停止	V _{CC}	停止	
スタンバイモード	V _{CC}	CPU、タイマ ともに停止	V _{CC}	停止	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子 = GND

- *3 消費電流測定時の端子の状態
- *4 プルアップ MOS や出力バッファに流れる電流は除きます。
- *5 スタンバイモードの保持電圧です。

16. 電気的特性

16.2.3 AC 特性

制御信号タイミングを表 16.3 に、シリアルインタフェースタイミングを表 16.4 に示します。

表 16.3 制御信号タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC1、OSC2		2.0		16.0	MHz	
OSC クロック (t_{OSC}) サイクル時間	t_{OSC}	OSC1、OSC2		62.5		500 (1000)	ns	図 16.1*2
システムクロック () サイクル時間	t_{CYC}			2		128	t_{OSC}	
						128	μs	
サブクロック発振器 発振周波数	f_W	X1、X2、EXCL			32.768 または 38.4		kHz	
ウォッチクロック (t_W) サイクル時間	t_W	X1、X2、EXCL			30.5 または 26.0		μs	図 16.1
サブクロック (t_{SUB}) サイクル時間	t_{SUBCYC}			2		4	t_W	*1
インストラクション サイクル時間				2			t_{CYC} t_{SUBCYC}	
発振安定時間	t_{RC}	OSC1、OSC2	セラミック 発振子 ($V_{CC} = 3.0 \sim 5.5V$)		20	45	μs	図 16.9
			セラミック 発振子の 上記以外		80			
			水晶発振子 上記以外		0.8	2	ms	
						50		
		X1、X2				2.0	s	
外部クロック High レベル幅	t_{CPH}	OSC1		25			ns	図 16.1
		EXCL			15.26 または 13.02		μs	図 16.1
外部クロック Low レベル幅	t_{CPL}	OSC1		25			ns	図 16.1
		EXCL			15.26 または 13.02		μs	図 16.1
外部クロック 立ち上がり時間	t_{CPr}	OSC1				6	ns	図 16.1
		EXCL				55.0		図 16.1
外部クロック 立ち下がり時間	t_{CPf}	OSC1				6	ns	図 16.1
		EXCL				55.0		図 16.1
RES 端子 Low レベル幅	t_{REL}	RES		10			t_{CYC}	図 16.2

項目	記号	適用端子	規格値			単位	参照図
			min.	typ.	max.		
入力端子 High レベル幅	t_{IH}	IRQ0 ~ IRQ4、WKP0 ~ WKP7、ADTRG、TMIC、TMIF、TMIG	2			t_{cyc} t_{subcyc}	図 16.3
		AEVL、AEVH	32			ns	
入力端子 Low レベル幅	t_{IL}	IRQ0 ~ IRQ4、WKP0 ~ WKP7、ADTRG、TMIC、TMIF、TMIG	2			t_{cyc} t_{subcyc}	図 16.3
		AEVL、AEVH	32			ns	
UD 端子最小変化幅	t_{UDH}	UD	4			t_{cyc} t_{subcyc}	図 16.4
	t_{UDL}						

【注】 *1 システムコントロールレジスタ2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 () 内の数字は、外部クロックを入力する場合の f_{osc} max 値です。

表 16.4 シリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{syc}		4			t_{cyc} または t_{subcyc}	図 16.5
	クロック同期			6				
入力クロックパルス幅		t_{SCKW}		0.4		0.6	t_{cyc}	図 16.5
送信データ遅延時間 (クロック同期)		t_{TXD}				1	t_{cyc} または t_{subcyc}	図 16.6
受信データセットアップ時間 (クロック同期)		t_{RXS}		200			ns	図 16.6
受信データホールド時間 (クロック同期)		t_{RXH}		200			ns	図 16.6

16. 電気的特性

16.2.4 A/D 変換器特性

A/D 変換器特性を表 16.5 に示します。

表 16.5 A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7		5.5	V	*1
アナログ入力電圧	AV_{IN}	AN0 ~ AN7		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	AN0 ~ AN7				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 4.0 \sim 5.5V$			± 3.5	LSB	
			$AV_{CC} = 2.7 \sim 5.5V$			± 7.5		
量子化誤差						± 0.5	LSB	
絶対精度			$AV_{CC} = 4.0 \sim 5.5V$		± 2.0	± 4.0	LSB	
			$AV_{CC} = 2.7 \sim 5.5V$		± 2.0	± 8.0		
変換時間				7.8		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

16.2.5 LCD 特性

LCD 特性を表 16.6 に示します。

表 16.6 LCD 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG1 ~ SEG32	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.6	V	* ¹
コモンドライバ 降下電圧	V_{DC}	COM1 ~ COM4	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.3	V	* ¹
LCD 電源分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	1.5	3.0	7.0	M	
液晶表示電圧	V_{LCD}	V1		2.7		5.5	V	* ²

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_1 V_2 V_3 V_{SS} の関係を維持してください。

16. 電気的特性

16.2.6 フラッシュメモリ特性

表 16.7 フラッシュメモリ特性

条件：AV_{CC} = 2.7 ~ 5.5V、V_{SS} = AV_{SS} = 0.0V、V_{CC} = 2.7 ~ 5.5V（読み出し時の動作電圧範囲）、
V_{CC} = 3.0 ~ 5.5V（書き込み / 消去時の動作電圧範囲）、
T_a = -20 ~ +75（書き込み / 消去時の動作温度範囲：通常仕様品、広温度範囲仕様品）

項目	記号	測定条件	規格値			単位	
			min.	typ.	max.		
書き込み時間（128バイト当たり）*1 *2 *4	tP			7	200	ms	
消去時間（1ブロック当たり）*1 *3 *6	tE			100	1200	ms	
書き換え回数	NWEC		1000*8	10000*9		回	
データ保持時間	tDRP		10*10			年	
書き込み時	SWE ビットセット後の待機時間*1	x		1		μs	
	PSU ビットセット後の待機時間*1	y		50		μs	
	P ビットセット後の待機時間*1 *4	z1	1 n 6	28	30	32	μs
		z2	7 n 1000	198	200	202	μs
		z3	追加書き込み	8	10	12	μs
	P ビットクリア後の待機時間*1			5		μs	
	PSU ビットクリア後の待機時間*1			5		μs	
	PV ビットセット後の待機時間*1			4		μs	
	ダミーライト後の待機期間*1			2		μs	
	PV ビットクリア後の待機時間*1			2		μs	
	SWE ビットクリア後の待機時間*1			100		μs	
	最大書き込み回数*1 *4 *5	N				1000	回
	消去時	SWE ビットセット後の待機時間*1	x		1		μs
ESU ビットセット後の待機時間*1		y		100		μs	
E ビットセット後の待機時間*1 *6		z		10	100	ms	
E ビットクリア後の待機時間*1				10		μs	
ESU ビットクリア後の待機時間*1				10		μs	
EV ビットセット後の待機時間*1				20		μs	
ダミーライト後の待機期間*1				2		μs	
EV ビットクリア後の待機時間*1				4		μs	
SWE ビットクリア後の待機時間*1				100		μs	
最大消去回数*1 *6 *7		N				120	回

【注】 *1 各時間の設定は、プログラム / イレースのアルゴリズムに従い行ってください。

*2 128バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ1 (FLMCR1) のPビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。

*3 1ブロックを消去する時間で、フラッシュメモリコントロールレジスタ1 (FLMCR1) のEビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。

*4 書き込み時間の最大値 (t_p(MAX)) = Pビットセット後の待機時間(z) × 最大書き込み回数(N)

*5 最大書き込み回数(N)は、実際のz1、z2、z3の設定値に合わせ、書き込み時間の最大値t_p(MAX)以下となるように設定してください。また、Pビットセット後の待機時間(z1、z2)は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

1 n 6 z1 = 30 μ s7 n 1000 z2 = 200 μ s

- *6 消去時間の最大値 ($t_E(\text{MAX})$) = E ビットセット後の待機時間(z) × 最大消去回数(N)
- *7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値 ($t_E(\text{MAX})$) 以下となるように設定してください。
- *8 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- *9 25 のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- *10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

16.3 動作タイミング

動作タイミングを図 16.1 ~ 図 16.6 に示します。

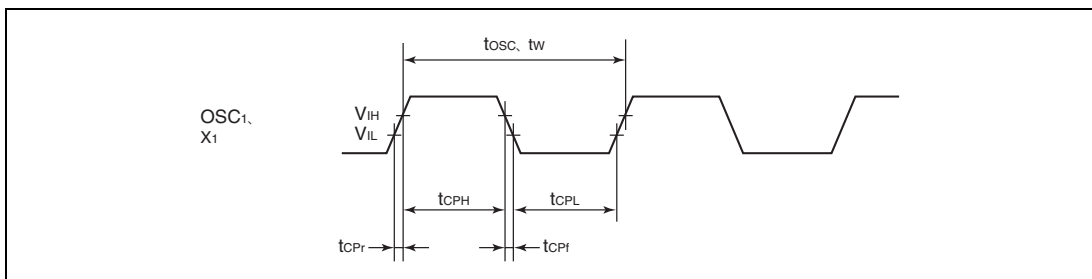


図 16.1 クロック入力タイミング

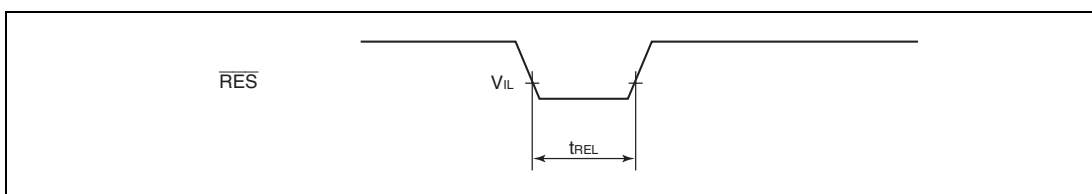


図 16.2 RES 端子 Low レベル幅タイミング

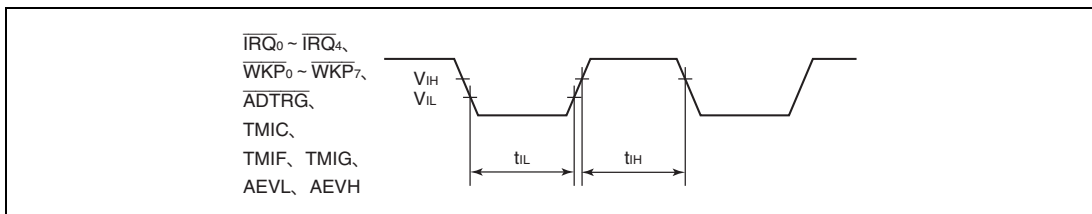


図 16.3 入力タイミング

16. 電気的特性

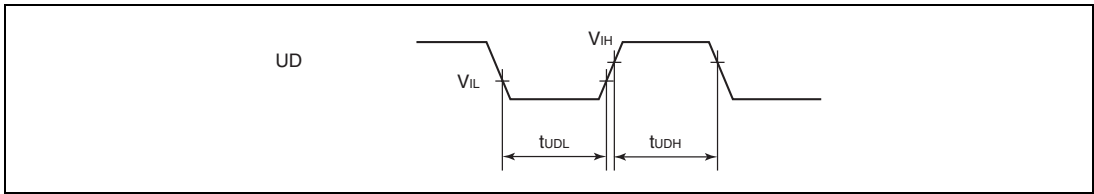


図 16.4 UD 端子最小変化幅タイミング

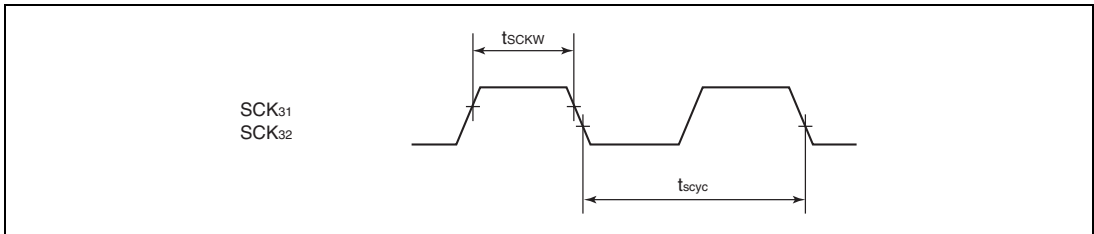


図 16.5 SCK3 入力クロックタイミング

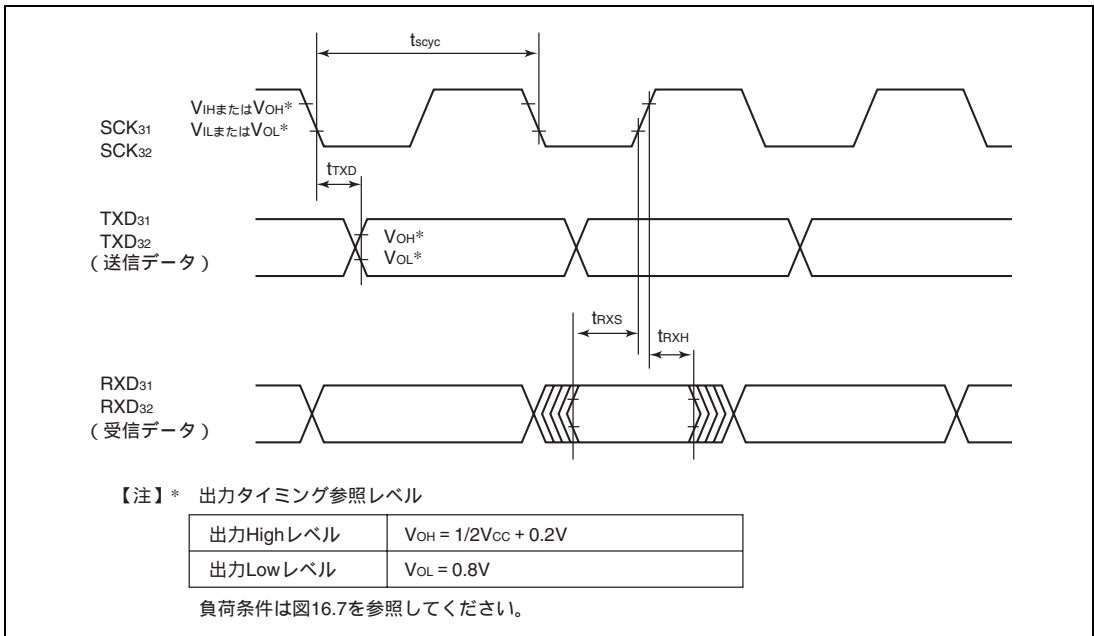


図 16.6 SCI3 クロック同期式モード入出力タイミング

16.4 出力負荷回路

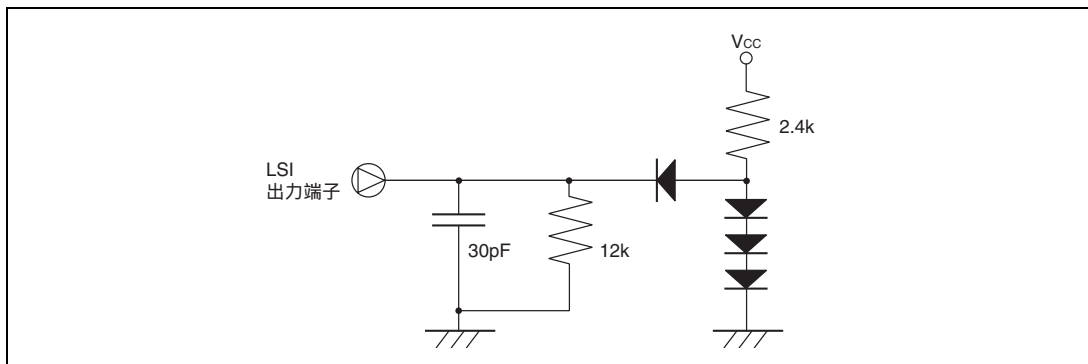


図 16.7 出力負荷条件

16.5 発振子

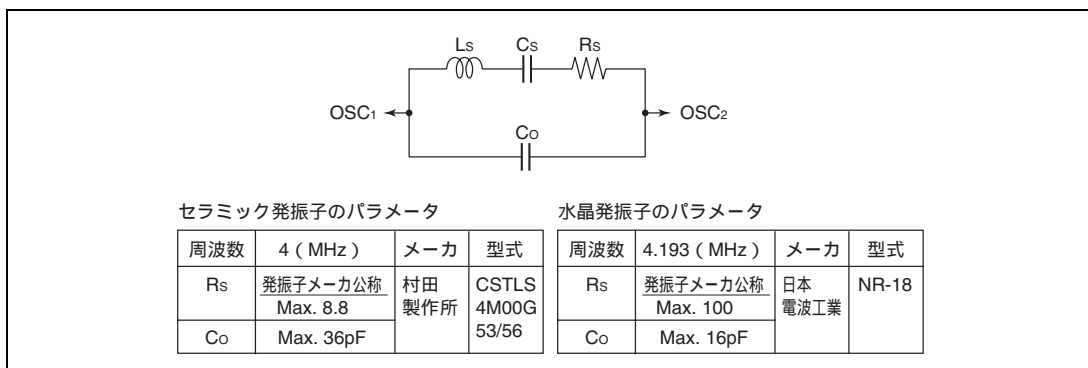


図 16.8 発振子の等価回路

16. 電気的特性

水晶発振子			
発振周波数	メーカー	型式	C1、C2
4MHz	日本電波工業	NR-18	12pF±20%
10MHz			

セラミック発振子			
発振周波数	メーカー	型式	内蔵C1、C2
2MHz	村田製作所	CSTCC2M00G53-B0	15pF±20%
		CSTCC2M00G56-B0	47pF±20%
4MHz		CSTLS4M00G53-B0	15pF±20%
		CSTLS4M00G56-B0	47pF±20%
10MHz		CSTLS10M0G53-B0	15pF±20%
		CSTLS10M0G56-B0	47pF±20%

図 16.9 推奨発振子

16.6 使用上の注意

本マニュアルに記載の各製品はそれぞれの電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

フラッシュメモリ版を使用してシステムの評価試験を行う場合、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内 容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレースメント
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和

【注】 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L) または 16 ビット (R0~R7、E0~E7) です。

《オペレーションの記号》

記号	内 容
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
() < >	オペランドの内容
↑ ↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

二一モニツク	サイズ	アドレッシングモード / 命令長 (バイト)					オペレーション	コンディションコード								実行回数*1		
		#xx	Rn	@-ERn/@ERn+				I	H	N	Z	V	C	-	-		-	-
				@(d, ERn)	@aa	@(d, PC)												
MOV	B	2														2		
MOV.B #xx:8, Rd	B	2														2		
MOV.B Rs, Rd	B	2														2		
MOV.B @ERS, Rd	B		2													4		
MOV.B @(d:16, ERs), Rd	B			4												6		
MOV.B @ERs+, Rd	B			8												10		
MOV.B @ERS+, Rd	B			2												6		
MOV.B @aa:8, Rd	B				2											4		
MOV.B @aa:16, Rd	B				4											6		
MOV.B @aa:24, Rd	B				6											8		
MOV.B Rs, @ERd	B		2													4		
MOV.B Rs, @(d:16, ERd)	B			4												6		
MOV.B Rs, @(d:24, ERd)	B			8												10		
MOV.B Rs, @-ERd	B			2												6		
MOV.B Rs, @aa:8	B				2											4		
MOV.B Rs, @aa:16	B				4											6		
MOV.B Rs, @aa:24	B				6											8		
MOV.W #xx:16, Rd	W	4														4		
MOV.W Rs, Rd	W		2													2		
MOV.W @ERS, Rd	W			2												4		
MOV.W @(d:16, ERs), Rd	W			4												6		
MOV.W @(d:24, ERs), Rd	W			8												10		
MOV.W @ERS+, Rd	W			2												6		
MOV.W @aa:16, Rd	W				4											6		
MOV.W @aa:24, Rd	W				6											8		

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード						実行回-1数 ^{*1}	
		#xx	Rn @ERn	@(d, ERn)	@-ERn/ERn+	@aa	@(d, PC)		@aa	I	H	N	Z	V		C
MOV	MOV.W Rs, @ERd		2					Rs16 @ERd								4
	MOV.W Rs, @(d:16, ERd)			4					Rs16 @(d:16, ERd)							6
	MOV.W Rs, @(d:24, ERd)			8					Rs16 @(d:24, ERd)							10
	MOV.W Rs, @-ERd				2				ERd32-2 ERd32, Rs16 @ERd							6
	MOV.W Rs, @aa:16					4			Rs16 @aa:16							6
	MOV.W Rs, @aa:24						6		Rs16 @aa:24							8
	MOV.L #xx:32, ERd	L	6						#xx:32 ERd32							6
	MOV.L ERs, ERd	L	2						ERs32 ERd32							2
	MOV.L @ERs, ERd	L		4					@ERs ERd32							8
	MOV.L @(d:16, ERs), ERd	L			6				@(d:16, ERs) ERd32							10
	MOV.L @(d:24, ERs), ERd	L			10				@(d:24, ERs) ERd32							14
	MOV.L @ERs+, ERd	L				4			@ERs ERd32, ERs32+4 ERs32							10
	MOV.L @aa:16, ERd	L					6		@aa:16 ERd32							10
	MOV.L @aa:24, ERd	L					8		@aa:24 ERd32							12
	MOV.L ERs, @ERd	L		4					ERs32 @ERd							8
MOV.L ERs, @(d:16, ERd)	L			6				ERs32 @(d:16, ERd)							10	
MOV.L ERs, @(d:24, ERd)	L			10				ERs32 @(d:24, ERd)							14	
MOV.L ERs, @-ERd	L				4			ERd32-4 ERd32, ERs32 @ERd							10	
MOV.L ERs, @aa:16	L					6		ERs32 @aa:16							10	
MOV.L ERs, @aa:24	L					8		ERs32 @aa:24							12	
POP.W Rn	W							2 @SP Rn16, SP+2 SP							6	
POP.L ERn	L							4 @SP ERn32, SP+4 SP							10	
PUSH.W Rn	W							2 SP-2 SP, Rn16 @SP							6	
PUSH.L ERn	L							4 SP-4 SP, ERn32 @SP							10	
MOVFPPE MOVFPPE @aa:16, Rd	B					4		本LSIでは使用できません								
MOVTPPE MOVTPPE Rs, @aa:16	B					4		本LSIでは使用できません								

(2) 算術演算命令

二一モニック	サイズ	アドレッシングモード/命令長(バイト)					オペレーション	コンディションコード							実行ガード数*1								
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/ERn+		@aa	@(d, PC)	@aa	I	H	N	Z		V	C						
ADD	ADD.B #xx:8, Rd	B	2													↑	↑	↑	↑	↑	↑	2	
	ADD.B Rs, Rd	B	2													↑	↑	↑	↑	↑	↑	2	
	ADD.W #xx:16, Rd	W	4													(1)	↑	↑	↑	↑	↑	4	
	ADD.W Rs, Rd	W	2													(1)	↑	↑	↑	↑	↑	2	
	ADD.L #xx:32, ERd	L	6													(2)	↑	↑	↑	↑	↑	6	
ADDX	ADDX.L ERs, ERd	L	2												(2)	↑	↑	↑	↑	↑	↑	2	
	ADDX.B #xx:8, Rd	B	2												↑	↑	(3)	↑	↑	↑	↑	2	
ADDS	ADDS.B Rs, Rd	B	2												↑	↑	(3)	↑	↑	↑	↑	2	
	ADDS.L #1, ERd	L	2																			2	
	ADDS.L #2, ERd	L	2																			2	
	ADDS.L #4, ERd	L	2																			2	
	ADDS.L #8, ERd	L	2																			2	
INC	INC.B Rd	B	2																			2	
	INC.W #1, Rd	W	2																			2	
	INC.W #2, Rd	W	2																			2	
	INC.L #1, ERd	L	2																			2	
	INC.L #2, ERd	L	2																			2	
DAA	DAA Rd	B	2																	*	↑	↑	2
	DAA Rs, Rd	B	2																			2	
SUB	SUB.W #xx:16, Rd	W	4																			4	
	SUB.W Rs, Rd	W	2																			2	
	SUB.L #xx:32, ERd	L	6																			6	
	SUB.L ERs, ERd	L	2																			2	
	SUBX.B #xx:8, Rd	B	2																			2	
SUBX	SUBX.B Rs, Rd	B	2																			2	
	SUBX.C Rs, Rd	B	2																			2	

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行バイト数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn@ERn+	@aa		@(d, PC)	@@aa	I	H	N	Z	V		C
SUBS	SUBS.L #1, ERd	L	2														2
	SUBS.L #2, ERd	L	2														2
	SUBS.L #4, ERd	L	2														2
DEC	DEC.B Rd	B	2										↑	↑			2
	DEC.W #1, Rd	W	2										↑	↑			2
	DEC.W #2, Rd	W	2										↑	↑			2
DAS	DEC.L #1, ERd	L	2										↑	↑			2
	DEC.L #2, ERd	L	2										↑	↑			2
	DAS Rd	B	2										*	↑	*		2
MULXU	MULXU.B Rs, Rd	B	2														14
	MULXU.W Rs, ERd	W	2														22
MULXS	MULXS.B Rs, Rd	B	4											↑	↑		16
	MULXS.W Rs, ERd	W	4											↑	↑		24
DIVXU	DIVXU.B Rs, Rd	B	2												(6) X (7)		14
	DIVXU.W Rs, ERd	W	2												(6) X (7)		22
DIVXS	DIVXS.B Rs, Rd	B	4												(8) X (7)		16
	DIVXS.W Rs, ERd	W	4												(8) X (7)		24
CMP	CMP.B #xx:8, Rd	B	2										↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2										↑	↑	↑	↑	2
CMP.W	CMP.W #xx:16, Rd	W	4										(1)	↑	↑	↑	4
	CMP.W Rs, Rd	W	2										(1)	↑	↑	↑	2

二-モニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行アドレス #1		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z		V	C
CMP	CMP.L #xx:32, ERd	L	6									{2}	↑	↑	↑	↑	4
	CMP.L ERs, ERd	L	2									{2}	↑	↑	↑	↑	2
NEG	NEG.B Rd	B	2									↑	↑	↑	↑	↑	2
	NEG.W Rd	W	2									↑	↑	↑	↑	↑	2
EXTU	EXTU.L ERd	L	2									↑	↑	↑	↑	↑	2
	EXTU.W Rd	W	2									0	↑	0			2
EXTS	EXTS.L ERd	L	2									0	↑	0			2
	EXTS.W Rd	W	2									↑	↑	0			2
	EXTS.L ERd	L	2									↑	↑	0			2

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行回数 #1 / 7H プロット		
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/@ERn+	@aa	@(d, PC)	@@aa	I	H	N		Z	V
AND	AND.B #xx:8, Rd	B	2							Rd8 #xx:8	Rd8	↑	↑	0	0	2
	AND.B Rs, Rd	B	2							Rd8 Rs8	Rd8	↑	↑	0	0	2
	AND.W #xx:16, Rd	W	4							Rd16 #xx:16	Rd16	↑	↑	0	0	4
	AND.W Rs, Rd	W	4							Rd16 Rs16	Rd16	↑	↑	0	0	2
	AND.L #xx:32, ERd	L	6							ERd32 #xx:32	ERd32	↑	↑	0	0	6
	AND.L ERs, ERd	L	4							ERd32 ERs32	ERd32	↑	↑	0	0	4
OR	OR.B #xx:8, Rd	B	2							Rd8 #xx:8	Rd8	↑	↑	0	0	2
	OR.B Rs, Rd	B	2							Rd8 Rs8	Rd8	↑	↑	0	0	2
	OR.W #xx:16, Rd	W	4							Rd16 #xx:16	Rd16	↑	↑	0	0	4
	OR.W Rs, Rd	W	4							Rd16 Rs16	Rd16	↑	↑	0	0	2
	OR.L #xx:32, ERd	L	6							ERd32 #xx:32	ERd32	↑	↑	0	0	6
	OR.L ERs, ERd	L	4							ERd32 ERs32	ERd32	↑	↑	0	0	4
XOR	XOR.B #xx:8, Rd	B	2							Rd8⊕ #xx:8	Rd8	↑	↑	0	0	2
	XOR.B Rs, Rd	B	2							Rd8⊕ Rs8	Rd8	↑	↑	0	0	2
	XOR.W #xx:16, Rd	W	4							Rd16⊕ #xx:16	Rd16	↑	↑	0	0	4
	XOR.W Rs, Rd	W	4							Rd16⊕ Rs16	Rd16	↑	↑	0	0	2
	XOR.L #xx:32, ERd	L	6							ERd32⊕ #xx:32	ERd32	↑	↑	0	0	6
	XOR.L ERs, ERd	L	4							ERd32⊕ ERs32	ERd32	↑	↑	0	0	4
NOT	NOT.B Rd	B	2							~ Rd8	Rd8	↑	↑	0	0	2
	NOT.W Rd	W	2							~ Rd16	Rd16	↑	↑	0	0	2
	NOT.L ERd	L	2							~ Rd32	Rd32	↑	↑	0	0	2



(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行回数 *1 /ワード		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa		I	H	N	Z	V		C	
SHAL	SHAL.B Rd	B	2												↑	↑	↑	2
	SHAL.W Rd	W	2												↑	↑	↑	2
	SHAL.L ERd	L	2												↑	↑	↑	2
SHAR	SHAR.B Rd	B	2												↑	0	↑	2
	SHAR.W Rd	W	2												↑	0	↑	2
	SHAR.L ERd	L	2												↑	0	↑	2
SHLL	SHLL.B Rd	B	2												↑	0	↑	2
	SHLL.W Rd	W	2												↑	0	↑	2
	SHLL.L ERd	L	2												↑	0	↑	2
SHLR	SHLR.B Rd	B	2												↑	0	↑	2
	SHLR.W Rd	W	2												↑	0	↑	2
	SHLR.L ERd	L	2												↑	0	↑	2
ROTXL	ROTXL.B Rd	B	2												↑	0	↑	2
	ROTXL.W Rd	W	2												↑	0	↑	2
	ROTXL.L ERd	L	2												↑	0	↑	2
ROTXR	ROTXR.B Rd	B	2												↑	0	↑	2
	ROTXR.W Rd	W	2												↑	0	↑	2
	ROTXR.L ERd	L	2												↑	0	↑	2
ROTL	ROTL.B Rd	B	2												↑	0	↑	2
	ROTL.W Rd	W	2												↑	0	↑	2
	ROTL.L ERd	L	2												↑	0	↑	2
ROTR	ROTR.B Rd	B	2												↑	0	↑	2
	ROTR.W Rd	W	2												↑	0	↑	2
	ROTR.L ERd	L	2												↑	0	↑	2

(5) ビット操作命令

二一モック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード					実行回数 #1			
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N		Z	V	C
BSET	BSET #xx:3, Rd	B	2														2
	BSET #xx:3, @ERd	B		4													8
	BSET #xx:3, @aa:8	B					4										8
	BSET Rn, Rd	B	2														2
	BSET Rn, @ERd	B		4													8
	BSET Rn, @aa:8	B						4									8
BCLR	BCLR #xx:3, Rd	B	2														2
	BCLR #xx:3, @ERd	B		4													8
	BCLR #xx:3, @aa:8	B					4										8
	BCLR Rn, Rd	B	2														2
	BCLR Rn, @ERd	B		4													8
	BCLR Rn, @aa:8	B						4									8
BNOT	BNOT #xx:3, Rd	B	2														2
	BNOT #xx:3, @ERd	B		4													8
	BNOT #xx:3, @aa:8	B					4										8
	BNOT Rn, Rd	B	2														2
	BNOT Rn, @ERd	B		4													8
	BNOT Rn, @aa:8	B						4									8
BTST	BTST #xx:3, Rd	B	2														2
	BTST #xx:3, @ERd	B		4													6
	BTST #xx:3, @aa:8	B					4										6
	BTST Rn, Rd	B	2														2
	BTST Rn, @ERd	B		4													6
	BTST Rn, @aa:8	B						4									6
BLD	BLD #xx:3, Rd	B	2														2
	BLD #xx:3, @ERd	B		4													6
	BLD #xx:3, @aa:8	B					4										6
	BLD #xx:3, Rd	B	2														2
	BLD #xx:3, @ERd	B		4													6
	BLD #xx:3, @aa:8	B						4									6

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行ワード数 *1
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z	V	C	
BST	BST #xx:3, Rd	B	2														2
	BST #xx:3, @ERd	B		4													8
	BST #xx:3, @aa:8	B					4										8
BIST	BIST #xx:3, Rd	B	2														2
	BIST #xx:3, @ERd	B		4													8
	BIST #xx:3, @aa:8	B					4										8
BAND	BAND #xx:3, Rd	B	2														2
	BAND #xx:3, @ERd	B		4													6
	BAND #xx:3, @aa:8	B					4										6
BIAND	BIAND #xx:3, Rd	B	2														2
	BIAND #xx:3, @ERd	B		4													6
	BIAND #xx:3, @aa:8	B					4										6
BOR	BOR #xx:3, Rd	B	2														2
	BOR #xx:3, @ERd	B		4													6
	BOR #xx:3, @aa:8	B					4										6
BIOR	BIOR #xx:3, Rd	B	2														2
	BIOR #xx:3, @ERd	B		4													6
	BIOR #xx:3, @aa:8	B					4										6
BXOR	BXOR #xx:3, Rd	B	2														2
	BXOR #xx:3, @ERd	B		4													6
	BXOR #xx:3, @aa:8	B					4										6
BIXOR	BIXOR #xx:3, Rd	B	2														2
	BIXOR #xx:3, @ERd	B		4													6
	BIXOR #xx:3, @aa:8	B					4										6

(6) 分岐命令

二モック	サイズ	アドレッシングモード / 命令長 (バイト)					オペレーション	分枝条件	コンディションコード						実行回数 / 70 P.T. / 1スト		
		#xx	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa			@(d, PC)	@aa	I	H	N	Z		V	C
Bcc										Always							4
BRA d:8(BT d:8)								2									6
BRA d:16(BT d:16)								4									4
BRN d:8(BF d:8)								2		if condition is true then PC PC+d else next;	Never						6
BRN d:16(BF d:16)								4									4
BHI d:8								2			C Z=0						6
BHI d:16								4									4
BLS d:8								2			C Z=1						6
BLS d:16								4									4
BCC d:8(BHS d:8)								2			C=0						6
BCC d:16(BHS d:16)								4									4
BCS d:8(BLO d:8)								2			C=1						6
BCS d:16(BLO d:16)								4									4
BNE d:8								2			Z=0						6
BNE d:16								4									4
BEQ d:8								2			Z=1						6
BEQ d:16								4									4
BVC d:8								2			V=0						6
BVC d:16								4									4
BVS d:8								2			V=1						6
BVS d:16								4									4
BPL d:8								2			N=0						6
BPL d:16								4									4
BMI d:8								2			N=1						6
BMI d:16								4									4

二モードック	サイズ		アドレッシングモード / 命令長 (バイト)						オペレーション		コンディションコード					実行サイクル数 *1	
	#xx	Rn	@(d, ERn)	@(d, ERn) @-ERn/@ERn+	@aa	@(d, PC)	@@aa	if condition is true then PC PC+d else next;	分岐条件	I	H	N	Z	V	C	7-9	10-12
Bcc						2			N@V=0							4	
						4			N@V=1							6	
						2			Z (N@V)=0							4	
						4			Z (N@V)=1							6	
						2										4	
						4										6	
JMP			2						PC ERn							4	
					4				PC aa:24							6	
									PC @aa:8							8	10
BSR						2			PC @-SP, PC PC+d:8							6	8
						4			PC @-SP, PC PC+d:16							8	10
			2						PC @-SP, PC ERn							6	8
JSR					4				PC @-SP, PC aa:24							8	10
									PC @-SP, PC @aa:8							8	12
RTS								2	PC @SP+							8	10

(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード				実行回数*1 /周期 8+4n*2			
		#xx Rn	@(d, ERn)	@-ERnERn+	@aa @(d, PC)		I	H	N	Z		V	C	
EEPMOV	EEPMOV.B					4	if R4L 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;							
EEPMOV	W					4	if R4 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4-1 R4 Until R4=0 else next;							

【注】 *1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「付録A.3 命令実行ステータス数」を参照してください。

*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) エロック同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)

命令コード:		第1バイト		第2バイト		BHの最上位ビットが0の場合を示します。		BHの最上位ビットが1の場合を示します。													
命令コード	AL	AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ANDC	XORC	ANDC	LDC	ADD	ADD	表A.2(2)	表A.2(2)	MOV	MOV	ADDC	表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	AND.B	XOR.B	AND.B	表A.2(2)	SUB	SUB	表A.2(2)	表A.2(2)	CMP	CMP	SUBX	表A.2(2)
2	MOV, B																				
3	MOV, B																				
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE					
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	表A.2(2)	表A.2(2)	表A.2(2)	JMP	BSR	JSR								
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	BIST	MOV											
7	BOR		BXOR	BAND	BAND	BAND	BAND	BLD	BLD	MOV	表A.2(2)	表A.2(2)	EEMOV	表A.2(6)							
8	ADD																				
9	ADDC																				
A	CMP																				
B	SUBX																				
C	OR																				
D	XOR																				
E	AND																				
F	MOV																				

表 A.2 オペレーションコードマップ (2)

命令コード:		第1バイト		第2バイト														
		AH	AL	BH	BL	BH	AH	AL	BH	BL	9	A	B	C	D	E	F	
BH	0																	
AH/AL	01	MOV			LDC/STC				SLEEP						表A.2(3)			表A.2(3)
	0A	INC																
	0B	ADDS																
	0F	DAA																
	10	SHLL																
	11	SHLR				SHLL									SHAL			
	12	ROTXL				SHLR									SHAR			
	13	ROTXR				ROTXL									ROTL			
	17	NOT				ROTXR									ROTR			
	1A	DEC				NOT									NEG			
	1B	SUBS																
	1F	DAS																
	58	BRA	BRN	BH	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE	
	79	MOV	ADD	CMP	SUB	OR	XOR	AND										
	7A	MOV	ADD	CMP	SUB	OR	XOR	AND										

表A.2 オペレーションコードマップ (3)

命令コード	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト		第9バイト		第10バイト		第11バイト		第12バイト	
	AH	AL	BH	BL	CH	CL	DH	DL																
AHALBHCLCH	CL																							
01406	MULXS																							
01C05	MULXS		MULXS		MULXS		MULXS		MULXS		MULXS		MULXS		MULXS		MULXS		MULXS		MULXS		MULXS	
01D05	DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS		DIVIXS	
01F06	OR XOR AND																							
7C06 *1	BTST																							
7C07 *1	BOR		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND	
7D06 *1	BSET		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT	
7D07 *1	BSET		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT	
7Eaa6 *2	BTST																							
7Eaa7 *2	BOR		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND		BAND	
7Faa6 *2	BSET		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT	
7Faa7 *2	BSET		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT		BNOT	

命令コード： AH AL BH BL CH CL DH DL

【注】 *1 rはレジスタ指定部
*2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 におおののサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	
命令フェッチ	S_I	2	-	
分岐アドレスリード	S_J			
スタック操作	S_K			
バイトデータアクセス	S_L			2または3*
ワードデータアクセス	S_M			-
内部動作	S_N	1		

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「15.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @ERd	2			1		
	BIOR #xx:3, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC@ERs, CCR	2				1	
	LDC@(d:16, ERs), CCR	3				1	
	LDC@(d:24, ERs), CCR	5				1	
	LDC@ERs+, CCR	2				1	2
	LDC@aa:16, CCR	3				1	
	LDC@aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPPE	MOVTPPE Rs, @aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 nはR4L、R4の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

*2 本LSIでは使用できません。

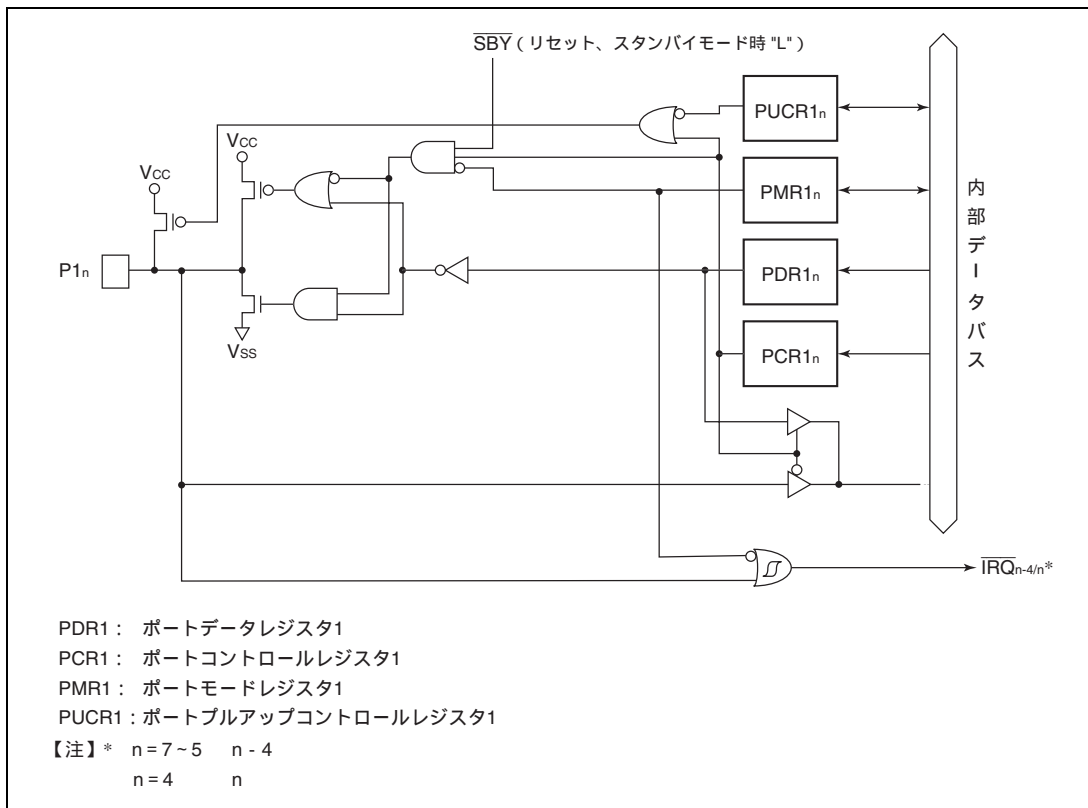
A.4 命令とアドレッシングモードの組み合わせ

表 A.5 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード														
		# xx	Rn	@ERn	@(c:16,ERn)	@(d:24,ERn)	@ERn+/@ERn	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@aa:8			
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	WL	
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL	
	MOVFP, MOVTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	
算術演算命令	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—	
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	
	MULXU,	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	
	MULXS,															
	DIVXU,															
	DIVXS															
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	
EXTU, EXT5	—	WL	—	—	—	—	—	—	—	—	—	—	—	—		
AND, OR, XOR	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—		
NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—		
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—		
ビット操作命令	—	B	B	—	—	—	—	—	—	—	—	B	—	—		
分岐命令	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—		
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—		
システム制御命令	RTIE	—	—	—	—	—	—	—	—	—	—	—	—	—		
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—		
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W		
	STC	—	B	W	W	W	W	W	W	W	W	W	W	W		
プロック転送命令	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—		
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—		
プロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	BW		

B. I/Oポートブロック図

B.1 ポート1ブロック図

図 B.1 (a) ポート 1 ブロック図 (P1₇~P1₄端子)

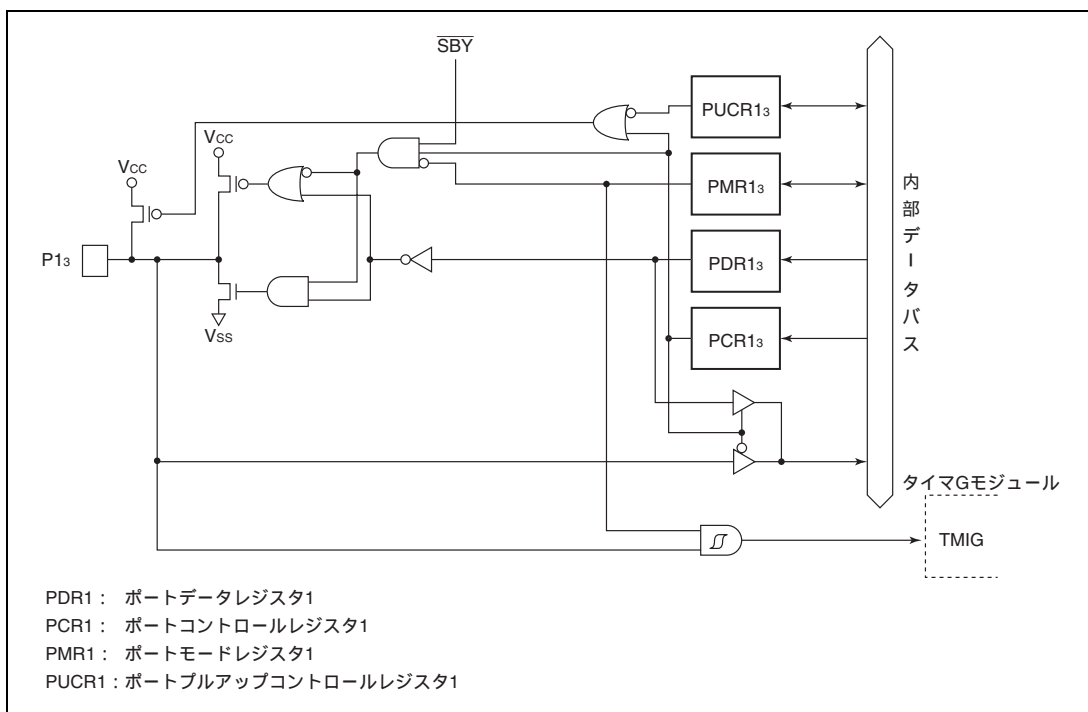


図 B.1 (b) ポート 1 ブロック図 (P1₃端子)

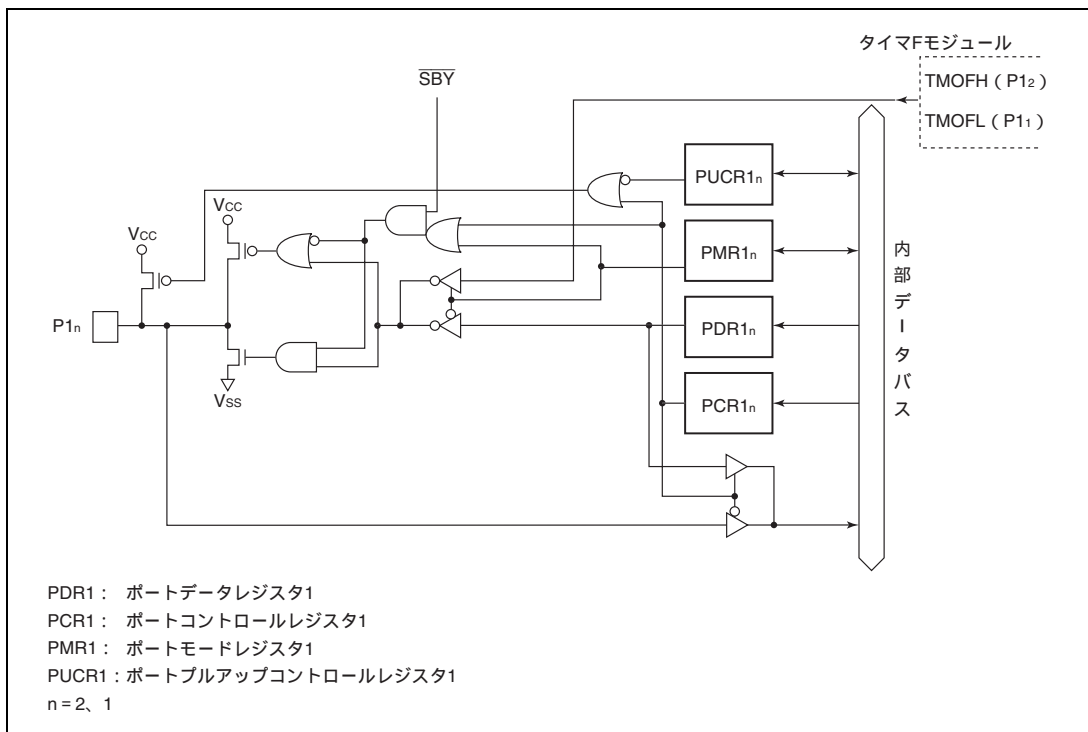


図 B.1 (c) ポート 1 ブロック図 (P1₂、P1₁ 端子)

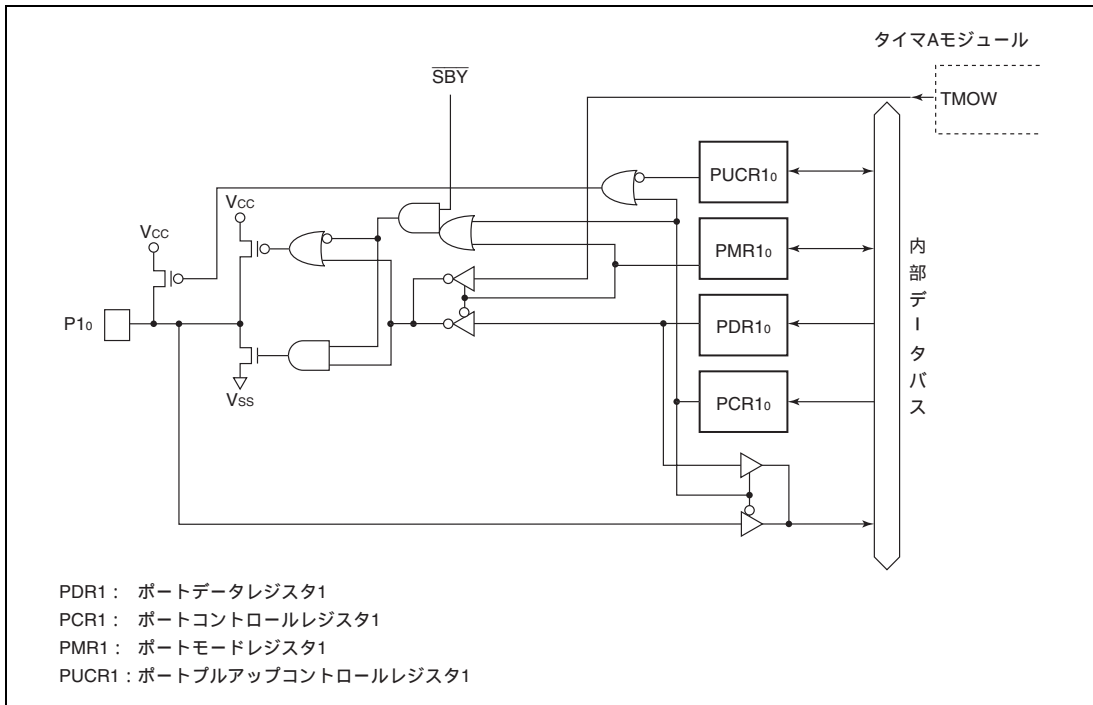


図 B.1 (d) ポート 1 ブロック図 (P1₀端子)

B.2 ポート3ブロック図

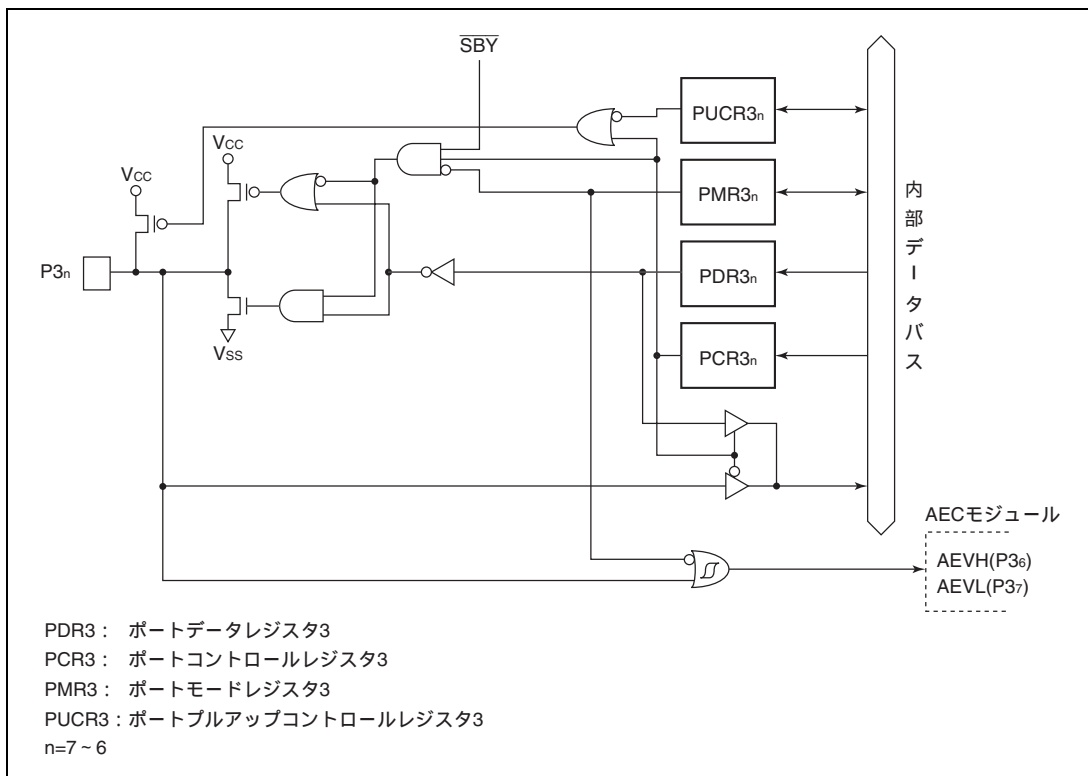


図 B.2 (a) ポート3ブロック図 (P3₇~P3₆端子)

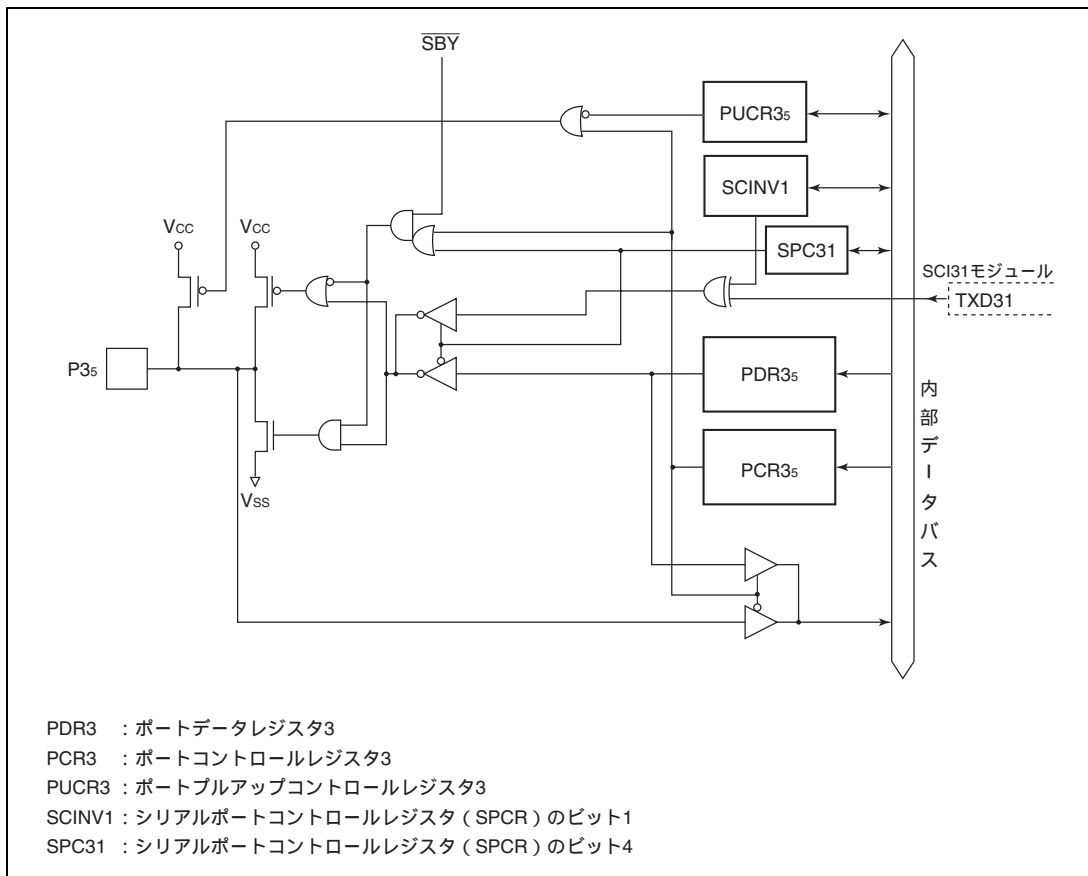


図 B.2 (b) ポート 3 ブロック図 (P3₅ 端子)

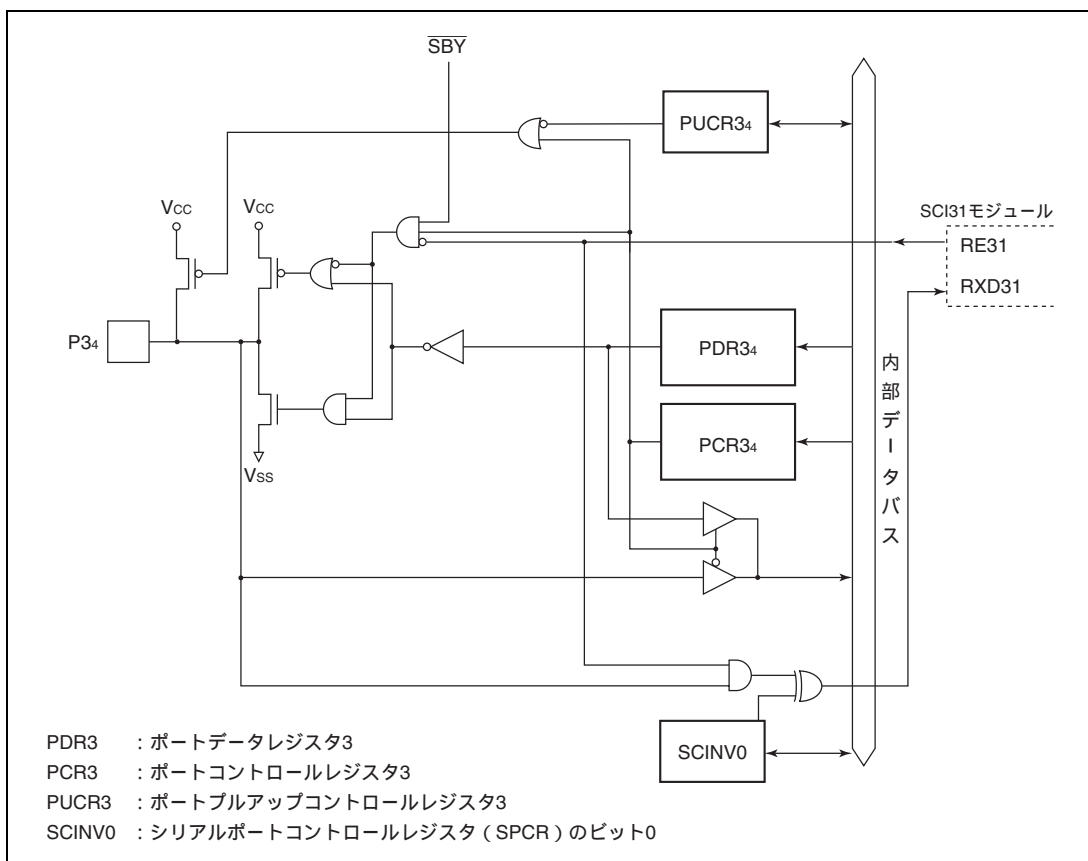


図 B.2 (c) ポート 3 ブロック図 (P3₄ 端子)

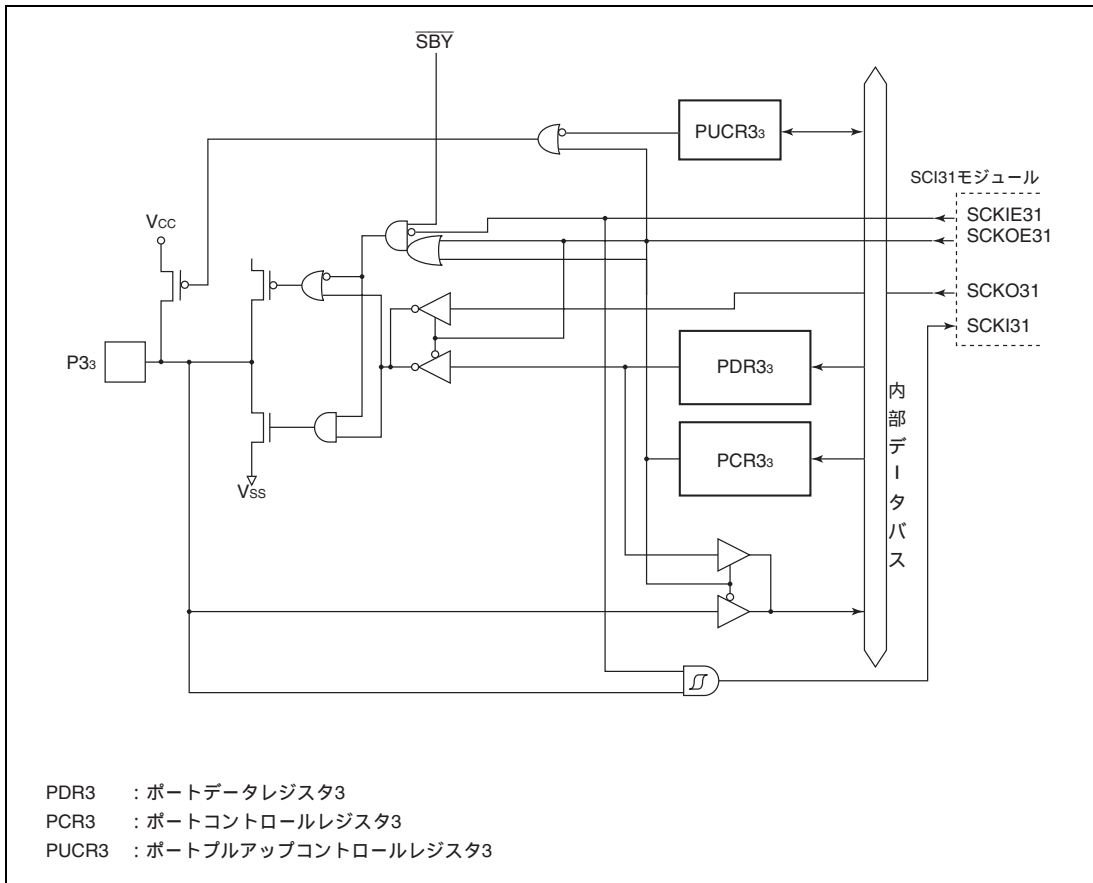


図 B.2 (d) ポート 3 ブロック図 (P3₃端子)

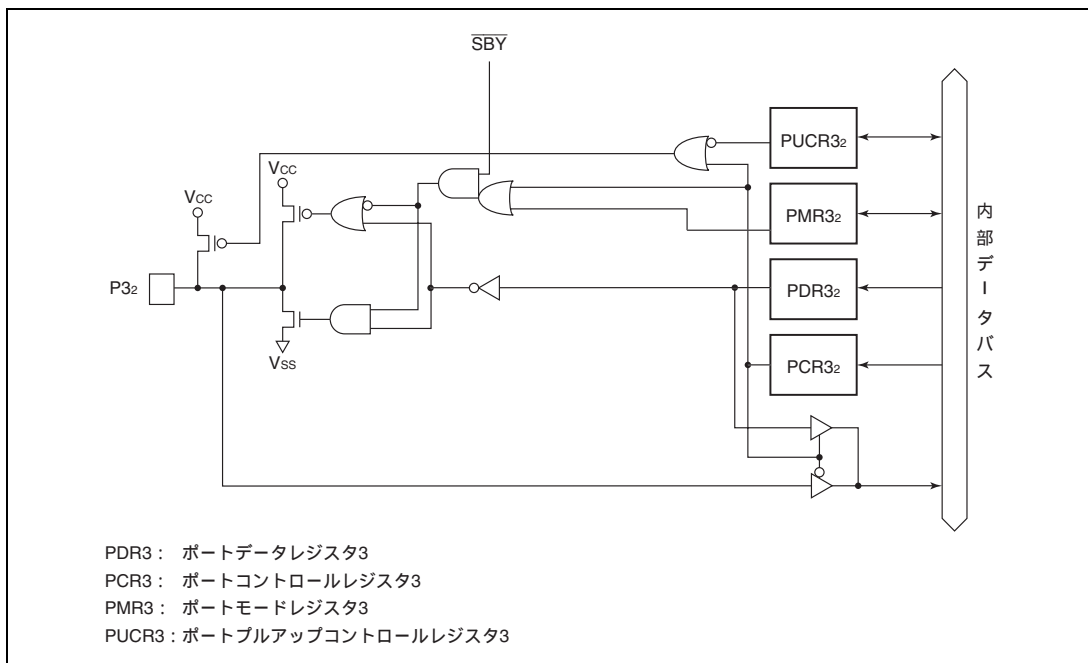


図 B.2 (e-1) ポート 3 ブロック図 (P3₂端子、マスク ROM 版)

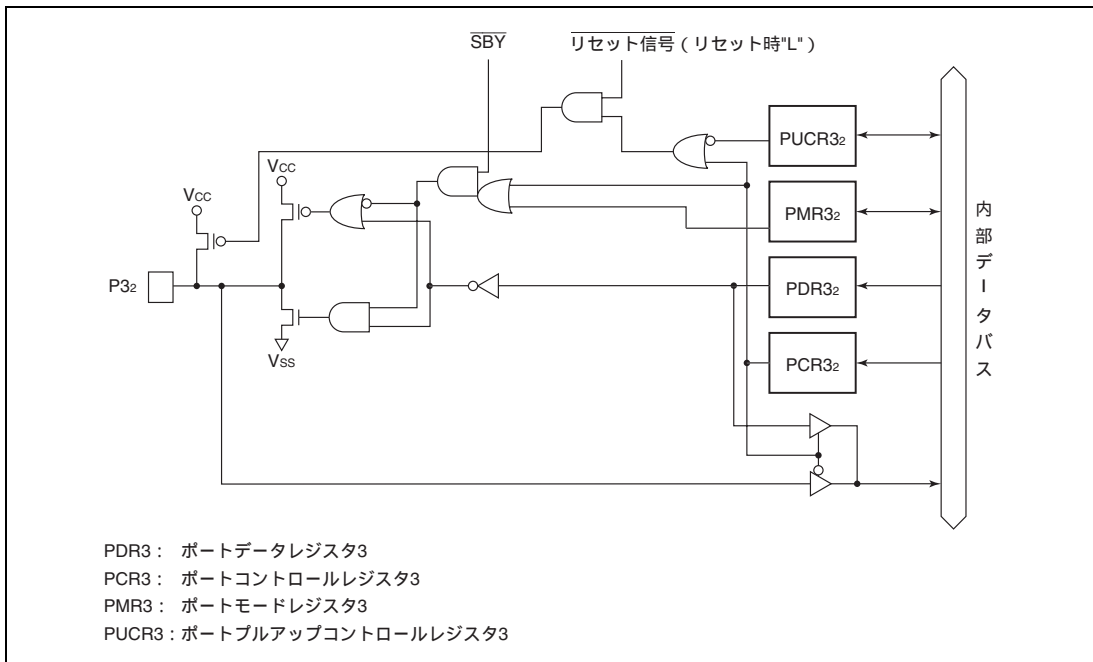


図 B.2 (e-2) ポート 3 ブロック図 (P3₂ 端子、フラッシュメモリ版)

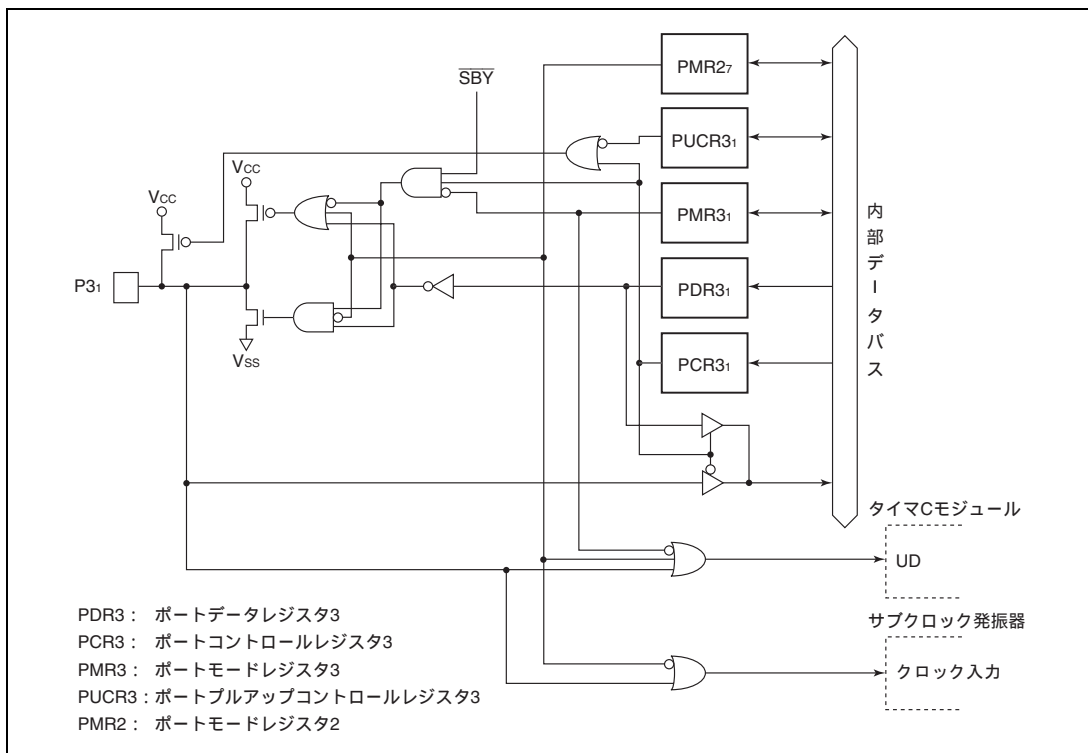


図 B.2 (f) ポート 3 ブロック図 (P3₁ 端子)

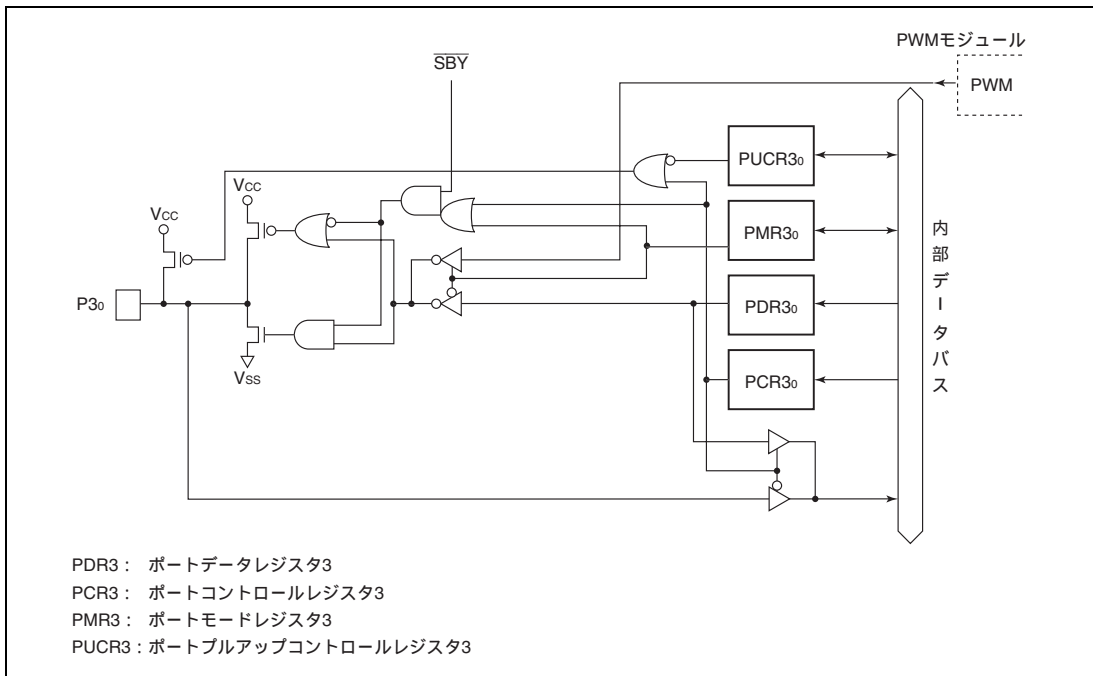
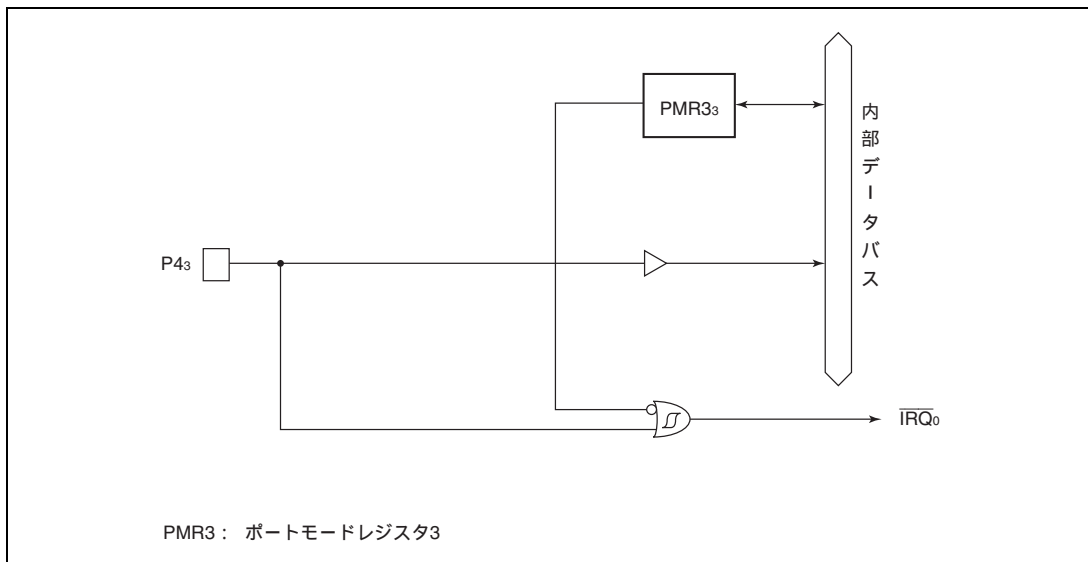


図 B.2 (g) ポート 3 ブロック図 (P3₀ 端子)

B.3 ポート4ブロック図

図 B.3 (a) ポート4ブロック図 (P4₃端子)

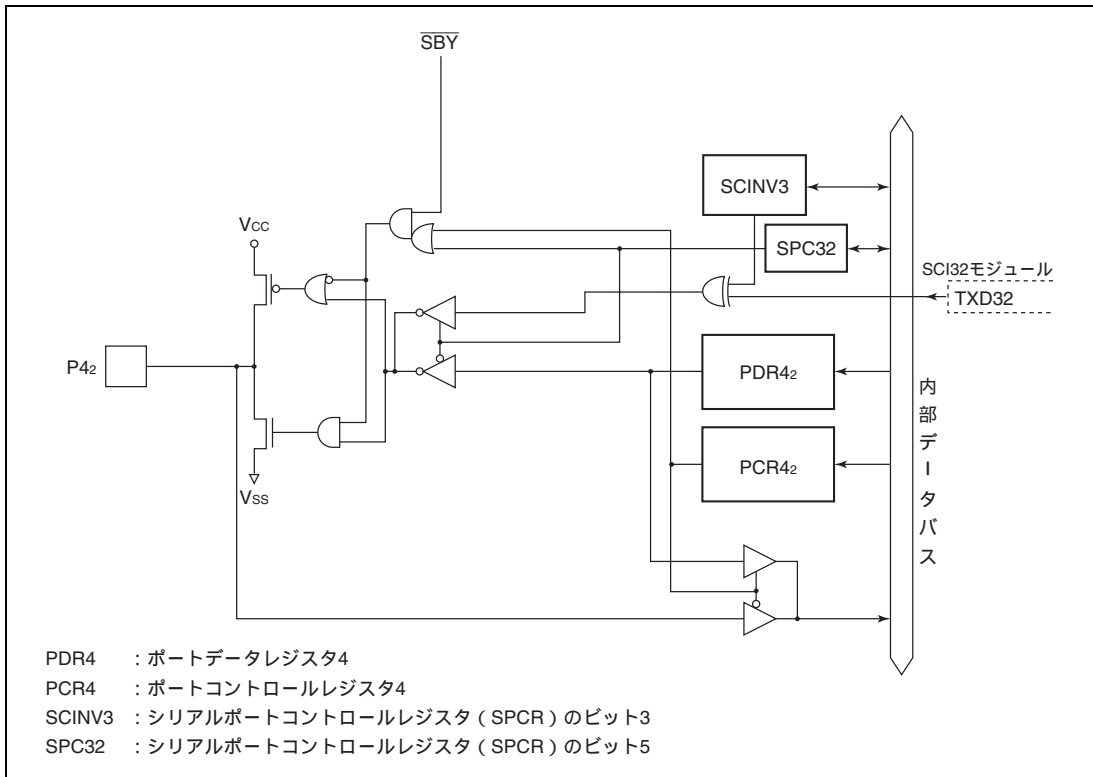


図 B.3 (b) ポート 4 ブロック図 (P4₂ 端子)

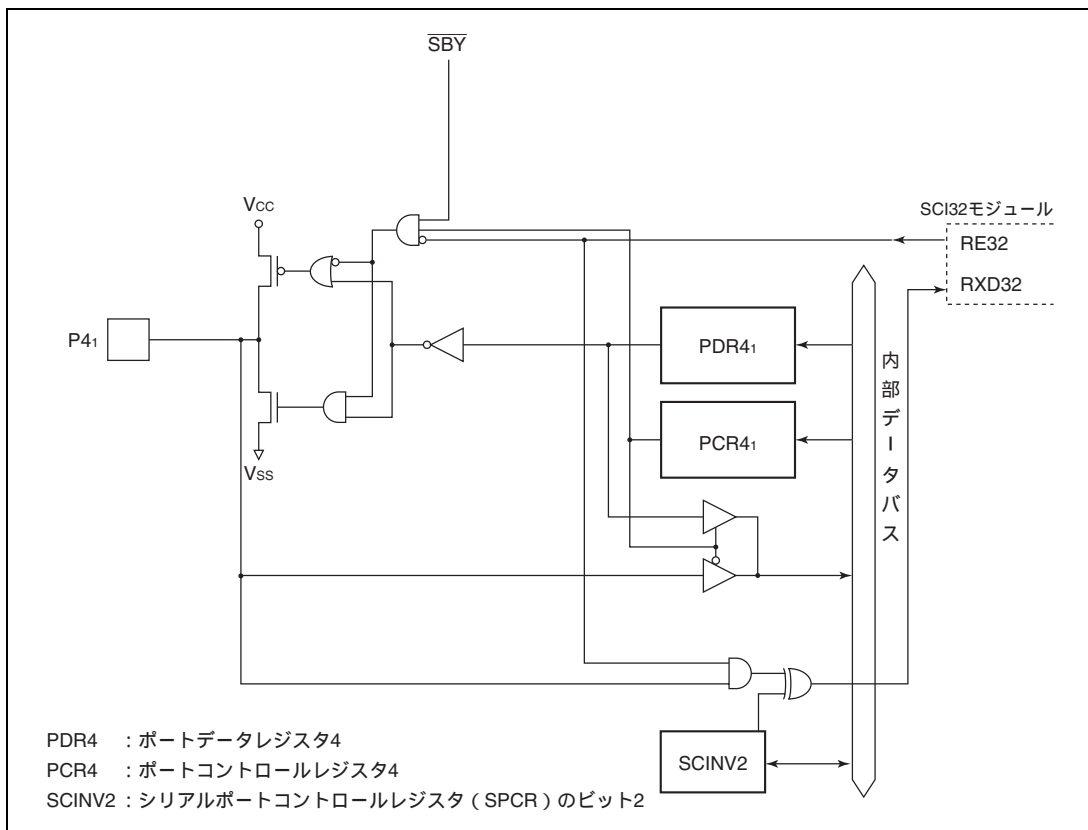


図 B.3 (c) ポート 4 ブロック図 (P4₁ 端子)

B.4 ポート5ブロック図

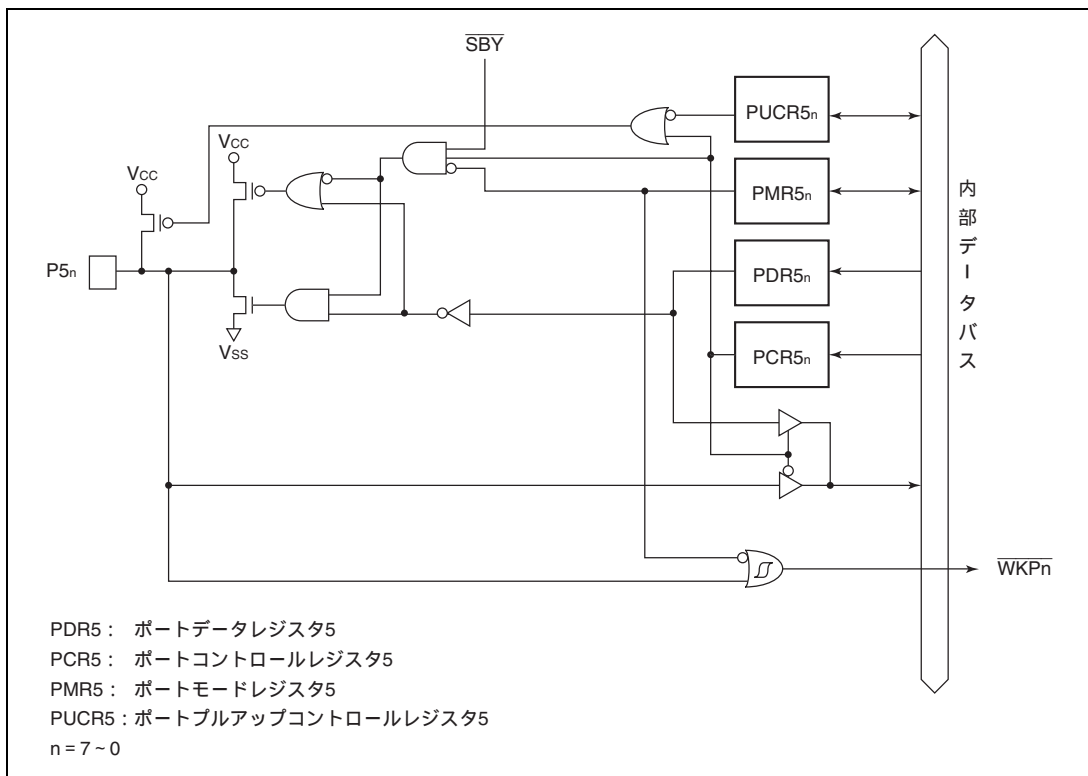


図 B.4 ポート5ブロック図

B.5 ポート6ブロック図

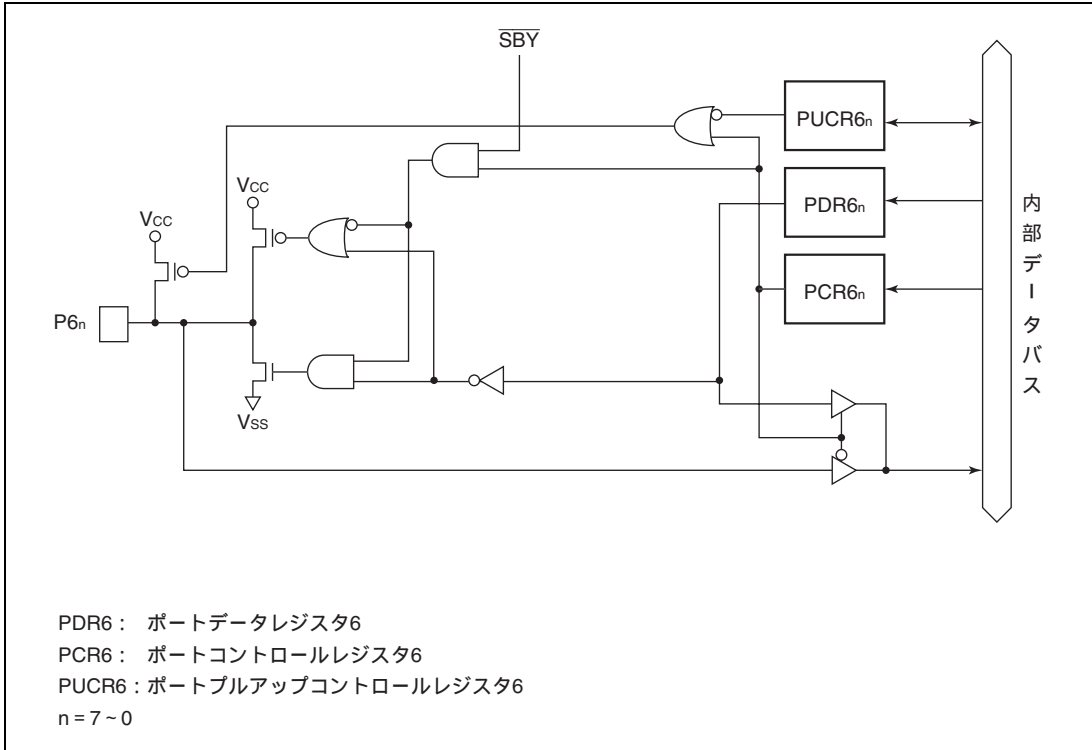


図 B.5 ポート6ブロック図

B.6 ポート7ブロック図

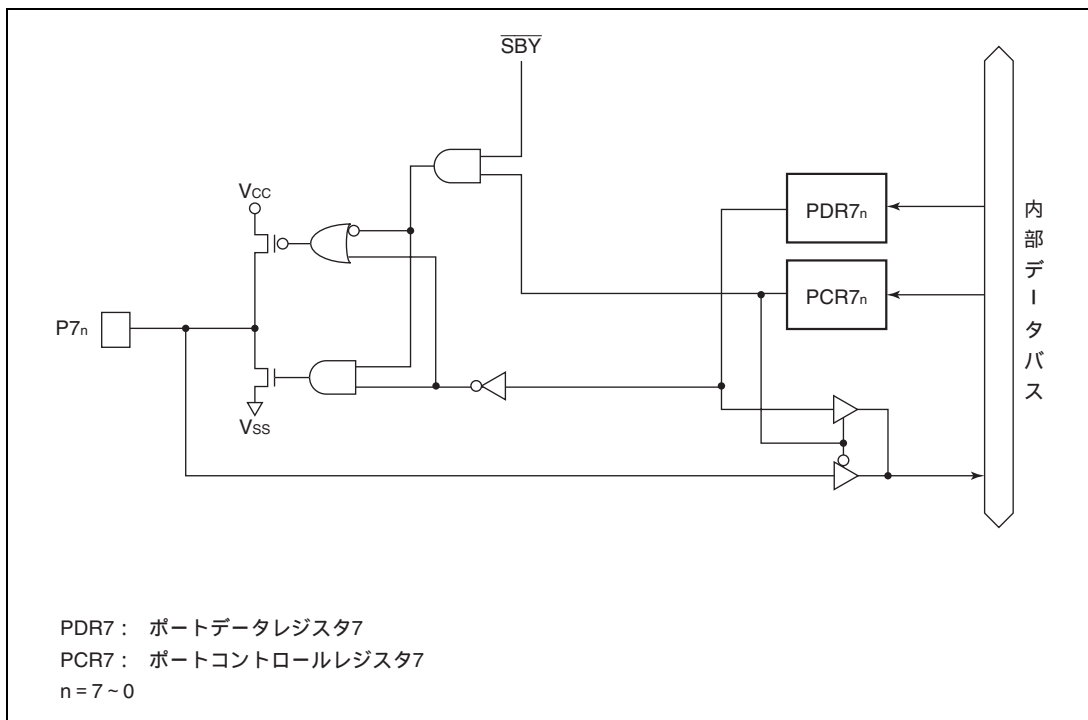


図 B.6 ポート7ブロック図

B.7 ポート8ブロック図

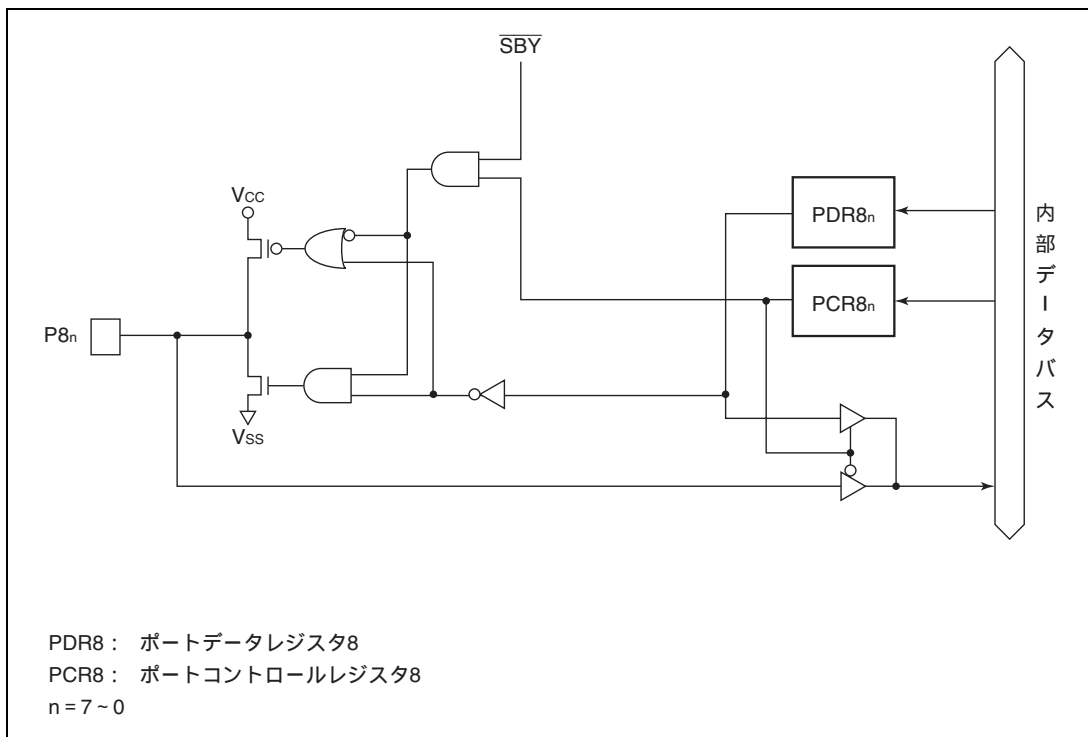


図 B.7 ポート8ブロック図

B.8 ポート A ブロック図

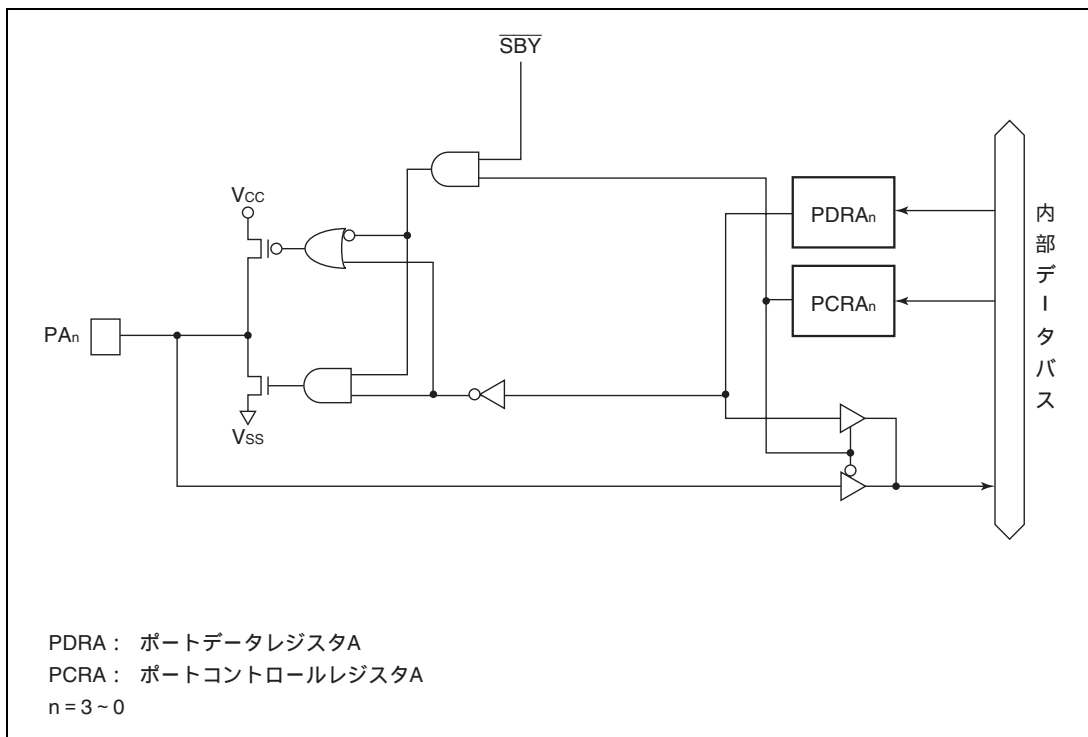
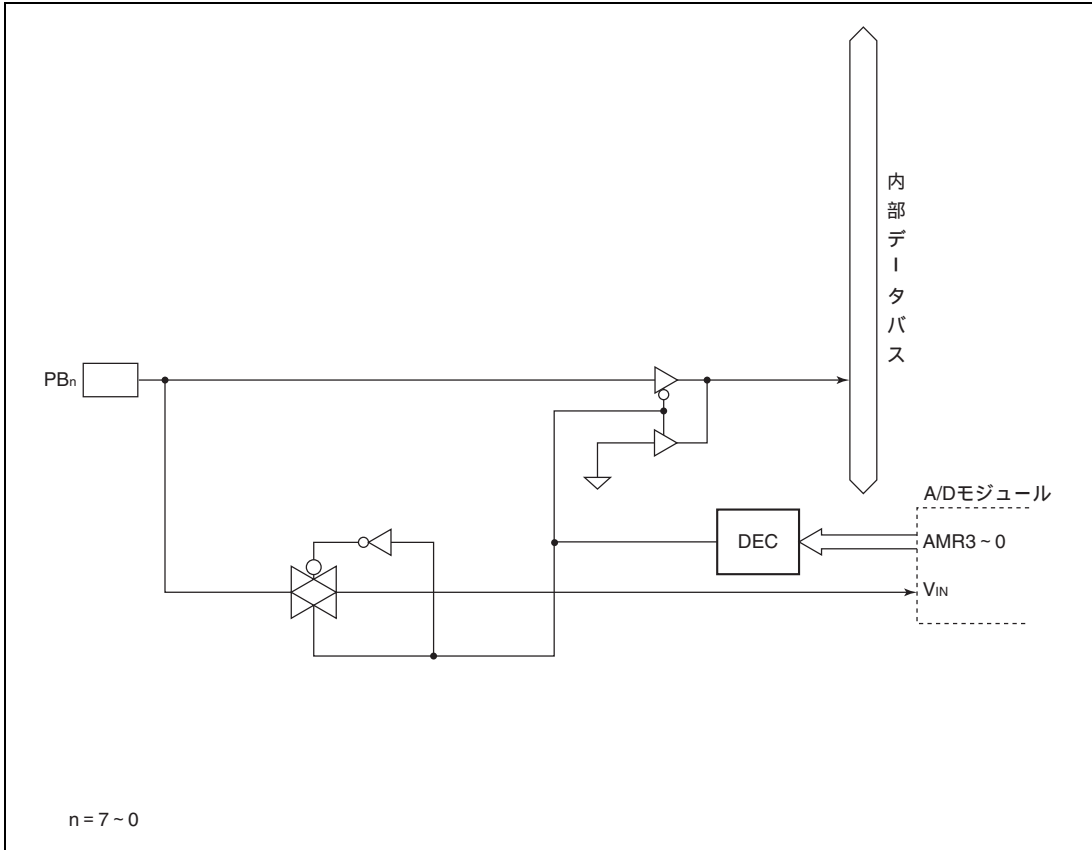


図 B.8 ポート A ブロック図

B.9 ポートBブロック図



図B.9 ポートBブロック図

C. 各処理状態におけるポートの状態

表 C.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ~P1 ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス* ¹	保持	動作	動作
P3 ₇ ~P3 ₀	ハイ インピーダンス* ²	保持	保持	ハイ インピーダンス* ¹	保持	動作	動作
P4 ₃ ~P4 ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P5 ₇ ~P5 ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス* ¹	保持	動作	動作
P6 ₇ ~P6 ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P7 ₇ ~P7 ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
P8 ₇ ~P8 ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
PA ₃ ~PA ₀	ハイ インピーダンス	保持	保持	ハイ インピーダンス	保持	動作	動作
PB ₇ ~PB ₀	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス

【注】 *1 プルアップ MOS が ON 状態では High レベル出力となります。

*2 P3₂ 端子のみプルアップ MOS が ON 状態になります (フラッシュメモリ版の場合)。

D. 製品型名一覧

表 D.1 型名一覧

	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	
H8/38537 グループ	H8/38532	マスク ROM 版	通常品	HD64338532H	38532H	80 ピン QFP (FP-80A)
				HD64338532W	38532W	80 ピン TQFP (TFP-80C)
			広温度範囲 仕様品	HD64338532HW	38532H	80 ピン QFP (FP-80A)
				HD64338532WW	38532W	80 ピン TQFP (TFP-80C)
	H8/38533	マスク ROM 版	通常品	HD64338533H	38533H	80 ピン QFP (FP-80A)
				HD64338533W	38533W	80 ピン TQFP (TFP-80C)
			広温度範囲 仕様品	HD64338533HW	38533H	80 ピン QFP (FP-80A)
				HD64338533WW	38533W	80 ピン TQFP (TFP-80C)
	H8/38534	マスク ROM 版	通常品	HD64338534H	38534H	80 ピン QFP (FP-80A)
				HD64338534W	38534W	80 ピン TQFP (TFP-80C)
			広温度範囲 仕様品	HD64338534HW	38534H	80 ピン QFP (FP-80A)
				HD64338534WW	38534W	80 ピン TQFP (TFP-80C)
		フラッシュ メモリ版	通常品	HD64F38534H	F38534H	80 ピン QFP (FP-80A)
				HD64F38534W	F38534W	80 ピン TQFP (TFP-80C)
			広温度範囲 仕様品	HD64F38534HW	F38534H	80 ピン QFP (FP-80A)
				HD64F38534WW	F38534W	80 ピン TQFP (TFP-80C)
	H8/38535	マスク ROM 版	通常品	HD64338535H	38535H	80 ピン QFP (FP-80A)
				HD64338535W	38535W	80 ピン TQFP (TFP-80C)
			広温度範囲 仕様品	HD64338535HW	38535H	80 ピン QFP (FP-80A)
				HD64338535WW	38535W	80 ピン TQFP (TFP-80C)
	H8/38536	マスク ROM 版	通常品	HD64338536H	38536H	80 ピン QFP (FP-80A)
				HD64338536W	38536W	80 ピン TQFP (TFP-80C)
			広温度範囲 仕様品	HD64338536HW	38536H	80 ピン QFP (FP-80A)
				HD64338536WW	38536W	80 ピン TQFP (TFP-80C)
H8/38537	マスク ROM 版	通常品	HD64338537H	38537H	80 ピン QFP (FP-80A)	
			HD64338537W	38537W	80 ピン TQFP (TFP-80C)	
		広温度範囲 仕様品	HD64338537HW	38537H	80 ピン QFP (FP-80A)	
			HD64338537WW	38537W	80 ピン TQFP (TFP-80C)	
	フラッシュ メモリ版	通常品	HD64F38537H	F38537H	80 ピン QFP (FP-80A)	
			HD64F38537W	F38537W	80 ピン TQFP (TFP-80C)	
		広温度範囲 仕様品	HD64F38537HW	F38537H	80 ピン QFP (FP-80A)	
			HD64F38537WW	F38537W	80 ピン TQFP (TFP-80C)	

E. 外形寸法図

外形寸法図 FP-80A を図 E.1、TFP-80C を図 E.2 に示します。

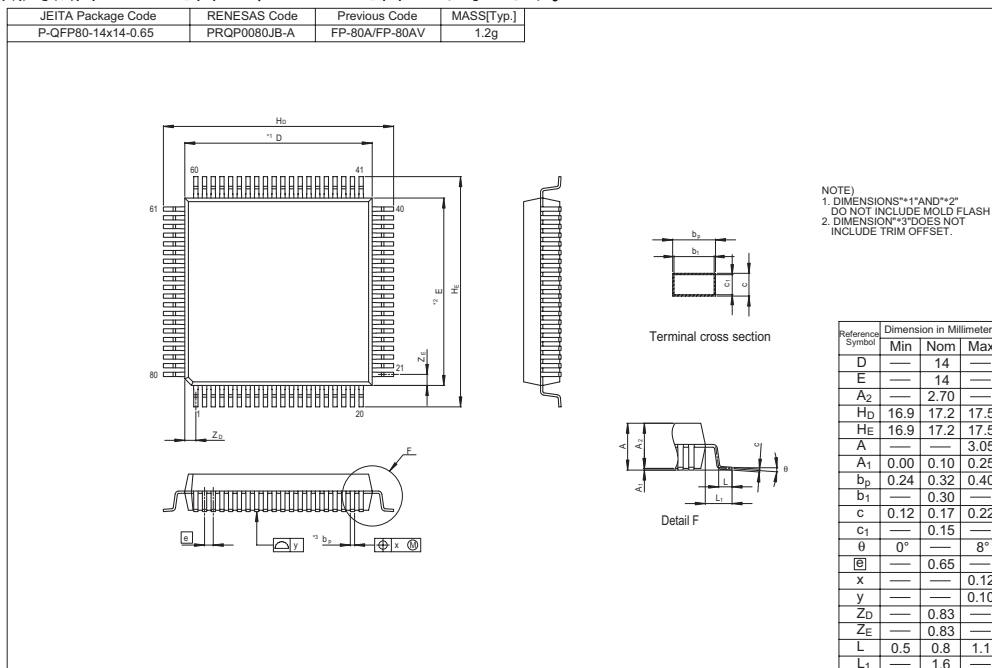


図 E.1 外形寸法図〔FP-80A〕

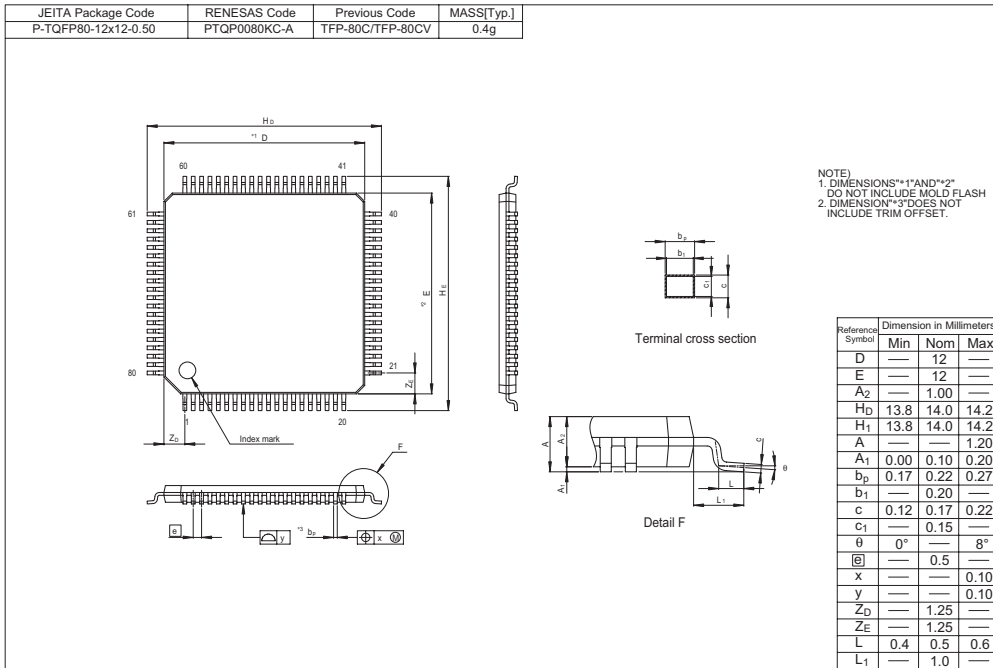


図 E.2 外形寸法図〔TFP-80C〕

索引

【 A 】

ADRRH	12-4
ADRRL	12-4
ADSR	12-5
AMR	12-4

【 B 】

BRR	10-14
-----------	-------

【 C 】

CKSTPR1	9-6, 9-13, 9-24, 9-38, 10-18, 12-6
CKSTPR2	9-53, 9-60, 11-4, 13-8
CWOSR	9-6

【 E 】

EBR	6-7
ECCSR	9-57
ECH	9-60
ECL	9-60

【 F 】

FENR	6-8
FLMCR1	6-4
FLMCR2	6-6
FLPWCR	6-7

【 I 】

ICRGF	9-35
ICRGR	9-36
IEGR	3-5
IENR1	3-6
IENR2	3-7
IRR1	3-9
IRR2	3-10
IWPR	3-12

【 L 】

LCR	13-5
LCR2	13-7
LPCR	13-4

【 O 】

OCRFB	9-19
OCRFL	9-19

【 P 】

PCR1	8-4
PCR3	8-10
PCR4	8-17
PCR5	8-19
PCR6	8-22
PCR7	8-25
PCR8	8-27
PCRA	8-29
PDR1	8-3
PDR3	8-9
PDR4	8-16
PDR5	8-19
PDR6	8-22
PDR7	8-24
PDR8	8-26
PDRA	8-29
PDRB	8-31
PMR1	8-4
PMR2	8-12
PMR3	8-10, 9-53
PMR5	8-19
PUCR1	8-4
PUCR3	8-10
PUCR5	8-19
PUCR6	8-22
PWCR	11-3
PWDRL	11-4
PWDRU	11-4

【 R 】

RDR	10-4
RSR	10-4

【 S 】

SCR3	10-8
SMR	10-5
SPCR	8-32, 10-18
SSR	10-11
SYSCR1	5-4
SYSCR2	5-6

【 T 】

TCA	9-5
TCC	9-12
TCF	9-18
TCFH	9-18
TCFL	9-18

TCG	9-35
TCRF	9-20
TCSRFB	9-22
TCSRW	9-50
TCW	9-52
TDR	10-5
TLC	9-13
TMA	9-4
TMC	9-11
TMG	9-36
TSR	10-4

【 W 】

WEGR	3-13
------------	------

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/38537グループ

発行年月日 2008年5月30日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平宇田町120番地ラトブ	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレスステージ)	(092) 481-7695

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/38537 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0467-0100