

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8/38799 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8 ファミリ / H8/300H Super Low Power シリーズ

H8/38799F

H8/38799

H8/38798



## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続されていない場合、テスト用端子やノイズ軽減などの目的で使用している場合があります。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で修正または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

---

# はじめに

---

H8/38799 グループは、ルネサスオリジナルの高速 H8/300H CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8/300H CPU は、H8/300 CPU と互換性のある命令体系を備えています。

**対象者** このマニュアルは、H8/38799 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8/38799 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

## 読み方

- 機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「H8/300Hシリーズ プログラミングマニュアル」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき。

本書の後ろに、「索引」があります。索引からページ番号を検索してください。

「第24章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

## レジスタ表記

シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX\_N (XXXは基本レジスタ名称、Nはチャンネル番号)

**凡例**      **ビット表記順**    : 左側が上位ビット、右側が下位ビットの順に表記しています。



## ご注意

オンチップエミュレータ (E8) を使用して H8/38799 のプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

1.  $\overline{\text{NMI}}$  端子は E8 で占有するため使用できません。
2. P16、P36、P37 端子も使用できません。使用する場合はユーザ基板上に追加ハードウェアが必要となります。
3. アドレス H'020000 ~ H'020FFF 領域は絶対にアクセスしないでください。
4. アドレス H'FFA000 ~ H'FFA7FF 領域は絶対にアクセスしないでください。
5. E8 を使用する場合、アドレスブレークを E8 が使用するか、ユーザに開放するか設定可能になっています。E8 がアドレスブレークを使用する場合、ユーザはアドレスブレークの制御レジスタをアクセスしないでください。
6. E8 使用時、 $\overline{\text{NMI}}$  端子は入力、P16 端子および P36 端子は入力、P37 端子は出力になります。
7. ブートモードによるオンボードプログラミングモードでは、SCI3 のチャネル 1 ( P41/RXD、P42/TXD ) を使用します。
8. E8 使用時、クロック停止レジスタ 1 のビット 1 ( FROMCKSTP ) は必ず 1 にセットしてください。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

( <http://japan.renesas.com/> )

### • H8/38799 グループに関するユーザズマニュアル

資料名	資料番号
H8/38799 グループ ハードウェアマニュアル	本マニュアル
H8/300H シリーズ プログラミングマニュアル	RJJ09B0141

### • 開発ツール関連ユーザズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタユーザズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッガ ユーザズマニュアル	ADJ - 702 - 355
H8S、H8/300 シリーズ High-performance Embedded Workshop 3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop 3 ユーザズマニュアル	RJJ10B0029

### • アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558



---

# 目次

---

1. 概要	1-1
1.1  特長	1-1
1.2  内部ブロック図	1-3
1.3  ピン配置図	1-4
1.4  端子機能	1-5
2. CPU	2-1
2.1  アドレス空間とメモリマップ	2-3
2.2  レジスタ構成	2-4
2.2.1  汎用レジスタ	2-4
2.2.2  プログラムカウンタ (PC)	2-5
2.2.3  コンディションコードレジスタ (CCR)	2-6
2.3  データ形式	2-7
2.3.1  汎用レジスタのデータ形式	2-7
2.3.2  メモリ上のデータ形式	2-9
2.4  命令セット	2-10
2.4.1  命令の機能別一覧	2-10
2.4.2  命令の基本フォーマット	2-18
2.5  アドレッシングモードと実効アドレス	2-19
2.5.1  アドレッシングモード	2-19
2.5.2  実効アドレスの計算方法	2-22
2.6  基本バスサイクル	2-24
2.6.1  内蔵メモリ (RAM、ROM)	2-24
2.6.2  内蔵周辺モジュール	2-25
2.7  CPUの状態	2-26
2.8  使用上の注意事項	2-27
2.8.1  空きエリアへのデータアクセス	2-27
2.8.2  EEPMOV 命令	2-27
2.8.3  ビット操作命令	2-28
3. 例外処理	3-1
3.1  例外処理要因とベクタアドレス	3-2
3.2  リセット	3-3
3.2.1  リセット例外処理	3-3

3.2.2	リセット直後の割り込み.....	3-4
3.3	割り込み.....	3-5
3.4	例外処理後のスタック状態.....	3-6
3.5	使用上の注意事項.....	3-7
3.5.1	スタック領域に関する使用上の注意事項.....	3-7
3.5.2	ポートモードレジスタを書き換える際の注意事項.....	3-8
3.5.3	割り込み要求フラグをクリアする方法.....	3-10
4.	割り込みコントローラ.....	4-1
4.1	特長.....	4-1
4.2	入出力端子.....	4-2
4.3	レジスタの説明.....	4-2
4.3.1	割り込みエッジセレクトレジスタ (IEGR).....	4-3
4.3.2	ウェイクアップエッジセレクトレジスタ (WEGR).....	4-4
4.3.3	割り込み許可レジスタ 1 (IENR1).....	4-5
4.3.4	割り込み許可レジスタ 2 (IENR2).....	4-6
4.3.5	割り込み要求レジスタ 1 (IRR1).....	4-7
4.3.6	割り込み要求レジスタ 2 (IRR2).....	4-8
4.3.7	ウェイクアップ割り込み要求レジスタ (IWPR).....	4-9
4.3.8	インタラプトプライオリティレジスタ A ~ F (IPRA ~ IPRF).....	4-10
4.3.9	インタラプトマスクレジスタ (INTM).....	4-11
4.4	割り込み要因.....	4-11
4.4.1	外部割り込み.....	4-11
4.4.2	内部割り込み.....	4-12
4.5	割り込み例外処理ベクタテーブル.....	4-13
4.6	割り込み動作.....	4-16
4.6.1	割り込み例外処理シーケンス.....	4-18
4.6.2	割り込み応答時間.....	4-19
4.7	使用上の注意事項.....	4-20
4.7.1	割り込みの発生とディスエーブルとの競合.....	4-20
4.7.2	割り込みの受け付けを禁止している命令.....	4-21
4.7.3	EEPMOV 命令実行中の割り込み.....	4-21
4.7.4	IENR のクリアについて.....	4-21
5.	クロック発振器.....	5-1
5.1	レジスタの説明.....	5-2
5.1.1	サブ 32k コントロールレジスタ (SUB32CR).....	5-2
5.1.2	発振器コントロールレジスタ (OSCCR).....	5-2
5.2	システムクロック発振器.....	5-3
5.2.1	水晶発振子を接続する方法.....	5-3

5.2.2	セラミック発振子を接続する方法.....	5-4
5.2.3	外部クロックを入力する方法.....	5-4
5.2.4	システムクロック用内蔵発振器を選択する方法.....	5-4
5.3	サブクロック発振器.....	5-5
5.3.1	32.768kHz/38.4kHz 水晶発振子を接続する方法.....	5-5
5.3.2	サブクロックを必要としない場合の端子処理.....	5-6
5.3.3	外部クロックを入力する方法.....	5-6
5.4	プリスケーラ.....	5-7
5.4.1	プリスケーラ S.....	5-7
5.4.2	プリスケーラ W.....	5-7
5.5	使用上の注意事項.....	5-8
5.5.1	発振子と発振回路に関する注意事項.....	5-8
5.5.2	ボード設計上の注意事項.....	5-10
5.5.3	発振安定待機時間の定義.....	5-10
5.5.4	サブクロック停止状態に関する注意事項.....	5-12
5.5.5	発振子の発振安定についての注意事項.....	5-12
5.5.6	内蔵パワーオンリセット使用時の注意事項.....	5-12
5.5.7	オンチップエミュレータ使用時の注意事項.....	5-12
6.	低消費電力モード.....	6-1
6.1	レジスタの説明.....	6-2
6.1.1	システムコントロールレジスタ 1 (SYSCR1).....	6-2
6.1.2	システムコントロールレジスタ 2 (SYSCR2).....	6-3
6.1.3	システムコントロールレジスタ 3 (SYSCR3).....	6-4
6.1.4	クロック停止レジスタ 1~3 (CKSTPR1 ~ CKSTPR3).....	6-5
6.2	モード間遷移とLSIの状態.....	6-6
6.2.1	スリープモード.....	6-10
6.2.2	スタンバイモード.....	6-10
6.2.3	ウォッチモード.....	6-11
6.2.4	サブスリープモード.....	6-11
6.2.5	サブアクティブモード.....	6-12
6.2.6	アクティブ (中速) モード.....	6-12
6.3	直接遷移.....	6-13
6.3.1	アクティブ (高速) モードからアクティブ (中速) モードへの直接遷移について.....	6-13
6.3.2	アクティブ (高速) モードからサブアクティブモードへの直接遷移について.....	6-13
6.3.3	アクティブ (中速) モードからアクティブ (高速) モードへの直接遷移について.....	6-14
6.3.4	アクティブ (中速) モードからサブアクティブモードへの直接遷移について.....	6-14
6.3.5	サブアクティブモードからアクティブ (高速) モードへの直接遷移について.....	6-14
6.3.6	サブアクティブモードからアクティブ (中速) モードへの直接遷移について.....	6-15
6.3.7	直接遷移前後で外部入力信号が変化する場合の注意事項.....	6-15

6.4	モジュールスタンバイ機能.....	6-17
6.5	使用上の注意事項.....	6-17
6.5.1	スタンバイモードへの遷移と端子状態.....	6-17
6.5.2	スタンバイモード前後で外部入力信号が変化する場合の注意事項.....	6-17
7.	ROM.....	7-1
7.1	ブロック構成.....	7-2
7.2	レジスタの説明.....	7-3
7.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1).....	7-3
7.2.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2).....	7-4
7.2.3	ブロック指定レジスタ 1 (EBR1).....	7-4
7.2.4	ブロック指定レジスタ 2 (EBR2).....	7-5
7.2.5	フラッシュメモリパワーコントロールレジスタ (FLPWCR).....	7-5
7.2.6	フラッシュメモリイネーブルレジスタ (FENR).....	7-5
7.3	オンボードプログラミング.....	7-6
7.3.1	ブートモード.....	7-7
7.3.2	ユーザモードでの書き込み / 消去.....	7-9
7.4	RAMによるフラッシュメモリのエミュレーション.....	7-9
7.5	書き込み / 消去プログラム.....	7-11
7.5.1	プログラム / プログラムベリファイ.....	7-11
7.5.2	イレース / イレースベリファイ.....	7-14
7.5.3	フラッシュメモリの書き込み / 消去時の割り込み.....	7-14
7.6	書き込み / 消去プロテクト.....	7-16
7.6.1	ハードウェアプロテクト.....	7-16
7.6.2	ソフトウェアプロテクト.....	7-16
7.6.3	エラープロテクト.....	7-16
7.7	ライターモード.....	7-17
7.8	フラッシュメモリの低消費電力動作.....	7-17
7.9	モジュールスタンバイモード設定時の注意事項.....	7-18
8.	RAM.....	8-1
9.	I/O ポート.....	9-1
9.1	ポート1.....	9-1
9.1.1	ポートデータレジスタ 1 (PDR1).....	9-2
9.1.2	ポートコントロールレジスタ 1 (PCR1).....	9-2
9.1.3	ポートプルアップコントロールレジスタ 1 (PUCR1).....	9-3
9.1.4	ポートモードレジスタ 1 (PMR1).....	9-3
9.1.5	端子機能.....	9-4
9.1.6	入力プルアップ MOS.....	9-8

9.2	ポート3 .....	9-8
9.2.1	ポートデータレジスタ 3 (PDR3) .....	9-9
9.2.2	ポートコントロールレジスタ 3 (PCR3) .....	9-9
9.2.3	ポートプルアップコントロールレジスタ 3 (PUCR3) .....	9-9
9.2.4	ポートモードレジスタ 3 (PMR3) .....	9-10
9.2.5	端子機能 .....	9-10
9.2.6	入力プルアップ MOS .....	9-12
9.3	ポート4 .....	9-13
9.3.1	ポートデータレジスタ 4 (PDR4) .....	9-13
9.3.2	ポートコントロールレジスタ 4 (PCR4) .....	9-14
9.3.3	ポートモードレジスタ 4 (PMR4) .....	9-14
9.3.4	端子機能 .....	9-15
9.4	ポート5 .....	9-17
9.4.1	ポートデータレジスタ 5 (PDR5) .....	9-17
9.4.2	ポートコントロールレジスタ 5 (PCR5) .....	9-18
9.4.3	ポートプルアップコントロールレジスタ 5 (PUCR5) .....	9-18
9.4.4	ポートモードレジスタ 5 (PMR5) .....	9-18
9.4.5	端子機能 .....	9-19
9.4.6	入力プルアップ MOS .....	9-19
9.5	ポート6 .....	9-20
9.5.1	ポートデータレジスタ 6 (PDR6) .....	9-20
9.5.2	ポートコントロールレジスタ 6 (PCR6) .....	9-21
9.5.3	ポートプルアップコントロールレジスタ 6 (PUCR6) .....	9-21
9.5.4	端子機能 .....	9-21
9.5.5	入力プルアップ MOS .....	9-22
9.6	ポート7 .....	9-22
9.6.1	ポートデータレジスタ 7 (PDR7) .....	9-23
9.6.2	ポートコントロールレジスタ 7 (PCR7) .....	9-23
9.6.3	端子機能 .....	9-23
9.7	ポート8 .....	9-24
9.7.1	ポートデータレジスタ 8 (PDR8) .....	9-24
9.7.2	ポートコントロールレジスタ 8 (PCR8) .....	9-25
9.7.3	端子機能 .....	9-25
9.8	ポート9 .....	9-26
9.8.1	ポートデータレジスタ 9 (PDR9) .....	9-26
9.8.2	ポートコントロールレジスタ 9 (PCR9) .....	9-27
9.8.3	ポートモードレジスタ 9 (PMR9) .....	9-27
9.8.4	端子機能 .....	9-28
9.9	ポートA .....	9-29
9.9.1	ポートデータレジスタ A (PDRA) .....	9-29
9.9.2	ポートコントロールレジスタ A (PCRA) .....	9-30

9.9.3	端子機能 .....	9-30
9.10	ポートB .....	9-31
9.10.1	ポートデータレジスタ B (PDRB) .....	9-31
9.10.2	ポートモードレジスタ B (PMRB) .....	9-32
9.10.3	端子機能 .....	9-33
9.11	ポートC .....	9-34
9.11.1	ポートデータレジスタ C (PDRC) .....	9-35
9.11.2	ポートコントロールレジスタ C (PCRC) .....	9-35
9.11.3	端子機能 .....	9-35
9.12	ポートE .....	9-36
9.12.1	ポートデータレジスタ E (PDRE) .....	9-36
9.12.2	ポートコントロールレジスタ E (PCRE) .....	9-37
9.12.3	ポートモードレジスタ E (PMRE) .....	9-37
9.12.4	端子機能 .....	9-38
9.13	ポートF .....	9-41
9.13.1	ポートデータレジスタ F (PDRF) .....	9-41
9.13.2	ポートコントロールレジスタ F (PCRF) .....	9-42
9.13.3	ポートモードレジスタ F (PMRF) .....	9-42
9.13.4	端子機能 .....	9-43
9.14	入出力データの反転 .....	9-45
9.14.1	シリアルポートコントロールレジスタ、シリアルポートコントロールレジスタ 2 (SPCR、SPCR2) .....	9-45
9.15	ポート機能の切り替え .....	9-47
9.15.1	ポート機能コントロールレジスタ (PFCR) .....	9-47
9.16	使用上の注意事項 .....	9-48
9.16.1	未使用端子の処理 .....	9-48
9.16.2	端子機能による入力特性の相違について .....	9-49
10.	リアルタイムクロック (RTC) .....	10-1
10.1	特長 .....	10-1
10.2	入出力端子 .....	10-2
10.3	レジスタの説明 .....	10-2
10.3.1	秒データレジスタ / フリーランカウンタデータレジスタ (RSECDR) .....	10-2
10.3.2	分データレジスタ (RMINDR) .....	10-3
10.3.3	時データレジスタ (RHRDR) .....	10-3
10.3.4	曜日データレジスタ (RWKDR) .....	10-4
10.3.5	RTC コントロールレジスタ 1 (RTCCR1) .....	10-5
10.3.6	RTC コントロールレジスタ 2 (RTCCR2) .....	10-6
10.3.7	クロックソースセレクトレジスタ (RTCCSR) .....	10-7
10.3.8	RTC 割り込みフラグレジスタ (RTCFLG) .....	10-8
10.4	RTCの動作 .....	10-9



10.4.1	電源投入後のレジスタの初期設定.....	10-9
10.4.2	初期設定手順.....	10-9
10.4.3	時刻読み出し手順.....	10-9
10.5	割り込み要因.....	10-10
10.6	使用上の注意事項.....	10-11
10.6.1	時計カウントに関する注意事項.....	10-11
10.6.2	割り込みを使用する場合の注意事項.....	10-11
11.	タイマ C.....	11-1
11.1	特長.....	11-1
11.2	入出力端子.....	11-2
11.3	レジスタの説明.....	11-2
11.3.1	タイマモードレジスタ C (TMC).....	11-3
11.3.2	タイマカウンタ C (TCC).....	11-4
11.3.3	タイマロードレジスタ C (TLC).....	11-4
11.3.4	クロック停止レジスタ 3 (CKSTPR3).....	11-4
11.4	動作説明.....	11-5
11.4.1	インターバルタイマの動作.....	11-5
11.4.2	オートリロードタイマの動作.....	11-5
11.4.3	イベントカウンタ.....	11-5
11.4.4	外部入力端子による TCC アップ / ダウン制御.....	11-5
11.5	タイマ C の動作モード.....	11-6
12.	タイマ F.....	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-2
12.3	レジスタの説明.....	12-3
12.3.1	タイマカウンタ FH、FL (TCFH、TCFL).....	12-3
12.3.2	アウトプットコンペアレジスタ FH、FL (OCRFH、OCRFL).....	12-4
12.3.3	タイマコントロールレジスタ F (TCRF).....	12-5
12.3.4	タイマコントロールステータスレジスタ F (TCSRFB).....	12-6
12.4	動作説明.....	12-7
12.4.1	タイマ F の動作.....	12-7
12.4.2	TCF のカウントタイミング.....	12-8
12.4.3	TMOFH、TMOFL 出力タイミング.....	12-9
12.4.4	TCF のクリアタイミング.....	12-10
12.4.5	タイマオーバフローフラグ (OVF) のセットタイミング.....	12-10
12.4.6	コンペアマッチフラグのセットタイミング.....	12-10
12.5	タイマ F の動作モード.....	12-11
12.6	使用上の注意事項.....	12-12

12.6.1	16ビットタイマモード.....	12-12
12.6.2	8ビットタイマモード.....	12-12
12.6.3	各フラグのクリア.....	12-13
12.6.4	タイマカウンタ (TCF) のリード/ライト.....	12-14
13.	タイマ G.....	13-1
13.1	特長.....	13-1
13.2	入出力端子.....	13-2
13.3	レジスタの説明.....	13-3
13.3.1	タイマカウンタ G (TCG).....	13-3
13.3.2	インプットキャプチャレジスタ GF (ICRGF).....	13-3
13.3.3	インプットキャプチャレジスタ GR (ICRGR).....	13-4
13.3.4	タイマモードレジスタ G (TMG).....	13-4
13.3.5	クロック停止レジスタ 3 (CKSTPR3).....	13-5
13.4	ノイズ除去回路.....	13-6
13.5	動作説明.....	13-7
13.5.1	タイマ G の機能.....	13-7
13.5.2	カウントタイミング.....	13-8
13.5.3	インプットキャプチャ入力のタイミング.....	13-8
13.5.4	インプットキャプチャ入力によるインプットキャプチャタイミング.....	13-9
13.5.5	TCG のクリアタイミング.....	13-10
13.6	タイマ G の動作モード.....	13-10
13.7	使用上の注意事項.....	13-11
13.7.1	内部クロックの切り替えと TCG 動作.....	13-11
13.7.2	ポートモードレジスタ書き換えの注意事項.....	13-13
13.8	タイマ G の使用例.....	13-14
14.	16ビットタイマパルスユニット (TPU).....	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-3
14.3	レジスタの説明.....	14-4
14.3.1	タイマコントロールレジスタ (TCR).....	14-5
14.3.2	タイマモードレジスタ (TMDR).....	14-7
14.3.3	タイマ I/O コントロールレジスタ (TIOR).....	14-7
14.3.4	タイマインタラプトイネーブルレジスタ (TIER).....	14-12
14.3.5	タイマステータスレジスタ (TSR).....	14-13
14.3.6	タイマカウンタ (TCNT).....	14-14
14.3.7	タイマジェネラルレジスタ (TGR).....	14-14
14.3.8	タイマスタートレジスタ (TSTR).....	14-14
14.3.9	タイマシンクロレジスタ (TSYR).....	14-15

14.4	CPUとのインタフェース .....	14-15
14.4.1	16 ビットレジスタ .....	14-15
14.4.2	8 ビットレジスタ .....	14-16
14.5	動作説明 .....	14-17
14.5.1	基本動作 .....	14-17
14.5.2	同期動作 .....	14-22
14.5.3	カスケード接続動作 .....	14-23
14.5.4	PWM モード .....	14-25
14.6	割り込み要因 .....	14-29
14.7	動作タイミング .....	14-30
14.7.1	入出力タイミング .....	14-30
14.7.2	割り込み信号タイミング .....	14-33
14.8	使用上の注意事項 .....	14-35
14.8.1	モジュールスタンバイ機能の設定 .....	14-35
14.8.2	入力クロックの制限事項 .....	14-35
14.8.3	周期設定上の注意事項 .....	14-35
14.8.4	TCNT のライトとクリアの競合 .....	14-36
14.8.5	TCNT のライトとカウントアップの競合 .....	14-36
14.8.6	TGR のライトとコンペアマッチの競合 .....	14-37
14.8.7	TGR のリードとインプットキャプチャの競合 .....	14-37
14.8.8	TGR のライトとインプットキャプチャの競合 .....	14-38
14.8.9	オーバフローとカウンタクリアの競合 .....	14-38
14.8.10	TCNT のライトとオーバフローの競合 .....	14-39
14.8.11	入出力端子の兼用 .....	14-39
14.8.12	モジュールスタンバイ時の割り込み .....	14-39
14.8.13	デューティ 0%、デューティ 100% の出力条件 .....	14-39
15.	非同期イベントカウンタ (AEC) .....	15-1
15.1	特長 .....	15-1
15.2	入出力端子 .....	15-2
15.3	レジスタの説明 .....	15-3
15.3.1	イベントカウンタ PWM コンペアレジスタ (ECPWCR) .....	15-3
15.3.2	イベントカウンタ PWM データレジスタ (ECPWDR) .....	15-4
15.3.3	入力端子エッジセレクトレジスタ (AEGSR) .....	15-4
15.3.4	イベントカウンタコントロールレジスタ (ECCR) .....	15-5
15.3.5	イベントカウンタコントロール / ステータスレジスタ (ECCSR) .....	15-6
15.3.6	イベントカウンタ H (ECH) .....	15-7
15.3.7	イベントカウンタ L (ECL) .....	15-7
15.4	動作説明 .....	15-8
15.4.1	16 ビットカウンタの動作 .....	15-8

15.4.2	8ビットカウンタの動作.....	15-9
15.4.3	IRQAECの動作.....	15-10
15.4.4	イベントカウンタPWMの動作.....	15-10
15.4.5	クロック入力許可/禁止機能の動作.....	15-11
15.5	非同期イベントカウンタの動作モード.....	15-12
15.6	使用上の注意事項.....	15-13
16.	ウォッチドッグタイマ.....	16-1
16.1	特長.....	16-1
16.2	レジスタの説明.....	16-2
16.2.1	タイマコントロール/ステータスレジスタWD1(TCSRWD1).....	16-3
16.2.2	タイマコントロール/ステータスレジスタWD2(TCSRWD2).....	16-4
16.2.3	タイマカウンタWD(TCWD).....	16-4
16.2.4	タイマモードレジスタWD(TMWD).....	16-5
16.3	動作説明.....	16-6
16.3.1	ウォッチドッグタイマ時の動作.....	16-6
16.3.2	インターバルタイマ時の動作.....	16-7
16.3.3	オーバフローフラグ(OVF)セットタイミング.....	16-7
16.4	割り込み.....	16-8
16.5	使用上の注意事項.....	16-8
16.5.1	ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	16-8
16.5.2	モジュールスタンバイモード制御.....	16-8
16.5.3	ウォッチドッグタイマ用内蔵発振器選択時のタイマカウンタWD(TCWD)の ライトについて.....	16-8
17.	シリアルコミュニケーションインタフェース3(SCI3、IrDA).....	17-1
17.1	特長.....	17-1
17.2	入出力端子.....	17-5
17.3	レジスタの説明.....	17-6
17.3.1	レシーブシフトレジスタ(RSR).....	17-6
17.3.2	レシーブデータレジスタ(RDR).....	17-6
17.3.3	トランスミットシフトレジスタ(TSR).....	17-6
17.3.4	トランスミットデータレジスタ(TDR).....	17-7
17.3.5	シリアルモードレジスタ(SMR).....	17-7
17.3.6	シリアルコントロールレジスタ(SCR).....	17-9
17.3.7	シリアルステータスレジスタ(SSR).....	17-11
17.3.8	ビットレートレジスタ(BRR).....	17-13
17.3.9	シリアルポートコントロールレジスタ(SPCR).....	17-21
17.3.10	シリアルポートコントロールレジスタ2(SPCR2).....	17-22
17.3.11	IrDAコントロールレジスタ(IrCR).....	17-23

17.3.12	シリアル拡張モードレジスタ (SEMR) .....	17-23
17.4	調歩同期式モードの動作説明.....	17-24
17.4.1	クロック .....	17-24
17.4.2	SCI3 の初期化.....	17-27
17.4.3	データ送信.....	17-28
17.4.4	データ受信.....	17-30
17.5	クロック同期式モードの動作説明.....	17-33
17.5.1	クロック .....	17-33
17.5.2	SCI3 の初期化.....	17-33
17.5.3	データ送信.....	17-34
17.5.4	データ受信.....	17-36
17.5.5	データ送受信同時動作.....	17-38
17.6	マルチプロセッサ通信機能.....	17-39
17.6.1	マルチプロセッサデータ送信.....	17-40
17.6.2	マルチプロセッサデータ受信.....	17-41
17.7	IrDA動作.....	17-43
17.7.1	送信.....	17-44
17.7.2	受信.....	17-45
17.7.3	High パルス幅の選択.....	17-45
17.8	割り込み要求.....	17-46
17.9	使用上の注意事項.....	17-49
17.9.1	ブレークの検出と処理について.....	17-49
17.9.2	マーク状態とブレークの送付.....	17-49
17.9.3	受信エラーフラグと送信動作について (クロック同期式モードのみ) .....	17-49
17.9.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	17-49
17.9.5	SCK3 端子機能切り替えに伴う注意事項.....	17-50
17.9.6	TDR へのライトと TDRE の関係について.....	17-51
17.9.7	RDR のリードと RDRF の関係について.....	17-51
17.9.8	状態遷移時における送信および受信動作について.....	17-52
17.9.9	サブアクティブモード、サブスリープモード時の設定について.....	17-52
17.9.10	シリアルコミュニケーションインタフェース 3 を実行する際に使用する発振器について.....	17-52
18.	シリアルコミュニケーションインタフェース 4 (SCI4) .....	18-1
18.1	特長.....	18-1
18.2	入出力端子.....	18-2
18.3	レジスタの説明.....	18-3
18.3.1	シリアルコントロールレジスタ 4 (SCR4) .....	18-3
18.3.2	シリアルコントロールステータスレジスタ 4 (SCSR4) .....	18-5
18.3.3	トランスミットデータレジスタ 4 (TDR4) .....	18-7
18.3.4	レシーブデータレジスタ 4 (RDR4) .....	18-7

18.3.5	シフトレジスタ 4 (SR4) .....	18-7
18.4	動作説明 .....	18-8
18.4.1	クロック .....	18-8
18.4.2	データ転送フォーマット .....	18-8
18.4.3	データの送信 / 受信動作 .....	18-9
18.4.4	データ送信 .....	18-10
18.4.5	データ受信 .....	18-12
18.4.6	データ送受信同時動作 .....	18-14
18.5	割り込み要因 .....	18-15
18.6	使用上の注意事項 .....	18-16
18.6.1	TDR4 へのライトと TDRE の関係について .....	18-16
18.6.2	受信エラーフラグと送信動作について .....	18-16
18.6.3	RDR4 のリードと RDRF の関係について .....	18-16
18.6.4	内部クロック /2 選択時の SCK4 出力波形について .....	18-17
19.	14 ビット PWM .....	19-1
19.1	特長 .....	19-1
19.2	入出力端子 .....	19-2
19.3	レジスタの説明 .....	19-2
19.3.1	PWM コントロールレジスタ (PWCR) .....	19-3
19.3.2	PWM データレジスタ (PWDR) .....	19-3
19.4	動作説明 .....	19-4
19.4.1	パルス分割 PWM の原理 .....	19-4
19.4.2	パルス分割 PWM の設定手順 .....	19-4
19.4.3	パルス分割 PWM の動作説明 .....	19-4
19.4.4	標準 PWM の動作設定 .....	19-5
19.4.5	PWM の動作モード .....	19-6
19.5	使用上の注意事項 .....	19-6
19.5.1	PWDR のライトと PWM 波形への反映タイミングについて .....	19-6
20.	A/D 変換器 .....	20-1
20.1	特長 .....	20-1
20.2	入出力端子 .....	20-3
20.3	レジスタの説明 .....	20-3
20.3.1	A/D リザルトレジスタ (ADRR) .....	20-3
20.3.2	A/D モードレジスタ (AMR) .....	20-4
20.3.3	A/D スタートレジスタ (ADSR) .....	20-5
20.4	動作説明 .....	20-5
20.4.1	A/D 変換動作 .....	20-5
20.4.2	外部トリガタイミング .....	20-5

20.4.3	A/D 変換器の動作モード .....	20-6
20.5	使用例 .....	20-6
20.6	A/D変換精度の定義 .....	20-9
20.7	使用上の注意事項 .....	20-11
20.7.1	許容信号源インピーダンスについて .....	20-11
20.7.2	絶対精度への影響について .....	20-11
20.7.3	その他使用上の注意 .....	20-11
21.	I <sup>2</sup> C バスインタフェース 2 (IIC2) .....	21-1
21.1	特長 .....	21-1
21.2	入出力端子 .....	21-3
21.3	レジスタの説明 .....	21-3
21.3.1	I <sup>2</sup> C バスコントロールレジスタ 1 (ICCR1) .....	21-4
21.3.2	I <sup>2</sup> C バスコントロールレジスタ 2 (ICCR2) .....	21-5
21.3.3	I <sup>2</sup> C バスモードレジスタ (ICMR) .....	21-7
21.3.4	I <sup>2</sup> C バス割り込み許可レジスタ (ICIER) .....	21-8
21.3.5	I <sup>2</sup> C バスステータスレジスタ (ICSR) .....	21-10
21.3.6	スレーブアドレスレジスタ (SAR) .....	21-12
21.3.7	I <sup>2</sup> C バス送信データレジスタ (ICDRT) .....	21-12
21.3.8	I <sup>2</sup> C バス受信データレジスタ (ICDRR) .....	21-12
21.3.9	I <sup>2</sup> C バスシフトレジスタ (ICDRS) .....	21-12
21.4	動作説明 .....	21-13
21.4.1	I2C バスフォーマット .....	21-13
21.4.2	マスタ送信動作 .....	21-14
21.4.3	マスタ受信動作 .....	21-16
21.4.4	スレーブ送信動作 .....	21-18
21.4.5	スレーブ受信動作 .....	21-19
21.4.6	クロック同期式シリアルフォーマット .....	21-20
21.4.7	ノイズ除去回路 .....	21-23
21.4.8	使用例 .....	21-24
21.5	割り込み要求 .....	21-28
21.6	ビット同期回路 .....	21-29
21.7	使用上の注意事項 .....	21-30
21.7.1	停止条件および開始条件 (再送) の出力について .....	21-30
21.7.2	I <sup>2</sup> C バスモードレジスタ (ICMR) の WAIT 設定について .....	21-30
21.7.3	マルチマスタで使用時の転送レート設定値の制限について .....	21-30
21.7.4	マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について .....	21-30
21.7.5	マスタ受信モードの注意事項について .....	21-30

22. パワーオンリセット回路 .....	22-1
22.1  特長 .....	22-1
22.2  動作説明 .....	22-2
22.2.1  パワーオンリセット回路 .....	22-2
23. アドレスブ레이크 .....	23-1
23.1  レジスタの説明 .....	23-2
23.1.1  アドレスブ레이크コントロールレジスタ 2 ( ABRKCR2 ) .....	23-2
23.1.2  アドレスブ레이크ステータスレジスタ 2 ( ABRKSR2 ) .....	23-3
23.1.3  ブ레이크アドレスレジスタ 2 ( BAR2E、BAR2H、BAR2L ) .....	23-3
23.1.4  ブ레이크データレジスタ 2 ( BDR2H、BDR2L ) .....	23-4
23.2  動作説明 .....	23-4
23.3  アドレスブ레이크の動作モード .....	23-5
24. レジスタ一覧 .....	24-1
24.1  レジスタアドレス一覧 ( アドレス順 ) .....	24-2
24.2  レジスタビット一覧 .....	24-8
24.3  各動作モードにおけるレジスタの状態 .....	24-14
25. 電気的特性 .....	25-1
25.1  F-ZTAT版の絶対最大定格 .....	25-1
25.2  F-ZTAT版の電気的特性 .....	25-2
25.2.1  電源電圧と動作範囲 .....	25-2
25.2.2  DC 特性 .....	25-8
25.2.3  AC 特性 .....	25-14
25.2.4  A/D 変換器特性 .....	25-18
25.2.5  パワーオンリセット回路特性 .....	25-19
25.2.6  ウォッチドッグタイマ特性 .....	25-19
25.2.7  フラッシュメモリ特性 .....	25-20
25.3  マスクROM版の絶対最大定格 .....	25-22
25.4  マスクROM版の電気的特性 .....	25-23
25.4.1  電源電圧と動作範囲 .....	25-23
25.4.2  DC 特性 .....	25-27
25.4.3  AC 特性 .....	25-33
25.4.4  A/D 変換器特性 .....	25-37
25.4.5  パワーオンリセット回路特性 .....	25-38
25.4.6  ウォッチドッグタイマ特性 .....	25-38
25.5  動作タイミング .....	25-39
25.6  出力負荷回路 .....	25-41
25.7  推奨発振子 .....	25-41



25.8	使用上の注意事項 .....	25-42
付録	.....	付録-1
A.	命令 .....	付録-1
A.1	命令一覧 .....	付録-1
A.2	オペレーションコードマップ .....	付録-16
A.3	命令実行ステート数 .....	付録-19
A.4	命令とアドレッシングモードの組み合わせ .....	付録-28
B.	I/Oポート .....	付録-29
B.1	I/Oポートブロック図 .....	付録-29
B.2	各処理状態におけるポートの状態 .....	付録-53
C.	製品型名一覧 .....	付録-55
D.	外形寸法図 .....	付録-56
索引	.....	索引-1



---

# 図目次

---

1. 概要	
図 1.1 H8/38799 グループ内部ブロック図	1-3
図 1.2 H8/38799 グループピン配置図 ( PLQP0100KB-A )	1-4
2. CPU	
図 2.1 メモリマップ	2-3
図 2.2 CPU 内部レジスタ構成	2-4
図 2.3 汎用レジスタの使用法	2-5
図 2.4 スタックポインタとスタック領域の関係	2-5
図 2.5 汎用レジスタのデータ形式 ( 1 )	2-7
図 2.5 汎用レジスタのデータ形式 ( 2 )	2-8
図 2.6 メモリ上でのデータ形式	2-9
図 2.7 命令フォーマット	2-18
図 2.8 メモリ間接による分岐アドレスの指定	2-21
図 2.9 内蔵メモリアクセスサイクル	2-24
図 2.10 内蔵周辺モジュールアクセスサイクル ( 3 ステートアクセスの場合 )	2-25
図 2.11 CPU の状態の分類	2-26
図 2.12 状態遷移図	2-27
図 2.13 同一アドレスに割付けられた 2 つのレジスタを持つタイマの構成例	2-28
3. 例外処理	
図 3.1 リセット例外処理シーケンス	3-4
図 3.2 割り込み要因と要因数	3-5
図 3.3 割り込み例外処理終了後のスタック状態	3-6
図 3.4 SP に奇数を設定したときの動作	3-7
図 3.5 ポートモードレジスタ ( または AEGSR ) 操作と割り込み要求フラグのクリア手順	3-9
4. 割り込みコントローラ	
図 4.1 割り込みコントローラのブロック図	4-1
図 4.2 割り込み受け付けまでのフロー	4-17
図 4.3 割り込み例外処理シーケンス	4-18
図 4.4 割り込みの発生とディスエーブルの競合	4-20
5. クロック発振器	
図 5.1 クロック発生回路のブロック図	5-1
図 5.2 水晶発振子の接続例	5-3
図 5.3 セラミック発振子の接続例	5-4
図 5.4 外部クロックを入力する場合の接続例	5-4
図 5.5 32.768kHz/38.4kHz 水晶発振子の接続例	5-5
図 5.6 32.768kHz 水晶発振子の等価回路	5-5
図 5.7 サブクロックを必要としない場合の端子処理	5-6
図 5.8 外部クロックを入力する場合の接続例	5-6

	図 5.9	水晶、セラミック発振子の配置例	5-8
	図 5.10	負性抵抗測定と回路変更案	5-9
	図 5.11	発振回路のボード設計に関する注意事項	5-10
	図 5.12	発振安定待機時間	5-11
6.	低消費電力モード		
	図 6.1	モード遷移図	6-7
	図 6.2	スタンバイモードへの遷移と端子状態	6-17
	図 6.3	スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項	6-18
7.	ROM		
	図 7.1	フラッシュメモリのブロック構成	7-2
	図 7.2	ユーザモードにおける書き込み / 消去例	7-9
	図 7.3	RAM オーバラップ	7-10
	図 7.4	プログラム / プログラムベリファイフロー	7-12
	図 7.5	イレース / イレースベリファイフロー	7-15
	図 7.6	モジュールスタンバイモードの設定方法 (RAM エミュレーションを使用しない場合)	7-18
9.	I/O ポート		
	図 9.1	ポート 1 の端子構成	9-1
	図 9.2	ポート 3 の端子構成	9-8
	図 9.3	ポート 4 の端子構成	9-13
	図 9.4	ポート 5 の端子構成	9-17
	図 9.5	ポート 6 の端子構成	9-20
	図 9.6	ポート 7 の端子構成	9-22
	図 9.7	ポート 8 の端子構成	9-24
	図 9.8	ポート 9 の端子構成	9-26
	図 9.9	ポート A の端子構成	9-29
	図 9.10	ポート B の端子構成	9-31
	図 9.11	ポート C の端子構成	9-34
	図 9.12	ポート E の端子構成	9-36
	図 9.13	ポート F の端子構成	9-41
	図 9.14	入出力データ反転機能	9-45
10.	リアルタイムクロック (RTC)		
	図 10.1	RTC のブロック図	10-1
	図 10.2	時間表現の定義	10-5
	図 10.3	初期設定手順	10-9
	図 10.4	正しい時刻を得られない場合の例	10-10
11.	タイマ C		
	図 11.1	タイマ C のブロック図	11-2
12.	タイマ F		
	図 12.1	タイマ F のブロック図	12-2
	図 12.2	内部クロック動作時のカウントタイミング	12-8
	図 12.3	外部イベント動作時のカウントタイミング	12-9
	図 12.4	TMOFH、TMOFL 出力タイミング	12-9
	図 12.5	TCF のクリアタイミング	12-10

図 12.6	コンペアマッチフラグのセットタイミング	12-11
図 12.7	割り込み要因の発生を示す信号が有効なときに割り込み要求フラグのクリアを行った場合	12-14

### 13. タイマ G

図 13.1	タイマ G のブロック図	13-2
図 13.2	ノイズ除去回路のブロック図	13-6
図 13.3	ノイズ除去回路タイミング (例)	13-7
図 13.4	インプットキャプチャ入力のタイミング (ノイズ除去機能なし)	13-8
図 13.5	インプットキャプチャ入力のタイミング (ノイズ除去機能あり)	13-9
図 13.6	インプットキャプチャ入力によるインプットキャプチャタイミング	13-9
図 13.7	TCG のクリアタイミング	13-10
図 13.8	ポートモードレジスタの操作と割り込み要求フラグのクリア手順	13-14
図 13.9	タイマ G の使用例	13-14

### 14. 16 ビットタイマパルスユニット (TPU)

図 14.1	TPU ブロック図	14-3
図 14.2	16 ビットレジスタのアクセス動作 (CPU TCNT (16 ビット))	14-15
図 14.3	8 ビットレジスタのアクセス動作 (CPU TCR (上位 8 ビット))	14-16
図 14.4	8 ビットレジスタのアクセス動作 (CPU TMDR (下位 8 ビット))	14-16
図 14.5	カウンタ動作設定手順例	14-17
図 14.6	フリーランニングカウンタの動作	14-18
図 14.7	周期カウンタの動作	14-18
図 14.8	コンペアマッチによる波形出力動作例	14-19
図 14.9	0 出力 / 1 出力の動作例	14-19
図 14.10	トグル出力の動作例	14-20
図 14.11	インプットキャプチャ動作の設定例	14-20
図 14.12	インプットキャプチャ動作例	14-21
図 14.13	同期動作の設定手順例	14-22
図 14.14	同期動作の動作例	14-23
図 14.15	カスケード接続動作設定手順	14-24
図 14.16	カスケード接続動作例	14-24
図 14.17	PWM モードの設定手順例	14-26
図 14.18	PWM モードの動作例 (1)	14-26
図 14.19	PWM モードの動作例 (2)	14-27
図 14.20	PWM モードの動作例 (3)	14-28
図 14.21	内部クロック動作時のカウントタイミング	14-30
図 14.22	外部クロック動作時のカウントタイミング	14-30
図 14.23	アウトプットコンペア出力タイミング	14-31
図 14.24	インプットキャプチャ入力信号タイミング	14-31
図 14.25	カウンタクリアタイミング (コンペアマッチ)	14-32
図 14.26	カウンタクリアタイミング (インプットキャプチャ)	14-32
図 14.27	TGI 割り込みタイミング (コンペアマッチ)	14-33
図 14.28	TGI 割り込みタイミング (インプットキャプチャ)	14-33
図 14.29	TCIV 割り込みのセットタイミング	14-34
図 14.30	CPU によるステータスフラグのクリアタイミング	14-34
図 14.31	TCNT のライトとクリアの競合	14-36
図 14.32	TCNT のライトとカウントアップの競合	14-36
図 14.33	TGR のライトとコンペアマッチの競合	14-37

	図 14.34 TGR のリードとインプットキャプチャの競合 .....	14-37
	図 14.35 TGR のライトとインプットキャプチャの競合 .....	14-38
	図 14.36 オーバフローとカウンタクリアの競合 .....	14-38
	図 14.37 TCNT のライトとオーバフローの競合 .....	14-39
15.	非同期イベントカウンタ (AEC)	
	図 15.1 非同期イベントカウンタブロック図 .....	15-2
	図 15.2 16 ビットカウンタとして使用する場合のソフトウェア手順 .....	15-8
	図 15.3 8 ビットカウンタとして使用する場合のソフトウェア手順 .....	15-9
	図 15.4 イベントカウンタ動作波形 .....	15-10
	図 15.5 クロック制御動作例 .....	15-11
16.	ウォッチドッグタイマ	
	図 16.1 ウォッチドッグタイマのブロック図 .....	16-2
	図 16.2 ウォッチドッグタイマの動作例 .....	16-6
	図 16.3 ウォッチドッグタイマモード時の動作 .....	16-7
	図 16.4 OVF フラグのセットタイミング .....	16-7
17.	シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)	
	図 17.1 (1) SCI3_1 のブロック図 .....	17-3
	図 17.1 (2) SCI3_2 のブロック図 .....	17-4
	図 17.1 (3) SCI3_3 のブロック図 .....	17-5
	図 17.2 調歩同期式通信のデータフォーマット .....	17-24
	図 17.3 出力クロックと通信データの位相関係 (調歩同期式モード) (8 ビットデータ/パリティあり/2 ストップビットの例) .....	17-24
	図 17.4 SCI3 を初期化するときのフローチャートの例 .....	17-27
	図 17.5 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) .....	17-28
	図 17.6 データ送信のフローチャートの例 (調歩同期式モード) .....	17-29
	図 17.7 調歩同期式モードの受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例) .....	17-30
	図 17.8 データ受信のフローチャートの例 (調歩同期式モード) .....	17-32
	図 17.9 クロック同期式通信のデータフォーマット .....	17-33
	図 17.10 クロック同期式モードの送信時の動作例 .....	17-34
	図 17.11 データ送信のフローチャートの例 (クロック同期式モード) .....	17-35
	図 17.12 クロック同期式モードの受信時の動作例 .....	17-36
	図 17.13 データ受信フローチャートの例 (クロック同期式モード) .....	17-37
	図 17.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード) .....	17-38
	図 17.15 マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局 A へのデータ H'AA の送信の例) .....	17-39
	図 17.16 マルチプロセッサデータ送信のフローチャートの例 .....	17-40
	図 17.17 マルチプロセッサデータ受信のフローチャートの例 .....	17-41
	図 17.18 マルチプロセッサフォーマットの受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例) .....	17-42
	図 17.19 IrDA ブロック図 .....	17-43
	図 17.20 IrDA 送信 / 受信動作 .....	17-44
	図 17.21 (a) RDRF のセットと RXI 割り込み .....	17-48
	図 17.21 (b) TDRE のセットと TXI 割り込み .....	17-48

図 17.21 (c) TEND のセットと TEI 割り込み.....	17-48
図 17.22 調歩同期モードの受信データサンプリングタイミング.....	17-50
図 17.23 RDR のリードタイミングとデータの関係.....	17-51
18. シリアルコミュニケーションインタフェース 4 (SCI4)	
図 18.1 SCI4 のブロック図.....	18-2
図 18.2 転送フォーマット.....	18-8
図 18.3 SCI4 を初期化するときのフローチャートの例.....	18-9
図 18.4 データ送信のフローチャートの例.....	18-10
図 18.5 送信時の動作例.....	18-11
図 18.6 データ受信フローチャートの例.....	18-12
図 18.7 受信時の動作例.....	18-13
図 18.8 データ送受信同時動作のフローチャートの例.....	18-14
図 18.9 RDR4 リードタイミングとデータの関係.....	18-17
図 18.10 内部クロック /2 選択時の転送フォーマット.....	18-17
19. 14 ビット PWM	
図 19.1 14 ビット PWM のブロック図.....	19-1
図 19.2 4 分割した場合のパルス分割方式 PWM の動作例.....	19-4
図 19.3 PWM 出力波形.....	19-5
20. A/D 変換器	
図 20.1 A/D 変換器のブロック図.....	20-2
図 20.2 外部トリガ入力タイミング.....	20-6
図 20.3 A/D 変換器の動作例.....	20-7
図 20.4 A/D 変換器の使用手順の概念フロー (ソフトウェアでポーリングする場合).....	20-8
図 20.5 A/D 変換器の使用手順の概念フロー (割り込みを使用する場合).....	20-8
図 20.6 A/D 変換精度の定義 (1).....	20-9
図 20.7 A/D 変換精度の定義 (2).....	20-10
図 20.8 アナログ入力回路の例.....	20-11
21. I <sup>2</sup> C バスインタフェース 2 (IIC2)	
図 21.1 I <sup>2</sup> C バスインタフェース 2 のブロック図.....	21-2
図 21.2 入出力端子の外部回路接続例.....	21-3
図 21.3 I <sup>2</sup> C バスフォーマット.....	21-13
図 21.4 I <sup>2</sup> C バスタイミング.....	21-13
図 21.5 マスタ送信モード動作タイミング (1).....	21-15
図 21.6 マスタ送信モード動作タイミング (2).....	21-15
図 21.7 マスタ受信モード動作タイミング (1).....	21-17
図 21.8 マスタ受信モード動作タイミング (2).....	21-17
図 21.9 スレーブ送信モード動作タイミング (1).....	21-18
図 21.10 スレーブ送信モード動作タイミング (2).....	21-19
図 21.11 スレーブ受信モード動作タイミング (1).....	21-20
図 21.12 スレーブ受信モード動作タイミング (2).....	21-20
図 21.13 クロック同期式シリアル転送フォーマット.....	21-21
図 21.14 送信モード動作タイミング.....	21-21
図 21.15 受信モード動作タイミング.....	21-22
図 21.16 ノイズ除去回路のブロック図.....	21-23

図 21.17	マスタ送信モードのフローチャート例	21-24
図 21.18	マスタ受信モードのフローチャート例	21-25
図 21.19	スレーブ送信モードフローチャート例	21-26
図 21.20	スレーブ受信モードフローチャート例	21-27
図 21.21	ビット同期回路のタイミング	21-29
22. パワーオンリセット回路		
図 22.1	パワーオンリセット回路	22-1
図 22.2	パワーオンリセット回路動作タイミング	22-2
23. アドレスブレイク		
図 23.1	アドレスブレイクブロック図	23-1
図 23.2	アドレスブレイク割り込み動作例 (1)	23-4
図 23.2	アドレスブレイク割り込み動作例 (2)	23-5
25. 電気的特性		
図 25.1	電源電圧と発振周波数の範囲 (1)	25-2
図 25.2	電源電圧と発振周波数の範囲 (2)	25-3
図 25.3	電源電圧と動作周波数の範囲 (1)	25-4
図 25.4	電源電圧と動作周波数の範囲 (2)	25-5
図 25.5	電源電圧と動作周波数の範囲 (3)	25-6
図 25.6	アナログ電源電圧と A/D 変換器の動作範囲 (1)	25-7
図 25.7	アナログ電源電圧と A/D 変換器の動作範囲 (2)	25-7
図 25.8	電源電圧と発振周波数の範囲 (1)	25-23
図 25.9	電源電圧と発振周波数の範囲 (2)	25-23
図 25.10	電源電圧と動作周波数の範囲 (1)	25-24
図 25.11	電源電圧と動作周波数の範囲 (2)	25-25
図 25.12	アナログ電源電圧と A/D 変換器の動作範囲 (1)	25-25
図 25.13	アナログ電源電圧と A/D 変換器の動作範囲 (2)	25-26
図 25.14	クロック入力タイミング	25-39
図 25.15	RES 端子 Low レベル幅タイミング	25-39
図 25.16	入力タイミング	25-39
図 25.17	SCK3 入力クロックタイミング	25-39
図 25.18	SCI3 クロック同期式モード入出力タイミング	25-40
図 25.19	TCLKA ~ TCLKC 端子クロック入力タイミング	25-40
図 25.20	I <sup>2</sup> C バスインタフェース入出力タイミング	25-40
図 25.21	UD 端子最小変化幅タイミング	25-41
図 25.22	出力負荷条件	25-41
図 25.23	発振子仕様	25-41
付録		
図 B.1 (a)	ポート 1 ブロック図 (P16 端子) (F-ZTAT <sup>TM</sup> 版)	付録-29
図 B.1 (b)	ポート 1 ブロック図 (P16 端子) (マスク ROM 版)	付録-30
図 B.1 (c)	ポート 1 ブロック図 (P15 ~ P12 端子)	付録-30
図 B.1 (d)	ポート 1 ブロック図 (P11、P10 端子)	付録-31
図 B.2 (a)	ポート 3 ブロック図 (P37 端子) (F-ZTAT <sup>TM</sup> 版)	付録-32
図 B.2 (b)	ポート 3 ブロック図 (P37 端子) (マスク ROM 版)	付録-32
図 B.2 (c)	ポート 3 ブロック図 (P36 端子) (F-ZTAT <sup>TM</sup> 版)	付録-33



図 B.2 (d) ポート 3 ブロック図 (P36 端子) (マスク ROM 版) .....	付録-33
図 B.2 (e) ポート 3 ブロック図 (P32 端子) .....	付録-34
図 B.2 (f) ポート 3 ブロック図 (P31 端子) .....	付録-35
図 B.2 (g) ポート 3 ブロック図 (P30 端子) .....	付録-36
図 B.3 (a) ポート 4 ブロック図 (P42 端子) .....	付録-37
図 B.3 (b) ポート 4 ブロック図 (P41 端子) .....	付録-38
図 B.3 (c) ポート 4 ブロック図 (P40 端子) .....	付録-39
図 B.4 ポート 5 ブロック図 .....	付録-40
図 B.5 ポート 6 ブロック図 .....	付録-40
図 B.6 ポート 7 ブロック図 .....	付録-41
図 B.7 ポート 8 ブロック図 .....	付録-41
図 B.8 (a) ポート 9 ブロック図 (P93 端子) .....	付録-42
図 B.8 (b) ポート 9 ブロック図 (P92 端子) .....	付録-42
図 B.8 (c) ポート 9 ブロック図 (P91、P90 端子) .....	付録-43
図 B.9 ポート A ブロック図 .....	付録-43
図 B.10 (a) ポート B ブロック図 (PB7 ~ PB3 端子) .....	付録-44
図 B.10 (b) ポート B ブロック図 (PB2 ~ PB0 端子) .....	付録-44
図 B.11 ポート C ブロック図 (PC7 ~ PC0 端子) .....	付録-45
図 B.12 (a) ポート E ブロック図 (PE7 端子) .....	付録-45
図 B.12 (b) ポート E ブロック図 (PE6 端子) .....	付録-46
図 B.12 (c) ポート E ブロック図 (PE5 端子) .....	付録-46
図 B.12 (d) ポート E ブロック図 (PE4 端子) .....	付録-47
図 B.12 (e) ポート E ブロック図 (PE3 端子) .....	付録-48
図 B.12 (f) ポート E ブロック図 (PE2 端子) .....	付録-49
図 B.12 (g) ポート E ブロック図 (PE1 端子) .....	付録-49
図 B.12 (h) ポート E ブロック図 (PE0 端子) .....	付録-50
図 B.13 (a) ポート F ブロック図 (PF3 端子) .....	付録-50
図 B.13 (b) ポート F ブロック図 (PF2 端子) .....	付録-51
図 B.13 (c) ポート F ブロック図 (PF1 端子) .....	付録-51
図 B.13 (d) ポート F ブロック図 (PF0 端子) .....	付録-52
図 D.1 外形寸法図 (PLQP0100KB-A) .....	付録-56



---

# 表目次

---

1. 概要	
表 1.1 端子機能	1-5
2. CPU	
表 2.1 オペレーションの記号	2-10
表 2.2 データ転送命令	2-11
表 2.3 算術演算命令	2-11
表 2.4 論理演算命令	2-13
表 2.5 シフト命令	2-13
表 2.6 ビット操作命令	2-14
表 2.7 分岐命令	2-16
表 2.8 システム制御命令	2-17
表 2.9 ブロック転送命令	2-17
表 2.10 アドレッシングモード一覧表	2-19
表 2.11 絶対アドレスのアクセス範囲	2-20
表 2.12 実効アドレスの計算方法(1)	2-22
表 2.12 実効アドレスの計算方法(2)	2-23
3. 例外処理	
表 3.1 例外処理要因とベクタアドレス	3-2
表 3.2 リセット要因	3-3
表 3.3 割り込み要求フラグが1にセットされる条件	3-8
4. 割り込みコントローラ	
表 4.1 端子構成	4-2
表 4.2 割り込み要因とベクタアドレスおよび割り込みマスクレベル一覧	4-13
表 4.3 割り込み制御状態	4-16
表 4.4 割り込み応答時間	4-19
5. クロック発振器	
表 5.1 システムクロック発振器とシステムクロック用内蔵発振器の選択方法	5-5
6. 低消費電力モード	
表 6.1 動作周波数と待機時間	6-4
表 6.2 SLEEP 命令実行後の状態と割り込みによる復帰先	6-8
表 6.3 各動作モードでの LSI の状態	6-9
7. ROM	
表 7.1 プログラミングモード選択方法	7-6
表 7.2 ブートモードの動作	7-8
表 7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数	7-8
表 7.4 再書き込みデータ演算表	7-13

表 7.5	追加書き込みデータ演算表.....	7-13
表 7.6	書き込み時間.....	7-13
表 7.7	フラッシュメモリの動作状態.....	7-17
10.	リアルタイムクロック (RTC)	
表 10.1	端子構成.....	10-2
表 10.2	割り込み要因.....	10-10
11.	タイマ C	
表 11.1	端子構成.....	11-2
表 11.2	タイマ C の動作モード.....	11-6
12.	タイマ F	
表 12.1	端子構成.....	12-2
表 12.2	タイマ F の動作モード.....	12-11
13.	タイマ G	
表 13.1	端子構成.....	13-2
表 13.2	タイマ G の動作モード.....	13-10
表 13.3	内部クロックの切り替えと TCG 動作.....	13-11
表 13.4	インプットキャプチャ入力端子の機能切り替えによるインプットキャプチャ入力信号の 入力エッジとその条件.....	13-13
表 13.5	ノイズ除去回路の機能切り替えによるインプットキャプチャ入力信号の 入力エッジとその条件.....	13-13
14.	16 ビットタイマパルスユニット (TPU)	
表 14.1	TPU の機能一覧.....	14-2
表 14.2	端子構成.....	14-3
表 14.3	CCLR1 ~ CCLR0 (チャンネル 1、2).....	14-5
表 14.4	TPSC2 ~ TPSC0 (チャンネル 1).....	14-6
表 14.5	TPSC2 ~ TPSC0 (チャンネル 2).....	14-6
表 14.6	MD1、MD0.....	14-7
表 14.7	TIOR_1 (チャンネル 1).....	14-8
表 14.8	TIOR_2 (チャンネル 2).....	14-9
表 14.9	TIOR_1 (チャンネル 1).....	14-10
表 14.10	TIOR_2 (チャンネル 2).....	14-11
表 14.11	カスケード接続組み合わせ.....	14-23
表 14.12	各 PWM 出力のレジスタと出力端子.....	14-25
表 14.13	TPU 割り込み一覧.....	14-29
15.	非同期イベントカウンタ (AEC)	
表 15.1	端子構成.....	15-2
表 15.2	イベントカウンタ PWM 動作例.....	15-11
表 15.3	非同期イベントカウンタの動作モード.....	15-12
表 15.4	最大クロック周波数.....	15-13
17.	シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)	
表 17.1	SCI3 のチャンネル構成.....	17-2
表 17.2	端子構成.....	17-5

表 17.3	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(1)	17-14
表 17.3	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(2)	17-14
表 17.3	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(3)	17-15
表 17.3	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(4)	17-15
表 17.4	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(1)	17-16
表 17.4	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(2)	17-16
表 17.4	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(3)	17-17
表 17.4	ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(4)	17-17
表 17.5	n とクロックの関係	17-18
表 17.6	各周波数における最大ビットレート〔調歩同期式モード〕	17-18
表 17.7	ビットレートに対する BRR の設定例〔クロック同期式モード〕(1)	17-19
表 17.7	ビットレートに対する BRR の設定例〔クロック同期式モード〕(2)	17-19
表 17.8	n とクロックの関係	17-20
表 17.9	通信フォーマット(調歩同期式モード)	17-25
表 17.10	SMR の設定値と送信/受信フォーマット	17-26
表 17.11	SMR、SCR の設定とクロックソースの選択	17-26
表 17.12	SSR のステータスフラグの状態と受信データの転送	17-31
表 17.13	IrCKS2~IrCKS0 ビットの設定	17-45
表 17.14	SCI3 の割り込み要求	17-46
表 17.15	送信/受信割り込み	17-47
18. シリアルコミュニケーションインタフェース 4 (SCI4)		
表 18.1	端子構成	18-2
表 18.2	プリスケラ分周比と転送クロック周期(内部クロックの場合)	18-7
表 18.3	SCI4 割り込み要求の内容	18-15
19. 14 ビット PWM		
表 19.1	端子構成	19-2
表 19.2	PWCR、PWDR と出力波形の関係	19-5
表 19.3	PWM の動作モード	19-6
20. A/D 変換器		
表 20.1	端子構成	20-3
表 20.2	A/D 変換器の動作モード	20-6
21. I <sup>2</sup> C バスインタフェース 2 (IIC2)		
表 21.1	端子構成	21-3
表 21.2	転送レート	21-5
表 21.3	割り込み要求一覧	21-28
表 21.4	SCL をモニタする時間	21-29
23. アドレスブレイク		
表 23.1	使用するデータバス	23-3
表 23.2	アドレスブレイクの動作モード	23-5
25. 電気的特性		
表 25.1	絶対最大定格	25-1
表 25.2	DC 特性	25-8
表 25.3	制御信号タイミング	25-14

表 25.4	シリアルインタフェースタイミング .....	25-17
表 25.5	I <sup>2</sup> C バスインタフェースタイミング .....	25-17
表 25.6	A/D 変換器特性 .....	25-18
表 25.7	パワーオンリセット回路特性 .....	25-19
表 25.8	ウォッチドッグタイマ特性 .....	25-19
表 25.9	フラッシュメモリ特性 .....	25-20
表 25.10	絶対最大定格 .....	25-22
表 25.11	DC 特性 .....	25-27
表 25.12	制御信号タイミング .....	25-33
表 25.13	シリアルインタフェースタイミング .....	25-36
表 25.14	I <sup>2</sup> C バスインタフェースタイミング .....	25-36
表 25.15	A/D 変換器特性 .....	25-37
表 25.16	パワーオンリセット回路特性 .....	25-38
表 25.17	ウォッチドッグタイマ特性 .....	25-38

## 付録

表 A.1	命令セット一覧 .....	付録-3
表 A.2	オペレーションコードマップ (1) .....	付録-16
表 A.2	オペレーションコードマップ (2) .....	付録-17
表 A.2	オペレーションコードマップ (3) .....	付録-18
表 A.3	実行状態 (サイクル) に要するステート数 .....	付録-19
表 A.4	命令の実行状態 (サイクル数) .....	付録-20
表 A.5	命令とアドレッシングモードの組み合わせ .....	付録-28

---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8/300H CPU  
H8/300 CPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：62種類
- 豊富な周辺機能  
RTC（フリーランカウンタとしても使用可能）  
非同期イベントカウンタ（AEC）  
タイマC  
タイマF  
タイマG  
16ビットタイマパルスユニット（TPU）  
14ビットPWM  
ウォッチドッグタイマ  
SCI（調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース）  
I<sup>2</sup>Cバスインタフェース（フィリップス社が提唱するI<sup>2</sup>Cバスインタフェース方式に準拠）  
10ビットA/D変換器

## 1. 概要

---

- 内蔵メモリ

製品分類		製品型名	ROM	RAM
フラッシュメモリ版 (F-ZTAT™版)	H8/38799F	HD64F38799	128K バイト	4K バイト
マスク ROM 版	H8/38799	HD64338799	128K バイト	4K バイト
	H8/38798	HD64338798	96K バイト	2k バイト

【注】 F-ZTAT™は (株) ルネサス テクノロジの商標です。

- 汎用入出力ポート

入出力ポート：75本。このうち大電流ポート4本 (I<sub>OL</sub> = 15mA @V<sub>OL</sub> = 1.0V)

入力ポート：8本

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ	備考
P-LQFP-100	PLQP0100KB-A	14 x 14mm	0.5mm	



## 1.2 内部ブロック図

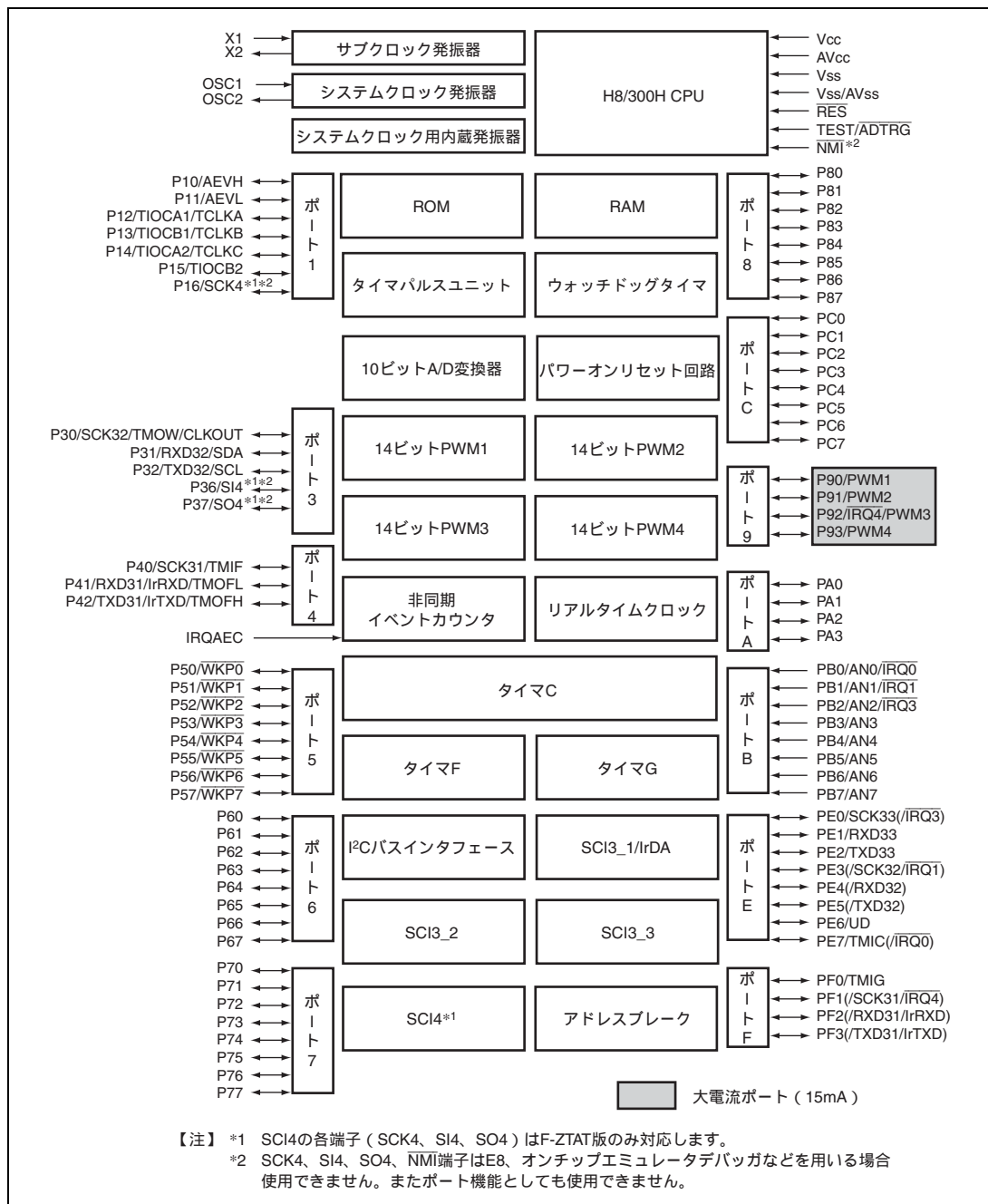


図 1.1 H8/38799 グループ内部ブロック図

# 1. 概要

## 1.3 ピン配置図

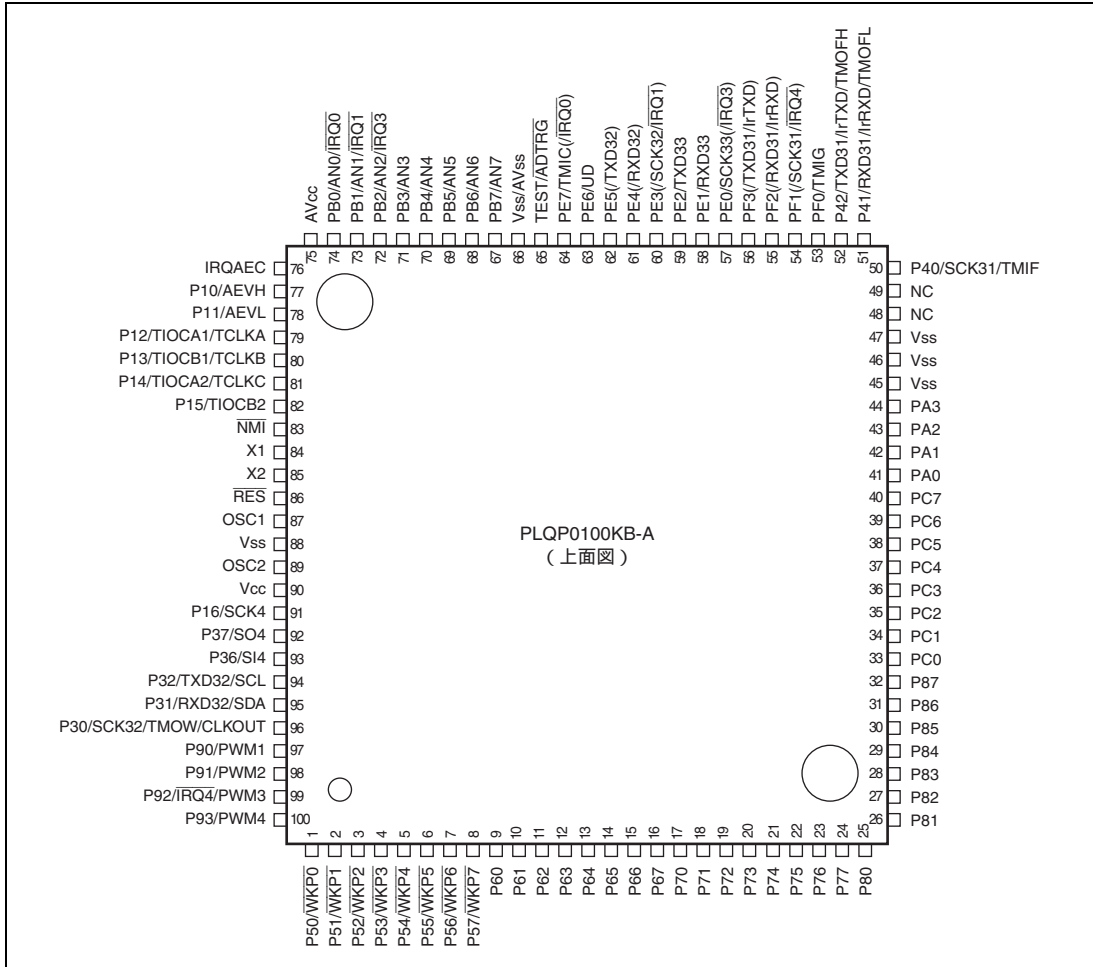


図 1.2 H8/38799 グループピン配置図 (PLQP0100KB-A)

## 1.4 端子機能

表 1.1 端子機能

分類	記号	ピン番号	入出力	機能
電源	Vcc	90	入力	電源端子です。 システムの電源に接続してください。
	Vss	88、66、45、 46、47 ( = AVss )	入力	グランド端子です。 システムの電源 (0V) に接続してください。
	AVcc	75	入力	A/D 変換器用アナログ電源端子です。 A/D 変換器を使用しない場合、システムの電源に接続してください。
	AVss	66 ( = Vss )	入力	A/D 変換器用グランド端子です。 システムの電源 (0V) に接続してください。
クロック	OSC1	87	入力	水晶発振子またはセラミック発振子を接続します。
	OSC2	89	出力	また、外部クロックを入力することもできます。接続例については「第 5 章 クロック発振器」を参照してください。
	X1	84	入力	サブクロック用 32.768kHz または 38.4kHz の水晶発振子を接続します。接続例については「第 5 章 クロック発振器」を参照してください。
	X2	85	出力	
	CLKOUT	96	出力	外部デバイスにシステムクロックを供給します。
システム制御	$\overline{\text{RES}}$	86	入力	リセット端子です。 パワーオンリセット回路を内蔵しています。外部よりこの端子を Low レベルにすると、リセット状態となります。
	TEST	65	入力	テスト端子です。 ADTRG 兼用端子となります。ADTRG 端子として使用しない場合、ユーザは使用できません。Vss 電位に接地してください。また、ADTRG 端子として使用する場合は、 「20.4.2 外部トリガタイミング」を参照してください。
割り込み	NMI	83	入力	NMI 割り込み要求 ノンマスクابل割り込み要求入力端子です。
	$\overline{\text{IRQ0}}$ ( $\overline{\text{IRQ0}}$ )	74 (64)	入力	外部割り込み要求入力端子です。 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ1}}$ ( $\overline{\text{IRQ1}}$ )	73 (60)	入力	
	$\overline{\text{IRQ3}}$ ( $\overline{\text{IRQ3}}$ )	72 (57)	入力	
	$\overline{\text{IRQ4}}$ ( $\overline{\text{IRQ4}}$ )	99 (54)	入力	

## 1. 概要

分類	記号	ピン番号	入出力	機能
割り込み	IRQAEC	76	入力	非同期イベントカウンタの割り込み入力端子です。 非同期イベント入力を有効にします。また、システムクロック用内蔵発振器の ON/OFF 制御をリセット期間中に行います。
	WKP0~ WKP7	1~8	入力	ウェイクアップ割り込み要求入力端子です。 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択できます。
16 ビットタイム バルスユニット (TPU)	TIOCA1	79	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB1	80	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA2	81	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB2	82	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TCLKA	79	入力	外部クロック入力端子です。
	TCLKB	80	入力	
	TCLKC	81	入力	
タイマ C	TMIC	64	入力	タイマ C のカウンタに入力するイベント入力端子です。
	UD	63	入力	タイマ C カウンタのアップ / ダウンカウントを選択します。 High レベル印加でダウンカウント、Low レベル印加でアップカウントとして動作します。
タイマ F	TMIF	50	入力	タイマ F のカウンタに入力するイベント入力端子です。
	TMOFL	51	出力	タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	52	出力	タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。
タイマ G	TMIG	53	入力	タイマ G のインプットキャプチャの入力端子です。
非同期イベント カウンタ (AEC)	AEVL	78	入力	非同期イベントカウンタに入力するイベント入力端子です。
	AEVH	77	入力	
RTC	TMOW	96	出力	RTC 用分周クロック出力端子です。
14 ビット PWM	PWM1	97	出力	PWM チャネル 1、2、3、4 の 14 ビット PWM により生成された波形の出力端子 です。
	PWM2	98	出力	
	PWM3	99	出力	
	PWM4	100	出力	

分類	記号	ピン番号	入出力	機能
シリアルコミュニケーションインタフェース 4 (SCI4) (F-ZTAT 版のみ)	SCK4	91	入出力	SCI4 のデータ送受信時に用いる転送クロック端子です。 本端子は E8、オンチップエミュレータデバッグなどを用いる場合、使用できません。
	SI4	93	入力	SCI4 のデータ入力端子です。 本端子は E8、オンチップエミュレータデバッグなどを用いる場合、使用できません。
	SO4	92	出力	SCI4 のデータ出力端子です。 本端子は E8、オンチップエミュレータデバッグなどを用いる場合、使用できません。
シリアルコミュニケーションインタフェース 3 (SCI3)	SCK31 (SCK31)	50 54	入出力	SCI3_1 のクロック入出力端子です。
	RXD31/IrRXD (RXD31/IrRXD)	51 55	入力	SCI3_1 のデータ入力端子です。 また、IrDA フォーマットでのデータ入力端子です。
	TXD31/IrTXD (TXD31/IrTXD)	52 56	出力	SCI3_1 のデータ出力端子です。 また、IrDA フォーマットでのデータ出力端子です。
	SCK32 (SCK32)	96 60	入出力	SCI3_2 のクロック入出力端子です。
	RXD32 (RXD32)	95 61	入力	SCI3_2 のデータ入力端子です。
	TXD32 (TXD32)	94 62	出力	SCI3_2 のデータ出力端子です。
	SCK33	57	入出力	SCI3_3 のクロック入出力端子です。
	RXD33	58	入力	SCI3_3 のデータ入力端子です。
	TXD33	59	出力	SCI3_3 のデータ出力端子です。
A/D 変換器	AN0 ~ AN7	74 - 67	入力	A/D 変換器へのアナログデータ入力端子です。
	ADTRG	65	入力	A/D 変換器の外部トリガ入力端子です。
I <sup>2</sup> C バスインタフェース 2 (IIC2)	SDA	95	入出力	IIC データ入出力端子です。
	SCL	94	入出力	IIC クロック入出力端子です。

## 1. 概要

分類	記号	ピン番号	入出力	機能
I/O ポート	P10 ~ P16	77 ~ 82, 91	入出力	7ビットの入出力端子です。 ポートコントロールレジスタ 1 (PCR1) によって、 1ビットごとに入出力を指定できます。
	P30 ~ P32、 P36、P37	96 ~ 92	入出力	5ビットの入出力端子です。 ポートコントロールレジスタ 3 (PCR3) によって、 1ビットごとに入出力を指定できます。
	P40 ~ P42	50 ~ 52	入出力	3ビットの入出力端子です。 ポートコントロールレジスタ 4 (PCR4) によって、 1ビットごとに入出力を指定できます。
	P50 ~ P57	1 ~ 8	入出力	8ビットの入出力端子です。 ポートコントロールレジスタ 5 (PCR5) によって、 1ビットごとに入出力を指定できます。
	P60 ~ P67	9 ~ 16	入出力	8ビットの入出力端子です。 ポートコントロールレジスタ 6 (PCR6) によって、 1ビットごとに入出力を指定できます。
	P70 ~ P77	17 ~ 24	入出力	8ビットの入出力端子です。 ポートコントロールレジスタ 7 (PCR7) によって、 1ビットごとに入出力を指定できます。
	P80 ~ P87	25 ~ 32	入出力	8ビットの入出力端子です。 ポートコントロールレジスタ 8 (PCR8) によって、 1ビットごとに入出力を指定できます。
	P90 ~ P93	97 ~ 100	入出力	4ビットの入出力端子です。 ポートコントロールレジスタ 9 (PCR9) によって、 1ビットごとに入出力を指定できます。
	PA0 ~ PA3	41 ~ 44	入出力	4ビットの入出力端子です。 ポートコントロールレジスタ A (PCRA) によって、 1ビットごとに入出力を指定できます。
	PB0 ~ PB7	74 ~ 67	入力	8ビットの入力専用端子です。
	PC0 ~ PC7	33 ~ 40	入出力	8ビットの入出力端子です。 ポートコントロールレジスタ C (PCRC) によって、 1ビットごとに入出力を指定できます。
	PE0 ~ PE7	57 ~ 64	入出力	8ビットの入出力端子です。 ポートコントロールレジスタ E (PCRE) によって、 1ビットごとに入出力を指定できます。
	PF0 ~ PF3	53 ~ 56	入出力	4ビットの入出力端子です。 ポートコントロールレジスタ F (PCRF) によって、 1ビットごとに入出力を指定できます。

---

## 2. CPU

---

H8/38799 グループのCPUはH8/300 CPUの上位互換のアーキテクチャを持つ内部32ビット構成のH8/300H CPUで、16Mバイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

- H8/300 CPU上位互換
  - H8/300シリーズのオブジェクトプログラムを実行可能
  - 16ビット×8本の拡張レジスタを追加
  - 32ビット転送、演算命令を追加
  - 符号付き乗除算命令などを追加
- 汎用レジスタ：16ビット×16本
  - 8ビット×16本+16ビット×8本、32ビット×8本としても使用可能
- 基本命令：62種類
  - 8 / 16 / 32ビット転送、演算命令
  - 乗除算命令
  - 強力なビット操作命令
- アドレッシングモード：8種類
  - レジスタ直接 (Rn)
  - レジスタ間接 (@Ern)
  - ディスプレイースメント付きレジスタ間接 (@ (d:16, Ern)、@ (d:24, Ern))
  - ポストインクリメント/プリデクリメントレジスタ間接 (@Ern+ / @-Ern)
  - 絶対アドレス (@aa:8、@aa:16、@aa:24)
  - イミディエイト (#xx:8、#xx:16、#xx:32)
  - プログラムカウンタ相対 (@ (d:8, PC)、@ (d:16, PC))
  - メモリ間接 (@@aa:8)
- 16Mバイトのリニアアドレス空間

## 2. CPU

---

- 高速動作

頻出命令をすべて2~4ステートで実行

8 / 16 / 32ビットレジスタ間加減算 : 2ステート

8×8ビットレジスタ間乗算 : 14ステート

16÷8ビットレジスタ間除算 : 14ステート

16×16ビットレジスタ間乗算 : 22ステート

32÷16ビットレジスタ間除算 : 22ステート

- CPU動作モード：2種類

ノーマルモード / アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力動作

SLEEP命令により低消費電力状態に遷移



## 2.1 アドレス空間とメモリマップ

H8/38799 グループのアドレス空間はプログラム領域とデータ領域合わせて 16M バイトです。メモリマップを図 2.1 に示します。

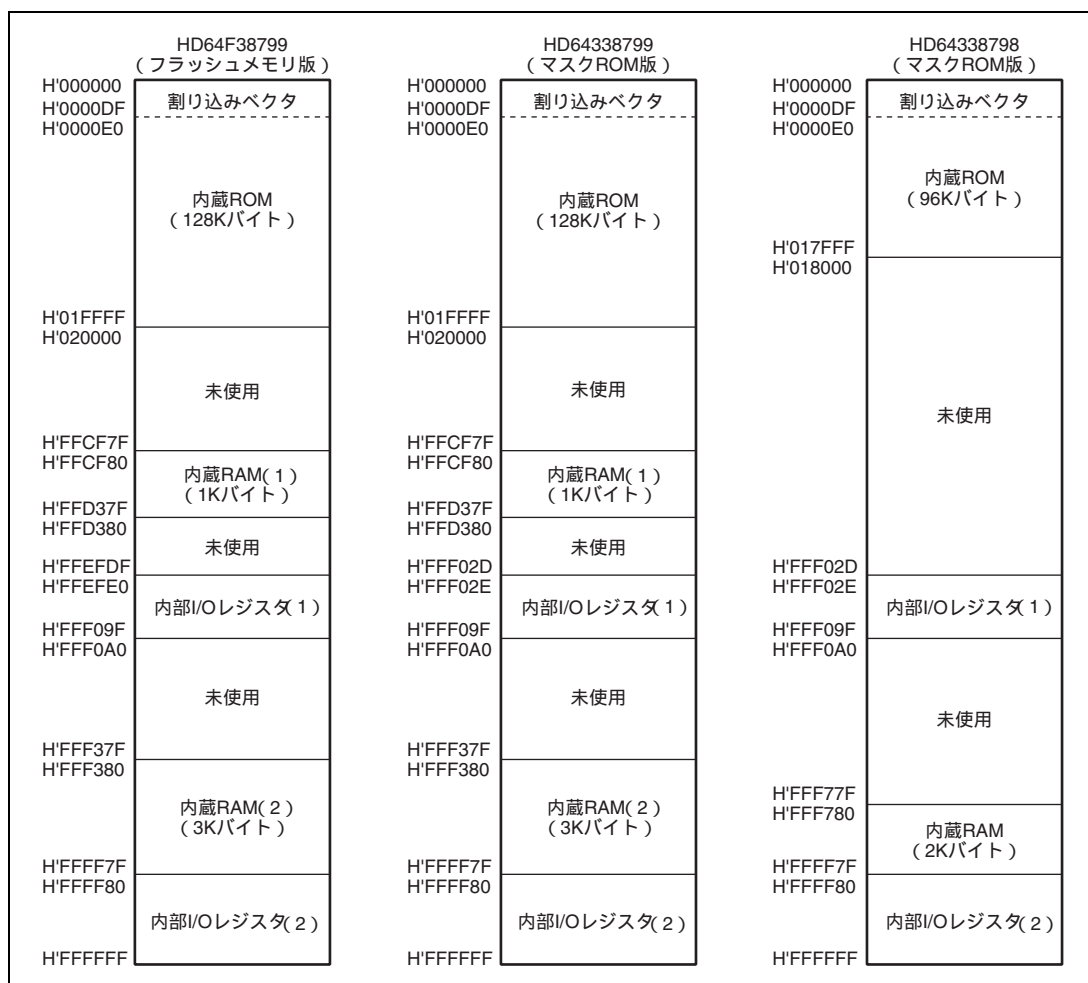


図 2.1 メモリマップ

## 2.2 レジスタ構成

H8/300H CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類されます。コントロールレジスタには 24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

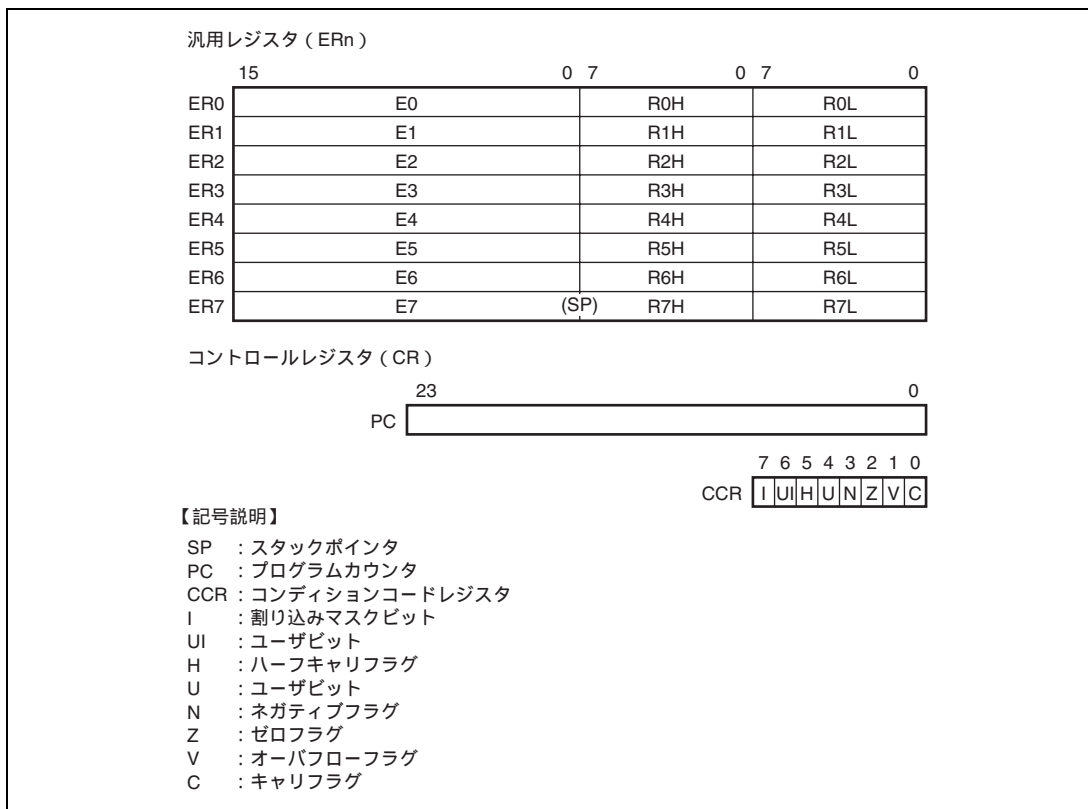


図 2.2 CPU 内部レジスタ構成

### 2.2.1 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタはすべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.3 に示します。

アドレスレジスタおよび 32 ビットデータレジスタとして使用する場合は、一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットデータレジスタとして使用する場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8ビットデータレジスタとして使用する場合、汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本使用することができます。各レジスタは使用方法を独立に指定することができます。

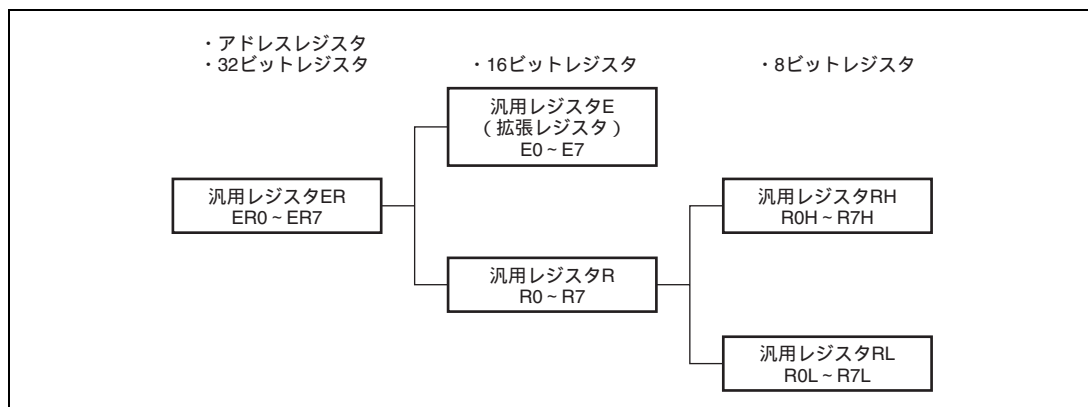


図 2.3 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタの機能に加えてスタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。スタックポインタとスタック領域の関係を図 2.4 に示します。

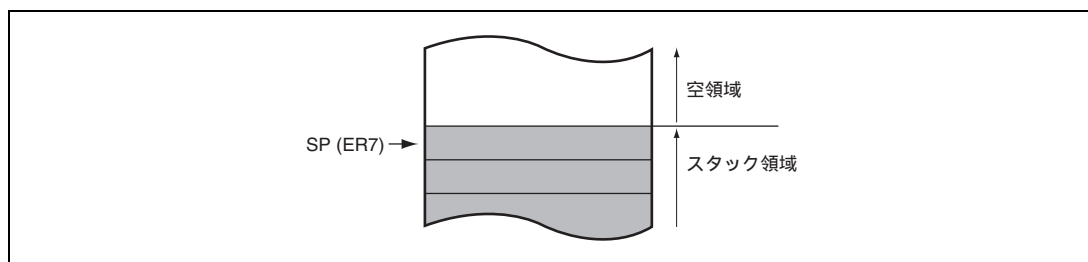


図 2.4 スタックポインタとスタック領域の関係

## 2.2.2 プログラムカウンタ (PC)

PC は 24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令はすべて偶数番地から始まる 2 バイト (ワード) を単位としているため、PC の最下位ビットは命令コードを読み出すときは 0 とみなされます。PC はリセット例外処理の過程で生成されるベクタアドレスによってスタートアドレスをロードすることにより初期化されます。

## 2. CPU

### 2.2.3 コンディションコードレジスタ (CCR)

CCR は CPU の内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。I ビットはリセット例外処理によって 1 に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込み要求がマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。I ビットは例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行によりオーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のボロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

## 2.3 データ形式

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0、1、2、……、7$ ) という形式でアクセスされます。10 進補正命令 DAA、DAS ではバイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.3.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.5 に示します。

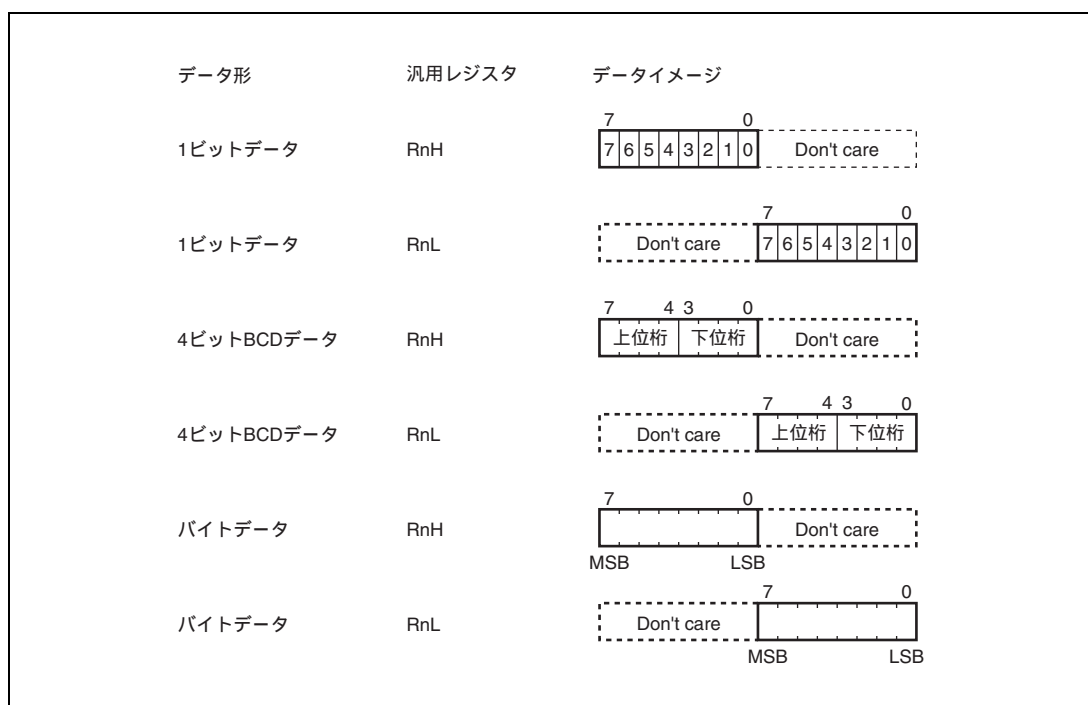


図 2.5 汎用レジスタのデータ形式 (1)

## 2. CPU

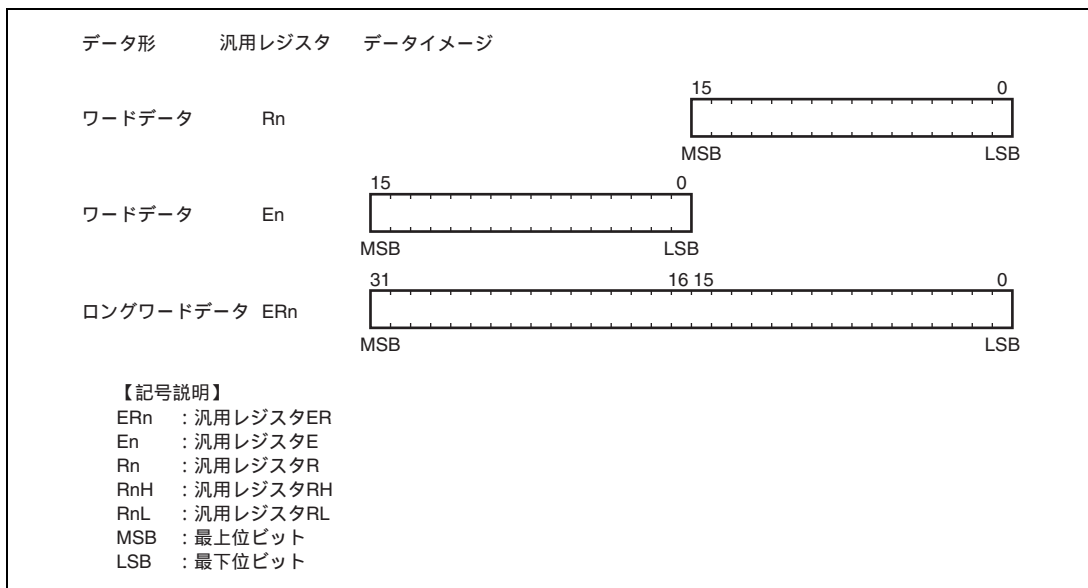


図 2.5 汎用レジスタのデータ形式 (2)

### 2.3.2 メモリ上のデータ形式

メモリ上のデータ形式を図 2.6 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

ER7 (SP) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

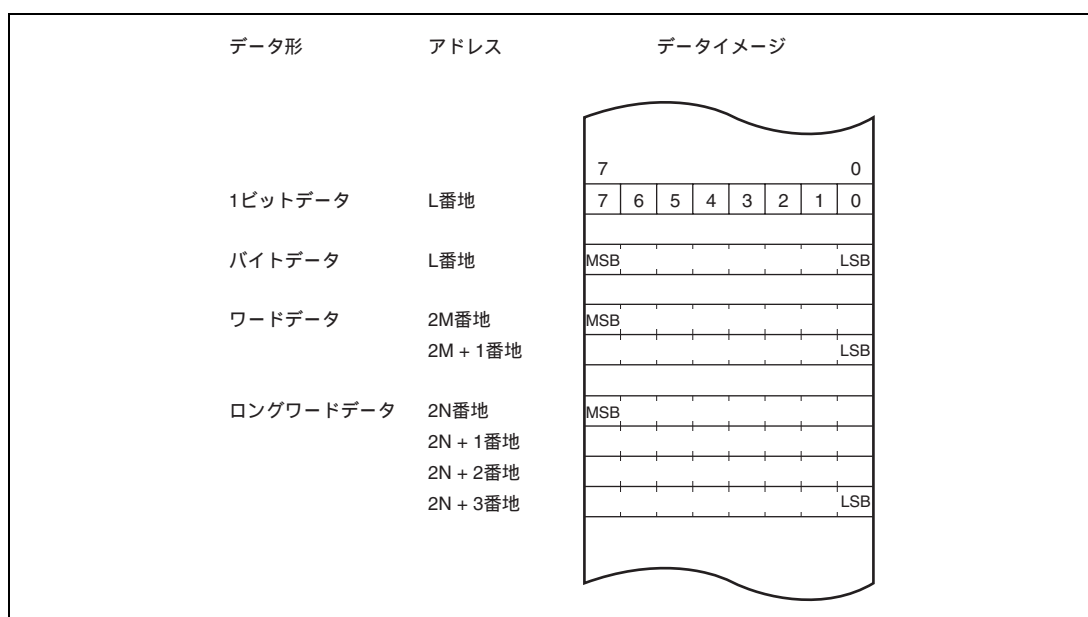


図 2.6 メモリ上でのデータ形式

## 2.4 命令セット

### 2.4.1 命令の機能別一覧

H8/300H CPU の命令は合計 62 種類あります。各命令の機能別一覧を表 2.2～表 2.9 に示します。各表で使用しているオペレーションの記号の意味は表 2.1 のとおりです。

表 2.1 オペレーションの記号

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ / アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 \* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ / アドレスレジスタ (ER0～ER7) です。



表 2.2 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) Rd 本 LSI では使用できません。
MOVTPPE	B	Rs (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。POP.W Rn は MOV.W @SP+, Rn と、また POP.L Ern は MOV.L @SP+, Ern と同一です。
PUSH	W/L	Rn @ - SP 汎用レジスタの内容をスタックに退避します。PUSH.W Rn は MOV.W Rn, @ - SP と、また PUSH.L Ern は MOV.L Ern, @ - SP と同一です。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.3 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd, $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd, $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd, $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd, $Rd \pm 2$ Rd, $Rd \pm 4$ Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。

## 2. CPU

命 令	サイズ*	機 能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8ビット×8ビット 16ビット、16ビット×16ビット 32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット 商 8ビット 余り 8ビット、32ビット÷16ビット 商 16ビット 余り 16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16ビット÷8ビット 商 8ビット 余り 8ビット、32ビット÷16ビット 商 16ビット 余り 16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs, Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	$Rd \text{ (ゼロ拡張)} \rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	$Rd \text{ (符号拡張)} \rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

## 2. CPU

表 2.6 ビット操作命令

命 令	サイズ*	機 能
BSET	B	1 ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。 ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ ( <ビット番号> of <EAd> ) ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ ( <ビット番号> of <EAd> ) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C ( <ビット番号> of <EAd> ) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [ ~ ( <ビット番号> of <EAd> ) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C ( <ビット番号> of <EAd> ) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [ ~ ( <ビット番号> of <EAd> ) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ ( <ビット番号> of <EAd> ) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [ ~ ( <ビット番号> of <EAd> ) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

命 令	サイズ*	機 能
BLD	B	( <ビット番号> of <EAd> ) C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ ( <ビット番号> of <EAd> ) C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C ~ ( <ビット番号> of <EAd> ) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

表 2.7 分岐命令

命令	サイズ	機能																																																			
Bcc*	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always ( True )</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never ( False )</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear ( High or Same )</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set ( LOw )</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>EQual</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N<math>\oplus</math>V = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N<math>\oplus</math>V = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z ( N<math>\oplus</math>V ) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z ( N<math>\oplus</math>V ) = 1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always ( True )	Always	BRN (BF)	Never ( False )	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear ( High or Same )	C = 0	BCS (BLO)	Carry Set ( LOw )	C = 1	BNE	Not Equal	Z = 0	BEQ	EQual	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N $\oplus$ V = 0	BLT	Less Than	N $\oplus$ V = 1	BGT	Greater Than	Z ( N $\oplus$ V ) = 0	BLE	Less or Equal	Z ( N $\oplus$ V ) = 1
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always ( True )	Always																																																			
BRN (BF)	Never ( False )	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear ( High or Same )	C = 0																																																			
BCS (BLO)	Carry Set ( LOw )	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	EQual	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N $\oplus$ V = 0																																																			
BLT	Less Than	N $\oplus$ V = 1																																																			
BGT	Greater Than	Z ( N $\oplus$ V ) = 0																																																			
BLE	Less or Equal	Z ( N $\oplus$ V ) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

【注】 \* Bcc 命令は条件分岐命令の総称です。

表 2.8 システム制御命令

命 令	サイズ*	機 能
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR ソースオペランドをCCRに転送します。CCRはバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR (EAd) CCRの内容をデスティネーションのロケーションに転送します。CCRはバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM CCR CCRとイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCRとイミディエイトデータの論理和をとります。
XORC	B	CCR@#IMM CCR CCRとイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PCのインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

W: ワード

表 2.9 ブロック転送命令

命 令	サイズ	機 能
EPEMOV.B	-	if R4L 0 then Repeat @ER5+ @ER6+, R4L - 1 R4L Until R4L = 0 else next;
EPEMOV.W	-	if R4 0 then Repeat @ER5+ @ER6+, R4 - 1 R4 Until R4 = 0 else next; ブロック転送命令です。ER5で示されるアドレスから始まり、R4LまたはR4で指定されるバイト数のデータを、ER6で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

## 2.4.2 命令の基本フォーマット

H8/300H CPU の命令は 2 バイト (ワード) を単位としています。各命令はオペレーションフィールド (OP)、レジスタフィールド (r)、EA 拡張部 (EA) およびコンディションフィールド (cc) から構成されています。図 2.7 に命令フォーマットの例を示します。

### (1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

### (2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合やレジスタフィールドを持たない場合もあります。

### (3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレイースメントは上位8ビットをすべて0 (H'00) とした32ビットデータとして扱われます。

### (4) コンディションフィールド

条件分岐命令の分岐条件を指定します。

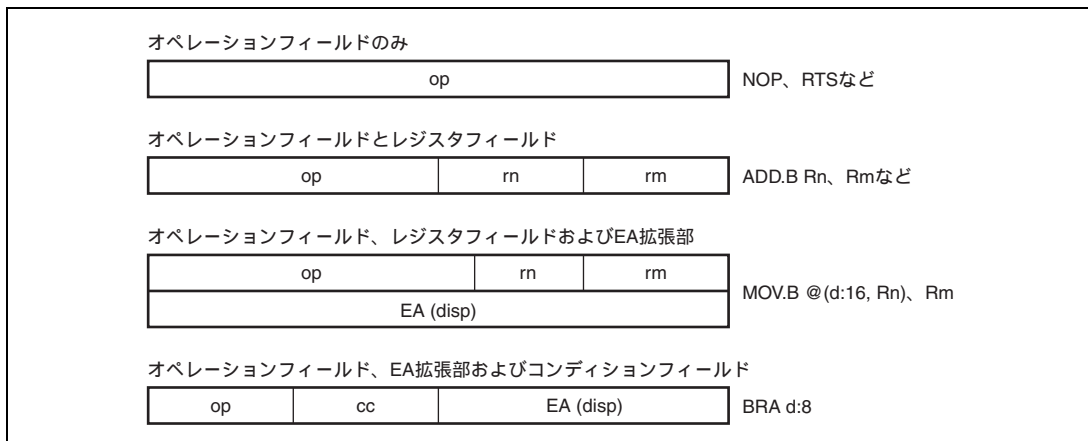


図 2.7 命令フォーマット



## 2.5 アドレッシングモードと実効アドレス

### 2.5.1 アドレッシングモード

H8/300H CPU は、表 2.10 の 8 種類のアドレッシングモードをサポートしています。命令ごとに使用できるアドレッシングモードが異なります。詳細は「付録 A.4 命令とアドレッシングモードの組み合わせ」を参照してください。

演算命令ではレジスタ直接、およびイミディエイトを使用できます。転送命令ではプログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードを使用できます。ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) を使用できます。さらに、オペランド中のビット番号の指定にレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) を使用できます。

表 2.10 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ ( d:16, ERn ) / @ ( d:24, ERn )
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn + @ - ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@ ( d:8, PC ) / @ ( d:16, PC )
8	メモリ間接	@@aa:8

#### (1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

#### (2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

## 2. CPU

### (3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されま

### (4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @ - ERn

#### • ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ、ロングワードサイズのときはレジスタの内容が偶数となるようにしてください。

#### • プリデクリメントレジスタ間接 @ - ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのときはアドレスレジスタの内容が偶数となるようにしてください。

### (5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスでメモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、または 24 ビット (@aa:24) です。

8 ビット絶対アドレスの場合、上位 16 ビットはすべて 1 (H'FFFF) となります。

16 ビット絶対アドレスの場合、上位 8 ビットは符号拡張されます。

24 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

絶対アドレスのアクセス範囲を表 2.11 に示します。

表 2.11 絶対アドレスのアクセス範囲

絶対アドレス	アクセス範囲
8 ビット (@aa:8)	H'FFFF00 ~ H'FFFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'000000 ~ H'007FFF, HFF8000 ~ H'FFFFFF (0 ~ 32767, 16744448 ~ 16777215)
24 ビット (@aa:24)	H'000000 ~ H'FFFFFF (0 ~ 16777215)

## (6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令ではイミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コードに含まれる場合があります。

## (7) プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

条件分岐命令、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに命令コードに含まれる 8 ビット、または 16 ビットディスプレイメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

## (8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはワードサイズで指定し、16 ビット長の分岐アドレスを生成します。図 2.8 にメモリ間接による分岐アドレスの指定方法を示します。

絶対アドレスの上位ビットはすべて 0 となります。このため分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、このうちの先頭領域は例外処理ベクタ領域と共通になっているので注意してください。

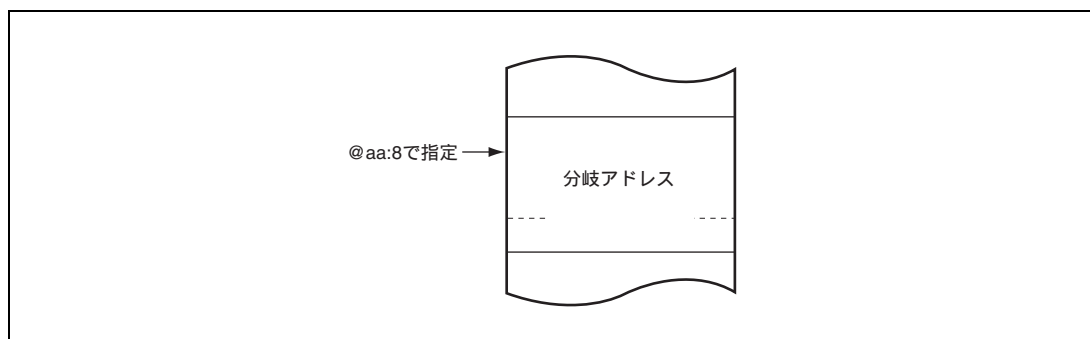


図 2.8 メモリ間接による分岐アドレスの指定

## 2.5.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.12 に示します。

表 2.12 実効アドレスの計算方法（1）

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
(1)	レジスタ直接（Rn） 		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接（@ERn） 		
(3)	ディスペースメント付きレジスタ間接 @（d：16，ERn） / @（d：24，ERn） 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメント レジスタ間接 @ERn +  ・プリデクリメント レジスタ間接 @ - ERn 		
(5)	絶対アドレス @ aa：8  @ aa：16  @ aa：24 		

オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。

表 2.12 実効アドレスの計算方法 (2)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32  <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> <span style="border-right: 1px solid black; padding: 0 10px;">op</span> <span style="padding: 0 10px;">IMM</span> </div>		オペランドは、イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d : 8, PC) / @(d : 16, PC)  <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> <span style="border-right: 1px solid black; padding: 0 10px;">op</span> <span style="padding: 0 10px;">disp</span> </div>		
(8)	メモリ間接 @@ aa : 8  <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> <span style="border-right: 1px solid black; padding: 0 10px;">op</span> <span style="padding: 0 10px;">abs</span> </div>		

## 【記号説明】

r, rm, rn : レジスタフィールド  
op : オペレーションフィールド  
disp : ディスプレースメント  
IMM : イミディエイトデータ  
abs : 絶対アドレス

## 2.6 基本バスサイクル

CPU は、システムクロック ( ) またはサブクロック (  $\text{SUB}$  ) を基準に動作します。 または  $\text{SUB}$  の立ち上がりから次の立ち上がりまでを 1 ステートと呼びます。バスサイクルは 2 ステートまたは 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

### 2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは 2 ステートで行われます。データバス幅は 16 ビットで、バイトおよびワードアクセスが可能です。内蔵メモリアクセスサイクルを図 2.9 に示します。

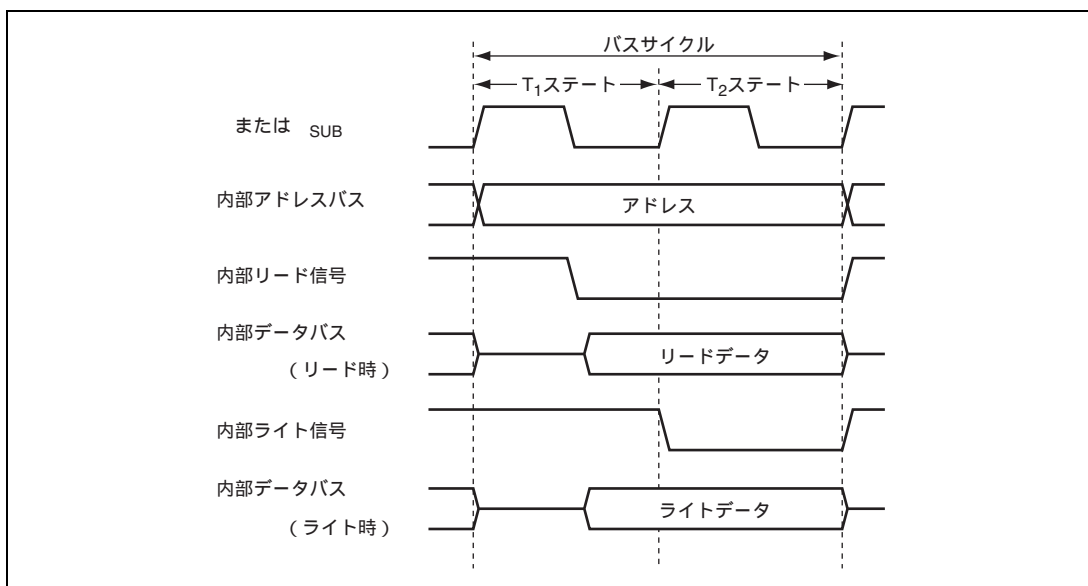


図 2.9 内蔵メモリアクセスサイクル

## 2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。データバス幅は8 ビットまたは16 ビットで、レジスタにより異なります。各レジスタのデータバス幅とアクセスステート数は「24.1 レジスタアドレス一覧（アドレス順）」を参照してください。データバス幅が16 ビットのレジスタはワードアクセスのみ可能です。データバス幅が8 ビットのレジスタはバイトおよびワードアクセスが可能です。データバス幅が8 ビットのレジスタをワードアクセスするとバスサイクルが2回発生します。2 ステートアクセスの場合の動作タイミングは内蔵メモリと同一です。3 ステートアクセスの場合の動作タイミングを図 2.10 に示します。

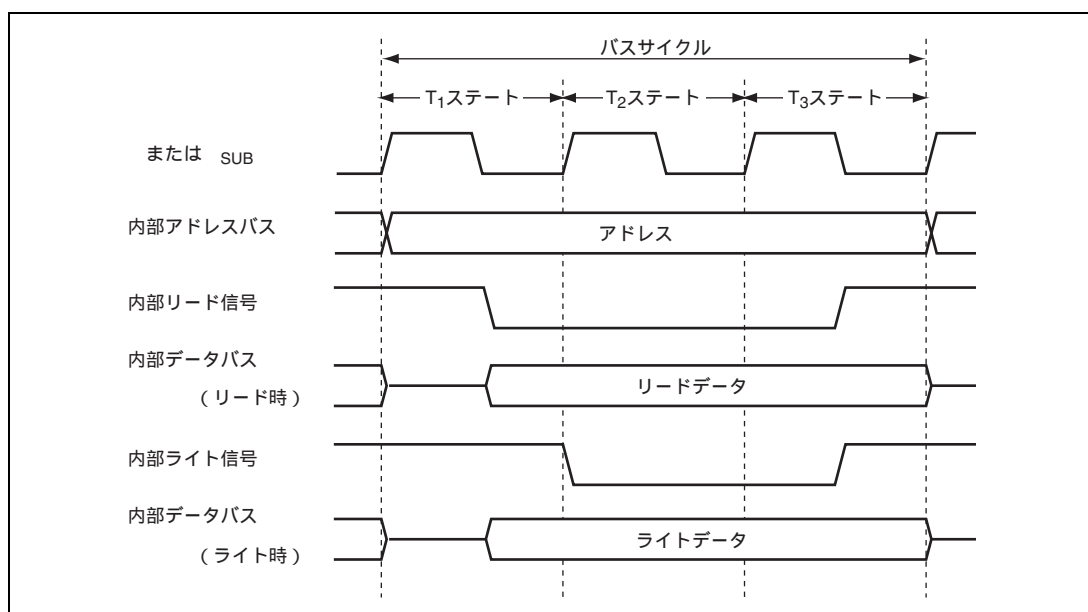


図 2.10 内蔵周辺モジュールアクセスサイクル（3 ステートアクセスの場合）

## 2.7 CPUの状態

CPUの状態は、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類あります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモード、サブスリープモードがあります。各状態の分類を図 2.11 に、各状態間の遷移条件を図 2.12 に示します。プログラム実行状態およびプログラム停止状態の詳細は「第 6 章 低消費電力モード」を参照してください。例外処理の詳細は「第 3 章 例外処理」を参照してください。

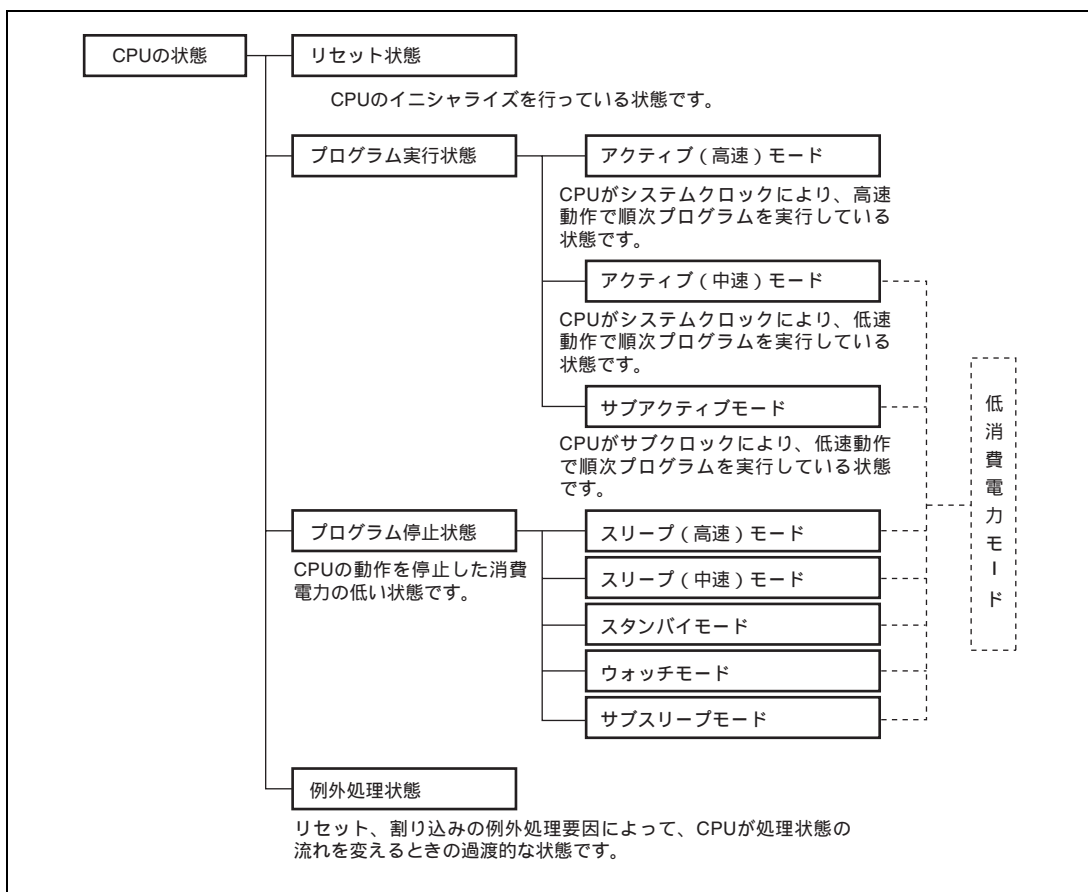


図 2.11 CPUの状態の分類



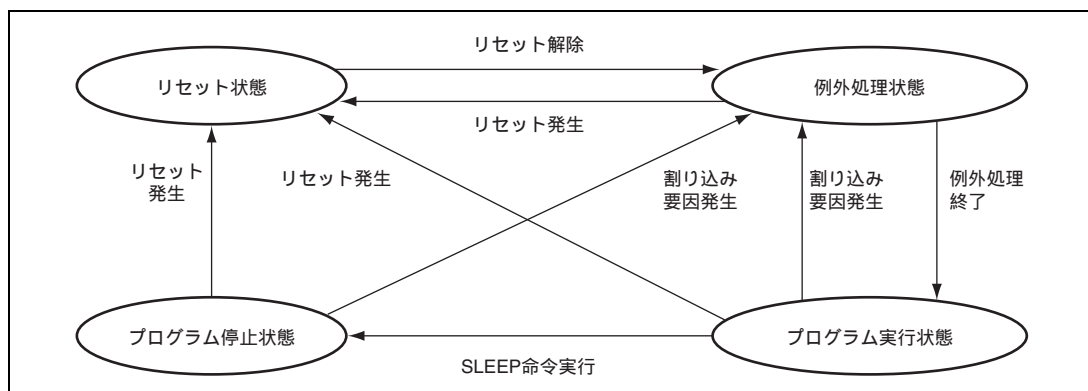


図 2.12 状態遷移図

## 2.8 使用上の注意事項

### 2.8.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

### 2.8.2 EEPMOV 命令

EEPMOV 命令はブロック転送命令で、ER5 で示されるアドレスから始まる R4 または R4L で示されるバイト数のデータを、ER6 で示されるアドレスへ転送します。転送先の最終アドレス (ER6 + R4 または ER6 + R4L の値) が H'00FFFFFF を超えないように (実行途中で ER6 の値が H'00FFFFFF H'01000000 にならないように)、R4 または R4L、ER6 を設定してください。

### 2.8.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる1ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、同一アドレスに2つのレジスタが割付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

#### (1) 同一アドレスに割付けられた2つのレジスタのビット操作

##### 例1：タイマロードレジスタとタイマカウンタへのビット操作

図 2.13 に同一アドレスに割付けられた2つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

1. タイマカウンタのデータをバイト単位でリードします。
2. CPUはビット操作命令で対象となる1ビットをセットまたはリセットします。
3. ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き変わって、タイマロードレジスタへライトされます。

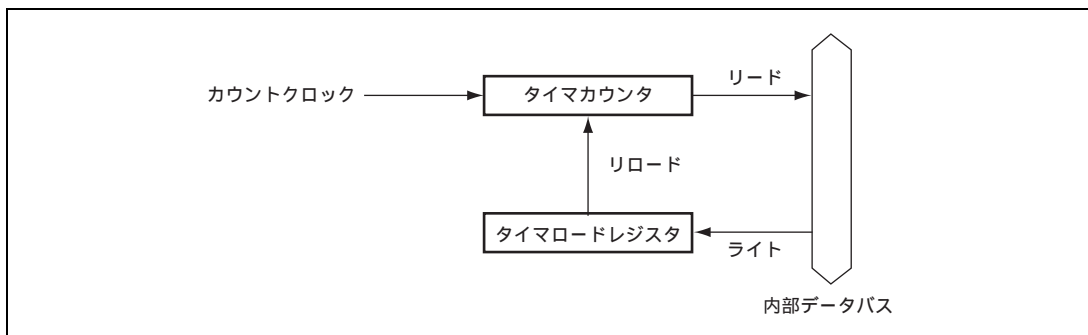


図 2.13 同一アドレスに割付けられた2つのレジスタを持つタイマの構成例

## 例2：ポート5にBSET命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BSET 命令で P50 に High レベル出力を行う例を示します。

## 【BSET命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

## 【BSET命令実行】

BSET	#0,	@PDR5:8
------	-----	---------

ポート 5 に対して BSET 命令を実行します。

## 【BSET命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

## 【動作説明】

1. BSET命令を実行すると、CPUはポート5をリードします。P57、P56は入力端子で、CPUは端子の状態（Lowレベル、Highレベル入力）をリードします。P55～P50は出力端子で、CPUはPDR5の値をリードします。したがって、例ではPDR5はH'80ですが、CPUがリードしたデータはH'40となります。
2. CPUはリードしたデータのビット0を1にセットして、データをH'41に変更します。
3. H'41をPDR5に書込んで、BSET命令を終了します。

その結果、PDR5のビット0が1になり、P50はHighレベル出力になります。しかし、PDR5のビット7、6が変化してしまいます。そのため、PDR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR5にライトしてください。

## 2. CPU

### 【BSET命令実行前】

MOV.B	#H'80,	R0L
MOV.B	R0L,	@RAM0
MOV.B	R0L,	@PDR5

PDR5 に書込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

### 【BSET命令実行】

BSET	#0 ,	@RAM0:8
------	------	---------

PDR5 のワークエリア (RAM0) に対して BSET 命令を実行します。

### 【BSET命令実行後】

MOV.B	@RAM0, R0L
MOV.B	R0L, @PDR5

ワークエリア (RAM0) の値を PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

## (2) ライト専用ビットを含むレジスタのビット操作

例3：ポート5のPCR5にBCLR命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55 ~ P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BCLR 命令で P50 を入力端子に設定する例を示します。入力端子に設定された P50 は High レベル入力状態とします。

## 【BCLR命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

## 【BCLR命令実行】

BCLR	#0	,	@PCR5:8
------	----	---	---------

PCR5 に対して BCLR 命令を実行します。

## 【BCLR命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

## 【動作説明】

1. BCLR命令を実行すると、CPUはPCR5をリードします。PCR5はライト専用レジスタで、CPUはH'FFをリードします。したがって、例ではPCR5はH'3Fですが、CPUがリードしたデータはH'FFとなります。
2. CPUはリードしたデータのビット0を0にクリアして、データをH'FEに変更します。
3. H'FEをPCR5に書込んで、BCLR命令を終了します。

その結果、PCR5のビット0が0になり、P50は入力端子になります。しかし、PCR5のビット7、6が1になり、P57、P56は出力端子に変化してしまいます。そのため、PCR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPCR5にライトしてください。

## 2. CPU

### 【BCLR命令実行前】

```
MOV.B #H'3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR5
```

PCR5 に書込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

### 【BCLR命令実行】

```
BCLR #0, @RAM0:8
```

PCR5 のワークエリア (RAM0) に対して BCLR 命令を実行します。

### 【BCLR命令実行後】

```
MOV.B @RAM0,R0L
MOV.B R0L, @PCR5
```

ワークエリア (RAM0) の値を PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

---

## 3. 例外処理

---

例外処理にはリセットと割り込みによるものがあります。

- リセット

リセットは最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子によってリセットが解除されると例外処理を開始します。ウォッチドッグタイマのオーバーフローによってもリセットされ、例外処理を開始します。例外処理は $\overline{\text{RES}}$ 端子による例外処理と同一です。

- 割り込み例外処理

NMIを除く外部割り込み要求とアドレスブレークを除く内部割り込み要求はCCRのIビットによりマスクされ、Iビットが1の間保留されます。割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

### 3. 例外処理

#### 3.1 例外処理要因とベクタアドレス

各例外処理要因のベクタアドレスと優先度は表 3.1 のとおりです。複数の割り込み要求が発生したときは優先度の高い方から処理されます。

表 3.1 例外処理要因とベクタアドレス

割り込み要因発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先順位	
リセット端子/ウォッチドッグタイマ	リセット	0	H'000000 ~ H'000003	高	
-	システム予約	1、2	H'000004 ~ H'00000B	↑ 優先順位 ↓	
外部割り込み	NMI	3	H'00000C ~ H'00000F		
-	システム予約	4	H'000010 ~ H'000013		
アドレスブレイク	ブレイク条件成立	5	H'000014 ~ H'000017		
外部割り込み	IRQ0	6	H'000018 ~ H'00001B		
	IRQ1	7	H'00001C ~ H'00001F		
	IRQAEC	8	H'000020 ~ H'000023		
	IRQ3	9	H'000024 ~ H'000027		
	IRQ4	10	H'000028 ~ H'00002B		
	WKP0	11	H'00002C ~ H'00002F		
	WKP1	12	H'000030 ~ H'000033		
	WKP2	13	H'000034 ~ H'000037		
	WKP3	14	H'000038 ~ H'00003B		
	WKP4	15	H'00003C ~ H'00003F		
	WKP5	16	H'000040 ~ H'000043		
WKP6	17	H'000044 ~ H'000047			
WKP7	18	H'000048 ~ H'00004B			
内部割り込み*	-	19 ~ 55	H'00004C ~ H'0000DF		低

【注】 \* 内部割り込みのベクタテーブルは「4.5 割り込み例外処理ベクタテーブル」を参照してください。



## 3.2 リセット

リセットは、最も優先順位の高い例外処理です。

リセットを開始させる要因には、3種類あります。各要因について表 3.2 に示します。

表 3.2 リセット要因

要因発生元	説明
RES 端子	Low レベル入力
パワーオンリセット回路	V <sub>CC</sub> の立ち上がり 詳細は「第 22 章 パワーオンリセット回路」を参照
ウォッチドッグタイマ	カウンタオーバーフロー 詳細は「第 16 章 ウォッチドッグタイマ」を参照

### 3.2.1 リセット例外処理

リセット要因が発生すると実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

リセットによって、CPU 内部状態と内蔵周辺モジュールの各レジスタが初期化されます。RES 端子により本 LSI を確実にリセットするために、RES 端子を以下の動作としてください。

- 電源投入時、もしくはシステムクロック発振器が停止している状態  
システムクロック発振器の発振が安定するまで、RES 端子を Low レベルに保持してください。
- システムクロック発振器が動作している状態  
RES 端子を電氣的特性で定めている  $t_{REL}$  ステートの間、Low レベルにしてください。

リセット要因が発生したのち、リセット例外処理が開始され、本 LSI は次のように動作します。

- CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
- リセット例外処理ベクタアドレス (H'00000000 ~ H'00000003) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセット端子によるリセット例外処理シーケンスを図 3.1 に示します。

### 3. 例外処理

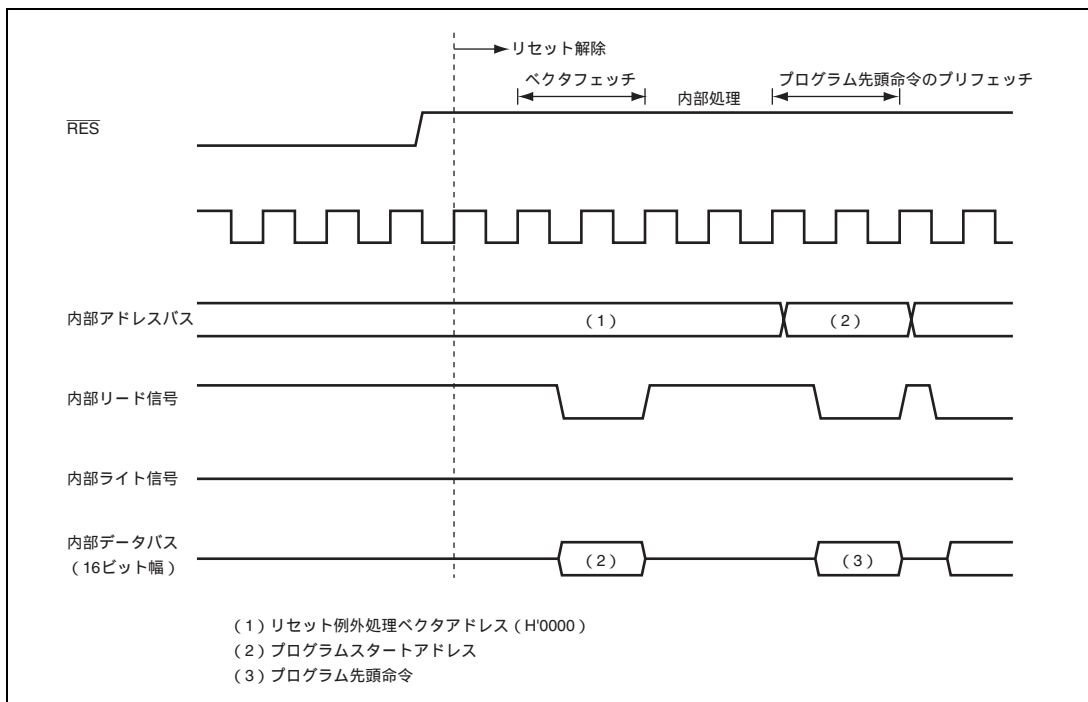


図 3.1 リセット例外処理シーケンス

#### 3.2.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) をイニシャライズする前に割り込みを受け付けると、PC と CCR の回避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP をイニシャライズする命令としてください (例: MOV.L #xx : 32, SP)。

### 3.3 割り込み

割り込み例外処理を開始させる要因には、14種類の外部割り込み(NMI、IRQ0、IRQ1、IRQ3、IRQ4、IRQAEC、WKP7～WKP0)と、内蔵周辺モジュールからの要求によるフラッシュメモリ版28種類、マスクROM版27種類の内部要因があります。割り込み要因と要因数を図3.2に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ(WDT)、アドレスブレイク、リアルタイムクロック(RTC)、16ビットタイマパルスユニット(TPU)、非同期イベントカウンタ(AEC)、タイマC、F、G、シリアルコミュニケーションインタフェース(SCI)、IICバス、およびA/D変換器があります。割り込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割り込みで、常に受け付けられます。割り込みは、割り込みコントローラによって制御されます。割り込みコントローラは、NMI以外の割り込みに3レベルのマスクレベルを設定して、多重割り込みの制御を行うことができます。割り込みのマスクレベルは、割り込みコントローラのインタラプトプライオリティレジスタA～F(IPRA～IPRF)で設定します。

割り込みについての詳細は「第4章 割り込みコントローラ」を参照してください。

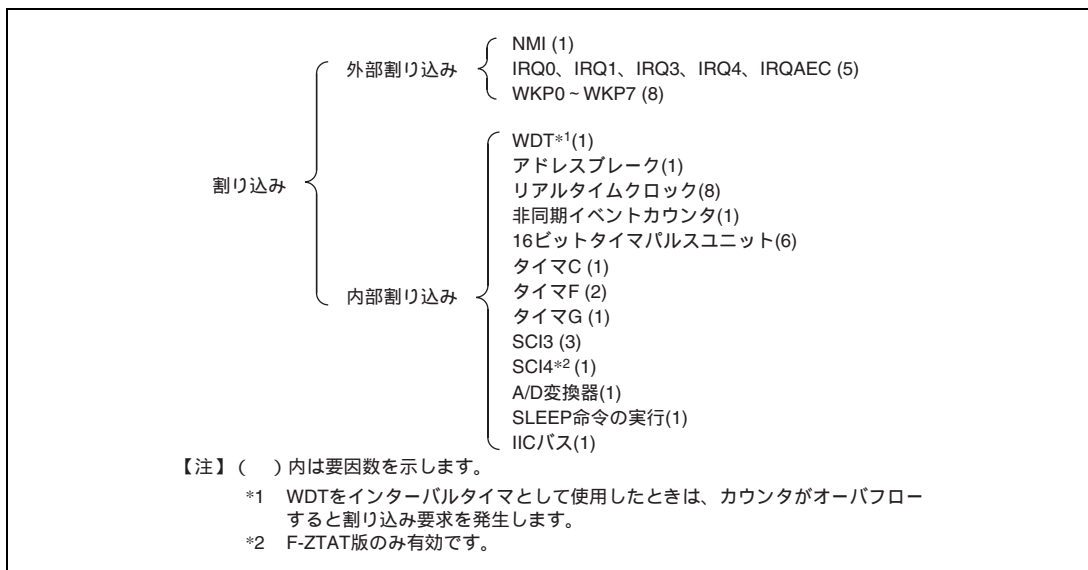


図 3.2 割り込み要因と要因数

### 3. 例外処理

#### 3.4 例外処理後のスタック状態

割り込み例外処理後のスタックの状態を図 3.3 に示します。

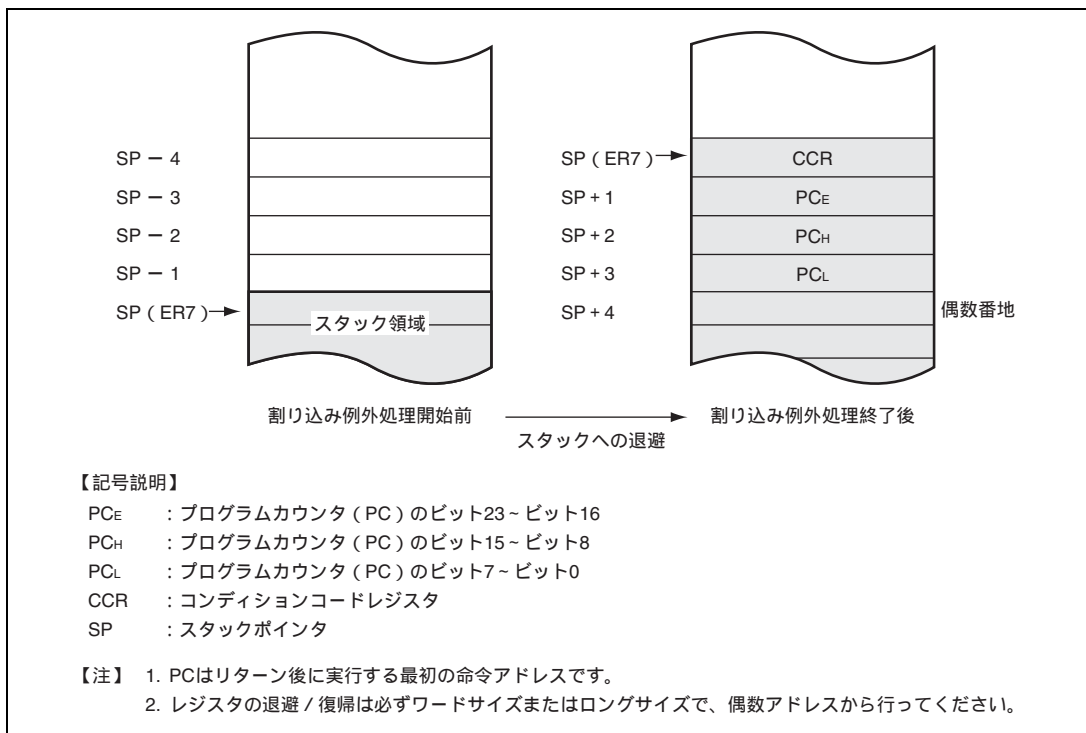


図 3.3 割り込み例外処理終了後のスタック状態

## 3.5 使用上の注意事項

### 3.5.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @ - SP)

PUSH.L ERn (MOV.L ERn, @ - SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 3.4 に示します。

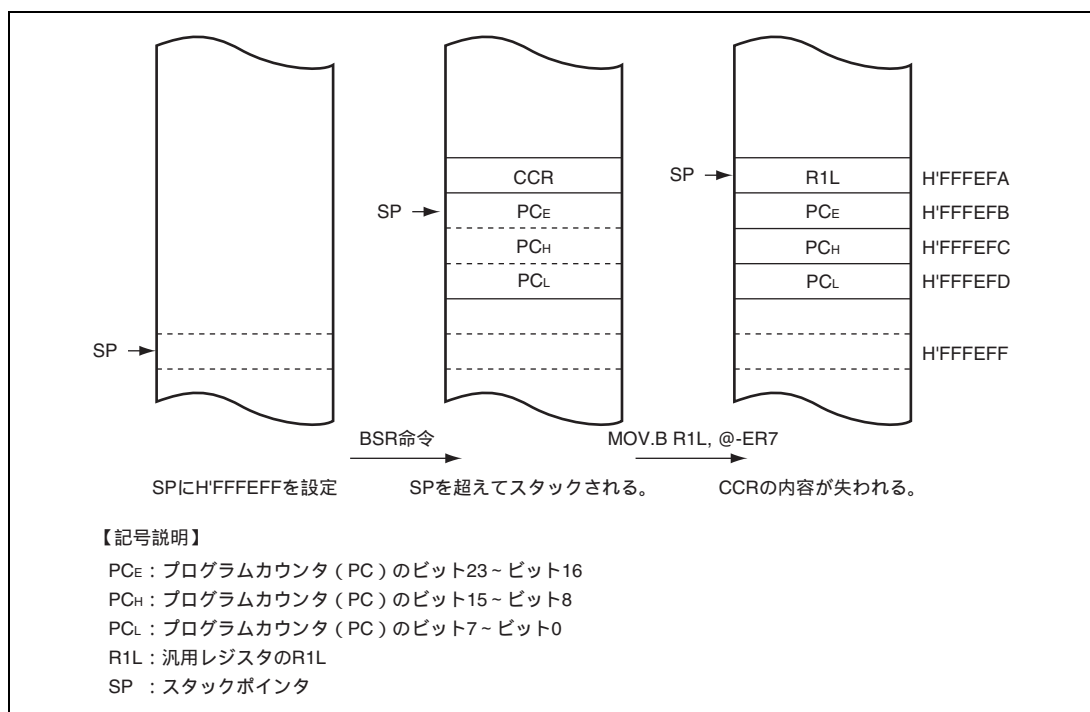


図 3.4 SP に奇数を設定したときの動作

### 3. 例外処理

#### 3.5.2 ポートモードレジスタを書き換える際の注意事項

外部割り込み端子の機能切り替えのためにポートモードレジスタを書き換えおよび、IRQAEC 選択 / 非選択の切り替えのために AEGSR の ECPWME を書き換える際には、以下の点に注意してください。

外部割り込み端子 ( $\overline{IRQ4}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ0}$ 、 $\overline{WKP7} \sim \overline{WKP0}$ ) を制御しているポートモードレジスタを書き換えて端子機能を切り替えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り替えた時点で割り込み要求フラグが 1 にセットされますので、割り込み要求フラグを 0 にクリアしてから使用してください。また、IRQAEC 選択 / 非選択を設定する AEGSR の ECPWME を書き換えた場合、選択された IRQAEC または IECPWM (AEC 用 PWM の出力) が有効なエッジを形成していなくても割り込み要求フラグが 1 にセットされる場合があります。このため、割り込み要求フラグを 0 にクリアしてから使用してください。

1 にセットされる割り込み要求フラグとその条件を表 3.3 に示します。

表 3.3 割り込み要求フラグが 1 にセットされる条件

1 にセットされる 割り込み要求フラグ		条 件
IRR1	IRRI4	<ul style="list-style-type: none"> <li><math>\overline{IRQ4}</math> 端子が Low レベルで IEGR の IEG4 が 0 の状態で、PMR9、PMRF の IRQ4 を 0 から 1 に書き換えたとき</li> <li><math>\overline{IRQ4}</math> 端子が Low レベルで IEGR の IEG4 が 1 の状態で、PMR9、PMRF の IRQ4 を 1 から 0 に書き換えたとき</li> </ul>
	IRRI3	<ul style="list-style-type: none"> <li><math>\overline{IRQ3}</math> 端子が Low レベルで IEGR の IEG3 が 0 の状態で、PMRB、PMRE の IRQ3 を 0 から 1 に書き換えたとき</li> <li><math>\overline{IRQ3}</math> 端子が Low レベルで IEGR の IEG3 が 1 の状態で、PMRB、PMRE の IRQ3 を 1 から 0 に書き換えたとき</li> </ul>
	IRREC2	<ul style="list-style-type: none"> <li>切り替え時の IRQAEC 端子レベルと IECPWM の値が異なり AEGSR の AIEGS1 ~ 0 で指定されるエッジを形成するとき、(例：立ち上がりエッジ選択で、IRQAEC 端子が Low レベル、IECPWM=1 の状態で AEGSR の ECPWME を 1 から 0 に書き換えたとき)</li> </ul>
	IRRI1	<ul style="list-style-type: none"> <li><math>\overline{IRQ1}</math> 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMRB、PMRE の IRQ1 を 0 から 1 に書き換えたとき</li> <li><math>\overline{IRQ1}</math> 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMRB、PMRE の IRQ1 を 1 から 0 に書き換えたとき</li> </ul>
	IRRI0	<ul style="list-style-type: none"> <li><math>\overline{IRQ0}</math> 端子が Low レベルで IEGR の IEG0 が 0 の状態で、PMRB、PMRE の IRQ0 を 0 から 1 に書き換えたとき</li> <li><math>\overline{IRQ0}</math> 端子が Low レベルで IEGR の IEG0 が 1 の状態で、PMRB、PMRE の IRQ0 を 1 から 0 に書き換えたとき</li> </ul>
IWPR	IWPF7	$\overline{WKP7}$ 端子が Low レベルの状態で、PMR5 の WKP7 を 0 から 1 に書き換えたとき
	IWPF6	$\overline{WKP6}$ 端子が Low レベルの状態で、PMR5 の WKP6 を 0 から 1 に書き換えたとき
	IWPF5	$\overline{WKP5}$ 端子が Low レベルの状態で、PMR5 の WKP5 を 0 から 1 に書き換えたとき
	IWPF4	$\overline{WKP4}$ 端子が Low レベルの状態で、PMR5 の WKP4 を 0 から 1 に書き換えたとき
	IWPF3	$\overline{WKP3}$ 端子が Low レベルの状態で、PMR5 の WKP3 を 0 から 1 に書き換えたとき
	IWPF2	$\overline{WKP2}$ 端子が Low レベルの状態で、PMR5 の WKP2 を 0 から 1 に書き換えたとき
	IWPF1	$\overline{WKP1}$ 端子が Low レベルの状態で、PMR5 の WKP1 を 0 から 1 に書き換えたとき
	IWPF0	$\overline{WKP0}$ 端子が Low レベルの状態で、PMR5 の WKP0 を 0 から 1 に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.5 に示します。AEGSR の操作もこれに準じます。

端子機能を切り替える場合は、ポートモードレジスタ（または AEGSR）の操作前に割り込み禁止状態にして、ポートモードレジスタ（または AEGSR）操作後に、少なくとも 1 命令（NOP 命令で可）実行してから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。ポートモードレジスタ（または AEGSR）操作後に 1 命令実行せず割り込み要求フラグを 0 にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り替えにともなう割り込み要求フラグのセットを回避する他の方法として、表 3.3 の条件を満たさないように端子を High レベルに制御して行う方法もあります。ただし、IECPWM は内部信号であり、その値を知ることは煩雑であるため、図 3.5 の手順を推奨します。

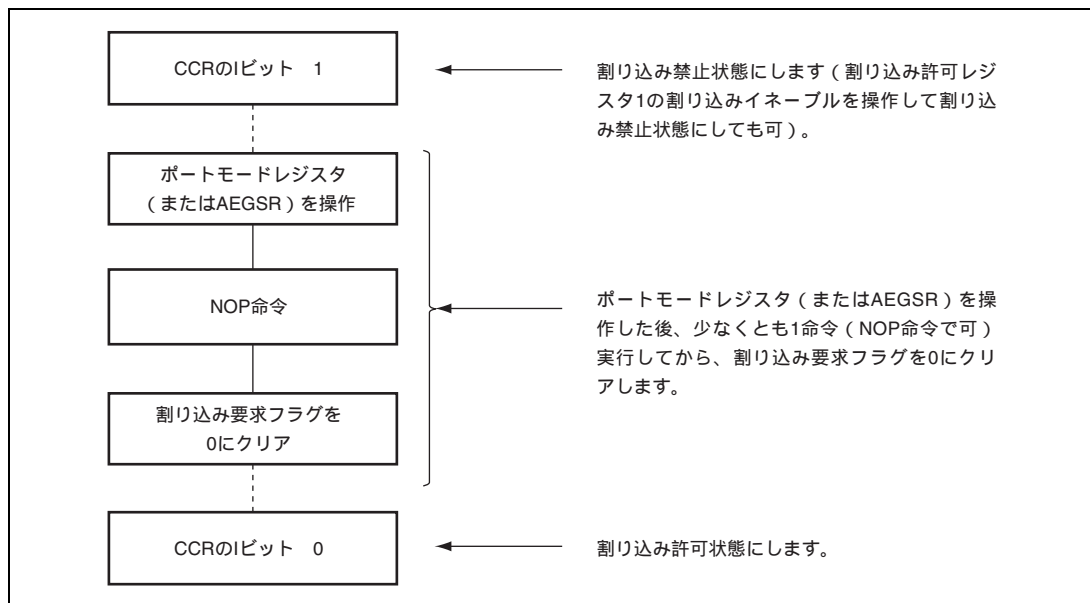


図 3.5 ポートモードレジスタ（または AEGSR）操作と割り込み要求フラグのクリア手順

### 3. 例外処理

---

#### 3.5.3 割り込み要求フラグをクリアする方法

割り込み要求レジスタ (IRR1、IRR2、IWPR) のフラグクリアは下記の「(1) 推奨方法」で行ってください。

##### (1) 推奨方法

フラグクリアの処理を 1 命令で実施します。この命令には、ビット操作命令とバイトサイズのデータ転送命令が使用できます。下記に「IRRI1 (IRR1 のビット 1) をクリアする場合」のプログラム例を 2 つ示します。

```
BCLR #1, @IRR1:8  
MOV.B R1L, @IRR1:8 (R1Lの値をB'11111101に設定しておく)
```

##### (2) 誤動作する例

フラグクリアの処理を複数命令で実施する場合には、命令の実行中に他のフラグがセットされたにも関わらずこれをクリアしてしまう場合があります、誤動作の原因となります。

次に「IRRI1 (IRR1 のビット 1) をクリアする場合」に IRRIO もクリアにして無効にしてしまう例を示します。

```
MOV.B @IRR1:8,R1L・・・・・・・・・・この時点ではIRRIO=0  
AND.B #B'11111101,R1L・・・・・・・・・・ここでIRRIO=1  
MOV.B R1L,@IRR1:8・・・・・・・・・・IRRIO=0にクリアされる。
```

上記の例では AND.B 命令実行中に IRQ0 割り込みが発生する状況を想定しています。

本来の目的である IRR11 に加えて IRRIO もクリアしてしまうため、IRQ0 割り込みが無効になってしまいます。



## 4. 割り込みコントローラ

### 4.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには次の特長があります。

- IPRにより、マスクレベルを設定可能
- 割り込みマスクレベルを設定するインタラプトプライオリティレジスタ (IPR) により、NMIとアドレスブレーク以外の割り込み要求にはモジュールごとに3レベルのマスクレベルを設定できます。
- 割り込みマスクレジスタ (INTM) のINTM1、INTM0ビットにより、3レベルの許可/禁止を設定可能
- 14本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジ/立ち下がりエッジを選択できます。またIRQ0、IRQ1、IRQ3、IRQ4、WKP0～WKP7は立ち上がりエッジ/立ち下がりエッジセンスをIRQAECは、立ち上がり/立ち下がり/両エッジのいずれかに設定することができます。

割り込みコントローラのブロック図を図 4.1 に示します。

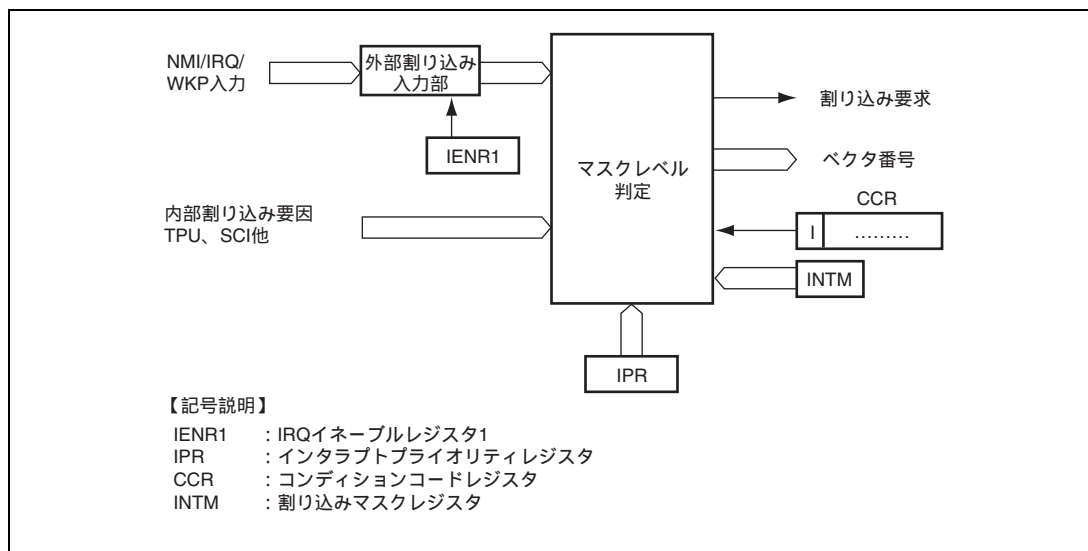


図 4.1 割り込みコントローラのブロック図

## 4. 割り込みコントローラ

---

### 4.2 入出力端子

割り込みコントローラの端子構成を表 4.1 に示します。

表 4.1 端子構成

名称	入出力	機能
NMI	入力	ノンマスクブル外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能
IRQAEC	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジのいずれかを選択可能
$\overline{\text{IRQ4}}$	入力	マスク可能な外部割り込み端子
$\overline{\text{IRQ3}}$	入力	立ち下がりエッジ、立ち上がりエッジのいずれかを選択可能
$\overline{\text{IRQ1}}$	入力	
$\overline{\text{IRQ0}}$	入力	
WKP7 ~ WKP0	入力	マスク可能な外部割り込み端子 立ち上がりエッジ、立ち下がりエッジで受け付け

### 4.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みエッジセレクトレジスタ (IEGR)
- ウェイクアップエッジセレクトレジスタ (WEGR)
- 割り込み許可レジスタ1 (IENR1)
- 割り込み許可レジスタ2 (IENR2)
- 割り込み要求レジスタ1 (IRR1)
- 割り込み要求レジスタ2 (IRR2)
- ウェイクアップ割り込み要求レジスタ (IWPR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトマスクレジスタ (INTM)

## 4.3.1 割り込みエッジセレクトレジスタ (IEGR)

IEGR は  $\overline{\text{NMI}}$ 、 $\overline{\text{TMIF}}$ 、 $\overline{\text{ADTRG}}$ 、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$  端子のエッジセンスの方向を選択します。

ビット	ビット名	初期値	R/W	説 明
7	NMIEG	0	R/W	NMI エッジセレクト 0: $\overline{\text{NMI}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{NMI}}$ 端子入力の立ち上がりエッジを検出
6	TMIFEG	0	R/W	TMIF エッジセレクト 0: $\overline{\text{TMIF}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{TMIF}}$ 端子入力の立ち上がりエッジを検出
5	ADTRGNEG	0	R/W	$\overline{\text{ADTRG}}$ エッジセレクト 0: $\overline{\text{ADTRG}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{ADTRG}}$ 端子入力の立ち上がりエッジを検出
4	IEG4	0	R/W	IRQ4 エッジセレクト 0: $\overline{\text{IRQ4}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ4}}$ 端子入力の立ち上がりエッジを検出
3	IEG3	0	R/W	IRQ3 エッジセレクト 0: $\overline{\text{IRQ3}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ3}}$ 端子入力の立ち上がりエッジを検出
2	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
1	IEG1	0	R/W	IRQ1 エッジセレクト 0: $\overline{\text{IRQ1}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ1}}$ 端子入力の立ち上がりエッジを検出
0	IEG0	0	R/W	IRQ0 エッジセレクト 0: $\overline{\text{IRQ0}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{IRQ0}}$ 端子入力の立ち上がりエッジを検出

## 4. 割り込みコントローラ

### 4.3.2 ウェイクアップエッジセレクトレジスタ (WEGR)

WEGR は  $\overline{\text{WKP7}}$  -  $\overline{\text{WKP0}}$  端子の割り込み要求を発生させるエッジセンスの方向を選択します。

ビット	ビット名	初期値	R/W	説 明
7	WKEGS7	0	R/W	WKP7 エッジセレクト 0: $\overline{\text{WKP7}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP7}}$ 端子入力の立ち上がりエッジを検出
6	WKEGS6	0	R/W	WKP6 エッジセレクト 0: $\overline{\text{WKP6}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP6}}$ 端子入力の立ち上がりエッジを検出
5	WKEGS5	0	R/W	WKP5 エッジセレクト 0: $\overline{\text{WKP5}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP5}}$ 端子入力の立ち上がりエッジを検出
4	WKEGS4	0	R/W	WKP4 エッジセレクト 0: $\overline{\text{WKP4}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP4}}$ 端子入力の立ち上がりエッジを検出
3	WKEGS3	0	R/W	WKP3 エッジセレクト 0: $\overline{\text{WKP3}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP3}}$ 端子入力の立ち上がりエッジを検出
2	WKEGS2	0	R/W	WKP2 エッジセレクト 0: $\overline{\text{WKP2}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP2}}$ 端子入力の立ち上がりエッジを検出
1	WKEGS1	0	R/W	WKP1 エッジセレクト 0: $\overline{\text{WKP1}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP1}}$ 端子入力の立ち上がりエッジを検出
0	WKEGS0	0	R/W	WKP0 エッジセレクト 0: $\overline{\text{WKP0}}$ 端子入力の立ち下がりエッジを検出 1: $\overline{\text{WKP0}}$ 端子入力の立ち上がりエッジを検出

## 4.3.3 割り込み許可レジスタ 1 ( IENR1 )

IENR1 は、RTC、WKP7 ~ WKP0、IRQ0、IRQ1、IRQ3、IRQ4、IRQAEC の割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説 明
7	IENRTC	0	R/W	RTC 割り込み要求イネーブル このビットを 1 にセットすると RTC 割り込み要求がイネーブルになります。
6	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	IENWP	0	R/W	ウェイクアップ割り込み要求イネーブル このビットを 1 にセットすると WKP7 ~ WKP0 割り込み要求がイネーブルになります。
4	IEN4	0	R/W	IRQ4 割り込み要求イネーブル このビットを 1 にセットすると IRQ4 割り込み要求がイネーブルになります。
3	IEN3	0	R/W	IRQ3 割り込み要求イネーブル このビットを 1 にセットすると IRQ3 割り込み要求がイネーブルになります。
2	IENEC2	0	R/W	IRQAEC 割り込み要求イネーブル このビットを 1 にセットすると IRQAEC 割り込み要求がイネーブルになります。
1	IEN1	0	R/W	IRQ1 割り込み要求イネーブル このビットを 1 にセットすると IRQ1 割り込み要求がイネーブルになります。
0	IEN0	0	R/W	IRQ0 割り込み要求イネーブル このビットを 1 にセットすると IRQ0 割り込み要求がイネーブルになります。

## 4. 割り込みコントローラ

### 4.3.4 割り込み許可レジスタ 2 ( IENR2 )

IENR2 は、直接遷移、A/D 変換器、タイマ G、タイマ F、タイマ C、非同期イベントカウンタ割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説 明
7	IENDT	0	R/W	直接遷移割り込み要求イネーブル このビットを 1 にセットすると直接遷移割り込み要求がイネーブルになります。
6	IENAD	0	R/W	A/D 変換器割り込み要求イネーブル このビットを 1 にセットすると A/D 変換器割り込み要求がイネーブルになります。
5	-	0	R/W	リザーブビット リード/ライト可能なりザーブビットです。
4	IENTG	0	R/W	タイマ G 割り込みイネーブル このビットを 1 にセットするとタイマ G 割り込み要求がイネーブルになります。
3	IENTFH	0	R/W	タイマ FH 割り込みイネーブル このビットを 1 にセットするとタイマ FH 割り込み要求がイネーブルになります。
2	IENTFL	0	R/W	タイマ FL 割り込みイネーブル このビットを 1 にセットするとタイマ FL 割り込み要求がイネーブルになります。
1	IENTC	0	R/W	タイマ C 割り込みイネーブル このビットを 1 にセットするとタイマ C 割り込み要求がイネーブルになります。
0	IENEC	0	R/W	非同期イベントカウンタ割り込みイネーブル このビットを 1 にセットすると非同期イベントカウンタ割り込み要求がイネーブルになります。

## 4.3.5 割り込み要求レジスタ 1 (IRR1)

IRR1 は、IRQ0、IRQ1、IRQ3、IRQ4、IRQAEC 割り込み要求ステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	IRRI4	0	R/W	IRQ4 割り込み要求フラグ [セット条件] $\overline{\text{IRQ4}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
3	IRRI3	0	R/W	IRQ3 割り込み要求フラグ [セット条件] $\overline{\text{IRQ3}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
2	IRREC2	0	R/W	IRQAEC 割り込み要求フラグ [セット条件] IRQAEC 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
1	IRRI1	0	R/W	IRQ1 割り込み要求フラグ [セット条件] $\overline{\text{IRQ1}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
0	IRRI0	0	R/W	IRQ0 割り込み要求フラグ [セット条件] $\overline{\text{IRQ0}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

## 4. 割り込みコントローラ

### 4.3.6 割り込み要求レジスタ 2 (IRR2)

IRR2 は、直接遷移、A/D 変換器、タイマ G、タイマ F、タイマ C、非同期イベントカウンタ割り込み要求ステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRRDT	0	R/W	直接遷移割り込み要求フラグ [セット条件] SYSCR2 の DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき [クリア条件] 0 をライトしたとき
6	IRRAD	0	R/W	A/D 変換器割り込み要求フラグ [セット条件] A/D 変換が終了したとき [クリア条件] 0 をライトしたとき
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	IRRTG	0	R/W	タイマ G 割り込み要求フラグ [セット条件] タイマ G がインプットキャプチャおよびオーバーフローしたとき [クリア条件] 0 をライトしたとき
3	IRRTFH	0	R/W	タイマ FH 割り込み要求フラグ [セット条件] タイマ FH がコンペアマッチおよびオーバーフローしたとき [クリア条件] 0 をライトしたとき
2	IRRTFL	0	R/W	タイマ FL 割り込み要求フラグ [セット条件] タイマ FL がコンペアマッチおよびオーバーフローしたとき [クリア条件] 0 をライトしたとき
1	IRRTC	0	R/W	タイマ C 割り込み要求フラグ [セット条件] タイマ C がオーバーフローおよびアンダフローしたとき [クリア条件] 0 をライトしたとき
0	IRREC	0	R/W	非同期イベントカウンタ割り込み要求フラグ [セット条件] 非同期イベントカウンタがオーバーフローしたとき [クリア条件] 0 をライトしたとき



## 4.3.7 ウェイクアップ割り込み要求レジスタ (IWPR)

IWPR は、 $\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$  端子の割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IWPF7	0	R/W	WKP7 割り込み要求フラグ [セット条件] $\overline{\text{WKP7}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
6	IWPF6	0	R/W	WKP6 割り込み要求フラグ [セット条件] $\overline{\text{WKP6}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
5	IWPF5	0	R/W	WKP5 割り込み要求フラグ [セット条件] $\overline{\text{WKP5}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
4	IWPF4	0	R/W	WKP4 割り込み要求フラグ [セット条件] $\overline{\text{WKP4}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
3	IWPF3	0	R/W	WKP3 割り込み要求フラグ [セット条件] $\overline{\text{WKP3}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
2	IWPF2	0	R/W	WKP2 割り込み要求フラグ [セット条件] $\overline{\text{WKP2}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
1	IWPF1	0	R/W	WKP1 割り込み要求フラグ [セット条件] $\overline{\text{WKP1}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

#### 4. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
0	IWPF0	0	R/W	WKP0 割り込み要求フラグ [セット条件] WKP0 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

#### 4.3.8 インタラプトプライオリティレジスタ A~F (IPRA~IPRF)

IPR は、NMI、アドレスブレークを除く割り込みマスクレベル (レベル 2~0) を設定します。各割り込み要因と IPR の対応を表 4.2 に示します。

ビット 7、6、ビット 5、4、ビット 3、2、ビット 1、0 に H'0~H'3 の範囲の値を設定することによって、対応する割り込み要求のマスクレベルが決まります。なお、IPRE のビット 3~0 および IPRF のビット 1、0 は、リザーブビットです。

ビット	ビット名	初期値	R/W	説明
7	IPRn7	0	R/W	対応する割り込み要因のマスクレベルを設定します。
6	IPRn6	0	R/W	00 : マスクレベル 0 (最低) 01 : マスクレベル 1 1x : マスクレベル 2 (最高)
5	IPRn5	0	R/W	対応する割り込み要因のマスクレベルを設定します。
4	IPRn4	0	R/W	00 : マスクレベル 0 (最低) 01 : マスクレベル 1 1x : マスクレベル 2 (最高)
3	IPRn3	0	R/W	対応する割り込み要因のマスクレベルを設定します。
2	IPRn2	0	R/W	00 : マスクレベル 0 (最低) 01 : マスクレベル 1 1x : マスクレベル 2 (最高)
1	IPRn1	0	R/W	対応する割り込み要因のマスクレベルを設定します。
0	IPRn0	0	R/W	00 : マスクレベル 0 (最低) 01 : マスクレベル 1 1x : マスクレベル 2 (最高)

【注】 x : Don't care

n = A~F

### 4.3.9 インタラプトマスクレジスタ (INTM)

INTM は、8 ビットのリード/ライト可能なレジスタで INTM0、INTM1 ビットの組み合わせで 3 レベルの割り込みマスク制御を行います。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
1	INTM1	0	R/W	割り込みのマスキレベルを設定します。
0	INTM0	0	R/W	1x : マスキレベル 1 以下の割り込みをマスクする。 01 : マスキレベル 0 の割り込みをマスクする。 00 : すべての割り込みを受け付ける。

【注】 x : Don't care

## 4.4 割り込み要因

### 4.4.1 外部割り込み

外部割り込みには、NMI 割り込み、WKP7~WKP0 割り込み、IRQ4、IRQ3、IRQAEC、IRQ1、IRQ0 割り込みの 14 要因があります。

#### (1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がり / 立ち下がりエッジのいずれかで割り込みを要求するか、IEGR の NMIEG ビットで選択できます。

#### (2) WKP7~WKP0 割り込み

WKP7~WKP0 割り込みは  $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$  端子の立ち上がり / 立ち下がりエッジ入力により要求されます。

PMR5 により端子機能が  $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$  端子に選択された状態で立ち上がり / 立ち下がりエッジが入力されると、IWPR の対応するビットが 1 にセットされ、割り込み要求を発生します。

ウェイクアップ割り込み要求の受け付けは、IENR1 の IENWP を 0 にクリアすることにより禁止できます。また、CCR の I ビットを 1 にすることによりすべての割り込みをマスクできます。

WKP7~WKP0 割り込みの割り込み例外処理が受けつけられると、CCR の I ビットが 1 にセットされます。IPR により割り込みマスキレベルを設定できます。

## 4. 割り込みコントローラ

---

### (3) IRQ4、IRQ3、IRQ1、IRQ0 割り込み

IRQ4、IRQ3、IRQ1、IRQ0 割り込みは、 $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$  端子の入力信号により要求されます。

IRQ4、IRQ3、IRQ1、IRQ0 割り込みは、立ち上がり / 立ち下がりエッジセンスを IEGR の IEG4、IEG3、IEG1、IEG0 により指定できます。

PFCR、PMRF、PMRE、PMRB、PMR9 により端子機能が  $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$  端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求を発生します。

割り込み要求の受け付けは、IENR1 の IEN4、IEN3、IEN1、IEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 にセットすることによりすべての割り込みをマスクできます。

IPR により割り込みマスクレベルを設定できます。

### (4) IRQAEC 割り込み

IRQAEC 割り込みは、IRQAEC 端子の入力信号および IECPWM( AEC 用の PWM の出力 )により入力されます。IRQAEC 端子入力を外部割り込みとして使用する場合には、AEGSR の ECPWME を 0 に設定してください。

IRQAEC 割り込みは、立ち上がり / 立ち下がり / 両エッジセンスを AEGSR の AIEGS1 と AIEGS0 により指定できます。

IENR1 の IENEC2 が 1 で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求を発生します。

IRQAEC 割り込みの割り込み例外処理が受け付けられると CCR の I ビットが 1 にセットされます。

IPR により割り込みマスクレベルを設定できます。

## 4.4.2 内部割り込み



内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが 1 のとき、割り込み要求が割り込みコントローラに送られます。
- IPR によって、割り込み要因のマスクレベルを設定できます。

## 4.5 割り込み例外処理ベクタテーブル

表 4.2 に割り込み例外処理要因とベクタアドレスおよび割り込みマスクレベルの一覧を示します。マスクレベルはベクタ番号の小さいものほど高くなります。モジュール内のマスクレベルは固定されています。IPR により NMI、アドレスブレーク以外の割り込みマスクレベルを変更することができます。



表 4.2 割り込み要因とベクタアドレスおよび割り込みマスクレベル一覧

割り込み要因発生元	名 称	ベクタ 番号	ベクタ アドレス	IPR	マスク レベル
RES、WDT	リセット	0	H'000000	-	高   低
NMI	NMI	3	H'00000C		
アドレスブレーク	ブレーク条件成立	5	H'000014		
外部端子	IRQ0	6	H'000018	IPRA7 ~ IPRA6	
	IRQ1	7	H'00001C	IPRA5 ~ IPRA4	
	IRQAEC	8	H'000020	IPRA3 ~ IPRA2	
	IRQ3	9	H'000024	IPRA1 ~ IPRA0	
	IRQ4	10	H'000028		
	WKP0	11	H'00002C	IPRB7 ~ IPRB6	
	WKP1	12	H'000030		
	WKP2	13	H'000034		
	WKP3	14	H'000038		
	WKP4	15	H'00003C		
	WKP5	16	H'000040		
	WKP6	17	H'000044		
	WKP7	18	H'000048		
	RTC	0.25 秒オーバーフロー	19	H'00004C	
0.5 秒オーバーフロー		20	H'000050		
秒周期オーバーフロー		21	H'000054		
分周期オーバーフロー		22	H'000058		
時周期オーバーフロー		23	H'00005C		
日周期オーバーフロー		24	H'000060		
週周期オーバーフロー		25	H'000064		
フリーランオーバーフロー		26	H'000068		

#### 4. 割り込みコントローラ

割り込み要因発注元	名 称	ベクタ 番号	ベクタ アドレス	IPR	マスク レベル
WDT	WDT オーバフロー (インターバルタイマ)	27	H'00006C	IPRB3 ~ IPRB2	
AEC	AEC オーバフロー	28	H'000070	IPRB1 ~ IPRB0	
TPU_1	TG1A (TG1A インพุットキャプチャ / コンペアマッチ)	29	H'000074	IPRC7 ~ IPRC6	
	TG1B (TG1B インพุットキャプチャ / コンペアマッチ)	30	H'000078		
	TC11V (オーバフロー-1)	31	H'00007C		
TPU_2	TG2A (TG2A インพุットキャプチャ / コンペアマッチ)	32	H'000080	IPRC5 ~ PRC4	
	TG2B (TG2B インพุットキャプチャ / コンペアマッチ)	33	H'000084		
	TC12V (オーバフロー-2)	34	H'000088		
タイマ F	タイマ FL コンペアマッチ タイマ FL オーバフロー	35	H'00008C	IPRC3 ~ IPRC2	
	タイマ FH コンペアマッチ タイマ FH オーバフロー	36	H'000090		
	SCI4*	受信データフル / 送信データエンプティ 送信終了 / 受信エラー	37		
SCI3_1	送信完了 / 送信データエンプティ 受信データフル / オーバランエラー フレーミングエラー / パリティエラー	38	H'000098	IPRD7 ~ IPRD6	
SCI3_2	送信完了 / 送信データエンプティ 受信データフル / オーバランエラー フレーミングエラー / パリティエラー	39	H'00009C	IPRD5 ~ IPRD4	
IIC2	送信データエンプティ / 送信終了 受信データフル / 停止条件検出 NACK 検出 アービトレーション / オーバランエラー	40	H'0000A0	IPRD3 ~ IPRD2	
10 ビット A/D	A/D 変換終了	42	H'0000A8	IPRE7 ~ IPRE6	
(SLEEP 命令の実行)	直接遷移	43	H'0000AC	IPRE5 ~ IPRE4	

#### 4. 割り込みコントローラ

割り込み要因発注元	名 称	ベクタ 番号	ベクタ アドレス	IPR	マスク レベル
タイマ C	タイマ C オーバフローまたはアンダフロー	53	H'0000D4	IPRF7 ~ IPRF6	高   低
タイマ G	タイマ G インพุットキャプチャ タイマ G オーバフロー	54	H'0000D8	IPRF5 ~ IPRF4	
SCI3_3	送信完了 / 送信データエンプティ 送信データフル / オーバランエラー フレーミングエラー / パリティエラー	55	H'0000DC	IPRF3 ~ IPRF2	

【注】 \* フラッシュメモリ版のみ有効となります。

## 4.6 割り込み動作

NMI およびアドレスブレイクはリセット状態を除き、常に受け付けられます。IRQ 割り込み、WKP 割り込みおよび内蔵周辺モジュール割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。イネーブルビットを0にクリアすると、その割り込みは禁止されます。イネーブルビットを1にセットした割り込み要因が、割り込みコントローラで制御されます。

表 4.3 に割り込み制御状態、図 4.2 に割り込み受け付けまでのフローを示します。

CCR の I ビットと INTM レジスタの INTM1、INTM0 の組み合わせにより、4 レベルの割り込みマスク制御を行います。

表 4.3 割り込み制御状態

CCR I	INTM		状 態
	INTM1	INTM0	
1	x	x	NMI、アドレスブレイク以外のすべての割り込みをマスクする
0	1	*	マスクレベル1以下の割り込みをマスクする
	0	1	マスクレベル0の割り込みをマスクする
	0	0	すべての割り込みを受け付ける

【注】 x : Don't care

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
2. INTMレジスタのINTM1、INTM0ビットおよびCCRのIビットを参照し、以下の制御を行います。
  - Iビットが1にセットされているとき、割り込み要求は保留となります。
  - Iビットが0にクリア、INTM1ビットが1にセットされているときは、マスクレベル1以下の割り込みは保留となります。
  - Iビットが0にクリア、INTM1ビットが0にクリア、INTM0ビットが1にセットされているときは、マスクレベル0の割り込みは保留となります。
  - I、INTM1、INTM0ビットがいずれも0にクリアされているときは、すべての割り込みが受け付けられます。
3. INTMレジスタのINTM1、INTM0ビットおよびCCRのIビットにより保留されない割り込みが競合した場合は、IPRの設定に関係なく、表4.2に従ってマスクレベルの高い割り込み要求が選択されます。
4. CPUは、割り込み要求が受け付けられると、そのとき実行中の命令処理が終了したあと、割り込み例外処理を開始します。
5. 割り込み処理によって、PCとCCRがスタック領域に退避されます。
6. CCRのIビットが1にセットされます。これによりNMIおよびアドレスブレイクを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。



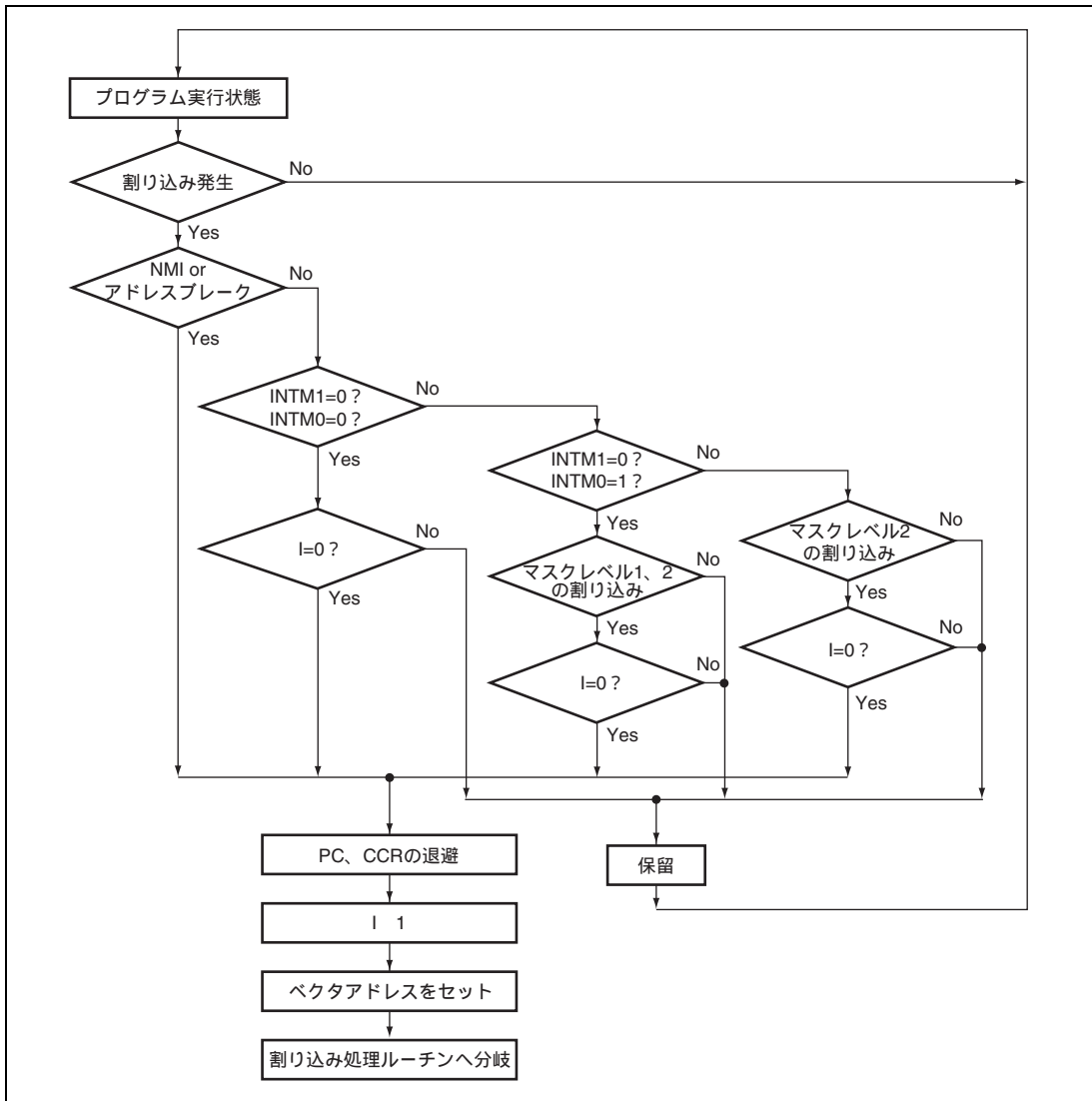


図 4.2 割り込み受け付けまでのフロー

## 4. 割り込みコントローラ

### 4.6.1 割り込み例外処理シーケンス

割り込みシーケンスを図 4.3 に示します。

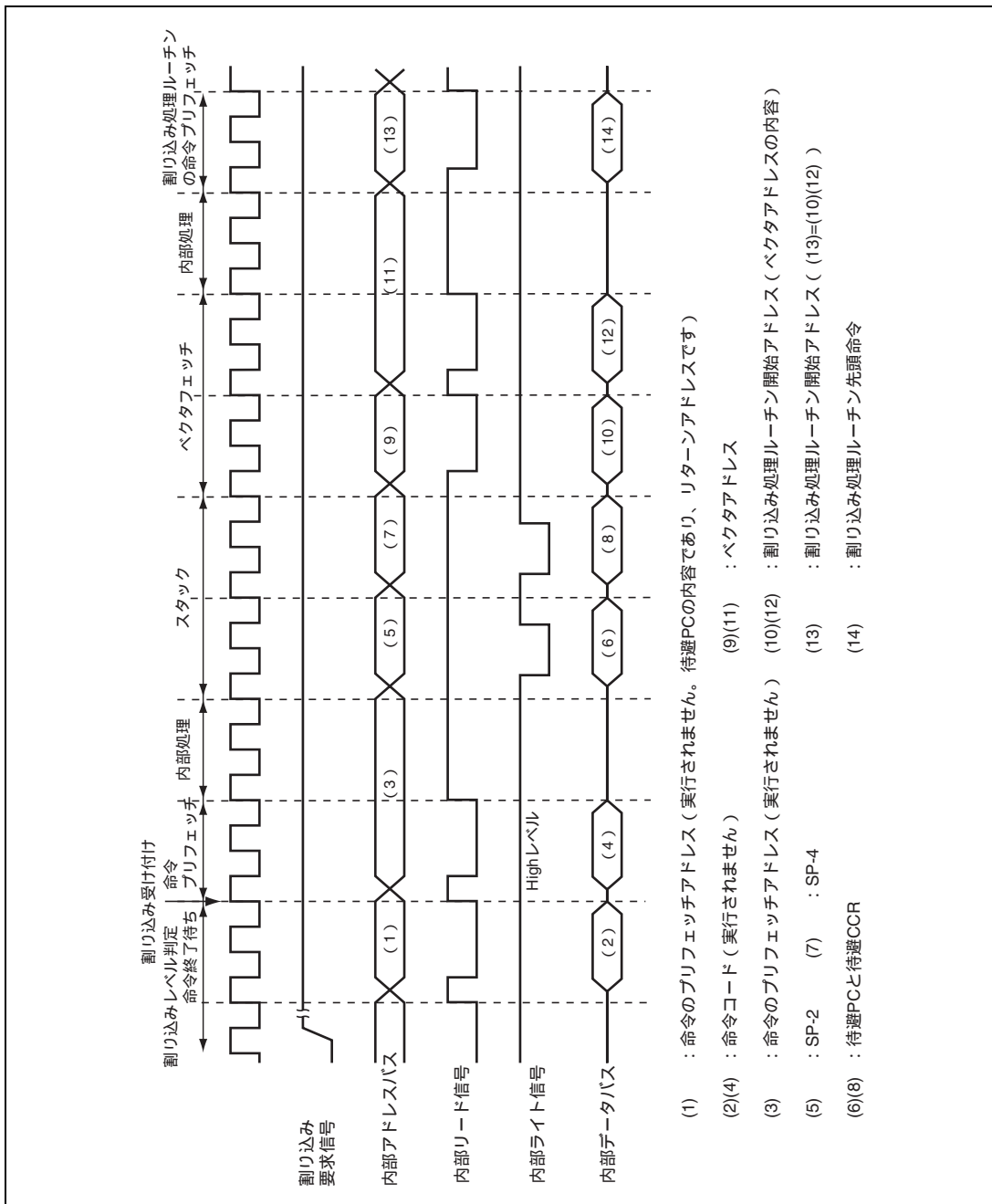


図 4.3 割り込み例外処理シーケンス

## 4.6.2 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 4.4 に示します。

表 4.4 割り込み応答時間

No.	項目	ステート数
1	割り込みマスクレベル判定	1 or 2* <sup>1</sup>
2	実行中の命令が終了するまでの最大待ちステート数	1 ~ 23
3	PC、CCR のスタック	4
4	ベクタフェッチ	4
5	命令フェッチ* <sup>2</sup>	4
6	内部処理* <sup>3</sup>	4
	合計	18 ~ 41

【注】 \*1 内部割り込みの場合 1 ステート、外部割り込みの場合は 2 ステートとなります。

\*2 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ

\*3 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理

## 4.7 使用上の注意事項

### 4.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みよりマスクレベルの高い割り込み要求がある場合にはマスクレベルの高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを0にクリアする場合も同様です。

16ビットタイムパルスユニット(TPU)のTIERのTGIEAビットを0にクリアする場合の例を図4.4に示します。

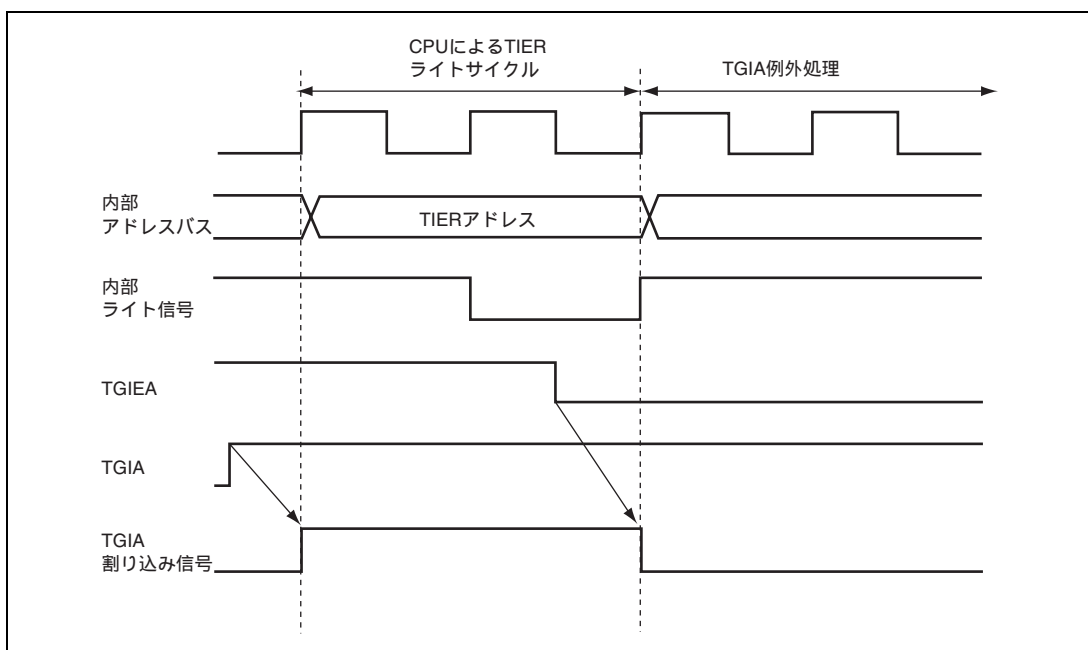


図 4.4 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

### 4.7.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラがマスクレベルを判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

### 4.7.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV . B 命令と EEPMOV . W 命令では、割り込み動作が異なります。

EEPMOV . B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV . W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4, R4
      BNE   L1
```

### 4.7.4 IENR のクリアについて

割り込み許可レジスタをクリアすることにより割り込み要求をディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、割り込み要求をマスクした状態 (I=1) で行ってください。I=0 の状態で上記の操作を行うと、命令の実行と当該割り込み要求の発生が競合した場合には、当該操作命令の実行終了時に発生した割り込み要求に対応する例外処理を実行します。

#### 4. 割り込みコントローラ

---

## 5. クロック発振器

クロック発生回路は、システムクロック発振器、システムクロック分周器、システムクロック用内蔵発振器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路で構成されています。図 5.1 にクロック発生回路のブロック図を示します。

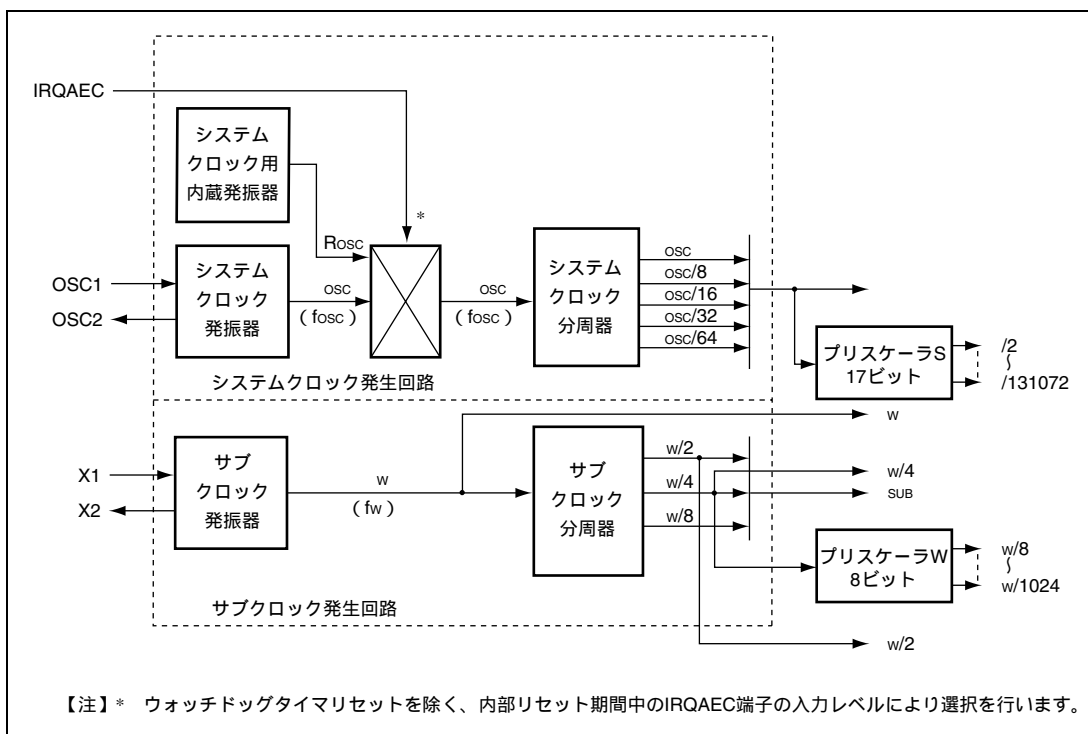


図 5.1 クロック発生回路のブロック図

システムクロック およびサブクロック  $w_{SUB}$  は、CPU および周辺機能を動作させるための基準クロックです。システムクロックはプリスケータ S によって  $w/131072 \sim w/2$  に分周され、ウォッチクロック  $w$  の 4 分周クロック  $w/4$  はプリスケータ W によって  $w/1024 \sim w/8$  に分周され、それぞれ各周辺モジュールに供給されます。

またシステムクロック用内蔵発振器があり IRQAEC 端子の入力レベルでシステムクロックを内蔵発振器の出力またはシステムクロック発振器の出力から選択することが可能です。

## 5. クロック発振器

### 5.1 レジスタの説明

- サブ32kコントロールレジスタ (SUB32CR)
- 発振器コントロールレジスタ (OSCCR)

#### 5.1.1 サブ 32k コントロールレジスタ (SUB32CR)

SUB32CR はサブクロック動作 / 停止の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	32KSTOP	0	R/W	サブ発振器動作制御 サブクロック発振器の動作、停止を制御します。サブクロック発振器を使用しないときは、1 をセットしてください。 0 : サブクロック発振器を動作 1 : サブクロック発振器を停止
6	-	0	R/W	リザーブビット リード/ライト可能なりザーブビットです。
5~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

#### 5.1.2 発振器コントロールレジスタ (OSCCR)

OSCCR は内蔵帰還抵抗の制御と、IRQAEC フラグ、OSC フラグを示します。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット リード/ライト可能なりザーブビットです。
6	RFCUT	0	R/W	内蔵帰還抵抗制御 外部クロック入力時またはシステムクロック用内蔵発振器使用時にシステムクロック発振器の内蔵帰還抵抗を使用するか、使用しないかを選択します。 外部クロック入力時またはシステムクロック用内蔵発振器使用状態で本ビットを設定後、いったんスタンバイモード、ウォッチモード、またはサブアクティブモードに遷移してください。スタンバイモード、ウォッチモード、またはサブアクティブモードに遷移したときに、発振器内蔵帰還抵抗を使用するか、使用しないかを切り替えます。 0 : システムクロック発振器の内蔵帰還抵抗を使用する 1 : システムクロック発振器の内蔵帰還抵抗を使用しない
5	-	0	R/W	リザーブビット ライト時は 0 をライトしてください。
4	-	0	R/W	リザーブビット リード/ライト可能なりザーブビットです。



ビット	ビット名	初期値	R/W	説明
3	-	0	R/W	リザーブビット ライト時は0をライトしてください。
2	IRQAECF	- *	R	IRQAEC フラグ リセット期間中に設定した IRQAEC 端子の入力レベルを示します。 0: リセット期間中に IRQAEC 端子を GND に設定 1: リセット期間中に IRQAEC 端子を Vcc に設定
1	OSCF	- *	R	OSC フラグ システムクロック発生回路が動作している発振器を示します。 0: システムクロック発振器で動作 (システムクロック用内蔵発振器は停止) 1: システムクロック用内蔵発振器で動作 (システムクロック発振器は停止)
0	-	0	R/W	リザーブビット ライト時は0をライトしてください。

【注】 \* IRQAEC 端子の状態により決定されます。詳細は表 5.1 を参照してください。

## 5.2 システムクロック発振器

システムクロックを供給する方法には水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

また、図 5.1 に示すように、システムクロック発振器とシステムクロック用内蔵発振器を選択可能です。選択方法については「5.2.4 システムクロック用内蔵発振器を選択する方法」を参照してください。

### 5.2.1 水晶発振子を接続する方法

水晶発振子の接続例を図 5.2 に示します。水晶発振子は AT カット並列共振形を使用してください。

接続する場合の注意については「5.5.2 ボード設計上の注意事項」を参照してください。

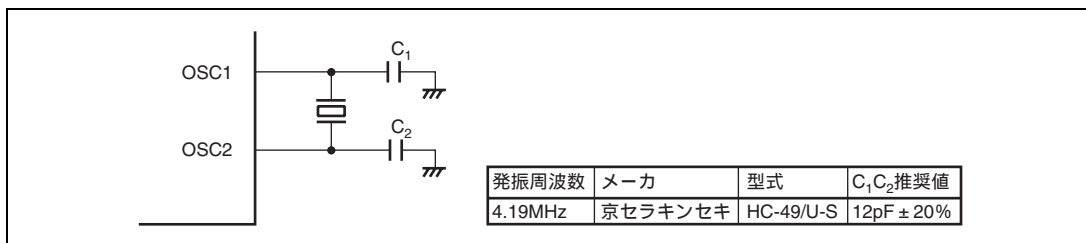


図 5.2 水晶発振子の接続例

## 5. クロック発振器

### 5.2.2 セラミック発振子を接続する方法

セラミック発振子の接続例を図 5.3 に示します。

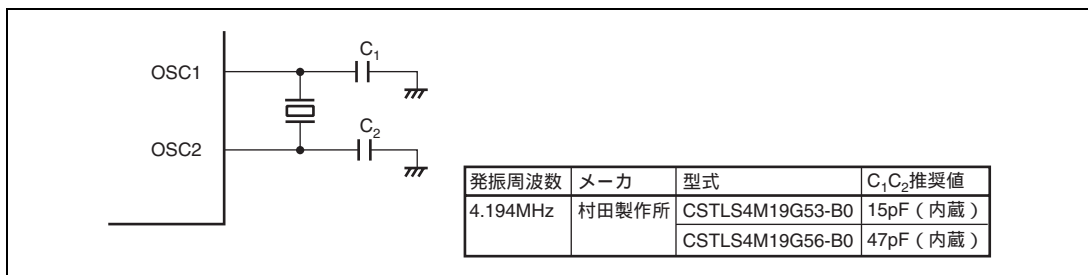


図 5.3 セラミック発振子の接続例

### 5.2.3 外部クロックを入力する方法

外部クロックを OSC1 端子に入力し、OSC2 端子をオープン状態にします。接続例を図 5.4 に示します。外部クロックのデューティは 45% ~ 55% としてください。

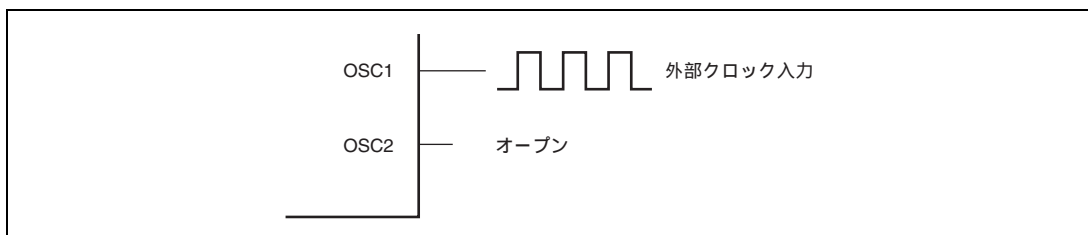


図 5.4 外部クロックを入力する場合の接続例

### 5.2.4 システムクロック用内蔵発振器を選択する方法

リセット期間中\*の IRQAEC 端子の入力レベルにより、選択を行います。システムクロック発振器、システムクロック用内蔵発振器の選択方法を表 5.1 に示します。リセット期間中の IRQAEC 端子の入力レベルは、選択する発振器に応じて必ず V<sub>CC</sub> もしくは GND に固定してください。リセットが解除された時点で確定されます。

システムクロック用内蔵発振器を選択した場合、OSC1 端子、OSC2 端子に発振子を接続する必要がなくなります。この場合、OSC1 端子を V<sub>CC</sub> もしくは GND に固定してください。OSC2 端子はオープンにしてください。

【注】 オンボードプログラミングなど、フラッシュメモリの書き込み / 消去を行う場合は、必ずシステムクロック発振器を選択してください。また、オンチップエミュレータ使用時、システムクロック用内蔵発振器を選択しても、発振子を接続するか、外部クロックを供給してください。

\* リセット期間中とは外部リセットとパワーオンリセットを指します。ウォッチドッグタイマによるリセットは除きます。

表 5.1 システムクロック発振器とシステムクロック用内蔵発振器の選択方法

IRQAEC 端子入力レベル (リセット期間中)	システムクロック発生回路の発振器	OSCF	IRQAECF
Low	システムクロック発振器	0	0
High	システムクロック用内蔵発振器	1	1

### 5.3 サブクロック発振器

サブクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを接続する方法があります。

#### 5.3.1 32.768kHz/38.4kHz 水晶発振子を接続する方法

32.768kHz または 38.4kHz の水晶発振子の接続例を図 5.5 に示します。接続する場合の注意については「5.5.2 ボード設計上の注意事項」と同様です。

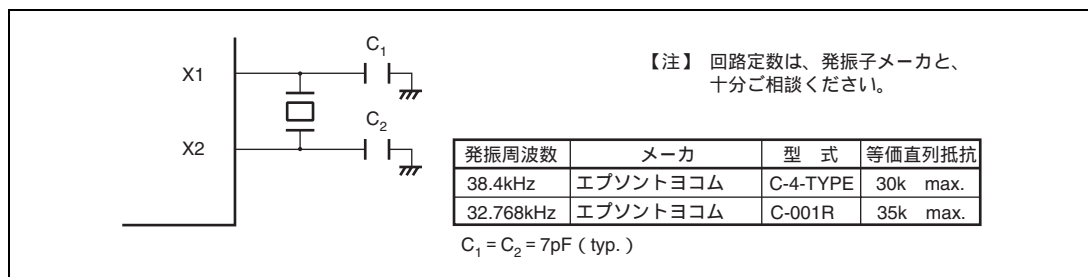


図 5.5 32.768kHz/38.4kHz 水晶発振子の接続例

- (1) 上記以外の発振子をお使いの場合は、発振子メーカーと十分なマッチング評価を実施し、最適条件でお使いください。また上記発振子または相当品を使用する場合におきましても、発振特性は基板仕様に影響されるため、実装基板上でマッチング評価を実施してください。
- (2) マッチング評価はリセット状態 ( $\overline{\text{RES}} = \text{"L"}$ ) およびリセット解除状態 ( $\overline{\text{RES}} = \text{"L"}$  "H") の各々で実施してください。

図 5.6 に水晶発振子の等価回路を示します。

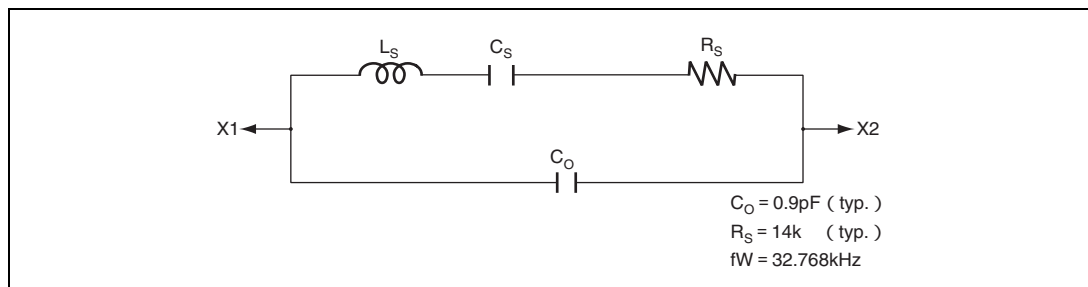


図 5.6 32.768kHz 水晶発振子の等価回路

## 5. クロック発振器

### 5.3.2 サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 5.7 に示すように X1 端子を GND に接続し、X2 端子をオープンとしてください。

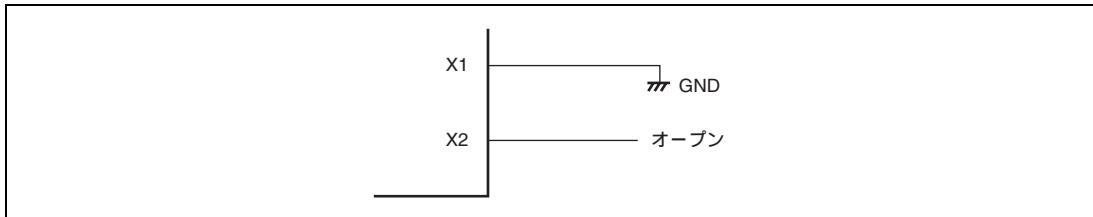


図 5.7 サブクロックを必要としない場合の端子処理

### 5.3.3 外部クロックを入力する方法

外部クロックを X1 端子に接続し、X2 端子をオープン状態にします。  
この場合の接続例を図 5.8 に示します。

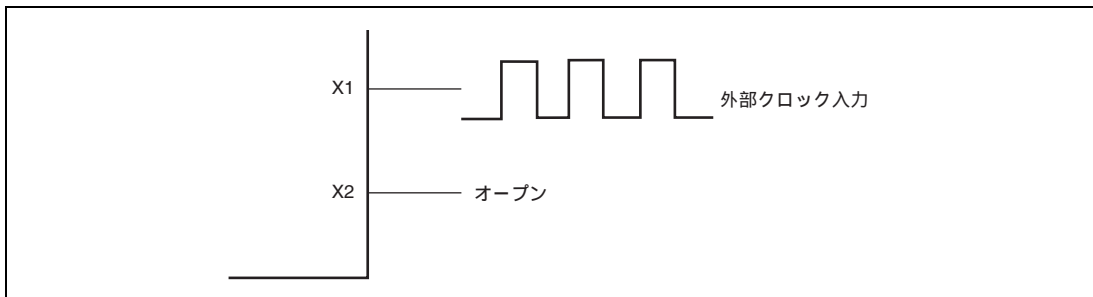


図 5.8 外部クロックを入力する場合の接続例

周波数	サブクロック ( $\phi_w$ )
duty	45% ~ 55%

## 5.4 プリスケーラ

本 LSI は、入力クロックの異なる 2 本のプリスケーラ (プリスケーラ S、プリスケーラ W) を内蔵しています。プリスケーラ S は、システムクロック ( ) を入力クロックとする 17 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。

プリスケーラ W は、ウォッチクロック ( w ) を 4 分周したクロック ( w/4 ) を入力クロックとする 8 ビットのカウントで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。

### 5.4.1 プリスケーラ S

プリスケーラ S は、システムクロック ( ) を入力クロックとする 17 ビットのカウントで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ S は H'00000 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、プリスケーラ S の動作は停止します。このとき、プリスケーラ S では H'00000 に初期化されます。CPU からはアクセスできません。

プリスケーラ S の出力は、各種内蔵周辺機能で共用しています。なお、アクティブ (中速) モードおよびスリープ (中速) モードではプリスケーラ S のクロック入力は SYSCR2 の MA1、MA0 で設定した分周比のシステムクロックとなります。

### 5.4.2 プリスケーラ W

プリスケーラ W は、ウォッチクロック ( w ) を 4 分周したクロック ( w/4 ) を入力クロックとする 8 ビットのカウントで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後カウントアップを開始します。スタンバイモードではプリスケーラ W の動作は停止します。ウォッチモード、サブアクティブモード、またはサブスリープモードに移行しても、プリスケーラ W は動作を継続します。

## 5.5 使用上の注意事項

### 5.5.1 発振子と発振回路に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係します。そのため、本章で案内する発振子の配置例を参考に、マスク ROM 版、フラッシュメモリ版にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

図 5.9 に水晶、セラミック発振子の配置例を示します。

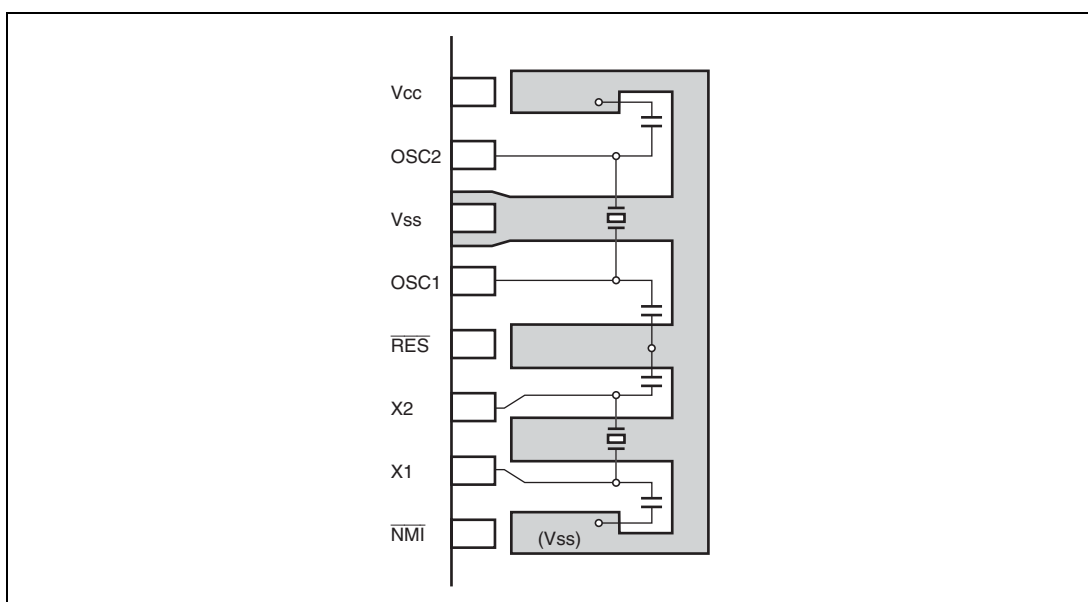


図 5.9 水晶、セラミック発振子の配置例

図 5.10(1)は発振子メーカーが推奨している負性抵抗の測定回路例です。本回路による負性抵抗が発振子メーカーの推奨するレベルに達していないと、メイン発振器が発振開始しにくい場合がありますので、ご注意ください。

発振子メーカーの推奨する負性抵抗値以下で、発振しない現象が確認された場合には、図 5.10(2)～(4)に示す変更を行ってください。なお、採用する変更案、コンデンサ容量値は負性抵抗および周波数偏差などの評価結果により決定してください。

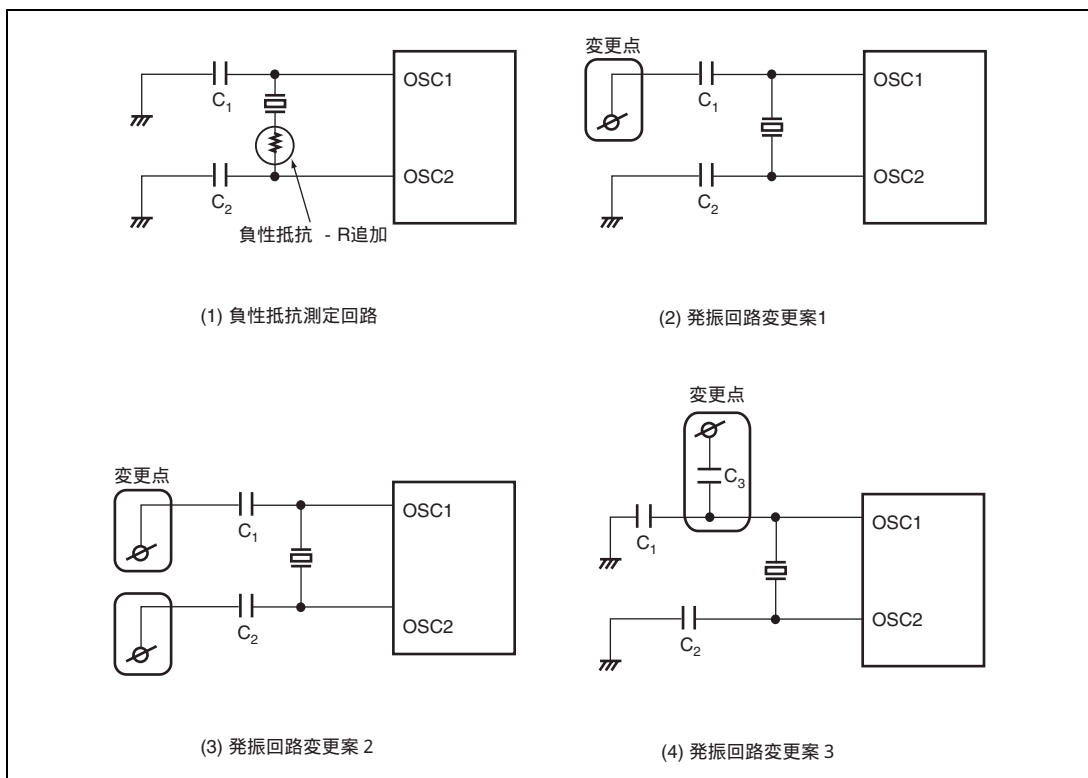


図 5.10 負性抵抗測定と回路変更案

## 5. クロック発振器

### 5.5.2 ボード設計上の注意事項

水晶発振子（セラミック発振子）を使用する場合は、発振子および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通過させないでください（図 5.11）。誘導により正しい発振ができなくなる場合があります。

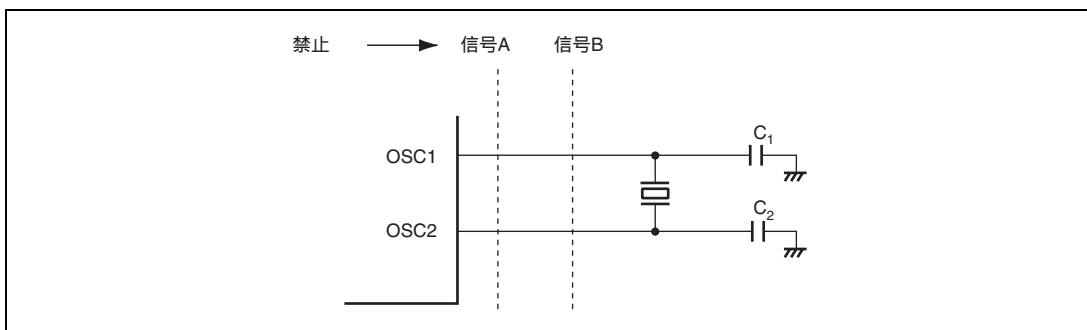


図 5.11 発振回路のボード設計に関する注意事項

【注】 水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカ、セラミック発振子メーカと十分ご相談の上決定してください。

### 5.5.3 発振安定待機時間の定義

図 5.12 にシステムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合の発振波形（OSC2）、システムクロック（ ）および、マイクロコンピュータの動作モードを示します。

図 5.12 に示すように、システムクロック発振器が停止しているスタンバイモード、ウォッチモード、サブアクティブモードから、アクティブ（高速、中速）モードに遷移する場合、下記 2 項目（発振開始時間、待機時間）の合計時間が必要となります。

#### （1）発振開始時間

割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、システムクロックを発生し始めるまでの時間。

#### （2）待機時間

システムクロックが発生してから、発振振幅が大きくなり発振周波数が安定して CPU および周辺機能が動作し始めるまでに必要とする時間。



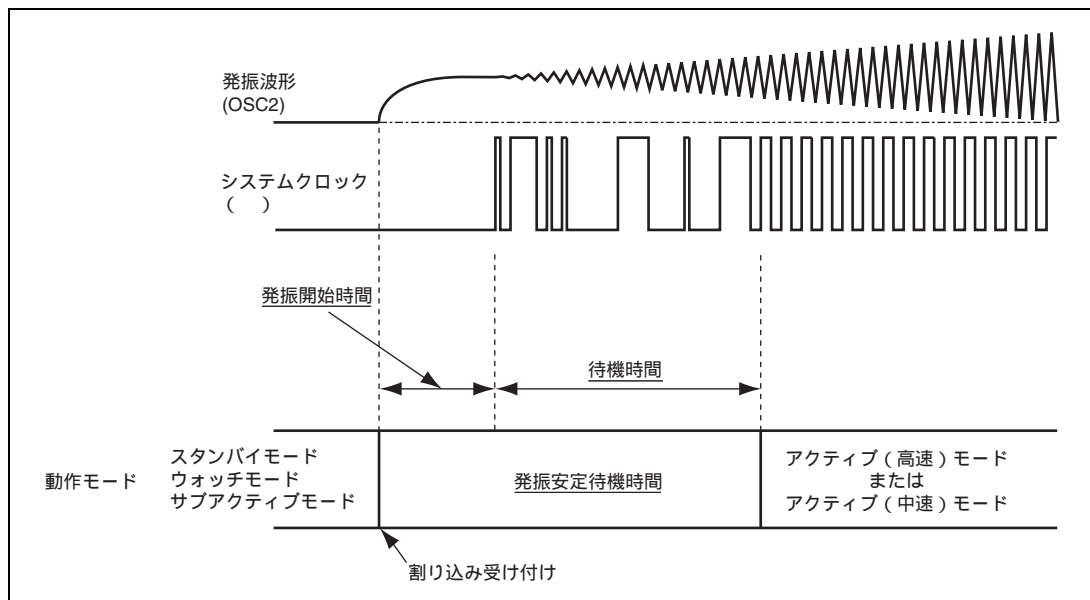


図 5.12 発振安定待機時間

必要とされる発振安定待機時間は AC 特性で定めるパワーオン時の「発振安定時間  $t_{rc}$ 」と同一であり、SYSCR1 の STS2~0 が  $t_{rc}$  以上となる様設定してください。

したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合には実装回路において十分な評価を行ってください。待機時間は発振振幅が大きくなり発振周波数が安定する時間を確保してください。

また、発振開始時間は実装回路の定数、浮遊容量などにより異なるため、発振子メーカーとご相談の上、発振安定待機時間を決定してください。

## 5. クロック発振器

---

### 5.5.4 サブクロック停止状態に関する注意事項

サブクロックを停止する場合は、システムクロックにて動作するモード以外に状態遷移させないでください。誤動作の原因となります。

### 5.5.5 発振子の発振安定についての注意事項

マイクロコンピュータが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また、発振子個別の特性によっては、発振安定時間直後に発振波形の振幅が十分に成長していない場合があり、発振波形が電源電位変動の影響を受け易い状態にあります。この状態では発振波形が乱れる場合があり、システムクロックが不安定になってマイクロコンピュータの誤作動につながります。

誤作動を起こす場合には、スタンバイタイムセレクト 3~0 (STS3~STS0) (システムコントロールレジスタ 3 (SYSCR3) のビット 0 およびシステムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定を変更し、待機時間をさらに長い時間の設定にしてお使いください。

例えば、待機時間 = 1024 ステートの設定で誤作動する場合、待機時間 = 2048 ステート以上の設定で誤作動をご確認ください。

また、リセット時に状態遷移時と同様の誤作動が起こる場合、 $\overline{\text{RES}}$  端子を Low レベルに保持する時間を長くしてください。

### 5.5.6 内蔵パワーオンリセット使用時の注意事項

本 LSI 内蔵のパワーオンリセット回路は、 $\overline{\text{RES}}$  端子に外付けするコンデンサの容量によりリセット解除時間を調整できます。外付けのコンデンサ容量を調整し、リセット解除前に発振が安定するまでの時間を確保してください。詳細は「第 22 章 パワーオンリセット回路」を参照してください。

### 5.5.7 オンチップエミュレータ使用時の注意事項

オンチップエミュレータ使用時、フラッシュメモリの書き込み/消去などのため、システムクロックの精度が必要となります。一方、システムクロック用内蔵発振器は電圧が温度条件により周波数が変動します。したがって、オンチップエミュレータ使用時は必ず発振子を OSC1 端子、OSC2 端子に接続するか、外部クロックを供給してください。この場合、ユーザプログラム実行時はシステムクロック用内蔵発振器で動作し、フラッシュメモリの書き込み/消去などを行う場合はシステムクロック発振器で動作します。本制御はオンチップエミュレータがリセット期間中に IRQAEC のレベルを Low 固定することにより行われます。

---

## 6. 低消費電力モード

---

リセット解除後の動作モードには、通常のアクティブ（高速）モードの他に消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能があります。

- アクティブ（中速）モード

CPUおよび内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は  $osc/8$ 、 $osc/16$ 、 $osc/32$ 、 $osc/64$ の中から選択できます。

- サブアクティブモード

CPUおよび内蔵周辺モジュールがサブクロックで動作します。サブクロックの周波数は  $w/2$ 、 $w/4$ 、 $w/8$ の中から選択できます。

- スリープ（高速）モード

CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。

- スリープ（中速）モード

CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は  $osc/8$ 、 $osc/16$ 、 $osc/32$ 、 $osc/64$ の中から選択できます。

- サブスリープモード

CPUが動作を停止し、内蔵周辺モジュールがサブクロックで動作します。サブクロックの周波数は  $w/2$ 、 $w/4$ 、 $w/8$ の中から選択できます。

- ウォッチモード

CPUが動作を停止し、内蔵周辺モジュールがサブクロックで動作します。

- スタンバイモード

CPUおよびすべての内蔵周辺モジュールが動作を停止します。

- モジュールスタンバイ機能

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

【注】 本章ではアクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと、スリープ（高速）モードとスリープ（中速）モードを総称してスリープモードと記載しています。

## 6. 低消費電力モード

### 6.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- システムコントロールレジスタ1 (SYSCR1)
- システムコントロールレジスタ2 (SYSCR2)
- システムコントロールレジスタ3 (SYSCR3)
- クロック停止レジスタ1~3 (CKSTPR1~CKSTPR3)

#### 6.1.1 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は SYSCR2、SYSCR3 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0: スリープモードあるいはサブスリープモードに遷移 1: スタンバイモードあるいはウォッチモードに遷移 詳細は表 6.2 を参照してください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 スタンバイモード、サブアクティブモードおよびウォッチモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が発振安定時間以上となるように、SYSCR3 の STS3 ビットとともに設定してください。設定値と待機ステート数の関係は表 6.1 のとおりです。 外部クロックを使用する場合は最小値 (STS3=0、STS2=1、STS1=0、STS0=1) を推奨します。システムクロック用内蔵発振器を使用する場合は 4 ステート (STS3=1、STS2=1、STS1=0、STS0=1) を推奨します。 推奨値以外の設定では待機時間終了前に動作を開始することがあります。
5	STS1	0	R/W	
4	STS0	0	R/W	
3	LSON	0	R/W	ウォッチモードを解除したときに CPU の動作クロックをシステムクロック ( ) にするか、サブクロック ( SUB ) にするか選択します。 0: CPU の動作クロックはシステムクロック ( ) 1: CPU の動作クロックはサブクロック ( SUB )
2	TMA3	0	R/W	このビットは SYSCR1 の SSBY、LSON、SYSCR2 の DTON、MSON との組み合わせにより、SLEEP 命令実行後の遷移先を選択します。詳細は、表 6.2 を参照してください。

ビット	ビット名	初期値	R/W	説明
1	MA1	1	R/W	アクティブモードクロックセレクト 1、0
0	MA0	1	R/W	<p>アクティブ（中速）モードおよびスリープ（中速）モードの動作クロックを選択します。MA1、MA0 ビットの書き込みはアクティブ（高速）モードまたはサブアクティブモードで行ってください。</p> <p>00： <math>osc/8</math></p> <p>01： <math>osc/16</math></p> <p>10： <math>osc/32</math></p> <p>11： <math>osc/64</math></p>

### 6.1.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は SYSCR1、SYSCR3 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
4	NESEL	1	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>本ビットは、<math>w</math> をサンプリングするときの <math>osc</math> クロックのサンプリング周波数を選択します。システムクロック使用時は 0 を設定してください。内蔵発振器選択時は 1 を設定してください。</p> <p>0： <math>osc</math> の 16 分周クロックでサンプリング</p> <p>1： <math>osc</math> の 4 分周クロックでサンプリング</p>
3	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>このビットは SYSCR1 の SSBY、TMA3、LSON、SYSCR2 の MSON とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 6.2 を参照してください。</p>
2	MSON	0	R/W	<p>ミドルスピードオンフラグ</p> <p>スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるか選択します。</p> <p>0：アクティブ（高速）モード</p> <p>1：アクティブ（中速）モード</p>
1	SA1	0	R/W	サブアクティブモードクロックセレクト 1、0
0	SA0	0	R/W	<p>サブアクティブモードおよびサブスリープモードの動作クロック周波数を選択します。クロックは SLEEP 命令実行後、設定した周波数に切り替わります。</p> <p>00： <math>w/8</math></p> <p>01： <math>w/4</math></p> <p>10： <math>w/2</math></p> <p>11：設定禁止</p>

## 6. 低消費電力モード

### 6.1.3 システムコントロールレジスタ 3 (SYSCR3)

SYSCR3 は SYSCR1、SYSCR2 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	STS3	0	R/W	スタンバイタイムセレクト 3 スタンバイモード、サブアクティブモードおよびウォッチモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が発振安定時間以上となるように、SYSCR1 の STS2 ~ STS0 ビットとともに設定してください。設定値と待機ステート数の関係は表 6.1 のとおりです。  外部クロックを使用する場合は最小値 (STS3 = 0、STS2 = 1、STS1 = 0、STS0 = 1) を推奨します。システムクロック用内蔵発振器を使用する場合は TBD (STS3 = TBD、STS2 = TBD、STS1 = TBD、STS0 = TBD) を推奨します。推奨値以外の設定では待機時間終了前に動作を開始することがあります。

表 6.1 動作周波数と待機時間

ビット				待機ステート数	動作周波数と待機時間							
STS3	STS2	STS1	STS0		10MHz	8MHz	6MHz	5MHz	4.194MHz	3MHz	2MHz	
0	0	0	0	8,192 ステート	819.2	1,024.0	1,365.3	1,638.4	1,953.3	2,730.7	4,096.0	
0	0	0	1	16,384 ステート	1,638.4	2,048.0	2,730.7	3,276.8	3,906.5	5,461.3	8,192.0	
0	0	1	0	1,024 ステート	102.4	128.0	170.7	204.8	244.2	341.3	512.0	
0	0	1	1	2,048 ステート	204.8	256.0	341.3	409.6	488.3	682.7	1,024.0	
0	1	0	0	4,096 ステート	409.6	512.0	682.7	819.2	976.6	1,365.3	2,048.0	
0	1	0	1	2 ステート (外部クロック入力)	0.2	0.3	0.3	0.4	0.5	0.7	1.0	
0	1	1	0	8 ステート	0.8	1.0	1.3	1.6	1.9	2.7	4.0	
0	1	1	1	16 ステート	1.6	2.0	2.7	3.2	3.8	5.3	8.0	
1	0	0	0	256 ステート	25.6	32.0	42.7	51.2	61.0	85.3	128.0	
1	0	0	1	512 ステート	51.2	64.0	85.3	102.4	122.1	170.7	256.0	
1	0	1	0	32,768 ステート	3,276.8	4,096.0	5,461.3	6,553.6	7,813.1	10,922.7	16,384.0	
1	0	1	1	65,536 ステート	6,553.6	8,192.0	10,922.7	13,107.2	15,626.1	21,845.3	32,768.0	
1	1	0	0	131,072 ステート	13,107.2	16,384.0	21,845.3	26,214.4	31,252.3	43,690.7	65,536.0	
1	1	0	1	4 ステート	0.4	0.5	0.7	0.8	1.0	1.3	2.0	
1	1	1	0	32 ステート	3.2	4.0	5.3	6.4	7.6	10.7	16.0	
1	1	1	1	128 ステート	12.8	16.0	21.3	25.6	30.5	42.7	64.0	

【注】 時間の単位は  $\mu\text{s}$  です。

外部クロックを入力する場合、STS3 ~ STS0 はモード遷移を実行する前に、外部クロック入力モードに設定してください。また、外部クロックを使用しない場合、外部クロック入力モードに設定しないでください。

## 6.1.4 クロック停止レジスタ 1~3 (CKSTPR1~CKSTPR3)

CKSTPR1、CKSTPR2、CKSTPR3 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

## • CKSTPR1

ビット	ビット名	初期値	R/W	説明
7	S4CKSTP*1*3	1	R/W	SCI4 モジュールスタンバイ このビットが0のとき SCI4 はスタンバイ状態になります。
6	S31CKSTP	1	R/W	SCI3_1 モジュールスタンバイ*2 このビットが0のとき SCI3_1 はスタンバイ状態になります。
5	S32CKSTP	1	R/W	SCI3_2 モジュールスタンバイ*2 このビットが0のとき SCI3_2 はスタンバイ状態になります。
4	ADCKSTP	1	R/W	A/D 変換器モジュールスタンバイ このビットが0のとき A/D 変換器はスタンバイ状態になります。
3	-	1	R/W	リザーブビット リード/ライト可能なりザーブビットです。
2	TFCKSTP	1	R/W	タイマF モジュールスタンバイ このビットが0のときタイマF はスタンバイ状態になります。
1	FROMCKSTP*1*3	1	R/W	フラッシュメモリモジュールスタンバイ このビットが0のときフラッシュメモリはスタンバイ状態になります。 また、このビットが0のときフラッシュメモリの H'000000 ~ H'0000FF エリアにアクセスすると、RAM エミュレーション機能が有効になり、RAM の H'FFFC00 ~ H'FFFCFF エリアにアクセスされます。詳細は「7.4 RAMによるフラッシュメモリのエミュレーション」を参照してください。 RAM エミュレーション機能は F-ZTAT 版のみ対応します。
0	RTCCKSTP	1	R/W	RTC モジュールスタンバイ このビットが0のとき RTC はスタンバイ状態になります。

## • CKSTPR2

ビット	ビット名	初期値	R/W	説明
7	ADBCKSTP	1	R/W	アドレスブレイクモジュールスタンバイ このビットが0のときアドレスブレイクはスタンバイ状態になります。
6	TPUCKSTP	1	R/W	TPU モジュールスタンバイ このビットが0のとき TPU はスタンバイ状態になります。
5	IICCKSTP	1	R/W	IIC2 モジュールスタンバイ このビットが0のとき IIC2 はスタンバイ状態になります。
4	PW2CKSTP	1	R/W	PWM2 モジュールスタンバイ このビットが0のとき PWM2 はスタンバイ状態になります。
3	AECKSTP	1	R/W	非同期イベントカウンタモジュールスタンバイ このビットが0のとき非同期イベントカウンタはスタンバイ状態になります。

## 6. 低消費電力モード

ビット	ビット名	初期値	R/W	説明
2	WDCKSTP	1	R/W <sup>*4</sup>	ウォッチドッグタイマモジュールスタンバイ このビットが0のときウォッチドッグタイマはスタンバイ状態になります。
1	PW1CKSTP	1	R/W	PWM1 モジュールスタンバイ このビットが0のとき PWM1 はスタンバイ状態になります。
0	-	1	R/W	リザーブビット リード/ライト可能なりザーブビットです。

### • CKSTPR3

ビット	ビット名	初期値	R/W	説明
7	S33CKSTP	1	R/W	SCI3_3 モジュールスタンバイ <sup>*2</sup> このビットが0のとき SCI3_3 はスタンバイ状態になります。
6	TCCKSTP	1	R/W	タイマC モジュールスタンバイ このビットが0のときタイマC はスタンバイ状態になります。
5	TGCKSTP	1	R/W	タイマG モジュールスタンバイ このビットが0のときタイマG はスタンバイ状態になります。
4	PW4CKSTP	1	R/W	PWM4 モジュールスタンバイ このビットが0のとき PWM4 はスタンバイ状態になります。
3	PW3CKSTP	1	R/W	PWM3 モジュールスタンバイ このビットが0のとき PWM3 はスタンバイ状態になります。
2~0	-	すべて0	-	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

- 【注】 \*1 マスク ROM 版では常に1がリードされます。ライトは無効です。  
 \*2 SCI3 モジュールスタンバイに設定した場合、SCI3 の全レジスタはリセット状態となります。  
 \*3 オンチップエミュレータ使用時は必ず1にセットしてください。  
 \*4 WDCKSTP は TCSRW の WDON が0のとき有効になります。WDON が1 (ウォッチドッグタイマ動作中) のとき WDCKSTP を0に設定すると WDCKSTP は0に設定されますが、ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続します。ウォッチドッグ機能が終了し、ソフトウェアで WDON を0に設定すると同時に WDCKSTP が有効になり、ウォッチドッグタイマはモジュールスタンバイモードになります。

## 6.2 モード間遷移と LSI の状態

図 6.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。プログラム実行状態であるアクティブモードとサブアクティブモードの間ではプログラムの実行を停止することなく直接遷移することもできます。また、アクティブモードからアクティブモード、サブアクティブモードからサブアクティブモードへの直接遷移することにより、同一モードで動作周波数を変更することができます。 $\overline{\text{RES}}$  入力によりすべてのモードからリセット状態に遷移します。表 6.2 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 6.3 に各動作モードでの LSI の内部状態を示します。



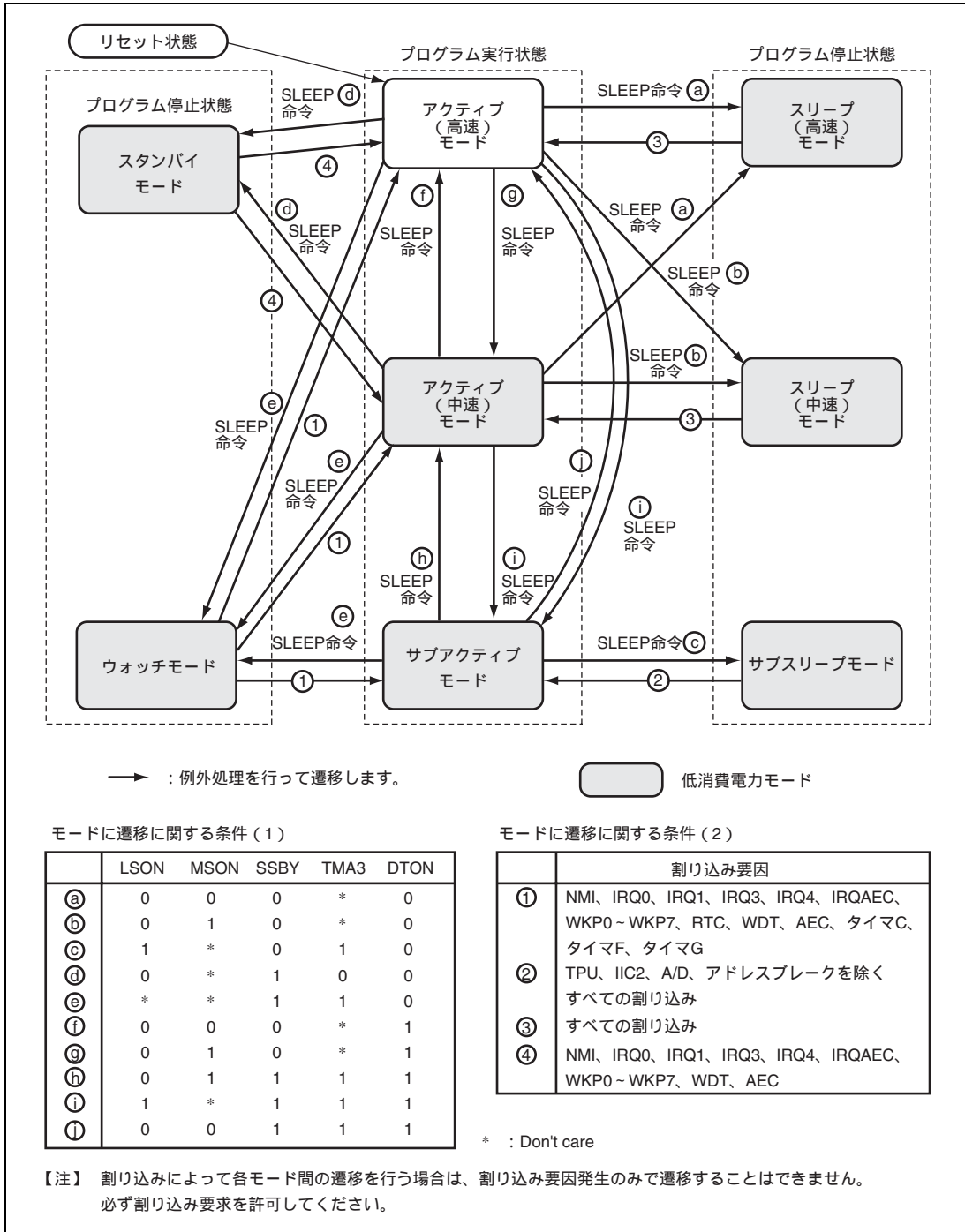


図 6.1 モード遷移図

## 6. 低消費電力モード

表 6.2 SLEEP 命令実行後の状態と割り込みによる復帰先

遷移前の状態	LS0N	MS0N	SSBY	TMA3	DT0N	SLEEP 命令実行後の状態	割り込みによる復帰先	記号
アクティブ (高速)モード	0	0	0	x	0	スリープ(高速)モード	アクティブ(高速)モード	a
	0	1	0	x	0	スリープ(中速)モード	アクティブ(中速)モード	b
	0	0	1	0	0	スタンバイモード	アクティブ(高速)モード	d
	0	1	1	0	0	スタンバイモード	アクティブ(中速)モード	d
	0	0	1	1	0	ウォッチモード	アクティブ(高速)モード	e
	0	1	1	1	0	ウォッチモード	アクティブ(中速)モード	e
	1	x	1	1	0	ウォッチモード	サブアクティブモード	e
	0	0	0	x	1	アクティブ(高速)モード(直接遷移)	-	-
	0	1	0	x	1	アクティブ(中速)モード(直接遷移)	-	g
	1	x	1	1	1	サブアクティブモード(直接遷移)	-	i
アクティブ (中速)モード	0	0	0	x	0	スリープ(高速)モード	アクティブ(高速)モード	a
	0	1	0	x	0	スリープ(中速)モード	アクティブ(中速)モード	b
	0	0	1	0	0	スタンバイモード	アクティブ(高速)モード	d
	0	1	1	0	0	スタンバイモード	アクティブ(中速)モード	d
	0	0	1	1	0	ウォッチモード	アクティブ(高速)モード	e
	0	1	1	1	0	ウォッチモード	アクティブ(中速)モード	e
	1	1	1	1	0	ウォッチモード	サブアクティブモード	e
	0	0	0	x	1	アクティブ(高速)モード(直接遷移)	-	f
	0	1	0	x	1	アクティブ(中速)モード(直接遷移)	-	-
	1	x	1	1	1	サブアクティブモード(直接遷移)	-	i
サブアクティブ モード	1	x	0	1	0	サブスリープモード	サブアクティブモード	c
	0	0	1	1	0	ウォッチモード	アクティブ(高速)モード	e
	0	1	1	1	0	ウォッチモード	アクティブ(中速)モード	e
	1	x	1	1	0	ウォッチモード	サブアクティブモード	e
	0	0	1	1	1	アクティブ(高速)モード(直接遷移)	-	j
	0	1	1	1	1	アクティブ(中速)モード(直接遷移)	-	h
	1	x	1	1	1	サブアクティブモード(直接遷移)	-	-

【注】 x : Don't care

表 6.3 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ
		高速	中速	高速	中速				
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止
サブクロック発振器		動作 / 停止	動作 / 停止	動作 / 停止	動作 / 停止	動作	動作	動作	動作 / 停止
CPU	命令	動作	動作	停止	停止	停止	動作	停止	停止
	RAM	動作	動作	保持	保持	保持	動作	保持	保持
	レジスタ	動作	動作	保持	保持	保持	動作	保持	保持
	I/O	動作	動作	保持	保持	保持	動作	保持	保持 <sup>*1</sup>
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ0	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ1	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ3	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ4	動作	動作	動作	動作	動作	動作	動作	動作
	IRQAEC	動作	動作	動作	動作	動作	動作	動作	動作
	WKP0 - WKP7	動作	動作	動作	動作	動作	動作	動作	動作
周辺 モジュール	タイマ C	動作	動作	動作	動作	動作 / 保持 <sup>*2</sup>	動作 / 保持 <sup>*2</sup>	動作 / 保持 <sup>*2</sup>	保持
	タイマ F、 タイマ G	動作	動作	動作	動作	動作 / 保持 <sup>*3</sup>	動作 / 保持 <sup>*3</sup>	動作 / 保持 <sup>*3</sup>	保持
	非同期イベント カウンタ	動作	動作	動作	動作	動作	動作	動作	動作
	RTC	動作	動作	動作	動作	動作 / 保持 <sup>*7</sup>	動作 / 保持 <sup>*7</sup>	動作 / 保持 <sup>*7</sup>	保持
	TPU	動作	動作	動作	動作	保持	保持	保持	保持
	WDT	動作	動作	動作	動作	動作 / 保持 <sup>*4</sup>	動作 / 保持 <sup>*4</sup>	動作 / 保持 <sup>*4</sup>	動作 / 保持 <sup>*5</sup>
	SCI3/IrDA	動作	動作	動作	動作	リセット	動作 / 保持 <sup>*6</sup>	動作 / 保持 <sup>*6</sup>	リセット
	IIC2	動作	動作	動作	動作	保持	保持	保持	保持
	PWM	動作	動作	動作	動作	保持	保持	保持	保持
	A/D 変換器	動作	動作	動作	動作	保持	保持	保持	保持
	アドレスブレイク	動作	動作	保持	保持	保持	動作	保持	保持

【注】 \*1 レジスタは保持、出力はハイインピーダンス。

\*2 内部クロックとして w/4、 w/256、 w/1024 を選択した場合に動作、その他は停止して保持。

\*3 内部クロックとして w/4 を選択した場合に動作、その他は停止して保持。

\*4 ウォッチドッグタイマ用内蔵発振器または内部クロックとして w/16、 w/256 を選択した場合に動作、その他は停止して保持。

\*5 ウォッチドッグタイマ用内蔵発振器を選択した場合に動作、その他は停止して保持。

\*6 内部クロックとして w/2 を選択した場合に動作、その他は停止して保持。

\*7 クロックソースとして RTC 動作を選択した場合に動作、フリーランカウンタでは停止して保持。

### 6.2.1 スリープモード

スリープモードではCPUの動作は停止しますが、システムクロック発振器、システムクロック用内蔵発振器およびサブクロック発振器と内蔵周辺モジュールは動作します。スリープ（中速）モードでは内蔵周辺モジュールはSYSCR1のMA1、MA0で設定した周波数のクロックで動作します。CPUのレジスタの内容は保持されます。

スリープモードは割り込みによって解除されます。割り込み要求が発生するとスリープモードは解除され、割り込み例外処理を開始します。CCRのIビットが1のとき、または割り込みイネーブルビットにより割り込みがマスクされているとスリープモードは解除できません。解除後のモードはスリープ（高速）モードからはアクティブ（高速）モードに、スリープ（中速）モードからはアクティブ（中速）モードへ遷移します。スリープモード中 $\overline{\text{RES}}$ 端子をLowレベルにするとスリープモードは解除されリセット状態に遷移します。なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大2/（S）の遅れが生じることがあります。

### 6.2.2 スタンバイモード

スタンバイモードでは、システムクロック発振器およびシステムクロック用内蔵発振器が停止し、CPUおよびWDT、非同期イベントカウンタ以外の内蔵周辺モジュールが停止します。規定の電圧が与えられている限り、CPUのレジスタと一部の内蔵周辺モジュールの内部レジスタは保持されます。また、RAMデータ保持電圧で規定された電圧が供給されているかぎり、内蔵RAMのデータは保持されます。I/Oポートはハイインピーダンス状態となります。

スタンバイモードは割り込みによって解除されます。割り込み要求が発生するとシステムクロック発振器およびシステムクロック用内蔵発振器が発振を開始します。SYSCR1のSTS2～STS0およびSYSCR3のSTS3で設定された時間が経過するとスタンバイモードが解除されて割り込み例外処理を開始します。解除後のモードはSYSCR2のMSONによって決まり、アクティブ（高速）モードまたはアクティブ（中速）モードへ遷移します。CCRのIビットが1の場合、または割り込みイネーブルビットにより割り込みがマスクされているとスタンバイモードは解除できません。

スタンバイモードでリセット要因が発生すると、システムクロック発振器およびシステムクロック用内蔵発振器が発振を開始します。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定し、加えて $t_{\text{REL}}$ 期間が経過するまでLowレベルを保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

### 6.2.3 ウォッチモード

ウォッチモードではシステムクロック発振器、システムクロック用内蔵発振器および CPU の動作は停止し、WDT、RTC、タイマ C、タイマ F、タイマ G、非同期イベントカウンタ以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは割り込みによって解除されます。割り込み要求が発生するとウォッチモードは解除され、割り込み例外処理を開始します。解除後のモードは、SYSCR1 の LSON と SYSCR2 の MSON の組み合わせでアクティブ（高速）モードやアクティブ（中速）モード、またはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2 ~ STS0 および SYSCR3 の STS3 で設定された時間が経過すると割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込み受け付けが禁止されている場合は、ウォッチモードは解除できません。

ウォッチモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$  端子は必ずシステムクロックの発振が安定し、加えて  $t_{\text{REL}}$  期間が経過するまで Low レベルを保持してください。 $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

### 6.2.4 サブスリープモード

サブスリープモードでは CPU は停止しますが、TPU、A/D 変換器、PWM、IIC2、アドレスブレイク以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは割り込みによって解除されます。割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。解除後のモードはサブアクティブモードへ遷移します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

サブスリープモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$  端子は必ずシステムクロックの発振が安定し、加えて  $t_{\text{REL}}$  期間が経過するまで Low レベルを保持してください。 $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

### 6.2.5 サブアクティブモード

サブアクティブモードではシステムクロック発振器およびシステムクロック用内蔵発振器が停止し、A/D変換器、PWM、TPU、IIC2以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、一部の内蔵周辺モジュールの内部レジスタの内容を保持します。

サブアクティブモードは、SLEEP命令を実行すると解除されます。解除後のモードは、SYSCR1のSSBYとLSON、TMA3、SYSCR2のMSONとDTONの組み合わせによりサブスリープモード、アクティブモード、ウォッチモードへ遷移します。

サブアクティブモードでリセット要因が発生すると、システムクロック発振器が発振を開始します。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定し、加えて $t_{\text{REL}}$ 期間が経過するまでLowレベルを保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

サブアクティブモードの動作周波数は、SYSCR2のSA1、SA0により、ウォッチクロック( $w$ )の2分周、4分周、8分周から選択できます。動作周波数はSLEEP命令実行後、SLEEP命令実行前に設定した周波数に切り替わります。

### 6.2.6 アクティブ(中速)モード

アクティブ(中速)モードでは、システムクロックとしてSYSCR1のMA1、MA0で設定した分周のクロックが使用され、CPUと内蔵周辺モジュールが動作します。

アクティブ(中速)モードは、SLEEP命令を実行すると解除されます。解除後のモードはSYSCR1のSSBY、TMA3とLSONの組み合わせによりスタンバイモードに遷移し、SYSCR1のSSBY、TMA3の組み合わせによりウォッチモードに遷移し、SYSCR1のSSBYとLSONの組み合わせにより、スリープモードに遷移します。さらに直接遷移によってアクティブ(高速)モード、またはサブアクティブモードへ遷移します。

アクティブ(中速)モード中リセット要因が発生するとアクティブ(中速)モードは解除されリセット状態に遷移します。

## 6.3 直接遷移

CPU がプログラムを実行している動作モードにはアクティブモードとサブアクティブモードがあります。直接遷移はこの2つの動作モード間でプログラムの実行を停止することなく遷移します。アクティブモード、サブアクティブモードで動作クロックを変更する場合にも直接遷移を行います。SYSCR2のDTONを1にセットしてSLEEP命令を実行すると、スリープモードまたはウォッチモードを経由し、遷移します。遷移後は直接遷移割り込み例外処理を開始します。

【注】 CCRの1ビットが1の状態では直接遷移を行うと、スリープモードまたはウォッチモードに遷移したまま復帰不可能となります。

### 6.3.1 アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移について

アクティブ（高速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを1、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

SLEEP命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（1）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (1) \end{aligned}$$

〔例〕 遷移後のCPU動作クロック：osc/8を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 1t_{\text{osc}} + 14 \times 8t_{\text{osc}} = 115t_{\text{osc}}$$

【注】 \* 各記号の意味につきましては、「第25章 電気的特性」を参照してください。

### 6.3.2 アクティブ（高速）モードからサブアクティブモードへの直接遷移について

アクティブ（高速）モードでSYSCR1のSSBYを1、TMA3を1、LSONを1、SYSCR2のDTONを1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

SLEEP命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（2）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{subcyc}}) \dots\dots\dots (2) \end{aligned}$$

〔例〕 遷移後のサブアクティブ動作クロック：w/8を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 1t_{\text{osc}} + 14 \times 8t_{\text{w}} = 3t_{\text{osc}} + 112t_{\text{w}}$$

【注】 \* 各記号の意味につきましては、「第25章 電気的特性」を参照してください。

### 6.3.3 アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移について

アクティブ（中速）モードでSYSCR1のSSBYを0、LSONを0、SYSCR2のMSONを0、DTONを1にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（3）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

〔例〕 遷移前の CPU 動作クロック：  $\text{osc}/8$  を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_{\text{osc}} + 14 \times 1t_{\text{osc}} = 38t_{\text{osc}}$$

【注】 \* 各記号の意味につきましては、「第 25 章 電気的特性」を参照してください。

### 6.3.4 アクティブ（中速）モードからサブアクティブモードへの直接遷移について

アクティブ（中速）モードでSYSCR1のSSBYを1、LSONを1、TMA3を1、SYSCR2のDTONを1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（4）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{subcyc}}) \dots\dots\dots (4) \end{aligned}$$

〔例〕 遷移前の CPU 動作クロック：  $\text{osc}/8$ 、遷移後の CPU 動作クロック：  $w/8$  を選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_{\text{osc}} + 14 \times 8t_w = 24t_{\text{osc}} + 112t_w$$

【注】 \* 各記号の意味につきましては、「第 25 章 電気的特性」を参照してください。

### 6.3.5 サブアクティブモードからアクティブ（高速）モードへの直接遷移について

サブアクティブモードでSYSCR1のSSBYを1、LSONを0、TMA3を1、SYSCR2のMSONを0、DTONを1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（3）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

〔例〕 遷移前の CPU 動作クロック：  $w/8$ 、待機時間：8192 ステートを選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_w + (8192 + 14) \times 1t_{\text{osc}} = 24t_w + 8206t_{\text{osc}}$$

【注】 \* 各記号の意味につきましては、「第 25 章 電気的特性」を参照してください。



### 6.3.6 サブアクティブモードからアクティブ（中速）モードへの直接遷移について

サブアクティブモードでSYSCR1のSSBYを1、LSONを0、TMA3を1、SYSCR2のMSONを1、DTONを1にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は（6）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行状態数}) \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (6) \end{aligned}$$

【例】遷移前の CPU 動作クロック： w/8、遷移後の CPU 動作クロック： osc/8、待機時間：8192 ステートを選択した場合

$$\text{直接遷移時間} = (2 + 1) \times 8t_w + 8192 \times 1t_{\text{osc}} + 14 \times 8t_{\text{osc}} = 24t_w + 8304t_{\text{osc}}$$

【注】 \* 各記号の意味につきましては、「第 25 章 電気的特性」を参照してください。

### 6.3.7 直接遷移前後で外部入力信号が変化する場合の注意事項

#### （1）アクティブ（高速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「6.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

#### （2）アクティブ（中速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「6.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

#### （3）サブアクティブモードからアクティブ（高速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「6.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

#### （4）サブアクティブモードからアクティブ（中速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「6.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

## 6.4 モジュールスタンバイ機能

モジュールスタンバイ機能はすべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。CKSTPR1～CKSTPR3の各モジュールに対応したビットを0にするとそのモジュールはモジュールスタンバイ状態となり、1にすると解除されます。（「6.1.4 クロック停止レジスタ1～3（CKSTPR1～CKSTPR3）」を参照）

## 6.5 使用上の注意事項

### 6.5.1 スタンバイモードへの遷移と端子状態

アクティブ（高速）モードまたはアクティブ（中速）モードでSYSCR1のSSBY、TMA3を1、LSONを0にした状態でSLEEP命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態（プルアップMOSオン設定端子は除く）になります。この時のタイミングを図6.2に示します。

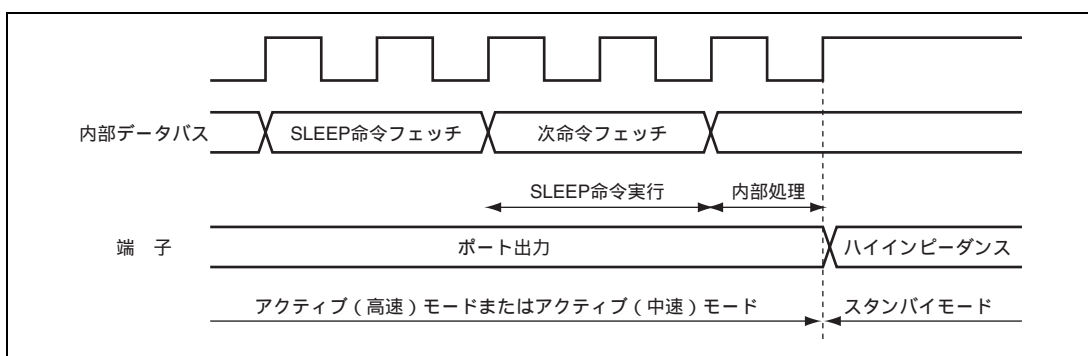


図 6.2 スタンバイモードへの遷移と端子状態

### 6.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

$\overline{\text{NMI}}$ 、 $\overline{\text{IRQ}}$ 、 $\overline{\text{WKP}}$ 、 $\overline{\text{IRQAEC}}$ 等の外部入力信号を入力する場合、信号のHigh、Lowレベル幅はどちらもシステムクロック またはサブクロック<sub>SUB</sub>（以下、本項では合せて内部クロックと呼びます。）の2サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は、以下の「推奨する外部入力信号タイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図6.3に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブモードまたはサブアクティブモードに遷移した直後に外部入力信号が立ち下がった場合、この時点でのHighレベル幅が2tcyc、2tsubcyc未満の場合、この外部入力信号は取り込めません。

## (3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには「取り込める場合1」に示すようにスタンバイモード、ウォッチモードに遷移する前に入力信号のHigh、Lowレベル幅を $2t_{cyc}$ 、 $2t_{subcyc}$ 以上確保してください。

また「取り込める場合2」「取り込める場合3」のタイミングでも $2t_{cyc}$ 、 $2t_{subcyc}$ のレベル幅を確保できるので外部入力信号の取り込みが可能です。

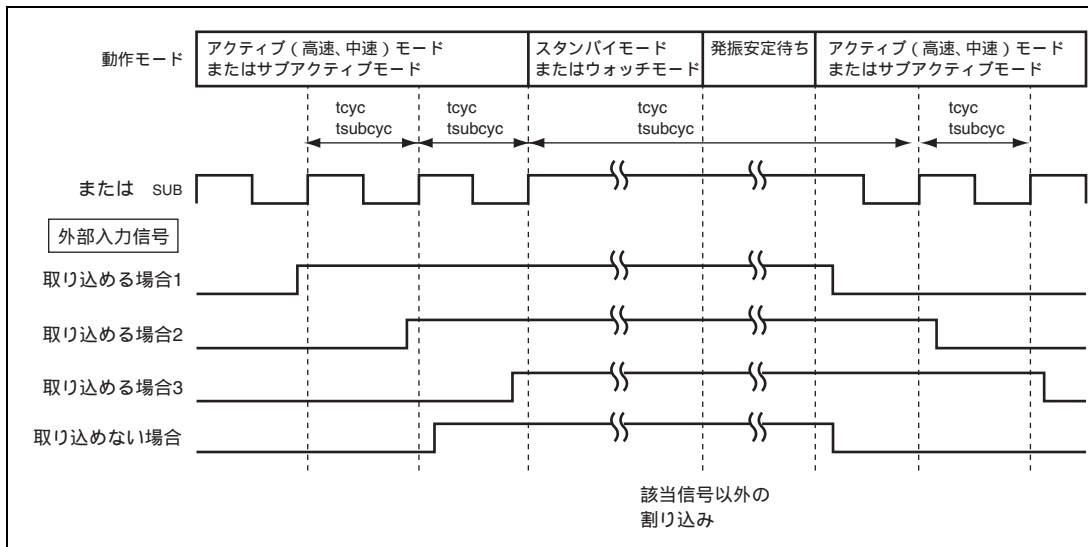


図 6.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

## (4) 本注意事項が適用される入力端子

$\overline{NMI}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 $\overline{IRQAEC}$ 、 $\overline{WKP0} \sim \overline{WKP7}$ 、 $\overline{TMIC}$ 、 $\overline{TMIF}$ 、 $\overline{TMIG}$ 、 $\overline{ADTRG}$ 、 $\overline{TIOCA1}$ 、 $\overline{TIOCB1}$ 、 $\overline{TIOCA2}$ 、 $\overline{TIOCB2}$

## 6. 低消費電力モード

---

---

## 7. ROM

---

フラッシュメモリ版に内蔵されている 128K バイトのフラッシュメモリの特長は以下のとおりです。

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、1Kバイト×4ブロック、28Kバイト×1ブロック、16Kバイト×1ブロック、8Kバイト×2ブロック、32Kバイト×2ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。

- オンボードプログラミング

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。この他、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み / 消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ソフトウェアによりフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- 低消費電力モード

サブアクティブモードでは電源回路の一部の動作を停止させることができます。これによりフラッシュメモリを低消費電力で読み出すことができます。

- モジュールスタンバイモード

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定することができます。(詳細は「6.4 モジュールスタンバイ機能」を参照してください。)

ただし、オンチップデバッガ使用時、クロック停止レジスタ1 (CKSTPR1) のビット1 (FROMCKSTP) は必ず1にセットしてください。

## 7.1 ブロック構成

図 7.1 にフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。128K バイトのフラッシュメモリは 1K バイト×4 ブロック、28K バイト×1 ブロック、16K バイト×1 ブロック、8K バイト×2 ブロック、32K バイト×2 ブロックに分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位1Kバイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
	H'000380	H'000381	H'000382	- - - - -	H'0003FF
EB1 消去単位1Kバイト	H'000400	H'000401	H'000402	書き込み単位 128バイト	H'00047F
	H'000780	H'000781	H'000782	- - - - -	H'0007FF
EB2 消去単位1Kバイト	H'000800	H'000801	H'000802	書き込み単位 128バイト	H'00087F
	H'000B80	H'000B81	H'000B82	- - - - -	H'000BFF
EB3 消去単位1Kバイト	H'000C00	H'000C01	H'000C02	書き込み単位 128バイト	H'000C7F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
EB4 消去単位28Kバイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
	H'007F80	H'007F81	H'007F82	- - - - -	H'007FFF
EB5 消去単位16Kバイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
	H'00BF80	H'00BF81	H'00BF82	- - - - -	H'00BFFF
EB6 消去単位8Kバイト	H'00C000	H'00C001	H'00C002	書き込み単位 128バイト	H'00C07F
	H'00DF80	H'00DF81	H'00DF82	- - - - -	H'00DFFF
EB7 消去単位8Kバイト	H'00E000	H'00E001	H'00E002	書き込み単位 128バイト	H'00E07F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB8 消去単位32Kバイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
	H'017F80	H'017F81	H'017F82	- - - - -	H'017FFF
EB9 消去単位32Kバイト	H'018000	H'018001	H'018002	書き込み単位 128バイト	H'01807F
	H'01FF80	H'01FF81	H'01FF82	- - - - -	H'01FFFF

図 7.1 フラッシュメモリのブロック構成

## 7.2 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- ブロック指定レジスタ1 (EBR1)
- ブロック指定レジスタ2 (EBR2)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)
- フラッシュメモリイネーブルレジスタ (FENR)

### 7.2.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「7.5 書き込み / 消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に0が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み / 消去が可能となります。 0のときこのレジスタの他のビットと EBR1 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の E ビットを1にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の P ビットを1にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE = 1、ESU = 1 の状態でこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE = 1、PSU = 1 の状態でこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

## 7. ROM

### 7.2.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「7.6.3 エラープロテクト」を参照してください。
6~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

### 7.2.3 ブロック指定レジスタ 1 (EBR1)

EBR1 はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE1 ビットが 0 のとき EBR1 は H'00 に初期化されます。このレジスタは EBR2 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'00E000 ~ H'00FFFF) の 8K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000 ~ H'00DFFF) の 8K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000 ~ H'00BFFF) の 16K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000 ~ H'007FFF) の 28K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00 ~ H'000FFF) の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800 ~ H'000BFF) の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400 ~ H'0007FF) の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'0003FF) の 1K バイトが消去対象となります。



### 7.2.4 ブロック指定レジスタ 2 (EBR2)

EBR2 はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE1 ビットが 0 のとき EBR2 は H'00 に初期化されます。このレジスタは EBR1 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
1	EB9	0	R/W	このビットが 1 のとき EB9 (H'018000 ~ H'01FFFF) の 32K バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB8 (H'010000 ~ H'017FFF) の 32K バイトが消去対象となります。

### 7.2.5 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

FLPWCR は LSI がサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでフラッシュメモリの電源回路の一部の動作を停止し、フラッシュメモリの読み出しができるモードと、サブアクティブモード動作に移行しても、フラッシュメモリの電源回路の動作は保持しフラッシュメモリの読み出しを可能にするモードがあります。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンディスエーブル このビットが 0 のときサブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなります。 このビットが 1 のときはサブアクティブモードに遷移してもフラッシュメモリは通常モードで動作します。
6~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

### 7.2.6 フラッシュメモリエnableレジスタ (FENR)

FENR のビット 7 (FLSHE) は、CPU からフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR1、EBR2、FLPWCR をアクセスする場合のアクセス許可 / 禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7	FLSHE	0	R/W	フラッシュメモリコントロールレジスタ enable このビットを 1 にセットすると、フラッシュメモリ制御レジスタがアクセス可能となります。0 のとき制御レジスタはアクセスできません。
6~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

### 7.3 オンボードプログラミング

フラッシュメモリの書き込み / 消去を行うためのモードとしてオンボードで書き込み / 消去ができるブートモードと PROM ライタで書き込み / 消去を行うライターモードが用意されています。このほかユーザモードでもオンボードで書き込み / 消去を行うことが可能です。リセット状態からリセットスタートすると本 LSI は TEST 端子、 $\overline{\text{NMI}}$  端子およびポートの入力レベルによって表 7.1 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI3 (チャンネル 1) を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み / 消去ができなくなった場合の強制復帰等に使用できます。ユーザモードではユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 7.1 プログラミングモード選択方法

TEST	$\overline{\text{NMI}}$	P36	PB0	PB1	PB2	リセット解除後の LSI の状態
0	1	x	x	x	x	ユーザモード
0	0	1	x	x	x	ブートモード
1	x	x	0	0	0	ライターモード

【注】 x : Don't care

### 7.3.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表7.2に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「7.5 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。  
SPCRによるTXD端子、RXD端子の反転機能は「反転しない」に設定してあるのでホストと本LSI間に反転回路をいれないでください。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表7.3の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFF380～H'FFFE7F番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリフェイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR42=1、P42=1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、 $\overline{\text{NMI}}$ 端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、 $\overline{\text{NMI}}$ 端子の入力レベルを変化させないでください。

## 7. ROM

表 7.2 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐  <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信  H'00を正常に受信したらH'55送信	H'00,H'00・・・H'00  H'00 H'55	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI3のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信  H'55受信
フラッシュメモリ消去	ブートプログラム消去エラー  H'AA受信	H'FF  H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信  書き込み制御プログラムを1バイト毎に送信(N回繰り返し)  H'AA受信	上位バイト、下位バイト  エコーバック H'XX エコーバック  H'AA	受信した2バイトデータをホストへエコーバック  受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)  ホストへH'AAを送信
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	LSI のシステムクロック周波数範囲
9600bps	8 ~ 10MHz
4800bps	4 ~ 10MHz
2400bps	2 ~ 10MHz

### 7.3.2 ユーザモードでの書き込み / 消去

ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 7.2 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「7.5 書き込み / 消去プログラム」に沿ったものを用意してください。

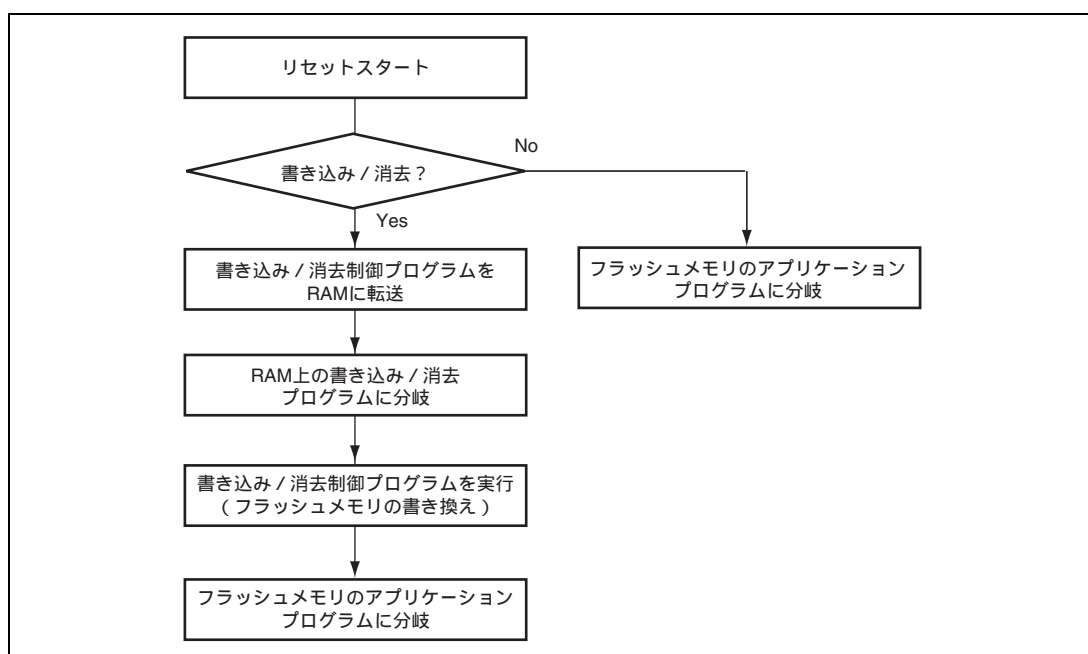


図 7.2 ユーザモードにおける書き込み / 消去例

## 7.4 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムでエミュレートできるようにフラッシュメモリの一部 (エミュレーションエリア) に RAM をオーバーラップさせて使用することができます。

フラッシュメモリのエミュレーションエリアを RAM にオーバーラップさせる場合を図 7.3 の示します。

1. オーバーラップさせる RAM エリア (RAM オーバーラップエリア) は H'FFFC00 ~ H'FFFCFF の 256 バイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリア (エミュレーションエリア) は H'000000 ~ H'0000FF の 256 バイトです。

## 7. ROM

3. CKSTPR1のFROMCKSTPビットをクリアしてフラッシュメモリをスタンバイ状態にし、フラッシュメモリのエミュレーションエリアにアクセスすると、エミュレーションエリアはオーバーラップRAMエリアにオーバーラップされます。
4. オーバラップRAMエリアはフラッシュメモリ内のアドレスと元のRAMのアドレス両方からアクセスできます。RAMエミュレーションする場合、オーバーラップRAMエリアにはベクタテーブルが必要です。
5. RAMのオーバーラップ解除はCKSTPR1のFROMCKSTPビットをセットし、フラッシュメモリのスタンバイ解除することにより解除されます。解除には、必ずエミュレーションエリアからRAMエリアに遷移してから実行してください。

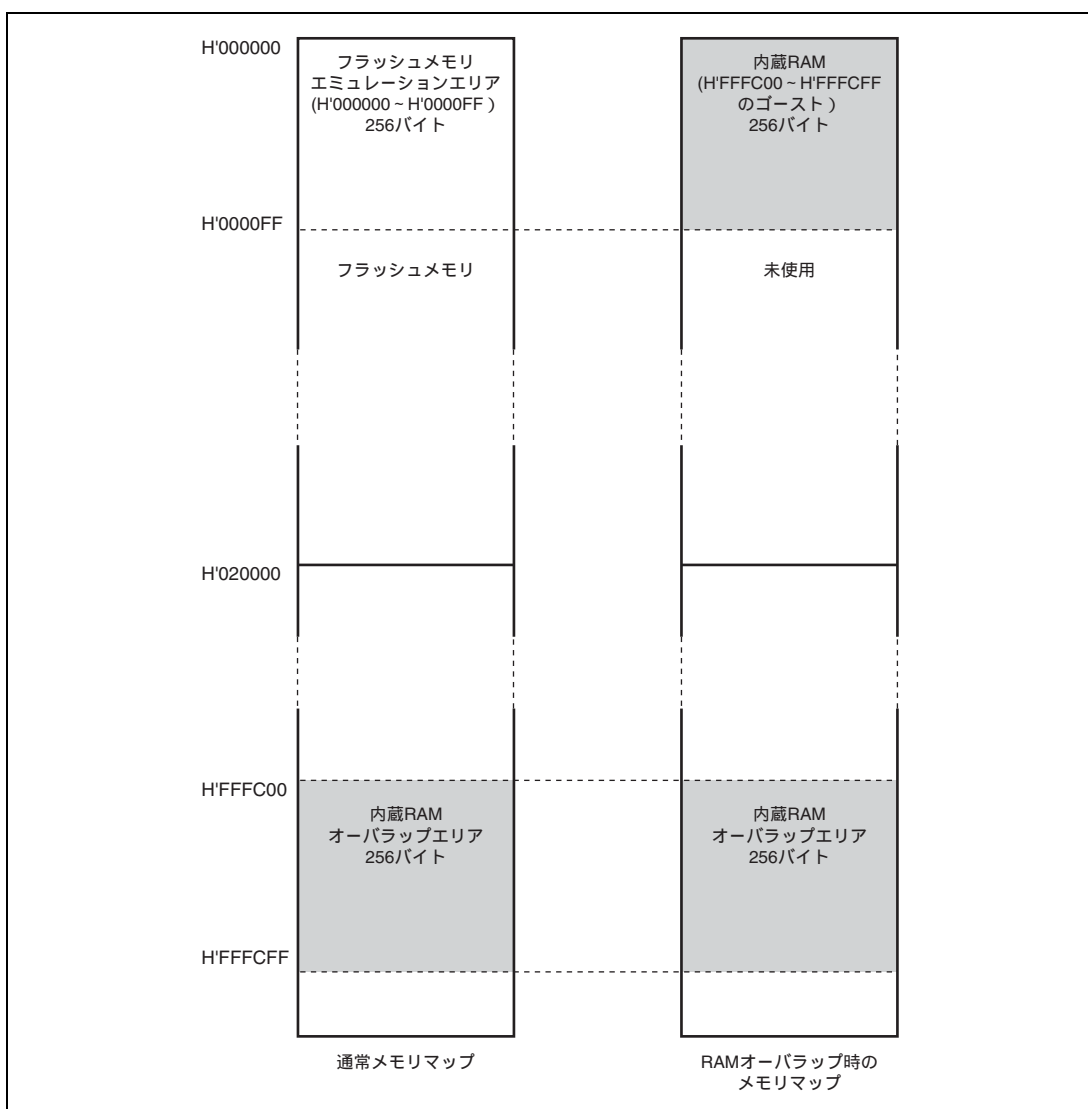


図 7.3 RAM オーバラップ

## 7.5 書き込み / 消去プログラム

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせで書き込み / 消去を行います。フラッシュメモリへの書き込みは「7.5.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「7.5.2 イレース / イレースベリファイ」に沿って行ってください。

### 7.5.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図7.4に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態でいい、既に書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保して下さい。再書き込みデータの演算は表7.4に、追加書き込みデータの演算は表7.5にしたがってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされず。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は表7.6にしたがってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードもしくはロングワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

## 7. ROM

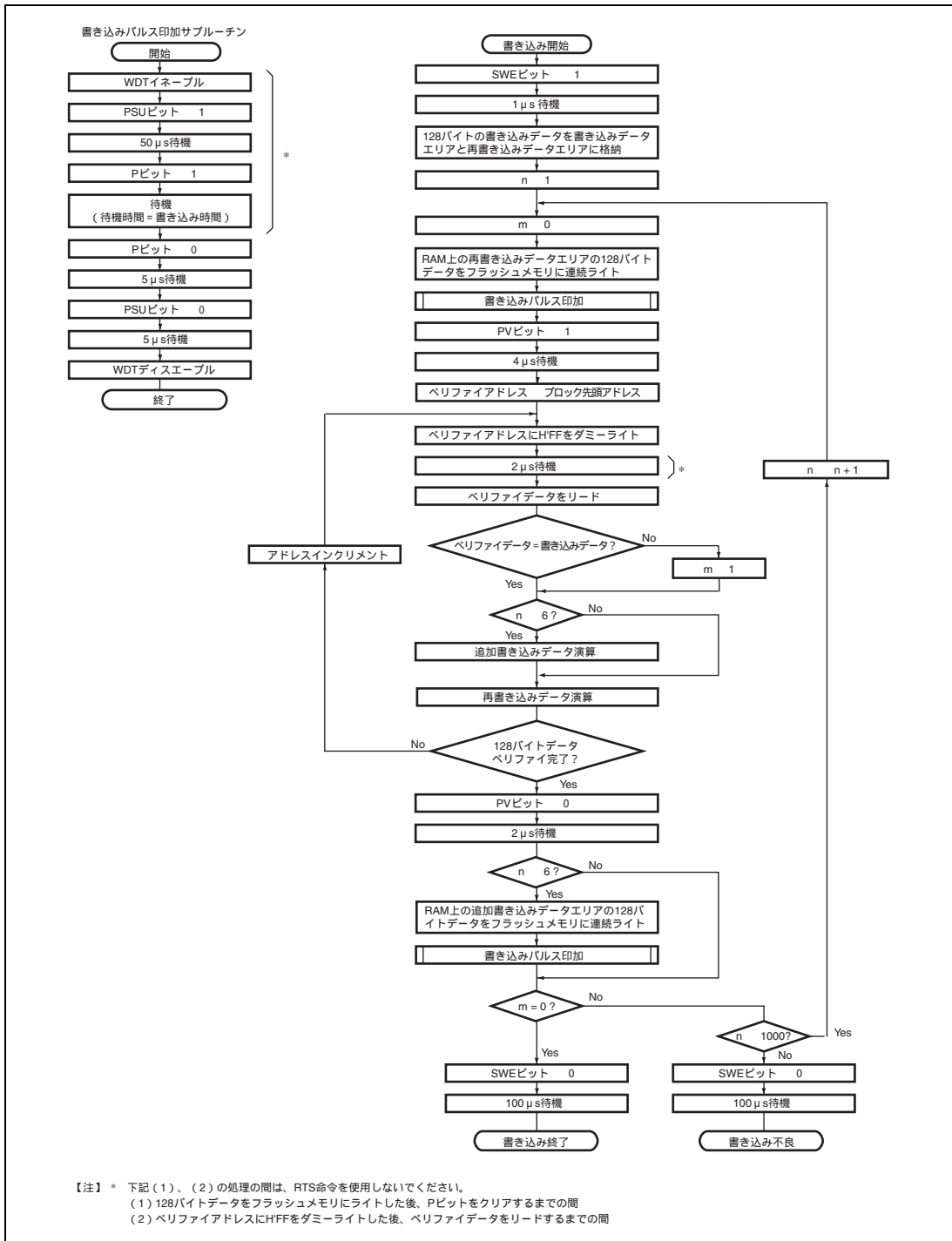


図 7.4 プログラム / プログラムペリファイフロー



表 7.4 再書き込みデータ演算表

書き込みデータ	バリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 7.5 追加書き込みデータ演算表

再書き込みデータ	バリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 7.6 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200		

【注】 時間の単位は  $\mu\text{s}$  です。

### 7.5.2 イレース / イレースベリファイ

消去は図 7.5 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ1（EBR1）、ブロック指定レジスタ2（EBR2）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

### 7.5.3 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み / 消去中またはブートプログラム実行中は以下の理由から NMI を含むすべての割り込み要求を禁止してください。

1. 書き込み / 消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み / 消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

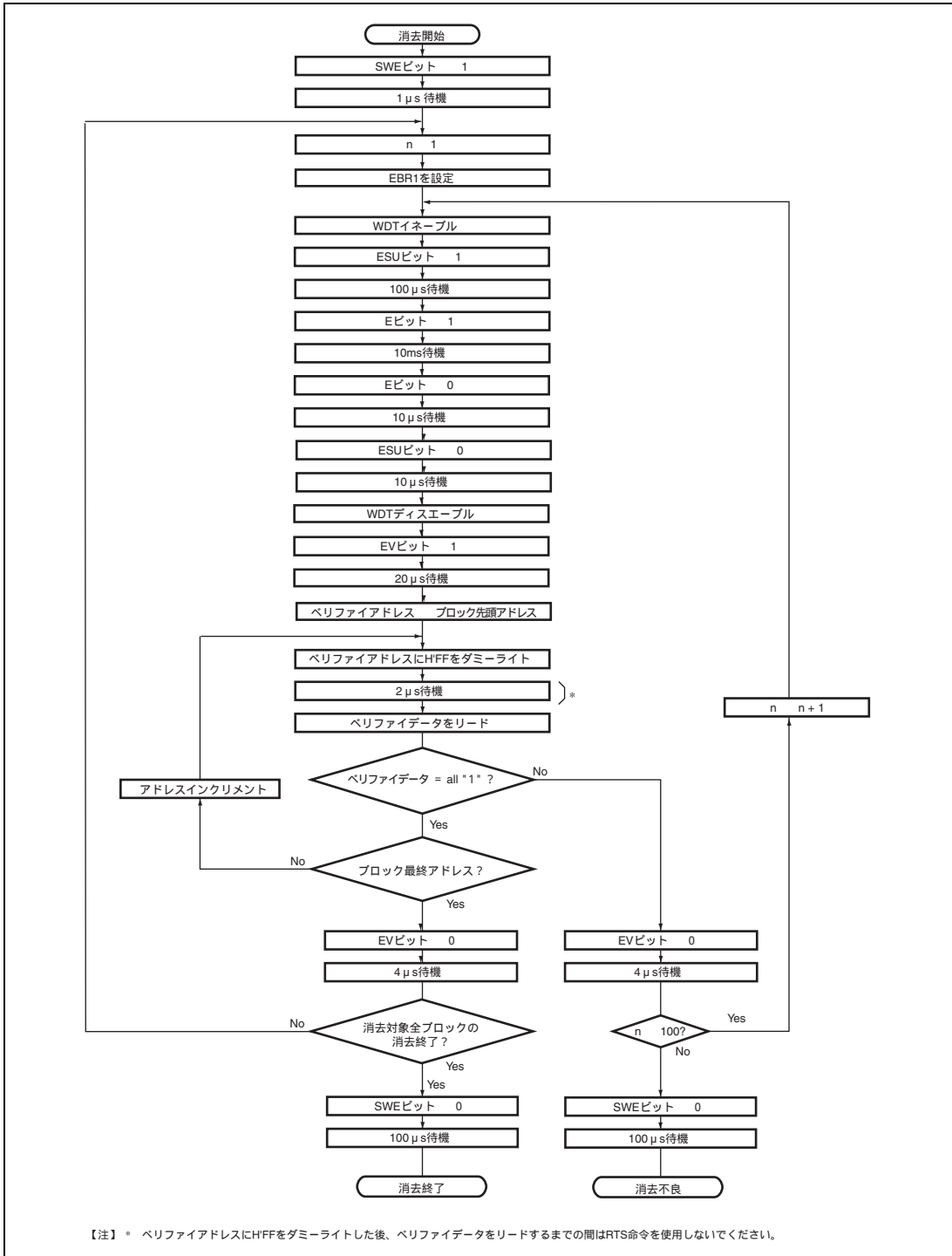


図 7.5 イレース/イレースベリファイフロー

### 7.6 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

#### 7.6.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブアクティブモード、サブスリープモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ 1 (FLMCR1)、フラッシュメモリコントロールレジスタ 2 (FLMCR2)、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで  $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した  $\overline{\text{RES}}$  パルス幅の間  $\overline{\text{RES}}$  端子を Low レベルに保持してください。

#### 7.6.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロック毎に消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

#### 7.6.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ペリファイアモードへの遷移は可能です。エラープロテクト状態は、リセットによってのみ解除できます。

## 7.7 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタは 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT128V3) をサポートしているライタを使用してください。

## 7.8 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態

高速でフラッシュメモリの読み出しが可能です。

- 低消費電力動作状態

フラッシュメモリの電源回路の一部を停止させることができます。これにより、フラッシュメモリを低消費電力で読み出すことができます。

- スタンバイ状態

フラッシュメモリのすべての回路が停止します。

表 7.7 に LSI の動作モードとフラッシュメモリの状態の関係を示します。サブアクティブモードでは FLPWCR の PDWND ビットによりフラッシュメモリを低消費電力動作に設定することができます。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の動作安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20  $\mu$ s 以上になるよう SYSCR1、SYSCR3 の STS3 ~ STS0 を設定してください。

表 7.7 フラッシュメモリの動作状態

LSI の動作モード	フラッシュメモリの状態	
	PDWND = 0 のとき (初期値)	PDWND = 1 のとき
アクティブモード	通常動作状態	通常動作状態
スリープモード	通常動作状態	通常動作状態
サブアクティブモード	低消費電力動作状態	通常動作状態
サブスリープモード	スタンバイ状態	スタンバイ状態
モジュールスタンバイモード*	スタンバイ状態	スタンバイ状態
スタンバイモード	スタンバイ状態	スタンバイ状態

【注】 \* 通常動作状態へ復帰するときは 100  $\mu$ s の待機時間が必要です。

## 7.9 モジュールスタンバイモード設定時の注意事項

フラッシュメモリをモジュールスタンバイモードに設定すると、モジュールへのシステムクロック供給は停止され、機能が停止し、スタンバイモードと同じ状態になります。従って、フラッシュメモリにおけるプログラム動作が停止しますので、動作プログラムをRAMへ転送し、RAMでプログラム動作をさせた後にフラッシュメモリをモジュールスタンバイモードに設定してください。

また、RAMエミュレーションを使用しない場合、モジュールスタンバイモード時に割り込みが発生すると、ベクタアドレスが読み出せず、結果としてプログラムが暴走します。

従って、フラッシュメモリをモジュールスタンバイモードへ設定する前に、割り込み許可レジスタの対応するビットを0、およびCCRのIビットを1に設定し、モジュールスタンバイモード設定後は、NMIおよびアドレスブレークの割り込み要求を発生させないようにしてください。

図 7.6 にモジュールスタンバイモードの設定方法（RAMエミュレーションを使用しない場合）を示します。



図 7.6 モジュールスタンバイモードの設定方法（RAMエミュレーションを使用しない場合）

RAMエミュレーションを使用する（割り込みベクタを用意する）場合のモジュールスタンバイモード時は、割り込みベクタをRAMに割り当て、ベクタアドレスを設定することにより、上記の理由によるプログラムの暴走を回避することが可能です。詳細は「7.4 RAMによるフラッシュメモリのエミュレーション」を参照してください。

---

## 8. RAM

---

H8/38799 グループは、高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 2 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8/38799F	4K バイト	H'FFCF80 ~ H'FFD37F、H'FFF380 ~ H'FFFF7F
マスク ROM 版	H8/38799	4K バイト	H'FFCF80 ~ H'FFD37F、H'FFF380 ~ H'FFFF7F
	H8/38798	2K バイト	H'FFF780 ~ H'FFFF7F





---

## 9. I/O ポート

---

H8/38799 グループは汎用入出力ポートを 75 本、汎用入力ポートを 8 本備えています。このうち、ポート 9 は大電流ポートで Low レベル出力値 15mA (@ $V_{OL} = 1.0V$ ) 駆動できます。いずれも内蔵周辺モジュールの入出力端子や外部割り込み入力端子と兼用になっていてリセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。これら機能を選択するためのレジスタは I/O ポートに含まれるものと、各内蔵周辺モジュールに含まれるものがあります。汎用入出力ポートは入出力を制御するポートコントロールレジスタと出力データを格納するポートデータレジスタから構成され、ビット単位で入出力を選択できます。

ポートデータレジスタ (PDR) に対するビット操作命令の実行については「2.8.3 ビット操作命令」を参照してください。

各ポートのブロック図は「付録 B.1 I/O ポートブロック図」を参照してください。

### 9.1 ポート 1

ポート 1 は、SCI4 入出力端子、TPU 入出力端子、非同期イベントカウンタ入力端子と兼用の入出力ポートです。ポート 1 の各端子は、図 9.1 に示す構成になっています。

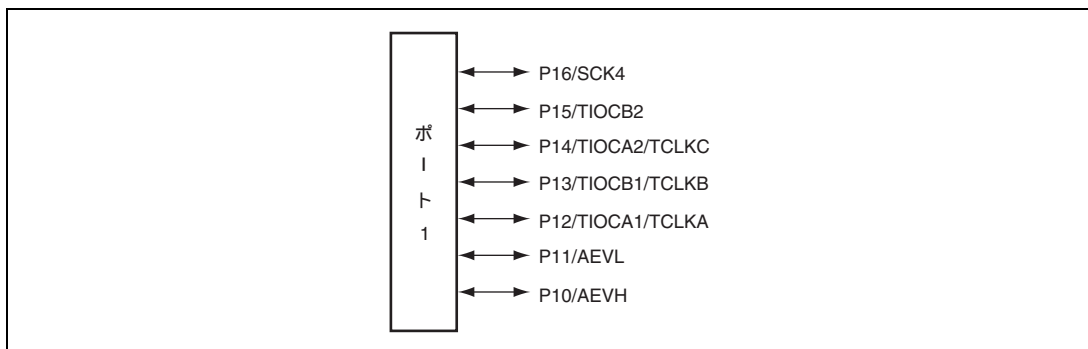


図 9.1 ポート 1 の端子構成

ポート 1 には以下のレジスタがあります。

- ポートデータレジスタ1 (PDR1)
- ポートコントロールレジスタ1 (PCR1)
- ポートブルアップコントロールレジスタ1 (PUCR1)
- ポートモードレジスタ1 (PMR1)

## 9. I/O ポート

### 9.1.1 ポートデータレジスタ 1 (PDR1)

PDR1 は、ポート 1 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6	P16	0	R/W	PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状態の影響を受けません。PCR1 が 0 のとき、ポート 1 のリードを行うと、端子状態が読み出されます。
5	P15	0	R/W	
4	P14	0	R/W	
3	P13	0	R/W	
2	P12	0	R/W	
1	P11	0	R/W	
0	P10	0	R/W	

### 9.1.2 ポートコントロールレジスタ 1 (PCR1)

PCR1 は、ポート 1 の汎用入出力ポートとして使用する端子の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6	PCR16	0	W	PCR1 に 1 をセットすると対応する P16 ~ P10 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。 本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
5	PCR15	0	W	
4	PCR14	0	W	
3	PCR13	0	W	
2	PCR12	0	W	
1	PCR11	0	W	
0	PCR10	0	W	

### 9.1.3 ポートプルアップコントロールレジスタ 1 (PUCR1)

PUCR1 は、ポート 1 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6	PUCR16	0	R/W	PCR1 が 0 の状態で PUCR1 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
5	PUCR15	0	R/W	
4	PUCR14	0	R/W	
3	PUCR13	0	R/W	
2	PUCR12	0	R/W	
1	PUCR11	0	R/W	
0	PUCR10	0	R/W	

### 9.1.4 ポートモードレジスタ 1 (PMR1)

PMR1 は、ポート 1 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7-2	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
1	AEVL	0	R/W	P11/AEVL 端子機能切り替え P11/AEVL 端子を P11 端子として使用するか、AEVL 端子として使用するかを設定します。 0: P11 入出力端子として機能 1: AEVL 入力端子として機能
0	AEVH	0	R/W	P10/AEVH 端子機能切り替え P10/AEVH 端子を P10 端子として使用するか、AEVH 端子として使用するかを設定します。 0: P10 入出力端子として機能 1: AEVH 入力端子として機能

## 9. I/O ポート

### 9.1.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

#### • P16/SCK4

レジスタ名	SCSR4* <sup>1</sup>		PCR1	端子機能
ビット名	CKS3* <sup>1</sup>	CKS2 - CKS0* <sup>1</sup>	PCR16	
設定値	1* <sup>1</sup>	B'111 以外* <sup>1</sup>	0	P16 入力端子
			1	P16 出力端子
		B'111* <sup>1</sup>	x	SCK4 入力端子* <sup>2</sup>
	0* <sup>1</sup>	x* <sup>1</sup>		SCK4 出力端子* <sup>2</sup>

【注】 x : Don't care

\*1 F-ZTAT™ 版のみ対応します。

\*2 マスク ROM 版ではポート機能のみです。

#### • P15/TIOCB2

レジスタ名	TMDR_2	TIOR_2	TCR_2	PCR1	端子機能
ビット名	MD1、MD0	IOB3 ~ IOB0	CCLR1、CCLR0	PCR15	
設定値	B'00	B'0x00	B'xx	0	P15 入力端子
				1	P15 出力端子
		B'1xxx		0	P15 入力/TIOCB2 入力端子
				1	P15 出力/TIOCB2 入力端子
		B'0001 ~ B'0011、 B'0101 ~ B'0111		x	TIOCB2 出力端子
	B'01	B'xxxx		0	P15 入力端子
				1	P15 出力端子
	B'10			0	P15 入力端子
				1	P15 出力端子
	B'11	B'xx00		0	P15 入力端子
				1	P15 出力端子
			0	P15 入力端子	
		B'xx00 以外	B'10	0	P15 入力端子
1				P15 出力端子	
		B'10 以外	x	TIOCB2 出力端子	

【注】 x : Don't care

• P14/TIOCA2/TCLKC

レジスタ名	TMDR_2	TIOR_2	TCR_2	PCR1	端子機能
ビット名	MD1、MD0	IOA3 - IOA0	CCLR1、CCLR0	PCR14	
設定値	B'00	B'0x00	B'xx	0	P14 入力端子/TCLKC <sup>*1</sup> 入力端子
				1	P14 出力端子/TCLKC <sup>*1</sup> 入力端子
		B'1xxx		0	P14 入力端子/TIOCA2/TCLKC <sup>*1</sup> 入力端子
				1	P14 出力端子/TIOCA2/TCLKC <sup>*1</sup> 入力端子
		B'0001 - B'0011、 B'0101 - B'0111		x	TIOCA2 出力端子 <sup>*2</sup> /TCLKC <sup>*1</sup> 入力端子
	B'01	B'xxxx		0	P14 入力端子/TCLKC <sup>*1</sup> 入力端子
				1	P14 出力端子/TCLKC <sup>*1</sup> 入力端子
	B'10	B'xx00		0	P14 入力端子/TCLKC <sup>*1</sup> 入力端子
				1	P14 出力端子/TCLKC <sup>*1</sup> 入力端子
		B'xx00 以外		x	TIOCA2 出力端子 <sup>*2</sup> /TCLKC <sup>*1</sup> 入力端子
	B'11	B'xx00	B'01	0	P14 入力端子/TCLKC <sup>*1</sup> 入力端子
				1	P14 出力端子/TCLKC <sup>*1</sup> 入力端子
		B'xx00 以外		0	P14 入力端子/TCLKC <sup>*1</sup> 入力端子
				1	P14 出力端子/TCLKC <sup>*1</sup> 入力端子
	B'01 以外	x	TIOCA2 出力端子/TCLKC <sup>*1</sup> 入力端子		

【注】 x : Don't care

\*1 TCR\_2 の TPSC2 ~ TPSC0 = B'110 の場合に TCLKC 入力端子となります。

\*2 TIOCB2 端子は出力禁止となります。

## 9. I/O ポート

### • P13/TIOCB1/TCLKB

レジスタ名	TMDR_1	TIOR_1	TCR_1	PCR1	端子機能
ビット名	MD1、MD0	IOB3 ~ IOB0	CCLR1、CCLR0	PCR13	
設定値	B'00	B'0x00	B'xx	0	P13 入力端子/TCLKB*入力端子
				1	P13 出力端子/TCLKB*入力端子
		B'1xxx		0	P13 入力端子/TIOCB1/TCLKB*入力端子
				1	P13 出力端子/TIOCB1/TCLKB*入力端子
		B'0001 ~ B'0011、 B'0101 ~ B'0111		x	TIOCB1 出力端子/TCLKB*入力端子
	B'01	B'xxxx		0	P13 入力端子/TCLKB*入力端子
				1	P13 出力端子/TCLKB*入力端子
	B'10			0	P13 入力端子/TCLKB*入力端子
				1	P13 出力端子/TCLKB*入力端子
	B'11	B'xx00		0	P13 入力端子/TCLKB*入力端子
				1	P13 出力端子/TCLKB*入力端子
		B'xx00 以外	B'10	0	P13 入力端子/TCLKB*入力端子
				1	P13 出力端子/TCLKB*入力端子
		B'10 以外	x	TIOCB1 出力端子/TCLKB*入力端子	

【注】 x : Don't care

\* TCR\_1、TCR\_2 のどちらかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKB 入力端子となります。

• P12/TIOCA1/TCLKA

レジスタ名	TMDR_1	TIOR_1	TCR_1	PCR1	端子機能
ビット名	MD1、MD0	IOA3 - IOA0	CCLR1、CCLR0	PCR12	
設定値	B'00	B'0x00	B'xx	0	P12 入力端子/TCLKA* <sup>1</sup> 入力端子
				1	P12 出力端子/TCLKA* <sup>1</sup> 入力端子
		B'1xxx		0	P12 入力端子/TIOCA1/TCLKA* <sup>1</sup> 入力端子
				1	P12 出力端子/TIOCA1/TCLKA* <sup>1</sup> 入力端子
		B'0001 - B'0011、 B'0101 - B'0111		x	TIOCA1 出力端子* <sup>2</sup> /TCLKA* <sup>1</sup> 入力端子
	B'01	B'xxxx		0	P12 入力端子/TCLKA* <sup>1</sup> 入力端子
				1	P12 出力端子/TCLKA* <sup>1</sup> 入力端子
	B'10	B'xx00		0	P12 入力端子/TCLKA* <sup>1</sup> 入力端子
				1	P12 出力端子/TCLKA* <sup>1</sup> 入力端子
		B'xx00 以外		x	TIOCA1 出力端子* <sup>2</sup> /TCLKA* <sup>1</sup> 入力端子
	B'11	B'xx00	0	P12 入力端子/TCLKA* <sup>1</sup> 入力端子	
			1	P12 出力端子/TCLKA* <sup>1</sup> 入力端子	
		B'xx00 以外	B'01	0	P12 入力端子/TCLKA* <sup>1</sup> 入力端子
				1	P12 出力端子/TCLKA* <sup>1</sup> 入力端子
	B'01 以外	x	TIOCA1 出力端子/TCLKA* <sup>1</sup> 入力端子		

【注】 x : Don't care

\*1 TCR\_1、TCR\_2 のどちらかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力端子となります。

\*2 TIOCB1 端子は出力禁止となります。

• P11/AEVL

レジスタ名	PMR1	PCR1	端子機能
ビット名	AEVL	PCR11	
設定値	0	0	P11 入力端子
		1	P11 出力端子
	1	x	AEVL 入力端子

【注】 x : Don't care

• P10/AEVH

レジスタ名	PMR1	PCR1	端子機能
ビット名	AEVH	PCR10	
設定値	0	0	P10 入力端子
		1	P10 出力端子
	1	x	AEVH 入力端子

【注】 x : Don't care

## 9. I/O ポート

### 9.1.6 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR1 が 0 にクリアされている状態で PUCR1 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=6~0)

PCR1n	0		1
PUCR1n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't care

## 9.2 ポート 3

ポート 3 は、SCI4 入出力端子、SCI3\_2 入出力端子、IIC2 の入出力端子、RTC 出力端子と兼用の入出力ポートです。ポート 3 の各端子は、図 9.2 に示す構成になっています。

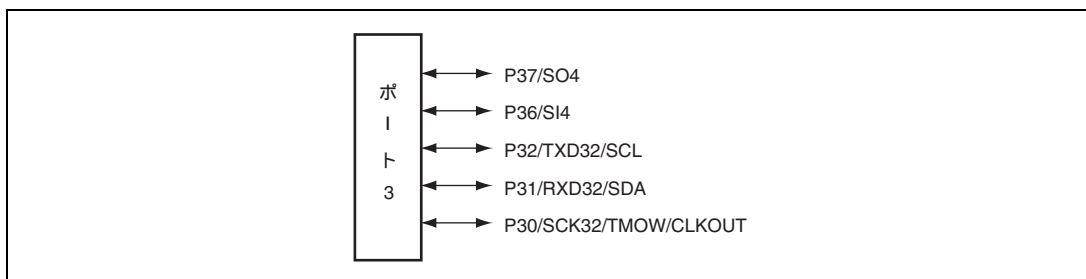


図 9.2 ポート 3 の端子構成

ポート 3 には以下のレジスタがあります。

- ポートデータレジスタ3 (PDR3)
- ポートコントロールレジスタ3 (PCR3)
- ポートプルアップコントロールレジスタ3 (PUCR3)
- ポートモードレジスタ3 (PMR3)



### 9.2.1 ポートデータレジスタ 3 (PDR3)

PDR3 は、ポート 3 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P37	0	R/W	PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。
6	P36	0	R/W	
5-3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	P32	0	R/W	PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。
1	P31	0	R/W	
0	P30	0	R/W	

### 9.2.2 ポートコントロールレジスタ 3 (PCR3)

PCR3 は、ポート 3 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR37	0	W	PCR3 に 1 をセットすると対応する P37、P36 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。 本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
6	PCR36	0	W	
5-3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	PCR32	0	W	PCR3 に 1 をセットすると対応する P32～P30 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。 本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
1	PCR31	0	W	
0	PCR30	0	W	

### 9.2.3 ポートプルアップコントロールレジスタ 3 (PUCR3)

PUCR3 は、ポート 3 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR37	0	R/W	PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR36	0	R/W	
5-1	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	PUCR30	0	R/W	PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

## 9. I/O ポート

### 9.2.4 ポートモードレジスタ 3 (PMR3)

PMR3 は、ポート 3 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	TMOW	0	R/W	P30/SCK32/TMOW/CLKOUT 端子機能切り替え P30/SCK32/TMOW/CLKOUT 端子を P30/SCK32 端子として使用する か、TMOW/CLKOUT 端子として使用するかを設定します。 0 : P30/SCK32 入出力端子として機能 1 : TMOW/CLKOUT 出力端子として機能

### 9.2.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

#### • P37/SO4

レジスタ名	SCR4*1	PCR3	端子機能
ビット名	TE*1	PCR37	
設定値	0*1	0	P37 入力端子
		1	P37 出力端子
	1*1	x	SO4 出力端子*2

【注】 x : Don't care

\*1 F-ZTAT™ 版のみ対応

\*2 マスク ROM 版ではポート機能のみです。

#### • P36/SI4

レジスタ名	SCR4*1	PCR3	端子機能
ビット名	RE*1	PCR36	
設定値	0*1	0	P36 入力端子
		1	P36 出力端子
	1*1	x	SI4 入力端子*2

【注】 x : Don't care

\*1 F-ZTAT™ 版のみ対応

\*2 マスク ROM 版ではポート機能のみです。

- P32/TXD32/SCL

レジスタ名	ICCR1	PFCR	SPCR	PCR3	端子機能
ビット名	ICE	SC32S	SPC32	PCR32	
設定値	0	0	0	0	P32 入力端子
			1	x	P32 出力端子
			1	x	TXD32 出力端子
	1	x	0	0	P32 入力端子
			1	1	P32 出力端子
			x	x	SCL 入出力端子

【注】 x : Don't care

- P31/RXD32/SDA

レジスタ名	ICCR1	PFCR	SCR3_2	PCR3	端子機能
ビット名	ICE	SC32S	RE	PCR31	
設定値	0	0	0	0	P31 入力端子
			1	x	P31 出力端子
			1	x	RXD32 入力端子
	1	x	0	0	P31 入力端子
			1	1	P31 出力端子
			x	x	SDA 入出力端子

【注】 x : Don't care

## 9. I/O ポート

### • P30/SCK32/TMOW/CLKOUT

レジスタ名	PMR3	PFCR			SMR3_2	SCR3_2		PCR3	端子機能	
ビット名	TMOW	CLKOUT1	CLKOUT0	SC32S	COM	CKE1	CKE0	PCR30		
設定値	0	x	x	0	0	0	0	0	P30 入力端子	
								1	P30 出力端子	
						1	0	x	SCK32 出力端子	
								1	SCK32 入力端子	
					1	0	x	1	設定禁止	
								0	SCK32 出力端子	
								1	設定禁止	
								0	SCK32 入力端子	
	1	0	x	1	x	x	x	0	P30 入力端子	
								1	P30 出力端子	
						0	0	x	x	CLKOUT 出力端子 ( osc )
									1	CLKOUT 出力端子 ( osc/2 )
					1	0	x	1	x	CLKOUT 出力端子 ( osc/4 )
									1	TMOW 出力端子

【注】 x : Don't care

### 9.2.6 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n = 7, 6, 0)

PCR3n	0		1
PUCR3n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't care

## 9.3 ポート 4

ポート 4 は、SCI3\_1 入出力端子、タイマ F 入出力端子と兼用の入出力ポートです。ポート 4 の各端子は、図 9.3 に示す構成になっています。

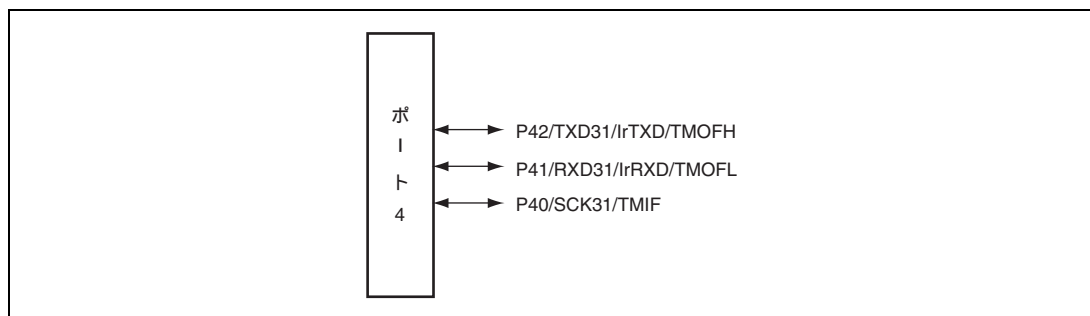


図 9.3 ポート 4 の端子構成

ポート 4 には以下のレジスタがあります。

- ポートデータレジスタ4 (PDR4)
- ポートコントロールレジスタ4 (PCR4)
- ポートモードレジスタ4 (PMR4)

### 9.3.1 ポートデータレジスタ 4 (PDR4)

PDR4 は、ポート 4 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	P42	0	R/W	PCR4 が 1 のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が 0 のとき、ポート 4 のリードを行うと、端子状態が読み出されます。
1	P41	0	R/W	
0	P40	0	R/W	

## 9. I/O ポート

### 9.3.2 ポートコントロールレジスタ 4 (PCR4)

PCR4 は、ポート 4 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7-3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	PCR42	0	W	PCR4 に 1 をセットすると対応する P42 ~ P40 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR4 および PDR4 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
1	PCR41	0	W	
0	PCR40	0	W	

### 9.3.3 ポートモードレジスタ 4 (PMR4)

ビット	ビット名	初期値	R/W	説明
7-3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	TMOFH	0	R/W	P42/TXD31/IrTXD/TMOFH 端子機能切り替え P42/TXD31/IrTXD/TMOFH 端子を P42 端子または TXD31/IrTXD 端子として使用するか、TMOFH 端子として使用するかを設定します。 0 : P42 入出力端子または TXD31/IrTXD 出力端子として機能 1 : TMOFH 出力端子として機能
1	TMOFL	0	R/W	P41/RXD31/IrRXD/TMOFL 端子機能切り替え P41/RXD31/IrRXD/TMOFL 端子を P41 端子または RXD31/IrRXD 端子として使用するか、TMOFL 端子として使用するかを設定します。 0 : P41 入出力端子または RXD31/IrRXD 入力端子として機能 1 : TMOFL 出力端子として機能
0	TMIF	0	R/W	P40/SCK31/TMIF 端子機能切り替え P40/SCK31/TMIF 端子を P40/SCK31 端子として使用するか、TMIF 端子として使用するかを設定します。 0 : P40/SCK31 入出力端子として機能 1 : TMIF 入力端子として機能

### 9.3.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P42/TXD31/IrTXD/TMOFH

レジスタ名	PMR4	PFCR	SPCR	IrCR	PCR4	端子機能
ビット名	TMOFH	SC31S	SPC31	IrE	PCR42	
設定値	0	0	0	x	0	P42 入力端子
					1	P42 出力端子
		1	0	x	0	TXD31 出力端子
					1	IrTXD 出力端子
	1	1	x	x	0	P42 入力端子
					1	P42 出力端子
		x	x	x	0	TMOFH 出力端子
					1	TMOFH 出力端子

【注】 x : Don't care

- P41/RXD31/IrRXD/TMOFL

レジスタ名	PMR4	PFCR	SPCR3_1	IrCR	PCR4	端子機能
ビット名	TMOFL	SC31S	RE	IrE	PCR41	
設定値	0	0	0	x	0	P41 入力端子
					1	P41 出力端子
		1	0	x	0	RXD31 出力端子
					1	IrRXD 出力端子
	1	1	x	x	0	P41 入力端子
					1	P41 出力端子
		x	x	x	0	TMOFL 出力端子
					1	TMOFL 出力端子

【注】 x : Don't care

## 9. I/O ポート

### • P40/SCK31/TMIF

レジスタ名	PMR4	PFCR	SMR3_1	SCR3_1		PCR4	端子機能		
ビット名	TMIF	SC31S	COM	CKE1	CKE0	PCR40			
設定値	0	0	0	0	0	0	P40 入力端子		
						1	P40 出力端子		
					1	0	1	SCK31 出力端子	
				1			SCK31 入力端子		
				1	0	1	設定禁止		
						0	SCK31 出力端子		
			1			設定禁止			
			1	0	1	SCK31 入力端子			
					1	設定禁止			
			1	x	x	x	x	0	P40 入力端子
								1	P40 出力端子
			1	x				x	TMIF 入力端子

【注】 x : Don't care



## 9.4 ポート 5

ポート 5 は、ウェイクアップ割り込み入力端子と兼用の入出力ポートです。ポート 5 の各端子は、図 9.4 に示す構成になっています。

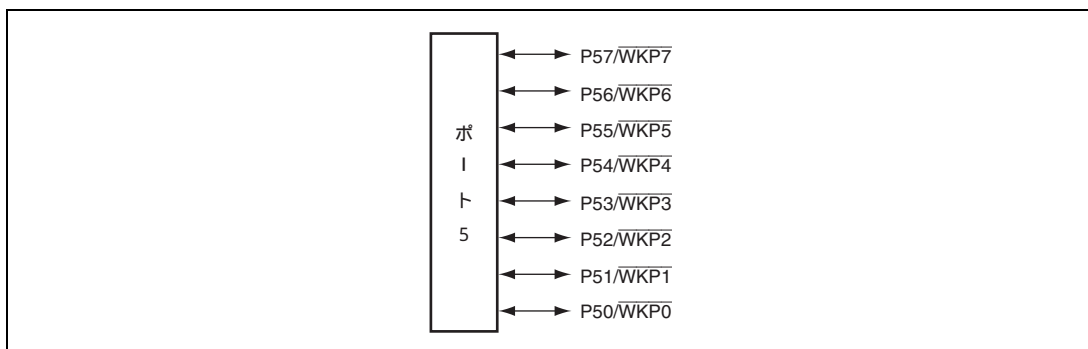


図 9.4 ポート 5 の端子構成

ポート 5 には以下のレジスタがあります。

- ポートデータレジスタ 5 (PDR5)
- ポートコントロールレジスタ 5 (PCR5)
- ポートブルアップコントロールレジスタ 5 (PUCR5)
- ポートモードレジスタ 5 (PMR5)

### 9.4.1 ポートデータレジスタ 5 (PDR5)

PDR5 は、データを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P57	0	R/W	PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

## 9. I/O ポート

### 9.4.2 ポートコントロールレジスタ 5 (PCR5)

PCR5 は、ポート 5 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR57	0	W	PCR5 に 1 をセットすると対応する P57 ~ P50 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR5 および PDR5 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

### 9.4.3 ポートプルアップコントロールレジスタ 5 (PUCR5)

PUCR5 は、ポート 5 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR57	0	R/W	PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR56	0	R/W	
5	PUCR55	0	R/W	
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

### 9.4.4 ポートモードレジスタ 5 (PMR5)

PMR5 は、ポート 5 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	WKP7	0	R/W	P5n/WKPn 端子機能切り替え P5n/WKPn 端子を P5n 端子として使用するか、 $\overline{WKPn}$ 端子として使用するかを設定します。 0 : P5n 入出力端子として機能 1 : $\overline{WKPn}$ 入力端子として機能 (n = 7 - 0)
6	WKP6	0	R/W	
5	WKP5	0	R/W	
4	WKP4	0	R/W	
3	WKP3	0	R/W	
2	WKP2	0	R/W	
1	WKP1	0	R/W	
0	WKP0	0	R/W	

### 9.4.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P57/WKP7 ~ P50/WKP0

(n=7~0)

レジスタ名	PMR5	PCR5	端子機能
ビット名	WKPn	PCR5n	
設定値	0	0	P5n 入力端子
		1	P5n 出力端子
	1	0	WKPn 入力端子
		1	設定禁止

### 9.4.6 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が 0 にクリアされている状態で PUCR5 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=7~0)

PCR5n	0		1
PUCR5n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't care

## 9.5 ポート 6

ポート 6 は、汎用入出力ポートです。ポート 6 の各端子は、図 9.5 に示す構成になっています。

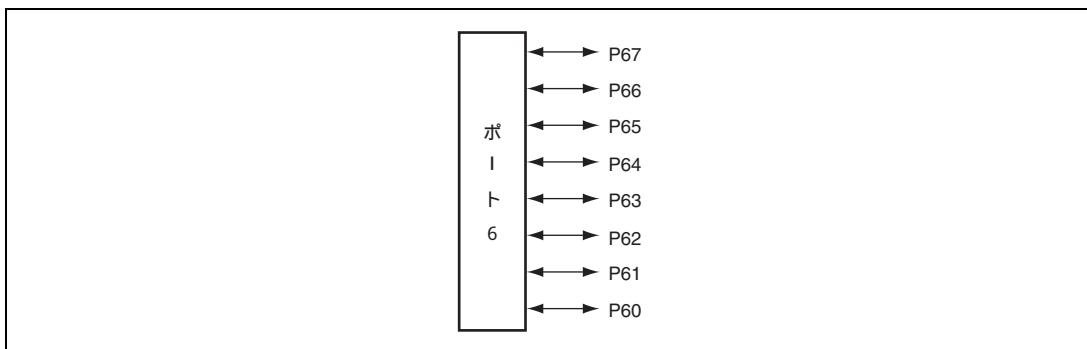


図 9.5 ポート 6 の端子構成

ポート 6 には以下のレジスタがあります。

- ポートデータレジスタ 6 (PDR6)
- ポートコントロールレジスタ 6 (PCR6)
- ポートプルアップコントロールレジスタ 6 (PUCR6)

### 9.5.1 ポートデータレジスタ 6 (PDR6)

PDR6 は、ポート 6 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	P67	0	R/W	PCR6 が 1 のとき、ポート 6 のリードを行うと、PDR6 の値を直接リードします。そのため端子状態の影響を受けません。PCR6 が 0 のとき、ポート 6 のリードを行うと、端子状態が読み出されます。
6	P66	0	R/W	
5	P65	0	R/W	
4	P64	0	R/W	
3	P63	0	R/W	
2	P62	0	R/W	
1	P61	0	R/W	
0	P60	0	R/W	

### 9.5.2 ポートコントロールレジスタ 6 (PCR6)

PCR6 は、ポート 6 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	PCR67	0	W	PCR6 に 1 をセットすると対応する P67 ~ P60 端子は出力端子となり、0 にクリアすると入力端子となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR66	0	W	
5	PCR65	0	W	
4	PCR64	0	W	
3	PCR63	0	W	
2	PCR62	0	W	
1	PCR61	0	W	
0	PCR60	0	W	

### 9.5.3 ポートプルアップコントロールレジスタ 6 (PUCR6)

PUCR6 は、ポート 6 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	PUCR67	0	R/W	PCR6 が 0 の状態で PUCR6 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR66	0	R/W	
5	PUCR65	0	R/W	
4	PUCR64	0	R/W	
3	PUCR63	0	R/W	
2	PUCR62	0	R/W	
1	PUCR61	0	R/W	
0	PUCR60	0	R/W	

### 9.5.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P67 ~ P60

(n = 7 ~ 0)

レジスタ名	PCR6	端子機能
ビット名	PCR6n	
設定値	0	P6n 入力端子
	1	P6n 出力端子

## 9. I/O ポート

### 9.5.5 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR6 が 0 にクリアされている状態で PUCR6 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=7~0)

PCR6n	0		1
PUCR6n	0	1	x
入力プルアップ MOS	OFF	ON	OFF

【注】 x : Don't care

## 9.6 ポート 7

ポート 7 は、汎用入出力ポートです。ポート 7 の各端子は、図 9.6 に示す構成になっています。

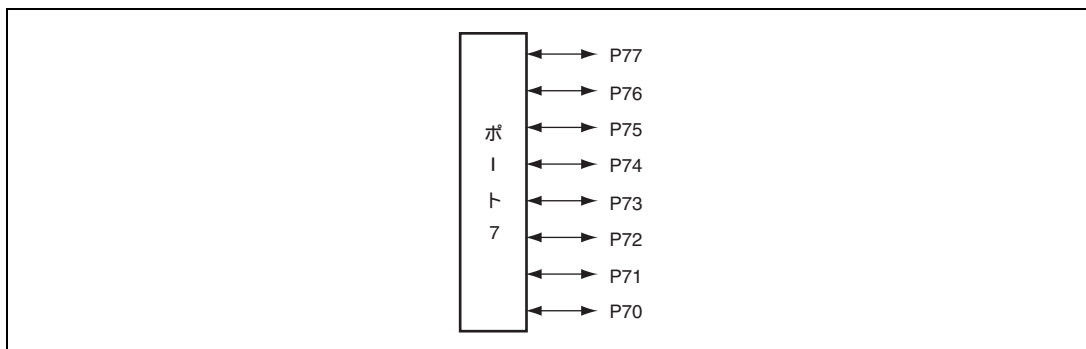


図 9.6 ポート 7 の端子構成

ポート 7 には以下のレジスタがあります。

- ポートデータレジスタ 7 (PDR7)
- ポートコントロールレジスタ 7 (PCR7)

### 9.6.1 ポートデータレジスタ 7 (PDR7)

PDR7 は、ポート 7 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	P77	0	R/W	PCR7 が 1 のとき、ポート 7 のリードを行うと、PDR7 の値を直接リードします。そのため端子状態の影響を受けません。PCR7 が 0 のとき、ポート 7 のリードを行うと、端子状態が読み出されます。
6	P76	0	R/W	
5	P75	0	R/W	
4	P74	0	R/W	
3	P73	0	R/W	
2	P72	0	R/W	
1	P71	0	R/W	
0	P70	0	R/W	

### 9.6.2 ポートコントロールレジスタ 7 (PCR7)

PCR7 は、ポート 7 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	PCR77	0	W	PCR7 に 1 をセットすると対応する P77 ~ P70 端子は出力端子となり、0 にクリアすると入力端子となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR76	0	W	
5	PCR75	0	W	
4	PCR74	0	W	
3	PCR73	0	W	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

### 9.6.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P77 ~ P70

(n = 7 ~ 0)

レジスタ名	PCR7	端子機能
ビット名	PCR7n	
設定値	0	P7n 入力端子
	1	P7n 出力端子

## 9.7 ポート 8

ポート 8 は、汎用入出力ポートです。ポート 8 の端子は、図 9.7 に示す構成になっています。

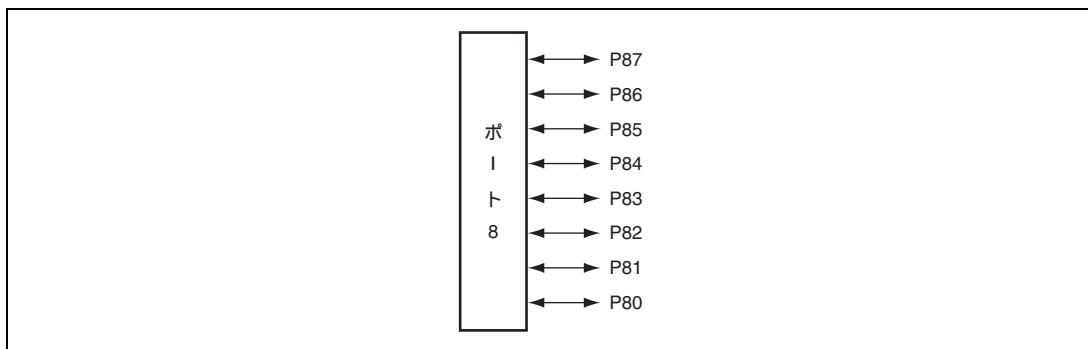


図 9.7 ポート 8 の端子構成

ポート 8 には以下のレジスタがあります。

- ポートデータレジスタ 8 (PDR8)
- ポートコントロールレジスタ 8 (PCR8)

### 9.7.1 ポートデータレジスタ 8 (PDR8)

PDR8 は、ポート 8 の端子を格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P87	0	R/W	PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。
6	P86	0	R/W	
5	P85	0	R/W	
4	P84	0	R/W	
3	P83	0	R/W	
2	P82	0	R/W	
1	P81	0	R/W	
0	P80	0	R/W	



### 9.7.2 ポートコントロールレジスタ 8 (PCR8)

PCR8 は、ポート 8 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR87	0	W	PCR8 に 1 をセットすると対応する P87 ~ P80 端子は出力端子となり、0 にクリアすると入力端子となります。 本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR86	0	W	
5	PCR85	0	W	
4	PCR84	0	W	
3	PCR83	0	W	
2	PCR82	0	W	
1	PCR81	0	W	
0	PCR80	0	W	

### 9.7.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P87 ~ P80

(n = 7 ~ 0)

レジスタ名	PCR8	端子機能
ビット名	PCR8n	
設定値	0	P8n 入力端子
	1	P8n 出力端子

## 9.8 ポート 9

ポート 9 は、外部割り込み入力端子、PWM 出力端子と兼用の入出力ポートです。ポート 9 の各端子は、図 9.8 に示す構成になっています。

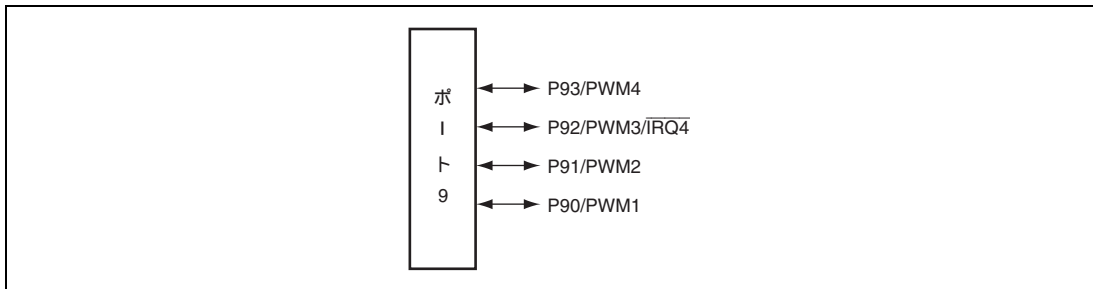


図 9.8 ポート 9 の端子構成

ポート 9 には以下のレジスタがあります。

- ポートデータレジスタ 9 (PDR9)
- ポートコントロールレジスタ 9 (PCR9)
- ポートモードレジスタ 9 (PMR9)

### 9.8.1 ポートデータレジスタ 9 (PDR9)

PDR9 は、ポート 9 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	P93	1	R/W	PCR9 が 1 のとき、ポート 9 のリードを行うと、PDR9 の値を直接リードします。そのため端子状態の影響を受けません。PCR9 が 0 のとき、ポート 9 のリードを行うと、端子状態が読み出されます。
2	P92	1	R/W	
1	P91	1	R/W	
0	P90	1	R/W	

### 9.8.2 ポートコントロールレジスタ 9 (PCR9)

PCR9 は、ポート 9 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	PCR93	0	W	PCR9 に 1 をセットすると対応する端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCR9 および PDR9 の設定が有効となります。 本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます
2	PCR92	0	W	
1	PCR91	0	W	
0	PCR90	0	W	

### 9.8.3 ポートモードレジスタ 9 (PMR9)

PMR9 は、ポート 9 の端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	-	0	R/W	リザーブビット リード/ライト可能ですが、1 をライトしないでください。
2	IRQ4	0	R/W	P92/ $\overline{\text{IRQ4}}$ 端子切り替え P92/ $\overline{\text{IRQ4}}$ 端子を P92 端子として使用するか、 $\overline{\text{IRQ4}}$ 端子として使用するか設定します。 0 : P92 入出力端子として機能 1 : $\overline{\text{IRQ4}}$ 入力端子として機能
1	PWM2	0	R/W	P9n/PWMn+1 端子機能切り替え P9n/PWMn+1 端子を P9n 端子として使用するか、PWMn+1 端子として使用するか設定します。(n=1, 0) 0 : P9n 入出力端子として機能 1 : PWMn+1 出力端子として機能
0	PWM1	0	R/W	

## 9. I/O ポート

### 9.8.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P93/PWM4

レジスタ名	PFCR	PCR9	端子機能
ビット名	PWM4	PCR93	
設定値	0	0	P93 入力端子
		1	P93 出力端子
	1	x	PWM4 出力端子

【注】 x : Don't care

- P92/PWM3/ $\overline{\text{IRQ4}}$

レジスタ名	PMR9	PFCR	PCR9	端子機能
ビット名	IRQ4	PMW3	PCR92	
設定値	0	0	0	P92 入力端子
			1	P92 出力端子
		1	x	PWM3 出力端子
	1	x	0	IRQ4 入力端子
1			設定禁止	

【注】 x : Don't care

- P91/PWM2、P90/PWM1

(n = 1、0)

レジスタ名	PMR9	PCR9	端子機能
ビット名	PWMn+1	PCR9n	
設定値	0	0	P9n 入力端子
		1	P9n 出力端子
	1	x	PWMn+1 出力端子

【注】 x : Don't care

## 9.9 ポート A

ポート A は、汎用入出力ポートです。ポート A の各端子は、図 9.9 に示す構成になっています。

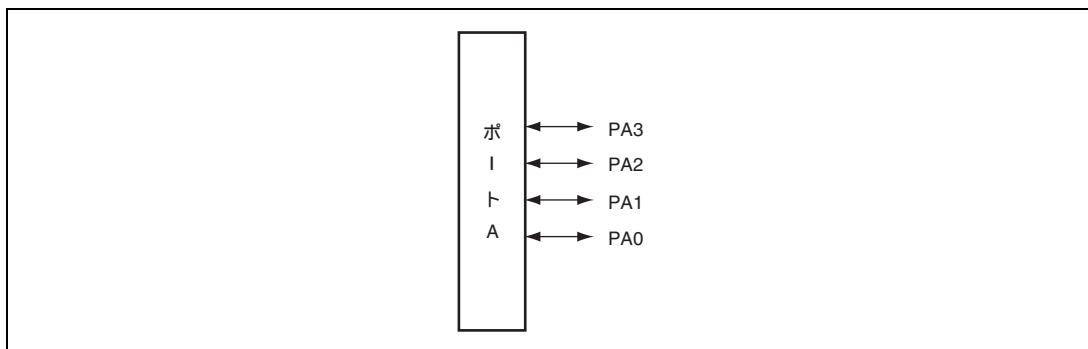


図 9.9 ポート A の端子構成

ポート A には以下のレジスタがあります。

- ポートデータレジスタ A (PDRA)
- ポートコントロールレジスタ A (PCRA)

### 9.9.1 ポートデータレジスタ A (PDRA)

PDRA は、ポート A のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	PA3	0	R/W	PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子状態の影響を受けません。PCRA が 0 のとき、ポート A のリードを行うと、端子状態が読み出されます。
2	PA2	0	R/W	
1	PA1	0	R/W	
0	PA0	0	R/W	

## 9. I/O ポート

### 9.9.2 ポートコントロールレジスタ A (PCRA)

PCRA は、ポート A の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	PCRA3	0	W	PCRA に 1 をセットすると対応する PA3 ~ PA0 端子は出力端子となり、0 にクリアすると入力端子となります。 本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
2	PCRA2	0	W	
1	PCRA1	0	W	
0	PCRA0	0	W	

### 9.9.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PA3 ~ PA0

(n=3~0)

レジスタ名	PCRA	端子機能
ビット名	PCRA <sub>n</sub>	
設定値	0	PAn 入力端子
	1	PAn 出力端子

## 9.10 ポート B

ポート B は、割り込み入力端子、アナログ入力端子と兼用の入力専用ポートです。ポート B の各端子は、図 9.10 に示す構成になっています。

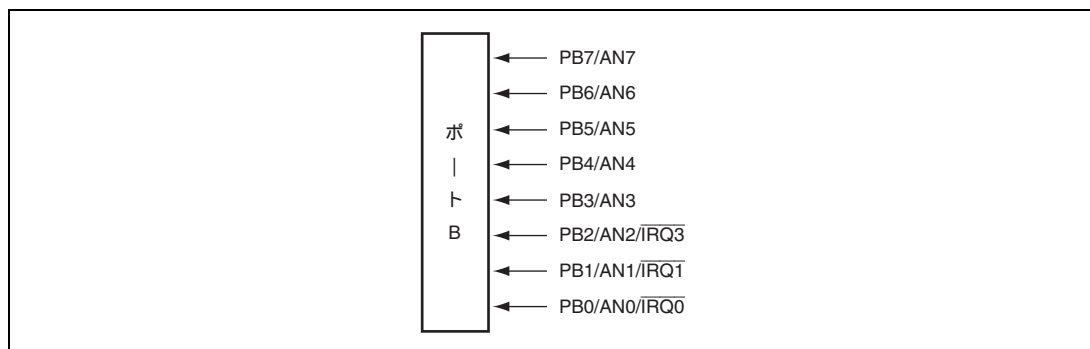


図 9.10 ポート B の端子構成

ポート B には以下のレジスタがあります。

- ポートデータレジスタ B (PDRB)
- ポートモードレジスタ B (PMRB)

### 9.10.1 ポートデータレジスタ B (PDRB)

PDRB は、ポート B のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PB7	不定	R	PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。
6	PB6	不定	R	
5	PB5	不定	R	
4	PB4	不定	R	
3	PB3	不定	R	
2	PB2	不定	R	
1	PB1	不定	R	
0	PB0	不定	R	

## 9. I/O ポート

### 9.10.2 ポートモードレジスタ B (PMRB)

PMRB は、ポート B 端子機能の切り替えおよび TEST/ADTRG 機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7-5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	ADTSTCHG	0	R/W	TEST/ADTRG 端子機能切り替え TEST/ADTRG 端子を TEST 端子として使用するか、ADTRG 端子として使用するか設定します。 0 : TEST 端子として機能 1 : ADTRG 入力端子として機能 ADTRG 入力端子の設定については「20.4.2 外部トリガタイミング」を参照してください。
3	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	IRQ3	0	R/W	PB2/AN2/IRQ3*端子切り替え PB2/AN2/IRQ3 端子を PB2/AN2 端子として使用するか、IRQ3 端子として使用するか設定します。 0 : PB2/AN2 入力端子として機能 1 : IRQ3 入力端子として機能
1	IRQ1	0	R/W	PB1/AN1/IRQ1*端子切り替え PB1/AN1/IRQ1 端子を PB1/AN1 端子として使用するか、IRQ1 端子として使用するか設定します。 0 : PB1/AN1 入力端子として機能 1 : IRQ1 入力端子として機能
0	IRQ0	0	R/W	PB0/AN0/IRQ0*端子切り替え PB0/AN0/IRQ0 端子を PB0/AN0 端子として使用するか、IRQ0 端子として使用するか設定します。 0 : PB0/AN0 入力端子として機能 1 : IRQ0 入力端子として機能

【注】 \* 本端子を IRQn (n=0、1、3) として使用する場合、Vcc、AVcc の電位関係については「25.2.2 DC 特性」または「25.4.2 DC 特性」を参照してください。



### 9.10.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PB7/AN7

レジスタ名	AMR	端子機能
ビット名	CH3 - CH0	
設定値	B'1011 以外	PB7 入力端子
	B'1011	AN7 入力端子

- PB6/AN6

レジスタ名	AMR	端子機能
ビット名	CH3 - CH0	
設定値	B'1010 以外	PB6 入力端子
	B'1010	AN6 入力端子

- PB5/AN5

レジスタ名	AMR	端子機能
ビット名	CH3 - CH0	
設定値	B'1001 以外	PB5 入力端子
	B'1001	AN5 入力端子

- PB4/AN4

レジスタ名	AMR	端子機能
ビット名	CH3 - CH0	
設定値	B'1000 以外	PB4 入力端子
	B'1000	AN4 入力端子

- PB3/AN3

レジスタ名	AMR	端子機能
ビット名	CH3 - CH0	
設定値	B'0111 以外	PB3 入力端子
	B'0111	AN3 入力端子

## 9. I/O ポート

---

- PB2/AN2/ $\overline{\text{IRQ3}}$

レジスタ名	PMRB	AMR	端子機能
ビット名	IRQ3	CH3 ~ CH0	
設定値	0	B'0110 以外	PB2 入力端子
		B'0110	AN2 入力端子
	1	B'0110 以外	$\overline{\text{IRQ3}}$ 入力端子
		B'0110	設定禁止

- PB1/AN1/ $\overline{\text{IRQ1}}$

レジスタ名	PMRB	AMR	端子機能
ビット名	IRQ1	CH3 ~ CH0	
設定値	0	B'0101 以外	PB1 入力端子
		B'0101	AN1 入力端子
	1	B'0101 以外	$\overline{\text{IRQ1}}$ 入力端子
		B'0101	設定禁止

- PB0/AN0/ $\overline{\text{IRQ0}}$

レジスタ名	PMRB	AMR	端子機能
ビット名	IRQ0	CH3 ~ CH0	
設定値	0	B'0100 以外	PB0 入力端子
		B'0100	AN0 入力端子
	1	B'0100 以外	$\overline{\text{IRQ0}}$ 入力端子
		B'0100	設定禁止

## 9.11 ポート C

ポート C は、汎用入出力ポートです。ポート C の各端子は、図 9.11 に示す構成になっています。

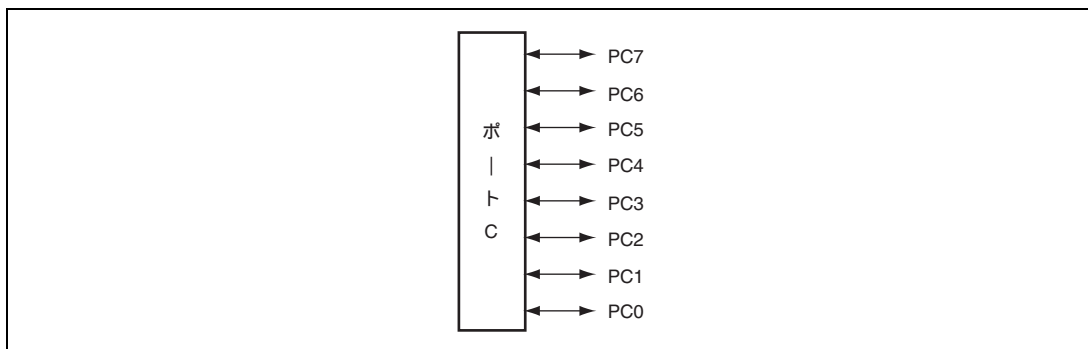


図 9.11 ポート C の端子構成

ポート C には以下のレジスタがあります。

- ポートデータレジスタ C (PDRC)
- ポートモードレジスタ C (PCRC)

### 9.11.1 ポートデータレジスタ C (PDRC)

PDRC は、ポート C のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PC7	0	R/W	PCRC が 1 のとき、ポート C のリードを行うと、PDRC の値を直接リードします。そのため端子状態の影響を受けません。PCRC が 0 のとき、ポート C のリードを行うと、端子状態が読み出されます。
6	PC6	0	R/W	
5	PC5	0	R/W	
4	PC4	0	R/W	
3	PC3	0	R/W	
2	PC2	0	R/W	
1	PC1	0	R/W	
0	PC0	0	R/W	

## 9. I/O ポート

### 9.11.2 ポートコントロールレジスタ C (PCRC)

PCRC は、ポート C の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCRC7	0	W	PCRC に 1 をセットすると対応する PC7 ~ PC0 端子は出力端子となり、0 にクリアすると入力端子となります。 本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCRC6	0	W	
5	PCRC5	0	W	
4	PCRC4	0	W	
3	PCRC3	0	W	
2	PCRC2	0	W	
1	PCRC1	0	W	
0	PCRC0	0	W	

### 9.11.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PC7 ~ PC0

(n = 7 ~ 0)

レジスタ名	PCRC	端子機能
ビット名	PCRCn	
設定値	0	PCn 入力端子
	1	PCn 出力端子

## 9.12 ポート E

ポート E は、外部割り込み入力端子、SCI3\_2 入出力端子、SCI3\_3 入出力端子、タイマ C 入力端子と兼用の入出力ポートです。ポート E の各端子は、図 9.12 に示す構成になっています。

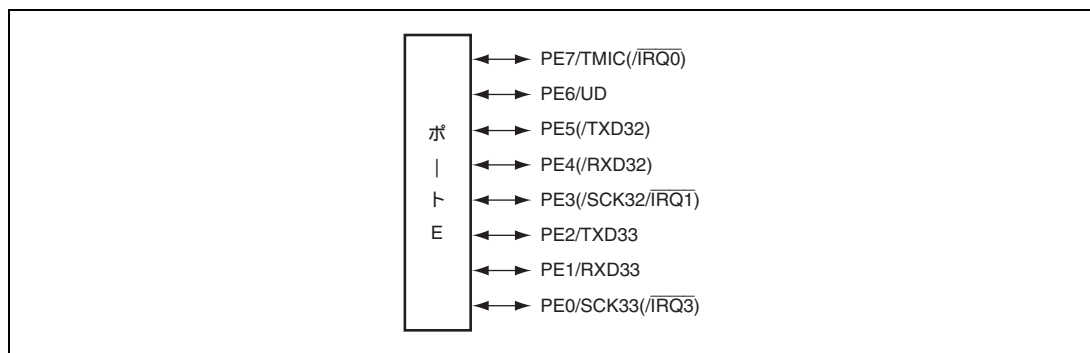


図 9.12 ポート E の端子構成

ポート E には以下のレジスタがあります。

- ポートデータレジスタ E (PERE)
- ポートコントロールレジスタ E (PCRE)
- ポートモードレジスタ E (PMRE)

### 9.12.1 ポートデータレジスタ E (PDRE)

PDRE は、ポート E のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PE7	0	R/W	PCRE が 1 のとき、ポート E のリードを行うと、PDRE の値を直接リードします。そのため端子状態の影響を受けません。PCRE が 0 のとき、ポート E のリードを行うと、端子状態が読み出されます。
6	PE6	0	R/W	
5	PE5	0	R/W	
4	PE4	0	R/W	
3	PE3	0	R/W	
2	PE2	0	R/W	
1	PE1	0	R/W	
0	PE0	0	R/W	

## 9. I/O ポート

### 9.12.2 ポートコントロールレジスタ E (PCRE)

PCRE は、ポート E の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCRE7	0	W	PCRE に 1 をセットすると対応する PE7～PE0 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCRE および PDRE の設定が有効となります。 本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCRE6	0	W	
5	PCRE5	0	W	
4	PCRE4	0	W	
3	PCRE3	0	W	
2	PCRE2	0	W	
1	PCRE1	0	W	
0	PCRE0	0	W	

### 9.12.3 ポートモードレジスタ E (PMRE)

PMRE は、ポート E の端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7-5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	TMIC	0	R/W	PE7/TMIC 端子機能切り替え 0: PE7 入出力端子として機能 1: TMIC 入力端子として機能
3	IRQ0	0	R/W	PE7/IRQ0 端子機能切り替え 0: PE7 入出力端子として機能 1: $\overline{\text{IRQ0}}$ 入力端子として機能
2	UD	0	R/W	PE6/UD 端子機能切り替え 0: PE6 入出力端子として機能 1: UD 入力端子として機能
1	IRQ1	0	R/W	PE3/IRQ1 端子機能切り替え 0: PE3 入出力端子として機能 1: $\overline{\text{IRQ1}}$ 入力端子として機能
0	IRQ3	0	R/W	PE0/IRQ3 端子機能切り替え 0: PE0 入出力端子として機能 1: $\overline{\text{IRQ3}}$ 入力端子として機能

## 9.12.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PE7/TMIC( $\overline{\text{IRQ0}}$ )

レジスタ名	PMRB	PMRE		PCRE	端子機能
ビット名	IRQ0	IRQ0	TMIC	PCRE7	
設定値	0	1	x	x	IRQ0 入力端子
	上記以外		0	0	PE7 入力端子
				1	PE7 出力端子
			1	x	TMIC 入力端子

【注】 x : Don't care

- PE6/UD

レジスタ名	PMRE	PCRE	端子機能
ビット名	UD	PCRE6	
設定値	0	0	PE6 入力端子
		1	PE6 出力端子
	1	x	UD 入力端子

【注】 x : Don't care

- PE5(TXD32)

レジスタ名	PFCR	SPCR	PCRE	端子機能
ビット名	SC32S	SPC32	PCRE5	
設定値	0	x	0	PE5 入力端子
			1	PE5 出力端子
	1	0	0	PE5 入力端子
			1	PE5 出力端子
			1	TXD32 出力端子

【注】 x : Don't care

- PE4(RXD32)

レジスタ名	PFCR	SCR3_2	PCRE	端子機能
ビット名	SC32S	RE	PCRE4	
設定値	0	x	0	PE4 入力端子
			1	PE4 出力端子
	1	0	0	PE4 入力端子
			1	PE4 出力端子
			1	RXD32 入力端子

【注】 x : Don't care

## 9. I/O ポート

### • PE3/(SCK32/ $\overline{\text{IRQ1}}$ )

レジスタ名	PMRB	PMRE	PFCR	SMR3_2	SCR3_2		PCRE	端子機能	
ビット名	IRQ1	IRQ1	SC32S	COM	CKE1	CKE0	PCRE3		
設定値	0	1	x	x	x	x	x	$\overline{\text{IRQ1}}$ 入力端子	
	上記以外		0	x	x	x	0	PE3 入力端子	
			1				PE3 出力端子		
			1	0	0	0	0	PE3 入力端子	
							1	PE3 出力端子	
							1	x	SCK32 出力端子
								0	SCK32 入力端子
								1	設定禁止
								0	SCK32 出力端子
				1	0	0		1	設定禁止
								0	SCK32 入力端子
								1	設定禁止

【注】 x : Don't care

### • PE2/TXD33

レジスタ名	SPCR2	PCRE	端子機能
ビット名	SPC33	PCRE2	
設定値	0	0	PE2 入力端子
		1	PE2 出力端子
	1	x	TXD33 出力端子

【注】 x : Don't care

### • PE1/RXD33

レジスタ名	SCR3_3	PCRE	端子機能
ビット名	RE	PCRE1	
設定値	0	0	PE1 入力端子
		1	PE1 出力端子
	1	x	RXD33 入力端子

【注】 x : Don't care



- PE0/SCK33(/IRQ3)

レジスタ名	PMRB	PMRE	SMR3_3	SCR3_3		PCRE	端子機能	
ビット名	IRQ3	IRQ3	COM	CKE1	CKE0	PCRE0		
設定値	0	1	x	x	x	x	$\overline{\text{IRQ3}}$ 入力端子	
	上記以外		0	0	0	0	PE0 入力端子	
						1	PE0 出力端子	
				1	0	0	x	SCK33 出力端子
						1		SCK33 入力端子
			1	0	1	設定禁止		
					0	SCK33 出力端子		
			1	0	1	設定禁止		
					0	SCK33 入力端子		
			1	0	1	設定禁止		
					1	設定禁止		

【注】 x : Don't care

## 9.13 ポート F

ポート F は、外部割り込み入力端子、SCI3\_1 入出力端子、タイマ G 入力端子と兼用の入出力ポートです。ポート F の各端子は、図 9.13 に示す構成になっています。

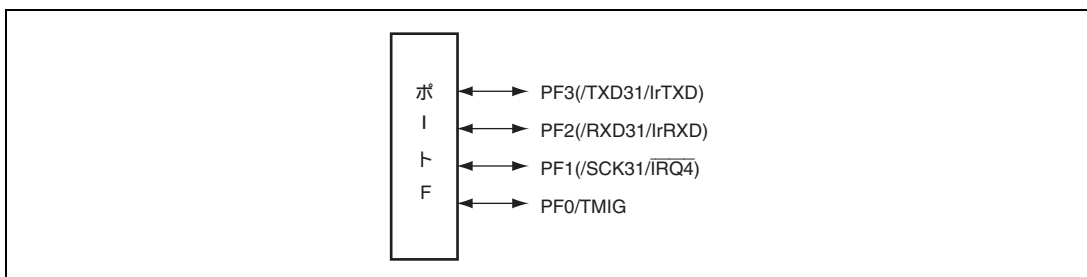


図 9.13 ポート F の端子構成

ポート F には以下のレジスタがあります。

- ポートデータレジスタ F (PDRF)
- ポートコントロールレジスタ F (PCRF)
- ポートモードレジスタ F (PMRF)

### 9.13.1 ポートデータレジスタ F (PDRF)

PDRF は、ポート F のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7-5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	-	-	-	リザーブビット ライト時は 0 をライトしてください。
3	PF2	0	R/W	PCRF が 1 のとき、ポート F のリードを行うと、PDRF の値を直接リードします。そのため端子状態の影響を受けません。PCRF が 0 のとき、ポート F のリードを行うと、端子状態が読み出されます。
2	PF2	0	R/W	
1	PF1	0	R/W	
0	PF0	0	R/W	

### 9.13.2 ポートコントロールレジスタ F (PCRFB)

PCRFB は、ポート F の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7-5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	-	-	-	リザーブビット ライト時は 0 をライトしてください。
3	PCRFB3	0	W	PCRFB に 1 をセットすると対応する PF3~PF0 端子は出力端子となり、0 にクリアすると入力端子となります。当該端子が汎用入出力に設定されている場合には、PCRFB および PDRFB の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
2	PCRFB2	0	W	
1	PCRFB1	0	W	
0	PCRFB0	0	W	

### 9.13.3 ポートモードレジスタ F (PMRFB)

PMRFB は、ポート F の各種機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7-3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	IRQ4	0	R/W	PF1/IRQ4 端子機能切り替え 0 : PF1 入出力端子として機能 1 : $\overline{\text{IRQ4}}$ 入力端子として機能
1	NCS	0	R/W	TMIG のノイズ除去回路の制御を行います。 0 : ノイズ除去機能なし 1 : ノイズ除去機能あり
0	TMIG	0	R/W	PF0/TMIG 端子機能切り替え 0 : PF0 入出力端子として機能 1 : TMIG 入力端子として機能

## 9. I/O ポート

### 9.13.4 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PF3(TXD31/IrTXD)

レジスタ名	PFCR	SPCR	IrCR	PCRF	端子機能
ビット名	SC31S	SPC31	IrE	PCRF3	
設定値	0	x	x	0	PF3 入力端子
				1	PF3 出力端子
	1	0	x	0	PF3 入力端子
				1	PF3 出力端子
	1	1	0	x	TXD31 出力端子
			1	x	IrTXD 出力端子

【注】 x : Don't care

- PF2(RXD31/IrRXD)

レジスタ名	PFCR	SCR3_1	IrCR	PCRF	端子機能
ビット名	SC31S	RE	IrE	PCRF2	
設定値	0	x	x	0	PF2 入力端子
				1	PF2 出力端子
	1	0	x	0	PF2 入力端子
				1	PF2 出力端子
	1	1	0	x	RXD31 入力端子
			1	x	IrRXD 入力端子

【注】 x : Don't care

- PF1(/SCK31/ $\overline{\text{IRQ4}}$ )

レジスタ名	PMR9	PMRF	PFCR	SMR3_1	SCR3_1		PCRF	端子機能	
ビット名	IRQ4	IRQ4	SC31S	COM	CKE1	CKE0	PCRF1		
設定値	0	1	x	x	x	x	x	IRQ4 入力端子	
	上記以外		0	x	x	x	0	0	PF1 入力端子
			1					PF1 出力端子	
			1	0	0	0	0	0	PF1 入力端子
								1	PF1 出力端子
							1	x	SCK31 出力端子
									1
									設定禁止
									1
				1	0	0	0		設定禁止
									1
									設定禁止
1									

【注】 x : Don't care

- PF0/TMIG

レジスタ名	PMRF	PCRF	端子機能
ビット名	TMIG	PCRF0	
設定値	0	0	PF0 入力端子
		1	PF0 出力端子
	1	x	TMIG 入力端子

【注】 x : Don't care

## 9.14 入出力データの反転

### 9.14.1 シリアルポートコントロールレジスタ、 シリアルポートコントロールレジスタ 2 (SPCR、SPCR2)

SPCR は、RXD 端子 (IrRXD 端子) と TXD 端子 (IrTXD 端子) の入出力データ反転切り替えを行います。

図 9.14 に入出力データ反転機能を示します。

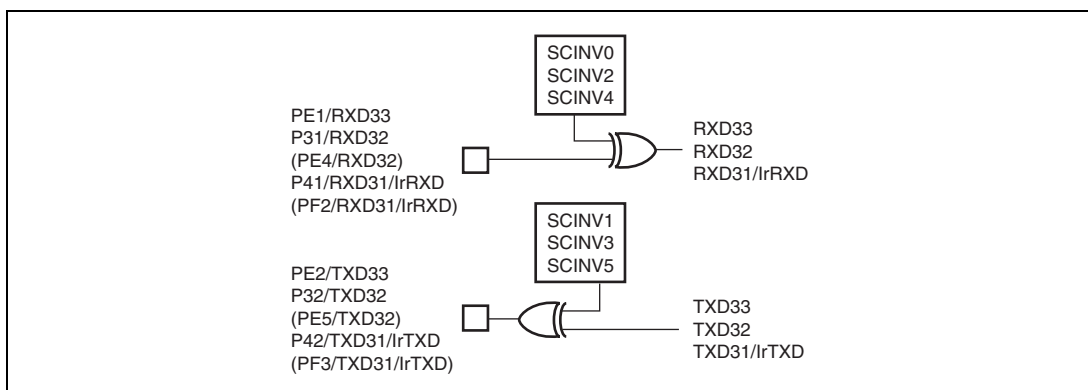


図 9.14 入出力データ反転機能。

#### • SPCR

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
5	SPC32	0	R/W	<p>P32/TXD32/SCL(PE5/TXD32)端子切り替え</p> <p>P32/TXD32/SCL(PE5/TXD32)端子を P32/SCL(PE5)端子として使用するか、TXD32 端子として使用するかを設定します。</p> <p>0 : P32/SCL(PE5)入出力端子として機能</p> <p>1 : TXD32 出力端子として機能*</p> <p>【注】 * 本ビットを 1 に設定した後に SCR3_2 の TE ビットを設定してください。</p>
4	SPC31	0	R/W	<p>P42/TXD31/IrTXD/TMOFH(PF3/TXD31/IrTXD)端子切り替え</p> <p>P42/TXD31/IrTXD/TMOFH(PF3/TXD31/IrTXD)端子を P42/TMOFH(PF3)端子として使用するか TXD31/IrTXD 端子として使用するかを設定します。</p> <p>0 : P42(PF3)入出力端子または TMOFH 出力端子として機能</p> <p>1 : TXD31/IrTXD 出力端子として機能*</p> <p>【注】 * 本ビットを 1 に設定した後に SCR3_1 の TE ビットを設定してください。</p>

ビット	ビット名	初期値	R/W	説明
3	SCINV3	0	R/W	TXD32 端子出力データ反転切り替え TXD32 端子の出力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : TXD32 端子の出力データを反転しない 1 : TXD32 端子の出力データを反転する
2	SCINV2	0	R/W	RXD32 端子入力データ反転切り替え RXD32 端子の入力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : RXD32 端子の入力データを反転しない 1 : RXD32 端子の入力データを反転する
1	SCINV1	0	R/W	TXD31/IrTXD 端子出力データ反転切り替え TXD31/IrTXD 端子の出力のデータロジックレベルを反転するか、しないかの切り替えを設定します。 0 : TXD31/IrTXD 端子の出力データを反転しない 1 : TXD31/IrTXD 端子の出力データを反転する
0	SCINV0	0	R/W	RXD31/IrRXD 端子入力データ反転切り替え RXD31/IrRXD 端子の入力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : RXD31/IrRXD 端子の入力データを反転しない 1 : RXD31/IrRXD 端子の入力データを反転する

【注】 シリアルポートコントロールレジスタを書き替えると、それまで入力または出力されていたデータが書き替えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き替える際には、データ変化を無効にする状態で、書き替えてください。

• SPCR2

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	SPC33	0	R/W	PE2/TXD33 端子切り替え PE2/TXD33 端子を PE2 端子として使用するか TXD33 端子として使用するかを設定します。 0 : PE2 入出力端子端子として使用 1 : TXD33 出力端子として使用 本ビットを 1 に設定した後に SCR3_3 の TE ビットを設定してください。
3	-	1	-	リザーブビット
2	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。

## 9. I/O ポート

ビット	ビット名	初期値	R/W	説 明
1	SCINV5	0	R/W	TXD33 端子出力データ反転切り替え TXD33 端子の出力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : TXD33 端子の出力データを反転しない 1 : TXD33 端子の出力データを反転する
0	SCINV4	0	R/W	RXD33 端子入力データ反転切り替え RXD33 端子の入力データのロジックレベルを反転するか、しないかの切り替えを設定します。 0 : RXD33 端子の入力データを反転しない 1 : RXD33 端子の入力データを反転する

【注】 シリアルポートコントロールレジスタ2を書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタ2を書き換える際には、データ変化を無効にする状態で書き換えてください。

## 9.15 ポート機能の切り替え

### 9.15.1 ポート機能コントロールレジスタ (PFCR)

PFCR は端子機能切り替え、SCI3\_1、SCI3\_2 の端子割り当ての制御を行います。

ビット	ビット名	初期値	R/W	説 明
7	CLKOUT1	1	R/W	TMOW/CLKOUT 端子機能切り替え 00 : CLKOUT 出力端子 ( osc ) として機能 01 : CLKOUT 出力端子 ( osc/2 ) として機能 10 : CLKOUT 出力端子 ( osc/4 ) として機能 11 : TMOW 出力端子として機能
6	CLKOUT0	1	R/W	
5	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	PWM4	0	R/W	P93/PWM4 端子機能切り替え 0 : P93 入出力端子として機能 1 : PWM4 出力端子として機能
3	PWM3	0	R/W	P92/PWM3 端子機能切り替え 0 : P92 入出力端子として機能 1 : PWM3 出力端子として機能
2	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。



ビット	ビット名	初期値	R/W	説明
1	SC32S	0	R/W	SCI3_2 端子割り当て選択 0 : TXD32 は P32 に割り当て RXD32 は P31 に割り当て SCK32 は P30 に割り当て 1 : TXD32 は PE5 に割り当て RXD32 は PE4 に割り当て SCK32 は PE3 に割り当て
0	SC31S	0	R/W	SCI3_1 端子割り当て選択 0 : TXD31 は P42 に割り当て RXD31 は P41 に割り当て SCK31 は P40 に割り当て 1 : TXD31 は PF3 に割り当て RXD31 は PF2 に割り当て SCK31 は PF1 に割り当て

## 9.16 使用上の注意事項

### 9.16.1 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、フローティング端子はプルアップまたはプルダウンしてください。

- 未使用端子が入力設定の場合は下記のいずれかの設定を推奨します。

- 内蔵プルアップMOSでVccにプルアップ
- 外部に100k 程度の抵抗をつけてVccにプルアップ
- 外部に100k 程度の抵抗をつけてVssにプルダウン
- A/D変換器の端子と兼用している端子は、外部に100k 程度の抵抗をつけてAVccにプルアップ

- 未使用端子が出力設定の場合は下記のいずれかの設定を推奨します。

- 未使用端子をHighレベル出力にし、外部に100k 程度の抵抗をつけてVccにプルアップ
- 未使用端子をLowレベル出力にし、外部に100k 程度の抵抗をつけてGNDにプルダウン

### 9.16.2 端子機能による入力特性の相違について

$\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ4}}$ 、 $\text{IRQACE}$ 、 $\overline{\text{WKP0}} \sim \overline{\text{WKP7}}$ 、 $\text{AEVL}$ 、 $\text{AEVH}$ 、 $\text{TMIC}$ 、 $\text{TMIF}$ 、 $\text{TMIG}$ 、 $\text{SCK31} \sim \text{SCK33}$ 、 $\text{SDA}$ 、 $\text{SCL}$  の端子機能を選択した場合はシュミットトリガ入力特性となりますので、ポート入力端子として使用した場合と入力特性が異なります。

たとえば、 $\text{PB0} / \text{AN0} / \overline{\text{IRQ0}}$  端子の入力 High レベル電圧 / 入力 Low レベル電圧は、 $\text{PB0}$  入力として使用する場合と、 $\overline{\text{IRQ0}}$  入力として使用する場合は、それぞれ異なる特性となります。

各特性については表 25.2 および表 25.11 を参照してください。

## 10. リアルタイムクロック (RTC)

リアルタイムクロック (RTC : Real Time Clock) は、1 秒から 1 週間までの時間をカウントできるタイマです。また、割り込みは 0.25 秒から 1 週間まで発生させることができます。RTC のブロック図を図 10.1 に示します。

### 10.1 特長

- 秒、分、時、および曜日をカウント
- スタート/ストップ機能
- リセット機能
- BCDコードによるリード/ライト可能な秒、分、時、および曜日カウンタ
- 周期 (0.25秒、0.5秒、1秒、分、時、日、週) 割り込み
- 8ビットフリーランニングカウンタ
- クロックソースの選択
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能 (詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

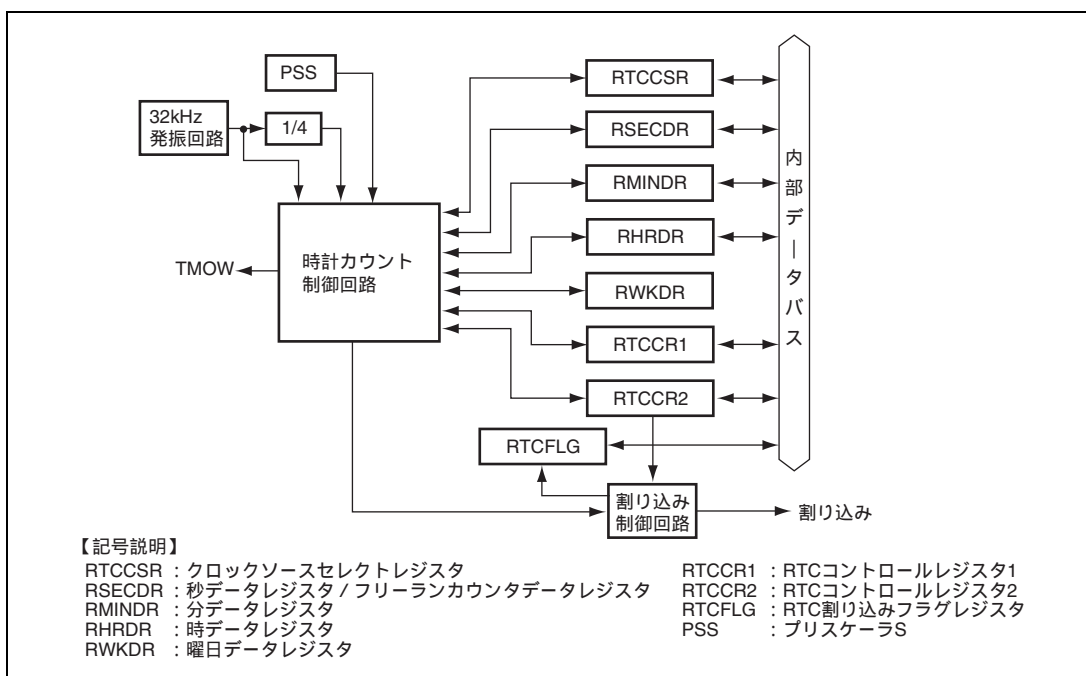


図 10.1 RTC のブロック図

## 10. リアルタイムクロック (RTC)

### 10.2 入出力端子

RTC の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	RTC 分周クロック出力端子

### 10.3 レジスタの説明

RTC には以下のレジスタがあります。

- 秒データレジスタ / フリーランカウンタデータレジスタ (RSECDR)
- 分データレジスタ (RMINDR)
- 時データレジスタ (RHRDR)
- 曜日データレジスタ (RWKDR)
- RTCコントロールレジスタ1 (RTCCR1)
- RTCコントロールレジスタ2 (RTCCR2)
- クロックソースセレクトレジスタ (RTCCSR)
- RTC割り込みフラグレジスタ (RTCFLG)

#### 10.3.1 秒データレジスタ / フリーランカウンタデータレジスタ (RSECDR)

RSECDR は秒のカウンタを行います。RSECDR は BCD コードで表され、0 から 59 までのカウンタを行います。またフリーランカウンタとして動作しているとき、8 ビットのカウンタデータの読み出しレジスタとなります。秒、分、時、および曜日の読み取りについては「10.4.3 時刻読み出し手順」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	SC12	-/(0)*	R/W	秒十位カウンタ 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
5	SC11	-/(0)*	R/W	
4	SC10	-/(0)*	R/W	
3	SC03	-/(0)*	R/W	秒一位カウンタ 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。
2	SC02	-/(0)*	R/W	
1	SC01	-/(0)*	R/W	
0	SC00	-/(0)*	R/W	

【注】 \* RTCCR1 の RST ビットによるリセット後の初期値です。

### 10.3.2 分データレジスタ (RMINDR)

RMINDR は RSECDR の桁上がりがあると、分のカウントを行います。RMINDR は BCD コードで表され、0 から 59 までのカウントを行います。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	MN12	-/(0)*	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
5	MN11	-/(0)*	R/W	
4	MN10	-/(0)*	R/W	
3	MN03	-/(0)*	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。
2	MN02	-/(0)*	R/W	
1	MN01	-/(0)*	R/W	
0	MN00	-/(0)*	R/W	

【注】 \* RTCCR1 の RST ビットによるリセット後の初期値です。

### 10.3.3 時データレジスタ (RHRDR)

RHRDR は RMINDR の桁上がりがあると、時間のカウントを行います。RHRDR は BCD コードで表され、RTCCR1 の 12/24 ビットの選択によって 0 から 11 までのカウント、または 0 から 23 までのカウントを行います。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
5	HR11	-/(0)*	R/W	時十位カウント 時十位は 0 から 2 をカウントします。
4	HR10	-/(0)*	R/W	
3	HR03	-/(0)*	R/W	時一位カウント 時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時十位が +1 されます。
2	HR02	-/(0)*	R/W	
1	HR01	-/(0)*	R/W	
0	HR00	-/(0)*	R/W	

【注】 \* RTCCR1 の RST ビットによるリセット後の初期値です。

## 10. リアルタイムクロック (RTC)

### 10.3.4 曜日データレジスタ (RWKDR)

RWKDR は RHRDR の桁上がりがあると、曜日のカウントを行います。WK2 ~ WK0 ビットにより 0 から 6 のバイナリコードで曜日を表します。

ビット	ビット名	初期値	R/W	説明
7	BSY	-/(0)*	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6~3	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。
2	WK2	-/(0)*	R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 設定禁止
1	WK1	-/(0)*	R/W	
0	WK0	-/(0)*	R/W	

【注】 \* RTCCR1 の RST ビットによるリセット後の初期値です。

## 10.3.5 RTC コントロールレジスタ 1 (RTCCR1)

RTCCR1 は、時計タイマの動作開始 / 動作停止およびリセットを制御します。時間表現の定義は、図 10.2 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	RUN	-/(0)*	R/W	RTC 動作開始 0: RTC は動作停止 1: RTC は動作開始
6	12/24	-/(0)*	R/W	動作モード 0: RTC は 12 時間モードで動作します。RHRDR は 0~11 のカウントを行います。 1: RTC は 24 時間モードで動作します。RHRDR は 0~23 のカウントを行います。
5	PM	-/(0)*	R/W	午前 / 午後 0: RTC が 12 時間モードのとき有効であり、午前を表します。 1: RTC が 12 時間モードのとき有効であり、午後を表します。
4	RST	0	R/W	リセット 0: 通常動作 1: RTCCSR およびこのビットを除く全レジスタ、制御回路をリセットします。なお 1 にセットした後は、必ずこのビットを 0 にクリアしてください。
3	-	-	R/W	リザーブビット ライト時は 0 をライトしてください。
2~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

【注】 \* RTCCR1 の RST ビットによるリセット後の初期値です。

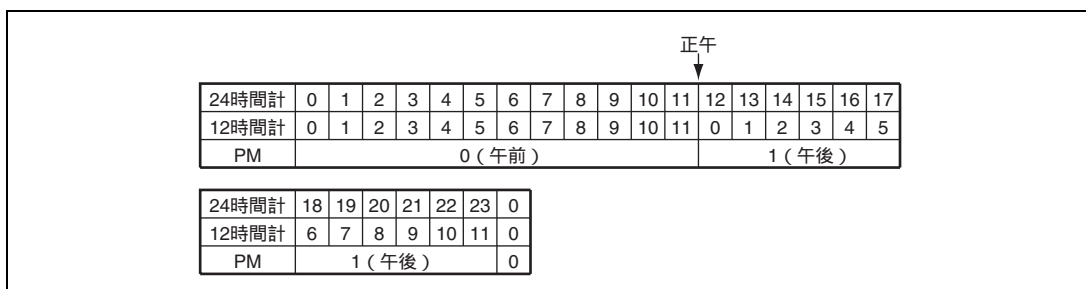


図 10.2 時間表現の定義

## 10. リアルタイムクロック (RTC)

### 10.3.6 RTC コントロールレジスタ 2 (RTCCR2)

RTCCR2 は週、日、時、分、1 秒、0.5 秒および 0.25 秒の RTC 周期割り込みを制御します。週、日、時、分、1 秒、0.5 秒および 0.25 秒の各割り込みを許可すると、割り込みが発生した場合、RTC 割り込みフラグレジスタ (RTCFLG) の対応するフラグが 1 にセットされます。また RTC がフリーランカウンタとして動作しているとき、フリーランカウンタのオーバフロー割り込みを制御します。

ビット	ビット名	初期値	R/W	説明
7	FOIE	-/(0)*	R/W	フリーランカウンタオーバフロー割り込み許可 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
6	WKIE	-/(0)*	R/W	週周期割り込み許可 0: 週周期割り込みを禁止 1: 週周期割り込みを許可
5	DYIE	-/(0)*	R/W	日周期割り込み許可 0: 日周期割り込みを禁止 1: 日周期割り込みを許可
4	HRIE	-/(0)*	R/W	時周期割り込み許可 0: 時周期割り込みを禁止 1: 時周期割り込みを許可
3	MNIE	-/(0)*	R/W	分周期割り込み許可 0: 分周期割り込みを禁止 1: 分周期割り込みを許可
2	1SEIE	-/(0)*	R/W	1 秒周期割り込み許可 0: 1 秒周期割り込みを禁止 1: 1 秒周期割り込みを許可
1	05SEIE	-/(0)*	R/W	0.5 秒周期割り込み許可 0: 0.5 秒周期割り込みを禁止 1: 0.5 秒周期割り込みを許可
0	025SEIE	-/(0)*	R/W	0.25 秒周期割り込み許可 0: 0.25 秒周期割り込みを禁止 1: 0.25 秒周期割り込みを許可

【注】 \* RTCCR1 の RST ビットによるリセット後の初期値です。



### 10.3.7 クロックソースセレクトレジスタ (RTCCSR)

RTCCSR はクロックソースの選択を行います。フリーランカウンタは、RTCCR1 の RUN ビットでカウンタの動作開始 / 動作停止を制御します。w/4 以外のクロックを選択すると RTC は無効となり、8 ビットのフリーランカウンタとして動作します。フリーランカウンタとして動作しているとき、RSECDR によってカウンタの値を読み込むことが可能です。また RTCCR2 の FOIE ビットを 1 にセットすると、フリーランカウンタのオーバフロー割り込みを許可することで割り込みを発生できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。w はアクティブモード、スリープモード、サブアクティブモード、サブスリープモード、ウォッチモードで出力されます。

ビット	ビット名	初期値	R/W	説明
7	-	- / (0)*	R	リザーブビット ライトは無効です。
6	RCS6	0	R/W	クロック出力選択 PMR3 の TMOW を 1 にセットしたときに、TMOW 端子から出力されるクロックを選択します。 000 : /4 010 : /8 100 : /16 110 : /32 xx1 : w
5	RCS5	0	R/W	
4	SUB32K	0	R/W	
3	RCS3	1	R/W	クロックソース選択 0000 : /8 ..... フリーランカウンタ動作 0001 : /32 ..... フリーランカウンタ動作 0010 : /128 ..... フリーランカウンタ動作 0011 : /256 ..... フリーランカウンタ動作 0100 : /512 ..... フリーランカウンタ動作 0101 : /2048 ..... フリーランカウンタ動作 0110 : /4096 ..... フリーランカウンタ動作 0111 : /8192 ..... フリーランカウンタ動作 1000 : w/4 ..... RTC 動作 1001 ~ 1111 : 設定禁止
2	RCS2	0	R/W	
1	RCS1	0	R/W	
0	RCS0	0	R/W	

【注】 x : Don't care

\* RTCCR1 の RST ビットによるリセット後の初期値です。

## 10. リアルタイムクロック (RTC)

### 10.3.8 RTC 割り込みフラグレジスタ (RTCFLG)

RTCFLG は割り込みが発生したときに、対応するフラグをセットします。各フラグは割り込みが受け付けられてもオートクリアされません。フラグをクリアする場合は 0 をライトしてください。

ビット	ビット名	初期値	R/W	説明
7	FOIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] フリーランカウンタがオーバーフローしたとき [クリア条件] FOIFG = 1 の状態で FOIFG に 0 をライトしたとき
6	WKIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 週周期割り込みが発生したとき [クリア条件] WKIFG = 1 の状態で WKIFG に 0 をライトしたとき
5	DYIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 日周期割り込みが発生したとき [クリア条件] DYIFG = 1 の状態で DYIFG に 0 をライトしたとき
4	HRIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 時周期割り込みが発生したとき [クリア条件] MNIFG = 1 の状態で HRIFG に 0 をライトしたとき
3	MNIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 分周期割り込みが発生したとき [クリア条件] MNIFG = 1 の状態で MNIFG に 0 をライトしたとき
2	SEIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 1 秒周期割り込みが発生したとき [クリア条件] SEIFG = 1 の状態で SEIFG に 0 をライトしたとき
1	05SEIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 0.5 秒周期割り込みが発生したとき [クリア条件] 05SEIFG = 1 の状態で 05SEIFG に 0 をライトしたとき
0	025SEIFG	-/(0)* <sup>2</sup>	R/W* <sup>1</sup>	[セット条件] 0.25 秒周期割り込みが発生したとき [クリア条件] 025SEIFG = 1 の状態で 025SEIFG に 0 をライトしたとき

【注】 \*1 フラグクリアのための 0 ライトのみ可能です。

\*2 RTCCR1 の RST ビットによるリセット後の初期値です。

## 10.4 RTC の動作

### 10.4.1 電源投入後のレジスタの初期設定

RTC は  $\overline{\text{RES}}$  入力、ウォッチドッグタイマによるリセットでは、秒、分、時、曜日の情報を格納しているレジスタ、制御レジスタ、割り込みレジスタは初期化されません。そのため、電源投入後はすべてのレジスタを初期設定してください。その後は  $\overline{\text{RES}}$  入力に関係なく、電源が供給されている限り正確な時間を刻みます。

### 10.4.2 初期設定手順

RTC を初期設定する手順を図 10.3 に示します。また、再設定を行う場合も図 10.3 に従ってください。

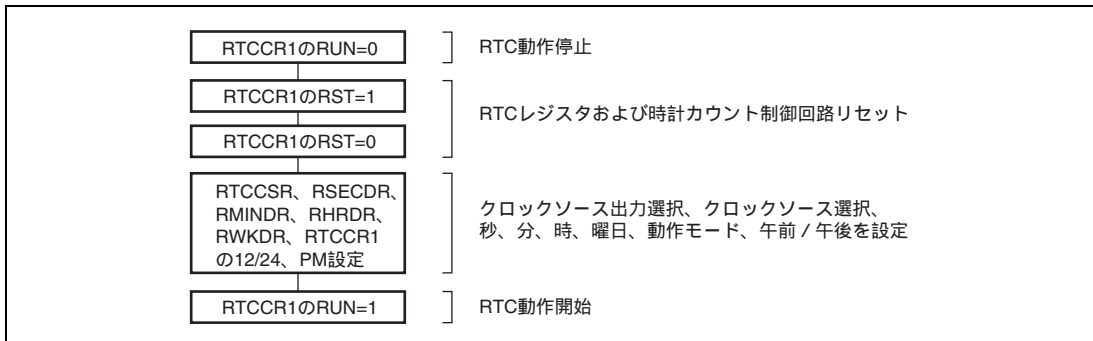


図 10.3 初期設定手順

### 10.4.3 時刻読み出し手順

時刻読み出し期間中に秒、分、時、曜日データの更新が行なわれると正しい時刻が得られないため、再読み出しする必要があります。正しい時刻を得られない場合の例を図 10.4 に示します。この例では RSECDR のみデータ更新後にリードしているため、約 1 分の矛盾が生じています。

正しい時刻を読み出す方法は 3 つあります。

1. BSYビットを判定し、BSYビットが1から0に変化した後に、秒、分、時、曜日を示すレジスタをリードします。BSYビットが1にセットされてから約62.5ms後にレジスタの更新が行なわれ、BSYビットが0にクリアされます。
2. 割り込みを使用し、RTCFLGの対応するフラグが1にセットされたら、BSYビットが0であることを確認してから秒、分、時、曜日を示すレジスタをリードします。
3. 秒、分、時、曜日を示すレジスタを連続的に2回リードし、リードしたデータに変化がなければそのデータを採用します。

## 10. リアルタイムクロック (RTC)

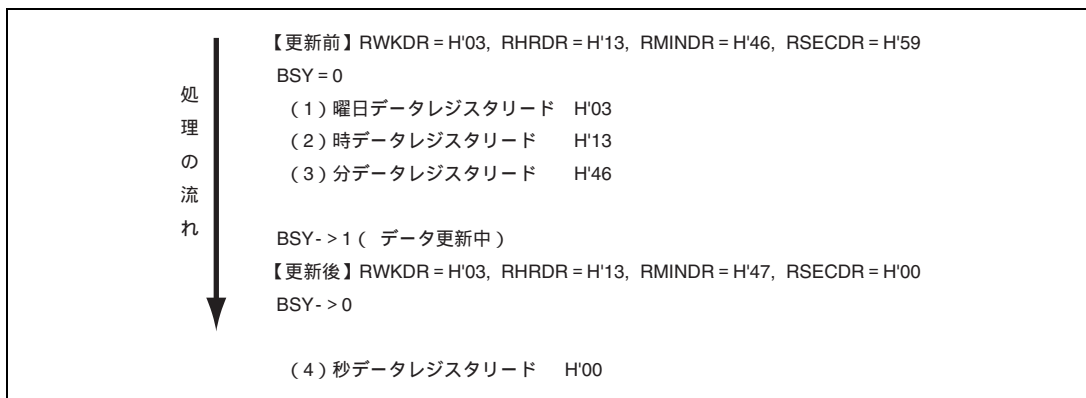


図 10.4 正しい時刻を得られない場合の例

## 10.5 割り込み要因

RTC の割り込み要因には、フリーランカウンタのオーバーフロー、週、日、時、分、1 秒、0.5 秒、0.25 秒の 8 種類あります。

割り込みを使用する場合、RTC の割り込みイネーブル (IENR1 の IENRTC の 1 セット) は他のレジスタの設定が終了した後、最後に行ってください。

RTC の割り込み要求が発生すると、RTCFLG の対応するフラグが 1 にセットされます。フラグをクリアする場合は 0 を書き込んでください。

表 10.2 に割り込み要因を示します。

表 10.2 割り込み要因

要因名	割り込み要因	割り込み許可ビット
オーバーフロー割り込み	フリーランカウンタがオーバーフローしたときに発生します。	FOIE
週周期割り込み	曜日データレジスタの値が 0 になったとき、1 週間周期に割り込みを発生します。	WKIE
日周期割り込み	曜日データレジスタがカウントされるたびに、1 日周期に割り込みを発生します。	DYIE
時周期割り込み	時データレジスタがカウントされるたびに、1 時間周期に割り込みを発生します。	HRIE
分周期割り込み	分データレジスタがカウントされるたびに、1 分周期に割り込みを発生します。	MNIE
1 秒周期割り込み	1 秒データレジスタがカウントされるたびに、1 秒周期に割り込みを発生します。	1SEIE
0.5 秒周期割り込み	0.5 秒周期に割り込みを発生します。	05SEIE
0.25 秒周期割り込み	0.25 秒周期に割り込みを発生します。	025SEIE

## 10.6 使用上の注意事項

### 10.6.1 時計カウントに関する注意事項

サブクロックは必ず 32.768kHz の発振子を接続してください。38.4kHz 等の発振子等を接続した場合正確な時間をカウントできなくなります。

### 10.6.2 割り込みを使用する場合の注意事項

RTC のレジスタは  $\overline{\text{RES}}$  端子によるリセット、パワーオンリセット、WDT オーバフローによるリセットではクリアされません。結果、電源投入後の値は不定となっております。

そのため、RTC 割り込みを使用する場合は、IENR1 の IENRTC を 1 とする前に必ず値を初期化してください。

## 10. リアルタイムクロック (RTC)

---

---

## 11. タイマ C

---

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのタイマです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。タイマ C のブロック図を図 11.1 に示します。

### 11.1 特長

- 10種類のクロックを選択可能  
9種類の内部クロック ( /8192、 /2048、 /512、 /64、 /16、 /4、 w/4、 w/256、 w/1024 ) と外部クロックからの選択が可能です ( 外部イベントのカウントが可能 ) 。
- カウンタのオーバフローで割り込みを発生
- アップ / ダウンカウンタ切り替え可能  
アップ / ダウンカウンタの切り替えを、レジスタによる指定、もしくは外部入力レベルによる指定とすることが選択可能です。
- サブアクティブモード、サブスリープモードで動作  
内部クロックとして w/4、 w/256、 w/1024を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能 ( 詳細は、「6.4 モジュールスタンバイ機能」を参照してください。 )

## 11. タイマ C

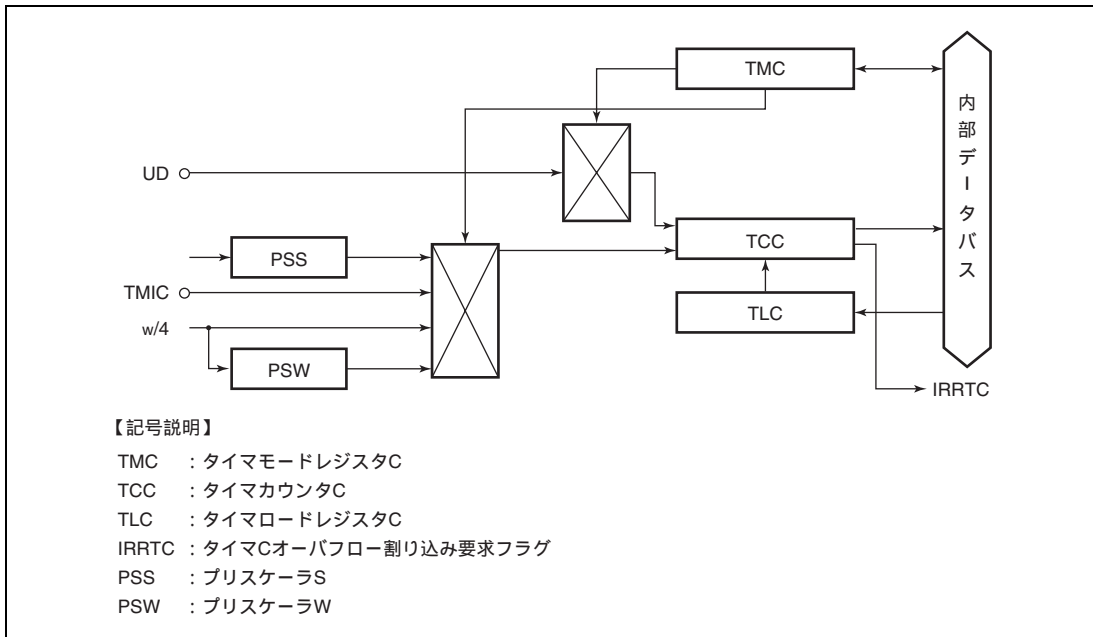


図 11.1 タイマ C のブロック図

### 11.2 入出力端子

タイマ C の入出力端子を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
タイマ C イベント入力	TMIC	入力	TCC に入力するイベント入力端子
タイマ C アップ/ダウンセレクト	UD	入力	タイマ C のアップ/ダウンカウントを選択

### 11.3 レジスタの説明

タイマ C には以下のレジスタがあります。クロック停止レジスタ 3 (CKSTPR3) については「6.1.4 クロック停止レジスタ 1~3 (CKSTPR1~CKSTPR3)」を参照してください。

- タイマモードレジスタ C (TMC)
- タイマカウンタレジスタ C (TCC)
- タイムロードレジスタ C (TLC)
- クロック停止レジスタ 3 (CKSTPR3)



### 11.3.1 タイマモードレジスタ C (TMC)

TMC は、8 ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMC は H'10 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TMC7	0	R/W	オートリロード機能選択 タイマ C のオートリロード機能を選択します。 0 : インターバル機能を選択 1 : オートリロード機能を選択
6	TMC6	0	R/W	カウンタアップ/ダウン制御
5	TMC5	0	R/W	TCC のカウンタ方向を指定するか、アップ/ダウン制御を UD 端子入力レベルによる制御とするかを選択します。 00 : TCC はアップカウンタ 01 : TCC はダウンカウンタ 1x : UD 端子入力レベルによる制御 UD 端子入力が High レベル : ダウンカウンタ UD 端子入力が Low レベル : アップカウンタ
4	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	TMC3	0	R/W	クロックセレクト
2	TMC2	0	R/W	TMC3 ~ TMC0 は、TCC に入力するクロックを選択します。外部からのイベント入力は、立ち上がり / 立ち下がりエッジの選択が可能です。
1	TMC1	0	R/W	
0	TMC0	0	R/W	x000 : 内部クロック /8192 でカウント x001 : 内部クロック /2048 でカウント x010 : 内部クロック /512 でカウント x011 : 内部クロック /64 でカウント x100 : 内部クロック /16 でカウント 0101 : 内部クロック /4 でカウント 0110 : 内部クロック w/1024 でカウント 1101 : 内部クロック w/256 でカウント 1110 : 内部クロック w/4 でカウント 0111 : 外部イベント (TMIC) を立ち下がりエッジでカウント* 1111 : 外部イベント (TMIC) を立ち上がりエッジでカウント*

【注】 x : Don't care

\* TMC3 ~ TMC0 を B'x111 に設定する前に必ずポートモードレジスタ E (PMRE) の TMIC を 1 にセットしてください。

### 11.3.2 タイマカウンタ C (TCC)

TCC は、8 ビットのリード可能なアップ/ダウンカウンタで、入力する内部クロック/外部イベントによりカウントアップ/ダウンされます。入力するクロックは、TMC の TMC3 ~ TMC0 により選択します。TCC の値は、CPU から常にリードできます。

TCC がオーバーフロー (H'FF H'00 または H'FF TLC の設定値)、またはアンダフロー (H'00 H'FF または H'00 TLC の設定値) すると、IRR2 の IRRTC が 1 にセットされます。

TCC は、TLC と同一のアドレスに割り付けられています。

リセット時、TCC は H'00 に初期化されます。

### 11.3.3 タイマロードレジスタ C (TLC)

TLC は、8 ビットのライト専用のレジスタで、TCC のリロード値を設定します。TLC にリロード値を設定すると、同時にその値は TCC にもロードされ、TCC はその値からカウントアップ/ダウンを開始します。また、オートリロード動作時、TCC がオーバーフロー/アンダフローすると、TCC に TLC の値がロードされます。したがって、オーバーフロー/アンダフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

TLC は、TCC と同一のアドレスに割り付けられています。

リセット時、TLC は H'00 に初期化されます。

### 11.3.4 クロック停止レジスタ 3 (CKSTPR3)

タイマ C のモジュールスタンバイモードの設定および解除の制御については、「6.1.4 クロック停止レジスタ 1 ~ 3 (CKSTPR1 ~ CKSTPR3)」を参照してください。CKSTPR3 の TCCKSTP ビットで設定および解除を制御します。

## 11.4 動作説明

### 11.4.1 インターバルタイマの動作

TMC の TMC7 を 0 にクリアすると、タイマ C は 8 ビットインターバルタイマとして動作します。

リセット時、TCC は H'00、TMC は H'10 に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマ C の動作クロックは、TMC の TMC3 ~ TMC0 により、プリスケアラ S、W の出力する 9 種類の内部クロック、TMIC 入力端子からの外部クロックを選択できます。

また、TCC のカウントアップ / ダウン制御は、TMC の TMC6、TMC5 により、固定もしくは UD 端子レベルによる制御が可能です。

TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー (アンダフロー) し、IRR2 の IRRTC が 1 にセットされます。このとき、IENR2 の IENTC が 1 ならば CPU に割り込みを要求します。

オーバフロー (アンダフロー) 時には、TCC のカウント値は H'00 (H'FF) に戻り、再びカウントアップ (ダウン) を開始します。

インターバル動作時 (TMC7 = 0) に TLC を設定すると、同時に TCC にも TLC の値をロードします。

【注】 割り込みについての詳細は、「第 4 章 割り込みコントローラ」を参照してください。

### 11.4.2 オートリロードタイマの動作

TMC の TMC7 = 1 にセットすると、タイマ C は 8 ビットオートリロードタイマとして動作します。

TLC にリロード値を設定すると、同時にその値が TCC にロードされ、TCC はその値からカウントアップ / ダウンを開始します。TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー (アンダフロー) し、TLC の値が TCC にロードされ、その値からカウントアップ (ダウン) を続けます。したがって、TLC の値により、オーバフロー (アンダフロー) 周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ / ダウン制御、割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMC7 = 1) に TLC の値を再設定すると、同時に TCC にも TLC の値をロードします。

### 11.4.3 イベントカウンタ

タイマ C は、TMIC 端子をイベント入力端子とするイベントカウンタとして動作します。TMC の TMC3 ~ TMC0 を B'0111、B'1111 に設定、PMRE の TMIC を 1 にセットすると、外部イベント動作が選択され、TCC は、TMIC 端子入力の立ち上がり / 立ち下がりエッジでカウントアップ / ダウンします。

外部イベント入力信号は、入力端子 High レベル幅 / Low レベル幅を満たさない場合、正常なカウントができません。

### 11.4.4 外部入力端子による TCC アップ / ダウン制御

タイマ C は、UD 端子入力による TCC のカウントアップ / ダウン制御ができます。TMC の TMC6 を 1 とすると、UD 端子入力が、High レベルならばダウンカウンタ、Low レベルならばアップカウンタとして動作します。

## 11. タイマ C

---

UD 端子入力を使用する場合は、PMRE の UD を 1 にセットしてください。

### 11.5 タイマ C の動作モード

タイマ C の動作モードを表 11.2 に示します。

表 11.2 タイマ C の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCC	インターバル	リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	停止	停止
	オートリロード	リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	停止	停止
TMC		リセット	動作	保持	保持	動作	保持	保持	保持

- 【注】 \*1 アクティブモード、スリープモード時に、TCC の内部クロックとして  $w/4$ 、 $w/256$  または  $w/1024$  を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で  $1/$  (s) の誤差が生じます。
- \*2 ウォッチモード時にカウンタを動作させる場合には、必ずクロックとして  $w/4$ 、 $w/256$  または  $w/1024$  を選択してください。
- \*3 サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして  $w/4$ 、 $w/256$  または  $w/1024$  を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック  $sub$  として  $w/8$  を選択時にカウンタの内部クロックとして  $w/4$  を選択した場合、カウンタの下位 2 ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。

---

## 12. タイマ F

---

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能なほか、コンペアマッチ信号によるカウンタのリセット、割り込み要求、トグル出力など、多機能タイマとして種々の応用が可能です。また、2 本の独立した 8 ビットタイマ（タイマ FH、タイマ FL）としても使用可能です。タイマ F のブロック図を図 12.1 に示します。

### 12.1 特長

- カウンタ入力クロック：5種類  
内部クロック（ /32、 /16、 /4、 w/4 ）と外部クロックの選択が可能
- トグル出力機能  
コンペアマッチ信号により、TMOFH端子 / TMOFL端子にトグル出力します。  
トグル出力の初期値を設定可能
- コンペアマッチ信号によるカウンタリセット
- 割り込み要因  
コンペアマッチ×1要因、オーバフロー×1要因
- TCRFのCKSH2～CKSH0ビットにより、16ビットモードと8ビットモードの選択が可能
- ウォッチモード、サブアクティブモード、サブスリープモードで動作可能  
内部クロックとして w/4を選択すると、ウォッチモード、サブアクティブモード、サブスリープモードで動作できます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能  
（詳細は、「6.4 モジュールスタンバイ機能」を参照してください。）

## 12. タイマ F

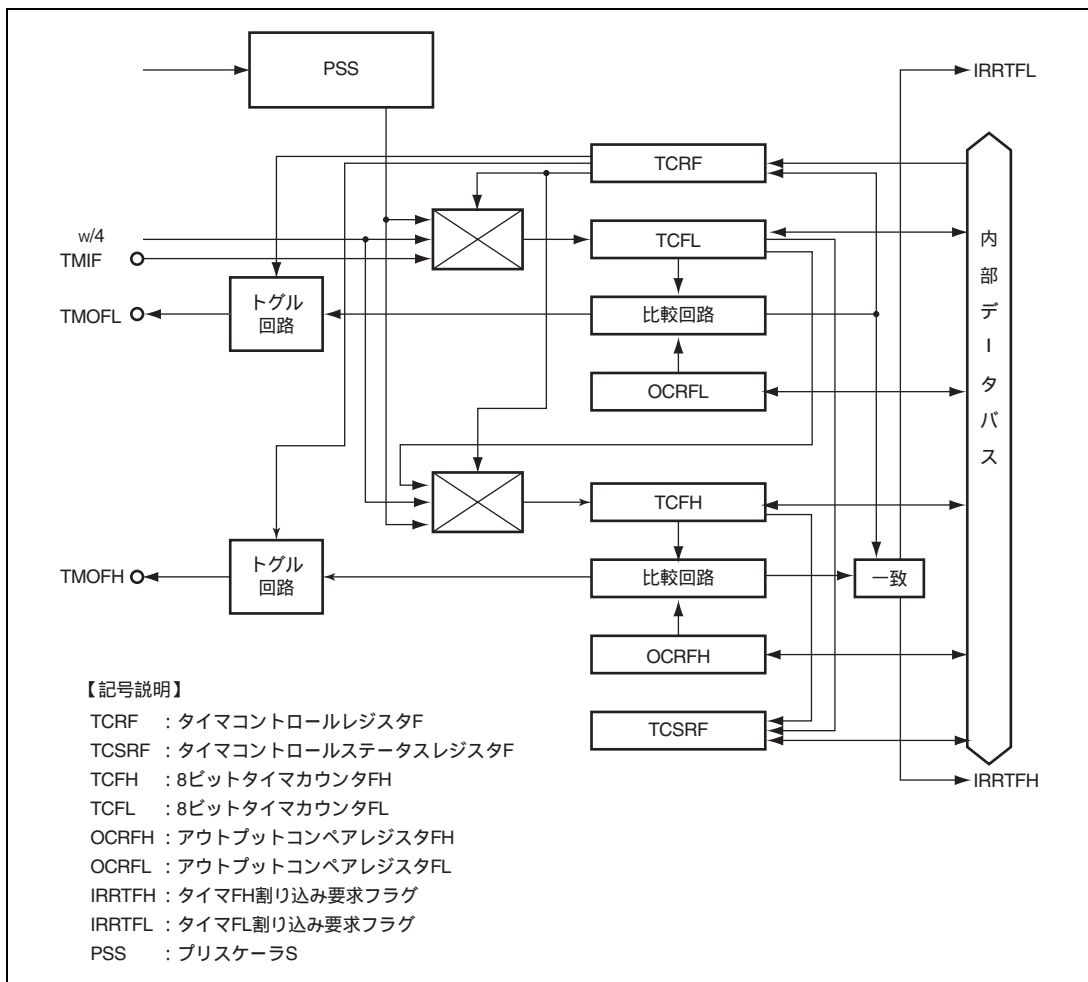


図 12.1 タイマ F のブロック図

## 12.2 入出力端子

タイマ F の入出力端子を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
タイマ F イベント入力	TMIF	入力	TCFL に入力するイベント入力端子
タイマ FH 出力	TMOFH	出力	タイマ FH トグル出力端子
タイマ FL 出力	TMOFL	出力	タイマ FL トグル出力端子

## 12.3 レジスタの説明

タイマFには以下のレジスタがあります。

- タイマカウンタFH、FL (TCFH、TCFL)
- アウトプットコンペアレジスタFH、FL (OCRFH、OCRFL)
- タイマコントロールレジスタF (TCRF)
- タイマコントロールステータスレジスタF (TCSRf)

### 12.3.1 タイマカウンタ FH、FL (TCFH、TCFL)

TCFは16ビットのリード/ライト可能なアップカウンタで、8ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位8ビットをTCFH、下位8ビットをTCFLとする16ビットカウンタとして使用できるほか、TCFH、TCFLを独立した8ビットカウンタとして使用することもできます。

#### (1) 16ビットモード (TCF)

TCRFのCKSH2を0に設定すると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2~CKSL0により選択します。

TCSRfのCCLRfにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバーフロー (H'FFFF H'0000) すると、TCSRfのOVFHが1にセットされます。このときTCSRfのOVIEHが1の場合、IRR2のIRRTFHが1にセットされ、さらにIENR2のIENTFHが1ならばCPUに割り込みを要求します。

#### (2) 8ビットモード (TCFH/TCFL)

TCRFのCKSH2を1に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH (TCFL) の入力クロックは、TCRFのCKSH2~CKSH0 (CKSL2~CKSL0) により選択します。

TCSRfのCCLRf (CCLRf) により、コンペアマッチ時にTCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバーフロー (H'FF H'00) すると、TCSRfのOVFH (OVFL) が1にセットされます。このときTCSRfのOVIEH (OVIEL) が1の場合、IRR2のIRRTFH (IRRTFL) が1にセットされ、さらにIENR2のIENTFH (IENTFL) が1ならばCPUに割り込みを要求します。

### 12.3.2 アウトプットコンペアレジスタ FH、FL (OCR FH、OCR FL)

OCR Fは16ビットのリード/ライト可能な2本のレジスタ (OCR FH、OCR FL) により構成されています。上位8ビットをOCR FH、下位8ビットをOCR FLとする16ビットレジスタとして使用できるほか、OCR FH、OCR FLを独立した8ビットレジスタとして使用することもできます。

#### (1) 16ビットモード (OCR F)

TCRFのCKSH2を0に設定すると、OCR Fは16ビットレジスタとして動作します。OCR Fの内容は、TCFと常に比較されており、両者の値が一致すると、TCSR FのCMFHが1にセットされます。また、同時にIRR2のIRRTFHも1にセットされます。このときIENR2のIENTFHが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHビットにより、出力レベルが設定できます。

#### (2) 8ビットモード (OCR FH/OCR FL)

TCRFのCKSH2を1に設定すると、OCR Fは2本の8ビットレジスタとして動作します。OCR FHの内容はTCFHと、またOCR FLの内容はTCFLとそれぞれ個別に比較されます。OCR FH (OCR FL)とTCFH (TCFL)の値が一致すると、TCSR FのCMFH (CMFL)が1にセットされます。また、同時にIRR2のIRRTFH (IRR TFL)も1にセットされます。このとき、IENR2のIENTFH (IENTFL)が1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子 (TMOFL端子)より出力することができます。また、TCRFのTOLH (TOLL)により、出力レベルが設定できます。



### 12.3.3 タイマコントロールレジスタ F (TCRF)

TCRF は 16 ビットモード / 8 ビットモードの切り替え、カウンタ入力クロックの選択、TMOFH 端子および TMOFL 端子の出力レベルの選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	TOLH	0	W	トグルアウトプットレベル H TMOFH 端子の出力レベルを設定します。 0 : Low レベル 1 : High レベル
6	CKSH2	0	W	クロックセレクト H TCFH に入力するクロックを内部クロックまたは TCFL のオーバフローから選択します。  000 : 16 ビットモードとなり、TCFL のオーバフロー信号でカウント 001 : 16 ビットモードとなり、TCFL のオーバフロー信号でカウント 010 : 16 ビットモードとなり、TCFL のオーバフロー信号でカウント 011 : 使用禁止  100 : 8 ビットモードとなり、内部クロック /32 でカウント 101 : 8 ビットモードとなり、内部クロック /16 でカウント 110 : 8 ビットモードとなり、内部クロック /4 でカウント 111 : 8 ビットモードとなり、内部クロック w/4 でカウント
5	CKSH1	0	W	
4	CKSH0	0	W	
3	TOLL	0	W	トグルアウトプットレベル L TMOFL 端子の出力レベルを設定します。 0 : Low レベル 1 : High レベル
2	CKSL2	0	W	クロックセレクト L TCFL に入力するクロックを内部クロックまたは外部イベントから選択します。  000 : 外部イベント (TMIF 端子) の立ち上がり / 立ち下がりエッジでカウント*  001 : 外部イベント (TMIF 端子) の立ち上がり / 立ち下がりエッジでカウント*  010 : 外部イベント (TMIF 端子) の立ち上がり / 立ち下がりエッジでカウント*  011 : 使用禁止  100 : 内部クロック /32 でカウント 101 : 内部クロック /16 でカウント 110 : 内部クロック /4 でカウント 111 : 内部クロック w/4 でカウント
1	CKSL1	0	W	
0	CKSL0	0	W	

【注】 \* 外部イベントのエッジ選択は、IEGR の TMIFEG ビットで設定します。

## 12. タイマ F

### 12.3.4 タイマコントロールステータスレジスタ F (TCSR F)

TCSR Fはカウンタクリアの選択、オーバフローフラグやコンペアマッチフラグのセット、オーバフローによる割り込み要求許可の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVFH	0	R/(W)*	タイマオーバフローフラグ H [セット条件] • TCFH の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6	CMFH	0	R/(W)*	コンペアマッチフラグ H TCFH と OCRFH がコンペアマッチしたことを示すステータスフラグです。 [セット条件] • TCFH の値と OCRFH の値がコンペアマッチしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
5	OVIEH	0	R/W	タイマオーバフローインタラプトイネーブル H TCFH のオーバフローが発生したとき、割り込みの許可または禁止を選択します。 0 : TCFH のオーバフローによる割り込み要求を禁止 1 : TCFH のオーバフローによる割り込み要求を許可
4	CCLR H	0	R/W	カウンタクリア H 16 ビットモード時、TCF と OCRF がコンペアマッチしたとき TCF をクリアするかどうか選択します。8 ビットモード時は、TCFH と OCRFH がコンペアマッチしたとき TCFH をクリアするかどうか選択します。 16 ビットモード時 0 : コンペアマッチによる TCF のクリアを禁止 1 : コンペアマッチによる TCF のクリアを許可 8 ビットモード時 0 : コンペアマッチによる TCFH のクリアを禁止 1 : コンペアマッチによる TCFH のクリアを許可
3	OVFL	0	R/(W)*	タイマオーバフローフラグ L TCFL がオーバフローしたことを示すステータスフラグです。 [セット条件] • TCFL の値が H'FF から H'00 になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	CMFL	0	R/(W)*	コンペアマッチフラグ L TCFL と OCRFL がコンペアマッチしたことを示すステータスフラグです。 [セット条件] • TCFL の値と OCRFL の値がコンペアマッチしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
1	OVIEL	0	R/W	タイマオーバーフローインタラプトイネーブル L TCFL のオーバーフローが発生したとき、割り込みの禁止または許可を選択します。 0 : TCFL のオーバーフローによる割り込み要求を禁止 1 : TCFL のオーバーフローによる割り込み要求を許可
0	CCLRRL	0	R/W	カウンタクリア L TCFL と OCRFL がコンペアマッチしたとき、TCFL をクリアするかどうかを選択します。 0 : コンペアマッチによる TCFL のクリアを禁止 1 : コンペアマッチによる TCFL のクリアを許可

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 12.4 動作説明

タイマ F は、入力クロックが入るたびにカウントアップする 16 ビットのカウンタで、アウトプットコンペアレジスタ F に設定した値とタイマカウンタ F の値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2 本の独立した 8 ビットタイマとしても使用できます。

### 12.4.1 タイマ F の動作

タイマ F には、16 ビットタイマモードと 8 ビットタイマモードの 2 種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

#### (1) 16 ビットタイマモードの動作

TCRF の CKSH2 ビットを 0 に設定すると、タイマ F は 16 ビットのタイマとして動作します。

リセット直後、TCF は H'0000 に、OCRFL は H'FFFF に、TCRF、TCSRFL は H'00 に初期化されます。カウンタは外部イベント (TMIF 端子) からの入力によりカウントアップします。外部イベントの選択は、IEGR の TMIFEG ビットで設定します。

タイマ F のカウンタ入力クロックは、TCRF の CKSL2 ~ CKSL0 ビットの設定により内部クロックか外部イベントかを選択できます。

## 12. タイマ F

TCF と OCRF の内容は常に比較されており、両者がコンペアマッチ条件を満たすと、TCSRFR の CMFH が 1 にセットされます。このとき IENR2 の IENTFH が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子の出力をトグルします。また、TCSRFR の CCLRHR が 1 ならば TCF をクリアします。なお、TMOFH 端子の出力レベルは TCRF の TOLH により設定できます。

TCF がオーバフロー (H'FFFF H'0000) すると、TCSRFR の OVFH がセットされます。このとき、TCSRFR の OVIEH と IENR2 の IENTFH がともに 1 ならば CPU に割り込みを要求します。

### (2) 8 ビットタイマモードの動作

TCRF の CKSH2 を 1 に設定すると、TCF は TCFH、TCFL の 2 本の独立した 8 ビットタイマとして動作します。TCFH/TCFL の入力クロックは、TCRF の CKSH2 ~ CKSH0/CKSL2 ~ CKSL0 により選択します。

OCRFH/OCRFL と TCFH/TCFL の値が一致すると、TCSRFR の CMFH/CMFL が 1 にセットされます。また、IENR2 の IENTFH/IENTFL が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子/TMOFL 端子の出力をトグルします。また、TCSRFR の CCLRHR/CCLRRL が 1 ならば、TCFH/TCFL をクリアします。なお、TMOFH 端子/TMOFL 端子の出力レベルは、TCRF の TOLH/TOLL により設定できます。

TCFH/TCFL がオーバフロー (H'FF H'00) すると、TCSRFR の OVFH/OVFL が 1 にセットされます。このとき、TCSRFR の OVIEH/OVIEL と IENR2 の IENTFH/IENTFL がともに 1 ならば、CPU に割り込みを要求します。

## 12.4.2 TCF のカウントタイミング

### (1) 内部クロックの動作

TCF は、入力された内部クロックまたは外部イベントによりカウントアップされます。TCRF の CKSH2 ~ CKSH0 または CKSL2 ~ CKSL0 の設定により、システムクロック (または  $w$ ) を分周して作られる内部クロック (  $/32$ 、  $/16$ 、  $/4$ 、  $w/4$ ) が選択されます。

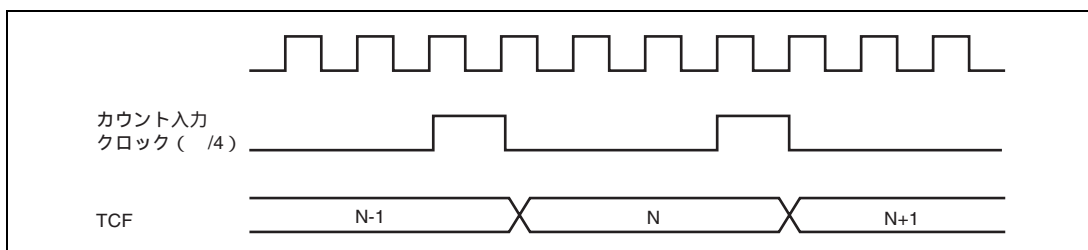


図 12.2 内部クロック動作時のカウントタイミング

### (2) 外部イベント動作

TCRF の CKSL2 を 0 にすると、外部イベント入力が選択されます。外部イベントは立ち上がり / 立ち下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、IEGR の TMIFEG ビットで設定します。なお、外部イベントのパルス幅は動作モードにより、2 システムクロック ( ) または 2 サブクロック (  $_{SUB}$  ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

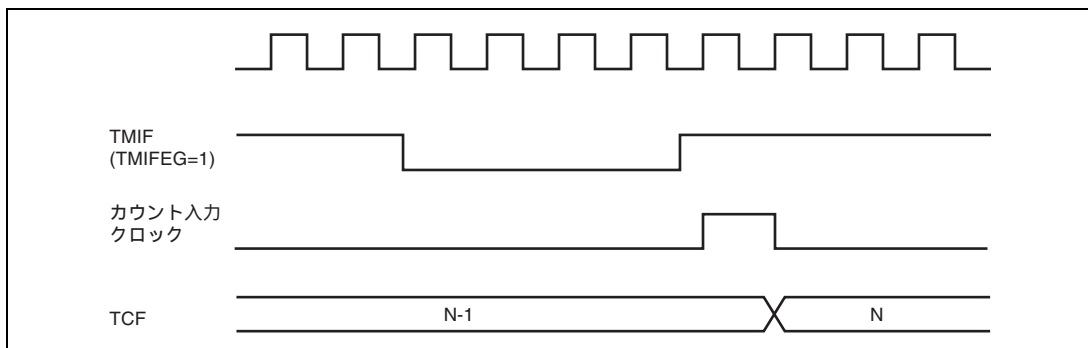


図 12.3 外部イベント動作時のカウントタイミング

### 12.4.3 TMOFH、TMOFL 出力タイミング

TMOFH、TMOFL の出力は、TCRF の TOLH、TOLL で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 12.4 に出力タイミングを示します。

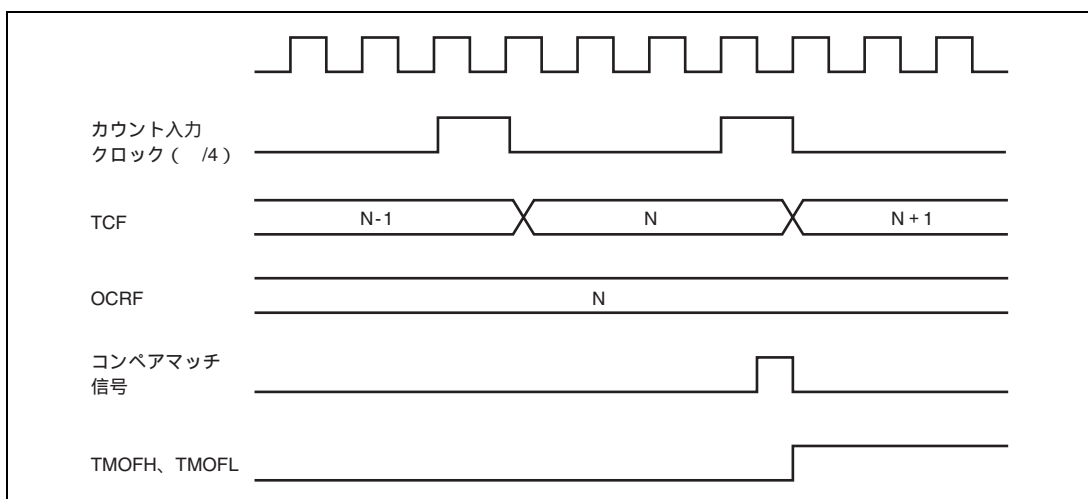


図 12.4 TMOFH、TMOFL 出力タイミング

## 12. タイマ F

### 12.4.4 TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

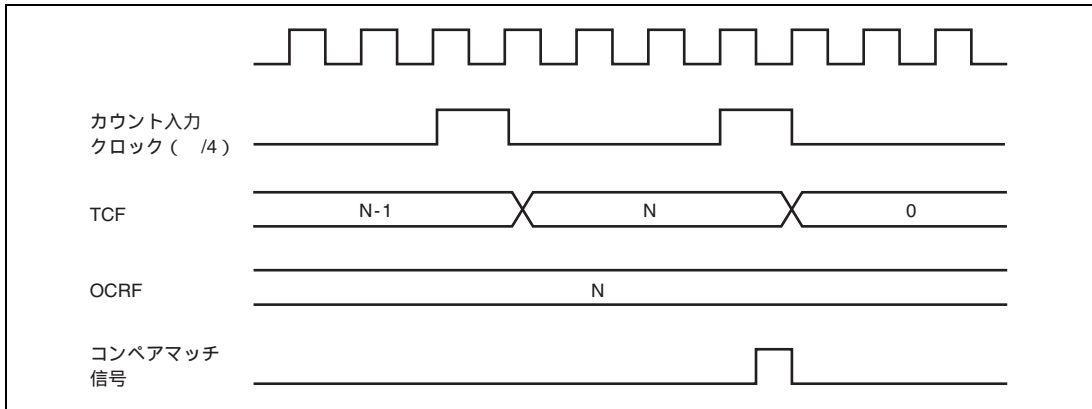


図 12.5 TCF のクリアタイミング

### 12.4.5 タイマオーバーフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバーフロー (H'FFFF H'0000) したとき 1 にセットされます。

### 12.4.6 コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時、1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

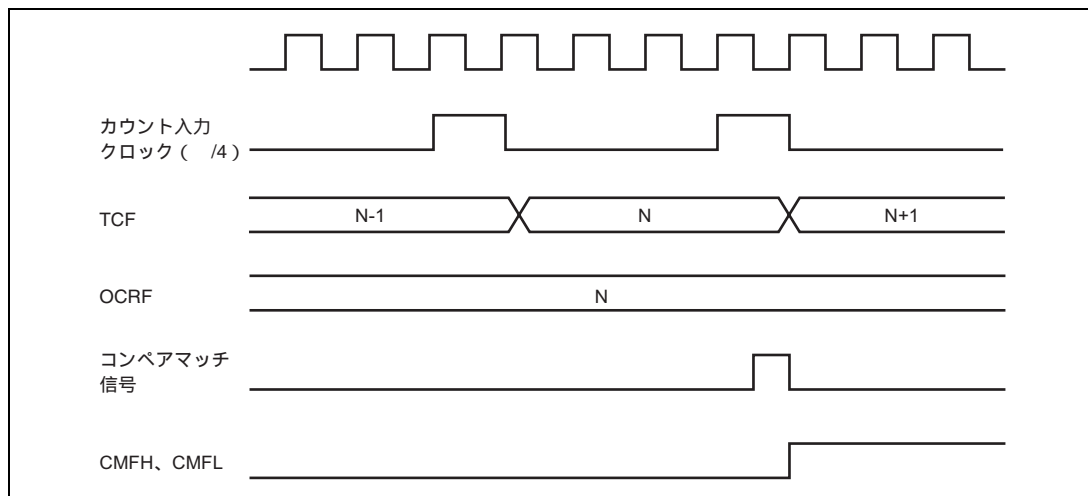


図 12.6 コンペアマッチフラグのセットタイミング

## 12.5 タイマ F の動作モード

タイマ F の動作モードを表 12.2 に示します。

表 12.2 タイマ F の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCF	リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	停止	停止
OCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCSRFB	リセット	動作	保持	保持	動作	保持	保持	保持

- 【注】 \*1 アクティブモード、スリープモード時に TCF の入力クロックとして  $w/4$  を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で  $1/4$  (s) の誤差が生じます。
- \*2 ウォッチモード時にカウンタを動作させる場合には、必ず内部クロックとして  $w/4$  を選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。
- \*3 サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、入力クロックに外部クロックもしくは内部クロック  $w/4$  を選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。

### 12.6 使用上の注意事項

タイマ F の動作中、次のような競合や動作が起こりますので注意してください。

#### 12.6.1 16 ビットタイマモード

トグル出力は 16 ビットすべてが一致し、コンペアマッチ信号が発生したとき TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。TMOFL 端子は 16 ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、コンペアマッチ信号が発生する場合としない場合があります。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16 ビットすべてが一致し、コンペアマッチ信号が発生したとき CMFH にセットされますが、CMFL についても下位 8 ビットについてのセット条件が満たされていればセットされます。

TCF がオーバーフローすると OVFH がセットされますが、OVFL についても下位 8 ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。TCFL のライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

#### 12.6.2 8 ビットタイマモード

##### (1) TCFH、OCRFH

トグル出力は、コンペアマッチ時に TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。

OCRFH のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、コンペアマッチ信号が発生する場合としない場合があります。コンペアマッチ信号は、TCFH のクロックに同期して出力されます。

TCFH のライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

##### (2) TCFL、OCRFL

トグル出力は、コンペアマッチ時に TMOFL 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLL のデータが TMOFL 端子に出力されます。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、コンペアマッチ信号が発生する場合としない場合があります。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。



TCFL のライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

### 12.6.3 各フラグのクリア

カウンタ入力クロックとして内部クロック  $w/4$  を選択した場合、「割り込み要因の発生を示す信号」の制御は  $w$  で行われるため、この信号は  $w$  の幅出力されます。また、「オーバーフローしたことを示す信号」および「コンペアマッチしたことを示す信号」の制御は、 $w$  の 2 周期分の信号で行われるため、これらの信号は  $w$  の 2 周期の幅出力されます (図 12.7)。

アクティブ (高速、中速) モードにおいて、「割り込み要因の発生を示す信号」が有効な間は、割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされます (図 12.7 )。

また、「オーバーフローしたことを示す信号」および「コンペアマッチしたことを示す信号」が有効な間は、タイマオーバーフローフラグ、コンペアマッチフラグをクリアできません。

割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされるため、1 回のタイマ FH、タイマ FL 割り込みに対し割り込み処理が複数回行われることがあります (図 12.7 - )。

そのため、アクティブ (高速、中速) モードにおいて、割り込み要求フラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、クリアを行う必要があります。また、タイマオーバーフローフラグ、コンペアマッチフラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、タイマコントロールレジスタ F (TCSR F) をリードした後、クリアを行う必要があります。

(1) の計算式の ST には使用されている命令の中で最も実行ステート数が長い命令の実行ステート数を代入してください。

サブアクティブモードでは、割り込み要求フラグ、タイマオーバーフローフラグ、コンペアマッチフラグのクリアに対する制限はありません。

「割り込み要因の発生を示す信号」が有効な時間

$$= \frac{1}{w} \text{ の 1 周期} + \text{実行中の命令の実行完了待ち時間} + (\text{割り込みを } \frac{1}{w} \text{ で同期化する時間})$$

$$= \frac{1}{w} + \text{ST} \times \left( \frac{1}{w} \right) + \left( \frac{2}{w} \right) \text{ (秒)} \dots \dots \dots (1)$$

ST : 実行中の命令の実行ステート数

具体的には下記の方法がありますが、時間の有効活用の面から (方法 1) を推奨します。

- (方法 1)

割り込み処理ルーチン内で割り込みを禁止 (IENFH、IENFL を 0 に設定) し、通常処理に復帰した後で (1) の計算式の時間以上を待って、割り込み要求フラグ (IRRTFH、IRRTFL) をクリアし、タイマコントロールステータスレジスタ F (TCSR F) をリードした後、タイマオーバーフローフラグ (OVFH、OVFL) およびコンペアマッチフラグ (CMFH、CMFL) をクリアし、割り込みの許可 (IENFH、IENFL を 1 に設定) を行います。

- (方法 2)

割り込み処理ルーチンの処理時間を (1) の計算式の時間以上にし、割り込み処理ルーチンの最後で割り込み要求フラグ (IRRTFH、IRRTFL) をクリアし、タイマコントロールステータスレジスタ F (TCSR F) をリードした後、タイマオーバーフローフラグ (OVFH、OVFL) およびコンペアマッチフラグ (CMFH、CMFL) のクリアを行います。

以上の注意事項は、16 ビットモード、8 ビットモードとも同じです。

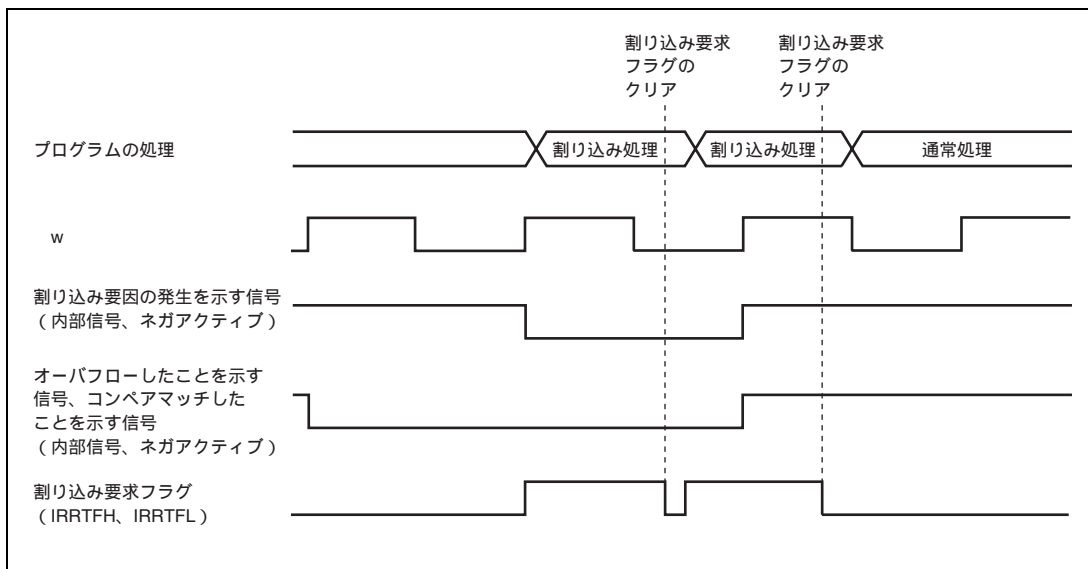


図 12.7 割り込み要因の発生を示す信号が有効なときに割り込み要求フラグのクリアを行った場合

#### 12.6.4 タイマカウンタ (TCF) のリード/ライト

アクティブ (高速、中速) モードにおいて、カウンタ入力クロックとして内部クロック  $w/4$  を選択した場合、TCF に対して正常なライト動作はできません。また、リードする場合、システムクロックと内部クロックが非同期であるため、同期回路で同期をとっています。これにより、TCF のリード値は最大  $\pm 1$  の誤差が生じます。

サブアクティブモードでは、入力クロックとして  $w/4$  を選択した場合でも TCF は正常にリード/ライトできます。

---

## 13. タイマ G

---

タイマ G は、インプットキャプチャ入力端子から入力したパルス（インプットキャプチャ入力信号）の立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能をもつ 8 ビットタイマです。ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。また、タイマ G はインプットキャプチャ入力を設定しない場合、8 ビットのインターバルタイマとして機能します。タイマ G のブロック図を図 13.1 に示します。

### 13.1 特長

- 4種類のカウント入力クロックを選択可能  
4種類の内部クロック（ $f/64$ 、 $f/32$ 、 $f/2$ 、 $w/4$ ）からの選択が可能です。
- インプットキャプチャ機能  
立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。
- カウンタのオーバーフロー時のレベルが検出可能  
インプットキャプチャ入力信号の High レベルでオーバーフローが発生したか、Low レベルでオーバーフローが発生したかを検出することができます。
- カウンタのクリア指定が可能  
インプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジでカウンタの値をクリアするか、しないかを選択できます。
- 2種類の割り込み要求  
インプットキャプチャ  $\times 1$  要因、オーバーフロー  $\times 1$  要因があります。インプットキャプチャ入力信号による割り込み要求はインプットキャプチャ入力信号の立ち上がり / 立ち下がりエッジを選択することができます。
- ノイズ除去回路内蔵  
ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。
- ウォッチモード、サブアクティブモード、サブスリープモードで動作  
内部クロックとして  $w/4$  を選択した場合、ウォッチモード、サブアクティブモード、サブスリープモードで動作可能です。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能  
（詳細は、「6.4 モジュールスタンバイ機能」を参照してください。）

### 13. タイマ G

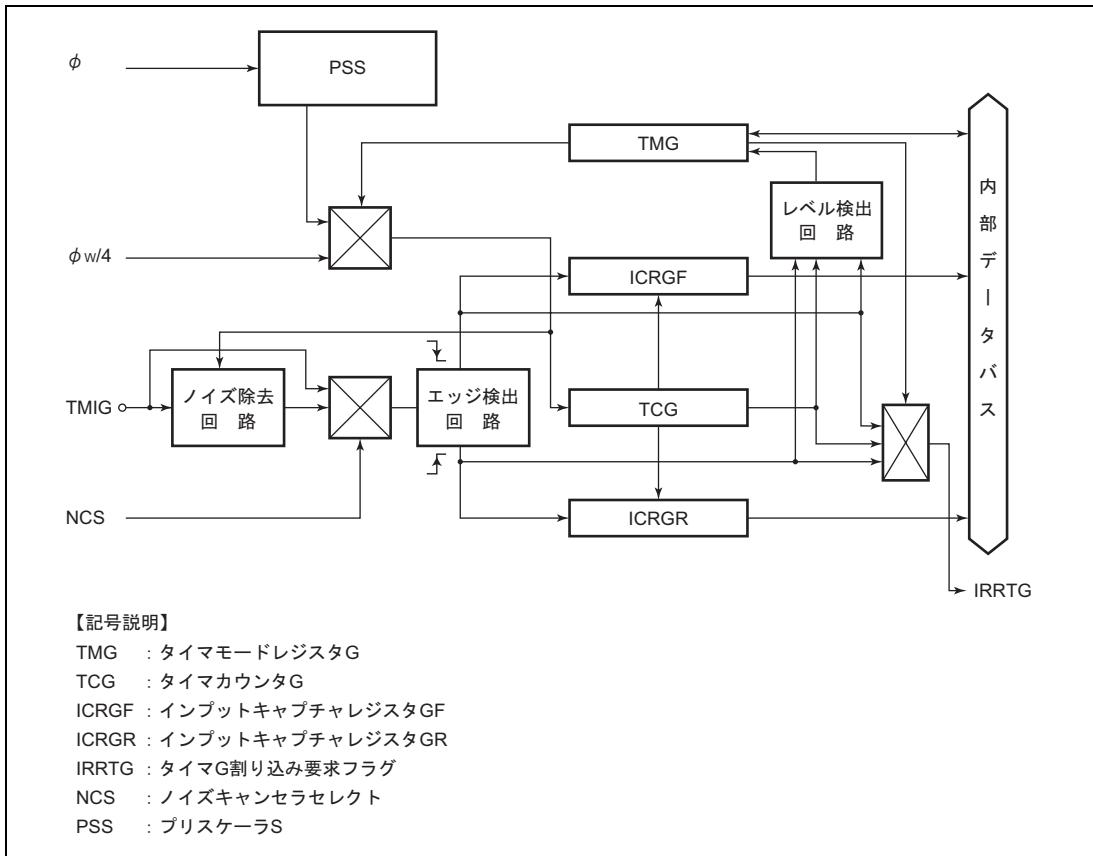


図 13.1 タイマ G のブロック図

### 13.2 入出力端子

タイマ G の入出力端子を表 13.1 に示します。

表 13.1 端子構成

名称	略称	入出力	機能
インพุットキャプチャ入力	TMIG	入力	インพุットキャプチャ入力端子

## 13.3 レジスタの説明

タイマ G には以下のレジスタがあります。クロック停止レジスタ 3 (CKSTPR3) については「6.1.4 クロック停止レジスタ 1~3 (CKSTPR1~CKSTPR3)」を参照してください。

- タイマカウンタ G (TCG)
- インพุットキャプチャレジスタ GF (ICRGF)
- インพุットキャプチャレジスタ GR (ICRGR)
- タイマモードレジスタ G (TMG)
- クロック停止レジスタ 3 (CKSTPR3)

### 13.3.1 タイマカウンタ G (TCG)

TCG は、8 ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMG の CKS1、CKS0 で選択します。

TCG はインพุットキャプチャタイマとして動作させる場合、PMRF の TMIG を 1 に設定し、インターバルタイマとして動作させる場合、TMIG を 0 に設定します\*。インพุットキャプチャタイマの動作時は、TMG の設定によりインพุットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジのいずれかで TCG の値をクリアすることができます。

TCG がオーバーフロー (H'FF H'00) すると、TMG の OVIE が 1 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「第 4 章 割り込みコントローラ」を参照してください。

TCG は CPU からリード / ライトすることはできません。

リセット時、TCG は H'00 に初期化されます。

【注】 \* TMIG の書き換えの際、インพุットキャプチャ信号が発生する場合があります。

### 13.3.2 インพุットキャプチャレジスタ GF (ICRGF)

ICRGF は、8 ビットのリード専用のレジスタです。インพุットキャプチャ入力信号の立ち下がりエッジが検出されると、そのときの TCG の値が ICRGF に転送されます。このとき、TMG の IIEGS が 1 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「第 4 章 割り込みコントローラ」を参照してください。

インพุットキャプチャ動作を確実に行うために、インพุットキャプチャ入力信号のパルス幅は、少なくとも 2 または 2<sub>SUB</sub> (ノイズ除去回路を使用しない場合) 以上にしてください。

リセット時、ICRGF は H'00 に初期化されます。

### 13.3.3 インプットキャプチャレジスタ GR (ICRGR)

ICRGR は、8 ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立ち上がりエッジが検出されると、そのときの TCG の値が ICRGR に転送されます。このとき、TMG の IIEGS が 0 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「第 4 章 割り込みコントローラ」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも 2 または 2<sub>SUB</sub> (ノイズ除去回路を使用しない場合) 以上にしてください。

リセット時、ICRGR は H'00 に初期化されます。

### 13.3.4 タイマモードレジスタ G (TMG)

TMG は、8 ビットのリード/ライト可能なレジスタです。TCG の 4 種類の内部クロックの選択、カウンタクリアの選択、インプットキャプチャ入力信号による割り込み要求のエッジ選択、オーバフローによる割り込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMG は H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	OVFH	0	R/(W)*	<p>タイマオーバフローフラグ H</p> <p>インプットキャプチャ入力信号が High レベルのときに、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>インプットキャプチャ入力信号が High レベルかつ TCG の値が、H'FF H'00 になったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>OVFH = 1 の状態で、OVFH をリードした後、OVFH に 0 をライトしたとき</li> </ul>
6	OVFL	0	R/(W)*	<p>タイマオーバフローフラグ L</p> <p>インプットキャプチャ信号が Low レベルのとき、またはインターバル動作時に、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われません。ソフトウェアでセットすることはできません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>インプットキャプチャ信号が Low レベルまたはインターバル動作時のどちらかの場合で TCG の値が、H'FF H'00 になったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>OVFL = 1 の状態で、OVFL をリードした後、OVFL に 0 をライトしたとき</li> </ul>
5	OVIE	0	R/W	<p>タイマオーバフローインタラプトイネーブル</p> <p>TCG のオーバフローが発生したとき、割り込みの許可または禁止を選択します。</p> <p>0 : TCG のオーバフローによる割り込み要求を禁止</p> <p>1 : TCG のオーバフローによる割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説 明
4	IIEGS	0	R/W	インプットキャプチャインタラプトエッジセレクト インプットキャプチャ入力信号による割り込み要求のエッジ選択を行います。 0 : インプットキャプチャ入力信号の立ち上がりエッジで割り込みを発生 1 : インプットキャプチャ入力信号の立ち下がりエッジで割り込みを発生
3 2	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 インプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジで TCG の値をクリアするか、しないかを選択します。 00 : TCG のクリアを禁止 01 : インプットキャプチャ入力信号の立ち下がりエッジにより TCG をクリア 10 : インプットキャプチャ入力信号の立ち上がりエッジにより TCG をクリア 11 : インプットキャプチャ入力信号の両エッジにより TCG をクリア
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト TCG に入力するクロックを、4 種類の内部クロックから選択します。 00 : 内部クロック : /64 でカウント 01 : 内部クロック : /32 でカウント 10 : 内部クロック : /2 でカウント 11 : 内部クロック : w/4 でカウント

【注】 \* フラグクリアのための 0 ライトのみ可能です。

### 13.3.5 クロック停止レジスタ 3 (CKSTPR3)

タイマ G のモジュールスタンバイモードの設定および解除の制御については、「6.1.4 クロック停止レジスタ 1~3 (CKSTPR1~CKSTPR3)」を参照してください。CKSTPR3 の TGCKSTP ビットで設定および解除を制御します。

## 13.4 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMRFのNCS\*により設定します。

図 13.2 にノイズ除去回路のブロック図を示します。

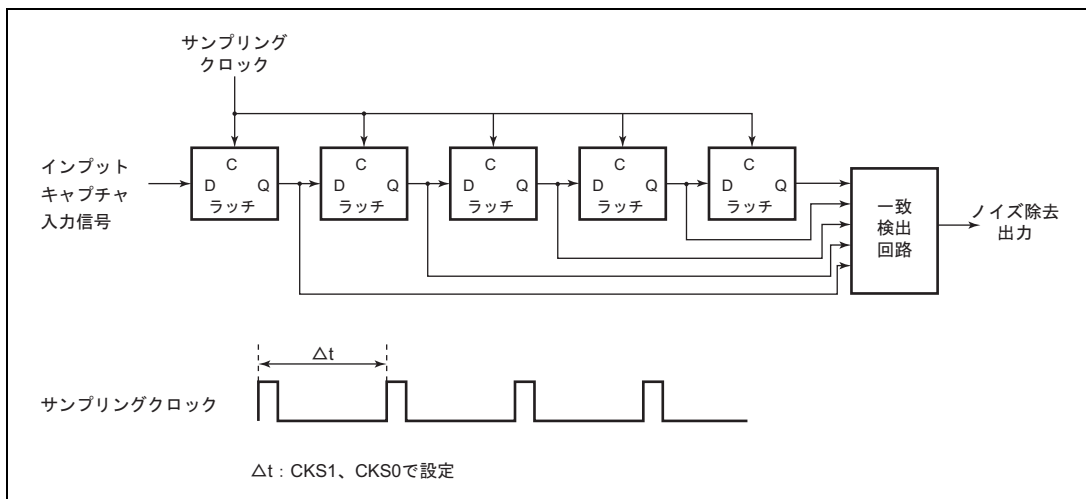


図 13.2 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし (NCS=0) の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり (NCS=1) の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立ち上がりエッジでインプットキャプチャ入力信号がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立ち下がりエッジが5回サンプリングされた状態で初期化されています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は少なくとも2 または  $2_{SUB}$  以上が必要です。

【注】 \* NCS ビットの書き換えの際、インプットキャプチャ信号が発生する場合があります。

図 13.3 にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの5倍以下の High レベル入力がノイズとして除去された場合です。



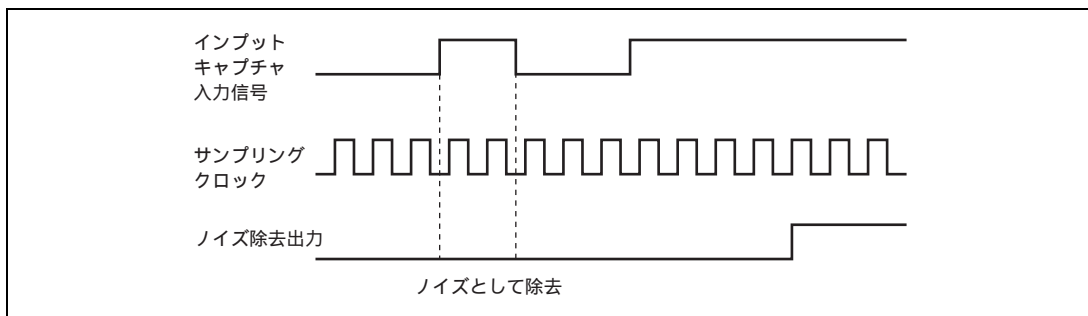


図 13.3 ノイズ除去回路タイミング (例)

## 13.5 動作説明

タイマ G は、インプットキャプチャ/インターバル機能を内蔵した 8 ビットのタイマです。

### 13.5.1 タイマ G の機能

タイマ G は 8 ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの 2 種類の機能を持っています。

それぞれの動作について、以下に説明します。

#### (1) インプットキャプチャタイマの動作

ポートモードレジスタ F (PMRF) の TMIG ビットを 1 に設定すると、タイマ G はインプットキャプチャタイマとして機能します。\*

リセット時、タイマモードレジスタ G (TMG)、タイマカウンタ G (TCG)、インプットキャプチャレジスタ GF (ICRGF)、インプットキャプチャレジスタ GR (ICRGR) は、H'00 に初期化されます。

リセット直後、TCG は内部クロック /64 のクロックでカウントを開始します。

入力するクロックは、TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。

TMIG 端子から入力されるインプットキャプチャ信号の立ち上がりエッジ/立ち下がりエッジにより、そのときの TCG の値が ICRGR/ICRGF に転送されます。また、TMG の IIEGS ビットで選択したエッジが入力されると、IRR2 の IRRTG が 1 にセットされ、このとき IENR2 の IENTG ビットが 1 ならば CPU に割り込みを要求します。なお、割り込みについての詳細は「第 4 章 割り込みコントローラ」を参照してください。

TCG は TMG の CCLR1、CCLR0 ビットにより、インプットキャプチャ信号の立ち上がり/立ち下がり/両エッジのいずれかで TCG の値をクリアすることができます。また、インプットキャプチャ信号が High レベルのときに TCG がオーバフローすると、TMG の OVFH ビットをセットします。一方、インプットキャプチャ信号が Low レベルのときに TCG がオーバフローすると、TMG の OVFL ビットをセットします。これらがセットされたとき、TMG の OVIE ビットが 1 であれば IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG ビットが 1 であれば、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は「第 4 章 割り込みコントローラ」を参照してください。

タイマ G にはノイズ除去回路が内蔵されており、TMIG 端子から入力したパルスの高域成分のノイズを除去できます。詳細は「13.4 ノイズ除去回路」を参照してください。

【注】 \* TMIG の書き換えの際、インプットキャプチャ信号が発生する場合があります。

## 13. タイマ G

### (2) インターバルタイマの動作

PMRF の TMIG ビットを 0 に設定すると、タイマ G はインターバルタイマとして機能します。リセット直後、TCG は内部クロック /64 のクロックでカウントを開始します。入力クロックは TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。TCG は選択されたクロックでカウントアップし、オーバフロー（H'FF H'00）すると TMG の OVFL ビットが 1 にセットされます。このとき、TMG の OVIE ビットが 1 であれば IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG ビットが 1 であれば、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は「第 4 章 割り込みコントローラ」を参照してください。

### 13.5.2 カウントタイミング

TCG は入力された内部クロックによりカウントアップされます。TMG の CKS1、CKS0 の設定により、システムクロック（ ）またはウォッチクロック（ w）を分周して作られる 4 種類の内部クロック（ /64、 /32、 /2、 w/4）が選択されます。

### 13.5.3 インพุットキャプチャ入力のタイミング

#### (1) ノイズ除去機能なしの場合

インพุットキャプチャ入力は、立ち上がり / 立ち下がりエッジのそれぞれ専用のインพุットキャプチャ機能を持っています。

立ち上がり / 立ち下がりエッジのインพุットキャプチャ入力のタイミングを図 13.4 に示します。

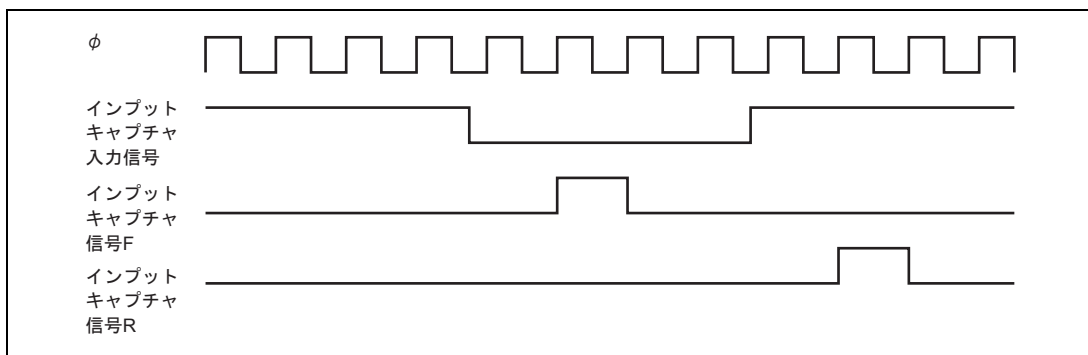


図 13.4 インพุットキャプチャ入力のタイミング（ノイズ除去機能なし）

## (2) ノイズ除去機能ありの場合

インプットキャプチャ入力でのノイズ除去を行う場合、インプットキャプチャ信号はノイズ除去回路を経由するため、インプットキャプチャ入力信号エッジからサンプリングクロックの5周期分遅延します。

このときのタイミングを図 13.5 に示します。

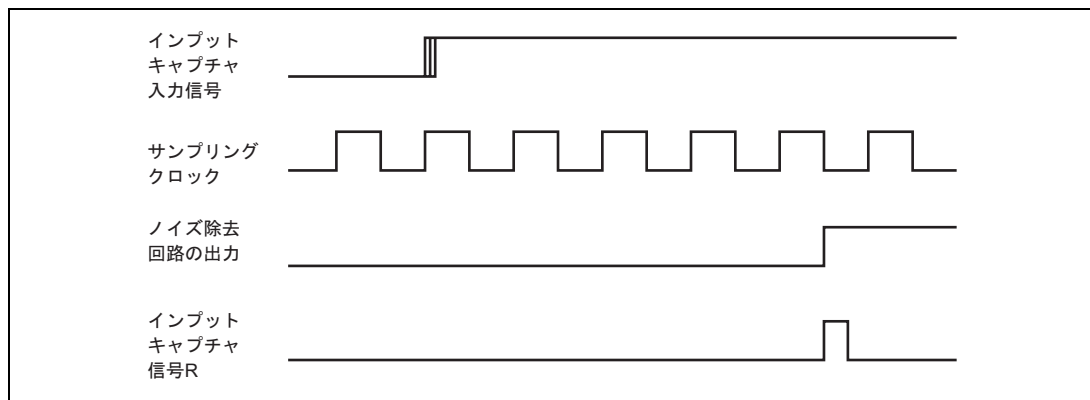


図 13.5 インプットキャプチャ入力のタイミング (ノイズ除去機能あり)

### 13.5.4 インプットキャプチャ入力によるインプットキャプチャタイミング

インプットキャプチャ入力によるインプットキャプチャタイミングを図 13.6 に示します。

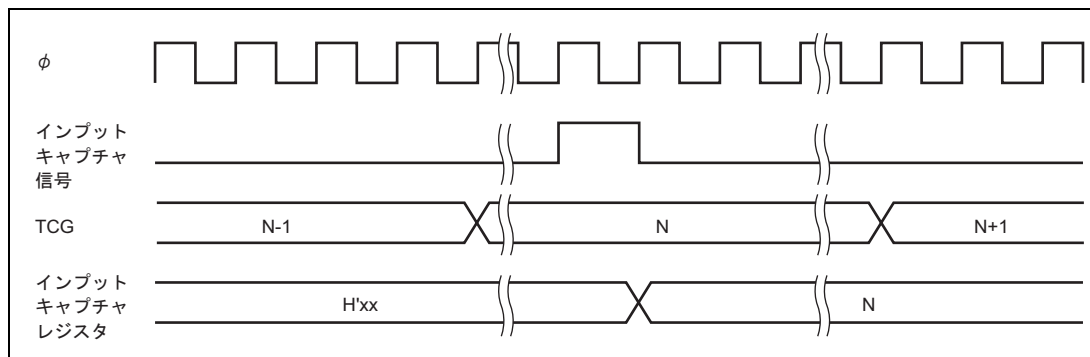


図 13.6 インプットキャプチャ入力によるインプットキャプチャタイミング

## 13. タイマ G

### 13.5.5 TCG のクリアタイミング

TCG の値は、インプットキャプチャ入力信号の立ち上がりエッジ / 立ち下がりエッジ / 両エッジでクリアすることができます。

両エッジでクリアする場合のタイミングを図 13.7 に示します。

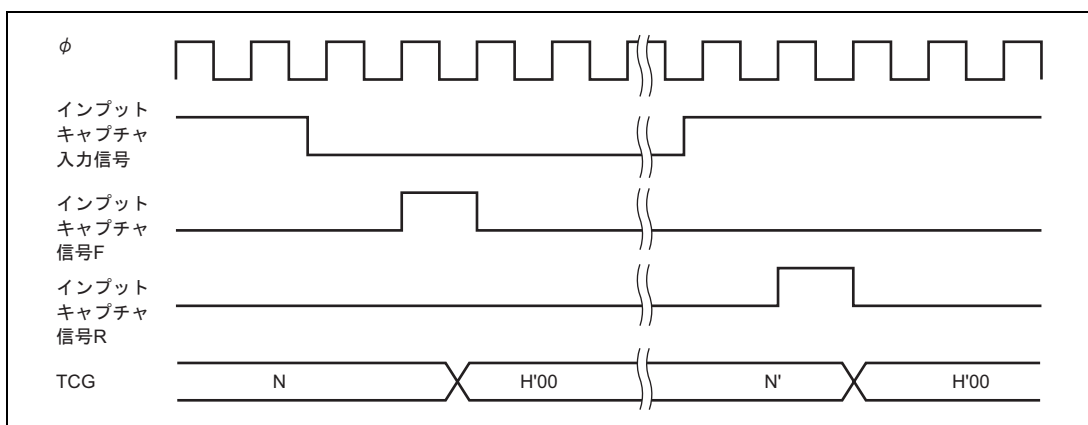


図 13.7 TCG のクリアタイミング

## 13.6 タイマ G の動作モード

タイマ G の動作モードを表 13.2 に示します。

表 13.2 タイマ G の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCG	インプット キャプチャ	リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	停止	停止
	インターバル	リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	停止	停止
ICRGF		リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	保持	保持
ICRGR		リセット	動作*1	動作*1	動作 / 停止*2	動作 / 停止*3	動作 / 停止*3	保持	保持
TMG		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 \*1 アクティブモード、スリープモード時に、TCG の内部クロックとして w/4 を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で 1/ (s) の誤差が生じます。

\*2 ウォッチモード時に、TCG の内部クロックとして w/4 を選択した場合、サブクロック SUB ( w/8、w/4、w/2 ) に関係なく TCG、ノイズ除去回路は内部クロック w/4 で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

\*3 サブアクティブモード、サブスリープモード時に、タイマ G を動作させるには、TCG の内部クロックとして w/4 を選択し、サブクロック SUB は w/2 を選択してください。その他の内部クロックを選択した場合やサブクロック

## 13.7 使用上の注意事項

### 13.7.1 内部クロックの切り替えと TCG 動作

内部クロックを切り替えるタイミングによっては、TCG がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 の書き換え）と TCG 動作の関係を表 13.3 示します。

内部クロックを使用する場合、TCG の入力クロックは、システムクロック（ ）またはサブクロック（ w ）を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表 13.3 の No.3 のように切り替え前のクロック High 切り替え後のクロック Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、TCG がカウントアップされてしまいます。

表 13.3 内部クロックの切り替えと TCG 動作

No.	CKS1、CKS0 書き換えタイミング	TCG 動作
1	Low Low レベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>TCG</p> <p>N N+1</p> <p>CKS1、CKS0の書き換え</p>
2	Low High レベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>TCG</p> <p>N N+1 N+2</p> <p>CKS1、CKS0の書き換え</p>

### 13. タイマ G

No.	CKS1、CKS0 書き換えタイミング	TCG 動作
3	High Low レベルの 切り替え	<p style="text-align: center;">CKS1、CKS0の書き換え</p>
4	High High レベルの 切り替え	<p style="text-align: center;">CKS1、CKS0の書き換え</p>

【注】 \* 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCG はカウントアップされてしまいます。

### 13.7.2 ポートモードレジスタ書き換えの注意事項

インプットキャプチャの機能切り替えのために、ポートモードレジスタを書き換える際、またインプットキャプチャ入力側のノイズ除去回路の機能切り替えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

- インプットキャプチャ入力端子の機能切り替え

インプットキャプチャ入力端子を制御しているポートモードレジスタF (PMRF) のTMIGを書き換えて端子機能を切り替えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表13.4に示します。

表 13.4 インプットキャプチャ入力端子の機能切り替えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立ち上がりエッジが発生する場合	TMIG 端子が High レベルの状態、TMIG を 0 から 1 に書き換えたとき
	TMIG 端子が High レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を 0 から 1 に書き換えたとき
立ち下がりエッジが発生する場合	TMIG 端子が High レベルの状態、TMIG を 1 から 0 に書き換えたとき
	TMIG 端子が Low レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を 0 から 1 に書き換えたとき
	TMIG 端子が High レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされた後に TMIG を 1 から 0 に書き換えたとき

【注】 PF0 端子がインプットキャプチャ入力端子に設定されていない場合、タイマ G のインプットキャプチャ入力信号は Low レベルとなっています。

- インプットキャプチャ入力のノイズ除去回路の機能切り替え

インプットキャプチャ入力のノイズ除去回路を制御しているポートモードレジスタF (PMRF) のNCSを書き換えて機能切り替えを行う場合、TMIGを0にして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表13.5に示します。

表 13.5 ノイズ除去回路の機能切り替えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立ち上がりエッジが発生する場合	TMIG が 1 の状態で TMIG 端子を Low レベルから High レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を 0 から 1 に書き換えたとき
立ち下がりエッジが発生する場合	TMIG が 1 の状態で TMIG 端子を High レベルから Low レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を 1 から 0 に書き換えたとき

## 13. タイマ G

端子機能を切り替え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト (IEGS) ビットによるエッジ選択とが一致したとき、割り込み要求フラグが 1 にセットされますので、割り込み要求フラグを 0 にクリアしてから使用してください。ポートモードレジスタの操作と割り込み要求フラグのクリア手順を図 13.8 に示します。端子機能を切り替える場合、ポートモードレジスタの操作前に割り込み禁止状態にしてポートモードレジスタを切り替え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間 (ノイズ除去回路を使用しない場合は 2 システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの 5 倍以上) 待ってから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。なお、端子機能切り替えに伴う割り込み要求フラグのセットを回避する方法として表 13.4、表 13.5 の条件を満たさないように端子のレベルを制御する方法、または発生するエッジと反対のエッジに TMG の IEGS ビットを設定して制御する方法もあります。

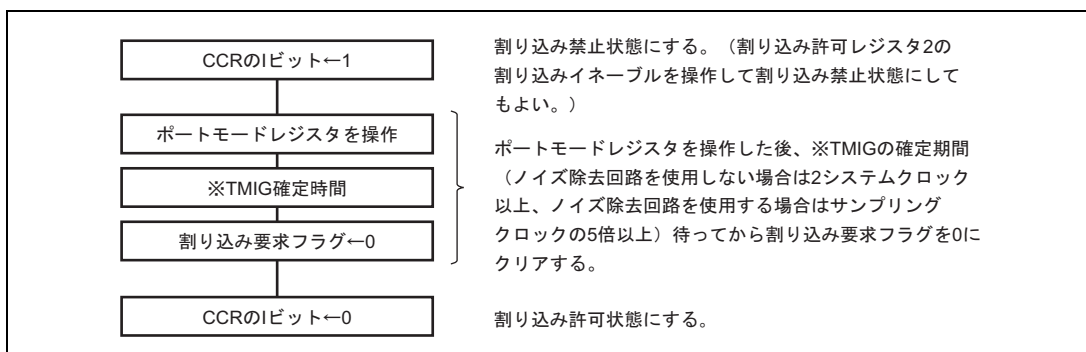


図 13.8 ポートモードレジスタの操作と割り込み要求フラグのクリア手順

### 13.8 タイマ G の使用例

タイマ G を使用すると、インプットキャプチャ入力信号の High 幅、Low 幅を絶対値で測定することができます。設定は、TMG の CCLR1、CCLR0 をそれぞれ 1 にセットします。

このときの動作例を図 13.9 に示します。

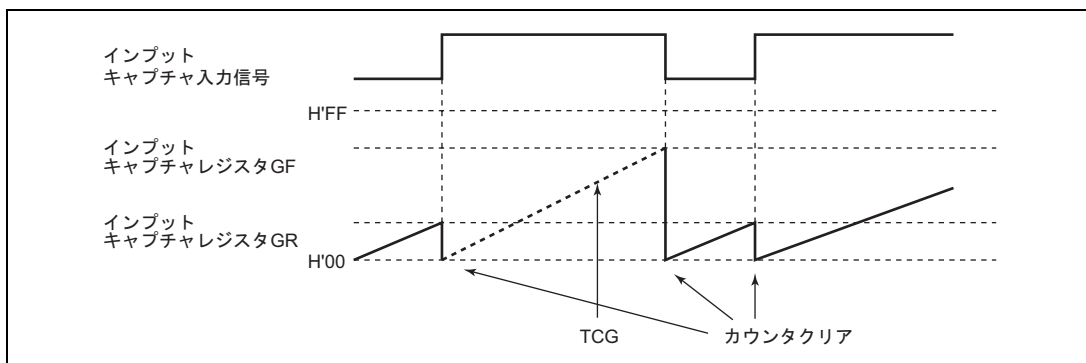


図 13.9 タイマ G の使用例



---

## 14. 16ビットタイマパルスユニット (TPU)

---

H8/38799 グループは2チャンネルの16ビットタイマにより構成される16ビットタイマパルスユニット (TPU) を内蔵しています。16ビットタイマパルスユニットの機能一覧を表14.1に、ブロック図を図14.1に示します。

### 14.1 特長

- 最大4本のパルス入出力が可能
- 各チャンネルごとに7~8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能

コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティのPWM出力が可能、同期動作と組み合わせることにより、最大3相のPWM出力が可能

- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 6種類の割り込み要因
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能 (詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

## 14. 16ビットタイムパルスユニット

表 14.1 TPU の機能一覧

項 目	チャンネル1	チャンネル2
カウントクロック	/1 /4 /16 /64 /256 TCLKA TCLKB	/1 /4 /16 /64 /1024 TCLKA TCLKB TCLKC
ジェネラルレジスタ (TGR)	TGRA_1 TGRB_1	TGRA_2 TGRB_2
入出力端子	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能	TGR のコンペアマッチ またはインプットキャプチャ	TGR のコンペアマッチ またはインプットキャプチャ
コンペアマッチ出力	0 出力	
	1 出力	
	トグル出力	
インプットキャプチャ機能		
同期動作		
PWM モード		
割り込み要因	3 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ / インプットキャプチャ 1A</li> <li>• コンペアマッチ / インプットキャプチャ 1B</li> <li>• オーバフロー</li> </ul>	3 要因 <ul style="list-style-type: none"> <li>• コンペアマッチ / インプットキャプチャ 2A</li> <li>• コンペアマッチ / インプットキャプチャ 2B</li> <li>• オーバフロー</li> </ul>

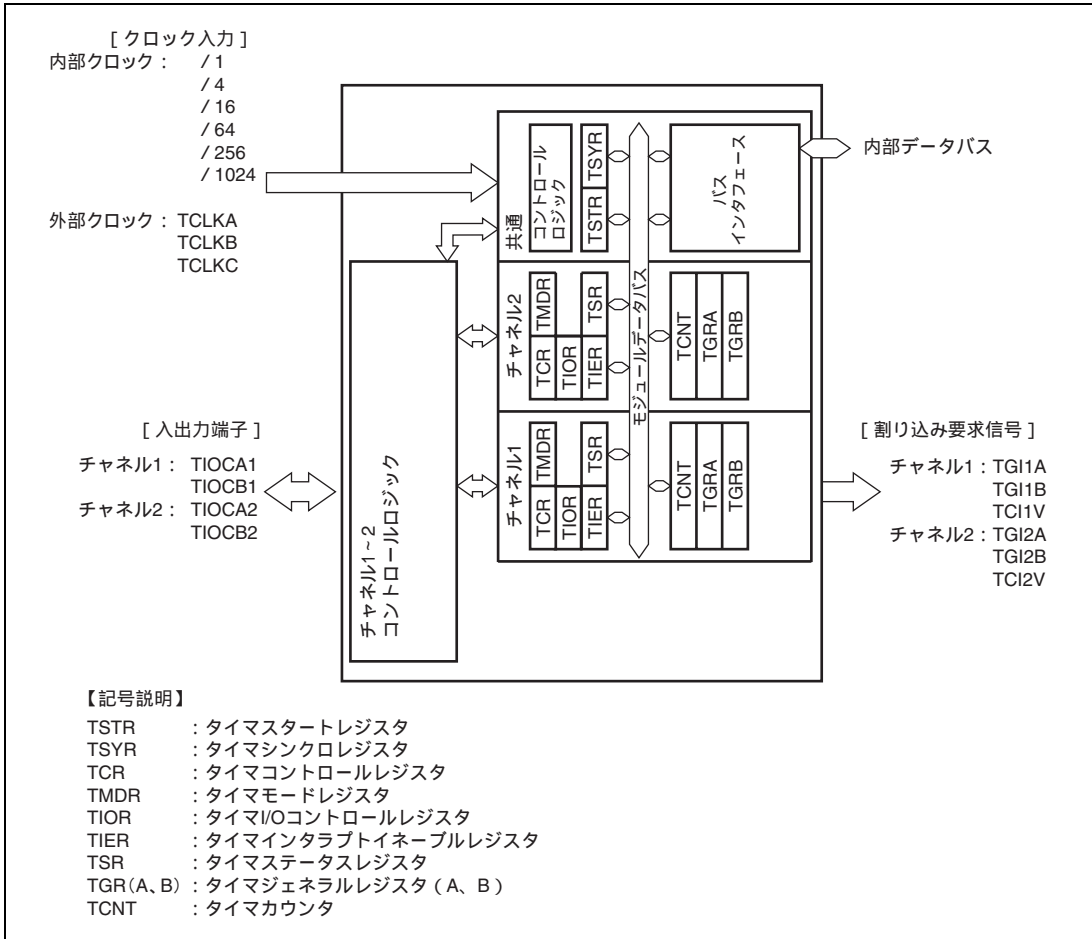


図 14.1 TPU ブロック図

## 14.2 入出力端子

表 14.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子
	TCLKB	入力	外部クロック B 入力端子
	TCLKC	入力	外部クロック C 入力端子
1	TIOCA1	入出力	TGRA_1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB1	入出力	TGRB_1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
2	TIOCA2	入出力	TGRA_2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	TIOCB2	入出力	TGRB_2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子

### 14.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

#### チャンネル1

- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマモードレジスタ\_1 (TMDR\_1)
- タイマI/Oコントロールレジスタ\_1 (TIOR\_1)
- タイマインタラプトイネーブルレジスタ\_1 (TIER\_1)
- タイマステータスレジスタ\_1 (TSR\_1)
- タイマカウンタ\_1 (TCNT\_1)
- タイマジェネラルレジスタA\_1 (TGRA\_1)
- タイマジェネラルレジスタB\_1 (TGRB\_1)

#### チャンネル2

- タイマコントロールレジスタ\_2 (TCR\_2)
- タイマモードレジスタ\_2 (TMDR\_2)
- タイマI/Oコントロールレジスタ\_2 (TIOR\_2)
- タイマインタラプトイネーブルレジスタ\_2 (TIER\_2)
- タイマステータスレジスタ\_2 (TSR\_2)
- タイマカウンタ\_2 (TCNT\_2)
- タイマジェネラルレジスタA\_2 (TGRA\_2)
- タイマジェネラルレジスタB\_2 (TGRB\_2)

#### 共通

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

### 14.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 2 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	CCLR1	0	R/W	カウンタクリア 1、0
5	CCLR0	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 14.3 を参照してください。
4	CKEG1	0	R/W	クロックエッジ 1、0
3	CKEG0	0	R/W	入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: /4 の両エッジ = /2 の立ち上がりエッジ)。内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1 を選択した場合は本設定は無視され、立ち上がりエッジカウント選択になります。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント 【記号説明】x: Don't care
2	TPSC2	0	R/W	タイマプリスケラ 2~0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 14.4、表 14.5 を参照してください。
0	TPSC0	0	R/W	

表 14.3 CCLR1 ~ CCLR0 (チャンネル 1、2)

チャンネル	ビット 6	ビット 5	説明
	CCLR1	CCLR0	
1、2	0	0	TCNT のクリア禁止
	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*

【注】 \* 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

## 14. 16ビットタイムパルスユニット

表 14.4 TPSC2 ~ TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック： /256 でカウント
	1	1	1	TCNT_2 のオーバーフローでカウント

表 14.5 TPSC2 ~ TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック： /1024 でカウント

### 14.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 2 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説 明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
5	-	0	-	リザーブビット
4	-	0	-	リードすると常に 0 が読み出されます。ライトは無効です。
3	-	0	-	リザーブビット
2	-	0	-	ライト時は常に 0 としてください。
1	MD1	0	R/W	モード 1、0
0	MD0	0	R/W	MD1、MD0 はタイマの動作モードを設定します。 詳細は表 14.6 を参照してください。

表 14.6 MD1、MD0

ビット 1	ビット 0	説 明
MD1	MD0	
0	0	通常動作
0	1	リザーブ
1	0	PWM モード 1
1	1	PWM モード 2

### 14.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、各チャンネルに 1 本、計 2 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

- TIOR\_1、TIOR\_2

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TGRB の機能を設定します。詳細は表 14.7、表 14.8 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。詳細は表 14.9、表 14.10 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

14. 16ビットタイムパルスユニット

表 14.7 TIOR\_1 (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care



表 14.8 TIOR\_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCB2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCB2 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

14. 16ビットタイムパルスユニット

表 14.9 TIOR\_1 (チャンネル1)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元はTIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 14.10 TIOR\_2 (チャンネル2)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元はTIOCA2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元はTIOCA2 端子 両エッジでインプットキャプチャ	

【記号説明】 x : Don't care

## 14. 16ビットタイムパルスユニット

### 14.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 2 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット リード/ライト可能です。
6	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	-	0	-	リザーブビット ライトするときは必ず 0 を書き込んでください。
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	-	0	-	リザーブビット
2	-	0	-	リードすると常に 0 が読み出されます。ライトは無効です。
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

## 14.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 2 本の TSR があります。

ビット	ビット名	初期値	R/W	説 明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	TCFV	0	R/(W)*	オーバーフローフラグ (TCFV) TCNT のオーバーフローの発生を示すステータスフラグです。 [セット条件] TCNT の値がオーバーフローしたとき (H'FFFF H'0000) [クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき
3	-	0	-	リザーブビット
2	-	0	-	リードすると常に 0 が読み出されます。ライトは無効です。
1	TGFB	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ B TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき [クリア条件] TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
0	TGFA	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき [クリア条件] TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 14. 16ビットタイムパルスユニット

### 14.3.6 タイマカウンタ (TCNT)

TCNTは16ビットのリード/ライト可能なカウンタです。各チャンネルに1本、計2本のTCNTがあります。  
TCNTは、リセットまたはスタンバイモード時にH'0000に初期化されます。  
TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 14.3.7 タイマジェネラルレジスタ (TGR)

TGRは16ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。  
各チャンネルに2本、計4本のジェネラルレジスタがあります。TGRは、リセット時にH'FFFFに初期化されます。  
TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

### 14.3.8 タイマスタートレジスタ (TSTR)

TSTRは、チャンネル1、2のTCNTの動作/停止を選択します。対応するビットを1にセットしたチャンネルのTCNTがカウント動作を行います。TMDRへ動作モードを設定する場合やTCRへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	R/W	リザーブビット ライトするときは必ず0としてください。
2 1	CST2 CST1	0 0	R/W R/W	カウンタスタート2、1 TCNTの動作または停止を選択します。 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。 CSTビットが0の状態ではTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0: TCNT_nのカウント動作は停止 1: TCNT_nはカウント動作 (n=2、1)
0	-	0	R/W	リザーブビット ライトするときは必ず0としてください。

### 14.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネルごとに TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R/W	リザーブビット ライトするときは必ず 0 としてください。
2 1	SYNC2 SYNC1	0 0	R/W R/W	タイマ同期 2、1 他のチャンネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の GCLR2 ~ GCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_n は独立動作( TCNT のプリセット / クリアは他チャンネルと無関係 ) 1: TCNT_n は同期動作 TCNT の同期プリセット / 同期クリアが可能 (n=2、1)
0	-	0	R/W	リザーブビット ライトするときは必ず 0 としてください。

## 14.4 CPU とのインタフェース

### 14.4.1 16ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。

8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 14.2 に示します。

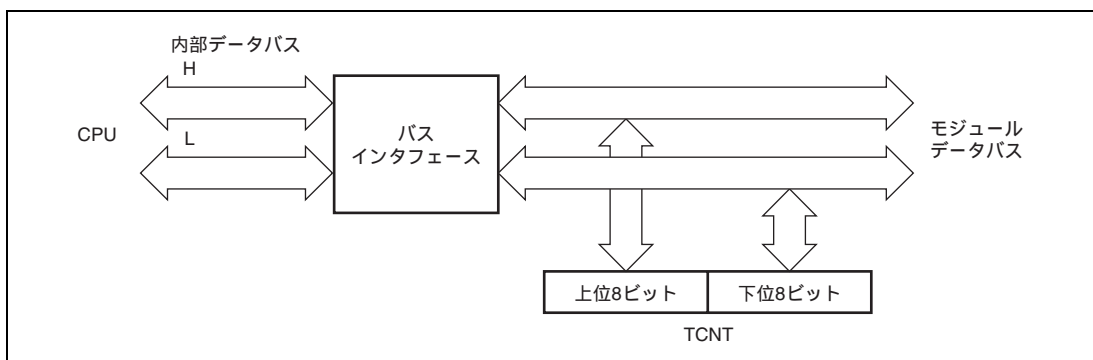


図 14.2 16ビットレジスタのアクセス動作 (CPU TCNT (16ビット))

### 14.4.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し / 書き込みが可能です。  
8 ビットレジスタのアクセス動作例を図 14.3、図 14.4 に示します。

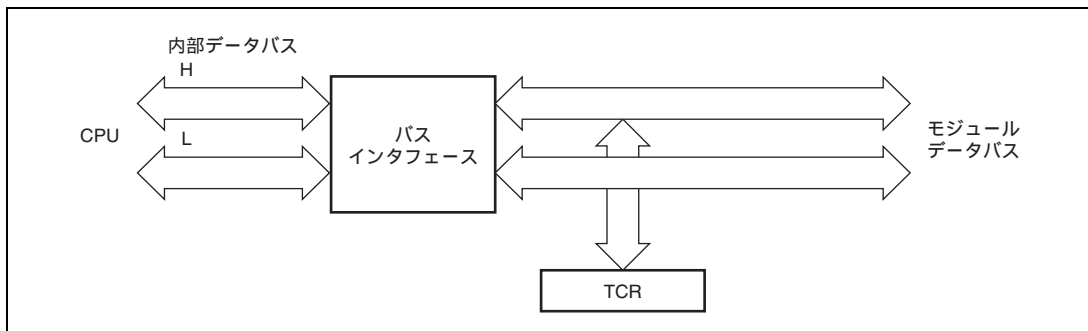


図 14.3 8 ビットレジスタのアクセス動作 (CPU TCR (上位 8 ビット))

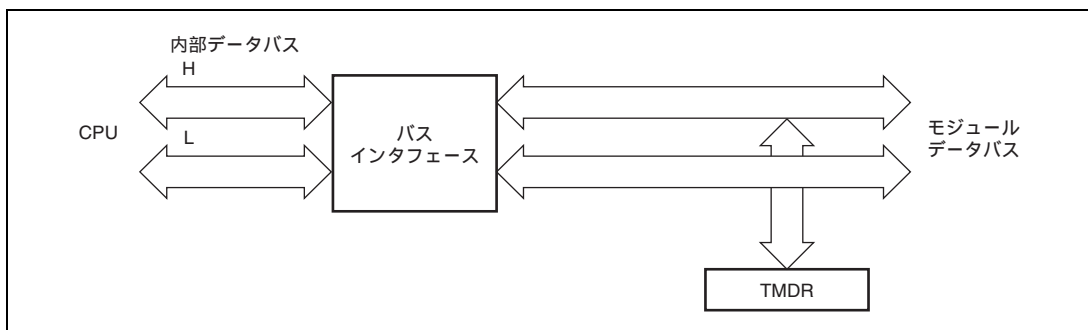


図 14.4 8 ビットレジスタのアクセス動作 (CPU TMDR (下位 8 ビット))



## 14.5 動作説明

### 14.5.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (1) カウンタの動作

TSTR の CST2、CST1 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 14.5 に示します。

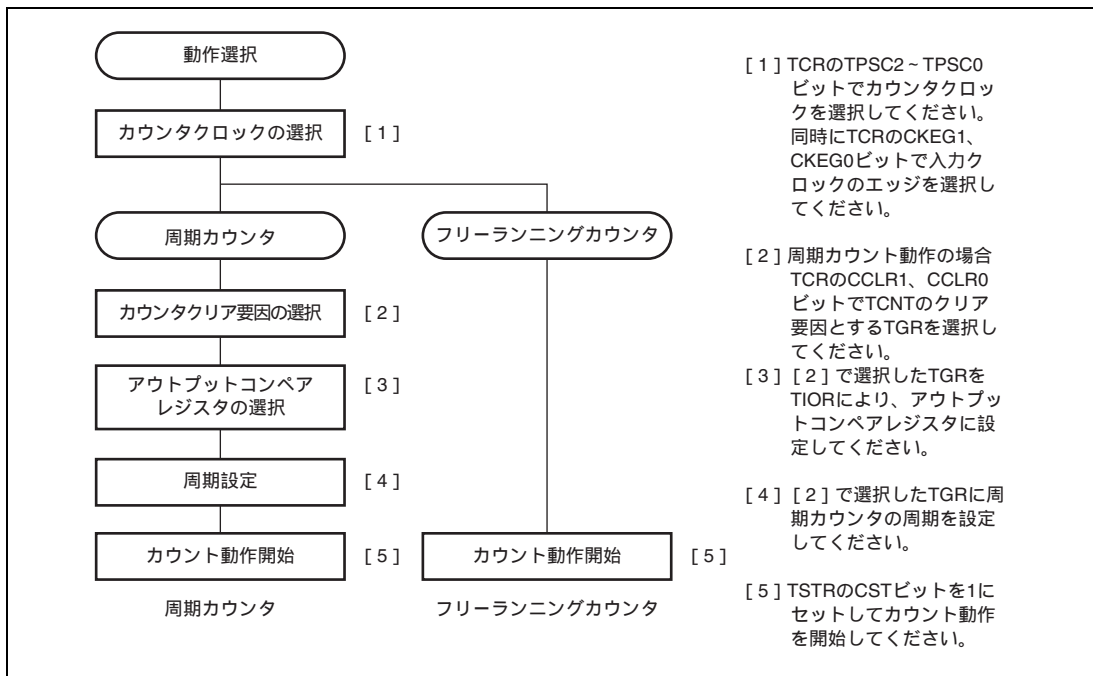


図 14.5 カウンタ動作設定手順例

## 14. 16ビットタイムパルスユニット

### (b) フリーランニングカウンタ動作と周期カウンタ動作

TPUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF H'0000)すると、TSRのTCFVビットが1にセットされます。このとき、対応するTIERのTCIEVビットが1ならば、TPUは割り込みを要求します。TCNTはオーバーフロー後、H'0000からアップカウント動作を継続します。

フリーランニングカウンタの動作を図14.6に示します。

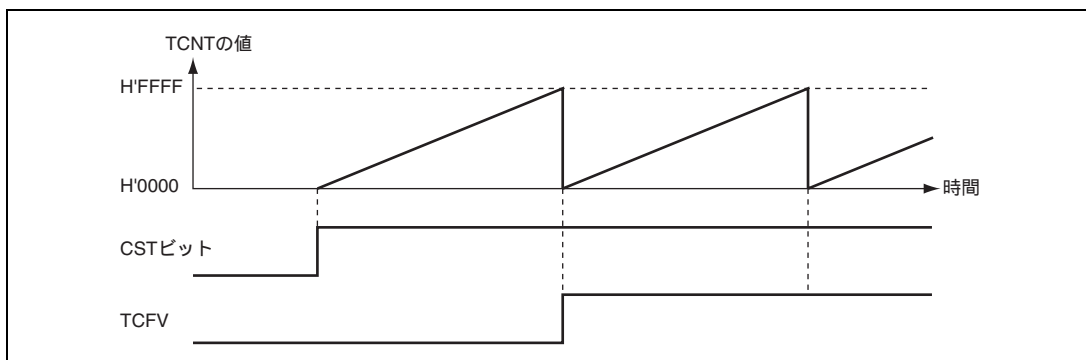


図 14.6 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR1、CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図14.7に示します。

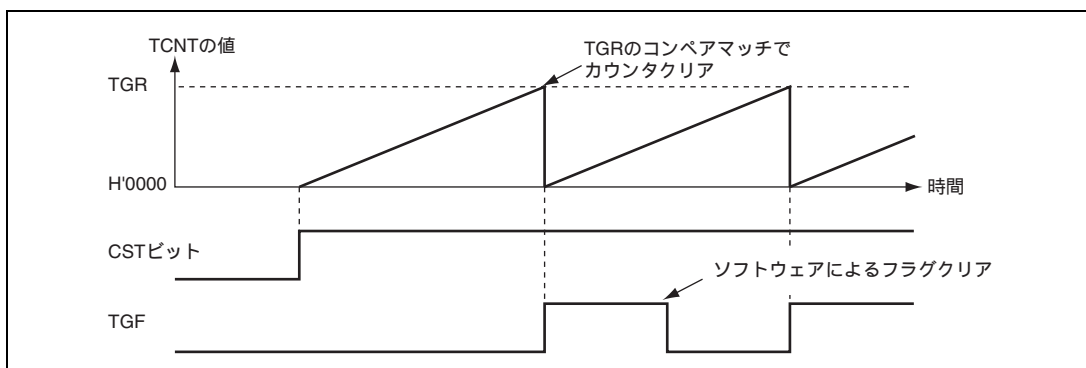


図 14.7 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 14.8 に示します。



図 14.8 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 14.9 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

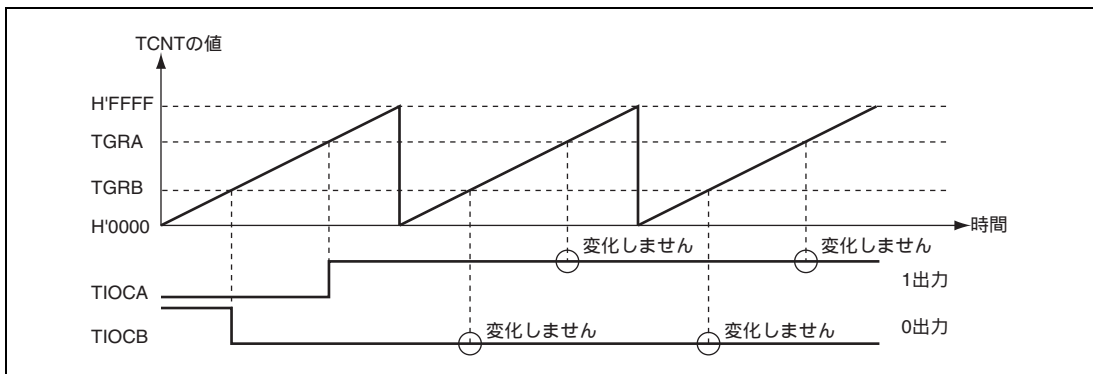


図 14.9 0 出力 / 1 出力の動作例

## 14. 16ビットタイムパルスユニット

トグル出力の例を図 14.10 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B とモトグル出力となるように設定した場合の例です。

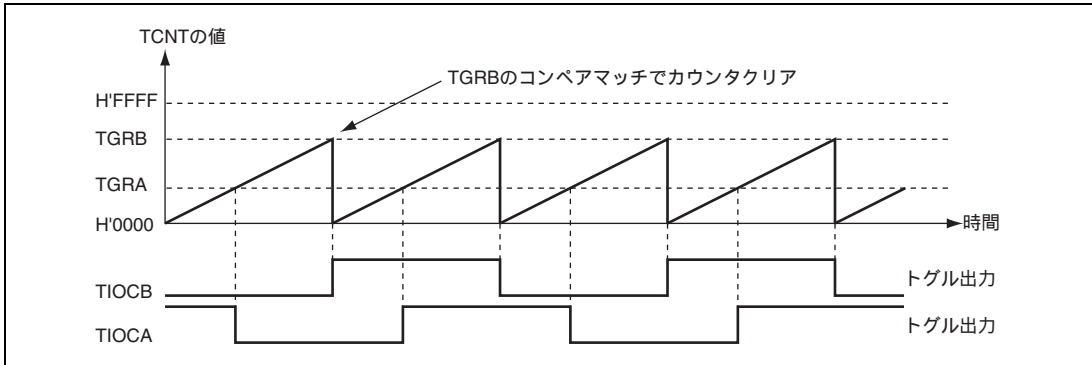


図 14.10 トグル出力の動作例

### (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。

#### (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 14.11 に示します。

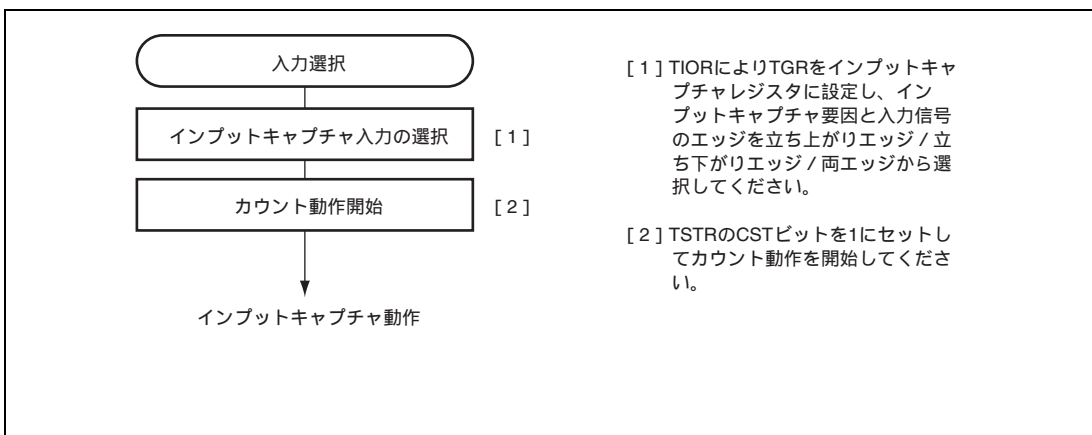


図 14.11 インพุットキャプチャ動作の設定例

## (b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 14.12 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

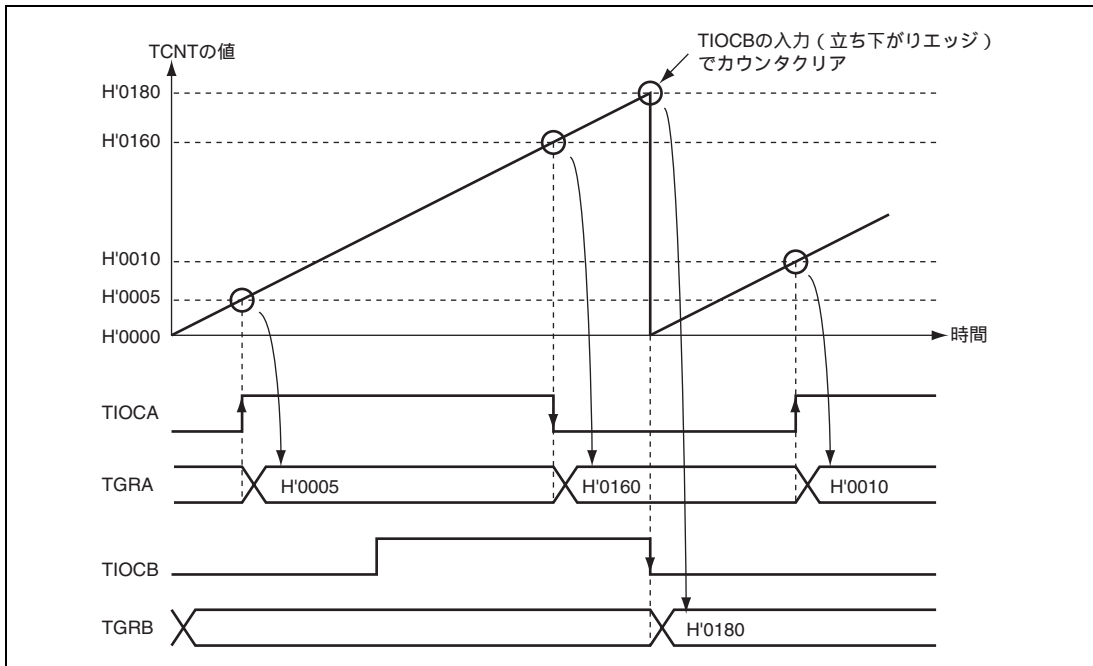


図 14.12 インพุットキャプチャ動作例

### 14.5.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネルごとに同期動作の設定が可能です。

#### （1）同期動作の設定手順例

同期動作の設定手順例を図 14.13 に示します。

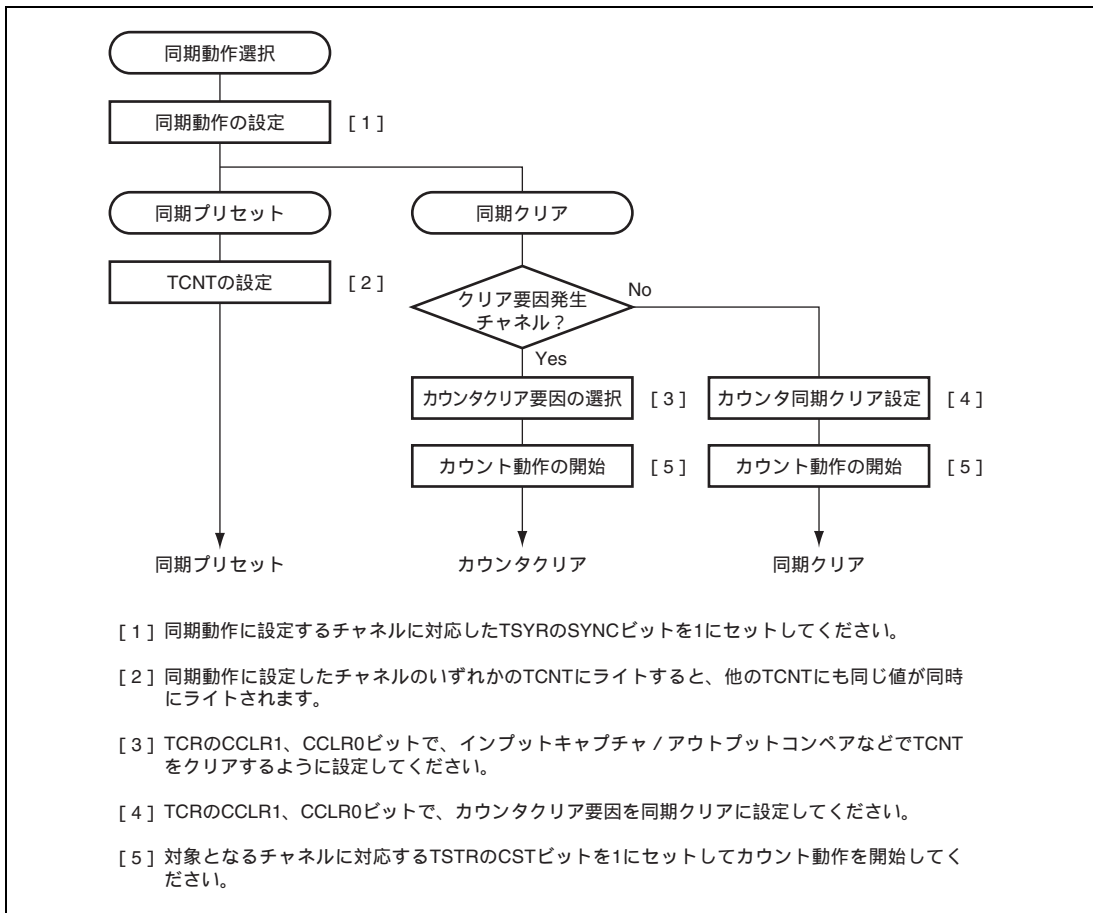


図 14.13 同期動作の設定手順例

## (2) 同期動作の例

同期動作の例を図 14.14 に示します。

チャンネル 1、2 を同期動作かつ PWM モード 1 に設定し、チャンネル 1 のカウンタクリア要因を TGRB\_1 のコンペアマッチ、またチャンネル 2 のカウンタクリア要因を同期クリアに設定した場合の例です。

2 相の PWM 波形を TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 1、2 の TCNT は同期プリセット、TGRB\_1 のコンペアマッチによる同期クリアを行い、TGRB\_1 に設定したデータが PWM 周期となります。

PWM モードについては、「14.5.4 PWM モード」を参照してください。

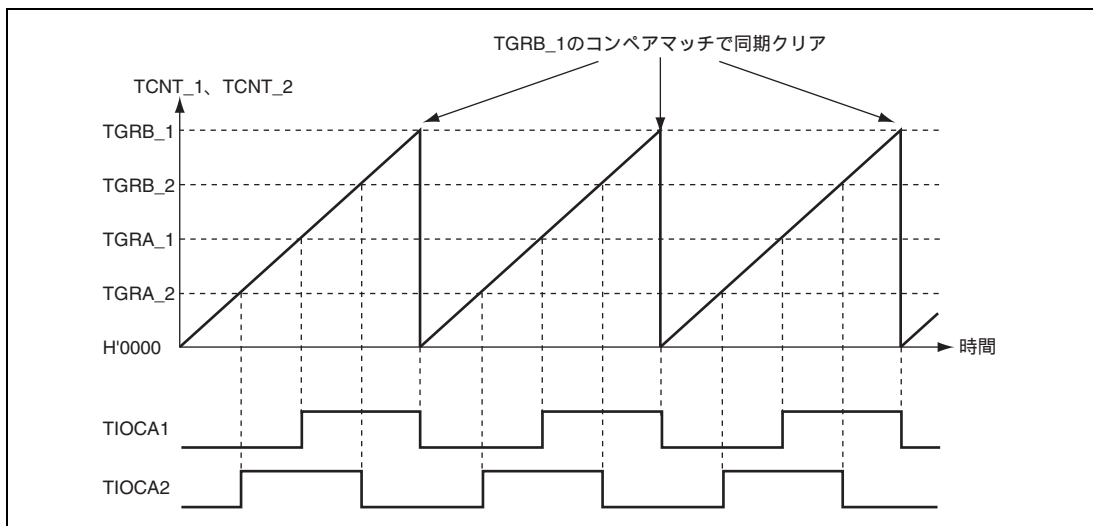


図 14.14 同期動作の動作例

### 14.5.3 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT2 のオーバフローでカウンタに設定することにより動作します。

表 14.11 にカスケード接続の組み合わせを示します。

表 14.11 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT1	TCNT2

## 14. 16ビットタイムパルスユニット

### (1) カスケード接続動作の設定手順

カスケード接続動作設定手順を図 14.15 に示します。

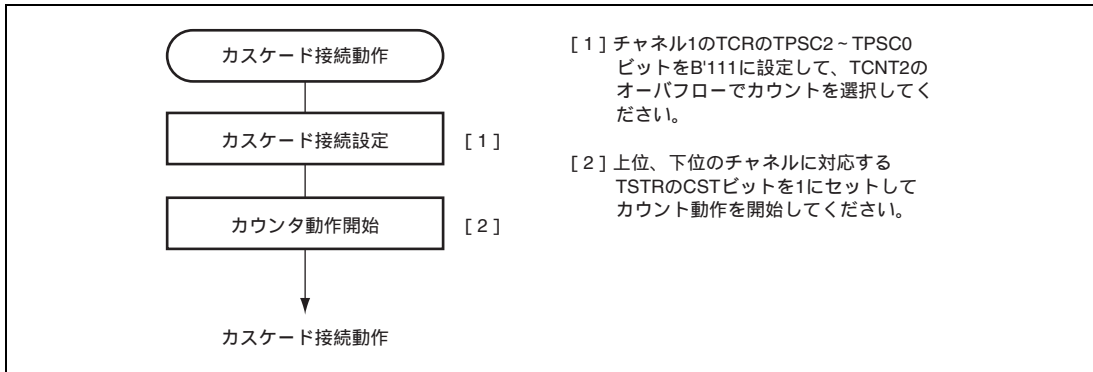


図 14.15 カスケード接続動作設定手順

### (2) カスケード接続動作例

TCNT1 は TCNT2 のオーバーフローでカウント、TGRA\_1 と TGRA\_2 をインプットキャップチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 14.16 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA\_1 に上位 16 ビット、TGRA\_2 に下位 16 ビットの 32 ビットデータが転送されます。

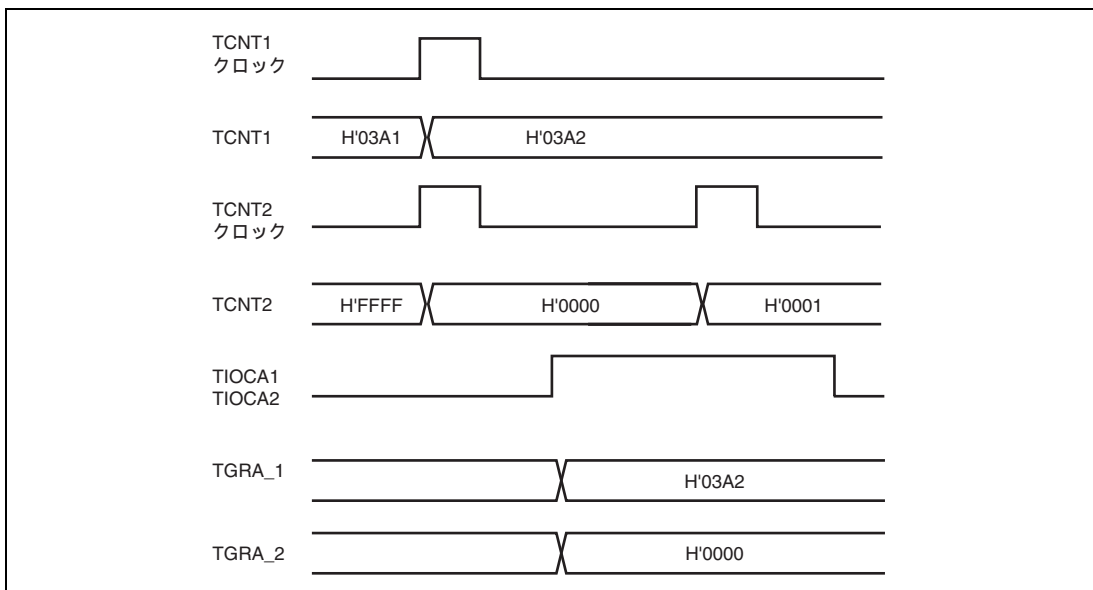


図 14.16 カスケード接続動作例



### 14.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

#### (1) PWM モード 1

TGRA と TGRB をペアで使用して、TIOCA 端子から PWM 出力を生成します。TIOCA 端子からコンペアマッチ A によって TIOR の IOA3 ~ IOA0 ビットで指定した出力を、また、コンペアマッチ B によって TIOR の IOB3 ~ IOB0 ビットで指定した出力を行います。初期出力値は TGRA に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 2 相の PWM 出力が可能です。

#### (2) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、最大 3 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 14.12 に示します。

表 14.12 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2*
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 \* PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

## 14. 16ビットタイムパルスユニット

### (3) PWMモードの設定手順例

PWMモードの設定手順例を図14.17に示します。

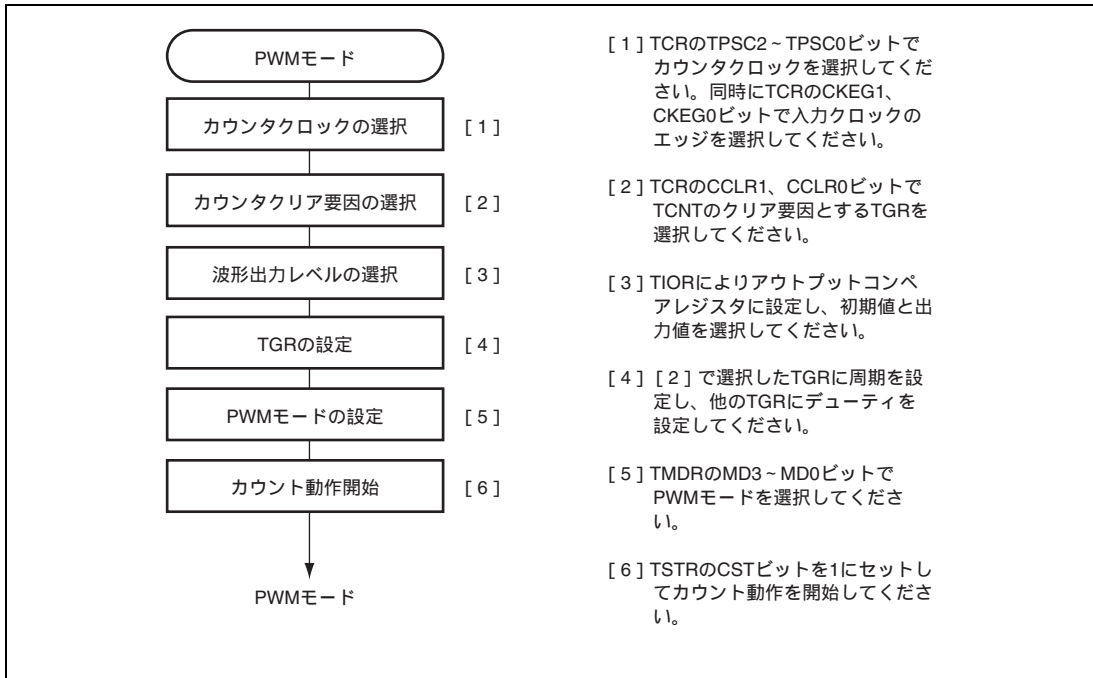


図 14.17 PWMモードの設定手順例

### (4) PWMモードの動作例

PWMモード1の動作例を図14.18に示します。この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

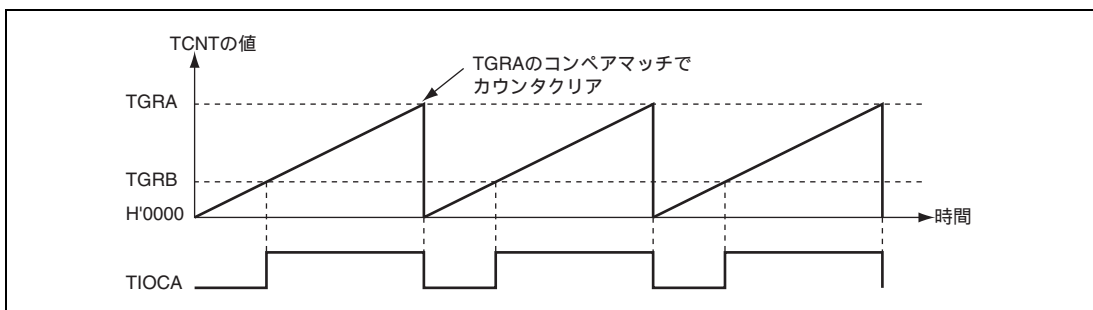


図 14.18 PWMモードの動作例(1)

PWMモード2の動作例を図14.19に示します。この図は、チャンネル1と2を同期動作させ、TCNTのクリア要因をTGRB\_2のコンペアマッチとし、他のTGR (TGRA\_1~TGRB\_1、TGRA\_2)の初期出力値を0、出力値を1に設定して3相のPWM波形を出力させた場合の例です。

この場合、TGRB\_2に設定した値が周期となり、他のTGRに設定した値がデューティになります。

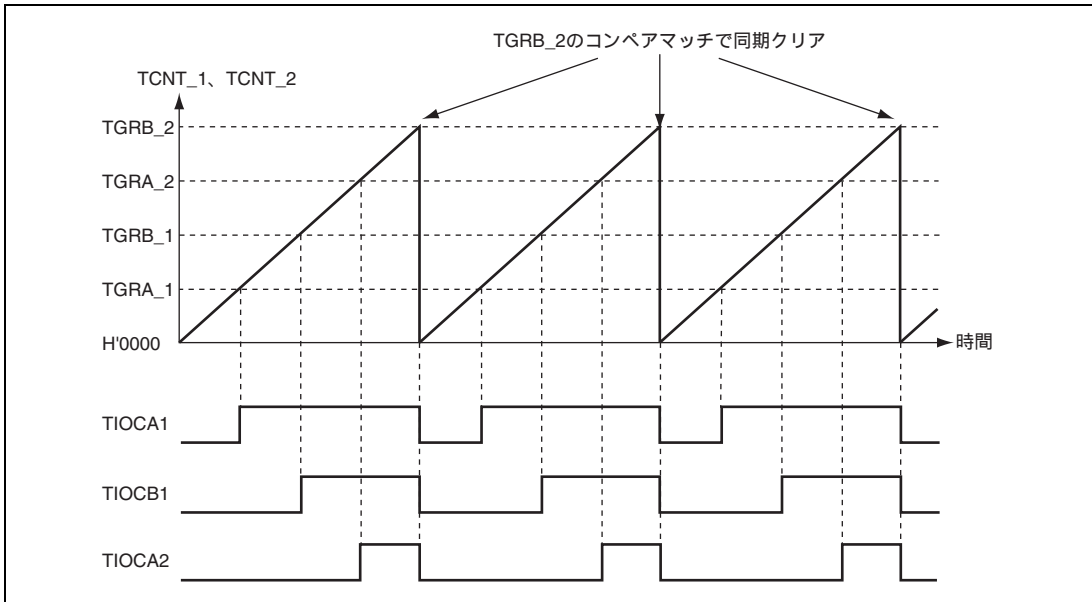


図 14.19 PWMモードの動作例(2)

## 14. 16 ビットタイムパルスユニット

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 14.20 に示します。

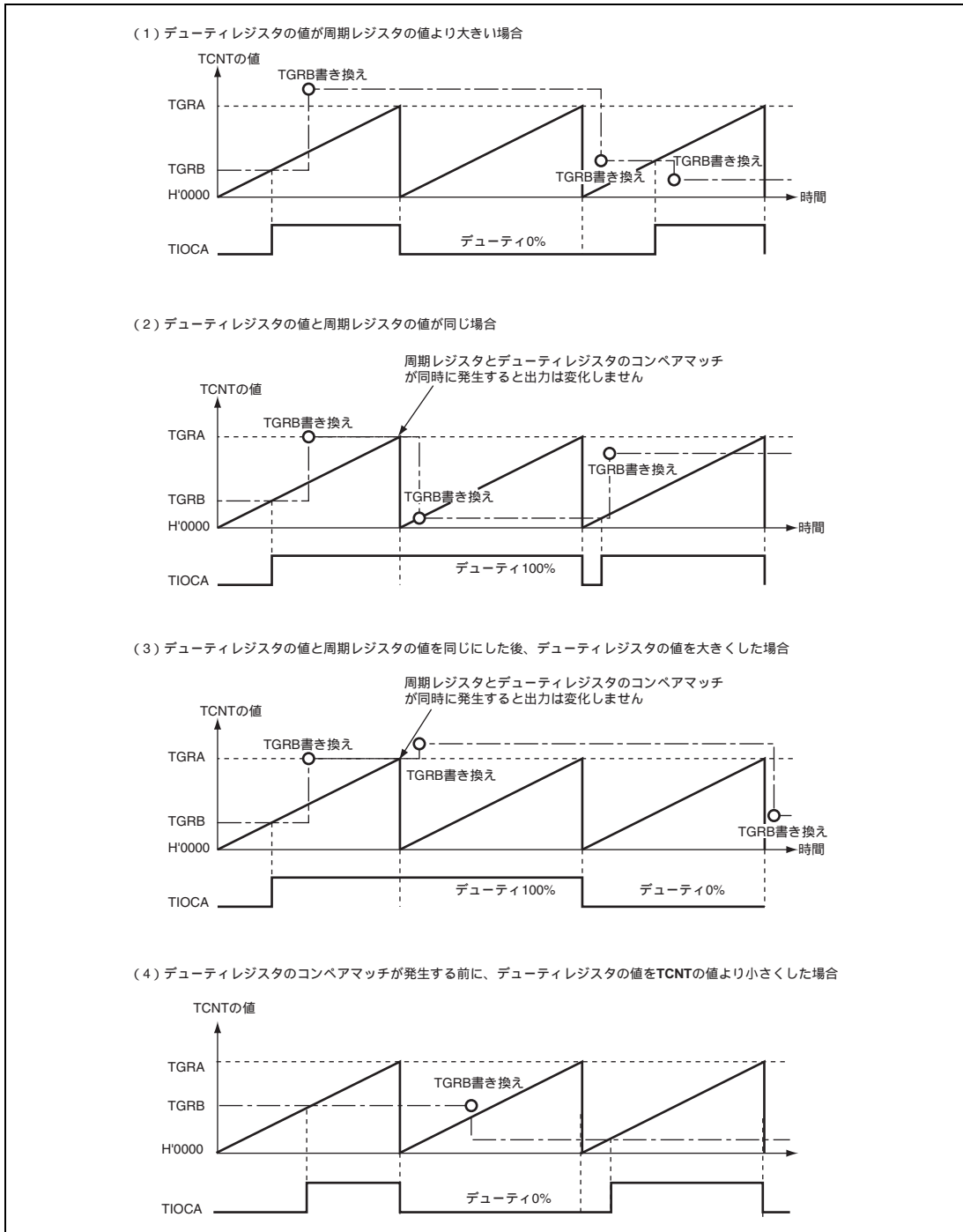


図 14.20 PWM モードの動作例 (3)

## 14.6 割り込み要因


TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバーフローの2種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

それぞれのチャンネルのマスクレベルは、割り込みコントローラにより変更可能です。詳細は「第4章 割り込みコントローラ」を参照してください。

表 14.13 に TPU の割り込み要因の一覧を示します。

表 14.13 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
1	TGI1A	TGRA_1のインプットキャプチャ/コンペアマッチ	TGFA_1	高  低
	TGI1B	TGRB_1のインプットキャプチャ/コンペアマッチ	TGFB_1	
	TCI1V	TCNT_1のオーバーフロー	TCFV_1	
2	TGI2A	TGRA_2のインプットキャプチャ/コンペアマッチ	TGFA_2	
	TGI2B	TGRB_2のインプットキャプチャ/コンペアマッチ	TGFB_2	
	TCI2V	TCNT_2のオーバーフロー	TCFV_2	

### (1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに2本、計4本のインプットキャプチャ/コンペアマッチ割り込みがあります。

### (2) オーバーフロー割り込み

各チャンネルのTCNTのオーバーフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計2本のオーバーフロー割り込みがあります。

## 14.7 動作タイミング

### 14.7.1 入出力タイミング

#### (1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図14.21に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図14.22に示します。

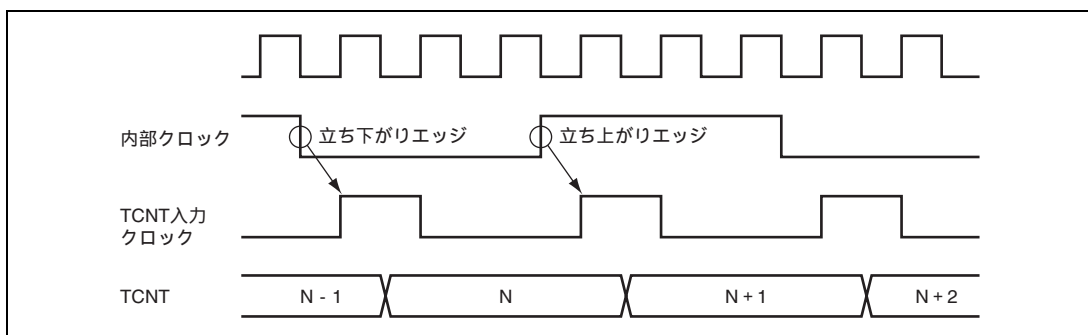


図 14.21 内部クロック動作時のカウンタタイミング

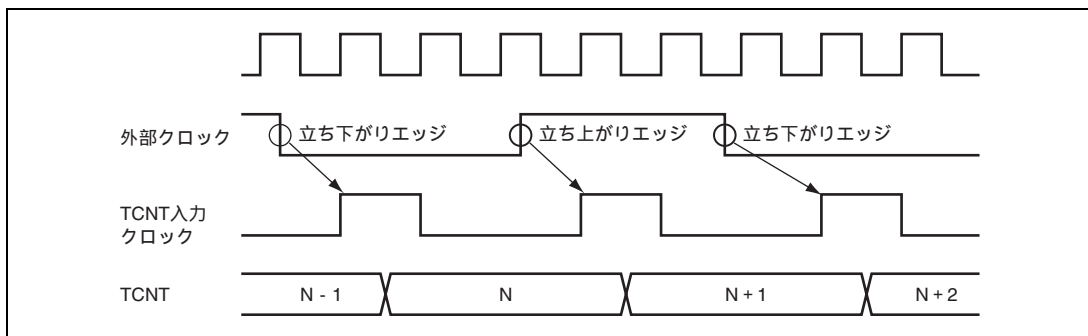


図 14.22 外部クロック動作時のカウンタタイミング

## (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIORで設定した出力値がアウトプットコンペア出力端子（TIOC端子）に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図14.23に示します。

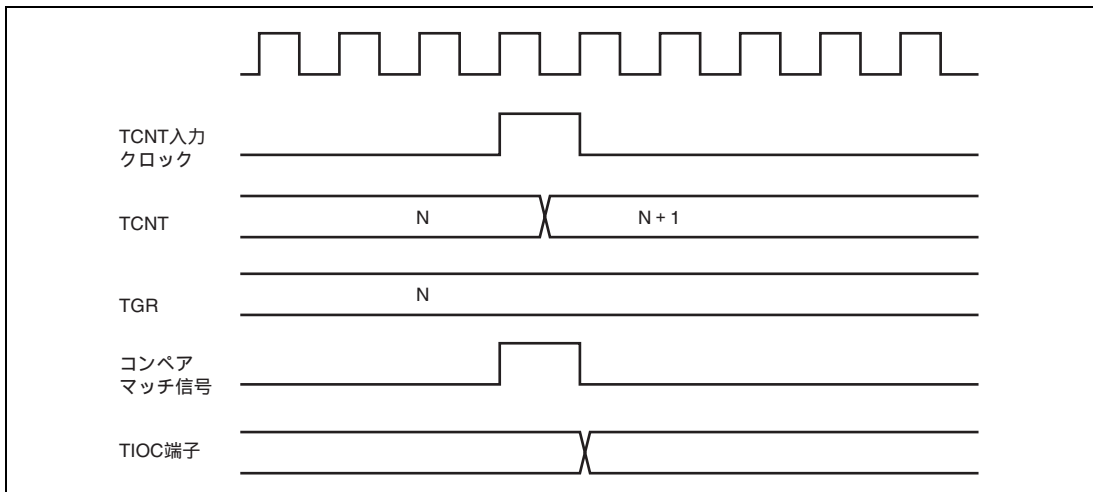


図 14.23 アウトプットコンペア出力タイミング

## (3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図14.24に示します。

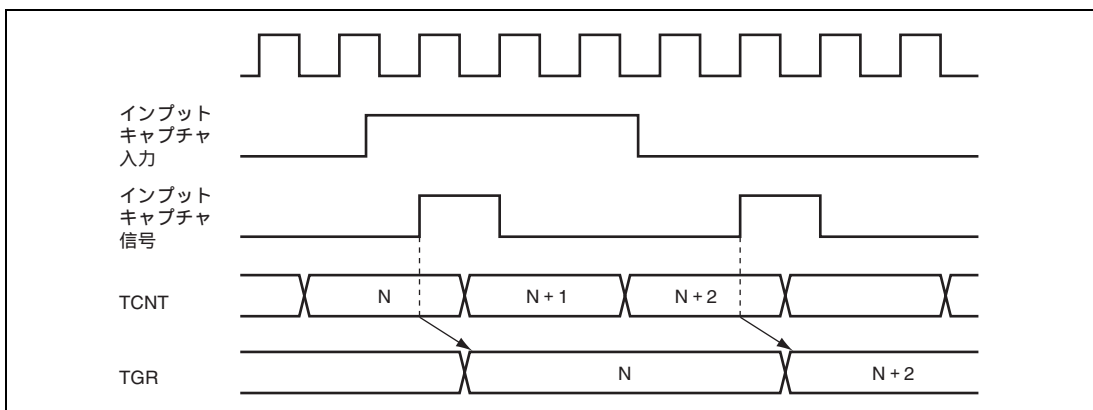


図 14.24 インプットキャプチャ入力信号タイミング

## 14. 16ビットタイマパルスユニット

### (4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 14.25 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 14.26 に示します。

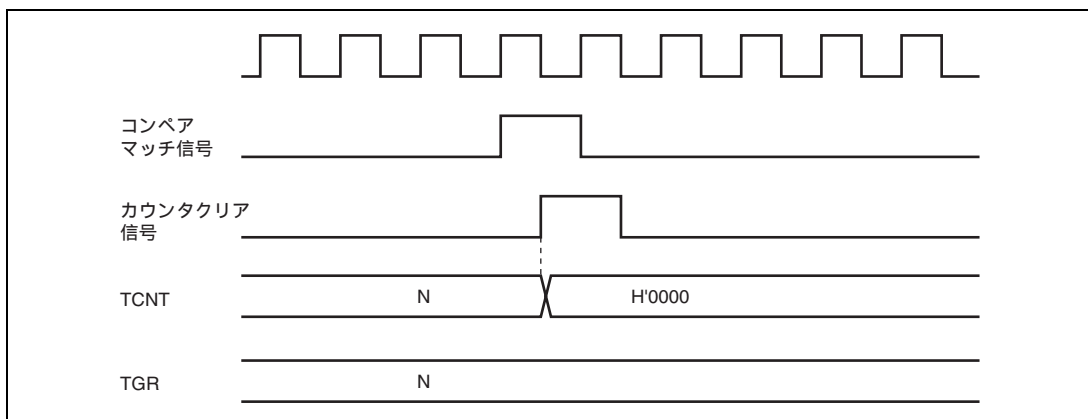


図 14.25 カウンタクリアタイミング (コンペアマッチ)

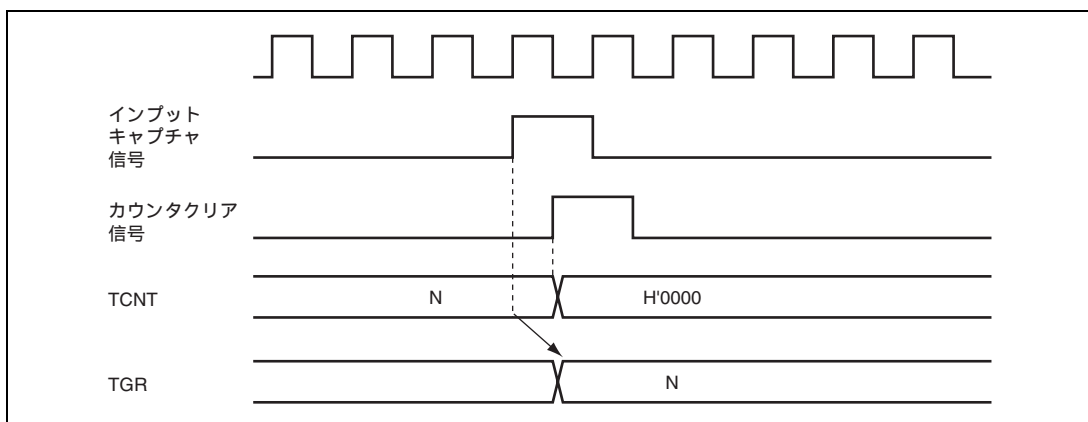


図 14.26 カウンタクリアタイミング (インプットキャプチャ)



## 14.7.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 14.27 に示します。

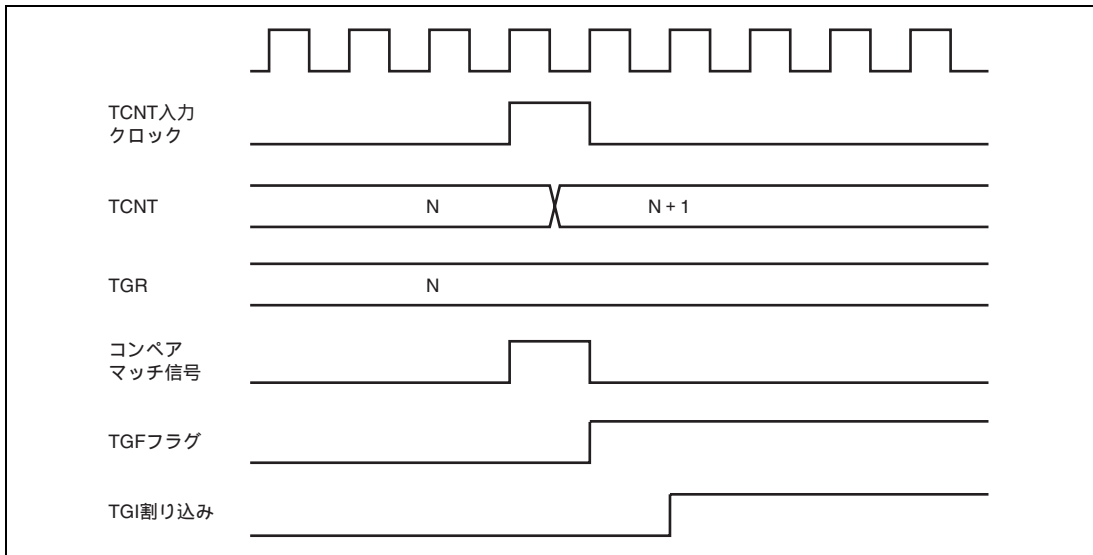


図 14.27 TGI 割り込みタイミング (コンペアマッチ)

### (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 14.28 に示します。

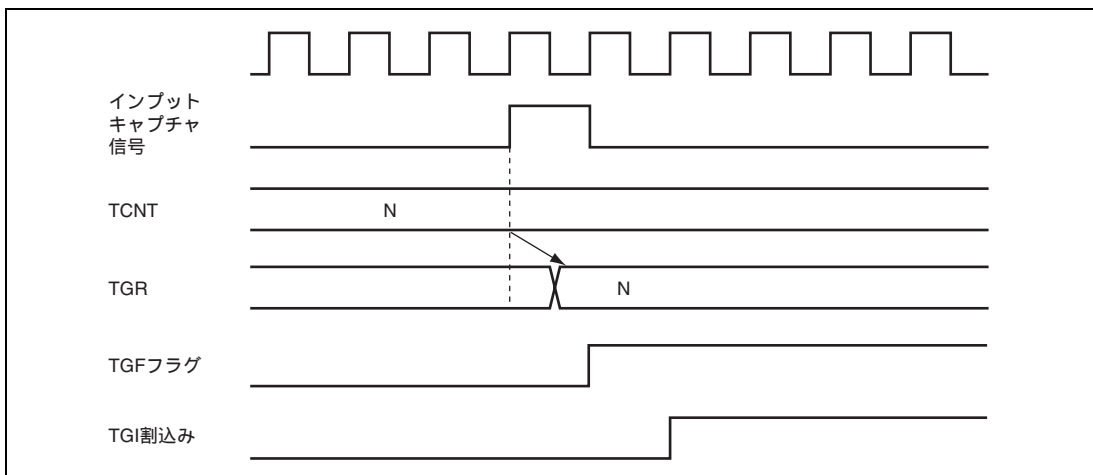


図 14.28 TGI 割り込みタイミング (インพุットキャプチャ)

## 14. 16ビットタイマパルスユニット

### (3) TCFV フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 14.29 に示します。

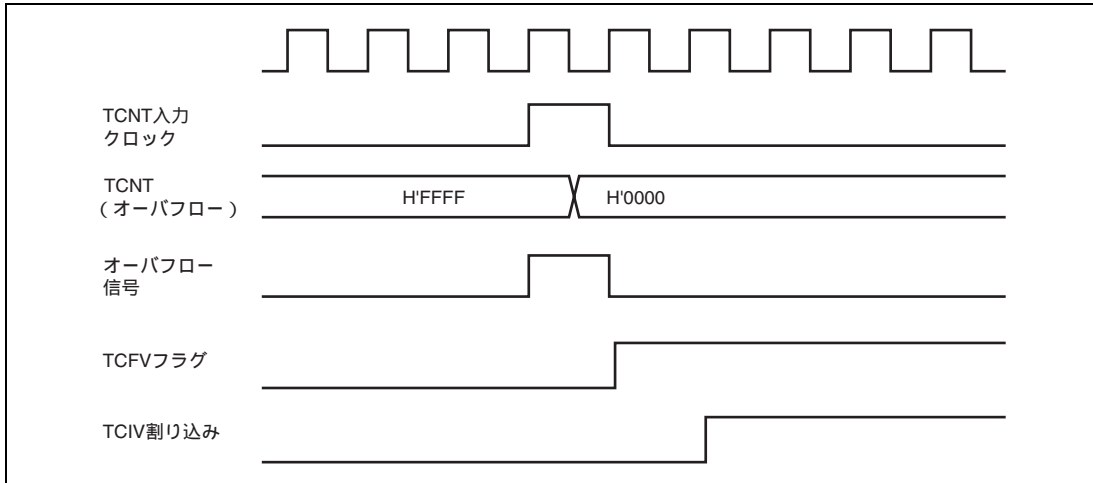


図 14.29 TCIV 割り込みのセットタイミング

### (4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。CPU によるステータスフラグのクリアタイミングを図 14.30 に示します。

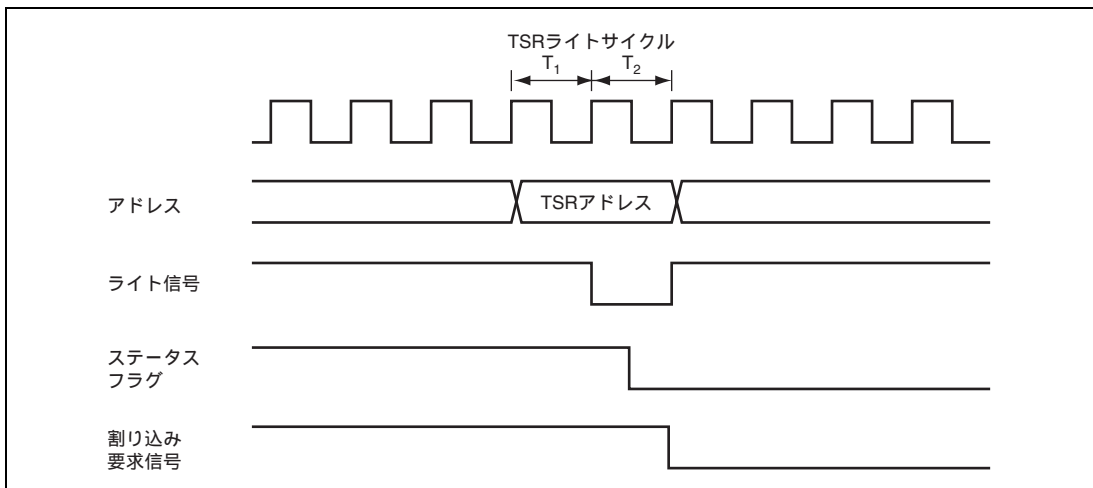


図 14.30 CPU によるステータスフラグのクリアタイミング

## 14.8 使用上の注意事項

### 14.8.1 モジュールスタンバイ機能の設定

クロック停止レジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU は動作しません。モジュールスタンバイ機能を解除することにより、レジスタのアクセスが可能になります。詳細は、「6.4 モジュールスタンバイ機能」を参照してください。

### 14.8.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

### 14.8.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{f_{clk}}{N+1}$$

- f : カウンタ周波数  
f<sub>clk</sub> : 動作周波数  
N : TGR の設定値

### 14.8.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。

このタイミングを図14.31に示します。

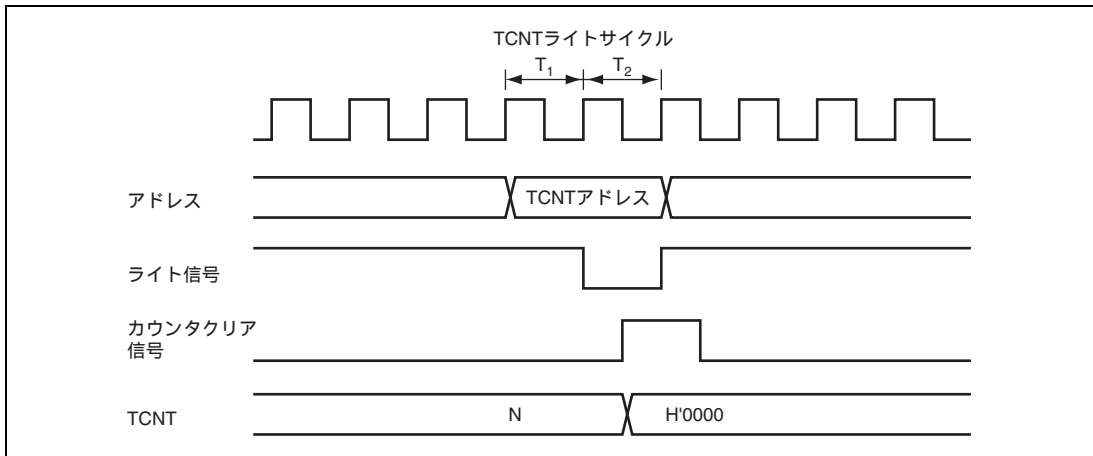


図 14.31 TCNTのライトとクリアの競合

### 14.8.5 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。

このタイミングを図14.32に示します。

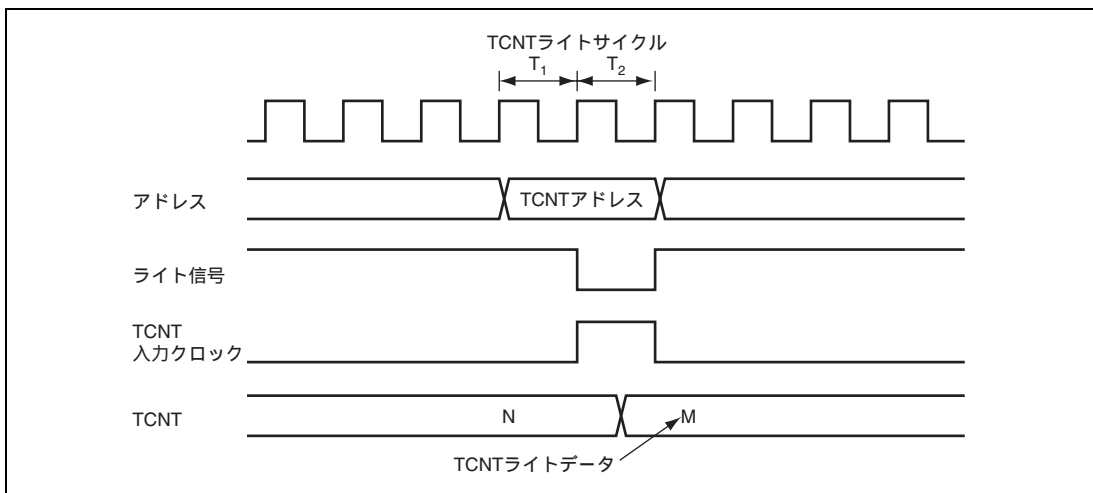


図 14.32 TCNTのライトとカウントアップの競合

### 14.8.6 TGRのライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生してもTGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図14.33に示します。

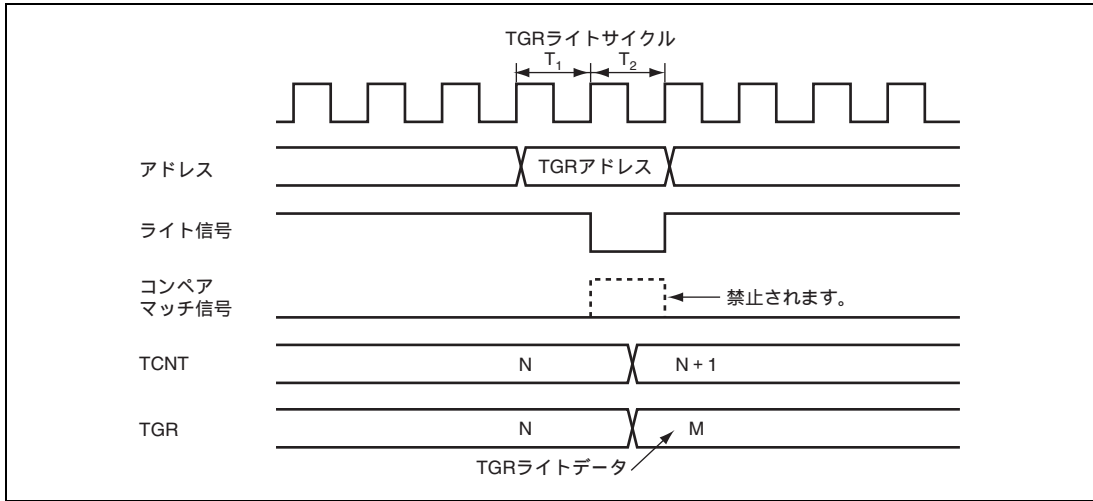


図 14.33 TGRのライトとコンペアマッチの競合

### 14.8.7 TGRのリードとインプットキャプチャの競合

TGRのリードサイクル中のT1ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図14.34に示します。

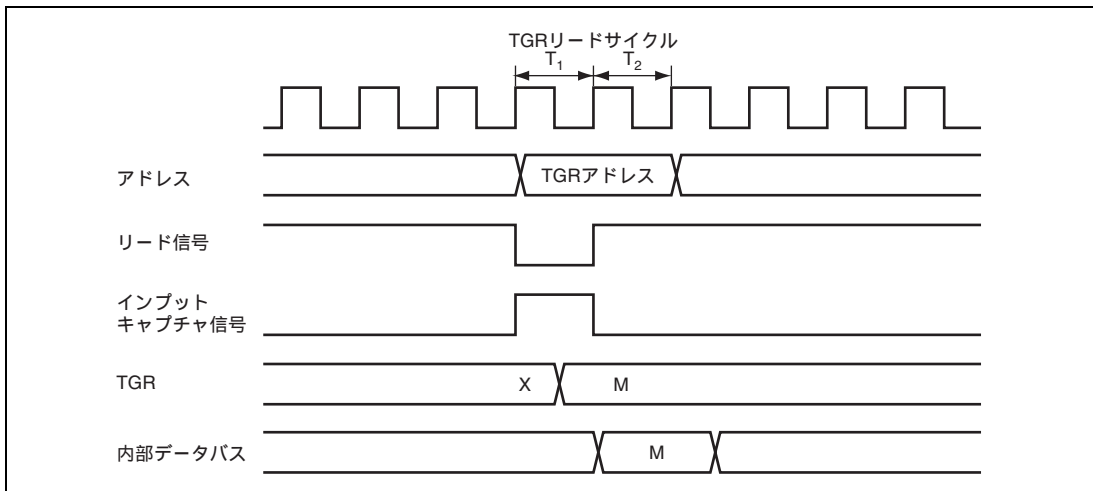


図 14.34 TGRのリードとインプットキャプチャの競合

### 14.8.8 TGRのライトとインプットキャプチャの競合

TGRのライトサイクル中のT2ステートでインプットキャプチャ信号が発生すると、TGRへのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図14.35に示します。

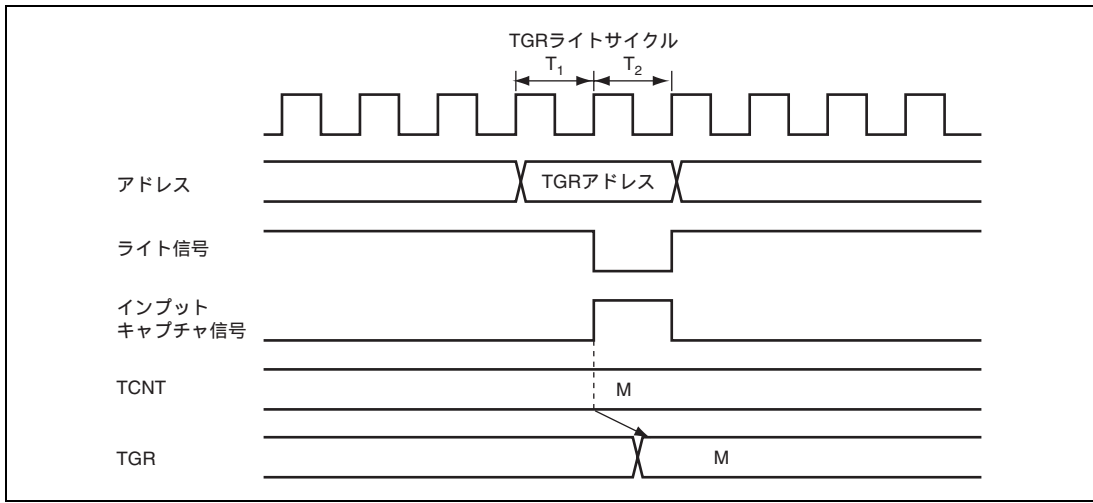


図 14.35 TGRのライトとインプットキャプチャの競合

### 14.8.9 オーバフローとカウンタクリアの競合

オーバフローとカウンタクリアが同時に発生すると、TSRのTCFVフラグはセットされず、TCNTのクリアが優先されます。

TGRのコンペアマッチをクリア要因とし、TGRにH'FFFFを設定した場合の動作タイミングを図14.36に示します。

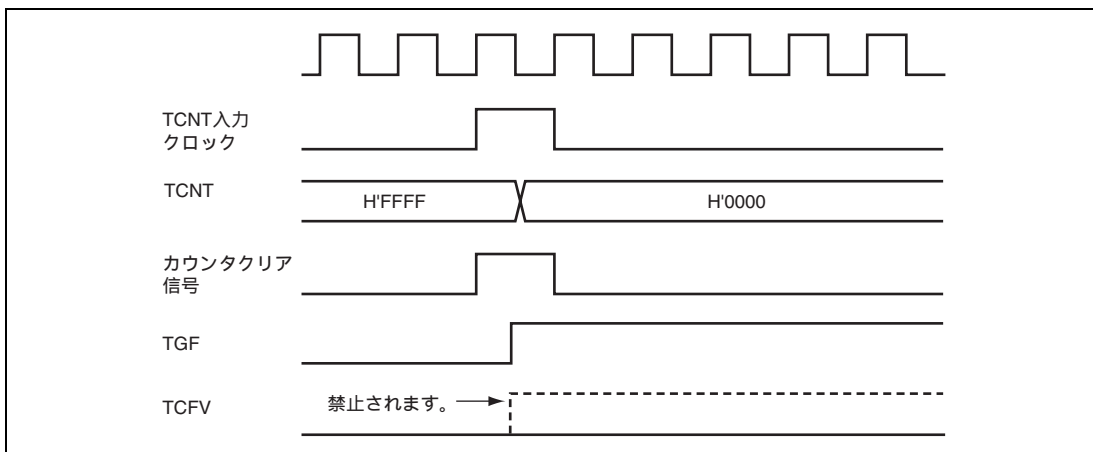


図 14.36 オーバフローとカウンタクリアの競合

### 14.8.10 TCNT のライトとオーバーフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生し、オーバーフローが発生しても TCNT へのライトが優先され、TSR の TCFV フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 14.37 に示します。

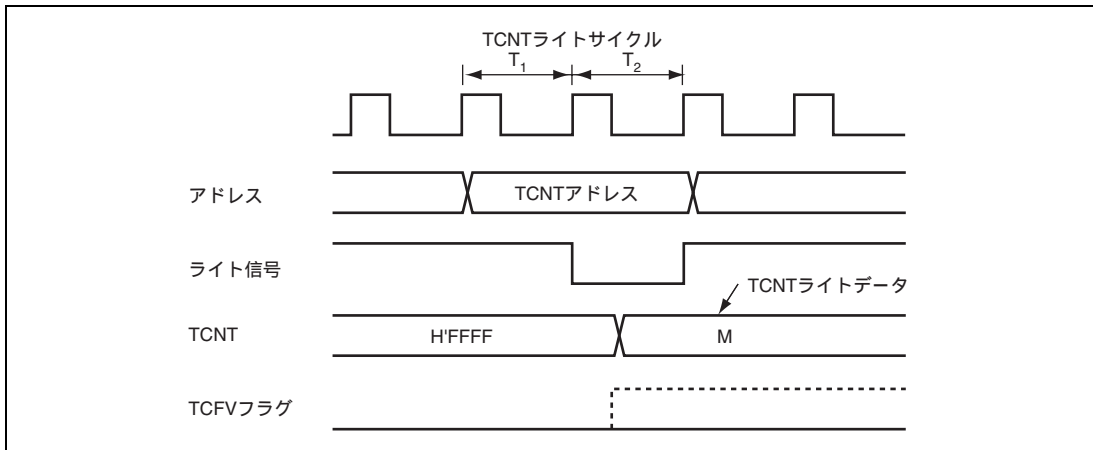


図 14.37 TCNT のライトとオーバーフローの競合

### 14.8.11 入出力端子の兼用

TIOCA1 入出力と TCLKA 入力、TIOCB1 入出力と TCLKB 入力、TIOCA2 入出力と TCLKC 入力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

### 14.8.12 モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイ機能にすると、割り込み要求が有効になったまま、CPU の割り込み要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールスタンバイ機能にしてください。

### 14.8.13 デューティ 0%、デューティ 100%の出力条件

PWM モード使用時に TGR を書き換えデューティを変更するとき、書き換え時の TCT の値と、書き換え前の TGR の値、書き換え後の TGR の値によりデューティが 0%、もしくは 100% となる場合があります。詳細は図 14.20 を参照してください。





---

## 15. 非同期イベントカウンタ (AEC)

---

非同期イベントカウンタ (Asynchronous Event Counter) は、外部イベントクロックまたは内部クロックが入るたびにカウントアップするイベントカウンタです。非同期イベントカウンタのブロック図を図 15.1 に示します。

### 15.1 特長

- 非同期イベントをカウント可能  
システムクロック ( )、またはサブクロック ( <sub>SUB</sub> ) の動作とは無関係に入力される外部イベントのカウントが可能です
- 2チャンネルの独立した8ビットイベントカウンタ、または1チャンネルの独立した16ビットイベントカウンタとして使用可能
- IRQAECがHighレベル時またはイベントカウンタPWM出力 (IECPWM) がHighレベルの時にイベント/クロック入力有効
- IRQAECまたはイベントカウンタPWM出力 (IECPWM) 割り込みは立ち下がりエッジ/立ち上がりエッジ/両エッジで検出可能。非同期カウンタを用いない場合は、独立した割り込みとして使用可能
- イベントカウンタPWMを用い、イベントクロック入力の禁止/許可が一定周期で制御可能
- 4種類のクロックソースを選択可能  
3種類の内部クロック ( /2、 /4、 /8 ) と外部イベントのうちから選択できます。
- AEVL端子、AEVH端子は立ち下がりエッジ/立ち上がりエッジ/両エッジでカウント可能
- ソフトウェアによってカウンタのリセット、カウントアップ機能の停止が制御可能
- イベントカウンタのオーバフローを検出し、自動的に割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能 (詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

## 15. 非同期イベントカウンタ (AEC)

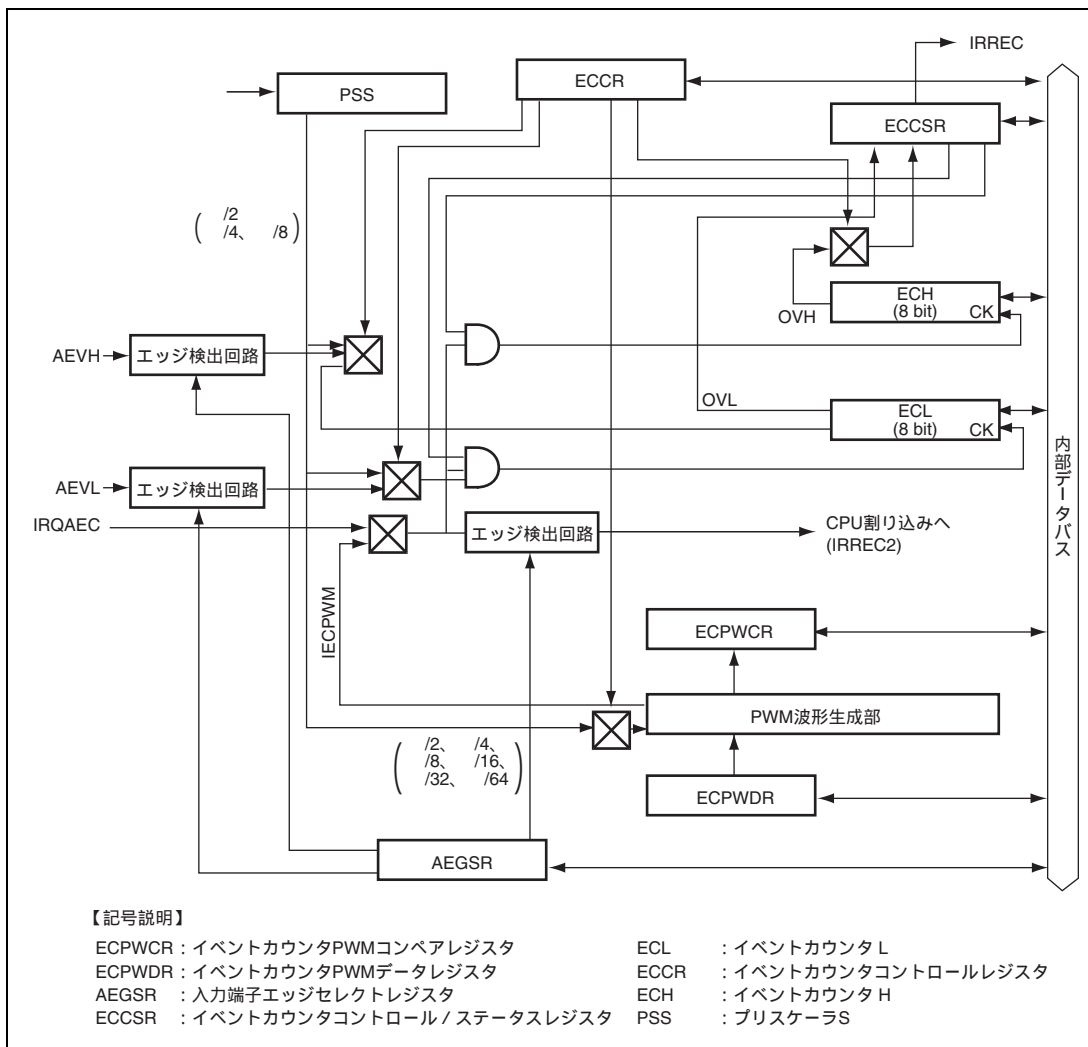


図 15.1 非同期イベントカウンタブロック図

## 15.2 入出力端子

非同期イベントカウンタの端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	略称	入出力	機能
非同期イベント入力H	AEVH	入力	イベントカウンタHに入力するイベント入力端子
非同期イベント入力L	AEVL	入力	イベントカウンタLに入力するイベント入力端子
イベント入力イネーブル 割り込み入力	IRQAEC	入力	イベント入力を有効にする割り込み入力端子

### 15.3 レジスタの説明

非同期イベントカウンタには以下のレジスタがあります。

- イベントカウンタPWMコンペアレジスタ (ECPWCR)
- イベントカウンタPWMデータレジスタ (ECPWDR)
- 入力端子エッジセレクトレジスタ (AEGSR)
- イベントカウンタコントロールレジスタ (ECCR)
- イベントカウンタコントロール/ステータスレジスタ (ECCSR)
- イベントカウンタH (ECH)
- イベントカウンタL (ECL)

#### 15.3.1 イベントカウンタ PWM コンペアレジスタ (ECPWCR)

ECPWCR はイベントカウンタ PWM 波形の 1 変換周期を設定します。

本レジスタリード、ライト時は、ワードサイズでリード、ライトしてください。

ビット	ビット名	初期値	R/W	説明
15	ECPWCR15	1	R/W	イベントカウンタ PWM 波形 1 変換周期 AEGSR の ECPWME ビットが 1 のとき、イベントカウンタ PWM は動作中ですので ECPWCR を書き換えないでください。 変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。
14	ECPWCR14	1	R/W	
13	ECPWCR13	1	R/W	
12	ECPWCR12	1	R/W	
11	ECPWCR11	1	R/W	
10	ECPWCR10	1	R/W	
9	ECPWCR9	1	R/W	
8	ECPWCR8	1	R/W	
7	ECPWCR7	1	R/W	
6	ECPWCR6	1	R/W	
5	ECPWCR5	1	R/W	
4	ECPWCR4	1	R/W	
3	ECPWCR3	1	R/W	
2	ECPWCR2	1	R/W	
1	ECPWCR1	1	R/W	
0	ECPWCR0	1	R/W	

## 15. 非同期イベントカウンタ (AEC)

### 15.3.2 イベントカウンタ PWM データレジスタ (ECPWDR)

ECPWDR はイベントカウンタ PWM 波形生成部のデータを制御します。

本レジスタライト時は、ワードサイズでライトしてください。

ビット	ビット名	初期値	R/W	説明
15	ECPWDR15	0	W	イベントカウンタ PWM 波形生成データ制御 AEGSR の ECPWME ビットが 1 のとき、イベントカウンタ PWM は動作中ですので ECPWDR を書き換えしないでください。 変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。 リードすると不定値が読み出されます。
14	ECPWDR14	0	W	
13	ECPWDR13	0	W	
12	ECPWDR12	0	W	
11	ECPWDR11	0	W	
10	ECPWDR10	0	W	
9	ECPWDR9	0	W	
8	ECPWDR8	0	W	
7	ECPWDR7	0	W	
6	ECPWDR6	0	W	
5	ECPWDR5	0	W	
4	ECPWDR4	0	W	
3	ECPWDR3	0	W	
2	ECPWDR2	0	W	
1	ECPWDR1	0	W	
0	ECPWDR0	0	W	

### 15.3.3 入力端子エッジセレクトレジスタ (AEGSR)

AEGSR は AEVH 端子、AEVL 端子、IRQAEC 端子の立ち上がり、立ち下がり、両エッジセンスの検出の選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	AHEGS1	0	R/W	AEC エッジ選択 H
6	AHEGS0	0	R/W	AEVH 端子のエッジ検出を選択します。 00 : AEVH 端子の立ち下がりエッジを検出 01 : AEVH 端子の立ち上がりエッジを検出 10 : AEVH 端子の両エッジを検出 11 : 設定禁止
5	ALEGS1	0	R/W	AEC エッジ選択 L
4	ALEGS0	0	R/W	AEVL 端子のエッジ検出を選択します。 00 : AEVL 端子の立ち下がりエッジを検出 01 : AEVL 端子の立ち上がりエッジを検出 10 : AEVL 端子の両エッジを検出 11 : 設定禁止

## 15. 非同期イベントカウンタ (AEC)

ビット	ビット名	初期値	R/W	説明
3	AIEGS1	0	R/W	IRQAEC エッジ選択 IRQAEC 端子のエッジ検出を選択します。 00 : IRQAEC 端子の立ち下がりエッジを検出 01 : IRQAEC 端子の立ち上がりエッジを検出 10 : IRQAEC 端子の両エッジを検出 11 : 設定禁止
2	AIEGS0	0	R/W	
1	ECPWME	0	R/W	イベントカウンタ PWM イネーブル イベントカウンタ PWM の動作および、IRQAEC 選択の制御をします。 0 : AEC 用 PWM 動作の停止および IRQAEC を選択する 1 : AEC 用 PWM 動作の許可および IRQAEC を選択しない
0	-	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

### 15.3.4 イベントカウンタコントロールレジスタ (ECCR)

ECCR はカウンタの入カクロック、IRQAEC/IECPWM の制御をします。

ビット	ビット名	初期値	R/W	説明
7	ACKH1	0	R/W	AEC クロック選択 H ECH 側で使用するクロックの選択をします。 00 : AEVH 端子入力 01 : /2 10 : /4 11 : /8
6	ACKH0	0	R/W	
5	ACKL1	0	R/W	AEC クロック選択 L ECL 側で使用するクロックの選択をします。 00 : AEVL 端子入力 01 : /2 10 : /4 11 : /8
4	ACKL0	0	R/W	
3	PWCK2	0	R/W	イベントカウンタ用 PWM のクロック選択 イベントカウンタ用 PWM のクロックの選択をします。 000 : /2 001 : /4 010 : /8 011 : /16 1x0 : /32 1x1 : /64  イベントカウンタ用 PWM のクロックを変更する際には、必ず AEGSR の ECPWME を 0 にして PWM を停止させて書き換えてください。
2	PWCK1	0	R/W	
1	PWCK0	0	R/W	
0	-	0	R/W	
0	-	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

【注】 x : Don't care

## 15. 非同期イベントカウンタ (AEC)

### 15.3.5 イベントカウンタコントロール/ステータスレジスタ (ECCSR)

ECCSR はカウンタのオーバフローの検出、カウンタのリセット、カウントアップ機能の制御を行います。

ビット	ビット名	初期値	R/W	説 明
7	OVH	0	R/(W)*	カウンタオーバフローH ECH がオーバフローしたことを示すステータスフラグです。 [ セット条件 ] ECH の値が H'FF H'00 になったとき [ クリア条件 ] 1 をリードした後、0 をライトしたとき
6	OVL	0	R/(W)*	カウンタオーバフローL ECL がオーバフローしたことを示すステータスフラグです。 [ セット条件 ] CH2 が 1 の状態で ECL の値が H'FF H'00 になったとき [ クリア条件 ] 1 をリードした後、0 をライトしたとき
5	-	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。
4	CH2	0	R/W	チャンネル選択 ECH、ECL イベントカウンタの使用方法を選択します。 0 : ECH、ECL を 1 チャンネルの 16 ビットイベントカウンタとして使用 1 : ECH、ECL を 2 チャンネルの 8 ビットイベントカウンタとして使用
3	CUEH	0	R/W	カウントアップイネーブルH ECH に入力されるイベントクロックの入力を禁止/許可します。 0 : ECH のイベントクロック入力を禁止 (ECH の値保持) 1 : ECH のイベントクロック入力を許可
2	CUEL	0	R/W	カウントアップイネーブルL ECL に入力されるイベントクロックの入力を禁止/許可します。 0 : ECL のイベントクロック入力を禁止 (ECL の値保持) 1 : ECL のイベントクロック入力を許可
1	CRCH	0	R/W	カウンタリセット制御H ECH のリセットを制御します。 0 : ECH をリセット 1 : ECH のリセットを解除しカウントアップ機能を許可
0	CRCL	0	R/W	カウンタリセット制御L ECL のリセットを制御します。 0 : ECL をリセット 1 : ECL のリセットを解除しカウントアップ機能を許可

【注】 \* フラグクリアのための 0 ライトのみ可能です。

### 15.3.6 イベントカウンタ H (ECH)

ECH は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECL と組み合わせることで 16 ビットのイベントカウンタ上位 8 ビットのアップカウンタとして動作し、ワードアクセスすると 16 ビットのイベントカウンタ上位 8 ビット、下位 8 ビットを 1 バスサイクルでリードできます。

ビット	ビット名	初期値	R/W	説明
7	ECH7	0	R	入力クロックは外部非同期イベント AEVH 端子、/2、/4、/8 または下位 8 ビットカウンタ ECL からのオーバフロー信号のいずれかを選択可能です。ECH は ECCSR の CRCH ビットで H'00 にクリア可能です。
6	ECH6	0	R	
5	ECH5	0	R	
4	ECH4	0	R	
3	ECH3	0	R	
2	ECH2	0	R	
1	ECH1	0	R	
0	ECH0	0	R	

### 15.3.7 イベントカウンタ L (ECL)

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECH と組み合わせることで 16 ビットのイベントカウンタ下位 8 ビットのアップカウンタとして動作し、ワードアクセスすると 16 ビットのイベントカウンタ上位 8 ビット、下位 8 ビットを 1 バスサイクルでリードできます。

ビット	ビット名	初期値	R/W	説明
7	ECL7	0	R	入力クロックは外部非同期イベント AEVL 端子、/2、/4、/8 を使用します。ECL は ECCSR の CRCL ビットで H'00 にクリア可能です。
6	ECL6	0	R	
5	ECL5	0	R	
4	ECL4	0	R	
3	ECL3	0	R	
2	ECL2	0	R	
1	ECL1	0	R	
0	ECL0	0	R	

## 15.4 動作説明

### 15.4.1 16 ビットカウンタの動作

ECCSR の CH2 を 0 にクリアすると、ECH、ECL は 16 ビットのカウンタとして動作します。

このときの入力クロックソースは ECCR の ACKL1 ~ 0 によって /2、 /4、 /8、および AEVL 端子入力の 4 種類から選択できます。AEVL 端子入力を選択した場合、ALEGS1 ~ 0 によって入力センスを選択します。ただし、入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。16 ビットカウンタとして使用する場合のソフトウェア手順を図 15.2 に示します。



図 15.2 16 ビットカウンタとして使用する場合のソフトウェア手順

リセット時、CH2 は 0 にクリアされるため、リセット後は ECH、ECL は 16 ビットカウンタとして動作し、ACKL1 ~ 0 は B'00 にクリアされるため、動作クロックは AEVL 端子からの非同期イベント入力になります。また、AEVL 端子の入力は立ち下がりエッジ検出になります。

ECH、ECL のカウント値がともに H'FF になった後に、クロックが入力されると ECH、ECL はオーバフロー (H'FFFF ~ H'0000) し、ECCSR の OVH フラグが 1 にセットされ、ECH、ECL のカウント値は各々 H'00 に戻り、カウントアップを再開します。オーバフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。



### 15.4.2 8ビットカウンタの動作

ECCSR の CH2 を 1 にセットすると、ECH、ECL は独立した 8 ビットのカウンタとして動作します。

このときの入力クロックソースは、ECH は ECCR の ACKH1 ~ 0 によって /2、 /4、 /8、AEVH 端子入力の 4 種類から選択でき、ECL は ECCR の ACKL1 ~ 0 によって /2、 /4、 /8、AEVL 端子入力の 4 種類から選択できます。AEVH 端子入力を選択した場合、AHEGS1 ~ 0 によって入力センスを選択し、AEVL 端子入力を選択した場合、ALEGS1 ~ 0 によって入力センスを選択します。ただし、入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。8 ビットカウンタとして使用する場合のソフトウェア手順を図 15.3 に示します。



図 15.3 8 ビットカウンタとして使用する場合のソフトウェア手順

ECH のカウント値が H'FF になった後にクロックが入力されると、ECH はオーバーフローし ECCSR の OVH フラグが 1 にセットされ、ECH のカウント値は H'00 に戻り、カウントアップを再開します。また、ECL のカウント値が H'FF になった後にクロックが入力されると、ECL はオーバーフローし ECCSR の OVL フラグが 1 にセットされ、ECL のカウント値は H'00 に戻り、カウントアップを再開します。オーバーフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

## 15. 非同期イベントカウンタ (AEC)

### 15.4.3 IRQAEC の動作

AEGSR の ECPWME が 0 のとき、ECH、ECL の入力クロックが有効になるのは IRQAEC が High レベルのときです。IRQAEC が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、IRQAEC を制御することにより ECH、ECL のカウント動作を外部から制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IRQAEC は割り込み要因としても動作可能です。

割り込み許可は IENR1 の IENEC2 によって制御します。IRQAEC の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IRQAEC 入力端子の入力センスは AEGSR の AIAGS1 ~ 0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

### 15.4.4 イベントカウンタ PWM の動作

AEGSR の ECPWME が 1 のとき、ECH、ECL の入力クロックが有効になるのはイベントカウンタ PWM の出力 (IECPWM) が High レベルのときです。IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、イベントカウンタ PWM を制御することにより ECH、ECL のカウント動作を周期的に制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IECPWM は割り込み要因としても動作可能です。

割り込み許可は IENR1 の IENEC2 によって制御します。IECPWM の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IECPWM 割り込みセンスは AEGSR の AIAGS1 ~ 0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

図 15.4、表 15.2 にイベントカウンタ PWM の動作例を示します。

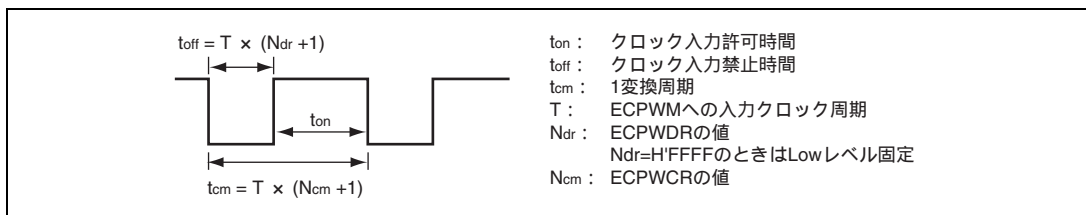


図 15.4 イベントカウンタ動作波形

【注】 上記  $N_{dr}$  と  $N_{cm}$  は必ず  $N_{dr} < N_{cm}$  の関係で設定してください。

それ以外の設定のときは、イベントカウンタ PWM の出力は Low レベル固定になります。

表 15.2 イベントカウンタ PWM 動作例

例) fosc 4MHz、f 4MHz、高速アクティブモード、ECPWCR の値 (Ncm) = H'7A11、ECPWDR の値 (Ndr) = H'16E3 の例

クロック ソース選択	クロックソース 周期 (T)*	ECPWCR の値 (Ncm)	ECPWDR の値 (Ndr)	toff = T × (Ndr+1)	tcm = T × (Ncm+1)	ton = tcm-toff
/2	0.5μs	H'7A11 D'31249	H'16E3 D'5859	2.93ms	15.625ms	12.695ms
/4	1μs			5.86ms	31.25ms	25.39ms
/8	2μs			11.72ms	62.5ms	50.78ms
/16	4μs			23.44ms	125.0ms	101.56ms
/32	8μs			46.88ms	250.0ms	203.12ms
/64	16μs			93.76ms	500.0ms	406.24ms

【注】 \* toff の最小幅

### 15.4.5 クロック入力許可 / 禁止機能の動作

イベントカウンタへ入力されるクロックは AEGSR の ECPWME が 0 のときは、IRQAEC 端子、AEGSR の ECPWME が 1 のときは、イベントカウンタ PWM の出力 IECPWM によって制御できます。この機能は各信号によって入力されるクロックを強制的に停止させるため、IRQAEC のタイミングまたは IECPWM のタイミングによって最大 1 カウント分の誤差が生じます。図 15.5 にその動作例を示します。

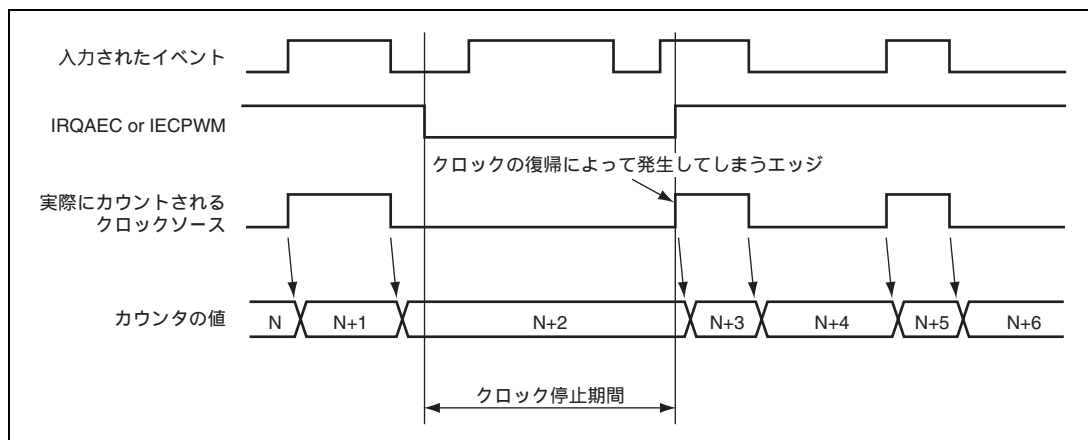


図 15.5 クロック制御動作例

## 15. 非同期イベントカウンタ (AEC)

### 15.5 非同期イベントカウンタの動作モード

非同期イベントカウンタの動作モードを表 15.3 に示します。

表 15.3 非同期イベントカウンタの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AECSR	リセット	動作	動作	保持*1	動作	動作	保持*1	保持
ECCR	リセット	動作	動作	保持*1	動作	動作	保持*1	保持
ECCSR	リセット	動作	動作	保持*1	動作	動作	保持*1	保持
ECH	リセット	動作	動作	動作*1*2	動作*2	動作*2	動作*1*2	停止
ECL	リセット	動作	動作	動作*1*2	動作*2	動作*2	動作*1*2	停止
IRQAEC	リセット	動作	動作	保持*3	動作	動作	保持*3	保持*4
イベント カウンタ PWM	リセット	動作	動作	保持	保持	保持	保持	保持

【注】 \*1 非同期外部イベントが入力されるとカウンタはカウントアップします。また、オーバフロー発生時に割り込みを要求します。

\*2 非同期外部イベントを選択した場合に動作、その他は停止して保持。

\*3 IRQAEC によるクロック制御は動作しますが、割り込みは動作しません。

\*4 モジュールスタンバイモードではクロックを停止しているため IRQAEC の影響は受けません。

## 15.6 使用上の注意事項

1. ECH、ECLの値をリードする場合には、リードする前に8ビットモードではECCSRのCUEH、CUELを0に、16ビットモードではCUELを0にクリアして非同期イベント入力をカウンタに入力しないようにしてください。リードしている際にイベントカウンタがカウントアップすると正しい値がリードできません。
2. AEVH、AEVL端子に入力するクロックの周波数は、1.8～3.6V範囲で最大4.2MHzまで、2.7～3.6V範囲で最大10MHzとしてください。またクロックのHigh幅、Low幅は「第25章 電気的特性」を参照してください。デューティ比はいくつでもかまいません。

表 15.4 に最大クロック周波数を示します。

表 15.4 最大クロック周波数

モード	AEVL、AEVH 端子に入力する最大クロック周波数
アクティブ (高速)、スリープ (高速)	10MHz
アクティブ (中速)、スリープ (中速)	2・fosc
( osc/8 )	fosc
( osc/16 )	1/2・fosc
( osc/32 )	1/4・fosc
fosc=2MHz～4MHz	( osc/64 )
ウォッチ、サブアクティブ、サブスリープ、スタンバイ	( w/2 )
( w/4 )	1000kHz
( w/8 )	500kHz
w=32.768kHz または 38.4kHz	250kHz

3. 16ビットモードで使用する際、ECCSRの設定はCUEHを1にセットしてからCRCHを1にセットするか、CUEHとCRCHを同時にセットしてからクロックを入力してください。その後16ビットモードで使用するときはCUEHの値を変更しないでください。16ビットモード設定中にCUEHを変化させると、ECHが誤ってカウントアップすることがあります。
4. AEGSRのECPWMEが1のとき、イベントカウンタPWMは動作中ですのでECPWCR、ECPWDRを書き換えな  
いでください。  
データを変更する際は必ずAEGSRのECPWMEを0にして(イベントカウンタPWMを停止させて)から書き換  
えてください。
5. イベントカウンタPWMデータレジスタとイベントカウンタPWMコンペアレジスタは必ずイベントカウン  
タPWMデータレジスタ < イベントカウンタPWMコンペアレジスタの関係で設定してください。  
それ以外の設定のときにAEGSRのECPWMEを1にセットしないでください。
6. IRQAECは内部で同期をとって割り込みを発生しているためクロックの停止と割り込み受け付けまでは最大  
1tcycの誤差が生じます。

## 15. 非同期イベントカウンタ (AEC)

---

---

## 16. ウォッチドッグタイマ

---

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバーフローすると、本 LSI 内部をリセットします。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

### 16.1 特長

WDT の特長を以下に示します。

- 11種類のカウンタ入力クロックを選択可能

タイマのカウントクロックとして10種類の内部クロック ( /64、 /128、 /256、 /512、 /1024、 /2048、 /4096、 /8192、 w/16、 w/256 ) またはウォッチドッグタイマ用内蔵発振器を選択可能です。

- ウォッチドッグタイマモード

カウンタがオーバーフローすると、本LSI内部をリセットします。

- インターバルタイマモード

カウンタがオーバーフローすると、インターバルタイマ割り込みを発生

- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

(初期値ではWDTは動作状態。詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

## 16. ウォッチドッグタイマ

図 16.1 に WDT のブロック図を示します。

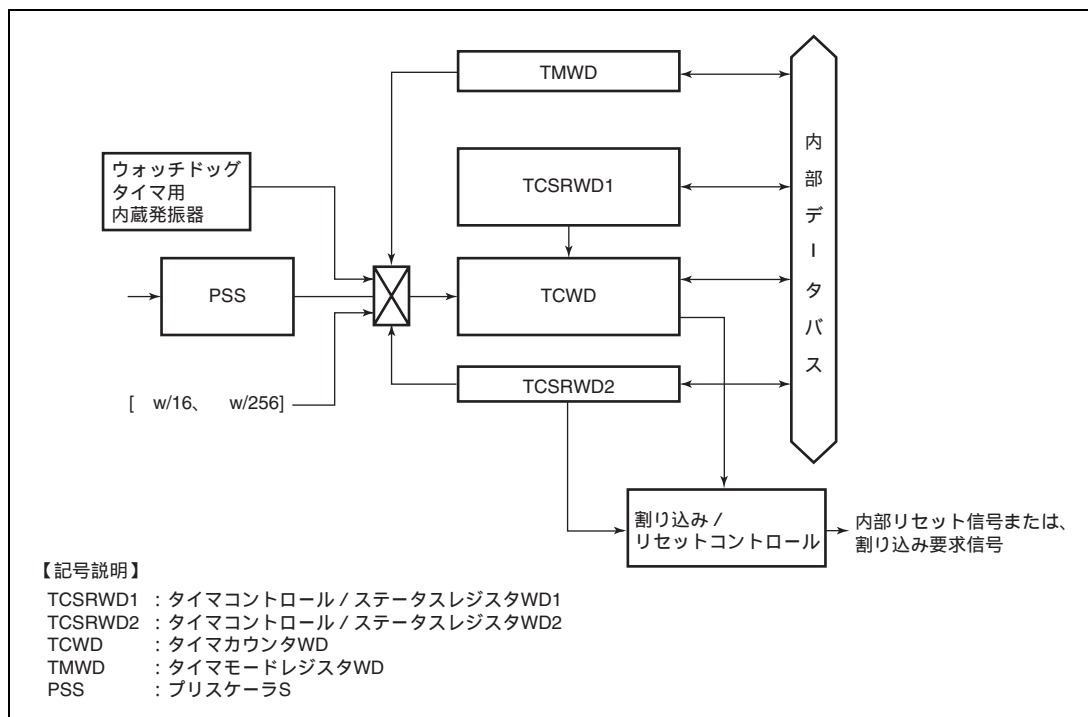


図 16.1 ウォッチドッグタイマのブロック図

## 16.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタWD1 (TCSRWD1)
- タイマコントロール/ステータスレジスタWD2 (TCSRWD2)
- タイマカウンタWD (TCWD)
- タイマモードレジスタWD (TMWD)



### 16.2.1 タイマコントロール/ステータスレジスタ WD1 (TCSRWD1)

TCSRWD1 は TCSRWD1 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ W 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタ W 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	1	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。 [クリア条件] • TCSRWE = 1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE = 1 の状態で B2WI に 0、WDON に 1 をライトしたとき
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット WDT によるリセットが発生したかを示します。WDT によるリセットではクリアされません。 [クリア条件] • $\overline{\text{RES}}$ 端子によるリセット • TCSRWE = 1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] • TCWD がオーバフローし、内部リセット信号が発生したとき

## 16. ウォッチドッグタイマ

### 16.2.2 タイマコントロール/ステータスレジスタ WD2 (TCSRWD2)

TCSRWD2 は、TCSRWD2 自身の書き込み制御とモード切り替えおよび割り込み制御を行うレジスタです。本レジスタの切り替えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	オーバフローフラグ TCWD がオーバフロー (H'FF ~ H'00) したことを示します。 [セット条件] TCWD がオーバフロー (H'FF ~ H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 [クリア条件] • OVF = 1 の状態で、TCSRWD2 リード後、OVF に 0 をライトしたとき
6	B5WI	1	R/(W)* <sup>2</sup>	ビット 5 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 5 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
5	WT/IT	0	R/(W)* <sup>3</sup>	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。 0: ウォッチドッグタイマモード 1: インターバルタイマモード
4	B3WI	1	R/(W)* <sup>2</sup>	ビット 3 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 3 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
3	IEOVF	0	R/(W)* <sup>3</sup>	オーバフロー割り込みイネーブル インターバルタイマモードで、オーバフローの割り込み要求の許可 / 禁止をします。 0: オーバフローによる割り込みを禁止 1: オーバフローによる割り込みを許可
2~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 他のビットのデータ書き込み制御のため、ライト操作が必要です。リードすると常に 1 が読み出されます。

\*3 書き込み条件が成立している場合のみ、書き込みが可能です。

### 16.2.3 タイマカウンタ WD (TCWD)

TCWD は 8 ビットのリード / ライト可能なアップカウンタです。TCWD が H'FF から H'00 にオーバフローすると内部リセット信号が発生し、TCSRWD1 の WRST が 1 にセットされます。TCWD の初期値は H'00 です。

## 16.2.4 タイマモードレジスタ WD (TMWD)

TMWD は入力クロックの選択を行います。

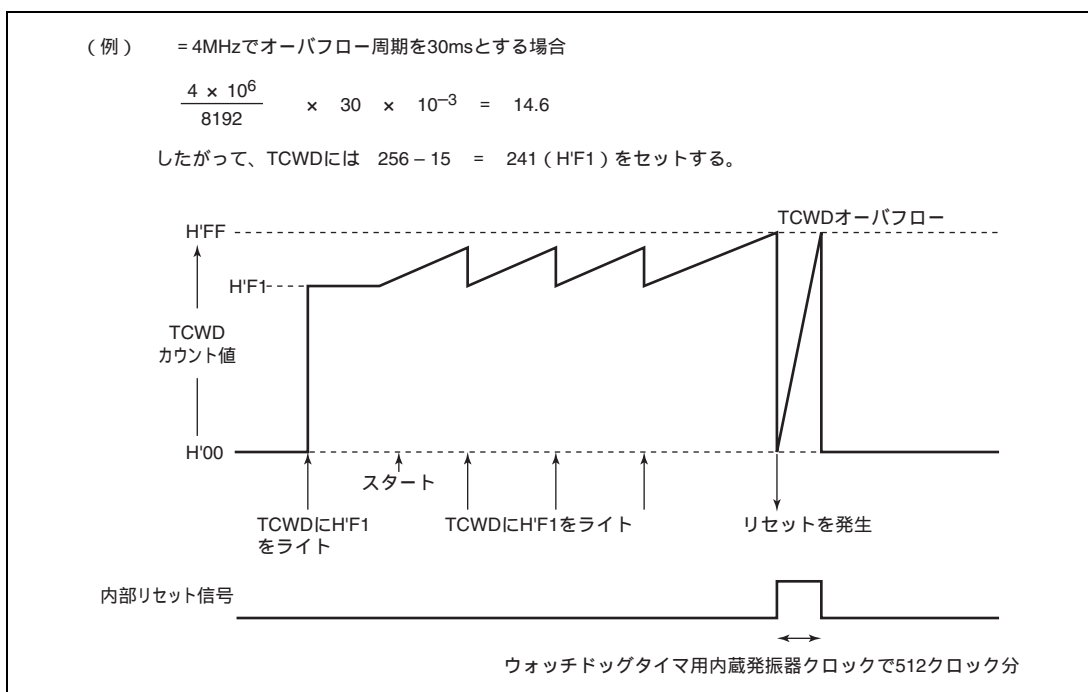
ビット	ビット名	初期値	R/W	説明
7~4	-	すべて1	-	リザーブビット 読み出すと常に1が読み出されます。
3	CKS3	0	R/W	クロックセレクト3~0
2	CKS2	0	R/W	TCWD に入力するクロックを選択します。
1	CKS1	0	R/W	00xx : ウォッチドッグタイマ用内蔵発振器
0	CKS0	0	R/W	0100 : 内部クロック : w/16 をカウント 0101 : 内部クロック : w/256 をカウント 011x : リザーブ 1000 : 内部クロック : /64 をカウント 1001 : 内部クロック : /128 をカウント 1010 : 内部クロック : /256 をカウント 1011 : 内部クロック : /512 をカウント 1100 : 内部クロック : /1024 をカウント 1101 : 内部クロック : /2048 をカウント 1110 : 内部クロック : /4096 をカウント 1111 : 内部クロック : /8192 をカウント  ウォッチドッグタイマ用内蔵発振器によるオーバフロー周期については「第 25 章 電気的特性」を参照してください。  アクティブ(中速)モード、スリープ(中速)モード、サブアクティブモード、サブスリープモードでは、設定値 00xx かつインターバルタイマモード設定は使用できません。  サブアクティブモード、サブスリープモードのサブクロック周波数が w/8 では、設定値 010x かつインターバルタイマモード設定は使用できません。

【注】x : Don't care

## 16.3 動作説明

### 16.3.1 ウォッチドッグタイマ時の動作

ウォッチドッグタイマは、8ビットのアップカウンタを備えています。ウォッチドッグタイマとして使用する場合は TCSRWD2 の WT/IT ビットを 0 にクリアします (WT/IT ビットをライトするためには、2 回ライトアクセスが必要となります)。TCSRWD1 の TCSRWE = 1 の状態で B2W1 に 0、WDON に 1 を同時にライトすると、TCWD はカウントアップを開始します (ウォッチドッグタイマを動作させるためには、TCSRWD1 へ 2 回ライトアクセスが必要となります)。TCWD のカウント値が H'FF からオーバーフローすると内部リセット信号を発生します。内部リセット信号はウォッチドッグタイマ用内蔵発振器クロックで 512 クロック分の時間出力されます。TCWD はライト可能なカウンタですので、TCWD に値を設定すると、その値からカウントアップを行います。したがって、TCWD の設定値により、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定できます。ウォッチドッグタイマ動作例を図 16.2 に示します。



### 16.3.2 インターバルタイマ時の動作

図 16.3 にインターバルタイマ時の動作を示します。インターバルタイマとして使用するには、TCSRWD2 の  $WT/\overline{IT}$  ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCWD がオーバーフローするごとに、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

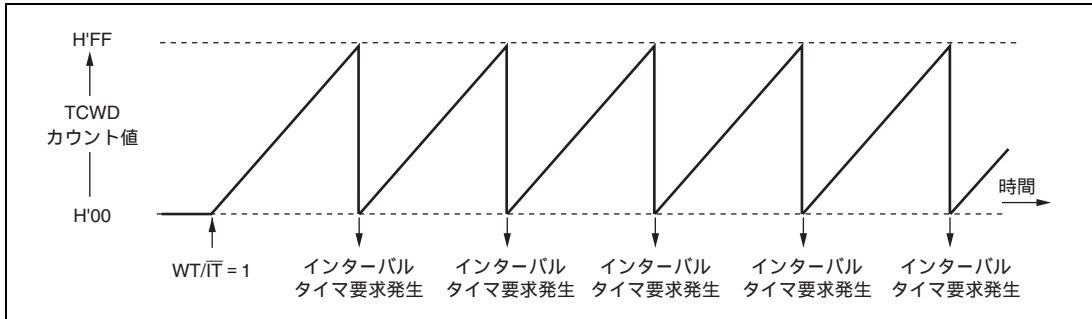


図 16.3 ウォッチドッグタイマモード時の動作

### 16.3.3 オーバフローフラグ (OVF) セットタイミング

図 16.4 に OVF フラグのセットタイミングを示します。TCSRWD2 の OVF フラグは、TCWD がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

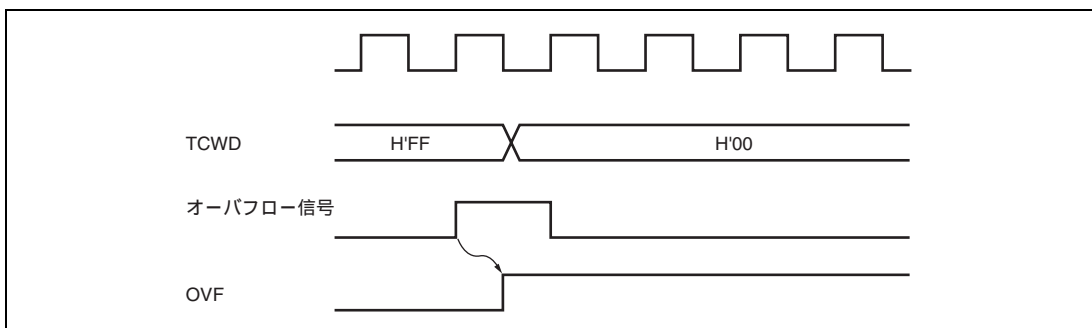


図 16.4 OVF フラグのセットタイミング

### 16.4 割り込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割り込みを発生します。インターバルタイマ割り込みは TCSRWD2 の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF フラグを 0 にクリアしてください。

### 16.5 使用上の注意事項

#### 16.5.1 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (WDON ビットを 0 にクリアしてから) 行ってください。

#### 16.5.2 モジュールスタンバイモード制御

CKSTPR2 の WDCKSTP は、タイマコントロール/ステータスレジスタ WD1 (TCSRWD1) の WDON が 0 のときに有効になります。WDON が 1 (ウォッチドッグタイマ動作中) のとき WDCKSTP を 0 に設定すると WDCKSTP は 0 に設定されますが、ウォッチドッグタイマは、モジュールスタンバイには入らずウォッチドッグタイマの機能を継続します。ウォッチドッグタイマの機能が終了し、ソフトウェアで WDON を 0 に設定すると、WDCKSTP が有効になり、ウォッチドッグタイマは、モジュールスタンバイモードに入ります。

#### 16.5.3 ウォッチドッグタイマ用内蔵発振器選択時のタイマカウンタ WD (TCWD) のライトについて

ウォッチドッグタイマ用内蔵発振器をタイマのカウントクロックとして選択した状態にて、タイマカウンタ WD (TCWD) をライトした場合、TCWD のリード値がライトした値に更新されるまで、最大で「ウォッチドッグタイマ用内蔵発振器オーバーフロー時間/256」の時間を要することがあります。ライトしてからリード値が更新されるまでの間にウォッチドッグタイマがオーバーフローすることはありません。

---

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

---

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。また、調歩同期方式では複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を 3 チャンネル (SCI3\_1、SCI3\_2、および SCI3\_3) 備えています。SCI3 のチャンネル構成を表 17.1 に示します。

SCI3\_1 は、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

### 17.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータまたは内部クロックまたは外部クロックを選択可能
- 6種類の割り込み要因  
送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能 (詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

#### 調歩同期式モード

- データ長：7ビット/8ビット/5ビット選択可能
- ストップビット長：1ビット/2ビット選択可能
- パリティ：偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時にRXD31端子、RXD32端子、RXD33端子のレベルを直接読み出すことでブレークを検出可能

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバーランエラー

【注】 本機能を実行する際は、システムクロック用内蔵発振器を使用しないでください。

表 17.1 SCI3 のチャンネル構成

チャンネル	略称	端子*1	レジスタ*2	レジスタアドレス
チャンネル 1	SCI3_1	SCK31 RXD31 TXD31	SMR3_1	H'FFFF98
			BRR3_1	H'FFFF99
			SCR3_1	H'FFFF9A
			TDR3_1	H'FFFF9B
			SSR3_1	H'FFFF9C
			RDR3_1	H'FFFF9D
			RSR3_1	-
			TSR3_1	-
			SEMR	H'FFFA6
			IrCR	H'FFFA7
チャンネル 2	SCI3_2	SCK32 RXD32 TXD32	SMR3_2	H'FFFA8
			BRR3_2	H'FFFA9
			SCR3_2	H'FFFAA
			TDR3_2	H'FFFAAB
			SSR3_2	H'FFFAAC
			RDR3_2	H'FFFAAD
			RSR3_2	-
			TSR3_2	-
チャンネル 3	SCI3_3	SCK33 RXD33 TXD33	SMR3_3	H'FFF088
			BRR3_3	H'FFF089
			SCR3_3	H'FFF08A
			TDR3_3	H'FFF08B
			SSR3_3	H'FFF08C
			RDR3_3	H'FFF08D
			RSR3_3	-
			TSR3_3	-

【注】 \*1 本文中ではチャンネルを省略し、それぞれ SCK3、RXD3、TXD3 と略称します。

\*2 本文中ではレジスタおよびビットのチャンネル表記を省略します。



## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

SCI3\_1のブロック図を図 17.1 (1) に、SCI3\_2のブロック図を図 17.1 (2) に、およびSCI3\_3のブロック図を図 17.1 (3) に示します。

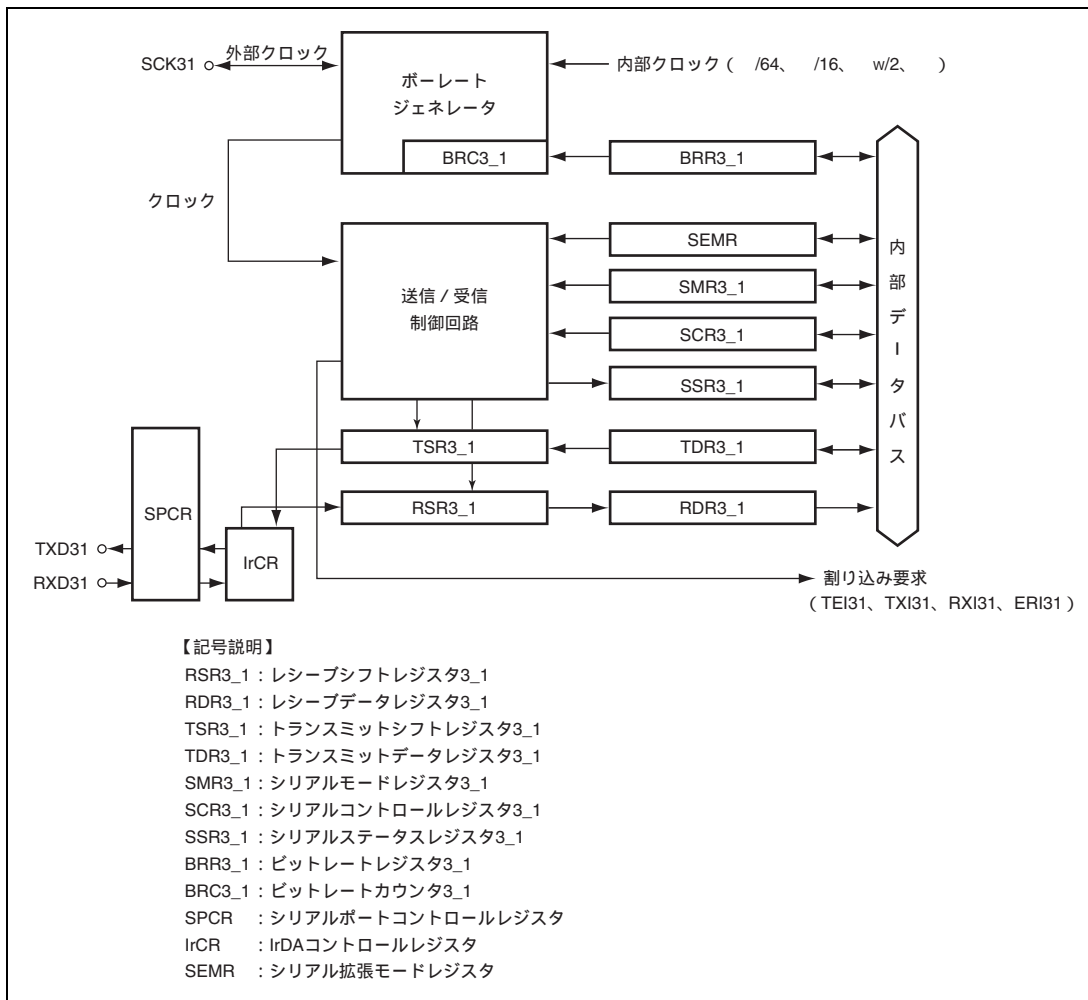


図 17.1 (1) SCI3\_1 のブロック図

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

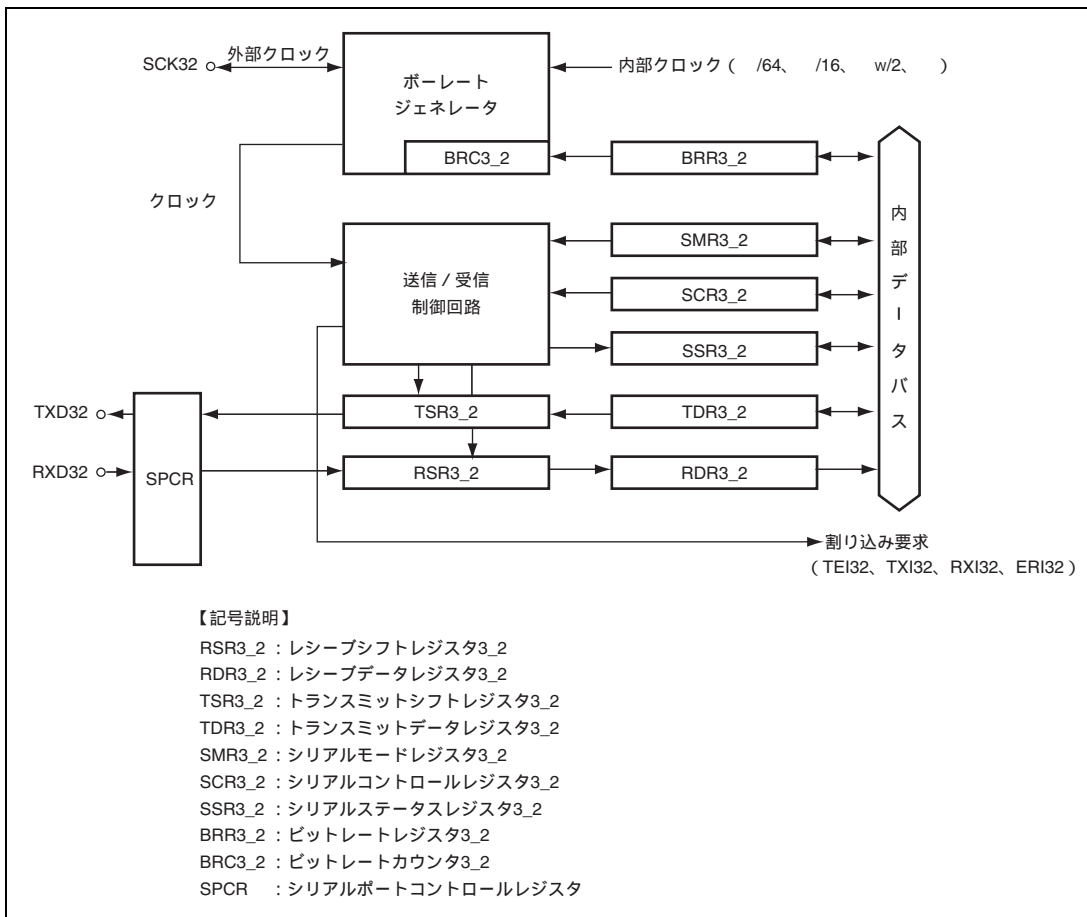


図 17.1 (2) SCI3\_2 のブロック図

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

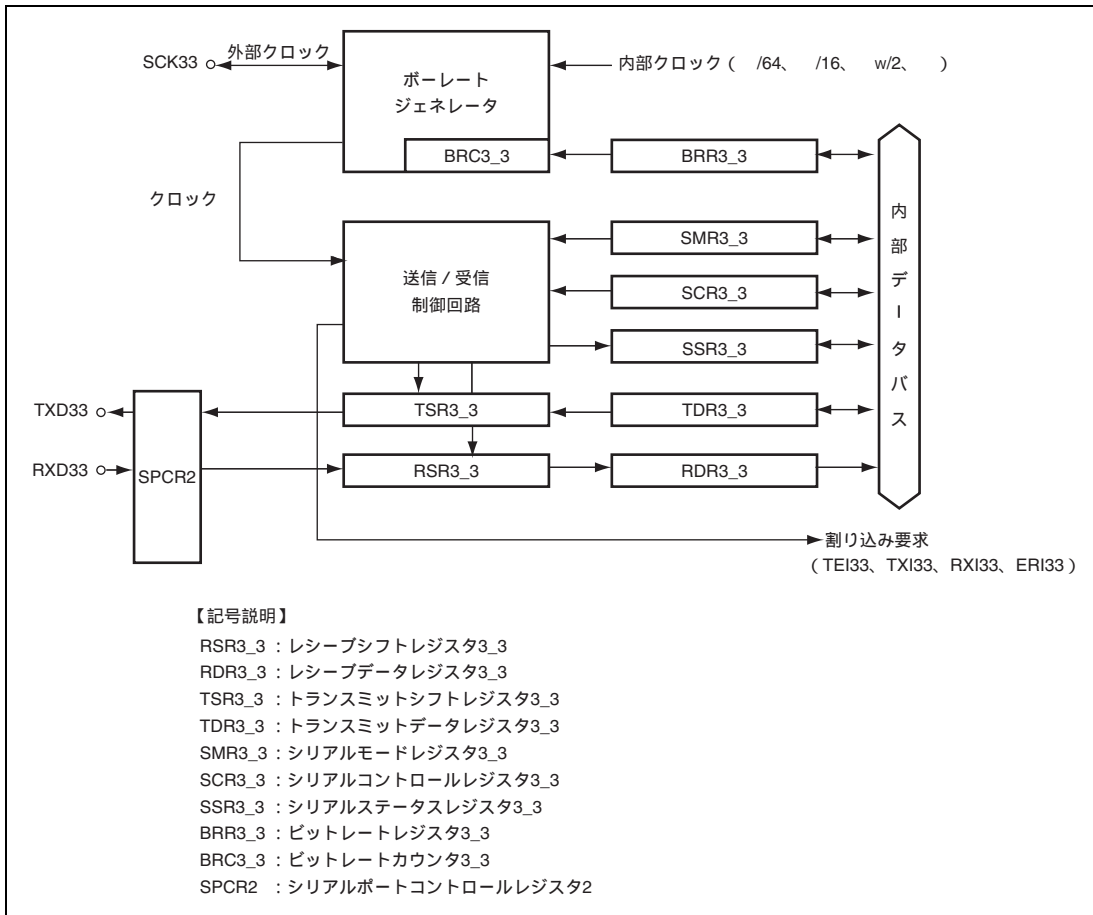


図 17.1 (3) SCI3\_3 のブロック図

## 17.2 入出力端子

SCI3 の端子構成を表 17.2 に示します。

表 17.2 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK31、SCK32、SCK33	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD31、RXD32、RXD33	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD31、TXD32、TXD33	出力	SCI3 の送信データ出力端子

### 17.3 レジスタの説明

SCI3 にはチャンネルごとに以下のレジスタがあります。

- レシーブシフトレジスタ3 (RSR3) \*
- レシーブデータレジスタ3 (RDR3) \*
- トランスミットシフトレジスタ3 (TSR3) \*
- トランスミットデータレジスタ3 (TDR3) \*
- シリアルモードレジスタ3 (SMR3) \*
- シリアルコントロールレジスタ3 (SCR3) \*
- シリアルステータスレジスタ3 (SSR3) \*
- ビットレートレジスタ3 (BRR3) \*
- シリアルポートコントロールレジスタ (SPCR)
- シリアルポートコントロールレジスタ2 (SPCR2)
- IrDAコントロールレジスタ (IrCA)
- シリアル拡張モードレジスタ (SEMR)

【注】 \* 本文中ではそれぞれのレジスタ名称を以下 RSR、RDR、TSR、TDR、SMR、SCR、SSR、BRR と略します。

#### 17.3.1 レシーブシフトレジスタ (RSR)

RSR は RXD3 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU からは直接アクセスすることはできません。

#### 17.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

RDR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されません。

#### 17.3.3 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD3 端子に送出することでシリアルデータ送信を行います。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。CPU からは直接アクセスすることはできません。

### 17.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実にを行うため、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR の初期値は H'FF です。

TDR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されません。

### 17.3.5 シリアルモードレジスタ (SMR)

SMR はシリアルデータ通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SMR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されません。

ビット	ビット名	初期値	R/W	説明
7	COM	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビット / 5 ビットのフォーマットで送受信します。 1: データ長 7 ビット / 5 ビットのフォーマットで送受信します。 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。 5 ビットデータを選択する場合は PE = 1、MP = 1 に設定してください。 また、TDR の MSB (ビット 7、ビット 6、ビット 5) は送信されません。 なお、クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに固定となります。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 なお、クロック同期式モードでは PE の設定にかかわらずパリティビットの付加およびチェックは行いません。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

ビット	ビット名	初期値	R/W	説 明
4	PM	0	R/W	<p>パリティモード (調歩同期式モードで PE = 1 のときのみ有効)</p> <p>0 : 偶数パリティで送受信します。</p> <p>1 : 奇数パリティで送受信します。</p> <p>偶数パリティに設定すると、送信時にはパリティビットと送信データを含ませて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを含ませて、その中の 1 の数の合計が偶数になるかどうかをチェックします。</p> <p>奇数パリティに設定すると、送信時にはパリティビットと送信データを含ませて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを含ませて、その中の 1 の数の合計が奇数になるかどうかをチェックします。</p> <p>なお、クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には PM は無効です。</p>
3	STOP	0	R/W	<p>ストップビットレングス (調歩同期式モードのみ有効)</p> <p>送信時のストップビットの長さを選択します。</p> <p>0 : 1 ストップビット</p> <p>1 : 2 ストップビット</p> <p>受信時はこのビットの設定値にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。</p>
2	MP	0	R/W	<p>マルチプロセッサモード</p> <p>このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。PE、PM ビットの設定値は無効になります。</p> <p>クロック同期式モードではこのビットは 0 に設定してください。</p>
1	CKS1	0	R/W	<p>クロックセレクト 1、0</p> <p>内蔵ボーレートジェネレータのクロックソースを選択します。</p> <p>00 : クロック (n=0)</p> <p>01 : w/2 クロック (n=0)</p> <p>10 : /16 クロック (n=2)</p> <p>11 : /64 クロック (n=3)</p> <p>w/2 を選択した場合、サブアクティブモード、サブスリープモード時では CPU 動作クロックが w/2 のときのみ SCI3 が使用可能になります。</p> <p>このビットの設定値とボーレートの関係については、「17.3.8 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「17.3.8 ビットレートレジスタ (BRR)」中の n の値を表します。</p>
0	CKS0	0	R/W	

## 17.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信動作と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「17.8 割り込み要求」を参照してください。

SCR はリセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されません。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI3 割り込み要求がイネーブルになります。TXI3 は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI3 および ERI3 割り込み要求がイネーブルになります。RXI3 および ERI3 は、RDRF または、FER、PER、OER のエラーフラグを 0 にクリアするか、RIE を 0 にクリアすることで解除できます。
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。 TE が 0 の状態では、SSR の TDRE は 1 に固定されます。TE が 1 の状態で、TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデータ送信を開始します。 なお、TE を 1 にセットする前に必ず SMR の設定と SPCR または SPCR2 の SPC3 の設定を行い、送信フォーマットを決定してください。
4	RE	0	R/W	レシーブイネーブル このビットが 1 のとき受信動作が可能になります。 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。 なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。RE を 0 にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「17.6 マルチプロセッサ通信機能」を参照してください。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

ビット	ビット名	初期値	R/W	説 明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI3 割り込み要求がイネーブルになります。 TEI3 は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 クロックソースを選択します。 調歩同期式の場合 00：内部ポーレートジェネレータ (SCK3 端子は入出力ポート機能となります) 01：内部ポーレートジェネレータ (SCK3 端子からビットレートと同じ周波数のクロックを出力します) 10：外部クロック (SCK3 端子からビットレートの 16 倍の周波数のクロックを入力してください。) 11：リザーブ クロック同期式の場合 00：内部クロック (SCK3 端子機能はクロック出力端子となります。) 01：リザーブ 10：外部クロック (SCK3 端子機能はクロック入力端子となります。) 11：リザーブ



## 17.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、OER、PER、FER はクリアのみ可能です。

SSR はリセット、スタンバイモード、モジュールスタンバイモード、ウォッチモード時に H'84 に初期化されません。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>TDR から TSR にデータが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>TDR へ送信データをライトしたとき</li> </ul>
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>RDR のデータをリードしたとき</li> </ul> <p>受信時にエラーを検出したとき、および SCR の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバランエラー (OER) を発生し、受信データが失われますので注意してください。</p>
5	OER	0	R/(W)*	<p>オーバランエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信中にオーバランエラーが発生したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul> <p>SCR の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。オーバランエラーが発生すると RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。</p> <p>なお、OER が 1 にセットされた状態では、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。</p>

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信中にフレーミングエラーが発生したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> </ul> <p>SCRのREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。</p> <p>なお、フレーミングエラーが発生したときの受信データはRDRに転送されませんが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが1にセットされていると送信および受信はできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>受信中にパリティエラーが発生したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> </ul> <p>SCRのREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。</p> <p>なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが1にセットされていると送信および受信はできません。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>SCRのTEが0のとき</li> <li>送信キャラクタの最後尾ビットの送信時、TDREが1のとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>TDRE=1の状態をリードした後、TDREに0をライトしたとき</li> <li>TDRへ送信データをライトしたとき</li> </ul>
1	MPBR	0	R	<p>マルチプロセッサビットレシーブ</p> <p>受信キャラクタ中のマルチプロセッサビットを格納します。SCRのRE=0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信キャラクタに付加するマルチプロセッサビットの値を指定します。</p>

【注】 \* フラグをクリアするための0ライトのみ可能です。

### 17.3.8 ビットレートレジスタ (BRR)

BRR はビットレートを設定するリード/ライト可能な 8 ビットのレジスタです。BRR の初期値は H'FF です。調歩同期式モードにおける SMR の CKS1、CKS0 の値  $n$  と BRR の値  $N$  の設定例を表 17.3、表 17.4 に、調歩同期式モードの最大ビットレートを表 17.6 に示します。いずれもアクティブ (高速) モードでの値を示しています。調歩同期式モードで、SEMR の ABCS ビットを 1 にセットしたときは、最大ビットレートは表 17.6 に示すように 2 倍になります。

クロック同期式モードにおける SMR の CKS1、CKS0 の値  $n$  と BRR の値  $N$  の設定例を表 17.7 に示します。アクティブ (高速) モードでの値を示しています。その他の動作周波数とビットレートの組み合わせに対する BRR の設定値  $N$  と誤差は以下の計算式で求められます。

〔調歩同期式モード、ABCS ビット=0〕

$$N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$$

$$\text{誤差 (\%)} = \frac{B(n, N, \text{ から求めたビットレート}) - R(\text{表17.3左欄のビットレート})}{R(\text{表17.3左欄のビットレート})} \times 100$$

〔調歩同期式モード、ABCS ビット=1\*〕

$$N = \frac{\phi}{16 \times 2^{2n} \times B} - 1$$

$$\text{誤差 (\%)} = \frac{B(n, N, \text{ から求めたビットレート}) - R(\text{表17.4左欄のビットレート})}{R(\text{表17.4左欄のビットレート})} \times 100$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ: 動作周波数 (Hz)

n: ボーレートジェネレータの入力クロックの No. (n=0、2、3)

(n とクロックの関係は表 17.5 を参照)

【注】 \* SCI3\_1 のみ対応となります。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(1)

ビット レート (bit/s)	32.8kHz			38.4kHz			2MHz			2.097152MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	-	-	-	-	-	-	2	35	-1.36	2	36	0.64
150	-	-	-	0	3	0.00	2	25	0.16	2	26	1.14
200	-	-	-	0	2	0.00	2	19	-2.34	2	19	2.40
250	0	1	2.50	-	-	-	0	249	0.00	2	15	2.40
300	-	-	-	0	1	0.00	0	207	0.16	0	217	0.21
600	-	-	-	0	0	0.00	0	103	0.16	0	108	0.21
1200	-	-	-	-	-	-	0	51	0.16	0	54	-0.70
2400	-	-	-	-	-	-	0	25	0.16	0	26	1.14
4800	-	-	-	-	-	-	0	12	0.16	0	13	-2.48
9600	-	-	-	-	-	-	-	-	-	0	6	-2.48
19200	-	-	-	-	-	-	-	-	-	-	-	-
31250	-	-	-	-	-	-	0	1	0.00	-	-	-
38400	-	-	-	-	-	-	-	-	-	-	-	-

表 17.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(2)

ビット レート (bit/s)	2.4576MHz			3MHz			3.6864MHz			4MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	43	-0.83	2	52	0.50	2	64	0.70	2	70	0.03
150	2	31	0.00	2	38	0.16	2	47	0.00	2	51	0.16
200	2	23	0.00	2	28	1.02	2	35	0.00	2	38	0.16
250	2	18	1.05	2	22	1.90	2	28	-0.69	2	30	0.81
300	0	255	0.00	2	19	-2.34	2	23	0.00	2	25	0.16
600	0	127	0.00	0	155	0.16	0	191	0.00	0	207	0.16
1200	0	63	0.00	0	77	0.16	0	95	0.00	0	103	0.16
2400	0	31	0.00	0	38	0.16	0	47	0.00	0	51	0.16
4800	0	15	0.00	0	19	-2.34	0	23	0.00	0	25	0.16
9600	0	7	0.00	0	9	-2.34	0	11	0.00	0	12	0.16
19200	0	3	0.00	0	4	-2.34	0	5	0.00	-	-	-
31250	-	-	-	0	2	0.00	-	-	-	0	3	0.00
38400	0	1	0.00	-	-	-	0	2	0.00	-	-	-

17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(3)

ビット レート (bit/s)	4.194304MHz			4.9152MHz			5MHz			6MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	73	0.64	2	86	0.31	2	88	-0.25	2	106	-0.44
150	2	54	-0.70	2	63	0.00	2	64	0.16	2	77	0.16
200	2	40	-0.10	2	47	0.00	2	48	-0.35	2	58	-0.69
250	2	32	-0.70	2	37	1.05	2	38	0.16	2	46	-0.27
300	2	26	1.14	2	31	0.00	2	32	-1.36	2	38	0.16
600	0	217	0.21	0	255	0.00	2	15	1.73	2	19	-2.34
1200	0	108	0.21	0	127	0.00	0	129	0.16	0	155	0.16
2400	0	54	-0.70	0	63	0.00	0	64	0.16	0	77	0.16
4800	0	26	1.14	0	31	0.00	0	32	-1.36	0	38	0.16
9600	0	13	-2.48	0	15	0.00	0	15	1.73	0	19	-2.34
19200	0	6	-2.48	0	7	0.00	0	7	1.73	0	9	-2.34
31250	-	-	-	0	4	-1.70	0	4	0.00	0	5	0.00
38400	-	-	-	0	3	0.00	0	3	1.73	0	4	-2.34

表 17.3 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=0〕(4)

ビット レート (bit/s)	6.144MHz			7.3728MHz			8MHz			9.8304MHz			10MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	108	0.08	2	130	-0.07	2	141	0.03	2	174	-0.26	2	177	-0.25
150	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
200	2	59	0.00	2	71	0.00	2	77	0.16	2	95	0.00	2	97	-0.35
250	2	47	0.00	2	57	-0.69	2	62	-0.79	2	76	-0.26	2	77	0.16
300	2	39	0.00	2	47	0.00	2	51	0.16	2	63	0.00	2	64	0.16
600	2	19	0.00	2	23	0.00	2	25	0.16	2	31	0.00	2	32	-1.36
1200	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00	2	15	1.73
2400	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
4800	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
9600	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
19200	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
31250	0	5	2.40	-	-	-	0	7	0.00	0	9	-1.70	0	9	0.00
38400	0	4	0.00	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.4 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(1)

ビット レート (bit/s)	32.8kHz			38.4kHz			2MHz			2.097152MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	-	-	-	0	10	-0.83	2	70	0.03	2	73	0.64
150	0	6	-2.38	0	7	0.00	2	51	0.16	2	54	-0.70
200	0	4	2.50	0	5	0.00	2	38	0.16	2	40	-0.10
250	0	3	2.50	-	-	-	2	30	0.81	2	32	-0.70
300	-	-	-	0	3	0.00	2	25	0.16	2	26	1.14
600	-	-	-	0	1	0.00	0	207	0.16	0	217	0.21
1200	-	-	-	0	0	0.00	0	103	0.16	0	108	0.21
2400	-	-	-	-	-	-	0	51	0.16	0	54	-0.70
4800	-	-	-	-	-	-	0	25	0.16	0	26	1.14
9600	-	-	-	-	-	-	0	12	0.16	0	13	-2.48
19200	-	-	-	-	-	-	-	-	-	0	6	-2.48
31250	-	-	-	-	-	-	0	3	0.00	-	-	-
38400	-	-	-	-	-	-	-	-	-	-	-	-

表 17.4 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(2)

ビット レート (bit/s)	2.4576MHz			3MHz			3.6864MHz			4MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	0.31	2	106	-0.44	2	130	-0.07	2	141	0.03
150	2	63	0.00	2	77	0.16	2	95	0.00	2	103	0.16
200	2	47	0.00	2	58	-0.69	2	71	0.00	2	77	0.16
250	2	37	1.05	2	46	-0.27	2	57	-0.69	2	62	-0.79
300	2	31	0.00	2	38	0.16	2	47	0.00	2	51	0.16
600	0	255	0.00	2	19	-2.34	2	23	0.00	2	25	0.16
1200	0	127	0.00	0	155	0.16	0	191	0.00	0	207	0.16
2400	0	63	0.00	0	77	0.16	0	95	0.00	0	103	0.16
4800	0	31	0.00	0	38	0.16	0	47	0.00	0	51	0.16
9600	0	15	0.00	0	19	-2.34	0	23	0.00	0	25	0.16
19200	0	7	0.00	0	9	-2.34	0	11	0.00	0	12	0.16
31250	0	4	-1.70	0	5	0.00	-	-	-	0	7	0.00
38400	0	3	0.00	0	4	-2.34	0	5	0.00	-	-	-

17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.4 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(3)

ビット レート (bit/s)	4.194304MHz			4.9152MHz			5MHz			6MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	148	-0.04	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	108	0.21	2	127	0.00	2	129	0.16	2	155	0.16
200	2	81	-0.10	2	95	0.00	2	97	-0.35	2	116	0.16
250	2	65	-0.70	2	76	-0.26	2	77	0.16	2	93	-0.27
300	2	54	-0.70	2	63	0.00	2	64	0.16	2	77	0.16
600	2	26	1.14	2	31	0.00	2	32	-1.36	2	38	0.16
1200	0	217	0.21	0	255	0.00	2	15	1.73	2	19	-2.34
2400	0	108	0.21	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	54	-0.70	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	26	1.14	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	13	-2.48	0	15	0.00	0	15	1.73	0	19	-2.34
31250	-	-	-	0	9	-1.70	0	9	0.00	0	11	0.00
38400	0	6	-2.48	0	7	0.00	0	7	1.73	0	9	-2.34

表 17.4 ビットレートに対する BRR の設定例〔調歩同期式モード、ABCS ビット=1〕(4)

ビット レート (bit/s)	6.144MHz			7.3728MHz			8MHz			9.8304MHz			10MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	3	64	0.70	3	70	0.03	3	86	0.31	3	88	-0.25
150	2	159	0.00	2	191	0.00	2	207	0.16	2	255	0.00	3	64	0.16
200	2	119	0.00	2	143	0.00	2	155	0.16	2	191	0.00	2	194	0.16
250	2	95	0.00	2	114	0.17	2	124	0.00	2	153	-0.26	2	155	0.16
300	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00	2	129	0.16
600	2	39	0.00	2	47	0.00	2	51	0.16	2	63	0.00	2	64	0.16
1200	2	19	0.00	2	23	0.00	2	25	0.16	2	31	0.00	2	32	-1.36
2400	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00	2	15	1.73
4800	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
9600	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
19200	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
31250	0	11	2.40	0	14	-1.70	0	15	0.00	0	19	-1.70	0	19	0.00
38400	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.5 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	w/2*	0	1
2	/16	1	0
3	/64	1	1

【注】 \* サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w/2 のときのみ SCI3\_1、SCI3\_2、SCI3\_3 が使用可能となります。

表 17.6 各周波数における最大ビットレート〔調歩同期式モード〕

(MHz)	最大ビットレート (bit/s)		設定値	
	ABCS = 0	ABCS = 1* <sup>2</sup>	n	N
0.0328* <sup>1</sup>	512	1025	0	0
0.0384* <sup>1</sup>	600	1200	0	0
2	62500	125000	0	0
2.097152	65536	131072	0	0
2.4576	76800	153600	0	0
3	93750	187500	0	0
3.6864	115200	230400	0	0
4	125000	250000	0	0
4.194304	131072	262144	0	0
4.9152	153600	307200	0	0
5	156250	312500	0	0
6	187500	375000	0	0
6.144	192000	384000	0	0
7.3728	230400	460800	0	0
8	250000	500000	0	0
9.8304	307200	614400	0	0
10	312500	625000	0	0

【注】 \*1 SMR を CKS1 = 0、CKS0 = 1 に設定したとき

\*2 SCI3\_1 のみ対応します。



17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.7 ビットレートに対する BRR の設定例〔クロック同期式モード〕(1)

ビットレート (bit/s)	32.8kHz			38.4kHz			2MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
200	0	20	-2.38	0	23	0.00	2	155	0.16
250	0	15	2.50	0	18	1.05	2	124	0.00
300	0	13	-2.38	0	15	0.00	2	103	0.16
500	0	7	2.50	-	-	-	2	62	-0.79
1k	0	3	2.50	-	-	-	2	30	0.81
2.5k	-	-	-	-	-	-	0	199	0.00
5k	-	-	-	-	-	-	0	99	0.00
10k	-	-	-	-	-	-	0	49	0.00
25k	-	-	-	-	-	-	0	19	0.00
50k	-	-	-	-	-	-	0	9	0.00
100k	-	-	-	-	-	-	0	4	0.00
250k	-	-	-	-	-	-	0	1	0.00
500k	-	-	-	-	-	-	0*	0*	0.00*
1M	-	-	-	-	-	-	-	-	-

【注】 \* 連続送信 / 受信できません。

表 17.7 ビットレートに対する BRR の設定例〔クロック同期式モード〕(2)

ビットレート (bit/s)	4MHz			8MHz			10MHz		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
200	3	77	0.16	3	155	0.16	3	194	0.16
250	2	249	0.00	3	124	0.00	3	155	0.16
300	2	207	0.16	3	103	0.16	3	129	0.16
500	2	124	0.00	2	249	0.00	3	77	0.16
1k	2	62	-0.79	2	124	0.00	2	155	0.16
2.5k	2	24	0.00	2	49	0.00	2	62	-0.79
5k	0	199	0.00	2	24	0.00	2	30	0.81
10k	0	99	0.00	0	199	0.00	0	249	0.00
25k	0	39	0.00	0	79	0.00	0	99	0.00
50k	0	19	0.00	0	39	0.00	0	49	0.00
100k	0	9	0.00	0	19	0.00	0	24	0.00
250k	0	3	0.00	0	7	0.00	0	9	0.00
500k	0	1	0.00	0	3	0.00	0	4	0.00
1M	0*	0*	0.00*	0	1	0.00	-	-	-

【注】 \* 連続送信 / 受信できません。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

〔クロック同期式モード〕

$$N = \frac{\phi}{4 \times 2^{2n} \times B} - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (Hz)

n : ポーレートジェネレータの入力クロックの No. (n=0、2、3)

(n とクロックの関係は表 17.8 を参照)

表 17.8 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	w/2*	0	1
2	/16	1	0
3	/64	1	1

【注】 \* サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w/2 のときのみ SCI3\_1、SCI3\_2、SCI3\_3 が使用可能となります。

## 17.3.9 シリアルポートコントロールレジスタ (SPCR)

SPCR は TXD32 端子、TXD31/IrTXD 端子機能の切り替えと、RXD32 端子と RXD31/IrRXD 端子と TXD32 端子と TXD31/IrTXD 端子の入出力データ反転切り替えを行います。

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット
6	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
5	SPC32	0	R/W	P32/TXD32/SCL (PE5/TXD32) 端子切り替え P32/TXD32/SCL (PE5/TXD32) 端子を P32/SCL (PE5) 端子として使用する か TXD32 端子として使用するか選択します。 0 : P32/SCL (PE5) 入出力端子として使用 1 : TXD32 出力端子として使用 本ビットを 1 に設定した後に SCR3_2 の TE ビットを設定してください。
4	SPC31	0	R/W	P42/TXD31/IrTXD/TMOFH (PF3/TXD31/IrTXD) 端子切り替え P42/TXD31/IrTXD/TMOFH (PF3/TXD31/IrTXD) 端子を P42/TMOFH (PF3) 端子として使用するか TXD31/IrTXD 端子として使用するか選択します。 0 : P42 (PF3) 入出力端子または TMOFH 出力端子として使用 1 : TXD31/IrTXD 出力端子として使用 本ビットを 1 に設定した後に SCR3_1 の TE ビットを設定してください。
3	SCINV3	0	R/W	TXD32 端子出力データ反転切り替え TXD32 端子の出力データのロジックレベルを反転させるか、させないかを 選択します。 0 : TXD32 端子の出力データを反転しない 1 : TXD32 端子の出力データを反転する
2	SCINV2	0	R/W	RXD32 端子入力データ反転切り替え RXD32 端子の入力データのロジックレベルを反転させるか、させないかを 選択します。 0 : RXD32 端子の入力データを反転しない 1 : RXD32 端子の入力データを反転する
1	SCINV1	0	R/W	TXD31/IrTXD 端子出力データ反転切り替え TXD31/IrTXD 端子の出力データのロジックレベルを反転させるか、させない かを選択します。 0 : TXD31/IrTXD 端子の出力データを反転しない 1 : TXD31/IrTXD 端子の出力データを反転する
0	SCINV0	0	R/W	RXD31/IrRXD 端子入力データ反転切り替え RXD31/IrRXD 端子の入力データのロジックレベルを反転させるか、させない かを選択します。 0 : RXD31/IrRXD 端子の入力データを反転しない 1 : RXD31/IrRXD 端子の入力データを反転する

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

### 17.3.10 シリアルポートコントロールレジスタ 2 (SPCR2)

SPCR2 は、TXD33 端子機能の切り替えと、RXD33 端子と TXD33 端子の入出力データ反転切り替えを行います。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	SPC33	0	R/W	PE2/TXD33 端子切り替え PE2/TXD33 端子を PE2 端子として使用するか TXD33 端子として使用するか 選択します。 0 : PE2 入出力端子として使用 1 : TXD33 出力端子として使用 本ビットを 1 に設定した後に SCR3_3 の TE ビットを設定してください。
3	-	1	-	リザーブビット
2	-	1	-	リードすると常に 1 が読み出されます。ライトは無効です。
1	SCINV5	0	R/W	TXD33 端子出力データ反転切り替え TXD33 端子の出力データのロジックレベルを反転させるか、させないかを選択 します。 0 : TXD33 端子の出力データを反転しない 1 : TXD33 端子の出力データを反転する
0	SCINV4	0	R/W	RXD33 端子入力データ反転切り替え RXD33 端子の入力データのロジックレベルを反転させるか、させないかを選択 します。 0 : RXD33 端子の入力データを反転しない 1 : RXD33 端子の入力データを反転する

【注】 シリアルポートコントロールレジスタ 2 を書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効でないデータの変化が入出力されます。シリアルポートコントロールレジスタ 2 を書き換える際には、データ変化を無効にする状態で書き換えてください。

## 17.3.11 IrDA コントロールレジスタ (IrCR)

IrCR は SCI3\_1 の IrDA 機能の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI3_1 の入出力端子を通常の SCI か IrDA が設定します。 0 : TXD31/IrTXD または RXD31/IrRXD 端子は、TXD31 または RXD31 端子として動作 1 : TXD31/IrTXD または RXD31/IrRXD 端子は、IrTXD または IrRXD 端子として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト IrDA 機能をイネーブルにしたとき、IrTXD 出力パルスエンコード時の High パルス幅を設定します。 000 : B × 3/16 (ビットレート 16 分の 3) 001 : /2 010 : /4 011 : /8 100 : /16 101 : 設定禁止 11x : 設定禁止
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】 x : Don't care

## 17.3.12 シリアル拡張モードレジスタ (SEMR)

SEMR は、SCI3\_1 の機能を拡張します。調歩同期式モード時の基本クロックの設定を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット ライト時は 0 をライトしてください。
3	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける 1 ビット期間の基本クロックを選択します。 ABCS の設定は調歩同期式モード (SMR3 の COM = 0) のとき有効です。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作 IrDA 設定時は ABCS = 0 にしてください。
2~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

## 17.4 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 17.2 に示します。通信データの 1 キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式モードでは、受信時にスタートビットの立ち上がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。SEMR の ABCS ビット = 1 のとき、データを 1 ビット期間の 8 倍の周波数のクロックの 4 番目でサンプリングします\*。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。調歩同期式モードで設定できる送信 / 受信フォーマットを表 17.9 に示します。送信 / 受信フォーマットは 16 種類あり、SMR の設定により選択できます。これを表 17.10 に示します。

【注】 \* SCI3\_1 のみ対応します。

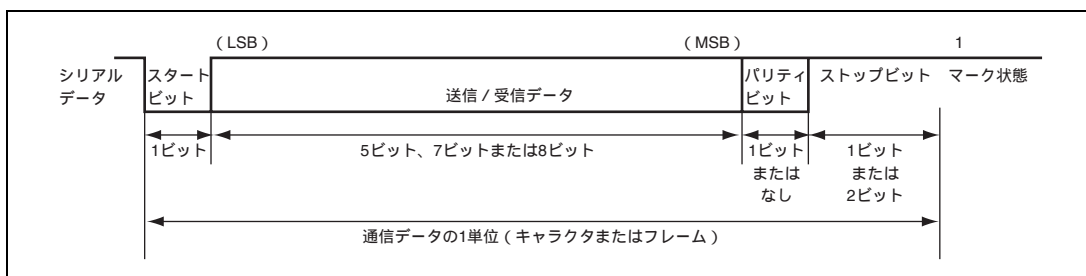


図 17.2 調歩同期式通信のデータフォーマット

### 17.4.1 クロック

SMR の COM と SCR の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵パーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK3 端子にビットレートの 16 倍の周波数のクロック (SEMR の ABCS ビット = 1 のとき、8 倍の周波数クロック\*) を入力してください。クロックソースの選択については表 17.11 を参照してください。内部クロックを使用する場合は SCK3 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 17.3 のように送受信データの各ビットの中央でクロックが立ち上がります。

【注】 \* SCI3\_1 のみ対応します。

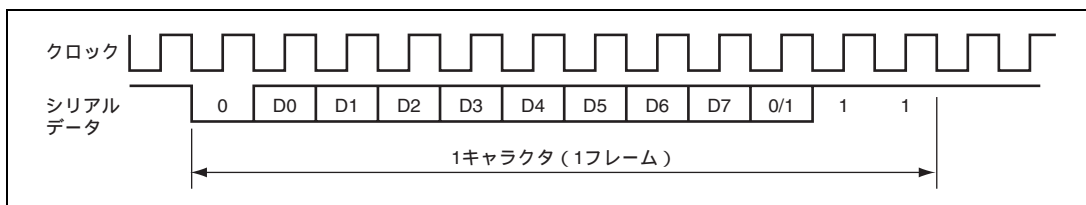


図 17.3 出力クロックと通信データの位相関係 (調歩同期式モード)  
(8 ビットデータ / パリティあり / 2 ストップビットの例)

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.9 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	START	8ビットデータ								STOP			
0	0	0	1	START	8ビットデータ								STOP	STOP		
0	0	1	0	START	8ビットデータ								MPB	STOP		
0	0	1	1	START	8ビットデータ								MPB	STOP	STOP	
0	1	0	0	START	8ビットデータ								P	STOP		
0	1	0	1	START	8ビットデータ								P	STOP	STOP	
0	1	1	0	START	5ビットデータ					STOP						
0	1	1	1	START	5ビットデータ					STOP	STOP					
1	0	0	0	START	7ビットデータ							STOP				
1	0	0	1	START	7ビットデータ							STOP	STOP			
1	0	1	0	START	7ビットデータ							MPB	STOP			
1	0	1	1	START	7ビットデータ							MPB	STOP	STOP		
1	1	0	0	START	7ビットデータ							P	STOP			
1	1	0	1	START	7ビットデータ							P	STOP	STOP		
1	1	1	0	START	5ビットデータ					P	STOP					
1	1	1	1	START	5ビットデータ					P	STOP	STOP				

【記号説明】

- START : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.10 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット								
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長					
COM	CHR	MP	PE	STOP										
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1					
				1					2					
			1	0					1					
				1					2					
			1	0					1					
				1					2					
	1	0	1	0		0	8ビット データ	あり	なし	1				
						1				2				
				1		0				1				
						1				2				
		1	1	1		0				0	5ビット データ	なし	なし	1
										1				2
						1				0				1
										1				2
1	x	0	x	x	クロック同期式 モード	8ビット データ	なし	なし	なし					

【注】 x : Don't care

表 17.11 SMR、SCR の設定とクロックソースの選択

SMR	SCR		モード	送信 / 受信クロック	
	ビット7	ビット1		ビット0	クロックソース
COM	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	入出力ポート (SCK31、SCK32 端子を使用しません)
		1			ビットレートと同じ周波数のクロックを出力
		0			ビットレートの 16 倍の周波数のクロック*を入力
1	0	0	クロック同期式 モード	内部	同期クロックを出力
		1			同期クロックを入力
0	1	1	リザーブ (この組み合わせは指定しないでください)		
1	0	1			
1	1	1			

【注】 \* SEMR の ABCS ビット = 1 のとき、8 倍の周波数クロック (SCI3\_1 のみ対応)



## 17.4.2 SCI3 の初期化

図 17.4 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。クロック同期式モードで外部クロックを使用する場合は、初期化の期間中にクロックを供給しないでください。

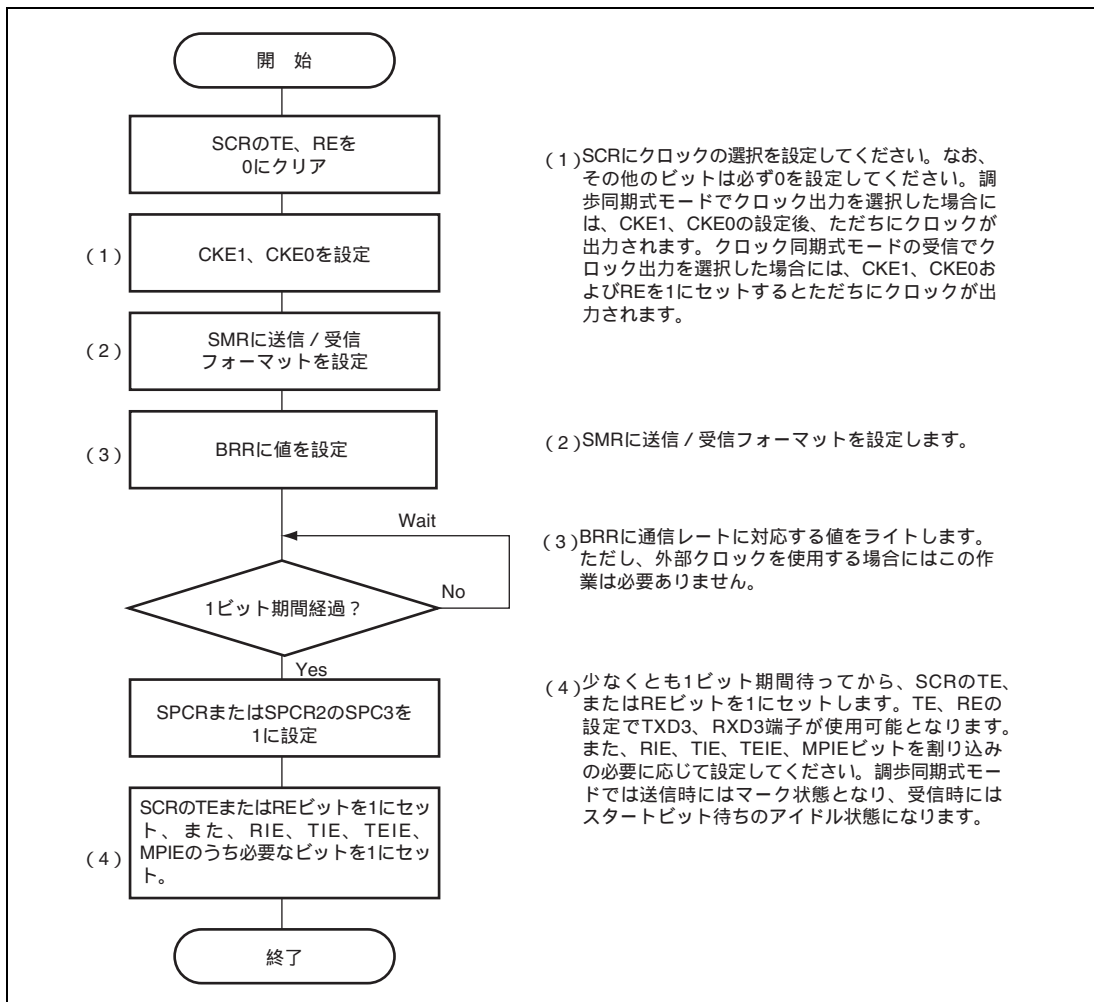


図 17.4 SCI3 を初期化するときのフローチャートの例

### 17.4.3 データ送信

図 17.5 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI3割り込み要求が発生します。このTXI3割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI3が発生します。
6. 図17.6にデータ送信を行うためのフローチャートの例を示します。

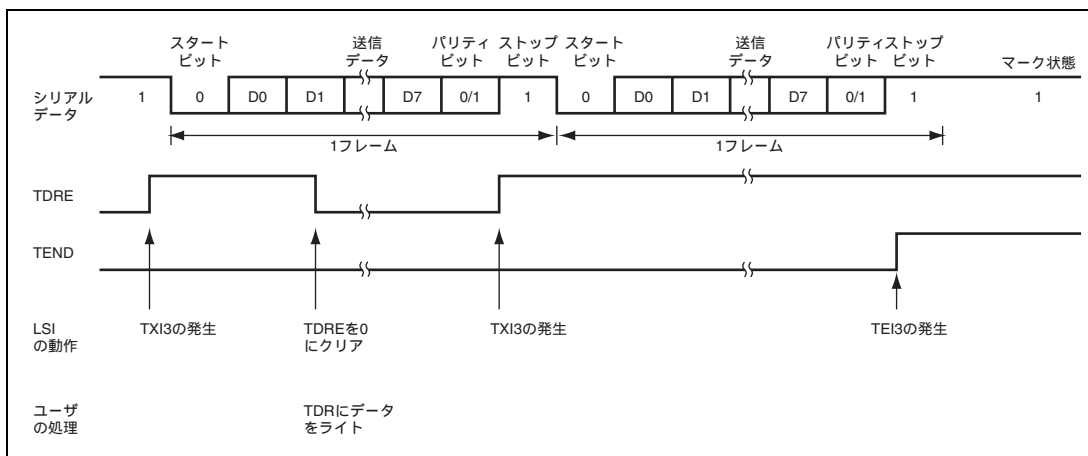


図 17.5 調歩同期式モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

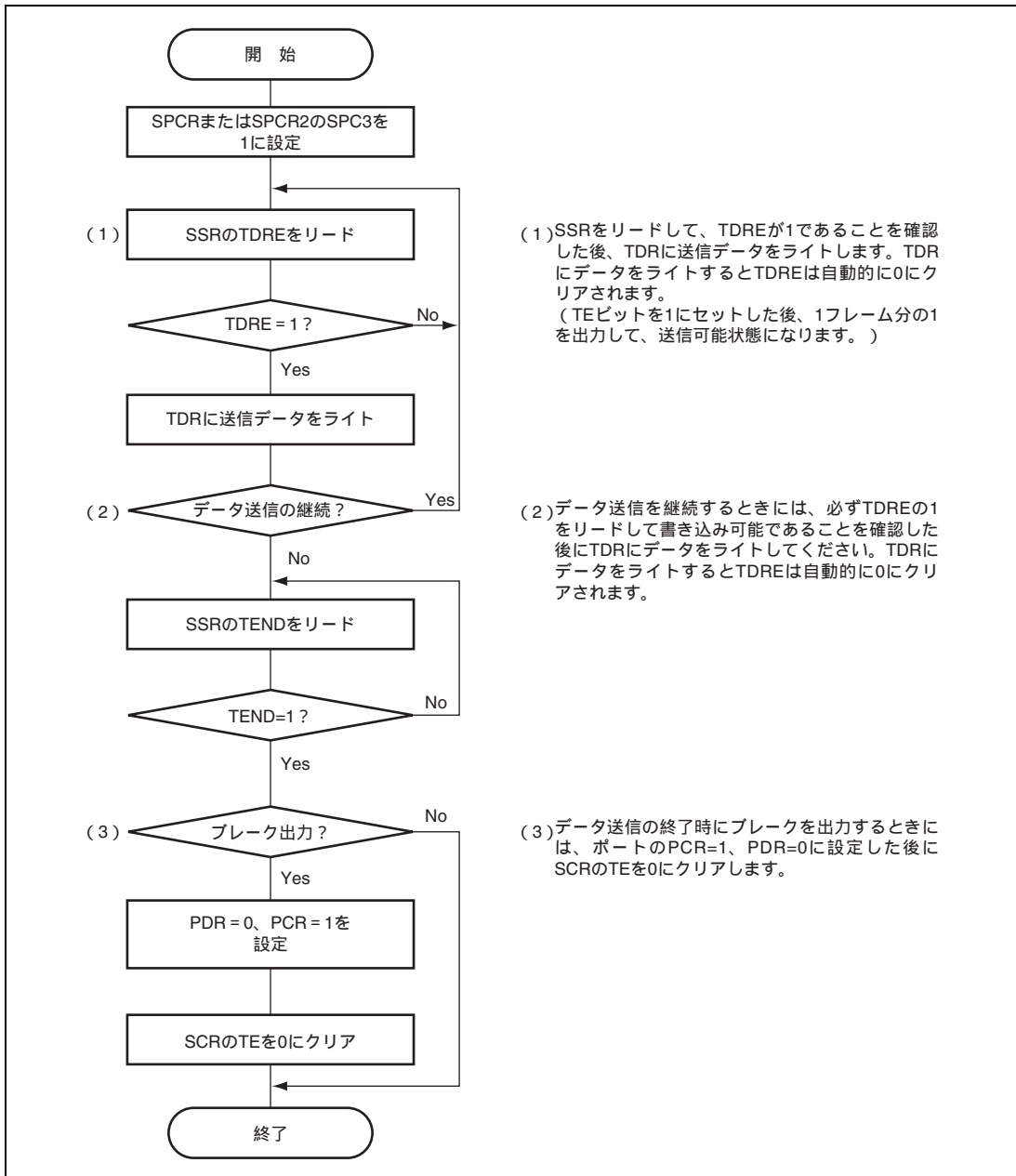


図 17.6 データ送信のフローチャートの例 (調歩同期式モード)

### 17.4.4 データ受信

調歩同期式モードの受信時の動作例を図 17.7 に示します。SCI3 は受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
  - パリティチェック：
 

受信データの1の数をチェックし、これがSMRのPMで設定した偶数 / 奇数パリティになっているかをチェックします。
  - ストップビットチェック：
 

ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
  - ステータスチェック：
 

RDRFが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのOERをセットします。このときSCRのRIEが1にセットされているとERI3割り込み要求を発生します。受信データはRDRに転送しません。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI3割り込み要求を発生します。
4. フレーミングエラー(ストップビットが0のとき)を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIE3が1にセットされているとERI3割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI3割り込み要求を発生します。このRXI3割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

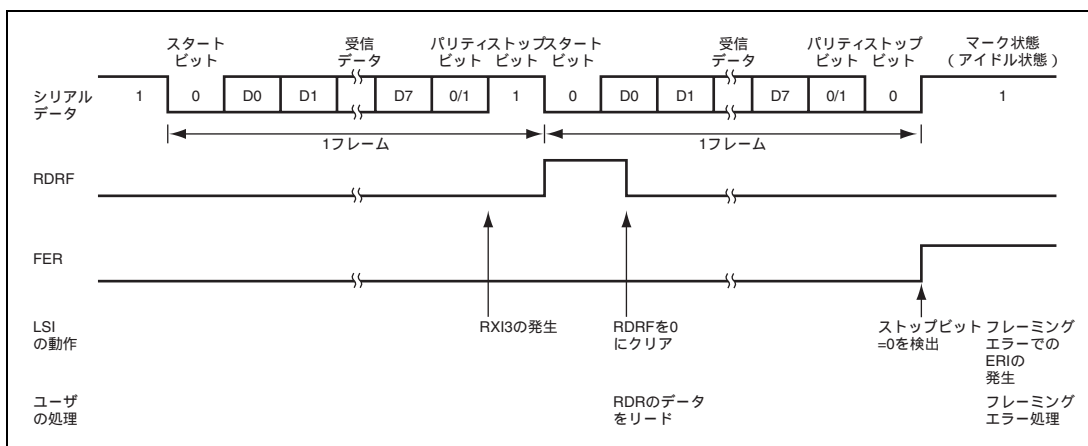


図 17.7 調歩同期式モードの受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 17.12 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 17.8 にデータ受信のためのフローチャートの例を示します。

表 17.12 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 \* RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3, IrDA)

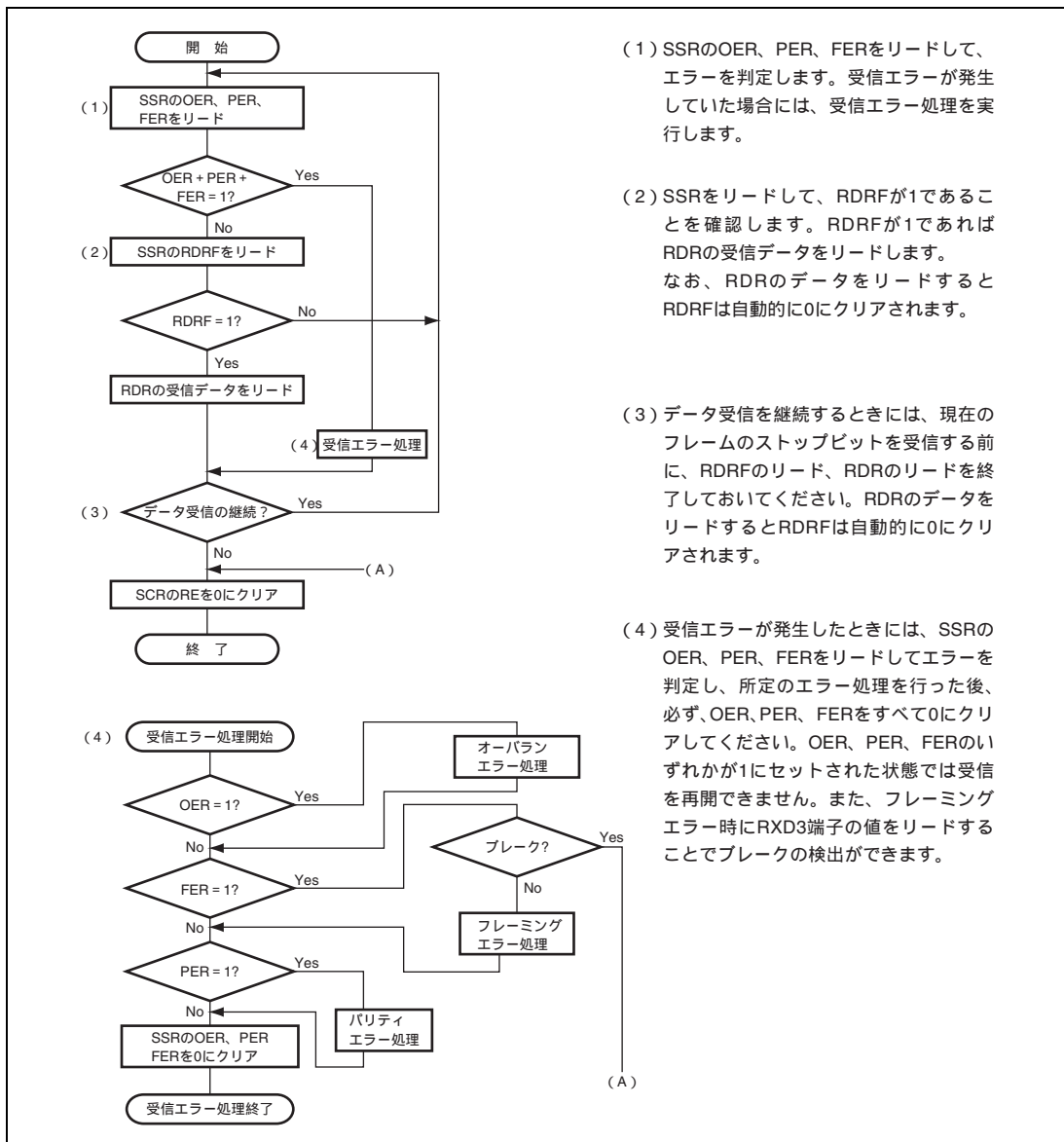


図 17.8 データ受信のフローチャートの例 (調歩同期式モード)

## 17.5 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 17.9 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

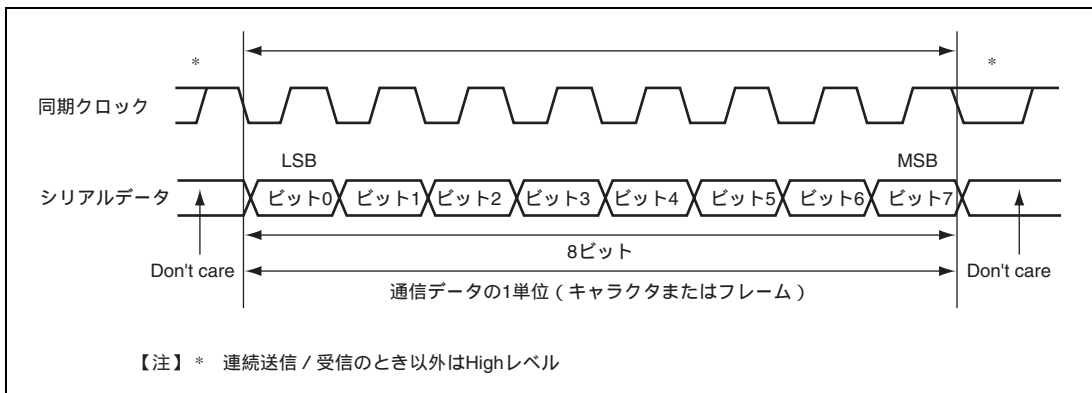


図 17.9 クロック同期式通信のデータフォーマット

### 17.5.1 クロック

SMR の COM と SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK3 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

### 17.5.2 SCI3 の初期化

データの送受信前に図 17.4 のフローチャートの例に従って SCI3 を初期化してください。

### 17.5.3 データ送信

図 17.10 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI3割り込み要求が発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB (ビット0) から順に TXD3端子から送信されます。
4. MSB (ビット7) を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI3が発生します。
7. 送信終了後はSCK3端子はHighレベル固定になります。

図 17.11 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ(OER、FER、PER)が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ(OER、FER、PER)が0にクリアされていることを確認してください。

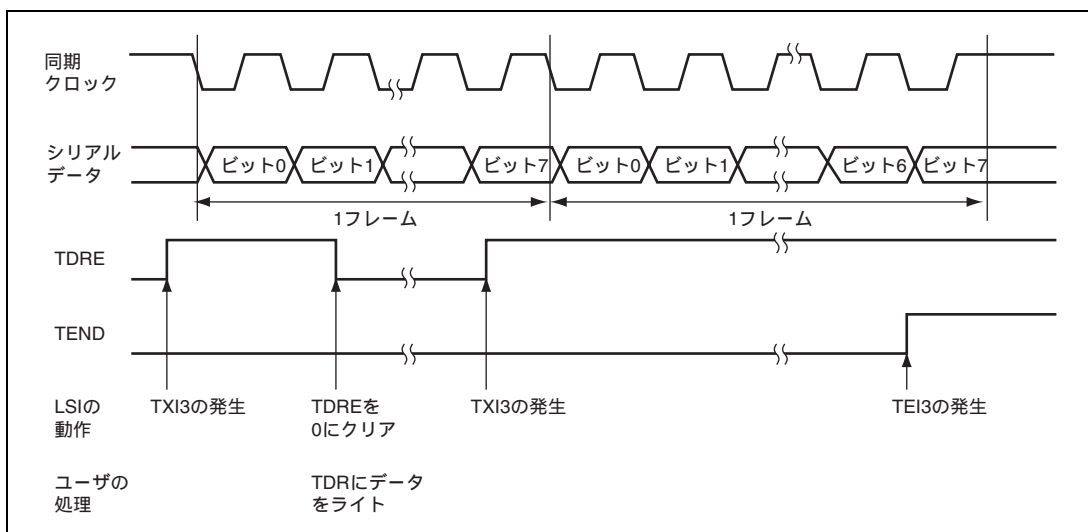


図 17.10 クロック同期モードの送信時の動作例



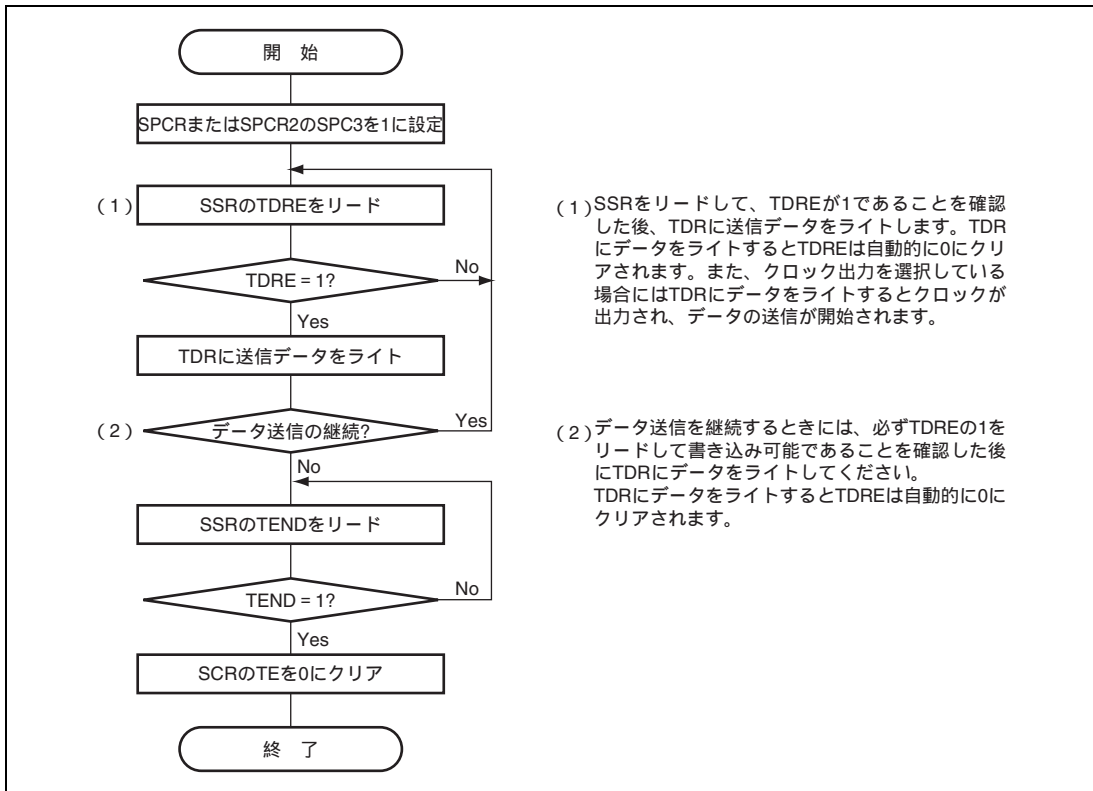


図 17.11 データ送信のフローチャートの例 (クロック同期式モード)

### 17.5.4 データ受信

図 17.12 にクロック同期モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCRのRIEが1にセットされているとERI3割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI3割り込み要求を発生します。

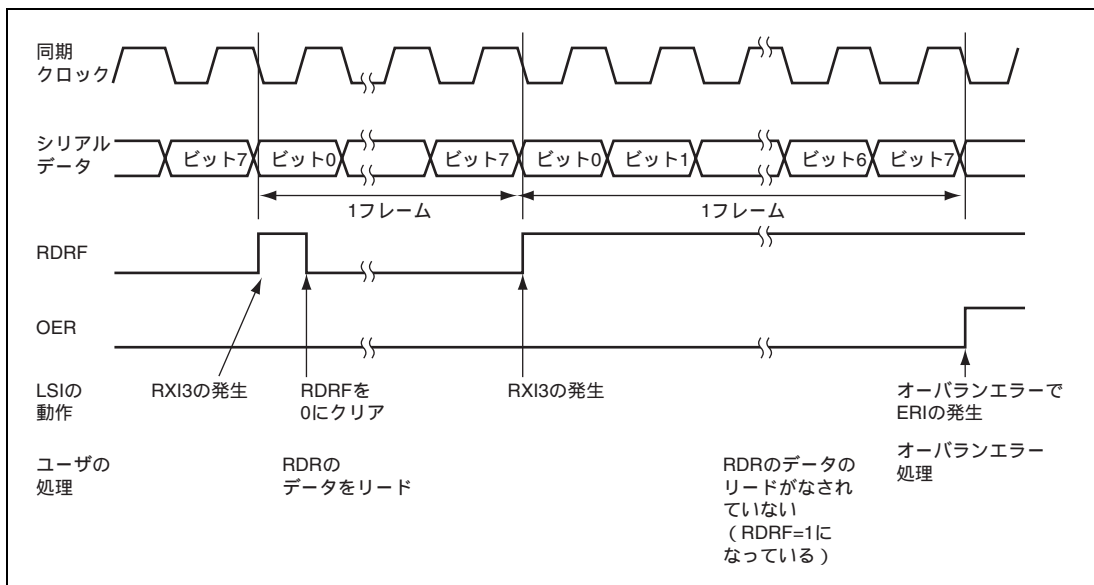


図 17.12 クロック同期式モードの受信時の動作例

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 17.13 にデータ受信のフローチャートの例を示します。

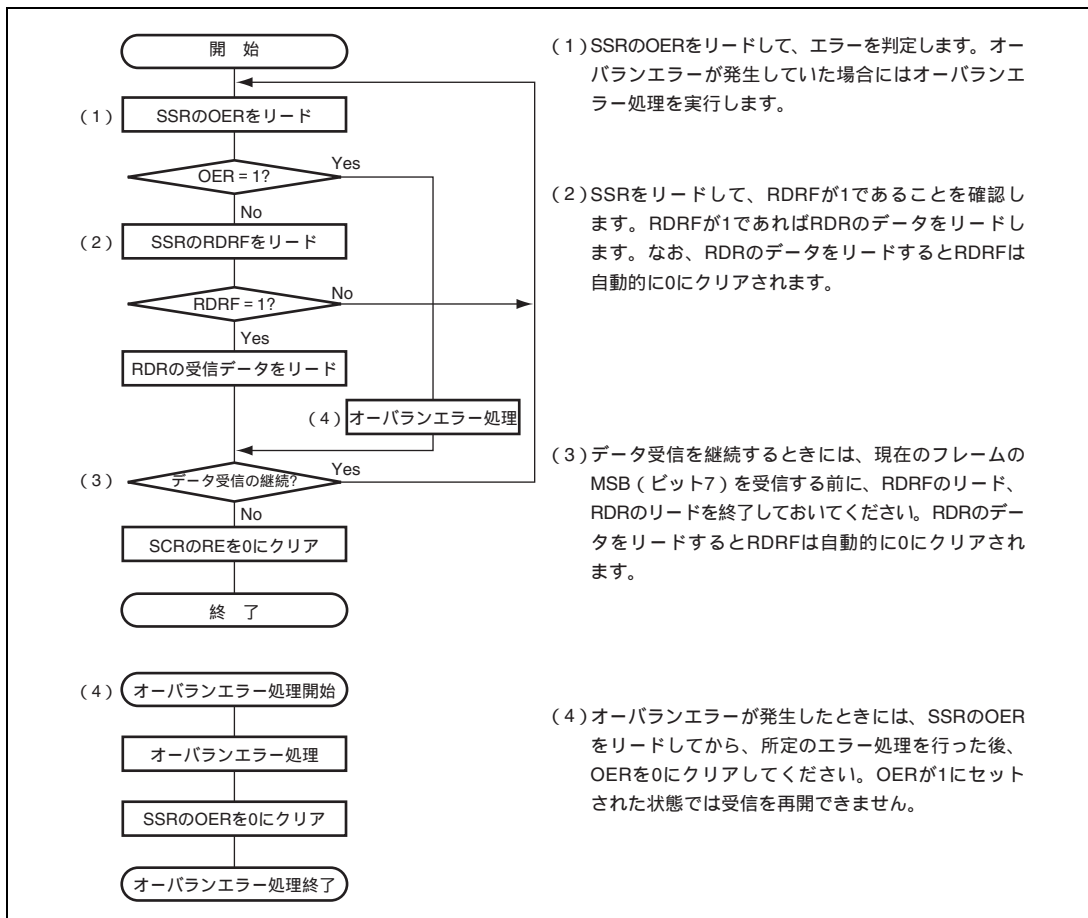


図 17.13 データ受信フローチャートの例 (クロック同期式モード)

### 17.5.5 データ送受信同時動作

図 17.14 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

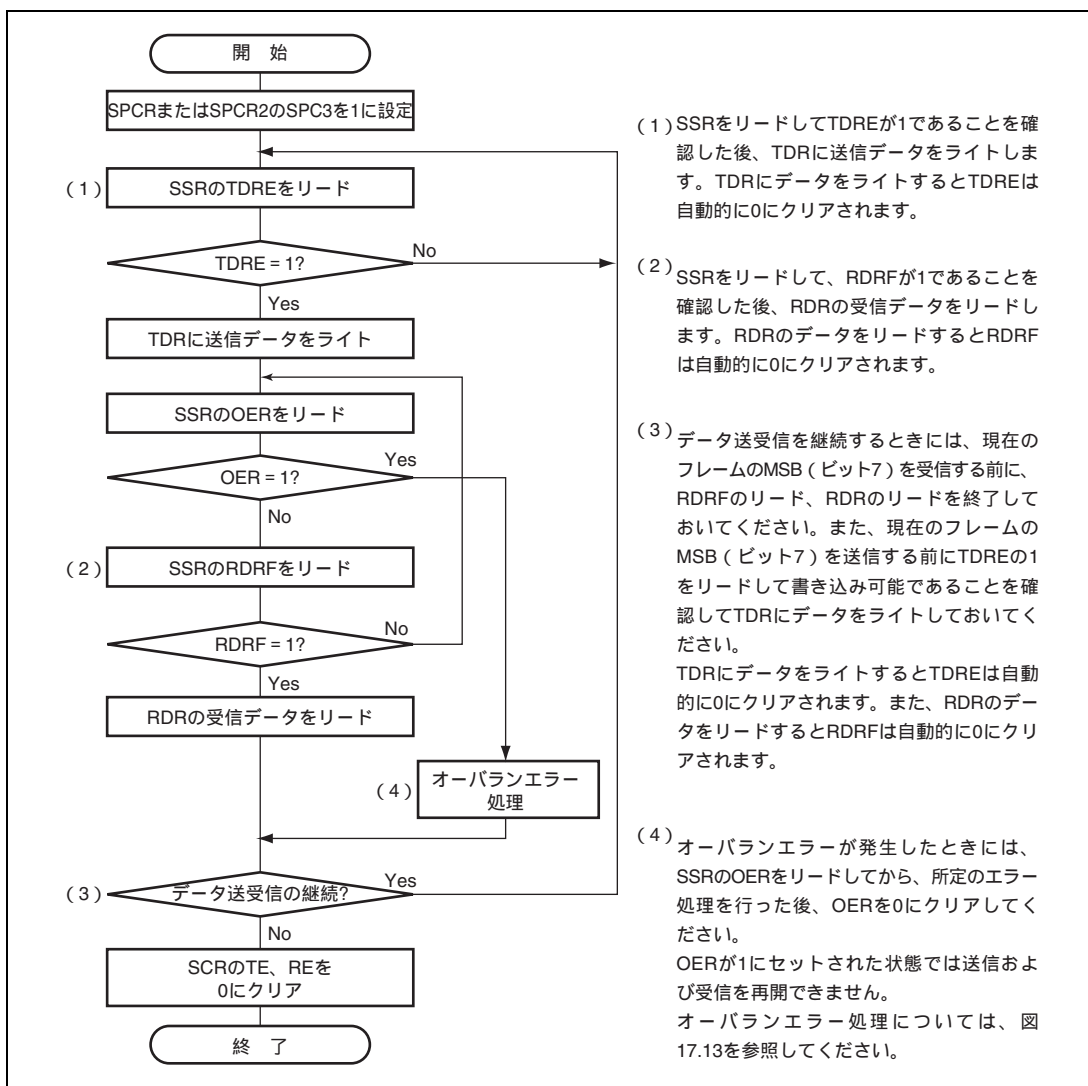


図 17.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

## 17.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 17.15 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI3 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

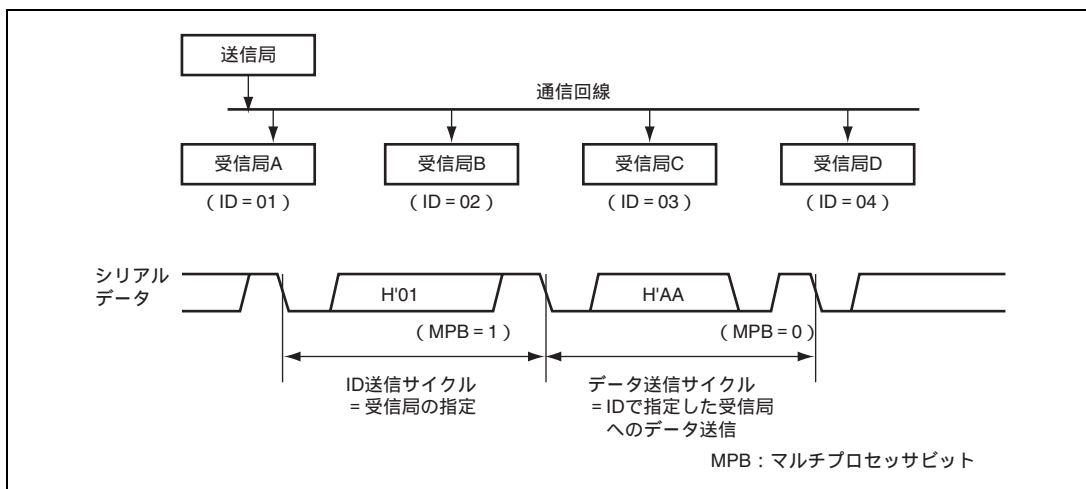


図 17.15 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

### 17.6.1 マルチプロセッサデータ送信

図 17.16 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

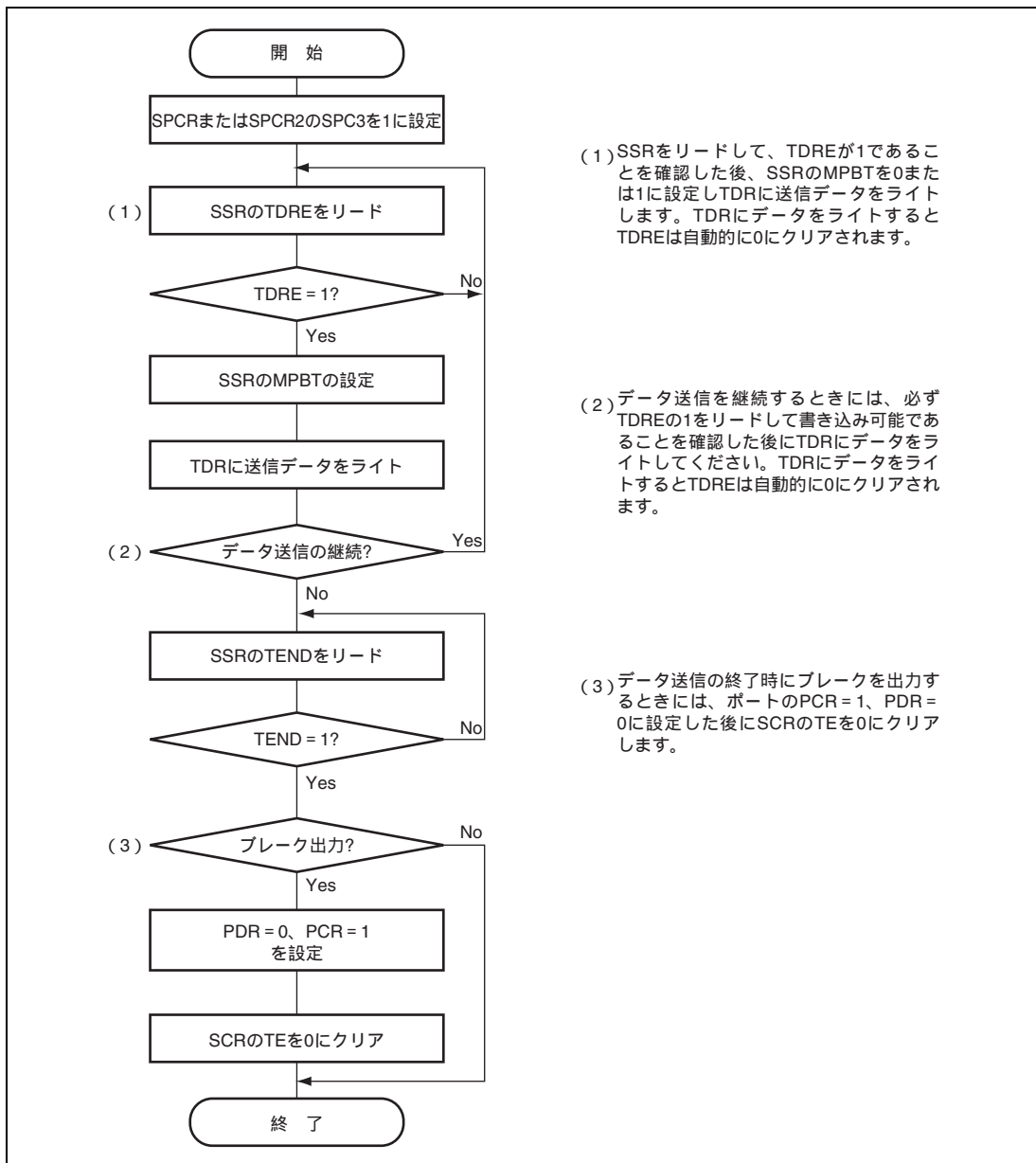


図 17.16 マルチプロセッサデータ送信のフローチャートの例

### 17.6.2 マルチプロセッサデータ受信

図 17.17 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI3 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 17.18 に受信時の動作例を示します。

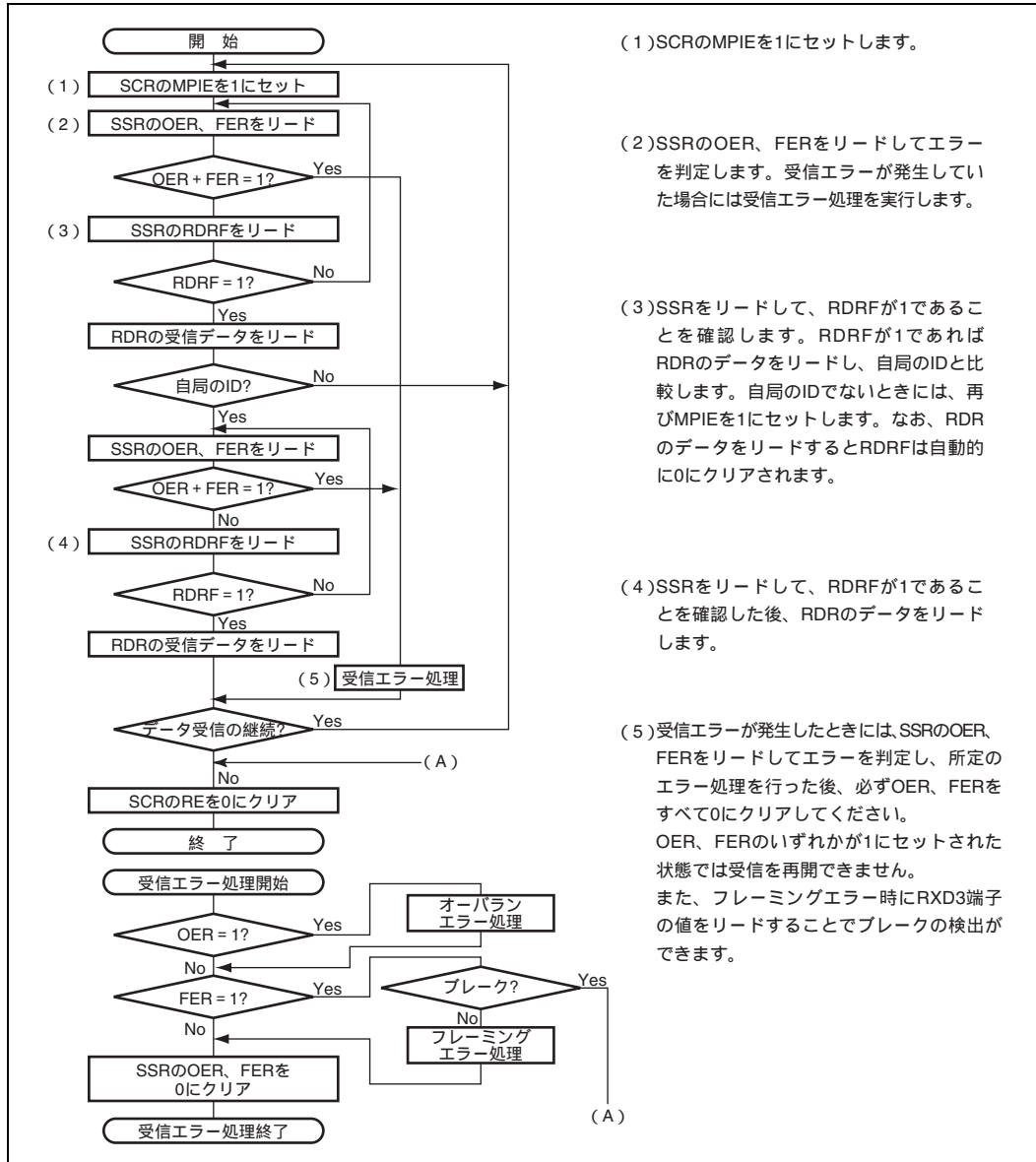


図 17.17 マルチプロセッサデータ受信のフローチャートの例

### 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

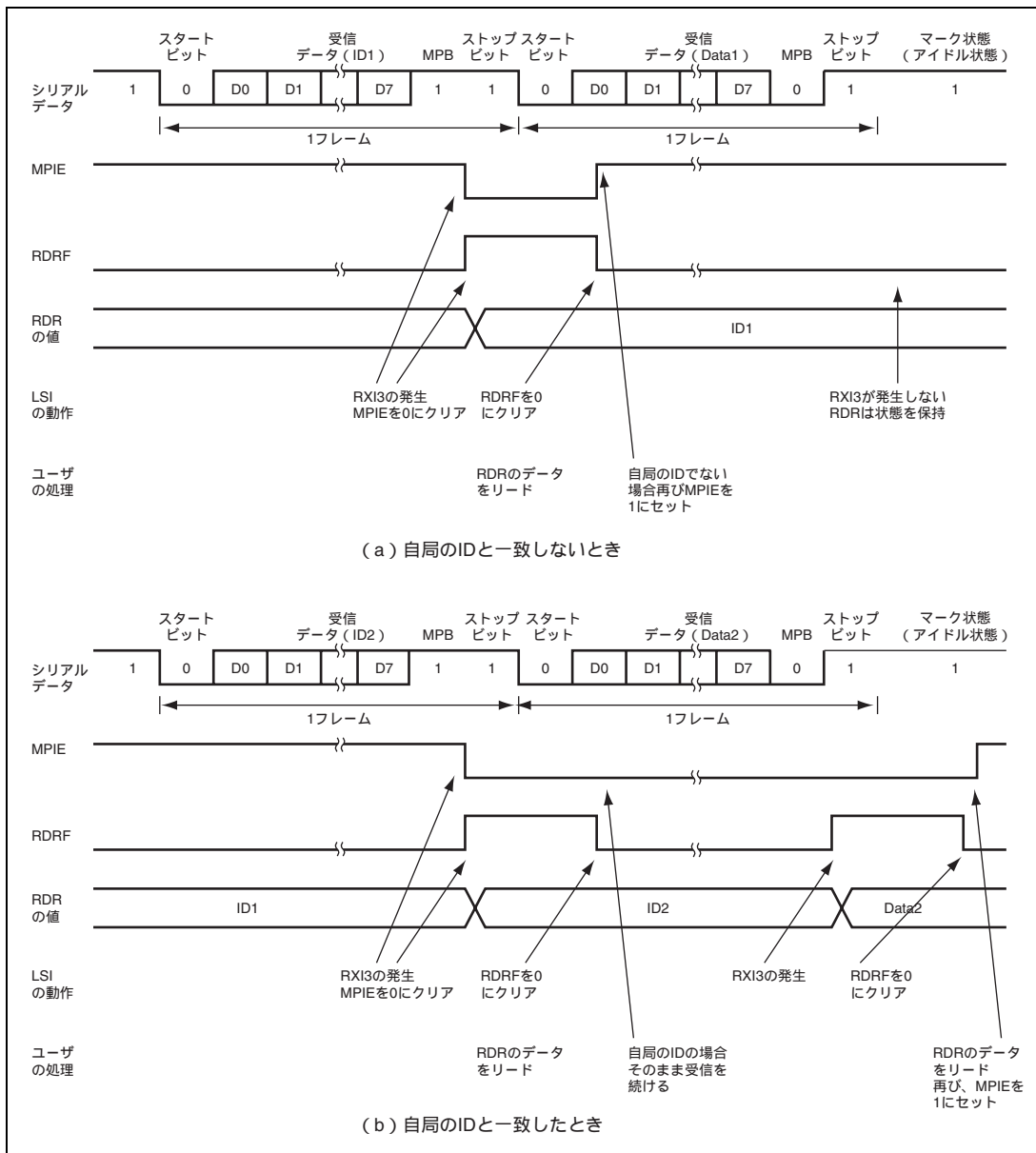


図 17.18 マルチプロセッサフォーマットの受信時の動作例  
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)



## 17.7 IrDA 動作

SCI3\_1 は IrDA 動作が可能です。図 17.19 に IrDA のブロック図を示します。

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI3\_1 の TXD31、RXD31 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTXD、IrRXD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより設定を変更してください。

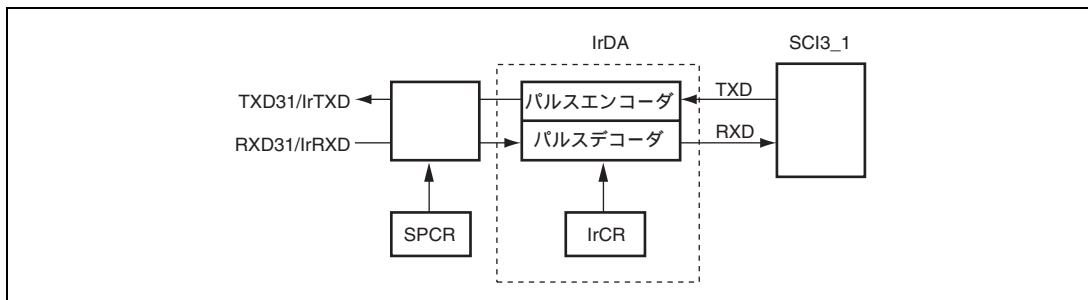


図 17.19 IrDA ブロック図

### 17.7.1 送信

送信時に SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 17.20 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の  $3/16$  の High パルスが出力されます (初期値)。なお、High パルスは IrCR の IrCKS2~0 ビットの設定値により変化させることも可能です。

規格では High パルス幅は最小  $1.41 \mu\text{s}$ 、最大  $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または  $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$  と定められています。システムクロック が  $10\text{MHz}$  のとき、 $1.41 \mu\text{s}$  以上で最小の High パルス幅は  $1.6 \mu\text{s}$  が設定可能です。

シリアルデータが 1 のときはパルスは出力されません。

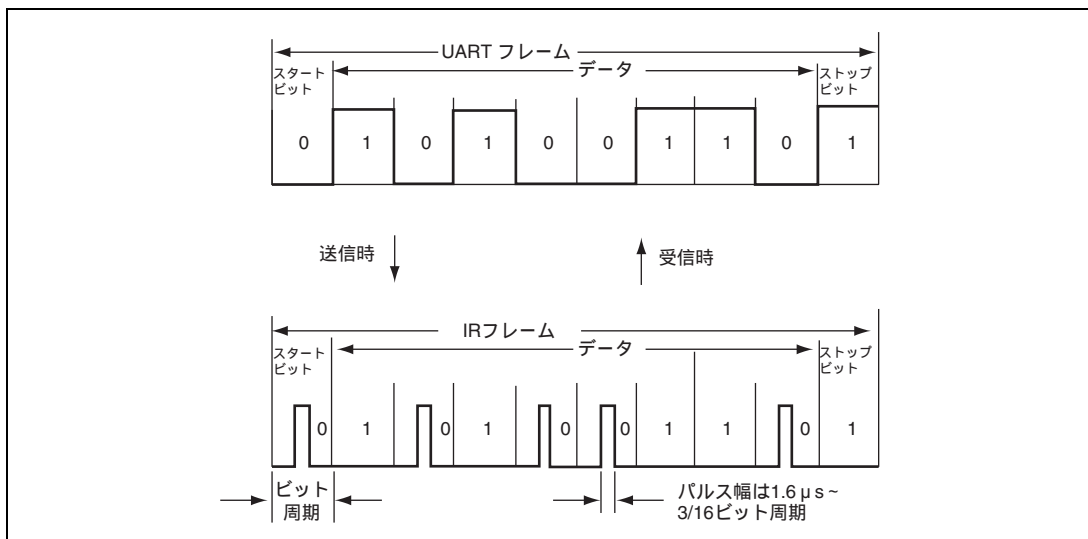


図 17.20 IrDA 送信 / 受信動作

## 17.7.2 受信

受信時に IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI3\_1 に入力されます。

High パルスが検出されたときには 0 データを出力し、1 ビット期間中にパルスがないときには 1 データを出力します。最小パルス幅の 1.41  $\mu$ s より短いパルスは 0 信号として認識しますのでご注意ください。

## 17.7.3 High パルス幅の選択

送信時にビットレート  $\times 3/16$  よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 17.13 に示します。

表 17.13 IrCKS2 ~ IrCKS0 ビットの設定

動作周波数 (MHz)	ビットレート (bps) (上段) / ビット周期 $\times 3/16$ ( $\mu$ s) (下段)			
	2400	9600	19200	38400
	78.13	19.53	9.77	4.88
2	010	010	010	010
2.097152	010	010	010	010
2.4576	010	010	010	010
3	011	011	011	011
3.6864	011	011	011	011
4.9152	011	011	011	011
5	011	011	011	011
6	100	100	100	100
6.144	100	100	100	100
7.3728	100	100	100	100
8	100	100	100	100
9.8304	100	100	100	100
10	100	100	100	100

## 17.8 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバーランエラー、フレーミングエラー、パリティエラー）の計 6 種類があります。表 17.14 に各割り込み要求の内容を示します。

表 17.14 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因
受信データフル	RXI	SSR の RDRF のセット
送信データエンプティ	TXI	SSR の TDRE のセット
送信終了	TEI	SSR の TEND のセット
受信エラー	ERI	SSR の OER、FER、PER のセット

各割り込み要求は、SCR の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI3 が発生します。SSR の TEND が 1 にセットされると、TEI3 が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR の TIE を 1 にセットすると、送信データが準備されていなくても TXI3 が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR の TEIE を 1 にセットすると、送信データが送信されていなくても TEI3 が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求 (TXI3、TEI3) の発生を防ぐには、送信データを TDR へ転送した後にこれらの割り込み要求に対応するイネーブルビット (TIE、TEIE) を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI3 が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI3 が発生します。この 2 つの割り込み要求は受信時に発生します。

SCI3 は、RXI3 を使用した連続受信、また TXI3 を使用した連続送信が可能です。

表 17.15 にこれらの割り込みについて示します。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

表 17.15 送信 / 受信割り込み

割り込み	フラグ	割り込み発生条件	備考
RXI3	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI3 が許可され割り込みが発生します。 (図 17.21 (a) 参照)	RXI3 の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI3	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI3 が許可され割り込みが発生します。 (図 17.21 (b) 参照)	TXI3 の割り込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI3	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI3 が許可され割り込みが発生します。 (図 17.21 (c) 参照)	TEI3 は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

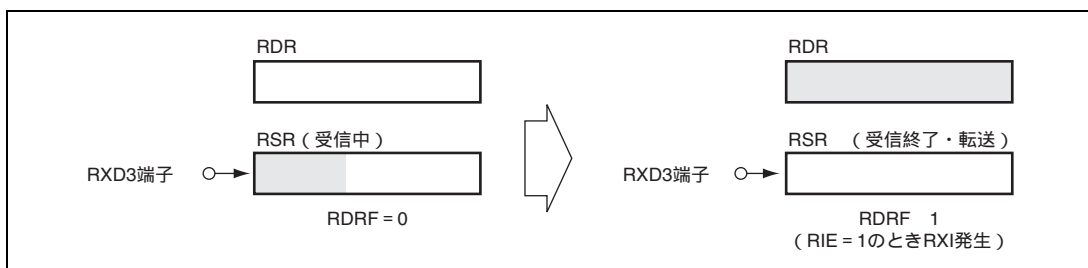


図 17.21 (a) RDRF のセットと RXI 割り込み

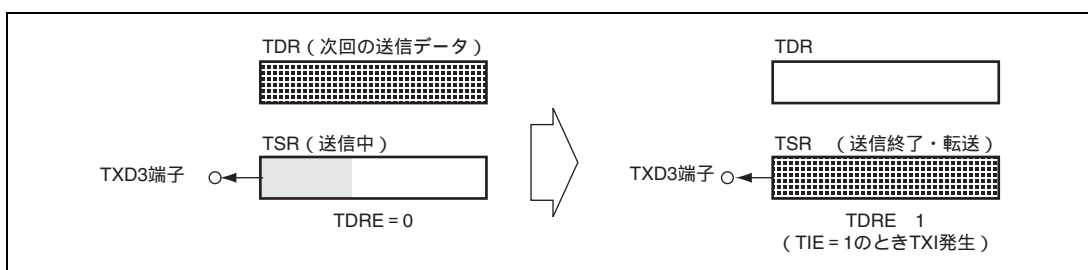


図 17.21 (b) TDRE のセットと TXI 割り込み

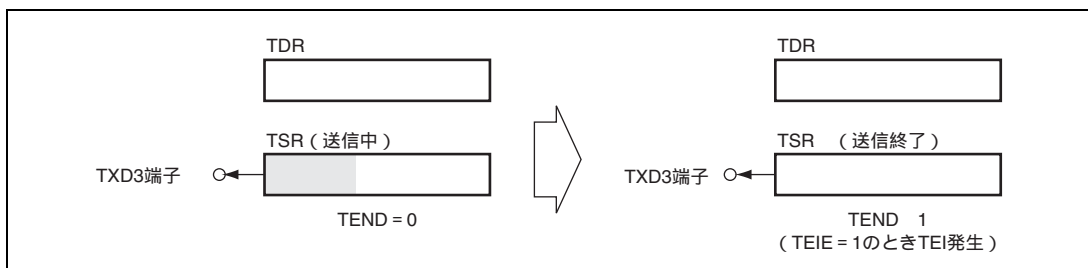


図 17.21 (c) TEND のセットと TEI 割り込み

## 17.9 使用上の注意事項

### 17.9.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD3 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD3 端子からの入力が入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

### 17.9.2 マーク状態とブレークの送付

TE が 0 のとき、TXD3 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD3 端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR = 1、PDR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TXD3 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、PCR = 1、PDR = 0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD3 端子は I/O ポートになり、TXD3 端子から 0 が出力されます。

### 17.9.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

### 17.9.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロック (SEMR の ABCS ビット = 1 のとき、8 倍の周波数の基本クロック\*) で動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立ち上がりエッジ (SEMR の ABCS ビット = 1 のとき、4 ヶ目の立ち上がりエッジ\*) で内部に取り込みます。これを図 17.22 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

【注】 \* SCI3\_1 のみ対応します。

$$M = \left\{ \left( 0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N = 16)

D : クロックのデューティ (D = 0.5 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5 とすると、  
 $M = \{0.5 - 1/(2 \times 16)\} \times 100 \quad [\%] = 46.875\%$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

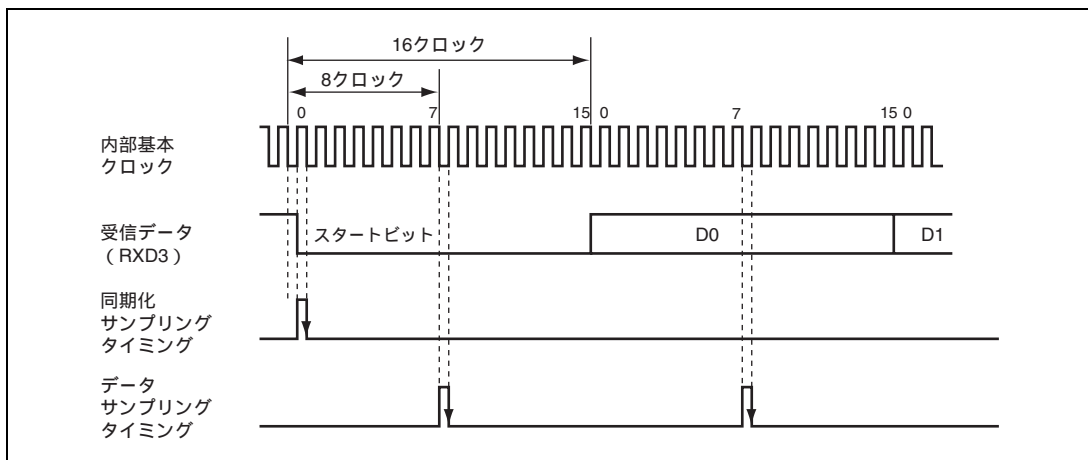


図 17.22 調歩同期式モードの受信データサンプリングタイミング

### 17.9.5 SCK3 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK3 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK3 端子に端子機能切り替えのタイミングで瞬時(システムクロックの 1/2 の期間)Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

#### (1) SCK3 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1 命令で SCR の TE ビット、RE ビットを 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

この場合は、SMR の COM ビットは 1 にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK3 端子に中間電位が印加しないように SCK3 端子に接続したラインは抵抗を介して  $V_{cc}$  電位にプルアップするか、他のデバイスから出力を与えるかしてください。

#### (2) SCK3 端子をクロック出力状態から入出力ポートに端子機能を切り替える場合

送受信を停止する際、

1. まず 1 命令で SCR の TE ビット、RE ビットをともに 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。
2. 次に SMR の COM ビットを 0 にクリアしてください。
3. 最後に SCR の CKE1、CKE0 ビットをともに 0 にクリアしてください。この場合も SCK3 端子に中間電位が印加しないように注意してください。



### 17.9.6 TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR ヘデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上ライトしない) ようにしてください。

### 17.9.7 RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常のデータ受信を完了します。また RDRF が 1 にセットされていれば、オーバーランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 17.23 に示します。

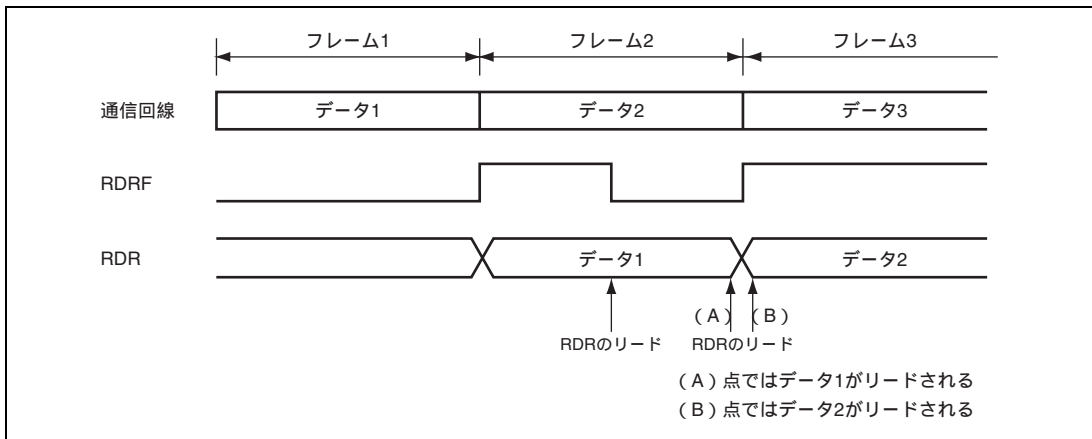


図 17.23 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う (2 回以上リードしない) ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

## 17. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

---

### 17.9.8 状態遷移時における送信および受信動作について

状態遷移処理を行う場合は、送信および受信動作が完全に終了したのを確認した後に行ってください。

### 17.9.9 サブアクティブモード、サブスリープモード時の設定について

サブアクティブモード、サブスリープモード時は CPU 動作クロックが  $w/2$  のときのみ SCI3 が使用可能となります。SYSCR2 の SA1 ビットを 1、SA0 ビットを 0 に設定してください。

### 17.9.10 シリアルコミュニケーションインタフェース 3 を実行する際に使用する発振器について

シリアルコミュニケーションインタフェース 3 を実行する際は、システムクロック用内蔵発振器を使用しないでください。システムクロック発振器とシステムクロック用内蔵発振器の切り替え方法は「5.2.4 システムクロック用内蔵発振器を選択する方法」を参照してください。

---

## 18. シリアルコミュニケーションインタフェース 4 (SCI4)

---

シリアルコミュニケーションインタフェース 4 (SCI4) は、8 ビットバッファ付きのクロック同期式シリアルです。F-ZTAT 版のみの対応であり、SCI4 の SCK4、SI4、SO4 端子は、オンチップエミュレータデバッグなどを使用する場合、システムで占有しますので、ユーザは使用できません。

### 18.1 特長

- クロックソースとして8種類の内部クロック ( /1024、 /256、 /64、 /32、 /16、 /8、 /4、 /2 ) と外部クロックが選択可能
- 受信エラーの検出：オーバランエラーを検出
- 4種類の割り込み要因：  
送信終了、送信データエンプティ、受信データフル、オーバランエラーの4種類の割り込み要因があります。
- 全二重通信が可能  
送信部および受信部ともにバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能です。
- オンチップエミュレータデバッグなどを使用しない場合、ユーザが使用可能
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能  
( 詳細は、「6.4 モジュールスタンバイ機能」を参照してください。 )

## 18. シリアルコミュニケーションインタフェース 4 (SCI4)

SCI4 のブロック図を図 18.1 に示します。

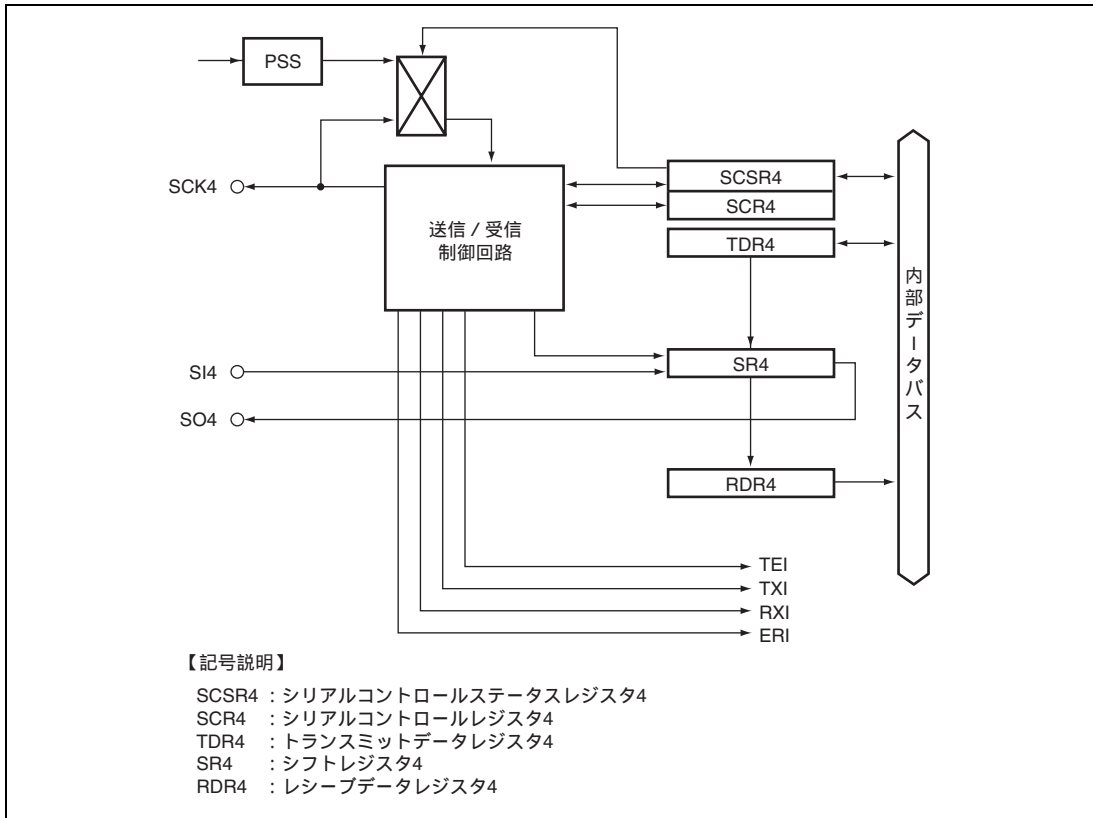


図 18.1 SCI4 のブロック図

## 18.2 入出力端子

SCI4 の端子構成を表 18.1 に示します。

表 18.1 端子構成

名称	略称	入出力	機能
SCI4 クロック	SCK4	入出力	SCI4 のクロック入出力端子
SCI4 データ入力	SI4	入力	SCI4 の受信データ入力端子
SCI4 データ出力	SO4	出力	SCI4 の送信データ出力端子

## 18.3 レジスタの説明

SCI4 には以下のレジスタがあります。

- シリアルコントロールレジスタ4 (SCR4)
- シリアルコントロールステータスレジスタ4 (SCSR4)
- トランスミットデータレジスタ4 (TDR4)
- レシーブデータレジスタ4 (RDR4)
- シフトレジスタ4 (SR4)

### 18.3.1 シリアルコントロールレジスタ 4 (SCR4)

SCR4 は割り込み要求の許可、または禁止、および SCI の送信 / 受信動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>TDR4 から SR4 へシリアル送信データが転送されて SCSR4 の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。TXI 割り込み要求の解除は、SCSR4 の TDRE フラグの 1 をリードした後、0 にクリアするか、または、TIE ビットを 0 にクリアすることで行うことができます。</p> <p>0 : 送信データエンプティ割り込み (TXI) 要求の禁止 1 : 送信データエンプティ割り込み (TXI) 要求の許可</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>シリアル受信データが SR4 から RDR4 へ転送されて SCSR4 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。RXI、および ERI 割り込み要求の解除は、SCSR4 の RDRF、または ORER の各フラグの 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。</p> <p>0 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止 1 : 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可</p>
5	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>MSB データ送出時に有効な送信データが TDR4 にないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。TEI の解除は、SCSR4 の TEND フラグの 1 をリードした後、0 ライトして TEND をクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p> <p>0 : 送信終了割り込み (TEI) 要求を禁止 1 : 送信終了割り込み (TEI) 要求を許可</p>

## 18. シリアルコミュニケーションインタフェース 4 (SCI4)

ビット	ビット名	初期値	R/W	説 明
4	SOL	0	R/W	<p>拡張データビット</p> <p>SO4 端子の出力レベルを設定します。また、リードすると SO4 端子の出力レベルが読み出されます。送信完了後の SO4 端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO4 端子の出力レベルを変更することができます。SO4 端子の出力レベルを変更する場合は、ビット 3 の SOLP ビットを 0 にして MOV 命令で行ってください。なお、データ転送中に本ビットにライトすると誤動作の原因になりますので送信中は操作しないでください。</p> <p>[リード時]</p> <p>0 : SO4 端子出力が Low レベル 1 : SO4 端子出力が High レベル</p> <p>[ライト時]</p> <p>0 : SO4 端子出力を Low レベルに変更 1 : SO4 端子出力を High レベルに変更</p>
3	SOLP	1	R/W	<p>SOL ライトプロテクト</p> <p>SOL ビット書き換えによる SO4 端子の出力レベルの変更を制御します。SO4 端子の出力レベル変更を行う場合は、SOL = 1 かつ SOLP = 0、または SOL = 0 かつ SOLP = 0 を MOV 命令で行います。このビットはリードすると常に 1 が読み出されます。</p> <p>0 : ライト時、SOL の値によって出力レベルを変更 1 : リード時、常に 1 をリード。ライトは無効</p>
2	SRES	0	R/W	<p>強制リセットビット</p> <p>SCI4 内部シーケンサを強制的に初期化する際に、このビットに 1 をライトしてください。SRES フラグに 1 をライトすると、SCI4 内部シーケンサを強制リセットした後、自動的にこのフラグは 0 にクリアされます。ただし、SCI4 内部レジスタの値は保持します。(SCSR4 の TDRE は 1、RDRF、ORER、TEND は 0 にクリアされます。また、SCR4 の TE、RE は 0 にクリアされます。)</p> <p>0 : SCI4 内部は通常動作 1 : SCI4 内部シーケンサを強制リセット</p>
1	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCI4 のシリアル送信動作の開始を許可または禁止します。TE ビットを 0 にクリアすると SCSR4 の TDRE フラグは 1 に固定されます。また、TE ビットを 1 にセットした状態で、TDR4 に送信データをライトすると、SCSR4 の TDRE フラグが自動的に 0 にクリアされシリアル送信を開始します。</p> <p>0 : 送信動作を禁止 (SO4 端子は入出力ポート) 1 : 送信動作を許可 (SO4 端子はトランスミットデータ端子)</p>

## 18. シリアルコミュニケーションインタフェース 4 (SCI4)

ビット	ビット名	初期値	R/W	説明
0	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIのシリアル受信動作の開始を許可または禁止します。RE ビットを0にクリアしてもSCSR4のRDRF、ORERの各フラグは影響を受けず状態を保持します。また、RE ビットを1にセットした状態で、同期クロック入力を検出すると、シリアル受信を開始します（外部クロック選択時）。内部クロック選択時は同期クロックを出力し、シリアル受信を開始します。</p> <p>0: 受信動作を禁止（SI4 端子は入出力ポート） 1: 受信動作を許可（SI4 端子はレシーブデータ端子）</p>

### 18.3.2 シリアルコントロールステータスレジスタ 4 (SCSR4)

SCSR4は動作状態、エラー状態などを示し、クロックソースの選択、プリスケラ分周比を制御するレジスタです。

SCSR4は常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、TENDの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータエンプティ</p> <p>TDR4からSR4にデータ転送が行われTDR4に次のシリアル送信データをライトすることが可能になったことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCR4のTEビットが0のとき</li> <li>• TDR4からSR4にデータ転送が行われ、TDR4にデータライトが可能になったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1をリードした後、0をライトしたとき</li> <li>• TDR4へデータをライトしたとき</li> </ul>
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル</p> <p>受信したデータがRDR4に格納されていることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• シリアル受信が正常終了し、SR4からRDR4へ受信データが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1をリードした後、0をライトしたとき</li> <li>• RDR4からデータをリードしたとき</li> </ul>

## 18. シリアルコミュニケーションインタフェース 4 (SCI4)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	<p>オーバランエラーフラグ</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。送受信モードの場合、ORER = 1 のとき SO4 端子の出力を Low レベルに固定します。SCR4 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず、以前の状態を保持します。また、RDR4 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。また、シリアル送信も続けることはできません。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• RDRF = 1 の状態で次のシリアル受信を完了したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 をリードした後、0 をライトしたとき</li> </ul>
4	TEND	0	R/(W)*	<p>トランスミットエンド</p> <p>送信データの最後尾ビットを送信時に TDRE が 1 にセットされていたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 送信データの最後尾ビットの送信時に TDRE が 1 であったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 をリードした後、0 をライトしたとき</li> <li>• 命令で TDR4 にデータをライトしたとき</li> </ul>
3	CKS3	1	R/W	<p>クロックソース選択と端子機能</p> <p>供給するクロックソースの選択と SCK4 端子の入出力の設定を行います。内部クロックの場合のプリスケアラ分周比と転送クロック周期は表 18.2 のようになります。外部クロックを選択した場合は外部クロックの周期を 4/ 以上にししてください。</p>
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 \* フラグをクリアするための 0 ライトのみ可能です。



表 18.2 にプリスケアラ分周比と転送クロック周期を示します。

表 18.2 プリスケアラ分周比と転送クロック周期 (内部クロックの場合)

ビット3	ビット2	ビット1	ビット0	プリスケアラ 分周比	転送クロック周期		機能	
					= 5MHz	= 2.5MHz	クロック ソース	端子機能
0	0	0	0	/1024	204.8 μs	409.6 μs	内部クロック	SCK4 出力端子
0	0	0	1	/256	51.2 μs	102.4 μs	内部クロック	SCK4 出力端子
0	0	1	0	/64	12.8 μs	25.6 μs	内部クロック	SCK4 出力端子
0	0	1	1	/32	6.4 μs	12.8 μs	内部クロック	SCK4 出力端子
0	1	0	0	/16	3.2 μs	6.4 μs	内部クロック	SCK4 出力端子
0	1	0	1	/8	1.6 μs	3.2 μs	内部クロック	SCK4 出力端子
0	1	1	0	/4	0.8 μs	1.6 μs	内部クロック	SCK4 出力端子
0	1	1	1	/2	-	0.8 μs	内部クロック	SCK4 出力端子
1	0	0	0	-	-	-	入出力ポート (初期値)	
1	0	0	1	-	-	-	入出力ポート	
1	0	1	0	-	-	-	入出力ポート	
1	0	1	1	-	-	-	入出力ポート	
1	1	0	0	-	-	-	入出力ポート	
1	1	0	1	-	-	-	入出力ポート	
1	1	1	0	-	-	-	入出力ポート	
1	1	1	1	-	-	-	外部クロック	SCK4 入力端子

### 18.3.3 トランスミットデータレジスタ 4 (TDR4)

TDR4はシリアルを送信するデータを格納する8ビットのレジスタです。SCI4はSR4の空きを検出すると、TDR4にライトされた送信データをSR4に転送してシリアル送信を開始します。SR4のシリアルデータ送信中にTDR4に次の送信データをライトしておくこと連続シリアル送信ができます。TDR4は常にCPUによるリード/ライトが可能です。TDR4の初期値はH'FFです。

### 18.3.4 レシーブデータレジスタ 4 (RDR4)

RDR4は受信したシリアルデータを格納する8ビットのレジスタです。SCI4は、1バイトのシリアルデータの受信が終了すると、SR4からRDR4へ受信したシリアルデータを転送して格納し、受信動作を完了します。その後SR4は、受信可能になります。RDR4はCPUから直接ライトすることはできません。RDR4の初期値はH'00です。

### 18.3.5 シフトレジスタ 4 (SR4)

SR4はシリアルデータを送受信するためのレジスタです。CPUから直接SR4をリード/ライトすることはできません。

## 18.4 動作説明

SCI4 は、クロックパルスに同期してデータを送信、または受信する SCI で、高速シリアル通信に適しています。送信 / 受信フォーマットは 8 ビットデータ固定です。クロックソースは、内部クロックと外部クロックを選択できます。また、受信時にオーバランエラーの検出ができます。送信部 / 受信部はダブルバッファ構造になっていますので、送信中にデータのライト、受信中にデータのリードができ、連続送信 / 受信が可能です。

### 18.4.1 クロック

転送クロックは、8 種類の内部クロックと外部クロックから選択できます。外部クロックを選択した場合は、SCK4 端子はクロック入力端子となります。内部クロックを選択した場合は、SCK4 端子は同期クロック出力端子となります。同期クロックは 1 キャラクタの送信 / 受信で 8 パルス出力され、送信および受信を行わないときには High レベルに固定されます。

なお、SCSR4 の CKS3 ~ CKS0 の組み合わせで内部クロック、外部クロック選択をしないときは、SCK4 端子は入出力ポートになります。

### 18.4.2 データ転送フォーマット

SCI4 の転送フォーマットを図 18.2 に示します。

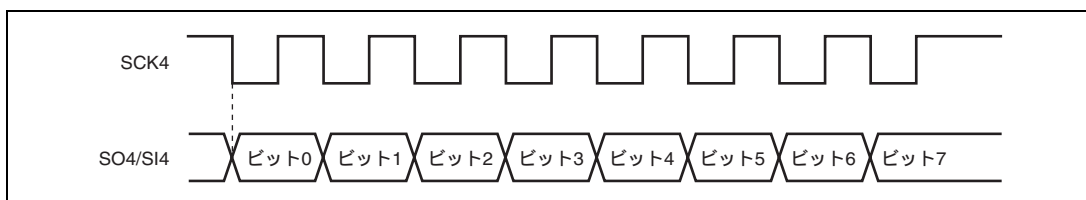


図 18.2 転送フォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりエッジでデータの確定が保証されます。通信データの 1 キャラクタは、LSB から始まり最後に MSB の順で構成されます。MSB 出力後の通信回線は MSB の状態を保ちます。

SCI4 は、受信時に同期クロックの立ち上がりに同期してデータを取り込みます。送信 / 受信フォーマットは 8 ビットデータ固定です。送信停止中の SO4 端子の出力値は、SCR4 の SOL により変更することができます。

### 18.4.3 データの送信 / 受信動作

データの送信 / 受信前には、まず SCR4 の TE および RE を 0 にクリアした後、図 18.3 に示す手順に従い初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ず TE および RE を 0 にクリアしてから変更してください。TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、ORER の各フラグおよび RDR4 の内容は保持されますので注意してください。

外部クロックを使用している場合には、初期化を含めた動作中にクロックを供給しないでください。

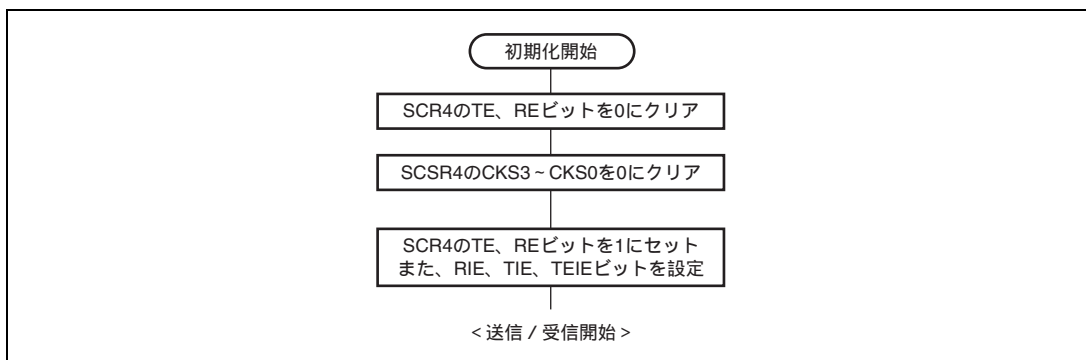


図 18.3 SCI4 を初期化するときのフローチャートの例

### 18.4.4 データ送信

図 18.4 にデータ送信のフローチャートの例を示します。データ送信は SCI4 の初期化後、以下の手順に従って行ってください。

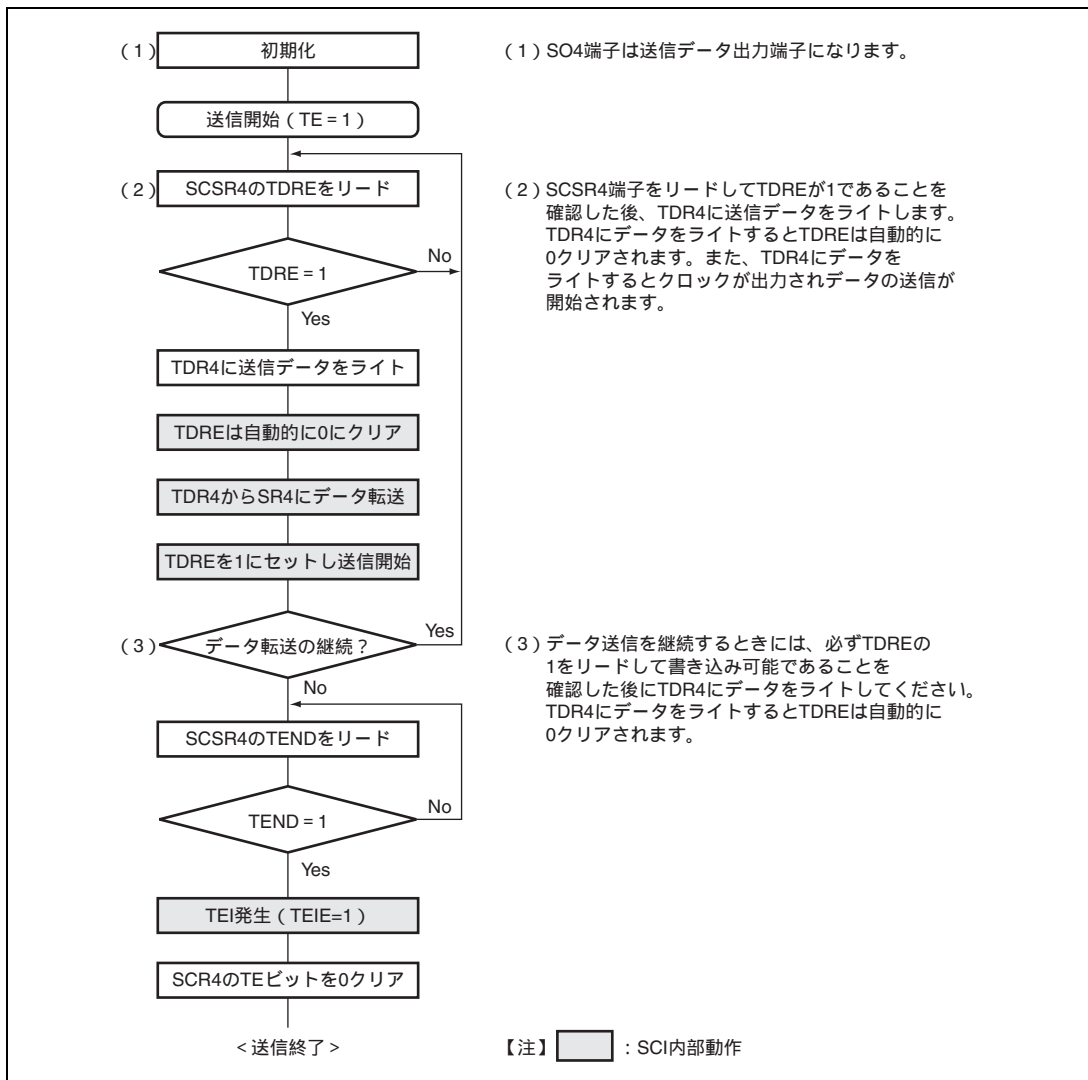


図 18.4 データ送信のフローチャートの例

SCI4 はデータ送信時に以下のように動作します。

1. SCI4は、TEIに1をセット後、TDR4に送信データをライトするとTDREを0にクリアし、TDR4からSR4にデータを転送します。その後、TDREを1にセットして送信を開始します。このとき、SCR4のTIEが1にセットされているとTXIを発生します。
2. クロック出力モードに設定したときには、SCI4は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
3. シリアルデータは、LSB (ビット0) からMSB (ビット7) の順にSO4端子から送信されます。その後、MSB (ビット7) を送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDR4からSR4にデータを転送し、次のフレームの送信を開始します。TDREが1であるとSR4のTENDに1をセットし、MSB (ビット7) 送出後、状態を保持します。このときSCR4のTEIEが1にセットされているとTEIを発生します。
5. 送信終了後は、SCK4端子はHighレベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (ORER) が 1 にセットされた状態では送信は行えませんが、送信の前にはエラーフラグ (ORER) が 0 にクリアされていることを確認してください。

図 18.5 に送信時の動作例を示します。

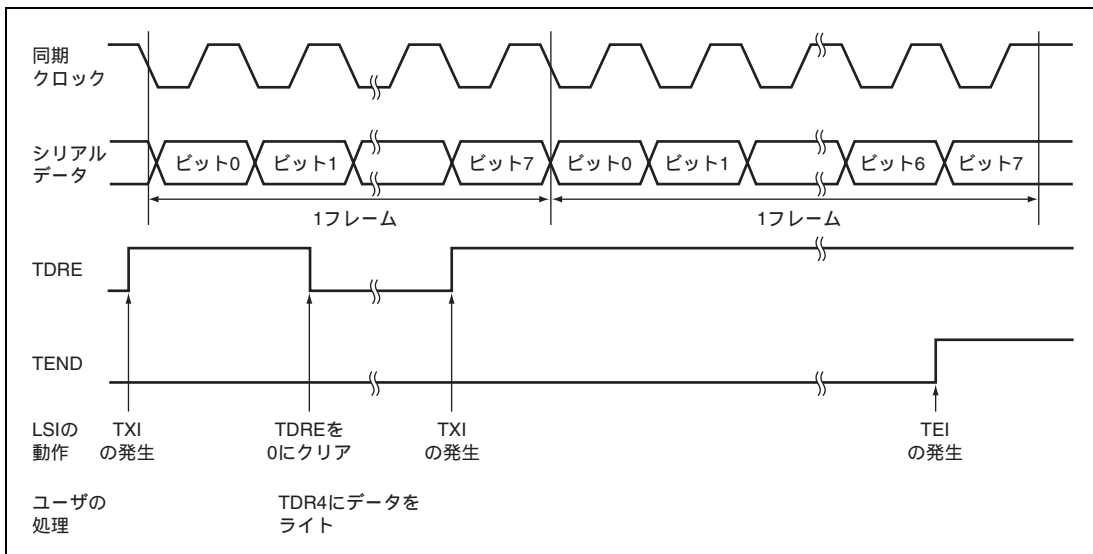


図 18.5 送信時の動作例

### 18.4.5 データ受信

図 18.6 にデータ受信のフローチャートの例を示します。データ受信は SCI4 の初期化後、以下の手順に従って行ってください。

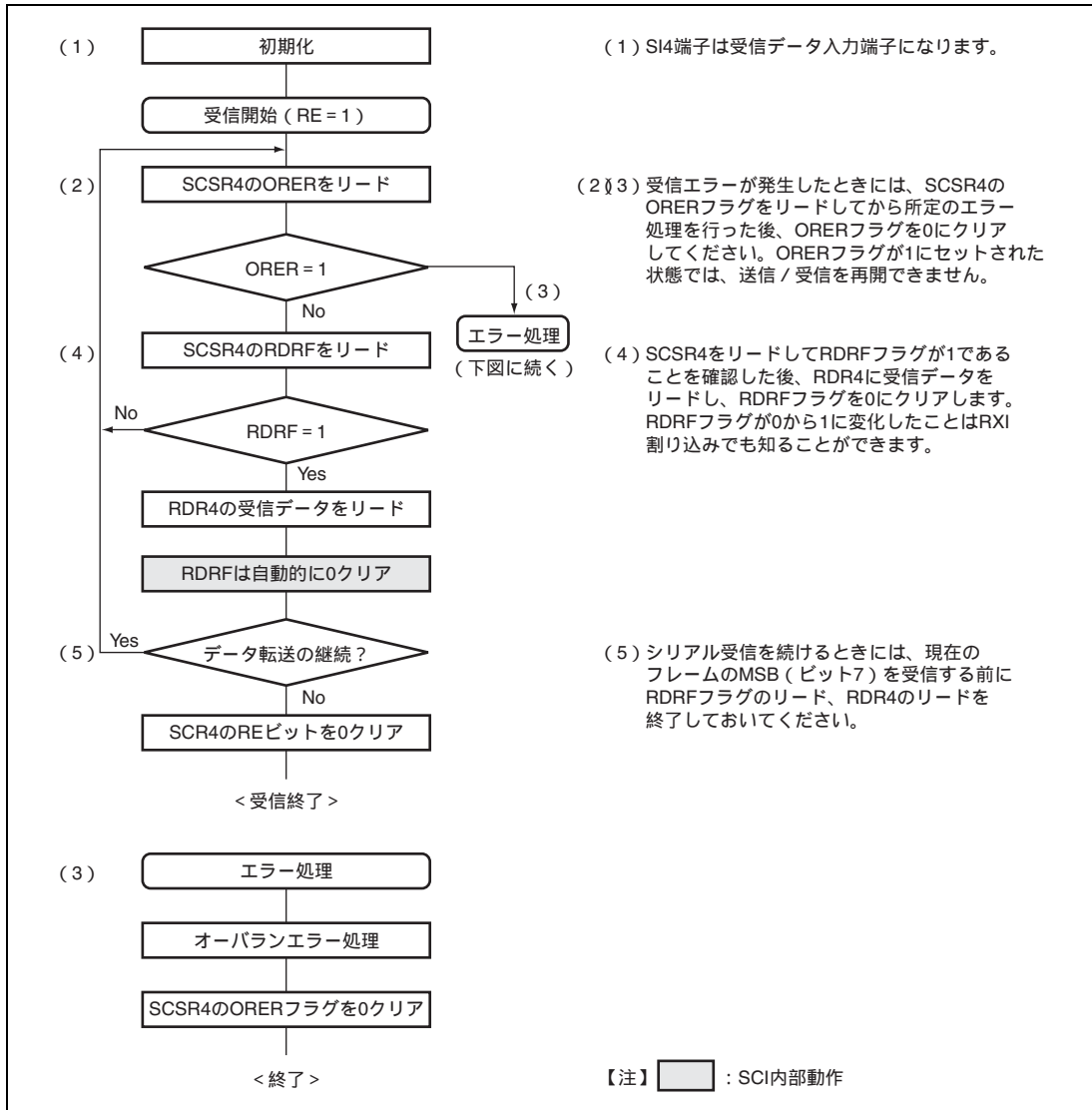


図 18.6 データ受信フローチャートの例

SCI4 は受信時に以下のように動作します。

1. SCI4は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをSR4のLSBからMSBの順にセットします。
3. 受信後、SCI4は、RDRFが0であり、受信データをSR4からRDR4に転送できる状態であるかをチェックします。
4. このチェックの結果オーバーランエラーがなかったときRDRFが1にセットされ、RDR4に受信データが格納されます。このとき、SCR4のRIEが1にセットされているとRXIを発生します。一方、エラーチェックでオーバーランエラーを検出するとORERが1にセットされます。また、RDRFは1にセットされた状態を保ちます。このとき、SCR4のRIEが1にセットされているとERIを発生します。
5. オーバーランエラーの検出条件は、SCSR4のRDRFが1にセットされたまま、次のデータ受信を完了したときに検出します。受信データはSR4からRDR4に転送されません。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずORERおよびRDRFを0にクリアしてください。

図 18.7 に受信時の動作例を示します。

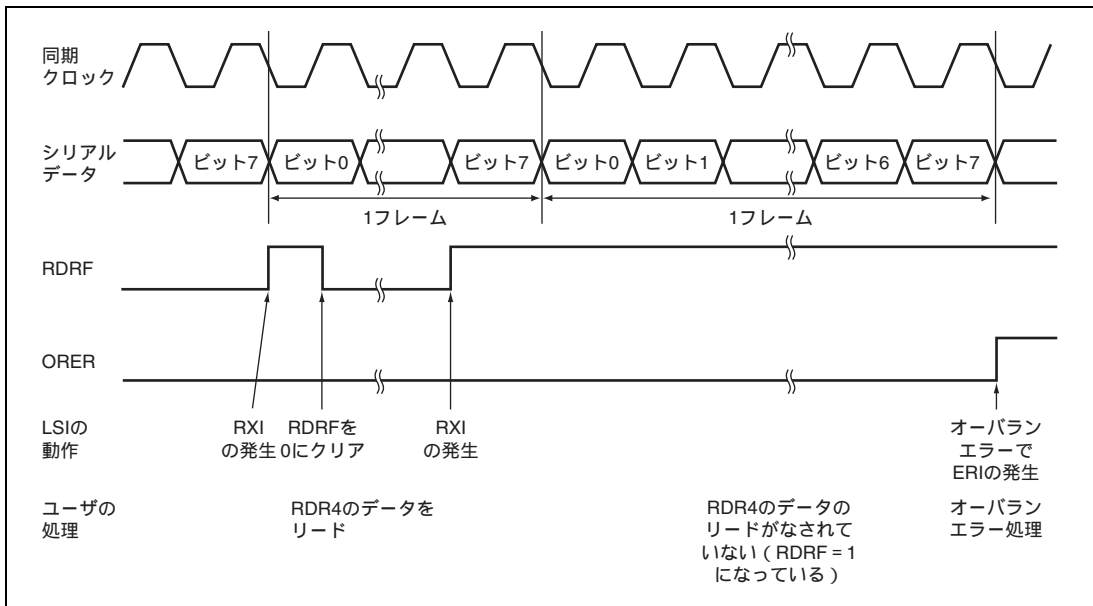


図 18.7 受信時の動作例

### 18.4.6 データ送受信同時動作

図 18.8 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI4 の初期化後、以下の手順に従って行ってください。

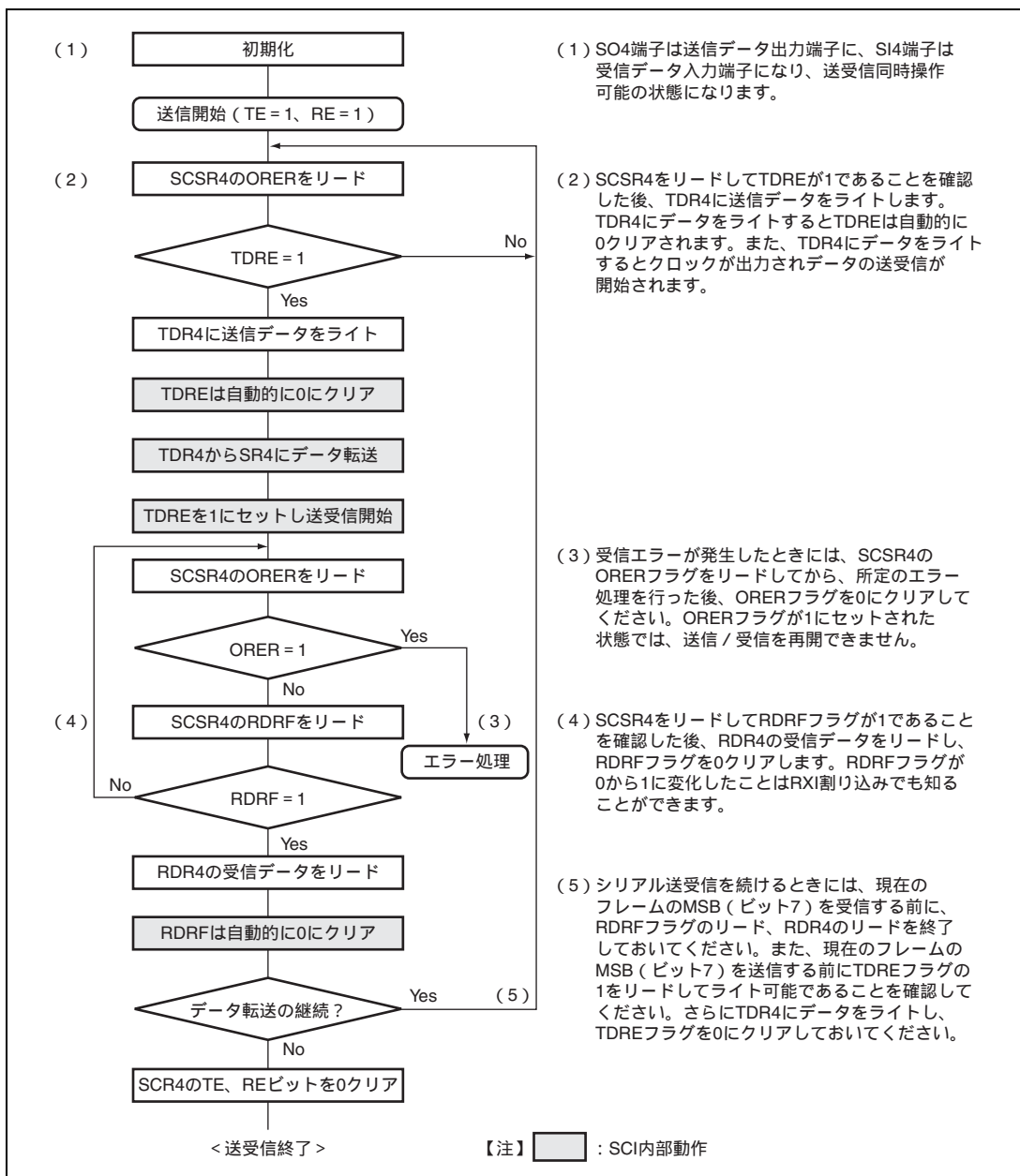


図 18.8 データ送受信同時動作のフローチャートの例



- 【注】
1. 送信から同時送受信へ切り替えるときには、SCI4 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 にセットしてください。
  2. 受信から同時送受信へ切り替えるときには、SCI4 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER) が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

## 18.5 割り込み要因

SCI4 の割り込み要因には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバランエラー）の 4 種類があります。

表 18.3 に各割り込み要求の内容を示します。

表 18.3 SCI4 割り込み要求の内容

割り込みの略称	レジスタ条件	割り込み要求の内容
RXI	RIE = 1	受信データフル (RDRF) による割り込み要求
TXI	TIE = 1	送信データエンプティ (TDRE) による割り込み要求
TEI	TEIE = 1	送信終了 (TEND) による割り込み要求
ERI	RIE = 1	受信エラー (ORER) による割り込み要求

各割り込み要求は、SCR4 の TIE、RIE で許可 / 禁止できます。

SCSR4 の TDRE が 1 にセットされると、TXI が発生します。SCSR4 の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SCSR4 の TDRE は初期値が 1 になっています。したがって送信データを TDR4 へ転送する前に SCR4 の TIE を 1 にセットして送信データエンプティ割り込み要求 (TXI) を許可すると、送信データが準備されていなくても TXI が発生します。

送信データを TDR4 へ転送する処理を、割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用できます。

一方、これらの割り込み要求 (TXI、TEI) の発生を防ぐためには、送信データを TDR4 へ転送した後に、これらの割り込み要求に対応する許可ビット (TIE、TEIE) を 0 にセットしてください。

SCSR4 の RDRF が 1 にセットされると RXI が発生します。ORER が 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

### 18.6 使用上の注意事項

SCI4 を使用する際は以下のことに注意してください。

#### 18.6.1 TDR4 へのライトと TDRE の関係について

SCSR4 の TDRE はシリアル送信するデータが TDR4 に準備されていないことを示すステータスフラグです。TDR4 へデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI4 が TDR4 から SR4 にデータを転送すると、TDRE が 1 にセットされます。

TDR4 へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR4 に書き込むと、TDR4 に格納されていた前のデータは、まだ SR4 に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR4 への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上しない) ようにしてください。

#### 18.6.2 受信エラーフラグと送信動作について

受信エラーフラグ (ORER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

#### 18.6.3 RDR4 のリードと RDRF の関係について

SCI4 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常オデータ受信を完了します。また RDRF が 1 にセットされていれば、オーバーランエラーとなります。

RDR4 の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR4 のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR4 のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 18.9 に示します。

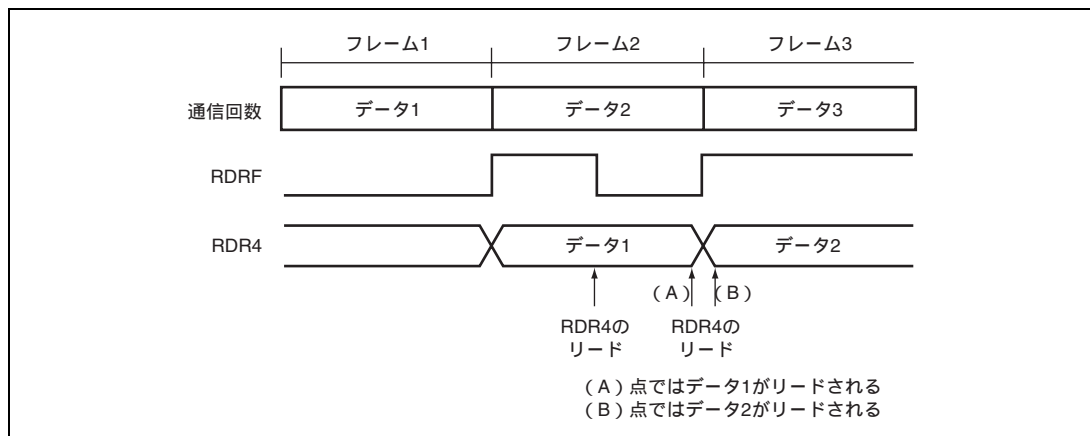


図 18.9 RDR4 リードタイミングとデータの関係

この場合、RDR4のリード操作はRDRFが1にセットされていることを確認してから、1回のみ行う（2回以上しない）ようにしてください。2回以上リードする場合は、1回リードしたデータをRAM等に転送し、その内容を使用するようにしてください。また、RDR4のリード操作は、次のフレームの受信が完了するまでに余裕を持って行うようにしてください。具体的なタイミングとしては、ビット7の転送前までにRDR4のリードを完了してください。

#### 18.6.4 内部クロック /2 選択時の SCK4 出力波形について

SCSR4のCKS3～CKS0ビットで内部クロック /2 を選択し、連続送信 / 連続受信を行う場合、図 18.10 のように8パルスのクロック出力後、1パルス分 High 期間が伸びます。

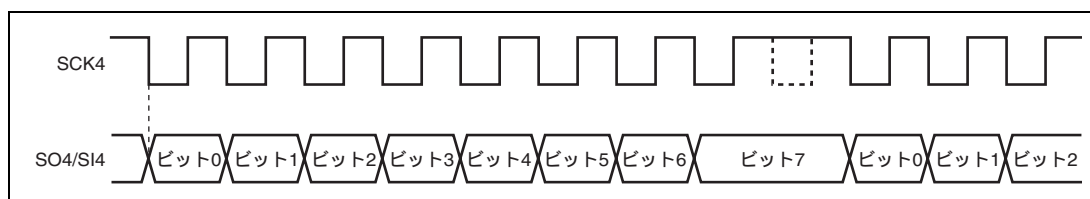


図 18.10 内部クロック /2 選択時の転送フォーマット

## 18. シリアルコミュニケーションインタフェース 4 (SCI4)

---

## 19. 14ビットPWM

本 LSI は、4 チャンネルの 14 ビット PWM (Pulse Width Modulator) を内蔵しています。PWM にローパスフィルタを接続することで D/A 変換器として使用できます。また、標準 PWM / パルス分割 PWM をソフトウェアで選択できます。14 ビットの PWM のブロック図を図 19.1 に示します。

### 19.1 特長

- 4種類の変換周期を選択可能  
1変換周期131,072/、最小変化幅8/、1変換周期65,536/、最小変化幅4/、1変換周期32,768/、最小変化幅2/、または1変換周期16,384/、最小変化幅1/の選択が可能です。
- リップル低減を図ったパルス分割方式
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能  
(詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)
- ソフトウェアにより、標準PWM / パルス分割PWMを選択可能

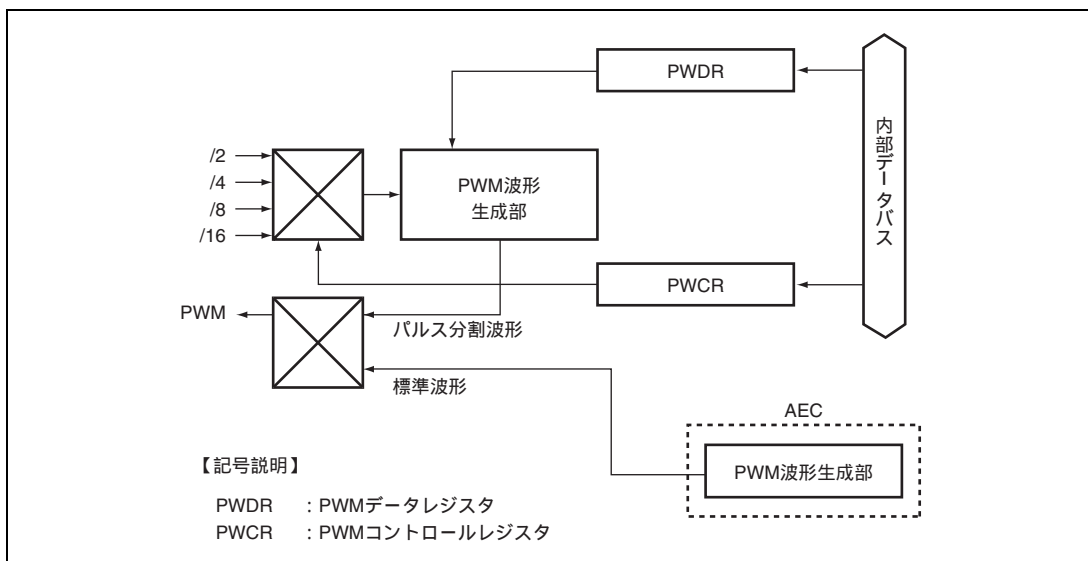


図 19.1 14ビットPWMのブロック図

## 19.2 入出力端子

14 ビット PWM の端子構成を表 19.1 に示します。

表 19.1 端子構成

名称	略称	入出力	機能
PWM1 出力端子	PWM1	出力	標準 PWM / パルス分割方式 PWM 波形出力 ( PWM1 )
PWM2 出力端子	PWM2	出力	標準 PWM / パルス分割方式 PWM 波形出力 ( PWM2 )
PWM3 出力端子	PWM3	出力	標準 PWM / パルス分割方式 PWM 波形出力 ( PWM3 )
PWM4 出力端子	PWM4	出力	標準 PWM / パルス分割方式 PWM 波形出力 ( PWM4 )

## 19.3 レジスタの説明

14 ビット PWM には以下のレジスタがあります。

- PWM1コントロールレジスタ ( PWCR1 )
- PWM1データレジスタ ( PWDR1 )
- PWM2コントロールレジスタ ( PWCR2 )
- PWM2データレジスタ ( PWDR2 )
- PWM3コントロールレジスタ ( PWCR3 )
- PWM3データレジスタ ( PWDR3 )
- PWM4コントロールレジスタ ( PWCR4 )
- PWM4データレジスタ ( PWDR4 )

### 19.3.1 PWM コントロールレジスタ (PWCR)

PWCR は、入力クロックの選択および標準 PWM / パルス分割 PWM の選択を行います。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	PWCRm2	0	W	PWM 出力波形セレクト 標準 PWM 波形かパルス分割 PWM 波形を選択します。 0 : パルス分割 PWM 波形を出力 1 : 標準 PWM 波形を出力
1 0	PWCRm1 PWCRm0	0 0	W W	クロックセレクト 1、0 14 ビット PWM に供給されるクロックを選択します。このビットはライト専用です。リードすると常に 1 が読み出されます。 00 : 入力クロック = /2 1 変換周期 16,384/、最小変化幅 1/ の PWM 波形を生成 01 : 入力クロック = /4 1 変換周期 32,768/、最小変化幅 2/ の PWM 波形を生成 10 : 入力クロック = /8 1 変換周期 65,536/、最小変化幅 4/ の PWM 波形を生成 11 : 入力クロック = /16 1 変換周期 131,072/、最小変化幅 8/ の PWM 波形を生成

【注】 m = 4~1

### 19.3.2 PWM データレジスタ (PWDR)

PWDR は、ライト専用の 14 ビットのレジスタで、パルス分割 PWM 選択時、PWM 波形 1 周期の High レベル幅を表します。

PWDR の下位 14 ビットにデータをライトすると、PWDR に書き込まれた内容は PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。

PWDR の初期値は 0 で、リードすると常に H'FFFF が読み出されます。

本レジスタライト時は、ワードサイズでライトしてください。

## 19.4 動作説明

### 19.4.1 パルス分割 PWM の原理

パルス分割 PWM は、通常の PWM 波形の High 期間・Low 期間をそれぞれ分割し、交互に出力する方式です。ローパスフィルタを接続して D/A として使用する場合に発生するリップルの低減を図っています。例として、4 分割した場合の波形を図 19.2 に示します。本 14 ビット PWM の分割数は 64 分割です。

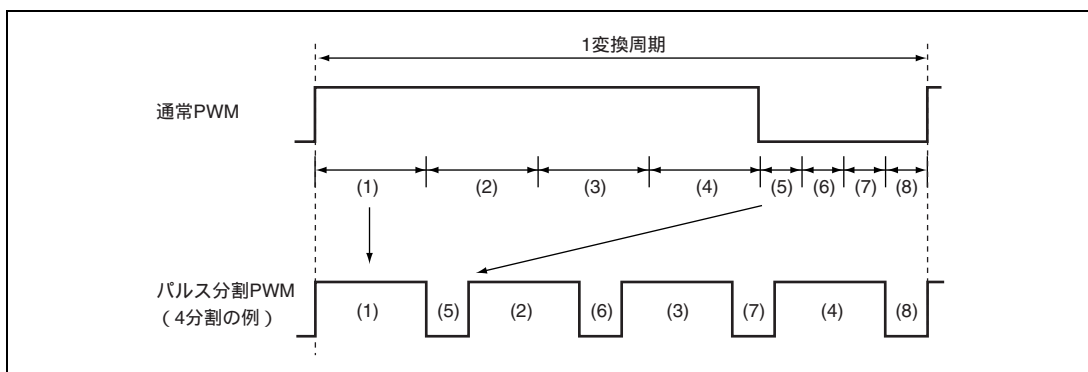


図 19.2 4 分割した場合のパルス分割方式 PWM の動作例

### 19.4.2 パルス分割 PWM の設定手順

パルス分割 PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

1. 使用する PWM のチャンネルに対応して PMR9 の PWM1、PWM2、PFCR の PWM3、PWM4 を 1 に設定すると、P90/PWM1 端子、P91/PWM2 端子、P92/ $\overline{\text{TRQ}}4$ /PWM3 端子、P93/PWM4 端子の各々が PWM 出力端子となります。
2. PWCR により、1 変換周期を選択します。
3. PWDR に出力波形データを設定します。PWDR へのライトと同時に PWM 波形生成部にデータが取り込まれ、PWM 波形生成の更新が行われます。

### 19.4.3 パルス分割 PWM の動作説明

1 変換周期は図 19.2 に示すように 64 個のパルスで構成され、この 1 変換周期中の High レベル幅合計 ( $T_H$ ) が、PWDR のデータに対応しています。この関係を表 19.2 に示します。



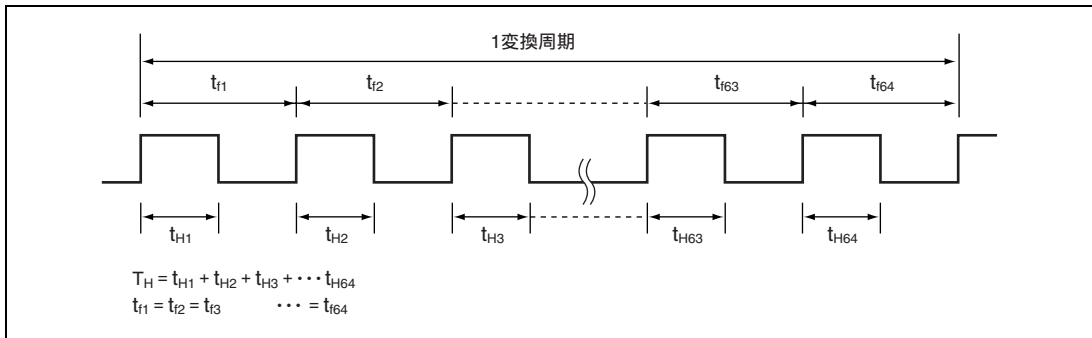


図 19.3 PWM 出力波形

表 19.2 PWCR、PWDR と出力波形の関係

PWCRm の設定値		1 変換周期 [tcyc]	$T_H$ [tcyc]	$t_n$ (n=1~64) [tcyc]	最小変化幅 [tcyc]
PWCRm1	PWCRm0				
0	0	16384	(PWDRm+64) × 1	256	1
0	1	32768	(PWDRm+64) × 2	512	2
1	0	65536	(PWDRm+64) × 4	1024	4
1	1	131072	(PWDRm+64) × 8	2048	8

【注】 m = 4~1

#### 19.4.4 標準 PWM の動作設定

標準 PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

1. 使用するPWMのチャネルに対応して、PMR9のPWM1、PWM2、PFCRのPWM3、PWM4を1に設定しP90/PWM1端子、P91/PWM2端子、P92/ $\overline{IRQ4}$ /PWM3端子、P93/PWM4端子のいずれかをPWM端子に設定します。
2. PWCRm2を1に設定し、標準PWM波形を選択します。(m=4~1)
3. 非同期イベントカウンタのイベントカウンタPWMを設定します。設定方法は、「15.4.4 イベントカウンタPWMの動作」を参照してください。
4. PWM端子より、イベントカウンタで設定したPWM波形が出力されます。

【注】 標準波形を使用する場合は、非同期イベントカウンタ用のPWMを動作させて使用するため、非同期イベントカウンタの16ビットカウンタ動作、8ビットカウンタ動作およびIRQAECの動作が使用できなくなります。非同期イベントカウンタのIECPWM信号がHighレベルの時は、ECH、ECLはカウントアップされますが、Lowレベルの時は、カウンタは停止するのでご注意ください。(詳細は「15.4 動作説明」を参照してください。)

### 19.4.5 PWM の動作モード

PWM の動作モードを表 19.2 に示します。

表 19.3 PWM の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
PWCRm	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRm	リセット	動作	動作	保持	保持	保持	保持	保持

(m = 4 ~ 1)

## 19.5 使用上の注意事項

### 19.5.1 PWDR のライトと PWM 波形への反映タイミングについて

PWM 波形出力中に PWDR を書き換えた場合、ライトを行ったタイミングの PWM 波形により以下の動作となります。

- (1) Low 出力期間中：次のパルスより反映されます。
- (2) High 出力期間中：
  - (2)-1 Duty を増やす場合：ライト直後に反映されます。
  - (2)-2 Duty を減らす場合：
    - (2)-2-1 書き換え時点での 1 パルスの High 幅が、ライト後の PWDR の High 幅を超えている場合：  
1 パルス期間、High が出力されます。
    - (2)-2-2 書き換え時点での 1 パルスの High 幅が、ライト後の PWDR の High 幅を超えていない場合：  
ライト直後に反映されます。

---

## 20. A/D 変換器

---

逐次比較方式の 10 ビットの A/D 変換器で、最大 8 チャンネルのアナログ入力を変換することができます。A/D 変換器のブロック図を図 20.1 に示します。

### 20.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 高速変換：1チャンネル当り12.4  $\mu$ s (10MHz動作時)
- サンプル&ホールド機能
- 変換開始方法  
ソフトウェアおよび外部トリガによるA/D変換の開始が可能
- 割り込み要因  
A/D変換終了割り込み要求を発生させることができます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能  
(詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

20. A/D 変換器

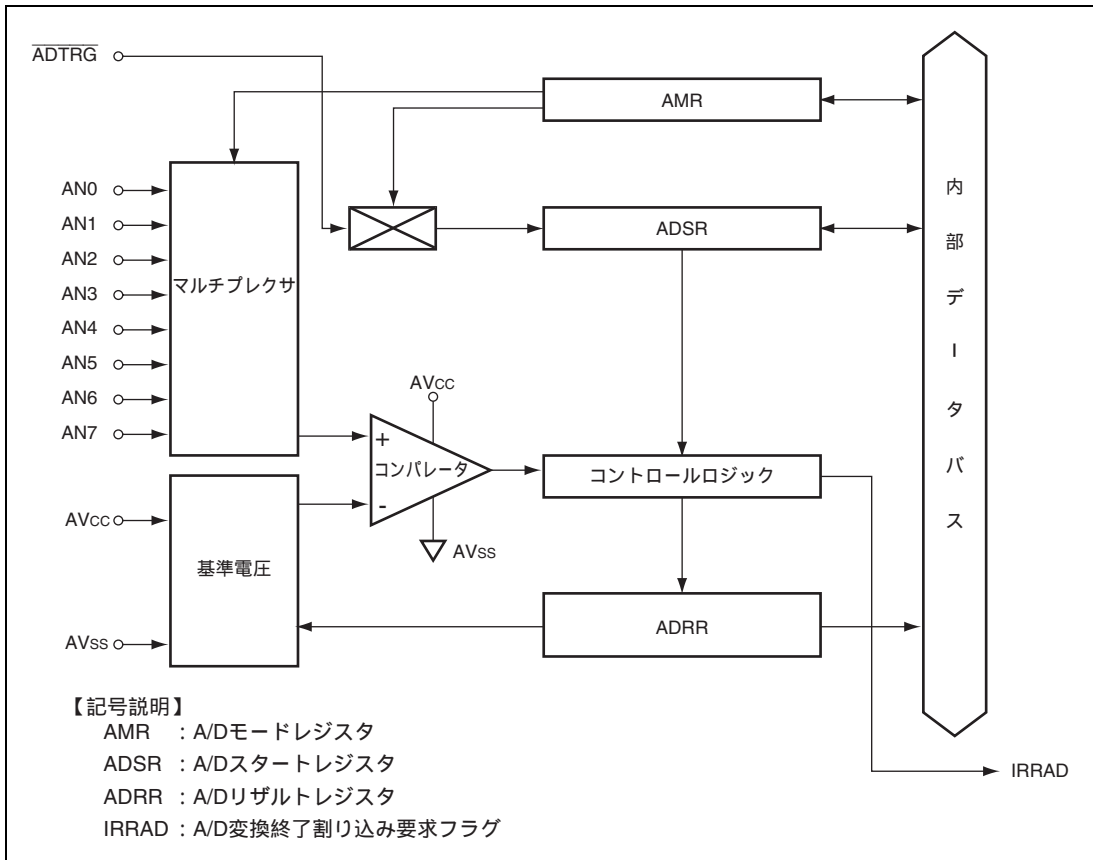


図 20.1 A/D 変換器のブロック図

## 20.2 入出力端子

A/D 変換器で使用する端子を表 20.1 に示します。

表 20.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源および基準電圧
アナログ部グランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換の開始を制御する外部トリガ入力

## 20.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/Dリザルトレジスタ (ADRR)
- A/Dモードレジスタ (AMR)
- A/Dスタートレジスタ (ADSR)

### 20.3.1 A/D リザルトレジスタ (ADRR)

ADRR は A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADRR の上位 10 ビットにデータが格納されます。ADRR は常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。ADRR の初期値は不定です。

本レジスタリード時は、ワードサイズでリードしてください。

## 20. A/D 変換器

### 20.3.2 A/D モードレジスタ (AMR)

AMR は A/D 変換器の変換時間の設定、外部トリガの選択、およびアナログ入力端子の指定を行います。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	TRGE	0	R/W	外部トリガセレクト 外部トリガ入力による A/D 変換の開始を許可または禁止します。 0 : 外部トリガによる A/D 変換の開始を禁止 1 : $\overline{\text{ADTRG}}$ 端子の立ち上がり、または立ち下がりエッジで A/D 変換を開始 $\overline{\text{ADTRG}}$ 端子のエッジ選択は IEGR の ADTRGNEG ビットで設定します。
5 4	CKS1 CKS0	0 0	R/W R/W	クロックセレクト A/D 変換用クロックソースを選択します。 00 : /8 (変換時間 = 124 ステート (max.) (基準クロック = のとき)) 01 : /4 (変換時間 = 62 ステート (max.) (基準クロック = のとき)) 10 : /2 (変換時間 = 31 ステート (max.) (基準クロック = のとき)) 11 : 非選択 (使用禁止)
3 2 1 0	CH3 CH2 CH1 CH0	0 0 0 0	R/W R/W R/W R/W	チャンネルセレクト 3~0 アナログ入力チャンネルの選択を行います。 00xx : 非選択 0100 : AN0 0101 : AN1 0110 : AN2 0111 : AN3 1000 : AN4 1001 : AN5 1010 : AN6 1011 : AN7 11xx : 使用禁止 チャンネル選択の切り替えは、ADSF = 0 の状態で行ってください。

【記号説明】 x : Don't care

### 20.3.3 A/D スタートレジスタ (ADSR)

ADSR は A/D 変換の開始または停止を設定します。

ビット	ビット名	初期値	R/W	説明
7	ADSF	0	R/W	このビットを 1 にセットすると A/D 変換を開始します。変換が終了すると変換データは ADRR にセットされます。同時に 0 にクリアされ、A/D 変換を終了します。また、このビットに 0 をライトすることで A/D 変換を強制終了することができます。
6	LADS	0	R/W	ラダー抵抗セレクト 0 : A/D 変換器が待機中、ラダー抵抗は動作 1 : A/D 変換器が待機中、ラダー抵抗は停止 スタンバイモード、ウォッチモード、モジュールスタンバイモードおよびリセット時、常にラダー抵抗は停止です。
5-0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

## 20.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。変換時間やアナログ入力チャネルの切り替えは、誤動作を避けるため ADSR の ADSF ビットが 0 の状態で行ってください。

### 20.4.1 A/D 変換動作

- ソフトウェアによって ADSR の ADSF ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
- A/D 変換が終了すると A/D 変換結果が A/D リザルトレジスタに転送されます。
- A/D 変換終了時、IRR2 の IRRAD フラグが 1 にセットされます。このとき、IENR2 の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込み要求を発生します。
- ADSF ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

### 20.4.2 外部トリガタイミング

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることもできます。外部トリガは I/O ポートの PMRB の ADTSTCHG が 1\* でかつ AMR の TRGE が 1 のとき、 $\overline{\text{ADTRG}}$  入力端子から入力されます。 $\overline{\text{ADTRG}}$  入力端子から IEGR の ADTRGNEG で指定されたエッジが入力されると、ADSR の ADSF が 1 にセットされ、A/D 変換が開始されます。

このタイミングを図 20.2 に示します。

【注】 \* 本 LSI の  $\overline{\text{ADTRG}}$  入力端子は、TEST 端子と兼用になります。よって、 $\overline{\text{ADTRG}}$  端子として使用する場合は、まず TEST 端子に 0 固定または 1 固定の信号を入力した状態でリセット解除し、TEST 信号が確定した後に ADTSTCHG を 1 に設定してください。

## 20. A/D 変換器

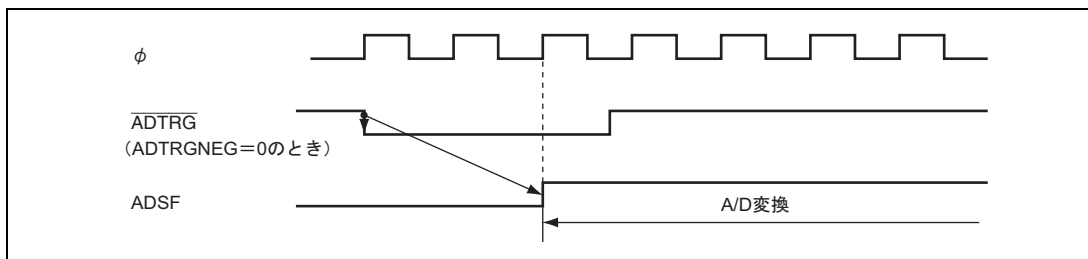


図 20.2 外部トリガ入力タイミング

### 20.4.3 A/D 変換器の動作モード

A/D 変換器の動作モードを表 20.2 に示します。

表 20.2 A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AMR	リセット	動作	動作	保持	保持	保持	保持	保持
ADSR	リセット	動作	動作	保持	保持	保持	保持	保持
ADRR	保持*	動作	動作	保持	保持	保持	保持	保持

【注】 \* パワーオンリセット時は不定

## 20.5 使用例

チャンネル 1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 20.3 に示します。

1. 入力チャンネルを AN1 (AMR の CH3 ~ CH0 を 0101)、IENAD = 1 に設定して、A/D 変換を開始 ( $\text{ADSF} = 1$ ) します。
2. A/D 変換が終了すると、IRRAD が 1 にセットされ、A/D 変換結果が ADRR に格納されます。同時に  $\text{ADSF} = 0$  となり、A/D 変換器は変換待機となります。
3. IENAD = 1 となっているため A/D 変換終了割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. A/D 変換結果を読み出して、処理します。
6. A/D 変換処理ルーチンの実行が終了します。

この後、 $\text{ADSF} = 1$  にセットすると A/D 変換が開始され 2 ~ 6 を行います。

A/D 変換器の使用手順の概念フローを図 20.4、図 20.5 に示します。



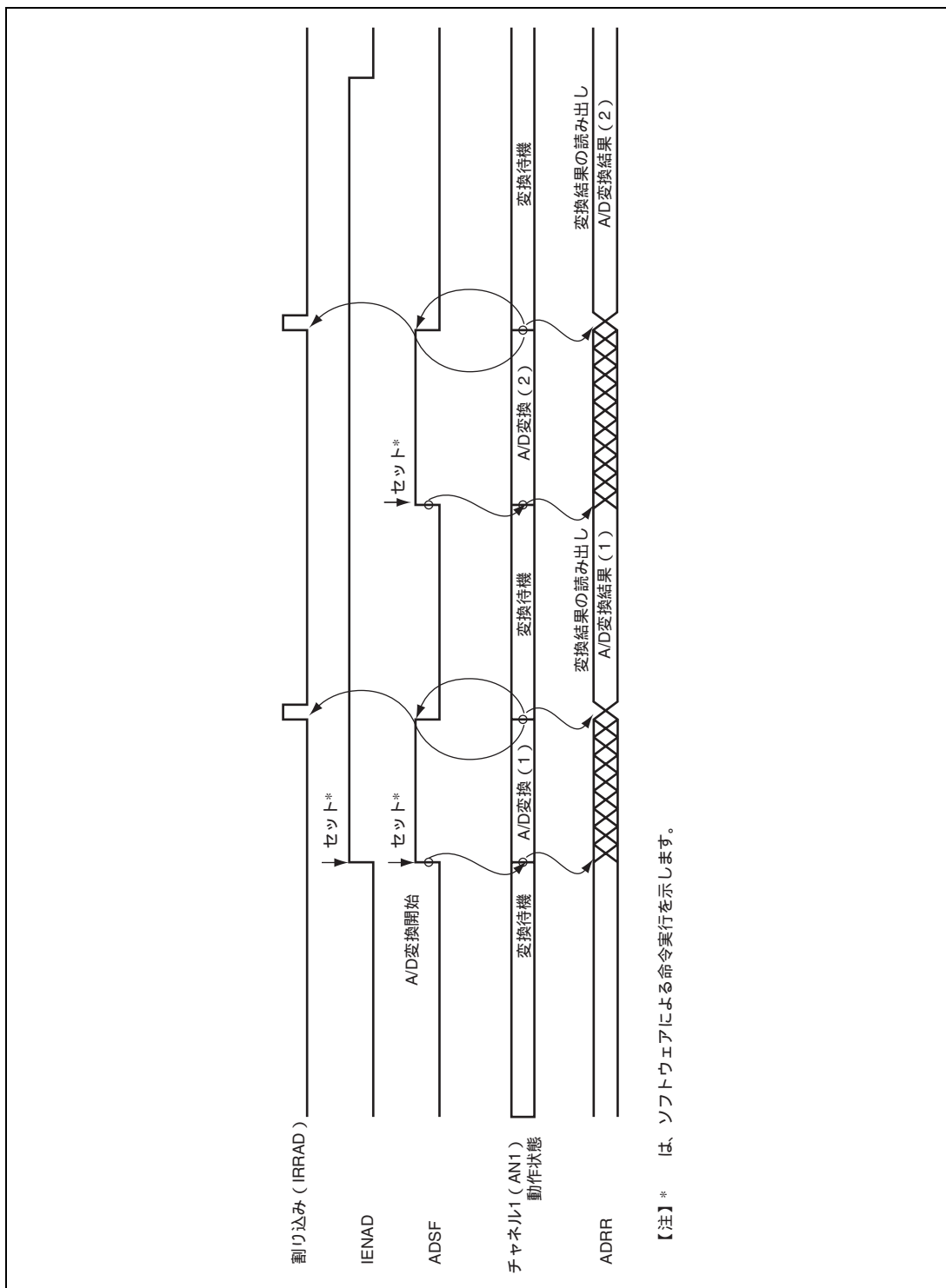


図 20.3 A/D 変換器の動作例

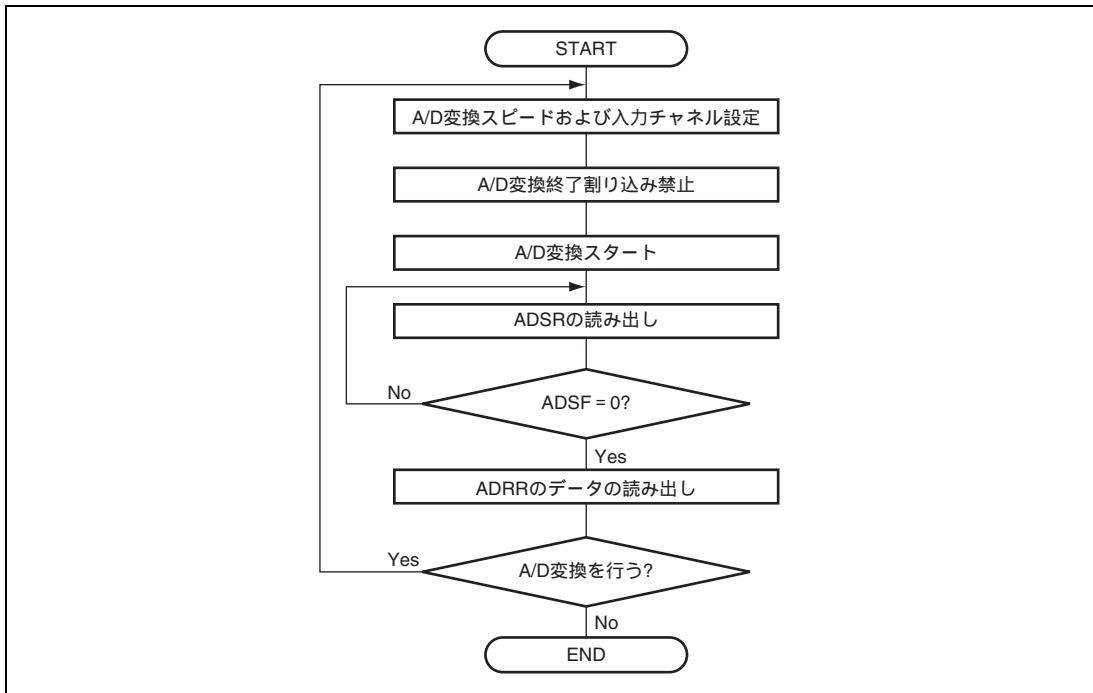


図 20.4 A/D 変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）

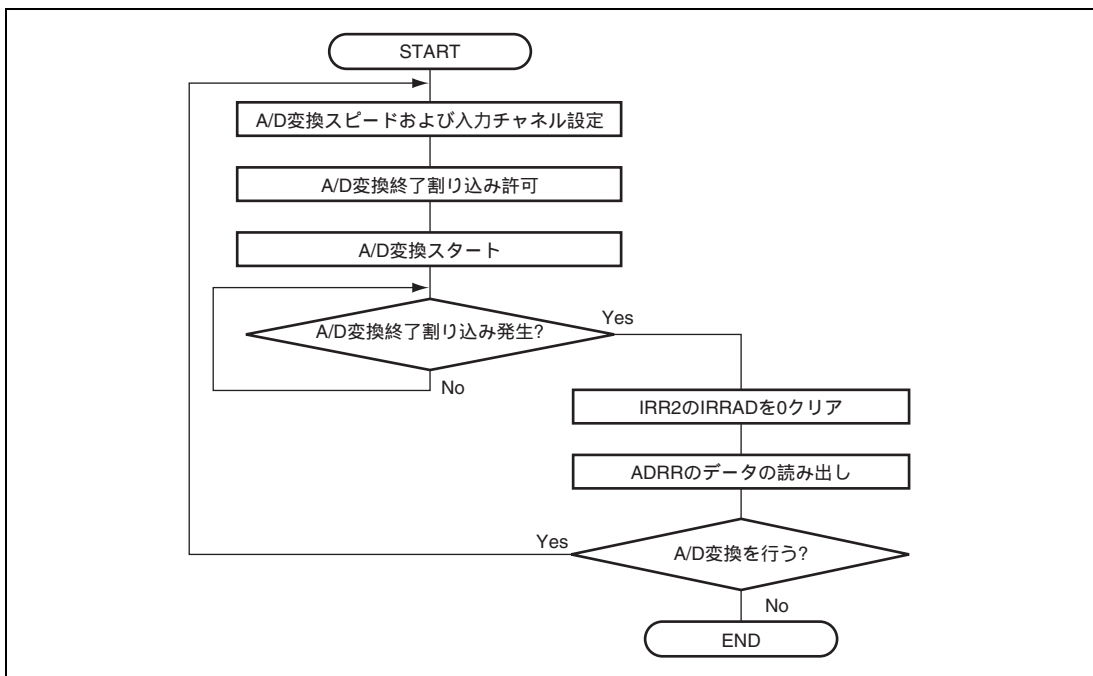


図 20.5 A/D 変換器の使用手順の概念フロー（割り込みを使用する場合）

## 20.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図20.6）。

- オフセット誤差

デジタル出力が最小電圧値000000000から000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図20.7）。

- フルスケール誤差

デジタル出力が111111110から111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図20.7）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

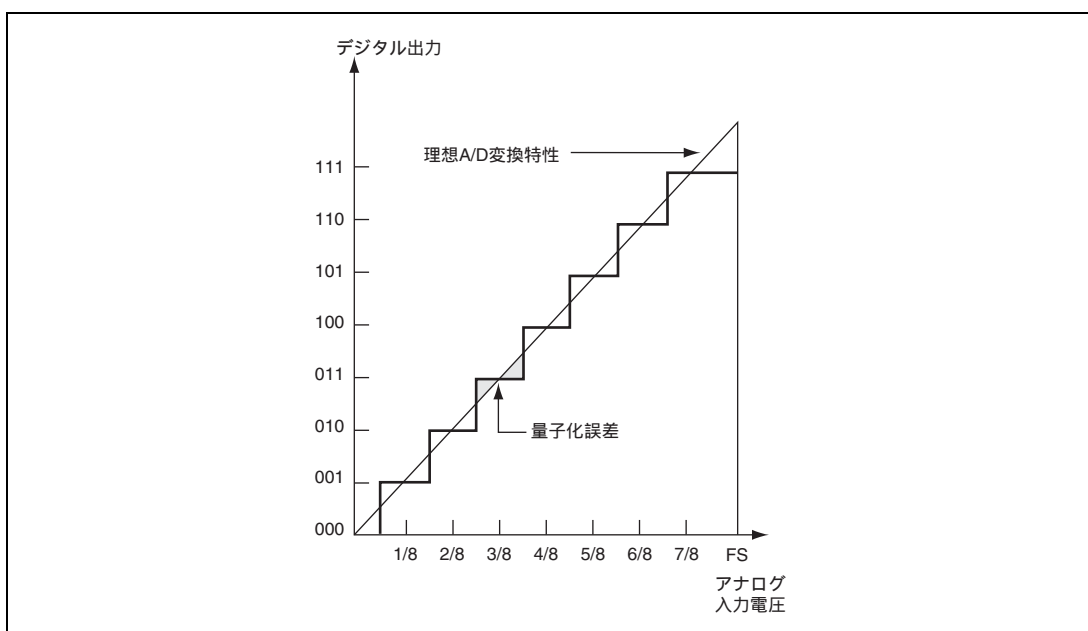


図 20.6 A/D 変換精度の定義（1）

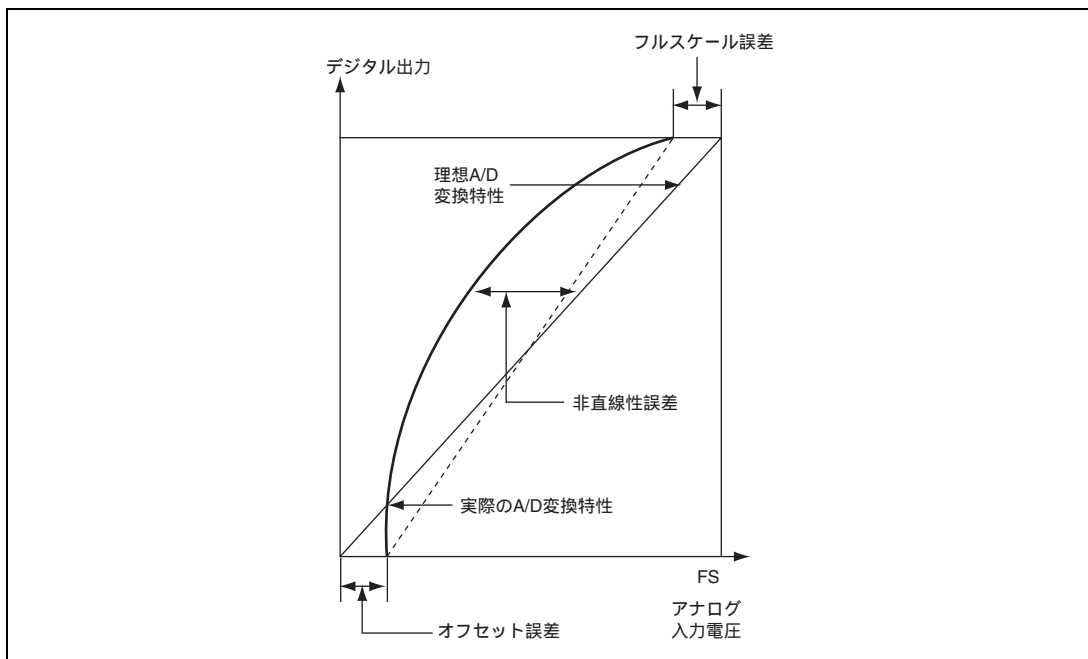


図 20.7 A/D 変換精度の定義 (2)

## 20.7 使用上の注意事項

### 20.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが  $10k$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが  $10k$  を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

対策として、外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10k$  だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が  $5mV/\mu s$  以上）には追従できない場合があります（図 20.8）。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

### 20.7.2 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定な GND に接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

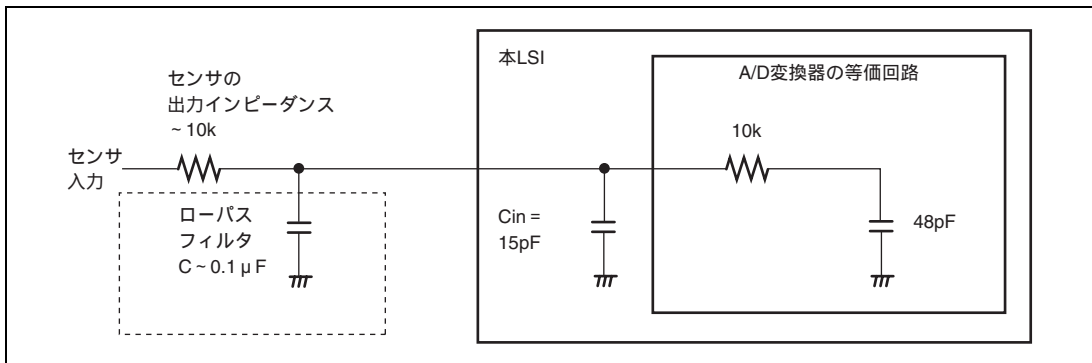


図 20.8 アナログ入力回路の例

### 20.7.3 その他使用上の注意

1. ADDRのリードはADSRのADSFビットが0のときに行ってください。
2. A/D変換中に隣接した端子のデジタル入力信号を変化させると、変換精度が低下します。
3. モジュールスタンバイモードを解除後、A/D変換を開始する場合は、10 クロック待ってからA/D変換を開始してください。



---

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

---

I<sup>2</sup>C バスインタフェース 2 は、フィリップス社が提唱する I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I<sup>2</sup>C バスを制御するレジスタの構成が一部フィリップス社と異なります。I<sup>2</sup>C バスインタフェース 2 のブロック図を図 21.1 に、入出力端子の外部回路接続例を図 21.2 に示します。

### 21.1 特長

- I<sup>2</sup>C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能  
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能  
(詳細は、「6.4 モジュールスタンバイ機能」を参照してください。)

#### I<sup>2</sup>C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵  
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因 : 6種類  
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトラジョンロスト、NACK 検出、停止条件検出
- バスを直接駆動可能  
SCL、SDA の 2 端子は通常時 (ポート / シリアル選択時) は CMOS 端子、バス駆動機能選択時は NMOS のみで出力

#### クロック同期シリアルフォーマット

- 割り込み要因 : 4種類  
送信データエンプティ、送信終了、受信データフル、オーバランエラー

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

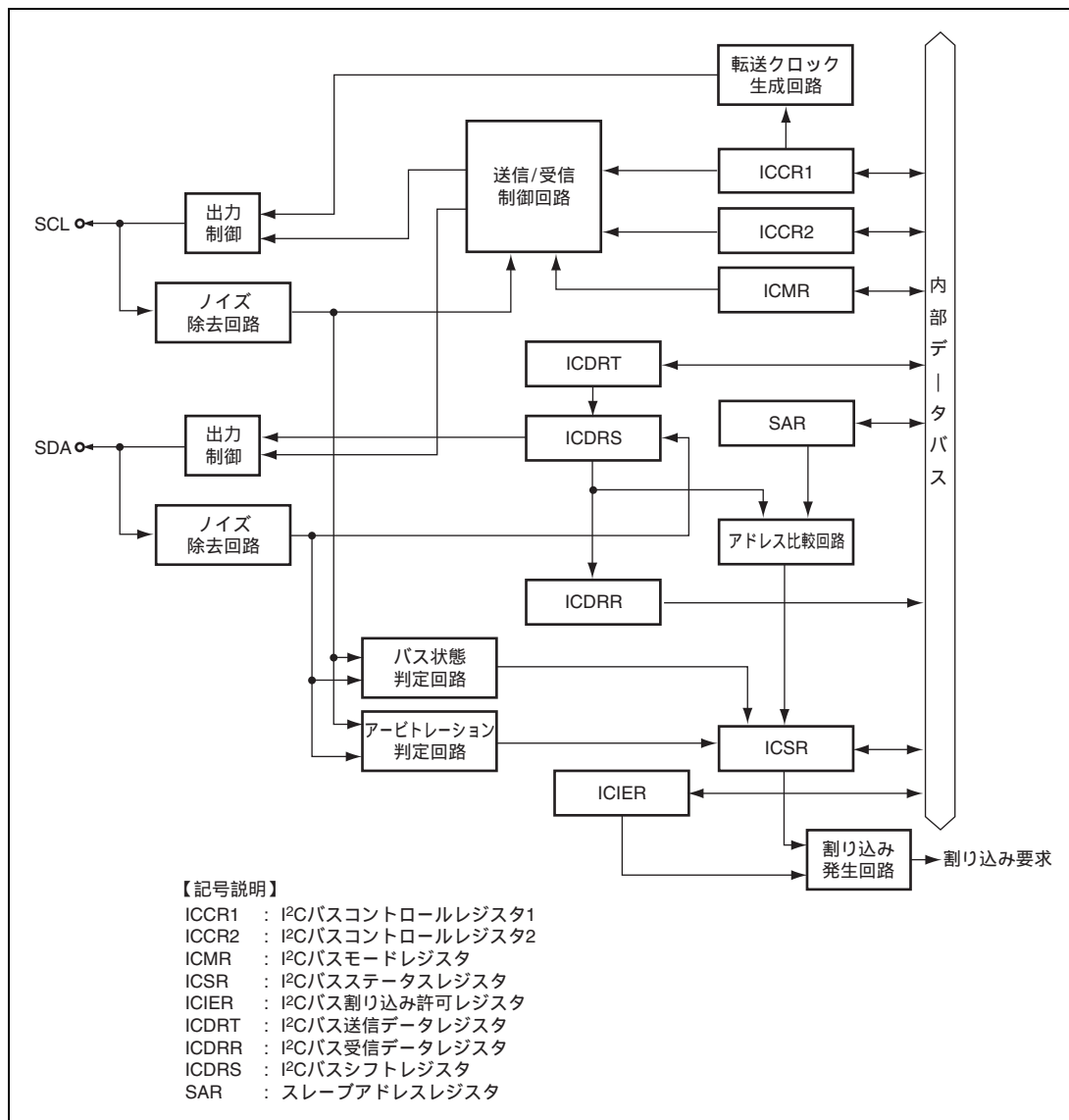


図 21.1 I<sup>2</sup>C バスインタフェース 2 のブロック図



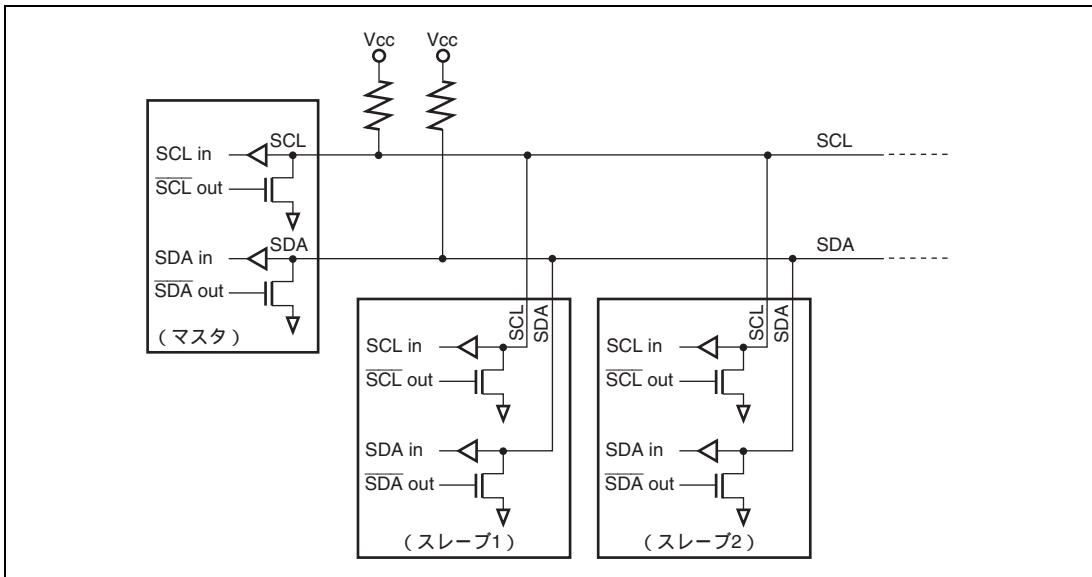


図 21.2 入出力端子の外部回路接続例

## 21.2 入出力端子

I<sup>2</sup>C バスインタフェース 2 で使用する端子構成を表 21.1 に示します。

表 21.1 端子構成

名称	記号	入出力	機能
シリアルクロック端子	SCL	入出力	I <sup>2</sup> C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I <sup>2</sup> C シリアルデータ入出力端子

## 21.3 レジスタの説明

I<sup>2</sup>C バスインタフェース 2 には以下のレジスタがあります。

- I<sup>2</sup>C バスコントロールレジスタ1 (ICCR1)
- I<sup>2</sup>C バスコントロールレジスタ2 (ICCR2)
- I<sup>2</sup>C バスモードレジスタ (ICMR)
- I<sup>2</sup>C バス割り込み許可レジスタ (ICIER)
- I<sup>2</sup>C バスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I<sup>2</sup>C バス送信データレジスタ (ICDRT)
- I<sup>2</sup>C バス受信データレジスタ (ICDRR)
- I<sup>2</sup>C バスシフトレジスタ (ICDRS)

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

### 21.3.1 I<sup>2</sup>C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は I<sup>2</sup>C バスインタフェース 2 の動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェース 2 イネーブル 0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート / シリアル機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I <sup>2</sup> C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	転送クロック選択 3~0 マスタモードのとき、必要な転送レート (表 21.2 参照) に合わせて設定してください。スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。この時間は、CKS3 = 0 のとき 10t <sub>cy</sub> 、CKS3 = 1 のとき 20t <sub>cy</sub> となります。

表 21.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート		
					= 2MHz	= 5MHz	= 10MHz
0	0	0	0	/28	71.4kHz	179kHz	357kHz
			1	/40	50.0kHz	125kHz	250kHz
		1	0	/48	41.7kHz	104kHz	208kHz
			1	/64	31.3kHz	78.1kHz	156kHz
	1	0	0	/80	25.0kHz	62.5kHz	125kHz
			1	/100	20.0kHz	50.0kHz	100kHz
		1	0	/112	17.9kHz	44.6kHz	89.3kHz
			1	/128	15.6kHz	39.1kHz	78.1kHz
1	0	0	0	/56	35.7kHz	89.3kHz	179kHz
			1	/80	25.0kHz	62.5kHz	125kHz
		1	0	/96	20.8kHz	52.1kHz	104kHz
			1	/128	15.6kHz	39.1kHz	78.1kHz
	1	0	0	/160	12.5kHz	31.3kHz	62.5kHz
			1	/200	10.0kHz	25.0kHz	50.0kHz
		1	0	/224	8.9kHz	22.3kHz	44.6kHz
			1	/256	7.8kHz	19.5kHz	39.1kHz

### 21.3.2 I<sup>2</sup>C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I<sup>2</sup>C バスインタフェース 2 のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I<sup>2</sup>C バスの占有 / 開放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期シリアルフォーマットの場合、本ビットは意味を持ちません。I<sup>2</sup>C バスフォーマットの場合、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件 / 停止条件の発行は、MOV 命令を用いてください。</p>

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説 明
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が Low レベル            : ライト時、SDA 端子出力を Low レベルに変更</p> <p>1 : リード時、SDA 端子出力が High レベル            : ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。</p>
3	SCLO	1	R	<p>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。</p>
2	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>
1	IICRST	0	R/W	<p>IIC コントロール部リセット</p> <p>IICRST は I<sup>2</sup>C のレジスタを除くコントロール部をリセットします。I<sup>2</sup>C の動作中に通信不具合等によりハングアップした時、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I<sup>2</sup>C のコントロール部をリセットすることができます。</p>
0	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>

21.3.3 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は MSB ファースト / LSB ファースト の選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときは 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT は I <sup>2</sup> C バスフォーマットでマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なお I <sup>2</sup> C バスフォーマットのスレーブモードおよびクロック同期シリアルフォーマットの場合、本ビットの設定値は無効です。
5	-	1	-	リザーブビット
4	-	1	-	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書きかえる場合は、本ビットを 0 にして MOV 命令で行います。なおクロック同期シリアルモードでは BC の書き換えは行わないでください。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明																		
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I <sup>2</sup> C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。  <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">I<sup>2</sup>C バスフォーマット</td> <td style="width: 50%;">クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					
1	BC1	0	R/W																			
0	BC0	0	R/W																			

### 21.3.4 I<sup>2</sup>C バス割り込み許可レジスタ (ICIER)

ICIER は各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可

21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICRRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止 / 許可を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可 / 禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う。</p> <p>1: 受信アクノリッジが 1 の場合、転送を中断する。</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。</p> <p>0: 受信アクノリッジ = 0</p> <p>1: 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0: アクノリッジのタイミングで 0 を送出</p> <p>1: アクノリッジのタイミングで 1 を送出</p>

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

### 21.3.5 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR は各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/(W)*	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> <li>• ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき</li> <li>• TRS をセットしたとき</li> <li>• 開始条件 (再送含む) を発行したとき</li> <li>• スレープモードで受信モードから送信モードになったとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• 命令で ICDRT ヘデータをライトしたとき</li> </ul>
6	TEND	0	R/(W)*	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立上がったとき</li> <li>• クロック同期シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• 命令で ICDRT ヘデータをライトしたとき</li> </ul>
5	RDRF	0	R/(W)*	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> <li>• ICDRS から ICDRR に受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• 命令で ICDRR をリードしたとき</li> </ul>
4	NACKF	0	R/(W)*	ノーアクノリッジ検出フラグ [セット条件] <ul style="list-style-type: none"> <li>• ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>



## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/(W)*	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>マスタモード時、フレームの転送の完了後に停止条件を検出したとき</li> <li>スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> </ul>
2	AL/OVE	0	R/(W)*	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVE は、I<sup>2</sup>C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期フォーマットの場合、RDRF=1の状態では最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I<sup>2</sup>C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき</li> <li>マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき</li> <li>クロック同期フォーマットの場合、RDRF=1の状態では最終ビットを受信したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> </ul>
1	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6 - SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードでスレーブアドレスを検出したとき</li> <li>スレーブ受信モードでゼネラルコールアドレスを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> </ul>
0	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードかつゼネラルコールアドレスを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>1の状態をリードした後、0をライトしたとき</li> </ul>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

### 21.3.6 スレーブアドレスレジスタ (SAR)

SAR はフォーマットの選択、スレーブアドレスを設定します。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	すべて 0	R/W	スレーブアドレス 6~0 I <sup>2</sup> C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I <sup>2</sup> C バスフォーマット選択 1: クロック同期シリアルフォーマット選択

### 21.3.7 I<sup>2</sup>C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。

### 21.3.8 I<sup>2</sup>C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

### 21.3.9 I<sup>2</sup>C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

## 21.4 動作説明

I<sup>2</sup>C バスインタフェース 2 には、SAR の FS の設定により、I<sup>2</sup>C バスモードとクロック同期式シリアルモードで通信することができます。

### 21.4.1 I<sup>2</sup>C バスフォーマット

I<sup>2</sup>C バスフォーマットを図 21.3 に、I<sup>2</sup>C バスのタイミングを図 21.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

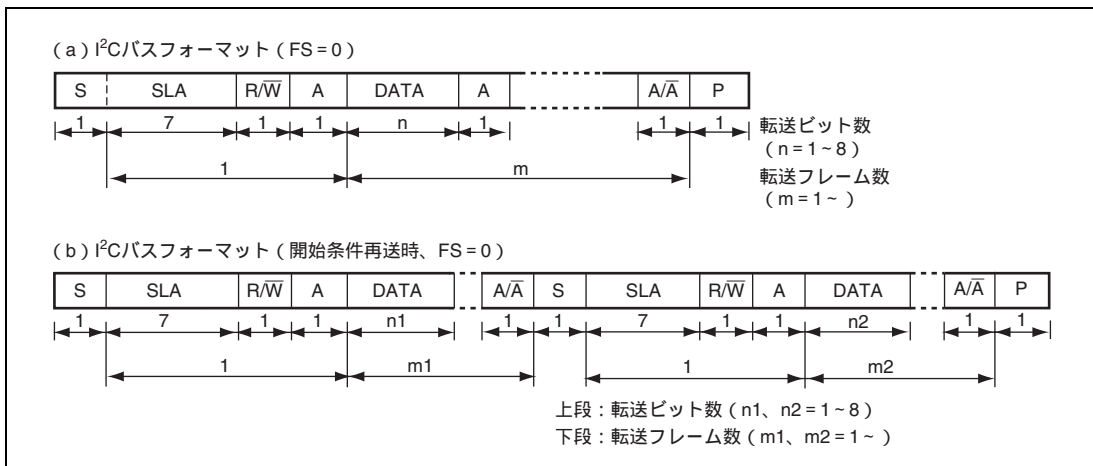


図 21.3 I<sup>2</sup>C バスフォーマット

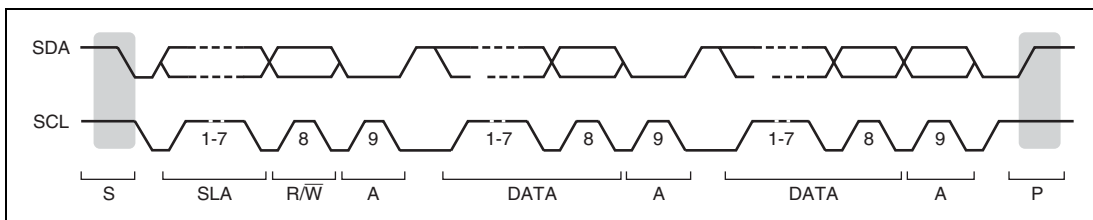


図 21.4 I<sup>2</sup>C バスタイミング

#### 記号の説明

- S : 開始条件。マスタデバイスが SCL = High レベルの状態での SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態での SDA を Low レベルから High レベルに変化させます。

### 21.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 21.5 と図 21.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスと $R\bar{W}$ を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

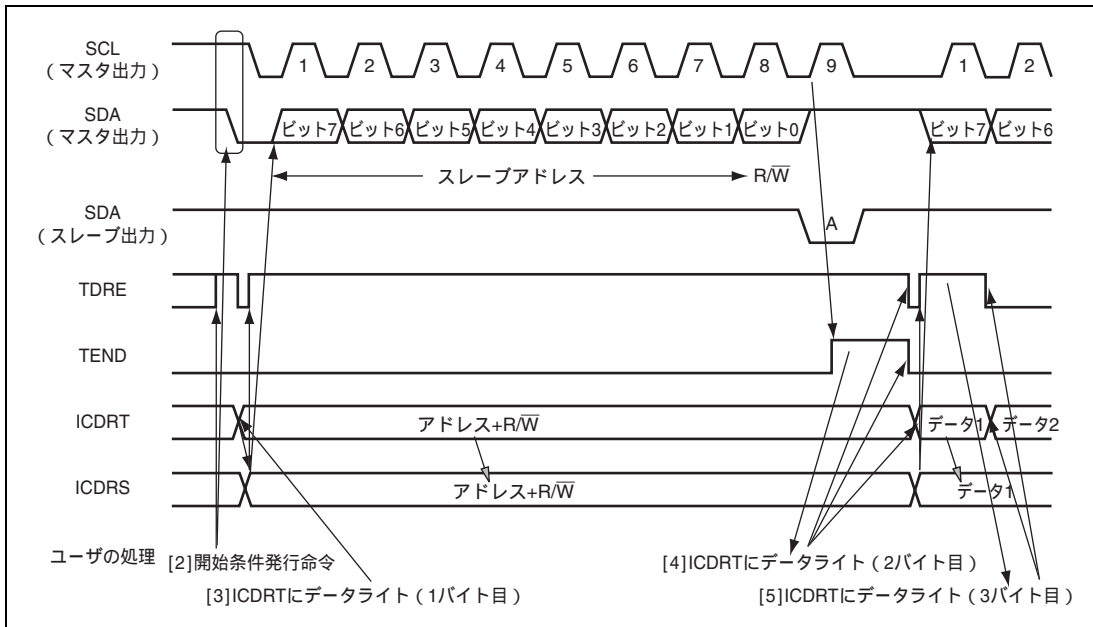


図 21.5 マスタ送信モード動作タイミング (1)

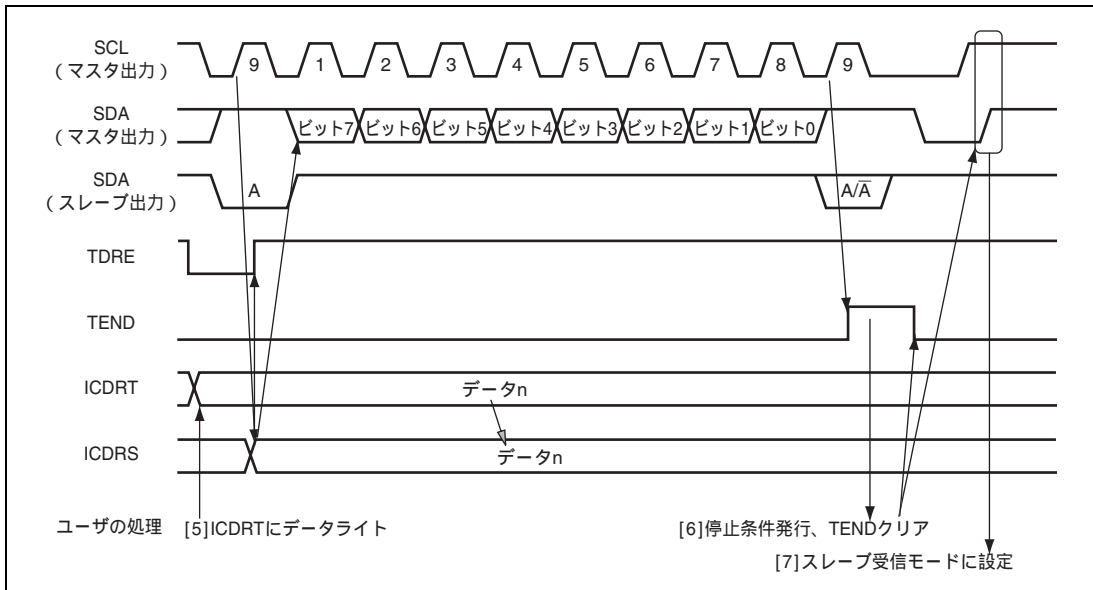


図 21.6 マスタ送信モード動作タイミング (2)

### 21.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してア  
クノリッジを返します。マスタ受信モードの動作タイミングについては図 21.7 と図 21.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま  
す。その後、TDREをクリアしICIERのACKBTを設定します。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信  
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力しま  
す。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま  
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク  
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが  
セットされた状態でICDRRのリードが遅れて8クロック目が立下がった場合、ICDRRをリードするまでSCL  
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICIERのACKBTとICCR1のRCVDをセットします。  
これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたらICSRのSTOPをクリアして、停止条件を  
発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. ICCRのMSTをクリアして、スレーブ受信モードに戻します。

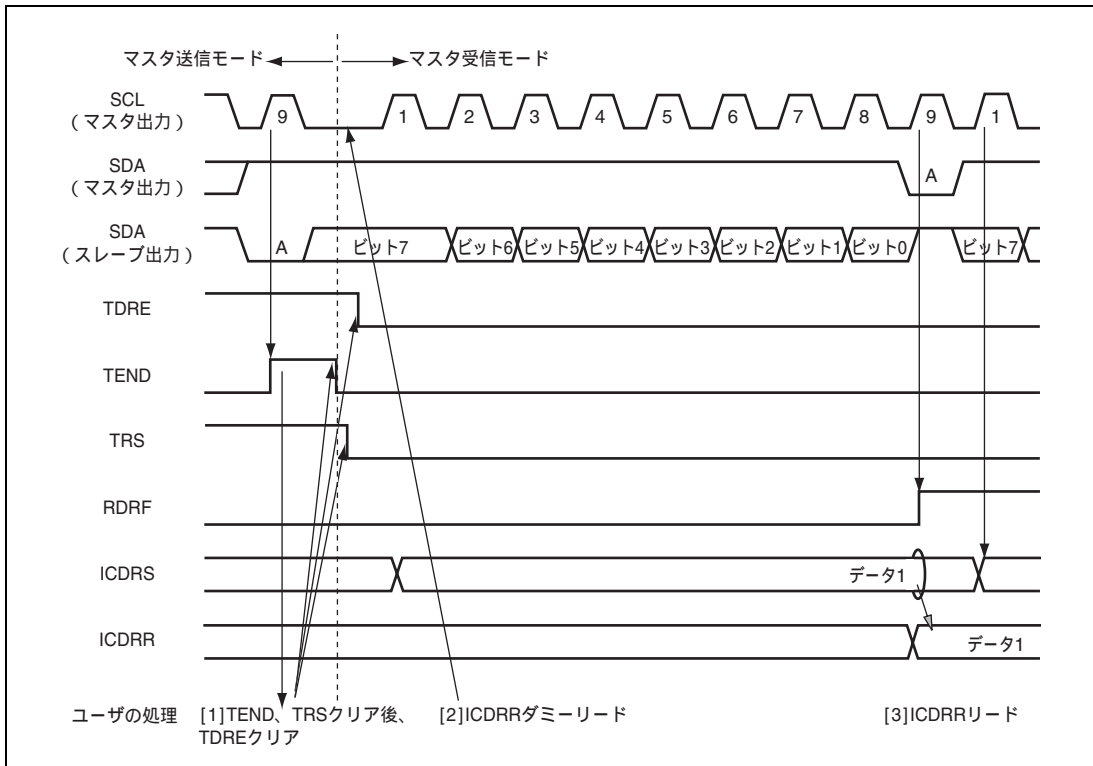


図 21.7 マスタ受信モード動作タイミング (1)

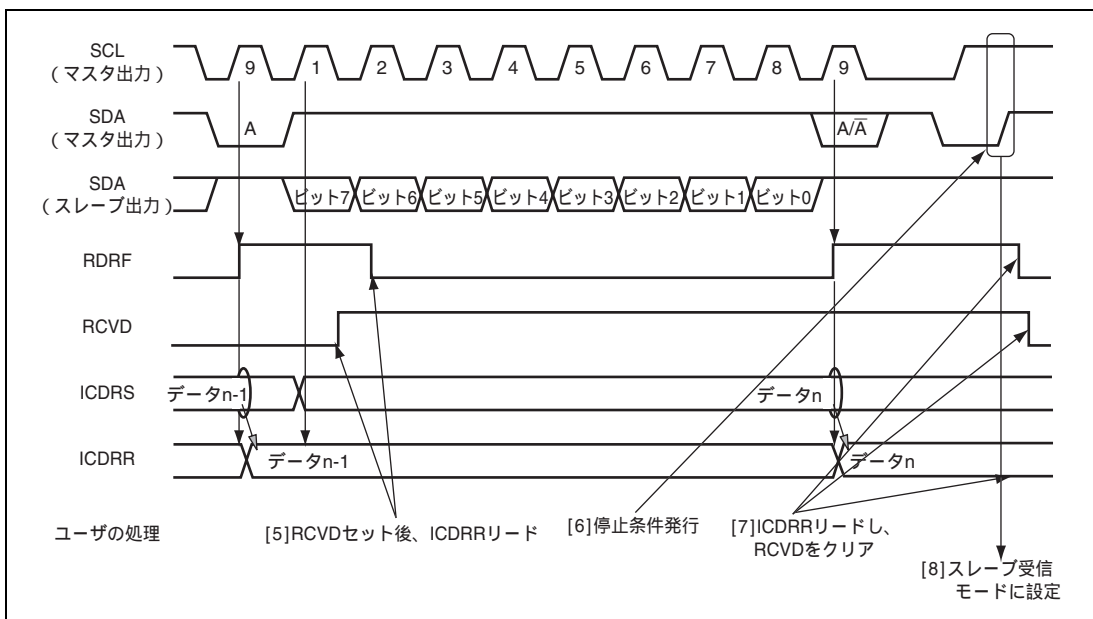


図 21.8 マスタ受信モード動作タイミング (2)

### 21.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアックノリッジを返します。スレーブ送信モードの動作タイミングについては図 21.9 と図 21.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ(R/W)が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態では、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

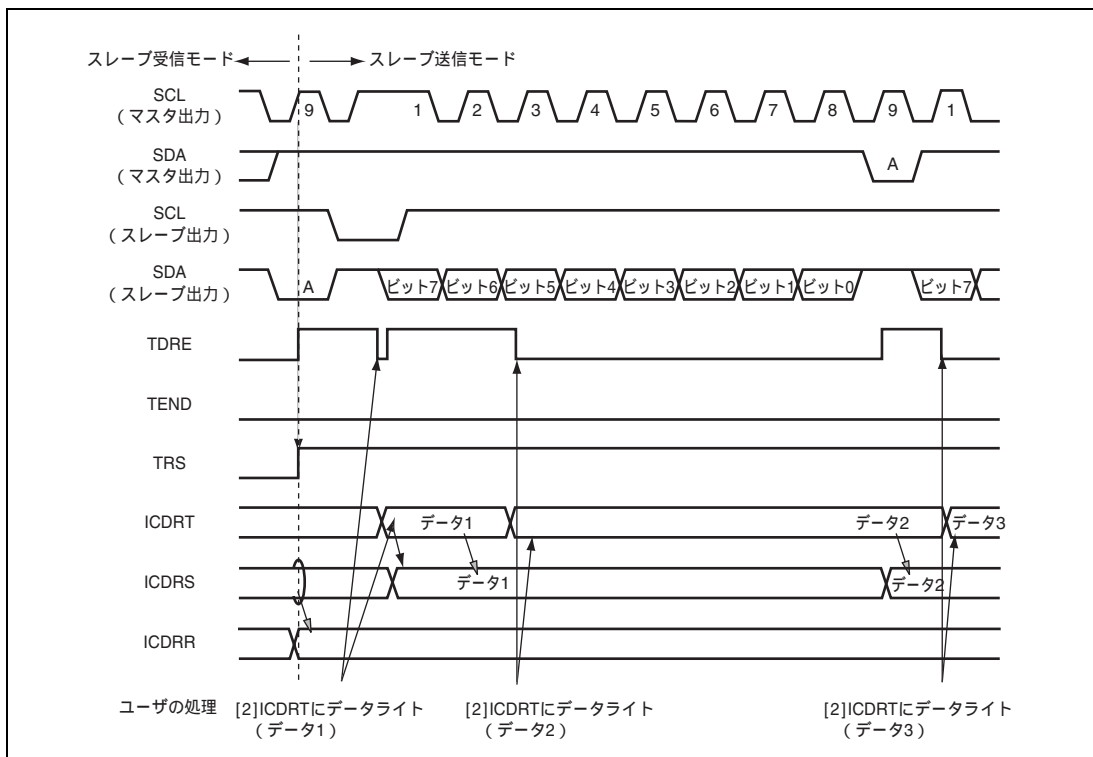


図 21.9 スレーブ送信モード動作タイミング (1)





## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

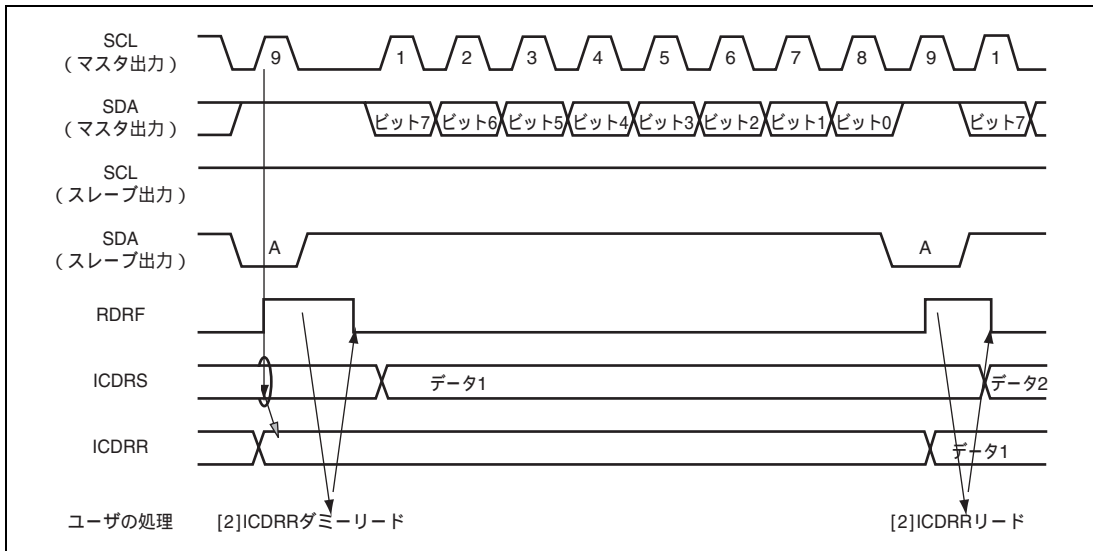


図 21.11 スレーブ受信モード動作タイミング (1)

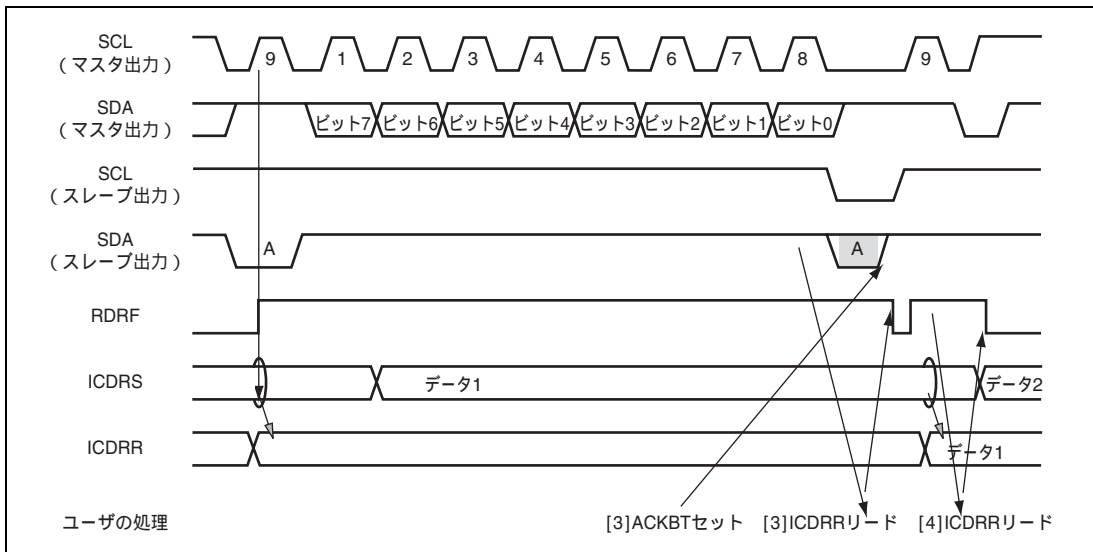


図 21.12 スレーブ受信モード動作タイミング (2)

### 21.4.6 クロック同期式シリアルフォーマット

本モジュールは、SARのFSを1にセットすることにより、クロック同期式シリアルとして動作させることができます。ICCR1のMST=1のときSCLから転送クロック出力となり、MST=0のとき外部クロック入力となります。

## (1) データ転送フォーマット

クロック同期式シリアル転送フォーマットを図 21.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

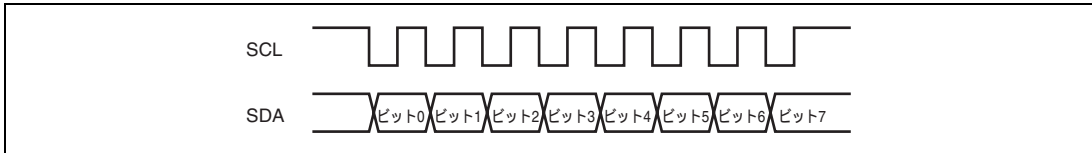


図 21.13 クロック同期式シリアル転送フォーマット

## (2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 21.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1 の ICE ビットを 1 にセットします。また ICCR1 の MST、CKS3 ~ CKS0 などを設定します (初期設定)。
2. ICCR1 の TRS をセットして送信モードにします。これにより、ICSR の TDRE がセットされます。
3. TDRE がセットされていることを認識したら、ICDRT に送信データをライトします。これにより ICDRT から ICDRS にデータが転送され、自動的に TDRE がセットされます。TDRE がセットされるたびに ICDRT にデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDRE がセットされた状態で TRS をクリアしてください。

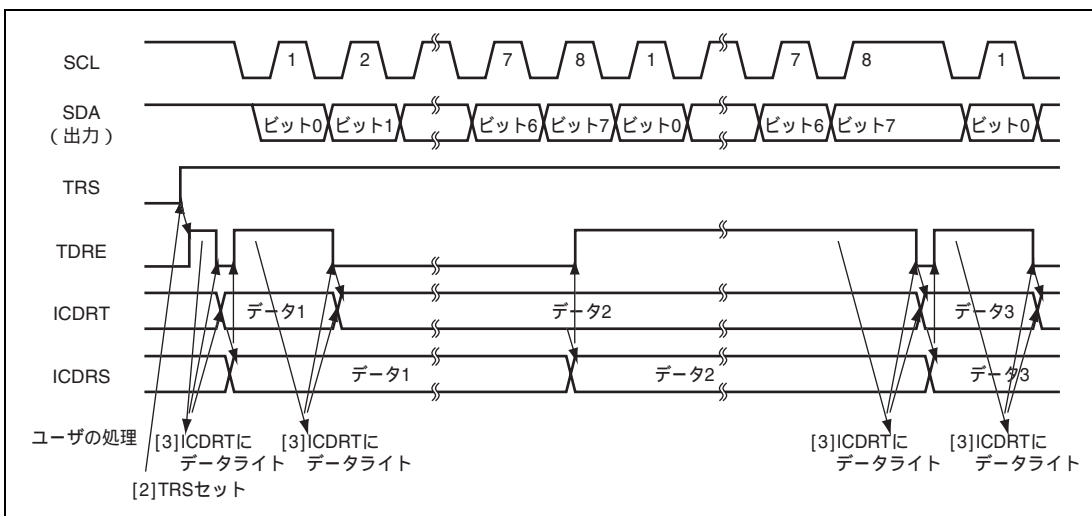


図 21.14 送信モード動作タイミング

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

### (3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST = 1 のとき出力、MST = 0 のとき入力となります。受信モード動作タイミングについては図 21.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST = 1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST = 1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバーランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST = 1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

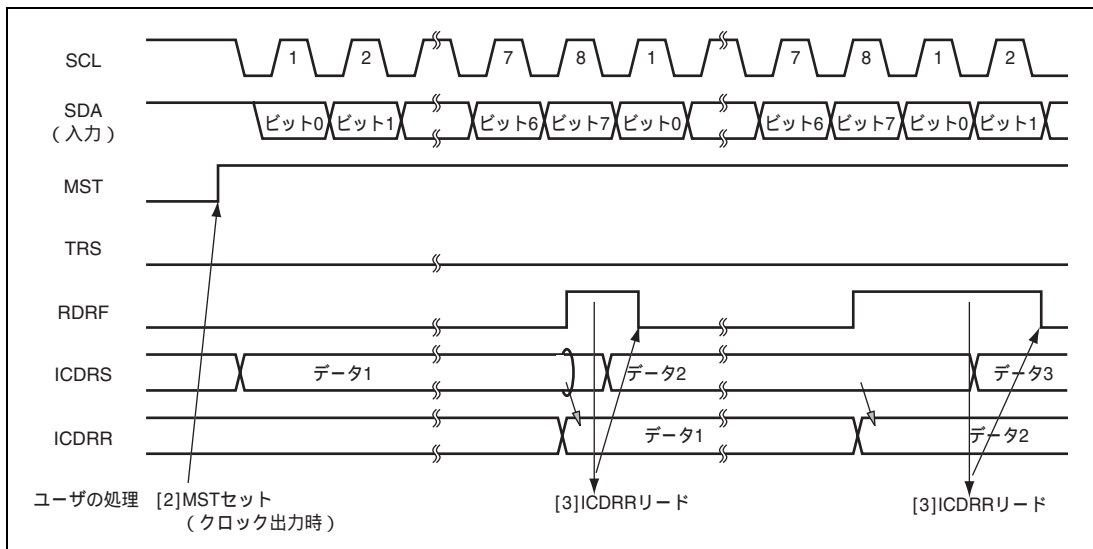


図 21.15 受信モード動作タイミング

### 21.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 21.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したとき、はじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

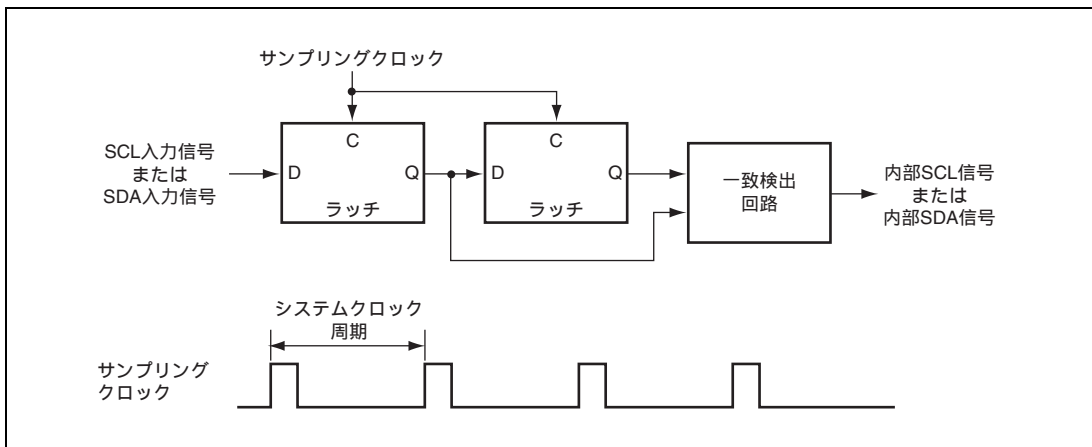


図 21.16 ノイズ除去回路のブロック図

21.4.8 使用例

I<sup>2</sup>C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 21.17 ~ 図 21.20 に示します。

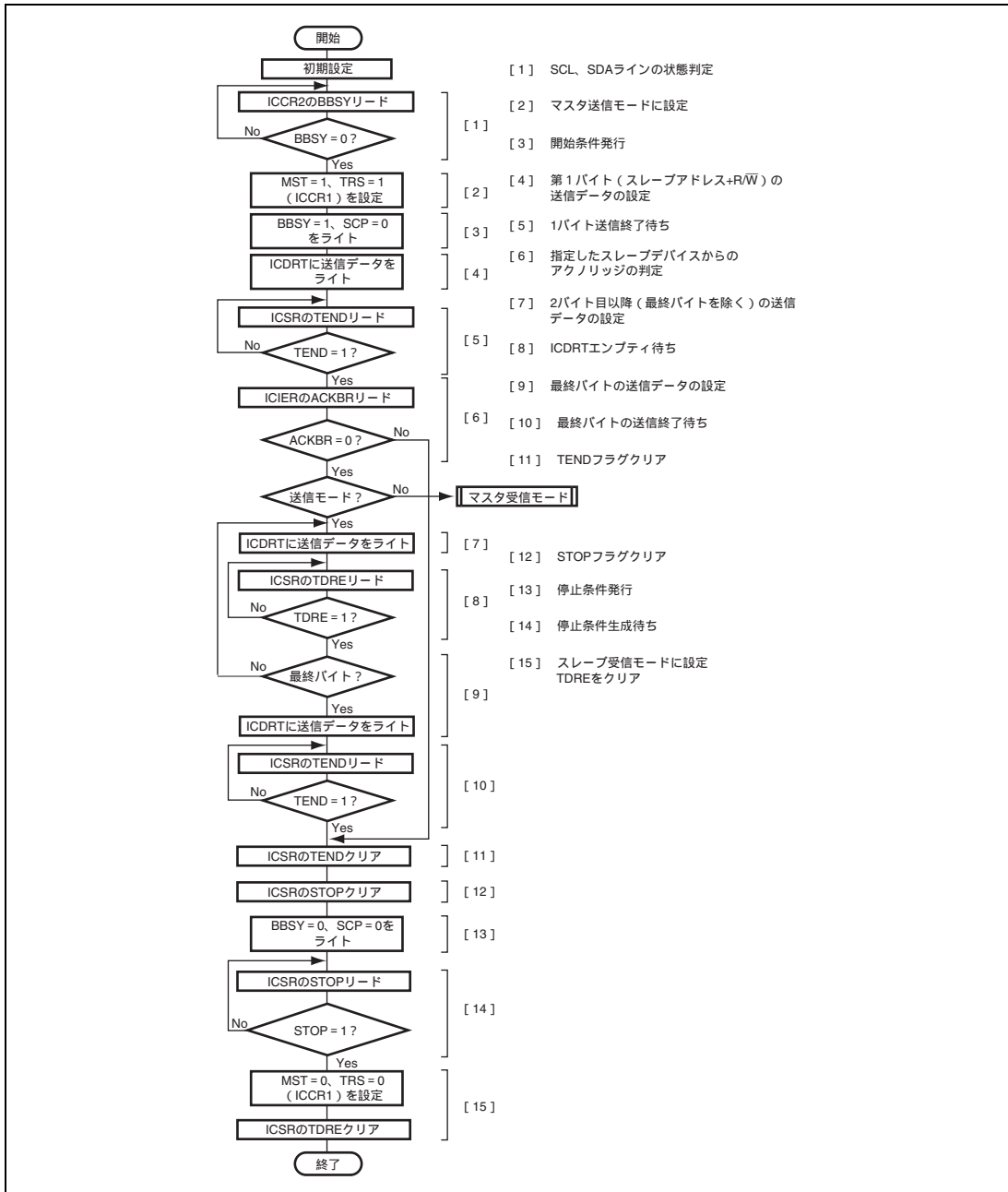


図 21.17 マスタ送信モードのフローチャート例

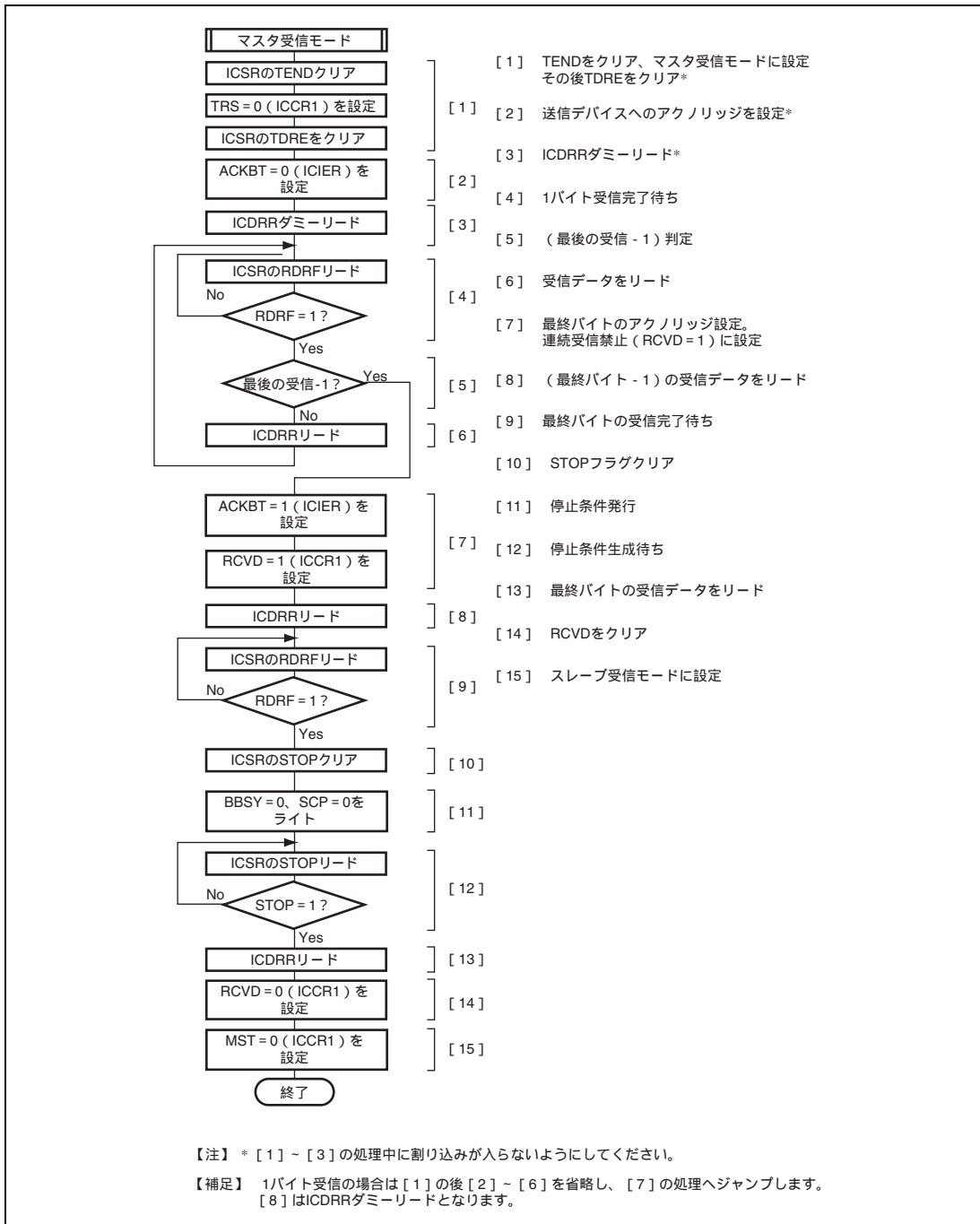


図 21.18 マスタ受信モードのフローチャート例

## 21. I<sup>2</sup>C バスインタフェース 2 (IIC2)

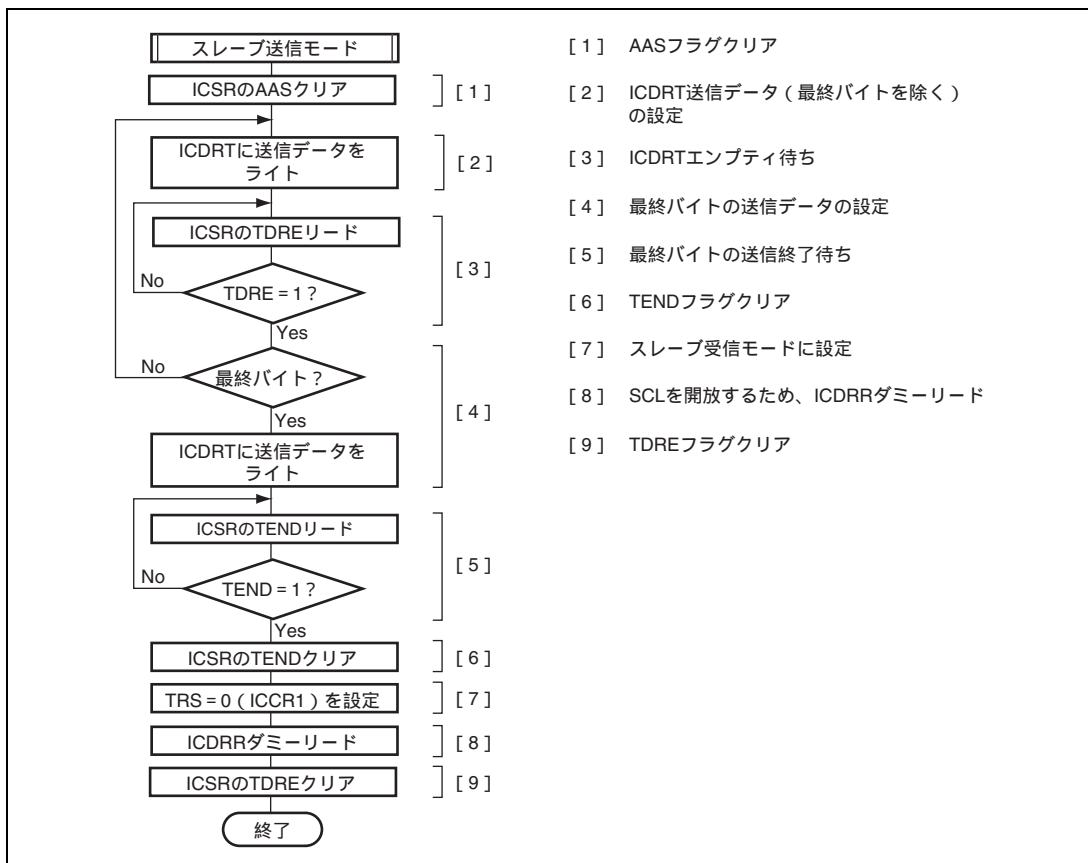


図 21.19 スレーブ送信モードフローチャート例



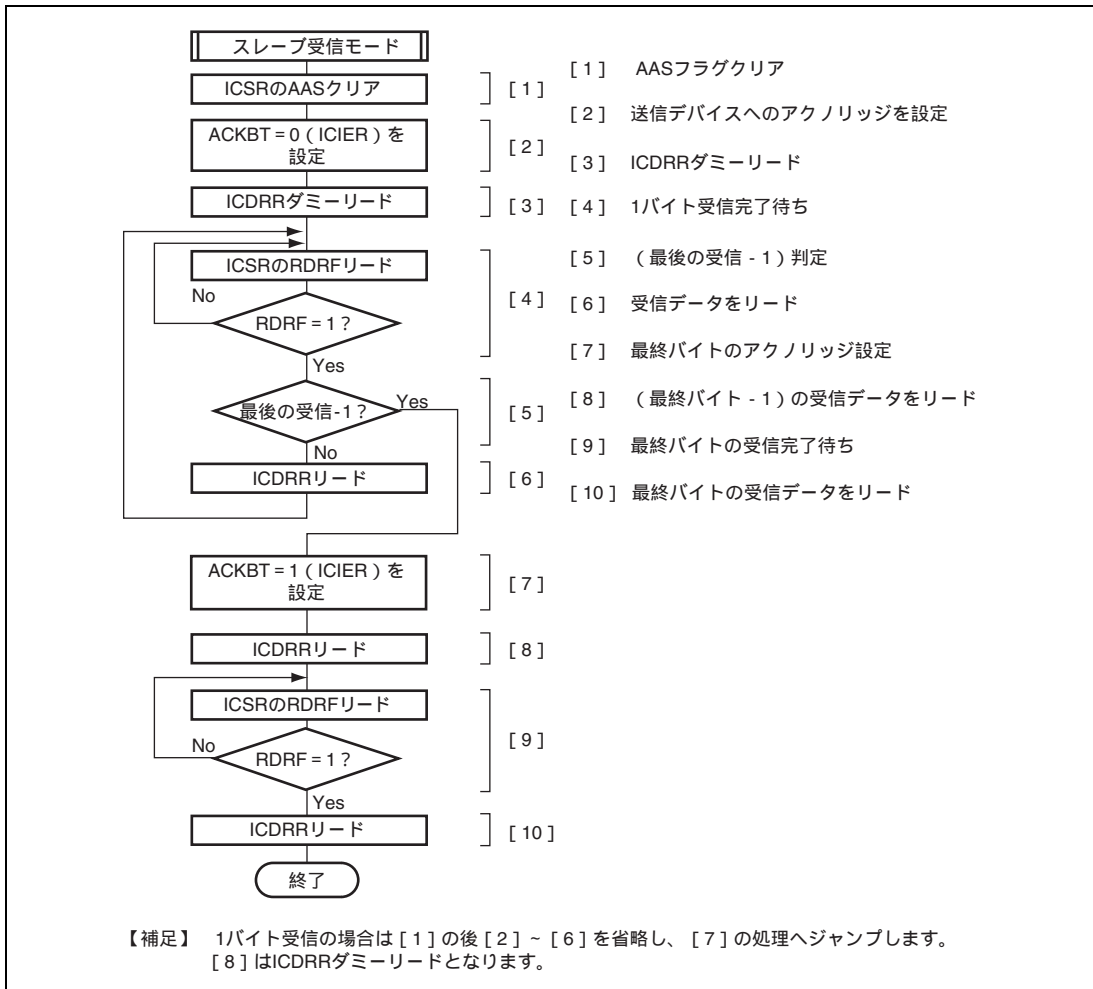


図 21.20 スレーブ受信モードフローチャート例

## 21.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト / オーバランエラーの 6 種類があります。表 21.3 に各割り込み要求の内容を示します。

表 21.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I <sup>2</sup> C モード	クロック同期モード
送信データエンプティ	TXI	(TDRE = 1) · (TIE = 1)		
送信終了	TEI	(TEND = 1) · (TEIE = 1)		
受信データフル	RXI	(RDRF = 1) · (RIE = 1)		
停止条件検出	STPI	(STOP = 1) · (STIE = 1)		×
NACK 検出	NAKI	{(NACKF = 1) + (AL = 1)} · (NAKIE = 1)		×
アービトレーションロスト / オーバランエラー				

表 21.3 の割り込み条件が 1 がかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライイトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライイトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

## 21.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 21.21 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 21.4 に示します。

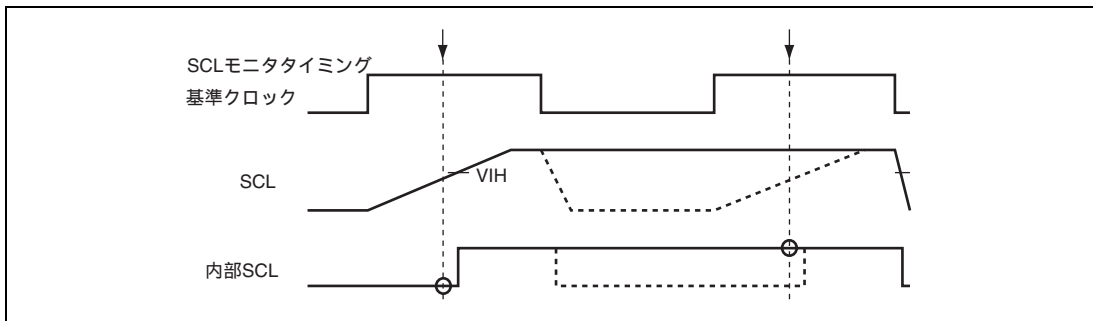


図 21.21 ビット同期回路のタイミング

表 21.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tcy
	1	19.5 tcy
1	0	17.5 tcy
	1	41.5 tcy

### 21.7 使用上の注意事項

#### 21.7.1 停止条件および開始条件（再送）の出力について

マスタモードにて、下記 1.または 2.の条件で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。

これを防ぐために、停止条件の発行および開始条件（再送）の発行は 9 クロック目の立ち下がりを確認してから行ってください。9 クロック目の立ち下がりには I<sup>2</sup>C コントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより確認できます。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「21.6 ビット同期回路」に規定されている時間以上なまっている場合
2. スレーブデバイスが8クロック目と9クロック目のLow期間を引っ張ってビット同期回路が働いた場合

#### 21.7.2 I<sup>2</sup>C バスモードレジスタ (ICMR) の WAIT 設定について

WAIT ビットを 1 にセットして使用したとき、スレーブデバイスが SCL 端子の 8 クロック目と 9 クロック目の Low 期間を 2 転送クロック分以上、Low に引っ張ったときに、9 クロック目の High 期間が短くなる場合があります。これを防ぐために、ICMR の WAIT ビットは 0 に設定してください。

#### 21.7.3 マルチマスタで使用時の転送レート設定値の制限について

マルチマスタで使用し、本 LSI の IIC 転送レートの設定が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。この現象を回避するためには、他のマスタの一番早い転送レートより 1/1.8 以上の転送レートを設定してください。たとえば、他の一番早いマスタが 400kbps の場合、本 LSI の転送レートは 223kbps (= 400/1.8) 以上の設定値にする必要があります。

#### 21.7.4 マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL = 1 かつマスタ送信モード (MST = 1、TRS = 1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービストレーションロストした場合、MST = 0、TRS = 0 を確認してください。万が一、MST = 0、TRS = 0 以外の状態の場合、MST = 0、TRS = 0 を設定し直してください。

#### 21.7.5 マスタ受信モードの注意事項について

マスタ受信モードで使用した場合、RDRF = 1 の状態で 8 クロック目の立ち下がりがくると SCL を “L” に引っ張りますが、8 クロック目の立ち下がり付近で ICDRR をリードすると、次の受信データの 8 クロック目を 1 クロ

ック分“L”に固定するだけでその後 ICDRR をリードしなくても SCL の固定を解除し 9 クロック目を出力します。結果として受信データの取りこぼしとなります。

この現象を回避するためには下記方法があります。

- マスタ受信モードでICDRRをリードする処理は 8 クロック目の立ち上がりまでに行ってください。
- マスタ受信モードはRCVD = 1にし 1 バイトごとの通信で行ってください。



## 22. パワーオンリセット回路

本 LSI はパワーオンリセット回路を内蔵しています。パワーオンリセット回路のブロック図を図 22.1 に示します。

### 22.1 特長

- パワーオンリセット回路

外部にコンデンサを接続することにより、電源投入時に内部リセット信号を発生

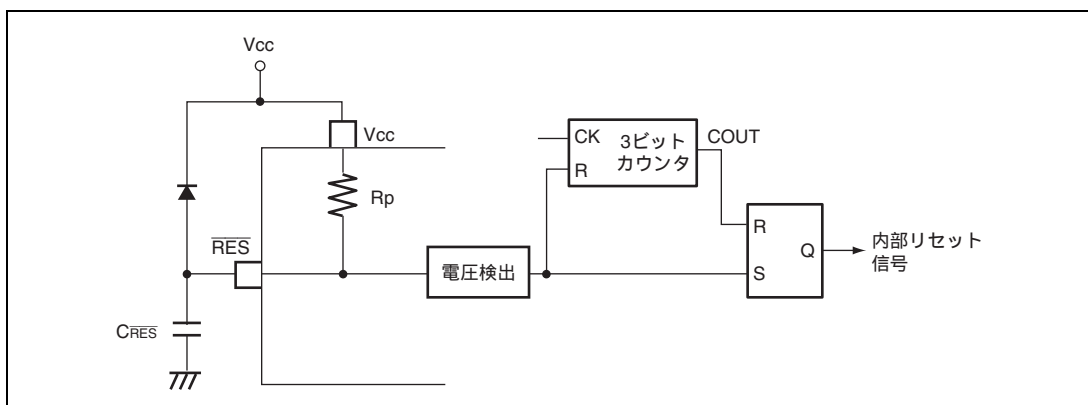


図 22.1 パワーオンリセット回路

## 22.2 動作説明

### 22.2.1 パワーオンリセット回路

パワーオンリセット回路の動作タイミングを図 22.2 に示します。電源電圧の上昇により、内蔵プルアップ抵抗 ( $R_p$ ) を介して  $\overline{RES}$  端子に外付けされたコンデンサが徐々に充電されます。この  $\overline{RES}$  端子のレベルが一定レベルに上昇するまで  $\overline{RES}$  端子の Low レベル状態が内部に伝わり、チップ全体がリセットされます。 $\overline{RES}$  端子のレベルが一定レベルまで上昇すると、電圧検出回路で検知され、3 ビットカウンタがカウントアップを始めます。3 ビットカウンタが 8 を 8 回カウントするとオーバフロー信号が発生し、内部リセット信号が解除されます。

$\overline{RES}$  端子の立ち上がり時間を  $t$  とした場合、 $\overline{RES}$  端子に接続する容量 ( $C_{RES}$ ) は下式を参考に求めてください。内部抵抗 ( $R_p$ ) は「第 25 章 電気的特性」を参照してください。なお、電源の立ち上がり時間 ( $t_{vtr}$ ) は、 $\overline{RES}$  の立ち上がり時間 ( $t$ ) の半分以下にしてください。また、 $\overline{RES}$  の立ち上がり時間 ( $t$ ) は、発振安定時間 ( $t_{rc}$ ) 以上となるようにしてください。

$$C_{RES} = \frac{t}{R_p} \quad (t > t_{rc}, t > t_{vtr} \times 2)$$

電源電圧  $V_{cc}$  は  $V_{por}=100\text{mV}$  以下まで必ず立ち下げ、 $\overline{RES}$  端子の電荷が十分に抜けてから立ち上げてください。 $\overline{RES}$  端子の電荷を引き抜くためにはダイオードを  $V_{cc}$  側に付けることを推奨します。 $V_{por}$  を超えたところから電源電圧  $V_{cc}$  が立ち上がった場合、パワーオンリセットが働かない可能性があります。

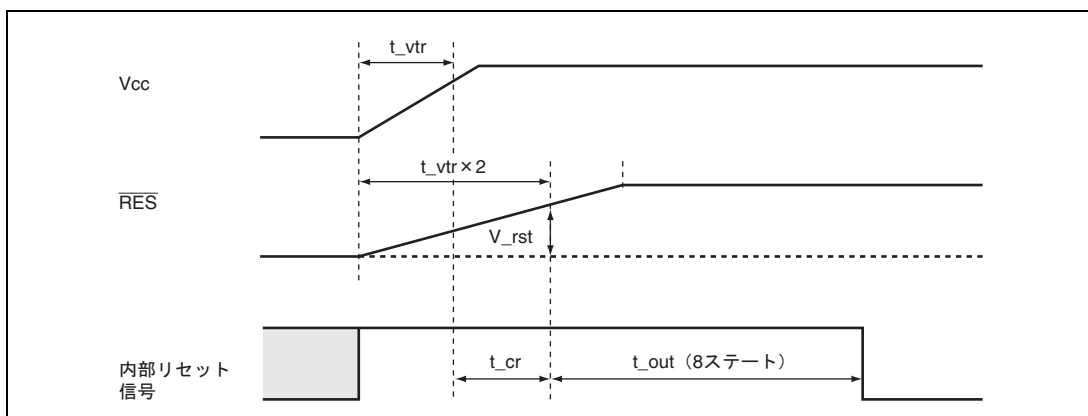


図 22.2 パワーオンリセット回路動作タイミング



## 23. アドレスブレーク

アドレスブレークはオンボードによるプログラムデバッグを容易にする機能を提供します。アドレスブレークは、設定されたブレーク条件が成立するとアドレスブレーク割り込み要求を発生します。この割り込み要求はCCRの1ビットの影響を受けません。設定できるブレーク条件には特定アドレスの命令実行、特定アドレスのアクセスとデータの組み合わせ等があります。また、アドレスブレーク機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。さらに、モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能です。（詳細は「6.4 モジュールスタンバイ機能」を参照してください。）アドレスブレークのブロック図を図 23.1 に示します。

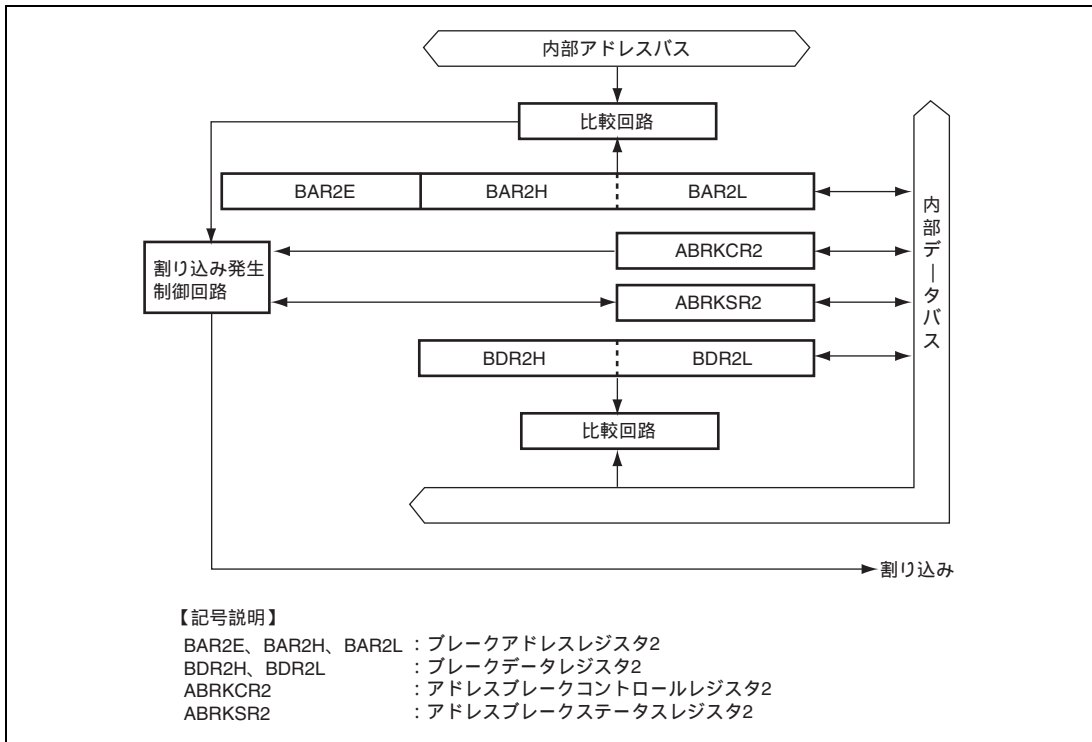


図 23.1 アドレスブレークブロック図

## 23.1 レジスタの説明

アドレスブレイクには以下のレジスタがあります。

- アドレスブレイクコントロールレジスタ2 (ABRKCR2)
- アドレスブレイクステータスレジスタ2 (ABRKS2)
- ブレイクアドレスレジスタ2 (BAR2E、BAR2H、BAR2L)
- ブレイクデータレジスタ2 (BDR2H、BDR2L)

### 23.1.1 アドレスブレイクコントロールレジスタ 2 (ABRKCR2)

ABRKCR2 はアドレスブレイクの条件設定を行います。

ビット	ビット名	初期値	R/W	説明
7	RTINTE2	1	R/W	RTE 割り込みイネーブル 0 の時 RTE 命令実行直後の割り込みをマスクし、必ず 1 命令実行します。1 のときは割り込みはマスクされません。
6	CSEL21	0	R/W	コンディションセレクト 1、0 アドレスブレイクの条件を設定します。 00 : 命令実行サイクル (データを比較しません) 01 : CPU データリードサイクル 10 : CPU データライトサイクル 11 : CPU データリード/ライトサイクル
5	CSEL20	0	R/W	
4	ACMP22	0	R/W	アドレスコンペア 2~0 BAR2 と内部アドレスバスの比較条件を設定します。 000 : 全 24 ビット比較します。 001 : 上位 20 ビット比較します。 010 : 上位 16 ビット比較します。 011 : 上位 12 ビット比較します。 100 : 上位 8 ビット比較します。 101 : 上位 4 ビット比較します。 11x : 設定禁止
3	ACMP21	0	R/W	
2	ACMP20	0	R/W	
1	DCMP21	0	R/W	データコンペア 1、0 BDR2 と内部データバスの比較条件を設定します。 00 : データを比較しません。 01 : BDR2L とデータバス下位 8 ビットを比較します。 10 : BDR2H とデータバス上位 8 ビットを比較します。 11 : BDR2 とデータバス 16 ビットを比較します。
0	DCMP20	0	R/W	

【注】 x : Don't care

なお、データリードサイクルまたはデータライトサイクルでアドレスブレイクを設定する場合、アクセスサイズとデータバス幅の組み合わせにより使用するデータバスが異なりますので注意してください。表 23.1 にそれぞれのアクセスと使用するデータバスの対応を示します。データバス幅 8 ビットの I/O レジスタ空間をワードアクセスした場合、バイトアクセスを 2 回発生します。各レジスタのデータバス幅については「24.1 レジスタアドレス一覧（アドレス順）」を参照してください。

表 23.1 使用するデータバス

	ワードアクセス		バイトアクセス	
	偶数アドレス	奇数アドレス	偶数アドレス	奇数アドレス
ROM 空間	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット
RAM 空間	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット
データバス幅 8 ビットの I/O レジスタ	上位 8 ビット	上位 8 ビット	上位 8 ビット	上位 8 ビット
データバス幅 16 ビットの I/O レジスタ*1	上位 8 ビット	下位 8 ビット	-	-
データバス幅 16 ビットの I/O レジスタ*2	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット

【注】 \*1 H'FFFF96 ~ H'FFFF97、H'FFFFB8 ~ H'FFFFBB 以外でデータバス幅が 16 ビットのレジスタです。

\*2 H'FFFF96 ~ H'FFFF97、H'FFFFB8 ~ H'FFFFBB のレジスタです。

### 23.1.2 アドレスブレイクステータスレジスタ 2 (ABRKS2)

ABRKS2 はアドレスブレイクの割り込み要求フラグとそのイネーブルビットで構成されます。

ビット	ビット名	初期値	R/W	説明
7	ABIF2	0	R/W	アドレスブレイク割り込みフラグ [セット条件] ABRKCR2 で設定された条件が成立した場合。 [クリア条件] 1 の状態をリードした後、0 をライトしたとき。
6	ABIE2	0	R/W	アドレスブレイク割り込みイネーブル 1 のときアドレスブレイク割り込み要求をイネーブルにします。
5~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。

### 23.1.3 ブレイクアドレスレジスタ 2 (BAR2E、BAR2H、BAR2L)

BAR2E、BAR2H、BAR2L はアドレスブレイク割り込みを発生させるためのアドレスを設定する 24 ビットのリード/ライト可能なレジスタです。アドレスブレイクの条件を命令実行サイクルに設定する場合は命令の第 1 バイトのアドレスを設定してください。このレジスタの初期値は H'FFFFFF です。

### 23.1.4 ブレイクデータレジスタ 2 (BDR2H、BDR2L)

BDR2H、BDR2L はアドレスブレイク割り込みを発生させるためのデータを設定する 16 ビットのリード/ライト可能なレジスタです。BDR2H は上位 8 ビットのデータバスと比較されます。BDR2L は下位 8 ビットのデータバスと比較されます。メモリまたはレジスタをバイトアクセスする時は偶数アドレス、奇数アドレスともにデータ転送に上位 8 ビットのデータバスが使用されます。したがって、バイトアクセスでは比較データは常に BDR2H に設定してください。また、ワードアクセスでは、アドレスによって使用されるデータバスが異なります。詳細は「23.1.1 アドレスブレイクコントロールレジスタ 2 (ABRKCR2)」を参照してください。このレジスタの初期値は不定です。

## 23.2 動作説明

アドレスブレイク機能は、ABRKSR2 の ABIF2 が 1 にセットされ、ABRKSR2 の ABIE2 が 1 にセットされているとき、CPU に対して割り込み要求を発生します。ここで ABRKSR2 の ABIF2 は、BAR2 に設定されたアドレス、BDR2 に設定されたデータ、および ABRKCR2 に設定された条件の組み合わせで、1 にセットされます。割り込み要求が受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレイク割り込みは CPU の CCR の I ビットによってマスクされません。

アドレスブレイク割り込みの設定による動作例を図 23.2 に示します。

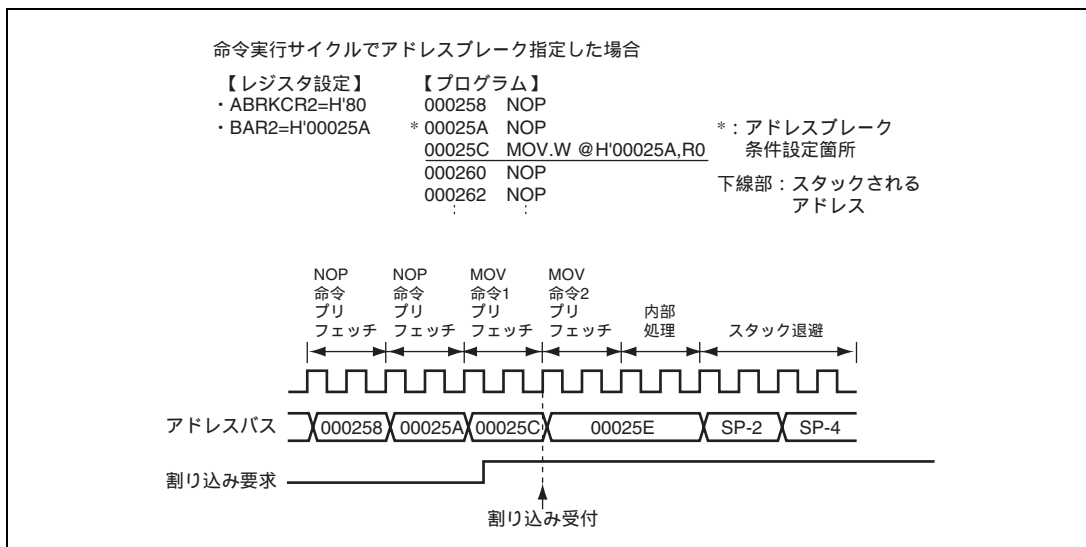


図 23.2 アドレスブレイク割り込み動作例 (1)

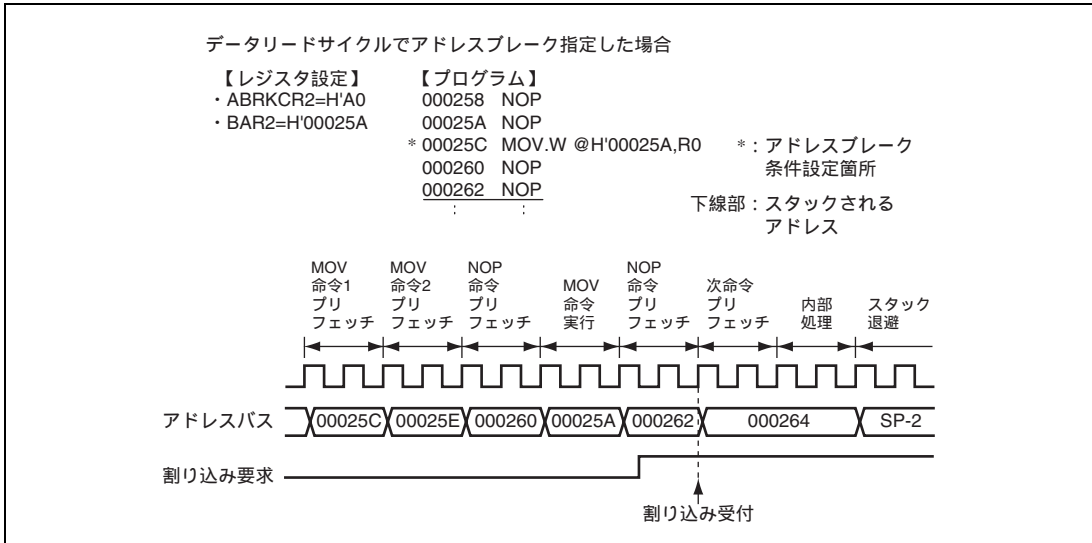


図 23.2 アドレスブレーク割り込み動作例 (2)

### 23.3 アドレスブレークの動作モード

アドレスブレークの動作モードを表 23.2 に示します。

表 23.2 アドレスブレークの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
ABRKCR2	リセット	動作	保持	保持	動作	保持	保持	保持
ABRKS2R2	リセット	動作	保持	保持	動作	保持	保持	保持
BAR2E	リセット	動作	保持	保持	動作	保持	保持	保持
BAR2H	リセット	動作	保持	保持	動作	保持	保持	保持
BAR2L	リセット	動作	保持	保持	動作	保持	保持	保持
BDR2H	保持*	動作	保持	保持	動作	保持	保持	保持
BDR2L	保持*	動作	保持	保持	動作	保持	保持	保持

【注】 \* パワーオンリセット時は不定



---

## 24. レジスタ一覧

---

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

### 1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

### 2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

### 3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 24. レジスタ一覧

### 24.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス* <sup>1</sup>	モジュール	データバス幅	アクセスステート数
シリアルコントロールレジスタ 4	SCR4	8	H'F00C	SCI4	8	2
シリアルコントロールステータスレジスタ 4	SCSR4	8	H'F00D	SCI4	8	2
トランスミットデータレジスタ 4	TDR4	8	H'F00E	SCI4	8	2
レシーブデータレジスタ 4	RDR4	8	H'F00F	SCI4	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'F020	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'F021	ROM	8	2
フラッシュメモリパワーコントロールレジスタ	FLPWCR	8	H'F022	ROM	8	2
ブロック指定レジスタ 1	EBR1	8	H'F023	ROM	8	2
フラッシュメモリインエーブルレジスタ	FENR	8	H'F02B	ROM	8	2
ブロック指定レジスタ 2	EBR2	8	H'F02C	ROM	8	2
システムコントロールレジスタ 3	SYSCR3	8	H'F02F	SYSTEM	8	2
タイマスタートレジスタ	TSTR	8	H'F030	TPU	8	2
タイマシンクロレジスタ	TSYR	8	H'F031	TPU	8	2
ポートデータレジスタ E	PDRE	8	H'F033	I/O ポート	8	2
ポートデータレジスタ F	PDRF	8	H'F034	I/O ポート	8	2
ポートコントロールレジスタ E	PCRE	8	H'F037	I/O ポート	8	2
ポートコントロールレジスタ F	PCRF	8	H'F038	I/O ポート	8	2
ポートモードレジスタ E	PMRE	8	H'F03B	I/O ポート	8	2
ポートモードレジスタ F	PMRF	8	H'F03C	I/O ポート	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'F040	TPU_1	8	2
タイマモードレジスタ_1	TMDR_1	8	H'F041	TPU_1	8	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'F042	TPU_1	8	2
タイマインタラプトインエーブルレジスタ_1	TIER_1	8	H'F044	TPU_1	8	2
タイマステータスレジスタ_1	TSR_1	8	H'F045	TPU_1	8	2
タイマカウンタ_1	TCNT_1	16	H'F046	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'F048	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'F04A	TPU_1	16	2
PWM3 コントロールレジスタ	PWCR3	8	H'F04C	14 ビット PWM_3	8	2
PWM3 データレジスタ	PWDR3	16	H'F04E	14 ビット PWM_3	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'F050	TPU_2	8	2



## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマモードレジスタ_2	TMDR_2	8	H'F051	TPU_2	8	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'F052	TPU_2	8	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'F054	TPU_2	8	2
タイマステータスレジスタ_2	TSR_2	8	H'F055	TPU_2	8	2
タイマカウンタ_2	TCNT_2	16	H'F056	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'F058	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'F05A	TPU_2	16	2
PWM4 コントロールレジスタ	PWCR4	8	H'F05D	14 ビット PWM_4	8	2
PWM4 データレジスタ	PWDR4	16	H'F05E	14 ビット PWM_4	16	2
RTC 割り込みフラグレジスタ	RTCFLG	8	H'F067	RTC	8	2
秒データレジスタ / フリーランカウンタデータレジスタ	RSECDR	8	H'F068	RTC	8	2
分データレジスタ	RMINDR	8	H'F069	RTC	8	2
時データレジスタ	RHRDR	8	H'F06A	RTC	8	2
曜日データレジスタ	RWKDR	8	H'F06B	RTC	8	2
RTC コントロールレジスタ 1	RTCCR1	8	H'F06C	RTC	8	2
RTC コントロールレジスタ 2	RTCCR2	8	H'F06D	RTC	8	2
SUB32k コントロールレジスタ	SUB32CR	8	H'F06E	クロック発振器	8	2
クロックソースセレクトレジスタ	RTCCSR	8	H'F06F	RTC	8	2
I <sup>2</sup> C バスコントロールレジスタ 1	ICCR1	8	H'F078	IIC2	8	2
I <sup>2</sup> C バスコントロールレジスタ 2	ICCR2	8	H'F079	IIC2	8	2
I <sup>2</sup> C バスモードレジスタ	ICMR	8	H'F07A	IIC2	8	2
I <sup>2</sup> C バス割り込み許可レジスタ	ICIER	8	H'F07B	IIC2	8	2
I <sup>2</sup> C バスステータスレジスタ	ICSR	8	H'F07C	IIC2	8	2
スレーブアドレスレジスタ	SAR	8	H'F07D	IIC2	8	2
I <sup>2</sup> C バス送信データレジスタ	ICDRT	8	H'F07E	IIC2	8	2
I <sup>2</sup> C バス受信データレジスタ	ICDRR	8	H'F07F	IIC2	8	2
インタラプトプライオリティレジスタ A	IPRA	8	H'F080	割り込み	8	2
インタラプトプライオリティレジスタ B	IPRB	8	H'F081	割り込み	8	2
インタラプトプライオリティレジスタ C	IPRC	8	H'F082	割り込み	8	2
インタラプトプライオリティレジスタ D	IPRD	8	H'F083	割り込み	8	2
インタラプトプライオリティレジスタ E	IPRE	8	H'F084	割り込み	8	2
インタラプトプライオリティレジスタ F	IPRF	8	H'F085	割り込み	8	2
シリアルモードレジスタ 3_3	SMR3_3	8	H'F088	SCI3_3	8	3
ビットレートレジスタ 3_3	BRR3_3	8	H'F089	SCI3_3	8	3

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
シリアルコントロールレジスタ 3_3	SCR3_3	8	H'F08A	SCI3_3	8	3
トランスミットデータレジスタ 3_3	TDR3_3	8	H'F08B	SCI3_3	8	3
シリアルステータスレジスタ 3_3	SSR3_3	8	H'F08C	SCI3_3	8	3
レシーブデータレジスタ 3_3	RDR3_3	8	H'F08D	SCI3_3	8	3
アドレスブレイクコントロールレジスタ 2	ABRKCR2	8	H'F096	アドレスブレイク	8	2
アドレスブレイクステータスレジスタ 2	ABRKSR2	8	H'F097	アドレスブレイク	8	2
ブレイクアドレスレジスタ 2H	BAR2H	8	H'F098	アドレスブレイク	8	2
ブレイクアドレスレジスタ 2L	BAR2L	8	H'F099	アドレスブレイク	8	2
ブレイクデータレジスタ 2H	BDR2H	8	H'F09A	アドレスブレイク	8	2
ブレイクデータレジスタ 2L	BDR2L	8	H'F09B	アドレスブレイク	8	2
ブレイクアドレスレジスタ 2E	BAR2E	8	H'F09D	アドレスブレイク	8	2
タイマモードレジスタ G	TMG	8	H'FF84	タイマ G	8	2
インプットキャプチャレジスタ GF	ICRGF	8	H'FF85	タイマ G	8	2
インプットキャプチャレジスタ GR	ICRGR	8	H'FF86	タイマ G	8	2
イベントカウンタ PWM コンペアレジスタ	ECPWCR	16	H'FF8C	AEC*2	16	2
イベントカウンタ PWM データレジスタ	ECPWDR	16	H'FF8E	AEC*2	16	2
ウェイクアップエッジセレクトレジスタ	WEGR	8	H'FF90	割り込み	8	2
シリアルポートコントロールレジスタ	SPCR	8	H'FF91	SCI3	8	2
入力端子エッジセレクトレジスタ	AEGR	8	H'FF92	AEC*2	8	2
イベントカウンタコントロールレジスタ	ECCR	8	H'FF94	AEC*2	8	2
イベントカウンタコントロール/ ステータスレジスタ	ECCSR	8	H'FF95	AEC*2	8	2
イベントカウンタ H	ECH	8	H'FF96	AEC*2	8/16	2
イベントカウンタ L	ECL	8	H'FF97	AEC*2	8/16	2
シリアルモードレジスタ 3	SMR3_1	8	H'FF98	SCI3_1	8	3
ビットレートレジスタ 3	BRR3_1	8	H'FF99	SCI3_1	8	3
シリアルコントロールレジスタ 3	SCR3_1	8	H'FF9A	SCI3_1	8	3
トランスミットデータレジスタ 3	TDR3_1	8	H'FF9B	SCI3_1	8	3
シリアルステータスレジスタ 3	SSR3_1	8	H'FF9C	SCI3_1	8	3
レシーブデータレジスタ 3	RDR3_1	8	H'FF9D	SCI3_1	8	3
シリアル拡張レジスタ	SEMR_1	8	H'FFA6	SCI3_1	8	3
IrDA コントロールレジスタ	IrCR	8	H'FFA7	IrDA	8	3
シリアルモードレジスタ 3_2	SMR3_2	8	H'FFA8	SCI3_2	8	3
ビットレートレジスタ 3_2	BRR3_2	8	H'FFA9	SCI3_2	8	3
シリアルコントロールレジスタ 3_2	SCR3_2	8	H'FFAA	SCI3_2	8	3
トランスミットデータレジスタ 3_2	TDR3_2	8	H'FFAB	SCI3_2	8	3

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
シリアルステータスレジスタ 3_2	SSR3_2	8	H'FFAC	SCI3_2	8	3
レシーブデータレジスタ 3_2	RDR3_2	8	H'FFAD	SCI3_2	8	3
タイマモードレジスタ WD	TMWD	8	H'FFB0	WDT*3	8	2
タイマコントロール/ ステータスレジスタ WD1	TCSRWD1	8	H'FFB1	WDT*3	8	2
タイマコントロール/ ステータスレジスタ WD2	TCSRWD2	8	H'FFB2	WDT*3	8	2
タイマカウンタ WD	TCWD	8	H'FFB3	WDT*3	8	2
タイマモードレジスタ C	TMC	8	H'FFB4	タイマ C	8	2
タイマカウンタ C / タイマロードレジスタ C	TCG/TLC	8	H'FFB5	タイマ C	8	2
タイマコントロールレジスタ F	TCRF	8	H'FFB6	タイマ F	8	2
タイマコントロールステータスレジスタ F	TCSRFB	8	H'FFB7	タイマ F	8	2
8ビットタイマカウンタ FH	TCFH	8	H'FFB8	タイマ F	8/16	2
8ビットタイマカウンタ FL	TCFL	8	H'FFB9	タイマ F	8/16	2
アウトプットコンペアレジスタ FH	OCRFB	8	H'FFBA	タイマ F	8/16	2
アウトプットコンペアレジスタ FL	OCRFL	8	H'FFBB	タイマ F	8/16	2
A/D リザルトレジスタ	ADRR	16	H'FFBC	A/D 変換器	16	2
A/D モードレジスタ	AMR	8	H'FFBE	A/D 変換器	8	2
A/D スタートレジスタ	ADSR	8	H'FFBF	A/D 変換器	8	2
ポートモードレジスタ 1	PMR1	8	H'FFC0	I/O ポート	8	2
発振器コントロールレジスタ	OSCCR	8	H'FFC1	クロック発振器	8	2
ポートモードレジスタ 3	PMR3	8	H'FFC2	I/O ポート	8	2
ポートモードレジスタ 4	PMR4	8	H'FFC3	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FFC4	I/O ポート	8	2
ポートモードレジスタ 9	PMR9	8	H'FFC8	I/O ポート	8	2
ポートモードレジスタ B	PMRB	8	H'FFCA	I/O ポート	8	2
ポート機能コントロールレジスタ	PFCR	8	H'FFCB	I/O ポート	8	2
シリアルポートコントロールレジスタ 2	SPCR2	8	H'FFCC	SCI3	8	2
PWM2 コントロールレジスタ	PWCR2	8	H'FFCD	14ビット PWM_2	8	2
PWM2 データレジスタ	PWDR2	16	H'FFCE	14ビット PWM_2	16	2
PWM1 コントロールレジスタ	PWCR1	8	H'FFD0	14ビット PWM_1	8	2
PWM1 データレジスタ	PWDR1	16	H'FFD2	14ビット PWM_1	16	2

## 24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポートデータレジスタ 1	PDR1	8	H'FFD4	I/O ポート	8	2
ポートデータレジスタ 3	PDR3	8	H'FFD6	I/O ポート	8	2
ポートデータレジスタ 4	PDR4	8	H'FFD7	I/O ポート	8	2
ポートデータレジスタ 5	PDR5	8	H'FFD8	I/O ポート	8	2
ポートデータレジスタ 6	PDR6	8	H'FFD9	I/O ポート	8	2
ポートデータレジスタ 7	PDR7	8	H'FFDA	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFDB	I/O ポート	8	2
ポートデータレジスタ 9	PDR9	8	H'FFDC	I/O ポート	8	2
ポートデータレジスタ A	PDRA	8	H'FFDD	I/O ポート	8	2
ポートデータレジスタ B	PDRB	8	H'FFDE	I/O ポート	8	2
ポートデータレジスタ C	PDRC	8	H'FFDF	I/O ポート	8	2
ポートブルアップコントロールレジスタ 1	PUCR1	8	H'FFE0	I/O ポート	8	2
ポートブルアップコントロールレジスタ 3	PUCR3	8	H'FFE1	I/O ポート	8	2
ポートブルアップコントロールレジスタ 5	PUCR5	8	H'FFE2	I/O ポート	8	2
ポートブルアップコントロールレジスタ 6	PUCR6	8	H'FFE3	I/O ポート	8	2
ポートコントロールレジスタ 1	PCR1	8	H'FFE4	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	8	H'FFE6	I/O ポート	8	2
ポートコントロールレジスタ 4	PCR4	8	H'FFE7	I/O ポート	8	2
ポートコントロールレジスタ 5	PCR5	8	H'FFE8	I/O ポート	8	2
ポートコントロールレジスタ 6	PCR6	8	H'FFE9	I/O ポート	8	2
ポートコントロールレジスタ 7	PCR7	8	H'FFEA	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	8	H'FFEB	I/O ポート	8	2
ポートコントロールレジスタ 9	PCR9	8	H'FFEC	I/O ポート	8	2
ポートコントロールレジスタ A	PCRA	8	H'FFED	I/O ポート	8	2
ポートコントロールレジスタ C	PCRC	8	H'FFEE	I/O ポート	8	2
システムコントロールレジスタ 1	SYSCR1	8	H'FFF0	SYSTEM	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FFF1	SYSTEM	8	2
IRQ エッジセレクトレジスタ	IEGR	8	H'FFF2	割り込み	8	2
割り込み許可レジスタ 1	IENR1	8	H'FFF3	割り込み	8	2
割り込み許可レジスタ 2	IENR2	8	H'FFF4	割り込み	8	2
インタラプトマスクレジスタ	INTM	8	H'FFF5	割り込み	8	2
割り込み要求レジスタ 1	IRR1	8	H'FFF6	割り込み	8	2
割り込み要求レジスタ 2	IRR2	8	H'FFF7	割り込み	8	2
ウェイクアップ割り込み要求レジスタ	IWPR	8	H'FFF9	割り込み	8	2
クロック停止レジスタ 1	CKSTPR1	8	H'FFFA	SYSTEM	8	2

---

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
クロック停止レジスタ 2	CKSTPR2	8	H'FFFB	SYSTEM	8	2
クロック停止レジスタ 3	CKSTPR3	8	H'FFFC	SYSTEM	8	2

【注】 \*1 アドレスの下位 16 ビットを示しています

\*2 AEC : 非同期イベントカウンタ

\*3 WDT : ウォッチドッグタイマ

## 24. レジスタ一覧

### 24.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SCR4	TIE	RIE	TEIE	SOL	SOLP	SRES	TE	RE	SCI4
SCSR4	TDRE	RDRF	ORER	TEND	CKS3	CKS2	CKS1	CKS0	
TDR4	TDR47	TDR46	TDR45	TDR44	TDR43	TDR42	TDR41	TDR40	
RDR4	RDR47	RDR46	RDR45	RDR44	RDR43	RDR42	RDR41	RDR40	
FLMCR1	-	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	-	-	-	-	-	-	-	
FLPWCR	PDWND	-	-	-	-	-	-	-	
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	-	-	-	-	-	-	-	
EBR2	-	-	-	-	-	-	EB9	EB8	
SYSCR3	-	-	-	-	-	-	-	STS3	SYSTEM
TSTR	-	-	-	-	-	CST2	CST1	-	TPU
TSYR	-	-	-	-	-	SYNC2	SYNC1	-	
PDRE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	I/Oポート
PDRF	-	-	-	-	PF3	PF2	PF1	PF0	
PCRE	PCRE7	PCRE6	PCRE5	PCRE4	PCRE3	PCRE2	PCRE1	PCRE0	
PCRF	-	-	-	-	PCRF3	PCRF2	PCRF1	PCRF0	
PMRE	-	-	-	TMIC	IRQ0	UD	IRQ1	IRQ3	
PMRF	-	-	-	-	-	IRQ4	NCS	TMIG	
TCR_1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	-	-	-	-	-	-	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	-	-	-	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	-	-	-	TCFV	-	-	TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PWCR3	-	-	-	-	-	PWCR32	PWCR31	PWCR30	14ビット
PWDR3	-	-	PWDR313	PWDR312	PWDR311	PWDR310	PWDR39	PWDR38	PWM_3
		PWDR37	PWDR36	PWDR35	PWDR34	PWDR33	PWDR32	PWDR31	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	-	-	-	-	-	-	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	-	-	-	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	-	-	-	TCFV	-	-	TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PWCR4	-	-	-	-	-	PWCR42	PWCR41	PWCR40	14ビット
PWDR4	-	-	PWDR413	PWDR412	PWDR411	PWDR410	PWDR49	PWDR48	PWM_4
	PWDR47	PWDR46	PWDR45	PWDR44	PWDR43	PWDR42	PWDR41	PWDR40	
RTCFLG	FOIFG	WKIFG	DYIFG	HRIFG	MNIFG	SEIFG	05SEIFG	025SEIFG	RTC
RSECDR	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00	
RMINDR	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00	
RHRDR	BSY	-	HR11	HR10	HR03	HR02	HR01	HR00	
RWKDR	BSY	-	-	-	-	WK2	WK1	WK0	
RTCCR1	RUN	12/24	PM	RST	-	-	-	-	
RTCCR2	FOIE	WKIE	DYIE	HRIE	MNIE	1SEIE	05SEIE	025SEIE	
SUB32CR	32KSTOP	-	-	-	-	-	-	-	クロック発振器
RTCCSR	-	RCS6	RCS5	SUB32K	RCS3	RCS2	RCS1	RCS0	RTC
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-	
ICMR	MLS	WAIT	-	-	BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
IPRA	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	割り込み
IPRB	IPRB7	IPRB6	IPRB5	IPRB4	IPRB3	IPRB2	IPRB1	IPRB0	
IPRC	IPRC7	IPRC6	IPRC5	IPRC4	IPRC3	IPRC2	IPRC1	IPRC0	
IPRD	IPRD7	IPRD6	IPRD5	IPRD4	IPRD3	IPRD2	IPRD1	IPRD0	
IPRE	IPRE7	IPRE6	IPRE5	IPRE4	-	-	-	-	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IPRF	IPRF7	IPRF6	IPRF5	IPRF4	IPRF3	IPRF2	-	-	割り込み
SMR3_3	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3_3
BRR3_3	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR3_3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR3_3	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR3_3	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
ABRKCR2	RTINTE2	CSEL21	CSEL20	ACMP22	ACMP21	ACMP20	DCMP21	DCMP20	アドレス
ABRKSR2	ABIF2	ABIE2	-	-	-	-	-	-	ブレイク
BAR2H	BARH27	BARH26	BARH25	BARH24	BARH23	BARH22	BARH21	BARH20	
BAR2L	BARL27	BARL26	BARL25	BARL24	BARL23	BARL22	BARL21	BARL20	
BDR2H	BDRH27	BDRH26	BDRH25	BDRH24	BDRH23	BDRH22	BDRH21	BDRH20	
BDR2L	BDRL27	BDRL26	BDRL25	BDRL24	BDRL23	BDRL22	BDRL21	BDRL20	
BAR2E	BARE27	BARE26	BARE25	BARE24	BARE23	BARE22	BARE21	BARE20	
TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	タイマG
ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
ECPWCR	ECPWCR15	ECPWCR14	ECPWCR13	ECPWCR12	ECPWCR11	ECPWCR10	ECPWCR9	ECPWCR8	AEC*1
	ECPWCR7	ECPWCR6	ECPWCR5	ECPWCR4	ECPWCR3	ECPWCR2	ECPWCR1	ECPWCR0	
ECPWDR	ECPWDR15	ECPWDR14	ECPWDR13	ECPWDR12	ECPWDR11	ECPWDR10	ECPWDR9	ECPWDR8	
	ECPWDR7	ECPWDR6	ECPWDR5	ECPWDR4	ECPWDR3	ECPWDR2	ECPWDR1	ECPWDR0	
WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	割り込み
SPCR	-	-	SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0	SCI3
AECSR	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	-	AEC*1
ECCR	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0	-	
ECCSR	OVH	OVL	-	CH2	CUEH	CUEL	CRCH	CRCL	
ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
SMR3_1	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3_1
BRR3_1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR3_1	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR3_1	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR3_1	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
SEMR	-	-	-	-	ABCS	-	-	-	
IrCR	IrE	IrCKS2	IrCKS1	IrCKS0	-	-	-	-	IrDA



24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR3_2	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3_2
BRR3_2	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR3_2	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR3_2	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR3_2	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
TMWD	-	-	-	-	CKS3	CKS2	CKS1	CKS0	WDT*2
TCSRWD1	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST	
TCSRWD2	OVF	B5WI	WT/IT	B3WI	IEOVF	-	-	-	
TCWD	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	
TMC	TMC7	TMC6	TMC5	-	-	TMC2	TMC1	TMC0	タイマC
TCC/TLC	TCC7/ TLC7	TCC6/ TLC6	TCC5/ TLC5	TCC4/ TLC4	TCC3/ TLC3	TCC2/ TLC2	TCC1/ TLC1	TCC0/ TLC0	
TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイマF
TCSRFB	OVFH	CMFH	OVIEH	CCLRFB	OVFL	CMFL	OVIEL	CCLRFB	
TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
ADRR	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D変換器
	ADR1	ADR0	-	-	-	-	-	-	
AMR	-	TRGE	CKS1	CKS0	CH3	CH2	CH1	CH0	
ADSR	ADSF	LADS	-	-	-	-	-	-	
PMR1	-	-	-	-	-	-	AEVL	AEVH	I/Oポート
OSCCR	-	RFCUT	-	-	-	IRQAECF	OSCF	-	クロック発振器
PMR3	-	-	-	-	-	-	-	TMOW	I/Oポート
PMR4	-	-	-	-	-	TMOFH	TMOFL	TMIF	
PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PMR9	-	-	-	-	-	IRQ4	PWM2	PWM1	
PMRB	-	-	-	ADTSTCHG	-	IRQ3	IRQ1	IRQ0	
PFCR	CLKOUT1	CLKOUT0	-	PWM4	PWM3	-	SC32S	SC31S	
SPCR2	-	-	-	SPC33	-	-	SCINV5	SCINV4	SCI3
PWCR2	-	-	-	-	-	PWCR22	PWCR21	PWCR20	14ビット
PWDR2	-	-	PWDR213	PWDR212	PWDR211	PWDR210	PWDR29	PWDR28	PWM_2
	PWDR27	PWDR26	PWDR25	PWDR24	PWDR23	PWDR22	PWDR21	PWDR20	

## 24. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PWCR1	-	-	-	-	-	PWCR12	PWCR11	PWCR10	14ビット
PWDR1	-	-	PWDR113	PWDR112	PWDR111	PWDR110	PWDR19	PWDR18	PWM_1
	PWDR17	PWDR16	PWDR15	PWDR14	PWDR13	PWDR12	PWDR11	PWDR10	
PDR1	-	P16	P15	P14	P13	P12	P11	P10	I/Oポート
PDR3	P37	P36	-	-	-	P32	P31	P30	
PDR4	-	-	-	-	-	P42	P41	P40	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
PDR8	P87	P86	P85	P84	P83	P82	P81	P80	
PDR9	-	-	-	-	P93	P92	P91	P90	
PDRA	-	-	-	-	PA3	PA2	PA1	PA0	
PDRB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PDRC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PUCR1	-	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10	
PUCR3	PUCR37	PUCR36	-	-	-	-	-	PUCR30	
PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	
PCR1	-	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	
PCR3	PCR37	PCR36	-	-	-	PCR32	PCR31	PCR30	
PCR4	-	-	-	-	-	PCR42	PCR41	PCR40	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
PCR8	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80	
PCR9	-	-	-	-	PCR93	PCR92	PCR91	PCR90	
PCRA	-	-	-	-	PCRA3	PCRA2	PCRA1	PCRA0	
PCRC	PCRC7	PCRC6	PCRC5	PCRC4	PCRC3	PCRC2	PCRC1	PCRC0	
SYSCR1	SSBY	STS2	STS1	STS0	LSON	TMA3	MA1	MA0	SYSTEM
SYSCR2	-	-	-	NESEL	DTON	MSON	SA1	SA0	
IEGR	NMIEG	TMIFEG	ADTRGNEG	IEG4	IEG3	-	IEG1	IEG0	割り込み
IENR1	IENRTC	-	IENWP	IEN4	IEN3	IENEC2	IEN1	IEN0	
IENR2	IENDT	IENAD	-	IENTG	IENTFH	IENTFL	IENTC	IENEC	
INTM	-	-	-	-	-	-	INTM1	INTM0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IRR1	-	-	-	IRR4	IRR3	IRREC2	IRRI1	IRRI0	割り込み
IRR2	IRRDT	IRRAD	-	IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC	
IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	
CKSTPR1	S4CKSTP*3	S31CKSTP	S32CKSTP	ADCKSTP	-	TFCKSTP	FROMCKSTP*3	RTCCKSTP	SYSTEM
CKSTPR2	ADBCKSTP	TPUCKSTP	IICCKSTP	PW2CKSTP	AECCKSTP	WDCKSTP	PW1CKSTP	-	
CKSTPR3	S33CKSTP	TCCKSTP	TGCKSTP	PW4CKSTP	PW3CKSTP	-	-	-	

- 【注】 \*1 AEC : 非同期イベントカウンタ  
\*2 WDT : ウォッチドッグタイマ  
\*3 フラッシュメモリ版のみ有効です。マスク ROM 版では、リザーブビットとなります。

## 24. レジスタ一覧

### 24.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
SCR4	初期化	-	-	-	-	-	-	SCR4
SCSR4	初期化	-	-	-	-	-	-	
TDR4	初期化	-	-	-	-	-	-	
RDR4	初期化	-	-	-	-	-	-	
FLMCR1	初期化	-	-	-	-	-	初期化	ROM
FLMCR2	初期化	-	-	-	-	-	-	
FLPWCR	初期化	-	-	-	-	-	-	
EBR1	初期化	-	-	-	-	-	初期化	
FENR	初期化	-	-	-	-	-	-	
EBR2	初期化	-	-	-	-	-	初期化	
SYSCR3	初期化	-	-	-	-	-	-	SYSTEM
TSTR	初期化	-	-	-	-	-	-	TPU
TSYR	初期化	-	-	-	-	-	-	
PDRE	初期化	-	-	-	-	-	-	I/Oポート
PDRF	初期化	-	-	-	-	-	-	
PCRE	初期化	-	-	-	-	-	-	
PCRF	初期化	-	-	-	-	-	-	
PMRE	初期化	-	-	-	-	-	-	
PMRF	初期化	-	-	-	-	-	-	
TCR_1	初期化	-	-	-	-	-	-	TPU_1
TMDR_1	初期化	-	-	-	-	-	-	
TIOR_1	初期化	-	-	-	-	-	-	
TIER_1	初期化	-	-	-	-	-	-	
TSR_1	初期化	-	-	-	-	-	-	
TCNT_1	初期化	-	-	-	-	-	-	
TGRA_1	初期化	-	-	-	-	-	-	
TGRB_1	初期化	-	-	-	-	-	-	
PWCR3	初期化	-	-	-	-	-	-	14ビット
PWDR3	初期化	-	-	-	-	-	-	PWM_3
TCR_2	初期化	-	-	-	-	-	-	TPU_2
TMDR_2	初期化	-	-	-	-	-	-	
TIOR_2	初期化	-	-	-	-	-	-	
TIER_2	初期化	-	-	-	-	-	-	
TSR_2	初期化	-	-	-	-	-	-	

## 24. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
TCNT_2	初期化	-	-	-	-	-	-	TPU_2
TGRA_2	初期化	-	-	-	-	-	-	
TGRB_2	初期化	-	-	-	-	-	-	
PWCR4	初期化	-	-	-	-	-	-	14ビット
PWDR4	初期化	-	-	-	-	-	-	PWM_4
RTCFLG	-	-	-	-	-	-	-	RTC
RSECDR	-	-	-	-	-	-	-	
RMINDR	-	-	-	-	-	-	-	
RHRDR	-	-	-	-	-	-	-	
RWKDR	-	-	-	-	-	-	-	
RTCCR1	-	-	-	-	-	-	-	
RTCCR2	-	-	-	-	-	-	-	
SUB32CR	初期化	-	-	-	-	-	-	クロック発振器
RTCCSR	初期化	-	-	-	-	-	-	RTC
ICCR1	初期化	-	-	-	-	-	-	IIC2
ICCR2	初期化	-	-	-	-	-	-	
ICMR	初期化	-	-	-	-	-	-	
ICIER	初期化	-	-	-	-	-	-	
ICSR	初期化	-	-	-	-	-	-	
SAR	初期化	-	-	-	-	-	-	
ICDRT	初期化	-	-	-	-	-	-	
ICDRR	初期化	-	-	-	-	-	-	
IPRA	初期化	-	-	-	-	-	-	割り込み
IPRB	初期化	-	-	-	-	-	-	
IPRC	初期化	-	-	-	-	-	-	
IPRD	初期化	-	-	-	-	-	-	
IPRE	初期化	-	-	-	-	-	-	
IPRF	初期化	-	-	-	-	-	-	
SMR3_3	初期化	-	-	初期化	-	-	初期化	SCI3_3
BRR3_3	初期化	-	-	初期化	-	-	初期化	
SCR3_3	初期化	-	-	初期化	-	-	初期化	
TDR3_3	初期化	-	-	初期化	-	-	初期化	
SSR3_3	初期化	-	-	初期化	-	-	初期化	
RDR3_3	初期化	-	-	初期化	-	-	初期化	
ABRKCR2	初期化	-	-	-	-	-	-	アドレス
ABRKS2	初期化	-	-	-	-	-	-	ブレイク

## 24. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
BAR2H	初期化	-	-	-	-	-	-	アドレス
BAR2L	初期化	-	-	-	-	-	-	ブレイク
BDR2H	-	-	-	-	-	-	-	
BDR2L	-	-	-	-	-	-	-	
BAR2E	初期化	-	-	-	-	-	-	
TMG	初期化	-	-	-	-	-	-	タイマ G
ICRGF	初期化	-	-	-	-	-	-	
ICRGR	初期化	-	-	-	-	-	-	
ECPWCR	初期化	-	-	-	-	-	-	AEC* <sup>1</sup>
ECPWDR	初期化	-	-	-	-	-	-	
WEGR	初期化	-	-	-	-	-	-	割り込み
SPCR	初期化	-	-	-	-	-	-	SCI3
AEGSR	初期化	-	-	-	-	-	-	AEC* <sup>1</sup>
ECCR	初期化	-	-	-	-	-	-	
ECCSR	初期化	-	-	-	-	-	-	
ECH	初期化	-	-	-	-	-	-	
ECL	初期化	-	-	-	-	-	-	
SMR3_1	初期化	-	-	初期化	-	-	初期化	SCI3_1
BRR3_1	初期化	-	-	初期化	-	-	初期化	
SCR3_1	初期化	-	-	初期化	-	-	初期化	
TDR3_1	初期化	-	-	初期化	-	-	初期化	
SSR3_1	初期化	-	-	初期化	-	-	初期化	
RDR3_1	初期化	-	-	初期化	-	-	初期化	
SEMR	初期化	-	-	初期化	-	-	初期化	
IrCR	初期化	-	-	初期化	-	-	初期化	IrDA
SMR3_2	初期化	-	-	初期化	-	-	初期化	SCI3_2
BRR3_2	初期化	-	-	初期化	-	-	初期化	
SCR3_2	初期化	-	-	初期化	-	-	初期化	
TDR3_2	初期化	-	-	初期化	-	-	初期化	
SSR3_2	初期化	-	-	初期化	-	-	初期化	
RDR3_2	初期化	-	-	初期化	-	-	初期化	
TMWD	初期化	-	-	-	-	-	-	WDT* <sup>2</sup>
TCSRWD1	初期化	-	-	-	-	-	-	
TCSRWD2	初期化	-	-	-	-	-	-	
TCWD	初期化	-	-	-	-	-	-	

## 24. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
TMC	初期化	-	-	-	-	-	-	タイマ C
TCC/TLC	初期化	-	-	-	-	-	-	
TCRF	初期化	-	-	-	-	-	-	タイマ F
TCSRF	初期化	-	-	-	-	-	-	
TCFH	初期化	-	-	-	-	-	-	
TCFL	初期化	-	-	-	-	-	-	
OCRFH	初期化	-	-	-	-	-	-	
OCRFL	初期化	-	-	-	-	-	-	
ADRR	-	-	-	-	-	-	-	A/D 変換器
AMR	初期化	-	-	-	-	-	-	
ADSR	初期化	-	-	-	-	-	-	
PMR1	初期化	-	-	-	-	-	-	I/O ポート
OSCCR	初期化	-	-	-	-	-	-	クロック発振器
PMR3	初期化	-	-	-	-	-	-	I/O ポート
PMR4	初期化	-	-	-	-	-	-	
PMR5	初期化	-	-	-	-	-	-	
PMR9	初期化	-	-	-	-	-	-	
PMRB	初期化	-	-	-	-	-	-	
PFCR	初期化	-	-	-	-	-	-	
SPCR2	初期化	-	-	-	-	-	-	SCI3
PWCR2	初期化	-	-	-	-	-	-	14 ビット
PWDR2	初期化	-	-	-	-	-	-	PWM_2
PWCR1	初期化	-	-	-	-	-	-	14 ビット
PWDR1	初期化	-	-	-	-	-	-	PWM_1
PDR1	初期化	-	-	-	-	-	-	I/O ポート
PDR3	初期化	-	-	-	-	-	-	
PDR4	初期化	-	-	-	-	-	-	
PDR5	初期化	-	-	-	-	-	-	
PDR6	初期化	-	-	-	-	-	-	
PDR7	初期化	-	-	-	-	-	-	
PDR8	初期化	-	-	-	-	-	-	
PDR9	初期化	-	-	-	-	-	-	
PDRA	初期化	-	-	-	-	-	-	
PDRB	初期化	-	-	-	-	-	-	
PDRC	初期化	-	-	-	-	-	-	

## 24. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
PUCR1	初期化	-	-	-	-	-	-	I/Oポート
PUCR3	初期化	-	-	-	-	-	-	
PUCR5	初期化	-	-	-	-	-	-	
PUCR6	初期化	-	-	-	-	-	-	
PCR1	初期化	-	-	-	-	-	-	
PCR3	初期化	-	-	-	-	-	-	
PCR4	初期化	-	-	-	-	-	-	
PCR5	初期化	-	-	-	-	-	-	
PCR6	初期化	-	-	-	-	-	-	
PCR7	初期化	-	-	-	-	-	-	
PCR8	初期化	-	-	-	-	-	-	
PCR9	初期化	-	-	-	-	-	-	
PCRA	初期化	-	-	-	-	-	-	
PCRC	初期化	-	-	-	-	-	-	
SYSCR1	初期化	-	-	-	-	-	-	SYSTEM
SYSCR2	初期化	-	-	-	-	-	-	
IEGR	初期化	-	-	-	-	-	-	割り込み
IENR1	初期化	-	-	-	-	-	-	
IENR2	初期化	-	-	-	-	-	-	
INTM	初期化	-	-	-	-	-	-	
IRR1	初期化	-	-	-	-	-	-	
IRR2	初期化	-	-	-	-	-	-	
IWPR	初期化	-	-	-	-	-	-	
CKSTPR1	初期化	-	-	-	-	-	-	SYSTEM
CKSTPR2	初期化	-	-	-	-	-	-	
CKSTPR3	初期化	-	-	-	-	-	-	

【注】 - は初期化されません。

\*1 AEC : 非同期イベントカウンタ

\*2 WDT : ウォッチドッグタイマ



---

## 25. 電気的特性

---

### 25.1 F-ZTAT 版の絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	$V_{CC}$	- 0.3 ~ + 4.3	V	*1	
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ + 4.3	V		
入力電圧	ポート B 以外	$V_{in}$	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	$AV_{in}$	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	$T_{opr}$	- 20 ~ + 75 (通常仕様品) *2 - 40 ~ + 85 (広温度範囲仕様品) *2			
保存温度	$T_{stg}$	- 55 ~ + 125			

【注】 \*1 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

\*2 フラッシュメモリの読み出し時動作電圧が  $V_{CC} = 2.7 \sim 3.6V$  の場合、書き込み / 消去時の動作温度範囲は  $T_a = -20 \sim +75$  です。フラッシュメモリの読み出し時動作電圧が  $V_{CC} = 1.8 \sim 3.6V$  の場合、書き込み / 消去時の動作温度範囲は  $T_a = -20 \sim +50$  です。

## 25.2 F-ZTAT 版の電気的特性

### 25.2.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

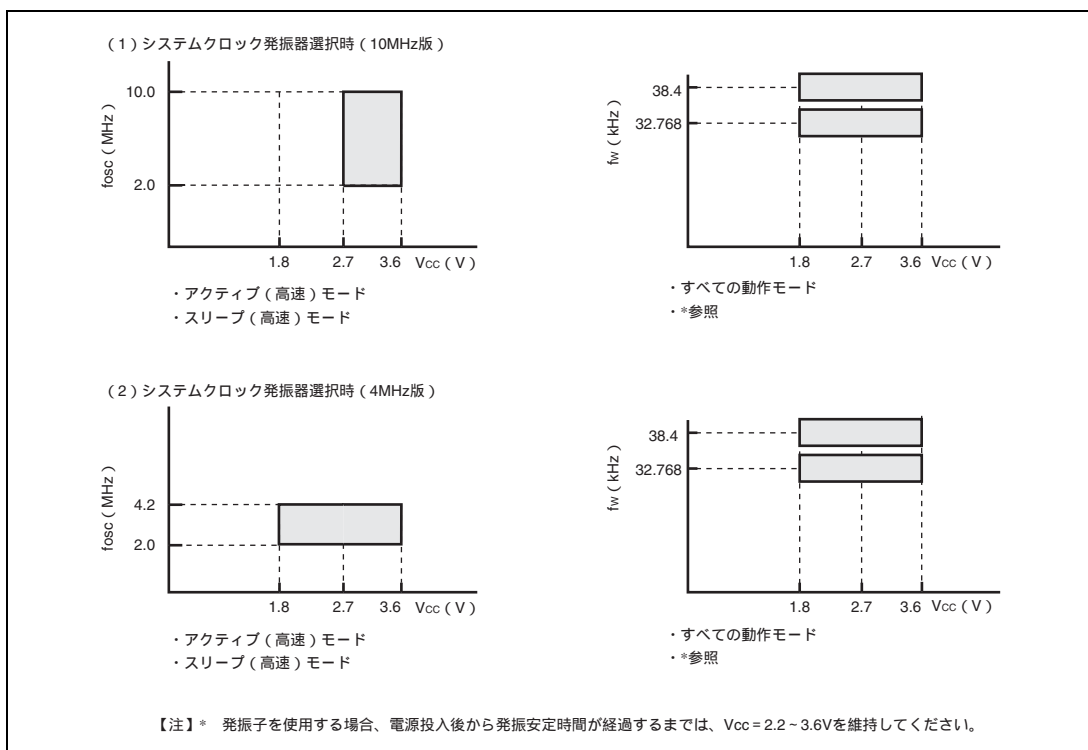


図 25.1 電源電圧と発振周波数の範囲 (1)

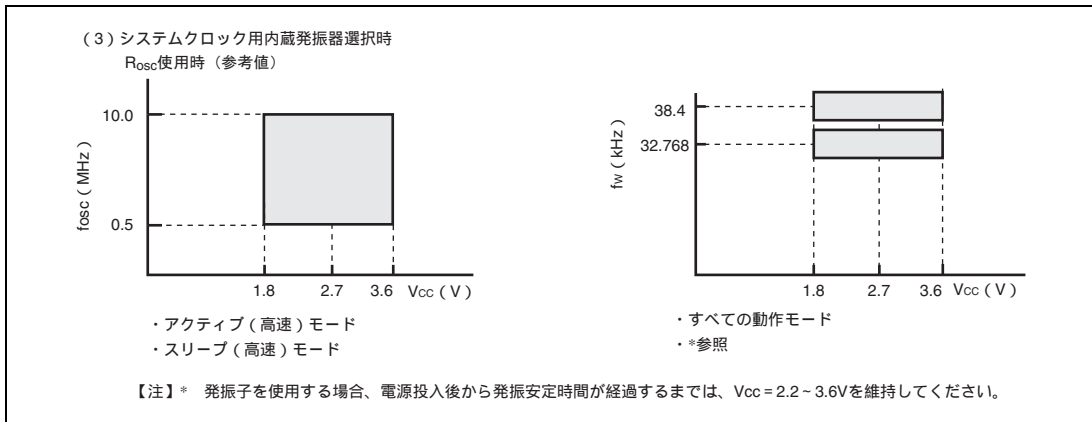


図 25.2 電源電圧と発振周波数の範囲 (2)

## 25. 電気的特性

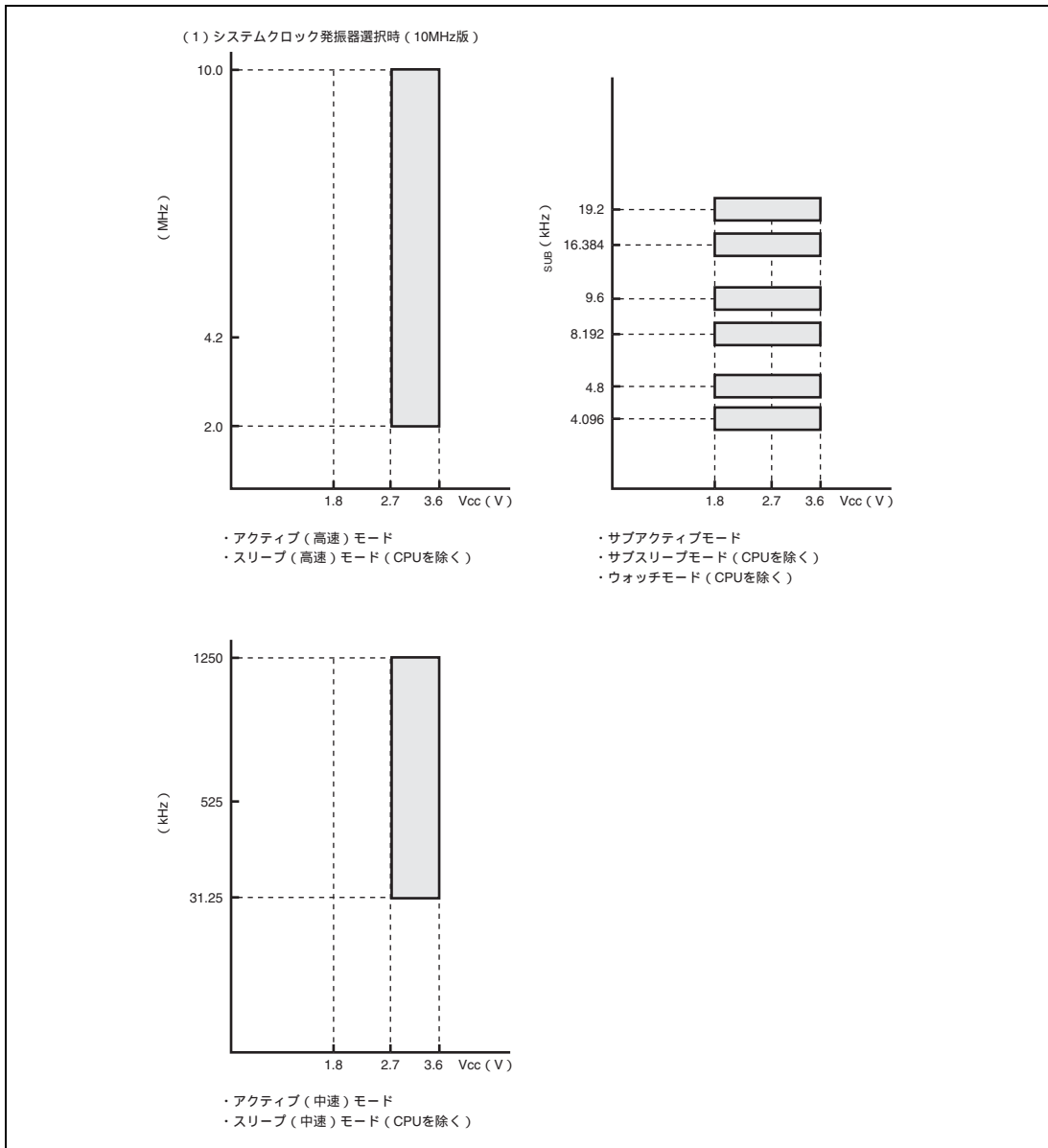


図 25.3 電源電圧と動作周波数の範囲 (1)

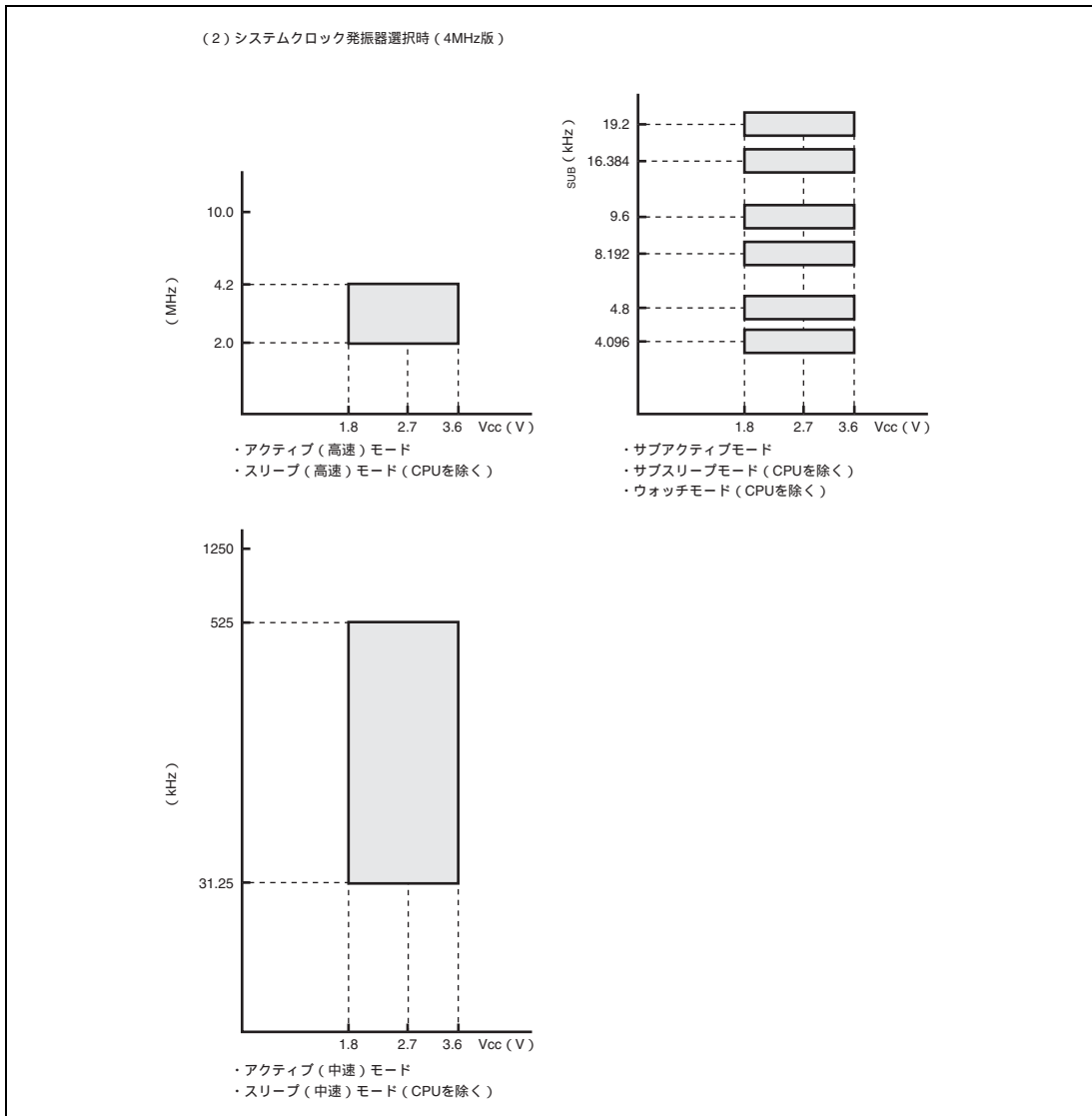


図 25.4 電源電圧と動作周波数の範囲 (2)

## 25. 電气的特性

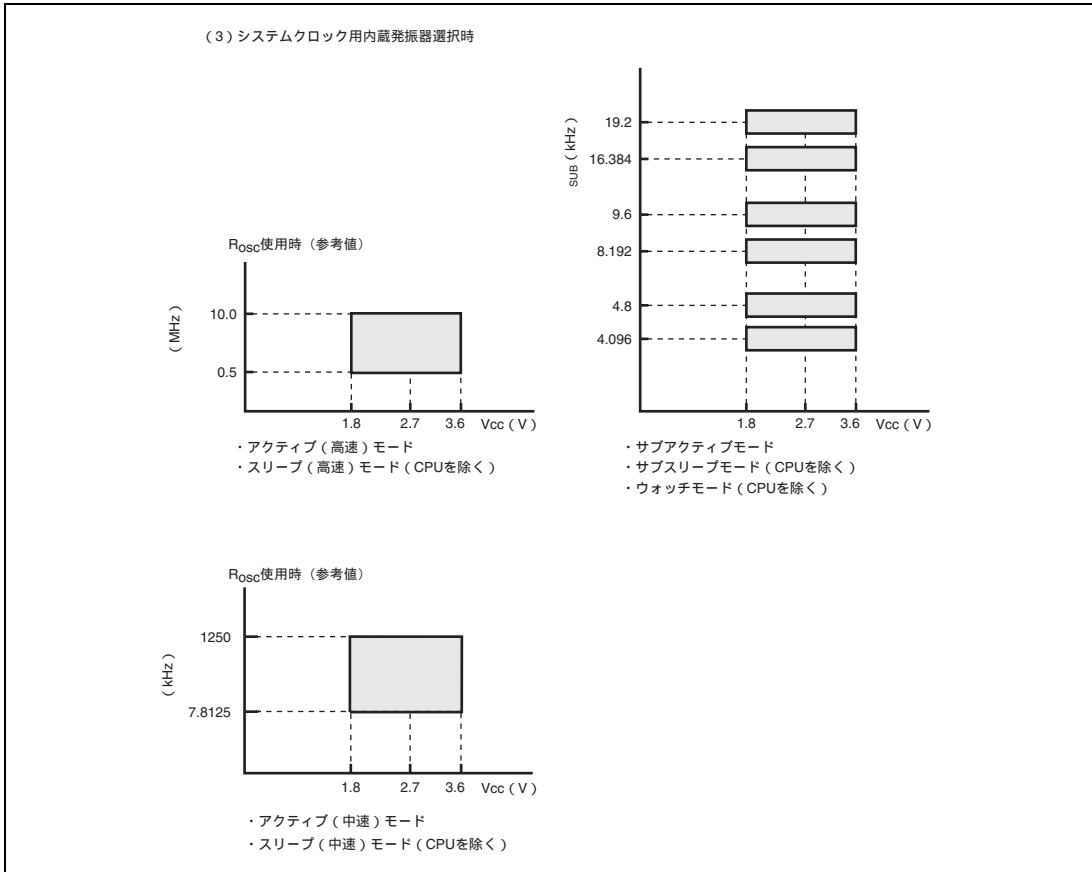


図 25.5 電源電圧と動作周波数の範囲 (3)

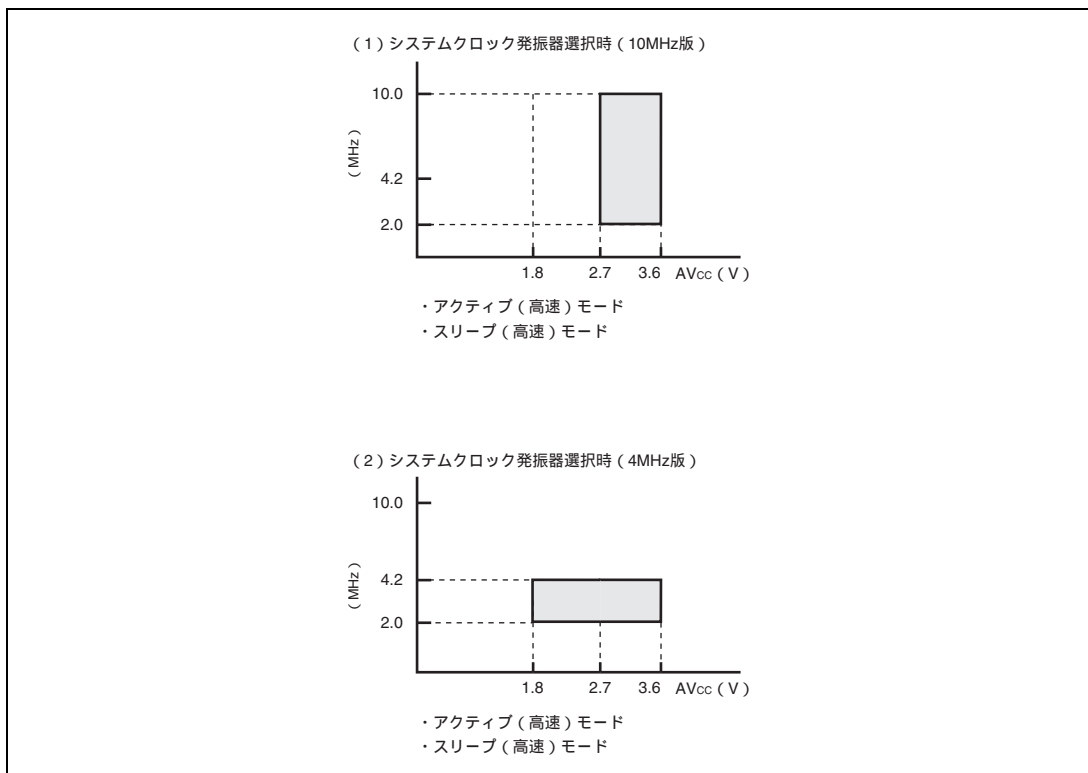


図 25.6 アナログ電源電圧と A/D 変換器の動作範囲 (1)

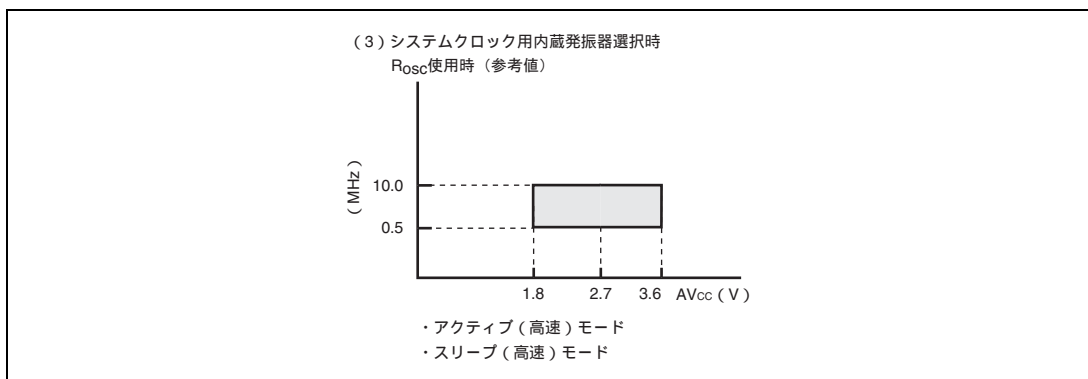


図 25.7 アナログ電源電圧と A/D 変換器の動作範囲 (2)

## 25. 電気的特性

### 25.2.2 DC 特性

DC 特性を表 25.2 に示します。

表 25.2 DC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ )

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	$V_{IH}$	$\overline{RES}$ 、 $\overline{TEST}$ 、 $\overline{NMI}^{*3}$ 、 $\overline{WKPO} \sim \overline{WKP7}$ 、 $\overline{IRQ4}$ 、 $AEVL$ 、 $AEVH$ 、 $TMIC$ 、 $TMIF$ 、 $TMIG$ 、 $\overline{ADTRG}$ 、 $SCK33$ 、 $SCK32$ 、 $SCK31$ 、 $SCK4$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$\overline{IRQ0}^{*5}$ 、 $\overline{IRQ1}^{*5}$ 、 $\overline{IRQ3}^{*5}$		$0.9V_{CC}$	-	$AV_{CC} + 0.3$	V	
		$RXD33$ 、 $RXD32$ 、 $RXD31$ 、 $IrRxD$ 、 $UD$		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		$OSC1$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$X1$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$P10 \sim P16$ 、 $P30 \sim P32$ 、 $P36$ 、 $P37$ 、 $P40 \sim P42$ 、 $P50 \sim P57$ 、 $P60 \sim P67$ 、 $P70 \sim P77$ 、 $P80 \sim P87$ 、 $P90 \sim P93$ 、 $PA0 \sim PA3$ 、 $PC0 \sim PC7$ 、 $PE0 \sim PE7$ 、 $PF0 \sim PF3$ 、 $TCLKA$ 、 $TCLKB$ 、 $TCLKC$ 、 $TIOCA1$ 、 $TIOCA2$ 、 $TIOCB1$ 、 $TIOCB2$ 、 $SCL$ 、 $SDA$		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		$PB0 \sim PB7$		$0.8V_{CC}$	-	$AV_{CC} + 0.3$	V	
		$IRQAEC$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	



項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V <sub>IL</sub>	RES、TEST、NMI* <sup>3</sup> 、 WKPO ~ WKP7、 IRQ0、IRQ1、IRQ3、 IRQ4、IRQAEC、 AEVL、AEVH、TMIC、 TMIF、TMIG、 ADTRG、SCK33、 SCK32、SCK31、 SCK4		- 0.3	-	0.1V <sub>CC</sub>	V	
		RXD33、RXD32、 RXD31、IrXD、UD		- 0.3	-	0.2V <sub>CC</sub>	V	
		OSC1		- 0.3	-	0.1V <sub>CC</sub>	V	
		X1		- 0.3	-	0.1V <sub>CC</sub>	V	
		P10 ~ P16、 P30 ~ P32、 P36、P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 P90 ~ P93、 PA0 ~ PA3、 PB0 ~ PB7、 PC0 ~ PC7、 PE0 ~ PE7、 PF0 ~ PF3、 TCLKA、TCLKB、 TCLKC、TIOCA1、 TIOCB1、TIOCA2、 TIOCB2、SCL、SDA		- 0.3	-	0.2V <sub>CC</sub>	V	

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力 High レベル電圧	V <sub>OH</sub>	P10 ~ P16、 P30 ~ P32、 P36、 P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3、 PC0 ~ PC7、 PE0 ~ PE7、 PF0 ~ PF3	- I <sub>OH</sub> = 1.0mA V <sub>CC</sub> = 2.7 ~ 3.6V	V <sub>CC</sub> - 1.0	-	-	V		
			- I <sub>OH</sub> = 0.1mA	V <sub>CC</sub> - 0.3	-	-			
		P90 ~ P93	I <sub>OH</sub> = 1.0mA V <sub>CC</sub> = 2.7 ~ 3.6V	V <sub>CC</sub> - 1.0	-	-			
			I <sub>OH</sub> = 0.1mA	V <sub>CC</sub> - 0.3	-	-			
出力 Low レベル電圧	V <sub>OL</sub>	P10 ~ P16、 P30 ~ P32、 P36、 P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3、 PC0 ~ PC7、 PE0 ~ PE7、 PF0 ~ PF3	I <sub>OL</sub> = 0.4mA	-	-	0.5	V		
			P90 ~ P93	I <sub>OL</sub> = 15mA V <sub>CC</sub> = 2.7 ~ 3.6V	-	-			1.0
				I <sub>OL</sub> = 10mA V <sub>CC</sub> = 2.2 ~ 3.6V	-	-			0.5
		SCL、 SDA	I <sub>OL</sub> = 8mA V <sub>CC</sub> = 1.8 ~ 3.6V	-	-	0.5			
			I <sub>OL</sub> = 3.0mA V <sub>CC</sub> = 2.0 ~ 3.6V	-	-	0.4	V		
				I <sub>OL</sub> = 3.0mA V <sub>CC</sub> = 1.8 ~ 2.0V	-	-			0.2V <sub>CC</sub>

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入出力リーク電流	I <sub>IL</sub>	TEST、 $\overline{\text{NMI}}^{\ast 3}$ 、 OSC1、X1、 P10 ~ P16、 P30 ~ P32、 P36、P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 IRQAEC、 PA0 ~ PA3、 PC0 ~ PC7、 PE0 ~ PE7、 PF0 ~ PF3、 P90 ~ P93	$V_{\text{IN}} = 0.5\text{V} - V_{\text{CC}} - 0.5\text{V}$	-	-	1.0	μA	
		PB0 ~ PB7	$V_{\text{IN}} = 0.5\text{V} - AV_{\text{CC}} - 0.5\text{V}$	-	-	1.0		
ブルアップ MOS 電流	- I <sub>p</sub>	P10 ~ P16、 P30、 P36、P37、 P50 ~ P57、 P60 ~ P67	$V_{\text{CC}} = 3.0\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$	30	-	180	μA	
入力容量	C <sub>IN</sub>	電源端子を除く 全入力端子	f = 1MHz、 $V_{\text{IN}} = 0\text{V}$ 、 Ta = 25	-	-	15.0	pF	

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アクティブモード消費電流	I <sub>OPe1</sub>	V <sub>CC</sub>	アクティブ(高速)モード、 V <sub>CC</sub> = 1.8V、f <sub>OSC</sub> = 2MHz	-	1.1	-	mA	max 目安 = 1.1 × typ *1 *2 *4
			アクティブ(高速)モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = R <sub>osc</sub>	-	3.7	-		max 目安 = 1.1 × typ *1 *2
			アクティブ(高速)モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 4MHz	-	3.4	-		max 目安 = 1.1 × typ *1 *2
			アクティブ(高速)モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 10MHz	-	7.4	11.0		*1 *2
	I <sub>OPe2</sub>	V <sub>CC</sub>	アクティブ(中速)モード、 V <sub>CC</sub> = 1.8V、f <sub>OSC</sub> = 2MHz、 <sub>osc</sub> /64 時	-	0.4	-	mA	max 目安 = 1.1 × typ *1 *2 *4
			アクティブ(中速)モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 4MHz、 <sub>osc</sub> /64 時	-	0.7	-		max 目安 = 1.1 × typ *1 *2
アクティブ(中速)モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 10MHz、 <sub>osc</sub> /64 時			-	1.1	1.5	*1 *2		
スリープモード消費電流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 1.8V、f <sub>OSC</sub> = 2MHz	-	1.0	-	mA	max 目安 = 1.1 × typ *1 *2 *4
			V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 4MHz	-	2.5	-		max 目安 = 1.1 × typ *1 *2
			V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 10MHz	-	5.2	7.5		*1 *2
サブアクティブモード消費電流	I <sub>SUB</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時 ( <sub>SUB</sub> = w/8)	-	9.0	-	μA	*1 *2 参考値
			V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時 ( <sub>SUB</sub> = w/2)	-	27.0	50.0		*1 *2
サブスリープモード消費電流	I <sub>SUBSP</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時 ( <sub>SUB</sub> = w/2)	-	5.5	9.0	μA	*1 *2
ウォッチモード消費電流	I <sub>WATCH</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 1.8V、Ta = 25 32kHz 水晶発振子使用時	-	0.5	-	μA	*1 *2 参考値
			V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時	-	1.5	5.0		*1 *2
スタンバイモード消費電流	I <sub>STBY</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 3.0V、Ta = 25 32kHz 水晶発振子未使用時	-	0.1	-	μA	*1 *2 参考値
			32kHz 水晶発振子未使用時	-	1.0	5.0		*1 *2

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
RAM データ 保持電圧	$V_{RAM}$	$V_{CC}$		1.5	-	-	V	
出力 Low レベル許容電流 (1 端子当たり)	$I_{OL}$	ポート 9 以外の出力端子		-	-	0.5	mA	
		P90 ~ P93		-	-	15.0		
出力 Low レベル許容電流 (総和)	$I_{OL}$	ポート 9 以外の出力端子		-	-	20.0	mA	
		ポート 9		-	-	60.0		
出力 High レベル許容電流 (1 端子当たり)	- $I_{OH}$	全出力端子	$V_{CC} = 2.7 \sim 3.6V$	-	-	2.0	mA	
			$V_{CC} = 1.8 \sim 3.6V$	-	-	0.2		
出力 High レベル許容電流 (総和)	- $I_{OH}$	全出力端子		-	-	10.0	mA	

【注】 \*1 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード ( $I_{OPE1}$ ) アクティブ (中速) モード ( $I_{OPE2}$ )	$V_{CC}$	CPU のみ動作 WDT 内蔵発振器 OFF	$V_{CC}$	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子 = GND
スリープモード	$V_{CC}$	内蔵の全タイマのみ動作 WDT 内蔵発振器 OFF	$V_{CC}$	
サブアクティブモード	$V_{CC}$	CPU のみ動作 WDT 内蔵発振器 OFF	$V_{CC}$	システムクロック発振器 : 水晶発振子
サブスリープモード	$V_{CC}$	内蔵の全タイマのみ動作 CPU は停止 WDT 内蔵発振器 OFF	$V_{CC}$	サブクロック発振器 : 水晶発振子
ウォッチモード	$V_{CC}$	時計用タイムベースのみ動作 CPU は停止 WDT 内蔵発振器 OFF	$V_{CC}$	
スタンバイモード	$V_{CC}$	CPU、タイマともに停止 WDT 内蔵発振器 OFF 32KSTOP=1	$V_{CC}$	システムクロック発振器 : 水晶発振子 サブクロック発振器 : 水晶発振子

- \*2 ブルアップ MOS や出力バッファに流れる電流は除きます。
- \*3 リセット解除時のユーザモード / ブートモード判定に使用します。
- \*4 4MHz 版のみとなります。
- \*5 PMRB の IRQ0、IRQ1、IRQ3 の設定値が 0 で、PMRE の IRQ0、IRQ1、IRQ3 の設定値が 1 の場合  $\max.V_{CC} + 0.3(V)$  となります。

## 25. 電気的特性

### 25.2.3 AC 特性

制御信号タイミングを表 25.3 に、シリアルインタフェースタイミングを表 25.4 に、I<sup>2</sup>C バスインタフェースタイミングを表 25.5 に示します。

表 25.3 制御信号タイミング

(特記なき場合、V<sub>CC</sub> = 1.8 ~ 3.6V、AV<sub>CC</sub> = 1.8 ~ 3.6V、V<sub>SS</sub> = AV<sub>SS</sub> = 0.0V)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f <sub>OSC</sub>	OSC1、OSC2	V <sub>CC</sub> = 2.7 ~ 3.6V (10MHz 版)	2.0	-	10.0	MHz	
			V <sub>CC</sub> = 1.8 ~ 3.6V (4MHz 版)	2.0	-	4.2		
システムクロック用 内蔵発振器 発振器発振周波数	f <sub>ROSC</sub>		システムクロック用 内蔵発振器選択時 V <sub>CC</sub> = 1.8 ~ 3.6V	0.5	-	10.0		*3
OSC クロック( <sub>OSC</sub> ) サイクル時間	t <sub>OSC</sub>	OSC1、OSC2	V <sub>CC</sub> = 2.7 ~ 3.6V (10MHz 版)	100	-	500	ns	図 25.14
			V <sub>CC</sub> = 1.8 ~ 3.6V (4MHz 版)	238	-	500		
システムクロック用 内蔵発振器 クロック ( <sub>ROSC</sub> )	t <sub>ROSC</sub>		システムクロック用 内蔵発振器選択時 V <sub>CC</sub> = 1.8 ~ 3.6V	100	-	2000		*3
システムクロック ( ) サイクル時間	t <sub>CYC</sub>			1	-	64	t <sub>OSC</sub>	
				-	-	32	μs	
サブクロック発振器 発振周波数	f <sub>W</sub>	X1、X2		-	32.768 または 38.4	-	kHz	
ウォッチクロック ( <sub>W</sub> ) サイクル時間	t <sub>W</sub>	X1、X2		-	30.5 または 26.0	-	μs	図 25.14
サブクロック ( <sub>SUB</sub> ) サイクル時間	t <sub>SUBCYC</sub>			2	-	8	t <sub>W</sub>	*1
インストラクション サイクル時間				2	-	-	t <sub>CYC</sub> t <sub>SUBCYC</sub>	

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	$t_{rc}$	OSC1、OSC2	セラミック発振子 ( $V_{CC} = 2.2 \sim 3.6V$ )	-	20	45	$\mu s$	図 25.23
			セラミック発振子 (上記以外)	-	80	-		
			水晶発振子 ( $V_{CC} = 2.7 \sim 3.6V$ )	-	0.8	2.0	ms	
			水晶発振子 ( $V_{CC} = 2.2 \sim 3.6V$ )	-	1.2	3.0		
			上記以外	-	-	50	ms	
	システムクロック用 内蔵発振器	電源投入時	-	-	25	$\mu s$	*3	
	X1、X2	$V_{CC} = 2.2 \sim 3.6V$	-	-	2	s	図 5.5	
	上記以外	-	4	-				
外部クロック High レベル幅	$t_{CPH}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	40	-	-	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	95	-	-		
		X1		-	15.26 または 13.02	-	$\mu s$	
外部クロック Low レベル幅	$t_{CPL}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	40	-	-	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	95	-	-		
		X1		-	15.26 または 13.02	-	$\mu s$	
外部クロック 立ち上がり時間	$t_{CPr}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	-	-	10	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	-	-	24		
		X1		-	-	55.0		
外部クロック 立ち下がり時間	$t_{CPf}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	-	-	10	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	-	-	24		
		X1		-	-	55.0		
RES 端子 Low レベル幅	$t_{REL}$	RES		10	-	-	$t_{cyc}$	図 25.15 *2

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 High レベル幅	$t_{IH}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、NMI、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 IRQAEC、 $\overline{WKP0}$ ~ $\overline{WKP7}$ 、 TMIC、TMIF、TMIG、 $\overline{ADTRG}$ 、 AEVL、AEVH		2	-	-	$t_{cyc}$ $t_{subcyc}$	図 25.16
			$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	50	-	-	ns	
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	110	-	-		
	$t_{TCKWH}$	TCLKA、TCLKB、 TCLKC、TIOCA1、 TIOCB1、TIOCA2、 TIOCB2	単エッジ指定	1.5	-	-	$t_{cyc}$	図 25.19
両エッジ指定			2.5	-	-			
入力端子 Low レベル幅	$t_{IL}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、NMI、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 IRQAEC、 $\overline{WKP0}$ ~ $\overline{WKP7}$ 、 TMIC、TMIF、TMIG、 $\overline{ADTRG}$ 、 AEVL、AEVH		2	-	-	$t_{cyc}$ $t_{subcyc}$	図 25.16
			$V_{CC} = 2.7 \sim 3.6V$ (10MHz 版)	50	-	-	ns	
			$V_{CC} = 1.8 \sim 3.6V$ (4MHz 版)	110	-	-		
	$t_{TCKWL}$	TCLKA、TCLKB、 TCLKC、TIOCA1、 TIOCB1、TIOCA2、 TIOCB2	単エッジ指定	1.5	-	-	$t_{cyc}$	図 25.19
両エッジ指定			2.5	-	-			
UD 端子最小変化幅	UD			4	-	-	$t_{cyc}$ $t_{subcyc}$	図 25.21

- 【注】 \*1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。
- \*2 パワーオンリセット特性は表 25.7 および図 25.15 を参照してください。
- \*3 本特性は温度、電源電圧、製品ロットのばらつきなどの影響により、変動します。システム設計におかれましては、実使用条件において十分評価してください。実力データにつきましては、当社営業担当者に確認してください。



表 25.4 シリアルインタフェースタイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ )

項目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	$t_{cyc}$		4	-	-	$t_{cyc}$ または $t_{subcyc}$	図 25.17
	クロック同期			6	-	-		
入力クロックパルス幅		$t_{SCKW}$		0.4	-	0.6	$t_{cyc}$	図 25.17
送信データ遅延時間 (クロック同期)		$t_{TXD}$		-	-	1	$t_{cyc}$ または $t_{subcyc}$	図 25.18
受信データセットアップ時間 (クロック同期)		$t_{RXS}$	$V_{CC} = 2.7 \sim 3.6V$	100	-	-	ns	図 25.18
			上記以外	238				
受信データホールド時間 (クロック同期)		$t_{RXH}$	$V_{CC} = 2.7 \sim 3.6V$	100	-	-	ns	図 25.18
			上記以外	238				

表 25.5 I<sup>2</sup>C バスインタフェースタイミング(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ )

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
SCL 入力サイクル時間	$t_{SCL}$		$12t_{cyc} + 600$	-	-	ns	図 25.20
SCL 入力 High パルス幅	$t_{SCLH}$		$3t_{cyc} + 300$	-	-	ns	
SCL 入力 Low パルス幅	$t_{SCLL}$		$5t_{cyc} + 300$	-	-	ns	
SCL、SDA 入力立ち下がり時間	$t_{SF}$		-	-	300	ns	
SCL、SDA 入カスパイク パルス除去時間	$t_{SP}$		-	-	$1t_{cyc}$	ns	
SDA 入力バスフリー時間	$t_{BUF}$		$5t_{cyc}$	-	-	ns	
開始条件入力ホールド時間	$t_{STAH}$		$3t_{cyc}$	-	-	ns	
再送開始条件入力セットアップ時間	$t_{STAS}$		$3t_{cyc}$	-	-	ns	
停止条件入力セットアップ時間	$t_{STOS}$		$3t_{cyc}$	-	-	ns	
データ入力セットアップ時間	$t_{SDAS}$		$1t_{cyc} + 20$	-	-	ns	
データ入力ホールド時間	$t_{SDAH}$		0	-	-	ns	
SCL、SDA の容量性負荷	$C_b$		0	-	400	pF	
SCL、SDA 出力立ち下がり時間	$t_{SF}$		-	-	300	ns	

## 25. 電気的特性

### 25.2.4 A/D 変換器特性

A/D 変換器特性を表 25.6 に示します。

表 25.6 A/D 変換器特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ )

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		1.8	-	3.6	V	*1
アナログ入力電圧	$AV_{IN}$	ANO ~ AN7		- 0.3	-	$AV_{CC} + 0.3$	V	
アナログ電源電流	$AI_{OPE}$	$AV_{CC}$	$AV_{CC} = 3.0V$	-	-	1.0	mA	
	$AI_{STOP1}$	$AV_{CC}$		-	600	-	$\mu A$	*2 参考値
	$AI_{STOP2}$	$AV_{CC}$		-	-	5	$\mu A$	*3
アナログ入力容量	$C_{AIN}$	ANO ~ AN7		-	-	15.0	pF	
許容信号源インピーダンス	$R_{AIN}$			-	-	10.0	k	
分解能 (データ長)				-	-	10	bits	
非直線性誤差			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	-	-	$\pm 3.5$	LSB	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$	-	-	$\pm 5.5$		
			上記以外	-	-	$\pm 7.5$		*4
量子化誤差				-	-	$\pm 0.5$	LSB	
絶対精度			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	-	-	$\pm 4.0$	LSB	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$	-	-	$\pm 6.0$		
			上記以外	-	-	$\pm 8.0$		*4
変換時間			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	12.4	-	124	$\mu s$	システムクロック 発振器選択時
				7.8	15.5	31	$\mu s$	システムクロック用 内蔵発振器選択時 参考値 ( $f_{ROSC} = 4MHz$ )
			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	29.5	-	124	$\mu s$	システムクロック 発振器選択時
			以外	31	62	124	$\mu s$	システムクロック用 内蔵発振器選択時 参考値 ( $f_{ROSC} = 1MHz$ )

【注】 \*1 A/D 変換器を使用しない場合は  $AV_{CC} = V_{CC}$  としてください。

\*2  $AI_{STOP1}$  はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

\*3  $AI_{STOP2}$  はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

\*4 変換時間は 29.5 $\mu s$  です。

## 25.2.5 パワーオンリセット回路特性

表 25.7 パワーオンリセット回路特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度仕様品))

項目	記号	測定条件	規格値			単位	参照図	
			min.	typ.	max.			
リセット電圧	$V_{rst}$		$0.7V_{CC}$	$0.8V_{CC}$	$0.9V_{CC}$	V	図 22.2	
電源立ち上がり時間	$t_{vtr}$		$V_{CC}$ の立ち上がり時間は、 $\overline{RES}$ の立ち上がり時間の半分以下にしてください。					
リセットカウント時間	$t_{out}$		0.8	-	4.0	$\mu s$	システムクロック用 内蔵発振器選択時 (参考値)	
			0.8	-	16.0	$\mu s$		
カウント開始時間	$t_{cr}$		$\overline{RES}$ 端子の外付けコンデンサの値で調整可能					
内蔵プルアップ抵抗	$R_P$	$V_{CC} = 3.0V$	60	100	-	k	図 22.1	

## 25.2.6 ウォッチドッグタイマ特性

表 25.8 ウォッチドッグタイマ特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度仕様品))

項目	記号	適応端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
ウォッチドッグ タイマ用内蔵発振器 オーバフロー時間	$t_{ovf}$			0.2	0.4	-	s	*

【注】 \* ウォッチドッグタイマ用内蔵発振器を選択した状態で、0~255までカウントアップし、内部リセットが発生するまでの時間を示します。

## 25. 電気的特性

### 25.2.7 フラッシュメモリ特性

表 25.9 フラッシュメモリ特性

条件 A :  $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$V_{CC} = 2.7 \sim 3.6V$  (読み出し時の動作電圧範囲)、

$V_{CC} = 3.0 \sim 3.6V$  (書き込み / 消去時の動作電圧範囲)、

$T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲: 通常仕様品、広温度範囲仕様品)

条件 B :  $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$V_{CC} = 1.8 \sim 3.6V$  (読み出し時の動作電圧範囲)、

$V_{CC} = 3.0 \sim 3.6V$  (書き込み / 消去時の動作電圧範囲)、

$T_a = -20 \sim +50$  (書き込み / 消去時の動作温度範囲: 通常仕様品)

項目		記号	測定条件	規格値			単位
				min.	typ.	max.	
書き込み時間 (128 バイト当たり) * <sup>1</sup> * <sup>2</sup> * <sup>4</sup>		$t_p$		-	7	200	ms
消去時間 (1 ブロック当たり) * <sup>1</sup> * <sup>3</sup> * <sup>6</sup>		$t_E$		-	100	1200	ms
書き替え回数		$N_{WEC}$		$1000^{*8} *^{11}$	$10000^{*9}$	-	回
				$100^{*8} *^{12}$	$10000^{*9}$	-	
データ保持時間		$t_{DRP}$		$10^{*10}$	-	-	年
書き込み時	SWE ビットセット後の待機時間* <sup>1</sup>	x		1	-	-	$\mu s$
	PSU ビットセット後の待機時間* <sup>1</sup>	y		50	-	-	$\mu s$
	P ビットセット後の待機時間* <sup>1</sup> * <sup>4</sup>	z1	1 n 6	28	30	32	$\mu s$
		z2	7 n 1000	198	200	202	$\mu s$
		z3	追加書き込み	8	10	12	$\mu s$
	P ビットクリア後の待機時間* <sup>1</sup>			5	-	-	$\mu s$
	PSU ビットクリア後の待機時間* <sup>1</sup>			5	-	-	$\mu s$
	PV ビットセット後の待機時間* <sup>1</sup>			4	-	-	$\mu s$
	ダミーライト後の待機期間* <sup>1</sup>			2	-	-	$\mu s$
	PV ビットクリア後の待機時間* <sup>1</sup>			2	-	-	$\mu s$
	SWE ビットクリア後の待機時間* <sup>1</sup>			100	-	-	$\mu s$
	最大書き込み回数* <sup>1</sup> * <sup>4</sup> * <sup>5</sup>	N		-	-	1000	回

項目	記号	測定条件	規格値			単位
			min.	typ.	max.	
消去時	SWE ビットセット後の待機時間*1	x	1	-	-	μs
	ESU ビットセット後の待機時間*1	y	100	-	-	μs
	E ビットセット後の待機時間*1 *6	z	10	-	100	ms
	E ビットクリア後の待機時間*1		10	-	-	μs
	ESU ビットクリア後の待機時間*1		10	-	-	μs
	EV ビットセット後の待機時間*1		20	-	-	μs
	ダミーライト後の待機期間*1		2	-	-	μs
	EV ビットクリア後の待機時間*1		4	-	-	μs
	SWE ビットクリア後の待機時間*1		100	-	-	μs
	最大消去回数*1 *6 *7	N		-	-	120

- 【注】 \*1 各時間の設定は、プログラム/イレースのアルゴリズムに従い行ってください。
- \*2 128 バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。
- \*3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。
- \*4 書き込み時間の最大値 (tp(MAX)) = P ビットセット後の待機時間(z) × 最大書き込み回数(N)
- \*5 最大書き込み回数(N)は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 tp(MAX) 以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

$$1 \leq n < 6 \quad z1 = 30 \mu s$$

$$7 \leq n < 1000 \quad z2 = 200 \mu s$$

- \*6 消去時間の最大値 (te(MAX)) = E ビットセット後の待機時間(z) × 最大消去回数(N)
- \*7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値 (te(MAX)) 以下となるように設定してください。
- \*8 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- \*9 25 のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- \*10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。
- \*11 読み出し時の動作電圧範囲が 2.7 ~ 3.6V の場合に適用します。
- \*12 読み出し時の動作電圧範囲が 1.8 ~ 3.6V の場合に適用します。

### 25.3 マスク ROM 版の絶対最大定格

絶対最大定格を表 25.10 に示します。

表 25.10 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	$V_{CC}$	- 0.3 ~ + 4.3	V	*	
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ + 4.3	V		
入力電圧	ポート B 以外	$V_{in}$	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	$AV_{in}$	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	$T_{opr}$	- 20 ~ + 75 (通常仕様品)			
		- 40 ~ + 85 (広温度範囲仕様品)			
保存温度	$T_{stg}$	- 55 ~ + 125			

【注】 \* 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

## 25.4 マスク ROM 版の電气的特性

### 25.4.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

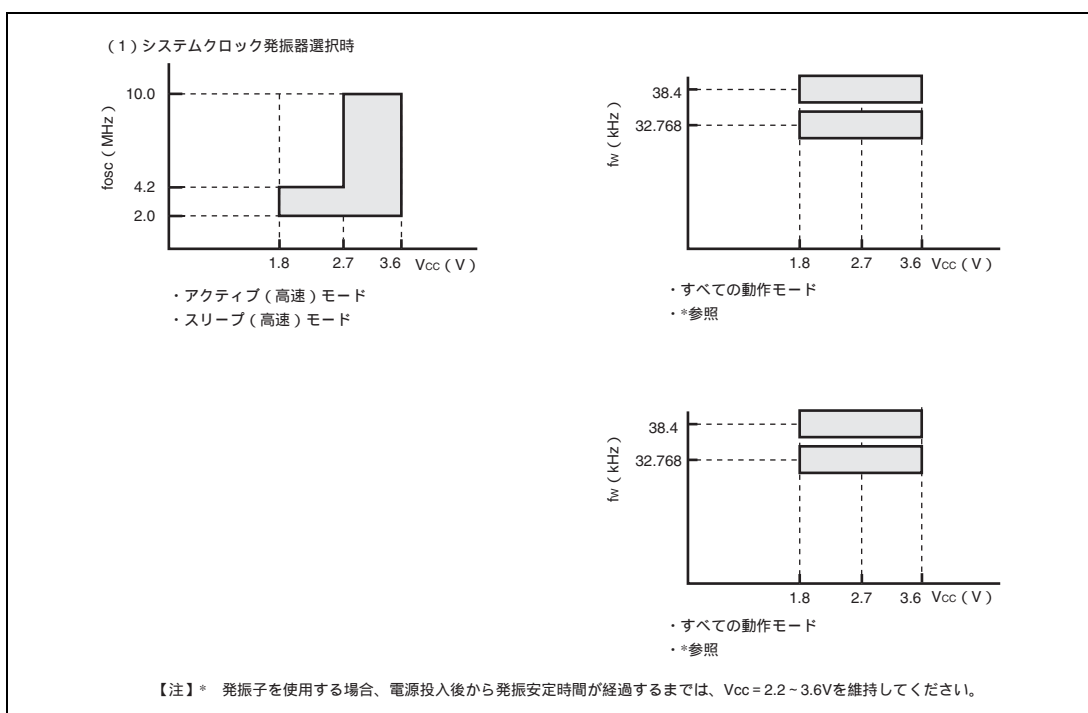


図 25.8 電源電圧と発振周波数の範囲（1）

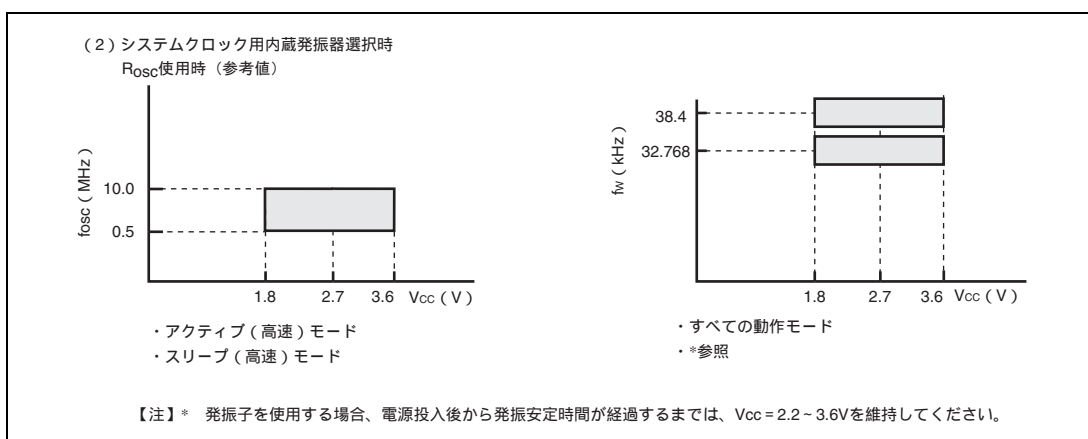


図 25.9 電源電圧と発振周波数の範囲（2）

## 25. 電気的特性

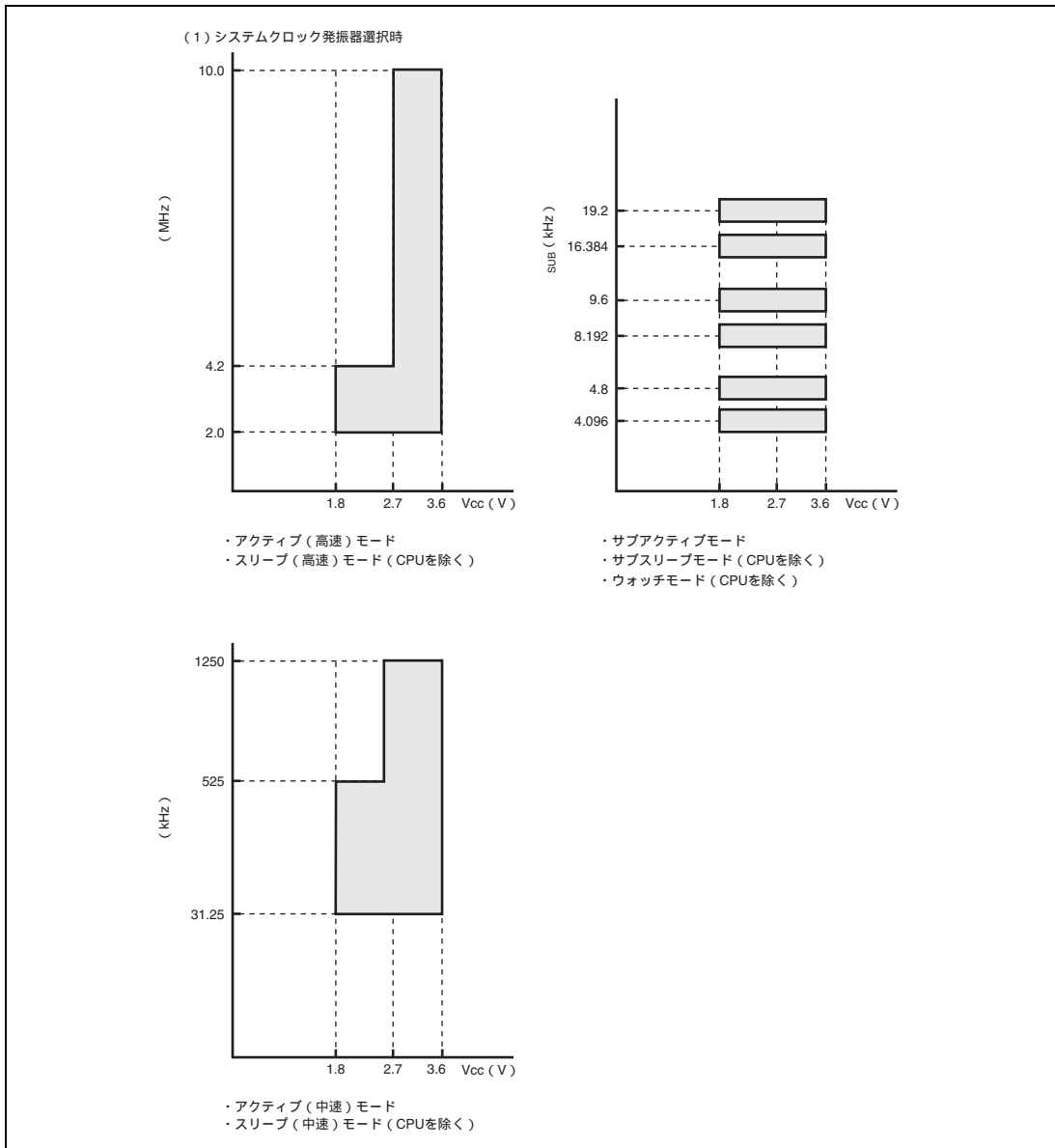


図 25.10 電源電圧と動作周波数の範囲 (1)



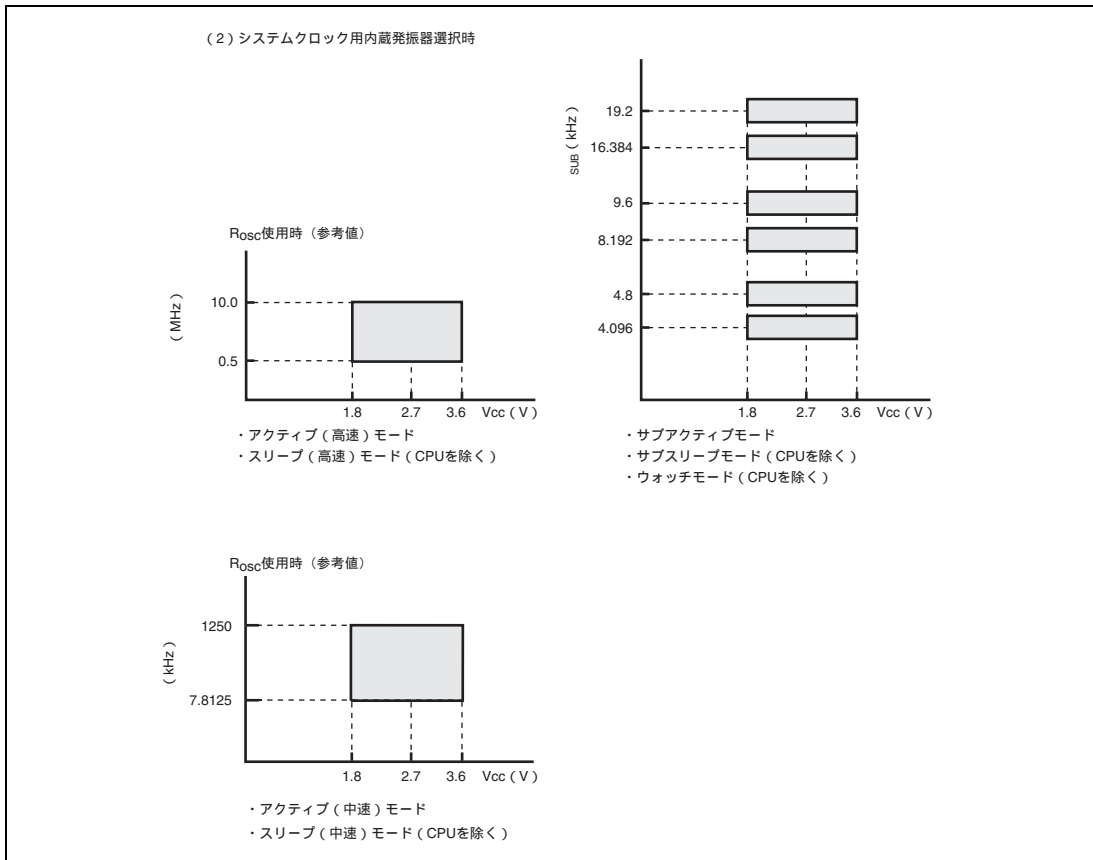


図 25.11 電源電圧と動作周波数の範囲 (2)

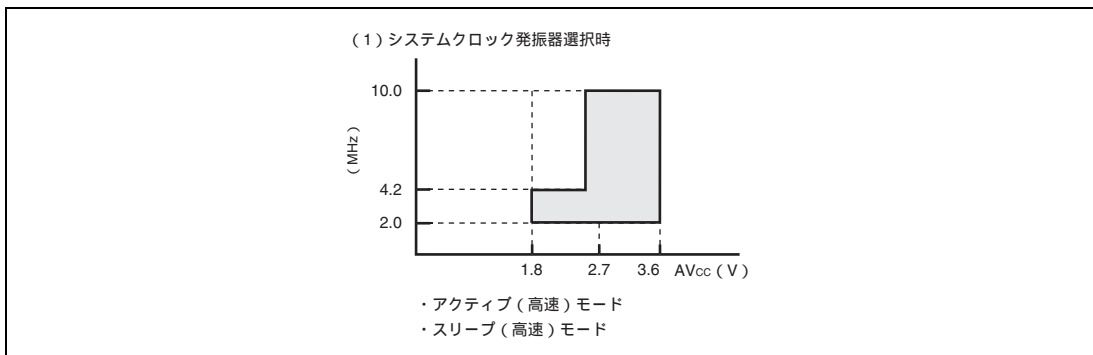


図 25.12 アナログ電源電圧と A/D 変換器の動作範囲 (1)

## 25. 電気的特性

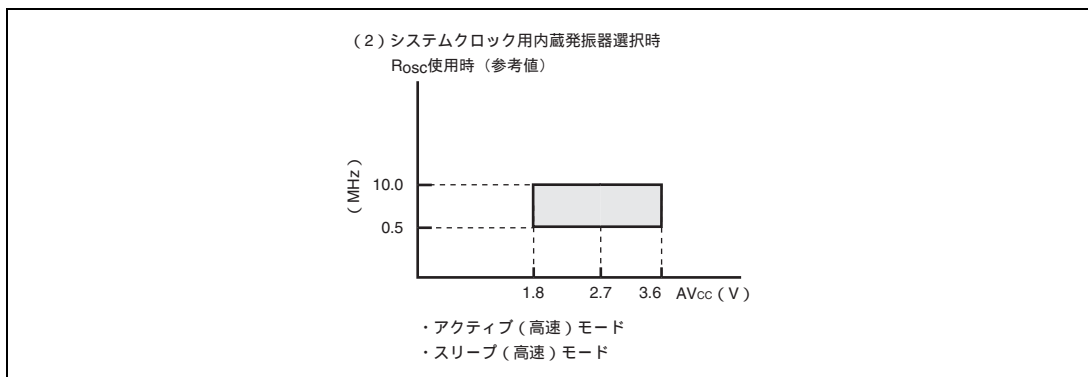


図 25.13 アナログ電源電圧と A/D 変換器の動作範囲 (2)

## 25.4.2 DC 特性

DC 特性を表 25.11 に示します。

表 25.11 DC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ )

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	$V_{IH}$	$\overline{RES}$ 、 $\overline{TEST}$ 、 $\overline{NMI}$ 、 $\overline{WKPO} \sim \overline{WKP7}$ 、 $\overline{IRQ4}$ 、 $AEVL$ 、 $AEVH$ 、 $TMIC$ 、 $TMIF$ 、 $TMIG$ 、 $\overline{ADTRG}$ 、 $SCK33$ 、 $SCK32$ 、 $SCK31$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$\overline{IRQ0}^{*3}$ 、 $\overline{IRQ1}^{*3}$ 、 $\overline{IRQ3}^{*3}$		$0.9V_{CC}$	-	$AV_{CC} + 0.3$	V	
		$RXD33$ 、 $RXD32$ 、 $RXD31$ 、 $IrXD$ 、 $UD$		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		$OSC1$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$X1$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$P10 \sim P16$ 、 $P30 \sim P32$ 、 $P36$ 、 $P37$ 、 $P40 \sim P42$ 、 $P50 \sim P57$ 、 $P60 \sim P67$ 、 $P70 \sim P77$ 、 $P80 \sim P87$ 、 $P90 \sim P93$ 、 $PA0 \sim PA3$ 、 $PC0 \sim PC7$ 、 $PE0 \sim PE7$ 、 $PF0 \sim PF3$ 、 $TCLKA$ 、 $TCLKB$ 、 $TCLKC$ 、 $TIOCA1$ 、 $TIOCB1$ 、 $TIOCA2$ 、 $TIOCB2$ 、 $SCL$ 、 $SDA$		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		$PB0 \sim PB7$		$0.8V_{CC}$	-	$AV_{CC} + 0.3$	V	
		$IRQAEC$		$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V <sub>IL</sub>	RES、TEST、NMI、 WKPO ~ WKP7、 IRQ0、IRQ1、IRQ3、 IRQ4、IRQAEC、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK33、SCK32、 SCK31		- 0.3	-	0.1V <sub>CC</sub>	V	
		RXD33、RXD32、 RXD31、IrRXD、UD		- 0.3	-	0.2V <sub>CC</sub>	V	
		OSC1		- 0.3	-	0.1V <sub>CC</sub>	V	
		X1		- 0.3	-	0.1V <sub>CC</sub>	V	
		P10 ~ P16、 P30 ~ P32 P36、P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 P90 ~ P93、 PA0 ~ PA3、 PB0 ~ PB7、 PC0 ~ PC7、 PE0 ~ PE7、 PF0 ~ PF3、 TCLKA、TCLKB、 TCLKC、TIOCA1、 TIOCB1、TIOCA2、 TIOCB2、SCL、SDA		- 0.3	-	0.2V <sub>CC</sub>	V	

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力 High レベル電圧	V <sub>OH</sub>	P10 ~ P16, P30 ~ P32, P36、P37, P40 ~ P42, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, PA0 ~ PA3, PC0 ~ PC7, PE0 ~ PE7, PF0 ~ PF3	- I <sub>OH</sub> = 1.0mA V <sub>CC</sub> = 2.7 ~ 3.6V	V <sub>CC</sub> - 1.0	-	-	V		
			- I <sub>OH</sub> = 0.1mA	V <sub>CC</sub> - 0.3	-	-			
		P90 ~ P93	- I <sub>OH</sub> = 1.0mA V <sub>CC</sub> = 2.7 ~ 3.6V	V <sub>CC</sub> - 1.0	-	-			
			- I <sub>OH</sub> = 0.1mA	V <sub>CC</sub> - 0.3	-	-			
出力 Low レベル電圧	V <sub>OL</sub>	P10 ~ P16, P30 ~ P32, P36、P37, P40 ~ P42, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, PA0 ~ PA3, PC0 ~ PC7, PE0 ~ PE7, PF0 ~ PF3	I <sub>OL</sub> = 0.4mA	-	-	0.5	V		
			P90 ~ P93	I <sub>OL</sub> = 15mA V <sub>CC</sub> = 2.7 ~ 3.6V	-	-			1.0
				I <sub>OL</sub> = 10mA V <sub>CC</sub> = 2.2 ~ 3.6V	-	-			0.5
				I <sub>OL</sub> = 8mA V <sub>CC</sub> = 1.8 ~ 3.6V	-	-			0.5
		SCL、SDA	I <sub>OL</sub> = 3.0mA V <sub>CC</sub> = 2.0 ~ 3.6V	-	-	0.4	V		
			I <sub>OL</sub> = 3.0mA V <sub>CC</sub> = 1.8 ~ 2.0V	-	-	0.2V <sub>CC</sub>			

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入出力リーク電流	$I_{IL}$	TEST、NMI、 OSC1、X1、 P10 ~ P16、 P30 ~ P32、 P36、P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 IRQAEC、 PA0 ~ PA3、 PC0 ~ PC7、 PE0 ~ PE7、 PF0 ~ PF3、 P90 ~ P93	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$	-	-	1.0	$\mu A$	
		PB0 ~ PB7	$V_{IN} = 0.5V \sim AV_{CC} - 0.5V$	-	-	1.0		
ブルアップ MOS 電流	$-I_p$	P10 ~ P16、 P30、 P36、P37、 P50 ~ P57、 P60 ~ P67	$V_{CC} = 3V、V_{IN} = 0V$	30	-	180	$\mu A$	
入力容量	$C_{IN}$	電源端子を除く 全入力端子	$f = 1MHz、V_{IN} = 0V、$ $T_a = 25$	-	-	15.0	$pF$	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アクティブモード消費電流	I <sub>OP1</sub>	V <sub>CC</sub>	アクティブ (高速) モード、 V <sub>CC</sub> = 1.8V、f <sub>OSC</sub> = 2MHz	-	0.7	-	mA	max 目安 = 1.1 × typ <sup>*1 *2</sup>
			アクティブ (高速) モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = R <sub>OSC</sub>	-	2.2	-		max 目安 = 1.1 × typ <sup>*1 *2</sup>
			アクティブ (高速) モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 4MHz	-	2.6	-		max 目安 = 1.1 × typ <sup>*1 *2</sup>
			アクティブ (高速) モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 10MHz	-	6.0	9.0		* <sup>1 *2</sup>
	I <sub>OP2</sub>	V <sub>CC</sub>	アクティブ (中速) モード、 V <sub>CC</sub> = 1.8V、f <sub>OSC</sub> = 2MHz、 f <sub>osc</sub> /64 時	-	0.1	-	mA	max 目安 = 1.1 × typ <sup>*1 *2</sup>
			アクティブ (中速) モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 4MHz、 f <sub>osc</sub> /64 時	-	0.4	-		max 目安 = 1.1 × typ <sup>*1 *2</sup>
			アクティブ (中速) モード、 V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 10MHz、 f <sub>osc</sub> /64 時	-	0.6	0.8		* <sup>1 *2</sup>
スリープモード消費電流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 1.8V、f <sub>OSC</sub> = 2MHz	-	0.3	-	mA	max 目安 = 1.1 × typ <sup>*1 *2</sup>
			V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 4MHz	-	1.2	-		max 目安 = 1.1 × typ <sup>*1 *2</sup>
			V <sub>CC</sub> = 3.0V、f <sub>OSC</sub> = 10MHz	-	2.5	4.0		* <sup>1 *2</sup>
サブアクティブモード消費電流	I <sub>SUB</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 1.8V、 32kHz 水晶発振子使用時 ( I <sub>SUB</sub> = I <sub>w</sub> /2 )	-	6.5	-	μA	参考値 * <sup>1 *2</sup>
			V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時 ( I <sub>SUB</sub> = I <sub>w</sub> /8 )	-	5.5	-		参考値 * <sup>1 *2</sup>
			V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時 ( I <sub>SUB</sub> = I <sub>w</sub> /2 )	-	11	17		* <sup>1 *2</sup>
サブスリープモード消費電流	I <sub>SUBSP</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時 ( I <sub>SUB</sub> = I <sub>w</sub> /2 )	-	5.0	8.5	μA	* <sup>1 *2</sup>
ウォッチモード消費電流	I <sub>WATCH</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 1.8V、T <sub>a</sub> = 25 32kHz 水晶発振子使用時	-	0.5	-	μA	* <sup>1 *2</sup>
			V <sub>CC</sub> = 2.7V、 32kHz 水晶発振子使用時	-	1.5	5.0		参考値 * <sup>1 *2</sup>

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スタンバイ モード消費電流	I <sub>STBY</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 3.0V、Ta = 25℃、 32kHz 水晶発振子未使用時	-	0.1	-	μA	参考値 *1 *2
			32kHz 水晶発振子未使用時	-	1.0	5.0		
RAM データ 保持電圧	V <sub>RAM</sub>	V <sub>CC</sub>		1.5	-	-	V	
出力 Low レベル許容電流 (1 端子当たり)	I <sub>OL</sub>	ポート 9 以外の出力端子		-	-	0.5	mA	
		P90 ~ P93		-	-	15.0		
出力 Low レベル許容電流 (総和)	I <sub>OL</sub>	ポート 9 以外の出力端子		-	-	20.0	mA	
		ポート 9		-	-	TBD		
出力 High レベル許容電流 (1 端子当たり)	- I <sub>OH</sub>	全出力端子	V <sub>CC</sub> = 2.7 ~ 3.6V	-	-	2.0	mA	
			V <sub>CC</sub> = 1.8 ~ 3.6V	-	-	0.2		
出力 High レベル許容電流 (総和)	- I <sub>OH</sub>	全出力端子		-	-	10.0	mA	

【注】 \*1 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード (I <sub>OP1</sub> ) アクティブ (中速) モード (I <sub>OP2</sub> )	V <sub>CC</sub>	CPU のみ動作 WDT 内蔵発振器 OFF	V <sub>CC</sub>	システムクロック発振器： 水晶発振子 サブクロック発振器： X1 端子 = GND
スリープモード	V <sub>CC</sub>	内蔵の全タイムのみ動作 WDT 内蔵発振器 OFF	V <sub>CC</sub>	
サブアクティブ モード	V <sub>CC</sub>	CPU のみ動作 WDT 内蔵発振器 OFF	V <sub>CC</sub>	システムクロック発振器： 水晶発振子 サブクロック発振器： 水晶発振子
サブスリープ モード	V <sub>CC</sub>	内蔵の全タイムのみ動作 CPU は停止 WDT 内蔵発振器 OFF	V <sub>CC</sub>	
ウォッチモード	V <sub>CC</sub>	時計用タイムベースのみ動作 CPU は停止 WDT 内蔵発振器 OFF	V <sub>CC</sub>	
スタンバイモード	V <sub>CC</sub>	CPU、タイムとともに停止 WDT 内蔵発振器 OFF 32KSTOP=1	V <sub>CC</sub>	システムクロック発振器： 水晶発振子 サブクロック発振器： 水晶発振子

\*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

\*3 PMRB の IRQ0、IRQ1、IRQ3 の設定値が 0 で、PMRE の IRQ0、IRQ1、IRQ3 の設定値が 1 の場合 max.V<sub>CC</sub>+0.3(V) となります。



## 25.4.3 AC 特性

制御信号タイミングを表 25.12 に、シリアルインタフェースタイミングを表 25.13 に、I<sup>2</sup>C バスインタフェースタイミングを表 25.14 に示します。

表 25.12 制御信号タイミング

(特記なき場合、V<sub>CC</sub> = 1.8 ~ 3.6V、AV<sub>CC</sub> = 1.8 ~ 3.6V、V<sub>SS</sub> = AV<sub>SS</sub> = 0.0V)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f <sub>OSC</sub>	OSC1、OSC2	V <sub>CC</sub> = 2.7 ~ 3.6V	2.0	-	10.0	MHz	
			V <sub>CC</sub> = 1.8 ~ 3.6V	2.0	-	4.2		
システムクロック用 内蔵発振器 発振周波数	f <sub>ROSC</sub>		システムクロック用 内蔵発振器選択時 V <sub>CC</sub> = 1.8 ~ 3.6V	0.5	-	10.0		*3
OSC クロック( <sub>OSC</sub> ) サイクル時間	t <sub>OSC</sub>	OSC1、OSC2	V <sub>CC</sub> = 2.7 ~ 3.6V	100	-	500	ns	図 25.14
			V <sub>CC</sub> = 1.8 ~ 3.6V	238	-	500		
システムクロック用 内蔵発振器 クロック ( <sub>ROSC</sub> ) サイクル時間	t <sub>ROSC</sub>		システムクロック用 内蔵発振器選択時 V <sub>CC</sub> = 1.8 ~ 3.6V	100	-	2000		*3
システムクロック ( ) サイクル時間	t <sub>cyC</sub>			1	-	64	t <sub>OSC</sub>	
				-	-	32	μs	
サブクロック発振器 発振周波数	f <sub>W</sub>	X1、X2		-	32.768 または 38.4	-	kHz	
ウォッチクロック ( <sub>W</sub> ) サイクル時間	t <sub>W</sub>	X1、X2		-	30.5 または 26.0	-	μs	図 25.14
サブクロック ( <sub>SUB</sub> ) サイクル時間	t <sub>subcyC</sub>			2	-	8	t <sub>W</sub>	*1
インストラクション サイクル時間				2	-	-	t <sub>cyC</sub> t <sub>subcyC</sub>	

## 25. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	$t_{rc}$	OSC1、OSC2	セラミック発振子 ( $V_{CC} = 2.2 \sim 3.6V$ )	-	20	45	$\mu s$	図 25.23
			セラミック発振子 (上記以外)	-	80	-		
			水晶発振子 ( $V_{CC} = 2.7 \sim 3.6V$ )	-	0.8	2.0	ms	
			水晶発振子 ( $V_{CC} = 2.2 \sim 3.6V$ )	-	1.2	3.0		
			上記以外	-	-	50	ms	
		システムクロック用 内蔵発振器	電源投入時	-	-	25	$\mu s$	*3
		X1、X2	$V_{CC} = 2.2 \sim 3.6V$	-	-	2	s	図 5.5
上記以外	-		4	-				
外部クロック High レベル幅	$t_{CPH}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$	40	-	-	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$	95	-	-		
		X1		-	15.26 または 13.02	-	$\mu s$	
外部クロック Low レベル幅	$t_{CPL}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$	40	-	-	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$	95	-	-		
		X1		-	15.26 または 13.02	-	$\mu s$	
外部クロック 立ち上がり時間	$t_{CPr}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$	-	-	10	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$	-	-	24		
		X1		-	-	55.0	ns	
外部クロック 立ち下がり時間	$t_{CPf}$	OSC1	$V_{CC} = 2.7 \sim 3.6V$	-	-	10	ns	図 25.14
			$V_{CC} = 1.8 \sim 3.6V$	-	-	24		
		X1		-	-	55.0	ns	
$\overline{RES}$ 端子 Low レベル幅	$t_{REL}$	$\overline{RES}$		10	-	-	$t_{cyc}$	図 25.15 *2

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
入力端子 High レベル幅	$t_{IH}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、NMI、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 IRQAEC、 WKP0 ~ WKP7、 TMIC、TMIF、TMIG、 $\overline{ADTRG}$		2	-	-	$t_{cyc}$ $t_{subcyc}$	図 25.16	
			AEVL、AEVH	$V_{CC} = 2.7 \sim 3.6V$	50	-	-		ns
				$V_{CC} = 1.8 \sim 3.6V$	110	-	-		
	$t_{TCKWH}$	TCLKA、TCLKB、 TCLKC、TIOCA1、 TIOCB1、TIOCA2、 TIOCB2	単エッジ指定	1.5	-	-	$t_{cyc}$	図 25.19	
両エッジ指定			2.5	-	-				
入力端子 Low レベル幅	$t_{IL}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、NMI、 $\overline{IRQ3}$ 、 $\overline{IRQ4}$ 、 IRQAEC、 WKP0 ~ WKP7、 TMIC、TMIF、TMIG、 $\overline{ADTRG}$		2	-	-	$t_{cyc}$ $t_{subcyc}$	図 25.16	
			AEVL、AEVH	$V_{CC} = 2.7 \sim 3.6V$	50	-	-		ns
				$V_{CC} = 1.8 \sim 3.6V$	110	-	-		
	$t_{TCKWL}$	TCLKA、TCLKB、 TCLKC、TIOCA1、 TIOCB1、TIOCA2、 TIOCB2	単エッジ指定	1.5	-	-	$t_{cyc}$	図 25.19	
両エッジ指定			2.5	-	-				
UD 端子最小変化幅	UD			4	-	-	$t_{cyc}$ $t_{subcyc}$	図 24.21	

- 【注】 \*1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。
- \*2 パワーオンリセット特性は表 25.16 および図 25.15 を参照してください。
- \*3 本特性は温度、電源電圧、製品ロットのばらつきなどの影響により、変動します。システム設計におかれましては実使用条件において十分評価してください。実力データにつきましては、当社営業担当者に確認してください。

## 25. 電気的特性

表 25.13 シリアルインタフェースタイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ )

項目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	$t_{SCYC}$		4	-	-	$t_{CYC}$ または $t_{SUBCYC}$	図 25.17
	クロック同期			6	-	-		
入力クロックパルス幅		$t_{SCKW}$		0.4	-	0.6	$t_{SCYC}$	図 25.17
送信データ遅延時間 (クロック同期)		$t_{TXD}$		-	-	1	$t_{CYC}$ または $t_{SUBCYC}$	図 25.18
受信データセットアップ時間 (クロック同期)		$t_{RXS}$	$V_{CC} = 2.7 \sim 3.6V$	100	-	-	ns	図 25.18
			上記以外	238				
受信データホールド時間 (クロック同期)		$t_{RXH}$	$V_{CC} = 2.7 \sim 3.6V$	100	-	-	ns	図 25.18
			上記以外	238				

表 25.14 I<sup>2</sup>C バスインタフェースタイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ )

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
SCL 入力サイクル時間	$t_{SCL}$		$12t_{CYC} + 600$	-	-	ns	図 25.20
SCL 入力 High パルス幅	$t_{SCLH}$		$3t_{CYC} + 300$	-	-	ns	
SCL 入力 Low パルス幅	$t_{SCLL}$		$5t_{CYC} + 300$	-	-	ns	
SCL、SDA 入力立ち下がり時間	$t_{SF}$		-	-	300	ns	
SCL、SDA 入カスパイク パルス除去時間	$t_{SP}$		-	-	$1t_{CYC}$	ns	
SDA 入力バスフリー時間	$t_{BUF}$		$5t_{CYC}$	-	-	ns	
開始条件入力ホールド時間	$t_{STAH}$		$3t_{CYC}$	-	-	ns	
再送開始条件入力セットアップ時間	$t_{STAS}$		$3t_{CYC}$	-	-	ns	
停止条件入力セットアップ時間	$t_{STOS}$		$3t_{CYC}$	-	-	ns	
データ入力セットアップ時間	$t_{SDAS}$		$1t_{CYC} + 20$	-	-	ns	
データ入力ホールド時間	$t_{SDAH}$		0	-	-	ns	
SCL、SDA の容量性負荷	$C_b$		0	-	400	pF	
SCL、SDA 出力立ち下がり時間	$t_{SF}$		-	-	300	ns	

## 25.4.4 A/D 変換器特性

A/D 変換器特性を表 25.15 に示します。

表 25.15 A/D 変換器特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ )

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		1.8	-	3.6	V	*1
アナログ入力電圧	$AV_{IN}$	AN0 ~ AN7		- 0.3	-	$AV_{CC} + 0.3$	V	
アナログ電源電流	$AI_{OPE}$	$AV_{CC}$	$AV_{CC} = 3.0V$	-	-	1.0	Ma	
	$AI_{STOP1}$	$AV_{CC}$		-	600	-	$\mu A$	*2 参考値
	$AI_{STOP2}$	$AV_{CC}$		-	-	5	$\mu A$	*3
アナログ入力容量	$C_{AIN}$	AN0 ~ AN7		-	-	15.0	pF	
許容信号源インピーダンス	$R_{AIN}$			-	-	10.0	k	
分解能 (データ長)				-	-	10	bits	
非直線性誤差			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	-	-	$\pm 3.5$	LSB	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$	-	-	$\pm 5.5$		
			上記以外	-	-	$\pm 7.5$		*4
量子化誤差				-	-	$\pm 0.5$	LSB	
	絶対精度		$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	-	-	$\pm 4.0$	LSB	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$	-	-	$\pm 6.0$		
			上記以外	-	-	$\pm 8.0$		*4
変換時間			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	12.4	-	124	$\mu s$	システムクロック 発振器選択時
				7.8	15.5	31	$\mu s$	システムクロック用 内蔵発振器選択時 参考値 ( $f_{ROSC} = 4MHz$ )
			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	29.5	-	124	$\mu s$	システムクロック 発振器選択時
			以外	31	62	124	$\mu s$	システムクロック用 内蔵発振器選択時 参考値 ( $f_{ROSC} = 1MHz$ )

【注】 \*1 A/D 変換器を使用しない場合は  $AV_{CC} = V_{CC}$  としてください。

\*2  $AI_{STOP1}$  はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

\*3  $AI_{STOP2}$  はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

\*4 変換時間は  $29.5\mu s$  です。Ta = -20 ~ +75

## 25. 電気的特性

### 25.4.5 パワーオンリセット回路特性

表 25.16 パワーオンリセット回路特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度仕様品))

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
リセット電圧	$V_{rst}$		$0.7V_{CC}$	$0.8V_{CC}$	$0.9V_{CC}$	V	図 22.2
電源立ち上がり時間	$t_{vtr}$		$V_{CC}$ の立ち上がり時間は、 $\overline{RES}$ の立ち上がり時間の半分以下にしてください。				
リセットカウント時間	$t_{out}$		0.8	-	4.0	$\mu s$	システムクロック 用内蔵発振器選択 時(参考値)
			0.8	-	16.0	$\mu s$	
カウント開始時間	$t_{cr}$		$\overline{RES}$ 端子の外付けコンデンサの値で調整可能				
内蔵プルアップ抵抗	$R_P$	$V_{CC} = 3.0V$	60	100	-	k	図 22.1

### 25.4.6 ウォッチドッグタイマ特性

表 25.17 ウォッチドッグタイマ特性

(特記なき場合、 $V_{CC} = 1.8 \sim 3.6V$ 、 $AV_{CC} = 1.8 \sim 3.6V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度仕様品))

項目	記号	適応端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
ウォッチドッグ タイマ用内蔵発振器 オーバーフロー時間	$t_{ovf}$			0.2	0.4	-	s	*

【注】 \* ウォッチドッグタイマ用内蔵発振器を選択した状態で0~255までカウントアップし、内部リセットが発生するまでの時間を示します。

## 25.5 動作タイミング

動作タイミングを図 25.14 ~ 図 25.21 に示します。

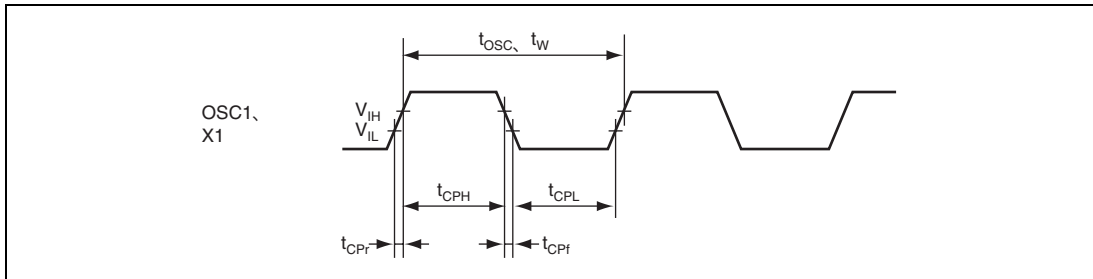


図 25.14 クロック入力タイミング

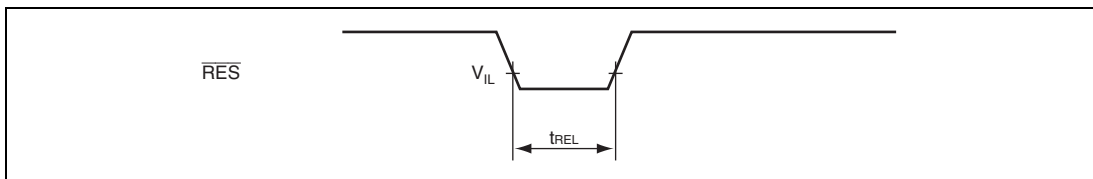


図 25.15  $\overline{RES}$  端子 Low レベル幅タイミング

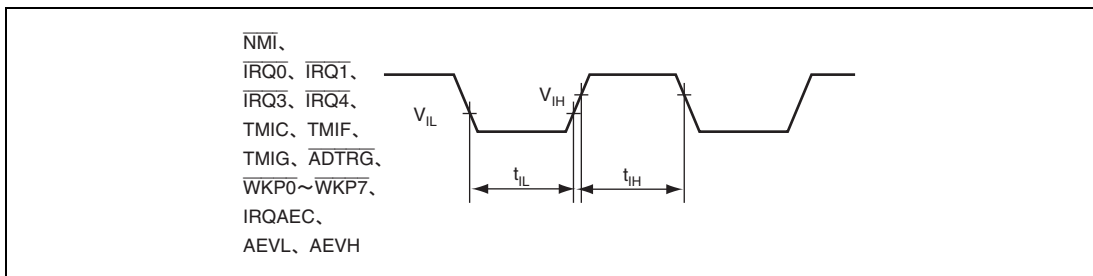


図 25.16 入力タイミング

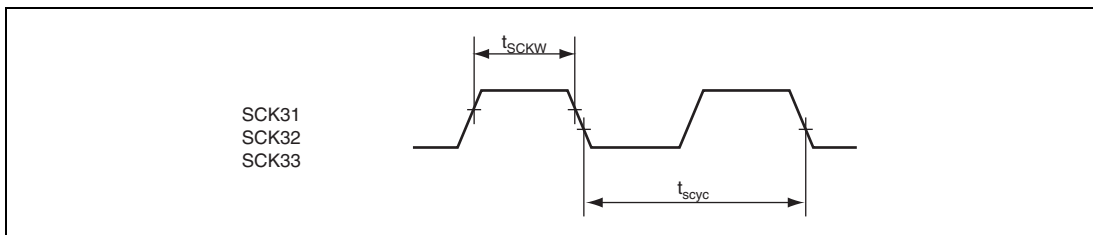


図 25.17 SCK3 入力クロックタイミング

25. 電気的特性

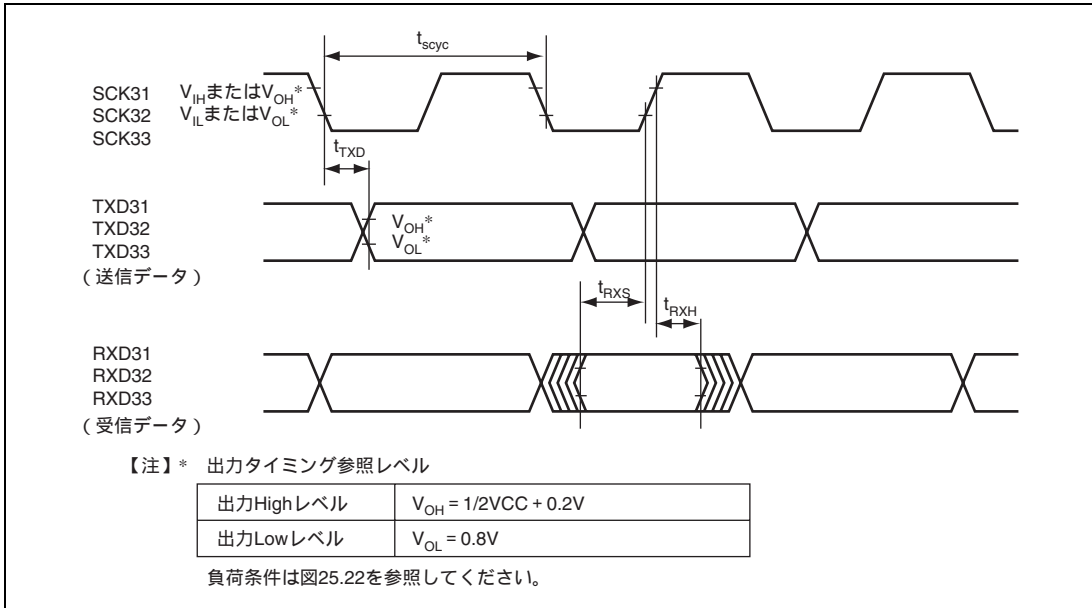


図 25.18 SCI3 クロック同期式モード入出力タイミング

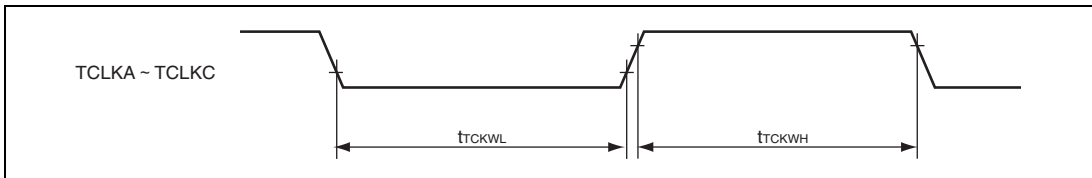


図 25.19 TCLKA ~ TCLKC 端子クロック入力タイミング

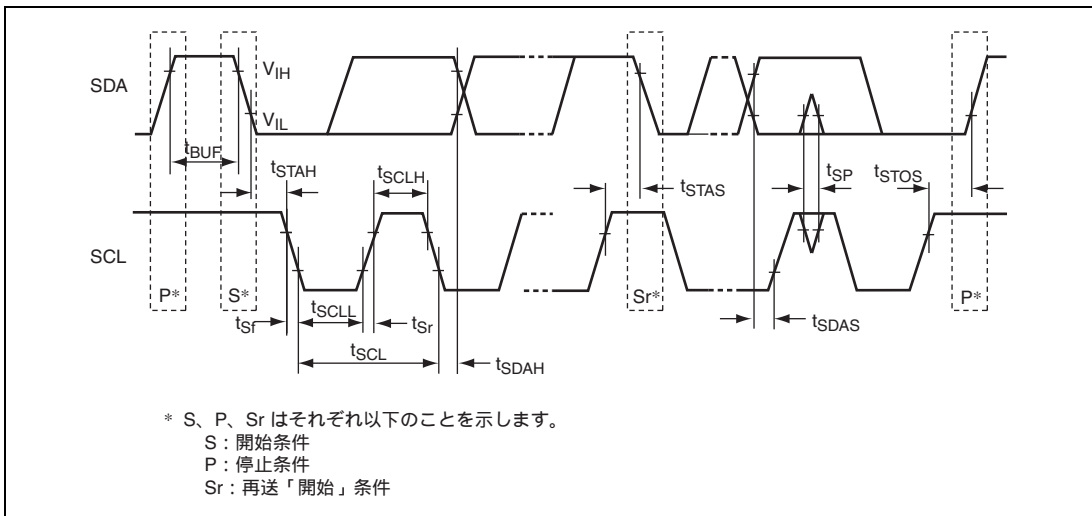


図 25.20 I<sup>2</sup>C バスインタフェース入出力タイミング



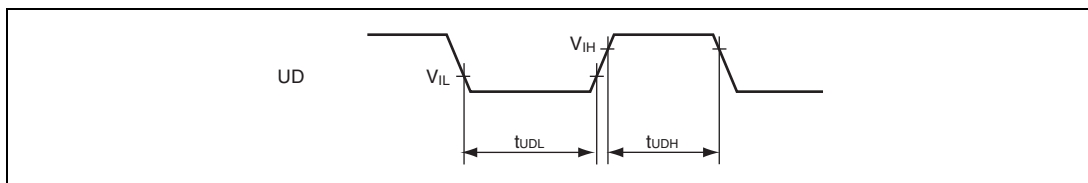


図 25.21 UD 端子最小変化幅タイミング

## 25.6 出力負荷回路

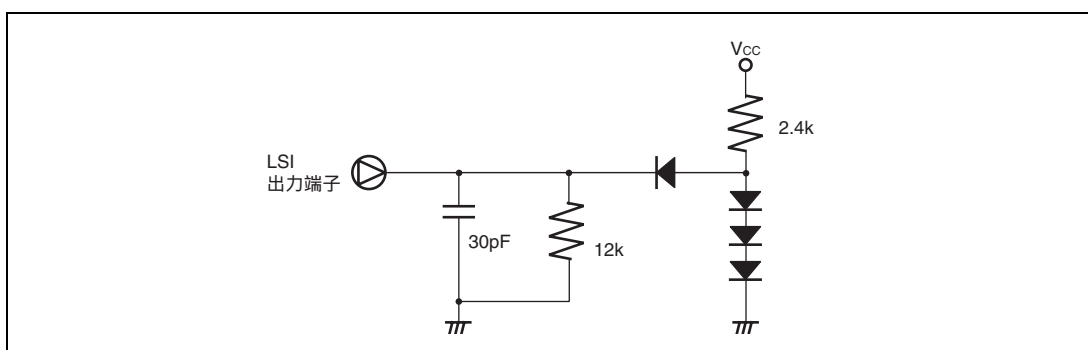


図 25.22 出力負荷条件

## 25.7 推奨発振子

(1) 水晶発振子仕様

周波数 (MHz)	メーカー	型名
4.194	日本電波工業	NR-18
10	日本電波工業	NR-18

(2) セラミック発振子仕様

周波数 (MHz)	メーカー	型名
2	村田製作所	CSTCC2M00G53-B0
		CSTCC2M00G56-B0
4.194	村田製作所	CSTLS4M19G53-B0
		CSTLS4M19G56-B0
10	村田製作所	CSTLS10M0G53-B0
		CSTLS10M0G56-B0

図 25.23 発振子仕様

### 25.8 使用上の注意事項

F-ZTAT 版およびマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

---

# 付録

---

## A. 命令

### A.1 命令一覧

《オペレーションの記号》

記号	内 容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレースメント
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和

【注】 汎用レジスタは、8 ビット (R0H~R7H, R0L~R7L) または 16 ビット (R0~R7, E0~E7) です。

## 《オペレーションの記号》

記号	内 容
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
( ) < >	オペランドの内容
↑ ↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。





(2) 算術演算命令

二一モニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行バイト数*1							
		#xx	Rn	@(d, ERn)	@-ERn/ERn+		@aa	@(d, PC)	@aa	I	H	N	Z		V	C					
ADD	ADD.B #xx:8, Rd	B	2												↑	↑	↑	↑	↑	↑	2
	ADD.B Rs, Rd	B	2												↑	↑	↑	↑	↑	↑	2
	ADD.W #xx:16, Rd	W	4												(1)	↑	↑	↑	↑	↑	4
	ADD.W Rs, Rd	W	2												(1)	↑	↑	↑	↑	↑	2
	ADD.L #xx:32, ERd	L	6												(2)	↑	↑	↑	↑	↑	6
	ADD.L ERs, ERd	L	2												(2)	↑	↑	↑	↑	↑	2
ADDX	ADDX.B #xx:8, Rd	B	2												↑	↑	(3)	↑	↑	↑	2
	ADDX.B Rs, Rd	B	2												↑	↑	(3)	↑	↑	↑	2
ADDS	ADDS.L #1, ERd	L	2																		2
	ADDS.L #2, ERd	L	2																		2
	ADDS.L #4, ERd	L	2																		2
	INC.B Rd	B	2												↑	↑	↑	↑	↑	↑	2
INC	INC.W #1, Rd	W	2												↑	↑	↑	↑	↑	↑	2
	INC.W #2, Rd	W	2												↑	↑	↑	↑	↑	↑	2
	INC.L #1, ERd	L	2												↑	↑	↑	↑	↑	↑	2
	INC.L #2, ERd	L	2												↑	↑	↑	↑	↑	↑	2
DAA	DAA Rd	B	2												*	↑	↑	↑	*	↑	2
	SUB.B Rs, Rd	B	2												↑	↑	↑	↑	↑	↑	2
SUB	SUB.W #xx:16, Rd	W	4												(1)	↑	↑	↑	↑	↑	4
	SUB.W Rs, Rd	W	2												(1)	↑	↑	↑	↑	↑	2
	SUB.L #xx:32, ERd	L	6												(2)	↑	↑	↑	↑	↑	6
	SUB.L ERs, ERd	L	2												(2)	↑	↑	↑	↑	↑	2
	SUBX.B #xx:8, Rd	B	2												↑	↑	(3)	↑	↑	↑	2
	SUBX.B Rs, Rd	B	2												↑	↑	(3)	↑	↑	↑	2

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行バイト数 *1			
		#xx	Rn	@ERn	@(d, ERn)		@ERn@ERn+	@aa	@(d, PC)	@@aa	I	H	N		Z	V	C
SUBS	SUBS.L #1, ERd	L	2														2
	SUBS.L #2, ERd	L	2														2
	SUBS.L #4, ERd	L	2														2
DEC	DEC.B Rd	B	2										↑	↑			2
	DEC.W #1, Rd	W	2										↑	↑			2
	DEC.W #2, Rd	W	2										↑	↑			2
	DEC.L #1, ERd	L	2										↑	↑			2
DAS	DEC.L #2, ERd	L	2										↑	↑			2
	DAS Rd	B	2										*	↑	*		2
MULXU	MULXU.B Rs, Rd	B	2														14
	MULXU.W Rs, ERd	W	2														22
MULXS	MULXS.B Rs, Rd	B	4											↑	↑		16
	MULXS.W Rs, ERd	W	4											↑	↑		24
DIVXU	DIVXU.B Rs, Rd	B	2											(6) ↑	(7)		14
	DIVXU.W Rs, ERd	W	2											(6) ↑	(7)		22
DIVXS	DIVXS.B Rs, Rd	B	4											(8) ↑	(7)		16
	DIVXS.W Rs, ERd	W	4											(8) ↑	(7)		24
CMP	CMP.B #xx:8, Rd	B	2										↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2										↑	↑	↑	↑	2
	CMP.W #xx:16, Rd	W	4										(1) ↑	↑	↑	↑	4
	CMP.W Rs, Rd	W	2										(1) ↑	↑	↑	↑	2



二-モニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行アドレス #1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z		V
CMP	CMP.L #xx:32, ERd	L	6									{2}	{↑}	{↑}	{↑}	4
	CMP.L ERs, ERd	L	2									{2}	{↑}	{↑}	{↑}	2
NEG	NEG.B Rd	B	2									{↑}	{↑}	{↑}	{↑}	2
	NEG.W Rd	W	2									{↑}	{↑}	{↑}	{↑}	2
EXTU	EXTU.L ERd	L	2									{↑}	{↑}	{↑}	{↑}	2
	EXTU.W Rd	W	2									0	{↑}	0	2	
EXTS	EXTS.L ERd	L	2									0	{↑}	0	2	
	EXTS.W Rd	W	2									{↑}	{↑}	0	2	
		L	2									{↑}	{↑}	0	2	



(4) シフト命令

二モニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード				実行回数 *1					
		#xx	Rn @ERn	@(d, ERn)	@-ERn/@ERn+		@aa	@(d, PC)	@@aa	I		H	N	Z	V	C
SHAL	SHAL.B Rd	B	2									↑	↑	↑	2	
	SHAL.W Rd	W	2									↑	↑	↑	2	
	SHAL.L ERd	L	2									↑	↑	↑	2	
SHAR	SHAR.B Rd	B	2									↑	↑	0	↑	2
	SHAR.W Rd	W	2									↑	↑	0	↑	2
	SHAR.L ERd	L	2									↑	↑	0	↑	2
SHLL	SHLL.B Rd	B	2									↑	↑	0	↑	2
	SHLL.W Rd	W	2									↑	↑	0	↑	2
	SHLL.L ERd	L	2									↑	↑	0	↑	2
SHLR	SHLR.B Rd	B	2									↑	↑	0	↑	2
	SHLR.W Rd	W	2									↑	↑	0	↑	2
	SHLR.L ERd	L	2									↑	↑	0	↑	2
ROTXL	ROTXL.B Rd	B	2									↑	↑	0	↑	2
	ROTXL.W Rd	W	2									↑	↑	0	↑	2
	ROTXL.L ERd	L	2									↑	↑	0	↑	2
ROTXR	ROTXR.B Rd	B	2									↑	↑	0	↑	2
	ROTXR.W Rd	W	2									↑	↑	0	↑	2
	ROTXR.L ERd	L	2									↑	↑	0	↑	2
ROTL	ROTL.B Rd	B	2									↑	↑	0	↑	2
	ROTL.W Rd	W	2									↑	↑	0	↑	2
	ROTL.L ERd	L	2									↑	↑	0	↑	2
ROTR	ROTR.B Rd	B	2									↑	↑	0	↑	2
	ROTR.W Rd	W	2									↑	↑	0	↑	2
	ROTR.L ERd	L	2									↑	↑	0	↑	2

(5) ビット操作命令

二一モック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディショニングコード				実行バイト数 #1			
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@aa	I	H	N		Z	V	C
BSET	BSET #xx:3, Rd	B	2														2
	BSET #xx:3, @ERd	B		4													8
	BSET #xx:3, @aa:8	B					4										8
	BSET Rn, Rd	B	2														2
	BSET Rn, @ERd	B		4													8
	BSET Rn, @aa:8	B					4										8
BCLR	BCLR #xx:3, Rd	B	2														2
	BCLR #xx:3, @ERd	B		4													8
	BCLR #xx:3, @aa:8	B					4										8
	BCLR Rn, Rd	B	2														2
	BCLR Rn, @ERd	B		4													8
	BCLR Rn, @aa:8	B					4										8
BNOT	BNOT #xx:3, Rd	B	2														2
	BNOT #xx:3, @ERd	B		4													8
	BNOT #xx:3, @aa:8	B					4										8
	BNOT Rn, Rd	B	2														2
	BNOT Rn, @ERd	B		4													8
	BNOT Rn, @aa:8	B					4										8
BTST	BTST #xx:3, Rd	B	2														2
	BTST #xx:3, @ERd	B		4													6
	BTST #xx:3, @aa:8	B					4										6
	BTST Rn, Rd	B	2														2
	BTST Rn, @ERd	B		4													6
	BTST Rn, @aa:8	B					4										6
BLD	BLD #xx:3, Rd	B	2														2
	BLD #xx:3, @ERd	B		4													6
	BLD #xx:3, @aa:8	B					4										6
	BLD #xx:3, Rd	B	2														2
	BLD #xx:3, @ERd	B		4													6
	BLD #xx:3, @aa:8	B					4										6

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)										オペレーション							コンディションコード							実行ワード数 *1
		#xx	Rn	@ERn	@(d1, ERn)	@-ERn/④ERn+	@aa	@(d1, PC)	@@aa	C (#xx:3 of Rd8)							I	H	N	Z	V	C	ノード	バイト		
BST	BST #xx:3, Rd	B	2																						2	
	BST #xx:3, @ERd	B		4																					8	
	BST #xx:3, @aa:8	B					4																		8	
BIST	BIST #xx:3, Rd	B	2																						2	
	BIST #xx:3, @ERd	B		4																					8	
	BIST #xx:3, @aa:8	B					4																		8	
BAND	BAND #xx:3, Rd	B	2																						2	
	BAND #xx:3, @ERd	B		4																					6	
	BAND #xx:3, @aa:8	B					4																		6	
BIAND	BIAND #xx:3, Rd	B	2																						2	
	BIAND #xx:3, @ERd	B		4																					6	
	BIAND #xx:3, @aa:8	B					4																		6	
BOR	BOR #xx:3, Rd	B	2																						2	
	BOR #xx:3, @ERd	B		4																					6	
	BOR #xx:3, @aa:8	B					4																		6	
BIOR	BIOR #xx:3, Rd	B	2																						2	
	BIOR #xx:3, @ERd	B		4																					6	
	BIOR #xx:3, @aa:8	B					4																		6	
BXOR	BXOR #xx:3, Rd	B	2																						2	
	BXOR #xx:3, @ERd	B		4																					6	
	BXOR #xx:3, @aa:8	B					4																		6	
BIXOR	BIXOR #xx:3, Rd	B	2																						2	
	BIXOR #xx:3, @ERd	B		4																					6	
	BIXOR #xx:3, @aa:8	B					4																		6	

(6) 分岐命令

二乗モック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	分岐条件	コンディションコード						実行回数 / 7サイクル	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa			@(d, PC)	@aa	I	H	N	Z		V
Bcc									if condition is true then PC PC+d else next;	Always							4
BRA d:8(BT d:8)								2									4
BRA d:16(BT d:16)								4									6
BRN d:8(BF d:8)								2		Never							4
BRN d:16(BF d:16)								4									6
BHI d:8								2		C Z=0							4
BHI d:16								4									6
BLS d:8								2		C Z=1							4
BLS d:16								4									6
BCC d:8(BHS d:8)								2		C=0							4
BCC d:16(BHS d:16)								4									6
BCS d:8(BLO d:8)								2		C=1							4
BCS d:16(BLO d:16)								4									6
BNE d:8								2		Z=0							4
BNE d:16								4									6
BEQ d:8								2		Z=1							4
BEQ d:16								4									6
BVC d:8								2		V=0							4
BVC d:16								4									6
BVS d:8								2		V=1							4
BVS d:16								4									6
BPL d:8								2		N=0							4
BPL d:16								4									6
BMI d:8								2		N=1							4
BMI d:16								4									6

二モードック	サイズ		アドレッシングモード / 命令長 (バイト)						オペレーション		コンディションコード					実行サイクル数 *1		
	#xx	Rn	@(d, ERn)	@(d, ERn)	@ERn/ERn+	@aa	@(d, PC)	@@aa	if condition is true then PC PC+d else next;	分岐条件	I	H	N	Z	V	C	7サイクル	10サイクル
Bcc										N@V=0							4	
	BGE d:8								2									6
	BGE d:16								4									4
	BLT d:8								2		N@V=1							6
	BLT d:16								4									4
	BGT d:8								2		Z (N@V)=0							6
JMP	BGT d:16								4									4
	BLE d:8								2		Z (N@V)=1							6
	BLE d:16								4									4
	JMP @ERn			2							PC ERn							6
	JMP @aa:24								4		PC aa:24							8
	JMP @ @aa:8										PC @aa:8							10
BSR	BSR d:8								2		PC @-SP, PC PC+d:8							6
	BSR d:16								4		PC @-SP, PC PC+d:16							8
JSR	JSR @ERn			2							PC @-SP, PC ERn							6
	JSR @aa:24								4		PC @-SP, PC aa:24							8
RTS	JSR @ @aa:8										PC @-SP, PC @aa:8							8
	RTS										PC @SP+							10





(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード					実行ステータス 実行フラグ	
		#xx	Rn @ERn	@(d, ERn) @-ERn/ERn+	@aa @(d, PC) @@aa		I	H	N	Z	V		C
EEPMOV	EEPMOV.B					4	if R4L 0 Repeat @R5 @R6 R5+1 R6 R6+1 R6 R4L-1 R4L Until R4L=0 else next;						8+4n *2
	EEPMOV.W					4	if R4 0 Repeat @R5 @R6 R5+1 R6 R6+1 R6 R4-1 R4 Until R4=0 else next;						8+4n *2

【注】 \*1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合は、「付録A.3 命令実行ステータス数」を参照してください。

\*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上りまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上りまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上りが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) エロク同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)

命令コード:		第1バイト		第2バイト		BHの最上位ビットが0の場合を示します。		BHの最上位ビットが1の場合を示します。									
		AH	AL	BH	BL												
AH	AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
	0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC		ADD	表A.2(2)	表A.2(2)	MOV		ADDC	表A.2(2)
	1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	表A.2(2)	SUB	表A.2(2)	表A.2(2)	CMP		SUBX	表A.2(2)
MOV, B																	
	2																
	3																
	4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE		表A.2(2)		JMP		BSR		JSR	
	6					OR	XOR	AND	BST								
	7	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BLD	BIL	MOV	表A.2(2)	表A.2(2)	EEMOV			表A.2(6)
	8	ADD															
	9	ADDC															
A	CMP																
B	SUBX																
C	OR																
D	XOR																
E	AND																
F	MOV																

表 A.2 オペレーションコードマップ (2)

命令コード:		第1バイト		第2バイト																	
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
BH/AH																					
01	MOV					LDC/STC							SLEEP								表A.2 (3)
0A	INC																				表A.2 (3)
0B	ADDS																				
0F	DAA																				
10	SHLL																				
11	SHLR						SHLL						SHAL								
12	ROTXL						SHLR						SHAR								
13	ROTXR						ROTXL						ROTL								
17	NOT						ROTXR						ROTR								
							NOT						NEG								EXTS
1A	DEC																				
1B	SUBS																				
1F	DAS																				
58	BRA	BRN																			
79	MOV	ADD	CMP				BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT			
7A	MOV	ADD	CMP				SUB	OR	XOR	AND											
							SUB	OR	XOR	AND											

表 A.2 オペレーションコードマップ (3)

命令コード：		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト		第6バイト		第7バイト		第8バイト		第9バイト		第10バイト		第11バイト		第12バイト					
		AH	AL	BH	BL	CH	CL	DH	DL																
		CL																							
		AH	AL	BH	BL	CH	CL	DH	DL																
AHALBHBLCH																									
01406																									
01C05		MULXS				MULXS																			
01D05		DIVXS				DIVXS																			
01F06						OR				XOR				AND											
7C06 *1														BTST											
7C07 *1						BOR				BXOR				BIAND				BLD				BILD			
7D06 *1		BSET				BNOT				BCLR				BSET				BNOT				BCLR			
7D07 *1		BSET				BNOT				BCLR				BSET				BNOT				BCLR			
7Eaa6 *2										BTST															
7Eaa7 *2						BOR				BXOR				BIAND				BLD				BILD			
7Faa6 *2		BSET				BNOT				BCLR				BSET				BNOT				BCLR			
7Faa7 *2		BSET				BNOT				BCLR				BSET				BNOT				BCLR			

命令コード： AH AL BH BL CH CL DH DL

— DHの最上位ビットが0の場合を示します。  
 — DHの最上位ビットが1の場合を示します。

【注】 \*1 rはレジスタ指定部

\*2 aaは絶対アドレス指定部

### A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	
命令フェッチ	$S_I$	2	-	
分岐アドレスリード	$S_J$			
スタック操作	$S_K$			
バイトデータアクセス	$S_L$			2 または 3*
ワードデータアクセス	$S_M$			-
内部動作	$S_N$	1		

【注】 \* 内蔵周辺モジュールによって異なります。詳細は、「24.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @ERd	2			1		
	BIOR #xx:3, @aa:8	2			1		

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		



命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC@ERs, CCR	2				1	
	LDC@(d:16, ERs), CCR	3				1	
	LDC@(d:24, ERs), CCR	5				1	
	LDC@ERs+, CCR	2				1	2
	LDC@aa:16, CCR	3				1	
	LDC@aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFP	MOVFP @aa:16, Rd* <sup>2</sup>	2			1		
MOVTP	MOVTP Rs, @aa:16* <sup>2</sup>	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 \*1 nはR4L、R4の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

\*2 本LSIでは使用できません。

A.4 命令とアドレッシングモードの組み合わせ

表 A.5 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード																		
		# xx	Rn	@ERn	@(c:16,ERn)	@(d:24,ERn)	@ERn+/@ERn	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@aa:8	—						
		BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	—	—	—		
データ転送命令	MOV	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WL		
算術演算命令	MOVFP, MOVTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	MULXU,	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	MULXS,																			
	DIVXU,																			
DIVXS																				
論理演算命令	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	EXTU, EXT	—	WL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	AND, OR, XOR	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
	ビット操作命令	—	B	B	—	—	—	—	—	—	—	—	—	B	—	—	—	—	—	
	分岐命令	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		RTIE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SLEEP		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
LDC		B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
STC		—	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
ANDC, ORC, XORC		B	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
NOP		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
プロック転送命令		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

## B. I/O ポート

### B.1 I/O ポートブロック図

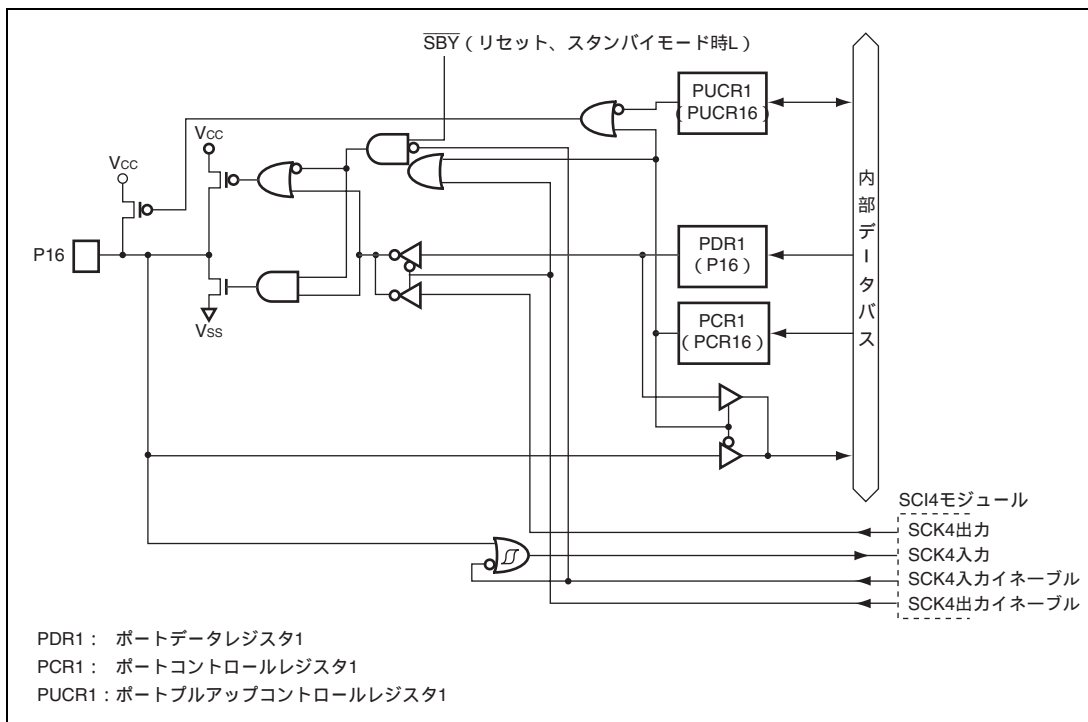


図 B.1 (a) ポート 1 ブロック図 (P16 端子) (F-ZTAT™ 版)

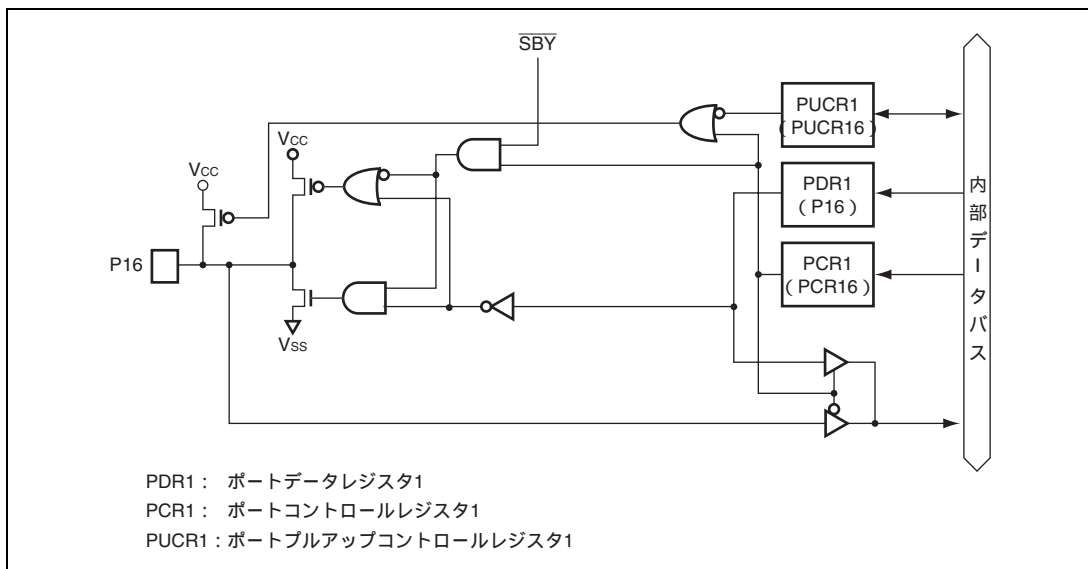


図 B.1 (b) ポート1 ブロック図 (P16 端子) (マスク ROM 版)

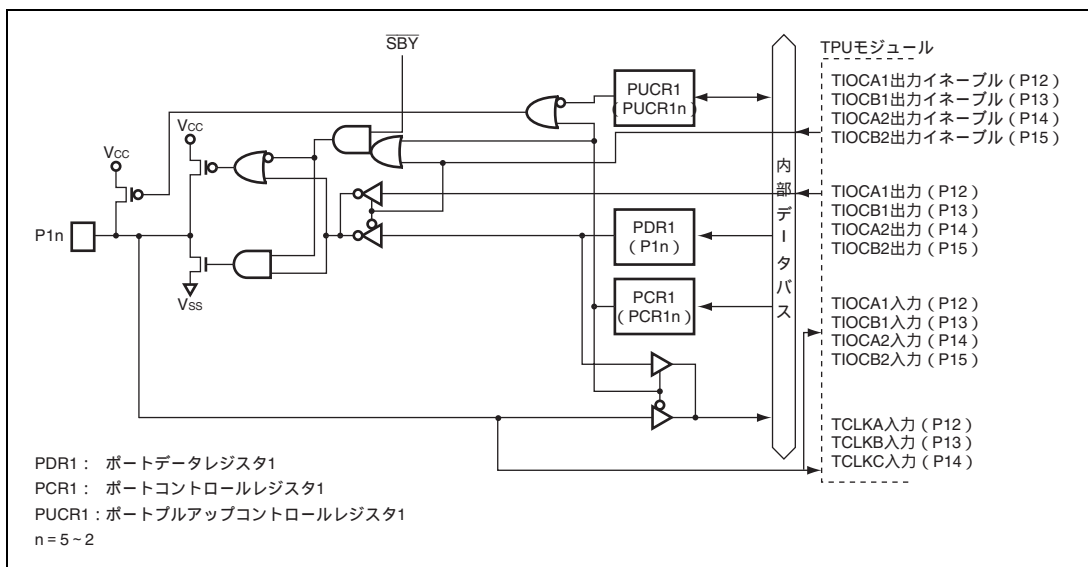


図 B.1 (c) ポート1 ブロック図 (P15~P12 端子)



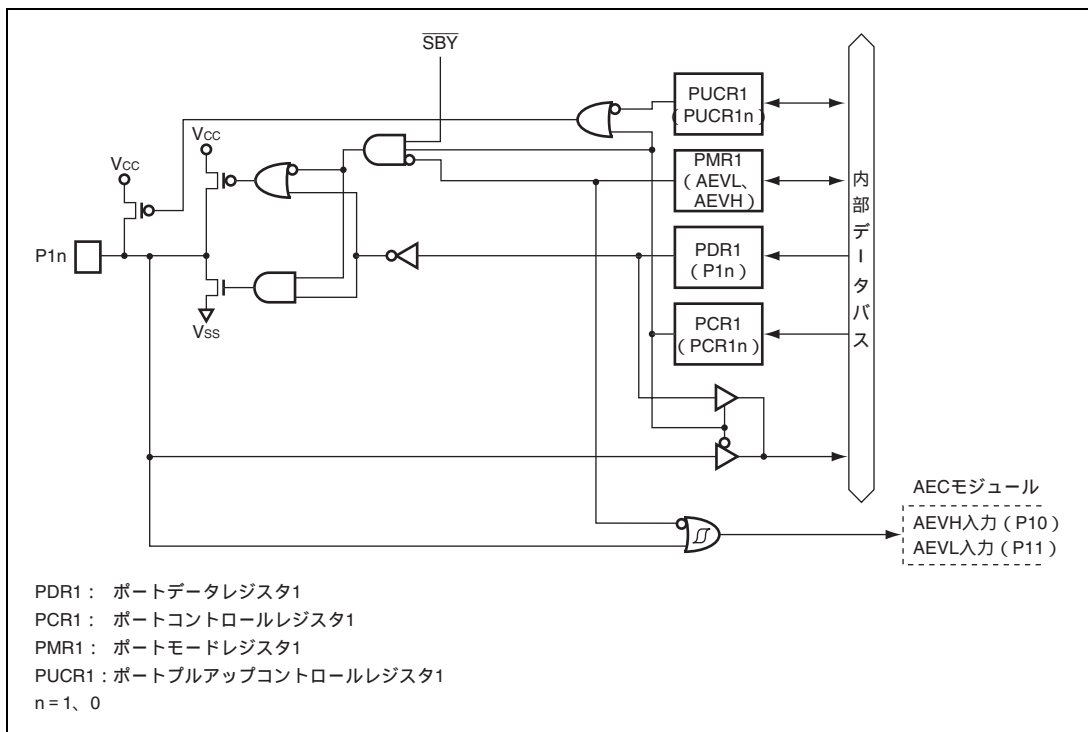


図 B.1 (d) ポート 1 ブロック図 (P11、P10 端子)

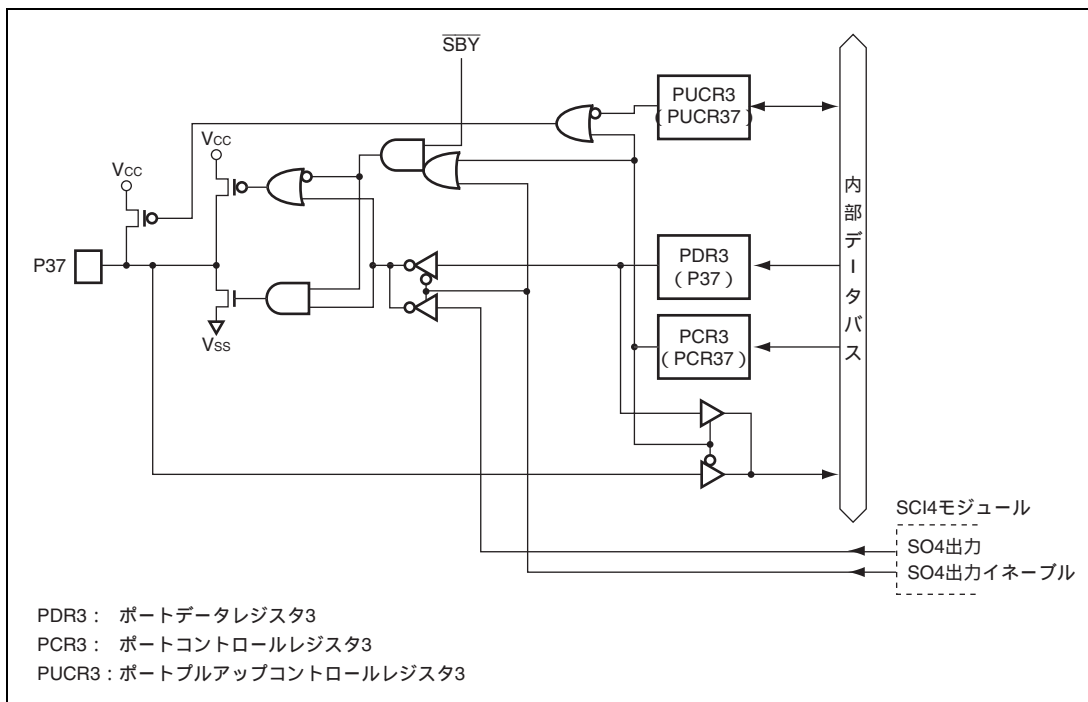


図 B.2 (a) ポート 3 ブロック図 (P37 端子) (F-ZTAT™ 版)

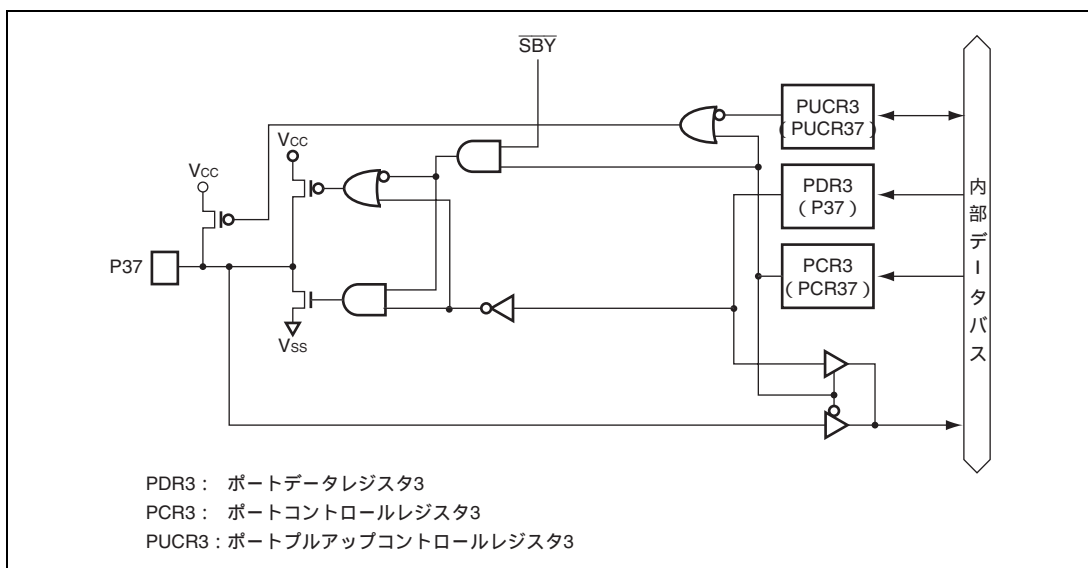


図 B.2 (b) ポート 3 ブロック図 (P37 端子) (マスク ROM 版)

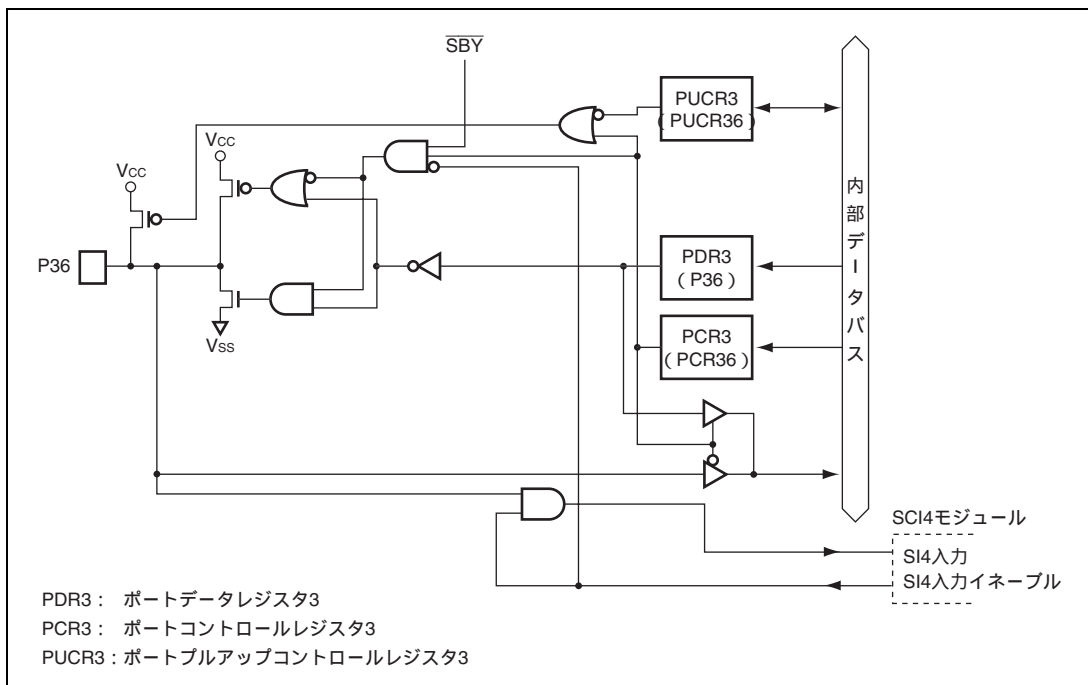


図 B.2 (c) ポート 3 ブロック図 (P36 端子) (F-ZTAT™ 版)

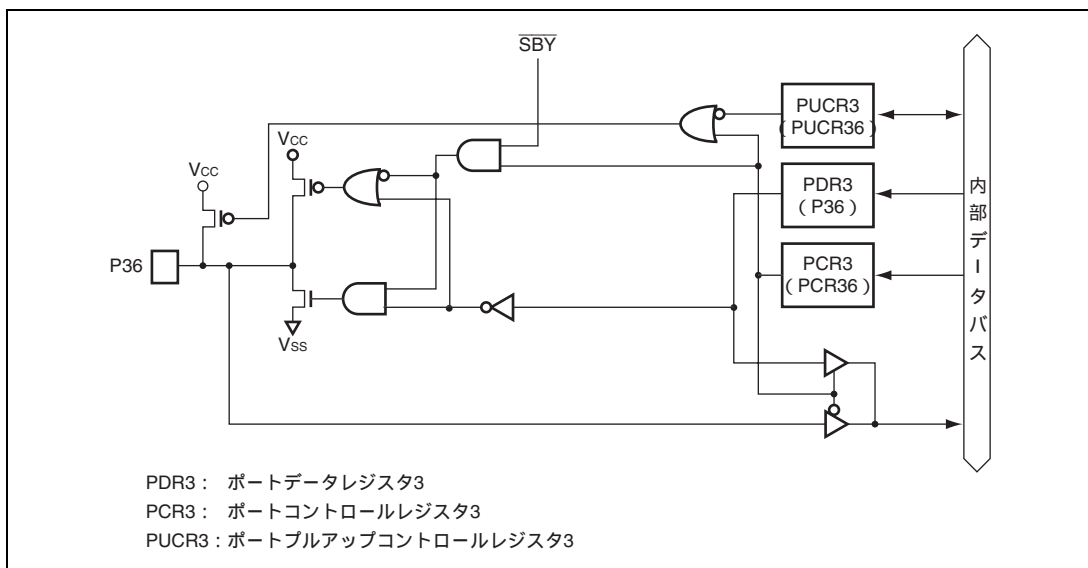


図 B.2 (d) ポート 3 ブロック図 (P36 端子) (マスク ROM 版)

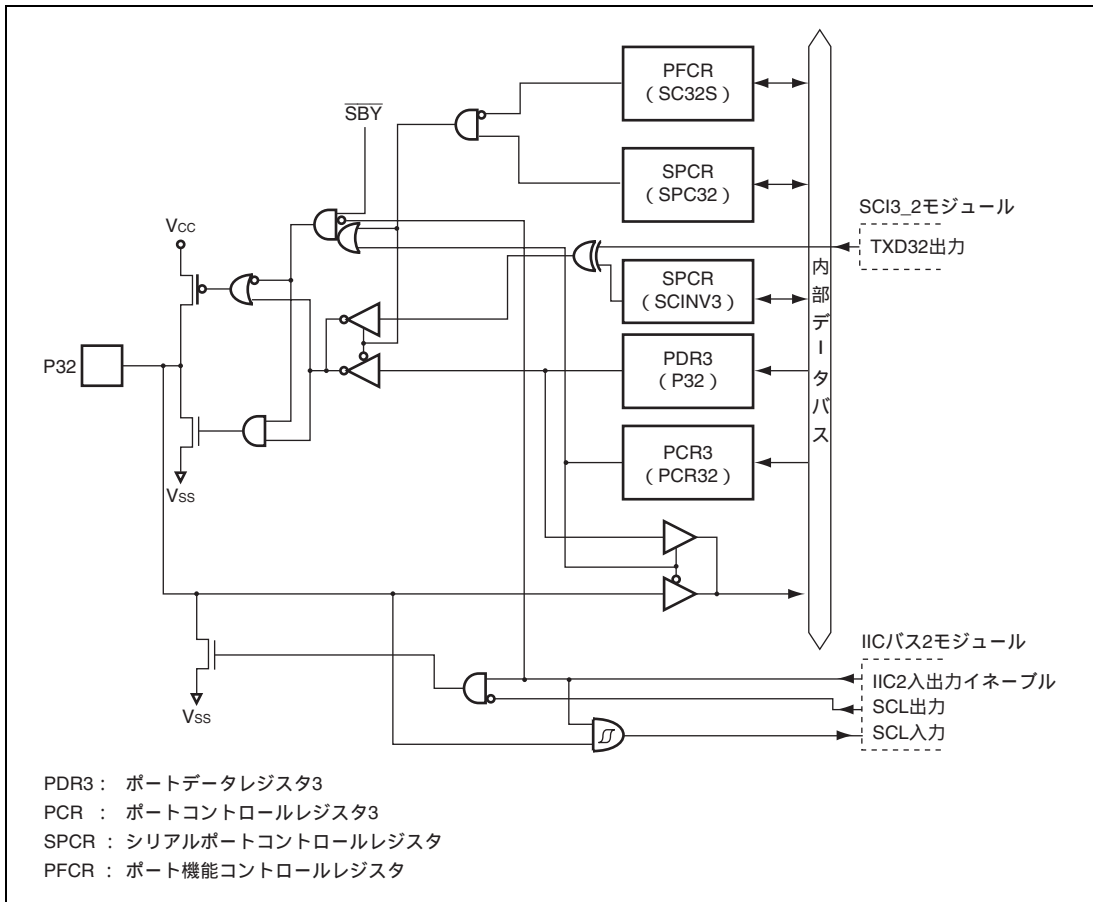


図 B.2 (e) ポート 3 ブロック図 (P32 端子)

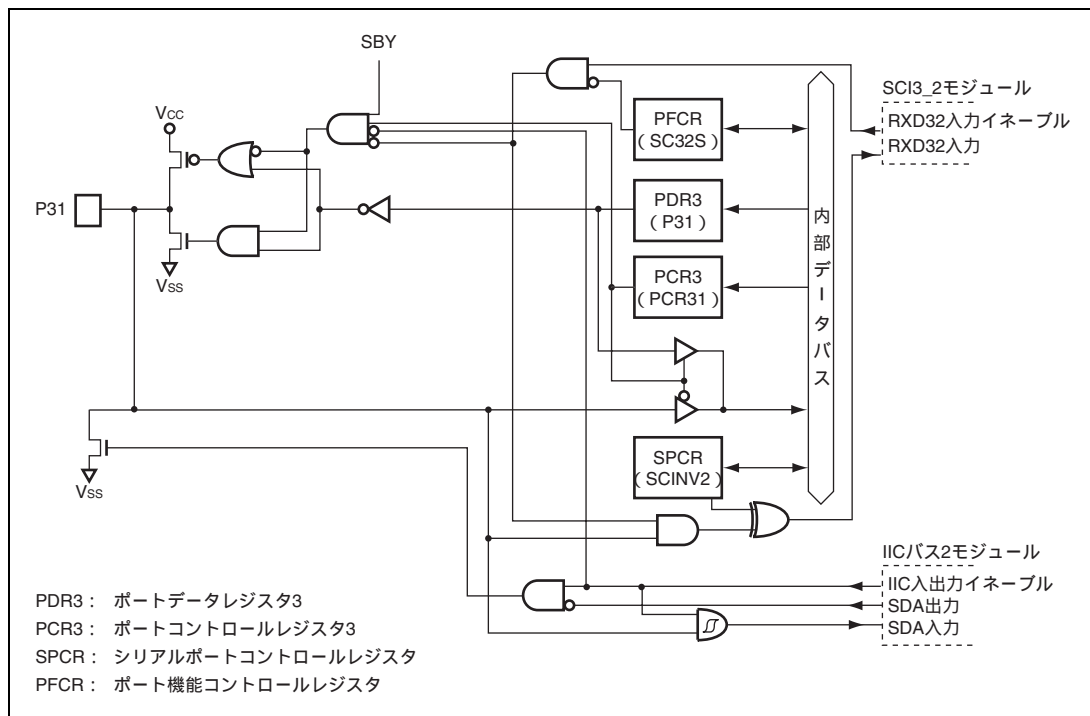


図 B.2 (f) ポート 3 ブロック図 (P31 端子)

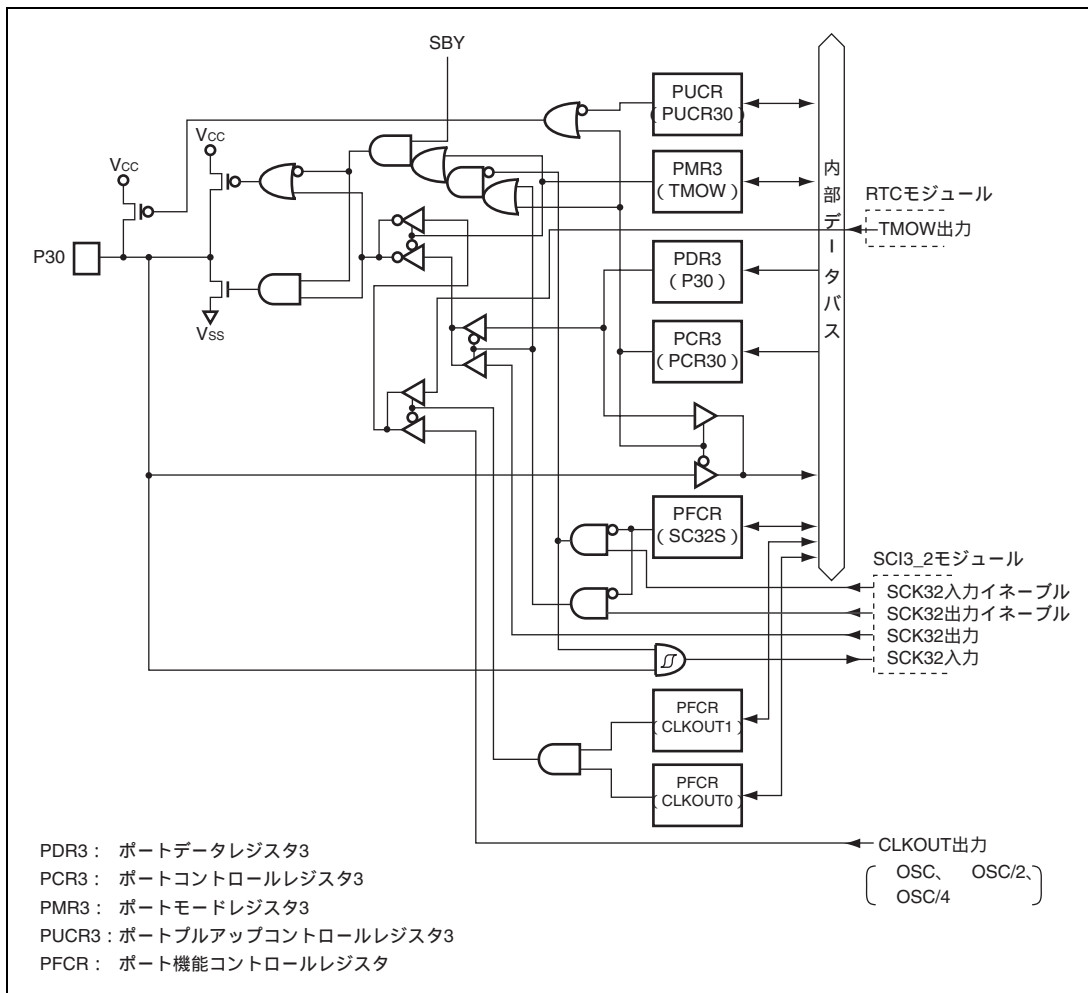


図 B.2 (g) ポート 3 ブロック図 (P30 端子)

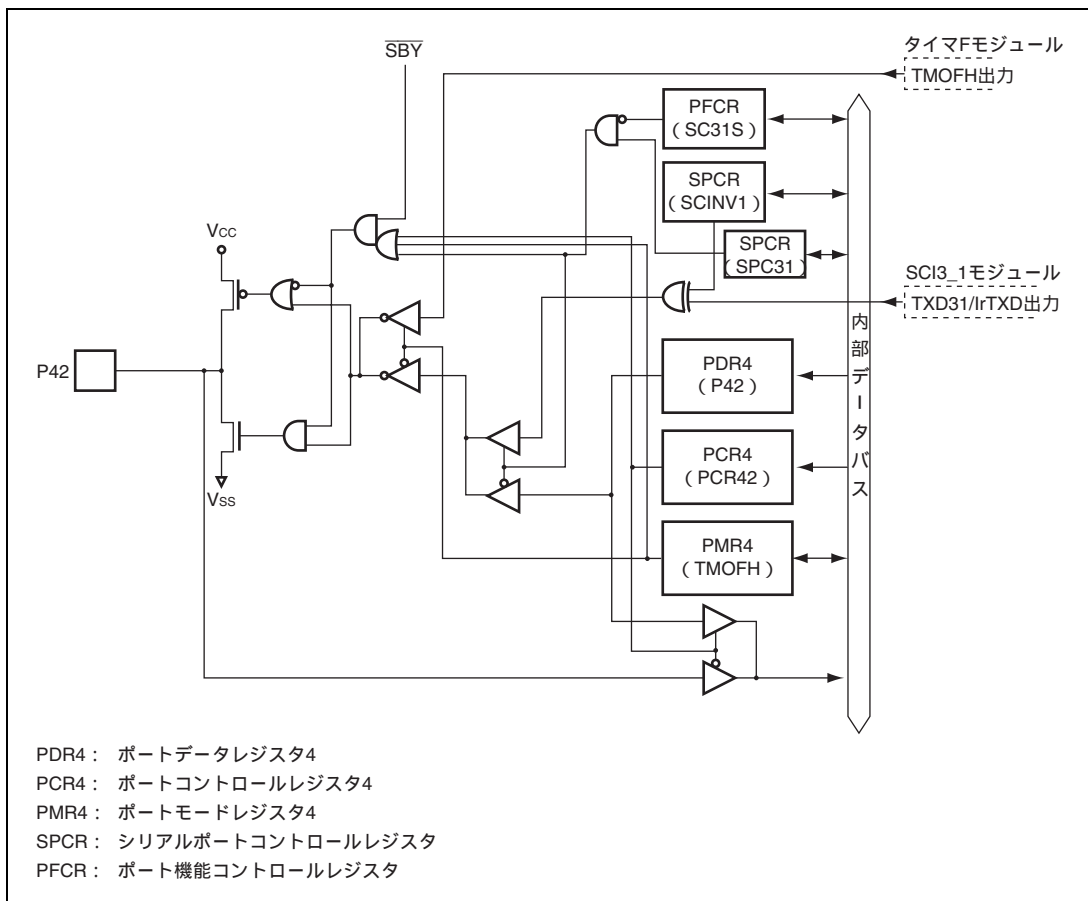


図 B.3 (a) ポート 4 ブロック図 (P42 端子)

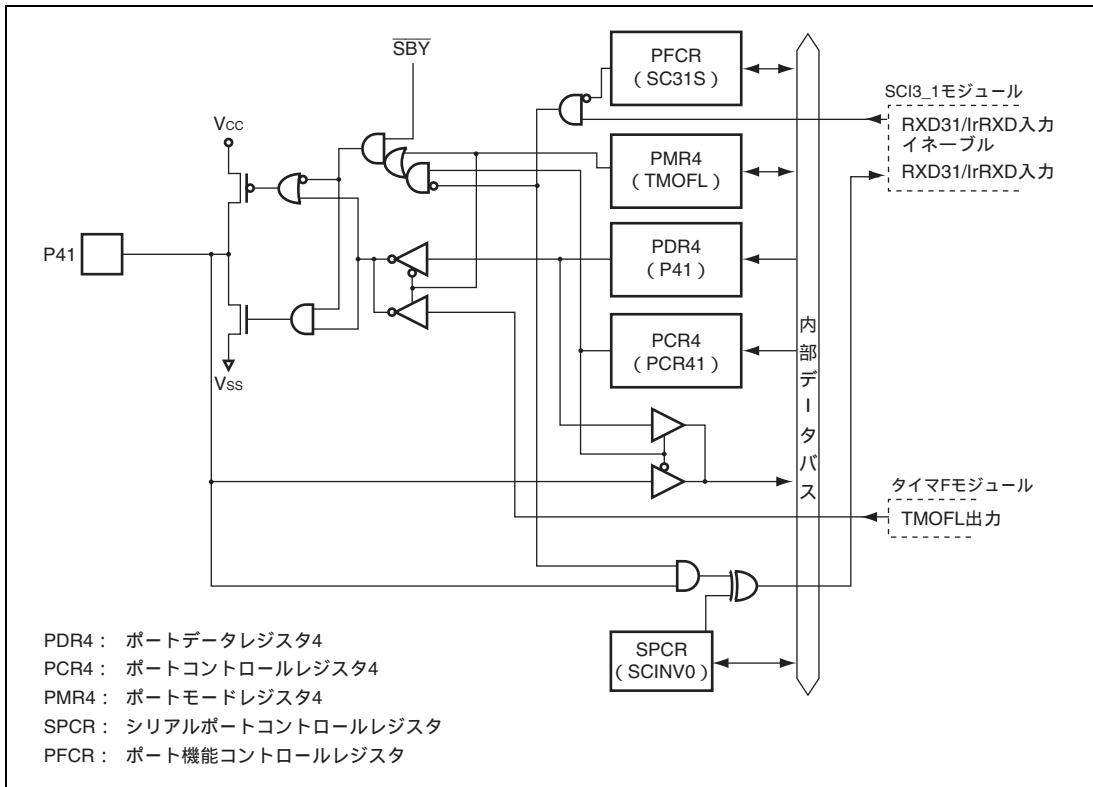


図 B.3 (b) ポート 4 ブロック図 (P41 端子)



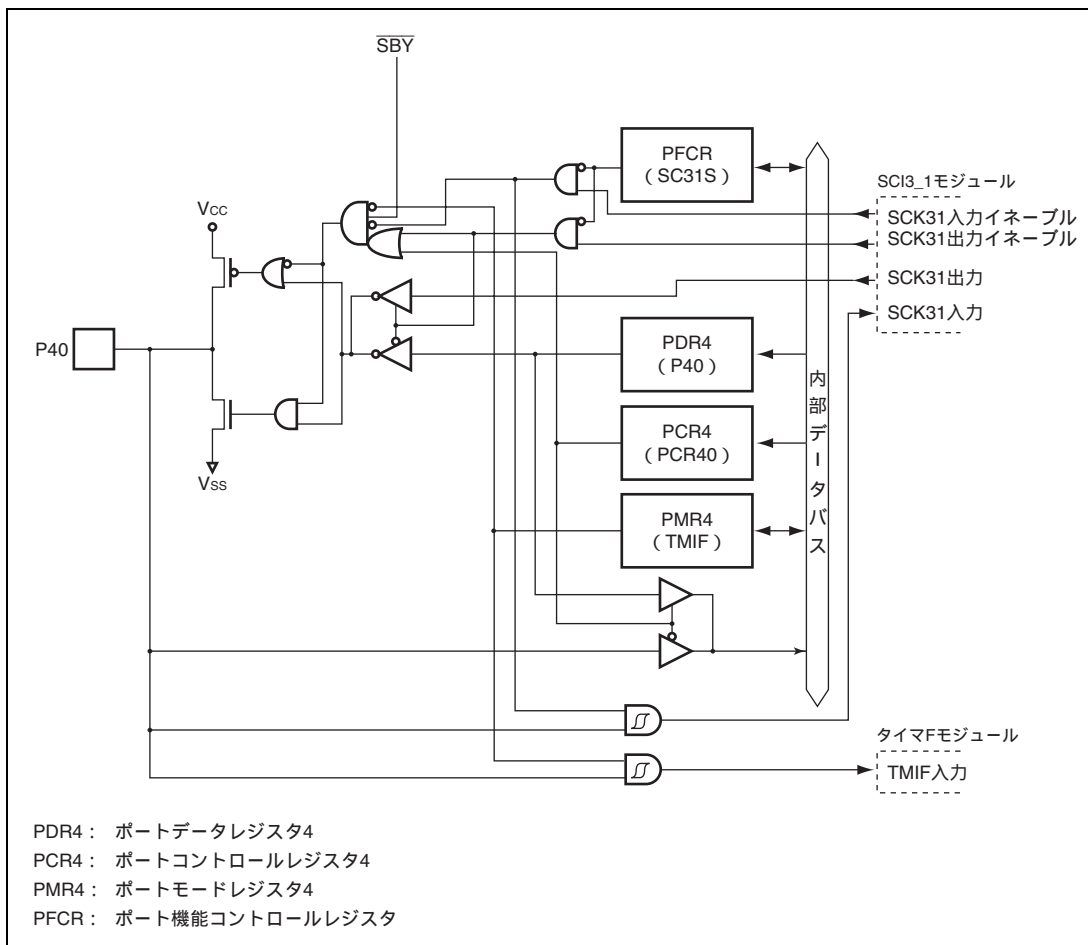


図 B.3 (c) ポート 4 ブロック図 (P40 端子)

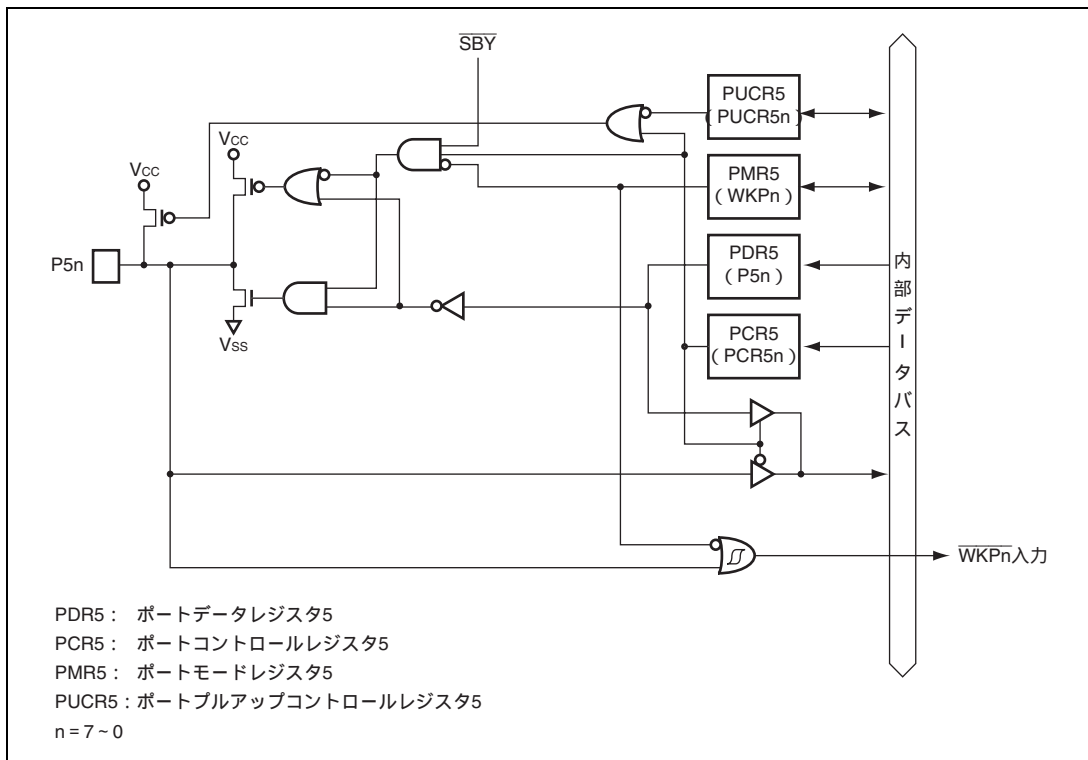


図 B.4 ポート 5 ブロック図

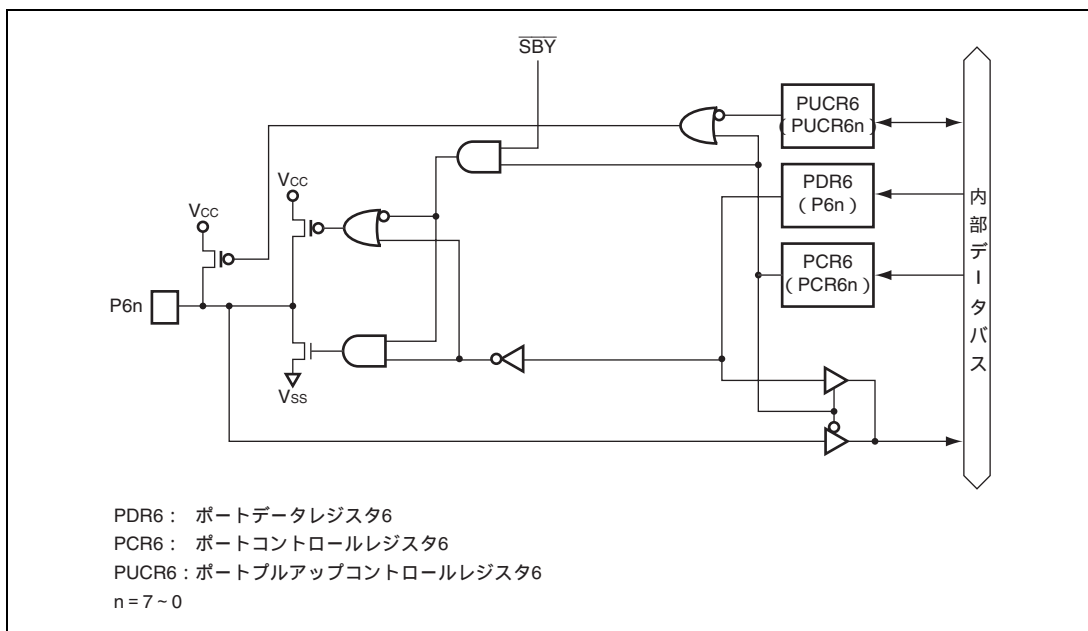


図 B.5 ポート 6 ブロック図

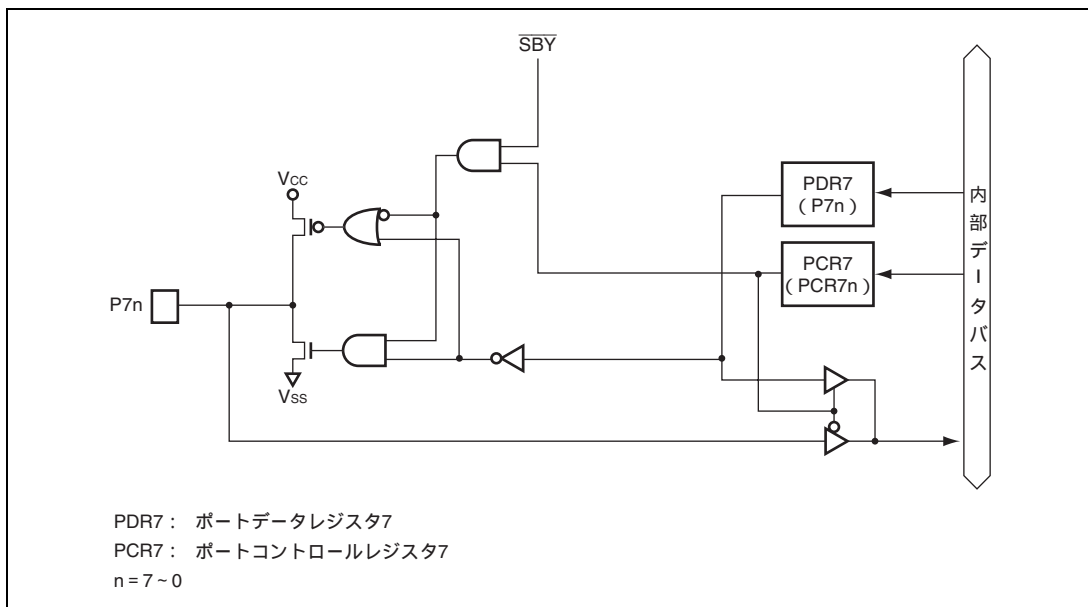


図 B.6 ポート 7 ブロック図

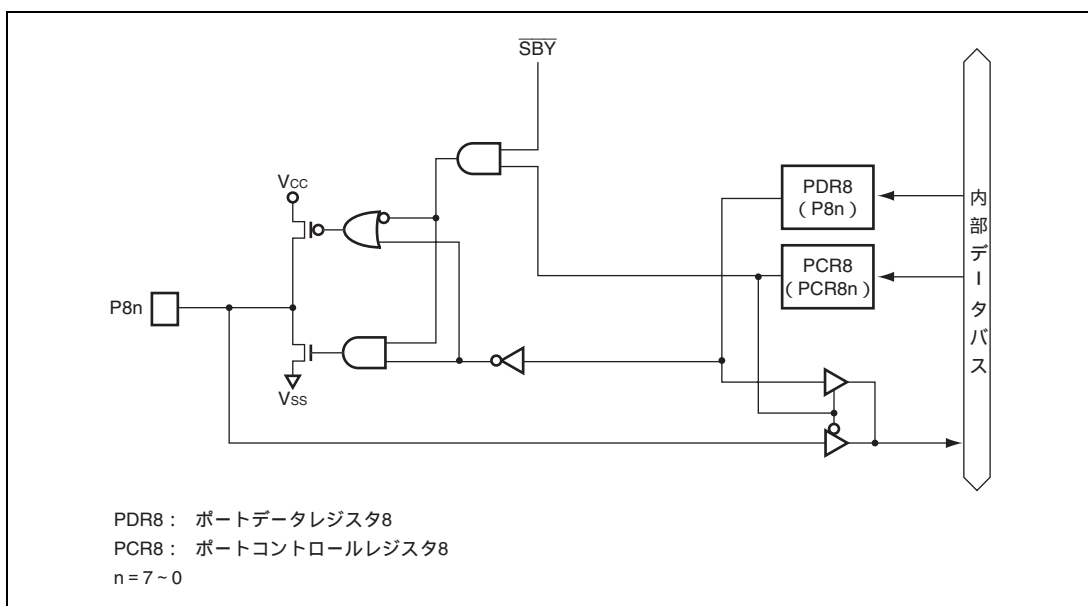


図 B.7 ポート 8 ブロック図

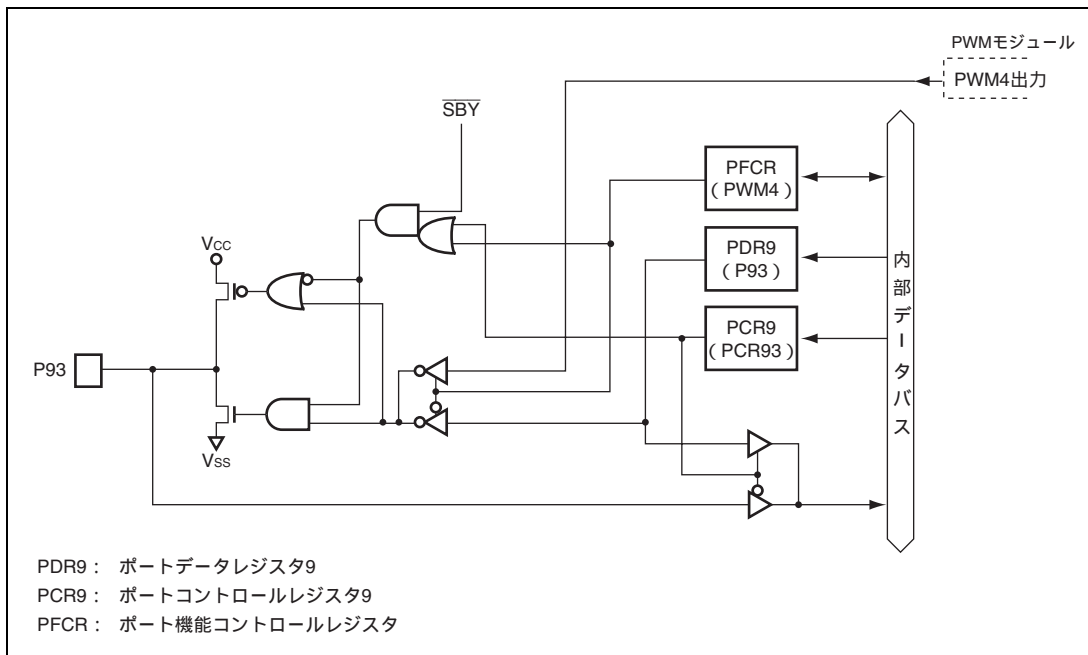


図 B.8 (a) ポート 9 ブロック図 (P93 端子)

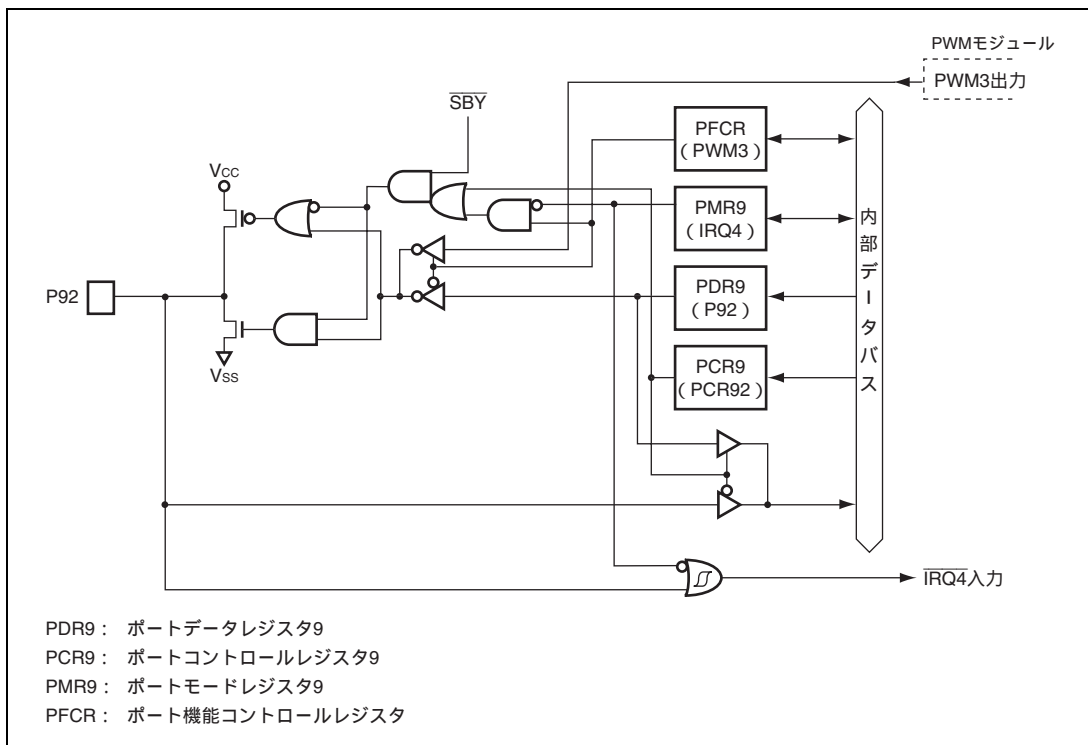


図 B.8 (b) ポート 9 ブロック図 (P92 端子)

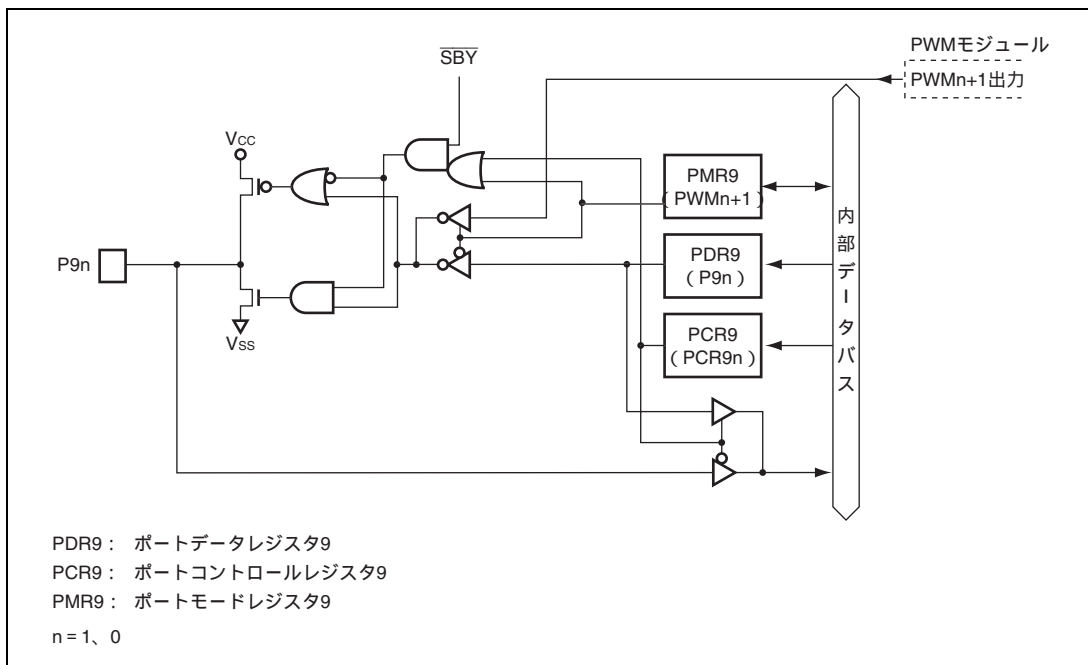


図 B.8 (c) ポート 9 ブロック図 (P91、P90 端子)

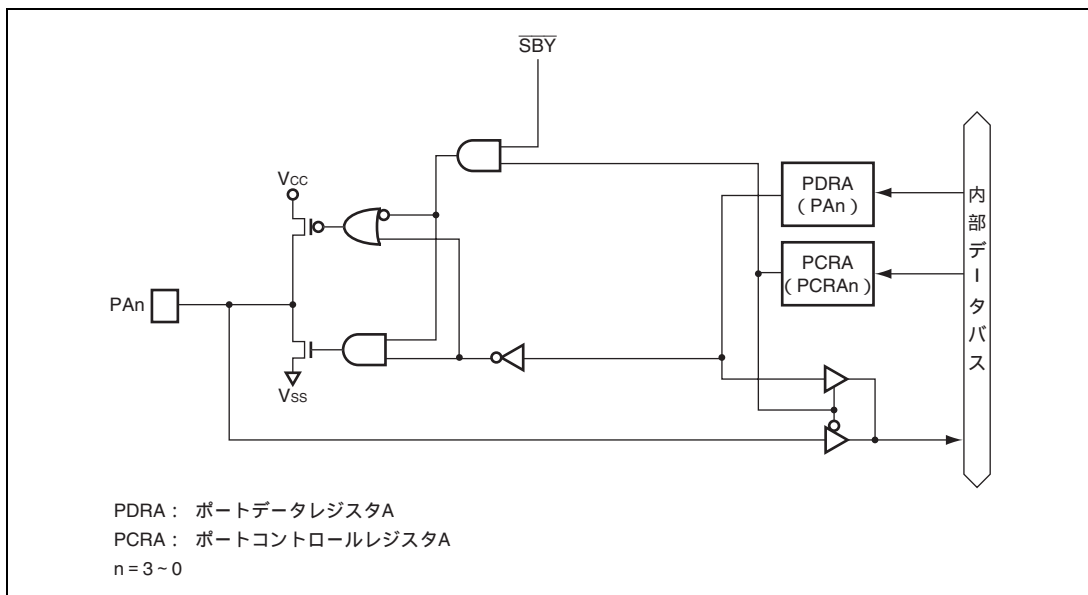


図 B.9 ポート A ブロック図

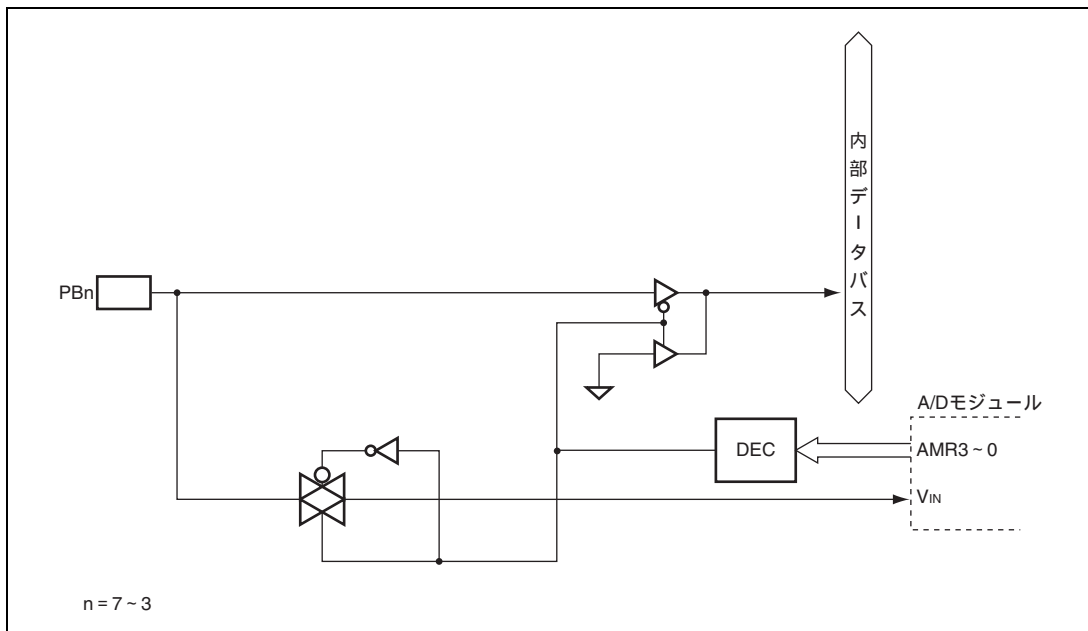


図 B.10 (a) ポート B ブロック図 (PB7 ~ PB3 端子)

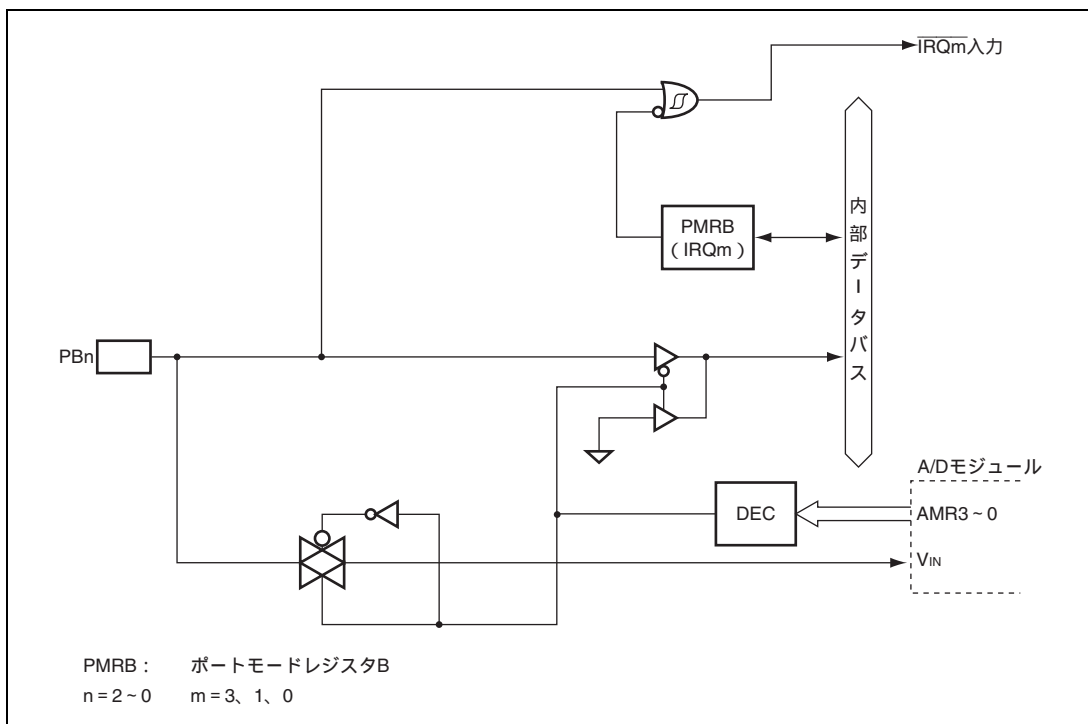


図 B.10 (b) ポート B ブロック図 (PB2 ~ PB0 端子)

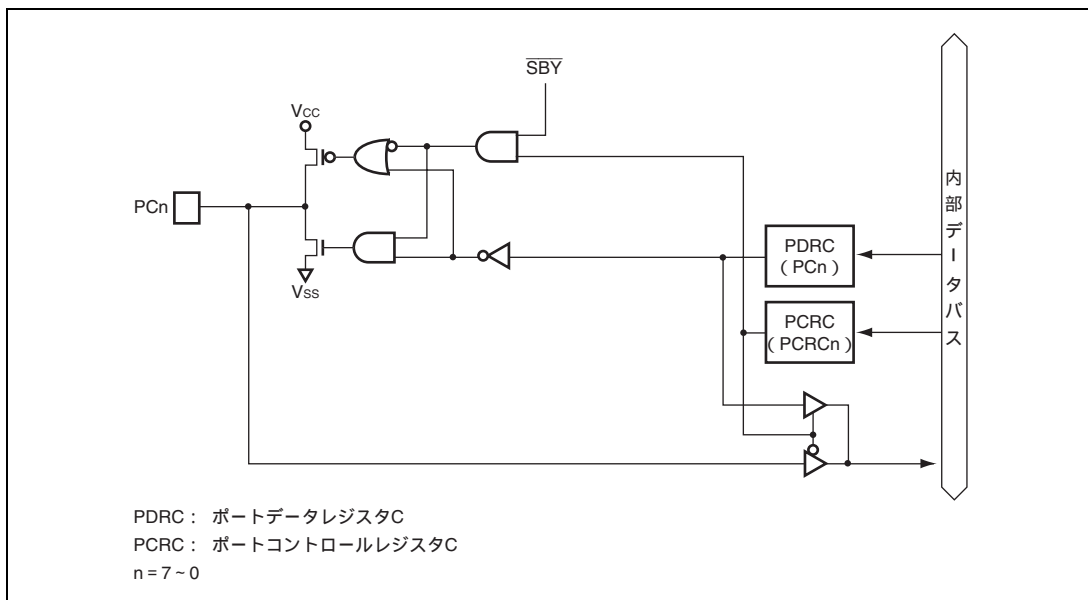


図 B.11 ポート C ブロック図 (PC7~PC0 端子)

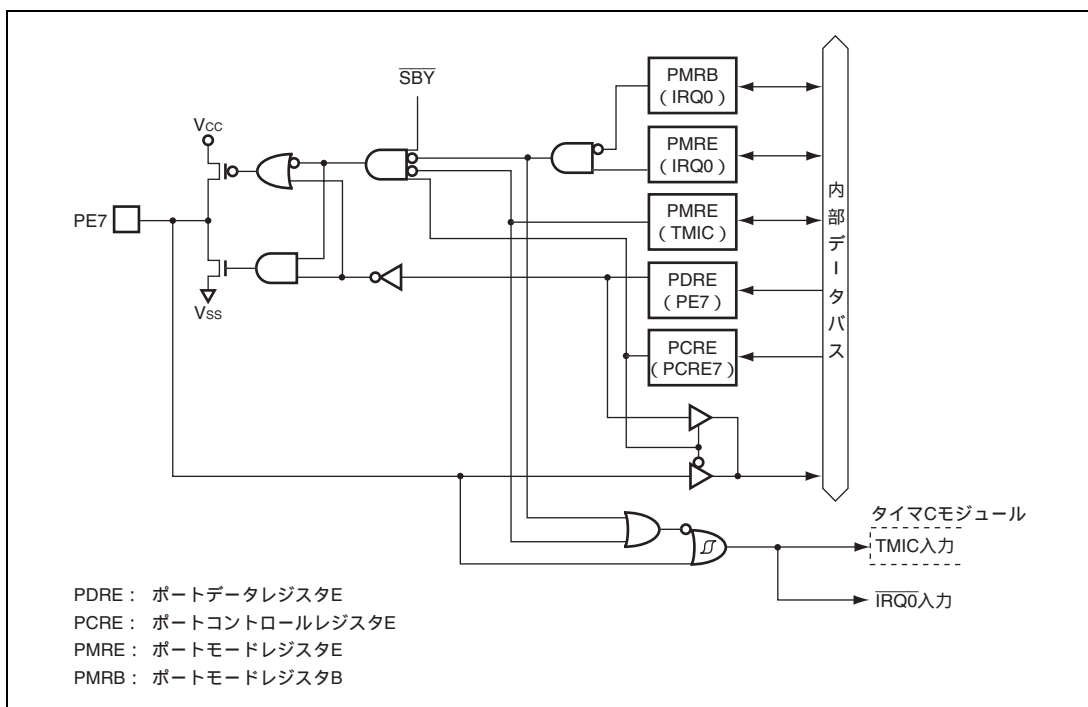


図 B.12 (a) ポート E ブロック図 (PE7 端子)

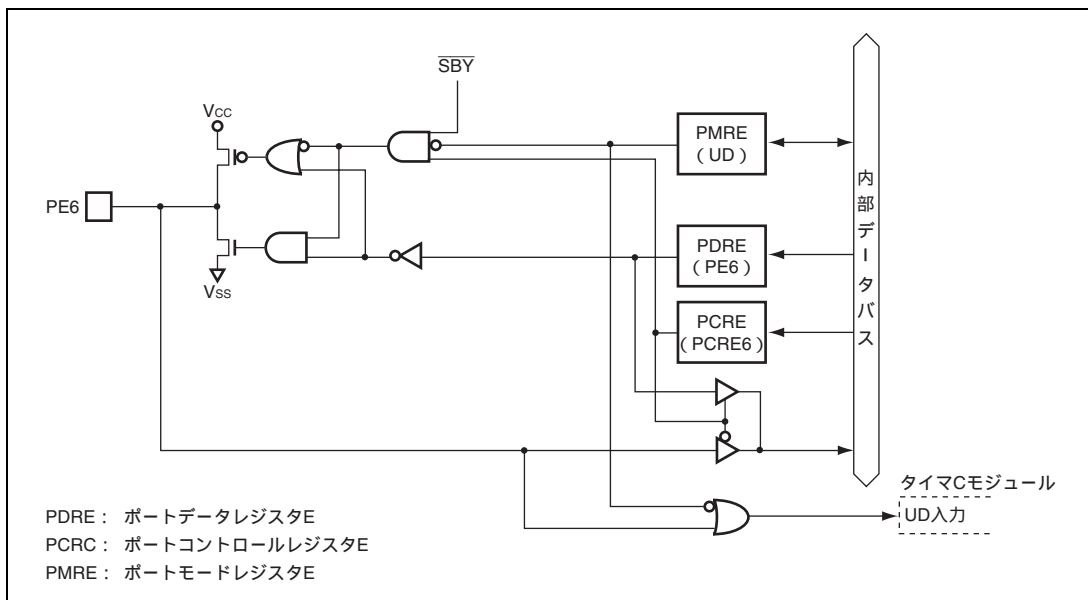


図 B.12 (b) ポート E ブロック図 (PE6 端子)

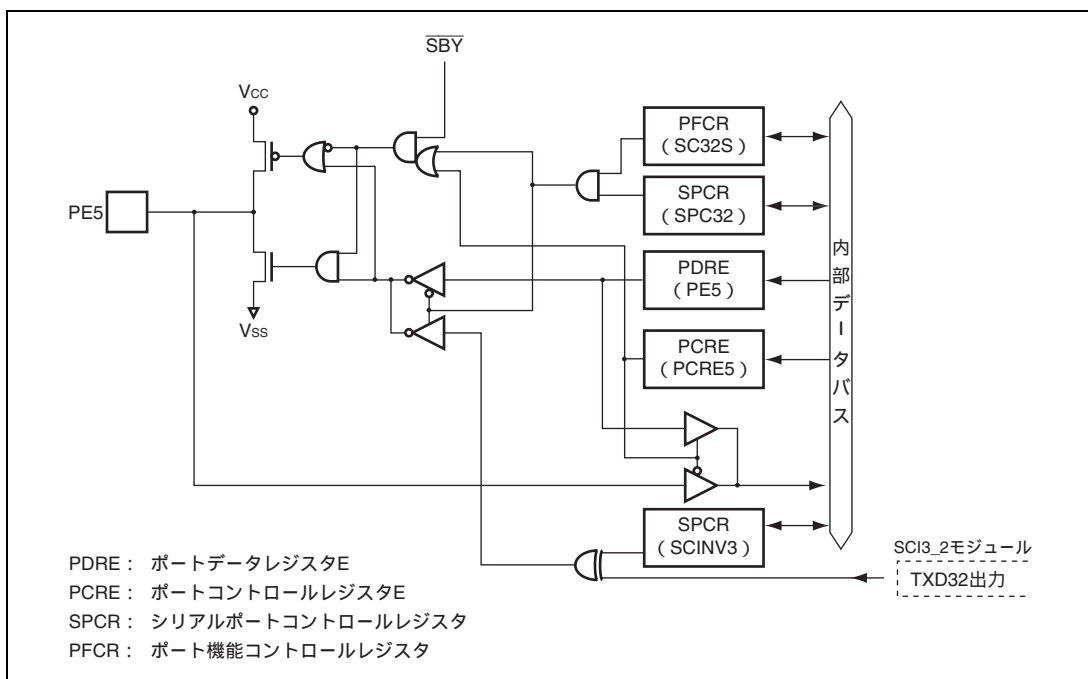


図 B.12 (c) ポート E ブロック図 (PE5 端子)



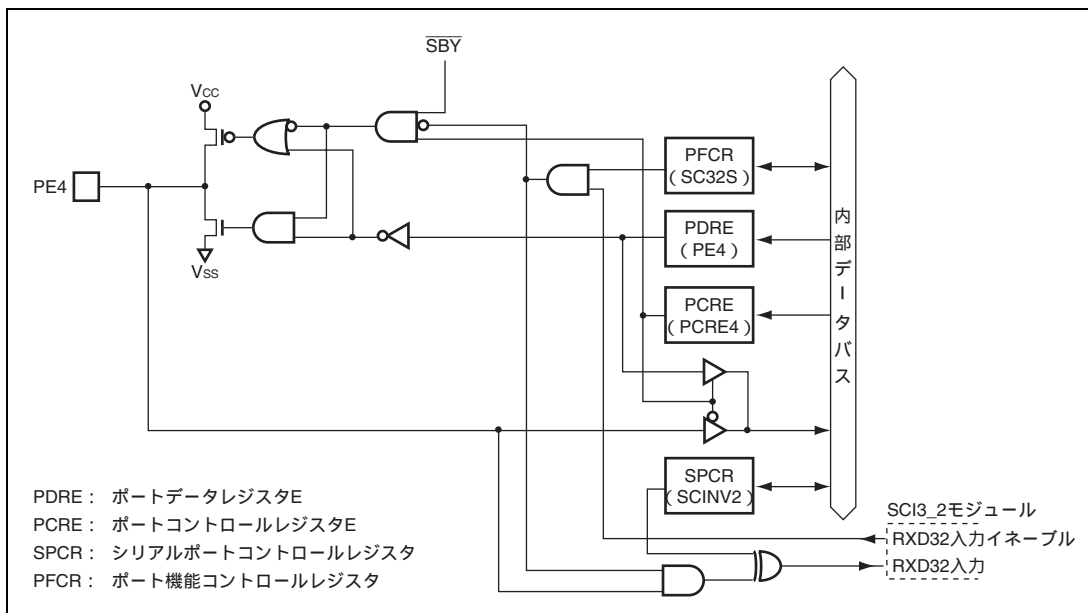


図 B.12 (d) ポート E ブロック図 (PE4 端子)

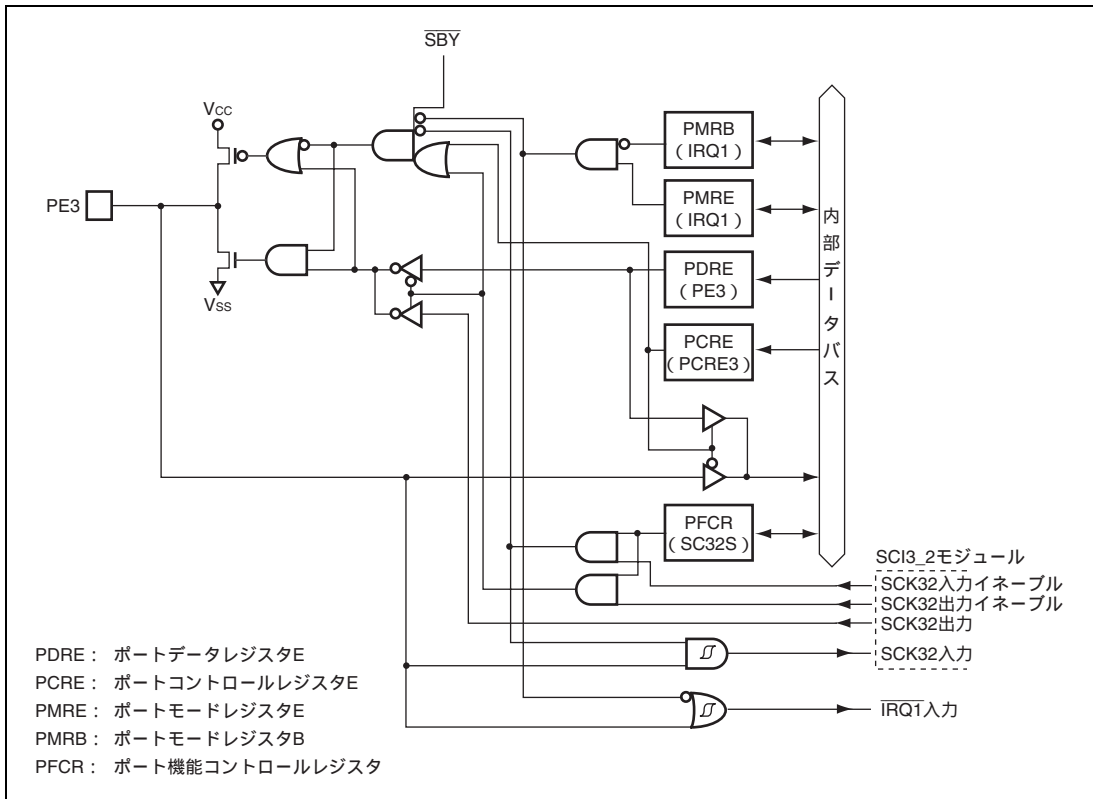


図 B.12 (e) ポート E ブロック図 (PE3 端子)

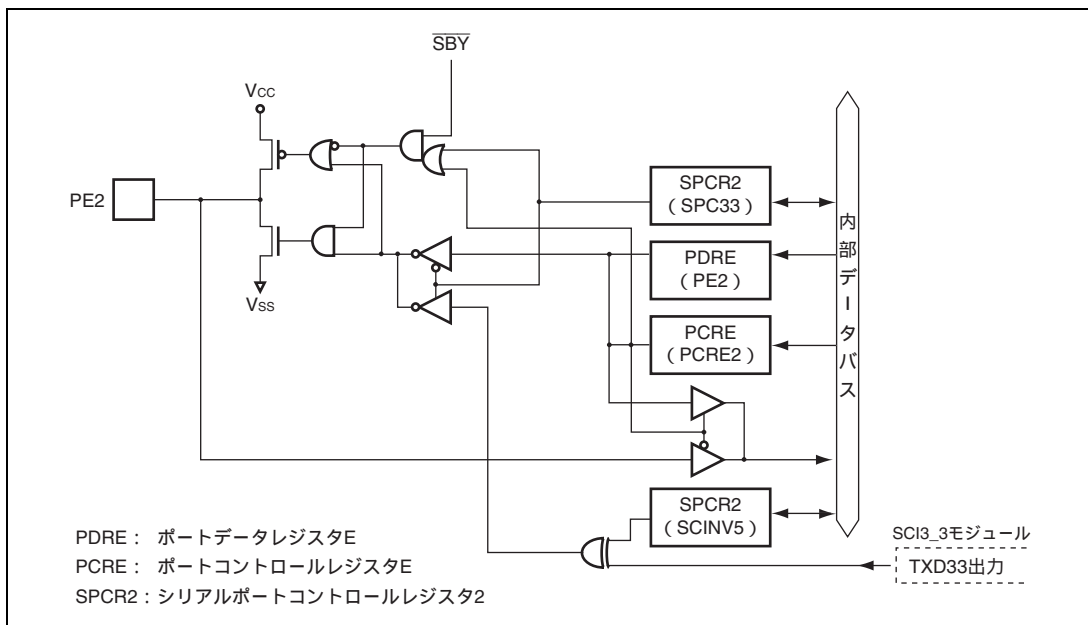


図 B.12 (f) ポート E ブロック図 (PE2 端子)

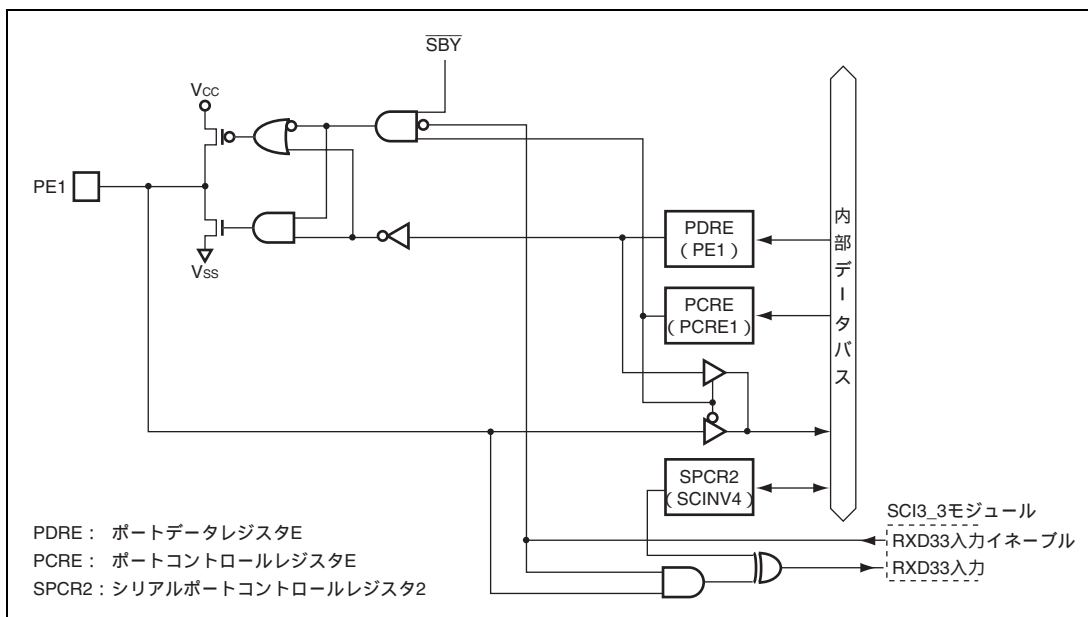


図 B.12 (g) ポート E ブロック図 (PE1 端子)

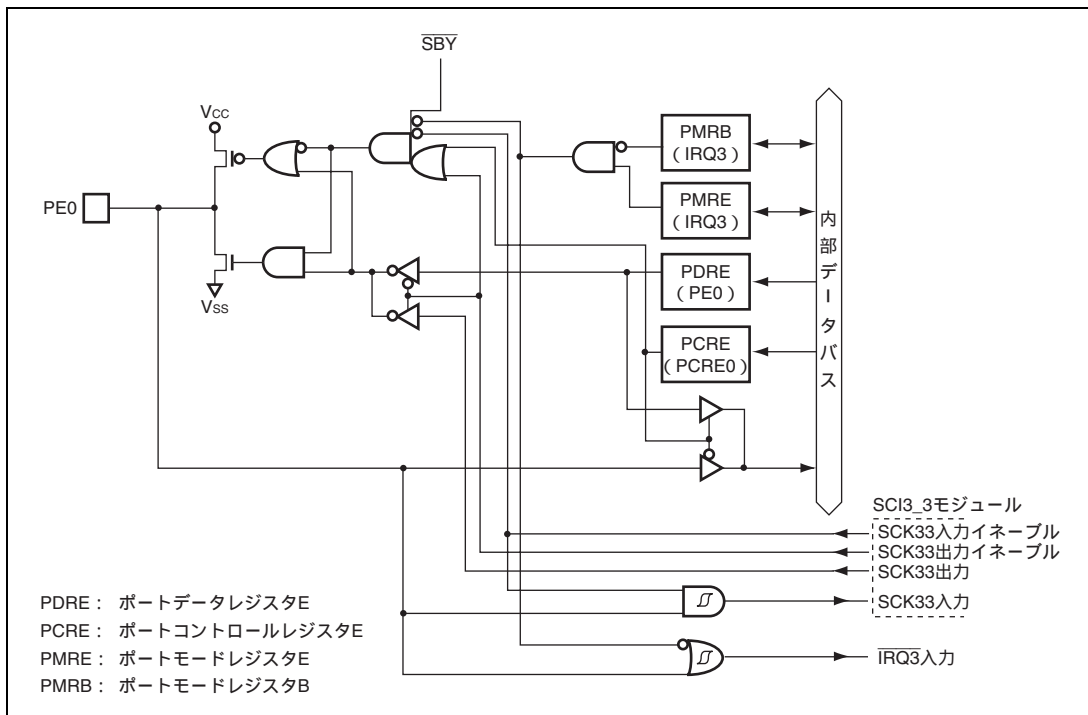


図 B.12 (h) ポートEブロック図 (PE0 端子)

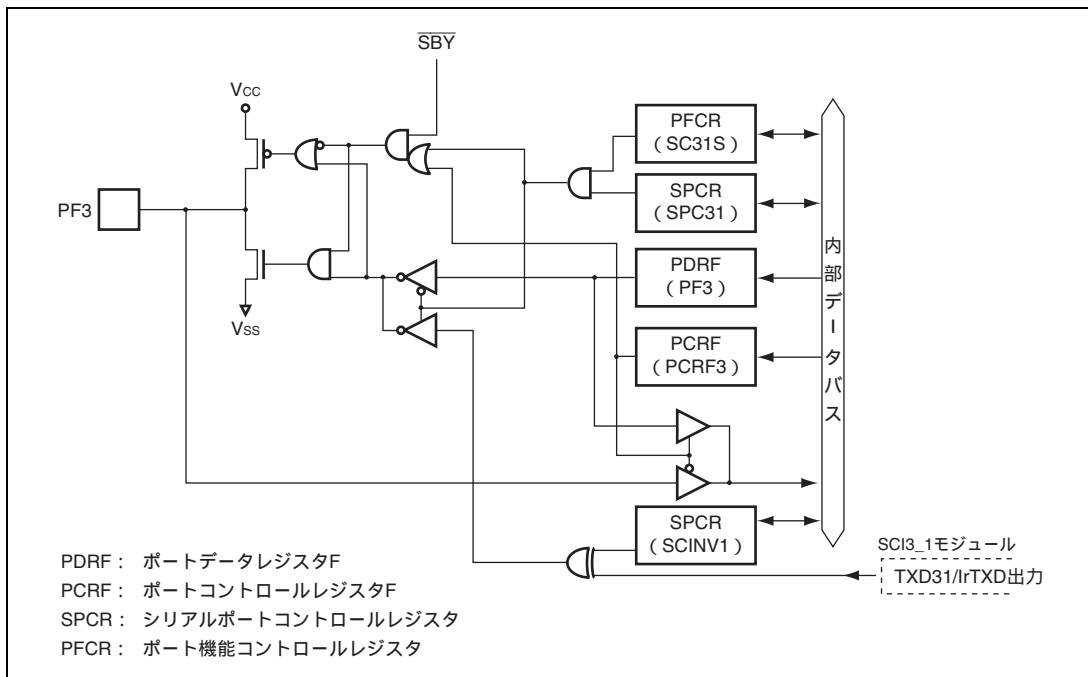


図 B.13 (a) ポートFブロック図 (PF3 端子)

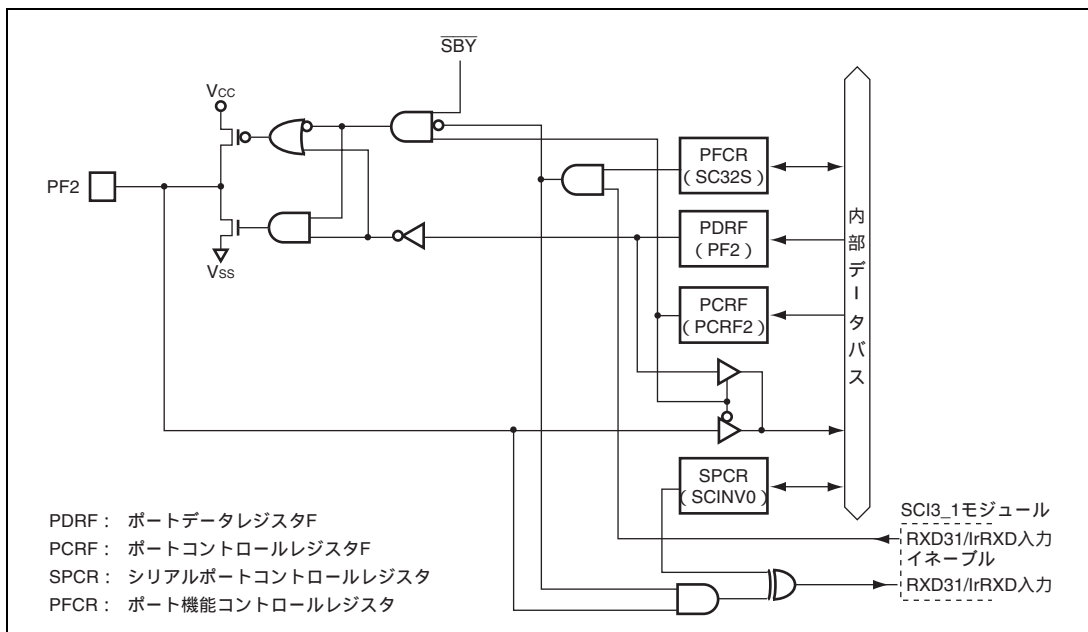


図 B.13 (b) ポートFブロック図 (PF2 端子)

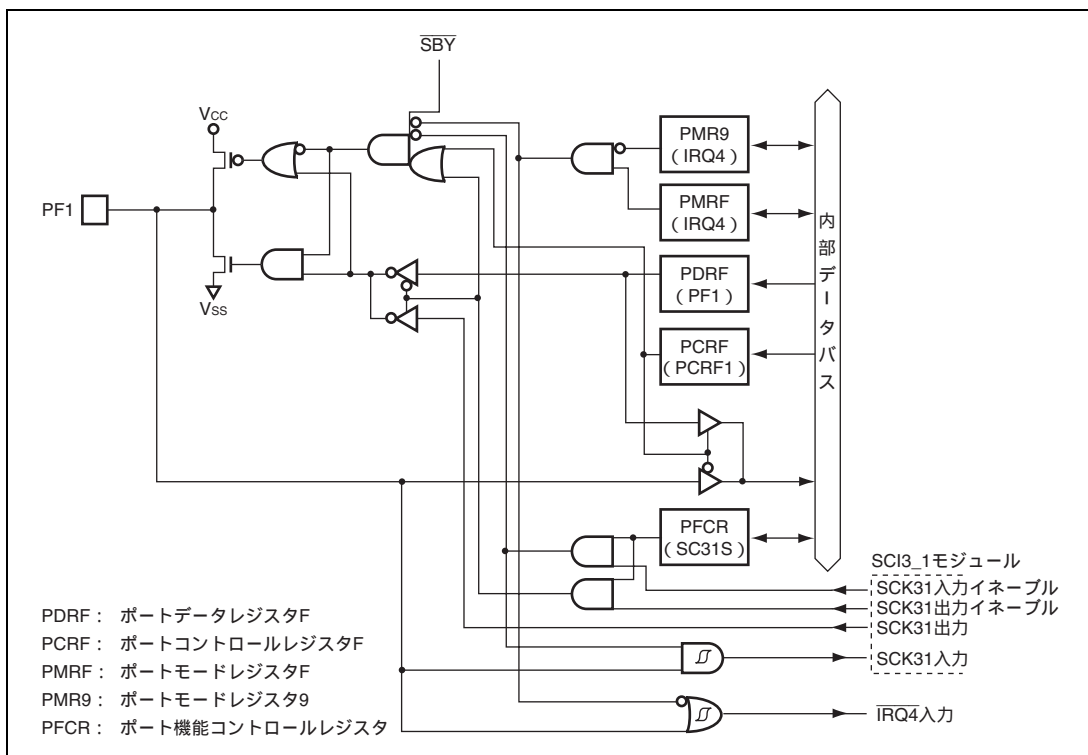


図 B.13 (c) ポートFブロック図 (PF1 端子)

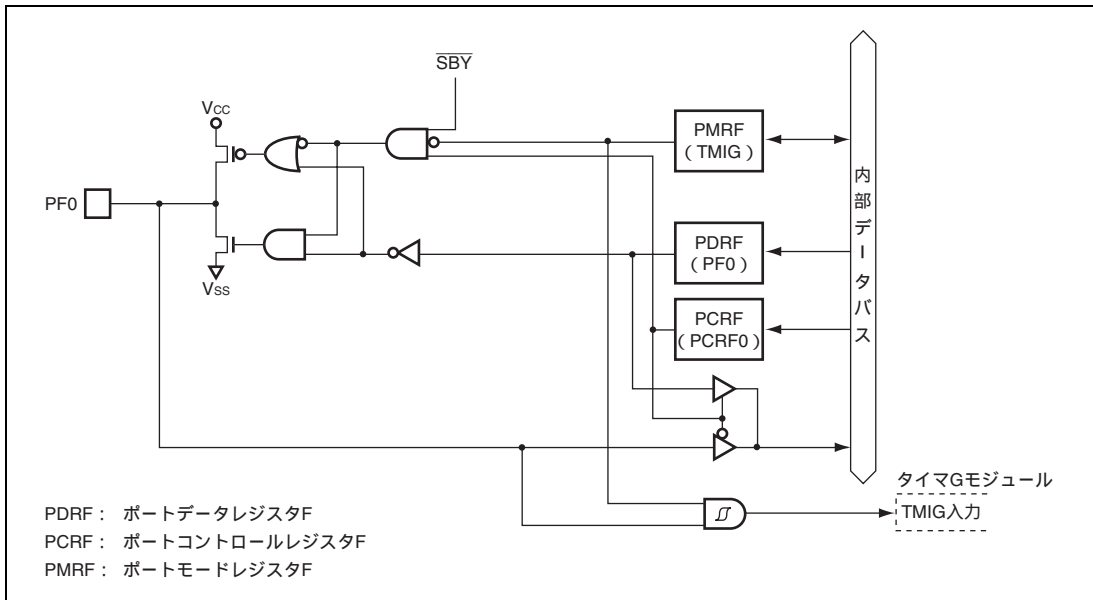


図 B.13 (d) ポートFブロック図 (PF0 端子)

## B.2 各処理状態におけるポートの状態

動作モード	リセット	アクティブ (高速 / 中速)	スリープ (高速 / 中速)	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ
P16 ~ P10	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1,2</sup>
P37、P36、 P30	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1,2</sup>
P32、P31	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>
P42 ~ P40	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>
P57 ~ P50	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1,2</sup>
P67 ~ P60	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1,2</sup>
P77 ~ P70	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>
P87 ~ P80	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>
P93 ~ P90	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>
PA3 ~ PA0	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>
PB7 ~ PB0	ハイ インピー ダンス	ハイ インピー ダンス* <sup>3</sup>	ハイ インピー ダンス* <sup>3</sup>	ハイ インピー ダンス	ハイ インピー ダンス* <sup>3</sup>	ハイ インピー ダンス* <sup>3</sup>	ハイ インピー ダンス* <sup>1</sup>
PC7 ~ PC0	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス* <sup>1</sup>

動作モード	リセット	アクティブ (高速 / 中速)	スリープ (高速 / 中速)	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ
PE7 ~ PE0	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス*1
PF3 ~ PF0	ハイ インピー ダンス	動作	保持	保持	動作	保持	ハイ インピー ダンス*1

【注】 \*1 レジスタは保持、出力はハイインピーダンス。

\*2 プルアップ MOS が ON 状態では High レベル出力となります。

\*3 AMR の CH3 ~ CH0 ビットで選択されている端子は A/D 変換器に接続されております。



## C. 製品型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38799	フラッシュ メモリ版	標準仕様品	HD64F38799FP4	F38799FP4	100ピン LQFP
			HD64F38799FP10	F38799FP10	( PLQP0100KB-A )
		広温度範囲 仕様品	HD64F38799FP10W	F38799FP10	100ピン LQFP ( PLQP0100KB-A )
	マスク ROM版	標準仕様品	HD64338799FP	38799(***)FP	100ピン LQFP ( PLQP0100KB-A )
広温度範囲 仕様品		HD64338799FPW	38799(***)FP	100ピン LQFP ( PLQP0100KB-A )	
H8/38798	マスク ROM版	標準仕様品	HD64338798FP	38798(***)FP	100ピン LQFP ( PLQP0100KB-A )
		広温度範囲 仕様品	HD64338798FPW	38798(***)FP	100ピン LQFP ( PLQP0100KB-A )

【注】 マスク ROM 版の ( \*\*\*) は ROM コードです。

D. 外形寸法図

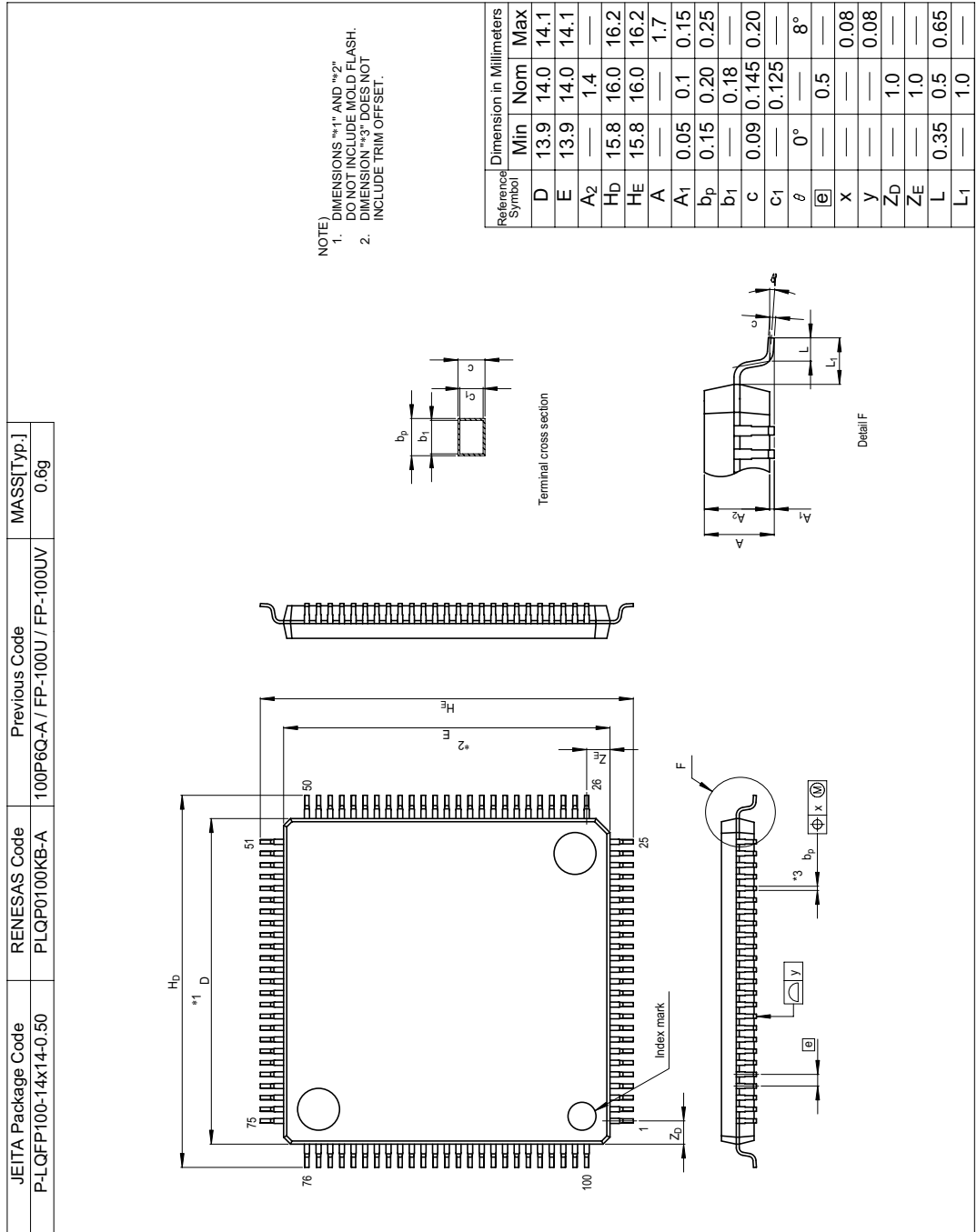


図 D.1 外形寸法図 (PLQP0100KB-A)

---

# 索引

---

## 【数字 / 記号】

16 ビットタイムバルスユニット .....	14-1
16 ビットタイムモード .....	12-7
8 ビットタイムモード .....	12-8

## 【A ~ Z】

A/D 変換器 .....	20-1
CPU .....	2-1
EA 拡張部 .....	2-18
I/O ポート .....	9-1
I <sup>2</sup> C バスインタフェース 2 (IIC2) .....	21-1
I <sup>2</sup> C バスフォーマット .....	21-13
IrDA .....	17-43
RAM .....	8-1
ROM .....	7-1
TCNT のカウントタイミング .....	14-30

## 【あ】

アウトプットコンペア出力タイミング .....	14-31
アクノリッジ .....	21-13
アドレスブレイク .....	23-1
アドレッシングモード .....	2-19
イミディエイト .....	2-21
イレース / ノイレースベリファイ .....	7-14
インプットキャプチャ機能 .....	14-20
インプットキャプチャ信号タイミング .....	14-31
ウォッチドッグタイマ .....	16-1
エラープロテクト .....	7-16
オーバランエラー .....	17-30
オペレーションフィールド .....	2-18
オンボードプログラミング .....	7-6

## 【か】

開始条件 .....	21-13
カウンタの動作 .....	14-17
書き込みの単位 .....	7-2
クロック同期式シリアルフォーマット .....	21-20
クロック同期式モード .....	17-33
クロック発振器 .....	5-1
コンディションコードレジスタ (CCR) .....	2-6

コンディションフィールド .....	2-18
コンペアマッチによる波形出力 .....	14-19

## 【さ】

サブアクティブモード .....	6-12
サブクロック発振器 .....	5-5
サブスリープモード .....	6-11
算術演算命令 .....	2-11
時刻読み出し手順 .....	10-9
システムクロック発振器 .....	5-3
システム制御命令 .....	2-17
実効アドレス .....	2-22
シフト命令 .....	2-13
周期カウント動作 .....	14-18
消去ブロック .....	7-2
初期設定手順 .....	10-9
シリアルコミュニケーションインタフェース 3 (SCI3) .....	17-1
シリアルコミュニケーションインタフェース 4 (SCI4) .....	18-1
スタックポイント (SP) .....	2-5
スタンバイモード .....	6-10
スリープモード .....	6-10
スレーブアドレス .....	21-13
絶対アドレス .....	2-20
ソフトウェアプロテクト .....	7-16

## 【た】

大電流ポート .....	1-2
タイマ C .....	11-1
タイマ F .....	12-1
タイマ G .....	13-1
調歩同期式モード .....	17-24
停止条件 .....	21-13
低消費電力動作 .....	7-17
低消費電力モード .....	6-1
ディスプレイメント付きレジスタ間接 .....	2-20
データ転送命令 .....	2-11
転送レート .....	21-5
同期動作 .....	14-22
トグル出力 .....	14-19

## 【な】

ノイズ除去回路 ..... 21-23

## 【は】

ハードウェアプロテクト ..... 7-16  
パッケージ ..... 1-2  
パリティエラー ..... 17-30  
パワーオンリセット回路 ..... 22-1  
汎用レジスタ ..... 2-4  
ビット操作命令 ..... 2-14  
ビット同期回路 ..... 21-29  
ビットレート ..... 17-13  
非同期イベントカウンタ (AEC) ..... 15-1  
ピン配置図 ..... 1-4  
ブートプログラム ..... 7-6  
ブートモード ..... 7-7  
フラッシュメモリ ..... 7-1  
フリーランニングカウンタ動作 ..... 14-18  
ブリスケラ W ..... 5-7  
プリデクリメントレジスタ間接 ..... 2-20  
ブレーク ..... 17-49  
フレーミングエラー ..... 17-30  
プログラム / プログラムベリファイ ..... 7-11  
プログラムカウンタ (PC) ..... 2-5  
プログラムカウンタ相対 ..... 2-21  
ブロック転送命令 ..... 2-17  
分岐命令 ..... 2-16  
ベクタアドレス ..... 3-2  
ポストインクリメントレジスタ間接 ..... 2-20

## 【ま】

マーク状態 ..... 17-49  
マルチプロセッサ通信機能 ..... 17-39  
命令セット ..... 2-10  
メモリ間接 ..... 2-21  
メモリマップ ..... 2-3  
モジュールスタンバイ機能 ..... 6-17

## 【や】

ユーザモードでの書き込み / 消去 ..... 7-9

## 【ら】

ライターモード ..... 7-17  
リアルタイムクロック (RTC) ..... 10-1  
例外処理 ..... 3-1  
レジスタ間接 ..... 2-19  
レジスタ

ABRKCR2 ..... 23-2, 24-4, 24-10, 24-15  
ABRKSR2 ..... 23-3, 24-4, 24-10, 24-15  
ADRR ..... 20-3, 24-5, 24-11, 24-17  
ADSR ..... 20-5, 24-5, 24-11, 24-17  
AEGSR ..... 15-4, 24-4, 24-10, 24-16  
AMR ..... 20-4, 24-5, 24-11, 24-17  
BAR2H ..... 23-3, 24-4, 24-10, 24-16  
BAR2L ..... 23-3, 24-4, 24-10, 24-16  
BDR2H ..... 23-4, 24-4, 24-10, 24-16  
BDR2L ..... 23-4, 24-4, 24-10, 24-16  
BRR ..... 17-13, 24-4, 24-11, 24-16  
CKSTPR1 ..... 6-5, 24-6, 24-13, 24-18  
CKSTPR2 ..... 6-5, 24-7, 24-13, 24-18  
CKSTPR3 ..... 6-6  
EBR1 ..... 7-4, 24-2, 24-8, 24-14  
EBR2 ..... 7-5  
ECCR ..... 15-5, 24-4, 24-10, 24-16  
ECCSR ..... 15-6, 24-4, 24-10, 24-16  
ECH ..... 15-7, 24-4, 24-10, 24-16  
ECL ..... 15-7, 24-4, 24-10, 24-16  
ECPWCR ..... 15-3, 24-4, 24-10, 24-16  
ECPWDR ..... 15-4, 24-4, 24-10, 24-16  
FENR ..... 7-5, 24-2, 24-8, 24-14  
FLMCR1 ..... 7-3, 24-2, 24-8, 24-14  
FLMCR2 ..... 7-4, 24-2, 24-8, 24-14  
FLPWCR ..... 7-5, 24-2, 24-8, 24-14  
ICCR1 ..... 21-4, 24-3, 24-9, 24-15  
ICCR2 ..... 21-5, 24-3, 24-9, 24-15  
ICDRR ..... 21-12, 24-3, 24-9, 24-15  
ICDRS ..... 21-12  
ICDRT ..... 21-12, 24-3, 24-9, 24-15  
ICIER ..... 21-8, 24-3, 24-9, 24-15  
ICMR ..... 21-7, 24-3, 24-9, 24-15  
ICRGF ..... 13-3  
ICRGR ..... 13-4  
ICSR ..... 21-10, 24-3, 24-9, 24-15  
IEGR ..... 4-3, 24-6, 24-12, 24-18  
IENR ..... 4-5, 24-6, 24-12, 24-18  
INTM ..... 4-11, 24-6, 24-12, 24-18  
IPR ..... 4-10, 24-3, 24-9, 24-15  
IrCR ..... 17-23, 24-4, 24-10, 24-16  
IRR ..... 4-7, 24-6, 24-13, 24-18  
IWPR ..... 4-9, 24-6, 24-13, 24-18  
OCR ..... 12-4, 24-5, 24-11, 24-17  
OSCCR ..... 5-2, 24-5, 24-11, 24-17  
PCR1 ..... 9-2, 24-6, 24-12, 24-18  
PCR3 ..... 9-9, 24-6, 24-12, 24-18

PCR4	9-14, 24-6, 24-12, 24-18
PCR5	9-18, 24-6, 24-12, 24-18
PCR6	9-21, 24-6, 24-12, 24-18
PCR7	9-23, 24-6, 24-12, 24-18
PCR8	9-25, 24-6, 24-12, 24-18
PCR9	9-27, 24-6, 24-12, 24-18
PCRA	9-30, 24-6, 24-12, 24-18
PCRC	9-35
PCRE	9-37
PCRF	9-42
PDR1	9-2, 24-6, 24-12, 24-17
PDR3	9-9, 24-6, 24-12, 24-17
PDR4	9-13, 24-6, 24-12, 24-17
PDR5	9-17, 24-6, 24-12, 24-17
PDR6	9-20, 24-6, 24-12, 24-17
PDR7	9-23, 24-6, 24-12, 24-17
PDR8	9-24, 24-6, 24-12, 24-17
PDR9	9-26, 24-6, 24-12, 24-17
PDRA	9-29, 24-6, 24-12, 24-17
PDRB	9-31, 24-6, 24-12, 24-17
PDRC	9-35
PDRE	9-36
PDRF	9-41
PMR1	9-3, 24-5, 24-11, 24-17
PMR3	9-10, 24-5, 24-11, 24-17
PMR4	9-14, 24-5, 24-11, 24-17
PMR5	9-18, 24-5, 24-11, 24-17
PMR9	9-27, 24-5, 24-11, 24-17
PMRB	9-32, 24-5, 24-11, 24-17
PMRE	9-37
PMRF	9-42
PUCR1	9-3, 24-6, 24-12, 24-18
PUCR3	9-9, 24-6, 24-12, 24-18
PUCR5	9-18, 24-6, 24-12, 24-18
PUCR6	9-21, 24-6, 24-12, 24-18
PWCR	19-3, 24-5, 24-12, 24-17
PWDR	19-3, 24-5, 24-12, 24-17
RDR	17-6, 24-5, 24-11, 24-16
RHRDR	10-3, 24-3, 24-9, 24-15
RMINDR	10-3, 24-3, 24-9, 24-15
RSECDR	10-2, 24-3, 24-9, 24-15
RSR	17-6
RTCCR1	10-5, 24-3, 24-9, 24-15
RTCCR2	10-6, 24-3, 24-9, 24-15
RTCCSR	10-7, 24-3, 24-9, 24-15
RTCFLG	10-8, 24-3, 24-9, 24-15
RWKDR	10-4, 24-3, 24-9, 24-15
SAR	21-12, 24-3, 24-9, 24-15
SCR3	17-9, 24-4, 24-11, 24-16
SCR4	18-3, 24-2, 24-8, 24-14
SCSR4	18-5, 24-2, 24-8, 24-14
SMR	17-7, 24-4, 24-11, 24-16
SPCR	17-21, 24-4, 24-10, 24-16
SSR	17-11, 24-5, 24-11, 24-16
SUB32CR	5-2, 24-3, 24-9, 24-15
SYSCR1	6-2, 24-6, 24-12, 24-18
SYSCR2	6-3, 24-6, 24-12, 24-18
SYSCR3	6-4
TC	12-3, 24-5, 24-11, 24-17
TCC	11-4
TCG	13-3
TCNT	14-14, 24-2, 24-8, 24-14
TCR	14-5, 24-2, 24-8, 24-14
TCRF	12-5, 24-5, 24-11, 24-17
TCSRF	12-6, 24-5, 24-11, 24-17
TCSRWD	24-5, 24-11, 24-16
TCSRWD1	16-3
TCSRWD2	16-4
TCWD	16-4, 24-5, 24-11, 24-16
TDR	17-7, 24-4, 24-11, 24-16
TGR	14-14, 24-2, 24-8, 24-14
TIER	14-12, 24-2, 24-8, 24-14
TIOR	14-7, 24-2, 24-8, 24-14
TLC	11-4
TMC	11-3
TMDR	14-7, 24-2, 24-8, 24-14
TMG	13-4
TMWD	16-5, 24-5, 24-11, 24-16
TSR	17-6, 24-2, 24-8, 24-14
TSTR	14-14, 24-2, 24-8, 24-14
TSYR	14-15, 24-2, 24-8, 24-14
WEGR	4-4, 24-4, 24-10, 24-16
レジスタフィールド	2-18
レジスタ直接	2-19
論理演算命令	2-13
<b>【わ】</b>	
割り込みマスクビット	2-6



---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8/38799グループ

発行年月日 2007年3月14日 Rev.1.00

発行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)





H8/38799 グループ  
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0403-0100